

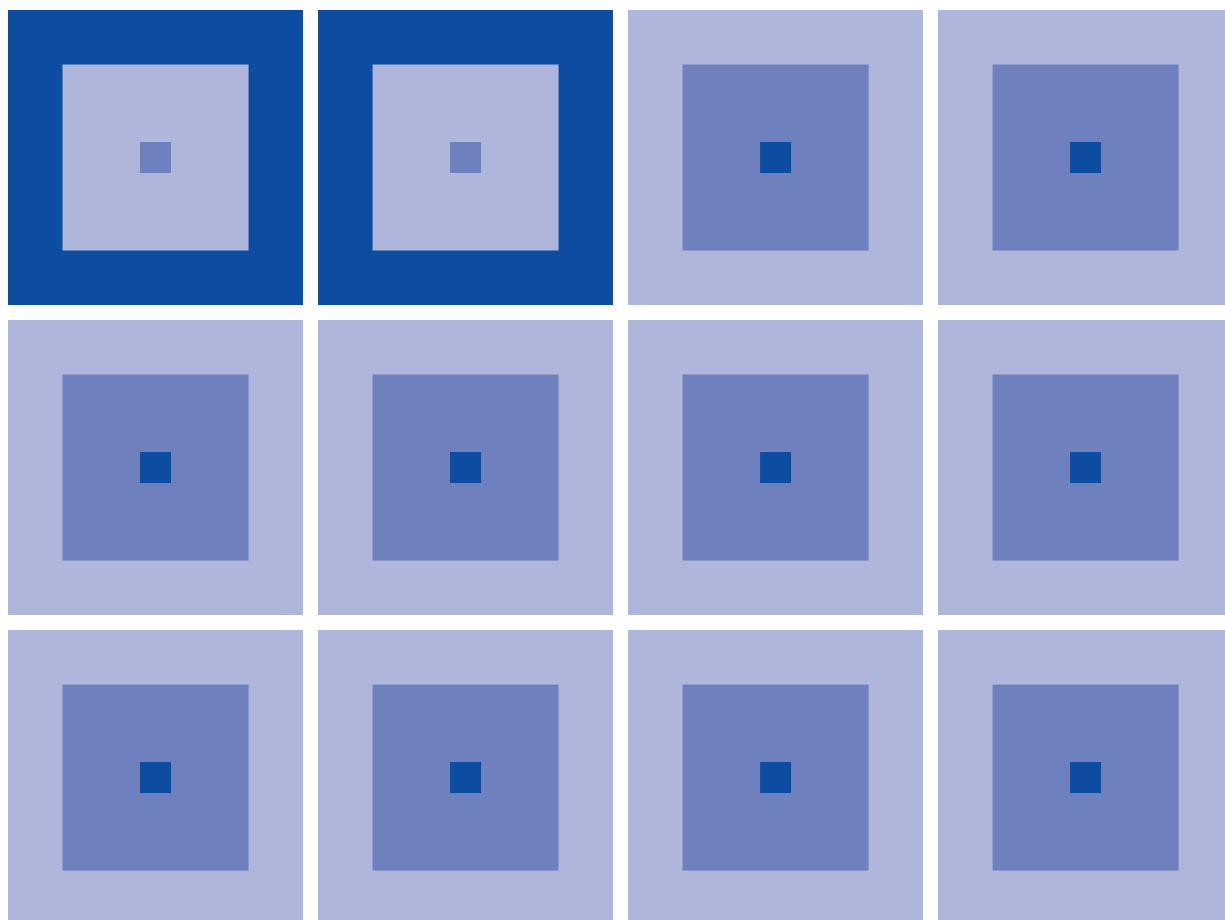
CMOS 8-BIT SINGLE CHIP MICROCOMPUTER

S1C88348/317/316/308

テクニカルマニュアル

S1C88348/317/316/308 Technical Hardware

S1C88348/317/316/308 Technical Software



本資料のご使用につきましては、次の点にご留意願います。

1. 本資料の内容については、予告なく変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利(工業所有権を含む)侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち、「外国為替および外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、一般民生用です。生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合の如何なる責任についても負いかねます。

CMOS 8-bit Single Chip Microcomputer

S1C88348/317/316/308テクニカルマニュアル

はじめに 本書はCMOS 8ビットシングルチップマイクロコンピュータS1C88348/317/316/308のハードウェアとソフトウェアについて個別に解説しています。

I. S1C88348/317/316/308 Technical Hardware

ここではS1C88348/317/316/308の機能、回路の構成、制御方法について説明しています。

II. S1C88348/317/316/308 Technical Software

ここではS1C88348/317/316/308のプログラミング方法について説明しています。

製品型番変更のご案内

2001年4月1日より、弊社半導体製品の製品型番が以下のとおり変更となりますので、4月1日以降のご発注につきましては変更後の製品型番にてお願い申し上げます。

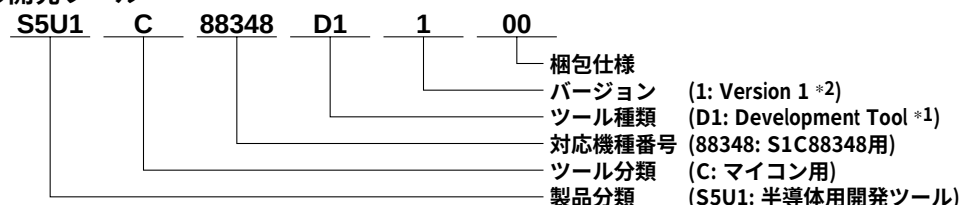
なお、製品型番の詳細仕様につきましては、弊社営業担当にお問い合わせください。

製品型番体系

●デバイス



●開発ツール



*1: ツールの種類は、新旧型番対応表を参照してください。(マニュアル類には一桁で記載されているものもあります。)

*2: マニュアル類には、実際のバージョンは記載されておりません。

新旧型番対応表

●S1C88ファミリ

旧型番	新型番	旧型番	新型番
E0C88104	S1C88104	E0C88365	S1C88365
E0C88112	S1C88112	E0C88F360	S1C8F360
E0C88308	S1C88308	E0C88408	S1C88408
E0C88316	S1C88316	E0C88409	S1C88409
E0C88317	S1C88317	E0C88816	S1C88816
E0C88348	S1C88348	E0C88832	S1C88832
E0C88P348	S1C8P348	E0C88862	S1C88862
E0C88349	S1C88349	E0C88F816	S1C8F816

開発ツール新旧型番対応表

●S1C88ファミリ関係の開発ツール

旧型番	新型番	旧型番	新型番
88ISAIF	S5U1C88000H4	DEV88816	S5U1C88816D
ADP88348	S5U1C88348X	DEV88832	S5U1C88832D
ADP88360	S5U1C88360X	DEV88862	S5U1C88862D
DEV88104	S5U1C88104D	DMT88348-DB	S5U1C88348T
DEV88112	S5U1C88112D	ICE88UR	S5U1C88000H5
DEV88308	S5U1C88308D	PRC88316	S5U1C88316P
DEV88316	S5U1C88316D	PRC88348	S5U1C88348P
DEV88317	S5U1C88317D	PRC88365	S5U1C88365P
DEV88348	S5U1C88348D	PRC88409	S5U1C88409P
DEV88365	S5U1C88365D	PRC88816	S5U1C88816P
DEV88408	S5U1C88408D	SAP88	S5U1C88000S
DEV88409	S5U1C88409D	URS88348	S5U1C88348Y

●S1C63/88ファミリ関係の開発ツール

旧型番	新型番
ADS00002	S5U1C88000X1
GWH00002	S5U1C88000W2
URM00002	S5U1C88000W1

I S1C88348/317/316/308 ***Technical Hardware***

— 目 次 —

1	概要	I-1
1.1	機種構成	I-1
1.2	特長	I-2
1.3	ブロック図	I-3
1.4	端子配置図	I-5
2	電源	I-13
2.1	動作電圧	I-13
2.2	内部電源回路	I-13
2.3	重負荷保護モード	I-14
3	CPUとバスの構成	I-15
3.1	CPU	I-15
3.2	内蔵メモリ	I-15
3.2.1	ROM	I-15
3.2.2	RAM	I-15
3.2.3	I/Oメモリ	I-15
3.2.4	表示メモリ	I-16
3.3	例外処理ベクタ	I-16
3.4	CC (カスタマイズコンディションフラグ)	I-16
3.5	チップモード	I-17
3.5.1	MCUモードとMPUモード	I-17
3.5.2	バスモード	I-17
3.6	外部バス	I-21
3.6.1	データバス	I-21
3.6.2	アドレスバス	I-21
3.6.3	リード($\overline{RD}$)/ライト($\overline{WR}$)信号	I-22
3.6.4	チップイネーブル($\overline{CE}$)信号	I-22
3.6.5	ウェイト制御	I-24
3.6.6	バス権解放状態	I-25
4	イニシャルリセット	I-26
4.1	イニシャルリセット要因	I-26
4.1.1	$\overline{RESET}$ 端子	I-27
4.1.2	入力ポート(K00~K03)の同時LOWレベル入力	I-27
4.1.3	電源電圧検出(SVD)回路	I-27
4.1.4	イニシャルリセットシーケンス	I-27
4.2	イニシャルリセット時の初期設定	I-28
5	周辺回路と動作	I-29
5.1	I/Oメモリマップ	I-30
5.2	システムコントローラとバスの制御	I-42
5.2.1	バスモードの設定	I-42
5.2.2	アドレスデコーダ($\overline{CE}$ 出力)の設定	I-44
5.2.3	ウェイトステートの設定	I-45
5.2.4	バス権解放要求信号の設定	I-45
5.2.5	スタックページの設定	I-45
5.2.6	システムコントローラの制御方法	I-46
5.2.7	プログラミング上の注意事項	I-49

5.3	ウォッチドッグタイマ	I-50
5.3.1	ウォッチドッグタイマの構成	I-50
5.3.2	割り込み機能	I-50
5.3.3	ウォッチドッグタイマの制御方法	I-50
5.3.4	プログラミング上の注意事項	I-50
5.4	発振回路と動作モード	I-51
5.4.1	発振回路の構成	I-51
5.4.2	マスクオプション	I-51
5.4.3	OSC1発振回路	I-51
5.4.4	OSC3発振回路	I-52
5.4.5	動作モード	I-52
5.4.6	CPUクロックの切り換え	I-53
5.4.7	発振回路と動作モードの制御方法	I-54
5.4.8	プログラミング上の注意事項	I-55
5.5	入力ポート (Kポート)	I-56
5.5.1	入力ポートの構成	I-56
5.5.2	マスクオプション	I-56
5.5.3	割り込み機能と入力比較レジスタ	I-57
5.5.4	入力ポートの制御方法	I-59
5.5.5	プログラミング上の注意事項	I-61
5.6	出力ポート (Rポート)	I-62
5.6.1	出力ポートの構成	I-62
5.6.2	マスクオプション	I-63
5.6.3	ハイインピーダンス制御	I-63
5.6.4	DC出力	I-64
5.6.5	特殊出力	I-64
5.6.6	出力ポートの制御方法	I-66
5.6.7	プログラミング上の注意事項	I-70
5.7	入出力兼用ポート (Pポート)	I-71
5.7.1	入出力兼用ポートの構成	I-71
5.7.2	マスクオプション	I-71
5.7.3	I/Oコントロールレジスタと入力/出力モード	I-72
5.7.4	入出力兼用ポートの制御方法	I-72
5.7.5	プログラミング上の注意事項	I-73
5.8	シリアルインタフェース	I-74
5.8.1	シリアルインタフェースの構成	I-74
5.8.2	マスクオプション	I-75
5.8.3	転送モード	I-75
5.8.4	クロック源	I-76
5.8.5	送受信の制御	I-77
5.8.6	クロック同期式転送の動作	I-78
5.8.7	調歩同期式転送の動作	I-82
5.8.8	割り込み機能	I-86
5.8.9	シリアルインタフェースの制御方法	I-88
5.8.10	プログラミング上の注意事項	I-92

5.9	計時タイマ	I-93
5.9.1	計時タイマの構成	I-93
5.9.2	割り込み機能	I-93
5.9.3	計時タイマの制御方法	I-95
5.9.4	プログラミング上の注意事項	I-97
5.10	ストップウォッチタイマ	I-98
5.10.1	ストップウォッチタイマの構成	I-98
5.10.2	カウントアップパターン	I-98
5.10.3	割り込み機能	I-99
5.10.4	ストップウォッチタイマの制御方法	I-100
5.10.5	プログラミング上の注意事項	I-102
5.11	プログラマブルタイマ	I-103
5.11.1	プログラマブルタイマの構成	I-103
5.11.2	カウント動作と基本モード設定	I-103
5.11.3	入力クロックの設定	I-105
5.11.4	タイマモード	I-105
5.11.5	イベントカウンタモード	I-106
5.11.6	パルス幅測定タイマモード	I-106
5.11.7	割り込み機能	I-107
5.11.8	TOUT出力の設定	I-107
5.11.9	シリアルインタフェースの転送速度設定	I-108
5.11.10	プログラマブルタイマの制御方法	I-109
5.11.11	プログラミング上の注意事項	I-115
5.12	LCDコントローラ	I-116
5.12.1	LCDコントローラの構成	I-116
5.12.2	マスクオプション	I-116
5.12.3	LCD電源	I-116
5.12.4	LCDドライバ	I-117
5.12.5	表示メモリ	I-120
5.12.6	表示の制御	I-127
5.12.7	CL、FR出力	I-127
5.12.8	LCDコントローラの制御方法	I-128
5.12.9	プログラミング上の注意事項	I-129
5.13	サウンドジェネレータ	I-130
5.13.1	サウンドジェネレータの構成	I-130
5.13.2	ブザー出力の制御	I-130
5.13.3	ブザー周波数と音量の設定	I-131
5.13.4	デジタルエンベロープ	I-131
5.13.5	ワンショット出力	I-132
5.13.6	サウンドジェネレータの制御方法	I-133
5.13.7	プログラミング上の注意事項	I-135
5.14	アナログコンパレータ	I-136
5.14.1	アナログコンパレータの構成	I-136
5.14.2	マスクオプション	I-136
5.14.3	アナログコンパレータの動作	I-136
5.14.4	アナログコンパレータの制御方法	I-137
5.14.5	プログラミング上の注意事項	I-137

5.15	電源電圧検出(SVD)回路	I-138
5.15.1	SVD回路の構成	I-138
5.15.2	SVD回路の動作	I-138
5.15.3	SVD回路の制御方法	I-140
5.15.4	プログラミング上の注意事項	I-141
5.16	割り込みとスタンバイ状態	I-142
5.16.1	割り込み発生条件	I-143
5.16.2	割り込み要因フラグ	I-143
5.16.3	割り込みイネーブルレジスタ	I-144
5.16.4	割り込みプライオリティレジスタと割り込み優先レベル	I-144
5.16.5	例外処理ベクタ	I-145
5.16.6	割り込みの制御	I-146
5.16.7	プログラミング上の注意事項	I-147
5.17	低消費電力化のための注意事項	I-148
6	基本外部結線図	I-149
7	電気的特性	I-150
7.1	絶対最大定格	I-150
7.2	推奨動作条件	I-151
7.3	DC特性	I-152
7.4	アナログ回路特性	I-153
7.5	消費電流	I-155
7.6	AC特性	I-156
7.7	発振特性	I-163
7.8	特性グラフ (参考値)	I-164
8	パッケージ	I-180
8.1	プラスチックパッケージ	I-180
8.2	セラミックパッケージ	I-182
9	パッド配置	I-183
9.1	パッド配置図	I-183
9.2	パッド座標	I-187
10	実装上の注意事項	I-191

1 概要

S1C883xxは、CMOS 8ビットコアCPU S1C88 (MODEL3)を中心に、ROM、RAM、3種類のタイマ、調歩同期/クロック同期が選択可能なシリアルインタフェースなどを内蔵したマイクロコンピュータです。

動作電圧が広く、低電圧でも高速な動作が可能です。また、低消費電力というS1C Familyの特長も合わせて持っています。

19ビットの外部アドレスバスと4ビットのチップイネーブル信号により最大512K×4バイトのメモリが制御でき、高機能データバンクなどのシステムに最適です。

1.1 機種構成

本書では、S1C88348、S1C88317、S1C88316およびS1C88308をS1C883xxの名称で一括して解説しています。

なお、これらの4機種は内蔵ROM/RAMの容量、入力ポート数、出力ポート数、LCD駆動セグメント数、バス権解放機能に以下の違いがあり、他の周辺回路は同じ構成となっています。

機種名	内蔵ROM容量	内蔵RAM容量	入力ポート	出力ポート*1	LCDセグメント*2	バス権解放機能
S1C88348	48Kバイト	2Kバイト	10ビット	9ビット	1,632 (Max.)	あり
S1C88317	16Kバイト	2Kバイト	10ビット	9ビット	1,632 (Max.)	あり
S1C88316	16Kバイト	2Kバイト	10ビット	9ビット	1,632 (Max.)	あり
S1C88308	8Kバイト	256バイト	9ビット	5ビット	1,312 (Max.)	なし

*1: 外部バスとの兼用端子は含みません。

*2: 32コモンを選択した場合の最大駆動セグメント数。

1.2 特長

表1.2.1にS1C883xxの特長を示します。

表1.2.1 特長

機種名	S1C88348	S1C88317	S1C88316	S1C88308
コアCPU	CMOS 8ビットコアCPU S1C88 (MODEL3)			
OSC1発振回路	水晶発振回路/CR発振回路/外部クロック入力 32.768kHz (Typ.)			
OSC3発振回路	水晶発振回路/セラミック発振回路/CR発振回路/外部クロック入力 8.2MHz (Max.)			
命令セット	608種類 (乗算命令使用可能)			
最小命令実行時間	0.244μsec/8.2MHz (2クロック)			
内蔵ROM容量	48Kバイト	16Kバイト		8Kバイト
内蔵RAM容量	2Kバイト/RAM 3,216ビット/表示メモリ			256バイト/RAM 3,216ビット/表示メモリ
バスライン	アドレスバス: 19ビット (バスとして使用しない場合は汎用出力ポートとして使用可能) データバス: 8ビット (バスとして使用しない場合は汎用入出力ポートとして使用可能) CE信号: 4ビット WR信号: 1ビット (バスとして使用しない場合は汎用出力ポートとして使用可能) RD信号: 1ビット			
入力ポート	10ビット (2ビットをイベントカウンタクロック入力、バスリクエスト信号入力に設定可能)			9ビット (1ビットをイベントカウンタクロック入力に設定可能)
出力ポート	9ビット (6ビットをブザー、LCD制御、FOUT、TOUT、バスアクノリッジ信号出力に設定可能)			5ビット (5ビットをブザー、LCD制御、FOUT、TOUT出力に設定可能)
入出力兼用ポート	8ビット (4ビットをシリアルI/F入出力、4ビットをアナログコンパレータ入力に設定可能)			
シリアルインタフェース	1ch (クロック同期式/調歩同期式の選択が可能)			
タイマ	プログラマブルタイマ (8ビット): 2ch (1chをイベントカウンタとして、または2chを16ビット1chのプログラマブルタイマとして設定可能) 計時タイマ (8ビット): 1ch ストップウォッチタイマ (8ビット): 1ch			
液晶駆動用電源回路	内蔵 (昇圧方式、5電位)			
LCDドライバ	ドットマトリクス方式 (5×8または5×5ドットフォント対応可能、外付けLCDドライバ拡張可能) 51SEG×32COM (1/5 bias) 67SEG×16COM (1/5 bias) 67SEG×8COM (1/5 bias)			
サウンドジェネレータ	エンベロープ機能、音量調整機能付き			
ウォッチドッグタイマ	内蔵			
アナログコンパレータ	2ch内蔵			
電源電圧検出(SVD)回路	16レベルの検出電圧が読み出し可能			
割り込み	外部割り込み: 入力割り込み 2系統 (3種類) 内部割り込み: タイマ割り込み 3系統 (9種類) シリアルインタフェース割り込み 1系統 (3種類)			
電源電圧	通常モード: 2.4V~5.5V (Max. 4.2MHz) 低パワーモード: 1.8V~3.5V (Max. 50kHz) 高速モード: 3.5V~5.5V (Max. 8.2MHz)			
消費電流	SLEEP時: 300nA (Typ./通常モード) HALT時 (32.768kHz): 2μA (Typ./通常モード) 動作時 (32.768Hz): 14μA (Typ./通常モード) 動作時 (4.9152MHz): 2mA (Typ./通常モード)			
出荷形態	QFP8-160pin、QFP17-160pinまたはチップ			QFP8-160pinまたはチップ

* 出力ポートおよび入出力兼用ポートのビット数は、バスと兼用のものは含みません。

1.3 ブロック図

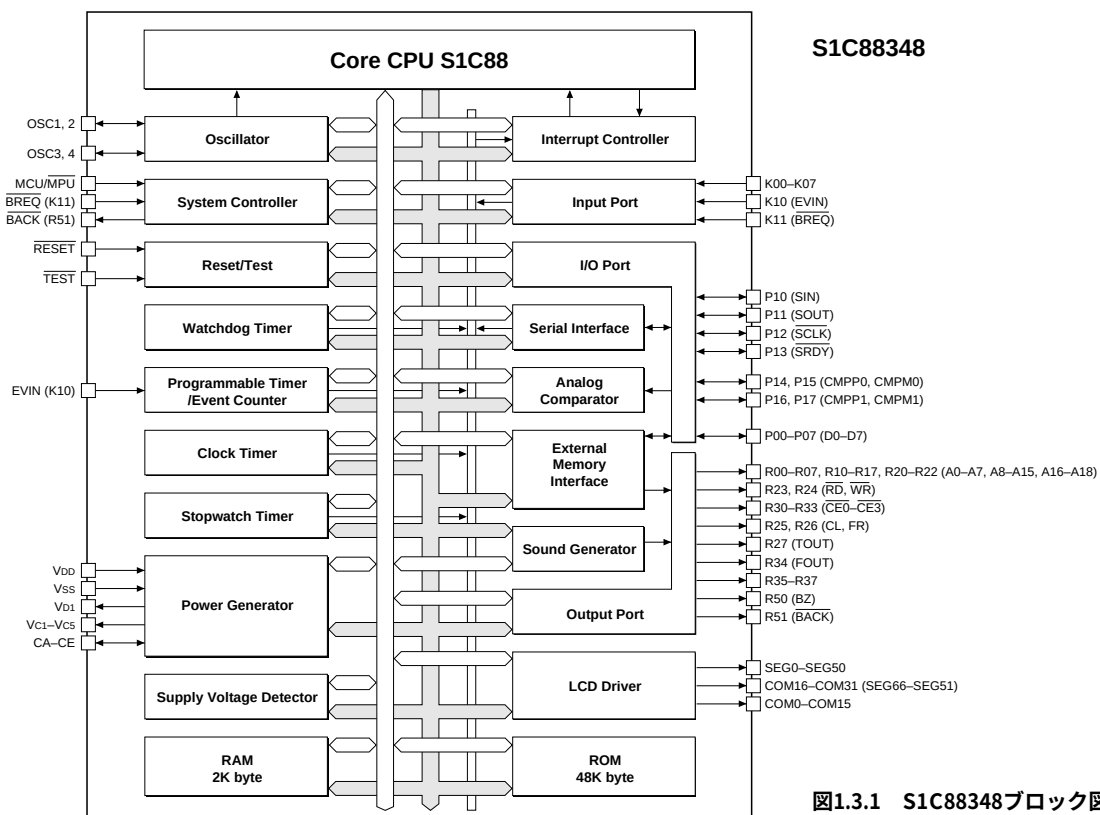


図1.3.1 S1C88348ブロック図

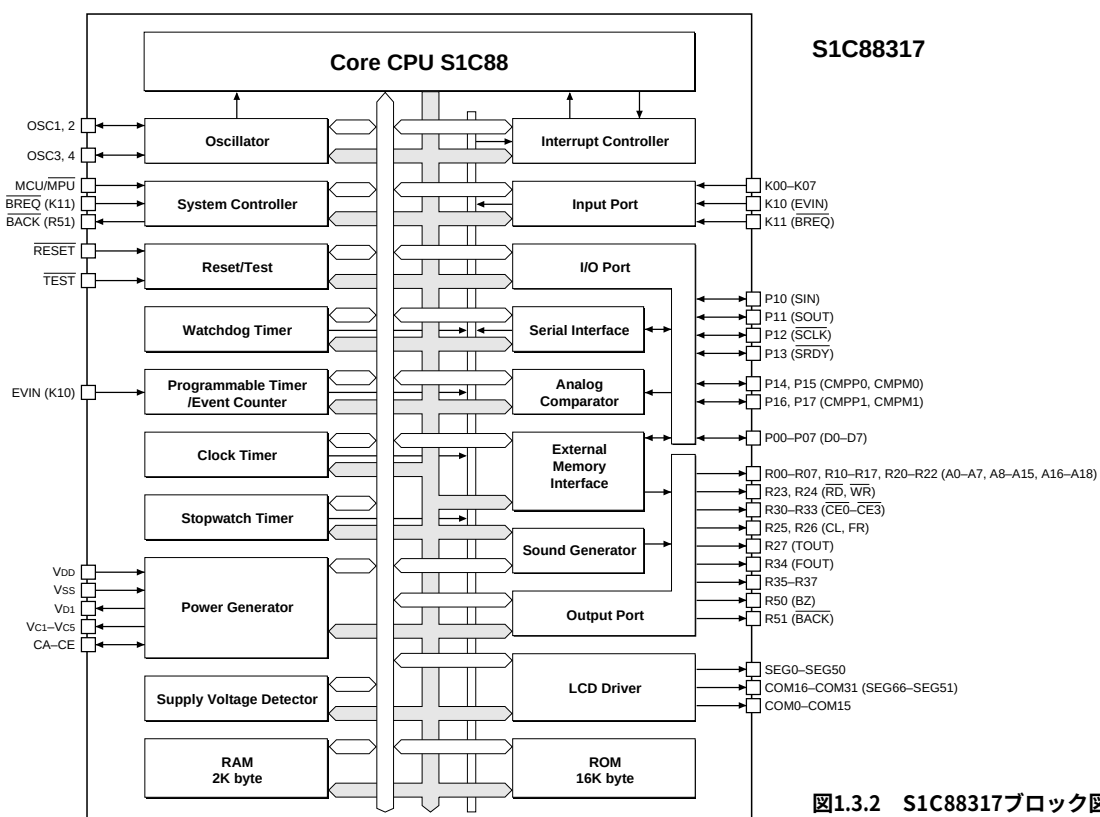


図1.3.2 S1C88317ブロック図

1 概要

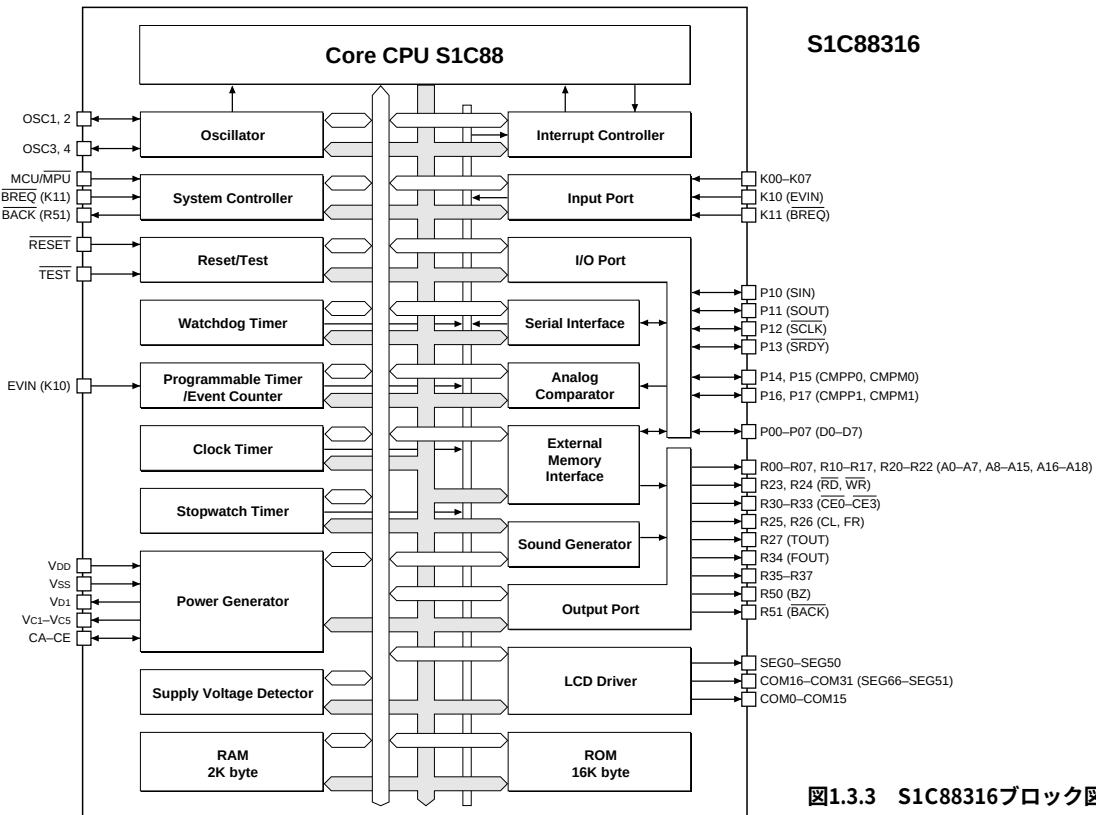


図1.3.3 S1C88316ブロック図

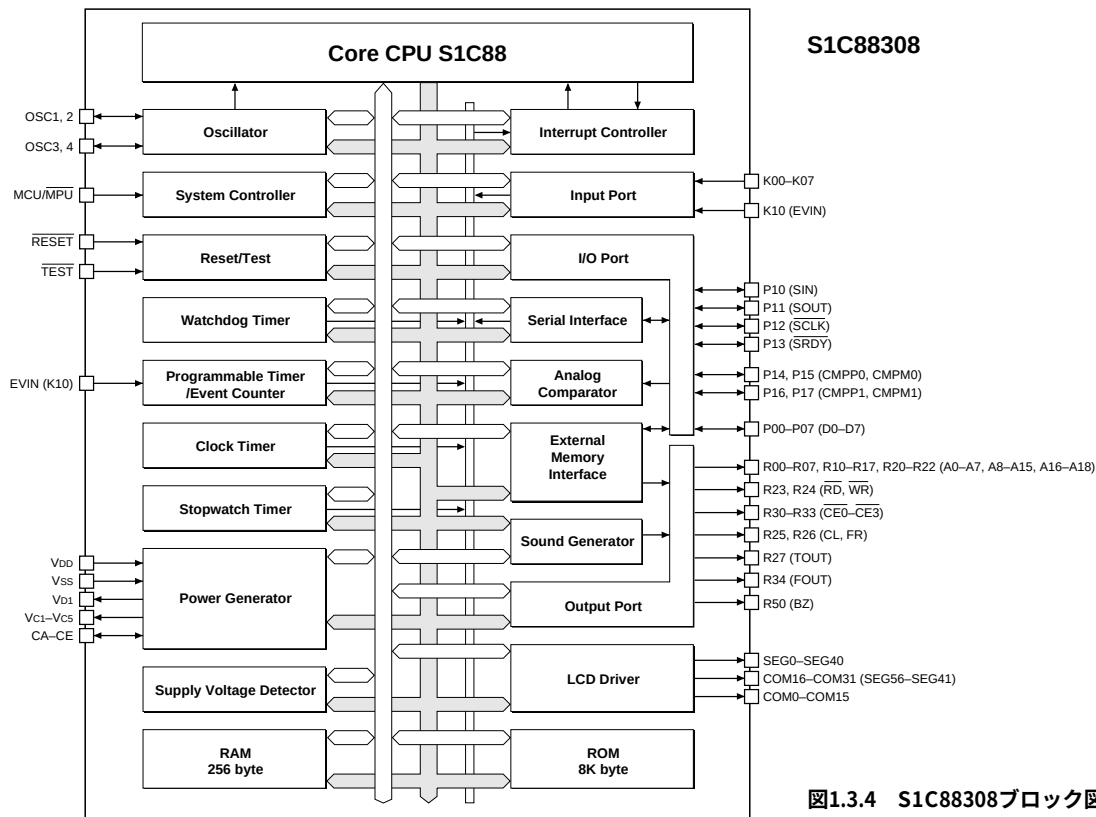
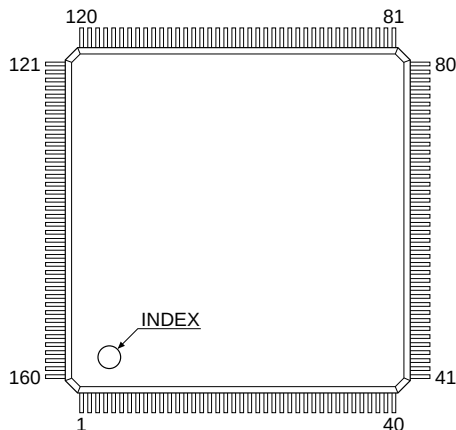


図1.3.4 S1C88308ブロック図

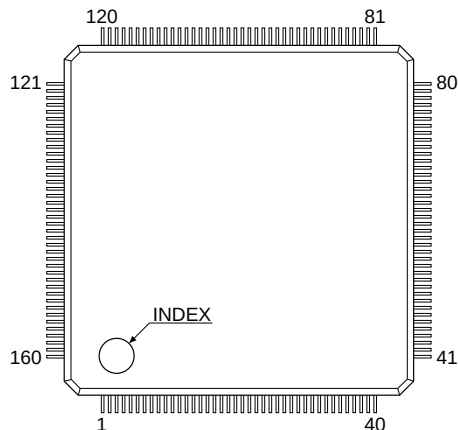
1.4 端子配置図

S1C88348

QFP8-160pin



QFP17-160pin



端子No.	端子名	端子No.	端子名	端子No.	端子名	端子No.	端子名
1	SEG18	41	COM24/SEG58	81	OSC1	121	R11/A9
2	SEG19	42	COM23/SEG59	82	OSC2	122	R12/A10
3	SEG20	43	COM22/SEG60	83	$\overline{\text{TEST}}$	123	R13/A11
4	SEG21	44	COM21/SEG61	84	RESET	124	R14/A12
5	SEG22	45	COM20/SEG62	85	MCU/MPU	125	R15/A13
6	SEG23	46	COM19/SEG63	86	K11/BRE $\overline{\text{Q}}$	126	R16/A14
7	SEG24	47	COM18/SEG64	87	K10/EVIN	127	R17/A15
8	SEG25	48	COM17/SEG65	88	K07	128	R20/A16
9	SEG26	49	COM16/SEG66	89	K06	129	R21/A17
10	SEG27	50	COM15	90	K05	130	R22/A18
11	SEG28	51	COM14	91	K04	131	R23/RD
12	SEG29	52	COM13	92	K03	132	R24/ $\overline{\text{WR}}$
13	SEG30	53	COM12	93	K02	133	R25/CL
14	SEG31	54	COM11	94	K01	134	R26/FR
15	SEG32	55	COM10	95	K00	135	R27/TOUT
16	SEG33	56	COM9	96	P17/CMPP1	136	R30/ $\overline{\text{CE0}}$
17	SEG34	57	COM8	97	P16/CMPP1	137	R31/ $\overline{\text{CE1}}$
18	SEG35	58	COM7	98	P15/CMPP0	138	R32/ $\overline{\text{CE2}}$
19	SEG36	59	COM6	99	P14/CMPP0	139	R33/ $\overline{\text{CE3}}$
20	SEG37	60	COM5	100	P13/SRDY	140	R34/FOUT
21	SEG38	61	COM4	101	P12/ $\overline{\text{SCLK}}$	141	R50/BZ
22	SEG39	62	COM3	102	P11/SOUT	142	R51/ $\overline{\text{BACK}}$
23	SEG40	63	COM2	103	P10/SIN	143	SEG0
24	SEG41	64	COM1	104	P07/D7	144	SEG1
25	SEG42	65	COM0	105	P06/D6	145	SEG2
26	SEG43	66	CE	106	P05/D5	146	SEG3
27	SEG44	67	CD	107	P04/D4	147	SEG4
28	SEG45	68	CC	108	P03/D3	148	SEG5
29	SEG46	69	CB	109	P02/D2	149	SEG6
30	SEG47	70	CA	110	P01/D1	150	SEG7
31	SEG48	71	Vc5	111	P00/D0	151	SEG8
32	SEG49	72	Vc4	112	R00/A0	152	SEG9
33	SEG50	73	Vc3	113	R01/A1	153	SEG10
34	COM31/SEG51	74	Vc2	114	R02/A2	154	SEG11
35	COM30/SEG52	75	Vc1	115	R03/A3	155	SEG12
36	COM29/SEG53	76	OSC3	116	R04/A4	156	SEG13
37	COM28/SEG54	77	OSC4	117	R05/A5	157	SEG14
38	COM27/SEG55	78	Vd1	118	R06/A6	158	SEG15
39	COM26/SEG56	79	VDD	119	R07/A7	159	SEG16
40	COM25/SEG57	80	VSS	120	R10/A8	160	SEG17

図1.4.1 S1C88348端子配置図

1 概要

表1.4.1 S1C88348端子説明

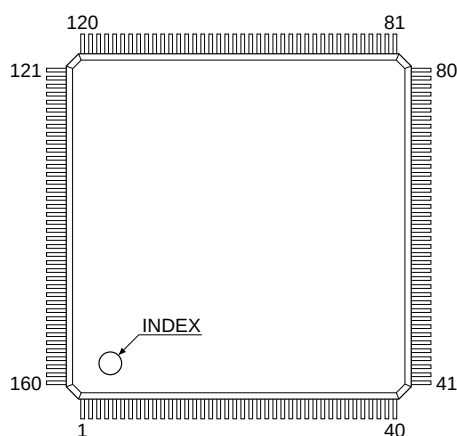
端子名	端子No.	In/Out	機能
VDD	79	—	電源(+)端子
VSS	80	—	電源(GND)端子
VD1	78	—	発振系定電圧出力端子
VC1~VC5	75~71	O	LCD駆動電圧出力端子
CA~CE	70~66	—	LCD系昇圧コンデンサ接続端子
OSC1	81	I	OSC1発振入力端子 (水晶/CR発振/外部クロック入力をマスクオプションで選択)
OSC2	82	O	OSC1発振出力端子
OSC3	76	I	OSC3発振入力端子 (水晶/セラミック/CR発振/外部クロック入力をマスクオプションで選択)
OSC4	77	O	OSC3発振出力端子
MCU/MPU	85	I	MCUモード/MPUモード設定端子
K00~K07	95~88	I	入力ポート(K00~K07)端子
K10/EVIN	87	I	入力ポート(K10)端子またはイベントカウンタ外部クロック(EVIN)入力端子
K11/BREQ	86	I	入力ポート(K11)端子またはバスリクエスト信号(BREQ)入力端子
R00~R07/A0~A7	112~119	O	出力ポート(R00~R07)端子またはアドレスバス(A0~A7)
R10~R17/A8~A15	120~127	O	出力ポート(R10~R17)端子またはアドレスバス(A8~A15)
R20~R22/A16~A18	128~130	O	出力ポート(R20~R22)端子またはアドレスバス(A16~A18)
R23/RD	131	O	出力ポート(R23)端子またはリード信号(RD)出力端子
R24/WR	132	O	出力ポート(R24)端子またはライト信号(WR)出力端子
R25/CL	133	O	出力ポート(R25)端子またはLCD同期信号(CL)出力端子
R26/FR	134	O	出力ポート(R26)端子またはLCDフレーム信号(FR)出力端子
R27/TOUT	135	O	出力ポート(R27)端子 またはプログラマブルタイマアンダーフロー信号(TOUT)出力端子
R30~R33/CE0~CE3	136~139	O	出力ポート(R30~R33)端子またはチップイネーブル信号(CE0~CE3)出力端子
R34/FOUT	140	O	出力ポート(R34)端子またはクロック(FOUT)出力端子
R35~R37 *2		O	出力ポート(R35~R37)端子
R50/BZ	141	O	出力ポート(R50)端子またはブザー信号(BZ)出力端子
R51/BACK	142	O	出力ポート(R51)端子またはバスアクノリッジ信号(BACK)出力端子
P00~P07/D0~D7	111~104	I/O	入出力兼用ポート(P00~P07)端子またはデータバス(D0~D7)
P10/SIN	103	I/O	入出力兼用ポート(P10)端子またはシリアル/Fデータ入力(SIN)端子
P11/SOUT	102	I/O	入出力兼用ポート(P11)端子またはシリアル/Fデータ出力(SOUT)端子
P12/SCLK	101	I/O	入出力兼用ポート(P12)端子またはシリアル/Fクロック(SCLK)入出力端子
P13/SRDY	100	I/O	入出力兼用ポート(P13)端子またはシリアル/Fレディ信号(SRDY)出力端子
P14/CMPP0	99	I/O	入出力兼用ポート(P14)端子またはコンパレータ0非反転入力端子
P15/CMPP0	98	I/O	入出力兼用ポート(P15)端子またはコンパレータ0反転入力端子
P16/CMPP1	97	I/O	入出力兼用ポート(P16)端子またはコンパレータ1非反転入力端子
P17/CMPP1	96	I/O	入出力兼用ポート(P17)端子またはコンパレータ1反転入力端子
COM0~COM15	65~50	O	LCDコモン出力端子
COM16~COM31 /SEG66~SEG51	49~34	O	LCDコモン出力端子 (1/32デューティ選択時) またはLCDセグメント出力端子 (1/16または1/8デューティ選択時)
SEG0~SEG50	143~160, 1~33	O	LCDセグメント出力端子
RESET	84	I	イニシャルリセット入力端子
TEST *1	83	I	テスト用入力端子

*1 TEST端子はICの出荷検査時に使用する端子です。通常動作時は必ずVDDに接続してください。

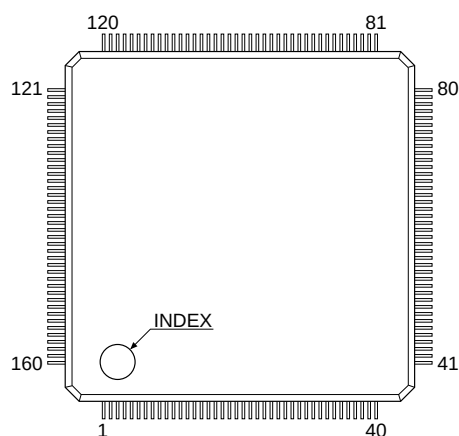
*2 R35~R37端子はチップ出荷時のみ使用可能です。

S1C88317

QFP8-160pin



QFP17-160pin



端子No.	端子名	端子No.	端子名	端子No.	端子名	端子No.	端子名
1	SEG18	41	COM24/SEG58	81	OSC1	121	R11/A9
2	SEG19	42	COM23/SEG59	82	OSC2	122	R12/A10
3	SEG20	43	COM22/SEG60	83	TEST	123	R13/A11
4	SEG21	44	COM21/SEG61	84	RESET	124	R14/A12
5	SEG22	45	COM20/SEG62	85	MCU/MPU	125	R15/A13
6	SEG23	46	COM19/SEG63	86	K11/BREQ	126	R16/A14
7	SEG24	47	COM18/SEG64	87	K10/EVIN	127	R17/A15
8	SEG25	48	COM17/SEG65	88	K07	128	R20/A16
9	SEG26	49	COM16/SEG66	89	K06	129	R21/A17
10	SEG27	50	COM15	90	K05	130	R22/A18
11	SEG28	51	COM14	91	K04	131	R23/RD
12	SEG29	52	COM13	92	K03	132	R24/WR
13	SEG30	53	COM12	93	K02	133	R25/CL
14	SEG31	54	COM11	94	K01	134	R26/FR
15	SEG32	55	COM10	95	K00	135	R27/TOUT
16	SEG33	56	COM9	96	P17/CMPPM1	136	R30/CE0
17	SEG34	57	COM8	97	P16/CMPP1	137	R31/CE1
18	SEG35	58	COM7	98	P15/CMPPM0	138	R32/CE2
19	SEG36	59	COM6	99	P14/CMPP0	139	R33/CE3
20	SEG37	60	COM5	100	P13/SRDY	140	R34/FOUT
21	SEG38	61	COM4	101	P12/SCLK	141	R50/BZ
22	SEG39	62	COM3	102	P11/SOUT	142	R51/BACK
23	SEG40	63	COM2	103	P10/SIN	143	SEG0
24	SEG41	64	COM1	104	P07/D7	144	SEG1
25	SEG42	65	COM0	105	P06/D6	145	SEG2
26	SEG43	66	CE	106	P05/D5	146	SEG3
27	SEG44	67	CD	107	P04/D4	147	SEG4
28	SEG45	68	CC	108	P03/D3	148	SEG5
29	SEG46	69	CB	109	P02/D2	149	SEG6
30	SEG47	70	CA	110	P01/D1	150	SEG7
31	SEG48	71	VC5	111	P00/D0	151	SEG8
32	SEG49	72	VC4	112	R00/A0	152	SEG9
33	SEG50	73	VC3	113	R01/A1	153	SEG10
34	COM31/SEG51	74	VC2	114	R02/A2	154	SEG11
35	COM30/SEG52	75	VC1	115	R03/A3	155	SEG12
36	COM29/SEG53	76	OSC3	116	R04/A4	156	SEG13
37	COM28/SEG54	77	OSC4	117	R05/A5	157	SEG14
38	COM27/SEG55	78	VD1	118	R06/A6	158	SEG15
39	COM26/SEG56	79	VDD	119	R07/A7	159	SEG16
40	COM25/SEG57	80	VSS	120	R10/A8	160	SEG17

図1.4.2 S1C88317端子配置図

1 概要

表1.4.2 S1C88317端子説明

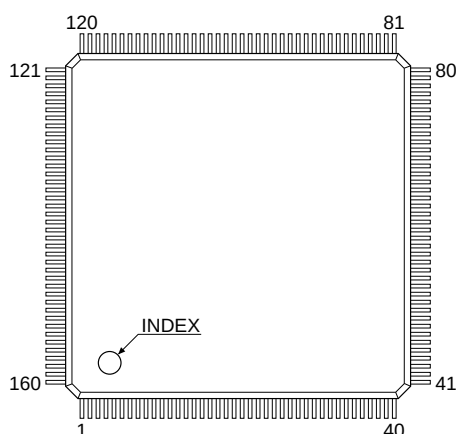
端子名	端子No.	In/Out	機能
VDD	79	—	電源(+)端子
VSS	80	—	電源(GND)端子
VD1	78	—	発振系定電圧出力端子
VC1~VC5	75~71	O	LCD駆動電圧出力端子
CA~CE	70~66	—	LCD系昇圧コンデンサ接続端子
OSC1	81	I	OSC1発振入力端子 (水晶/CR発振/外部クロック入力をマスクオプションで選択)
OSC2	82	O	OSC1発振出力端子
OSC3	76	I	OSC3発振入力端子 (水晶/セラミック/CR発振/外部クロック入力をマスクオプションで選択)
OSC4	77	O	OSC3発振出力端子
MCU/MPU	85	I	MCUモード/MPUモード設定端子
K00~K07	95~88	I	入力ポート(K00~K07)端子
K10/EVIN	87	I	入力ポート(K10)端子またはイベントカウンタ外部クロック(EVIN)入力端子
K11/BREQ	86	I	入力ポート(K11)端子またはバスリクエスト信号(BREQ)入力端子
R00~R07/A0~A7	112~119	O	出力ポート(R00~R07)端子またはアドレスバス(A0~A7)
R10~R17/A8~A15	120~127	O	出力ポート(R10~R17)端子またはアドレスバス(A8~A15)
R20~R22/A16~A18	128~130	O	出力ポート(R20~R22)端子またはアドレスバス(A16~A18)
R23/RD	131	O	出力ポート(R23)端子またはリード信号(RD)出力端子
R24/WR	132	O	出力ポート(R24)端子またはライト信号(WR)出力端子
R25/CL	133	O	出力ポート(R25)端子またはLCD同期信号(CL)出力端子
R26/FR	134	O	出力ポート(R26)端子またはLCDフレーム信号(FR)出力端子
R27/TOUT	135	O	出力ポート(R27)端子 またはプログラマブルタイマアンダーフロー信号(TOUT)出力端子
R30~R33/CE0~CE3	136~139	O	出力ポート(R30~R33)端子またはチップイネーブル信号(CE0~CE3)出力端子
R34/FOUT	140	O	出力ポート(R34)端子またはクロック(FOUT)出力端子
R35~R37 *2		O	出力ポート(R35~R37)端子
R50/BZ	141	O	出力ポート(R50)端子またはブザー信号(BZ)出力端子
R51/BACK	142	O	出力ポート(R51)端子またはバスアクノリッジ信号(BACK)出力端子
P00~P07/D0~D7	111~104	I/O	入出力兼用ポート(P00~P07)端子またはデータバス(D0~D7)
P10/SIN	103	I/O	入出力兼用ポート(P10)端子またはシリアルI/Fデータ入力(SIN)端子
P11/SOUT	102	I/O	入出力兼用ポート(P11)端子またはシリアルI/Fデータ出力(SOUT)端子
P12/SCLK	101	I/O	入出力兼用ポート(P12)端子またはシリアルI/Fクロック(SCLK)入出力端子
P13/SRDY	100	I/O	入出力兼用ポート(P13)端子またはシリアルI/Fレディ信号(SRDY)出力端子
P14/CMPP0	99	I/O	入出力兼用ポート(P14)端子またはコンパレータ0非反転入力端子
P15/CMPP0	98	I/O	入出力兼用ポート(P15)端子またはコンパレータ0反転入力端子
P16/CMPP1	97	I/O	入出力兼用ポート(P16)端子またはコンパレータ1非反転入力端子
P17/CMPP1	96	I/O	入出力兼用ポート(P17)端子またはコンパレータ1反転入力端子
COM0~COM15	65~50	O	LCDコモン出力端子
COM16~COM31 /SEG66~SEG51	49~34	O	LCDコモン出力端子 (1/32デューティ選択時) またはLCDセグメント出力端子 (1/16または1/8デューティ選択時)
SEG0~SEG50	143~160, 1~33	O	LCDセグメント出力端子
RESET	84	I	イニシャルリセット入力端子
TEST *1	83	I	テスト用入力端子

*1 TEST端子はICの出荷検査時に使用する端子です。通常動作時は必ずVDDに接続してください。

*2 R35~R37端子はチップ出荷時のみ使用可能です。

S1C88316

QFP8-160pin



端子No.	端子名	端子No.	端子名	端子No.	端子名	端子No.	端子名
1	SEG18	41	COM24/SEG58	81	OSC1	121	R11/A9
2	SEG19	42	COM23/SEG59	82	OSC2	122	R12/A10
3	SEG20	43	COM22/SEG60	83	TEST	123	R13/A11
4	SEG21	44	COM21/SEG61	84	RESET	124	R14/A12
5	SEG22	45	COM20/SEG62	85	MCU/MPU	125	R15/A13
6	SEG23	46	COM19/SEG63	86	K11/BREQ	126	R16/A14
7	SEG24	47	COM18/SEG64	87	K10/EVIN	127	R17/A15
8	SEG25	48	COM17/SEG65	88	K07	128	R20/A16
9	SEG26	49	COM16/SEG66	89	K06	129	R21/A17
10	SEG27	50	COM15	90	K05	130	R22/A18
11	SEG28	51	COM14	91	K04	131	R23/RD
12	SEG29	52	COM13	92	K03	132	R24/WR
13	SEG30	53	COM12	93	K02	133	R25/CL
14	SEG31	54	COM11	94	K01	134	R26/FR
15	SEG32	55	COM10	95	K00	135	R27/TOUT
16	SEG33	56	COM9	96	P17/CMPPM1	136	R30/CE0
17	SEG34	57	COM8	97	P16/CMPP1	137	R31/CE1
18	SEG35	58	COM7	98	P15/CMPPM0	138	R32/CE2
19	SEG36	59	COM6	99	P14/CMPP0	139	R33/CE3
20	SEG37	60	COM5	100	P13/SRDY	140	R34/FOUT
21	SEG38	61	COM4	101	P12/SCLK	141	R50/BZ
22	SEG39	62	COM3	102	P11/SOUT	142	R51/BACK
23	SEG40	63	COM2	103	P10/SIN	143	SEG0
24	SEG41	64	COM1	104	P07/D7	144	SEG1
25	SEG42	65	COM0	105	P06/D6	145	SEG2
26	SEG43	66	CE	106	P05/D5	146	SEG3
27	SEG44	67	CD	107	P04/D4	147	SEG4
28	SEG45	68	CC	108	P03/D3	148	SEG5
29	SEG46	69	CB	109	P02/D2	149	SEG6
30	SEG47	70	CA	110	P01/D1	150	SEG7
31	SEG48	71	VC5	111	P00/D0	151	SEG8
32	SEG49	72	VC4	112	R00/A0	152	SEG9
33	SEG50	73	VC3	113	R01/A1	153	SEG10
34	COM31/SEG51	74	VC2	114	R02/A2	154	SEG11
35	COM30/SEG52	75	VC1	115	R03/A3	155	SEG12
36	COM29/SEG53	76	OSC3	116	R04/A4	156	SEG13
37	COM28/SEG54	77	OSC4	117	R05/A5	157	SEG14
38	COM27/SEG55	78	VD1	118	R06/A6	158	SEG15
39	COM26/SEG56	79	VDD	119	R07/A7	159	SEG16
40	COM25/SEG57	80	VSS	120	R10/A8	160	SEG17

図1.4.3 S1C88316端子配置図

1 概要

表1.4.3 S1C88316端子説明

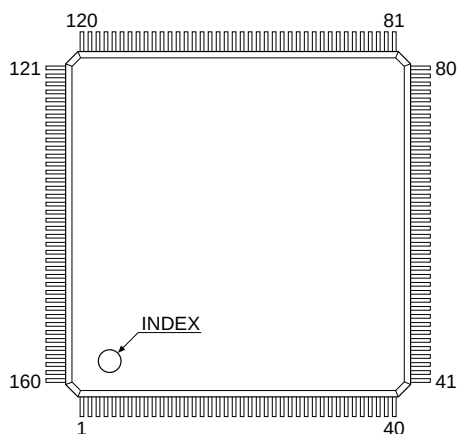
端子名	端子No.	In/Out	機能
VDD	79	–	電源(+)端子
VSS	80	–	電源(GND)端子
VD1	78	–	発振系定電圧出力端子
VC1~VC5	75~71	O	LCD駆動電圧出力端子
CA~CE	70~66	–	LCD系昇圧コンデンサ接続端子
OSC1	81	I	OSC1発振入力端子 (水晶/CR発振/外部クロック入力をマスクオプションで選択)
OSC2	82	O	OSC1発振出力端子
OSC3	76	I	OSC3発振入力端子 (水晶/セラミック/CR発振/外部クロック入力をマスクオプションで選択)
OSC4	77	O	OSC3発振出力端子
MCU/MPU	85	I	MCUモード/MPUモード設定端子
K00~K07	95~88	I	入力ポート(K00~K07)端子
K10/EVIN	87	I	入力ポート(K10)端子またはイベントカウンタ外部クロック(EVIN)入力端子
K11/BREQ	86	I	入力ポート(K11)端子またはバスリクエスト信号(BREQ)入力端子
R00~R07/A0~A7	112~119	O	出力ポート(R00~R07)端子またはアドレスバス(A0~A7)
R10~R17/A8~A15	120~127	O	出力ポート(R10~R17)端子またはアドレスバス(A8~A15)
R20~R22/A16~A18	128~130	O	出力ポート(R20~R22)端子またはアドレスバス(A16~A18)
R23/RD	131	O	出力ポート(R23)端子またはリード信号(RD)出力端子
R24/WR	132	O	出力ポート(R24)端子またはライト信号(WR)出力端子
R25/CL	133	O	出力ポート(R25)端子またはLCD同期信号(CL)出力端子
R26/FR	134	O	出力ポート(R26)端子またはLCDフレーム信号(FR)出力端子
R27/TOUT	135	O	出力ポート(R27)端子 またはプログラマブルタイマアンダーフロー信号(TOUT)出力端子
R30~R33/CE0~CE3	136~139	O	出力ポート(R30~R33)端子またはチップイネーブル信号(CE0~CE3)出力端子
R34/FOUT	140	O	出力ポート(R34)端子またはクロック(FOUT)出力端子
R35~R37 *2		O	出力ポート(R35~R37)端子
R50/BZ	141	O	出力ポート(R50)端子またはブザー信号(BZ)出力端子
R51/BACK	142	O	出力ポート(R51)端子またはバスアクノリッジ信号(BACK)出力端子
P00~P07/D0~D7	111~104	I/O	入出力兼用ポート(P00~P07)端子またはデータバス(D0~D7)
P10/SIN	103	I/O	入出力兼用ポート(P10)端子またはシリアル/Fデータ入力(SIN)端子
P11/SOUT	102	I/O	入出力兼用ポート(P11)端子またはシリアル/Fデータ出力(SOUT)端子
P12/SCLK	101	I/O	入出力兼用ポート(P12)端子またはシリアル/Fクロック(SCLK)入出力端子
P13/SRDY	100	I/O	入出力兼用ポート(P13)端子またはシリアル/Fレディ信号(SRDY)出力端子
P14/CMPP0	99	I/O	入出力兼用ポート(P14)端子またはコンパレータ0非反転入力端子
P15/CMPP0	98	I/O	入出力兼用ポート(P15)端子またはコンパレータ0反転入力端子
P16/CMPP1	97	I/O	入出力兼用ポート(P16)端子またはコンパレータ1非反転入力端子
P17/CMPP1	96	I/O	入出力兼用ポート(P17)端子またはコンパレータ1反転入力端子
COM0~COM15	65~50	O	LCDコモン出力端子
COM16~COM31 /SEG66~SEG51	49~34	O	LCDコモン出力端子 (1/32デューティ選択時) またはLCDセグメント出力端子 (1/16または1/8デューティ選択時)
SEG0~SEG50	143~160, 1~33	O	LCDセグメント出力端子
RESET	84	I	イニシャルリセット入力端子
TEST *1	83	I	テスト用入力端子

*1 TEST端子はICの出荷検査時に使用する端子です。通常動作時は必ずVDDに接続してください。

*2 R35~R37端子はチップ出荷時のみ使用可能です。

S1C88308

QFP8-160pin



端子No.	端子名	端子No.	端子名	端子No.	端子名	端子No.	端子名
1	N.C.	41	N.C.	81	OSC1	121	N.C.
2	SEG13	42	COM22/SEG50	82	OSC2	122	R06/A6
3	SEG14	43	COM21/SEG51	83	TEST	123	R07/A7
4	SEG15	44	COM20/SEG52	84	RESET	124	R10/A8
5	SEG16	45	COM19/SEG53	85	MCU/MPU	125	R11/A9
6	SEG17	46	COM18/SEG54	86	N.C.	126	R12/A10
7	SEG18	47	COM17/SEG55	87	K10/EVIN	127	R13/A11
8	SEG19	48	COM16/SEG56	88	K07	128	R14/A12
9	SEG20	49	COM15	89	K06	129	R15/A13
10	SEG21	50	COM14	90	K05	130	R16/A14
11	SEG22	51	COM13	91	K04	131	R17/A15
12	SEG23	52	COM12	92	K03	132	R20/A16
13	SEG24	53	COM11	93	K02	133	R21/A17
14	SEG25	54	COM10	94	K01	134	R22/A18
15	SEG26	55	COM9	95	K00	135	R23/RD
16	SEG27	56	COM8	96	P17/CMPPM1	136	R24/WR
17	SEG28	57	COM7	97	P16/CMPP1	137	R25/CL
18	SEG29	58	COM6	98	P15/CMPPM0	138	R26/FR
19	SEG30	59	COM5	99	P14/CMPP0	139	R27/TOUT
20	SEG31	60	COM4	100	P13/SRDY	140	R30/CE0
21	N.C.	61	N.C.	101	P12/SCLK	141	N.C.
22	SEG32	62	COM3	102	P11/SOUT	142	R31/CE1
23	SEG33	63	COM2	103	P10/SIN	143	R32/CE2
24	SEG34	64	COM1	104	P07/D7	144	R33/CE3
25	SEG35	65	COM0	105	P06/D6	145	R34/FOUT
26	SEG36	66	CE	106	P05/D5	146	R50/BZ
27	SEG37	67	CD	107	P04/D4	147	SEG0
28	SEG38	68	CC	108	P03/D3	148	SEG1
29	SEG39	69	CB	109	P02/D2	149	SEG2
30	SEG40	70	CA	110	P01/D1	150	SEG3
31	COM31/SEG41	71	VC5	111	P00/D0	151	SEG4
32	COM30/SEG42	72	VC4	112	N.C.	152	SEG5
33	COM29/SEG43	73	VC3	113	N.C.	153	SEG6
34	COM28/SEG44	74	VC2	114	R00/A0	154	SEG7
35	COM27/SEG45	75	VC1	115	R01/A1	155	SEG8
36	COM26/SEG46	76	OSC3	116	R02/A2	156	SEG9
37	COM25/SEG47	77	OSC4	117	R03/A3	157	SEG10
38	COM24/SEG48	78	VD1	118	R04/A4	158	SEG11
39	COM23/SEG49	79	VDD	119	R05/A5	159	SEG12
40	N.C.	80	VSS	120	N.C.	160	N.C.

図1.4.4 S1C88308端子配置図

表1.4.4 S1C88308端子説明

端子名	端子No.	In/Out	機能
VDD	79	—	電源(+)端子
VSS	80	—	電源(GND)端子
VD1	78	—	発振系定電圧出力端子
VC1~VC5	75~71	O	LCD駆動電圧出力端子
CA~CE	70~66	—	LCD系昇圧コンデンサ接続端子
OSC1	81	I	OSC1発振入力端子 (水晶/CR発振/外部クロック入力をマスクオプションで選択)
OSC2	82	O	OSC1発振出力端子
OSC3	76	I	OSC3発振入力端子 (水晶/セラミック/CR発振/外部クロック入力をマスクオプションで選択)
OSC4	77	O	OSC3発振出力端子
MCU/MPU	85	I	MCUモード/MPUモード設定端子
K00~K07	88~95	I	入力ポート (K00~K07)端子
K10/EVIN	87	I	入力ポート (K10)端子またはイベントカウンタ外部クロック(EVIN)入力端子
R00~R07/A0~A7	114~119, 122, 123	O	出力ポート (R00~R07)端子またはアドレスバス(A0~A7)
R10~R17/A8~A15	124~131	O	出力ポート (R10~R17)端子またはアドレスバス(A8~A15)
R20~R22/A16~A18	132~134	O	出力ポート (R20~R22)端子またはアドレスバス(A16~A18)
R23/RD	135	O	出力ポート (R23)端子またはリード信号(RD)出力端子
R24/WR	136	O	出力ポート (R24)端子またはライト信号(WR)出力端子
R25/CL	137	O	出力ポート (R25)端子またはLCD同期信号(CL)出力端子
R26/FR	138	O	出力ポート (R26)端子またはLCDフレーム信号(FR)出力端子
R27/TOUT	139	O	出力ポート (R27)端子 またはプログラマブルタイマアンダーフロー信号(TOUT)出力端子
R30~R33/CE0~CE3	140, 142~144	O	出力ポート (R30~R33)端子またはチップイネーブル信号(CE0~CE3)出力端子
R34/FOUT	145	O	出力ポート (R34)端子またはクロック(FOUT)出力端子
R50/BZ	146	O	出力ポート (R50)端子またはブザー信号(BZ)出力端子
P00~P07/D0~D7	104~111	I/O	入出力兼用ポート (P00~P07)端子またはデータバス(D0~D7)
P10/SIN	103	I/O	入出力兼用ポート (P10)端子またはシリアルI/Fデータ入力(SIN)端子
P11/SOUT	102	I/O	入出力兼用ポート (P11)端子またはシリアルI/Fデータ出力(SOUT)端子
P12/SCLK	101	I/O	入出力兼用ポート (P12)端子またはシリアルI/Fクロック(SCLK)入出力端子
P13/SRDY	100	I/O	入出力兼用ポート (P13)端子またはシリアルI/Fレディ信号(SRDY)出力端子
P14/CMPP0	99	I/O	入出力兼用ポート (P14)端子またはコンパレータ0非反転入力端子
P15/CMPP0	98	I/O	入出力兼用ポート (P15)端子またはコンパレータ0反転入力端子
P16/CMPP1	97	I/O	入出力兼用ポート (P16)端子またはコンパレータ1非反転入力端子
P17/CMPP1	96	I/O	入出力兼用ポート (P17)端子またはコンパレータ1反転入力端子
COM0~COM15	65~62, 60~49	O	LCDコモン出力端子
COM16~COM31 /SEG56~SEG41	48~42, 39~31	O	LCDコモン出力端子 (1/32デューティ選択時) またはLCDセグメント出力端子 (1/16または1/8デューティ選択時)
SEG0~SEG40	147~159, 2~20, 22~30	O	LCDセグメント出力端子
RESET	84	I	イニシャルリセット入力端子
TEST	* 83	I	テスト用入力端子

* TEST端子はICの出荷検査時に使用する端子です。通常動作時は必ずVDDに接続してください。

2 電源

ここでは、S1C883xxの動作電圧、および内部電源回路の構成について説明します。

2.1 動作電圧

S1C883xxの動作電源電圧は次のとおりです。

通常モード:	2.4V～5.5V
低パワーモード:	1.8V～3.5V
高速モード:	3.5V～5.5V

電源電圧がレベル0("7 電気的特性"参照)以下に低下した場合、後述の電源電圧検出(SVD)回路によってシステムリセットがかかるよう、マスクオプションで選択することができます。

2.2 内部電源回路

S1C883xxは図2.2.1に示す電源回路を内蔵しており、前記の範囲内の電圧をVDD(+), VSS(GND)間に供給することによって内部回路に必要なすべての電圧をIC内部で発生します。

電源回路は大きく2つに分けられます。

1つは発振系定電圧回路で、この回路が出力する電圧<VD1>により、発振回路と内部回路が動作します。VD1の電圧値は動作モードに応じ、1.3V(低パワーモード時)/2.2V(通常モード時)/3.3V(高速モード時)の3種類が選択可能で、電源電圧および発振周波数にしたがってプログラムにより切り換えて使用します。

動作モードの切り換えについては"5.4 発振回路と動作モード"を参照してください。

注! VD1端子の出力を外部回路の駆動には絶対に使用しないでください。

もう1つはLCD系の電源回路で、LCDの駆動電圧を発生します。この駆動電圧は1/5バイアス用の<VC1>～<VC5>の5電位で、LCD系定電圧回路の出力VC1およびVC2を昇圧してVC3～VC5を発生しています。この5電位はそれぞれの端子から外部に出力され、外付けの拡張LCDドライバに供給することができます。

各電圧値については"7 電気的特性"を参照してください。

S1C883xxでは、内蔵されたLCDドライバにこのLCD駆動電圧が供給され、コモン/セグメント端子に接続されたLCDパネルを駆動します。

注! VC1～VC5端子は、拡張LCDドライバへ電位を供給する以外の目的には絶対に使用しないでください。
VSS～VC1間負荷抵抗はLCDパネル重負荷時に必要となります。

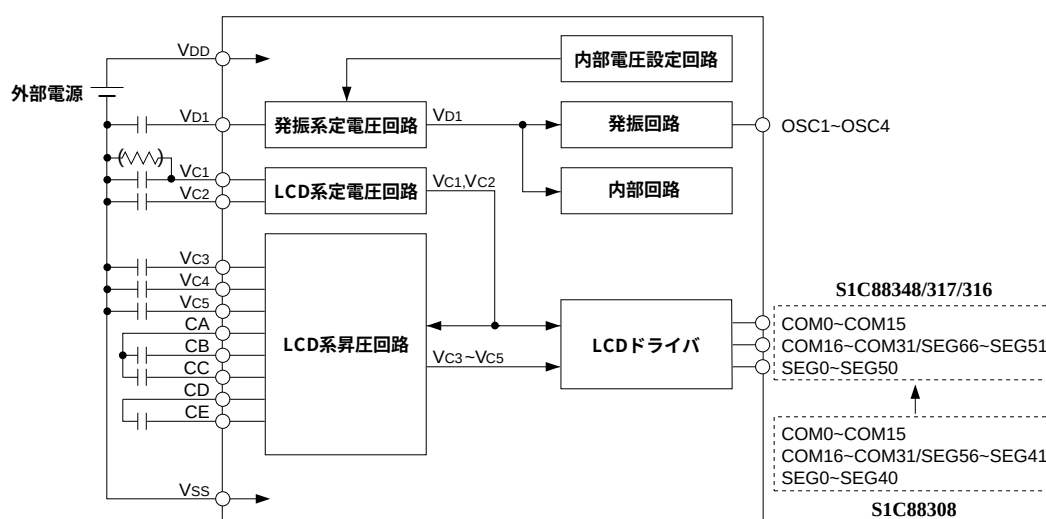


図2.2.1 電源回路の構成

2.3 重負荷保護モード

S1C883xxは、重負荷駆動による電源電圧の変動に対して安定した動作ができるよう重負荷保護機能を内蔵しています。この重負荷保護機能を動作させている状態を重負荷保護モードといい、周辺回路が次の状態のときに有効となります。

- (1) OSC3発振回路がON(OSCC="1"、かつ非SLEEP状態)しているとき
- (2) ブザー出力がON (BZON="1"、またはBZSHT="1")しているとき

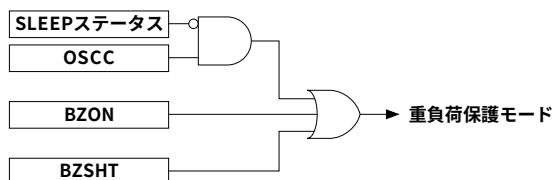


図2.3.1 重負荷保護モード制御回路の構成

OSC3発振回路とブザー出力の詳細は"5.4 発振回路と動作モード"および"5.13 サウンドジェネレータ"をそれぞれ参照してください。

3 CPUとバスの構成

ここでは、CPUと動作モード、およびバスの構成について説明します。

3.1 CPU

S1C883xxはCPUとして8ビットコアCPU S1C88を使用しており、レジスタ構成、命令等は他のS1C88を使用したファミリプロセッサとほぼ同様です。S1C88については"S1C88 Core CPU Manual"を参照してください。

使用しているS1C88のCPUモデルはMODEL3で、S1C883xxの場合、アドレス空間は最大512Kバイト×4となっています。

3.2 内蔵メモリ

S1C883xxは図3.2.1に示すROMおよびRAMを内蔵しており、小規模なアプリケーションには1チップで対応することができます。この内蔵メモリは外部メモリと合わせて使用可能です。また、内蔵ROMをバスから切り離して、所定の空間を外部に解放することもできます。

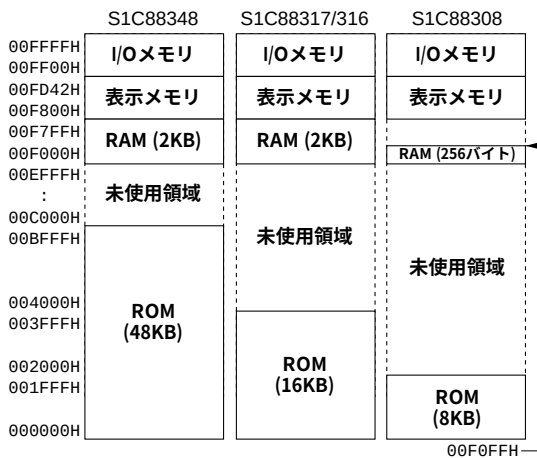


図3.2.1 内蔵メモリマップ

3.2.1 ROM

内蔵ROMの容量は表3.2.1.1に示すとおりです。

表3.2.1.1 内蔵ROM容量

機種名	ROM容量	アドレス
S1C88348	48Kバイト	000000H~00BFFFH
S1C88317	16Kバイト	000000H~003FFFH
S1C88316	16Kバイト	000000H~003FFFH
S1C88308	8Kバイト	000000H~001FFFH

上記の領域はMCU/MPU端子の設定によって、外部メモリに解放することができます("3.5 チップモード"参照)。

3.2.2 RAM

内蔵RAMの容量は表3.2.2.1に示すとおりです。

表3.2.2.1 内蔵RAM容量

機種名	RAM容量	アドレス
S1C88348	2Kバイト	00F000H~00F7FFH
S1C88317	2Kバイト	00F000H~00F7FFH
S1C88316	2Kバイト	00F000H~00F7FFH
S1C88308	256バイト	00F000H~00F0FFH

なお、内蔵RAM領域に外部メモリを拡張した場合でも、この領域は外部メモリには解放されません。この領域のアクセスは常に内蔵RAMに対して行われます。

3.2.3 I/Oメモリ

S1C883xxでは、内蔵する周辺回路とのインタフェースにメモリマップドI/O方式を採用しています。各周辺回路の制御ビットやデータレジスタはメモリ空間上に配置され、通常のメモリアクセスによって制御およびデータのやりとりが行えます。I/Oメモリが配置されている領域は00FF00H~00FFFFHです。I/Oメモリの詳細については"5.1 I/Oメモリマップ"を参照してください。

なお、I/Oメモリ領域に外部メモリを拡張した場合でも、この領域は外部メモリには解放されません。この領域のアクセスは常にI/Oメモリに対して行われます。

3.2.4 表示メモリ

S1C883xxはLCDドライバの表示データを保持する表示メモリを内蔵しています。表示メモリが配置されている領域は00Fx00H～00Fx42H(x=8～DH)です。表示メモリの詳細については"5.12 LCDコントローラ"を参照してください。

表示メモリの領域もI/Oメモリと同様に外部メモリには解放されません。

3.3 例外処理ベクタ

S1C883xxではプログラム領域の0000000H～000023Hが例外処理ベクタとして割り当てられています。また、000026H～0000FFHまでは任意の偶数番地から始まる2バイトにソフトウェア割り込みのベクタを割り付けることができます。

表3.3.1にベクタアドレスと例外処理要因の対応を示します。

表3.3.1 ベクタアドレスと例外処理要因の対応

ベクタ アドレス	例外処理要因	優先 順位
000000H	リセット	高い ↑
000002H	ゼロ除算	
000004H	ウォッチドッグタイマ (NMI)	
000006H	プログラマブルタイマ1割り込み	
000008H	プログラマブルタイマ0割り込み	
00000AH	K10、K11入力割り込み	
00000CH	K04～K07入力割り込み	
00000EH	K00～K03入力割り込み	
000010H	シリアルI/Fエラー割り込み	
000012H	シリアルI/F受信完了割り込み	
000014H	シリアルI/F送信完了割り込み	
000016H	ストップウォッチタイマ100Hz割り込み	
000018H	ストップウォッチタイマ10Hz割り込み	
00001AH	ストップウォッチタイマ1Hz割り込み	
00001CH	計時タイマ32Hz割り込み	↓ 低い
00001EH	計時タイマ8Hz割り込み	
000020H	計時タイマ2Hz割り込み	
000022H	計時タイマ1Hz割り込み	
000024H	システム予約 (使用不可)	なし
000026H	ソフトウェア割り込み	
：		
0000FEH		

各ベクタアドレスとその次のアドレスに、例外処理ルーチンの先頭アドレスを下位、上位の順に格納しておきます。例外処理要因が発生すると、設定されたアドレスから始まる例外処理ルーチンを実行します。

同時に複数の例外処理が発生した場合は優先順位の高いものから先に実行されます。

なお、表3.3.1に示された割り込みの優先順位は、割り込み優先レベルがすべて同じ場合のもので、各割り込みの優先レベルは系列ごとにソフトウェアで設定することができます。("5.16 割り込みとスタンバイ状態"参照)

注! リセット以外の例外処理ではSC(システムコンディションフラグ)およびPC(プログラムカウンタ)をスタックに退避させ、各例外処理ルーチンに分岐します。したがって、例外処理ルーチンからメインルーチンに戻す際にはRETE命令を使用してください。

例外処理要因発生時のCPUの動作については"S1C88 Core CPU Manual"を参照してください。

3.4 CC(カスタマイズコンディションフラグ)

S1C883xxではコアCPU内のカスタマイズコンディションフラグ(CC)を使用していません。したがって、条件付き分岐命令(JRS、CARS)の分岐条件として使用することはできません。

3.5 チップモード

3.5.1 MCUモードとMPUモード

S1C883xxはMCU/MPU端子によってチップの動作モードを次の2種類に設定できます。

■ MCUモード ... MCU/MPU端子をHIGHに設定

内蔵ROMを使用する場合に設定します。内蔵メモリ以外の領域については外部メモリの拡張も行えます。メモリマップについては"3.5.2 バスモード"を参照してください。

MCUモードではイニシャルリセット時に内蔵メモリのみシステムとして起動するようになっています。内蔵ROMはプログラムメモリのコモンエリア(論理空間の0000H~7FFFH)の先頭部分として常時固定となり、例外処理ベクタは内蔵ROM内に配置されます。また、リセット例外処理によって開始されるアプリケーションの初期化ルーチンについても、内蔵ROMに書き込んでおく必要があります。外部に拡張したメモリに対応させるバス等の設定はソフトウェアによって行えますので、内蔵ROMに書き込む初期化ルーチンの中でこの処理を行います。このバスモードの設定後、外部メモリのアクセスが行えるようになります。

このモードでは内蔵メモリの領域をアクセスする際、外部メモリに対してチップイネーブル(CE)信号およびリード(RD)/ライト(WR)信号が出力されず、データバス(D0~D7)はハイインピーダンス状態(マスクオプションでP00~P07をプルアップ抵抗ありとした場合はプルアップ状態)となります。したがって、外部メモリと内蔵メモリでアドレスが重複した場合、外部メモリのその領域は無効となります。

■ MPUモード ... MCU/MPU端子をLOWに設定

内蔵ROM領域を外部に解放します。内蔵ROMは使用できなくなり、この領域のアクセス時には外部メモリに対してチップイネーブル(CE)信号およびリード(RD)/ライト(WR)信号が出力され、データバス(D0~D7)がアクティブとなります。他の内蔵メモリの領域をアクセスする際には、これらの信号は外部に出力されません。

MPUモードでは外部のメモリによってシステムが起動します。このため、イニシャルリセット時に外部メモリの構成にしたがったバスの設定が行えるよう、マスクオプションでシステム構成("3.5.2 バスモード"参照)を選択することができます。

このモードで使用する場合、例外処理ベクタと初期化ルーチンを、必ずコモンエリア(000000H~007FFFH)内に配置する必要があります。MCU/MPU端子の内蔵プルアップ抵抗は、マスクオプションで使用するかしないかを選択することができます。

注! MCU/MPU端子の設定は、RESET端子の立ち上がりエッジでラッチされます。

したがって、設定を変更する場合はRESET端子を再度LOWレベルとする必要があります。

3.5.2 バスモード

バスモードは外部に拡張したメモリの構成にバスの仕様を合わせるための設定で、以下の4種類がソフトウェアによって選択できます。

■ シングルチップモード

	S1C88348	S1C88317/316	S1C88308
	- MCUモード -	- MCUモード -	- MCUモード -
00FFFFH	I/Oメモリ	I/Oメモリ	I/Oメモリ
00FF00H			
00FD42H	表示メモリ	表示メモリ	表示メモリ
00F800H			
00F7FFFH	内蔵RAM	内蔵RAM	
00F000H			内蔵RAM
00EFFFFH	未使用領域		
:			
00C000H		未使用領域	
00BFFFFH			未使用領域
004000H			
003FFFFH	内蔵ROM		
002000H		内蔵ROM	
001FFFFH			内蔵ROM
000000H			

図3.5.2.1 シングルチップモードのメモリマップ

シングルチップモードは外部メモリの拡張を行わずにS1C883xxをシングルチップマイクロコンピュータとして使用する場合に設定するモードです。

このモードでは内蔵ROMを使用するため、前項で示したMCUモードでのみ動作します。MPUモードではシングルチップモードを設定することはできません。

外部に対するバスラインが必要なくなるため、バス用に設定されている端子は汎用の出力ポートあるいは入出力兼用ポートとして使用できます。

これにより出力ポートはそれぞれ、S1C88348/317/316では34ビット、S1C88308では30ビットとなります。入出力兼用ポートは、16ビットの構成となります。

このモードにおけるCPUの動作はS1C88コアCPUのMODEL3/ミニマムモードに相当し、物理空間000000Hから00FFFFFFHまでの領域中、内部メモリが配置されたアドレスのみアクセスの対象として有効となります。

■ 拡張64Kモード

拡張64KモードはS1C883xxの外部に64Kバイト以下のメモリを拡張して使用する場合に設定します。S1C88316/308ではこのモードはMCU/MPUモードにかかわらず設定できます。S1C88348/317ではMPUモードのみに設定できます。

MCUモードでは内蔵ROMが使用されるため、その領域の外部メモリをアクセスすることはできません。

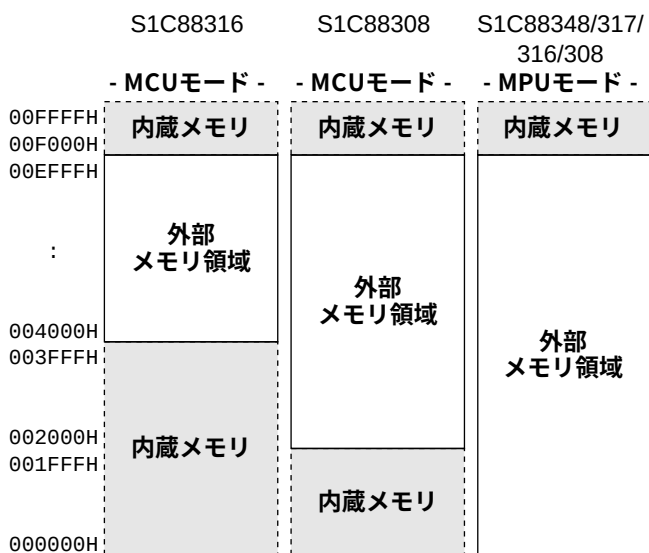
S1C88348/317/316では004000Hから00FFFFFFHまでの領域に、それぞれ外部メモリ等を割り当てることができます。

MPUモードでは内蔵ROM領域が解放されますので、000000Hから00FFFFFFHまでの領域に外部メモリ等を割り当てることができます。

00F000Hから00FFFFFFHまでの領域は内蔵RAM等に割り当てられており、外部デバイスをアクセスすることはできません。

このモードは小～中規模のシステムに対応しており、8Kバイトから64Kバイトのメモリチップに対応したチップイネーブル(CE)信号のアドレス範囲を、ソフトウェアによって4種類から選択することができます。CE信号については"3.6.4 チップイネーブル(CE)信号"で説明します。

このモードにおけるCPUの動作はS1C88コアCPUのMODEL3/ミニマムモードに相当し、物理空間000000Hから00FFFFFFHまでの領域のみ、アクセスの対象として有効となります。



内蔵メモリについては図3.2.1を参照

* S1C88348およびS1C88317は、拡張64Kモード + MPUモードのみの選択となります。

図3.5.2.2 拡張64Kモードのメモリマップ(MPUモード)

■ 拡張512Kミニマムモード

拡張512KミニマムモードはS1C883xxの外部に64Kバイト以上512Kバイト×4以下のメモリを拡張して使用する場合に設定します。このモードはMCU/MPUモードにかかわらず設定できます。

MCUモードでは内蔵ROMが使用され、080000Hから27FFFFHまでの領域に外部メモリ等を割り当てることができます。
MPUモードでは内蔵ROM領域が解放されますので、000000Hから1FFFFFFHまでの領域に外部メモリ等を割り当てることができます。
ただし、00F000Hから00FFFFHまでの領域は内蔵RAM等に割り当てられており、外部デバイスをアクセスすることはできません。

このモードにおけるCPUの動作はS1C88コアCPUのMODEL3/ミニマムモードに相当し、MPUモードでは物理空間000000Hから1FFFFFFHまでの領域、MCUモードでは物理空間080000Hから27FFFFH+内部メモリの領域がアクセスの対象として有効となります。また、プログラムメモリの拡張はコモンエリア(000000H～007FFFFH)と任意の1バンクエリアの64K(MCUモードでは内蔵ROM+32K)バイト以内に制限されますので、プログラム容量が小～中規模、データ容量が大規模なシステムに適しています。

このモードにおけるチップイネーブル($\overline{CE}$)信号のアドレス範囲は512Kバイトに固定されます。

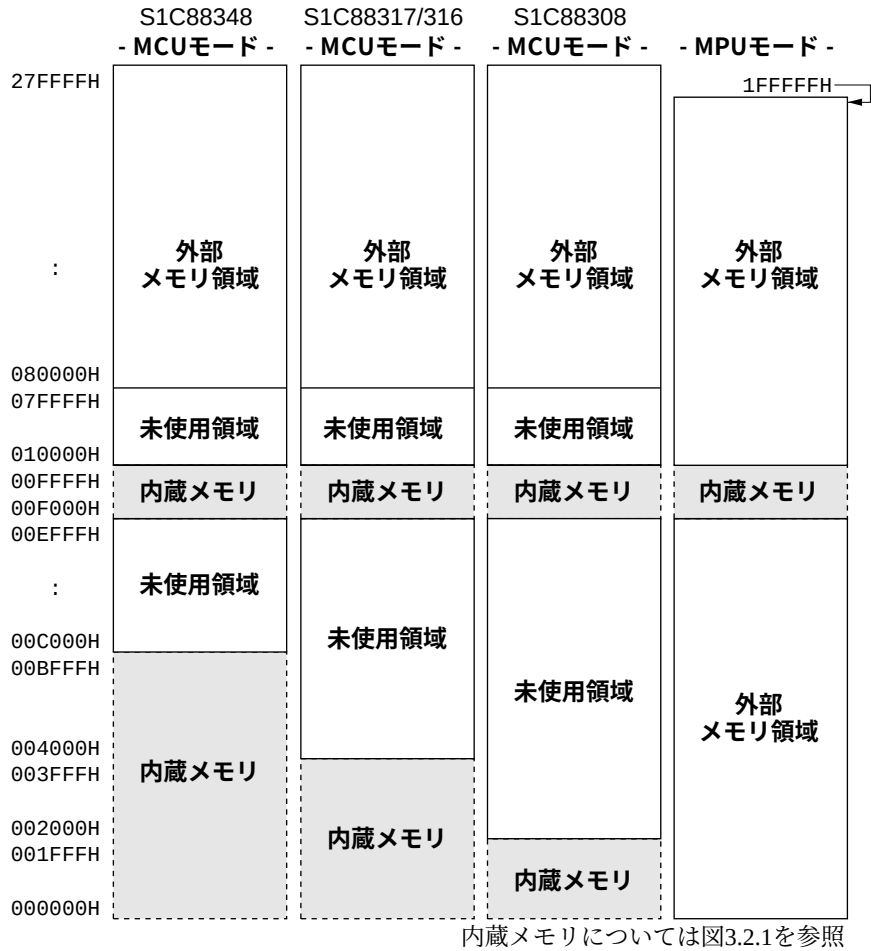


図3.5.2.3 拡張512Kミニマムモードのメモリマップ

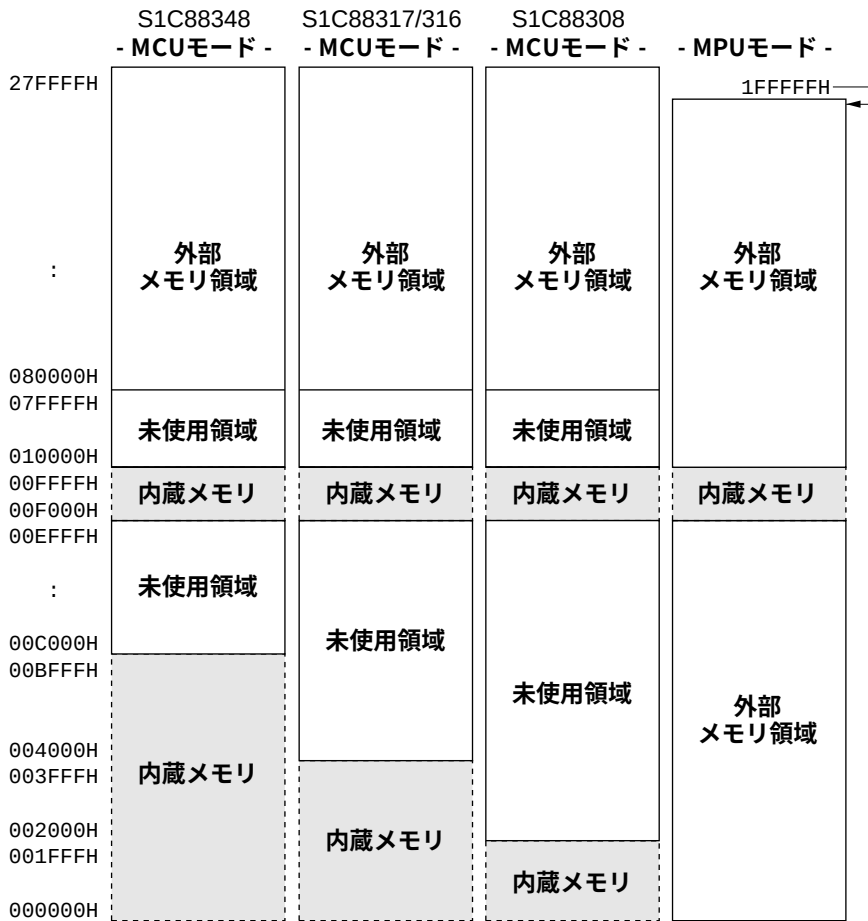
■ 拡張512Kマキシмумモード

拡張512KマキシмумモードはS1C883xxの外部に64Kバイト以上512Kバイト×4以下のメモリを拡張して使用する場合に設定します。このモードはMCU/MPUモードにかかわらず設定できます。

MCUモードでは内蔵ROMが使用され、080000Hから27FFFFHまでの領域に外部メモリ等を割り当てることができます。
MPUモードでは内蔵ROM領域が解放されますので、000000Hから1FFFFFFHまでの領域に外部メモリ等を割り当てることができます。
ただし、00F000Hから00FFFFHまでの領域は内蔵RAM等に割り当てられており、外部デバイスをアクセスすることはできません。

このモードにおけるCPUの動作はS1C88コアCPUのMODEL3/マキシмумモードに相当し、MPUモードでは物理空間000000Hから1FFFFFFHまでの領域、MCUモードでは物理空間080000Hから27FFFFH+内部メモリの領域がアクセスの対象として有効となります。先物理空間中、プログラムメモリおよびデータメモリを任意の大きさ(プログラムとデータ合計で最大512Kバイト×4)で確保できるため、プログラム容量、データ容量ともに大規模なシステムに適しています。

このモードにおけるチップイネーブル($\overline{\text{CE}}$)信号のアドレス範囲は512Kバイトに固定されます。



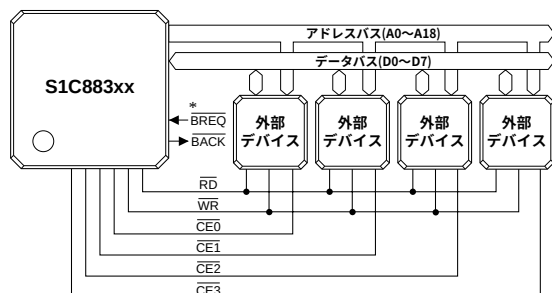
内蔵メモリについては図3.2.1を参照

図3.5.2.4 拡張512Kマキシмумモードのメモリマップ

各モードの設定方法については"5.2 システムコントローラとバスの制御"で説明します。

3.6 外部バス

S1C883xxは最大512K×4バイトのアドレッシングが可能なバス端子を持ち、前項に示した各バスモードの範囲にしたがって、外部にメモリ等のデバイスを拡張することができます。



* S1C88308にはバス権解放機能はありません。

図3.6.1 外部バスライン

以下に外部バス端子の概要を説明します。制御方法については"5.2 システムコントローラとバスの制御"を参照してください。

3.6.1 データバス

S1C883xxは8ビットの外部データバス(D0~D7)を持っています。データバスD0~D7は、端子および入出力回路が入出力兼用ポートP00~P07と共用されており、バスモードの設定によって機能の切り換えが行われます。

シングルチップモードでは8ビットの端子がすべて入出力兼用ポートP00~P07として設定され、その他の拡張モードではデータバス(D0~D7)に設定されます。

データバスに設定された場合、各入出力兼用ポートのデータレジスタとI/Oコントロールレジスタは入出力回路から切り離され、リード/ライト可能な汎用データレジスタとして使用できます。

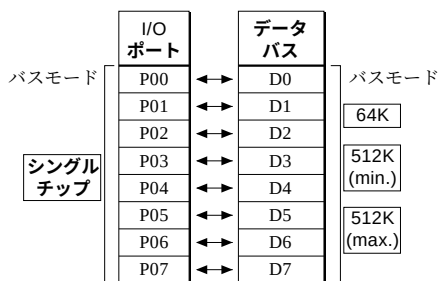


図3.6.1.1 データバスと入出力兼用ポートの対応

このデータバスの各ラインに対して、入力モード時にのみONするプルアップ抵抗のあり/なしをマスクオプションで選択することができます。(入出力兼用ポートとして使用する場合も同様)

3.6.2 アドレスバス

S1C883xxは19ビットの外部アドレスバス(A0~A18)を持っています。アドレスバスA0~A18は、端子および出力回路が出力ポートR00~R07(A0~A7)、R10~R17(A8~A15)、R20~R22(A16~A18)と共用されており、バスモードの設定によって機能の切り換えが行われます。

シングルチップモードでは19ビットの端子がすべて出力ポートR00~R07、R10~R17、R20~R22として設定されます。

拡張64Kモードでは19ビットのうちA0~A15の16ビットの端子がアドレスバスとして、A16~A18の3ビットが出力ポートR20~R22として設定されます。拡張512Kミニマム/マキシマムモードでは19ビットの端子がすべてアドレスバス(A0~A18)として設定されます。

アドレスバスに設定された場合、各出力ポートのデータレジスタとハイインピーダンス制御レジスタは出力回路から切り離され、リード/ライト可能な汎用データレジスタとして使用できます。

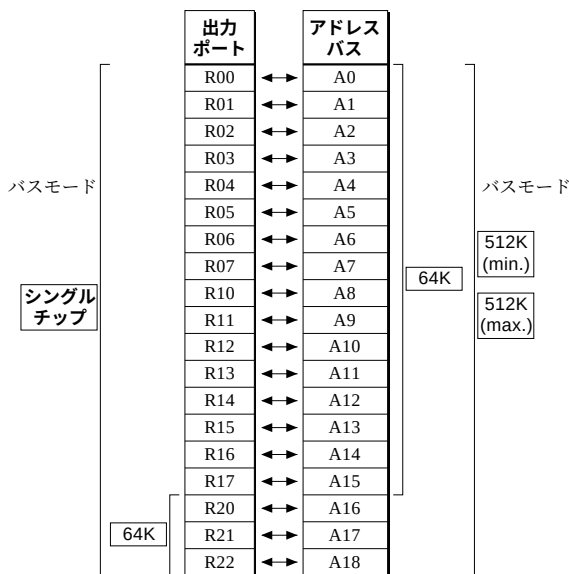


図3.6.2.1 アドレスバスと出力ポートの対応

3.6.3 リード($\overline{RD}$)/ライト($\overline{WR}$)信号

外部デバイスに対するリード($\overline{RD}$)/ライト($\overline{WR}$)信号の出力端子および出力回路はそれぞれ出力ポートR23、R24と共用されており、バスモードの設定によって機能の切り換えが行われます。

シングルチップモードではどちらの端子も出力ポート端子として設定され、その他の拡張モードではリード($\overline{RD}$)/ライト($\overline{WR}$)信号出力端子に設定されます。リード($\overline{RD}$)/ライト($\overline{WR}$)信号出力端子に設定された場合、出力ポートR23、R24のデータレジスタとハイインピーダンス制御レジスタは出力回路から切り離され、リード/ライト可能な汎用データレジスタとして使用できます。

それぞれの信号は外部デバイスのメモリ領域をアクセスする場合にのみ出力され、内蔵メモリのアクセス時には出力されません。

信号の出力タイミングについては"3.6.5 ウェイト制御"を参照してください。

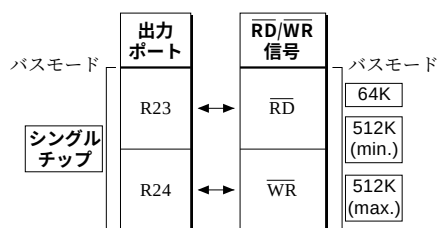


図3.6.3.1 リード($\overline{RD}$)/ライト($\overline{WR}$)信号と出力ポートの対応

3.6.4 チップイネーブル($\overline{CE}$)信号

S1C883xxはチップイネーブル($\overline{CE}$)信号を最大4本出力することのできるアドレスデコーダを内蔵しています。これにより、外部にアドレスデコーダを設けることなく、チップイネーブル($\overline{CE}$)またはチップセレクト($\overline{CS}$)端子を持つ4個のデバイスを直接、接続することができます。

4本のチップイネーブル($\overline{CE0} \sim \overline{CE3}$)信号の出力端子および出力回路は出力ポートR30～R33と共用されており、シングルチップモード以外のモードの場合に、チップイネーブル($\overline{CE}$)と出力ポートのどちらに設定するかをソフトウェアで4ビット個々に選択することができます。

チップイネーブル($\overline{CE}$)出力に設定した場合、その出力ポートのデータレジスタとハイインピーダンス制御レジスタは出力回路から切り離され、リード/ライト可能な汎用データレジスタとして使用できます。

シングルチップモードの場合は出力ポートR30～R33として固定されます。

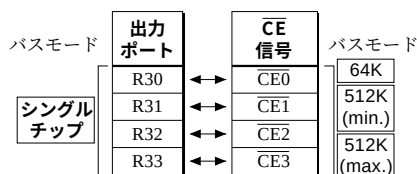


図3.6.4.1 $\overline{CE}$ 信号と出力ポートの対応

4本のチップイネーブル($\overline{CE}$)信号に割り当てられるアドレス範囲は、バスモードの設定によって決定されます。拡張64Kモードの場合は使用するメモリに合わせた4種類のアドレス範囲がソフトウェアによって選択できます。

表3.6.4.1に、各モードにおいて割り当てられるチップイネーブル($\overline{CE}$)信号のアドレス範囲を示します。内蔵メモリ領域のアクセス時には $\overline{CE}$ 信号が出力されません。その部分のアドレス範囲が変則的な設定になりますので注意してください。

メモリ空間への外部デバイスの配置は必ずしも下位アドレスから連続させる必要はなく、任意のチップイネーブル信号を用いてその領域に割り当てることができます。

それぞれの信号は外部デバイスのメモリ領域をアクセスする場合にのみ出力され、内蔵メモリのアクセス時には出力されません。

信号の出力タイミングについては"3.6.5 ウェイト制御"を参照してください。

表3.6.4.1 $\overline{CE0}$ ～ $\overline{CE3}$ のアドレス設定

(1) 拡張64Kモード+MCUモード(S1C88316)

$\overline{CE}$ 信号	アドレス範囲(ソフトウェアによる選択)			
	8Kバイト	16Kバイト	32Kバイト	64Kバイト
$\overline{CE0}$	008000H~009FFFH	—	004000H~007FFFH	004000H~00EFFFH
$\overline{CE1}$	00A000H~00BFFFH	004000H~007FFFH	008000H~00EFFFH	—
$\overline{CE2}$	004000H~005FFFH	008000H~00BFFFH	—	—
$\overline{CE3}$	006000H~007FFFH	00C000H~00EFFFH	—	—

(2) 拡張64Kモード+MCUモード(S1C88308)

$\overline{CE}$ 信号	アドレス範囲(ソフトウェアによる選択)			
	8Kバイト	16Kバイト	32Kバイト	64Kバイト
$\overline{CE0}$	008000H~009FFFH	002000H~003FFFH	002000H~007FFFH	002000H~00EFFFH
$\overline{CE1}$	002000H~003FFFH	004000H~007FFFH	008000H~00EFFFH	—
$\overline{CE2}$	004000H~005FFFH	008000H~00BFFFH	—	—
$\overline{CE3}$	006000H~007FFFH	00C000H~00EFFFH	—	—

(3) 拡張64Kモード+MPUモード(S1C88348/317/316/308)

$\overline{CE}$ 信号	アドレス範囲(ソフトウェアによる選択)			
	8Kバイト	16Kバイト	32Kバイト	64Kバイト
$\overline{CE0}$	000000H~001FFFH	000000H~003FFFH	000000H~007FFFH	000000H~00EFFFH
$\overline{CE1}$	002000H~003FFFH	004000H~007FFFH	008000H~00EFFFH	—
$\overline{CE2}$	004000H~005FFFH	008000H~00BFFFH	—	—
$\overline{CE3}$	006000H~007FFFH	00C000H~00EFFFH	—	—

(4) 拡張512Kミニマム/マキシマムモード(S1C88348/317/316/308)

$\overline{CE}$ 信号	アドレス範囲	
	MCUモード	MPUモード
$\overline{CE0}$	200000H~27FFFH	000000H~00EFFFH, 010000H~07FFFH
$\overline{CE1}$	080000H~0FFFFFH	080000H~0FFFFFH
$\overline{CE2}$	100000H~17FFFH	100000H~17FFFH
$\overline{CE3}$	180000H~1FFFFFH	180000H~1FFFFFH

3.6.5 ウェイト制御

S1C883xxは、高速動作時における外付け低速デバイスのアクセスを保証するため、アクセスタイム伸長用のウェイト機能を内蔵しています。(ウェイト機能の詳細は"S1C88 Core CPU Manual"を参照してください。)

挿入するウェイトステート数はソフトウェアによって表3.6.5.1に示す8種類の中から選択できます。

表3.6.5.1 選択可能なウェイトステート数

選択No.	1	2	3	4	5	6	7	8
挿入ステート数	0	2	4	6	8	10	12	14

* 1ステート長はクロックの1/2サイクルです。

ソフトウェアで設定したウェイトステートはバスサイクルのT3～T4ステート間に挿入されます。ただし、内部レジスタと内蔵メモリのアクセス時、およびOSC1発振回路("5.4 発振回路と動作モード"参照)での動作時には、ウェイトは挿入されません。したがって、シングルチップモードではウェイトステートの設定は意味を持ちません。

図3.6.5.1にメモリリード/ライトのタイミングチャートを示します。

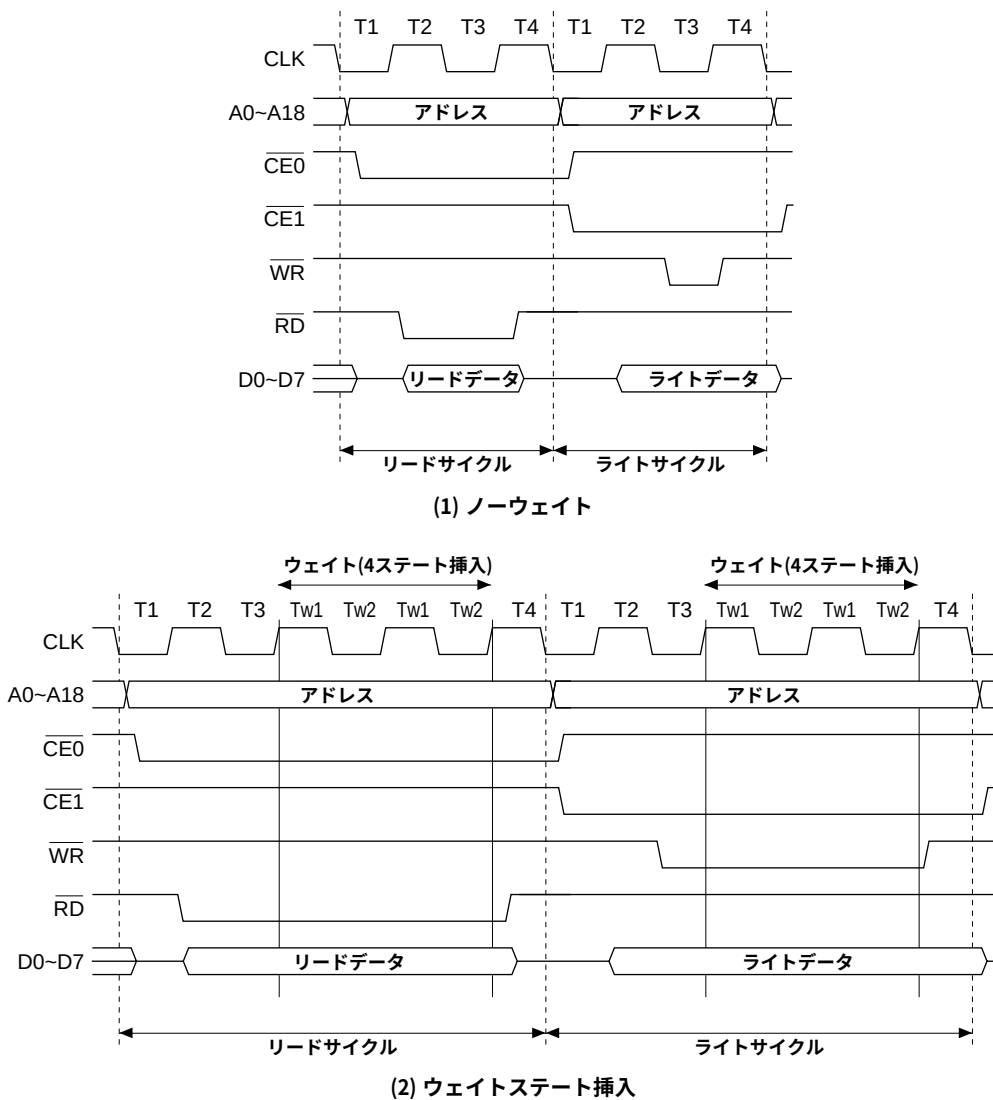


図3.6.5.1 メモリリード/ライトサイクル

3.6.6 バス権解放状態

S1C88348/317/316は、外部デバイスからの要求によるバス権解放機能を持っており、外部デバイス間でのDMA(Direct Memory Access)転送が行えます。本機能は内蔵メモリへのアクセスはできません。

この機能に使用する端子は、バス権解放要求信号($\overline{\text{BREQ}}$)入力端子とバス権解放応答信号($\overline{\text{BACK}}$)出力端子の2本が用意されています。

$\overline{\text{BREQ}}$ 入力端子はK11入力ポート端子と、 $\overline{\text{BACK}}$ 出力端子はR51出力ポート端子と共用されており、ソフトウェアによって $\overline{\text{BREQ}}$ / $\overline{\text{BACK}}$ 端子に設定して使用します。シングルチップモードの場合、またはバス権解放の必要ないシステムにおいては、それぞれを入力/出力ポートに設定してください。

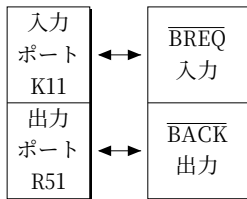


図3.6.6.1 $\overline{\text{BREQ}}$ / $\overline{\text{BACK}}$ 端子

外部デバイスからのバス権解放要求($\overline{\text{BREQ}}=\text{LOW}$)を受け付けると、S1C883xxはアドレスバス、データバス、 $\overline{\text{RD}}/\overline{\text{WR}}$ 信号、および $\overline{\text{CE}}$ 信号の各ラインをハイインピーダンス状態に設定し、 $\overline{\text{BACK}}$ 端子にLOWレベルを出力してバス権を解放します。外部デバイスは $\overline{\text{BACK}}$ 端子にLOWレベルが出力された時点から外部バスを使用することができ、DMA終了後に $\overline{\text{BREQ}}$ 端子をHIGHレベルに戻すことでバス権を放棄します。

図3.6.6.2にバス権解放のシーケンスを示します。

バス権解放状態中、外部デバイスからは内蔵メモリをアクセスすることはできません。内蔵メモリの領域と重複した領域を持つ外部メモリがある場合、外部デバイスが出力する $\overline{\text{CE}}$ 信号にしたがって外部メモリがアクセスされます。

注! バス権解放状態以外のときは外部デバイスがバスマスタとならないようシステム上で注意してください。
 $\overline{\text{BREQ}}$ 端子をLOWレベルにした後 $\overline{\text{BACK}}$ 端子がLOWレベルになるまで、 $\overline{\text{BREQ}}$ 端子のLOWレベルを保持してください。
 $\overline{\text{BACK}}$ 端子がLOWレベルになる以前に $\overline{\text{BREQ}}$ 端子をHIGHレベルに戻すと、バス権解放状態への移行が不確定となります。

S1C88308にバス権解放機能はありません。

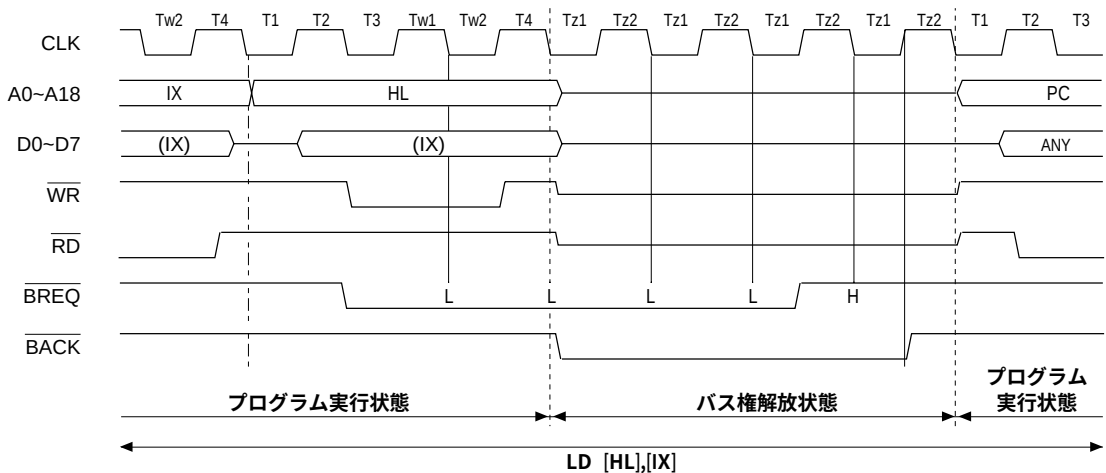


図3.6.6.2 バス権解放のシーケンス

4 イニシャルリセット

S1C883xxは回路を初期化するためにイニシャルリセットを必要とします。

ここでは、イニシャルリセットの要因と内部レジスタ等の初期設定について説明します。

4.1 イニシャルリセット要因

S1C883xxのイニシャルリセット要因としては以下の3種類があります。

- (1) **RESET**端子
- (2) **入力ポート(K00～K03端子)の同時LOWレベル入力**
- (3) **電源電圧検出(SVD)回路**

図4.1.1にイニシャルリセット回路の構成を示します。

イニシャルリセット要因によってCPUおよび周辺回路が初期化され、要因が解除されるとCPUはリセット例外処理を開始します。("S1C88 Core CPU Manual"参照)

これによって、バンク0先頭(000000H～000001H)のリセット例外処理ベクタが読み出され、その読み出されたアドレスから始まるプログラム(初期化ルーチン)の実行を開始します。

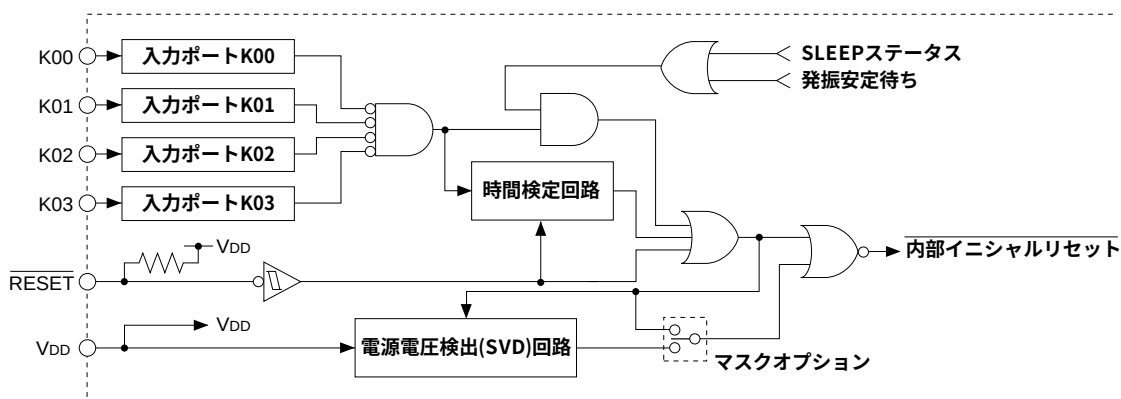


図4.1.1 イニシャルリセット回路の構成

4.1.1 $\overline{\text{RESET}}$ 端子

外部から $\overline{\text{RESET}}$ 端子にLOWレベルを入力することでイニシャルリセットが行えます。

S1C883xxを確実に初期化するため、電源電圧立ち上がり後規定の時間 $\overline{\text{RESET}}$ 端子をLOWレベルに保持してください。

また、電源投入時の初回のイニシャルリセットは必ず $\overline{\text{RESET}}$ 端子を使用してください。 $\overline{\text{RESET}}$ 端子の内蔵プルアップ抵抗はマスクオプションで使用するかしないかを選択することができます。

4.1.2 入力ポート(K00~K03)の同時LOWレベル入力

マスクオプションで選択された入力ポート(K00~K03)に、外部から同時にLOWレベルを入力することでイニシャルリセットが行えます。本イニシャルリセット手段は時間検定回路を内蔵しているため、2秒(発振周波数 $f_{\text{OSC1}}=32.768\text{kHz}$ の場合)以上、指定入力ポート端子をLOWレベルに保つ必要があります。

ただし、SLEEP(スタンバイ)状態時、および電源投入時の発振安定待ち期間中は時間検定回路がバイパスされるため、指定入力ポートへのLOWレベル同時入力直後にイニシャルリセットがかかります。マスクオプションで選択できる入力ポート(K00~K03)の組合せは次のとおりです。

- (1) 使用しない
- (2) K00 & K01
- (3) K00 & K01 & K02
- (4) K00 & K01 & K02 & K03

たとえば、マスクオプションで(4)の"K00 & K01 & K02 & K03"を選択した場合、K00~K03の4ポートの入力が同時にLOWレベルになったときにイニシャルリセットがかかります。

この機能を使用する場合、通常動作時に指定入力ポートが同時にLOWレベルにならないように注意してください。

4.1.3 電源電圧検出(SVD)回路

SVD回路によって電源電圧がレベル0("7 電気的特性"参照)以下として連続的に4回検出された場合、SVD回路は電源電圧がレベル2以上に復帰するまでイニシャルリセット信号を発生します。

なお、SVD回路によるイニシャルリセットを使用するかしないかはマスクオプションで選択することができ、使用するとした場合は電源投入時におけるSVD回路の初回サンプリングで、電源電圧がレベル2以上である必要があります。このとき、電源電圧がレベル2未満である場合は、イニシャルリセット状態が解除されず、SVD回路は電源電圧がレベル2以上になるまで連続的にサンプリングを行います。

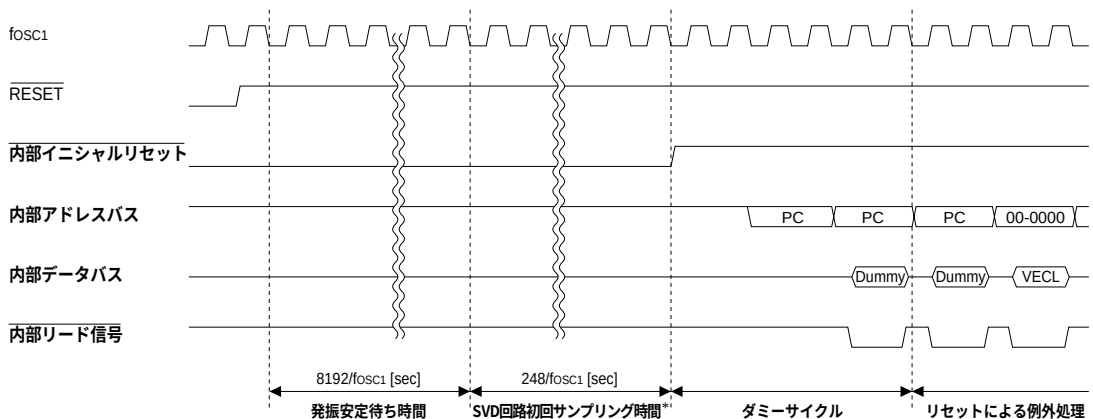
詳細については"5.15 電源電圧検出(SVD)回路"を参照してください。

4.1.4 イニシャルリセットシーケンス

電源投入時の $\overline{\text{RESET}}$ 端子へのLOWレベル入力解除後、発振安定待ち時間($8,192/f_{\text{OSC1}}$ 秒)が経過するまでCPUの起動は待たされます。

また、SVD回路によるイニシャルリセットを使用するとした場合は、初回のサンプリング時間($248/f_{\text{OSC1}}$ 秒)がさらに待ち時間として付加されます。

図4.1.4.1にイニシャルリセット解除後の動作シーケンスを示します。



* マスクオプションでSVD回路によるイニシャルリセットを使用するとした場合のみ、本サイクルが待ち時間として挿入されます。

図4.1.4.1 イニシャルリセット解除後の動作シーケンス

4 イニシャルリセット

なお、入力ポート(K00～K03)への同時LOWレベル入力によるイニシャルリセット手段を使用する場合は、次の点に注意してください。

- (1) SLEEP状態時、および電源投入時の発振安定待ち期間中は時間検定回路がバイパスされるため、LOWレベル同時入力直後にイニシャルリセットがかかります。この場合、LOWレベル同時入力解除後に発振安定時間、SVD回路初回サンプリング時間(マスクオプションで使用するとした場合)を待ってCPUが起動されます。
- (2) (1)の状態以外はLOWレベル同時入力1～2秒後にイニシャルリセットがかかります。この場合は、S1C883xx内部でリセット微分パルス(64/fosc1秒)が発生されるため、LOWレベル同時入力状態を解除しなくてもCPUは起動されます。

4.2 イニシャルリセット時の初期設定

イニシャルリセットによりCPUの内部レジスタは以下のように初期化されます。

表4.2.1 初期設定値

レジスタ名称	記号	ビット長	初期値
データレジスタA	A	8	不定
データレジスタB	B	8	不定
インデックス(データ)レジスタL	L	8	不定
インデックス(データ)レジスタH	H	8	不定
インデックスレジスタIX	IX	16	不定
インデックスレジスタIY	IY	16	不定
プログラムカウンタ	PC	16	不定*
スタックポインタ	SP	16	不定
ベースレジスタ	BR	8	不定
ゼロフラグ	Z	1	0
キャリーフラグ	C	1	0
オーバフローフラグ	V	1	0
ネガティブフラグ	N	1	0
デシマルフラグ	D	1	0
アンパックフラグ	U	1	0
インタラプトフラグ0	I0	1	1
インタラプトフラグ1	I1	1	1
ニューコードバンクレジスタ	NB	8	01H
コードバンクレジスタ	CB	8	不定*
エクスパンドページレジスタ	EP	8	00H
IX用エクスパンドページレジスタ	XP	8	00H
IY用エクスパンドページレジスタ	YP	8	00H

* リセット例外処理によって、0バンクのメモリ
の先頭(000000H～000001H)に格納されている
値がPCにロードされます。また、このとき同
時にNBの初期値01HがCBにロードされます。

イニシャルリセット時に初期化されない(不定)レジスタはソフトウェアで初期化してください。

内蔵RAMおよび表示メモリについてもイニシャルリセット時に初期化されませんので、同様にソフトウェアで初期化してください。

内蔵の周辺回路については、それぞれ所定の初期化が行われます。必要に応じてソフトウェアで初期化してください。

イニシャルリセット時の初期値については、次章のI/Oメモリマップまたは各周辺回路の説明を参照してください。

5 周辺回路と動作

S1C883xxの周辺回路はメモリマップドI/O方式でCPUとインタフェースされています。このため、他のメモリアクセスと同様にI/Oメモリを操作して周辺回路を制御することができます。以下、各周辺回路別とその動作と制御方法を説明します。

表5.1.1(b) I/Oメモリマップ(00FF00H~00FF02H, MPUモード)

アドレス	ビット	名称	機 能			1	0	SR	R/W	注 釈	
00FF00 (MPU)	D7	BSMD1	バスモード(CPUモード)					*	R/W	初期設定はマスク オプションで3種類 (64K, 512K min, 512K max)の中から 選択できます	
			BSMD1	BSMD0	モード						
			1	1	512K (マキシマム)						
			1	0	512K (ミニマム)						
	D6	BSMD0	0	1	64K			*	R/W		
			0	0	*オプション選択 ◀						
	D5	CEMD1	チップイネーブルモード					1	R/W	64Kバスモードのみ	
			CEMD1	CEMD0	モード						
			1	1	64K ($\overline{CE0}$)						
			1	0	32K ($\overline{CE0}$, $\overline{CE1}$)			1	R/W		
	D4	CEMD0	0	1	16K ($\overline{CE0}$ – $\overline{CE3}$)						
			0	0	8K ($\overline{CE0}$ – $\overline{CE3}$)						
	D3	CE3	$\overline{CE3}$ (R33)	$\overline{CE}$ 信号出力イネーブル 有効: $\overline{CE}$ 信号出力 無効: DC出力(R3x)			$\overline{CE3}$ 有効	$\overline{CE3}$ 無効	0	R/W	
	D2	CE2	$\overline{CE2}$ (R32)				$\overline{CE2}$ 有効	$\overline{CE2}$ 無効	0	R/W	
	D1	CE1	$\overline{CE1}$ (R31)				$\overline{CE1}$ 有効	$\overline{CE1}$ 無効	0	R/W	
	D0	CE0	$\overline{CE0}$ (R30)				$\overline{CE0}$ 有効	$\overline{CE0}$ 無効	1	R/W	
00FF01	D7	SPP7	スタックポインタページアドレス (MSB)			1	0	0	R/W		
	D6	SPP6				1	0	0	R/W		
	D5	SPP5	< SPページ割り付け可能アドレス >			1	0	0	R/W		
	D4	SPP4	・ シングルチップモード: 0ページのみ			1	0	0	R/W		
	D3	SPP3	・ 64Kモード: 0ページのみ			1	0	0	R/W		
	D2	SPP2	・ 512K (min)モード: 0～27Hページ			1	0	0	R/W		
	D1	SPP1	・ 512K (max)モード: 0～27Hページ			1	0	0	R/W		
	D0	SPP0	(LSB)			1	0	0	R/W		
00FF02	D7	EBR	バス解放イネーブル (K11, R51端子仕様)		K11 R51	$\overline{BREQ}$ BACK	入力ポート 出力ポート	0	R/W	S1C88308ではR/W レジスタ機能のみ	
	D6	WT2	ウェイトステート制御							0	R/W
			WT2	WT1	WT0	ステート数					
			1	1	1	14					
			1	1	0	12					
	D5	WT1	1	0	1	10					
			1	0	0	8					
			0	1	1	6					
			0	1	0	4					
	D4	WT0	0	0	1	2					
			0	0	0	ノーウェイト					
	D3	CLKCHG	CPU動作クロック切り換え			OSC3	OSC1	0	R/W		
	D2	OSCC	OSC3発振On/Off制御			On	Off	0	R/W		
	D1	VDC1	動作モード選択							0	R/W
			VDC1	VDC0	動作モード						
		1	×	高速モード (VD1 = 3.3V)							
		0	1	低パワーモード (VD1 = 1.3V)							
D0	VDC0	0	0	通常モード (VD1 = 2.2V)							

注! アドレス"00FF00H"および"00FF01H"に任意の値をそれぞれ書き込むまで、NMIを含めたすべての割り込みはマスクされます。

5 周辺回路と動作(I/Oメモリマップ)

表5.1.1(c) I/Oメモリマップ(00FF10H~00FF13H)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF10	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	LCCLK	拡張LCDドライバ用CL出力制御	On	Off	0	R/W	
	D3	LCFRM	拡張LCDドライバ用FR出力制御	On	Off	0	R/W	
	D2	DTFNT	LCDドットフォント選択	5×5ドット	5×8ドット	0	R/W	
	D1	LDUTY	LCD駆動デューティ選択	1/16デューティ	1/32デューティ	0	R/W	*1
	D0	SGOUT	汎用レジスタ	1	0	0	R/W	予約レジスタ
00FF11	D7	—	—	—	—	—		読み出し時は"0"
	D6	DSPAR	LCD表示メモリ領域選択	表示領域1	表示領域0	0	R/W	
	D5	LCDC1	LCD表示制御			0	R/W	SLP命令実行時に (0, 0)にリセット
			LCDC1 LCDC0 LCD表示					
			1 1 全点灯					
	D4	LCDC0	1 0 全消灯			0	R/W	
			0 1 通常表示					
			0 0 駆動Off					
	D3	LC3	LCDコントラスト調整			0	R/W	
	D2	LC2	LC3 LC2 LC1 LC0 コントラスト			0	R/W	
			1 1 1 1 濃					
	D1	LC1	1 1 1 0 :			0	R/W	
			: : : :					
	D0	LC0	0 0 0 0 淡			0	R/W	
00FF12	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	SVDSP	SVDオートサンプリング制御	On	Off	0	R/W	SLP命令実行時 "0"にリセット
	D4	SVDON	SVD連続サンプリング制御/ステータス	R W	Busy On	Ready Off	1→0 ^{*2} 0	
	D3	SVD3	SVD検出レベル			X	R	*3
	D2	SVD2	SVD3 SVD2 SVD1 SVD0 検出レベル			X	R	
			1 1 1 1 レベル15					
	D1	SVD1	1 1 1 0 レベル14			X	R	
00FF13			: : : :					
	D0	SVD0	0 0 0 0 レベル0			X	R	
	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	CMP1ON	コンパレータ1 On/Off制御	On	Off	0	R/W	
	D2	CMP0ON	コンパレータ0 On/Off制御	On	Off	0	R/W	
	D1	CMP1DT	コンパレータ1データ	+>-	+<-	0	R	
	D0	CMP0DT	コンパレータ0データ	+>-	+<-	0	R	

*1 マスクオプションで1/8デューティを選択している場合は、本レジスタの設定は無効となります。

*2 イニシャルリセット時、本ステータスはハードウェアによる初回のサンプリングが終了するまで、"1"に設定されます。

*3 初期値は、ハードウェアによる初回のサンプリング時に検出される電源電圧にしたがって設定されます。このサンプリングが終了するまで、SVD0~SVD3のデータは不定となります。

表5.1.1(d) I/Oメモリマップ(00FF20H~00FF25H)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF20	D7	PK01	K00~K07割り込み	PK01 PK00 PSIF1 PSIF0 PSW1 PSW0 優先 PTM1 PTM0 レベル 1 1 レベル3 1 0 レベル2 0 1 レベル1 0 0 レベル0		0	R/W	
	D6	PK00	プライオリティレジスタ			0	R/W	
	D5	PSIF1	シリアルインタフェース割り込み			0	R/W	
	D4	PSIF0	プライオリティレジスタ			0	R/W	
	D3	PSW1	ストップウォッチタイマ割り込み			0	R/W	
	D2	PSW0	プライオリティレジスタ			0	R/W	
	D1	PTM1	計時タイマ割り込み			0	R/W	
00FF21	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	PPT1	プログラマブルタイマ割り込み	PPT1 PPT0 優先 PK11 PK10 レベル 1 1 レベル3 1 0 レベル2 0 1 レベル1 0 0 レベル0		0	R/W	
	D2	PPT0	プライオリティレジスタ			0	R/W	
	D1	PK11	K10, K11割り込み			0	R/W	
	D0	PK10	プライオリティレジスタ			0	R/W	
00FF22	D7	—	—	—	—	—		読み出し時は"0"
	D6	ESW100	ストップウォッチ100Hz割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D5	ESW10	ストップウォッチ10Hz割り込みイネーブルレジスタ					
	D4	ESW1	ストップウォッチ1Hz割り込みイネーブルレジスタ					
	D3	ETM32	計時タイマ32Hz割り込みイネーブルレジスタ					
	D2	ETM8	計時タイマ8Hz割り込みイネーブルレジスタ					
	D1	ETM2	計時タイマ2Hz割り込みイネーブルレジスタ					
	D0	ETM1	計時タイマ1Hz割り込みイネーブルレジスタ					
00FF23	D7	EPT1	プログラマブルタイマ1割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D6	EPT0	プログラマブルタイマ0割り込みイネーブルレジスタ					
	D5	EK1	K10, K11割り込みイネーブルレジスタ					
	D4	EK0H	K04~K07割り込みイネーブルレジスタ					
	D3	EK0L	K00~K03割り込みイネーブルレジスタ					
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブルレジスタ					
	D1	ESREC	シリアルI/F(受信)割り込みイネーブルレジスタ					
00FF24	D7	—	—	—	—	—		読み出し時は"0"
	D6	FSW100	ストップウォッチ100Hz割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W	
	D5	FSW10	ストップウォッチ10Hz割り込み要因フラグ					
	D4	FSW1	ストップウォッチ1Hz割り込み要因フラグ					
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ	(W) リセット	(W) 無効	0	R/W	
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ					
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ					
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ					
00FF25	D7	FPT1	プログラマブルタイマ1割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W	
	D6	FPT0	プログラマブルタイマ0割り込み要因フラグ					
	D5	FK1	K10, K11割り込み要因フラグ					
	D4	FK0H	K04~K07割り込み要因フラグ					
	D3	FK0L	K00~K03割り込み要因フラグ	(W) リセット	(W) 無効	0	R/W	
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ					
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ					
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ					

5 周辺回路と動作(I/Oメモリマップ)

表5.1.1(e) I/Oメモリマップ(00FF30H~00FF33H)

アドレス	ビット	名称	機 能		1	0	SR	R/W	注 釈		
00FF30	D7	—	—		—	—	—		読み出し時は 常時"0"		
	D6	—	—		—	—	—				
	D5	—	—		—	—	—				
	D4	MODE16	8/16ビットモード選択			16ビット x 1	8ビット x 2	0	R/W		
	D3	CHSEL	TOUT出力チャンネル選択			タイマ1	タイマ0	0	R/W		
	D2	PTOUT	TOUT出力制御			On	Off	0	R/W		
	D1	CKSEL1	プリスケーラ1原振クロック選択			fosc3	fosc1	0	R/W		
	D0	CKSEL0	プリスケーラ0原振クロック選択			fosc3	fosc1	0	R/W		
00FF31	D7	EVCNT	タイマ0カウンタモード選択			イベントカウンタ	タイマ	0	R/W		
	D6	FCSEL 機能選択	タイマモード時		パルス幅 測定	通常 モード	0	R/W			
			イベントカウンタモード時		ノイズリジ ェクタ付き	ノイズリジ ェクタなし					
	D5	PLPOL パルス 極性選択	イベントカウンタモードの ダウンカウントタイミング		K10入力の 立ち上がり	K10入力の 立ち下がり	0	R/W			
			パルス幅測定モード時		K10入力の Highレベル 幅測定	K10入力の Lowレベル 幅測定					
	D4	PSC01	タイマ0プリスケーラ分周比選択					0	R/W		
	PSC01		PSC00	プリスケーラ分周比							
	1		1	原振クロック / 64							
	1		0	原振クロック / 16				0	R/W		
	D3	PSC00	0	1	原振クロック / 4						
			0	0	原振クロック / 1						
			タイマ0連続/ワンショットモード選択			連続	ワンショット	0	R/W	読み出し時は"0"	
			D1	PSET0	タイマ0プリセット			プリセット	無効		—
D0	PRUN0	タイマ0 Run/Stop制御			Run	Stop	0	R/W			
00FF32	D7	—	—		—	—	—		読み出し時は 常時"0"		
	D6	—	—		—	—	—				
	D5	—	—		—	—	—				
	D4	PSC11	タイマ1プリスケーラ分周比選択					0	R/W		
			PSC11	PSC10	プリスケーラ分周比						
			1	1	原振クロック / 64						
			1	0	原振クロック / 16				0		R/W
	D3	PSC10	0	1	原振クロック / 4						
			0	0	原振クロック / 1						
			タイマ1連続/ワンショットモード選択			連続	ワンショット	0	R/W	読み出し時は"0"	
D1			PSET1	タイマ1プリセット			プリセット	無効	—		W
D0	PRUN1	タイマ1Run/Stop制御			Run	Stop	0	R/W			
00FF33	D7	RLD07	タイマ0リロードデータD7 (MSB)			High	Low	1	R/W		
	D6	RLD06	タイマ0リロードデータD6								
	D5	RLD05	タイマ0リロードデータD5								
	D4	RLD04	タイマ0リロードデータD4								
	D3	RLD03	タイマ0リロードデータD3								
	D2	RLD02	タイマ0リロードデータD2								
	D1	RLD01	タイマ0リロードデータD1								
	D0	RLD00	タイマ0リロードデータD0 (LSB)								

表5.1.1(f) I/Oメモリマップ(00FF34H~00FF36H)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF34	D7	RLD17	タイマ1リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RLD16	タイマ1リロードデータD6					
	D5	RLD15	タイマ1リロードデータD5					
	D4	RLD14	タイマ1リロードデータD4					
	D3	RLD13	タイマ1リロードデータD3					
	D2	RLD12	タイマ1リロードデータD2					
	D1	RLD11	タイマ1リロードデータD1					
	D0	RLD10	タイマ1リロードデータD0 (LSB)					
00FF35	D7	PTD07	タイマ0カウンタデータD7 (MSB)	High	Low	1	R	
	D6	PTD06	タイマ0カウンタデータD6					
	D5	PTD05	タイマ0カウンタデータD5					
	D4	PTD04	タイマ0カウンタデータD4					
	D3	PTD03	タイマ0カウンタデータD3					
	D2	PTD02	タイマ0カウンタデータD2					
	D1	PTD01	タイマ0カウンタデータD1					
	D0	PTD00	タイマ0カウンタデータD0 (LSB)					
00FF36	D7	PTD17	タイマ1カウンタデータD7 (MSB)	High	Low	1	R	
	D6	PTD16	タイマ1カウンタデータD6					
	D5	PTD15	タイマ1カウンタデータD5					
	D4	PTD14	タイマ1カウンタデータD4					
	D3	PTD13	タイマ1カウンタデータD3					
	D2	PTD12	タイマ1カウンタデータD2					
	D1	PTD11	タイマ1カウンタデータD1					
	D0	PTD10	タイマ1カウンタデータD0 (LSB)					

表5.1.1(g) I/Oメモリマップ(00FF40H~00FF41H)

アドレス	ビット	名称	機 能				1	0	SR	R/W	注 釈
00FF40	D7	—	—				—	—	—		読み出し時は"0"
	D6	FOUT2	FOUT周波数選択						0	R/W	
			FOUT2	FOUT1	FOUT0	周波数					
			0	0	0	fOSC1 / 1					
	D5	FOUT1	0	0	1	fOSC1 / 2			0	R/W	
			0	1	0	fOSC1 / 4					
			0	1	1	fOSC1 / 8					
			1	0	0	fOSC3 / 1					
	D4	FOUT0	1	0	1	fOSC3 / 2			0	R/W	
			1	1	0	fOSC3 / 4					
1			1	1	fOSC3 / 8						
D3	FOUTON	FOUT出力制御				On	Off	0	R/W		
D2	WDRST	ウォッチドッグタイマリセット				リセット	無効	—	W	読み出し時は	
D1	TMRST	計時タイマリセット				リセット	無効	—	W	常時"0"	
D0	TMRUN	計時タイマRun/Stop制御				Run	Stop	0	R/W		
00FF41	D7	TMD7	計時タイマデータ 1Hz				High	Low	0	R	
	D6	TMD6	計時タイマデータ 2Hz								
	D5	TMD5	計時タイマデータ 4Hz								
	D4	TMD4	計時タイマデータ 8Hz								
	D3	TMD3	計時タイマデータ 16Hz								
	D2	TMD2	計時タイマデータ 32Hz								
	D1	TMD1	計時タイマデータ 64Hz								
	D0	TMD0	計時タイマデータ 128Hz								

5 周辺回路と動作(I/Oメモリマップ)

表5.1.1(h) I/Oメモリマップ(00FF42H~00FF45H)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈	
00FF42	D7	—	—	—	—	—		読み出し時は 常時"0"	
	D6	—	—	—	—	—			
	D5	—	—	—	—	—			
	D4	—	—	—	—	—			
	D3	—	—	—	—	—			
	D2	—	—	—	—	—			
	D1	SWRST	ストップウォッチタイマリセット	リセット	無効	—	W		
	D0	SWRUN	ストップウォッチタイマRun/Stop制御	Run	Stop	0	R/W		
00FF43	D7	SWD7	ストップウォッチタイマデータ					0 R	
	D6	SWD6							
	D5	SWD5	BCD (1/10sec)						
	D4	SWD4							
	D3	SWD3	ストップウォッチタイマデータ						
	D2	SWD2							
	D1	SWD1	BCD (1/100 sec)						
	D0	SWD0							
00FF44	D7	—	—	—	—	—		読み出し時は 常時"0"	
	D6	BZSTP	ワンショットブザー強制停止	強制停止	無効	—	W		
	D5	BZSHT	ワンショットブザートリガ/ステータス	R Busy W トリガ	Ready 無効	0	R/W	読み出し時は"0" *1	
	D4	SHTPW	ワンショットブザー時間幅選択	125msec	31.25msec	0	R/W		
	D3	ENRTM	エンベロープ減衰時間	1sec	0.5sec	0	R/W		
	D2	ENRST	エンベロープリセット	リセット	無効	—	W		
	D1	ENON	エンベロープOn/Off制御	On	Off	0	R/W		
	D0	BZON	ブザー出力制御	On	Off	0	R/W		
00FF45	D7	—	—	—	—	—		読み出し時は"0"	
	D6	DUTY2	ブザー信号デューティ比選択 DUTY2-1 ブザー周波数(Hz)			0	R/W		
									2 1 0 4096.0 3276.8 2730.7 2340.6 2048.0 1638.4 1365.3 1170.3
	D5	DUTY1	0 0 0 8/16 8/20 12/24 12/28			0	R/W		
			0 0 1 7/16 7/20 11/24 11/28						
			0 1 0 6/16 6/20 10/24 10/28						
			0 1 1 5/16 5/20 9/24 9/28						
	D4	DUTY0	1 0 0 4/16 4/20 8/24 8/28			0	R/W		
			1 0 1 3/16 3/20 7/24 7/28						
			1 1 0 2/16 2/20 6/24 6/28						
			1 1 1 1/16 1/20 5/24 5/28						
	D3	—	—	—	—	—	—		
D2	BZFQ2	ブザー周波数選択 BZFQ2 BZFQ1 BZFQ0 周波数(Hz)			0	R/W			
							0 0 0 4096.0		
D1	BZFQ1	0 0 1 3276.8			0	R/W			
		0 1 0 2730.7							
		0 1 1 2340.6							
		1 0 0 2048.0							
D0	BZFQ0	1 0 1 1638.4			0	R/W			
		1 1 0 1365.3							
		1 1 1 1170.3							

*1 ワンショット出力時、"0"にリセット

表5.1.1(i) I/Oメモリマップ(00FF48H~00FF4AH)

アドレス	ビット	名称	機 能		1	0	SR	R/W	注 釈	
00FF48	D7	—	—		—	—	—		読み出し時は"0"	
	D6	EPR	パリティイネーブルレジスタ		パリティ付き	パリティなし	0	R/W	調歩同期式のみ	
	D5	PMD	パリティモード選択		奇数	偶数	0	R/W		
	D4	SCS1	クロック源選択				0	R/W	クロック同期式 スレープモード では外部クロック が選択される	
			SCS1	SCS0	クロック源					
			1	1	プログラマブルタイマ					
	D3	SCS0	1	0	fosc3 / 4			0		R/W
			0	1	fosc3 / 8					
			0	0	fosc3 / 16					
	D2	SMD1	シリアルI/Fモード選択				0	R/W		
		SMD1	SMD0	モード						
		1	1	調歩同期式8ビット						
D1	SMD0	1	0	調歩同期式7ビット			0	R/W		
		0	1	クロック同期式スレープ						
		0	0	クロック同期式マスタ						
	D0	ESIF	シリアルI/Fイネーブルレジスタ		シリアルI/F	I/Oポート	0	R/W		
00FF49	D7	—	—		—	—	—		読み出し時は"0"	
	D6	FER	フレーミングエラーフラグ	R W	エラー リセット(0)	エラーなし 無効	0	R/W	調歩同期式のみ	
	D5	PER	パリティエラーフラグ	R W	エラー リセット(0)	エラーなし 無効	0	R/W		
	D4	OER	オーバーランエラーフラグ	R W	エラー リセット(0)	エラーなし 無効	0	R/W		
	D3	RXTRG	受信トリガ/ステータス	R W	受信中 トリガ	停止中 無効	0	R/W		
	D2	RXEN	受信許可		許可	禁止	0	R/W		
	D1	TXTRG	送信トリガ/ステータス	R W	送信中 トリガ	停止中 無効	0	R/W		
	D0	TXEN	送信許可		許可	禁止	0	R/W		
	00FF4A	D7	TRXD7	送受信データD7 (MSB)		High	Low	X	R/W	
D6		TRXD6	送受信データD6							
D5		TRXD5	送受信データD5							
D4		TRXD4	送受信データD4							
D3		TRXD3	送受信データD3							
D2		TRXD2	送受信データD2							
D1		TRXD1	送受信データD1							
D0		TRXD0	送受信データD0 (LSB)							

5 周辺回路と動作(I/Oメモリマップ)

表5.1.1(j) I/Oメモリマップ(00FF50H～00FF55H)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF50	D7	SIK07	K07割り込み選択レジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D6	SIK06	K06割り込み選択レジスタ					
	D5	SIK05	K05割り込み選択レジスタ					
	D4	SIK04	K04割り込み選択レジスタ					
	D3	SIK03	K03割り込み選択レジスタ					
	D2	SIK02	K02割り込み選択レジスタ					
	D1	SIK01	K01割り込み選択レジスタ					
	D0	SIK00	K00割り込み選択レジスタ					
00FF51	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	SIK11	K11割り込み選択レジスタ	割り込み 許可	割り込み 禁止	0	R/W	*1
	D0	SIK10	K10割り込み選択レジスタ					
00FF52	D7	KCP07	K07入力比較レジスタ	立ち下がり エッジで 割り込み 発生	立ち上がり エッジで 割り込み 発生	1	R/W	
	D6	KCP06	K06入力比較レジスタ					
	D5	KCP05	K05入力比較レジスタ					
	D4	KCP04	K04入力比較レジスタ					
	D3	KCP03	K03入力比較レジスタ					
	D2	KCP02	K02入力比較レジスタ					
	D1	KCP01	K01入力比較レジスタ					
	D0	KCP00	K00入力比較レジスタ					
00FF53	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	KCP11	K11入力比較レジスタ	立ち下がり エッジ	立ち上がり エッジ	1	R/W	*2
	D0	KCP10	K10入力比較レジスタ					
00FF54	D7	K07D	K07入力ポートデータ	Highレベル 入力	Lowレベル 入力	—	R	
	D6	K06D	K06入力ポートデータ					
	D5	K05D	K05入力ポートデータ					
	D4	K04D	K04入力ポートデータ					
	D3	K03D	K03入力ポートデータ					
	D2	K02D	K02入力ポートデータ					
	D1	K01D	K01入力ポートデータ					
	D0	K00D	K00入力ポートデータ					
00FF55	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	K11D	K11入力ポートデータ	Highレベル 入力	Lowレベル 入力	—	R	*3
	D0	K10D	K10入力ポートデータ					

*1 S1C88308では常時"0"を設定してください。

*3 S1C88308では読み出し時、常時"1"

*2 S1C88308では常時"1"を設定してください。

表5.1.1(k) I/Oメモリマップ(00FF60H~00FF63H)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF60	D7	IOC07	P07 I/Oコントロールレジスタ	出力	入力	0	R/W	
	D6	IOC06	P06 I/Oコントロールレジスタ					
	D5	IOC05	P05 I/Oコントロールレジスタ					
	D4	IOC04	P04 I/Oコントロールレジスタ					
	D3	IOC03	P03 I/Oコントロールレジスタ					
	D2	IOC02	P02 I/Oコントロールレジスタ					
	D1	IOC01	P01 I/Oコントロールレジスタ					
	D0	IOC00	P00 I/Oコントロールレジスタ					
00FF61	D7	IOC17	P17 I/Oコントロールレジスタ	出力	入力	0	R/W	
	D6	IOC16	P16 I/Oコントロールレジスタ					
	D5	IOC15	P15 I/Oコントロールレジスタ					
	D4	IOC14	P14 I/Oコントロールレジスタ					
	D3	IOC13	P13 I/Oコントロールレジスタ					
	D2	IOC12	P12 I/Oコントロールレジスタ					
	D1	IOC11	P11 I/Oコントロールレジスタ					
	D0	IOC10	P10 I/Oコントロールレジスタ					
00FF62	D7	P07D	P07 入出力兼用ポートデータ	High	Low	1	R/W	
	D6	P06D	P06 入出力兼用ポートデータ					
	D5	P05D	P05 入出力兼用ポートデータ					
	D4	P04D	P04 入出力兼用ポートデータ					
	D3	P03D	P03 入出力兼用ポートデータ					
	D2	P02D	P02 入出力兼用ポートデータ					
	D1	P01D	P01 入出力兼用ポートデータ					
	D0	P00D	P00 入出力兼用ポートデータ					
00FF63	D7	P17D	P17 入出力兼用ポートデータ	High	Low	1	R/W	
	D6	P16D	P16 入出力兼用ポートデータ					
	D5	P15D	P15 入出力兼用ポートデータ					
	D4	P14D	P14 入出力兼用ポートデータ					
	D3	P13D	P13 入出力兼用ポートデータ					
	D2	P12D	P12 入出力兼用ポートデータ					
	D1	P11D	P11 入出力兼用ポートデータ					
	D0	P10D	P10 入出力兼用ポートデータ					

5 周辺回路と動作(I/Oメモリマップ)

表5.1.1(l) I/Oメモリマップ(00FF70H～00FF75H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF70	D7	HZR51	R51ハイインピーダンス制御	ハイインピーダンス	コンプライメンタリ	0	R/W	*1
	D6	HZR50	R50ハイインピーダンス制御					
	D5	HZR4H	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D4	HZR4L	汎用レジスタ					
	D3	HZR1H	R14～R17ハイインピーダンス制御	ハイインピーダンス	コンプライメンタリ	0	R/W	
	D2	HZR1L	R10～R13ハイインピーダンス制御					
	D1	HZR0H	R04～R07ハイインピーダンス制御					
	D0	HZR0L	R00～R03ハイインピーダンス制御					
00FF71	D7	HZR27	R27ハイインピーダンス制御	ハイインピーダンス	コンプライメンタリ	0	R/W	
	D6	HZR26	R26ハイインピーダンス制御					
	D5	HZR25	R25ハイインピーダンス制御					
	D4	HZR24	R24ハイインピーダンス制御					
	D3	HZR23	R23ハイインピーダンス制御					
	D2	HZR22	R22ハイインピーダンス制御					
	D1	HZR21	R21ハイインピーダンス制御					
	D0	HZR20	R20ハイインピーダンス制御					
00FF72	D7	HZR37	R37ハイインピーダンス制御	ハイインピーダンス	コンプライメンタリ	0	R/W	S1C88308 ではR/Wレジスタ 機能のみ
	D6	HZR36	R36ハイインピーダンス制御					
	D5	HZR35	R35ハイインピーダンス制御					
	D4	HZR34	R34ハイインピーダンス制御					
	D3	HZR33	R33ハイインピーダンス制御					
	D2	HZR32	R32ハイインピーダンス制御					
	D1	HZR31	R31ハイインピーダンス制御					
	D0	HZR30	R30ハイインピーダンス制御					
00FF73	D7	R07D	R07出力ポートデータ	High	Low	1	R/W	
	D6	R06D	R06出力ポートデータ					
	D5	R05D	R05出力ポートデータ					
	D4	R04D	R04出力ポートデータ					
	D3	R03D	R03出力ポートデータ					
	D2	R02D	R02出力ポートデータ					
	D1	R01D	R01出力ポートデータ					
	D0	R00D	R00出力ポートデータ					
00FF74	D7	R17D	R17出力ポートデータ	High	Low	1	R/W	
	D6	R16D	R16出力ポートデータ					
	D5	R15D	R15出力ポートデータ					
	D4	R14D	R14出力ポートデータ					
	D3	R13D	R13出力ポートデータ					
	D2	R12D	R12出力ポートデータ					
	D1	R11D	R11出力ポートデータ					
	D0	R10D	R10出力ポートデータ					
00FF75	D7	R27D	R27出力ポートデータ	High	Low	1	R/W	
	D6	R26D	R26出力ポートデータ					
	D5	R25D	R25出力ポートデータ					
	D4	R24D	R24出力ポートデータ					
	D3	R23D	R23出力ポートデータ					
	D2	R22D	R22出力ポートデータ					
	D1	R21D	R21出力ポートデータ					
	D0	R20D	R20出力ポートデータ					

*1 S1C88308ではR/Wレジスタ機能のみ

表5.1.1(m) I/Oメモリマップ(00FF76H~00FF78H)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF76	D7	R37D	R37出力ポートデータ	High	Low	1	R/W	S1C88308 ではR/Wレジスタ 機能のみ
	D6	R36D	R36出力ポートデータ					
	D5	R35D	R35出力ポートデータ					
	D4	R34D	R34出力ポートデータ					
	D3	R33D	R33出力ポートデータ					
	D2	R32D	R32出力ポートデータ					
	D1	R31D	R31出力ポートデータ					
	D0	R30D	R30出力ポートデータ					
00FF77	D7	R47D	汎用レジスタ	1	0	1	R/W	予約レジスタ
	D6	R46D	汎用レジスタ					
	D5	R45D	汎用レジスタ					
	D4	R44D	汎用レジスタ					
	D3	R43D	汎用レジスタ					
	D2	R42D	汎用レジスタ					
	D1	R41D	汎用レジスタ					
	D0	R40D	汎用レジスタ					
00FF78	D7	—	—	—	—	—	—	読み出し時は 常時"0"
	D6	—	—	—	—	—	—	
	D5	—	—	—	—	—	—	
	D4	—	—	—	—	—	—	
	D3	—	—	—	—	—	—	
	D2	—	—	—	—	—	—	
	D1	R51D	R51出力ポートデータ	High	Low	1	R/W	*1
	D0	R50D	R50出力ポートデータ	High	Low	0	R/W	

*1 S1C88308ではR/Wレジスタ機能のみ

5.2 システムコントローラとバスの制御

システムコントローラはメモリなどのシステム構成にしたがって、バスモード等の設定を行う管理ユニットです。

システムを制御するために、以下の設定がソフトウェアによって行えます。

- (1) バスモード(CPUモード)の設定
- (2) チップイネーブル(CE)出力の設定
- (3) 外部メモリに対するウェイトステートの設定
- (4) バス権解放要求/応答信号(BREQ/BACK)の設定
- (5) スタックポインタのページアドレスの設定

以下、これらの設定方法について説明します。

5.2.1 バスモードの設定

S1C883xxは"3.5.2 バスモード"で説明した4種類のバスモードを持ち、外部に接続するメモリの容量にしたがってソフトウェアによる設定が必要となります。

バスモードの設定は表5.2.1.1に示すとおり、BSMD0およびBSMD1レジスタに各モードの設定値を書き込むことによって行います。

表5.2.1.1 バスモードの設定

設定値		バスモード	外部メモリの構成
BSMD1	BSMD0		
1	1	拡張512Kマキシマムモード	ROM+RAM>64Kバイト(プログラム>64Kバイト)
1	0	拡張512Kミニマムモード	ROM+RAM>64Kバイト(プログラム≤64Kバイト)
0	1	拡張64Kモード(MPUモード)	ROM+RAM≤64Kバイト
0	0	シングルチップモード(MCU)	なし
		拡張モードの1つをオプション設定(MPU)	上記参照

* シングルチップモードは本ICをMCUモードで使用する場合にのみ設定可能です。MPUモードでは内蔵ROMを使用しないため、シングルチップモードは設定できません。

MPUモードで使用する場合はイニシャルリセット時、およびBSMD0=BSMD1="0"設定時のバスモードを3種類の拡張モード(拡張64Kモード、拡張512Kミニマムモード、拡張512Kマキシマムモード)の中からいずれか1つ、マスクオプションにより選択する必要があります。

MPUモードを全く使用しない場合の本マスクオプションは、デフォルト(拡張512Kマキシマムモード)を選択してください。

モードの選択にしたがって入出力端子の機能が表5.2.1.2のとおりを設定されます。

表5.2.1.2 入出力端子の設定

端子	バスモード		
	シングルチップ	拡張64K	拡張512K
R00	出力ポートR00	アドレスバスA0	
R01	出力ポートR01	アドレスバスA1	
R02	出力ポートR02	アドレスバスA2	
R03	出力ポートR03	アドレスバスA3	
R04	出力ポートR04	アドレスバスA4	
R05	出力ポートR05	アドレスバスA5	
R06	出力ポートR06	アドレスバスA6	
R07	出力ポートR07	アドレスバスA7	
R10	出力ポートR10	アドレスバスA8	
R11	出力ポートR11	アドレスバスA9	
R12	出力ポートR12	アドレスバスA10	
R13	出力ポートR13	アドレスバスA11	
R14	出力ポートR14	アドレスバスA12	
R15	出力ポートR15	アドレスバスA13	
R16	出力ポートR16	アドレスバスA14	
R17	出力ポートR17	アドレスバスA15	
R20	出力ポートR20		アドレスバスA16
R21	出力ポートR21		アドレスバスA17
R22	出力ポートR22		アドレスバスA18
R23	出力ポートR23	RD信号	
R24	出力ポートR24	WR信号	
P00	入出力兼用ポートP00	データバスD0	
P01	入出力兼用ポートP01	データバスD1	
P02	入出力兼用ポートP02	データバスD2	
P03	入出力兼用ポートP03	データバスD3	
P04	入出力兼用ポートP04	データバスD4	
P05	入出力兼用ポートP05	データバスD5	
P06	入出力兼用ポートP06	データバスD6	
P07	入出力兼用ポートP07	データバスD7	

イニシャルリセット時、バスモードは以下のよう
に設定されます。

・MCUモードの場合

イニシャルリセット時、シングルチップモード
に設定されます。

したがって、MCUモードでは外部にメモリを
拡張している場合でも内蔵ROMに書き込まれ
たプログラムにより起動します。

外部にメモリを拡張しているシステムでは、内
蔵ROM上の初期化ルーチンで該当するバス
モードの設定を行ってください。

・MPUモードの場合

MPUモードで使用する場合は、マスクオプショ
ンによってイニシャルリセット時に設定される
拡張モード(拡張64Kモード、拡張512Kミニマ
ムモード、拡張512Kマキシマムモードのいづ
れか1つ)をあらかじめ選択しておく必要があり
ます。

システム構成に合ったオプション設定を行って
ください。

5.2.2 アドレスデコーダ($\overline{CE}$ 出力)の設定

S1C883xxは"3.6.4 チップイネーブル($\overline{CE}$)信号"で説明したとおり、外部デバイスに対するチップイネーブル信号を最大4本($\overline{CE0} \sim \overline{CE3}$)出力することのできるアドレスデコーダを内蔵しています。

$\overline{CE0} \sim \overline{CE3}$ の出力端子および出力回路は出力ポートR30～R33と共用となっており、イニシャルリセット時には出力ポート端子に設定されます。このため、シングルチップモード以外の場合は使用する $\overline{CE}$ 端子の設定を行う必要があります。この設定はソフトウェアによってレジスタCE0～CE3で行い、使用する $\overline{CE}$ 信号に対応するレジスタに"1"を書き込みます。

4本のチップイネーブル($\overline{CE}$)信号に割り当てられるアドレス範囲を表5.2.2.1に示します。

表5.2.2.1 $\overline{CE0} \sim \overline{CE3}$ のアドレス設定

(1) 拡張64Kモード+MCUモード(S1C88316)

CEMD1	CEMD0	チップサイズ	$\overline{CE0}$	$\overline{CE1}$	$\overline{CE2}$	$\overline{CE3}$
1	1	64Kバイト	004000H~00EFFFH	—	—	—
1	0	32Kバイト	004000H~007FFFH	008000H~00EFFFH	—	—
0	1	16Kバイト	—	004000H~007FFFH	008000H~00BFFFH	00C000H~00EFFFH
0	0	8Kバイト	008000H~009FFFH	00A000H~00BFFFH	004000H~005FFFH	006000H~007FFFH

(2) 拡張64Kモード+MCUモード(S1C88308)

CEMD1	CEMD0	チップサイズ	$\overline{CE0}$	$\overline{CE1}$	$\overline{CE2}$	$\overline{CE3}$
1	1	64Kバイト	002000H~00EFFFH	—	—	—
1	0	32Kバイト	002000H~007FFFH	008000H~00EFFFH	—	—
0	1	16Kバイト	002000H~003FFFH	004000H~007FFFH	008000H~00BFFFH	00C000H~00EFFFH
0	0	8Kバイト	008000H~009FFFH	002000H~003FFFH	004000H~005FFFH	006000H~007FFFH

(3) 拡張64Kモード+MPUモード(S1C88348/317/316/308)

CEMD1	CEMD0	チップサイズ	$\overline{CE0}$	$\overline{CE1}$	$\overline{CE2}$	$\overline{CE3}$
1	1	64Kバイト	000000H~00EFFFH	—	—	—
1	0	32Kバイト	000000H~007FFFH	008000H~00EFFFH	—	—
0	1	16Kバイト	000000H~003FFFH	004000H~007FFFH	008000H~00BFFFH	00C000H~00EFFFH
0	0	8Kバイト	000000H~001FFFH	002000H~003FFFH	004000H~005FFFH	006000H~007FFFH

(4) 拡張512Kミニマム/マキシマムモード(S1C88348/317/316/308)

$\overline{CE}$ 信号	アドレス範囲	
	MCUモード	MPUモード
$\overline{CE0}$	200000H~27FFFFH	000000H~00EFFFH, 010000H~07FFFFH
$\overline{CE1}$	080000H~0FFFFFFH	080000H~0FFFFFFH
$\overline{CE2}$	100000H~17FFFFH	100000H~17FFFFH
$\overline{CE3}$	180000H~1FFFFFFH	180000H~1FFFFFFH

注! ・ S1C88348/317では"拡張64Kモード + MCUモード"は選択できません。

- ・ 外部プログラムから、HALTもしくはSLP命令を行った場合、機種により $\overline{CE}$ 端子の仕様が以下のように異なります。

S1C88348/317

HALTもしくはSLEEP状態に入ったとき、 $\overline{CE}$ 端子はHIGHに戻ります。

S1C88316/308

HALTもしくはSLEEP状態に入ったとき、 $\overline{CE}$ 端子はそのままの状態となります。すなわち、外部ROMがアクセスされたままとなります。

メモリ空間への外部デバイスの配置は必ずしも下位アドレスから連続させる必要はなく、任意のチップイネーブル信号を用いてその領域に割り当てることができます。ただし、MPUモードの場合は必ず $\overline{CE0}$ にプログラムメモリを割り当てておく必要があります。

拡張512Kモードでは各 $\overline{CE}$ 信号のアドレス範囲が固定されていますが、拡張64Kモードの場合は使用するメモリに合わせた4種類のアドレス範囲をレジスタCEMD0およびCEMD1によって選択できます。

それぞれの信号は所定の外部メモリ領域をアクセスする場合にのみ出力され、内蔵メモリのアクセス時には出力されません。

5.2.3 ウェイトステートの設定

S1C883xxは外付け低速デバイスのアクセスを保証するために、アクセスタイム伸長用のウェイト機能を内蔵しています。

挿入するウェイトステート数はレジスタWT0～WT2によって表5.2.3.1に示す8種類の中から選択できます。

表5.2.3.1 ウェイトステート数の設定

WT2	WT1	WT0	挿入ステート数
1	1	1	14
1	1	0	12
1	0	1	10
1	0	0	8
0	1	1	6
0	1	0	4
0	0	1	2
0	0	0	ノーウェイト

* 1ステート長はクロックの1/2サイクルです。

ソフトウェアで設定したウェイトステートはバスサイクルのT3～T4ステート間に挿入されます。ただし、内部レジスタと内蔵メモリのアクセス時、およびOSC1発振回路("5.4 発振回路と動作モード"参照)での動作時には、ウェイトは挿入されません。

したがって、シングルチップモードではウェイトステートの設定は意味を持ちません。

ウェイト挿入のタイミングについては"3.6.5 ウェイト制御"を参照してください。

5.2.4 バス権解放要求信号の設定

DMA転送を行うシステムの場合、バス権解放要求信号(BREQ)入力端子、および応答信号(BACK)出力端子を設定する必要があります。

BREQ入力端子はK11入力ポート端子と、BACK出力端子はR51出力ポート端子と共用されており、イニシャルリセット時はそれぞれ入力ポート端子、出力ポート端子に設定されます。

BREQ/BACK端子への機能変更はレジスタEBRに"1"を書き込むことによって行います。

バス権解放の詳細については"3.6.6 バス権解放状態"および"S1C88 Core CPU Manual"を参照してください。

5.2.5 スタックページの設定

サブルーチンコール時のレジスタ退避などに使用されるスタック領域は、スタックポインタSPによってデータRAM上の任意のエリアに確保できますが、このページアドレスはI/Oメモリ上のレジスタSPP0～SPP7によって設定されます。

イニシャルリセット時はSPP0～SPP7が"00H"(0ページ)に設定されます。

内蔵RAMが0ページ(S1C88348/317/316: 00F000H～00F7FFH、S1C88308: 00F000H～00F0FFH)に配置されているため、シングルチップモードでのスタック領域は必然的に0ページとなります。また、拡張64Kモードで外部にRAMを拡張する場合も0ページ内に限られますので同様です。内蔵RAMの最終アドレスからスタック領域を設定する場合はSPに"F800H"(S1C88348/317/316)、“F100H”(S1C88308)をそれぞれ初期設定します。(SPはプリデクリメント)

拡張512Kモードで外部拡張したRAMにスタック領域を設定する場合は、SPP0～SPP7に該当するページを設定します。SPP0～SPP7に設定可能なページアドレスは00H～27Hで、必ずRAMが配置されている領域内で設定を行う必要があります。

* ページはデータメモリを0番地から64Kバイトごとに分割したそれぞれの領域のことです。

5 周辺回路と動作(システムコントローラとバスの制御)

5.2.6 システムコントローラの制御方法

表5.2.6.1にシステムコントローラの制御ビットを示します。

表5.2.6.1(a) システムコントローラの制御ビット(MCUモード)

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF00 (MCU)	D7	BSMD1	バスモード(CPUモード) BSMD1 BSMD0 モード 1 1 512K (マキシマム)			0	R/W	
	D6	BSMD0	1 0 512K (ミニマム) 0 1 64K 0 0 シングルチップ			0	R/W	
	D5	CEMD1	チップイネーブルモード CEMD1 CEMD0 モード 1 1 64K (CE0) 1 0 32K (CE0, CE1) 0 1 16K (CE0-CE3...S1C88308) (CE1-CE3...S1C88316) 0 0 8K (CE0-CE3)			1	R/W	64Kバスモードのみ
	D4	CEMD0				1	R/W	S1C88348/317では R/Wレジスタ機能 のみ
	D3	CE3	CE3 (R33)	CE3有効	CE3無効	0	R/W	シングルチップ
	D2	CE2	CE2 (R32)	CE2有効	CE2無効	0	R/W	モードの場合、
	D1	CE1	CE1 (R31)	CE1有効	CE1無効	0	R/W	DC出力に固定
	D0	CE0	CE0 (R30)	CE0有効	CE0無効	0	R/W	
			有効: CE信号出力 無効: DC出力(R3x)					
00FF01	D7	SPP7	スタックポインタページアドレス (MSB)	1	0	0	R/W	
	D6	SPP6		1	0	0	R/W	
	D5	SPP5	< SPページ割り付け可能アドレス >	1	0	0	R/W	
	D4	SPP4	・ シングルチップモード: 0ページのみ	1	0	0	R/W	
	D3	SPP3	・ 64Kモード: 0ページのみ	1	0	0	R/W	
	D2	SPP2	・ 512K (min)モード: 0~27Hページ	1	0	0	R/W	
	D1	SPP1	・ 512K (max)モード: 0~27Hページ	1	0	0	R/W	
	D0	SPP0	(LSB)	1	0	0	R/W	
00FF02	D7	EBR	バス解放イネーブル (K11, R51端子仕様)	BREQ K11 R51 BACK	入力ポート 出力ポート	0	R/W	S1C88308ではR/W レジスタ機能のみ
	D6	WT2	ウェイトステート制御 WT2 WT1 WT0 ステート数 1 1 1 14 1 1 0 12 1 0 1 10 1 0 0 8 0 1 1 6 0 1 0 4 0 0 1 2 0 0 0 ノーウェイト			0	R/W	
	D5	WT1						
	D4	WT0						
	D3	CLKCHG	CPU動作クロック切り換え	OSC3	OSC1	0	R/W	
	D2	OSCC	OSC3発振On/Off制御	On	Off	0	R/W	
	D1	VDC1	動作モード選択 VDC1 VDC0 動作モード 1 × 高速モード (VD1=3.3V) 0 1 低パワーモード (VD1=1.3V) 0 0 通常モード (VD1=2.2V)			0	R/W	
	D0	VDC0						

注! アドレス"00FF00H"および"00FF01H"に任意の値をそれぞれ書き込むまで、 $\overline{\text{NMI}}$ を含めたすべての割り込みはマスクされます。

表5.2.6.1(b) システムコントローラの制御ビット(MPUモード)

アドレス	ビット	名称	機 能			1	0	SR	R/W	注 釈	
00FF00 (MPU)	D7	BSMD1	バスモード(CPUモード)					*	R/W	初期設定はマスク オプションで3種類 (64K, 512K min, 512K max)の中から 選択できます	
			BSMD1	BSMD0	モード						
			1	1	512K (マキシマム)						
			1	0	512K (ミニマム)						
	D6	BSMD0						*	R/W		
			0	1	64K						
			0	0	*オプション選択 ◀						
	D5	CEMD1	チップイネーブルモード					1	R/W	64Kバスモードのみ	
			CEMD1	CEMD0	モード						
			1	1	64K (CE0)						
D4	CEMD0						1	R/W			
			1	0	32K (CE0, CE1)						
			0	1	16K (CE0-CE3)						
			0	0	8K (CE0-CE3)						
	D3	CE3	CE3 (R33)	CE信号出力イネーブル 有効: CE信号出力 無効: DC出力(R3x)		CE3有効	CE3無効	0	R/W		
	D2	CE2	CE2 (R32)			CE2有効	CE2無効	0	R/W		
	D1	CE1	CE1 (R31)			CE1有効	CE1無効	0	R/W		
	D0	CE0	CE0 (R30)			CE0有効	CE0無効	1	R/W		
00FF01	D7	SPP7	スタックポインタページアドレス (MSB) < SPページ割り付け可能アドレス > ・ シングルチップモード: 0ページのみ ・ 64Kモード: 0ページのみ ・ 512K (min)モード: 0~27Hページ ・ 512K (max)モード: 0~27Hページ (LSB)			1	0	0	R/W		
	D6	SPP6				1	0	0	R/W		
	D5	SPP5				1	0	0	R/W		
	D4	SPP4				1	0	0	R/W		
	D3	SPP3				1	0	0	R/W		
	D2	SPP2				1	0	0	R/W		
	D1	SPP1				1	0	0	R/W		
	D0	SPP0				1	0	0	R/W		
	00FF02	D7				EBR	バス解放イネーブル (K11, R51端子仕様)		K11 R51	BREQ BACK	入力ポート 出力ポート
D6		WT2	ウェイトステート制御								
						WT2	WT1	WT0	ステート数		
						1	1	1	14		
						1	1	0	12		
			1	0	1	10					
D5		WT1						0	R/W		
			0	1	1	8					
			0	1	0	6					
		0	1	0	4						
D4	WT0										
		0	0	1	2						
		0	0	0	ノーウェイト						
	D3	CLKCHG	CPU動作クロック切り換え			OSC3	OSC1	0	R/W		
	D2	OSCC	OSC3発振On/Off制御			On	Off	0	R/W		
	D1	VDC1	動作モード選択								
		VDC1				VDC0	動作モード				
		1				×	高速モード (VD1= 3.3V)			0	R/W
			0	1	低パワーモード (VD1= 1.3V)						
	D0	VDC0									
			0	0	通常モード (VD1= 2.2V)						

注! アドレス"00FF00H"および"00FF01H"に任意の値をそれぞれ書き込むまで、NMIを含めたすべての割り込みはマスクされます。

BSMD0, BSMD1: 00FF00H-D6, D7

バスモードを表5.2.6.2のとおりに設定します。

表5.2.6.2 バスモードの設定

設定値		バスモード
BSMD1	BSMD0	
1	1	拡張512Kマキシマムモード
1	0	拡張512Kミニマムモード
0	1	拡張64Kモード
0	0	シングルチップモード(MCU) 拡張モードの1つをオプション設定(MPU)

シングルチップモードは本ICをMCUモードで使用する場合にのみ設定可能です。MPUモードでは内蔵ROMを使用しないため、シングルチップモードは設定できません。

MPUモードで使用する場合はイニシャルリセット時、およびBSMD0=BSMD1="0"設定時のバスモードを3種類の拡張モード(拡張64Kモード、拡張512Kミニマムモード、拡張512Kマキシマムモード)の中からいずれか1つ、マスクオプションにより選択する必要があります。

MPUモードを全く使用しない場合の本マスクオプションは、デフォルト(拡張512Kマキシマムモード)を選択してください。

イニシャルリセット時、MCUモードではシングルチップモードに、MPUモードではマスクオプションで選択したモードにそれぞれ設定されます。

CEMD0, CEMD1: 00FF00H-D4, D5

CE信号のアドレス範囲を設定します。(拡張64Kモード時のみ有効*)

外部メモリのチップサイズにしたがって表5.2.6.3のとおり設定します。

表5.2.6.3 CE信号の設定

CEMD1	CEMD0	アドレス範囲	使用可能な端子
1	1	64Kバイト	CE0
1	0	32Kバイト	CE0, CE1
0	1	16Kバイト	CE0~CE3 CE1~CE3..S1C88316 *
0	0	8Kバイト	CE0~CE3

拡張64Kモード以外では、この設定は無効です。イニシャルリセット時、本レジスタはそれぞれ"1"(64Kバイト)に設定されます。

* CEMD1、CEMD0の設定はMPUモード時にのみ有効で、MCUモード時はリード/ライト可能な汎用レジスタとして使用できます。

CE0~CE3: 00FF00H-D0~D3

使用するCE出力端子を設定します。

"1"書き込み: CE出力イネーブル

"0"書き込み: CE出力ディセーブル

読み出し: 可能

使用するCE出力に対応するレジスタCE0~CE3に"1"を書き込みCE出力をイネーブルに設定します。"0"を書き込んだCE信号の出力はディセーブルとなり、その端子は出力ポートR30~R33として機能します。

イニシャルリセット時、レジスタCE0はMCUモードでは"0"に、MPUモードでは"1"にそれぞれ設定され、レジスタCE1~CE3はMCU/MPUモードにかかわらず常時"0"に設定されます。

注! バスの構成を初期設定するまでの割り込み発生によるシステムの誤動作を回避するため、アドレス"00FF00H"に任意の値を書き込むまで、NMIを含めたすべての割り込みはマスクされます。

SPP0~SPP7: 00FF01H

スタック領域のページアドレスを設定します。

シングルチップモードおよび拡張64Kモードの場合は"00H"を設定します。

拡張512Kモードの場合は"00H"~"27H"の範囲内で任意の値を設定できます。

スタックポインタSPのキャリー/ボローは本レジスタSPPへは反映されませんので、連続的に使用できるスタック領域の上限は64Kバイトとなります。

イニシャルリセット時、本レジスタは"00H"(0ページ)に設定されます。

注! スタック領域を設定するまでの割り込み発生によるシステムの誤動作を回避するため、アドレス"00FF01H"に任意の値を書き込むまで、NMIを含めたすべての割り込みはマスクされます。また、スタック領域設定の継ぎ目で割り込みが発生するのを回避するため、アドレス"00FF01H"への書き込み後1命令実行期間、NMIを含めたすべての割り込みはマスクされます。

WT0~WT2: 00FF02H・D4~D6

ウェイトステートの設定を行います。
レジスタの設定により挿入されるウェイトステート数は表5.2.6.4のとおりです。

表5.2.6.4 ウェイトステートの設定

WT2	WT1	WT0	挿入ステート数
1	1	1	14
1	1	0	12
1	0	1	10
1	0	0	8
0	1	1	6
0	1	0	4
0	0	1	2
0	0	0	ノーウェイト

* 1ステート長はクロックの1/2サイクルです。

イニシャルリセット時、本レジスタは"0"(ノーウェイト)に設定されます。

EBR: 00FF02H・D7

$\overline{\text{BREQ}}/\overline{\text{BACK}}$ 端子を設定します。

"1"書き込み: $\overline{\text{BREQ}}/\overline{\text{BACK}}$ イネーブル

"0"書き込み: $\overline{\text{BREQ}}/\overline{\text{BACK}}$ ディセーブル

読み出し: 可能

$\overline{\text{BREQ}}$ 端子、 $\overline{\text{BACK}}$ 端子の機能を設定します。EBRに"1"を書き込んだ場合 $\overline{\text{BREQ}}/\overline{\text{BACK}}$ の入出力がイネーブルとなります。"0"を書き込んだ場合はディセーブルとなり、 $\overline{\text{BREQ}}$ 端子がK11入力ポート端子、 $\overline{\text{BACK}}$ 端子がR51出力ポート端子に設定されます。

イニシャルリセット時、EBRは"0"($\overline{\text{BREQ}}/\overline{\text{BACK}}$ ディセーブル)に設定されます。

5.2.7 プログラミング上の注意事項

- (1) アドレス"00FF00H"および"00FF01H"に任意の値をそれぞれ書き込むまで、 $\overline{\text{NMI}}$ を含めたすべての割り込みはマスクされます。したがって、本アドレスの内容を変更しない(初期値をそのまま使用する)場合でも、書き込み動作は初期化ルーチン内で必ず行ってください。
- (2) スタック領域をページアドレスも含めて変更する場合は、レジスタSPP("00FF01H")、スタックポインタSPの順で書き換えを行ってください。

例: アドレス"178000H"を設定する場合

```
LD  EP,#00H
LD  HL,#0FF01H
LD  [HL],#17H
LD  SP,#8000H
```

この間割り込み($\overline{\text{NMI}}$ を含む)がマスクされます。

5.3 ウォッチドッグタイマ

5.3.1 ウォッチドッグタイマの構成

S1C883xxはOSC1発振回路を原振とするウォッチドッグタイマを内蔵しています。ウォッチドッグタイマはソフトウェアによって周期的にリセットする必要がある、3~4秒($f_{OSC1}=32.768\text{kHz}$ の場合)以上リセットが行われない場合、CPUに対してノンマスクابلインタラプトを発生します。

図5.3.1.1にウォッチドッグタイマのブロック図を示します。

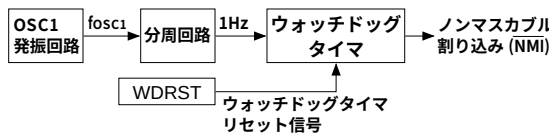


図5.3.1.1 ウォッチドッグタイマのブロック図

プログラムのメインルーチン上でウォッチドッグタイマのリセット処理をすることにより、メインルーチンのウォッチドッグタイマ処理を通らないようなプログラムの暴走を検出することができます。通常はこのルーチンを定期的に処理される箇所に組み込みます。

なお、ウォッチドッグタイマはHALT時も動作しており、HALT状態を3~4秒間続けるとCPUは例外処理に移行します。

SLEEP時はウォッチドッグタイマも停止します。

5.3.2 割り込み機能

ウォッチドッグタイマがソフトウェアによって周期的にリセットされない場合、ウォッチドッグタイマはコアCPUの $\overline{\text{NMI}}$ (レベル4)入力に対して割り込み信号を出力します。この割り込みはマスクが不可能で、他の割り込みに優先して例外処理が発生します。 $\overline{\text{NMI}}$ 例外処理の詳細については"S1C88 Core CPU Manual"を参照してください。本例外処理ベクタアドレスは、000004Hに設定されています。

5.3.3 ウォッチドッグタイマの制御方法

表5.3.3.1にウォッチドッグタイマの制御ビットを示します。

WDRST: 00FF40H・D2

ウォッチドッグタイマをリセットします。

- "1"書き込み: ウォッチドッグタイマリセット
- "0"書き込み: ノーオペレーション
- 読み出し: 常時"0"

WDRSTに"1"を書き込むことによりウォッチドッグタイマはリセットされ、その直後リスタートします。"0"の書き込みはノーオペレーションとなります。

WDRSTは書き込み専用のため、読み出し時は常時"0"となります。

5.3.4 プログラミング上の注意事項

- (1) ウォッチドッグタイマは、3秒周期以内に必ずソフトウェアでリセットをする必要があります。
- (2) $\overline{\text{NMI}}$ 割り込み発生から2msec以内はSLP命令を実行しないでください。(fosc1=32.768kHzの場合)

表5.3.3.1 ウォッチドッグタイマの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF40	D7	—	—	—	—	—		読み出し時は"0"
	D6	FOUT2	FOUT周波数選択			0	R/W	
			FOUT2 FOUT1 FOUT0 周波数					
			0 0 0 fosc1 / 1					
	D5	FOUT1	0 0 1 fosc1 / 2			0	R/W	
			0 1 0 fosc1 / 4					
			0 1 1 fosc1 / 8					
	D4	FOUT0	1 0 0 fosc3 / 1					
			1 0 1 fosc3 / 2			0	R/W	
			1 1 0 fosc3 / 4					
			1 1 1 fosc3 / 8					
	D3	FOUTON	FOUT出力制御	On	Off	0	R/W	
	D2	WDRST	ウォッチドッグタイマリセット	リセット	無効	—	W	読み出し時は
	D1	TMRST	計時タイマリセット	リセット	無効	—	W	常時"0"
	D0	TMRUN	計時タイマRun/Stop制御	Run	Stop	0	R/W	

5.4 発振回路と動作モード

5.4.1 発振回路の構成

S1C883xxは2種類の発振回路(OSC1およびOSC3)を内蔵したツインクロック仕様となっています。OSC1発振回路は32.768kHz(Typ.)のメインクロックを、OSC3発振回路はCPUや一部の周辺回路(出力ポート、シリアルインタフェース、プログラマブルタイマ)を高速動作させる場合のサブクロックを発生します。

図5.4.1.1に発振回路の構成を示します。

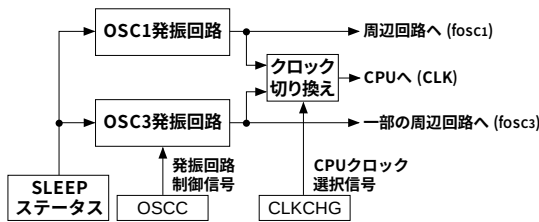


図5.4.1.1 発振回路の構成

イニシャルリセット時、CPUの動作クロックにはOSC1発振回路が選択され、OSC3発振回路は停止状態となります。

OSC3発振回路のON/OFFとシステムクロックの切り換え(OSC1 $\leftrightarrow$ OSC3)はソフトウェアによって制御できます。OSC3発振回路はCPUや一部の周辺回路の高速動作が必要な場合に使用します。それ以外の場合は消費電流を低減させるためにOSC3発振を停止させ、OSC1を動作クロックとして使用してください。

5.4.2 マスクオプション

OSC1発振回路

- ☐ 水晶発振回路
- ☐ 外部クロック入力
- ☐ CR発振回路
- ☐ 水晶発振回路(ゲート容量内蔵)

OSC3発振回路

- ☐ 水晶発振回路
- ☐ セラミック発振回路
- ☐ CR発振回路
- ☐ 外部クロック入力

OSC1発振回路の種類としては水晶発振、CR発振、水晶発振(ゲート容量内蔵)、または外部クロック入力のいずれかがマスクオプションで選択できます。OSC3発振回路の種類としては水晶発振、セラミック発振、CR発振、または外部クロック入力のいずれかがOSC1同様にマスクオプションで選択できます。

5.4.3 OSC1発振回路

OSC1発振回路は32.768kHz(Typ.)のシステムクロックを発生します。

OSC1発振クロックはCPUおよび周辺回路の低速(低消費電力)動作時のシステムクロックとして使用されます。また、OSC3をシステムクロックとして使用する場合にも、計時タイマやストップウォッチタイマの原振として使用されます。

本発振回路は、SLP命令実行時に発振停止状態となります。ただし、SLP命令実行時点でSVD回路("5.15 電源電圧検出回路"参照)が動作中である場合は、サンプリングの完了に同期して発振が停止します。

発振回路の種類としては、水晶発振、CR発振、水晶発振(ゲート容量内蔵)、または外部クロック入力のいずれかがマスクオプションで選択できます。

図5.4.3.1にOSC1発振回路の構造を示します。

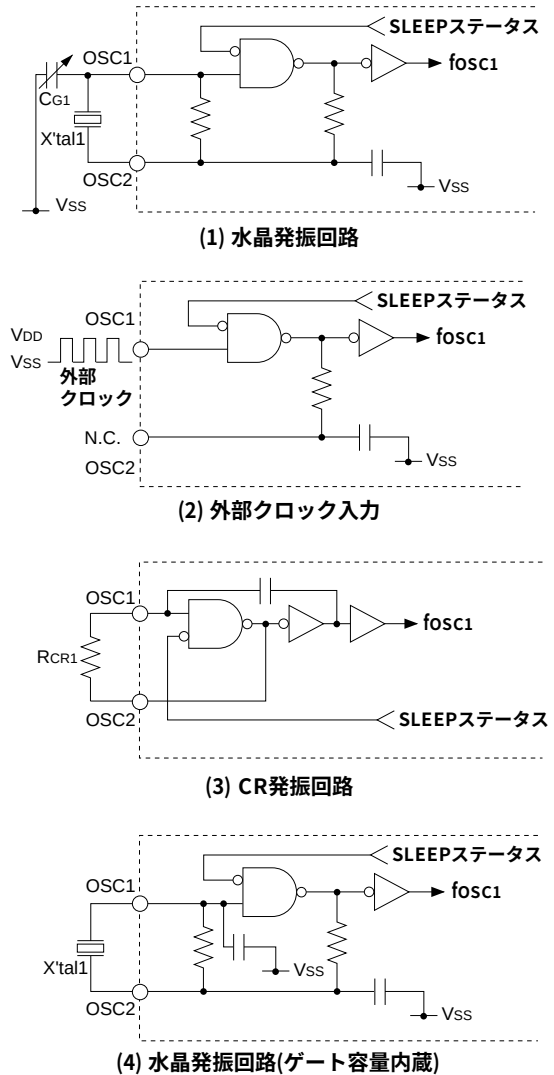


図5.4.3.1 OSC1発振回路

水晶発振回路を選択した場合は、OSC1端子とOSC2端子間に水晶振動子X'tal 1(Typ. 32.768kHz)を、OSC1端子とVss間にトリマキャパシタCG1(5~25pF)をそれぞれ接続することにより、容易に水晶発振回路を構成することができます。また、オプションでゲート容量CG1(5pF)を内蔵することができます。CR発振回路を選択した場合はOSC1端子とOSC2端子間に抵抗(RCR1)を接続します。

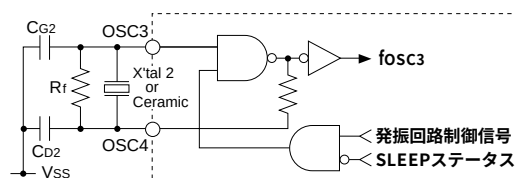
外部クロックを選択した場合はOSC2端子を開放し、OSC1端子に矩形波のクロックを入力して使用します。

5.4.4 OSC3発振回路

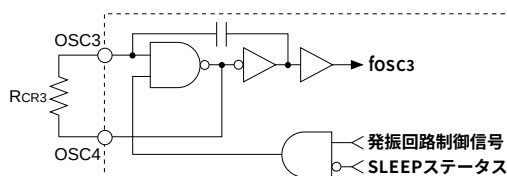
OSC3発振回路はCPUや一部の周辺回路(出力ポート、シリアルインタフェース、プログラマブルタイマ)を高速動作させる場合のシステムクロックを発生します。

本発振回路はSLP命令実行時、またはレジスタOSCCに"0"設定時に発振停止状態となります。発振回路の種類としては水晶発振、セラミック発振、CR発振、または外部クロック入力のいずれかがマスクオプションで選択できます。

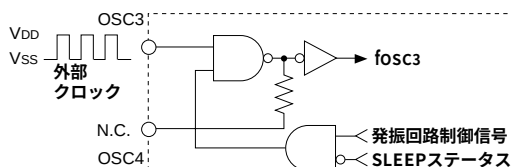
図5.4.4.1にOSC3発振回路の構造を示します。



(1) 水晶/セラミック発振回路



(2) CR発振回路



(3) 外部クロック入力

図5.4.4.1 OSC3発振回路

水晶/セラミック発振回路を選択した場合は、OSC3端子とOSC4端子間に水晶振動子(X'tal 2)またはセラミック振動子(Ceramic)と帰還抵抗(Rf)を、同OSC3、OSC4端子とVss間にキャパシタを2個(CG2、CD2)それぞれ接続することで水晶またはセラミック発振回路を構成できます。

CR発振を選択した場合はOSC3端子とOSC4端子間に抵抗(RCR3)を接続するだけでCR発振回路を構成できます。

外部クロックを選択した場合はOSC4端子を開放し、OSC3端子に矩形波のクロックを入力して使用します。

5.4.5 動作モード

S1C883xxは幅広い動作電圧において安定した動作と良好な特性(動作周波数、消費電流)を得るため、3種類の動作モードをソフトウェアで選択することができます。以下にそれぞれのモードの特徴を示します。

■ 通常モード (VDD=2.4V~5.5V)

本モードはイニシャルリセット後に設定されるモードです。OSC3発振回路(Max. 4.2MHz)が使用でき、かつ比較的lowパワー動作が可能なモードです。

■ 低パワーモード (VDD=1.8V~3.5V)

本モードは通常モードよりさらに低パワーなモードです。OSC3発振回路は使用できませんが、OSC1発振回路での動作により超低パワーが実現できます。

■ 高速モード (VDD=3.5V~5.5V)

本モードは通常モードよりさらに高速な動作が可能なモードです。OSC3発振回路(Max. 8.2MHz)が使用できるため、4.2MHz以上の動作が必要な場合に本モードを使用します。ただし、消費電流は通常モードに比べ増加します。

以上3種類のモードを状況に応じソフトウェアで切り換えることによって、低パワーなシステムを実現することができます。たとえば、OSC3をCPUクロックとして使用する場合は通常モード、逆にOSC1をCPUクロックとして使用する場合(OSC3発振回路はOFF)は低パワーモードと切り換えることで、消費電流が低減できます。

注! 低パワーモードではOSC3発振回路をONさせないでください。

OSC3発振回路がONしている状態での動作モードの切り換え(通常モード↔高速モード)は誤動作につながりますので行わないでください。動作電圧の関係上、1つのアプリケーションで低パワーモードと高速モードの2つのモードを使用することはできません。

OSC1発振回路にCR発振回路を選択した場合、発振周波数の安定のため動作モードは通常モードに固定となります。よって動作モード選択レジスタVDC0、VDC1の設定は無効となります。

5.4.6 CPUクロックの切り換え

OSC1とOSC3のどちらをCPUのシステムクロックとして使用するかを、ソフトウェアによって切り換えることができます。

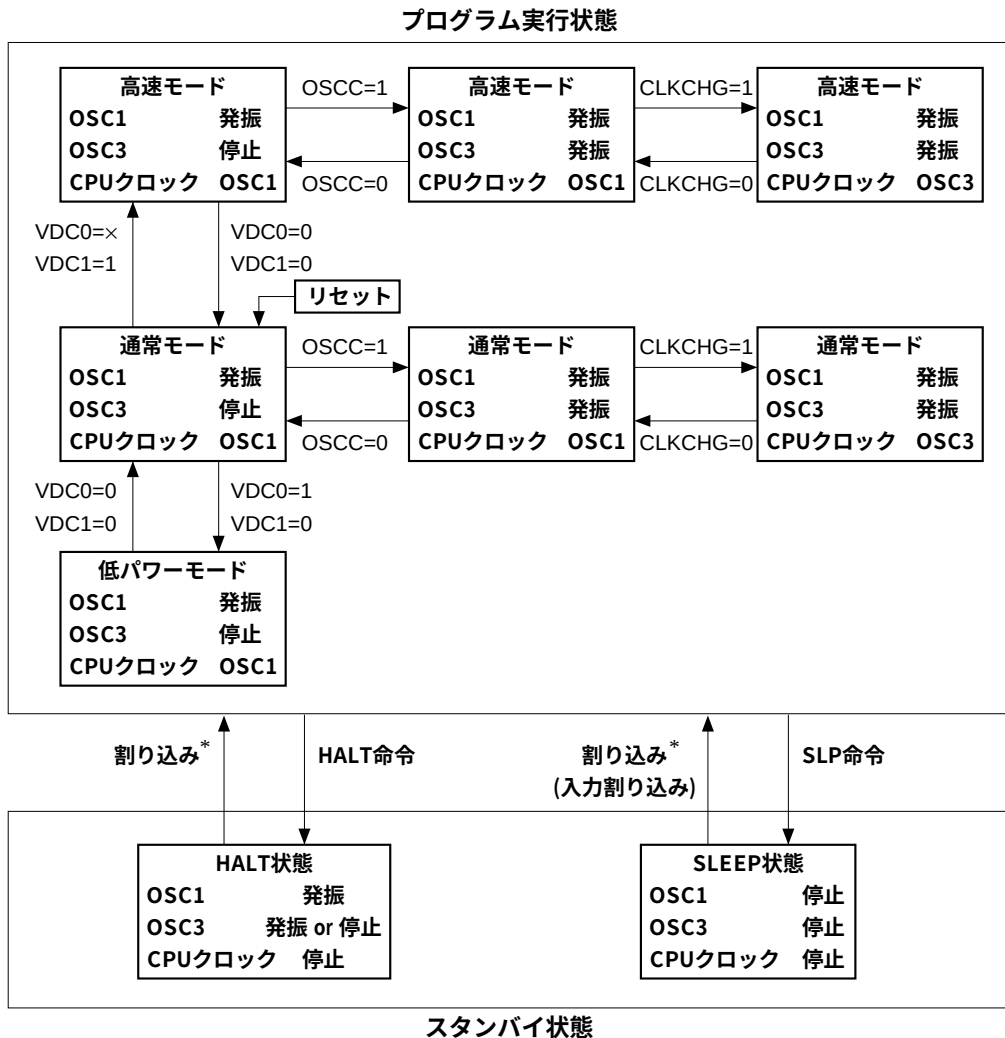
OSC1でCPUが動作している間は、OSC3発振回路をOFFさせることでパワーセーブが実現できます。OSC3での動作が必要な場合にOSC3発振回路をONさせ、システムクロックを切り換えることで高速動作が実現できます。この場合、OSC3発振回路をONにしてから発振が安定するまでに数msec～数10msecの時間を必要としますので、その時間が経過した後にクロックの切り換えを行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)

OSC3からOSC1に切り換える場合は、クロック切り換えの直後にOSC3発振回路をOFFしてください。

基本的なクロック切り換えの方法は以上ですが、低消費電力化と高速動作を実現するためには動作モードの切り換えも併せて行う必要があります。

図5.4.6.1に動作モードとクロック切り換えの状態遷移図を示します。

注! 動作モード切り換え後にOSC3発振回路をONさせる場合は、5msec以上の待ち時間をおいてください。



* スタンバイ状態からの復帰先は、スタンバイ状態へ遷移する以前のプログラム実行状態となります。

図5.4.6.1 動作モードとクロック切り換えの状態遷移図

5.4.7 発振回路と動作モードの制御方法

表5.4.7.1に発振回路と動作モードの制御ビットを示します。

表5.4.7.1 発振回路と動作モードの制御ビット

アドレス	ビット	名称	機 能				1	0	SR	R/W	注 釈					
00FF02	D7	EBR	バス解放イネーブル (K11, R51端子仕様)				K11 R51	BREQ BACK	入力ポート 出力ポート	0	R/W	S1C88308ではR/W レジスタ機能のみ				
	D6	WT2	ウェイトステート制御							0	R/W					
			WT2	WT1	WT0	ステート数										
			1	1	1	14										
	D5	WT1	1	1	0	12										
			1	0	1	10										
			1	0	0	8										
	D4	WT0	0	1	1	6										
			0	1	0	4										
			0	0	1	2										
	ノーウェイト															
	D3	CLKCHG	CPU動作クロック切り換え										OSC3	OSC1	0	R/W
D2	OSCC	OSC3発振On/Off制御				On							Off	0	R/W	
D1	VDC1	動作モード選択							0	R/W						
		VDC1	VDC0	動作モード												
		1	×	高速モード (VD1=3.3V)												
D0	VDC0	0	1	低パワーモード (VD1=1.3V)												
		0	0	通常モード (VD1=2.2V)												

VDC1, VDC0: 00FF02H-D1, D0

電源電圧および動作周波数にしたがって動作モードを選択します。

レジスタの設定値と動作モードの対応を表5.4.7.2に示します。

表5.4.7.2 レジスタの設定値と動作モードの対応

動作モード	VDC1	VDC0	Vd1	電源電圧	動作周波数
通常モード	0	0	2.2V	2.4~5.5V	4.2MHz (Max.)
低パワーモード	0	1	1.3V	1.8~3.5V	50kHz (Max.)
高速モード	1	×	3.3V	3.5~5.5V	8.2MHz (Max.)

* Vd1電圧はVssを基準(GND)とした値です。

イニシャルリセット時、本レジスタは"0"(通常モード)に設定されます。

OSCC: 00FF02H-D2

OSC3発振回路の発振ON、OFFを制御します。

"1"書き込み: OSC3発振ON

"0"書き込み: OSC3発振OFF

読み出し: 可能

CPUや一部の周辺回路(出力ポート、シリアルインタフェース、プログラマブルタイマ)を高速動作させる必要のある場合にOSCCを"1"とし、それ以外の場合は、低消費電力化のため"0"としてください。イニシャルリセット時、OSCCは"0"(OSC3発振OFF)に設定されます。

CLKCHG: 00FF02H-D3

CPUの動作クロックを選択します。

"1"書き込み: OSC3クロック

"0"書き込み: OSC1クロック

読み出し: 可能

CPUの動作クロックはCLKCHGに"1"を設定した場合OSC3、"0"を設定した場合OSC1となります。イニシャルリセット時、CLKCHGは"0"(OSC1クロック)に設定されます。

5.4.8 プログラミング上の注意事項

- (1) CPUの高速動作を必要としない場合は低消費電力化のため、以下に示す設定内容にしたがって周辺回路を動作させてください。
 - CPU動作クロック OSC1
 - OSC3発振回路 OFF
 - (一部の周辺回路に対してOSC3クロックが必要ない場合)
 - 動作モード 低パワーモード
 - (V_{DD}-V_{SS}が3.5V以下の場合)
 - または、通常モード
 - (V_{DD}-V_{SS}が3.5V以上の場合)
- (2) 低パワーモードではOSC3発振回路をONさせないでください。また、OSC3発振回路がONしている状態での動作モードの切り換え(通常モード↔高速モード)は誤動作につながりますので行わないでください。
- (3) 動作モード切り換え後にOSC3発振回路をONさせる場合は、5msec以上の待ち時間をおいてください。
- (4) OSC3発振回路をONにしてから発振が安定するまでに、数msec～数10msecの時間を必要とします。したがって、CPUの動作クロック切り換え(OSC1→OSC3)はOSC3発振ONの後、十分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)
- (5) OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々の命令で行ってください。1命令で同時に処理すると、CPUの誤動作につながります。

5.5 入力ポート (Kポート)

5.5.1 入力ポートの構成

S1C88348/317/316は10ビット(K00～K07、K10、K11)、S1C88308は9ビット(K00～K07、K10)の入力ポートをそれぞれ内蔵しており、これらのポートはすべて割り込み機能を持つ汎用入力ポート端子として使用できます。

K10入力ポート端子はプログラマブルタイマ(イベントカウンタ)の外部クロック(EVIN)入力端子も兼ねており、入力ポート機能はそのままに入力信号が共有されます。("5.11 プログラマブルタイマ"参照)

また、K11入力ポート端子(K11はS1C88348/317/316のみ)はバス権解放要求信号(BREQ)入力端子と共用となっており、ソフトウェアによってどちらの機能を使用するか選択できます。BREQ信号を選択した場合は、K11を入力ポートとして使用することはできません。("5.2 システムコントローラとバスの制御"参照)

以降の説明はK11を入力ポートとして使用するものとして行います。

各入力ポートにはプルアップ抵抗が内蔵されており、マスクオプションでこれを使用するかしないかを各入力ポートごとに選択できます。

図5.5.1.1に入力ポートの構造を示します

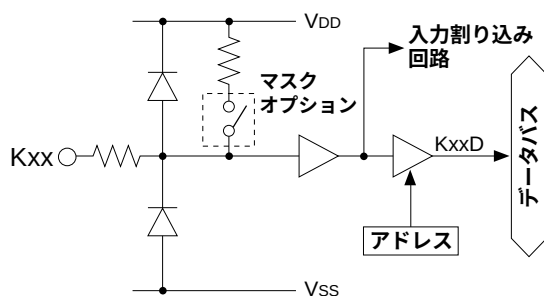


図5.5.1.1 入力ポートの構造

各入力ポート端子は3ステートバッファを通して直接データバスに接続されており、入力ポート読み出し時点での入力信号の状態がそのままデータとして読み込まれます。

5.5.2 マスクオプション

入力ポートプルアップ抵抗

K00	☐ 抵抗あり	☐ ゲート直接
K01	☐ 抵抗あり	☐ ゲート直接
K02	☐ 抵抗あり	☐ ゲート直接
K03	☐ 抵抗あり	☐ ゲート直接
K04	☐ 抵抗あり	☐ ゲート直接
K05	☐ 抵抗あり	☐ ゲート直接
K06	☐ 抵抗あり	☐ ゲート直接
K07	☐ 抵抗あり	☐ ゲート直接
K10	☐ 抵抗あり	☐ ゲート直接
K11	☐ 抵抗あり	☐ ゲート直接

* K11はS1C88348/317/316のみ

入力ポートK00～K07、K10、K11(K11はS1C88348/317/316のみ)にはプルアップ抵抗が内蔵されており、マスクオプションでこれを使用するかしないかを各ポート(1ビット)ごとに選択できます。

"抵抗あり"はプッシュスイッチ、キーマトリクス等の入力に適当です。

内蔵プルアップ抵抗によって、入力端子をLOWレベルからHIGHレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入力ポートの取り込みには適切な待ち時間の設定が必要となります。これについては特に、キーマトリクス構成時のキースキャン等に注意が必要です。待ち時間は以下の式で求められる値以上を設定してください。

待ち時間 = $R_{IN} \times (C_{IN} + \text{基板上的負荷容量}) \times 1.6 [\text{sec}]$

R_{IN} : プルアップ抵抗Max.値

C_{IN} : 端子容量Max.値

"ゲート直接"を選択した場合は、プルアップ抵抗が切り離され、スライドスイッチ入力、他LSIとのインタフェースなどに適当となります。この場合は、入力にフローティング状態が発生しないよう注意してください。

使用しない入力ポートについてはデフォルトの"抵抗あり"を選択してください。

5.5.3 割り込み機能と入力比較レジスタ

入力ポート K00～K07、K10、K11(K11は S1C88348/317/316のみ)は、すべて割り込み機能を持っています。

入力ポートはK00～K03(K0L)、K04～K07(K0H)、K10～K11(K1)の3系統に分けられ、それぞれの端子系列ごとに割り込み発生条件をソフトウェアで設定することができます。

各端子系列ごとに設定した割り込み発生条件が成立すると、それぞれに対応した割り込み要因フラグFK0L、FK0H、FK1が"1"にセットされ、割り込みが発生します。

各割り込み要因フラグに対応した割り込みイネーブルレジスタEK0L、EK0H、EK1の設定により、割り込みを禁止することもできます。

また、CPUに対する入力割り込みの優先レベルをK0x(K00～K07)、K1x(K10、K11)の2つに対応する割り込みプライオリティレジスタPK00～PK01、PK10～PK11によって、それぞれ任意のレベル(0～3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については"5.16 割り込みとスタンバイ状態"を参照してください。

各割り込み要因の例外処理ベクタは、それぞれ以下のとおり設定されています。

K10、K11入力割り込み: 00000AH

K04～K07入力割り込み: 00000CH

K00～K03入力割り込み: 00000EH

図5.5.3.1に入力割り込み回路の構成を示します。

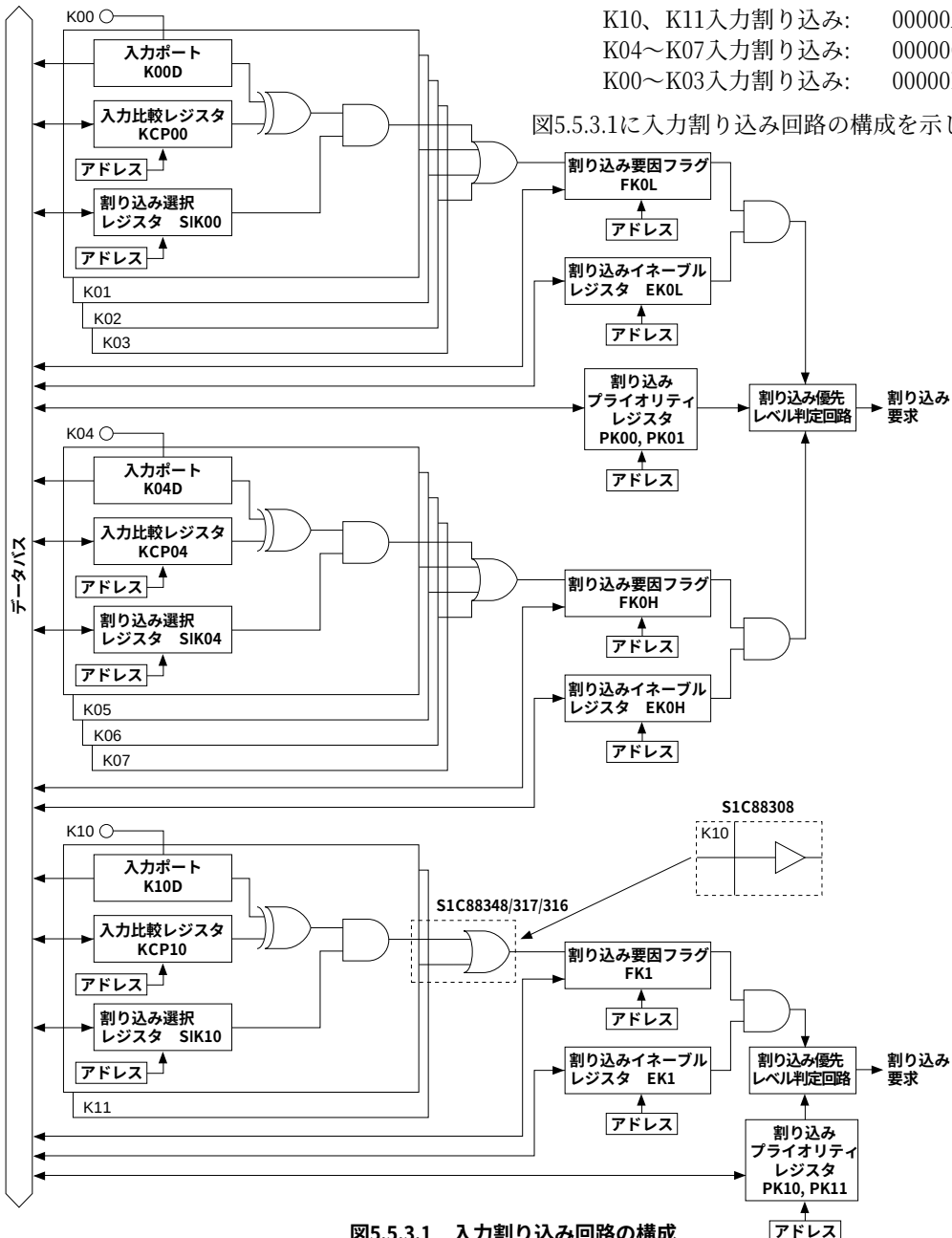


図5.5.3.1 入力割り込み回路の構成

5 周辺回路と動作(入力ポート)

各入力ポートの割り込み選択レジスタSIK00～SIK03、SIK04～SIK07、SIK10～SIK11と入力比較レジスタKCP00～KCP03、KCP04～KCP07、KCP10～KCP11は、前記割り込み条件を設定するのに使用します。

割り込み選択レジスタSIKの設定によって、その入力ポートの割り込みを許可、または禁止することができます。割り込みイネーブルレジスタEKが端子系列ごとの割り込み要因をマスクするのに対し、割り込み選択レジスタSIKはビット単位でのマスク設定を行います。

入力比較レジスタKCPは、各入力ポートの割り込みを入力の上立ち上がりエッジで発生させるか、立ち下がりエッジで発生させるかを選択します。

割り込み選択レジスタSIKによって割り込みが許可されている入力端子と入力比較レジスタKCPとの内容に一致状態から不一致状態の変化が生じたとき、割り込み要因フラグFKが"1"にセットされ、割り込みが発生します。

図5.5.3.2に端子系列K0L(K00～K03)の割り込み発生例を示します。

K00は割り込み選択レジスタSIK00によって割り込みが禁止されているため、(2)の時点では割り込みは発生しません。

次に(3)でK03が"0"になるため、割り込みが許可されている入力端子K01～K03のデータと入力比較レジスタKCP01～KCP03のデータとの不一致により割り込みが発生します。

前述のとおり、入力データと入力比較レジスタKCPの内容が一致状態から不一致状態に変化することが割り込み発生条件となるため、(4)のように不一致状態から、別の不一致状態に変化しても割り込みは発生しません。したがって、割り込み発生後に再度割り込みを発生させる場合は、入力端子の状態を一度入力比較レジスタKCPと同じ内容に戻すか、入力比較レジスタKCPを再設定する必要があります。なお、割り込みが禁止されている入力端子については割り込み発生条件に影響を与えません。

端子系列K0H(K04～K07)およびK1(K10、K11)についても同様に割り込みが発生します(S1C88308のK1系列はK10のみとなります)。

割り込み選択レジスタ				入力比較レジスタ			
SIK03	SIK02	SIK01	SIK00	KCP03	KCP02	KCP01	KCP00
1	1	1	0	1	0	1	0

上記の設定において、K0L(K00～K03)の割り込みは、以下のような条件で発生します。

入力ポート				(初期値)
(1)	K03	K02	K01	
	1	0	1	
	↓			
(2)	K03	K02	K01	
	1	0	1	
	↓			
(3)	K03	K02	K01	
	0	0	1	
	↓			
(4)	K03	K02	K01	
	0	1	1	

→ 割り込み発生

K00は割り込みが禁止されているため、K01～K03の3ビットと入力比較レジスタKCP01～KCP03の3ビットとの内容に不一致が生じることで、割り込みが発生します。

図5.5.3.2 K0L(K00～K03)割り込み発生例

5.5.4 入力ポートの制御方法

表5.5.4.1に入力ポートの制御ビットを示します。

表5.5.4.1(a) 入力ポートの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF50	D7	SIK07	K07割り込み選択レジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D6	SIK06	K06割り込み選択レジスタ					
	D5	SIK05	K05割り込み選択レジスタ					
	D4	SIK04	K04割り込み選択レジスタ					
	D3	SIK03	K03割り込み選択レジスタ					
	D2	SIK02	K02割り込み選択レジスタ					
	D1	SIK01	K01割り込み選択レジスタ					
	D0	SIK00	K00割り込み選択レジスタ					
00FF51	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	SIK11	K11割り込み選択レジスタ	割り込み 許可	割り込み 禁止	0	R/W	*1
	D0	SIK10	K10割り込み選択レジスタ					
00FF52	D7	KCP07	K07入力比較レジスタ	立ち下がり エッジで 割り込み 発生	立ち上がり エッジで 割り込み 発生	1	R/W	
	D6	KCP06	K06入力比較レジスタ					
	D5	KCP05	K05入力比較レジスタ					
	D4	KCP04	K04入力比較レジスタ					
	D3	KCP03	K03入力比較レジスタ					
	D2	KCP02	K02入力比較レジスタ					
	D1	KCP01	K01入力比較レジスタ					
	D0	KCP00	K00入力比較レジスタ					
00FF53	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	KCP11	K11入力比較レジスタ	立ち下がり エッジ	立ち上がり エッジ	1	R/W	*2
	D0	KCP10	K10入力比較レジスタ					
00FF54	D7	K07D	K07入力ポートデータ	Highレベル 入力	Lowレベル 入力	—	R	
	D6	K06D	K06入力ポートデータ					
	D5	K05D	K05入力ポートデータ					
	D4	K04D	K04入力ポートデータ					
	D3	K03D	K03入力ポートデータ					
	D2	K02D	K02入力ポートデータ					
	D1	K01D	K01入力ポートデータ					
	D0	K00D	K00入力ポートデータ					
00FF55	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	K11D	K11入力ポートデータ	Highレベル 入力	Lowレベル 入力	—	R	*3
	D0	K10D	K10入力ポートデータ					

*1 S1C88308では常時"0"を設定してください。

*3 S1C88308では読み出し時、常時"1"

*2 S1C88308では常時"1"を設定してください。

5 周辺回路と動作(入力ポート)

表5.5.4.1(b) 入力ポートの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈			
00FF20	D7	PK01	K00～K07割り込み	PK01 PK00 PSIF1 PSIF0 PSW1 PSW0 優先 PTM1 PTM0 レベル 1 1 レベル3 1 0 レベル2 0 1 レベル1 0 0 レベル0		0	R/W				
	D6	PK00	プライオリティレジスタ								
	D5	PSIF1	シリアルインタフェース割り込み		0	R/W					
	D4	PSIF0	プライオリティレジスタ								
	D3	PSW1	ストップウォッチタイマ割り込み		0	R/W					
	D2	PSW0	プライオリティレジスタ								
	D1	PTM1	計時タイマ割り込み		0	R/W					
	D0	PTM0	プライオリティレジスタ								
00FF21	D7	—	—	—	—	—		読み出し時は 常時"0"			
	D6	—	—	—	—	—					
	D5	—	—	—	—	—					
	D4	—	—	—	—	—					
	D3	PPT1	プログラマブルタイマ割り込み	PPT1	PPT0	優先	0	R/W			
	D2	PPT0	プライオリティレジスタ	PK11	PK10	レベル					
	D1	PK11	K10, K11割り込み	1	1	レベル3	0	R/W			
	D0	PK10	プライオリティレジスタ	1	0	レベル2 0 1 レベル1 0 0 レベル0					
00FF23	D7	EPT1	プログラマブルタイマ1割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W				
	D6	EPT0	プログラマブルタイマ0割り込みイネーブルレジスタ								
	D5	EK1	K10, K11割り込みイネーブルレジスタ								
	D4	EK0H	K04～K07割り込みイネーブルレジスタ								
	D3	EK0L	K00～K03割り込みイネーブルレジスタ								
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブルレジスタ								
	D1	ESREC	シリアルI/F(受信)割り込みイネーブルレジスタ								
	D0	ESTRA	シリアルI/F(送信)割り込みイネーブルレジスタ								
00FF25	D7	FPT1	プログラマブルタイマ1割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W				
	D6	FPT0	プログラマブルタイマ0割り込み要因フラグ								
	D5	FK1	K10, K11割り込み要因フラグ								
	D4	FK0H	K04～K07割り込み要因フラグ								
	D3	FK0L	K00～K03割り込み要因フラグ	(W) リセット	(W) 無効						
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ								
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ								
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ								

K00D～K07D: 00FF54H

K10D, K11D: 00FF55H・D0, D1

Kxx入力ポート端子の入力データが読み出せます。

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

書き込み: 無効

入力ポートK00～K07、K10、K11(K11はS1C88348/317/316のみ)の端子電圧がそれぞれHIGH(V_{DD})レベルのとき"1"、LOW(V_{SS})レベルのとき"0"として直接読み出せます。

本ビットは読み出し専用のため、書き込み動作は無効となります。

なお、S1C88308ではK11D(00FF55H・D1)に常時"1"が読み出されます。

SIK00～SIK07: 00FF50H

SIK10, SIK11: 00FF51H・D0, D1

K00～K07、K10、K11入力ポート端子の割り込み発生条件(割り込み許可/禁止)を設定します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

SIKxxは各入力ポートKxxに対応する割り込み選択レジスタで、"1"に設定した入力ポートの割り込みが許可され、"0"に設定した入力ポートの割り込みが禁止されます。割り込み禁止に設定した入力端子の状態変化は、割り込みの発生に影響を与えません。

イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

なお、S1C88308ではSIK11(00FF51H・D1)に常時"0"を設定してください。

KCP00~KCP07: 00FF52H**KCP10, KCP11: 00FF53H・D0, D1**

K00~K07、K10、K11入力ポート端子の割り込み発生条件(割り込み発生タイミング)を設定します。

"1"書き込み: 立ち下がりエッジ

"0"書き込み: 立ち上がりエッジ

読み出し: 可能

KCPxxは各入力ポートKxxに対応する入力比較レジスタで、"1"に設定した入力ポートの割り込みは入力の立ち下がりエッジで、"0"に設定した入力ポートの割り込みは入力の立ち上がりエッジでそれぞれ発生します。

イニシャルリセット時、本レジスタはすべて"1"(立ち下がりエッジ)に設定されます。

なお、S1C88308ではKCP11(00FF53H・D1)に常時"1"を設定してください。

PK00, PK01: 00FF20H・D6, D7**PK10, PK11: 00FF21H・D0, D1**

入力割り込みの優先レベルを設定します。

PK00、PK01の2ビットはK00~K07(K0LおよびK0H)の割り込みに対応した割り込みプライオリティレジスタで、PK10、PK11の2ビットは同様にK10~K11(K1L)に対応しています。

本レジスタによって設定できる割り込み優先レベルは表5.5.4.2のとおりです。

表5.5.4.2 割り込み優先レベルの設定

PK11 PK01	PK10 PK00	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

EK0L, EK0H, EK1: 00FF23H・D3, D4, D5

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

EK0LはK00~K03、EK0HはK04~K07、EK1はK10~K11(K11はS1C88348/317/316のみ)にそれぞれ対応する割り込みイネーブルレジスタで、"1"に設定した端子系列の割り込みが許可され、"0"に設定した端子系列の割り込みが禁止されます。

イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

FK0L, FK0H, FK1: 00FF25H・D3, D4, D5

入力割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

FK0LはK00~K03、FK0HはK04~K07、FK1はK10~K11(K11はS1C88348/317/316のみ)にそれぞれ対応する割り込み要因フラグで、割り込み発生条件の成立により"1"にセットされます。このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、本フラグはすべて"0"にリセットされます。

5.5.5 プログラミング上の注意事項

内蔵プルアップ抵抗によって、入力端子をLOWレベルからHIGHレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入力ポートの取り込みには適切な待ち時間の設定が必要となります。特に、キーマトリクス構成時のキースキャン等に注意が必要です。

待ち時間は以下の式で求められる値以上を設定してください。

$$\text{待ち時間} = R_{IN} \times (C_{IN} + \text{基板上的負荷容量}) \times 1.6 [\text{sec}]$$

RIN: プルアップ抵抗Max.値

CIN: 端子容量Max.値

5.6 出力ポート (Rポート)

5.6.1 出力ポートの構成

S1C88348/317/316は34ビット(R00～R07、R10～R17、R20～R27、R30～R37、R50、R51)、S1C88308は30ビット(R00～R07、R10～R17、R20～R27、R30～R34、R50)の出力ポートをそれぞれ内蔵しています。

出力ポートの構成はバスモードの設定により、以下のとおり異なります。

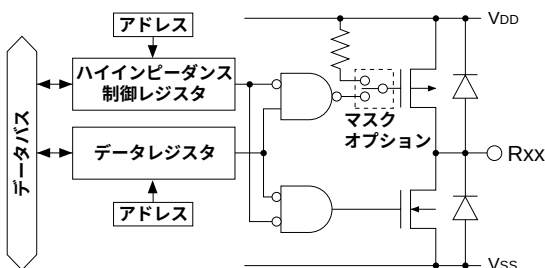
表5.6.1.1 出力ポートの構成

端子	バスモード		
	シングルチップ	拡張64K	拡張512K
R00	出力ポートR00	アドレスA0	
R01	出力ポートR01	アドレスA1	
R02	出力ポートR02	アドレスA2	
R03	出力ポートR03	アドレスA3	
R04	出力ポートR04	アドレスA4	
R05	出力ポートR05	アドレスA5	
R06	出力ポートR06	アドレスA6	
R07	出力ポートR07	アドレスA7	
R10	出力ポートR10	アドレスA8	
R11	出力ポートR11	アドレスA9	
R12	出力ポートR12	アドレスA10	
R13	出力ポートR13	アドレスA11	
R14	出力ポートR14	アドレスA12	
R15	出力ポートR15	アドレスA13	
R16	出力ポートR16	アドレスA14	
R17	出力ポートR17	アドレスA15	
R20	出力ポートR20		アドレスA16
R21	出力ポートR21		アドレスA17
R22	出力ポートR22		アドレスA18
R23	出力ポートR23	RD信号	
R24	出力ポートR24	WR信号	
R25	出力ポートR25		
R26	出力ポートR26		
R27	出力ポートR27		
R30	出力ポートR30	出力ポートR30/CE0信号	
R31	出力ポートR31	出力ポートR31/CE1信号	
R32	出力ポートR32	出力ポートR32/CE2信号	
R33	出力ポートR33	出力ポートR33/CE3信号	
R34	出力ポートR34		
R35*	出力ポートR35		
R36*	出力ポートR36		
R37*	出力ポートR37		
R50	出力ポートR50		
R51*	出力ポートR51	出力ポートR51/BACK信号	

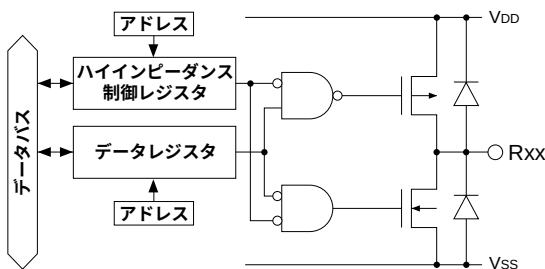
* R35～R37、R51はS1C88348/317/316のみ

ここではシングルチップモード時の構成として出力ポートのみの説明を行います。バスの制御については"5.2 システムコントローラとバスの制御"を参照してください。

図5.6.1.1に出力ポートの基本構造(特殊出力回路を除く)を示します。



R00～R07, R10～R17はマスクオプションでNchオープンドレインの設定が可能



R20～R27, R30～R37, R50, R51

図5.6.1.1 出力ポートの構造

シングルチップモード以外のモードの場合、バス機能に使用される出力ポートのデータレジスタとハイインピーダンス制御レジスタはリード/ライト可能な汎用レジスタとして使用することができ、バス信号の出力には影響を与えません。

注! S1C88348/317/316の出荷形態を160pinパッケージとする場合は、出力ポートR35、R36およびR37が非ボンディング箇所として使用不可となります。ただし、これらの出力ポートに対応するデータレジスタ(R35D～R37D)とハイインピーダンス制御レジスタ(HZR35～HZR37)は、リード/ライト可能な汎用レジスタとして使用することができます。

各出力ポートはソフトウェアによってハイインピーダンス制御が可能です。

出力ポートR25～R27、R34、R50は通常のDC出力のほかに特殊出力機能を持っており、ソフトウェアによってどちらを使用するかを選択することができます。

5.6.2 マスクオプション

出力ポートR00～R07, R10～R17出力仕様

R00.. ☐ コンプリメンタリ ☐ Nchオープンドレイン
 R01.. ☐ コンプリメンタリ ☐ Nchオープンドレイン
 R02.. ☐ コンプリメンタリ ☐ Nchオープンドレイン
 R03.. ☐ コンプリメンタリ ☐ Nchオープンドレイン
 R04.. ☐ コンプリメンタリ ☐ Nchオープンドレイン
 R05.. ☐ コンプリメンタリ ☐ Nchオープンドレイン
 R06.. ☐ コンプリメンタリ ☐ Nchオープンドレイン
 R07.. ☐ コンプリメンタリ ☐ Nchオープンドレイン

 R10.. ☐ コンプリメンタリ ☐ Nchオープンドレイン
 R11.. ☐ コンプリメンタリ ☐ Nchオープンドレイン
 R12.. ☐ コンプリメンタリ ☐ Nchオープンドレイン
 R13.. ☐ コンプリメンタリ ☐ Nchオープンドレイン
 R14.. ☐ コンプリメンタリ ☐ Nchオープンドレイン
 R15.. ☐ コンプリメンタリ ☐ Nchオープンドレイン
 R16.. ☐ コンプリメンタリ ☐ Nchオープンドレイン
 R17.. ☐ コンプリメンタリ ☐ Nchオープンドレイン

R00～R07およびR10～R17は各ポート(1ビット)ごとに出力仕様をマスクオプションで選択することができます。

出力仕様としてはコンプリメンタリ出力、またはNchオープンドレイン出力のいずれかが選択可能です。

Nchオープンドレイン出力はキーマトリクスのコモン出力等に適当です。

使用しない出力ポートについてはデフォルトの"コンプリメンタリ"を選択してください。

注! Nchオープンドレインを選択した場合でも、電源電圧範囲を越える電圧を出力ポート端子に印加することはできません。

5.6.3 ハイインピーダンス制御

各出力ポートはソフトウェアによってハイインピーダンス制御が可能です。

これにより、出力信号ラインを他の外部デバイスと共有することも可能となります。

出力ポートには以下に示す端子系列ごとのハイインピーダンス制御レジスタが設けられており、このレジスタによってコンプリメンタリ出力、またはハイインピーダンス状態のいずれかが選択できます。

表5.6.3.1 出力ポートとハイインピーダンス制御レジスタの対応

レジスタ	出力ポート端子
HZR0L	R00～R03
HZR0H	R04～R07
HZR1L	R10～R13
HZR1H	R14～R17
HZR20	R20
HZR21	R21
HZR22	R22
HZR23	R23
HZR24	R24
HZR25	R25
HZR26	R26
HZR27	R27
HZR30	R30
HZR31	R31
HZR32	R32
HZR33	R33
HZR34	R34
HZR35 ^{*1}	R35
HZR36 ^{*1}	R36
HZR37 ^{*1}	R37
HZR4L ^{*2}	—
HZR4H ^{*2}	—
HZR50	R50
HZR51 ^{*1}	R51

^{*1} S1C88308ではリード/ライト可能な汎用レジスタとして機能します。

^{*2} 2ビットの予約レジスタで、リード/ライト可能な汎用レジスタとして使用することができます。

ハイインピーダンス制御レジスタHZRxxに"1"を設定すると対応する出力ポート端子がハイインピーダンス状態となり、"0"を設定するとコンプリメンタリ出力となります。

5.6.4 DC出力

図5.6.1.1に示すように、出力ポートのデータレジスタに"1"を書き込むと出力端子がHIGH(V_{DD})レベルとなり、"0"を書き込むとLOW(V_{SS})レベルとなります。

出力がハイインピーダンス状態の場合にデータレジスタに書き込まれたデータは、出力をコンプリメンタリに切り換えた時点で端子から出力されます。

5.6.5 特殊出力

出力ポートR25～R27、R34、R50は通常のDC出力の他に表5.6.5.1に示す特殊出力をソフトウェアによって選択することができます。

表5.6.5.1 特殊出力ポート

出力ポート	特殊出力
R25	CL出力
R26	FR出力
R27	TOUT出力
R34	FOUT出力
R50	BZ出力

■ CL、FR出力(R25、R26)

S1C883xxは外部に拡張LCDドライバを接続した場合のために、CL信号(LCD同期信号)とFR信号(LCDフレーム信号)をR25、R26出力ポート端子から出力させることができます。出力ポートR25およびR26の構成を図5.6.5.1に示します。

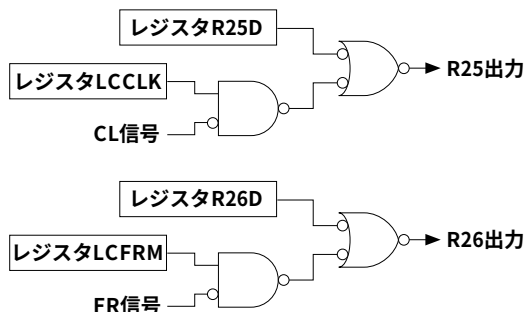


図5.6.5.1 R25、R26の構成

CL信号はレジスタLCCLKによって出力制御が行われます。LCCLKに"1"を設定するとCL信号がR25出力ポート端子から出力され、"0"を設定するとHIGH(V_{DD})レベルが出力されます。このとき、データレジスタR25Dには常時"1"が設定されている必要があります。

FR信号はレジスタLCFRMによって出力制御が行われます。LCFRMに"1"を設定するとFR信号がR26出力ポート端子から出力され、"0"を設定するとHIGH(V_{DD})レベルが出力されます。このとき、データレジスタR26Dには常時"1"が設定されている必要があります。

それぞれの信号の周波数は駆動デューティの選択に当たって、表5.6.5.2のとおり変化します。

表5.6.5.2 CL信号とFR信号の周波数

駆動デューティ	CL信号 (Hz)	FR信号 (Hz)
1/32	2,048	32
1/16	1,024	32
1/8	1,024	64

なお、それぞれの信号ともレジスタLCCLKおよびLCFRMとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.6.5.2にCL信号とFR信号の出力波形を示します。

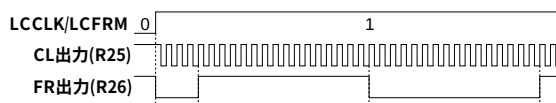


図5.6.5.2 CL信号とFR信号の出力波形(1/16デューティ選択時)

■ TOUT出力(R27)

S1C883xxは外部デバイスに対してクロックを供給する場合などのために、TOUT信号(プログラマブルタイマの出力クロック)をR27出力ポート端子から出力させることができます。

出力ポートR27の構成を図5.6.5.3に示します。

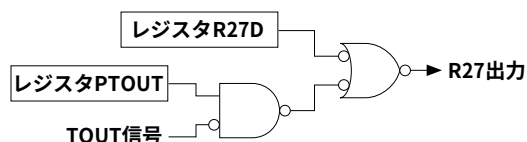


図5.6.5.3 R27の構成

TOUT信号はレジスタPTOUTによって出力制御が行われます。PTOUTに"1"を設定するとTOUT信号がR27出力ポート端子から出力され、"0"を設定するとHIGH(V_{DD})レベルが出力されます。このとき、データレジスタR27Dには常時"1"が設定されている必要があります。

TOUT信号はプログラマブルタイマのアンダーフローが1/2に分周されたものです。周波数の制御等については"5.11 プログラマブルタイマ"を参照してください。

なお、TOUT信号はレジスタPTOUTとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.6.5.4にTOUT信号の出力波形を示します。

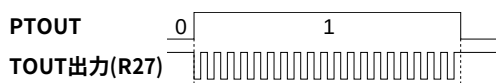


図5.6.5.4 TOUT信号の出力波形

■ FOUT出力(R34)

S1C883xxは外部デバイスに対してクロックを供給する場合などのために、FOUT信号(発振クロックfosc1またはfosc3の分周クロック)をR34出力ポート端子から出力させることができます。出力ポートR34の構成を図5.6.5.5に示します。

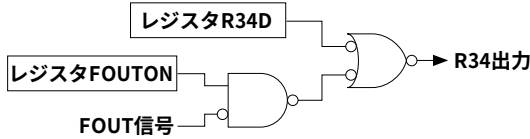


図5.6.5.5 R34の構成

FOUT信号はレジスタFOUTONによって出力制御が行われます。FOUTONに"1"を設定するとFOUT信号がR34出力ポート端子から出力され、"0"を設定するとHIGH(V_{DD})レベルが出力されます。このとき、データレジスタR34Dには常時"1"が設定されている必要があります。FOUT信号の周波数はソフトウェアによるレジスタFOUT0～FOUT2への設定によって、表5.6.5.3に示す8種類の中から1つを選択することができます。

表5.6.5.3 FOUT周波数の設定

FOUT2	FOUT1	FOUT0	FOUT周波数
0	0	0	fosc1 / 1
0	0	1	fosc1 / 2
0	1	0	fosc1 / 4
0	1	1	fosc1 / 8
1	0	0	fosc3 / 1
1	0	1	fosc3 / 2
1	1	0	fosc3 / 4
1	1	1	fosc3 / 8

fosc1: OSC1発振周波数

fosc3: OSC3発振周波数

FOUTの周波数を"fosc3/n"とする場合は、FOUTを出力する以前にOSC3の発振をONさせる必要があります。

なお、OSC3発振回路をONにしてから発振が安定するまでに数msec～数10msecの時間を必要とします。したがって、不安定なFOUT信号が外部に出力されることで不具合が生じる場合はOSC3発振ONの後、十分な待ち時間をおいてからFOUTの出力を行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)

イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

なお、FOUT信号はレジスタFOUTONとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.6.5.6にFOUT信号の出力波形を示します。

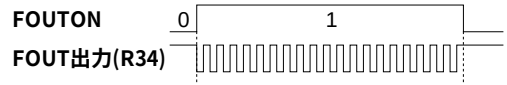


図5.6.5.6 FOUT信号の出力波形

■ BZ出力(R50)

S1C883xxは外付けブザーを駆動する場合のために、BZ信号(サウンドジェネレータの出力)をR50出力ポート端子から出力させることができます。

出力ポートR50の構成を図5.6.5.7に示します。

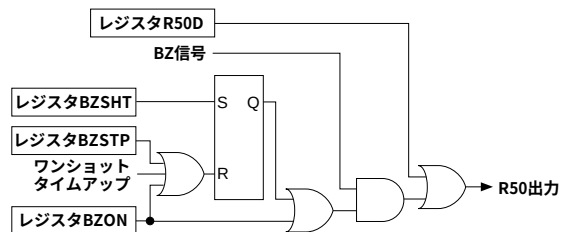


図5.6.5.7 R50の構成

BZ信号はレジスタBZON、BZSHTおよびBZSTPによって出力制御が行われます。BZONまたはBZSHTに"1"を設定するとBZ信号がR50出力ポート端子から出力され、BZONに"0"またはBZSTPに"1"を設定するとLOW(V_{SS})レベルが出力されます。このとき、データレジスタR50Dには常時"0"が設定されている必要があります。

BZ信号はサウンドジェネレータの出力が用いられます。周波数やエンベロープの制御等については"5.13 サウンドジェネレータ"を参照してください。

なお、BZ信号はレジスタBZON、BZSHTおよびBZSTPとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.6.5.8にBZ信号の出力波形を示します。

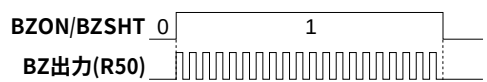


図5.6.5.8 BZ信号の出力波形

5.6.6 出力ポートの制御方法

表5.6.6.1に出力ポートの制御ビットを示します。

表5.6.6.1(a) 出力ポートの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF70	D7	HZR51	R51ハイインピーダンス制御	ハイインピーダンス	コンプライメンタリ	0	R/W	*1
	D6	HZR50	R50ハイインピーダンス制御					
	D5	HZR4H	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D4	HZR4L	汎用レジスタ					
	D3	HZR1H	R14～R17ハイインピーダンス制御	ハイインピーダンス	コンプライメンタリ	0	R/W	
	D2	HZR1L	R10～R13ハイインピーダンス制御					
	D1	HZR0H	R04～R07ハイインピーダンス制御					
	D0	HZR0L	R00～R03ハイインピーダンス制御					
00FF71	D7	HZR27	R27ハイインピーダンス制御	ハイインピーダンス	コンプライメンタリ	0	R/W	
	D6	HZR26	R26ハイインピーダンス制御					
	D5	HZR25	R25ハイインピーダンス制御					
	D4	HZR24	R24ハイインピーダンス制御					
	D3	HZR23	R23ハイインピーダンス制御					
	D2	HZR22	R22ハイインピーダンス制御					
	D1	HZR21	R21ハイインピーダンス制御					
	D0	HZR20	R20ハイインピーダンス制御					
00FF72	D7	HZR37	R37ハイインピーダンス制御	ハイインピーダンス	コンプライメンタリ	0	R/W	S1C88308 ではR/Wレジスタ 機能のみ
	D6	HZR36	R36ハイインピーダンス制御					
	D5	HZR35	R35ハイインピーダンス制御					
	D4	HZR34	R34ハイインピーダンス制御					
	D3	HZR33	R33ハイインピーダンス制御					
	D2	HZR32	R32ハイインピーダンス制御					
	D1	HZR31	R31ハイインピーダンス制御					
	D0	HZR30	R30ハイインピーダンス制御					
00FF73	D7	R07D	R07出力ポートデータ	High	Low	1	R/W	
	D6	R06D	R06出力ポートデータ					
	D5	R05D	R05出力ポートデータ					
	D4	R04D	R04出力ポートデータ					
	D3	R03D	R03出力ポートデータ					
	D2	R02D	R02出力ポートデータ					
	D1	R01D	R01出力ポートデータ					
	D0	R00D	R00出力ポートデータ					
00FF74	D7	R17D	R17出力ポートデータ	High	Low	1	R/W	
	D6	R16D	R16出力ポートデータ					
	D5	R15D	R15出力ポートデータ					
	D4	R14D	R14出力ポートデータ					
	D3	R13D	R13出力ポートデータ					
	D2	R12D	R12出力ポートデータ					
	D1	R11D	R11出力ポートデータ					
	D0	R10D	R10出力ポートデータ					
00FF75	D7	R27D	R27出力ポートデータ	High	Low	1	R/W	
	D6	R26D	R26出力ポートデータ					
	D5	R25D	R25出力ポートデータ					
	D4	R24D	R24出力ポートデータ					
	D3	R23D	R23出力ポートデータ					
	D2	R22D	R22出力ポートデータ					
	D1	R21D	R21出力ポートデータ					
	D0	R20D	R20出力ポートデータ					

*1 S1C88308ではR/Wレジスタ機能のみ

表5.6.6.1(b) 出力ポートの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF76	D7	R37D	R37出力ポートデータ	High	Low	1	R/W	S1C88308 ではR/Wレジスタ 機能のみ
	D6	R36D	R36出力ポートデータ					
	D5	R35D	R35出力ポートデータ					
	D4	R34D	R34出力ポートデータ					
	D3	R33D	R33出力ポートデータ					
	D2	R32D	R32出力ポートデータ					
	D1	R31D	R31出力ポートデータ					
	D0	R30D	R30出力ポートデータ					
00FF77	D7	R47D	汎用レジスタ	1	0	1	R/W	予約レジスタ
	D6	R46D	汎用レジスタ					
	D5	R45D	汎用レジスタ					
	D4	R44D	汎用レジスタ					
	D3	R43D	汎用レジスタ					
	D2	R42D	汎用レジスタ					
	D1	R41D	汎用レジスタ					
	D0	R40D	汎用レジスタ					
00FF78	D7	—	—	—	—	—	—	読み出し時は 常時"0"
	D6	—	—	—	—	—	—	
	D5	—	—	—	—	—	—	
	D4	—	—	—	—	—	—	
	D3	—	—	—	—	—	—	
	D2	—	—	—	—	—	—	
	D1	R51D	R51出力ポートデータ	High	Low	1	R/W	*1
	D0	R50D	R50出力ポートデータ	High	Low	0	R/W	
00FF10	D7	—	—	—	—	—	—	読み出し時は 常時"0"
	D6	—	—	—	—	—	—	
	D5	—	—	—	—	—	—	
	D4	LCCLK	拡張LCDドライバ用CL出力制御	On	Off	0	R/W	
	D3	LCFRM	拡張LCDドライバ用FR出力制御	On	Off	0	R/W	
	D2	DTFNT	LCDドットフォント選択	5×5ドット	5×8ドット	0	R/W	
	D1	LDUTY	LCD駆動デューティ選択	1/16デューティ	1/32デューティ	0	R/W	*2
	D0	SGOUT	汎用レジスタ	1	0	0	R/W	予約レジスタ
00FF30	D7	—	—	—	—	—	—	読み出し時は 常時"0"
	D6	—	—	—	—	—	—	
	D5	—	—	—	—	—	—	
	D4	MODE16	8/16ビットモード選択	16ビット×1	8ビット×2	0	R/W	
	D3	CHSEL	TOUT出力チャンネル選択	タイマ1	タイマ0	0	R/W	
	D2	PTOUT	TOUT出力制御	On	Off	0	R/W	
	D1	CKSEL1	プリスケアラ1原振クロック選択	fosc3	fosc1	0	R/W	
	D0	CKSEL0	プリスケアラ0原振クロック選択	fosc3	fosc1	0	R/W	
00FF44	D7	—	—	—	—	—	—	読み出し時は 常時"0"
	D6	BZSTP	ワンショットブザー強制停止	強制停止	無効	—	W	
	D5	BZSHT	ワンショットブザートリガ/ステータス	Busy トリガ	Ready 無効	0	R/W	
	D4	SHTPW	ワンショットブザー時間幅選択	125msec	31.25msec	0	R/W	
	D3	ENRTM	エンベロープ減衰時間	1sec	0.5sec	0	R/W	
	D2	ENRST	エンベロープリセット	リセット	無効	—	W	
	D1	ENON	エンベロープOn/Off制御	On	Off	0	R/W	
	D0	BZON	ブザー出力制御	On	Off	0	R/W	*3

*1 S1C88308ではR/Wレジスタ機能のみ

*2 マスクオプションで1/8デューティを選択している場合は、本レジスタの設定は無効となります。

*3 ワンショット出力時、"0"にリセット

表5.6.6.1(c) 出力ポートの制御ビット

アドレス	ビット	名称	機 能				1	0	SR	R/W	注 釈
00FF40	D7	—	—				—	—	—		読み出し時は"0"
	D6	FOUT2	FOUT周波数選択						0	R/W	
			FOUT2	FOUT1	FOUT0	周波数					
			0	0	0	fosc1 / 1					
			0	0	1	fosc1 / 2					
	D5	FOUT1	0	1	0	fosc1 / 4			0	R/W	
			0	1	1	fosc1 / 8					
			1	0	0	fosc3 / 1					
	D4	FOUT0	1	0	1	fosc3 / 2			0	R/W	
			1	1	0	fosc3 / 4					
1			1	1	fosc3 / 8						
D3	FOUTON	FOUT出力制御				On	Off	0	R/W		
D2	WDRST	ウォッチドッグタイマリセット				リセット	無効	—	W	読み出し時は	
D1	TMRST	計時タイマリセット				リセット	無効	—	W	常時"0"	
D0	TMRUN	計時タイマRun/Stop制御				Run	Stop	0	R/W		

■ ハイインピーダンス制御

HZR0L, HZR0H: 00FF70H・D0, D1

HZR1L, HZR1H: 00FF70H・D2, D3

HZR20~HZR27: 00FF71H

HZR30~HZR37: 00FF72H *1

HZR4L, HZR4H: 00FF70H・D4, D5 *2

HZR50, HZR51: 00FF70H・D6, D7 *1

各出力端子をハイインピーダンスに設定します。

"1"書き込み: ハイインピーダンス

"0"書き込み: コンプリメンタリ

読み出し: 可能

HZRxxは出力ポート端子のハイインピーダンス制御レジスタで、表5.6.3.1に示すとおり各出力ポート端子に対応しています。

HZRxxに"1"を設定すると対応する出力ポート端子がハイインピーダンス状態となり、"0"を設定するとコンプリメンタリ出力となります。

イニシャルリセット時、本レジスタはすべて"0"(コンプリメンタリ)に設定されます。

*1 S1C88308では、HZR35~HZR37、HZR51はリード/ライト可能な汎用レジスタとして機能します。

*2 HZR4LおよびHZR4Hは2ビットの予約レジスタで、リード/ライト可能な汎用レジスタとして使用することができます。

■ DC出力制御

R00D~R07D: 00FF73H

R10D~R17D: 00FF74H

R20D~R27D: 00FF75H

R30D~R37D: 00FF76H *1

R40D~R47D: 00FF77H *2

R50D, R51D: 00FF78H・D0, D1 *1

Rxx出力ポート端子の出力データを設定します。

"1"書き込み: HIGHレベル出力

"0"書き込み: LOWレベル出力

読み出し: 可能

RxxDは各出力ポートのデータレジスタで、"1"を設定すると対応する出力ポート端子がHIGH(V_{DD})レベルとなり、"0"を設定するとLOW(V_{SS})レベルとなります。

イニシャルリセット時、R50Dは"0"(LOWレベル出力)、それ以外のレジスタはすべて"1"(HIGHレベル出力)に設定されます。

バス信号の出力に設定されている出力ポートのデータレジスタは、出力端子に影響を与えないリード/ライト可能な汎用レジスタとして使用することができます。

*1 S1C88308では、R35D~R37D、R51Dはリード/ライト可能な汎用レジスタとして機能します。

*2 R40D~R47Dは8ビットの予約レジスタで、リード/ライト可能な汎用レジスタとして使用することができます。

■ 特殊出力制御

LCCLK: 00FF10H-D4

CL(LCD同期)信号の出力制御を行います。

"1"書き込み: CL信号出力

"0"書き込み: HIGHレベル(DC)出力

読み出し: 可能

LCCLKはCL信号の出力制御レジスタで、"1"を設定するとCL信号がR25出力ポート端子から出力され、"0"を設定するとHIGH(V_{DD})レベルが出力されます。このとき、データレジスタR25Dには常時"1"が設定されている必要があります。

イニシャルリセット時、LCCLKは"0"(HIGHレベル出力)に設定されます。

LCFRM: 00FF10H-D3

FR(LCDフレーム)信号の出力制御を行います。

"1"書き込み: FR信号出力

"0"書き込み: HIGHレベル(DC)出力

読み出し: 可能

LCFRMはFR信号の出力制御レジスタで、"1"を設定するとFR信号がR26出力ポート端子から出力され、"0"を設定するとHIGH(V_{DD})レベルが出力されます。このとき、データレジスタR26Dには常時"1"が設定されている必要があります。

イニシャルリセット時、LCFRMは"0"(HIGHレベル出力)に設定されます。

PTOUT: 00FF30H-D2

TOUT(プログラマブルタイマ出力クロック)信号の出力制御を行います。

"1"書き込み: TOUT信号出力

"0"書き込み: HIGHレベル(DC)出力

読み出し: 可能

PTOUTはTOUT信号の出力制御レジスタで、"1"を設定するとTOUT信号がR27出力ポート端子から出力され、"0"を設定するとHIGH(V_{DD})レベルが出力されます。このとき、データレジスタR27Dには常時"1"が設定されている必要があります。

イニシャルリセット時、PTOUTは"0"(HIGHレベル出力)に設定されます。

FOUTON: 00FF40H-D3

FOUT(fosc1/fosc3分周クロック)信号の出力制御を行います。

"1"書き込み: FOUT信号出力

"0"書き込み: HIGHレベル(DC)出力

読み出し: 可能

FOUTONはFOUT信号の出力制御レジスタで、"1"を設定するとFOUT信号がR34出力ポート端子から出力され、"0"を設定するとHIGH(V_{DD})レベルが出力されます。

このとき、データレジスタR34Dには常時"1"が設定されている必要があります。

イニシャルリセット時、FOUTONは"0"(HIGHレベル出力)に設定されます。

FOUT0, FOUT1, FOUT2: 00FF40H-D4, D5, D6

FOUT信号の周波数を表5.6.6.2のとおり設定します。

表5.6.6.2 FOUT周波数の設定

FOUT2	FOUT1	FOUT0	FOUT周波数
0	0	0	fosc1 / 1
0	0	1	fosc1 / 2
0	1	0	fosc1 / 4
0	1	1	fosc1 / 8
1	0	0	fosc3 / 1
1	0	1	fosc3 / 2
1	1	0	fosc3 / 4
1	1	1	fosc3 / 8

fosc1: OSC1発振周波数

fosc3: OSC3発振周波数

イニシャルリセット時、本レジスタは"0"(fosc1/1)に設定されます。

BZON: 00FF44H-D0

BZ(ブザー)信号の出力制御を行います。

"1"書き込み: BZ信号出力

"0"書き込み: LOWレベル(DC)出力

読み出し: 可能

BZONはBZ信号の出力制御レジスタで、"1"を設定するとBZ信号がR50出力ポート端子から出力され、"0"を設定するとLOW(V_{SS})レベルが出力されます。このとき、データレジスタR50Dには常時"0"が設定されている必要があります。

イニシャルリセット時、BZONは"0"(LOWレベル出力)に設定されます。

BZSHT: 00FF45H・D5

ワンショットブザー出力の制御を行います。

"1"書き込み: トリガ

"0"書き込み: ノーオペレーション

"1"読み出し: BUSY

"0"読み出し: READY

BZSHTに"1"を書き込むことによってワンショット出力回路が動作し、BZ信号が出力されます。このブザー出力はSHTPWによって設定した時間の経過後に自動的にOFFとなります。このとき、データレジスタR50Dには常時"0"が設定されている必要があります。

ワンショット出力は通常のブザー出力がOFF (BZON="0")の状態でのみ有効で、ON(BZON="1")状態でのトリガは無効となります。

ワンショット出力中に再トリガを行った場合は、その時点からSHTPWによって設定した時間を計測し直します。(時間延長)

ワンショット出力回路の動作状態はBZSHTを読み出すことによって確認することができ、ワンショット出力(BUSY)中は"1"、OFF(READY)時は"0"が読み出せます。

イニシャルリセット時、BZSHTは"0"(READY)に設定されます。

BZSTP: 00FF45H・D6

ワンショットブザー出力の強制停止を行います。

"1"書き込み: 強制停止

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

BZSTPに"1"を書き込むことによって、SHTPWによる設定時間が経過する以前にワンショットブザー出力を強制停止させることができます。

BZSTPへの"0"書き込みおよびワンショットブザー出力中以外の"1"書き込みは無効となります。

なお、BZSHTとBZSTPに同時に"1"を書き込んだ場合はBZSTPが優先され、ワンショットブザー出力は停止状態となります。

BZSTPは書き込み専用のため、読み出し時は常時"0"となります。

5.6.7 プログラミング上の注意事項

- (1) 特殊出力(CL、FR、TOUT、FOUT、BZ)信号は出力制御レジスタ(LCCLK、LCFRM、PTOUT、FOUTON、BZON、BZSHT、BZSTP)とは非同期に発生していますので、出力制御レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- (2) FOUTの周波数を"fosc3/n"とする場合は、FOUTを出力する以前にOSC3の発振をONさせる必要があります。
 なお、OSC3発振回路をONしてから発振が安定するまでに数msec～数10msecの時間を必要とします。したがって、不安定なFOUT信号が外部に出力されることで不具合が生じる場合はOSC3発振ONの後、十分な待ち時間をおいてからFOUTの出力を行ってください。(発振開始時間は発振子、外付け部品によって変動します。
 "7 電気的特性"に発振開始時間の一例を示しますので参照してください。)
 イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。
- (3) 特殊出力(TOUT、FOUT、BZ)信号がイネーブルの状態でSLP命令を実行した場合は、SLEEP状態からの復帰時に特殊出力に不安定なクロックが出力されます。したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前に特殊出力信号をディセーブル状態に設定してください。

5.7 入出力兼用ポート (Pポート)

5.7.1 入出力兼用ポートの構成

S1C883xxは16ビット(P00～P07、P10～P17)の入出力兼用(I/O)ポートを内蔵しています。

入出力兼用ポートの構成はバスモードにより、以下のとおり異なります。

表5.7.1.1 入出力兼用(I/O)ポートの構成

端子	バスモード		
	シングルチップ	拡張64K	拡張512K
P00	I/Oポート P00	データバス D0	
P01	I/Oポート P01	データバス D1	
P02	I/Oポート P02	データバス D2	
P03	I/Oポート P03	データバス D3	
P04	I/Oポート P04	データバス D4	
P05	I/Oポート P05	データバス D5	
P06	I/Oポート P06	データバス D6	
P07	I/Oポート P07	データバス D7	
P10	I/Oポート P10 (SIN)		
P11	I/Oポート P11 (SOUT)		
P12	I/Oポート P12 ($\overline{\text{SCLK}}$)		
P13	I/Oポート P13 ($\overline{\text{SRDY}}$)		
P14	I/Oポート P14 (CMPP0)		
P15	I/Oポート P15 (CMPM0)		
P16	I/Oポート P16 (CMPP1)		
P17	I/Oポート P17 (CMPM1)		

データバスについては"5.2 システムコントローラとバスの制御"を参照してください。

図5.7.1.1に入出力兼用ポートの構造を示します。

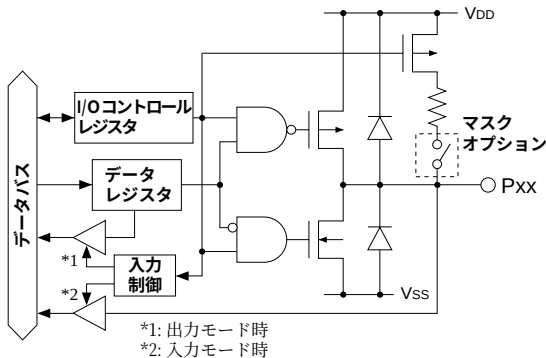


図5.7.1.1 入出力兼用ポートの構造

入出力兼用ポートは1ビットごとに入力モード、または出力モードを設定することができます。この設定はI/Oコントロールレジスタにデータを書き込むことによって行います。

入出力兼用ポートP10～P13はシリアルインタフェースの入出力端子と、P14～P17はアナログコンパレータの入力端子とそれぞれ共用されており、どちらの用途で使用するかをソフトウェアによって選択することができます。

シリアルインタフェースとアナログコンパレータの詳細については"5.8 シリアルインタフェース"、"5.14 アナログコンパレータ"をそれぞれ参照してください。

データバスとシリアルインタフェースの出力端子に設定される入出力兼用ポートのデータレジスタとI/Oコントロールレジスタは、端子の入出力には影響を与えないリード/ライト可能な汎用レジスタとして使用することができます。また、シリアルインタフェースの入力端子に設定される入出力兼用ポートのI/Oコントロールレジスタも同様に、汎用レジスタとして使用することができます。

5.7.2 マスクオプション

入出力兼用ポートプルアップ抵抗

P00	☐ 抵抗あり	☐ ゲート直接
P01	☐ 抵抗あり	☐ ゲート直接
P02	☐ 抵抗あり	☐ ゲート直接
P03	☐ 抵抗あり	☐ ゲート直接
P04	☐ 抵抗あり	☐ ゲート直接
P05	☐ 抵抗あり	☐ ゲート直接
P06	☐ 抵抗あり	☐ ゲート直接
P07	☐ 抵抗あり	☐ ゲート直接
P10	☐ 抵抗あり	☐ ゲート直接
P11	☐ 抵抗あり	☐ ゲート直接
P12	☐ 抵抗あり	☐ ゲート直接
P13	☐ 抵抗あり	☐ ゲート直接
P14	☐ 抵抗あり	☐ ゲート直接
P15	☐ 抵抗あり	☐ ゲート直接
P16	☐ 抵抗あり	☐ ゲート直接
P17	☐ 抵抗あり	☐ ゲート直接

入出力兼用ポートP00～P07、P10～P17には入力モード時においてONするプルアップ抵抗が内蔵されており、これを使用するかしないかを各ポート(1ビット)ごとに選択することができます。

"抵抗あり"を選択した場合、入力モード時にプルアップ抵抗がONします。

内蔵プルアップ抵抗によって、ポート端子をLOWレベルからHIGHレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入出力兼用ポートの取り込みには適切な待ち時間の設定が必要となります。待ち時間は以下の式で求められる値以上を設定してください。

待ち時間 = $R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6 [\text{sec}]$

R_{IN} : プルアップ抵抗Max.値

C_{IN} : 端子容量Max.値

アナログコンパレータを使用する場合は、入力端子となる入出力兼用ポート(P14～P15またはP16～P17、あるいは両方)に対して"ゲート直接"を選択してください。

使用しない入出力兼用ポートについては、デフォルトの"抵抗あり"を選択してください。

5.7.3 I/Oコントロールレジスタと

入力/出力モード

入出力兼用ポートP00～P07とP10～P17は、それぞれのビットに対応したI/OコントロールレジスタIOC00～IOC07とIOC10～IOC17にデータを書き込むことによって、入力モードあるいは出力モードに設定されます。

入力モードに設定する場合はI/Oコントロールレジスタに"0"を書き込みます。入力モードに設定された入出力兼用ポートは、ハイインピーダンス状態となり入力ポートとして機能します。

入力モード時の読み出しでは入力端子の状態が直接読み込まれ、そのデータは入力端子がHIGH(V_{DD})レベルのときに"1"、LOW(V_{SS})レベルのときに"0"となります。

マスクオプションで内蔵プルアップ"抵抗あり"を選択した場合は、入力モード時にポート端子がプルアップされます。

入力モード時においても、端子の状態に影響を与えることなくデータレジスタに対して書き込みは行えます。

出力モードに設定する場合はI/Oコントロールレジスタに"1"を書き込みます。出力モードに設定された入出力兼用ポートは出力ポートとして機能し、ポート出力データが"1"の場合にHIGH(V_{DD})レベル、"0"の場合にLOW(V_{SS})レベルを出力します。

出力モード時の読み出しでは、データレジスタの内容が読み込まれます。

イニシャルリセット時、I/Oコントロールレジスタは"0"(入出力兼用ポートは入力モード)に設定されます。

5.7.4 入出力兼用ポートの制御方法

表5.7.4.1に入出力兼用ポートの制御ビットを示します。

表5.7.4.1 入出力兼用ポートの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF60	D7	IOC07	P07 I/Oコントロールレジスタ	出力	入力	0	R/W	
	D6	IOC06	P06 I/Oコントロールレジスタ					
	D5	IOC05	P05 I/Oコントロールレジスタ					
	D4	IOC04	P04 I/Oコントロールレジスタ					
	D3	IOC03	P03 I/Oコントロールレジスタ					
	D2	IOC02	P02 I/Oコントロールレジスタ					
	D1	IOC01	P01 I/Oコントロールレジスタ					
	D0	IOC00	P00 I/Oコントロールレジスタ					
00FF61	D7	IOC17	P17 I/Oコントロールレジスタ	出力	入力	0	R/W	
	D6	IOC16	P16 I/Oコントロールレジスタ					
	D5	IOC15	P15 I/Oコントロールレジスタ					
	D4	IOC14	P14 I/Oコントロールレジスタ					
	D3	IOC13	P13 I/Oコントロールレジスタ					
	D2	IOC12	P12 I/Oコントロールレジスタ					
	D1	IOC11	P11 I/Oコントロールレジスタ					
	D0	IOC10	P10 I/Oコントロールレジスタ					
00FF62	D7	P07D	P07 入出力兼用ポートデータ	High	Low	1	R/W	
	D6	P06D	P06 入出力兼用ポートデータ					
	D5	P05D	P05 入出力兼用ポートデータ					
	D4	P04D	P04 入出力兼用ポートデータ					
	D3	P03D	P03 入出力兼用ポートデータ					
	D2	P02D	P02 入出力兼用ポートデータ					
	D1	P01D	P01 入出力兼用ポートデータ					
	D0	P00D	P00 入出力兼用ポートデータ					
00FF63	D7	P17D	P17 入出力兼用ポートデータ	High	Low	1	R/W	
	D6	P16D	P16 入出力兼用ポートデータ					
	D5	P15D	P15 入出力兼用ポートデータ					
	D4	P14D	P14 入出力兼用ポートデータ					
	D3	P13D	P13 入出力兼用ポートデータ					
	D2	P12D	P12 入出力兼用ポートデータ					
	D1	P11D	P11 入出力兼用ポートデータ					
	D0	P10D	P10 入出力兼用ポートデータ					

P00D~P07D, P10D~P17D: 00FF62H, 00FF63H

Pxx入出力兼用ポート端子のデータの読み出し、および出力データの設定を行います。

データ書き込み時

"1"書き込み: HIGHレベル

"0"書き込み: LOWレベル

入出力兼用ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力兼用ポート端子に出力されます。ポートデータとして"1"を書き込んだ場合はポート端子はHIGH(V_{DD})レベルとなり、"0"を書き込んだ場合はLOW(V_{SS})レベルとなります。

入力モードの場合もポートデータの書き込みは行えます。

データ読み出し時

"1"読み出し: HIGHレベル ("1")

"0"読み出し: LOWレベル ("0")

入出力兼用ポートが入力モードの場合はポート端子に入力されている電圧レベルが読み出されます。端子電圧がHIGH(V_{DD})レベルの場合は"1"、LOW(V_{SS})レベルの場合は"0"がそれぞれ入力データとして読み出されます。

また、出力モードの場合はデータレジスタの内容が読み出されます。

イニシャルリセット時、本レジスタはすべて"1"(HIGHレベル)に設定されます。

注! データバスとシリアルインタフェースの出力端子に設定される入出力兼用ポートのデータレジスタは、端子の入出力には影響を与えないリード/ライト可能な汎用レジスタとして使用することができます。

IOC00~IOC07: 00FF60H**IOC10~IOC17: 00FF61H**

入出力兼用ポートの入力/出力モードを設定します。

"1"書き込み: 出力モード

"0"書き込み: 入力モード

読み出し: 可能

IOCxxは各入出力兼用ポートにビット単位で対応するI/Oコントロールレジスタです。IOCxxレジスタに"1"を書き込むと対応する入出力兼用ポートPxxが出力モードとなり、"0"を書き込むと入力モードとなります。

なお、アナログコンパレータを使用する場合は、入力端子となる入出力兼用ポートのI/Oコントロールレジスタ(IOC14~IOC15またはIOC16~IOC17、あるいは両方)に常時"0"を設定する必要があります。イニシャルリセット時、本レジスタはすべて"0"(入力モード)に設定されます。

注! データバスとシリアルインタフェースの入出力端子に設定される入出力兼用ポートのI/Oコントロールレジスタは、端子の入出力には影響を与えないリード/ライト可能な汎用レジスタとして使用することができます。

5.7.5 プログラミング上の注意事項

- (1) 内蔵プルアップ抵抗によって、ポート端子をLOWレベルからHIGHレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入出力兼用ポートの取り込みには適切な待ち時間の設定が必要となります。待ち時間は以下の式で求められる値以上を設定してください。

$$\text{待ち時間} = R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6 [\text{sec}]$$

R_{IN}: プルアップ抵抗Max.値

C_{IN}: 端子容量Max.値

- (2) アナログコンパレータを使用する場合は、入力端子となる入出力兼用ポートのI/Oコントロールレジスタ(IOC14~IOC15またはIOC16~IOC17、あるいは両方)に常時"0"を設定する必要があります。

5.8 シリアルインタフェース

5.8.1 シリアルインタフェースの構成

S1C883xxはクロック同期式または調歩同期式の選択が可能な全二重方式(調歩同期式選択時)のシリアルインタフェースを内蔵しています。

転送方式はソフトウェアによって選択でき、クロック同期式を選択した場合は8ビットのデータ転送が可能です。調歩同期式では7ビットまたは8ビットのデータ転送が可能で、受信データのパリティチェックおよび送信データへのパリティビットの付加もソフトウェア選択によって自動的行えます。

図5.8.1.1にシリアルインタフェースの構成を示します。

シリアルインタフェースの入出力端子SIN、SOUT、SCLK、SRDYは入出力兼用ポートP10～P13と共用されており、シリアルインタフェースの入出力端子として用いる場合はレジスタESIF、SMD0およびSMD1によってその設定を行います。(イニシャルリセット時は入出力兼用ポート端子に設定されます。)

シリアルインタフェースの入出力端子に設定される入出力兼用ポート端子はそれぞれの信号と転送モードによって入出力方向が設定され、対応する入出力兼用ポートのI/Oコントロールレジスタの設定は無効となります。

表5.8.1.1 入出力端子の構成

端子	シリアルインタフェース選択時
P10	SIN
P11	SOUT
P12	SCLK
P13	SRDY

* 転送モードにより使用する端子が異なります。

SIN、SOUTはそれぞれシリアルデータの入力、出力端子で、クロック同期式および調歩同期式ともに共通です。SCLKはクロック同期式専用で、同期クロックの入出力端子となります。SRDYはクロック同期式スレーブモード専用で、送受信レディ信号の出力端子となっています。調歩同期式を選択した場合はSCLKおよびSRDYを使用しませんので、P12、P13入出力兼用ポート端子は入出力兼用ポートとして使用することができます。

同様に、クロック同期式マスターモードを選択した場合はSRDYを使用しませんので、P13入出力兼用ポート端子は入出力兼用ポートとして使用することができます。

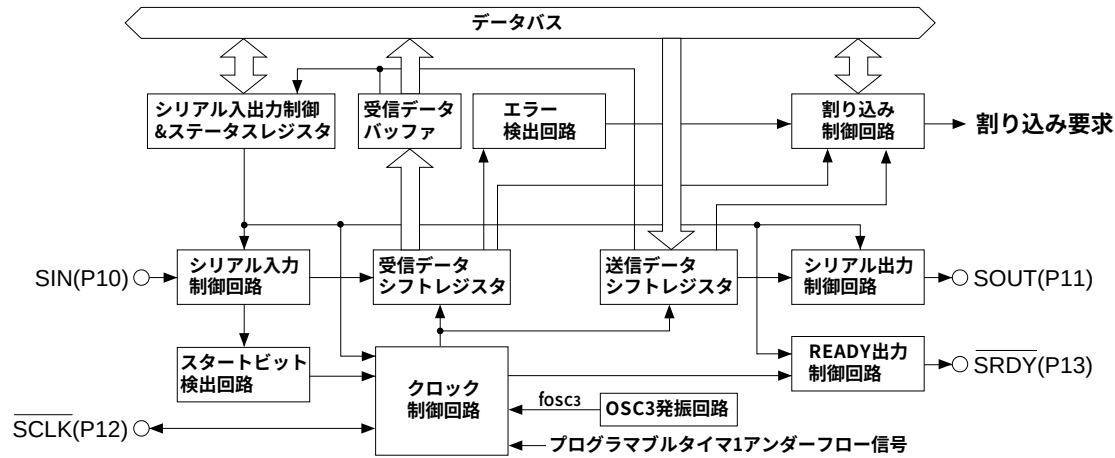


図5.8.1.1 シリアルインタフェースの構成

5.8.2 マスクオプション

シリアルインタフェースの入出力端子は入出力兼用ポートと共用されているため、入出力兼用ポートのマスクオプション設定によってシリアルインタフェースの端子仕様も必然的に決定されます。

入出力兼用ポートプルアップ抵抗

P10(SIN) ☐ 抵抗あり ☐ ゲート直接
P12(SCLK) ☐ 抵抗あり ☐ ゲート直接

入出力兼用ポートの各端子には入力モード時に於いてONするプルアップ抵抗が内蔵されており、これを使用するかしないかを各ポート(1ビット)ごとに選択することができます。シリアルインタフェース使用時に入力端子となるP10(SIN)、P12(SCLK)端子は、入出力兼用ポートのオプション設定によって端子仕様(プルアップを使用するかしないか)が決定されます。

シリアルI/Fモードで"ゲート直接"を選択した場合は、それぞれの入力端子がフローティング状態にならないよう注意してください。

5.8.3 転送モード

シリアルインタフェースの転送モードは、モード選択レジスタSMD0およびSMD1の2ビットの設定によって以下の4種類が選択できます。

表5.8.3.1 転送モード

SMD1	SMD0	モード
1	1	調歩同期式8ビット
1	0	調歩同期式7ビット
0	1	クロック同期式スレーブ
0	0	クロック同期式マスタ

表5.8.3.2 転送モードによる端子設定

モード	SIN	SOUT	SCLK	SRDY
調歩同期式8ビット	入力	出力	P12	P13
調歩同期式7ビット	入力	出力	P12	P13
クロック同期式スレーブ	入力	出力	入力	出力
クロック同期式マスタ	入力	出力	出力	P13

イニシャルリセット時はクロック同期式マスタモードに設定されます。

■ クロック同期式マスタモード

本モードでは、内蔵シフトレジスタの同期クロックとして内部クロックを使用する、本シリアルインタフェースをマスタとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックはSCLK端子からも出力され、外部(スレーブ側)のシリアル入出力デバイスを制御することができます。

このモードではSRDY端子を使用しませんので、この端子を入出力兼用ポートとして使用することができます。

図5.8.3.1(a)にクロック同期式マスタモードにおける入出力端子の接続例を示します。

■ クロック同期式スレーブモード

本モードでは、外部(マスタ側)のシリアル入出力デバイスから供給される同期クロックを使用する、本シリアルインタフェースをスレーブとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックはSCLK端子より入力し、本シリアルインタフェースの同期クロックとして使用します。

また、SRDY端子からは送受信レディ状態を示すSRDY信号がシリアルインタフェースの動作状態にしたがって出力されます。

スレーブモードではクロック源を選択するレジスタSCS0、SCS1の設定が無効となります。

図5.8.3.1(b)にクロック同期式スレーブモードにおける入出力端子の接続例を示します。

■ 調歩同期式7ビットモード

このモードでは、調歩同期式7ビット転送が行えます。データ受信時のパリティチェックおよびデータ送信時のパリティビットの付加(奇数/偶数/なし)を指定でき、データをパリティなし7ビットまたはパリティ付き7ビットとして処理できます。このモードでは内部クロックを使用しますので、SCLK端子は使用しません。また、SRDY端子も使用しませんので、この2つの端子は入出力兼用ポートとして使用することができます。

図5.8.3.1(c)に調歩同期式モードにおける入出力端子の接続例を示します。

■ 調歩同期式8ビットモード

このモードでは、調歩同期式8ビット転送が行えます。データ受信時のパリティチェックおよびデータ送信時のパリティビットの付加(奇数/偶数/なし)を指定でき、データをパリティなし8ビットまたはパリティ付き8ビットとして処理できます。このモードでは内部クロックを使用しますので、SCLK端子は使用しません。また、SRDY端子も使用しませんので、この2つの端子は入出力兼用ポートとして使用することができます。

図5.8.3.1(c)に調歩同期式モードにおける入出力端子の接続例を示します。

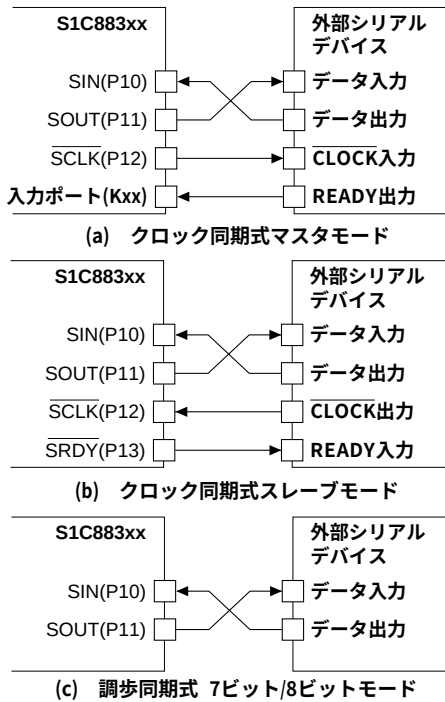


図5.8.3.1 シリアルインタフェース入出力端子の接続例

5.8.4 クロック源

クロック源はクロック選択レジスタSCS0、SCS1の2ビットの設定によって以下の4種類が選択できます。

表5.8.4.1 クロック源

SCS1	SCS0	クロック源
1	1	プログラマブルタイマ
1	0	fosc3 / 4
0	1	fosc3 / 8
0	0	fosc3 / 16

クロック同期式スレープモードでは本レジスタの設定は無効となり、SCLK端子より入力される外部クロックが使用されます。

"プログラマブルタイマ"を選択した場合は、プログラマブルタイマ1のアンダーフローを1/2分周した信号がクロック源として使用されます。転送速度設定の詳細については"5.11 プログラマブルタイマ"を参照してください。

イニシャルリセット時は"fosc3/16"が設定されます。

選択したクロックはさらに1/16に分周され、同期クロックとして使用されます。

また、クロック同期式スレープモードのSCLKは外部からの入力そのまま使用されます。

表5.8.4.2にプログラマブルタイマをクロック源とした場合の転送速度とOSC3発振周波数の例を示します。

OSC3発振回路の分周信号をクロック源とする場合は、シリアルインタフェースを使用する以前にOSC3の発振をONさせる必要があります。

なお、OSC3発振回路をONにしてから発振が安定するまでに数msec～数10msecの時間を必要とします。したがって、シリアルインタフェースの送受信開始はOSC3発振ONの後、十分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)

イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

図5.8.4.1
同期クロックの分周

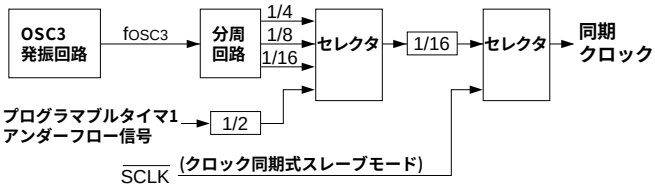


表5.8.4.2 転送速度とOSC3発振周波数

転送速度 (bps)	OSC3発振周波数/プログラマブルタイマの設定					
	fosc3=3.072MHz		fosc3=4.608MHz		fosc3=4.9152MHz	
	PSC1X	RLD1X	PSC1X	RLD1X	PSC1X	RLD1X
9,600	0 (1/1)	09H	0 (1/1)	0EH	0 (1/1)	0FH
4,800	0 (1/1)	13H	0 (1/1)	1DH	0 (1/1)	1FH
2,400	0 (1/1)	27H	0 (1/1)	3BH	0 (1/1)	3FH
1,200	0 (1/1)	4FH	0 (1/1)	77H	0 (1/1)	7FH
600	0 (1/1)	9FH	0 (1/1)	EFH	0 (1/1)	FFH
300	1 (1/4)	4FH	1 (1/4)	77H	1 (1/4)	7FH
150	1 (1/4)	9FH	1 (1/4)	EFH	1 (1/4)	FFH

5.8.5 送受信の制御

以下に送受信の制御を行うレジスタ等を説明します。送受信の制御手順と動作については次項よりモード別に説明しますので、そちらを参照してください。

■ シフトレジスタと受信データバッファ

本シリアルインタフェースには、送信と受信それぞれに専用のシフトレジスタが設けられています。このため、調歩同期式モード選択時には送信と受信を同時に行う全二重通信が可能です。

TRXD0~TRXD7に書き込まれた送信データはシフトレジスタによってシリアル変換され、SOUT端子から出力されます。

受信部にはシフトレジスタとは別に受信データバッファが設けられています。

受信時には、SIN端子から入力されたデータが、シフトレジスタによってパラレル変換され、受信データバッファに書き込まれます。受信データバッファの読み出しをシリアル入力とは非同期にその動作中に行えるため、効率のよい連続受信が行えます。

ただし、クロック同期式モードではバッファ機能を使用しませんので、次のデータ受信が始まる前にデータを読み出す必要があります。

■ 送信許可レジスタ、送信制御ビット

送信の制御には、送信許可レジスタTXENと送信制御ビットTXTRGを使用します。

送信許可レジスタTXENは送信の許可/禁止状態を設定するレジスタです。このレジスタに"1"を書き込んで送信を許可状態にすると、シフトレジスタへのクロック入力がいネーブルとなり、データの送信が行える状態となります。クロック同期式モードでは、SCLK端子の同期クロック入出力もいネーブルとなります。

送信制御ビットTXTRGは送信開始のトリガとして使用します。

送信シフトレジスタに送信データを書き込み、送信準備ができたところでTXTRGに"1"を書き込み送信を開始させます。

割り込みを許可している場合は、送信が終了した時点で割り込みが発生します。

次の送信データがある場合は、この割り込みを利用してデータの書き込みを行うことができます。

また、TXTRGはステータスとして読み出しが可能で、"1"の場合は送信動作中、"0"の場合は送信停止中を示します。

詳細タイミングについては、各モードのタイミングチャートをそれぞれ参照してください。

なお、送信を行わない場合はTXENを"0"として、送信禁止状態に設定してください。

■ 受信許可レジスタ、受信制御ビット

受信の制御には、受信許可レジスタRXENと受信制御ビットRXTRGを使用します。

受信許可レジスタRXENは受信の許可/禁止状態を設定するレジスタです。このレジスタに"1"を書き込んで受信を許可状態にすると、シフトレジスタへのクロック入力がいネーブルとなり、データの受信が行える状態となります。クロック同期式モードでは、SCLK端子の同期クロック入出力もいネーブルとなります。これによって受信を開始し、SIN端子から入力されるシリアルデータをシフトレジスタに取り込みます。

受信制御ビットRXTRGは、クロック同期式と調歩同期式で若干動作が異なります。

クロック同期式でのRXTRGは受信開始のトリガとして使用します。

受信データを読み出し、次の受信準備ができたところでRXTRGに"1"を書き込み受信を開始させます。(スレーブモードではRXTRGに"1"を書き込んだところでSRDYが"0"となります。)

調歩同期式でのRXTRGは、次のデータの受信準備に使用します。受信データバッファにある受信データを読み出し、バッファが空となったことを知らせるためRXTRGに"1"を書き込みます。RXTRGに"1"を書き込まなかった場合は、次の受信が終了した時点でオーバーランエラーフラグOERが"1"にセットされます。(受信データを読み出す動作とRXTRGに"1"を書き込む動作との間に受信を終了した場合は、オーバーランエラーとなります。)

また、RXTRGはステータスとして読み出しが可能で、クロック同期式、調歩同期式どちらのモードでも"1"の場合は受信動作中、"0"の場合は受信停止中を示します。

詳細タイミングについては、各モードのタイミングチャートをそれぞれ参照してください。

なお、受信を行わない場合はRXENを"0"として、受信禁止状態に設定してください。

5.8.6 クロック同期式転送の動作

クロック同期式転送は8ビットデータを8個のクロックに同期させて転送する方式で、送信側、受信側で同じ同期クロックを使用します。

本シリアルインタフェースをマスタモードで使用する場合はSCS0、SCS1で選択したクロックを1/16に分周したものが同期クロックとして使用され、さらにSCLK端子を通してスレーブ側(外部のシリアル入出力デバイス)に出力されます。スレーブモードで使用する場合は、マスタ側(外部のシリアル入出力デバイス)からSCLK端子に入力されたクロックを同期クロックとして使用します。

クロック同期式モードでは1本のクロックライン(SCLK)を送受信で共用するため、送信と受信を同時に行うことはできません。(クロック同期式モードでは半二重通信となります。)

転送データは8ビット固定で、LSB(ビット0)を先頭として送受信が行われます。

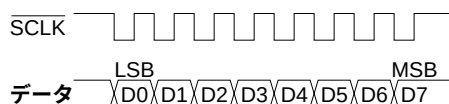


図5.8.6.1 クロック同期式の転送データフォーマット

以下にクロック同期式転送を行う場合の初期化および送受信の制御手順と動作について説明します。シリアルインタフェース割り込みについては"5.8.8 割り込み機能"を参照してください。

■ シリアルインタフェースの初期化

クロック同期式転送を行う場合には以下の初期設定を行う必要があります。

(1) 送受信禁止に設定

シリアルインタフェースの設定は、送信許可レジスタTXENおよび受信許可レジスタRXENにそれぞれ"0"を書き込んで、送受信を禁止にした状態で行ってください。

なお、この2つのレジスタは実際にデータ転送を開始するまで、禁止状態に固定してください。

(2) ポート選択

イニシャルリセット時、シリアルインタフェースの入出力端子SIN、SOUT、SCLK、SRDYは入出力兼用ポート端子P10～P13に設定されますので、シリアルインタフェースイネーブルレジスタESIFに"1"を書き込んでこれらの端子をシリアルインタフェース用に設定します。

(3) 転送モードの設定

モード選択レジスタSMD0およびSMD1の2ビットに以下のデータを書き込んでクロック同期式モードを選択します。

マスタモード SMD0 = "0"、SMD1 = "0"

スレーブモード SMD0 = "1"、SMD1 = "0"

(4) クロック源の選択

マスタモードの場合はクロック源選択レジスタSCS0、SCS1の2ビットにデータを書き込んで同期クロック源を選択します。(表5.8.4.1参照)
スレーブモードでは、この選択は不要です。

(2)～(4)の各レジスタは同一アドレス上に割り付けられていますので、1命令で一度に設定が可能です。

なお、このアドレスにはパリティイネーブルレジスタEPRも割り付けられていますが、クロック同期式モードではパリティを必要としないため、その設定内容にかかわらずパリティチェックは行われません。

(5) クロック源の制御

マスタモードを選択し、クロック源にプログラマブルタイマを選択した場合は、プログラマブルタイマ側で転送速度の設定を行ってください。("5.11 プログラマブルタイマ"参照)
OSC3発振回路の分周信号をクロック源として選択した場合は、データ転送を開始する以前にOSC3の発振をONさせる必要があります。("5.4 発振回路と動作モード"参照)

■ データの送信手順

送信時の制御手順と動作は以下のとおりです。

- (1) 送信許可レジスタTXENおよび受信許可レジスタRXENに"0"を書き込み、シリアルインタフェースをリセットします。
- (2) 送信許可レジスタTXENに"1"を書き込み、送信許可状態に設定します。
- (3) 送信するデータをTRXD0～TRXD7に書き込みます。
- (4) マスタモードの場合は、必要に応じてスレーブ側(外部シリアル入出力デバイス)の受信レディ状態を確認してください。受信レディ状態になるまで待ちます。
- (5) 送信制御ビットTXTRGに"1"を書き込み、送信を開始させます。

マスタモードであれば、この制御によって同期クロックがイネーブルとなり、送信用シフトレジスタに供給されるとともにSCLK端子から出力されます。

スレーブモードでは、SCLK端子に同期クロックが入力されるのを待ちます。

シフトレジスタの送信データは同期クロックの各立ち下がりエッジで1ビットずつシフトされ、SOUT端子より出力されます。最後のビット(MSB)が出力されると、次の送信が開始されるまでSOUT端子はそのレベルを保持します。

シフトレジスタのデータ送信が終了したところで、送信完了割り込み要因フラグFSTRAが"1"にセットされます。割り込みが許可されている場合は、この時点で送信完了割り込みが発生します。

本割り込みを利用して次の送信データをセットしてください。

- (6) 送信データのバイト数だけ(3)～(5)を繰り返し、送信が終了した時点で送信許可レジスタTXENに"0"を書き込み、送信禁止状態に設定します。

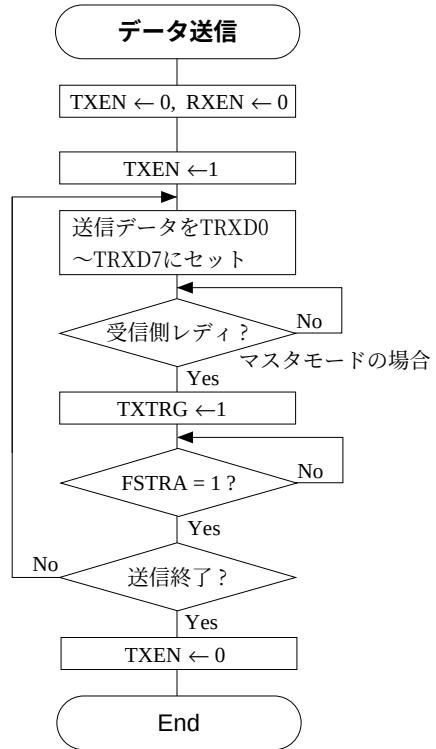


図5.8.6.2 クロック同期式の送信手順

■ データの受信手順

受信時の制御手順と動作は以下のとおりです。

- (1) 受信許可レジスタRXENおよび送信許可レジスタTXENに"0"を書き込み、シリアルインタフェースをリセットします。
- (2) 受信許可レジスタRXENに"1"を書き込み、受信許可状態に設定します。
- (3) マスタモードの場合は、必要に応じてスレーブ側(外部シリアル入出力デバイス)の送信レディ状態を確認してください。送信レディ状態になるまで待ちます。
- (4) 受信制御ビットRXTRGに"1"を書き込み、受信を開始させます。

マスタモードであれば、この制御によって同期クロックがイネーブルとなり、受信用シフトレジスタに供給されるとともにSCLK端子から出力されます。

スレーブモードでは、SCLK端子に同期クロックが入力されるのを待ちます。

SIN端子から入力される受信データは同期クロックの立ち上がりエッジに同期して順次シフトレジスタ内に取り込まれます。

8ビット目のデータが同期クロック最後(8個目)の立ち上がりエッジで取り込まれたところで、シフトレジスタ内のデータが受信データバッファに転送され、受信完了割り込み要因フラグFSRECが"1"にセットされます。割り込みが許可されている場合は、この時点で受信完了割り込みが発生します。

- (5) 受信完了割り込みを利用して、受信データをTRXD0～TRXD7から読み出します。
- (6) 受信データのバイト数だけ(3)～(5)を繰り返し、受信が終了した時点で受信許可レジスタRXENに"0"を書き込み、受信禁止状態に設定します。

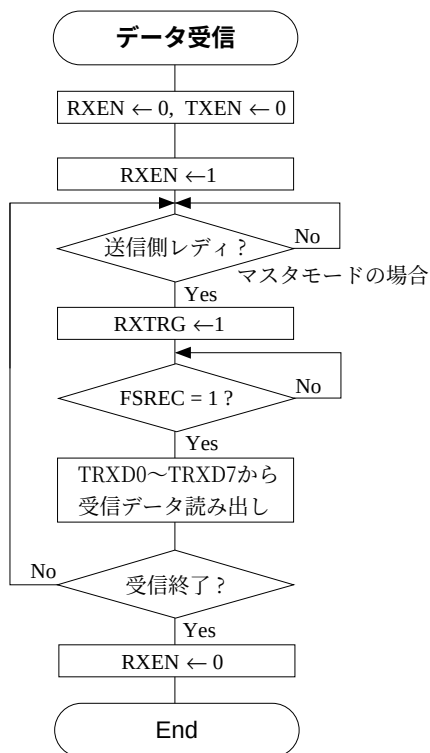


図5.8.6.3 クロック同期式の受信手順

■ 送受信レディ(SRDY)信号

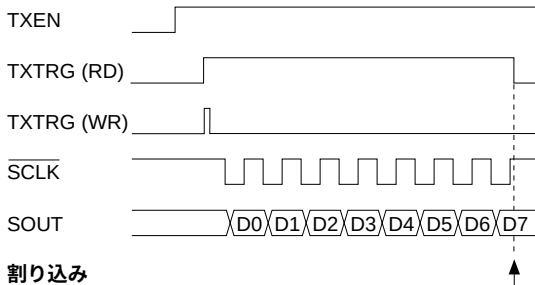
本シリアルインタフェースをクロック同期式スレーブモード(外部クロック入力)で使用する場合は、マスタ側(外部のシリアル入出力デバイス)に対して本シリアルインタフェースが送受信可能かどうかを示す $\overline{\text{SRDY}}$ 信号が出力されます。この信号は $\overline{\text{SRDY}}$ 端子から出力され、本インタフェースが送信または受信可能なREADY状態のときに"0"(LOWレベル)、送受信動作時などのBUSY状態のときに"1"(HIGHレベル)となります。

$\overline{\text{SRDY}}$ 信号は送信制御ビットTXTRG、または受信制御ビットRXTRGに"1"を書き込んだ直後に"1"から"0"に変化し、初の同期クロックが入力された時点(立ち下がりエッジ)で"0"から"1"に戻ります。

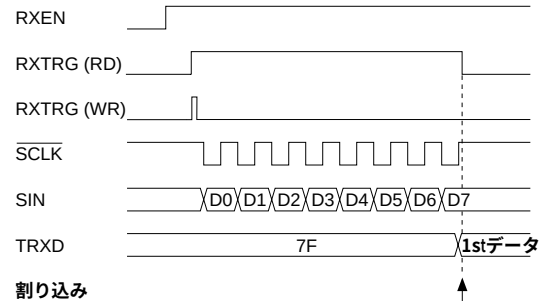
マスタモードに設定した場合は、スレーブ側から同様の信号を入力ポートまたは入出力兼用ポートを使用して取り込み、転送の制御を行ってください。この場合、 $\overline{\text{SRDY}}$ 端子は設定されずP13端子が入出力兼用ポートとして機能しますので、このポートをその制御にあてることもできます。

■ タイミングチャート

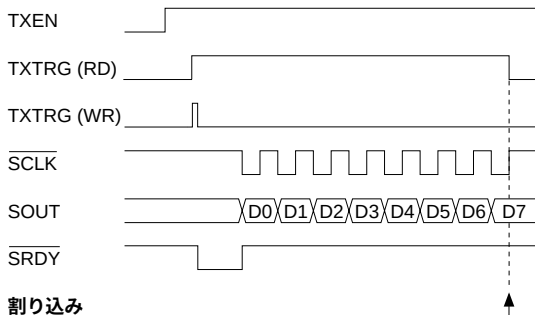
クロック同期式転送のタイミングチャートを図5.8.6.4に示します。



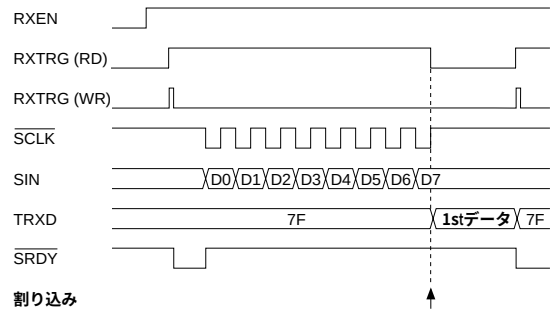
(a) マスタモード送信タイミング



(c) マスタモード受信タイミング



(b) スレーブモード送信タイミング



(d) スレーブモード受信タイミング

図5.8.6.4 タイミングチャート(クロック同期式転送)

5.8.7 調歩同期式転送の動作

調歩同期式転送は、シリアル変換した各データの前後にスタートビットとストップビットを付加して転送を行う方式です。この方式では、送信側、受信側それぞれで完全に同期の一致したクロックを用いる必要はなく、各データの前後に付けられたスタート/ストップビットで同期をとりながら転送を行います。この転送モードを選択することによって、RS-232Cインタフェース機能などを容易に実現することができます。

本インタフェースは送受信個別にシフトレジスタを持っており、送受信が同時に行える全二重方式の転送が可能となっています。

転送データは、調歩同期式7ビットモードでは7ビットデータ(パリティなし)または7ビットデータ+パリティビットのいずれかが選択できます。調歩同期式8ビットモードでは8ビットデータ(パリティなし)または8ビットデータ+パリティビットのいずれかが同様に選択できます。パリティには偶数または奇数が選択でき、受信データのパリティチェックおよび送信データへのパリティビット付加を自動的に行います。したがって、プログラムでパリティデータそのものを意識する必要はありません。

スタートビット、ストップビットはそれぞれ1ビット固定で、データはLSB(ビット0)を先頭として送受信が行われます。

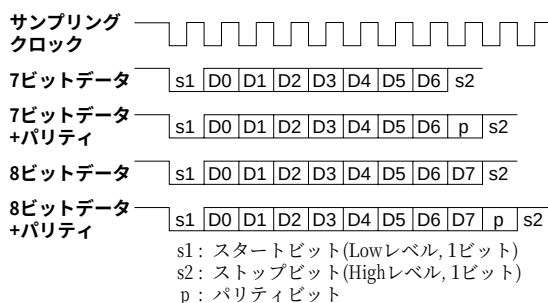


図5.8.7.1 調歩同期式の転送データフォーマット

以下に調歩同期式転送を行う場合の初期化および送受信の制御手順と動作について説明します。シリアルインタフェース割り込みについては"5.8.8 割り込み機能"を参照してください。

■ シリアルインタフェースの初期化

調歩同期式転送を行う場合には以下の初期設定を行う必要があります。

(1) 送受信禁止に設定

シリアルインタフェースの設定は、送信許可レジスタTXENおよび受信許可レジスタRXENにそれぞれ"0"を書き込んで、送受信を禁止にした状態で行ってください。

なお、この2つのレジスタは実際にデータ転送を開始するまで、禁止状態に固定してください。

(2) ポート選択

イニシャルリセット時、シリアルインタフェースの入出力端子SIN、SOUTは入出力兼用ポート端子P10、P11に設定されますので、シリアルインタフェースイネーブルレジスタESIFに"1"を書き込んでこれらの端子をシリアルインタフェース用に設定します。

クロック同期式モードにおいて設定されるSCLK、SRDY端子は調歩同期式モードでは使用しません。これらの端子は入出力兼用ポート端子P12、P13として機能します。

(3) 転送モードの設定

モード選択レジスタSMD0およびSMD1の2ビットに以下のデータを書き込んで調歩同期式モードを選択します。

7ビットモード SMD0="0", SMD1="1"

8ビットモード SMD0="1", SMD1="1"

(4) パリティビットの選択

パリティビットをチェックおよび付加する場合はパリティイネーブルレジスタEPRに"1"を書き込んで"パリティチェックあり"に設定してください。この設定によって、調歩同期式7ビットモードでは7ビットデータ+パリティビットのデータ構成に、調歩同期式8ビットモードでは8ビットデータ+パリティビットのデータ構成にそれぞれ設定されます。この場合、受信時のパリティチェックと送信時のパリティビット付加は、ハードウェアによって自動的に行われます。また、"パリティチェックあり"とした場合は、さらにパリティモード選択レジスタPMDによって、パリティを"奇数"とするか"偶数"とするかを、選択する必要があります。

レジスタPMDに"0"を書き込んで"パリティチェックなし"を選択すると、調歩同期式7ビットモードでは7ビットデータ(パリティなし)のデータ構成に、調歩同期式8ビットモードでは8ビットデータ(パリティなし)のデータ構成にそれぞれ設定され、パリティチェックおよびパリティビットの付加は行われません。

(5) クロック源の選択

クロック源選択レジスタSCS0およびSCS1の2ビットにデータを書き込んでクロック源を選択します。(表5.8.4.1参照)

(2)～(5)の各レジスタは同一アドレス上に割り付けられていますので、1命令で一度に設定が可能です。

(6) クロック源の制御

クロック源にプログラマブルタイマを選択した場合は、プログラマブルタイマ側で転送速度の設定を行ってください。("5.11 プログラマブルタイマ"参照)

OSC3発振回路の分周信号をクロック源として選択した場合は、データ転送を開始する以前にOSC3の発振をONさせる必要があります。("5.4 発振回路と動作モード"参照)

■ データの送信

送信時の制御手順と動作は以下のとおりです。

- (1) 送信許可レジスタTXENに"0"を書き込み、シリアルインタフェースをリセットします。
- (2) 送信許可レジスタTXENに"1"を書き込み、送信許可状態に設定します。
- (3) 送信するデータをTRXD0～TRXD7に書き込みます。
なお、7ビットデータ選択時は、TRXD7のデータは無効となります。

- (4) 送信制御ビットTXTRGに"1"を書き込み、送信を開始させます。

この制御によってシフトクロックがイネーブルとなり、その立ち下がりエッジに同期してスタートビット(LOW)がSOUT端子に出力されます。シフトレジスタに設定された送信データは、その後のクロックの各立ち下がりエッジで1ビットずつシフトされSOUT端子より出力されます。データ出力後はストップビット(HIGH)が出力され、次のスタートビットの出力までHIGHレベルが保持されます。

送信が終了したところで、送信完了割り込み要因フラグFSTRAが"1"にセットされます。割り込みが許可されている場合は、この時点で送信完了割り込みが発生します。

本割り込みを利用して次の送信データをセットしてください。

- (5) 送信データのバイト数だけ(3)～(4)を繰り返し、送信が終了した時点で送信許可レジスタTXENに"0"を書き込み、送信禁止状態に設定します。

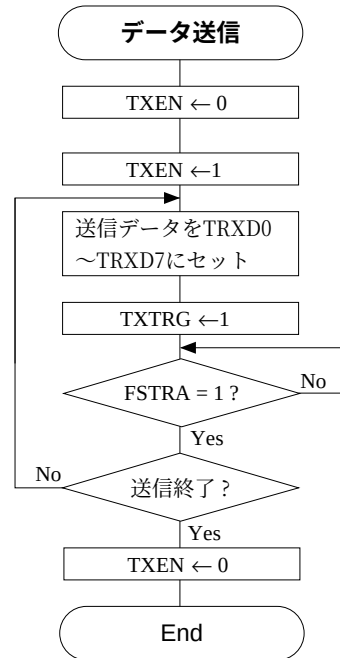


図5.8.7.2 調歩同期式の送信手順

■ データの受信

受信時の制御手順と動作は以下のとおりです。

- (1) 受信許可レジスタRXENに"0"を書き込んで受信禁止状態に設定し、パリティエラー、オーバーランエラー、フレーミングエラーの発生を示すPERフラグ、OERフラグ、FERフラグをそれぞれリセットします。
- (2) 受信許可レジスタRXENに"1"を書き込み、受信許可状態に設定します。
- (3) SIN端子にスタートビット(LOW)が入力された時点からシフトクロックがイネーブルとなり、受信データが2個目以降のクロックの立ち上がりエッジに同期して順次シフトレジスタ内に取り込まれます。

データビットが取り込まれた後、ストップビットがチェックされ、HIGHレベルでない場合にはフレーミングエラーとなり、エラー割り込み要因フラグFSERRが"1"にセットされます。割り込みが許可されている場合には、この時点でエラー割り込みが発生します。

受信が終了すると、シフトレジスタ内のデータが受信データバッファに転送され、受信完了割り込み要因フラグFSRECが"1"にセットされます。割り込みが許可されている場合には、この時点で受信完了割り込みが発生します。(オーバーランエラー発生時は割り込み要因フラグFSRECは"1"にセットされず、受信完了割り込みも発生しません。)

また、"パリティチェックあり"を選択している場合は、シフトレジスタから受信データバッファにデータが転送される際にパリティチェックが行われ、パリティエラーが検出された場合にはエラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合には、前記フレーミングエラー同様この時点でエラー割り込みが発生します。

- (4) 受信完了割り込みを利用して、受信データをTRXD0～TRXD7から読み出します。
- (5) 受信制御ビットRXTRGに"1"を書き込み、受信データが読み出されたことを知らせます。
RXTRGに"1"を書き込む以前に次のデータを受信すると、オーバーランエラーと認識され、エラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合には、前記フレーミングエラー、パリティエラー同様この時点でエラー割り込みが発生します。
- (6) 受信データのバイト数だけ(3)～(5)を繰り返し、受信が終了した時点で受信許可レジスタRXENに"0"を書き込み、受信禁止状態に設定します。

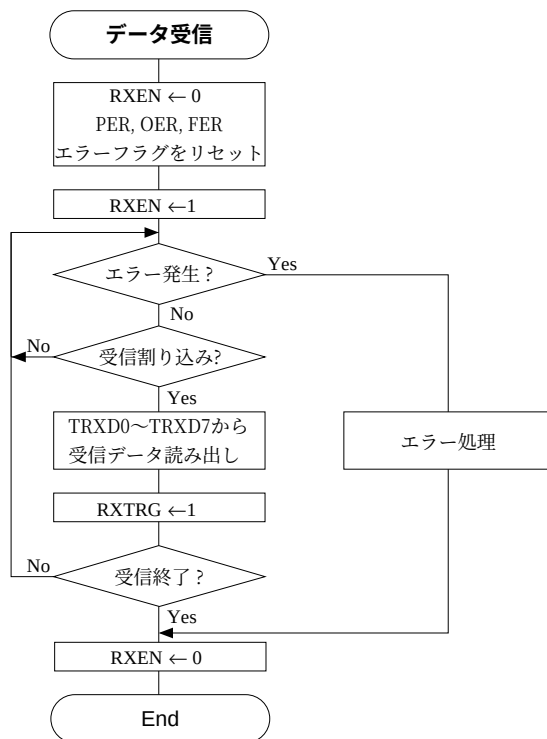


図5.8.7.3 調歩同期式の受信手順

■ 受信エラー

受信時には以下の3種類のエラーを、割り込みによって検出することができます。

(1) パリティエラー

レジスタEPRに"1"を書き込んで"パリティチェックあり"を選択した場合には、受信時にパリティチェック(垂直パリティチェック)が行われます。これは送信データ(1キャラクタ)中の"1"のビット数の合計にパリティを加え、その数が奇数か偶数かをパリティビットにのせて送信し、それを受信側でチェックする方式です。パリティチェックはシフトレジスタに受信されたデータが受信データバッファに転送される際に行われ、データ(パリティビット含)中の"1"のビット数がレジスタPMDで設定した奇数または偶数パリティと整合がとれるかをチェックします。このとき、不整合となった場合にはパリティエラーと認識され、パリティエラーフラグPERおよびエラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグPERは"1"を書き込むことによって"0"にリセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。ただし、その時点での受信データはパリティエラーのため保証されません。

(2) フレーミングエラー

調歩同期式転送ではスタートビット("0")とストップビット("1")で1キャラクタごとに同期をとっています。ストップビットを"0"として受信した場合、シリアルインタフェースは同期ずれと判断してフレーミングエラーを発生します。

本エラーが発生すると、フレーミングエラーフラグFERおよびエラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグFERは"1"を書き込むことによって"0"にリセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。

(3) オーバーランエラー

RXTRGに"1"を書き込む前に次のデータを受信すると、前回の受信データが上書きされるためオーバーランエラーが発生します。

本エラーが発生すると、オーバーランエラーフラグOERおよびエラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグOERは"1"を書き込むことによって"0"にリセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。なお、RXTRGに"1"を書き込むタイミングと受信データが受信データバッファに転送されるタイミングが重なった場合は、オーバーランエラーと認識されます。

■ タイミングチャート

調歩同期式転送のタイミングチャートを図5.8.7.4に示します。

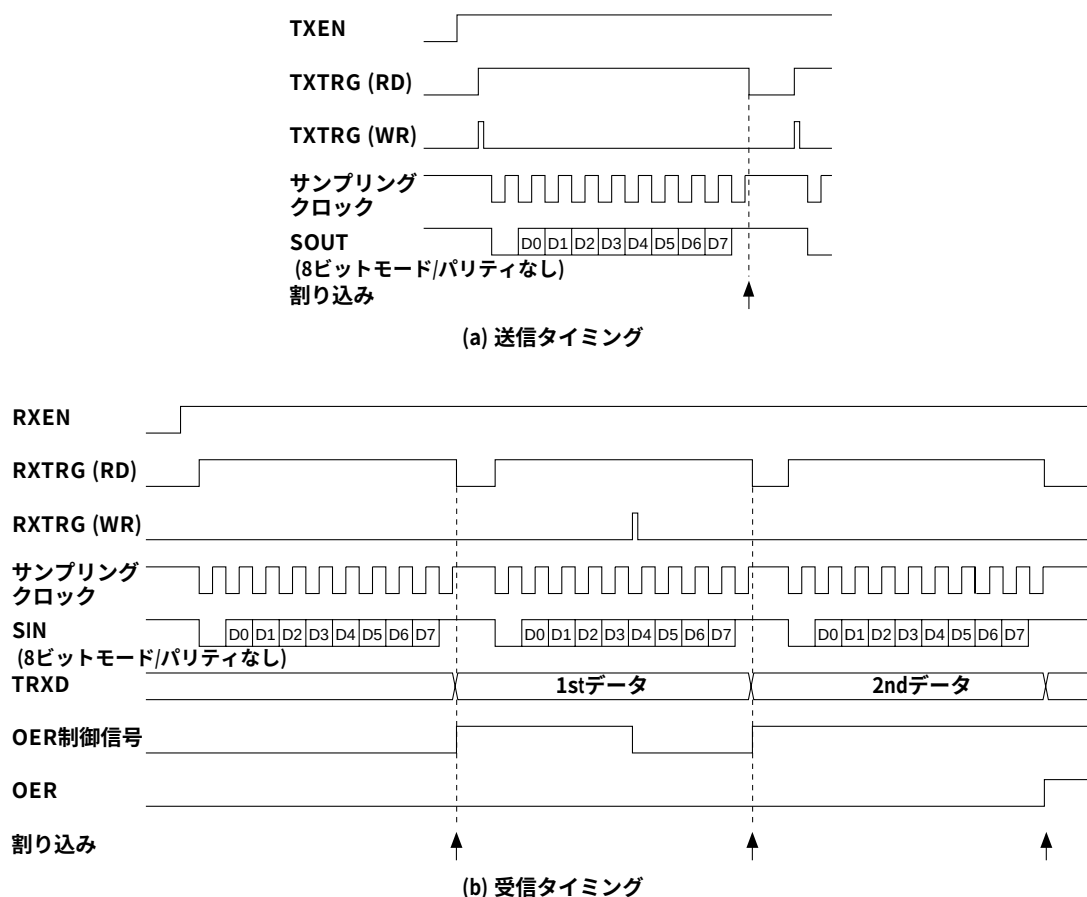


図5.8.7.4 タイミングチャート(調歩同期式転送)

5.8.8 割り込み機能

本シリアルインタフェースには以下に示す3種類の割り込みを発生させる機能があります。

- ・ 送信完了割り込み
- ・ 受信完了割り込み
- ・ エラー割り込み

それぞれの割り込み要因に対して割り込み要因フラグFSxxxと割り込みイネーブルレジスタESxxxが設けられており、割り込みの許可/禁止をソフトウェアによって設定することができます。また、CPUに対するシリアルインタフェース割り込みの優先レベルを割り込みプライオリティレジスタPSIF0、PSIF1によって任意のレベル(0~3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については、「5.16 割り込みとスタンバイ状態」を参照してください。

図5.8.8.1にシリアルインタフェース割り込み回路の構成を示します。

■ 送信完了割り込み

本割り込み要因は、シフトレジスタに書き込んだデータの送信が終了した時点で発生し、割り込み要因フラグFSTRAを"1"にセットします。このとき、割り込みイネーブルレジスタESTRAが"1"で、かつ割り込みプライオリティレジスタPSIF0、PSIF1がインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。割り込みイネーブルレジスタESTRAに"0"が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグFSTRAは"1"にセットされます。割り込み要因フラグFSTRAは"1"を書き込むことによって"0"にリセットされます。

本割り込み要因の発生によって、次の送信データのセットと送信開始の制御(TXTRGに"1"を書き込む)を行うことができます。

本割り込み要因の例外処理ベクタアドレスは、000014Hに設定されています。

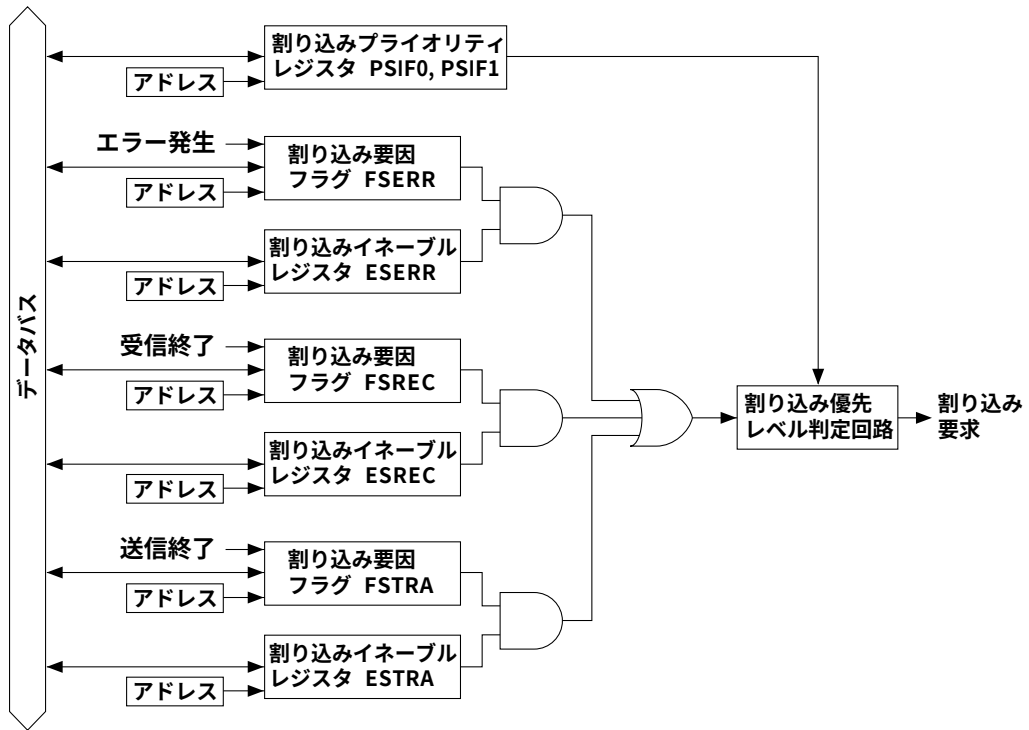


図5.8.8.1 シリアルインタフェース割り込み回路の構成

■ 受信完了割り込み

本割り込み要因は、受信が完了してシフトレジスタに取り込まれた受信データが受信データバッファに転送された時点で発生し、割り込み要因フラグFSRECを"1"にセットします。このとき、割り込みイネーブルレジスタESRECが"1"で、かつ割り込みプライオリティレジスタPSIF0、PSIF1がインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込みイネーブルレジスタESRECに"0"が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグFSRECは"1"にセットされます。

割り込み要因フラグFSRECは"1"を書き込むことによって"0"にリセットされます。

本割り込み要因の発生により、受信データの読み出しが可能となります。

なお、パリティエラーおよびフレーミングエラー発生時にも割り込み要因フラグFSRECは"1"にセットされます。

本割り込み要因の例外処理ベクタアドレスは、000012Hに設定されています。

■ エラー割り込み

本割り込み要因は、受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された時点で発生し、割り込み要因フラグFSERRを"1"にセットします。このとき、割り込みイネーブルレジスタESERRが"1"で、かつ割り込みプライオリティレジスタPSIF0、PSIF1がインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込みイネーブルレジスタESERRに"0"が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグFSERRは"1"にセットされます。

割り込み要因フラグFSERRは"1"を書き込むことによって"0"にリセットされます。

3種類のエラーとも同一の割り込み要因となっていますので、発生したエラーの識別はエラーフラグPER(パリティエラー)、OER(オーバーランエラー)、FER(フレーミングエラー)で行ってください。

本割り込み要因の例外処理ベクタアドレスは、000010Hに設定されています。

5.8.9 シリアルインタフェースの制御方法

表5.8.9.1にシリアルインタフェースの制御ビットを示します。

表5.8.9.1(a) シリアルインタフェースの制御ビット

アドレス	ビット	名称	機 能		1	0	SR	R/W	注 釈	
00FF48	D7	—	—		—	—	—		読み出し時は"0"	
	D6	EPR	パリティイネーブルレジスタ		パリティ付き	パリティなし	0	R/W	調歩同期式のみ	
	D5	PMD	パリティモード選択		奇数	偶数	0	R/W		
	D4	SCS1	クロック源選択				0	R/W	クロック同期式 スレープモード では外部クロック が選択される	
	D3	SCS0	SCS1	SCS0			クロック源			
			1	1			プログラマブルタイマ			
			1	0			fosc3 / 4			
			0	1	fosc3 / 8					
			0	0	fosc3 / 16					
D2			SMD1	シリアルI/Fモード選択				0	R/W	
D1	SMD0	SMD1	SMD0	モード						
		1	1	調歩同期式8ビット						
		1	0	調歩同期式7ビット						
		0	1	クロック同期式スレープ						
		0	0	クロック同期式マスタ						
		D0	ESIF	シリアルI/Fイネーブルレジスタ		シリアルI/F	I/Oポート	0	R/W	
00FF49	D7	—	—		—	—	—		読み出し時は"0"	
	D6	FER	フレーミングエラーフラグ	R エラー W リセット(0)	エラーなし 無効	0	R/W	調歩同期式のみ		
	D5	PER	パリティエラーフラグ	R エラー W リセット(0)	エラーなし 無効	0	R/W			
	D4	OER	オーバーランエラーフラグ	R エラー W リセット(0)	エラーなし 無効	0	R/W			
	D3	RXTRG	受信トリガ/ステータス	R 受信中 W トリガ	停止中 無効	0	R/W			
	D2	RXEN	受信許可	許可	禁止	0	R/W			
	D1	TXTRG	送信トリガ/ステータス	R 送信中 W トリガ	停止中 無効	0	R/W			
	D0	TXEN	送信許可	許可	禁止	0	R/W			
	00FF4A	D7	TRXD7	送受信データD7 (MSB)		High	Low	X	R/W	
D6		TRXD6	送受信データD6							
D5		TRXD5	送受信データD5							
D4		TRXD4	送受信データD4							
D3		TRXD3	送受信データD3							
D2		TRXD2	送受信データD2							
D1		TRXD1	送受信データD1							
D0		TRXD0	送受信データD0 (LSB)							
00FF20		D7	PK01	K00～K07割り込み						
	D6	PK00	プライオリティレジスタ							
	D5	PSIF1	シリアルインタフェース割り込み		0	R/W				
	D4	PSIF0	プライオリティレジスタ							
	D3	PSW1	ストップウォッチタイマ割り込み		0	R/W				
	D2	PSW0	プライオリティレジスタ							
	D1	PTM1	計時タイマ割り込み		0	R/W				
	D0	PTM0	プライオリティレジスタ							

表5.8.9.1(b) シリアルインタフェースの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈			
00FF23	D7	EPT1	プログラマブルタイマ1割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W				
	D6	EPT0	プログラマブルタイマ0割り込みイネーブルレジスタ								
	D5	EK1	K10, K11割り込みイネーブルレジスタ								
	D4	EK0H	K04～K07割り込みイネーブルレジスタ								
	D3	EK0L	K00～K03割り込みイネーブルレジスタ								
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブルレジスタ								
	D1	ESREC	シリアルI/F(受信)割り込みイネーブルレジスタ								
	D0	ESTRA	シリアルI/F(送信)割り込みイネーブルレジスタ								
00FF25	D7	FPT1	プログラマブルタイマ1割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W				
	D6	FPT0	プログラマブルタイマ0割り込み要因フラグ								
	D5	FK1	K10, K11割り込み要因フラグ								
	D4	FK0H	K04～K07割り込み要因フラグ								
	D3	FK0L	K00～K03割り込み要因フラグ	(W) リセット	(W) 無効						
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ								
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ								
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ								

ESIF: 00FF48H・D0

シリアルインタフェース用端子(P10～P13)の設定を行います。

"1"書き込み: シリアル入出力端子

"0"書き込み: 入出力兼用ポート端子
読み出し: 可能

ESIFはシリアルインタフェースイネーブルレジスタで、"1"を書き込んだ場合はP10～P13端子がシリアル入出力端子(SIN、SOUT、SCLK、SRDY)となり、"0"を書き込んだ場合は入出力兼用ポート端子となります。

なお、転送モードによる端子の設定は表5.8.3.2を参照してください。イニシャルリセット時、ESIFは"0"(入出力兼用ポート)に設定されます。

SMD0, SMD1: 00FF48H・D1, D2

転送モードを表5.8.9.2のとおり設定します。

表5.8.9.2 転送モードの設定

SMD1	SMD0	モード
1	1	調歩同期式8ビット
1	0	調歩同期式7ビット
0	1	クロック同期式スレーブ
0	0	クロック同期式マスタ

SMD0、SMD1は読み出しも可能です。
イニシャルリセット時、本レジスタは"0"(クロック同期式マスタモード)に設定されます。

SCS0, SCS1: 00FF48H・D3, D4

クロック源を表5.8.9.3のとおり選択します。

表5.8.9.3 クロック源の選択

SCS1	SCS0	クロック源
1	1	プログラマブルタイマ
1	0	fosc3 / 4
0	1	fosc3 / 8
0	0	fosc3 / 16

SCS0、SCS1は読み出しも可能です。
クロック同期式スレーブモードでは、本レジスタの設定は無効です。
イニシャルリセット時、本レジスタは"0"(fosc3/16)に設定されます。

EPR: 00FF48H・D6

パリティ機能を選択します。

"1"書き込み: パリティあり

"0"書き込み: パリティなし
読み出し: 可能

受信データのパリティチェックおよび送信データへのパリティビットの付加を行うか行わないかを選択します。EPRに"1"を書き込むと受信データの最上位ビットがパリティビットと見なされてパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。"0"を書き込んだ場合はチェックおよび付加は行われません。
パリティは調歩同期式モードの場合にのみ有効で、クロック同期式モードではEPRの設定は無効となります。

イニシャルリセット時、EPRは"0"(パリティなし)に設定されます。

PMD: 00FF48H-D5

奇数パリティ/偶数パリティを選択します。

"1"書き込み: 奇数パリティ
 "0"書き込み: 偶数パリティ
 読み出し: 可能

PMDに"1"を書き込むと奇数パリティが選択され、
 "0"を書き込むと偶数パリティが選択されます。パ
 ティチェックおよびパリティビットの付加はEPRに
 "1"が書き込まれている場合にのみ有効で、EPRに
 "0"が書き込まれている場合は、PMDによる奇数パ
 リティ/偶数パリティの設定は無効となります。
 イニシャルリセット時、PMDは"0"(偶数パリティ)
 に設定されます。

TXEN: 00FF49H-D0

シリアルインタフェースを送信許可状態に設定し
 ます。

"1"書き込み: 送信許可
 "0"書き込み: 送信禁止
 読み出し: 可能

TXENに"1"を書き込むとシリアルインタフェース
 が送信許可状態となり、"0"を書き込むと送信禁止
 状態となります。
 シリアルインタフェースのモード初期設定等を行
 う場合は、TXENを"0"に設定してください。
 イニシャルリセット時、TXENは"0"(送信禁止)に設
 定されます。

TXTRG: 00FF49H-D1

送信開始のトリガ/動作状態(送信中/停止中)を示す
 ステータスとして機能します。

"1"読み出し: 送信中
 "0"読み出し: 停止中
 "1"書き込み: 送信開始
 "0"書き込み: 無効

送信データを書き込んだ後、TXTRGに"1"を書き込
 むことで送信処理を開始します。
 TXTRGはステータスとして読み出しが可能で、"1"
 の場合は送信動作中、"0"の場合は送信停止中を示
 します。
 イニシャルリセット時、TXTRGは"0"(停止中)に設
 定されます。

RXEN: 00FF49H-D2

シリアルインタフェースを受信許可状態に設定し
 ます。

"1"書き込み: 受信許可
 "0"書き込み: 受信禁止
 読み出し: 可能

RXENに"1"を書き込むとシリアルインタフェース
 が受信許可状態となり、"0"を書き込むと受信禁止
 状態となります。
 シリアルインタフェースのモード初期設定等を行
 う場合は、RXENを"0"に設定してください。
 イニシャルリセット時、RXENは"0"(受信禁止)に
 設定されます。

RXTRG: 00FF49H-D3

受信開始のトリガ/次のデータの受信準備/動作状
 態(受信中/停止中)を示すステータスとして機能し
 ます。

"1"読み出し: 受信中
 "0"読み出し: 停止中

"1"書き込み: 受信開始/次のデータの受信準備
 "0"書き込み: 無効

RXTRGは、クロック同期式と調歩同期式で若干動
 作が異なります。

クロック同期式でのRXTRGは受信開始のトリガと
 して使用します。
 受信データを読み出し、次の受信準備ができたこ
 所でRXTRGに"1"を書き込み受信を開始させま
 す。(スレーブモードではRXTRGに"1"を書き込ん
 だところでSRDYが"0"となります。)

調歩同期式でのRXTRGは、次のデータの受信準備
 に使用します。受信データバッファにある受信
 データを読み出し、バッファが空となったことを
 知らせるためRXTRGに"1"を書き込みます。
 RXTRGに"1"を書き込まなかった場合、次の受信
 が終了した時点でオーバーランエラーフラグOER
 が"1"にセットされます。(受信データを読み出す動
 作とRXTRGに"1"を書き込む動作との間に受信を
 終了した場合はオーバーランエラーとなります。)

また、RXTRGはステータスとして読み出しが可能
 で、クロック同期式、調歩同期式どちらのモード
 でも"1"の場合は受信動作中、"0"の場合は受信停止
 中を示します。
 イニシャルリセット時、RXTRGは"0"(停止中)に設
 定されます。

TRXD0~TRXD7: 00FF4AH**送信時**

送信データを送信シフトレジスタに書き込みます。

"1"書き込み: HIGHレベル

"0"書き込み: LOWレベル

送信開始前に送信データを書き込みます。

連続送信の場合、データの書き込みは送信完了割り込みを待ってから行ってください。

調歩同期式7ビットモードにおいてはTRXD7が無効となります。

SOUT端子からはシリアル変換されたデータが、"1"に設定されたビットがHIGH(VDD)レベル、"0"に設定されたビットがLOW(VSS)レベルとして出力されます。

受信時

受信データを読み出します。

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

受信データバッファのデータが読み出せます。

シフトレジスタが本バッファとは別に設けられていますので、調歩同期式モードでは受信動作中にデータの読み出しが行えます。(クロック同期式モードではバッファ機能を使用しません。)

データの読み出しは受信完了割り込みを待ってから行ってください。

調歩同期式7ビットモードにおいてパリティチェックを行っている場合、パリティビットに対応する8ビット目(TRXD7)には"0"がロードされます。

SIN端子から入力されたシリアルデータはHIGH(VDD)レベルのビットを"1"、LOW(VSS)レベルのビットを"0"としてパラレル変換され、本バッファにロードされます。

イニシャルリセット時、バッファの内容は不定となります。

OER: 00FF49H・D4

オーバーランエラーの発生を示します。

"1"読み出し: エラーあり

"0"読み出し: エラーなし

"1"書き込み: "0"にリセット

"0"書き込み: 無効

OERはオーバーランエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。オーバーランエラーは調歩同期式モードの受信において、RXTRGに"1"を書き込む前に次のデータの受信を完了した場合に発生します。

OERは"1"を書き込むことで"0"にリセットされます。イニシャルリセット時、およびRXENが"0"のときOERは"0"(エラーなし)に設定されます。

PER: 00FF49H・D5

パリティエラーの発生を示します。

"1"読み出し: エラーあり

"0"読み出し: エラーなし

"1"書き込み: "0"にリセット

"0"書き込み: 無効

PERはパリティエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。

パリティエラーは調歩同期式モードでパリティチェックを行っている場合に、パリティの合っていないデータを受信すると発生します。

PERは"1"を書き込むことで"0"にリセットされます。イニシャルリセット時、およびRXENが"0"のとき、PERは"0"(エラーなし)に設定されます。

FER: 00FF49H・D6

フレーミングエラーの発生を示します。

"1"読み出し: エラーあり

"0"読み出し: エラーなし

"1"書き込み: "0"にリセット

"0"書き込み: 無効

FERはフレーミングエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。フレーミングエラーは調歩同期式モードの受信において、ストップビットが"0"になっていた場合に発生します。

FERは"1"を書き込むことで"0"にリセットされます。イニシャルリセット時、およびRXENが"0"のときFERは"0"(エラーなし)に設定されます。

PSIF0, PSIF1: 00FF20H・D4, D5

シリアルインタフェース割り込みの優先レベルを設定します。

PSIF0、PSIF1はシリアルインタフェース割り込みに対応した割り込みプライオリティレジスタで、設定できる割り込み優先レベルは表5.8.9.4のとおりです。

表5.8.9.4 割り込み優先レベルの設定

PSIF1	PSIF0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

ESTRA, ESREC, ESERR: 00FF23H・D0, D1, D2

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

ESTRA、ESREC、ESERRはそれぞれ送信完了、受信完了、受信エラーの割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

FSTRA, FSREC, FSERR: 00FF25H・D0, D1, D2

シリアルインタフェース割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

FSTRA、FSREC、FSERRはそれぞれ送信完了、受信完了、受信エラーの割り込みに対応する割り込み要因フラグで、それぞれの要因の発生により"1"にセットされます。

送信完了割り込み要因は、シフトレジスタのデータ送信が終了したところで発生します。

受信完了割り込み要因は、受信データが受信データバッファに転送されたところで発生します。

受信エラー割り込み要因は、データ受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された場合に発生します。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、本フラグはすべて"0"にリセットされます。

5.8.10 プログラミング上の注意事項

- (1) シリアルインタフェースのモード初期設定は、送受信が禁止の状態(TXEN=RXEN="0")で行ってください。
- (2) シリアルインタフェースが送信(受信)中のときは、TXTRG(RXTRG)に対して二重トリガ("1"書き込み)は行わないでください。また、SLP命令も実行しないでください。(SLP命令を実行する場合はTXEN=RXEN="0"としてください。)
- (3) クロック同期式モードでは1本のクロックライン($\overline{\text{SCLK}}$)を送受信で共用するため、送信と受信を同時に行うことはできません。したがって、TXTRG(RXTRG)が"1"の最中はRXTRG(TXTRG)に"1"は書き込まないでください。
- (4) 調歩同期式モードにおいて、受信時にパリティエラーおよびフレーミングエラーが発生した場合は受信エラー割り込み要因フラグFSERRは、受信完了割り込み要因フラグFSRECに対して表5.8.10.1に示す時間早く"1"にセットされます。したがって、エラー処理ルーチン等で待ち時間を設けて、受信完了割り込み要因フラグFSRECを"0"にリセットしてください。
なお、オーバーランエラー発生時には受信完了割り込み要因フラグFSRECは"1"にセットされず、受信完了割り込みも発生しません。

表5.8.10.1 エラー発生時のFSERRとFSRECの時間差

クロック源	時間差
fosc3 / n	fosc3 / n の1/2周期
プログラマブルタイマ	タイマ1アンダーフローの1周期

- (5) OSC3発振回路の分周信号をクロック源とする場合は、シリアルインタフェースを使用する以前にOSC3の発振をONさせる必要があります。
なお、OSC3発振回路をONにしてから発振が安定するまでに数msec～数10msecの時間を必要とします。したがって、シリアルインタフェースの送受信開始はOSC3発振ONの後、十分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)
イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

5.9 計時タイマ

5.9.1 計時タイマの構成

S1C883xxはOSC1発振回路を原振とする計時タイマを内蔵しています。計時タイマは f_{OSC1} を分周した256Hz信号を入力クロックとする8ビットのバイナリカウンタで構成され、各ビット(128~1Hz)のデータをソフトウェアによって読み出すことができます。

通常はこの計時タイマを、時計などのような各種の計時機能に使用します。

図5.9.1.1に計時タイマの構成を示します。

5.9.2 割り込み機能

計時タイマは32Hz、8Hz、2Hz、1Hzの各信号によって割り込みを発生させることができます。

図5.9.2.1に計時タイマ割り込み回路の構成を示します。

32Hz、8Hz、2Hz、1Hz信号の立ち下がりエッジで、それぞれに対応する割り込み要因フラグFTM32、FTM8、FTM2、FTM1が"1"にセットされ、割り込みが発生します。各割り込み要因フラグに対応した割り込みイネーブルレジスタETM32、ETM8、ETM2、ETM1の設定により、割り込みを禁止することもできます。

また、CPUに対する計時タイマ割り込みの優先レベルを割り込みプライオリティレジスタPTM0、PTM1によって任意のレベル(0~3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については"5.16 割り込みとスタンバイ状態"を参照してください。

各割り込み要因の例外処理ベクタアドレスは、それぞれ以下のとおり設定されています。

32Hz割り込み:	00001CH
8Hz割り込み:	00001EH
2Hz割り込み:	000020H
1Hz割り込み:	000022H

図5.9.2.2に計時タイマのタイミングチャートを示します。

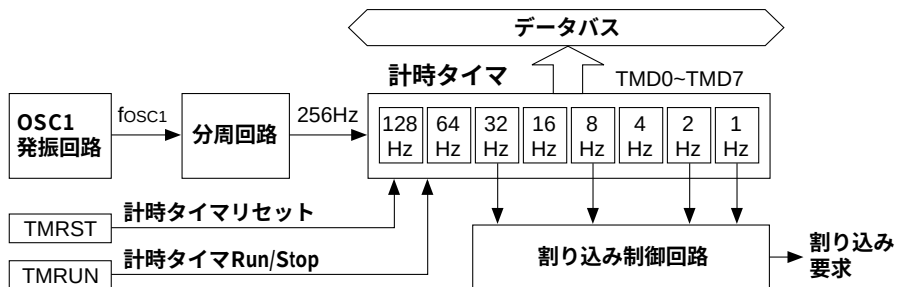


図5.9.1.1 計時タイマの構成

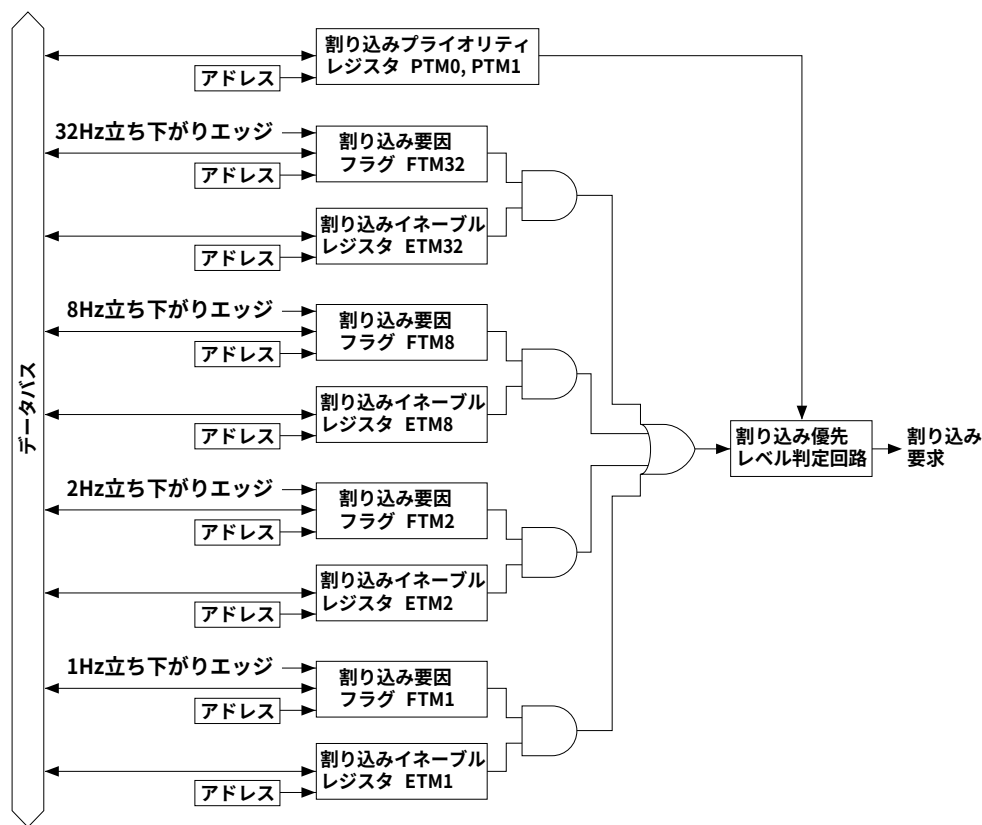


図5.9.2.1 計時タイマ割り込み回路の構成

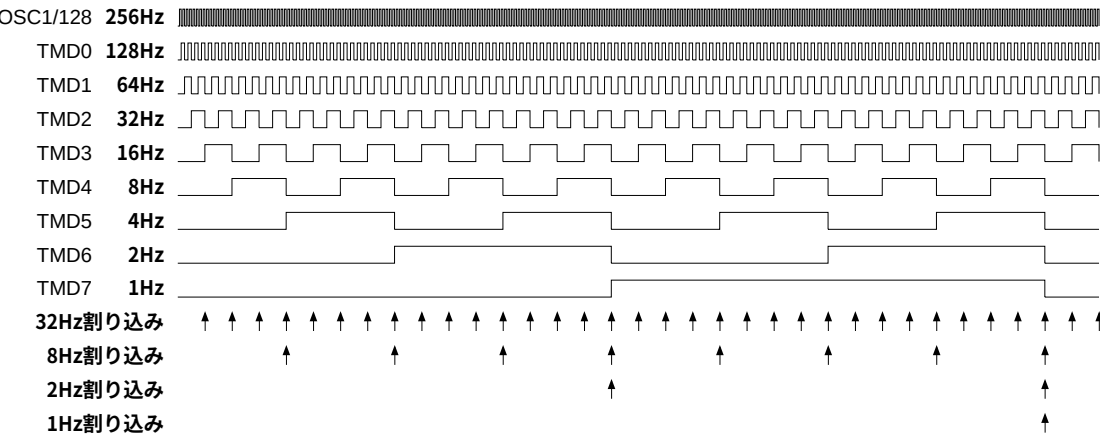


図5.9.2.2 計時タイマのタイミングチャート

5.9.3 計時タイマの制御方法

表5.9.3.1に計時タイマの制御ビットを示します。

表5.9.3.1 計時タイマの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈																																				
00FF40	D7	—	—	—	—	—	—	読み出し時は"0"																																				
	D6	FOUT2	FOUT周波数選択			0	R/W																																					
			<table><tr><td>FOUT2</td><td>FOUT1</td><td>FOUT0</td><td>周波数</td></tr><tr><td>0</td><td>0</td><td>0</td><td>fosc1 / 1</td></tr><tr><td>0</td><td>0</td><td>1</td><td>fosc1 / 2</td></tr><tr><td>0</td><td>1</td><td>0</td><td>fosc1 / 4</td></tr><tr><td>0</td><td>1</td><td>1</td><td>fosc1 / 8</td></tr><tr><td>1</td><td>0</td><td>0</td><td>fosc3 / 1</td></tr><tr><td>1</td><td>0</td><td>1</td><td>fosc3 / 2</td></tr><tr><td>1</td><td>1</td><td>0</td><td>fosc3 / 4</td></tr><tr><td>1</td><td>1</td><td>1</td><td>fosc3 / 8</td></tr></table>	FOUT2	FOUT1	FOUT0	周波数		0	0	0	fosc1 / 1	0	0	1	fosc1 / 2	0	1	0	fosc1 / 4	0	1	1	fosc1 / 8	1	0	0	fosc3 / 1	1	0	1	fosc3 / 2	1	1	0	fosc3 / 4	1	1	1	fosc3 / 8				
			FOUT2	FOUT1	FOUT0	周波数																																						
			0	0	0	fosc1 / 1																																						
			0	0	1	fosc1 / 2																																						
	0	1	0	fosc1 / 4																																								
	0	1	1	fosc1 / 8																																								
	1	0	0	fosc3 / 1																																								
	1	0	1	fosc3 / 2																																								
1	1	0	fosc3 / 4																																									
1	1	1	fosc3 / 8																																									
D5	FOUT1	0	0	1	fosc1 / 2		0	R/W																																				
		0	1	0	fosc1 / 4																																							
		0	1	1	fosc1 / 8																																							
D4	FOUT0	1	0	0	fosc3 / 1																																							
		1	0	1	fosc3 / 2		0	R/W																																				
		1	1	0	fosc3 / 4																																							
		1	1	1	fosc3 / 8																																							
D3	FOUTON	FOUT出力制御	On	Off	0	R/W																																						
D2	WDRST	ウォッチドッグタイマリセット	リセット	無効	—	W	読み出し時は																																					
D1	TMRST	計時タイマリセット	リセット	無効	—	W	常時"0"																																					
D0	TMRUN	計時タイマRun/Stop制御	Run	Stop	0	R/W																																						
00FF41	D7	TMD7	計時タイマデータ 1Hz	High	Low	0	R																																					
	D6	TMD6	計時タイマデータ 2Hz																																									
	D5	TMD5	計時タイマデータ 4Hz																																									
	D4	TMD4	計時タイマデータ 8Hz																																									
	D3	TMD3	計時タイマデータ 16Hz																																									
	D2	TMD2	計時タイマデータ 32Hz																																									
	D1	TMD1	計時タイマデータ 64Hz																																									
	D0	TMD0	計時タイマデータ128Hz																																									
	00FF20	D7	PK01						K00～K07割り込み	PK01 PK00 PSIF1 PSIF0 PSW1 PSW0 優先 PTM1 PTM0 レベル			0	R/W																														
D6		PK00	プライオリティレジスタ																																									
D5		PSIF1	シリアルインタフェース割り込み	1 1 1 0 0 1 0 0	レベル3 レベル2 レベル1 レベル0	0	R/W																																					
D4		PSIF0	プライオリティレジスタ																																									
D3		PSW1	ストップウォッチタイマ割り込み			0	R/W																																					
D2		PSW0	プライオリティレジスタ																																									
D1		PTM1	計時タイマ割り込み			0	R/W																																					
D0		PTM0	プライオリティレジスタ																																									
00FF22	D7	—	—	—	—	—	—	読み出し時は"0"																																				
	D6	ESW100	ストップウォッチ100Hz割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W																																					
	D5	ESW10	ストップウォッチ10Hz割り込みイネーブルレジスタ																																									
	D4	ESW1	ストップウォッチ1Hz割り込みイネーブルレジスタ																																									
	D3	ETM32	計時タイマ32Hz割り込みイネーブルレジスタ																																									
	D2	ETM8	計時タイマ8Hz割り込みイネーブルレジスタ																																									
	D1	ETM2	計時タイマ2Hz割り込みイネーブルレジスタ																																									
	D0	ETM1	計時タイマ1Hz割り込みイネーブルレジスタ																																									
00FF24	D7	—	—						—	—	—	—	読み出し時は"0"																															
	D6	FSW100	ストップウォッチ100Hz割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W																																					
	D5	FSW10	ストップウォッチ10Hz割り込み要因フラグ																																									
	D4	FSW1	ストップウォッチ1Hz割り込み要因フラグ																																									
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ																																									
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ	(W) リセット	(W) 無効																																							
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ																																									
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ																																									

TMD0~TMD7:00FF41H

計時タイマのデータが読み出せます。
各ビットと周波数との対応は以下のとおりです。

TMD0: 128Hz	TMD4: 8Hz
TMD1: 64Hz	TMD5: 4Hz
TMD2: 32Hz	TMD6: 2Hz
TMD3: 16Hz	TMD7: 1Hz

TMD0~TMD7は読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、タイマデータは"00H"に設定されます。

TMRST: 00FF40H·D1

計時タイマをリセットします。

- "1"書き込み: 計時タイマリセット
- "0"書き込み: ノーオペレーション
- 読み出し: 常時"0"

計時タイマはTMRSTに"1"を書き込むことによってリセットされます。計時タイマがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合はリセットデータ"00H"が保持されます。

"0"の書き込みはノーオペレーションとなります。TMRSTは書き込み専用のため、読み出し時は常時"0"となります。

TMRUN: 00FF40H·D0

計時タイマのRUN/STOPを制御します。

- "1"書き込み: RUN
- "0"書き込み: STOP
- 読み出し: 可能

計時タイマはTMRUNに"1"を書き込むことによってアップカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではリセットか次にRUN状態にするまで、タイマのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

イニシャルリセット時、TMRUNは"0"(STOP)に設定されます。

PTM0, PTM1: 00FF20H·D0, D1

計時タイマ割り込みの優先レベルを設定します。PTM0、PTM1は計時タイマ割り込みに対応した割り込みプライオリティレジスタで、設定できる割り込み優先レベルは表5.9.3.2のとおりです。

表5.9.3.2 割り込み優先レベルの設定

PTM1	PTM0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

ETM1, ETM2, ETM8, ETM32: 00FF22H·D0~D3

CPUに対する割り込みの発生を許可または禁止します。

- "1"書き込み: 割り込み許可
- "0"書き込み: 割り込み禁止
- 読み出し: 可能

ETM1、ETM2、ETM8、ETM32はそれぞれ1Hz、2Hz、8Hz、32Hzの割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

FTM1, FTM2, FTM8, FTM32: 00FF24H·D0~D3

計時タイマ割り込みの発生状態を示します。

- "1"読み出し: 割り込み要因あり
- "0"読み出し: 割り込み要因なし

- "1"書き込み: 要因フラグをリセット
- "0"書き込み: 無効

FTM1、FTM2、FTM8、FTM32はそれぞれ1Hz、2Hz、8Hz、32Hzの割り込みに対応する割り込み要因フラグで、各信号の立ち下がりエッジに同期して"1"にセットされます。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、本フラグはすべて"0"にリセットされます。

5.9.4 プログラミング上の注意事項

- (1) 計時タイマはレジスタTMRUNへの書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRUN/STOP状態となります。
したがって、TMRUNに"0"を書き込んだ場合は、"+1"余分にカウントしたところでタイマが停止状態となります。また、このときTMRUNは実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。
図5.9.4.1にRUN/STOP制御のタイミングチャートを示します。

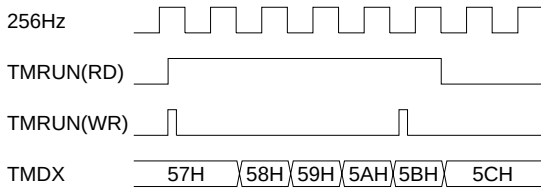


図5.9.4.1 RUN/STOP制御のタイミングチャート

- (2) 計時タイマがRUNしている状態(TMRUN="1")でSLP命令を実行した場合は、SLEEP状態からの復帰時に計時タイマが不安定な動作となります。したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前に計時タイマをSTOP状態(TMRUN="0")に設定してください。

5.10 ストップウォッチタイマ

5.10.1 ストップウォッチタイマの構成

S1C883xxは1/100sec単位と1/10sec単位のストップウォッチタイマを内蔵しています。ストップウォッチタイマはfosc1を分周した256Hz信号を入力クロックとする4ビット2段のBCDカウンタ(1/100sec単位、1/10sec単位)で構成され、カウントデータをソフトウェアによって読み出すことができます。図5.10.1.1にストップウォッチタイマの構成を示します。

ストップウォッチタイマは計時タイマとは別のタイマとして使用することができ、ストップウォッチ機能などをソフトウェアによって容易に実現することができます。

5.10.2 カウントアップパターン

ストップウォッチタイマは、それぞれ4ビットのBCDカウンタSWD0～SWD3とSWD4～SWD7で構成されています。

図5.10.2.1にストップウォッチタイマのカウントアップパターンを示します。

帰還分周回路はfosc1を分周した256Hz信号から2/256secと3/256sec間隔の近似100Hz信号を発生します。

1/100secカウンタ(SWD0～SWD3)は、帰還分周回路が2/256secと3/256sec間隔で発生する近似100Hz信号をカウントして、25/256secと26/256sec間隔の近似10Hz信号を発生します。

カウントアップは、2/256secと3/256sec間隔による擬似的な1/100secカウントとなります。

1/10secカウンタ(SWD4～SWD7)は、1/100secカウンタが25/256secと26/256sec間隔で発生する近似10Hz信号を4:6の割合でカウントして、1Hz信号を発生します。

カウントアップは、25/256secと26/256sec間隔による擬似的な1/10secカウントとなります。

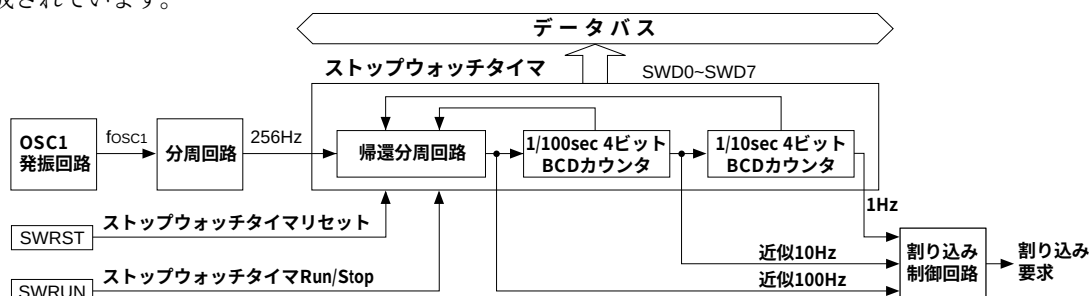


図5.10.1.1 ストップウォッチタイマの構成

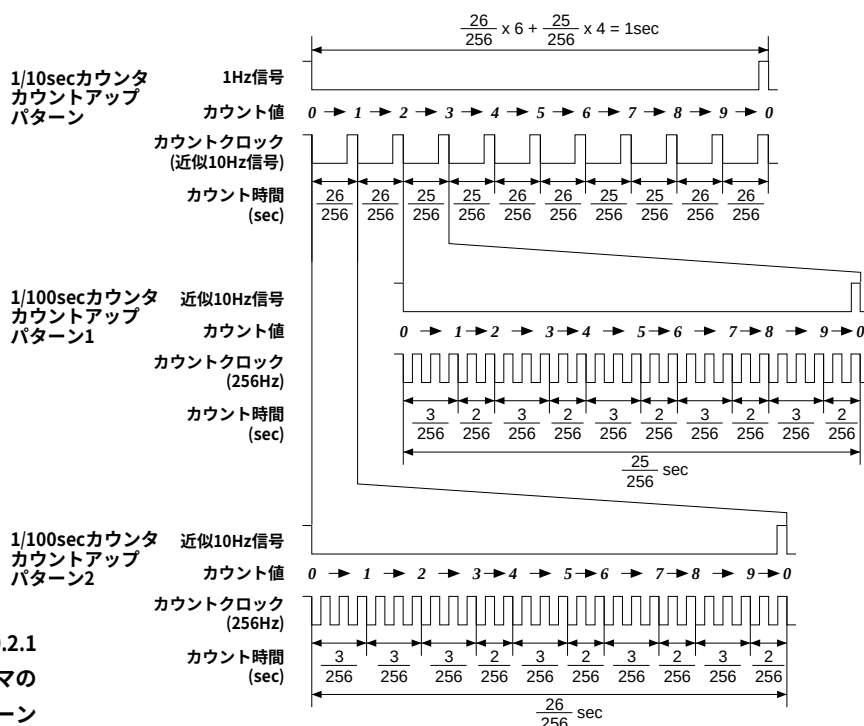


図5.10.2.1

ストップウォッチタイマの
カウントアップパターン

5.10.3 割り込み機能

ストップウォッチタイムは100Hz(近似100Hz)、10Hz(近似10Hz)、1Hzの各信号によって割り込みを発生させることができます。

図5.10.3.1にストップウォッチタイマ割り込み回路の構成を示します。

100Hz、10Hz、1Hz信号の立ち下がりエッジで、それぞれに対応する割り込み要因フラグFSW100、FSW10、FSW1が"1"にセットされ、割り込みが発生します。各割り込み要因フラグに対応した割り込みイネーブルレジスタESW100、ESW10、ESW1の設定により、割り込みを禁止することもできます。

また、CPUに対するストップウォッチタイマ割り込みの優先レベルを割り込みプライオリティレジスタPSW0、PSW1によって任意のレベル(0~3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については"5.16 割り込みとスタンバイ状態"を参照してください。

各割り込み要因の例外処理ベクタアドレスは、それぞれ以下のとおり設定されています。

100Hz割り込み: 000016H

10Hz割り込み: 000018H

1Hz割り込み: 00001AH

図5.10.3.2にストップウォッチタイマのタイミングチャートを示します。

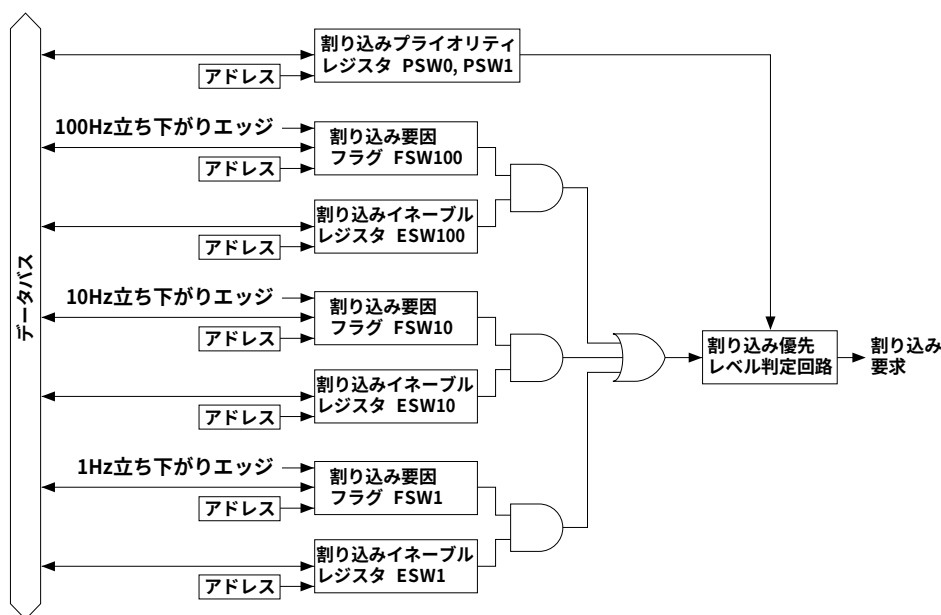


図5.10.3.1 ストップウォッチタイマ割り込み回路の構成

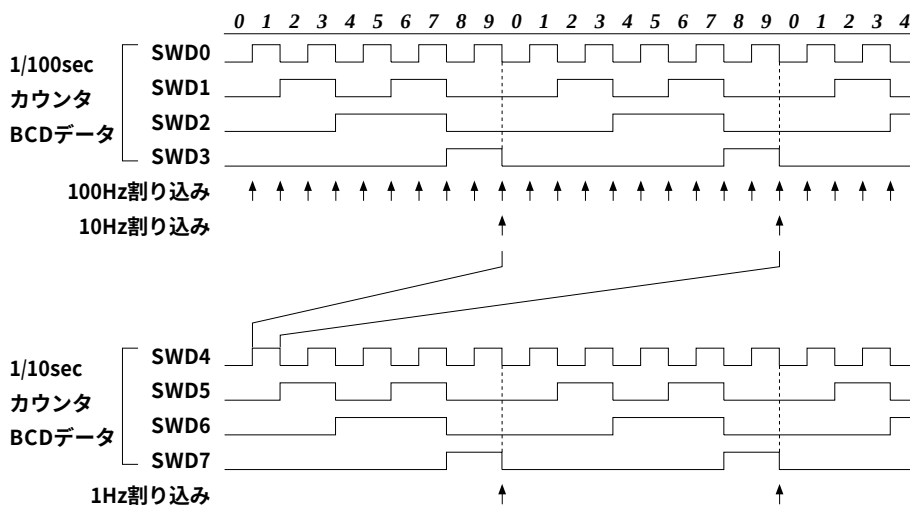


図5.10.3.2 ストップウォッチタイマのタイミングチャート

5.10.4 ストップウォッチタイマの制御方法

表5.10.4.1にストップウォッチタイマの制御ビットを示します。

表5.10.4.1 ストップウォッチタイマの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈			
00FF42	D7	—	—	—	—	—		読み出し時は 常時"0"			
	D6	—	—	—	—	—					
	D5	—	—	—	—	—					
	D4	—	—	—	—	—					
	D3	—	—	—	—	—					
	D2	—	—	—	—	—					
	D1	SWRST	ストップウォッチタイマリセット	リセット	無効	—	W				
	D0	SWRUN	ストップウォッチタイマRun/Stop制御	Run	Stop	0	R/W				
00FF43	D7	SWD7	ストップウォッチタイマデータ			0	R				
	D6	SWD6									
	D5	SWD5									
	D4	SWD4	BCD (1/10sec)								
	D3	SWD3	ストップウォッチタイマデータ								
	D2	SWD2									
	D1	SWD1									
	D0	SWD0	BCD (1/100 sec)								
00FF20	D7	PK01	K00～K07割り込み	PK01 PK00 PSIF1 PSIF0 PSW1 PSW0 優先 PTM1 PTM0 レベル		0	R/W				
	D6	PK00	プライオリティレジスタ								
	D5	PSIF1	シリアルインタフェース割り込み								
	D4	PSIF0	プライオリティレジスタ								
	D3	PSW1	ストップウォッチタイマ割り込み	1 1 レベル3 1 0 レベル2 0 1 レベル1 0 0 レベル0	0	R/W					
	D2	PSW0	プライオリティレジスタ								
	D1	PTM1	計時タイマ割り込み								
	D0	PTM0	プライオリティレジスタ	0	R/W						
00FF22	D7	—	—	—	—	—		読み出し時は"0"			
	D6	ESW100	ストップウォッチ100Hz割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W				
	D5	ESW10	ストップウォッチ10Hz割り込みイネーブルレジスタ								
	D4	ESW1	ストップウォッチ1Hz割り込みイネーブルレジスタ								
	D3	ETM32	計時タイマ32Hz割り込みイネーブルレジスタ								
	D2	ETM8	計時タイマ8Hz割り込みイネーブルレジスタ								
	D1	ETM2	計時タイマ2Hz割り込みイネーブルレジスタ								
	D0	ETM1	計時タイマ1Hz割り込みイネーブルレジスタ								
00FF24	D7	—	—	—	—	—		読み出し時は"0"			
	D6	FSW100	ストップウォッチ100Hz割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W				
	D5	FSW10	ストップウォッチ10Hz割り込み要因フラグ								
	D4	FSW1	ストップウォッチ1Hz割り込み要因フラグ								
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ	(W) リセット	(W) 無効						
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ								
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ								
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ								

SWD0~SWD7: 00FF43H

ストップウォッチタイマのデータが読み出せます。
上位/下位ニブルとBCD桁との対応は以下のとおりです。

SWD0~SWD3: BCD (1/100sec)

SWD4~SWD7: BCD (1/10sec)

SWD0~SWD7は読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、タイマデータは"00H"に設定されます。

SWRST: 00FF42H-D1

ストップウォッチタイマをリセットします。

"1"書き込み: ストップウォッチタイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

ストップウォッチタイマはSWRSTに"1"を書き込むことによってリセットされます。ストップウォッチタイマがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合はリセットデータ"00H"が保持されます。

"0"の書き込みはノーオペレーションとなります。SWRSTは書き込み専用のため、読み出し時は常時"0"となります。

SWRUN: 00FF42H-D0

ストップウォッチタイマのRUN/STOPを制御します。

"1"書き込み: RUN

"0"書き込み: STOP

読み出し: 可能

ストップウォッチタイマはSWRUNに"1"を書き込むことによってアップカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではリセットか次にRUN状態にするまで、タイマのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

イニシャルリセット時、SWRUNは"0"(STOP)に設定されます。

PSW0, PSW1: 00FF20H-D2, D3

ストップウォッチタイマ割り込みの優先レベルを設定します。PSW0、PSW1はストップウォッチタイマ割り込みに対応した割り込みプライオリティレジスタで、設定できる割り込み優先レベルは表5.10.4.2のとおりです。

表5.10.4.2 割り込み優先レベルの設定

PSW1	PSW0	割り込み優先レベル
1	1	レベル3 ($\overline{\text{IRQ}}3$)
1	0	レベル2 ($\overline{\text{IRQ}}2$)
0	1	レベル1 ($\overline{\text{IRQ}}1$)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

ESW1, ESW10, ESW100: 00FF22H-D4, D5, D6

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

ESW1、ESW10、ESW100はそれぞれ1Hz、10Hz、100Hzの割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

FSW1, FSW10, FSW100: 00FF24H-D4, D5, D6

タイマ割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

FSW1、FSW10、FSW100はそれぞれ1Hz、10Hz、100Hzの割り込みに対応する割り込み要因フラグで、各信号の立ち下がりエッジに同期して"1"にセットされます。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、本フラグはすべて"0"にリセットされます。

5.10.5 プログラミング上の注意事項

- (1) ストップウォッチタイマはレジスタSWRUNへの書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRUN/STOP状態となります。

したがって、SWRUNに"0"を書き込んだ場合は、"+1"余分にカウントしたところでタイマが停止状態となる場合があります。また、このときSWRUNは実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。

図5.10.5.1にRUN/STOP制御のタイミングチャートを示します。

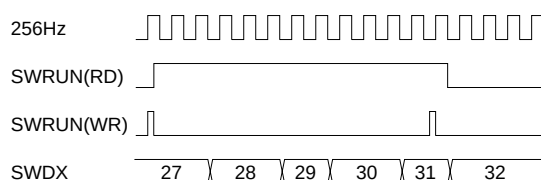


図5.10.5.1 RUN/STOP制御のタイミングチャート

- (2) ストップウォッチタイマがRUNしている状態 (SWRUN="1")でSLP命令を実行した場合は、SLEEP状態からの復帰時にストップウォッチタイマが不安定な動作となります。

したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前にストップウォッチタイマをSTOP状態 (SWRUN="0")に設定してください。

5.11 プログラマブルタイマ

5.11.1 プログラマブルタイマの構成

S1C883xxは8ビットのプログラマブルタイマを2系統(タイマ0およびタイマ1)内蔵しています。タイマ0とタイマ1は8ビットプリセッタブルダウンカウンタで構成され、8ビット×2チャンネルあるいは16ビット×1チャンネルのプログラマブルタイマとして使用することができます。また、K10入力ポート端子を使用したイベントカウンタ機能とパルス幅測定タイマ機能も合わせ持っています。

図5.11.1.1にプログラマブルタイマの構成を示します。

プログラマブルタイマのアンダーフロー信号をシリアルインタフェースの同期クロックとして使用できるため、転送速度のプログラマブルな設定が可能です。また、このアンダーフローの1/2分周信号をR27出力ポート端子から外部に出力させることもできます。

5.11.2 カウント動作と基本モード設定

ここでは、プログラマブルタイマの基本動作と設定について説明をします。

■ 初期値の設定とダウンカウント

タイマ0およびタイマ1にはそれぞれ、8ビットのダウンカウンタとリロードデータレジスタが設けられています。

リロードデータレジスタRLD00～RLD07(タイマ0)、RLD10～RLD17(タイマ1)はカウンタの初期値を設定するレジスタです。

ダウンカウンタは、リロードデータレジスタRLDに設定された初期値をプリセット制御ビットPSET0(タイマ0)、PSET1(タイマ1)への"1"書き込みによってロードします。したがって、このロードされた初期値から入力クロックによるダウンカウントが行われます。

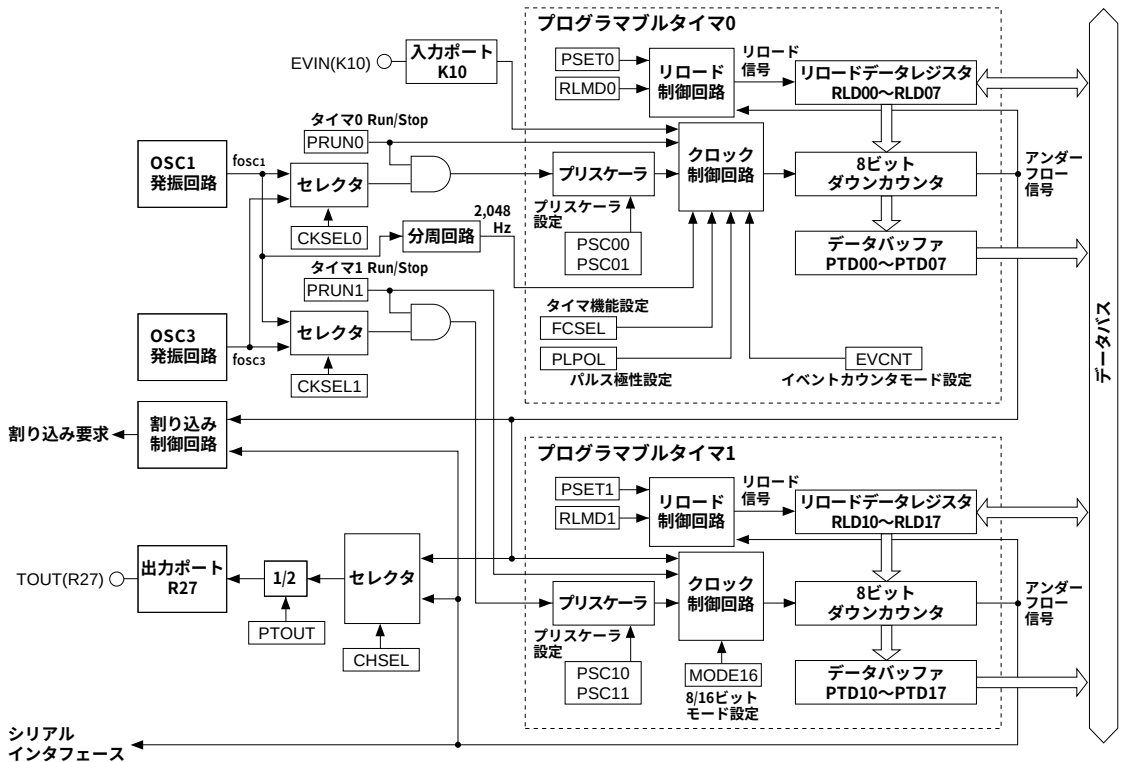


図5.11.1.1 プログラマブルタイマの構成

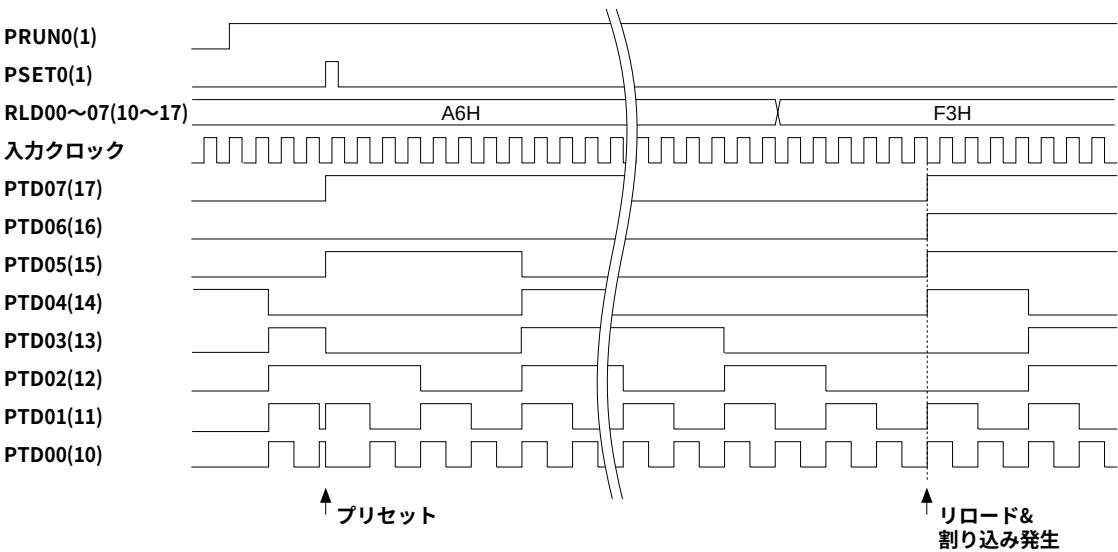


図5.11.2.1 カウンタの基本動作タイミング

タイマ0およびタイマ1にはそれぞれ、RUN/STOPを制御するレジスタPRUN0(タイマ0)、PRUN1(タイマ1)が設けられています。リロードデータをカウンタにプリセットした後、本レジスタに"1"を書き込むことによってダウンカウントが開始されます。"0"を書き込むとクロックの入力が禁止され、カウントは停止します。このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

カウンタのデータの読み出しはデータバッファPTD00~PTD07(タイマ0)、PTD10~PTD17(タイマ1)を介して行い、任意のタイミングで読み出しが可能です。カウンタはダウンカウントが進んでアンダーフローが発生すると、リロードデータレジスタRLDに設定された初期値をリロードします。このアンダーフロー信号はカウンタのリロードのほか、割り込みの発生、外部へのパルス(TOUT信号)出力、シリアルインタフェースへのクロック供給を制御します。

■ 連続/ワンショットモード設定

連続/ワンショットモード選択レジスタCONT0(タイマ0)、CONT1(タイマ1)に"1"を書き込むことによって、プログラマブルタイマは連続モードに設定されます。連続モードでは、アンダーフロー発生時にカウンタの初期値を自動的にリロードしてダウンカウントを継続します。このモードはプログラマブルなインターバルを必要とする用途(割り込み、シリアルインタフェースの同期クロック等)に適しています。一方、レジスタCONT0(タイマ0)、CONT1(タイマ1)に"0"を書き込んだ場合はワンショットモードとなり、カウンタはアンダーフロー発生時に初期値をリロードして停止します。このとき、RUN/STOP制御レジスタPRUN0(タイマ0)、PRUN1(タイマ1)は自動的に"0"にリセットされます。カウンタが停止した後、レジスタPRUN0(タイマ0)、PRUN1(タイマ1)に"1"を書き込むことによって再度ワンショットカウントを行うことができます。このモードは単発的な時間計測等に適しています。

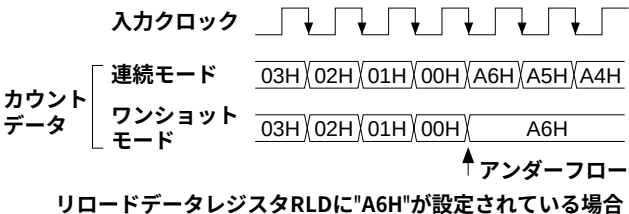


図5.11.2.2 連続モードとワンショットモード

■ 8/16ビットモード設定

8/16ビットモード選択レジスタMODE16に"0"を書き込むことによって、タイマ0およびタイマ1は8ビット×2チャンネルの独立したタイマに設定されます。このモードでは、タイマ0とタイマ1を個別に制御することができ、それぞれはまったく別のタイマとして動作します。一方、レジスタMODE16に"1"を書き込んだ場合は、タイマ0およびタイマ1は1チャンネルの16ビットタイマに設定されます。このモードでは、タイマ0を下位8ビット、タイマ1を上位8ビットとした16ビットのカウンタが行われ、タイマはタイマ0側のレジスタによって制御されます。この場合、タイマ1側のレジスタの制御は無効となります。(PRUN1は"0"に固定されます。)

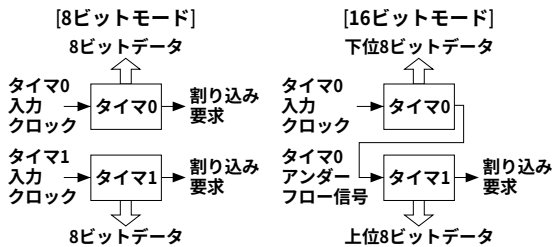


図5.11.2.3 8/16ビットモード設定とカウンタの構成

5.11.3 入力クロックの設定

タイマ0およびタイマ1にはそれぞれ、プリスケアラが設けられています。プリスケアラはOSC1またはOSC3発振回路から供給される原振クロックを分周して、それぞれのタイマへの入力クロックを発生します。

原振クロックとプリスケアラの分周比はタイマ0、タイマ1でそれぞれ個別にソフトウェアで選択することができます。

入力クロックは以下の手順で設定します。

(1) 原振クロックの選択

それぞれのプリスケアラに入力する原振クロックを、OSC1とするかOSC3とするかを選択します。この選択は、原振クロック選択レジスタCKSEL0(タイマ0)、CKSEL1(タイマ1)によって行われ、"0"を書き込むとOSC1、"1"を書き込むとOSC3が選択されます。16ビットモードを選択している場合は、レジスタCKSEL0によって原振クロックが選択され、レジスタCKSEL1の設定は無効となります。

OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3の発振をONさせる必要があります。

なお、OSC3発振回路をONにしてから発振が安定するまでに数msec～数10msecの時間を必要とします。したがって、プログラマブルタイマのカウンタ開始はOSC3発振ONの後、十分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)

イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

(2) プリスケアラ分周比の選択

それぞれのプリスケアラの分周比を4種類の中から選択します。この選択は、プリスケアラ分周比選択レジスタPSC00/PSC01(タイマ0)、PSC10/PSC11(タイマ1)によって行われ、設定値と分周比とが表5.11.3.1に示すとおり対応しています。

表5.11.3.1 プリスケアラ分周比の選択

PSC11 PSC01	PSC10 PSC00	プリスケアラ分周比
1	1	原振クロック / 64
1	0	原振クロック / 16
0	1	原振クロック / 4
0	0	原振クロック / 1

レジスタPRUN0(タイマ0)、PRUN1(タイマ1)に"1"を書き込むことによって、原振クロックがプリスケアラに入力されます。これによって、選択した分周比のクロックがタイマに入力され、タイマがダウンカウントを開始します。なお、16ビットモードを選択している場合は、レジスタPSC00/PSC01によって原振クロックの分周比が選択され、レジスタPSC10/PSC11の設定は無効となります。

5.11.4 タイマモード

タイマモードはプリスケアラの出力を入力クロックとしてダウンカウントを行うモードです。

このモードは、OSC1またはOSC3発振回路を原振として一定周期ごとにカウントを行うタイマとして動作します。

タイマの基本的な動作と制御については"5.11.2 カウント動作と基本モード設定"を、原振とプリスケアラの設定については"5.11.3 入力クロックの設定"をそれぞれ参照してください。

5.11.5 イベントカウンタモード

タイマ0には、K10入力ポート端子に外部クロック(EVIN)を入力してカウントを行うイベントカウンタ機能があります。この機能は、タイマ0カウンタモード選択レジスタEVCNTに"1"を書き込むことによって選択されます。

イベントカウンタモードを選択した場合は、8ビットモードではタイマ0がイベントカウンタ、タイマ1が通常のタイマとして動作します。また、16ビットモードではタイマ0とタイマ1が1チャンネルの16ビットイベントカウンタとして動作します。

イベントカウンタモードでは、外部からタイマ0にクロックが供給されるため、レジスタPSC00/PSC01の設定は無効となります。

ダウンカウントのタイミングは、タイマ0パルス極性選択レジスタPLPOLによって、立ち下がりエッジまたは立ち上がりエッジのどちらかが選択できます。レジスタPLPOLに"0"を書き込んだ場合が立ち下がりエッジ、"1"を書き込んだ場合が立ち上がりエッジとなり、図5.11.5.1に示すタイミングでダウンカウントが行われます。

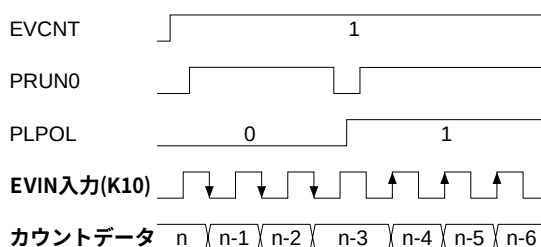


図5.11.5.1 イベントカウンタモードの
タイミングチャート

イベントカウンタモードにはこのほかに、外部クロック(EVIN)入力に対してチャタリング等のノイズを除去するノイズリジクタ付加機能があります。この機能はタイマ0機能選択レジスタFCSELに"1"を書き込むことによって選択されます。

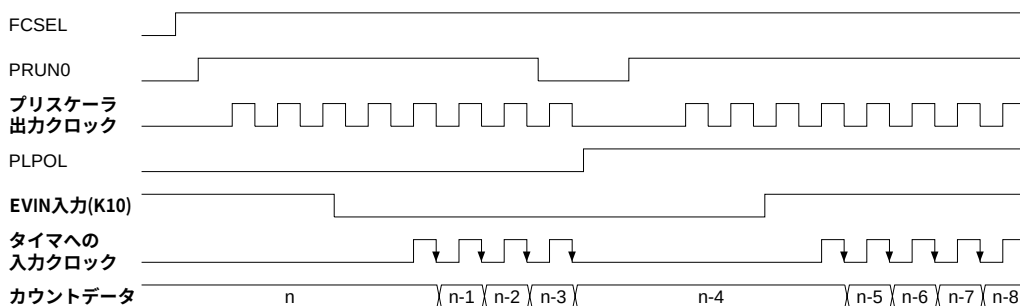


図5.11.6.1 パルス幅測定タイマモードのタイミングチャート

ノイズリジクタ付きを選択した場合は確実なカウントを行うために、LOWレベル/HIGHレベル共に0.98msec以上のパルス幅を確保する必要があります。(ノイズリジクタは、K10入力ポート端子の入力レベルが変化してから2度目の内部2,048Hz信号の立ち下がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msecとなります。)

図5.11.5.2にノイズリジクタ付加時のダウンカウントタイミングを示します。

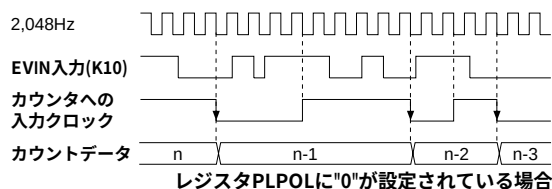


図5.11.5.2 ノイズリジクタ付加時の
ダウンカウントタイミング

イベントカウンタモードは、入力クロックが外部クロック(EVIN)となること以外はタイマモードと同等です。

カウントの基本的な動作と制御については"5.11.2 カウント動作と基本モード設定"を参照してください。

5.11.6 パルス幅測定タイマモード

タイマ0には、K10入力ポート端子に入力される信号(EVIN)の幅を測定するパルス幅測定タイマ機能があります。この機能はタイマモード(EVCNT="0")において、タイマ機能選択レジスタFCSELに"1"を書き込むことによって選択されます。

パルス幅測定タイマモードを選択した場合は、8ビットモードではタイマ0がパルス幅測定タイマ、タイマ1が通常のタイマとして動作します。また、16ビットモードではタイマ0とタイマ1が1チャンネルの16ビットパルス幅測定タイマとして動作します。

測定対象とする入力信号(EVIN)のレベルは、タイマ0パルス極性選択レジスタPLPOLによって、LOWレベルまたはHIGHレベルのどちらかが選択できます。レジスタPLPOLに"0"を書き込んだ場合がLOWレベル幅測定、"1"を書き込んだ場合がHIGHレベル幅測定となり、図5.11.6.1に示すタイミングでダウンカウントが行われます。

パルス幅測定タイマモードは、入力クロックがK10入力ポート端子に入力される信号(EVIN)のレベルによって制御されること以外はタイマモードと同等です。

カウントの基本的な動作と制御については、"5.11.2 カウント動作と基本モード設定"を参照してください。

5.11.7 割り込み機能

プログラマブルタイマは、タイマ0およびタイマ1の各アンダーフロー信号によって割り込みを発生させることができます。

図5.11.7.1にプログラマブルタイマ割り込み回路の構成を示します。

タイマ0およびタイマ1の各アンダーフロー信号によって、それぞれに対応する割り込み要因フラグFPT0、FPT1が"1"にセットされ、割り込みが発生します。各割り込み要因フラグに対応した割り込みイネーブルレジスタEPT0、EPT1の設定により、割り込みを禁止することもできます。

また、CPUに対するプログラマブルタイマ割り込みの優先レベルを割り込みプライオリティレジスタPPT0、PPT1によって任意のレベル(0~3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については"5.16 割り込みとスタンバイ状態"を参照してください。

各割り込み要因の例外処理ベクタアドレスは、それぞれ以下のとおり設定されています。

プログラマブルタイマ1割り込み: 000006H

プログラマブルタイマ0割り込み: 000008H

なお、16ビットモードを選択している場合は割り込み要因フラグFPT0は"1"にセットされず、タイマ0の割り込みも発生しません。(16ビットモード時は、16ビットカウンタのアンダーフローによって割り込み要因フラグFPT1が"1"にセットされます。)

5.11.8 TOUT出力の設定

プログラマブルタイマは、タイマ0またはタイマ1のアンダーフローによってTOUT信号を発生させることができます。TOUT信号は先アンダーフローを1/2分周した信号で、TOUT出力チャンネル選択レジスタCHSELによって、どちらのタイマのアンダーフローを使用するかを選択することができます。レジスタCHSELに"0"を書き込んだ場合がタイマ0、"1"を書き込んだ場合がタイマ1となります。ただし、16ビットモードではタイマ1(16ビットタイマのアンダーフロー)固定となり、レジスタCHSELの設定は無効となります。

図5.11.8.1にチャンネル切り換え時のTOUT信号波形を示します。

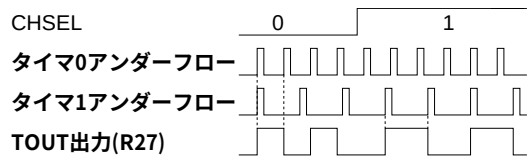


図5.11.8.1 チャンネル切り換え時のTOUT信号波形

TOUT信号はR27出力ポート端子から出力させることができ、外部デバイス等に対してプログラマブルなクロックを供給することができます。

R27出力ポートの構成を図5.11.8.2に示します。

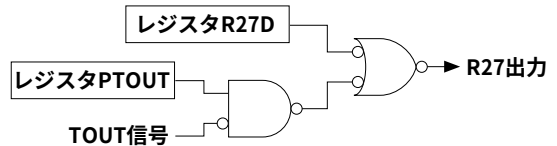


図5.11.8.2 R27の構成

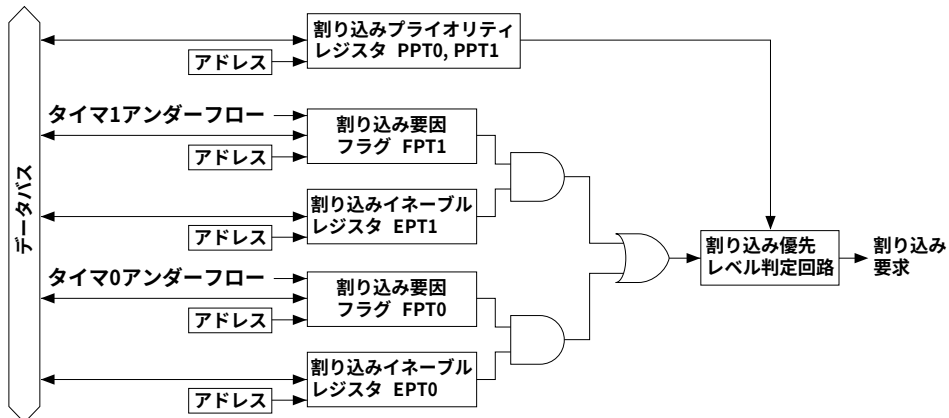


図5.11.7.1 プログラマブルタイマ割り込み回路の構成

TOUT信号はレジスタPTOUTによって出力制御が行われます。PTOUTに"1"を設定するとTOUT信号がR27出力ポート端子から出力され、"0"を設定するとHIGH(V_{DD})レベルが出力されます。このとき、データレジスタR27Dには常時"1"が設定されている必要があります。

なお、TOUT信号はレジスタPTOUTとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.11.8.3にTOUT信号の出力波形を示します。

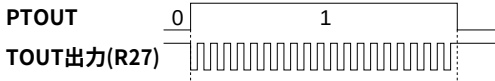


図5.11.8.3 TOUT信号の出力波形

5.11.9 シリアルインタフェースの転送速度設定

タイマ1のアンダーフロー信号をシリアルインタフェースのクロック源として使用することができます。

この場合の転送速度の設定はレジスタPSC1X、RLD1Xによって行い、タイマ1のカウントモードをリロードカウントモード(RLMD1="1")に設定して使用します。

タイマ1のアンダーフロー信号はシリアルインタフェース内で1/32分周されるため、転送速度に対するレジスタRLD1Xへの設定値は次式のようになります。

$$RLD1X = f_{osc} / (32 * bps * 4^{PSC1X}) - 1$$

f_{osc} : 発振周波数 (OSC1/OSC3)
 bps : 転送速度
 $PSC1X$: レジスタPSC1X設定値 (0~3)

(RLD1Xには00Hも設定可能)

表5.11.9.1にOSC3発振回路を原振とした場合の転送速度の設定例を示します。

表5.11.9.1 転送速度の設定例

転送速度 (bps)	OSC3発振周波数/プログラマブルタイマの設定					
	fosc3=3.072MHz		fosc3=4.608MHz		fosc3=4.9152MHz	
	PSC1X	RLD1X	PSC1X	RLD1X	PSC1X	RLD1X
9,600	0 (1/1)	09H	0 (1/1)	0EH	0 (1/1)	0FH
4,800	0 (1/1)	13H	0 (1/1)	1DH	0 (1/1)	1FH
2,400	0 (1/1)	27H	0 (1/1)	3BH	0 (1/1)	3FH
1,200	0 (1/1)	4FH	0 (1/1)	77H	0 (1/1)	7FH
600	0 (1/1)	9FH	0 (1/1)	EFH	0 (1/1)	FFH
300	1 (1/4)	4FH	1 (1/4)	77H	1 (1/4)	7FH
150	1 (1/4)	9FH	1 (1/4)	EFH	1 (1/4)	FFH

5.11.10 プログラマブルタイマの制御方法

表5.11.10.1にプログラマブルタイマの制御ビットを示します。

表5.11.10.1(a) プログラマブルタイマの制御ビット

アドレス	ビット	名称	機 能		1	0	SR	R/W	注 釈		
00FF30	D7	—	—		—	—	—		読み出し時は 常時"0"		
	D6	—	—		—	—	—				
	D5	—	—		—	—	—				
	D4	MODE16	8/16ビットモード選択			16ビット×1	8ビット×2	0	R/W		
	D3	CHSEL	TOUT出力チャンネル選択			タイマ1	タイマ0	0	R/W		
	D2	PTOUT	TOUT出力制御			On	Off	0	R/W		
	D1	CKSEL1	プリスケアラ1原振クロック選択			fosc3	fosc1	0	R/W		
	D0	CKSEL0	プリスケアラ0原振クロック選択			fosc3	fosc1	0	R/W		
00FF31	D7	EVCNT	タイマ0カウンタモード選択			イベントカウンタ	タイマ	0	R/W		
	D6	FCSEL	タイマ0 機能選択	タイマモード時 イベントカウンタモード時	パルス幅 測定 ノイズリジ ェクタ付き	通常 モード ノイズリジ ェクタなし	0	R/W			
	D5	PLPOL	タイマ0 パルス 極性選択	イベントカウンタモードの ダウンカウントタイミング パルス幅測定モード時	K10入力の 立ち上がり K10入力の Highレベル 幅測定	K10入力の 立ち下がり K10入力の Lowレベル 幅測定	0	R/W			
	D4	PSC01	タイマ0プリスケアラ分周比選択 PSC01 PSC00 プリスケアラ分周比 1 1 原振クロック / 64					0		R/W	
	D3	PSC00	1 0 原振クロック / 16 0 1 原振クロック / 4 0 0 原振クロック / 1					0		R/W	
	D2	CONT0	タイマ0連続/ワンショットモード選択			連続	ワンショット	0		R/W	
	D1	PSET0	タイマ0プリセット			プリセット	無効	—		W	読み出し時は"0"
	D0	PRUN0	タイマ0 Run/Stop制御			Run	Stop	0	R/W		
	00FF32	D7	—	—		—	—	—		読み出し時は 常時"0"	
		D6	—	—		—	—	—			
		D5	—	—		—	—	—			
D4		PSC11	タイマ1プリスケアラ分周比選択 PSC11 PSC10 プリスケアラ分周比 1 1 原振クロック / 64					0	R/W		
D3		PSC10	1 0 原振クロック / 16 0 1 原振クロック / 4 0 0 原振クロック / 1					0	R/W		
D2		CONT1	タイマ1連続/ワンショットモード選択			連続	ワンショット	0	R/W		
D1		PSET1	タイマ1プリセット			プリセット	無効	—	W		読み出し時は"0"
D0		PRUN1	タイマ1Run/Stop制御			Run	Stop	0	R/W		

5 周辺回路と動作(プログラマブルタイマ)

表5.11.10.1(b) プログラマブルタイマの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF33	D7	RLD07	タイマ0リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RLD06	タイマ0リロードデータD6					
	D5	RLD05	タイマ0リロードデータD5					
	D4	RLD04	タイマ0リロードデータD4					
	D3	RLD03	タイマ0リロードデータD3					
	D2	RLD02	タイマ0リロードデータD2					
	D1	RLD01	タイマ0リロードデータD1					
	D0	RLD00	タイマ0リロードデータD0 (LSB)					
00FF34	D7	RLD17	タイマ1リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RLD16	タイマ1リロードデータD6					
	D5	RLD15	タイマ1リロードデータD5					
	D4	RLD14	タイマ1リロードデータD4					
	D3	RLD13	タイマ1リロードデータD3					
	D2	RLD12	タイマ1リロードデータD2					
	D1	RLD11	タイマ1リロードデータD1					
	D0	RLD10	タイマ1リロードデータD0 (LSB)					
00FF35	D7	PTD07	タイマ0カウンタデータD7 (MSB)	High	Low	1	R	
	D6	PTD06	タイマ0カウンタデータD6					
	D5	PTD05	タイマ0カウンタデータD5					
	D4	PTD04	タイマ0カウンタデータD4					
	D3	PTD03	タイマ0カウンタデータD3					
	D2	PTD02	タイマ0カウンタデータD2					
	D1	PTD01	タイマ0カウンタデータD1					
	D0	PTD00	タイマ0カウンタデータD0 (LSB)					
00FF36	D7	PTD17	タイマ1カウンタデータD7 (MSB)	High	Low	1	R	
	D6	PTD16	タイマ1カウンタデータD6					
	D5	PTD15	タイマ1カウンタデータD5					
	D4	PTD14	タイマ1カウンタデータD4					
	D3	PTD13	タイマ1カウンタデータD3					
	D2	PTD12	タイマ1カウンタデータD2					
	D1	PTD11	タイマ1カウンタデータD1					
	D0	PTD10	タイマ1カウンタデータD0 (LSB)					

表5.11.10.1(c) プログラマブルタイマの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF21	D7	—	—	—	—	—	—	読み出し時は 常時"0"
	D6	—	—	—	—	—	—	
	D5	—	—	—	—	—	—	
	D4	—	—	—	—	—	—	
	D3	PPT1	プログラマブルタイマ割り込み	PPT1 PK11	PPT0 PK10	優先 レベル	0	R/W
	D2	PPT0	プライオリティレジスタ	1	1	レベル3		
	D1	PK11	K10, K11割り込み	1	0	レベル2	0	R/W
00FF23	D0	PK10	プライオリティレジスタ	0	1	レベル1	0	R/W
	D0	PK10	プライオリティレジスタ	0	0	レベル0		
	D7	EPT1	プログラマブルタイマ1割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D6	EPT0	プログラマブルタイマ0割り込みイネーブルレジスタ					
	D5	EK1	K10, K11割り込みイネーブルレジスタ					
	D4	EK0H	K04~K07割り込みイネーブルレジスタ					
	D3	EK0L	K00~K03割り込みイネーブルレジスタ					
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブルレジスタ					
	D1	ESREC	シリアルI/F(受信)割り込みイネーブルレジスタ					
00FF25	D0	ESTRA	シリアルI/F(送信)割り込みイネーブルレジスタ					
	D7	FPT1	プログラマブルタイマ1割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W	
	D6	FPT0	プログラマブルタイマ0割り込み要因フラグ					
	D5	FK1	K10, K11割り込み要因フラグ					
	D4	FK0H	K04~K07割り込み要因フラグ					
	D3	FK0L	K00~K03割り込み要因フラグ	(W) リセット	(W) 無効			
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ					
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ					
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ					

MODE16: 00FF30H・D4

8/16ビットモードを選択します。

"1"書き込み: 16ビット×1チャンネル

"0"書き込み: 8ビット×2チャンネル

読み出し: 可能

タイマ0とタイマ1を独立した2チャンネルの8ビットタイマとして使用するか、組み合わせた1チャンネルの16ビットタイマとして使用するかを選択します。MODE16に"0"を書き込んだ場合は8ビット×2チャンネル、"1"を書き込んだ場合は16ビット×1チャンネルがそれぞれ選択されます。イニシャルリセット時、MODE16は"0"(8ビット×2チャンネル)に設定されます。

CKSEL0, CKSEL1: 00FF30H・D0, D1

プリスケアラの原振クロックを選択します。

"1"書き込み: OSC3クロック

"0"書き込み: OSC1クロック

読み出し: 可能

プリスケアラ0の原振クロックをOSC1とするかOSC3とするかを選択します。CKSEL0に"0"を書き込んだ場合はOSC1、"1"を書き込んだ場合はOSC3がそれぞれ選択されます。

同様に、プリスケアラ1の原振クロックがCKSEL1によって選択されます。

なお、イベントカウンタモードを選択している場合はCKSEL0の設定は無効となります。また、同様に16ビットモードではCKSEL1の設定が無効となります。

イニシャルリセット時、本レジスタはそれぞれ"0"(OSC1クロック)に設定されます。

PSC00, PSC01: 00FF31H・D3, D4**PSC10, PSC11: 00FF32H・D3, D4**

プリスケアラの分周比を選択します。

PSC00、PSC01の2ビットはタイマ0に対応したプリスケアラ分周比選択レジスタで、PSC10、PSC11の2ビットは同様にタイマ1に対応しています。本レジスタによって設定できるプリスケアラの分周比は表5.11.10.2のとおりです。

表5.11.10.2 プリスケアラ分周比の選択

PSC11 PSC01	PSC10 PSC00	プリスケアラ分周比
1	1	入力クロック / 64
1	0	入力クロック / 16
0	1	入力クロック / 4
0	0	入力クロック / 1

なお、イベントカウンタモードを選択している場合はPSC00、PSC01の設定は無効となります。また、同様に16ビットモードではPSC10、PSC11の設定が無効となります。

イニシャルリセット時、本レジスタは"0"(入力クロック/1)に設定されます。

EVCNT: 00FF31H・D7

タイマ0のカウンタモードを選択します。

"1"書き込み: イベントカウンタモード

"0"書き込み: タイマモード

読み出し: 可能

タイマ0をイベントカウンタとして使用するか、タイマとして使用するかを選択します。EVCNTに"1"を書き込んだ場合はイベントカウンタモード、"0"を書き込んだ場合はタイマモードがそれぞれ選択されます。

イニシャルリセット時、EVCNTは"0"(タイマモード)に設定されます。

FCSEL: 00FF31H・D6

タイマ0の各カウンタモードに対する機能の選択を行います。

・タイマモード時

"1"書き込み: パルス幅測定タイマモード

"0"書き込み: 通常モード

読み出し: 可能

タイマモードでは、タイマ0をパルス幅測定タイマとして使用するか、通常のタイマとして使用するかを選択します。

FCSELに"1"を書き込んだ場合はパルス幅測定タイマモードが選択され、K10入力ポート端子に入力される信号(EVIN)のレベルにしたがってカウントが行われます。また、FCSELに"0"を書き込んだ場合は通常モードが選択され、K10入力ポート端子の影響を受けずにカウントが行われます。

・イベントカウンタモード時

"1"書き込み: ノイズリジェクタ付き

"0"書き込み: ノイズリジェクタなし

読み出し: 可能

イベントカウンタモードでは、K10入力ポート端子に対してノイズリジェクタを付加するかしないかを選択します。

FCSELに"1"を書き込んだ場合はノイズリジェクタが付加され、0.98msec以上のパルス幅の外部クロック(EVIN)によってカウントが行われます。(ノイズリジェクタは、K10入力ポート端子の入力レベルが変化してから2度目の内部2,048Hz信号の立ち下がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msecとなります。)

また、FCSELに"0"を書き込んだ場合はノイズリジェクタは付加されず、K10入力ポート端子に入力される外部クロック(EVIN)によって直接カウントが行われます。

イニシャルリセット時、FCSELは"0"に設定されます。

PLPOL: 00FF31H・D5

K10入力ポート端子のパルス極性を選択します。

・イベントカウンタモード時

"1"書き込み: 立ち上がりエッジ

"0"書き込み: 立ち下がりエッジ

読み出し: 可能

イベントカウンタモードでは、カウントのタイミングをK10入力ポート端子に入力される外部クロック(EVIN)の立ち下がりエッジとするか、立ち上がりエッジとするかを選択します。

PLPOLに"0"を書き込んだ場合は立ち下がりエッジ、"1"を書き込んだ場合は立ち上がりエッジがそれぞれ選択されます。

・パルス幅測定タイマモード時

"1"書き込み: HIGHレベル幅測定

"0"書き込み: LOWレベル幅測定

読み出し: 可能

パルス幅測定タイマモードでは、K10入力ポート端子に入力される信号(EVIN)のLOWレベル幅を測定するか、HIGHレベル幅を測定するかを選択します。PLPOLに"0"を書き込んだ場合はLOWレベル幅測定、"1"を書き込んだ場合はHIGHレベル幅測定がそれぞれ選択されます。

なお、通常モード(EVCNT=FCSEL="0")ではPLPOLの設定は無効となります。

イニシャルリセット時、PLPOLは"0"に設定されます。

CONT0, CONT1: 00FF31H-D2, 00FF32H-D2

連続/ワンショットモードを選択します。

"1"書き込み: 連続モード

"0"書き込み: ワンショットモード

読み出し: 可能

タイマ0を連続モードで使用するか、ワンショットモードで使用するかを選択します。

CONT0に"1"を書き込んだ場合は連続モードが選択され、カウンタのアンダーフロー発生時に初期値をリロードしてカウントを継続します。

また、CONT0に"0"を書き込んだ場合はワンショットモードが選択され、カウンタのアンダーフロー発生時に初期値をリロードしてカウントを停止します。このとき、PRUN0は自動的に"0"にリセットされます。

同様に、タイマ1の連続/ワンショットモードがCONT1によって選択されます。(タイマ1のワンショットモードでは、カウンタのアンダーフロー発生時にPRUN1が自動的に"0"にリセットされます。) イニシャルリセット時、本レジスタはそれぞれ"0"(ワンショットモード)に設定されます。

RLD00~RLD07: 00FF33H**RLD10~RLD17: 00FF34H**

カウンタの初期値を設定します。

RLD00~RLD07: タイマ0リロードデータ

RLD10~RLD17: タイマ1リロードデータ

本レジスタに設定したリロードデータがそれぞれのカウンタにロードされ、それを初期値としてダウンカウントが行われます。

リロードデータがカウンタにロードされる条件はPSET0、PSET1に"1"を書き込んでプリセットを行う場合と、カウンタのアンダーフローによって自動的にリロードが行われる場合です。

イニシャルリセット時、本レジスタはそれぞれ"FFH"に設定されます。

PTD00~PTD07: 00FF35H**PTD10~PTD17: 00FF36H**

プログラマブルタイマのデータが読み出せます。

PTD00~PTD07: タイマ0カウンタデータ

PTD10~PTD17: タイマ1カウンタデータ

本ビットは読み出し時にカウンタのデータが保持されるバッファとなっており、データは任意のタイミングで読み出しが可能です。ただし、16ビットモードでは読み出しエラー(PTD00~PTD07とPTD10~PTD17の読み出しの途中に、タイマ0からタイマ1へのボローが発生した場合のデータエラー)を回避するため、PTD10~PTD17はPTD00~PTD07の読み出しによってタイマ1のカウンタデータをラッチします。

PTD10~PTD17のラッチ状態はPTD10~PTD17の読み出し、または0.73msec~1.22msec(読み出しのタイミングにより異なる)の時間経過によって解除されます。したがって、16ビットモードではPTD00~PTD07、PTD10~PTD17の順でカウンタデータの読み出しを行ってください。

本ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、本ビットはそれぞれ"FFH"に設定されます。

PSET0, PSET1: 00FF31H-D1, 00FF32H-D1

リロードデータをカウンタにプリセットします。

"1"書き込み: プリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

PSET0に"1"を書き込むことによって、PLD00~PLD07のリロードデータがタイマ0のカウンタにプリセットされます。タイマ0のカウンタがRUN状態のときにプリセットを行うとリロードデータのプリセット直後にリスタートします。

また、STOP状態の場合はプリセットされたリロードデータがそのまま保持されます。

"0"の書き込みはノーオペレーションとなります。

同様に、PLD10~PLD17のリロードデータがPSET1によってタイマ1のカウンタにプリセットされます。なお、16ビットモードを選択している場合はPSET1への"1"書き込みは無効となります。

本ビットは書き込み専用のため、読み出しは常時"0"となります。

PRUN0, PRUN1: 00FF31H-D0, 00FF32H-D0

カウンタのRUN/STOPを制御します。

"1"書き込み: RUN

"0"書き込み: STOP

読み出し: 可能

タイマ0のカウンタはPRUN0に"1"を書き込むことによってダウンカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではプリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

同様に、タイマ1のカウンタがPRUN1によってRUN/STOP制御されます。

なお、16ビットモードを選択している場合はPRUN1は"0"に固定されます。

イニシャルリセット時、およびワンショットモードにおいてアンダーフローが発生したとき、本レジスタはそれぞれ"0"(STOP)に設定されます。

CHSEL: 00FF30H・D3

TOUT信号のチャンネルを選択します。

"1"書き込み: タイマ0アンダーフロー
 "0"書き込み: タイマ1アンダーフロー
 読み出し: 可能

TOUT信号にタイマ0のアンダーフローを使用するか、タイマ1のアンダーフローを使用するかを選択します。CHSELに"0"を書き込んだ場合はタイマ0、"1"を書き込んだ場合はタイマ1がそれぞれ選択されます。

なお、16ビットモードを選択している場合はタイマ1(16ビットタイマのアンダーフロー)固定となり、CHSELの設定は無効となります。イニシャルリセット時、CHSELは"0"(タイマ1アンダーフロー)に設定されます。

PTOUT: 00FF30H・D2

TOUT信号の出力制御を行います。

"1"書き込み: TOUT信号出力
 "0"書き込み: HIGHレベル(DC)出力
 読み出し: 可能

PTOUTはTOUT信号の出力制御レジスタで、"1"を設定するとTOUT信号がR27出力ポート端子から出力され、"0"を設定するとHIGHレベル(VDD)が出力されます。このとき、データレジスタR27Dには常時"1"が設定されている必要があります。

イニシャルリセット時、PTOUTは"0"(HIGHレベル出力)に設定されます。

PPT0, PPT1: 00FF21H・D2, D3

プログラマブルタイマ割り込みの優先レベルを設定します。

PPT0、PPT1はプログラマブルタイマ割り込みに対応した割り込みプライオリティレジスタで、設定できる割り込み優先レベルは表5.11.10.3のとおりです。

表5.11.10.3 割り込み優先レベルの設定

PPT1	PPT0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

EPT0, EPT1: 00FF23H・D6, D7

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可
 "0"書き込み: 割り込み禁止
 読み出し: 可能

EPT0、EPT1はそれぞれタイマ0、タイマ1の割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

なお、16ビットモードを選択している場合はEPT0の設定は無効となります。

イニシャルリセット時、本レジスタはそれぞれ"0"(割り込み禁止)に設定されます。

FPT0, FPT1: 00FF25H・D6, D7

プログラマブルタイマ割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり
 "0"読み出し: 割り込み要因なし
 "1"書き込み: 要因フラグをリセット
 "0"書き込み: 無効

FPT0、FPT1はそれぞれタイマ0、タイマ1の割り込みに対応する割り込み要因フラグで、それぞれのカウンタのアンダーフローに同期して"1"にセットされます。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

なお、16ビットモードを選択している場合は割り込み要因フラグFPT0は"1"にセットされず、タイマ0の割り込みも発生しません。(16ビットモード時は、16ビットカウンタのアンダーフローによって割り込み要因フラグFPT1が"1"にセットされます。)イニシャルリセット時、本フラグはそれぞれ"0"にリセットされます。

5.11.11 プログラミング上の注意事項

- (1) プログラマブルタイマはレジスタPRUN0(1)への書き込みに対して、入力クロックの立ち下がりがエッジに同期して実際にRUN/STOP状態となります。

したがって、PRUN0(1)に"0"を書き込んだ場合は、"-1"余分にカウントしたところでタイマが停止状態となります。また、このときPRUN0(1)は実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。

図5.11.11.1にRUN/STOP制御のタイミングチャートを示します。

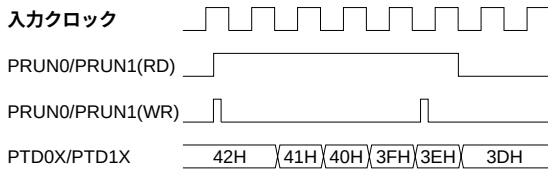


図5.11.11.1 RUN/STOP制御のタイミングチャート

なお、これについてはイベントカウンタモードは対象外です。

- (2) プログラマブルタイマがRUNしている状態 (PRUN0(1)="1")でSLP命令を実行した場合は、SLEEP状態からの復帰時にプログラマブルタイマが不安定な動作となります。したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前にプログラマブルタイマをSTOP状態 (PRUN0(1)="0")に設定してください。
- また、同様にR27出力ポート端子に不安定なクロックが出力されないようTOUT信号をディセーブル状態(PTOUT="0")に設定してください。

- (3) TOUT信号は出力制御レジスタPTOUTとは非同期に発生していますので、PTOUTの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

- (4) OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3の発振をONさせる必要があります。

なお、OSC3発振回路をONにしてから発振が安定するまでに数msec～数10msecの時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ONの後、十分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電氣的特性"に発振開始時間の一例を示しますので参照してください。)

イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

- (5) 16ビットモードを選択している場合はPTD00～PTD07、PTD10～PTD17の順でカウンタデータの読み出しを行ってください。また、PTD00～PTD07とPTD10～PTD17の読み出しの時間差は0.73msec以下としてください。

5.12 LCDコントローラ

5.12.1 LCDコントローラの構成

S1C88348/317/316は最大1,632ドット(51セグメント×32コモン)、S1C88308は最大1,312ドット(41セグメント×32コモン)のLCDパネルが駆動可能なドットマトリクスLCDドライバと、外部拡張LCDドライバの制御が可能なLCDコントローラを内蔵しています。

図5.12.1.1にLCDコントローラと駆動電源の構成を示します。

5.12.2 マスクオプション

内蔵LCDドライバの駆動デューティを1/32と1/16のソフトウェア切り換えとするか、1/8固定とするかをマスクオプションで選択することができます。

LCD駆動デューティ

- ☐ 1/32 & 1/16デューティ
- ☐ 1/8デューティ

"1/32 & 1/16デューティ"を選択した場合はソフトウェアで駆動デューティを選択することができます。駆動デューティ選択レジスタLDUTYに"0"を書き込んだ場合は1/32デューティ、"1"を書き込んだ場合は1/16デューティがそれぞれ選択されます。"1/8デューティ"を選択した場合は駆動デューティが1/8に固定され、LDUTYの設定は無効となります。内蔵LCDドライバを使用しない場合はデフォルトの"1/32 & 1/16デューティ"を選択してください。

5.12.3 LCD電源

LCD系の駆動電圧 $V_{C1} \sim V_{C5}$ は、内部の定電圧回路と昇圧回路によって発生される内部電源と、外部より印加する外部電源のどちらかをマスクオプションで選択することができます。また内部電源には、パネルの特性に合わせTYPE A(4.5V)、TYPE B(5.5V)の2種類があります。

LCD電源

- ☐ 内部電源 TYPE A (4.5V)
- ☐ 内部電源 TYPE B (5.5V)
- ☐ 外部電源

内部電源は、小規模LCDパネル用に設計されているため、表示画素が大きいパネルおよび外部拡張LCDドライバを使用した表示容量の大きいパネルの駆動には適していません。この場合は、外部電源を選択し、外部より規定の電圧を入力してください。

図5.12.3.1に外部電源の回路例を示します。

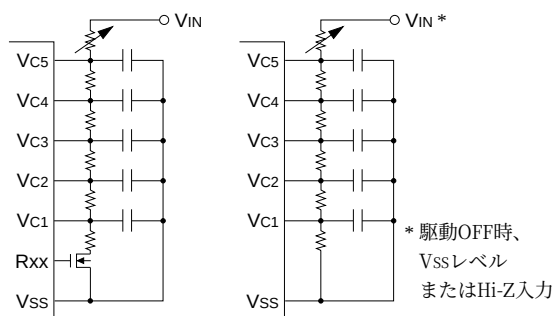


図5.12.3.1 外部電源の回路例

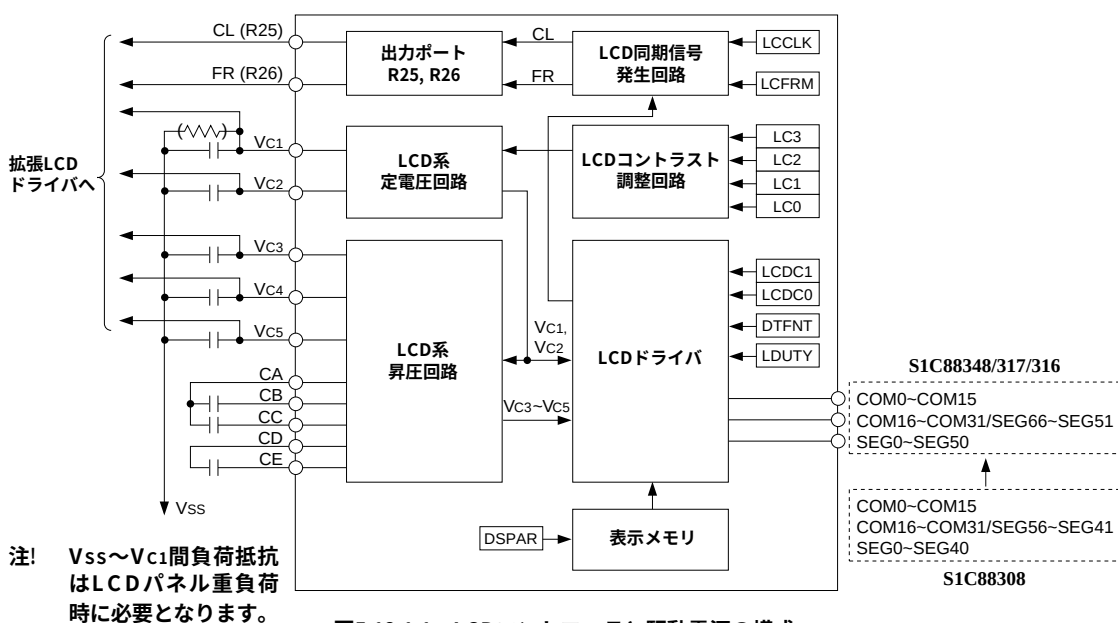


図5.12.1.1 LCDコントローラと駆動電源の構成

5.12.4 LCDドライバ

内蔵LCDドライバは駆動デューティの選択にしたがって、LCDパネルの最大駆動ドット数が変化します。

1/32デューティ選択時はコモン/セグメント兼用出力端子がコモン端子となり、S1C88348/317/316では51セグメント×32コモン(最大1,632ドット)、S1C88308では41セグメント×32コモン(最大1,312ドット)のLCDパネルがそれぞれ駆動可能となります。

1/16デューティ選択時はコモン/セグメント兼用出力端子が逆にセグメント端子となり、S1C88348/317/316では67セグメント×16コモン(最大1,072ドット)、S1C88308では57セグメント×16コモン(最大912ドット)のLCDパネルがそれぞれ駆動可能となります。

1/8デューティ選択時はコモン/セグメント兼用出力端子が1/16デューティ選択時同様セグメント端子となり、S1C88348/317/316では67セグメント×8コモン(最大536ドット)、S1C88308では57セグメント×8コモン(最大456ドット)のLCDパネルがそれぞれ駆動可能となります。なお、1/8デューティ選択時はCOM8～COM15端子が常時OFF信号を出力する無効な端子となります。

表5.12.4.1に駆動デューティと最大表示ドット数の対応を示します。

1/32、1/16、1/8デューティいずれも駆動バイアスは1/5($V_{C1} \sim V_{C5}$ による5電位)で、駆動波形はそれぞれ図5.12.4.1～図5.12.4.3に示すとおりとなります。

表5.12.4.1 駆動デューティと最大表示ドット数の対応

機種名	マスクオプション	LDUTY	デューティ	コモン端子	セグメント端子	最大表示ドット数
S1C88348	1/32 & 1/16	0	1/32	COM0～COM31	SEG0～SEG50	1,632ドット
S1C88317	デューティ	1	1/16	COM0～COM15	SEG0～SEG66	1,072ドット
S1C88316	1/8デューティ	×	1/8	COM0～COM7	SEG0～SEG66	536ドット
S1C88308	1/32 & 1/16	0	1/32	COM0～COM31	SEG0～SEG40	1,312ドット
	デューティ	1	1/16	COM0～COM15	SEG0～SEG56	912ドット
	1/8デューティ	×	1/8	COM0～COM7	SEG0～SEG56	456ドット

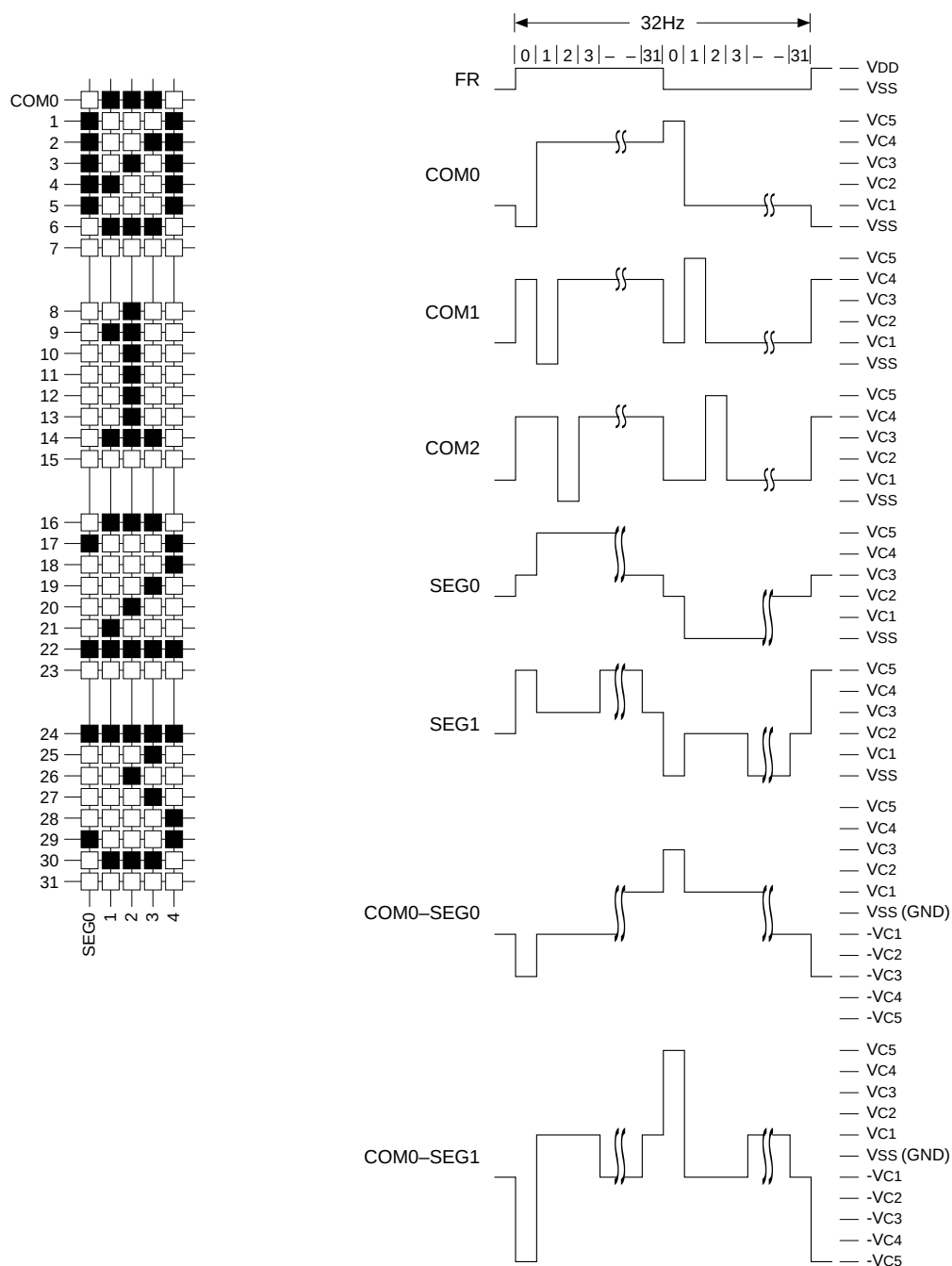


図5.12.4.1 1/32デューティの駆動波形

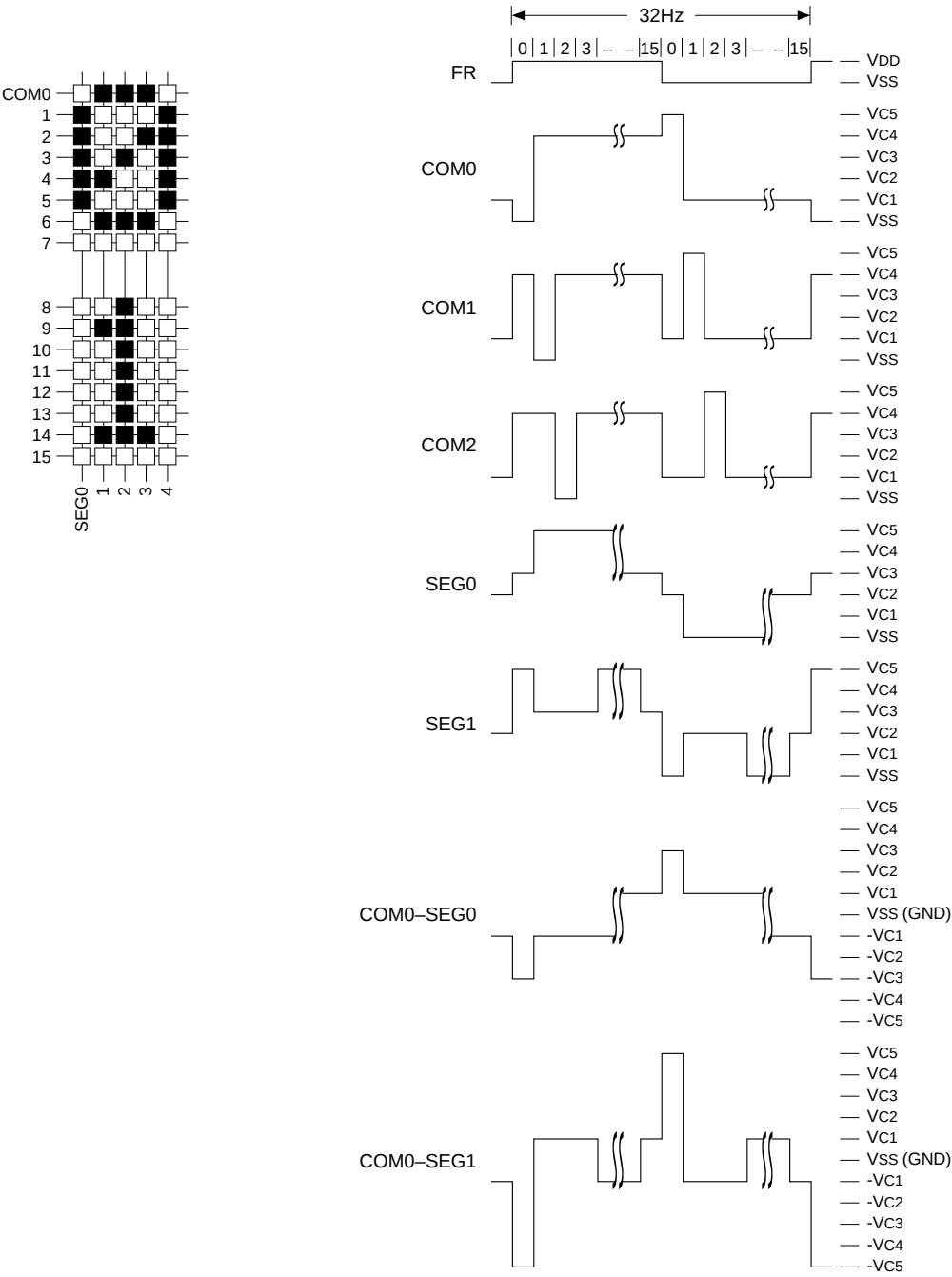


図5.12.4.2 1/16デューティの駆動波形

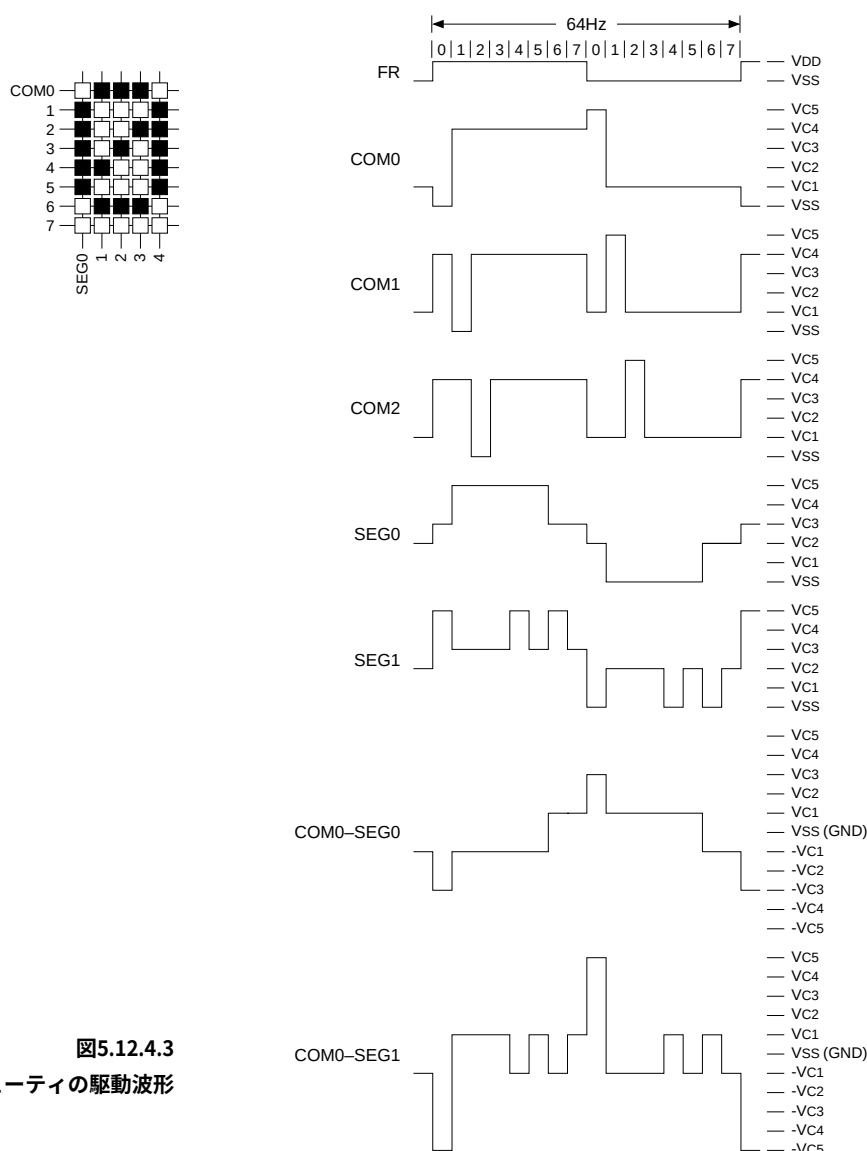


図5.12.4.3
1/8デューティの駆動波形

5.12.5 表示メモリ

S1C883xxは402バイトの表示メモリを内蔵しています。表示メモリはアドレスFx00H～Fx42H(x=8～DH)に割り付けられており、メモリビットとコモン/セグメント端子の対応は次に示す項目の選択状態にしたがって変化します。

- (1) 駆動デューティ(1/32、1/16または1/8デューティ)
- (2) ドットフォント(5×8または5×5ドット)

駆動デューティとして1/16または1/8デューティを選択した場合は2画面分のメモリを確保することができます。表示メモリ領域選択レジスタDSPARによって画面の切り換えを行うことができます。DSPARに"0"を書き込んだ場合は表示領域0、"1"を書き込んだ場合は表示領域1がそれぞれ選択されます。また、5×5ドットフォントのLCDパネルにソフトウェアで容易にキャラクタを表示できるよう5×8ドットと5×5ドット間で別々のメモリ配置を選択することができます。

この選択はドットフォント選択レジスタDTFNTによって行われ、DTFNTに"0"を書き込んだ場合は5×8ドット、"1"を書き込んだ場合は5×5ドットがそれぞれ選択されます。

駆動デューティとドットフォントの選択にしたがった表示メモリのビットとコモン/セグメント端子の対応を図5.12.5.1～図15.12.5.6にそれぞれ示します。

LCDパネル上のドットに対応する表示メモリのビットに"1"を書き込むとそのドットがONし、"0"を書き込むとOFFします。表示メモリはリード/ライト可能なRAM構造となっているため、論理演算命令等(リードモディファイライト命令)によるビット単位の制御を行うことができます。

402バイトの表示メモリ中で表示領域に割り当てられないビットは、リード/ライト可能な汎用RAMとして使用することができます。なお、表示メモリ領域に外部メモリを拡張した場合でも、この領域は外部メモリには解放されません。この領域のアクセスは常に表示メモリに対して行われます。

アドレス/データビット	0								1								2								3								4				COM
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2		
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0																																					
D1																																					
D2																																					
D3																																					
D4																																					
D5																																					
D6																																					
D7																																					
D0	</																																				

図5.12.5.1 1/32デューティ、5×8ドット表示メモリマップ

* S1C88308では00Fx29H~00Fx32H(x=8~BH)の領域が、表示には影響を与えないリード/ライト可能な汎用RAMとして確保されます。

アドレス/データビット	0																1																2																3																4				COM																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																									
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3		4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C

図5.12.5.2 1/32デューティ、5×5ドット表示メモリマップ

* S1C88308では00Fx29H~00Fx32H(x=8~DH)の領域が、表示には影響を与えないリード/ライト可能な汎用RAMとして確保されます。

アドレス/データビット		0																1																2																3																4				COM
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4																																
表示領域0(DSPARに"0"が設定されている場合)																																																																						
00F800H └	D0																																																																					
	D1																																																																					
	D2																																																																					
	D3																																																																					
	D4																																																																					
	D5																																																																					
	D6																																																																					
00F842H	D7																																																																					
	D0																																																																					
	D1																																																																					
	D2																																																																					
	D3																																																																					
	D4																																																																					
	D5																																																																					
00F942H	D6																																																																					
	D7																																																																					
	D0																																																																					
	D1																																																																					
	D2																																																																					
	D3																																																																					
	D4																																																																					
00FA00H └	D5																																																																					
	D6																																																																					
	D7																																																																					
	D0																																																																					
	D1																																																																					
	D2																																																																					
	D3																																																																					
00FA42H	D4																																																																					
	D5																																																																					
	D6																																																																					
	D7																																																																					
	D0																																																																					
	D1																																																																					
	D2																																																																					
00FB00H └	D3																																																																					
	D4																																																																					
	D5																																																																					
	D6																																																																					
	D7																																																																					
	D0																																																																					
	D1																																																																					
00FC00H └	D2																																																																					
	D3																																																																					
	D4																																																																					
	D5																																																																					
	D6																																																																					
	D7																																																																					
	00FC42H	D0																																																																				
D1																																																																						
D2																																																																						
D3																																																																						
D4																																																																						
D5																																																																						
D6																																																																						
00FD00H └	D7																																																																					
	D0																																																																					
	D1																																																																					
	D2																																																																					
	D3																																																																					
	D4																																																																					
	D5																																																																					
00FD42H	D6																																																																					
	D7																																																																					
	SEG																																																																					
	0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 64 65 66																																																																					

図5.12.5.3 1/16デューティ、5×8ドット表示メモリマップ

* S1C88308では00Fx39H~00Fx42H(x=8~BH)の領域が、表示には影響を与えないリード/ライト可能な汎用RAMとして確保されます。

アドレス/データビット	0																1																2																3																4				COM
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7													
00F800H ? 00F842H	D0	D1	D2	D3	D4	D5	D6	D7	表示領域0(DSPARに"0"が設定されている場合)																																																												
00F900H ? 00F942H	D0	D1	D2	D3	D4	D5	D6	D7																																																													
00FA00H ? 00FA42H	D0	D1	D2	D3	D4	D5	D6	D7	表示領域1(DSPARに"1"が設定されている場合)																																																												
00FB00H ? 00FB42H	D0	D1	D2	D3	D4	D5	D6	D7																																																													
00FC00H ? 00FC42H	D0	D1	D2	D3	D4	D5	D6	D7																																																													
00FD00H ? 00FD42H	D0	D1	D2	D3	D4	D5	D6	D7																																																													
SEG	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66		

図5.12.5.5 1/8デューティ、5×8ドット表示メモリマップ

* S1C88308では00Fx39H～00Fx42H(x=8、0AH)の領域が、表示には影響を与えないリード/ライト可能な汎用RAMとして確保されます。

アドレスデータビット		0																1																2																3																4				COM
		0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4																																
00F800H └	D0	表示領域0(DSPARに"0"が設定されている場合)																																																																				
	D1																																																																					
	D2																																																																					
	D3																																																																					
	D4																																																																					
00F842H	D5																																																																					
	D6																																																																					
	D7																																																																					
	D0																																																																					
	D1																																																																					
00F900H └	D2	表示領域0(DSPARに"0"が設定されている場合)																																																																				
	D3																																																																					
	D4																																																																					
	D5																																																																					
	D6																																																																					
00F942H	D7																																																																					
	D0																																																																					
	D1																																																																					
	D2																																																																					
	D3																																																																					
00FA00H └	D4																																																																					
	D5																																																																					
	D6																																																																					
	D7																																																																					
	D0																																																																					
00FA42H └	D1																																																																					
	D2																																																																					
	D3																																																																					
	D4																																																																					
	D5																																																																					
00FB00H └	D6	表示領域1(DSPARに"1"が設定されている場合)																																																																				
	D7																																																																					
	D0																																																																					
	D1																																																																					
	D2																																																																					
00FB42H	D3																																																																					
	D4																																																																					
	D5																																																																					
	D6																																																																					
	D7																																																																					
00FC00H └	D0	表示領域1(DSPARに"1"が設定されている場合)																																																																				
	D1																																																																					
	D2																																																																					
	D3																																																																					
	D4																																																																					
00FC42H	D5																																																																					
	D6																																																																					
	D7																																																																					
	D0																																																																					
	D1																																																																					
00FD00H └	D2	表示領域1(DSPARに"1"が設定されている場合)																																																																				
	D3																																																																					
	D4																																																																					
	D5																																																																					
	D6																																																																					
00FD42H └	D7																																																																					
	D0																																																																					
	D1																																																																					
	D2																																																																					
	D3																																																																					
00FD42H └	D4																																																																					
	D5																																																																					
	D6																																																																					
	D7																																																																					
	D0																																																																					
SEG	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66			

図5.12.5.6 1/8デューティ、5×5ドット表示メモリマップ

* S1C88308では00Fx39H~00Fx42H(x=8、9、BH、CH)の領域が、表示には影響を与えないリード/ライト可能な汎用RAMとして確保されます。

5.12.6 表示の制御

内蔵LCDドライバの表示状態とコントラストの調整を内蔵のLCDコントローラによって制御することができます。

LCDの表示状態は表示制御レジスタLCDC0、LCDC1によって選択され、設定値と表示状態を表5.12.6.1に示すとおり対応しています。

表5.12.6.1 LCD表示制御

LCDC1	LCDC0	LCD表示
1	1	全点灯 (スタティク)
1	0	全消灯 (ダイナミック)
0	1	通常表示
0	0	駆動 OFF

全点灯および全消灯はLCDドライバが出力する駆動波形を直接制御するもので、表示メモリのデータは変更されません。また、このときのコモン端子はそれぞれ全点灯ではスタティク駆動、全消灯ではダイナミック駆動となるため、次のような用途にこの機能を使用することができます。

- (1) 全点灯はスタティク駆動による2値(V_{C5}とV_{SS})出力となるため、コモン/セグメント端子をOSC1発振周波数の周波数調整用モニタ端子として使用することができます。
- (2) 全消灯はダイナミック駆動のため、LCD表示全体を点滅させたい場合に表示メモリのデータを変更せずに点滅を実現することができます。

駆動OFFを選択した場合はLCD駆動電源回路がOFFとなり、V_{C1}～V_{C5}端子はすべてV_{SS}レベルとなります。ただし、マスクオプションで外部電源を選択した場合、駆動OFF時V_{C1}～V_{C5}はフローティング状態になります。

なお、レジスタLCDC0、LCDC1はSLP命令が実行されることで、自動的にハードウェアによって"0"にリセット("駆動OFF"に設定)されます。

LCDのコントラストは16段階の調整が可能です。この調整はコントラスト調整レジスタLC0～LC3によって行われ、設定値とコントラストの濃淡を表5.12.6.2に示すとおり対応しています。ただし、マスクオプションで外部電源を選択した場合、LCDコントラスト調整レジスタLC0～LC3の設定によるコントラスト調整は無効となります。

表5.12.6.2 LCDのコントラスト調整

LC3	LC2	LC1	LC0	コントラスト
1	1	1	1	濃
1	1	1	0	↑
1	1	0	1	
⋮	⋮	⋮	⋮	
0	0	1	0	
0	0	0	1	↓
0	0	0	0	淡

5.12.7 CL、FR出力

S1C883xxは外部に拡張LCDドライバを接続した場合のために、CL信号(LCD同期信号)とFR信号(LCDフレーム信号)をR25、R26出力ポート端子から出力させることができます。出力ポートR25およびR26の構成を図5.12.7.1に示します。

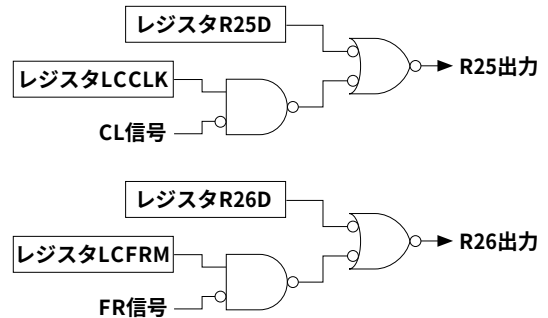


図5.12.7.1 R25、R26の構成

CL信号はレジスタLCCLKによって出力制御が行われます。LCCLKに"1"を設定するとCL信号がR25出力ポート端子から出力され、"0"を設定するとHIGH(V_{DD})レベルが出力されます。このとき、データレジスタR25Dには常時"1"が設定されている必要があります。

FR信号はレジスタLCFRMによって出力制御が行われます。LCFRMに"1"を設定するとFR信号がR26出力ポート端子から出力され、"0"を設定するとHIGH(V_{DD})レベルが出力されます。このとき、データレジスタR26Dには常時"1"が設定されている必要があります。

それぞれの信号の周波数は駆動デューティの選択にしたがって、表5.12.7.1のとおり変化します。

表5.12.7.1 CL信号とFR信号の周波数

駆動デューティ	CL信号 (Hz)	FR信号 (Hz)
1/32	2,048	32
1/16	1,024	32
1/8	1,024	64

なお、それぞれの信号ともレジスタLCCLKおよびLCFRMとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.12.7.2にCL信号とFR信号の出力波形を示します。

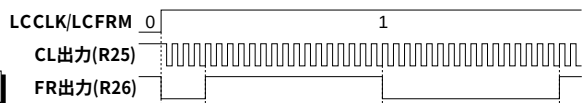


図5.12.7.2 CL信号とFR信号の出力波形
(1/16デューティ選択時)

5.12.8 LCDコントローラの制御方法

表5.12.8.1にLCDコントローラの制御ビットを示します。

表5.12.8.1 LCDコントローラの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF10	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	LCCLK	拡張LCDドライバ用CL出力制御	On	Off	0	R/W	
	D3	LCFRM	拡張LCDドライバ用FR出力制御	On	Off	0	R/W	
	D2	DTFNT	LCDドットフォント選択	5×5ドット	5×8ドット	0	R/W	
	D1	LDUTY	LCD駆動デューティ選択	1/16デューティ	1/32デューティ	0	R/W	
	D0	SGOUT	汎用レジスタ	1	0	0	R/W	予約レジスタ
00FF11	D7	—	—	—	—	—		読み出し時は"0"
	D6	DSPAR	LCD表示メモリ領域選択	表示領域1	表示領域0	0	R/W	
	D5	LCDC1	LCD表示制御			0	R/W	SLP命令実行時に (0, 0)にリセット
			LCDC1 LCDC0 LCD表示					
			1 1 全点灯					
	D4	LCDC0	1 0 全消灯			0	R/W	
			0 1 通常表示					
			0 0 駆動Off					
	D3	LC3	LCDコントラスト調整			0	R/W	
	D2	LC2	LC3 LC2 LC1 LC0 コントラスト			0	R/W	
			1 1 1 1 濃					
	D1	LC1	1 1 1 0 :			0	R/W	
			: : : :					
	D0	LC0	0 0 0 0 淡			0	R/W	

*1 マスクオプションで1/8デューティを選択している場合は、本レジスタの設定は無効となります。

LDUTY: 00FF10H・D1

駆動デューティを選択します。

"1"書き込み: 1/16デューティ

"0"書き込み: 1/32デューティ

読み出し: 可能

マスクオプションで"1/32 & 1/16デューティ"を選択した場合の駆動デューティを、1/32とするか1/16とするかを選択します。

LDUTYに"0"を書き込んだ場合は1/32デューティが選択され、コモン/セグメント兼用出力端子はコモン端子に設定されます。

また、LDUTYに"1"を書き込んだ場合は1/16デューティが選択され、コモン/セグメント兼用出力端子はセグメント端子に設定されます。

マスクオプションで"1/8デューティ"を選択した場合はコモン/セグメント兼用出力端子はセグメント端子固定となり、LDUTYの設定は無効となります。

駆動デューティの選択にしたがった表示メモリのビットとコモン/セグメント端子の対応については、図5.12.5.1～図5.12.5.6を参照してください。イニシャルリセット時、LDUTYは"0"(1/32デューティ)に設定されます。

DTFNT: 00FF10H・D2

ドットフォントを選択します。

"1"書き込み: 5×5ドット

"0"書き込み: 5×8ドット

表示メモリ上の表示領域を5×8ドットに適合させるか、5×5ドットに適合させるかを選択します。DTFNTに"0"を書き込むと5×8ドット、"1"を書き込むと5×5ドットがそれぞれ選択されます。

ドットフォントの選択にしたがった表示メモリのビットとコモン/セグメント端子の対応については、図5.12.5.1～図5.12.5.6を参照してください。イニシャルリセット時、DTFNTは"0"(5×8ドット)に設定されます。

DSPAR: 00FF11H・D6

表示領域を選択します。

"1"書き込み: 表示領域1

"0"書き込み: 表示領域0

読み出し: 可能

1/16または1/8デューティ選択時に表示メモリ中に2画面分確保される表示領域のどちらを表示させるかを選択します。DSPARに"0"を書き込むと表示領域0、"1"を書き込むと表示領域1がそれぞれ選択されます。

1/32デューティ選択時は1画面分のみの表示領域となるため、DSPARの設定は無効となります。

表示領域の選択にしたがった表示メモリのビットとコモン/セグメント端子の対応については、図5.12.5.1～図5.12.5.6を参照してください。

イニシャルリセット時、DSPARは"0"(表示領域0)に設定されます。

LCDC0, LCDC1: 00FF11H・D4, D5

LCDの表示を制御します。

表5.12.8.2 LCDの表示制御

LCDC1	LCDC0	LCD表示
1	1	全点灯 (スタティック)
1	0	全消灯 (ダイナミック)
0	1	通常表示
0	0	駆動 OFF

上記4種類の状態を表示メモリのデータを変更せずに設定することができます。

イニシャルリセット時、およびSLEEP状態のとき本レジスタは"0"(駆動OFF)に設定されます。

LC0~LC3: 00FF11H・D0~D3

LCDのコントラストを調整します。

表5.12.8.3 LCDのコントラスト調整

LC3	LC2	LC1	LC0	コントラスト
1	1	1	1	濃
1	1	1	0	↑
1	1	0	1	
1	1	0	0	
1	0	1	1	
1	0	1	0	
1	0	0	1	
1	0	0	0	
0	1	1	1	
0	1	1	0	
0	1	0	1	
0	1	0	0	
0	0	1	1	
0	0	1	0	
0	0	0	1	↓
0	0	0	0	淡

コントラストは上記16段階の調整を行うことができ、これによってV_{C1}～V_{C5}端子の駆動電圧が変化します。

イニシャルリセット時、本レジスタは"0"に設定されます。

注! マスクオプションで外部電源を選択した場合、本レジスタの設定は無効となります。

LCCLK: 00FF10H・D4

CL信号の出力制御を行います。

"1"書き込み: CL信号出力

"0"書き込み: HIGHレベル(DC)出力

読み出し: 可能

LCCLKはCL信号の出力制御レジスタで、"1"を設定するとCL信号がR25出力ポート端子から出力され、"0"を設定するとHIGH(V_{DD})レベルが出力されます。このとき、データレジスタR25Dには常時"1"が設定されている必要があります。

イニシャルリセット時、LCCLKは"0"(HIGHレベル出力)に設定されます。

LCFRM: 00FF10H・D3

FR信号の出力制御を行います。

"1"書き込み: FR信号出力

"0"書き込み: HIGHレベル(DC)出力

読み出し: 可能

LCFRMはFR信号の出力制御レジスタで、"1"を設定するとFR信号がR26出力ポート端子から出力され、"0"を設定するとHIGH(V_{DD})レベルが出力されます。このとき、データレジスタR26Dには常時"1"が設定されている必要があります。

イニシャルリセット時、LCFRMは"0"(HIGHレベル出力)に設定されます。

5.12.9 プログラミング上の注意事項

- (1) CL、FR信号は出力制御レジスタLCCLK、LCFRMとは非同期に発生していますので、LCCLK、LCFRMの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- (2) 表示制御レジスタLCDC0、LCDC1はSLP命令が実行されることで、自動的にハードウェアによって"0"にリセットされます。また、CL、FR信号はSLEEP状態ではHIGH(V_{DD})レベルを出力します。(レジスタR25D、R26Dが"1"の場合)

5.13 サウンドジェネレータ

5.13.1 サウンドジェネレータの構成

S1C883xxはBZ(ブザー)信号を発生するサウンドジェネレータを内蔵しています。

ここで発生したBZ信号はR50出力ポート端子から出力することができます。

ブザー信号の周波数と音量(デューティ調整)をソフトウェアによってそれぞれ8段階に設定できるほか、デューティ比制御によるデジタルエンベロープを付加することができます。また、キー操作音等を出すための、ワンショット出力機能も内蔵しています。

図5.13.1.1にサウンドジェネレータの構成を示します。

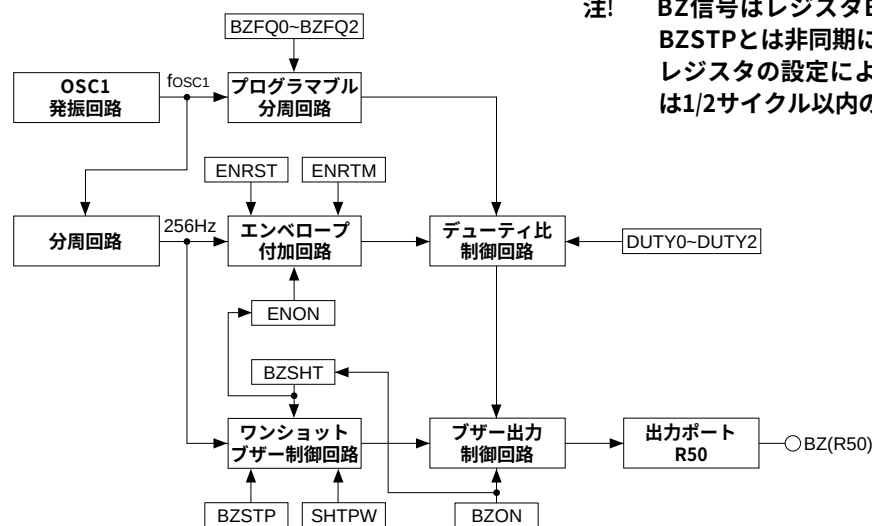


図5.13.1.1 サウンドジェネレータの構成

5.13.2 ブザー出力の制御

BZ信号はR50出力ポート端子から出力させることができます。

出力ポートR50の構成を図5.13.2.1に示します。

サウンドジェネレータで発生したBZ信号はブザー出力制御レジスタBZON、ワンショットブザートリガビットBZSHTおよびワンショットブザー強制停止ビットBZSTPによって出力制御が行われます。BZONまたはBZSHTに"1"を設定するとBZ信号がR50出力ポート端子から出力され、BZONに"0"またはBZSTPに"1"を設定するとLOW(Vss)レベルが出力されます。このとき、出力データレジスタR50Dには常時"0"が設定されている必要があります。

図5.13.2.2にBZ信号の出力波形を示します。

注! BZ信号はレジスタBZON、BZSHTおよびBZSTPとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

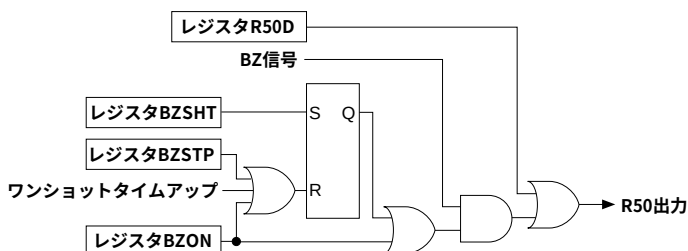


図5.13.2.1 R50の構成

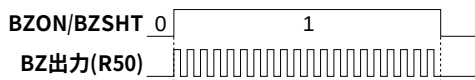


図5.13.2.2 BZ信号の出力波形

5.13.3 ブザー周波数と音量の設定

BZ信号はOSC1発振回路(32.768kHz)を原振とする分周信号で、8種類の周波数を選択することができます。この選択はブザー周波数選択レジスタBZFQ0～BZFQ2によって行われ、設定値とブザー周波数とが表5.13.3.1に示すとおり対応しています。

BZ信号のデューティ比を8種類の中から選択することで、ブザーの音量を調整することができます。この選択はデューティ比選択レジスタDUTY0～DUTY2によって行われ、設定値とデューティ比とが表5.13.3.2に示すとおり対応しています。

表5.13.3.1 ブザー周波数の設定

BZFQ2	BZFQ1	BZFQ0	ブザー周波数 (Hz)
0	0	0	4096.0
0	0	1	3276.8
0	1	0	2730.7
0	1	1	2340.6
1	0	0	2048.0
1	0	1	1638.4
1	1	0	1365.3
1	1	1	1170.3

表5.13.3.2 デューティ比の設定

レベル	DUTY2	DUTY1	DUTY0	各ブザー周波数(Hz)におけるデューティ比			
				4096.0	3276.8	2730.7	2340.6
				2048.0	1638.4	1365.3	1170.3
レベル1 (最大)	0	0	0	8/16	8/20	12/24	12/28
レベル2	0	0	1	7/16	7/20	11/24	11/28
レベル3	0	1	0	6/16	6/20	10/24	10/28
レベル4	0	1	1	5/16	5/20	9/24	9/28
レベル5	1	0	0	4/16	4/20	8/24	8/28
レベル6	1	0	1	3/16	3/20	7/24	7/28
レベル7	1	1	0	2/16	2/20	6/24	6/28
レベル8 (最小)	1	1	1	1/16	1/20	5/24	5/28

デューティ比はパルス周期に対するパルス幅の比率のことで、HIGHレベル出力時間をTH、LOWレベル出力時間をTLとした場合、BZ信号はTH/(TH+TL)となります。

DUTY0～DUTY2をすべて"0"に設定した場合はデューティ比が最大となり、音量も最大となります。逆にDUTY0～DUTY2をすべて"1"に設定した場合はデューティ比が最小となり、音量も最小となります。

なお、設定できるデューティ比は各周波数によって異なりますので、表5.13.3.2を参照してください。

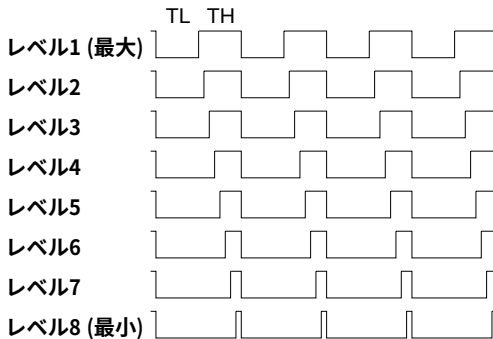


図5.13.3.1 BZ信号波形のデューティ比

注！ デジタルエンベロープを使用する場合、DUTY0～DUTY2の設定は無効となります。

5.13.4 デジタルエンベロープ

BZ信号に対してデューティ比制御のデジタルエンベロープを付加することができます。

エンベロープは前項の表5.13.3.2と同様に、BZ信号のデューティ比をレベル1(最大)からレベル8(最小)まで段階的に変化させることで実現されます。

BZ信号に対するエンベロープの付加は、エンベロープ制御レジスタENONに"1"を書き込むことによって行われ、"0"が書き込まれた場合はDUTY0～DUTY2によって選択されるデューティ比に固定されます。

ENONに"1"を設定してブザー出力をONにする(BZONに"1"を書き込む)と、レベル1のデューティ比のBZ信号が出力され以後レベル8まで段階的に減衰します。減衰したエンベロープは、エンベローププリセットビットENRSTに"1"を書き込むことによってレベル1まで復帰させることができます。一度レベル8まで減衰すると、ブザー出力をOFFにする(BZONに"0"を書き込む)かENRSTに"1"を書き込むまでレベル8のデューティ比は保持されます。

なお、エンベロープレベル1段階あたりの変化時間はエンベロープ減衰時間選択レジスタENRTMによって125msec、または62.5msecが選択できます。図5.13.4.1にデジタルエンベロープのタイミングチャートを示します。

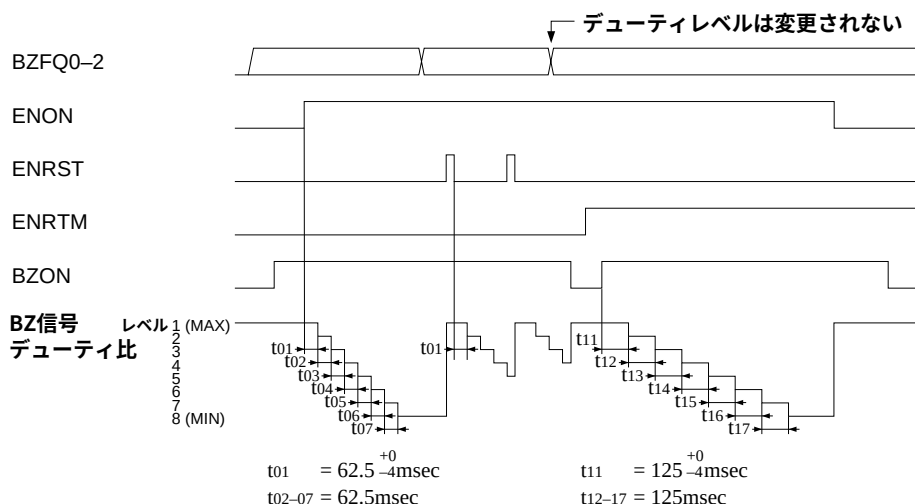


図5.13.4.1 デジタルエンベロープのタイミングチャート

5.13.5 ワンショット出力

キー操作音などのように短い時間BZ信号を出力させる場合のために、サウンドジェネレータはワンショット出力機能を内蔵しています。BZ信号の出力時間はワンショットブザー時間幅選択レジスタSHTPWによって125msec、または31.25msecが選択できます。

ワンショットブザーの出力制御はワンショットブザートリガBZSHTに"1"を書き込むことによって行われ、このトリガ後に内部の256Hz信号に同期してR50出力ポート端子からBZ信号が出力されます。設定時間経過後、出力開始時同様256Hz信号に同期して、自動的にBZ信号はOFFされます。

BZSHTはステータスとして読み出しも可能で、"1"の場合はBUSY状態(ワンショット出力中)、“0”の場合はREADY状態(停止中)をそれぞれ示します。設定時間経過前にBZ信号をOFFさせたい場合は、ワンショットブザー強制停止ビットBZSTPに"1"を書き込むことで即BZ信号を強制停止(この場合256Hzとは非同期にOFF)させることができます。

ワンショット出力は短時間のため、エンベロープを付加することはできません。(BZSHTに"1"を書き込むと自動的にENONが"0"にリセットされます。)したがって、ワンショット出力時は周波数と音量(デューティ比)の設定のみが可能となります。

通常のブザー出力中は、ワンショット出力の制御は無効となります。

図5.13.5.1にワンショット出力のタイミングチャートを示します。

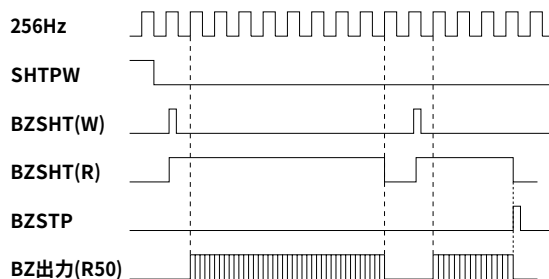


図5.13.5.1 ワンショット出力のタイミングチャート

5.13.6 サウンドジェネレータの制御方法

表5.13.6.1にサウンドジェネレータの制御ビットを示します。

表5.13.6.1 サウンドジェネレータの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF44	D7	—	—	—	—	—	—	読み出し時は 常時"0"
	D6	BZSTP	ワンショットブザー強制停止	強制停止	無効	—	W	
	D5	BZSHT	ワンショットブザートリガ/ステータス	Busy トリガ	Ready 無効	0	R/W	
	D4	SHTPW	ワンショットブザー時間幅選択	125msec	31.25msec	0	R/W	
	D3	ENRTM	エンペロープ減衰時間	1sec	0.5sec	0	R/W	
	D2	ENRST	エンペローププリセット	リセット	無効	—	W	読み出し時は"0"
	D1	ENON	エンペロープOn/Off制御	On	Off	0	R/W	*1
	D0	BZON	ブザー出力制御	On	Off	0	R/W	
00FF45	D7	—	—	—	—	—	—	読み出し時は"0"
	D6	DUTY2	ブザー信号デューティ比選択 DUTY2-1 ブザー周波数(Hz) 2 1 0 4096.0 3276.8 2730.7 2340.6 2048.0 1638.4 1365.3 1170.3			0	R/W	
	D5	DUTY1	0 0 0 8/16 8/20 12/24 12/28			0	R/W	
			0 0 1 7/16 7/20 11/24 11/28					
			0 1 0 6/16 6/20 10/24 10/28					
			0 1 1 5/16 5/20 9/24 9/28					
	D4	DUTY0	1 0 0 4/16 4/20 8/24 8/28			0	R/W	
			1 0 1 3/16 3/20 7/24 7/28					
			1 1 0 2/16 2/20 6/24 6/28					
			1 1 1 1/16 1/20 5/24 5/28					
	D3	—	—	—	—	—	—	読み出し時は"0"
	D2	BZFQ2	ブザー周波数選択 BZFQ2 BZFQ1 BZFQ0 周波数(Hz) 0 0 0 4096.0			0	R/W	
	D1	BZFQ1	0 0 1 3276.8			0	R/W	
			0 0 1 2730.7					
			0 1 1 2340.6					
	D0	BZFQ0	1 0 0 2048.0			0	R/W	
			1 0 1 1638.4					
			1 1 0 1365.3					
			1 1 1 1170.3					

*1 ワンショット出力時、"0"にリセット

BZON: 00FF44H・D0

BZ信号の出力制御を行います。

"1"書き込み: BZ信号出力

"0"書き込み: LOWレベル(DC)出力

読み出し: 可能

BZONはBZ信号の出力制御レジスタで、"1"を設定するとBZ信号がR50出力ポート端子から出力され、"0"を設定するとLOW(Vss)レベルが出力されます。このとき、データレジスタR50Dには常時"0"が設定されている必要があります。

イニシャルリセット時、BZONは"0"(LOWレベル出力)に設定されます。

BZFQ0~BZFQ2: 00FF45H・D0~D2

BZ信号の周波数を選択します。

表5.13.6.2 ブザー周波数の設定

BZFQ2	BZFQ1	BZFQ0	ブザー周波数 (Hz)
0	0	0	4096.0
0	0	1	3276.8
0	1	0	2730.7
0	1	1	2340.6
1	0	0	2048.0
1	0	1	1638.4
1	1	0	1365.3
1	1	1	1170.3

ブザー周波数はOSC1クロックを分周した上記8種類が選択できます。

イニシャルリセット時、本レジスタは"0"(4096.0Hz)に設定されます。

DUTY0~DUTY2: 00FF45H・D4~D6

BZ信号のデューティ比を選択します。

表5.13.6.3 デューティ比の設定

レベル	DUTY2	DUTY1	DUTY0	各ブザー周波数(Hz)におけるデューティ比			
				4096.0 2048.0	3276.8 1638.4	2730.7 1365.3	2340.6 1170.3
レベル1 (最大)	0	0	0	8/16	8/20	12/24	12/28
レベル2	0	0	1	7/16	7/20	11/24	11/28
レベル3	0	1	0	6/16	6/20	10/24	10/28
レベル4	0	1	1	5/16	5/20	9/24	9/28
レベル5	1	0	0	4/16	4/20	8/24	8/28
レベル6	1	0	1	3/16	3/20	7/24	7/28
レベル7	1	1	0	2/16	2/20	6/24	6/28
レベル8 (最大)	1	1	1	1/16	1/20	5/24	5/28

上記8種類のデューティ比を選択することによって、ブザーの音量を調整することができます。ただし、エンベロープをON(ENON="1")に設定している場合は、この設定は無効となります。

イニシャルリセット時、本レジスタは"0"(レベル1)に設定されます。

ENRST: 00FF44H・D2

エンベロープをリセットします。

"1"書き込み: リセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

エンベロープはENRSTに"1"を書き込むことによってリセットされ、デューティ比がレベル1(最大)まで復帰されます。

ENRSTへの"0"書き込みおよびエンベロープ未使用(ENON="0")時の"1"書き込みは無効となります。

ENRSTは書き込み専用のため、読み出し時は常時"0"となります。

ENON: 00FF44H・D1

BZ信号に対するエンベロープの付加を制御します。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

ENONに"1"を書き込むことによって、BZ信号出力時にエンベロープを付加することができます。"0"を書き込んだ場合はエンベロープは付加されず、BZ信号はDUTY0~DUTY2によって選択されるデューティ比に固定されます。

イニシャルリセット時、およびBZSHTに"1"を書き込んだときENONは"0"(OFF)に設定されます。

ENRTM: 00FF44H・D3

BZ信号に付加されるエンベロープの減衰時間を選択します。

"1"書き込み: 1.0sec (125msec×7=875msec)

"0"書き込み: 0.5sec (62.5msec×7=437.5msec)

読み出し: 可能

デジタルエンベロープの減衰時間はデューティ比の変化する時間で決定されます。ENRTMに"1"を書き込んだ場合は125msec(8Hz)単位、"0"を書き込んだ場合は62.5msec(16Hz)単位でデューティ比が変化します。

エンベロープをOFF(ENON="0")に設定している場合は、この設定は無効です。

イニシャルリセット時、ENRTMは"0"(0.5sec)に設定されます。

SHTPW: 00FF44H・D4

ワンショットブザーの出力時間幅を選択します。

"1"書き込み: 125msec

"0"書き込み: 31.25msec

読み出し: 可能

ワンショットブザーの出力時間幅は、SHTPWに"1"を書き込んだ場合が125msec、"0"を書き込んだ場合が62.5msecにそれぞれ設定されます。

イニシャルリセット時、SHTPWは"0"(31.25msec)に設定されます。

BZSHT: 00FF44H・D5

ワンショットブザー出力の制御を行います。

"1"書き込み: トリガ

"0"書き込み: ノーオペレーション

"1"読み出し: BUSY

"0"読み出し: READY

BZSHTに"1"を書き込むことによってワンショット出力回路が動作し、BZ信号が出力されます。このブザー出力はSHTPWによって設定した時間の経過後に自動的にOFFとなります。このとき、データレジスタR50Dには常時"0"が設定されている必要があります。

ワンショット出力は通常のブザー出力がOFF (BZON="0")の状態でのみ有効で、ON(BZON="1")状態でのトリガは無効となります。

ワンショット出力中に再トリガを行った場合は、その時点からSHTPWによって設定した時間を計測し直します。(時間延長)

ワンショット出力回路の動作状態はBZSHTを読み出すことによって確認することができ、ワンショット出力(BUSY)中は"1"、OFF(READY)時は"0"が読み出せます。

イニシャルリセット時、BZSHTは"0"(READY)に設定されます。

BZSTP: 00FF44H・D6

ワンショットブザー出力の強制停止を行います。

"1"書き込み: 強制停止

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

BZSTPに"1"を書き込むことによって、SHTPWによる設定時間が経過する以前にワンショットブザー出力を強制停止させることができます。

BZSTPへの"0"書き込みおよびワンショットブザー出力中以外の"1"書き込みは無効となります。

なお、BZSHTとBZSTPに同時に"1"を書き込んだ場合はBZSTPが優先され、ワンショットブザー出力は停止状態となります。

BZSTPは書き込み専用のため、読み出し時は常時"0"となります。

5.13.7 プログラミング上の注意事項

- (1) BZ信号は出力制御レジスタBZONとは非同期に発生していますので、BZONの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- (2) BZ信号がイネーブルの状態(BZON="1"またはBZSHT="1")でSLP命令を実行した場合は、SLEEP状態からの復帰時にR50出力ポート端子に不安定なクロックが出力されます。したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前にBZ信号をディセーブル状態(BZON=BZSHT="0")に設定してください。
- (3) ワンショット出力は通常のブザー出力がOFF (BZON="0")の状態でのみ有効で、ON (BZON="1")状態でのトリガは無効となります。

5.14 アナログコンパレータ

5.14.1 アナログコンパレータの構成

S1C883xxはMOS入力のアナログコンパレータを2チャンネル内蔵しています。それぞれのアナログコンパレータは差動入力端子を2本(反転入力端子CMPMx、非反転入力端子CMPPx)持ち、汎用目的に使用することができます。

図5.14.1.1にアナログコンパレータの構成を示します。

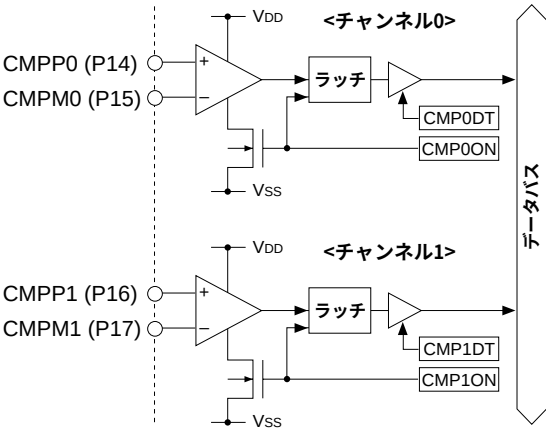


図5.14.1.1 アナログコンパレータの構成

アナログコンパレータの入力端子CMPP0、CMPM0、CMPP1、CMPM1は入出力兼用ポートP14～P17と共用されており、アナログコンパレータへの入力端子として用いる場合はI/OコントロールレジスタIOC14～IOC17に"0"(入力モード)を設定する必要があります。

表5.14.1.1 入力端子の構成

端子	アナログコンパレータ使用時
P14	CMPP0
P15	CMPM0
P16	CMPP1
P17	CMPM1

5.14.2 マスクオプション

アナログコンパレータの入力端子は入出力兼用ポートと共用されているため、使用するチャンネルに対応する入出力兼用ポートのマスクオプション設定を"ゲート直接"とする必要があります。

入出力兼用ポートプルアップ抵抗

- P14 (CMPP0) ☐抵抗あり ☒ゲート直接
P15 (CMPM0) ☐抵抗あり ☒ゲート直接
P16 (CMPP1) ☐抵抗あり ☒ゲート直接
P17 (CMPM1) ☐抵抗あり ☒ゲート直接

* 上記"✓"印は両方のチャンネルを使用する場合の例

5.14.3 アナログコンパレータの動作

アナログコンパレータ制御レジスタCMPxONに"1"を書き込むことによって、アナログコンパレータはONとなります。この制御によってアナログコンパレータは、2本の差動入力端子CMPPx、CMPMxに入力される外部電圧の比較を開始します。比較結果はCMPPx (+) > CMPMx (-)のときに"1"、CMPPx (+) < CMPMx (-)のときに"0"がそれぞれラッチを通じて、コンパレータ比較結果検出ビットCMPxDTから読み出せます。

アナログコンパレータをONにしてから出力が安定するまでに、最大3msecの時間を必要とします。したがって、比較結果の読み出しはアナログコンパレータONの後、充分な待ち時間をおいてから行ってください。

なお、アナログコンパレータをOFFにするとその時点での比較結果がラッチされ、それ以降はアナログコンパレータをONにするまでそのデータが読み出されます。

消費電流を低減するため、必要なとき以外はアナログコンパレータをOFFにしてください。

入力電圧範囲については、"7 電気的特性"を参照してください。

注! アナログコンパレータの入力端子は入出力兼用ポートと共用されているため、使用するチャンネルに対応する入出力兼用ポートのI/Oコントロールレジスタ(IOC14～IOC17)を、入力モードに設定する必要があります。

5.14.4 アナログコンパレータの制御方法

表5.14.4.1にアナログコンパレータの制御ビットを示します。

表5.14.4.1 アナログコンパレータの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF13	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	CMP1ON	コンパレータ1 On/Off制御	On	Off	0	R/W	
	D2	CMP0ON	コンパレータ0 On/Off制御	On	Off	0	R/W	
	D1	CMP1DT	コンパレータ1データ	+ > -	+ < -	0	R	
	D0	CMP0DT	コンパレータ0データ	+ > -	+ < -	0	R	

CMP0ON, CMP1ON: 00FF13H-D2, D3

アナログコンパレータのON/OFFを制御します。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

アナログコンパレータ0はCMP0ONに"1"を書き込むとONし、"0"を書き込むとOFFします。

同様に、CMP1ONでアナログコンパレータ1が制御できます。

イニシャルリセット時、本レジスタはそれぞれ"0" (OFF)に設定されます。

CMP0DT, CMP1DT: 00FF13H-D0, D1

アナログコンパレータの比較結果が読み出せます。

"1"読み出し: CMPPx (+) > CMPMx (-)

"0"読み出し: CMPPx (+) < CMPMx (-)

書き込み: 無効

アナログコンパレータ0の比較結果がCMP0DTから読み出せます。差動入力端子CMPP0、CMPM0に入力される外部電圧が、それぞれCMPP0 (+) > CMPM0 (-)のときに"1"、CMPP0 (+) < CMPM0 (-)のときに"0"となります。

同様に、CMPP1とCMPM1の比較結果がCMP1DTから読み出せます。

アナログコンパレータをOFFにしている場合は、OFFになる直前にラッチされた結果が読み出されます。

イニシャルリセット時、本ビットはそれぞれ"1"に設定されます。

5.14.5 プログラミング上の注意事項

- (1) 消費電流を低減させるため、必要なとき以外はアナログコンパレータをOFF(CMP0ON=CMP1ON="0")にしてください。
- (2) アナログコンパレータをONにしてから出力が安定するまでに、最大、3msecの時間を必要とします。したがって、比較結果の読み出しはアナログコンパレータONの後、充分な待ち時間をおいてから行ってください。
- (3) アナログコンパレータの入力端子は入出力兼用ポートと共用されているため、使用するチャンネルに対応する入出力兼用ポートのI/Oコントロールレジスタ(IOC14~IOC17)を、入力モードに設定する必要があります。

5.15 電源電圧検出(SVD)回路

5.15.1 SVD回路の構成

S1C883xxは、4ビット逐次比較型A/Dコンバータで構成される電源電圧検出(SVD)回路を内蔵しています。

SVD回路は、電源電圧を16レベル(レベル0～レベル15)に判定できるほか、このためのサンプリング動作をソフトウェアによって制御することができます。また、電源電圧がレベル0以下に低下した場合にイニシャルリセット信号を発生するよう、マスクオプションで機能を選択することもできます。

図5.15.1.1にSVD回路の構成を示します。

5.15.2 SVD回路の動作

■ SVD回路のサンプリング制御

SVD回路は連続サンプリングと1/4Hzオートサンプリングの2種類の動作モードを持っています。動作モードの選択は、SVD制御レジスタSVDON、SVDSPによって表5.15.2.1に示すとおり行われ、SVDONとSVDSPの2ビットが共に"1"に設定された場合は、連続サンプリングが優先されます。

表5.15.2.1 制御レジスタと動作モードの対応

SVDON	SVDSP	動作モード
0	0	SVD回路 OFF
0	1	1/4Hzオートサンプリング ON
1	×	連続サンプリング ON

どちらの動作モードにおいても、SVD回路が動作(BUSY)中か待機(READY)中かは、SVDONを読み出すことで確認することができ"1"のときにBUSY、"0"のときにREADYをそれぞれ示します。

SVD回路が動作中にSLP命令を実行した場合は、その時点のサンプリングが終了するまでOSC1発振回路の停止は待たされます。またさらに、このサンプリングの終了を待ってSVDONとSVDSPの2ビットが、ハードウェアによって自動的に"0"にリセットされます。

なお、消費電流を低減させるため、必要なとき以外はSVD回路をOFFにしてください。

■ 検出結果

SVD回路は電源電圧($V_{DD}-V_{SS}$)を4ビットの分解能でA/D変換し、その結果を検出ビットSVD0～SVD3にセットします。SVD0～SVD3のデータと検出レベルは表5.15.2.2に示すとおり対応しており、次のサンプリングが行われるまで検出データは保持されます。

検出レベルと電源電圧との対応は"7 電気的特性"を参照してください。

SVD回路が電源電圧のサンプリングを開始してから結果をSVD0～SVD3にセットして終了するまで、7.8msec($f_{OSC1}=32.768\text{kHz}$)の時間を必要とします。したがって、これ以前のSVD0～SVD3の読み出しは、前回の検出結果を読み出すことになります。

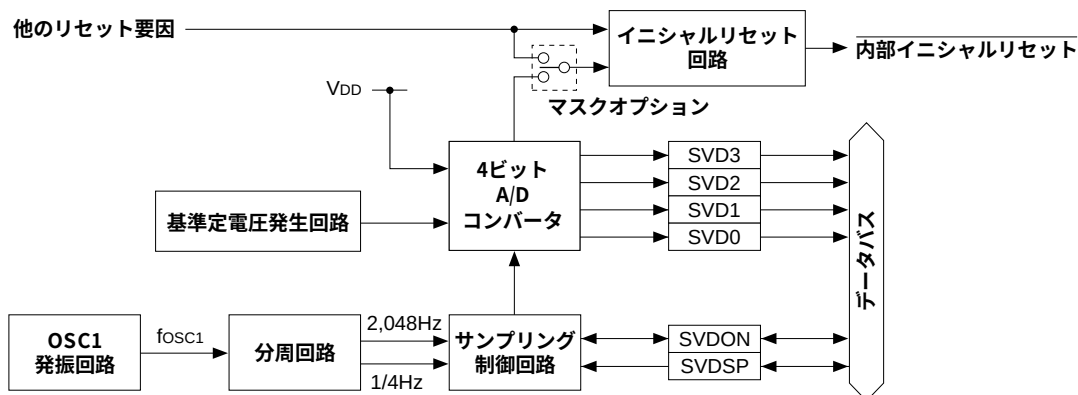


図5.15.1.1 SVD回路の構成

表5.15.2.2 電源電圧検出結果

SVD3	SVD2	SVD1	SVD0	検出レベル
1	1	1	1	レベル15
1	1	1	0	レベル14
1	1	0	1	レベル13
1	1	0	0	レベル12
1	0	1	1	レベル11
1	0	1	0	レベル10
1	0	0	1	レベル9
1	0	0	0	レベル8
0	1	1	1	レベル7
0	1	1	0	レベル6
0	1	0	1	レベル5
0	1	0	0	レベル4
0	0	1	1	レベル3
0	0	1	0	レベル2
0	0	0	1	レベル1
0	0	0	0	レベル0

■ サンプリングのタイミング

以下に2種類の動作モードのタイミングについて説明をします。

(1) 連続サンプリングモード

SVDONに"1"を書き込んだ場合に本モードが選択され、7.8msec周期で連続的に電源電圧のサンプリングを行います。
SVD回路は内部の2,048Hz信号に同期して動作を開始し、16クロックで1回のサンプリングを行います。

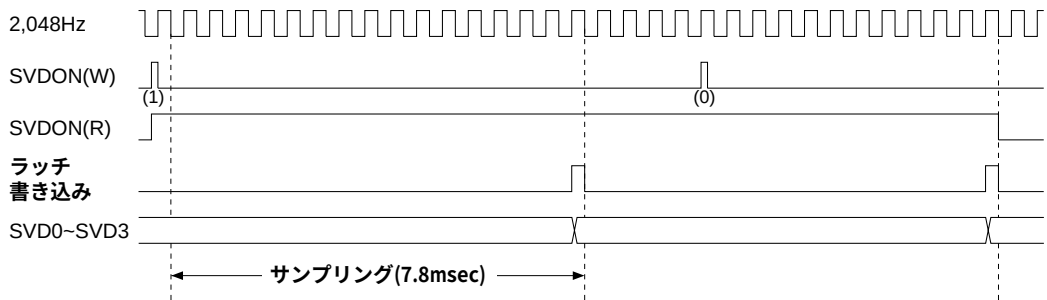


図5.15.2.1 連続サンプリングのタイミングチャート

サンプリングは待機時間を設けることなく連続的に行われ、検出結果を16クロック単位でSVD0~SVD3にラッチします。

連続サンプリングの解除は、SVDONに"0"を書き込むことで行います。このとき、SVD回路はその時点のサンプリングの終了までON状態を維持し、サンプリングの継ぎ目でOFFとなります。また、SVDONへの"0"書き込み後、実際にSVD回路がOFFとなるまでは、SVDONの読み出しは"1"となります。

図5.15.2.1に連続サンプリングのタイミングチャートを示します。

(2) 1/4Hzオートサンプリング

SVDONに"0"、SVDSPに"1"を書き込んだ場合に本モードが選択され、4秒ごとに電源電圧のサンプリングを行います。

1回のサンプリングは連続サンプリング同様7.8msecで行われ、4秒ごとにSVD0~SVD3の検出結果を更新します。

1/4Hzオートサンプリングの解除は、SVDSPに"0"を書き込むことで行います。このとき、SVD回路がサンプリング中である場合は、その終了までSVD回路のOFFは待たされます。また、SVD回路のサンプリング期間中は、SVDONに"1"が読み出されます。

図5.15.2.2に1/4Hzオートサンプリングのタイミングチャートを示します。

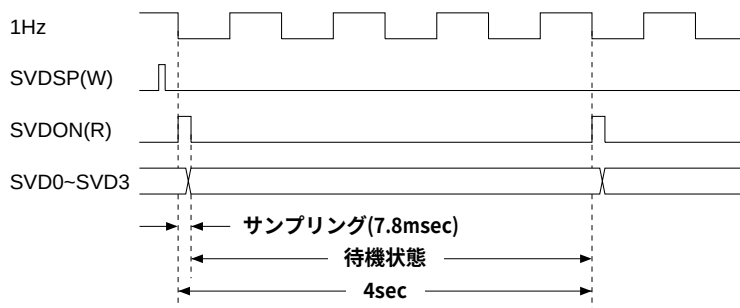


図5.15.2.2 1/4Hzオートサンプリングのタイミングチャート

■ 低電圧検出時のリセット機能

電源電圧の低下によるCPUの暴走を回避するため、SVD回路は電源電圧がレベル0以下に低下した場合にイニシャルリセット信号を発生するよう、マスクオプションで機能を選択することができます。

SVD回路は、4回連続してレベル0(SVD3～SVD0=0000B)を検出すると連続サンプリング状態となります。このとき、同時に内部イニシャルリセット信号が発生され、電源電圧がレベル2(SVD3～SVD0=0010B)以上に復帰するまで、リセット状態は継続されます。

電源電圧の復帰によってリセット状態が解除されると、SVD回路は連続サンプリング状態となる前の状態へ復帰(前の状態が連続サンプリングの場合は、そのまま継続)し、CPUはリセット例外処理を開始します。

図5.15.2.3にイニシャルリセット信号発生タイミングチャートを示します。(1/4Hzオートサンプリング使用時の例)

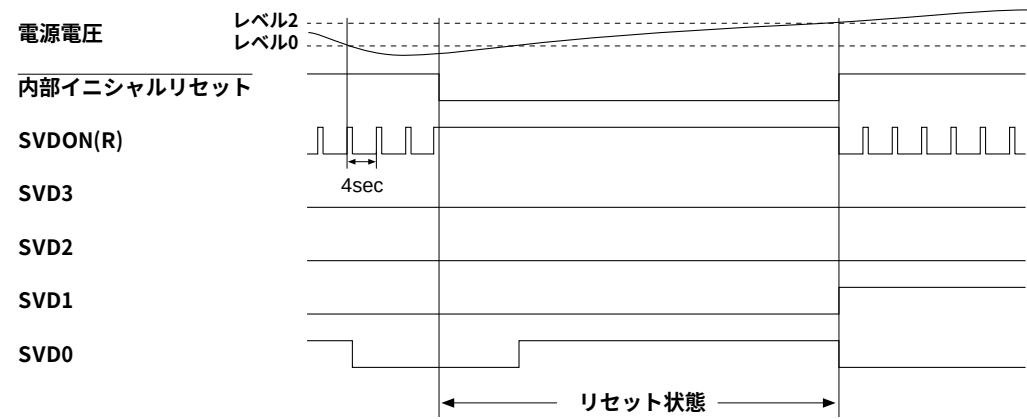


図5.15.2.3 イニシャルリセット信号発生のタイミングチャート

5.15.3 SVD回路の制御方法

表5.15.3.1にSVD回路の制御ビットを示します。

表5.15.3.1 SVD回路の制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF12	D7	—	—	—	—	—		読み出し時は常時"0"
	D6	—	—	—	—	—		
	D5	SVDSP	SVDオートサンプリング制御	On	Off	0	R/W	SLP命令実行時 "0"にリセット
	D4	SVDON	SVD連続サンプリング制御/ステータス	R: Busy W: On	Ready Off	1→0 ^{*1} 0	R/W	
	D3	SVD3	SVD検出レベル SVD3 SVD2 SVD1 SVD0 検出レベル			X	R	^{*2}
	D2	SVD2				X	R	
	D1	SVD1				X	R	
	D0	SVD0				X	R	

^{*1} イニシャルリセット時、本ステータスはハードウェアによる初回のサンプリングが終了するまで、"1"に設定されます。

^{*2} 初期値は、ハードウェアによる初回のサンプリング時に検出される電源電圧にしたがって設定されます。このサンプリングが終了するまで、SVD0～SVD3のデータは不定となります。

SVDON: 00FF12H・D4

連続サンプリングモードのON/OFFを制御します。

"1"書き込み: 連続サンプリング ON

"0"書き込み: 連続サンプリング OFF

"1"読み出し: BUSY

"0"読み出し: READY

連続サンプリングモードは、SVDONに"1"を書き込むとONし、"0"を書き込むとOFFします。

ON状態では7.8msec単位で連続的に電源電圧のサンプリングが行われ、検出結果がSVD0～SVD3にラッチされます。

SVDONは読み出しも可能で、SVD回路が動作(BUSY)中のときに"1"、待機(READY)中のときに"0"をそれぞれ示します。

イニシャルリセット時、およびSLEEP状態のときSVDONは"0"(連続サンプリングOFF/READY)に設定されます。

SVDSP: 00FF12H・D5

オートサンプリングモードのON/OFFを制御します。

"1"書き込み: オートサンプリング ON

"0"書き込み: オートサンプリング OFF

読み出し: 可能

オートサンプリングモードは、SVDSPに"1"を書き込むとONし、"0"を書き込むとOFFします。

ON状態では4秒ごとに1回のサンプリングが行われ、実際のサンプリング期間中(7.8msec)は、SVDONに"1"が読み出されます。

イニシャルリセット時、およびSLEEP状態のときSVDSPは"0"(オートサンプリングOFF)に設定されます。

SVD0～SVD3: 00FF12H・D0～D3

SVDの検出結果がセットされます。読み出しデータと検出レベルは表5.15.3.2に示すとおり対応しており、次のサンプリングが行われるまでデータは保持されます。

表5.15.3.2 電源電圧検出結果

SVD3	SVD2	SVD1	SVD0	検出レベル
1	1	1	1	レベル15
1	1	1	0	レベル14
1	1	0	1	レベル13
1	1	0	0	レベル12
1	0	1	1	レベル11
1	0	1	0	レベル10
1	0	0	1	レベル9
1	0	0	0	レベル8
0	1	1	1	レベル7
0	1	1	0	レベル6
0	1	0	1	レベル5
0	1	0	0	レベル4
0	0	1	1	レベル3
0	0	1	0	レベル2
0	0	0	1	レベル1
0	0	0	0	レベル0

検出レベルと電源電圧との対応は"7 電気的特性"を参照してください。

イニシャルリセット時の初期値は、ハードウェアによる初回のサンプリング時に検出される電源電圧にしたがって設定されます。このサンプリングが終了するまで本ビットのデータは不定となります。

5.15.4 プログラミング上の注意事項

- (1) 消費電流を低減させるため、必要なとき以外はSVD回路をOFF(SVDON=SVDSP="0")にしてください。
- (2) SVD回路が動作中にSLP命令を実行した場合は、その時点のサンプリングが終了するまでOSC1発振回路の停止は待たされます。またさらに、このサンプリングの終了を待ってSVDONとSVDSPの2ビットが、ハードウェアによって自動的に"0"にリセットされます。

5.16 割り込みとスタンバイ状態

■ 割り込みの種類

S1C883xxには以下に示す6系統15種類の割り込みが用意されています。

外部割り込み

- K00～K07入力割り込み(2種類)
- K10、K11入力割り込み(1種類)

内部割り込み

- 計時タイマ割り込み(4種類)
- ストップウォッチタイマ割り込み(3種類)
- プログラブルタイマ割り込み(2種類)
- シリアルインタフェース割り込み(3種類)

* K11はS1C88348/317/316のみ

それぞれの割り込みには、割り込み要因の発生を示す割り込み要因フラグと割り込み要求の許可/禁止を設定する割り込みイネーブルレジスタが設けられており、個々の要因に対して割り込みの発生を任意に設定することができます。また、割り込みの各系統には割り込みプライオリティレジスタが設けられており、各系統ごとに割り込み処理の優先度を3レベルまで設定することができます。

図5.16.1に割り込み回路の構成を示します。
各割り込みの詳細については、それぞれの周辺回路の説明を参照してください。

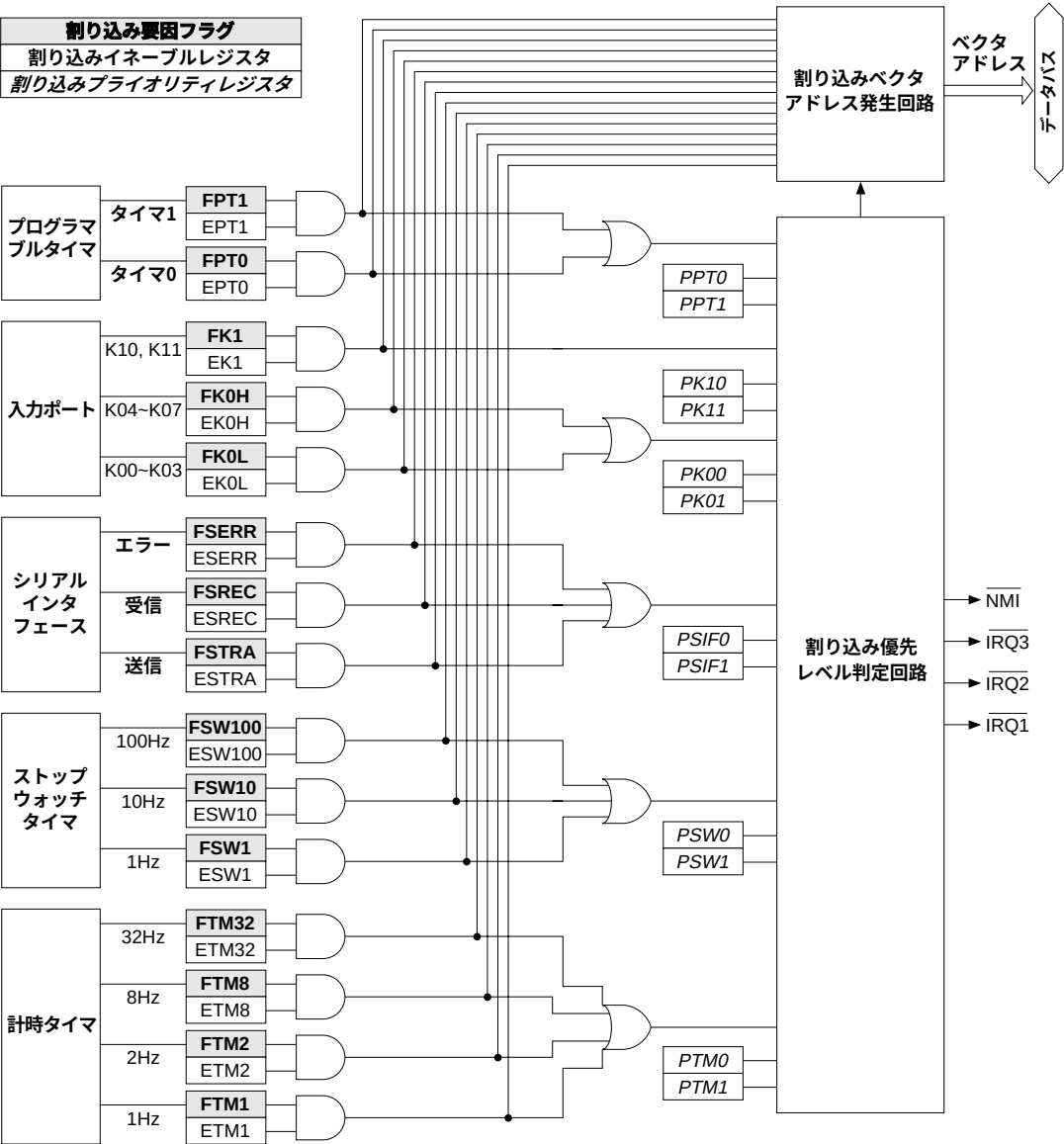


図5.16.1 割り込み回路の構成

■ HALT状態

プログラム上でHALT命令を実行することで、S1C883xxはHALT状態となります。

HALT状態ではCPUの動作が停止するため、周辺回路のみの動作による低消費電力化が実現できます。

HALT状態の解除はイニシャルリセット、または任意の割り込み要求によって行われ、CPUは例外処理ルーチンからプログラムの実行を再開します。

HALT状態と再起動のシーケンスについては、"S1C88 Core CPU Manual"を参照してください。

■ SLEEP状態

プログラム上でSLP命令を実行することで、S1C883xxはSLEEP状態となります。

SLEEP状態ではCPUと周辺回路が完全に動作を停止するため、HALT状態以上の低消費電力が実現できます。

SLEEP状態の解除はイニシャルリセット、または入力ポートからの入力割り込みによって行われ、8,192/fosc1秒の発振安定待ち時間後にCPUが再起動されます。このとき、CPUは例外処理ルーチン(入力割り込みルーチン)からプログラムの実行を再開します。

- 注!** ・ SLEEP状態からの再起動時は、しばらくの間発振が不安定となるため、OSC1発振回路に32.768kHzの水晶振動子を使用しても、待ち時間は必ずしも250msecとはなりません。
- ・ HALTおよびSLEEP時のCE端子状態は機種により異なります。5.2.2項の注を参照してください。

5.16.1 割り込み発生条件

先に示した6系統15種類の割り込みには、それぞれの割り込み要因の発生を示す割り込み要因フラグが設けられており、要因の発生によって"1"にセットされます。

また、各割り込み要因フラグには1対1に対応する割り込みイネーブルレジスタが設けられており、"1"を書き込むと割り込み許可、"0"を書き込むと割り込み禁止となります。

CPUは割り込み要求の許可/禁止を割り込み優先レベルによって管理しています。6系統の各割り込みには優先レベルを設定する割り込みプライオリティレジスタが設けられており、CPUはインタラプトフラグ(I0、I1)が示すレベルより高いレベルの割り込みのみ受け付けます。

したがって、実際にCPUが割り込みを受け付けるには、以下の3条件の成立が必要です。

- (1) 割り込み要因の発生によって、割り込み要因フラグが"1"にセットされている。
- (2) 先に対応する割り込みイネーブルレジスタが"1"に設定されている。
- (3) 先に対応する割り込みプライオリティレジスタが、インタラプトフラグ(I0、I1)より高い割り込み優先レベルに設定されている。

CPUは各命令の第1オペコードフェッチサイクルの最初で割り込みのサンプリングを行います。ここで上記の条件が成立していると、CPUは例外処理に移行します。

例外処理のシーケンスについては"S1C88 Core CPU Manual"を参照してください。

5.16.2 割り込み要因フラグ

割り込みを発生する要因と割り込み要因フラグの対応を表5.16.2.1に示します。

それぞれの割り込み要因の発生によって、対応する割り込み要因フラグが"1"にセットされます。ソフトウェアによってこのフラグを読み出すことで、発生した割り込み要因の種類を確認することができます。

表5.16.2.1 割り込み要因

割り込み要因	割り込み要因フラグ
プログラマブルタイマ1のアンダーフロー	FPT1 00FF25 D7
プログラマブルタイマ0のアンダーフロー	FPT0 00FF25 D6
K10、K11入力と入力比較レジスタKCP10、KCP11との不一致	FK1 00FF25 D5
K04～K07入力と入力比較レジスタKCP04～KCP07との不一致	FK0H 00FF25 D4
K00～K03入力と入力比較レジスタKCP00～KCP03との不一致	FK0L 00FF25 D3
シリアルインタフェースの受信エラー (調歩同期式モード時)	FSERR 00FF25 D2
シリアルインタフェースの受信完了	FSREC 00FF25 D1
シリアルインタフェースの送信完了	FSTRA 00FF25 D0
ストップウォッチタイマ100Hz信号の立ち下がりエッジ	FSW100 00FF24 D6
ストップウォッチタイマ10Hz信号の立ち下がりエッジ	FSW10 00FF24 D5
ストップウォッチタイマ1Hz信号の立ち下がりエッジ	FSW1 00FF24 D4
計時タイマ32Hz信号の立ち下がりエッジ	FTM32 00FF24 D3
計時タイマ8Hz信号の立ち下がりエッジ	FTM8 00FF24 D2
計時タイマ2Hz信号の立ち下がりエッジ	FTM2 00FF24 D1
計時タイマ1Hz信号の立ち下がりエッジ	FTM1 00FF24 D0

"1"にセットされた割り込み要因フラグは、"1"を書き込むことで"0"にリセットされます。
 イニシャルリセット時、割り込み要因フラグは"0"にリセットされます。

注! 割り込み発生後、割り込み要因フラグをリセットせずにRETE命令を実行すると、再度同一の割り込みが発生してしまいます。
 したがって、割り込み処理ルーチン内では、そのルーチンに対応する割り込み要因フラグのリセット("1"書き込み)を必ず行ってください。

5.16.3 割り込みイネーブルレジスタ

割り込みイネーブルレジスタは各割り込み要因フラグに1対1で対応しており、個々に割り込み要求の許可/禁止を設定することができます。

割り込みイネーブルレジスタに"1"を書き込むと割り込み要求が許可され、"0"を書き込むと禁止されます。このレジスタは読み出しも可能で、その時点の設定状態を確認することもできます。
 イニシャルリセット時、割り込みイネーブルレジスタは"0"に設定され、割り込み禁止状態となります。
 表5.16.3.1に割り込みイネーブルレジスタと割り込み要因フラグの対応を示します。

表5.16.3.1 割り込みイネーブルレジスタと割り込み要因フラグ

割り込み	割り込み要因フラグ	割り込みイネーブルレジスタ
プログラマブルタイマ1	FPT1 (00FF25 D7)	EPT1 (00FF23 D7)
プログラマブルタイマ0	FPT0 (00FF25 D6)	EPT0 (00FF23 D6)
K10、K11入力	FK1 (00FF25 D5)	EK1 (00FF23 D5)
K04～K07入力	FK0H (00FF25 D4)	EK0H (00FF23 D4)
K00～K03入力	FK0L (00FF25 D3)	EK0L (00FF23 D3)
シリアルI/F受信エラー	FSERR (00FF25 D2)	ESERR (00FF23 D2)
シリアルI/F受信完了	FSREC (00FF25 D1)	ESREC (00FF23 D1)
シリアルI/F送信完了	FSTRA (00FF25 D0)	ESTRA (00FF23 D0)
ストップウォッチタイマ100Hz	FSW100 (00FF24 D6)	ESW100 (00FF22 D6)
ストップウォッチタイマ10Hz	FSW10 (00FF24 D5)	ESW10 (00FF22 D5)
ストップウォッチタイマ1Hz	FSW1 (00FF24 D4)	ESW1 (00FF22 D4)
計時タイマ32Hz	FTM32 (00FF24 D3)	ETM32 (00FF22 D3)
計時タイマ8Hz	FTM8 (00FF24 D2)	ETM8 (00FF22 D2)
計時タイマ2Hz	FTM2 (00FF24 D1)	ETM2 (00FF22 D1)
計時タイマ1Hz	FTM1 (00FF24 D0)	ETM1 (00FF22 D0)

表5.16.4.1 割り込みプライオリティレジスタ

割り込み	割り込みプライオリティレジスタ
プログラマブルタイマ	PPT0、PPT1 (00FF21 D2、D3)
K10、K11入力	PK10、PK11 (00FF21 D0、D1)
K00～K07入力	PK00、PK01 (00FF20 D6、D7)
シリアルインタフェース	PSIF0、PSIF1 (00FF20 D4、D5)
ストップウォッチタイマ	PSW0、PSW1 (00FF20 D2、D3)
計時タイマ	PTM0、PTM1 (00FF20 D0、D1)

5.16.4 割り込みプライオリティ

レジスタと割り込み優先レベル

割り込みの各系列には、表5.16.4.1に示す割り込みプライオリティレジスタが設けられており、CPUに対する割り込みの優先レベル(0～3)を任意に設定することができます。

これによって、割り込みの優先処理順位をシステムに適合させた多重割り込みが可能となります。

各系列間の割り込み優先レベルは、割り込みプライオリティレジスタによって任意に3レベルまで設定できます。ただし、複数の系列を同一の優先レベルに設定した場合は、デフォルトの優先順位にしたがって処理されます。

表5.16.4.2 割り込み優先レベルの設定

P*1	P*0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、割り込みプライオリティレジスタはすべて"0"に設定され、各割り込みはレベル0となります。

なお、各系列内での優先レベルはあらかじめ決められており、これを変更することはできません。

CPUはインタラプトフラグ(I0、I1)の設定によって各割り込みをマスクすることができます。各系列の割り込み優先レベルとインタラプトフラグの関係は表5.16.4.3のとおりで、CPUはインタラプトフラグが示すレベルより高い優先レベルの割り込みのみ受け付けます。このうち、レベル4の優先度を持っているNMI(ウォッチドッグタイマ)は、インタラプトフラグの設定にかかわらず常時受け付けられます。

表5.16.4.3 CPUの割り込みマスク設定

I1	I0	受け付け可能な割り込み
1	1	レベル4 (NMI)
1	0	レベル4、レベル3 (IRQ3)
0	1	レベル4、レベル3、レベル2 (IRQ2)
0	0	レベル4、レベル3、レベル2、レベル1 (IRQ1)

割り込みが受け付けられた後は、表5.16.4.4に示すとおりインタラプトフラグが受け付けた割り込みと同じレベルに書き換えられます。ただし、NMI受け付け後のインタラプトフラグの書き換えはレベル3(I0=I1="1")となります。

表5.16.4.4 割り込み受け付け後のインタラプトフラグ

受け付けた割り込みの優先レベル	I1	I0
レベル4 (NMI)	1	1
レベル3 (IRQ3)	1	1
レベル2 (IRQ2)	1	0
レベル1 (IRQ1)	0	1

インタラプトフラグは、割り込み処理ルーチンからの復帰時に、設定が元の値に戻されます。したがって、3レベルまでの多重割り込みは、割り込みプライオリティレジスタへの初期設定のみで制御することができます。また、それ以上の多重化は、インタラプトフラグと割り込みイネーブルレジスタを割り込み処理ルーチン内で書き換えることで実現できます。

注! 割り込み発生後、割り込み要因フラグをリセットする前にインタラプトフラグを書き換える(低い優先レベルに設定する)と、再度同一の割り込みが発生してしまいますので注意してください。

5.16.5 例外処理ベクタ

CPUが割り込みを受け付けると、実行中の命令の終了後に例外処理を開始します。例外処理ではプログラム分岐のために、以下の操作が行われます。

- (1) ミニマムモードではプログラムカウンタ(PC)とシステムコンディションフラグ(SC)を、マキシマムモードではコードバンクレジスタ(CB)とPC、およびSCをスタックに退避。
- (2) 各例外処理(割り込み)要因に対応する例外処理ベクタから分岐先アドレスを読み出し、PCにセット。

例外処理ベクタは、各例外(割り込み)処理ルーチンの先頭アドレスを格納している2バイトのデータで、ベクタアドレスと例外処理要因は表5.16.5.1のとおり対応しています。

表5.16.5.1 ベクタアドレスと例外処理要因の対応

ベクタアドレス	例外処理要因	優先順位
000000H	リセット	高い ↑
000002H	ゼロ除算	
000004H	ウォッチドッグタイマ (NMI)	
000006H	プログラマブルタイマ1割り込み	
000008H	プログラマブルタイマ0割り込み	
00000AH	K10、K11入力割り込み	
00000CH	K04～K07入力割り込み	
00000EH	K00～K03入力割り込み	
000010H	シリアルI/Fエラー割り込み	
000012H	シリアルI/F受信完了割り込み	
000014H	シリアルI/F送信完了割り込み	
000016H	ストップウォッチタイマ100Hz割り込み	
000018H	ストップウォッチタイマ10Hz割り込み	
00001AH	ストップウォッチタイマ1Hz割り込み	
00001CH	計時タイマ32Hz割り込み	
00001EH	計時タイマ8Hz割り込み	
000020H	計時タイマ2Hz割り込み	↓ 低い
000022H	計時タイマ1Hz割り込み	
000024H	システム予約 (使用不可)	なし
000026H : 0000FEH	ソフトウェア割り込み	

注! 例外処理ベクタは2バイトに固定されたデータで、分岐先のバンクアドレスを指定することはできません。したがって、複数のバンクから共通の例外処理ルーチンに分岐させるためには、例外処理ルーチンの先頭部分をコモンエリア内(000000H～007FFFH)に記述しておく必要があります。

5.16.6 割り込みの制御

表5.16.6.1に割り込みの制御ビットを示します。

表5.16.6.1 割り込みの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈	
00FF20	D7	PK01	K00～K07割り込み	PK01 PK00 PSIF1 PSIF0 PSW1 PSW0 優先 PTM1 PTM0 レベル 1 1 レベル3 1 0 レベル2 0 1 レベル1 0 0 レベル0		0	R/W		
	D6	PK00	プライオリティレジスタ			0	R/W		
	D5	PSIF1	シリアルインタフェース割り込み						
	D4	PSIF0	プライオリティレジスタ			0	R/W		
	D3	PSW1	ストップウォッチタイマ割り込み			0	R/W		
	D2	PSW0	プライオリティレジスタ						
	D1	PTM1	計時タイマ割り込み			0	R/W		
	D0	PTM0	プライオリティレジスタ						
00FF21	D7	—	—	—	—	—		読み出し時は 常時"0"	
	D6	—	—	—	—	—			
	D5	—	—	—	—	—			
	D4	—	—	—	—	—			
	D3	PPT1	プログラマブルタイマ割り込み	PPT1 PPT0 優先	0	R/W			
	D2	PPT0	プライオリティレジスタ	PK11 PK10 レベル 1 1 レベル3					
	D1	PK11	K10, K11割り込み	1 0 レベル2	0	R/W			
	D0	PK10	プライオリティレジスタ	0 1 レベル1 0 0 レベル0					
00FF22	D7	—	—	—	—	—		読み出し時は"0"	
	D6	ESW100	ストップウォッチ100Hz割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W		
	D5	ESW10	ストップウォッチ10Hz割り込みイネーブルレジスタ						
	D4	ESW1	ストップウォッチ1Hz割り込みイネーブルレジスタ						
	D3	ETM32	計時タイマ32Hz割り込みイネーブルレジスタ						
	D2	ETM8	計時タイマ8Hz割り込みイネーブルレジスタ						
	D1	ETM2	計時タイマ2Hz割り込みイネーブルレジスタ						
	D0	ETM1	計時タイマ1Hz割り込みイネーブルレジスタ						
00FF23	D7	EPT1	プログラマブルタイマ1割り込みイネーブルレジスタ					割り込み 許可	割り込み 禁止
	D6	EPT0	プログラマブルタイマ0割り込みイネーブルレジスタ						
	D5	EK1	K10, K11割り込みイネーブルレジスタ						
	D4	EK0H	K04～K07割り込みイネーブルレジスタ						
	D3	EK0L	K00～K03割り込みイネーブルレジスタ						
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブルレジスタ						
	D1	ESREC	シリアルI/F(受信)割り込みイネーブルレジスタ						
	D0	ESTRA	シリアルI/F(送信)割り込みイネーブルレジスタ						
00FF24	D7	—	—	—	—	—		読み出し時は"0"	
	D6	FSW100	ストップウォッチ100Hz割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W		
	D5	FSW10	ストップウォッチ10Hz割り込み要因フラグ						
	D4	FSW1	ストップウォッチ1Hz割り込み要因フラグ						
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ						(W) リセット
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ						
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ						
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ						
00FF25	D7	FPT1	プログラマブルタイマ1割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W		
	D6	FPT0	プログラマブルタイマ0割り込み要因フラグ						
	D5	FK1	K10, K11割り込み要因フラグ						
	D4	FK0H	K04～K07割り込み要因フラグ						
	D3	FK0L	K00～K03割り込み要因フラグ	(W) リセット	(W) 無効				
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ						
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ						
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ						

各ビットの設定内容および制御方法については、それぞれの周辺回路の説明を参照してください。

5.16.7 プログラミング上の注意事項

- (1) 割り込み発生後、割り込み要因フラグをリセットせずにRETE命令を実行すると、再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、そのルーチンに対応する割り込み要因のリセット("1"書き込み)を必ず行ってください。
- (2) 割り込み発生後、割り込み要因フラグをリセットする前にインタラプトフラグ(I0、I1)を書き換える(低い優先レベルに設定する)と、再度同一の割り込みが発生してしまいますので注意してください。
- (3) 例外処理ベクタは2バイトに固定されたデータで、分岐先のバンクアドレスを指定することはできません。したがって、複数のバンクから共通の例外処理ルーチンに分岐させるためには、例外処理ルーチンの先頭部分をコモンエリア内(000000H～007FFFH)に記述しておく必要があります。
- (4) $\overline{\text{NMI}}$ 割り込み発生から2msec以内はSLP命令を実行しないでください。(fosc1=32.768kHzの場合)

5.17 低消費電力化のための注意事項

S1C883xxは、電力を多く消費する回路系を制御レジスタによってON/OFFすることができます。必要最小限の回路を、この制御レジスタによって動作させるプログラムとすることで、低消費電力化が実現できます。

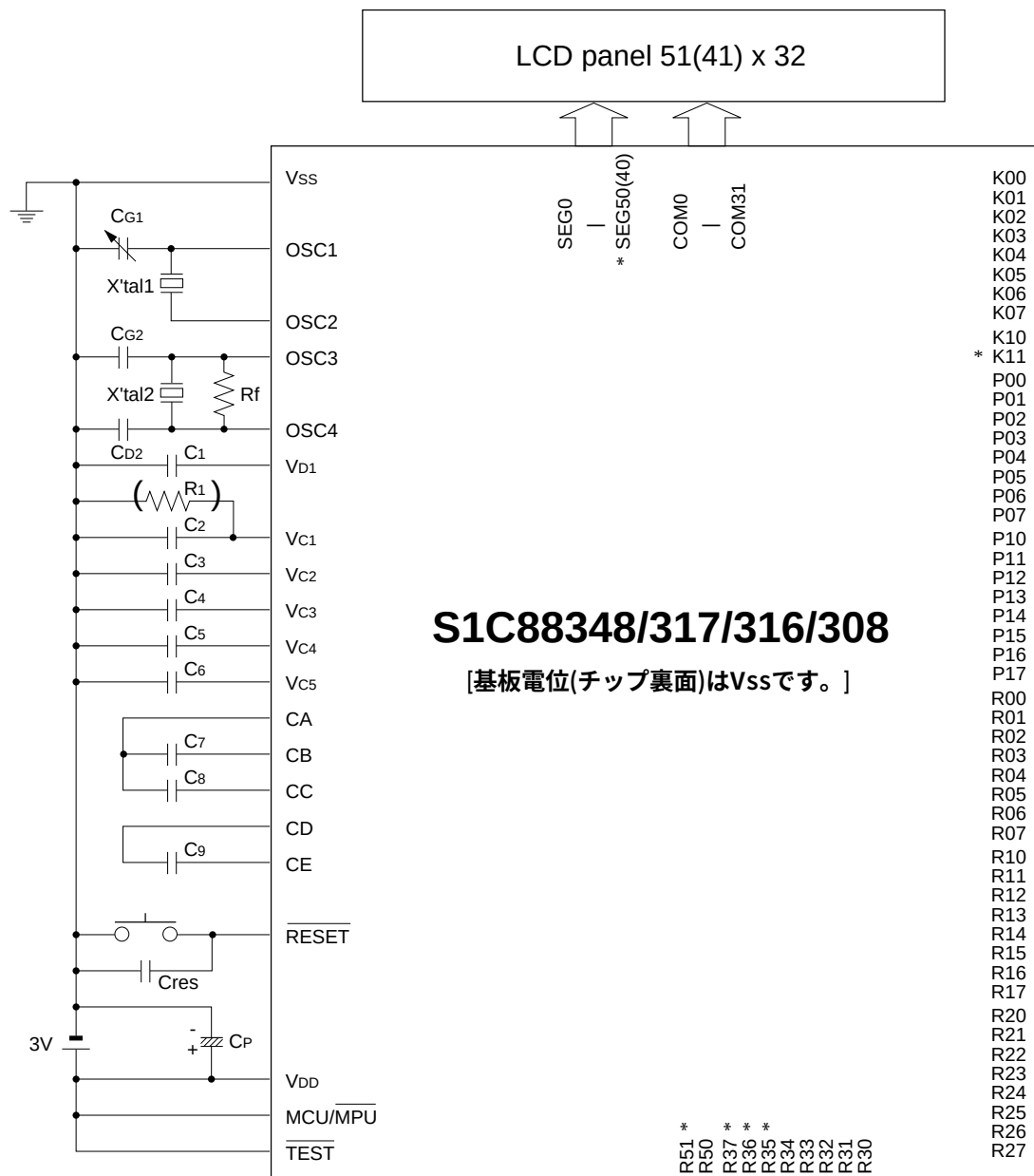
以下に、プログラムによって動作を制御することのできる回路系とその制御レジスタ(命令)を示しますので、プログラミング上の参考としてください。

消費電流については"7 電気的特性"を参照してください。

表5.17.1 回路系と制御レジスタ

回路系	制御レジスタ (命令)	イニシャルリセット時の状態
CPU	HALT、SLP命令	動作状態
発振回路	CLKCHG、OSCC	OSC1クロック (CLKCHG="0") OSC3発振OFF (OSCC="0")
動作モード	VDC0、VDC1	通常モード (VDC0=VDC1="0")
LCDコントローラ	LCDC0、LCDC1	駆動OFF (LCDC0=LCDC1="0")
SVD回路	SVDON、SVDSP	OFF状態 (SVDON=SVDSP="0")
アナログコンバータ	CMP0ON、CMP1ON	OFF状態 (CMP0ON=CMP1ON="0")

6 基本外部結線図



*: R35~R37、K11、R51、SEG41~SEG50はS1C88348/317/316のみ

外付部品推奨値

シンボル	名称	推奨値
X'tal1	水晶振動子	32.768kHz, CI(Max.)=35kΩ
X'tal2	水晶振動子	4.9152MHz
Rf	帰還抵抗	1MΩ
CG1	トリマキャパシタ	5~25pF
CG2	ゲートキャパシタ	15pF
CD2	ドレインキャパシタ	15pF
C1	VSS~VD1間キャパシタ	0.1μF
C2	VSS~VC1間キャパシタ	0.1μF

シンボル	名称	推奨値
C3	VSS~VC2間キャパシタ	0.1μF
C4	VSS~VC3間キャパシタ	0.1μF
C5	VSS~VC4間キャパシタ	0.1μF
C6	VSS~VC5間キャパシタ	0.1μF
C7~C9	昇圧キャパシタ	0.1μF
Cp	電源間キャパシタ	3.3μF
Cres	RESET端子キャパシタ	0.47μF
R1	VSS~VC1間負荷抵抗	100kΩ(LCDパネル重負荷時要)

7 電気的特性

7.1 絶対最大定格

(V _{SS} = 0V)					
項 目	記号	条 件	定 格 値	単位	注
電源電圧	V _{DD}		-0.3～+7.0	V	
液晶電源電圧	V _{C5}		-0.3～+7.0	V	
入力電圧	V _I		-0.3～V _{DD} + 0.3	V	
出力電圧	V _O		-0.3～V _{DD} + 0.3	V	1
高レベル出力電流	I _{OH}	1端子	-5	mA	
		全端子合計	-20	mA	
低レベル出力電流	I _{OL}	1端子	5	mA	
		全端子合計	20	mA	
許容損失	P _D		200	mW	2
動作温度	T _{opr}		-40～+85	°C	
保存温度	T _{stg}		-65～+150	°C	

注) 1 マスクオプションによりNchオープンドレイン出力を選択した場合も含まれます。

2 プラスチックパッケージの場合

7.2 推奨動作条件

(V_{SS} = 0V, T_a = -40～85°C)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
動作電源電圧(通常動作モード)	V _{DD}		2.4		5.5	V	
動作電源電圧(低パワー動作モード)	V _{DD}		1.8		3.5	V	
動作電源電圧(高速動作モード)	V _{DD}		3.5		5.5	V	
動作周波数(通常動作モード)	f _{OSC1}	V _{DD} = 2.4～5.5V	30.000	32.768	50.000	kHz	1
	f _{OSC3}		0.03		4.2	MHz	1, 5
動作周波数(低パワー動作モード)	f _{OSC1}	V _{DD} = 1.8～3.5V	30.000	32.768	50.000	kHz	1
動作周波数(高速動作モード)	f _{OSC1}	V _{DD} = 3.5～5.5V	30.000	32.768	50.000	kHz	1
	f _{OSC3}		0.03		8.2	MHz	1, 6
液晶電源電圧	V _{C5}	V _{C5} ≥ V _{C4} ≥ V _{C3} ≥ V _{C2} ≥ V _{C1} ≥ V _{SS}			6.0	V	2
V _{SS} ～V _{D1} 間キャパシタ	C1			0.1		μF	
V _{SS} ～V _{C1} 間キャパシタ	C2			0.1		μF	3
V _{SS} ～V _{C2} 間キャパシタ	C3			0.1		μF	3
V _{SS} ～V _{C3} 間キャパシタ	C4			0.1		μF	3
V _{SS} ～V _{C4} 間キャパシタ	C5			0.1		μF	3
V _{SS} ～V _{C5} 間キャパシタ	C6			0.1		μF	3
CA～CB間キャパシタ	C7			0.1		μF	3
CA～CC間キャパシタ	C8			0.1		μF	3
CD～CE間キャパシタ	C9			0.1		μF	3
V _{SS} ～V _{C1} 間抵抗	R1			100		kΩ	4

- 注) 1 マスクオプションによりOSC1から外部クロックを入力する場合はOSC2を開放、OSC3から外部クロックを入力する場合はOSC4を開放としてください。
- 2 マスクオプションにより外部電源を選択した場合。
- 3 LCD駆動電源を使用しない場合は、キャパシタは必要ありません。また、V_{C1}～V_{C5}およびCA～CEは開放としてください。
- 4 パネル負荷が大きい場合および1/32デューティの場合必要です。抵抗値は実際に使用されるパネルと接続して決めてください。
- 5 OSC3にCR発振を選択した場合、最大周波数は3MHzに制限されます。
- 6 OSC3にCR発振を選択した場合、最大周波数は4MHzに制限されます。

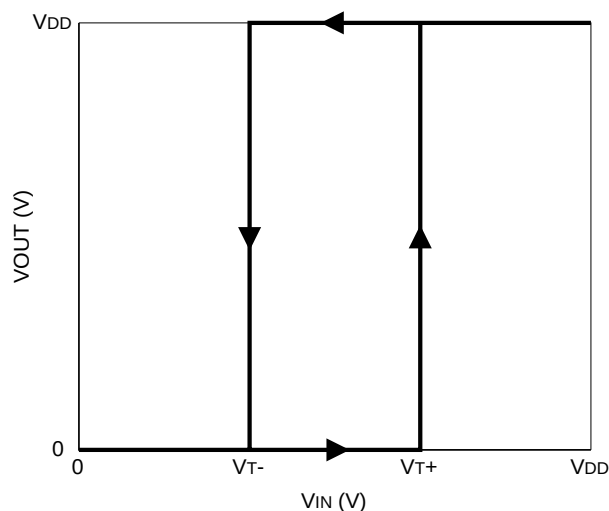
7.3 DC特性

特記無き場合の試験条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
高レベル入力電圧(1)	V_{IH1}	Kxx, Pxx, MCU/MPU	$0.8V_{DD}$		V_{DD}	V	
低レベル入力電圧(1)	V_{IL1}	Kxx, Pxx, MCU/MPU	0		$0.2V_{DD}$	V	
高レベル入力電圧(2) (通常動作モード)	V_{IH2}	OSC1, OSC3	1.6		V_{DD}	V	1
高レベル入力電圧(2) (低パワー動作モード)	V_{IH2}	OSC1	1.0		V_{DD}	V	1
高レベル入力電圧(2) (高速動作モード)	V_{IH2}	OSC1, OSC3	2.4		V_{DD}	V	1
低レベル入力電圧(2) (通常動作モード)	V_{IL2}	OSC1, OSC3	0		0.6	V	1
低レベル入力電圧(2) (低パワー動作モード)	V_{IL2}	OSC1	0		0.3	V	1
低レベル入力電圧(2) (高速動作モード)	V_{IL2}	OSC1, OSC3	0		0.9	V	1
高レベルシュミット入力電圧	V_{T+}	RESET	$0.5V_{DD}$		$0.9V_{DD}$	V	
低レベルシュミット入力電圧	V_{T-}	RESET	$0.1V_{DD}$		$0.5V_{DD}$	V	
高レベル出力電流	I_{OH}	Pxx, Rxx, $V_{OH} = 0.9V_{DD}$			-0.5	mA	
低レベル出力電流	I_{OL}	Pxx, Rxx, $V_{OL} = 0.1V_{DD}$	0.5			mA	
入力リーク電流	I_{LI}	Kxx, Pxx, RESET, MCU/MPU	-1		1	μA	
出力リーク電流	I_{LO}	Pxx, Rxx	-1		1	μA	
入力プルアップ抵抗	R_{IN}	Kxx, Pxx, RESET, MCU/MPU	100		500	k Ω	2
入力端子容量	C_{IN}	Kxx, Pxx $V_{IN} = 0V$, $f = 1MHz$, $T_a = 25^\circ C$			15	pF	
セグメント、コモン出力電流	I_{SEGH}	SEGxx, COMxx, $V_{SEGH} = V_{C5} - 0.1V$			-5	μA	
	I_{SEGL}	SEGxx, COMxx, $V_{SEGL} = 0.1V$	5			μA	

注) 1 マスクオプションにより外部クロックを選択した場合。

2 マスクオプションによりプルアップ抵抗付加を選択した場合。



7.4 アナログ回路特性

■ LCD駆動回路

LCD駆動電圧は、パネル負荷(パネルの大きさ、駆動デューティ、表示点灯数)の違いによりTyp.値がシフトしますので、実際に使用されるパネルと接続して評価してください。また、パネル負荷が大きく表示むらができる場合は、Vss～Vc1間抵抗(R1)を使用してください。(1/32デューティでは必要です。)

特記無き場合の試験条件: V_{DD} = V_{C2} (LCX = FH) + 0.1～5.5V, V_{SS} = 0V, Ta = 25°C,

C1 = C2 = C3 = C4 = C5 = C6 = C7 = C8 = C9 = 0.1μF

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
LCD駆動電圧	V _{C1}	*1	0.18V _{C5}		0.22V _{C5}	V	
	V _{C2}	*2	0.39V _{C5}		0.43V _{C5}	V	
	V _{C3}	*3	0.59V _{C5}		0.63V _{C5}	V	
	V _{C4}	*4	0.80V _{C5}		0.84V _{C5}	V	
	V _{C5} TYPE A (4.5V)	*5	LCX = 0H	3.89	Typ×1.06	V	
				3.96		V	
				4.04		V	
				4.11		V	
				4.18		V	
				4.26		V	
				4.34		V	
				4.42		V	
				4.50		V	
				4.58		V	
				4.66		V	
				4.74		V	
				4.82		V	
				4.90		V	
				4.99		V	
				5.08		V	
	V _{C5} TYPE B (5.5V)	*5	LCX = 0H	4.73	Typ×1.06	V	
				4.83		V	
				4.92		V	
				5.02		V	
				5.11		V	
				5.21		V	
				5.30		V	
				5.40		V	
				5.50		V	
				5.60		V	
				5.70		V	
				5.81		V	
				5.93		V	
				6.05		V	
				6.17		V	
				6.29		V	

*1 V_{SS}～V_{C1}間に1MΩの負荷抵抗を接続した場合。

*2 V_{SS}～V_{C2}間に1MΩの負荷抵抗を接続した場合。

*3 V_{SS}～V_{C3}間に1MΩの負荷抵抗を接続した場合。

*4 V_{SS}～V_{C4}間に1MΩの負荷抵抗を接続した場合。

*5 V_{SS}～V_{C5}間に1MΩの負荷抵抗を接続した場合。

7 電気的特性

■ SVD回路

特記無き場合の試験条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = 25^\circ C$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
SVD電圧	VSVD	レベル 1 → レベル 0	Typ×0.92	1.82	Typ×1.08	V	1
		レベル 2 → レベル 1		2.00		V	1
		レベル 3 → レベル 2		2.18		V	1
		レベル 4 → レベル 3		2.36		V	2
		レベル 5 → レベル 4		2.54		V	2
		レベル 6 → レベル 5		2.72		V	2
		レベル 7 → レベル 6		2.90		V	3
		レベル 8 → レベル 7		3.08		V	3
		レベル 9 → レベル 8		3.26		V	3
		レベル 10 → レベル 9	Typ×0.88	3.45	Typ×1.12	V	4
		レベル 11 → レベル 10		3.65		V	4
		レベル 12 → レベル 11		3.85		V	4
		レベル 13 → レベル 12		4.05		V	4
		レベル 14 → レベル 13		4.25		V	4
		レベル 15 → レベル 14		4.50		V	4

$V_{SVD}(\text{レベル}0) < V_{SVD}(\text{レベル}1) < V_{SVD}(\text{レベル}2) < V_{SVD}(\text{レベル}3) < V_{SVD}(\text{レベル}4) < V_{SVD}(\text{レベル}5) < V_{SVD}(\text{レベル}6) < V_{SVD}(\text{レベル}7) < V_{SVD}(\text{レベル}8) < V_{SVD}(\text{レベル}9) < V_{SVD}(\text{レベル}10) < V_{SVD}(\text{レベル}11) < V_{SVD}(\text{レベル}12) < V_{SVD}(\text{レベル}13) < V_{SVD}(\text{レベル}14) < V_{SVD}(\text{レベル}15)$

- 注) 1 低パワー動作モードのみ
 2 低パワー動作モードおよび通常動作モードのみ
 3 通常動作モードのみ
 4 通常動作モードおよび高速動作モードのみ

■ アナログコンパレータ回路

特記無き場合の試験条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = 25^\circ C$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
アナログコンパレータ	VCMIP	非反転入力(CMPP)	0.7		$V_{DD}-0.7$	V	1
動作入力電圧範囲	VCMIM	反転入力(CMPM)	0.7		$V_{DD}-0.7$	V	1
アナログコンパレータ オフセット電圧	VCMOF	$V_{CMIP} = 0.7V \sim V_{DD}-0.7V$ $V_{CMIM} = 0.7V \sim V_{DD}-0.7V$			20	mV	1
アナログコンパレータ安定時間	tCMP1				1	mS	2
アナログコンパレータ応答時間	tCMP2	$V_{CMIP} = 0.7V \sim V_{DD}-0.7V$ $V_{CMIM} = 0.7V \sim V_{DD}-0.7V$			2	mS	1
		$V_{CMIP} = V_{CMIM} \pm 0.025V$					3

- 注) 1 マスクオプションによりプルアップ抵抗なし(コンパレータ入力端子)を選択した場合。
 2 安定時間とは、回路をオンしてから回路が安定するまでの時間。
 3 応答時間とは、入力信号に対し出力結果が応答するまでの時間。

7.5 消費電流

特記無き場合の試験条件: V_{DD} = 各動作モードの動作電圧範囲, V_{SS} = 0V, T_a = 25°C, $OSC1$ = 32.768kHz水晶発振, C_G = 25pF,
 $OSC3$ = 外部クロック入力, 非重負荷保護モード, $C_1 = C_2 = C_3 = C_4 = C_5 = C_6 = C_7 = 0.1\mu F$,
 $C_8 = C_9 = 0.1\mu F$, パネル負荷なし

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
電源電流 (通常動作モード)	IDD1	SLP命令実行時 *1		0.3	1	μA	
	IDD2	HALT命令実行時 *2		2	5	μA	
	IDD3	CPU動作時(32.768kHz) *3		14	18	μA	
	IDD4	CPU動作時(1MHz) *4		0.45	0.60	mA	
	IDD5	CPU動作時(OSC3 = 1MHz, 水晶) *5		0.55	1.0	mA	
	IDD6	CPU動作時(OSC3 = 1MHz, セラミック) *5		0.55	1.0	mA	
	IDD7	CPU動作時(OSC3 = CR, R = 100kΩ) *5		1.1	1.7	mA	
	IHVL	重負荷保護モード時		25	50	μA	1
電源電流 (低パワー動作モード)	IDD1	SLP命令実行時 *1		0.2	1	μA	
	IDD2	HALT命令実行時 *2		1	5	μA	
	IDD3	CPU動作時(32.768kHz) *3		8	12	μA	
	IHVL	重負荷保護モード時		15	30	μA	1
電源電流 (高速動作モード)	IDD1	SLP命令実行時 *1		1	3	μA	
	IDD2	HALT命令実行時 *2		5	10	μA	
	IDD3	CPU動作時(32.768kHz) *3		24	30	μA	
	IDD4	CPU動作時(1MHz) *4		0.70	1.00	mA	
	IDD5	CPU動作時(OSC3 = 1MHz, 水晶) *5		1.2	2.5	mA	
	IDD6	CPU動作時(OSC3 = 1MHz, セラミック) *5		1.2	2.5	mA	
	IDD7	CPU動作時(OSC3 = CR, R = 100kΩ) *5		3.4	4.7	mA	
	IHVL	重負荷保護モード時		35	70	μA	1
LCD駆動回路電流	ILCDN			2.5	5	μA	
	ILCDH	重負荷保護モード時		15	30	μA	1
SVD回路電流	ISVDN	$V_{DD} = 3.0V$ 時		30	60	μA	2
	ISVDH	重負荷保護モード時		25	75	μA	1
アナログコンパレータ 回路電流	ICMP1	CMPXDT = "1"時		40	100	μA	
	ICMP2	CMPXDT = "0"時		4	10	μA	
OSC1 CR発振電流	ICR1			20	50	μA	3

*1 OSC1: 停止、OSC3: 停止、CPU, ROM, RAM: SLP命令、計時タイマ: 停止、その他: 停止状態。

*2 OSC1: 発振、OSC3: 停止、CPU, ROM, RAM: HALT命令、計時タイマ: 動作、その他: 停止状態。

*3 OSC1: 発振、OSC3: 停止、CPU, ROM, RAM: 32.768kHz動作、計時タイマ: 動作、その他: 停止状態。

*4 OSC1: 発振、OSC3: 外部、CPU, ROM, RAM: 1MHz動作、計時タイマ: 動作、その他: 停止状態。

*5 OSC1: 発振、OSC3: 発振、CPU, ROM, RAM: 1MHz動作、計時タイマ: 動作、その他: 停止状態。

注) 1 重負荷保護モード時(OSC3オンまたはブザーオン)重負荷保護回路に流れる電流値。

2 $V_{DD} = xV$ 時の値は、 $ISVDN (V_{DD} = xV) = (x \times 20) - 30$ (Typ.値)、 $ISVDN (V_{DD} = xV) = (x \times 30) - 30$ (Max.値)により求められます。

3 マスクオプションによりOSC1 CR発振回路を選択した場合。

7.6 AC特性

■ 外部メモリアクセス

・リードサイクル (通常動作モード時)

条件: $V_{DD} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$, $V_{IH2} = 1.6V$, $V_{IL2} = 0.6V$,
 $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$, $C_L = 100pF$ (負荷容量)

項 目	記号	Min.	Typ.	Max.	単位	注
リード時アドレスセットアップ時間	tras	$t_c + t_l - 100 + n \cdot t_c / 2$			nS	1
リード時アドレスホールド時間	trah	th-80			nS	
リード信号パルス幅	trp	$t_c - 20 + n \cdot t_c / 2$			nS	1
リード時データ入力セットアップ時間	trds	300			nS	
リード時データ入力ホールド時間	trdh	0			nS	

注) 1 nには、ウェイトの挿入ステート数を代入します。

・リードサイクル (高速動作モード時)

条件: $V_{DD} = 3.5 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$, $V_{IH2} = 2.4V$, $V_{IL2} = 0.9V$,
 $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$, $C_L = 100pF$ (負荷容量)

項 目	記号	Min.	Typ.	Max.	単位	注
リード時アドレスセットアップ時間	tras	$t_c + t_l - 50 + n \cdot t_c / 2$			nS	1
リード時アドレスホールド時間	trah	th-40			nS	
リード信号パルス幅	trp	$t_c - 10 + n \cdot t_c / 2$			nS	1
リード時データ入力セットアップ時間	trds	150			nS	
リード時データ入力ホールド時間	trdh	0			nS	

注) 1 nには、ウェイトの挿入ステート数を代入します。

・リードサイクル (低パワー動作モード時)

条件: $V_{DD} = 1.8 \sim 3.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$, $V_{IH2} = 1.0V$, $V_{IL2} = 0.3V$,
 $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$, $C_L = 100pF$ (負荷容量)

項 目	記号	Min.	Typ.	Max.	単位	注
リード時アドレスセットアップ時間	tras	15			μS	
リード時アドレスホールド時間	trah	5			μS	
リード信号パルス幅	trp	10			μS	
リード時データ入力セットアップ時間	trds	10			μS	
リード時データ入力ホールド時間	trdh	0			μS	

・ライトサイクル (通常動作モード時)

条件: $V_{DD} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$, $V_{IH2} = 1.6V$, $V_{IL2} = 0.6V$,
 $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$, $C_L = 100pF$ (負荷容量)

項 目	記号	Min.	Typ.	Max.	単位	注
ライト時アドレスセットアップ時間	twas	$t_c - 180$			nS	
ライト時アドレスホールド時間	twah	th-80			nS	
ライト信号パルス幅	twp	$t_l - 40 + n \cdot t_c / 2$			nS	1
ライト時データ出力セットアップ時間	twds	$t_c - 180 + n \cdot t_c / 2$			nS	1
ライト時データ出力ホールド時間	twdh	th-80		th+80	nS	

注) 1 nには、ウェイトの挿入ステート数を代入します。

・ライトサイクル (高速動作モード時)

条件: $V_{DD} = 3.5 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$, $V_{IH2} = 2.4V$, $V_{IL2} = 0.9V$,
 $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$, $C_L = 100pF$ (負荷容量)

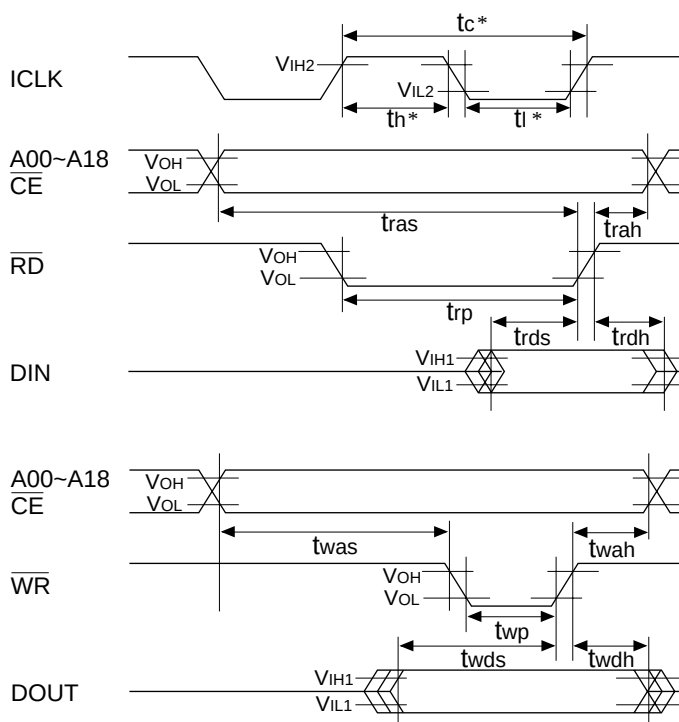
項 目	記号	Min.	Typ.	Max.	単位	注
ライト時アドレスセットアップ時間	twas	tc-90			nS	
ライト時アドレスホールド時間	twah	th-40			nS	
ライト信号パルス幅	twp	tl-20+n•tc/2			nS	1
ライト時データ出力セットアップ時間	twds	tc-90+n•tc/2			nS	1
ライト時データ出力ホールド時間	twdh	th-40		th+40	nS	

注) 1 nには、ウェイトの挿入ステート数を代入します。

・ライトサイクル (低パワー動作モード時)

条件: $V_{DD} = 1.8 \sim 3.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$, $V_{IH2} = 1.0V$, $V_{IL2} = 0.3V$,
 $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$, $C_L = 100pF$ (負荷容量)

項 目	記号	Min.	Typ.	Max.	単位	注
ライト時アドレスセットアップ時間	twas	10			μS	
ライト時アドレスホールド時間	twah	5			μS	
ライト信号パルス幅	twp	5			μS	
ライト時データ出力セットアップ時間	twds	10			μS	
ライト時データ出力ホールド時間	twdh	5		20	μS	



* 水晶・セラミック発振使用の場合は、 $t_h = 0.5t_c \pm 0.05t_c$, $t_l = t_c - t_h$ と考えてください。(1/tcは発振周波数)

* CR発振使用の場合は、 $t_h = 0.5t_c \pm 0.10t_c$, $t_l = t_c - t_h$ と考えてください。(1/tcは発振周波数)

7 電気的特性

■ シリアルインタフェース

・ クロック同期式マスタモード (通常動作モード時)

条件: $V_{DD} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$, $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	tsmd			200	nS	
受信データ入力セットアップ時間	tsms	500			nS	
受信データ入力ホールド時間	tsmh	200			nS	

・ クロック同期式マスタモード (高速動作モード時)

条件: $V_{DD} = 3.5 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$, $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	tsmd			100	nS	
受信データ入力セットアップ時間	tsms	250			nS	
受信データ入力ホールド時間	tsmh	100			nS	

・ クロック同期式マスタモード (低パワー動作モード時)

条件: $V_{DD} = 1.8 \sim 3.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$, $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	tsmd			5	μS	
受信データ入力セットアップ時間	tsms	10			μS	
受信データ入力ホールド時間	tsmh	5			μS	

・ クロック同期式スレーブモード (通常動作モード時)

条件: $V_{DD} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$, $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	tssd			500	nS	
受信データ入力セットアップ時間	tsss	200			nS	
受信データ入力ホールド時間	tssh	200			nS	

・ クロック同期式スレーブモード (高速動作モード時)

条件: $V_{DD} = 3.5 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$, $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	tssd			250	nS	
受信データ入力セットアップ時間	tsss	100			nS	
受信データ入力ホールド時間	tssh	100			nS	

・ クロック同期式スレーブモード (低パワー動作モード時)

条件: $V_{DD} = 1.8 \sim 3.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$, $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	tssd			10	μS	
受信データ入力セットアップ時間	tsss	5			μS	
受信データ入力ホールド時間	tssh	5			μS	

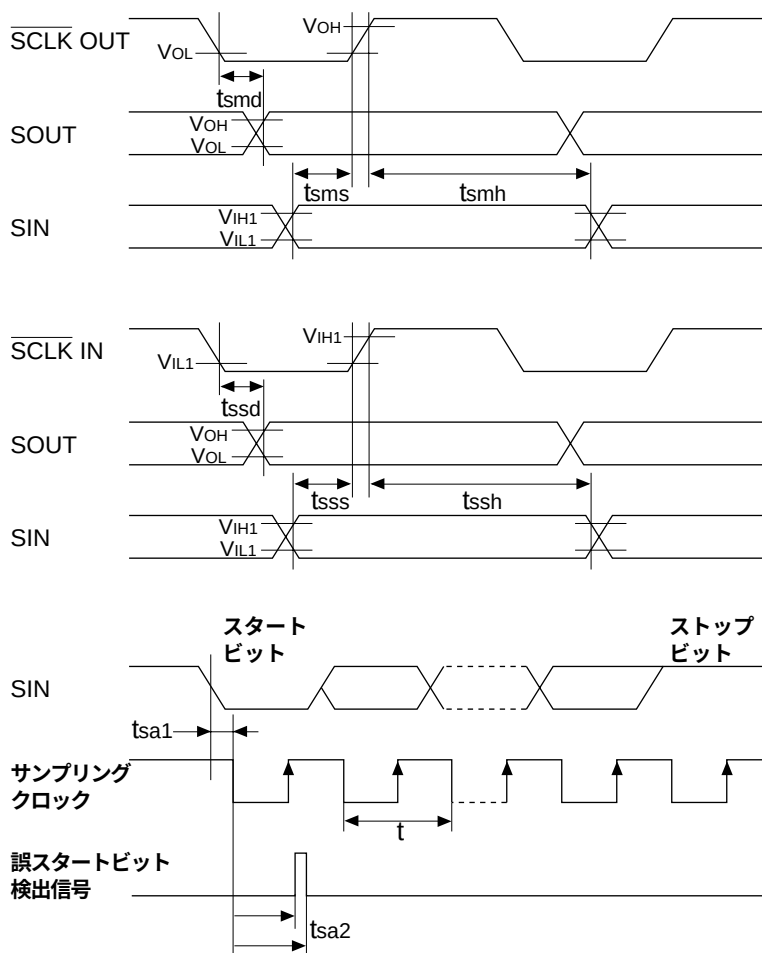
・ 調歩同期式 (全動作モード時)

条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$

項 目	記号	Min.	Typ.	Max.	単位	注
スタートビット検出誤差時間	tsa1	0		$t/16$	S	1
誤スタートビット検出範囲時間	tsa2	$9t/16$		$10t/16$	S	2

注) 1 スタートビット検出誤差時間とは、スタートビットが入力されてから内部のサンプリングクロックが動作するまでの論理的遅れ時間。(AC的な時間は含まれません。)

2 誤スタートビット検出とは、スタートビットを検出し内部のサンプリングクロックが動作した後、再度LOWレベル(スタートビット)が入力されているか検出する論理的な範囲時間。HIGHレベルであった場合、スタートビット検出回路がリセットされ、再度スタートビット検出待ちになります。(AC的な時間は含まれません。)



■ 入力クロック

・ OSC1, OSC3外部クロック (通常動作モード時)

条件: $V_{DD} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$, $V_{IH2} = 1.6V$, $V_{IL2} = 0.6V$

項 目		記号	Min.	Typ.	Max.	単位	注
OSC1入力クロック時間	サイクル時間	to1cy	20		32	μS	
	"H"パルス幅	to1h	10		16	μS	
	"L"パルス幅	to1l	10		16	μS	
OSC3入力クロック時間	サイクル時間	to3cy	250		32,000	nS	
	"H"パルス幅	to3h	125		16,000	nS	
	"L"パルス幅	to3l	125		16,000	nS	
入力クロック立ち上がり時間		tosr			25	nS	
入力クロック立ち下がり時間		tosf			25	nS	

・ OSC1, OSC3外部クロック (高速動作モード時)

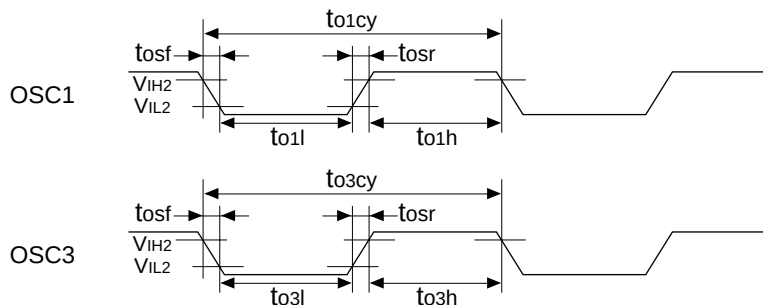
条件: $V_{DD} = 3.5 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$, $V_{IH2} = 2.4V$, $V_{IL2} = 0.9V$

項 目		記号	Min.	Typ.	Max.	単位	注
OSC1入力クロック時間	サイクル時間	to1cy	20		32	μS	
	"H"パルス幅	to1h	10		16	μS	
	"L"パルス幅	to1l	10		16	μS	
OSC3入力クロック時間	サイクル時間	to3cy	125		32,000	nS	
	"H"パルス幅	to3h	62.5		16,000	nS	
	"L"パルス幅	to3l	62.5		16,000	nS	
入力クロック立ち上がり時間		tosr			25	nS	
入力クロック立ち下がり時間		tosf			25	nS	

・ OSC1, OSC3外部クロック (低パワー動作モード時)

条件: $V_{DD} = 1.8 \sim 3.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$, $V_{IH2} = 1.0V$, $V_{IL2} = 0.3V$

項 目		記号	Min.	Typ.	Max.	単位	注
OSC1入力クロック時間	サイクル時間	to1cy	20		32	μS	
	"H"パルス幅	to1h	10		16	μS	
	"L"パルス幅	to1l	10		16	μS	
入力クロック立ち上がり時間		tosr			25	nS	
入力クロック立ち下がり時間		tosf			25	nS	



・ $\overline{\text{SCLK}}$, EVIN入力クロック (通常動作モード時)

条件: $V_{DD} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位	注
SCLK入力クロック時間	サイクル時間	tsc _{cy}	4		μS	
	"H"パルス幅	ts _{ch}	2		μS	
	"L"パルス幅	ts _{cl}	2		μS	
EVIN入力クロック時間 (ノイズリジェクタあり)	サイクル時間	te _{vcy}	64/f _{OSC1}		S	
	"H"パルス幅	te _{vh}	32/f _{OSC1}		S	
	"L"パルス幅	te _{vl}	32/f _{OSC1}		S	
EVIN入力クロック時間 (ノイズリジェクタなし)	サイクル時間	te _{vcy}	4		μS	
	"H"パルス幅	te _{vh}	2		μS	
	"L"パルス幅	te _{vl}	2		μS	
入力クロック立ち上がり時間	tck _r			25	nS	
入力クロック立ち下がり時間	tck _f			25	nS	

・ $\overline{\text{SCLK}}$, EVIN入力クロック (高速動作モード時)

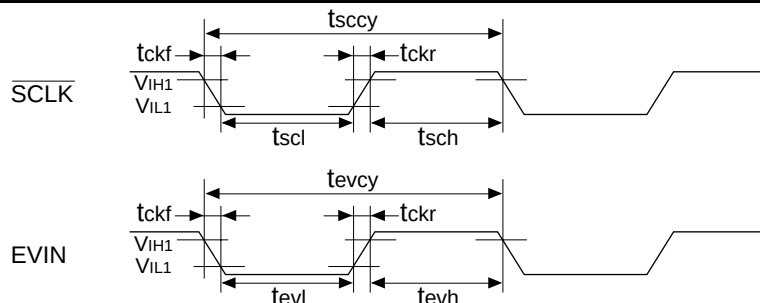
条件: $V_{DD} = 3.5 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位	注
SCLK入力クロック時間	サイクル時間	tsc _{cy}	2		μS	
	"H"パルス幅	ts _{ch}	1		μS	
	"L"パルス幅	ts _{cl}	1		μS	
EVIN入力クロック時間 (ノイズリジェクタあり)	サイクル時間	te _{vcy}	64/f _{OSC1}		S	
	"H"パルス幅	te _{vh}	32/f _{OSC1}		S	
	"L"パルス幅	te _{vl}	32/f _{OSC1}		S	
EVIN入力クロック時間 (ノイズリジェクタなし)	サイクル時間	te _{vcy}	2		μS	
	"H"パルス幅	te _{vh}	1		μS	
	"L"パルス幅	te _{vl}	1		μS	
入力クロック立ち上がり時間	tck _r			25	nS	
入力クロック立ち下がり時間	tck _f			25	nS	

・ $\overline{\text{SCLK}}$, EVIN入力クロック (低パワー動作モード時)

条件: $V_{DD} = 1.8 \sim 3.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位	注
SCLK入力クロック時間	サイクル時間	tsc _{cy}	100		μS	
	"H"パルス幅	ts _{ch}	50		μS	
	"L"パルス幅	ts _{cl}	50		μS	
EVIN入力クロック時間 (ノイズリジェクタあり)	サイクル時間	te _{vcy}	64/f _{OSC1}		S	
	"H"パルス幅	te _{vh}	32/f _{OSC1}		S	
	"L"パルス幅	te _{vl}	32/f _{OSC1}		S	
EVIN入力クロック時間 (ノイズリジェクタなし)	サイクル時間	te _{vcy}	100		μS	
	"H"パルス幅	te _{vh}	50		μS	
	"L"パルス幅	te _{vl}	50		μS	
入力クロック立ち上がり時間	tck _r			25	nS	
入力クロック立ち下がり時間	tck _f			25	nS	

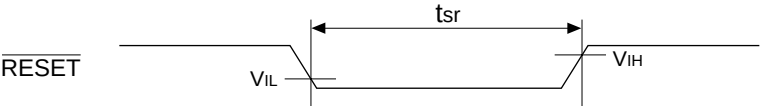


7 電気的特性

・ RESET入力クロック (全動作モード時)

条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^{\circ}C$, $V_{IH} = 0.5V_{DD}$, $V_{IL} = 0.1V_{DD}$

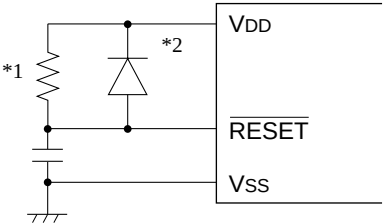
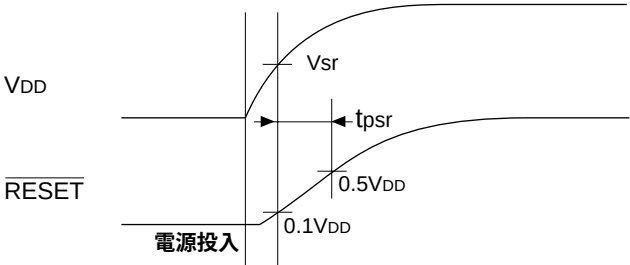
項 目	記号	Min.	Typ.	Max.	単位	注
RESET入力時間	t_{sr}	100			μS	



■ パワーオンリセット

条件: $V_{SS} = 0V$, $T_a = -40 \sim 85^{\circ}C$

項 目	記号	Min.	Typ.	Max.	単位	注
動作電源電圧	V_{sr}	2.4			V	
RESET入力時間	t_{psr}	10			mS	



- *1 内蔵プルアップ抵抗を使用しない場合。
- *2 RESET端子の電位が V_{DD} レベル以上にならないため。

■ 動作モード切り換え

条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^{\circ}C$

項 目	記号	Min.	Typ.	Max.	単位	注
安定時間	t_{vdc}	5			mS	1

注) 1 安定時間とは、動作モードを切り換えてから切り換えた動作モードに安定するまでの時間。たとえば、OSC3発振回路をオンするには、動作モード切り換え後安定時間待つ必要があります。

7.7 発振特性

発振特性は諸条件(基板パターン、使用部品など)により変化します。以下の特性は参考値として使用してください。特にOSC3にセラミック発振子または水晶発振子を使用する場合、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。また発振開始時間は、OSC3のクロックを使用する場合の待ち時間となりますので重要な項目です。(発振が安定するまでにCPUクロックとして使用した場合、CPUが誤動作します。)

■ OSC1水晶発振

特記無き場合の試験条件: V_{DD} = 各動作モードの動作電圧範囲, $V_{SS} = 0V$, $T_a = 25^\circ C$, 水晶発振子 = Q12C2*,

$CG1 = 25pF$ 外付け, $CD1 =$ 内蔵

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間	tsta				3	S	
外付けゲート容量	CG1	基板容量など含む	5		25	pF	1
内蔵ゲート容量	CG1	チップの場合		15		pF	2
内蔵ドレイン容量	CD1	チップの場合		15		pF	
周波数IC偏差	$\partial f/\partial IC$	$V_{DD} =$ 一定	-10		10	ppm	
周波数電源電圧偏差	$\partial f/\partial V$				1	ppm/V	
周波数調整範囲	$\partial f/\partial CG$	$V_{DD} =$ 一定, $CG = 5 \sim 25pF$	25			ppm	
周波数動作モード偏差	$\partial f/\partial MD$	$V_{DD} =$ 一定			20	ppm	

* Q12C2 セイコーエプソン(株) 製

注) 1 マスクオプションにより水晶発振選択の場合。

2 マスクオプションにより水晶発振(ゲート容量内蔵)選択の場合。

■ OSC1CR発振

特記無き場合の試験条件: $V_{DD} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間	tsta				3	mS	
周波数IC偏差	$\partial f/\partial IC$	RCR = 一定	-25		25	%	

■ OSC3水晶発振

特記無き場合の試験条件: $V_{DD} =$ 各動作モードの動作電圧範囲, $V_{SS} = 0V$, $T_a = 25^\circ C$,

水晶発振子 = Q21CA301xxx*, $R_F = 1M\Omega$, $CG2 = CD2 = 15pF$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間(通常動作モード)	tsta	4.0MHz水晶発振子			20	mS	1
発振開始時間(高速動作モード)	tsta	8.0MHz水晶発振子			20	mS	1

* Q21CA301xxx セイコーエプソン(株) 製

注) 1 水晶発振開始時間は、使用する水晶発振子および $CG2$, $CD2$ により変化します。

■ OSC3セラミック発振

特記無き場合の試験条件: $V_{DD} =$ 各動作モードの動作電圧範囲, $V_{SS} = 0V$, $T_a = 25^\circ C$,

セラミック発振子 = CSA4.00MG/CSA8.00MTZ*, $R_F = 1M\Omega$, $CG2 = CD2 = 30pF$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間(通常動作モード)	tsta	4.0MHzセラミック発振子			5	mS	
発振開始時間(高速動作モード)	tsta	8.0MHzセラミック発振子			5	mS	

* CSA4.00MG/CSA8.00MTZ 村田製作所製

■ OSC3CR発振

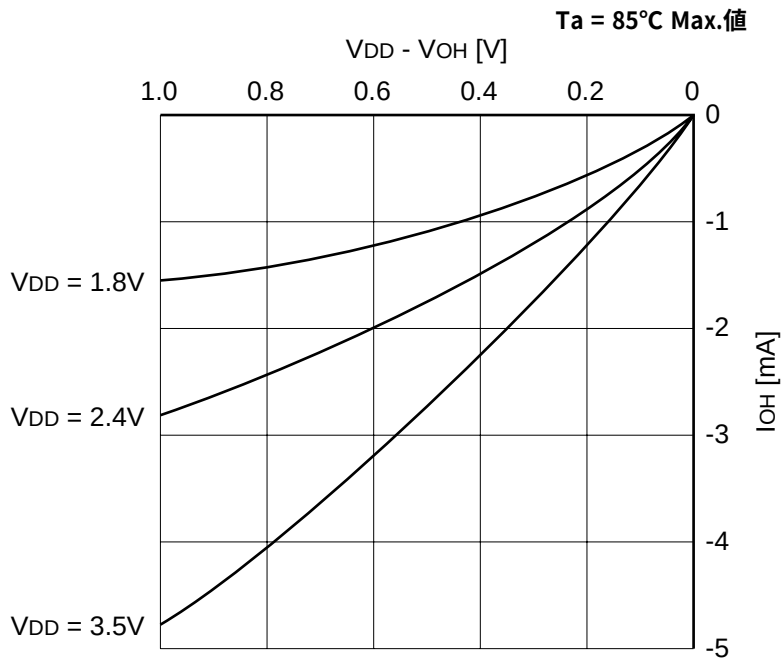
特記無き場合の試験条件: $V_{DD} =$ 各動作モードの動作電圧範囲, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間(通常動作モード)	tsta				1	mS	
発振開始時間(高速動作モード)	tsta				1	mS	
周波数IC偏差(通常動作モード)	$\partial f/\partial IC$	RCR = 一定	-25		25	%	
周波数IC偏差(高速動作モード)	$\partial f/\partial IC$	RCR = 一定	-25		25	%	

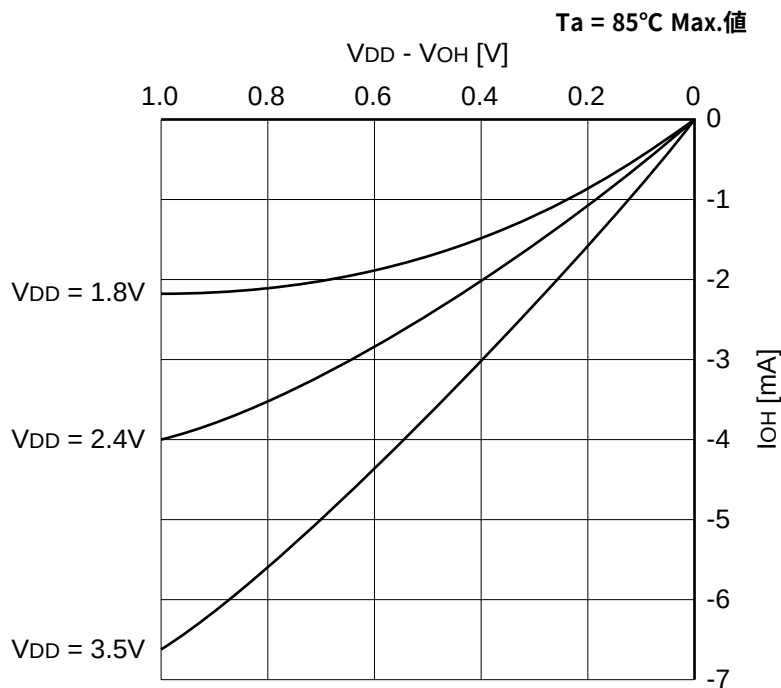
7.8 特性グラフ (参考値)

■ 高レベル出力電流特性

S1C88348/316/308

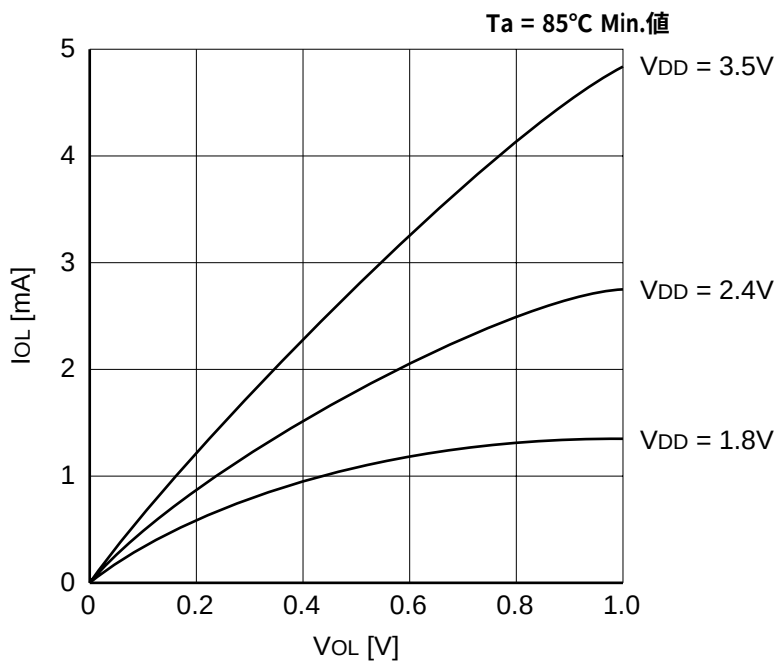


S1C88317

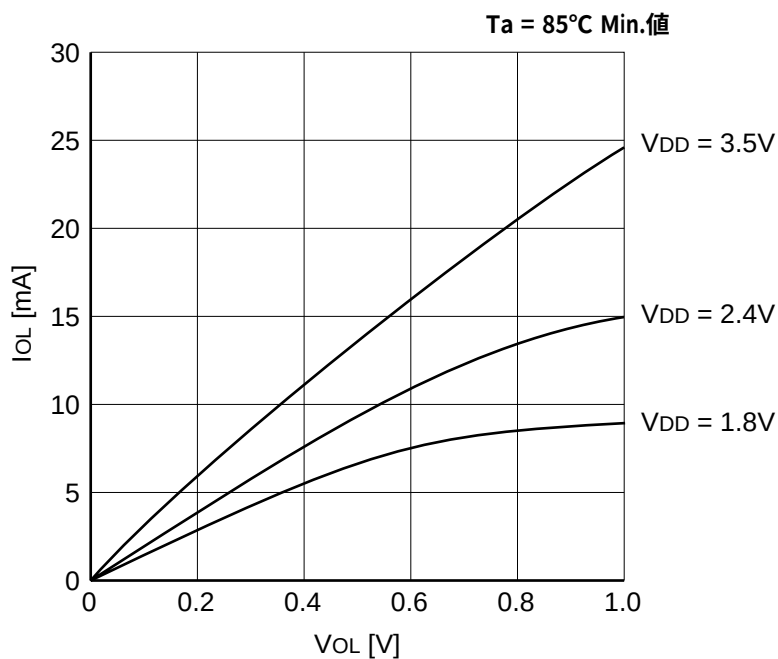


■ 低レベル出力電流特性

S1C88348/316/308

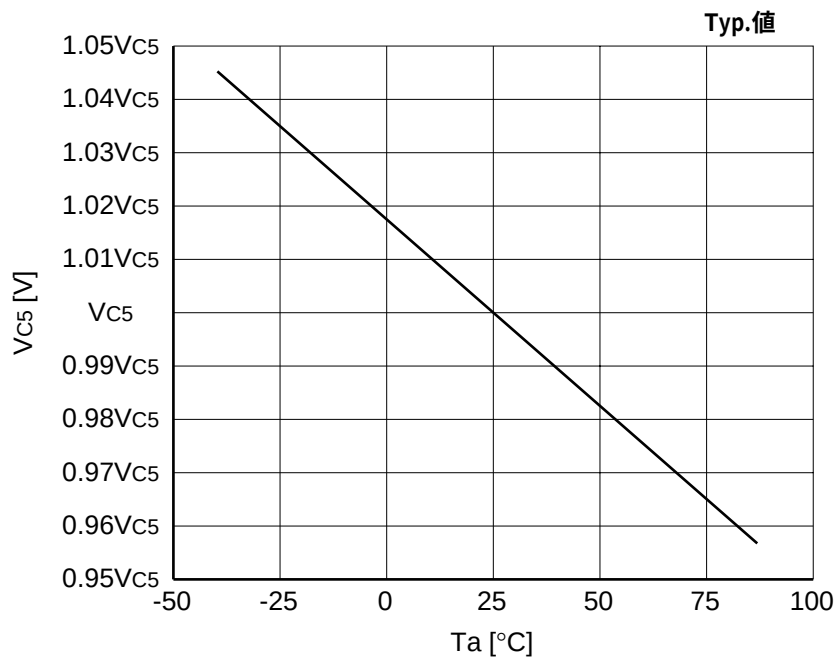


S1C88317

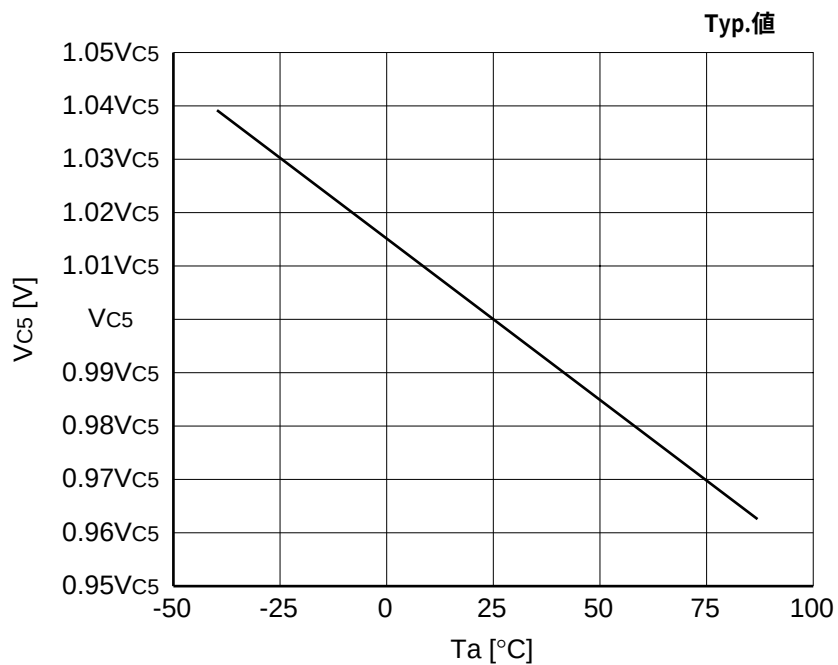


■ LCD駆動電圧温度特性

S1C88348/316/308



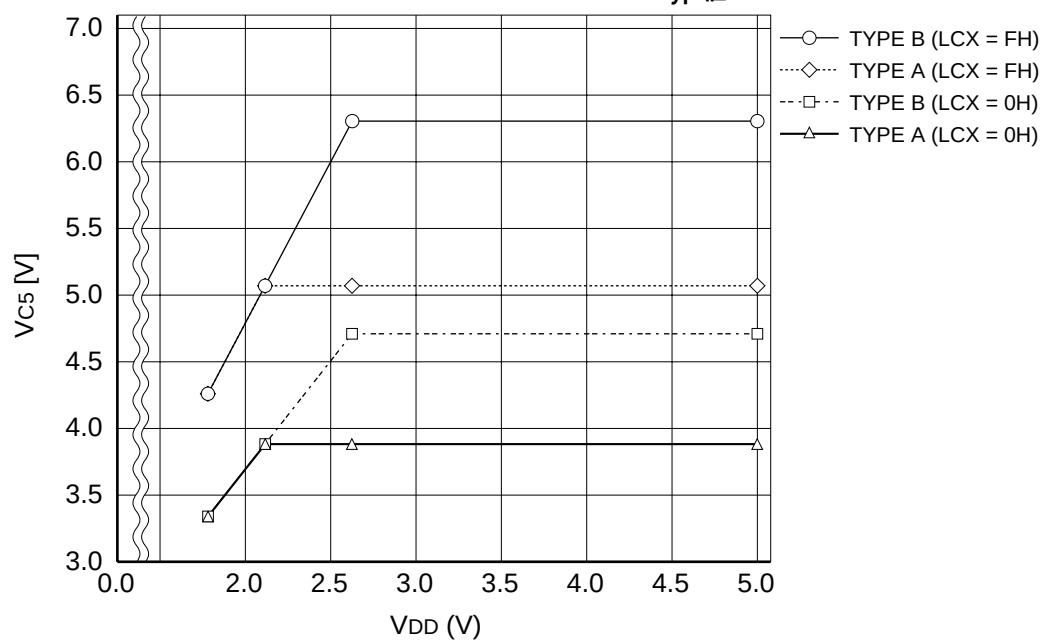
S1C88317



LCD駆動電圧電源電圧特性

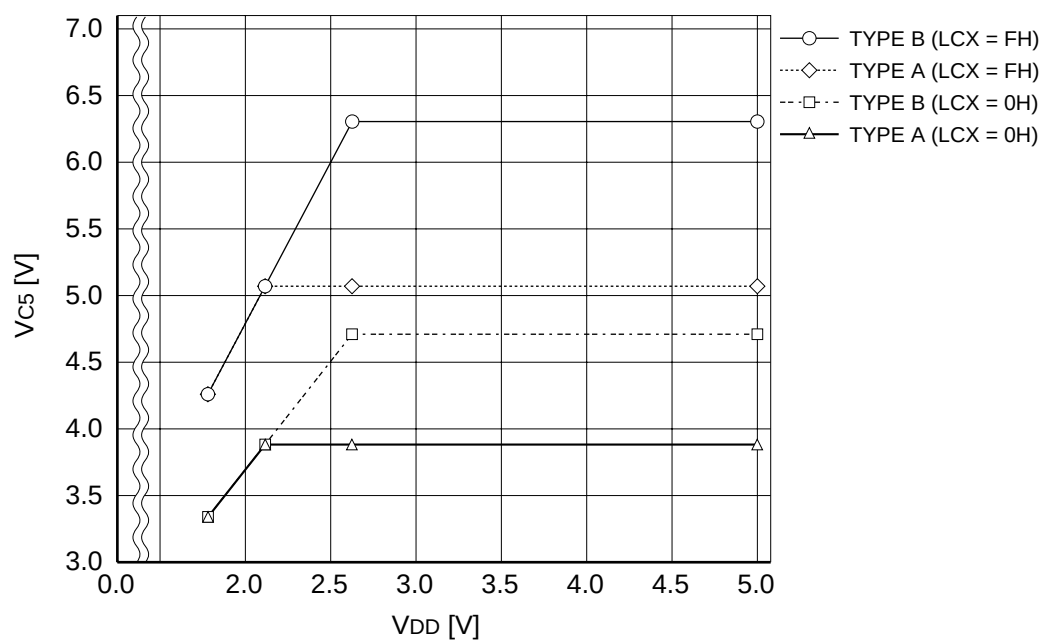
S1C88348/316/308

Ta = 25°C Typ.値



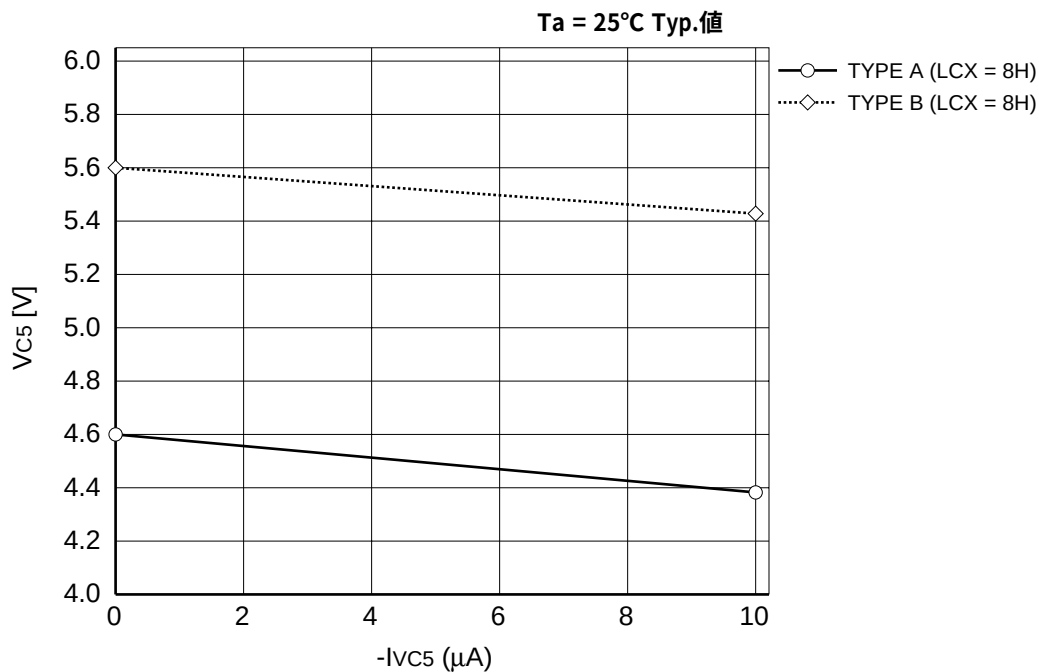
S1C88317

Ta = 25°C Typ.値

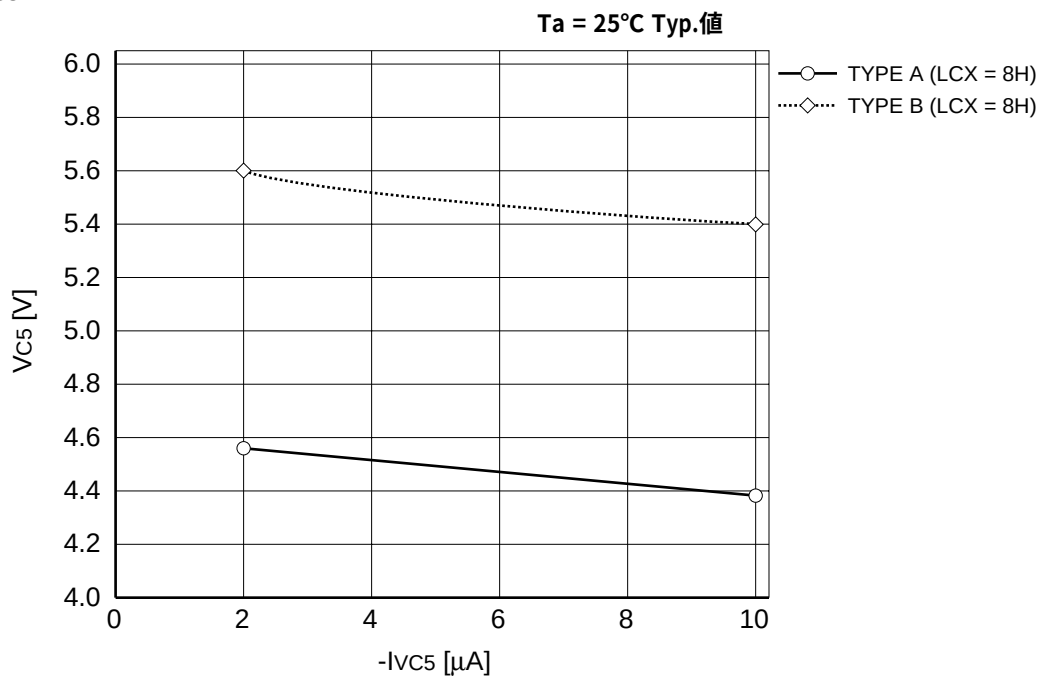


LCD駆動電圧負荷特性

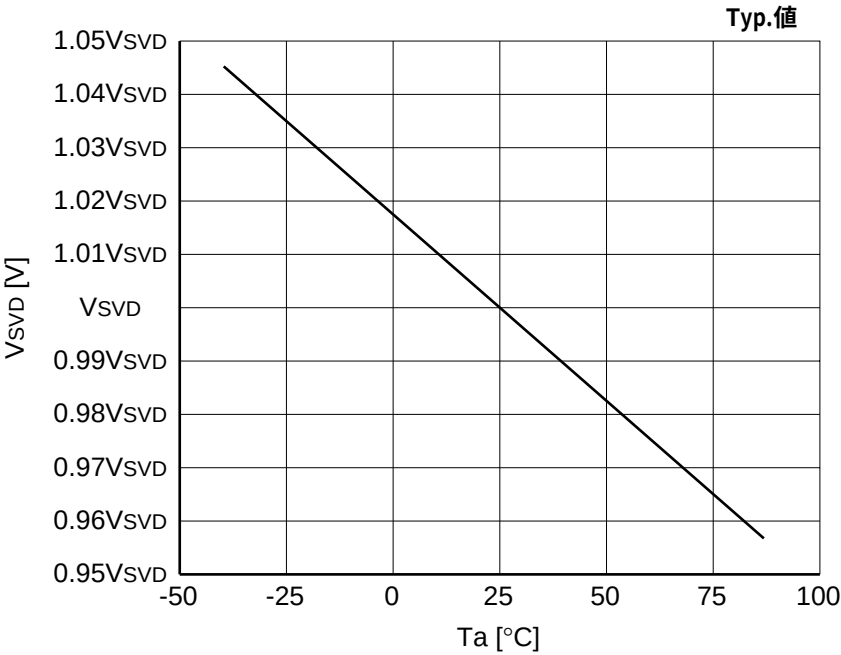
S1C88348/316/308



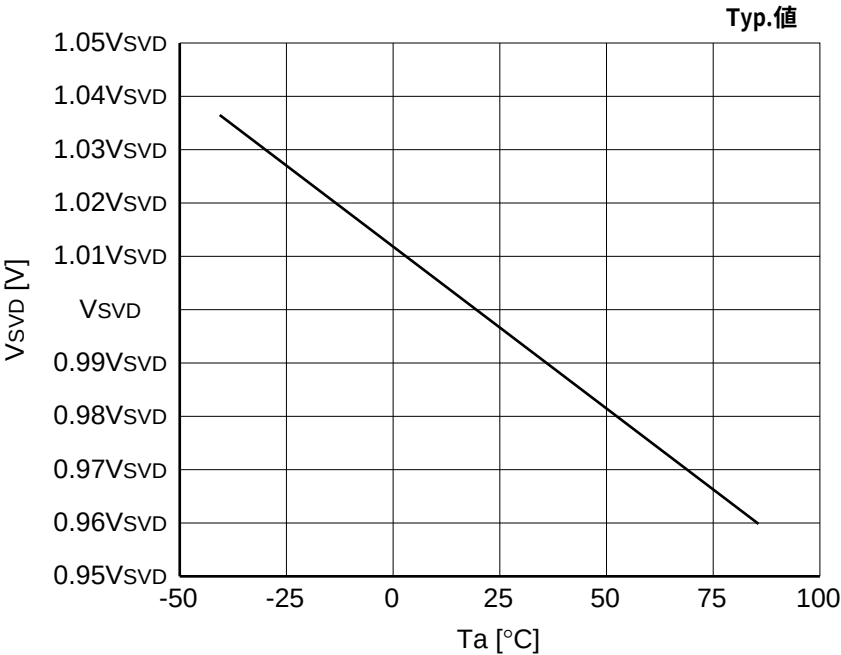
S1C88317



■ SVD電圧温度特性
S1C88348/316/308

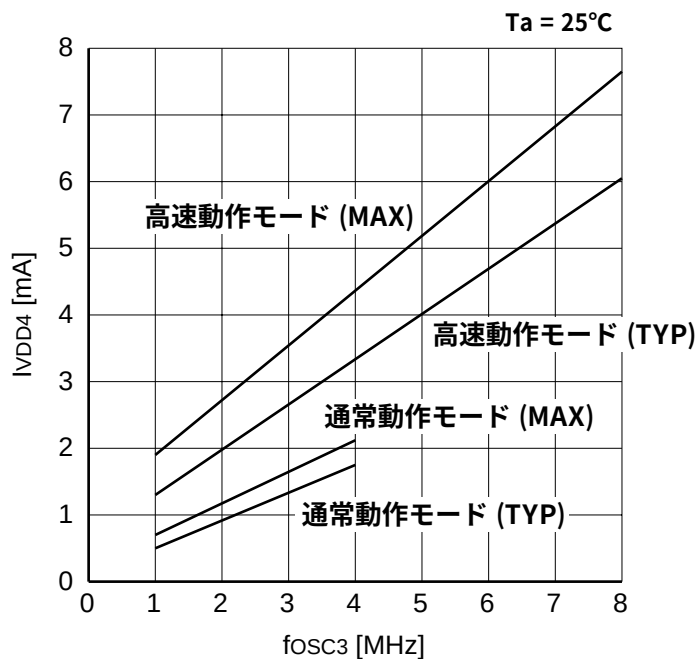


S1C88317

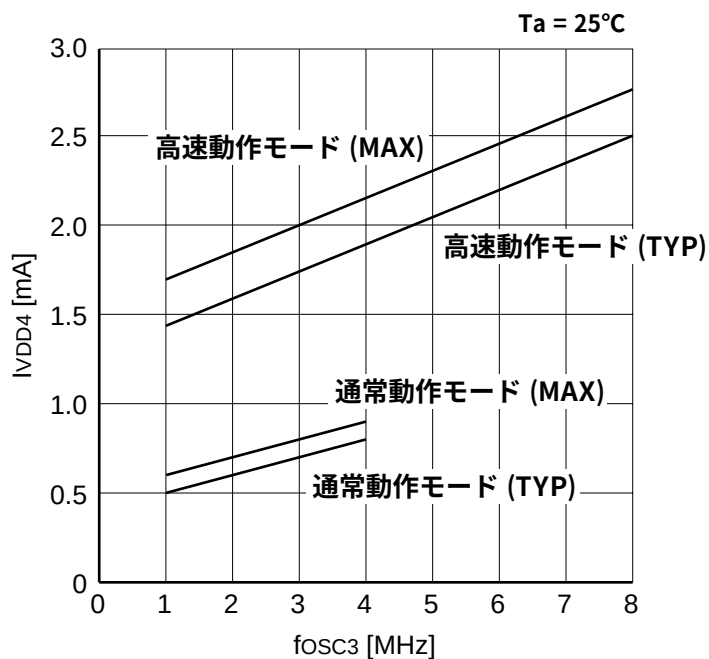


電源電流 (OSC3動作時) <水晶発振>

S1C88348/316/308

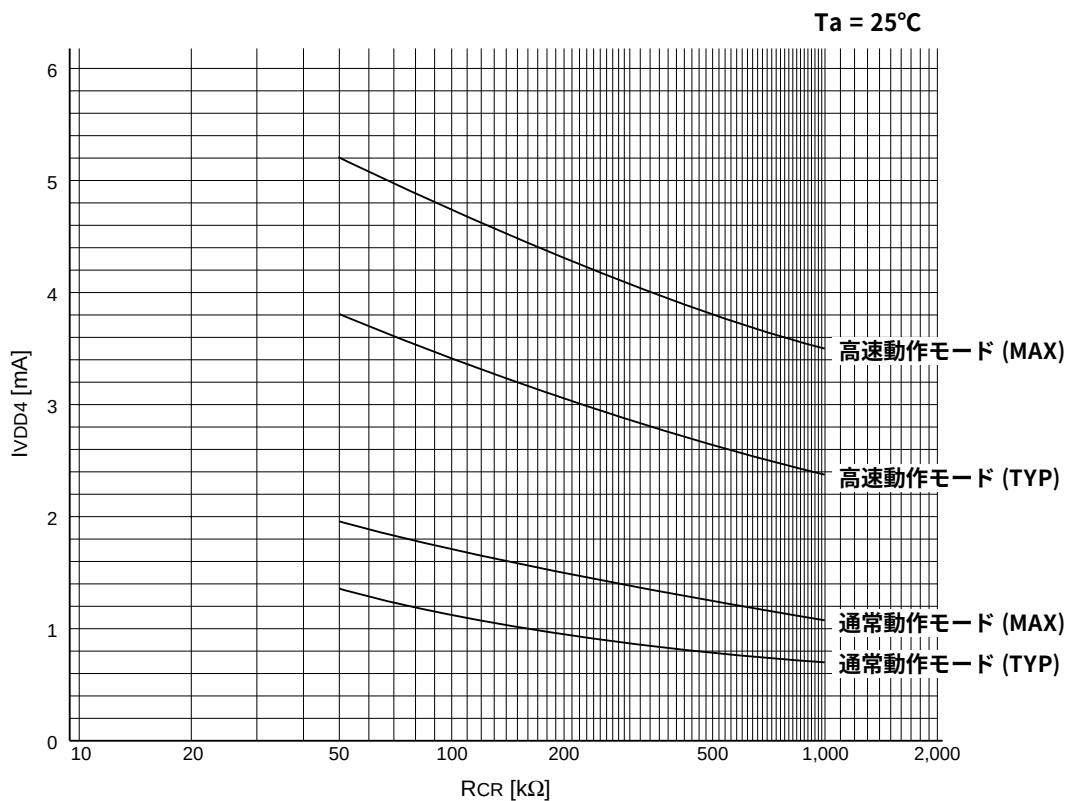


S1C88317

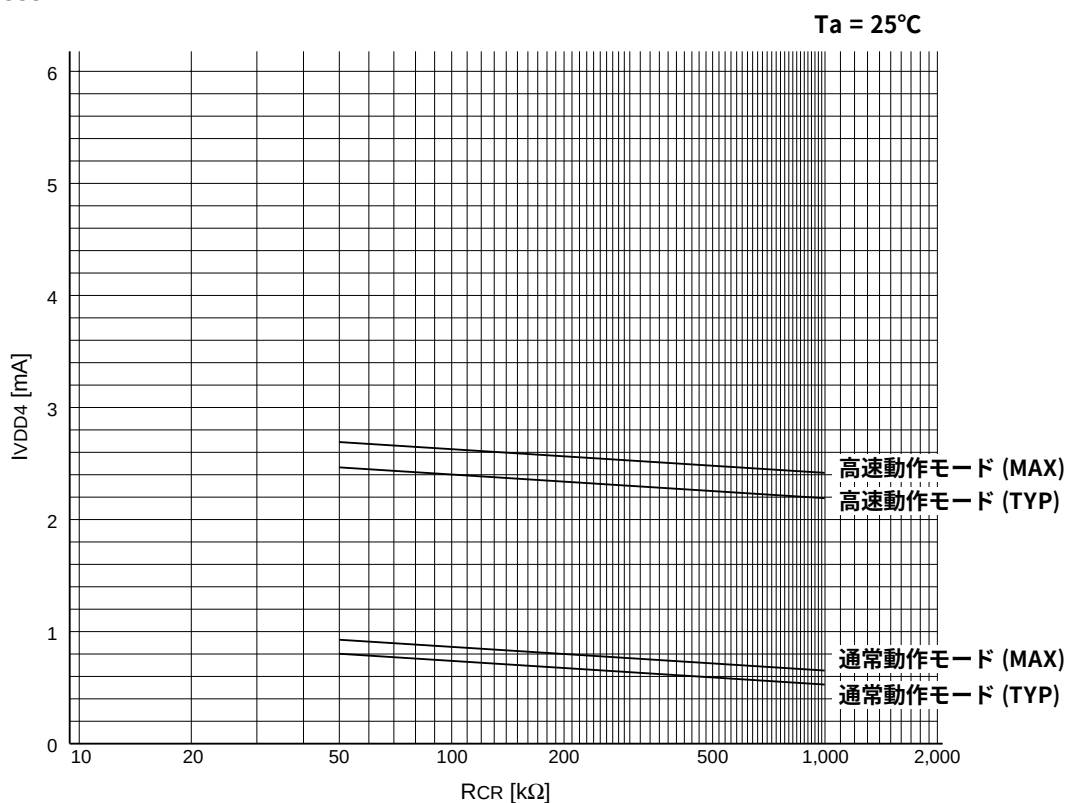


■ 電源電流 (OSC3動作時) <CR発振>

S1C88348/316/308

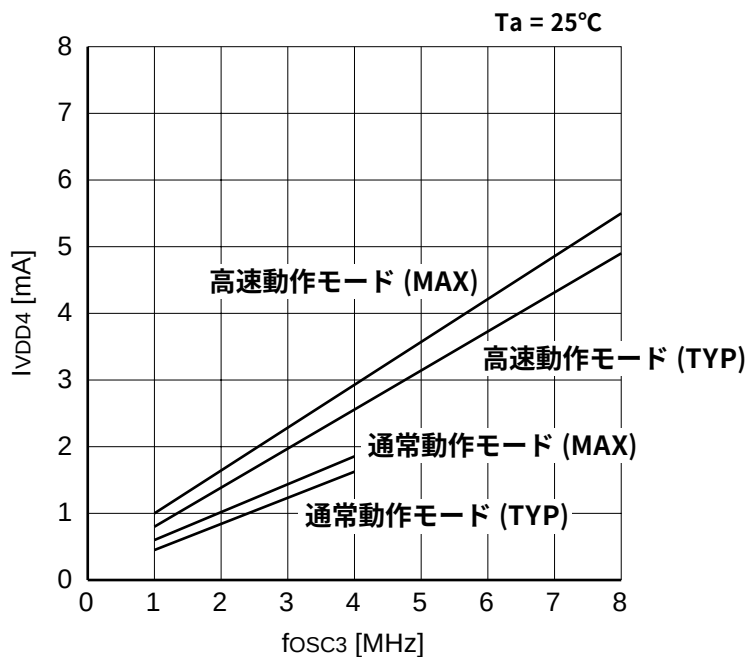


S1C88317

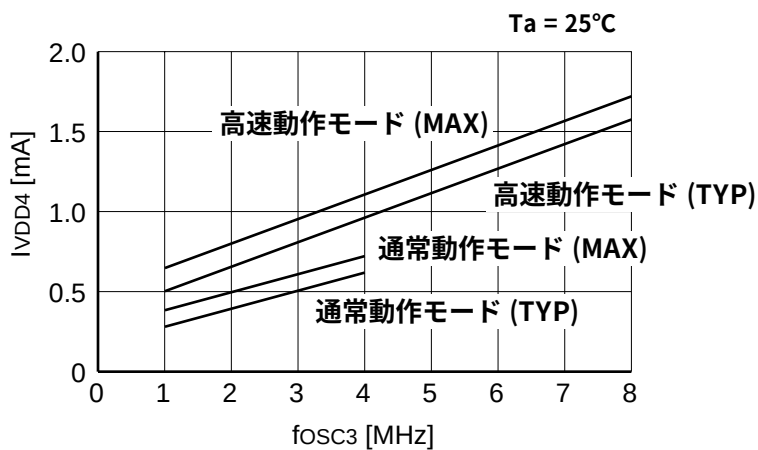


電源電流 (OSC3動作時) <外部クロック>

S1C88348/316/308

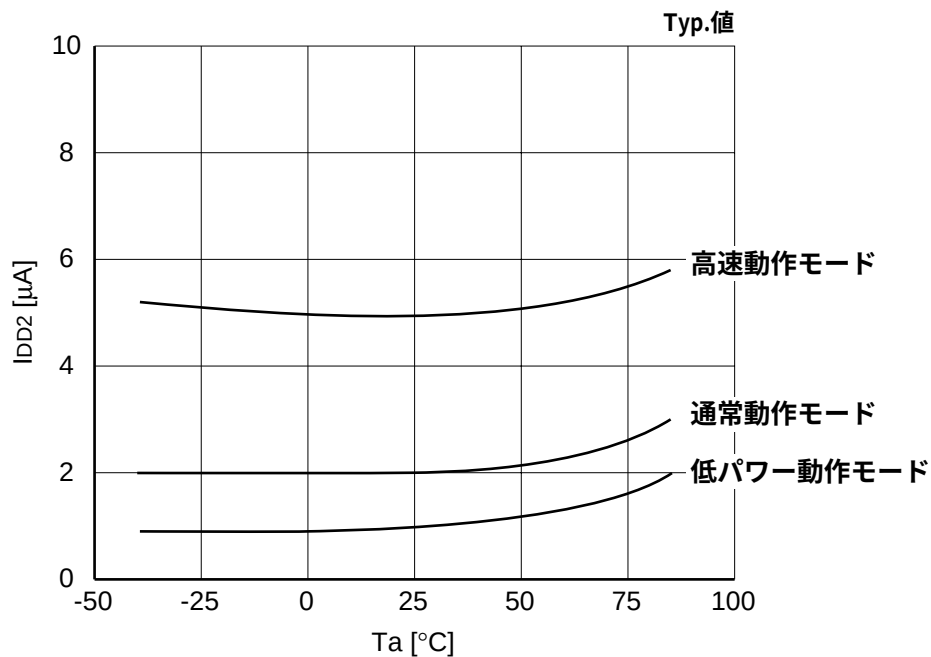


S1C88317

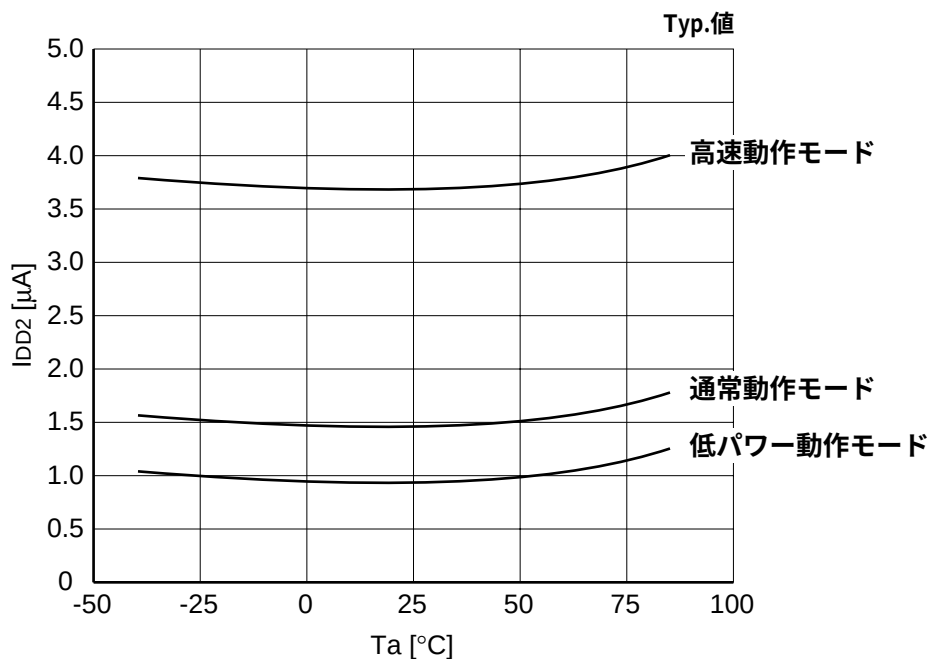


■ 電源電流温度特性 (HALT命令実行時)

S1C88348/316/308

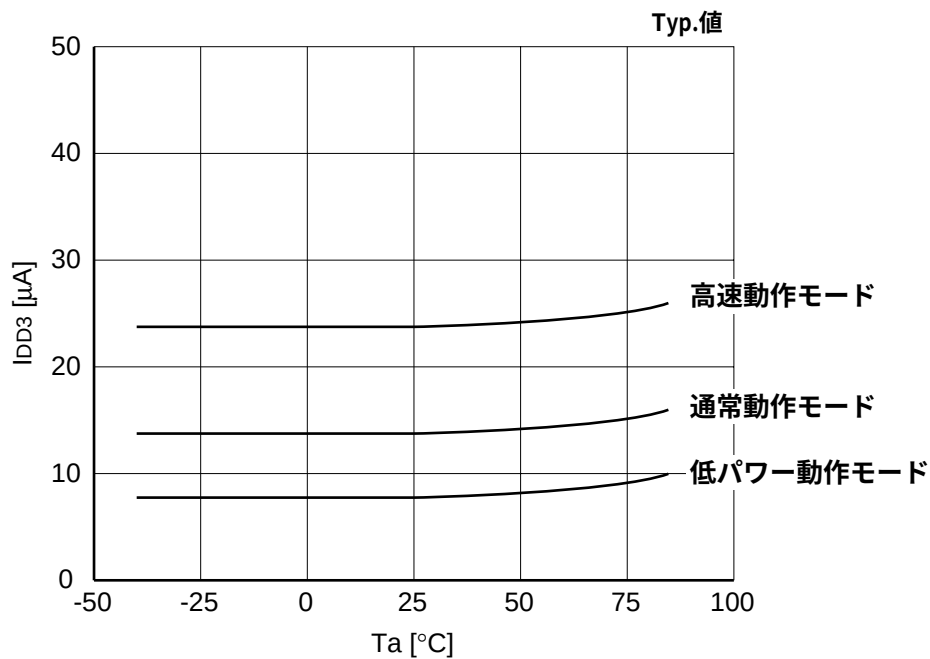


S1C88317

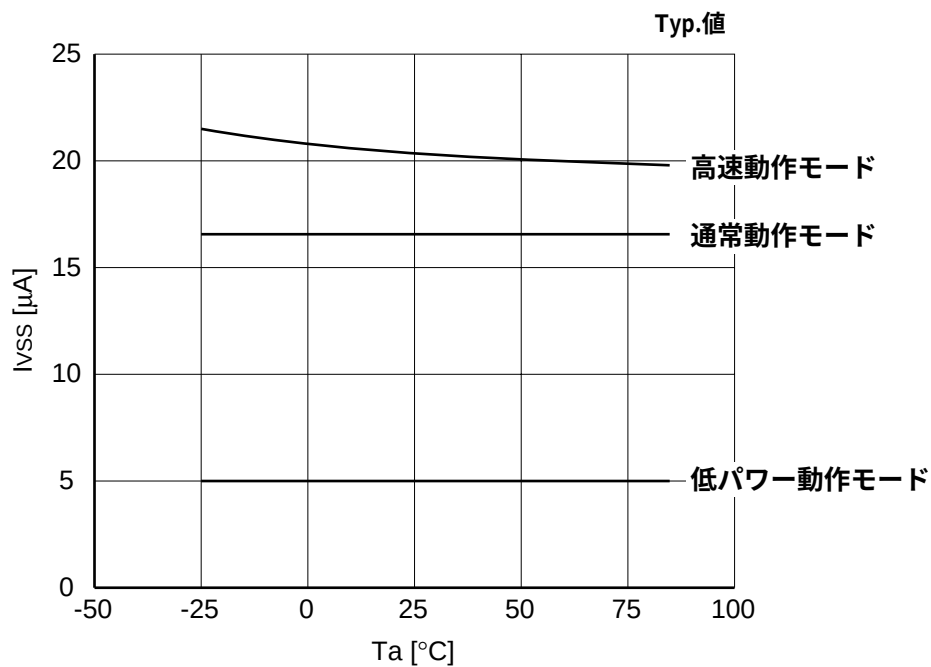


■ 電源電流温度特性 (CPU動作時 32.768kHz)

S1C88348/316/308

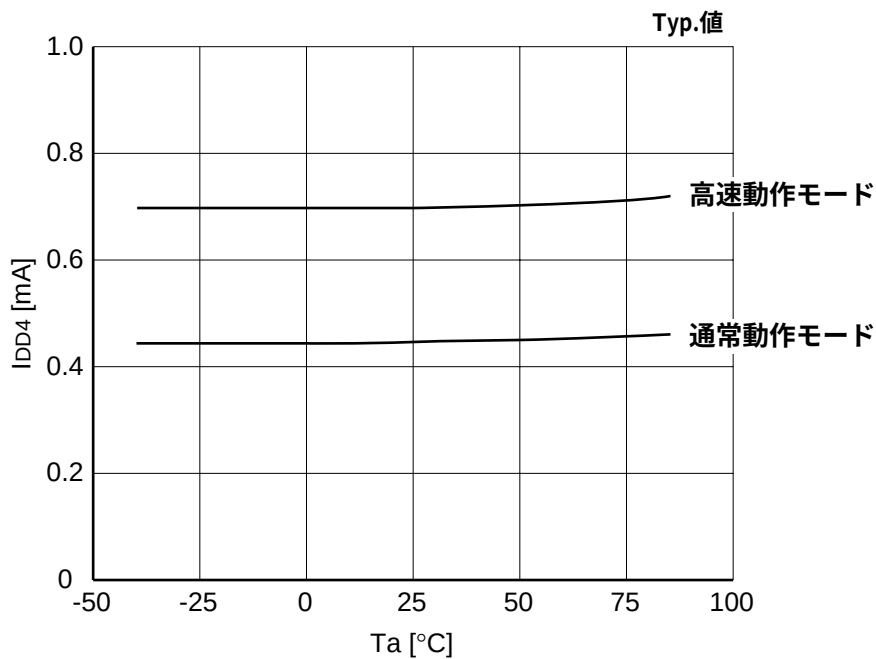


S1C88317

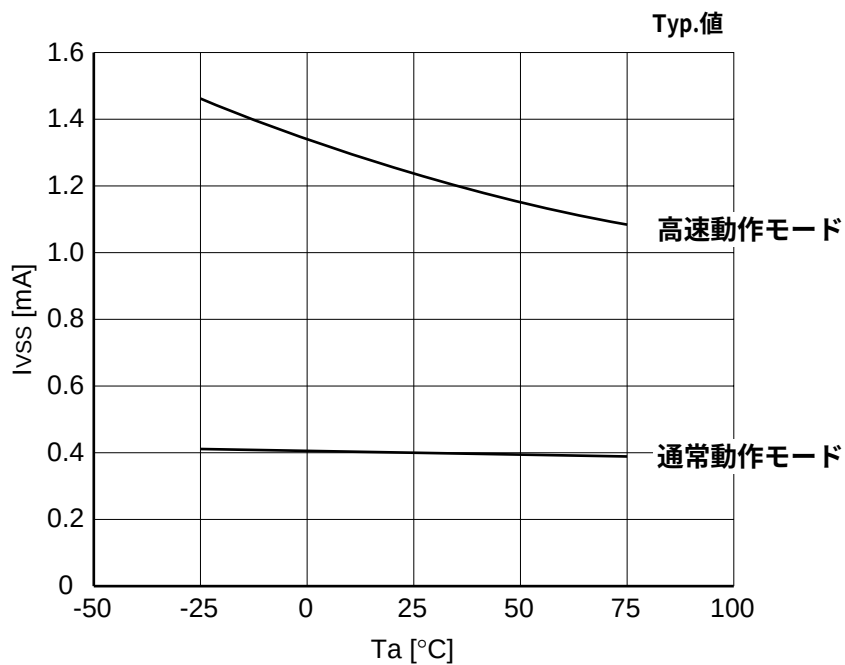


■ 電源電流温度特性 (CPU動作時 1MHz)

S1C88348/316/308



S1C88317

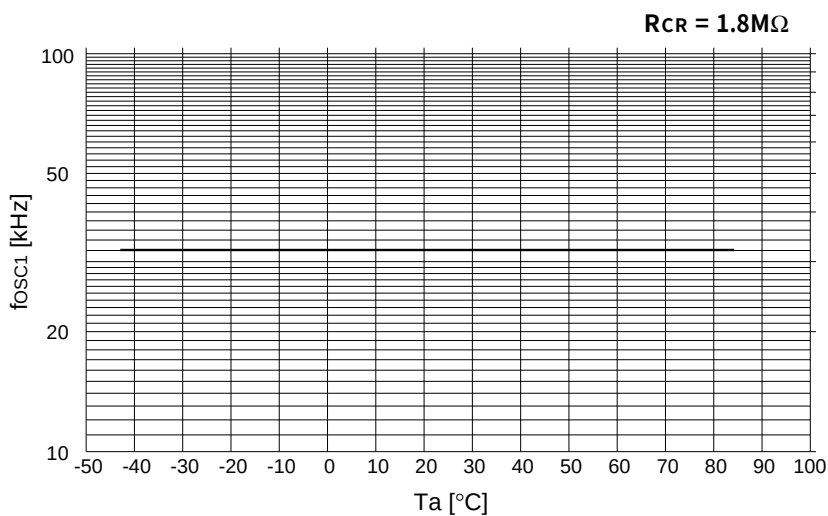
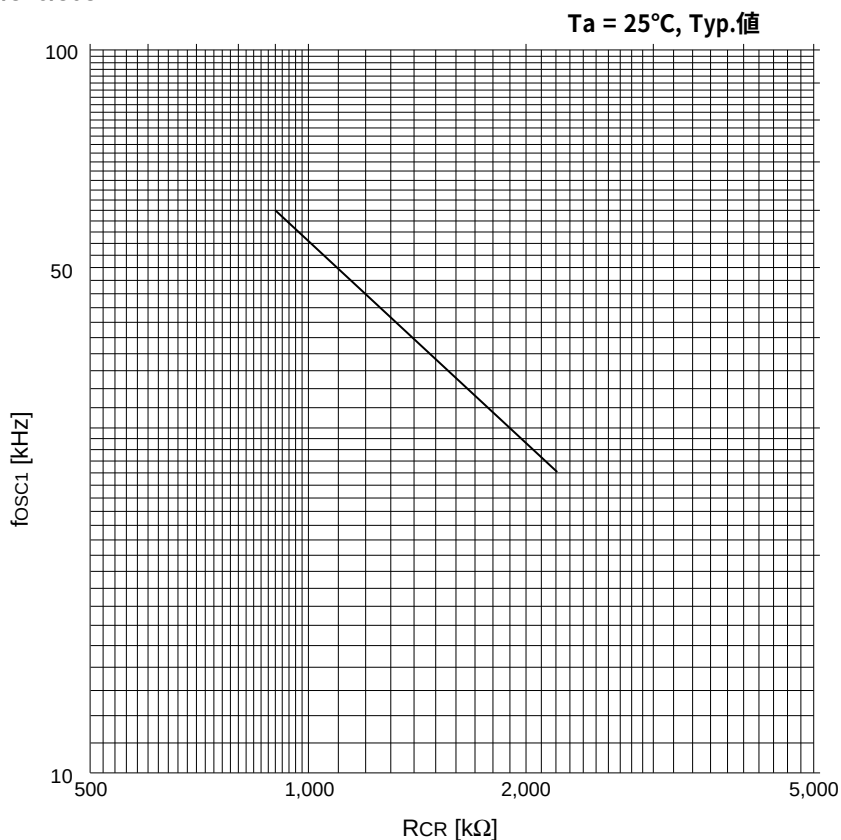


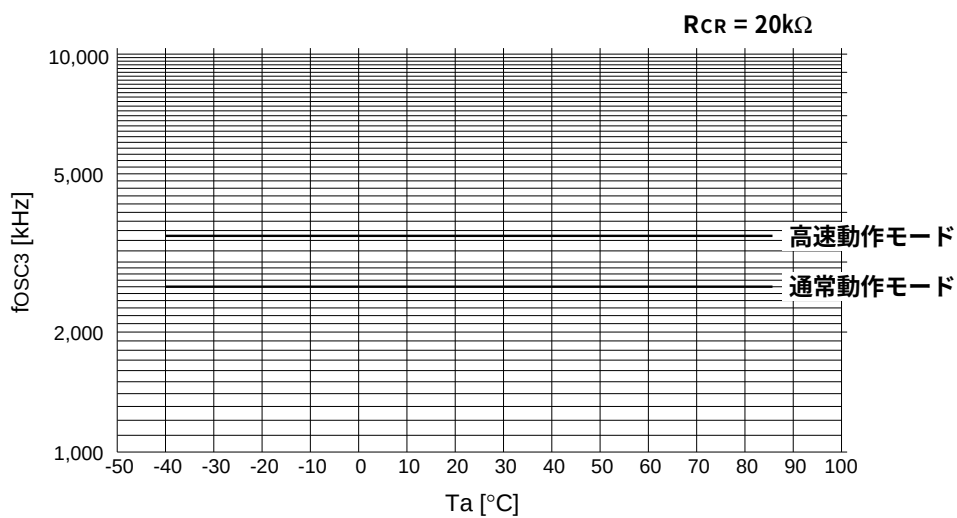
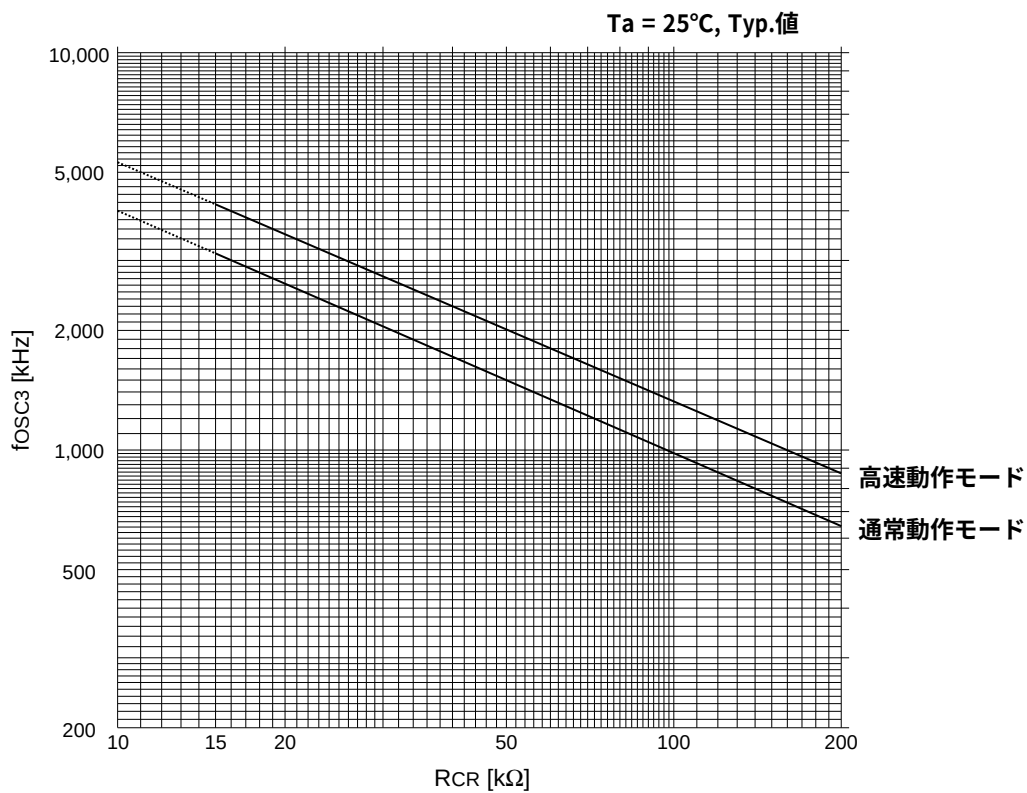
■ CR発振周波数特性

注) 発振周波数は、基板パターンおよび使用部品などにより変化します。特にOSC3発振周波数は、製品形状(チップ、プラスチックパッケージ、セラミックパッケージ)および基板容量により大きく変化しますので、以下の特性は参考値とし、実際の製品で評価され、抵抗値をお選びください。(ただし、OSC3の抵抗値は $R_{CR} \geq 15k\Omega$ にしてください。)

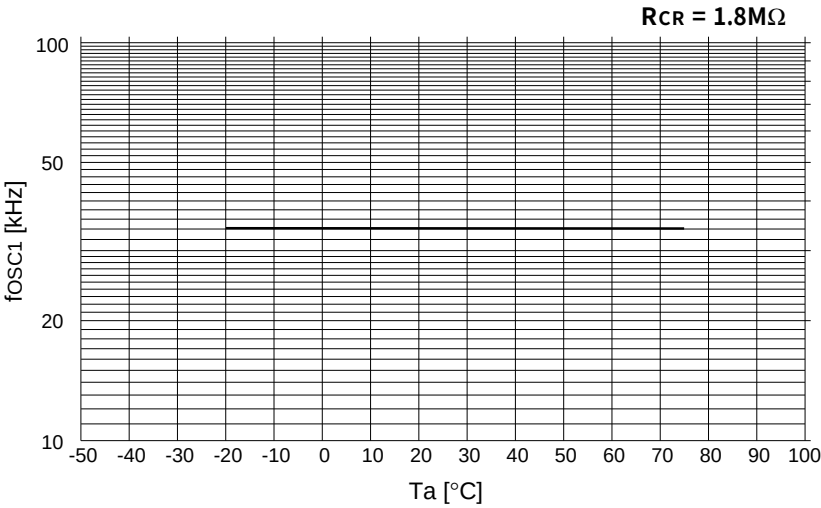
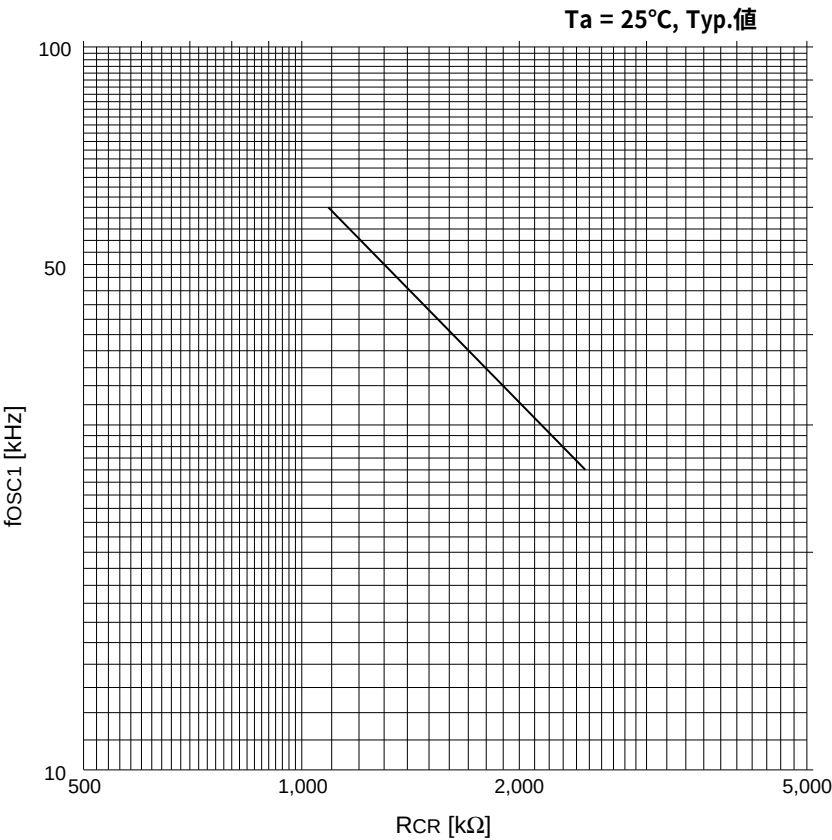
・ 発振周波数抵抗特性

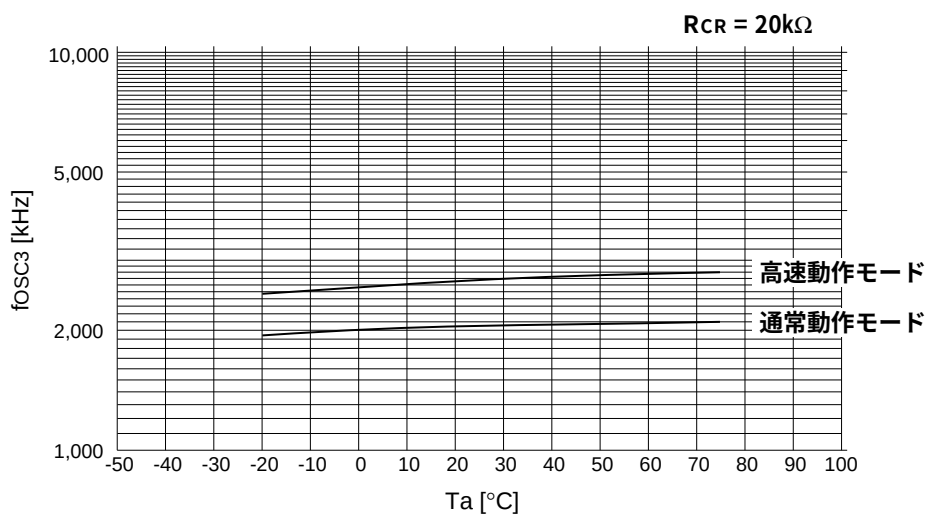
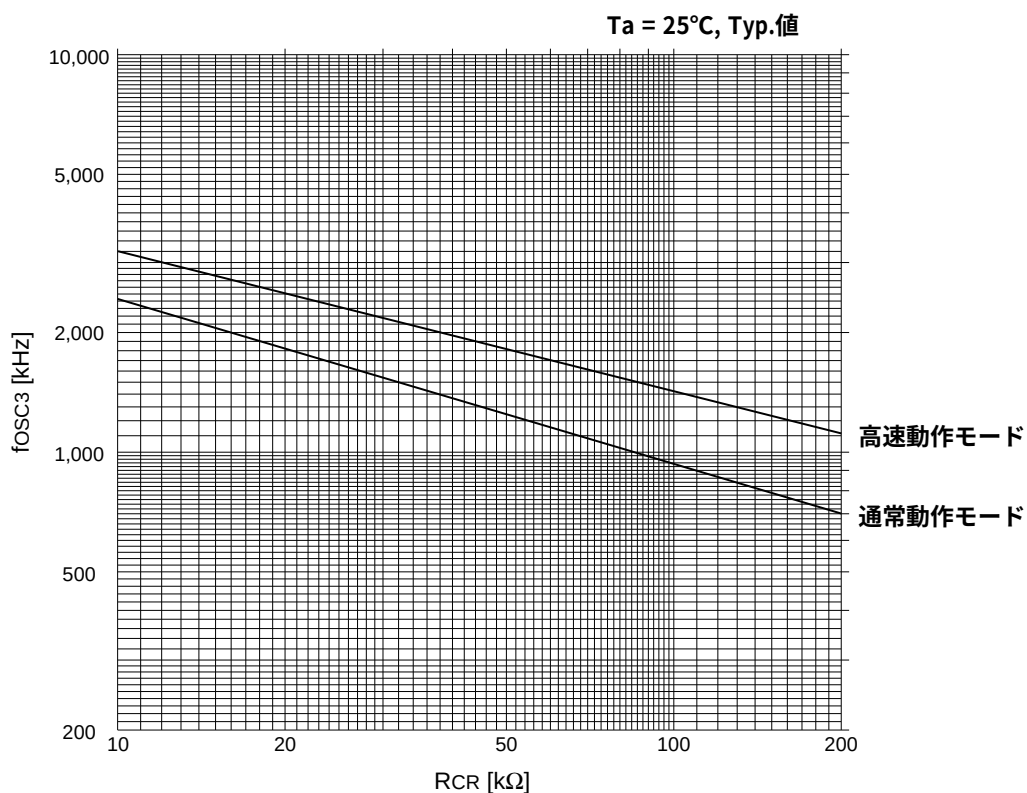
S1C88348/316/308





S1C88317



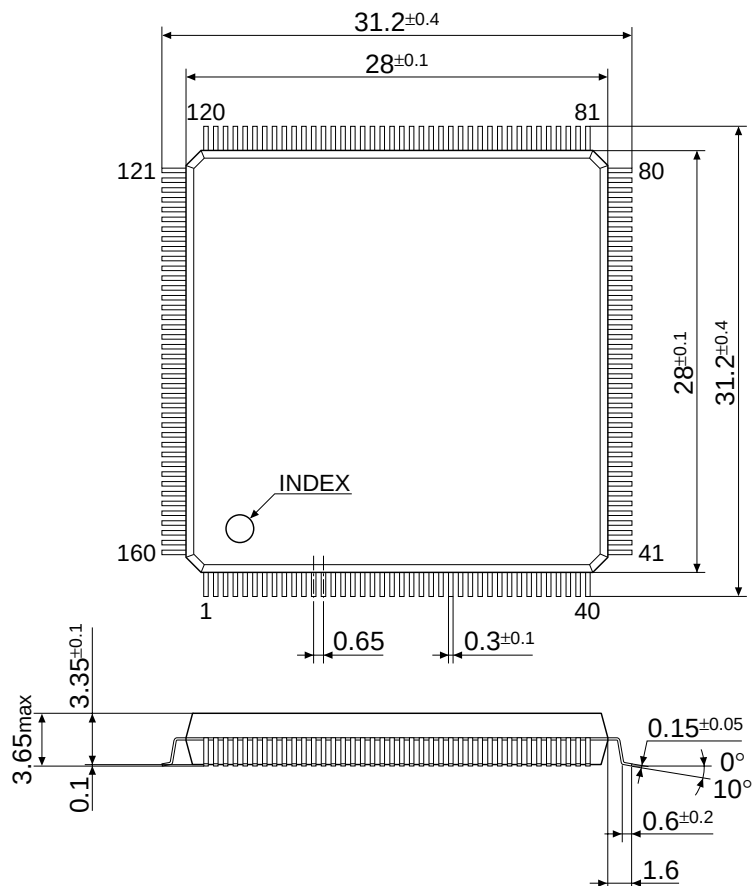


8 パッケージ

8.1 プラスチックパッケージ

QFP8-160pin

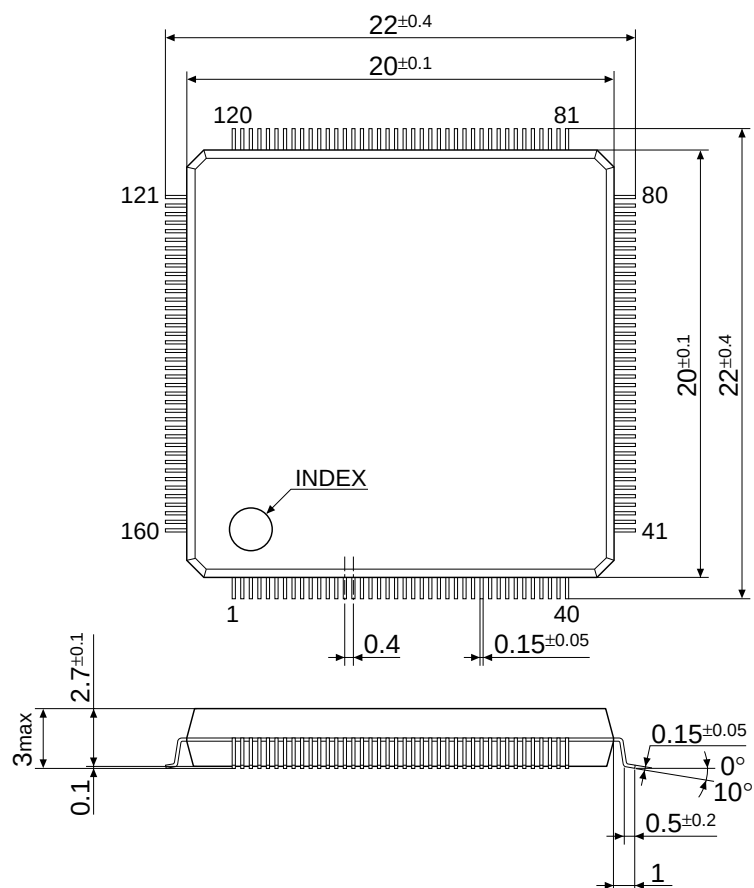
(単位: mm)



寸法については予告なく変更する場合があります。

QFP17-160pin

(単位: mm)

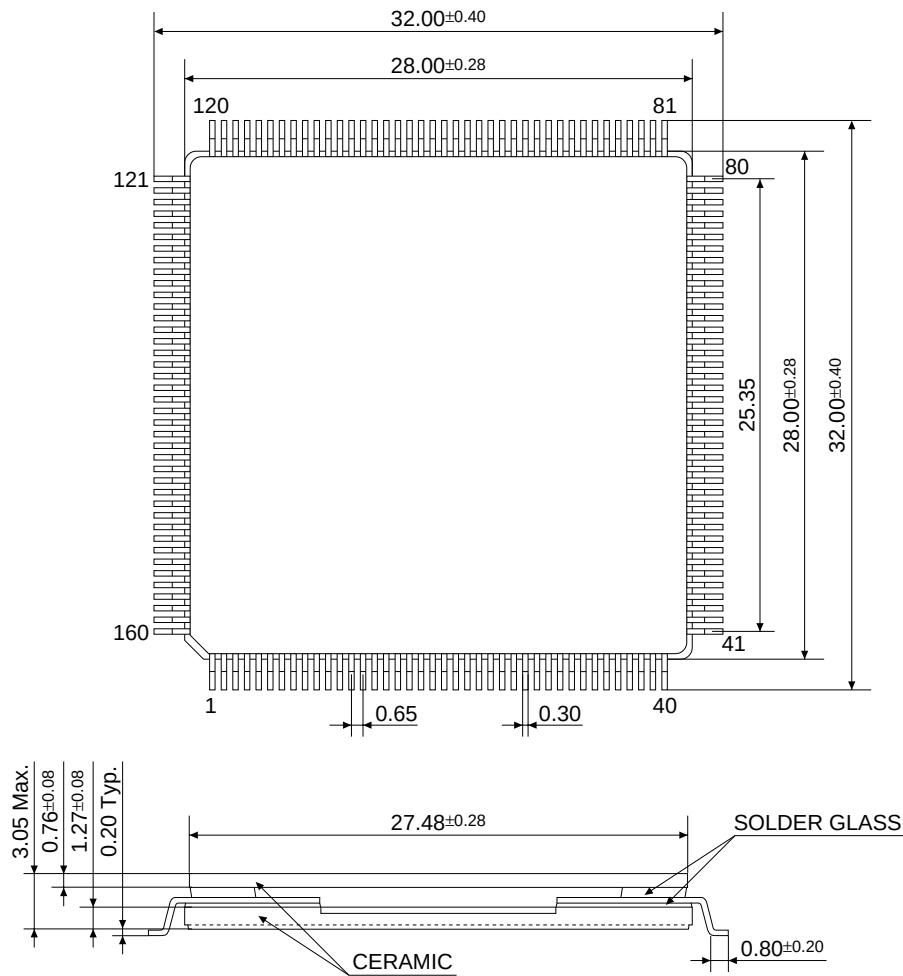


寸法については予告なく変更する場合があります。

8.2 セラミックパッケージ

QFP8-160pin

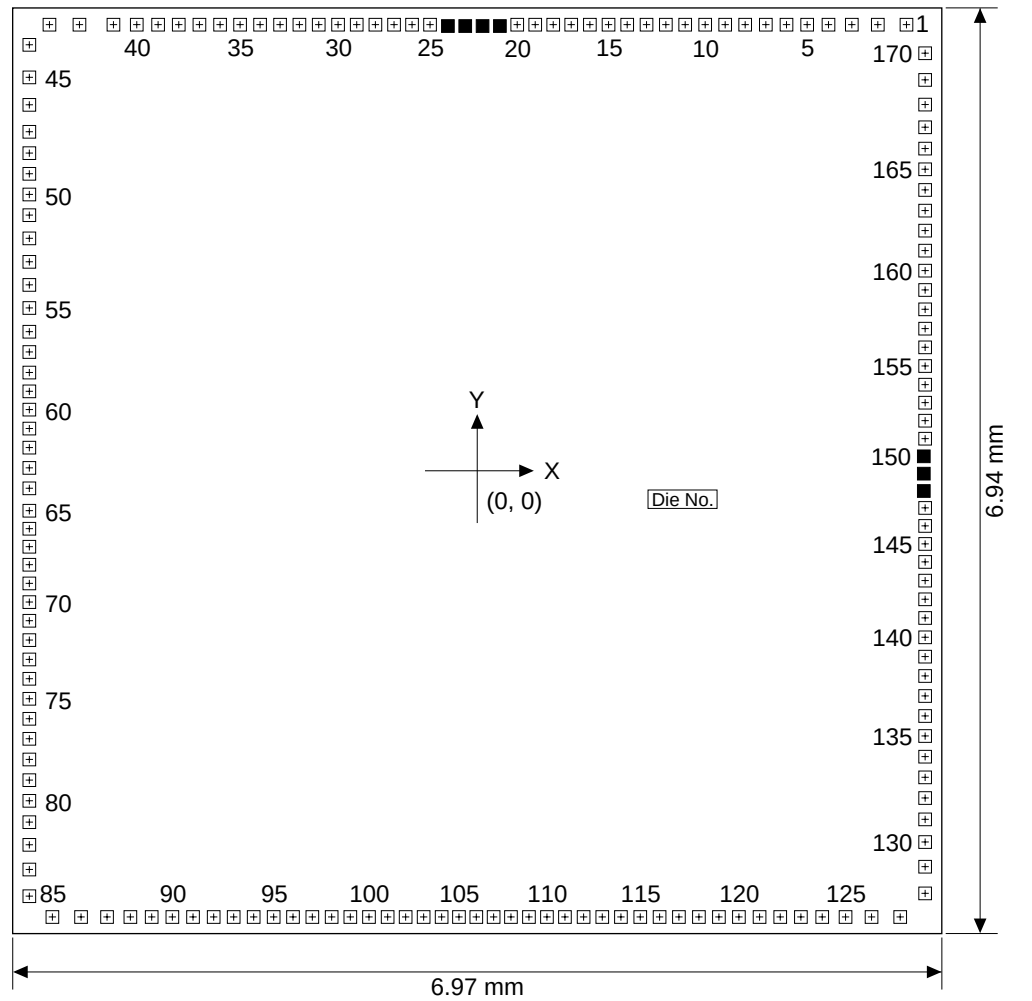
(単位: mm)



9 パッド配置

9.1 パッド配置図

S1C88348

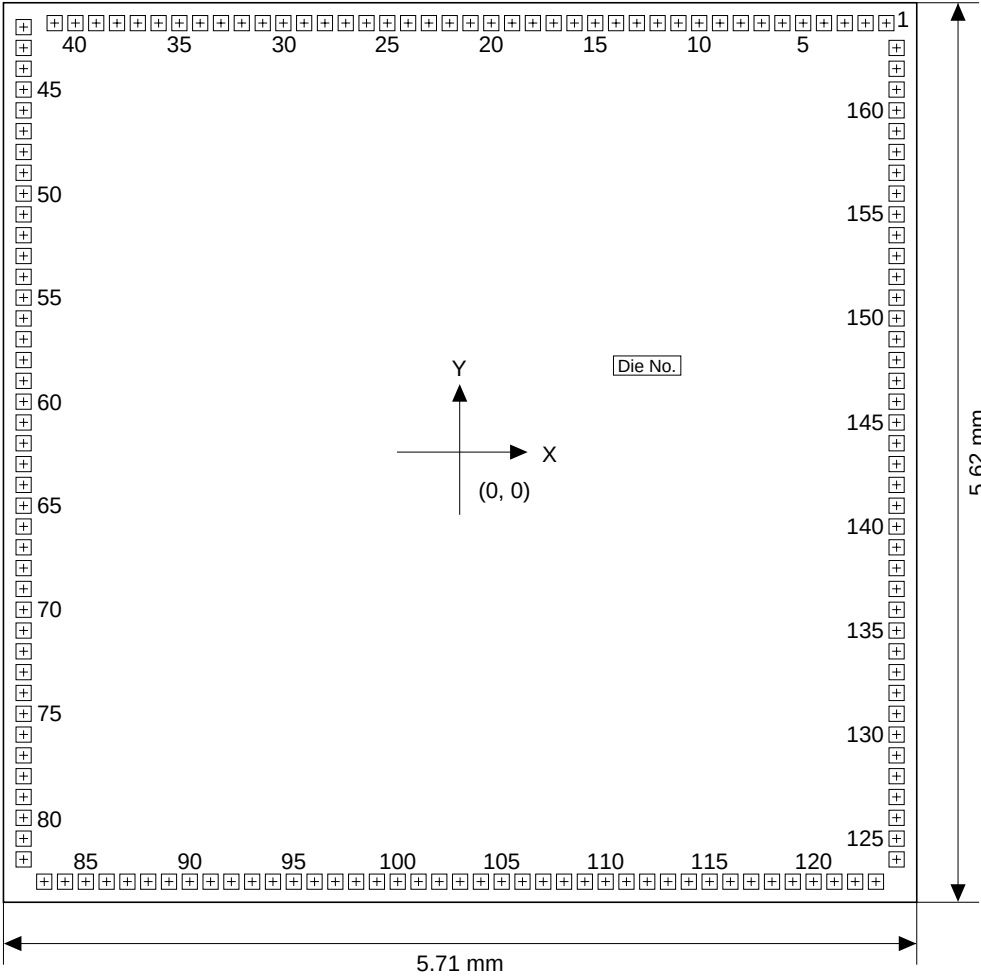


チップ厚: 0.4mm
パッド開口部: 95μm

■ パッドはICの出荷検査時に使用するパッドですので、ボンディングしないでください。

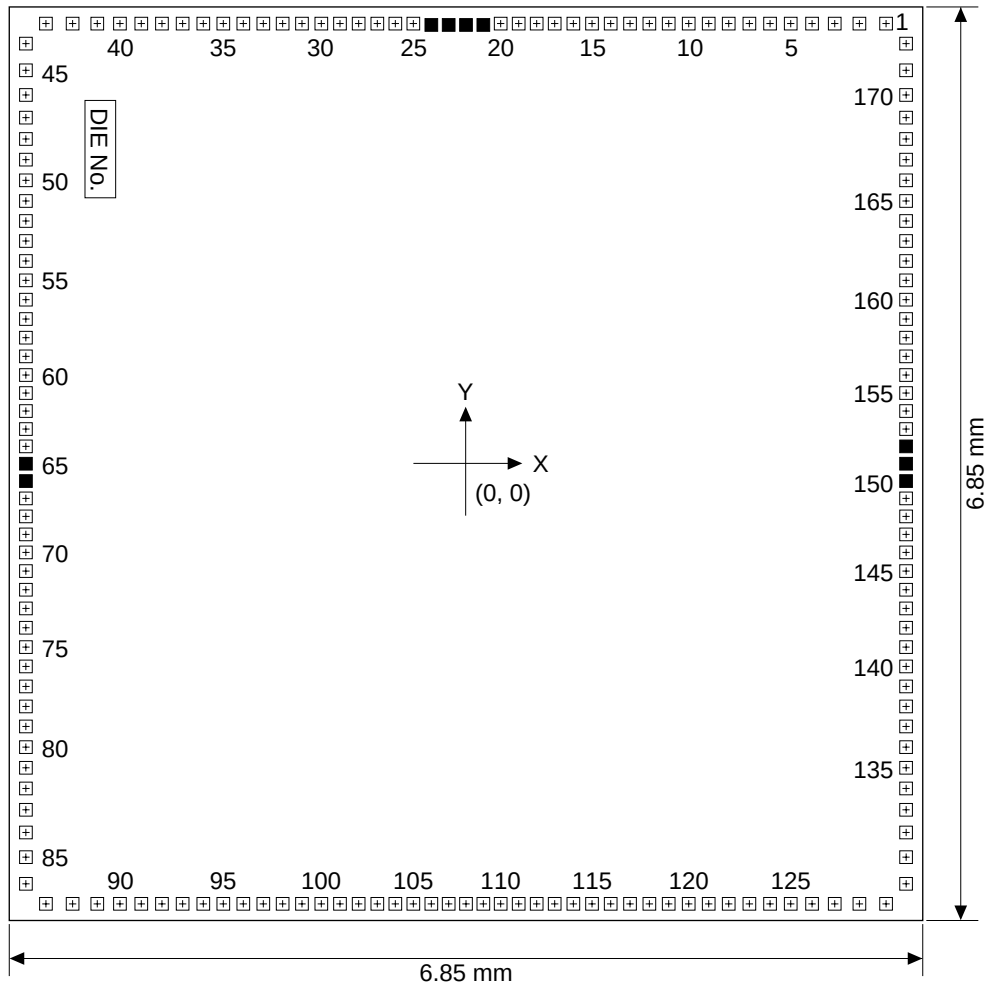
9 パッド配置

S1C88317



チップ厚: 0.4mm
パッド開口部: 95μm

S1C88316

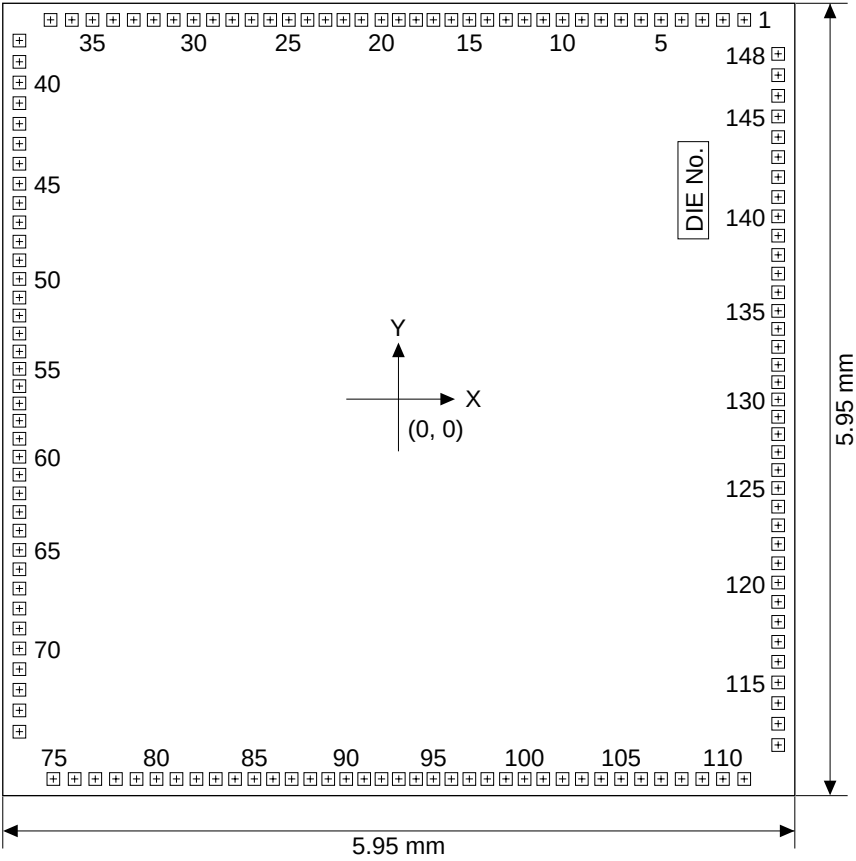


チップ厚: 0.4mm
パッド開口部: 95μm

■ パッドはICの出荷検査時に使用するパッドですので、ボンディングしないでください。

9 パッド配置

S1C88308



チップ厚: 0.4mm
パッド開口部: 95μm

9.2 パッド座標

表9.2.1 パッド座標(S1C88348)

(単位: mm)

パッド		X	Y	パッド		X	Y	パッド		X	Y	パッド		X	Y
No.	名称	座標	座標	No.	名称	座標	座標	No.	名称	座標	座標	No.	名称	座標	座標
1	COM24/SEG58	3.220	3.345	44	Vss	-3.360	3.194	87	R13/A11	-2.777	-3.345	130	SEG20	3.360	-2.783
2	COM23/SEG59	3.005	3.345	45	OSC1	-3.360	2.950	88	R14/A12	-2.602	-3.345	131	SEG21	3.360	-2.613
3	COM22/SEG60	2.810	3.345	46	OSC2	-3.360	2.744	89	R15/A13	-2.442	-3.345	132	SEG22	3.360	-2.453
4	COM21/SEG61	2.635	3.345	47	TEST	-3.360	2.542	90	R16/A14	-2.287	-3.345	133	SEG23	3.360	-2.298
5	COM20/SEG62	2.475	3.345	48	RESET	-3.360	2.382	91	R17/A15	-2.132	-3.345	134	SEG24	3.360	-2.143
6	COM19/SEG63	2.320	3.345	49	MCU/MPU	-3.360	2.227	92	R20/A16	-1.977	-3.345	135	SEG25	3.360	-1.988
7	COM18/SEG64	2.165	3.345	50	K11/BREQ	-3.360	2.072	93	R21/A17	-1.827	-3.345	136	SEG26	3.360	-1.838
8	COM17/SEG65	2.010	3.345	51	K10/EVIN	-3.360	1.917	94	R22/A18	-1.677	-3.345	137	SEG27	3.360	-1.688
9	COM16/SEG66	1.860	3.345	52	K07	-3.360	1.743	95	R23/RD	-1.527	-3.345	138	SEG28	3.360	-1.538
10	COM15	1.710	3.345	53	K06	-3.360	1.567	96	R24/WR	-1.382	-3.345	139	SEG29	3.360	-1.393
11	COM14	1.560	3.345	54	K05	-3.360	1.394	97	R25/CL	-1.237	-3.345	140	SEG30	3.360	-1.248
12	COM13	1.415	3.345	55	K04	-3.360	1.221	98	R26/FR	-1.092	-3.345	141	SEG31	3.360	-1.103
13	COM12	1.270	3.345	56	K03	-3.360	1.043	99	R27/TOUT	-0.952	-3.345	142	SEG32	3.360	-0.963
14	COM11	1.125	3.345	57	K02	-3.360	0.891	100	R30/CE0	-0.812	-3.345	143	SEG33	3.360	-0.823
15	COM10	0.985	3.345	58	K01	-3.360	0.737	101	R31/CE1	-0.672	-3.345	144	SEG34	3.360	-0.683
16	COM9	0.845	3.345	59	K00	-3.360	0.596	102	R32/CE2	-0.537	-3.345	145	SEG35	3.360	-0.548
17	COM8	0.705	3.345	60	P17/CMPM1	-3.360	0.459	103	R33/CE3	-0.402	-3.345	146	SEG36	3.360	-0.413
18	COM7	0.570	3.345	61	P16/CMPP1	-3.360	0.317	104	R34/FOUT	-0.267	-3.345	147	SEG37	3.360	-0.278
19	COM6	0.435	3.345	62	P15/CMPM0	-3.360	0.174	105	R35	-0.137	-3.345	148	— *	3.350	-0.151
20	COM5	0.300	3.345	63	P14/CMPP0	-3.360	0.022	106	R36	-0.007	-3.345	149	— *	3.350	-0.021
21	— *	0.170	3.335	64	P13/SRDY	-3.360	-0.131	107	R37	0.123	-3.345	150	— *	3.350	0.109
22	— *	0.040	3.335	65	P12/SCLK	-3.360	-0.299	108	R50/BZ	0.253	-3.345	151	SEG38	3.360	0.241
23	— *	-0.090	3.335	66	P11/SOUT	-3.360	-0.434	109	R51/BACK	0.388	-3.345	152	SEG39	3.360	0.376
24	— *	-0.220	3.335	67	P10/SIN	-3.360	-0.569	110	SEG0	0.523	-3.345	153	SEG40	3.360	0.511
25	COM4	-0.354	3.345	68	P07/D7	-3.360	-0.704	111	SEG1	0.658	-3.345	154	SEG41	3.360	0.646
26	COM3	-0.489	3.345	69	P06/D6	-3.360	-0.844	112	SEG2	0.798	-3.345	155	SEG42	3.360	0.786
27	COM2	-0.624	3.345	70	P05/D5	-3.360	-0.984	113	SEG3	0.938	-3.345	156	SEG43	3.360	0.926
28	COM1	-0.764	3.345	71	P04/D4	-3.360	-1.124	114	SEG4	1.078	-3.345	157	SEG44	3.360	1.066
29	COM0	-0.904	3.345	72	P03/D3	-3.360	-1.269	115	SEG5	1.223	-3.345	158	SEG45	3.360	1.211
30	CE	-1.044	3.345	73	P02/D2	-3.360	-1.414	116	SEG6	1.368	-3.345	159	SEG46	3.360	1.356
31	CD	-1.189	3.345	74	P01/D1	-3.360	-1.559	117	SEG7	1.513	-3.345	160	SEG47	3.360	1.501
32	CC	-1.334	3.345	75	P00/D0	-3.360	-1.709	118	SEG8	1.663	-3.345	161	SEG48	3.360	1.651
33	CB	-1.479	3.345	76	R00/A0	-3.360	-1.859	119	SEG9	1.813	-3.345	162	SEG49	3.360	1.801
34	CA	-1.629	3.345	77	R01/A1	-3.360	-2.009	120	SEG10	1.963	-3.345	163	SEG50	3.360	1.951
35	Vc5	-1.779	3.345	78	R02/A2	-3.360	-2.164	121	SEG11	2.118	-3.345	164	COM31/SEG51	3.360	2.106
36	Vc4	-1.929	3.345	79	R03/A3	-3.360	-2.319	122	SEG12	2.273	-3.345	165	COM30/SEG52	3.360	2.261
37	Vc3	-2.084	3.345	80	R04/A4	-3.360	-2.474	123	SEG13	2.428	-3.345	166	COM29/SEG53	3.360	2.416
38	Vc2	-2.239	3.345	81	R05/A5	-3.360	-2.634	124	SEG14	2.588	-3.345	167	COM28/SEG54	3.360	2.576
39	Vc1	-2.394	3.345	82	R06/A6	-3.360	-2.804	125	SEG15	2.763	-3.345	168	COM27/SEG55	3.360	2.746
40	OSC3	-2.554	3.345	83	R07/A7	-3.360	-2.989	126	SEG16	2.958	-3.345	169	COM26/SEG56	3.360	2.931
41	OSC4	-2.729	3.345	84	R10/A8	-3.360	-3.189	127	SEG17	3.173	-3.345	170	COM25/SEG57	3.360	3.131
42	Vd1	-2.984	3.345	85	R11/A9	-3.187	-3.345	128	SEG18	3.360	-3.168				
43	Vd0	-3.209	3.345	86	R12/A10	-2.972	-3.345	129	SEG19	3.360	-2.968				

* No.21～24、148～150パッドはICの出荷検査時に使用するパッドですので、ボンディングしないでください。

表9.2.2 パッド座標(S1C88317)

(単位: mm)

パッド		X	Y	パッド		X	Y	パッド		X	Y	パッド		X	Y
No.	名称	座標	座標	No.	名称	座標	座標	No.	名称	座標	座標	No.	名称	座標	座標
1	COM25/SEG57	2.665	2.682	42	OSC1	-2.729	2.657	83	R12/A10	-2.600	-2.682	124	SEG17	2.729	-2.543
2	COM24/SEG58	2.535	2.682	43	OSC2	-2.729	2.527	84	R13/A11	-2.470	-2.682	125	SEG18	2.729	-2.413
3	COM23/SEG59	2.405	2.682	44	TEST	-2.729	2.397	85	R14/A12	-2.340	-2.682	126	SEG19	2.729	-2.283
4	COM22/SEG60	2.275	2.682	45	RESET	-2.729	2.267	86	R15/A13	-2.210	-2.682	127	SEG20	2.729	-2.153
5	COM21/SEG61	2.145	2.682	46	MCU/MPU	-2.729	2.137	87	R16/A14	-2.080	-2.682	128	SEG21	2.729	-2.023
6	COM20/SEG62	2.015	2.682	47	K11/BREQ	-2.729	2.007	88	R17/A15	-1.950	-2.682	129	SEG22	2.729	-1.893
7	COM19/SEG63	1.885	2.682	48	K10/EVIN	-2.729	1.877	89	R20/A16	-1.820	-2.682	130	SEG23	2.729	-1.763
8	COM18/SEG64	1.755	2.682	49	K07	-2.729	1.747	90	R21/A17	-1.690	-2.682	131	SEG24	2.729	-1.633
9	COM17/SEG65	1.625	2.682	50	K06	-2.729	1.617	91	R22/A18	-1.560	-2.682	132	SEG25	2.729	-1.503
10	COM16/SEG66	1.495	2.682	51	K05	-2.729	1.487	92	R23/RD	-1.430	-2.682	133	SEG26	2.729	-1.373
11	COM15	1.365	2.682	52	K04	-2.729	1.357	93	R24/WR	-1.300	-2.682	134	SEG27	2.729	-1.243
12	COM14	1.235	2.682	53	K03	-2.729	1.227	94	R25/CL	-1.170	-2.682	135	SEG28	2.729	-1.113
13	COM13	1.105	2.682	54	K02	-2.729	1.097	95	R26/FR	-1.040	-2.682	136	SEG29	2.729	-983
14	COM12	975	2.682	55	K01	-2.729	967	96	R27/TOUT	-910	-2.682	137	SEG30	2.729	-853
15	COM11	845	2.682	56	K00	-2.729	837	97	R30/CE0	-780	-2.682	138	SEG31	2.729	-723
16	COM10	715	2.682	57	P17/CMPP1	-2.729	707	98	R31/CE1	-650	-2.682	139	SEG32	2.729	-593
17	COM9	585	2.682	58	P16/CMPP1	-2.729	577	99	R32/CE2	-520	-2.682	140	SEG33	2.729	-463
18	COM8	455	2.682	59	P15/CMPP0	-2.729	447	100	R33/CE3	-390	-2.682	141	SEG34	2.729	-333
19	COM7	325	2.682	60	P14/CMPP0	-2.729	317	101	R34/FOUT	-260	-2.682	142	SEG35	2.729	-203
20	COM6	195	2.682	61	P13/SRDY	-2.729	187	102	R35	-130	-2.682	143	SEG36	2.729	-73
21	COM5	65	2.682	62	P12/SCLK	-2.729	57	103	R36	0	-2.682	144	SEG37	2.729	57
22	COM4	-65	2.682	63	P11/SOUT	-2.729	-73	104	R37	130	-2.682	145	SEG38	2.729	187
23	COM3	-195	2.682	64	P10/SIN	-2.729	-203	105	R50/BZ	260	-2.682	146	SEG39	2.729	317
24	COM2	-325	2.682	65	P07/D7	-2.729	-333	106	R51/BACK	390	-2.682	147	SEG40	2.729	447
25	COM1	-455	2.682	66	P06/D6	-2.729	-463	107	SEG0	520	-2.682	148	SEG41	2.729	577
26	COM0	-585	2.682	67	P05/D5	-2.729	-593	108	SEG1	650	-2.682	149	SEG42	2.729	707
27	CE	-715	2.682	68	P04/D4	-2.729	-723	109	SEG2	780	-2.682	150	SEG43	2.729	837
28	CD	-845	2.682	69	P03/D3	-2.729	-853	110	SEG3	910	-2.682	151	SEG44	2.729	967
29	CC	-975	2.682	70	P02/D2	-2.729	-983	111	SEG4	1.040	-2.682	152	SEG45	2.729	1.097
30	CB	-1.105	2.682	71	P01/D1	-2.729	-1.113	112	SEG5	1.170	-2.682	153	SEG46	2.729	1.227
31	CA	-1.234	2.682	72	P00/D0	-2.729	-1.243	113	SEG6	1.300	-2.682	154	SEG47	2.729	1.357
32	Vc5	-1.365	2.682	73	R00/A0	-2.729	-1.373	114	SEG7	1.430	-2.682	155	SEG48	2.729	1.487
33	Vc4	-1.495	2.682	74	R01/A1	-2.729	-1.503	115	SEG8	1.560	-2.682	156	SEG49	2.729	1.617
34	Vc3	-1.625	2.682	75	R02/A2	-2.729	-1.633	116	SEG9	1.690	-2.682	157	SEG50	2.729	1.747
35	Vc2	-1.755	2.682	76	R03/A3	-2.729	-1.763	117	SEG10	1.820	-2.682	158	COM31/SEG51	2.729	1.877
36	Vc1	-1.885	2.682	77	R04/A4	-2.729	-1.893	118	SEG11	1.950	-2.682	159	COM30/SEG52	2.729	2.007
37	OSC3	-2.015	2.682	78	R05/A5	-2.729	-2.023	119	SEG12	2.080	-2.682	160	COM29/SEG53	2.729	2.137
38	OSC4	-2.145	2.682	79	R06/A6	-2.729	-2.153	120	SEG13	2.210	-2.682	161	COM28/SEG54	2.729	2.267
39	Vd1	-2.275	2.682	80	R07/A7	-2.729	-2.283	121	SEG14	2.340	-2.682	162	COM27/SEG55	2.729	2.397
40	Vd0	-2.405	2.682	81	R10/A8	-2.729	-2.413	122	SEG15	2.470	-2.682	163	COM26/SEG56	2.729	2.527
41	Vss	-2.535	2.682	82	R11/A9	-2.729	-2.543	123	SEG16	2.600	-2.682				

表9.2.3 パッド座標(S1C88316)

(単位: mm)

パッド No.	名称	X 座標	Y 座標	パッド No.	名称	X 座標	Y 座標	パッド No.	名称	X 座標	Y 座標	パッド No.	名称	X 座標	Y 座標
1	COM24/SEG58	3.150	3.300	44	VSS	-3.300	3.150	87	R11/A9	-3.150	-3.300	130	SEG18	3.300	-3.150
2	COM23/SEG59	2.950	3.300	45	OSC1	-3.300	2.950	88	R12/A10	-2.950	-3.300	131	SEG19	3.300	-2.950
3	COM22/SEG60	2.765	3.300	46	OSC2	-3.300	2.765	89	R13/A11	-2.765	-3.300	132	SEG20	3.300	-2.765
4	COM21/SEG61	2.595	3.300	47	TEST	-3.300	2.595	90	R14/A12	-2.595	-3.300	133	SEG21	3.300	-2.595
5	COM20/SEG62	2.435	3.300	48	RESET	-3.300	2.435	91	R15/A13	-2.435	-3.300	134	SEG22	3.300	-2.435
6	COM19/SEG63	2.280	3.300	49	MCU/MPU	-3.300	2.280	92	R16/A14	-2.280	-3.300	135	SEG23	3.300	-2.280
7	COM18/SEG64	2.125	3.300	50	K11/BREQ	-3.300	2.125	93	R17/A15	-2.125	-3.300	136	SEG24	3.300	-2.125
8	COM17/SEG65	1.970	3.300	51	K10/EVIN	-3.300	1.970	94	R20/A16	-1.970	-3.300	137	SEG25	3.300	-1.970
9	COM16/SEG66	1.820	3.300	52	K07	-3.300	1.820	95	R21/A17	-1.820	-3.300	138	SEG26	3.300	-1.820
10	COM15	1.670	3.300	53	K06	-3.300	1.670	96	R22/A18	-1.670	-3.300	139	SEG27	3.300	-1.670
11	COM14	1.520	3.300	54	K05	-3.300	1.520	97	R23/RD	-1.520	-3.300	140	SEG28	3.300	-1.520
12	COM13	1.375	3.300	55	K04	-3.300	1.375	98	R24/WR	-1.375	-3.300	141	SEG29	3.300	-1.375
13	COM12	1.230	3.300	56	K03	-3.300	1.230	99	R25/CL	-1.230	-3.300	142	SEG30	3.300	-1.230
14	COM11	1.085	3.300	57	K02	-3.300	1.085	100	R26/FR	-1.085	-3.300	143	SEG31	3.300	-1.085
15	COM10	0.945	3.300	58	K01	-3.300	0.945	101	R27/TOUT	-0.945	-3.300	144	SEG32	3.300	-0.945
16	COM9	0.805	3.300	59	K00	-3.300	0.805	102	R30/CE0	-0.805	-3.300	145	SEG33	3.300	-0.805
17	COM8	0.665	3.300	60	P17/CMPP1	-3.300	0.665	103	R31/CE1	-0.665	-3.300	146	SEG34	3.300	-0.665
18	COM7	0.530	3.300	61	P16/CMPP1	-3.300	0.530	104	R32/CE2	-0.530	-3.300	147	SEG35	3.300	-0.530
19	COM6	0.395	3.300	62	P15/CMPP0	-3.300	0.395	105	R33/CE3	-0.395	-3.300	148	SEG36	3.300	-0.395
20	COM5	0.260	3.300	63	P14/CMPP0	-3.300	0.260	106	R34/FOUT	-0.260	-3.300	149	SEG37	3.300	-0.260
21	— *	0.130	3.290	64	P13/SRDY	-3.300	0.130	107	R35	-0.130	-3.300	150	— *	3.300	-0.130
22	— *	0.000	3.290	65	— *	-3.300	0.000	108	R36	0.000	-3.300	151	— *	3.300	0.000
23	— *	-0.130	3.290	66	— *	-3.300	-0.130	109	R37	0.130	-3.300	152	— *	3.300	0.130
24	— *	-0.260	3.290	67	P12/SCLK	-3.300	-0.260	110	R50/BZ	0.260	-3.300	153	SEG38	3.300	0.260
25	COM4	-0.395	3.300	68	P11/SOUT	-3.300	-0.395	111	R51/BACK	0.395	-3.300	154	SEG39	3.300	0.395
26	COM3	-0.530	3.300	69	P10/SIN	-3.300	-0.530	112	SEG0	0.530	-3.300	155	SEG40	3.300	0.530
27	COM2	-0.665	3.300	70	P07/D7	-3.300	-0.665	113	SEG1	0.665	-3.300	156	SEG41	3.300	0.665
28	COM1	-0.805	3.300	71	P06/D6	-3.300	-0.805	114	SEG2	0.805	-3.300	157	SEG42	3.300	0.805
29	COM0	-0.945	3.300	72	P05/D5	-3.300	-0.945	115	SEG3	0.945	-3.300	158	SEG43	3.300	0.945
30	CE	-1.085	3.300	73	P04/D4	-3.300	-1.085	116	SEG4	1.085	-3.300	159	SEG44	3.300	1.085
31	CD	-1.230	3.300	74	P03/D3	-3.300	-1.230	117	SEG5	1.230	-3.300	160	SEG45	3.300	1.230
32	CC	-1.375	3.300	75	P02/D2	-3.300	-1.375	118	SEG6	1.375	-3.300	161	SEG46	3.300	1.375
33	CB	-1.520	3.300	76	P01/D1	-3.300	-1.520	119	SEG7	1.520	-3.300	162	SEG47	3.300	1.520
34	CA	-1.670	3.300	77	P00/D0	-3.300	-1.670	120	SEG8	1.670	-3.300	163	SEG48	3.300	1.670
35	VC5	-1.820	3.300	78	R00/A0	-3.300	-1.820	121	SEG9	1.820	-3.300	164	SEG49	3.300	1.820
36	VC4	-1.970	3.300	79	R01/A1	-3.300	-1.970	122	SEG10	1.970	-3.300	165	SEG50	3.300	1.970
37	VC3	-2.125	3.300	80	R02/A2	-3.300	-2.125	123	SEG11	2.125	-3.300	166	COM31/SEG51	3.300	2.125
38	VC2	-2.280	3.300	81	R03/A3	-3.300	-2.280	124	SEG12	2.280	-3.300	167	COM30/SEG52	3.300	2.280
39	VC1	-2.435	3.300	82	R04/A4	-3.300	-2.435	125	SEG13	2.435	-3.300	168	COM29/SEG53	3.300	2.435
40	OSC3	-2.595	3.300	83	R05/A5	-3.300	-2.595	126	SEG14	2.595	-3.300	169	COM28/SEG54	3.300	2.595
41	OSC4	-2.765	3.300	84	R06/A6	-3.300	-2.765	127	SEG15	2.765	-3.300	170	COM27/SEG55	3.300	2.765
42	VD1	-2.950	3.300	85	R07/A7	-3.300	-2.950	128	SEG16	2.950	-3.300	171	COM26/SEG56	3.300	2.950
43	VDD	-3.150	3.300	86	R10/A8	-3.300	-3.150	129	SEG17	3.150	-3.300	172	COM25/SEG57	3.300	3.150

* No.21～24、65～66、150～152パッドはICの出荷検査時に使用するパッドですので、ボンディングしないでください。

表9.2.4 パッド座標(S1C88308)

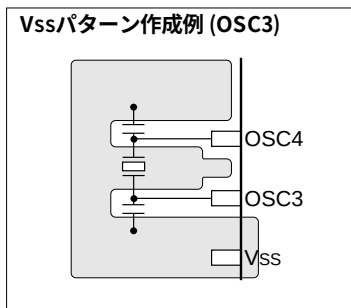
(単位: mm)

パッド		X	Y	パッド		X	Y	パッド		X	Y	パッド		X	Y
No.	名称	座標	座標	No.	名称	座標	座標	No.	名称	座標	座標	No.	名称	座標	座標
1	COM22/SEG50	2.595	2.850	38	VSS	-2.850	2.695	75	R06/A6	-2.595	-2.850	112	SEG13	2.850	-2.595
2	COM21/SEG51	2.435	2.850	39	OSC1	-2.850	2.535	76	R07/A7	-2.435	-2.850	113	SEG14	2.850	-2.435
3	COM20/SEG52	2.280	2.850	40	OSC2	-2.850	2.380	77	R10/A8	-2.280	-2.850	114	SEG15	2.850	-2.280
4	COM19/SEG53	2.125	2.850	41	TEST	-2.850	2.225	78	R11/A9	-2.125	-2.850	115	SEG16	2.850	-2.125
5	COM18/SEG54	1.970	2.850	42	RESET	-2.850	2.070	79	R12/A10	-1.970	-2.850	116	SEG17	2.850	-1.970
6	COM17/SEG55	1.820	2.850	43	MCU/MPU	-2.850	1.920	80	R13/A11	-1.820	-2.850	117	SEG18	2.850	-1.820
7	COM16/SEG56	1.670	2.850	44	K10/EVIN	-2.850	1.770	81	R14/A12	-1.670	-2.850	118	SEG19	2.850	-1.670
8	COM15	1.520	2.850	45	K07	-2.850	1.620	82	R15/A13	-1.520	-2.850	119	SEG20	2.850	-1.520
9	COM14	1.375	2.850	46	K06	-2.850	1.475	83	R16/A14	-1.375	-2.850	120	SEG21	2.850	-1.375
10	COM13	1.230	2.850	47	K05	-2.850	1.330	84	R17/A15	-1.230	-2.850	121	SEG22	2.850	-1.230
11	COM12	1.085	2.850	48	K04	-2.850	1.185	85	R20/A16	-1.085	-2.850	122	SEG23	2.850	-1.085
12	COM11	0.945	2.850	49	K03	-2.850	1.045	86	R21/A17	-0.945	-2.850	123	SEG24	2.850	-0.945
13	COM10	0.805	2.850	50	K02	-2.850	0.905	87	R22/A18	-0.805	-2.850	124	SEG25	2.850	-0.805
14	COM9	0.665	2.850	51	K01	-2.850	0.765	88	R23/RD	-0.665	-2.850	125	SEG26	2.850	-0.665
15	COM8	0.530	2.850	52	K00	-2.850	0.630	89	R24/WR	-0.530	-2.850	126	SEG27	2.850	-0.530
16	COM7	0.395	2.850	53	P17/CMPPM1	-2.850	0.495	90	R25/CL	-0.395	-2.850	127	SEG28	2.850	-0.395
17	COM6	0.260	2.850	54	P16/CMPP1	-2.850	0.360	91	R26/FR	-0.260	-2.850	128	SEG29	2.850	-0.260
18	COM5	0.130	2.850	55	P15/CMPPM0	-2.850	0.230	92	R27/TOUT	-0.130	-2.850	129	SEG30	2.850	-0.130
19	COM4	0.000	2.850	56	P14/CMPP0	-2.850	0.100	93	R30/CE0	0.000	-2.850	130	SEG31	2.850	0.000
20	COM3	-0.130	2.850	57	P13/SRDY	-2.850	-0.030	94	R31/CE1	0.130	-2.850	131	SEG32	2.850	0.130
21	COM2	-0.281	2.850	58	P12/SCLK	-2.850	-0.160	95	R32/CE2	0.260	-2.850	132	SEG33	2.850	0.260
22	COM1	-0.416	2.850	59	P11/SOUT	-2.850	-0.295	96	R33/CE3	0.395	-2.850	133	SEG34	2.850	0.395
23	COM0	-0.551	2.850	60	P10/SIN	-2.850	-0.430	97	R34/FOUT	0.530	-2.850	134	SEG35	2.850	0.530
24	CE	-0.686	2.850	61	P07/D7	-2.850	-0.565	98	R50/BZ	0.665	-2.850	135	SEG36	2.850	0.665
25	CD	-0.826	2.850	62	P06/D6	-2.850	-0.705	99	SEG0	0.805	-2.850	136	SEG37	2.850	0.805
26	CC	-0.966	2.850	63	P05/D5	-2.850	-0.845	100	SEG1	0.945	-2.850	137	SEG38	2.850	0.945
27	CB	-1.106	2.850	64	P04/D4	-2.850	-0.985	101	SEG2	1.085	-2.850	138	SEG39	2.850	1.085
28	CA	-1.251	2.850	65	P03/D3	-2.850	-1.130	102	SEG3	1.230	-2.850	139	SEG40	2.850	1.230
29	VC5	-1.396	2.850	66	P02/D2	-2.850	-1.275	103	SEG4	1.375	-2.850	140	COM31/SEG41	2.850	1.375
30	VC4	-1.541	2.850	67	P01/D1	-2.850	-1.420	104	SEG5	1.520	-2.850	141	COM30/SEG42	2.850	1.520
31	VC3	-1.691	2.850	68	P00/D0	-2.850	-1.570	105	SEG6	1.670	-2.850	142	COM29/SEG43	2.850	1.670
32	VC2	-1.841	2.850	69	R00/A0	-2.850	-1.720	106	SEG7	1.820	-2.850	143	COM28/SEG44	2.850	1.820
33	VC1	-1.991	2.850	70	R01/A1	-2.850	-1.870	107	SEG8	1.970	-2.850	144	COM27/SEG45	2.850	1.970
34	OSC3	-2.146	2.850	71	R02/A2	-2.850	-2.025	108	SEG9	2.125	-2.850	145	COM26/SEG46	2.850	2.125
35	OSC4	-2.301	2.850	72	R03/A3	-2.850	-2.180	109	SEG10	2.280	-2.850	146	COM25/SEG47	2.850	2.280
36	VD1	-2.456	2.850	73	R04/A4	-2.850	-2.335	110	SEG11	2.435	-2.850	147	COM24/SEG48	2.850	2.435
37	VDD	-2.616	2.850	74	R05/A5	-2.850	-2.495	111	SEG12	2.595	-2.850	148	COM23/SEG49	2.850	2.595

10 実装上の注意事項

〈発振回路〉

- 発振特性は諸条件(使用部品、基板パターン等)により変化します。
特にセラミック発振子または水晶振動子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。
- ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため次の点に配慮してください。
 - (1) OSC1～OSC4端子に接続する発振子、抵抗、コンデンサ等の部品は、最短で接続してください。
 - (2) OSC1～OSC4端子およびこれらの端子に接続された部品の周辺部は下図のようにVssパターンをできるだけ広く作成してください。また、このVssパターンは発振用途以外に使用しないでください。



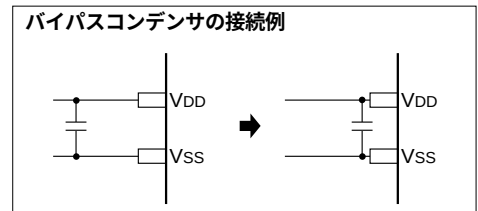
- (3) OSC1(OSC3)端子に外部クロックを入力する場合、クロック源からできるだけ最短で接続してください。
また、OSC2(OSC4)端子を開放としてください。
- OSC1(OSC3)－VDD間のリーク電流による発振回路の不安定動作を防止するため、基板パターンにおいて、OSC1(OSC3)はVDD電源や信号線とは十分な距離を確保してください。

〈リセット回路〉

- パワーオン時、RESET端子に入力されるリセット信号は諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。
また、マスクオプションによりRESET端子のプルアップ抵抗を付加した場合には、抵抗値のばらつきを十分考慮した定数設定が必要です。
- ノイズによる動作中のリセットを防ぐため、RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

〈電源回路〉

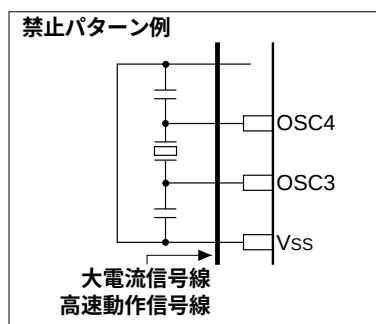
- ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。
 - (1) 電源からVDD、VSS端子へはできるだけ短くかつ太いパターンで接続してください。
 - (2) VDD－VSSのバイパスコンデンサを接続する場合、VDD端子とVSS端子をできるだけ最短で接続してください。



- (3) VD1、VC1～VC5、CA～CE端子に接続するコンデンサ、抵抗等の部品はできるだけ最短で接続してください。
特にVC1～VC5の各電圧はLCD駆動として用いるため表示品質に影響を与えます。
- LCDドライバを使用しない場合は、VC1～VC5、CA～CE端子を開放としてください。

〈信号線の配置〉

- 相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部、アナログ入力部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。
- 高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。
特に、発振部、アナログ入力部等のノイズに弱い回路近くには高速に動作する信号線を配置しないでください。



〈光に対する取り扱い(ベアチップ実装の場合)〉

- 半導体素子は、光が照射されると特性が変化します。このため、本ICに光が当たると誤動作をおこすことがあります。
光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。
- (1) 実使用時にICの遮光性が考慮された構造となるよう、設計および実装を行ってください。
 - (2) 検査工程では、ICの遮光性が考慮された環境設計を行ってください。
 - (3) ICの遮光は、ICチップの表面、裏面および側面について考慮してください。

II ***S1C88348/317/316/308*** ***Technical Software***

— 目 次 —

はじめに	II-1
説明内容	
プログラム例を使用する場合の注意	
1 システムの初期化	II-2
S1C88316シングルチップモードの初期化	
2 システムコントローラとバスの制御	II-4
(1) S1C88316 シングルチップモード	
(2) S1C88308 MCU拡張64Kモード	
(3) S1C88316 MCU拡張64Kモード	
(4) S1C88316 MPU拡張64Kモード	
(5) S1C88316 MPU拡張512Kマキシマムモード	
3 ウォッチドッグタイマ	II-9
(1) ウォッチドッグタイマリセット	
(2) ウォッチドッグタイマ($\overline{\text{NMI}}$)割り込み処理	
4 発振回路	II-11
(1) OSC1からOSC3への切り換え	
(2) OSC3からOSC1への切り換え	
5 入力ポート(Kポート)	II-14
(1) 通常の入力ポート(Kポート)からのデータ読み出し	
(2) 8×2キーマトリクスของキースキャン	
(3) 入力ポート(Kポート)の割り込み条件設定および割り込み処理	
6 出力ポート(Rポート)	II-21
(1) 通常のDC出力	
(2) ハイインピーダンス出力制御	
(3) FOUT出力制御	
7 入出力兼用ポート(Pポート)	II-27
(1) 通常の入出力兼用ポートデータ入出力	
(2) 2×2スイッチマトリクスของスキャン	
8 シリアルインタフェース1(クロック同期式)	II-33
(1) クロック同期式シリアルインタフェース(マスタモード)の初期化	
(2) クロック同期式シリアルインタフェース(マスタモード)の受信	
(3) クロック同期式シリアルインタフェース(マスタモード)の送信	
9 シリアルインタフェース2(調歩同期式)	II-42
(1) 調歩同期式シリアルインタフェース(8ビットモード)の初期化	
(2) 調歩同期式シリアルインタフェース(8ビットモード)の受信	
(3) 調歩同期式シリアルインタフェース(8ビットモード)の送信	

10	計時タイマ	II-54
	(1) 計時タイマの初期化	
	(2) 計時タイマの割り込み処理	
11	ストップウォッチタイマ	II-59
	(1) ストップウォッチタイマの初期化	
	(2) ストップウォッチタイマの割り込み処理	
12	プログラマブルタイマ	II-64
	(1) 8ビットリロードタイマ(2系統)の初期化および割り込み処理	
	(2) 16ビットワンショットタイマ(1系統)の初期化および割り込み処理	
	(3) 8ビットイベントカウンタの初期化および割り込み処理	
	(4) 16ビットパルス幅測定タイマの初期化および割り込み処理	
	(5) 16ビットリロードタイマのパルス出力	
13	LCDコントローラ	II-88
	(1) LCDコントローラの初期化	
	(2) 表示制御	
14	サウンドジェネレータ	II-93
	(1) サウンドジェネレータの初期化	
	(2) 通常のブザー出力	
	(3) デジタルエンベロープ付きブザー出力	
	(4) 1ショットブザー出力	
15	アナログコンパレータ	II-98
	(1) アナログコンパレータの初期化	
	(2) アナログコンパレータデータの読み出し	
16	SVD(電源電圧検出)回路	II-100
	(1) 1/4Hzオートサンプリングモードによる電源電圧検出	
	(2) 連続サンプリングモードによる電源電圧検出	
17	割り込み(例外)処理	II-102
	(1) 割り込みレベルの設定と割り込みの許可	
	(2) ゼロ除算例外処理	
	(3) ウォッチドッグタイマ($\overline{\text{NMI}}$)割り込み処理	
	(4) 周辺回路割り込み処理	
18	拡張モード	II-110
	(1) 論理空間外のプログラムメモリアクセス	
	(2) ページ間のデータブロック転送	
	(3) ページ外のデータアクセス	
Appendix	A 入出力ポート端子一覧表	II-113
	B インストラクション一覧表	II-115
	C プログラミング上の注意事項	II-132

はじめに

このパートには各周辺回路の制御プログラム例が掲載されています。プログラム例はリロケータブル手法を用い、S1C88 FamilyのクロスアセンブラASM88の使用を前提に、基本的な初期化および制御ルーチンのみが記述されています。これらの例を参考にアプリケーションプログラムを作成される場合は、必要な機能の追加等を行ってプログラムを完成させた上でご使用ください。

説明内容

プログラム例はそれぞれの周辺回路あるいは機能別に以下の項目にしたがって掲載されています。

I/Oマップ	周辺回路を制御するI/Oメモリマップを示します。 制御レジスタや動作等の詳細説明については、パートIの"S1C88348/317/316/308 Technical Hardware"を参照してください。
仕様	例として掲載されたルーチンの目的、機能等を示します。
フローチャート	プログラム例のフローチャートを示します。
注意点	プログラム例のルーチンを使用する場合の注意事項、およびその周辺回路のプログラミングにおける注意事項を示します。
ソースリスト	リロケータブル手法を用いたアセンブラ言語によるソースリストです。インストラクションの詳細については"S1C88 Core CPU Manual"、アセンブリ言語、ソースリストのフォーマット等については"S1C88 Structured Assembler"を参照してください。

プログラム例を使用する場合の注意

本書をお読みになる際、あるいは掲載ルーチンを使用される場合は以下の点に注意してください。

- (1) 各プログラム例は、ハードウェアを直接制御する低レベルのルーチンとしてモジュール化されており、具体的なアプリケーション例等は含まれていません。各ユーザーごとに追加が必要な部分については"user_program"等のラベルのexternal宣言を行って、そのラベルに分岐するようになっています。
"user_program"の内容については記載していませんので、リストをそのまま利用される場合は、その部分のラベル名の変更およびルーチンの作成を行ってください。

- (2) プログラム例では、I/Oメモリのアクセスに8ビット絶対アドレッシングを使用しています。このため、BRレジスタにI/Oメモリのベースアドレス(00FF00H)の上位8ビット(0FFH)をロードしています。フローチャートでは、この部分が(BR設定)となっており、プログラム例毎に設定しています。アプリケーションの関係で他のアドレッシングモードを使用する場合は、その部分の書き換えが必要です。
- (3) 各ルーチンはバンクおよびページの指定は一切行っておりません。拡張モードで使用する場合は、必要に応じてバンクおよびページの設定を行ってください。
- (4) S1C88316の入力、出力、入出力兼用ポートの端子はバスや特殊出力との共用端子となっており、ソフトウェアによって端子の機能を設定します。これらの設定によりポートの構成等が変わりますので充分注意してください。
モードおよび特殊出力の設定による端子構成の一覧を"Appendix"に掲載していますので、参考にしてください。
- (5) プログラム例にはクロスアセンブラASM88に設定されている単項演算子を使用しております。これらの単項演算子は定数またはラベルオペランドから以下の値を取得するものです。
low 式の下位8ビットを与えます。
high..... 16ビット式の上位8ビットが返されます。
boc 物理アドレスからバンク値を算出。
loc 物理アドレスからバンク内論理アドレスを算出。
pod 物理アドレスからページ値を算出。
lod 物理アドレスからページ内論理アドレスを算出。
- (6) 掲載されたプログラムを使用した結果の影響につきましては、責任を負いかねますのでご了承ください。

注! プログラム例は、S1C88316を対象として作成されています。このため、S1C88348/317/308では内蔵ROM/RAM容量、入力ポート数、出力ポート数、LCD駆動セグメント数およびバス権解放機能に違いがあるので、使用する機種に合わせ変更する必要があります。

1 システムの初期化

I/Oマップ

各周辺回路の説明を参照

機種名	内蔵ROM容量	内蔵RAM容量	入力ポート	出力ポート*1	LCDセグメント*2	バス権解放機能
S1C88348	48Kバイト	2Kバイト	10ビット	9ビット	1,632 (Max.)	あり
S1C88317	16Kバイト	2Kバイト	10ビット	9ビット	1,632 (Max.)	あり
S1C88316	16Kバイト	2Kバイト	10ビット	9ビット	1,632 (Max.)	あり
S1C88308	8Kバイト	256バイト	9ビット	5ビット	1,312 (Max.)	なし

*1: 外部バスとの兼用端子は含みません。

*2: 32コモンを選択した場合の最大駆動セグメント数。

仕様

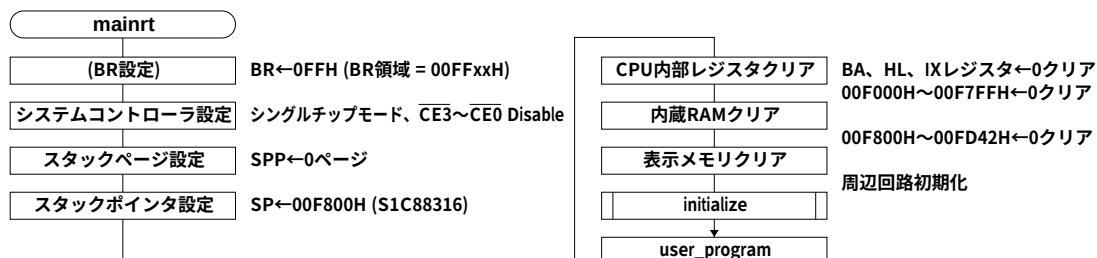
S1C88316シングルチップモードの初期化

mainrt: S1C88316シングルチップモードの初期化

ベースレジスタ、CPUモード、 $\overline{CE}$ 出力、スタックページ、スタックポインタ、ウェイト、バス権解放信号の設定およびRAMクリア(含表示メモリ)を順に行います。

フローチャート

S1C88316シングルチップモードの初期化



注! 内蔵RAM容量は、S1C348/317の場合00F000H~00F7FFH(2Kバイト)、S1C88308の場合00F000H~00F0FFH(256バイト)です。

注意点

- (1) 割り込みについては、マスク不可能なウォッチドッグタイマ(NMI)割り込みを除き、初期状態(すべて禁止)となっています。
- (2) ウォッチドッグタイマ(NMI)の割り込み処理ルーチンおよびベクタアドレスについては、ウォッチドッグタイマの使用の有無にかかわらず必ず記述してください。
- (3) 周辺回路の初期化は、使用するシステム構成に合わせ別途作成する必要があります。(external call: initialize)
- (4) インタラプトフラグ(I0およびI1)については、許可する周辺I/Oの割り込み要因およびプライオリティレベルと合わせ設定してください。
- (5) 周辺I/Oの割り込みを使用する場合、その割り込みに対応したベクタアドレスに周辺I/O割り込み処理ルーチンの先頭アドレスを下位、上位の順で記述してください。(ベクタアドレス: 000006H~000023H)
- (6) ベクタアドレス000026H~0000FFHはソフトウェア割り込みに設定可能です。
この場合にも、定義したソフトウェア割り込みのベクタアドレスにソフトウェア割り込み処理ルーチンの先頭アドレスを下位、上位の順で記述してください。
- (7) ベクタアドレス000024Hと000025Hはシステム予約領域のため使用できません。
- (8) 本初期化ルーチン例では、ベクタアドレス設定およびプログラムを便宜上000100Hから割り付けています。

ソースリスト

S1C88316シングルチップモードの初期化

```

        external      initialize,watchdog_reset
        external      user_program
        public        mainrt

;
reset_vector    equ    000000h                ;reset vector address
main            equ    000100h                ;program start address offset
;
br_io           equ    0ffh                  ;base reg. address (set i/o area)
mcu             equ    00ff00h                ;mcu mode system control address
spp            equ    00ff01h                ;stack pointer page address
mode           equ    00ff02h                ;mpu//mcu mode control address
;
sp_316         equ    00f800h                ;e0c88316 stack pointer top address
;
internal_ram    equ    00f000h                ;e0c88316 internal ram top address
;
lcdram_top     equ    00f800h                ;lcd ram top address
lcdram_end     equ    00fd43h                ;lcd ram end address
;
        code
intr_vectors:
        org    intr_vectors+reset_vector
        dw    mainrt                        ;initial reset program address
;
        org    intr_vectors+main
;*****
;*
;*          s1c88316 mcu single-chip mode initialize
;*
;*****
mainrt:
        ld     br,#br_io                    ;set br reg. address to 0ffxh
        ld     [br:low mcu],#00110000b      ;single chip mode, /ce3-/ce0 disable
        ld     [br:low spp],#00h           ;set stack pointer page to 0
        ld     sp,#lod sp_316              ;satck pointer top address set
        ld     [br:low mode],#00000000b    ;set mode reg.
        ld     ba,#0000h                   ;internal reg. clear
        ld     hl,#0000h
        ld     ix,#0000h
;internal ram clear
        carl   watchdog_reset              ;watchdog timer reset ***
        ld     iy,#lod internal_ram        ;e0c88316 internal ram top address
mainrt00:
        ld     [iy],a                      ;clear data set
        inc    iy                          ;poniter increment
        cp     iy,#lod internal_ram+0800h  ;internal ram end ?
        jrs    nz,mainrt00
;lcd ram clear including ignore area
        carl   watchdog_reset              ;watchdog timer reset ***
        ld     iy,#lod lcdram_top          ;lcd ram top address
mainrt01:
        ld     [iy],a                      ;clear data set
        inc    iy                          ;pointer increment
        cp     iy,#lod lcdram_end          ;lcd ram end ?
        jrs    nz,mainrt01
;
        carl   initialize                  ;initialize i/o area ***
        jrl    user_program               ;jump user program
;
;start user program
;
        end

```

2 システムコントローラとバスの制御

I/Oマップ (MCUモード)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF00 (MCU)	D7	BSMD1	バスモード(CPUモード) BSMD1 BSMD0 モード 1 1 512K (マキシマム)			0	R/W	
	D6	BSMD0	1 0 512K (ミニマム) 0 1 64K 0 0 シングルチップ			0	R/W	
	D5	CEMD1	チップイネーブルモード CEMD1 CEMD0 モード 1 1 64K ($\overline{CE0}$) 1 0 32K ($\overline{CE0}$, $\overline{CE1}$) 0 1 16K ($\overline{CE0}$ – $\overline{CE3}$...S1C88308) ($\overline{CE1}$ – $\overline{CE3}$...S1C88316) 0 0 8K ($\overline{CE0}$ – $\overline{CE3}$)			1	R/W	64Kバスモードのみ
	D4	CEMD0	0 1 16K ($\overline{CE0}$ – $\overline{CE3}$...S1C88308) ($\overline{CE1}$ – $\overline{CE3}$...S1C88316) 0 0 8K ($\overline{CE0}$ – $\overline{CE3}$)			1	R/W	S1C88348/317では R/Wレジスタ機能 のみ
	D3	CE3	$\overline{CE3}$ (R33)	$\overline{CE3}$ 有効	$\overline{CE3}$ 無効	0	R/W	シングルチップ モードの場合、 DC出力に固定
	D2	CE2	$\overline{CE2}$ (R32)	$\overline{CE2}$ 有効	$\overline{CE2}$ 無効	0	R/W	
	D1	CE1	$\overline{CE1}$ (R31)	$\overline{CE1}$ 有効	$\overline{CE1}$ 無効	0	R/W	
	D0	CE0	$\overline{CE0}$ (R30)	$\overline{CE0}$ 有効	$\overline{CE0}$ 無効	0	R/W	
	D7	SPP7	スタックポインタページアドレス (MSB)	1	0	0	R/W	
	D6	SPP6		1	0	0	R/W	
00FF01	D5	SPP5	< SPページ割り付け可能アドレス >	1	0	0	R/W	
	D4	SPP4	・シングルチップモード: 0ページのみ	1	0	0	R/W	
	D3	SPP3	・64Kモード: 0ページのみ	1	0	0	R/W	
	D2	SPP2	・512K (min)モード: 0~27Hページ	1	0	0	R/W	
	D1	SPP1	・512K (max)モード: 0~27Hページ	1	0	0	R/W	
	D0	SPP0	(LSB)	1	0	0	R/W	
00FF02	D7	EBR	バス解放イネーブル (K11, R51端子仕様)	$\overline{BREQ}$ K11 R51 BACK	入力ポート 出力ポート	0	R/W	S1C88308ではR/W レジスタ機能のみ
	D6	WT2	ウェイトステート制御 WT2 WT1 WT0 ステート数 1 1 1 14 1 1 0 12 1 0 1 10 1 0 0 8 0 1 1 6 0 1 0 4 0 0 1 2 0 0 0 ノーウェイト			0	R/W	
	D5	WT1						
	D4	WT0						
	D3	CLKCHG	CPU動作クロック切り換え	OSC3	OSC1	0	R/W	
	D2	OSCC	OSC3発振On/Off制御	On	Off	0	R/W	
	D1	VDC1	動作モード選択 VDC1 VDC0 動作モード 1 × 高速モード (VD1 = 3.3V) 0 1 低パワーモード (VD1 = 1.3V) 0 0 通常モード (VD1 = 2.2V)			0	R/W	
	D0	VDC0						

注! アドレス00FF00Hおよび00FF01Hに任意の値を書き込むまでは、 $\overline{NM}$ も含めたすべての割り込みはマスクされます。

I/Oマップ (MPUモード)

アドレス	ビット	名称	機 能				1	0	SR	R/W	注 釈
00FF00 (MPU)	D7	BSMD1	バスモード(CPUモード)						*	R/W	初期設定はマスク オプションで3種類 (64K, 512K min, 512K max)の中から 選択できます
			BSMD1	BSMD0	モード						
			1	1	512K (マキシマム)						
			1	0	512K (ミニマム)						
	D6	BSMD0							*	R/W	
			0	1	64K						
			0	0	*オプション選択 ←						
	D5	CEMD1	チップイネーブルモード						1	R/W	64Kバスモードのみ
			CEMD1	CEMD0	モード						
			1	1	64K (CE0)						
			1	0	32K (CE0, CE1)				1	R/W	
	D4	CEMD0									
		0	1	16K (CE0-CE3)							
		0	0	8K (CE0-CE3)							
D3	CE3	CE3 (R33)	CE信号出力イネーブル 有効: CE信号出力 無効: DC出力(R3x)				CE3有効	CE3無効	0	R/W	
D2	CE2	CE2 (R32)					CE2有効	CE2無効	0	R/W	
D1	CE1	CE1 (R31)					CE1有効	CE1無効	0	R/W	
D0	CE0	CE0 (R30)					CE0有効	CE0無効	1	R/W	
00FF01	D7	SPP7	スタックポインタページアドレス (MSB)				1	0	0	R/W	
	D6	SPP6					1	0	0	R/W	
	D5	SPP5	< SPページ割り付け可能アドレス >				1	0	0	R/W	
	D4	SPP4	・ シングルチップモード: 0ページのみ				1	0	0	R/W	
	D3	SPP3	・ 64Kモード: 0ページのみ				1	0	0	R/W	
	D2	SPP2	・ 512K (min)モード: 0～27Hページ				1	0	0	R/W	
	D1	SPP1	・ 512K (max)モード: 0～27Hページ				1	0	0	R/W	
	D0	SPP0	(LSB)				1	0	0	R/W	
00FF02	D7	EBR	バス解放イネーブル (K11, R51端子仕様)		K11 R51	BREQ BACK	入力ポート 出力ポート		0	R/W	S1C88308ではR/W レジスタ機能のみ
	D6	WT2	ウェイトステート制御								
			WT2	WT1	WT0	ステート数					
			1	1	1	14					
			1	1	0	12					
	D5	WT1	1	0	1	10					
			1	0	0	8					
			0	1	1	6					
			0	1	0	4					
	D4	WT0	0	0	1	2					
			0	0	0	ノーウェイト					
	D3	CLKCHG	CPU動作クロック切り換え				OSC3	OSC1	0	R/W	
	D2	OSCC	OSC3発振On/Off制御				On	Off	0	R/W	
	D1	VDC1	動作モード選択								0 R/W
		VDC1	VDC0	動作モード							
		1	×	高速モード (VD1=3.3V)							
D0	VDC0										
		0	1	低パワーモード (VD1=1.3V)							
		0	0	通常モード (VD1=2.2V)							

注! アドレス00FF00Hおよび00FF01Hに任意の値を書き込むまでは、NMIも含めたすべての割り込みはマスクされます。

仕様

システムコントローラの設定とバスの制御

- (1) single_chip: S1C88316 シングルチップモード
 (2) mcu64k_308: S1C88308 MCU 拡張64Kモード
 (3) mcu64k_316: S1C88316 MCU 拡張64Kモード
 (4) mpu_64k: S1C88316 MPU 拡張64Kモード
 (5) mpu512k_max: S1C88316 MPU 拡張512Kマキシマムモード

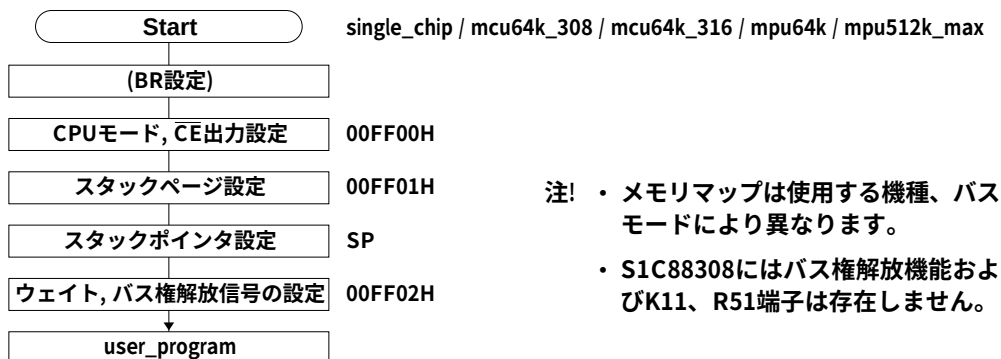
それぞれのルーチンは、システムコントローラとバスの設定を下表のとおり行います。

表2.1 各ルーチンの設定内容

アドレス	設定項目	(1)	(2)	(3)	(4)	(5)
0FF00H	CPUモード	シングルチップ	64K	64K	64K	512K
	チップイネーブルモード	NO	$\overline{CE3} \sim \overline{CE0}$ (16K)	$\overline{CE1} \sim \overline{CE0}$ (32K)	$\overline{CE0}$ (64K)	$\overline{CE3} \sim \overline{CE0}$ (128K)
	CE信号出力	NO	$\overline{CE3} \sim \overline{CE0}$	$\overline{CE1} \sim \overline{CE0}$	$\overline{CE0}$	$\overline{CE3} \sim \overline{CE0}$
0FF01H	スタックページ	0ページ	←	←	←	27Hページ
0FF02H	バス解放 (注)	NO	←	←	←	USE
	ウェイト制御	NO	2	4	8	0
	CPU動作クロック	OSC1	←	←	←	←
	OSC3発振回路	OFF	←	←	←	←
	動作モード	通常モード	←	←	←	←

フローチャート

システムコントローラの設定とバスの制御 (1), (2), (3), (4), (5)



注意点

- (1) システムコントローラとバス制御の設定は、必ずイニシャルリセット直後の初期化ルーチンで、他の処理の前に行ってください。
- (2) MPUモードで使用する場合、イニシャルリセット時に $\overline{\text{CE0}}$ 信号の出力が有効に設定されます。システムコントローラの設定を行う際、 $\overline{\text{CE0}}$ 出力を絶対に無効にしないように注意してください。
- (3) $\overline{\text{CE0}} \sim \overline{\text{CE3}}$ 出力端子はR30～R33端子と共用されています。このため、 $\overline{\text{CE}}$ 出力に設定した端子はハイインピーダンス制御も含め、汎用出力端子としては使用できません。
また、 $\overline{\text{CE}}$ 出力の設定を行う前にR30～R33レジスタに"0"を書き込むと出力端子がLOWレベルとなりますので、これは絶対に避けてください。
- (4) バス権解放機能を使用する場合、K11端子およびR51端子がそれぞれ $\overline{\text{BREQ}}$ 端子および $\overline{\text{BACK}}$ 端子として機能します。したがって、K11とR51は入力ポート、出力ポートとしては使用できなくなります。

ソースリスト

システムコントローラの設定とバスの制御

```

external      user_program
public        single_chip,mcu64k_308,mcu64k_316,mpu_64k,mpu512k_max

;
br_io         equ    0ffh          ;base reg. address (set i/o area)
mcu           equ    00ff00h       ;mcu mode system control address
mpu           equ    00ff00h       ;mpu mode system control address
spp           equ    00ff01h       ;stack pointer page address
mode          equ    00ff02h       ;mcu/mpu mode control address
;
sp_308        equ    00f100h       ;e0c88308 stack pointer
sp_316        equ    00f800h       ;e0c88316 stack pointer
;
code

```

(1) S1C88316 シングルチップモード

```

;*****
;
;
;      single chip mode with e0c88316
;
;*****
single_chip:
    ld    br,#br_io          ;set br reg. address to 0ffxxh
    ld    [br:low mcu],#00110000b ;single chip mode /ce3-/ce0 disable
    ld    [br:low spp],#00h    ;set stack pointer page to 0
    ld    sp,#lod sp_316      ;stack pointer set
    ld    [br:low mode],#00000000b ;set mode reg. to initial value
    jrl   user_program        ;jump user program

```

(1)

(2) S1C88308 MCU 拡張64Kモード

```

;*****
;
;
;      mcu 64k mode with e0c88308
;
;*****
mcu64k_308:
    ld    br,#br_io          ;set br reg. address to 0ffxxh
    ld    [br:low mcu],#01011111b ;mcu 64k mode /ce3 to /ce0(16kb) enable
    ld    [br:low spp],#00h    ;set stack pointer page to 0
    ld    sp,#lod sp_308      ;stack pointer set
    ld    [br:low mode],#00010000b ;set mode reg. to 2 wait states
    jrl   user_program        ;jump user program

```

(2)

ソースリスト

(3) S1C88316 MCU 拡張64Kモード

```

;*****
;
;
;      mcu 64k mode with e0c88316
;
;*****
mcu64k_316:
    ld    br,#br_io          ;set br reg. address to 0ffxxh
    ld    [br:low mcu],#01100011b ;mcu 64k mode /ce1-/ce0(32kb) enable
    ld    [br:low spp],#00h     ;set stack pointer page to 0
    ld    sp,#lod sp_316       ;stack pointer set
    ld    [br:low mode],#00100000b ;set mode reg. to 4 wait states
    jrl   user_program         ;jump user program

```

(4) S1C88316 MPU 拡張64Kモード

```

;*****
;
;
;      mpu 64k mode with e0c88316
;
;*****
mpu_64k:
    ld    br,#br_io          ;set br reg. address to 0ffxxh
    ld    [br:low mcu],#01110001b ;mpu 64k mode /ce0(64kb) enable
    ld    [br:low spp],#00h     ;set stack pointer page to 0
    ld    sp,#lod sp_316       ;stack pointer set
    ld    [br:low mode],#01000000b ;set mode reg. to 8 wait states
    jrl   user_program         ;jump user program

```

(5) S1C88316 MPU 拡張512Kマキシマムモード

```

;*****
;
;
;      mpu 512k maximum mode with e0c88316
;
;*****
mpu512k_max:
    ld    br,#br_io          ;set br reg. address to 0ffxxh
    ld    [br:low mcu],#11111111b ;mpu 512k mode /ce3-/ce0(128kb) enable
    ld    [br:low spp],#27h     ;set stack pointer page 27h
    ld    sp,#lod sp_316       ;stack pointer set
    ld    [br:low mode],#10000000b ;set mode reg. to 0 wait states
    ;                          ;and breq,/back enable
    jrl   user_program         ;jump user program
end

```


3 ウォッチドッグタイマ

I/Oマップ

アドレス	ビット	名称	機 能				1	0	SR	R/W	注 釈
00FF40	D7	—	—				—	—	—		読み出し時は"0"
	D6	FOUT2	FOUT周波数選択						0	R/W	
			FOUT2	FOUT1	FOUT0	周波数					
			0	0	0	fosc1 / 1					
			0	0	1	fosc1 / 2					
	D5	FOUT1	0	1	0	fosc1 / 4			0	R/W	
			0	1	1	fosc1 / 8					
			1	0	0	fosc3 / 1					
	D4	FOUT0	1	0	1	fosc3 / 2			0	R/W	
			1	1	0	fosc3 / 4					
1			1	1	fosc3 / 8						
D3	FOUTON	FOUT出力制御				On	Off	0	R/W		
D2	WDRST	ウォッチドッグタイマリセット				リセット	無効	—	W	読み出し時は	
D1	TMRST	計時タイマリセット				リセット	無効	—	W	常時"0"	
D0	TMRUN	計時タイマRun/Stop制御				Run	Stop	0	R/W		

仕様

ウォッチドッグ処理

ウォッチドッグタイマ(NMI)割り込みのベクタアドレス設定

(1) watchdog_reset: ウォッチドッグタイマリセット

(2) nmi_intr: ウォッチドッグタイマ(NMI)割り込み処理

フローチャート

(1) ウォッチドッグタイマリセット



(2) ウォッチドッグタイマ(NMI)割り込み処理



注意点

- (1) ウォッチドッグタイマ(NMI)割り込みはマスク不可能なため、ウォッチドッグタイマ使用の有無にかかわらず、必ずベクタアドレスおよび割り込み処理ルーチンを記述してください。
- (2) 本ウォッチドッグタイマプログラム例では、ベクタアドレス設定およびプログラムを便宜上 003000Hから割り付けています。
- (3) NMI割り込み発生から2msec以内はSLP命令を実行しないでください。(fosc1=32.768kHzの場合)

ソースリスト

ウォッチドッグタイマ処理

```

        public      watchdog_reset,nmi_intr
;
nmi_vector      equ    000004h          ;watchdog /nmi interrupt routine
watchdog        equ    003000h          ;program start address offset
br_io           equ    0ffh             ;base reg. address (set i/o area)
rtm_mode        equ    00ff40h          ;timer mode set address
;
;
        code

```

ウォッチドッグタイマ(NMI)割り込みベクタアドレス設定

```

intr_vectors:
;
        org      intr_vectors+nmi_vector
        dw       nmi_intr
;

```

(1) ウォッチドッグタイマリセット

```

        org      intr_vectors+watchdog
;*****
;*
;*          watchdog timer reset
;*
;*****
watchdog_reset:
        ld       br,#br_io              ;set br reg. address to 0ffxxh
        or       [br:low rtm_mode],#00000100b ;watchdogtimer reset
        ret
;

```

(1)

(2) ウォッチドッグタイマ(NMI)割り込み処理

```

;*****
;*
;*          /nmi (watchdog) interrupt routine
;*
;*****
nmi_intr:
        push    ale
;
;
;          /nmi (watchdog) interrupt routine
;
;
        pop     ale
        rete
        end

```

(2)

4 発振回路

I/Oマップ

アドレス	ビット	名称	機 能				1	0	SR	R/W	注 釈	
00FF02	D7	EBR	バス解放イネーブル (K11, R51端子仕様)				K11 R51	BREQ BACK	入力ポート 出力ポート	0	R/W	S1C88308ではR/W レジスタ機能のみ
	D6	WT2	ウェイトステート制御							0	R/W	
			WT2	WT1	WT0	ステート数						
			1	1	1	14						
			1	1	0	12						
	D5	WT1	1	0	1	10						
			1	0	0	8						
			0	1	1	6						
			0	1	0	4						
	D4	WT0	0	0	1	2						
			0	0	0	ノーウェイト						
D3	CLKCHG	CPU動作クロック切り換え				OSC3	OSC1	0	R/W			
D2	OSCC	OSC3発振On/Off制御				On	Off	0	R/W			
D1	VDC1	動作モード選択							0	R/W		
		VDC1	VDC0	動作モード								
		1	×	高速モード (VD1 = 3.3V)								
		0	1	低パワーモード (VD1 = 1.3V)								
D0	VDC0			0	0	通常モード (VD1 = 2.2V)						

仕様

CPUクロックの切り換え

(1) osc1toosc3: OSC1からOSC3への切り換え

電源電圧を確認し、システムクロックをOSC1(低パワーモード、V_{D1} = 1.3V)からOSC3(通常モード、V_{D1} = 2.2V)に切り換えます。

(2) osc3toosc1: OSC3からOSC1への切り換え

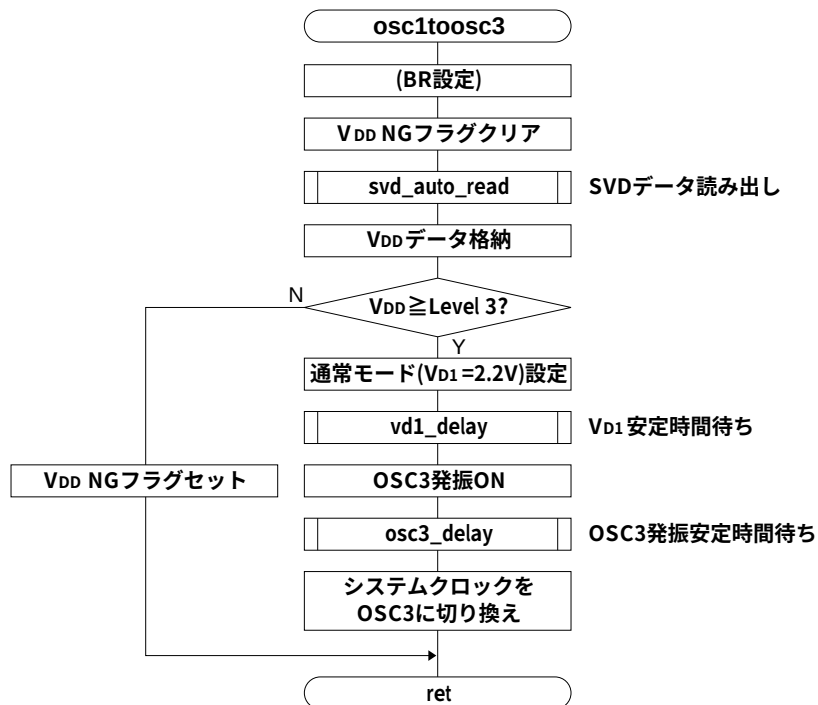
システムクロックをOSC3(通常モード、V_{D1} = 2.2V)からOSC1(低パワーモード、V_{D1} = 1.3V)に切り換えます。

注意点

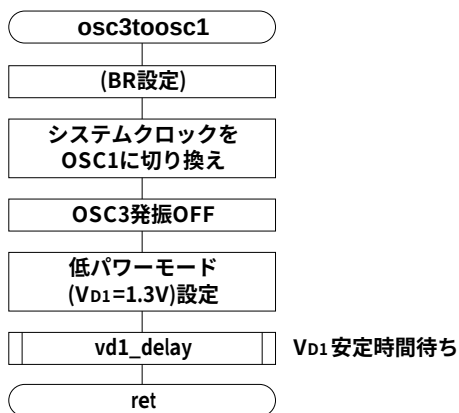
- (1) OSC3の発振安定待ち時間およびV_{D1}の電圧安定待ち時間(動作モード切り換え後にOSC3をONするまでの待ち時間 5msec以上)等のディレイルーチンはこのプログラム例には含まれておりませんので、ハードウェアタイマもしくはソフトウェアタイマを用いて別途作成する必要があります。(external call: osc3_delay, vd1_delay)
- (2) 電源電圧がV_{D1}設定値以下の場合に動作モードの切り換えを行うと、誤動作の原因になります。そのため、動作モードの切り換えは、SVDによって電源電圧がV_{D1}設定電圧以上(絶対値)であることを確認後に行ってください。(external call: svd_auto)
プログラム例では、電源電圧がV_{D1}設定電圧以下の場合にシステムクロックの切り換えを行わずに、NGフラグ(vdd_ngf)をセットして処理を終了します。
- (3) OSC3からOSC1(V_{D1} = 2.2V→1.3V)への切り換え時は、すでに電源電圧がV_{D1}設定電圧以上であることを前提としていますので、SVDによる電源電圧の確認は特に行いません。
- (4) OSC3の発振安定待ち時間は、使用する発振子、外付け部品により変わりますので、ディレイルーチンの設定には充分注意してください。
- (5) 動作電圧の関係上、1つのアプリケーションでは低パワーモードと高速モードの2つのモードは使用できません。

フローチャート

(1) OSC1からOSC3への切り換え



(2) OSC3からOSC1への切り換え



ソースリスト

CPUクロックの切り換え

```

        external    osc3_delay,vd1_delay
        external    svd_auto_read
        public      osc1toosc3,osc3toosc1
        public      vdd_ngf,vdd_data

;
br_io      equ      0ffh                ;base reg. address (set i/o area)
mode       equ      00ff02h            ;mcu//mpu mode control address
;
        data
vdd_ngf: db [1]                        ;vdd ng flag
vdd_data: db [1]                        ;vdd detection data
        code

```

(1) OSC1からOSC3への切り換え

```

;*****
; *
; * change osc1(low power mode [vd1=1.3v]) to osc3(normal mode [vd1=2.2v]) *
; *
;*****
osc1toosc3:
        ld      br,#br_io                ;set br reg. address to 0ffxxh
        xor     a,a
        ld      [lod vdd_ngf],a          ;vdd ng flag clear
        ld      [lod vdd_data],a         ;vdd data store
        carl    svd_auto_read             ;svd check ***
        ld      [lod vdd_data],a         ;vdd store
        cp      a,#03h                    ;areg=svd data
        jrs     c,osc1toosc300            ;vdd >= level 3
;
        and     [br:low mode],#11111100b ;change mode to normal (vd1 to 2.2v)
        or      [br:low mode],#00000100b ;osc3 clock on
        carl    osc3_delay                 ;osc3 start up delay ***
        or      [br:low mode],#00001000b ;change system clock to osc3
        jrs     osc1toosc301
;
osc1toosc300:
        ld      a,#0ffh
        ld      [lod vdd_ngf],a          ;vdd ng flag set
osc1toosc301:
        ret
;

```

(1)

(2) OSC3からOSC1への切り換え

```

;*****
; *
; * change osc3(normal mode [vd1=2.2v]) to osc1(low power mode [vd1=1.3v]) *
; *
;*****
osc3toosc1:
        ld      br,#br_io                ;set br reg. address to 0ffxxh
        and     [br:low mode],#11110111b ;change system clock to osc1
        and     [br:low mode],#11110111b ;osc3 clock off
        or      [br:low mode],#00000001b ;change mode to low power (vd1 to 1.3v)
        carl    vd1_delay                  ;vd1 delay ***
        ret
;
        end

```

(2)

5 入力ポート(Kポート)

I/Oマップ

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF50	D7	SIK07	K07割り込み選択レジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D6	SIK06	K06割り込み選択レジスタ					
	D5	SIK05	K05割り込み選択レジスタ					
	D4	SIK04	K04割り込み選択レジスタ					
	D3	SIK03	K03割り込み選択レジスタ					
	D2	SIK02	K02割り込み選択レジスタ					
	D1	SIK01	K01割り込み選択レジスタ					
	D0	SIK00	K00割り込み選択レジスタ					
00FF51	D7	—	—	—	—	—	—	読み出し時は 常時"0"
	D6	—	—	—	—	—	—	
	D5	—	—	—	—	—	—	
	D4	—	—	—	—	—	—	
	D3	—	—	—	—	—	—	
	D2	—	—	—	—	—	—	
	D1	SIK11	K11割り込み選択レジスタ	割り込み 許可	割り込み 禁止	0	R/W	*1
	D0	SIK10	K10割り込み選択レジスタ					
00FF52	D7	KCP07	K07入力比較レジスタ	立ち下がり エッジで 割り込み 発生	立ち上がり エッジで 割り込み 発生	1	R/W	
	D6	KCP06	K06入力比較レジスタ					
	D5	KCP05	K05入力比較レジスタ					
	D4	KCP04	K04入力比較レジスタ					
	D3	KCP03	K03入力比較レジスタ					
	D2	KCP02	K02入力比較レジスタ					
	D1	KCP01	K01入力比較レジスタ					
	D0	KCP00	K00入力比較レジスタ					
00FF53	D7	—	—	—	—	—	—	読み出し時は 常時"0"
	D6	—	—	—	—	—	—	
	D5	—	—	—	—	—	—	
	D4	—	—	—	—	—	—	
	D3	—	—	—	—	—	—	
	D2	—	—	—	—	—	—	
	D1	KCP11	K11入力比較レジスタ	立ち下がり エッジ	立ち上がり エッジ	1	R/W	*2
	D0	KCP10	K10入力比較レジスタ					
00FF54	D7	K07D	K07入力ポートデータ	Highレベル 入力	Lowレベル 入力	—	R	
	D6	K06D	K06入力ポートデータ					
	D5	K05D	K05入力ポートデータ					
	D4	K04D	K04入力ポートデータ					
	D3	K03D	K03入力ポートデータ					
	D2	K02D	K02入力ポートデータ					
	D1	K01D	K01入力ポートデータ					
	D0	K00D	K00入力ポートデータ					
00FF55	D7	—	—	—	—	—	—	読み出し時は 常時"0"
	D6	—	—	—	—	—	—	
	D5	—	—	—	—	—	—	
	D4	—	—	—	—	—	—	
	D3	—	—	—	—	—	—	
	D2	—	—	—	—	—	—	
	D1	K11D	K11入力ポートデータ	Highレベル 入力	Lowレベル 入力	—	R	*3
	D0	K10D	K10入力ポートデータ					

*1 S1C88308では常時"0"を設定してください。

*3 S1C88308では読み出し時、常時"1"

*2 S1C88308では常時"1"を設定してください。

I/Oマップ

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈			
00FF20	D7	PK01	K00～K07割り込み	PK01 PK00 PSIF1 PSIF0 PSW1 PSW0 優先 PTM1 PTM0 レベル 1 1 レベル3 1 0 レベル2 0 1 レベル1 0 0 レベル0		0	R/W				
	D6	PK00	プライオリティレジスタ			0	R/W				
	D5	PSIF1	シリアルインタフェース割り込み			0	R/W				
	D4	PSIF0	プライオリティレジスタ			0	R/W				
	D3	PSW1	ストップウォッチタイマ割り込み			0	R/W				
	D2	PSW0	プライオリティレジスタ			0	R/W				
	D1	PTM1	計時タイマ割り込み			0	R/W				
	D0	PTM0	プライオリティレジスタ			0	R/W				
00FF21	D7	—	—	—	—	—		読み出し時は 常時"0"			
	D6	—	—	—	—	—					
	D5	—	—	—	—	—					
	D4	—	—	—	—	—					
	D3	PPT1	プログラマブルタイマ割り込み	PPT1 PPT0 優先 PK11 PK10 レベル 1 1 レベル3 1 0 レベル2 0 1 レベル1 0 0 レベル0		0	R/W				
	D2	PPT0	プライオリティレジスタ			0	R/W				
	D1	PK11	K10, K11割り込み			0	R/W				
	D0	PK10	プライオリティレジスタ			0	R/W				
00FF23	D7	EPT1	プログラマブルタイマ1割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W				
	D6	EPT0	プログラマブルタイマ0割り込みイネーブルレジスタ								
	D5	EK1	K10, K11割り込みイネーブルレジスタ								
	D4	EK0H	K04～K07割り込みイネーブルレジスタ								
	D3	EK0L	K00～K03割り込みイネーブルレジスタ								
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブルレジスタ								
	D1	ESREC	シリアルI/F(受信)割り込みイネーブルレジスタ								
	D0	ESTRA	シリアルI/F(送信)割り込みイネーブルレジスタ								
00FF25	D7	FPT1	プログラマブルタイマ1割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W				
	D6	FPT0	プログラマブルタイマ0割り込み要因フラグ								
	D5	FK1	K10, K11割り込み要因フラグ								
	D4	FK0H	K04～K07割り込み要因フラグ								
	D3	FK0L	K00～K03割り込み要因フラグ	(W) リセット	(W) 無効						
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ								
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ								
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ								

仕様

入力ポート(Kポート)の制御

入力ポート(Kポート)割り込みのベクタアドレス設定

(1) input_normal: 通常の入力ポート(Kポート)からのデータ読み出し

(2) input_keyscan: 8×2キーマトリクスのキースキャン

図5.1のような入力、出力で構成されているキーマトリクスを想定し、押されているキーを特定後、そのデータをkey_dataというRAM領域に格納します。

<条件>

K07～K00ポート: プルアップ抵抗付き入力 (マスクオプション設定)

R01、R00ポート: Nチャンネルオープンドレイン出力 (マスクオプション設定)

key_data: 1ワード

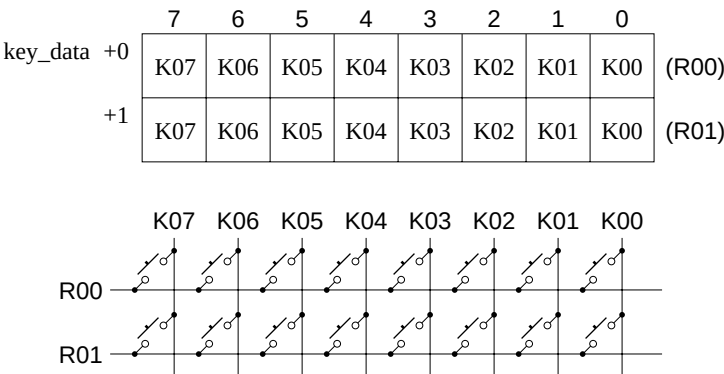


図5.1 キーマトリクス

(3) input_keywait, input_keyintr: 入力ポート(Kポート)の割り込み条件設定および割り込み処理

入力ポートK10およびK11がHIGHからLOWに変化したとき、IRQ3割り込みを発生させます。

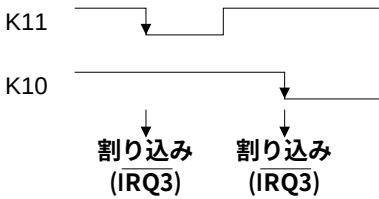
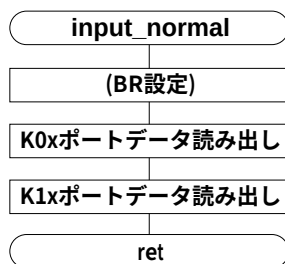


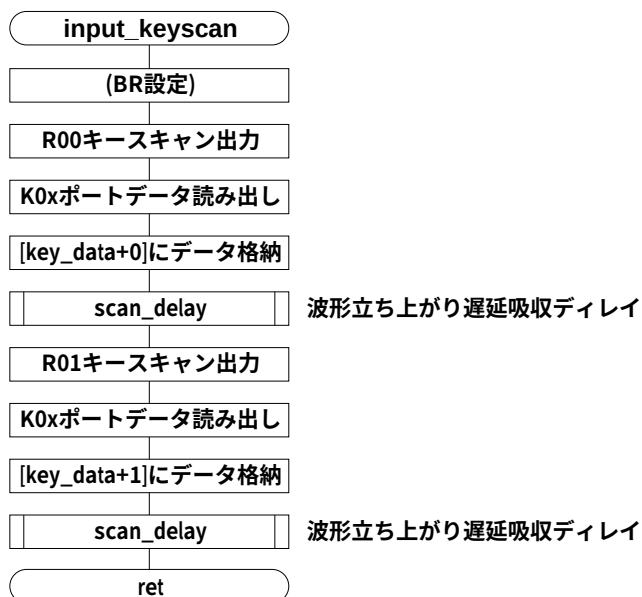
図5.2 割り込み発生タイミング

フローチャート

(1) 通常の入力ポート (Kポート) からのデータ読み出し



(2) 8×2キーマトリクスのキースキャン



注! S1C88308にはK11端子は存在しません。

フローチャート

(3) 入力ポート(Kポート)の割り込み条件設定および割り込み処理



注意点

- (1) プルアップ抵抗オプションを"抵抗あり"に設定した場合、入力ポート端子がLOWレベルからHIGHレベルに変化する際に入力ゲート容量の時定数によって波形立ち上がりに遅延が生じます。このため、入力ポートの取り込みを行う際、適切な待ち時間(目安としては約500μsec程度)を設定してください。特にキーマトリクス構成時のキースキャン等に注意が必要です。
- (2) K11端子をDMA転送のバス解放要求(BREQ)信号入力として設定した場合、K11端子は入力ポートとして使用することはできなくなりますので充分注意してください。バス解放シーケンスについての詳細は、パートIの"S1C88348/317/316/308 Technical Hardware"を参照してください。
- (3) K10端子はプログラマブルタイマ/イベントカウンタの入力端子も兼ねており、入力ポート機能はそのままに入力信号が共有されます。そのため、K10端子をプログラマブルタイマ/イベントカウンタの入力端子に設定した場合、割り込み等の設定には充分注意してください。プログラマブルタイマ/イベントカウンタの制御方法については"12 プログラマブルタイマ"を参照してください。
- (4) 割り込み要因フラグのクリアはAND、LD命令を使用して対応するフラグのみに"1"を書き込んでください。OR論理演算命令等を使用した場合、同アドレス内の"1"にセットされた割り込み要因フラグに対して"1"書き込みが行われ、そのフラグがクリアされてしまいます。
- (5) 本プログラム例の割り込み処理ルーチンでは割り込みフラグ(I1およびI0)の再設定を行っていませんので、割り込み発生時点でIRQ3レベル以下の割り込みが禁止されます。また、割り込み発生後、次の割り込みを受け付けたい場合、ネスティングレベルを充分考慮し、インタラプトフラグの再設定もしくは割り込み要因フラグのリセットが必要です。
- (6) 入力ポート(Kポート)にノイズリジェクション回路は入っておりません。特に、割り込みを使用して入力ポートのデータを読み込む場合、キーチャタリング等により続けて割り込みが発生する可能性があります。そのため、ソフトウェア、外付け回路によるノイズリジェクション処理の追加等、注意が必要です。
- (7) 本入力ポート(Kポート)のプログラム例では、ベクタアドレス設定およびプログラムを便宜上003000Hから割り付けています。
- (8) S1C88308にはK11端子は存在しません。

ソースリスト

入力ポート(Kポート)の制御

```

external      scan_delay
public        input_normal,input_keyscan,input_keywait,input_keyintr
public        key_data
;
k1x_vector    equ    00000ah          ;k1x interrupt vector address offset
keyinput      equ    003000h          ;program start address offset
br_io         equ    0ffh            ;base reg. address (set i/o area)
sik1          equ    00ff51h          ;interrupt selection reg. for k1x
kcp1          equ    00ff53h          ;interrupt comparison reg. for k1x
k0d           equ    00ff54h          ;input port data from k0x
k1d           equ    00ff55h          ;input port data from k1x
r0d           equ    00ff73h          ;r0x output data
intr_pr1      equ    00ff21h          ;interrupt priority reg. 0
intr_en1      equ    00ff23h          ;interrupt enable reg. 0
intr_fac1     equ    00ff25h          ;interrupt factor flag reg. 0
;
data
key_data:     dw      [1]
code

```

入力ポート(Kポート)割り込みのベクタアドレス設定

```

intr_vectors:
;
org    intr_vectors+k1x_vector
dw      input_keyintr          ;k1x interrupt processing routine

```

(1) 通常の入力ポート(Kポート)からのデータ読み出し

```

org    intr_vectors+keyinput
;*****
/*
/*      k(input) port read (normal)
/*      a <- k0x(complementary)
/*      b <- k1x(complementary)
/*
/******
input_normal:
    ld    br,#br_io            ;set br reg. address to 0ffxxh
    ld    a,[br:low k0d]        ;k07-00 port read
    ld    b,[br:low k1d]        ;k11-00 port read
    ret
;

```

(2) 8×2キーマトリクスのキースキャン

```

;*****
/*
/*      k(input) port read (key scan)
/*      k07 k06 k05 k04 k03 k02 k01 k00(pull up)
/*      r00(n-ch. o.d)
/*      r01(n-ch. o.d)
/*
/*      key_data+0(r10) <- k07 k06 k05 k04 k03 k02 k01 k00
/*      key_data+1(r11) <- r07 k06 k05 k04 k03 k02 k01 k00
/*
/******
input_keyscan:
    ld    br,#br_io            ;set br reg. address to 0ffxxh
    and   [br:low r0d],#11111110b ;r00 key scan output
    ld    a,[br:low k0d]        ;k0x port read
    ld    [lod key_data+0],a     ;key_data save
    carl  scan_delay            ;key scan delay ***
    and   [br:low r0d],#11111101b ;r01 key scan output
    ld    a,[br:low k0d]        ;k0x port read
    ld    [lod key_data+1],a     ;key_data save
    carl  scan_delay            ;key scan delay ***
    ret

```

ソースリスト

(3) 入力ポート(Kポート)の割り込み条件設定および割り込み処理

```

;*****
;
;      k(input) port read (interrupt)
;      k11,10 <- /irq3 falling edge ("h" - "l") interrupt
;
;*****
input_keywait:
    ld    br,#br_io                ;set br reg. address to 0ffxxh
    or    [br:low intr_pr1],#00000011b ;set pk11 and 10 to /irq3
    ld    [br:low kcp1],#00000011b    ;k11,10 falling edge (h -> l)
    ld    [br:low sik1],#00000011b    ;k11,10 interrupt enable
    or    [br:low intr_en1],#00100000b ;ek1 (k11,10) interrupt en.
    ld    [br:low r0d],#00000000b    ;waiting key on r0d scan low output
    ld    a,sc
    and    a,#00111111b
    or     a,#10000000b
    ld     sc,a                    ;i0 flag clear (en. /irq3 intr.)
;waiting k11,10 interrupt
;
;*****
;
;      k1x interrupt processing routine
;
;*****
input_keyintr:
    push    ale
;
;      k11 and 10 interrupt processing routine
;
    and     [br:low intr_fac1],#00100000b ;clear fk1 (k11,10) flag
    pop     ale
    rete
;
    end

```

(3)

6 出力ポート(Rポート)

I/Oマップ

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF70	D7	HZR51	R51ハイインピーダンス制御	ハイインピーダンス	コンプリメンタリ	0	R/W	*1
	D6	HZR50	R50ハイインピーダンス制御					
	D5	HZR4H	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D4	HZR4L	汎用レジスタ					
	D3	HZR1H	R14～R17ハイインピーダンス制御	ハイインピーダンス	コンプリメンタリ	0	R/W	
	D2	HZR1L	R10～R13ハイインピーダンス制御					
	D1	HZR0H	R04～R07ハイインピーダンス制御					
	D0	HZR0L	R00～R03ハイインピーダンス制御					
00FF71	D7	HZR27	R27ハイインピーダンス制御	ハイインピーダンス	コンプリメンタリ	0	R/W	
	D6	HZR26	R26ハイインピーダンス制御					
	D5	HZR25	R25ハイインピーダンス制御					
	D4	HZR24	R24ハイインピーダンス制御					
	D3	HZR23	R23ハイインピーダンス制御					
	D2	HZR22	R22ハイインピーダンス制御					
	D1	HZR21	R21ハイインピーダンス制御					
	D0	HZR20	R20ハイインピーダンス制御					
00FF72	D7	HZR37	R37ハイインピーダンス制御	ハイインピーダンス	コンプリメンタリ	0	R/W	S1C88308 ではR/Wレジスタ 機能のみ
	D6	HZR36	R36ハイインピーダンス制御					
	D5	HZR35	R35ハイインピーダンス制御					
	D4	HZR34	R34ハイインピーダンス制御					
	D3	HZR33	R33ハイインピーダンス制御					
	D2	HZR32	R32ハイインピーダンス制御					
	D1	HZR31	R31ハイインピーダンス制御					
	D0	HZR30	R30ハイインピーダンス制御					
00FF73	D7	R07D	R07出力ポートデータ	High	Low	1	R/W	
	D6	R06D	R06出力ポートデータ					
	D5	R05D	R05出力ポートデータ					
	D4	R04D	R04出力ポートデータ					
	D3	R03D	R03出力ポートデータ					
	D2	R02D	R02出力ポートデータ					
	D1	R01D	R01出力ポートデータ					
	D0	R00D	R00出力ポートデータ					
00FF74	D7	R17D	R17出力ポートデータ	High	Low	1	R/W	
	D6	R16D	R16出力ポートデータ					
	D5	R15D	R15出力ポートデータ					
	D4	R14D	R14出力ポートデータ					
	D3	R13D	R13出力ポートデータ					
	D2	R12D	R12出力ポートデータ					
	D1	R11D	R11出力ポートデータ					
	D0	R10D	R10出力ポートデータ					
00FF75	D7	R27D	R27出力ポートデータ	High	Low	1	R/W	
	D6	R26D	R26出力ポートデータ					
	D5	R25D	R25出力ポートデータ					
	D4	R24D	R24出力ポートデータ					
	D3	R23D	R23出力ポートデータ					
	D2	R22D	R22出力ポートデータ					
	D1	R21D	R21出力ポートデータ					
	D0	R20D	R20出力ポートデータ					

*1 S1C88308ではR/Wレジスタ機能のみ

6 出力ポート(Rポート)

I/Oマップ

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF76	D7	R37D	R37出力ポートデータ	High	Low	1	R/W	S1C88308 ではR/Wレジスタ 機能のみ
	D6	R36D	R36出力ポートデータ					
	D5	R35D	R35出力ポートデータ					
	D4	R34D	R34出力ポートデータ					
	D3	R33D	R33出力ポートデータ					
	D2	R32D	R32出力ポートデータ					
	D1	R31D	R31出力ポートデータ					
	D0	R30D	R30出力ポートデータ					
00FF77	D7	R47D	汎用レジスタ	1	0	1	R/W	予約レジスタ
	D6	R46D	汎用レジスタ					
	D5	R45D	汎用レジスタ					
	D4	R44D	汎用レジスタ					
	D3	R43D	汎用レジスタ					
	D2	R42D	汎用レジスタ					
	D1	R41D	汎用レジスタ					
	D0	R40D	汎用レジスタ					
00FF78	D7	—	—	—	—	—	—	読み出し時は 常時"0"
	D6	—	—	—	—	—	—	
	D5	—	—	—	—	—	—	
	D4	—	—	—	—	—	—	
	D3	—	—	—	—	—	—	
	D2	—	—	—	—	—	—	
	D1	R51D	R51出力ポートデータ	High	Low	1	R/W	*1
	D0	R50D	R50出力ポートデータ	High	Low	0	R/W	
00FF10	D7	—	—	—	—	—	—	読み出し時は 常時"0"
	D6	—	—	—	—	—	—	
	D5	—	—	—	—	—	—	
	D4	LCCLK	拡張LCDドライバ用CL出力制御	On	Off	0	R/W	
	D3	LCFRM	拡張LCDドライバ用FR出力制御	On	Off	0	R/W	
	D2	DTFNT	LCDドットフォント選択	5×5ドット	5×8ドット	0	R/W	
	D1	LDUTY	LCD駆動デューティ選択	1/16デューティ	1/32デューティ	0	R/W	
	D0	SGOUT	汎用レジスタ	1	0	0	R/W	予約レジスタ
00FF30	D7	—	—	—	—	—	—	読み出し時は 常時"0"
	D6	—	—	—	—	—	—	
	D5	—	—	—	—	—	—	
	D4	MODE16	8/16ビットモード選択	16ビット×1	8ビット×2	0	R/W	
	D3	CHSEL	TOUT出力チャンネル選択	タイマ1	タイマ0	0	R/W	
	D2	PTOUT	TOUT出力制御	On	Off	0	R/W	
	D1	CKSEL1	プリスケアラ1原振クロック選択	fosc3	fosc1	0	R/W	
	D0	CKSEL0	プリスケアラ0原振クロック選択	fosc3	fosc1	0	R/W	
00FF44	D7	—	—	—	—	—	—	読み出し時は 常時"0"
	D6	BZSTP	ワンショットブザー強制停止	強制停止	無効	—	W	
	D5	BZSHT	ワンショットブザートリガ/ステータス	Busy トリガ	Ready 無効	0	R/W	
	D4	SHTPW	ワンショットブザー時間幅選択	125msec	31.25msec	0	R/W	読み出し時は"0"
	D3	ENRTM	エンベロープ減衰時間	1sec	0.5sec	0	R/W	
	D2	ENRST	エンベロープリセット	リセット	無効	—	W	
	D1	ENON	エンベロープOn/Off制御	On	Off	0	R/W	
	D0	BZON	ブザー出力制御	On	Off	0	R/W	
								*3

*1 S1C88308ではR/Wレジスタ機能のみ

*2 マスクオプションで1/8デューティを選択している場合は、本レジスタの設定は無効となります。

*3 ワンショット出力時、"0"にリセット

I/Oマップ

アドレス	ビット	名称	機 能				1	0	SR	R/W	注 釈
00FF40	D7	—	—				—	—	—	—	読み出し時は"0"
	D6	FOUT2	FOUT周波数選択						0	R/W	
			FOUT2	FOUT1	FOUT0	周波数					
			0	0	0	fosc1 / 1					
	D5	FOUT1	0	0	1	fosc1 / 2			0	R/W	
			0	1	0	fosc1 / 4					
			0	1	1	fosc1 / 8					
			1	0	0	fosc3 / 1					
	D4	FOUT0	1	0	1	fosc3 / 2			0	R/W	
			1	1	0	fosc3 / 4					
			1	1	1	fosc3 / 8					
	D3	FOUTON	FOUT出力制御				On	Off	0	R/W	
	D2	WDRST	ウォッチドッグタイマリセット				リセット	無効	—	W	読み出し時は
	D1	TMRST	計時タイマリセット				リセット	無効	—	W	常時"0"
	D0	TMRUN	計時タイマRun/Stop制御				Run	Stop	0	R/W	

仕様

出力ポート(Rポート)の制御

(1) initoutput_normal, output_normal: 通常のDC出力

R3xポートをコンプリメンタリ出力に設定し、R35～R37にHIGHおよびLOWを出力します。

(2) init_hiz, output_hiz: ハイインピーダンス出力制御

初めにR5xポートをコンプリメンタリ出力に設定し、その後ハイインピーダンス制御レジスタを操作してハイインピーダンス出力とコンプリメンタリ出力を切り換えます。

(3) fout_init, fout_control: FOUT出力制御

FOUT出力のON/OFFを制御します。

注意点

- (1) 出力ポートは通常のDC出力の他に表6.1に示す特殊出力との共用端子となっており、ソフトウェアによって選択可能です。また、特殊出力として使用した場合、そのポートは出力ポートとしては使用できなくなりますので充分注意してください。

表6.1 特殊出力

出力ポート	特殊出力
R25	CL出力
R26	FR出力
R27	TOUT出力
R34	FOUT出力
R50	BZ出力

FOUT出力(R34端子)を除く特殊出力の制御方法については以下の章を参照してください。

- TOUT出力(R27) "12 プログラマブルタイマ"
- CL出力(R25)、FR出力(R26) .. "13 LCDコントローラ"
- BZ出力(R50) "14 サウンドジェネレータ"

- (2) バスモード、システムコントローラの設定等により、あるいはDMA転送のバス解放を使用する場合、以下の出力端子はアドレスバス、RD/WR信号、CE3～CE0信号およびBACK信号の出力に使用され、出力ポートとしては使用できなくなりますので充分注意してください。

- (3) R35～R37端子は、S1C883xxのチップ出荷時のみ使用可能です。

- (4) S1C88308にはR51端子は存在しません。

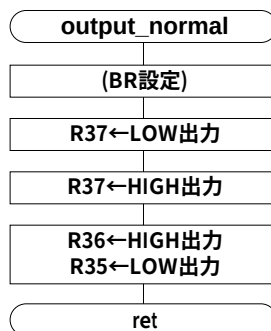
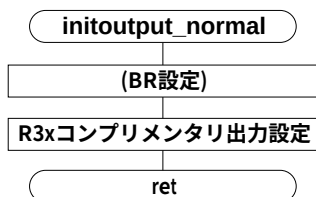
注意点

表6.2 出力兼用端子

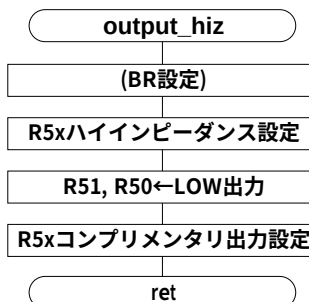
出力ポート	特殊出力
R00～R07	A0～A7
R10～R17	A8～A15
R20～R22	A16～A18
R23	RD信号
R24	WR信号
R30～R33	CE0～CE3信号
R51	BACK信号

フローチャート

(1) 通常のDC出力



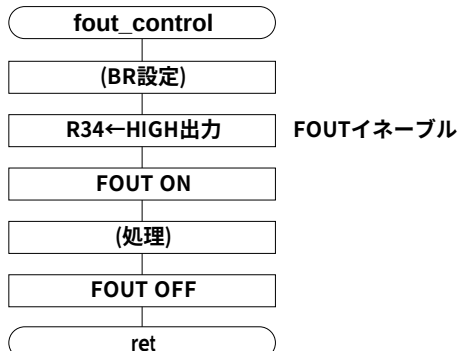
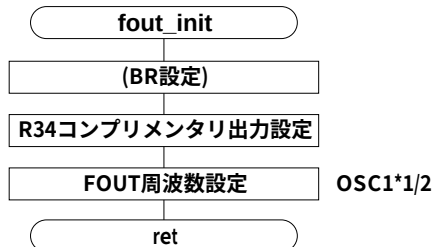
(2) ハイインピーダンス出力制御



この時点で出力は
HIGHからハイ
インピーダンスとなる。

この時点で出力は
ハイインピーダンス
からLOWとなる。

(3) FOUT出力制御



注! S1C88308にはR51端子は存在しません。

ソースリスト

出力ポート(Rポート)の制御

```

        public      initoutput_normal,output_normal
        public      init_hiz,output_hiz
        public      fout_init,fout_control
;
br_io      equ      0ffh                ;base reg. address (set i/o area)
hizr_ex    equ      00ff70h            ;expand output control reg.
hizr3      equ      00ff72h            ;r3x output control reg.
r3d        equ      00ff76h            ;r3x output data
r5d        equ      00ff78h            ;r5x output data
rtm_mode    equ      00ff40h            ;timer mode set reg.
code

```

(1) 通常のDC出力

```

;*****
;
;      r(output) port control (normal)
;      r37      <- "l" then "h"      (complementary)
;      r36,35   <- "h","l"          (complementary)
;*****
;*** initialize routine
initoutput_normal:
        ld      br,#br_io              ;set br reg. address to 0ffxxh
        ld      [br:low hizr3],#00000000b ;set r3x complementary output
        ret
;*****
;*** control routine
output_normal:
        ld      br,#br_io              ;set br reg. address to 0ffxxh
        and     [br:low r3d],#01111111b ;r37 <- "l" output
        or      [br:low r3d],#10000000b ;r37 <- "h" output
        ld      a,[br:low r3d]         ;r3x output port read
        and     a,#10011111b
        or      a,#01000000b
        ld      [br:low r3d],a         ;r36 <- "h" and r35 <- "l" output
        ret

```

(1)

(2) ハイインピーダンス出力制御

```

;*****
;
;      r(output) port control (hi-z)
;      r50,51   <- "h","h"          (complementary at init.)
;
;      <- "hi-z"
;      <- "l","l"          (complementary)
;*****
;*** initialize routine
init_hiz:
        ld      br,#br_io              ;set br reg. address to 0ffxxh
        or      [br:low r5d],#00000011b ;r51,50 <- "h"
        and     [br:low hizr_ex],#00111111b ;r5x <- complementary output
        ret
;*****
;*** control routine
output_hiz:
        ld      br,#br_io              ;set br reg. address to 0ffxxh
        or      [br:low hizr_ex],#11000000b ;r5x <- high impedance ("hi-z")
        and     [br:low r5d],#11111100b ;r51,50 <- "l" output
        and     [br:low hizr_ex],#00111111b ;r5x <- complementary output
        ret
;

```

(2)

ソースリスト

(3) FOUT出力制御

```

;*****
;
;
;      fout control
;
;*****
;*** initialize routine
fout_init:
    ld    br,#br_io                ;set br reg. address to 0ffxxh
    and   [br:low hzr3],#11101111b ;set r34 complementary output
    ld    a,[br:low rtm_mode]
    and   a,#00000111b
    or    a,#00010000b              ;set fout=fosc1/2
    ld    [br:low rtm_mode],a
    ret
;*****
;*** control routine
fout_control:
    or    [br:low r3d],#00010000b   ;r34="h" (fout enable)
    or    [br:low rtm_mode],#00001000b ;fout on
;
;
;other processing
;
;
    and   [br:low rtm_mode],#11110111b ;fout off
    ret
;
    end

```

(3)

7 入出力兼用ポート(Pポート)

I/Oマップ

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF60	D7	IOC07	P07 I/Oコントロールレジスタ	出力	入力	0	R/W	
	D6	IOC06	P06 I/Oコントロールレジスタ					
	D5	IOC05	P05 I/Oコントロールレジスタ					
	D4	IOC04	P04 I/Oコントロールレジスタ					
	D3	IOC03	P03 I/Oコントロールレジスタ					
	D2	IOC02	P02 I/Oコントロールレジスタ					
	D1	IOC01	P01 I/Oコントロールレジスタ					
	D0	IOC00	P00 I/Oコントロールレジスタ					
00FF61	D7	IOC17	P17 I/Oコントロールレジスタ	出力	入力	0	R/W	
	D6	IOC16	P16 I/Oコントロールレジスタ					
	D5	IOC15	P15 I/Oコントロールレジスタ					
	D4	IOC14	P14 I/Oコントロールレジスタ					
	D3	IOC13	P13 I/Oコントロールレジスタ					
	D2	IOC12	P12 I/Oコントロールレジスタ					
	D1	IOC11	P11 I/Oコントロールレジスタ					
	D0	IOC10	P10 I/Oコントロールレジスタ					
00FF62	D7	P07D	P07 入出力兼用ポートデータ	High	Low	1	R/W	
	D6	P06D	P06 入出力兼用ポートデータ					
	D5	P05D	P05 入出力兼用ポートデータ					
	D4	P04D	P04 入出力兼用ポートデータ					
	D3	P03D	P03 入出力兼用ポートデータ					
	D2	P02D	P02 入出力兼用ポートデータ					
	D1	P01D	P01 入出力兼用ポートデータ					
	D0	P00D	P00 入出力兼用ポートデータ					
00FF63	D7	P17D	P17 入出力兼用ポートデータ	High	Low	1	R/W	
	D6	P16D	P16 入出力兼用ポートデータ					
	D5	P15D	P15 入出力兼用ポートデータ					
	D4	P14D	P14 入出力兼用ポートデータ					
	D3	P13D	P13 入出力兼用ポートデータ					
	D2	P12D	P12 入出力兼用ポートデータ					
	D1	P11D	P11 入出力兼用ポートデータ					
	D0	P10D	P10 入出力兼用ポートデータ					

仕様

入出力兼用ポート(Pポート)の制御

(1) initio_normal, io_normal: 通常の入出力兼用ポートデータ入出力

P0xポートを入力に設定、P1xポートを出力に設定します。その後、P07ポートのHIGH入力を判定し、HIGHになったならばP0xの入力データを読み出し、P1xに55Hを出力します。

(2) init_switch, io_switch: 2×2スイッチマトリクスのスキャン

図7.1のような入力、出力で構成されているスイッチマトリクスを想定し、押されているキーを特定後、そのデータをswitch_dataというRAM領域に格納します。

<条件>

P10、P11ポート: プルアップ抵抗付き入力

R51、R50ポート: Nチャンネルオープンドレイン出力 (ソフトウェア設定)

switch_data: 1バイト

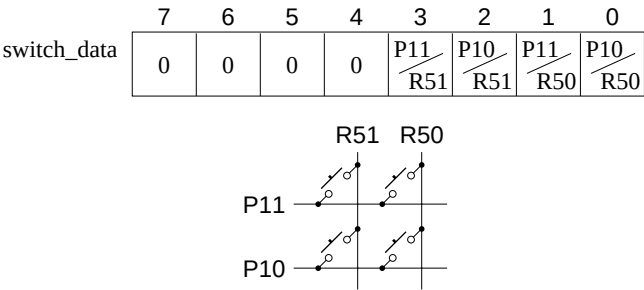
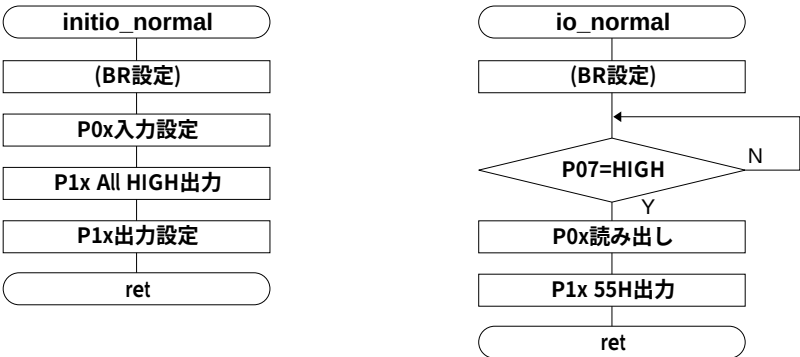


図7.1 スイッチマトリクス

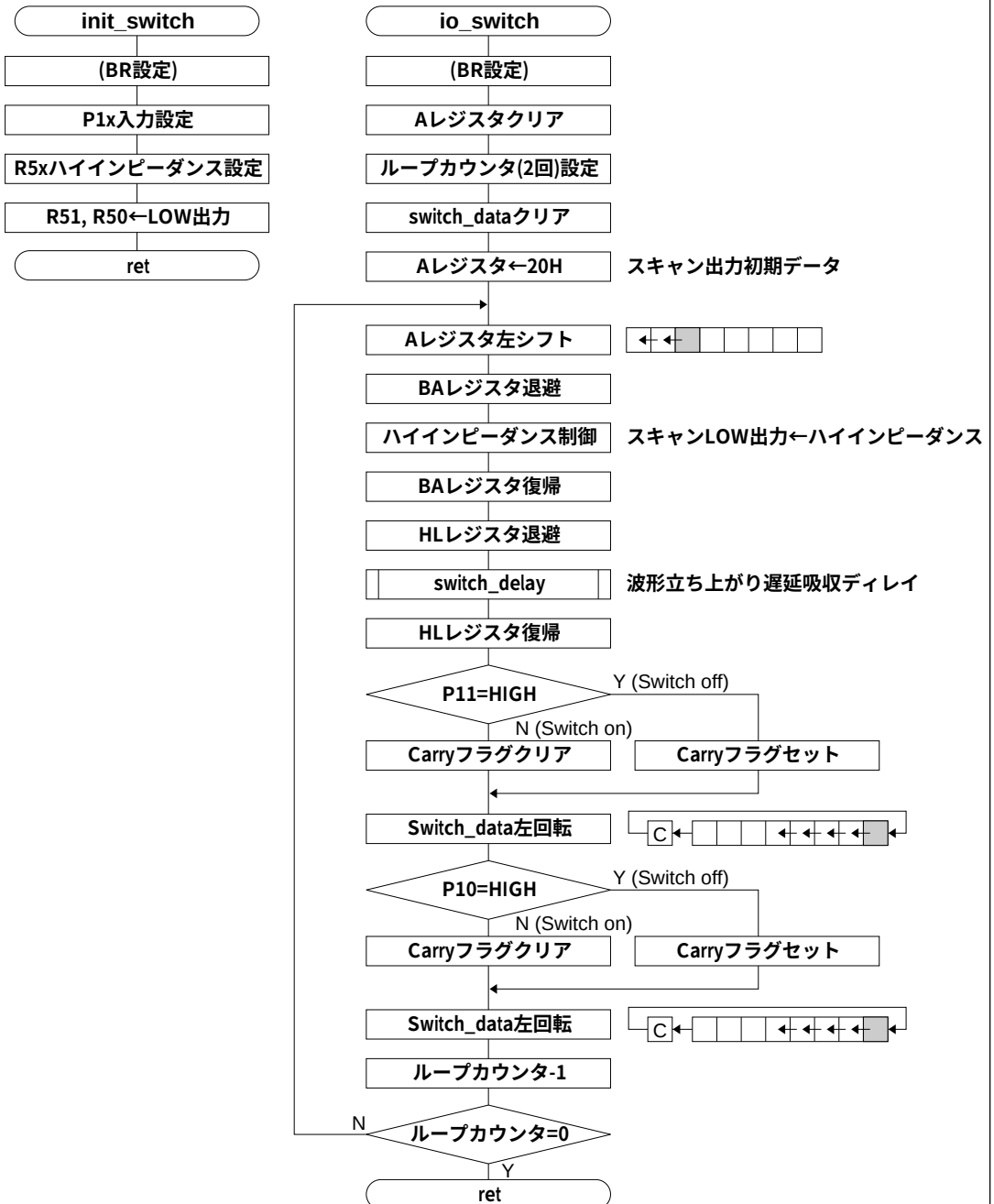
フローチャート

(1) 通常の入出力兼用ポートデータ入出力



フローチャート

(2) 2×2スイッチマトリクスのスキャン



注意点

- (1) 入力モード時にポート端子がLOWレベルからHIGHレベルに変化する際にはプルアップ抵抗と入力ゲート容量の時定数によって波形立ち上がりに遅延が生じます。このため、入力ポートの取り込みを行う際、適切な待ち時間(目安としては約500 μ sec程度)を設定してください。特にキーマトリクス構成時のキースキャン等に注意が必要です。(external call: switch_delay)
- (2) 入出力兼用ポート端子は通常の入出力の他に表7.1に示す特殊入出力との共用端子となっており、ソフトウェアによって選択可能です。また、特殊出力として使用した場合、そのポートは入出力兼用ポートとしては使用できなくなりますので充分注意してください。

表7.1 特殊入出力

入出力兼用ポート	特殊出力
P10	SIN
P11	SOUT
P12	SCLK
P13	SRDY
P14	CMPP0
P15	CMPM0
P16	CMPP1
P17	CMPM1

なお、それぞれの制御方法の詳細については、以下の章を参照してください。

- SIN(P10), SOUT(P11), SCLK(P12), SRDY(P13)
 - "8 シリアルインタフェース1(クロック同期式)"
 - "9 シリアルインタフェース2(調歩同期式)"
- CMPP0(P14), CMPM0(P15), CMPP1(P16), CMPM1(P17)
 - "15 アナログコンパレータ"

- (3) バスモード、システムコントローラの設定等により、P0x端子はデータバスとして使用され、入出力兼用ポートとしては使用できなくなりますので充分注意してください。

表7.2 データバス兼用端子

入出力兼用ポート	特殊出力
P00～P07	D0～D7

ソースリスト

入出力兼用ポート(Pポート)の制御

```

        external    switch_delay
        public      initio_normal,io_normal
        public      init_switch,io_switch
        public      switch_data
;
br_io      equ      0ffh          ;base reg. address (set i/o area)
ioc0       equ      00ff60h      ;p0x i/o control reg.
ioc1       equ      00ff61h      ;p1x i/o control reg.
p0d        equ      00ff62h      ;p0x port data
p1d        equ      00ff63h      ;p1x port data
hxr_ex     equ      00ff70h      ;expand output control reg.
r5d        equ      00ff78h      ;r5x output data
;
        data
switch_data: db      [1]
;
        code

```

(1) 通常の入出力兼用ポートデータ入出力

```

;*****
;
;
;      p(i/o) port control (normal)
;      p0x (input:gate direct)
;      p1x (output) <- p17-10 (all "h")
;
;
;      p07 (input) <- waits "l" to "h" then p0x data read
;      p0x (input) <- p0x port data read
;
;*****
;*** initialize routine
initio_normal:
        ld      br,#br_io          ;set br reg. address to 0ffxxh
        ld      [br:low ioc0],#00000000b ;set ioc0 (p07-00=input)
        ld      [br:low p1d],#11111111b ;p17-10(output) <- "h"
        ld      [br:low ioc1],#11111111b ;set ioc1 (p17-10=output)
        ret
;*****
;*** control routine
io_normal:
        ld      br,#br_io          ;set br reg. address to 0ffxxh
io_normal00:
        bit     [br:low p0d],#10000000b ;p07 = "h" ?
        jrs     z,io_normal00
;
        ld      a,[br:low p0d]      ;p0x input
        ld      [br:low p1d],#01010101b ;p1x output
;
        ret

```

(1)

ソースリスト

(2) 2×2スイッチマトリクスのスキャン

```

;*****
;*
;*      p(i/o) port control (internal pull up delay)
;*      r51 r50(n-channel open drain)
;*      p11(pull up)
;*      p10(pull up)
;*
;*      switch data  7  6  5  4   3       2       1       0
;*
;*****
;*** initialize routine
init_switch:
    ld    br,#br_io                ;set br reg. address to 0ffxxh
    ld    [br:low ioc1],#00000000b ;set ioc1 (p17-10=input)
    or     [br:low hzr_ex],#11000000b ;r5x <- high impedance "hi-z"
    and    [br:low r5d],#11111100b   ;r5x <- "l"
    ret

;*****
;*** control routine
io_switch:
    ld    br,#br_io                ;set br reg. address to 0ffxxh
    xor    a,a
    ld    b,#2                      ;switch scan loop counter
    ld    hl,#lod switch_data      ;switch data buffer
    ld    [hl],#0                  ;clear switch data buffer
    ld    a,#00100000b             ;scan init. data set

switch00:
    sll    a                        ;scan data move bit0 to 7
    push   ba                       ;escape scan data
    ld    b,[br:low hzr_ex]         ;r5x hi-z control ("hi-z" <-> "l")
    and    b,#00111111b
    or     a,b
    ld    [br:low hzr_ex],a         ;r5x scan data control with hi-z
    pop    ba
    push   hl
    carl   switch_delay             ;switch scan delay ***
    pop    hl
    bit    [br:low p1d],#00000010b ;compare p11 port level
    jrs    nz,switch01

;switch (p11) on "l"
    and    sc,#11111101b           ;clear carry flag
    jrs    switch02
;switch (p11) off "h"
switch01:
    or     sc,#00000010b           ;set carry flag
switch02:
    rl     [hl]                    ;set switch data buffer
    bit    [br:low p1d],#00000001b ;compare p10 port level
    jrs    nz,switch03
;switch (p10) on "l"
    and    sc,#11111101b           ;clear carry flag
    jrs    switch04
;switch (p10) off "h"
switch03:
    or     sc,#00000010b           ;set carry flag
switch04:
    rl     [hl]                    ;set switch data buffer
    djr    nz,switch00

;
    ret
;
    end

```

(2)

8 シリアルインタフェース1(クロック同期式)

I/Oマップ

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF48	D7	—	—	—	—	—		読み出し時は"0"
	D6	EPR	パリティイネーブルレジスタ	パリティ付き	パリティなし	0	R/W	調歩同期式のみ
	D5	PMD	パリティモード選択	奇数	偶数	0	R/W	
	D4	SCS1	クロック源選択 SCS1 SCS0 クロック源 1 1 プログラムブルタイム			0	R/W	クロック同期式 スレープモード では外部クロック が選択される
	D3	SCS0	1 0 fosc3 / 4 0 1 fosc3 / 8 0 0 fosc3 / 16			0	R/W	
	D2	SMD1	シリアルI/Fモード選択 SMD1 SMD0 モード 1 1 調歩同期式8ビット			0	R/W	
	D1	SMD0	1 0 調歩同期式7ビット 0 1 クロック同期式スレープ 0 0 クロック同期式マスタ			0	R/W	
	D0	ESIF	シリアルI/Fイネーブルレジスタ	シリアルI/F	I/Oポート	0	R/W	
00FF49	D7	—	—	—	—	—		読み出し時は"0"
	D6	FER	フレーミングエラーフラグ	R エラー W リセット(0)	エラーなし 無効	0	R/W	調歩同期式のみ
	D5	PER	パリティエラーフラグ	R エラー W リセット(0)	エラーなし 無効	0	R/W	
	D4	OER	オーバランエラーフラグ	R エラー W リセット(0)	エラーなし 無効	0	R/W	
	D3	RXTRG	受信トリガ/ステータス	R 受信中 W トリガ	停止中 無効	0	R/W	
	D2	RXEN	受信許可	許可	禁止	0	R/W	
	D1	TXTRG	送信トリガ/ステータス	R 送信中 W トリガ	停止中 無効	0	R/W	
	D0	TXEN	送信許可	許可	禁止	0	R/W	
00FF4A	D7	TRXD7	送受信データD7 (MSB)	High	Low	X	R/W	
	D6	TRXD6	送受信データD6					
	D5	TRXD5	送受信データD5					
	D4	TRXD4	送受信データD4					
	D3	TRXD3	送受信データD3					
	D2	TRXD2	送受信データD2					
	D1	TRXD1	送受信データD1					
	D0	TRXD0	送受信データD0 (LSB)					
00FF20	D7	PK01	K00~K07割り込み	PK01 PK00 PSIF1 PSIF0 PSW1 PSW0 優先 PTM1 PTM0 レベル	1 1 レベル3 1 0 レベル2 0 1 レベル1 0 0 レベル0	0	R/W	
	D6	PK00	プライオリティレジスタ					
	D5	PSIF1	シリアルインタフェース割り込み			0	R/W	
	D4	PSIF0	プライオリティレジスタ					
	D3	PSW1	ストップウォッチタイマ割り込み			0	R/W	
	D2	PSW0	プライオリティレジスタ					
	D1	PTM1	計時タイマ割り込み			0	R/W	
	D0	PTM0	プライオリティレジスタ					

I/Oマップ

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈			
00FF23	D7	EPT1	プログラマブルタイマ1割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W				
	D6	EPT0	プログラマブルタイマ0割り込みイネーブルレジスタ								
	D5	EK1	K10, K11割り込みイネーブルレジスタ								
	D4	EK0H	K04～K07割り込みイネーブルレジスタ								
	D3	EK0L	K00～K03割り込みイネーブルレジスタ								
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブルレジスタ								
	D1	ESREC	シリアルI/F(受信)割り込みイネーブルレジスタ								
	D0	ESTRA	シリアルI/F(送信)割り込みイネーブルレジスタ								
00FF25	D7	FPT1	プログラマブルタイマ1割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W				
	D6	FPT0	プログラマブルタイマ0割り込み要因フラグ								
	D5	FK1	K10, K11割り込み要因フラグ								
	D4	FK0H	K04～K07割り込み要因フラグ								
	D3	FK0L	K00～K03割り込み要因フラグ	(W) リセット	(W) 無効						
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ								
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ								
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ								

仕様

クロック同期式シリアルインタフェース

<条件>

P10: SIN	(入力)	シリアルモード設定時に機能および入出力兼用ポートの入出力方向が自動的に決定されます。
P11: SOUT	(出力)	
P12: SCLK	(出力)	
P13: スレーブREADY	(入力)	スレーブ側とのハンドシェイク信号

シリアルインタフェース割り込みのベクタアドレス設定

(1) sio_init: クロック同期式シリアルインタフェース(マスタモード)の初期化

クロック同期式送受信を行うために、以下の設定を行います。

- ・シリアルインタフェース機能設定
- ・通常モード(OSC3発振)設定
- ・クロック同期式マスタモード設定
- ・送信/受信割り込みイネーブル(IRQ2)
- ・同期クロックOSC3×1/4選択

(2) siorv, siorv_intr: クロック同期式シリアルインタフェース(マスタモード)の受信

ハンドシェイク信号(P13)を確認し、受信割り込み(IRQ2)によってスレーブ側から1バイトずつ、計256バイトの受信データを内蔵メモリreceive_bufferへ格納します。

(3) siotr, siotr_intr: クロック同期式シリアルインタフェース(マスタモード)の送信

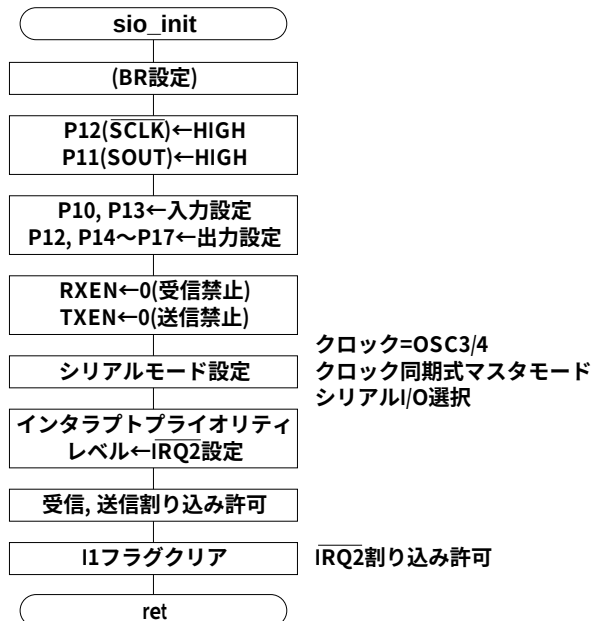
ハンドシェイク信号(P13)を確認し、送信割り込み(IRQ2)によってスレーブ側へ1バイトずつ、計256バイトの送信データを内蔵メモリtrans_bufferから送出します。

注意点

- (1) OSC3、OSC1への切り換えルーチンは外部呼び出しです。(external call: osc1toosc3, osc3toosc1)
- (2) 電源電圧がV_{D1}設定電圧以下の場合に動作モードの切り換えを行うと誤動作の原因になります。そのため、通常モード(OSC3)への切り換えの際に電源電圧の確認を行い、電源電圧がV_{D1}設定電圧以下の場合には電源電圧エラーとして未処理のまま終了するルーチンとなっています。この判定にvdd_ngfフラグを使用しています("4 発振回路"参照)。
- (3) OSC3からOSC1(V_{D1}=2.2V→1.3V)の切り換え時は、すでに電源電圧がV_{D1}設定電圧以上であることを前提としていますので、SVDによる電源電圧の確認は特に行いません。
- (4) 割り込み要因フラグのクリアはAND、LD命令を使用して対応するフラグのみに"1"を書き込んでください。OR論理演算命令等を使用した場合、同アドレス内の"1"にセットされた割り込み要因フラグに対して"1"書き込みが行われ、そのフラグがクリアされてしまいます。
- (5) 本プログラム例の割り込み処理ルーチンでは割り込みフラグ(I1およびI0)の再設定を行っていませんので、割り込み発生時点でIRQ2レベル以下の割り込みが禁止されます。また、割り込み発生後、次の割り込みを受け付けたい場合、ネスティングレベルを充分考慮し、インタラプトフラグの再設定もしくは割り込み要因フラグのリセットが必要です。
- (6) 送受信トリガに"1"を書き込み送受信を開始する際、まずデータの読み出しを行い、必ず必要なビットのみに"1"を書き込むようにしてください。
送受信トリガと同じアドレスには他の送受信ステータス(送信時であれば受信ステータス、受信時であれば送信ステータス)が読み出し用に割り付けられています。たとえば、受信動作中(受信ステータス="1")のときにOR命令を使用して送信トリガビットに対し直接書き込みを行った場合、受信ステータスが一度読み込まれ、それが受信トリガとして再度書き込まれてしまいます。受信トリガを与える場合も同様です。
- (7) 本シリアルインタフェース1(クロック同期式)のプログラム例では、ベクタアドレス設定およびプログラムを便宜上003000Hから割り付けています。

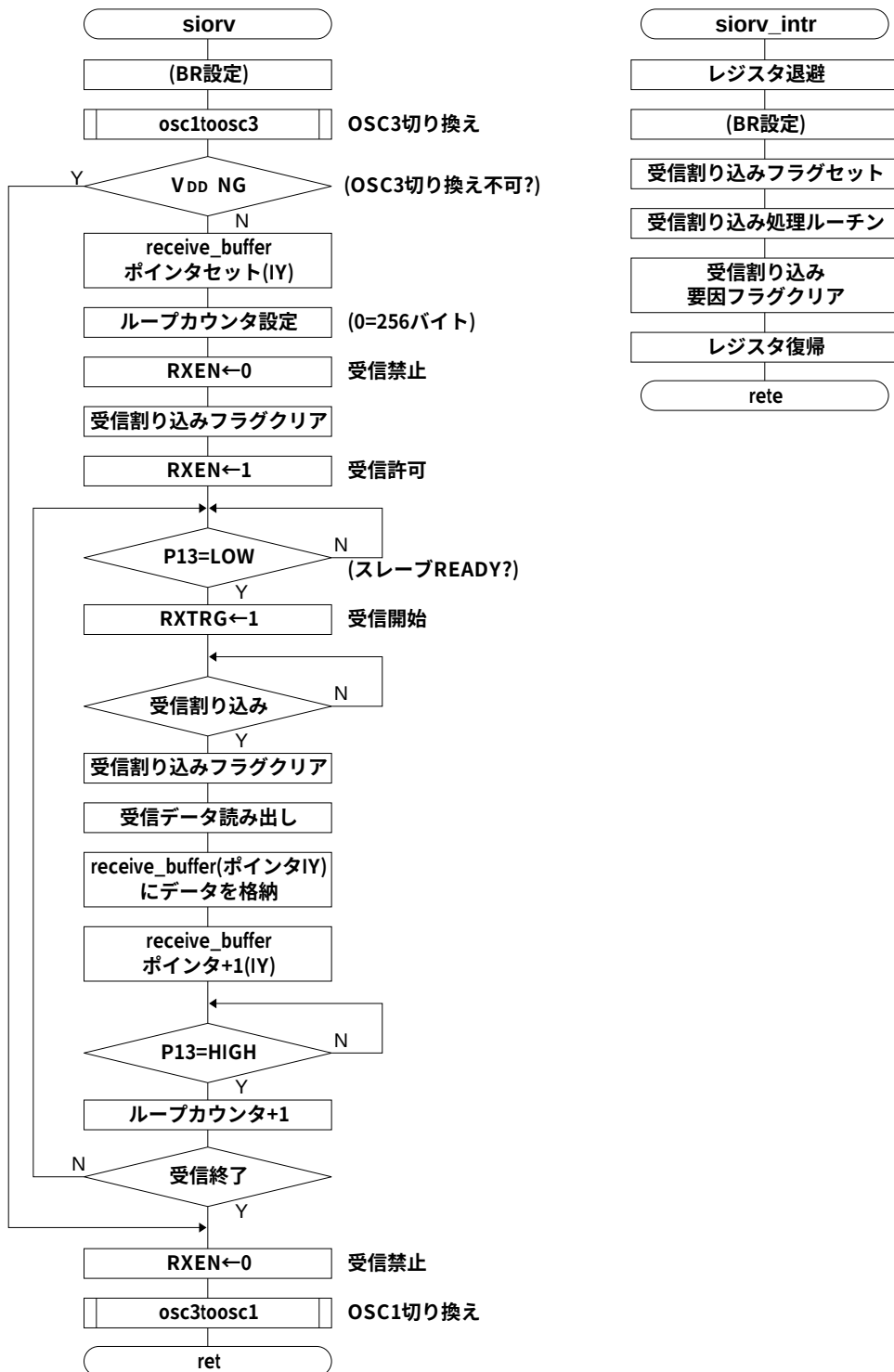
フローチャート

(1) クロック同期式シリアルインタフェース(マスタモード)の初期化



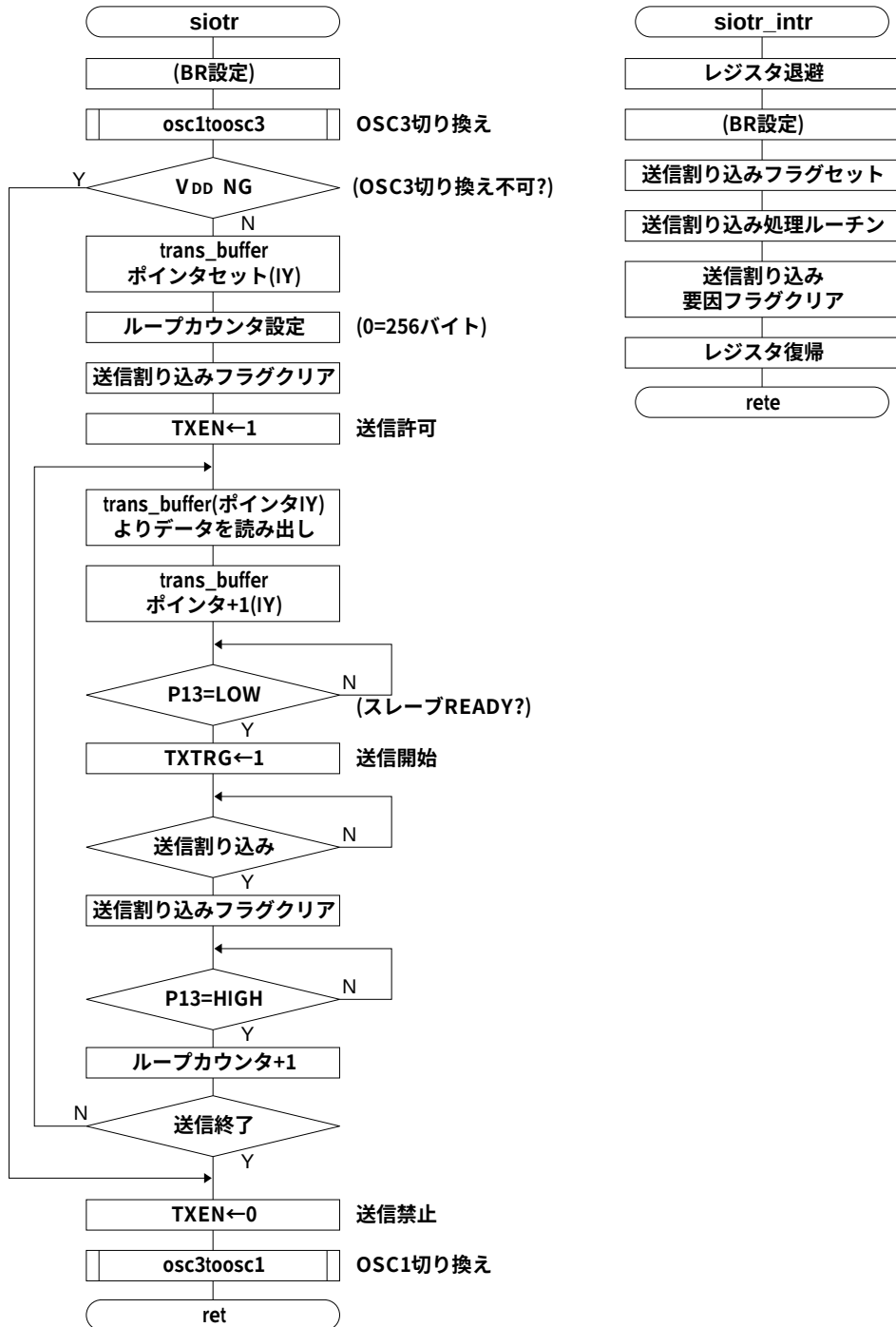
フローチャート

(2) クロック同期式シリアルインタフェース(マスタモード)の受信



フローチャート

(3) クロック同期式シリアルインタフェース(マスタモード)の送信



ソースリスト

クロック同期式シリアルインタフェース

```

external      osc1toosc3,osc3toosc1
external      vdd_ngf
public        sio_init,siorv,siotr,siorv_intr,siotr_intr
public        receive_buffer,trans_buffer,receive_flag,trans_flag
;
siorv_vector   equ    000012h                ;sio receive interrupt vector offset
siotr_vector   equ    000014h                ;sio trans interrupt vector offset
sio            equ    003000h                ;program start address offset
br_io          equ    0ffh                  ;base reg. address (set i/o area)
mode           equ    00ff02h                ;mode control reg.
ioc1           equ    00ff61h                ;p1x i/o control reg.
p1d            equ    00ff63h                ;p1x port data
smd            equ    00ff48h                ;serial interface mode set reg.
ser            equ    00ff49h                ;serial interface error and trigger reg
trxd           equ    00ff4ah                ;trans/recive data reg.
intr_pr0       equ    00ff20h                ;interrupt priority reg. 0
intr_en1       equ    00ff23h                ;interrupt enable reg. 1
intr_fac1      equ    00ff25h                ;interrupt factor reg. 1
;
data
receive_buffer: db    [256]                  ;sio receive bufffer
trans_buffer:   db    [256]                  ;sio trans buffer
receive_flag:   db    [1]                   ;trans complete flag
trans_flag:     db    [1]                   ;receive complete flag
code

```

シリアルインタフェース割り込みのベクタアドレス設定

```

intr_vectors:
;
org    intr_vectors+siotr_vector
dw     siotr_intr                ;sio trans interrupt
;
org    intr_vectors+siotr_vector
dw     siotr_intr                ;sio trans interrupt
;

```

(1) クロック同期式シリアルインタフェース(マスタモード)の初期化

```

org    intr_vectors+sio
;*****
;*
;*      sio master mode initialize (p13=slave ready)
;*
;*****
;*** initialize routine
sio_init:
;p17-14=programmable output,p13=slave ready,p12-10=sio terminal
ld     br,#br_io                ;set br reg. address to 0ffxxh
ld     [br:low p1d],#11110110b   ;sclk="h",sout="h"
ld     [br:low ioc1],#11110110b
ld     [br:low ser],#01110000b    ;rxen=dis.txen=dis.
;serial mode:no-parity,clock=fosc3/4,sio master mode and serial i/o select
ld     [br:low smd],#00010001b    ;set serial interface mode
ld     a,[br:low intr_pr0]        ;interrupt priority reg.
and    a,#11001111b
or     a,#00100000b
ld     [br:low intr_pr0],a        ;set psif1,0 to /irq2
ld     a,[br:low intr_en1]
and    a,#01111000b

```

(1)

ソースリスト

```

or      a,#00000011b
ld      [br:low intr_en1],a      ;esrec and estra intr. en.
ld      a,sc
and     a,#00111111b
or      a,#01000000b
ld      sc,a                      ;i1 flag clear (en. /irq2 intr.)
ret

```

(1)

(2) クロック同期式シリアルインタフェース(マスタモード)の受信

```

;*****
; *
; *      sio master mode receive (p13=slave ready)
; *
;*****
;*** control routine
siorv:
    ld      br,#br_io              ;set br reg. address to 0ffxxh
    carl    osc1toosc3              ;change osc1 to osc3 ***
    ld      a,[lod vdd_ngf]         ;vdd ng flag
    cp      a,#0ffh
    jrl     z,siorv02              ;vdd error
;
    ld      iy,#lod receive_buffer ;receive data buffer
    ld      b,#0                   ;set receive counter (00h=256)
    ld      a,[br:low ser]
    and     a,#00000001b
    ld      [br:low ser],a         ;rxen=0 (dis.) sio reset
    xor     a,a
    ld      [lod receive_flag],a   ;sio receive interrupt flag clear
    ld      a,[br:low ser]
    and     a,#00000001b
    or      a,#00000100b
    ld      [br:low ser],a         ;rxen=1 (en.)
;
;wait slave ready
siorv00:
    bit     [br:low p1d],#00001000b ;p13(slave ready)="1"
    jrs     nz,siorv00
;
    ld      a,[br:low ser]
    and     a,#00000101b
    or      a,#00001000b
    ld      [br:low ser],a         ;rxtrg=set
;wait sio receive interrupt
siorv01:
    ld      a,[lod receive_flag]   ;sio receive interrput flag
    cp      a,#0ffh
    jrs     nz,siorv01
;
    xor     a,a
    ld      [lod receive_flag],a   ;clear sio receive interrupt flag
    ld      a,[br:low trxd]
    ld      [iy],a                 ;receive data read
    ;set receive data buffer
siorv03:
    bit     [br:low p1d],#00001000b
    jrs     z,siorv03
    inc     iy                      ;receive buffer + 1
    djr     nz,siorv00             ;until buffer end (256 bytes)
;
siorv02:
    ld      a,[br:low ser]
    and     a,#00000001b
    ld      [br:low ser],a         ;rxen=0 (dis.) sio reset
    carl    osc3toosc1              ;change osc3 to osc1 ***
    ret

```

(2)

ソースリスト

(3) クロック同期式シリアルインタフェース(マスタモード)の送信

```

;*****
;*
;*      sio master mode trans (p13=slave ready)
;*
;*
;*****
;*** control routine
siotr:
    ld    br,#br_io                ;set br reg. address to 0ffxxh
    carl  osc1toosc3              ;change osc1 to osc3 ***
    ld    a,[lod vdd_ngf]         ;vdd ng flag
    cp    a,#0ffh
    jrl   z,siotr03              ;vdd error
;
    ld    iy,#lod trans_buffer    ;trans data buffer
    ld    b,#0                   ;set trans counter (00h=256)
    ld    a,[br:low ser]
    and   a,#00000100b
    ld    [br:low ser],a         ;txen=0 (dis.) sio reset
    xor   a,a
    ld    [lod trans_flag],a     ;sio trans interrupt flag clear
    ld    a,[br:low ser]
    and   a,#00000100b
    or    a,#00000001b
    ld    [br:low ser],a         ;txen=en.
;wait slave ready
siotr00:
    ld    a,[iy]                 ;load trans data buffer
    ld    [br:low trxd],a        ;set trans data
    inc   iy                     ;trans buffer + 1
;
siotr02:
    bit   [br:low p1d],#00001000b ;p13(slave ready)="1"
    jrs   nz,siotr02
;
    ld    a,[br:low ser]
    and   a,#00000101b
    or    a,#00000010b
    ld    [br:low ser],a         ;txtrg=set
;wait sio trans interrupt
siotr01:
    ld    a,[lod trans_flag]     ;sio trans interrupt flag
    cp    a,#0ffh
    jrs   nz,siotr01
;
    xor   a,a
    ld    [lod trans_flag],a     ;clear sio trans interrupt flag
;
siotr04:
    bit   [br:low p1d],#00001000b
    jrs   z,siotr04
    djr   nz,siotr00             ;until buffer end (256 bytes)
;
siotr03:
    ld    a,[br:low ser]
    and   a,#00000100b
    ld    [br:low ser],a         ;txen=0 (dis.) sio reset
    carl  osc3toosc1             ;change osc3 to osc1 ***
    ret

```

(3)

ソースリスト

(2) 受信割り込み

```

;*****
;
;      sio master mode receive interrupt processing routine
;
;*****
siorv_intr:
    push    ale
;
;      ld    br,#br_io                ;set br reg. address to 0ffxxh
;
;      ld    a,#0ffh
;      ld    [lod receive_flag],a      ;set sio receive interrupt flag
;
;
;      sio receive interrupt processing routine
;
;
;      and    [br:low intr_fac1],#00000010b ;clear fsrec flag
;      pop    ale
;      rete

```

(2)

(3) 送信割り込み

```

;*****
;
;      sio master trans interrupt processing routine
;
;*****
siotr_intr:
    push    ale
;
;      ld    br,#br_io                ;set br reg. address to 0ffxxh
;
;      ld    a,#0ffh
;      ld    [lod trans_flag],a      ;set sio trans interrupt flag
;
;
;      sio trans interrupt processing routine
;
;
;      and    [br:low intr_fac1],#00000001b ;clear fstra flag
;      pop    ale
;      rete
;
;      end

```

(3)

9 シリアルインタフェース2(調歩同期式)

I/Oマップ

アドレス	ビット	名称	機 能		1	0	SR	R/W	注 釈
00FF48	D7	—	—		—	—	—		読み出し時は"0"
	D6	EPR	パリティイネーブルレジスタ		パリティ付き	パリティなし	0	R/W	調歩同期式のみ
	D5	PMD	パリティモード選択		奇数	偶数	0	R/W	
	D4	SCS1	クロック源選択				0	R/W	クロック同期式 スレーブモード では外部クロック が選択される
			SCS1	SCS0	クロック源				
			1	1	プログラマブルタイマ				
	D3	SCS0	1	0	fosc3 / 4				
			0	1	fosc3 / 8				
			0	0	fosc3 / 16				
D2	SMD1	シリアルI/Fモード選択				0	R/W		
		SMD1	SMD0	モード					
		1	1	調歩同期式8ビット					
D1	SMD0	1	0	調歩同期式7ビット		0	R/W		
		0	1	クロック同期式スレーブ					
		0	0	クロック同期式マスタ					
D0	ESIF	シリアルI/Fイネーブルレジスタ		シリアルI/F	I/Oポート	0	R/W		
00FF49	D7	—	—		—	—	—		読み出し時は"0"
	D6	FER	フレーミングエラーフラグ	R W	エラー リセット(0)	エラーなし 無効	0	R/W	調歩同期式のみ
	D5	PER	パリティエラーフラグ	R W	エラー リセット(0)	エラーなし 無効	0	R/W	
	D4	OER	オーバーランエラーフラグ	R W	エラー リセット(0)	エラーなし 無効	0	R/W	
	D3	RXTRG	受信トリガ/ステータス	R W	受信中 トリガ	停止中 無効	0	R/W	
	D2	RXEN	受信許可		許可	禁止	0	R/W	
	D1	TXTRG	送信トリガ/ステータス	R W	送信中 トリガ	停止中 無効	0	R/W	
	D0	TXEN	送信許可		許可	禁止	0	R/W	
	00FF4A	D7	TRXD7	送受信データD7 (MSB)		High	Low	X	R/W
D6		TRXD6	送受信データD6						
D5		TRXD5	送受信データD5						
D4		TRXD4	送受信データD4						
D3		TRXD3	送受信データD3						
D2		TRXD2	送受信データD2						
D1		TRXD1	送受信データD1						
D0		TRXD0	送受信データD0 (LSB)						
00FF20		D7	PK01	K00～K07割り込み					
	D6	PK00	プライオリティレジスタ						
	D5	PSIF1	シリアルインタフェース割り込み		PTM1 PTM0	レベル3 レベル2 レベル1 レベル0	0	R/W	
	D4	PSIF0	プライオリティレジスタ						
	D3	PSW1	ストップウォッチタイマ割り込み		1 1	レベル3	0	R/W	
	D2	PSW0	プライオリティレジスタ		1 0	レベル2			
	D1	PTM1	計時タイマ割り込み		0 1	レベル1	0	R/W	
	D0	PTM0	プライオリティレジスタ		0 0	レベル0			

I/Oマップ

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF23	D7	EPT1	プログラマブルタイマ1割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D6	EPT0	プログラマブルタイマ0割り込みイネーブルレジスタ					
	D5	EK1	K10, K11割り込みイネーブルレジスタ					
	D4	EK0H	K04～K07割り込みイネーブルレジスタ					
	D3	EK0L	K00～K03割り込みイネーブルレジスタ					
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブルレジスタ					
	D1	ESREC	シリアルI/F(受信)割り込みイネーブルレジスタ					
	D0	ESTRA	シリアルI/F(送信)割り込みイネーブルレジスタ					
00FF25	D7	FPT1	プログラマブルタイマ1割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W	
	D6	FPT0	プログラマブルタイマ0割り込み要因フラグ					
	D5	FK1	K10, K11割り込み要因フラグ					
	D4	FK0H	K04～K07割り込み要因フラグ					
	D3	FK0L	K00～K03割り込み要因フラグ	(W) リセット	(W) 無効			
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ					
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ					
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ					

仕様

調歩同期式シリアルインタフェース

<条件>

- P10: SIN (入力) } シリアルモード設定時に機能および入出力兼用ポートの
P11: SOUT (出力) } 入出力方向が自動的に決定されます。
P12: ハンドシェイク (出力) } 未使用
P13: ハンドシェイク (入力) } (本プログラム例では、通信時ハンドシェイク信号は無視しています。)

シリアルインタフェース割り込みのベクタアドレス設定

(1) `async_init`: 調歩同期式シリアルインタフェース(8ビットモード)の初期化

調歩同期式8ビット送受信を行うために、以下の設定を行います。

- ・シリアルインタフェース機能設定
- ・通常モード(OSC3発振)設定
- ・調歩同期式8ビットモード、偶数パリティ設定
- ・送信/受信割り込みイネーブル($\overline{\text{IRQ2}}$)
- ・同期クロック=プログラマブルタイマ選択

通信ボーレートクロックはプログラマブルタイマ1(8ビット)を使用して、9,600bps (OSC3 = 4.9152 MHzの場合)に設定しています。

(2) `asynctrv`, `asynctrv_intr`, `asynccrr_intr`:

調歩同期式シリアルインタフェース(8ビットモード)の受信

OSC3クロックへの切り換えとプログラマブルタイマのスタートを行い、受信割り込み($\overline{\text{IRQ2}}$)によって1バイトずつ、計256バイトの受信データを内蔵メモリreceive_bufferへ格納します。その際、受信エラーが発生した場合はその時点で受信処理を中止します。

(3) `asynctr`, `asynctr_intr`:

調歩同期式シリアルインタフェース(8ビットモード)の送信

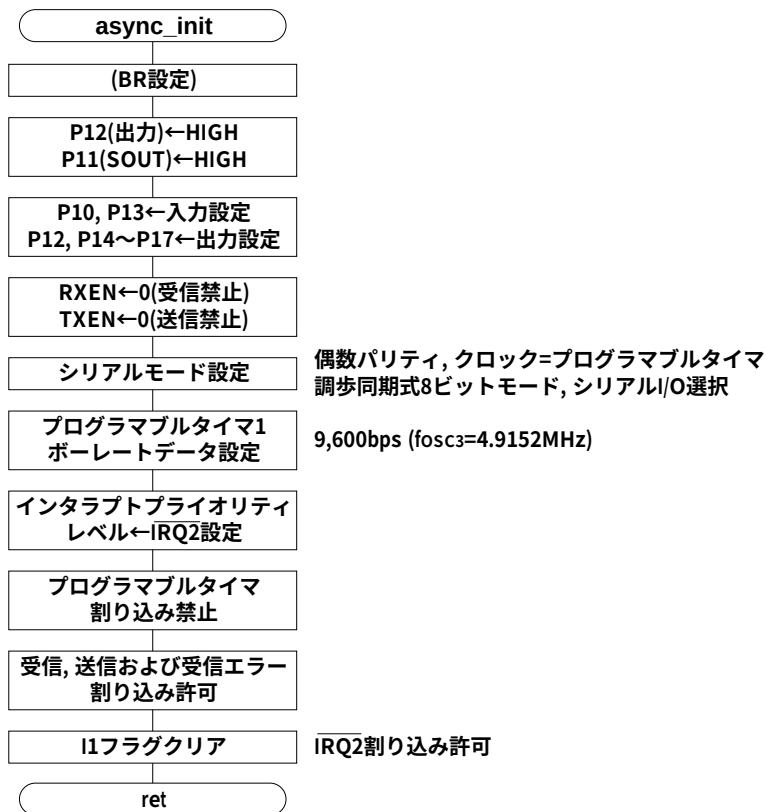
OSC3クロックへの切り換えとプログラマブルタイマのスタートを行い、送信割り込み($\overline{\text{IRQ2}}$)によって1バイトずつ、計256バイトの送信データを内蔵メモリtrans_bufferから送出します。

注意点

- (1) OSC3、OSC1への切り換えルーチンは外部呼び出しです。(external call: osc1toosc3, osc3toosc1)
- (2) 電源電圧がV_{D1}設定電圧以下の場合に動作モードの切り換えを行うと誤動作の原因になります。そのため、通常モード(OSC3)への切り換えの際に電源電圧の確認を行い、電源電圧がV_{D1}設定電圧以下の場合は電源電圧エラーとして未処理のまま終了するルーチンとなっています。この判定にvdd_ngfフラグを使用しています("4 発振回路"参照)。
- (3) OSC3からOSC1(V_{D1}=2.2V→1.3V)の切り換え時は、すでに電源電圧がV_{D1}設定電圧以上であることを前提としていますので、SVDによる電源電圧の確認は特に行いません。
- (4) 送信/受信の際、ハンドシェイク信号の確認は行っていません。
そのため、実際のプログラムに利用する場合、送受信のタイミングに充分注意、もしくはハンドシェイク信号によるタイミング確認を行ってください。
- (5) ボーレート9,600bpsの設定は、4.9152MHzのOSC3発振クロックの使用を前提としています。
- (6) 割り込み要因フラグのクリアはAND、LD命令を使用して対応するフラグのみに"1"を書き込んでください。OR論理演算命令等を使用した場合、同アドレス内の"1"にセットされた割り込み要因フラグに対して"1"書き込みが行われ、そのフラグがクリアされてしまいます。
- (7) 本プログラム例の割り込み処理ルーチンでは割り込みフラグ(I1およびI0)の再設定を行っていませんので、割り込み発生時点でIRQ2レベル以下の割り込みが禁止されます。また、割り込み発生後、次の割り込みを受け付けたい場合、ネスティングレベルを充分考慮し、インタラプトフラグの再設定もしくは割り込み要因フラグのリセットが必要です。
- (8) 送受信トリガに"1"を書き込み送受信を開始する際、まずデータの読み出しを行い、必ず必要なビットのみに"1"を書き込むようにしてください。また、受信エラーフラグを"0"にリセットするための"1"を書き込む場合も同様な注意が必要です。
送受信トリガと同じアドレスには他のステータス(送信時であれば受信ステータス、受信時であれば送信ステータス、また受信エラーフラグ)が読み出し用に割り付けられています。たとえば、受信動作中(受信ステータス="1")のときにOR命令を使用して送信トリガビットに対し直接書き込みを行った場合、受信ステータスが一度読み込まれ、それが受信トリガとして再度書き込まれてしまいます。また、受信エラーフラグが"1"になっていた場合もOR命令ではその書き込みが行われ、受信エラーフラグがリセットされてしまいます。受信トリガを与える場合、受信エラーフラグをリセットする場合も同様です。
- (9) 本シリアルインタフェース2(調歩同期式)のプログラム例では、ベクタアドレス設定およびプログラムを便宜上003000Hから割り付けています。

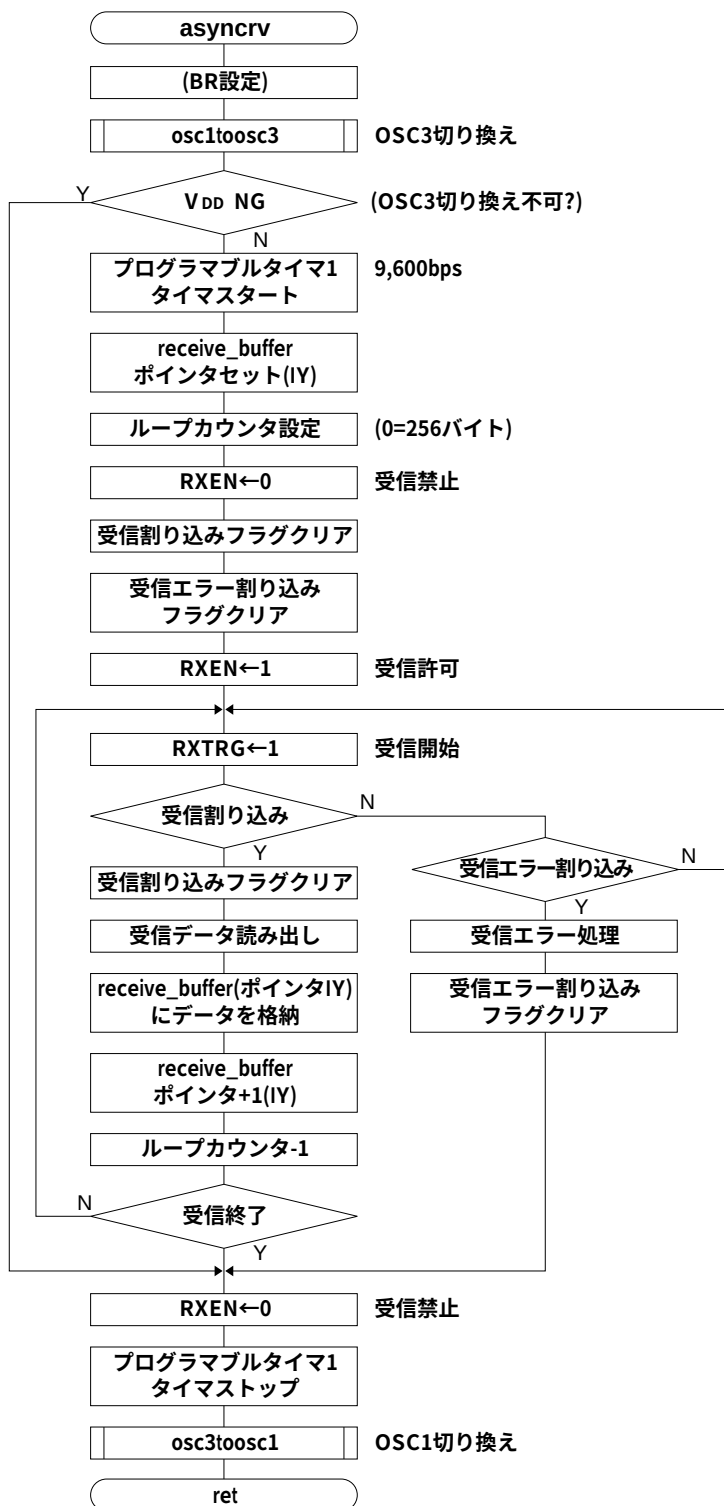
フローチャート

(1) 調歩同期式シリアルインタフェース(8ビットモード)の初期化



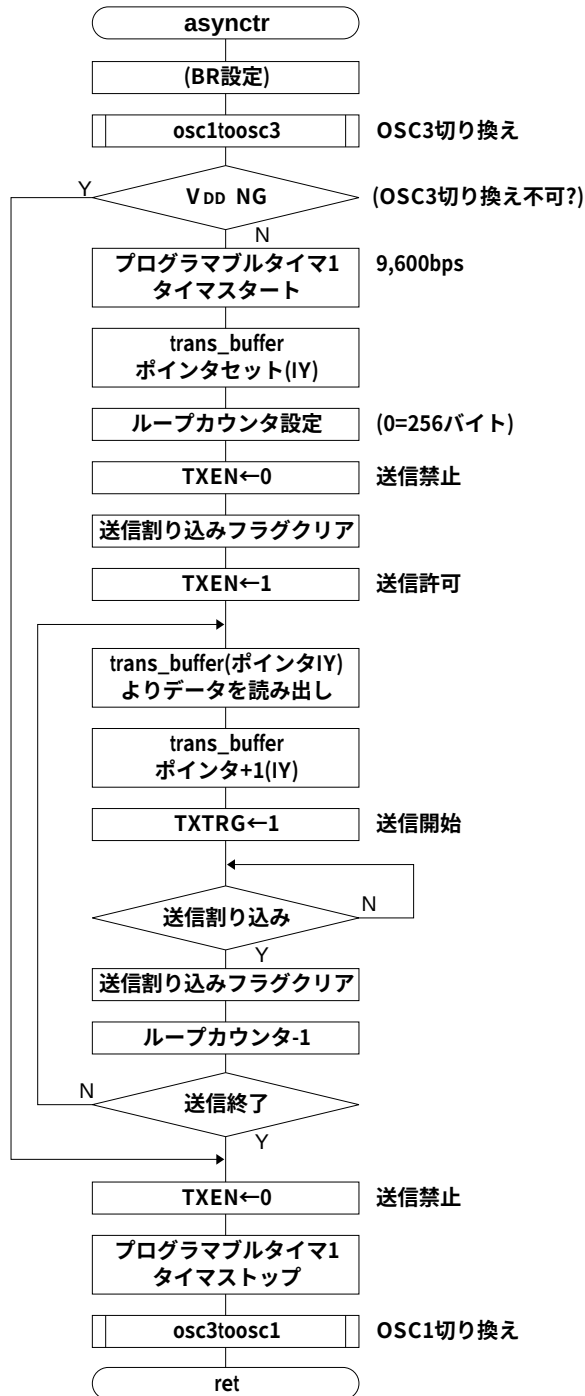
フローチャート

(2) 調歩同期式シリアルインタフェース(8ビットモード)の受信



フローチャート

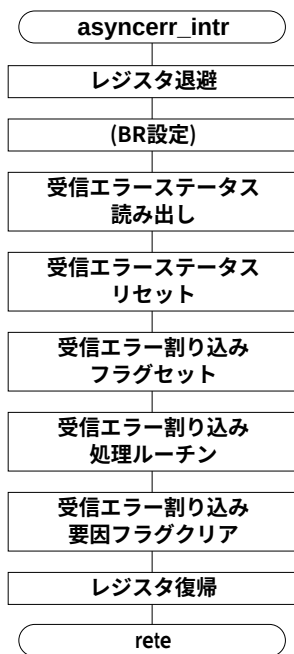
(3) 調歩同期式シリアルインタフェース(8ビットモード)の送信



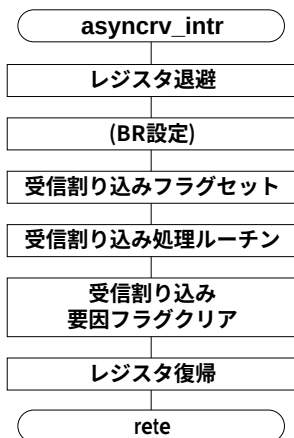
フローチャート

(1) (2) (3) 調歩同期式シリアルインタフェース(8ビットモード)の割り込み

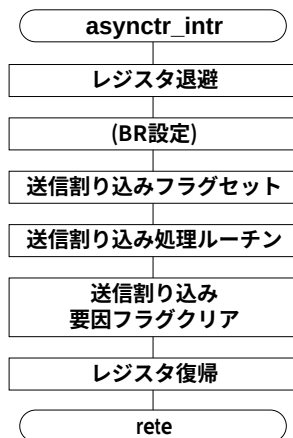
受信エラー割り込み



受信割り込み



送信割り込み



ソースリスト

調歩同期式シリアルインタフェース

```

        external    osc1toosc3,osc3toosc1
        external    vdd_ngf
        public      async_init,asynctr,asynctr_intr
        public      asynctr_intr,asynctr_intr,asynctr_intr
        public      receive_buffer,trans_buffer,receive_flag,trans_flag
        public      error_flag,bps_data
;
asynctr_vector equ 000010h      ;async error interrupt vector offset
asynctr_vector equ 000012h      ;async receive interrupt vector offset
asynctr_vector equ 000014h      ;async trans interrupt vector offset
async         equ 003000h      ;program start address offset
br_io         equ 0ffh         ;base reg. address (set i/o area)
mode          equ 00ff02h      ;mode control reg.
ioc1          equ 00ff61h      ;p1x i/o control reg.
p1d           equ 00ff63h      ;p1x port data
smd           equ 00ff48h      ;serial interface mode set reg.
ser           equ 00ff49h      ;serial interface error and trigger reg
trxd          equ 00ff4ah      ;trans/recive data reg.
pt_mode0      equ 00ff30h      ;programmable timer mode set reg. 0
pt_mode2      equ 00ff32h      ;programmable timer mode set reg. 2
rld1          equ 00ff34h      ;programmable timer 1 reload data
intr_pr0      equ 00ff20h      ;interrupt priority reg. 0
intr_pr1      equ 00ff21h      ;interrupt priority reg. 1
intr_en1      equ 00ff23h      ;interrupt enable reg. 1
intr_fac1     equ 00ff25h      ;interrupt factor reg. 1
;
        data
receive_buffer: db [256]      ;async receive bufffer
trans_buffer:  db [256]      ;async trans buffer
error_flag:    db [1]        ;async error flag
receive_flag:  db [1]        ;trans complete flag
trans_flag:    db [1]        ;receive complete flag
        code

```

シリアルインタフェース割り込みのベクタアドレス設定

```

intr_vectors:
;
        org    intr_vectors+asynctr_vector
        dw     asynctr_intr      ;async error interrupt
;
        org    intr_vectors+asynctr_vector
        dw     asynctr_intr      ;async receive interrupt
;
        org    intr_vectors+asynctr_vector
        dw     asynctr_intr      ;async trans interrupt
;

```

(1) 調歩同期式シリアルインタフェース(8ビットモード)の初期化

```

        org    intr_vectors+async
bps_data: db 0fh      ;baud rate(osc3*1/1 9600bps:4.9152mhz)
;*****
;*
;*      async 8-bit mode initialize (p13 and 12 = hand shake:not use) *
;*
;*****
;*** initialize routine
async_init:
;p17-14=programmable output,p13-12=hand shake,p11-10=async terminal
        ld     br,#br_io      ;set br reg. address to 0ffxxh
        ld     [br:low p1d],#11110110b ;sout="h" and no hand shake
        ld     [br:low ioc1],#11110110b
        ld     [br:low ser],#01110000b ;rxen=dis.txen=dis.
;serial mode:even parity,clock=timer 1,async 8-bit mode and serial i/o select
        ld     [br:low smd],#01011111b ;set serial interface mode
;pt:timer 8bit*2,pulse output=timer 1,pulse output=dis.,clock (timer0&1=fosc3)

```

(1)

ソースリスト

```

ld      [br:low pt_mode0],#00001011b
ld      a,[loc bps_data]
ld      [br:low rld1],a          ;set reload data reg.
ld      a,[br:low intr_pr0]      ;interrupt priority reg.
and     a,#11001111b
or      a,#00100000b
ld      [br:low intr_pr0],a      ;set psif=/irq2
ld      a,[br:low intr_pr1]      ;interrupt priority reg.
and     a,#11110011b
or      a,#00001100b
ld      [br:low intr_pr1],a
ld      a,[low intr_en1]
and     a,#01111000b          ;ept1 interrupt dis.(baud rate control)
or      a,#00000111b
ld      [br:low intr_en1],a      ;eserr esrec and estra intr. en
ld      a,sc
and     a,#00111111b
or      a,#01000000b
ld      sc,a                  ;i1 flag clear (en. /irq2 intr.)
ret

```

(1)

(2) 調歩同期式シリアルインタフェース(8ビットモード)の受信

```

;*****
;
;*      async 8-bit mode receive (p13 and 12 = hand shake:not use)      *
;*
;*****
;*** control routine
asynrcrv:
ld      br,#br_io              ;set br reg. address to 0ffxxh
carl    osc1toosc3              ;change osc1 to osc3 ***
ld      a,[lod vdd_ngf]        ;vdd ng flag
cp      a,#0ffh
jrl     z,asynrcrv03
;psc=1/1*fosc3(4.9152mhz),timer1=reload mode and reload data set to timer 1
ld      [br:low pt_mode2],#00000110b
or      [br:low pt_mode2],#00000001b ;timer 1 start (baud rate)
ld      iy,#lod receive_buffer ;receive data buffer
ld      b,#0                  ;set receive counter (00h=256)
ld      a,[br:low ser]
and     a,#00000001b
ld      [br:low ser],a        ;rxen=0 (dis.) async reset
xor     a,a
ld      [lod receive_flag],a   ;async receive interrpt flag clear
ld      [lod error_flag],a     ;async receive error flag clear
ld      a,[br:low ser]
and     a,#00000001b
or      a,#00000100b
ld      [br:low ser],a        ;rxen=1 (en.)
;no hand shake
asynrcrv00:
ld      a,[br:low ser]
and     a,#00000101b
or      a,#00000100b
ld      [br:low ser],a        ;rxtrg=set and error reset
;wait async receive interrupt
asynrcrv01:
ld      a,[lod receive_flag]   ;async receive interrput flag
cp      a,#0ffh
jrs     z,asynrcrv02
;
ld      a,[lod error_flag]     ;async error interrupt flag
cp      a,#00h
jrs     z,asynrcrv01
;receive error occurs
;

```

(2)

ソースリスト

```

;
;      async receive error processing
;
;
;
xor    a,a
ld     [lod error_flag],a      ;clear error interrupt flag
jrs    asynrcrv03

;
;receive no error
asynrcrv02:
xor    a,a
ld     [lod receive_flag],a    ;clear async receive interrupt flag
ld     a,[br:low trxd]         ;receive data read
ld     [iy],a                  ;set receive data buffer
inc    iy                      ;receive buffer + 1
djrr   nz,asynrcrv00           ;until buffer end (256 bytes)

;
asynrcrv03:
ld     a,[br:low ser]
and    a,#00000001b
ld     [br:low ser],a          ;rxen=0 (dis.) async reset
and    [br:low pt_mode2],#00011100b ;timer 1 stop (baud rate)
carl   osc3toosc1              ;change osc3 to osc1 ***
ret

```

(2)

(3) 調歩同期式シリアルインタフェース(8ビットモード)の送信

```

;*****
;
;
;      async 8-bit mode trans (p13 and 12 = hand shake:not use)
;
;
;*****
;*** control routine
asynctr:
ld     br,#br_io              ;set br reg. address to 0ffxxh
carl   osc1toosc3              ;change osc1 to osc3 ***
ld     a,[lod vdd_ngf]        ;vdd ng flag
cp     a,#0ffh
jrl    z,asynctr02            ;vdd error
;psc=1/1*fosc3(4.9152mhz),timer1=reload mode and reload data set to timer 1
ld     [br:low pt_mode2],#00000110b
or     [br:low pt_mode2],#00000001b ;timer 1 start (baud rate)
ld     iy,#lod trans_buffer    ;trans data buffer
ld     b,#0                    ;set trans counter (00h=256)
ld     a,[br:low ser]
and    a,#00000100b
ld     [br:low ser],a          ;txen=0 (dis.) async reset
xor    a,a
ld     [lod trans_flag],a      ;async trans interrupt flag clear
ld     a,[br:low ser]
and    a,#00000100b
or     a,#00000001b
ld     [br:low ser],a          ;txen=en.

;no hand shake
asynctr00:
ld     a,[iy]                  ;load trans data buffer
ld     [br:low trxd],a          ;set trans data
inc    iy                      ;trans buffer + 1
ld     a,[br:low ser]
and    a,#00000101b
or     a,#00000010b
ld     [br:low ser],a          ;txtrg=set

;wait async trans interrupt
asynctr01:
ld     a,[lod trans_flag]      ;async trans interrpu flag
cp     a,#0ffh
jrs    nz,asynctr01

```

(3)

ソースリスト

```

;
;      xor    a,a
;      ld     [lod trans_flag],a      ;clear async trans interrupt flag
;      djr    nz,asyncctr00           ;until buffer end (256 bytes)
;
; asyncctr02:
;      ld     a,[br:low ser]
;      and    a,#00000100b
;      ld     [br:low ser],a          ;txen=0 (dis.) async reset
;      and    [br:low pt_mode2],#00011100b ;timer 1 stop (baud rate)
;      carl   osc3toosc1              ;change osc3 to osc1 ***
;      ret

```

(3)

(2) 受信エラー割り込み

```

;*****
;
;      *
;      *      async 8-bit mode error interrupt processing routine      *
;      *
;*****
; asyncerr_intr:
;      push   ale
;
;      ld     br,#br_io          ;set br reg. address to 0ffxxh
;
;      ld     a,[br:low ser]
;      and    a,#01110101b
;      ld     [br:low ser],a      ;receive error status reset
;      and    a,#01110000b        ;ignore bits clear
;      ld     [lod error_flag],a  ;set async error interrupt flag
;
;
;      ;
;      ;      async error interrupt processing routine
;      ;
;
;      and    [br:low intr_fac1],#00000100b ;clear fserr flag
;      pop    ale
;      rete

```

(2) 受信割り込み

(2)

```

;*****
;
;      *
;      *      async 8-bit mode receive interrupt processing routine      *
;      *
;*****
; asynrcv_intr:
;      push   ale
;
;      ld     br,#br_io          ;set br reg. address to 0ffxxh
;
;      ld     a,#0ffh
;      ld     [lod receive_flag],a ;set async receive interrupt flag
;
;
;      ;
;      ;      async receive interrupt processing routine
;      ;
;
;      and    [br:low intr_fac1],#00000010b ;clear fsrec flag
;      pop    ale
;      rete

```

ソースリスト

(3) 送信割り込み

```

;*****
;*                                     *
;*                                     *
;*      async 8-bit mode trans interrupt processing routine                *
;*                                     *
;*                                     *
;*****
asynctr_intr:
    push    ale
;
;        ld     br,#br_io                    ;set br reg. address to 0ffxxh
;
;        ld     a,#0ffh
;        lod    [lod trans_flag],a          ;set async trans interrupt flag
;
;
;        async trans interrupt processing routine
;
;
;        and     [br:low intr_fac1],#00000001b ;clear fstra flag
;        pop     ale
;        rete
;        end

```

(3)

10 計時タイマ

I/Oマップ

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF40	D7	—	—	—	—	—		読み出し時は"0"
	D6	FOUT2	FOUT周波数選択			0	R/W	
			FOUT2 FOUT1 FOUT0 周波数					
			0 0 0 fosc1 / 1					
	D5	FOUT1	0 0 1 fosc1 / 2			0	R/W	
			0 1 0 fosc1 / 4					
			0 1 1 fosc1 / 8					
	D4	FOUT0	1 0 0 fosc3 / 1					
			1 0 1 fosc3 / 2			0	R/W	
			1 1 0 fosc3 / 4					
			1 1 1 fosc3 / 8					
	D3	FOUTON	FOUT出力制御	On	Off	0	R/W	
	D2	WDRST	ウォッチドッグタイマリセット	リセット	無効	—	W	読み出し時は
	D1	TMRST	計時タイマリセット	リセット	無効	—	W	常時"0"
	D0	TMRUN	計時タイマRun/Stop制御	Run	Stop	0	R/W	
00FF41	D7	TMD7	計時タイマデータ 1Hz	High	Low	0	R	
	D6	TMD6	計時タイマデータ 2Hz					
	D5	TMD5	計時タイマデータ 4Hz					
	D4	TMD4	計時タイマデータ 8Hz					
	D3	TMD3	計時タイマデータ 16Hz					
	D2	TMD2	計時タイマデータ 32Hz					
	D1	TMD1	計時タイマデータ 64Hz					
	D0	TMD0	計時タイマデータ 128Hz					
00FF20	D7	PK01	K00～K07割り込み	PK01 PK00 PSIF1 PSIF0 PSW1 PSW0 優先 PTM1 PTM0 レベル	レベル3 レベル2 レベル1 レベル0	0	R/W	
	D6	PK00	プライオリティレジスタ					
	D5	PSIF1	シリアルインタフェース割り込み			0	R/W	
	D4	PSIF0	プライオリティレジスタ					
	D3	PSW1	ストップウォッチタイマ割り込み			0	R/W	
	D2	PSW0	プライオリティレジスタ					
	D1	PTM1	計時タイマ割り込み			0	R/W	
	D0	PTM0	プライオリティレジスタ					
00FF22	D7	—	—	—	—	—		読み出し時は"0"
	D6	ESW100	ストップウォッチ100Hz割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D5	ESW10	ストップウォッチ10Hz割り込みイネーブルレジスタ					
	D4	ESW1	ストップウォッチ1Hz割り込みイネーブルレジスタ					
	D3	ETM32	計時タイマ32Hz割り込みイネーブルレジスタ					
	D2	ETM8	計時タイマ8Hz割り込みイネーブルレジスタ					
	D1	ETM2	計時タイマ2Hz割り込みイネーブルレジスタ					
	D0	ETM1	計時タイマ1Hz割り込みイネーブルレジスタ					
00FF24	D7	—	—	—	—	—		読み出し時は"0"
	D6	FSW100	ストップウォッチ100Hz割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W	
	D5	FSW10	ストップウォッチ10Hz割り込み要因フラグ					
	D4	FSW1	ストップウォッチ1Hz割り込み要因フラグ					
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ					
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ	(W) リセット	(W) 無効			
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ					
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ					

仕様

計時タイマ制御

計時タイマ割り込みのベクタアドレス設定

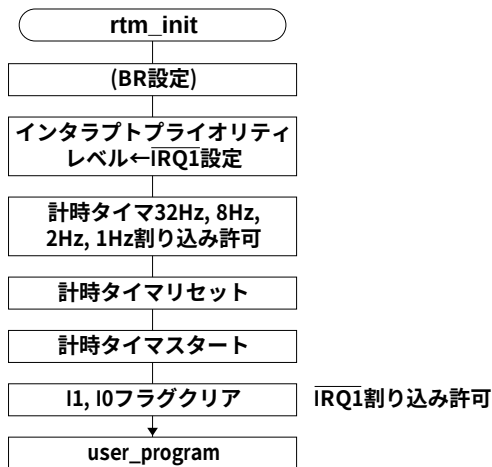
(1) rtm_init: 計時タイマの初期化

計時タイマの32Hz、8Hz、2Hz、1Hzの各割り込みを許可し、タイマデータをクリアしてスタートさせます。割り込みレベルはIRQ1に設定しています。

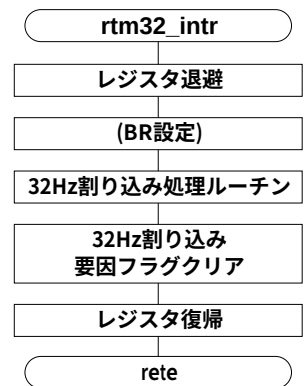
(2) rtm32_intr, rtm8_intr, rtm2_intr, rtm1_intr: 計時タイマの割り込み処理

フローチャート

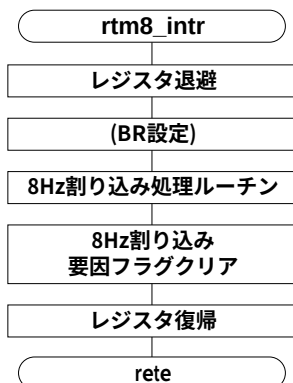
(1) 計時タイマの初期化



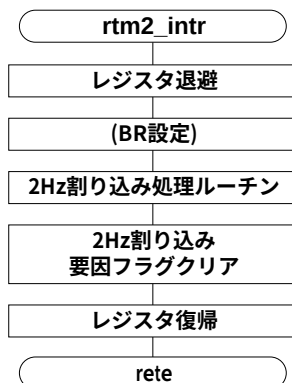
(2) 32Hz計時タイマ割り込み処理



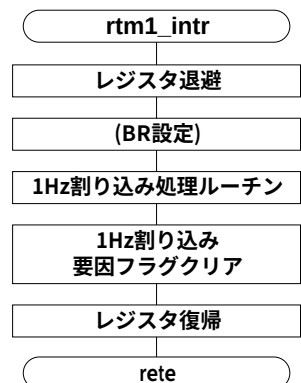
(2) 8Hz計時タイマ割り込み処理



(2) 2Hz計時タイマ割り込み処理



(2) 1Hz計時タイマ割り込み処理



注意点

- (1) 割り込み要因フラグのクリアはAND、LD命令を使用して対応するフラグのみに"1"を書き込んでください。OR論理演算命令等を使用した場合、同アドレス内の"1"にセットされた割り込み要因フラグに対して"1"書き込みが行われ、そのフラグがクリアされてしまいます。
- (2) 本プログラム例の割り込み処理ルーチンでは割り込みフラグ(I1およびI0)の再設定を行っていませんので、割り込み発生時点でIRQIレベル以下の割り込みが禁止されます。また、割り込み発生後、次の割り込みを受け付けたい場合、ネスティングレベルを充分考慮し、インタラプトフラグの再設定もしくは割り込み要因フラグのリセットが必要です。
- (3) 計時タイマのRUN/STOP制御レジスタに"0"を書き込み、計時タイマを停止させる場合、実際に計時タイマのカウントが停止するのは256Hzの入力クロックに同期したタイミングで、1カウント進んだところになります。
このため、計時タイマ停止時に、もし32Hz、8Hz、2Hz、1Hzの各々の割り込み要因が発生すると、各々の割り込み要因フラグがセットされ、また割り込みが許可されていれば割り込みが発生しますので、必要に応じ割り込み処理および割り込み要因フラグのリセットを付け加えてください。
- (4) 本計時タイマ制御のプログラム例では、ベクタアドレス設定およびプログラムを便宜上003000Hから割り付けています。

ソースリスト

計時タイマ制御

```

        external      user_program
        public        clock_init,clock32_intr,clock8_intr,clock2_intr,clock1_intr
;
clock32_vector equ 00001ch          ;clock32hz interrupt vector offset
clock8_vector  equ 00001eh          ;clock8hz interrupt vector offset
clock2_vector  equ 000020h          ;clock2hz interrupt vector offset
clock1_vector  equ 000022h          ;clock1hz interrupt vector offset
clock          equ 003000h          ;program start address offset
br_io          equ 0ffh             ;base reg. address (set i/o area)
clock_mode     equ 00ff40h          ;timer mode set reg.
clockd         equ 00ff41h          ;timer data
intr_pr0       equ 00ff20h          ;interrupt priority reg. 0
intr_en0       equ 00ff22h          ;interrupt enable reg. 0
intr_fac0      equ 00ff24h          ;interrupt factor flag reg.
;
        code

```

計時タイマ割り込みのベクタアドレス設定

```

intr_vectors:
        org    intr_vectors+clock32_vector
        dw     clock32_intr          ;clock 32hz interrupt
;
        org    intr_vectors+clock8_vector
        dw     clock8_intr           ;clock 8hz interrupt
;
        org    intr_vectors+clock2_vector
        dw     clock2_intr           ;clock 2hz interrupt
;
        org    intr_vectors+clock1_vector
        dw     clock1_intr           ;clock 1hz interrupt
;

```


ソースリスト

(1) 計時タイマの初期化

```

org intr_vectors+clock
;*****
;
; clock timer initialize (32,8,2 and 1hz interrupt enable)
;
;*****
;*** initialize routine
clock_init:
    ld    br,#br_io                ;set br reg. address to 0ffxxh
    ld    a,[br:low intr_pr0]      ;interrupt priority reg.
    and   a,#11111100b
    or    a,#00000001b
    ld    [br:low intr_pr0],a      ;set ptm=/irq1
;etm32,etm8,etm2 and etm1 (en. /irq1) intr.
    or    [br:low intr_en0],#00001111b
    or    [br:low clock_mode],#00000010b ;clock timer counter reset
    or    [br:low clock_mode],#00000001b ;clock timer start
    and   sc,#00111111b           ;i1 and i0 flag clear
;*****
;*** start clock timer interrupt
;
;
;    jrl   user_program
;
;
;

```

(1)

(2) 32Hz計時タイマ割り込み処理

```

;*****
;
; clock timer 32hz interrupt processing routine
;
;*****
clock32_intr:
    push  ale
;
;    ld    br,#br_io                ;set br reg. address to 0ffxxh
;
;
;
;    clock timer 32hz processing routine
;
;
;
    and   [br:low intr_fac0],#00001000b ;clear etm32 flag
    pop   ale
    rete

```

(2)

(2) 8Hz計時タイマ割り込み処理

```

;*****
;
; clock timer 8hz interrupt processing routine
;
;*****
clock8_intr:
    push  ale
;
;    ld    br,#br_io                ;set br reg. address to 0ffxxh
;
;

```

ソースリスト

```

;
;
;      clock timer 8hz processing routine
;
;
;
;
;      and [br:low intr_fac0],#00000100b ;clear etm8 flag
;      pop ale
;      rete

```

(2) 2Hz計時タイマ割り込み処理

```

;*****
;
;      clock timer 2hz interrupt processing routine
;
;*****
clock2_intr:
;      push ale
;
;      ld br,#br_io ;set br reg. address to 0ffxxh
;
;
;
;      clock timer 2hz processing routine
;
;
;
;      and [br:low intr_fac0],#00000010b ;clear etm2 flag
;      pop ale
;      rete

```

(2)

(2) 1Hz計時タイマ割り込み処理

```

;*****
;
;      clock timer 1hz interrupt processing routine
;
;*****
clock1_intr:
;      push ale
;
;      ld br,#br_io ;set br reg. address to 0ffxxh
;
;
;
;      clock timer 1hz processing routine
;
;
;
;      and [br:low intr_fac0],#00000001b ;clear etm1 flag
;      pop ale
;      rete

end

```

11 ストップウォッチタイマ

I/Oマップ

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈			
00FF42	D7	—	—	—	—	—		読み出し時は 常時"0"			
	D6	—	—	—	—	—					
	D5	—	—	—	—	—					
	D4	—	—	—	—	—					
	D3	—	—	—	—	—					
	D2	—	—	—	—	—					
	D1	SWRST	ストップウォッチタイマリセット	リセット	無効	—	W				
	D0	SWRUN	ストップウォッチタイマRun/Stop制御	Run	Stop	0	R/W				
00FF43	D7	SWD7	ストップウォッチタイマデータ			0	R				
	D6	SWD6	BCD (1/10sec)								
	D5	SWD5									
	D4	SWD4	ストップウォッチタイマデータ								
	D3	SWD3									
	D2	SWD2	BCD (1/100 sec)								
	D1	SWD1									
	D0	SWD0									
00FF20	D7	PK01	K00～K07割り込み	PK01 PK00 PSIF1 PSIF0 PSW1 PSW0 優先 PTM1 PTM0 レベル	レベル3 レベル2 レベル1 レベル0	0	R/W				
	D6	PK00	プライオリティレジスタ								
	D5	PSIF1	シリアルインタフェース割り込み								
	D4	PSIF0	プライオリティレジスタ								
	D3	PSW1	ストップウォッチタイマ割り込み								
	D2	PSW0	プライオリティレジスタ								
	D1	PTM1	計時タイマ割り込み								
	D0	PTM0	プライオリティレジスタ								
00FF22	D7	—	—	—	—	—		読み出し時は"0"			
	D6	ESW100	ストップウォッチ100Hz割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W				
	D5	ESW10	ストップウォッチ10Hz割り込みイネーブルレジスタ								
	D4	ESW1	ストップウォッチ1Hz割り込みイネーブルレジスタ								
	D3	ETM32	計時タイマ32Hz割り込みイネーブルレジスタ								
	D2	ETM8	計時タイマ8Hz割り込みイネーブルレジスタ								
	D1	ETM2	計時タイマ2Hz割り込みイネーブルレジスタ								
	D0	ETM1	計時タイマ1Hz割り込みイネーブルレジスタ								
00FF24	D7	—	—	—	—	—		読み出し時は"0"			
	D6	FSW100	ストップウォッチ100Hz割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W				
	D5	FSW10	ストップウォッチ10Hz割り込み要因フラグ								
	D4	FSW1	ストップウォッチ1Hz割り込み要因フラグ								
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ								
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ	(W) リセット	(W) 無効						
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ								
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ								

仕様

ストップウォッチタイマ制御

ストップウォッチタイマ割り込みのベクタアドレス設定

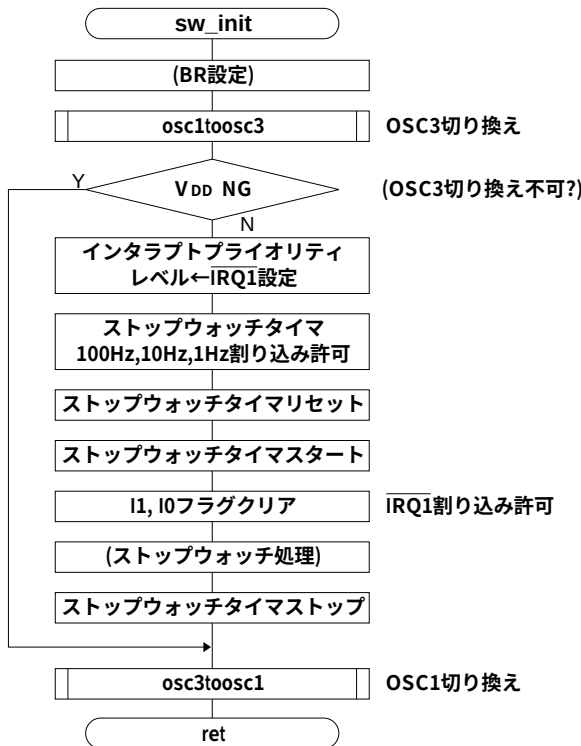
(1) sw_init: ストップウォッチタイマの初期化

ストップウォッチタイマの100Hz、10Hz、1Hzの各割り込みを許可し、タイマデータをクリアしてスタートさせます。割り込みレベルはIRQ1に設定しています。

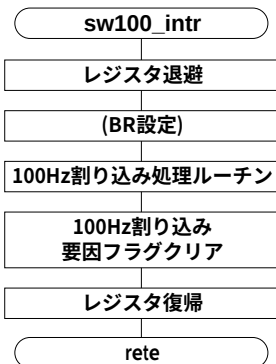
(2) sw100_intr, sw10_intr, sw1_intr: ストップウォッチタイマの割り込み処理

フローチャート

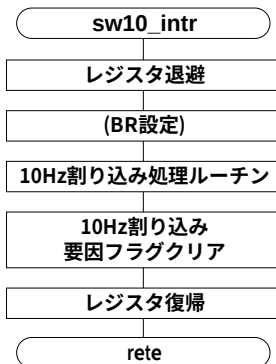
(1) ストップウォッチタイマの初期化



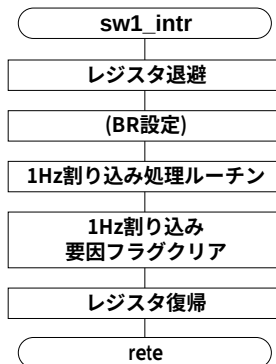
(2) 100Hzストップウォッチタイマ 割り込み処理



(2) 10Hzストップウォッチタイマ 割り込み処理



(2) 1Hzストップウォッチタイマ 割り込み処理



注意点

- (1) OSC3、OSC1への切り換えルーチンは外部呼び出しです。(external call: osc1toosc3, osc3toosc1)
- (2) 電源電圧がV_{DI}設定電圧以下の場合に動作モードの切り換えを行うと誤動作の原因になります。そのため、通常モード(OSC3)への切り換えの際に電源電圧の確認を行い、電源電圧がV_{DI}設定電圧以下の場合は電源電圧エラーとして未処理のまま終了するルーチンとなっています。この判定にvdd_ngfフラグを使用しています("4 発振回路"参照)。
- (3) OSC3からOSC1(V_{DI}=2.2V→1.3V)の切り換え時は、すでに電源電圧がV_{DI}設定電圧以上であることを前提としていますので、SVDによる電源電圧の確認は特に行いません。
- (4) 割り込み要因フラグのクリアはAND、LD命令を使用して対応するフラグのみに"1"を書き込んでください。OR論理演算命令等を使用した場合、同アドレス内の"1"にセットされた割り込み要因フラグに対して"1"書き込みが行われ、そのフラグがクリアされてしまいます。
- (5) 本プログラム例の割り込み処理ルーチンでは割り込みフラグ(I1およびI0)の再設定を行っていませんので、割り込み発生時点で $\overline{\text{IRQ1}}$ レベル以下の割り込みが禁止されます。また、割り込み発生後、次の割り込みを受け付けたい場合、ネスティングレベルを充分考慮し、インタラプトフラグの再設定もしくは割り込み要因フラグのリセットが必要です。
- (6) ストップウォッチタイマのRUN/STOP制御レジスタに"0"を書き込み、ストップウォッチタイマを停止させる場合、実際にストップウォッチタイマのカウントが停止するのは256Hzの入力クロックに同期したタイミングで、1カウント進んだところになります。
このため、ストップウォッチタイマ停止時に、もし100Hz、10Hz、1Hzの各々の割り込み要因が発生すると、各々の割り込み要因フラグがセットされ、また割り込みが許可されていれば割り込みが発生しますので、必要に応じ割り込み処理および割り込み要因フラグのリセットを付け加えてください。
- (7) 本ストップウォッチタイマ制御のプログラム例では、ベクタアドレス設定およびプログラムを便宜上003000Hから割り付けています。

ソースリスト

ストップウォッチタイマ制御

```

external      osc1toosc3,osc3toosc1
external      vdd_ngf
public        sw_init,sw100_intr,sw10_intr,sw1_intr
;
sw100_vector  equ    000016h                ;sw100hz interrupt vector offset
sw10_vector   equ    000018h                ;sw10hz interrupt vector offset
sw1_vector    equ    00001ah                ;sw1hz interrupt vector offset
sw            equ    003000h                ;program start address offset
br_io         equ    0ffh                  ;base reg. address (set i/o area)
sw_mode       equ    00ff42h                ;stopwatch mode set reg.
swd           equ    00ff43h                ;stopwatch data
intr_pr0      equ    00ff20h                ;interrupt priority reg. 0
intr_en0      equ    00ff22h                ;interrupt enable reg. 0
intr_fac0     equ    00ff24h                ;interrupt factor flag reg.
;
                code
```

ソースリスト

ストップウォッチタイマ割り込みのベクタアドレス設定

```

intr_vectors:
    org     intr_vectors+sw100_vector
    dw      sw100_intr           ;sw 100hz interrupt
;
    org     intr_vectors+sw10_vector
    dw      sw10_intr           ;sw 10hz interrupt
;
    org     intr_vectors+sw1_vector
    dw      sw1_intr            ;sw 1hz interrupt
;

```

(1) ストップウォッチタイマの初期化

```

    org     intr_vectors+sw
;*****
;*
;*      stopwatch initialize (100,10 and 1hz interrupt enable)
;*
;*****
;*** initialize routine
sw_init:
    ld      br,#br_io           ;set br reg. address to 0ffxxh
    carl    osc1toosc3          ;change osc1 to osc3 ***
    ld      a,[lod vdd_ngf]     ;vdd ng flag
    cp      a,#0ffh
    jrl     z,sw_init00
;
    ld      a,[br:low intr_pr0] ;interrupt priority reg.
    and     a,#11110011b
    or      a,#00000100b
    ld      [br:low intr_pr0],a ;set sw=/irq1

;sw100,sw10 and sw1 (en. /irq1) intr.
    or      [br:low intr_en0],#01110000b
    or      [br:low sw_mode],#00000010b ;stopwatch counter reset
    or      [br:low sw_mode],#00000001b ;stopwatch start
    and     sc,#00111111b          ;i1 and i0 flag clear
;*****
;*** start stopwatch interrupt
;      (user program)
;
;*****
;*** end processing
    and     [br:low sw_mode],#11111110b ;stopwatch stop
sw_init00:
    carl    osc3toosc1          ;change osc3 to osc1 ***
    ret

```

(2) 100Hzストップウォッチタイマ割り込み処理

```

;*****
;*
;*      stopwatch 100hz interrupt processing routine
;*
;*****
sw100_intr:
    push    ale
;
    ld      br,#br_io           ;set br reg. address to 0ffxxh
;
;
;
;
;      stopwatch 100hz processing routine
;
;
;
;

```

ソースリスト

```

and    [br:low intr_fac0],#01000000b ;clear sw100 flag
pop     ale
rete

```

(2) 10Hzストップウォッチタイマ割り込み処理

```

;*****
;*
;*      stopwatch 10hz interrupt processing routine
;*
;*****
sw10_intr:
    push    ale
;
;      ld      br,#br_io          ;set br reg. address to 0ffxxh
;
;
;      stopwatch 10hz processing routine
;
;
;
and    [br:low intr_fac0],#00100000b ;clear sw10 flag
pop     ale
rete

```

(2) 1Hzストップウォッチタイマ割り込み処理

```

;*****
;*
;*      stopwatch 1hz interrupt processing routine
;*
;*****
sw1_intr:
    push    ale
;
;      ld      br,#br_io          ;set br reg. address to 0ffxxh
;
;
;
;      stopwatch 1hz processing routine
;
;
;
and    [br:low intr_fac0],#00010000b ;clear sw1 flag
pop     ale
rete
;
end

```

(2)

12 プログラマブルタイマ

I/Oマップ

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF30	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	MODE16	8/16ビットモード選択	16ビット x 1	8ビット x 2	0	R/W	
	D3	CHSEL	TOUT出力チャンネル選択	タイマ1	タイマ0	0	R/W	
	D2	PTOUT	TOUT出力制御	On	Off	0	R/W	
	D1	CKSEL1	プリスケアラ1原振クロック選択	fosc3	fosc1	0	R/W	
	D0	CKSEL0	プリスケアラ0原振クロック選択	fosc3	fosc1	0	R/W	
00FF31	D7	EVCNT	タイマ0カウンタモード選択	イベントカウンタ	タイマ	0	R/W	
	D6	FCSEL 機能選択	タイマモード時	パルス幅 測定	通常 モード	0	R/W	
			イベントカウンタモード時	ノイズリジ ェクタ付き	ノイズリジ ェクタなし			
	D5	PLPOL タイマ0 パルス 極性選択	イベントカウンタモードの ダウンカウントタイミング	K10入力 の立ち上がり	K10入力 の立ち下がり	0	R/W	
			パルス幅測定モード時	K10入力 のHighレベル 幅測定	K10入力 のLowレベル 幅測定			
	D4	PSC01	タイマ0プリスケアラ分周比選択			0	R/W	
	D3	PSC00	PSC01 PSC00 プリスケアラ分周比					
			1 1 原振クロック / 64					
			1 0 原振クロック / 16			0	R/W	
			0 1 原振クロック / 4					
			0 0 原振クロック / 1					
	D2	CONT0	タイマ0連続/ワンショットモード選択	連続	ワンショット	0	R/W	
	D1	PSET0	タイマ0プリセット	プリセット	無効	—	W	読み出し時は"0"
	D0	PRUN0	タイマ0 Run/Stop制御	Run	Stop	0	R/W	
00FF32	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	PSC11	タイマ1プリスケアラ分周比選択			0	R/W	
			PSC11 PSC10 プリスケアラ分周比					
			1 1 原振クロック / 64					
			1 0 原振クロック / 16			0	R/W	
	D3	PSC10	0 1 原振クロック / 4					
			0 0 原振クロック / 1					
	D2	CONT1	タイマ1連続/ワンショットモード選択	連続	ワンショット	0	R/W	
	D1	PSET1	タイマ1プリセット	プリセット	無効	—	W	読み出し時は"0"
	D0	PRUN1	タイマ1Run/Stop制御	Run	Stop	0	R/W	

I/Oマップ

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF33	D7	RLD07	タイマ0リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RLD06	タイマ0リロードデータD6					
	D5	RLD05	タイマ0リロードデータD5					
	D4	RLD04	タイマ0リロードデータD4					
	D3	RLD03	タイマ0リロードデータD3					
	D2	RLD02	タイマ0リロードデータD2					
	D1	RLD01	タイマ0リロードデータD1					
	D0	RLD00	タイマ0リロードデータD0 (LSB)					
00FF34	D7	RLD17	タイマ1リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RLD16	タイマ1リロードデータD6					
	D5	RLD15	タイマ1リロードデータD5					
	D4	RLD14	タイマ1リロードデータD4					
	D3	RLD13	タイマ1リロードデータD3					
	D2	RLD12	タイマ1リロードデータD2					
	D1	RLD11	タイマ1リロードデータD1					
	D0	RLD10	タイマ1リロードデータD0 (LSB)					
00FF35	D7	PTD07	タイマ0カウンタデータD7 (MSB)	High	Low	1	R	
	D6	PTD06	タイマ0カウンタデータD6					
	D5	PTD05	タイマ0カウンタデータD5					
	D4	PTD04	タイマ0カウンタデータD4					
	D3	PTD03	タイマ0カウンタデータD3					
	D2	PTD02	タイマ0カウンタデータD2					
	D1	PTD01	タイマ0カウンタデータD1					
	D0	PTD00	タイマ0カウンタデータD0 (LSB)					
00FF36	D7	PTD17	タイマ1カウンタデータD7 (MSB)	High	Low	1	R	
	D6	PTD16	タイマ1カウンタデータD6					
	D5	PTD15	タイマ1カウンタデータD5					
	D4	PTD14	タイマ1カウンタデータD4					
	D3	PTD13	タイマ1カウンタデータD3					
	D2	PTD12	タイマ1カウンタデータD2					
	D1	PTD11	タイマ1カウンタデータD1					
	D0	PTD10	タイマ1カウンタデータD0 (LSB)					

I/Oマップ

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF21	D7	—	—	—	—	—	—	読み出し時は 常時"0"
	D6	—	—	—	—	—	—	
	D5	—	—	—	—	—	—	
	D4	—	—	—	—	—	—	
	D3	PPT1	プログラマブルタイマ割り込み	PPT1 PK11	PPT0 PK10	優先 レベル	0	R/W
	D2	PPT0	プライオリティレジスタ	1	1	レベル3	0	R/W
	D1	PK11	K10, K11割り込み	1	0	レベル2		
00FF23	D0	PK10	プライオリティレジスタ	0	1	レベル1	0	R/W
	D7	EPT1	プログラマブルタイマ1割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	レベル0	0	R/W
	D6	EPT0	プログラマブルタイマ0割り込みイネーブルレジスタ					
	D5	EK1	K10, K11割り込みイネーブルレジスタ					
	D4	EK0H	K04～K07割り込みイネーブルレジスタ					
	D3	EK0L	K00～K03割り込みイネーブルレジスタ					
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブルレジスタ					
	D1	ESREC	シリアルI/F(受信)割り込みイネーブルレジスタ					
	D0	ESTRA	シリアルI/F(送信)割り込みイネーブルレジスタ					
00FF25	D7	FPT1	プログラマブルタイマ1割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし		0	R/W
	D6	FPT0	プログラマブルタイマ0割り込み要因フラグ					
	D5	FK1	K10, K11割り込み要因フラグ					
	D4	FK0H	K04～K07割り込み要因フラグ					
	D3	FK0L	K00～K03割り込み要因フラグ	(W) リセット	(W) 無効			
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ					
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ					
	D0	FS TRA	シリアルI/F(送信)割り込み要因フラグ					

仕様

プログラマブルタイマ制御

プログラマブルタイマ割り込みのベクタアドレス設定

(1) timer2ch_init, pt1_intr, pt0_intr: 8ビットリロードタイマ(2系統)の初期化および割り込み処理

プログラマブルタイマを8ビット×2系統のタイマとして使用する例で、以下の設定を行っています。

- ・ カウント数 8ビット×2
- ・ パルス出力チャンネル タイマ0 (無効)
- ・ パルス外部(TOUT)出力 off

<タイマ0>

- ・ タイマモード プログラマブルタイマ(リロードモード)
- ・ カウントクロック fosc3×1/16
- ・ リロードデータ 200 (=800μsec, fosc3が4MHzの場合)

<タイマ1>

- ・ タイマモード プログラマブルタイマ(リロードモード)
- ・ カウントクロック fosc3×1/64
- ・ リロードデータ 250 (=1msec, fosc3が4MHzの場合)

上記の設定後、タイマ1およびタイマ0の各割り込みを許可し、それぞれのタイマをスタートさせます。割り込みレベルはIRQ3に設定しており、リロードデータにしたがった周期でそれぞれの割り込みが発生します。

仕様

プログラマブルタイマ割り込みのベクタアドレス設定

(2) timer1ch_init, pt0_intr: 16ビットワンショットタイマ(1系統)の初期化および割り込み処理

プログラマブルタイマを16ビット×1系統のワンショットタイマとして使用する例で、以下の設定を行っています。

・カウント数	16ビット×1	】(無効)
・パルス出力チャンネル	タイマ0	
・パルス外部(TOUT)出力	off	

<タイマ0>

・タイマモード	プログラマブルタイマ(ワンショットモード)
・カウントクロック	fosc3×1/4
・リロードデータ	33,200 (=33.2msec, fosc3が4MHzの場合)

<タイマ1>

使用不可

上記の設定後、タイマ1の割り込みを許可し、タイマをスタートさせます。割り込みレベルはIRQ3に設定しており、スタートから33.2msec後に割り込みが発生します。

プログラマブルタイマ割り込みのベクタアドレス設定

(3) evcnt_init, pt1_intr, evcnt_intr: 8ビットイベントカウンタの初期化および割り込み処理

プログラマブルタイマを8ビットイベントカウンタと8ビットリロードタイマとして使用する例で、以下の設定を行っています。

・カウント数	8ビット×2	】(無効)
・パルス出力チャンネル	タイマ0	
・パルス外部(TOUT)出力	off	

<タイマ0>

・タイマモード	イベントカウンタ(リロードモード)
・入力クロック	K10ノイズリジェクタ付
・カウントタイミング	立ち下がりエッジ
・リロードデータ	0FFH(イベントカウンタ初期値)

<タイマ1>

・タイマモード	プログラマブルタイマ(リロードモード)
・カウントクロック	fosc3×1/64
・リロードデータ	250 (=4msec, fosc3が4MHzの場合)

上記の設定後、イベントカウンタおよびタイマ1の割り込みを許可し、それぞれのタイマをスタートさせます。割り込みレベルはIRQ3に設定しており、イベントカウンタのオーバーフローまたはタイマ1による割り込みが発生します。

タイマ1は4msec周期で割り込みが発生するようになっています。その割り込み処理ルーチンの中でイベントカウンタのデータを読み出し、前回のカウント値との差を算出しています。この差が4msecの期間に入力されたクロックの回数になります。

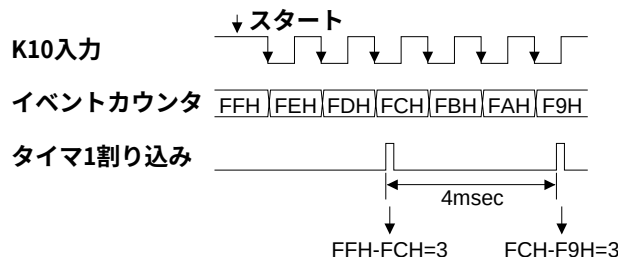


図12.1 イベントカウンタの処理

仕様

プログラマブルタイマ割り込みのベクタアドレス設定

(4) `measure_init`, `measure_intr`, `k1x_intr`: 16ビットパルス幅測定タイマの初期化および割り込み処理

プログラマブルタイマを16ビットパルス幅測定タイマとして使用する例で、以下の設定を行っています。

・ カウント数	16ビット×1	
・ パルス出力チャンネル	タイマ0	] (無効)
・ パルス外部(TOUT)出力	off	

<タイマ0>

・ タイマモード	パルス幅測定タイマ(リロードモード)
・ 測定期間	入力LOW期間
・ カウントクロック	$f_{osc3} \times 1/1$
・ リロードデータ	0FFFFH(パルス幅測定タイマ初期値)

<タイマ1>

使用不可

上記の設定後、タイマ1およびK10入力割り込みを許可し、タイマをスタートさせます。割り込みレベルは`IRQ3`に設定しており、タイマのオーバーフローまたはK10入力による割り込みが発生します。

プログラマブルタイマのみの制御ではK10入力の立ち下がり(カウント開始)および立ち上がり(カウント終了)を判断できませんので、K10入力割り込みを利用しています。また、入力の立ち下がりおよび立ち上がりの両方のタイミングで割り込みを発生させるため、K1x割り込み処理の中で割り込み発生ごとに入力割り込みタイミングを反転させています。

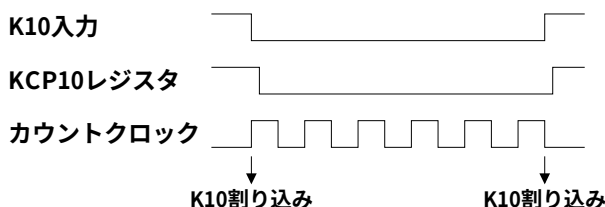


図12.2 K10入力割り込みの発生タイミング

プログラマブルタイマ割り込みのベクタアドレス設定

(5) `pulsout_init`: 16ビットリロードタイマのパルス出力

プログラマブルタイマを16ビットリロードタイマとして使用して、R27端子からTOUT信号を出力します。

・ カウント数	16ビット×1	
・ パルス出力チャンネル	タイマ0	] (有効)
・ パルス外部(TOUT)出力	on	

<タイマ0>

・ タイマモード	プログラマブルタイマ(リロードモード)
・ カウントクロック	$f_{osc3} \times 1/4$
・ リロードデータ	33,200 (=33.2msec, f_{osc3} が4MHzの場合)

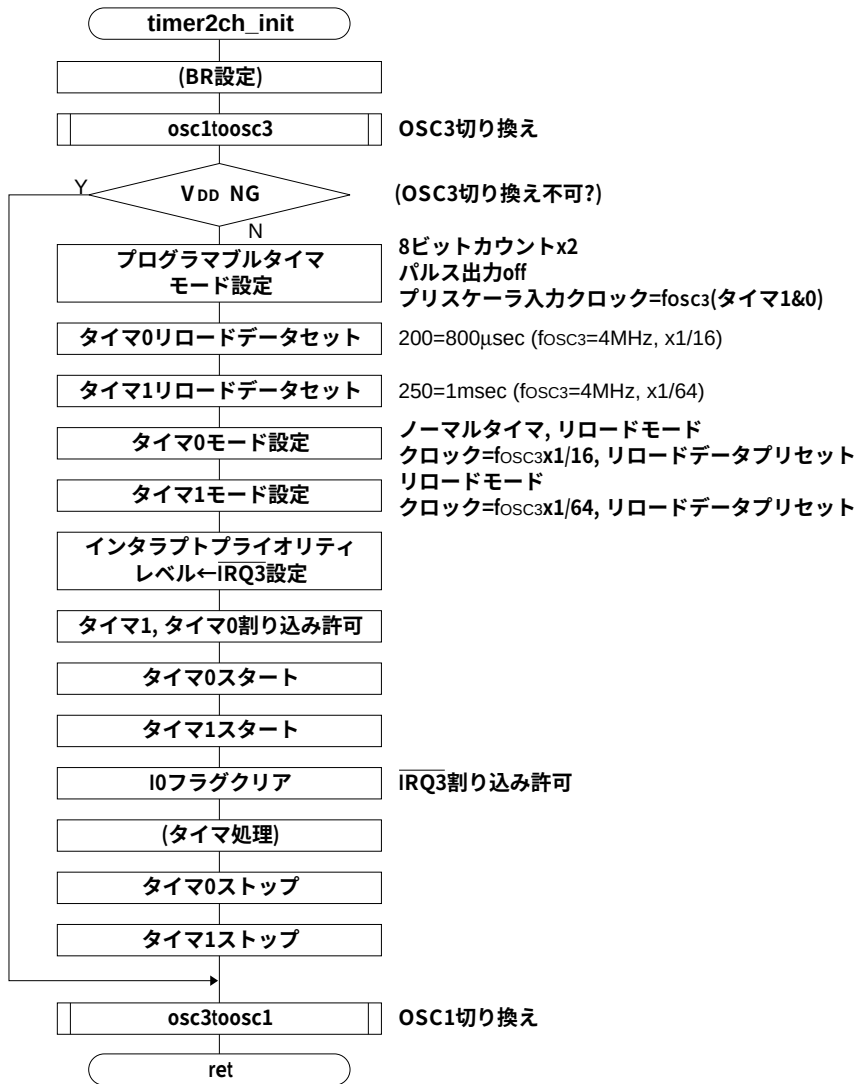
<タイマ1>

使用不可

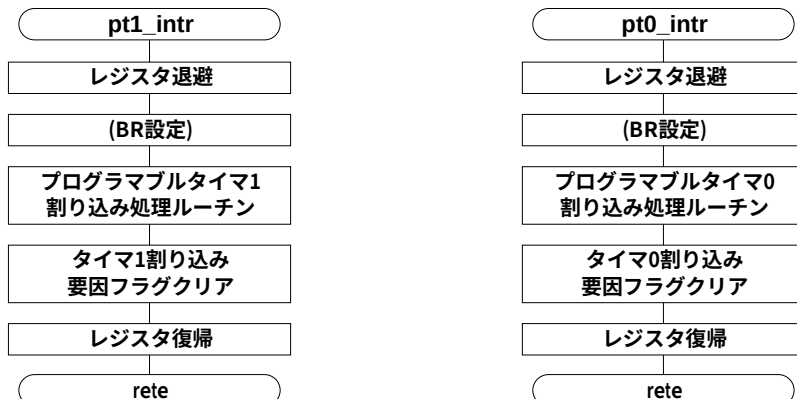
上記の設定によりTOUT信号のクロック周期は66.4msec(約15Hz)になります。

フローチャート

(1) 8ビットリロードタイマ(2系統)の初期化

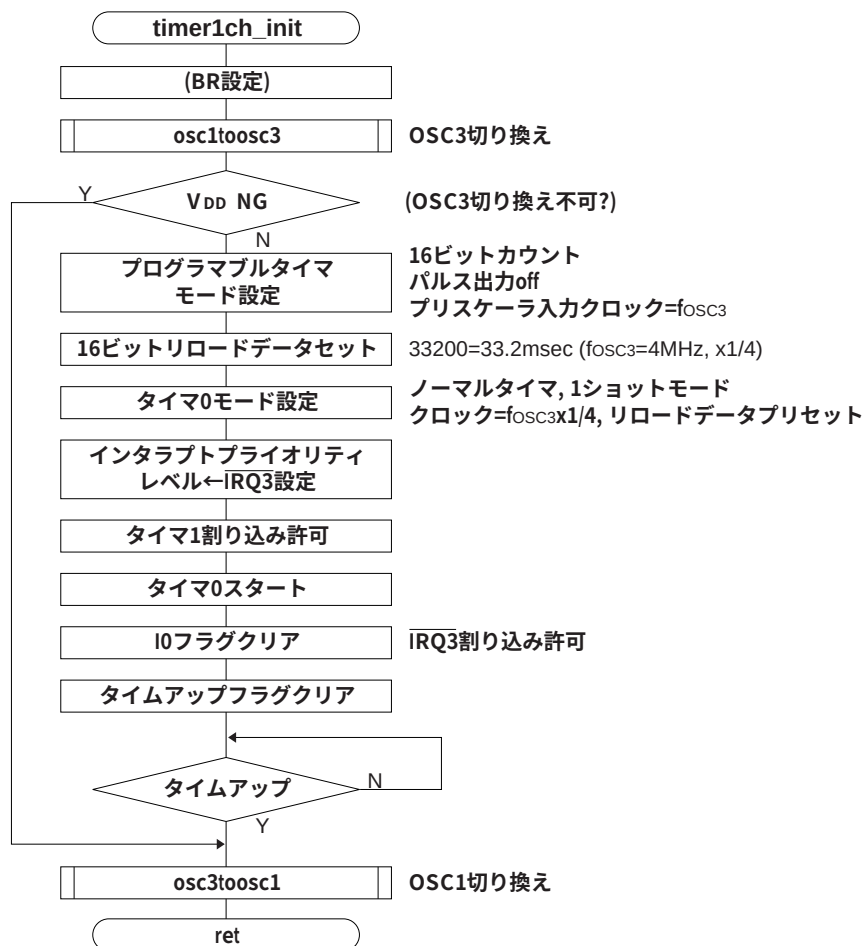


(1) 8ビットリロードタイマ(2系統)の割り込み処理

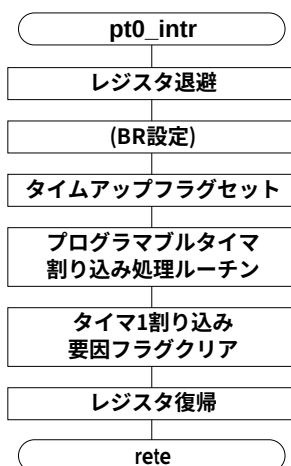


フローチャート

(2) 16ビットワンショットタイマ(1系統)の初期化

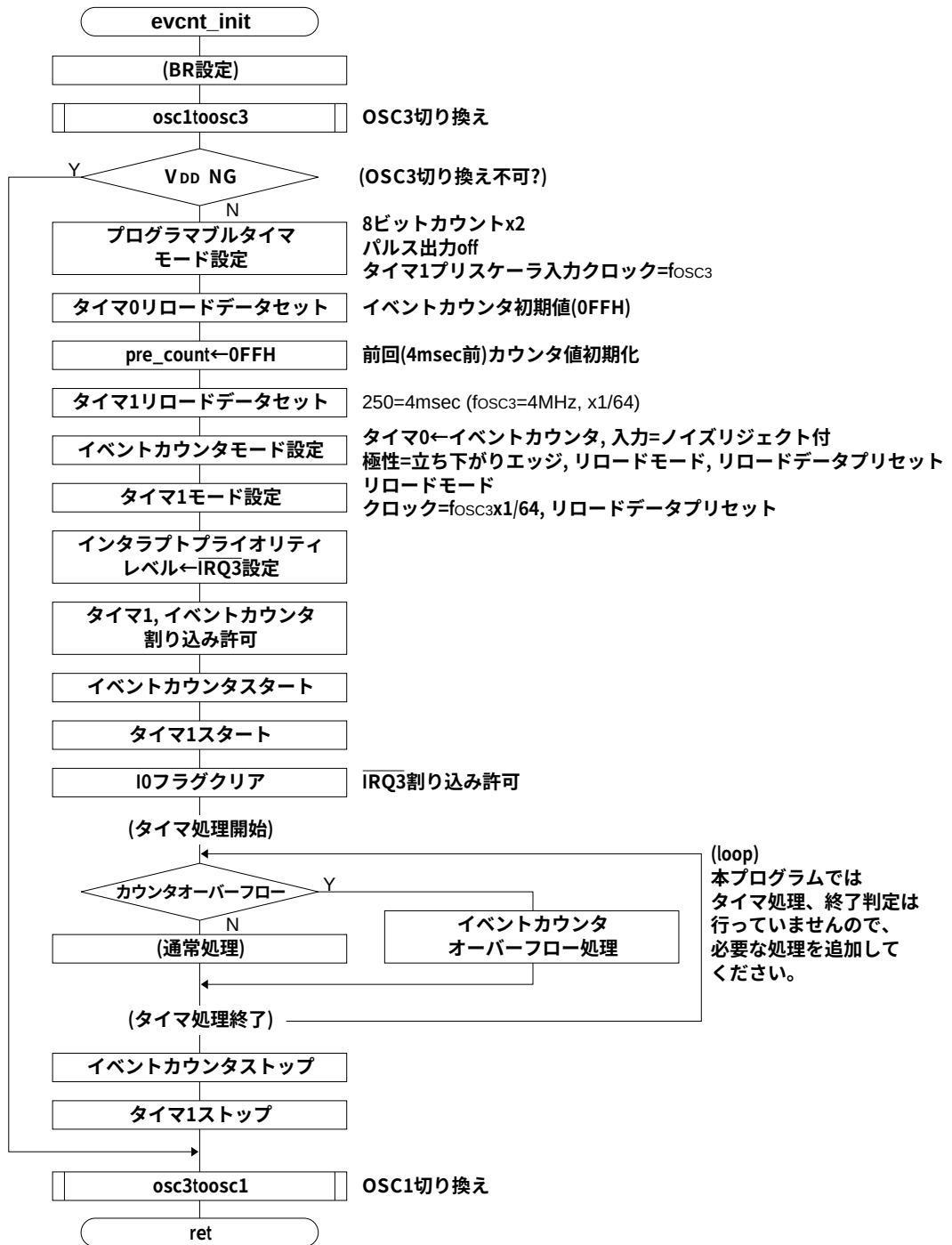


(2) 16ビットワンショットタイマ(1系統)の割り込み処理



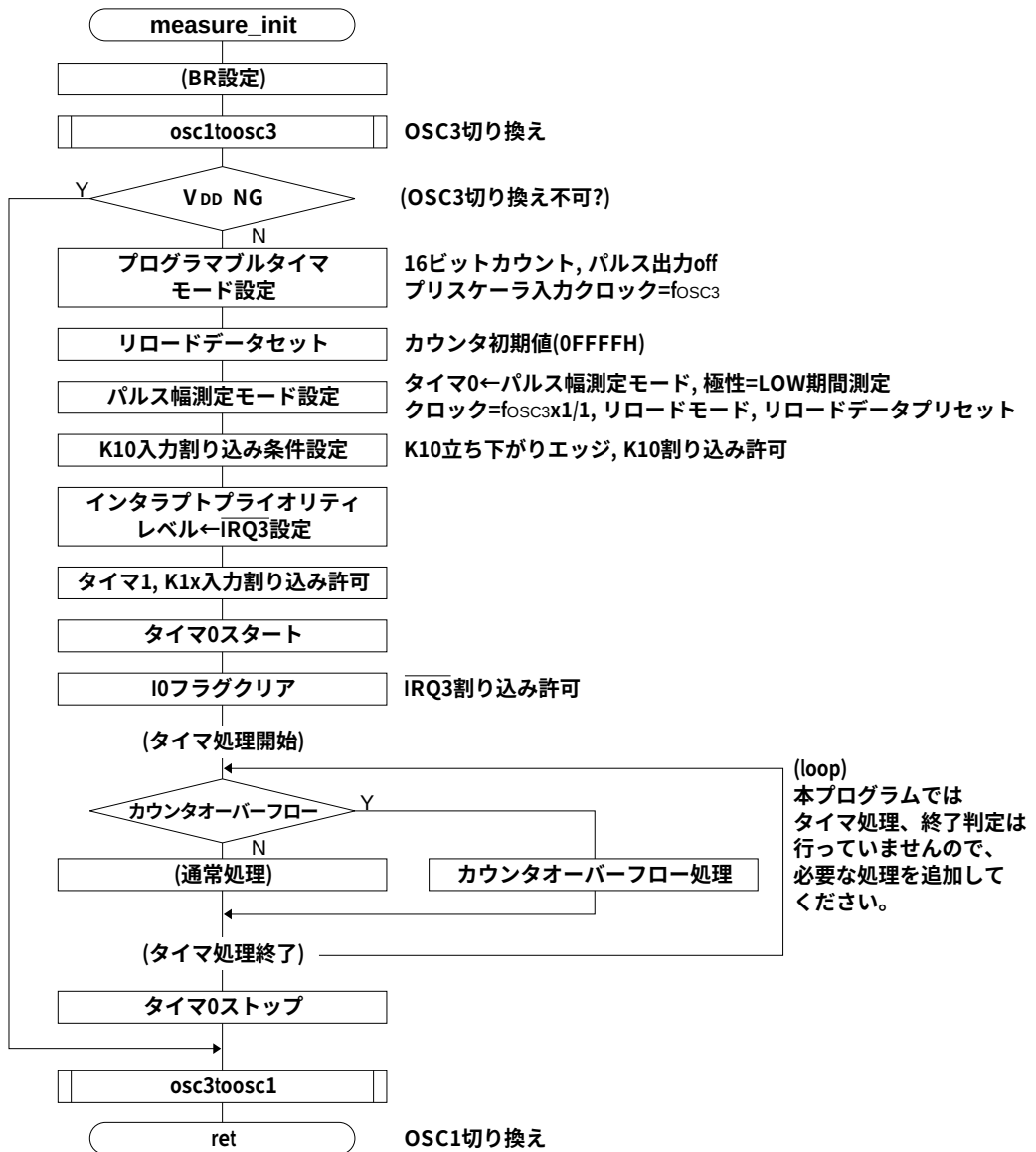
フローチャート

(3) 8ビットイベントカウンタの初期化



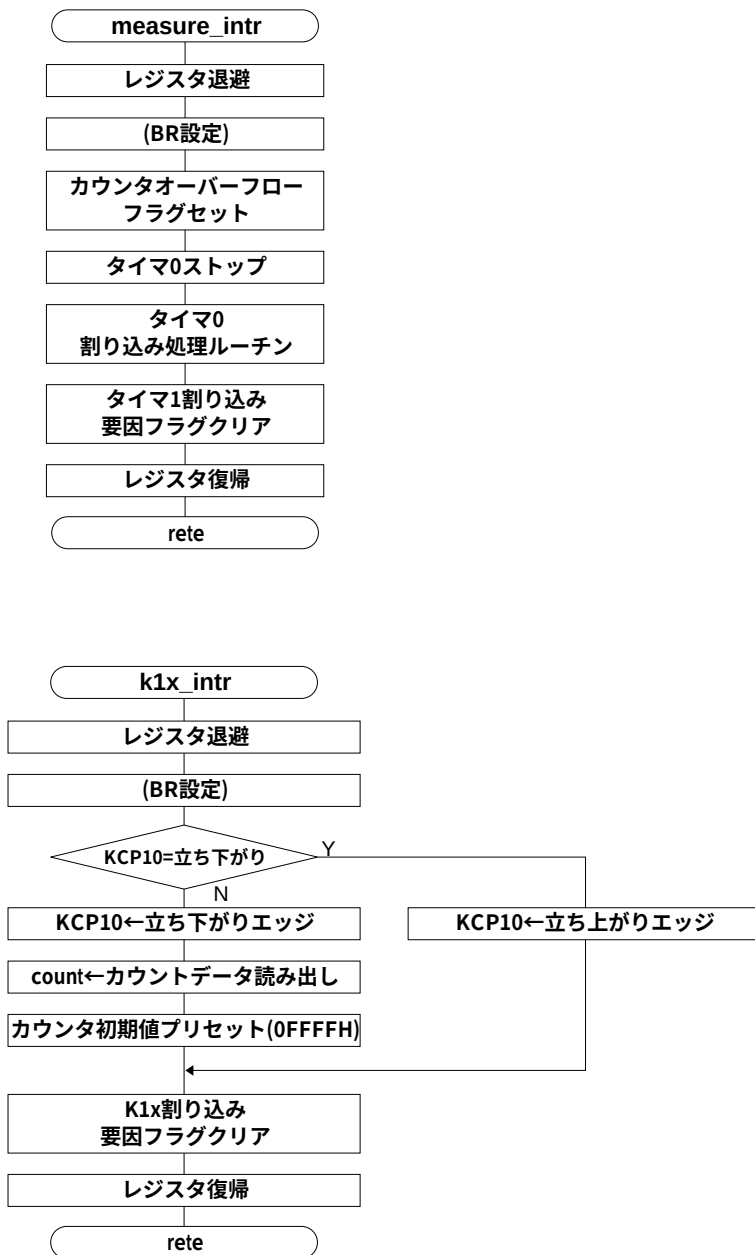
フローチャート

(4) 16ビットパルス幅測定タイマの初期化



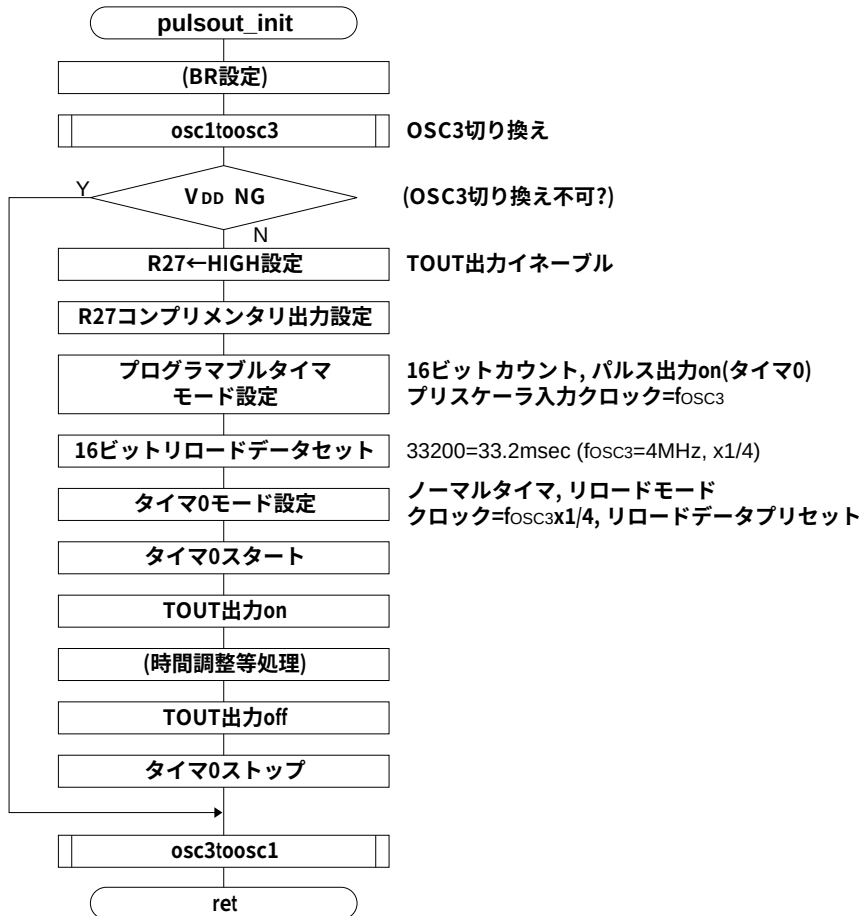
フローチャート

(4) 16ビットパルス幅測定タイマの割り込み処理



フローチャート

(5) 16ビットリロードタイマのパルス出力



注意点

- (1) OSC3、OSC1への切り換えルーチンは外部呼び出しです。(external call: osc1toosc3, osc3toosc1)
- (2) 電源電圧がV_{D1}設定電圧以下の場合に動作モードの切り換えを行うと誤動作の原因になります。そのため、通常モード(OSC3)への切り換えの際に電源電圧の確認を行い、電源電圧がV_{D1}設定電圧以下の場合は電源電圧エラーとして未処理のまま終了するルーチンとなっています。この判定にvdd_ngfフラグを使用しています("4 発振回路"参照)。
- (3) OSC3からOSC1(V_{D1}=2.2V→1.3V)の切り換え時は、すでに電源電圧がV_{D1}設定電圧以上であることを前提としていますので、SVDによる電源電圧の確認は特に行いません。
- (4) 割り込み要因フラグのクリアはAND、LD命令を使用して対応するフラグのみに"1"を書き込んでください。OR論理演算命令等を使用した場合、同アドレス内の"1"にセットされた割り込み要因フラグに対して"1"書き込みが行われ、そのフラグがクリアされてしまいます。
- (5) 本プログラム例の割り込み処理ルーチンでは割り込みフラグ(I1およびI0)の再設定を行っていませんので、割り込み発生時点でIRQ3レベル以下の割り込みが禁止されます。また、割り込み発生後、次の割り込みを受け付けたい場合、ネスティングレベルを充分考慮し、インタラプトフラグの再設定もしくは割り込み要因フラグのリセットが必要です。
- (6) R27端子は通常のDC出力ポートとTOUT出力の共用端子となっています。TOUT出力を行う場合はR27レジスタを"1"に固定し、TOUTレジスタで信号のON/OFFを制御してください。
- (7) パルス出力制御をOff("0")にした場合、パルス出力チャンネル選択の設定は無効となります。
- (8) プログラマブルタイマ1をシリアルインタフェースのクロック源として選択した場合、タイマ1の設定値、タイマ1モード選択および割り込みの設定には充分注意してください。この場合、タイマ0とタイマ1を連結し16ビットタイマとして使用することは動作上不可能ですので、充分注意してください。
- (9) プログラマブルタイマ0と1を連結し、16ビットタイマとして使用した場合、タイマ動作はタイマ0の設定が有効となり、タイマ1の設定は無効となります。ただし、割り込みについては、タイマ1のアンダーフローにより発生しますので、割り込み関係の記述はタイマ1で設定してください。
- (10) プログラマブルタイマ0および1のRUN/STOP制御レジスタに"0"を書き込み、プログラマブルタイマを停止させる場合、実際にプログラマブルタイマのカウンタが停止するのはプリスケール分周クロックにて選択した入力クロックに同期したタイミングで、1カウント進んだところになります。このため、プログラマブルタイマ停止時に、もし各々の割り込み要因が発生すると、各々の割り込み要因フラグがセットされ、また割り込みが許可されていれば割り込みが発生しますので、必要に応じ割り込み処理および割り込み要因フラグのリセットを付け加えてください。
- (11) 入力ポート(Kポート)にノイズリジエクト回路は入っておりません。
このため、プログラマブルタイマを本プログラム例(3)イベントカウンタおよび(4)パルス幅測定に使用する場合、K10入力にチャタリングがあると以下のような動作が起こる可能性がありますので、入力波形の整形、また外付け回路およびソフトウェアによるノイズリジエクト処理の追加が必要です。本プログラム例(3)イベントカウンタの場合、K10入力にチャタリングがあると、カウント時にそのチャタリングもカウントする可能性があります。本プログラム例(4)パルス幅測定の場合、K10入力にチャタリングがあると測定開始のK10入力立ち上がり、立ち下がりトリガタイミングにおいて続けて割り込みが発生する可能性があります。
- (12) ワンショットタイマモードは、ダウンカウンタのアンダーフロー発生時、リロードレジスタの値をカウンタデータレジスタにセットしてカウントを停止します。そのため、同一カウント数でカウントを継続させたい場合、タイマの再起動を実行してください。また、違うカウント数を新たにセットしたい場合、リロードレジスタに新しい値を設定し、カウンタデータレジスタにセットした上でタイマを起動させてください。
- (13) 本プログラマブルタイマ制御のプログラム例の中で、割り込みを使用している例ではベクタアドレス設定およびプログラムを便宜上003000Hから割り付けています。また、割り込みを使用していない例については他の章のプログラム例と同様に特定アドレスは割り付けていません。

ソースリスト

プログラマブルタイマ制御1

```

        external    osc1toosc3,osc3toosc1
        external    vdd_ngf
        public      timer2ch_init,pt1_intr,pt0_intr
;
pt1_vector    equ    000006h                ;timer 0 interrupt vector offset
pt0_vector    equ    000008h                ;timer 1 interrupt vector offset
pt            equ    003000h                ;program start address offset
br_io         equ    0ffh                  ;base reg. address (set i/o area)
pt_mode0      equ    00ff30h                ;programmable timer mode set reg. 0
pt_mode1      equ    00ff31h                ;programmable timer mode set reg. 1
pt_mode2      equ    00ff32h                ;programmable timer mode set reg. 2
rld0          equ    00ff33h                ;programmable timer 0 reload data
rld1          equ    00ff34h                ;programmable timer 1 reload data
;
intr_pr1      equ    00ff21h                ;interrupt priority reg. 1
intr_en1      equ    00ff23h                ;interrupt enable reg. 1
intr_fac1     equ    00ff25h                ;interrupt factor flag reg. 1
;
        code

```

プログラマブルタイマ割り込みのベクタアドレス設定

```

intr_vectors:
        org    intr_vectors+pt1_vector
        dw     pt1_intr                    ;programmable timer 1 interrupt
;
        org    intr_vectors+pt0_vector
        dw     pt0_intr                    ;programmable timer 0 interrupt
;

```

(1) 8ビットリロードタイマ(2系統)の初期化

```

        org    intr_vectors+pt
timerdata8_0: db    200                    ;timer 0 reload data (800us at 4mhz/16)
timerdata8_1: db    250                    ;timer 1 reload data ( 1ms at 4mhz/64)
;
;*****
;*
;*      8-bit * 2-channel reload timer
;*
;*****
;*** initialize routine
timer2ch_init:
        ld     br,#br_io                    ;set br reg. address to 0ffxxh
        carl   osc1toosc3                    ;change osc1 to osc3 ***
        ld     a,[lod vdd_ngf]                ;vdd ng flag
        cp     a,#0ffh
        jrl    z,timer2ch_init00
;
;mode16=8bit*2, chsel=timer0, ptout=off, cksel1&0=fosc3
        ld     [br:low pt_mode0],#00000011b
        ld     a,[loc timerdata8_0]
        ld     [br:low rld0],a                ;set reload data (timer 0)
        ld     a,[loc timerdata8_1]
        ld     [br:low rld1],a                ;set reload data (timer 1)
;pt0:evcnt=timer,fchsel=normal timer,plpol=don't care,psc=fosc3/16,rldm0=reload
;pset0=preset
        ld     [br:low pt_mode1],#00010110b
;pt1:psc=fosc3/64,rldm1=reload,pset1=preset
        ld     [br:low pt_mode2],#00011110b
        or     [br:low intr_pr1],#00001100b    ;set pt=/irq3
        or     [br:low intr_en1],#11000000b    ;ept1&0 intr. en.
        or     [br:low pt_mode1],#00000001b    ;start timer 0

```

ソースリスト

```

        or    [br:low pt_mode2],#00000001b    ;start timer 1
        ld    a,sc
        and   a,#00111111b
        or    a,#10000000b
        ld    sc,a                            ;i0 flag clear (en. /irq3 intr.)
;*****
;*** start programmable timer 0 & 1 interrupt
;      (user program)
;
;*****
;*** end processing
        and   [br:low pt_mode1],#11111110b    ;stop timer 0
        and   [br:low pt_mode2],#11111110b    ;stop timer 1
timer2ch_init00:
        carl  osc3toosc1                      ;change osc3 to osc1 ***
        ret

```

(1) 8ビットリロードタイマ(2系統)の割り込み処理

```

;*****
;*
;*      programmable timer 1 interrupt processing routine (reload mode)
;*
;*
;*****
pt1_intr:
        push  ale
;
        ld    br,#br_io                      ;set br reg. address to 0ffxxh
;
;
;      programmable timer 1 processing
;
;
        and   [br:low intr_fac1],#10000000b    ;clear fpt1 interrupt flag
        pop   ale
        rete
;*****
;*
;*      programmable timer 0 interrupt processing routine (reload mode)
;*
;*
;*****
pt0_intr:
        push  ale
;
        ld    br,#br_io                      ;set br reg. address to 0ffxxh
;
;
;      programmable timer 0 processing
;
;
        and   [br:low intr_fac1],#01000000b    ;clear fpt0 interrupt flag
        pop   ale
        rete
        end

```

ソースリスト

プログラマブルタイマ制御2

```

external    osc1toosc3,osc3toosc1
external    vdd_ngf
public      timer1ch_init,pt0_intr
public      timeup

;
pt1_vector  equ    000006h                ;timer 1 interrupt vector offset
pt          equ    003000h                ;program start address offset
br_io       equ    0ffh                  ;base reg. address (set i/o area)
pt_mode0    equ    00ff30h                ;programmable timer mode set reg. 0
pt_mode1    equ    00ff31h                ;programmable timer mode set reg. 1
rld0        equ    00ff33h                ;programmable timer 0 reload data
rld1        equ    00ff34h                ;programmable timer 1 reload data
;
intr_pr1     equ    00ff21h                ;interrupt priority reg. 1
intr_en1     equ    00ff23h                ;interrupt enable reg. 1
intr_fac1    equ    00ff25h                ;interrupt factor flag reg. 1
;
data
timeup:      db    [1]                    ;timeup flag
;
code

```

プログラマブルタイマ割り込みのベクタアドレス設定

```

intr_vectors:
org    intr_vectors+pt1_vector
dw    pt1_intr                ;programmable timer 0 interrupt
;

```

(2) 16ビットワンショットタイマ(1系統)の初期化

```

org    intr_vectors+pt
timerdata16: dw    33200                ;timer16 reload data (33.2ms at 4mhz/4)
;*****
;*
;*      16-bit * 1-channel one shot timer
;*
;*****
;*** initialize routine
timer1ch_init:
ld    br,#br_io                ;set br reg. address to 0ffxxh
carl  osc1toosc3                ;change osc1 to osc3 ***
ld    a,[lod vdd_ngf]          ;vdd ng flag
cp    a,#0ffh
jrl   z,timer1ch_init00
;
;mode16=16-bit, chsel=timer0, ptout=off, ckssel1=dont't care, ckse0=fosc3
ld    [br:low pt_mode0],#00010001b
ld    ba,[loc timerdata16]      ;set 16-bit reload data (timer 0 & 1)
ld    [lod rld0],ba
;pt0:evcnt=timer, fcsel=normal timer, plpol=don't care, psc=fosc3/4, rldm0=oneshot
;pset0=preset
ld    [br:low pt_mode1],#00001010b
or    [br:low intr_pr1],#00001100b ;set pt=/irq3
or    [br:low intr_en1],#10000000b ;ept1 intr. en.
or    [br:low pt_mode1],#00000001b ;start timer 0
ld    a,sc
and   a,#00111111b
or    a,#10000000b
ld    sc,a
xor   a,a                        ;i0 flag clear (en. /irq3 intr.)
ld    [lod timeup],a

```

ソースリスト

```

;*****
;*** start programmable timer 0 (16-bit) interrupt
timer1ch_init01:
    ld    a,[lod timeup]
    cp    a,#0ffh
    jrs   nz,timer1ch_init01
;*****
;*** end processing
timer1ch_init00:
    carl  osc3toosc1                ;change osc3 to osc1 ***
    ret

```

(2) 16ビットワンショットタイマ(1系統)の割り込み処理

```

;*****
;
;*                                     *
;*   programmable timer 1 interrupt processing routine (one-shot mode)   *
;*                                     *
;*****
pt0_intr:
    push  ale
;
    ld    br,#br_io                ;set br reg. address to 0ffxxh
    ld    a,#0ffh
    ld    [lod timeup],a           ;timeup flag set
;
;
;   programmable timer 0 processing
;
;
    and   [br:low intr_fac1],#10000000b ;clear fpt1 interrupt flag
    pop   ale
    rete
    end

```


ソースリスト

プログラマブルタイマ制御3

```

        external    osc1toosc3,osc3toosc1
        external    vdd_ngf
        public      evcnt_init,evcnt_intr,pt1_intr
        public      pre_count,count,ovf_flag
;
pt1_vector    equ    000006h                ;timer 1 interrupt vector offset
evcnt_vector  equ    000008h                ;event counter interrupt vector offset
evcnt         equ    003000h                ;program start address offset
br_io         equ    0ffh                  ;base reg. address (set i/o area)
pt_mode0      equ    00ff30h                ;event counter timer mode set reg. 0
pt_mode1      equ    00ff31h                ;event counter mode set reg. 1
pt_mode2      equ    00ff32h                ;programmable timer mode set reg. 2
rld0          equ    00ff33h                ;event counter reload data
rld1          equ    00ff34h                ;programmable timer 1 reload data
ptd0          equ    00ff35h                ;event counter counting data
ptd1          equ    00ff36h                ;programmable timer 1 counter data
;
intr_pr1      equ    00ff21h                ;interrupt priority reg. 1
intr_en1      equ    00ff23h                ;interrupt enable reg. 1
intr_fac1     equ    00ff25h                ;interrupt factor flag reg. 1
;
        data
pre_count:    db      [1]                  ;previous event counter data
count:        db      [1]                  ;present event counter data
ovf_flag:     db      [1]                  ;event counter overflow flag
        code

```

8ビットイベントカウンタ割り込みのベクタアドレス設定

```

intr_vectors:
        org        intr_vectors+pt1_vector
        dw         pt1_intr
;
        org        intr_vectors+evcnt_vector
        dw         evcnt_intr                ;event counter overflow interrupt
;

```

(3) 8ビットイベントカウンタの初期化

```

        org        intr_vectors+evcnt
timerdata8_2: db      250                    ;timer 1 reload data ( 4msec at 4mhz/64)
;*****
;*
;* 8-bit event counter (timer 0) counting between 4msec (reload timer 1) *
;*
;*****
;*** initialize routine
evcnt_init:
        ld         br,#br_io                ;set br reg. address to 0ffxxh
        carl       osc1toosc3                ;change osc1 to osc3 ***
        ld         a,[lod vdd_ngf]
        cp         a,#0ffh
        jrl        z,evcnt_init01
;
;mode16=8-bit,chs1=timer 0,pulse output=off,cksel1=fosc3,cksel0=don't care
        ld         [br:low pt_mode0],#00000011b
        ld         a,#0ffh
        ld         [br:low rld0],a            ;set event counter init data (max.)
        ld         [lod pre_count],a          ;pre event counter data set
        ld         a,[loc timerdata8_2]
        ld         [br:low rld1],a            ;set reload data (timer 1)
;pt0:evcnt=event counter,fcsel=with noise rejector,plpol=falling edge
;psc1&0=don't care,rldm0=reload,pset0=preset,prun0=stop
        ld         [br:low pt_mode1],#11000110b
;pt1:psc=fosc3/64,rldm1=reload,pset1=preset
        ld         [br:low pt_mode2],#00011110b

```

ソースリスト

```

        or    [br:low intr_pr1],#00001100b    ;set pt=/irq3
        or    [br:low intr_en1],#11000000b    ;ept1&0 intr. en.
        or    [br:low pt_mode1],#00000001b    ;start event counter
        or    [br:low pt_mode2],#00000001b    ;start timer 1
        ld    a,sc
        and   a,#00111111b
        or    a,#10000000b
        ld    sc,a                            ;i0 flag clear (en. /irq3 intr.)
        xor   a,a
        ld    [lod ovf_flag],a                ;overflow flag clear
;*****
;*** start event counter (timer 0) and programmable timer 1 interrupt
;      (user program)
;
loop:
        ld    a,[lod ovf_flag]
        cp    a,#0ffh                        ;event counter overflow ?
        jrs   nz,evcnt_init00                ;--> normal
;*****
;*** event counter overflow processing
;      (user program)
;
        jrs   event_init02
;*****
;*** normal processing
evcnt_init00:
;      (user program)
;
event_init02:
        jrs   loop                            ;-->
;*****
;*** end processing
        and   [br:low pt_mode1],#11111110b    ;stop event counter
        and   [br:low pt_mode2],#11111110b    ;stop timer 1
evcnt_init01:
        carl  osc3toosc1                      ;change osc3 to osc1 ***
        ret

```

(3) 8ビットイベントカウンタの割り込み処理

```

;*****
;*
;*   programmable timer 1 interrupt processing routine (reload mode)
;*
;*****
pt1_intr:
        push  ale
;
        ld    br,#br_io                      ;set br reg. address to 0ffxxh
;
        ld    a,[br:low ptd0]                 ;read event counter counting data
        ld    [lod count],a                  ;set present event counter data
        and   [br:low pt_mode1],#11111110b    ;event counter stop
        or    [br:low pt_mode1],#00000010b    ;set event counter next data (max.)
        ld    a,[lod pre_count]
        sub   a,[lod count]                  ;a-reg. = input count number (4 msec)
;
;
;   programmable timer 1 processing (based on event counter counting data)
;
;
        ld    a,[lod count]
        ld    [lod pre_count],a              ;move event counter data p(i-1) <- p(i)
        and   [br:low intr_fac1],#10000000b    ;clear fpt1 interrupt flag
        pop   ale
        rete

```

ソースリスト

```

;*****
; *
; * event counter (timer 0) interrupt processing routine (counter overflow) *
; *
; *****
evcnt_intr:
    push    ale
;
    ld      br,#br_io                ;set br reg. address to 0ffxxh
;
    ld      a,#0ffh
    ld      [lod ovf_flag],a        ;event counter overflow flag set
    and     [br:low pt_mode1],#11111110b ;event counter stop
;
;
; event counter overflow processing
;
;
    and     [br:low intr_fac1],#01000000b ;clear fpt0 interrupt flag
    pop     ale
    rete
    end

```

ソースリスト

プログラマブルタイマ制御4

```

external    osc1toosc3,osc3toosc1
external    vdd_ngf
public      measure_init,measure_intr
public      count,ovf_flag,k1x_intr
;
measure_vector equ 000006h          ;measure interrupt vector offset
k1x_vector     equ 00000ah          ;k1x interrupt vector offset
pm             equ 003000h          ;program start address offset
br_io          equ 0ffh             ;base reg. address (set i/o area)
pt_mode0       equ 00ff30h          ;pulse width measure mode set reg. 0
pt_mode1       equ 00ff31h          ;pulse width measure mode set reg. 1
rld0           equ 00ff33h          ;pulse width measure (low) reload data
rld1           equ 00ff34h          ;pulse width measure (high) reload data
ptd0           equ 00ff35h          ;pulse width measure (low) count data
ptd1           equ 00ff36h          ;pulse width measure (high) count data
sik1           equ 00ff51h          ;interrupt selection reg. for k1x
kcp1           equ 00ff53h          ;interrupt comparison reg. for k1x
k1d            equ 00ff55h          ;input data from k1x
;
intr_pr1       equ 00ff21h          ;interrupt priority reg. 1
intr_en1       equ 00ff23h          ;interrupt enable reg. 1
intr_fac1      equ 00ff25h          ;interrupt factor flag reg. 1
;
data
count:         dw    [1]            ;pulse width measured data
ovf_flag:      db    [1]            ;event counter overflow flag
code

```

16ビットパルス幅測定タイマ割り込みのベクタアドレス設定

```

intr_vectors:
org    intr_vectors+measure_vector
dw     measure_intr          ;pulse width measure overflow interrupt
;
org    intr_vectors+k1x_vector
dw     k1x_intr              ;k1x interrupt processing routine
;

```

(4) 16ビットパルス幅測定タイマの初期化

```

org    intr_vectors+pm
;*****
;*
;* 16-bit pulse width measurement (timer 0) between k10 "low" input term *
;*
;*****
;*** initialize routine
measure_init:
ld      br,#br_io            ;set br reg. address to 0ffxxh
carl    osc1toosc3           ;change osc1 to osc3 ***
ld      a,[lod vdd_ngf]      ;vdd ng flag
cp      a,#0ffh
jrl     z,measure_init01
;mode16=16-bit,chscl=timer 0,pulse output=off,cksel1=don't care,cksel0=fosc3
ld      [br:low pt_mode0],#00011001b
ld      ba,#0ffffh
ld      [lod rld0],ba        ;set measure counter init data (max.)
;pt0:evcnt=timer,fcsl=pulse width measurement,plpol=low level measurement
;psc=fosc3/1,rldm0=reload,pset0=preset,prun0=stop
ld      [br:low pt_mode1],#01000110b
ld      [br:low kcp1],#00000001b ;k10 falling edge ("h" -> "l")
ld      [br:low sik1],#00000001b ;k10 interrupt enable

```

ソースリスト

```

        or      [br:low intr_pr1],#00001111b    ;set pt & pk1=/irq3
        or      [br:low intr_en1],#10100000b    ;ept1 & ek1 intr. en.
        or      [br:low pt_mode1],#00000001b    ;start pulse measurement
        ld      a,sc
        and     a,#00111111b
        or      a,#10000000b
        ld      sc,a                            ;i0 flag clear (en. /irq3 intr.)
        xor     a,a
        ld      [lod ovf_flag],a                ;overflow flag clear
;*****
;*** start measure counter (16-bit timer 0)
;      (user program)
;
wait_loop:
        ld      a,[lod ovf_flag]
        cp      a,#0ffh                        ;measure counter overflow ?
        jrs     nz,measure_init00                ;--> normal
;*****
;*** measure counter overflow processing
;      (user program)
;
        jrs     measure_init02
;*** normal processing
measure_init00:
;      (user program)
;
measure_init02:
        jrs     wait_loop                        ;-->
;*****
;*** end processing
        and     [br:low pt_mode1],#11111110b    ;stop measure counter
measure_init01:
        carl    osc3toosc1                      ;change osc3 to osc1 ***
        ret

```

(4) 16ビットパルス幅測定タイマの割り込み処理

```

;*****
;*
;* measure counter (16-bit timer 0) interrupt processing routine (overflow) *
;*
;*****
measure_intr:
        push    ale
;
        ld      br,#br_io                      ;set br reg. address to 0ffxh
;
        ld      a,#0ffh
        ld      [lod ovf_flag],a                ;event counter overflow flag set
        and     [br:low pt_mode1],#11111110b    ;measure counter stop
;
;
;      measure counter overflow processing
;
;
        and     [br:low intr_fac1],#10000000b    ;clear fpt1 interrupt flag
        pop     ale
        rete

```

ソースリスト

```

;*****
;
;*
;*      k1x interrupt processing routine
;*
;*****
k1x_intr:
    push    ale
;
    ld      br,#br_io                ;set br reg. address to 0ffxxh
;
    bit     [br:low kcp1],#00000001b ;kcp setting ?
    jrs     z,k1x_intr01
;falling edge -> rising edge
    and     [br:low kcp1],#11111110b ;set rising edge
    jrs     k1x_intr00
;rising edge -> falling edge
k1x_intr01:
    or      [br:low kcp1],#00000001b ;set falling edge
    ld      ba,[lod ptd0]
    ld      [lod count],ba          ;read measure count data
    or      [br:low pt_model],#00000010b ;set measure counter init data (max.)
k1x_intr00:
    and     [br:low intr_fac1],#00100000b ;clear fk1 interrupt flag
    pop     ale
    rete
end

```

ソースリスト

プログラマブルタイマ制御5

```

        external    osc1toosc3,osc3toosc1
        external    vdd_ngf
        public      pulsout_init
;
br_io          equ    0ffh                      ;base reg. address (set i/o area)
pt_mode0       equ    00ff30h                  ;programmable timer mode set reg. 0
pt_mode1       equ    00ff31h                  ;programmable timer mode set reg. 1
rld0           equ    00ff33h                  ;programmable timer 0 reload data
rld1           equ    00ff34h                  ;programmable timer 1 reload data
hxr2           equ    00ff71h                  ;r2x output control reg.
r2d            equ    00ff75h                  ;r2x output data
;
intr_pr1       equ    00ff21h                  ;interrupt priority reg. 1
intr_en1       equ    00ff23h                  ;interrupt enable reg. 1
intr_fac1      equ    00ff25h                  ;interrupt factor flag reg. 1
;
        code

(5) 16ビットリロードタイマのパルス出力
;pulse output=66.4ms(approx. 15hz)
timerdata16:   dw      33200                      ;timer16 reload data (33.2ms at 4mhz/4)
;*****
;*****
;***** pulse out (16-bit) control *****
;*****
;***** initialize routine *****
pulsout_init:
        ld      br,#br_io                      ;set br reg. address to 0ffxxh
        carl    osc1toosc3                    ;change osc1 to osc3 ***
        ld      a,[lod vdd_ngf]                ;vdd ng flag
        cp      a,#0ffh
        jrl     z,pulsout_init00
;
        or      [br:low r2d],#10000000b        ;r27="h" (enable ptout)
        and     [br:low hxr2],#01111111b      ;r27=complementary output
;mode16=16-bit, chsel=timer0, ptout=off, cksel1=don't care, cksel0=fosc3
        ld      [br:low pt_mode0],#00011001b
        ld      ba,[loc timerdata16]          ;set 16-bit counter data (timer 0 & 1)
        ld      [lod rld0],ba
;pt0:evcnt=timer,fcsel=normal timer,plpol=don't care,psc=fosc3/4,rldm0=reload
;pset0=preset
        ld      [br:low pt_mode1],#00001110b
        or      [br:low pt_mode1],#00000001b  ;start timer 0
        or      [br:low pt_mode0],#00000100b  ;start ptout
;*****
;***** start pulse out (16-bit) *****
;***** (user program) *****
;*****
;***** end processing *****
        and     [br:low pt_mode0],#11111011b  ;stop ptout
        and     [br:low pt_mode1],#11111110b  ;stop timer 0
pulsout_init00:
        carl    osc3toosc1                    ;change osc3 to osc1 ***
        ret
        end

```

13 LCDコントローラ

I/Oマップ

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF10	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	LCCLK	拡張LCDドライバ用CL出力制御	On	Off	0	R/W	
	D3	LCFRM	拡張LCDドライバ用FR出力制御	On	Off	0	R/W	
	D2	DTFNT	LCDドットフォント選択	5×5ドット	5×8ドット	0	R/W	
	D1	LDUTY	LCD駆動デューティ選択	1/16デューティ	1/32デューティ	0	R/W	
	D0	SGOUT	汎用レジスタ	1	0	0	R/W	予約レジスタ
00FF11	D7	—	—	—	—	—		読み出し時は"0"
	D6	DSPAR	LCD表示メモリ領域選択	表示領域1	表示領域0	0	R/W	
	D5	LCDC1	LCD表示制御			0	R/W	SLP命令実行時に (0, 0)にリセット
	D4	LCDC0	LCDC1 LCDC0 LCD表示					
			1 1 全点灯					
			1 0 全消灯			0	R/W	
			0 1 通常表示					
			0 0 駆動Off					
	D3	LC3	LCDコントラスト調整			0	R/W	
	D2	LC2	LC3 LC2 LC1 LC0 コントラスト			0	R/W	
	D1	LC1	1 1 1 0 濃			0	R/W	
	⋮	⋮	⋮ ⋮ ⋮ ⋮ ⋮			0	R/W	
	D0	LC0	0 0 0 0 淡			0	R/W	

*1 マスクオプションで1/8デューティを選択している場合は、本レジスタの設定は無効となります。

仕様

LCDコントローラ制御

(1) lcd_init: LCDコントローラの初期化

LCDコントローラを以下のとおり設定します。

- LCDドットマトリクスタイプ 5×8
- LCD駆動デューティ 1/32
- LCD表示制御 通常表示
- コントラスト 中間(8/16)
- CL出力 on
- FR出力 on

(2) control_example, display_frame, display_1ch: 表示制御

メモリ上に格納されている文字列の先頭アドレスと表示メモリアドレス(表示位置)を指定することによって、キャラクタジェネレータテーブルの文字データが表示メモリに書き込まれ、LCDパネルに表示されます。

表示させるメッセージはASCIIコードの文字列で、文字列の最後に00Hのコードがエンドマークとして付加されているものとします。

表示例 "e" "0" "c" "8" "8" "3" "1" "6" 00H

5×8ドットの文字データはASCIIコード順にキャラクタジェネレータascii_tableに登録しておきます。1文字は5バイトのデータで構成されます。したがって、文字コードnのデータはascii_table+(n×5)番地からの5バイトに格納します。

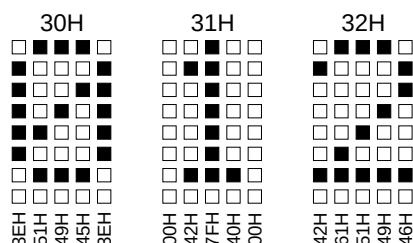


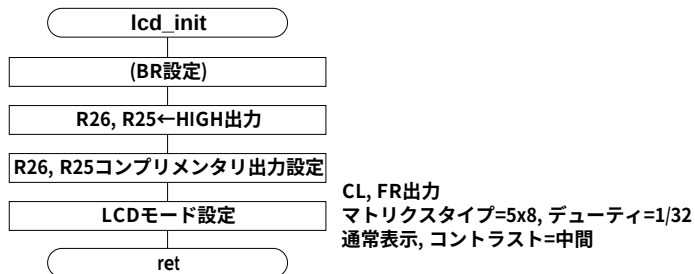
図13.1 文字データの構成

注意点

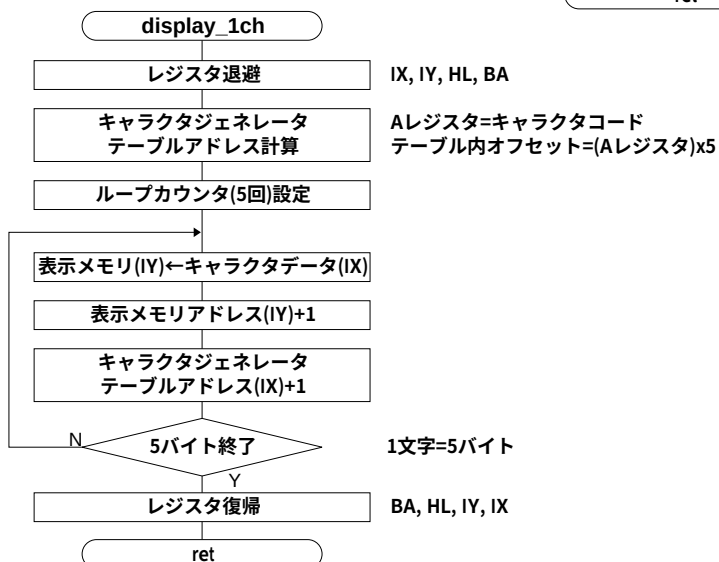
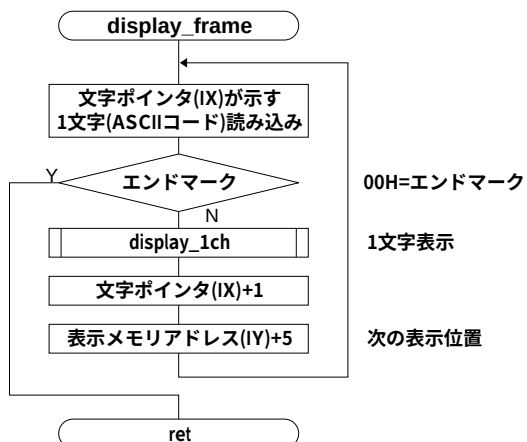
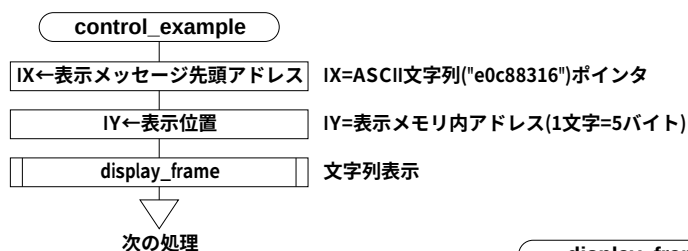
- (1) R26端子、R25端子はそれぞれ通常のDC出力ポートとCL出力、FR出力の共用端子となっています。外部にLCDドライバを拡張してCL、FR出力を行う場合はR26およびR25レジスタを"1"に固定し、LCCLK、LCFRMレジスタで信号のON/OFFを制御してください。
- (2) S1C88348/317/316の最大駆動ドット数は51セグメント×32コモン(1,632ドット)、S1C88308の最大駆動ドット数は41セグメント×32コモン(1,312ドット)です。

フローチャート

(1) LCDコントローラの初期化



(2) 表示制御



ソースリスト

LCDコントローラ制御

```

        public      lcd_init,display_frame,display_1ch
;
offset      equ      30h*5                ;ascii code table address offset
br_io       equ      0ffh                ;base reg.address (set i/o area)
lcd_mode0    equ      00ff10h            ;lcd controller mode set reg. 0
lcd_mode1    equ      00ff11h            ;lcd controller mode set reg. 1
h2r2        equ      00ff71h            ;r2x output control data
r2d         equ      00ff75h            ;r2x output data
;
lcd_ram0     equ      00f800h            ;lcd ram line 0 top address
lcd_ram1     equ      00f900h            ;lcd ram line 1 top address
lcd_ram2     equ      00fa00h            ;lcd ram line 2 top address
lcd_ram3     equ      00fb00h            ;lcd ram line 3 top address
;
        code

```

(1) LCDコントローラの初期化

```

;*****
;*
;*      lcd display control
;*
;*****
;*** initialize routine
lcd_init:
        ld      br,#br_io                ;set br reg. address to 0ffxh
        or      [br:low r2d],#01100000b   ;r26,r25="h" (fr,cr enable)
        and     [br:low h2r2],#1001111b   ;r26,r25=complementary output
;lcclk,lcfrm=on,dttyp=5*8,lduty=1/32
        ld      [br:low lcd_mode0],#00011000b
;srsl=don't care (when 1/32),lcdc=normal,lc=middle contrast
        ld      [br:low lcd_mode1],#00011000b
        ret
;

```

(1)

(2) 表示制御

```

;*****
;*** control program example routine
control_example:
        ld      ix,#loc frame00          ;display message
        ld      iy,#lod lcd_ram0+1*5     ;display address
        call    display_frame            ;display frame ***
;
;      (user program)
;
;*****
;*
;*      dispaly frame
;*      ix : message top address
;*      iy : display top address
;*
;*****
;*** control routine
display_frame:
        ld      a,[ix]
        cp      a,#00h                  ;end mark ?
        jrs     z,display_frame00        ;exit
;
        cars    display_1ch              ;display 1 character ***
        inc     ix
        add     iy,#5                    ;display address + 5 (5*8 dots)
        jrs     display_frame            ;up end mark detect
;
display_frame00:
        ret

```

(2)

ソースリスト

```

;*****
;*
;*      display 1 character (from ascii code to 5*8 dots dot matrix)
;*      ix : message pointer index
;*      iy : store pointer index
;*
;*****
display_1ch:
    push    ix
    push    iy
    push    hl
    push    ba
    ld      l,#5
    mlt
    add     hl,#loc ascii_table    ;hl <- a-reg*5
    ld      ix,hl                 ;hl <- hl + ascii_table top address
    ld      b,#5                  ;5 bytes data
display_1char00:
    ld      [iy],[ix]
    inc     ix
    inc     iy
    djr     nz,display_1char00
;
;      pop    ba
;      pop    hl
;      pop    iy
;      pop    ix
;      ret
;
;*****
;*** messeage frame example
frame00:
    ascii   "e0c88316"
    db      00h                    ;end mark
;
;*****
;*** ascii character table (example)
ascii_table:
;
;      character code 00h to 2fh have not been used in this example
;
;      org    ascii_table+offset
;      db     3eh,51h,49h,45h,3eh    ;"0",30h
;      db     00h,42h,7fh,40h,00h    ;"1",31h
;      db     42h,61h,51h,49h,46h    ;"2",32h
;
;      (user defined)
;      character generator table (5*8 dots)
;      (user defined)
;
end

```

(2)

14 サウンドジェネレータ

I/Oマップ

アドレス	ビット	名称	機 能				1	0	SR	R/W	注 釈
00FF44	D7	—	—				—	—	—		読み出し時は
	D6	BZSTP	ワンショットブザー強制停止				強制停止	無効	—	W	常時"0"
	D5	BZSHT	ワンショットブザートリガ/ステータス				R Busy W トリガ	Ready 無効	0	R/W	
	D4	SHTPW	ワンショットブザー時間幅選択				125msec	31.25msec	0	R/W	
	D3	ENRTM	エンベロープ減衰時間				1sec	0.5sec	0	R/W	
	D2	ENRST	エンベロープリセット				リセット	無効	—	W	
	D1	ENON	エンベロープOn/Off制御				On	Off	0	R/W	*1
	D0	BZON	ブザー出力制御				On	Off	0	R/W	
00FF45	D7	—	—				—	—	—		読み出し時は"0"
	D6	DUTY2	ブザー信号デューティ比選択 DUTY2-1 ブザー周波数(Hz) 2 1 0 4096.0 3276.8 2730.7 2340.6 2048.0 1638.4 1365.3 1170.3						0	R/W	
	D5	DUTY1	0 0 0 8/16 8/20 12/24 12/28			0	R/W				
			0 0 1 7/16 7/20 11/24 11/28								
			0 1 0 6/16 6/20 10/24 10/28								
			0 1 1 5/16 5/20 9/24 9/28								
	D4	DUTY0	1 0 0 4/16 4/20 8/24 8/28			0	R/W				
			1 0 1 3/16 3/20 7/24 7/28								
			1 1 0 2/16 2/20 6/24 6/28								
			1 1 1 1/16 1/20 5/24 5/28								
	D3	—	—				—	—	—		読み出し時は"0"
	D2	BZFQ2	ブザー周波数選択 BZFQ2 BZFQ1 BZFQ0 周波数(Hz) 0 0 0 4096.0						0	R/W	
	D1	BZFQ1	0 0 1 3276.8			0	R/W				
			0 1 0 2730.7								
0 1 1 2340.6											
1 0 0 2048.0											
D0	BZFQ0	1 0 1 1638.4			0	R/W					
		1 1 0 1365.3									
		1 1 1 1170.3									

*1 ワンショット出力時、"0"にリセット

仕様

サウンドジェネレータ制御

(1) sound_init: サウンドジェネレータの初期化

R50端子からのブザー出力をイネーブルに設定します。

(2) normal_init, normal_on, normal_off: 通常のブザー出力

normal_initはブザー信号のデューティ比を最大、周波数を4,096Hzに設定するルーチンで、ブザー出力はnormal_onを呼び出してからnormal_offを呼び出すまで行われます。

(3) envelope_init, envelope_on, envelope_reset, envelope_off:

デジタルエンベロープ付きブザー出力

envelope_initはブザー信号の周波数を4,096Hzに、エンベロープ減衰時間を1secに設定し、エンベロープをONにするルーチンです。ブザー出力はenvelope_onを呼び出してからenvelope_offを呼び出すまで行われます。

envelope_resetはブザー信号の周波数を2,048Hzに、エンベロープ減衰時間を0.5secに再設定してからエンベロープのリセットを行います。エンベロープ付ブザー出力期間中にenvelope_resetを呼び出すことによりエンベロープがリセットされます。

(4) oneshot_ready, oneshot_on, oneshot_off: 1ショットブザー出力

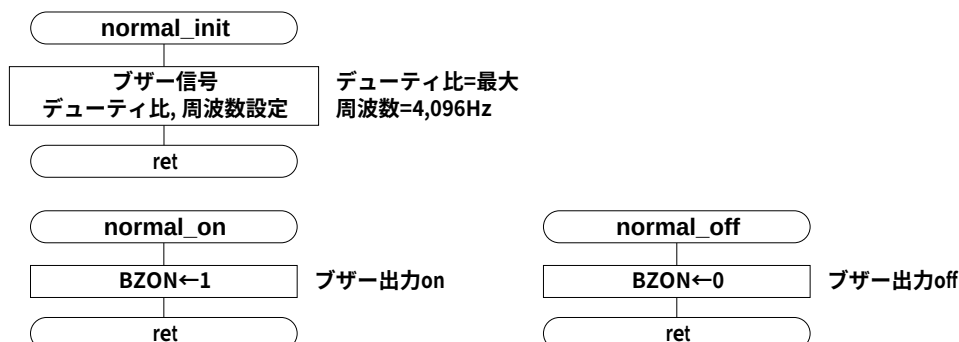
oneshot_readyは1ショットブザーのパルス幅を125msecに設定し、1ショットブザー出力がREADY状態になるまで待機するルーチンです。1ショットブザー出力はoneshot_onを呼び出すことによって行われます。oneshot_onにより125msecの間ブザー出力が行われますが、その間にoneshot_offを呼び出すことによって1ショットブザー出力を強制終了させることができます。

フローチャート

(1) サウンドジェネレータの初期化

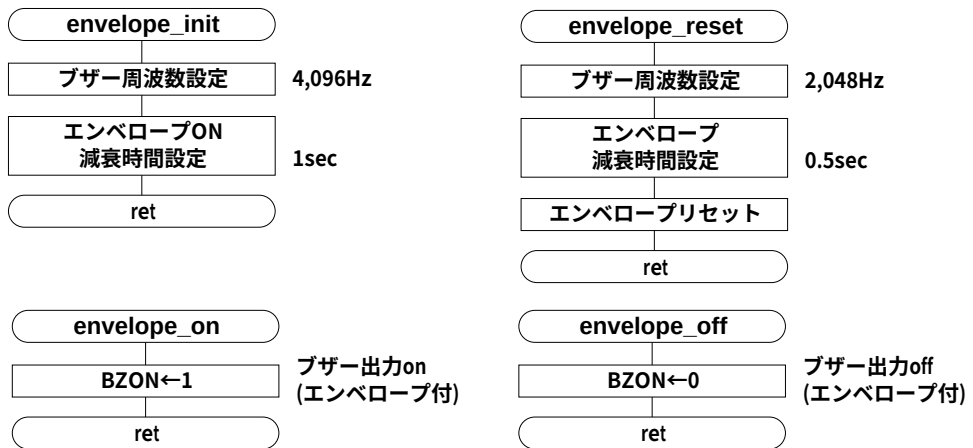


(2) 通常のブザー出力

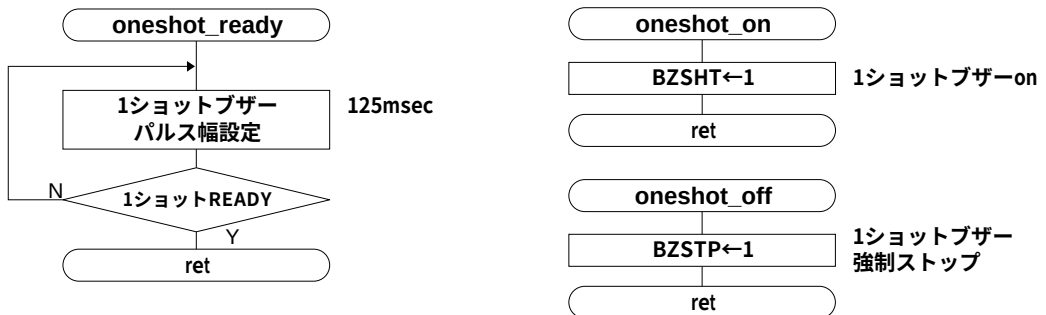


フローチャート

(3) デジタルエンベロープ付きブザー出力



(4) 1ショットブザー出力



注意点

R50端子は通常のDC出力ポートとブザー出力の共用端子となっています。R50端子でブザーの回路を構成した場合はR50レジスタを"1"に固定し、BZONレジスタで信号のON/OFFを制御してください。

ソースリスト

サウンドジェネレータ制御

```

        public      sound_init
        public      normal_init,normal_on,normal_off
        public      envelope_init,envelope_on,envelope_reset,envelope_off
        public      oneshot_ready,oneshot_on,oneshot_off
;
br_io      equ      0ffh                ;base reg. address (set i/o area)
sound_mode0 equ      00ff44h            ;sound generator mode set reg. 0
sound_mode1 equ      00ff45h            ;sound generator mode set reg. 1
;
h zr_ex    equ      00ff70h            ;expand output control reg.
r5d        equ      00ff78h            ;r5x output data
        code
;

```

(1) サウンドジェネレータの初期化

```

;*****
;*
;*      sound genertator control
;*
;*
;*****
sound_init:
        ld         br,#br_io            ;set br reg. address to 0ffxxh
        and        [br:low r5d],#11111110b ;r50="l" (bzon enable)
        and        [br:low hzr_ex],#10111111b ;r50=complementary output
        ret
;

```

(1)

(2) 通常のブザー出力

```

;*****
;*** sound normal
normal_init:
        ld         [br:low sound_mode1],#00000000b ;duty=max.,bzfq=4096hz
        ret
;***
normal_on:
        or         [br:low sound_mode0],#00000001b ;bzon=enable
        ret
;***
normal_off:
        and        [br:low sound_mode0],#11111110b ;bzon=disable
        ret
;

```

(2)

(3) デジタルエンベロープ付きブザー出力

```

;*****
;*** sound envelope
envelope_init:
        ld         [br:low sound_mode1],#00000000b ;duty=don't care,bzfq=4096hz
        or         [br:low sound_mode0],#00001010b ;enrtm=1sec,enon=on
        ret
;***
envelope_on:
        or         [br:low sound_mode0],#00000001b ;bzon=enable (with envelope)
        ret
;***
;envelope reset then on(change envelope release time & buzzer frequency)
envelope_reset:
        ld         [br:low sound_mode1],#00000100b ;duty=don't care,bzfq=2048hz
        ld         a,[br:low sound_mode0]
        and        a,#00000011b                ;enrtm=0.5sec
        or         a,#00000100b                ;envelope reset

```

(3)

ソースリスト

```

        ld    [br:low sound_mode0],a
        ret
;***
envelope_off:
        and    [br:low sound_mode0],#11111110b ;bzon=disable
        ret
;

```

(3)

(4) 1ショットブザー出力

```

;*****
;*** sound_oneshot
oneshot_ready:
        or     [br:low sound_mode0],#00010000b ;one shot width=125ms
        bit    [br:low sound_mode0],#00100000b ;one shot ready ?
        jrs    nz,oneshot_ready
;
        ret
;***
oneshot_on:
        ld     a,[br:low sound_mode0]
        and    a,#00011111b
        or     a,#00100000b
        ld     [br:low sound_mode0],a          ;one shot buzzer on
        ret
;***
oneshot_off:
        ld     a,[br:low sound_mode0]
        and    a,#00011111b
        or     a,#01000000b
        ld     [br:low sound_mode0],a          ;no status read stop
        ret
;
        end

```

(4)

15 アナログコンパレータ

I/Oマップ

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF13	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	CMP1ON	コンパレータ1 On/Off制御	On	Off	0	R/W	
	D2	CMP0ON	コンパレータ0 On/Off制御	On	Off	0	R/W	
	D1	CMP1DT	コンパレータ1データ	+>-	+<-	0	R	
	D0	CMP0DT	コンパレータ0データ	+>-	+<-	0	R	

仕様

アナログコンパレータ制御

(1) comp_init: アナログコンパレータの初期化

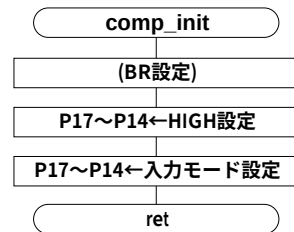
誤動作を防ぐため、入出力兼用ポートP17～P14を入力モードに設定します。

(2) comp_control: アナログコンパレータデータの読み出し

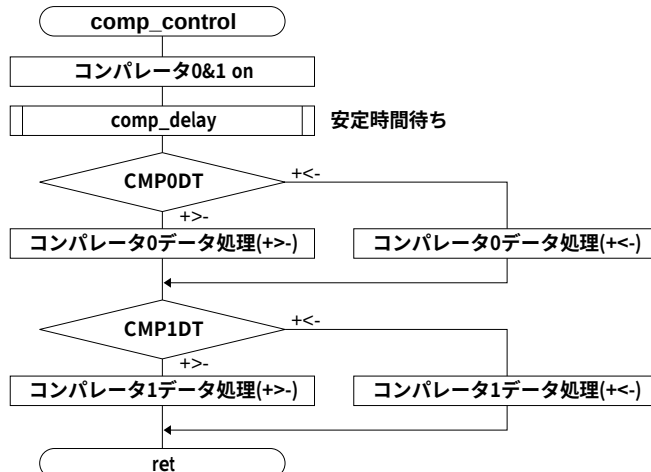
アナログコンパレータをONに設定し、ディレイルーチンをコール後にコンパレータデータを読み出します。読み出し結果により、それぞれの処理を実行します。

フローチャート

(1) アナログコンパレータの初期化



(2) アナログコンパレータデータの読み出し



注意点

- (1) アナログコンパレータの動作安定時間待ち(最大3msec)のディレイルーチンはプログラム例には含まれておりませんので、ハードウェアタイマもしくはソフトウェアタイマを用いて別途作成する必要があります。(external call: comp_delay)
- (2) P17~P14端子はアナログコンパレータ入力(CMPM0、CMPM1、CMPM2、CMPM3)と入出力兼用ポートとの共用端子となっており、アナログコンパレータをOFFにした場合は入出力兼用ポート端子に切り換わります。したがって、アナログコンパレータとして使用する端子の入出力兼用ポートについては、必ず入力モードに固定してください。

ソースリスト**アナログコンパレータ制御**

```

        external      comp_delay
        public        comp_init,comp_control

;
br_io      equ      0ffh                ;base reg. address (set i/o area)
comp_mode  equ      00ff13h            ;analog comparator mode set reg.
ioc1       equ      00ff61h            ;p1x i/o control reg.
p1d        equ      00ff63h            ;p1x port data
code

```

(1) アナログコンパレータの初期化

```

;*****
;*
;*      comparator control
;*
;*****
;*** initialize routine
comp_init:
        ld      br,#br_io                ;set br reg. address to 0ffxxh
        or      [br:low p1d],#11110000b  ;set p17-14="h"
        and     [br:low ioc1],#00001111b ;set p17-14=input mode
        ret

```

(2) アナログコンパレータデータの読み出し

```

;*****
;*** control routine
comp_control:
        or      [br:low comp_mode],#00001100b ;comparator 0&1 on
        call   comp_delay                    ;comparator stable delay ***
        bit     [br:low comp_mode],#00000001b ;comparator 0 on ?
        jrs     z,comp_control00
; comparator 0 : + > -
;
        jrs     comp_control01
; comparator 0 : + < -
comp_control00:
;
comp_control01:
        bit     [br:low comp_mode],#00000010b ;comparator 1 on ?
        jrs     z,comp_control02
; comparator 1 : + > -
;
        jrs     comp_control03
; comparator 1 : + < -
comp_control02:
;
; comparator processing end
comp_control03:
        and     [br:low comp_mode],#00001100b
        ret
;
        end

```

16 SVD(電源電圧検出)回路

I/Oマップ

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF12	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	SVDSP	SVDオートサンプリング制御	On	Off	0	R/W	SLP命令実行時 "0"にリセット
	D4	SVDON	SVD連続サンプリング制御/ステータス	Busy On	Ready Off	1→0 ^{*1} 0	R/W	
	D3	SVD3	SVD検出レベル			X	R	*2
	D2	SVD2	SVD3 SVD2 SVD1 SVD0 検出レベル			X	R	
	D1	SVD1	1 1 1 0 レベル15			X	R	
	D0	SVD0	0 0 0 0 レベル0			X	R	

*1 イニシャルリセット時、本ステータスはハードウェアによる初回のサンプリングが終了するまで、"1"に設定されます。

*2 初期値は、ハードウェアによる初回のサンプリング時に検出される電源電圧にしたがって設定されます。このサンプリングが終了するまで、SVD0～SVD3のデータは不定となります。

仕様

SVD回路制御

(1) svd_auto: 1/4Hzオートサンプリングモードによる電源電圧検出

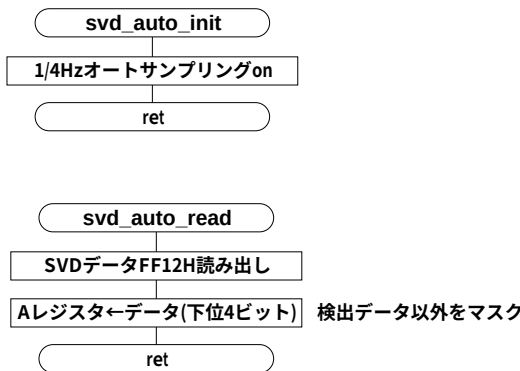
1/4Hzオートサンプリングモードを設定してSVD回路をON後、SVD検出データをAレジスタに読み出します。

(2) svd_continue: 連続サンプリングモードによる電源電圧検出

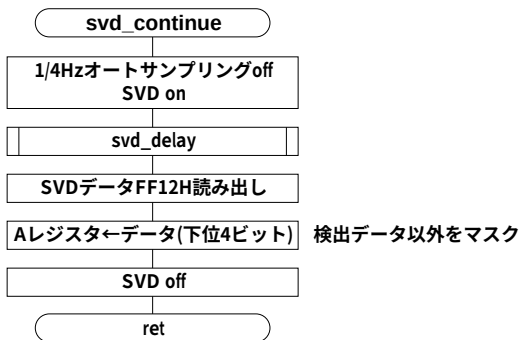
連続サンプリングモードを設定(1/4Hzオートサンプリングモードを解除)してSVD回路をONし、ディレイルーチンをコール後にSVD検出データをAレジスタに読み出します。

フローチャート

(1) 1/4Hzオートサンプリングモード による電源電圧検出



(2) 連続サンプリングモード による電源電圧検出



注意点

- (1) SVD(電源電圧検出)回路のデータ確定時間待ち(約7.8msec以上)のディレイルーチンはプログラム例には含まれておりませんので、ハードウェアタイマもしくはソフトウェアタイマを用いて別途作成する必要があります。(external call: svd_delay)
- (2) 連続サンプリングモードにおいて、データ確定時間待ち(約7.8msec以上)を行わずに検出データを読み出した場合、以前検出された更新前の値が読み出されます。

ソースリスト**SVD回路制御**

```

        external      svd_delay
        public        svd_auto_init,svd_auto_read,svd_contine
;
br_io          equ     0ffh                ;base reg. address (set i/o area)
svd_mode       equ     00ff12h            ;supply voltage detector mode set reg.
        code
;

```

(1) 1/4Hzオートサンプリングモードによる電源電圧検出

```

;*****
;
;          svd control
;
;*****
;*** auto sampling mode
svd_auto_init:
        or     [br:low svd_mode],#00100000b    ;auto sampling
        ret
;
;          ld     a,[br:low svd_mode]            ;read svd data
        and    a,#0fh
        ret

```

(1)

(2) 連続サンプリングモードによる電源電圧検出

```

;*****
;*** continuos mode
svd_continue:
        ld     a,[br:low svd_mode]
        and    a,#00011111b                    ;auto sampling off
        or     a,#00010000b                    ;svd on
        ld     [br:low svd_mode],a
;
;
;          carl   svd_delay                      ;svd stable delay
;
;          ld     a,[br:low svd_mode]            ;read svd data
        and    a,#0fh
        and    [br:low svd_mode],#00001111b    ;svd off
        ret
;
        end

```

(2)

17 割り込み(例外)処理

I/Oマップ

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF20	D7	PK01	K00～K07割り込み	PK01 PK00 PSIF1 PSIF0 PSW1 PSW0 優先 PTM1 PTM0 レベル 1 1 レベル3 1 0 レベル2 0 1 レベル1 0 0 レベル0		0	R/W	
	D6	PK00	プライオリティレジスタ			0	R/W	
	D5	PSIF1	シリアルインタフェース割り込み			0	R/W	
	D4	PSIF0	プライオリティレジスタ			0	R/W	
	D3	PSW1	ストップウォッチタイマ割り込み			0	R/W	
	D2	PSW0	プライオリティレジスタ			0	R/W	
	D1	PTM1	計時タイマ割り込み			0	R/W	
	D0	PTM0	プライオリティレジスタ			0	R/W	
00FF21	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	PPT1	プログラマブルタイマ割り込み	PPT1 PPT0 優先 PK11 PK10 レベル 1 1 レベル3 1 0 レベル2 0 1 レベル1 0 0 レベル0	0	R/W		
	D2	PPT0	プライオリティレジスタ			0		R/W
	D1	PK11	K10, K11割り込み	0	R/W			
	D0	PK10	プライオリティレジスタ	0	R/W			
00FF22	D7	—	—	—	—	—		読み出し時は"0"
	D6	ESW100	ストップウォッチ100Hz割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D5	ESW10	ストップウォッチ10Hz割り込みイネーブルレジスタ					
	D4	ESW1	ストップウォッチ1Hz割り込みイネーブルレジスタ					
	D3	ETM32	計時タイマ32Hz割り込みイネーブルレジスタ					
	D2	ETM8	計時タイマ8Hz割り込みイネーブルレジスタ					
	D1	ETM2	計時タイマ2Hz割り込みイネーブルレジスタ					
	D0	ETM1	計時タイマ1Hz割り込みイネーブルレジスタ					
00FF23	D7	EPT1	プログラマブルタイマ1割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D6	EPT0	プログラマブルタイマ0割り込みイネーブルレジスタ					
	D5	EK1	K10, K11割り込みイネーブルレジスタ					
	D4	EK0H	K04～K07割り込みイネーブルレジスタ					
	D3	EK0L	K00～K03割り込みイネーブルレジスタ					
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブルレジスタ					
	D1	ESREC	シリアルI/F(受信)割り込みイネーブルレジスタ					
	D0	ESTRA	シリアルI/F(送信)割り込みイネーブルレジスタ					
00FF24	D7	—	—	—	—	—		読み出し時は"0"
	D6	FSW100	ストップウォッチ100Hz割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W	
	D5	FSW10	ストップウォッチ10Hz割り込み要因フラグ					
	D4	FSW1	ストップウォッチ1Hz割り込み要因フラグ					
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ	(W) リセット	(W) 無効			
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ					
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ					
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ					
00FF25	D7	FPT1	プログラマブルタイマ1割り込み要因フラグ					
	D6	FPT0	プログラマブルタイマ0割り込み要因フラグ					
	D5	FK1	K10, K11割り込み要因フラグ					
	D4	FK0H	K04～K07割り込み要因フラグ	(W) リセット	(W) 無効			
	D3	FK0L	K00～K03割り込み要因フラグ					
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ					
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ					
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ					

仕様

割り込み(例外)処理

割り込みベクタアドレスの設定

(1) main: 割り込みレベルの設定と割り込みの許可

リセット例外処理によって実行される初期化ルーチン(88316シングルチップモードの例)の中で、すべての割り込みに対して以下のように割り込みレベル($\overline{\text{IRQ3}}$ ~ $\overline{\text{IRQ1}}$)を設定し、割り込みを許可します。

・プログラマブルタイマ割り込み	$\overline{\text{IRQ3}}$
・入力ポート割り込み	$\overline{\text{IRQ3}}$
・シリアルインタフェース割り込み	$\overline{\text{IRQ2}}$
・ストップウォッチタイマ割り込み	$\overline{\text{IRQ1}}$
・計時タイマ割り込み	$\overline{\text{IRQ1}}$

(2) zero_div: ゼロ除算例外処理

(3) watchdog: ウォッチドッグタイマ($\overline{\text{NMI}}$)割り込み処理

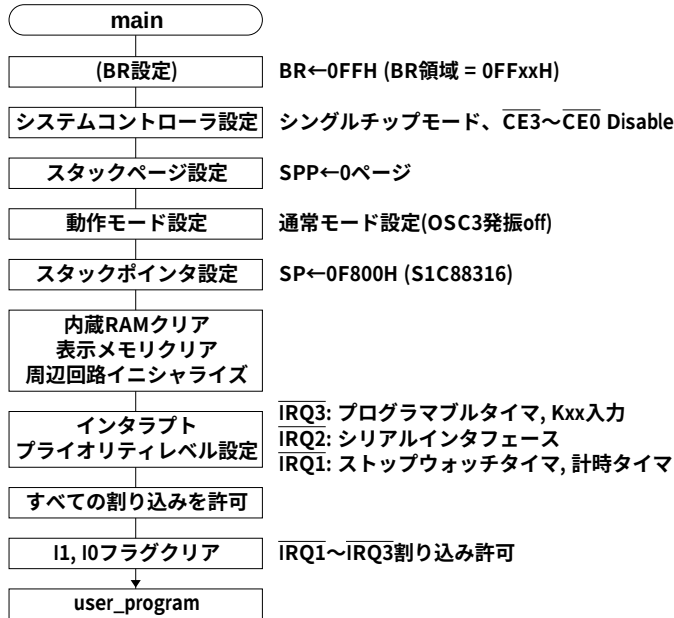
(4) xxx_intr: 周辺回路割り込み処理

注意点

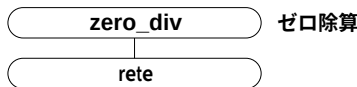
- (1) 割り込みレベル($\overline{\text{IRQ3}}$ ~ $\overline{\text{IRQ1}}$)の設定はシステムに合わせて設定することができます。
- (2) 各割り込みを許可する前に、必ず割り込みを使用する周辺回路の初期化と割り込み発生条件等の設定を行ってください。
- (3) 周辺回路の割り込み処理は、すべての割り込みを許可し、割り込みベクタによる割り込み例外処理を前提としています。なお、割り込み要因フラグは割り込みイネーブルレジスタおよび割り込みフラグ(I1、I0)の設定にかかわらず割り込み発生条件の成立によってセットされるため、ソフトウェアによる割り込み要因フラグのポーリングという方法を取ることもできます。
- (4) ウォッチドッグタイマ($\overline{\text{NMI}}$)割り込みはマスク不可能なため、ウォッチドッグタイマ使用の有無にかかわらず、必ず割り込みベクタおよび割り込み処理ルーチンを記述してください。
- (5) 割り込み要因フラグのクリアはAND、LD命令を使用して対応するフラグのみに"1"を書き込んでください。OR論理演算命令等を使用した場合、同アドレス内の"1"にセットされた割り込み要因フラグに対して"1"書き込みが行われ、そのフラグがクリアされてしまいます。
- (6) 本プログラム例の割り込み処理ルーチンでは割り込みフラグ(I1およびI0)の再設定を行っていませんので、割り込み発生時点でそのレベル以下の割り込みが禁止されます。また、割り込み発生後、次の割り込みを受け付けたい場合、ネスティングレベルを充分考慮し、インタラプトフラグの再設定もしくは割り込み要因フラグのリセットが必要です。
- (7) 割り込みのネスティングを許可する場合、スタックのサイズに注意してください。
- (8) ソフトウェア割り込みのベクタアドレスは、000026H~0000FEHの任意のアドレス(偶数番地からの2バイト)に最大109個まで設定可能です。
- (9) ベクタアドレス000024Hと000025Hはシステム予約領域のため使用できません。
- (10) 本割り込み(例外)処理のプログラム例では、ベクタアドレス設定およびプログラムを便宜上000100Hから割り付けています。
- (11) $\overline{\text{NMI}}$ 割り込み発生から2msec以内はSLP命令を実行しないでください。(fosc1=32.768kHzの場合)

フローチャート

(1) 割り込みレベルの設定と割り込みの許可



(2) ゼロ除算例外処理

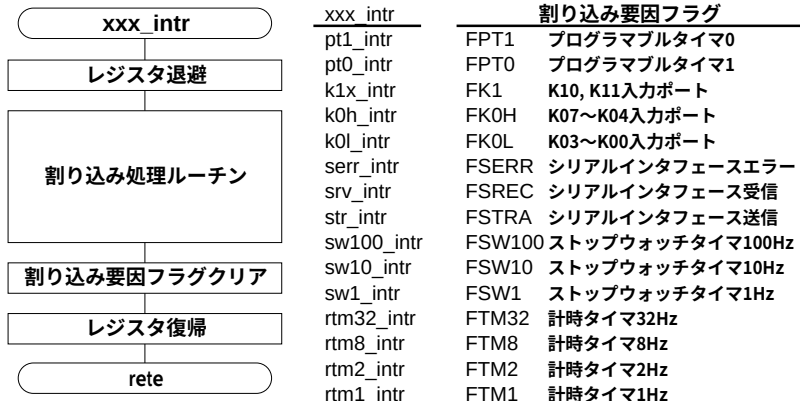


- 注!
- ・ 内蔵RAM容量は、S1C88308の場合 00F000H~00F0FFH(256バイト)です。
 - ・ メモリマップは使用する機種、バスモードにより異なります。
 - ・ S1C88308にはバス権解放機能およびK11、R51端子は存在しません。

(3) ウォッチドッグタイマ(NMI)割り込み処理



(4) 周辺回路割り込み処理



ソースリスト

割り込み(例外)処理

```

external    user_program
public      main, zero_div, watch_dog
public      pt1_intr, pt0_intr
public      k1x_intr, k0h_intr, k0l_intr
public      serr_intr, srv_intr, str_intr
public      sw100_intr, sw10_intr, sw1_intr
public      clock32_intr, clock8_intr, clock2_intr, clock1_intr

;
br_io       equ    0fffh                ;base reg. address (set i/o area)
mcu         equ    00ff00h              ;mcu mode system control reg.
spp         equ    00ff01h              ;stack pointer page address
mode        equ    00ff02h              ;mcu/mpu mode control address
sp_316     equ    00f800h              ;e0c88316 stack top address
intr_pr0    equ    00ff20h              ;interrupt priority reg. 0
intr_pr1    equ    00ff21h              ;interrupt priority reg. 1
intr_en0    equ    00ff22h              ;interrupt enable reg. 0
intr_en1    equ    00ff23h              ;interrupt enable reg. 1
intr_fac0   equ    00ff24h              ;interrupt factor reg. 0
intr_fac1   equ    00ff25h              ;interrupt factor reg. 1
;
reserve     equ    000024h              ;e0c88316 system reserve
soft_intr   ewu    000026h              ;software interrupt vector
offset      equ    000100h              ;program start address offset

code

```

割り込みベクタアドレスの設定

```

intr_vectors:
;system interrupt vectors
    dw    main                ;reset vector
    dw    zero_div            ;zero divide
    dw    watchdog            ;watchdog timer(/nmi)
;e0c88316 peripheral interrupt vectors (irq levels can set by software)
    dw    pt1_intr            ;programmable timer 1 (/irq3)
    dw    pt0_intr            ;programmable timer 0 (/irq3)
    dw    k1x_intr            ;k1x input port (/irq3)
    dw    k0h_intr            ;k07-04 input port (/irq3)
    dw    k0l_intr            ;k03-00 input port (/irq3)
    dw    serr_intr           ;serial error (/irq2)
    dw    srv_intr            ;serial receive (/irq2)
    dw    str_intr            ;serial transmission (/irq2)
    dw    sw100_intr           ;stopwatch 100hz (/irq1)
    dw    sw10_intr           ;stopwatch 10hz (/irq1)
    dw    sw1_intr            ;stopwatch 1hz (/irq1)
    dw    clock32_intr         ;clock timer 32hz (/irq1)
    dw    clock8_intr          ;clock timer 8hz (/irq1)
    dw    clock2_intr          ;clock timer 2hz (/irq1)
    dw    clock1_intr          ;clock timer 1hz (/irq1)
;e0c88316 system reserve
    org    intr_vectors+reserve
;software interrupt vectors (i.e bios handler and/or general purpose routine(s))
    org    intr_vectors+soft_intr
;

```

ソースリスト

(1) 割り込みレベルの設定と割り込みの許可

```

org    intr_vectors+offset
;*****
;*
;*      main routine (mcu single chip mode)
;*
;*****
main:
;
;      ld    br,#br_io
;mcu & spp write icludes system interrupt flag reset
;      ld    [br:low mcu],#00110000b
;      ld    [br:low spp],#00h
;      ld    [br:low mode],#00000000b
;      ld    sp,#sp_316
;
;
;      ; ram,lcd ram clear and i/o initialize
;
;
;pk0(/irq3),psif(/irq2),psw(/irq1),ptm(/irq1)
;      ld    [br:low intr_pr0],#11100101b
;ppt(/irq3),pk1(/irq3)
;      ld    [br:low intr_pr1],#00000101b
;esw100,10,1(en),etm32,8,2,1(en.)
;      ld    [br:low intr_en0],#01111111b
;ept(en.),ek1(en.)ek0b(en.),ek0a(en.),eserr(en.),esrec(en.),estra(en.)
;      ld    [br:low intr_en1],#11111111b
;en. /nmi,/irq3,/irq2,/irq1
;      and    sc,#00111111b                ;i1 & i0 flag clear
;wait for interrupt
;      jrl    user_program
;

```

(1)

(2) ゼロ除算例外処理

```

;*****
;*
;*      zero divide
;*
;*****
zero_div:
;      rete

```

(2)

(3) ウォッチドッグタイマ(NMI)割り込み処理

```

;*****
;*
;*      watchdog timer (/nmi)
;*
;*****
watchdog:
;      push    ale
;      ld      br,#br_io                ;set br reg. address to 0ffxxh
;
;watchdog timer (/nmi) interrupt processing
;
;      pop     ale
;      rete

```

(3)

ソースリスト

(4) 周辺回路割り込み処理

```

*****
/*
/*      programmable timer 1 (/irq3)
/*
/*
*****
pt1_intr:
    push    ale
;
;      programmable timer 1 interrupt processing
;
    and     [br:low intr_fac1],#10000000b ;clear fpt1 interrupt flag
    pop     ale
    rete
;
*****
/*
/*      programmable timer 0 (/irq3)
/*
/*
*****
pt0_intr:
    push    ale
;
;      programmable timer 0 interrupt processing
;
    and     [br:low intr_fac1],#01000000b ;clear fpt0 interrupt flag
    pop     ale
    rete
;
*****
/*
/*      k1x input port (/irq3)
/*
/*
*****
k1x_intr:
    push    ale
;
;      k1x input port interrupt processing
;
    and     [br:low intr_fac1],#00100000b ;clear fk1 interrupt flag
    pop     ale
    rete
;
*****
/*
/*      k0h input port (/irq3)
/*
/*
*****
k0h_intr:
    push    ale
;
;      k0h input port interrupt processing
;
    and     [br:low intr_fac1],#00010000b ;clear fk0b interrupt flag
    pop     ale
    rete
;
*****
/*
/*      k0l input port 0 (/irq3)
/*
/*
*****
k0l_intr:
    push    ale
;
;      k0l input port interrupt processing
;
    and     [br:low intr_fac1],#00001000b ;clear fk0a interrupt flag
    pop     ale
    rete

```

ソースリスト

```

;*****
;*
;*      serial error (/irq2)
;*
;*****
serr_intr:
    push    ale
;
;      serial error interrupt processing
;
    and     [br:low intr_fac1],#00000100b ;clear fserr interrupt flag
    pop     ale
    rete
;*****
;*
;*      serial receive (/irq2)
;*
;*****
srv_intr:
    push    ale
;
;      serial receive interrupt processing
;
    and     [br:low intr_fac1],#0000010b ;clear fsrec interrupt flag
    pop     ale
    rete
;*****
;*
;*      serial transmission (/irq2)
;*
;*****
str_intr:
    push    ale
;
;      serial transmission interrupt processing
;
    and     [br:low intr_fac1],#00000001b ;clear fstra interrupt flag
    pop     ale
    rete
;*****
;*
;*      stopwatch 100hz (/irq1)
;*
;*****
sw100_intr:
    push    ale
;
;      stopwatch 100hz interrupt processing
;
    and     [br:low intr_fac0],#01000000b ;clear fsw100 interrupt flag
    pop     ale
    rete
;*****
;*
;*      stopwatch 10hz (/irq1)
;*
;*****
sw10_intr:
    push    ale
;
;      stopwatch 10hz interrupt processing
;
    and     [br:low intr_fac0],#00100000b ;clear fsw10 interrupt flag
    pop     ale
    rete

```

ソースリスト

```

*****
/*
/*      stopwatch 1hz (/irq1)
/*
/*
*****
sw1_intr:
    push    ale
;
;      stopwatch 1hz interrupt processing
;
    and     [br:low intr_fac0],#00010000b ;clear fsw1 interrupt flag
    pop     ale
    rete
;
*****
/*
/*      clock timer 32hz (/irq1)
/*
/*
*****
clock32_intr:
    push    ale
;
;      clock timer 32hz interrupt processing
;
    and     [br:low intr_fac0],#00001000b ;clear ftm32 interrupt flag
    pop     ale
    rete
;
*****
/*
/*      clock timer 8hz (/irq1)
/*
/*
*****
clock8_intr:
    push    ale
;
;      clock timer 8hz interrupt processing
;
    and     [br:low intr_fac0],#00000100b ;clear ftm8 interrupt flag
    pop     ale
    rete
;
*****
/*
/*      clock timer 2hz (/irq1)
/*
/*
*****
clock2_intr:
    push    ale
;
;      clock timer 2hz interrupt processing
;
    and     [br:low intr_fac0],#00000010b ;clear ftm2 interrupt flag
    pop     ale
    rete
;
*****
/*
/*      clock timer 1hz (/irq1)
/*
/*
*****
clock1_intr:
    push    ale
;
;      clock timer 1hz interrupt processing
;
    and     [br:low intr_fac0],#00000001b ;clear ftm1 interrupt flag
    pop     ale
    rete
;
    end

```

(4)

(4)

(4)

(4)

(4)

18 拡張モード

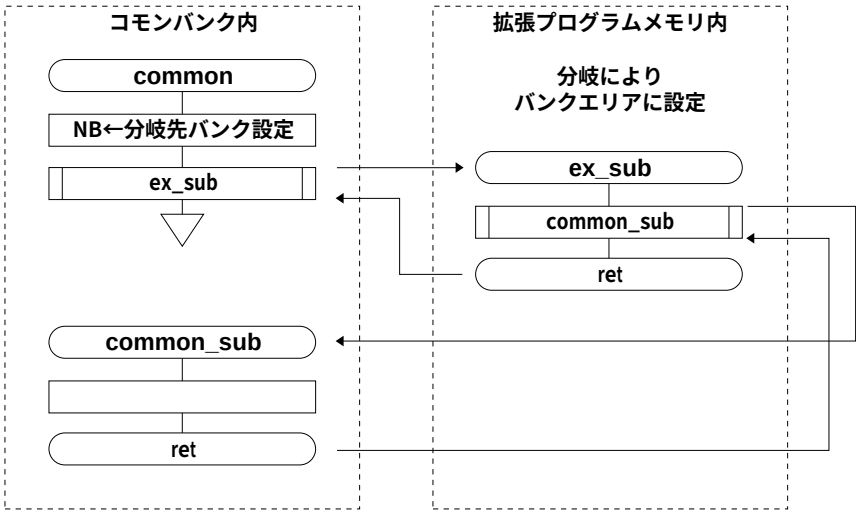
仕様

拡張モード時のメモリアクセス

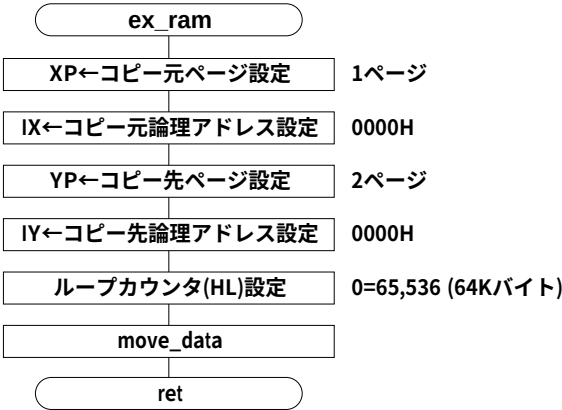
- (1) **common, common_sub, ex_sub: 論理空間外のプログラムメモリアクセス**
NBレジスタの設定により論理空間外のバンクに分岐させます。
- (2) **ex_ram, move_data: ページ間のデータブロック転送**
エクスパンドページレジスタの設定により1ページのデータ(64Kバイト)を2ページにコピーします。(レジスタ間接アドレッシング)
- (3) **ex_access: ページ外のデータアクセス**
エクスパンドページレジスタを使用してカレントページ外のデータメモリ領域をアクセスします。

フローチャート

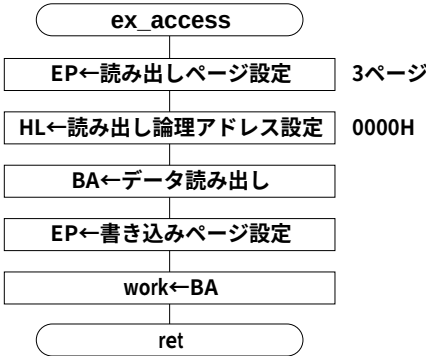
(1) 論理空間外のプログラムメモリアクセス



(2) ページ間のデータブロック転送

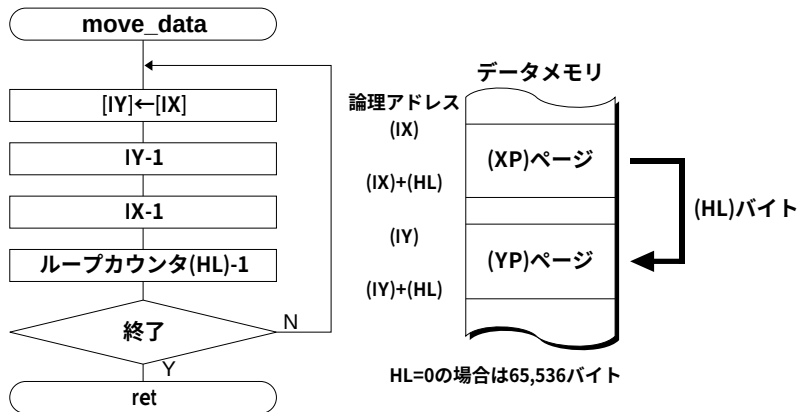


(3) ページ外のデータアクセス



フローチャート

(3) ページ外のデータアクセス



注意点

- (1) bocは物理アドレスからバンク値を算出するクロスアセンブラの単項演算子です。
locは物理アドレスからバンク内論理アドレスを算出するクロスアセンブラの単項演算子です。
- (2) podは物理アドレスからページ値を算出するクロスアセンブラの単項演算子です。
lodは物理アドレスからページ内論理アドレスを算出するクロスアセンブラの単項演算子です。

ソースリスト

```

public      common,common_sub
public      ex_sub

(1) 論理空間外のプログラムメモリアクセス
code
;
;*****
;
;common area (bank0 = 000000h -> 007ffffh) example
;
;*****
common:
;
;    ld    nb,#boc ex_sub      ;set new bank (external area)
;    carl  ex_sub              ;external bank sub routine call ***
;
;*****
;
;common sub-routine
;
;*****
common_sub:
;
;    ret
;
;*****
;
;external area (bank1 -> 15 = 008000h -> 07ffffh) example
;
;*****
ex_sub:
;
;    carl  common_sub          ;common bank sub routine call ***
;
;    ret
;
;    end

```

(1)

ソースリスト

```

;
src_data      equ    10000h          ;source data (page1=010000h -> 01ffffh)
dst_data      equ    20000h          ;destination data (page2=020000h -> 02ffffh)
;
ex_work       equ    30000h          ;external work area
;
work:         dw      [1]
               code
;

```

(2) ページ間のデータブロック転送

```

;*****
;
;
;      external ram page control
;
;*****
ex_ram:
    ld     xp,#pod src_data          ;source data page address
    ld     ix,#lod src_data          ;source data logical top address
    ld     yp,#pod dst_data          ;destination data page address
    ld     iy,#lod dst_data          ;destination data logical top address
    ld     hl,#0                     ;0 = 65,536 (64k byte)
    carl   move_data
    ret

;*****
;
;      move block data
;
;*****
move_data:
    ld     [iy],[ix]
    inc    iy
    inc    ix
    dec    hl
    jrs    nz,move_data
;
    ret

```

(2)

(3) ページ外のデータアクセス

```

;*****
;
;
;      external page data read and write
;
;*****
ex_access:
    ld     ep,#pod ex_work
    ld     hl,#lod ex_work
    ld     ba,[hl]
    ld     ep,#pod work
    ld     [lod work],ba
    ret
end

```

(3)

Appendix A 入出力ポート端子一覧表

[illegible]

[illegible]

● 空白の枠は、その列の他の特殊出力の設定によって決定されます。

- SIC88308の場合、K11端子およびR51端子がなく、バス解放機能は設定できません。また、R35～R37端子も設定されていません。

Appendix B インストラクション一覧表

インストラクション一覧表 (8ビット転送命令 1/3)

8ビット転送命令

ニーモニック		コード	オペレーション	サイクル	バイト	SC								備考
						11	10	U	D	N	V	C	Z	
LD	A,A	40	A←A	1	1	-	-	-	-	-	-	-	-	
	A,B	41	A←B	1	1	-	-	-	-	-	-	-	-	
	A,L	42	A←L	1	1	-	-	-	-	-	-	-	-	
	A,H	43	A←H	1	1	-	-	-	-	-	-	-	-	
	A,BR	CE,C0	A←BR	2	2	-	-	-	-	-	-	-	-	
	A,SC	CE,C1	A←SC	2	2	-	-	-	-	-	-	-	-	
	A,#nn	B0,nn	A←nn	2	2	-	-	-	-	-	-	-	-	
	A,[BR:ll]	44,ll	A←[BR:ll]	3	2	-	-	-	-	-	-	-	-	
	A,[hhll]	CE,D0,ll,hh	A←[hhll]	5	4	-	-	-	-	-	-	-	-	
	A,[HL]	45	A←[HL]	2	1	-	-	-	-	-	-	-	-	
	A,[IX]	46	A←[IX]	2	1	-	-	-	-	-	-	-	-	
	A,[IY]	47	A←[IY]	2	1	-	-	-	-	-	-	-	-	
	A,[IX+dd]	CE,40,dd	A←[IX+dd]	4	3	-	-	-	-	-	-	-	-	
	A,[IY+dd]	CE,41,dd	A←[IY+dd]	4	3	-	-	-	-	-	-	-	-	
	A,[IX+L]	CE,42	A←[IX+L]	4	2	-	-	-	-	-	-	-	-	
	A,[IY+L]	CE,43	A←[IY+L]	4	2	-	-	-	-	-	-	-	-	
	A,NB	CE,C8	A←NB	2	2	-	-	-	-	-	-	-	-	MODEL2/3 のみ
	A,EP	CE,C9	A←EP	2	2	-	-	-	-	-	-	-	-	
	A,XP	CE,CA	A←XP	2	2	-	-	-	-	-	-	-	-	
	A,YP	CE,CB	A←YP	2	2	-	-	-	-	-	-	-	-	
LD	B,A	48	B←A	1	1	-	-	-	-	-	-	-	-	
	B,B	49	B←B	1	1	-	-	-	-	-	-	-	-	
	B,L	4A	B←L	1	1	-	-	-	-	-	-	-	-	
	B,H	4B	B←H	1	1	-	-	-	-	-	-	-	-	
	B,#nn	B1,nn	B←nn	2	2	-	-	-	-	-	-	-	-	
	B,[BR:ll]	4C,ll	B←[BR:ll]	3	2	-	-	-	-	-	-	-	-	
	B,[hhll]	CE,D1,ll,hh	B←[hhll]	5	4	-	-	-	-	-	-	-	-	
	B,[HL]	4D	B←[HL]	2	1	-	-	-	-	-	-	-	-	
	B,[IX]	4E	B←[IX]	2	1	-	-	-	-	-	-	-	-	
	B,[IY]	4F	B←[IY]	2	1	-	-	-	-	-	-	-	-	
	B,[IX+dd]	CE,48,dd	B←[IX+dd]	4	3	-	-	-	-	-	-	-	-	
	B,[IY+dd]	CE,49,dd	B←[IY+dd]	4	3	-	-	-	-	-	-	-	-	
	B,[IX+L]	CE,4A	B←[IX+L]	4	2	-	-	-	-	-	-	-	-	
	B,[IY+L]	CE,4B	B←[IY+L]	4	2	-	-	-	-	-	-	-	-	
LD	L,A	50	L←A	1	1	-	-	-	-	-	-	-	-	
	L,B	51	L←B	1	1	-	-	-	-	-	-	-	-	
	L,L	52	L←L	1	1	-	-	-	-	-	-	-	-	
	L,H	53	L←H	1	1	-	-	-	-	-	-	-	-	
	L,#nn	B2,nn	L←nn	2	2	-	-	-	-	-	-	-	-	
	L,[BR:ll]	54,ll	L←[BR:ll]	3	2	-	-	-	-	-	-	-	-	
	L,[hhll]	CE,D2,ll,hh	L←[hhll]	5	4	-	-	-	-	-	-	-	-	
	L,[HL]	55	L←[HL]	2	1	-	-	-	-	-	-	-	-	
	L,[IX]	56	L←[IX]	2	1	-	-	-	-	-	-	-	-	
	L,[IY]	57	L←[IY]	2	1	-	-	-	-	-	-	-	-	
	L,[IX+dd]	CE,50,dd	L←[IX+dd]	4	3	-	-	-	-	-	-	-	-	
	L,[IY+dd]	CE,51,dd	L←[IY+dd]	4	3	-	-	-	-	-	-	-	-	
	L,[IX+L]	CE,52	L←[IX+L]	4	2	-	-	-	-	-	-	-	-	
	L,[IY+L]	CE,53	L←[IY+L]	4	2	-	-	-	-	-	-	-	-	

* ニューコードバンクレジスタNBおよびエクスパンドページレジスタEP/XP/YPはMODEL2/3にのみ設定されています。したがって、MODEL0/1ではこれらのレジスタをアクセスする命令は使用できません。

インストラクション一覧表 (8ビット転送命令 2/3)

8ビット転送命令

ニーモニック		コード	オペレーション	サイクル	バイト	SC								備考
						I1	I0	U	D	N	V	C	Z	
LD	H,A	58	H←A	1	1	-	-	-	-	-	-	-	-	
	H,B	59	H←B	1	1	-	-	-	-	-	-	-	-	
	H,L	5A	H←L	1	1	-	-	-	-	-	-	-	-	
	H,H	5B	H←H	1	1	-	-	-	-	-	-	-	-	
	H,#nn	B3,nn	H←nn	2	2	-	-	-	-	-	-	-	-	
	H,[BR:ll]	5C,ll	H←[BR:ll]	3	2	-	-	-	-	-	-	-	-	
	H,[hhll]	CE,D3,ll,hh	H←[hhll]	5	4	-	-	-	-	-	-	-	-	
	H,[HL]	5D	H←[HL]	2	1	-	-	-	-	-	-	-	-	
	H,[IX]	5E	H←[IX]	2	1	-	-	-	-	-	-	-	-	
	H,[IY]	5F	H←[IY]	2	1	-	-	-	-	-	-	-	-	
	H,[IX+dd]	CE,58,dd	H←[IX+dd]	4	3	-	-	-	-	-	-	-	-	
	H,[IY+dd]	CE,59,dd	H←[IY+dd]	4	3	-	-	-	-	-	-	-	-	
	H,[IX+L]	CE,5A	H←[IX+L]	4	2	-	-	-	-	-	-	-	-	
	H,[IY+L]	CE,5B	H←[IY+L]	4	2	-	-	-	-	-	-	-	-	
LD	BR,A	CE,C2	BR←A	2	2	-	-	-	-	-	-	-	-	
	BR,#hh	B4,hh	BR←hh	2	2	-	-	-	-	-	-	-	-	
LD	SC,A	CE,C3	SC←A	3	2	↑	↑	↑	↑	↑	↑	↑	↑	
	SC,#nn	9F,nn	SC←nn	3	2	↑	↑	↑	↑	↑	↑	↑	↑	
LD	[BR:ll],A	78,ll	[BR:ll]←A	3	2	-	-	-	-	-	-	-	-	
	[BR:ll],B	79,ll	[BR:ll]←B	3	2	-	-	-	-	-	-	-	-	
	[BR:ll],L	7A,ll	[BR:ll]←L	3	2	-	-	-	-	-	-	-	-	
	[BR:ll],H	7B,ll	[BR:ll]←H	3	2	-	-	-	-	-	-	-	-	
	[BR:ll],#nn	DD,ll,nn	[BR:ll]←nn	4	3	-	-	-	-	-	-	-	-	
	[BR:ll],[HL]	7D,ll	[BR:ll]←[HL]	4	2	-	-	-	-	-	-	-	-	
	[BR:ll],[IX]	7E,ll	[BR:ll]←[IX]	4	2	-	-	-	-	-	-	-	-	
	[BR:ll],[IY]	7F,ll	[BR:ll]←[IY]	4	2	-	-	-	-	-	-	-	-	
LD	[hhll],A	CE,D4,ll,hh	[hhll]←A	5	4	-	-	-	-	-	-	-	-	
	[hhll],B	CE,D5,ll,hh	[hhll]←B	5	4	-	-	-	-	-	-	-	-	
	[hhll],L	CE,D6,ll,hh	[hhll]←L	5	4	-	-	-	-	-	-	-	-	
	[hhll],H	CE,D7,ll,hh	[hhll]←H	5	4	-	-	-	-	-	-	-	-	
LD	[HL],A	68	[HL]←A	2	1	-	-	-	-	-	-	-	-	
	[HL],B	69	[HL]←B	2	1	-	-	-	-	-	-	-	-	
	[HL],L	6A	[HL]←L	2	1	-	-	-	-	-	-	-	-	
	[HL],H	6B	[HL]←H	2	1	-	-	-	-	-	-	-	-	
	[HL],#nn	B5,nn	[HL]←nn	3	2	-	-	-	-	-	-	-	-	
	[HL],[BR:ll]	6C,ll	[HL]←[BR:ll]	4	2	-	-	-	-	-	-	-	-	
	[HL],[HL]	6D	[HL]←[HL]	3	1	-	-	-	-	-	-	-	-	
	[HL],[IX]	6E	[HL]←[IX]	3	1	-	-	-	-	-	-	-	-	
	[HL],[IY]	6F	[HL]←[IY]	3	1	-	-	-	-	-	-	-	-	
	[HL],[IX+dd]	CE,60,dd	[HL]←[IX+dd]	5	3	-	-	-	-	-	-	-	-	
	[HL],[IY+dd]	CE,61,dd	[HL]←[IY+dd]	5	3	-	-	-	-	-	-	-	-	
	[HL],[IX+L]	CE,62	[HL]←[IX+L]	5	2	-	-	-	-	-	-	-	-	
	[HL],[IY+L]	CE,63	[HL]←[IY+L]	5	2	-	-	-	-	-	-	-	-	
	LD	[IX],A	60	[IX]←A	2	1	-	-	-	-	-	-	-	-
[IX],B		61	[IX]←B	2	1	-	-	-	-	-	-	-	-	
[IX],L		62	[IX]←L	2	1	-	-	-	-	-	-	-	-	
[IX],H		63	[IX]←H	2	1	-	-	-	-	-	-	-	-	
[IX],#nn		B6,nn	[IX]←nn	3	2	-	-	-	-	-	-	-	-	

インストラクション一覧表 (8ビット転送命令 3/3)

8ビット転送命令

ニーモニック	コード	オペレーション	サイクル	バイト	SC								備考
					I1	I0	U	D	N	V	C	Z	
LD	[IX],[BR:ll]	64,ll	[IX]←[BR:ll]	4	2	-	-	-	-	-	-	-	
	[IX],[HL]	65	[IX]←[HL]	3	1	-	-	-	-	-	-	-	
	[IX],[IX]	66	[IX]←[IX]	3	1	-	-	-	-	-	-	-	
	[IX],[IY]	67	[IX]←[IY]	3	1	-	-	-	-	-	-	-	
	[IX],[IX+dd]	CE,68,dd	[IX]←[IX+dd]	5	3	-	-	-	-	-	-	-	
	[IX],[IY+dd]	CE,69,dd	[IX]←[IY+dd]	5	3	-	-	-	-	-	-	-	
	[IX],[IX+L]	CE,6A	[IX]←[IX+L]	5	2	-	-	-	-	-	-	-	
	[IX],[IY+L]	CE,6B	[IX]←[IY+L]	5	2	-	-	-	-	-	-	-	
LD	[IY],A	70	[IY]←A	2	1	-	-	-	-	-	-	-	
	[IY],B	71	[IY]←B	2	1	-	-	-	-	-	-	-	
	[IY],L	72	[IY]←L	2	1	-	-	-	-	-	-	-	
	[IY],H	73	[IY]←H	2	1	-	-	-	-	-	-	-	
	[IY],#nn	B7,nn	[IY]←nn	3	2	-	-	-	-	-	-	-	
	[IY],[BR:ll]	74,ll	[IY]←[BR:ll]	4	2	-	-	-	-	-	-	-	
	[IY],[HL]	75	[IY]←[HL]	3	1	-	-	-	-	-	-	-	
	[IY],[IX]	76	[IY]←[IX]	3	1	-	-	-	-	-	-	-	
	[IY],[IY]	77	[IY]←[IY]	3	1	-	-	-	-	-	-	-	
	[IY],[IX+dd]	CE,78,dd	[IY]←[IX+dd]	5	3	-	-	-	-	-	-	-	
	[IY],[IY+dd]	CE,79,dd	[IY]←[IY+dd]	5	3	-	-	-	-	-	-	-	
	[IY],[IX+L]	CE,7A	[IY]←[IX+L]	5	2	-	-	-	-	-	-	-	
	[IY],[IY+L]	CE,7B	[IY]←[IY+L]	5	2	-	-	-	-	-	-	-	
LD	[IX+dd],A	CE,44,dd	[IX+dd]←A	4	3	-	-	-	-	-	-	-	
	[IX+dd],B	CE,4C,dd	[IX+dd]←B	4	3	-	-	-	-	-	-	-	
	[IX+dd],L	CE,54,dd	[IX+dd]←L	4	3	-	-	-	-	-	-	-	
	[IX+dd],H	CE,5C,dd	[IX+dd]←H	4	3	-	-	-	-	-	-	-	
LD	[IY+dd],A	CE,45,dd	[IY+dd]←A	4	3	-	-	-	-	-	-	-	
	[IY+dd],B	CE,4D,dd	[IY+dd]←B	4	3	-	-	-	-	-	-	-	
	[IY+dd],L	CE,55,dd	[IY+dd]←L	4	3	-	-	-	-	-	-	-	
	[IY+dd],H	CE,5D,dd	[IY+dd]←H	4	3	-	-	-	-	-	-	-	
LD	[IX+L],A	CE,46	[IX+L]←A	4	2	-	-	-	-	-	-	-	
	[IX+L],B	CE,4E	[IX+L]←B	4	2	-	-	-	-	-	-	-	
	[IX+L],L	CE,56	[IX+L]←L	4	2	-	-	-	-	-	-	-	
	[IX+L],H	CE,5E	[IX+L]←H	4	2	-	-	-	-	-	-	-	
LD	[IY+L],A	CE,47	[IY+L]←A	4	2	-	-	-	-	-	-	-	
	[IY+L],B	CE,4F	[IY+L]←B	4	2	-	-	-	-	-	-	-	
	[IY+L],L	CE,57	[IY+L]←L	4	2	-	-	-	-	-	-	-	
	[IY+L],H	CE,5F	[IY+L]←H	4	2	-	-	-	-	-	-	-	
LD	NB,A	CE,CC	NB←A	3	2	-	-	-	-	-	-	-	MODEL2/3 のみ
	NB,#bb	CE,C4,bb	NB←bb	4	3	-	-	-	-	-	-	-	
LD	EP,A	CE,CD	EP←A	2	2	-	-	-	-	-	-	-	
	EP,#pp	CE,C5,pp	EP←pp	3	3	-	-	-	-	-	-	-	
LD	XP,A	CE,CE	XP←A	2	2	-	-	-	-	-	-	-	
	XP,#pp	CE,C6,pp	XP←pp	3	3	-	-	-	-	-	-	-	
LD	YP,A	CE,CF	YP←A	2	2	-	-	-	-	-	-	-	
	YP,#pp	CE,C7,pp	YP←pp	3	3	-	-	-	-	-	-	-	
EX	A,B	CC	A↔B	2	1	-	-	-	-	-	-	-	
	A,[HL]	CD	A↔[HL]	3	1	-	-	-	-	-	-	-	
SWAP	A	F6	A(H)↔A(L)	2	1	-	-	-	-	-	-	-	
	[HL]	F7	[HL](H)↔[HL](L)	3	1	-	-	-	-	-	-	-	

* ニューコードバンクレジスタNBおよびエクスパンドページレジスタEP/XP/YPはMODEL2/3にのみ設定されています。したがって、MODEL0/1ではこれらのレジスタをアクセスする命令は使用できません。

インストラクション一覧表 (16ビット転送命令 1/2)

16ビット転送命令

ニーモニック	コード	オペレーション	サイクル	バイト	SC								備考
LD	BA,BA	CF,E0	BA←BA	2	2	-	-	-	-	-	-	-	
	BA,HL	CF,E1	BA←HL	2	2	-	-	-	-	-	-	-	
	BA,IX	CF,E2	BA←IX	2	2	-	-	-	-	-	-	-	
	BA,IY	CF,E3	BA←IY	2	2	-	-	-	-	-	-	-	
	BA,SP	CF,F8	BA←SP	2	2	-	-	-	-	-	-	-	
	BA,PC	CF,F9	BA←PC+2	2	2	-	-	-	-	-	-	-	
	BA,#mmnn	C4,nn,mm	BA←mmnn	3	3	-	-	-	-	-	-	-	
	BA,[hh/l]	B8,l,hh	A←[hh/l], B←[hh/l+1]	5	3	-	-	-	-	-	-	-	
	BA,[HL]	CF,C0	A←[HL], B←[HL+1]	5	2	-	-	-	-	-	-	-	
	BA,[IX]	CF,D0	A←[IX], B←[IX+1]	5	2	-	-	-	-	-	-	-	
	BA,[IY]	CF,D8	A←[IY], B←[IY+1]	5	2	-	-	-	-	-	-	-	
LD	BA,[SP+dd]	CF,70,dd	A←[SP+dd], B←[SP+dd+1]	6	3	-	-	-	-	-	-	-	
	HL,BA	CF,E4	HL←BA	2	2	-	-	-	-	-	-	-	
	HL,HL	CF,E5	HL←HL	2	2	-	-	-	-	-	-	-	
	HL,IX	CF,E6	HL←IX	2	2	-	-	-	-	-	-	-	
	HL,IY	CF,E7	HL←IY	2	2	-	-	-	-	-	-	-	
	HL,SP	CF,F4	HL←SP	2	2	-	-	-	-	-	-	-	
	HL,PC	CF,F5	HL←PC+2	2	2	-	-	-	-	-	-	-	
	HL,#mmnn	C5,nn,mm	HL←mmnn	3	3	-	-	-	-	-	-	-	
	HL,[hh/l]	B9,l,hh	L←[hh/l], H←[hh/l+1]	5	3	-	-	-	-	-	-	-	
	HL,[HL]	CF,C1	L←[HL], H←[HL+1]	5	2	-	-	-	-	-	-	-	
	HL,[IX]	CF,D1	L←[IX], H←[IX+1]	5	2	-	-	-	-	-	-	-	
LD	HL,[IY]	CF,D9	L←[IY], H←[IY+1]	5	2	-	-	-	-	-	-	-	
	HL,[SP+dd]	CF,71,dd	L←[SP+dd], H←[SP+dd+1]	6	3	-	-	-	-	-	-	-	
	IX,BA	CF,E8	IX←BA	2	2	-	-	-	-	-	-	-	
	IX,HL	CF,E9	IX←HL	2	2	-	-	-	-	-	-	-	
	IX,IX	CF,EA	IX←IX	2	2	-	-	-	-	-	-	-	
	IX,IY	CF,EB	IX←IY	2	2	-	-	-	-	-	-	-	
	IX,SP	CF,FA	IX←SP	2	2	-	-	-	-	-	-	-	
	IX,#mmnn	C6,nn,mm	IX←mmnn	3	3	-	-	-	-	-	-	-	
	IX,[hh/l]	BA,l,hh	IX(L)←[hh/l], IX(H)←[hh/l+1]	5	3	-	-	-	-	-	-	-	
	IX,[HL]	CF,C2	IX(L)←[HL], IX(H)←[HL+1]	5	2	-	-	-	-	-	-	-	
	IX,[IX]	CF,D2	IX(L)←[IX], IX(H)←[IX+1]	5	2	-	-	-	-	-	-	-	
LD	IX,[IY]	CF,DA	IX(L)←[IY], IX(H)←[IY+1]	5	2	-	-	-	-	-	-	-	
	IX,[SP+dd]	CF,72,dd	IX(L)←[SP+dd], IX(H)←[SP+dd+1]	6	3	-	-	-	-	-	-	-	
	IY,BA	CF,EC	IY←BA	2	2	-	-	-	-	-	-	-	
	IY,HL	CF,ED	IY←HL	2	2	-	-	-	-	-	-	-	
	IY,IX	CF,EE	IY←IX	2	2	-	-	-	-	-	-	-	
	IY,IY	CF,EF	IY←IY	2	2	-	-	-	-	-	-	-	
	IY,SP	CF,FE	IY←SP	2	2	-	-	-	-	-	-	-	
	IY,#mmnn	C7,nn,mm	IY←mmnn	3	3	-	-	-	-	-	-	-	
	IY,[hh/l]	BB,l,hh	IY(L)←[hh/l], IY(H)←[hh/l+1]	5	3	-	-	-	-	-	-	-	
	IY,[HL]	CF,C3	IY(L)←[HL], IY(H)←[HL+1]	5	2	-	-	-	-	-	-	-	
	IY,[IX]	CF,D3	IY(L)←[IX], IY(H)←[IX+1]	5	2	-	-	-	-	-	-	-	
	IY,[IY]	CF,DB	IY(L)←[IY], IY(H)←[IY+1]	5	2	-	-	-	-	-	-	-	
	IY,[SP+dd]	CF,73,dd	IY(L)←[SP+dd], IY(H)←[SP+dd+1]	6	3	-	-	-	-	-	-	-	

インストラクション一覧表 (16ビット転送命令 2/2)

16ビット転送命令

ニーモニック	コード	オペレーション	サイクル	バイト	SC								備考
					I1	I0	U	D	N	V	C	Z	
LD	SP,BA	CF,F0	SP←BA	2	2	-	-	-	-	-	-	-	
	SP,[hhll]	CF,78,ll,hh	SP(L)←[hhll], SP(H)←[hhll+1]	6	4	-	-	-	-	-	-	-	
	SP,HL	CF,F1	SP←HL	2	2	-	-	-	-	-	-	-	
	SP,IX	CF,F2	SP←IX	2	2	-	-	-	-	-	-	-	
	SP,IY	CF,F3	SP←IY	2	2	-	-	-	-	-	-	-	
	SP,#mmnn	CF,6E,nn,mm	SP←mmnn	4	4	-	-	-	-	-	-	-	
LD	[hhll],BA	BC,ll,hh	[hhll]←A, [hhll+1]←B	5	3	-	-	-	-	-	-	-	
	[hhll],HL	BD,ll,hh	[hhll]←L, [hhll+1]←H	5	3	-	-	-	-	-	-	-	
	[hhll],IX	BE,ll,hh	[hhll]←IX(L), [hhll+1]←IX(H)	5	3	-	-	-	-	-	-	-	
	[hhll],IY	BF,ll,hh	[hhll]←IY(L), [hhll+1]←IY(H)	5	3	-	-	-	-	-	-	-	
	[hhll],SP	CF,7C,ll,hh	[hhll]←SP(L), [hhll+1]←SP(H)	6	4	-	-	-	-	-	-	-	
LD	[HL],BA	CF,C4	[HL]←A, [HL+1]←B	5	2	-	-	-	-	-	-	-	
	[HL],HL	CF,C5	[HL]←L, [HL+1]←H	5	2	-	-	-	-	-	-	-	
	[HL],IX	CF,C6	[HL]←IX(L), [HL+1]←IX(H)	5	2	-	-	-	-	-	-	-	
	[HL],IY	CF,C7	[HL]←IY(L), [HL+1]←IY(H)	5	2	-	-	-	-	-	-	-	
LD	[IX],BA	CF,D4	[IX]←A, [IX+1]←B	5	2	-	-	-	-	-	-	-	
	[IX],HL	CF,D5	[IX]←L, [IX+1]←H	5	2	-	-	-	-	-	-	-	
	[IX],IX	CF,D6	[IX]←IX(L), [IX+1]←IX(H)	5	2	-	-	-	-	-	-	-	
	[IX],IY	CF,D7	[IX]←IY(L), [IX+1]←IY(H)	5	2	-	-	-	-	-	-	-	
LD	[IY],BA	CF,DC	[IY]←A, [IY+1]←B	5	2	-	-	-	-	-	-	-	
	[IY],HL	CF,DD	[IY]←L, [IY+1]←H	5	2	-	-	-	-	-	-	-	
	[IY],IX	CF,DE	[IY]←IX(L), [IY+1]←IX(H)	5	2	-	-	-	-	-	-	-	
	[IY],IY	CF,DF	[IY]←IY(L), [IY+1]←IY(H)	5	2	-	-	-	-	-	-	-	
LD	[SP+dd],BA	CF,74,dd	[SP+dd]←A, [SP+dd+1]←B	6	3	-	-	-	-	-	-	-	
	[SP+dd],HL	CF,75,dd	[SP+dd]←L, [SP+dd+1]←H	6	3	-	-	-	-	-	-	-	
	[SP+dd],IX	CF,76,dd	[SP+dd]←IX(L), [SP+dd+1]←IX(H)	6	3	-	-	-	-	-	-	-	
	[SP+dd],IY	CF,77,dd	[SP+dd]←IY(L), [SP+dd+1]←IY(H)	6	3	-	-	-	-	-	-	-	
EX	BA,HL	C8	BA↔HL	3	1	-	-	-	-	-	-	-	
	BA,IX	C9	BA↔IX	3	1	-	-	-	-	-	-	-	
	BA,IY	CA	BA↔IY	3	1	-	-	-	-	-	-	-	
	BA,SP	CB	BA↔SP	3	1	-	-	-	-	-	-	-	

インストラクション一覧表 (8ビット論理&演算命令 1/4)

8ビット算術論理演算命令

ニーモニック	コード	オペレーション	サイクル	バイト	SC								備考
					I1	I0	U	D	N	V	C	Z	
ADD	A,A	00	$A \leftarrow A+A$	2	1	-	-	★	★	↑	↑	↑	↑
	A,B	01	$A \leftarrow A+B$	2	1	-	-	★	★	↑	↑	↑	↑
	A,#nn	02,nn	$A \leftarrow A+nn$	2	2	-	-	★	★	↑	↑	↑	↑
	A,[BR:ll]	04,ll	$A \leftarrow A+[BR:ll]$	3	2	-	-	★	★	↑	↑	↑	↑
	A,[hhll]	05,ll,hh	$A \leftarrow A+[hhll]$	4	3	-	-	★	★	↑	↑	↑	↑
	A,[HL]	03	$A \leftarrow A+[HL]$	2	1	-	-	★	★	↑	↑	↑	↑
	A,[IX]	06	$A \leftarrow A+[IX]$	2	1	-	-	★	★	↑	↑	↑	↑
	A,[IY]	07	$A \leftarrow A+[IY]$	2	1	-	-	★	★	↑	↑	↑	↑
	A,[IX+dd]	CE,00,dd	$A \leftarrow A+[IX+dd]$	4	3	-	-	★	★	↑	↑	↑	↑
	A,[IY+dd]	CE,01,dd	$A \leftarrow A+[IY+dd]$	4	3	-	-	★	★	↑	↑	↑	↑
	A,[IX+L]	CE,02	$A \leftarrow A+[IX+L]$	4	2	-	-	★	★	↑	↑	↑	↑
	A,[IY+L]	CE,03	$A \leftarrow A+[IY+L]$	4	2	-	-	★	★	↑	↑	↑	↑
	[HL],A	CE,04	$[HL] \leftarrow [HL]+A$	4	2	-	-	★	★	↑	↑	↑	↑
	[HL],#nn	CE,05,nn	$[HL] \leftarrow [HL]+nn$	5	3	-	-	★	★	↑	↑	↑	↑
	[HL],[IX]	CE,06	$[HL] \leftarrow [HL]+[IX]$	5	2	-	-	★	★	↑	↑	↑	↑
	[HL],[IY]	CE,07	$[HL] \leftarrow [HL]+[IY]$	5	2	-	-	★	★	↑	↑	↑	↑
ADC	A,A	08	$A \leftarrow A+A+C$	2	1	-	-	★	★	↑	↑	↑	↑
	A,B	09	$A \leftarrow A+B+C$	2	1	-	-	★	★	↑	↑	↑	↑
	A,#nn	0A,nn	$A \leftarrow A+nn+C$	2	2	-	-	★	★	↑	↑	↑	↑
	A,[BR:ll]	0C,ll	$A \leftarrow A+[BR:ll]+C$	3	2	-	-	★	★	↑	↑	↑	↑
	A,[hhll]	0D,ll,hh	$A \leftarrow A+[hhll]+C$	4	3	-	-	★	★	↑	↑	↑	↑
	A,[HL]	0B	$A \leftarrow A+[HL]+C$	2	1	-	-	★	★	↑	↑	↑	↑
	A,[IX]	0E	$A \leftarrow A+[IX]+C$	2	1	-	-	★	★	↑	↑	↑	↑
	A,[IY]	0F	$A \leftarrow A+[IY]+C$	2	1	-	-	★	★	↑	↑	↑	↑
	A,[IX+dd]	CE,08,dd	$A \leftarrow A+[IX+dd]+C$	4	3	-	-	★	★	↑	↑	↑	↑
	A,[IY+dd]	CE,09,dd	$A \leftarrow A+[IY+dd]+C$	4	3	-	-	★	★	↑	↑	↑	↑
	A,[IX+L]	CE,0A	$A \leftarrow A+[IX+L]+C$	4	2	-	-	★	★	↑	↑	↑	↑
	A,[IY+L]	CE,0B	$A \leftarrow A+[IY+L]+C$	4	2	-	-	★	★	↑	↑	↑	↑
	[HL],A	CE,0C	$[HL] \leftarrow [HL]+A+C$	4	2	-	-	★	★	↑	↑	↑	↑
	[HL],#nn	CE,0D,nn	$[HL] \leftarrow [HL]+nn+C$	5	3	-	-	★	★	↑	↑	↑	↑
	[HL],[IX]	CE,0E	$[HL] \leftarrow [HL]+[IX]+C$	5	2	-	-	★	★	↑	↑	↑	↑
	[HL],[IY]	CE,0F	$[HL] \leftarrow [HL]+[IY]+C$	5	2	-	-	★	★	↑	↑	↑	↑
SUB	A,A	10	$A \leftarrow A-A$	2	1	-	-	★	★	↑	↑	↑	↑
	A,B	11	$A \leftarrow A-B$	2	1	-	-	★	★	↑	↑	↑	↑
	A,#nn	12,nn	$A \leftarrow A-nn$	2	2	-	-	★	★	↑	↑	↑	↑
	A,[BR:ll]	14,ll	$A \leftarrow A-[BR:ll]$	3	2	-	-	★	★	↑	↑	↑	↑
	A,[hhll]	15,ll,hh	$A \leftarrow A-[hhll]$	4	3	-	-	★	★	↑	↑	↑	↑
	A,[HL]	13	$A \leftarrow A-[HL]$	2	1	-	-	★	★	↑	↑	↑	↑
	A,[IX]	16	$A \leftarrow A-[IX]$	2	1	-	-	★	★	↑	↑	↑	↑
	A,[IY]	17	$A \leftarrow A-[IY]$	2	1	-	-	★	★	↑	↑	↑	↑
	A,[IX+dd]	CE,10,dd	$A \leftarrow A-[IX+dd]$	4	3	-	-	★	★	↑	↑	↑	↑
	A,[IY+dd]	CE,11,dd	$A \leftarrow A-[IY+dd]$	4	3	-	-	★	★	↑	↑	↑	↑
	A,[IX+L]	CE,12	$A \leftarrow A-[IX+L]$	4	2	-	-	★	★	↑	↑	↑	↑
	A,[IY+L]	CE,13	$A \leftarrow A-[IY+L]$	4	2	-	-	★	★	↑	↑	↑	↑
	[HL],A	CE,14	$[HL] \leftarrow [HL]-A$	4	2	-	-	★	★	↑	↑	↑	↑
	[HL],#nn	CE,15,nn	$[HL] \leftarrow [HL]-nn$	5	3	-	-	★	★	↑	↑	↑	↑
	[HL],[IX]	CE,16	$[HL] \leftarrow [HL]-[IX]$	5	2	-	-	★	★	↑	↑	↑	↑
	[HL],[IY]	CE,17	$[HL] \leftarrow [HL]-[IY]$	5	2	-	-	★	★	↑	↑	↑	↑

インストラクション一覧表 (8ビット論理&演算命令 2/4)

8ビット算術論理演算命令

ニーモニック	コード	オペレーション	サイクル	バイト	SC								備考
					I1	I0	U	D	N	V	C	Z	
SBC	A,A	18	$A \leftarrow A - A - C$	2	1	-	-	★	★	↑	↓	↑	↓
	A,B	19	$A \leftarrow A - B - C$	2	1	-	-	★	★	↑	↓	↑	↓
	A,#nn	1A,nn	$A \leftarrow A - nn - C$	2	2	-	-	★	★	↑	↓	↑	↓
	A,[BR:ll]	1C,ll	$A \leftarrow A - [BR:ll] - C$	3	2	-	-	★	★	↑	↓	↑	↓
	A,[hhll]	1D,ll,hh	$A \leftarrow A - [hhll] - C$	4	3	-	-	★	★	↑	↓	↑	↓
	A,[HL]	1B	$A \leftarrow A - [HL] - C$	2	1	-	-	★	★	↑	↓	↑	↓
	A,[IX]	1E	$A \leftarrow A - [IX] - C$	2	1	-	-	★	★	↑	↓	↑	↓
	A,[IY]	1F	$A \leftarrow A - [IY] - C$	2	1	-	-	★	★	↑	↓	↑	↓
	A,[IX+dd]	CE,18,dd	$A \leftarrow A - [IX+dd] - C$	4	3	-	-	★	★	↑	↓	↑	↓
	A,[IY+dd]	CE,19,dd	$A \leftarrow A - [IY+dd] - C$	4	3	-	-	★	★	↑	↓	↑	↓
	A,[IX+L]	CE,1A	$A \leftarrow A - [IX+L] - C$	4	2	-	-	★	★	↑	↓	↑	↓
	A,[IY+L]	CE,1B	$A \leftarrow A - [IY+L] - C$	4	2	-	-	★	★	↑	↓	↑	↓
	[HL],A	CE,1C	$[HL] \leftarrow [HL] - A - C$	4	2	-	-	★	★	↑	↓	↑	↓
	[HL],#nn	CE,1D,nn	$[HL] \leftarrow [HL] - nn - C$	5	3	-	-	★	★	↑	↓	↑	↓
AND	A,A	20	$A \leftarrow A \wedge A$	2	1	-	-	-	-	↑	-	-	↓
	A,B	21	$A \leftarrow A \wedge B$	2	1	-	-	-	-	↑	-	-	↓
	A,#nn	22,nn	$A \leftarrow A \wedge nn$	2	2	-	-	-	-	↑	-	-	↓
	A,[BR:ll]	24,ll	$A \leftarrow A \wedge [BR:ll]$	3	2	-	-	-	-	↑	-	-	↓
	A,[hhll]	25,ll,hh	$A \leftarrow A \wedge [hhll]$	4	3	-	-	-	-	↑	-	-	↓
	A,[HL]	23	$A \leftarrow A \wedge [HL]$	2	1	-	-	-	-	↑	-	-	↓
	A,[IX]	26	$A \leftarrow A \wedge [IX]$	2	1	-	-	-	-	↑	-	-	↓
	A,[IY]	27	$A \leftarrow A \wedge [IY]$	2	1	-	-	-	-	↑	-	-	↓
	A,[IX+dd]	CE,20,dd	$A \leftarrow A \wedge [IX+dd]$	4	3	-	-	-	-	↑	-	-	↓
	A,[IY+dd]	CE,21,dd	$A \leftarrow A \wedge [IY+dd]$	4	3	-	-	-	-	↑	-	-	↓
	A,[IX+L]	CE,22	$A \leftarrow A \wedge [IX+L]$	4	2	-	-	-	-	↑	-	-	↓
	A,[IY+L]	CE,23	$A \leftarrow A \wedge [IY+L]$	4	2	-	-	-	-	↑	-	-	↓
	B,#nn	CE,B0,nn	$B \leftarrow B \wedge nn$	3	3	-	-	-	-	↑	-	-	↓
	L,#nn	CE,B1,nn	$L \leftarrow L \wedge nn$	3	3	-	-	-	-	↑	-	-	↓
	H,#nn	CE,B2,nn	$H \leftarrow H \wedge nn$	3	3	-	-	-	-	↑	-	-	↓
	SC,#nn	9C,nn	$SC \leftarrow SC \wedge nn$	3	2	↓	↓	↓	↓	↓	↓	↓	↓
	[BR:ll],#nn	D8,ll,nn	$[BR:ll] \leftarrow [BR:ll] \wedge nn$	5	3	-	-	-	-	↑	-	-	↓
	[HL],A	CE,24	$[HL] \leftarrow [HL] \wedge A$	4	2	-	-	-	-	↑	-	-	↓
	[HL],#nn	CE,25,nn	$[HL] \leftarrow [HL] \wedge nn$	5	3	-	-	-	-	↑	-	-	↓
OR	A,A	28	$A \leftarrow A \vee A$	2	1	-	-	-	-	↑	-	-	↓
	A,B	29	$A \leftarrow A \vee B$	2	1	-	-	-	-	↑	-	-	↓
	A,#nn	2A,nn	$A \leftarrow A \vee nn$	2	2	-	-	-	-	↑	-	-	↓
	A,[BR:ll]	2C,ll	$A \leftarrow A \vee [BR:ll]$	3	2	-	-	-	-	↑	-	-	↓
	A,[hhll]	2D,ll,hh	$A \leftarrow A \vee [hhll]$	4	3	-	-	-	-	↑	-	-	↓
	A,[HL]	2B	$A \leftarrow A \vee [HL]$	2	1	-	-	-	-	↑	-	-	↓
	A,[IX]	2E	$A \leftarrow A \vee [IX]$	2	1	-	-	-	-	↑	-	-	↓
	A,[IY]	2F	$A \leftarrow A \vee [IY]$	2	1	-	-	-	-	↑	-	-	↓
	A,[IX+dd]	CE,28,dd	$A \leftarrow A \vee [IX+dd]$	4	3	-	-	-	-	↑	-	-	↓
	A,[IY+dd]	CE,29,dd	$A \leftarrow A \vee [IY+dd]$	4	3	-	-	-	-	↑	-	-	↓
	A,[IX+L]	CE,2A	$A \leftarrow A \vee [IX+L]$	4	2	-	-	-	-	↑	-	-	↓

インストラクション一覧表 (8ビット論理&演算命令 3/4)

8ビット算術論理演算命令

ニーモニック	コード	オペレーション	サイクル	バイト	SC								備考
					I1	I0	U	D	N	V	C	Z	
OR	A,[Y+L]	CE,2B	$A \leftarrow A \vee [Y+L]$	4	2	-	-	-	-	↑	-	-	↑
	B,#nn	CE,B4,nn	$B \leftarrow B \vee nn$	3	3	-	-	-	-	↑	-	-	↑
	L,#nn	CE,B5,nn	$L \leftarrow L \vee nn$	3	3	-	-	-	-	↑	-	-	↑
	H,#nn	CE,B6,nn	$H \leftarrow H \vee nn$	3	3	-	-	-	-	↑	-	-	↑
	SC,#nn	9D,nn	$SC \leftarrow SC \vee nn$	3	2	↑	↑	↑	↑	↑	↑	↑	
	[BR:ll],#nn	D9,ll,nn	$[BR:ll] \leftarrow [BR:ll] \vee nn$	5	3	-	-	-	-	↑	-	-	↑
	[HL],A	CE,2C	$[HL] \leftarrow [HL] \vee A$	4	2	-	-	-	-	↑	-	-	↑
	[HL],#nn	CE,2D,nn	$[HL] \leftarrow [HL] \vee nn$	5	3	-	-	-	-	↑	-	-	↑
	[HL],[IX]	CE,2E	$[HL] \leftarrow [HL] \vee [IX]$	5	2	-	-	-	-	↑	-	-	↑
XOR	[HL],[IY]	CE,2F	$[HL] \leftarrow [HL] \vee [IY]$	5	2	-	-	-	-	↑	-	-	↑
	A,A	38	$A \leftarrow A \oplus A$	2	1	-	-	-	-	↑	-	-	↑
	A,B	39	$A \leftarrow A \oplus B$	2	1	-	-	-	-	↑	-	-	↑
	A,#nn	3A,nn	$A \leftarrow A \oplus nn$	2	2	-	-	-	-	↑	-	-	↑
	A,[BR:ll]	3C,ll	$A \leftarrow A \oplus [BR:ll]$	3	2	-	-	-	-	↑	-	-	↑
	A,[hhll]	3D,ll,hh	$A \leftarrow A \oplus [hhll]$	4	3	-	-	-	-	↑	-	-	↑
	A,[HL]	3B	$A \leftarrow A \oplus [HL]$	2	1	-	-	-	-	↑	-	-	↑
	A,[IX]	3E	$A \leftarrow A \oplus [IX]$	2	1	-	-	-	-	↑	-	-	↑
	A,[IY]	3F	$A \leftarrow A \oplus [IY]$	2	1	-	-	-	-	↑	-	-	↑
	A,[IX+dd]	CE,38,dd	$A \leftarrow A \oplus [IX+dd]$	4	3	-	-	-	-	↑	-	-	↑
	A,[IY+dd]	CE,39,dd	$A \leftarrow A \oplus [IY+dd]$	4	3	-	-	-	-	↑	-	-	↑
	A,[IX+L]	CE,3A	$A \leftarrow A \oplus [IX+L]$	4	2	-	-	-	-	↑	-	-	↑
	A,[IY+L]	CE,3B	$A \leftarrow A \oplus [IY+L]$	4	2	-	-	-	-	↑	-	-	↑
	B,#nn	CE,B8,nn	$B \leftarrow B \oplus nn$	3	3	-	-	-	-	↑	-	-	↑
	L,#nn	CE,B9,nn	$L \leftarrow L \oplus nn$	3	3	-	-	-	-	↑	-	-	↑
	H,#nn	CE,BA,nn	$H \leftarrow H \oplus nn$	3	3	-	-	-	-	↑	-	-	↑
	SC,#nn	9E,nn	$SC \leftarrow SC \oplus nn$	3	2	↑	↑	↑	↑	↑	↑	↑	
	[BR:ll],#nn	DA,ll,nn	$[BR:ll] \leftarrow [BR:ll] \oplus nn$	5	3	-	-	-	-	↑	-	-	↑
	[HL],A	CE,3C	$[HL] \leftarrow [HL] \oplus A$	4	2	-	-	-	-	↑	-	-	↑
	[HL],#nn	CE,3D,nn	$[HL] \leftarrow [HL] \oplus nn$	5	3	-	-	-	-	↑	-	-	↑
	[HL],[IX]	CE,3E	$[HL] \leftarrow [HL] \oplus [IX]$	5	2	-	-	-	-	↑	-	-	↑
	[HL],[IY]	CE,3F	$[HL] \leftarrow [HL] \oplus [IY]$	5	2	-	-	-	-	↑	-	-	↑
CP	A,A	30	$A - A$	2	1	-	-	-	-	↑	↑	↑	↑
	A,B	31	$A - B$	2	1	-	-	-	-	↑	↑	↑	↑
	A,#nn	32,nn	$A - nn$	2	2	-	-	-	-	↑	↑	↑	↑
	A,[BR:ll]	34,ll	$A - [BR:ll]$	3	2	-	-	-	-	↑	↑	↑	↑
	A,[hhll]	35,ll,hh	$A - [hhll]$	4	3	-	-	-	-	↑	↑	↑	↑
	A,[HL]	33	$A - [HL]$	2	1	-	-	-	-	↑	↑	↑	↑
	A,[IX]	36	$A - [IX]$	2	1	-	-	-	-	↑	↑	↑	↑
	A,[IY]	37	$A - [IY]$	2	1	-	-	-	-	↑	↑	↑	↑
	A,[IX+dd]	CE,30,dd	$A - [IX+dd]$	4	3	-	-	-	-	↑	↑	↑	↑
	A,[IY+dd]	CE,31,dd	$A - [IY+dd]$	4	3	-	-	-	-	↑	↑	↑	↑
	A,[IX+L]	CE,32	$A - [IX+L]$	4	2	-	-	-	-	↑	↑	↑	↑
	A,[IY+L]	CE,33	$A - [IY+L]$	4	2	-	-	-	-	↑	↑	↑	↑
	B,#nn	CE,BC,nn	$B - nn$	3	3	-	-	-	-	↑	↑	↑	↑
	L,#nn	CE,BD,nn	$L - nn$	3	3	-	-	-	-	↑	↑	↑	↑
	H,#nn	CE,BE,nn	$H - nn$	3	3	-	-	-	-	↑	↑	↑	↑
	BR,#hh	CE,BF,hh	$BR - hh$	3	3	-	-	-	-	↑	↑	↑	↑
	[BR:ll],#nn	DB,ll,nn	$[BR:ll] - nn$	4	3	-	-	-	-	↑	↑	↑	↑

インストラクション一覧表 (8ビット論理&演算命令 4/4)

8ビット算術論理演算命令

ニーモニック	コード	オペレーション	サイクル	バイト	SC								備考
					I1	I0	U	D	N	V	C	Z	
CP	[HL],A	CE,34	[HL]-A	3	2	-	-	-	-	↑	↑	↑	↑
	[HL],#nn	CE,35,nn	[HL]-nn	4	3	-	-	-	-	↑	↑	↑	↑
	[HL],[IX]	CE,36	[HL]-[IX]	4	2	-	-	-	-	↑	↑	↑	↑
	[HL],[IY]	CE,37	[HL]-[IY]	4	2	-	-	-	-	↑	↑	↑	↑
BIT	A,B	94	A $\wedge$ B	2	1	-	-	-	-	↑	-	-	↑
	A,#nn	96,nn	A $\wedge$ nn	2	2	-	-	-	-	↑	-	-	↑
	B,#nn	97,nn	B $\wedge$ nn	2	2	-	-	-	-	↑	-	-	↑
	[BR:II],#nn	DC,II,nn	[BR:II] $\wedge$ nn	4	3	-	-	-	-	↑	-	-	↑
	[HL],#nn	95,nn	[HL] $\wedge$ nn	3	2	-	-	-	-	↑	-	-	↑
INC	A	80	A $\leftarrow$ A+1	2	1	-	-	-	-	-	-	-	↑
	B	81	B $\leftarrow$ B+1	2	1	-	-	-	-	-	-	-	↑
	L	82	L $\leftarrow$ L+1	2	1	-	-	-	-	-	-	-	↑
	H	83	H $\leftarrow$ H+1	2	1	-	-	-	-	-	-	-	↑
	BR	84	BR $\leftarrow$ BR+1	2	1	-	-	-	-	-	-	-	↑
	[BR:II]	85,II	[BR:II] $\leftarrow$ [BR:II]+1	4	2	-	-	-	-	-	-	-	↑
	[HL]	86	[HL] $\leftarrow$ [HL]+1	3	1	-	-	-	-	-	-	-	↑
DEC	A	88	A $\leftarrow$ A-1	2	1	-	-	-	-	-	-	-	↑
	B	89	B $\leftarrow$ B-1	2	1	-	-	-	-	-	-	-	↑
	L	8A	L $\leftarrow$ L-1	2	1	-	-	-	-	-	-	-	↑
	H	8B	H $\leftarrow$ H-1	2	1	-	-	-	-	-	-	-	↑
	BR	8C	BR $\leftarrow$ BR-1	2	1	-	-	-	-	-	-	-	↑
	[BR:II]	8D,II	[BR:II] $\leftarrow$ [BR:II]-1	4	2	-	-	-	-	-	-	-	↑
	[HL]	8E	[HL] $\leftarrow$ [HL]-1	3	1	-	-	-	-	-	-	-	↑
CPL	A	CE,A0	A $\leftarrow$ $\overline{A}$	3	2	-	-	-	-	↑	-	-	↑
	B	CE,A1	B $\leftarrow$ $\overline{B}$	3	2	-	-	-	-	↑	-	-	↑
	[BR:II]	CE,A2,II	[BR:II] $\leftarrow$ $\overline{[BR:II]}$	5	3	-	-	-	-	↑	-	-	↑
	[HL]	CE,A3	[HL] $\leftarrow$ $\overline{[HL]}$	4	2	-	-	-	-	↑	-	-	↑
NEG	A	CE,A4	A $\leftarrow$ 0-A	3	2	-	-	★	★	↑	↑	↑	↑
	B	CE,A5	B $\leftarrow$ 0-B	3	2	-	-	★	★	↑	↑	↑	↑
	[BR:II]	CE,A6,II	[BR:II] $\leftarrow$ 0-[BR:II]	5	3	-	-	★	★	↑	↑	↑	↑
	[HL]	CE,A7	[HL] $\leftarrow$ 0-[HL]	4	2	-	-	★	★	↑	↑	↑	↑
MLT		CE,D8	HL $\leftarrow$ L*A	12	2	-	-	-	-	↑	0	0	↑
DIV		CE,D9	L $\leftarrow$ HL/A, H $\leftarrow$ 剰余	13	2	-	-	-	-	↑	↑	0	↑

* 乗除算命令はMODEL1およびMODEL3に設定されています。したがって、MODEL0およびMODEL2では使用できません。

インストラクション一覧表 (16ビット演算命令 1/2)

16ビット算術演算命令

ニーモニック	コード	オペレーション	サイクル	バイト	SC								備考
					I1	I0	U	D	N	V	C	Z	
ADD	BA,BA	CF,00	BA←BA+BA	4	2	-	-	-	-	↑	↑	↑	↑
	BA,HL	CF,01	BA←BA+HL	4	2	-	-	-	-	↑	↑	↑	↑
	BA,IX	CF,02	BA←BA+IX	4	2	-	-	-	-	↑	↑	↑	↑
	BA,IY	CF,03	BA←BA+IY	4	2	-	-	-	-	↑	↑	↑	↑
	BA,#mmnn	C0,nn,mm	BA←BA+mmnn	3	3	-	-	-	-	↑	↑	↑	↑
	HL,BA	CF,20	HL←HL+BA	4	2	-	-	-	-	↑	↑	↑	↑
	HL,HL	CF,21	HL←HL+HL	4	2	-	-	-	-	↑	↑	↑	↑
	HL,IX	CF,22	HL←HL+IX	4	2	-	-	-	-	↑	↑	↑	↑
	HL,IY	CF,23	HL←HL+IY	4	2	-	-	-	-	↑	↑	↑	↑
	HL,#mmnn	C1,nn,mm	HL←HL+mmnn	3	3	-	-	-	-	↑	↑	↑	↑
	IX,BA	CF,40	IX←IX+BA	4	2	-	-	-	-	↑	↑	↑	↑
	IX,HL	CF,41	IX←IX+HL	4	2	-	-	-	-	↑	↑	↑	↑
	IX,#mmnn	C2,nn,mm	IX←IX+mmnn	3	3	-	-	-	-	↑	↑	↑	↑
	IY,BA	CF,42	IY←IY+BA	4	2	-	-	-	-	↑	↑	↑	↑
	IY,HL	CF,43	IY←IY+HL	4	2	-	-	-	-	↑	↑	↑	↑
	IY,#mmnn	C3,nn,mm	IY←IY+mmnn	3	3	-	-	-	-	↑	↑	↑	↑
	SP,BA	CF,44	SP←SP+BA	4	2	-	-	-	-	↑	↑	↑	↑
	SP,HL	CF,45	SP←SP+HL	4	2	-	-	-	-	↑	↑	↑	↑
	SP,#mmnn	CF,68,nn,mm	SP←SP+mmnn	4	4	-	-	-	-	↑	↑	↑	↑
ADC	BA,BA	CF,04	BA←BA+BA+C	4	2	-	-	-	-	↑	↑	↑	↑
	BA,HL	CF,05	BA←BA+HL+C	4	2	-	-	-	-	↑	↑	↑	↑
	BA,IX	CF,06	BA←BA+IX+C	4	2	-	-	-	-	↑	↑	↑	↑
	BA,IY	CF,07	BA←BA+IY+C	4	2	-	-	-	-	↑	↑	↑	↑
	BA,#mmnn	CF,60,nn,mm	BA←BA+mmnn+C	4	4	-	-	-	-	↑	↑	↑	↑
	HL,BA	CF,24	HL←HL+BA+C	4	2	-	-	-	-	↑	↑	↑	↑
	HL,HL	CF,25	HL←HL+HL+C	4	2	-	-	-	-	↑	↑	↑	↑
	HL,IX	CF,26	HL←HL+IX+C	4	2	-	-	-	-	↑	↑	↑	↑
	HL,IY	CF,27	HL←HL+IY+C	4	2	-	-	-	-	↑	↑	↑	↑
	HL,#mmnn	CF,61,nn,mm	HL←HL+mmnn+C	4	4	-	-	-	-	↑	↑	↑	↑
SUB	BA,BA	CF,08	BA←BA-BA	4	2	-	-	-	-	↑	↑	↑	↑
	BA,HL	CF,09	BA←BA-HL	4	2	-	-	-	-	↑	↑	↑	↑
	BA,IX	CF,0A	BA←BA-IX	4	2	-	-	-	-	↑	↑	↑	↑
	BA,IY	CF,0B	BA←BA-IY	4	2	-	-	-	-	↑	↑	↑	↑
	BA,#mmnn	D0,nn,mm	BA←BA-mmnn	3	3	-	-	-	-	↑	↑	↑	↑
	HL,BA	CF,28	HL←HL-BA	4	2	-	-	-	-	↑	↑	↑	↑
	HL,HL	CF,29	HL←HL-HL	4	2	-	-	-	-	↑	↑	↑	↑
	HL,IX	CF,2A	HL←HL-IX	4	2	-	-	-	-	↑	↑	↑	↑
	HL,IY	CF,2B	HL←HL-IY	4	2	-	-	-	-	↑	↑	↑	↑
	HL,#mmnn	D1,nn,mm	HL←HL-mmnn	3	3	-	-	-	-	↑	↑	↑	↑
	IX,BA	CF,48	IX←IX-BA	4	2	-	-	-	-	↑	↑	↑	↑
	IX,HL	CF,49	IX←IX-HL	4	2	-	-	-	-	↑	↑	↑	↑
	IX,#mmnn	D2,nn,mm	IX←IX-mmnn	3	3	-	-	-	-	↑	↑	↑	↑
	IY,BA	CF,4A	IY←IY-BA	4	2	-	-	-	-	↑	↑	↑	↑
	IY,HL	CF,4B	IY←IY-HL	4	2	-	-	-	-	↑	↑	↑	↑
	IY,#mmnn	D3,nn,mm	IY←IY-mmnn	3	3	-	-	-	-	↑	↑	↑	↑
	SP,BA	CF,4C	SP←SP-BA	4	2	-	-	-	-	↑	↑	↑	↑
	SP,HL	CF,4D	SP←SP-HL	4	2	-	-	-	-	↑	↑	↑	↑
	SP,#mmnn	CF,6A,nn,mm	SP←SP-mmnn	4	4	-	-	-	-	↑	↑	↑	↑

インストラクション一覧表 (16ビット演算命令 2/2)

16ビット算術演算命令

ニーモニック	コード	オペレーション	サイクル	バイト	SC								備考
					I1	I0	U	D	N	V	C	Z	
SBC	BA,BA	CF,0C	BA←BA-BA-C	4	2	-	-	-	-	↑	↑	↑	↑
	BA,HL	CF,0D	BA←BA-HL-C	4	2	-	-	-	-	↑	↑	↑	↑
	BA,IX	CF,0E	BA←BA-IX-C	4	2	-	-	-	-	↑	↑	↑	↑
	BA,IY	CF,0F	BA←BA-IY-C	4	2	-	-	-	-	↑	↑	↑	↑
	BA,#mmnn	CF,62,nn,mm	BA←BA-mmnn-C	4	4	-	-	-	-	↑	↑	↑	↑
	HL,BA	CF,2C	HL←HL-BA-C	4	2	-	-	-	-	↑	↑	↑	↑
	HL,HL	CF,2D	HL←HL-HL-C	4	2	-	-	-	-	↑	↑	↑	↑
	HL,IX	CF,2E	HL←HL-IX-C	4	2	-	-	-	-	↑	↑	↑	↑
	HL,IY	CF,2F	HL←HL-IY-C	4	2	-	-	-	-	↑	↑	↑	↑
	HL,#mmnn	CF,63,nn,mm	HL←HL-mmnn-C	4	4	-	-	-	-	↑	↑	↑	↑
CP	BA,BA	CF,18	BA-BA	4	2	-	-	-	-	↑	↑	↑	↑
	BA,HL	CF,19	BA-HL	4	2	-	-	-	-	↑	↑	↑	↑
	BA,IX	CF,1A	BA-IX	4	2	-	-	-	-	↑	↑	↑	↑
	BA,IY	CF,1B	BA-IY	4	2	-	-	-	-	↑	↑	↑	↑
	BA,#mmnn	D4,nn,mm	BA-mmnn	3	3	-	-	-	-	↑	↑	↑	↑
	HL,BA	CF,38	HL-BA	4	2	-	-	-	-	↑	↑	↑	↑
	HL,HL	CF,39	HL-HL	4	2	-	-	-	-	↑	↑	↑	↑
	HL,IX	CF,3A	HL-IX	4	2	-	-	-	-	↑	↑	↑	↑
	HL,IY	CF,3B	HL-IY	4	2	-	-	-	-	↑	↑	↑	↑
	HL,#mmnn	D5,nn,mm	HL-mmnn	3	3	-	-	-	-	↑	↑	↑	↑
	IX,#mmnn	D6,nn,mm	IX-mmnn	3	3	-	-	-	-	↑	↑	↑	↑
	IY,#mmnn	D7,nn,mm	IY-mmnn	3	3	-	-	-	-	↑	↑	↑	↑
	SP,BA	CF,5C	SP-BA	4	2	-	-	-	-	↑	↑	↑	↑
	SP,HL	CF,5D	SP-HL	4	2	-	-	-	-	↑	↑	↑	↑
	SP,#mmnn	CF,6C,nn,mm	SP-mmnn	4	4	-	-	-	-	↑	↑	↑	↑
INC	BA	90	BA←BA+1	2	1	-	-	-	-	-	-	-	↑
	HL	91	HL←HL+1	2	1	-	-	-	-	-	-	-	↑
	IX	92	IX←IX+1	2	1	-	-	-	-	-	-	-	↑
	IY	93	IY←IY+1	2	1	-	-	-	-	-	-	-	↑
	SP	87	SP←SP+1	2	1	-	-	-	-	-	-	-	↑
DEC	BA	98	BA←BA-1	2	1	-	-	-	-	-	-	-	↓
	HL	99	HL←HL-1	2	1	-	-	-	-	-	-	-	↓
	IX	9A	IX←IX-1	2	1	-	-	-	-	-	-	-	↓
	IY	9B	IY←IY-1	2	1	-	-	-	-	-	-	-	↓
	SP	8F	SP←SP-1	2	1	-	-	-	-	-	-	-	↓

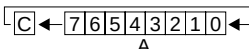
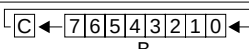
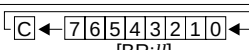
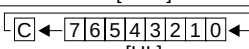
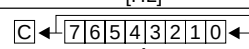
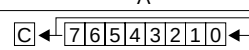
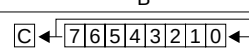
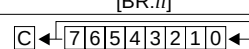
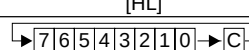
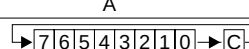
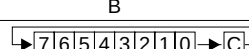
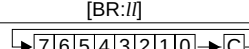
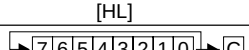
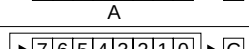
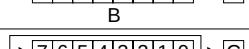
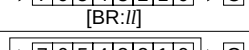
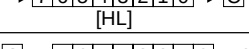
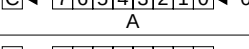
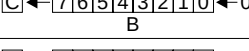
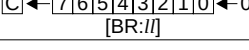
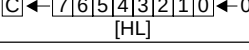
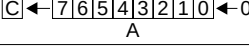
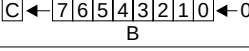
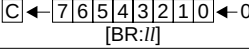
インストラクション一覧表 (演算補助命令)

演算補助命令

ニーモニック	コード	オペレーション	サイクル	バイト	SC								備考
					I1	I0	U	D	N	V	C	Z	
PACK	DE	$\begin{array}{cc} B & A \\ * m * n \rightarrow m n \end{array}$	2	1	-	-	-	-	-	-	-	-	
UPCK	DF	$\begin{array}{cc} A & B & A \\ m n \rightarrow 0 m 0 n \end{array}$	2	1	-	-	-	-	-	-	-	-	
SEP	CE,A8	$\begin{array}{cc} B & A & B & A \\ 0 ***** \rightarrow 00000000 0 ***** \\ 1 ***** \rightarrow 11111111 1 ***** \end{array}$	3	2	-	-	-	-	-	-	-	-	

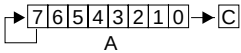
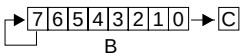
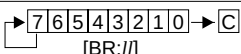
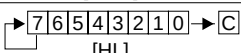
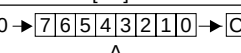
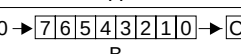
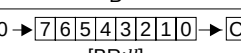
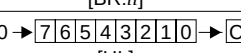
インストラクション一覧表 (ローテート&シフト 1/2)

ローテート/シフト命令

ニーモニック		コード	オペレーション	サイ クル	バイト	SC								備 考
						I1	I0	U	D	N	V	C	Z	
RL	A	CE,90		3	2	-	-	-	-	↑	-	↑	↑	
	B	CE,91		3	2	-	-	-	-	↑	-	↑	↑	
	[BR:II]	CE,92,II		5	3	-	-	-	-	↑	-	↑	↑	
	[HL]	CE,93		4	2	-	-	-	-	↑	-	↑	↑	
RLC	A	CE,94		3	2	-	-	-	-	↑	-	↑	↑	
	B	CE,95		3	2	-	-	-	-	↑	-	↑	↑	
	[BR:II]	CE,96,II		5	3	-	-	-	-	↑	-	↑	↑	
	[HL]	CE,97		4	2	-	-	-	-	↑	-	↑	↑	
RR	A	CE,98		3	2	-	-	-	-	↑	-	↑	↑	
	B	CE,99		3	2	-	-	-	-	↑	-	↑	↑	
	[BR:II]	CE,9A,II		5	3	-	-	-	-	↑	-	↑	↑	
	[HL]	CE,9B		4	2	-	-	-	-	↑	-	↑	↑	
RRC	A	CE,9C		3	2	-	-	-	-	↑	-	↑	↑	
	B	CE,9D		3	2	-	-	-	-	↑	-	↑	↑	
	[BR:II]	CE,9E,II		5	3	-	-	-	-	↑	-	↑	↑	
	[HL]	CE,9F		4	2	-	-	-	-	↑	-	↑	↑	
SLA	A	CE,80		3	2	-	-	-	-	↑	↑	↑	↑	
	B	CE,81		3	2	-	-	-	-	↑	↑	↑	↑	
	[BR:II]	CE,82,II		5	3	-	-	-	-	↑	↑	↑	↑	
	[HL]	CE,83		4	2	-	-	-	-	↑	↑	↑	↑	
SLL	A	CE,84		3	2	-	-	-	-	↑	-	↑	↑	
	B	CE,85		3	2	-	-	-	-	↑	-	↑	↑	
	[BR:II]	CE,86,II		5	3	-	-	-	-	↑	-	↑	↑	
	[HL]	CE,87		4	2	-	-	-	-	↑	-	↑	↑	

インストラクション一覧表 (ローテート&シフト 2/2)

ローテート/シフト命令

ニーモニック		コード	オペレーション	サイクル	バイト	SC								備考
						I1	I0	U	D	N	V	C	Z	
SRA	A	CE,88		3	2	-	-	-	-	↑	0	↑	↑	
	B	CE,89		3	2	-	-	-	-	↑	0	↑	↑	
	[BR://]	CE,8A,II		5	3	-	-	-	-	↑	0	↑	↑	
	[HL]	CE,8B		4	2	-	-	-	-	↑	0	↑	↑	
SRL	A	CE,8C	0→ 	3	2	-	-	-	-	0	-	↑	↑	
	B	CE,8D	0→ 	3	2	-	-	-	-	0	-	↑	↑	
	[BR://]	CE,8E,II	0→ 	5	3	-	-	-	-	0	-	↑	↑	
	[HL]	CE,8F	0→ 	4	2	-	-	-	-	0	-	↑	↑	

インストラクション一覧表 (スタック制御命令)

スタック制御命令

ニーモニック	コード	オペレーション	サイクル	バイト	SC								備考
					I1	I0	U	D	N	V	C	Z	
PUSH	A	CF,B0	[SP-1]←A, SP←SP-1	3	2	-	-	-	-	-	-	-	
	B	CF,B1	[SP-1]←B, SP←SP-1	3	2	-	-	-	-	-	-	-	
	L	CF,B2	[SP-1]←L, SP←SP-1	3	2	-	-	-	-	-	-	-	
	H	CF,B3	[SP-1]←H, SP←SP-1	3	2	-	-	-	-	-	-	-	
	BR	A4	[SP-1]←BR, SP←SP-1	3	1	-	-	-	-	-	-	-	
	SC	A7	[SP-1]←SC, SP←SP-1	3	1	-	-	-	-	-	-	-	
	BA	A0	[SP-1]←B, [SP-2]←A, SP←SP-2	4	1	-	-	-	-	-	-	-	
	HL	A1	[SP-1]←H, [SP-2]←L, SP←SP-2	4	1	-	-	-	-	-	-	-	
	IX	A2	[SP-1]←IX(H), [SP-2]←IX(L), SP←SP-2	4	1	-	-	-	-	-	-	-	
	IY	A3	[SP-1]←IY(H), [SP-2]←IY(L), SP←SP-2	4	1	-	-	-	-	-	-	-	
	EP	A5	[SP-1]←EP, SP←SP-1	3	1	-	-	-	-	-	-	-	MODEL2/3のみ
PUSH	IP	A6	[SP-1]←XP, [SP-2]←YP, SP←SP-2	4	1	-	-	-	-	-	-	-	
	ALL	CF,B8	PUSH BA, HL, IX, IY, BR	12	2	-	-	-	-	-	-	-	
	ALE	CF,B9	PUSH BA, HL, IX, IY, BR, EP, IP	15	2	-	-	-	-	-	-	-	MODEL2/3のみ
POP	A	CF,B4	A←[SP], SP←SP+1	3	2	-	-	-	-	-	-	-	
	B	CF,B5	B←[SP], SP←SP+1	3	2	-	-	-	-	-	-	-	
	L	CF,B6	L←[SP], SP←SP+1	3	2	-	-	-	-	-	-	-	
	H	CF,B7	H←[SP], SP←SP+1	3	2	-	-	-	-	-	-	-	
	BR	AC	BR←[SP], SP←SP+1	2	1	-	-	-	-	-	-	-	
	SC	AF	SC←[SP], SP←SP+1	2	1	↑	↑	↑	↑	↑	↑	↑	
	BA	A8	A←[SP], B←[SP+1], SP←SP+2	3	1	-	-	-	-	-	-	-	
	HL	A9	L←[SP], H←[SP+1], SP←SP+2	3	1	-	-	-	-	-	-	-	
	IX	AA	IX(L)←[SP], IX(H)←[SP+1], SP←SP+2	3	1	-	-	-	-	-	-	-	
	IY	AB	IY(L)←[SP], IY(H)←[SP+1], SP←SP+2	3	1	-	-	-	-	-	-	-	
	EP	AD	EP←[SP], SP←SP+1	2	1	-	-	-	-	-	-	-	MODEL2/3のみ
	IP	AE	YP←[SP], XP←[SP+1], SP←SP+2	3	1	-	-	-	-	-	-	-	
	ALL	CF,BC	POP BR, IY, IX, HL, BA	11	2	-	-	-	-	-	-	-	
POP	ALE	CF,BD	POP IP, EP, BR, IY, IX, HL, BA	14	2	-	-	-	-	-	-	-	MODEL2/3のみ

* エクスパンドページレジスタEP/XP/YPはMODEL2/3にのみ設定されています。したがって、MODEL0/1ではこれらのレジスタをアクセスする命令は使用できません。

インストラクション一覧表 (分岐命令 1/4)

分岐命令

ニーモニック		コード	分岐条件	オペレーション	サイクル	バイト	SC								
							I	1	0	U	D	N	V	C	Z
JRS	rr	F1,rr	無条件	MODEL0/1 PC←PC+rr+1	2	2	-	-	-	-	-	-	-	-	-
				MODEL2/3 PC←PC+rr+1, CB←NB											
JRS	C,rr	E4,rr	C=1	MODEL0/1 If Condition is true, then PC←PC+rr+1 ----- else PC←PC+2	2	2	-	-	-	-	-	-	-	-	-
	NC,rr	E5,rr	C=0												
	Z,rr	E6,rr	Z=1	MODEL2/3 If Condition is true, then PC←PC+rr+1, CB←NB ----- else PC←PC+2, NB←CB											
	NZ,rr	E7,rr	Z=0												
JRS	LT,rr	CE,E0,rr	[N∧V]=1	MODEL0/1 If Condition is true, then PC←PC+rr+2 ----- else PC←PC+3 MODEL2/3 If Condition is true, then PC←PC+rr+2, CB←NB ----- else PC←PC+3, NB←CB	3	3	-	-	-	-	-	-	-	-	-
	LE,rr	CE,E1,rr	Z∨[N∧V]=1												
	GT,rr	CE,E2,rr	Z∨[N∧V]=0												
	GE,rr	CE,E3,rr	[N∧V]=0												
	V,rr	CE,E4,rr	V=1												
	NV,rr	CE,E5,rr	V=0												
	P,rr	CE,E6,rr	N=0												
	M,rr	CE,E7,rr	N=1												
	F0,rr	CE,E8,rr	F0=1												
	F1,rr	CE,E9,rr	F1=1												
	F2,rr	CE,EA,rr	F2=1												
	F3,rr	CE,EB,rr	F3=1												
	NF0,rr	CE,EC,rr	F0=0												
	NF1,rr	CE,ED,rr	F1=0												
	NF2,rr	CE,EE,rr	F2=0												
	NF3,rr	CE,EF,rr	F3=0												
JRL	qqrr	F3,rr,qq	無条件	MODEL0/1 PC←PC+qqrr+2	3	3	-	-	-	-	-	-	-	-	-
				MODEL2/3 PC←PC+qqrr+2, CB←NB											
JRL	C,qqrr	EC,rr,qq	C=1	MODEL0/1 If Condition is true, then PC←PC+qqrr+2 ----- else PC←PC+3	3	3	-	-	-	-	-	-	-	-	-
	NC,qqrr	ED,rr,qq	C=0												
	Z,qqrr	EE,rr,qq	Z=1	MODEL2/3 If Condition is true, then PC←PC+qqrr+2, CB←NB ----- else PC←PC+3, NB←CB											
	NZ,qqrr	EF,rr,qq	Z=0												
DJR	NZ,rr	F5,rr	B=0	MODEL0/1 B←B-1, If B=0, then PC←PC+rr+1 ----- else PC←PC+2	4	2	-	-	-	-	-	-	-	-	↑
				MODEL2/3 B←B-1, If B=0, then PC←PC+rr+1, CB←NB ----- else PC←PC+2, NB←CB											

インストラクション一覧表 (分岐命令 2/4)

分岐命令

ニーモニック		コード	分岐条件	オペレーション	サイクル	バイト	SC								
							I	L	IO	U	D	N	V	C	Z
JP	HL	F4	無条件	MODEL0/1 PC←HL	2	1	-	-	-	-	-	-	-	-	-
				MODEL2/3 PC←HL, CB←NB											
	[kk]	FD,kk	無条件	MODEL0/1 PC(L)←[00kk] PC(H)←[00kk+1]	4	2	-	-	-	-	-	-	-	-	
				MODEL2/3 PC(L)←[00kk] PC(H)←[00kk+1], CB←NB											
CARS	rr	F0,rr	無条件	MODEL0/1 [SP-1]←PC(H), [SP-2]←PC(L), SP←SP-2, PC←PC+rr+1	4	2	-	-	-	-	-	-	-	-	-
				MODEL2/3 (Minimum mode) [SP-1]←PC(H), [SP-2]←PC(L), SP←SP-2, PC←PC+rr+1, CB←NB											
				MODEL2/3 (Maximum mode) [SP-1]←CB, [SP-2]←PC(H), [SP-3]←PC(L), SP←SP-3, PC←PC+rr+1, CB←NB	5										
CARS	C,rr	E0,rr	C=1	MODEL0/1 If Condition is true then [SP-1]←PC(H), [SP-2]←PC(L), SP←SP-2, PC←PC+rr+1	4	2	-	-	-	-	-	-	-	-	-
				else PC←PC+2	2										
	NC,rr	E1,rr	C=0	MODEL2/3 (Minimum mode) If Condition is true then [SP-1]←PC(H), [SP-2]←PC(L), SP←SP-2, PC←PC+rr+1, CB←NB	4										
				else PC←PC+2, NB←CB	2										
	Z,rr	E2,rr	Z=1	MODEL2/3 (Maximum mode) If Condition is true then [SP-1]←CB, [SP-2]←PC(H), [SP-3]←PC(L), SP←SP-3, PC←PC+rr+1, CB←NB	5										
				else PC←PC+2, NB←CB	2										
CARS	LT,rr	CE,F0,rr	[N∨V]=1	MODEL0/1 If Condition is true then [SP-1]←PC(H), [SP-2]←PC(L), SP←SP-2, PC←PC+rr+2	5	3	-	-	-	-	-	-	-	-	-
	LE,rr	CE,F1,rr	Z∨[N∨V]=1	else PC←PC+3	3										
	GT,rr	CE,F2,rr	Z∨[N∨V]=0	MODEL2/3 (Minimum mode) If Condition is true then [SP-1]←PC(H), [SP-2]←PC(L), SP←SP-2, PC←PC+rr+2, CB←NB	5										
	GE,rr	CE,F3,rr	[N∨V]=0	else PC←PC+3, NB←CB	3										
	V,rr	CE,F4,rr	V=1	MODEL2/3 (Maximum mode) If Condition is true then [SP-1]←CB, [SP-2]←PC(H), [SP-3]←PC(L), SP←SP-3, PC←PC+rr+2, CB←NB	6										
	NV,rr	CE,F5,rr	V=0	else PC←PC+3, NB←CB	3										
	P,rr	CE,F6,rr	N=0	MODEL2/3 (Maximum mode) If Condition is true then [SP-1]←CB, [SP-2]←PC(H), [SP-3]←PC(L), SP←SP-3, PC←PC+rr+2, CB←NB	6										
	M,rr	CE,F7,rr	N=1	else PC←PC+3, NB←CB	3										
	F0,rr	CE,F8,rr	F0=1	MODEL2/3 (Maximum mode) If Condition is true then [SP-1]←CB, [SP-2]←PC(H), [SP-3]←PC(L), SP←SP-3, PC←PC+rr+2, CB←NB	6										
	F1,rr	CE,F9,rr	F1=1	else PC←PC+3, NB←CB	3										
	F2,rr	CE,FA,rr	F2=1	MODEL2/3 (Maximum mode) If Condition is true then [SP-1]←CB, [SP-2]←PC(H), [SP-3]←PC(L), SP←SP-3, PC←PC+rr+2, CB←NB	6										
	F3,rr	CE,FB,rr	F3=1	else PC←PC+3, NB←CB	3										
	NF0,rr	CE,FC,rr	F0=0	MODEL2/3 (Maximum mode) If Condition is true then [SP-1]←CB, [SP-2]←PC(H), [SP-3]←PC(L), SP←SP-3, PC←PC+rr+2, CB←NB	6										
	NF1,rr	CE,FD,rr	F1=0	else PC←PC+3, NB←CB	3										
	NF2,rr	CE,FE,rr	F2=0	MODEL2/3 (Maximum mode) If Condition is true then [SP-1]←CB, [SP-2]←PC(H), [SP-3]←PC(L), SP←SP-3, PC←PC+rr+2, CB←NB	6										
	NF3,rr	CE,FF,rr	F3=0	else PC←PC+3, NB←CB	3										

インストラクション一覧表 (分岐命令 3/4)

分岐命令

ニーモニック		コード	分岐条件	オペレーション	サイクル	バイト	SC								
							I	1	0	U	D	N	V	C	Z
CARL	qqr	F2,rr,qq	無条件	MODEL0/1 [SP-1]←PC(H), [SP-2]←PC(L), SP←SP-2, PC←PC+qqr+2	5	3	-	-	-	-	-	-	-	-	-
				MODEL2/3 (Minimum mode) [SP-1]←PC(H), [SP-2]←PC(L), SP←SP-2, PC←PC+qqr+2, CB←NB											
				MODEL2/3 (Maximum mode) [SP-1]←CB, [SP-2]←PC(H), [SP-3]←PC(L), SP←SP-3, PC←PC+qqr+2, CB←NB	6										
CARL	C,qqr	E8,rr,qq	C=1	MODEL0/1 If Condition is true then [SP-1]←PC(H), [SP-2]←PC(L), SP←SP-2, PC←PC+qqr+2	5	3	-	-	-	-	-	-	-	-	-
				else PC←PC+3	3										
	NC,qqr	E9,rr,qq	C=0	MODEL2/3 (Minimum mode) If Condition is true then [SP-1]←PC(H), [SP-2]←PC(L), SP←SP-2, PC←PC+qqr+2, CB←NB	5										
				else PC←PC+3, NB←CB	3										
	Z,qqr	EA,rr,qq	Z=1	MODEL2/3 (Maximum mode) If Condition is true then [SP-1]←CB, [SP-2]←PC(H), [SP-3]←PC(L), SP←SP-3, PC←PC+qqr+2, CB←NB	6										
				else PC←PC+3, NB←CB	3										
	NZ,qqr	EB,rr,qq	Z=0												
CALL	[hh/l]	FB,ll,hh	無条件	MODEL0/1 [SP-1]←PC(H), [SP-2]←PC(L), SP←SP-2, PC(L)←[hh/l], PC(H)←[hh/l+1]	7	3	-	-	-	-	-	-	-	-	
				MODEL2/3 (Minimum mode) [SP-1]←PC(H), [SP-2]←PC(L), SP←SP-2, PC(L)←[hh/l], PC(H)←[hh/l+1], CB←NB											
				MODEL2/3 (Maximum mode) [SP-1]←CB, [SP-2]←PC(H), [SP-3]←PC(L), SP←SP-3, PC(L)←[hh/l], PC(H)←[hh/l+1], CB←NB	8										

インストラクション一覧表 (分岐命令 4/4)

分岐命令

ニーモニック		コード	オペレーション	サイクル	バイト	SC								備考
						I1	I0	U	D	N	V	C	Z	
INT	[kk]	FC,kk	MODEL0/1 [SP-1]←PC(H), [SP-2]←PC(L), [SP-3]←SC, SP←SP-3, PC(L)←[00kk], PC(H)←[00kk+1]	7	2	-	-	-	-	-	-	-	-	
			MODEL2/3 (Minimum mode) [SP-1]←PC(H), [SP-2]←PC(L), [SP-3]←SC, SP←SP-3, PC(L)←[00kk], PC(H)←[00kk+1], CB←NB											
			MODEL2/3 (Maximum mode) [SP-1]←CB, [SP-2]←PC(H), [SP-3]←PC(L), [SP-4]←SC, SP←SP-4, PC(L)←[00kk], PC(H)←[00kk+1], CB←NB	8										
RET		F8	MODEL0/1, MODEL2/3 (Minimum mode) PC(L)←[SP], PC(H)←[SP+1], SP←SP+2	3	1	-	-	-	-	-	-	-	-	
			MODEL2/3 (Maximum mode) PC(L)←[SP], PC(H)←[SP+1], CB←[SP+2], NB←CB, SP←SP+3	4										
RETE		F9	MODEL0/1, MODEL2/3 (Minimum mode) SC←[SP], PC(L)←[SP+1], PC(H)←[SP+2], SP←SP+3	4	1	↑	↑	↑	↑	↑	↑	↑	↑	
			MODEL2/3 (Maximum mode) SC←[SP], PC(L)←[SP+1], PC(H)←[SP+2], CB←[SP+3], NB←CB, SP←SP+4	5										
RETS		FA	MODEL0/1, MODEL2/3 (Minimum mode) PC(L)←[SP], PC(H)←[SP+1], SP←SP+2, PC←PC+2	5	1	-	-	-	-	-	-	-	-	
			MODEL2/3 (Maximum mode) PC(L)←[SP], PC(H)←[SP+1], CB←[SP+2], NB←CB, SP←SP+3, PC←PC+2	6										

インストラクション一覧表 (システム制御命令)

システム制御命令

ニーモニック		コード	オペレーション	サイクル	バイト	SC								備考
						I1	I0	U	D	N	V	C	Z	
NOP		FF	No Operation	2	1	-	-	-	-	-	-	-	-	
HALT		CE,AE	HALT	3	2	-	-	-	-	-	-	-	-	
SLP		CE,AF	SLEEP	3	2	-	-	-	-	-	-	-	-	

Appendix C プログラミング上の注意事項

システムコントローラとバスの制御

- (1) アドレス"00FF00H"および"00FF01H"に任意の値をそれぞれ書き込むまで、 $\overline{\text{NMI}}$ を含めたすべての割り込みはマスクされます。したがって、本アドレスの内容を変更しない(初期値をそのまま使用する)場合でも、書き込み動作は初期化ルーチン内で必ず行ってください。
- (2) スタック領域をページアドレスも含めて変更する場合は、レジスタSPP("00FF01H")、スタックポインタSPの順で書き換えを行ってください。

例: アドレス"178000H"を設定する場合

```
LD    EP,#00H
LD    HL,#0FF01H
LD    [HL],#17H
LD    SP,#8000H
```

この間割り込み($\overline{\text{NMI}}$ を含む)がマスクされます。

ウォッチドッグタイマ

- (1) ウォッチドッグタイマは、3秒周期以内に必ずソフトウェアでリセットをする必要があります。
- (2) $\overline{\text{NMI}}$ 割り込み発生から2msec以内はSLP命令を実行しないでください。(fosc1=32.768kHzの場合)

発振回路

- (1) CPUの高速動作を必要としない場合は低消費電力化のため、以下に示す設定内容にしたがって周辺回路を動作させてください。
 - CPU動作クロック .. OSC1
 - OSC3発振回路 OFF(一部の周辺回路に対してOSC3クロックが必要ない場合)
 - 動作モード 低パワーモード($V_{DD}-V_{SS}$ が3.5V以下の場合)
または、通常モード($V_{DD}-V_{SS}$ が3.5V以上の場合)
- (2) 低パワーモードではOSC3発振回路をONさせないでください。また、OSC3発振回路がONしている状態での動作モードの切り換え(通常モード $\leftrightarrow$ 高速モード)は誤動作につながりますので行わないでください。
- (3) 動作モード切り換え後にOSC3発振回路をONさせる場合は、5msec以上の待ち時間をおいてください。
- (4) OSC3発振回路をONにしてから発振が安定するまでに、数msec～数10msecの時間を必要とします。したがって、CPUの動作クロック切り換え(OSC1 $\rightarrow$ OSC3)はOSC3発振ONの後、十分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。

"Technical Hardware, 7 電気的特性"に発振開始時間の一例を示しますので参照してください。)

- (5) OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々の命令で行ってください。1命令で同時に処理すると、CPUの誤動作につながります。

入力ポート(Kポート)

内蔵プルアップ抵抗によって、入力端子をLOWレベルからHIGHレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入力ポートの取り込みには適切な待ち時間の設定が必要となります。特に、キーマトリクス構成時のキースキャン等に注意が必要です。

待ち時間は以下の式で求められる値以上を設定してください。

$$\text{待ち時間} = R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6 [\text{sec}]$$

R_{IN} : プルアップ抵抗Max.値

C_{IN} : 端子容量Max.値

出力ポート(Rポート)

- (1) 特殊出力(CL、FR、TOUT、FOUT、BZ)信号は出力制御レジスタ(LCCLK、LCFRM、PTOUT、FOUTON、BZON、BZSHT、BZSTP)とは非同期に発生していますので、出力制御レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- (2) FOUTの周波数を"fosc3/n"とする場合は、FOUTを出力する以前にOSC3の発振をONさせる必要があります。なお、OSC3発振回路をONにしてから発振が安定するまでに数msec～数10msecの時間を必要とします。したがって、不安定なFOUT信号が外部に出力されることで不具合が生じる場合はOSC3発振ONの後、十分な待ち時間をおいてからFOUTの出力を行ってください。(発振開始時間は発振子、外付け部品によって変動します。"Technical Hardware, 7 電気的特性"に発振開始時間の一例を示しますので参照してください。)イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。
- (3) 特殊出力(TOUT、FOUT、BZ)信号がイネーブルの状態でSLP命令を実行した場合は、SLEEP状態からの復帰時に特殊出力に不安定なクロックが出力されます。したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前に特殊出力信号をディセーブル状態に設定してください。

入出力兼用ポート(Pポート)

- (1) 内蔵プルアップ抵抗によって、ポート端子をLOWレベルからHIGHレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入出力兼用ポートの取り込みには適切な待ち時間の設定が必要となります。待ち時間は以下の式で求められる値以上を設定してください。

$$\text{待ち時間} = R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6 [\text{sec}]$$

R_{IN} : プルアップ抵抗Max.値

C_{IN} : 端子容量Max.値

- (2) アナログコンパレータを使用する場合は、入力端子となる入出力兼用ポートのI/Oコントロールレジスタ(IOC14~IOC15またはIOC16~IOC17、あるいは両方)に常時"0"を設定する必要があります。

シリアルインタフェース

- (1) シリアルインタフェースのモード初期設定は、送受信が禁止の状態(TXEN=RXEN="0")で行ってください。
- (2) シリアルインタフェースが送信(受信)中のときは、TXTRG(RXTRG)に対して二重トリガ("1"書き込み)は行わないでください。また、SLP命令も実行しないでください。(SLP命令を実行する場合はTXEN=RXEN="0"としてください。)
- (3) クロック同期式モードでは1本のクロックライン(SCLK)を送受信で共用するため、送信と受信を同時に行うことはできません。したがって、TXTRG(RXTRG)が"1"の最中はRXTRG(TXTRG)に"1"は書き込まないでください。
- (4) 調歩同期式モードにおいて、受信時にパリティエラーおよびフレーミングエラーが発生した場合は受信エラー割り込み要因フラグFSERRは受信完了割り込み要因フラグFSRECに対して、表C.1に示す時間早く"1"にセットされます。したがって、エラーが発生した場合はエラー処理ルーチン等で待ち時間を設けて、受信完了割り込み要因フラグFSRECを"0"にリセットしてください。
- なお、オーバーランエラー発生時には受信完了割り込み要因フラグFSRECは"1"にセットされず、受信完了割り込みも発生しません。

表C.1 エラー発生時のFSERRとFSRECの時間差

クロック源	時間差
fosc3 / n	fosc3 / n の1/2周期
プログラマブルタイマ	タイマ1アンダーフローの1周期

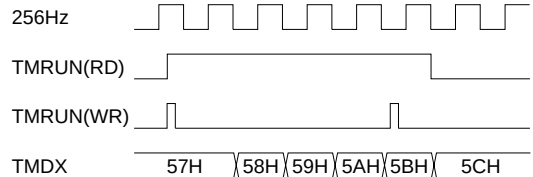
- (5) OSC3発振回路の分周信号をクロック源とする場合は、シリアルインタフェースを使用する以前にOSC3の発振をONさせる必要があります。なお、OSC3発振回路をONにしてから発振が安定するまでに数msec~数10msecの時間を必要とします。

したがって、シリアルインタフェースの送受信開始はOSC3発振ONの後、十分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"Technical Hardware, 7 電気的特性"に発振開始時間の一例を示しますので参照してください。)

イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

計時タイマ

- (1) 計時タイマはレジスタTMRUNへの書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRUN/STOP状態となります。したがって、TMRUNに"0"を書き込んだ場合は、"+1"余分にカウントしたところでタイマが停止状態となります。また、このときTMRUNは実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。
- 図C.1にRUN/STOP制御のタイミングチャートを示します。

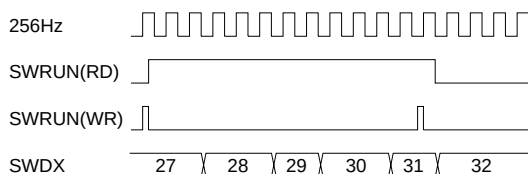


図C.1 RUN/STOP制御のタイミングチャート

- (2) 計時タイマがRUNしている状態(TMRUN="1")でSLP命令を実行した場合は、SLEEP状態からの復帰時に計時タイマが不安定な動作となります。したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前に計時タイマをSTOP状態(TMRUN="0")に設定してください。

ストップウォッチタイマ

- (1) ストップウォッチタイマはレジスタSWRUNへの書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRUN/STOP状態となります。したがって、SWRUNに"0"を書き込んだ場合は、"+1"余分にカウントしたところでタイマが停止状態となる場合があります。また、このときSWRUNは実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。
- 図C.2にRUN/STOP制御のタイミングチャートを示します。

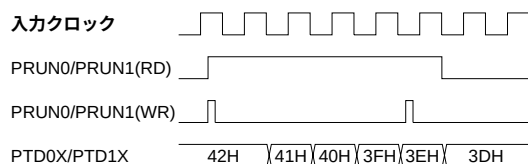


図C.2 RUN/STOP制御のタイミングチャート

- (2) ストップウォッチタイマがRUNしている状態 (SWRUN="1")でSLP命令を実行した場合は、SLEEP状態からの復帰時にストップウォッチタイマが不安定な動作となります。
したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前にストップウォッチタイマをSTOP状態 (SWRUN="0")に設定してください。

プログラマブルタイマ

- (1) プログラマブルタイマはレジスタPRUN0(1)への書き込みに対して、入力クロックの立ち下がりエッジに同期して実際にRUN/STOP状態となります。
したがって、PRUN0(1)に"0"を書き込んだ場合は、"-1"余分にカウントしたところでタイマが停止状態となります。また、このときPRUN0(1)は実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。
図C.3にRUN/STOP制御のタイミングチャートを示します。



図C.3 RUN/STOP制御のタイミングチャート

なお、これについてはイベントカウンタモードは対象外です。

- (2) プログラマブルタイマがRUNしている状態 (PRUN0(1)="1")でSLP命令を実行した場合は、SLEEP状態からの復帰時にプログラマブルタイマが不安定な動作となります。したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前にプログラマブルタイマをSTOP状態 (PRUN0(1)="0")に設定してください。
また、同様にR27出力ポート端子に不安定なクロックが出力されないようTOUT信号をディセーブル状態 (PTOUT="0")に設定してください。
- (3) TOUT信号は出力制御レジスタPTOUTとは非同期に発生しますので、PTOUTの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

- (4) OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3の発振をONさせる必要があります。

なお、OSC3発振回路をONにしてから発振が安定するまでに数msec～数10msecの時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ONの後、十分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。
"Technical Hardware, 7 電気的特性"に発振開始時間の一例を示しますので参照してください。)
イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

- (5) 16ビットモードを選択している場合はPTD00～PTD07、PTD10～PTD17の順でカウンタデータの読み出しを行ってください。また、PTD00～PTD07とPTD10～PTD17の読み出しの時間差は0.73msec以下としてください。

LCDコントローラ

- (1) CL、FR信号は出力制御レジスタLCCLK、LCFRMとは非同期に発生していますので、LCCLK、LCFRMの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- (2) 表示制御レジスタLCDC0、LCDC1はSLP命令が実行されることで、自動的にハードウェアによって"0"にリセットされます。また、CL、FR信号はSLEEP状態ではHIGH(VDD)レベルを出力します。(レジスタR25D、R26Dが"1"の場合)

サウンドジェネレータ

- (1) BZ信号は出力制御レジスタBZONとは非同期に発生していますので、BZONの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- (2) BZ信号がイネーブルの状態 (BZON="1"またはBZSHT="1")でSLP命令を実行した場合は、SLEEP状態からの復帰時にR50出力ポート端子に不安定なクロックが出力されます。したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前にBZ信号をディセーブル状態 (BZON=BZSHT="0")に設定してください。
- (3) ワンショット出力は通常のブザー出力がOFF (BZON="0")の状態でのみ有効で、ON (BZON="1")状態でのトリガは無効となります。

アナログコンパレータ

- (1) 消費電流を低減させるため、必要なとき以外はアナログコンパレータをOFF (CMP0ON = CMP1ON = "0")にしてください。

- (2) アナログコンパレータをONにしてから出力が安定するまでに、最大、3msecの時間を必要とします。したがって、比較結果の読み出しはアナログコンパレータONの後、十分な待ち時間をおいてから行ってください。
- (3) アナログコンパレータの入力端子は入出力兼用ポートと共用されているため、使用するチャンネルに対応する入出力兼用ポートのI/Oコントロールレジスタ(IOC14～IOC17)を、入力モードに設定する必要があります。

SVD(電源電圧検出)回路

- (1) 消費電流を低減させるため、必要なとき以外はSVD回路をOFF(SVDON=SVDSP="0")にしてください。
- (2) SVD回路が動作中にSLP命令を実行した場合は、その時点のサンプリングが終了するまでOSC1発振回路の停止は待たされます。またさらに、このサンプリングの終了を待ってSVDONとSVDSPの2ビットが、ハードウェアによって自動的に"0"にリセットされます。

割り込み(例外)処理

- (1) 割り込み発生後、割り込み要因フラグをリセットせずにRETE命令を実行すると、再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、そのルーチンに対応する割り込み要因のリセット("1"書き込み)を必ず行ってください。
- (2) 割り込み発生後、割り込み要因フラグをリセットする前にインタラプトフラグ(I0、I1)を書き換える(低い優先レベルに設定する)と、再度同一の割り込みが発生してしまいますので注意してください。
- (3) 例外処理ベクタは2バイトに固定されたデータで、分岐先のバンクアドレスを指定することはできません。したがって、複数のバンクから共通の例外処理ルーチンに分岐させるためには、例外処理ルーチンの先頭部分をコモンエリア内(000000H～007FFFH)に記述しておく必要があります。

セイコーエプソン株式会社 **電子デバイス営業本部**

ED営業推進部	〒191-8501 東京都日野市日野421-8
IC営業技術G	TEL (042) 587-5816 (直通) FAX (042) 587-5624
〈東日本〉	
ED東京営業部	〒191-8501 東京都日野市日野421-8
東京IC営業G	TEL (042) 587-5313 (直通) FAX (042) 587-5116
〈西日本〉	
ED大阪営業部	〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F
	TEL (06) 6120-6000 (代表) FAX (06) 6120-6100
〈東海・北陸〉	
ED名古屋営業部	〒461-0005 名古屋市東区東桜1-10-24 栄大野ビル4F
	TEL (052) 953-8031 (代表) FAX (052) 953-8041
〈長野〉	
ED長野営業部	〒392-8502 長野県諏訪市大和3-3-5
	TEL (0266) 58-8171 (直通) FAX (0266) 58-9917
〈東北〉	
ED仙台営業所	〒980-0013 宮城県仙台市青葉区花京院1-1-20 花京院スクエア19F
	TEL (022) 263-7975 (代表) FAX (022) 263-7990

インターネットによる電子デバイスのご紹介

<http://www.epson.co.jp/device/>