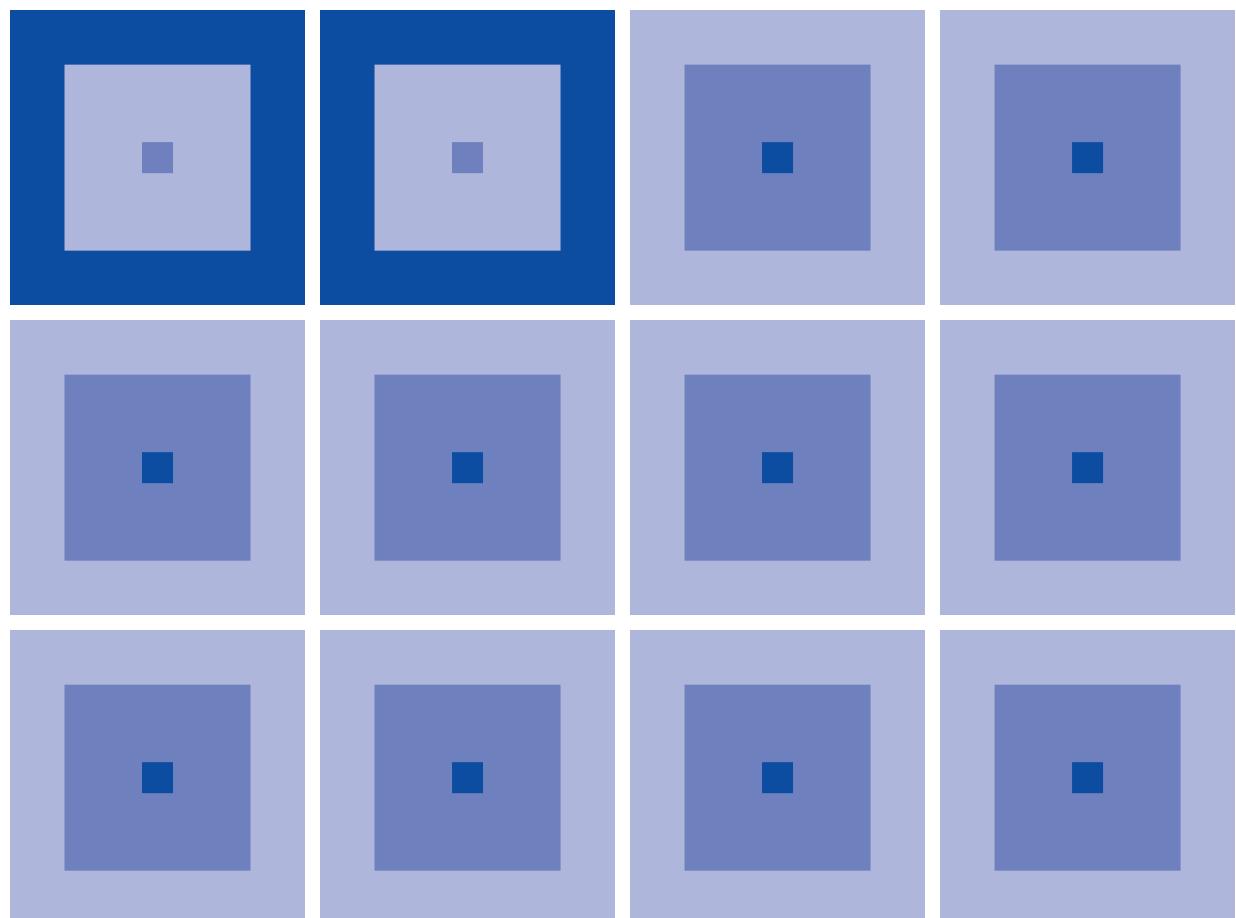


CMOS 4-BIT SINGLE CHIP MICROCOMPUTER  
**S1C63558**

テクニカルマニュアル

S1C63558 Technical Hardware



本資料のご使用につきましては、次の点にご留意願います。

1. 本資料の内容については、予告なく変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利(工業所有権を含む)侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち、「外国為替および外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、一般民生用です。生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合の如何なる責任についても負いかねます。

## 本版で改訂または追加された箇所

章	節/項	頁	項目	内容
2	2.1.2	8	表2.1.2.1 内部発生時のLCD駆動電圧	表変更
4	4.7.3	48	表4.7.3.1 内部発生時のLCD駆動電圧	表変更

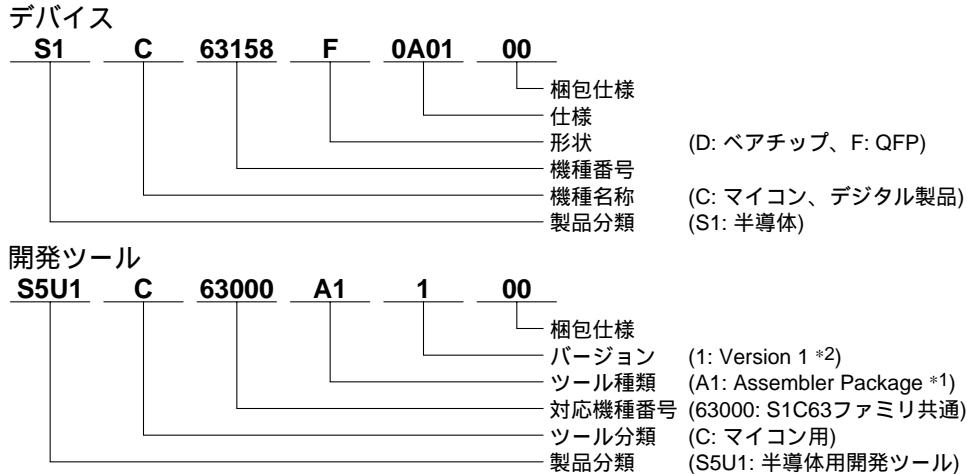


## 製品型番変更のご案内

2001年4月1日より、弊社半導体製品の製品型番が以下のとおり変更となっておりますので、ご発注につきましては変更後の製品型番にてお願い申し上げます。

なお、製品型番の詳細仕様につきましては、弊社営業担当にお問い合わせください。

## 製品型番体系



\*1: ツールの種類は、新旧型番対応表を参照してください。(マニュアル類には一桁で記載されているものもあります。)

\*2: マニュアル類には、実際のバージョンは記載されておりません。

## 新旧型番対応表

### S1C63ファミリ

旧型番	新型番
E0C63158	S1C63158
E0C63256	S1C63256
E0C63358	S1C63358
E0C63P366	S1C6P366
E0C63404	S1C63404
E0C63406	S1C63406
E0C63408	S1C63408
E0C63F408	S1C6F408
E0C63454	S1C63454
E0C63455	S1C63455
E0C63458	S1C63458
E0C63466	S1C63466
E0C63P466	S1C6P466

### S1C63ファミリのペリフェラル製品

旧型番	新型番
E0C5250	S1C05250
E0C5251	S1C05251

## 開発ツール新旧型番対応表

### S1C63ファミリ関係の開発ツール

旧型番	新型番
ADP63366	S5U1C63366X
ADP63466	S5U1C63466X
ASM63	S5U1C63000A
GAM63001	S5U1C63000G
ICE63	S5U1C63000H1
PRC63001	S5U1C63001P
PRC63002	S5U1C63002P
PRC63004	S5U1C63004P
PRC63005	S5U1C63005P
PRC63006	S5U1C63006P
PRC63007	S5U1C63007P
URS63366	S5U1C63366Y

### S1C63/88ファミリ関係の開発ツール

旧型番	新型番
ADS00002	S5U1C88000X1
GWH00002	S5U1C88000W2
URM00002	S5U1C88000W1



- 目 次 -

<b>1</b>	<b>概要</b>	<b>1</b>
1.1	特長 .....	1
1.2	ブロック図 .....	2
1.3	端子配置図 .....	3
1.4	端子説明 .....	4
1.5	マスクオプション .....	5
<b>2</b>	<b>電源系 および イニシャルリセット</b>	<b>8</b>
2.1	電源系 .....	8
2.1.1	発振回路および内部回路用電圧<VD1> .....	8
2.1.2	LCD駆動用電圧<VC1 ~ VC5> .....	8
2.2	イニシャルリセット .....	9
2.2.1	リセット端子( RESET ) .....	9
2.2.2	入力ポート( K00 ~ K03 )の同時LOW入力 .....	10
2.2.3	イニシャルリセット時の内部レジスタ .....	10
2.2.4	イニシャルリセット時の端子設定 .....	11
2.3	テスト端子( TEST ) .....	11
<b>3</b>	<b>CPU, ROM, RAM</b>	<b>12</b>
3.1	CPU .....	12
3.2	コードROM .....	12
3.3	RAM .....	12
3.4	データROM .....	13
<b>4</b>	<b>周辺回路と動作</b>	<b>14</b>
4.1	メモリマップ .....	14
4.2	ウォッチドッグタイマ .....	23
4.2.1	ウォッチドッグタイマの構成 .....	23
4.2.2	割り込み機能 .....	23
4.2.3	ウォッチドッグタイマのI/Oメモリ .....	24
4.2.4	プログラミング上の注意事項 .....	24
4.3	発振回路 .....	25
4.3.1	発振回路の構成 .....	25
4.3.2	OSC1発振回路 .....	25
4.3.3	OSC3発振回路 .....	26
4.3.4	CPU動作クロックの切り換え .....	26
4.3.5	クロック周波数とインストラクション実行時間 .....	26
4.3.6	発振回路のI/Oメモリ .....	27
4.3.7	プログラミング上の注意事項 .....	27
4.4	入力ポート( K00 ~ K03, K10 ~ K13 ) .....	28
4.4.1	入力ポートの構成 .....	28
4.4.2	割り込み機能 .....	28

4.4.3 マスクオプション .....	29
4.4.4 入力ポートのI/Oメモリ .....	30
4.4.5 プログラミング上の注意事項 .....	32
4.5 出力ポート( R00 ~ R03, R10 ~ R13, R20 ~ R23 ).....	33
4.5.1 出力ポートの構成 .....	33
4.5.2 マスクオプション .....	33
4.5.3 ハイインピーダンス制御 .....	34
4.5.4 特殊出力 .....	34
4.5.5 出力ポートのI/Oメモリ .....	37
4.5.6 プログラミング上の注意事項 .....	40
4.6 入出力兼用ポート( P00 ~ P03, P10 ~ P13, P20 ~ P23, P30 ~ P33 ).....	41
4.6.1 入出力兼用ポートの構成 .....	41
4.6.2 マスクオプション .....	42
4.6.3 I/O制御レジスタと入力/出力モード .....	42
4.6.4 入力モード時のプルアップ .....	42
4.6.5 特殊出力( CL, FR ).....	43
4.6.6 入出力兼用ポートのI/Oメモリ .....	44
4.6.7 プログラミング上の注意事項 .....	47
4.7 LCDドライバ .....	48
4.7.1 LCDドライバの構成 .....	48
4.7.2 マスクオプション .....	48
4.7.3 LCD駆動電源 .....	48
4.7.4 LCD表示のON/OFFとデューティの切り換え .....	48
4.7.5 表示メモリ .....	50
4.7.6 LCDコントラスト調整 .....	52
4.7.7 LCDドライバのI/Oメモリ .....	53
4.7.8 プログラミング上の注意事項 .....	55
4.8 計時タイマ .....	56
4.8.1 計時タイマの構成 .....	56
4.8.2 データの読み出しとホールド機能 .....	56
4.8.3 割り込み機能 .....	57
4.8.4 計時タイマのI/Oメモリ .....	58
4.8.5 プログラミング上の注意事項 .....	59
4.9 ストップウォッチタイマ .....	60
4.9.1 ストップウォッチタイマの構成 .....	60
4.9.2 カウントアップパターン .....	60
4.9.3 割り込み機能 .....	61
4.9.4 ストップウォッチタイマのI/Oメモリ .....	62
4.9.5 プログラミング上の注意事項 .....	63
4.10 プログラマブルタイマ .....	64
4.10.1 プログラマブルタイマの構成 .....	64
4.10.2 カウンタ初期値の設定とダウンカウント動作 .....	65
4.10.3 カウンタモード .....	66
4.10.4 タイマモード入力クロックの設定 .....	67
4.10.5 割り込み機能 .....	68
4.10.6 TOUT出力の設定 .....	68
4.10.7 シリアルレインタフェースの転送速度設定 .....	69

4.10.8 プログラマブルタイマのI/Oメモリ .....	70
4.10.9 プログラミング上の注意事項 .....	74
4.11 シリアルインタフェース .....	76
4.11.1 シリアルインタフェースの構成 .....	76
4.11.2 マスクオプション .....	77
4.11.3 転送モード .....	77
4.11.4 クロック源 .....	79
4.11.5 送受信の制御 .....	80
4.11.6 クロック同期式転送の動作 .....	81
4.11.7 調歩同期式転送の動作 .....	85
4.11.8 割り込み機能 .....	89
4.11.9 シリアルインタフェースのI/Oメモリ .....	91
4.11.10 プログラミング上の注意事項 .....	98
4.12 サウンドジェネレータ .....	99
4.12.1 サウンドジェネレータの構成 .....	99
4.12.2 ブザー回路 .....	99
4.12.3 ブザー出力の制御 .....	100
4.12.4 ブザー周波数と音量の設定 .....	101
4.12.5 デジタルエンベロープ .....	102
4.12.6 1ショット出力 .....	103
4.12.7 サウンドジェネレータのI/Oメモリ .....	104
4.12.8 プログラミング上の注意事項 .....	107
4.13 SVD( 電源電圧検出 )回路 .....	108
4.13.1 SVD回路の構成 .....	108
4.13.2 マスクオプション .....	108
4.13.3 SVD動作 .....	108
4.13.4 SVD回路のI/Oメモリ .....	109
4.13.5 プログラミング上の注意事項 .....	110
4.14 電話機能( トーン/パルスダイアラ ) .....	111
4.14.1 トーン/パルスダイアラの構成 .....	111
4.14.2 マスクオプション .....	112
4.14.3 ダイアル処理手順 .....	112
4.14.4 トーンモード( DTMF ) .....	115
4.14.5 パルスモード( DP ) .....	118
4.14.6 ポーズ .....	121
4.14.7 フラッシュ .....	123
4.14.8 ホールドライン .....	124
4.14.9 割り込み .....	125
4.14.10 電話機能のI/Oメモリ .....	126
4.14.11 プログラミング上の注意事項 .....	135
4.15 FSK復調回路 .....	136
4.15.1 FSK復調回路の構成 .....	136
4.15.2 マスクオプション .....	138
4.15.3 リング/キャリア検出と割り込み .....	139
4.15.4 FSK復調データの入力 .....	140
4.15.5 FSK復調回路のI/Oメモリ .....	142
4.15.6 プログラミング上の注意事項 .....	144

4.16 割り込みとHALT .....	145
4.16.1 割り込みの要因 .....	147
4.16.2 割り込みの個別マスク .....	148
4.16.3 割り込みベクタ .....	148
4.16.4 割り込みのI/Oメモリ .....	149
4.16.5 プログラミング上の注意事項 .....	151
<b>5 注意事項のまとめ .....</b>	<b>152</b>
5.1 低消費電流化のための注意事項 .....	152
5.2 個別機能についての注意事項のまとめ .....	153
5.3 実装上の注意事項 .....	157
<b>6 基本外部結線図 .....</b>	<b>159</b>
<b>7 電気的特性 .....</b>	<b>160</b>
7.1 絶対最大定格 .....	160
7.2 推奨動作条件 .....	160
7.3 DC特性 .....	161
7.4 アナログ回路特性・消費電流 .....	162
7.5 発振特性 .....	163
7.6 シリアルインターフェース(1)(2)AC特性 .....	164
7.7 FSK復調回路AC特性 .....	165
7.8 電話機能特性 .....	166
7.9 タイミングチャート .....	166
7.10 特性グラフ(参考値) .....	167
<b>8 パッケージ .....</b>	<b>169</b>
8.1 プラスチックパッケージ .....	169
8.2 テストサンプル用セラミックパッケージ .....	170
<b>9 パッド配置 .....</b>	<b>171</b>
9.1 パッド配置図 .....	171
9.2 パッド座標 .....	172

# 1 概要

S1C63558は高性能4ビットCPU S1C63000を中心に、ワンチップ上にROM( 8,192ワード×13ビット ) RAM( 5,120ワード×4ビット ) シリアルインターフェース、ウォッチドッグタイマ、プログラマブルタイマ、タイムベースカウンタ( 2系統 ) SVD回路、最大40セグメント×17コモンのドットマトリクスLCD駆動回路、DTMF/DPジェネレータ、FSK復調回路、サウンドジェネレータ等を内蔵したマイクロコンピュータです。2.2V～5.5Vまでの動作電圧による高速動作および低消費電流等の特長を持ち、電池駆動を必要とする応用に適しています。特に大容量のRAMを内蔵しているため、コーラーID( Caller ID )や携帯用データバンクシステム等への応用に最適です。

## 1.1 特長

OSC1発振回路	32.768kHz( Typ. )	水晶発振回路
OSC3発振回路	3.58MHz( Typ. )	セラミック発振回路
インストラクションセット	基本命令 46種類( 全命令数 411種類 )	アドレッシングモード 8種類
インストラクション実行時間	32.768kHz動作時: 61μsec 122μsec 183μsec 3.58MHz動作時: 0.56μsec 1.12μsec 1.68μsec	
ROM容量	命令ROM: 8,192ワード×13ビット データROM: 2,048ワード×4ビット( =8Kビット )	
RAM容量	データメモリ: 5,120ワード×4ビット 表示メモリ: 816ビット( 192ワード×4ビット + 48×1ビット )	
入力ポート	8ビット( プルアップ抵抗の付加が可能*1 )	
出力ポート	12ビット( 8ビットを特殊出力に切り換え可能*2 )	
入出力兼用ポート	16ビット( 2ビットを特殊出力、4ビットをシリアルI/F出力に切り換え可能*2 )	
シリアルインターフェース	2ch. ( クロック同期式8ビット/調歩同期式8ビット転送が選択可能*2 )	
LCDドライバ	40セグメント×8、16または17コモン( *2 )/48セグメント×8コモン( *1 )	
タイムベースカウンタ	2系統( 計時タイマ、ストップウォッチタイマ )	
プログラマブルタイマ	内蔵( 2入力×8ビット、イベントカウンタ機能付き )	
ウォッチドッグタイマ	内蔵	
DTMFジェネレータ	内蔵	
DPジェネレータ	内蔵	
FSK復調回路	内蔵( ITU-T V.23/Bell 202準拠 )	
サウンドジェネレータ	エンベロープ、1ショット出力機能付き	
電源電圧検出( SVD )回路	12値プログラマブル( 2.20V～3.30V ) ( 1値を外部電圧検出に切り換え可能*1 )	
外部割り込み	入力ポート割り込み	2系統
内部割り込み	計時タイマ割り込み ストップウォッチタイマ割り込み プログラマブルタイマ割り込み シリアルインターフェース割り込み ダイアル割り込み FSK割り込み	4系統 2系統 2系統 6系統 1系統 2系統
電源電圧	2.2V～5.5V	
動作温度範囲	-20°C～70°C	
消費電流( Typ. )	低速動作時( OSC1: 水晶発振 ) HALT時( 32kHz ) 3.0V( 液晶電源OFF ) 1.5μA 3.0V( 液晶電源ON ) 4μA 動作時( 32kHz ) 3.0V( 液晶電源ON ) 10μA 高速動作時( OSC3: セラミック発振 ) 動作時( 3.58MHz ) 3.0V( 液晶電源ON ) 600μA FSK動作時 5.5V( 液晶電源ON ) 1,800μA	
出荷形態	QFP15-128pin( プラスチック )またはチップ	

\*1: マスクオプションにより選択 \*2: ソフトウェアにより選択

## 1.2 ブロック図

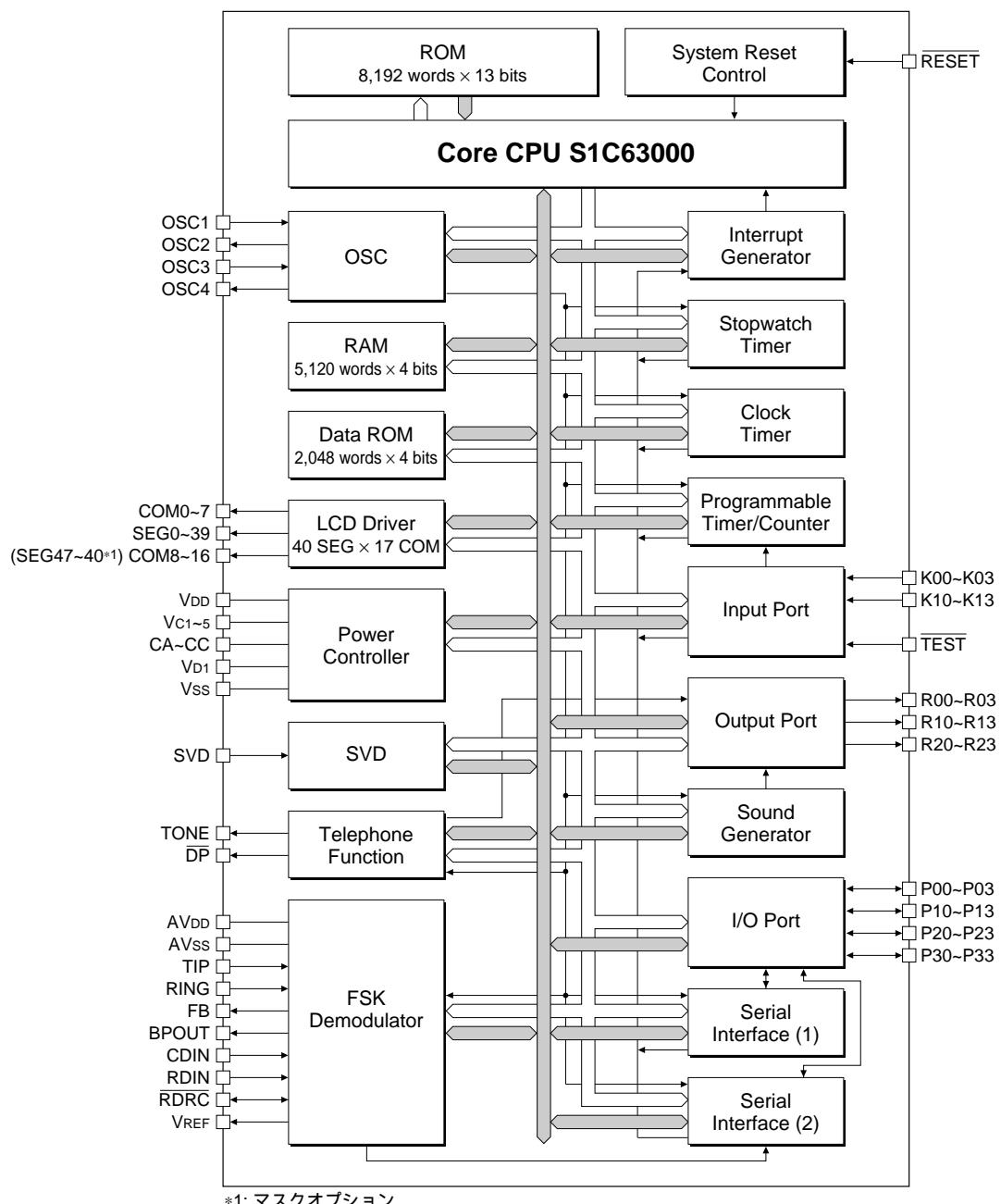
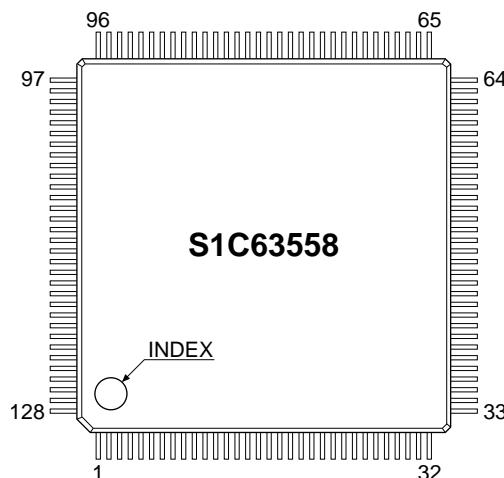


図1.2.1 ブロック図

### 1.3 端子配置図

QFP15-128pin



No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	N.C.	33	SEG4	65	N.C.	97	N.C.
2	SEG34	34	SEG3	66	R10	98	P00
3	SEG33	35	SEG2	67	R03	99	K13
4	SEG32	36	SEG1	68	R02	100	K12
5	SEG31	37	SEG0	69	R01	101	K11
6	SEG30	38	COM7	70	R00	102	K10
7	SEG29	39	COM6	71	CDIN	103	K03
8	SEG28	40	COM5	72	BPOUT	104	K02
9	SEG27	41	COM4	73	$\overline{RDRC}$	105	K01
10	SEG26	42	COM3	74	RDIN	106	K00
11	SEG25	43	COM2	75	VREF	107	SVD
12	SEG24	44	COM1	76	AVSS	108	VC1
13	SEG23	45	COM0	77	FB	109	VC23
14	SEG22	46	Vss	78	RING	110	VC4
15	SEG21	47	OSC1	79	TIP	111	VC5
16	SEG20	48	OSC2	80	AVDD	112	CC
17	SEG19	49	Vd1	81	P33	113	CB
18	SEG18	50	OSC3	82	P32	114	CA
19	SEG17	51	OSC4	83	P31	115	COM8/SEG47 *1
20	SEG16	52	Vdd	84	P30	116	COM9/SEG47 *1
21	SEG15	53	$\overline{RESET}$	85	P23	117	COM10/SEG46 *1
22	SEG14	54	$\overline{TEST}$	86	P22	118	COM11/SEG45 *1
23	SEG13	55	TONE	87	P21	119	COM12/SEG44 *1
24	SEG12	56	$\overline{DP}$	88	P20	120	COM13/SEG43 *1
25	SEG11	57	R23	89	P13	121	COM14/SEG42 *1
26	SEG10	58	R22	90	P12	122	COM15/SEG41 *1
27	SEG9	59	R21	91	P11	123	COM16/SEG40 *1
28	SEG8	60	R20	92	P10	124	SEG39
29	SEG7	61	R13	93	P03	125	SEG38
30	SEG6	62	R12	94	P02	126	SEG37
31	SEG5	63	R11	95	P01	127	SEG36
32	N.C.	64	N.C.	96	N.C.	128	SEG35

\*1: マスクオプション

N.C. : No Connection

図1.3.1 端子配置図

## 1.4 端子説明

表1.4.1 端子説明

端子名	端子No.	入出力	機能
VDD	52	-	電源(+)端子
VSS	46	-	電源(-)端子
VD1	49	-	発振系定電圧出力端子
VC1~VC5	108~111	-	LCD系電源端子 内部発生により1/4バイアス
CA~CC	114~112	-	LCD系昇降圧コンデンサ接続端子
OSC1	47	I	水晶発振入力端子
OSC2	48	O	水晶発振出力端子
OSC3	50	I	セラミック発振入力端子
OSC4	51	O	セラミック発振出力端子
K00~K03	106~103	I	入力端子
K10~K13	102~99	I	入力端子
P00~P03	98, 95~93	I/O	入出力端子
P10~P13	92~89	I/O	入出力端子(シリアルI/F(1)入出力にソフト切り換え)
P20	88	I/O	入出力端子
P21	87	I/O	入出力端子
P22	86	I/O	入出力端子(CL信号出力にソフト切り換え)
P23	85	I/O	入出力端子(FR信号出力にソフト切り換え)
P30~P33	84~81	I/O	入出力端子(シリアルI/F(2)入出力にソフト切り換え)
R00	70	O	出力端子(XBZ信号出力にソフト切り換え)
R01	69	O	出力端子(BZ信号出力にソフト切り換え)
R02	68	O	出力端子(TOUT信号出力にソフト切り換え)
R03	67	O	出力端子(FOUT信号出力にソフト切り換え)
R10	66	O	出力端子(XTMUTE信号出力にソフト切り換え)
R11	63	O	出力端子(XRMUTE信号出力にソフト切り換え)
R12	62	O	出力端子(HDO信号出力にソフト切り換え)
R13	61	O	出力端子(HFO信号出力にソフト切り換え)
R20~R23	60~57	O	出力端子
COM0~COM7	45~38	O	LCDコモン出力端子(1/8, 1/16, 1/17デューティをソフト切り換え)
COM8~COM16 (SEG47~SEG40)	115~123	O	LCDコモン出力端子 またはLCDセグメント出力端子(マスクオプション)
SEG0~SEG39	37~33, 31~2, 128~124	O	LCDセグメント出力端子
SVD	107	I	SVD外部電圧入力端子
DP	56	O	ダイアルパルス出力端子
TONE	55	O	DTMF出力端子
RESET	53	I	イニシャルリセット入力端子
TEST	54	I	テスト用入力端子
AVDD	80	-	FSK復調回路用電源(+)端子
AVSS	76	-	FSK復調回路用電源(-)端子
RDIN	74	I	RING信号検出用入力端子
TIP	79	I	TIP入力端子
RING	78	I	RING入力端子
FB	77	O	初段アンプ出力端子
BPOUT	72	O	バンドパスフィルタ出力端子
CDIN	71	I	キャリア検出用入力端子
RDRC	73	I/O	RCネットワーク接続用入出力端子
VREF	75	O	基準電圧出力端子(1/2VDD)

## 1.5 マスクオプション

S1C63558には以下に示すマスクオプションが設定されています。

各マスクオプションには複数のハードウェア仕様が用意されており、アプリケーションに合わせて選択することができます。この選択にはS1C63558の開発ソフトウェアツールとして用意されているファンクションオプションジェネレータFOG63558を使用します。FOG63558によって作成したデータをもとに最終的なICのマスクパターン生成が行われます。FOG63558については"S5U1C63558D Manual"を参照してください。

### S1C63558のマスクオプション

#### (1)入力ポート( K00 ~ K03 )同時LOW入力による外部リセット

この機能は、複数キーの同時押しによってICをリセットするもので、この機能を使用するかしないかをマスクオプションで選択できます。また、使用する場合は、同時に押すキーを接続する入力ポート( K00 ~ K03 )の組み合わせを選択します。詳細については"2.2.2 入力ポート( K00 ~ K03 )の同時LOW入力"を参照してください。

#### (2)入力ポート同時LOW入力リセットの時間検定回路

(1)の外部リセット機能を使用する場合に時間検定回路を使用するかしないか選択できます。時間検定回路を使用すると、規定時間以上の同時LOW入力があった場合のみ、リセット機能が働きます。詳細については"2.2.2 入力ポート( K00 ~ K03 )の同時LOW入力"を参照してください。

#### (3)入力ポートプルアップ抵抗

入力( K )ポートにプルアップ抵抗を付加するかしないか選択できます。この選択は入力ポートの各ビットごとに行えます。詳細については"4.4.3 マスクオプション"を参照してください。

#### (4)出力ポートの出力仕様

出力( R )ポートの出力仕様として、コンプリメンタリ出力またはNチャンネルオープンドレイン出力が選択できます。選択はビット( R00 ~ R03、R10 ~ R13、R20 ~ R23 )単位で行います。詳細については"4.5.2 マスクオプション"を参照してください。

#### (5)入出力兼用ポートの出力仕様/プルアップ抵抗

入出力兼用( P )ポートが出力モードの際の出力仕様として、コンプリメンタリ出力またはNチャンネルオープンドレイン出力が選択できます。

また、入力モード時に働くプルアップ抵抗を付加するかしないか選択できます。

出力仕様の選択は、入出力兼用ポートごとにビット単位で行います。

プルアップ抵抗の選択は、P2xポートはビット単位、P0x、P1x、P3xポートは4ビット単位で行います。

詳細については"4.6.2 マスクオプション"を参照してください。

#### (6)LCDセグメントの構成

COM8 ~ COM16端子をコモン出力端子として使用するか、SEG47 ~ SEG40端子として使用するか選択できます。

詳細については"4.7.2 マスクオプション"を参照してください。

#### (7)SVD回路の外部電圧検出

電源電圧( VDD端子 - Vss端子 )の低下検出以外に外部電圧( SVD端子 - Vss端子 )の低下検出を選択できます。この外部電圧はSVD端子より入力します。

詳細については"4.13.2 マスクオプション"を参照してください。

(8) **D/P端子の出力仕様**

**D/P** ダイアルパルス出力 端子の出力仕様として、コンプリメンタリ出力またはNチャンネルオープンドレイン出力が選択できます。

詳細については"4.14.2 マスクオプション"を参照してください。

(9) **FSK復調回路入力アンプの利得**

FSK復調回路の入力アンプの利得を内部帰還抵抗を使用して1に固定するか、あるいは外付け抵抗によって可変とするか選択できます。

詳細については"4.15.2 マスクオプション"を参照してください。

(10) **その他の特殊出力端子の出力仕様**

以下の特殊出力端子は出力(R)ポート端子または入出力兼用(P)ポート端子と共に使用されます。

したがって、共用されるポートの出力仕様(コンプリメンタリ出力またはNチャンネルオープンドレイン出力)が特殊出力にも適用されます。

特殊出力信号	共用されるポート
XBZ, BZ, TOUT, FOUT	出力ポートR00 ~ R03
XRMUTE, XTMUTE, HDO, HFO	出力ポートR10 ~ R13
シリアルインターフェースの入出力	入出力兼用ポートP10 ~ P13
CL, FR	入出力兼用ポートP22, P23

**マスクオプションリスト**

S1C63558のオプションリストを以下に示します。各オプション項目には、複数の選択肢が用意されていますので、4章の"周囲回路と動作"を参照してシステムに合った内容を選択してください。使用しない機能についてもオプション設定が必要です。このオプションリストを参照しながら、S1C63558のオプション設定をS5U1C63000A内のfog63558の画面上で行ってください。詳細については"S5U1C63558D Manual"を参照してください。

## 1. キー同時押しリセット組み合わせ( Multiple key entry reset combination )

1. 使用しない
2. 使用する <K00, K01, K02, K03>
3. 使用する <K00, K01, K02>
4. 使用する <K00, K01>

## 2. キー同時押しリセット時間検定( Multiple key entry reset time authorize )

1. 使用しない
2. 使用する

## 3. 入力ポートプルアップ抵抗( Input port pull up resistor )

K00 .....	1. あり	2. なし
K01 .....	1. あり	2. なし
K02 .....	1. あり	2. なし
K03 .....	1. あり	2. なし
K10 .....	1. あり	2. なし
K11 .....	1. あり	2. なし
K12 .....	1. あり	2. なし
K13 .....	1. あり	2. なし

## 4. 出力ポート出力仕様( Output port output specification )

R00 .....	1. コンプリメンタリ	2. Nchオープンドレイン
R01 .....	1. コンプリメンタリ	2. Nchオープンドレイン
R02 .....	1. コンプリメンタリ	2. Nchオープンドレイン
R03 .....	1. コンプリメンタリ	2. Nchオープンドレイン
R10 .....	1. コンプリメンタリ	2. Nchオープンドレイン
R11 .....	1. コンプリメンタリ	2. Nchオープンドレイン
R12 .....	1. コンプリメンタリ	2. Nchオープンドレイン
R13 .....	1. コンプリメンタリ	2. Nchオープンドレイン

---

R20 .....	1. コンプリメンタリ	2. Nchオープンドレイン
R21 .....	1. コンプリメンタリ	2. Nchオープンドレイン
R22 .....	1. コンプリメンタリ	2. Nchオープンドレイン
R23 .....	1. コンプリメンタリ	2. Nchオープンドレイン

**5. I/Oポート出力仕様( I/O port output specification )**

P00 .....	1. コンプリメンタリ	2. Nchオープンドレイン
P01 .....	1. コンプリメンタリ	2. Nchオープンドレイン
P02 .....	1. コンプリメンタリ	2. Nchオープンドレイン
P03 .....	1. コンプリメンタリ	2. Nchオープンドレイン
P10 .....	1. コンプリメンタリ	2. Nchオープンドレイン
P11 .....	1. コンプリメンタリ	2. Nchオープンドレイン
P12 .....	1. コンプリメンタリ	2. Nchオープンドレイン
P13 .....	1. コンプリメンタリ	2. Nchオープンドレイン
P20 .....	1. コンプリメンタリ	2. Nchオープンドレイン
P21 .....	1. コンプリメンタリ	2. Nchオープンドレイン
P22 .....	1. コンプリメンタリ	2. Nchオープンドレイン
P23 .....	1. コンプリメンタリ	2. Nchオープンドレイン
P30 .....	1. コンプリメンタリ	2. Nchオープンドレイン
P31 .....	1. コンプリメンタリ	2. Nchオープンドレイン
P32 .....	1. コンプリメンタリ	2. Nchオープンドレイン
P33 .....	1. コンプリメンタリ	2. Nchオープンドレイン

**6. I/Oポートプルアップ抵抗( I/O port pull up resistor )**

P0x .....	1. あり	2. なし
P1x .....	1. あり	2. なし
P20 .....	1. あり	2. なし
P21 .....	1. あり	2. なし
P22 .....	1. あり	2. なし
P23 .....	1. あり	2. なし
P3x .....	1. あり	2. なし

**7. DPポート出力仕様( DP port output specification )**

- |             |                |
|-------------|----------------|
| 1. コンプリメンタリ | 2. Nchオープンドレイン |
|-------------|----------------|

**8. SVD回路外部電圧検出( SVD external voltage detection )**

- 1. 使用しない
- 2. 使用する

**9. LCDドライバ仕様( LCD driver specification )**

- 1. 40seg \* 17com
- 2. 48seg \* 8com

**10. FSK回路帰還抵抗( FSK internal feedback resistor )**

- 1. 使用する
- 2. 使用しない

## 2 電源系 および イニシャルリセット

### 2.1 電源系

S1C63558の動作電源電圧は次のとおりです。

電源電圧  $V_{DD} = 2.2V \sim 5.5V$

S1C63558は上記範囲の単一電源を  $V_{DD} - V_{SS}$  間に与えることにより動作し、内部に必要な電圧を、内蔵された以下の電源回路によりIC自身で発生します。

回路系	電源回路	出力電圧
発振、内部回路	発振系定電圧回路	$V_{D1}$
LCD駆動回路	LCD系電圧回路	$V_{C1} \sim V_{C5}$
FSK復調回路	アナログ系電源	$A_{VDD}, A_{VSS}$

- 注:
- 内部電源回路の出力電圧による外付け負荷の駆動は禁止します。
  - 電圧値、駆動能力については"7 電気的特性"を参照してください。

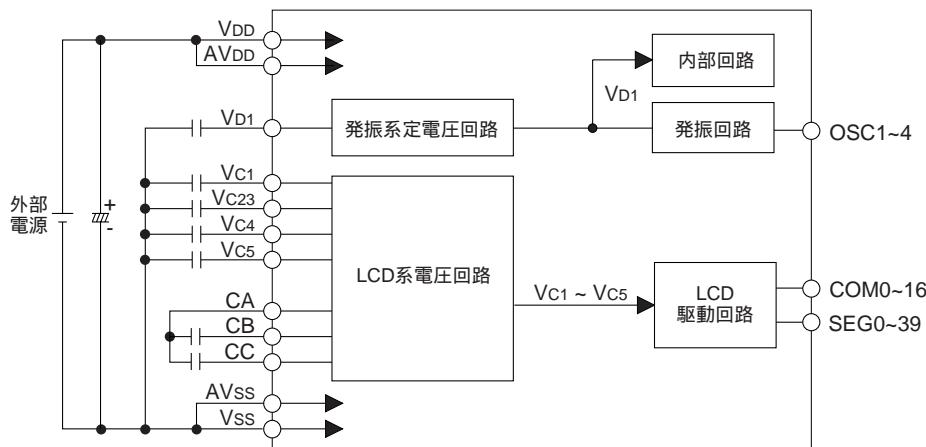


図2.1.1 電源系の構成

#### 2.1.1 発振回路および内部回路用電圧< $V_{D1}$ >

$V_{D1}$ は発振回路および内部ロジック回路用の電圧で、発振を安定させるため発振系定電圧回路で発生しています。電圧値は2.1V固定となり、ソフトウェアによる制御は必要ありません。

#### 2.1.2 LCD駆動用電圧< $V_{C1} \sim V_{C5}$ >

$V_{C1}, V_{C23}, V_{C4}, V_{C5}$ はLCD(1/4バイアス)駆動用の電圧で、内蔵のLCD系電圧回路が発生します。この4つの出力電圧は外付けして拡張するLCDドライバに限り、外部に対して供給可能です。

LCD系電圧回路は、 $V_{C23}$ を発生し、その電圧を昇圧または降圧して他の3電位を発生します。表2.1.2.1に  $V_{C1}, V_{C23}, V_{C4}, V_{C5}$  の電圧値と昇降圧の状態を示します。

表2.1.2.1 内部発生時のLCD駆動電圧

LCD駆動電圧	昇降圧状態	電圧値[V]
$V_{C1}$	$V_{C2} \times 0.5$	1.13
$V_{C23}$	$V_{C2}$ (基準)	2.25
$V_{C4}$	$V_{C2} \times 1.5$	3.38
$V_{C5}$	$V_{C2} \times 2$	4.50

注) LCD駆動電圧はソフトウェア(4.7.5項参照)により調整できます。

表の数値はTYP値です。

LCD駆動電圧の制御方法については"4.7 LCDドライバ"を参照してください。

## 2.2 イニシャルリセット

S1C63558は回路を初期化するためにイニシャルリセットを必要とします。イニシャルリセット要因としては次の2種類があります。

- (1) RESET端子による外部イニシャルリセット
  - (2) K00～K03端子の同時LOWレベル入力による外部イニシャルリセット(マスクオプションで設定)
- (1)または(2)のいずれかにより回路が初期化されます。電源投入時は必ずこのリセット機能を使用し、確実に初期化する必要があります。電源投入のみでは回路が正しく初期化される保証はありません。

図2.2.1にイニシャルリセット回路の構成を示します。

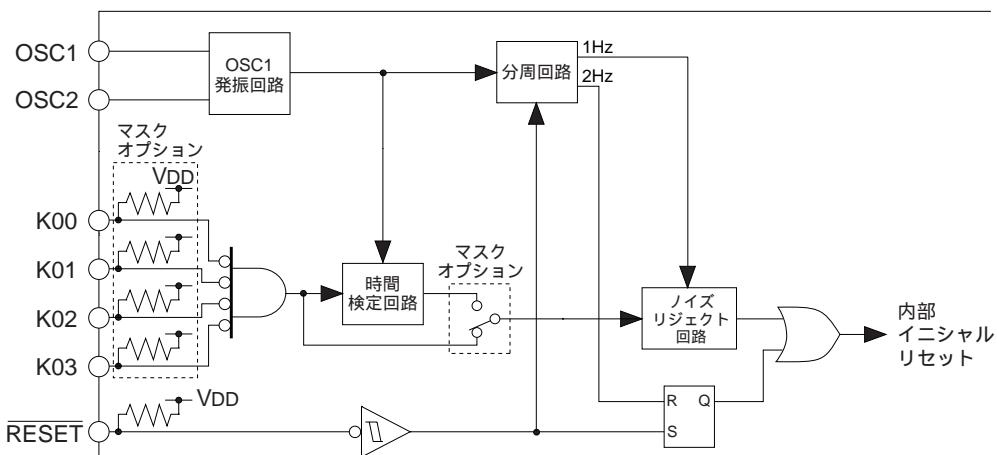


図2.2.1 イニシャルリセット回路の構成

### 2.2.1 リセット端子( RESET )

外部よりリセット端子をLOWレベル(  $V_{SS}$  )にすることによりイニシャルリセットが行えます。

その後、リセット端子をHIGHレベル(  $V_{DD}$  )にすることによりイニシャルリセットは解除され、CPUが動作を開始します。

リセット入力信号はRSラッチにより保持され、内部イニシャルリセット信号となります。RSラッチはOSC1クロックを分周した2Hz信号( HIGH )で解除されるようになっています。したがって、通常動作時はリセット端子がHIGHレベルになった後、内部イニシャルリセットが解除されるまで、最大250msec(  $f_{OSC1}=32.768\text{kHz}$  時 )の時間を要します。

確実にイニシャルリセットを行うために、リセット入力は最低0.1msec以上、LOWレベルを保ってください。ただし、電源投入時については図2.2.1.1に示すタイミングでリセット端子をLOWレベルにしてください。

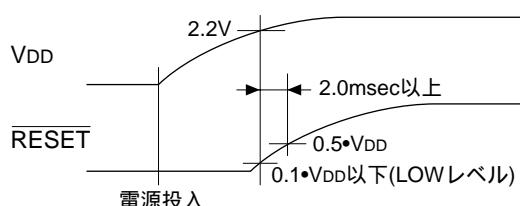


図2.2.1.1 電源投入時のイニシャルリセット

電源電圧が2.2V以上になるまで、リセット端子を0.1・ $V_{DD}$ 以下( LOWレベル )とします。

その後2.0msec以上、0.5・ $V_{DD}$ 以下のレベルを保持します。

### 2.2.2 入力ポート( K00 ~ K03 )の同時LOW入力

マスクオプションで選択された入力ポート( K00 ~ K03 )に、外部から同時にLOW入力を与えることによりイニシャルリセットが行えます。このイニシャルリセットはノイズリジェクト回路を通るため、動作中は1.5msec( 発振周波数fosc1=32.768kHzの場合 )以上、指定入力ポート端子をLOWレベルに保ってください。また、電源投入時には発振が停止しているため、ノイズリジェクト回路は動作しません。このため、発振開始後、さらに1.5msec( 発振周波数fosc1=32.768kHzの場合 )以上、指定入力ポート端子をLOWレベルに保ってください。表2.2.2.1にマスクオプションで選択できる入力ポート( K00 ~ K03 )の組合せを示します。

表2.2.2.1 入力ポートの組合せ

1	使用しない
2	K00*K01*K02*K03
3	K00*K01*K02
4	K00*K01

たとえば、マスクオプションで2の"K00\*K01\*K02\*K03"を選択した場合、K00 ~ K03の4ポートの入力が同時にLOWレベルになったときにイニシャルリセットを行います。3または4の場合は、選択した入力ポートの組合せが含まれるキー入力が行われたときにイニシャルリセットがかかります。

また、同時LOW入力の入力時間を検定し、規定時間( 1 ~ 2秒 )以上の入力があったときにイニシャルリセットを行う時間検定回路をマスクオプションで選択できます。

なお、このリセット機能を使用する場合、通常動作時に指定ポートが同時にLOWレベルにならないように注意してください。

### 2.2.3 イニシャルリセット時の内部レジスタ

イニシャルリセットによりCPUは表2.2.3.1のように初期化されます。

イニシャルリセットによって初期化されないレジスタ、フラグは必要に応じてプログラムで初期化する必要があります。

特にスタックポインタSP1およびSP2は必ずペアで設定してください。イニシャルリセット後は、SP1、SP2両方のスタックポインタがソフトウェアにより設定されるまでNMIを含むすべての割り込みがマスクされます。

EXTレジスタにデータを書き込むとEフラグがセットされ、次の命令が拡張アドレッシングモードで実行されます。そこに拡張アドレッシングが禁止されている命令を使用した場合、動作が保証されません。したがって、EXTレジスタの初期化のみを目的としたデータ書き込みは行わないでください。

拡張アドレッシングと使用可能な命令については"S1C63000コアCPUマニュアル"を参照してください。

表2.2.3.1 初期設定値

CPUコア				周辺回路		
名 称	記号	ビット長	設定値	名 称	ビット長	設定値
データレジスタA	A	4	不定	RAM	4	不定
データレジスタB	B	4	不定	表示メモリ	4	不定
拡張レジスタEXT	EXT	8	不定	その他の周辺回路	-	*
インデックスレジスタX	X	16	不定			
インデックスレジスタY	Y	16	不定			
プログラムカウンタ	PC	16	0110H			
スタックポインタSP1	SP1	8	不定			
スタックポインタSP2	SP2	8	不定			
ゼロフラグ	Z	1	不定			
キャリーフラグ	C	1	不定			
インタラブトフラグ	I	1	0			
拡張フラグ	E	1	0			
キューレジスタ	Q	16	不定			

\* "4.1 メモリマップ"参照

### 2.2.4 イニシャルリセット時の端子設定

S1C63558の出力ポート(R 端子)、入出力兼用ポート(P 端子)は特殊出力端子やシリアルインターフェースの入出力端子と兼用されており、それらの機能をソフトウェアで選択するようになっています。イニシャルリセット時、各端子はすべてが汎用出力ポート端子、汎用入出力兼用ポート端子として設定されますので、アプリケーションの初期化ルーチンでシステムに合った設定を行ってください。また、システム設計の際には、出力端子の初期状態にも注意してください。

表2.2.4.1に兼用端子設定の一覧を示します。

表2.2.4.1(a) 兼用端子設定一覧( Rxx )

端子名	イニシャルリセット時の 端子状態	特殊出力使用時							
		FOUT	TOUT	BZ	XBZ	HFO	HDO	XRMUTE	XTMUTE
R00	R00 (HIGH出力)				XBZ				
R01	R01 (HIGH出力)			BZ					
R02	R02 (HIGH出力)		TOUT						
R03	R03 (HIGH出力)	FOUT							
R10	R10 (HIGH出力)								XTMUTE
R11	R11 (HIGH出力)							XRMUTE	
R12	R12 (HIGH出力)						HDO		
R13	R13 (HIGH出力)					HFO			
R20~R23	R20~R23 (HIGH出力)								

表2.2.4.1(b) 兼用端子設定一覧( Pxx )

端子名	イニシャルリセット時の 端子状態	特殊出力使用時		シリアルインターフェース使用時*2		
		CL	FR	Async.	Clk-sync. Master	Clk-sync. Slave
P00~P03	P00~P03 (入力&プルアップ*1)					
P10	P10 (入力&プルアップ*1)			SIN(I)	SIN(I)	SIN(I)
P11	P11 (入力&プルアップ*1)			SOUT(O)	SOUT(O)	SOUT(O)
P12	P12 (入力&プルアップ*1)				SCLK(O)	SCLK(I)
P13	P13 (入力&プルアップ*1)					SRDY(O)
P20	P20 (入力&プルアップ*1)					
P21	P21 (入力&プルアップ*1)					
P22	P22 (入力&プルアップ*1)	CL				
P23	P23 (入力&プルアップ*1)		FR			
P30	P30 (入力&プルアップ*1)			SIN(I)	SIN(I)	SIN(I)
P31	P31 (入力&プルアップ*1)			SOUT(O)	SOUT(O)	SOUT(O)
P32	P32 (入力&プルアップ*1)				SCLK(O)	SCLK(I)
P33	P33 (入力&プルアップ*1)					SRDY(O)

\*1 マスクオプションにて"プルアップあり"選択時 ("プルアップなし"選択時はハイインピーダンス)

\*2 P10 ~ P13はシリアルI/F(1)用、P30 ~ P33はシリアルI/F(2)用の入出力端子です。

機能の設定方法については各周辺回路の説明を参照してください。

### 2.3 テスト端子( TEST )

ICの出荷検査時に使用する端子です。通常動作時はTESTをVDDに接続してください。

## 3 CPU, ROM, RAM

### 3.1 CPU

S1C63558はCPU部分に4ビットコアCPU S1C63000を使用しています。

S1C63000については"S1C63000コアCPUマニュアル"を参照してください。

注: S1C63558においては、SLEEP動作を想定していないため、SLP命令は使用できません。

### 3.2 コードROM

内蔵コードROMはプログラム格納用のマスクROMで、8,192ステップ×13ビットの容量があります。コアCPUのプログラム領域は0000H～FFFFHステップまでリニアにアクセス可能ですが、S1C63558では、このうち0000H～1FFFHステップがプログラム領域となります。イニシャルリセット後のプログラム開始番地が0110Hステップ、ノンマスカブル割り込み(NMI)ベクタが0100H、ハードウェア割り込みベクタが0104H～010EHステップに割り当てられています。

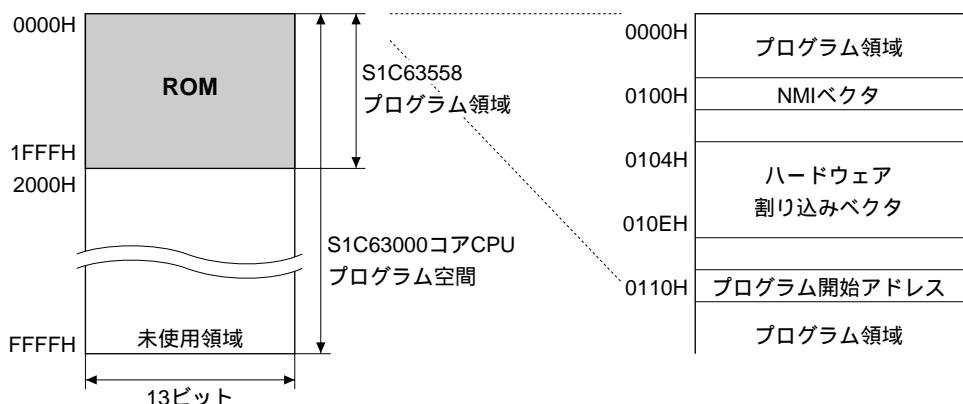


図3.2.1 コードROMの構成

### 3.3 RAM

RAMは種々のデータを格納するデータメモリで、5,120ワード×4ビットの容量があります。

RAM領域は、データメモリマップ上のアドレス0000H～13FFHに割り当てられています。

この中でアドレス0100H～01FFHが4ビット/16ビットデータアクセスが可能な領域、その他の領域は4ビットデータアクセスのみ可能な領域となっています。

プログラミングの際には以下の点に注意してください。

- (1)データメモリの一部をサブルーチンコールやレジスタ退避時のスタック領域としても使用しますので、データ領域とスタック領域が重ならないように注意してください。
- (2)S1C63000コアCPUは、4ビットデータ用スタックポインタ(SP2)および16ビットデータ用スタックポインタ(SP1)によりスタック処理を行います。SP1によるスタック処理では16ビットデータアクセスが行われますので、このスタック領域の設定は4ビット/16ビットアクセスが可能な領域内(0100H～01FFH)で行ってください。スタックポインタは、SP1が0000H～03FFH、SP2が0000H～00FFHの範囲でサイクリックに動作します。このため、SP1はS1C63558の4ビット/16ビットアクセス領域を外れた0200H以上、あるいは00FFH以下の領域にも設定される可能性がありますので注意してください。SP1によるスタック操作以外のメモリアクセスは4ビットデータアクセスとなります。
- また、イニシャルリセット時は、スタックポインタSP1、SP2の両方がソフトウェアで設定されるまでNMIを含むすべての割り込みがマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまでNMIを含む割り込みは再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

(3) サブルーチンコールでは16ビットデータ用スタック(SP1)を4ワード(PCの退避)消費します。  
 割り込みでは16ビットデータ用スタックエリアを4ワード(PCの退避)4ビットデータ用スタックエリアを1ワード(Fレジスタの退避)消費します。

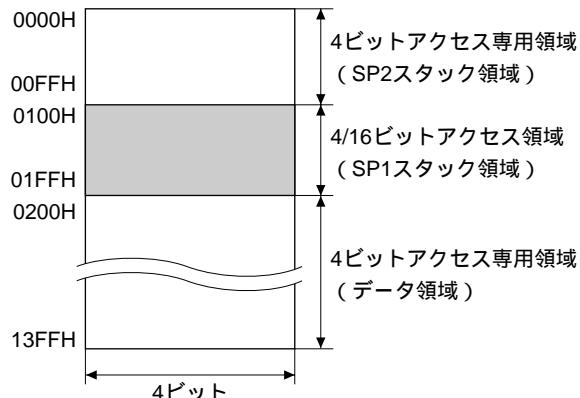


図3.3.1 データRAMの構成

### 3.4 データROM

データROMはキャラクタジェネレータなどの各種固定データ格納用のマスクROMで、2,048ワード×4ビットの容量があります。データメモリマップ上のアドレス8000H～87FFHに割り当てられており、RAMと同様にデータメモリアクセス命令でデータを読み出すことができます。

## 4 周辺回路と動作

S1C63558の周辺回路( タイマ、I/O等 )はメモリマップドI/O方式で、CPUとインターフェースされています。このため、メモリマップ上のI/Oメモリをメモリ操作命令でアクセスすることにより、すべての周辺回路を制御することができます。

以下に、各周辺回路の動作について詳細に説明します。

### 4.1 メモリマップ

S1C63558のデータメモリは5,120ワードのRAM、2,048ワードのデータROM、816ビットの表示メモリ、97ワードの周辺I/Oメモリで構成されます。

図4.1.1にS1C63558の全体のメモリマップ、表4.1.1( a )~( h )に周辺回路( I/O空間 )のメモリマップを示します。

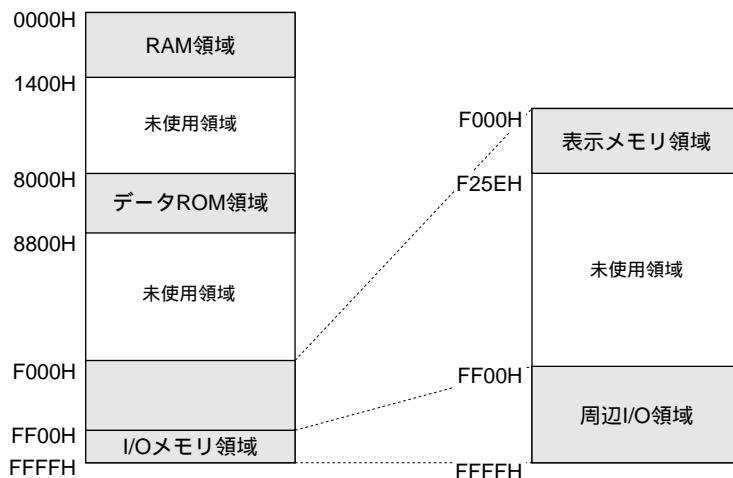


図4.1.1 メモリマップ

注：メモリマップの未使用領域にはメモリが実装されていません。また、表示メモリ領域および周辺I/O領域にも非実装領域、未使用( アクセス禁止 )領域が存在します。これらの領域をアクセスするようなプログラムを作成した場合は、正常な動作を保証することはできません。

表示メモリについては"4.7.5 表示メモリ"を、周辺I/O領域については表4.1.1( a )~( h )に示すI/Oメモリマップを参照してください。

表4.1.1(a) I/Oメモリマップ( FF00H ~ FF18H )

アドレス	レジスタ				Name	Init *1	注 釈	
	D3	D2	D1	D0			1	0
FF00H	CLKCHG	OSCC	0	Dummy	CLKCHG	0	OSC3 On	CPUクロック切り換え OSC3発振On/Off 未使用 汎用レジスタ
	R/W		R	R/W	OSCC	0	Off	
					0 *3	- *2		
FF04H	SVDS3	SVDS2	SVDS1	SVDS0	SVDS3	0		SVD比較電圧設定
	R/W		R/W		SVDS2	0		[SVDS3~0] 0 1 2 3 4 5 6 7 電圧(V) 2.20/1.05 2.20 2.20 2.20 2.20 2.30 2.40 2.50
					SVDS1	0		[SVDS3~0] 8 9 10 11 12 13 14 15 電圧(V) 2.60 2.70 2.80 2.90 3.00 3.10 3.20 3.30
					SVDS0	0		
FF05H	0	0	SVDDT	SVDON	0 *3	- *2		未使用
	R/W		R/W		0 *3	- *2		未使用
					SVDDT	0	Low	SVD検出データ
FF06H	FOUTE	0	FOFQ1	FOFQ0	FOUTE	0	Normal	SVD回路On/Off
	R/W	R	R/W		0 *3	- *2	Off	
					FOFQ1	0		R03出力選択( R03レジスタを"1"に固定 )
					FOFQ0	0		未使用
FF07H	0	0	WDEN	WDRST	0 *3	- *2		
	R/W	R	R/W	W	0 *3	- *2		
					WDEN	1	Enable	未使用
FF10H	TPS	0	MB	DRS	WDRST *3	Reset	Invalid	未使用
	R/W	R	R/W		TPS	0	Pulse	オッヂドッグタイマネーブル
					0 *3	- *2	Tone	オッヂドッグタイマリセット(書き込み時)
FF11H	PTS3	PTS2	PTS1	PTS0	PTS3	0		トーン/パルスマード選択
	R/W		R/W		PTS2	1		未使用
					PTS1	0		メイク率選択
					PTS0	0	20pps	パレスレート選択
FF12H	FTS3	FTS2	FTS1	FTS0	FTS3	0		ボーズ時間選択( 初期値: 4sec )
	R/W		R/W		FTS2	1		[PTS3~0] 0 1 2 3 4 5 6 7 時間(sec) × 1 2 3 4 5 6 7
					FTS1	0		[PTS3~0] 8 9 10 11 12 13 14 15 時間(sec) × 8 9 10 11 12 13 14 15
					FTS0	0		
FF13H	CHFO	CHDO	CRMO	CTMO	CHFO	0	HFO	フランジ時間選択( 初期値: 563ms )
	R/W		R/W		CHDO	0	HDO	[FTS3~0] 0 1 2 3 4 5 6 7 時間(ms) × 94 188 281 375 469 563 656
					CRMO	0	XRMUTE	[FTS3~0] 8 9 10 11 12 13 14 15 時間(ms) × 8 9 10 11 12 13 14 15
					CTMO	0	XTMUTE	DC R10出力選択( R10レジスタを"1"に固定 )
FF14H	HF	HOLD	PAUSE	FLASH	HF	0	DC	R13出力選択( R13レジスタを"1"に固定 )
	R/W		W		HOLD	0	DC	R12出力選択( R12レジスタを"1"に固定 )
					PAUSE *3	0	DC	R11出力選択( R11レジスタを"1"に固定 )
					FLASH *3	0	DC	R10出力選択( R10レジスタを"1"に固定 )
FF15H	IDP3	IDP2	IDP1	IDP0	IDP3	1		ハンドフリー
	R/W		R/W		IDP2	0		ホールドライン機能
					IDP1	0		ボーズ機能
					IDP0	0		フラッシュ機能
FF16H	CTO	0	SINR	SINC	TCD3	0		インターデジットボーズ時間選択( 初期値: 750ms )
	R/W	R	R/W		TCD2	0		[IDP3~0] 0 1 2 3 4 5 6 7 時間(ms) × 94 188 281 375 469 563 656
					TCD1	0	Enable	[IDP2~0] 8 9 10 11 12 13 14 15 時間(ms) × 8 9 10 11 12 13 14 15
					TCD0	0	Disable	連続トーン出力On/Off
FF17H	TCD3	TCD2	TCD1	TCD0	TCD3	0	Off	未使用
	R/W		R/W		TCD2	0	Enable	DTMF ROW周波数出力イネーブル
					TCD1	0	Disable	DTMF COL周波数出力イネーブル
					TCD0	0		
FF18H	HSON	0	CRMUT	CTMUT	TCD3	0	Off	フックスイッチOn/Off
	R/W	R	R/W		TCD2	0	Mute	未使用
					TCD1	1	Off	レシーバミュート制御
					TCD0	1	Off	トランスマッタミュート制御

## [ 注 釈 ]

\*1 イニシャルリセット時の初期値

\*2 回路上設定されない

\*3 読み出し時は常時"0"

表4.1.1( b ) I/Oメモリマップ( FF20H ~ FF42H )

アドレス	レジスタ				Name	Init *1	注釈		
	D3	D2	D1	D0			1	0	
FF20H	SIK03	SIK02	SIK01	SIK00	SIK03	0	Enable	Disable	K00 ~ K03割り込み選択レジスタ
					SIK02	0	Enable	Disable	
					SIK01	0	Enable	Disable	
					SIK00	0	Enable	Disable	
FF21H	R/W				K03	- *2	High	Low	K00 ~ K03入力ポートデータ
	K03	K02	K01	K00	K02	- *2	High	Low	
					K01	- *2	High	Low	
					K00	- *2	High	Low	
FF22H	R/W				KCP03	1	↓	↑	K00 ~ K03入力比較レジスタ
	KCP03	KCP02	KCP01	KCP00	KCP02	1	↓	↑	
					KCP01	1	↓	↑	
					KCP00	1	↓	↑	
FF24H	SIK13	SIK12	SIK11	SIK10	SIK13	0	Enable	Disable	K10 ~ K13割り込み選択レジスタ
					SIK12	0	Enable	Disable	
					SIK11	0	Enable	Disable	
					SIK10	0	Enable	Disable	
FF25H	R/W				K13	- *2	High	Low	K10 ~ K13入力ポートデータ
	K13 (EVIN)	K12	K11	K10	K12	- *2	High	Low	
					K11	- *2	High	Low	
					K10	- *2	High	Low	
FF26H	R/W				KCP13	1	↓	↑	K10 ~ K13入力比較レジスタ
	KCP13	KCP12	KCP11	KCP10	KCP12	1	↓	↑	
					KCP11	1	↓	↑	
					KCP10	1	↓	↑	
FF30H	R/W				R03HIZ	0	Hi-Z	Output	R03 Hi-z制御( FOUTE=0 ) FOUT出力Hi-z制御( FOUTE=1 ) R02 Hi-z制御( PTOUT=0 ) TOUT出力Hi-z制御( PTOUT=1 ) R01 Hi-z制御( BZOUT=0 ) BZ出力Hi-z制御( BZOUT=1 ) R00 Hi-z制御( XBZOUT=0 ) XBZ出力Hi-z制御( XBZOUT=1 )
	R03HIZ	R02HIZ	R01HIZ	R00HIZ	R02HIZ	0	Hi-Z	Output	
					R01HIZ	0	Hi-Z	Output	
					R00HIZ	0	Hi-Z	Output	
FF31H	R/W				R03	1	High	Low	R03出力ポートデータ( FOUTE=0 ) FOUT出力時は1に固定 R02出力ポートデータ( PTOUT=0 ) TOUT出力時は1に固定 R01出力ポートデータ( BZOUT=0 ) BZ出力時は1に固定 R00出力ポートデータ( XBZOUT=0 ) XBZ出力時は1に固定
	R03 (FOUT)	R02 (TOUT)	R01 (BZ)	R00 (XBZ)	R02	1	High	Low	
					R01	1	High	Low	
					R00	1	High	Low	
FF32H	R/W				R13HIZ	0	Hi-Z	Output	R13 Hi-z制御( CHFO=0 ) HFO出力Hi-z制御( CHFO=1 ) R12 Hi-z制御( CHDO=0 ) HDO出力Hi-z制御( CHDO=1 ) R11 Hi-z制御( CRMO=0 ) XRMUTE出力Hi-z制御( CRMO=1 ) R10 Hi-z制御( CTMO=0 ) XTMUTE出力Hi-z制御( CTMO=1 )
	R13HIZ	R12HIZ	R11HIZ	R10HIZ	R12HIZ	0	Hi-Z	Output	
					R11HIZ	0	Hi-Z	Output	
					R10HIZ	0	Hi-Z	Output	
FF33H	R/W				R13	1	High	Low	R13出力ポートデータ( CHFO=0 ) HFO出力時は1に固定 R12出力ポートデータ( CHDO=0 ) HDO出力時は1に固定 R11出力ポートデータ( CRMO=0 ) XRMUTE出力時は1に固定 R10出力ポートデータ( CTMO=0 ) XTMUTE出力時は1に固定
	R13 (HFO)	R12 (HDO)	R11 (XRMUTE)	R10 (XTMUTE)	R12	1	High	Low	
					R11	1	High	Low	
					R10	1	High	Low	
FF34H	R/W				R23HIZ	0	Hi-Z	Output	R20 ~ R23 Hi-z制御
	R23HIZ	R22HIZ	R21HIZ	R20HIZ	R22HIZ	0	Hi-Z	Output	
					R21HIZ	0	Hi-Z	Output	
					R20HIZ	0	Hi-Z	Output	
FF35H	R/W				R23	1	High	Low	R20 ~ R23出力ポートデータ
	R23	R22	R21	R20	R22	1	High	Low	
					R21	1	High	Low	
					R20	1	High	Low	
FF40H	R/W				IOC03	0	Output	Input	P00 ~ P03 I/O制御レジスタ
	IOC03	IOC02	IOC01	IOC00	IOC02	0	Output	Input	
					IOC01	0	Output	Input	
					IOC00	0	Output	Input	
FF41H	R/W				PUL03	1	On	Off	P00 ~ P03 プルアップ制御レジスタ
	PUL03	PUL02	PUL01	PUL00	PUL02	1	On	Off	
					PUL01	1	On	Off	
					PUL00	1	On	Off	
FF42H	R/W				P03	- *2	High	Low	P00 ~ P03入出力兼用ポートデータ
	P03	P02	P01	P00	P02	- *2	High	Low	
					P01	- *2	High	Low	
					P00	- *2	High	Low	

表4.1.1(c) I/Oメモリマップ( FF44H ~ FF4DH )

アドレス	レジスタ				Name	Init *1	1	0	注釈
	D3	D2	D1	D0					
FF44H	IOC13	IOC12	IOC11	IOC10	IOC13	0	Output	Input	P13 I/O制御レジスタ SIF(クロック同期式スレーブ)選択時、汎用レジスタとして機能
					IOC12	0	Output	Input	P12 I/O制御レジスタ SIF(クロック同期式のみ)選択時、汎用レジスタとして機能
					IOC11	0	Output	Input	P11 I/O制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能
					IOC10	0	Output	Input	P10 I/O制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能
FF45H	R/W				PUL13	1	On	Off	P13プルアップ制御レジスタ SIF(クロック同期式スレーブ)選択時、汎用レジスタとして機能
	PUL13	PUL12	PUL11	PUL10	PUL12	1	On	Off	P12プルアップ制御レジスタ SIF(クロック同期式マスター)選択時、汎用レジスタとして機能 SIF(クロック同期式スレーブ)選択時、 SCL <sub>R</sub> (I)プルアップ制御レジスタ
					PUL11	1	On	Off	P11プルアップ制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能
					PUL10	1	On	Off	P10プルアップ制御レジスタ(ESIF=0) SIF選択時、SINプルアップ制御レジスタ
FF46H	P13 (XSRDY)	P12 (XSCLK)	P11 (SOUT)	P10 (SIN)	P13	- *2	High	Low	P13入出力兼用ポートデータ SIF(クロック同期式スレーブ)選択時、汎用レジスタとして機能
					P12	- *2	High	Low	P12入出力兼用ポートデータ SIF(クロック同期式のみ)選択時、汎用レジスタとして機能
					P11	- *2	High	Low	P11入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能
					P10	- *2	High	Low	P10入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能
FF48H	R/W				IOC23	0	Output	Input	P23 I/O制御レジスタ( EXLCD=0 ) FR出力選択時、汎用レジスタとして機能
	IOC23	IOC22	IOC21	IOC20	IOC22	0	Output	Input	P22 I/O制御レジスタ( EXLCD=0 ) CL出力選択時、汎用レジスタとして機能
					IOC21	0	Output	Input	P21 I/O制御レジスタ
					IOC20	0	Output	Input	P20 I/O制御レジスタ
FF49H	R/W				PUL23	1	On	Off	P23プルアップ制御レジスタ( EXLCD=0 ) FR出力選択時、汎用レジスタとして機能
	PUL23	PUL22	PUL21	PUL20	PUL22	1	On	Off	P22プルアップ制御レジスタ( EXLCD=0 ) CL出力選択時、汎用レジスタとして機能
					PUL21	1	On	Off	P21プルアップ制御レジスタ
					PUL20	1	On	Off	P20プルアップ制御レジスタ
FF4AH	P23 (FR)	P22 (CL)	P21	P20	P23	- *2	High	Low	P23入出力兼用ポートデータ( EXLCD=0 ) FR出力選択時、汎用レジスタとして機能
					P22	- *2	High	Low	P22入出力兼用ポートデータ( EXLCD=0 ) CL出力選択時、汎用レジスタとして機能
					P21	- *2	High	Low	P21入出力兼用ポートデータ
					P20	- *2	High	Low	P20入出力兼用ポートデータ
FF4CH	R/W				IOC33	0	Output	Input	P33 I/O制御レジスタ SIR(クロック同期式スレーブ)選択時、汎用レジスタとして機能
	IOC33	IOC32	IOC31	IOC30	IOC32	0	Output	Input	P32 I/O制御レジスタ SIR(クロック同期式のみ)選択時、汎用レジスタとして機能
					IOC31	0	Output	Input	P31 I/O制御レジスタ(ESIFS=0) SIF選択時、汎用レジスタとして機能
					IOC30	0	Output	Input	P30 I/O制御レジスタ(ESIFS=0) SIF選択時、汎用レジスタとして機能
FF4DH	R/W				PUL33	1	On	Off	P33プルアップ制御レジスタ SIR(クロック同期式スレーブ)選択時、汎用レジスタとして機能
	PUL33	PUL32	PUL31	PUL30	PUL32	1	On	Off	P32プルアップ制御レジスタ SIR(クロック同期式マスター)選択時、汎用レジスタとして機能 SIR(クロック同期式スレーブ)選択時、 SCL <sub>R</sub> (I)プルアップ制御レジスタ
					PUL31	1	On	Off	P31プルアップ制御レジスタ(ESIFS=0) SIF選択時、汎用レジスタとして機能
					PUL30	1	On	Off	P30プルアップ制御レジスタ(ESIFS=0) SIF選択時、SINプルアップ制御レジスタ

表4.1.1(d) I/Oメモリマップ( FF4EH ~ FF67H )

アドレス	レジスタ				Name	Init *1	1	0	注釈
	D3	D2	D1	D0					
FF4EH	P33 XSRDYS	P32 XSCLKS	P31 SOUTS	P30 (SINS)	P33	- *2	High	Low	P33入出力兼用ポートデータ SIF(クロック同期式スレーブ)選択時、汎用レジスタとして機能
					P32	- *2	High	Low	P32入出力兼用ポートデータ SIF(クロック同期式のみ)選択時、汎用レジスタとして機能
					P31	- *2	High	Low	P31入出力兼用ポートデータ( ESIFS=0 ) SIF選択時、汎用レジスタとして機能
					P30	- *2	High	Low	P30入出力兼用ポートデータ( ESIFS=0 ) SIF選択時、汎用レジスタとして機能
FF58H	0	SMD1S	SMD0S	ESIFS	0 *3 SMD1S	- *2			未使用 [SMD1S, OS] 0 1 モード Clk-sync. master Clk-sync. slave
	R	R/W			0 SMD0S	0			シリアルI/F(2) [SMD1S, OS] 2 3 モード選択 モード Async. 7-bit Async. 8-bit
					ESIFS	0			シリアルI/F(2)イネーブル( P3xポート機能選択 )
FF59H	EPRS	PMDS	SCS1S	SCS0S	EPRS PMDS	0	Enable Odd	Disable Even	シリアルI/F(2)/パリティ機能選択 シリアルI/F(2)/パリティモード選択
		R/W			SCS1S SCS0S	0			シリアルI/F(2) [SCS1S, OS] 0 1 2 3 クロック源選択 モード 1200bps 600bps 2400bps PT
	RXTRGS	RXENS	TXTRGS	TXENS	RXTRGS RXENS	0	Run Trigger Enable	Stop - Disable	シリアルI/F(2)受信ステータス( 読み出し時 ) シリアルI/F(2)受信トリガ( 書き込み時 ) シリアルI/F(2)受信イネーブル
FF5AH		R/W			TXTRGS TXENS	0	Run Trigger Enable	Stop - Disable	シリアルI/F(2)送信ステータス( 読み出し時 ) シリアルI/F(2)送信トリガ( 書き込み時 ) シリアルI/F(2)送信イネーブル
	0	FERS	PERS	OERS	0 *3 FERS	- *2	Error Reset	No error	未使用 SIF(2)フレーミングエラーフラグステータス( 読み出し時 )
	R	R/W			PERS	0	Error Reset	No error	SIF(2)フレーミングエラーフラグリセット( 書き込み時 ) SIF(2)/パリティエラーフラグステータス( 読み出し時 )
					OERS	0	Error Reset	No error	SIF(2)/パリティエラーフラグリセット( 書き込み時 ) SIF(2)オーバーランエラーフラグステータス( 読み出し時 ) SIF(2)オーバーランエラーフラグリセット( 書き込み時 )
FF5BH	TRXD3S	TRXD2S	TRXD1S	TRXD0S	TRXD3S TRXD2S TRXD1S TRXD0S	- *2 - *2 - *2 - *2	High High High High	Low Low Low Low	シリアルI/F(2)送受信データ( 下位4ビット ) LSB
		R/W							
	TRXD7S	TRXD6S	TRXD5S	TRXD4S	TRXD7S TRXD6S TRXD5S TRXD4S	- *2 - *2 - *2 - *2	High High High High	Low Low Low Low	MSB シリアルI/F(2)送受信データ( 上位4ビット )
FF60H	LDUTY1	LDUTY0	Dummy	LPWR	LDUTY1 LDUTY0 Dummy LPWR	0 0 0 0			LCD駆動デューティ [LDUTY1, 0] 0 1 2, 3 切り換え 汎用レジスタ LCD電源On/Off
		R/W					On Off		
FF61H	EXLCDC	Aloff	ALON	LPAGE	EXLCDC Aloff ALON LPAGE	0 1 0 0	Enable All Off All On F100-F15F	Disable Normal Normal F000-F05F	拡張LCDドライバ用信号出力制御 LCD全消灯制御 LCD全点灯制御 表示メモリ領域選択( 1/8デューティ選択時 ) 1/16、1/17デューティ選択時、汎用レジスタとして機能
		R/W							
FF62H	LC3	LC2	LC1	LC0	LC3 LC2 LC1 LC0	- *2 - *2 - *2 - *2			LCDコントラスト調整 [LC3~0] 0 ~ 15 コントラスト 淡 ~ 濃
		R/W							
FF65H	0	0	BZOUT	XBZOUT	0 *3 0 *3	- *2 - *2			未使用 未使用
		R/W			BZOUT XBZOUT	0 0	BZ XBZ	DC DC	R01出力選択( R01レジスタを"1"に固定 ) R00出力選択( R00レジスタを"1"に固定 )
FF66H	FSKON	0	RDET	CDET	FSKON 0 *3	0 - *2	On Ring	Off Carrier	FSK回路On/Off 未使用 リング検出ピット キャリア検出ピット
		R/W			RDET CDET	- *4 0	No Ring No Carrier		
FF67H	0	0	RDETCP	CDETCP	RDETCP CDETCP	0 *3 0 *3	0 0	↓ ↓ ↓ ↓	未使用 未使用 RDET比較レジスタ CDET比較レジスタ
		R/W							

[ 注 釈 ] \*4 RDIN端子の入力状態に依存します。

表4.1.1(e) I/Oメモリマップ(FF6CH ~ FF7AH)

アドレス	レジスタ				Name	Init *1	注 釈	
	D3	D2	D1	D0			1	0
FF6CH	ENRTM	ENRST	ENON	BZE	ENRTM	0	1sec	エンベロープ減衰時間選択
		R/W	W	R/W	ENRST*3	Reset	Reset	エンベロープリセット(書き込み時)
					ENON	0	On	エンベロープOn/Off
					BZE	0	Off	BZ出力イネーブル
FF6DH	0	BZSTP	BZSHT	SHTPW	0 *3	- *2	Stop	未使用
					BZSTP*3	0	Trigger	1ショットブザー-Stop(書き込み時)
					BZSHT	0	Busy	1ショットブザートリガ(書き込み時)
	R	W	R/W		SHTPW	0	Ready	1ショットブザーステータス(読み出し時)
FF6EH	0	BZFQ2	BZFQ1	BZFQ0	0 *3	- *2	125msec	1ショットブザーバルス幅選択
					BZFQ2	0		未使用
					BZFQ1	0		[BZFQ2, 1, 0] 0 1 2 3 周波数( Hz ) 4096.0 3276.8 2730.7 2340.6
	R	R/W			BZFQ0	0		[BZFQ2, 1, 0] 4 5 6 7 周波数選択 2048.0 1638.4 1365.3 1170.3 周波数( Hz )
FF6FH	0	BDTY2	BDTY1	BDTY0	0 *3	- *2		未使用
					BDTY2	0		[ブザー信号デューティ比選択
					BDTY1	0		(本編参照)
	R	R/W			BDTY0	0		
FF70H	0	SMD1	SMD0	ESIF	0 *3	- *2		未使用
					SMD1	0		[SMD1, 0] 0 1 モード Clk-sync. master Clk-sync. slave
					SMD0	0		[SMD1, 0] 2 3 モード選択 モード Async. 7-bit Async. 8-bit
	R	R/W			ESIF	0	I/O	シリアルI/F(1)イネーブル( P1xポート機能選択 )
FF71H	EPR	PMD	SCS1	SCS0	EPR	0	Enable	シリアルI/F(1)バリティ機能選択
					PMD	0	Odd	シリアルI/F(1)バリティモード選択
					SCS1	0		[SCS1, 0] 0 1 2 3 シリアルI/F(1) [SCS1, 0] 0 1 2 3 クロック源選択 モード 1200bps 600bps 2400bps PT
	R	R/W			SCS0	0		
FF72H	RXTRG	RXEN	TXTRG	TXEN	RXTRG	0	Run	シリアルI/F(1)受信ステータス(読み出し時)
					TXEN	0	Trigger	シリアルI/F(1)受信トリガ(書き込み時)
					RXEN	0	Disable	シリアルI/F(1)受信イネーブル
	R/W				TXTRG	0	Run	シリアルI/F(1)送信ステータス(読み出し時)
					TXEN	0	Trigger	シリアルI/F(1)送信トリガ(書き込み時)
						0	Disable	シリアルI/F(1)送信イネーブル
FF73H	0	FER	PER	OER	0 *3	- *2		未使用
					FER	0	Error	SIF(1)フレーミングエラーフラグステータス(読み出し時)
						-	Reset	SIF(1)フレーミングエラーフラグリセット(書き込み時)
	R	R/W			PER	0	Error	SIF(1)パリティエラーフラグステータス(読み出し時)
						-	Reset	SIF(1)パリティエラーフラグリセット(書き込み時)
					OER	0	Error	SIF(1)オーバーランエラーフラグステータス(読み出し時)
						-	Reset	SIF(1)オーバーランエラーフラグリセット(書き込み時)
FF74H	TRXD3	TRXD2	TRXD1	TRXD0	TRXD3	- *2	High	Low
					TRXD2	- *2	High	シリアルI/F(1)送受信データ(下位4ビット)
					TRXD1	- *2	High	
	R/W				TRXD0	- *2	Low	LSB
FF75H	TRXD7	TRXD6	TRXD5	TRXD4	TRXD7	- *2	High	Low
					TRXD6	- *2	High	シリアルI/F(1)送受信データ(上位4ビット)
					TRXD5	- *2	High	
	R/W				TRXD4	- *2	High	MSB
FF76H	0	0	0	SIFTM	0 *3	- *2		未使用
					0 *3	- *2		未使用
					0 *3	- *2		未使用
	R	R/W			SIFTM	0		シリアルI/Fテストモード(使用禁止)
FF78H	0	0	TMRST	TMRUN	0 *3	- *2		未使用
					0 *3	- *2		未使用
					TMRST*3	Reset	Reset	計時タイマリセット(書き込み時)
	R	W	R/W		TMRUN	0	Run	計時タイマRun/Stop
FF79H	TM3	TM2	TM1	TM0	TM3	0		計時タイマデータ( 16Hz )
					TM2	0		計時タイマデータ( 32Hz )
					TM1	0		計時タイマデータ( 64Hz )
	R				TM0	0		計時タイマデータ( 128Hz )
FF7AH	TM7	TM6	TM5	TM4	TM7	0		計時タイマデータ( 1Hz )
					TM6	0		計時タイマデータ( 2Hz )
					TM5	0		計時タイマデータ( 4Hz )
	R				TM4	0		計時タイマデータ( 8Hz )

表4.1.1(f) I/Oメモリマップ( FF7CH ~ FFCBH )

アドレス	レジスタ				Name	Init *1	1	0	注釈
	D3	D2	D1	D0					
FF7CH	0	0	SWRST	SWRUN	0 *3	- *2	Reset 0	Reset Run	未使用
	R		W	R/W	0 *3	- *2			未使用
	R		SWD3 SWD2 SWD1 SWD0		SWRST <sup>3</sup>	SWRUN			ストップウォッチタイマリセット(書き込み時) ストップウォッチタイマRun/Stop
FF7DH	SWD3 SWD2 SWD1 SWD0		SWD3 SWD2 SWD1 SWD0		SWD3	0			ストップウォッチタイマデータ BCD( 1/100sec )
	R		SWD7 SWD6 SWD5 SWD4		SWD2	0			
	R		SWD7 SWD6 SWD5 SWD4		SWD1	0			
FF7EH	SWD7 SWD6 SWD5 SWD4		SWD7 SWD6 SWD5 SWD4		SWD0	0			ストップウォッチタイマデータ BCD( 1/10sec )
	R		R		SWD7	0			
	R		R		SWD6	0			
FFC0H	0	EVCNT	FCSEL	PLPOL	0 *3	- *2	Event ct. 0	Timer With NR 0	未使用
	R		R/W		EV_CNT	0			タイマ0カウンタモード選択
	R		R/W		FCSEL	0			タイマ0機能選択( イベントカウンタモード時 )
FFC1H	CHSEL PTOUT CKSEL1 CKSEL0		CHSEL PTOUT CKSEL1 CKSEL0		CHSEL	0	Timer1 On 0	Timer0 Off 0	タイマ0パルス極性選択( イベントカウンタモード時 )
	R		R/W		PTOUT	0			TOUT出力チャンネル選択
	R		R/W		CKSEL1	0			TOUT出力制御
FFC2H	PTPS01 PTPS00 PTRST0 PTRUN0		PTPS01 PTPS00 PTRST0 PTRUN0		PTPS01	0	Reset Run	Invalid Stop	プリスクーラ0 [PTPS01, 00] 0 1 2 3
	R		W		PTPS00	0			分周比選択 分周比 1/1 1/4 1/32 1/256
	R		R/W		PTRST0 <sup>3</sup>	- *2			タイマ0リセット( リロード )
FFC3H	PTPS11 PTPS10 PTRST1 PTRUN1		PTPS11 PTPS10 PTRST1 PTRUN1		PTPS11	0	Reset Run	Invalid Stop	タイマ0 Run/Stop
	R		W		PTPS10	0			プリスクーラ1 [PTPS11, 10] 0 1 2 3
	R		R/W		PTRST1 <sup>3</sup>	- *2			分周比選択 分周比 1/1 1/4 1/32 1/256
FFC4H	PTPS11 PTPS10 PTRST1 PTRUN1		PTPS11 PTPS10 PTRST1 PTRUN1		PTRUN1	0			プリスクーラ1リセット( リロード )
	R		R/W		PTRUN0	0			タイマ1 Run/Stop
	R		R/W		RLD03	0			MSB
FFC5H	RLD03 RLD02 RLD01 RLD00		RLD03 RLD02 RLD01 RLD00		RLD02	0			プログラマブルタイマ0リロードデータ( 下位4ビット )
	R		R/W		RLD01	0			LSB
	R		R/W		RLD00	0			プログラマブルタイマ0リロードデータ( 上位4ビット )
FFC6H	RLD07 RLD06 RLD05 RLD04		RLD07 RLD06 RLD05 RLD04		RLD07	0			MSB
	R		R/W		RLD06	0			プログラマブルタイマ0リロードデータ( 上位4ビット )
	R		R/W		RLD05	0			LSB
FFC7H	RLD13 RLD12 RLD11 RLD10		RLD13 RLD12 RLD11 RLD10		RLD13	0			MSB
	R		R/W		RLD12	0			プログラマブルタイマ1リロードデータ( 下位4ビット )
	R		R/W		RLD11	0			LSB
FFC8H	RLD17 RLD16 RLD15 RLD14		RLD17 RLD16 RLD15 RLD14		RLD17	0			MSB
	R		R/W		RLD16	0			プログラマブルタイマ1リロードデータ( 上位4ビット )
	R		R/W		RLD15	0			LSB
FFC9H	RLD17 RLD16 RLD15 RLD14		RLD17 RLD16 RLD15 RLD14		RLD14	0			MSB
	R		R/W		PTD03	0			プログラマブルタイマ0データ( 下位4ビット )
	R		R/W		PTD02	0			LSB
FFCAH	PTD07 PTD06 PTD05 PTD04		PTD07 PTD06 PTD05 PTD04		PTD07	0			MSB
	R		R/W		PTD06	0			プログラマブルタイマ0データ( 上位4ビット )
	R		R/W		PTD05	0			LSB
FFCBH	PTD13 PTD12 PTD11 PTD10		PTD13 PTD12 PTD11 PTD10		PTD13	0			MSB
	R		R/W		PTD12	0			プログラマブルタイマ1データ( 下位4ビット )
	R		R/W		PTD11	0			LSB
FFCBH	PTD17 PTD16 PTD15 PTD14		PTD17 PTD16 PTD15 PTD14		PTD10	0			MSB
	R		R/W		PTD17	0			プログラマブルタイマ1データ( 上位4ビット )
	R		R/W		PTD16	0			LSB
FFCBH	PTD17 PTD16 PTD15 PTD14		PTD17 PTD16 PTD15 PTD14		PTD15	0			MSB
	R		R/W		PTD14	0			プログラマブルタイマ1データ( 上位4ビット )
	R		R/W		PTD14	0			LSB

表4.1.1(g) I/Oメモリマップ(FFE2H ~ FFFF7H)

アドレス	レジスタ				Name	Init *1	注 釈	
	D3	D2	D1	D0			1	0
FFE2H	0	0	EIPT1	EIPT0	0 *3 0 *3	- *2 - *2	Enable Enable	未使用 未使用
	R		R/W		EIPT1 EIPT0	0 0		割り込みマスクレジスタ(プログラマブルタイマ1) 割り込みマスクレジスタ(プログラマブルタイマ0)
	0	EISER	EISTR	EISRC	0 *3 EISER EISTR EISRC	- *2 0 0 0		未使用 割り込みマスクレジスタ(シリアルI/F(1)エラー) 割り込みマスクレジスタ(シリアルI/F(1)送信完了) 割り込みマスクレジスタ(シリアルI/F(1)受信完了)
	R		R/W		0 *3 0 *3 0 *3 EIK0	- *2 - *2 - *2 0		未使用 未使用 未使用 割り込みマスクレジスタ( K00 ~ K03 )
FFE5H	0	0	0	EIK1	0 *3 0 *3 0 *3 EIK1	- *2 - *2 - *2 0	Enable Mask	未使用 未使用 未使用 割り込みマスクレジスタ( K10 ~ K13 )
	R		R/W		EIT3 EIT2 EIT1 EITO	0 0 0 0		割り込みマスクレジスタ( 計時タイマ1Hz ) 割り込みマスクレジスタ( 計時タイマ2Hz ) 割り込みマスクレジスタ( 計時タイマ8Hz ) 割り込みマスクレジスタ( 計時タイマ32Hz )
	0	0	EISW1	EISW10	0 *3 0 *3	- *2 - *2	Enable Enable	未使用 未使用
	R		R/W		EISW1 EISW10	0 0		割り込みマスクレジスタ( ストップウォッチャタイマ1Hz ) 割り込みマスクレジスタ( ストップウォッチャタイマ10Hz )
FFE8H	0	EISERS	EISTRS	EISRCS	0 *3 EISERS EISTRS EISRCS	- *2 0 0 0	Enable Mask Mask Mask	未使用 割り込みマスクレジスタ(シリアルI/F(2)エラー) 割り込みマスクレジスタ(シリアルI/F(2)送信完了) 割り込みマスクレジスタ(シリアルI/F(2)受信完了)
	R		R/W		R/W	- *2 - *2 - *2 0		未使用 未使用 未使用 割り込みマスクレジスタ( ダイアル )
	0	0	0	EID	0 *3 0 *3 0 *3 EID	- *2 - *2 - *2 0		未使用 未使用 未使用 割り込みマスクレジスタ( FSK復調回路リング検出 )
	R		R/W		ERDET EICDET	0 0		割り込みマスクレジスタ( FSK復調回路キャリア検出 )
FFF2H	0	0	IPT1	IPT0	0 *3 0 *3	- *2 - *2	(R) Yes No (W) Reset Invalid	未使用 未使用 未使用 割り込み要因フラグ( プログラマブルタイマ1 ) 割り込み要因フラグ( プログラマブルタイマ0 )
	R		R/W		IPT1 IPT0	0 0		割り込み要因フラグ( シリアルI/F(1)エラー ) 割り込み要因フラグ( シリアルI/F(1)送信完了 ) 割り込み要因フラグ( シリアルI/F(1)受信完了 )
	0	ISER	ISTR	ISRC	0 *3 ISER ISTR ISRC	- *2 0 0 0		未使用 割り込み要因フラグ( シリアルI/F(1)エラー ) 割り込み要因フラグ( シリアルI/F(1)送信完了 ) 割り込み要因フラグ( シリアルI/F(1)受信完了 )
	R		R/W		IK0	0 *3 0 *3 0 *3 IK0		未使用 未使用 未使用 割り込み要因フラグ( K00 ~ K03 )
FFF5H	0	0	0	IK1	0 *3 0 *3 0 *3 IK1	- *2 - *2 - *2 0	(R) Yes No (W) Reset Invalid	未使用 未使用 未使用 割り込み要因フラグ( K10 ~ K13 )
	R		R/W		IT3 IT2 IT1 IT0	0 0 0 0		未使用 未使用 未使用 割り込み要因フラグ( 計時タイマ1Hz ) 割り込み要因フラグ( 計時タイマ2Hz ) 割り込み要因フラグ( 計時タイマ8Hz ) 割り込み要因フラグ( 計時タイマ32Hz )
	0	0	ISW1	ISW10	0 *3 0 *3	- *2 - *2	(R) Yes No (W) Reset Invalid	未使用 未使用 未使用 割り込み要因フラグ( ストップウォッチャタイマ1Hz ) 割り込み要因フラグ( ストップウォッチャタイマ10Hz )
	R		R/W		ISW1 ISW10	0 0		未使用 未使用 未使用 割り込み要因フラグ( ストップウォッチャタイマ1Hz ) 割り込み要因フラグ( ストップウォッチャタイマ10Hz )

表4.1.1( h ) I/Oメモリマップ( FFF8H ~ FFFAH )

アドレス	レジスタ				Name	Init *1	1	0	注釈
	D3	D2	D1	D0					
FFF8H	0	ISERS	ISTRS	ISRCS	0 *3	- *2	(R)	(R)	未使用
	R	R/W			ISERS	0	Yes	No	割り込み要因フラグ(シリアルI/F(2)エラー)
		R/W			ISTRS	0	(W)	(W)	割り込み要因フラグ(シリアルI/F(2)送信完了)
		R/W			ISRCS	0	Reset	Invalid	割り込み要因フラグ(シリアルI/F(2)受信完了)
FFF9H	0	0	0	ID	0 *3	- *2	(R)	(R)	未使用
	R			R/W	0 *3	- *2	Yes	No	未使用
	R			R/W	0 *3	- *2	(W)	(W)	未使用
	R			R/W	ID	0	Reset	Invalid	割り込み要因フラグ(ダイアル)
FFFAH	0	0	IRDET	ICDET	0 *3	- *2	(R)	(R)	未使用
	R			R/W	0 *3	- *2	Yes	No	未使用
	R			R/W	IRDET	0	(W)	(W)	割り込み要因フラグ(FSK復調回路リング検出)
	R			R/W	ICDET	0	Reset	Invalid	割り込み要因フラグ(FSK復調回路キャリア検出)

## 4.2 ウオッヂドッグタイマ

### 4.2.1 ウオッヂドッグタイマの構成

S1C63558はOSC1分周クロック256Hzを原振とするウオッヂドッグタイマを内蔵しています。ウオッヂドッグタイマはイニシャルリセット時に動作状態に設定されますが、ソフトウェアにより動作を停止させることができます。ウオッヂドッグタイマが動作中はソフトウェアにより周期的にリセットする必要があり、3~4秒以上リセットが行われない場合、CPUに対してノンマスカブル割り込み( NMI )を発生します。

図4.2.1.1にウオッヂドッグタイマのブロック図を示します。

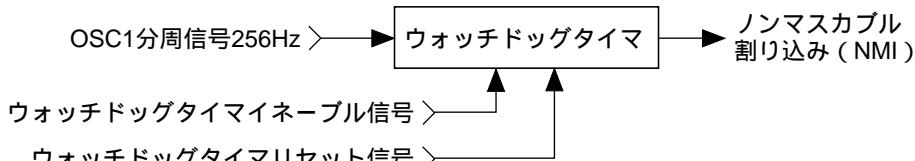


図4.2.1.1 ウオッヂドッグタイマのブロック図

ウオッヂドッグタイマは10ビットのバイナリカウンタで構成され、最終段0.25Hzのオーバーフローによってノンマスカブル割り込みを発生します。

プログラムのメインルーチン上でウォッヂドッグタイマのリセット処理をすることにより、メインルーチンのウォッヂドッグタイマ処理を通らないようなプログラムの暴走を検出することができます。通常はこのルーチンをタイマ割り込みルーチンのように、定期的に処理される箇所に組み込みます。

なお、ウォッヂドッグタイマはHALT時も動作しており、HALT状態を3~4秒間続けるとノンマスカブル割り込みによりHALT状態が解除されます。

### 4.2.2 割り込み機能

ウォッヂドッグタイマがソフトウェアによって周期的にリセットされない場合、コアCPUに対してノンマスカブル( NMI )割り込みが発生します。この割り込みはマスク不可能で、割り込み禁止状態( フラグ="0" )でも受け付けられます( イニシャルリセット直後やスタックポインタ再設定時など、SP1およびSP2がペアで設定されるまでの割り込みマスク状態は除きます )。

NMIの割り込みベクタはプログラムメモリの0100Hに設定されています。

#### 4.2.3 ウオッヂドッグタイマのI/Oメモリ

表4.2.3.1にウォッヂドッグタイマの制御ビットとそのアドレスを示します。

表4.2.3.1 ウォッヂドッグタイマの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF07H	0	0	WDEN	WDRST	0 *3	- *2			未使用
					0 *3	- *2			未使用
	R	R/W	W		WDEN	1	Enable	Disable	ウォッヂドッグタイマイネーブル
					WDRST*3	Reset	Reset	Invalid	ウォッヂドッグタイマリセット( 書き込み時 )

\*1 イニシャルリセット時の初期値

\*2 回路上設定されない

\*3 読み出し時は常時"0"

WDEN: ウォッヂドッグタイマイネーブルレジスタ( FF07H·D1 )

ウォッヂドッグタイマを使用する( イネーブル )かしない( ディセーブル )か選択します。

"1"書き込み: イネーブル

"0"書き込み: ディセーブル

読み出し: 可能

WDENレジスタに"1"を書き込むことによりウォッヂドッグタイマはイネーブルとなり、カウント動作を行います。

"0"を書き込んだ場合はディセーブルとなり、カウント動作および割り込み( NMI )の発生も行いません。

イニシャルリセット時、このレジスタは"1"にセットされます。

WDRST: ウォッヂドッグタイマリセット( FF07H·D0 )

ウォッヂドッグタイマをリセットするビットです。

"1"書き込み: ウォッヂドッグタイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

WDRSTに"1"を書き込むことによりウォッヂドッグタイマはリセットされ、その後リスタートします。"0"の書き込みはノーオペレーションとなります。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

#### 4.2.4 プログラミング上の注意事項

( 1 )ウォッヂドッグタイマを使用する場合、3秒周期以内にソフトウェアでウォッヂドッグタイマをリセットする必要があります。

( 2 )イニシャルリセットにより、ウォッヂドッグタイマは動作状態に設定されますので、使用しない場合は割り込み( NMI )発生前にウォッヂドッグタイマをディセーブル( 使用しない )に設定してください。

## 4.3 発振回路

### 4.3.1 発振回路の構成

S1C63558は2系統の発振回路( OSC1とOSC3 )を内蔵しています。このうちOSC1は水晶発振回路で、CPUおよび周辺回路に動作クロックを供給します。また、OSC3はセラミック発振回路で、高速動作が要求される処理が必要な場合に、CPUの動作クロックをソフトウェアによりOSC1からOSC3に切り換えて使用します。図4.3.1.1に発振系のブロック図を示します。

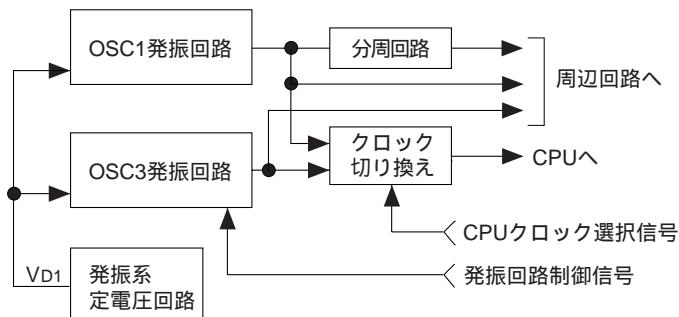


図4.3.1.1 発振系のブロック図

### 4.3.2 OSC1発振回路

OSC1発振回路はCPUおよび周辺回路用のメインクロックを発生します。OSC1は水晶発振回路で、発振周波数は32.768kHz( Typ. )です。

図4.3.2.1にOSC1発振回路の構成を示します。

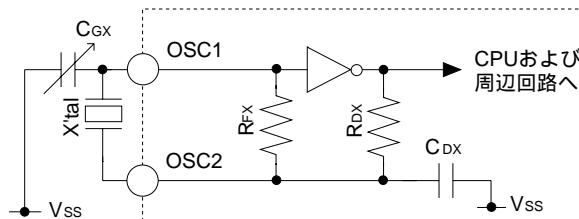


図4.3.2.1 OSC1発振回路

図4.3.2.1に示すとおり、OSC1端子とOSC2端子間に32.768kHz( Typ. )の水晶振動子( X'tal )を、OSC1端子とVss間に5~25pFのトリマコンデンサ( C<sub>GX</sub> )をそれぞれ接続することにより、簡単に水晶発振回路を構成することができます。

### 4.3.3 OSC3発振回路

S1C63558はCPUを高速動作( 3.58MHz )させるためのサブクロック、および高速クロックを必要とする周辺回路( プログラマブルタイマ、FOUT出力 )のソースクロックを発生するOSC3発振回路を内蔵しています。OSC3はセラミック発振回路で、外付け素子としてセラミック振動子とコンデンサ2個( ゲート容量とドレイン容量 )が必要となります。

図4.3.3.1にOSC3発振回路の構成を示します。

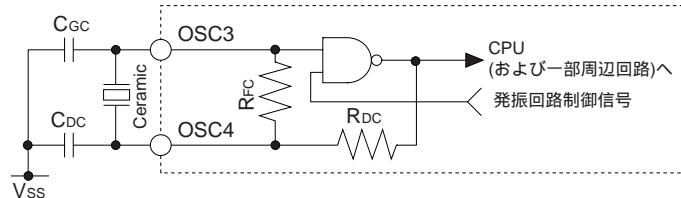


図4.3.3.1 OSC3発振回路

図4.3.3.1に示すとおり、OSC3端子とOSC4端子間にセラミック振動子( 3.58MHz )を、同OSC3、OSC4端子とVss間にコンデンサを2個( CGC、CDC )それぞれ接続することでセラミック発振回路を構成できます。CGC、CDCは共に30pF程度のものを接続してください。  
このOSC3発振回路は消費電流を低減するために、使用しないときはソフトウェア( OSCCレジスタ )によって発振を停止させることができます。

### 4.3.4 CPU動作クロックの切り換え

OSC1とOSC3のどちらをCPUのシステムクロックとして使用するか、ソフトウェア( CLKCHGレジスタ )によって切り換えます。

CPUのシステムクロックとしてOSC3を使用する場合は、OSC3の発振をONした後、発振が安定する5msec以上の時間をおいてクロックの切り換えを行ってください。

OSC3からOSC1に切り換える場合は、クロックを切り換え後にOSC3発振をOFFします。

OSC1 OSC3	OSC3 OSC1
1. OSCCに"1"を設定( OSC3発振ON )	1. CLKCHGに"0"を設定( OSC3 OSC1 )
2. 5msec以上保持	2. OSCCに"0"を設定( OSC3発振OFF )
3. CLKCHGに"1"を設定( OSC1 OSC3 )	

注: OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々のインストラクションで行ってください。  
1インストラクションで、同時に処理するとCPUの誤動作につながります。

### 4.3.5 クロック周波数とインストラクション実行時間

表4.3.5.1に各クロックの周波数によるインストラクションの実行時間示します。

表4.3.5.1 クロック周波数とインストラクション実行時間

クロック周波数	インストラクション実行時間( $\mu$ sec )		
	1サイクル命令	2サイクル命令	3サイクル命令
OSC1: 32.768kHz	61	122	183
OSC3: 3.58MHz	0.56	1.12	1.68

#### 4.3.6 発振回路のI/Oメモリ

表4.3.6.1に発振回路の制御ビットとそのアドレスを示します。

表4.3.6.1 発振回路の制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF00H	CLKCHG	OSCC	0	Dummy	CLKCHG	0	OSC3	OSC1	CPUクロック切り換え
					OSCC	0	On	Off	OSC3発振On/Off
	R/W	R	R/W	Dummy	0 *3	- *2			未使用 汎用レジスタ

\*1 イニシャルリセット時の初期値

\*2 回路上設定されない

\*3 読み出し時は常時"0"

OSCC: OSC3発振制御レジスタ( FF00H·D2 )

OSC3発振回路の発振ON、OFFを制御します。

"1"書き込み: OSC3発振ON

"0"書き込み: OSC3発振OFF

読み出し: 可能

CPUを高速に動作させる必要のある場合にOSCCを"1"とし、それ以外の場合は、消費電流低減のため"0"としてください。

イニシャルリセット時、このレジスタは"0"に設定されます。

CLKCHG: CPUクロック切り換えレジスタ( FF00H·D3 )

CPUの動作クロックを選択します。

"1"書き込み: OSC3クロックを選択

"0"書き込み: OSC1クロックを選択

読み出し: 可能

CPUの動作クロックをOSC3にする場合にCLKCHGを"1"に設定してください。OSC3発振をON( OSCC = "1" )にした直後は5msec以上の時間をおいてからクロックの切り換えを行ってください。

CLKCHGを"0"に設定した場合はOSC1クロックが選択されます。

イニシャルリセット時、このレジスタは"0"に設定されます。

#### 4.3.7 プログラミング上の注意事項

( 1 )OSC3発振回路がONしてから発振が安定するまでに、5msec以上を必要とします。したがって、CPUの動作クロックをOSC1からOSC3に切り換える際は、OSC3発振ONの後、5msec以上経過してから行ってください。また、発振安定時間は外付け発振子の特性および使用条件等により異なりますので、十分マージンを取つて待ち時間を設定してください。

( 2 )OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々のインストラクションで行ってください。1インストラクションで、同時に処理するとCPUの誤動作につながります。

( 3 )S1C63558の内部動作電圧VD1は常に2.2Vとなります。したがって、選択する動作クロックにかかわらず、動作電圧の設定変更は不要です。

## 4.4 入力ポート(K00～K03, K10～K13)

### 4.4.1 入力ポートの構成

S1C63558は8ビットの汎用入力ポートを内蔵しています。各入力ポート端子( K00～K03, K10～K13 )には内蔵プルアップ抵抗が用意されており、マスクオプションで1ビットごとにプルアップ抵抗の有無を選択できます。図4.4.1.1に入力ポートの構造を示します。

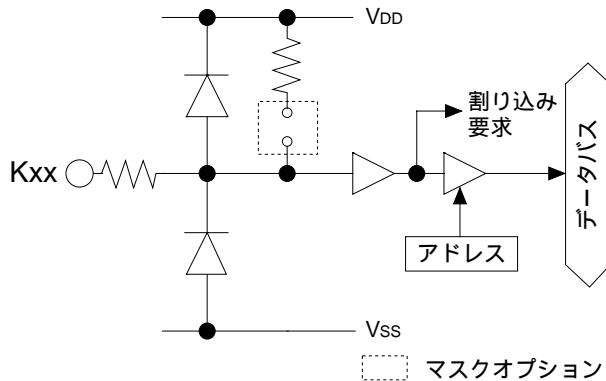


図4.4.1.1 入力ポートの構造

マスクオプションで"プルアップ抵抗あり"を選択した場合、プッシュスイッチ、キーマトリクス等の入力に適当です。また、"プルアップ抵抗なし"を選択した場合、スライドスイッチ入力、他LSIとのインターフェースなどに使用できます。

### 4.4.2 割り込み機能

入力ポート8ビット( K00～K03, K10～K13 )は、すべて割り込み機能を持っており、割り込み発生条件はソフトウェアで設定することができます。また、割り込みをマスクするかしないかを、同様にソフトウェアで設定することができます。

図4.4.2.1にK00～K03( K10～K13 )割り込み回路の構成図を示します。

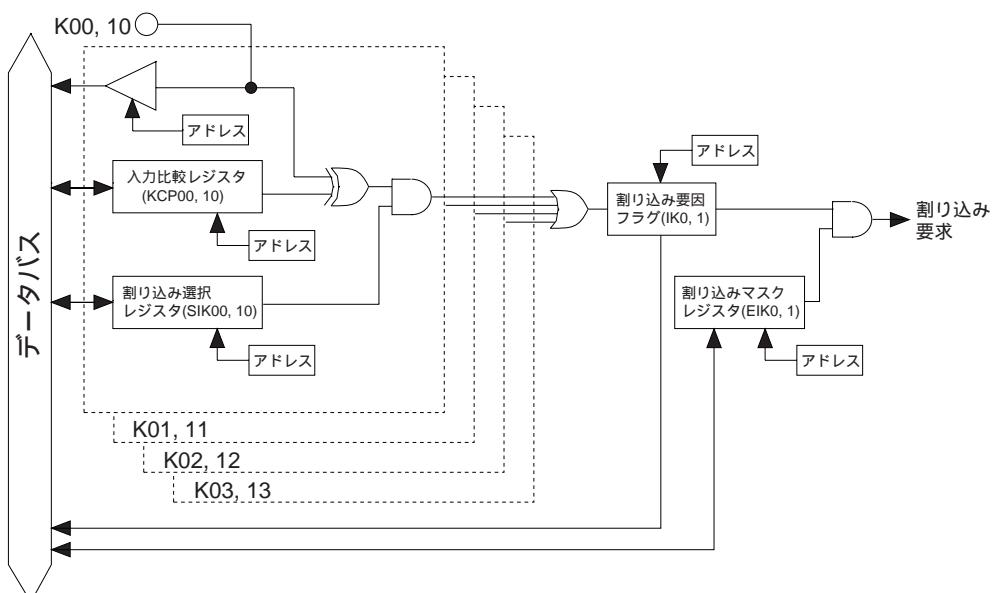


図4.4.2.1 入力割り込み回路構成

入力ポートK00～K03, K10～K13には個々に割り込み選択レジスタ(SIK)および入力比較レジスタ(KCP)が設定されており、割り込みを発生させる端子と割り込みタイミングを指定することができます。

割り込み選択レジスタ(SIK00～SIK03, SIK10～SIK13)は、K00～K03およびK10～K13のどの入力を割り込みに使用するかを選択します。割り込み選択レジスタに"1"を書き込むことにより、その入力ポートを割り込み発生条件に組み込みます。割り込み選択レジスタが"0"に設定されている入力ポートの変化は割り込みの発生に影響を与えません。

入力割り込みタイミングは、入力比較レジスタ(KCP00～KCP03, KCP10～KCP13)の設定値により、割り込みを入力の立ち上がりエッジで発生させるか、立ち下がりエッジで発生させるかを選択することができます。この2つの条件設定により、K00～K03, K10～K13(4ビット単位)の割り込みは入力選択レジスタで割り込みが許可されている入力ポートと入力比較レジスタの内容が一致状態から不一致状態に変化したときに割り込みが発生します。

また、割り込みマスクレジスタ(EIK0, EIK1)により、それぞれの割り込みのマスクを選択することができます。割り込みが発生した際には、割り込み要因フラグ(IK0, IK1)が"1"にセットされます。

図4.4.2.2にK00～K03割り込み発生例を示します。

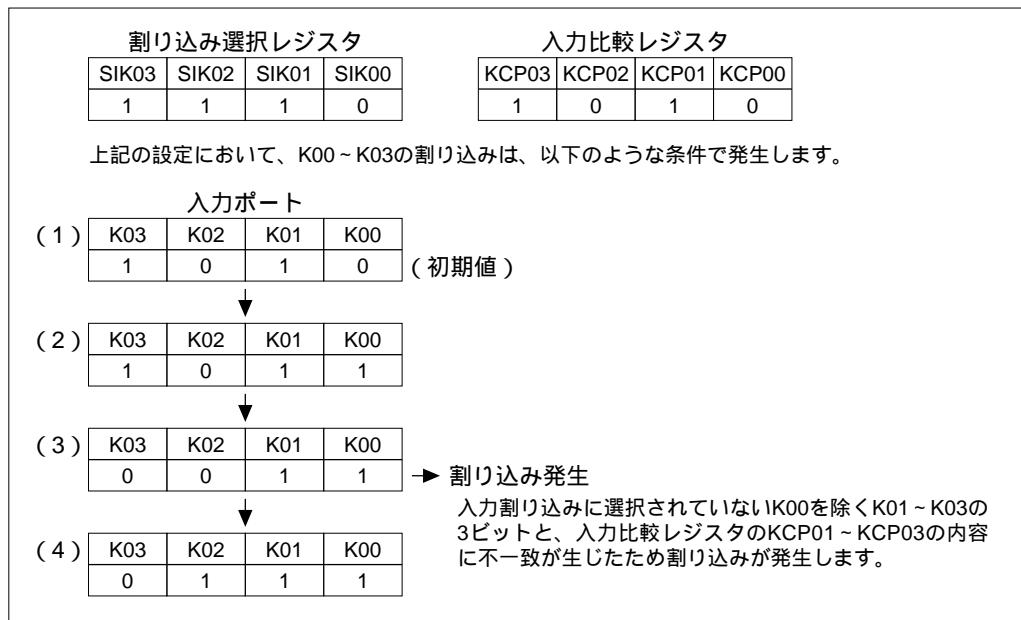


図4.4.2.2 K00～K03割り込み発生例

K00は割り込み選択レジスタ(SIK00)によって割り込みが禁止されているため、(2)の時点では割り込みは発生しません。次に(3)でK03が"0"になるため、割り込みが許可されている端子のデータと入力比較レジスタのデータとの不一致により割り込みが発生します。ただし、割り込みマスクレジスタ(EIK0)によってK00～K03入力割り込みがイネーブルに設定されている必要があります。

前述のとおり、ポートデータと入力比較レジスタの内容が一致状態から不一致状態に変化することが割り込み発生条件となるため、(4)のように不一致状態から、別の不一致状態に変化しても割り込みは発生しません。また、割り込みが禁止されている端子は割り込み発生条件に影響を与えません。

#### 4.4.3 マスクオプション

入力ポートのマスクオプションでは8ビットの入力ポート(K00～K03, K10～K13)に対して、1ビットごとに内蔵プルアップ抵抗の有無を選択できます。

"プルアップ抵抗なし"を選択した場合は、入力にフローティング状態が発生しないよう注意してください。使用しない入力ポートは"プルアップ抵抗あり"を選択してください。

## 4.4.4 入力ポートのI/Oメモリ

表4.4.4.1に入力ポートの制御ビットとそのアドレスを示します。

表4.4.4.1 入力ポートの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF20H	SIK03	SIK02	SIK01	SIK00	SIK03	0	Enable	Disable	K00～K03割り込み選択レジスタ
					SIK02	0	Enable	Disable	
					SIK01	0	Enable	Disable	
					SIK00	0	Enable	Disable	
R/W									
FF21H	K03	K02	K01	K00	K03	- *2	High	Low	K00～K03入力ポートデータ
					K02	- *2	High	Low	
					K01	- *2	High	Low	
					K00	- *2	High	Low	
R									
FF22H	KCP03	KCP02	KCP01	KCP00	KCP03	1	↓	↑	K00～K03入力比較レジスタ
					KCP02	1	↓	↑	
					KCP01	1	↓	↑	
					KCP00	1	↓	↑	
R/W									
FF24H	SIK13	SIK12	SIK11	SIK10	SIK13	0	Enable	Disable	K10～K13割り込み選択レジスタ
					SIK12	0	Enable	Disable	
					SIK11	0	Enable	Disable	
					SIK10	0	Enable	Disable	
R/W									
FF25H	K13	K12	K11	K10	K13	- *2	High	Low	K10～K13入力ポートデータ
					K12	- *2	High	Low	
					K11	- *2	High	Low	
					K10	- *2	High	Low	
R									
FF26H	KCP13	KCP12	KCP11	KCP10	KCP13	1	↓	↑	K10～K13入力比較レジスタ
					KCP12	1	↓	↑	
					KCP11	1	↓	↑	
					KCP10	1	↓	↑	
R/W									
FFE4H	0	0	0	EIK0	0 *3	- *2			未使用 未使用 未使用 割り込みマスクレジスタ( K00～K03 )
					0 *3	- *2			
					0 *3	- *2			
					EIK0	0	Enable	Mask	
R/W									
FFE5H	0	0	0	EIK1	0 *3	- *2			未使用 未使用 未使用 割り込みマスクレジスタ( K10～K13 )
					0 *3	- *2			
					0 *3	- *2			
					EIK1	0	Enable	Mask	
R/W									
FFF4H	0	0	0	IK0	0 *3	- *2	(R)	(R)	未使用 未使用 未使用 割り込み要因フラグ( K00～K03 )
					0 *3	- *2	Yes	No	
					0 *3	- *2	(W)	(W)	
					IK0	0	Reset	Invalid	
R/W									
FFF5H	0	0	0	IK1	0 *3	- *2	(R)	(R)	未使用 未使用 未使用 割り込み要因フラグ( K10～K13 )
					0 *3	- *2	Yes	No	
					0 *3	- *2	(W)	(W)	
					IK1	0	Reset	Invalid	
R/W									

\*1 イニシャルリセット時の初期値

\*2 回路上設定されない

\*3 読み出し時は常時"0"

K00～K03: K0入力ポートデータ( FF21H )

K10～K13: K1入力ポートデータ( FF25H )

入力ポート端子の入力データが読み出せます。

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

書き込み: 無効

入力ポート8ビット( K00～K03、K10～K13 )の端子電圧がそれぞれHIGH( VDD )レベルのとき"1"、LOW( VSS )レベルのとき"0"として読み出せます。

これらのビットは読み出し専用のため、書き込み動作は無効となります。

SIK00 ~ SIK03: K0ポート割り込み選択レジスタ( FF20H )  
 SIK10 ~ SIK13: K1ポート割り込み選択レジスタ( FF24H )  
 K00 ~ K03、K10 ~ K13入力割り込みに使用するポートを選択します。

- "1"書き込み: 割り込み許可
- "0"書き込み: 割り込み禁止
- 読み出し: 可能

割り込み選択レジスタ SIK00 ~ SIK03、SIK10 ~ SIK13 に "1" を書き込んだ入力ポート( K00 ~ K03、K10 ~ K13 )の割り込みを許可します。 "0" に設定した入力ポートは割り込みの発生条件には影響を与えません。 イニシャルリセット時、これらのレジスタはすべて "0" に設定されます。

KCP00 ~ KCP03: K0ポート入力比較レジスタ( FF22H )  
 KCP10 ~ KCP13: K1ポート入力比較レジスタ( FF26H )  
 割り込み発生タイミングを設定します。

- "1"書き込み: 立ち下がりエッジ
- "0"書き込み: 立ち上がりエッジ
- 読み出し: 可能

入力ポートは入力比較レジスタ KCP00 ~ KCP03、KCP10 ~ KCP13 によって、割り込みの発生タイミングを入力の立ち上がりエッジとするか立ち下がりエッジとするか、1ビットごとに選択できます。

KCP00 ~ KCP03については、SIK00 ~ SIK03レジスタによってK00 ~ K03の中の割り込みが許可されているポートとのみ比較が行われます。 同様にKCP10 ~ KCP13は、SIK10 ~ SIK13レジスタによってK10 ~ K13の中の割り込みが許可されているポートとのみ比較が行われます。

イニシャルリセット時、これらのレジスタはすべて "1" に設定されます。

EIK0: K0入力割り込みマスクレジスタ( FFE4H・D0 )  
 EIK1: K1入力割り込みマスクレジスタ( FFE5H・D0 )  
 入力ポートの割り込みについて、マスクするかしないかを選択します。

- "1"書き込み: イネーブル
- "0"書き込み: マスク
- 読み出し: 可能

入力ポートの2つの系列( K00 ~ K03、K10 ~ K13 )に対して、割り込みをマスクするかしないかを、これらのレジスタにより選択できます。

イニシャルリセット時、これらのレジスタはすべて "0" に設定されます。

IK0: K0入力割り込み要因フラグ( FFF4H・D0 )  
 IK1: K1入力割り込み要因フラグ( FFF5H・D0 )  
 入力割り込みの発生状態を示すフラグです。

- "1"読み出し: 割り込み有
- "0"読み出し: 割り込み無
- "1"書き込み: 要因フラグをリセット
- "0"書き込み: 無効

割り込み要因フラグIK0、IK1はそれぞれK00 ~ K03、K10 ~ K13の入力割り込みに対応します。 これらのフラグによって入力割り込みの有無を、ソフトウェアで判断することができます。

割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず割り込み条件の成立により "1" にセットされます。 ただし、割り込みがマスクされている場合はCPUに対して割り込みは発生しません。

これらのフラグは、"1" を書き込むことによって "0" にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可( フラグ = "1" )に設定あるいは RETI 命令を実行すると再度同一の割り込みが発生してしまいます。 したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット( "1" 書き込み )を行ってください。

イニシャルリセット時、これらのフラグは "0" に設定されます。

#### 4.4.5 プログラミング上の注意事項

- ( 1 )入力ポートをLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の時定数によって波形立ち上がりに遅延が生じます。このため、入力ポートの取り込みを行う際は、適切な待ち時間を設定してください。  
特に、キーマトリクス構成時のキースキャン等に注意が必要です。  
この待ち時間は次の式で算出される時間以上としてください。  
$$10 \times C(\text{端子容量}5\text{pF} + \text{寄生容量}? \text{pF}) \times R(\text{プルアップ抵抗}330\text{k}\Omega)$$
- ( 2 )K13端子はプログラマブルタイマの入力クロック端子としての機能も兼ねることがあり、入力ポート機能と入力信号が共有されます。そのため、K13端子をプログラマブルタイマの入力クロック端子に設定した場合、割り込み等の設定には十分注意してください。
- ( 3 )割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可( Iフラグ="1" )に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット( "1"書き込み )を行ってください。

## 4.5 出力ポート( R00 ~ R03, R10 ~ R13, R20 ~ R23 )

### 4.5.1 出力ポートの構成

S1C63558は12ビットの汎用出力ポートを内蔵しています。

各出力ポートの出力仕様はマスクオプションで個別に選択できます。選択できる出力仕様はコンプリメンタリ出力とNチャンネルオープンドレイン出力の2種類です。

図4.5.1.1に出力ポートの構成を示します。

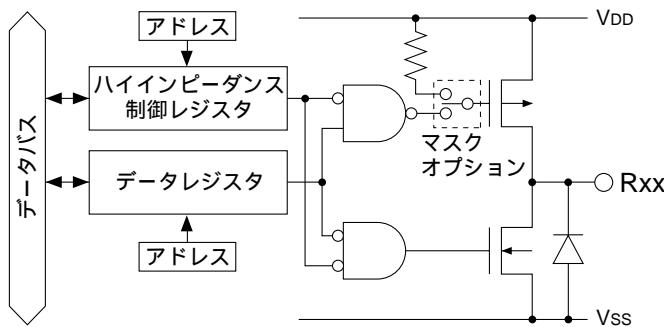


図4.5.1.1 出力ポートの構成

R00 ~ R03出力ポート端子はブザー/クロック出力( XBZ, BZ, TOUT, FOUT )と、R10 ~ R13出力ポート端子はトーン/パルスダイアラの出力( XTMUTE, XRMUTE, HDO, HFO )と兼用されており、これらの機能をソフトウェアによって選択するようになっています。

イニシャルリセット時はすべて汎用出力ポートに設定されます。

表4.5.1.1に機能選択による出力端子の設定を示します。

表4.5.1.1 出力端子の機能設定

端子名	イニシャルリセット時の 端子状態	特殊出力使用時							
		FOUT	TOUT	BZ	XBZ	HFO	HDO	XRMUTE	XTMUTE
R00	R00 (HIGH出力)	R00	R00	R00	XBZ	R00	R00	R00	R00
R01	R01 (HIGH出力)	R01	R01	BZ	R01	R01	R01	R01	R01
R02	R02 (HIGH出力)	R02	TOUT	R02	R02	R02	R02	R02	R02
R03	R03 (HIGH出力)	FOUT	R03						
R10	R10 (HIGH出力)	R10	XTMUTE						
R11	R11 (HIGH出力)	R11	R11	R11	R11	R11	R11	XRMUTE	R11
R12	R12 (HIGH出力)	R12	R12	R12	R12	R12	HDO	R12	R12
R13	R13 (HIGH出力)	R13	R13	R13	R13	HFO	R13	R13	R13
R20~R23	R20~R23 (HIGH出力)	R20~R23							

特殊出力として使用する場合、データレジスタは"1"に、ハイインピーダンス制御レジスタは"0"(データ出力)に固定する必要があります。

### 4.5.2 マスクオプション

出力ポートはマスクオプションにより出力仕様の選択が行えます。

出力ポートの出力仕様はビットごとに( R00 ~ R03, R10 ~ R13, R20 ~ R23 )に、コンプリメンタリ出力またはNチャンネルオープンドレイン出力のいずれかが選択できます。

ただし、Nチャンネルオープンドレイン出力を選択した場合でも、出力ポートに電源電圧を越える電圧の印加は禁止します。

### 4.5.3 ハイインピーダンス制御

出力ポートは、ソフトウェアにより端子の出力状態をハイインピーダンスとすることができます。制御は各出力ポートRxxに対応するハイインピーダンス制御レジスタRxxHIZによって行います。

ハイインピーダンス制御レジスタに"1"を書き込むと、対応する出力ポート端子がハイインピーダンスとなり、"0"でデータレジスタにしたがった出力が行われます。

### 4.5.4 特殊出力

出力ポートR00～R03およびR10～R13は通常のDC出力のほかに表4.5.4.1に示す特殊出力をソフトウェアによって設定できます。図4.5.4.1にR00～R03およびR10～R13出力ポートの構成を示します。

表4.5.4.1 特殊出力

端子名	特殊出力選択	特殊出力制御レジスタ
R13	HFO	CHFO
R12	HDO	CHDO
R11	XRMUTE	CRMO
R10	XTMUTE	CTMO
R03	FOUT	FOUTE
R02	TOUT	PTOUT
R01	BZ	BZOUT
R00	XBZ	XBZOUT

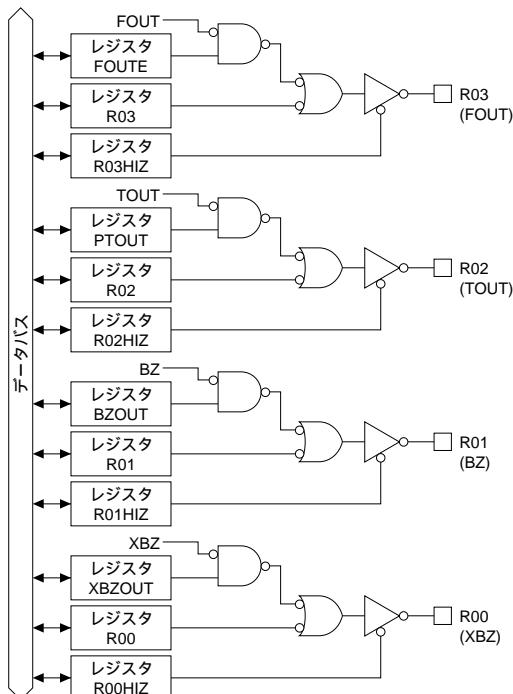


図4.5.4.1(a) R00～R03出力ポートの構成

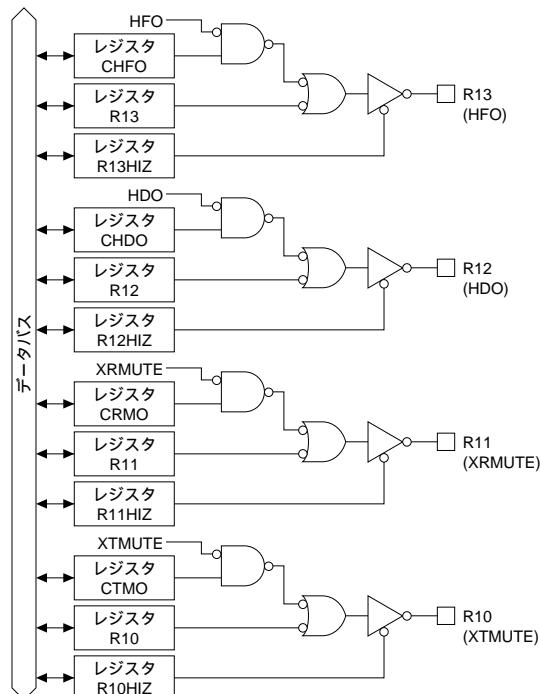


図4.5.4.1(b) R10～R13出力ポートの構成

イニシャルリセット時、出力ポートのデータレジスタは"1"、ハイインピーダンス制御レジスタは"0"に設定され、出力端子はHIGH(VDD)レベルとなります。

R00～R03、R10～R13を特殊出力ポートとして使用する場合は、データレジスタR00～R03、R10～R13を"1"、ハイインピーダンス制御レジスタR00HIZ～R03HIZ、R10HIZ～R13HIZを"0"(データ出力)に固定し、特殊出力制御レジスタによってそれぞれの信号をON/OFFしてください。

- 注:
- 特殊出力選択時にR00～R03、R10～R13レジスタに"0"を書き込むと、DC出力の場合と同様に出力端子がLOW(V<sub>ss</sub> レベル)に固定されますので注意してください。
  - ハイインピーダンス制御レジスタR00HIZ～R03HIZ、R10HIZ～R13HIZに"1"を書き込むと、出力端子がハイインピーダンスになりますので注意してください。
  - 特殊出力信号はソフトウェア制御によるON/OFF時にハザードを生じる可能性があります。

#### XBZ( R00 )

R00端子からはXBZ信号を出力させることができます。

XBZはサウンドジェネレータで生成されるブザー(BZ)の反転信号で、BZ信号とともに圧電ブザーのダイレクトドライブに使用します。

XBZ出力を行う場合は、XBZOUTレジスタに"1"を書き込んでR00端子をXBZ出力に設定します。さらに、R00レジスタを"1"、R00HIZレジスタを"0"に固定します。XBZ信号の出力制御(ON/OFF)はBZEレジスタによって行います。XBZ信号と制御方法の詳細については"4.12 サウンドジェネレータ"を参照してください。

#### BZ( R01 )

R01端子からはBZ(ブザー)信号を出力させることができます。

BZはサウンドジェネレータで生成されるブザー信号です。

BZ出力を行う場合は、BZOUTレジスタに"1"を書き込んでR01端子をBZ出力に設定します。さらに、R01レジスタを"1"、R01HIZレジスタを"0"に固定します。BZ信号の出力制御(ON/OFF)はBZEレジスタによって行います。BZ信号と制御方法の詳細については"4.12 サウンドジェネレータ"を参照してください。

#### TOUT( R02 )

R02端子からはTOUT信号を出力させることができます。

TOUT信号はプログラマブルタイマの出力クロックで、外部デバイスに対するクロック供給などの目的に使用することができます。

TOUT出力を行う場合はR02レジスタを"1"、R02HIZレジスタを"0"に固定し、PTOUTレジスタによって信号をON/OFFします。ただし、プログラマブルタイマの制御が必要です。

TOUT信号と制御方法の詳細については"4.10 プログラマブルタイマ"を参照してください。

#### FOUT( R03 )

R03端子からはFOUT信号を出力させることができます。

FOUT信号は発振回路の出力クロック(fosc1, fosc3)またはfosc1を内部回路で分周したクロックで、外部デバイスに対するクロック供給などの目的に使用することができます。

FOUT出力を行う場合はR03レジスタを"1"、R03HIZレジスタを"0"に固定し、FOUTEレジスタによって信号をON/OFFします。

出力するクロックの周波数は、表4.5.4.2に示す4種類から1つをFOFQ0およびFOFQ1レジスタによって選択できます。

表4.5.4.2 FOUTクロック周波数

FOFQ1	FOFQ0	クロック周波数
1	1	fosc3
1	0	fosc1
0	1	fosc1 × 1/8
0	0	fosc1 × 1/64

fosc1: OSC1発振回路の出力クロック

fosc3: OSC3発振回路の出力クロック

FOUT信号の周波数としてfosc3を選択した場合は、信号出力前にOSC3発振回路の制御が必要です。制御方法と注意事項については"4.3 発振回路"を参照してください。

図4.5.4.2にFOUT信号の出力波形を示します。

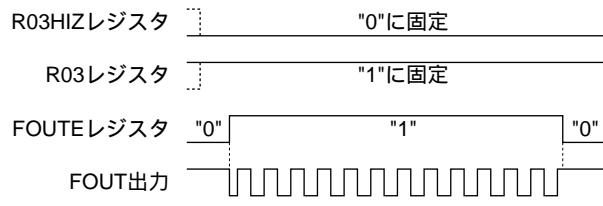


図4.5.4.2 FOUT信号の出力波形

#### XTMUTE( R10 )

R10端子からはXTMUTE信号を出力させることができます。

XTMUTEは電話機能に使用するトランスマッタミュート信号です。

XTMUTE出力を行う場合は、CTMOレジスタに"1"を書き込んでR10端子をXTMUTE出力に設定します。さらに、R10レジスタを"1"、R10HIZレジスタを"0"に固定します。XTMUTE信号の出力制御はCTMUTレジスタによって行います。XTMUTE信号と制御方法の詳細については"4.14 電話機能"を参照してください。

#### XRMUTE( R11 )

R11端子からはXRMUTE信号を出力させることができます。

XRMUTEは電話機能に使用するレシーバミュート信号です。

XRMUTE出力を行う場合は、CRM0レジスタに"1"を書き込んでR11端子をXRMUTE出力に設定します。さらに、R11レジスタを"1"、R11HIZレジスタを"0"に固定します。XRMUTE信号の出力制御はCRMUTレジスタによって行います。XRMUTE信号と制御方法の詳細については"4.14 電話機能"を参照してください。

#### HDO( R12 )

R12端子からはHDO信号を出力させることができます。

HDOは電話機能に使用するホールドライン信号です。

HDO出力を行う場合は、CHDOレジスタに"1"を書き込んでR12端子をHDO出力に設定します。さらに、R12レジスタを"1"、R12HIZレジスタを"0"に固定します。HDO信号の出力制御はHOLDレジスタによって行います。HDO信号と制御方法の詳細については"4.14 電話機能"を参照してください。

#### HFO( R13 )

R13端子からはHFO信号を出力させることができます。

HFOは電話機能に使用するハンドフリー信号です。

HFO出力を行う場合は、CHFOレジスタに"1"を書き込んでR13端子をHFO出力に設定します。さらに、R13レジスタを"1"、R13HIZレジスタを"0"に固定します。HFO信号の出力制御はHFレジスタによって行います。HFO信号と制御方法の詳細については"4.14 電話機能"を参照してください。

#### 4.5.5 出力ポートのI/Oメモリ

表4.5.5.1に出力ポートの制御ビットとそのアドレスを示します。

表4.5.5.1 出力ポートの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈			
	D3	D2	D1	D0					FOUTE	0	FOUT	DC
FF06H	FOUTE	0	FOFQ1	FOFQ0	FOFQ1	0 *3	- *2					R03出力選択( R03レジスタを"1"に固定 )
	R/W	R	R/W		FOFQ1	0						未使用
					FOFQ0	0						周波数選択 [FOFQ1, 0] 0 1 2 3 周波数 fosc1/64 fosc1/8 fosc1 fosc3
FF13H	CHFO	CHDO	CRMO	CTMO	CHFO	0	HFO	DC	R13出力選択( R13レジスタを"1"に固定 )			
	R/W	R/W	R/W	R/W	CHDO	0	HDO	DC	R12出力選択( R12レジスタを"1"に固定 )			
					CRMO	0	XRMUTE	DC	R11出力選択( R11レジスタを"1"に固定 )			
					CTMO	0	XTMUTE	DC	R10出力選択( R10レジスタを"1"に固定 )			
FF30H	R03HIZ	R02HIZ	R01HIZ	R00HIZ	R03HIZ	0	Hi-Z	Output	R03 Hi-z制御( FOUTE=0 ) FOUT出力Hi-z制御( FOUTE=1 )			
	R/W	R/W	R/W	R/W	R02HIZ	0	Hi-Z	Output	R02 Hi-z制御( PTOUT=0 ) TOUT出力Hi-z制御( PTOUT=1 )			
					R01HIZ	0	Hi-Z	Output	R01 Hi-z制御( BZOUT=0 ) BZ出力Hi-z制御( BZOUT=1 )			
					R00HIZ	0	Hi-Z	Output	R00 Hi-z制御( XBZOUT=0 ) XBZ出力Hi-z制御( XBZOUT=1 )			
FF31H	R03 (FOUT)	R02 (TOUT)	R01 (BZ)	R00 (XBZ)	R03	1	High	Low	R03出力ポートデータ( FOUTE=0 ) FOUT出力時は1に固定			
	R/W	R/W	R/W	R/W	R02	1	High	Low	R02出力ポートデータ( PTOUT=0 ) TOUT出力時は1に固定			
					R01	1	High	Low	R01出力ポートデータ( BZOUT=0 ) BZ出力時は1に固定			
					R00	1	High	Low	R00出力ポートデータ( XBZOUT=0 ) XBZ出力時は1に固定			
FF32H	R13HIZ	R12HIZ	R11HIZ	R10HIZ	R13HIZ	0	Hi-Z	Output	R13 Hi-z制御( CHFO=0 ) HFO出力Hi-z制御( CHFO=1 )			
	R/W	R/W	R/W	R/W	R12HIZ	0	Hi-Z	Output	R12 Hi-z制御( CHDO=0 ) HDO出力Hi-z制御( CHDO=1 )			
					R11HIZ	0	Hi-Z	Output	R11 Hi-z制御( CRMO=0 ) XRMUTE出力Hi-z制御( CRMO=1 )			
					R10HIZ	0	Hi-Z	Output	R10 Hi-z制御( CTMO=0 ) XTMUTE出力Hi-z制御( CTMO=1 )			
FF33H	R13 (HFO)	R12 (HDO)	R11 (XRMUTE)	R10 (XTMUTE)	R13	1	High	Low	R13出力ポートデータ( CHFO=0 ) HFO出力時は1に固定			
	R/W	R/W	R/W	R/W	R12	1	High	Low	R12出力ポートデータ( CHDO=0 ) HDO出力時は1に固定			
					R11	1	High	Low	R11出力ポートデータ( CRMO=0 ) XRMUTE出力時は1に固定			
					R10	1	High	Low	R10出力ポートデータ( CTMO=0 ) XTMUTE出力時は1に固定			
FF34H	R23HIZ	R22HIZ	R21HIZ	R20HIZ	R23HIZ	0	Hi-Z	Output	R20 ~ R23 Hi-z制御			
	R/W	R/W	R/W	R/W	R22HIZ	0	Hi-Z	Output				
					R21HIZ	0	Hi-Z	Output				
					R20HIZ	0	Hi-Z	Output				
FF35H	R23	R22	R21	R20	R23	1	High	Low	R20 ~ R23出力ポートデータ			
	R/W	R/W	R/W	R/W	R22	1	High	Low				
					R21	1	High	Low				
					R20	1	High	Low				
FF65H	0	0	BZOUT	XBZOUT	0 *3	- *2			未使用			
	R	R/W	R/W	R/W	0 *3	- *2			未使用			
					BZOUT	0	BZ	DC	R01出力選択( R01レジスタを"1"に固定 )			
					XBZOUT	0	XBZ	DC	R00出力選択( R00レジスタを"1"に固定 )			
FFC1H	CHSEL	PTOUT	CKSEL1	CKSEL0	CHSEL	0	Timer0	TOUT出力チャンネル選択				
	R/W	R/W	R/W	R/W	PTOUT	0	On	TOUT出力制御				
					CKSEL1	0	OSC3	OSC1	ブリスケーラ1原振クロック選択			
					CKSEL0	0	OSC3	OSC1	ブリスケーラ0原振クロック選択			

\*1 イニシャルリセット時の初期値

\*2 回路上設定されない

\*3 読み出し時は常時"0"

R00HIZ ~ R03HIZ: R0ポートハイインピーダンス制御レジスタ( FF30H )

R10HIZ ~ R13HIZ: R1ポートハイインピーダンス制御レジスタ( FF32H )

R20HIZ ~ R23HIZ: R2ポートハイインピーダンス制御レジスタ( FF34H )

出力ポートのハイインピーダンス制御を行います。

"1"書き込み: ハイインピーダンス

"0"書き込み: データ出力

読み出し: 可能

ハイインピーダンス制御レジスタに"0"を書き込むことにより、対応する出力端子からデータレジスタにしたがった出力が行われ、"1"を書き込むとハイインピーダンスになります。

R00 ~ R03, R10 ~ R13を特殊出力として使用する場合、対応するハイインピーダンス制御レジスタは"0"(データ出力)に固定してください。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

R00 ~ R03: R0出力ポートデータレジスタ( FF31H )

R10 ~ R13: R1出力ポートデータレジスタ( FF33H )

R20 ~ R23: R2出力ポートデータレジスタ( FF35H )

各出力ポートの出力データを設定します。

"1"書き込み: HIGHレベル出力

"0"書き込み: LOWレベル出力

読み出し: 可能

出力ポート端子は対応するデータレジスタに書き込まれたデータをそのまま出力します。レジスタに"1"を書き込んだ場合、出力ポート端子はHIGH( VDD )レベルになり、"0"を書き込んだ場合はLOW( Vss )レベルになります。

R00 ~ R03, R10 ~ R13を特殊出力として使用する場合、対応するデータレジスタは"1"に固定してください。イニシャルリセット時、これらのレジスタは"1"に設定されます。

XBZOUT: R00出力選択レジスタ( FF65H・D0 )

R00端子の機能を選択します。

"1"書き込み: XBZ出力

"0"書き込み: 汎用DC出力

読み出し: 可能

R00端子をXBZ出力に使用する場合、このレジスタに"1"を書き込みます。さらに、R00レジスタを"1"、R00HIZレジスタを"0"に固定します。XBZ出力の制御方法については、"4.12 サウンドジェネレータ"を参照してください。

R00を汎用出力ポートとして使用する場合、XBZOUTは"0"に固定してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

BZOUT: R01出力選択レジスタ( FF65H・D1 )

R01端子の機能を選択します。

"1"書き込み: BZ出力

"0"書き込み: 汎用DC出力

読み出し: 可能

R01端子をBZ出力に使用する場合、このレジスタに"1"を書き込みます。さらに、R01レジスタを"1"、R01HIZレジスタを"0"に固定します。BZ出力の制御方法については、"4.12 サウンドジェネレータ"を参照してください。

R01を汎用出力ポートとして使用する場合、BZOUTは"0"に固定してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

**PTOUT: TOUT出力制御レジスタ( FFC1H·D2 )**  
TOUT出力を制御します。

- "1"書き込み: TOUT出力ON
- "0"書き込み: TOUT出力OFF
- 読み出し: 可能

R02レジスタが"1"、R02HIZレジスタが"0"に設定されている状態でPTOUTに"1"を書き込むことによってR02端子からTOUT信号が出力され、"0"の書き込みでR02端子がHIGH( V<sub>DD</sub> )レベルになります。  
R02を汎用出力ポートとして使用する場合、PTOUTは"0"に固定してください。  
イニシャルリセット時、このレジスタは"0"に設定されます。

**FOUTE: FOUT出力制御レジスタ( FF06H·D3 )**  
FOUT出力を制御します。

- "1"書き込み: FOUT出力ON
- "0"書き込み: FOUT出力OFF
- 読み出し: 可能

R03レジスタが"1"、R03HIZレジスタが"0"に設定されている状態でFOUTEに"1"を書き込むことによってR03端子からFOUT信号が出力され、"0"の書き込みでR03端子がHIGH( V<sub>DD</sub> )レベルになります。  
R03を汎用出力ポートとして使用する場合、FOUTEは"0"に固定してください。  
イニシャルリセット時、このレジスタは"0"に設定されます。

**FOFQ0、FOFQ1: FOUT周波数選択レジスタ( FF06H·D0, D1 )**  
FOUT信号の周波数を選択します。

表4.5.5.2 FOUTクロック周波数

FOFQ1	FOFQ0	クロック周波数
1	1	fosc3
1	0	fosc1
0	1	fosc1 × 1/8
0	0	fosc1 × 1/64

イニシャルリセット時、このレジスタは"0"に設定されます。

**CTMO: R10出力選択レジスタ( FF13H·D0 )**  
R10端子の機能を選択します。

- "1"書き込み: XTMUTE出力
- "0"書き込み: 汎用DC出力
- 読み出し: 可能

R10端子をXTMUTE出力に使用する場合、このレジスタに"1"を書き込みます。さらに、R10レジスタを"1"、R10HIZレジスタを"0"に固定します。XTMUTE出力の制御方法については、"4.14 電話機能"を参照してください。

R10を汎用出力ポートとして使用する場合、CTMOは"0"に固定してください。  
イニシャルリセット時、このレジスタは"0"に設定されます。

**CRMO: R11出力選択レジスタ( FF13H·D1 )**

R11端子の機能を選択します。

- "1"書き込み: XRMUTE出力
- "0"書き込み: 汎用DC出力
- 読み出し: 可能

R11端子をXRMUTE出力に使用する場合、このレジスタに"1"を書き込みます。さらに、R11レジスタを"1"、R11HIZレジスタを"0"に固定します。XRMUTE出力の制御方法については、"4.14 電話機能"を参照してください。

R11を汎用出力ポートとして使用する場合、CRMOは"0"に固定してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

**CHDO: R12出力選択レジスタ( FF13H·D2 )**

R12端子の機能を選択します。

- "1"書き込み: HDO出力
- "0"書き込み: 汎用DC出力
- 読み出し: 可能

R12端子をHDO出力に使用する場合、このレジスタに"1"を書き込みます。さらに、R12レジスタを"1"、R12HIZレジスタを"0"に固定します。HDO出力の制御方法については、"4.14 電話機能"を参照してください。

R12を汎用出力ポートとして使用する場合、CHDOは"0"に固定してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

**CHFO: R13出力選択レジスタ( FF13H·D3 )**

R13端子の機能を選択します。

- "1"書き込み: HFO出力
- "0"書き込み: 汎用DC出力
- 読み出し: 可能

R13端子をHFO出力に使用する場合、このレジスタに"1"を書き込みます。さらに、R13レジスタを"1"、R13HIZレジスタを"0"に固定します。HFO出力の制御方法については、"4.14 電話機能"を参照してください。

R13を汎用出力ポートとして使用する場合、CHFOは"0"に固定してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

**4.5.6 プログラミング上の注意事項**

- ( 1 )R00～R03、R10～R13を特殊出力として使用する場合、R00～R03、R10～R13レジスタは"1"、R00HIZ～R03HIZ、R10HIZ～R13HIZレジスタは"0"に固定してください。  
R00～R03、R10～R13レジスタに"0"を書き込むと、出力端子がLOW( Vss )に固定されますので注意してください。また、R00HIZ～R03HIZ、R10HIZ～R13HIZレジスタに"1"を書き込むと、出力端子がハイインピーダンスになりますので注意してください。
- ( 2 )TOUT信号、FOUT信号、BZ信号、XBZ信号のON/OFF時は、出力波形にハザードが出る場合があります。
- ( 3 )FOUT信号の周波数としてfosc3を選択した場合は、信号出力前にOSC3発振回路の制御が必要です。制御方法と注意事項については"4.3 発振回路"を参照してください。

## 4.6 入出力兼用ポート(P00～P03, P10～P13, P20～P23, P30～P33)

### 4.6.1 入出力兼用ポートの構成

S1C63558は16ビットの汎用入出力兼用ポートを内蔵しています。図4.6.1.1に入出力兼用ポートの構成を示します。

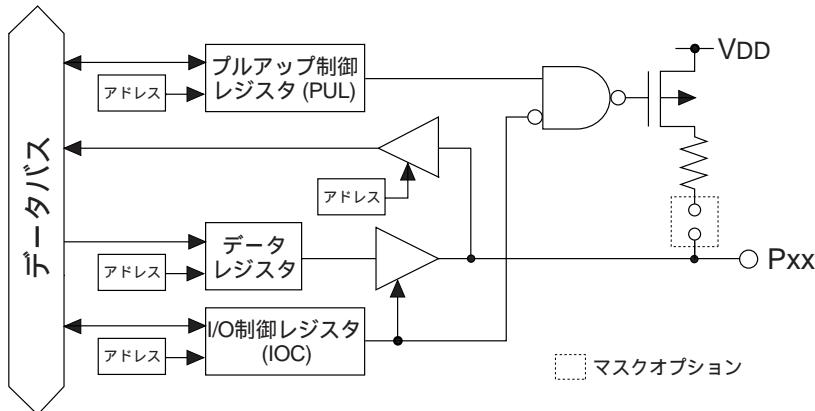


図4.6.1.1 入出力兼用ポートの構成

入出力兼用ポート端子の中でP10～P13、P30～P33はそれぞれシリアルインターフェース(1)シリアルインターフェース(2)の入出力端子と、P22およびP23は特殊出力(CL, FR)端子と兼用されており、これらの機能をソフトウェアによって選択するようになっています。

イニシャルリセット時はすべて入出力兼用ポートに設定されます。

表4.6.1.1に機能選択による入出力端子の設定を示します。

表4.6.1.1 入出力端子の機能設定

端子名	イニシャルリセット時の 端子状態	特殊出力使用時		シリアルインターフェース(1), (2)使用時		
		CL	FR	Async.	Clk-sync. Master	Clk-sync. Slave
P00～P03	P00～P03 (入力&プルアップ*)	P00～P03	P00～P03	P00～P03	P00～P03	P00～P03
P10	P10 (入力&プルアップ*)	P10	P10	SIN(I)	SIN(I)	SIN(I)
P11	P11 (入力&プルアップ*)	P11	P11	SOUT(O)	SOUT(O)	SOUT(O)
P12	P12 (入力&プルアップ*)	P12	P12	P12	SCLK(O)	SCLK(I)
P13	P13 (入力&プルアップ*)	P13	P13	P13	P13	SRDY(O)
P20	P20 (入力&プルアップ*)	P20	P20	P20	P20	P20
P21	P21 (入力&プルアップ*)	P21	P21	P21	P21	P21
P22	P22 (入力&プルアップ*)	CL	P22	P22	P22	P22
P23	P23 (入力&プルアップ*)	P23	FR	P23	P23	P23
P30	P30 (入力&プルアップ*)	P30	P30	SIN(I)	SIN(I)	SIN(I)
P31	P31 (入力&プルアップ*)	P31	P31	SOUT(O)	SOUT(O)	SOUT(O)
P32	P32 (入力&プルアップ*)	P32	P32	P32	SCLK(O)	SCLK(I)
P33	P33 (入力&プルアップ*)	P33	P33	P33	P33	SRDY(O)

\* マスクオプションにて"プルアップあり"選択時 ("プルアップなし"選択時はハイインピーダンス)

入出力兼用ポートとして使用する場合、各ポートを個々(1ビット単位)に入力モードまたは出力モードに設定できます。この設定はI/O制御レジスタにデータを書き込むことによって行います。

シリアルインターフェースの制御については"4.11 シリアルインターフェース"を参照してください。

#### 4.6.2 マスクオプション

入出力兼用ポートは出力モード時の出力仕様として、コンプリメンタリ出力、またはNチャンネルオープンドレイン出力のいずれかをマスクオプションにより各ビットごとに選択できるようになっています。

入力モード時のプルアップ抵抗の有無もマスクオプションにより選択できます。

プルアップ抵抗の有無の選択は、P2xポートはビットごとに、P0x、P1x、P3xポートは4ビットごとに行います。

なお、Nチャンネルオープンドレイン出力を選択した場合でも、ポートに電源電圧を越える電圧を印加することは禁止します。

また、入力モード時の"プルアップ抵抗なし"を選択した場合には、フローティング状態が発生しないように注意してください。

このオプションは入出力兼用ポートを特殊出力、シリアルインターフェースの入出力として使用する場合も有効です。

#### 4.6.3 I/O制御レジスタと入力/出力モード

入出力兼用ポートは、各ポートに対応したI/O制御レジスタIOCxxにデータを書き込むことにより入力モードあるいは出力モードに設定されます。

入力モードに設定する場合はI/O制御レジスタに"0"を書き込みます。入力モードに設定された入出力兼用ポートは、ハイインピーダンス状態となり入力ポートとして働きます。ただし、次項で説明するプルアップ制御を行っている場合は、この入力モード時に限り入力ラインがプルアップされます。

出力モードに設定する場合はI/O制御レジスタに"1"を書き込みます。出力モードに設定された入出力兼用ポートは出力ポートとして働き、ポート出力データが"1"の場合にHIGH( VDD )レベル、"0"の場合にLOW( Vss )レベルの出力を行います。出力モード時にもデータの読み出しが可能で、その場合はデータレジスタの内容が読み出されます。

イニシャルリセット時、I/O制御レジスタは"0"に設定され、入出力兼用ポートは入力モードになります。

特殊出力、シリアルインターフェースの入出力に設定されたポート(表4.6.1.1参照)の入出力制御はハードウェアが行います。この場合、I/O制御レジスタは入出力制御に影響を与えない汎用レジスタとして使用可能です。

#### 4.6.4 入力モード時のプルアップ

S1C63558の入出力兼用ポートには入力モード時に働くプルアップ抵抗が内蔵されています。このプルアップを使用するかしないかについてはマスクオプションにより選択可能です。

各ポートに対応したプルアップ制御レジスタPULxxに"1"を書き込むことによりプルアップ抵抗が有効になり、入力モード時に入力ラインがプルアップされます。"0"を書き込んだ場合、プルアップは行われません。イニシャルリセット時、プルアップ制御レジスタは"1"に設定されます。

マスクオプションにより"プルアップなし"を選択したポートのプルアップ制御レジスタは、汎用レジスタとして使用可能です。

マスクオプションにより"プルアップあり"を選択した場合でも、特殊出力、シリアルインターフェースの出力に設定されたポート(表4.6.1.1参照)のプルアップ制御レジスタは、プルアップ制御に影響を与えない汎用レジスタとして使用可能です。シリアルインターフェースの入力に設定されたポートのプルアップ制御レジスタは入出力兼用ポートと同様に機能します。

#### 4.6.5 特殊出力(CL, FR)

入出力兼用ポートP22およびP23は、ソフトウェアによってCL信号およびFR信号を出力する特殊出力ポートに切り換えて使用することができます。イニシャルリセット時、P22およびP23は入出力兼用ポート(入力モード)に設定されますので、特殊出力を使用する場合はEXLCDCLレジスタで特殊出力機能を選択してください。なお、特殊出力に設定したポートのデータレジスタ、I/O制御レジスタ、ブルアップ制御レジスタは出力に影響を与えない汎用レジスタとして使用可能です。

EXLCDCLレジスタに"1"を書き込むとP22がCL出力ポートに、P23がFR出力ポートに設定されます。

CL信号、FR信号は外部に拡張するLCDドライバのためのLCD同期信号(CL)とLCDフレーム信号(FR)で、EXLCDCLレジスタによって機能を切り換えた時点でP22端子、P23端子から出力されます。

CL信号、FR信号の周波数は以下のとおりです。

表4.6.5.1 CL信号の周波数

OSC1発振周波数	1/8デューティ選択時	1/16デューティ選択時	1/17デューティ選択時
32.768kHz	512Hz	1,024Hz	1,024Hz

表4.6.5.2 FR信号の周波数

OSC1発振周波数	1/8デューティ選択時	1/16デューティ選択時	1/17デューティ選択時
32.768kHz	32Hz	32Hz	30.12Hz

LCD駆動デューティの制御等については"4.7 LCDドライバ"を参照してください。

注: CL、FR出力信号はON/OFF時(ポート機能切り換え時)にハザードを生じます。

図4.6.5.1にCL、FR信号の出力波形を示します。

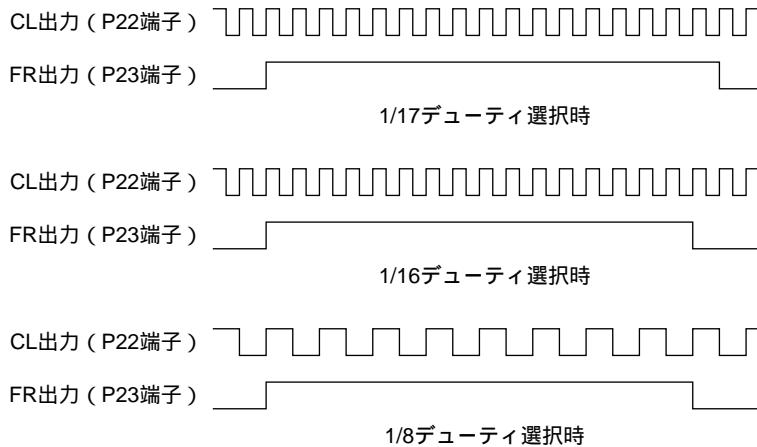


図4.6.5.1 CL、FR信号の出力波形

## 4.6.6 入出力兼用ポートのI/Oメモリ

表4.6.6.1(a)(b)に入出力兼用ポートの制御ビットとそのアドレスを示します。

表4.6.6.1(a) 入出力兼用ポートの制御ビット

アドレス	レジスタ				Name	Init *1	注 釈		
	D3	D2	D1	D0			1	0	
FF40H	IOC03	IOC02	IOC01	IOC00	IOC03	0	Output	Input	P00 ~ P03 I/O制御レジスタ
					IOC02	0	Output	Input	
					IOC01	0	Output	Input	
					IOC00	0	Output	Input	
FF41H	R/W				PUL03	1	On	Off	P00 ~ P03 プルアップ制御レジスタ
	PUL03	PUL02	PUL01	PUL00	PUL02	1	On	Off	
					PUL01	1	On	Off	
					PUL00	1	On	Off	
FF42H	R/W				P03	- *2	High	Low	P00 ~ P03入出力兼用ポートデータ
	P03	P02	P01	P00	P02	- *2	High	Low	
					P01	- *2	High	Low	
					P00	- *2	High	Low	
FF44H	R/W				IOC13	0	Output	Input	P13 I/O制御レジスタ SIF クロック同期式スレーブ 選択時、汎用レジスタとして機能 P12 I/O制御レジスタ SIF クロック同期式のみ 選択時、汎用レジスタとして機能 P11 I/O制御レジスタ( ESIF=0 ) SIF選択時、汎用レジスタとして機能 P10 I/O制御レジスタ( ESIF=0 ) SIF選択時、汎用レジスタとして機能
	IOC13	IOC12	IOC11	IOC10	IOC12	0	Output	Input	
					IOC11	0	Output	Input	
					IOC10	0	Output	Input	
FF45H	R/W				PUL13	1	On	Off	P13 プルアップ制御レジスタ SIF クロック同期式スレーブ 選択時、汎用レジスタとして機能 P12 プルアップ制御レジスタ SIF クロック同期式マスター 選択時、汎用レジスタとして機能 SIF クロック同期式スレーブ 選択時、 SCLK( ) プルアップ制御レジスタ P11 プルアップ制御レジスタ( ESIF=0 ) SIF選択時、汎用レジスタとして機能 P10 プルアップ制御レジスタ( ESIF=0 ) SIF選択時、 SIN プルアップ制御レジスタ
	PUL13	PUL12	PUL11	PUL10	PUL12	1	On	Off	
					PUL11	1	On	Off	
					PUL10	1	On	Off	
FF46H	R/W				P13	- *2	High	Low	P13入出力兼用ポートデータ SIF クロック同期式スレーブ 選択時、汎用レジスタとして機能 P12入出力兼用ポートデータ SIF クロック同期式のみ 選択時、汎用レジスタとして機能 P11入出力兼用ポートデータ( ESIF=0 ) SIF選択時、汎用レジスタとして機能 P10入出力兼用ポートデータ( ESIF=0 ) SIF選択時、汎用レジスタとして機能
	P13 (XSRDY)	P12 (XSCLK)	P11 (SOUT)	P10 (SIN)	P12	- *2	High	Low	
					P11	- *2	High	Low	
					P10	- *2	High	Low	
FF48H	R/W				IOC23	0	Output	Input	P23 I/O制御レジスタ( EXLCD=0 ) FR出力選択時、汎用レジスタとして機能 P22 I/O制御レジスタ( EXLCD=0 ) CL出力選択時、汎用レジスタとして機能 P21 I/O制御レジスタ P20 I/O制御レジスタ
	IOC23	IOC22	IOC21	IOC20	IOC22	0	Output	Input	
					IOC21	0	Output	Input	
					IOC20	0	Output	Input	
FF49H	R/W				PUL23	1	On	Off	P23 プルアップ制御レジスタ( EXLCD=0 ) FR出力選択時、汎用レジスタとして機能 P22 プルアップ制御レジスタ( EXLCD=0 ) CL出力選択時、汎用レジスタとして機能 P21 プルアップ制御レジスタ P20 プルアップ制御レジスタ
	PUL23	PUL22	PUL21	PUL20	PUL22	1	On	Off	
					PUL21	1	On	Off	
					PUL20	1	On	Off	
FF4AH	R/W				P23	- *2	High	Low	P23入出力兼用ポートデータ( EXLCD=0 ) FR出力選択時、汎用レジスタとして機能 P22入出力兼用ポートデータ( EXLCD=0 ) CL出力選択時、汎用レジスタとして機能 P21入出力兼用ポートデータ P20入出力兼用ポートデータ
	P23 (FR)	P22 (CL)	P21	P20	P22	- *2	High	Low	
					P21	- *2	High	Low	
					P20	- *2	High	Low	

\*1 イニシャルリセット時の初期値

\*3 読み出し時は常時"0"

\*2 回路上設定されない

表4.6.6.1(b) 入出力兼用ポートの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF4CH	IOC33	IOC32	IOC31	IOC30	IOC33	0	Output	Input	P33 I/O制御レジスタ SIF(クロック同期式スレーブ)選択時、汎用レジスタとして機能
					IOC32	0	Output	Input	P32 I/O制御レジスタ SIF(クロック同期式のみ)選択時、汎用レジスタとして機能
					IOC31	0	Output	Input	P31 I/O制御レジスタ(ESIFS=0) SIF選択時、汎用レジスタとして機能
					IOC30	0	Output	Input	P30 I/O制御レジスタ(ESIFS=0) SIF選択時、汎用レジスタとして機能
FF4DH	PUL33	PUL32	PUL31	PUL30	PUL33	1	On	Off	P33ブルアップ制御レジスタ SIF(クロック同期式スレーブ)選択時、汎用レジスタとして機能
					PUL32	1	On	Off	P32ブルアップ制御レジスタ SIF(クロック同期式マスター)選択時、汎用レジスタとして機能
					PUL31	1	On	Off	SIF(クロック同期式スレーブ)選択時、 SCLK(1)ブルアップ制御レジスタ P31ブルアップ制御レジスタ(ESIFS=0) SIF選択時、汎用レジスタとして機能
					PUL30	1	On	Off	P30ブルアップ制御レジスタ(ESIFS=0) SIF選択時、SINブルアップ制御レジスタ
FF4EH	P33 (XSRDYS)	P32 (XSCLKS)	P31 (SOUTS)	P30 (SINS)	P33	- *2	High	Low	P33入出力兼用ポートデータ SIF(クロック同期式スレーブ)選択時、汎用レジスタとして機能
					P32	- *2	High	Low	P32入出力兼用ポートデータ SIF(クロック同期式のみ)選択時、汎用レジスタとして機能
					P31	- *2	High	Low	P31入出力兼用ポートデータ(ESIFS=0) SIF選択時、汎用レジスタとして機能
					P30	- *2	High	Low	P30入出力兼用ポートデータ(ESIFS=0) SIF選択時、汎用レジスタとして機能
FF58H	0	SMD1S	SMD0S	ESIFS	0 *3	- *2			未使用 [SMD1S, 0] 0 1 モード Clk-sync. master Clk-sync. slave
	R				SMD1S	0			シリアルI/F(2) [SMD1S, 0] 2 3 モード選択 モード Async. 7-bit Async. 8-bit
FF61H	EXLCD	ALOFF	ALON	LPAGE	EXLCD	0	Enable	Disable	拡張LCDドライバ用信号出力制御
					ALOFF	1	All Off	Normal	LCD全消灯制御
					ALON	0	All On	Normal	LCD全点灯制御
					LPAGE	0	F100-F15F	F000-F05F	表示メモリ領域選択(1/8デューティ選択時) 1/16、1/17デューティ選択時、汎用レジスタとして機能
FF70H	0	SMD1	SMD0	ESIF	0 *3	- *2			未使用 [SMD1, 0] 0 1 モード Clk-sync. master Clk-sync. slave
	R				SMD1	0			シリアルI/F(1) [SMD1, 0] 2 3 モード選択 モード Async. 7-bit Async. 8-bit
					SMD0	0			シリアルI/F(1)イネーブル( P1xポート機能選択 )
					ESIF	0	SIF	I/O	

\*1 イニシャルリセット時の初期値

\*3 読み出し時は常時"0"

\*2 回路上設定されない

## (1)ポート機能の選択

EXLCD: 拡張LCDドライバ用信号出力制御レジスタ( FF61H・D3 )

P22、P23をCL信号出力、FR信号出力に設定します。

"1"書き込み: CL/FR信号出力

"0"書き込み: 入出力兼用ポート

読み出し: 可能

P22をCL( LCD同期信号 )出力、P23をFR( LCDフレーム信号 )出力に設定する場合に"1"、入出力兼用ポートとして使用する場合は"0"に固定してください。

EXLCDに"1"を書き込んだ時点でCL信号がP22端子から、FR信号がP23端子から出力されます。この場合、P22およびP23の入出力兼用ポートの制御レジスタはすべて、これらの出力に影響を与えない汎用レジスタとして使用できます。

イニシャルリセット時、このレジスタは"0"に設定されます。

**ESIF: シリアルインタフェース(1)イネーブルレジスタ(FF70H・D0)**  
P10～P13の機能を選択します。

- "1"書き込み: シリアルインタフェース(1)入出力ポート
- "0"書き込み: 入出力兼用ポート
- 読み出し: 可能

シリアルインタフェース(1)を使用する場合に"1"、入出力兼用ポートとして使用する場合に"0"を書き込みます。P10～P13の中でシリアルインタフェース(1)の入出力に使用される端子の構成は、SMD1とSMD0レジスタで選択する転送モード(調歩同期式7ビット、調歩同期式8ビット、クロック同期式スレーブ、クロック同期式マスター)によって決定します。クロック同期式スレーブモードではP10～P13すべてがシリアルインタフェース(1)の入出力ポートに設定されます。クロック同期式マスターではP10～P12がシリアルインタフェース(1)の入出力ポートに設定され、P13は入出力兼用ポートとして使用することができます。調歩同期式8/7ビットモードではP10とP11がシリアルインタフェース(1)の入出力ポートに設定され、P12とP13は入出力兼用ポートとして使用することができます。

イニシャルリセット時、このレジスタは"0"に設定されます。

**ESIFS: シリアルインタフェース(2)イネーブルレジスタ(FF58H・D0)**  
P30～P33の機能を選択します。

- "1"書き込み: シリアルインタフェース(2)入出力ポート
- "0"書き込み: 入出力兼用ポート
- 読み出し: 可能

シリアルインタフェース(2)を使用する場合に"1"、入出力兼用ポートとして使用する場合に"0"を書き込みます。P30～P33の中でシリアルインタフェース(2)の入出力に使用される端子の構成は、SMD1SとSMD0Sレジスタで選択する転送モード(調歩同期式7ビット、調歩同期式8ビット、クロック同期式スレーブ、クロック同期式マスター)によって決定します。クロック同期式スレーブモードではP30～P33すべてがシリアルインタフェース(2)の入出力ポートに設定されます。クロック同期式マスターではP30～P32がシリアルインタフェース(2)の入出力ポートに設定され、P33は入出力兼用ポートとして使用することができます。調歩同期式8/7ビットモードではP30とP31がシリアルインタフェース(2)の入出力ポートに設定され、P32とP33は入出力兼用ポートとして使用することができます。

イニシャルリセット時、このレジスタは"0"に設定されます。

## (2)入出力兼用ポートの制御

P00～P03: P0入出力兼用ポートデータレジスタ(FF42H)

P10～P13: P1入出力兼用ポートデータレジスタ(FF46H)

P20～P23: P2入出力兼用ポートデータレジスタ(FF4AH)

P30～P33: P3入出力兼用ポートデータレジスタ(FF4EH)

入出力兼用ポートデータの読み出し、および出力データの設定を行います。

### • データ書き込み時

- "1"書き込み: HIGHレベル
- "0"書き込み: LOWレベル

入出力兼用ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力兼用ポート端子に出力されます。ポートデータとして"1"を書き込んだ場合はポート端子はHIGH( V<sub>DD</sub> )レベルになります、"0"を書き込んだ場合はLOW( V<sub>SS</sub> )レベルになります。

なお、入力モードの場合もポートデータの書き込みは行えます。

### • データ読み出し時

- "1"読み出し: HIGHレベル
- "0"読み出し: LOWレベル

入出力兼用ポートの端子電圧レベルを読み出します。入出力兼用ポートが入力モードの場合はポート端子に入力されている電圧レベルが読み出され、出力モードに設定されている場合はレジスタの内容が読み出されます。端子電圧がHIGH( V<sub>DD</sub> )レベルの場合は読み出されるポートデータが"1"、LOW( V<sub>SS</sub> )レベルの場合は"0"となります。

また、マスクオプションで"プルアップあり"を選択し、PULLレジスタに"1"を設定している場合、入力モード時には内蔵プルアップ抵抗がONとなり、入出力兼用ポート端子がプルアップされます。

特殊出力に設定したポート(P22, P23)シリアルインターフェースの入出力に設定したポート(P10~P13またはP30~P33)のデータレジスタは入出力には影響を与えない汎用レジスタとなります。

注: 入力モード時にポートの入力をLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の時定数によって波形立ち上がりに遅延が生じます。このため、入力データの取り込みを行う際は、適切な待ち時間を設定してください。

特に、キーマトリクス構成時のキースキャン等に注意が必要です。

この待ち時間は次の式で算出される時間以上としてください。

$$10 \times C(\text{端子容量}5\text{pF} + \text{寄生容量?pF}) \times R(\text{プルアップ抵抗}330\text{k}\Omega)$$

IOC00~IOC03: P0ポートI/O制御レジスタ(FF40H)

IOC10~IOC13: P1ポートI/O制御レジスタ(FF44H)

IOC20~IOC23: P2ポートI/O制御レジスタ(FF48H)

IOC30~IOC33: P3ポートI/O制御レジスタ(FF4CH)

入出力兼用ポートの入力/出力モードを設定します。

"1"書き込み: 出力モード

"0"書き込み: 入力モード

読み出し: 可能

入出力兼用ポートの入力/出力モードを1ビット単位に設定します。

I/O制御レジスタに"1"を書き込むことにより対応する入出力兼用ポートが出力モードに、"0"を書き込むことにより入力モードになります。

イニシャルリセット時、これらのレジスタは"0"に設定され、入出力兼用ポートはすべて入力モードになります。

特殊出力に設定したポート(P22, P23)シリアルインターフェースの入出力に設定したポート(P10~P13またはP30~P33)のI/O制御レジスタは入出力には影響を与えない汎用レジスタとなります。

PUL00~PUL03: P0ポートプルアップ制御レジスタ(FF41H)

PUL10~PUL13: P1ポートプルアップ制御レジスタ(FF45H)

PUL20~PUL23: P2ポートプルアップ制御レジスタ(FF49H)

PUL30~PUL33: P3ポートプルアップ制御レジスタ(FF4DH)

入力モード時のプルアップを設定します。

"1"書き込み: プルアップON

"0"書き込み: プルアップOFF

読み出し: 可能

入出力兼用ポートに内蔵されたプルアップ抵抗を入力モード時にONまたはOFFすることを1ビット単位に設定します。( プルアップ抵抗はマスクオプションで選択したポートのみに付加されます。 )

プルアップ制御レジスタに"1"を書き込むことにより対応する入出力兼用ポートが入力モード時にプルアップがONとなります。"0"を書き込んだ場合、プルアップは行われません。

イニシャルリセット時、これらのレジスタは"1"に設定され、プルアップ抵抗がすべてONになります。

マスクオプションによりプルアップ抵抗が付加されていないポート、特殊出力に設定したポート、およびシリアルインターフェースのシリアル出力に用いられるポートのプルアップ制御レジスタはプルアップには影響を与えない汎用レジスタとなります。シリアル入力に用いられるポートのプルアップ制御レジスタは入出力兼用ポートの場合と同様に機能します。

#### 4.6.7 プログラミング上の注意事項

(1) 入力モード時にポートの入力をLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の時定数によって波形立ち上がりに遅延が生じます。このため、入力データの取り込みを行う際は、適切な待ち時間を設定してください。

特に、キーマトリクス構成時のキースキャン等に注意が必要です。

この待ち時間は次の式で算出される時間以上としてください。

$$10 \times C(\text{端子容量}5\text{pF} + \text{寄生容量?pF}) \times R(\text{プルアップ抵抗}330\text{k}\Omega)$$

(2) 特殊出力(CL, FR)を選択した場合、信号のON/OFF時に出力波形にハザードが出る場合があります。

## 4.7 LCDドライバ

### 4.7.1 LCDドライバの構成

S1C63558は17本のコモン端子( COM0 ~ COM16 )と40本のセグメント端子( SEG0 ~ SEG39 )を持ち、最大680ドット( 40×17 )のドットマトリクスタイプLCDを駆動できます。

駆動方法はVC1、VC23、VC4、VC5の4電位( 1/4バイアス )による1/17デューティ、1/16デューティまたは1/8デューティダイナミック駆動です。LCD表示のON/OFFもソフトウェアにより制御できます。

### 4.7.2 マスクオプション

マスクオプションによりCOM8 ~ COM16をSEG47 ~ SEG40に設定することができます。この場合、最大384ドット( 48×8 )のドットマトリクスタイプLCDを駆動できます。駆動デューティは1/8のみ選択可能となります。48セグメント×8コモンを選択した場合、次のようにCOM端子がSEG端子に変わります。

COM16	SEG40	COM15	SEG41	COM14	SEG42	COM13	SEG43	COM12	SEG44
COM11	SEG45	COM10	SEG46	COM9	SEG47	COM8	SEG47		

PRCボードでもこのオプション設定は有効ですが、SEG47 ~ SEG40端子はCOM8 ~ COM16端子とは別に設けられており、COM8 ~ COM16端子はSEG47 ~ SEG40端子には変わりませんので注意してください。

### 4.7.3 LCD駆動電源

VC1、VC23、VC4、VC5はLCD( 1/4バイアス )駆動用の電圧で、内蔵のLCD系電圧回路が発生します。この4つの出力電圧は外付けして拡張するLCDドライバに限り、外部に対して供給可能です。

LCD系電圧回路はLPWRレジスタによってON/OFFします。LPWRを"1"に設定することにより、LCD系電圧回路はLCD駆動電圧VC1、VC23、VC4、VC5をLCDドライバに対して出力します。

LCD系電圧回路はその中の定電圧回路によってVC23を発生し、その電圧を昇圧または降圧して他の3電位を発生します。表4.7.3.1にVC1、VC23、VC4、VC5の電圧値と昇降圧の状態を示します。

表4.7.3.1 内部発生時のLCD駆動電圧

LCD駆動電圧	昇降圧状態	電圧値[V]
VC1	VC2 × 0.5	1.13
VC23	VC2( 基準 )	2.25
VC4	VC2 × 1.5	3.38
VC5	VC2 × 2	4.50

注) LCD駆動電圧はソフトウェア( 4.7.6項参照 )により調整できます。

表の数値はTYP値です。

### 4.7.4 LCD表示のON/OFFとデューティの切り換え

#### ( 1 )表示のON/OFF

S1C63558には電源のON/OFFの制御とは別に、表示を点滅させるためのALON、ALOFFレジスタが用意されています。ALONは"1"の書き込みですべてのドットをONにするものです。ALOFFは逆に"1"の書き込みですべてのドットをOFFにします。これらは、SEGにON波形またはOFF波形を出力します。"0"設定時は共に通常の表示が行われます。また、ALON、ALOFF共に"1"に設定した場合、ALON( 全点灯 )がALOFF( 全消灯 )に優先します。

#### (2) 駆動デューティの切り換え

S1C63558はソフトウェアにより駆動デューティを1/17、1/16、1/8の3種類に切り換えることができます。この設定は表4.7.4.1に示すとおり、レジスタLDUTY1およびLDUTY0によって行います。

表4.7.4.1 駆動デューティの設定

LDUTY1	LDUTY0	駆動デューティ	使用コモン端子	最大セグメント数	48×8マスクオプション選択時
1	*	1/8	COM0~COM7	320 (40×8)	384 (48×8)
0	1	1/16	COM0~COM15	640 (40×16)	不可
0	0	1/17	COM0~COM16	680 (40×17)	不可

マスクオプションで48セグメント×8コモンを選択した場合は、COM8～COM16がSEG47～SEG40に変わりますので、COM8～COM16は使用できません。

この場合、駆動デューティは必ずソフトウェアで1/8に設定してください。

フレーム周波数はOSC1発振周波数と駆動デューティに従い表4.7.4.2に示す値となります。

表4.7.4.2 フレーム周波数

OSC1発振周波数	1/8デューティ選択時	1/16デューティ選択時	1/17デューティ選択時
32.768kHz	32Hz	32Hz	30.12Hz

図4.7.4.1に1/4バイアスのダイナミック駆動波形を示します。

駆動	1/8	0	1	2	3	.....	7	0	1	2	3	.....	7	← (LPAGE = 0)
デューティ	1/16	0	1	2	3	.....	15	0	1	2	3	.....	15	
	1/17	0	1	2	3	.....	16	0	1	2	3	.....	16	

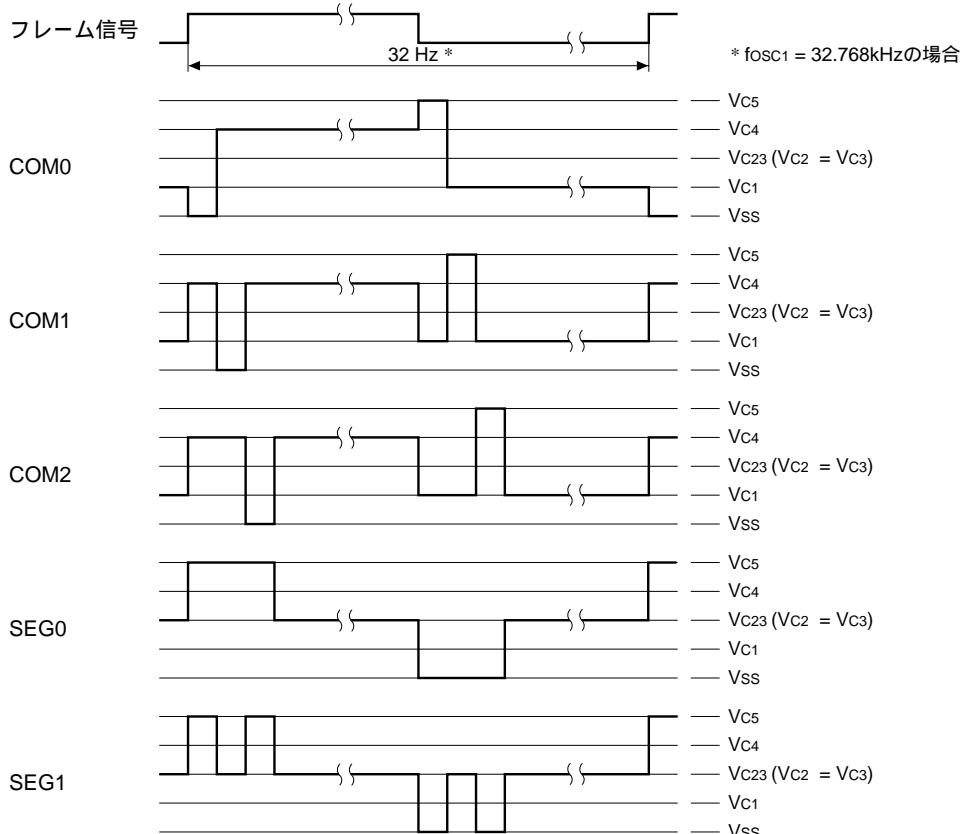
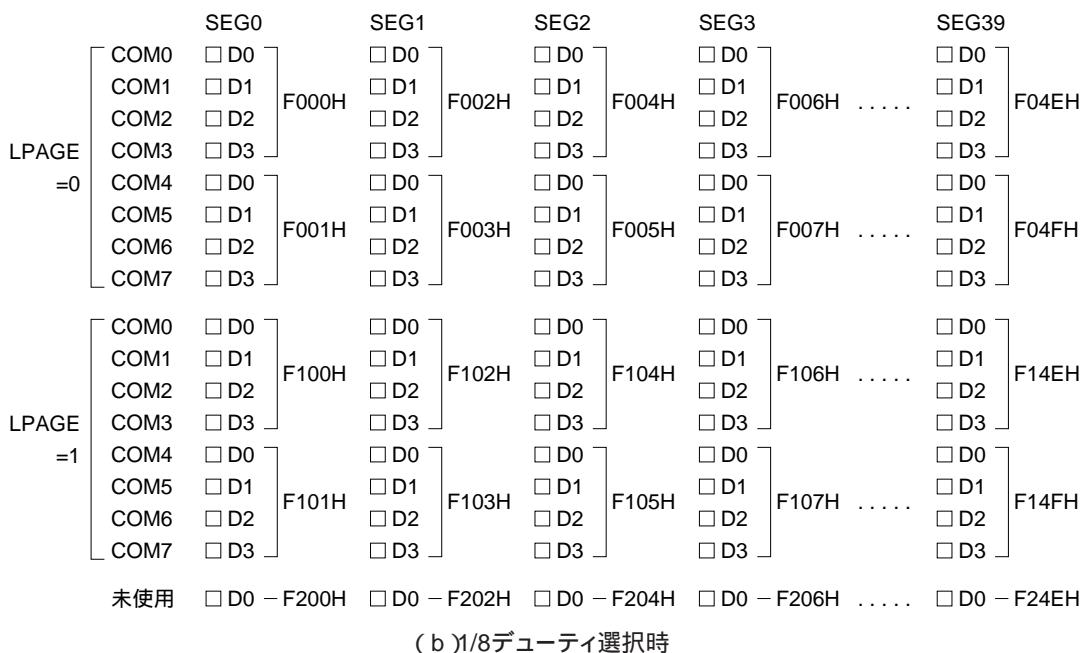


図4.7.4.1 1/4バイアスの駆動波形

## 4.7.5 表示メモリ

表示メモリはデータメモリ領域のF000H～F25EHに割り付けられており、図4.7.5.1のようにCOM出力、SEG出力に対応しています。



	SEG0	SEG1	SEG2	SEG3	SEG47
LPAGE =0	COM0 □ D0	□ D0	□ D0	□ D0	□ D0
	COM1 □ D1	□ D1	□ D1	□ D1	□ D1
	COM2 □ D2	□ D2	□ D2	□ D2	□ D2
	COM3 □ D3	□ D3	□ D3	□ D3	□ D3
	COM4 □ D0	□ D0	□ D0	□ D0	□ D0
	COM5 □ D1	□ D1	□ D1	□ D1	□ D1
	COM6 □ D2	□ D2	□ D2	□ D2	□ D2
	COM7 □ D3	□ D3	□ D3	□ D3	□ D3
LPAGE =1	COM0 □ D0	□ D0	□ D0	□ D0	□ D0
	COM1 □ D1	□ D1	□ D1	□ D1	□ D1
	COM2 □ D2	□ D2	□ D2	□ D2	□ D2
	COM3 □ D3	□ D3	□ D3	□ D3	□ D3
	COM4 □ D0	□ D0	□ D0	□ D0	□ D0
	COM5 □ D1	□ D1	□ D1	□ D1	□ D1
	COM6 □ D2	□ D2	□ D2	□ D2	□ D2
	COM7 □ D3	□ D3	□ D3	□ D3	□ D3
未使用	□ D0 – F200H	□ D0 – F202H	□ D0 – F204H	□ D0 – F206H	.....
	( c )1/8デューティ( 48×8マスクオプション選択時 )				

図4.7.5.1 表示メモリとLCDドットマトリクスの対応

表示メモリのビットを"1"にすると対応するLCDのドットが点灯し、"0"にすると消灯します。

1/17( 1/16 )デューティ動作時はCOM0 ~ COM16( 15 )がすべて出力されます。

1/8デューティ動作時はCOM0 ~ COM7のみが出力されますが、表示メモリの容量が2画面分あるため、図4.7.5.1(a)のCOM8 ~ COM15のメモリ領域もCOM0 ~ COM7として使用することが可能となっています。F000H ~ F05FHとF100H ~ F15FHのどちらの領域のデータを表示させる( COM0 ~ COM7端子から出力させる )かをレジスタLPAGEで選択します。これにより、画面を瞬時に切り換えることができます。

イニシャルリセット時、表示メモリの内容は不定となりますので、ソフトウェアにより初期化する必要があります。表示メモリはリード/ライト可能となっており、LCD表示に使用しないアドレスは汎用レジスタとして使用することができます。特に、マスクオプションでの48×8選択時以外は、F050H ~ F05FH、F150H ~ F15FH、F250H、F252H、F254H、…、F25EHは汎用レジスタとして使用可能です。

注: メモリ非実装領域( F060H ~ F0FFH, F160H ~ F1FFH, F201H, F203H, …, F25FH )をアクセスするようなプログラムを作成した場合、正常な動作を保証することはできません。

#### 4.7.6 LCDコントラスト調整

S1C63558では、LCDのコントラストもソフトウェアによって調整できるようになっています。

これは内蔵のLCD系電圧回路が outputするVC1、VC23、VC4、VC5の電圧を制御することによって実現しています。外部拡張用のLCDドライバにこの電圧を供給している場合、拡張したLCDのコントラストも同時に調整されます。

コントラストはLC3～LC0レジスタによって表4.7.6.1に示す16段階に調整可能です。

表4.7.6.1 LCDコントラスト

No.	LC3	LC2	LC1	LC0	コントラスト
0	0	0	0	0	淡
1	0	0	0	1	
2	0	0	1	0	
3	0	0	1	1	
4	0	1	0	0	
5	0	1	0	1	
6	0	1	1	0	
7	0	1	1	1	
8	1	0	0	0	
9	1	0	0	1	
10	1	0	1	0	
11	1	0	1	1	
12	1	1	0	0	
13	1	1	0	1	
14	1	1	1	0	
15	1	1	1	1	濃

LC3～LC0の設定によりVC23の電圧が調整され、VC1、VC4、VC5もそれに対応して変化し、コントラストが変わります。

ただし、VDD = 2.2～2.5Vの範囲では、VC23の電圧がVDDの影響を受けます。表4.7.6.1のNo.15(コントラストが最も濃い設定)では、本来VC23 = 2.4V( VDD = 2.5～5.5Vの場合 )となります。VDD = 2.2～2.5VではVC23 = (VDD - 0.1)Vとなります。

常温では7または8を基準にしてください。

イニシャルリセット時、LC3～LC0の内容は不定ですので、ソフトウェアによる初期化が必要です。

#### 4.7.7 LCDドライバのI/Oメモリ

表4.7.7.1にLCDドライバの制御ビットとそのアドレスを、図4.7.7.1に表示メモリマップを示します。

表4.7.7.1 LCDドライバの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈			
	D3	D2	D1	D0								
FF60H	LDUTY1	LDUTY0	Dummy	LPWR	LDUTY1	0			LCD駆動デューティ [LDUTY1, 0] 0 1 2, 3			
					LDUTY0	0			デューティ 1/17 1/16 1/8			
	R/W				Dummy	0			切り替え 汎用レジスタ			
					LPWR	0	On	Off	LCD電源On/Off			
FF61H	EXLCDC	ALOFF	ALON	LPAGE	EXLCDC	0	Enable	Disable	拡張LCDドライバ用信号出力制御			
					ALOFF	1	All Off	Normal	LCD全消灯制御			
	R/W				ALON	0	All On	Normal	LCD全点灯制御			
					LPAGE	0	F100-F15F	F000-F05F	表示メモリ領域選択(1/8デューティ選択時) 1/16, 1/17デューティ選択時、汎用レジスタとして機能			
FF62H	LC3	LC2	LC1	LC0	LC3	- *2			LCDコントラスト調整			
					LC2	- *2			[LC3-0] 0 ~ 15			
	R/W				LC1	- *2			コントラスト 淡 ~ 濃			
					LC0	- *2						

\*1 イニシャルリセット時の初期値

\*2 回路上設定されない

\*3 読み出し時は常時"0"

(a) 40 × 17選択時

COM0~COM7				COM8~COM15				COM16				
D3	D2	D1	D0	D3	D2	D1	D0	D3	D2	D1	D0	
F000H	COM3	COM2	COM1	COM0	SEG0	F100H	COM11	COM10	COM09	COM8	SEG0	F200H
F001H	COM7	COM6	COM5	COM4	SEG0	F101H	COM15	COM14	COM13	COM12	SEG0	F201H
F002H	COM3	COM2	COM1	COM0	SEG1	F102H	COM11	COM10	COM09	COM8	SEG1	F202H
F003H	COM7	COM6	COM5	COM4	SEG1	F103H	COM15	COM14	COM13	COM12	SEG1	F203H
F004H	COM3	COM2	COM1	COM0	SEG2	F104H	COM11	COM10	COM9	COM8	SEG2	:
:						:						
F04DH	COM7	COM6	COM5	COM4	SEG38	F14DH	COM15	COM14	COM13	COM12	SEG38	F24CH
F04EH	COM3	COM2	COM1	COM0	SEG39	F14EH	COM11	COM10	COM9	COM8	SEG39	F24DH
F04FH	COM7	COM6	COM5	COM4	SEG39	F14FH	COM15	COM14	COM13	COM12	SEG39	F24EH
F060H						F160H						F24FH
:												
F0FFH												

非実装

 非実装領域  
 読み出し/書き込み禁止  
  
 未使用領域  
 読み出し時 常時"0"  
 書き込み時 No Operation

(b) 48 × 8選択時

COM0~COM7				COM8~COM15							
D3	D2	D1	D0	D3	D2	D1	D0				
F000H	COM3	COM2	COM1	COM0	SEG0	F100H	COM3	COM2	COM1	COM0	SEG0
F001H	COM7	COM6	COM5	COM4	SEG0	F101H	COM7	COM6	COM5	COM4	SEG0
F002H	COM3	COM2	COM1	COM0	SEG1	F102H	COM3	COM2	COM1	COM0	SEG1
F003H	COM7	COM6	COM5	COM4	SEG1	F103H	COM7	COM6	COM5	COM4	SEG1
F004H	COM3	COM2	COM1	COM0	SEG2	F104H	COM3	COM2	COM1	COM0	SEG2
:						:					
F05DH	COM7	COM6	COM5	COM4	SEG46	F15DH	COM7	COM6	COM5	COM4	SEG46
F05EH	COM3	COM2	COM1	COM0	SEG47	F15EH	COM3	COM2	COM1	COM0	SEG47
F05FH	COM7	COM6	COM5	COM4	SEG47	F15FH	COM7	COM6	COM5	COM4	SEG47
F060H						F160H					
:											
F0FFH											

非実装

図4.7.7.1 表示メモリマップ

LPWR: LCD電源ON/OFF制御レジスタ( FF60H・D0 )  
LCD系電圧回路をON/OFFします。

- "1"書き込み: ON
- "0"書き込み: OFF
- 読み出し: 可能

LPWRに"1"を書き込むことによりLCD系電圧回路がONとなりLCD駆動電圧を発生します。"0"を書き込んだ場合、LCD駆動電圧はすべてVssとなります。

LPWRに"1"を書き込んだ後、LCD系電圧回路が動作しLCD駆動電圧出力が安定するまで約100msecかかります。

イニシャルリセット時、このレジスタは"0"に設定されます。

LDUTY0, LDUTY1: LCD駆動デューティ切り換えレジスタ( FF60H・D2, D3 )  
LCD駆動デューティを選択します。

表4.7.7.2 駆動デューティの設定

LDUTY1	LDUTY0	駆動デューティ	使用コモン端子	最大セグメント数	48×8マスクオプション選択時
1	*	1/8	COM0~COM7	320 (40×8)	384 (48×8)
0	1	1/16	COM0~COM15	640 (40×16)	不可
0	0	1/17	COM0~COM16	680 (40×17)	不可

イニシャルリセット時、このレジスタは"0"に設定されます。マスクオプションで48×8選択時は、1/8デューティに設定し直してください。

ALON: LCD全点灯制御レジスタ( FF61H・D1 )  
LCDのドットを全点灯させます。

- "1"書き込み: 全点灯
- "0"書き込み: 通常表示
- 読み出し: 可能

ALONに"1"を書き込むとLCDのドットがすべて点灯し、"0"の書き込みで通常表示に戻ります。これによる全点灯はSEGにON波形を出力するもので、表示メモリの内容には影響を与えません。

ALONはALOFFに優先します。

イニシャルリセット時、このレジスタは"0"に設定されます。

ALOFF: LCD全消灯制御レジスタ( FF61H・D2 )  
LCDのドットを全消灯させます。

- "1"書き込み: 全消灯
- "0"書き込み: 通常表示
- 読み出し: 可能

ALOFFに"1"を書き込むとLCDのドットがすべて消灯し、"0"の書き込みで通常表示に戻ります。これによる全消灯はSEGにOFF波形を出力するもので、表示メモリの内容には影響を与えません。

イニシャルリセット時、このレジスタは"1"に設定されます。

LPAGE: LCD表示メモリ領域選択レジスタ( FF61H・D0 )  
1/8デューティ駆動時の表示メモリ領域を選択します。

"1"書き込み: F100H ~ F14FH( 40×17選択時 ), F100H ~ F15FH( 48×8選択時 )  
"0"書き込み: F000H ~ F04FH( 40×17選択時 ), F000H ~ F05FH( 48×8選択時 )  
読み出し: 可能

LPAGEに"1"を書き込むことによりF100H ~ F14FH/F15FH( 表示メモリの後半 )のデータが表示され、"0"の場合は、F000H ~ F04FH/F05FH( 表示メモリの前半 )のデータが表示されます。

LPAGEは1/8デューティ選択時のみ有効で、1/16または1/17デューティ選択時は汎用レジスタとして使用可能です。

イニシャルリセット時、このレジスタは"0"に設定されます。

LC3 ~ LC0: LCDコントラスト調整レジスタ( FF62H )  
LCDのコントラストを調整します。

LC3 ~ LC0 = 0000B 淡

: :

LC3 ~ LC0 = 1111B 濃

常温では7または8を基準にしてください。

イニシャルリセット時、LC3 ~ LC0の内容は不定となります。

#### 4.7.8 プログラミング上の注意事項

- ( 1 )メモリ非実装領域( F060H ~ F0FFH, F160H ~ F1FFH, F201H, F203H, …, F25FH )をアクセスするようなプログラムを作成した場合、正常な動作を保証することはできません。
- ( 2 )イニシャルリセット時、表示メモリの内容およびLC3 ~ LC0( LCDコントラスト )は不定となりますので、ソフトウェアにより初期化する必要があります。また、表示もすべてOFFとなるように各レジスタ( LPWR, ALOFF )が設定されますので注意してください。
- ( 3 )マスクオプションにより COM8 ~ COM16をSEG47 ~ SEG40に設定することができます。この場合、最大384ドット( 48×8 )のドットマトリクスタイルLCDを駆動できます。駆動デューティは1/8のみ選択可能となります。  
48セグメント×8コモンを選択した場合、次のようにCOM端子がSEG端子に変わります。  

COM16	SEG40	COM15	SEG41	COM14	SEG42	COM13	SEG43	COM12	SEG44
COM11	SEG45	COM10	SEG46	COM9	SEG47	COM8	SEG47		

  
 PRCボードでもこのオプション設定は有効ですが、SEG47 ~ SEG40端子はCOM8 ~ COM16端子とは別に設けられており、COM8 ~ COM16端子はSEG47 ~ SEG40端子には変わりませんので注意してください。

## 4.8 計時タイマ

### 4.8.1 計時タイマの構成

S1C63558はOSC1( 水晶発振 )を原振とする計時タイマを内蔵しています。計時タイマはfosc1の分周クロック( 256Hz )を入力クロックとする8ビットのバイナリカウンタで構成され、その8ビットデータ( 128Hz ~ 16Hz と 8Hz ~ 1Hz )をソフトウェアによって読み出すことができます。

図4.8.1.1に計時タイマのブロック図を示します。

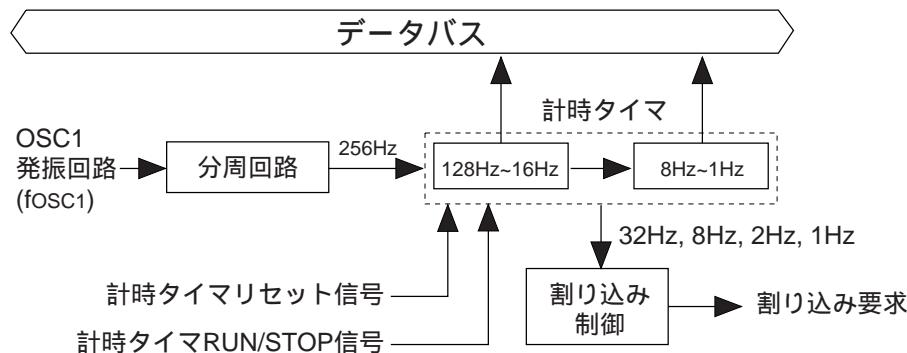


図4.8.1.1 計時タイマのブロック図

通常はこの計時タイマを、時計などのような各種の計時機能に用います。

### 4.8.2 データの読み出しとホールド機能

8ビットのタイマデータはアドレスFF79HとFF7AHに次のように割り付けられています。

<FF79H>	D0:TM0=128Hz	D1:TM1=64Hz	D2:TM2=32Hz	D3:TM3=16Hz
<FF7AH>	D0:TM4=8Hz	D1:TM5=4Hz	D2:TM6=2Hz	D3:TM7=1Hz

計時タイマのデータは2つのアドレスに割り付けられているため、カウント中に下位データ( TM0 ~ TM3: 128Hz ~ 16Hz )から上位データ( TM4 ~ TM7: 8Hz ~ 1Hz )への桁上げが発生します。下位データと上位データの読み出しの間にこの桁上げが発生すると、2つを合わせた内容が正しい値とはなりません( 下位データがFFHと読み出されていて、上位データはその時点から1つカウントアップされた値になってしまいます )。これを避けるために、S1C63558では上位データのホールド機能が働くようになっています。この機能は下位データの読み出しを行った時点で上位データのカウントアップ( 下位データからの桁上げ )を一時停止するもので、上位データがホールドされる時間は次に示す2つの内の短い方になります。

1. 上位データを読み出すまでの間
2. 0.48msec ~ 1.5msec( 読み出しのタイミングにより異なる )

注: 上位データを先に読み出した場合は下位データのホールドは行われませんので、必ず下位バイトから先に読み出しを行ってください。

#### 4.8.3 割り込み機能

計時タイマは32Hz、8Hz、2Hz、1Hzの各信号の立ち下がリエッジにおいて割り込みを発生させることができます。また、前記の各周波数に対して個別に割り込みをマスクするかしないかを、ソフトウェアで設定することができます。

図4.8.3.1に計時タイマのタイミングチャートを示します。

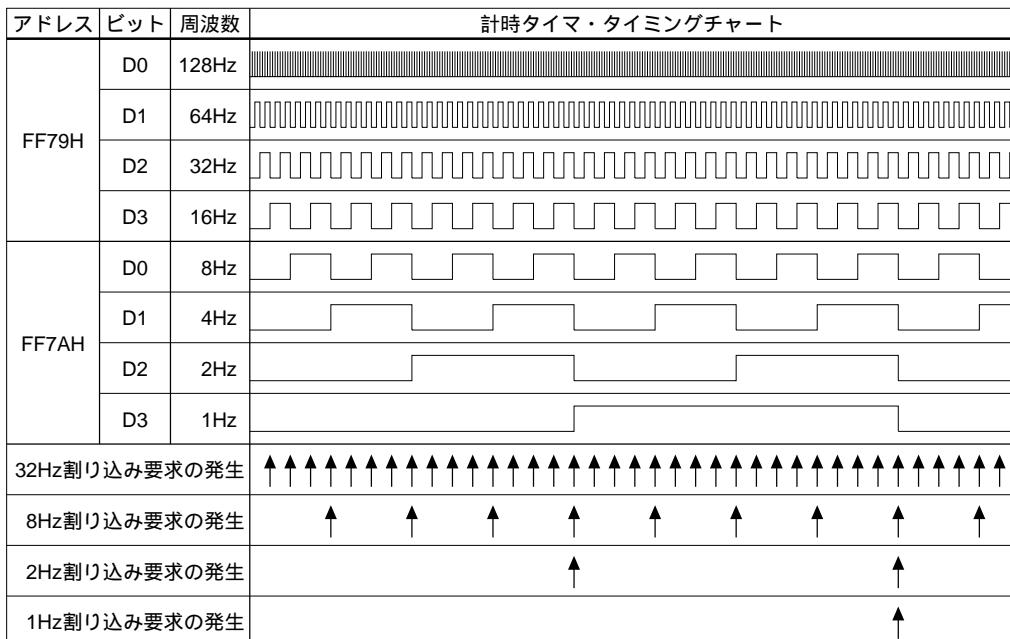


図4.8.3.1 計時タイマのタイミングチャート

図4.8.3.1に示すとおり、割り込みは各周波数( 32Hz、8Hz、2Hz、1Hz )の信号の立ち下がリエッジによって発生します。また、この時点で対応する割り込み要因フラグ( IT0、IT1、IT2、IT3 )が"1"にセットされます。各割り込みは、割り込みマスクレジスタ( EIT0、EIT1、EIT2、EIT3 )によって、個別にマスクを選択することができます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応する信号の立ち下がリエッジで"1"にセットされます。

## 4.8.4 計時タイマのI/Oメモリ

表4.8.4.1に計時タイマの制御ビットとそのアドレスを示します。

表4.8.4.1 計時タイマの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈	
	D3	D2	D1	D0						
FF78H	0	0	TMRST	TMRUN	0 *3	- *2	Reset	Reset Run	未使用	
	R		W	R/W	0 *3	- *2			未使用	
					TMRST*3	Reset			計時タイマリセット(書き込み時) 計時タイマRun/Stop	
FF79H	TM3	TM2	TM1	TM0	TM3	0			計時タイマデータ(16Hz)	
					TM2	0			計時タイマデータ(32Hz)	
					TM1	0			計時タイマデータ(64Hz)	
					TM0	0			計時タイマデータ(128Hz)	
					TM7	0			計時タイマデータ(1Hz)	
FF7AH	TM7	TM6	TM5	TM4	TM6	0			計時タイマデータ(2Hz)	
					TM5	0			計時タイマデータ(4Hz)	
					TM4	0			計時タイマデータ(8Hz)	
					EIT3	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ1Hz)	
FFE6H	EIT2	EIT1	EIT0	R/W	EIT2	0			割り込みマスクレジスタ(計時タイマ2Hz)	
					EIT1	0			割り込みマスクレジスタ(計時タイマ8Hz)	
					EIT0	0			割り込みマスクレジスタ(計時タイマ32Hz)	
					IT3	0	(R) Yes (W) Reset	(R) No (W) Invalid	割り込み要因フラグ(計時タイマ1Hz)	
FFF6H	IT2	IT1	IT0	R/W	IT2	0			割り込み要因フラグ(計時タイマ2Hz)	
					IT1	0			割り込み要因フラグ(計時タイマ8Hz)	
					IT0	0			割り込み要因フラグ(計時タイマ32Hz)	

\*1 イニシャルリセット時の初期値

\*2 回路上設定されない

\*3 読み出し時は常時"0"

## TM0 ~ TM7: タイマデータ( FF79H, FF7AH )

計時タイマの128Hz ~ 1Hzのタイマデータが読み出せます。この8ビットは読み出し専用のため、書き込み動作は無効となります。

下位データ FF79H を読み出すことにより、上位データ FF7AH がその読み出しまで、または0.48msec ~ 1.5msecの間、どちらか短い方にホールドされます。

イニシャルリセット時、タイマデータは"00H"に初期化されます。

TMRST: 計時タイマリセット( FF78H·D1 )

計時タイマをリセットするビットです。

"1"書き込み: 計時タイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

計時タイマは、TMRSTに"1"を書き込むことによりリセットされます。計時タイマがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合はリセットデータが保持されます。

また、"0"の書き込みはノーオペレーションとなります。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

TMRUN: 計時タイマRUN/STOP制御レジスタ( FF78H·D0 )  
計時タイマのRUN/STOPを制御します。

"1"書き込み: RUN  
"0"書き込み: STOP  
読み出し: 可能

計時タイマはTMRUNに"1"を書き込むことによりRUNし、"0"の書き込みによりSTOPします。  
STOP状態ではリセットか次にRUN状態にするまで、タイマのデータは保持されます。また、STOP状態からRUN状態にすることにより保持していたデータから継続して、カウントを進めることができます。  
イニシャルリセット時、このレジスタは"0"に設定されます。

EIT0: 32Hz割り込みマスクレジスタ( FFE6H·D0 )  
EIT1: 8Hz割り込みマスクレジスタ( FFE6H·D1 )  
EIT2: 2Hz割り込みマスクレジスタ( FFE6H·D2 )  
EIT3: 1Hz割り込みマスクレジスタ( FFE6H·D3 )

計時タイマの割り込みについて、マスクするかしないかを選択します。

"1"書き込み: イネーブル  
"0"書き込み: マスク  
読み出し: 可能

各周波数( 32Hz, 8Hz, 2Hz, 1Hz )に対して、割り込みをマスクするかしないかを、割り込みマスクレジスタ EIT0( 32Hz ) EIT1( 8Hz ) EIT2( 2Hz ) EIT3( 1Hz )により個別に選択できます。  
イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

IT0: 32Hz割り込み要因フラグ( FFF6H·D0 )  
IT1: 8Hz割り込み要因フラグ( FFF6H·D1 )  
IT2: 2Hz割り込み要因フラグ( FFF6H·D2 )  
IT3: 1Hz割り込み要因フラグ( FFF6H·D3 )  
計時タイマ割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有  
"0"読み出し: 割り込み無  
"1"書き込み: 要因フラグをリセット  
"0"書き込み: 無効

割り込み要因フラグIT0、IT1、IT2、IT3は、それぞれ32Hz、8Hz、2Hz、1Hzの計時タイマ割り込みに対応します。これらのフラグによって計時タイマ割り込みの有無を、ソフトウェアで判断することができます。ただし、これらのフラグは割り込みをマスクしていても、対応する信号の立ち下がりエッジで"1"にセットされます。これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可( !フラグ="1" )に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット( "1"書き込み )を行ってください。  
イニシャルリセット時、これらのフラグは"0"に設定されます。

#### 4.8.5 プログラミング上の注意事項

- ( 1 )データの読み出しあは必ず下位データ( TM0 ~ TM3 )から先に行ってください。
- ( 2 )割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可( !フラグ="1" )に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット( "1"書き込み )を行ってください。

## 4.9 ストップウォッチタイマ

### 4.9.1 ストップウォッチタイマの構成

S1C63558は1/100sec単位と1/10sec単位のストップウォッチタイマを内蔵しています。ストップウォッチタイマは、近似100Hz信号(fosc1を近似的に100Hzに分周した信号)を入力クロックとする4ビット2段のBCDカウンタで構成され、ソフトウェアにより4ビット単位でデータを読み出すことができます。

図4.9.1.1にストップウォッチタイマの構成を示します。

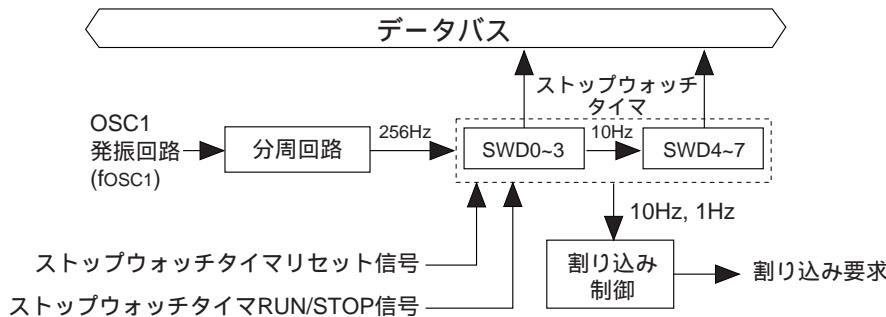


図4.9.1.1 ストップウォッチタイマの構成

ストップウォッチタイマは計時タイマとは別のタイマとして使用でき、特にデジタルウォッチのストップウォッチ機能などをソフトウェアで容易に実現することができます。

### 4.9.2 カウントアップパターン

ストップウォッチタイマは、それぞれ4ビットのBCDカウンタSWD0～SWD3とSWD4～SWD7で構成されています。

ストップウォッチタイマ前段のカウンタSWD0～SWD3は近似100Hz信号を入力クロックとし、1/100secごとのカウントアップを行って近似10Hz信号を発生します。後段のカウンタSWD4～SWD7はSWD0～SWD3が出力する近似10Hz信号を入力クロックとし、1/10secごとのカウントアップを行って1Hz信号を発生します。

図4.9.2.1にストップウォッチタイマのカウントアップパターンを示します。

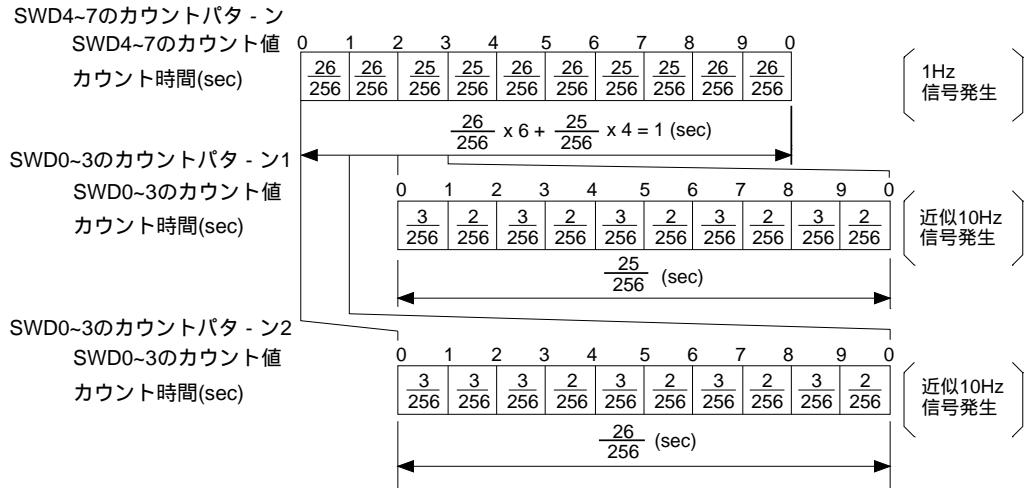


図4.9.2.1 ストップウォッチタイマのカウントアップパターン

SWD0～SWD3は基本となる256Hz信号(fosc1の分周クロック)から近似10Hz信号を発生します。カウントアップの間隔は2/256secと3/256secで、最終的に25/256secと26/256secの2つのパターンを発生します。したがって、各パターンは正確に1/100secとはなりません。

SWD4～SWD7は25/256secと26/256sec間隔で発生する近似10Hz信号を4:6の割合でカウントし、1Hz信号を発生します。カウントアップの間隔については25/256secと26/256secで、正確に1/10secとはなりません。

#### 4.9.3 割り込み機能

ストップウォッチタイマSWD0～SWD3とSWD4～SWD7はそれぞれのオーバーフローにより、10Hz(近似10Hz)と1Hzの割り込みを発生させることができます。

図4.9.3.1にストップウォッチタイマのタイミングチャートを示します。

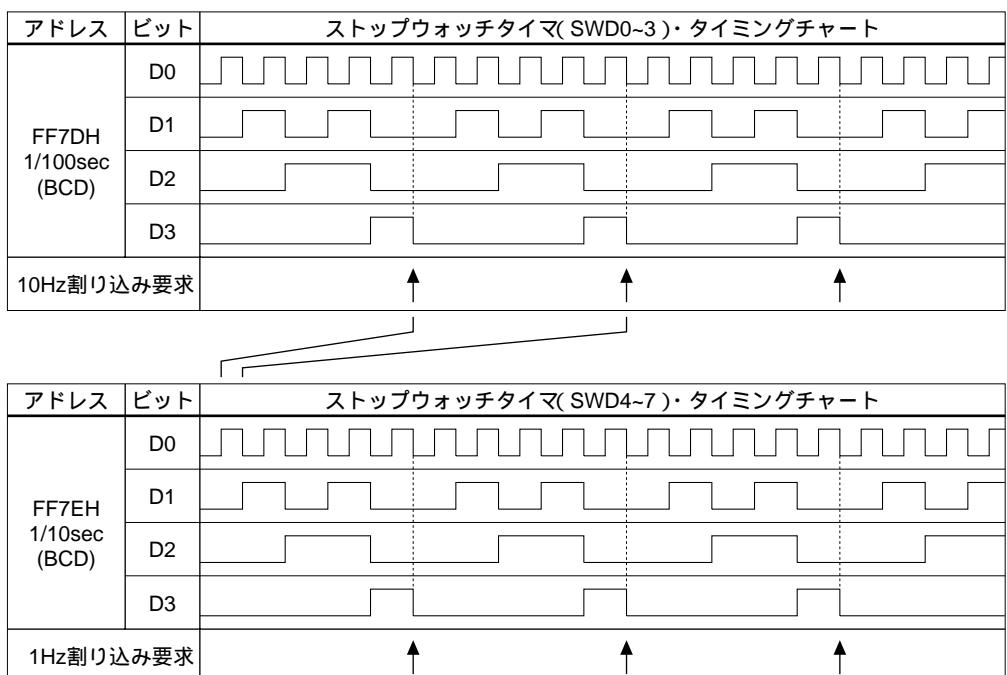


図4.9.3.1 ストップウォッチタイマのタイミングチャート

SWD0～SWD3、SWD4～SWD7それぞれのカウンタのオーバーフロー("9"から"0"への変化)によって割り込み要因フラグISW10、ISW1が"1"にセットされ、割り込みが発生します。それぞれの割り込みは割り込みマスクレジスタEISW10、EISW1によって個別にマスクすることができます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応するカウンタのオーバーフローで"1"にセットされます。

## 4.9.4 ストップウォッチタイマのI/Oメモリ

表4.9.4.1にストップウォッチタイマの制御ビットとそのアドレスを示します。

表4.9.4.1 ストップウォッチタイマの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF7CH	0	0	SWRST	SWRUN	0 *3	- *2	Reset SWRUN	Reset Run	未使用 未使用 ストップウォッチタイマリセット(書き込み時) ストップウォッチタイマRun/Stop
	R		W	R/W	0 *3	- *2			
					SWRST *3	Reset 0			
FF7DH	SWD3	SWD2	SWD1	SWD0	SWD3	0			ストップウォッチタイマデータ BCD(1/100sec)
	R				SWD2	0			
					SWD1	0			
FF7EH	SWD7	SWD6	SWD5	SWD4	SWD7	0			ストップウォッチタイマデータ BCD(1/10sec)
	R				SWD6	0			
					SWD5	0			
FFE7H	0	0	EISW1	EISW10	SWD4	0			ストップウォッチタイマデータ BCD(1Hz)
	R		R/W		EISW1	0			
					EISW10	0			
FFF7H	0	0	ISW1	ISW10	0 *3	- *2	(R) Yes	(R) No (W) Reset	割り込みマスクレジスタ(ストップウォッチタイマ1Hz) 割り込みマスクレジスタ(ストップウォッチタイマ10Hz)
	R		R/W		0 *3	- *2			
					ISW1	0			
				ISW10		0	Invalid	未使用 未使用 割り込み要因フラグ(ストップウォッチタイマ1Hz) 割り込み要因フラグ(ストップウォッチタイマ10Hz)	

\*1 イニシャルリセット時の初期値

\*2 回路上設定されない

\*3 読み出し時は常時"0"

SWD0～SWD7: ストップウォッチタイマデータ( FF7DH, FF7EH )

ストップウォッチタイマ1/100sec桁、1/10sec桁のデータBCD)がそれぞれSWD0～SWD3、SWD4～SWD7から読み出せます。この8ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、タイマデータは"00H"に設定されます。

SWRST: ストップウォッチタイマリセット( FF7CH・D1 )

ストップウォッチタイマをリセットするビットです。

"1"書き込み: ストップウォッチタイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

ストップウォッチタイマは、SWRSTに"1"を書き込むことによりリセットされます。これにより、タイマデータはすべて"0"になります。

ストップウォッチタイマがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合はリセットデータが保持されます。

また、"0"の書き込みはノーオペレーションとなります。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

SWRUN: ストップウォッチタイマRUN/STOP制御レジスタ( FF7CH・D0 )

ストップウォッチタイマのRUN/STOPを制御します。

"1"書き込み: RUN

"0"書き込み: STOP

読み出し: 可能

ストップウォッチタイマはSWRUNに"1"を書き込むことによりRUNし、"0"の書き込みによりSTOPします。

STOP状態ではリセットか次にRUN状態にするまで、タイマのデータは保持されます。また、STOP状態からRUN状態にすることにより保持していたデータから継続して、カウントを進めることができます。

RUN状態でカウンタのデータを読み出す場合、下位桁(SWD0～SWD3)から上位桁(SWD4～SWD7)への桁上げにより正しい読み出しができないことがあります(桁上げのタイミングに、SWD0～SWD3とSWD4～SWD7の読み出しがまたがった場合)。これを防止するため、一度停止させてから読み出し、再度SWRUN="1"にしてください。また、この場合の停止期間は976μsec(256Hzの1/4周期)以内である必要があります。

イニシャルリセット時、このレジスタは"0"に設定されます。

EISW10: 10Hz割り込みマスクレジスタ(FFE7H·D0)

EISW1 : 1Hz割り込みマスクレジスタ(FFE7H·D1)

ストップウォッチタイマの割り込みについて、マスクするかしないかを選択します。

"1"書き込み: イネーブル

"0"書き込み: マスク

読み出し: 可能

各周波数(10Hz, 1Hz)に対して、割り込みをマスクするかしないかを、割り込みマスクレジスタEISW10(10Hz) EISW1(1Hz)により個別に選択できます。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

ISW10: 10Hz割り込み要因フラグ(FFF7H·D0)

ISW1 : 1Hz割り込み要因フラグ(FFF7H·D1)

ストップウォッチタイマ割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有

"0"読み出し: 割り込み無

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

割り込み要因フラグISW10, ISW1は、それぞれ10Hz, 1Hzのストップウォッチタイマ割り込みに対応します。これらのフラグによってストップウォッチタイマ割り込みの有無を、ソフトウェアで判断することができます。ただし、これらのフラグは割り込みをマスクしていても、対応するカウンタのオーバーフローで"1"にセットされます。

これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

#### 4.9.5 プログラミング上の注意事項

(1) RUN状態でカウンタのデータを読み出す場合、一度停止させてから読み出し、再度SWRUN="1"にしてください。また、この場合の停止期間は976μsec(256Hzの1/4周期)以内である必要があります。

(2) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

## 4.10 プログラマブルタイマ

### 4.10.1 プログラマブルタイマの構成

S1C63558は8ビットのプログラマブルタイマを2系統( タイマ0およびタイマ1 )内蔵しています。タイマ0とタイマ1は8ビットプリセットタブルダウンカウンタで構成され、8ビット×2チャネルのプログラマブルタイマとして使用することができます。また、タイマ0はK13入力ポート端子を使用したイベントカウンタ機能も合わせ持っています。

図4.10.1.1にプログラマブルタイマの構成を示します。

プログラマブルタイマはカウントダウンによるアンダーフローによって割り込みを発生し、カウンタ初期値のプリセットを行います。また、タイマ0またはタイマ1のアンダーフロー信号はR02出力ポート端子から外部に出力させるTOUT信号を発生します。さらにタイマ1のアンダーフロー信号はシリアルインターフェースのクロック源として使用できるため、転送速度のプログラマブルな設定が可能です。

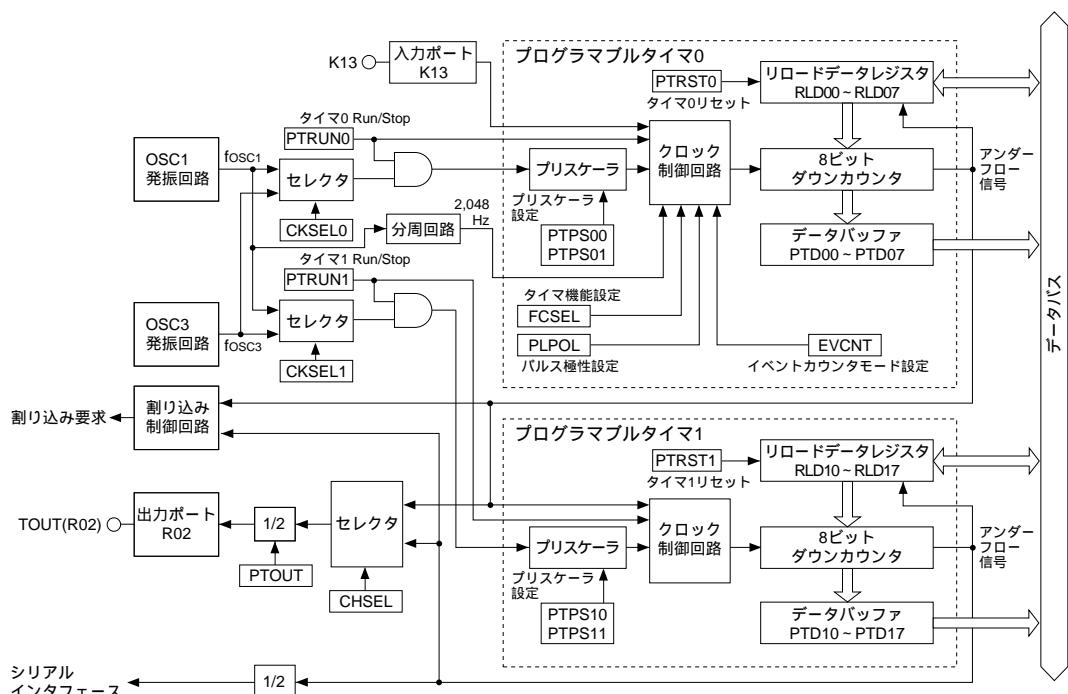


図4.10.1.1 プログラマブルタイマの構成

#### 4.10.2 カウンタ初期値の設定とダウンカウント動作

タイマ0およびタイマ1にはそれぞれ、8ビットのダウンカウンタとリロードデータレジスタが設けられています。

リロードデータレジスタRLD00～RLD07(タイマ0) RLD10～RLD17(タイマ1)はカウンタの初期値を設定するレジスタです。

ダウンカウンタは、リロードデータレジスタRLDに設定された初期値を、タイマリセットビットPTRST(タイマ0) PTRST1(タイマ1)への"1"書き込みによってロードします。したがって、このロードされた初期値から入力クロックによるダウンカウントが行われます。

タイマ0およびタイマ1にはそれぞれ、RUN/STOPを制御するレジスタPTRUN0(タイマ0) PTRUN1(タイマ1)が設けられています。リロードデータをカウンタにプリセットした後、本レジスタに"1"を書き込むことによってダウンカウントを開始します。"0"を書き込むとクロックの入力が禁止され、カウントを停止します。

このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

カウンタのデータ読み出しへデータバッファPTD00～PTD07(タイマ0) PTD10～PTD17(タイマ1)を介して行い、下位、上位4ビットずつソフトウェアにより任意のタイミングで読み出しが可能です。

ただし、このカウンタも計時タイマと同様に下位データ、上位データ読み出し間の桁下げを防止するため、下位データの読み出しにより上位データがホールドされるようになっています。したがって、データの読み出しへ必ず下位データから先に行ってください。

カウンタはダウンカウントが進んでアンダーフローが発生すると、リロードデータレジスタRLDに設定された初期値をリロードします。初期値をリロード後は、その初期値からダウンカウントを継続します。

このアンダーフロー信号はカウンタのリロードのほか、割り込みの発生、外部へのパルス(TOUT信号)出力、シリアルインターフェースへのクロック供給を制御します。

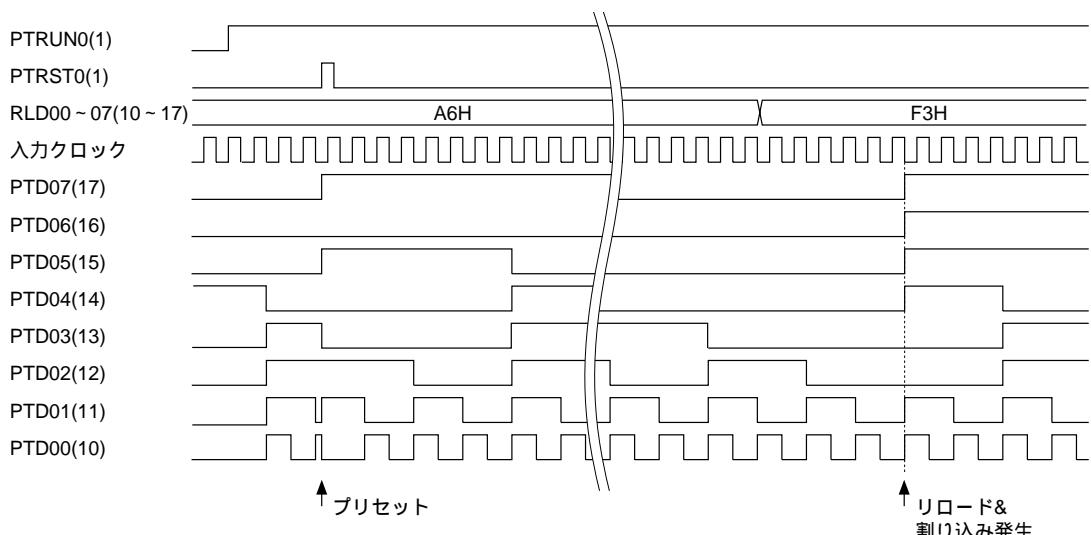


図4.10.2.1 カウンタの基本動作タイミング

### 4.10.3 カウンタモード

本プログラマブルタイマにはタイマモードとイベントカウンタモードの2種類のカウンタモードが設定されており、ソフトウェアによって選択することができます。

#### (1)タイマモード

タイマモードはプリスケーラの出力を入力クロックとしてダウンカウントを行うモードです。このモードは、OSC1またはOSC3発振クロックを原振として一定周期ごとにカウントを行うタイマとして動作します。

タイマ0はタイマ0カウンタモード選択レジスタEVCNTIによりタイマモードとイベントカウンタモードの切り替えが可能となっています。タイマ0カウンタモード選択レジスタEVCNTが"0"に設定されている場合、タイマ0はタイマモードで動作します。

タイマ1はタイマモードのみの動作となります。

イニシャルリセット時はこのモードに設定されます。

タイマの基本的な動作と制御については"4.10.2 初期値の設定とダウンカウント動作"を参照してください。

タイマモード時の入力クロックは、OSC1またはOSC3発振クロックをプログラマブルタイマ回路に内蔵されたプリスケーラによって分周して発生しています。この入力クロックの設定については次項を参照してください。

#### (2)イベントカウンタモード

タイマ0には、K13入力ポート端子に外部クロックを入力してカウントを行なうイベントカウンタ機能があります。この機能は、タイマ0カウンタモード選択レジスタEVCNTに"1"を書き込むことによって選択されます。タイマ1はタイマモードのみで、イベントカウンタとしては使用できません。

イベントカウンタモードでは、外部からタイマ0にクロックが供給されるため、タイマ0プリスケーラ分周比選択レジスタPTPS00、PTPS01およびプリスケーラ0原振クロック選択レジスタCKSEL0の設定は無効となります。

ダウンカウントのタイミングは、タイマ0パルス極性選択レジスタPLPOLによって、立ち下がりエッジまたは立ち上がりエッジのどちらかが選択できます。レジスタPLPOLに"0"を書き込んだ場合が立ち下がりエッジ、"1"を書き込んだ場合が立ち上がりエッジとなり、図4.10.3.1に示すタイミングでダウンカウントが行われます。

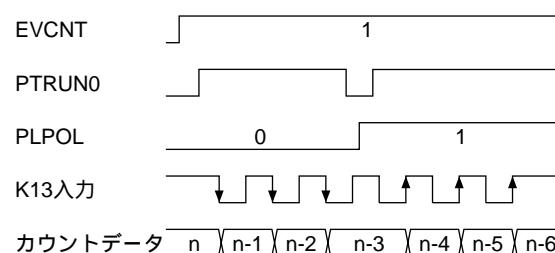


図4.10.3.1 イベントカウンタモードのタイミングチャート

イベントカウンタモードにはこのほかに、外部クロック(K13)入力に対してチャタリング等のノイズを除去するノイズリジェクタ付加機能があります。この機能はタイマ0機能選択レジスタFCSELに"1"を書き込むことによって選択されます。

ノイズリジェクタ付きを選択した場合は確実なカウントを行うために、LOWレベル/HIGHレベル共に0.98msec\*以上のパルス幅を確保する必要があります。ノイズリジェクタは、K13入力ポート端子の入力レベルが変化してから2度目の内部2,048Hz\*信号の立ち下がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msec\*以下となります。( \*はfOSC1 = 32.768kHzの場合の値です。)

図4.10.3.2にノイズリジェクタ付加時のダウンカウントタイミングを示します。

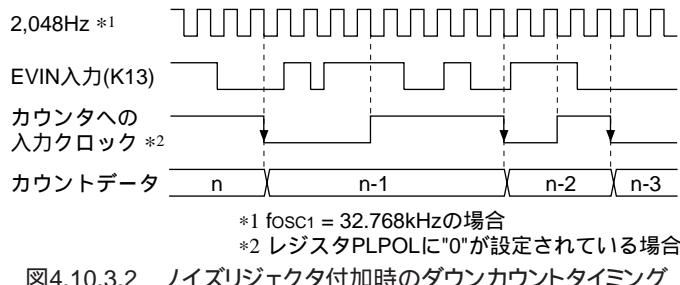


図4.10.3.2 ノイズリジェクト付加時のダウンカウントタイミング

イベントカウンタモードの動作は、入力クロックが外部クロック( K13 )となること以外はタイマモードと同等です。

カウントの基本的な動作と制御については"4.10.2 初期値の設定とダウンカウント動作"を参照してください。

#### 4.10.4 タイマモード入力クロックの設定

タイマ0およびタイマ1にはそれぞれ、プリスケーラが設けられています。プリスケーラはOSC1またはOSC3発振回路から供給される原振クロックを分周して、それぞれのタイマへの入力クロックを発生します。

原振クロックとプリスケーラの分周比はタイマ0、タイマ1でそれぞれ個別にソフトウェアで選択することができます。

設定した入力クロックはタイマモードでの動作時のカウントクロックとして使用されます。タイマ0をイベントカウンタモードに設定した場合は、以下の設定はすべて無効となります。

入力クロックは以下の手順で設定します。

##### (1)原振クロックの選択

それぞれのプリスケーラに入力する原振クロックを、OSC1とするかOSC3とするかを選択します。この選択は、原振クロック選択レジスタCKSEL0( タイマ0 ) CKSEL1( タイマ1 )によって行い、"0"を書き込むとOSC1、"1"を書き込むとOSC3が選択されます。

OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3発振回路をONさせる必要があります。

ただし、OSC3発振回路をONにしてから発振が安定するまでに5msec以上の時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ON後、充分な待ち時間をおいてから行ってください。

OSC3の制御方法と注意事項については"4.3 発振回路"を参照してください。イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

##### (2)プリスケーラ分周比の選択

それぞれのプリスケーラの分周比を4種類の中から選択します。この選択は、プリスケーラ分周比選択レジスタPTPS00/PTPS01( タイマ0 ) PTPS10/PTPS11( タイマ1 )によって行います。設定値と分周比は表4.10.4.1に示すとおり対応しています。

表4.10.4.1 プリスケーラ分周比の選択

PTPS11 PTPS01	PTPS10 PTPS00	プリスケーラ分周比
1	1	原振クロック / 256
1	0	原振クロック / 32
0	1	原振クロック / 4
0	0	原振クロック / 1

レジスタPTRUN0( タイマ0 ) PTRUN1( タイマ1 )に"1"を書き込むことによって、原振クロックがプリスケーラに入力されます。これによって、選択した分周比のクロックがタイマに入力され、タイマがダウンカウントを開始します。

#### 4.10.5 割り込み機能

プログラマブルタイマは、タイマ0およびタイマ1の各アンダーフロー信号によって割り込みを発生させることができます。割り込みタイミングについては図4.10.2.1を参照してください。

タイマ0およびタイマ1の各アンダーフロー信号によって、それぞれに対応する割り込み要因フラグIPT0、IPT1が"1"にセットされ、割り込みが発生します。各割り込み要因フラグに対応した割り込みマスクレジスタEIPT0、EIPT1の設定により、割り込みをマスクすることもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応するタイマのアンダーフローで"1"にセットされます。

#### 4.10.6 TOUT出力の設定

プログラマブルタイマは、タイマ0またはタイマ1のアンダーフローによってTOUT信号を発生させることができます。TOUT信号はアンダーフローを1/2分周した信号で、TOUT出力チャンネル選択レジスタCHSELによって、どちらのタイマのアンダーフローを使用するかを選択することができます。レジスタCHSELに"0"を書き込んだ場合がタイマ0、"1"を書き込んだ場合がタイマ1となります。

図4.10.6.1にチャンネル切り換え時のTOUT信号波形を示します。

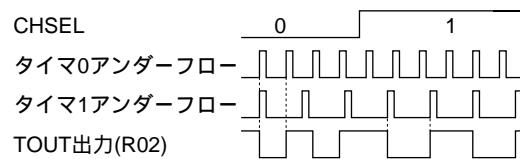


図4.10.6.1 チャンネル切り換え時のTOUT信号波形

TOUT信号はR02出力ポート端子から出力させることができ、外部デバイス等に対してプログラマブルなクロックを供給することができます。

R02出力ポートの構成を図4.10.6.2に示します。

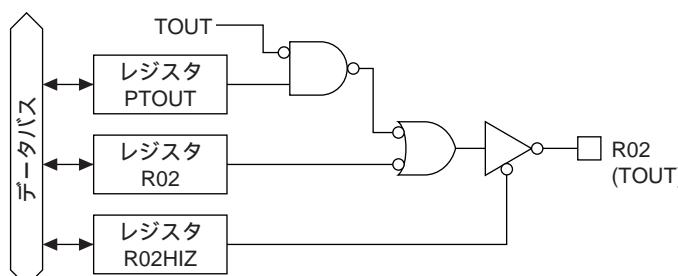


図4.10.6.2 R02の構成

TOUT信号はレジスタPTOUTによって出力制御が行われます。PTOUTに"1"を設定するとTOUT信号がR02出力ポート端子から出力され、"0"を設定するとHIGH(V<sub>DD</sub>)レベルが出力されます。このとき、データレジスタR02には常時"1"が、ハイインピーダンス制御レジスタR02HIZには常時"0"(データ出力)が設定されている必要があります。

なお、TOUT信号はレジスタPTOUTとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図4.10.6.3にTOUT信号の出力波形を示します。

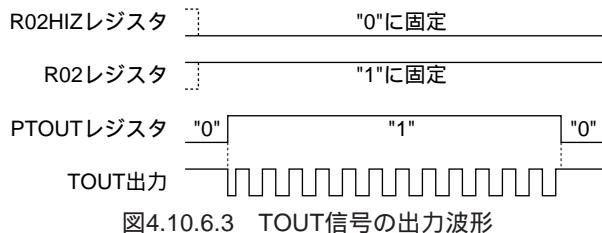


図4.10.6.3 TOUT信号の出力波形

#### 4.10.7 シリアルインターフェースの転送速度設定

タイマ1のアンダーフローを1/2分周した信号をシリアルインターフェースのクロック源として使用することができます。

シリアルインターフェースへのクロックはタイマ1をRUN( PTRUN="1" )することにより出力されますので、PTOUTレジスタによる制御は不要です。

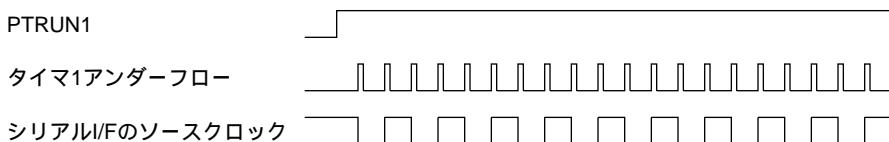


図4.10.7.1 シリアルインターフェースの同期クロック

転送速度に対するレジスタRLD1Xへの設定値は次式のようになります。

$$\text{RLD1X} = \text{fosc} / ( 32 * \text{bps} * \text{プリスケーラ分周比} ) - 1$$

fosc: 発振周波数( OSC1/OSC3 )

bps: 転送速度

( RLD1Xには00Hも設定可能 )

OSC3を原振として使用する場合、シリアルインターフェースのクロック周波数は最大1MHzに制限されますので注意してください。

## 4.10.8 プログラムルタイマのI/Oメモリ

表4.10.8.1にプログラマブルタイマの制御ビットとそのアドレスを示します。

表4.10.8.1 プログラムルタイマの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FFC0H	0	EVCNT	FCSEL	PLPOL	0 *3	- *2	Event ct.	Timer	未使用
	R	R/W			EVCNT	0	With NR	No NR	タイマ0カウンタモード選択 タイマ0機能選択( イベントカウンタモード時 ) タイマ0パルス極性選択( イベントカウンタモード時 )
FFC1H	CHSEL	PTOUT	CKSEL1	CKSEL0	CHSEL	0	Timer1	Timer0	TOUT出力チャンネル選択
	R/W			PTOUT	0	On	Off	OUT出力制御	
FFC2H	R/W		CKSEL1	CKSEL0	CKSEL1	0	OSC3	OSC1	プリスクーラ1原振クロック選択
	PTPS01	PTPS00	PTRST0	PTRUN0	PTPS00	0	OSC3	OSC1	プリスクーラ0原振クロック選択
FFC3H	R/W		W	R/W	PTPS01	0	Reset Run	Invalid Stop	プリスクーラ0 [PTPS01, 00] 0 1 2 3 分周比選択 分周比 1/1 1/4 1/32 1/256
	PTPS11	PTPS10	PTRST1	PTRUN1	PTPS10	0			タイマ0リセット( リロード ) タイマ0Run/Stop
FFC4H	R/W		W	R/W	PTPS11	0	Reset Run	Invalid Stop	プリスクーラ1 [PTPS11, 10] 0 1 2 3 分周比選択 分周比 1/1 1/4 1/32 1/256
	RLD03	RLD02	RLD01	RLD00	RLD02	0			タイマ1リセット( リロード ) タイマ1Run/Stop
FFC5H	R/W		RLD02	RLD01	RLD03	0			MSB
	RLD07	RLD06	RLD05	RLD04	RLD06	0			プログラマブルタイマ0リロードデータ( 上位4ビット )
FFC6H	R/W		RLD05	RLD04	RLD05	0			LSB
	RLD13	RLD12	RLD11	RLD10	RLD12	0			MSB
FFC7H	R/W		RLD11	RLD10	RLD13	0			プログラマブルタイマ1リロードデータ( 下位4ビット )
	RLD17	RLD16	RLD15	RLD14	RLD15	0			LSB
FFC8H	R		RLD15	RLD14	RLD17	0			MSB
	PTD03	PTD02	PTD01	PTD00	PTD02	0			プログラマブルタイマ0データ( 下位4ビット )
FFC9H	R		PTD01	PTD00	PTD03	0			LSB
	PTD07	PTD06	PTD05	PTD04	PTD06	0			MSB
FFCAH	R		PTD05	PTD04	PTD07	0			プログラマブルタイマ0データ( 上位4ビット )
	PTD13	PTD12	PTD11	PTD10	PTD12	0			LSB
FFCBH	R		PTD11	PTD10	PTD13	0			MSB
	PTD17	PTD16	PTD15	PTD14	PTD15	0			プログラマブルタイマ1データ( 下位4ビット )
FFE2H	0	0	EIPT1	EIPT0	PTD17	0	Enable	Mask	MSB
	R		EIPT1	EIPT0	PTD16	0			プログラマブルタイマ1データ( 上位4ビット )
FFF2H	0	0	IPT1	IPT0	PTD15	0	(R)	(R)	LSB
	R		IPT1	IPT0	PTD14	0			未使用
	R/W		IPT1	IPT0	IPT1	0	(W)	(W)	未使用
	R/W		IPT0	0	IPT0	0	Reset	Invalid	割り込み要因フラグ( プログラムルタイマ1 ) 割り込み要因フラグ( プログラムルタイマ0 )

\*1 イニシャルリセット時の初期値

\*2 回路上設定されない

\*3 読み出し時は常に"0"

CKSEL0: プリスケーラ0原振クロック選択レジスタ( FFC1H·D0 )

CKSEL1: プリスケーラ1原振クロック選択レジスタ( FFC1H·D1 )

プリスケーラの原振クロックを選択します。

"1"書き込み: OSC3クロック

"0"書き込み: OSC1クロック

読み出し: 可能

プリスケーラの原振クロックをOSC1とするかOSC3とするかを選択します。CKSEL0に"0"を書き込んだ場合、プリスケーラ( タイマ0用 )の入力クロックとしてOSC1、"1"を書き込んだ場合はOSC3がそれぞれ選択されます。

同様に、プリスケーラ1の原振クロックがCKSEL1によって選択されます。

なお、タイマ0のイベントカウンタモードを選択している場合はCKSEL0の設定は無効となります。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

PTPS00, PTPS01: タイマ0プリスケーラ分周比選択レジスタ( FFC2H·D2, D3 )

PTPS10, PTPS11: タイマ1プリスケーラ分周比選択レジスタ( FFC3H·D2, D3 )

プリスケーラの分周比を選択します。

PTPS00, PTPS01の2ビットはタイマ0に対応したプリスケーラ分周比選択レジスタで、PTPS10, PTPS11の2ビットは同様にタイマ1に対応しています。

本レジスタによって設定できるプリスケーラの分周比は表4.10.8.2のとおりです。

表4.10.8.2 プリスケーラ分周比の選択

PTPS11 PTPS01	PTPS10 PTPS00	プリスケーラ分周比
1	1	原振クロック / 256
1	0	原振クロック / 32
0	1	原振クロック / 4
0	0	原振クロック / 1

なお、イベントカウンタモードを選択している場合はPTPS00, PTPS01の設定は無効となります。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

EVCNT: タイマ0カウンタモード選択レジスタ( FFC0H·D2 )

タイマ0のカウンタモードを選択します。

"1"書き込み: イベントカウンタモード

"0"書き込み: タイマモード

読み出し: 可能

タイマ0をイベントカウンタとして使用するか、タイマとして使用するかを選択します。EVCNTに"1"を書き込んだ場合はイベントカウンタモード、"0"を書き込んだ場合はタイマモードがそれぞれ選択されます。

イニシャルリセット時、このレジスタは"0"に設定されます。

**FCSEL: タイマ0機能選択レジスタ( FFC0H・D1 )**

イベントカウンタモードのクロック入力回路にノイズリジェクタを付加するかしないか選択します。

- "1"書き込み: ノイズリジェクト付き
- "0"書き込み: ノイズリジェクトなし
- 読み出し: 可能

FCSELに"1"を書き込んだ場合はノイズリジェクタが付加され、0.98msec\*以上のパルス幅の外部クロック(K13)によってカウントが行われます。ノイズリジェクタは、K13入力ポート端子の入力レベルが変化してから2度目の内部2,048Hz\*信号の立ち下がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msec\*以下となります。( \*はfOSC1 = 32.768kHzの場合の値です。)

また、FCSELに"0"を書き込んだ場合はノイズリジェクタは付加されず、K13入力ポート端子に入力される外部クロックによって直接カウントが行われます。

このレジスタの設定は、タイマ0をイベントカウンタモードで使用する場合にのみ有効です。  
イニシャルリセット時、このレジスタは"0"に設定されます。

**PLPOL: タイマ0パルス極性選択レジスタ( FFC0H・D0 )**

イベントカウンタのカウントパルス極性を選択します。

- "1"書き込み: 立ち上がりエッジ
- "0"書き込み: 立ち下がりエッジ
- 読み出し: 可能

イベントカウンタモード( タイマ0 )のカウントのタイミングをK13入力ポート端子に入力される外部クロックの立ち下がりエッジとするか、立ち上がりエッジとするかを選択します。

PLPOLに"0"を書き込んだ場合は立ち下がりエッジ、"1"を書き込んだ場合は立ち上がりエッジがそれぞれ選択されます。

このレジスタの設定は、タイマ0をイベントカウンタモードで使用する場合にのみ有効です。  
イニシャルリセット時、このレジスタは"0"に設定されます。

**RLD00 ~ RLD07: タイマ0リロードデータレジスタ( FFC4H, FFC5H )****RLD10 ~ RLD17: タイマ1リロードデータレジスタ( FFC6H, FFC7H )**

カウンタの初期値を設定します。

本レジスタに設定したリロードデータがそれぞれのカウンタにロードされ、それを初期値としてダウンカウントが行われます。

リロードデータがカウンタにロードされる条件はPTRST0、PTRST1に"1"を書き込んでプリセットを行う場合と、カウンタのアンダーフローによって自動的にリロードが行われる場合です。

イニシャルリセット時、これらのレジスタはそれぞれ"00H"に設定されます。

**PTD00 ~ PTD07: タイマ0カウンタデータ( FFC8H, FFC9H )****PTD10 ~ PTD17: タイマ1カウンタデータ( FFCAH, FFCBH )**

プログラマブルタイマのデータが読み出せます。

タイマ0のカウンタデータの下位4ビットがPTD00 ~ PTD03、上位4ビットがPTD04 ~ PTD07から読み出せます。同様に、タイマ1のカウンタデータの下位4ビットがPTD10 ~ PTD13、上位4ビットがPTD14 ~ PTD17から読み出せます。

下位4ビットの読み出しにより上位4ビットのホールド機能が働きますので、読み出しへ必ず下位4ビットから先に行ってください。

本ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、各カウンタデータは"00H"に設定されます。

PTRST0: タイマ0リセット(リロード)(FFC2H・D1)

PTRST1: タイマ1リセット(リロード)(FFC3H・D1)

タイマをリセットし、リロードデータをカウンタにプリセットします。

"1"書き込み: リセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

PTRST0に"1"を書き込むことによって、PLD00～PLD07のリロードデータがタイマ0のカウンタにプリセットされます。タイマ0のカウンタがRUN状態のときにプリセットを行うとリロードデータのプリセット直後にリストアします。

また、STOP状態の場合はプリセットされたリロードデータがそのまま保持されます。

"0"の書き込みはノーオペレーションとなります。

同様に、PLD10～PLD17のリロードデータがPTRST1によってタイマ1のカウンタにプリセットされます。

本ビットは書き込み専用のため、読み出しが常時"0"となります。

PTRUN0: タイマ0 RUN/STOP制御レジスタ(FFC2H・D0)

PTRUN1: タイマ1 RUN/STOP制御レジスタ(FFC3H・D0)

カウンタのRUN/STOPを制御します。

"1"書き込み: RUN

"0"書き込み: STOP

読み出し: 可能

タイマ0のカウンタはPTRUN0に"1"を書き込むことによってダウンカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

同様に、タイマ1のカウンタがPTRUN1によってRUN/STOP制御されます。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

CHSEL: TOUT出力チャンネル選択レジスタ(FFC1H・D3)

TOUT信号のチャンネルを選択します。

"1"書き込み: タイマ1

"0"書き込み: タイマ0

読み出し: 可能

TOUT信号にタイマ0のアンダーフローを使用するか、タイマ1のアンダーフローを使用するかを選択します。

CHSELに"0"を書き込んだ場合はタイマ0、"1"を書き込んだ場合はタイマ1がそれぞれ選択されます。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

PTOUT: TOUT出力制御レジスタ(FFC1H・D2)

TOUT信号の出力制御を行います。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

PTOUTはTOUT信号の出力制御レジスタで、"1"を設定するとTOUT信号がR02出力ポート端子から出力され、"0"を設定するとHIGHレベル( VDD )が出力されます。このとき、データレジスタR02には常時"1"が、ハイインピーダンス制御レジスタR02HZには常時"0"( データ出力 )が設定されている必要があります。

イニシャルリセット時、このレジスタは"0"に設定されます。

EIPT0: タイマ0割り込みマスクレジスタ (FFE2H·D0)  
 EIPT1: タイマ1割り込みマスクレジスタ (FFE2H·D1)  
 プログラマブルタイマの割り込みについて、マスクするかしないかを選択します。

"1"書き込み: イネーブル

"0"書き込み: マスク

読み出し: 可能

タイマ0、タイマ1の割り込みをマスクするかしないかを、割り込みマスクレジスタEIPT0(タイマ0) EIPT1(タイマ1)により個別に選択できます。  
 イニシャルリセット時、これらのレジスタは"0"に設定されます。

IPT0: タイマ0割り込み要因フラグ (FFF2H·D0)

IPT1: タイマ1割り込み要因フラグ (FFF2H·D1)

プログラマブルタイマ割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有

"0"読み出し: 割り込み無

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

割り込み要因フラグIPT0、IPT1は、それぞれタイマ0、タイマ1のプログラマブルタイマ割り込みに対応します。これらのフラグによってプログラマブルタイマ割り込みの有無を、ソフトウェアで判断することができます。ただし、これらのフラグは割り込みをマスクしていても、対応するタイマのアンダーフローで"1"にセットされます。

これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可( Iフラグ="1" )に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット( "1"書き込み )を行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

#### 4.10.9 プログラミング上の注意事項

( 1 ) カウンタデータの読み出しあは必ず下位4ビット( PTD00 ~ PTD03、PTD10 ~ PTD13 )から先に行ってください。  
 また、下位4ビット( PTD00 ~ PTD03、PTD10 ~ PTD13 )と上位4ビット( PTD04 ~ PTD07、PTD14 ~ PTD17 )の読み出しの時間差は0.73ms( fosc1 = 32.768kHzの場合 )以下としてください。

( 2 ) プログラマブルタイマはレジスタPTRUN0/PTRUN1への書き込みに対して、入力クロックの立ち下がりエッジに同期して実際にRUN/STOP状態となります。

したがって、PTRUN0/PTRUN1に"0"を書き込んだ場合は、"1"余分にカウントしたところでタイマが停止状態となります。また、このときPTRUN0/PTRUN1は実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。

図4.10.9.1にRUN/STOP制御のタイミングチャートを示します。

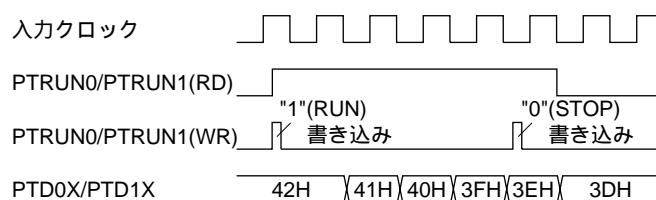


図4.10.9.1 RUN/STOP制御のタイミングチャート

なお、これについてはイベントカウンタも対象となるため、RUN/STOPレジスタ PTRUN0 を設定後にクロック入力がない場合、カウンタ回路は実際にはRUN/STOP状態になりませんので注意してください。

- 
- ( 3 )TOUT信号は出力制御レジスタPTOUTとは非同期に発生していますので、PTOUTの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
  - ( 4 )OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3発振回路をONさせる必要があります。  
ただし、OSC3発振回路をONにしてから発振が安定するまでに5msec以上の時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ON後、充分な待ち時間をおいてから行ってください。OSC3の制御方法と注意事項については"4.3 発振回路"を参照してください。イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。
  - ( 5 )割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可( !フラグ="1" )に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット( "1"書き込み )を行ってください。

## 4.11 シリアルインターフェース

### 4.11.1 シリアルインターフェースの構成

S1C63558はクロック同期式または調歩同期式の選択が可能な全二重方式(調歩同期式選択時)のシリアルインターフェースを2チャンネル(SIF(1), SIF(2))内蔵しています。

転送方式はソフトウェアによって選択でき、クロック同期式を選択した場合は8ビットのデータ転送が可能ですが、調歩同期式では7ビットまたは8ビットのデータ転送が可能で、受信データのパリティチェックおよび送信データへのパリティビットの付加もソフトウェア選択によって自動的に行えます。

SIF(1)とSIF(2)の相違点

SIF(1)とSIF(2)は同一の機能および回路構成を持つ、それぞれ独立したシリアルインターフェースブロックです。シリアル入出力用の端子と制御レジスタは、それぞれ次のように割り当てられています。

シリアル入出力端子: SIF(1) P10~P13

SIF(2) P30~P33

制御レジスタアドレス: SIF(1) FF70H~FF75H, FFE3H, FFF3H

SIF(2) FF58H~FF5DH, FFE8H, FFF8H

SIF(1)とSIF(2)の制御ビットを区別するため、SIF(2)の制御ビット名の最後に"S"が付加されています。

例: SIF(1) ESIF, SIF(2) ESIFS

FSK復調回路を使用する場合、そのデータ入力にはSIF(2)が使用されます。SIF(1)をこの目的に使用することはできません。

注: 本項では、SIF(1)を対象に説明を行います。SIF(2)用の制御ビットの"S"は省略されていますので注意してください。また、シリアル入出力端子もP10~P13として説明されています。

図4.11.1.1にシリアルインターフェース(1)の構成を示します。SIF(2)を使用する端子以外は同一の構成です。

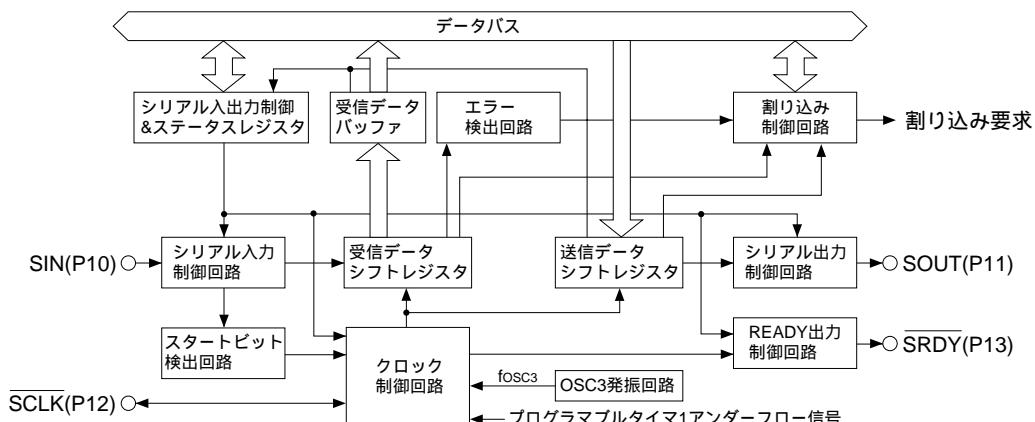


図4.11.1.1 シリアルインターフェースの構成

シリアルインターフェースの入出力端子SIN, SOUT, SCLK, SRDYは入出力兼用ポートP10~P13と共にされており、シリアルインターフェースの入出力端子として用いる場合はレジスタESIF, SMD0およびSMD1によってその設定を行います。(イニシャルリセット時は入出力兼用ポート端子に設定されます。)

シリアルインターフェースの入出力端子に設定される入出力兼用ポート端子はそれぞれの信号と転送モードによって入出力方向が設定され、対応する入出力兼用ポートのI/Oコントロールレジスタの設定は無効となります。

表4.11.1.1 入出力端子の構成

端子	シリアルインターフェース選択時
P10	SIN
P11	SOUT
P12	SCLK
P13	SRDY

\* 転送モードにより使用する端子が異なります。

SIN, SOUTはそれぞれシリアルデータの入力、出力端子で、クロック同期式および調歩同期式ともに共通です。SCLKはクロック同期式専用で、同期クロックの入出力端子となります。SRDYはクロック同期式スレーブモード専用で、送受信レディ信号の出力端子となっています。調歩同期式を選択した場合はSCLKおよびSRDYを使用しませんので、P12, P13入出力兼用ポート端子は入出力兼用ポートとして使用することができます。

同様に、クロック同期式マスタモードを選択した場合はSRDYを使用しませんので、P13入出力兼用ポート端子は入出力兼用ポートとして使用することができます。

#### 4.11.2 マスクオプション

シリアルインターフェースの入出力端子は入出力兼用ポート(P10～P13)と兼用されているため、入出力兼用ポートの端子仕様を選択するマスクオプションがシリアルインターフェースにも適用されます。

シリアルインターフェースの入出力ポートの中で出力として使用されるSOUT端子、SCLK端子(クロック同期式マスタモード時)、SRDY端子(クロック同期式スレーブモード時)の出力仕様がP10～P13のマスクオプションで設定されます。出力仕様として、コンプリメンタリ出力またはNチャンネルオープンドレイン出力のいずれかが選択できます。ただし、Nチャンネルオープンドレイン出力を選択した場合でも、端子に電源電圧を越える電圧を印加することは禁止します。

また、入力として使用されるSIN端子、SCLK端子(スレーブモード時)のプルアップ抵抗の有無もP10～P13のマスクオプションで選択できます。“プルアップなし”を選択した場合には、フローティング状態が発生しないように注意してください。

#### 4.11.3 転送モード

シリアルインターフェースの転送モードは、モード選択レジスタSMD0およびSMD1の2ビットの設定によって以下の4種類が選択できます。

表4.11.3.1 転送モード

SMD1	SMD0	モード
1	1	調歩同期式8ビット
1	0	調歩同期式7ビット
0	1	クロック同期式スレーブ
0	0	クロック同期式マスタ

表4.11.3.2 転送モードによる端子設定

モード	SIN	SOUT	SCLK	SRDY
調歩同期式8ビット	入力	出力	P12	P13
調歩同期式7ビット	入力	出力	P12	P13
クロック同期式スレーブ	入力	出力	入力	出力
クロック同期式マスタ	入力	出力	出力	P13

イニシャルリセット時はクロック同期式マスタモードに設定されます。

### クロック同期式マスタモード

本モードでは、内蔵シフトレジスタの同期クロックとして内部クロックを使用する、本シリアルインターフェースをマスタとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックはSCLK端子からも出力され、外部(スレーブ側)のシリアル入出力デバイスを制御することができます。

このモードではSRDY端子を使用しませんので、この端子を入出力兼用ポートとして使用することができます。

図4.11.3.1(a)にクロック同期式マスタモードにおける入出力端子の接続例を示します。

### クロック同期式スレーブモード

本モードでは、外部(マスタ側)のシリアル入出力デバイスから供給される同期クロックを使用する、本シリアルインターフェースをスレーブとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックはSCLK端子より入力し、本シリアルインターフェースの同期クロックとして使用します。

また、SRDY端子からは送受信レディ状態を示すSRDY信号がシリアルインターフェースの動作状態にしたがって出力されます。

スレーブモードではクロック源を選択するレジスタSCS0、SCS1の設定が無効となります。

図4.11.3.1(b)にクロック同期式スレーブモードにおける入出力端子の接続例を示します。

### 調歩同期式7ビットモード

このモードでは、調歩同期式7ビット転送が行えます。データ受信時のパリティチェックおよびデータ送信時のパリティビットの付加(奇数/偶数/なし)を指定でき、データをパリティなし7ビットまたはパリティ付き7ビットとして処理できます。このモードでは内部クロックを使用しますので、SCLK端子は使用しません。また、SRDY端子も使用しませんので、この2つの端子は入出力兼用ポートとして使用することができます。

図4.11.3.1(c)に調歩同期式モードにおける入出力端子の接続例を示します。

### 調歩同期式8ビットモード

このモードでは、調歩同期式8ビット転送が行えます。データ受信時のパリティチェックおよびデータ送信時のパリティビットの付加(奇数/偶数/なし)を指定でき、データをパリティなし8ビットまたはパリティ付き8ビットとして処理できます。このモードでは内部クロックを使用しますので、SCLK端子は使用しません。また、SRDY端子も使用しませんので、この2つの端子は入出力兼用ポートとして使用することができます。

図4.11.3.1(c)に調歩同期式モードにおける入出力端子の接続例を示します。

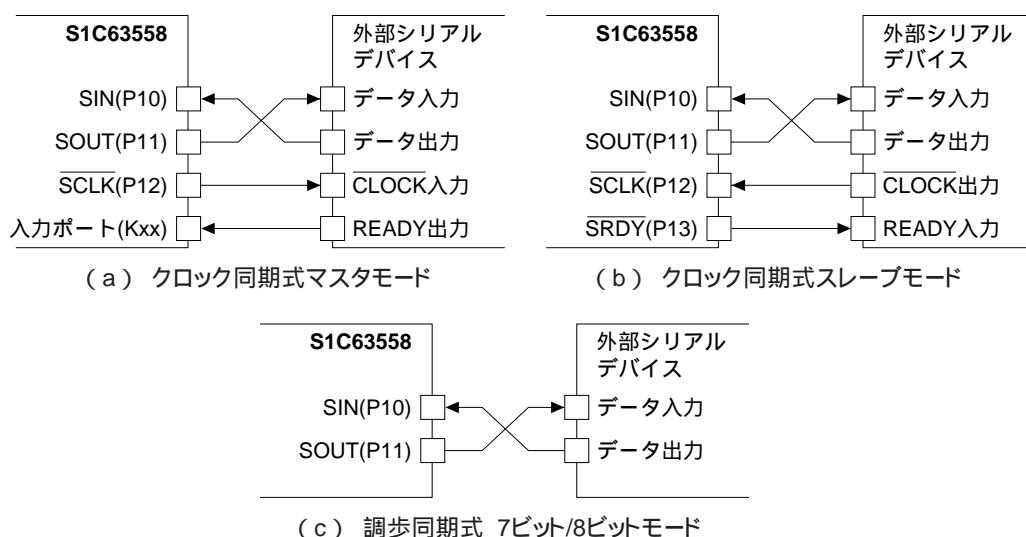


図4.11.3.1 シリアルインターフェース入出力端子の接続例

#### 4.11.4 クロック源

クロック源はクロック選択レジスタSCS0、SCS1の2ビットの設定によって以下の4種類が選択できます。

表4.11.4.1 クロック源

SCS1	SCS0	クロック源
1	1	プログラマブルタイマ
1	0	fosc3 / 93 (2400bps)
0	1	fosc3 / 372 (600bps)
0	0	fosc3 / 186 (1200bps)

クロック同期式スレーブモードでは本レジスタの設定は無効となりSCLK端子より入力される外部クロックが使用されます。

"プログラマブルタイマ"を選択した場合は、プログラマブルタイマ1のアンダーフローを1/2分周した信号がクロック源として使用されます。転送速度設定の詳細については"4.10 プログラマブルタイマ"を参照してください。

イニシャルリセット時は"fosc3/186"に設定されます。

選択したクロックはさらに1/16に分周され、同期クロックとして使用されます。

また、クロック同期式スレーブモードのSCLKは外部からの入力がそのまま使用されます。

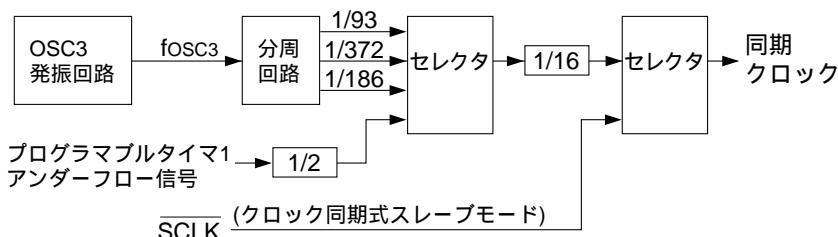


図4.11.4.1 同期クロックの分周

表4.11.4.2にプログラマブルタイマをクロック源とした場合の転送速度とOSC3発振周波数の例を示します。

表4.11.4.2 転送速度とOSC3発振周波数

転送速度 (bps)	fosc3=3.580MHz	
	PSC1X	RLD1X
9,600	0 (1/1)	0CH
4,800	0 (1/1)	17H
2,400	0 (1/1)	2FH
1,200	0 (1/1)	5DH
600	0 (1/1)	BAH
300	1 (1/4)	5DH
150	1 (1/4)	BAH

OSC3発振回路の分周信号をクロック源とする場合は、シリアルインターフェースを使用する以前にOSC3の発振をONさせる必要があります。

なお、OSC3発振回路をONにしてから発振が安定するまでに数msec～数10msecの時間を必要とします。したがって、シリアルインターフェースの送受信開始はOSC3発振ONの後、充分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)

イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

#### 4.11.5 送受信の制御

以下に送受信の制御を行なうレジスタ等を説明します。送受信の制御手順と動作については次項よりモード別に説明しますので、そちらを参照してください。

##### シフトレジスタと受信データバッファ

本シリアルインターフェースには、送信と受信それぞれに専用のシフトレジスタが設けられています。このため、調歩同期式モード選択時には送信と受信を同時に使う全二重通信が可能です。

TRXD0～TRXD7に書き込まれた送信データはシフトレジスタによってシリアル変換され、SOUT端子から出力されます。

受信部にはシフトレジスタとは別に受信データバッファが設けられています。

受信時には、SIN端子から入力されたデータが、シフトレジスタによってパラレル変換され、受信データバッファに書き込まれます。

受信データバッファの読み出しをシリアル入力とは非同期にその動作中に行えるため、効率のよい連続受信が行えます。

ただし、クロック同期式モードではバッファ機能を使用しませんので、次のデータ受信が始まる前にデータを読み出す必要があります。

##### 送信許可レジスタ、送信制御ビット

送信の制御には、送信許可レジスタTXENと送信制御ビットTXTRGを使用します。

で送信を許可状態にすると、シフトレジスタへのクロック入力がイネーブルとなり、データの送信が行える状態となります。クロック同期式モードでは、SCLK端子の同期クロック入出力もイネーブルとなります。

送信制御ビットTXTRGは送信開始のトリガとして使用します。

送信シフトレジスタに送信データを書き込み、送信準備ができたところでTXTRGに"1"を書き込み送信を開始させます。

割り込みを許可している場合は、送信が終了した時点で割り込みが発生します。

次の送信データがある場合は、この割り込みを利用してデータの書き込みを行うことができます。

また、TXTRGはステータスとして読み出しが可能で、"1"の場合は送信動作中、"0"の場合は送信停止中を示します。

詳細タイミングについては、各モードのタイミングチャートをそれぞれ参照してください。

なお、送信を行わない場合はTXENを"0"として、送信禁止状態に設定してください。

##### 受信許可レジスタ、受信制御ビット

受信の制御には、受信許可レジスタRXENと受信制御ビットRXTRGを使用します。

受信許可レジスタRXENは受信の許可/禁止状態を設定するレジスタです。このレジスタに"1"を書き込んで受信を許可状態にすると、シフトレジスタへのクロック入力がイネーブルとなり、データの受信が行える状態となります。クロック同期式モードでは、SCLK端子の同期クロック入出力もイネーブルとなります。これによって受信を開始し、SIN端子から入力されるシリアルデータをシフトレジスタに取り込みます。

受信制御ビットRXTRGは、クロック同期式と調歩同期式で若干動作が異なります。

クロック同期式でのRXTRGは受信開始のトリガとして使用します。

受信データを読み出し、次の受信準備ができたところでRXTRGに"1"を書き込み受信を開始させます。(スレーブモードではRXTRGに"1"を書き込んだところでSRDYが"0"となります。)

調歩同期式でのRXTRGは、次のデータの受信準備に使用します。受信データバッファにある受信データを読み出し、バッファが空となったことを知らせるためRXTRGに"1"を書き込みます。RXTRGに"1"を書き込まなかった場合は、次の受信が終了した時点でオーバーランエラーフラグOERが"1"にセットされます。(受信データを読み出す動作とRXTRGに"1"を書き込む動作との間に受信を終了した場合は、オーバーランエラーとなります。)

また、RXTRGはステータスとして読み出しが可能で、クロック同期式、調歩同期式どちらのモードでも"1"の場合は受信動作中、"0"の場合は受信停止中を示します。

詳細タイミングについては、各モードのタイミングチャートをそれぞれ参照してください。

なお、受信を行わない場合はRXENを"0"として、受信禁止状態に設定してください。

#### 4.11.6 クロック同期式転送の動作

クロック同期式転送は8ビットデータを8個のクロックに同期させて転送する方式で、送信側、受信側で同じ同期クロックを使用します。

本シリアルインターフェースをマスタモードで使用する場合はSCS0、SCS1で選択したクロックを1/16に分周したものが同期クロックとして使用され、さらにSCLK端子を通してスレーブ側(外部のシリアル入出力デバイス)に出力されます。スレーブモードで使用する場合は、マスタ側(外部のシリアル入出力デバイス)からSCLK端子に入力されたクロックを同期クロックとして使用します。

クロック同期式モードでは1つのクロックライン(SCLK)を送受信で共用するため、送信と受信を同時に使うことはできません。(クロック同期式モードでは半二重通信となります。)

転送データは8ビット固定で、LSB(ビット0)を先頭として送受信が行われます。

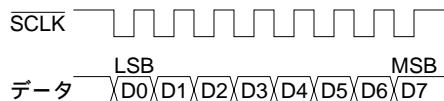


図4.11.6.1 クロック同期式の転送データフォーマット

以下にクロック同期式転送を行う場合の初期化および送受信の制御手順と動作について説明します。  
シリアルインターフェース割り込みについては"4.11.8 割り込み機能"を参照してください。

##### シリアルインターフェースの初期化

クロック同期式転送を行う場合には以下の初期設定を行う必要があります。

###### (1)送受信禁止に設定

シリアルインターフェースの設定は、送信許可レジスタTXENおよび受信許可レジスタRXENにそれぞれ"0"を書き込んで、送受信を禁止にした状態で行ってください。

なお、この2つのレジスタは実際にデータ転送を開始するまで、禁止状態に固定してください。

###### (2)ポート選択

イニシャルリセット時、シリアルインターフェースの入出力端子SIN、SOUT、SCLK、SRDYは入出力兼用ポート端子P10～P13に設定されますので、シリアルインターフェースイネーブルレジスタESIFに"1"を書き込んでこれらの端子をシリアルインターフェース用に設定します。

###### (3)転送モードの設定

モード選択レジスタSMD0およびSMD1の2ビットに以下のデータを書き込んでクロック同期式モードを選択します。

マスタモード: SMD0 = "0"、SMD1 = "0"

スレーブモード: SMD0 = "1"、SMD1 = "0"

###### (4)クロック源の選択

マスタモードの場合はクロック源選択レジスタSCS0、SCS1の2ビットにデータを書き込んで同期クロック源を選択します。(表4.11.4.1参照)

スレーブモードでは、この選択は不要です。

なお、このアドレスにはパリティイネーブルレジスタEPRも割り付けられていますが、クロック同期式モードではパリティを必要としないため、その設定内容にかかわらずパリティチェックは行われません。

## (5)クロック源の制御

マスタモードを選択し、クロック源にプログラマブルタイムを選択した場合は、プログラマブルタイム側で転送速度の設定を行ってください。( "4.10 プログラマブルタイム" 参照 )

OSC3発振回路の分周信号をクロック源として選択した場合は、データ転送を開始する以前にOSC3の発振をONさせる必要があります。( "4.3 発振回路" 参照 )

また、シリアルインターフェースのクロック周波数は最大1MHzに制限されます。

## データの送信手順

送信時の制御手順と動作は以下のとおりです。

- (1)送信許可レジスタTXENおよび受信許可レジスタRXENに"0"を書き込み、シリアルインターフェースをリセットします。
- (2)送信許可レジスタTXENに"1"を書き込み、送信許可状態に設定します。
- (3)送信するデータをTRXD0～TRXD7に書き込みます。
- (4)マスタモードの場合は、必要に応じてスレーブ側(外部シリアル入出力デバイス)の受信レディ状態を確認してください。受信レディ状態になるまで待ちます。
- (5)送信制御ビットTXTRGに"1"を書き込み、送信を開始させます。

マスタモードであれば、この制御によって同期クロックがイネーブルとなり、送信用シフトレジスタに供給されるとともにSCLK端子から出力されます。

スレーブモードでは、SCLK端子に同期クロックが入力されるのを待ちます。

シフトレジスタの送信データは同期クロックの各立ち下がりエッジで1ビットずつシフトされ、SOUT端子より出力されます。最後のビット( MSB )が出力されると、次の送信が開始されるまでSOUT端子はそのレベルを保持します。

シフトレジスタのデータ送信が終了したところで、送信完了割り込み要因フラグISTRが"1"にセットされます。割り込みが許可されている場合は、この時点で送信完了割り込みが発生します。

本割り込みを利用して次の送信データをセットしてください。

- (6)送信データのバイト数だけ(3)～(5)を繰り返し、送信が終了した時点で送信許可レジスタTXENに"0"を書き込み、送信禁止状態に設定します。

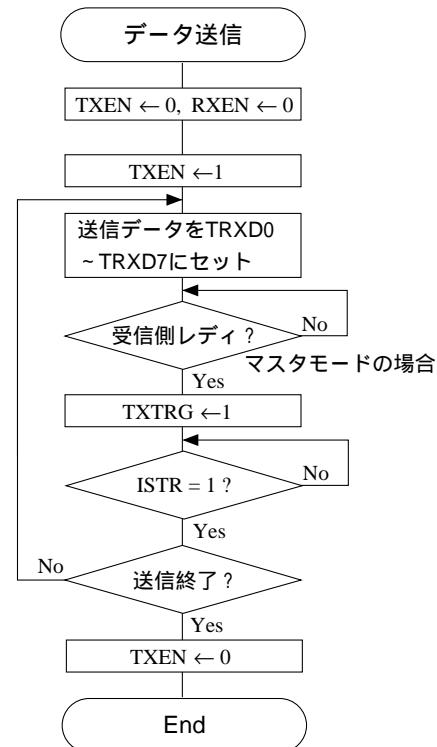


図4.11.6.2 クロック同期式の送信手順

### データの受信手順

受信時の制御手順と動作は以下のとおりです。

- (1)受信許可レジスタRXENおよび送信許可レジスタTXENに"0"を書き込み、シリアルインターフェースをリセットします。
- (2)受信許可レジスタRXENに"1"を書き込み、受信許可状態に設定します。
- (3)マスタモードの場合は、必要に応じてスレーブ側(外部シリアル入出力デバイス)の送信レディ状態を確認してください。送信レディ状態になるまで待ちます。
- (4)受信制御ビットRXTRGに"1"を書き込み、受信を開始させます。  
マスタモードであれば、この制御によって同期クロックがイネーブルとなり、受信用シフトレジスタに供給されるとともにSCLK端子から出力されます。  
スレーブモードでは、SCLK端子に同期クロックが入力されるのを待ちます。  
SIN端子から入力される受信データは同期クロックの立ち上がりエッジに同期して順次シフトレジスタ内に取り込まれます。  
8ビット目のデータが同期クロック最後(8個目)の立ち上がりエッジで取り込まれたところで、シフトレジスタ内のデータが受信データバッファに転送され、受信完了割り込み要因フラグISRCが"1"にセットされます。割り込みが許可されている場合は、この時点で受信完了割り込みが発生します。
- (5)受信完了割り込みを利用して、受信データをTRXD0～TRXD7から読み出します。
- (6)受信データのバイト数だけ(3)～(5)を繰り返し、受信が終了した時点で受信許可レジスタRXENに"0"を書き込み、受信禁止状態に設定します。

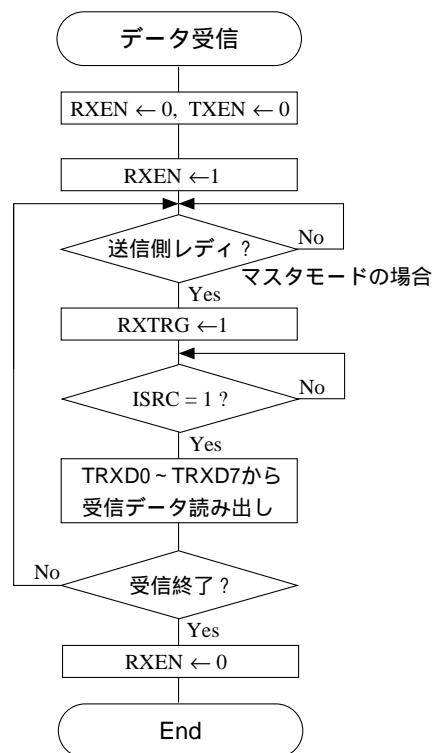


図4.11.6.3 クロック同期式の受信手順

### 送受信レディ( $\overline{\text{SRDY}}$ )信号

本シリアルインターフェースをクロック同期式スレーブモード(外部クロック入力)で使用する場合は、マスター側(外部のシリアル入出力デバイス)に対して本シリアルインターフェースが送受信可能かどうかを示す $\overline{\text{SRDY}}$ 信号が出力されます。この信号は $\overline{\text{SRDY}}$ 端子から出力され、本インターフェースが送信または受信可能なREADY状態のときに"0"(LOWレベル)送受信動作時などのBUSY状態のときに"1"(HIGHレベル)となります。

$\overline{\text{SRDY}}$ 信号は送信制御ビットTXTRG、または受信制御ビットRXTRGに"1"を書き込んだ直後に"1"から"0"に変化し、初の同期クロックが入力された時点(立ち下がりエッジ)で"0"から"1"に戻ります。

マスタモードに設定した場合は、スレーブ側から同様の信号を入力ポートまたは入出力兼用ポートを使用して取り込み、転送の制御を行ってください。この場合、 $\overline{\text{SRDY}}$ 端子は設定されずP13端子が入出力兼用ポートとして機能しますので、このポートをその制御にあてるこどもできます。

### タイミングチャート

クロック同期式転送のタイミングチャートを図4.11.6.4に示します。

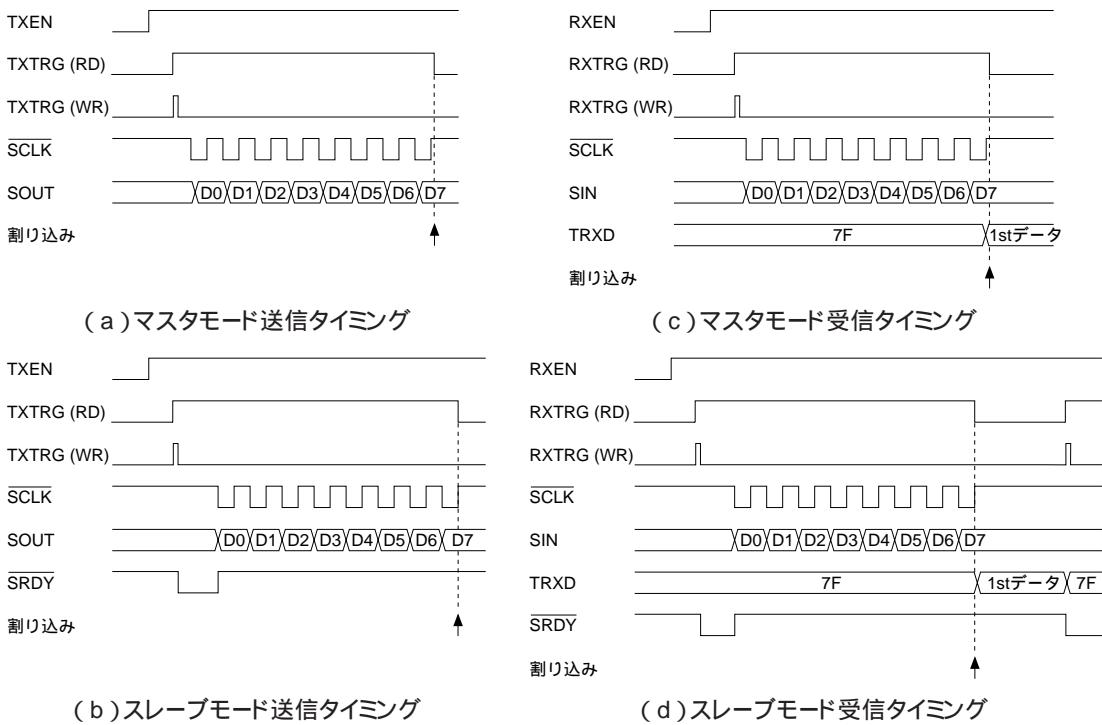


図4.11.6.4 タイミングチャート(クロック同期式転送)

#### 4.11.7 調歩同期式転送の動作

調歩同期式転送は、シリアル変換した各データの前後にスタートピットとストップピットを付加して転送を行う方式です。この方式では、送信側、受信側それぞれで完全に同期の一一致したクロックを用いる必要はなく、各データの前後に付けられたスタート/ストップピットで同期をとりながら転送を行います。この転送モードを選択することによって、RS-232Cインターフェース機能などを容易に実現することができます。

本インターフェースは送受信個別にシフトレジスタを持っており、送受信が同時に行える全二重方式の転送が可能となっています。

転送データは、調歩同期式7ビットモードでは7ビットデータ(パリティなし)または7ビットデータ+パリティビットのいずれかが選択できます。調歩同期式8ビットモードでは8ビットデータ(パリティなし)または8ビットデータ+パリティビットのいずれかが同様に選択できます。パリティには偶数または奇数が選択でき、受信データのパリティチェックおよび送信データへのパリティビット付加を自動的に行います。したがって、プログラムでパリティデータそのものを意識する必要はありません。

スタートピット、ストップピットはそれぞれ1ビット固定で、データはLSB(ビット0)を先頭として送受信が行われます。

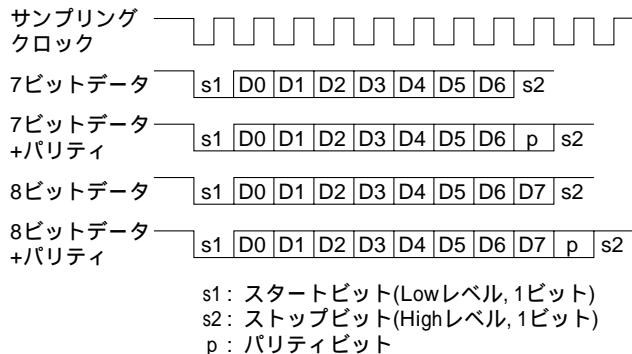


図4.11.7.1 調歩同期式の転送データフォーマット

以下に調歩同期式転送を行う場合の初期化および送受信の制御手順と動作について説明します。  
シリアルインターフェース割り込みについては"4.11.8 割り込み機能"を参照してください。

##### シリアルインターフェースの初期化

調歩同期式転送を行う場合には以下の初期設定を行う必要があります。

###### (1)送受信禁止に設定

シリアルインターフェースの設定は、送信許可レジスタTXENおよび受信許可レジスタRXENにそれぞれ"0"を書き込んで、送受信を禁止にした状態で行ってください。  
なお、この2つのレジスタは実際にデータ転送を開始するまで、禁止状態に固定してください。

###### (2)ポート選択

イニシャルリセット時、シリアルインターフェースの入出力端子SIN、SOUTは入出力兼用ポート端子P10、P11に設定されますので、シリアルインターフェースイネーブルレジスタESIFに"1"を書き込んでこれらの端子をシリアルインターフェース用に設定します。

クロック同期式モードにおいて設定されるSCLK、SRDY端子は調歩同期式モードでは使用しません。  
これらの端子は入出力兼用ポート端子P12、P13として機能します。

###### (3)転送モードの設定

モード選択レジスタSMD0およびSMD1の2ビットに以下のデータを書き込んで調歩同期式モードを選択します。

7ビットモード: SMD0 = "0"、SMD1 = "1"

8ビットモード: SMD0 = "1"、SMD1 = "1"

## (4) パリティビットの選択

パリティビットをチェックおよび付加する場合はパリティイネーブルレジスタEPRに"1"を書き込んで"パリティチェックあり"に設定してください。この設定によって、調歩同期式7ビットモードでは7ビットデータ+パリティビットのデータ構成に、調歩同期式8ビットモードでは8ビットデータ+パリティビットのデータ構成にそれぞれ設定されます。この場合、受信時のパリティチェックと送信時のパリティビット付加は、ハードウェアによって自動的に行われます。

また、"パリティチェックあり"とした場合は、さらにパリティモード選択レジスタPMDによって、パリティを"奇数"とするか"偶数"とするかを、選択する必要があります。

レジスタPMDに"0"を書き込んで"パリティチェックなし"を選択すると、調歩同期式7ビットモードでは7ビットデータ(パリティなし)のデータ構成に、調歩同期式8ビットモードでは8ビットデータ(パリティなし)のデータ構成にそれぞれ設定され、パリティチェックおよびパリティビットの付加は行われません。

## (5) クロック源の選択

クロック源選択レジスタSCS0およびSCS1の2ビットにデータを書き込んでクロック源を選択します。(表4.11.4.1参照)

## (6) クロック源の制御

クロック源にプログラマブルタイマを選択した場合は、プログラマブルタイマ側で転送速度の設定を行ってください。( "4.10 プログラマブルタイマ" 参照 )

OSC3発振回路の分周信号をクロック源として選択した場合は、データ転送を開始する以前にOSC3の発振をONさせる必要があります。( "4.3 発振回路" 参照 )

## データの送信

送信時の制御手順と動作は以下のとおりです。

- (1) 送信許可レジスタTXENに"0"を書き込み、シリアルインターフェースをリセットします。
- (2) 送信許可レジスタTXENに"1"を書き込み、送信許可状態に設定します。
- (3) 送信するデータをTRXD0～TRXD7に書き込みます。なお、7ビットデータ選択時は、TRXD7のデータは無効となります。
- (4) 送信制御ビットTXTRGに"1"を書き込み、送信を開始させます。

この制御によってシフトクロックがイネーブルとなり、その立ち下がりエッジに同期してスタートビット(LOW)がSOUT端子に出力されます。シフトレジスタに設定された送信データは、その後のクロックの各立ち下がりエッジで1ビットずつシフトされSOUT端子より出力されます。データ出力後はストップビット(HIGH)が出力され、次のスタートビットの出力までHIGHレベルが保持されます。

送信が終了したところで、送信完了割り込み要因フラグISTRが"1"にセットされます。割り込みが許可されている場合は、この時点で送信完了割り込みが発生します。本割り込みを利用して次の送信データをセットしてください。

- (5) 送信データのバイト数だけ(3)～(4)を繰り返し、送信が終了した時点で送信許可レジスタTXENに"0"を書き込み、送信禁止状態に設定します。

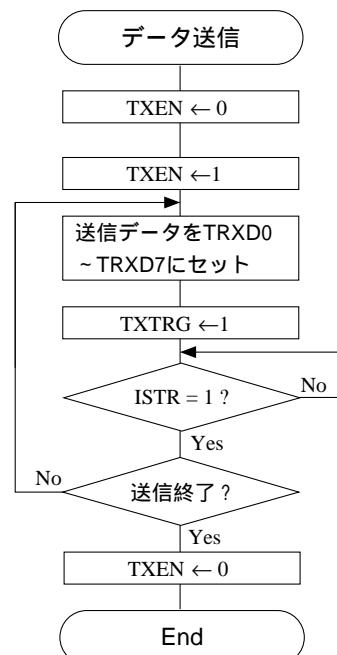


図4.11.7.2 調歩同期式の送信手順

### データの受信

受信時の制御手順と動作は以下のとおりです。

(1)受信許可レジスタRXENに"0"を書き込んで受信禁止状態に設定し、パリティエラー、オーバーランエラー、フレーミングエラーの発生を示すPERフラグ、OERフラグ、FERフラグをそれぞれリセットします。

(2)受信許可レジスタRXENに"1"を書き込み、受信許可状態に設定します。

(3)SIN端子にスタートビット(LOW)が入力された時点からシフトクロックがイネーブルとなり、受信データが2個目以降のクロックの立ち上がりエッジに同期して順次シフトレジスタ内に取り込まれます。

データビットが取り込まれた後、ストップビットがチェックされ、HIGHレベルでない場合にはフレーミングエラーとなり、エラー割り込み要因フラグISERが"1"にセットされます。割り込みが許可されている場合には、この時点でエラー割り込みが発生します。

受信が終了すると、シフトレジスタ内のデータが受信データバッファに転送され、受信完了割り込み要因フラグISRCが"1"にセットされます。割り込みが許可されている場合には、この時点で受信完了割り込みが発生します。(オーバーランエラー発生時は割り込み要因フラグISRCは"1"にセットされず、受信完了割り込みも発生しません。)

また、"パリティチェックあり"を選択している場合は、シフトレジスタから受信データバッファにデータが転送される際にパリティチェックが行われ、パリティエラーが検出された場合にはエラー割り込み要因フラグISERが"1"にセットされます。割り込みを許可している場合には、前記フレーミングエラー、パリティエラー同様この時点でエラー割り込みが発生します。

(4)受信完了割り込みを利用して、受信データをTRXD0～TRXD7から読み出します。

(5)受信制御ビットRXTRGに"1"を書き込み、受信データが読み出されたことを知らせます。

RXTRGに"1"を書き込む以前に次のデータを受信すると、オーバーランエラーと認識され、エラー割り込み要因フラグISERが"1"にセットされます。割り込みを許可している場合には、前記フレーミングエラー、パリティエラー同様この時点でエラー割り込みが発生します。

(6)受信データのバイト数だけ(3)～(5)を繰り返し、受信が終了した時点で受信許可レジスタRXENに"0"を書き込み、受信禁止状態に設定します。

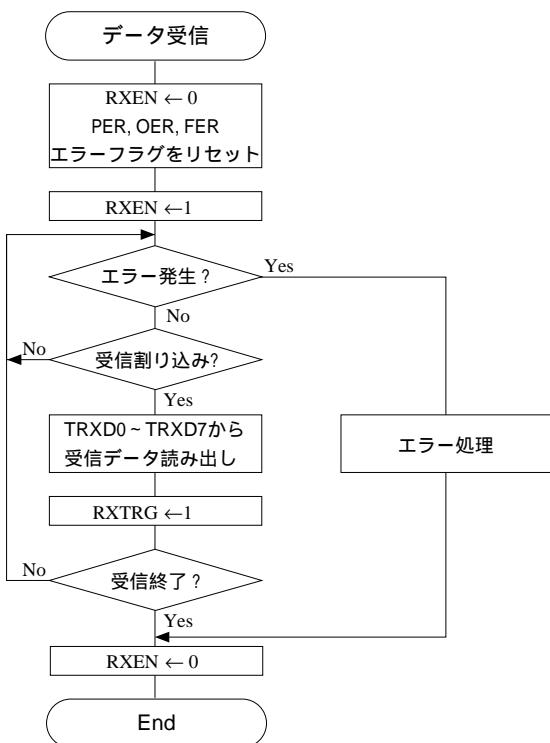


図4.11.7.3 調歩同期式の受信手順

## 受信エラー

受信時には以下の3種類のエラーを、割り込みによって検出することができます。

### (1) パリティエラー

レジスタEPRに"1"を書き込んで"パリティチェックあり"を選択した場合には、受信時にパリティチェック(垂直パリティチェック)が行われます。これは送信データ(1キャラクタ)中の"1"のビット数の合計にパリティを加え、その数が奇数か偶数かをパリティビットにのせて送信し、それを受信側でチェックする方式です。

パリティチェックはシフトレジスタに受信されたデータが受信データバッファに転送される際に行われ、データ(パリティビット含)中の"1"のビット数がレジスタPMDで設定した奇数または偶数パリティと整合がとれるかをチェックします。このとき、不整合となった場合にはパリティエラーと認識され、パリティエラーフラグPERおよびエラー割り込み要因フラグISERが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグPERは"1"を書き込むことによって"0"にリセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。ただし、その時点での受信データはパリティエラーのため保証されません。

### (2) フレーミングエラー

調歩同期式転送ではスタートビット("0")とストップビット("1")で1キャラクタごとに同期をとっています。ストップビットを"0"として受信した場合、シリアルインターフェースは同期ずれと判断してフレーミングエラーを発生します。

本エラーが発生すると、フレーミングエラーフラグFERおよびエラー割り込み要因フラグISERが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグFERは"1"を書き込むことによって"0"にリセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。ただし、以後のデータ受信でフレーミングエラー - とならない場合でも、それらのデータは保証されません。

### (3) オーバーランエラー

RXTRGに"1"を書き込む前に次のデータを受信すると、前回の受信データが上書きされるためオーバーランエラーが発生します。

本エラーが発生すると、オーバーランエラーフラグOERおよびエラー割り込み要因フラグISERが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグOERは"1"を書き込むことによって"0"にリセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。なお、RXTRGに"1"を書き込むタイミングと受信データが受信データバッファに転送されるタイミングが重なった場合は、オーバーランエラーと認識されます。

### タイミングチャート

調歩同期式転送のタイミングチャートを図4.11.7.4に示します。

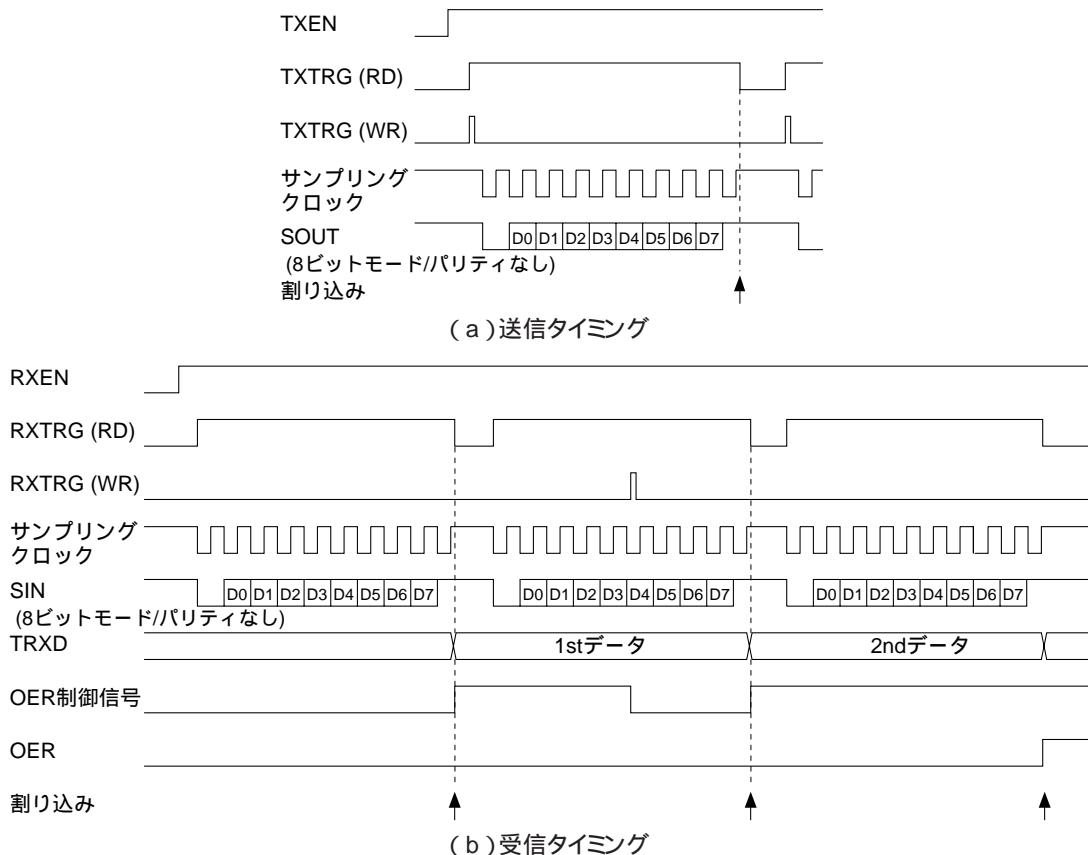


図4.11.7.4 タイミングチャート(調歩同期式転送)

### 4.11.8 割り込み機能

本シリアルインターフェースには以下に示す3種類の割り込みを発生させる機能があります。

- 送信完了割り込み
- 受信完了割り込み
- エラー割り込み

それぞれの割り込み要因に対して割り込み要因フラグISxxと割り込みマスクレジスタEISxxが設けられており、割り込みの許可/禁止をソフトウェアによって設定することができます。

図4.11.8.1にシリアルインターフェース割り込み回路の構成を示します。

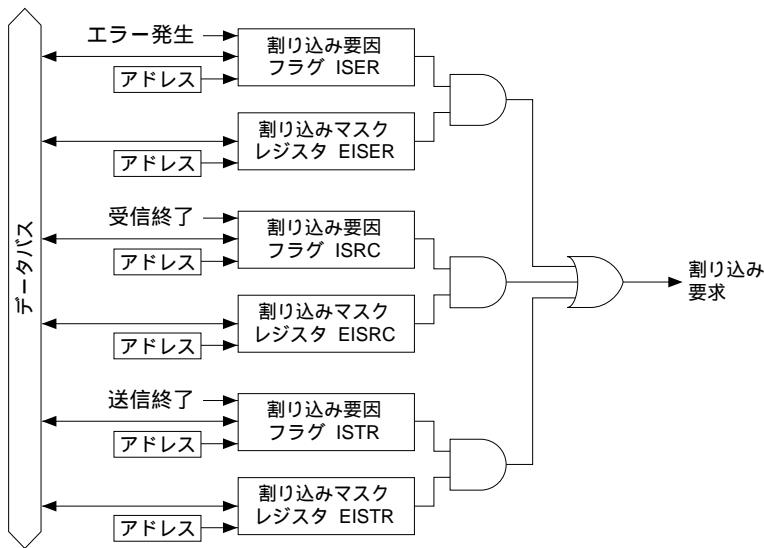


図4.11.8.1 シリアルインターフェース割り込み回路の構成

#### 送信完了割り込み

本割り込み要因は、シフトレジスタに書き込んだデータの送信が終了した時点で発生し、割り込み要因フラグISTRを"1"にセットします。このとき、割り込みマスクレジスタEISTRが"1"で、かつCPUが割り込み許可( |フラグ="1" )に設定されている場合、CPUに対し割り込みが発生します。

割り込みマスクレジスタEISTRに"0"が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグISTRは"1"にセットされます。

割り込み要因フラグISTRは"1"を書き込むことによって"0"にリセットされます。

本割り込み要因の発生によって、次の送信データのセットと送信開始の制御( TXTRGIに"1"を書き込む )を行うことができます。

#### 受信完了割り込み

本割り込み要因は、受信が完了してシフトレジスタに取り込まれた受信データが受信データバッファに転送された時点で発生し、割り込み要因フラグISRCを"1"にセットします。このとき、割り込みマスクレジスタEISRCが"1"で、かつCPUが割り込み許可( |フラグ="1" )に設定されている場合、CPUに対し割り込みが発生します。

割り込みマスクレジスタEISRCに"0"が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグISRCは"1"にセットされます。

割り込み要因フラグISRCは"1"を書き込むことによって"0"にリセットされます。

本割り込み要因の発生により受信データの読み出しが可能となります。

なお、パリティエラーおよびフレーミングエラー発生時にも割り込み要因フラグISRCは"1"にセットされます。

#### エラー割り込み

本割り込み要因は、受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された時点で発生し、割り込み要因フラグISERを"1"にセットします。このとき、割り込みマスクレジスタEISERが"1"で、かつCPUが割り込み許可( |フラグ="1" )に設定されている場合、CPUに対し割り込みが発生します。

割り込みマスクレジスタEISERに"0"が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグISERは"1"にセットされます。

割り込み要因フラグISERは"1"を書き込むことによって"0"にリセットされます。

3種類のエラーとも同一の割り込み要因となっていますので、発生したエラーの識別はエラーフラグPER( パリティエラー ) OER( オーバーランエラー ) FER( フレーミングエラー )で行ってください。

#### 4.11.9 シリアルインターフェースのI/Oメモリ

表4.11.9.1にシリアルインターフェースの制御ビットとそのアドレスを示します。

表4.11.9.1(a) シリアルインターフェースの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF45H	PUL13	PUL12	PUL11	PUL10	PUL12	1	On	Off	P13ブルアップ制御レジスタ SIF(クロック同期式スレーブ)選択時、汎用レジスタとして機能
						1	On	Off	P12ブルアップ制御レジスタ SIF(クロック同期式マスター)選択時、汎用レジスタとして機能
	R/W				PUL11	1	On	Off	SIF(クロック同期式スレーブ)選択時、 SCLK(I)ブルアップ制御レジスタ
	R/W				PUL10	1	On	Off	P11ブルアップ制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能
FF4DH	PUL33	PUL32	PUL31	PUL30	PUL33	1	On	Off	P33ブルアップ制御レジスタ SIF(クロック同期式スレーブ)選択時、汎用レジスタとして機能
						1	On	Off	P32ブルアップ制御レジスタ SIF(クロック同期式マスター)選択時、汎用レジスタとして機能
	R/W				PUL31	1	On	Off	SCLK(I)ブルアップ制御レジスタ P31ブルアップ制御レジスタ(ESIFS=0) SIF選択時、汎用レジスタとして機能
	R/W				PUL30	1	On	Off	P30ブルアップ制御レジスタ(ESIFS=0) SIF選択時、SINブルアップ制御レジスタ
FF58H	0	SMD1S	SMD0S	ESIFS	SMD1S	0 *3	- *2	SI/F	未使用
	R	R/W				0	-		
FF59H	EPRS	PMDS	SCS1S	SCS0S	EPRS	0	Enable	Disable	シリアルI/F(2)パリティ機能選択
						0	Odd	Even	シリアルI/F(2)パリティモード選択
	R/W				SCS1S	0	-	SI/F	シリアルI/F(2) [SCS1S, 0S] 0 1 2 3
	R/W				SCS0S	0	-		クロック源選択 モード 1200bps 600bps 2400bps PT
FF5AH	RXTRGS	RXENS	TXTTRGS	TXENS	RXTRGS	0	Run	Stop	シリアルI/F(2)受信ステータス(読み出し時)
						0	Trigger	-	シリアルI/F(2)受信トリガ(書き込み時)
	R/W				RXENS	0	Enable	Disable	シリアルI/F(2)受信イネーブル
	R/W				TXTTRGS	0	Run	Stop	シリアルI/F(2)送信ステータス(読み出し時)
	R/W				TXENS	0	Trigger	-	シリアルI/F(2)送信トリガ(書き込み時)
	R/W				TXENS	0	Enable	Disable	シリアルI/F(2)送信イネーブル
FF5BH	0	FERS	PERS	OERS	FERS	0 *3	- *2	SI/F	未使用
	R	R/W				0	Error	No error	シリアルI/F(2)フレーミングエラーフラグステータス(読み出し時)
	R/W				PERS	0	Error	No error	シリアルI/F(2)フレーミングエラーフラグリセット(書き込み時)
	R/W				OERS	0	Reset	-	シリアルI/F(2)パリティエラーフラグステータス(読み出し時)
FF5CH	TRXD3S	TRXD2S	TRXD1S	TRXD0S	TRXD3S	- *2	High	Low	シリアルI/F(2)送受信データ(下位4ビット)
						- *2	High	Low	
	R/W				TRXD2S	- *2	High	Low	
	R/W				TRXD1S	- *2	High	Low	
FF5DH	TRXD7S	TRXD6S	TRXD5S	TRXD4S	TRXD7S	- *2	High	Low	MSB
						- *2	High	Low	
	R/W				TRXD6S	- *2	High	Low	
	R/W				TRXD5S	- *2	High	Low	シリアルI/F(2)送受信データ(上位4ビット)
	R/W				TRXD4S	- *2	High	Low	

\*1 イニシャルリセット時の初期値

\*2 回路上設定されない

\*3 読み出し時は常時"0"

表4.11.9.1(b) シリアルインターフェースの制御ビット

アドレス	レジスタ				Name	Init *1	注釈	
	D3	D2	D1	D0			1	0
FF70H	0	SMD1	SMD0	ESIF	0 *3	- *2	SIF I/O	未使用 [SMD1, 0] 0 1 モード Clk-sync. master Clk-sync. slave シリアルI/F(1) [SMD1, 0] 2 3 モード選択 モード Async. 7-bit Async. 8-bit シリアルI/F(1)イネーブル( P1xポート機能選択 )
	R	R/W			SMD1	0		
		PMD	SCS1	SCS0	SMD0	0		
					ESIF	0		
FF71H	EPR	PMD	SCS1	SCS0	EPR	0	Enable Odd	シリアルI/F(1)パリティ機能選択 シリアルI/F(1)パリティモード選択 シリアルI/F(1) [SCS1, 0] 0 1 2 3 クロック源選択 モード 1200bps 600bps 2400bps PT
					PMD	0	Even	
					SCS1	0		
					SCS0	0		
FF72H	RXTRG		TXTRG		RXTRG	0	Run Trigger	シリアルI/F(1)受信ステータス( 読み出し時 )
	RXEN		TXEN		RXEN	0	Enable	シリアルI/F(1)受信トリガ( 書き込み時 )
	R/W		R/W		TXTRG	0	Run Stop	シリアルI/F(1)受信イネーブル
					TXEN	0	Trigger Enable	シリアルI/F(1)送信ステータス( 読み出し時 ) シリアルI/F(1)送信トリガ( 書き込み時 ) シリアルI/F(1)送信イネーブル
FF73H	0	FER	PER	OER	0 *3	- *2	SIF(1)フレーミングエラーフラグステータス( 読み出し時 ) SIF(1)フレーミングエラーフラグリセット( 書き込み時 ) SIF(1)パリティエラーフラグステータス( 読み出し時 ) SIF(1)パリティエラーフラグリセット( 書き込み時 ) SIF(1)オーバーランエラーフラグステータス( 読み出し時 ) SIF(1)オーバーランエラーフラグリセット( 書き込み時 )	未使用
	R	R/W			FER	0	Error Reset	
					PER	0	Error Reset	
					OER	0	Error Reset	
FF74H	TRXD3		TRXD2		TRXD3	- *2	High	Low
	TRXD2		TRXD1		TRXD2	- *2	High	Low
	R/W		R/W		TRXD1	- *2	High	Low
	R/W		R/W		TRXD0	- *2	High	Low
FF75H	TRXD7		TRXD6		TRXD7	- *2	High	Low
	TRXD6		TRXD5		TRXD6	- *2	High	Low
	R/W		R/W		TRXD5	- *2	High	Low
	R/W		R/W		TRXD4	- *2	High	Low
FFE3H	0	EISER	EISTR	EISRC	0 *3	- *2	MSB シリアルI/F(1)送受信データ( 上位4ビット )	未使用
	R	R/W			EISER	0	Enable	割り込みマスクレジスタ( シリアルI/F(1)エラー )
					EISTR	0	Enable	割り込みマスクレジスタ( シリアルI/F(1)送信完了 )
					EISRC	0	Enable	割り込みマスクレジスタ( シリアルI/F(1)受信完了 )
FFE8H	0	EISERS	EISTRS	EISRCS	0 *3	- *2	LSB シリアルI/F(1)送受信データ( 下位4ビット )	未使用
	R	R/W			EISERS	0	Enable	割り込みマスクレジスタ( シリアルI/F(2)エラー )
					EISTRS	0	Enable	割り込みマスクレジスタ( シリアルI/F(2)送信完了 )
					EISRCS	0	Enable	割り込みマスクレジスタ( シリアルI/F(2)受信完了 )
FFF3H	0	ISER	ISTR	ISRC	0 *3	- *2	(R) (W) Invalid	未使用
	R	R/W			ISER	0	Yes	割り込み要因フラグ( シリアルI/F(1)エラー )
					ISTR	0	No	割り込み要因フラグ( シリアルI/F(1)送信完了 )
					ISRC	0	Reset	割り込み要因フラグ( シリアルI/F(1)受信完了 )
FFF8H	0	ISERS	ISTR	ISRC	0 *3	- *2	(R) (W) Invalid	未使用
	R	R/W			ISERS	0	Yes	割り込み要因フラグ( シリアルI/F(2)エラー )
					ISTR	0	No	割り込み要因フラグ( シリアルI/F(2)送信完了 )
					ISRC	0	Reset	割り込み要因フラグ( シリアルI/F(2)受信完了 )

\*1 イニシャルリセット時の初期値

\*2 回路上設定されない

\*3 読み出し時は常時"0"

ESIF: シリアルインターフェース( 1 )イネーブルレジスタ( P1ポート機能選択 )( FF70H·D0 )

ESIFS: シリアルインターフェース( 2 )イネーブルレジスタ( P3ポート機能選択 )( FF58H·D0 )

P10~P13をシリアルインターフェースの入出力ポートに設定します。

"1"書き込み: シリアルインターフェース

"0"書き込み: 入出力兼用ポート

読み出し: 可能

ESIFはシリアルインターフェース(1)、ESIFSはシリアルインターフェース(2)のイネーブルレジスタで、"1"を書き込んだ場合はP10～P13、P30～P33端子がシリアル入出力端子(SIN、SOUT、SCLK、SRDY)となり、"0"を書き込んだ場合は入出力兼用ポート端子となります。

なお、転送モードによる端子の設定は表4.11.3.2を参照してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

注: ESIF="1"に設定した時点で、P12(SCLK)端子からハザードが出る場合がありますので、ESIF="1"に設定後10μsec以上待ってから実データの送受信を開始してください。

また、ESIFS="1"に設定した時点で、P32端子(SCLK)からハザードが出る場合がありますので、ESIFS="1"に設定後10μsec以上待ってから実データの送受信を開始してください。

PUL10: シリアルインターフェース(1)SINプルアップ制御レジスタ(FF45H・D0)

PUL12: シリアルインターフェース(1)SCLKプルアップ制御レジスタ(FF45H・D2)

PUL30: シリアルインターフェース(2)SINプルアップ制御レジスタ(FF4DH・D0)

PUL32: シリアルインターフェース(2)SCLKプルアップ制御レジスタ(FF4DH・D2)

SIN端子、SCLK端子(スレーブモード時)のプルアップを設定します。

"1"書き込み: プルアップON

"0"書き込み: プルアップOFF

読み出し: 可能

SIN(P10/P30)およびSCLK(P12/P32)端子に内蔵されたプルアップ抵抗をONまたはOFFに設定します。(プルアップ抵抗はマスクオプションで選択したポートのみに付加されます。)

SCLKのプルアップはクロック同期式スレーブモード時にのみ有効で、調歩同期式またはクロック同期式マスター モード時はPUL12/PUL32レジスタを汎用レジスタとして使用することができます。

イニシャルリセット時、これらのレジスタは"1"に設定され、プルアップ抵抗はONになります。

SMD0, SMD1: シリアルインターフェース(1)モード設定レジスタ(FF70H・D1, D2)

SMD0S, SMD1S: シリアルインターフェース(2)モード設定レジスタ(FF58H・D1, D2)

転送モードを表4.11.9.2のとおり設定します。

表4.11.9.2 転送モードの設定

SMD1/SMD1S	SMD0/SMD0S	モード
1	1	調歩同期式8ビット
1	0	調歩同期式7ビット
0	1	クロック同期式スレーブ
0	0	クロック同期式マスター

このレジスタは読み出しも可能です。

イニシャルリセット時、このレジスタは"0"に設定されます。

SCS0, SCS1: シリアルインターフェース(1)クロック源選択レジスタ(FF71H・D0, D1)

SCS0S, SCS1S: シリアルインターフェース(2)クロック源選択レジスタ(FF59H・D0, D1)

クロック源を表4.11.9.3のとおり選択します。

表4.11.9.3 クロック源の選択

SCS1/SCS1S	SCS0/SCS0S	クロック源
1	1	プログラマブルタイマ
1	0	fosc3 / 93 (2400bps)
0	1	fosc3 / 372 (600bps)
0	0	fosc3 / 186 (1200bps)

このレジスタは読み出しも可能です。クロック同期式スレーブモードでは、このレジスタの設定は無効です。

イニシャルリセット時、このレジスタは"0"に設定されます。

EPR: シリアルインターフェース(1)パリティ機能選択レジスタ(FF71H·D3)

EPRS: シリアルインターフェース(2)パリティ機能選択レジスタ(FF59H·D3)

パリティ機能を選択します。

"1"書き込み: パリティあり

"0"書き込み: パリティなし

読み出し: 可能

受信データのパリティチェックおよび送信データへのパリティビットの付加を行つか行わないかを選択します。EPR/EPRSに"1"を書き込むと受信データの最上位ビットがパリティビットと見なされてパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。"0"を書き込んだ場合はチェックおよび付加は行われません。

パリティは調歩同期式モードの場合にのみ有効で、クロック同期式モードではEPR/EPRSの設定は無効となります。

イニシャルリセット時、このレジスタは"0"に設定されます。

PMD: シリアルインターフェース(1)パリティモード選択レジスタ(FF71H·D2)

PMDS: シリアルインターフェース(2)パリティモード選択レジスタ(FF59H·D2)

奇数パリティ/偶数パリティを選択します。

"1"書き込み: 奇数パリティ

"0"書き込み: 偶数パリティ

読み出し: 可能

PMD/PMDSに"1"を書き込むと奇数パリティが選択され、"0"を書き込むと偶数パリティが選択されます。パリティチェックおよびパリティビットの付加はEPR/EPRSに"1"が書き込まれている場合にのみ有効で、EPR/EPRSに"0"が書き込まれている場合は、PMD/PMDSによる奇数パリティ/偶数パリティの設定は無効となります。

イニシャルリセット時、このレジスタは"0"に設定されます。

TXEN: シリアルインターフェース(1)送信許可レジスタ(FF72H·D0)

TXENS: シリアルインターフェース(2)送信許可レジスタ(FF5AH·D0)

シリアルインターフェースを送信許可状態に設定します。

"1"書き込み: 送信許可

"0"書き込み: 送信禁止

読み出し: 可能

TXEN/TXENSに"1"を書き込むとシリアルインターフェースが送信許可状態となり、"0"を書き込むと送信禁止状態となります。

シリアルインターフェースのモード初期設定等を行う場合は、TXEN/TXENSを"0"に設定してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

TXTRG: シリアルインターフェース(1)送信トリガ/ステータス(FF72H·D1)

TXTRGS: シリアルインターフェース(2)送信トリガ/ステータス(FF5AH·D1)

送信開始のトリガ/動作状態(送信中/停止中)を示すステータスとして機能します。

"1"書き込み: 送信開始

"0"書き込み: 無効

"1"読み出し: 送信中

"0"読み出し: 停止中

送信データを書き込んだ後、TXTRG/TXTRGSに"1"を書き込むことで送信処理を開始します。

TXTRG/TXTRGSはステータスとして読み出しが可能で、"1"の場合は送信動作中、"0"の場合は送信停止中を示します。

イニシャルリセット時、TXTRG/TXTRGSは"0"に設定されます。

RXEN: シリアルインターフェース(1)受信許可レジスタ(FF72H・D2)  
RXENS: シリアルインターフェース(2)受信許可レジスタ(FF5AH・D2)  
シリアルインターフェースを受信許可状態に設定します。

- "1"書き込み: 受信許可
- "0"書き込み: 受信禁止
- 読み出し: 可能

RXEN/RXENSに"1"を書き込むとシリアルインターフェースが受信許可状態となり、"0"を書き込むと受信禁止状態となります。

シリアルインターフェースのモード初期設定等を行う場合は、RXEN/RXENSを"0"に設定してください。  
イニシャルリセット時、このレジスタは"0"に設定されます。

RXTRG: シリアルインターフェース(1)受信トリガ/ステータス(FF72H・D3)  
RXTRGS: シリアルインターフェース(2)受信トリガ/ステータス(FF5AH・D3)  
受信開始のトリガ/次のデータの受信準備/動作状態(受信中/停止中)を示すステータスとして機能します。

- "1"書き込み: 受信開始/次のデータの受信準備
- "0"書き込み: 無効
- "1"読み出し: 受信中
- "0"読み出し: 停止中

RXTRG/RXTRGSは、クロック同期式と調歩同期式で若干動作が異なります。

クロック同期式でのRXTRG/RXTRGSは受信開始のトリガとして使用します。

受信データを読み出し、次の受信準備ができたところでRXTRG/RXTRGSに"1"を書き込み受信を開始させます。(スレーブモードではRXTRG/RXTRGSに"1"を書き込んだところでSRDYが"0"となります。)

調歩同期式でのRXTRG/RXTRGSは、次のデータの受信準備に使用します。受信データバッファにある受信データを読み出し、バッファが空となったことを知らせるためRXTRG/RXTRGSに"1"を書き込みます。RXTRG/RXTRGSに"1"を書き込まなかった場合、次の受信が終了した時点でオーバーランエラーフラグOERが"1"にセットされます。(受信データを読み出す動作とRXTRG/RXTRGSに"1"を書き込む動作との間に受信を終了した場合はオーバーランエラーとなります。)

また、RXTRG/RXTRGSはステータスとして読み出しが可能で、クロック同期式、調歩同期式どちらのモードでも"1"の場合は受信動作中、"0"の場合は受信停止中を示します。

イニシャルリセット時、RXTRG/RXTRGSは"0"に設定されます。

TRXD0～TRXD7: シリアルインターフェース(1)送受信データ(FF74H, FF75H)  
TRXD0S～TRXD7S: シリアルインターフェース(2)送受信データ(FF5CH, FF5DH)  
送信時  
送信データを書き込みます。

- "1"書き込み: HIGHレベル
- "0"書き込み: LOWレベル

送信開始前に送信データを書き込みます。

連続送信の場合、データの書き込みは送信完了割り込みを待ってから行ってください。

調歩同期式7ビットモードにおいてはTRXD7/TRXD7Sが無効となります。

SOUT端子からはシリアル変換されたデータが、"1"に設定されたビットがHIGH( V<sub>DD</sub> )レベル、"0"に設定されたビットがLOW( V<sub>SS</sub> )レベルとして出力されます。

### 受信時

受信データを読み出します。

- "1"読み出し: HIGHレベル
- "0"読み出し: LOWレベル

受信データバッファのデータが読み出せます。

シフトレジスタが本バッファとは別に設けられていますので、調歩同期式モードでは受信動作中にデータの読み出しが行えます。(クロック同期式モードではバッファ機能を使用しません。)

データの読み出しがは受信完了割り込みを待ってから行ってください。

調歩同期式7ビットモードにおいてパリティチェックを行っている場合、パリティビットに対応する8ビット目( TRXD7/TRXD7S )には"0"がロードされます。

SIN端子から入力されたシリアルデータはHIGH( V<sub>DD</sub> )レベルのビットを"1"、LOW( V<sub>SS</sub> )レベルのビットを"0"としてパラレル変換され、本バッファにロードされます。

イニシャルリセット時、バッファの内容は不定となります。

OER: シリアルインタフェース(1)オーバーランエラーフラグ( FF73H·D0 )

OERS: シリアルインタフェース(2)オーバーランエラーフラグ( FF5BH·D0 )

オーバーランエラーの発生を示します。

- "1"読み出し: エラーあり
  - "0"読み出し: エラーなし
- 
- "1"書き込み: "0"にリセット
  - "0"書き込み: 無効

OER/OERSはオーバーランエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。

オーバーランエラーは調歩同期式モードの受信において、RXTRG/RXTRGSに"1"を書き込む前に次のデータの受信を完了した場合に発生します。

OER/OERSは"1"を書き込むことで"0"にリセットされます。

イニシャルリセット時、およびRXEN/RXENSが"0"のときOER/OERSは"0"に設定されます。

PER: シリアルインタフェース(1)パリティエラーフラグ( FF73H·D1 )

PERS: シリアルインタフェース(2)パリティエラーフラグ( FF5BH·D1 )

パリティエラーの発生を示します。

- "1"読み出し: エラーあり
  - "0"読み出し: エラーなし
- 
- "1"書き込み: "0"にリセット
  - "0"書き込み: 無効

PER/PERSはパリティエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。

パリティエラーは調歩同期式モードでパリティチェックを行っている場合に、パリティの合っていないデータを受信すると発生します。

PER/PERSは"1"を書き込むことで"0"にリセットされます。

イニシャルリセット時、およびRXEN/RXENSが"0"のとき、PER/PERSは"0"( エラーなし )に設定されます。

FER: シリアルインターフェース(1)フレーミングエラーフラグ(FF73H・D2)  
 FERS: シリアルインターフェース(2)フレーミングエラーフラグ(FF5BH・D2)  
 フレーミングエラーの発生を示します。

- "1"読み出し: エラーあり
- "0"読み出し: エラーなし
- "1"書き込み: "0"にリセット
- "0"書き込み: 無効

FER/FERSはフレーミングエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。フレーミングエラーは調歩同期式モードの受信において、トップビットが"0"になっていた場合に発生します。FER/FERSは"1"を書き込むことで"0"にリセットされます。

イニシャルリセット時、およびRXEN/RXENSが"0"のときFER/FERSは"0"(エラーなし)に設定されます。

EISRC, EISTR, EISER: シリアルインターフェース(1)割り込みマスクレジスタ(FFE3H・D0, D1, D2)  
 EISRCS, EISTR, EISERS: シリアルインターフェース(2)割り込みマスクレジスタ(FFE8H・D0, D1, D2)  
 シリアルインターフェースからの割り込みマスクを設定します。

- "1"書き込み: イネーブル
- "0"書き込み: マスク
- 読み出し: 可能

EISRC/EISRCS, EISTR/EISTR, EISER/EISERSはそれぞれ受信完了、送信完了、受信エラーの割り込み要因に対応する割り込みマスクレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

ISRC, ISTR, ISER: シリアルインターフェース(1)割り込み要因フラグ(FFF3H・D0, D1, D2)  
 ISRCS, ISTRS, ISERS: シリアルインターフェース(2)割り込み要因フラグ(FFF8H・D0, D1, D2)  
 シリアルインターフェースからの割り込みの発生状態を示すフラグです。

- "1"読み出し: 割り込み有
- "0"読み出し: 割り込み無
- "1"書き込み: 要因フラグをリセット
- "0"書き込み: 無効

ISRC/ISRCS, ISTR/ISTR, ISER/ISERSはそれぞれ受信完了、送信完了、受信エラーの割り込みに対応する割り込み要因フラグで、それぞれの要因の発生により"1"にセットされます。

送信完了割り込み要因は、シフトレジスタのデータ送信が終了したところで発生します。

受信完了割り込み要因は、受信データが受信データバッファに転送されたところで発生します。

受信エラー割り込み要因は、データ受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された場合に発生します。

このとき、対応する割り込みマスクレジスタが"1"で、かつCPUが割り込み許可(FLAG="1")に設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットが必要です。割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、これらのフラグはすべて"0"にリセットされます。

#### 4.11.10 プログラミング上の注意事項

- (1)シリアルインターフェースのモード初期設定は、送受信が禁止の状態( TXEN=RXEN="0" )で行ってください。
- (2)シリアルインターフェースが送信(受信)中のときは、TXTRG( RXTRG )に対して二重トリガ( "1"書き込み )は行わないでください。
- (3)クロック同期式モードでは1本のクロックライン( SCLK )を送受信で共用するため、送信と受信を同時にすることはできません。したがって、TXTRG( RXTRG )が"1"の最中はRXTRG( TXTRG )に"1"は書き込まないでください。
- (4)調歩同期式モードにおいて、受信時にパリティエラーおよびフレーミングエラーが発生した場合は受信エラー割り込み要因フラグISERは、受信完了割り込み要因フラグISRCに対して表4.11.10.1に示す時間早く"1"にセットされます。したがって、エラー処理ルーチン等で待ち時間を設けて、受信完了割り込み要因フラグISRCを"0"にリセットしてください。  
なお、オーバーランエラー発生時には受信完了割り込み要因フラグISRCは"1"にセットされず、受信完了割り込みも発生しません。

表4.11.10.1 エラー発生時のISERとISRCの時間差

クロック源	時間差
fosc3 / n	fosc3 / n の1/2周期
プログラマブルタイマ	タイマ1アンダーフローの1周期

- (5)OSC3発振回路の分周信号をクロック源とする場合は、シリアルインターフェースを使用する前にOSC3の発振をONさせる必要があります。  
なお、OSC3発振回路をONにしてから発振が安定するまでに5msecの時間を必要とします。したがって、シリアルインターフェースの送受信開始はOSC3発振ONの後、充分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)  
イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。
- (6)シリアルインターフェースのクロック周波数は、最大1MHzに制限されます。
- (7)割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可( Iフラグ="1" )に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット( "1"書き込み )を行ってください。

#### 4.12 サウンドジェネレータ

#### 4.12.1 サウンドジェネレータの構成

S1C63558はブザー信号を発生するサウンドジェネレータを内蔵しています。ここで発生したブザー信号はR00(XBZ)およびR01(BZ)端子から出力することができます。ブザー信号の周波数と音量をソフトウェアによりそれぞれ8段階に設定できるほか、デューティ比制御によるデジタルエンベロープを附加することができます。また、キー操作音等を出力するための、1ショット出力機能も持っています。

図4.12.1.1にサウンドジェネレータの構成を示します。

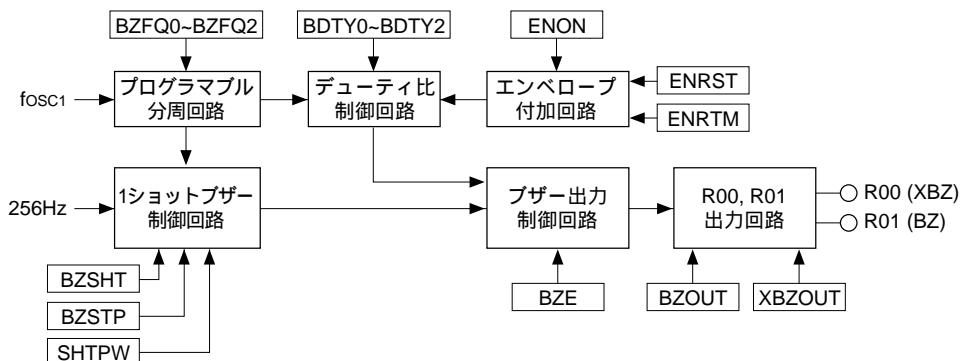


図4.12.1.1 サウンドジェネレータの構成

#### 4.12.2 ブザー回路

S1C63558はブザー信号の出力にR01(BZ)端子、R00(XBZ)端子を使用します。

1端子で圧電ブザーを駆動する場合は、R01(BZ)端子から出力されるBZ信号でバイポーラトランジスタを駆動します。ブザーOFF時はR01(BZ)端子がHIGHレベルとなりますので、図4.12.2.1に示すとおりPNPトランジスタで圧電ブザーを駆動してください。

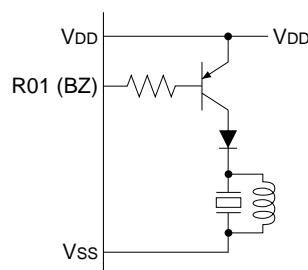


図4.12.2.1 R01(B7)端子によるブザー回路

R01(BZ)とR00(XBZ)の2端子を使用することで圧電ブザーのダイレクトドライブが可能です。この場合は図4.12.2.2に示すように、R01(BZ)端子、R00(XBZ)端子に保護抵抗(100Ω)を介して圧電ブザーを接続します。

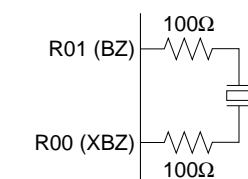


図4.12.2.2 R01(BZ)端子とR00(XBZ)端子による圧電ブザーのダイレクトドライブ

#### 4.12.3 ブザー出力の制御

ブザー出力に使用するR01端子、R00端子はイニシャルリセット時に汎用出力ポート端子に設定されます。したがって、ブザー出力を行う前に、BZOUTレジスタに"1"を書き込みR01端子をBZ出力端子に設定しておくことが必要です。また、R01出力ポートのデータレジスタR01を"1"、ハイインピーダンス制御レジスタR01HIZを"0"に固定してください。

圧電ブザーをダイレクトドライブする場合は、R00端子も同様にXBZ出力に設定しておくことが必要です。この設定はXBZOUTレジスタに"1"を書き込むことによって行います。この場合も R00出力ポートのデータレジスタR00を"1"、ハイインピーダンス制御レジスタR00HIZを"0"に固定してください。

サウンドジェネレータで発生したブザー信号はブザー出力イネーブルレジスタBZEに"1"を書き込むことにより、BZ( R01 )端子、XBZ( R00 )端子から出力されます。BZEレジスタを"0"に設定すると、BZ( R01 )端子はHIGH( V<sub>DD</sub> )レベル、XBZ( R00 )端子はLOW( V<sub>SS</sub> )レベルになります。

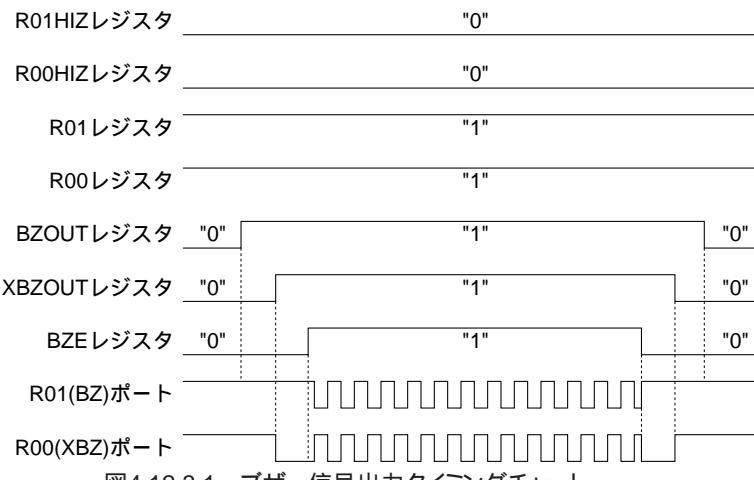


図4.12.3.1 ブザー信号出力タイミングチャート

注: BZ、XBZ信号はレジスタBZEレジスタとは非同期に発生していますので、BZEレジスタの設定による信号のON/OFF時にハザードを生じることがあります。

#### 4.12.4 プザー周波数と音量の設定

プザー( BZ、XBZ )信号にはOSC1発振クロック( 32.768kHz )の分周信号が用いられており、この分周比を変化させることによって8種類の周波数が選択できるようになっています。周波数の選択はプザー周波数選択レジスタBZFQ0～BZFQ2を表4.12.4.1のように設定することにより行います。

表4.12.4.1 プザー信号の周波数設定

BZFQ2	BZFQ1	BZFQ0	プザー周波数 (Hz)
0	0	0	4096.0
0	0	1	3276.8
0	1	0	2730.7
0	1	1	2340.6
1	0	0	2048.0
1	0	1	1638.4
1	1	0	1365.3
1	1	1	1170.3

プザーの音量はプザー信号のデューティ比を制御することによって変化させています。

デューティ比はプザーデューティ選択レジスタBDTY0～BDTY2の設定により、表4.12.4.2に示す8種類の中から選択できます。

表4.12.4.2 デューティ比の設定

レベル	BDTY2	BDTY1	BDTY0	プザー周波数 (Hz)によるデューティ比			
				4096.0	3276.8	2730.7	2340.6
			0	2048.0	1638.4	1365.3	1170.3
レベル1(最大)	0	0	0	8/16	8/20	12/24	12/28
レベル2	0	0	1	7/16	7/20	11/24	11/28
レベル3	0	1	0	6/16	6/20	10/24	10/28
レベル4	0	1	1	5/16	5/20	9/24	9/28
レベル5	1	0	0	4/16	4/20	8/24	8/28
レベル6	1	0	1	3/16	3/20	7/24	7/28
レベル7	1	1	0	2/16	2/20	6/24	6/28
レベル8(最小)	1	1	1	1/16	1/20	5/24	5/28

デューティ比はパルス周期に対するパルス幅の比率のことと、HIGHレベル出力時間をTH、LOWレベル出力時間をTLとした場合は、負極性の場合  $TL / ( TH + TL )$  正極性の場合  $TH / ( TH + TL )$  となります。

BDTY0～BDTY2をすべて"0"に設定した場合にデューティ比が最大となり、音量も最大になります。逆にBDTY0～BDTY2をすべて"1"に設定した場合にデューティ比が最小となり、音量も最小になります。

なお、設定できるデューティ比は各周波数によって異なりますので表4.12.4.2を参照してください。

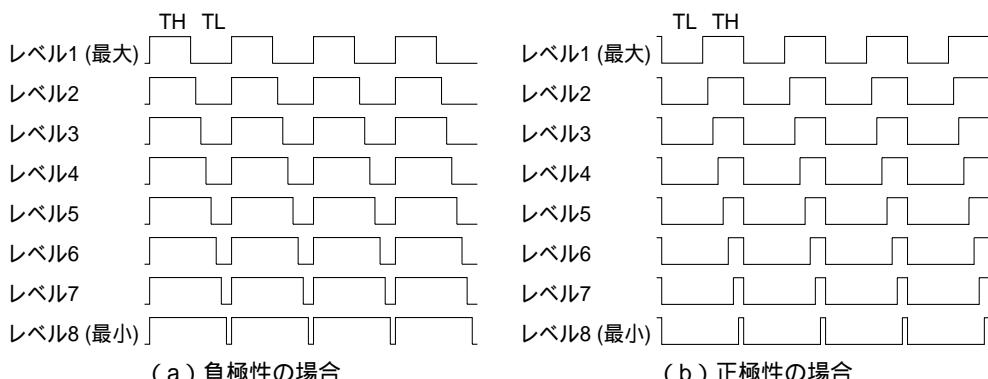


図4.12.4.1 プザー信号波形のデューティ比

注： プザー信号にデジタルエンベロープを附加した場合、デューティ比の制御が行われるため、BDTY0～BDTY2の設定は無効となります。

#### 4.12.5 デジタルエンベロープ

ブザー信号にはデューティ比制御のデジタルエンベロープを付加することができます。

エンベロープは前項の表4.12.4.2の内容と同様のデューティ比をレベル1( 最大 )からレベル8( 最小 )に段階的に変化させることにより制御されます。

ブザー信号へのエンベロープの付加はレジスタENONに"1"を書き込むことで行われ、"0"が書き込まれた場合は付加されません。

ENONを"1"に設定後、ブザー信号の出力を開始する( BZEレジスタに"1"を書き込む )と、デューティ比がレベル1( 最大 )となり、レベル8まで段階的に変化します。レベル8( 最小 )まで減衰するとそのレベルに保持されます。また、エンベロープ付きのブザー信号出力中はレジスタENRSTに"1"を書き込むことによりデューティ比を最大に復帰させることができます。

エンベロープの減衰時間( デューティ比の変化する時間 )はレジスタENRTMで選択できます。レベルが1段階変化する時間はENRTMに"0"を書き込んだ場合が62.5msec( 16Hz )、"1"を書き込んだ場合が125msec( 8Hz )になります。ただし、エンベロープONから最初の変化までは共に最大4msecの誤差があります。

図4.12.5.1にデジタルエンベロープのタイミングチャートを示します。

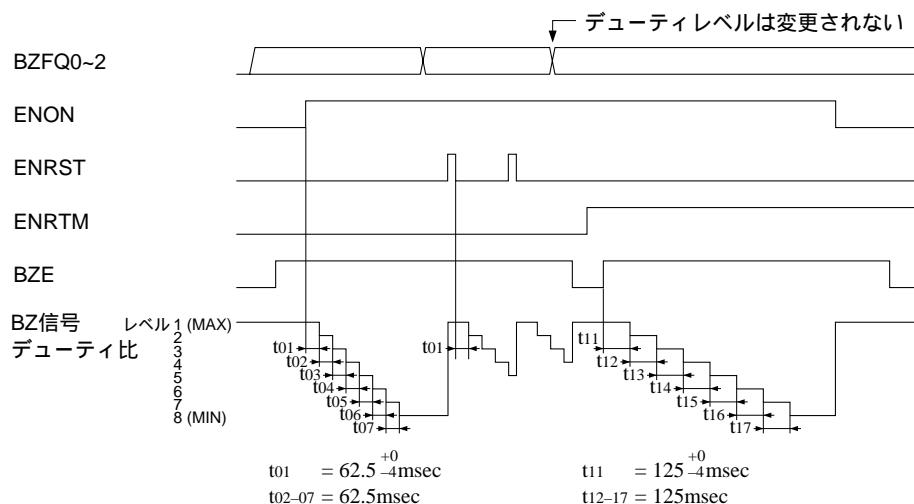


図4.12.5.1 デジタルエンベロープのタイミングチャート

#### 4.12.6 1ショット出力

キー操作音などのように短時間のブザー信号を出力させるために、サウンドジェネレータは1ショット出力機能を持っています。

1ショットブザー信号の出力時間はSHTPWレジスタによって125msec、または31.25msecが選択できます。

1ショットブザーの出力制御は1ショットブザートリガBZSHTに"1"を書き込むことにより行います。このトリガが与えられると、内部の256Hz信号に同期してブザー信号がBZ、XBZ端子から出力されます。その後、設定時間が経過すると出力開始と同様に256Hz信号に同期してブザー信号がOFFとなります。

BZSHTは読み出しも可能で、BZSHTが"1"の場合は1ショット出力回路が動作中( 1ショット出力中 ) "0"の場合は回路がREADY( 出力が行える )状態であることを示します。

なお、1ショット出力を設定時間経過前に終了させることもできます。これは1ショットブザーストップBZSTPに"1"を書き込むことにより行います。この場合も256Hz信号に同期してブザー信号がOFFとなります。

1ショット出力中に再度BZSHTに"1"を書き込んだ場合は、その時点から( 256Hz信号に同期して )新たに125msecまたは31.25msecの1ショット出力が行われます。

1ショット出力は短時間のため、エンベロープを付加することはできません。ただし、デューティ比の選択による音量と周波数は設定することができます。

通常のブザー出力中( BZE = "1"の間 )は1ショット出力の制御は無効となります。

図4.12.6.1に1ショット出力のタイミングチャートを示します。

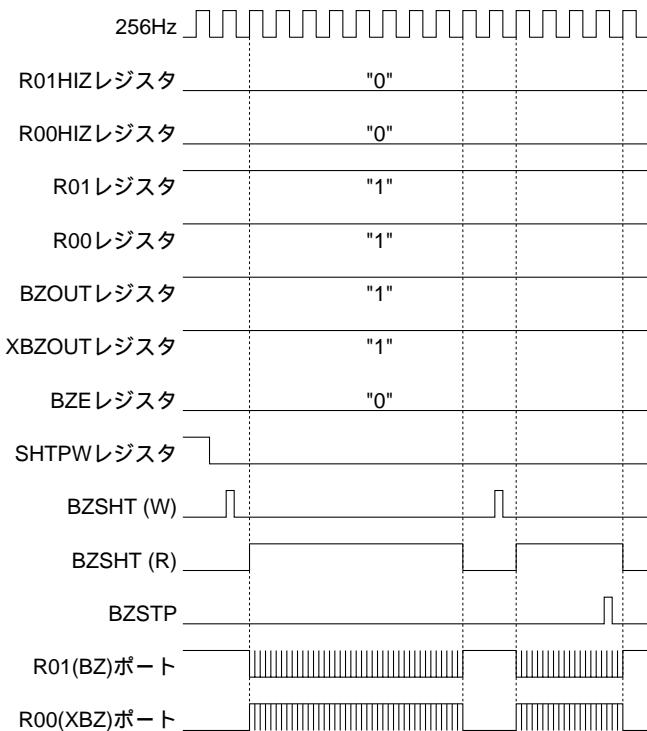


図4.12.6.1 1ショット出力のタイミングチャート

## 4.12.7 サウンドジェネレータのI/Oメモリ

表4.12.7.1にサウンドジェネレータの制御ビットとそのアドレスを示します。

表4.12.7.1 サウンドジェネレータの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF30H	R03HIZ	R02HIZ	R01HIZ	R00HIZ	R03HIZ	0	Hi-Z	Output	R03 Hi-z制御( FOUTE=0 ) FOUT出力Hi-z制御( FOUTE=1 )
					R02HIZ	0	Hi-Z	Output	R02 Hi-z制御( PTOUT=0 ) TOUT出力Hi-z制御( PTOUT=1 )
	R/W				R01HIZ	0	Hi-Z	Output	R01 Hi-z制御( BZOUT=0 ) BZ出力Hi-z制御( BZOUT=1 )
					R00HIZ	0	Hi-Z	Output	R00 Hi-z制御( XBZOUT=0 ) XBZ出力Hi-z制御( XBZOUT=1 )
FF31H	R03 (FOUT)	R02 (TOUT)	R01 (BZ)	R00 (XBZ)	R03	1	High	Low	R03出力ポートデータ( FOUTE=0 ) FOUT出力時は1に固定
					R02	1	High	Low	R02出力ポートデータ( PTOUT=0 ) TOUT出力時は1に固定
	R/W				R01	1	High	Low	R01出力ポートデータ( BZOUT=0 ) BZ出力時は1に固定
					R00	1	High	Low	R00出力ポートデータ( XBZOUT=0 ) XBZ出力時は1に固定
FF65H	0	0	BZOUT	XBZOUT	0 *3	- *2			未使用
					0 *3	- *2			未使用
	R/W				BZOUT	0	BZ	DC	R01出力選択( R01レジスタを"1"に固定 )
					XBZOUT	0	XBZ	DC	R00出力選択( R00レジスタを"1"に固定 )
FF6CH	ENRTM	ENRST	ENON	BZE	ENRTM	0	1sec	0.5sec	エンペロープ減衰時間選択
					ENRST *3	Reset	Reset	Invalid	エンペロープリセット( 書き込み時 )
	R/W				ENON	0	On	Off	エンペロープOn/Off
					BZE	0	Enable	Disable	BZ出力カイネーブル
FF6DH	0	BZSTP	BZSHT	SHTPW	0 *3	- *2			未使用
					BZSTP *3	0	Stop	Invalid	1ショットブザーStop( 書き込み時 )
	R/W				BZSHT	0	Trigger	Invalid	1ショットブザートリガ( 書き込み時 )
					SHTPW	0	Busy	Ready	1ショットブザーステータス( 読み出し時 )
FF6EH	0	BZFQ2	BZFQ1	BZFQ0	0 *3	- *2			未使用
					BZFQ2	0			[BZFQ2, 1, 0] 0 1 2 3 ブザー周波数( Hz ) 4096.0 3276.8 2730.7 2340.6
	R/W				BZFQ1	0			[BZFQ2, 1, 0] 4 5 6 7 周波数選択周波数( Hz ) 2048.0 1638.4 1365.3 1170.3
					BZFQ0	0			
FF6FH	0	BDTY2	BDTY1	BDTY0	0 *3	- *2			未使用
					BDTY2	0			[ブザー信号デューティ比選択( 本編参照 )
	R/W				BDTY1	0			
					BDTY0	0			

\*1 イニシャルリセット時の初期値

\*2 回路上設定されない

\*3 読み出し時は常時"0"

R00HIZ, R01HIZ: R00, R01ポートハイインピーダンス制御レジスタ( FF30H・D0, D1 )  
 出力ポートのハイインピーダンス制御を行います。

"1"書き込み: ハイインピーダンス

"0"書き込み: データ出力

読み出し: 可能

BZ出力、XBZ出力をを行う場合は、このレジスタを"0"に固定してください。R01HIZはBZ出力、R00HIZはXBZ出力に対応します。

イニシャルリセット時、このレジスタは"0"に設定されます。

R00, R01: R0出力ポートデータレジスタ( FF31H・D0, D1 )  
 各出力ポートの出力データを設定します。

"1"書き込み: ブザー出力可能

"0"書き込み: 設定禁止( LOWレベル出力 )

読み出し: 可能

BZ出力、XBZ出力をを行う場合は、このレジスタを"1"に固定してください。R01はBZ出力、R00はXBZ出力に対応します。

イニシャルリセット時、このレジスタは"1"に設定されます。

**BZOUT: R01出力選択レジスタ( FF65H·D1 )**  
R01端子の機能を選択します。

- "1"書き込み: BZ出力
- "0"書き込み: 汎用DC出力
- 読み出し: 可能

R01端子をBZ出力に使用する場合、このレジスタに"1"を書き込みます。さらに、R01レジスタを"1"、R01HIZレジスタを"0"に固定します。

イニシャルリセット時、このレジスタは"0"に設定されます。

**XBZOUT: R00出力選択レジスタ( FF65H·D0 )**  
R00端子の機能を選択します。

- "1"書き込み: XBZ出力
- "0"書き込み: 汎用DC出力
- 読み出し: 可能

R00端子をXBZ出力に使用する場合、このレジスタに"1"を書き込みます。さらに、R00レジスタを"1"、R00HIZレジスタを"0"に固定します。

R00を汎用出力ポートとして使用する場合、XBZOUTは"0"に固定してください。  
イニシャルリセット時、このレジスタは"0"に設定されます。

**BZE: BZ出力制御レジスタ( FF6CH·D0 )**  
BZ出力を制御します。

- "1"書き込み: ブザー出力ON
- "0"書き込み: ブザー出力OFF
- 読み出し: 可能

BZEに"1"を書き込むことによってBZ( R01 )端子からBZ信号、XBZ( R00 )端子からXBZ信号が出力され、"0"の書き込みでブザーがOFFします。

イニシャルリセット時、このレジスタは"0"に設定されます。

**BZFQ0 ~ BZFQ2: ブザー周波数選択レジスタ( FF6EH·D0 ~ D2 )**  
ブザー信号の周波数を選択します。

表4.12.7.2 ブザー信号の周波数設定

BZFQ2	BZFQ1	BZFQ0	ブザー周波数 (Hz)
0	0	0	4096.0
0	0	1	3276.8
0	1	0	2730.7
0	1	1	2340.6
1	0	0	2048.0
1	0	1	1638.4
1	1	0	1365.3
1	1	1	1170.3

ブザー周波数は発振クロックを分周した上記8種類の中から選択します。  
イニシャルリセット時、このレジスタは"0"に設定されます。

**BDTY0 ~ BDTY2: デューティ比選択レジスタ( FF6FH・D0 ~ D2 )**  
 ブザー信号のデューティ比を表4.12.7.3のとおり選択します。

表4.12.7.3 デューティ比の設定

レベル	BDTY2	BDTY1	BDTY0	ブザー周波数 (Hz)によるデューティ比			
				4096.0 2048.0	3276.8 1638.4	2730.7 1365.3	2340.6 1170.3
レベル1(最大)	0	0	0	8/16	8/20	12/24	12/28
レベル2	0	0	1	7/16	7/20	11/24	11/28
レベル3	0	1	0	6/16	6/20	10/24	10/28
レベル4	0	1	1	5/16	5/20	9/24	9/28
レベル5	1	0	0	4/16	4/20	8/24	8/28
レベル6	1	0	1	3/16	3/20	7/24	7/28
レベル7	1	1	0	2/16	2/20	6/24	6/28
レベル8(最小)	1	1	1	1/16	1/20	5/24	5/28

このデューティ比を選択することによりブザーの音量を設定することができます。  
 ただし、エンベロープをON( ENON="1" )に設定している場合は、この設定は無効となります。  
 イニシャルリセット時、このレジスタは"0"に設定されます。

**ENRST: エンベロープリセット( FF6CH・D2 )**  
 エンベロープをリセットします。

"1"書き込み: リセット  
 "0"書き込み: ノーオペレーション  
 読み出し: 常時"0"

ENRSTに"1"を書き込むことによりエンベロープがリセットされ、デューティ比が最大となります。エンベロープが付加されていない場合( ENON="0" )およびブザー信号の出力が行われていない場合のリセットは無効となります。また"0"の書き込みも無効です。

ENRSTは書き込み専用のため、読み出し時は常時"0"となります。

**ENON: エンベロープON/OFF制御レジスタ( FF6CH・D1 )**  
 ブザー信号へのエンベロープ付加を制御します。

"1"書き込み: ON  
 "0"書き込み: OFF  
 読み出し: 可能

ENONレジスタに"1"を書き込むことにより、ブザー信号出力時にエンベロープが付加されます。"0"を書き込んだ場合、エンベロープは付加されません。  
 イニシャルリセット時、このレジスタは"0"が選択されます。

**ENRTM: エンベロープ減衰時間選択レジスタ( FF6CH・D3 )**  
 ブザー信号に付加されたエンベロープの減衰時間を選択します。

"1"書き込み: 1.0sec( 125msec × 7 = 875msec )  
 "0"書き込み: 0.5sec( 62.5msec × 7 = 437.5msec )  
 読み出し: 可能

デジタルエンベロープの減衰時間はデューティ比の変化する時間で決められます。ENRTMに"1"を書き込んだ場合は125msec( 8Hz )単位、"0"を書き込んだ場合は62.5msec( 16Hz )単位となります。  
 イニシャルリセット時、このレジスタは"0"に設定されます。

SHTPW: 1ショットブザーパルス幅選択レジスタ( FF6DH・D0 )  
1ショットブザーの出力時間を選択します。

"1"書き込み: 125msec  
"0"書き込み: 31.25msec  
読み出し: 可能

SHTPWレジスタに"1"を書き込むことにより1ショット出力時間が125msecに、"0"書き込みで31.25msecに設定されます。通常のブザー出力には影響を与えません。

イニシャルリセット時、このレジスタは"0"に設定されます。

BZSHT: 1ショットブザートリガ/ステータス( FF6DH・D1 )  
1ショットブザー出力の制御を行います。

- データ書き込み時

"1"書き込み: トリガ  
"0"書き込み: ノーオペレーション

BZSHTに"1"を書き込むことにより1ショット出力回路が動作し、ブザー信号が出力されます。この出力はSHTPWによって設定した時間の経過後に自動的にOFFとなります。

1ショット出力は通常のブザー出力がOFF( BZE = "0" )の状態でのみ有効で、ON( BZE = "1" )状態でのトリガは無効となります。1ショット出力中に再トリガを行った場合は、その時点からSHTPWによって設定した時間を計測し直します( 時間延長 )

- データ読み出し時

"1"読み出し: BUSY  
"0"読み出し: READY

読み出し時は1ショット出力回路の動作状態を示します。1ショット出力中にBZSHTは"1"となり、出力がOFFすると"0"になります。

イニシャルリセット時、このビットは"0"に設定されます。

BZSTP: 1ショットブザーSTOP( FF6DH・D2 )  
1ショットブザー出力を停止させます。

"1"書き込み: STOP  
"0"書き込み: ノーオペレーション  
読み出し: 常時"0"

BZSTPに"1"を書き込むことにより、SHTPWによる設定時間が経過する前に1ショットブザー出力をOFFすることができます。"0"書き込みおよび1ショット出力中以外の"1"書き込みは無効です。

BZSTPは書き込み専用のため、読み出し時は常時"0"となります。

#### 4.12.8 プログラミング上の注意事項

- ( 1 )BZ、XBZ信号はBZEレジスタとは非同期に発生していますので、BZEレジスタの設定による信号のON/OFF時にハザードを生じる場合があります。
- ( 2 )1ショット出力は通常のブザー出力がOFF( BZE = "0" )の状態でのみ有効で、ON( BZE = "1" )状態でのトリガは無効となります。
- ( 3 )BZ、XBZ信号はR01、R00ポートの特殊出力のため、BZEレジスタに"1"を設定する前にハイインピーダンス制御レジスタ( R01HIZ、R00HIZ )を"0"、データレジスタ( R01、R00 )を"1"、出力選択レジスタ( BZOUT、XBZOUT )を"1"に設定しておく必要があります。

## 4.13 SVD(電源電圧検出)回路

### 4.13.1 SVD回路の構成

S1C63558にはSVD(電源電圧検出)回路が内蔵されており、ソフトウェアによって電源電圧低下を知ることができます。また、マスクオプションにより電源電圧以外の外部電圧低下を知ることもできます。

SVD回路のON/OFFおよび比較電圧の設定は、ソフトウェアによって行えます。

SVD回路の構成は図4.13.1.1のとおりです。

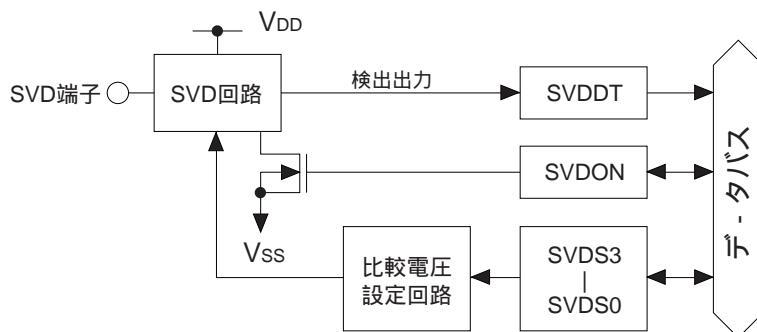


図4.13.1.1 SVD回路の構成

### 4.13.2 マスクオプション

SVD回路は電源電圧(VDD端子 - Vss端子)の低下を検出すること以外に、SVD端子から入力された外部電圧(SVD端子 - Vss端子)を決められた検出電圧(1.05V)と比較し、外部電圧の低下を検出することができます。この機能はマスクオプションで使用するかしないかを選択します。

### 4.13.3 SVD動作

SVD回路はソフトウェアによって設定した比較電圧と電源電圧(VDD端子 - Vss端子)または外部電圧(SVD端子 - Vss端子)の比較を行い、その結果をSVDDTラッチにセットします。このSVDDTラッチのデータを読み出すことにより、電源電圧が正常か、あるいは低下していることをソフトウェアによって判断できます。

比較電圧はSVDS3～SVDS0レジスタによって表4.13.3.1の12種類に設定できます。

SVDS3～SVDS0レジスタに"0"を設定した場合、電源電圧検出は2.20Vとなります。ただし、マスクオプションで"外部電圧検出あり"を選択した場合は電源電圧(VDD端子 - Vss端子)との比較は行われず、SVD端子から入力される外部電圧(SVD端子 - Vss端子)が1.05Vと比較されます。

表4.13.3.1 比較電圧の設定

SVDS3	SVDS2	SVDS1	SVDS0	比較電圧(V)	SVDS3	SVDS2	SVDS1	SVDS0	比較電圧(V)
0	1	1	1	2.50	1	1	1	1	3.30
0	1	1	0	2.40	1	1	1	0	3.20
0	1	0	1	2.30	1	1	0	1	3.10
0	1	0	0	2.20	1	1	0	0	3.00
0	0	1	1	2.20	1	0	1	1	2.90
0	0	1	0	2.20	1	0	1	0	2.80
0	0	0	1	2.20	1	0	0	1	2.70
0	0	0	0	2.20/1.05	1	0	0	0	2.60

SVD回路による電源電圧または外部電圧の検出動作はレジスタSVDONに"1"を書き込むことによって開始します。

その後SVDONに"0"を書き込むことにより SVD回路は検出結果をSVDDTラッチにセットして検出動作を停止(回路をOFF)します。

なお、安定した検出結果を得るためにには少なくとも100μsec以上SVD回路をONにする必要があります。したがって、電源電圧の検出は次のシーケンスで行ってください。

1. SVDONを"1"にセット
2. 100μsec以上保持
3. SVDONを"0"にセット
4. SVDDTの読み出し

なお、SVD動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD回路をOFFに設定してください。

#### 4.13.4 SVD回路のI/Oメモリ

表4.13.4.1にSVD回路の制御ビットとそのアドレスを示します。

表4.13.4.1 SVD回路の制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注　釋								
	D3	D2	D1	D0					SVD比較電圧設定								
FF04H	SVDS3	SVDS2	SVDS1	SVDS0	SVDS3	0			[SVDS3~0] 0	1	2	3	4	5	6	7	
					SVDS2	0			電圧(V)	2.20	1.05	2.20	2.20	2.20	2.30	2.40	2.50
	R/W				SVDS1	0			[SVDS3~0] 8	9	10	11	12	13	14	15	
					SVDS0	0			電圧(V)	2.60	2.70	2.80	2.90	3.00	3.10	3.20	3.30
FF05H	0	0	SVDDT	SVDON	0 *3	- *2			未使用								
					0 *3	- *2			未使用								
	R		R/W		SVDDT	0	Low	Normal	SVD検出データ								
					SVDON	0	On	Off	SVD回路On/Off								

\*1 イニシャルリセット時の初期値

\*2 回路上設定されない

\*3 読み出し時は常時"0"

SVDS3 ~ SVDS0: SVD比較電圧設定レジスタ( FF04H )

SVDの比較電圧を表4.13.3.1に示すとおり設定します。

イニシャルリセット時、このレジスタは"0"に設定されます。

SVDON: SVD検出ON/OFF制御レジスタ( FF05H・D0 )

SVD回路のON/OFFを制御します。

"1"書き込み: SVD回路 ON

"0"書き込み: SVD回路 OFF

読み出し: 可能

SVDONを"1"にセットすることによりSVD検出が行われ、SVDONを"0"にリセットした直後にSVDDTラッチへ検出結果が書き込まれます。なお、安定したSVD検出結果を得るためにには、少なくとも100μsec以上SVD回路をONにする必要があります。

イニシャルリセット時、このレジスタは"0"に設定されます。

SVDDT: SVD検出結果( FF05H・D1 )

SVDによる検出結果がセットされます。

"0"読み出し: 比較電圧より電源電圧( VDD - VSS )が高い

"1"読み出し: 比較電圧より電源電圧( VDD - VSS )が低い

書き込み: 無効

SVDONを"0"にした時点の検出結果を読み出すことができます。

イニシャルリセット時、SVDDTは"0"に設定されます。

#### 4.13.5 プログラミング上の注意事項

( 1 )SVD回路はONさせてから安定した結果が得られるまでに100μsecの時間を必要とします。このため、  
SVDONに"1"を書き込み後、100μsec以上経過後にSVDONに"0"を書き込んでSVDDTを読み出してください。

( 2 )SVD検出動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD検出をOFFに設定してください。

## 4.14 電話機能(トーン/パルスダイアラ)

### 4.14.1 トーン/パルスダイアラの構成

S1C63558はトーン/ダイアルパルス出力切り換え可能なダイアラを内蔵しています。ポーズ、フラッシュ、ホールドライン、ミュート制御、フックスイッチ制御、ハンドフリー機能をサポートしており、高機能電話等が容易に実現できます。

各機能はソフトウェアによって制御できます。図4.14.1.1にトーン/パルスダイアラの構成を示します。

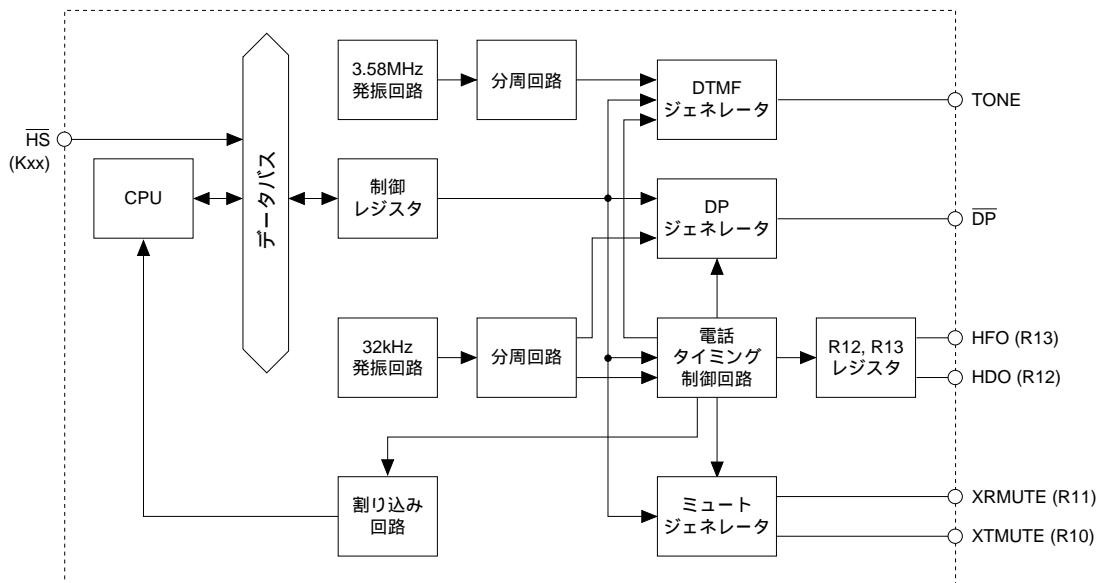


図4.14.1.1 トーン/パルスダイアラの構成

本ダイアラはトーン生成用のDTMFジェネレータ(デュアルトーンマルチ周波数)とダイアルパルス生成用のDPジェネレータを内蔵しています。

DTMFジェネレータはOSC(3.58MHz)クロックをもとにソフトウェアで設定したトーン信号(シングルトーンまたはダブルトーンをソフト切り換え)を発生し、TONE端子から出力します。

DPジェネレータはOSC(32kHz)クロックをもとにソフトウェアで設定した番号のダイアルパルスを発生し、DP端子から出力します。

ソフトウェアによる動作モードの設定にしたがって、トーンまたはパルスどちらかの信号が出力されます。

プッシュボタンのマトリクスは入力ポートと出力ポートを使用して構成します。フックスイッチは入力ポートに接続します。なお、フックスイッチのON/OFFはソフトウェアで行いますので、オンフック(受話器を掛けたまま)でのダイアル/通話も可能です。

上記端子のほかにR10端子～R13端子をそれぞれXTMUTE(トランスマッタミュート信号出力)、XRMUTE(レシーバミュート信号出力)、HDO(ホールドライン信号出力)端子、HFO(ハンドフリー信号出力)端子として使用することができます。この設定もソフトウェアで行います。( "4.5 出力ポート" 参照 )

本ダイアラは割り込み回路も内蔵しており、ダイアル信号出力終了時、ポーズおよびフラッシュ機能の実行終了時はCPUに対して割り込みを発生させることができます。

#### 4.14.2 マスクオプション

DP端子の出力仕様をマスクオプションで選択します。コンプリメンタリ出力またはNチャンネルオーブンドレイン出力のいずれかに設定できます。

XTMUTE端子、XRMUTE端子、HDO端子、HFO端子としてR10端子、R11端子、R12端子、R13端子が使用されるため、これらの出力仕様も出力ポートのマスクオプションによりコンプリメンタリ出力またはNチャンネルオーブンドレイン出力のいずれかに設定できます。

ただし、Nチャンネルオーブンドレイン出力を選択した場合でも、出力端子に電源電圧を越える電圧の印加は禁止します。

#### 4.14.3 ダイアル処理手順

ここでは、ダイアル処理手順の概要を(1)設定、(2)実行、(3)割り込みの3段階に分けて説明します。動作および制御の詳細は各機能の項で説明します。

##### (1) 設定

各機能には制御レジスタが設けられており、実行前に動作モード、動作条件などの設定をしておきます。表4.14.3.1に機能と対応する制御レジスタ、およびその初期設定内容を示します。

表4.14.3.1 制御レジスタと初期設定

機能	制御レジスタ	初期設定
DTMF	TPS (FF10H•D3) SINC, SINR (FF16H)	トーンモード デュアルトーン
DP	TPS (FF10H•D3) MB (FF10H•D1) DRS (FF10H•D0) IDP3~IDP0 (FF15H)	トーンモード 40 : 60 10pps 750ms
PAUSE	PTS3~PTS0 (FF11H)	4sec
FLASH	FTS3~FTS0 (FF12H)	563ms

各制御レジスタの詳細については“4.14.10 電話機能のI/Oメモリ”を参照してください。

##### 動作モード

本ダイアラにはトーン出力を行うDTMFジェネレータおよびダイアルパルス出力を行うDPジェネレータが内蔵されています。このため、2種類の基本動作モード(トーンモード、パルスモード)が設定されており、ソフトウェア( TPSレジスタ )で切り換えるようになっています。この設定はダイアル処理に先だって行っておく必要があります。イニシャルリセット時の初期設定はトーンモードです。

動作モードにより、以下の動作条件の設定を行います。

トーンモード: ・シングルトーン/デュアルトーン出力の設定

パルスモード: ・マイク率の設定( 40:60または33.3:66.6 )

・パルスレートの設定( 10ppsまたは20pps )

・インターデジットポーズの設定( 94msec ~ 1406msec、15種類から選択 )

これらの詳細については後述します。

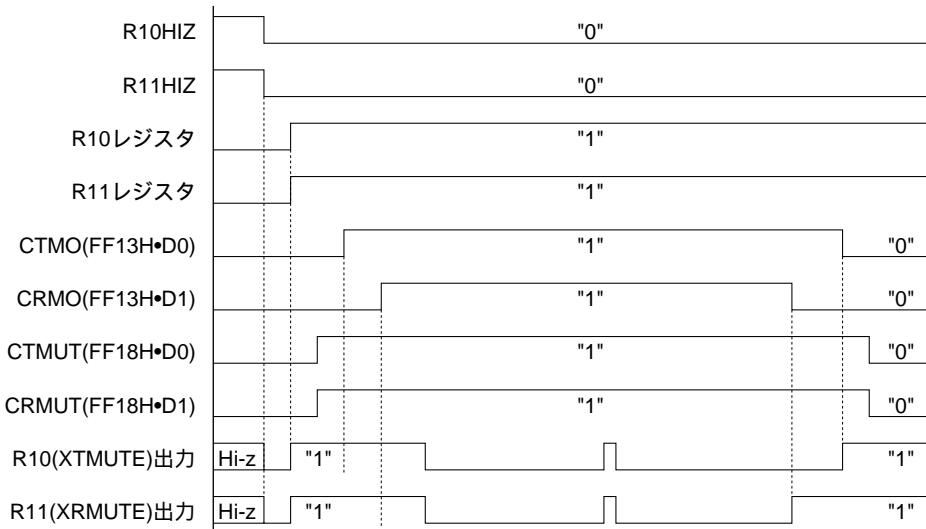
トーンモードはOSC3( 3.58MHz )クロックを使用するため、ダイアル前にOSC3発振をON( OSCC="1" )しておきます。CPUシステムクロックをOSC3に切り換える必要はありません。

ポーズ機能、フラッシュ機能を実行する場合にはその時間をあらかじめ設定しておきます。

ポーズ時間: 1 ~ 15sec( 1sec単位、15種類から選択 )

フラッシュ時間: 94msec ~ 1406msec( 15種類から選択 )

また、出力ポートR10、R11、R12、R13をXTMUTE出力、XRMUTE出力、HDO出力、HFO出力として使用する場合は、あらかじめCTMO、CRMO、CHDO、CHFOレジスタ "1"書き込み )により出力ポートの機能を切り換えておきます。この切り換えは、図4.14.3.1( XTMUTE、XRMUTEの例 )に示す手順で行ってください。CTMO、CRMO、CHDO、CHFOレジスタに"1"を書き込む前に、ハイインピーダンス制御レジスタ R10HIZ、R11HIZ、R12HIZ、R13HIZ を"0"、データレジスタ R10、R11、R12、R13 を"1"に設定しておく必要があります。また、ミュート制御レジスタ CTMUT、CRMUT を"1"に設定しておくことが必要です。



#### 図4.14.3.1 出力端子の設定手順

## (2) 実行

動作モードおよび動作条件の設定後、表4.14.3.2に示す制御レジスタへのデータ書き込みによりリアル動作を開始します。

表4.14.3.2 機能実行用の制御レジスタ

機能	制御レジスタ	実行機能
DTMF	TCD3~TCD0 (FF17H)	ダイアルトーン
	CTO (FF16H•D3)	連続トーン出力 On/Off
	HSON (FF18H•D3)	フックスイッチ On/Off
DP	TCD3~TCD0 (FF17H)	ダイアルパルス
	HSON (FF18H•D3)	フックスイッチ On/Off
ポーズ	PAUSE (FF14H•D1)	ポーズ
フラッシュ	FLASH (FF14H•D0)	フラッシュ
ホールドライン	HOLD (FF14H•D2)	ホールドライン
ハンドフリー	HF (FF14H•D3)	ハンドフリー

各制御レジスタの詳細については"4.14.10 電話機能のI/Oメモリ"を参照してください。

フックスイッチ制御( HSON )、連続トーン出力( CTO )、ホールドライン( HOLD )およびハンドフリー( HF )は各レジスタにより機能、信号のON/OFFを制御します。レジスタに"1"が設定されている間、各信号がONとなります。これらの機能は割り込みを発生しませんので、ON時間等のタイミングはソフトウェアによって制御します。

HSONはフックスイッチのON/OFF(受話器を掛ける/外す)を指定するレジスタで、ダイアル操作の前に"1"(オフック)に設定する必要があります。実際の受話器操作は直接ダイアラ回路に入力されませんので、このレジスタによりワンフックダイアルが可能です。フックスイッチは入力ポート(Kxx)に接続し、入力割り込み等を利用して受話器の状態を確認してください。

HSONをオフックに設定後、TCDレジスタにダイアルする番号(1桁分)に対応するデータを設定することにより(1)で設定した条件にしたがってダイアルトーンまたはダイアルパルスを出力します。この出力終了後、割り込みが発生しますので、それを利用して次の桁の番号を設定します。

ポーズ機能、フラッシュ機能はそれぞれPAUSE、FLASHピットにトリガ("1"書き込み)を与えることにより実行され、(1)で設定した時間経過後に割り込みを発生します。機能をOFFにする制御は必要ありません。

### (3) 割り込み

ダイアル、ポーズ、フラッシュ機能は動作終了時に割り込みを発生します。割り込み発生時は割り込み要因フラグID(FFF9H・D0)が"1"にセットされます。CPUに対する割り込みは割り込みマスクレジスタEID(FFE9H・D0)を"1"に設定してある場合に発生し、"0"の場合はマスクされます。なお、CPUに対する割り込みをマスクしている場合でも、割り込み要因フラグIDは上記動作終了時に"1"にセットされますので、IDのスキャンによっても動作終了を確認できます。IDが"1"を書き込むことによって"0"にリセットされます。割り込みが発生した場合は、次の割り込みに備えてIDをリセットしてください。

図4.14.3.2にダイアルパルス送信時の制御例を示します。

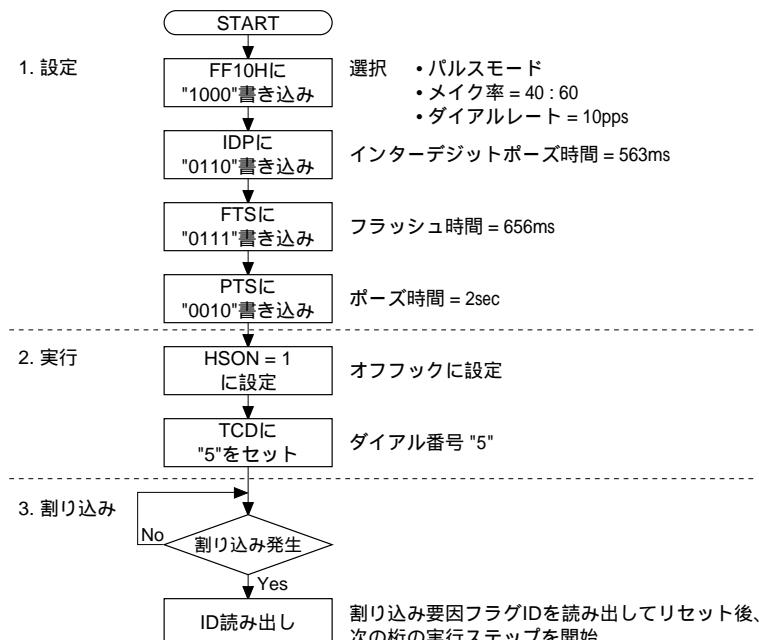


図4.14.3.2 ダイアルパルス送信フロー

図の設定ステップでは、最初にアドレスFF10Hに"1000"を書き込み、動作モードをパルス(DP)モード、メイク率を40:60、ダイアルレートを10ppsに設定します。

次にIDP(FF15H) PTS(FF11H) FTS(FF12H)にデータを書き込み、インターデジットポーズ時間、ポーズ時間、フラッシュ時間を設定します。IDP、PTS、FTSの初期設定値を使用する場合は、これらのデータ書き込みは必要ありません。

実行ステップではFF18H・D3へ"1"を書き込み(HSON="1")オフックに設定します。これによりDP端子がHIGH(VDD)レベルとなり電話回線が開きます。

次にダイアル番号"5"を示すデータ"0101"をTCD(FF17H)に書き込み、ダイアル動作を開始させます。DP端子からは設定されている条件に従った5個のパルスが outputされます。同時に、XTMUTE信号、XRMUTE信号もアクティブとなります(あらかじめ、R10、R11端子をこれらの信号出力用に切り換えておくことが必要です)。実際のアプリケーションではこのステップで受話器(フックスイッチ)の状態を取り込み、プッシュボタンの入力処理等を行います。

パルスの送信が終了すると割り込みが発生します。割り込み要因フラグIDをリセット("1"書き込み)後、次の桁の実行ステップを開始します。

#### 4.14.4 トーンモード( DTMF )

トーンモードはプッシュボタン( PB )ダイアル信号を出力するモードです。イニシャルリセット時はこのモードに設定されます。パルスモードからこのモードに変更する場合はTPSレジスタ( FF10H・D3 )に"0"を書き込みます。

PB( トーン )信号は表4.14.4.1に示すとおり、ダイアル番号を接点とする2つの周波数の組み合わせとして規定されています。

表4.14.4.1 PB周波数の組み合わせ

周波数(Hz)	COL1 1209	COL2 1336	COL3 1477	COL4 1633
ROW1 697	1	2	3	未使用
ROW2 770	4	5	6	未使用
ROW3 852	7	8	9	未使用
ROW4 941	*	0	#	未使用

各周波数とそれを組み合わせたトーン信号はDTMF( デュアルトーンマルチ周波数 )ジェネレータが発生します。

図4.14.4.1にDTMFジェネレータのブロック図を示します。

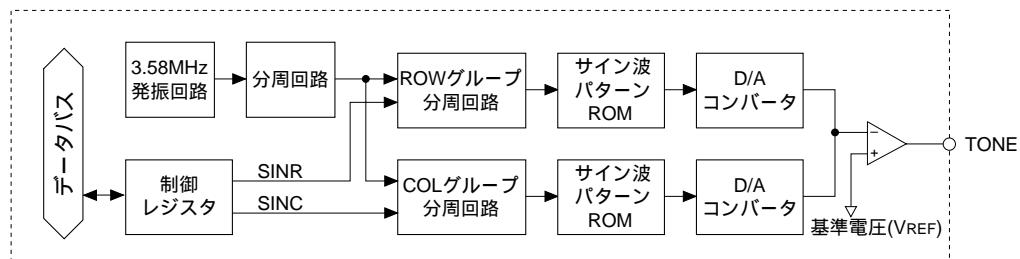


図4.14.4.1 DTMFジェネレータのブロック図

図4.14.4.1に示すとおり、DTMFジェネレータはOSC3( 3.58MHz )クロックを分周して各周波数を生成しています。このため、トーン信号出力前にOSC3発振回路をONにする必要があります( CPUシステムクロックの切り換えは不要です )。

分周回路はROW( 列 )グループとCOL( 衍 )グループそれぞれに用意されています。ここで発生する実際の周波数を表4.14.4.2に示します。分周の関係上、表4.14.4.1に示した標準周波数に対して許容範囲内の誤差が発生します。

表4.14.4.2 トーン周波数

ROW/COL	トーン出力周波数(Hz)		誤差(%)*
	標準周波数	実際の周波数	
ROW1	697	701.32	+0.62
ROW2	770	771.45	+0.19
ROW3	852	857.17	+0.61
ROW4	941	935.10	-0.63
COL1	1209	1215.88	+0.57
COL2	1336	1331.68	-0.32
COL3	1477	1471.85	-0.35
COL4	1633	1645.01	+0.74

\* 誤差には発振周波数の特性変化は含まれません。

ROWグループ、COLグループの分周回路は個別に動作可能で、ソフトウェアによって動作させる回路を選択できます。一方の回路のみを動作させることによりシングルトーン出力も可能です。この制御は表4.14.4.3に示すとおりSINRレジスタ( FF16H·D1 ) SINCレジスタ( FF16H·D0 )によって行います。

表4.14.4.3 トーン出力の選択

制御レジスタ		トーン出力
SINR	SINC	
0	0	DCレベル: 1/2 (VDD ~ Vss)
0	1	COL周波数
1	0	ROW周波数
1	1	デュアルトーン出力

イニシャルリセット時はデュアルトーン出力に設定されます。

分周された周波数は正弦波ROMとD/Aコンバータによってトーン信号に変換され、TONE端子から出力されるようになっています。

以下にトーン信号出力前に設定しておく内容をまとめておきます。

1. トーンモードに設定( TSP="0" ) ...動作モードが初期状態から変更されていない場合は不要
2. トーン出力( シングルトーン/デュアルトーン )の選択( SINR, SINC )
3. OSC3発振回路をON( OSCC="1" )(注)

注: OSC3発振回路がONしてから発振が安定するまでに、5msec以上を必要とします。したがって、ダイアル操作は、OSC3発振ONの後、5msec以上経過してから行ってください。発振安定時間は外付け発振子の特性および使用条件等により異なりますので、十分マージンを取って待ち時間を設定してください。また、OSC3発振回路動作時は消費電流が大きくなりますので、ダイアル時以外のDTMFジェネレータを使用しない場合、あるいはCPUの高速処理が不要な場合はOSC3発振回路をOFFにしてください。

次に、トーン信号出力方法と動作を説明します。

はじめにHSONRレジスタ( FF18H·D3 )に"1"を書き込み、オフフック(受話器を外した)状態に設定します。これによりDP端子がHIGH( VDD )レベルとなります。

次に、発信するプッシュボタン( ROW/COL )のデータをTCD3 ~ TCD0レジスタ( FF17H )に書き込みます。書き込みデータと選択されるトーン周波数( ROW/COL )は表4.14.4.4のとおりです。

表4.14.4.4 トーン周波数の選択

TCDコード				トーン周波数	キー シンボル	TCDコード				トーン周波数	キー シンボル
D3	D2	D1	D0			D3	D2	D1	D0		
0	0	0	0	(ROW1, COL4)	"A"	1	0	0	0	(ROW3, COL2)	"8"
0	0	0	1	(ROW1, COL1)	"1"	1	0	0	1	(ROW3, COL3)	"9"
0	0	1	0	(ROW1, COL2)	"2"	1	0	1	0	(ROW4, COL2)	"0"
0	0	1	1	(ROW1, COL3)	"3"	1	0	1	1	(ROW4, COL3)	"#"
0	1	0	0	(ROW2, COL1)	"4"	1	1	0	0	(ROW4, COL1)	"**"
0	1	0	1	(ROW2, COL2)	"5"	1	1	0	1	(ROW2, COL4)	"B"
0	1	1	0	(ROW2, COL3)	"6"	1	1	1	0	(ROW4, COL4)	"D"
0	1	1	1	(ROW3, COL1)	"7"	1	1	1	1	(ROW3, COL4)	"C"

このレジスタへのデータ書き込みがトリガとなり、トーン出力を開始します。シングルトーン出力を選択している場合は、書き込みデータに対応するROWまたはCOLどちらか一方の周波数のみがトーン信号として出力されます。デュアルトーン出力を選択している場合は書き込みデータに対応するROW、COLの2つの周波数が合成されて出力されます。

図4.14.4.2にトーン出力のタイミングチャートを示します。

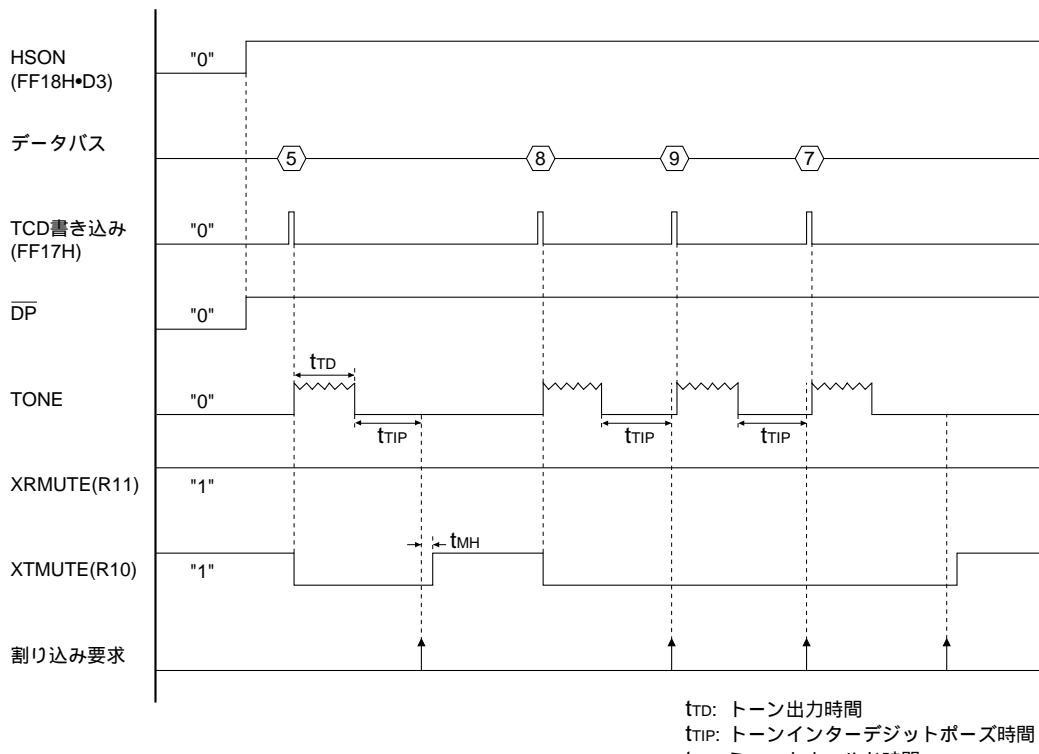


図4.14.4.2 トーン出力のタイミングチャート

TCDレジスタへのデータ書き込みにより指定のトーン信号がTONE端子から出力されます。同時に、XTMUTE(R10)端子がLOWレベルとなります。

トーン出力時間( $t_{TD}$ )は最低94msecとなっていますが、ソフトウェアによる延長も可能です。これにはCTOレジスタ(FF16H·D3)を使用します。TCDレジスタにデータを書き込む前にCTOレジスタに"1"を書き込んでおくと、CTOレジスタに"0"を書き込むまでトーン出力を延長します。トーン出力開始から94msec経過前にCTOレジスタに"0"を書き込んだ場合は、94msecの時間が経過するまでトーン出力は終了しません。CTOレジスタを"0"にした状態でのトーン出力時間は94msecです。

トーン信号の出力が終わると、TONE端子がLOWレベルに戻り、94msecのインターデジットポーズがとられます。

切り込みはインターデジットポーズ時間が経過したところで発生します。この時点から次のトーンの発信が可能となります。

トーン出力開始と同時にLOWレベルになったXTMUTE(R10)端子は、インターデジットポーズの終了から4msecのミュートホールド時間( $t_{MH}$ )が経過するまでLOWレベルを保持します。この間に次のトーン出力が開始されない場合、XTMUTE(R10)端子はHIGHレベルに戻ります。ミュートホールド時間の間に次のトーン出力を開始した場合は、XTMUTE(R10)端子はLOWレベルを保持します。

なお、上記のミュート機能(XTMUTE, XRMUTEの制御)を使用する場合はCTMUTレジスタ(FF18H·D0)CRMUTレジスタ(FF18H·D1)が"1"に設定されている必要があります。

トーンモードでのダイアル発信手順を以下にまとめます。

1. HSONレジスタに"1"書き込み
2. CTOレジスタに"1"書き込み(注)
3. TCDレジスタに発信データを書き込み ...トーン出力を開始
4. トーン出力時間をカウント後、CTOレジスタに"0"書き込み(注)
5. 割り込み発生後、割り込み要因フラグをリセット("1"書き込み)
6. ダイアル桁数分2~5を繰り返す
- ⋮
- 通信
- ⋮
7. 通信終了後、HSONレジスタに"0"書き込み

注: 2と4に示したCTOレジスタの設定はトーン出力時間を94msec以上にする場合に行います。94msec出力の場合は不要です。

#### 4.14.5 パルスモード( DP )

パルスモードはダイアルパルス信号を出力するモードです。ダイアル番号をソフトウェアで設定することにより、DPジェネレータがパルス列を生成し、DP端子から出力します。

イニシャルリセット時、動作モードはトーンモードに設定されますので、ダイアルパルス出力を行う場合はTPSレジスタ( FF10H·D3 )に"1"を書き込んでパルスモードに設定します。

図4.14.5.1にDPジェネレータのブロック図を示します。

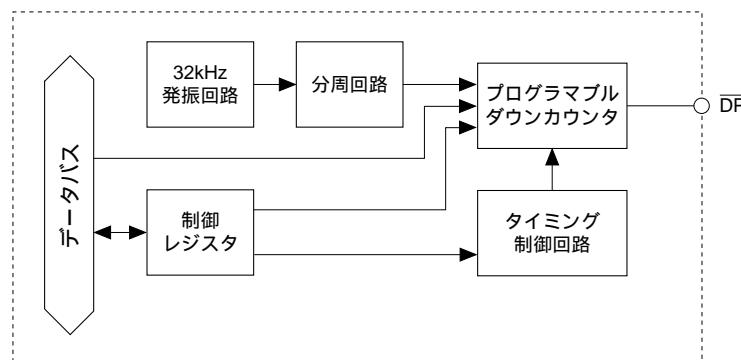


図4.14.5.1 DPジェネレータのブロック図

DPジェネレータはパルス生成にOSC( 32kHz )クロックを使用します。このため、トーンモードのようなOSC発振回路の制御は必要ありません。

ダイアルパルス出力においては、ダイアル番号( 1~9 )がそのままパルス数となります( "0" は10個のパルス )。DPジェネレータにはプログラマブルダウンカウンタが内蔵されており、そこにセットされたダイアル番号を"0"になるまでダウンカウントして必要なパルス列を生成します。

パルス仕様もソフトウェアで設定できるようになっており、設定した内容にしたがってタイミング制御回路がダウンカウンタを制御します。

ソフトウェアで設定する内容は、パルスレート、メイク率、インターデジットポーズ時間です。

パルスレートは1秒間に outputするパルス数( pps )で、DRSレジスタ( FF10H·D0 )によって10pps( DRS="0" )または20pps( DRS="1" )が選択できます。イニシャルリセットによる初期設定は10pps( DRS="0" )です。

メイク率( M:B )はパルスのメイク時間( HIGH )とブレーク時間( LOW )の比率( M:B )で、MBレジスタ( FF10H·D1 )によって40:60( MB="0" )または33.3:66.6( MB="1" )が選択できます。イニシャルリセットによる初期設定は40:60( MB="0" )です。

インターデジットポーズ時間はダイアル番号( パルス列 )間のポーズ時間で、パルスモードでは94msec～1,406msec、15種類の中から選択できるようになっています。選択は表4.14.5.1に示すとおり、IDP3～IDP0レジスタ( FF15H )で行います。

表4.14.5.1 インターデジットポーズ時間の選択

IDP				インターデジット ポーズ時間 (msec)	IDP	インターデジット ポーズ時間 (msec)			
D3	D2	D1	D0		D3	D2	D1	D0	
0	0	0	0	使用禁止 *	1	0	0	0	750
0	0	0	1	94	1	0	0	1	844
0	0	1	0	188	1	0	1	0	938
0	0	1	1	281	1	0	1	1	1031
0	1	0	0	375	1	1	0	0	1125
0	1	0	1	469	1	1	0	1	1219
0	1	1	0	563	1	1	1	0	1313
0	1	1	1	656	1	1	1	1	1406

\* IDPレジスタへの( 0000B )書き込みは誤動作の原因になりますので禁止します。

イニシャルリセットによる初期設定は750msec( IDP="1000B" )です。

以下にダイアルパルス出力前に設定しておく内容をまとめておきます。

1. パルスモードに設定( TPS="1" )
2. パルスレート( 10ppsまたは20pps )の選択( DRS )
3. メイク率( 40:60または33.3:66.6 )の選択( MB )
4. インターデジットポーズ時間( 94msec～1,406msec )の選択( IDP )

次に、ダイアルパルス出力方法と動作を説明します。

はじめにHSONレジスタ( FF18H・D3 )に"1"を書き込み、オフフック( 受話器を外した )状態に設定します。これにより、DP端子がHIGH( VDD )レベルとなります。

次に、発信するダイアル番号( 1～9, 0 )のデータをTCD3～TCD0レジスタ( FF17H )に書き込みます。書き込みデータとパルス数の対応は表4.14.5.2のとおりです。

表4.14.5.2 パルス数の選択

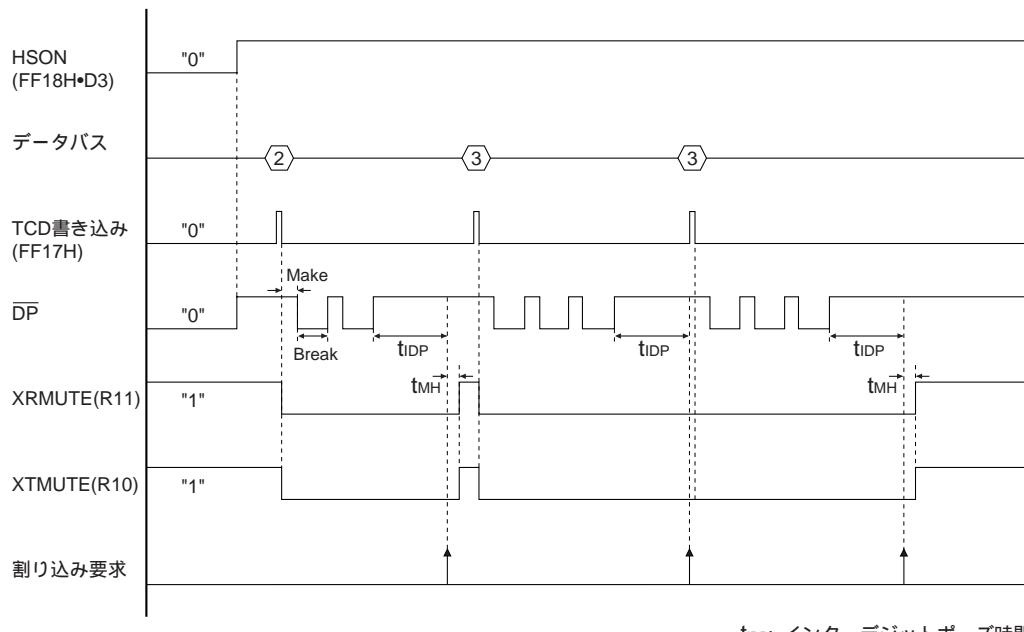
TCDコード				パルス数	TCDコード	パルス数			
D3	D2	D1	D0		D3	D2	D1	D0	
0	0	0	0	使用禁止 *	1	0	0	0	8
0	0	0	1	1	1	0	0	1	9
0	0	1	0	2	1	0	1	0	10
0	0	1	1	3	1	0	1	1	11
0	1	0	0	4	1	1	0	0	12
0	1	0	1	5	1	1	0	1	13
0	1	1	0	6	1	1	1	0	14
0	1	1	1	7	1	1	1	1	15

\* TCDレジスタへの( 0000B )書き込みは誤動作の原因になりますので禁止します。

ダイアル番号"1"～"9"については、番号がそのままパルス数となります。ダイアル番号"0"は10個のパルス列となりますのでTCDレジスタには10( 1010B )を書き込みます。

このレジスタへのデータ書き込みがトリガとなり、パルス出力を開始します。

図4.14.5.2にパルス出力のタイミングチャートを示します。



$t_{IDP}$ : インターデジットポーズ時間  
 $t_{MH}$ : ミュートホールド時間

図4.14.5.2 パルス出力のタイミングチャート

TCDレジスタへのデータ書き込みにより指定のパルス列がDP端子から出力されます。同時に、XRMUTE(R11)端子およびXTMUTE(R10)端子がLOWレベルとなります。

パルス列の出力が終わるとDP端子がHIGHレベルとなり、設定されているインターデジットポーズがとられます。

割り込みはインターデジットポーズ時間が経過したところで発生します。この時点から次のダイアル発信が可能となります。

パルス出力開始と同時にLOWレベルになったXRMUTE(R11)端子およびXTMUTE(R10)端子は、インターデジットポーズの終了から4msecのミュートホールド時間( $t_{MH}$ )が経過するまでLOWレベルを保持します。この間に次のパルス出力が開始されない場合、XRMUTE(R11)端子およびXTMUTE(R10)端子はHIGHレベルに戻ります。ミュートホールド時間の間に次のパルス出力を開始した場合は、XRMUTE(R11)端子およびXTMUTE(R10)端子はLOWレベルを保持します。

なお、上記のミュート機能(XTMUTE, XRMUTEの制御)を使用する場合はCTMUTレジスタ(FF18H·D0)、CRMUTレジスタ(FF18H·D1)が"1"に設定されている必要があります。

パルスマードでのダイアル発信手順を以下にまとめます。

1. HSONレジスタに"1"書き込み
2. TCDレジスタに発信データを書き込み ...パルス出力を開始
3. 割り込み発生後、割り込み要因フラグをリセット("1"書き込み)
4. ダイアル桁数分2~3を繰り返す
- ⋮
- 通信
- ⋮
5. 通信終了後、HSONレジスタに"0"書き込み

#### 4.14.6 ポーズ

本ダイアラはトーン信号間、パルス列間に1~15秒のポーズ時間を挿入することができます。

挿入するポーズ時間はダイアル信号出力前にPTS3~PTS0レジスタ(FF11H)に設定しておきます。設定可能な時間は表4.14.6.1のとおりです。

表4.14.6.1 ポーズ時間の選択

PTS				ポーズ時間(sec)	PTS	ポーズ時間(sec)			
D3	D2	D1	D0		D3	D2	D1	D0	
0	0	0	0	使用禁止*	1	0	0	0	8
0	0	0	1	1	1	0	0	1	9
0	0	1	0	2	1	0	1	0	10
0	0	1	1	3	1	0	1	1	11
0	1	0	0	4	1	1	0	0	12
0	1	0	1	5	1	1	0	1	13
0	1	1	0	6	1	1	1	0	14
0	1	1	1	7	1	1	1	1	15

\* PTSレジスタへの0(0000B)書き込みは誤動作の原因になりますので禁止します。

イニシャルリセットによる初期設定は4秒です。

PTSレジスタへのデータ書き込みは、事前にポーズ時間を設定しておくためのもので、ポーズの実行はPAUSEビット(FF14H・D1)を"1"に設定した時点で開始します。

図4.14.6.1にポーズ機能実行時のタイミングチャートを示します。

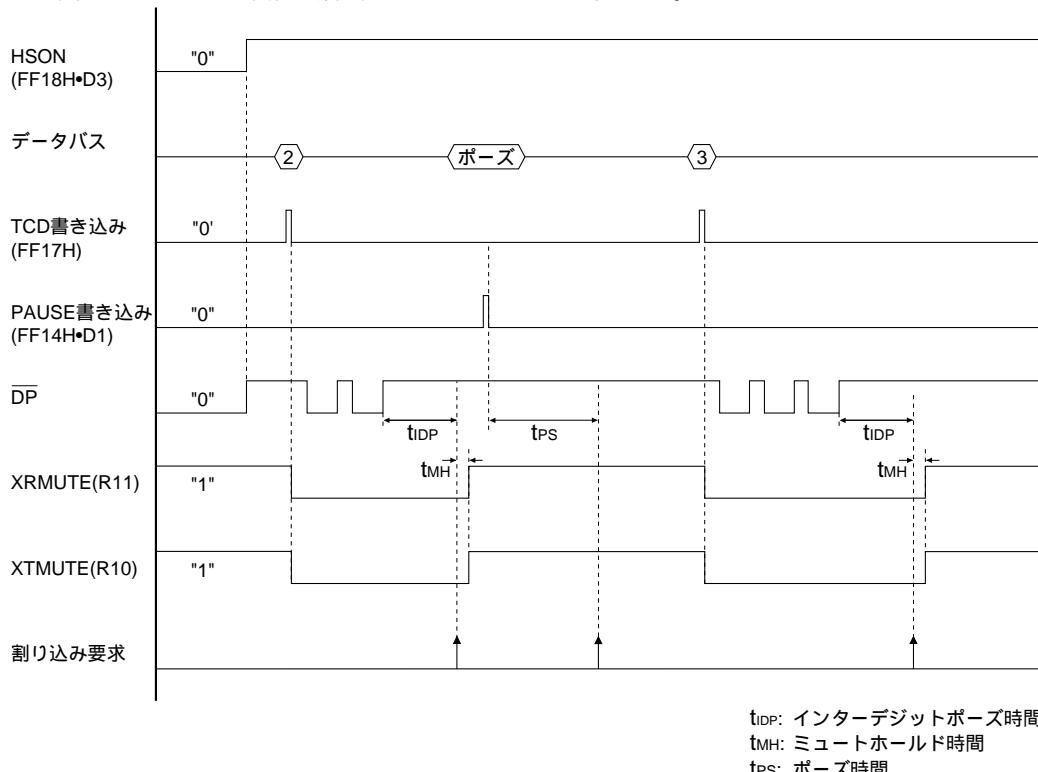


図4.14.6.1(a) ポーズ実行タイミングチャート(パルスモード)

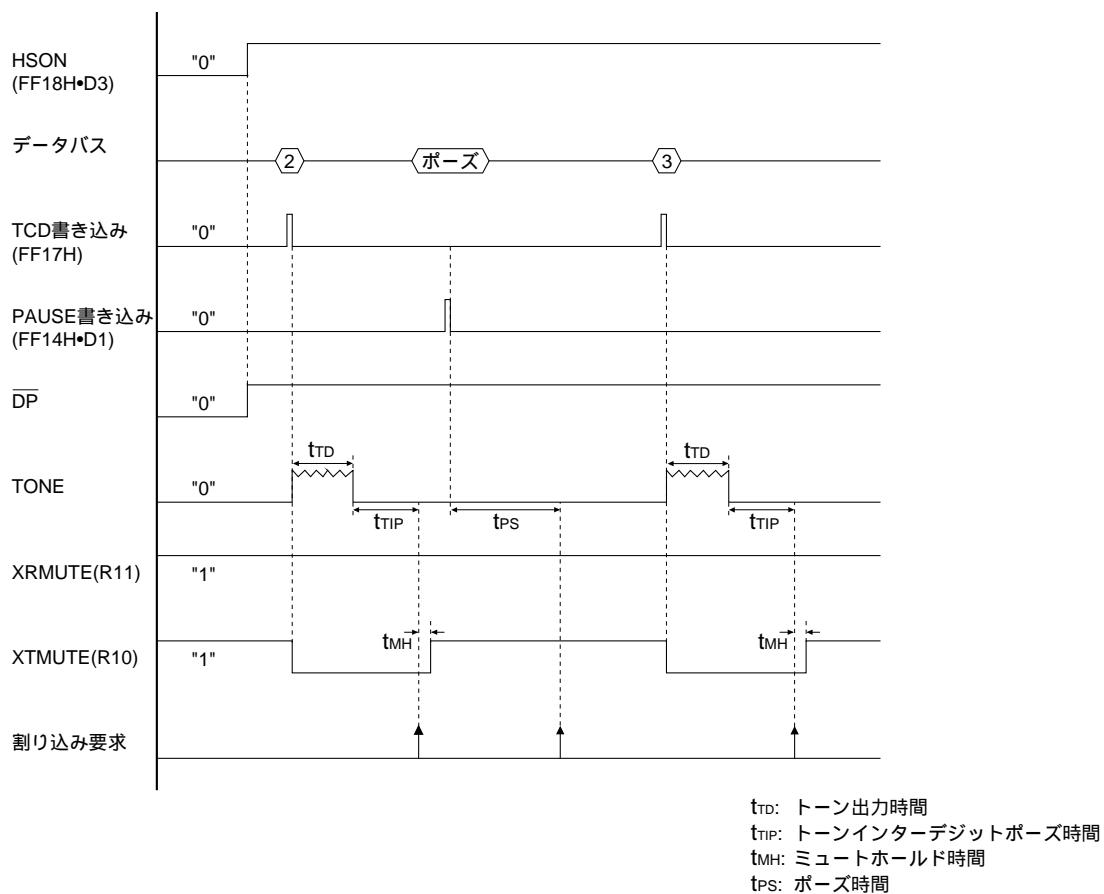


図4.14.6.1(b) ポーズ実行タイミングチャート(トーンモード)

PAUSEビットは書き込み専用で、ポーズ挿入のトリガとなります。このビットに"1"を書き込んだ時点からPTSレジスタで設定したポーズ時間経過後に割り込みが発生します。割り込みの発生によってPAUSEビットは自動的に"0"にリセットされますので、ポーズ実行開始時以外の制御は必要ありません。

ポーズ終了時もダイアル信号送信終了時と同系統の割り込みが発生しますので、割り込み要因フラグIDはポーズ実行前に必ずリセット("1"書き込み)しておいてください。

#### 4.14.7 フラッシュ

フラッシュはDP端子を指定の時間LOWレベルにして一時的にオンフック状態にする機能です。

フラッシュ時間はFTS3～FTS0レジスタ(FF12H)で設定しておきます。設定可能な時間は表4.14.7.1の通りです。

表4.14.7.1 フラッシュ時間の選択

FTS				フラッシュ時間 (msec)	FTS	フラッシュ時間 (msec)			
D3	D2	D1	D0		D3	D2	D1	D0	
0	0	0	0	使用禁止*	1	0	0	0	750
0	0	0	1	94	1	0	0	1	844
0	0	1	0	188	1	0	1	0	938
0	0	1	1	281	1	0	1	1	1031
0	1	0	0	375	1	1	0	0	1125
0	1	0	1	469	1	1	0	1	1219
0	1	1	0	563	1	1	1	0	1313
0	1	1	1	656	1	1	1	1	1406

\* FTSレジスタへの(0 0000B)書き込みは誤動作の原因になりますので禁止します。

イニシャルリセットによる初期設定は563msecです。

FTSレジスタへのデータ書き込みは、事前にフラッシュ時間を設定しておくためのもので、フラッシュの実行はFLASHピット(FF14H・D0)を"1"に設定した時点で開始します。

図4.14.7.1にフラッシュ機能実行時のタイミングチャートを示します。

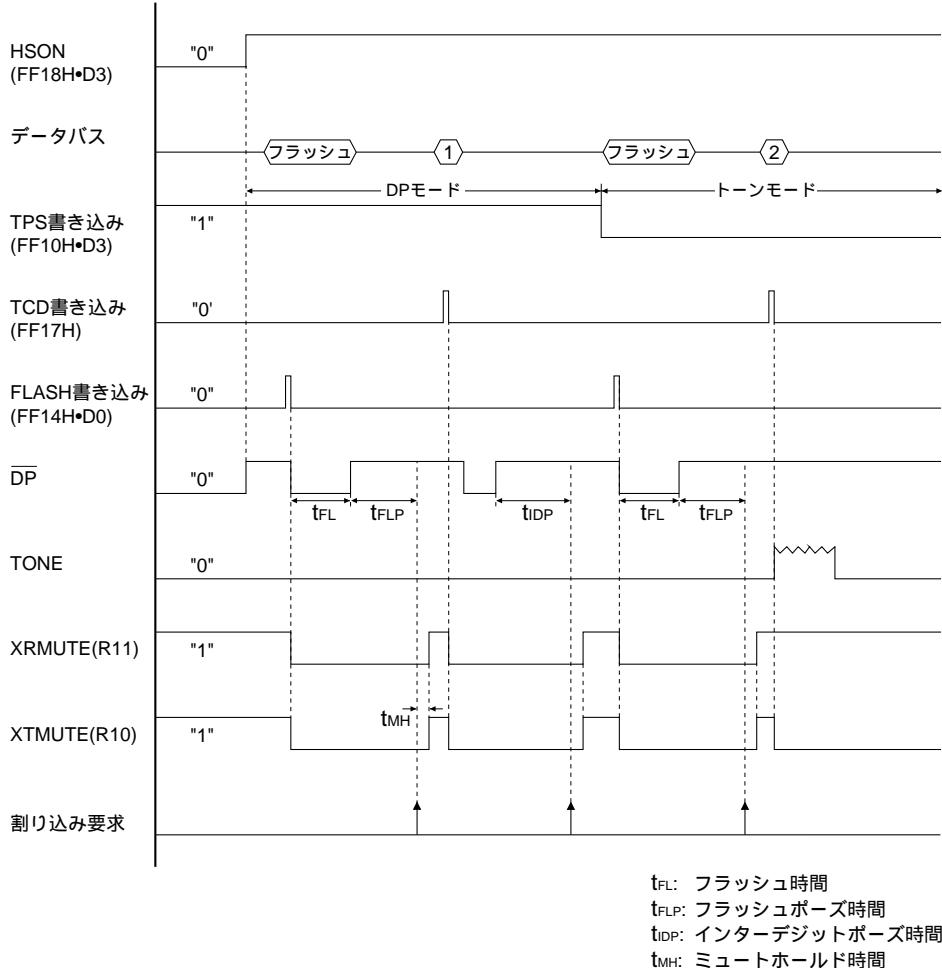


図4.14.7.1 フラッシュ実行タイミングチャート

FLASHビットは書き込み専用で、フラッシュ挿入のトリガとなります。このビットに"1"を書き込んだ時点からFTSレジスタで設定した時間が経過するまでDP端子がLOWレベルになります。その後DP端子はHIGHレベルに戻り、938msecのフラッシュポーズ時間経過後に割り込みが発生します。割り込みの発生によってFLASHビットは自動的に"0"にリセットされますので、フラッシュ実行開始時以外の制御は必要ありません。

フラッシュ終了時もダイアル信号送信終了時と同系統の割り込みが発生しますので、割り込み要因フラグIDはフラッシュ実行前に必ず読み出してリセットしておいてください。

#### 4.14.8 ホールドライン

ホールドラインは開いている回線をそのままに、XTMUTE信号をアクティブにする機能です。この機能のON/OFFはHOLDレジスタによって制御します。HOLDレジスタに"1"を書き込むことによりホールド状態となり、XTMUTE信号がLOWレベルになります。その後HOLDレジスタに"0"を書き込むとXTMUTE信号がHIGHレベルに戻ります。

また、ホールド状態を示すHDO信号をR12端子から出力する機能もあります。HDO信号を使用する場合は、CHDOレジスタ(FF13H・D2)に"1"を書き込みR12ポートをHDO出力に設定します。この設定後、R12端子からはHOLDレジスタの内容が出力されるようになります。

HDO出力を設定した場合は出力ポートデータレジスタR12は"1"に、ハイインピーダンス制御レジスタR12HIZは"0"に固定してください。R12レジスタに"0"を書き込むとHDO信号もLOWレベルになってしまいます。

図4.14.8.1にホールドライン機能実行時のタイミングチャートを示します。

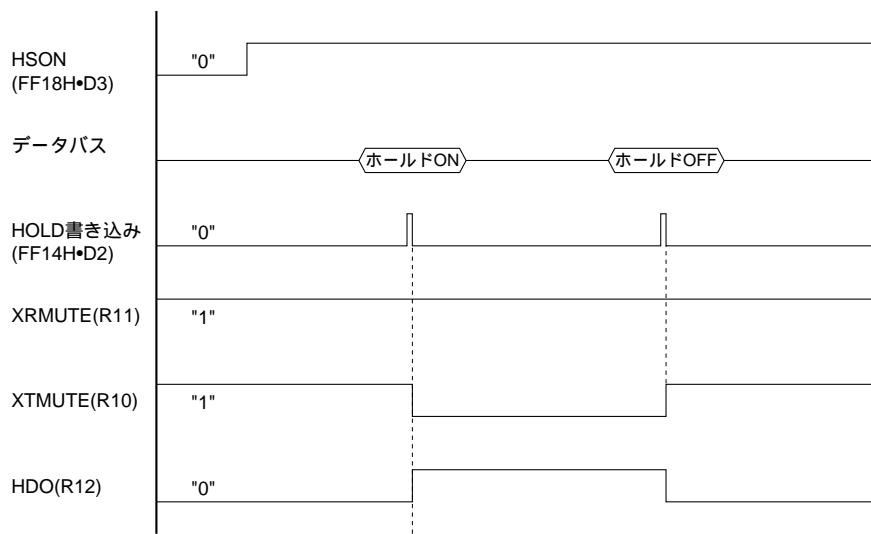


図4.14.8.1 ホールドライン実行タイミングチャート

#### 4.14.9 割り込み

本ダイアラには3種類の割り込みを発生する機能があります。

##### (1) ダイアル信号出力終了時

###### a. トーンモード

トーンモードではトーン信号出力(最低94msec、CTOレジスタにより延長可能)後、94msecのインターデジットポーズ時間経過後に割り込みが発生します。

タイミングチャートは図4.14.4.2を参照してください。

###### b. パルスモード

パルスモードではダイアルレパルス列出力後、IDPレジスタで設定したインターデジットポーズ時間経過後に割り込みが発生します。

タイミングチャートは図4.14.5.2を参照してください。

##### (2) ポーズ実行終了時

ポーズ機能実行時は、PAUSEビットに"1"書き込んだ時点からPTSレジスタで設定したポーズ時間(1~15秒)経過後に割り込みが発生します。

タイミングチャートは図4.14.6.1を参照してください。

##### (3) フラッシュ実行終了時

フラッシュ機能実行時は、FLASHビットに"1"書き込んだ時点からFTSレジスタで設定したフラッシュ時間(94~1,406msec)が経過し、さらに938msecのフラッシュポーズ時間経過後に割り込みが発生します。

タイミングチャートは図4.14.7.1を参照してください。

割り込み発生時は割り込み要因フラグID(FFF9H·D0)が"1"にセットされます。CPUに対する割り込みは割り込みマスクレジスタEID(FFE9H·D0)を"1"に設定してある場合に発生し、"0"の場合はマスクされます。なお、CPUに対する割り込みをマスクしている場合でも、割り込み要因フラグIDは上記動作終了時に"1"にセットされますので、IDのスキャンによって動作終了を確認できます。IDは"1"の書き込みによって"0"にリセットされます。割り込みが発生した場合は、次の割り込みに備えてIDをリセットしてください。

## 4.14.10 電話機能のI/Oメモリ

表4.14.10.1に電話機能の制御ビットとそのアドレスを示します。

表4.14.10.1(a) 電話機能の制御ビット

アドレス	レジスタ				Name	Init *1	注釈	
	D3	D2	D1	D0			1	0
FF00H	CLKCHG	OSCC	0	Dummy	CLKCHG	0	OSC3 On	CPUクロック切り換え OSC3発振On/Off 未使用 汎用レジスタ
					OSCC	0	Off	
	R/W	R	R/W		0 *3	- *2		
	TPS	0	MB	DRS	TPS	0	Pulse	Tone トーン/パルスモード選択 未使用
FF10H					TPS	- *2		
	R/W	R	R/W		MB	0	33.3:66.6	メイク率選択
					DRS	0	20pps	パルスレー選択
							10pps	
FF11H	PTS3	PTS2	PTS1	PTS0	PTS3	0		ボーズ時間選択(初期値:4sec)
					PTS2	1		[PTS3~0] 0 1 2 3 4 5 6 7
	R/W				PTS1	0		時間(sec) × 1 2 3 4 5 6 7
					PTS0	0		[PTS3~0] 8 9 10 11 12 13 14 15
FF12H	FTS3	FTS2	FTS1	FTS0	FTS3	0		フラッシュ時間選択(初期値:563ms)
					FTS2	1		[FTS3~0] 0 1 2 3 4 5 6 7
	R/W				FTS1	1		時間(ms) × 94 188 281 375 469 563 656
					FTS0	0		[FTS3~0] 8 9 10 11 12 13 14 15
FF13H	CHFO	CHDO	CRMO	CTMO	CHFO	0	HFO	R13出力選択(R13レジスタを"1"に固定)
					CHDO	0	HDO	R12出力選択(R12レジスタを"1"に固定)
	R/W				CRMO	0	XRMUTE	R11出力選択(R11レジスタを"1"に固定)
					CTMO	0	XTMUTE	R10出力選択(R10レジスタを"1"に固定)
FF14H	HF	HOLD	PAUSE	FLASH	HF	0	Yes	ハンドフリー
					HOLD	0	On	ホールドライン機能
	R/W		W		PAUSE	0	No	ボーズ機能
					FLASH	0	No	フラッシュ機能
FF15H	IDP3	IDP2	IDP1	IDP0	IDP3	1		インターデジットボーズ時間選択(初期値:750ms)
					IDP2	0		[IDP3~0] 0 1 2 3 4 5 6 7
	R/W				IDP1	0		時間(ms) × 94 188 281 375 469 563 656
					IDP0	0		[IDP3~0] 8 9 10 11 12 13 14 15
FF16H	CTO	0	SINR	SINC	CTO	0	On	連続トーン出力On/Off
					0 *3	- *2	Off	未使用
	R/W	R	R/W		SINR	1	Enable	DTMF ROW周波数出力イネーブル
					SINC	1	Enable	DTMF COL周波数出力イネーブル
FF17H	TCD3	TCD2	TCD1	TCD0	TCD3	0		ダイアル番号選択
					TCD2	0		[TCD3~0] 0 1 2 3 4 5 6 7
	R/W				TCD1	0		DTMF (R1C4)(R1C1)(R1C2)(R1C3)(R2C1)(R2C2)(R2C3)(R3C1)
					TCD0	0		DP × 1 2 3 4 5 6 7
FF18H	HSON	0	CRMUT	CTMUT	TCD3	0		[TCD3~0] 8 9 10 11 12 13 14 15
					CRMUT	1	Mute	DTMF (R3C2)(R3C3)(R4C2)(R4C3)(R4C1)(R2C4)(R4C4)(R3C4)
	R/W	R	R/W		CTMUT	1	Mute	DP 8 9 10 11 12 13 14 15

\*1 イニシャルリセット時の初期値

\*2 回路上設定されない

\*3 読み出し時は常時"0"

表4.14.10.1(b) 電話機能の制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注釈
	D3	D2	D1	D0					
FF32H	R13HIZ	R12HIZ	R11HIZ	R10HIZ	R13HIZ	0	Hi-Z	Output	R13 Hi-z制御( CHFO=0 ) HFO出力Hi-z制御( CHFO=1 )
					R12HIZ	0	Hi-Z	Output	R12 Hi-z制御( CHDO=0 ) HDO出力Hi-z制御( CHDO=1 )
	R/W				R11HIZ	0	Hi-Z	Output	R11 Hi-z制御( CRMO=0 ) XRMUTE出力Hi-z制御( CRMO=1 )
					R10HIZ	0	Hi-Z	Output	R10 Hi-z制御( CTMO=0 ) XTMUTE出力Hi-z制御( CTMO=1 )
FF33H	R13 (HFO)	R12 (HDO)	R11 (XRMUTE)	R10 (XTMUTE)	R13	1	High	Low	R13出力ポートデータ( CHFO=0 ) HFO出力時は1に固定
					R12	1	High	Low	R12出力ポートデータ( CHDO=0 ) HDO出力時は1に固定
	R/W				R11	1	High	Low	R11出力ポートデータ( CRMO=0 ) XRMUTE出力時は1に固定
					R10	1	High	Low	R10出力ポートデータ( CTMO=0 ) XTMUTE出力時は1に固定
FFE9H	0	0	0	EID	0 *3	- *2			未使用
					0 *3	- *2			未使用
	R/W				0 *3	- *2			未使用
					EID	0	Enable	Mask	割り込みマスクレジスタ( ダイアル )
FFF9H	0	0	0	ID	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
	R/W				0 *3	- *2	(W)	(W)	未使用
					ID	0	Reset	Invalid	割り込み要因フラグ( ダイアル )

\*1 イニシャルリセット時の初期値

\*2 回路上設定されない

\*3 読み出し時は常時"0"

R10HIZ ~ R13HIZ: R1ポートハイインピーダンス制御レジスタ( FF32H )  
出力ポートのハイインピーダンス制御を行います。

"1"書き込み: ハイインピーダンス

"0"書き込み: データ出力

読み出し: 可能

XTMUTE出力、XRMUTE出力、HDO出力、HFO出力を行う場合は、このレジスタを"0"に固定してください。R10HIZ、R11HIZ、R12HIZ、R13HIZはそれぞれXTMUTE出力、XRMUTE出力、HDO出力、HFO出力に対応します。

イニシャルリセット時、このレジスタは"0"に設定されます。

R10 ~ R13: R1出力ポートデータレジスタ( FF33H )  
各出力ポートの出力データを設定します。

"1"書き込み: 特殊出力可能

"0"書き込み: 設定禁止( LOWレベル出力 )

読み出し: 可能

XTMUTE出力、XRMUTE出力、HDO出力、HFO出力を行う場合は、このレジスタを"1"に固定してください。R10、R11、R12、R13はそれぞれXTMUTE出力、XRMUTE出力、HDO出力、HFO出力に対応します。  
イニシャルリセット時、このレジスタは"1"に設定されます。

CTMO: R10出力選択レジスタ( FF13H・D0 )  
R10端子の機能を選択します。

"1"書き込み: XTMUTE出力

"0"書き込み: 汎用DC出力

読み出し: 可能

R10端子をXTMUTE出力に使用する場合、R10レジスタを"1"、R10HIZレジスタを"0"に固定し、さらにこのレジスタに"1"を書き込みます。XTMUTE出力の制御はCTMUTレジスタ( FF18H・D0 )で行います。

イニシャルリセット時、このレジスタは"0"に設定されます。

**CRMO: R11出力選択レジスタ( FF13H·D1 )**

R11端子の機能を選択します。

- "1"書き込み: XRMUTE出力
- "0"書き込み: 汎用DC出力
- 読み出し: 可能

R11端子をXRMUTE出力に使用する場合、R11レジスタを"1"、R11HIZレジスタを"0"に固定し、さらにこのレジスタに"1"を書き込みます。XRMUTE出力の制御はCRMUTレジスタ( FF18H·D1 )で行います。  
イニシャルリセット時、このレジスタは"0"に設定されます。

**CHDO: R12出力選択レジスタ( FF13H·D2 )**

R12端子の機能を選択します。

- "1"書き込み: HDO出力
- "0"書き込み: 汎用DC出力
- 読み出し: 可能

R12端子をHDO出力に使用する場合、R12レジスタを"1"、R12HIZレジスタを"0"に固定し、さらにこのレジスタに"1"を書き込みます。HDO出力の制御はHOLDレジスタ( FF14H·D2 )で行います。  
イニシャルリセット時、このレジスタは"0"に設定されます。

**CHFO: R13出力選択レジスタ( FF13H·D3 )**

R13端子の機能を選択します。

- "1"書き込み: HFO出力
- "0"書き込み: 汎用DC出力
- 読み出し: 可能

R13端子をHFO出力に使用する場合、R13レジスタを"1"、R13HIZレジスタを"0"に固定し、さらにこのレジスタに"1"を書き込みます。HFO出力の制御はHFレジスタ( FF14H·D3 )で行います。  
イニシャルリセット時、このレジスタは"0"に設定されます。

**OSCC: OSC3発振制御( FF00H·D2 )**

OSC3発振回路の発振ON、OFFを制御します。

- "1"書き込み: OSC3発振ON
- "0"書き込み: OSC3発振OFF
- 読み出し: 可能

DTMFジェネレータを起動する場合、CPUを高速に動作させる必要のある場合にOSCCを"1"とし、それ以外の場合は、消費電流低減のため"0"としてください。  
イニシャルリセット時、このレジスタは"0"に設定されます。

**TPS: トーン//パルスモード選択( FF10H·D3 )**

ダイアルモードを選択します。

- "1"書き込み: パルスモード
- "0"書き込み: トーンモード
- 読み出し: 可能

TPSレジスタに"1"を書き込むことにより、ダイアルパルスを出力するパルスモードに設定されます。"0"を書き込んだ場合は、トーン信号を出力するトーンモードに設定されます。

イニシャルリセット時、このレジスタは"0"に設定されます。

**MB: メイク率選択( FF10H·D1 )**  
パルスモード時のメイク率を選択します。

"1"書き込み: 33.3 : 66.6  
"0"書き込み: 40.0 : 60.0  
読み出し: 可能

DPジェネレータが発生するダイアルパルスのメイク率(メイク:ブレークの比率)を設定します。MBレジスタに"1"を書き込むことにより33.3 : 66.6に、"0"を書き込んだ場合は40.0 : 60.0に設定されます。ダイアルパルスはメイク期間(パルスのHIGH期間)ブレーク期間(パルスのLOW期間)の順に発生されます。  
この選択はパルスモード時のみ有効です。

イニシャルリセット時、このレジスタは"0"に設定されます。

**DRS: パルスレート選択( FF10H·D0 )**  
パルスモード時のパルスレートを選択します。

"1"書き込み: 20pps  
"0"書き込み: 10pps (pps = pulse per second)  
読み出し: 可能

DPジェネレータが発生するダイアルパルスのパルスレート(1秒あたりのパルス数)を設定します。DRSレジスタに"1"を書き込むことにより20ppsに、"0"を書き込んだ場合は10ppsに設定されます。  
この選択はパルスモード時のみ有効です。

イニシャルリセット時、このレジスタは"0"に設定されます。

**PTS0 ~ PTS3: ポーズ時間選択( FF11H )**

表4.14.10.2に示す15種類の中からポーズ時間を選択します。

表4.14.10.2 ポーズ時間の選択

PTS				ポーズ時間 (sec)	PTS	ポーズ時間 (sec)			
D3	D2	D1	D0		D3	D2	D1	D0	
0	0	0	0	使用禁止 *	1	0	0	0	8
0	0	0	1	1	1	0	0	1	9
0	0	1	0	2	1	0	1	0	10
0	0	1	1	3	1	0	1	1	11
0	1	0	0	4	1	1	0	0	12
0	1	0	1	5	1	1	0	1	13
0	1	1	0	6	1	1	1	0	14
0	1	1	1	7	1	1	1	1	15

\* PTSレジスタへの(0000B)書き込みは誤動作の原因になりますので禁止します。

ここで選択したポーズ時間はPAUSE(FF14H·D1)に"1"を書き込んだ場合に挿入されます。

イニシャルリセット時、このレジスタは"0100B"(4秒)に設定されます。

**FTS0 ~ FTS3: フラッシュ時間選択( FF12H )**

表4.14.10.3に示す15種類の中からフラッシュ時間を選択します。

表4.14.10.3 フラッシュ時間の選択

FTS				フラッシュ時間 (msec)	FTS	フラッシュ時間 (msec)			
D3	D2	D1	D0		D3	D2	D1	D0	
0	0	0	0	使用禁止 *	1	0	0	0	750
0	0	0	1	94	1	0	0	1	844
0	0	1	0	188	1	0	1	0	938
0	0	1	1	281	1	0	1	1	1031
0	1	0	0	375	1	1	0	0	1125
0	1	0	1	469	1	1	0	1	1219
0	1	1	0	563	1	1	1	0	1313
0	1	1	1	656	1	1	1	1	1406

\* FTSレジスタへの(0000B)書き込みは誤動作の原因になりますので禁止します。

ここで選択したフラッシュ時間はFLASH(FF14H·D0)に"1"を書き込んだ場合に挿入されます。

イニシャルリセット時、このレジスタは"0110B"(563msec)に設定されます。

**HOLD: ホールドライン機能( FF14H·D2 )**

ホールドライン機能とHDO信号出力を制御します。

"1"書き込み: HDO出力ON( R12端子からHIGHレベル出力 )

"0"書き込み: HDO出力OFF( R12端子からLOWレベル出力 )

読み出し: 可能

HDO出力を選択した場合、このレジスタの設定によりR12端子からのHDO信号出力を制御します。HDO出力機能はCHDOレジスタ( FF13H·D2 )に"1"を書き込むことにより設定されます。この場合、R12レジスタは"1"に、R12HIZレジスタは"0"に固定します。

HOLDに"1"を書き込むことによりXTMUTE( R10 )端子がLOW( V<sub>ss</sub> )レベルに、HDO( R12 )端子がHIGH( V<sub>DD</sub> )レベルになります。"0"を書き込むとXTMUTE( R10 )端子がHIGH( V<sub>DD</sub> )レベルに、HDO( R12 )端子がLOW( V<sub>ss</sub> )レベルになります。

イニシャルリセット時、このレジスタは"0"に設定されます。

**PAUSE: ポーズ機能( FF14H·D1 )**

ポーズ機能を実行します。

"1"書き込み: ポーズ機能実行

"0"書き込み: ポーズ機能キャンセル

読み出し: 常時"0"

PAUSEに"1"を書き込むことによりポーズ機能を実行します。これによりPTSレジスタで設定されているポーズ時間がDP端子の出力信号上に挿入され、その時間経過後に割り込みが発生します。割り込み発生時、PAUSEビットは自動的に"0"にリセットされます。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

**FLASH: フラッシュ機能( FF14H·D0 )**

フラッシュ機能を実行します。

"1"書き込み: フラッシュ機能実行

"0"書き込み: フラッシュ機能キャンセル

読み出し: 常時"0"

FLASHに"1"を書き込むことによりフラッシュ機能を実行します。これによりFTSレジスタで設定されているフラッシュ時間、DP端子、XRMUTE( R11 )端子およびXTMUTE( R10 )端子がLOW( V<sub>ss</sub> )レベルとなり、その後時間経過後に割り込みが発生します。割り込み発生時、FLASHビットは自動的に"0"にリセットされます。このビットは書き込み専用のため、読み出し時は常時"0"となります。

**HF: ハンドフリー( FF14H·D3 )**

ハンドフリー機能とHFO信号出力を制御します。

"1"書き込み: HFO出力ON( R13端子からHIGHレベル出力 )

"0"書き込み: HFO出力OFF( R13端子からLOWレベル出力 )

読み出し: 可能

HFO出力を選択した場合、このレジスタの設定によりR13端子からのHFO信号出力を制御します。HFO出力機能はCHFOレジスタ( FF13H·D3 )に"1"を書き込むことにより設定されます。この場合、R13レジスタは"1"に、R13HIZレジスタは"0"に固定します。

HFに"1"を書き込むことにより、HFO( R13 )端子がHIGH( V<sub>DD</sub> )レベルになります。"0"を書き込むとHFO( R13 )端子がLOW( V<sub>ss</sub> )レベルになります。

イニシャルリセット時、このレジスタは"0"に設定されます。

## IDP0 ~ IDP3: インターデジットポーズ時間選択( FF15H )

パルスモード時のインターデジットポーズ時間は表4.14.10.4に示す15種類の中から選択します。

表4.14.10.4 インターデジットポーズ時間の選択

IDP				インターデジット ポーズ時間 (msec)	IDP				インターデジット ポーズ時間 (msec)
D3	D2	D1	D0		D3	D2	D1	D0	
0	0	0	0	使用禁止 *	1	0	0	0	750
0	0	0	1	94	1	0	0	1	844
0	0	1	0	188	1	0	1	0	938
0	0	1	1	281	1	0	1	1	1031
0	1	0	0	375	1	1	0	0	1125
0	1	0	1	469	1	1	0	1	1219
0	1	1	0	563	1	1	1	0	1313
0	1	1	1	656	1	1	1	1	1406

\* IDPレジスタへの( 0000B )書き込みは誤動作の原因になりますので禁止します。

ここで選択したインターデジットポーズ時間が各桁のダイアルパルス列の直後に挿入されます。  
この選択はパルスモード時のみ有効です。

イニシャルリセット時、このレジスタは"1000B"( 750msec )に設定されます。

## SINR: DTMF ROW周波数出力イネーブル( FF16H·D1 )

トーン信号のROW周波数出力をイネーブル( 出力 )ディセーブル( 禁止 )に設定します。

"1"書き込み: イネーブル

"0"書き込み: ディセーブル

読み出し: 可能

SINCレジスタと共にトーン出力モードを設定します。デュアルトーン出力またはROW周波数のシングルトーン出力をを行う場合に"1"を書き込みます。

イニシャルリセット時、このレジスタは"1"に設定されます。

## SINC: DTMF COL周波数出力イネーブル( FF16H·D0 )

トーン信号のCOL周波数出力をイネーブル( 出力 )ディセーブル( 禁止 )に設定します。

"1"書き込み: イネーブル

"0"書き込み: ディセーブル

読み出し: 可能

SINRレジスタと共にトーン出力モードを設定します。デュアルトーン出力またはCOL周波数のシングルトーン出力をを行う場合に"1"を書き込みます。

イニシャルリセット時、このレジスタは"1"に設定されます。

SINRおよびSINCレジスタの組み合わせによる選択内容を表4.14.10.5に示します。

表4.14.10.5 トーン出力の選択

制御レジスタ		トーン出力
SINR	SINC	
0	0	DCレベル: 1/2 (VDD ~ Vss)
0	1	COL周波数
1	0	ROW周波数
1	1	デュアルトーン出力

ここでシングルトーン出力を選択した場合、TCDレジスタ(FF17H)で選択される周波数は表4.14.10.6(a)(b)のようになります。

表4.14.10.6(a) シングルトーン周波数の選択内容(COL周波数、SINR="0"、SINC="1")

TCDコード				COL周波数 (Hz)	TCDコード				COL周波数 (Hz)
D3	D2	D1	D0		D3	D2	D1	D0	
0	0	0	0	COL4: 1645.01	1	0	0	0	COL2: 1331.68
0	0	0	1	COL1: 1215.88	1	0	0	1	COL3: 1471.85
0	0	1	0	COL2: 1331.68	1	0	1	0	COL2: 1331.68
0	0	1	1	COL3: 1471.85	1	0	1	1	COL3: 1471.85
0	1	0	0	COL1: 1215.88	1	1	0	0	COL1: 1215.88
0	1	0	1	COL2: 1331.68	1	1	0	1	COL4: 1645.01
0	1	1	0	COL3: 1471.85	1	1	1	0	COL4: 1645.01
0	1	1	1	COL1: 1215.88	1	1	1	1	COL4: 1645.01

表4.14.10.6(b) シングルトーン周波数の選択内容(ROW周波数、SINR="1"、SINC="0")

TCDコード				ROW周波数 (Hz)	TCDコード				ROW周波数 (Hz)
D3	D2	D1	D0		D3	D2	D1	D0	
0	0	0	0	ROW1: 701.32	1	0	0	0	ROW3: 857.17
0	0	0	1	ROW1: 701.32	1	0	0	1	ROW3: 857.17
0	0	1	0	ROW1: 701.32	1	0	1	0	ROW4: 935.10
0	0	1	1	ROW1: 701.32	1	0	1	1	ROW4: 935.10
0	1	0	0	ROW2: 771.45	1	1	0	0	ROW4: 935.10
0	1	0	1	ROW2: 771.45	1	1	0	1	ROW2: 771.45
0	1	1	0	ROW2: 771.45	1	1	1	0	ROW4: 935.10
0	1	1	1	ROW3: 857.17	1	1	1	1	ROW3: 857.17

#### TCD0 ~ TCD3: ダイアル番号選択(FF17H)

このレジスタにコードを書き込むことにより、それに対応したダイアルパルス列(パルスモード)またはトーン信号(トーンモード)の出力を開始します。出力後は割り込みを発生します。

イニシャルリセット時、このレジスタは"0000B"に設定されます。

TCDレジスタの設定内容を、パルスモード( TPS = "1" )トーンモード( TPS = "0" )それぞれの場合について以下に示します。

#### (1)パルスモード

発信するダイアル番号(1~9,0)のデータをTCDレジスタに書き込みます。書き込みデータとパルス数の対応は表4.14.10.7のとおりです。

表4.14.10.7 パルス数の選択

TCDコード				パルス数	TCDコード				パルス数
D3	D2	D1	D0		D3	D2	D1	D0	
0	0	0	0	使用禁止*	1	0	0	0	8
0	0	0	1	1	1	0	0	1	9
0	0	1	0	2	1	0	1	0	10
0	0	1	1	3	1	0	1	1	11
0	1	0	0	4	1	1	0	0	12
0	1	0	1	5	1	1	0	1	13
0	1	1	0	6	1	1	1	0	14
0	1	1	1	7	1	1	1	1	15

\* TCDレジスタへの0000B書き込みは誤動作の原因になりますので禁止します。

ダイアル番号"1"~"9"については、番号がそのままパルス数となります。ダイアル番号"0"は10個のパルス列となりますのでTCDレジスタには1010Bを書き込みます。

## (2)トーンモード

発信するプッシュボタン(ROW/COL)のデータをTCDレジスタ(FF17H)に書き込みます。書き込みデータと選択されるトーン周波数(ROW/COL)は表4.14.10.8のとおりです。

表4.14.10.8 トーン周波数の選択

TCDコード				トーン周波数	キー シンボル	TCDコード				トーン周波数	キー シンボル
D3	D2	D1	D0			D3	D2	D1	D0		
0	0	0	0	(ROW1, COL4)	"A"	1	0	0	0	(ROW3, COL2)	"8"
0	0	0	1	(ROW1, COL1)	"1"	1	0	0	1	(ROW3, COL3)	"9"
0	0	1	0	(ROW1, COL2)	"2"	1	0	1	0	(ROW4, COL2)	"0"
0	0	1	1	(ROW1, COL3)	"3"	1	0	1	1	(ROW4, COL3)	"#"
0	1	0	0	(ROW2, COL1)	"4"	1	1	0	0	(ROW4, COL1)	"*"
0	1	0	1	(ROW2, COL2)	"5"	1	1	0	1	(ROW2, COL4)	"B"
0	1	1	0	(ROW2, COL3)	"6"	1	1	1	0	(ROW4, COL4)	"D"
0	1	1	1	(ROW3, COL1)	"7"	1	1	1	1	(ROW3, COL4)	"C"

このレジスタへのデータ書き込みがトリガとなりトーン出力を開始します。シングルトーン出力を選択している場合は、書き込みデータに対応するROWまたはCOLどちらか一方の周波数のみがトーン信号として出力されます。デュアルトーン出力を選択している場合は書き込みデータに対応するROW、COLの2つの周波数が合成されて出力されます。

CRMUT: レシーバミュート制御( FF18H・D1 )

レシーバミュートを制御します。

"1"書き込み: レシーバミュート出力

"0"書き込み: XRMUTE( R11 )端子をLOWレベルに固定

読み出し: 可能

CRMUTレジスタに"0"を書き込むとXRMUTE( R11 )端子がLOW( Vss )レベルに固定され、常にレシーバミュートがかかった状態になります。

"1"が書き込まれていると、XRMUTE( R11 )端子の出力はハードウェアで制御され、ダイアルパルス出力時、フラッシュ機能実行時に自動的にLOW( Vss )となります。

イニシャルリセット時、このレジスタは"1"に設定されます。

CTMUT: トランスマッタミュート制御( FF18H・D0 )

トランスマッタミュートを制御します。

"1"書き込み: トランスマッタミュート出力

"0"書き込み: XTMUTE( R10 )端子をLOWレベルに固定

読み出し: 可能

CTMUTレジスタに"0"を書き込むとXTMUTE( R10 )端子がLOW( Vss )レベルに固定され、常にトランスマッタミュートがかかった状態になります。

"1"が書き込まれていると、XTMUTE( R10 )端子の出力はハードウェアで制御され、ダイアルパルス出力時、トーン出力時、フラッシュ機能実行時、ホールドライン機能実行時に自動的にLOW( Vss )となります。イニシャルリセット時、このレジスタは"1"に設定されます。

HSON: フックスイッチON/OFF( FF18H・D0 )

フックスイッチのON/OFFを制御します。

"1"書き込み: オフフック

"0"書き込み: オンフック

読み出し: 可能

HSONレジスタに"1"を書き込むことによりオフフック(受話器を上げた)状態となり、DP端子がHIGH( VDD )レベルになります。

イニシャルリセット時、このレジスタは"0"に設定されます。

**CTO:トーン信号連続出力選択( FF16H·D3 )**

トーン出力時間を制御します。

- "1"書き込み: 連続
- "0"書き込み: 非連続
- 読み出し: 可能

トーン信号出力前に、CTOレジスタに"1"を書き込んでおくことによりトーン信号出力がCTOレジスタを"0"に戻すまで連続して行われます。ただし、最小出力時間は94msecとなっており、この時間経過前にCTOレジスタに"0"を書き込んでも94msecが経過するまでトーン信号出力が行われます。

CTOレジスタが"0"の状態でのトーン信号出力時間は94msecに固定されます。

この設定はトーンモード時のみ有効です。

イニシャルリセット時、このレジスタは"0"に設定されます。

**EID: 割り込みマスクレジスタ( FFE9H·D0 )**

ダイアル割り込みのマスクを設定します。

- "1"書き込み: イネーブル
- "0"書き込み: マスク
- 読み出し: 可能

EIDはダイアル割り込み要因に対応する割り込みマスクレジスタで、"1"に設定すると割り込みが許可され、"0"に設定すると割り込みが禁止されます。

イニシャルリセット時、このレジスタは"0"に設定されます。

**ID: 割り込み要因フラグ( FFF9H·D0 )**

ダイアル割り込みの発生状態を示すフラグです。

- "1"読み出し: 割り込み有
- "0"読み出し: 割り込み無
- "1"書き込み: 要因フラグをリセット
- "0"書き込み: 無効

割り込み要因フラグIDはダイアル割り込み(ダイアル信号出力終了時、ポーズ実行終了時、フラッシュ実行終了時)の発生により"1"にセットされます。

このとき、対応する割り込みマスクレジスタが"1"で、かつCPUが割り込み許可( Iフラグ="1" )に設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットが必要です。割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、このフラグは"0"にリセットされます。

#### 4.14.11 プログラミング上の注意事項

- ( 1 )トーンモードはOSC3( 3.58MHz )クロックを使用するため、ダイアル前にOSC3発振をONしておく必要があります。これにより消費電流が増加しますのでトーンモードでのダイアル時以外はOSC3発振をOFFにしてください。
- ( 2 )IDPレジスタ、FTSレジスタ、PTSレジスタおよびパルスモードでのTCDレジスタへの"0H"書き込みは、誤動作の原因になりますので禁止します。
- ( 3 )ポーズ機能を制御するPAUSE( FF14H·D1 )およびフラッシュ機能を制御するFLASH( FF14H·D0 )は書き込み専用です。したがって、これらの制御に( アドレスFF14H)に対して演算命令( AND、OR... )を使用することはできません。また、PAUSE( FF14H·D1 ) FLASH( FF14H·D0 )へ"0"を書き込むと、ポーズ機能、フラッシュ機能がキャンセルされますので注意が必要です。
- ( 4 )割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可( フラグ="1" )に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット( "1"書き込み )を行ってください。

## 4.15 FSK復調回路

### 4.15.1 FSK復調回路の構成

S1C63558は、発信者番号通知など、各種発信者情報サービスのインターフェースを行うためのFSK(Frequency Shift Keying)復調回路を内蔵しています(ITU-T V.23/Bell 202準拠)。

図4.15.1.1にFSK復調回路のブロック図を、図4.15.1.2にFSKコアの構造を示します。

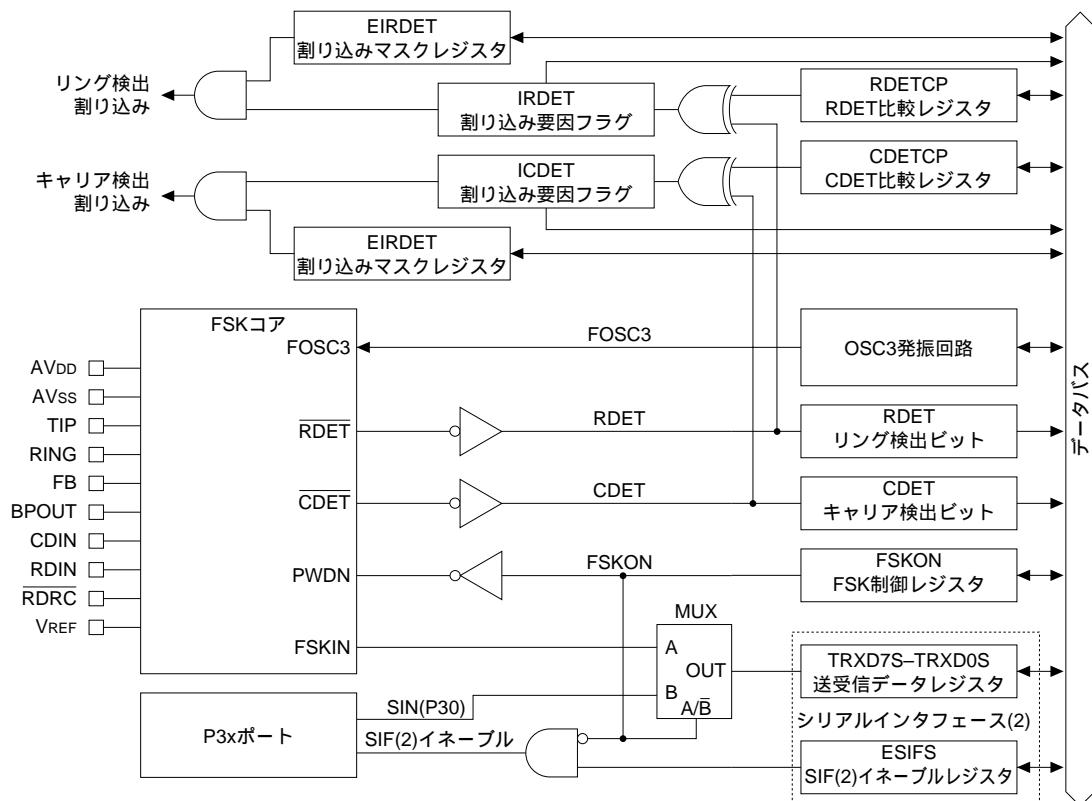


図4.15.1.1 FSK復調回路ブロック図

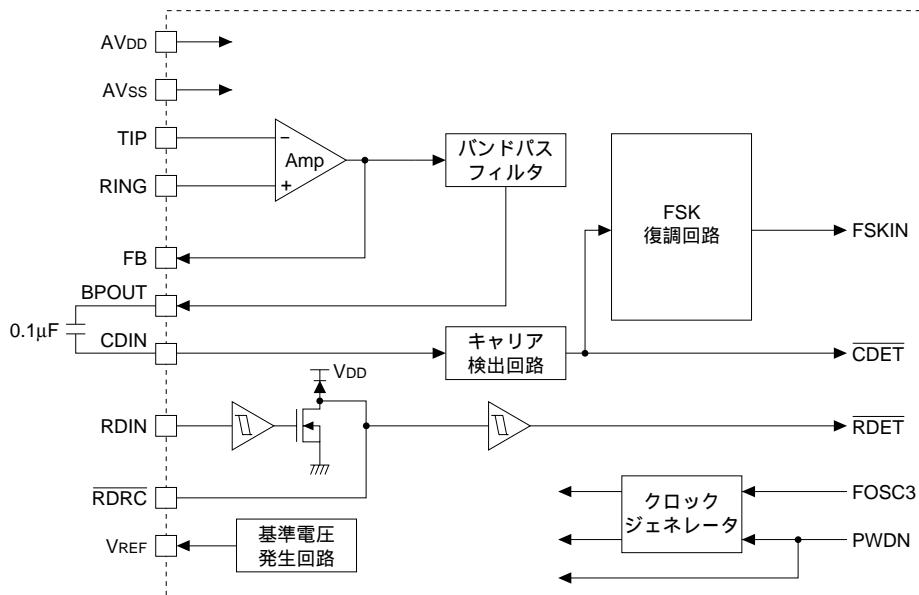


図4.15.1.2 FSKコアの構造

FSK復調回路の外部端子を以下に示します。

AVDD, AVss	FSKブロックの電源端子です。それぞれ、AVDD = VDD, AVss = Vssとして電源を供給してください。
TIP	入力アンプの反転入力端子です。
RING	入力アンプの非反転入力端子です。
FB	入力アンプのフィードバック用出力端子です。
BPOUT	バンドパスフィルタの出力端子です。
CDIN	キャリア信号検出用の入力端子です。
RDIN	リング信号検出用の入力端子です。
RDRC	RCネットワーク接続用入出力端子です。
VREF	基準電圧(1/2VDD)出力端子です。

基本的な外部結線図を図4.15.1.3に示します。

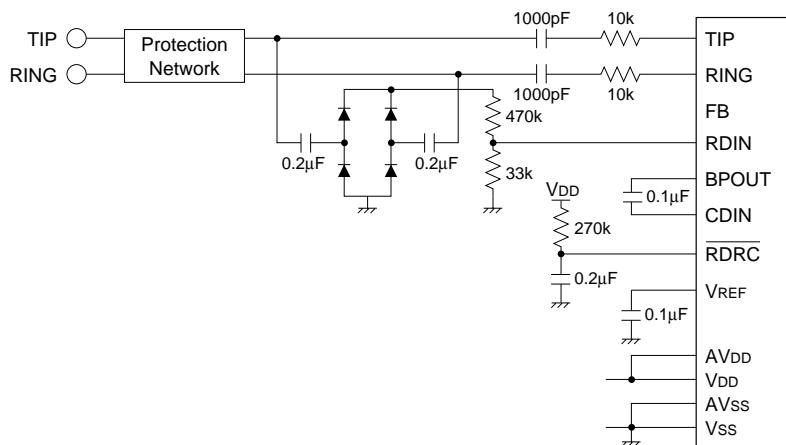


図4.15.1.3 基本外部結線図(Bellcoreの例)

#### 4.15.2 マスクオプション

図4.15.1.2に示した入力アンプ(Amp)は、内部帰還抵抗を使用した場合、利得=1(0dB)に固定されます。この内部帰還抵抗を使用するかしないかについては、マスクオプションで選択できます。

"使用する"を選択した場合

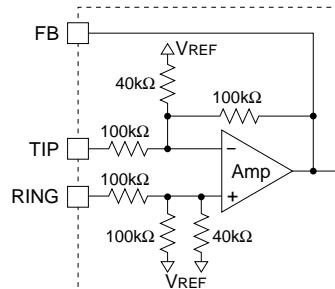


図4.15.2.1 内部帰還抵抗を使用する場合

利得は1(0dB)に固定されます。FB端子は開放としてください。

"使用しない"を選択した場合(ディファレンシャル入力の例)

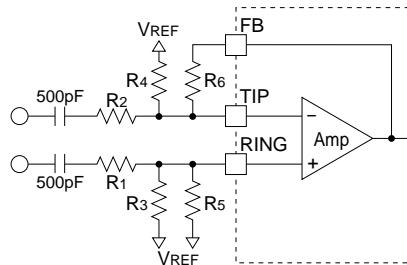


図4.15.2.2 内部帰還抵抗を使用しない場合(ディファレンシャル入力の例)

アンプの利得を外付け抵抗で変更することが可能となります。

R<sub>1</sub>, R<sub>2</sub>, R<sub>5</sub>, R<sub>6</sub>に500kΩ、またR<sub>3</sub>, R<sub>4</sub>に200kΩ程度の抵抗を使用することを推奨します。  
利得は次の式で求められます。

$$G_{Amp} = \frac{R_5}{R_1} = \frac{R_6}{R_2} \quad (R_1 = R_2, R_3 = R_4, R_5 = R_6 の場合 )$$

"使用しない"を選択した場合(シングルエンド入力の例)

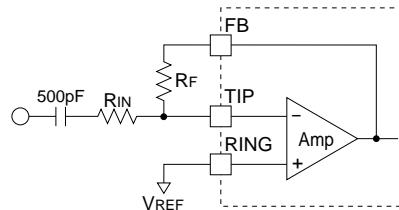


図4.15.2.3 内部帰還抵抗を使用しない場合(シングルエンド入力の例)

アンプの利得を外付け抵抗で変更することが可能となります。

R<sub>IN</sub>, R<sub>F</sub>に500kΩ程度の抵抗を使用することを推奨します。

利得は次の式で求められます。

$$G_{Amp} = \frac{R_F}{R_{IN}}$$

#### 4.15.3 リング/キャリア検出と割り込み

FSKブロックにはリング検出回路とキャリア検出回路が内蔵されています。

リング信号が入力されると、リング検出回路はその入力期間中RDETビット( FF66H·D1 )を"1"にセットします。

同様に、キャリア検出回路は、キャリアが入力されるとCDETビット( FF66H·D0 )を"1"にセットします。

また、これらの検出信号により割り込みを発生させることができます。割り込みタイミングはRDET比較レジスタRDET<sub>C</sub>( FF67H·D1 ) CDET比較レジスタCDET<sub>C</sub>( FF67H·D0 )により、RDET、CDETの立ち上がりエッジまたは立ち下がりエッジで発生するように選択可能です。

これらのレジスタを"0"に設定しておくと、割り込みは立ち上がりエッジで、"1"を設定しておくと立ち下がりエッジで発生します。

割り込み発生条件が成立すると、対応する割り込み要因フラグ( リング検出割り込み=IRDET、キャリア検出割り込み=ICDET )が"1"にセットされます。このとき、対応する割り込みマスクレジスタ リング検出割り込み=EIRDET、キャリア検出割り込み=EICDET)が"1"に設定されていれば、CPUに対し割り込み要求が発生します。割り込みマスクレジスタが"0"の場合、割り込みはマスクされます。ただし、この場合でも割り込み要因フラグは割り込み発生条件の成立により"1"にセットされます。

図4.15.3.1に検出ビットと比較レジスタの関係を示します。

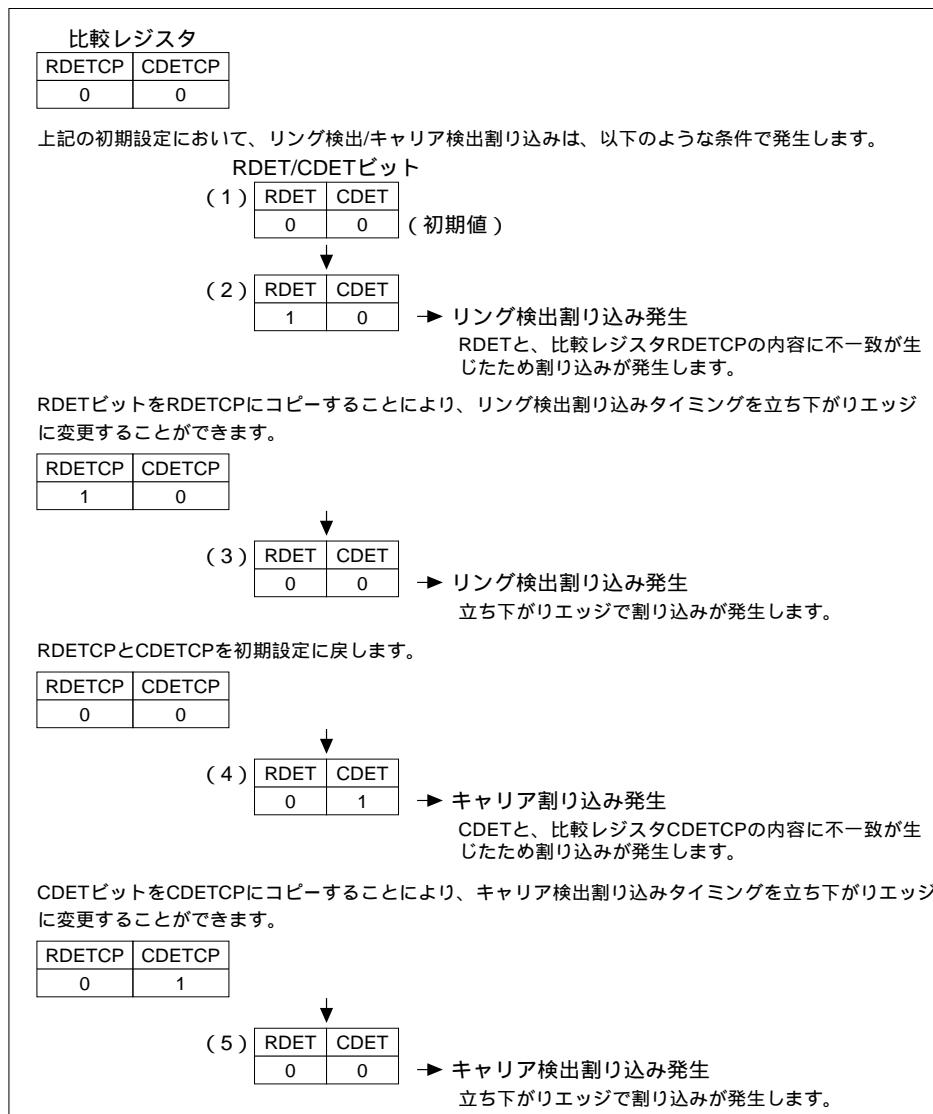


図4.15.3.1 検出ビットと比較レジスタの関係

図4.15.3.1の(1)の時点では、RDETおよびCDETの値が共に比較レジスタと同じため、割り込みは発生しません。リングが入力されると、(2)のようにRDETが"0"から"1"になりRDETCPとの不一致が発生するため、リング検出割り込みが発生します。リング終了時に割り込みを発生させるには、RDETCPに"1"を書き込みます。RDETビットをRDETCPにコピーすることで、RDETが現在の状況から変化した時点で割り込みを発生させることができます。図4.15.3.1では(2)の直後にRDETビットがRDETCPにコピーされていますので、(3)でRDETが"1"から"0"に戻ると、その時点でも割り込みが発生します。

キャリア検出割り込みもリング検出割り込みと同様で、(4)(5)でCDETとCDETCPに不一致が発生するため、キャリア検出割り込みが発生します。

図4.15.3.2に割り込み発生のタイミングチャート(Bellcoreの例)を示します。

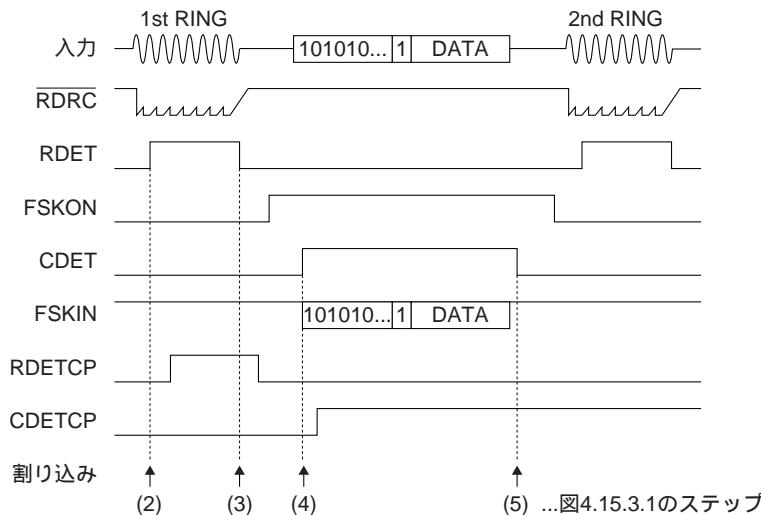


図4.15.3.2 割り込み発生のタイミングチャート(Bellcoreの例)

#### 4.15.4 FSK復調データの入力

FSK復調回路はFSKON(FF66H·D3)に"1"を書き込むことにより動作します。通常は消費電流を抑えるため"0"に設定し、必要なときのみ動作させてください。

なお、FSK復調回路を動作させる前に、以下の設定が必要です。

##### (1)シリアルインタフェース(2)の設定

復調したデータはシリアルインタフェース(2)のデータレジスタに取り込まれます。

このため、FSKデータ受信前に転送条件(転送レート、ビット長、パリティ有無等)を設定しておくことが必要です。

なお、FSK復調回路をON(FSKON = "1")にすると、シリアルインタフェース(2)への入力がP30からFSK復調回路の出力に切り換わります。FSKONが"1"の間はP30を含め、シリアルインタフェース(2)用の入出力端子(P30～P33)はすべて汎用の入出力兼用ポート端子として機能します。

シリアルインタフェース(2)の制御については、"4.11 シリアルインタフェース"を参照してください。

##### (2)OSC3発振回路の制御

FSK復調回路は動作クロックとしてOSC3クロックを使用します。したがって、OSC3発振回路をONし、CPU動作クロックをOSC3に切り換えておく必要があります。

OSC3発振回路は、発振をONさせてから発振が安定するまでに最大5msecの時間を要します。この間はFSK復調回路をONさせないでください。

OSC3発振回路の制御については、"4.3 発振回路"を参照してください。

データの入力手順(Bellcoreの例)を以下に示します。

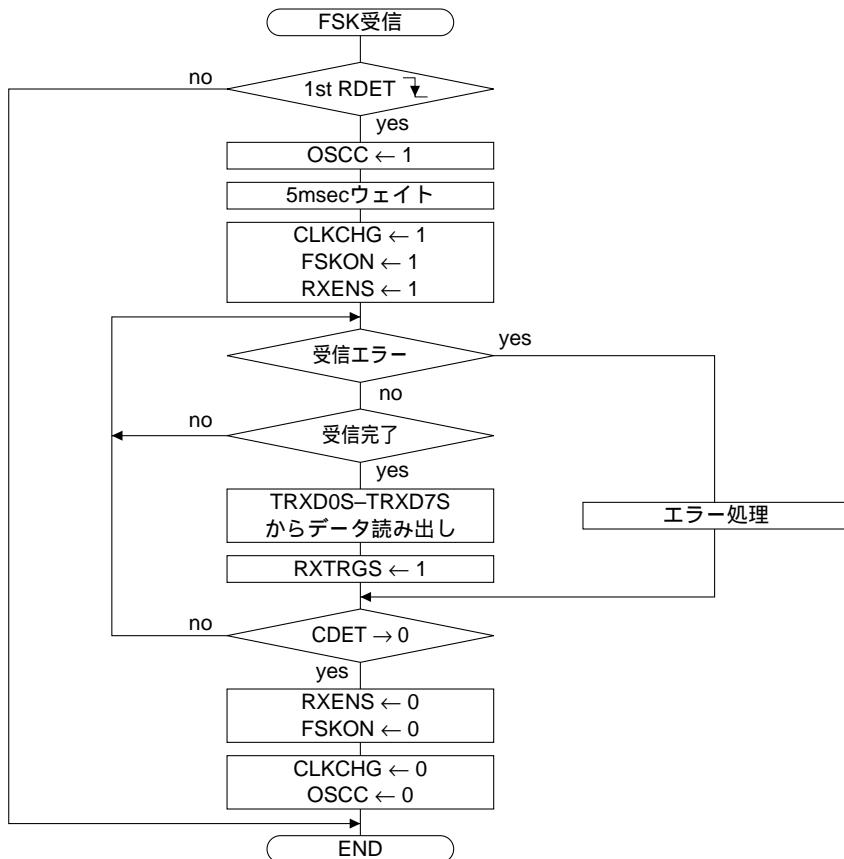


図4.15.4.1 データ入力フロー( Bellcoreの例 )

- 最初のリング入力の立ち下がりエッジ( RDET = "0" )を検出します。これには、リング検出割り込みが利用できます。
- OSCCに"1"を書き込み、OSC3発振回路をONさせます。
- OSC3発振開始から5msec以上経過後、CLKCHGに"1"を書き込んでCPU動作クロックをOSC1からOSC3に切り替えます。
- FSKONに"1"を書き込み、FSK復調回路をONさせます。
- RXENSIに"1"を書き込み、シリアルインタフェース( 2 )の受信を許可します。
- シリアルインタフェース( 2 )の受信割り込みを待ち、データをTRXD0S-TRXD7Sから読み出します。読み出し後、RXTRGSに"1"を書き込みオーバーランエラーチェックをリセットします。このステップをキャリアの停止によるキャリア検出割り込みが発生するまで繰り返します。
- キャリアの停止によるキャリア検出割り込み発生後、RXENSIに"0"を書き込んで受信を禁止します。
- FSKONに"0"を書き込み、FSK復調回路をOFFします。
- CLKCHGに"0"を書き込み、CPU動作クロックをOSC3からOSC1に切り替えます。
- OSCCに"0"を書き込み、OSC3発振回路をOFFします。

## 4.15.5 FSK復調回路のI/Oメモリ

表4.15.5.1にFSK復調回路の制御ビットとそのアドレスを示します。

表4.15.5.1 FSK復調回路の制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注釈
	D3	D2	D1	D0					
FF66H	FSKON	0	RDET	CDET	FSKON	0 0 *3	On -*2	Off	FSK回路On/Off 未使用
	R/W	R			RDET	- *4	Ring	No Ring	リング検出ビット
FF67H	0	0	RDETCP	CDETCP	0 *3 0 *3	-*2 -*2	Carrier	No Carrier	キャリア検出ビット
	R		R/W		RDETCP	0	↓	↓	未使用 未使用
FFEAH	0	0	EIRDET	EICDET	0 *3 0 *3	-*2 -*2			RDET比較レジスタ CDET比較レジスタ
	R		R/W		ERDET	0	Enable	Mask	割り込みマスクレジスタ(FSK復調回路リング検出) 割り込みマスクレジスタ(FSK復調回路キャリア検出)
FFF9AH	0	0	IRDET	ICDET	0 *3 0 *3	-*2 -*2	(R) Yes	(R) No	未使用 未使用
	R		R/W		IRDET	0	(W)	(W)	割り込み要因フラグ(FSK復調回路リング検出) 割り込み要因フラグ(FSK復調回路キャリア検出)
					ICDET	0	Reset	Invalid	

\*1 イニシャルリセット時の初期値

\*3 読み出し時は常時"0"

\*2 回路上設定されない。

\*4 RDIN端子の入力状態に依存します。

FSKON: FSK復調回路制御レジスタ( FF66H·D3 )

FSK復調回路をON/OFFします。

"1"書き込み: On

"0"書き込み: Off

読み出し: 可能

FSKONに"1"を書き込むことにより FSK復調回路がONします。同時にシリアルインターフェース(2)のデータ入力がP30端子からFSK復調回路の出力に切り換わります。P3x端子は、ESIFSの設定にかかわらず、すべて汎用の入出力兼用ポート端子として機能します。

なお、FSK復調回路を動作させる場合は、OSC3発振回路をONし、CPU動作クロックをOSC3クロックに切り換えておく必要があります。

FSKONに"0"を書き込むと、FSK復調回路はOFFします。P3x端子もシリアルインターフェース(2)の入出力端子として選択可能となります。

消費電流を低減させるため、FSK復調回路は必要な場合のみ動作させてください。

イニシャルリセット時、このレジスタは"0"に設定されます。

RDET: リング検出ビット( FF66H·D1 )

リング信号の検出状態を示します。

"1"読み出し: リング検出

"0"読み出し: 未検出

書き込み: 無効

RDETが"1"の場合、リング信号が入力中であることを示します。リング入力が終了すると"0"に戻ります。このビットは読み出し専用のため、書き込みは無効です。

イニシャルリセット時のこのビットの値は、RDIN端子の入力状態に依存します。

**CDET: キャリア検出ビット( FF66H·D0 )**

キャリアの検出状態を示します。

- "1"読み出し: キャリア検出
- "0"読み出し: 未検出
- 書き込み: 無効

CDETが"1"の場合、キャリアを受信中であることを示します。キャリアが停止すると"0"に戻ります。このビットは読み出し専用のため、書き込みは無効です。

イニシャルリセット時、このビットは"0"に設定されます。

**RDETCP: RDET比較レジスタ( FF67H·D1 )**

リング検出割り込みの発生条件を設定します。

- "1"書き込み: RDET立ち下がりエッジ
- "0"書き込み: RDET立ち上がりエッジ
- 読み出し: 可能

RDETCPに"1"を設定しておくと、リング検出割り込みはRDETの立ち下がりエッジで発生します。"0"を設定しておくとRDETの立ち上がりエッジで発生します。

イニシャルリセット時、このレジスタは"0"に設定されます。

**CDETCP: CDET比較レジスタ( FF67H·D0 )**

キャリア検出割り込みの発生条件を設定します。

- "1"書き込み: CDET立ち下がりエッジ
- "0"書き込み: CDET立ち上がりエッジ
- 読み出し: 可能

CDETCPに"1"を設定しておくと、キャリア検出割り込みはCDETの立ち下がりエッジで発生します。"0"を設定しておくとCDETの立ち上がりエッジで発生します。

イニシャルリセット時、このレジスタは"0"に設定されます。

**EIRDET, EICDET: 割り込みマスクレジスタ( FFEAH·D1, D0 )**

リング検出割り込み、キャリア検出割り込みをマスクします。

- "1"書き込み: イネーブル
- "0"書き込み: マスク
- 読み出し: 可能

EIRDET、EICDETはそれぞれリング検出、キャリア検出の割り込み要因に対応する割り込みマスクレジスタで、"1"に設定すると割り込みが許可され、"0"に設定すると割り込みが禁止されます。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

**IRDET, ICDET: 割り込み要因フラグ( FFFAH·D1, D0 )**

リング検出割り込み、キャリア検出割り込みの発生状態を示すフラグです。

- "1"読み出し: 割り込み有
- "0"読み出し: 割り込み無
- "1"書き込み: 要因フラグをリセット
- "0"書き込み: 無効

IRDET、ICDETはそれぞれリング検出、キャリア検出割り込みに対応する割り込み要因フラグで、それぞれの要因の発生により"1"にセットされます。

このとき、対応する割り込みマスクレジスタが"1"で、かつCPUが割り込み許可( Iフラグ="1" )に設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可( Iフラグ="1" )に設定、あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット( "1"書き込み )を行ってください。

イニシャルリセット時、これらのフラグは"0"にリセットされます。

#### 4.15.6 プログラミング上の注意事項

- ( 1 )FSK復調回路を動作させる前に、OSC3発振回路をONし、CPU動作クロックをOSC3クロックに切り換えておく必要があります。なお、OSC3発振回路は動作開始から発振が安定するまで最大5msecの時間を要します。したがって、CPU動作クロックの切り換えとFSK復調回路の動作開始は、OSC3発振ONから5msec以上経過してから行ってください。発振開始時間は発振子、外付け部品によって変動しますので、充分な待ち時間を取りしてください。
- ( 2 )FSK復調が不要な場合は消費電流を低減させるため、FSK復調回路およびOSC3発振回路をOFFしてください。
- ( 3 )キャリア検出時、CDETの立ち上がりエッジにおいてFSK復調回路から無効なデータが出力されることがあります。この場合、シリアルインターフェース 2 が受信する先頭バイトはパリティエラーまたはフレーミングエラーとなることがありますが、通常この部分はリーダコードですので、エラーを無視する処理をしてください。
- ( 4 )割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可( Iフラグ="1" )に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット( "1"書き込み )を行ってください。

## 4.16 割り込みとHALT

### <割り込みの種類>

S1C63558には以下の8種類の割り込みが設定されています。

外部割り込み	• 入力割り込み	( 2系統 )
内部割り込み	• ウオッチドッグタイム割り込み	( NMI、1系統 )
	• プログラマブルタイム割り込み	( 2系統 )
	• シリアルインターフェース割り込み	( 6系統 )
	• 計時タイム割り込み	( 4系統 )
	• ストップウォッチタイム割り込み	( 2系統 )
	• ダイアル割り込み	( 1系統 )
	• FSK割り込み	( 2系統 )

割り込みを許可するためにはインタラプトフラグを"1"にセット( EI )し、あわせて必要な系統の割り込みマスクレジスタも"1"にセット( イネーブル )する必要があります。

割り込みが発生するとインタラプトフラグは自動的に"0"にリセット( DI )され、以後の割り込みは禁止されます。

ウォッチドッグタイム割り込みはNMI( ノンマスカブル割り込み )のため、インタラプトフラグの設定にかかわらず、割り込みが発生します。このため、割り込みマスクレジスタも用意されていません。ただし、ウォッチドッグタイムはソフトウェアにより動作を停止させることができますので、NMIを発生させないようにすることができます。

図4.16.1に割り込み回路の構成を示します。

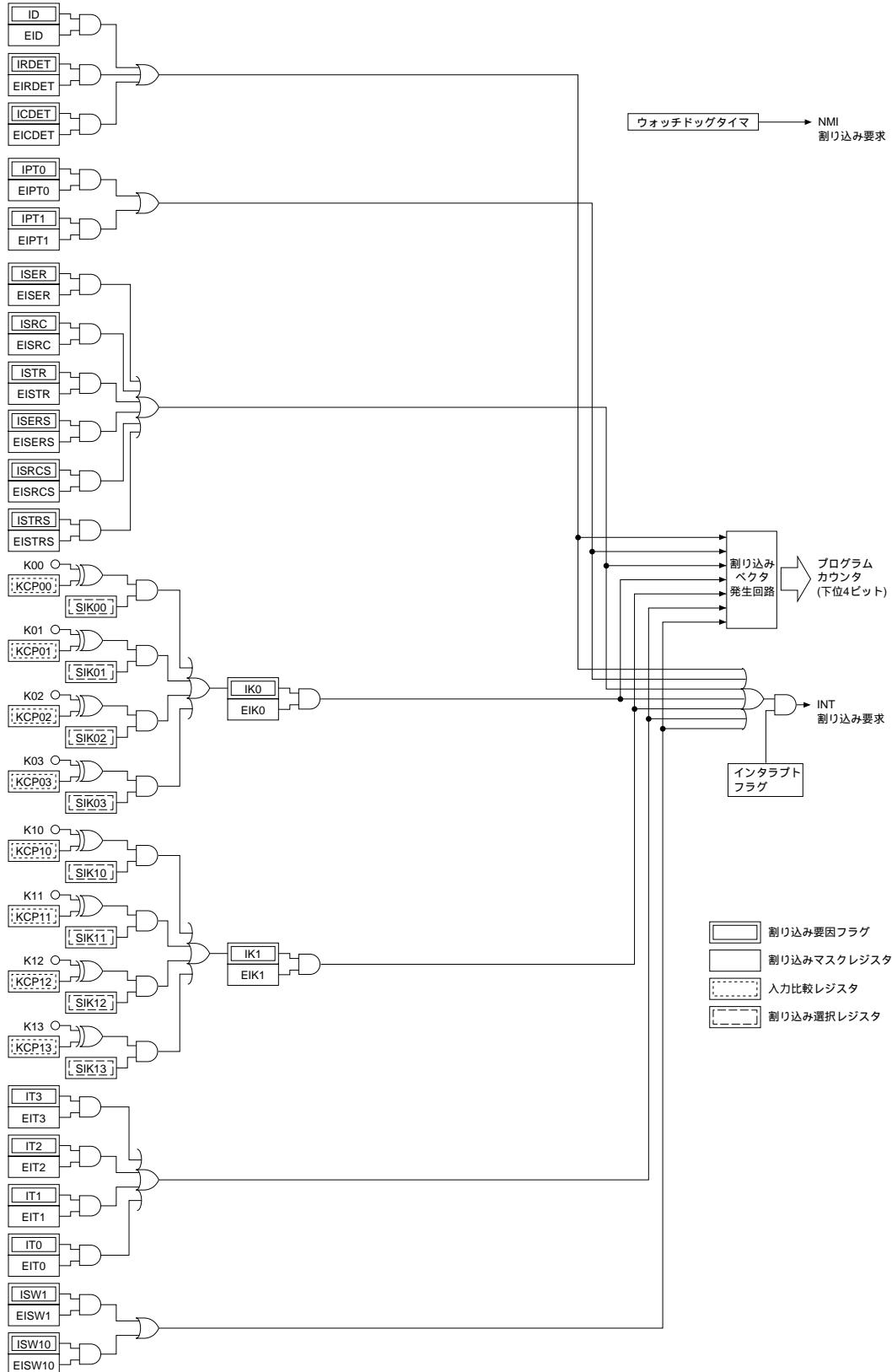
注: イニシャルリセット時、NMIを含むすべての割り込みはスタックポインタSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み( NMIを含む )は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

### <HALT>

S1C63558は必要なとき以外の消費電流を大幅に低減させるHALT機能を持っています。

CPUはHALT命令が入力されるとHALT状態に入り、CPUの動作を停止します。ただし、発振回路は動作していますので、タイマのカウント等は継続して行われます。

CPUのHALT状態からの再起動はNMIを含むハードウェア割り込み要求が発生することにより行われます。



#### 4.16.1 割り込みの要因

割り込み要求が発生する要因を表4.16.1.1に示します。

各々の割り込み要因により、対応する割り込み要因フラグが"1"にセットされます。

CPUに対する割り込みは、以下の条件が成立している場合に割り込み要因フラグが"1"にセットされたときに発生します。

- 対応する割り込みマスクレジスタが"1"( イネーブル )
- インタラプトフラグが"1"( EI )

割り込み要因フラグは"1"書き込みにより"0"にリセットされます。

イニシャルリセット時、割り込み要因フラグは"0"にリセットされます。

\* ウオッチドッグタイマはNMIのため、上記の条件とは無関係に割り込みが発生します。割り込み要因フラグも用意されていません。

表4.16.1.1 割り込み要因

割り込み要因	割り込み要因フラグ
ダイアルサイクル終了	ID (FFF9H•D0)
リング検出( 立ち下がりまたは立ち上がりエッジ )	IRDET (FFFAH•D1)
キャリア検出( 立ち下がりまたは立ち上がりエッジ )	ICDET (FFFAH•D0)
プログラマブルタイマ1( カウンタ=0 )	IPT1 (FFF2H•D1)
プログラマブルタイマ0( カウンタ=0 )	IPT0 (FFF2H•D0)
シリアルインタフェース( 1 )受信エラー	ISER (FFF3H•D2)
シリアルインタフェース( 1 )受信終了	ISRC (FFF3H•D0)
シリアルインタフェース( 1 )送信終了	ISTR (FFF3H•D1)
シリアルインタフェース( 2 )受信エラー	ISERS (FFF8H•D2)
シリアルインタフェース( 2 )受信終了	ISRCS (FFF8H•D0)
シリアルインタフェース( 2 )送信終了	ISTRSS (FFF8H•D1)
K00～K03入力( 立ち下がりまたは立ち上がりエッジ )	IK0 (FFF4H•D0)
K10～K13入力( 立ち下がりまたは立ち上がりエッジ )	IK1 (FFF5H•D0)
計時タイマ1Hz( 立ち下がりエッジ )	IT3 (FFF6H•D3)
計時タイマ2Hz( 立ち下がりエッジ )	IT2 (FFF6H•D2)
計時タイマ8Hz( 立ち下がりエッジ )	IT1 (FFF6H•D1)
計時タイマ32Hz( 立ち下がりエッジ )	IT0 (FFF6H•D0)
ストップウォッチタイマ( 1Hz )	ISW1 (FFF7H•D1)
ストップウォッチタイマ( 10Hz )	ISW10 (FFF7H•D0)

注: 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可( I フラグ="1" )に設定あるいは RETI 命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では割り込み許可状態に移行する前に割り込み要因フラグのリセット( "1" 書き込み )を行ってください。

#### 4.16.2 割り込みの個別マスク

割り込み要因フラグは、対応する割り込みマスクレジスタによりマスクできます。

割り込みマスクレジスタは読み出し/書き込みが可能なレジスタであり、“1”書き込みでイネーブル(割り込み許可)、“0”書き込みでマスク(割り込み禁止)となります。

イニシャルリセット時、割り込みマスクレジスタは“0”にリセットされます。

表4.16.2.1に割り込みマスクレジスタと割り込み要因フラグの対応を示します。

表4.16.2.1 割り込みマスクレジスタと割り込み要因フラグ

割り込みマスクレジスタ	割り込み要因フラグ
EID (FFE9H•D0)	ID (FFF9H•D0)
EIRDET (FFE9H•D1)	IRDET (FFFAH•D1)
EICDET (FFE9H•D0)	ICDET (FFFAH•D0)
EIPT1 (FFE2H•D1)	IPT1 (FFF2H•D1)
EIPT0 (FFE2H•D0)	IPT0 (FFF2H•D0)
EISER (FFE3H•D2)	ISER (FFF3H•D2)
EISRC (FFE3H•D0)	ISRC (FFF3H•D0)
EISTR (FFE3H•D1)	ISTR (FFF3H•D1)
EISERS (FFE8H•D2)	ISERS (FFF8H•D2)
EISRCS (FFE8H•D0)	ISRCS (FFF8H•D0)
EISTRS (FFE8H•D1)	ISTRS (FFF8H•D1)
EIK0 (FFE4H•D0)	IK0 (FFF4H•D0)
EIK1 (FFE5H•D0)	IK1 (FFF5H•D0)
EIT3 (FFE6H•D3)	IT3 (FFF6H•D3)
EIT2 (FFE6H•D2)	IT2 (FFF6H•D2)
EIT1 (FFE6H•D1)	IT1 (FFF6H•D1)
EIT0 (FFE6H•D0)	IT0 (FFF6H•D0)
EISW1 (FFE7H•D1)	ISW1 (FFF7H•D1)
EISW10 (FFE7H•D0)	ISW10 (FFF7H•D0)

#### 4.16.3 割り込みベクタ

CPUに割り込み要求が入力されると、CPUは割り込み処理を開始します。

割り込み処理は実行中のプログラムの終了後、以下の手順で行われます。

1. フラグレジスタを退避後、Iフラグをリセット
2. 次に実行すべきプログラムのアドレスデータ(プログラムカウンタの値)をスタック領域(RAM)に退避
3. 割り込み要求による割り込みベクタの値(0100H～010EH)をプログラムカウンタにセット
4. 指定されたアドレスのプログラムを実行(ソフトウェアによる割り込み処理ルーチンの実行)

表4.16.3.1に割り込み要求と割り込みベクタの対応を示します。

表4.16.3.1 割り込み要求と割り込みベクタ

割り込みベクタ	割り込み要因	優先順位
0100H	ウォッチドッグタイマ	高い ↑
0102H	ダイアル, FSK	
0104H	プログラマブルタイマ	
0106H	シリアルインターフェース(1), (2)	
0108H	K00～K03入力	
010AH	K10～K13入力	
010CH	計時タイマ	
010EH	ストップウォッチタイマ	
		低い ↓

プログラムカウンタ(PC)の下位4ビットが割り込み要求による間接アドレス指定となります。

## 4.16.4 割り込みのI/Oメモリ

表4.16.4.1に割り込みに関する制御ビットとそのアドレスを示します。

表4.16.4.1(a) 割り込みの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注釈
	D3	D2	D1	D0					
FF20H	SIK03	SIK02	SIK01	SIK00	SIK03	0	Enable	Disable	K00～K03割り込み選択レジスタ
					SIK02	0	Enable	Disable	
					SIK01	0	Enable	Disable	
					SIK00	0	Enable	Disable	
R/W									
FF22H	KCP03	KCP02	KCP01	KCP00	KCP03	1			K00～K03入力比較レジスタ
					KCP02	1			
					KCP01	1			
					KCP00	1			
R/W									
FF24H	SIK13	SIK12	SIK11	SIK10	SIK13	0	Enable	Disable	K10～K13割り込み選択レジスタ
					SIK12	0	Enable	Disable	
					SIK11	0	Enable	Disable	
					SIK10	0	Enable	Disable	
R/W									
FF26H	KCP13	KCP12	KCP11	KCP10	KCP13	1			K10～K13入力比較レジスタ
					KCP12	1			
					KCP11	1			
					KCP10	1			
R/W									
FF67H	0	0	RDETCP	CDETCP	0 *3	- *2			未使用 未使用 RDET比較レジスタ CDET比較レジスタ
					0 *3	- *2			
					0	- *2			
					0	- *2			
R									
FFE2H	0	0	EIPT1	EIPT0	0 *3	- *2			未使用 未使用 割り込みマスクレジスタ(プログラマブルタイマ1) 割り込みマスクレジスタ(プログラマブルタイマ0)
					0 *3	- *2			
					EIPT1	0			
					EIPT0	0			
FFE3H	0	EISER	EISTR	EISRC	0 *3	- *2			未使用 割り込みマスクレジスタ(シリアルI/F(1)エラー) 割り込みマスクレジスタ(シリアルI/F(1)送信完了) 割り込みマスクレジスタ(シリアルI/F(1)受信完了)
					EISER	0			
					EISTR	0			
					EISRC	0			
FFE4H	0	0	0	EIK0	0 *3	- *2			未使用 未使用 未使用 割り込みマスクレジスタ( K00～K03 )
					0 *3	- *2			
					0 *3	- *2			
					EIK0	0			
R									
FFE5H	0	0	0	EIK1	0 *3	- *2			未使用 未使用 未使用 割り込みマスクレジスタ( K10～K13 )
					0 *3	- *2			
					0 *3	- *2			
					EIK1	0			
FFE6H	EIT3	EIT2	EIT1	EIT0	EIT3	0	Enable	Mask	割り込みマスクレジスタ( 計時タイマ1Hz ) 割り込みマスクレジスタ( 計時タイマ2Hz ) 割り込みマスクレジスタ( 計時タイマ8Hz ) 割り込みマスクレジスタ( 計時タイマ32Hz )
					EIT2	0	Enable	Mask	
					EIT1	0	Enable	Mask	
					EIT0	0	Enable	Mask	
R/W									
FFE7H	0	0	EISW1	EISW10	0 *3	- *2			未使用 未使用 割り込みマスクレジスタ( ストップウォッチャタイマ1Hz ) 割り込みマスクレジスタ( ストップウォッチャタイマ10Hz )
					0 *3	- *2			
					EISW1	0			
					EISW10	0			
R									
FFE8H	0	EISERS	EISTR	EISRC	0 *3	- *2			未使用 割り込みマスクレジスタ(シリアルI/F(2)エラー) 割り込みマスクレジスタ(シリアルI/F(2)送信完了) 割り込みマスクレジスタ(シリアルI/F(2)受信完了)
					EISERS	0			
					EISTR	0			
					EISRC	0			
FFE9H	0	0	0	EID	0 *3	- *2			未使用 未使用 未使用 割り込みマスクレジスタ(ダイアル)
					0 *3	- *2			
					0 *3	- *2			
					EID	0			
R									
FFEAH	0	0	EIRDET	EICDET	0 *3	- *2			未使用 未使用 割り込みマスクレジスタ( FSK復調回路リング検出 ) 割り込みマスクレジスタ( FSK復調回路キャリア検出 )
					0 *3	- *2			
					EIRDET	0			
					EICDET	0			
R/W									

\*1 イニシャルリセット時の初期値

\*3 読み出し時は常時"0"

\*2 回路上設定されない

表4.16.4.1(b) 割り込みの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注釈
	D3	D2	D1	D0					
FFF2H	0	0	IPT1	IPT0	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
	R		R/W		IPT1	0	(W)	(W)	割り込み要因フラグ(プログラマブルタイマ1)
					IPT0	0	Reset	Invalid	割り込み要因フラグ(プログラマブルタイマ0)
FFF3H	0	ISER	ISTR	ISRC	0 *3	- *2	(R)	(R)	未使用
					ISER	0	Yes	No	割り込み要因フラグ(シリアルI/F(1)エラー)
	R		R/W		ISTR	0	(W)	(W)	割り込み要因フラグ(シリアルI/F(1)送信完了)
					ISRC	0	Reset	Invalid	割り込み要因フラグ(シリアルI/F(1)受信完了)
FFF4H	0	0	0	IK0	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
	R		R/W		0 *3	- *2	(W)	(W)	未使用
					IK0	0	Reset	Invalid	割り込み要因フラグ( K00 ~ K03 )
FFF5H	0	0	0	IK1	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
	R		R/W		0 *3	- *2	(W)	(W)	未使用
					IK1	0	Reset	Invalid	割り込み要因フラグ( K10 ~ K13 )
FFF6H	IT3	IT2	IT1	IT0	IT3	0	(R)	(R)	割り込み要因フラグ( 計時タイマ1Hz )
					IT2	0	Yes	No	割り込み要因フラグ( 計時タイマ2Hz )
	R		R/W		IT1	0	(W)	(W)	割り込み要因フラグ( 計時タイマ8Hz )
					IT0	0	Reset	Invalid	割り込み要因フラグ( 計時タイマ32Hz )
FFF7H	0	0	ISW1	ISW10	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
	R		R/W		0	(W)	(W)	Invalid	割り込み要因フラグ(ストップウォッチタイマ1Hz)
					ISW10	0	Reset	Invalid	割り込み要因フラグ(ストップウォッチタイマ10Hz)
FFF8H	0	ISERS	ISTR	ISRCS	0 *3	- *2	(R)	(R)	未使用
					0	Yes	No	Invalid	割り込み要因フラグ(シリアルI/F(2)エラー)
	R		R/W		0	(W)	(W)	Invalid	割り込み要因フラグ(シリアルI/F(2)送信完了)
					ISRCS	0	Reset	Invalid	割り込み要因フラグ(シリアルI/F(2)受信完了)
FFF9H	0	0	0	ID	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
	R		R/W		0 *3	- *2	(W)	(W)	未使用
					ID	0	Reset	Invalid	割り込み要因フラグ(ダイアル)
FFFAH	0	0	IRDET	ICDET	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
	R		R/W		0	(W)	(W)	Invalid	割り込み要因フラグ(FSK復調回路リング検出)
					ICDET	0	Reset	Invalid	割り込み要因フラグ(FSK復調回路キャリア検出)

\*1 イニシャルリセット時の初期値

\*3 読み出し時は常時"0"

\*2 回路上設定されない

EID: 割り込みマスクレジスタ(FFE9H·D0)

ID: 割り込み要因フラグ(FFF9H·D0)

... "4.14 電話機能"参照

RDETCP, CDETCP: RDET, CDET比較レジスタ(FF67H·D1, D0)

EIRDET, EICDET: 割り込みマスクレジスタ(FFEAH·D1, D0)

IRDET, ICDET: 割り込み要因フラグ(FFFAH·D1, D0)

... "4.15 FSK復調回路"参照

EIPT1, EIPT0: 割り込みマスクレジスタ(FFE2H·D1, D0)

IPT1, IPT0: 割り込み要因フラグ(FFF2H·D1, D0)

... "4.10 プログラブルタイマ"参照

EISER, EISTR, EISRC: 割り込みマスクレジスタ(FFE3H·D2~D0)

EISERS, EISTR, EISRCS: 割り込みマスクレジスタ(FFE8H·D2~D0)

ISER, ISTR, ISRC: 割り込み要因フラグ(FFF3H·D2~D0)

ISERS, ISTRS, ISRCS: 割り込み要因フラグ(FFF8H·D2~D0)

... "4.11 シリアルインターフェース"参照

KCP03 ~ KCP00, KCP13 ~ KCP10: 入力比較レジスタ( FF22H, FF26H )  
 SIK03 ~ SIK00, SIK13 ~ SIK10: 割り込み選択レジスタ( FF20H, FF24H )  
 EIK0, EIK1: 割り込みマスクレジスタ( FFE4H・D0, FFE5H・D0 )  
 IK0, IK1: 割り込み要因フラグ( FFF4H・D0, FFF5H・D0 )  
 ... "4.4 入力ポート"参照

EIT3 ~ EIT0: 割り込みマスクレジスタ( FFE6H )  
 IT3 ~ IT0: 割り込み要因フラグ( FFF6H )  
 ... "4.8 計時タイマ"参照

EISW1, EISW10: 割り込みマスクレジスタ( FFE7H・D1, D0 )  
 ISW1, ISW10: 割り込み要因フラグ( FFF7H・D1, D0 )  
 ... "4.9 ストップウォッチタイマ"参照

#### 4.16.5 プログラミング上の注意事項

- ( 1 )各割り込み要因フラグは、各割り込みマスクレジスタを"0"に設定していても、割り込み条件成立によりセットされます。
- ( 2 )割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可( Iフラグ="1" )に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット( "1"書き込み )を行ってください。
- ( 3 )イニシャルリセット時、NMIを含むすべての割り込みはスタックポインタSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み( NMIを含む )は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

## 5 注意事項のまとめ

---

### 5.1 低消費電流化のための注意事項

S1C63558は、低消費電流化のため回路系ごとに制御レジスタを持っています。

この制御レジスタにより必要最小限の回路系を動作させるプログラムとすることで、低消費電流化が実現できます。

以下に動作を制御できる回路系とその制御レジスタ等を説明しますので、プログラムを組む上で参考としてください。

表5.1.1 回路系と制御レジスタ

回路系(および項目)	制御レジスタ等
CPU	HALT命令
CPU動作周波数	CLKCHG, OSCC
LCD系電圧回路	LPWR
SVD回路	SVDON
FSK復調回路	FSKON

消費電流については"7 電気的特性"を参照してください。

イニシャルリセット時の各回路系の状態は以下のとおりです。

CPU: 動作状態

CPU動作周波数: 低速側( CLKCHG = "0" )  
OSC3発振回路停止状態( OSCC = "0" )

LCD系電圧回路: OFF状態( LPWR = "0" )

SVD回路: OFF状態( SVDON = "0" )

FSK復調回路: OFF状態( FSKON = "0" )

また、LCDパネルの特性により消費電流が数μAのオーダで異なりますので、パネルの選択にも注意が必要です。

## 5.2 個別機能についての注意事項のまとめ

以下に各機能の注意事項を個別にまとめます。内容に十分留意した上でプログラミングを行ってください。

### メモリ、スタック

- (1) メモリマップの未使用領域にはメモリが実装されていません。また、表示メモリ領域および周辺I/O領域にも非実装領域、未使用(アクセス禁止)領域が存在します。これらの領域をアクセスするようなプログラムを作成した場合は、正常な動作を保証することはできません。  
表示メモリについては"4.7.5 表示メモリ"を、周辺I/O領域については表4.1.1(a)~(h)に示すI/Oメモリマップを参照してください。
- (2) データメモリの一部をサブルーチンコールやレジスタ退避時のスタック領域としても使用しますので、データ領域とスタック領域が重ならないように注意してください。
- (3) S1C63000コアCPUは、4ビットデータ用スタックポインタ(SP2)および16ビットデータ用スタックポインタ(SP1)によりスタック処理を行います。SP1によるスタック処理では16ビットデータアクセスが行われますので、このスタック領域の設定は4ビット/16ビットアクセスが可能な領域内(0100H~01FFH)で行ってください。スタックポインタは、SP1が0000H~03FFH、SP2が0000H~00FFHの範囲でサイクリックに動作します。このため、SP1はS1C63558の4ビット/16ビットアクセス領域を外れた0200H以上、あるいは00FFH以下の領域にも設定される可能性がありますので注意してください。SP1によるスタック操作以外のメモリアクセスは4ビットデータアクセスとなります。  
また、イニシャルリセット時は、スタックポインタSP1、SP2の両方がソフトウェアで設定されるまでNMIを含むすべての割り込みがマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまでNMIを含む割り込みは再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

### ウォッチドッグタイマ

ウォッチドッグタイマを使用する場合、3秒周期以内にソフトウェアでウォッチドッグタイマをリセットする必要があります。イニシャルリセットにより、ウォッチドッグタイマは動作状態に設定されますので、使用しない場合は割り込み(NMI)発生前にウォッチドッグタイマをディセーブル(使用しない)に設定してください。

### 発振回路

- (1) OSC3発振回路がONしてから発振が安定するまでに、5msec以上を必要とします。したがって、CPUの動作クロックをOSC1からOSC3に切り換える際は、OSC3発振ONの後、5msec以上経過してから行ってください。また、発振安定時間は外付け発振子の特性および使用条件等により異なりますので、十分マージンを取って待ち時間を設定してください。
- (2) OSC3からOSC1へのクロック切り換えると、OSC3発振OFFは別々のインストラクションで行ってください。1インストラクションで、同時に処理するとCPUの誤動作につながります。
- (3) S1C63558の内部動作電圧VD1は常に2.2Vとなります。したがって、選択する動作クロックにかかわらず、動作電圧の設定変更は不要です。

### 入力ポート

- (1) 入力ポートをLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の時定数によって波形立ち上がりに遅延が生じます。このため、入力ポートの取り込みを行う際は、適切な待ち時間を設定してください。  
特に、キーマトリクス構成時のキースキャン等に注意が必要です。  
この待ち時間は次の式で算出される時間以上としてください。  

$$10 \times C(\text{端子容量}5\text{pF} + \text{寄生容量}?\text{pF}) \times R(\text{プルアップ抵抗}330\text{k}\Omega)$$
- (2) K13端子はプログラマブルタイマの入力クロック端子としての機能も兼ねることがあり、入力ポート機能と入力信号が共有されます。そのため、K13端子をプログラマブルタイマの入力クロック端子に設定した場合、割り込み等の設定には十分注意してください。

### 出力ポート

- (1) R00～R03, R10～R13を特殊出力として使用する場合、R00～R03, R10～R13レジスタは"1"、R00HIZ～R03HIZ, R10HIZ～R13HIZレジスタは"0"に固定してください。  
R00～R03, R10～R13レジスタに"0"を書き込むと、出力端子がLOW(V<sub>ss</sub>)に固定されますので注意してください。また、R00HIZ～R03HIZ, R10HIZ～R13HIZレジスタに"1"を書き込むと、出力端子がハイインピーダンスになりますので注意してください。
- (2) TOUT信号、FOUT信号、BZ信号、XBZ信号のON/OFF時は、出力波形にハザードが出る場合があります。
- (3) FOUT信号の周波数としてfosc3を選択した場合は、信号出力前にOSC3発振回路の制御が必要です。制御方法と注意事項については"4.3 発振回路"を参照してください。

### 入出力兼用ポート

- (1) 入力モード時にポートの入力をLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の時定数によって波形立ち上がりに遅延が生じます。このため、入力データの取り込みを行う際は、適切な待ち時間を設定してください。  
特に、キーマトリクス構成時のキースキャン等に注意が必要です。  
この待ち時間は次の式で算出される時間以上としてください。  

$$10 \times C_{\text{端子容量}} + C_{\text{寄生容量}} \times R_{\text{プルアップ抵抗}} = 330 \text{ k}\Omega$$
- (2) 特殊出力(CL, FR)を選択した場合、信号のON/OFF時に出力波形にハザードが出る場合があります。

### LCDドライバ

- (1) メモリ非実装領域(F060H～F0FFH, F160H～F1FFH, F201H, F203H, …, F25FH)をアクセスするようなプログラムを作成した場合、正常な動作を保証することはできません。
- (2) イニシャルリセット時、表示メモリの内容およびLC3～LC( LCDコントラスト)は不定となりますので、ソフトウェアにより初期化する必要があります。また、表示もすべてOFFとなるように各レジスタ(LPWR, ALOFF)が設定されますので注意してください。
- (3) マスクオプションにより COM8～COM16をSEG47～SEG40に設定することができます。この場合、最大384ドット(48×8)のドットマトリクスタイルLCDを駆動できます。駆動デューティは1/8のみ選択可能となります。48セグメント×8コモンを選択した場合、次のようにCOM端子がSEG端子に変わります。  

COM16	SEG40	COM15	SEG41	COM14	SEG42	COM13	SEG43	COM12	SEG44
COM11	SEG45	COM10	SEG46	COM9	SEG47	COM8	SEG47		

 PRCボードでもこのオプション設定は有効ですが、SEG47～SEG40端子はCOM8～COM16端子とは別に設けられており、COM8～COM16端子はSEG47～SEG40端子には変わりませんので注意してください。

### 計時タイマ

データの読み出しは必ず下位データ(TM0～TM3)から先に行ってください。

### ストップウォッチタイマ

RUN状態でカウンタのデータを読み出す場合、一度停止させてから読み出し、再度SWRUN="1"にしてください。また、この場合の停止期間は976μsec(256Hzの1/4周期)以内である必要があります。

### プログラマブルタイマ

- (1) カウンタデータの読み出しは必ず下位4ビット(PTD00～PTD03, PTD10～PTD13)から先に行ってください。また、下位4ビット(PTD00～PTD03, PTD10～PTD13)と上位4ビット(PTD04～PTD07, PTD14～PTD17)の読み出しの時間差は0.73msec(fosc1 = 32.768kHzの場合)以下としてください。
- (2) プログラマブルタイマはレジスタPTRUN0/PTRUN1への書き込みに対して、入力クロックの立ち下がりエッジに同期して実際にRUN/STOP状態となります。  
したがって、PTRUN0/PTRUN1に"0"を書き込んだ場合は、"-1"余分にカウントしたところでタイマが停止状態となります。また、このときPTRUN0/PTRUN1は実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。

図5.2.1にRUN/STOP制御のタイミングチャートを示します。



図5.2.1 RUN/STOP制御のタイミングチャート

なお、これについてはイベントカウンタも対象となるため、RUN/STOPレジスタ PTRUN0 を設定後にクロック入力がない場合、カウンタ回路は実際にはRUN/STOP状態になりませんので注意してください。

(3) TOUT信号は出力制御レジスタPTOUTとは非同期に発生していますので、PTOUTの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

(4) OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3発振回路をONさせる必要があります。

ただし、OSC3発振回路をONにしてから発振が安定するまでに5msec以上の時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ON後、充分な待ち時間をおいてから行ってください。

OSC3の制御方法と注意事項については"4.3 発振回路"を参照してください。イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

#### シリアルインタフェース(1),(2)

(1)シリアルインタフェースのモード初期設定は、送受信が禁止の状態(TXEN=RXEN="0")で行ってください。

(2)シリアルインタフェースが送信(受信)中のときは、TXTRG( RXTRG )に対して二重トリガ("1"書き込み)は行わないでください。

(3)クロック同期式モードでは1本のクロックライン( SCLK )を送受信で共用するため、送信と受信を行ふことはできません。したがって、TXTRG( RXTRG )が"1"の最中はRXTRG( TXTRG )に"1"は書き込まないでください。

(4)調歩同期式モードにおいて、受信時にパリティエラーおよびフレーミングエラーが発生した場合は受信エラー割り込み要因フラグISERは、受信完了割り込み要因フラグISRCに対して表5.2.1に示す時間早く"1"にセットされます。したがって、エラー処理ルーチン等で待ち時間を設けて、受信完了割り込み要因フラグISRCを"0"にリセットしてください。

なお、オーバーランエラー発生時には受信完了割り込み要因フラグISRCは"1"にセットされず、受信完了割り込みも発生しません。

表5.2.1 エラー発生時のISERとISRCの時間差

クロック源	時間差
fosc3 / n	fosc3 / n の1/2周期
プログラマブルタイマ	タイマ1アンダーフローの1周期

(5) OSC3発振回路の分周信号をクロック源とする場合は、シリアルインタフェースを使用する前にOSC3の発振をONさせる必要があります。

なお、OSC3発振回路をONにしてから発振が安定するまでに5msecの時間を必要とします。したがって、シリアルインタフェースの送受信開始はOSC3発振ONの後、充分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)

イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

(6)シリアルインタフェースのクロック周波数は、最大1MHzに制限されます。

### サウンドジェネレータ

- (1) BZ、XBZ信号はBZEレジスタとは非同期に発生していますので、BZEレジスタの設定による信号のON/OFF時にハザードを生じる場合があります。
- (2) 1ショット出力は通常のブザー出力がOFF( BZE = "0" )の状態でのみ有効で、ON( BZE = "1" )状態でのトリガは無効となります。
- (3) BZ、XBZ信号はR01、R00ポートの特殊出力のため、BZEレジスタに"1"を設定する前にハイインピーダンス制御レジスタ( R01HIZ、R00HIZ )を"0"、データレジスタ( R01、R00 )を"1"、出力選択レジスタ( BZOUT、XBZOUT )を"1"に設定しておく必要があります。

### SVD回路

- (1) SVD回路はONさせてから安定した結果が得られるまでに100μsecの時間を必要とします。このため、SVDONに"1"を書き込み後、100μsec以上経過後にSVDONに"0"を書き込んでSVDDTを読み出してください。
- (2) SVD検出動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD検出をOFFに設定してください。

### 電話機能

- (1) トーンモードはOSC3( 3.58MHz )クロックを使用するため、ダイアル前にOSC3発振をONしておく必要があります。これにより、消費電流が増加しますのでトーンモードでのダイアル時以外はOSC3発振をOFFにしてください。
- (2) IDPレジスタ、FTSレジスタ、PTSレジスタおよびパルスモードでのTCDレジスタへの"0H"書き込みは、誤動作の原因になりますので禁止します。
- (3) ポーズ機能を制御するPAUSE( FF14H·D1 )およびフラッシュ機能を制御するFLASH( FF14H·D0 )は書き込み専用です。したがって、これらの制御に( アドレスFF14Hにに対して )演算命令( AND、OR... )を使用することはできません。また、PAUSE( FF14H·D1 ) FLASH( FF14H·D0 )へ"0"を書き込むと、ポーズ機能、フラッシュ機能がキャンセルされますので注意が必要です。

### FSK復調回路

- (1) FSK復調回路を動作させる前に、OSC3発振回路をONし、CPU動作クロックをOSC3クロックに切り換えておく必要があります。なお、OSC3発振回路は動作開始から発振が安定するまで最大5msecの時間を要します。したがって、CPU動作クロックの切り換えとFSK復調回路の動作開始は、OSC3発振ONから5msec以上経過してから行ってください。発振開始時間は発振子、外付け部品によって変動しますので、充分な待ち時間を取りてください。
- (2) FSK復調が不要な場合は消費電流を低減させるため、FSK復調回路およびOSC3発振回路をOFFしてください。
- (3) キャリア検出時、CDETの立ち上がりエッジにおいてFSK復調回路から無効なデータが outputされることがあります。この場合、シリアルインターフェース( 2 )が受信する先頭バイトはパリティエラーまたはフレーミングエラーとなることがあります。通常この部分はリードコードですので、エラーを無視する処理をしてください。

### 割り込み

- (1) 各割り込み要因フラグは、各割り込みマスクレジスタを"0"に設定していても、割り込み条件成立によりセットされます。
- (2) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可( フラグ="1" )に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット( "1"書き込み )を行ってください。
- (3) イニシャルリセット時、NMIを含むすべての割り込みはスタックポインタSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み( NMIを含む )は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

## 5.3 実装上の注意事項

### 発振回路

発振特性は諸条件( 使用部品、基板パターン等 )により変化します。

特にセラミック発振子または水晶振動子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。

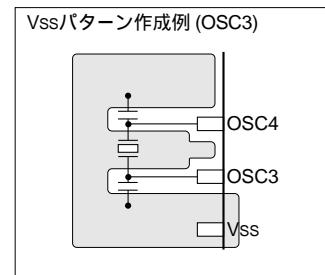
ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため次の点に配慮してください。

( 1 )OSC1、OSC3、OSC2、OSC4端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。

( 2 )OSC1、OSC3、OSC2、OSC4端子およびこれらの端子に接続された部品の周辺部は右図のようにVssパターンをできるだけ広く作成してください。

また、このVssパターンは発振用途以外に使用しないでください。

OSC1( OSC3 )- VDD間のリーク電流による発振回路の不安定動作を防止するため、基板パターンにおいて、OSC1( OSC3 )はVDD電源や信号線とは十分な距離を確保してください。



### リセット回路

パワーオン時、RESET端子に入力されるリセット信号は諸条件( 電源の立ち上がり時間、使用部品、基板パターン等 )により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。また、マスクオプションによりRESET端子のプレアップ抵抗を付加した場合には、抵抗値のばらつきを十分考慮した定数設定が必要です。

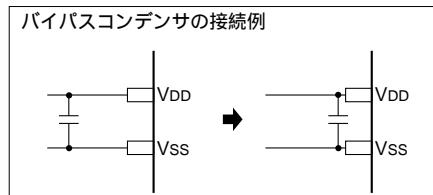
ノイズによる動作中のリセットを防ぐため、RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

### 電源回路

ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

( 1 )電源からVDD、Vss端子へはできるだけ短くかつ太いパターンで接続してください。

( 2 )VDD - Vssのバイパスコンデンサを接続する場合、VDD端子とVss端子をできるだけ最短で接続してください。



( 3 )Vd1、Vc1 ~ Vc5端子に接続するコンデンサ、抵抗等の部品はできるだけ最短で接続してください。  
特にVc1 ~ Vc5の各電圧はLCD駆動として用いるため表示品質に影響を与えます。

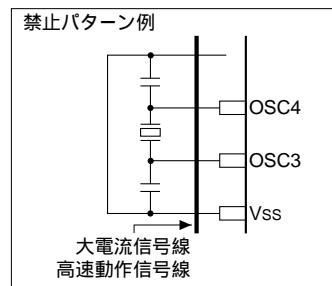
LCDドライバを使用しない場合は、Vc1 ~ Vc5端子を開放してください。

### 信号線の配置

相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。

高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。

特に、発振部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。

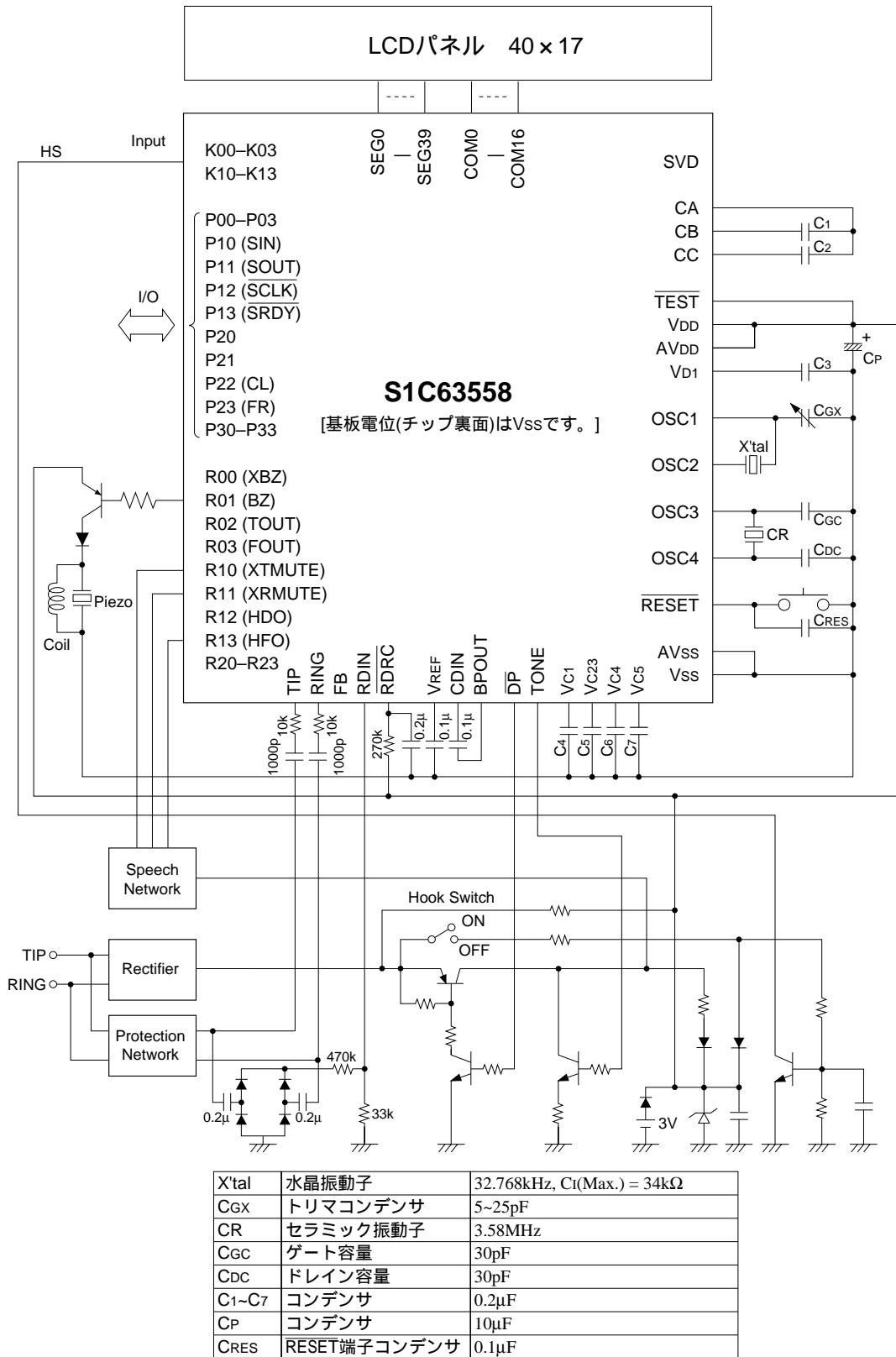


### 光に対する取り扱い( ベアチップ実装の場合 )

半導体素子は、光が照射されると特性が変化します。このため、本ICに光が当たると誤動作をおこすことがあります。光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。

- ( 1 )実使用時にICの遮光性が考慮された構造となるよう 設計および実装を行ってください。
- ( 2 )検査工程では、ICの遮光性が考慮された環境設計を行ってください。
- ( 3 )ICの遮光は、ICチップの表面、裏面および側面について考慮してください。

## 6 基本外部結線図



注: ここに記載されている値は一例であり、特に動作を保証するものではありません。

## 7 電気的特性

---

### 7.1 絶対最大定格

（V <sub>SS</sub> =0V）			
項目	記号	定格値	単位
電源電圧	V <sub>D</sub> D	-0.5 ~ 7.0	V
入力電圧(1)	V <sub>I</sub>	-0.5 ~ V <sub>D</sub> D + 0.3	V
入力電圧(2)	V <sub>OSC</sub>	-0.5 ~ V <sub>D</sub> I + 0.3	V
許容総出力電流 *1	ΣI <sub>VDD</sub>	10	mA
動作温度	T <sub>opr</sub>	-20 ~ 70	°C
保存温度	T <sub>tsg</sub>	-65 ~ 150	°C
半田付け温度・時間	T <sub>sol</sub>	260°C, 10sec (リード部)	—
許容損失 *2	P <sub>D</sub>	250	mW

\*1 許容総出力電流とは出力端子から同時に流し出せる(または引き込める)電流(平均電流)の総和です。

\*2 プラスチックパッケージ(QFP15-128pin)の場合

### 7.2 推奨動作条件

(Ta=-20 ~ 70°C)						
項目	記号	条件	Min.	Typ.	Max.	単位
電源電圧	V <sub>D</sub> D	V <sub>SS</sub> =0V	OSC3発振OFF	2.2	5.5	V
			OSC3発振ON	2.2	5.5	V
			DTMF使用時	2.5	5.5	V
			FSK使用時	2.5	5.5	V
発振周波数	fosc <sub>1</sub>	水晶発振	—	32.768	—	kHz
	fosc <sub>3</sub>	セラミック発振	—	3.58	3.6	MHz
SVD端子入力電圧	SVD	SVD V <sub>D</sub> D, V <sub>SS</sub> =0V	0		5.5	V

## 7.3 DC特性

### 特記なき場合

VDD=3.0V, Vss=0V, fosc1=32.768kHz, Ta=-20 ~ 70°C, VD1/VCl/Vc23/Vc4/Vcsは内部電圧, C1~C7=0.2μF

項目	記号	条件	Min.	Typ.	Max.	単位
高レベル入力電圧(1)	VIH1	K00~03, K10~13 P00~03, P10~13, P20~23, P30~33	0.8·VDD		VDD	V
高レベル入力電圧(2)	VIH2	RESET, TEST	0.9·VDD		VDD	V
高レベル入力電圧(3)	VIH3	RDIN, RDRC	0.75·VDD		VDD	V
低レベル入力電圧(1)	VIL1	K00~03, K10~13	0		0.2·VDD	V
低レベル入力電圧(2)	VIL2	P00~03, P10~13, P20~23, P30~33	0		0.4	V
低レベル入力電圧(3)	VIL3	RESET, TEST	0		0.1·VDD	V
低レベル入力電圧(4)	VIL4	RDIN, RDRC	0		0.25·VDD	V
高レベル入力電流	I <sub>IIH</sub>	V <sub>IH</sub> =3.0V K00~03, K10~13, RDIN, RDRC P00~03, P10~13, P20~23, P30~33 RESET, TEST, SVD	0		0.5	μA
低レベル入力電流(1)	I <sub>IL1</sub>	V <sub>IL1</sub> =Vss Pull upなし K00~03, K10~13, RDIN, RDRC P00~03, P10~13, P20~23, P30~33 RESET, TEST, SVD	-0.5		0	μA
低レベル入力電流(2)	I <sub>IL2</sub>	V <sub>IL2</sub> =Vss Pull upあり K00~03, K10~13 P00~03, P10~13, P20~23, P30~33 RESET, TEST	-16	-10	-6	μA
高レベル出力電流	I <sub>OH1</sub>	V <sub>OH1</sub> =0.9·VDD R00~03, R10~13, R20~23 P00~03, P10~13, P20~23, P30~33			-1	mA
低レベル出力電流	I <sub>OL1</sub>	V <sub>OL1</sub> =0.1·VDD R00~03, R10~13, R20~23, RDRC P00~03, P10~13, P20~23, P30~33	3			mA
コモン出力電流	I <sub>OH2</sub>	V <sub>OH2</sub> =V <sub>C5</sub> -0.05V COM0~16			-25	μA
	I <sub>OL2</sub>	V <sub>OL2</sub> =Vss+0.05V	25			μA
セグメント出力電流	I <sub>OH3</sub>	V <sub>OH3</sub> =V <sub>C5</sub> -0.05V SEG0~39			-10	μA
	I <sub>OL3</sub>	V <sub>OL3</sub> =Vss+0.05V	10			μA

### 特記なき場合

VDD=5.0V, Vss=0V, fosc1=32.768kHz, Ta=-20 ~ 70°C, VD1/VCl/Vc23/Vc4/Vcsは内部電圧, C1~C7=0.2μF

項目	記号	条件	Min.	Typ.	Max.	単位
高レベル入力電圧(1)	VIH1	K00~03, K10~13 P00~03, P10~13, P20~23, P30~33	0.8·VDD		VDD	V
高レベル入力電圧(2)	VIH2	RESET, TEST	0.9·VDD		VDD	V
高レベル入力電圧(3)	VIH3	RDIN, RDRC	0.75·VDD		VDD	V
低レベル入力電圧(1)	VIL1	K00~03, K10~13	0		0.2·VDD	V
低レベル入力電圧(2)	VIL2	P00~03, P10~13, P20~23, P30~33	0		0.4	V
低レベル入力電圧(3)	VIL3	RESET, TEST	0		0.1·VDD	V
低レベル入力電圧(4)	VIL4	RDIN, RDRC	0		0.25·VDD	V
高レベル入力電流	I <sub>IIH</sub>	V <sub>IH</sub> =5.0V K00~03, K10~13, RDIN, RDRC P00~03, P10~13, P20~23, P30~33 RESET, TEST, SVD	0		0.5	μA
低レベル入力電流(1)	I <sub>IL1</sub>	V <sub>IL1</sub> =Vss Pull upなし K00~03, K10~13, RDIN, RDRC P00~03, P10~13, P20~23, P30~33 RESET, TEST, SVD	-0.5		0	μA
低レベル入力電流(2)	I <sub>IL2</sub>	V <sub>IL2</sub> =Vss Pull upあり K00~03, K10~13 P00~03, P10~13, P20~23, P30~33 RESET, TEST	-25	-15	-10	μA
高レベル出力電流	I <sub>OH1</sub>	V <sub>OH1</sub> =0.9·VDD R00~03, R10~13, R20~23 P00~03, P10~13, P20~23, P30~33			-3	mA
低レベル出力電流	I <sub>OL1</sub>	V <sub>OL1</sub> =0.1·VDD R00~03, R10~13, R20~23, RDRC P00~03, P10~13, P20~23, P30~33	7.5			mA
コモン出力電流	I <sub>OH2</sub>	V <sub>OH2</sub> =V <sub>C5</sub> -0.05V COM0~16			-25	μA
	I <sub>OL2</sub>	V <sub>OL2</sub> =Vss+0.05V	25			μA
セグメント出力電流	I <sub>OH3</sub>	V <sub>OH3</sub> =V <sub>C5</sub> -0.05V SEG0~39			-10	μA
	I <sub>OL3</sub>	V <sub>OL3</sub> =Vss+0.05V	10			μA

## 7.4 アナログ回路特性・消費電流

特記なき場合

VDD=3.0V, VSS=0V, fosc1=32.768kHz, CG=25pF, Ta=-20 ~ 70°C, VD1/Vc1/Vc23/Vc4/Vc5は内部電圧, C1~C7=0.2μF

項目	記号	条件	Min.	Typ.	Max.	単位	
LCD駆動電圧	Vc1	VSS-Vc1間に1MΩの負荷抵抗を接続 (パネル負荷なし)	1/2·Vc23 ×0.95		1/2·Vc23 -0.1	V	
	Vc23	VSS-Vc23間に1MΩの負荷抵抗を接続 (パネル負荷なし)	LC0~3="0" LC0~3="1" LC0~3="2" LC0~3="3" LC0~3="4" LC0~3="5" LC0~3="6" LC0~3="7" LC0~3="8" LC0~3="9" LC0~3="10" LC0~3="11" LC0~3="12" LC0~3="13" LC0~3="14" LC0~3="15"	Typ. ×0.88	1.95 1.98 2.01 2.04 2.07 2.10 2.13 2.16 2.19 2.22 2.25 2.28 2.31 2.34 2.37 2.40	Typ. ×1.12	V
	Vc4	VSS-Vc4間に1MΩの負荷抵抗を接続 (パネル負荷なし)	3/2·Vc23 ×0.95		3/2·Vc23	V	
	Vc5	VSS-Vc5間に1MΩの負荷抵抗を接続 (パネル負荷なし)	2·Vc23 ×0.95		2·Vc23	V	
SVD電圧 (Ta=25°C)	Vsvd1	SVDS0~3="0"(内部) SVDS0~3="1" SVDS0~3="2" SVDS0~3="3" SVDS0~3="4" SVDS0~3="5" SVDS0~3="6" SVDS0~3="7" SVDS0~3="8" SVDS0~3="9" SVDS0~3="10" SVDS0~3="11" SVDS0~3="12" SVDS0~3="13" SVDS0~3="14" SVDS0~3="15"	Typ. ×0.93	2.20 2.20 2.20 2.20 2.20 2.30 2.40 2.50 2.60 2.70 2.80 2.90 3.00 3.10 3.20 3.30	Typ. ×1.07	V	
SVD電圧(外部) *3 (Ta=25°C)	Vsvd2	SVDS0~3="0"(外部)	0.85	0.95	1.05	V	
SVD回路応答時間 (Ta=25°C)	tsvd				100	μs	
消費電流 (Ta=25°C)	IOP	HALT時 (32kHz水晶発振) 実行時 (32kHz水晶発振) HALT時 (3.58MHzセラミック発振) 実行時 (3.58MHzセラミック発振) SVD回路電流(電源電圧検出時) VDD=2.2~5.5V SVD回路電流(外部電圧検出時) VDD=2.2~5.5V DTMF回路電流 VDD=5.5V *4 DTMF回路電流 VDD=3.0V *4 FSK回路電流 VDD=5.5V *4 FSK回路電流 VDD=3.0V *4		1.5 4 10 150 600 1 0.5 1.4 1.2 1.8 1.0	3 8 19 300 800 15 6 2.5 2.0 2.5 1.5	μA μA μA μA μA μA μA mA mA mA mA	

\*1 パネル負荷なし、SVD回路はOFF状態

\*2 OSCC="0"

\*3 SVD端子には電源電圧(VDD-VSS)範囲外の電圧を入力しないでください。

\*4 OSC3発振電流と3.58MHzクロックによるCPU動作電流を含みます。

## 7.5 発振特性

発振特性は諸条件( 使用部品、基板パターン等 )により変化します。以下の特性は参考値としてご使用ください。

### OSC1 水晶発振回路

#### 特記なき場合

VDD=3.0V, Vss=0V, fosc1=32.768kHz, CG=25pF, CD=内蔵, Ta=-20 ~ 70°C

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始電圧	Vsta	tsta 3sec (VDD)	2.2			V
発振停止電圧	Vstp	tstp 10sec (VDD)	2.2			V
内蔵容量(ドレイン)	Cd	IC内部の寄生容量を含む(チップ状態)		14		pF
周波数電圧偏差	Δf/ΔV	VDD=2.2 ~ 5.5V			10	ppm
周波数IC偏差	Δf/ΔIC		-10		10	ppm
周波数調整範囲	Δf/ΔCG	CG=5 ~ 25pF	10	20		ppm
高調波発振開始電圧	Vhho	CG=5pF (VDD)	5.5			V
許容リーケ抵抗	Rleak	OSC1とVssの間	200			MΩ

### OSC3 セラミック発振回路

#### 特記なき場合

VDD=3.0V, Vss=0V, セラミック振動子: 3.58MHz, CGC=CDC=30pF, Ta=-20 ~ 70°C

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始電圧	Vsta	(VDD)	2.2			V
発振開始時間	tsta	VDD=2.2 ~ 5.5V			5	ms
発振停止電圧	Vstp	(VDD)	2.2			V

## 7.6 シリアルインターフェース(1),(2)AC特性

### 1 マスタモード(1MHz動作時)

条件: V<sub>DD</sub>=3.0V, V<sub>SS</sub>=0V, Ta=-20 ~ 70°C, V<sub>IH1</sub>=0.8V<sub>DD</sub>, V<sub>IL1</sub>=0.2V<sub>DD</sub>, V<sub>OH</sub>=0.8V<sub>DD</sub>, V<sub>OL</sub>=0.2V<sub>DD</sub>

項目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	t <sub>smd</sub>			200	ns
受信データ入力セットアップ時間	t <sub>sms</sub>	400			ns
受信データ入力ホールド時間	t <sub>smh</sub>	200			ns

クロック周波数は最大1MHzに制限されます。

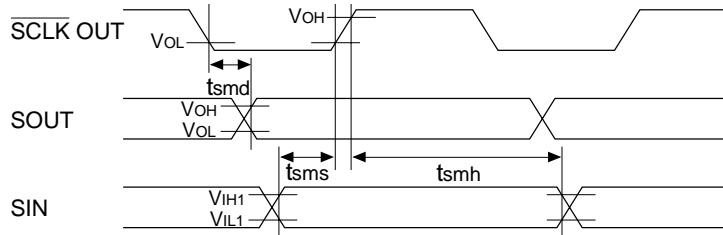
### 2 スレーブモード(1MHz動作時)

条件: V<sub>DD</sub>=3.0V, V<sub>SS</sub>=0V, Ta=-20 ~ 70°C, V<sub>IH1</sub>=0.8V<sub>DD</sub>, V<sub>IL1</sub>=0.2V<sub>DD</sub>, V<sub>OH</sub>=0.8V<sub>DD</sub>, V<sub>OL</sub>=0.2V<sub>DD</sub>

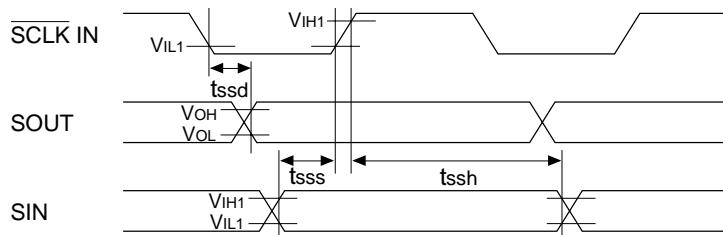
項目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	t <sub>ssd</sub>			500	ns
受信データ入力セットアップ時間	t <sub>sss</sub>	400			ns
受信データ入力ホールド時間	t <sub>ssh</sub>	200			ns

クロック周波数は最大1MHzに制限されます。

#### <マスタモード>



#### <スレーブモード>



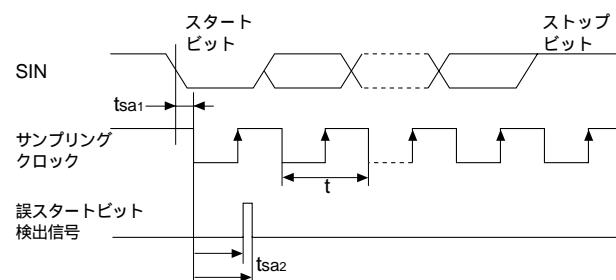
### 3 調歩同期式

条件: V<sub>DD</sub>=2.2~5.5V, V<sub>SS</sub>=0V, Ta=-20~70°C

項目	記号	Min.	Typ.	Max.	単位
スタートビット検出誤差時間 *1	t <sub>sa1</sub>	0		t/16	s
誤スタートビット検出範囲時間 *2	t <sub>sa2</sub>	9t/16		10t/16	s

\*1 スタートビット検出誤差時間とは、スタートビットが入力されてから内部のサンプリングクロックが動作するまでの論理的遅れ時間。(AC的な時間は含まれません。)

\*2 誤スタートビット検出とは、スタートビットを検出し内部のサンプリングクロックが動作した後、再度LOWレベル(スタートビット)が入力されているか検出する論理的な範囲時間。HIGHレベルであった場合、スタートビット検出回路がリセットされ、再度スタートビット検出待ちになります。(AC的な時間は含まれません。)



## 7.7 FSK復調回路AC特性

特記なき場合

VDD=5.0V, VSS=0V, fCLK=3.579545MHz, Ta=-20 ~ 70°C

項目	記号	条件	Min.	Typ.	Max.	単位
転送レート	TRATE		1188	1200	1212	ボ-
Bell202 マーク(論理1)周波数	fB1		1188	1200	1212	Hz
Bell202 スペース(論理0)周波数	fB0		2178	2200	2222	Hz
ITU-T V.23 マーク(論理1)周波数	fV1		1280	1300	1320	Hz
ITU-T V.23 スペース(論理0)周波数	fV0		2068	2100	2132	Hz
SN比	SNR		20	—	—	dB
バンドパスフィルタ利得 *1	GBPF	300 Hz	—	9.2	—	dB
		1200Hz	—	42.7	—	dB
		1700Hz	—	42.8	—	dB
		2200Hz	—	42.7	—	dB
		3000Hz	—	22.4	—	dB
		4000Hz	—	3.7	—	dB
		10000Hz	—	-20.0	—	dB
キャリア検出ON感度 *2	CDON	VDD=5.0V	—	-51	-48	dBm
キャリア検出OFF感度 *2	CDOFF	VDD=5.0V	-57	-54	—	dBm
入力クロック周波数	fCLK		-0.1%	3.579545	+0.1%	MHz
入力ACインピーダンス	RIN	VDD=5.0V (TIP, RING端子とVREF間)	70	100	130	kΩ
FSKONセットアップ時間	tSUP		20	—	—	ms
キャリア検出応答時間	tCDON		3	6.25	9	ms
	tCDOFF		5	7.5	10	ms

\*1 TIP/RING端子 ~ BPOUT端子間の測定値

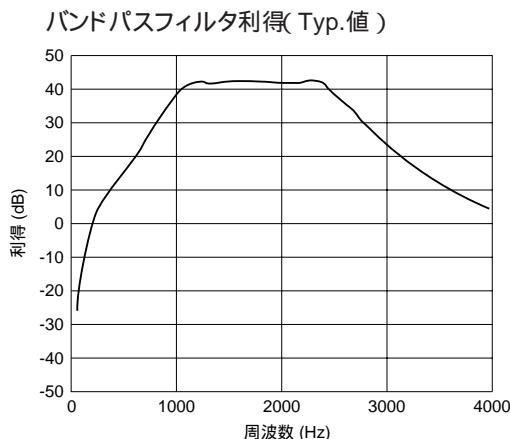
\*2 TIP端子、RING端子それぞれに外部抵抗RTR(10kΩ Typ.)を直列に接続した場合のCDON、CDOFFのTyp.値(dBm)は以下の式から求められます。

$$CDON = -51 + 20\log\left(\frac{V_{DD}}{5} \times \frac{100k}{R_{TR} + 100k}\right) [\text{dBm}] \quad CDOFF = -54 + 20\log\left(\frac{V_{DD}}{5} \times \frac{100k}{R_{TR} + 100k}\right) [\text{dBm}]$$

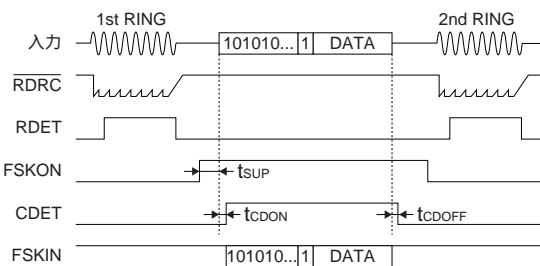
また、入力アンプの帰還抵抗をマスクオプションで外付けとした場合のCDON、CDOFF感度は以下の式から求められます。

$$GAmp = \frac{R_5}{R_1} = \frac{R_6}{R_2} \quad (R_1 = R_2, R_3 = R_4, R_5 = R_6, \text{図4.15.2.2参照})$$

$$CDON = -51 + 20\log\left(\frac{V_{DD}}{5} \times \frac{R_1}{R_5}\right) [\text{dBm}] \quad CDOFF = -54 + 20\log\left(\frac{V_{DD}}{5} \times \frac{R_1}{R_5}\right) [\text{dBm}]$$



タイミングチャート



## 7.8 電話機能特性

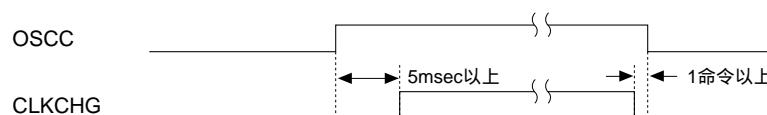
特記なき場合

VDD=3.0V, VSS=0V, fCLK=3.579545MHz, Ta=-20 ~ 70°C

項目	記号	条件	Min.	Typ.	Max.	単位
フラッシュポーズ時間	tFLP		—	938	—	ms
ミュートホールド時間	tMH		—	4	—	ms
マイク率	M/B	ソフトウェアにて選択	—	1/2 2/3	—	—
ダイアルパルスレート	DR	ソフトウェアにて選択	—	10 20	—	pps
マイク時間	tM	10pps, M/B=1/2 20pps, M/B=1/2 10pps, M/B=2/3 20pps, M/B=2/3	—	33.2 16.6 39.1 19.5	—	ms
ブレーク時間	tB	10pps, M/B=1/2 20pps, M/B=1/2 10pps, M/B=2/3 20pps, M/B=2/3	—	66.4 33.2 58.6 29.3	—	ms
トーン出力DCレベル	V <sub>TDC</sub>		—	0.5(V <sub>D</sub> -V <sub>S</sub> )	—	V
ROWシングルトーン出力電圧	V <sub>R</sub>	V <sub>D</sub> =3V, R <sub>L</sub> =10kΩ V <sub>D</sub> =5.5V, R <sub>L</sub> =10kΩ	—	92 168	—	mVrms
COLシングルトーン出力電圧	V <sub>C</sub>	V <sub>D</sub> =3V, R <sub>L</sub> =10kΩ V <sub>D</sub> =5.5V, R <sub>L</sub> =10kΩ	—	122 224	—	mVrms
トーン出力電圧比	dBCR	V <sub>D</sub> =3V, R <sub>L</sub> =10kΩ V <sub>D</sub> =5.5V, R <sub>L</sub> =10kΩ	—	2.5 2.5	—	dB
トーン負荷抵抗	R <sub>TL</sub>	V <sub>D</sub> =2.5~5.5V	7	—	—	kΩ
トーン歪率	THD	V <sub>D</sub> =2.5~5.5V, R <sub>L</sub> =10kΩ	—	—	6	%
トーン出力周波数	fROW1 fROW2 fROW3 fROW4 fCOL1 fCOL2 fCOL3 fCOL4		—	701.32 771.45 857.17 935.10 1215.88 1331.68 1471.85 1645.01	—	Hz
トーン出力時間	tTD		94	—	—	ms
トーンインターデジットポーズ時間	tTIP		—	94	—	ms
トーン出力周期	tT	tTD+tTIP	188	—	—	ms

## 7.9 タイミングチャート

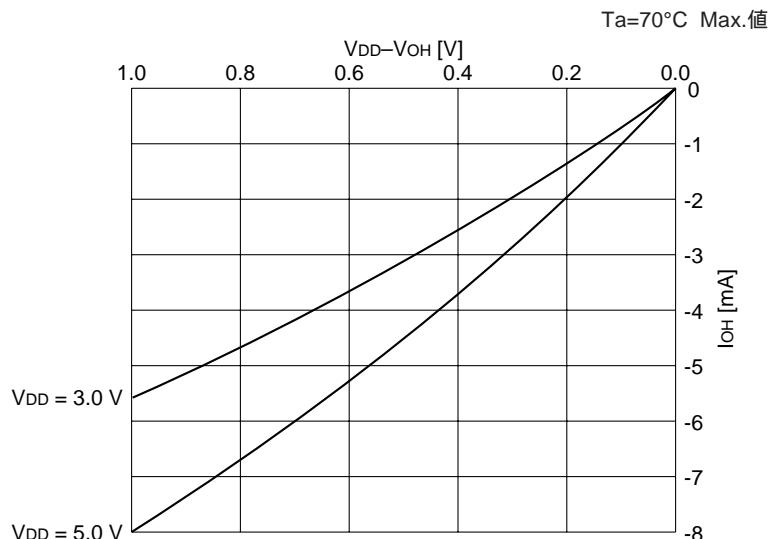
システムクロック切り換えタイミングチャート



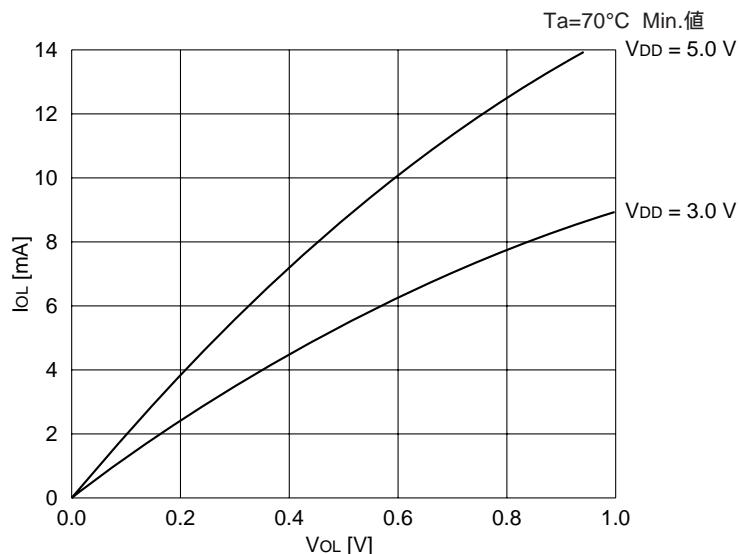
## 7.10 特性グラフ(参考値)

出力電流特性

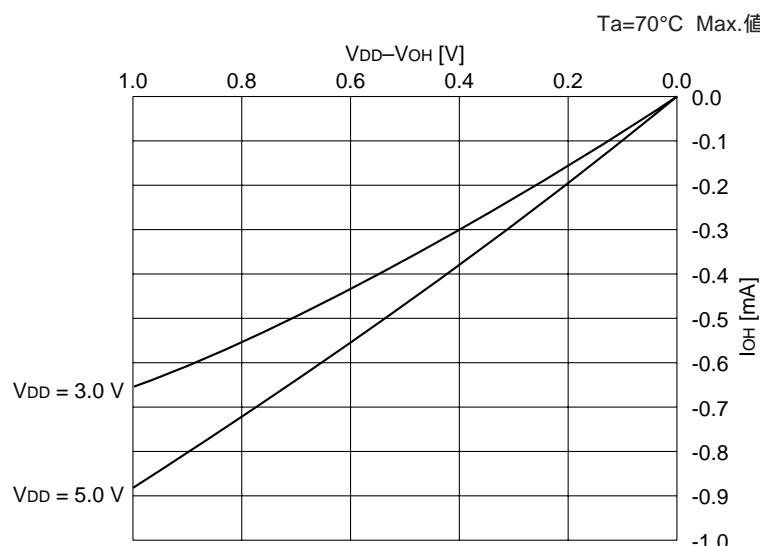
高レベル出力電流(  $P_{xx}$ ,  $R_{xx}$ ,  $BZ$  )



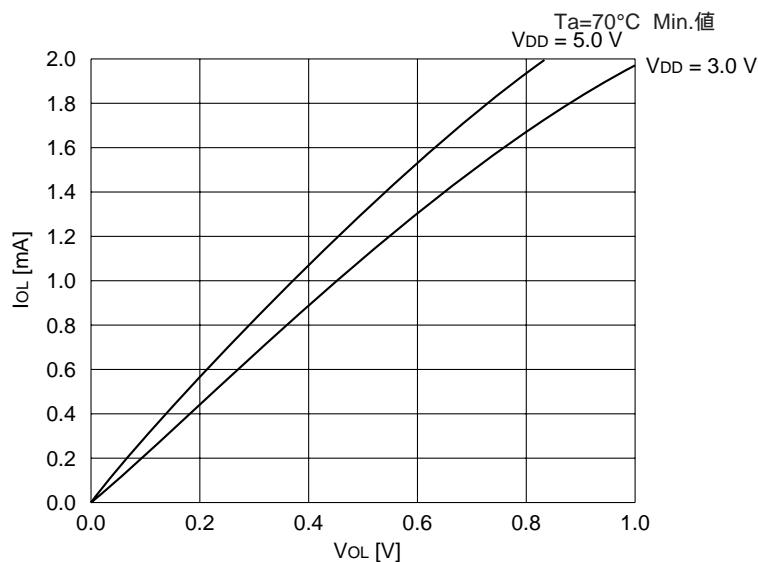
低レベル出力電流(  $P_{xx}$ ,  $R_{xx}$ ,  $BZ$  )



## 高レベル出力電流( SEGxx )



## 低レベル出力電流( SEGxx )

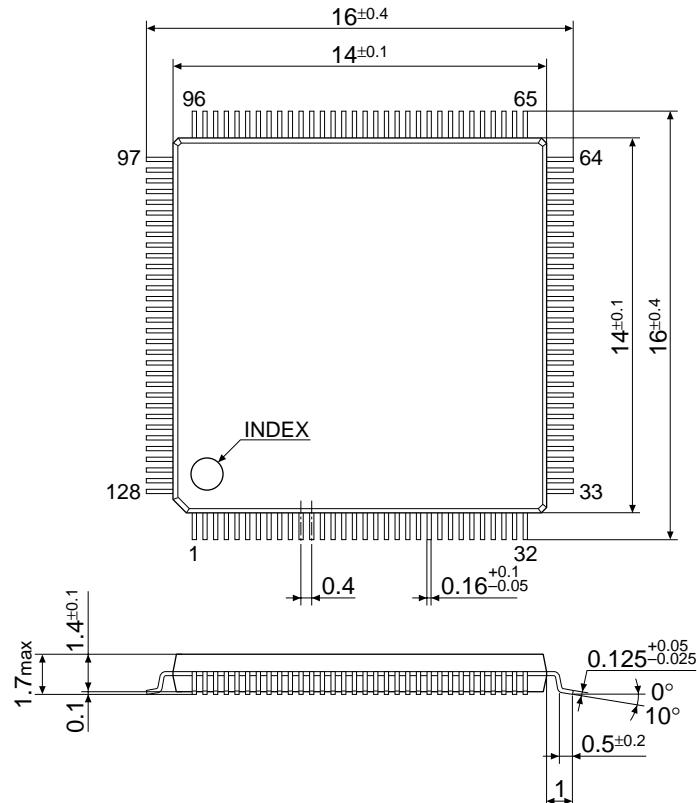


## 8 パッケージ

### 8.1 プラスチックパッケージ

QFP15-128pin

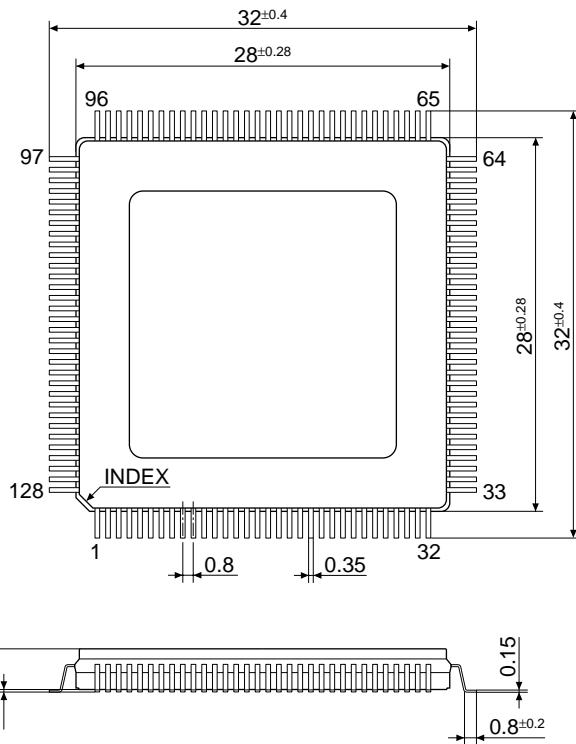
(単位: mm)



寸法については予告なく変更する場合があります。

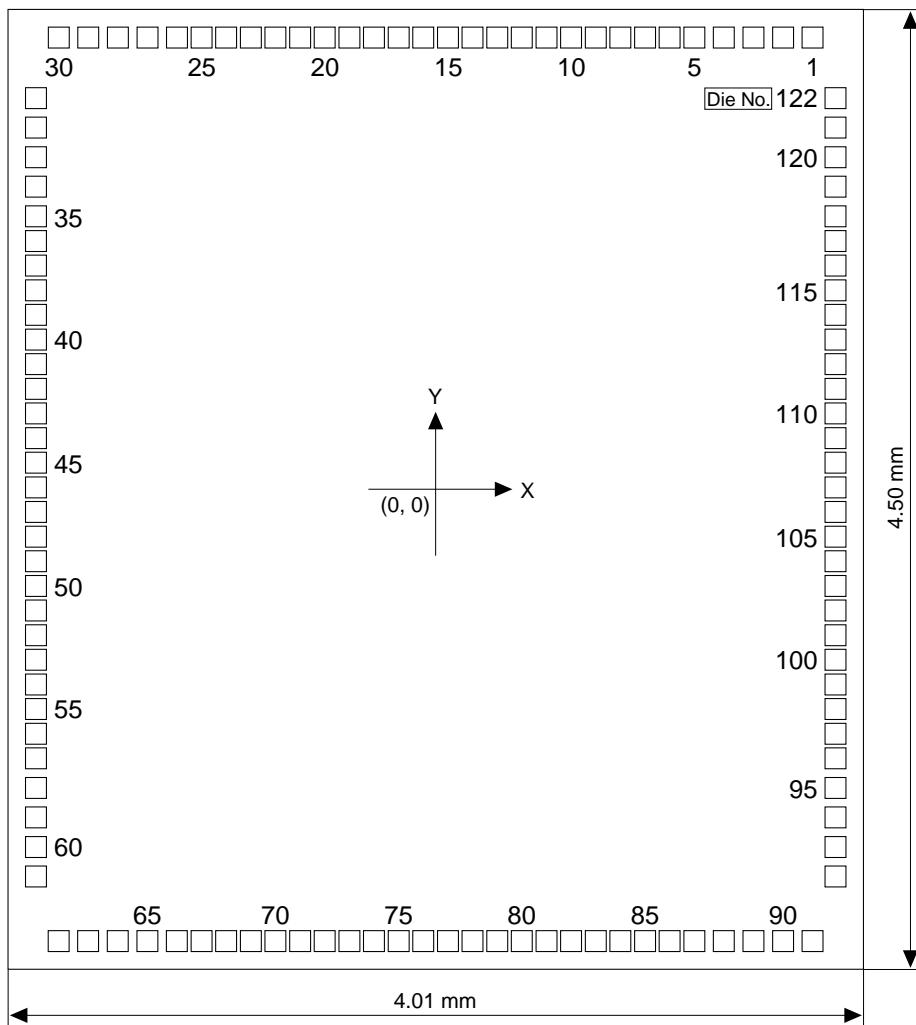
## 8.2 テストサンプル用セラミックパッケージ

(単位: mm)



## 9 パッド配置

### 9.1 パッド配置図



チップ厚: 400 $\mu\text{m}$

パッド開口部: 100 $\mu\text{m}$

## 9.2 パッド座標

単位: μm

No.	パッド名	X座標	Y座標	No.	パッド名	X座標	Y座標	No.	パッド名	X座標	Y座標	No.	パッド名	X座標	Y座標
1	R10	1767	2118	31	P00	-1874	1834	62	SEG34	-1767	-2118	92	SEG4	1874	-1815
2	R03	1629	2118	32	K13	-1874	1696	63	SEG33	-1629	-2118	93	SEG3	1874	-1677
3	R02	1490	2118	33	K12	-1874	1557	64	SEG32	-1490	-2118	94	SEG2	1874	-1538
4	R01	1351	2118	34	K11	-1874	1419	65	SEG31	-1351	-2118	95	SEG1	1874	-1400
5	R00	1213	2118	35	K10	-1874	1280	66	SEG30	-1213	-2118	96	SEG0	1874	-1261
6	CDIN	1097	2118	36	K03	-1874	1164	67	SEG29	-1097	-2118	97	COM7	1874	-1146
7	BPOUT	982	2118	37	K02	-1874	1049	68	SEG28	-982	-2118	98	COM6	1874	-1030
8	RDRC	866	2118	38	K01	-1874	933	69	SEG27	-866	-2118	99	COM5	1874	-915
9	RDIN	751	2118	39	K00	-1874	818	70	SEG26	-751	-2118	100	COM4	1874	-799
10	VREF	635	2118	40	SVD	-1874	702	71	SEG25	-635	-2118	101	COM3	1874	-684
11	AVSS	520	2118	41	VC1	-1874	587	72	SEG24	-520	-2118	102	COM2	1874	-568
12	FB	404	2118	42	VC23	-1874	471	73	SEG23	-404	-2118	103	COM1	1874	-453
13	RING	289	2118	43	VC4	-1874	356	74	SEG22	-289	-2118	104	COM0	1874	-337
14	TIP	173	2118	44	Vc5	-1874	240	75	SEG21	-173	-2118	105	Vss	1874	-222
15	AVDD	58	2118	45	CC	-1874	125	76	SEG20	-58	-2118	106	OSC1	1874	-106
16	P33	-58	2118	46	CB	-1874	9	77	SEG19	58	-2118	107	OSC2	1874	9
17	P32	-173	2118	47	CA	-1874	-106	78	SEG18	173	-2118	108	Vd1	1874	125
18	P31	-289	2118	48	COM8/SEG47 *1	-1874	-222	79	SEG17	289	-2118	109	OSC3	1874	240
19	P30	-404	2118	49	COM9/SEG47 *1	-1874	-337	80	SEG16	404	-2118	110	OSC4	1874	356
20	P23	-520	2118	50	COM10/SEG46 *1	-1874	-453	81	SEG15	520	-2118	111	Vdd	1874	471
21	P22	-635	2118	51	COM11/SEG45 *1	-1874	-568	82	SEG14	635	-2118	112	RESET	1874	587
22	P21	-751	2118	52	COM12/SEG44 *1	-1874	-684	83	SEG13	751	-2118	113	TEST	1874	702
23	P20	-866	2118	53	COM13/SEG43 *1	-1874	-799	84	SEG12	866	-2118	114	TONE	1874	818
24	P13	-982	2118	54	COM14/SEG42 *1	-1874	-915	85	SEG11	982	-2118	115	DP	1874	933
25	P12	-1097	2118	55	COM15/SEG41 *1	-1874	-1030	86	SEG10	1097	-2118	116	R23	1874	1049
26	P11	-1213	2118	56	COM16/SEG40 *1	-1874	-1146	87	SEG9	1213	-2118	117	R22	1874	1164
27	P10	-1351	2118	57	SEG39	-1874	-1261	88	SEG8	1351	-2118	118	R21	1874	1280
28	P03	-1490	2118	58	SEG38	-1874	-1400	89	SEG7	1490	-2118	119	R20	1874	1419
29	P02	-1629	2118	59	SEG37	-1874	-1538	90	SEG6	1629	-2118	120	R13	1874	1557
30	P01	-1767	2118	60	SEG36	-1874	-1677	91	SEG5	1767	-2118	121	R12	1874	1696
—				61	SEG35	-1874	-1815	—				122	R11	1874	1834

\*1: マスクオプション

## **セイコーエプソン株式会社 電子デバイス営業本部**

ED営業推進部	〒191-8501 東京都日野市日野421-8
IC営業技術G	TEL (042)687-5816(直通) FAX (042)687-5624
東日本	
ED東京営業部	〒191-8501 東京都日野市日野421-8
東京IC営業G	TEL (042)687-5313(直通) FAX (042)687-5116
西日本	
ED大阪営業部	〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F
	TEL (06)6120-6000(代表) FAX (06)6120-6100
東海・北陸	
ED名古屋営業部	〒461-0005 名古屋市東区東桜1-10-24 栄大野ビル4F
	TEL (052)953-8031(代表) FAX (052)953-8041
長野	
ED長野営業部	〒392-8502 長野県諏訪市大和3-3-5
	TEL (0266)58-8171(直通) FAX (0266)58-9917
東北	
ED仙台営業所	〒980-0013 宮城県仙台市青葉区花京院1-1-20 花京院スクエア19F
	TEL (022)263-7975(代表) FAX (022)263-7990

インターネットによる電子デバイスのご紹介 <http://www.epsondevice.com>