

**S1R72005B00A300**

**S1R72005F00A300**

**アプリケーションノート**

本資料のご使用につきましては、次の点にご留意願います。

- 
1. 本資料の内容については、予告無く変更することがあります。
  2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
  3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利（工業所有権を含む）侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
  4. 特性値の数値の大小は、数直線上の大小関係で表しています。
  5. 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
  6. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。

# 目次

1. 概要 .....	1
2. レジスタ .....	2
2.1 レジスタマップ .....	2
2.2 レジスタ詳細説明 .....	8
2.2.1 Interrupt main block.....	8
2.2.1.1 0x00 Main Interrupt Status0 (MainIntStat_0) .....	8
2.2.1.2 0x01 Main Interrupt Status1 (MainIntStat_1) .....	10
2.2.1.3 0x02 Host Controller Interrupt Status (HCIntStat) .....	11
2.2.1.4 0x03 PipeInterrupt Status (PIPEIntStat) .....	12
2.2.1.5 0x04 Peripheral Controller Interrupt Status (PCIntStat) .....	13
2.2.1.6 0x05 EndpointInterrupt Status (EPIntStat) .....	14
2.2.1.7 0x06 (Reserved) .....	15
2.2.1.8 0x07 (Reserved) .....	15
2.2.1.9 0x08 Main Interrupt Enable0 (MainIntEnb_0) .....	16
2.2.1.10 0x09 Main Interrupt Enable1 (MainIntEnb_1) .....	17
2.2.1.11 0x0A Host Controller Interrupt Enable (HCIntEnb) .....	18
2.2.1.12 0x0B PipeInterrupt Enable (PIPEIntEnb) .....	19
2.2.1.13 0x0C Peripheral Controller Interrupt Enable (PCIntEnb) .....	20
2.2.1.14 0x0D EndpointInterrupt Enable (EPIntEnb) .....	21
2.2.1.15 0x0E (Reserved) .....	22
2.2.1.16 0x0F (Reserved) .....	22
2.2.2 Pipe interrupt block.....	23
2.2.2.1 0x10 Pipe0 Interrupt Status (PIPE0IntStat) .....	23
2.2.2.2 0x11 (Reserved) .....	25
2.2.2.3 0x12 PipeA Interrupt Status (PIPEaIntStat) .....	26
2.2.2.4 0x13 PipeB Interrupt Status (PIPEbIntStat) .....	28
2.2.2.5 0x14 PipeC Interrupt Status (PIPEcIntStat) .....	30
2.2.2.6 0x15 PipeD Interrupt Status (PIPEdIntStat) .....	32
2.2.2.7 0x16 (Reserved) .....	34
2.2.2.8 0x17 (Reserved) .....	35
2.2.2.9 0x18 Pipe0 Interrupt Enable (PIPE0IntEnb) .....	36
2.2.2.10 0x19 (Reserved) .....	37
2.2.2.11 0x1A PipeA Interrupt Enable (PIPEaIntEnb) .....	38
2.2.2.12 0x1B PipeB Interrupt Enable (PIPEbIntEnb) .....	39
2.2.2.13 0x1C PipeC Interrupt Enable (PIPEcIntEnb) .....	40
2.2.2.14 0x1D PipeD Interrupt Enable (PIPEdIntEnb) .....	41
2.2.2.15 0x1E (Reserved) .....	42
2.2.2.16 0x1F (Reserved) .....	43
2.2.3 Endpoint interrupt block.....	44
2.2.3.1 0x20 Endpoint0 Interrupt Status (EP0IntStat) .....	44
2.2.3.2 0x21 (Reserved) .....	45
2.2.3.3 0x22 EndpointA Interrupt Status (EPaIntStat) .....	46
2.2.3.4 0x23 EndpointB Interrupt Status (EPbIntStat) .....	47
2.2.3.5 0x24 EndpointC Interrupt Status (EPcIntStat) .....	48
2.2.3.6 0x25 EndpointD Interrupt Status (EPdIntStat) .....	49
2.2.3.7 0x26 EndpointE Interrupt Status (EPeIntStat) .....	50
2.2.3.8 0x27 (Reserved) .....	51
2.2.3.9 0x28 Endpoint0 Interrupt Enable (EP0IntEnb) .....	52

2.2.3.10	0x29	(Reserved)	.....	53
2.2.3.11	0x2A	EndpointA Interrupt Enable (EPaIntEnb)	.....	54
2.2.3.12	0x2B	EndpointB Interrupt Enable (EPbIntEnb)	.....	55
2.2.3.13	0x2C	EndpointC Interrupt Enable (EPcIntEnb)	.....	56
2.2.3.14	0x2D	EndpointD Interrupt Enable (EPdIntEnb)	.....	57
2.2.3.15	0x2E	EndpointE Interrupt Enable (EPeIntEnb)	.....	58
2.2.3.16	0x2F	(Reserved)	.....	59
<b>2.2.4</b>	<b>Common block</b>	.....	60	
2.2.4.1	0x30	Macro Configuration (MacroConfig)	.....	60
2.2.4.2	0x31	Revision Number (RevNumber)	.....	61
2.2.4.3	0x32	Common Control (CommonControl)	.....	62
2.2.4.4	0x33	Host Controller & Peripheral Controller Common Control (HCPCCommon)	.....	64
2.2.4.5	0x34	OTG Controller Monitor (OTGCMonitor)	.....	65
2.2.4.6	0x35	OTG Controller Contorl (OTGCControl)	.....	66
2.2.4.7	0x36	(Reserved)	.....	68
2.2.4.8	0x37	Host Controller Control (HCControl)	.....	69
2.2.4.9	0x38	Host Controller Frame Number High (HCFmNumber_H)	.....	70
2.2.4.10	0x39	Host Controller Frame Number Low (HCFmNumber_L)	.....	71
2.2.4.11	0x3A	Peripheral Controller Control (PCCControl)	.....	72
2.2.4.12	0x3B	Peripheral Controller USB Address (PCUSBAddress)	.....	73
2.2.4.13	0x3C	Peripheral Controller Frame Number High (PCFmNumber_H)	.....	74
2.2.4.14	0x3D	Peripheral Controller Frame Number Low (PCFmNumber_L)	.....	75
2.2.4.15	0x3E	Pipe& EndpointCommon (PipeEPCCommon)	.....	76
2.2.4.16	0x3F	EndpointCommon (EPCommon)	.....	77
<b>2.2.5</b>	<b>DMA/CPU/Clock block</b>	.....	78	
2.2.5.1	0x40	DMA Configuration0 (DMAConfig_0)	.....	78
2.2.5.2	0x41	DMA Configuration1 (DMAConfig_1)	.....	80
2.2.5.3	0x42	DMA Control0 (DMAControl_0)	.....	82
2.2.5.4	0x43	DMA Control1 (DMAControl_1)	.....	83
2.2.5.5	0x44	(Reserved)	.....	85
2.2.5.6	0x45	DMA Count High (DMACount_H)	.....	86
2.2.5.7	0x46	DMA Count Middle (DMACount_M)	.....	86
2.2.5.8	0x47	DMA Count Low (DMACount_L)	.....	86
2.2.5.9	0x48	CPU Configuration0 (CPUConfig_0)	.....	87
2.2.5.10	0x49	CPU Configuration1 (CPUConfig_1)	.....	88
2.2.5.11	0x4A	Clock Monitor (ClkMonitor)	.....	89
2.2.5.12	0x4B	Clock Control (ClkControl)	.....	91
2.2.5.13	0x4C	(Reserved)	.....	93
2.2.5.14	0x4D	Clock Command (ClkCommand)	.....	94
2.2.5.15	0x4E	(Reserved)	.....	95
2.2.5.16	0x4F	(Reserved)	.....	95
<b>2.2.6</b>	<b>Control transfer command register block</b>	.....	96	
2.2.6.1	0x50~0x57	Pipe0 Setup Command0~7 (PIPE0Setup_0~PIPE0Setup_7)	.....	96
2.2.6.2	0x58~0x5F	Endpoint0 Setup0~7 (EP0Setup_0~EP0Setup_7)	.....	97
<b>2.2.7</b>	<b>Channel0 control register block</b>	.....	98	
2.2.7.1	0x60	Channel0 Configuration0 (0Config_0)	.....	98
2.2.7.2	0x61	Channel0 Configuration1 (0Config_1)	.....	99
2.2.7.3	0x62	Channel0 Max Packet Size High (0MaxPktSize_H)	.....	101
2.2.7.4	0x63	Channel0 Max Packet Size Low (0MaxPktSize_L)	.....	102
2.2.7.5	0x64	Pipe0 Control Transfer Auto Mode (PIPE0CTLAutoMode)	.....	103
2.2.7.6	0x65	Pipe0 Transfer Configuration (PIPE0TranConfig)	.....	104
2.2.7.7	0x66	Pipe0 Control (PIPE0Control)	.....	105
2.2.7.8	0x67	Pipe0 Total Size High (PIPE0TotalSize_H)	.....	107
2.2.7.9	0x68	Pipe0 Total Size Middle (PIPE0TotalSize_M)	.....	107
2.2.7.10	0x69	Pipe0 Total Size Low (PIPE0TotalSize_L)	.....	107

2.2.7.11 0x6A	Endpoint0 Control0 (EP0Control_0) .....	109
2.2.7.12 0x6B	Endpoint0 Control1 (EP0Control_1) .....	111
2.2.7.13 0x6C	Channel0 FIFO for CPU High (0FIFOforCPU_H) .....	113
2.2.7.14 0x6D	Channel0 FIFO for CPU Low (0FIFOforCPU_L) .....	114
2.2.7.15 0x6E	Channel0 FIFO Control0 (0FIFOControl_0) .....	115
2.2.7.16 0x6F	Channel0 FIFO Control1 (0FIFOControl_1) .....	117
<b>2.2.8 ChannelA control block.....</b>		<b>118</b>
2.2.8.1 0x70	ChannelA Configuration0 (aConfig_0) .....	118
2.2.8.2 0x71	ChannelA Configuration1 (aConfig_1) .....	120
2.2.8.3 0x72	ChannelA Max Packet Size High (aMaxPktSize_H) .....	121
2.2.8.4 0x73	ChannelA Max Packet Size Low (aMaxPktSize_L) .....	122
2.2.8.5 0x74	PipeA Interval Time (PIPEaInterval) .....	123
2.2.8.6 0x75	PipeA Transfer Configuration (PIPEaTranConfig) .....	124
2.2.8.7 0x76	PipeA Control (PIPEaControl) .....	125
2.2.8.8 0x77	PipeA Total Size High (PIPEaTotalSize_H) .....	126
2.2.8.9 0x78	PipeA Total Size Middle (PIPEaTotalSize_M) .....	126
2.2.8.10 0x79	PipeA Total Size Low (PIPEaTotalSize_L) .....	126
2.2.8.11 0x7A	EndpointA Control0 (EPaControl_0) .....	128
2.2.8.12 0x7B	EndpointA Control1 (EPaControl_1) .....	130
2.2.8.13 0x7C	ChannelA FIFO for CPU High (aFIFOforCPU_H) .....	131
2.2.8.14 0x7D	ChannelA FIFO for CPU Low (aFIFOforCPU_L) .....	132
2.2.8.15 0x7E	ChannelA FIFO Control0 (aFIFOControl_0) .....	133
2.2.8.16 0x7F	ChannelA FIFO Control1 (aFIFOControl_1) .....	135
<b>2.2.9 ChannelB register block .....</b>		<b>136</b>
<b>2.2.10 ChannelC register block .....</b>		<b>136</b>
<b>2.2.11 ChannelD register block .....</b>		<b>137</b>
<b>2.2.12 ChannelE register block .....</b>		<b>137</b>
2.2.13 0xE1 Extra OTG State Command (E_OTGStateCmd) .....	138	
2.2.14 0xC0~0xFF register block .....	138	
<b>3. 既知の問題と対処方法.....</b>		<b>139</b>
3.1 S1R72005 がUSBホストとして動作時に、問題を起こす可能性のある振る舞い .....	139	
3.2 S1R72005 がUSBデバイスとして動作時に、問題を起こす可能性のある振る舞い .....	139	
3.2.1 発生条件 .....	139	
3.2.2 対処方法 .....	140	
<b>4. 改訂履歴 .....</b>		<b>141</b>



### 1. 概要

S1R72005F00A300 及び S1R72005B00A300 は、USB2.0 規格フルスピード（12Mbps）モードに対応した On-The-Go (OTG) デバイスコントローラ LSI です。ホストとファンクションの両機能に加え OTG の機能を 1チップに集積し、OTG デュアルロール・デバイスとしての動作を実現します。  
本書は、S1R72005 のレジスタ情報をまとめ提供するものです。

## 2. レジスタ

### 2. レジスタ

#### 2.1 レジスタマップ

0x00~0x2F

■はクロック供給の有無に関わらずリードまたはライト可能なフィールドです。

Addr.	Register Name		bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	(16bitAccess)	(8bitAccess)	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0x00	MainIntStat	MainIntStat_0	DetFreezeDMA	PCIIntStat	HCIntStat	MainIntStat_1	DMACmp	PortErr	Cross44V	RcvEP0Setup
0x01		MainIntStat_1	DetReset	DetResume	DetNonJ	DetSuspend	DetRmtWkup	DetSRP	ChangeConnStat	ChangeID
0x02	HCIntStat								FmNumberOver	SOF
0x03	PIPEIntStat					PIPEdIntStat	PIPEcIntStat	PIPEbIntStat	PIPEaIntStat	PIPE0IntStat
0x04	PCIIntStat								RevSOF	
0x05	EPIntStat	INTranCmp			EPeIntStat	EPdIntStat	EPcIntStat	EPbIntStat	EPaIntStat	EP0IntStat
0x06	(Reserved)									
0x07	(Reserved)									
0x08	MainIntEnb	MainIntEnb_0	EnDetFreezeDMA	EnPCIntStat	EnHCIntStat	EnMainIntStat_1	EnDMACmp	EnPortErr	EnCross44V	EnRcvEP0Setup
0x09		MainIntEnb_1	EnDetReset	EnDetResume	EnDetNonJ	EnDetSuspend	EnDetRmtWkup	EnDetSRP	EnChangeConnStat	EnChangeID
0x0A	HCIntEnb								FmNumberOver	EnSOF
0x0B	PIPEIntEnb					EnPIPEdIntStat	EnPIPEcIntStat	EnPIPEbIntStat	EnPIPEaIntStat	EnPIPE0IntStat
0x0C	PCIIntEnb								EnRcvSOF	
0x0D	EPIntEnb	EnINTranCmp			EnEPeIntStat	EnEPdIntStat	EnEPcIntStat	EnEPbIntStat	EnEPaIntStat	EnEP0IntStat
0x0E	(Reserved)									
0x0F	(Reserved)									

0x10	PIPE0IntStat	PIPE0TranCmp		CTLTranCmp		PIPE0InShortRcv	PIPE0InOverSize	PIPE0TranErr	PIPE0Stalled	PIPE0NoResp
0x11	(Reserved)									
0x12	PIPEaIntStat	PIPEaTranCmp				PIPEaInShortRcv	PIPEaInOverSize	PIPEaTranErr	PIPEaStalled	PIPEaNoResp
0x13	PIPEbIntStat	PIPEbTranCmp				PIPEbInShortRcv	PIPEbInOverSize	PIPEbTranErr	PIPEbStalled	PIPEbNoResp
0x14	PIPEcIntStat	PIPEcTranCmp				PIPEcInShortRcv	PIPEcInOverSize	PIPEcTranErr	PIPEcStalled	PIPEcNoResp
0x15	PIPEdIntStat	PIPEdTranCmp				PIPEdInShortRcv	PIPEdInOverSize	PIPEdTranErr	PIPEdStalled	PIPEdNoResp
0x16	(Reserved)									
0x17	(Reserved)									
0x18	PIPE0IntEnb	EnPIPE0TranCmp	EnCTLTranCmp			EnPIPE0InShortRcv	EnPIPE0InOverSize	EnPIPE0TranErr	EnPIPE0Stalled	EnPIPE0NoResp
0x19	(Reserved)									
0x1A	PIPEaIntEnb	EnPIPEaTranCmp				EnPIPEaInShortRcv	EnPIPEaInOverSize	EnPIPEaTranErr	EnPIPEaStalled	EnPIPEaNoResp
0x1B	PIPEbIntEnb	EnPIPEbTranCmp				EnPIPEbInShortRcv	EnPIPEbInOverSize	EnPIPEbTranErr	EnPIPEbStalled	EnPIPEbNoResp
0x1C	PIPEcIntEnb	EnPIPEcTranCmp				EnPIPEcInShortRcv	EnPIPEcInOverSize	EnPIPEcTranErr	EnPIPEcStalled	EnPIPEcNoResp
0x1D	PIPEdIntEnb	EnPIPEdTranCmp				EnPIPEdInShortRcv	EnPIPEdInOverSize	EnPIPEdTranErr	EnPIPEdStalled	EnPIPEdNoResp
0x1E	(Reserved)									
0x1F	(Reserved)									

0x20	EP0IntStat	EP0IntStat			EP0INTranACK	EP0OUTTranACK	EP0INTranNAK	EP0OUTTranNAK	EP0INTranErr	EP0OUTTranErr
0x21	(Reserved)									
0x22	EPaIntStat	EPaIntStat	EPaOUTShortACK	EPaINTranACK	EPaOUTTranACK	EPaINTranNAK	EPaOUTTranNAK	EPaINTranErr	EPaOUTTranErr	
0x23	EPbIntStat	EPbIntStat	EPbOUTShortACK	EPbINTranACK	EPbOUTTranACK	EPbINTranNAK	EPbOUTTranNAK	EPbINTranErr	EPbOUTTranErr	
0x24	EPcIntStat	EPcIntStat	EPcOUTShortACK	EPcINTranACK	EPcOUTTranACK	EPcINTranNAK	EPcOUTTranNAK	EPcINTranErr	EPcOUTTranErr	
0x25	EPdIntStat	EPdIntStat	EPdOUTShortACK	EPdINTranACK	EPdOUTTranACK	EPdINTranNAK	EPdOUTTranNAK	EPdINTranErr	EPdOUTTranErr	
0x26	EPeIntStat	EPeIntStat	EPeOUTShortACK	EPeINTranACK	EPeOUTTranACK	EPeINTranNAK	EPeOUTTranNAK	EPeINTranErr	EPeOUTTranErr	
0x27	(Reserved)									
0x28	EP0IntEnb	EP0IntEnb			EnEP0INTranACK	EnEP0OUTTranACK	EnEP0INTranNAK	EnEP0OUTTranNAK	EnEP0INTranErr	EnEP0OUTTranErr
0x29	(Reserved)									
0x2A	EPaIntEnb	EPaIntEnb	EnEPaOUTShortACK	EnEPaINTranACK	EnEPaOUTTranACK	EnEPaINTranNAK	EnEPaOUTTranNAK	EnEPaINTranErr	EnEPaOUTTranErr	
0x2B	EPbIntEnb	EPbIntEnb	EnEPbOUTShortACK	EnEPbINTranACK	EnEPbOUTTranACK	EnEPbINTranNAK	EnEPbOUTTranNAK	EnEPbINTranErr	EnEPbOUTTranErr	
0x2C	EPcIntEnb	EPcIntEnb	EnEPcOUTShortACK	EnEPcINTranACK	EnEPcOUTTranACK	EnEPcINTranNAK	EnEPcOUTTranNAK	EnEPcINTranErr	EnEPcOUTTranErr	
0x2D	EPdIntEnb	EPdIntEnb	EnEPdOUTShortACK	EnEPdINTranACK	EnEPdOUTTranACK	EnEPdINTranNAK	EnEPdOUTTranNAK	EnEPdINTranErr	EnEPdOUTTranErr	
0x2E	EPeIntEnb	EPeIntEnb	EnEPeOUTShortACK	EnEPeINTranACK	EnEPeOUTTranACK	EnEPeINTranNAK	EnEPeOUTTranNAK	EnEPeINTranErr	EnEPeOUTTranErr	
0x2F	(Reserved)									

## 2. レジスタ

(レジスタマップつづき)

0x30～0x5F

■はクロック供給の有無に関わらずリードまたはライト可能なフィールドです。

Addr.	Register Name	bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
		(16bitAccess)	(8bitAccess)	bit7	bit6	bit5	bit4	bit3	bit0
0x30	MacroConfig				COMPPwrDown				ExtResMode
0x31		RevNumber			RevNumber[7:0]				
0x32	CommonControl				ResetXcvr	ResetPC	ResetHC	ResetOTGC	ResetALL
0x33	HCPCCCommon								OpMode[2:0]
0x34	OTGCommon	OTGCMonitor	LSConnect	ID	LineState[1:0]			Comp20V	Comp44V
0x35		OTGCCControl	AllowRmtWkup		BusPwrSel		OTGStateCmd[3:0]		
0x36	(Reserved)				EnNoFnBulkMode				
0x37	HCCCommon	HCCControl							HCStateCmd[1:0]
0x38	HCFmNumber	HCFmNumber_H							HCFmNumber[10:8]
0x39		HCFmNumber_L			HCFmNumber[7:0]				
0x3A	PCCommon	PCControl							SendWakeup
0x3B		PCUSBAddress			USBAddress[6:0]				
0x3C	PCFmNumber	PCFmNumber_H	FnInValid					PCFmNumber[10:8]	
0x3D		PCFmNumber_L			PCFmNumber[7:0]				
0x3E	PipeEPCommon								SetBuffer
0x3F		EPCommon				AutoEnShort	ALLForceNAK	EPrForceSTALL	

0x40	DMAConfig	DMAConfig_0		DINLatency[4:0]				DOUTLatency[4:0]	
0x41		DMAConfig_1	ActiveDMA	DMAClkPhase	DMATranMode[1:0]	DREQLevel	DMAEndian	StrobeMode	DMABus8x16
0x42	DMAControl	DMAControl_0		BurstFIFORemain				BurstLength[1:0]	
0x43		DMAControl_1	DMAAbort						DMAGo
0x44	(Reserved)								
0x45	DMACount_H	DMACount_H			DMACount[23:16]				
0x46	DMACount_M				DMACount[15:8]				
0x47	DMACount_L	DMACount_L			DMACount[7:0]				
0x48	CPUConfig	CPUConfig_0		WaitPortDisable	WaitMode	IntMode	CPUEndian		CPUBus8x16
0x49		CPUConfig_1		WaitPortDisable	WaitMode	IntMode	CPUEndian		CPUBus8x16
0x4A	ClkControl	ClikMonitor				CPUClkActive	PLLClkActive	EnPLL	EnOSC
0x4B		ClkControl	OSCWakeUpTime[1:0]	PLLWakeUpTime[1:0]		HCSleep	PCSleep	MainSleep	XcvrSleep
0x4C	(Reserved)								
0x4D	ClkCommand	ClkCommand			ClkCommand[7:0]				
0x4E	(Reserved)								
0x4F	(Reserved)								

0x50	PIPE0Setup_0	PIPE0Setup_0			PIPE0Setup_0[7:0]				
0x51		PIPE0Setup_1			PIPE0Setup_1[7:0]				
0x52	PIPE0Setup_2	PIPE0Setup_2			PIPE0Setup_2[7:0]				
0x53		PIPE0Setup_3			PIPE0Setup_3[7:0]				
0x54	PIPE0Setup_4	PIPE0Setup_4			PIPE0Setup_4[7:0]				
0x55		PIPE0Setup_5			PIPE0Setup_5[7:0]				
0x56	PIPE0Setup_6	PIPE0Setup_6			PIPE0Setup_6[7:0]				
0x57		PIPE0Setup_7			PIPE0Setup_7[7:0]				
0x58	EP0Setup_0	EP0Setup_0			EP0Setup_0[7:0]				
0x59		EP0Setup_1			EP0Setup_1[7:0]				
0x5A	EP0Setup_2	EP0Setup_2			EP0Setup_2[7:0]				
0x5B		EP0Setup_3			EP0Setup_3[7:0]				
0x5C	EP0Setup_4	EP0Setup_4			EP0Setup_4[7:0]				
0x5D		EP0Setup_5			EP0Setup_5[7:0]				
0x5E	EP0Setup_6	EP0Setup_6			EP0Setup_6[7:0]				
0x5F		EP0Setup_7			EP0Setup_7[7:0]				

## 2. レジスタ

(レジスタマップつづき)

0x60～0x8F

Addr.	Register Name		bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	(16bitAccess)	(8bitAccess)	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0x60	0Config	0Config_0	JoinDMA	FIFOClr						
0x61		0Config_1		DirPID[1:0]					EPNumber[3:0]	
0x62	0MaxPktSize	0MaxPktSize_H				BufferPage[4:0]				
0x63		0MaxPktSize_L					MaxPktSize[6:0]			
0x64	PIPE0Control_0	PIPE0CTLAutoMode						DataStageDir	NoDataStage	EnCTLAuto
0x65		PIPE0TranConfig			Continuity[2:0]				FuncAddr[2:0]	
0x66	PIPE0Control_1	PIPE0Control				Toggle				TranGo
0x67		PIPE0TotalSize_H				TotalSize[23:16]				
0x68	PIPE0Control_2	PIPE0TotalSize_M				TotalSize[15:8]				
0x69		PIPE0TotalSize_L				TotalSize[7:0]				
0x6A	EP0Control	EP0Control_0		AutoForceNAK	InEnShortPkt		InForceNAK	InForceSTALL	OutForceNAK	OutForceSTALL
0x6B		EP0Control_1	InToggleStat		InToggleSet	InToggleClr	OutToggleStat		OutToggleSet	OutToggleClr
0x6C	0FIFOforCPU	0FIFOforCPU_H				FIFOforCPU[15:8]				
0x6D		0FIFOforCPU_L				FIFOforCPU[7:0]				
0x6E	0FIFOControl	0FIFOControl_0	FIFOEmpty	FIFOFull	EnIFOwr	EnFIFOrd	EnFIFOByteAccess		FIFODataRemain[10:8]	
0x6F		0FIFOControl_1					FIFODataRemain[7:0]			

0x70	aConfig	aConfig_0	JoinDMA	FIFOClr	ToggleMode	AutoZeroLen				
0x71		aConfig_1		DirPID[1:0]		TranType[1:0]			EPNumber[3:0]	
0x72	aMaxPktSize	aMaxPktSize_H				BufferPage[4:0]			MaxPktSize[9:8]	
0x73		aMaxPktSize_L				MaxPktSize[7:0]				
0x74	PIPEaControl_0	PIPEaInterval				Interval[7:0]				
0x75		PIPEaTranConfig			Continuity[2:0]				FuncAddr[2:0]	
0x76	PIPEaControl_1	PIPEaControl				Toggle				TranGo
0x77		PIPEaTotalSize_H				TotalSize[23:16]				
0x78	PIPEaControl_2	PIPEaTotalSize_M				TotalSize[15:8]				
0x79		PIPEaTotalSize_L				TotalSize[7:0]				
0x7A	EPaControl	EPaControl_0	EnEndPoint	AutoForceNAK	EnShortPkt	AutoForceNAKShort			ForceNAK	ForceSTALL
0x7B		EPaControl_1					ToggleStat		ToggleSet	ToggleClr
0x7C	aFIFOforCPU	aFIFOforCPU_H				FIFOforCPU[15:8]				
0x7D		aFIFOforCPU_L				FIFOforCPU[7:0]				
0x7E	aFIFOControl	aFIFOControl_0	FIFOEmpty	FIFOFull	EnIFOwr	EnFIFOrd	EnFIFOByteAccess		FIFODataRemain[10:8]	
0x7F		aFIFOControl_1					FIFODataRemain[7:0]			

0x80	bConfig	bConfig_0	JoinDMA	FIFOClr	ToggleMode	AutoZeroLen				
0x81		bConfig_1		DirPID[1:0]		TranType[1:0]			EPNumber[3:0]	
0x82	bMaxPktSize	bMaxPktSize_H				BufferPage[4:0]			MaxPktSize[9:8]	
0x83		bMaxPktSize_L				MaxPktSize[7:0]				
0x84	PIPEbControl_0	PIPEbInterval				Interval[7:0]				
0x85		PIPEbTranConfig			Continuity[2:0]				FuncAddr[2:0]	
0x86	PIPEbControl_1	PIPEbControl				Toggle				TranGo
0x87		PIPEbTotalSize_H				TotalSize[23:16]				
0x88	PIPEbControl_2	PIPEbTotalSize_M				TotalSize[15:8]				
0x89		PIPEbTotalSize_L				TotalSize[7:0]				
0x8A	EPbControl	EPbControl_0	EnEndPoint	AutoForceNAK	EnShortPkt	AutoForceNAKShort			ForceNAK	ForceSTALL
0x8B		EPbControl_1					ToggleStat		ToggleSet	ToggleClr
0x8C	bFIFOforCPU	bFIFOforCPU_H				FIFOforCPU[15:8]				
0x8D		bFIFOforCPU_L				FIFOforCPU[7:0]				
0x8E	bFIFOControl	bFIFOControl_0	FIFOEmpty	FIFOFull	EnIFOwr	EnFIFOrd	EnFIFOByteAccess		FIFODataRemain[10:8]	
0x8F		bFIFOControl_1					FIFODataRemain[7:0]			

## 2. レジスタ

(レジスタマップつづき)

0x90～0xBF

Addr.	Register Name		bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	(16bitAccess)	(8bitAccess)	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0x90	cConfig	cConfig_0	JoinDMA	FIFOClr	ToggleMode	AutoZeroLen				
0x91		cConfig_1		DirPID[1:0]		TranType[1:0]			EPNumber[3:0]	
0x92	cMaxPktSize	cMaxPktSize_H				BufferPage[4:0]				MaxPktSize[9:8]
0x93		cMaxPktSize_L				MaxPktSize[7:0]				
0x94	PIPEeControl_0	PIPEeInterval				Interval[7:0]				
0x95		PIPEeTranConfig			Continuity[2:0]				FuncAddr[2:0]	
0x96	PIPEeControl_1	PIPEeControl				Toggle				TranGo
0x97		PIPEeTotalSize_H				TotalSize[23:16]				
0x98	PIPEeControl_2	PIPEeTotalSize_M				TotalSize[15:8]				
0x99		PIPEeTotalSize_L				TotalSize[7:0]				
0x9A	EPeControl	EPeControl_0	EnEndPoint	AutoForceNAK	EnShortPkt	AutoForceNAKShort			ForceNAK	ForceSTALL
0x9B		EPeControl_1					ToggleStat		ToggleSet	ToggleClr
0x9C	cFIFOforCPU	cFIFOforCPU_H				FIFOforCPU[15:8]				
0x9D		cFIFOforCPU_L				FIFOforCPU[7:0]				
0x9E	cFIFOControl	cFIFOControl_0	FIFOEmpty	FIFOFull	EnFIFOwr	EnFIFOrd	EnFIFOByteAccess		FIFODataRemain[10:8]	
0x9F		cFIFOControl_1					FIFODataRemain[7:0]			

0xA0	dConfig	dConfig_0	JoinDMA	FIFOClr	ToggleMode	AutoZeroLen				
0xA1		dConfig_1		DirPID[1:0]		TranType[1:0]			EPNumber[3:0]	
0xA2	dMaxPktSize	dMaxPktSize_H				BufferPage[4:0]				MaxPktSize[9:8]
0xA3		dMaxPktSize_L				MaxPktSize[7:0]				
0xA4	PIPEdControl_0	PIPEdInterval				Interval[7:0]				
0xA5		PIPEdTranConfig			Continuity[2:0]				FuncAddr[2:0]	
0xA6	PIPEdControl_1	PIPEdControl				Toggle				TranGo
0xA7		PIPEdTTotalSize_H				TotalSize[23:16]				
0xA8	PIPEdControl_2	PIPEdTTotalSize_M				TotalSize[15:8]				
0xA9		PIPEdTTotalSize_L				TotalSize[7:0]				
0xAA	EPdControl	EPdControl_0	EnEndPoint	AutoForceNAK	EnShortPkt	AutoForceNAKShort			ForceNAK	ForceSTALL
0xAB		EPdControl_1					ToggleStat		ToggleSet	ToggleClr
0xAC	dFIFOforCPU	dFIFOforCPU_H				FIFOforCPU[15:8]				
0xAD		dFIFOforCPU_L				FIFOforCPU[7:0]				
0xAE	dFIFOControl	dFIFOControl_0	FIFOEmpty	FIFOFull	EnFIFOwr	EnFIFOrd	EnFIFOByteAccess		FIFODataRemain[10:8]	
0xAF		dFIFOControl_1					FIFODataRemain[7:0]			

0xB0	eConfig	eConfig_0	JoinDMA	FIFOClr	ToggleMode	AutoZeroLen				
0xB1		eConfig_1		DirPID[1:0]		TranType[1:0]			EPNumber[3:0]	
0xB2	eMaxPktSize	eMaxPktSize_H				BufferPage[4:0]				MaxPktSize[9:8]
0xB3		eMaxPktSize_L				MaxPktSize[7:0]				
0xB4	PIPEeControl_0	PIPEeInterval				Interval[7:0]				
0xB5		PIPEeTranConfig			Continuity[2:0]				FuncAddr[2:0]	
0xB6	PIPEeControl_1	PIPEeControl				Toggle				TranGo
0xB7		PIPEeTotalSize_H				TotalSize[23:16]				
0xB8	PIPEeControl_2	PIPEeTotalSize_M				TotalSize[15:8]				
0xB9		PIPEeTotalSize_L				TotalSize[7:0]				
0xBA	EPeControl	EPeControl_0	EnEndPoint	AutoForceNAK	EnShortPkt	AutoForceNAKShort			ForceNAK	ForceSTALL
0xBB		EPeControl_1					ToggleStat		ToggleSet	ToggleClr
0xBC	eFIFOforCPU	eFIFOforCPU_H				FIFOforCPU[15:8]				
0xBD		eFIFOforCPU_L				FIFOforCPU[7:0]				
0xBE	eFIFOControl	eFIFOControl_0	FIFOEmpty	FIFOFull	EnFIFOwr	EnFIFOrd	EnFIFOByteAccess		FIFODataRemain[10:8]	
0xBF		eFIFOControl_1					FIFODataRemain[7:0]			

## 2. レジスタ

---

(レジスタマップつづき)

0xC0～0xEF

Addr.	Register Name		bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	(16bitAccess)	(8bitAccess)	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0xC0	(Reserved)	(Reserved)								
0xC1	(Reserved)	(Reserved)								
0xC2	(Reserved)	(Reserved)								
0xC3	(Reserved)	(Reserved)								
0xC4	(Reserved)	(Reserved)								
0xC5	(Reserved)	(Reserved)								
0xC6	(Reserved)	(Reserved)								
0xC7	(Reserved)	(Reserved)								
0xC8	(Reserved)	(Reserved)								
0xC9	(Reserved)	(Reserved)								
0xCA	(Reserved)	(Reserved)								
0xCB	(Reserved)	(Reserved)								
0xCC	(Reserved)	(Reserved)								
0xCD	(Reserved)	(Reserved)								
0xCE	(Reserved)	(Reserved)								
0xCF	(Reserved)	(Reserved)								

0xD0	(Reserved)	(Reserved)								
0xD1	(Reserved)	(Reserved)								
0xD2	(Reserved)	(Reserved)								
0xD3	(Reserved)	(Reserved)								
0xD4	(Reserved)	(Reserved)								
0xD5	(Reserved)	(Reserved)								
0xD6	(Reserved)	(Reserved)								
0xD7	(Reserved)	(Reserved)								
0xD8	(Reserved)	(Reserved)								
0xD9	(Reserved)	(Reserved)								
0xDA	(Reserved)	(Reserved)								
0xDB	(Reserved)	(Reserved)								
0xDC	(Reserved)	(Reserved)								
0xDD	(Reserved)	(Reserved)								
0xDE	(Reserved)	(Reserved)								
0xDF	(Reserved)	(Reserved)								

0xE0	E_OTGStateCmd	(Reserved)								
0xE1	E_OTGStateOmd	(Reserved)								E_OTGStateCmd [7:0]
0xE2	(Reserved)	(Reserved)								
0xE3	(Reserved)	(Reserved)								
0xE4	(Reserved)	(Reserved)								
0xE5	(Reserved)	(Reserved)								
0xE6	(Reserved)	(Reserved)								
0xE7	(Reserved)	(Reserved)								
0xE8	(Reserved)	(Reserved)								
0xE9	(Reserved)	(Reserved)								
0xEA	(Reserved)	(Reserved)								
0xEB	(Reserved)	(Reserved)								
0xEC	(Reserved)	(Reserved)								
0xED	(Reserved)	(Reserved)								
0xEE	(Reserved)	(Reserved)								
0xEF	(Reserved)	(Reserved)								

(レジタマップつづき)

0xF0～0xFF

Addr.	Register Name		bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
	(16bitAccess)	(8bitAccess)	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
0xF0	(Reserved)	(Reserved)								
0xF1	(Reserved)	(Reserved)								
0xF2	(Reserved)	(Reserved)								
0xF3	(Reserved)	(Reserved)								
0xF4	(Reserved)	(Reserved)								
0xF5	(Reserved)	(Reserved)								
0xF6	(Reserved)	(Reserved)								
0xF7	(Reserved)	(Reserved)								
0xF8	(Reserved)	(Reserved)								
0xF9	(Reserved)	(Reserved)								
0xFA	(Reserved)	(Reserved)								
0xFB	(Reserved)	(Reserved)								
0xFC	(Reserved)	(Reserved)								
0xFD	(Reserved)	(Reserved)								
0xFE	(Reserved)	(Reserved)								
0xFF	(Reserved)	(Reserved)								

## 2. レジスタ

### 2.2 レジスタ詳細説明

#### 2.2.1 Interrupt main block

##### 2.2.1.1 0x00 Main Interrupt Status0 (MainIntStat\_0)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x00	MainIntStat_0	7: DetFreezeDMA	R(W)	0: None	1: DetFreezeDMA Occurred	00h
		6: PCIntStat	R	0: None	1: Peripheral Interrupt Occurred	
		5: HCIntStat	R	0: None	1: Host Interrupt Occurred	
		4: MainIntStat_1	R	0: None	1: Main Interrupt 1 Occurred	
		3: DMAComp	R(W)	0: None	1: DMA Transfer Complete	
		2: PortErr	R(W)	0: None	1: Port Error Occurred	
		1: Cross44V	R(W)	0: None	1: Vbus Crossed 4.4V	
		0: RcvEP0Setup	R(W)	0: None	1: Receive EP 0 Setup Transaction	

S1R72005 の割り込みを表示します。割り込み発生時にこのレジスタを参照することにより、割り込み要因を特定することができます。このレジスタには割り込み要因を間接指示するビットと直接指示するビットがあります。

割り込み要因を間接指示するビットは、それぞれに対応する割り込みステータスレジスタをリードすることにより、割り込み要因を直接指示するビットまでたどることができます。その大本の割り込み要因を直接指示するビットをクリアすることで、本レジスタの割り込み要因を間接指示しているビットは自動的にクリアされます。

割り込み要因を直接指示しているビットは、その該当ビットに “1” をセットすることにより、割り込み要因をクリアすることができます。MainIntEnb\_0 レジスタにより割り込みがイネーブルにされている場合は、割り込み要因が “1” にセットされると xINT 端子がアサートされ、CPU に対して割り込みが発生します。該当する割り込み要因が全てクリアされると、xINT 端子がネガートされます。

#### Bit7 DetFreezeDMA

割り込み要因を直接に示します。

DMA ワードアクセス (16bit アクセス) 使用時、かつ USB 受信転送 (ホスト時は IN トランザクション、ペリフェラル時は OUT トランザクション) 時において、DMA を使用しているチャネルの FIFODataRemain が 1 となりその時の DMACount が 1 より大きい状態の時、このビットが “1” にセットされます。

このビットが “1” にセットされた時は DMA 転送は停止されます。ただし、DMAControl レジスタの DMAGo ビットは “0” なりません。

この割り込みは FIFODataRemain=1 かつ DMACount>1 である間、アサートされ続けます。

DMA ワードアクセス時は DMACount が 1 より大きい状態で奇数バイト読み出しができないため、この割り込みがアサートされた場合は、該当チャネル FIFOControl レジスタの EnFIFOByteAccess ビットが “1” の状態で FIFOforCPU レジスタから残りの 1 バイトのデータを読み出す必要があります。

この割り込みはホスト、ペリフェラルの両方で発生します。

例えば、予め DMACount レジスタを適当な（過剰な）大きさに設定した後、DMACount が十分に残っているのに最終パケットを奇数バイトで受信した場合などでこの割り込みは発生します。

(次のページに続く)

(0x00 レジスタ説明の続き)

**Bit6 PCIntStat**

割り込み要因を間接に示します。

PCIntStat レジスタ、または EPIntStat レジスタに割り込み要因があり、かつ該当の割り込み要因がイネーブルにされている場合に “1” にセットされます。 この割り込みはペリフェラル動作時のみで発生します。

**Bit5 HCIntStat**

割り込み要因を間接に示します。

HCIntStat レジスタ、または PIPEIntStat レジスタに割り込み要因があり、かつ該当の割り込み要因がイネーブルにされている場合に “1” にセットされます。 この割り込みはホスト動作時のみで発生します。

**Bit4 MainIntStat\_1**

割り込み要因を間接に示します。

MainIntStat\_1 レジスタに割り込み要因があり、かつ該当の割り込み要因がイネーブルにされている場合に “1” にセットされます。 レジスタアクセスを 8bit アクセスで行う場合に用います。

**Bit3 DMAComp**

割り込み要因を直接示します。

DMAControl\_1 レジスタの DMAGo ビットにより起動された DMA 転送が、DMACount\_H～L レジスタで指定したサイズ分転送が完了した場合に “1” にセットされます。また、DMAControl\_1 レジスタの DMAGo ビットを “1” にセットした後、DMA 転送完了前に “0” をセットした場合にもこの要因はセットされます。

**Bit2 PortErr**

ホスト動作時にポートエラー（フレーム終端でトランザクションは完了しているが USB バスがアイドルにならない：バブル）が検出された場合に “1” にセットされます。同時に全てのチャネルの PIPEControl レジスタの TranGo ビットがクリアされトランザクションが停止されます。トランザクションを再開する場合は、このPortErr ビットをクリアし対象チャネルの TranGo ビットの設定を行います。この割り込みはホスト動作時のみで発生します。

**Bit1 Cross44V**

割り込み要因を直接示します。

VBUS の電圧が 4.4V しきい値をクロスした場合に “1” にセットされます。 このビットはクロックの入力状況に関わらず有効です。

**Bit0 RcvEP0Setup**

割り込み要因を直接示します。

エンドポイント 0において、セットアップステージが終了し、受信したデータが EP0Setup\_0～EP0Setup\_7 レジスタに格納された時に、このビットが “1” になります。また、このビットが “1” になることによって EP0Control\_0 レジスタの InForceSTALL、OutForceSTALL ビットが “0” に、InForceNAK、OutForceNAK ビットが “1” の状態に自動的にセットされます。

RcvEP0Setup ビットが “1” である間は、EP0Control\_0 レジスタの InForceNAK、OutForceNAK、InForceSTALL、OutForceSTALL ビットの状態を変更しないでください。

なお、この割り込みはペリフェラル動作時のみで発生します。

## 2. レジスタ

### 2.2.1.2 0x01 Main Interrupt Status1 (MainIntStat\_1)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x01	MainIntStat_1	7: DetReset	R(W)	0: None	1: Reset Detected	00h
		6: DetResume	R(W)	0: None	1: Resume Detected	
		5: DetNonJ	R(W)	0: None	1: NonJ Interrupt Occurred	
		4: DetSuspend	R(W)	0: None	1: Suspend Detected	
		3: DetRmtWkup	R(W)	0: None	1: RemoteWakeUp Detected	
		2: DetSRP	R(W)	0: None	1: SRP Detected	
		1: ChangeConnStat	R(W)	0: None	1: Connection Status Changed	
		0: ChangeID	R(W)	0: None	1: ChangeID Interrupt Occurred	

MainIntStat\_0 レジスタ同様、S1R72005 の割り込みを表示します。割り込み発生時にこのレジスタを参照することにより、割り込み要因を特定することができます。このレジスタは割り込み要因を直接指示するビットのみがあります。該当ビットに “1” をセットすることにより、割り込み要因をクリアすることができます。MainIntEnb\_1 レジスタにより割り込みがイネーブルにされている場合は、割り込み要因が “1” にセットされると xINT 端子がアサートされ、CPU に対して割り込みが発生します。該当する割り込み要因が全てクリアされると、xINT 端子がネガートされます。

#### Bit7 DetReset

ペリフェラル動作時に USB のリセット状態 (SE0) を検出すると “1” にセットされます。  
リセット状態の検出はペリフェラル動作時のみで行われます。

#### Bit6 DetResume

ペリフェラル動作時に USB のリジューム状態 (K ステート) を検出すると “1” にセットされます。  
リジューム状態の検出はペリフェラル動作時のみで行われます。

#### Bit5 DetNonJ

ペリフェラル動作時でサスペンド中に USB バス上で J ステート以外を検出すると “1” にセットされます。  
この割り込みが発生した場合は、OTGCMonitor レジスタの LineState ビットで SE0 、 K ステートを判断することにより、検出した信号の種別を判定してください。  
このビットはクロックの入力状況に関わらず有効です。また、NonJ の検出はペリフェラル動作時のサスペンド状態の時のみで行われます。

#### Bit4 DetSuspend

ペリフェラル動作時に USB のサスペンド状態 (3ms の J ステート) を検出すると “1” にセットされます。  
サスペンド状態の検出はペリフェラル動作時のみで行われます。

#### Bit3 DetRmtWkup

ホスト動作時に、OTGCCCommon レジスタの AllowRmtWkup ビットに “1” がセットされている場合に、USB バス上にリモートウェイクアップ (K ステート) を検出すると “1” にセットされます。リモートウェイクアップの検出はホスト動作時かつリモートウェイクアップが有効の時のみに行われます。

#### Bit2 DetSRP

A デバイスアイドル中に USB バス上に SRP 信号 (データラインパルシング : 5ms 以上 10ms 以内の J ステート) を検出すると “1” にセットされます。SRP 信号の検出は A デバイス時のアイドル状態でのみ行われます。

#### Bit1 ChangeConnStat

接続相手のプルアップ抵抗の接続 (2.5μs の J ステート) 、または切断 (2.5μs の SE0) を検出すると “1” にセットされます。

#### Bit0 ChangeID

OTG レセプタクルにミニ A プラグの挿入、切断を検出すると “1” にセットされます。  
このビットはクロックの入力状況に関わらず有効です。

## 2.2.1.3 0x02 Host Controller Interrupt Status (HCIntStat)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x02	HCIntStat	7:				00h
		6:				
		5:				
		4:				
		3:				
		2:				
		1: FmNumberOver	R(W)	0: None	1: Frame Number Over	
		0: SOF	R(W)	0: None	1: SOF Send Complete	

ホストコントローラ全般に関わる割り込みを表示します。このレジスタのビットは割り込み要因を直接指示します。“1”がセットされている場合、該当ビットに“1”を書き込むことにより、割り込み要因をクリアすることができます。

**Bit7 Reserved****Bit6 Reserved****Bit5 Reserved****Bit4 Reserved****Bit3 Reserved****Bit2 Reserved****Bit1 FmNumberOver**

フレームナンバーカウンタがオーバーフローした (HCFmNumber\_H レジスタの MSb (ビット 2) が“1”から“0”に変化した) 場合に“1”にセットされます。HCFmNumber\_H、L レジスタではカウント桁数が不足する場合に、この割り込みをカウントすることによりそれを補うことができます。

**Bit0 SOF**

ホストコントローラが SOF トークンを送信した時に“1”にセットされます。

## 2. レジスタ

### 2.2.1.4 0x03 PipeInterrupt Status (PIPEIntStat)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x03	PIPEIntStat	7:				00h
		6:				
		5: PIPEeIntStat	R	0: None	Pipee Interrupt Occurred	
		4: PIPEdIntStat	R	0: None	Piped Interrupt Occurred	
		3: PIPEcIntStat	R	0: None	Pipec Interrupt Occurred	
		2: PIPEbIntStat	R	0: None	Pipeb Interrupt Occurred	
		1: PIPEaIntstat	R	0: None	Pipea Interrupt Occurred	
		0: PIPE0IntStat	R	0: None	Pipe0 Interrupt Occurred	

ホストコントローラのパイプ制御（USB 転送制御）に関する割り込みを間接指示します。

該当する大本の割り込み要因レジスタ (PIPEaIntStat～PIPEeIntStat レジスタ) のビットが全てクリアされると、このレジスタの該当ビットがクリアされます。

**Bit7 Reserved**

**Bit6 Reserved**

**Bit5 Reserved**

**Bit4 PIPEdIntStat**

PIPEdIntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する PIPEdIntEnb レジスタのビットがイネーブルにされている場合に“1”にセットされます。

**Bit3 PIPEcIntStat**

PIPEcIntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する PIPEcIntEnb レジスタのビットがイネーブルにされている場合に“1”にセットされます。

**Bit2 PIPEbIntStat**

PIPEbIntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する PIPEbIntEnb レジスタのビットがイネーブルにされている場合に“1”にセットされます。

**Bit1 PIPEaIntStat**

PIPEaIntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する PIPEaIntEnb レジスタのビットがイネーブルにされている場合に“1”にセットされます。

**Bit0 PIPE0IntStat**

PIPE0IntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する PIPE0IntEnb レジスタのビットがイネーブルにされている場合に“1”にセットされます。

## 2.2.1.5 0x04 Peripheral Controller Interrupt Status (PCIntStat)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x04	PCIntStat	7:				00h
		6:				
		5:				
		4:				
		3:				
		2:				
		1:				
		0: RcvSOF	R(W)	0: None	1: Receive SOF Token	

ペリフェラルコントローラ全般に関わる割り込みを表示します。このレジスタのビットは割り込み要因を直接指示します。“1”がセットされている場合、該当ビットに“1”を書き込むことにより、割り込み要因をクリアすることができます。

**Bit7 Reserved**

**Bit6 Reserved**

**Bit5 Reserved**

**Bit4 Reserved**

**Bit3 Reserved**

**Bit2 Reserved**

**Bit1 Reserved**

**Bit0 RcvSOF**

SOFトークンを受信すると“1”にセットされます。

## 2. レジスタ

### 2.2.1.6 0x05 EndpointInterrupt Status (EPIntStat)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x05	EPIntStat	7: INTranCmp	R/(W)	0: None	1: IN Transaction Completed	00h
		6:				
		5: EPeIntStat	R	0: None	1: EP e Interrupt Occurred	
		4: EPdIntStat	R	0: None	1: EP d Interrupt Occurred	
		3: EPcIntStat	R	0: None	1: EP c Interrupt Occurred	
		2: EPbIntStat	R	0: None	1: EP b Interrupt Occurred	
		1: EPaIntStat	R	0: None	1: EP a Interrupt Occurred	
		0: EP0IntStat	R	0: None	1: EP 0 Interrupt Occurred	

エンドポイント毎の割り込み要因を直接または間接指示します。

間接参照のビットについては、該当するエンドポイント毎の割り込み要因(大本の割り込み要因)が全てクリアされると、該当ビットがクリアされます。

#### Bit7 **INTranCmp**

各チャネルの Config\_0 レジスタの JoinDMA ビットが “1” にセットされているエンドポイントの IN トランザクションにおいて、DMA 転送時に指定したバイト数の DMA 転送が終了し、FIFO 内のデータを全て転送し終わって ACK を受信した（転送を行うべきデータ全ての USB 送信が完了した）場合に “1” にセットされます。

#### Bit6 **Reserved**

#### Bit5 **EPeIntStat**

EPeIntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する EPeIntEnb レジスタのビットがイネーブルにされている時、“1” にセットされます。

#### Bit4 **EPdIntStat**

EPdIntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する EPdIntEnb レジスタのビットがイネーブルにされている時、“1” にセットされます。

#### Bit3 **EPcIntStat**

EPcIntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する EPcIntEnb レジスタのビットがイネーブルにされている時、“1” にセットされます。

#### Bit2 **EPbIntStat**

EPbIntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する EPbIntEnb レジスタのビットがイネーブルにされている時、“1” にセットされます。

#### Bit1 **EPaIntStat**

EPaIntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する EPaIntEnb レジスタのビットがイネーブルにされている時、“1” にセットされます。

#### Bit0 **EP0IntStat**

EP0IntStat レジスタに割り込み要因があり、かつその割り込み要因に対応する EP0IntEnb レジスタのビットがイネーブルにされている時、“1” にセットされます。

## 2.2.1.7 0x06 (Reserved)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x06	(Reserved)	7:				unfixed
		6:				
		5:				
		4:				
		3:				
		2:				
		1:				
		0:				

## 2.2.1.8 0x07 (Reserved)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x07	(Reserved)	7:				unfixed
		6:				
		5:				
		4:				
		3:				
		2:				
		1:				
		0:				

## 2. レジスタ

### 2.2.1.9 0x08 Main Interrupt Enable0 (MainIntEnb\_0)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x08	MainIntEnb_0	7: EnDetFreezeDMA	R/W	0: Disable	1: Enable	00h
		6: EnPCIIntStat	R/W	0: Disable	1: Enable	
		5: EnHCIntStat	R/W	0: Disable	1: Enable	
		4: EnMainIntStat_1	R/W	0: Disable	1: Enable	
		3: EnDMACmp	R/W	0: Disable	1: Enable	
		2: EnPortErr	R/W	0: Disable	1: Enable	
		1: EnCross44V	R/W	0: Disable	1: Enable	
		0: EnRcvEP0Setup	R/W	0: Disable	1: Enable	

MainIntStat\_0 レジスタにおける CPU への割り込み信号のアサートを許可／禁止するレジスタです。

対応するビットを “1” にセットすることで CPU への割り込みを許可します。

EnCross44V ビットはクロックの入力状況に関わらず有効です。

## 2.2.1.10 0x09 Main Interrupt Enable1 (MainIntEnb\_1)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x09	MainIntEnb_1	7: EnDetReset	R/W	0: Disable	1: Enable	00h
		6: EnDetResume	R/W	0: Disable	1: Enable	
		5: EnDetNonJ	R/W	0: Disable	1: Enable	
		4: EnDetSuspend	R/W	0: Disable	1: Enable	
		3: EnDetRmtWkup	R/W	0: Disable	1: Enable	
		2: EnDetSRP	R/W	0: Disable	1: Enable	
		1: EnChangeConnStat	R/W	0: Disable	1: Enable	
		0: EnChangelD	R/W	0: Disable	1: Enable	

MainIntStat\_1 レジスタの割り込み要因を許可／禁止します。  
 対応するビットを “1” にセットすることで、CPU への割り込みを許可します。  
 DetNonJ、ChangeID ビットはクロックの入力状況に関わらず有効です。

## 2. レジスタ

---

### 2.2.1.11 0x0A Host Controller Interrupt Enable (HCIntEnb)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x0A	HCIntEnb	7:			00h
		6:			
		5:			
		4:			
		3:			
		2:			
		1: EnFmNumberOver	R/W	0: Disable 1: Enable	
		0: EnSOF	R/W	0: Disable 1: Enable	

HCIntStat レジスタの割り込み要因を許可／禁止します。

対応するビットを “1” にセットすることで、 HCIntStat レジスタの割り込み要因が MainIntStat レジスタの HCIntStat ビットに伝達されるようになります。

## 2.2.1.12 0x0B PipeInterrupt Enable (PIPEIntEnb)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x0B	PIPEIntEnb	7:				00h
		6:				
		5:				
		4: EnPIPEdIntStat	R/W	0: Disable	1: Enable	
		3: EnPIPEcIntStat	R/W	0: Disable	1: Enable	
		2: EnPIPEbIntStat	R/W	0: Disable	1: Enable	
		1: EnPIPEaIntstat	R/W	0: Disable	1: Enable	
		0: EnPIPE0IntStat	R/W	0: Disable	1: Enable	

PIPEIntStat レジスタの割り込み要因を許可／禁止します。

対応するビットを“1”にセットすることで、PIPEIntStat レジスタの割り込み要因を MainIntStat レジスタの HC\_IntStat ビットへ伝えます。

## 2. レジスタ

---

### 2.2.1.13 0x0C Peripheral Controller Interrupt Enable (PCIntEnb)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x0C	PCIntEnb	7:			00h
		6:			
		5:			
		4:			
		3:			
		2:			
		1:			
		0: RcvSOF	R/W	0: Disable 1: Enable	

PCIntStat レジスタの割り込み要因を許可／禁止します。

対応するビットを “1” にセットすることで、PCIntStat レジスタの割り込み要因を MainIntStat レジスタの PCIntStat ビットへ伝えます。

## 2.2.1.14 0x0D EndpointInterrupt Enable (EPIntEnb)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x0D	EPIntEnb	7: INTTranCmp	R/W	0: Disable	1: Enable	00h
		6:				
		5: EPeIntStat	R/W	0: Disable	1: Enable	
		4: EPdIntStat	R/W	0: Disable	1: Enable	
		3: EPcIntStat	R/W	0: Disable	1: Enable	
		2: EPbIntStat	R/W	0: Disable	1: Enable	
		1: EPaIntStat	R/W	0: Disable	1: Enable	
		0: EP0IntStat	R/W	0: Disable	1: Enable	

EPIntStat レジスタの割り込み要因を許可／禁止します。

間接参照の要因ビットについては、対応するビットを “1” にセットすることで、 EPIntStat レジスタの割り込み要因を MainIntStat レジスタの PC\_IntStat ビットへ伝えます。

## 2. レジスタ

---

### 2.2.1.15 0x0E (Reserved)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x0E	(Reserved)	7:				unfixed
		6:				
		5:				
		4:				
		3:				
		2:				
		1:				
		0:				

### 2.2.1.16 0x0F (Reserved)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x0F	(Reserved)	7:				unfixed
		6:				
		5:				
		4:				
		3:				
		2:				
		1:				
		0:				

## 2.2.2 Pipe interrupt block

### 2.2.2.1 0x10 Pipe0 Interrupt Status (PIPE0IntStat)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x10	PIPE0IntStat	7: PIPE0TranCmp	R(W)	0: None 1: Transaction Complete	00h
		6: CTLTranCmp	R(W)	0: None 1: Control Transaction Cmplete	
		5:			
		4: PIPE0InShortRcv	R(W)	0: None 1: Receive ShortPacket	
		3: PIPE0InOverSize	R(W)	0: None 1: Receive Oversize Packet	
		2: PIPE0TranErr	R(W)	0: None 1: Transfer Error Occured	
		1: PIPE0Stalled	R(W)	0: None 1: Stall Occured	
		0: PIPE0NoResp	R(W)	0: None 1: Device NoResponse	

PIPE0 の割り込み要因を表示します。このレジスタのビットは割り込み要因を直接指示します。

“1”がセットされている場合、該当ビットに“1”を書き込むことにより、割り込み要因をクリアすることができます。これらの割り込みはホスト動作時のみで発生します。

#### Bit7 PIPE0TranCmp

PIPE0TotalSize\_H~L レジスタで示されたサイズ分の転送が完了した場合に“1”にセットされます。

この場合の完了とは、OUT トランザクションの場合は、トータルサイズ（送信可能サイズ）分のパケットの最終パケットが FIFO から USB 上に転送し終わり、デバイス側から ACK を受信した時点のことを指します。IN トランザクションの場合は、トータルサイズ（受信可能サイズ）分のパケットを最後にエラー無く FIFO に受信した時点を指します。

予期しないショートパケットをエラー無しに受信した場合はこのビットは“1”になりません。その場合は PIPE0InShortRcv 割り込みが発生します。

トランザクション実行中に PIPE0Control レジスタの TranGo ビットに“0”を書き込んで処理を停止した場合は、ビットクリアされた時点のトランザクションが正常に終了した場合に“1”にセットされます。

STALL を受信した場合もしくはエラーで終了した場合にはこの要因はセットされません。

#### Bit6 CTLTranCmp

PIPE0CTLAutoMode レジスタの EnCTLAuto ビットを“1”に設定した状態でトランザクションを開始した場合に、全てのコントロール転送ステージが正常に完了した場合に“1”にセットされます。この場合、PIPE0TranCmp の割り込みは発生しません。

ステージに関わらずトランザクション中にエラーの検出や STALL の受信があった場合には、その時点で下記のそれぞれの場合に応じた割り込み要因がセットされ、この割り込み要因はセットされません。ただし、データステージにおいて予期せぬショートパケットを受信した場合は、PIPE0InShortRcv 割り込み要因はセットされずにステータステージに移行します。

#### Bit5 Reserved

#### Bit4 PIPE0InShortRcv

PIPE0CTLAutoMode レジスタの EnCTLAuto ビットが“0”的時に、IN トランザクションにおいて、PIPE0TotalSize\_H~L レジスタで示されたサイズ分（受信可能サイズ）に達する前にショートパケット（予期せぬショートパケット）をエラー無しで受信した場合に“1”にセットされます。

この場合、PIPE0Control レジスタの TranGo ビットはクリアされトランザクションは停止しますが、PIPE0TranCmp の割り込みは発生しません。また、PIPE0CTLAutoMode レジスタの EnCTLAuto が有効の時には、この割り込みは発生しません。

#### Bit3 PIPE0InOverSize

IN トランザクションにおいて、PIPE0MaxPktSize レジスタで指定された以上のサイズのパケットを 1 トランザクションで受信した場合に“1”にセットされます。その時点でデータの受信およびトランザクションは停止されますが、MAX パケットサイズ分までの受信データは FIFO 内に保持されたままとなっています。

(次のページに続く)

## 2. レジスタ

---

(0x10 レジスタ説明の続き)

**Bit2 PIPE0TranErr**

IN トランザクションにおいて、CRC エラー、ビットスタッフエラー、PID エラー (PID コードデータの破損)、プロトコルエラー (予期せぬ PID や未定義 PID 等の検出、トグルシーケンスエラー) を合わせて連続 3 回検出した場合に “1” にセットされます。この場合このチャネルの TranGo はクリアされ、トランザクションは停止されます (データ受信後の ACK ハンドシェークは送信しません)。NAK の受信、および上記伝送エラーが 3 回未満の場合にはこのビットはセットされません。

**Bit1 PIPE0Stalled**

トランザクション実行中にデバイスから STALL が返された場合に “1” にセットされます。STALL を受信した時点でこのチャネルの TranGo ビットはクリアされ、トランザクションは停止されます。

**Bit0 PIPE0NoResp**

デバイス応答待ちタイムアウト (デバイスの無応答) を連続 3 回検出した場合に “1” にセットされます。この時点でこのチャネルの TranGo ビットはクリアされ、トランザクションは停止します。

## 2.2.2.2 0x11 (Reserved)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x11	(Reserved)	7:				unfixed
		6:				
		5:				
		4:				
		3:				
		2:				
		1:				
		0:				

## 2. レジスタ

### 2.2.2.3 0x12 PipeA Interrupt Status (PIPEaIntStat)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x12	PIPEaIntStat	7: PIPEaTranCmp	R(W)	0: None	1: Transaction Complete	00h
		6:				
		5:				
		4: PIPEaInShortRcv	R(W)	0: None	1: Receive ShortPacket	
		3: PIPEaInOverSize	R(W)	0: None	1: Receive Oversize Packet	
		2: PIPEaTranErr	R(W)	0: None	1: Transfer Error Occured	
		1: PIPEaStalled	R(W)	0: None	1: Stall Occured	
		0: PIPEaNoResp	R(W)	0: None	1: Device NoResponse	

PIPEa の割り込み要因を表示します。このレジスタのビットは割り込み要因を直接指示します。

“1”がセットされている場合、該当ビットに“1”を書き込むことにより、割り込み要因をクリアすることができます。これらの割り込みはホスト動作時のみで発生します。

#### Bit7 PIPEaTranCmp

PIPEaTotalSize\_H~L レジスタで示されたサイズ分の転送が完了した場合に“1”にセットされます。

この場合の完了とは、OUT トランザクションの場合は、トータルサイズ（送信可能サイズ）分のパケットの最終パケットが FIFO から USB 上に転送し終わり、デバイス側から ACK を受信した時点のこと指します。IN トランザクションの場合は、トータルサイズ（受信可能サイズ）分のパケットを最後にエラー無く FIFO に受信した時点を指します。

予期しないショートパケットをエラー無しに受信した場合はこのビットは“1”になりません。その場合は PIPEaInShortRcv 割り込みが発生します。

トランザクション実行中に PIPEaControl レジスタの TranGo ビットに“0”を書き込んで処理を停止した場合は“1”にセットされます。

STALL を受信した場合もしくはエラーで終了した場合にはこの要因はセットされません。

#### Bit6 Reserved

#### Bit5 Reserved

#### Bit4 PIPEaInShortRcv

IN トランザクションにおいて、PIPEaTotalSize\_H~L レジスタで示されたサイズ分（受信可能サイズ）に達する前にショートパケット（予期せぬショートパケット）をエラー無しで受信した場合に“1”にセットされます。この場合、PipeaControl レジスタの TranGo ビットはクリアされトランザクションは停止しますが、PIPEaTranCmp の割り込みは発生しません。

#### Bit3 PIPEaInOverSize

IN トランザクションにおいて、PIPEaMaxPktSize レジスタで指定された以上のサイズのパケットを 1 トランザクションで受信した場合に“1”にセットされます。その時点でデータの受信およびトランザクションは停止されますが、MAX パケットサイズ分までの受信データは FIFO 内に保持されたままとなっています。

#### Bit2 PIPEaTranErr

IN トランザクションにおいて、CRC エラー、ビットスタッフエラー、PID エラー（PID コードデータの破損）、プロトコルエラー（予期せぬ PID や未定義 PID 等の検出、トグルシーケンスエラー）を合わせて連続 3 回検出した場合に“1”にセットされます。この場合このチャネルの TranGo がクリアされ、トランザクションは停止されます（データ受信後の ACK ハンドシェークは送信しません）。NAK の受信、および上記伝送エラーが 3 回未満の場合にはこのビットはセットされません。

#### Bit1 PIPEaStalled

トランザクション実行中にデバイスから STALL が返された場合に“1”にセットされます。STALL を受信した時点でこのチャネルの TranGo ビットはクリアされ、トランザクションは停止されます。

(次のページに続く)

(0x12 レジスタ説明の続き)

**Bit0 PIPEaNoResp**

デバイス応答待ちタイムアウト（デバイスの無応答）を連続3回検出した場合に“1”にセットされます。この時点でこのチャネルの TranGo ビットはクリアされ、トランザクションは停止します。

## 2. レジスタ

### 2.2.2.4 0x13 PipeB Interrupt Status (PIPEbIntStat)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x13	PIPEbIntStat	7: PIPEbTranCmp	R(W)	0: None	1: Transaction Complete	00h
		6:				
		5:				
		4: PIPEbInShortRcv	R(W)	0: None	1: Receive ShortPacket	
		3: PIPEbInOverSize	R(W)	0: None	1: Receive Oversize Packet	
		2: PIPEbTranErr	R(W)	0: None	1: Transfer Error Occured	
		1: PIPEbStalled	R(W)	0: None	1: Stall Occured	
		0: PIPEbNoResp	R(W)	0: None	1: Device NoResponse	

PIPEb の割り込み要因を表示します。このレジスタのビットは割り込み要因を直接指示します。

“1”がセットされている場合、該当ビットに“1”を書き込むことにより、割り込み要因をクリアすることができます。これらの割り込みはホスト動作時のみで発生します。

#### Bit7 PIPEbTranCmp

PIPEbTotalSize\_H~L レジスタで示されたサイズ分の転送が完了した場合に“1”にセットされます。

この場合の完了とは、OUT トランザクションの場合は、トータルサイズ（送信可能サイズ）分のパケットの最終パケットが FIFO から USB 上に転送し終わり、デバイス側から ACK を受信した時点のこと指します。IN トランザクションの場合は、トータルサイズ（受信可能サイズ）分のパケットを最後にエラー無く FIFO に受信した時点を指します。

予期しないショートパケットをエラー無しに受信した場合はこのビットは“1”になりません。その場合は PIPEbInShortRcv 割り込みが発生します。

トランザクション実行中に PIPEaControl レジスタの TranGo ビットに“0”を書き込んで処理を停止した場合は“1”にセットされます。

STALL を受信した場合もしくはエラーで終了した場合にはこの要因はセットされません。

#### Bit6 Reserved

#### Bit5 Reserved

#### Bit4 PIPEbInShortRcv

IN トランザクションにおいて、PIPEbTotalSize\_H~L レジスタで示されたサイズ分（受信可能サイズ）に達する前にショートパケット（予期せぬショートパケット）をエラー無しで受信した場合に“1”にセットされます。この場合、PIPEaControl レジスタの TranGo ビットはクリアされトランザクションは停止しますが、PIPEbTranCmp の割り込みは発生しません。

#### Bit3 PIPEbInOverSize

IN トランザクションにおいて、PIPEbMaxPktSize レジスタで指定された以上のサイズのパケットを 1 トランザクションで受信した場合に“1”にセットされます。その時点でデータの受信およびトランザクションは停止されますが、MAX パケットサイズ分までの受信データは FIFO 内に保持されたままとなっています。

#### Bit2 PIPEbTranErr

IN トランザクションにおいて、CRC エラー、ビットスタッフエラー、PID エラー（PID コードデータの破損）、プロトコルエラー（予期せぬ PID や未定義 PID 等の検出、トグルシーケンスエラー）を合わせて連続 3 回検出した場合に“1”にセットされます。この場合このチャネルの TranGo がクリアされ、トランザクションは停止されます（データ受信後の ACK ハンドシェークは送信しません）。NAK の受信、および上記伝送エラーが 3 回未満の場合にはこのビットはセットされません。

#### Bit1 PIPEbStalled

トランザクション実行中にデバイスから STALL が返された場合に“1”にセットされます。STALL を受信した時点でこのチャネルの TranGo ビットはクリアされ、トランザクションは停止されます。

(次のページに続く)

(0x13 レジスタ説明の続き)

**Bit0 PIPEbNoResp**

デバイス応答待ちタイムアウト（デバイスの無応答）を連続3回検出した場合に“1”にセットされます。この時点でこのチャネルの TranGo ビットはクリアされ、トランザクションは停止します。

## 2. レジスタ

### 2.2.2.5 0x14 PipeC Interrupt Status (PIPEcIntStat)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x14	PIPEcIntStat	7: PIPEcTranCmp	R(W)	0: None	1: Transaction Complete	00h
		6:				
		5:				
		4: PIPEcInShortRcv	R(W)	0: None	1: Receive ShortPacket	
		3: PIPEcInOverSize	R(W)	0: None	1: Receive Oversize Packet	
		2: PIPEcTranErr	R(W)	0: None	1: Transfer Error Occured	
		1: PIPEcStalled	R(W)	0: None	1: Stall Occured	
		0: PIPEcNoResp	R(W)	0: None	1: Device NoResponse	

PIPEc の割り込み要因を表示します。このレジスタのビットは割り込み要因を直接指示します。

“1”がセットされている場合、該当ビットに“1”を書き込むことにより、割り込み要因をクリアすることができます。これらの割り込みはホスト動作時のみで発生します。

#### Bit7 PIPEcTranCmp

PIPEcTotalSize\_H～L レジスタで示されたサイズ分の転送が完了した場合に“1”にセットされます。この場合の完了とは、OUT トランザクションの場合は、トータルサイズ（送信可能サイズ）分のパケットの最終パケットが FIFO から USB 上に転送し終わり、デバイス側から ACK を受信した時点のことです。IN トランザクションの場合は、トータルサイズ（受信可能サイズ）分のパケットを最後にエラー無く FIFO に受信した時点を指します。

予期しないショートパケットをエラー無しに受信した場合はこのビットは“1”になりません。その場合は PIPEcInShortRcv 割り込みが発生します。

トランザクション実行中に PiPeaControl レジスタの TranGo ビットに“0”を書き込んで処理を停止した場合は“1”にセットされます。

STALL を受信した場合もしくはエラーで終了した場合にはこの要因はセットされません。

#### Bit6 Reserved

#### Bit5 Reserved

#### Bit4 PIPEcInShortRcv

IN トランザクションにおいて、PIPEcTotalSize\_H～L レジスタで示されたサイズ分（受信可能サイズ）に達する前にショートパケット（予期せぬショートパケット）をエラー無しで受信した場合に“1”にセットされます。この場合、PiPeaControl レジスタの TranGo ビットはクリアされトランザクションは停止しますが、PIPEcTranCmp の割り込みは発生しません。

#### Bit3 PIPEcInOverSize

IN トランザクションにおいて、PIPEcMaxPktSize レジスタで指定された以上のサイズのパケットを 1 トランザクションで受信した場合に“1”にセットされます。その時点でデータの受信およびトランザクションは停止されますが、MAX パケットサイズ分までの受信データは FIFO 内に保持されたままとなっています。

#### Bit2 PIPEcTranErr

IN トランザクションにおいて、CRC エラー、ビットスタッフエラー、PID エラー（PID コードデータの破損）、プロトコルエラー（予期せぬ PID や未定義 PID 等の検出、トグルシーケンスエラー）を合わせて連続 3 回検出した場合に“1”にセットされます。この場合このチャネルの TranGo がクリアされ、トランザクションは停止されます（データ受信後の ACK ハンドシェークは送信しません）。NAK の受信、および上記伝送エラーが 3 回未満の場合にはこのビットはセットされません。

#### Bit1 PIPEcStalled

トランザクション実行中にデバイスから STALL が返された場合に“1”にセットされます。STALL を受信した時点でこのチャネルの TranGo ビットはクリアされ、トランザクションは停止されます。

(次のページに続く)

(0x14 レジスタ説明の続き)

**Bit0 PIPEcNoResp**

デバイス応答待ちタイムアウト（デバイスの無応答）を連続3回検出した場合に“1”にセットされます。この時点でこのチャネルの TranGo ビットはクリアされ、トランザクションは停止します。

## 2. レジスタ

### 2.2.2.6 0x15 PipeD Interrupt Status (PIPEdIntStat)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x15	PIPEdIntStat	7: PIPEdTranCmp	R(W)	0: None	1: Transaction Complete	00h
		6:				
		5:				
		4: PIPEdInShortRcv	R(W)	0: None	1: Receive ShortPacket	
		3: PIPEdInOverSize	R(W)	0: None	1: Receive Oversize Packet	
		2: PIPEdTranErr	R(W)	0: None	1: Transfer Error Occured	
		1: PIPEdStalled	R(W)	0: None	1: Stall Occured	
		0: PIPEdNoResp	R(W)	0: None	1: Device NoResponse	

PIPEd の割り込み要因を表示します。このレジスタのビットは割り込み要因を直接指示します。

“1”がセットされている場合、該当ビットに“1”を書き込むことにより、割り込み要因をクリアすることができます。これらの割り込みはホスト動作時のみで発生します。

#### Bit7 PIPEdTranCmp

PIPEdTotalSize\_H~L レジスタで示されたサイズ分の転送が完了した場合に“1”にセットされます。

この場合の完了とは、OUT トランザクションの場合は、トータルサイズ（送信可能サイズ）分のパケットの最終パケットが FIFO から USB 上に転送し終わり、デバイス側から ACK を受信した時点のこと指します。IN トランザクションの場合は、トータルサイズ（受信可能サイズ）分のパケットを最後にエラー無く FIFO に受信した時点を指します。

予期しないショートパケットをエラー無しに受信した場合はこのビットは“1”になりません。その場合は PIPEdInShortRcv 割り込みが発生します。

トランザクション実行中に PiPeaControl レジスタの TranGo ビットに“0”を書き込んで処理を停止した場合は“1”にセットされます。

STALL を受信した場合もしくはエラーで終了した場合にはこの要因はセットされません。

#### Bit6 Reserved

#### Bit5 Reserved

#### Bit4 PIPEdInShortRcv

IN トランザクションにおいて、PIPEdTotalSize\_H~L レジスタで示されたサイズ分（受信可能サイズ）に達する前にショートパケット（予期せぬショートパケット）をエラー無しで受信した場合に“1”にセットされます。この場合、PiPeaControl レジスタの TranGo ビットはクリアされトランザクションは停止しますが、PIPEdTranCmp の割り込みは発生しません。

#### Bit3 PIPEdInOverSize

IN トランザクションにおいて、PIPEdMaxPktSize レジスタで指定された以上のサイズのパケットを 1 トランザクションで受信した場合に“1”にセットされます。その時点でデータの受信およびトランザクションは停止されますが、MAX パケットサイズ分までの受信データは FIFO 内に保持されたままとなっています。

#### Bit2 PIPEdTranErr

IN トランザクションにおいて、CRC エラー、ビットスタッフエラー、PID エラー（PID コードデータの破損）、プロトコルエラー（予期せぬ PID や未定義 PID 等の検出、トグルシーケンスエラー）を合わせて連続 3 回検出した場合に“1”にセットされます。この場合このチャネルの TranGo がクリアされ、トランザクションは停止されます（データ受信後の ACK ハンドシェークは送信しません）。NAK の受信、および上記伝送エラーが 3 回未満の場合にはこのビットはセットされません。

#### Bit1 PIPEdStalled

トランザクション実行中にデバイスから STALL が返された場合に“1”にセットされます。STALL を受信した時点でこのチャネルの TranGo ビットはクリアされ、トランザクションは停止されます。

(次のページに続く)

(0x15 レジスタ説明の続き)

**Bit0 PIPEdNoResp**

デバイス応答待ちタイムアウト（デバイスの無応答）を連続3回検出した場合に“1”にセットされます。この時点でこのチャネルの TranGo ビットはクリアされ、トランザクションは停止します。

## 2. レジスタ

---

### 2.2.2.7 0x16 (Reserved)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x16	(Reserved)	7:				unfixed
		6:				
		5:				
		4:				
		3:				
		2:				
		1:				
		0:				

## 2.2.2.8 0x17 (Reserved)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x17	(Reserved)	7:				unfixed
		6:				
		5:				
		4:				
		3:				
		2:				
		1:				
		0:				

## 2. レジスタ

### 2.2.2.9 0x18 Pipe0 Interrupt Enable (PIPE0IntEnb)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x18	PIPE0IntEnb	7: EnPIPE0TranCmp	R/W	0: Disable	1: Enable	00h
		6: EnCTLTranCmp	R/W	0: Disable	1: Enable	
		5:				
		4: EnPIPE0InShortRcv	R/W	0: Disable	1: Enable	
		3: EnPIPE0InOverSize	R/W	0: Disable	1: Enable	
		2: EnPIPE0TranErr	R/W	0: Disable	1: Enable	
		1: EnPIPE0Stalled	R/W	0: Disable	1: Enable	
		0: EnPIPE0NoResp	R/W	0: Disable	1: Enable	

PIPE0IntStat レジスタの割り込み要因を許可／禁止します。

対応するビットを “1” にセットすることで PIPE0IntStat レジスタの割り込み要因を PIPEIntStat レジスタの PIPE0IntStat ビットへ伝えます。

## 2.2.2.10 0x19 (Reserved)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x19	(Reserved)	7:				unfixed
		6:				
		5:				
		4:				
		3:				
		2:				
		1:				
		0:				

## 2. レジスタ

### 2.2.2.11 0x1A PipeA Interrupt Enable (PIPEaIntEnb)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x1A	PIPEaIntEnb	7: EnPIPEaTranCmp	R/W	0: Disable	1: Enable	00h
		6:				
		5:				
		4: EnPIPEaInShortRcv	R/W	0: Disable	1: Enable	
		3: EnPIPEaInOverSize	R/W	0: Disable	1: Enable	
		2: EnPIPEaTranErr	R/W	0: Disable	1: Enable	
		1: EnPIPEaStalled	R/W	0: Disable	1: Enable	
		0: EnPIPEaNoResp	R/W	0: Disable	1: Enable	

PIPEaIntStat レジスタの割り込み要因を許可／禁止します。

対応するビットを “1” にセットすることで PIPEaIntStat レジスタの割り込み要因を PIPEIntStat レジスタの PIPEaIntStat ビットへ伝えます。

## 2.2.2.12 0x1B PipeB Interrupt Enable (PIPEbIntEnb)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x1B	PIPEbIntEnb	7: EnPIPEbTranCmp	R/W	0: Disable	1: Enable	00h
		6:				
		5:				
		4: EnPIPEbInShortRcv	R/W	0: Disable	1: Enable	
		3: EnPIPEbInOverSize	R/W	0: Disable	1: Enable	
		2: EnPIPEbTranErr	R/W	0: Disable	1: Enable	
		1: EnPIPEbStalled	R/W	0: Disable	1: Enable	
		0: EnPIPEbNoResp	R/W	0: Disable	1: Enable	

PIPEbIntStat レジスタの割り込み要因を許可／禁止します。

対応するビットを “1” にセットすることで PIPEbIntStat レジスタの割り込み要因を PIPEIntStat レジスタの PIPEbIntStat ビットへ伝えます。

## 2. レジスタ

### 2.2.2.13 0x1C PipeC Interrupt Enable (PIPEcIntEnb)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x1C	PIPEcIntEnb	7: EnPIPEcTranCmp	R/W	0: Disable	1: Enable	00h
		6:				
		5:				
		4: EnPIPEcInShortRcv	R/W	0: Disable	1: Enable	
		3: EnPIPEcInOverSize	R/W	0: Disable	1: Enable	
		2: EnPIPEcTranErr	R/W	0: Disable	1: Enable	
		1: EnPIPEcStalled	R/W	0: Disable	1: Enable	
		0: EnPIPEcNoResp	R/W	0: Disable	1: Enable	

PIPEcIntStat レジスタの割り込み要因を許可／禁止します。

対応するビットを “1” にセットすることで PIPEcIntStat レジスタの割り込み要因を PIPEIntStat レジスタの PIPEcIntStat ビットへ伝えます。

## 2.2.2.14 0x1D PipeD Interrupt Enable (PIPEdIntEnb)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x1D	PIPEdIntEnb	7: EnPIPEdTranCmp	R/W	0: Disable	1: Enable	00h
		6:				
		5:				
		4: EnPIPEdInShortRcv	R/W	0: Disable	1: Enable	
		3: EnPIPEdInOverSize	R/W	0: Disable	1: Enable	
		2: EnPIPEdTranErr	R/W	0: Disable	1: Enable	
		1: EnPIPEdStalled	R/W	0: Disable	1: Enable	
		0: EnPIPEdNoResp	R/W	0: Disable	1: Enable	

PIPEdIntStat レジスタの割り込み要因を許可／禁止します。

対応するビットを “1” にセットすることで PIPEdIntStat レジスタの割り込み要因を PIPEIntStat レジスタの PIPEdIntStat ビットへ伝えます。

## 2. レジスタ

---

### 2.2.2.15 0x1E (Reserved)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x1E	(Reserved)	7:				unfixed
		6:				
		5:				
		4:				
		3:				
		2:				
		1:				
		0:				

## 2.2.2.16 0x1F (Reserved)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x1F	(Reserved)	7:				unfixed
		6:				
		5:				
		4:				
		3:				
		2:				
		1:				
		0:				

## 2. レジスタ

### 2.2.3 Endpoint interrupt block

#### 2.2.3.1 0x20 Endpoint0 Interrupt Status (EP0IntStat)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x20	EP0IntStat	7:			00h
		6:			
		5: EP0INTTranAck	R(W)	0: None 1: IN Transaction ACK	
		4: EP0OUTTranACK	R(W)	0: None 1: OUT Transaction ACK	
		3: EP0INTTranNAK	R(W)	0: None 1: IN Transaction NAK	
		2: EP0OUTTranNAK	R(W)	0: None 1: OUT Transaction NAK	
		1: EP0INTTranErr	R(W)	0: None 1: IN Transaction Error	
		0: EP0OUTTranErr	R(W)	0: None 1: OUT Transaction Error	

エンドポイント0の割り込みステータスを表示します。このレジスタのビットは割り込み要因を直接指示します。

“1”がセットされている場合、該当ビットに“1”を書き込むことにより、割り込み要因をクリアすることができます。これらの割り込みはペリフェラル動作時のみで発生します。

**Bit7 Reserved**

**Bit6 Reserved**

**Bit5 EP0INTTranAck**

IN トランザクションで ACK を受信した時、“1”にセットされます。

**Bit4 EP0OUTTranACK**

OUT トランザクションで ACK を返信した時、“1”にセットされます。

**Bit3 EP0INTTranNAK**

IN トランザクションで NAK を返信した時、“1”にセットされます。

**Bit2 EP0OUTTranNAK**

OUT トランザクションに対して NAK を返信した時、“1”にセットされます。

**Bit1 EP0INTTranErr**

IN トランザクションにおいて STALL を返した場合やパケットにエラーがあった場合、及びハンドシェークがタイムアウトになった場合に、“1”にセットされます。

**Bit0 EP0OUTTranErr**

OUT トランザクションにおいて STALL を返した場合やパケットにエラーがあった場合に、“1”にセットされます。

## 2.2.3.2 0x21 (Reserved)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x21	(Reserved)	7:				unfixed
		6:				
		5:				
		4:				
		3:				
		2:				
		1:				
		0:				

## 2. レジスタ

### 2.2.3.3 0x22 EndpointA Interrupt Status (EPaIntStat)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x22	EPaIntStat	7:				00h
		6: EPaOUTShortACK	R(W)	0: None	1: OUT Short Packet ACK	
		5: EPaINTTranAck	R(W)	0: None	1: IN Transaction ACK	
		4: EPaOUTTranACK	R(W)	0: None	1: OUT Transaction ACK	
		3: EPaINTTranNAK	R(W)	0: None	1: IN Transaction NAK	
		2: EPaOUTTranNAK	R(W)	0: None	1: OUT Transaction NAK	
		1: EPaINTTranErr	R(W)	0: None	1: IN Transaction Error	
		0: EPaOUTTranErr	R(W)	0: None	1: OUT Transaction Error	

エンドポイント A の割り込みステータスを表示します。このレジスタのビットは割り込み要因を直接指示します。“1”がセットされている場合、該当ビットに“1”を書き込むことにより、割り込み要因をクリアすることができます。

#### Bit7 Reserved

#### Bit6 EPaOUTShortACK

OUT トランザクションでショートパケットを受信し、ACK を返信した時、“1”にセットされます。

#### Bit5 EPaINTTranAck

IN トランザクションで ACK を受信した時、“1”にセットされます。

#### Bit4 EPaOUTTranACK

OUT トランザクションで ACK を返信した時、“1”にセットされます。

#### Bit3 EPaINTTranNAK

IN トランザクションで NAK を返信した時、“1”にセットされます。

#### Bit2 EPaOUTTranNAK

OUT トランザクションに対して NAK を返信した時、“1”にセットされます。

#### Bit1 EPaINTTranErr

IN トランザクションにおいて STALL を返した場合やパケットにエラーがあった場合、及びハンドシェークがタイムアウトになった場合に、“1”にセットされます。

#### Bit0 EPaOUTTranErr

OUT トランザクションにおいて STALL を返した場合やパケットにエラーがあった場合に、“1”にセットされます。

## 2.2.3.4 0x23 EndpointB Interrupt Status (EPbIntStat)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x23	EPbIntStat	7:				00h
		6: EPbOUTShortACK	R(W)	0: None	1: OUT Short Packet ACK	
		5: EPbINTTranAck	R(W)	0: None	1: IN Transaction ACK	
		4: EPbOUTTranACK	R(W)	0: None	1: OUT Transaction ACK	
		3: EPbINTTranNAK	R(W)	0: None	1: IN Transaction NAK	
		2: EPbOUTTranNAK	R(W)	0: None	1: OUT Transaction NAK	
		1: EPbINTTranErr	R(W)	0: None	1: IN Transaction Error	
		0: EPbOUTTranErr	R(W)	0: None	1: OUT Transaction Error	

エンドポイント B の割り込みステータスを表示します。このレジスタのビットは割り込み要因を直接指示します。“1”がセットされている場合、該当ビットに“1”を書き込むことにより、割り込み要因をクリアすることができます。

**Bit7 Reserved****Bit6 EPbOUTShortACK**

OUT トランザクションでショートパケットを受信し、ACK を返信した時、“1”にセットされます。

**Bit5 EPbINTTranAck**

IN トランザクションで ACK を受信した時、“1”にセットされます。

**Bit4 EPbOUTTranACK**

OUT トランザクションで ACK を返信した時、“1”にセットされます。

**Bit3 EPbINTTranNAK**

IN トランザクションで NAK を返信した時、“1”にセットされます。

**Bit2 EPbOUTTranNAK**

OUT トランザクションに対して NAK を返信した時、“1”にセットされます。

**Bit1 EPbINTTranErr**

IN トランザクションにおいて STALL を返した場合やパケットにエラーがあった場合、及びハンドシェークがタイムアウトになった場合に、“1”にセットされます。

**Bit0 EPbOUTTranErr**

OUT トランザクションにおいて STALL を返した場合やパケットにエラーがあった場合に、“1”にセットされます。

## 2. レジスタ

### 2.2.3.5 0x24 EndpointC Interrupt Status (EPcIntStat)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x24	EPcIntStat	7:				00h
		6: EPcOUTShortACK	R(W)	0: None	1: OUT Short Packet ACK	
		5: EPcINTTranAck	R(W)	0: None	1: IN Transaction ACK	
		4: EPcOUTTTranACK	R(W)	0: None	1: OUT Transaction ACK	
		3: EPcINTTranNAK	R(W)	0: None	1: IN Transaction NAK	
		2: EPcOUTTTranNAK	R(W)	0: None	1: OUT Transaction NAK	
		1: EPcINTTranErr	R(W)	0: None	1: IN Transaction Error	
		0: EPcOUTTTranErr	R(W)	0: None	1: OUT Transaction Error	

エンドポイント C の割り込みステータスを表示します。このレジスタのビットは割り込み要因を直接指示します。“1”がセットされている場合、該当ビットに“1”を書き込むことにより、割り込み要因をクリアすることができます。

#### Bit7 Reserved

#### Bit6 EPcOUTShortACK

OUT トランザクションでショートパケットを受信し、ACK を返信した時、“1”にセットされます。

#### Bit5 EPcINTTranAck

IN トランザクションで ACK を受信した時、“1”にセットされます。

#### Bit4 EPcOUTTTranACK

OUT トランザクションで ACK を返信した時、“1”にセットされます。

#### Bit3 EPcINTTranNAK

IN トランザクションで NAK を返信した時、“1”にセットされます。

#### Bit2 EPcOUTTTranNAK

OUT トランザクションに対して NAK を返信した時、“1”にセットされます。

#### Bit1 EPcINTTranErr

IN トランザクションにおいて STALL を返した場合やパケットにエラーがあった場合、及びハンドシェークがタイムアウトになった場合に、“1”にセットされます。

#### Bit0 EPcOUTTTranErr

OUT トランザクションにおいて STALL を返した場合やパケットにエラーがあった場合に、“1”にセットされます。

## 2.2.3.6 0x25 EndpointD Interrupt Status (EPdIntStat)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x25	EPdIntStat	7:				00h
		6: EPdOUTShortACK	R(W)	0: None	1: OUT Short Packet ACK	
		5: EPdINTTranAck	R(W)	0: None	1: IN Transaction ACK	
		4: EPdOUTTranACK	R(W)	0: None	1: OUT Transaction ACK	
		3: EPdINTTranNAK	R(W)	0: None	1: IN Transaction NAK	
		2: EPdOUTTranNAK	R(W)	0: None	1: OUT Transaction NAK	
		1: EPdINTTranErr	R(W)	0: None	1: IN Transaction Error	
		0: EPdOUTTranErr	R(W)	0: None	1: OUT Transaction Error	

エンドポイント D の割り込みステータスを表示します。このレジスタのビットは割り込み要因を直接指示します。“1”がセットされている場合、該当ビットに“1”を書き込むことにより、割り込み要因をクリアすることができます。

**Bit7 Reserved****Bit6 EPdOUTShortACK**

OUT トランザクションでショートパケットを受信し、ACK を返信した時、“1”にセットされます。

**Bit5 EPdINTTranAck**

IN トランザクションで ACK を受信した時、“1”にセットされます。

**Bit4 EPdOUTTranACK**

OUT トランザクションで ACK を返信した時、“1”にセットされます。

**Bit3 EPdINTTranNAK**

IN トランザクションで NAK を返信した時、“1”にセットされます。

**Bit2 EPdOUTTranNAK**

OUT トランザクションに対して NAK を返信した時、“1”にセットされます。

**Bit1 EPdINTTranErr**

IN トランザクションにおいて STALL を返した場合やパケットにエラーがあった場合、及びハンドシェークがタイムアウトになった場合に、“1”にセットされます。

**Bit0 EPdOUTTranErr**

OUT トランザクションにおいて STALL を返した場合やパケットにエラーがあった場合に、“1”にセットされます。

## 2. レジスタ

### 2.2.3.7 0x26 EndpointE Interrupt Status (EPeIntStat)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x26	EPeIntStat	7:				00h
		6: EPeOUTShortACK	R(W)	0: None	1: OUT Short Packet ACK	
		5: EPeINTranAck	R(W)	0: None	1: IN Transaction ACK	
		4: EPeOUTTranACK	R(W)	0: None	1: OUT Transaction ACK	
		3: EPeINTranNAK	R(W)	0: None	1: IN Transaction NAK	
		2: EPeOUTTranNAK	R(W)	0: None	1: OUT Transaction NAK	
		1: EPeINTranErr	R(W)	0: None	1: IN Transaction Error	
		0: EPeOUTTranErr	R(W)	0: None	1: OUT Transaction Error	

エンドポイントEの割り込みステータスを表示します。このレジスタのビットは割り込み要因を直接指示します。“1”がセットされている場合、該当ビットに“1”を書き込むことにより、割り込み要因をクリアすることができます。

#### Bit7 Reserved

#### Bit6 EPeOUTShortACK

OUT トランザクションでショートパケットを受信し、ACK を返信した時、“1”にセットされます。

#### Bit5 EPeINTranAck

IN トランザクションで ACK を受信した時、“1”にセットされます。

#### Bit4 EPeOUTTranACK

OUT トランザクションで ACK を返信した時、“1”にセットされます。

#### Bit3 EPeINTranNAK

IN トランザクションで NAK を返信した時、“1”にセットされます。

#### Bit2 EPeOUTTranNAK

OUT トランザクションに対して NAK を返信した時、“1”にセットされます。

#### Bit1 EPeINTranErr

IN トランザクションにおいて STALL を返した場合やパケットにエラーがあった場合、及びハンドシェークがタイムアウトになった場合に、“1”にセットされます。

#### Bit0 EPeOUTTranErr

OUT トランザクションにおいて STALL を返した場合やパケットにエラーがあった場合に、“1”にセットされます。

## 2.2.3.8 0x27 (Reserved)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x27	(Reserved)	7:				unfixed
		6:				
		5:				
		4:				
		3:				
		2:				
		1:				
		0:				

## 2. レジスタ

### 2.2.3.9 0x28 Endpoint0 Interrupt Enable (EP0IntEnb)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x28	EP0IntEnb	7:				00h
		6:				
		5: EnEP0INTranAck	R/W	0: Disable	1: Enable	
		4: EnEP0OUTTranACK	R/W	0: Disable	1: Enable	
		3: EnEP0INTranNAK	R/W	0: Disable	1: Enable	
		2: EnEP0OUTTranNAK	R/W	0: Disable	1: Enable	
		1: EnEP0INTranErr	R/W	0: Disable	1: Enable	
		0: EnEP0OUTTranErr	R/W	0: Disable	1: Enable	

EP0IntStat レジスタの割り込み要因を許可／禁止します。

対応するビットを “1” にセットすることで EP0IntStat レジスタの割り込み要因を EPIntStat レジスタの EP0IntStat ビットへ伝えます。

## 2.2.3.10 0x29 (Reserved)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x29	(Reserved)	7:				unfixed
		6:				
		5:				
		4:				
		3:				
		2:				
		1:				
		0:				

## 2. レジスタ

### 2.2.3.11 0x2A EndpointA Interrupt Enable (EPaIntEnb)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x2A	EPaIntEnb	7:				00h
		6: EnEPaOUTShortACK	R/W	0: Disable	1: Enable	
		5: EnEPaINTTranAck	R/W	0: Disable	1: Enable	
		4: EnEPaOUTTranACK	R/W	0: Disable	1: Enable	
		3: EnEPaINTTranNAK	R/W	0: Disable	1: Enable	
		2: EnEPaOUTTranNAK	R/W	0: Disable	1: Enable	
		1: EnEPaINTTranErr	R/W	0: Disable	1: Enable	
		0: EnEPaOUTTranErr	R/W	0: Disable	1: Enable	

EPaIntStat レジスタの割り込み要因を許可／禁止します。

対応するビットを “1” にセットすることで EPaIntStat レジスタの割り込み要因を EPIntStat レジスタの EPaIntStat ビットへ伝えます。

## 2.2.3.12 0x2B EndpointB Interrupt Enable (EPbIntEnb)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x2B	EPbIntEnb	7:				00h
		6: EnEPbOUTShortACK	R/W	0: Disable	1: Enable	
		5: EnEPbINTranAck	R/W	0: Disable	1: Enable	
		4: EnEPbOUTTranACK	R/W	0: Disable	1: Enable	
		3: EnEPbINTranNAK	R/W	0: Disable	1: Enable	
		2: EnEPbOUTTranNAK	R/W	0: Disable	1: Enable	
		1: EnEPbINTranErr	R/W	0: Disable	1: Enable	
		0: EnEPbOUTTranErr	R/W	0: Disable	1: Enable	

EPbIntStat レジスタの割り込み要因を許可／禁止します。

対応するビットを “1” にセットすることで EPbIntStat レジスタの割り込み要因を EPIntStat レジスタの EPbIntStat ビットへ伝えます。

## 2. レジスタ

### 2.2.3.13 0x2C EndpointC Interrupt Enable (EPcIntEnb)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x2C	EPcIntEnb	7:				00h
		6: EnEPcOUTShortACK	R/W	0: Disable	1: Enable	
		5: EnEPcINTTranAck	R/W	0: Disable	1: Enable	
		4: EnEPcOUTTranACK	R/W	0: Disable	1: Enable	
		3: EnEPcINTTranNAK	R/W	0: Disable	1: Enable	
		2: EnEPcOUTTranNAK	R/W	0: Disable	1: Enable	
		1: EnEPcINTTranErr	R/W	0: Disable	1: Enable	
		0: EnEPcOUTTranErr	R/W	0: Disable	1: Enable	

EPcIntStat レジスタの割り込み要因を許可／禁止します。

対応するビットを “1” にセットすることで EPcIntStat レジスタの割り込み要因を EPIntStat レジスタの EPcIntStat ビットへ伝えます。

## 2.2.3.14 0x2D EndpointD Interrupt Enable (EPdIntEnb)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x2D	EPdIntEnb	7:				00h
		6: EnEPdOUTShortACK	R/W	0: Disable	1: Enable	
		5: EnEPdINTTranAck	R/W	0: Disable	1: Enable	
		4: EnEPdOUTTranACK	R/W	0: Disable	1: Enable	
		3: EnEPdINTTranNAK	R/W	0: Disable	1: Enable	
		2: EnEPdOUTTranNAK	R/W	0: Disable	1: Enable	
		1: EnEPdINTTranErr	R/W	0: Disable	1: Enable	
		0: EnEPdOUTTranErr	R/W	0: Disable	1: Enable	

EPdIntStat レジスタの割り込み要因を許可／禁止します。

対応するビットを “1” にセットすることで EPdIntStat レジスタの割り込み要因を EPIntStat レジスタの EPdIntStat ビットへ伝えます。

## 2. レジスタ

### 2.2.3.15 0x2E EndpointE Interrupt Enable (EPeIntEnb)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x2E	EPeIntEnb	7:				00h
		6: EnEPeOUTShortACK	R/W	0: Disable	1: Enable	
		5: EnEPeINTranAck	R/W	0: Disable	1: Enable	
		4: EnEPeOUTTranACK	R/W	0: Disable	1: Enable	
		3: EnEPeINTranNAK	R/W	0: Disable	1: Enable	
		2: EnEPeOUTTranNAK	R/W	0: Disable	1: Enable	
		1: EnEPeINTranErr	R/W	0: Disable	1: Enable	
		0: EnEPeOUTTranErr	R/W	0: Disable	1: Enable	

EPeIntStat レジスタの割り込み要因を許可／禁止します。

対応するビットを “1” にセットすることで EPeIntStat レジスタの割り込み要因を EPIntStat レジスタの EPeIntStat ビットへ伝えます。

## 2.2.3.16 0x2F (Reserved)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x2F	(Reserved)	7:				unfixed
		6:				
		5:				
		4:				
		3:				
		2:				
		1:				
		0:				

## 2. レジスタ

### 2.2.4 Common block

#### 2.2.4.1 0x30 Macro Configuration (MacroConfig)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x30	MacroConfig	7:			00h
		6:			
		5:			
		4: COMPPwrDown	R/W	0: Normal 1: Internal 2.0V-comparator and 4.4V-comparator is powerdown	
		3:			
		2:			
		1:			
		0: ExtResMode	R/W	0: Use internal pull-up/pull down resistance 1: Use external pull-up/pull-down resistance	

内蔵回路の動作設定を行います。

**Bit7 Reserved**

**Bit6 Reserved**

**Bit5 Reserved**

**Bit4 COMPPowerDown**

内蔵 VBUS-2.0V および VBUS-4.4V コンパレータのパワーダウンを行います。  
非動作時の消費電力を最小にする場合は、このレジスタを “1” に設定して下さい。  
0 — 通常動作を行います  
1 — VBUS-2.0V および VBUS-4.4V コンパレータをパワーダウンします

**Bit3 Reserved**

**Bit2 Reserved**

**Bit1 Reserved**

**Bit0 ExtResMode**

内蔵プルアップ／プルダウン抵抗の使用有無を指定します。

0 — 内蔵 VBUS コンパレータを使用します

1 — 外部プルアップ／プルダウン抵抗を使用します

## 2.2.4.2 0x31 Revision Number (RevNumber)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x31	RevNumber	7: RevNumber[7] 6: RevNumber[6] 5: RevNumber[5] 4: RevNumber[4] 3: RevNumber[3] 2: RevNumber[2] 1: RevNumber[1] 0: RevNumber[0]	R	RevisionNumber[7:0]	02h

**Bit7-0 RevNumber**

S1R72005 のリビジョンナンバーを示します。  
このビットはクロックの入力状況に関わらず有効です。

## 2. レジスタ

### 2.2.4.3 0x32 Common Control (CommonControl)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x32	CommonControl	7:				00h
		6:				
		5:				
		4: ResetXcvr	R/W	0: Normal	1: Transceiver Reset	
		3: ResetPC	R/W	0: Normal	1: PC Reset	
		2: ResetHC	R/W	0: Normal	1: HC Reset	
		1: ResetOTGC	R/W	0: Normal	1: OTGC Reset	
		0: ResetALL	R/W	0: Normal	1: ALL Reset	

S1R72005 全体に関わる操作を行います。

**Bit7 Reserved**

**Bit6 Reserved**

**Bit5 Reserved**

**Bit4 ResetXcvr**

このビットに “1” をセットすると、S1R72005 トランシーバ部をリセットすることができます。リセットを解除するには、このビットを “0” にクリアしてください。

0 – 何もしません（リセット完）

1 – リセットします

**Bit3 ResetPC**

S1R72005 ペリフェラルコントローラ部のリセットを行います。このビットに “1” をセットすることで以下のレジスタが初期値に戻ります。

- HCPC\_Common レジスタ
- PC\_Control レジスタ
- PC\_USBAddress レジスタ
- PC\_FmNumber\_H~L レジスタ
- PipeEP\_Common レジスタ
- EP\_Common レジスタ
- EP0Setup\_0~7 レジスタ
- PC\_IntStat レジスタの RcvSOF フィールド
- PC\_IntEnb レジスタの EnRevSOF フィールド

なお、初期化が完了すると、このビットは自動的にクリアされます。（F/W は、リセット完了によるビットのクリアを確認する必要はありません。）

0 – 何もしません（リセット完）

1 – リセットします

(次のページに続く)

(0x32 レジスタ説明の続き)

#### **Bit2 ResetHC**

S1R72005 ホストコントローラ部のリセットを行います。このビットに “1” をセットすることで以下のレジスタが初期値に戻ります。

- HC\_IntStat.FmNumberOver
- HC\_IntStat.SOF
- HC\_IntEnb.FmNumberOver
- HC\_IntEnb.SOF
- CommonControl.OpMode ビット
- HCCCommon レジスタ
- HCFmNumber レジスタ
- PIPE0Setup\_0 - PIPE0Setup\_7 レジスタ

なお、初期化が完了すると、このビットは自動的にクリアされます。(F/Wは、リセット完了によるビットのクリアを確認する必要はありません。)

0 – 何もしません (リセット完)

1 – リセットします

#### **Bit1 ResetOTGC**

S1R72005 OTG コントローラ部のリセットを行います。このビットに “1” をセットすることで以下のレジスタが初期値に戻ります。

- HCIntStat.FmNumberOver ビット
- HCIntStat.SOF ビット
- OTGCCCommon レジスタ
- HCCCommon.HCStateCmd ビット
- HCFmNumber レジスタ

なお、初期化が完了すると、このビットは自動的にクリアされます。(F/Wは、リセット完了によるビットのクリアを確認する必要はありません。)

0 – 何もしません (リセット完)

1 – リセットします

#### **Bit0 ResetALL**

S1R72005 全体のリセットを行います。このビットに “1” をセットすることで S1R72005 のレジスタが初期値に戻ります。

ただし、アクセスタイプがリードオンリーのレジスタまたはビットは、リセットによるクリアは行いません。初期化が完了すると、このビットは自動的にクリアされます。(F/Wは、リセット完了によるビットのクリアを確認する必要はありません。)

0 – 何もしません (リセット完)

1 – リセットします

## 2. レジスタ

### 2.2.4.4 0x33 Host Controller & Peripheral Controller Common Control (HCPCCCommon)

Address	Register Name	Bit Symbol	R/W	Description	Reset	
0x33	HCPCCCommon	7:			01h	
		6:				
		5:				
		4:				
		3:				
		2: OpMode[2]	R	Operation Mode[2:0]		
		1: OpMode[1]	R			
		0: OpMode[0]	R			

ホストコントローラとペリフェラルコントローラに共通する事項のレジスタです。

**Bit7 Reserved**

**Bit6 Reserved**

**Bit5 Reserved**

**Bit4 Reserved**

**Bit3 Reserved**

**Bit2-0 OpMode [2:0]**

トランシーバマクロの動作モードを表します。

通常、ファームウェアはこのビットへのライトアクセスは行いません。

000b — Normal Operation

001b — Non-Driving

010b — Disable Bitstuffing and NRZI encoding (ペリフェラル時)

011b — (Reserved)

100b — HostReset (ホスト時)

101b — HostResume (ホスト時)

110b — (Reserved)

111b — (Reserved)

## 2.2.4.5 0x34 OTG Controller Monitor (OTGCMonitor)

Address	Register Name	Bit Symbol	R/W	Description		Reset	
0x34	OTGCMonitor	7: LSConnect	R	0: LS Device Not Connected	1: LS Device Connected	40h	
		6: ID	R	0: Mini-A Inserted	1: Mini-A Not Inserted		
		5: LineState[1]	R	Line State[1:0]			
		4: LineState[0]	R				
		3:					
		2:					
		1: Comp20V	R	0: 2.0V or Under	1: Over 2.0V		
		0: Comp44V	R	0: Under 4.4V	1: 4.4V or Over		

USB および OTG に関する USB ポートの状態、および VBUS の状態を表示します。

**Bit7 LSConnect**

ロースピードデバイスの接続を表示します。

- 0 — ロースピードデバイスは非接続です
- 1 — ロースピードデバイスが接続されています

**Bit6 ID**

OTG レセプタクルへのミニ A プラグ挿入状況 (ID ピンの入力状態) を表示します。このビットはクロックの入力状況に関わらず有効です。

- 0 — ミニ A プラグが挿入されています
- 1 — ミニ A プラグが挿入されていません

**Bit5-4 LineState [1:0]**

USB データライン上の信号状態 (DP/DM のシングルエンドレシーバの受信値) を表示します。このビットはクロックの入力状況に関わらず有効です。

- 00b — SE0
- 01b — J
- 10b — K
- 11b — SE1

**Bit3 Reserved****Bit2 Reserved****Bit1 Comp20V**

VBUS 2.0V コンパレータの出力結果を表示します。このビットはクロックの入力状況に関わらず有効です。

- 0 — 2.0V 以下です ( $\leq 2.0V$ )
- 1 — 2.0V を超えています ( $2.0V <$ )

**Bit0 Comp44V**

VBUS 4.4V コンパレータの出力結果を表示します。このビットはクロックの入力状況に関わらず有効です。

- 0 — 4.4V 未満です ( $< 4.4V$ )
- 1 — 4.4V 以上です ( $4.4V \leq$ )

## 2. レジスタ

### 2.2.4.6 0x35 OTG Controller Control (OTGCCControl)

Address	Register Name	Bit Symbol	R/W	Description		Reset	
0x35	OTGCCControl	7: AllowRmtWkup	R/W	0: Not Allow Remote Wakeup	1: Allow Remote Wakeup	08h	
		6:					
		5:					
		4: BusPwrSel	R/W	0: Limit 8mA	1: Allow over 8mA		
		3: OTGStateCmd[3]	R/W	OTG State Command[3:0]			
		2: OTGStateCmd[2]	R/W				
		1: OTGStateCmd[1]	R/W				
		0: OTGStateCmd[0]	R/W				

OTG コントローラの制御を行います。

#### Bit7 AllowRmtWkup

ホスト時におけるリモートウェイクアップ検出機能の許可/非許可を設定します。

- 0 — リモートウェイクアップ検出機能を許可しません  
1 — リモートウェイクアップ検出機能を許可します

#### Bit6 Reserved

#### Bit5 Reserved

#### Bit4 BusPwrSel

VBUS の出力を設定します。

- 0 — 8mA まで許可します (≤8mA)  
1 — 8mA より大きな出力を許可します (>8mA)

(次のページに続く)

(0x35 レジスタ説明の続き)

### Bit3-0 OTGStateCmd [3:0]

OTG コントローラの動作を指定します。OTG 状態遷移に従いこのビットに適当な値を書き込むことにより、その状態での必要なコントローラ回路や検出機能等が自動的にアクティブとなります。

0000b	—	“a_idle”
0001b	—	“a_wait_vrise”
0010b	—	“a_wait_bcon”
0011b	—	“a_host”
0100b	—	“a_suspend”
0101b	—	“a_peripheral”
0110b	—	“a_vbus_err”
0111b	—	“a_wait_vfall”
1000b	—	“b_idle”
1001b	—	“b_srp_init_d” <sup>*1</sup> (データラインパルシング)
1010b	—	“b_srp_init_v” (VBUS パルシング)
1011b	—	“b_peripheral”
1100b	—	“b_wait_acon”
1101b	—	“b_host”
1110b	—	“b_srp_init_v5” <sup>*2</sup> (5V-VBUS パルシング)
1111b	—	何もしません

※1 HVDD 電源電圧が 3.25V 以下の場合、SRP Data-line Pulsing は E\_OTGStateCmd レジスタ(0xE1)を用いて行ってください。 使用方法等の説明は 2.2.1.3 項 にあります。

※2 VBUS パルシング時において “b\_srp\_init\_v5” を用いる場合、VBUS 電位が 5.0V まで上昇するので注意が必要です。

また、この場合では、このレジスタの BusPwrSel ビットの設定は無効となります。

## 2. レジスタ

---

### 2.2.4.7 0x36 (Reserved)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x36	(Reserved)	7:				unfixed
		6:				
		5:				
		4:				
		3:				
		2:				
		1:				
		0:				

## 2.2.4.8 0x37 Host Controller Control (HCControl)

Address	Register Name	Bit Symbol	R/W	Description		Reset	
0x37	HCControl	7:				00h	
		6:					
		5:					
		4: EnNoFmBulkMode	R/W	0: NoFrameBulkMode Disable	1: NoFrameBulkMode Enable		
		3:					
		2:					
		1: HCStateCmd[1]	R/W	HC State Command[1:0]			
		0: HCStateCmd[0]	R/W				

ホストコントローラ全般に関わる制御を行います。

**Bit7 Reserved****Bit6 Reserved****Bit5 Reserved****Bit4 EnNoFmBulkMode**

フレーム管理無しバルク転送モードのイネーブル/ディセーブルを設定します。このビットを“1”にした場合は、フレーム管理を行わず SOF も発行しないでバルク転送のみを行います。従って、全ての USB 帯域にバルクトランザクションが割り当てられることになります。

このモードはバルク転送、コントロール転送時に有効で、どこかのチャネル 1 つでも TranGo ビットが“1”的場合に SOF トークンは送出されません。ただし、HCControl レジスタの HCStateCmd ビットが“11b”的場合で、かつ全てのチャネルの TranGo ビットが“0”的状態を 3ms 以上持続されると SOF トークンを送出しデバイスがサスペンドに移行しないようにされます。

このモードを設定中にアイソクロナス、インターラプト転送が行われた場合、このビットはクリアされフレーム管理無しバルク転送モードは自動的に解除されます。

0 — ノーマルモード（通常の USB 転送）で転送を行います

1 — No Frame Bulk モード（フレーム管理無しバルク転送）で転送を行います

(注)

このモード中において、どこかのチャネル 1 つでも TranGo ビットが“1”的状態では、ホスト側の FIFO ビジー等の理由により OUT または IN トークンが送信できない状態（トランザクションが無い状態）となっても SOF は送出されません。従って、そのような状態が 3ms 以上続くと接続相手（ペリフェラル）はサスペンドに移行してしまう可能性がありますので注意下さい。

**Bit3 Reserved****Bit2 Reserved****Bit1-0 HCStateCmd [1:0]**

HC コントローラの状態信号送信を指定します。USB 状態遷移に従いこのビットに適当な値を書き込むことにより、その状態での必要な信号の送出、または必要なラインステート状態を作ることができます。

00b — USB 信号線上に Suspend 状態 (J 状態) を作ります ; “Suspend”

01b — USB 信号線上に Reset 信号 (SE0) を送出します ; “Reset”

10b — USB 信号線上に Resume 状態 (K 状態) を作ります ; “Resume”

11b — SOF トークンを送信します (USB 転送を行います) ; “Operational”

本フィールドが“00b”(Suspend)に設定されている時にリモートウェイクアップを検出すると本フィールドを自動的に“10b”(Resume)に変更します。

## 2. レジスタ

### 2.2.4.9 0x38 Host Controller Frame Number High (HCFmNumber\_H)

Address	Register Name	Bit Symbol	R/W	Description	Reset	
0x38	HCFmNumber_H	7:			00h	
		6:				
		5:				
		4:				
		3:				
		2: HCFmNumber[10]	R	HCFrameNumber[10:8]		
		1: HCFmNumber[9]	R			
		0: HCFmNumber[8]	R			

ホスト動作時にホストコントローラがカウントするフレームナンバーの上位 3 ビットが表示されます。

8bit アクセス時にフレームナンバーを取得する場合は、このレジスタと HCFmNumber\_L レジスタを対でアクセスする必要があります。その際は本レジスタを先にアクセスしてください。

**Bit7 Reserved**

**Bit6 Reserved**

**Bit5 Reserved**

**Bit4 Reserved**

**Bit3 Reserved**

**Bit2-0 HCFmNumber\_H [2:0]**

ホストコントローラがカウントしたフレームナンバーの上位 3 ビットがセットされます。

## 2.2.4.10 0x39 Host Controller Frame Number Low (HCFmNumber\_L)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x39	HCFmNumber_L	7: HCFmNumber[7] 6: HCFmNumber[6] 5: HCFmNumber[5] 4: HCFmNumber[4] 3: HCFmNumber[3] 2: HCFmNumber[2] 1: HCFmNumber[1] 0: HCFmNumber[0]	R R R R R R R R	HCFFrameNumber[7:0]	00h

ホスト動作時にホストコントローラがカウントするフレームナンバーの下位 8 ビットが表示されます。  
8bit アクセス時にフレームナンバーを取得する場合は、HCFmNumber\_H レジスタとこのレジスタを対でアクセスする必要があります。その際は本レジスタを後にアクセスしてください。

**Bit7-0 HCFmNumber\_L [7:0]**

ホストコントローラがカウントしたフレームナンバーの下位 8 ビットがセットされます。

## 2. レジスタ

### 2.2.4.11 0x3A Peripheral Controller Control (PCControl)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x3A	PCControl	7:				00h
		6:				
		5:				
		4:				
		3:				
		2:				
		1:				
		0: SendWakeup	R/W	0: Normal	1: Send RemoteWakeup Signal	

ペリフェラルコントローラに関わる制御を行います。

**Bit7 Reserved**

**Bit6 Reserved**

**Bit5 Reserved**

**Bit4 Reserved**

**Bit3 Reserved**

**Bit2 Reserved**

**Bit1 Reserved**

**Bit0 SendWakeup**

このビットを“1”にセットすることで、USB ポートにリモートウェイクアップ信号 (K 状態) を出力します。

0 — リモートウェイクアップ信号を送出しません

1 — リモートウェイクアップ信号を送出します

リモートウェイクアップ信号の送出後 1ms 以上（最大 15ms）経過したら、このビットを“0”にクリアして送出を停止してください。なお、このビットに“1”をセットする時は、サスPEND状態から復帰（ペリフェラルコントローラにクロックを供給）していかなければなりません。

## 2.2.4.12 0x3B Peripheral Controller USB Address (PCUSBAddress)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x3B	PCUSBAddress	7:			00h
		6: USBAddress[6]	R/W		
		5: USBAddress[5]	R/W		
		4: USBAddress[4]	R/W		
		3: USBAddress[3]	R/W		
		2: USBAddress[2]	R/W		
		1: USBAddress[1]	R/W		
		0: USBAddress[0]	R/W		
		USBAddress[6:0]			

ペリフェラルコントローラ動作時において、USB アドレスを設定します。

**Bit7 Reserved**

**Bit6-0 USBAddress [6:0]**

USB アドレスを設定します。

SetAddress リクエストのステータスステージ完了後に、ホストから指定されたアドレスを設定してください。

0~127 – USB アドレス

## 2. レジスタ

### 2.2.4.13 0x3C Peripheral Controller Frame Number High (PCFmNumber\_H)

Address	Register Name	Bit Symbol	R/W	Description		Reset	
0x3C	PCFmNumber_H	7: FnInvalid	R	0: Frame Number Valid	1: Frame Number Invalid	80h	
		6:					
		5:					
		4:					
		3:					
		2: PCFmNumber[10]	R	PCFmNumber[10:8]			
		1: PCFmNumber[9]	R				
		0: PCFmNumber[8]	R				

ペリフェラル動作時に受信した SOF パケットの FrameNumber フィールドの上位 3 ビットが入ります。  
8bit アクセス時にフレームナンバーを取得する場合は、このレジスタと PCFmNumber\_L レジスタを対でアクセスする必要があります。その際は本レジスタを先にアクセスしてください。

#### Bit7 FnInvalid

受信した SOF パケットにエラーが発生した時に、このビットが “1” にセットされます。

0 — SOF パケットを正常に受信した時  
1 — SOF パケット受信時にエラーが発生した時

#### Bit6 Reserved

#### Bit5 Reserved

#### Bit4 Reserved

#### Bit3 Reserved

#### Bit2-0 PCFmNumber\_H [2:0]

受信した SOF パケットの FrameNumber フィールドの上位 3 ビットがセットされます。

(注) 16bit アクセス時にフレームナンバーを取得する場合は PCFmNumber(0x3C)を 2 回読んでください。  
2 回目の読み出された値がフレームナンバーとなります。

## 2.2.4.14 0x3D Peripheral Controller Frame Number Low (PCFmNumber\_L)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x3D	PCFmNumber_L	7: PCFmNumber[7] 6: PCFmNumber[6] 5: PCFmNumber[5] 4: PCFmNumber[4] 3: PCFmNumber[3] 2: PCFmNumber[2] 1: PCFmNumber[1] 0: PCFmNumber[0]	R R R R R R R R	PCFmNumber[7:0]	00h

ペリフェラル動作時に受信した SOF パケットの FrameNumber フィールドの下位 8 ビットが表示されます。  
8bit アクセス時にフレームナンバーを取得する場合は、PCFmNumber\_H レジスタとこのレジスタを対でアクセスする必要があります。その際は本レジスタを後にアクセスしてください。

**Bit7 Reserved**

**Bit6 Reserved**

**Bit5 Reserved**

**Bit4 Reserved**

**Bit3 Reserved**

**Bit7-0 PCFmNumber\_L [7:0]**

受信した SOF パケットの FrameNumber フィールドの下位 8 ビットがセットされます。

(注) 16bit アクセス時にフレームナンバーを取得する場合は PCFmNumber(0x3C)を 2 回読んでください。  
2 回目の読み出された値がフレームナンバーとなります。

## 2. レジスタ

### 2.2.4.15 0x3E Pipe& EndpointCommon (PipeEPCommon)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x3E	PipeEPCommon	7:			00h
		6:			
		5:			
		4:			
		3:			
		2:			
		1:			
		0: SetBuffer	R/W	0: Normal 1: Starting Buffer Allocation	

パイプ制御とエンドポイント制御の両方に関わる事項のレジスタです。

**Bit7 Reserved**

**Bit6 Reserved**

**Bit5 Reserved**

**Bit4 Reserved**

**Bit3 Reserved**

**Bit2 Reserved**

**Bit1 Reserved**

**Bit0 SetBuffer**

このビットを “1” にセットすると FIFO のアロケーションが開始され、バッファページ数と Max パケットサイズが設定されている全てのパイプ、またはエンドポイントのバッファ領域が確保されます。このビットはバッファの確保完了後自動的に “0” にクリアされます。

0 — 何もしません

1 — バッファ領域を確保します

各パイプまたはエンドポイントの Config\_0 レジスタの BufferPage ビット、および MaxPktSize\_H/L レジスタの設定を行った後、このビットのセットを行い、バッファ領域を確保します。このビットを “1” にセットすると全てのバッファ領域の読み書き位置ポインタが領域の先頭に設定されます（各チャネルの Config レジスタ FIFOClr ビットを “1” に設定した時と同様の状態となります）。

なお、このビットを “1” にセットする場合は、必ず全てのパイプまたはエンドポイントのトランザクションが停止している状態で行ってください。また、トランザクションを開始する場合は、必ずこのビットが “0” の状態で行ってください。

(参考)

このビットに “1” を設定してから “0” にクリアされるまでの時間は約 125ns (48MHz、6 クロック) です。

## 2.2.4.16 0x3F EndpointCommon (EPCommon)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x3F	EPCommon	7:				00h
		6:				
		5:				
		4:				
		3:				
		2: AutoEnShort	R/W	0: Disable AutoEn Short	1: Enable AutoEn Short	
		1: AllForceNAK	W	0: Normal	1: ALL Force NAK	
		0: AllForceSTALL	W	0: Normal	1: EPr Force STALL	

エンドポイント全般に関わる動作設定、表示を行います。

**Bit7 Reserved****Bit6 Reserved****Bit5 Reserved****Bit4 Reserved****Bit3 Reserved****Bit2 AutoEnShort**

a~eConfig\_0 レジスタの JoinDMA ビットが “1” になっているエンドポイントにおいて、IN トランザクション時のショートパケット転送の動作モードを設定します。

0 — DMA 転送最後のデータサイズが MaxPacketSize 未満のときは、EnShortPkt ビットを “1” にするまで FIFO 内のデータは転送されません。

1 — DMA 転送最後のデータサイズが MaxPacketSize 未満の場合、自動的に該当エンドポイント (EPa~e) の Control\_1 レジスタ EnShortPkt ビットを “1” にして、残りのデータを送信します。残りのデータ送信後は EnShortPkt ビットは “0” にクリアされます。

事前に送信データ数をチェックして設定する必要はありません。

データ数が端数になる場合も、H/W が自動で判断して EnShortPkt ビットを “1” にセットします。

**Bit1 AllForceNAK**

このビットに “1” をセットすると、EP0Control\_0 レジスタの InForceNAK、OutForceNAK ビット、および全てのエンドポイント (EPa~e) の Control\_1 レジスタ ForceNAK ビットを “1” することができます。

**Bit0 AllForceSTALL**

このビットに “1” をセットすると、全てのエンドポイント (EPa~e) の Control\_1 レジスタの ForceSTALL ビットを “1” することができます。

## 2. レジスタ

### 2.2.5 DMA/CPU/Clock block

#### 2.2.5.1 0x40 DMA Configuration0 (DMAConfig\_0)

Address	Register Name	Bit Symbol	R/W	Description	Reset	
0x40	DMAConfig_0	7: DINLatency[3]	R/W	DINLatency[3:0]	00h	
		6: DINLatency[2]	R/W			
		5: DINLatency[1]	R/W			
		4: DINLatency[0]	R/W			
		3: DOUTLatency[3]	R/W	DOUTLatency[3:0]		
		2: DOUTLatency[2]	R/W			
		1: DOUTLatency[1]	R/W			
		0: DOUTLatency[0]	R/W			

DMA によるデータの取り込み／出力タイミングの設定を行います。

#### Bit7-4 DINLatency

DMA による外部メモリから S1R72005 へのデータの取り込みタイミングを指定します。 (DMA IN : 外部メモリ → S1R72005)

接続する外部メモリのタイプによって内容が異なります。

<外部メモリ : SDRAM 時>

CAS レイテンシ値を設定します。

0～15 – CAS レイテンシ値

xRD (xCAS) 信号の立ち下がりから数えて、本ビットの設定数後の DMASTRB の立ち上がりエッジで、データを S1R72005 に取り込みます。

<その他の場合>

xDACK からのレイテンシ値を設定します。

0～15 – xDACK からのレイテンシ値

xDACK 信号の立ち下がりから数えて、本ビットの設定数後の DMASTRB の立ち上がりエッジで、データを S1R72005 に取り込みます。

(次のページに続く)

(0x40 レジスタ説明の続き)

### Bit3-0 DOUTLatency

DMA による S1R72005 から外部メモリへのデータ出力のタイミングを指定します。(DMA OUT : S1R72005→外部メモリ)

接続する外部メモリのタイプによって内容が異なります。

<外部メモリ : SDRAM 時>

CAS レイテンシ値を設定します。

0~15 – CAS レイテンシ値

xRD (xCAS) 信号の立ち下がりから数えて、本ビットの設定数後の DMASTRB の立ち上がりエッジで、SDRAM がデータを取り込むことができるようデータを出力します。

<その他の場合>

xDACK からのレイテンシ値を設定します。

0~15 – xDACK からのレイテンシ値

xDACK 信号の立ち下がりから数えて、本ビットの設定数後の DMASTRB の立ち上がりエッジで、外部メモリがデータを取り込むことができるようデータを出力します。

## 2. レジスタ

### 2.2.5.2 0x41 DMA Configuration1 (DMAConfig\_1)

Address	Register Name	Bit Symbol	R/W	Description		Reset	
0x41	DMAConfig_1	7: ActiveDMA	R/W	0: Non-Active DMA	1: Active DMA	00h	
		6: DMAClkPhase	R/W	0: Phase is not reversed	1: Phase is reversed		
		5: DMATranMode[1]	R/W	DMATranMode[1:0]			
		4: DMATranMode[0]	R/W				
		3: DREQLevel	R/W	0: Active Low	1: Active High		
		2: DMAEndian	R/W	0: DMA Big Endian	1: DMA Little Endian		
		1: StrobeMode	R/W	0: Not use xRD/xWR	1: Use xRD/xWR		
		0: DMABus8x16	R/W	0: DMA Bus 16bit Mode	1: DMA Bus 8bit Mode		

DMA動作およびバスに関する設定を行います。

#### Bit7 ActiveDMA

リセット後 DMA は全端子入力モードになっていますが、本ビットを “1” にセットすることにより DMA が有効になります。

- 0 — DMA を無効にします
- 1 — DMA を有効にします

#### Bit6 DMAClkPhase

DMASTRB 信号の位相反転を指定します。

- 0 — DMASTRB の位相を反転しません。  
この設定により DMASTRB の立ち上がりエッジでデータのハンドリングを行います。
- 1 — DMASTRB の位相を反転します。  
この設定により DMASTRB の立ち下がりエッジでデータのハンドリングを行います。

#### Bit5-4 DMATranMode

xDACK の転送モードを指定します。

このビットは本レジスタの StrobeMode ビットが “0” の場合のみで有効です。

- 00b — (無効)
- 01b — バースト転送において、xDACK をストローブとして用います。  
この設定により 1 回の xDREQ アサートに対して、バースト数分 S1R72005 から xDACK が出力されます。
- 10b — xDACK + DMASTRB + xRD (xCAS) でデータのハンドリングを行います。  
この設定は SDRAM 対応モードとなります。
- 11b — xDACK + DMASTRB でデータのハンドリングを行う汎用モードで動作します。

#### Bit3 DREQLevel

HDMARQ 信号の動作レベルを決めます。

- 0 — 負論理
- 1 — 正論理

#### Bit2 DMAEndian

DMA を 16bit 幅で使用する時のエンディアン設定を行います。

- 0 — 上位の 8 ビットのデータが先に USB 側に転送されます (ビッグエンディアン)
- 1 — 下位の 8 ビットのデータが先に USB 側に転送されます (リトルエンディアン)

(次のページに続く)

(0x41 レジスタ説明の続き)

**Bit1 StrobeMode**

DMA 転送時の xRD 信号／xWR 信号の使用有無を指定します。

- 0 — xRD 信号／xWR 信号を用いずに DMA 転送を行います
- 1 — xRD 信号／xWR 信号を用いて DMA 転送を行います

このビットを “1” に設定した場合、

DMA 転送の方向が DMA IN (外部メモリ→S1R72005) の場合は、xRD 信号の立ち上がりエッジでデータを取り込みます。

DMA 転送の方向が DMA OUT (S1R72005→外部メモリ) の場合は、xWR 信号の立ち上がりエッジで外部メモリがデータを取りこめるようにデータを出力します。

**Bit0 DMABus8x16**

DMA バスを 8 ビット幅で使用する場合にこのビットを “1” に設定します。

- 0 — DMA バスを 16bit モードで使用します
- 1 — DMA バスを 8bit モードで使用します

## 2. レジスタ

### 2.2.5.3 0x42 DMA Control0 (DMAControl\_0)

Address	Register Name	Bit Symbol	R/W	Description	Reset	
0x42	DMAControl_0	7:			00h	
		6: BurstFIFORemain	R	0: Not remaining 1: Remaining		
		5:				
		4:				
		3:				
		2:				
		1: BurstLength[1]	R/W	BurstLength[1:0]		
		0: BurstLength[0]	R/W			

DMA 転送の制御を行います。

#### Bit7 Reserved

#### Bit6 BurstFIFORemain

DMA バースト転送時における、DMA ブロックのローカル FIFO の残データ有無を表示します。

- 0 — ローカル FIFO にデータは残っていません
- 1 — ローカル FIFO にデータが残っています

#### <参考>

バースト転送の DMA OUT (S1R72005→外部メモリ) 転送時において、DMACountH～L レジスタで指定したカウント値が 0 になる以前に DMA 転送を終了とする場合（例えば ホストの時では USB IN 転送時、ペリフェラルの時では USB OUT 転送時に、一つの転送区切りをショートパケットの受信によって判断する場合等で発生します）で、最終データが本レジスタ BurstLength ビットで指定するバースト長に満たない端数サイズとなる場合、最後の端数サイズ分のデータが DMA ローカル FIFO 中に格納されたままとなります。

この場合、該当チャネルの FIFOforCPU レジスタにより、バースト長に達するサイズの適当なデータを S1R72005 の FIFO にライトすることによって、DMA ローカル FIFO 中のデータをそのダミーデータと一緒に外部メモリに送り出し、最終の端数データを取り出すことができます。

#### Bit5 Reserved

#### Bit4 Reserved

#### Bit3 Reserved

#### Bit2 Reserved

#### Bit1-0 BurstLength

DMA バースト長を設定します。

- 00b — 1 ワード
- 01b — 2 ワード
- 10b — 4 ワード
- 11b — 8 ワード

## 2.2.5.4 0x43 DMA Control1 (DMAControl\_1)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x43	DMAControl_1	7: DMAAbort	W	0: Normal	1: DMA Transfer Abort	00h
		6:				
		5:				
		4:				
		3:				
		2:				
		1:				
		0: DMAGo	R/W	0: DMA Transfer Stop	1: DMA Transfer Start	

DMA 転送の制御を行います。

#### Bit7 DMAAbort

DMAControl\_1 レジスタの DMAGo ビットで起動した DMA 転送を強制的に中断したい場合に “1” にセットします。

- 0 — 何もしません
- 1 — DMA 転送を強制中断します

通常 DMA 転送を中断する場合、正しい手順（推奨手順）として以下の手順に従ってください。

- (1) DMAGo をクリアする。
- (2) DMACount を 0 にする。
- (3) DMACmp 割込をクリアする。

(なお、DMAGo をクリアして DMA を停止させた場合、DMACmp を DMA が停止したか判断するためには使えません)

#### Bit6 Reserved

#### Bit5 Reserved

#### Bit4 Reserved

#### Bit3 Reserved

#### Bit2 Reserved

#### Bit1 Reserved

(次のページに続く)

## 2. レジスタ

---

(0x43 レジスタ説明の続き)

### Bit0 **DMAGo**

このビットを “1” にすると DMA 転送を開始します。  
DMA 転送中このビットを “0” にクリアすると DMA 転送を停止させることができます。DMA 転送が DMACount\_H~L レジスタ で設定したバイト数完了した場合、MainIntStat レジスタの DMACmp ビットが “1” にセットされ、本ビットは自動的に “0” に戻ります。また、本ビットによる DMA 転送の停止を行った場合も MainIntStat レジスタの DMACmp ビットが “1” にセットされます。

- 0 — DMA 転送を停止します
- 1 — DMA 転送を開始します

(注 1) DMA 転送を行う際は、

1. 対象エンドポイントの Config レジスタ JoinDMA ビットを “1” にセットする。
  2. DMACount レジスタに 転送バイト数を設定する。
  3. DMAConfig レジスタの ActiveDMA ビットを “1” にセットする。
  4. DMAGo に “1”をセットし DMA 転送を開始する。
- という操作が必要になります。(1~3 の順序は任意)

(注 2) DMA 転送を中断する場合、正しい手順（推奨手順）として、以下の手順に従ってください。

1. DMAGo をクリアする。
2. DMACount を 0 にする。
3. DMACmp 割込をクリアする。

なお、DMAGo をクリアして DMA を停止させた場合、DMACmp を DMA が停止したか判断するためには使えません。

中断後に転送を再開する場合は、FIFO をクリアし再度 DMACount の設定を行って下さい。  
停止した時点からの転送再開はできません。

## 2.2.5.5 0x44 (Reserved)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x44	(Reserved)	7:				unfixed
		6:				
		5:				
		4:				
		3:				
		2:				
		1:				
		0:				

## 2. レジスタ

### 2.2.5.6 0x45 DMA Count High (DMACount\_H)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x45	DMACount_H	7: DMACount[23]	R/W	DMACount[23:16]	00h
		6: DMACount[22]	R/W		
		5: DMACount[21]	R/W		
		4: DMACount[20]	R/W		
		3: DMACount[19]	R/W		
		2: DMACount[18]	R/W		
		1: DMACount[17]	R/W		
		0: DMACount[16]	R/W		

### 2.2.5.7 0x46 DMA Count Middle (DMACount\_M)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x46	DMACount_M	7: DMACount[15]	R/W	DMACount[15:8]	00h
		6: DMACount[14]	R/W		
		5: DMACount[13]	R/W		
		4: DMACount[12]	R/W		
		3: DMACount[11]	R/W		
		2: DMACount[10]	R/W		
		1: DMACount[9]	R/W		
		0: DMACount[8]	R/W		

### 2.2.5.8 0x47 DMA Count Low (DMACount\_L)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x47	DMACount_L	7: DMACount[7]	R/W	DMACount[7:0]	00h
		6: DMACount[6]	R/W		
		5: DMACount[5]	R/W		
		4: DMACount[4]	R/W		
		3: DMACount[3]	R/W		
		2: DMACount[2]	R/W		
		1: DMACount[1]	R/W		
		0: DMACount[0]	R/W		

#### DMACount\_H

#### DMACount\_M

#### DMACount\_L

DMA 転送における転送バイト数(最大 16,777,215byte:約 16.7Mbyte)のうち 23~16 ビット目を DMACount\_H レジスタに、15~8 ビット目を DMACount\_M レジスタに、7~0 ビット目を DMACount\_L レジスタにそれぞれ設定します。

DMAControl\_1 レジスタの DMAGo ビットにより転送が開始された後は、このレジスタをリードすることにより残転送数を読み出すことができます。

bit 15~8 (DMACount\_M レジスタ) をリードすると bit 7~0 (DMACount\_L レジスタ) の値が固定されます。(リード値が固定されても IC 内部ではカウントは継続されます)

よって、レジスタ 8bit アクセス時で残り転送数をリードする場合は、DMACount\_M、(DMACount\_H)、DMACount\_L レジスタの順番にアクセスしてください。16bit アクセス時は、下位 (bit 15~0) → 上位 (bit 23~16) の順番でリードしてください。

(転送数が上位レジスタに及んでいない場合は必ずしも上位レジスタをリードする必要はありません)

## 2.2.5.9 0x48 CPU Configuration0 (CPUConfig\_0)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x48	CPUConfig_0	7:				00h
		6: WaitPortDisable	R/W	0: WAIT port enabled	1: WAIT port disabled	
		5: WaitMode	R/W	0: Hi-Z - 0 Mode	1: 1 - 0 Mode	
		4: IntMode	R/W	0: Hi-Z - 0 Mode	1: 1 - 0 Mode	
		3:				
		2: CPUEndian	R/W	0: CPU Big Endian	1: CPU Little Endian	
		1:				
		0: CPUBus8x16	R/W	0: CPU Bus 16bit Mode	1: CPU Bus 8bit Mode	

CPU インタフェースに関する設定を行います。

**Bit7 Reserved**

**Bit6 WaitPortDisable**

本ビットに“1”を設定すると、xWAIT 端子が機能しなくなります(固定サイクルアクセスになります)。本ビットを“1”に設定して使用する場合は、S1R72005#00A300 ハードウェア仕様書内の AC タイミング規定を守るため、CPU バスサイクルに適切なサイクルを設定してください。

0 — xWAIT の出力を行います  
1 — xWAIT の出力は行いません

**Bit5 WaitMode**

xWAIT 端子の出力モードを設定します。

0 — xWAIT の出力を 0 / Hi-Z とします  
1 — xWAIT の出力を 0 / 1 とします

**Bit4 IntMode**

xINT 端子の出力モードを設定します。

0 — xINT の出力を 0 / Hi-Z とします  
1 — xINT の出力を 0 / 1 とします

**Bit3 Reserved**

**Bit2 CPUEndian**

CPU バスを 16bit 幅で使用する時のエンディアン設定を行います。

このビットの設定は CPUConfig\_1 レジスタの CPUEndian ビットの設定とリンクしています。CPU のエンディアン設定はこれらどちらか一方のレジスタビットの設定のみで可能です。  
このビットはクロックの入力状況に関わらず有効です。

0 — ビッグエンディアンでの CPU アクセスに対応します  
1 — リトルエンディアンでの CPU アクセスに対応します

**Bit1 Reserved**

**Bit0 CPUBus8x16**

CPU バスを 8 ビット幅で使用する場合にこのビットを“1”に設定します。

本ビットを“1”にした場合、各パイプまたはエンドポイントの FIFOforCPU レジスタは下位 8 ビットが有効となり、上位 8 ビットは無効なデータとなります。

このビットの設定は CPUConfig\_1 レジスタの CPUBus8x16 ビットの設定とリンクしています。CPU バス幅の設定はこれらどちらか一方のレジスタビットの設定のみで可能です。

0 — CPU バスを 16bit モードで使用します  
1 — CPU バスを 8bit モードで使用します

## 2. レジスタ

### 2.2.5.10 0x49 CPU Configuration1 (CPUConfig\_1)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x49	CPUConfig_1	7:				00h
		6: WaitPortDisable	R/W	0: WAIT port enabled	1: WAIT port disabled	
		5: WaitMode	R/W	0: Hi-Z - 0 Mode	1: 1 - 0 Mode	
		4: IntMode	R/W	0: Hi-Z - 0 Mode	1: 1 - 0 Mode	
		3:				
		2: CPUEndian	R/W	0: CPU Big Endian	1: CPU Little Endian	
		1:				
		0: CPUBus8x16	R/W	0: CPU Bus 16bit Mode	1: CPU Bus 8bit Mode	

CPU インタフェースに関する設定を行います。

#### Bit7 Reserved

#### Bit6 WaitPortDisable

本ビットに“1”を設定すると、xWAIT 端子が機能しなくなります(固定サイクルアクセスになります)。本ビットを“1”に設定して使用する場合は、S1R72005#00A300 ハードウェア仕様書内の AC タイミング規定を守るため、CPU バスサイクルに適切なサイクルを設定してください。

0 — xWAIT の出力を行います  
1 — xWAIT の出力は行いません

#### Bit5 WaitMode

xWAIT 端子の出力モードを設定します。

0 — xWAIT の出力を 0 / Hi-Z とします  
1 — xWAIT の出力を 0 / 1 とします

#### Bit4 IntMode

xINT 端子の出力モードを設定します。

0 — xINT の出力を 0 / Hi-Z とします  
1 — xINT の出力を 0 / 1 とします

#### Bit3 Reserved

#### Bit2 CPUEndian

CPU バスを 16bit 幅で使用する時のエンディアン設定を行います。

このビットの設定は CPUConfig\_0 レジスタの CPUEndian ビットの設定とリンクしています。CPU のエンディアン設定はこれらどちらか一方のレジスタビットの設定のみで可能です。

このビットはクロックの入力状況に関わらず有効です。

0 — ビッグエンディアンでの CPU アクセスに対応します  
1 — リトルエンディアンでの CPU アクセスに対応します

#### Bit1 Reserved

#### Bit0 CPUBus8x16

CPU バスを 8 ビット幅で使用する場合にこのビットを“1”に設定します。

本ビットを“1”にした場合、各パイプまたはエンドポイントの FIFOforCPU レジスタ は下位 8 ビットが有効となり、上位 8 ビットは無効なデータとなります。

このビットの設定は CPUConfig\_0 レジスタの CPUBus8x16 ビットの設定とリンクしています。CPU バス幅の設定はこれらどちらか一方のレジスタビットの設定のみで可能です。

0 — CPU バスを 16bit モードで使用します  
1 — CPU バスを 8bit モードで使用します

## 2.2.5.11 0x4A Clock Monitor (ClkMonitor)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x4A	ClkMonitor	7:				0Fh
		6:				
		5:				
		4:				
		3: CPUClkActive	R	0: CPU Clock Non-Active	1: CPU Clock Active	
		2: PLLClkActive	R	0: PLL Clock Non-Active	1: PLL Clock Active	
		1: EnPLL	R	0: PLL Disable	1: PLL Enable	
		0: EnOSC	R	0: OSC Disable	1: OSC Enable	

S1R72005 内部回路のクロック制御状況のモニタを行います。

このレジスタはクロックの入力状況に関わらず参照可能です。

なお、リセット後は全てのクロックはイネーブルの状態となります。(リセット期間中にクロックは安定します)

**Bit7 Reserved**

**Bit6 Reserved**

**Bit5 Reserved**

**Bit4 Reserved**

**Bit3 CPUClkActive**

CPU I/F 部 と OTG コントローラ (OTGC) ブロックへのクロック供給の有無を示します。

0 — CPU I/F と OTGC のクロックは無効 (非アクティブ) です

1 — CPU I/F と OTGC のクロックは有効 (アクティブ) です

リセット後は “1” となります。また、ClkCommand レジスタにより CPU I/F と OTGC をウェイクアップさせた場合、ClkControl レジスタの OSCWakeupTime および PLLWakeupTime フィールドで設定した時間が経過しクロックが有効となると、このビットが “1” にセットされます。

**Bit2 PLLClkActive**

PLL が output するクロックの有効/無効を示します。

0 — PLL のクロックは無効 (非アクティブ) です

1 — PLL のクロックは有効 (アクティブ) です

リセット後は “1” となります。また、ClkCommand レジスタにより PLL をウェイクアップさせた場合、ClkControl レジスタの OSCWakeupTime および PLLWakeupTime フィールドで設定した時間が経過し PLL クロックが有効となると、このビットが “1” にセットされます。

**Bit1 EnPLL**

PLL 回路本体の有効/無効を示します。

0 — PLL 回路はディセーブルとなっています

1 — PLL 回路はイネーブルとなっています

リセット後は “1” となります。また、ClkCommand レジスタにより PLL をスリープ/ウェイクアップした場合にそれに応じてこのビットも変化します。

(次のページに続く)

## 2. レジスタ

---

(0x00 レジスタ説明の続き)

### Bit0 EnOSC

発振器本体の有効/無効を示します。

0 — OSC はディセーブルとなっています  
1 — OSC はイネーブルとなっています

リセット後は“1”となります。また、ClkCommand レジスタにより OSC をスリープ/ウェイクアップした場合にそれに応じてこのビットも変化します。

## 2.2.5.12 0x4B Clock Control (ClkControl)

Address	Register Name	Bit Symbol	R/W	Description	Reset	
0x4B	ClkControl	7: OSCWakeupTime[1]	R/W	OSCWakeupTime[1:0]	00h	
		6: OSCWakeupTime[0]	R/W			
		5: PLLWakeupTime[1]	R/W	PLLWakeupTime[1:0]		
		4: PLLWakeupTime[0]	R/W			
		3: HCSleep	R/W	0: HC Wake		
		2: PCSleep	R/W	0: PC Wake		
		1: MainSleep	R/W	0: Main Wake		
		0: XcvrSleep	R/W	0: Transceiver Wake		
0: Transceiver Sleep						

S1R72005 内部回路のクロックに関する制御を行います。

- PLL と OSC のタイマを独立して設定可能です。
- 外部から 48MHz を直接入力するモードでは、ウェイクアップタイマは作動しません（各ブロックへのクロックを止めることは可能です）。

**Bit7-6 OSCWakeupTime [1:0]**

発振器のパルスが安定するまでのウェイト時間を設定します。

- 00b — 2.5ms
- 01b — 5ms
- 10b — 10ms
- 11b — Reserved

このタイマが動作するのは、CPU（ファームウェア）が明示的に OSC をスリープさせ、その状態からリセットした場合となります。チップリセットによって OSC が立ち上がった場合はリセット期間内でクロックは安定するため、リセット直後はこのビットで設定したタイマは作動しません。

**Bit5-4 PLLWakeupTime [1:0]**

PLL の出力パルスが安定するまでのウェイト時間を設定します。

- 00b — 0.15ms
- 01b — 0.3ms
- 10b — 0.6ms
- 11b — 1.2ms

このタイマが動作するのは、CPU（ファームウェア）が明示的に PLL をスリープさせ、その状態からリセットした場合となります。チップリセットによって PLL が動作し始めた場合はリセット期間内でクロックは安定するため、リセット直後はこのビットで設定したタイマは作動しません。

**Bit3 HCSleep**

HC ブロックへのクロック供給を制御します。

このビットを “1” にセットすると HC ブロックへのクロック供給が停止され、HC ブロックはスリープ状態となります。

- 0 — HC ブロックへクロックが供給されます（されています）。
- 1 — HC ブロックへのクロック供給を停止します（されています）。

(次のページに続く)

## 2. レジスタ

---

(0x4B レジスタ説明の続き)

### Bit2 **PCSleep**

PC ブロックへのクロック供給を制御します。  
このビットを “1” にセットすると PC ブロックへのクロック供給が停止され、PC ブロックはスリープ状態となります。

0 — PC ブロックへクロックが供給されます (されています)。  
1 — PC ブロックへのクロック供給を停止します (されています)。

### Bit1 **MainSleep**

FIFO コア、パイプ/エンドポイント コントロールレジスタブロック、DMA ハンドラへのクロック供給を制御します。  
このビットを “1” にセットするとこれらのブロックへのクロック供給が停止され、スリープ状態となります。

0 — FIFO コア、パイプ/エンドポイント コントロールレジスタブロック、DMA ハンドラへクロックが供給されます (されています)。  
1 — FIFO コア、パイプ/エンドポイント コントロールレジスタブロック、DMA ハンドラへのクロック供給を停止します (されています)。

### Bit0 **XcvrSleep**

トランシーバ部へのクロック供給を制御します。  
このビットを “1” にセットすると、トランシーバ部へのクロック供給が停止され、トランシーバ部はスリープ状態となります。

0 — トランシーバ部へクロックが供給されます (されています)。  
1 — トランシーバ部へのクロック供給を停止します (されています)。

## 2.2.5.13 0x4C (Reserved)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x4C	(Reserved)	7:				unfixed
		6:				
		5:				
		4:				
		3:				
		2:				
		1:				
		0:				

## 2. レジスタ

### 2.2.5.14 0x4D Clock Command (ClkCommand)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x4D	ClkCommand	7: ClkCommand[7] 6: ClkCommand[6] 5: ClkCommand[5] 4: ClkCommand[4] 3: ClkCommand[3] 2: ClkCommand[2] 1: ClkCommand[1] 0: ClkCommand[0]	W W W W W W W W	ClkCommand[7:0]	00h

S1R72005 内部回路のクロックに関する制御を行います。  
このレジスタの設定はクロックの入力状況に関わらず有効です。

#### Bit7-0 ClkCommand [7:0]

OSC、PLL の制御、および CPU I/F と OTGC、HC/PC Common ブロックへのクロック供給の制御を行います。

55h — OSC はウェイクアップします  
AAh — OSC はスリープします

3Ch — PLL はウェイクアップします  
C3h — PLL はスリープします

69h — CPU I/F と OTGC、HC/PC Common ブロックはウェイクアップします  
96h — CPU I/F と OTGC、HC/PC Common ブロックはスリープします

OSC を動作させている状態で、PLL のみを停止させることができます。この場合のレジューム時間は PLL のウェイクアップタイムのみとなります。

## 2.2.5.15 0x4E (Reserved)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x4E	(Reserved)	7:				unfixed
		6:				
		5:				
		4:				
		3:				
		2:				
		1:				
		0:				

## 2.2.5.16 0x4F (Reserved)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x4F	(Reserved)	7:				unfixed
		6:				
		5:				
		4:				
		3:				
		2:				
		1:				
		0:				

## 2. レジスタ

### 2.2.6 Control transfer command register block

2.2.6.1 0x50～0x57 Pipe0 Setup Command0～7 (PIPE0Setup\_0～PIPE0Setup\_7)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x50 ～ 0x57	PIPE0Setup_0 ～ PIPE0Setup_7	7: PIPE0Setup_n[7]	R/W	PIPE0Setup_n[7～0]	00h
		6: PIPE0Setup_n[6]	R/W		
		5: PIPE0Setup_n[5]	R/W		
		4: PIPE0Setup_n[4]	R/W		
		3: PIPE0Setup_n[3]	R/W		
		2: PIPE0Setup_n[2]	R/W		
		1: PIPE0Setup_n[1]	R/W		
		0: PIPE0Setup_n[0]	R/W		

コントロール転送をオートモードで行う (PIPE0CTLAutoMode レジスタの EnAutoMode ビットを“1”に設定) 場合に、デバイスリクエスト (8byte) をこのレジスタに設定します。設定されたデバイスリクエストは、トランザクション開始後セットアップステージのデータパケットとしてデバイスに送信されます。

なお、PIPE0Setup\_0～PIPE0Setup\_7 のデータは S1R72005 のエンディアン設定に関わらず、PIPE0Setup\_0 のデータから順に USB 上に送信されることになります。

このレジスタの設定はコントロール転送をマニュアル（ノーマルモード）で行う場合は不要です。

#### PIPE0Setup\_0

bmRequestType を設定します。

#### PIPE0Setup\_1

bRequest を設定します。

#### PIPE0Setup\_2

wValue の下位 8 ビットを設定します。

#### PIPE0Setup\_3

wValue の上位 8 ビットを設定します。

#### PIPE0Setup\_4

wIndex の下位 8 ビットを設定します。

#### PIPE0Setup\_5

wIndex の上位 8 ビットを設定します。

#### PIPE0Setup\_6

wLength の下位 8 ビットを設定します。

#### PIPE0Setup\_7

wLength の上位 8 ビットを設定します。

## 2.2.6.2 0x58～0x5F Endpoint0 Setup0～7 (EP0Setup\_0～EP0Setup\_7)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x58 ～ 0x5F	EP0Setup_0 ～ EP0Setup_7	7: EP0Setup_n[7] 6: EP0Setup_n[6] 5: EP0Setup_n[5] 4: EP0Setup_n[4] 3: EP0Setup_n[3] 2: EP0Setup_n[2] 1: EP0Setup_n[1] 0: EP0Setup_n[0]	R R R R R R R R	EP0Setup_n[7～0]	00h

エンドポイント 0 のセットアップステージで受信したデバイスリクエストデータが格納されます。

なお、S1R72005 のエンディアン設定に関わらず、データの受信順に EP0Setup\_0 から順に EP0Setup\_7 までデータが格納されます。

**EP0Setup\_0**

bmRequestType を設定します。

**EP0Setup\_1**

bRequest を設定します。

**EP0Setup\_2**

wValue の下位 8 ビットを設定します。

**EP0Setup\_3**

wValue の上位 8 ビットを設定します。

**EP0Setup\_4**

wIndex の下位 8 ビットを設定します。

**EP0Setup\_5**

wIndex の上位 8 ビットを設定します。

**EP0Setup\_6**

wLength の下位 8 ビットを設定します。

**EP0Setup\_7**

wLength の上位 8 ビットを設定します。

## 2. レジスタ

### 2.2.7 Channel0 control register block

#### 2.2.7.1 0x60 Channel0 Configuration0 (0Config\_0)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x60	0Config_0	7: JoinDMA	R/W	0: Not Joint to DMA	1: Joint to DMA	00h
		6: FIFOClr	W	0: Normal	1: FIFO Clear	
		5:				
		4:				
		3:				
		2:				
		1:				
		0:				

ホスト動作時はチャネル0、ペリフェラル動作時はエンドポイント0の基本コンフィギュレーションの設定を行います。

##### Bit7 **JoinDMA**

このチャネルまたはエンドポイントを DMA に接続します。

最後にこのビットを “1” にしたチャネルもしくはエンドポイントに DMA が接続します。

0 – このチャネルまたはエンドポイントを DMA に接続しません

1 – このチャネルまたはエンドポイントを DMA に接続します

##### Bit6 **FIFOClr**

このビットを “1” にすることで、このチャネルまたはエンドポイントの FIFO のリード/ライトポインタが 先頭位置に戻ります。

FIFO のクリアが終了すると、このビットが自動的に “0” にクリアされます。

0 – 何もしません（クリア完了）

1 – このチャネルまたはエンドポイントの FIFO のリード/ライトポインタが 先頭位置に戻ります。

ホスト動作時において、トランザクションが途中で停止している際に、一時停止中の転送の続きではなく新たにこのチャネルに対して転送を開始する場合には、必ずこのビットにより FIFO をクリアしてから転送を開始してください。

##### Bit5 **Reserved**

##### Bit4 **Reserved**

##### Bit3 **Reserved**

##### Bit2 **Reserved**

##### Bit1 **Reserved**

##### Bit0 **Reserved**

## 2.2.7.2 0x61 Channel0 Configuration1 (0Config\_1)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x61	0Config_1	7: DirPID[1]	R/W	DirPID[1:0] EPNumber[3:0]	00h
		6: DirPID[0]	R/W		
		5:			
		4:			
		3: EPNumber[3]	R/W		
		2: EPNumber[2]	R/W		
		1: EPNumber[1]	R/W		
		0: EPNumber[0]	R/W		

ホスト動作時はチャネル0、ペリフェラル動作時はエンドポイント0の基本コンフィギュレーションの設定を行います。

**Bit7-6 DirPID [1:0]**

<ホスト時>

チャネル0で発行するトークンの種類(OUT、IN、SETUP)を設定します。このビットの設定はPIPE0CTLAutoModeレジスタのEnCTLAutoビットを“1”に設定されている場合無効となります。

- 00b — OUTトークンを発行します
- 01b — SETUPトークンを発行します
- 10b — INトークンを発行します
- 11b — (Reserved)

<ペリフェラル時>

エンドポイント0の転送方向を設定します。

- 00b — OUT方向
- 01b — (Reserved)
- 10b — IN方向
- 11b — (Reserved)

ペリフェラル時ににおいて、  
コントロール転送が行われる場合は、セットアップステージで受信したデバイスリクエストを判断して、以降のステージ毎にこのビットを設定してください。  
このビットの設定と異なる方向のトークンを受信した場合は、ペリフェラルコントローラはハンドシェークを返しません(無応答)。

**Bit5 Reserved****Bit4 Reserved**

(次のページに続く)

## 2. レジスタ

---

(0x61 レジスタ説明の続き)

### Bit3-0 EPNumber [3:0]

ホスト動作時はチャネル 0 で転送を行うエンドポイント番号を、ペリフェラル時はこのレジスタブロックで制御を行うエンドポイント番号 (0) を設定します。

0d~15d – 任意のエンドポイント番号

(注) ペリフェラル時は 0 番のみ設定してください。

## 2.2.7.3 0x62 Channel0 Max Packet Size High (0MaxPktSize\_H)

Address	Register Name	Bit Symbol	R/W	Description	Reset	
0x62	0MaxPktSize_H	7:			00h	
		6: BufferPage[4]	R/W	BufferPage[4:0]		
		5: BufferPage[3]	R/W			
		4: BufferPage[2]	R/W			
		3: BufferPage[1]	R/W			
		2: BufferPage[0]	R/W			
		1:				
		0:				

ホスト動作時はチャネル 0、ペリフェラル動作時はエンドポイント 0 のバッファ領域ページ数の設定を行います。

**Bit7 Reserved****Bit6-2 BufferPage [4:0]**

このチャネルまたはエンドポイントの FIFO 領域のバッファページ数を指定します。

0 — 無効  
1~31 — 任意のバッファページ数

0MaxPktSize レジスタで設定したサイズがバッファ 1 ページのサイズとなります。従って確保されるバッファ領域のサイズは  $(0MaxPktSize \times \text{BufferPage} (\text{本ビット}))$  となります。FIFO 領域の全サイズは 2.5K バイトとなっています。本ビットを設定する際は、他のチャネルまたはエンドポイントで確保しているバッファサイズを加味する必要があります。

(注) このフィールドは SetBuffer 実行時以外は設定しないでください。

**Bit1 Reserved****Bit0 Reserved**

## 2. レジスタ

### 2.2.7.4 0x63 Channel0 Max Packet Size Low (0MaxPktSize\_L)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x63	0MaxPktSize_L	7: 6: MaxPktSize[6] 5: MaxPktSize[5] 4: MaxPktSize[4] 3: MaxPktSize[3] 2: MaxPktSize[2] 1: MaxPktSize[1] 0: MaxPktSize[0]	R/W R/W R/W R/W R/W R/W R/W R/W	MaxPacketSize [6:0]	00h

ホスト動作時はチャネル0、ペリフェラル動作時はエンドポイント0のMaxパケットサイズの設定を行います。

#### Bit7 Reserved

#### Bit6-0 MaxPktSize [6:0]

該当エンドポイントで送受信可能なパケットサイズの最大バイト数を設定します。  
サイズは8、16、32、64byteのいずれかで設定を行ってください。

0 — (無効)  
8~64 — Maxパケットサイズのバイト数

(注) このフィールドは SetBuffer 実行時以外は設定しないでください。

## 2.2.7.5 0x64 Pipe0 Control Transfer Auto Mode (PIPE0CTLAutoMode)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x64	PIPE0CTLAutoMode	7:			00h
		6:			
		5:			
		4:			
		3:			
		2: DataStageDir	R/W	0: OUT 1: IN	
		1: NoDataStage	R/W	0: DataStage Exist 1: DataStage Not Exist	
		0: EnCTLAuto	R/W	0: Auto Stage Sequence Disable 1: Auto Stage Sequence Enable	

ホスト動作時においてコントロール転送のオートステージシーケンスに関する設定を行います。

**Bit7 Reserved****Bit6 Reserved****Bit5 Reserved****Bit4 Reserved****Bit3 Reserved****Bit2 DataStageDir**

データステージのトランザクションの方向を指定します。このビットは当レジスタの EnCTLAuto ビットが “1”かつ NoDataStage ビットが “0” の場合のみで有効です。

- 0 – OUT トランザクション
- 1 – IN トランザクション

**Bit1 NoDataStage**

データステージの有無を指定します。このビットは当レジスタの EnCTLAuto ビットが “1” の場合のみで有効です。

- 0 – データステージがあります
- 1 – データステージはありません

**Bit0 EnCTLAuto**

このビットを “1” にセットすると、コントロール転送のステージの管理（シーケンス）を自動で行います。

- 0 – ステージ管理は行いません
- 1 – ステージのシーケンスを自動で行います

このビットを “1” にセットし、PIPE0Control レジスタの TranGo ビットの設定によりトランザクションを開始すると、セットアップステージ～（データステージ）～ステータスステージが自動的に行われます。

セットアップステージでは、SETUP トークンを自動的に送出し PIPE0Setup\_0～PIPE0Setup\_7 レジスタでセットしたリクエストが送信されます。

次にデータステージがある場合は、指定された方向およびサイズでトランザクションが自動的に実行されます。

最後にステータスステージでは、データステージの有無および方向により、自動的に適当な PID のトークンを発行し 0 レングスパケットの送受信が行われます。

以上のトランザクションおよびステージシーケンスが正常完了すると、PIPE0IntStat レジスタの CTLTranCmp ビットがセットされます。シーケンスの途中でパケットにエラーを検出するか、デバイスから STALL が返された場合は、該当する PIPE0IntStat レジスタのビットがセットされ、トランザクションは停止します。

## 2. レジスタ

### 2.2.7.6 0x65 Pipe0 Transfer Configuration (PIPE0TranConfig)

Address	Register Name	Bit Symbol	R/W	Description	Reset	
0x65	PIPE0TranConfig	7:			00h	
		6: Continuity[2]	R/W	Continuity[2:0]		
		5: Continuity[1]	R/W			
		4: Continuity[0]	R/W			
		3:				
		2: FuncAddr[2]	R/W	FunctionAddress[2:0]		
		1: FuncAddr[1]	R/W			
		0: FuncAddr[0]	R/W			

ホスト動作時においてチャネル 0 に関する転送の基本設定を行います。

#### Bit7 Reserved

#### Bit6-4 Continuity [2:0]

ホストコントローラのスケジューリングにおいて、このチャネルにおけるトランザクションの連続実行回数（優先度）を指定します。

このビットの“0”的設定は無効となります。

ホストコントローラのスケジューリングでは、連続実行回数のカウントはフレームを越えても継続されます。パケットエラーによる再送は連続回数にカウントされますが、NAK 時の再送はこのビットの設定に依存しません。

0 — トランザクション連続実行回数 8 (最大)

1~7 — トランザクション連続実行回数

#### Bit3 Reserved

#### Bit2-0 FuncAddr [2:0]

このチャネルが管理するエンドポイントを含むファンクションの USB アドレスを設定します。

0~7 — ファンクションアドレス

## 2.2.7.7 0x66 Pipe0 Control (PIPE0Control)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x66	PIPE0Control	7:				00h
		6:				
		5:				
		4: Toggle	R/W	0: Toggle 0	1: Toggle 1	
		3:				
		2:				
		1:				
		0: TranGo	R/W	0: Stand by	1: Transaction Start	

ホスト動作時においてチャネル 0 に関する制御を行います。

**Bit7 Reserved****Bit6 Reserved****Bit5 Reserved****Bit4 Toggle**

トランザクションを開始する時のトグルシーケンスピットの初期値を設定します。また、トランザクション実行後、およびトランザクション完了後はトグルシーケンスピットの状態を示します。

0 — トグル 0  
1 — トグル 1

**Bit3 Reserved****Bit2 Reserved****Bit1 Reserved**

(次のページに続く)

## 2. レジスタ

---

(0x66 レジスタ説明の続き)

### Bit0 TranGo

このビットを “1” にするとチャネル 0 のトランザクションを開始します。トランザクション開始後このビットを “0” にクリアするとトランザクション処理を停止させることができます。また、このビットはチャネル 0 がトランザクション実行中か否かのステータスの意味も有します。

- 0 – トランザクションを停止します（トランザクション停止中です）
- 1 – トランザクションを開始します（トランザクション実行中です）

PIPE0CTLAutoMode レジスタの EnCTLAuto ビットが “1” にセットされている場合にこのビットを “1” に設定した場合は、トランザクションとステージシーケンスを開始します。

転送が PIPE0TotalSize\_H～L レジスタ で設定したバイト数完了した時点で PIPE0IntStat レジスタの PIPE0TranCmp ビットが “1” にセットされ、本ビットは自動的に “0” に戻ります。また、PIPE0IntStat レジスタの InShortRcv、InOverSize、TranErr、Stalled、NoResp の各ビット、HCIntStat レジスタの PortErr ビット、それぞれがセットされたような場合でも “0” にリセットされます。

また、このビットのクリアによる停止を行った時は処理最中のトランザクションが終了した時点での、同様に PIPE0IntStat レジスタの適当なビットがセットされます。

トランザクションが停止されても、FIFO 中のデータ、(残りの) トータルサイズ、チャネルに関する設定はそのままの状態となります。従って再びこのビットを “1” にセットすることによって、トランザクションを停止された時の続きから再開させることができます。

（新たなトランザクションを行う場合は FIFO をクリアし、チャネル情報の設定をし直してください。）

## 2.2.7.8 0x67 Pipe0 Total Size High (PIPE0TotalSize\_H)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x67	PIPE0TotalSize_H	7: TotalSize[23] 6: TotalSize[22] 5: TotalSize[21] 4: TotalSize[20] 3: TotalSize[19] 2: TotalSize[18] 1: TotalSize[17] 0: TotalSize[16]	R/W R/W R/W R/W R/W R/W R/W R/W	TotalSize[23:16]	00h

## 2.2.7.9 0x68 Pipe0 Total Size Middle (PIPE0TotalSize\_M)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x68	PIPE0TotalSize_M	7: TotalSize[15] 6: TotalSize[14] 5: TotalSize[13] 4: TotalSize[12] 3: TotalSize[11] 2: TotalSize[10] 1: TotalSize[9] 0: TotalSize[8]	R/W R/W R/W R/W R/W R/W R/W R/W	TotalSize[15:8]	00h

## 2.2.7.10 0x69 Pipe0 Total Size Low (PIPE0TotalSize\_L)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x69	PIPE0TotalSize_L	7: TotalSize[7] 6: TotalSize[6] 5: TotalSize[5] 4: TotalSize[4] 3: TotalSize[3] 2: TotalSize[2] 1: TotalSize[1] 0: TotalSize[0]	R/W R/W R/W R/W R/W R/W R/W R/W	TotalSize[7:0]	00h

**PIPE0TotalSize\_H****PIPE0TotalSize\_M****PIPE0TotalSize\_L**

チャネル 0 における転送データの全バイト数 (最大 16,777,214byte : 約 16.4Mbyte) のうち 23~16 ビット目を PIPE0TotalSize\_H レジスタに、15~8 ビット目を PIPE0TotalSize\_M レジスタに、7~0 ビット目を PIPE0TotalSize\_L レジスタにそれぞれ設定します。

PIPE0CTLAutoMode レジスタの EnCTLAuto ビットを “1” に設定し、かつ同レジスタの NoDataStage ビットを “0” に設定している場合は、データステージで転送を行う（もしくは受信可能な）データパケットのサイズを、このビットに設定します。

(次のページに続く)

## 2. レジスタ

---

(0x67～0x69 レジスタ説明の続き)

PIPE0Control レジスタの TranGo ビットによりトランザクションが開始された後は、このレジスタをリードすることにより残転送数を読み出すことができます。

bit 15～8 (PIPE0TotalSize\_M レジスタ) をリードすると bit 7～0 (PIPE0TotalSize\_L レジスタ) の値が固定されます。(リード値が固定されても IC 内部ではカウントは継続されます)

よって、レジスタ 8bit アクセス時で残り転送数をリードする場合は、PIPE0TotalSize\_M、(PIPE0TotalSize\_H)、PIPE0TotalSize\_L レジスタの順番にアクセスしてください。16bit アクセス時は、下位 (bit 15～0) → 上位 (bit 23～16) の順番でリードしてください。

(転送数が上位レジスタに及んでいない場合は必ずしも上位レジスタをリードする必要はありません)

TotalSize = 0 で OUT トランザクションを実行すると 0 長パケットが送信されます。TotalSize = 0xFFFFFFF で OUT または IN トランザクションを実行すると、トータルサイズは無限となりトータルサイズのカウントは行われません。この場合、PIPE0IntStat レジスタの TranCmp ビットおよび CTLTranCmp ビットはセットされません。

## 2.2.7.11 0x6A Endpoint0 Control0 (EP0Control\_0)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x6A	EP0Control_0	7:				00h
		6: AutoForceNAK	R/W	0: Normal	1: Auto Force NAK	
		5: InEnShortPkt	R/W	0: Normal	1: Send Short Packet	
		4:				
		3: InForceNAK	R/W	0: Normal	1: In Force NAK	
		2: InForceSTALL	R/W	0: Normal	1: In Force STALL	
		1: OutForceNAK	R/W	0: Normal	1: Out Force NAK	
		0: OutForceSTALL	R/W	0: Normal	1: Out Force STALL	

ペリフェラル動作時においてエンドポイント 0 の動作設定を行います。

**Bit7 Reserved****Bit6 AutoForceNAK**

ご注意)

他のエンドポイントの転送が行われている状態でこのビットに"1"を立てないでください。  
詳しくは、3 章の既知の問題と対処方法をご覧ください。

エンドポイント 0 において、正常なトランザクション完了時に EP0Control\_0 レジスタの InForceNAK または OutForceNAK ビットを自動的に "1" にセットします。

0 — InForceNAK または OutForceNAK ビットを自動的にセットしません  
1 — InForceNAK または OutForceNAK ビットを自動的にセットします

1 トランザクション毎にトランザクションを止めたい場合に用います。

**Bit5 InEnShortPkt**

このビットを "1" にすることで、エンドポイント 0 の IN トランザクションにおいて、FIFO 内のデータ数が Max パケットサイズに満たない場合でも現在の FIFO 内データをショートパケットとして送信することができます。ショートパケットの送信が終了すると自動的にこのビットは "0" にクリアされます。FIFO 内にデータが無い場合にこのビットを "1" にすると、ゼロ長パケットを送信します。

0 — 何もしません  
1 — 現時点の FIFO 内のデータを送信します

**Bit4 Reserved****Bit3 InForceNAK**

このビットを "1" にすると、FIFO のデータ数に関わらず IN トランザクションに対して NAK 応答します。また、セットアップステージの完了により MainIntStat\_0 レジスタの RcvEP0Setup ビットが "1" に設定されると、自動的にこのビットも "1" にセットされます。MainIntStat\_0 レジスタの RcvEP0Setup ビットが "1" である間はこのビットを "0" にクリアしないでください。

データステージの転送方向が IN 方向である場合、0Config\_1 レジスタの DirPID ビットを IN 方向に設定し、このビットを "0" にクリアすることでデータステージを実行することができます。

データステージの転送方向が OUT 方向である場合、ステータスステージが実行可能になった後、このビットを "0" にクリアすることでステータスステージを実行することができます。

現在実行中のトランザクションがある場合でのこのビットの設定は、次のトランザクションから有効になります。

0 — 何もしません  
1 — IN トランザクションに対し NAK 応答します

(次のページに続く)

## 2. レジスタ

---

(0x6A レジスタ説明の続き)

### Bit2 InForceSTALL

このビットを “1” にすると、IN トランザクションに対して STALL 応答します。このビットは、InForceNAK ビットの設定より優先されます。また、セットアップステージの完了により MainIntStat\_0 レジスタの RcvEP0Setup ビットが “1” にセットされると、このビットは “0” にセットされます。MainIntStat\_0 レジスタの RcvEP0Setup ビットが “1” である間はこのビットを “1” にセットしないでください。  
現在実行中のトランザクションがある場合でのこのビットの設定は、次のトランザクションから有効になります。

- 0 – 何もしません  
1 – IN トランザクションに対し STALL 応答します

### Bit1 OutForceNAK

このビットを “1” にすると、FIFO のデータ数に関わらず OUT トランザクションに対して NAK 応答します。  
また、セットアップステージの完了により MainIntStat\_0 レジスタの RcvEP0Setup ビットが “1” に設定されると、自動的にこのビットも “1” にセットされます。MainIntStat\_0 レジスタの RcvEP0Setup ビットが “1” である間はこのビットを “0” にクリアしないでください。  
データステージの転送方向が OUT 方向である場合、0Config\_1 レジスタの DirPID ビットを OUT 方向に設定し、このビットを “0” にクリアすることでデータステージを実行することができます。  
データステージの転送方向が IN 方向である場合、ステータスステージが実行可能になった後、このビットを “0” にクリアすることで、データステージを実行することができます。  
現在実行中のトランザクションがある場合でのこのビットの設定は、次のトランザクションから有効になります。

- 0 – 何もしません  
1 – OUT トランザクションに対し NAK 応答します

### Bit0 OutForceSTALL

このビットを “1” にすると、OUT トランザクションに対して STALL 応答します。このビットは、OutForceNAK ビットの設定より優先されます。  
また、セットアップステージの完了により MainIntStat\_0 レジスタの RcvEP0Setup ビットが “1” にセットされると、このビットは “0” にセットされます。MainIntStat\_0 レジスタの RcvEP0Setup ビットが “1” である間はこのビットを “1” にセットしないでください。  
現在実行中のトランザクションがある場合でのこのビットの設定は、次のトランザクションから有効になります。

- 0 – 何もしません  
1 – OUT トランザクションに対し STALL 応答します

## 2.2.7.12 0x6B Endpoint0 Control1 (EP0Control\_1)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x6B	EP0Control_1	7: InToggleStat	R	0: In Transaction Toggle 0	1: In Transaction Toggle 1	00h
		6:				
		5: InToggleSet	W	0: Normal	1: In Transaction Toggle Set	
		4: InToggleClr	W	0: Normal	1: In Transaction Toggle Clear	
		3: OutToggleStat	R	0: Out Transaction Toggle 0	1: Out Transaction Toggle 1	
		2:				
		1: OutToggleSet	W	0: Normal	1: Out Transaction Toggle Set	
		0: OutToggleClr	W	0: Normal	1: Out Transaction Toggle Clear	

ペリフェラル動作時においてエンドポイント 0 の動作設定を行います。

**Bit7 InToggleStat**

IN トランザクション時のトグルシーケンスビットの状態を示します。

- 0 — トグル 0 (IN トランザクション)
- 1 — トグル 1 (IN トランザクション)

**Bit6 Reserved**

**Bit5 InToggleSet**

このビットに “1” をセットすると、IN トランザクションのトグルシーケンスビットを “1” にすることができます。

- 0 — 何もしません
- 1 — トグル 1 (IN トランザクション)

**Bit4 InToggleClr**

このビットに “1” をセットすると、IN トランザクションのトグルシーケンスビットを “0” にすることができます。

- 0 — 何もしません
- 1 — トグル 0 (IN トランザクション)

**Bit3 OutToggleStat**

OUT トランザクション時のトグルシーケンスビットの状態を示します。

- 0 — トグル 0 (OUT トランザクション)
- 1 — トグル 1 (OUT トランザクション)

**Bit2 Reserved**

**Bit1 OutToggleSet**

このビットに “1” をセットすると、OUT トランザクションのトグルシーケンスビットを “1” にすることができます。

- 0 — 何もしません
- 1 — トグル 1 (OUT トランザクション)

(次のページに続く)

## 2. レジスタ

---

(0x6B レジスタ説明の続き)

### Bit0 OutToggleCir

このビットに “1” をセットすると、OUT トランザクションのトグルシーケンスビットを “0” にすることができます。

0 – 何もしません  
1 – トグル 0 (OUT トランザクション)

## 2.2.7.13 0x6C Channel0 FIFO for CPU High (0FIFOforCPU\_H)

Address	Register Name	Bit Symbol	R/W	Description	Reset	
0x6C	0FIFOforCPU_H	7: FIFOforCPU[15] 6: FIFOforCPU[14] 5: FIFOforCPU[13] 4: FIFOforCPU[12] 3: FIFOforCPU[11] 2: FIFOforCPU[10] 1: FIFOforCPU[9] 0: FIFOforCPU[8]	R/W R/W R/W R/W R/W R/W R/W R/W	FIFOforCPU[15:8]		unfixed

**Bit7-0 FIFOforCPU [15:8]**

チャネル 0 またはエンドポイント 0 の FIFO への PIO アクセスをこのレジスタにより行います。CPUConfig\_0 レジスタの CPUBus8x16 ビットが “0” の場合、このレジスタは 16bit データの上位 8bit を示します。

aFIFOControl\_0 レジスタの FIFOwr ビットを “1” にセットした場合は、このレジスタに値を書き込むことで FIFO にデータを書き込むことができます。

aFIFOControl\_0 レジスタの FIFOrd ビットを “1” にセットした場合は、このレジスタから値を読み込むことで FIFO からデータを読み出すことができます。

このレジスタにアクセスすると自動的に FIFO 内部の参照ポインタが進みます。

aFIFOControl\_0 レジスタの FIFOByteAccess ビットを “1” にセットした場合、もしくは CPUConfig\_0 レジスタの CPUBus8x16 ビットが “1” の場合は、このレジスタへのアクセスは行わないでください。

## 2. レジスタ

### 2.2.7.14 0x6D Channel0 FIFO for CPU Low (0FIFOforCPU\_L)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x6D	0FIFOforCPU_L	7: FIFOforCPU[7] 6: FIFOforCPU[6] 5: FIFOforCPU[5] 4: FIFOforCPU[4] 3: FIFOforCPU[3] 2: FIFOforCPU[2] 1: FIFOforCPU[1] 0: FIFOforCPU[0]	R/W R/W R/W R/W R/W R/W R/W R/W	FIFOforCPU[7:0]	unfixed

#### Bit7-0 FIFOforCPU [7:0]

チャネル 0 またはエンドポイント 0 の FIFO への PIO アクセスをこのレジスタにより行います。CPUConfig\_0 レジスタの CPUBus8x16 ビットが “0” の場合、このレジスタは 16bit データの下位 8bit を示します。

aFIFOControl\_0 レジスタの FIFOwr ビットを “1” にセットした場合は、このレジスタに値を書き込むことで FIFO にデータを書き込むことができます。

aFIFOControl\_0 レジスタの FIFOrd ビットを “1” にセットした場合は、このレジスタから値を読み込むことで FIFO からデータを読み出すことができます。

このレジスタにアクセスすると自動的に FIFO 内部の参照ポインタが進みます。

aFIFOControl\_0 レジスタの FIFOByteAccess ビットを “1” にセットした場合、もしくは CPUConfig\_0 レジスタの CPUBus8x16 ビットが “1” の場合は、PIO アクセスはこのレジスタの設定／参照のみが有効となります。

## 2.2.7.15 0x6E Channel0 FIFO Control0 (0FIFOControl\_0)

Address	Register Name	Bit Symbol	R/W	Description		Reset	
0x6E	0FIFOControl_0	7: FIFOEmpty	R	0: FIFO Not Empty	1: FIFO Empty	80h	
		6: FIFOFull	R	0: FIFO Not Full	1: FIFO Full		
		5: EnFIFOwr	R/W	0: Disable CPU FIFO Write	1: Enable CPU FIFO Write		
		4: EnFIFOrd	R/W	0: Disable CPU FIFO Read	1: Enable CPU FIFO Read		
		3: EnFIFOByteAccess	R/W	0: Normal	1: Byte Access Enable		
		2: FIFODataRemain[10]	R	FIFODataRemain[10:8]			
		1: FIFODataRemain[9]	R				
		0: FIFODataRemain[8]	R				

チャネル 0 またはエンドポイント 0 の FIFO 領域の状態の表示、制御を行います。

**Bit7 FIFOEmpty**

このビットが “1” の場合は、チャネル 0 またはエンドポイント 0 の FIFO 領域がエンプティの状態であることを示します。MaxPktSize\_H レジスタの BufferPage ビットで指定したページの全てがエンプティの状態で“1”がセットされます。1 ページでもエンプティでないページがあれば “0” となります。

0 — FIFO 領域はエンプティではない状態です

1 — FIFO 領域はエンプティの状態です

**Bit6 FIFOFull**

このビットが “1” の場合は、チャネル 0 またはエンドポイント 0 の FIFO 領域がフルの状態であることを示します。MaxPktSize\_H レジスタの BufferPage ビットで指定したページの全てがフルの状態で“1”がセットされます。1 ページでもフルでないページがあれば “0” となります。

0 — FIFO 領域はフルではない状態です

1 — FIFO 領域はフルの状態です

**Bit5 EnFIFOwr**

このビットを “1” にすることで、PIO による FIFO へのデータの書き込みが可能となります。

0 — PIO による FIFO へのデータの書き込みはできません

1 — PIO による FIFO へのデータの書き込みができます

**Bit4 EnFIFOrd**

このビットを “1” にすることで、PIO による FIFO からのデータの読み出しが可能となります。

0 — PIO による FIFO からのデータの読み出しはできません

1 — PIO による FIFO からのデータの読み出しができます

(次のページに続く)

## 2. レジスタ

---

(0x6E レジスタ説明の続き)

### Bit3 EnFIFOByteAccess

レジスタアクセスが 16bit の場合で、FIFO への PIO アクセスをバイトアクセスで行う必要がある場合にこのビットを “1” にセットします。このビットが “1” の時は PIO レジスタの上位 8bit (0FIFOforCPU\_H レジスタ) へのアクセスは無効となり、下位 8bit (0FIFOforCPU\_L レジスタ) へのアクセスのみが有効となります。

- 0 — PIO アクセスをワードアクセスで行います
- 1 — PIO アクセスをバイトアクセスで行います

(参考)

ビッグエンディアン時、このビットを “1” にして FIFOforCPU レジスタをアクセスした場合は、データは以下のようにアクセスされます。

ライト時 : システムメモリデータが 0x1234 の場合、0x34 が FIFO 内にライトされます。  
リード時 : FIFO 内データが 0x1234 の場合、0x1212 とリードされます。

### Bit2-0 FIFODataRemain [10:8]

チャネル 0 またはエンドポイント 0 における FIFO 内データの残バイト数の上位 3bit (ビット 10~8) を示します。残データ数は、該当チャネルまたはエンドポイント FIFO の全体に対する値を示します。

このレジスタ (bit 10~8) をリードすると bit 7~0 (0FIFOControl\_1 レジスタの FIFODataRemain[7]~[0] ビット) の値が固定されます。(リード値が固定されても IC 内部ではカウントは継続されます)

よって、レジスタ 8bit アクセス時において残データ数をリードする場合は、0FIFOControl\_0 (FIFODataRemain[10]~[8])、0FIFOControl\_1 (FIFODataRemain[7]~[0]) レジスタの順番にアクセスしてください。(本レジスタは必ずしもリードする必要はありません)

## 2.2.7.16 0x6F Channel0 FIFO Control1 (0FIFOControl\_1)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x6F	0FIFOControl_1	7: FIFODataRemain[7] 6: FIFODataRemain[6] 5: FIFODataRemain[5] 4: FIFODataRemain[4] 3: FIFODataRemain[3] 2: FIFODataRemain[2] 1: FIFODataRemain[1] 0: FIFODataRemain[0]	R R R R R R R R	FIFODataRemain[7:0]	00h

チャネル 0 またはエンドポイント 0 の FIFO 領域の状態の表示、制御を行います。

**Bit7-0 FIFODataRemain [7:0]**

チャネル 0 またはエンドポイント 0 における FIFO 内データの残バイト数の下位 8bit (ビット 7~0) を示します。残データ数は、該当チャネルまたはエンドポイント FIFO の全体に対する値を示します。

bit 10~8 (0FIFOControl\_0 レジスタの FIFODataRemain[10]~[8] ビット) をリードするとこのレジスタ (bit 7~0) の値が固定されます。(リード値が固定されても IC 内部ではカウントは継続されます)

よって、レジスタ 8bit アクセス時において残データ数をリードする場合は、0FIFOControl\_0 (FIFODataRemain[10]~[8])、0FIFOControl\_1 (FIFODataRemain[7]~[0]) レジスタの順番にアクセスしてください。(ただし 0FIFOControl\_0 レジスタの FIFODataRemain[10]~[8] は必ずしもリードする必要はありません)

## 2. レジスタ

### 2.2.8 ChannelA control block

#### 2.2.8.1 0x70 ChannelA Configuration0 (aConfig\_0)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x70	aConfig_0	7: JoinDMA	R/W	0: Not Joint to DMA	1: Joint to DMA	00h
		6: FIFOClr	W	0: Normal	1: FIFO Clear	
		5: ToggleMode	R/W	0: When normal completed toggle	1: Always toggle	
		4: AutoZeroLen	R/W	0: Disable AutoZeroLen Mode	1: Enable AutoZeroLen Mode	
		3:				
		2:				
		1:				
		0:				

ホスト動作時はチャネル a、ペリフェラル動作時はエンドポイント a の基本コンフィギュレーションの設定を行います。

##### Bit7 **JoinDMA**

このチャネルまたはエンドポイントを DMA に接続します。

最後にこのビットを “1” にしたチャネルもしくはエンドポイントに DMA が接続します。

0 – このチャネルまたはエンドポイントを DMA に接続しません

1 – このチャネルまたはエンドポイントを DMA に接続します

##### Bit6 **FIFOClr**

このビットを “1” にすることで、このチャネルまたはエンドポイントの FIFO のリード/ライトポインタが 先頭位置に戻ります。

FIFOClr が終了すると、このビットが自動的に “0” にクリアされます。

0 – 何もしません（クリア完了）

1 – このチャネルまたはエンドポイントの FIFO のリード/ライトポインタが 先頭位置に戻ります。

ホスト動作時において、トランザクションが途中で停止している際に、一時停止中の転送の続きではなく新たにこのチャネルに対して転送を開始する場合には、必ずこのビットにより FIFO をクリアしてから転送を開始してください。

##### Bit5 **ToggleMode**

トグルビットの動作モードを設定します。このビットの設定は aConfig\_1 レジスタの TranType ビットが “10b”（インターラプト転送）の場合のみで有効です。

0 – トランザクション正常終了時にのみトグルします

1 – トランザクションごとに常にトグルします

(次のページに続く)

(0x70 レジスタ説明の続き)

**Bit4 AutoZeroLen**

<ホスト時>

PIPEaTotalSizeH～L レジスタで設定したサイズの転送がちょうど Max パケットサイズで完了した際に、0 レングスパケットを最後に自動付与するか否かを指定します。OUT 転送の場合のみこのビットは有効となります。

<ペリフェラル時>

IN トランザクション時で aConfig\_0 レジスタの JoinDMA ビットが “1” の場合、全てのデータが転送し終わると (EPIStat レジスタの INTranCmp ビットの設定条件と同等) EnShortPkt ビットが自動的に “1” セットされます。これにより同様のトークンに対し 0 長パケットを自動的に送信することができます。  
自動的に “1” にセットされた EnShortPkt ビットは、1 回トークンを受信しデータ (ここでは 0 長パケット) を送信し終えると、0 クリアされます。

0 – 0 レングスパケットを自動付与しません

1 – 0 レングスパケットを自動付与します

**Bit3 Reserved**

**Bit2 Reserved**

**Bit1 Reserved**

**Bit0 Reserved**

## 2. レジスタ

### 2.2.8.2 0x71 ChannelA Configuration1 (aConfig\_1)

Address	Register Name	Bit Symbol	R/W	Description	Reset	
0x71	aConfig_1	7: DirPID[1]	R/W	DirPID[1:0]	00h	
		6: DirPID[0]	R/W			
		5: TranType[1]	R/W	TranType[1:0]		
		4: TranType[0]	R/W			
		3: EPNumber[3]	R/W	EPNumber[3:0]		
		2: EPNumber[2]	R/W			
		1: EPNumber[1]	R/W			
		0: EPNumber[0]	R/W			

ホスト動作時はチャネル a、ペリフェラル動作時はエンドポイント a の基本コンフィギュレーションの設定を行います。

#### Bit7-6 DirPID [1:0]

<ホスト時>

このチャネルで発行するトークンの種類 (OUT、IN、SETUP) を設定します。

- 00b — OUT トークンを発行します
- 01b — SETUP トークンを発行します
- 10b — IN トークンを発行します
- 11b — (Reserved)

<ペリフェラル時>

このエンドポイントの転送方向を設定します。

- 00b — OUT 方向
- 01b — (Reserved)
- 10b — IN 方向
- 11b — (Reserved)

#### Bit5-4 TranType [1:0]

ホスト動作時はこのチャネルで行う転送の種別を、ペリフェラル動作時はこのエンドポイントで対応する転送種別を設定します。

- 00b — コントロール転送
- 01b — アイソクロナス転送
- 10b — バルク転送
- 11b — インタラプト転送

#### Bit3-0 EPNumber [3:0]

ホスト動作時はこのチャネルで転送を行うエンドポイント番号を、ペリフェラル時はこのレジスタブロックで制御を行うエンドポイント番号を設定します。

0~15 — 任意のエンドポイント番号

## 2.2.8.3 0x72 ChannelA Max Packet Size High (aMaxPktSize\_H)

Address	Register Name	Bit Symbol	R/W	Description	Reset	
0x72	aMaxPktSize_H	7:			00h	
		6: BufferPage[4]	R/W	BufferPage[4:0]		
		5: BufferPage[3]	R/W			
		4: BufferPage[2]	R/W			
		3: BufferPage[1]	R/W			
		2: BufferPage[0]	R/W	Max packet size[9:8]		
		1: MaxPktSize[9]	R/W			
		0: MaxPktSize[8]	R/W			

ホスト動作時はチャネル a、ペリフェラル動作時はエンドポイント a の Max パケットサイズの設定を行います。また、それぞれの場合でのバッファ領域ページ数の設定も行います。

**Bit7 Reserved****Bit6-2 BufferPage [4:0]**

このチャネルまたはエンドポイントの FIFO 領域のバッファページ数を指定します。

- 0 — 無効
- 1~31 — 任意のバッファページ数

aMaxPktSize レジスタで設定したサイズがバッファ 1 ページのサイズとなります。従って確保されるバッファ領域のサイズは  $(aMaxPktSize \times BufferPage)$  (本ビット) となります。FIFO 領域の全サイズは 2.5K バイトとなっています。本ビットを設定する際は、他のチャネルまたはエンドポイントで確保しているバッファサイズを加味する必要があります。

(注) このフィールドは SetBuffer 実行時以外は設定しないでください。

**Bit1-0 MaxPktSize [9:8]**

該当エンドポイントで送受信可能なパケットサイズの最大バイト数 (10bit) のうち上位 2bit を設定します。バルク転送 (コントロール転送)、インターラプト転送の場合は Max パケットサイズは 64byte となるのでこの部分のビットは “00b” となります。

アイソクロナス転送の場合は、2~1022byte の範囲での上位 2bit の設定を行ってください。

- 0 — 無効
- 2~1022 — Max パケットサイズのバイト数

## 2. レジスタ

### 2.2.8.4 0x73 ChannelA Max Packet Size Low (aMaxPktSize\_L)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x73	aMaxPktSize_L	7: MaxPktSize[7] 6: MaxPktSize[6] 5: MaxPktSize[5] 4: MaxPktSize[4] 3: MaxPktSize[3] 2: MaxPktSize[2] 1: MaxPktSize[1] 0: MaxPktSize[0]	R/W R/W R/W R/W R/W R/W R/W R/W	MaxPacketSize [7:0]	00h

スト動作時はチャネル a、ペリフェラル動作時はエンドポイント a の Max パケットサイズの設定を行います。

#### Bit7-0 MaxPktSize [7:0]

該当エンドポイントで送受信可能なパケットサイズの最大バイト数 (10bit) のうち下位 8bit を設定します。  
バルク転送 (コントロール転送) の場合は、8、16、32、64byte のいずれかで設定を行ってください。  
インターラプト転送の場合は、2～64byte の範囲で設定を行ってください。  
アイソクロナス転送の場合は、2～1022byte の範囲での下位 8bit の設定を行ってください。  
なお、Max パケットサイズは偶数バイト (2byte 単位) で設定してください。

0	無効
8、16、32、64	バルク/コントロール転送
2～64	インターラプト転送
2～1022	アイソクロナス転送

(注) このフィールドは SetBuffer 実行時以外は設定しないでください。

## 2.2.8.5 0x74 PipeA Interval Time (PIPEaInterval)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x74	PIPEaInterval	7: Interval[7] 6: Interval[6] 5: Interval[5] 4: Interval[4] 3: Interval[3] 2: Interval[2] 1: Interval[1] 0: Interval[0]	R/W R/W R/W R/W R/W R/W R/W R/W	Interval[7:0]	00h

ホスト動作時で、チャネル a におけるトークン発行間隔（周期）の設定を行います。

**Bit7-0 Interval [7:0]**

インターラプト転送のトークン発行間隔（周期）をこのビットにより ms オーダ（フレーム単位）で指定します。このビットの設定は aConfig レジスタの TranType ビットが “10b”（インターラプト転送）の場合のみ有効です。また、このビットの “0d” の設定は無効となります。

トランザクションの再送時もこのビットの設定間隔で行います。

0	—	無効
1~255	—	トークン発行周期 (ms (フレーム))

## 2. レジスタ

### 2.2.8.6 0x75 PipeA Transfer Configuration (PIPEaTranConfig)

Address	Register Name	Bit Symbol	R/W	Description	Reset	
0x75	PIPEaTranConfig	7:			00h	
		6: Continuity[2]	R/W	Continuity[2:0]		
		5: Continuity[1]	R/W			
		4: Continuity[0]	R/W			
		3:				
		2: FuncAddr[2]	R/W	FunctionAddress[2:0]		
		1: FuncAddr[1]	R/W			
		0: FuncAddr[0]	R/W			

ホスト動作時においてチャネル a に関する転送の基本設定を行います。

#### Bit7 Reserved

#### Bit6-4 Continuity [2:0]

ホストコントローラのスケジューリングにおいて、このチャネルにおけるトランザクションの連続実行回数（トークンの連続発行回数）を指定します。

このビットの設定は aConfig レジスタの TranType ビットが “00b”（バルク転送）または “01b”（コントロール転送）の場合のみ有効です。また、このビットの “0d” の設定は無効となります。

ホストコントローラのスケジューリングでは、連続実行回数のカウントはフレームを越えても継続されます。パケットエラーによる再送は連続回数にカウントされますが、NAK 時の再送はこのビットの設定に依存しません。

0 — トランザクション連続実行回数 8 (最大)

1~7 — トランザクション連続実行回数

#### Bit3 Reserved

#### Bit2-0 FuncAddr [2:0]

このチャネルが管理するエンドポイントを含むファンクションの USB アドレスを設定します。

0~7 — ファンクションアドレス

## 2.2.8.7 0x76 PipeA Control (PIPEaControl)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x76	PIPEaControl	7:				00h
		6:				
		5:				
		4: Toggle	R/W	0: Toggle 0	1: Toggle 1	
		3:				
		2:				
		1:				
		0: TranGo	R/W	0: Stand by	1: Transaction Start	

ホスト動作時においてチャネル a に関する制御を行います。

**Bit7 Reserved****Bit6 Reserved****Bit5 Reserved****Bit4 Toggle**

トランザクションを開始する時のトグルシーケンスビットの初期値を設定します。また、トランザクション実行後、およびトランザクション完了後はトグルシーケンスビットの状態を示します。

0 — トグル 0  
1 — トグル 1

**Bit3 Reserved****Bit2 Reserved****Bit1 Reserved****Bit0 TranGo**

このビットを “1” にするとこのチャネルのトランザクションを開始します。トランザクション開始後このビットを “0” にクリアするとトランザクション処理を停止させることができます。また、このビットはこのチャネルがトランザクション実行中か否かのステータスの意味も有します。

0 — トランザクションを停止します（トランザクション停止中です）  
1 — トランザクションを開始します（トランザクション実行中です）

転送が PIPEaTotalSize H～L レジスタで設定したバイト数完了した時点で PIPEaIntStat レジスタの PIPEaTranCmp ビットが “1” にセットされ、本ビットは自動的に “0” に戻ります。また、PIPEaIntStat レジスタの InShortRecv、InOverSize、TranErr、Stalled、NoResp ビットそれぞれがセットされたような場合でも “0” にリセットされます。ただし HCIntStat レジスタの PortErr ビットがセットされる要因でトランザクションが停止された場合は “0” にリセットはされません。  
また、このビットのクリアによる停止を行った時は処理最中のトランザクションが終了した時点で、同様に PIPEaIntStat レジスタの適当なビットがセットされます。

トランザクションが停止されても、FIFO 中のデータ、(残りの) トータルサイズ、チャネルに関する設定はそのままの状態となります。従って再びこのビットを “1” にセットすることによって、トランザクションを停止された時の続きから再開させることができます。

(新たなトランザクションを行う場合は FIFO をクリアし、チャネル情報の設定をし直してください。)

## 2. レジスタ

### 2.2.8.8 0x77 PipeA Total Size High (PIPEaTotalSize\_H)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x77	PIPEaTotalSize_H	7: TotalSize[23] 6: TotalSize[22] 5: TotalSize[21] 4: TotalSize[20] 3: TotalSize[19] 2: TotalSize[18] 1: TotalSize[17] 0: TotalSize[16]	R/W R/W R/W R/W R/W R/W R/W R/W	TotalSize[23:16]	00h

### 2.2.8.9 0x78 PipeA Total Size Middle (PIPEaTotalSize\_M)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x78	PIPEaTotalSize_M	7: TotalSize[15] 6: TotalSize[14] 5: TotalSize[13] 4: TotalSize[12] 3: TotalSize[11] 2: TotalSize[10] 1: TotalSize[9] 0: TotalSize[8]	R/W R/W R/W R/W R/W R/W R/W R/W	TotalSize[15:8]	00h

### 2.2.8.10 0x79 PipeA Total Size Low (PIPEaTotalSize\_L)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x79	PIPEaTotalSize_L	7: TotalSize[7] 6: TotalSize[6] 5: TotalSize[5] 4: TotalSize[4] 3: TotalSize[3] 2: TotalSize[2] 1: TotalSize[1] 0: TotalSize[0]	R/W R/W R/W R/W R/W R/W R/W R/W	TotalSize[7:0]	00h

#### PIPEaTotalSize\_H

#### PIPEaTotalSize\_M

#### PIPEaTotalSize\_L

チャネル a における転送データの全バイト数 (最大 16,777,214byte : 約 16.4Mbyte) のうち 23~16 ビット目を PIPEaTotalSize\_H レジスタに、15~8 ビット目を PIPEaTotalSize\_M レジスタに、7~0 ビット目を PIPEaTotalSize\_L レジスタにそれぞれ設定します。

PIPEaControl レジスタの TranGo ビットによりトランザクションが開始された後は、このレジスタをリードすることにより残転送数を読み出すことができます。

(次のページに続く)

(0x77～0x79 レジスタ説明の続き)

bit 15～8 (PIPEaTotalSize\_M レジスタ) をリードすると bit 7～0 (PIPEaTotalSize\_L レジスタ) の値が固定されます。(リード値が固定されても IC 内部ではカウントは継続されます)

よって、レジスタ 8bit アクセス時で残り転送数をリードする場合は、PIPEaTotalSize\_M、(PIPEaTotalSize\_H)、PIPEaTotalSize\_L レジスタの順番にアクセスしてください。16bit アクセス時は、下位 (bit 15～0) → 上位 (bit 23～16) の順番でリードしてください。

(転送数が上位レジスタに及んでいない場合は必ずしも上位レジスタをリードする必要はありません)

TotalSize = 0 で OUT トランザクションを実行すると 0 長パケットが送信されます。TotalSize = 0xFFFFFFF で OUT または IN トランザクションを実行すると、トータルサイズは無限となりトータルサイズのカウントは行われません。この場合、PIPEaIntStat レジスタの TranCmp ビットはセットされません。

## 2. レジスタ

### 2.2.8.11 0x7A EndpointA Control0 (EPaControl\_0)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x7A	EPaControl_0	7: EnEndPoint	R/W	0: Enable EndPoint	1: Disable EndPoint	00h
		6: AutoForceNAK	R/W	0: Normal	1: Auto Force NAK	
		5: EnShortPkt	R/W	0: Normal	1: Send Short Packet	
		4: AutoForceNAKShort		0: Normal	1: Auto Force NAK Short	
		3:				
		2:				
		1: ForceNAK	R/W	0: Normal	1: Force NAK	
		0: ForceSTALL	R/W	0: Normal	1: Force STALL	

ペリフェラル動作時においてエンドポイント a の動作設定を行います。

#### Bit7 EnEndPoint

このビットを “1” にすることで、このエンドポイントを有効にします。  
このビットが “0” の時は、エンドポイントへのアクセスを無視します。  
ホストからの SetConfiguration リクエストに従って設定してください。

- 0 — このエンドポイントを無効にします
- 1 — このエンドポイントを有効にします

#### Bit6 AutoForceNAK

このエンドポイントにおいて、正常なトランザクション完了時に EPaControl\_1 レジスタの ForceNAK ビットを自動的に “1” にセットします。

- 0 — ForceNAK ビットを自動的にセットしません
- 1 — ForceNAK ビットを自動的にセットします

1 トランザクション毎にトランザクションを止めたい場合に用います。

#### Bit5 EnShortPkt

このビットを “1” にすることで、このエンドポイントの IN トランザクションにおいて、FIFO 内のデータ数が Max パケットサイズに満たない場合でも現在の FIFO 内データをショートパケットとして送信することができます。ショートパケットの送信が終了すると自動的にこのビットは “0” にクリアされます。FIFO 内にデータが無い場合にこのビットを “1” にすると、ゼロ長パケットを送信します。

このビットは aConfig\_1 レジスタの DirPID ビットが “01b” (IN 方向) の場合のみで有効です。

- 0 — 何もしません
- 1 — 現時点の FIFO 内のデータを送信します

#### Bit4 AutoForceNAKShort

このビットが “1” に設定されている時は、正常な OUT トランザクション完了時にこのエンドポイントが受信したパケットがショートパケットの場合、自動的に ForceNAK ビットを “1” にセットします。  
AutoForceNAK ビットが “1” になっている場合は、AutoForceNAK ビットが優先されます。

- 0 — 自動的に ForceNAK ビットを “1” にセットしません
- 1 — 自動的に ForceNAK ビットを “1” にセットします

#### Bit3 Reserved

#### Bit2 Reserved

(次のページに続く)

(0x7A レジスタ説明の続き)

**Bit1 ForceNAK**

このビットを “1” にすると、FIFO のデータ数に関わらず、トランザクションに対して NAK 応答します。現在実行中のトランザクションがある場合でのこのビットの設定は、次のトランザクションから有効になります。

- 0 – 何もしません
- 1 – 強制的に NAK 応答します

**Bit0 ForceSTALL**

このビットを “1” にすると、このエンドポイントのトランザクションに対して STALL 応答します。このビットは、ForceNAK ビットの設定より優先されます。

現在実行中のトランザクションがある場合でのこのビットの設定は、次のトランザクションから有効になります。

- 0 – 何もしません
- 1 – 強制的に STALL 応答します

## 2. レジスタ

### 2.2.8.12 0x7B EndpointA Control1 (EPaControl\_1)

Address	Register Name	Bit Symbol	R/W	Description		Reset
0x7B	EPaControl_1	7:				00h
		6:				
		5:				
		4:				
		3: ToggleStat	R	0: Transaction Toggle 0	1: Transaction Toggle 1	
		2:				
		1: ToggleSet	W	0: Normal	1: Transaction Toggle Set	
		0: ToggleClr	W	0: Normal	1: Transaction Toggle Clear	

ペリフェラル動作時においてエンドポイント a の動作設定を行います。

**Bit7 Reserved**

**Bit6 Reserved**

**Bit5 Reserved**

**Bit4 Reserved**

**Bit3 ToggleStat**

トグルシーケンスビットの状態を示します。

0 — トグル 0

1 — トグル 1

**Bit2 Reserved**

**Bit1 ToggleSet**

このビットに “1” をセットすると、トグルシーケンスビットを “1” にすることができます。

0 — 何もしません

1 — トグル 1

**Bit0 ToggleClr**

このビットに “1” をセットすると、トグルシーケンスビットを “0” にすることができます。

0 — 何もしません

1 — トグル 0

## 2.2.8.13 0x7C ChannelA FIFO for CPU High (aIFOforCPU\_H)

Address	Register Name	Bit Symbol	R/W	Description	Reset	
0x7C	aIFOforCPU_H	7: FIFOforCPU[15] 6: FIFOforCPU[14] 5: FIFOforCPU[13] 4: FIFOforCPU[12] 3: FIFOforCPU[11] 2: FIFOforCPU[10] 1: FIFOforCPU[9] 0: FIFOforCPU[8]	R/W R/W R/W R/W R/W R/W R/W R/W	FIFOforCPU[15:8]		unfixed

**Bit7-0 FIFOforCPU [15:8]**

このチャネルまたはエンドポイントの FIFO への PIO アクセスをこのレジスタにより行います。CPUConfig\_0 レジスタの CPUBus8x16 ビットが “0” の場合、このレジスタは 16bit データの上位 8bit を示します。

aIFOControl\_0 レジスタの FIFOwr ビットを “1” にセットした場合は、このレジスタに値を書き込むことで FIFO にデータを書き込むことができます。

aIFOControl\_0 レジスタの FIFOrd ビットを “1” にセットした場合は、このレジスタから値を読み込むことで FIFO からデータを読み出すことができます。

このレジスタにアクセスすると自動的に FIFO 内部の参照ポインタが進みます。

aIFOControl\_0 レジスタの FIFOByteAccess ビットを “1” にセットした場合、もしくは CPUConfig\_0 レジスタの CPUBus8x16 ビットが “1” の場合は、このレジスタへのアクセスは行わないでください。

## 2. レジスタ

### 2.2.8.14 0x7D ChannelA FIFO for CPU Low (aFIFOforCPU\_L)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x7D	aFIFOforCPU_L	7: FIFOforCPU[7] 6: FIFOforCPU[6] 5: FIFOforCPU[5] 4: FIFOforCPU[4] 3: FIFOforCPU[3] 2: FIFOforCPU[2] 1: FIFOforCPU[1] 0: FIFOforCPU[0]	R/W R/W R/W R/W R/W R/W R/W R/W	FIFOforCPU[7:0]	unfixed

#### Bit7-0 FIFOforCPU [7:0]

このチャネルまたはエンドポイントの FIFO への PIO アクセスをこのレジスタにより行います。CPUConfig\_0 レジスタの CPUBus8x16 ビットが “0” の場合、このレジスタは 16bit データの下位 8bit を示します。

aFIFOControl\_0 レジスタの FIFOwr ビットを “1” にセットした場合は、このレジスタに値を書き込むことで FIFO にデータを書き込むことができます。

aFIFOControl\_0 レジスタの FIFOrd ビットを “1” にセットした場合は、このレジスタから値を読み込むことで FIFO からデータを読み出すことができます。

このレジスタにアクセスすると自動的に FIFO 内部の参照ポインタが進みます。

aFIFOControl\_0 レジスタの FIFOByteAccess ビットを “1” にセットした場合、もしくは CPUConfig\_0 レジスタの CPUBus8x16 ビットが “1” の場合は、PIO アクセスはこのレジスタの設定／参照のみが有効となります。

## 2.2.8.15 0x7E ChannelA FIFO Control0 (aFIFOControl\_0)

Address	Register Name	Bit Symbol	R/W	Description		Reset	
0x7E	aFIFOControl_0	7: FIFOEmpty	R	0: FIFO Not Empty	1: FIFO Empty	80h	
		6: FIFOFull	R	0: FIFO Not Full	1: FIFO Full		
		5: EnFIFOwr	R/W	0: Disable CPU FIFO Write	1: Enable CPU FIFO Write		
		4: EnFIFOrd	R/W	0: Disable CPU FIFO Read	1: Enable CPU FIFO Read		
		3: EnFIFOByteAccess	R/W	0: Normal	1: Byte Access Enable		
		2: FIFODataRemain[10]	R	FIFODataRemain[10:8]			
		1: FIFODataRemain[9]	R				
		0: FIFODataRemain[8]	R				

チャネル a またはエンドポイント a の FIFO 領域の状態の表示、制御を行います。

**Bit7 FIFOEmpty**

このビットが “1” の場合は、このチャネルまたはエンドポイントの FIFO 領域がエンプティの状態であることを示します。MaxPktSize\_H レジスタの BufferPage ビットで指定したページの全てがエンプティの状態で “1” がセットされます。1 ページでもエンプティでないページがあれば “0” となります。

PIO より FIFO からデータを読み出す場合は、このビットが “0” であることの確認を行ってください。

0 — FIFO 領域はエンプティではない状態です

1 — FIFO 領域はエンプティの状態です

**Bit6 FIFOFull**

このビットが “1” の場合は、このチャネルまたはエンドポイントの FIFO 領域がフルの状態であることを示します。

MaxPktSize\_H レジスタの BufferPage ビットで指定したページの全てがフルの状態で “1” がセットされます。1 ページでもフルでないページがあれば “0” となります。

PIO により FIFO へデータを書き込む場合は、このビットが “0” であることの確認を行ってください。

0 — FIFO 領域はフルではない状態です

1 — FIFO 領域はフルの状態です

**Bit5 EnFIFOwr**

このビットを “1” にすることで、PIO による FIFO へのデータの書き込みが可能となります。

0 — PIO による FIFO へのデータの書き込みはできません

1 — PIO による FIFO へのデータの書き込みができます

**Bit4 EnFIFOrd**

このビットを “1” にすることで、PIO による FIFO からのデータの読み出しが可能となります。

0 — PIO による FIFO からのデータの読み出しはできません

1 — PIO による FIFO からのデータの読み出しができます

(次のページに続く)

## 2. レジスタ

---

(0x7E レジスタ説明の続き)

### Bit3 EnFIFOByteAccess

レジスタアクセスが 16bit の場合で、FIFO への PIO アクセスをバイトアクセスで行う必要がある場合にこのビットを “1” にセットします。このビットが “1” の時は PIO レジスタの上位 8bit (aFIFOforCPU\_H レジスタ) へのアクセスは無効となり、下位 8bit (aFIFOforCPU\_L レジスタ) へのアクセスのみが有効となります。

- 0 — PIO アクセスをワードアクセスで行います
- 1 — PIO アクセスをバイトアクセスで行います

(参考)

ビッグエンディアン時、このビットを “1” にして FIFOforCPU レジスタをアクセスした場合は、データは以下のようにアクセスされます。

ライト時 : システムメモリデータが 0x1234 の場合、0x34 が FIFO 内にライトされます。  
リード時 : FIFO 内データが 0x1234 の場合、0x1212 とリードされます。

### Bit2-0 FIFODataRemain [10:8]

チャネル a またはエンドポイント a における FIFO 内データの残バイト数の上位 3bit (ビット 10~8) を示します。残データ数は、該当チャネルまたはエンドポイント FIFO の全体に対する値を示します。

このレジスタ (bit 10~8) をリードすると bit 7~0 (aFIFOControl\_1 レジスタの FIFODataRemain[7]~[0] ビット) の値が固定されます。(リード値が固定されても IC 内部ではカウントは継続されます)

よって、レジスタ 8bit アクセス時において残データ数をリードする場合は、aFIFOControl\_0 (FIFODataRemain[10]~[8])、aFIFOControl\_1 (FIFODataRemain[7]~[0]) レジスタの順番にアクセスしてください。(本レジスタは必ずしもリードする必要はありません)

## 2.2.8.16 0x7F ChannelA FIFO Control1 (aFIFOControl\_1)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0x7F	aFIFOControl_1	7: FIFODataRemain[7] 6: FIFODataRemain[6] 5: FIFODataRemain[5] 4: FIFODataRemain[4] 3: FIFODataRemain[3] 2: FIFODataRemain[2] 1: FIFODataRemain[1] 0: FIFODataRemain[0]	R R R R R R R R	FIFODataRemain[7:0]	00h

チャネル a またはエンドポイント a の FIFO 領域の状態の表示、制御を行います。

**Bit7-0 FIFODataRemain [7:0]**

チャネル a またはエンドポイント a における FIFO 内データの残バイト数の下位 8bit (ビット 7~0) を示します。残データ数は、該当チャネルまたはエンドポイント FIFO の全体に対する値を示します。

bit 10~8 (aFIFOControl\_0 レジスタの FIFODataRemain[10]~[8] ビット) をリードするとこのレジスタ (bit 7~0) の値が固定されます。(リード値が固定されても IC 内部ではカウントは継続されます)

よって、レジスタ 8bit アクセス時において残データ数をリードする場合は、aFIFOControl\_0 (FIFODataRemain[10]~[8])、aFIFOControl\_1 (FIFODataRemain[7]~[0]) レジスタの順番にアクセスしてください。(ただし aFIFOControl\_0 レジスタの FIFODataRemain[10]~[8] は必ずしもリードする必要はありません)

## 2. レジスタ

---

### 2.2.9 ChannelB register block

チャネル B レジスタブロック (0x80～0x8F) のレジスタ内容は、チャネル A レジスタブロック (0x70～0x7F) のそれと全く同様となります。詳しい内容はそちらを参照下さい。  
その場合、レジスタ名は次のように読み替えて下さい。

aConfig_0／1	→ bConfig_0／1
aMaxPktSize_H／L	→ bMaxPktSize_H／L
PIPEaInterval	→ PIPEbInterval
PIPEaTranConfig	→ PIPEbTranConfig
PIPEaControl	→ PIPEbControl
PIPEaTotalSizeH／M／L	→ PIPEbTotalSizeH／M／L
EPaControl_0／1	→ EPbControl_0／1
aFIFOforCPU_H／L	→ bFIFOforCPU_H／L
aFIFOControl_0／1	→ bFIFOControl_0／1

上記以外にもチャネルを表す文字を含んだレジスタ（割り込み系のレジスタ等）は同様に読み替えて下さい。

### 2.2.10 ChannelC register block

チャネル C レジスタブロック (0x90～0x9F) のレジスタ内容は、チャネル A レジスタブロック (0x70～0x7F) のそれと全く同様となります。詳しい内容はそちらを参照下さい。  
その場合、レジスタ名は次のように読み替えて下さい。

aConfig_0／1	→ cConfig_0／1
aMaxPktSize_H／L	→ cMaxPktSize_H／L
PIPEaInterval	→ PIPEcInterval
PIPEaTranConfig	→ PIPEcTranConfig
PIPEaControl	→ PIPEcControl
PIPEaTotalSizeH／M／L	→ PIPEcTotalSizeH／M／L
EPaControl_0／1	→ EPcControl_0／1
aFIFOforCPU_H／L	→ cFIFOforCPU_H／L
aFIFOControl_0／1	→ cFIFOControl_0／1

上記以外にもチャネルを表す文字を含んだレジスタ（割り込み系のレジスタ等）は同様に読み替えて下さい。

### 2.2.11 ChannelD register block

チャネル D レジスタブロック (0xA0～0xAF) のレジスタ内容は、チャネル A レジスタブロック (0x70～0x7F) のそれと全く同様となります。詳しい内容はそちらを参照下さい。  
その場合、レジスタ名は次のように読み替えて下さい。

aConfig_0／1	→ dConfig_0／1
aMaxPktSize_H／L	→ dMaxPktSize_H／L
PIPEaInterval	→ PIPEdInterval
PIPEaTranConfig	→ PIPEdTranConfig
PIPEaControl	→ PIPEdControl
PIPEaTotalSizeH／M／L	→ PIPEdTotalSizeH／M／L
EPaControl_0／1	→ EPdControl_0／1
aIFOforCPU_H／L	→ dIFOforCPU_H／L
aIFOControl_0／1	→ dIFOControl_0／1

上記以外にもチャネルを表す文字を含んだレジスタ（割り込み系のレジスタ等）は同様に読み替えて下さい。

### 2.2.12 ChannelE register block

チャネル D レジスタブロック (0xA0～0xAF) のレジスタ内容は、チャネル A レジスタブロック (0x70～0x7F) のそれと全く同様となります。詳しい内容はそちらを参照下さい。  
その場合、レジスタ名は次のように読み替えて下さい。

- (1) eConfig (0xB0, 0xB1) = 0x003F
- (2) eMaxPktSize (0xB2, 0xB3) = 0x0010
- (3) PIPEeControl\_0 (0xB4, 0xB5) = 0x0107
- (4) PIPEeControl\_1 (0xB6, 0xB7) = 0x00FF
- (5) PIPEeControl\_2 (0xB8, 0xB9) = 0xFFFF
- (6) eIFOControl (0xBE, 0xBF) = 0x0000
- (7) PipeEPCommon (0x3E, 0x3F) = 0x0100
- (8) PIPEeControl\_1 (0xB6, 0xB7) = 0x01FF

上記以外にもチャネルを表す文字を含んだレジスタ（割り込み系のレジスタ等）は同様に読み替えて下さい。

S1R72005#00A100 で必要であった、ホスト時のダミーパイプ(PIPEe)の設定は S1R72005#00A300 においては不要です。

## 2. レジスタ

### 2.2.13 0xE1 Extra OTG State Command (E\_OTGStateCmd)

Address	Register Name	Bit Symbol	R/W	Description	Reset
0xE1	E_OTGStateCmd	7:E_OTGStateCmd[7]	R/W		08h
		6:E_OTGStateCmd[6]	R/W		
		5:E_OTGStateCmd[5]	R/W		
		4:E_OTGStateCmd[4]	R/W		
		3:E_OTGStateCmd[3]	R/W		
		2:E_OTGStateCmd[2]	R/W		
		1:E_OTGStateCmd[1]	R/W		
		0:E_OTGStateCmd[0]	R/W		

E\_OTGStateCmd レジスタは、OTG ステート遷移に関わる制御を行うレジスタです。

このレジスタに 0x84 を書き込むと DP ラインをプルアップします。

このレジスタに 0x00 を書き込むと OTGStateCmd (0x35) の設定が有効になります。

上記以外の値は設定しないでください(設定厳禁)。

HVDD 電源電圧が 3.25V より大きい場合、SRP Data-line Pulsing は、このレジスタを使用する方法、または OTGStateCmd レジスタ(0x35) を使用する方法のどちらでも行うことができます。

HVDD 電源電圧が 3.25V 以下の場合、SRP Data-line Pulsing は、必ずこのレジスタを使用する方法で行ってください。

[ SRP Data-line Pulsing の場合の使用例 ]

- (1) VBUS 電圧が 2.0V を下回っており、  
b\_idle になった後 2ms(Tb\_se0\_srp)以上経過していることを  
確認します。
- (2) E\_OTGStateCmd レジスタに 0x84 を設定してください。  
これにより、DP ラインの電圧が H レベルになります。
- (3) Tb\_DATA\_PLS (5~10ms) の期間、待ちます。
- (4) E\_OTGStateCmd レジスタに 0x00 を設定します。  
その時点で、OTGStateCmd(0x35 bit3~0) にある設定(b\_idle)が  
有効になり、b\_idle 状態に対応した設定が自動設定されるため  
DP ラインの電圧が L レベルになります。

### 2.2.14 0xC0~0xFF register block

0xC0~0xCF、0xD0~0xDF、0xE0、0xE2~0xEF、0xF0~0xFF ブロックは全てリザーブ領域となります。この領域のアクセスによる IC の動作は保証しません。リセット値は unfixed です。

### 3. 既知の問題と対処方法

#### 弊社 S1R72005OTG コントローラを使用する場合の注意事項について

弊社 S1R72005 の既知の問題を回避するため、下記の内容をご理解いただきアプリケーション及びドライバソフトウェアの開発に反映してください。よろしくお願いいたします。

#### 3.1 S1R72005 が USB ホストとして動作時に、問題を起こす可能性のある振る舞い

弊社 S1R72005B00A100 及び S1R72005F00A100 で確認されていた、ホストが意図しないトークンを発行する不具合につきましては、S1R72005B00A300 及び S1R72005F00A300 において解消されています。よってソフトウェアによる対処は不要です。

#### 3.2 S1R72005 が USB デバイスとして動作時に、問題を起こす可能性のある振る舞い

発生するエンドポイント：エンドポイント 0 (EP0)  
時期 : エンドポイント 0 (EP0) の転送時  
現象 : エンドポイント 0 (EP0) の転送について、NAK を返す

##### 3.2.1 発生条件

下記①～③の条件が同時に成立した場合に、3.2 に述べた現象が発生する場合があります。  
以下、エンドポイント 0 を EP0、他のエンドポイントを EPa～e と表記します。

① 0x6A EP0Control\_0 レジスタの AutoForceNAK ビットに"1"を設定している。

そのとき、EP0Control\_0 レジスタの OutForceNAK="0" または、InForceNAK="0" で、EP0 はホストからの IN 転送または OUT 転送要求を受け付けられる状態にある。

② EP0 以外の任意のエンドポイント (EPa～e) が転送を実行中

③ 上記①②の条件成立下において、EP0 の転送の前に他のエンドポイント (EPa～e) の任意のトランザクションが正常完了する。

上記の状態において、「③EP0 以外の任意のエンドポイント (EPa～e) のトランザクションの正常完了」に反応して、EP0 の AutoForceNAK 機能が働いてしまい、EP0 の OutForceNAK または InForceNAK ビットに"1"がセットされてしまいます。

このため、この後の EP0 はホストからのトランザクションに対して常に NAK を返すようになってしまいます。

EP0 の AutoForceNAK = "1" のとき、他のエンドポイントでのトランザクション結果に対し、EP0 の Out または InForceNAK がセットされる場合の動作例は、以下の表の通りです。

EP0 以外で実行されたトランザクション	EP0 の動作	結果
OUT トークン - DATA - ACK	OutForceNAK がセットされます	不具合動作
OUT トークン - DATA(ShortPacket) - ACK	OutForceNAK がセットされます	不具合動作
OUT トークン - DATA(CRC エラー有)	OutForceNAK はセットされません	正常動作
OUT トークン - DATA(ToggleMiss) - ACK	OutForceNAK はセットされません	正常動作
OUT トークン - DATA - NAK	OutForceNAK はセットされません	正常動作
IN トークン - DATA - ACK	InForceNAK がセットされます	不具合動作
IN トークン - DATA(ShortPacket) - ACK	InForceNAK がセットされます	不具合動作
IN トークン - NAK	InForceNAK はセットされません	正常動作
IN トークン - DATA - ACK(エラー有)	InForceNAK はセットされません	正常動作

### 3. 既知の問題と対処方法

---

#### 3.2.2 対処方法

推奨：EP0 の AutoForceNAK を使用しないでください。

EP0 の FIFO サイズを 1MaxPacketSize に設定することで、1 パケット毎に EP0InTranAck あるいは、EP0OutTranAck 割り込みがアサートされます。AutoForceNAK を使用しなくても、この割り込みにより 1 パケット毎のトランザクションの完了を知ることが可能です。

※必要に応じて EP0Control レジスタの InForceNAK、OUTForceNAK を設定してください。なお、EPa-EPe に関しては、このような制限はございません。

やむを得ず EP0 の AutoForceNAK を使用する場合は、他のエンドポイント(EPa～e)のトランザクションが同時に発生していない事が明らかな状態において使用してください。

3.2 の①～③の条件が同時に成立しないように、ホスト側ソフトウェアがチャネルを管理して転送を行うことにより、3.1 で述べた現象は発生いたしません。

## 4. 改訂履歴

日付	リビジョン	適用	改訂種別	内容
04/1/9	1.20	3 章全般	追加	「3.既知の問題と対処方法」の追加
		0x32	訂正	ResetHC により初期化されるレジスタを訂正。
		0x32	訂正	ResetOTGC により初期化されるレジスタを訂正。
		0x35	追加	OTGStateCmd レジスタについての説明を追加
		0x3C,3D	追加	PCFmNumber の読み出し方法の注意事項を追加。
		0x42	訂正	DMAControl レジスタの BurstFIFORemain ビットのビット位置の誤記を訂正。
04/2/27	1.21	4 章全般	変更	表項目の「改定項」を「適用」に変更。 改定ページ表記を改定レジスタアドレス または改定章の表記に変更。
		0x3C,3D	訂正	PCFmNumber の読み出し方法の注意事項を修正（アドレス誤植）。
07/9/7	1.30	改定履歴	削除	04/1/1 以前の改定内容を削除 (履歴として重要な内容を含まないため)
		0x30	追加	COMPPwrDown ビットの追加。 ( 7 2005#00A300 向け ApplicationNote 差分ドキュメント の内容を反映)
		0x48,49	追加	WaitPortDisable ビットの追加。 ( 7 2005#00A300 向け ApplicationNote 差分ドキュメント の内容を反映)
		2.2.12 章	変更	ダミーバイプに関する記述を削除 ( 7 2005#00A300 向け ApplicationNote 差分ドキュメント の内容を反映)
		3.1 章	削除	72005#00A100 に存在した、ホスト時の不正トークン発行 に関する不具合情報及び対処方法の記述を削除。 (72005#00A300 においてこの不具合が修正されたため。 72005#00A300 向け ApplicationNote 差分ドキュメントの内 容を反映)。
		3.2 章	追加	デバイス動作時にエンドポイント 0 の AutoForceNAK を使 用した際の動作不具合情報及び対処方法を追加。
		0x6A	追加	エンドポイント 0 の AutoForceNAK に関する不具合の注意 書きを追加

(改訂種別について)

訂正 : 本来意図すべき記述と異なっていたために修正を施したもの。

変更 : 記述の内容（仕様）が変更されたもの。

追加 : 新たに記述が書き加えられたもの。

削除 : 記述が取り消されたもの。



**セイコーエプソン株式会社**  
**半導体事業部 IC 営業部**

---

<IC 国内営業グループ>

東京 〒191-8501 東京都日野市日野 421-8

TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F

TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

---

ドキュメントコード : 410658601  
2004 年 2 月 作成  
2007 年 10 月 改訂