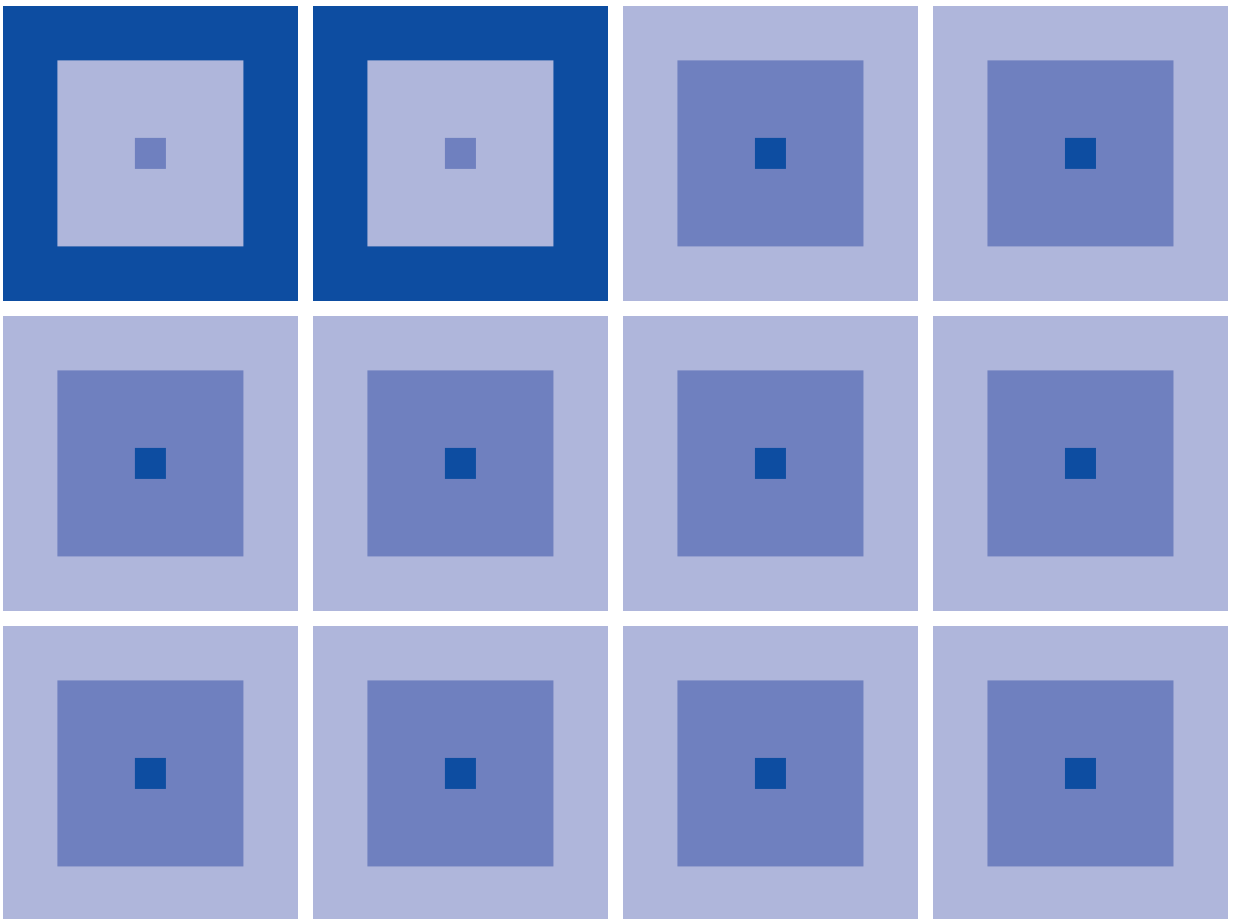


CMOS 4-BIT SINGLE CHIP MICROCOMPUTER

S1C63656

テクニカルマニュアル

S1C63656 Technical Hardware



本資料のご使用につきましては、次の点にご留意願います。

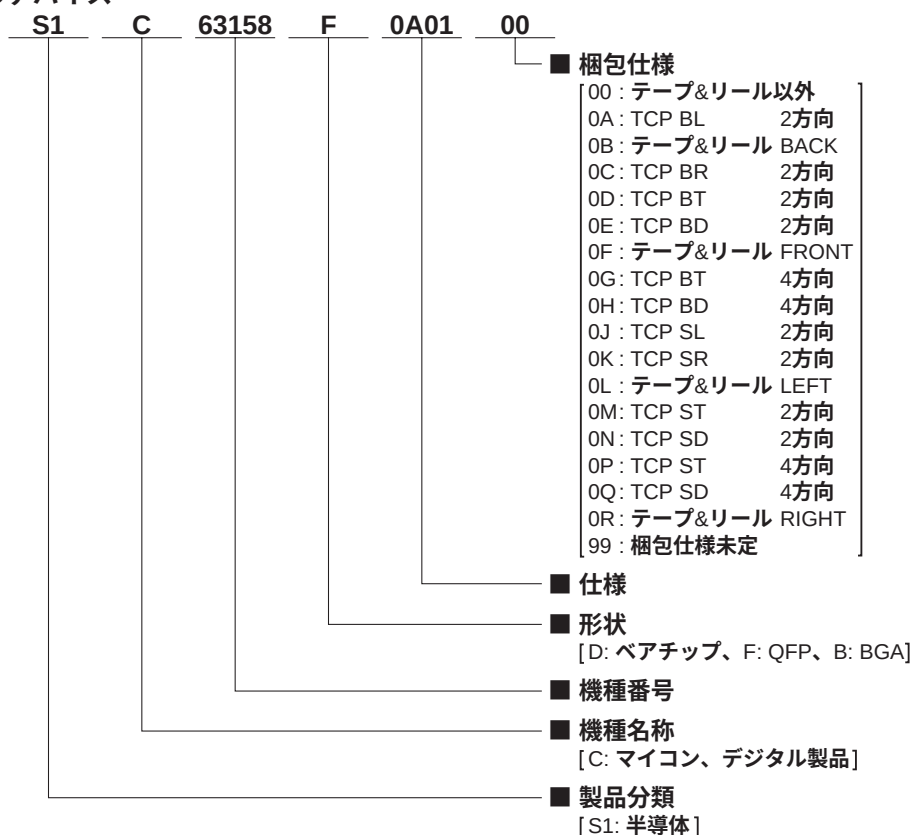
1. 本資料の内容については、予告なく変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利(工業所有権を含む)侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち、「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、一般民生用です。生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合の如何なる責任についても負いかねます。

本版で改訂または追加された箇所

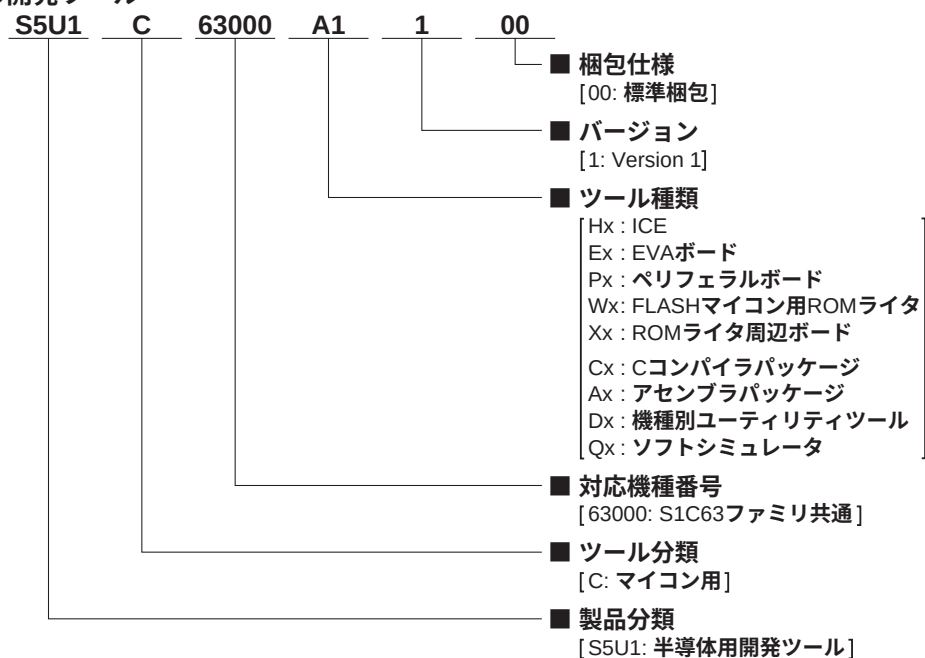
章	節/項	頁	項目	内容
1	1.1	1	特長	文章変更
	1.5	5~8	マスクオプション	文章変更
2	2.2.2	13	入力ポート(K00~K03)の同時HIGH入力	文章変更、表2.2.2.1変更
4	4.1	22	メモリマップ	表4.1.1(e)変更
	4.7.1	48	LCDドライバの構成	文章変更
	4.7.2	48	LCD駆動電源	文章変更
	4.7.3	51	LCD表示のON/OFFとLCD駆動波形	文章変更、注追加
	4.14.3	112~113	R/F変換	文章変更、図4.14.3.1~4.14.3.2変更
	4.14.4	115~116	割り込み機能	文章変更、図4.14.4.1~4.14.4.4変更
	4.14.5	117, 119	R/FコンバータのI/Oメモリ	表4.14.5.1変更、文章変更
	4.14.6	120	プログラミング上の注意事項	文章変更
5	5.2	142	個別機能についての注意事項のまとめ	文章変更
7	7.1	146	絶対最大定格	表変更
	7.2	146	推奨動作条件	表変更
	7.3	146	DC特性	表変更
9	9.1	155	パッド配置図	図変更
Appendix	A.4.2	166	実ICとの相違点	文章変更、図削除

製品型番体系

●デバイス



●開発ツール



目 次

1	概要	1
1.1	特長	1
1.2	ブロック図	2
1.3	端子配置図	3
1.4	端子説明	4
1.5	マスクオプション	5
2	電源系 および イニシャルリセット	9
2.1	電源系	9
2.1.1	OSC1発振回路用定電圧回路	10
2.1.2	高速動作用定電圧回路	10
2.1.3	内部動作電圧V _{D1}	10
2.1.4	LCD系電圧回路	10
2.1.5	アナログ回路用電源	11
2.2	イニシャルリセット	12
2.2.1	リセット端子(RESET)	12
2.2.2	入力ポート(K00~K03)の同時HIGH入力	13
2.2.3	イニシャルリセット時の内部レジスタ	13
2.2.4	イニシャルリセット時の端子設定	14
2.3	テスト端子 (TEST)	14
3	CPU, ROM, RAM	15
3.1	CPU	15
3.2	コードROM	15
3.3	RAM	15
3.4	データROM	16
4	周辺回路と動作	17
4.1	メモリマップ	17
4.2	ウォッチドッグタイマ	26
4.2.1	ウォッチドッグタイマの構成	26
4.2.2	割り込み機能	26
4.2.3	ウォッチドッグタイマのI/Oメモリ	27
4.2.4	プログラミング上の注意事項	27
4.3	発振回路	28
4.3.1	発振回路の構成	28
4.3.2	OSC1発振回路	28
4.3.3	OSC3発振回路	29
4.3.4	CPUクロックの切り換え	30
4.3.5	クロック周波数とインストラクション実行時間	30
4.3.6	発振回路のI/Oメモリ	31
4.3.7	プログラミング上の注意事項	32

4.4	入力ポート (K00～K03, K10～K13)	33
4.4.1	入力ポートの構成	33
4.4.2	割り込み機能	33
4.4.3	マスクオプション	34
4.4.4	入力ポートのI/Oメモリ	35
4.4.5	プログラミング上の注意事項	37
4.5	出力ポート (R00～R03)	38
4.5.1	出力ポートの構成	38
4.5.2	マスクオプション	38
4.5.3	ハイインピーダンス制御	39
4.5.4	特殊出力	39
4.5.5	出力ポートのI/Oメモリ	41
4.5.6	プログラミング上の注意事項	42
4.6	入出力兼用ポート (P00～P03, P10～P13)	43
4.6.1	入出力兼用ポートの構成	43
4.6.2	マスクオプション	44
4.6.3	I/O制御レジスタと入力/出力モード	44
4.6.4	入力モード時のプルダウン	44
4.6.5	入出力兼用ポートのI/Oメモリ	45
4.6.6	プログラミング上の注意事項	47
4.7	LCDドライバ (COM0～COM3, SEG0～SEG37)	48
4.7.1	LCDドライバの構成	48
4.7.2	LCD駆動電源	48
4.7.3	LCD表示のON/OFFとLCD駆動波形	48
4.7.4	表示メモリ	52
4.7.5	セグメントオプション	52
4.7.6	LCDコントラスト調整	54
4.7.7	LCDドライバのI/Oメモリ	55
4.7.8	プログラミング上の注意事項	56
4.8	計時タイマ	57
4.8.1	計時タイマの構成	57
4.8.2	データの読み出しとホールド機能	57
4.8.3	割り込み機能	58
4.8.4	計時タイマのI/Oメモリ	59
4.8.5	プログラミング上の注意事項	60
4.9	ストップウォッチタイマ	61
4.9.1	ストップウォッチタイマの構成	61
4.9.2	カウンタとプリスケール	61
4.9.3	キャプチャバッファとホールド機能	62
4.9.4	ストップウォッチタイマのRUN/STOPおよびリセット	63
4.9.5	ダイレクト入力機能とキーマスク	63
4.9.6	割り込み機能	66
4.9.7	ストップウォッチタイマのI/Oメモリ	68
4.9.8	プログラミング上の注意事項	71

4.10	プログラマブルタイマ	72
4.10.1	プログラマブルタイマの構成	72
4.10.2	カウンタの基本動作	73
4.10.3	入力クロックの設定	74
4.10.4	イベントカウンタモード(タイマ0)	74
4.10.5	PWMモード(タイマ0, タイマ1)	75
4.10.6	16ビットタイマ(タイマ0+タイマ1)	76
4.10.7	割り込み機能	76
4.10.8	TOUT出力の設定	77
4.10.9	シリアルインタフェースの転送速度設定	78
4.10.10	プログラマブルタイマのI/Oメモリ	79
4.10.11	プログラミング上の注意事項	85
4.11	シリアルインタフェース (SIN, SOUT, SCLK, SRDY)	87
4.11.1	シリアルインタフェースの構成	87
4.11.2	マスクオプション	88
4.11.3	シリアルインタフェースのマスタモードとスレーブモード	88
4.11.4	データの入出力と割り込み	89
4.11.5	シリアルインタフェースのI/Oメモリ	92
4.11.6	プログラミング上の注意事項	95
4.12	サウンドジェネレータ	96
4.12.1	サウンドジェネレータの構成	96
4.12.2	ブザー出力の制御	96
4.12.3	ブザー周波数と音量の設定	97
4.12.4	デジタルエンベロープ	98
4.12.5	1ショット出力	99
4.12.6	サウンドジェネレータのI/Oメモリ	100
4.12.7	プログラミング上の注意事項	102
4.13	整数乗除算器	103
4.13.1	整数乗除算器の構成	103
4.13.2	乗算モード	103
4.13.3	除算モード	104
4.13.4	実行サイクル	105
4.13.5	整数乗除算器のI/Oメモリ	106
4.13.6	プログラミング上の注意事項	107
4.14	R/Fコンバータ	108
4.14.1	R/Fコンバータの構成	108
4.14.2	接続端子とCR発振回路	109
4.14.3	R/F変換	112
4.14.4	割り込み機能	115
4.14.5	R/FコンバータのI/Oメモリ	117
4.14.6	プログラミング上の注意事項	120
4.15	ステッピングモータドライバ	121
4.15.1	ステッピングモータドライバの構成	121
4.15.2	モータ駆動パルスの設定	122
4.15.3	パルス出力制御	123
4.15.4	割り込み機能	123
4.15.5	ステッピングモータドライバのI/Oメモリ	124
4.15.6	プログラミング上の注意事項	127

4.16	SVD(電源電圧検出)回路	128
4.16.1	SVD回路の構成	128
4.16.2	SVD動作	128
4.16.3	SVD回路のI/Oメモリ	129
4.16.4	プログラミング上の注意事項	130
4.17	割り込みとHALT	131
4.17.1	割り込みの要因	133
4.17.2	割り込みの個別マスク	134
4.17.3	割り込みベクタ	134
4.17.4	割り込みのI/Oメモリ	135
4.17.5	プログラミング上の注意事項	137
5	注意事項のまとめ	138
5.1	低消費電流化のための注意事項	138
5.2	個別機能についての注意事項のまとめ	139
5.3	実装上の注意事項	143
6	基本外部結線図	145
7	電気的特性	146
7.1	絶対最大定格	146
7.2	推奨動作条件	146
7.3	DC特性	146
7.4	アナログ回路特性・消費電流	147
7.5	発振特性	148
7.6	シリアルインタフェースAC特性	150
7.7	タイミングチャート	151
7.8	R/Fコンバータ特性	152
8	パッケージ	153
8.1	プラスチックパッケージ	153
8.2	テストサンプル用セラミックパッケージ	154
9	パッド配置	155
9.1	パッド配置図	155
9.2	パッド座標	156

APPENDIX Peripheral Circuit Board for S1C63656 _____ 157

A.1	各部の名称と機能	157
A.1.1	S5U1C63000P1	157
A.1.2	S5U1C63658P2	160
A.2	ターゲットシステムとの接続	161
A.3	S5U1C63000P1へのダウンロード	164
A.3.1	新ICE(S5U1C63000H2)使用時における回路データのダウンロード	164
A.3.2	旧ICE(S5U1C63000H1)使用時における回路データのダウンロード	164
A.4	使用上の注意	165
A.4.1	操作上の注意事項	165
A.4.2	実ICとの相違点	165
A.5	製品の仕様	168
A.5.1	S5U1C63000P1の仕様	168
A.5.2	S5U1C63658P2の仕様	168

1 概要

S1C63656は高性能4ビットCPU S1C63000を中心に、ワンチップ上にROM(6,144ワード×13ビット)、RAM(1,024ワード×4ビット)、乗除算回路、シリアルインタフェース、ウォッチドッグタイマ、プログラマブルタイマ、タイムベースカウンタ(2系統)、最大38セグメント×4コモンLCDドライバ、サウンドジェネレータ、R/Fコンバータ、ステッピングモータドライバ等を内蔵したマイクロコンピュータです。低消費電流を特長とし、電池駆動を必要とする温度/湿度計測機能付きのクロックやウォッチへの応用に適しています。

1.1 特長

OSC1発振回路	32.768kHz(Typ.)水晶発振回路	
OSC3発振回路	4MHz(Max.)セラミック発振回路(OSC3をR/Fコンバータの動作クロックとして使用する場合は2MHz Max.)	
	1.1MHz(Typ.)CR発振回路	
	または使用しない(*1)	
インストラクションセット	基本命令 46種類(全命令数 411種類)、アドレッシングモード 8種類	
インストラクション実行時間	32.768kHz動作時: 61μsec 122μsec 183μsec	
	4MHz動作時: 0.5μsec 1μsec 1.5μsec	
ROM容量	命令ROM: 6,144ワード×13ビット	
	データROM: 1,024ワード×4ビット	
RAM容量	データメモリ: 1,024ワード×4ビット	
	表示メモリ: 48ワード×4ビット	
入力ポート	8ビット(プルダウン抵抗の付加が可能*1)	
出力ポート	4ビット(2ビットを特殊出力に切り換え可能*2)	
入出力兼用ポート	8ビット(4ビットをシリアルI/F入出力に切り換え可能*2)	
シリアルインタフェース	1ポート(クロック同期式8ビット)	
LCDドライバ	38セグメント×4または3コモン(*2)	
タイムベースカウンタ	計時タイマ	
	ストップウォッチタイマ(1/1000秒、ダイレクトキー入力機能付き)	
プログラマブルタイマ	16ビットPWM×1ch、または8ビットPWM×2ch(*2)	
ウォッチドッグタイマ	内蔵	
サウンドジェネレータ	エンベロープ、1ショット出力機能付き	
R/Fコンバータ	2ch、CR発振方式、20ビットカウンタ、湿度センサに対応	
乗除算回路	8ビット演算器 1ch	
	乗算: 8ビット×8ビット → (積)16ビット	
	除算: 16ビット÷8ビット → (商)8ビット、(剰余)8ビット	
ステッピングモータドライバ ...	2ch、クロックまたはウォッチを実現可能	
電源電圧検出(SVD)回路	検出電圧: 1.85V~2.90V(OSC3未使用時は1.13V~1.64V)から選択可(*2)	
外部割り込み	入力ポート割り込み	2系統
内部割り込み	計時タイマ割り込み	5系統
	ストップウォッチタイマ割り込み	4系統
	プログラマブルタイマ割り込み	4系統
	シリアルインタフェース割り込み	1系統
	R/Fコンバータ割り込み	2系統
	モータドライバ割り込み	2系統
電源電圧	2.4V~3.6V 動作周波数4MHz(Max.)	OSC3使用時
	1.1V~3.6V 動作周波数32kHz	OSC3未使用時
動作温度範囲	-20°C~70°C	
消費電流(Typ.)	低速(32kHz OSC1水晶発振)動作時:	
	HALT時 3.0V(液晶電源ON)	0.60μA
	動作時 3.0V(液晶電源ON)	2.50μA
	高速(OSC3セラミック発振)動作時:	
	動作時(4MHz) 3.0V(液晶電源ON)	1.0mA
出荷形態	QFP20-144pin(プラスチック)またはチップ	

*1: マスクオプションにより選択 *2: ソフトウェアにより選択

1.2 ブロック図

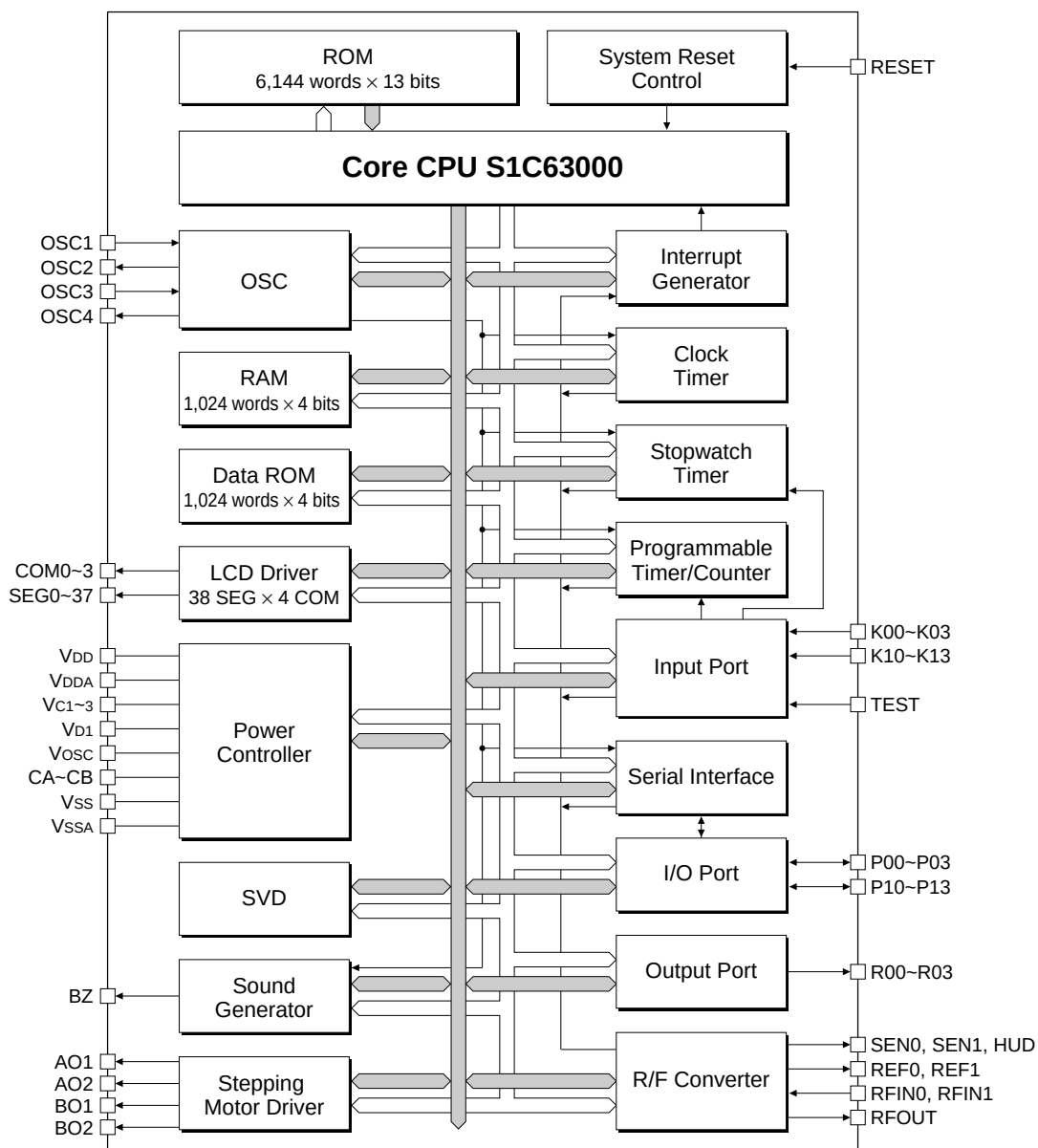
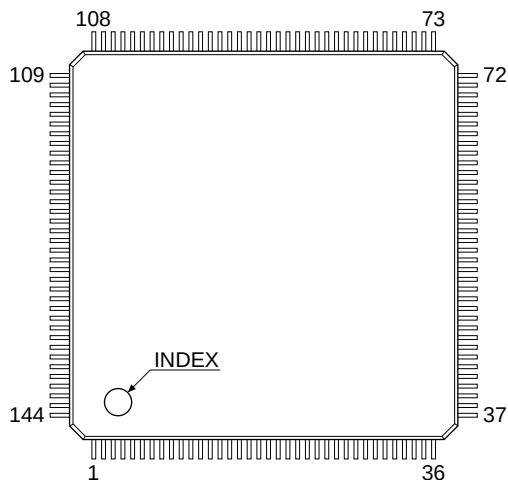


図1.2.1 ブロック図

1.3 端子配置図

QFP20-144pin



No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	CB	37	RESET	73	VDD	109	VDD
2	VC1	38	N.C.	74	K00	110	N.C.
3	VC2	39	N.C.	75	K01	111	N.C.
4	VC3	40	N.C.	76	K02	112	N.C.
5	VSSA	41	N.C.	77	N.C.	113	N.C.
6	RFOUT	42	N.C.	78	K03	114	N.C.
7	N.C.	43	N.C.	79	K10	115	N.C.
8	RFIN0	44	N.C.	80	K11	116	N.C.
9	RFIN1	45	N.C.	81	K12	117	N.C.
10	REF0	46	SEG19	82	K13	118	SEG0
11	SEN0	47	SEG20	83	N.C.	119	SEG1
12	REF1	48	SEG21	84	N.C.	120	SEG2
13	SEN1	49	SEG22	85	P00	121	SEG3
14	N.C.	50	SEG23	86	N.C.	122	SEG4
15	N.C.	51	SEG24	87	P01	123	SEG5
16	HUD	52	SEG25	88	P02	124	SEG6
17	N.C.	53	SEG26	89	P03	125	SEG7
18	N.C.	54	SEG27	90	N.C.	126	SEG8
19	N.C.	55	SEG28	91	N.C.	127	SEG9
20	N.C.	56	SEG29	92	P10	128	SEG10
21	N.C.	57	SEG30	93	P11	129	SEG11
22	VDDA	58	SEG31	94	P12	130	SEG12
23	VDDA	59	SEG32	95	N.C.	131	SEG13
24	VoSC	60	SEG33	96	P13	132	SEG14
25	N.C.	61	SEG34	97	R00	133	SEG15
26	N.C.	62	SEG35	98	N.C.	134	SEG16
27	N.C.	63	SEG36	99	R01	135	SEG17
28	N.C.	64	SEG37	100	R02	136	SEG18
29	OSC1	65	N.C.	101	N.C.	137	N.C.
30	OSC2	66	N.C.	102	R03	138	N.C.
31	VD1	67	N.C.	103	BZ	139	N.C.
32	N.C.	68	N.C.	104	Vss	140	N.C.
33	OSC3	69	N.C.	105	AO1	141	N.C.
34	OSC4	70	N.C.	106	AO2	142	COM0
35	Vss	71	COM2	107	BO1	143	COM1
36	TEST	72	COM3	108	BO2	144	CA

N.C. : No Connection

図1.3.1 端子配置図 (QFP20-144pin)

1.4 端子説明

表1.4.1 端子説明

端子名	端子No.	入出力	機 能
VDD	73, 109	–	電源(+)端子
VSS	35, 104	–	電源(–)端子
VDDA	22, 23	–	アナログ系電源(+)端子(=VDD)
VSSA	5	–	アナログ系電源(–)端子(=VSS)
VD1	31	–	内部ロジック動作電圧出力端子
VOsc	24	–	OSC1発振用定電圧出力端子
VC1~VC3	2~4	–	LCD系電源端子
CA, CB	144, 1	–	LCD系昇圧コンデンサ接続端子
OSC1	29	I	水晶発振入力端子
OSC2	30	O	水晶発振出力端子
OSC3	33	I	セラミックまたはCR発振入力端子(マスクオプション選択)
OSC4	34	O	セラミックまたはCR発振出力端子(マスクオプション選択)
K00~K03	74~76, 78	I	入力端子
K10~K13	79~82	I	入力端子
P00~P03	85, 87~89	I/O	入出力端子
P10	92	I/O	入出力端子(シリアルI/F SIN入力にソフト切り換え)
P11	93	I/O	入出力端子(シリアルI/F SOUT出力にソフト切り換え)
P12	94	I/O	入出力端子(シリアルI/F SCLK入出力にソフト切り換え)
P13	96	I/O	入出力端子(シリアルI/F SRDY出力にソフト切り換え)
R00	97	O	出力端子
R01	99	O	出力端子
R02	100	O	出力端子(TOUT信号出力にソフト切り換え)
R03	102	O	出力端子(FOUT信号出力にソフト切り換え)
AO1	105	O	モータドライバCh.1駆動パルス出力端子1
AO2	106	O	モータドライバCh.1駆動パルス出力端子2
BO1	107	O	モータドライバCh.2駆動パルス出力端子1
BO2	108	O	モータドライバCh.2駆動パルス出力端子2
COM0~COM3	142, 143, 71, 72	O	LCDコモン出力端子(1/4, 1/3デューティをソフト切り換え)
SEG0~SEG37	118~136, 46~64	O	LCDセグメント出力端子
SEN0	11	O	R/FコンバータCh.0 CR発振出力端子
SEN1	13	O	R/FコンバータCh.1 CR発振出力端子
REF0	10	O	R/FコンバータCh.0基準発振出力端子
REF1	12	O	R/FコンバータCh.1基準発振出力端子
HUD	16	O	湿度センサ用CR交流発振出力端子
RFIN0	8	I	R/FコンバータCh.0 CR発振入力端子
RFIN1	9	I	R/FコンバータCh.1 CR発振入力端子
RFOUT	6	O	R/Fコンバータ発振周波数出力端子
BZ	103	O	サウンド出力端子
RESET	37	I	イニシャルリセット入力端子
TEST	36	I	テスト用入力端子

1.5 マスクオプション

S1C63656には以下に示すマスクオプションが設定されています。

各マスクオプションには複数のハードウェア仕様が用意されており、アプリケーションに合わせて選択することができます。この選択にはS1C63656の開発ソフトウェアツールとして用意されているファンクションオプションジェネレータwinfogおよびセグメントオプションジェネレータwinsogを使用します。これらのオプションジェネレータによって作成したデータをもとに最終的なICのマスクパターン生成が行われます。winfog、winsogについては"S5U1C63000A Manual"を参照してください。

〈マスクオプションの概要〉

(1) OSC1発振回路

OSC1発振回路は、水晶発振回路に固定されています。詳細については"4.3.2 OSC1発振回路"を参照してください。

(2) OSC3発振回路

OSC3発振回路としてセラミック発振回路、CR発振回路(R外付け)、CR発振回路(R内蔵)、またはNo Operation(未使用)が選択できます。詳細については"4.3.3 OSC3発振回路"を参照してください。

(3) 入力ポートプルダウン抵抗

入力ポートにプルダウン抵抗を付加するかしないか選択できます。この選択は入力ポートの各ビットごとに行えます。詳細については"4.4.3 マスクオプション"を参照してください。

(4) RESET端子プルダウン抵抗

RESET端子にプルダウン抵抗を付加するかしないか選択できます。詳細については"2.2.1 リセット端子(RESET)"を参照してください。

(5) 入出力兼用ポートプルダウン抵抗

入出力兼用ポートP00～P03、P10～P13が入力モード時に働くプルダウン抵抗を付加するかしないか選択できます。選択は1ビット単位で行います。詳細については"4.6.2 マスクオプション"を参照してください。

(6) 出力ポートの出力仕様

出力ポートR00～R03の出力仕様として、コンプリメンタリ出力またはPチャンネルオープンドレイン出力が選択できます。選択は1ビット単位で行います。詳細については"4.5.2 マスクオプション"を参照してください。

(7) 入出力兼用ポートの出力仕様

入出力兼用ポートP00～P03、P10～P13が出力モードの際の出力仕様として、コンプリメンタリ出力またはPチャンネルオープンドレイン出力が選択できます。選択は1ビット単位で行います。詳細については"4.6.2 マスクオプション"を参照してください。

(8) 入力ポート(K00～K03)同時HIGH入力による外部リセット

この機能は、複数キーの同時押しによってICをリセットするもので、この機能を使用するかしないかをマスクオプションで選択できます。また、使用する場合は、同時に押すキーを接続する入力ポート(K00～K03)の組み合わせを選択します。詳細については"2.2.2 入力ポート(K00～K03)の同時HIGH入力"を参照してください。

(9) 入力ポート同時HIGH入力リセットの時間検定回路

(8)の外部リセット機能を使用する場合は、"時間検定回路を使用する"が選択されます。時間検定回路を使用すると、規定時間以上の同時HIGH入力があった場合のみ、リセット機能が働きます。外部リセット機能を使用しない場合、時間検定回路は使用できません。詳細については"2.2.2 入力ポート(K00～K03)の同時HIGH入力"を参照してください。

(10)シリアルインタフェースの同期クロック極性

シリアルインタフェースの同期クロックSCLKおよびスレーブモード時のSRDY信号の極性を正極性とするか負極性とするか選択できます。詳細については"4.11.2 マスクオプション"を参照してください。

(11)LCD駆動電源

LCD駆動用電源として、内蔵電源回路を使用するか外部電源を使用するか選択できます。詳細については"4.7.2 LCD駆動電源"を参照してください。

(12)LCDセグメント仕様

SEG端子に対する表示メモリの割り付け、DC出力として使用するSEG端子の設定が行えます。詳細については"4.7.5 セグメントオプション"を参照してください。

〈オプションリスト〉

S1C63656のオプションリストを以下に示します。各オプション項目には、複数の選択肢が用意されていますので、システムに合った内容を選択し、☐に印を付けてください。なお、使用しない機能についても必ず選択してください。

1. OSC1発振回路(OSC1 System Clock)

☐ 1. 水晶

2. OSC3発振回路(OSC3 System Clock)

- ☐ 1. CR(R内蔵)
☐ 2. CR(R外付け)
☐ 3. セラミック
☐ 4. No Operation(未使用)

3. 入力ポートプルダウン抵抗(Input Port Pull Down Resistor)

- | | | |
|-----------|--------------------------------|--------------------------------|
| K00 | ☐ 1. あり | ☐ 2. なし |
| K01 | ☐ 1. あり | ☐ 2. なし |
| K02 | ☐ 1. あり | ☐ 2. なし |
| K03 | ☐ 1. あり | ☐ 2. なし |
| K10 | ☐ 1. あり | ☐ 2. なし |
| K11 | ☐ 1. あり | ☐ 2. なし |
| K12 | ☐ 1. あり | ☐ 2. なし |
| K13 | ☐ 1. あり | ☐ 2. なし |

4. RESET端子プルダウン抵抗(Reset Port Pull Down Resistor)

- RESET ☐ 1. あり ☐ 2. なし

5. I/Oポートプルダウン抵抗(I/O Port Pull Down Resistor)

- | | | |
|-----------|--------------------------------|--------------------------------|
| P00 | ☐ 1. あり | ☐ 2. なし |
| P01 | ☐ 1. あり | ☐ 2. なし |
| P02 | ☐ 1. あり | ☐ 2. なし |
| P03 | ☐ 1. あり | ☐ 2. なし |
| P10 | ☐ 1. あり | ☐ 2. なし |
| P11 | ☐ 1. あり | ☐ 2. なし |
| P12 | ☐ 1. あり | ☐ 2. なし |
| P13 | ☐ 1. あり | ☐ 2. なし |

6. 出力ポート出力仕様(Output Port Output Specification)

- | | | |
|-----------|--------------------------------------|---|
| R00 | ☐ 1. コンプリメンタリ | ☐ 2. Pchオープンドレイン |
| R01 | ☐ 1. コンプリメンタリ | ☐ 2. Pchオープンドレイン |
| R02 | ☐ 1. コンプリメンタリ | ☐ 2. Pchオープンドレイン |
| R03 | ☐ 1. コンプリメンタリ | ☐ 2. Pchオープンドレイン |

7. I/Oポート出力仕様(I/O Port Output Specification)

- | | | |
|-----------|--------------------------------------|---|
| P00 | ☐ 1. コンプリメンタリ | ☐ 2. Pchオープンドレイン |
| P01 | ☐ 1. コンプリメンタリ | ☐ 2. Pchオープンドレイン |
| P02 | ☐ 1. コンプリメンタリ | ☐ 2. Pchオープンドレイン |
| P03 | ☐ 1. コンプリメンタリ | ☐ 2. Pchオープンドレイン |
| P10 | ☐ 1. コンプリメンタリ | ☐ 2. Pchオープンドレイン |
| P11 | ☐ 1. コンプリメンタリ | ☐ 2. Pchオープンドレイン |
| P12 | ☐ 1. コンプリメンタリ | ☐ 2. Pchオープンドレイン |
| P13 | ☐ 1. コンプリメンタリ | ☐ 2. Pchオープンドレイン |

8. キー同時押しリセット組み合わせ(Multiple Key Entry Reset Combination)

- ☐ 1. 使用しない
- ☐ 2. 使用する <K00, K01>
- ☐ 3. 使用する <K00, K01, K02>
- ☐ 4. 使用する <K00, K01, K02, K03>

9. キー同時押しリセット時間検定(Multiple Key Entry Reset Time Authorize)

- ☐ 1. 使用しない
- ☐ 2. 使用する

10. シリアルインタフェース極性(SIO Sync Clock & SRDY)

- ☐ 1. 負極性
- ☐ 2. 正極性

11. LCD駆動電源(LCD Driving Power)

- ☐ 1. 内部電源(3.0Vパネル、通常モード、コントラスト調整機能あり)
- ☐ 2. 外部電源 1/3バイアス, $V_{DD}=V_{C2}$ (4.5Vパネル)
- ☐ 3. 外部電源 1/3バイアス, $V_{DD}=V_{C3}$ (3.0Vパネル)
- ☐ 4. 外部電源 1/2バイアス, $V_{DD}=V_{C3}$, $V_{C1}=V_{C2}$ (3.0Vパネル)
- ☐ 5. 内部電源(3.0Vパネル、低パワーモード、コントラスト調整機能なし)

12. セグメントオプション

端子名	アドレス (F0xx)												出力仕様
	COM0			COM1			COM2			COM3			
	H	L	D	H	L	D	H	L	D	H	L	D	
SEG0													SEG出力 ☐ S
SEG1													DC出力 ☐ C ☐ N
SEG2													SEG出力 ☐ S
SEG3													DC出力 ☐ C ☐ N
SEG4													SEG出力 ☐ S
SEG5													DC出力 ☐ C ☐ N
SEG6													SEG出力 ☐ S
SEG7													DC出力 ☐ C ☐ N
SEG8													SEG出力 ☐ S
SEG9													DC出力 ☐ C ☐ N
SEG10													SEG出力 ☐ S
SEG11													DC出力 ☐ C ☐ N
SEG12													SEG出力 ☐ S
SEG13													DC出力 ☐ C ☐ N
SEG14													SEG出力 ☐ S
SEG15													DC出力 ☐ C ☐ N
SEG16													SEG出力 ☐ S
SEG17													DC出力 ☐ C ☐ N
SEG18													SEG出力 ☐ S
SEG19													DC出力 ☐ C ☐ N
SEG20													SEG出力 ☐ S
SEG21													DC出力 ☐ C ☐ N
SEG22													SEG出力 ☐ S
SEG23													DC出力 ☐ C ☐ N
SEG24													SEG出力 ☐ S
SEG25													DC出力 ☐ C ☐ N
SEG26													SEG出力 ☐ S
SEG27													DC出力 ☐ C ☐ N
SEG28													SEG出力 ☐ S
SEG29													DC出力 ☐ C ☐ N
SEG30													SEG出力 ☐ S
SEG31													DC出力 ☐ C ☐ N
SEG32													SEG出力 ☐ S
SEG33													DC出力 ☐ C ☐ N
SEG34													SEG出力 ☐ S
SEG35													DC出力 ☐ C ☐ N
SEG36													SEG出力 ☐ S
SEG37													DC出力 ☐ C ☐ N
〈アドレス〉 H: RAMデータ上位アドレス (0~9) L: RAMデータ下位アドレス (0~F) D: データビット (0~3)													
〈出力仕様〉 S: セグメント出力 C: コンプリメンタリ出力 N: Nchオープンドレイン出力													

2 電源系 および イニシャルリセット

2.1 電源系

S1C63656の動作電源電圧は次のとおりです。動作電圧範囲は、マスクオプションによるOSC3使用/未使用の選択によって変わります。

OSC3発振回路	最大動作周波数	動作電源電圧
使用する	4MHz(OSC3)	2.4V～3.6V
使用しない	32kHz(OSC1のみ)	1.1V～3.6V

S1C63656は上記範囲の単一電源を V_{DD} — V_{SS} 間を与えることにより動作し、内部動作に必要な電圧を内蔵の電源回路によりIC自身で発生します。

回路系	電源回路	出力電圧
OSC1発振回路	OSC1発振回路用定電圧回路	V_{OSC}
内部回路(OSC3未使用時)	OSC1発振回路用定電圧回路	V_{OSC}
OSC3発振、内部回路(OSC3使用時)	高速用定電圧回路	V_{D3}
LCDドライバ	LCD系電圧回路	$V_{C1} \sim V_{C3}$

- 注: ・ 内部電源回路の出力電圧による外付け負荷の駆動は禁止します。
 ・ 電圧値、駆動能力については"7 電氣的特性"を参照してください。

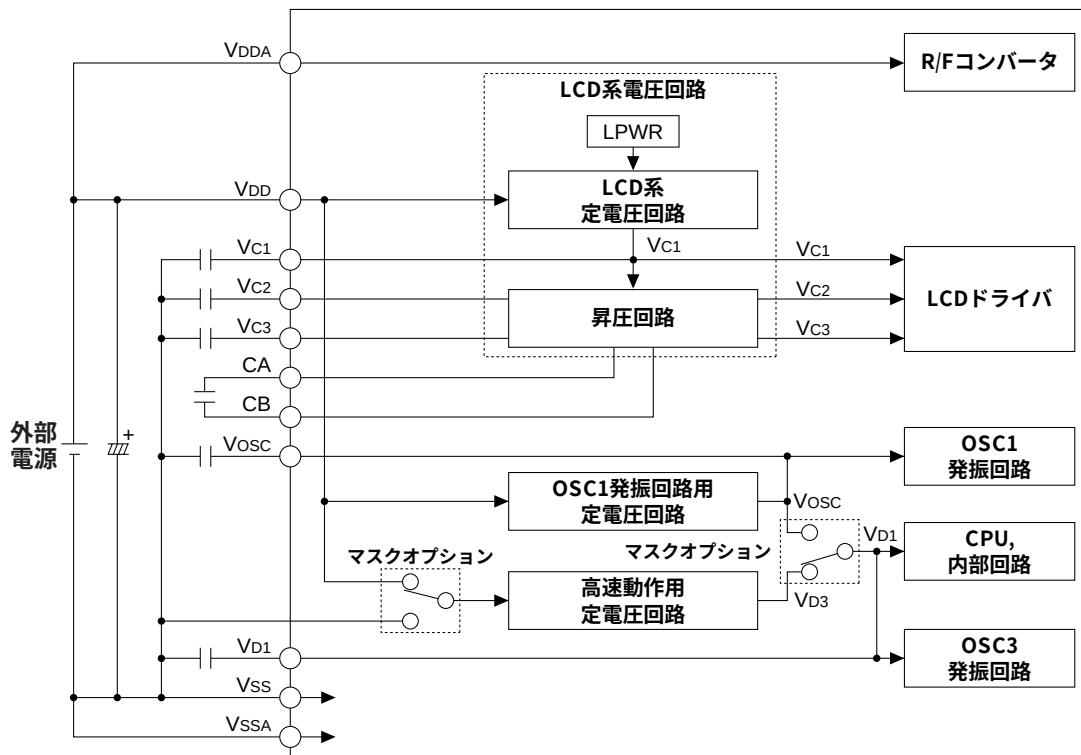


図2.1.1 電源系の構成

図2.1.1内の点線で囲まれた2個のスイッチはOSC3発振回路のマスクオプションです。

図はOSC3発振回路を使用するオプション（発振回路の種類）を選択した場合のスイッチの状態を示しています。OSC3を使用しないオプション（No Operation）を選択した場合、どちらのスイッチも逆方向に切り換わります。

2.1.1 OSC1発振回路用定電圧回路

OSC1発振回路用定電圧回路は、OSC1発振回路の動作電圧 V_{osc} (0.98V Typ.)を発生します。
この定電圧回路は常時動作します。

2.1.2 高速動作用定電圧回路

高速動作用定電圧回路は、OSC3発振回路および内部ロジック回路の高速動作の電圧 V_{D3} (2.0V Typ.)を発生します。

マスクオプションでOSC3の使用を選択した場合、この定電圧回路は常時動作します。

逆にOSC3の未使用を選択した場合は動作しないため、消費電流が低減できます。

2.1.3 内部動作電圧 V_{D1}

V_{D1} はCPUと内部ロジック回路の動作電圧です。OSC3クロックによる高速動作に比べ、OSC1クロックによる動作は低い電圧で可能で、それにより消費電流も低減できます。このため、マスクオプションによるOSC3使用/未使用の選択にしたがって V_{D1} の電圧が切り換わるようになっています。

OSC3の未使用を選択した場合、OSC1発振回路用定電圧回路が出力する V_{osc} (0.98V Typ.)を V_{D1} として使用します。

OSC3の使用を選択した場合、高速動作用定電圧回路が出力する V_{D3} (2.0V Typ.)を V_{D1} として使用します。

2.1.4 LCD系電圧回路

LCD系電圧回路はLCD駆動電圧を発生します。この電圧回路はソフトウェア制御が可能で、LCDの表示を開始する前にONにします。

LCD系電圧回路は、その中の定電圧回路によって V_{C1} を発生し、その電圧を昇圧して他の2電位($V_{C2}=2V_{C1}$ 、 $V_{C3}=3V_{C1}$)を発生します。

V_{C1} を生成する定電圧回路は、動作モードをマスクオプションによって通常モード(コントラスト調整あり)と低パワーモード(コントラスト調整なし)から選択できます。

通常モードでは V_{C1} 電圧値をソフトウェアにより16段階(1.03V~1.40V)に調整でき、これによりコントラストが変わります。

低パワーモードは、コントラスト調整機能がない代わりに消費電流を低減できます。

マスクオプションによりLCD系定電圧回路を使用しない構成にすることもできます。この場合、LCD系定電圧回路用のコンデンサが不要となりますので、外付け素子を削減できます。ただし、LCD系定電圧回路を使用しない場合には、使用する場合に比べて電源電圧変動(低下)時のLCDの表示品質が劣化します。図2.1.4.1にLCD系定電圧回路を使用しない場合の外付け部品の構成を示します。

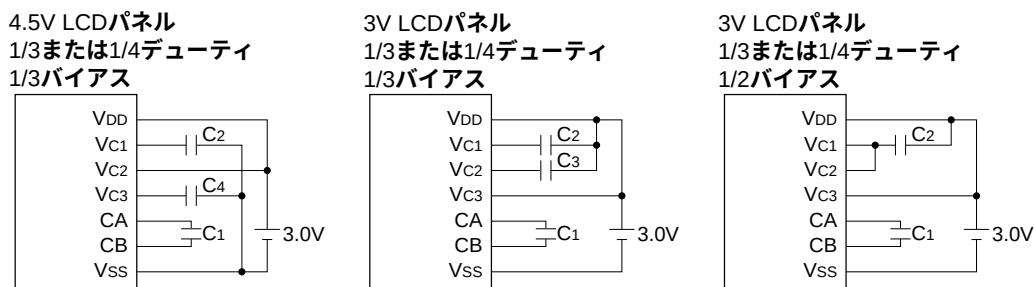


図2.1.4.1 LCD系定電圧回路を使用しない場合の外付け部品の構成

LCD駆動電圧の制御方法については"4.7 LCDドライバ"を参照してください。

2.1.5 アナログ回路用電源

R/Fコンバータの V_{DDA} 、 V_{SSA} は、ノイズによる変換精度への影響を低減するための専用電源端子です。
ただし、入力する電圧値は、 V_{DD} 、 V_{SS} と同じにしてください。

$V_{DDA} = V_{DD}$ 、 $V_{SSA} = V_{SS}$

2.2 イニシャルリセット

S1C63656は回路を初期化するためにイニシャルリセットを必要とします。イニシャルリセット要因としては次の2種類があります。

(1) RESET端子による外部イニシャルリセット

(2) K00～K03端子の同時HIGHレベル入力による外部イニシャルリセット(マスクオプションで設定)

(1)または(2)のいずれかにより回路が初期化されます。電源投入時は必ずこのリセット機能を使用し、確実に初期化する必要があります。電源投入のみでは回路が正しく初期化される保証はありません。

図2.2.1にイニシャルリセット回路の構成を示します。

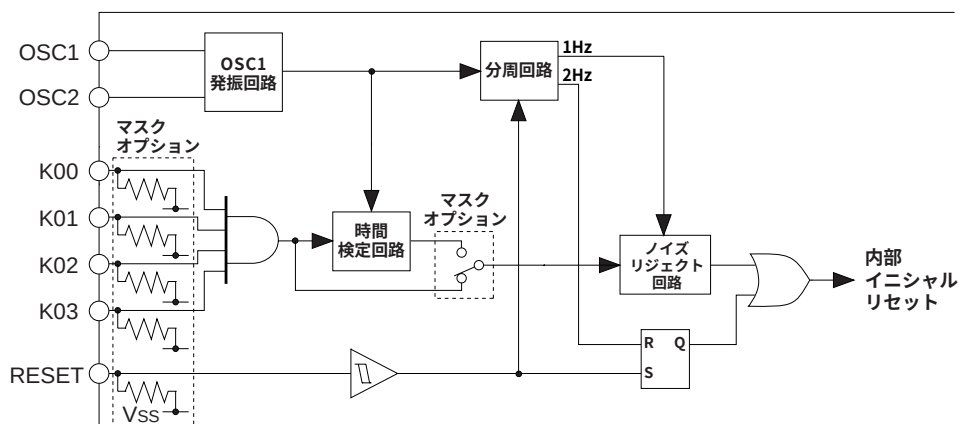


図2.2.1 イニシャルリセット回路の構成

2.2.1 リセット端子(RESET)

外部よりリセット端子をHIGHレベル(V_{DD})にすることによりイニシャルリセットが行えます。

その後、リセット端子をLOWレベル(V_{SS})にすることによりイニシャルリセットは解除され、CPUが動作を開始します。

リセット入力信号はRSラッチにより保持され、内部イニシャルリセット信号となります。RSラッチはOSC1クロックを分周した2Hz信号(HIGH)で解除されるようになっています。したがって、通常動作時はリセット端子がLOWレベルになった後、内部イニシャルリセットが解除されるまで、最大250msec($f_{osc1}=32.768\text{kHz}$ 時)の時間を要します。

確実にイニシャルリセットを行うために、リセット入力は最低0.1msec以上、HIGHレベルを保ってください。ただし、電源投入時については図2.2.1.1に示すタイミングでリセット端子をHIGHレベルにしてください。100nsec以下のリセット入力は、ノイズとして除去されます。

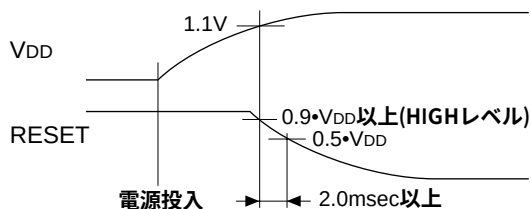


図2.2.1.1 電源投入時のイニシャルリセット

電源電圧が1.1V以上になるまで、リセット端子を0.9・ V_{DD} 以上(HIGHレベル)とします。

その後2.0msec以上、0.5・ V_{DD} 以上のレベルを保持します。

リセット端子にはプルダウン抵抗が組み込まれており、これを使用するかしないかをマスクオプションで選択することができます。

2.2.2 入力ポート(K00～K03)の同時HIGH入力

マスクオプションで選択された入力ポート(K00～K03)に、外部から同時にHIGH入力を与えることによりイニシャルリセットが行えます。このイニシャルリセットはノイズリジェク回路を通るため、動作中は1.5msec(発振周波数fosc1=32.768kHzの場合)以上、指定入力ポート端子をHIGHレベルに保ってください。また、電源投入時には発振が停止しているため、ノイズリジェク回路は動作しません。このため、発振開始後、さらに1.5msec(発振周波数fosc1=32.768kHzの場合)以上、指定入力ポート端子をHIGHレベルに保ってください。表2.2.2.1にマスクオプションで選択できる入力ポート(K00～K03)の組合せを示します。

表2.2.2.1 入力ポートの組合せ

1	使用しない
2	K00*K01
3	K00*K01*K02
4	K00*K01*K02*K03

たとえば、マスクオプションで4の"K00*K01*K02*K03"を選択した場合、K00～K03の4ポートの入力が同時にHIGHレベルになったときにイニシャルリセットを行います。2または3の場合は、選択した入力ポートの組合せが含まれるキー入力が行われたときにイニシャルリセットがかかります。

また、このリセット機能を選択すると、同時HIGH入力の入力時間を検定し、規定時間(1～2秒)以上の入力があったときにイニシャルリセットを行う時間検定回路のマスクオプションも同時に選択されます。

なお、このリセット機能を使用する場合、通常動作時に指定ポートが同時にHIGHレベルにならないように注意してください。

2.2.3 イニシャルリセット時の内部レジスタ

イニシャルリセットによりCPUは表2.2.3.1のように初期化されます。

イニシャルリセットによって初期化されないレジスタ、フラグは必要に応じてプログラムで初期化する必要があります。

特にスタックポインタSP1およびSP2は必ずペアで設定してください。イニシャルリセット後は、SP1、SP2両方のスタックポインタがソフトウェアにより設定されるまでNMIを含むすべての割り込みがマスクされます。

EXTレジスタにデータを書き込むとEフラグがセットされ、次の命令が拡張アドレッシングモードで実行されます。そこに拡張アドレッシングが禁止されている命令を使用した場合、動作が保証されません。したがって、EXTレジスタの初期化のみを目的としたデータ書き込みは行わないでください。

拡張アドレッシングと使用可能な命令については"S1C63000コアCPUマニュアル"を参照してください。

表2.2.3.1 初期設定値

CPUコア			
名 称	記号	ビット長	設定値
データレジスタA	A	4	不定
データレジスタB	B	4	不定
拡張レジスタEXT	EXT	8	不定
インデックスレジスタX	X	16	不定
インデックスレジスタY	Y	16	不定
プログラムカウンタ	PC	16	0110H
スタックポインタSP1	SP1	8	不定
スタックポインタSP2	SP2	8	不定
ゼロフラグ	Z	1	不定
キャリーフラグ	C	1	不定
インタラプトフラグ	I	1	0
拡張フラグ	E	1	0
キューレジスタ	Q	16	不定

周辺回路		
名 称	ビット長	設定値
RAM	4	不定
表示メモリ	4	不定
その他の周辺回路	—	*

* "4.1 メモリマップ"参照

2.2.4 イニシャルリセット時の端子設定

S1C63656の出力ポート(R)端子、入出力兼用ポート(P)端子は特殊出力端子やシリアルインタフェースの入出力端子と兼用されており、それらの機能をソフトウェアで選択するようになっています。イニシャルリセット時、各端子はすべてが汎用出力ポート端子、汎用入出力兼用ポート端子として設定されますので、アプリケーションの初期化ルーチンでシステムに合った設定を行ってください。また、システム設計の際には、出力端子の初期状態にも注意してください。

表2.2.4.1に兼用端子設定の一覧を示します。

表2.2.4.1 兼用端子設定一覧

端子名	イニシャルリセット時の 端子状態	特殊出力使用時		シリアルインタフェース使用時	
		TOUT	FOUT	Master	Slave
R00	R00 (LOW出力)				
R01	R01 (LOW出力)				
R02	R02 (LOW出力)	TOUT			
R03	R03 (LOW出力)		FOUT		
P00~P03	P00~P03 (入力&プルダウン*)				
P10	P10 (入力&プルダウン*)			SIN(I)	SIN(I)
P11	P11 (入力&プルダウン*)			SOUT(O)	SOUT(O)
P12	P12 (入力&プルダウン*)			SCLK(O)	SCLK(I)
P13	P13 (入力&プルダウン*)				SRDY(O)

* マスクオプションにて"プルダウンあり"選択時 ("プルダウンなし"選択時はハイインピーダンス)

機能の設定方法については各周辺回路の説明を参照してください。

2.3 テスト端子 (TEST)

ICの出荷検査時に使用する端子です。通常動作時はTESTをVssに接続してください。

3 CPU, ROM, RAM

3.1 CPU

S1C63656はCPU部分に4ビットコアCPU S1C63000を使用しています。
S1C63000については"S1C63000コアCPUマニュアル"を参照してください。

注: *S1C63656においては、SLEEP動作を想定していないため、SLP命令は使用できません。*

3.2 コードROM

内蔵コードROMはプログラム格納用のマスクROMで、6,144ステップ×13ビットの容量があります。コアCPUのプログラム領域は0000H～FFFFHステップまでリニアにアクセス可能ですが、S1C63656では、このうち0000H～17FFHステップがプログラム領域となります。イニシャルリセット後のプログラム開始番地が0110Hステップ、ノンマスカブル割り込み(NMI)ベクタが0100H、ハードウェア割り込みベクタが0102H～010EHステップに割り当てられています。

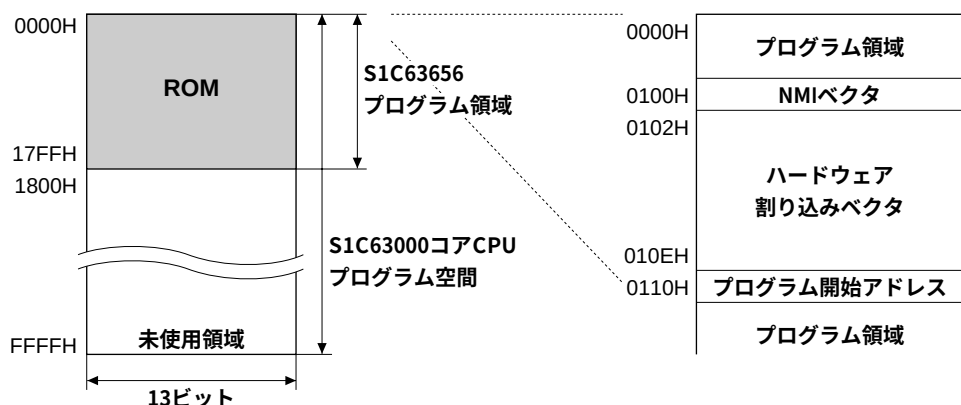


図3.2.1 コードROMの構成

3.3 RAM

RAMは種々のデータを格納するデータメモリで、1,024ワード×4ビットの容量があります。RAM領域は、データメモリマップ上のアドレス0000H～03FFHに割り当てられています。この中でアドレス0100H～01FFHが4ビット/16ビットデータアクセスが可能な領域、その他の領域は4ビットデータアクセスのみ可能な領域となっています。プログラミングの際には以下の点に注意してください。

- (1) データメモリの一部をサブルーチンコールやレジスタ退避時のスタック領域としても使用しますので、データ領域とスタック領域が重ならないように注意してください。
- (2) S1C63000コアCPUは、4ビットデータ用スタックポインタ(SP2)および16ビットデータ用スタックポインタ(SP1)によりスタック処理を行います。SP1によるスタック処理では16ビットデータアクセスが行われますので、このスタック領域の設定は4ビット/16ビットアクセスが可能な領域内(0100H～01FFH)で行ってください。スタックポインタは、SP1が0000H～03FFH、SP2が0000H～00FFHの範囲でサイクリックに動作します。このため、SP1はS1C63656の4ビット/16ビットアクセス領域を外れた0200H以上、あるいは00FFH以下の領域にも設定される可能性がありますので注意してください。SP1によるスタック操作以外のメモリアクセスは4ビットデータアクセスとなります。
また、イニシャルリセット時は、スタックポインタSP1、SP2の両方がソフトウェアで設定されるまでNMIを含むすべての割り込みがマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまでNMIを含む割り込みは再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

- (3) サブルーチンコールでは16ビットデータ用スタック(SP1)を4ワード(PCの退避)消費します。
割り込みでは16ビットデータ用スタックエリアを4ワード(PCの退避)、4ビットデータ用スタックエリアを1ワード(Fレジスタの退避)消費します。

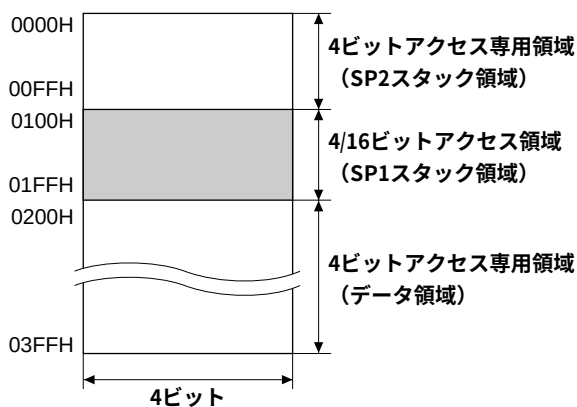


図3.3.1 データRAMの構成

3.4 データROM

データROMはキャラクタジェネレータなどの各種固定データ格納用のマスクROMで、1,024ワード×4ビットの容量があります。データメモリマップ上のアドレス8000H～83FFHに割り当てられており、RAMと同様にデータメモリアクセス命令でデータを読み出すことができます。

4 周辺回路と動作

S1C63656の周辺回路(タイマ、I/O等)はメモリマップドI/O方式で、CPUとインタフェースされています。このため、メモリマップ上のI/Oメモリをメモリ操作命令でアクセスすることにより、すべての周辺回路を制御することができます。

以下に、各周辺回路の動作について詳細に説明します。

4.1 メモリマップ

S1C63656のデータメモリは1,024ワードのRAM、1,024ワードのデータROM、48ワードの表示メモリ、101ワードの周辺I/Oメモリで構成されます。

図4.1.1にS1C63656の全体のメモリマップ、表4.1.1に周辺回路(I/O空間)のメモリマップを示します。

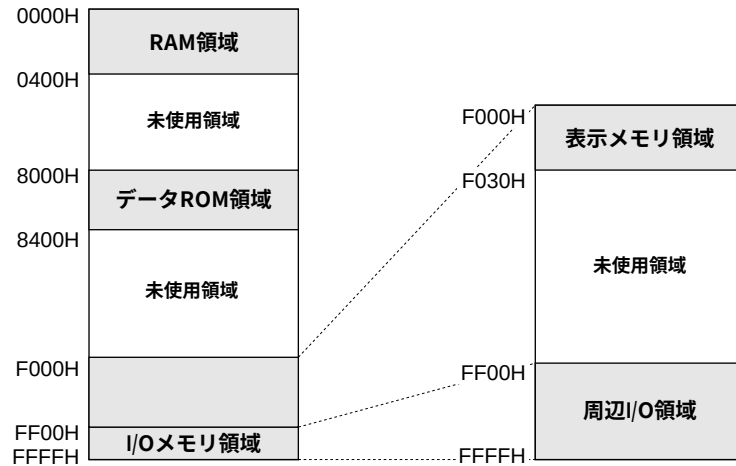


図4.1.1 メモリマップ

注: メモリマップの未使用領域にはメモリが実装されていません。また、周辺I/O領域にも非実装領域、未使用(アクセス禁止)領域が存在します。これらの領域をアクセスするようなプログラムを作成した場合は、正常な動作を保証することはできません。

周辺I/O領域については表4.1.1に示すI/Oメモリマップを参照してください。

表4.1.1(a) I/Oメモリマップ (FF01H~FF20H)

アドレス	レジスタ				注 釈			
	D3	D2	D1	D0	Name	Init *1	1	0
FF01H	CLKCHG	OSCC	0	0	CLKCHG	0	OSC3	OSC1
					OSCC	0	On	Off
	R/W		R		0 *3	- *2		
FF04H	0	SVDS2	SVDS1	SVDS0	0 *3	- *2		
					SVDS2	0		
	R	R/W			SVDS1	0		
					SVDS0	0		
FF05H	0	0	SVDDT	SVDON	0 *3	- *2		
					0 *3	- *2		
	R		R/W		SVDDT	0	Low	Normal
					SVDON	0	On	Off
FF06H	FOUTE	SWDIR	FOFQ1	FOFQ0	FOUTE	0	Enable	Disable
					SWDIR	0		
	R/W				FOFQ1	0		
					FOFQ0	0		
FF07H	0	0	WDEN	WDRST	0 *3	- *2		
					0 *3	- *2		
	R		R/W	W	WDEN	1	Enable	Disable
					WDRST *3	Reset	Reset	Invalid
FF10H	0	0	FTRG2	FTRG1	0 *3	- *2		
					0 *3	- *2		
	R		W	W	FTRG2	- *2	Trigger	Invalid
			R	R	FRUN2	0	Run	Stop
FF11H	0	0	0	PFWA4	0 *3	- *2		
					0 *3	- *2		
	R		R/W		0 *3	- *2		
					PFWA4	0		
FF12H	PFWA3	PFWA2	PFWA1	PFWA0	PFWA3	0		
					PFWA2	0		
	R/W				PFWA1	0		
					PFWA0	0		
FF13H	0	0	0	PFWB4	0 *3	- *2		
					0 *3	- *2		
	R		R/W		0 *3	- *2		
					PFWB4	0		
FF14H	PFWB3	PFWB2	PFWB1	PFWB0	PFWB3	0		
					PFWB2	0		
	R/W				PFWB1	0		
					PFWB0	0		
FF15H	0	0	0	PFTYP	0 *3	- *2		
					0 *3	- *2		
	R		R/W		0 *3	- *2		
					PFTYP	0	Short	Long
FF20H	SIK03	SIK02	SIK01	SIK00	SIK03	0	Enable	Disable
					SIK02	0	Enable	Disable
	R/W				SIK01	0	Enable	Disable
					SIK00	0	Enable	Disable

[注 釈]

*1 イニシャルリセット時の初期値 *2 回路上設定されない *3 読み出し時は常時"0"

表4.1.1(b) I/Oメモリマップ(FF21H~FF45H)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF21H	K03	K02	K01	K00	K03	—*2	High	Low	K00～K03入力ポートデータ
					K02	—*2	High	Low	
					K01	—*2	High	Low	
					K00	—*2	High	Low	
FF22H	KCP03	KCP02	KCP01	KCP00	KCP03	1			K00～K03入力比較レジスタ
					KCP02	1			
					KCP01	1			
					KCP00	1			
FF24H	SIK13	SIK12	SIK11	SIK10	SIK13	0	Enable	Disable	K10～K13割り込み選択レジスタ
					SIK12	0	Enable	Disable	
					SIK11	0	Enable	Disable	
					SIK10	0	Enable	Disable	
FF25H	K13	K12	K11	K10	K13	—*2	High	Low	K10～K13入力ポートデータ
					K12	—*2	High	Low	
					K11	—*2	High	Low	
					K10	—*2	High	Low	
FF26H	KCP13	KCP12	KCP11	KCP10	KCP13	1			K10～K13入力比較レジスタ
					KCP12	1			
					KCP11	1			
					KCP10	1			
FF30H	R03HIZ	R02HIZ	R01HIZ	R00HIZ	R03HIZ	0	High-Z	Output	R03出力ハイインピーダンス制御 (FOUTE=0) FOUT出力ハイインピーダンス制御 (FOUTE=1) R02出力ハイインピーダンス制御 (PTOUT=0) TOUT出力ハイインピーダンス制御 (PTOUT=1) R01出力ハイインピーダンス制御 R00出力ハイインピーダンス制御
					R02HIZ	0	High-Z	Output	
					R01HIZ	0	High-Z	Output	
					R00HIZ	0	High-Z	Output	
FF31H	R03	R02	R01	R00	R03	0	High	Low	R03出力ポートデータ (FOUTE=0) FOUT出力時は1に固定 R02出力ポートデータ (PTOUT=0) TOUT出力時は1に固定 R01出力ポートデータ R00出力ポートデータ
					R02	0	High	Low	
					R01	0	High	Low	
					R00	0	High	Low	
FF40H	IOC03	IOC02	IOC01	IOC00	IOC03	0	Output	Input	P00～P03 I/O制御レジスタ
					IOC02	0	Output	Input	
					IOC01	0	Output	Input	
					IOC00	0	Output	Input	
FF41H	PUL03	PUL02	PUL01	PUL00	PUL03	1	On	Off	P00～P03ブルダウン制御レジスタ
					PUL02	1	On	Off	
					PUL01	1	On	Off	
					PUL00	1	On	Off	
FF42H	P03	P02	P01	P00	P03	—*2	High	Low	P00～P03入出力兼用ポートデータ
					P02	—*2	High	Low	
					P01	—*2	High	Low	
					P00	—*2	High	Low	
FF44H	IOC13	IOC12	IOC11	IOC10	IOC13	0	Output	Input	P13 I/O制御レジスタ SIF(スレープ)選択時、汎用レジスタとして機能 P12 I/O制御レジスタ (ESIF=0) SIF選択時、汎用レジスタとして機能 P11 I/O制御レジスタ (ESIF=0) SIF選択時、汎用レジスタとして機能 P10 I/O制御レジスタ (ESIF=0) SIF選択時、汎用レジスタとして機能
					IOC12	0	Output	Input	
					IOC11	0	Output	Input	
					IOC10	0	Output	Input	
FF45H	PUL13	PUL12	PUL11	PUL10	PUL13	1	On	Off	P13ブルダウン制御レジスタ SIF(スレープ)選択時、汎用レジスタとして機能 P12ブルダウン制御レジスタ (ESIF=0) SIF(マスタ)選択時、汎用レジスタとして機能 SIF(スレープ)選択時、SCLK(I)ブルダウン制御レジスタ P11ブルダウン制御レジスタ (ESIF=0) SIF選択時、汎用レジスタとして機能 P10ブルダウン制御レジスタ (ESIF=0) SIF選択時、SINブルダウン制御レジスタ
					PUL12	1	On	Off	
					PUL11	1	On	Off	
					PUL10	1	On	Off	

表4.1.1(c) I/Oメモリマップ(FF46H~FF73H)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF46H	P13 (XSRDY)	P12 (XSCLK)	P11 (SOUT)	P10 (SIN)	P13	−*2	High	Low	P13入出力兼用ポートデータ SIF(スレープ)選択時、汎用レジスタとして機能 P12入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能 P11入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能 P10入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能
					P12	−*2	High	Low	
	R/W				P11	−*2	High	Low	
					P10	−*2	High	Low	
FF60H	LDUTY1	LDUTY0	STCD	LPWR	LDUTY1	0			LCD駆動デューティ [LDUTY1, 0] 0 1,2 3 切り換え デューティ 1/4 − 1/3 LCD駆動方式切り換え LCD電源On/Off
					LDUTY0	0			
	R/W				STCD	0	Static	Dynamic	
					LPWR	0	On	Off	
FF61H	0	ALOFF	ALON	0	0*3	−*2			未使用 LCD全消灯制御 LCD全点灯制御 未使用
					ALOFF	1	All Off	Normal	
	R	R/W		R	ALON	0	All On	Normal	
					0*3	−*2			
FF62H	LC3	LC2	LC1	LC0	LC3	0			LCDコントラスト調整 [LC3~0] 0 ∼ 15 コントラスト 淡 ∼ 濃
					LC2	0			
	R/W				LC1	0			
					LC0	0			
FF6CH	ENRTM	ENRST	ENON	BZE	ENRTM	0	1sec	0.5sec	エンベロープ減衰時間選択 エンベロープリセット(書き込み時) エンベロープOn/Off BZ出力イネーブル
					ENRST*3	Reset	Reset	Invalid	
					ENON	0	On	Off	
					BZE	0	Enable	Disable	
FF6DH	0	BZSTP	BZSHT	SHTPW	0*3	−*2			未使用 1ショットブザーStop(書き込み時) 1ショットブザートリガ(書き込み時) 1ショットブザーステータス(読み出し時) 1ショットブザーパルス幅選択
					BZSTP*3	0	Stop	Invalid	
					BZSHT	0	Trigger	Invalid	
					SHTPW	0	Busy	Ready	
FF6EH	0	BZFQ2	BZFQ1	BZFQ0	0*3	−*2			未使用 ブザー [BZFQ2, 1, 0] 0 1 2 3 周波数(Hz) 4096.0 3276.8 2730.7 2340.6 周波数選択 [BZFQ2, 1, 0] 4 5 6 7 周波数(Hz) 2048.0 1638.4 1365.3 1170.3
					BZFQ2	0			
					BZFQ1	0			
					BZFQ0	0			
FF6FH	0	BDTY2	BDTY1	BDTY0	0*3	−*2			未使用 ブザー信号デューティ比選択 (本編参照)
					BDTY2	0			
					BDTY1	0			
	R	R/W			BDTY0	0			
FF70H	0	ESOUT	SCTRG	ESIF	0*3	−*2			未使用 SOUTイネーブル シリアルI/Fクロックトリガ(書き込み時) シリアルI/Fクロックステータス(読み出し時) シリアルI/Fイネーブル(P1ポート機能選択)
					ESOUT	0	Enable	Disable	
					SCTRG	0	Trigger	Invalid	
	R	R/W			ESIF	0	Run	Stop	
FF71H	SDP	SCPS	SCS1	SCS0	SDP	0	MSB first	LSB first	シリアルI/Fデータ入出力順列 シリアルI/Fクロックフェーズ選択 負極性選択時(マスクオプション) 正極性選択時(マスクオプション) シリアルI/F クロックモード選択
					SCPS	0			
	R/W				SCS1	0			
					SCS0	0			
FF72H	SD3	SD2	SD1	SD0	SD3	−*2	High	Low	MSB シリアルI/F送受信データ(下位4ビット) LSB
					SD2	−*2	High	Low	
	R/W				SD1	−*2	High	Low	
					SD0	−*2	High	Low	
FF73H	SD7	SD6	SD5	SD4	SD7	−*2	High	Low	MSB シリアルI/F送受信データ(上位4ビット) LSB
					SD6	−*2	High	Low	
	R/W				SD5	−*2	High	Low	
					SD4	−*2	High	Low	

表4.1.1(d) I/Oメモリマップ(FF74H~FF85H)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF74H	0	0	TMRST	TMRUN	0 *3 0 *3	- *2 - *2			未使用 未使用 計時タイマリセット(書き込み時) 計時タイマRun/Stop
	R		W	R/W	TMRST*3 TMRUN	Reset 0	Reset Run	Invalid Stop	
	TM3	TM2	TM1	TM0	TM3 TM2 TM1 TM0	0 0 0 0			
FF75H	TM3	TM2	TM1	TM0	TM3 TM2 TM1 TM0	0 0 0 0			計時タイマデータ(1Hz) 計時タイマデータ(2Hz) 計時タイマデータ(4Hz) 計時タイマデータ(8Hz)
	R								
	TM7	TM6	TM5	TM4	TM7 TM6 TM5 TM4	0 0 0 0			
FF76H	TM7	TM6	TM5	TM4	TM7 TM6 TM5 TM4	0 0 0 0			計時タイマデータ(1Hz) 計時タイマデータ(2Hz) 計時タイマデータ(4Hz) 計時タイマデータ(8Hz)
	R								
	EDIR	DKM2	DKM1	DKM0	EDIR DKM2 DKM1 DKM0	0 0 0 0	Enable	Disable	
FF78H	EDIR	DKM2	DKM1	DKM0	EDIR DKM2 DKM1 DKM0	0 0 0 0	Enable	Disable	ダイレクト入力カインープル キーマスク [DKM2, 1, 0] 0 1 2 3 選択 キーマスク なし K02 K02~03 K02~03,10 [DKM2, 1, 0] 4 5 6 7 キーマスク K10 K10~11 K10~12 K10~13
	R/W								
	LCURF	CRNWF	SWRUN	SWRST	LCURF CRNWF SWRUN SWRST*3	0 0 0 Reset	Request Renewal Run Reset	No No Stop Invalid	
FF79H	LCURF	CRNWF	SWRUN	SWRST	LCURF CRNWF SWRUN SWRST*3	0 0 0 Reset	Request Renewal Run Reset	No No Stop Invalid	ラップデータ桁上げ要求フラグ キャプチャ更新フラグ ストップウォッチタイマRun/Stop ストップウォッチタイマリセット(書き込み時)
	R		R/W	W					
	SWD3	SWD2	SWD1	SWD0	SWD3 SWD2 SWD1 SWD0	0 0 0 0			
FF7AH	SWD3	SWD2	SWD1	SWD0	SWD3 SWD2 SWD1 SWD0	0 0 0 0			ストップウォッチタイマデータ BCD(1/1000sec)
	R								
	SWD7	SWD6	SWD5	SWD4	SWD7 SWD6 SWD5 SWD4	0 0 0 0			
FF7BH	SWD7	SWD6	SWD5	SWD4	SWD7 SWD6 SWD5 SWD4	0 0 0 0			ストップウォッチタイマデータ BCD(1/100sec)
	R								
	SWD11	SWD10	SWD9	SWD8	SWD11 SWD10 SWD9 SWD8	0 0 0 0			
FF7CH	SWD11	SWD10	SWD9	SWD8	SWD11 SWD10 SWD9 SWD8	0 0 0 0			ストップウォッチタイマデータ BCD(1/10sec)
	R								
	SR3	SR2	SR1	SR0	SR3 SR2 SR1 SR0	- *2 - *2 - *2 - *2			
FF80H	SR3	SR2	SR1	SR0	SR3 SR2 SR1 SR0	- *2 - *2 - *2 - *2			ソースレジスタ(下位4ビット) LSB
	R/W								
	SR7	SR6	SR5	SR4	SR7 SR6 SR5 SR4	- *2 - *2 - *2 - *2			
FF81H	SR7	SR6	SR5	SR4	SR7 SR6 SR5 SR4	- *2 - *2 - *2 - *2			MSB ソースレジスタ(上位4ビット)
	R/W								
	DRL3	DRL2	DRL1	DRL0	DRL3 DRL2 DRL1 DRL0	- *2 - *2 - *2 - *2			
FF82H	DRL3	DRL2	DRL1	DRL0	DRL3 DRL2 DRL1 DRL0	- *2 - *2 - *2 - *2			デスティネーションレジスタ下位8ビット (下位4ビット) LSB
	R/W								
	DRL7	DRL6	DRL5	DRL4	DRL7 DRL6 DRL5 DRL4	- *2 - *2 - *2 - *2			
FF83H	DRL7	DRL6	DRL5	DRL4	DRL7 DRL6 DRL5 DRL4	- *2 - *2 - *2 - *2			MSB デスティネーションレジスタ下位8ビット (上位4ビット)
	R/W								
	DRH3	DRH2	DRH1	DRH0	DRH3 DRH2 DRH1 DRH0	- *2 - *2 - *2 - *2			
FF84H	DRH3	DRH2	DRH1	DRH0	DRH3 DRH2 DRH1 DRH0	- *2 - *2 - *2 - *2			デスティネーションレジスタ上位8ビット (下位4ビット) LSB
	R/W								
	DRH7	DRH6	DRH5	DRH4	DRH7 DRH6 DRH5 DRH4	- *2 - *2 - *2 - *2			
FF85H	DRH7	DRH6	DRH5	DRH4	DRH7 DRH6 DRH5 DRH4	- *2 - *2 - *2 - *2			MSB デスティネーションレジスタ上位8ビット (上位4ビット)
	R/W								

表4.1.1(e) I/Oメモリマップ(FF86H~FFC0H)

アドレス	レジスタ				注 釈				
	D3	D2	D1	D0	Name	Init *1	1	0	
FF86H	NF	VF	ZF	CALMD	NF	0	Negative	Positive	ネガティブフラグ
					VF	0	Overflow	No	オーバーフローフラグ
					ZF	0	Zero	No	ゼロフラグ
	R			R/W	CALMD	0	Run	Stop	実行ステータス(読み出し時) 演算モード選択(書き込み時)
FF90H	0	RFCLK	RFSEL	SENSEL	0 *3	- *2			未使用
					RFCLK	0	OSC3	OSC1	R/F変換用クロック選択
					RFSEL	0	AC	DC	Ch.1センサタイプ選択
	R	R/W			SENSEL	0	Ch.1	Ch.0	変換チャンネル選択
FF91H	OVTBC	OVMC	RFRUNR	RFRUNS	OVTBC	0	Overflow	Non-ov	タイムベースカウンタオーバーフローフラグ
					OVMC	0	Overflow	Non-ov	計測カウンタオーバーフローフラグ
	R/W				RFRUNR	0	Run	Stop	基準発振Run制御/ステータス("0"書き込み無効)
					RFRUNS	0	Run	Stop	センサ発振Run制御/ステータス("0"書き込み無効)
FF92H	MC3	MC2	MC1	MC0	MC3	- *2			計測カウンタ(MC0～MC3) └ LSB
					MC2	- *2			
					MC1	- *2			
	R/W				MC0	- *2			
FF93H	MC7	MC6	MC5	MC4	MC7	- *2			計測カウンタ(MC4～MC7)
					MC6	- *2			
					MC5	- *2			
	R/W				MC4	- *2			
FF94H	MC11	MC10	MC9	MC8	MC11	- *2			計測カウンタ(MC8～MC11)
					MC10	- *2			
					MC9	- *2			
	R/W				MC8	- *2			
FF95H	MC15	MC14	MC13	MC12	MC15	- *2			計測カウンタ(MC12～MC15)
					MC14	- *2			
					MC13	- *2			
	R/W				MC12	- *2			
FF96H	MC19	MC18	MC17	MC16	MC19	- *2			MSB 計測カウンタ(MC16～MC19)
					MC18	- *2			
					MC17	- *2			
	R/W				MC16	- *2			
FF97H	TC3	TC2	TC1	TC0	TC3	- *2			タイムベースカウンタデータ(TC0～TC3) └ LSB
					TC2	- *2			
					TC1	- *2			
	R/W				TC0	- *2			
FF98H	TC7	TC6	TC5	TC4	TC7	- *2			タイムベースカウンタデータ(TC4～TC7)
					TC6	- *2			
					TC5	- *2			
	R/W				TC4	- *2			
FF99H	TC11	TC10	TC9	TC8	TC11	- *2			タイムベースカウンタデータ(TC8～TC11)
					TC10	- *2			
					TC9	- *2			
	R/W				TC8	- *2			
FF9AH	TC15	TC14	TC13	TC12	TC15	- *2			タイムベースカウンタデータ(TC12～TC15)
					TC14	- *2			
					TC13	- *2			
	R/W				TC12	- *2			
FF9BH	TC19	TC18	TC17	TC16	TC19	- *2			MSB タイムベースカウンタデータ(TC16～TC19)
					TC18	- *2			
					TC17	- *2			
	R/W				TC16	- *2			
FFC0H	MOD16	EVCNT	FCSEL	PLPOL	MOD16	0	16bits	8bits	16ビットモード選択
					EVCNT	0	Event ct.	Timer	タイマ0カウンタモード選択
	R/W				FCSEL	0	With NR	No NR	タイマ0機能選択(イベントカウンタモード時)
					PLPOL	0	↑	↓	タイマ0パルス極性選択(イベントカウンタモード時)

表4.1.1(f) I/Oメモリマップ(FFC1H~FFD3H)

アドレス	レジスタ				注 釈				
	D3	D2	D1	D0	Name	Init *1	1	0	
FFC1H	0	0	CHSEL0	PTOUT	0*3 0*3	−*2 −*2			未使用 未使用
	R		R/W		CHSEL0 PTOUT	0 0	Timer 1 On	Timer 0 Off	TOUT出力選択 TOUT出力制御
	0	0	CKSEL1	CKSEL0	0*3 0*3	−*2 −*2			未使用 未使用
FFC2H	R		R/W		CKSEL1 CKSEL0	0 0	OSC3 OSC3	OSC1 OSC1	プリスケーラ1原振クロック選択 プリスケーラ0原振クロック選択
	PTPS01	PTPS00	PTRST0	PTRUN0	PTPS01 PTPS00	0 0			プリスケーラ0 [PTPS01, 00] 分周比選択
	R/W		W	R/W	PTRST0*3 PTRUN0	−*2 0	Reset Run	Invalid Stop	分周比 1/1 1/4 1/32 1/256 タイマ0リセット(リロード) タイマ0 Run/Stop
FFC4H	PTPS11	PTPS10	PTRST1	PTRUN1	PTPS11 PTPS10	0 0			プリスケーラ1 [PTPS11, 10] 分周比選択
	R/W		W	R/W	PTRST1*3 PTRUN1	−*2 0	Reset Run	Invalid Stop	分周比 1/1 1/4 1/32 1/256 タイマ1リセット(リロード) タイマ1 Run/Stop
	RLD03	RLD02	RLD01	RLD00	RLD03 RLD02 RLD01 RLD00	0 0 0 0			MSB プログラマブルタイマ0リロードデータ(下位4ビット) LSB
FFC7H	RLD07	RLD06	RLD05	RLD04	RLD07 RLD06 RLD05 RLD04	0 0 0 0			MSB プログラマブルタイマ0リロードデータ(上位4ビット) LSB
	R/W								
	RLD13	RLD12	RLD11	RLD10	RLD13 RLD12 RLD11 RLD10	0 0 0 0			MSB プログラマブルタイマ1リロードデータ(下位4ビット) LSB
FFC8H	R/W								
	RLD17	RLD16	RLD15	RLD14	RLD17 RLD16 RLD15 RLD14	0 0 0 0			MSB プログラマブルタイマ1リロードデータ(上位4ビット) LSB
	R/W								
FFCCH	PTD03	PTD02	PTD01	PTD00	PTD03 PTD02 PTD01 PTD00	0 0 0 0			MSB プログラマブルタイマ0データ(下位4ビット) LSB
	R								
	PTD07	PTD06	PTD05	PTD04	PTD07 PTD06 PTD05 PTD04	0 0 0 0			MSB プログラマブルタイマ0データ(上位4ビット) LSB
FFCDH	R								
	PTD13	PTD12	PTD11	PTD10	PTD13 PTD12 PTD11 PTD10	0 0 0 0			MSB プログラマブルタイマ1データ(下位4ビット) LSB
	R								
FFCFH	PTD17	PTD16	PTD15	PTD14	PTD17 PTD16 PTD15 PTD14	0 0 0 0			MSB プログラマブルタイマ1データ(上位4ビット) LSB
	R								
	CD03	CD02	CD01	CD00	CD03 CD02 CD01 CD00	0 0 0 0			MSB プログラマブルタイマ0コンペアデータ(下位4ビット) LSB
FFD2H	R/W								
	CD07	CD06	CD05	CD04	CD07 CD06 CD05 CD04	0 0 0 0			MSB プログラマブルタイマ0コンペアデータ(上位4ビット) LSB
	R/W								

表4.1.1(g) I/Oメモリマップ(FFD4H~FFF0H)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FFD4H	CD13	CD12	CD11	CD10	CD13	0			MSB プログラマブルタイマ1コンペアデータ(下位4ビット) LSB
					CD12	0			
					CD11	0			
					CD10	0			
FFD5H	CD17	CD16	CD15	CD14	CD17	0			MSB プログラマブルタイマ1コンペアデータ(上位4ビット) LSB
					CD16	0			
					CD15	0			
					CD14	0			
FFD8H	0	0	PTSEL1	PTSEL0	0 *3	- *2			未使用 未使用 プログラマブルタイマ1 PWM出力選択 プログラマブルタイマ0 PWM出力選択
					0 *3	- *2			
					PTSEL1	0	PWM	Normal	
					PTSEL0	0	PWM	Normal	
FFE0H	0	0	ECTC1	ECTC0	0 *3	- *2			未使用 未使用 割り込みマスクレジスタ(タイマ1コンペアマッチ) 割り込みマスクレジスタ(タイマ0コンペアマッチ)
					0 *3	- *2			
					ECTC1	0	Enable	Mask	
					ECTC0	0	Enable	Mask	
FFE1H	0	0	EIPT1	EIPT0	0 *3	- *2			未使用 未使用 割り込みマスクレジスタ(タイマ1アンダーフロー) 割り込みマスクレジスタ(タイマ0アンダーフロー)
					0 *3	- *2			
					EIPT1	0	Enable	Mask	
					EIPT0	0	Enable	Mask	
FFE2H	0	0	0	EISIF	0 *3	- *2			未使用 未使用 未使用 割り込みマスクレジスタ(シリアルI/F)
					0 *3	- *2			
					0 *3	- *2			
					EISIF	0	Enable	Mask	
FFE3H	0	0	0	EIK0	0 *3	- *2			未使用 未使用 未使用 割り込みマスクレジスタ(K00~K03)
					0 *3	- *2			
					0 *3	- *2			
					EIK0	0	Enable	Mask	
FFE4H	0	0	0	EIK1	0 *3	- *2			未使用 未使用 未使用 割り込みマスクレジスタ(K10~K13)
					0 *3	- *2			
					0 *3	- *2			
					EIK1	0	Enable	Mask	
FFE5H	EIT3	EIT2	EIT1	EIT0	EIT3	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ1Hz) 割り込みマスクレジスタ(計時タイマ2Hz) 割り込みマスクレジスタ(計時タイマ8Hz) 割り込みマスクレジスタ(計時タイマ32Hz)
					EIT2	0	Enable	Mask	
					EIT1	0	Enable	Mask	
					EIT0	0	Enable	Mask	
FFE6H	EIRUN	EILAP	EISW1	EISW10	EIRUN	0	Enable	Mask	割り込みマスクレジスタ(SWダイレクトRUN) 割り込みマスクレジスタ(SWダイレクトLAP) 割り込みマスクレジスタ(ストップウォッチタイマ1Hz) 割り込みマスクレジスタ(ストップウォッチタイマ10Hz)
					EILAP	0	Enable	Mask	
					EISW1	0	Enable	Mask	
					EISW10	0	Enable	Mask	
FFE7H	0	0	EIRFB	EIRFM	0 *3	- *2			未使用 未使用 割り込みマスクレジスタ(R/Fコンバータ基準発振完了) 割り込みマスクレジスタ(R/Fコンバータセンサ発振完了)
					0 *3	- *2			
					EIRFB	0	Enable	Mask	
					EIRFM	0	Enable	Mask	
FFE8H	0	0	EISMD2	EISMD1	0 *3	- *2			未使用 未使用 割り込みマスクレジスタ(モータドライバCh.2) 割り込みマスクレジスタ(モータドライバCh.1)
					0 *3	- *2			
					EISMD2	0	Enable	Mask	
					EISMD1	0	Enable	Mask	
FFE9H	0	0	0	EIT4	0 *3	- *2			未使用 未使用 未使用 割り込みマスクレジスタ(計時タイマ16Hz)
					0 *3	- *2			
					0 *3	- *2			
					EIT4	0	Enable	Mask	
FFF0H	0	0	ICTC1	ICTC0	0 *3	- *2	(R)	(R)	未使用 未使用 割り込み要因フラグ(タイマ1コンペアマッチ) 割り込み要因フラグ(タイマ0コンペアマッチ)
					0 *3	- *2	Yes	No	
					ICTC1	0	(W)	(W)	
					ICTC0	0	Reset	Invalid	

表4.1.1(h) I/Oメモリマップ(FFF1H~FFF9H)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FFF1H	0	0	IPT1	IPT0	0 *3	– *2	(R)	(R)	未使用
					0 *3	– *2	Yes	No	未使用
	R		R/W		IPT1	0	(W)	(W)	割り込み要因フラグ(タイマ1アンダーフロー)
					IPT0	0	Reset	Invalid	割り込み要因フラグ(タイマ0アンダーフロー)
FFF2H	0	0	0	ISIF	0 *3	– *2	(R)	(R)	未使用
					0 *3	– *2	Yes	No	未使用
	R			R/W	0 *3	– *2	(W)	(W)	未使用
					ISIF	0	Reset	Invalid	割り込み要因フラグ(シリアルI/F)
FFF3H	0	0	0	IK0	0 *3	– *2	(R)	(R)	未使用
					0 *3	– *2	Yes	No	未使用
	R			R/W	0 *3	– *2	(W)	(W)	未使用
					IK0	0	Reset	Invalid	割り込み要因フラグ(K00~K03)
FFF4H	0	0	0	IK1	0 *3	– *2	(R)	(R)	未使用
					0 *3	– *2	Yes	No	未使用
	R			R/W	0 *3	– *2	(W)	(W)	未使用
					IK1	0	Reset	Invalid	割り込み要因フラグ(K10~K13)
FFF5H	IT3	IT2	IT1	IT0	IT3	0	(R)	(R)	割り込み要因フラグ(計時タイマ1Hz)
					IT2	0	Yes	No	割り込み要因フラグ(計時タイマ2Hz)
	R/W				IT1	0	(W)	(W)	割り込み要因フラグ(計時タイマ8Hz)
					IT0	0	Reset	Invalid	割り込み要因フラグ(計時タイマ32Hz)
FFF6H	IRUN	ILAP	ISW1	ISW10	IRUN	0	(R)	(R)	割り込み要因フラグ(SWダイレクトRUN)
					ILAP	0	Yes	No	割り込み要因フラグ(SWダイレクトLAP)
	R/W				ISW1	0	(W)	(W)	割り込み要因フラグ(ストップウォッチタイマ1Hz)
					ISW10	0	Reset	Invalid	割り込み要因フラグ(ストップウォッチタイマ10Hz)
FFF7H	0	0	IRFB	IRFM	0 *3	– *2	(R)	(R)	未使用
					0 *3	– *2	Yes	No	未使用
	R		R/W		IRFB	0	(W)	(W)	割り込み要因フラグ(R/Fコンバータ基準発振完了)
					IRFM	0	Reset	Invalid	割り込み要因フラグ(R/Fコンバータセンサ発振完了)
FFF8H	0	0	ISMD2	ISMD1	0 *3	– *2	(R)	(R)	未使用
					0 *3	– *2	Yes	No	未使用
	R		R/W		ISMD2	0	(W)	(W)	割り込み要因フラグ(モータドライバCh.2)
					ISMD1	0	Reset	Invalid	割り込み要因フラグ(モータドライバCh.1)
FFF9H	0	0	0	IT4	0 *3	– *2	(R)	(R)	未使用
					0 *3	– *2	Yes	No	未使用
	R			R/W	0 *3	– *2	(W)	(W)	未使用
					IT4	0	Reset	Invalid	割り込み要因フラグ(計時タイマ16Hz)

4.2 ウォッチドッグタイマ

4.2.1 ウォッチドッグタイマの構成

S1C63656はOSC1分周クロック256Hzを原振とするウォッチドッグタイマを内蔵しています。ウォッチドッグタイマはイニシャルリセット時に動作状態に設定されますが、ソフトウェアにより動作を停止させることができます。ウォッチドッグタイマが動作中はソフトウェアにより周期的にリセットする必要があり、3～4秒以上リセットが行われない場合、CPUに対してノンマスカブル割り込み(NMI)を発生します。

図4.2.1.1にウォッチドッグタイマのブロック図を示します。

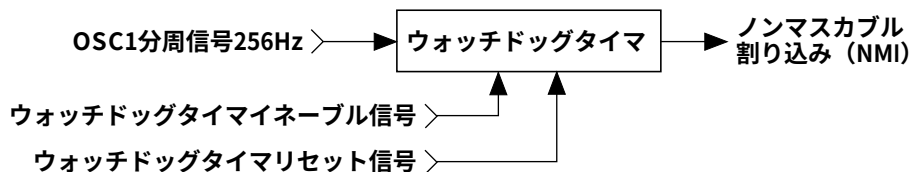


図4.2.1.1 ウォッチドッグタイマのブロック図

ウォッチドッグタイマは10ビットのバイナリカウンタで構成され、最終段0.25Hzのオーバーフローによってノンマスカブル割り込みを発生します。

プログラムのメインルーチン上でウォッチドッグタイマのリセット処理をすることにより、メインルーチンのウォッチドッグタイマ処理を通らないようなプログラムの暴走を検出することができます。通常はこのルーチンをタイマ割り込みルーチンのように、定期的に処理される箇所に組み込みます。

なお、ウォッチドッグタイマはHALT時も動作しており、HALT状態を3～4秒間続けるとノンマスカブル割り込みによりHALT状態が解除されます。

4.2.2 割り込み機能

ウォッチドッグタイマがソフトウェアによって周期的にリセットされない場合、コアCPUに対してノンマスカブル(NMI)割り込みが発生します。この割り込みはマスク不可能で、割り込み禁止状態(Iフラグ="0")でも受け付けられます(イニシャルリセット直後やスタックポインタ再設定時など、SP1およびSP2がペアで設定されるまでの割り込みマスク状態は除きます)。

NMIの割り込みベクタはプログラムメモリの0100Hに設定されています。

4.2.3 ウォッチドッグタイマのI/Oメモリ

表4.2.3.1にウォッチドッグタイマの制御ビットとそのアドレスを示します。

表4.2.3.1 ウォッチドッグタイマの制御ビット

アドレス	レジスタ									注 釈
	D3	D2	D1	D0	Name	Init *1	1	0		
FF07H	0	0	WDEN	WDRST	0 *3	– *2			未使用	
					0 *3	– *2			未使用	
	R		R/W	W	WDEN	1	Enable	Disable	ウォッチドッグタイマイネーブル	
					WDRST*3	Reset	Reset	Invalid	ウォッチドッグタイマリセット(書き込み時)	

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

● WDEN: ウォッチドッグタイマイネーブルレジスタ (FF07H・D1)

ウォッチドッグタイマを使用する(イネーブル)かしない(ディセーブル)か選択します。

"1"書き込み: イネーブル

"0"書き込み: ディセーブル

読み出し: 可能

WDENレジスタに"1"を書き込むことによりウォッチドッグタイマはイネーブルとなり、カウント動作を行います。

"0"を書き込んだ場合はディセーブルとなり、カウント動作および割り込み(NMI)の発生も行いません。

イニシャルリセット時、このレジスタは"1"にセットされます。

● WDRST: ウォッチドッグタイマリセット (FF07H・D0)

ウォッチドッグタイマをリセットするビットです。

"1"書き込み: ウォッチドッグタイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

WDRSTに"1"を書き込むことによりウォッチドッグタイマはリセットされ、その直後リスタートします。"0"の書き込みはノーオペレーションとなります。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

4.2.4 プログラミング上の注意事項

- (1) ウォッチドッグタイマを使用する場合、3秒周期以内にソフトウェアでウォッチドッグタイマをリセットする必要があります。
- (2) イニシャルリセットにより、ウォッチドッグタイマは動作状態に設定されますので、使用しない場合は割り込み(NMI)発生前にウォッチドッグタイマをディセーブル(使用しない)に設定してください。

4.3 発振回路

4.3.1 発振回路の構成

S1C63656は2系統の発振回路(OSC1とOSC3)を内蔵しています。このうちOSC1は水晶発振回路で、CPUおよび周辺回路に動作クロックを供給します。また、OSC3はCRまたはセラミック発振回路で、高速動作が要求される処理が必要な場合に、CPUの動作クロックをソフトウェアによりOSC1からOSC3に切り換えて使用します。速度よりも低電圧、省電力動作を優先させるアプリケーションでは、OSC3発振回路および高速動作定電圧回路をマスクオプションで無効に設定することができます。

図4.3.1.1に発振系のブロック図を示します。

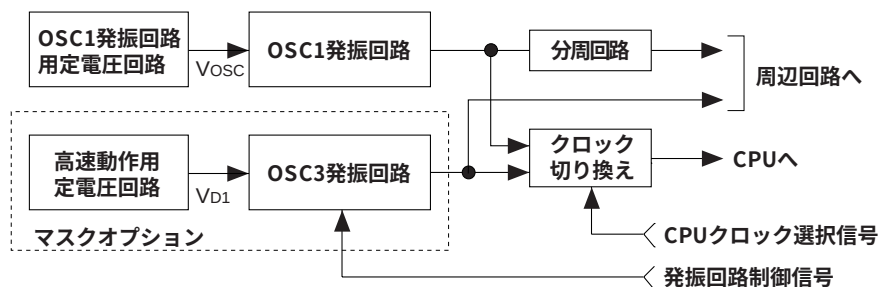


図4.3.1.1 発振系のブロック図

4.3.2 OSC1発振回路

OSC1水晶発振回路はCPUおよび周辺回路用のメインクロックを発生します。発振周波数は32.768kHz (Typ.)です。

図4.3.2.1にOSC1発振回路のブロック図を示します。

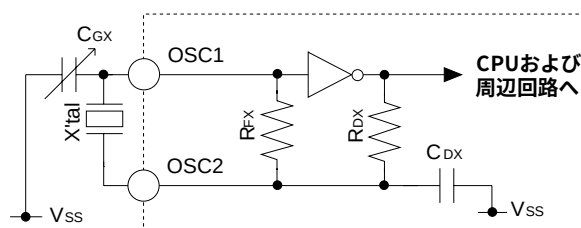


図4.3.2.1 OSC1発振回路

図4.3.2.1に示すとおり、OSC1端子とOSC2端子間に32.768kHz (Typ.)の水晶振動子(X'tal)を、OSC1端子とV_{SS}間に5~25pFのトリマコンデンサ(C_{Gx})をそれぞれ接続することにより、容易に水晶発振回路を構成することができます。

4.3.3 OSC3発振回路

S1C63656はCPUを高速動作(Max. 4MHz)させるためのサブクロック、および高速クロックを必要とする周辺回路(プログラマブルタイマ、FOUT出力)のソースクロックを発生するOSC3発振回路を内蔵しています。この発振回路にはCR(R外付け)、CR(R内蔵)またはセラミック発振回路をマスクオプションで選択できます。CR発振(R外付け)選択時は外付素子として抵抗が、セラミック発振選択時はセラミック振動子とコンデンサ2個(ゲート容量とドレイン容量)が必要となります。CR発振(R内蔵)選択時は外付素子は必要ありません。速度よりも低電圧、省電力動作を優先させるアプリケーションでは、OSC3発振回路および高速動作定電圧回路をマスクオプションで無効に設定することができます。

図4.3.3.1にOSC3発振回路のブロック図を示します。

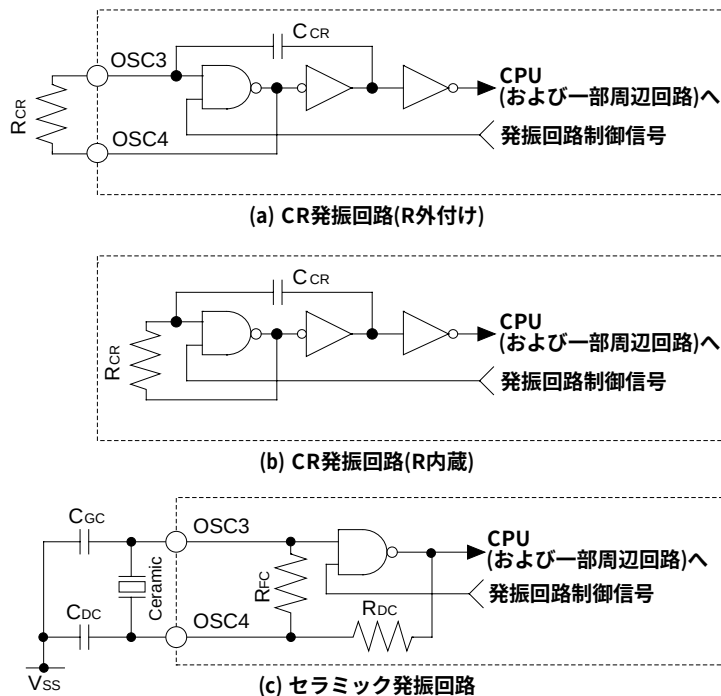


図4.3.3.1 OSC3発振回路

図4.3.3.1に示すとおり、CR発振(R外付け)を選択した場合はOSC3端子とOSC4端子間に抵抗(R_{CR})を接続するだけでCR発振回路を構成できます。 R_{CR} の抵抗値については"7 電気的特性"を参照してください。セラミック発振を選択した場合はOSC3端子とOSC4端子間にセラミック振動子(Max. 4MHz)を、同OSC3、OSC4端子とV_{SS}間にコンデンサを2個(C_{GC} 、 C_{DC})それぞれ接続することでセラミック発振回路を構成できます。 C_{GC} 、 C_{DC} は共に30pF程度のものを接続してください。

このOSC3発振回路は消費電流を低減するために、使用しないときはソフトウェア(OSCレジスタ)によって発振を停止させることができます。

表4.3.3.1 OSC3発振周波数

発振回路	発振周波数
セラミック発振	Max. 4MHz (2MHz ^注)
CR発振(R内蔵)	Typ. 1.1MHz $\pm$ 30%
CR発振(R外付け)	200kHz~2MHz

注: R/Fコンバータのタイムベースカウンタ用クロックとしてOSC3を選択する場合、OSC3クロックの最大周波数は2MHzとなります。

4.3.4 CPUクロックの切り換え

OSC3発振回路を使用するシステムでは(マスクオプションで選択)、OSC1とOSC3のどちらをシステムクロックとして使用するかソフトウェア(CLKCHGレジスタ)によって切り換えます。OSC1発振回路のみを使用するシステムでは、以下の制御は無効です。

クロックの切り換えは以下の手順で行ってください。特に発振の安定待ち時間に注意が必要です。

OSC1→OSC3

1. OSCCに"1"を設定(OSC3発振ON)
2. 5msec以上保持
3. CLKCHGに"1"を設定(OSC1→OSC3)

注: OSC3発振回路がONしてから発振が安定するまでに、5msec以上を必要とします。したがって、CPUの動作クロックをOSC1からOSC3に切り換える際は、OSC3発振ONの後、5msec以上経過してから行ってください。

また、発振安定時間は外付け発振子の特性および使用条件等により異なりますので、十分マージンを取って待ち時間を設定してください。

OSC3→OSC1

1. CLKCHGに"0"を設定(OSC3→OSC1)
2. OSCCに"0"を設定(OSC3発振OFF)

注: OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々のインストラクションで行ってください。1インストラクションで、同時に処理するとCPUの誤動作につながります。

4.3.5 クロック周波数とインストラクション実行時間

表4.3.5.1に各クロックの周波数によるインストラクションの実行時間を示します。

表4.3.5.1 クロック周波数とインストラクション実行時間

クロック周波数	インストラクション実行時間(μsec)		
	1サイクル命令	2サイクル命令	3サイクル命令
OSC1: 32.768kHz	61	122	183
OSC3: 1.1MHz	1.8	3.6	5.5
OSC3: 2MHz	1	2	3
OSC3: 4MHz	0.5	1	1.5

4.3.6 発振回路のI/Oメモリ

表4.3.6.1に発振回路の制御ビットとそのアドレスを示します。

注: ここで説明する発振回路の制御ビットは、OSC3発振回路を使用する場合にのみ有効です。OSC1発振回路のみを使用するシステムでは、初期設定状態のまま変更しないでください。

表4.3.6.1 発振回路の制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF01H	CLKCHG	OSCC	0	0	CLKCHG	0	OSC3	OSC1	CPUクロック切り換え
					OSCC	0	On	Off	OSC3発振On/Off
	R/W		R		0 *3	– *2			未使用
					0 *3	– *2			未使用

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

● OSCC: OSC3発振制御レジスタ (FF01H・D2)

OSC3発振回路の発振ON、OFFを制御します。

"1"書き込み: OSC3発振ON

"0"書き込み: OSC3発振OFF

読み出し: 可能

CPUを高速に動作させる必要のある場合にOSCCを"1"とし、それ以外の場合は、消費電流低減のため"0"としてください。

イニシャルリセット時、このレジスタは"0"に設定されます。

● CLKCHG: CPUクロック切り換えレジスタ (FF01H・D3)

CPUの動作クロックを選択します。

"1"書き込み: OSC3クロックを選択

"0"書き込み: OSC1クロックを選択

読み出し: 可能

CPUの動作クロックをOSC3にする場合にCLKCHGを"1"に設定してください。OSC3発振をON(OSCC = "1")にした直後は5msec以上の時間をおいてからクロックの切り換えを行ってください。

CLKCHGを"0"に設定した場合はOSC1クロックが選択されます。

イニシャルリセット時、このレジスタは"0"に設定されます。

4.3.7 プログラミング上の注意事項

- (1) OSC3発振回路がONしてから発振が安定するまでに、5msec以上を必要とします。したがって、CPUの動作クロックをOSC1からOSC3に切り換える際は、OSC3発振ONの後、5msec以上経過してから行ってください。また、発振安定時間は外付け発振子の特性および使用条件等により異なりますので、十分マージンを取って待ち時間を設定してください。
- (2) OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々のインストラクションで行ってください。1インストラクションで、同時に処理するとCPUの誤動作につながります。
- (3) R/Fコンバータのタイムベースカウンタ用クロックとしてOSC3を選択する場合、OSC3クロックの最大周波数は2MHzとなります。

4.4 入力ポート (K00~K03, K10~K13)

4.4.1 入力ポートの構成

S1C63656は8ビットの汎用入力ポートを内蔵しています。各入力ポート端子(K00~K03, K10~K13)には内蔵プルダウン抵抗が用意されており、マスクオプションで1ビットごとにプルダウン抵抗の有無を選択できます。図4.4.1.1に入力ポートの構造を示します。

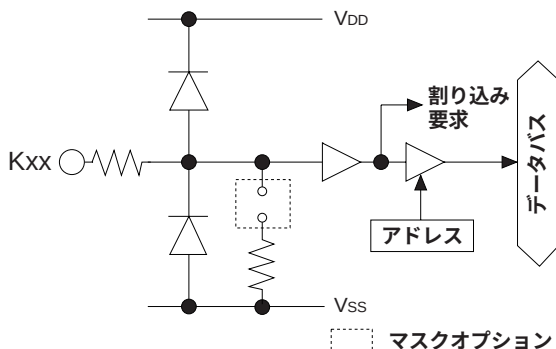


図4.4.1.1 入力ポートの構造

マスクオプションで"プルダウン抵抗 あり"を選択した場合、プッシュスイッチ、キーマトリクス等の入力に適当です。また、"プルダウン抵抗 なし"を選択した場合、スライドスイッチ入力、他LSIとのインタフェースなどに使用できます。

入力ポートK00とK01はストップウォッチタイマのRUN/STOPとLAPダイレクト入力、K13はプログラマブルタイマのイベントカウンタ入力としても使用します。

4.4.2 割り込み機能

入力ポート8ビット(K00~K03, K10~K13)は、すべて割り込み機能を持っており、割り込み発生条件はソフトウェアで設定することができます。また、割り込みをマスクするかしないかを、同様にソフトウェアで設定することができます。図4.4.2.1にK00~K03(K10~K13)割り込み回路の構成図を示します。

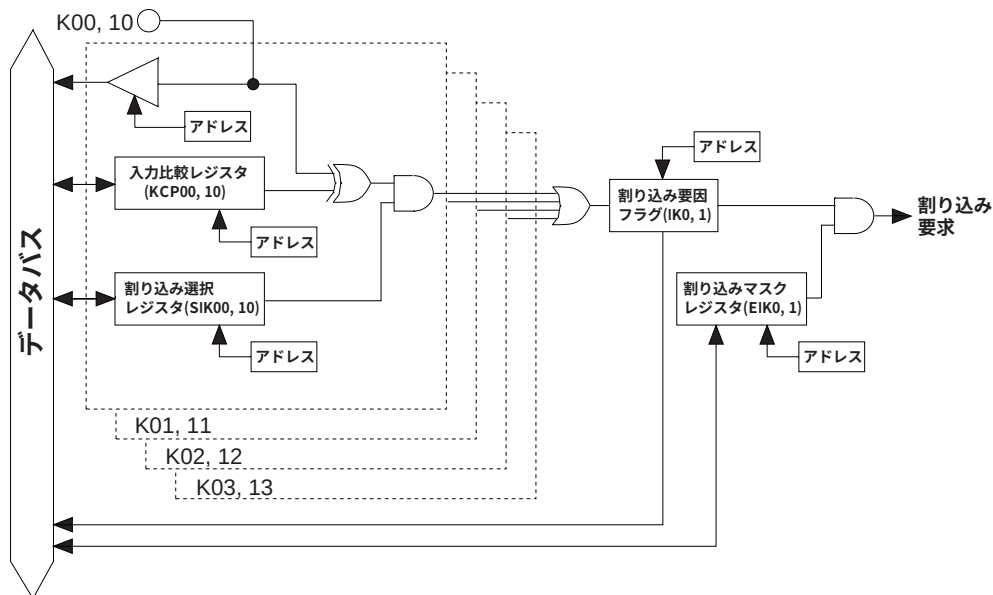


図4.4.2.1 入力割り込み回路構成

入力ポートK00～K03、K10～K13には個々に割り込み選択レジスタ(SIK)および入力比較レジスタ(KCP)が設定されており、割り込みを発生させる端子と割り込みタイミングを指定することができます。

割り込み選択レジスタ(SIK00～SIK03、SIK10～SIK13)は、K00～K03およびK10～K13のどの入力を割り込みに使用するか選択します。割り込み選択レジスタに"1"を書き込むことにより、その入力ポートを割り込み発生条件に組み込みます。割り込み選択レジスタが"0"に設定されている入力ポートの変化は割り込みの発生に影響を与えません。

入力割り込みタイミングは、入力比較レジスタ(KCP00～KCP03、KCP10～KCP13)の設定値により、割り込みを入力の上立ち上がりエッジで発生させるか、立ち下がりエッジで発生させるかを選択することができます。この2つの条件設定により、K00～K03、K10～K13(4ビット単位)の割り込みは入力選択レジスタで割り込みが許可されている入力ポートと入力比較レジスタの内容が一致状態から不一致状態に変化したときに割り込みが発生します。

また、割り込みマスクレジスタ(EIK0、EIK1)により、それぞれの割り込みのマスクを選択することができます。割り込みが発生した際には、割り込み要因フラグ(IK0、IK1)が"1"にセットされます。

図4.4.2.2にK00～K03割り込み発生例を示します。

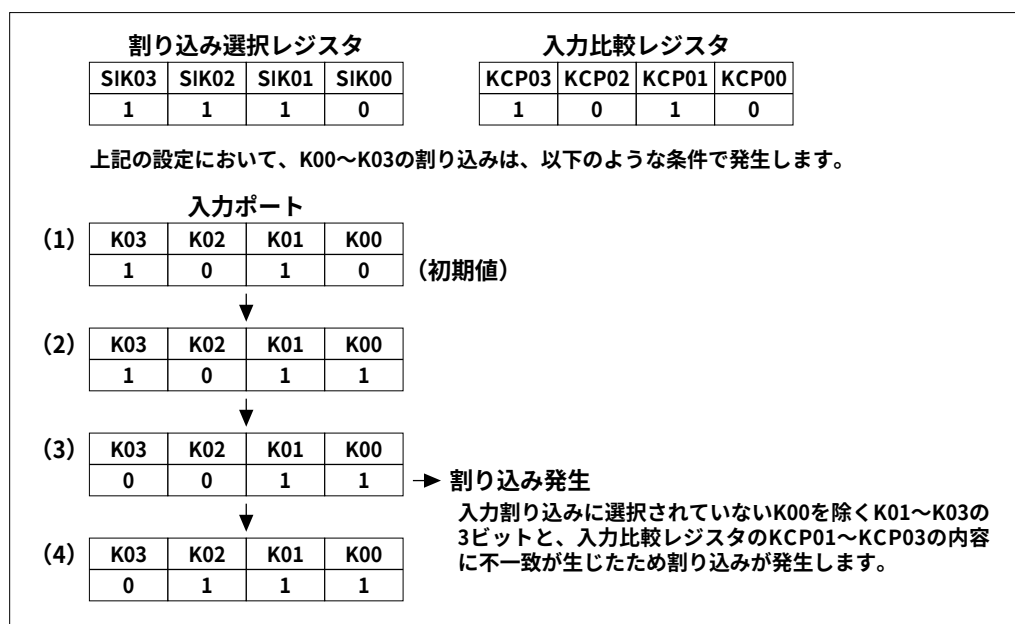


図4.4.2.2 K00～K03割り込み発生例

K00は割り込み選択レジスタ(SIK00)によって割り込みが禁止されているため、(2)の時点では割り込みは発生しません。次に(3)でK03が"0"になるため、割り込みが許可されている端子のデータと入力比較レジスタのデータとの不一致により割り込みが発生します。ただし、割り込みマスクレジスタ(EIK0)によってK00～K03入力割り込みがイネーブルに設定されている必要があります。

前述のとおり、ポートデータと入力比較レジスタの内容が一致状態から不一致状態に変化することが割り込み発生条件となるため、(4)のように不一致状態から、別の不一致状態に変化しても割り込みは発生しません。また、割り込みが禁止されている端子は割り込み発生条件に影響を与えません。

4.4.3 マスクオプション

入力ポートのマスクオプションでは8ビットの入力ポート(K00～K03、K10～K13)に対して、1ビットごとに内蔵プルダウン抵抗の有無を選択できます。

"プルダウン抵抗 なし"を選択した場合は、入力にフローティング状態が発生しないよう注意してください。使用しない入力ポートは"プルダウン抵抗 あり"を選択してください。

4.4.4 入力ポートのI/Oメモリ

表4.4.4.1に入力ポートの制御ビットとそのアドレスを示します。

表4.4.4.1 入力ポートの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF20H	SIK03	SIK02	SIK01	SIK00	SIK03	0	Enable	Disable	K00～K03割り込み選択レジスタ
					SIK02	0	Enable	Disable	
					SIK01	0	Enable	Disable	
					SIK00	0	Enable	Disable	
FF21H	K03	K02	K01	K00	K03	–*2	High	Low	K00～K03入力ポートデータ
					K02	–*2	High	Low	
					K01	–*2	High	Low	
					K00	–*2	High	Low	
FF22H	KCP03	KCP02	KCP01	KCP00	KCP03	1	↓	↑	K00～K03入力比較レジスタ
					KCP02	1	↓	↑	
					KCP01	1	↓	↑	
					KCP00	1	↓	↑	
FF24H	SIK13	SIK12	SIK11	SIK10	SIK13	0	Enable	Disable	K10～K13割り込み選択レジスタ
					SIK12	0	Enable	Disable	
					SIK11	0	Enable	Disable	
					SIK10	0	Enable	Disable	
FF25H	K13	K12	K11	K10	K13	–*2	High	Low	K10～K13入力ポートデータ
					K12	–*2	High	Low	
					K11	–*2	High	Low	
					K10	–*2	High	Low	
FF26H	KCP13	KCP12	KCP11	KCP10	KCP13	1	↓	↑	K10～K13入力比較レジスタ
					KCP12	1	↓	↑	
					KCP11	1	↓	↑	
					KCP10	1	↓	↑	
FFE3H	0	0	0	EIK0	0 *3	–*2			未使用 未使用 未使用 割り込みマスクレジスタ(K00～K03)
					0 *3	–*2			
					0 *3	–*2			
					EIK0	0	Enable	Mask	
FFE4H	0	0	0	EIK1	0 *3	–*2			未使用 未使用 未使用 割り込みマスクレジスタ(K10～K13)
					0 *3	–*2			
					0 *3	–*2			
					EIK1	0	Enable	Mask	
FFF3H	0	0	0	IK0	0 *3	–*2	(R)	(R)	未使用 未使用 未使用 割り込み要因フラグ(K00～K03)
					0 *3	–*2	Yes	No	
					0 *3	–*2	(W)	(W)	
					IK0	0	Reset	Invalid	
FFF4H	0	0	0	IK1	0 *3	–*2	(R)	(R)	未使用 未使用 未使用 割り込み要因フラグ(K10～K13)
					0 *3	–*2	Yes	No	
					0 *3	–*2	(W)	(W)	
					IK1	0	Reset	Invalid	

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

● K00～K03: K0入力ポートデータ (FF21H)

K10～K13: K1入力ポートデータ (FF25H)

入力ポート端子の入力データが読み出せます。

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

書き込み: 無効

入力ポート8ビット(K00～K03、K10～K13)の端子電圧がそれぞれHIGH(V_{DD})レベルのとき"1"、LOW(V_{SS})レベルのとき"0"として読み出せます。

これらのビットは読み出し専用のため、書き込み動作は無効となります。

● **SIK00～SIK03: K0ポート割り込み選択レジスタ (FF20H)**

SIK10～SIK13: K1ポート割り込み選択レジスタ (FF24H)

K00～K03、K10～K13入力割り込みに使用するポートを選択します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

割り込み選択レジスタ(SIK00～SIK03、SIK10～SIK13)に"1"を書き込んだ入力ポート(K00～K03、K10～K13)の割り込みを許可します。"0"に設定した入力ポートは割り込みの発生条件には影響を与えません。イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

● **KCP00～KCP03: K0ポート入力比較レジスタ (FF22H)**

KCP10～KCP13: K1ポート入力比較レジスタ (FF26H)

割り込み発生タイミングを設定します。

"1"書き込み: 立ち下がりエッジ

"0"書き込み: 立ち上がりエッジ

読み出し: 可能

入力ポートは入力比較レジスタ(KCP00～KCP03、KCP10～KCP13)によって、割り込みの発生タイミングを入力の立ち上がりエッジとするか立ち下がりエッジとするか、1ビットごとに選択できます。

KCP00～KCP03については、SIK00～SIK03レジスタによってK00～K03の中の割り込みが許可されているポートとのみ比較が行われます。同様にKCP10～KCP13は、SIK10～SIK13レジスタによってK10～K13の中の割り込みが許可されているポートとのみ比較が行われます。

イニシャルリセット時、これらのレジスタはすべて"1"に設定されます。

● **EIK0: K0入力割り込みマスクレジスタ (FFE3H・D0)**

EIK1: K1入力割り込みマスクレジスタ (FFE4H・D0)

入力ポートの割り込みについて、マスクするかしないかを選択します。

"1"書き込み: イネーブル

"0"書き込み: マスク

読み出し: 可能

入力ポートの2つの系列(K00～K03、K10～K13)に対して、割り込みをマスクするかしないかを、これらのレジスタにより選択できます。

イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

● **IK0: K0入力割り込み要因フラグ (FFF3H・D0)**

IK1: K1入力割り込み要因フラグ (FFF4H・D0)

入力割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有

"0"読み出し: 割り込み無

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

割り込み要因フラグIK0、IK1はそれぞれK00～K03、K10～K13の入力割り込みに対応します。これらのフラグによって入力割り込みの有無を、ソフトウェアで判断することができます。

割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず割り込み条件の成立により"1"にセットされます。ただし、割り込みがマスクされている場合はCPUに対して割り込みは発生しません。

これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

4.4.5 プログラミング上の注意事項

- (1) 入力ポートをHIGHレベルからプルダウン抵抗でLOWレベルに変化させる場合、プルダウン抵抗と入力ゲート容量の時定数によって波形立ち下がりに遅延が生じます。このため、入力ポートの取り込みを行う際は、適切な待ち時間を設定してください。
特に、キーマトリクス構成時のキースキャン等に注意が必要です。
この待ち時間は次の式で算出される時間以上としてください。
$$10 \times C(\text{端子容量}5\text{pF} + \text{寄生容量?pF}) \times R(\text{プルダウン抵抗}375\text{k}\Omega \text{ Max.})$$
- (2) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.5 出力ポート (R00～R03)

4.5.1 出力ポートの構成

S1C63656は4ビットの汎用出力ポートを内蔵しています。

各出力ポートの出力仕様はマスクオプションで個別に選択できます。選択できる出力仕様はコンプリメンタリ出力とPチャンネルオープンドレイン出力の2種類です。

図4.5.1.1に出力ポートの構成を示します。

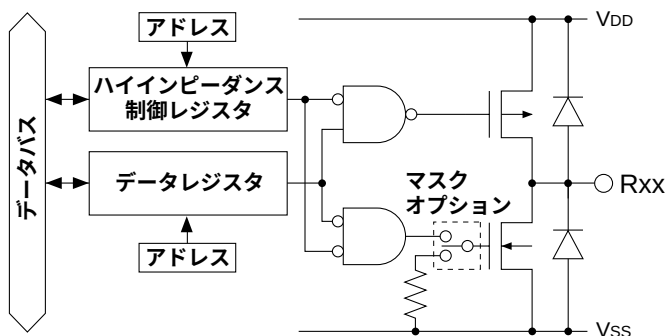


図4.5.1.1 出力ポートの構成

R02、R03出力ポート端子は特殊出力(TOUT、FOUT)端子と兼用されており、この機能をソフトウェアによって選択できるようになっています。

イニシャルリセット時はすべて汎用出力ポートに設定されます。

表4.5.1.1に機能選択による出力端子の設定を示します。

表4.5.1.1 出力端子の機能設定

端子名	イニシャルリセット時の 端子状態	特殊出力使用時	
		TOUT	FOUT
R00	R00 (LOW出力)	R00	R00
R01	R01 (LOW出力)	R01	R01
R02	R02 (LOW出力)	TOUT	
R03	R03 (LOW出力)		FOUT

特殊出力として使用する場合、データレジスタは"1"、ハイインピーダンス制御レジスタは"0"に固定する必要があります。

4.5.2 マスクオプション

出力ポートはマスクオプションにより出力仕様の選択が行えます。

出力ポートの各ビットごとに、コンプリメンタリ出力またはPチャンネルオープンドレイン出力のいずれかが選択できます。

ただし、Pチャンネルオープンドレイン出力を選択した場合でも、出力ポートに電源電圧を越える電圧の印加は禁止します。

4.5.3 ハイインピーダンス制御

出力ポートは、ソフトウェアにより端子の出力状態をハイインピーダンスとすることができます。制御はハイインピーダンス制御レジスタによって行います。

出力ポートのハイインピーダンス制御レジスタは以下のように制御できる出力ポートが割り当てられています。

ハイインピーダンス制御レジスタ	対応する出力ポート
R00HIZ	R00(1ビット)
R01HIZ	R01(1ビット)
R02HIZ	R02(1ビット)
R03HIZ	R03(1ビット)

ハイインピーダンス制御レジスタに"1"を書き込むと対応する出力ポート端子がハイインピーダンスとなり、"0"でデータレジスタにしたがった出力が行われます。

4.5.4 特殊出力

出力ポートR02およびR03は通常のDC出力のほかに表4.5.4.1に示す特殊出力をソフトウェアによって設定できます。図4.5.4.1にR02およびR03出力ポートの構成を示します。

表4.5.4.1 特殊出力

端子名	特殊出力選択時	特殊出力制御レジスタ
R03	FOUT	FOUTE
R02	TOUT	PTOUT

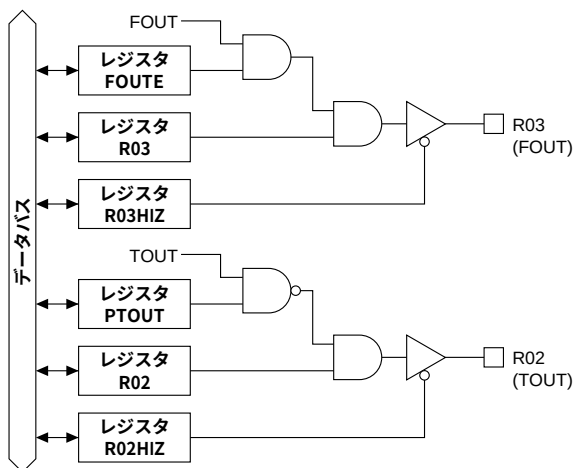


図4.5.4.1 R02、R03出力ポートの構成

イニシャルリセット時、出力ポートのデータレジスタは"0"、ハイインピーダンス制御レジスタは"0"に設定され、出力端子はLOW (Vss)レベルとなります。

R02、R03を特殊出力ポートとして使用する場合はデータレジスタR02、R03を"1"、ハイインピーダンス制御レジスタR02HIZ、R03HIZを"0"に固定し、特殊出力制御レジスタによってそれぞれの信号をON/OFFしてください。

- 注:**
- 特殊出力選択時にR02、R03レジスタに"0"を書き込むと、DC出力の場合と同様に出力端子がLOW (Vss)レベルに固定されますので注意してください。
 - ハイインピーダンス制御レジスタR02HIZ、R03HIZに"1"を書き込むと、出力端子がハイインピーダンスになりますので注意してください。

● TOUT(R02)

R02端子からはTOUT信号を出力させることができます。

TOUT信号はプログラマブルタイマの出力クロックで、外部デバイスに対するクロック供給などの目的に使用することができます。

TOUT出力を行う場合はR02レジスタを"1"、R02HIZレジスタを"0"に固定し、PTOUTレジスタによって信号をON/OFFします。ただし、プログラマブルタイマの制御が必要です。

プログラマブルタイマの詳細については"4.10 プログラマブルタイマ"を参照してください。

注: TOUT出力信号はON/OFF時にハザードを生じる可能性があります。

図4.5.4.2にTOUT信号の出力波形を示します。

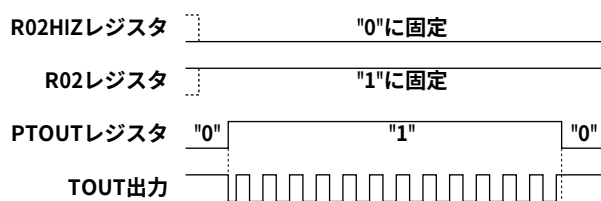


図4.5.4.2 TOUT信号の出力波形

● FOUT(R03)

R03端子からはFOUT信号を出力させることができます。

FOUT信号は発振回路の出力クロック(fosc1、fosc3)またはfosc1を内部回路で分周したクロックで、外部デバイスに対するクロック供給などの目的に使用することができます。

FOUT出力を行う場合はR03レジスタを"1"、R03HIZレジスタを"0"に固定し、FOUTEレジスタによって信号をON/OFFします。

出力するクロックの周波数は、表4.5.4.2に示す4種類から1つをFOFQ0およびFOFQ1レジスタによって選択できます。

表4.5.4.2 FOUTクロック周波数

FOFQ1	FOFQ0	クロック周波数
1	1	fosc3
1	0	fosc1
0	1	fosc1 × 1/8
0	0	fosc1 × 1/64

fosc1: OSC1発振回路の出力クロック

fosc3: OSC3発振回路の出力クロック

FOUT信号の周波数としてfosc3を選択した場合は、信号出力前にOSC3発振回路の制御が必要です。制御方法と注意事項については"4.3 発振回路"を参照してください。なお、fosc3はOSC3を使用するマスクオプションを選択した場合にのみ有効です。OSC1発振回路のみを使用するシステムでは、FOFQレジスタを"11"には設定しないでください。

注: FOUT出力信号はON/OFF時にハザードを生じる可能性があります。

図4.5.4.3にFOUT信号の出力波形を示します。

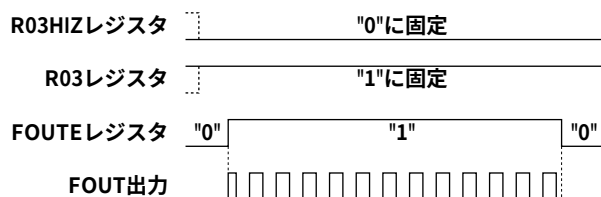


図4.5.4.3 FOUT信号の出力波形

4.5.5 出力ポートのI/Oメモリ

表4.5.5.1に出力ポートの制御ビットとそのアドレスを示します。

表4.5.5.1 出力ポートの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF06H	FOUTE	SWDIR	FOFQ1	FOFQ0	FOUTE	0	Enable	Disable	FOUT出力イネーブル ストップウォッチダイレクト入力切り換え 0: K00=Run/Stop, K01=Lap 1: K00=Lap, K01=Run/Stop FOUT [FOFQ1, 0] 0 1 2 3 周波数選択 周波数 fosc1/64 fosc1/8 fosc1 fosc3
					SWDIR	0			
					FOFQ1	0			
					FOFQ0	0			
FF30H	R03HIZ	R02HIZ	R01HIZ	R00HIZ	R03HIZ	0	High-Z	Output	R03出力ハイインピーダンス制御(FOUTE=0) FOUT出力ハイインピーダンス制御(FOUTE=1) R02出力ハイインピーダンス制御(PTOUT=0) TOUT出力ハイインピーダンス制御(PTOUT=1) R01出力ハイインピーダンス制御 R00出力ハイインピーダンス制御
					R02HIZ	0	High-Z	Output	
					R01HIZ	0	High-Z	Output	
					R00HIZ	0	High-Z	Output	
FF31H	R03	R02	R01	R00	R03	0	High	Low	R03出力ポートデータ(FOUTE=0) FOUT出力時は1に固定 R02出力ポートデータ(PTOUT=0) TOUT出力時は1に固定 R01出力ポートデータ R00出力ポートデータ
					R02	0	High	Low	
					R01	0	High	Low	
					R00	0	High	Low	
FFC1H	0	0	CHSEL0	PTOUT	0 *3	- *2			未使用 未使用 TOUT出力選択 TOUT出力制御
					0 *3	- *2			
					CHSEL0	0	Timer 1	Timer 0	
					PTOUT	0	On	Off	

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

● R00HIZ～R03HIZ: R0ポートハイインピーダンス制御レジスタ (FF30H)

出力ポートのハイインピーダンス制御を行います。

"1"書き込み: ハイインピーダンス

"0"書き込み: データ出力

読み出し: 可能

ハイインピーダンス制御レジスタに"0"を書き込むことにより、対応する出力端子からデータレジスタにしたがった出力が行われ、"1"を書き込むとハイインピーダンスになります。

R02、R03を特殊出力(TOUT、FOUT)として使用する場合、R02HIZレジスタ、R03HIZレジスタは"0"(データ出力)に固定してください。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

● R00～R03: R0出力ポートデータレジスタ (FF31H)

各出力ポートの出力データを設定します。

"1"書き込み: HIGHレベル出力

"0"書き込み: LOWレベル出力

読み出し: 可能

出力ポート端子は対応するデータレジスタに書き込まれたデータをそのまま出力します。レジスタに"1"を書き込んだ場合、出力ポート端子はHIGH(V_{DD})レベルになり、"0"を書き込んだ場合はLOW(V_{SS})レベルになります。

R02、R03を特殊出力(TOUT、FOUT)として使用する場合、R02レジスタ、R03レジスタは"1"に固定してください。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

● FOUTE: FOUT出力制御レジスタ (FF06H・D3)

FOUT出力を制御します。

"1"書き込み: FOUT出力ON
 "0"書き込み: FOUT出力OFF
 読み出し: 可能

R03レジスタが"1"、R03HIZレジスタが"0"に設定されている状態でFOUTEに"1"を書き込むことによってR03端子からFOUT信号が出力され、"0"の書き込みでR03端子がLOW(V_{SS})レベルになります。
 R03ポートをDC出力として使用する場合は、このレジスタを"0"に固定してください。
 イニシャルリセット時、このレジスタは"0"に設定されます。

● FOFQ0, FOFQ1: FOUT周波数選択レジスタ (FF06H・D0, D1)

FOUT信号の周波数を選択します。

表4.5.5.2 FOUTクロック周波数

FOFQ1	FOFQ0	クロック周波数
1	1	fosc3
1	0	fosc1
0	1	fosc1 × 1/8
0	0	fosc1 × 1/64

イニシャルリセット時、このレジスタは"0"に設定されます。

注: fosc3はOSC3を使用するマスクオプションを選択した場合にのみ有効です。OSC1発振回路のみを使用するシステムでは、FOFQレジスタを"11"には設定しないでください。

● PTOUT: TOUT出力制御レジスタ (FFC1H・D0)

TOUT出力を制御します。

"1"書き込み: TOUT出力ON
 "0"書き込み: TOUT出力OFF
 読み出し: 可能

R02レジスタが"1"、R02HIZレジスタが"0"に設定されている状態でPTOUTに"1"を書き込むことによってR02端子からTOUT信号が出力され、"0"の書き込みでR02端子がHIGH(V_{DD})レベルになります。
 R02ポートをDC出力として使用する場合は、このレジスタを"0"に固定してください。
 イニシャルリセット時、このレジスタは"0"に設定されます。

4.5.6 プログラミング上の注意事項

- (1) R02、R03を特殊出力(TOUT、FOUT)として使用する場合、R02レジスタ、R03レジスタは"1"に、R02HIZレジスタ、R03HIZレジスタは"0"に固定してください。
 R02、R03レジスタに"0"を書き込むと、出力端子がLOW(V_{SS})に固定されますので注意してください。
 R02HIZ、R03HIZに"1"を書き込むと、出力端子がハイインピーダンスになりますので注意してください。
- (2) TOUT信号、FOUT信号のON/OFF時は、出力波形にハザードが出る場合があります。
- (3) FOUT信号の周波数としてfosc3を選択した場合は、信号出力前にOSC3発振回路の制御が必要です。制御方法と注意事項については"4.3 発振回路"を参照してください。なお、fosc3はOSC3を使用するマスクオプションを選択した場合にのみ有効です。OSC1発振回路のみを使用するシステムでは、FOFQレジスタを"11"には設定しないでください。

4.6 入出力兼用ポート (P00~P03, P10~P13)

4.6.1 入出力兼用ポートの構成

S1C63656は8ビットの汎用入出力兼用ポートを内蔵しています。図4.6.1.1に入出力兼用ポートの構成を示します。

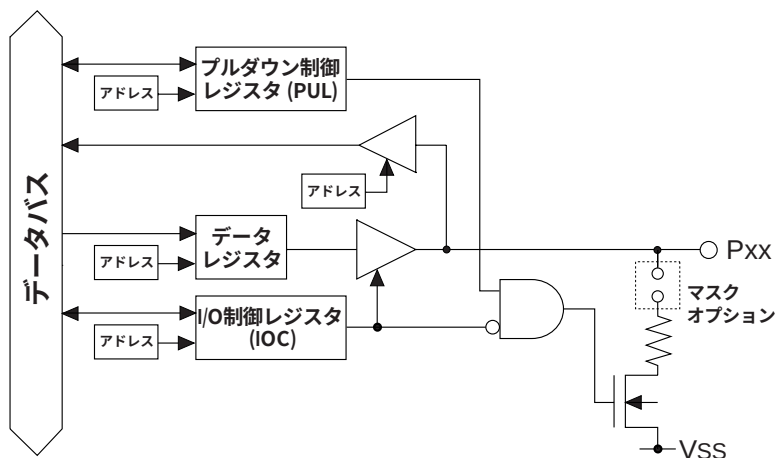


図4.6.1.1 入出力兼用ポートの構成

入出力兼用ポート端子の中でP10~P13はシリアルインタフェースの入出力端子と兼用されており、これらの機能をソフトウェアによって選択できるようになっています。

イニシャルリセット時はすべて入出力兼用ポートに設定されます。

表4.6.1.1に機能選択による入出力端子の設定を示します。

表4.6.1.1 入出力端子の機能設定

端子名	イニシャルリセット時の 端子状態	シリアルインタフェース使用時	
		Master	Slave
P00~P03	P00~P03 (入力&プルダウン*)	P00~P03	P00~P03
P10	P10 (入力&プルダウン*)	SIN(I)	SIN(I)
P11	P11 (入力&プルダウン*)	SOUT(O)	SOUT(O)
P12	P12 (入力&プルダウン*)	SCLK(O)	SCLK(I)
P13	P13 (入力&プルダウン*)	P13	SRDY(O)

* マスクオプションにて"プルダウンあり"選択時
("プルダウンなし"選択時はハイインピーダンス)

入出力兼用ポートとして使用する場合、各ポートを個々(1ビット単位)に入力モードまたは出力モードに設定できます。この設定はI/O制御レジスタにデータを書き込むことによって行います。

シリアルインタフェースの制御については"4.11 シリアルインタフェース"を参照してください。

4.6.2 マスクオプション

入出力兼用ポートは出力モード時の出力仕様として、コンプリメンタリ出力、またはPチャンネルオープンドレイン出力のいずれかをマスクオプションにより1ビットごとに選択できるようになっています。

なお、Pチャンネルオープンドレイン出力を選択した場合でも、ポートに電源電圧を越える電圧を印加することは禁止します。

入力モード時のプルダウン抵抗の有無もマスクオプションにより1ビットごとに選択できます。

入力モード時の"プルダウン抵抗なし"を選択した場合には、フローティング状態が発生しないように注意してください。

入力モード時のプルダウン抵抗の有無、および出力仕様(コンプリメンタリ出力あるいはPチャンネルオープンドレイン出力)のオプションは、入出力兼用ポートをシリアルインタフェースの入出力として使用する場合も有効です。

4.6.3 I/O制御レジスタと入力/出力モード

入出力兼用ポートは、各ポートに対応したI/O制御レジスタIOCxxにデータを書き込むことにより入力モードあるいは出力モードに設定されます。

入力モードに設定する場合はI/O制御レジスタに"0"を書き込みます。入力モードに設定された入出力兼用ポートは、ハイインピーダンス状態となり入力ポートとして働きます。ただし、次項で説明するプルダウン制御を行っている場合は、この入力モード時に限り入力ラインがプルダウンされます。

出力モードに設定する場合はI/O制御レジスタに"1"を書き込みます。出力モードに設定された入出力兼用ポートは出力ポートとして働き、ポート出力データが"1"の場合にHIGH(V_{DD})レベル、"0"の場合にLOW(V_{SS})レベルの出力を行います。出力モード時にもデータの読み出しは可能で、その場合はデータレジスタの内容が読み出されます。

イニシャルリセット時、I/O制御レジスタは"0"に設定され、入出力兼用ポートは入力モードになります。

シリアルインタフェースの入出力に設定されたポート(表4.6.1.1参照)の入出力制御はハードウェアが行います。この場合、I/O制御レジスタは入出力制御に影響を与えない汎用レジスタとして使用可能です。

4.6.4 入力モード時のプルダウン

S1C63656の入出力兼用ポートには入力モード時に働くプルダウン抵抗が内蔵されています。このプルダウンを使用するかしないかについてはマスクオプションにより選択可能です。

各ポートに対応したプルダウン制御レジスタPULxxに"1"を書き込むことによりプルダウン抵抗が有効になり、入力モード時に入力ラインがプルダウンされます。"0"を書き込んだ場合、プルダウンは行われません。イニシャルリセット時、プルダウン制御レジスタは"1"に設定されます。

マスクオプションにより"プルダウンなし"を選択したポートのプルダウン制御レジスタは、汎用レジスタとして使用可能です。

マスクオプションにより"プルダウンあり"を選択した場合でも、シリアルインタフェースの出力に設定されたポート(表4.6.1.1参照)のプルダウン制御レジスタは、プルダウン制御に影響を与えない汎用レジスタとして使用可能です。シリアルインタフェースの入力に設定されたポートのプルダウン制御レジスタは入出力兼用ポートと同様に機能します。

4.6.5 入出力兼用ポートのI/Oメモリ

表4.6.5.1に入出力兼用ポートの制御ビットとそのアドレスを示します。

表4.6.5.1 入出力兼用ポートの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF40H	IOC03	IOC02	IOC01	IOC00	IOC03	0	Output	Input	P00～P03 I/O制御レジスタ
					IOC02	0	Output	Input	
	R/W				IOC01	0	Output	Input	
					IOC00	0	Output	Input	
FF41H	PUL03	PUL02	PUL01	PUL00	PUL03	1	On	Off	P00～P03ブルダウン制御レジスタ
					PUL02	1	On	Off	
	R/W				PUL01	1	On	Off	
					PUL00	1	On	Off	
FF42H	P03	P02	P01	P00	P03	–*2	High	Low	P00～P03入出力兼用ポートデータ
					P02	–*2	High	Low	
	R/W				P01	–*2	High	Low	
					P00	–*2	High	Low	
FF44H	IOC13	IOC12	IOC11	IOC10	IOC13	0	Output	Input	P13 I/O制御レジスタ SIF(スレープ)選択時、汎用レジスタとして機能 P12 I/O制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能 P11 I/O制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能 P10 I/O制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能
					IOC12	0	Output	Input	
	R/W				IOC11	0	Output	Input	
					IOC10	0	Output	Input	
FF45H	PUL13	PUL12	PUL11	PUL10	PUL13	1	On	Off	P13ブルダウン制御レジスタ SIF(スレープ)選択時、汎用レジスタとして機能 P12ブルダウン制御レジスタ(ESIF=0) SIF(マスタ)選択時、汎用レジスタとして機能 SIF(スレープ)選択時、SCLK(I)ブルダウン制御レジスタ P11ブルダウン制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能 P10ブルダウン制御レジスタ(ESIF=0) SIF選択時、SINブルダウン制御レジスタ
					PUL12	1	On	Off	
	R/W				PUL11	1	On	Off	
					PUL10	1	On	Off	
FF46H	P13 (XSRDY)	P12 (XSCLK)	P11 (SOUT)	P10 (SIN)	P13	–*2	High	Low	P13入出力兼用ポートデータ SIF(スレープ)選択時、汎用レジスタとして機能 P12入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能 P11入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能 P10入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能
					P12	–*2	High	Low	
	R/W				P11	–*2	High	Low	
					P10	–*2	High	Low	
FF70H	0	ESOUT	SCTRG	ESIF	0 *3	–*2			未使用 SOUTイネーブル シリアルI/Fクロックトリガ(書き込み時) シリアルI/Fクロックステータス(読み出し時) シリアルI/Fイネーブル(P1ポート機能選択)
					ESOUT	0	Enable	Disable	
					SCTRG	0	Trigger	Invalid	
	R	R/W			ESIF	0	Run	Stop I/O	

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

(1) ポート機能の選択

● ESIF: シリアルインタフェースイネーブルレジスタ (FF70H・D0)

P10～P13の機能を選択します。

"1"書き込み: シリアルインタフェース入出力ポート
 "0"書き込み: 入出力兼用ポート
 読み出し: 可能

シリアルインタフェースを使用する場合に"1"、入出力兼用ポートとして使用する場合に"0"を書き込みます。P10～P13の中でシリアルインタフェースの入出力に使用される端子の構成は、SCS1とSCS0レジスタで選択するマスタ/スレーブモードによって決定します(4.11項参照)。スレーブモードではP10～P13すべてがシリアルインタフェースの入出力ポートに設定されます。マスタモードではP10～P12がシリアルインタフェースの入出力ポートに設定され、P13は入出力兼用ポートとして使用することができます。また、ESOUTレジスタでSOUTをディセーブル(ESOUT = "0")に設定すると、P11は入出力兼用ポートとして使用することができます。

イニシャルリセット時、このレジスタは"0"に設定されます。

(2) 入出力兼用ポートの制御

● P00～P03: P0入出力兼用ポートデータレジスタ (FF42H)

P10～P13: P1入出力兼用ポートデータレジスタ (FF46H)

入出力兼用ポートデータの読み出し、および出力データの設定を行います。

・データ書き込み時

"1"書き込み: HIGHレベル
 "0"書き込み: LOWレベル

入出力兼用ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力兼用ポート端子に出力されます。ポートデータとして"1"を書き込んだ場合はポート端子はHIGH(V_{DD})レベルになり、"0"を書き込んだ場合はLOW(V_{SS})レベルになります。

なお、入力モードの場合もポートデータの書き込みは行えます。

・データ読み出し時

"1"読み出し: HIGHレベル
 "0"読み出し: LOWレベル

入出力兼用ポートの端子電圧レベルを読み出します。入出力兼用ポートが入力モードの場合はポート端子に入力されている電圧レベルが読み出され、出力モードに設定されている場合はレジスタの内容が読み出されます。端子電圧がHIGH(V_{DD})レベルの場合は読み出されるポートデータが"1"、LOW(V_{SS})レベルの場合は"0"となります。

また、マスクオプションで"プルダウンあり"を選択し、PULレジスタに"1"を設定している場合、入力モード時には内蔵プルダウン抵抗がONとなり、入出力兼用ポート端子がプルダウンされます。

P10～P13の中でシリアルインタフェースの入出力に設定したポートのデータレジスタは入出力には影響を与えない汎用レジスタとなります。

注: 入力モード時にポートの入力をHIGHレベルからプルダウン抵抗でLOWレベルに変化させる場合、プルダウン抵抗と入力ゲート容量の時定数によって波形立ち下がりに遅延が生じます。このため、入力データの取り込みを行う際は、適切な待ち時間を設定してください。

特に、キーマトリクス構成時のキースキャン等に注意が必要です。

この待ち時間は次の式で算出される時間以上としてください。

$$10 \times C(\text{端子容量} 5\text{pF} + \text{寄生容量} ?\text{pF}) \times R(\text{プルダウン抵抗} 375\text{k}\Omega \text{ Max.})$$

● **IOC00～IOC03: P0ポートI/O制御レジスタ (FF40H)**

IOC10～IOC13: P1ポートI/O制御レジスタ (FF44H)

入出力兼用ポートの入力/出力モードを設定します。

"1"書き込み: 出力モード

"0"書き込み: 入力モード

読み出し: 可能

入出力兼用ポートの入力/出力モードを1ビット単位に設定します。

I/O制御レジスタに"1"を書き込むことにより対応する入出力兼用ポートが出力モードに、"0"を書き込むことにより入力モードになります。

イニシャルリセット時、これらのレジスタは"0"に設定され、入出力兼用ポートはすべて入力モードになります。P10～P13の中でシリアルインタフェースの入出力に設定したポートのI/O制御レジスタは入出力には影響を与えない汎用レジスタとなります。

● **PUL00～PUL03: P0ポートプルダウン制御レジスタ (FF41H)**

PUL10～PUL13: P1ポートプルダウン制御レジスタ (FF45H)

入力モード時のプルダウンを設定します。

"1"書き込み: プルダウンON

"0"書き込み: プルダウンOFF

読み出し: 可能

入出力兼用ポートに内蔵されたプルダウン抵抗を入力モード時にONまたはOFFすることを1ビット単位に設定します。(プルダウン抵抗はマスクオプションで選択したポートのみに付加されます。)

プルダウン制御レジスタに"1"を書き込むことにより、対応する入出力兼用ポートが入力モード時にプルダウンがONとなります。"0"を書き込んだ場合、プルダウンは行われません。

イニシャルリセット時、これらのレジスタは"1"に設定され、プルダウン抵抗がすべてONになります。

マスクオプションによりプルダウン抵抗が付加されていないポート、およびシリアルインタフェースのシリアル出力に用いられるポートのプルダウン制御レジスタはプルダウンには影響を与えない汎用レジスタとなります。シリアル入力に用いられるポートのプルダウン制御レジスタは入出力兼用ポートの場合と同様に機能します。

4.6.6 プログラミング上の注意事項

入力モード時にポートの入力をHIGHレベルからプルダウン抵抗でLOWレベルに変化させる場合、プルダウン抵抗と入力ゲート容量の時定数によって波形立ち下がりに遅延が生じます。このため、入力データの取り込みを行う際は、適切な待ち時間を設定してください。

特に、キーマトリクス構成時のキースキャン等に注意が必要です。

この待ち時間は次の式で算出される時間以上としてください。

$10 \times C(\text{端子容量}5\text{pF} + \text{寄生容量?pF}) \times R(\text{プルダウン抵抗}375\text{k}\Omega \text{ Max.})$

4.7 LCDDライバ (COM0～COM3, SEG0～SEG37)

4.7.1 LCDDライバの構成

S1C63656は4本のコモン端子(COM0～COM3)と38本のセグメント端子(SEG0～SEG37)を持ち、最大152ドット(38×4)のLCDを駆動できます。

駆動方法は V_{C1} 、 V_{C2} 、 V_{C3} の3電位(1/3バイアス)による1/4または1/3デューティダイナミック駆動です。LCD表示のON/OFFもソフトウェアにより制御できます。

4.7.2 LCD駆動電源

LCD駆動用電源はマスクオプションによって内蔵電源または外部電源から選択できます。

内蔵電源を選択すると、LCD駆動用の電圧 V_{C1} ～ V_{C3} は、LCD系電圧回路により内部発生します。LCD系電圧回路はLPWRレジスタによってON/OFFします。LPWRを"1"に設定することにより、LCD系電圧回路はLCD駆動電圧 V_{C1} ～ V_{C3} をLCDDライバに対して出力します。

LCD系電圧回路はその中の定電圧回路によって V_{C1} を発生し、その電圧を昇圧して他の2電位($V_{C2} = 2V_{C1}$ 、 $V_{C3} = 3V_{C1}$)を発生します。

外部電源を使用する場合は、電圧をマスクオプションで以下の3種類から選択し、 V_{C1} ～ V_{C3} 端子に供給します。

1. 外部電源 1/3バイアス(4.5Vパネル対応) $V_{DD} = V_{C2}$
2. 外部電源 1/3バイアス(3.0Vパネル対応) $V_{DD} = V_{C3}$
3. 外部電源 1/2バイアス(3.0Vパネル対応) $V_{DD} = V_{C3}$, $V_{C1} = V_{C2}$ (スタティック駆動可能)

外部電源を使用する場合も、LPWRレジスタによるON/OFF制御は必要です。マスクオプションによりDC出力に設定したSEG出力ポートは、この電源のON/OFFにかかわらず出力可能です。

4.7.3 LCD表示のON/OFFとLCD駆動波形

(1) 表示のON/OFF

S1C63656には電源のON/OFFの制御とは別に、表示を点滅させるためのALON、ALOFFレジスタが用意されています。ALONは"1"の書き込みですべてのセグメントをONにするものです。ALOFFは逆に"1"の書き込みですべてのセグメントをOFFにします。この場合、SEG端子からはON波形またはOFF波形が出力されます。"0"設定時は共に通常の表示が行われます。また、ALON、ALOFF共に"1"に設定した場合、ALON(全点灯)がALOFF(全消灯)に優先します。

(2) 駆動デューティの切り換え

S1C63656はソフトウェアにより駆動デューティを1/4と1/3の2種類に切り換えることができます。この設定は表4.7.3.1に示すとおり、レジスタLDUTY1およびLDUTY0によって行います。

表4.7.3.1 駆動デューティの設定

LDUTY1	LDUTY0	駆動デューティ	使用コモン端子	最大セグメント数
1	1	1/3	COM0～COM2	114 (38×3)
1	0	—	—	—
0	1	—	—	—
0	0	1/4	COM0～COM3	152 (38×4)

フレーム周波数は駆動デューティに従い表4.7.3.2に示す値となります。

表4.7.3.2 フレーム周波数

OSC1発振周波数	1/3デューティ選択時	1/4デューティ選択時
32.768kHz	42.7Hz	32Hz

図4.7.3.1～図4.7.3.2に各デューティのダイナミック駆動波形を示します。

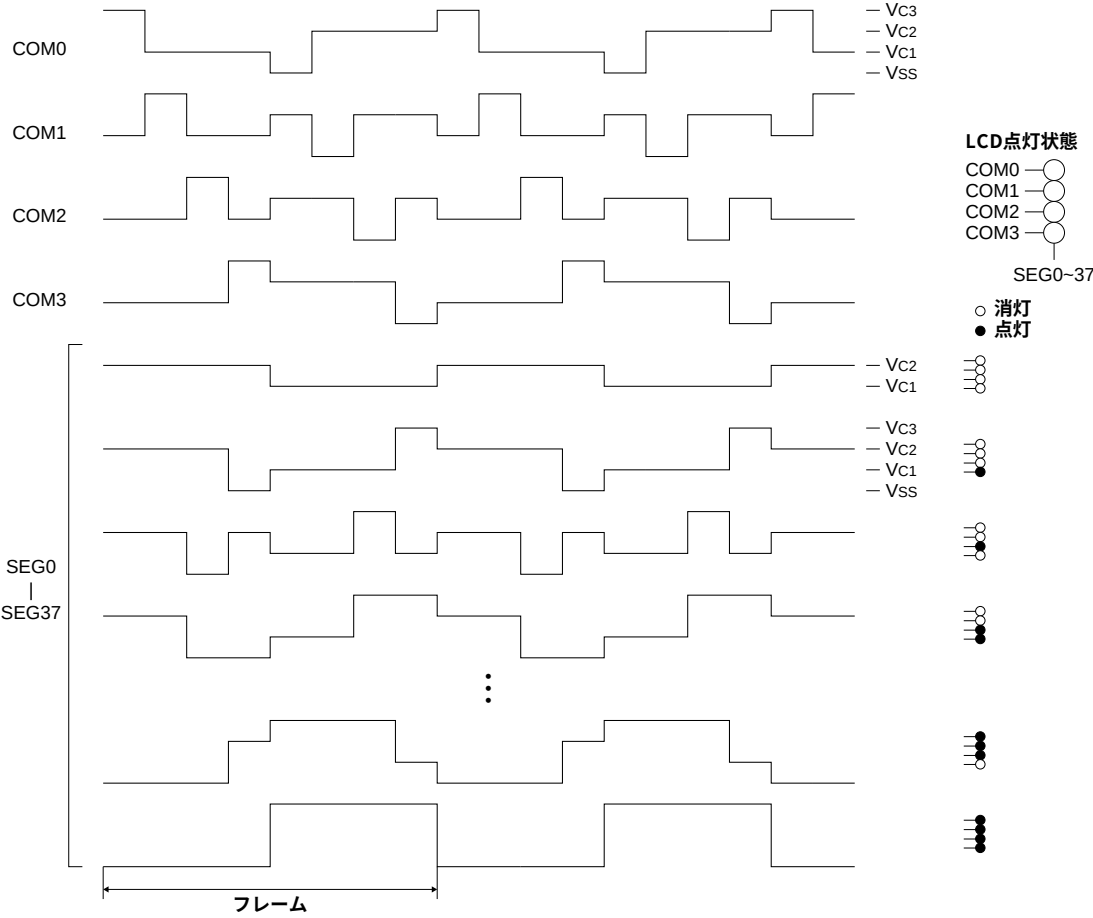


図4.7.3.1 1/4デューティLCD駆動波形

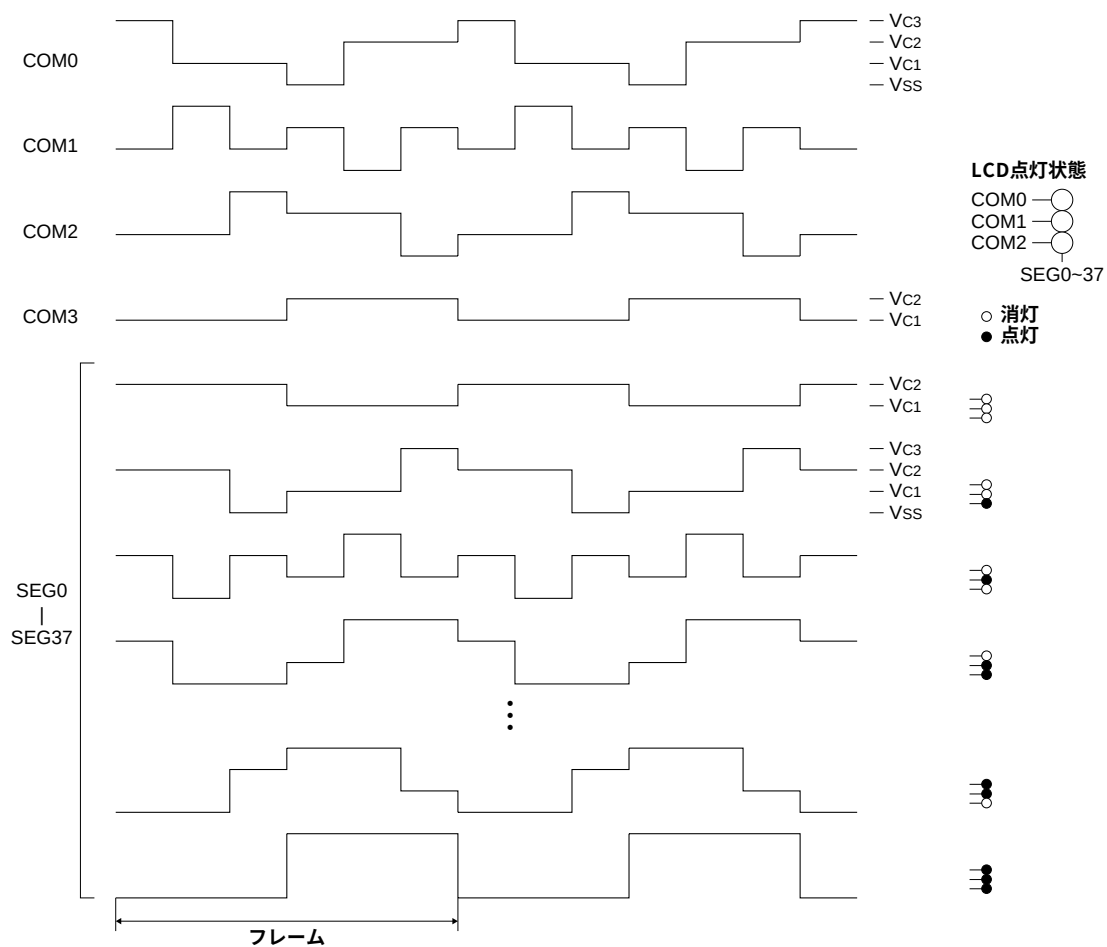


図4.7.3.2 1/3デューティLCD駆動波形

(3) スタティック駆動

S1C63656はLCDスタティック駆動をソフトウェアにより設定できます。ただし、この機能は、"外部電源 1/2 バイアス(3.0Vパネル対応)"のマスクオプション選択時にのみ有効です。

スタティック駆動に設定するには、LCD駆動方式選択レジスタSTCDに"1"を書き込みます。この状態で、SEG端子に対応するCOM0～COM3のいずれかのビット(表示メモリ)に"1"を書き込むと、そのSEG端子はスタティックのON波形を出力します。COM0～COM3すべてが"0"に設定されているときは、そのSEG端子はダイナミックのままOFF波形を出力します。

図4.7.3.3にスタティック駆動波形を示します。

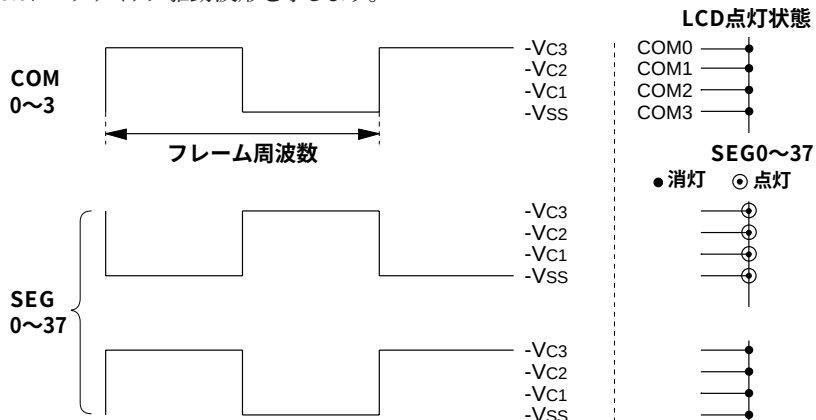


図4.7.3.3 スタティック駆動波形

注: スタティック駆動を行うには、マスクオプションで"外部電源 1/2 バイアス(3.0Vパネル対応)"を選択してください。内部電源、または外部電源 1/3 バイアスのマスクオプション選択時は、STCDレジスタでスタティック駆動に設定することはできません。

4.7.4 表示メモリ

表示メモリはデータメモリ領域のF000H～F02FHに割り付けられており、マスクオプションにより任意のセグメント端子(SEG0～SEG37)に対応させることができます。

表示メモリのビットを"1"にすると対応するLCDセグメントが点灯し、"0"にすると消灯します。

イニシャルリセット時、表示メモリの内容は不定となりますので、ソフトウェアにより初期化する必要があります。

LCD表示に使用しないアドレスは汎用のメモリとして使用することができます。

4.7.5 セグメントオプション

● セグメント割り付け

表示メモリのアドレス(F000H～F02FH)およびビット(D0～D3)は、マスクオプションにより任意のセグメント端子(SEG0～SEG37)に対応させることができます。このため、液晶パネルの自由度が増し設計が容易になります。

図4.7.5.1にLCDセグメント(パネル上)と表示メモリの関係を1/4デューティの場合を例として示します。

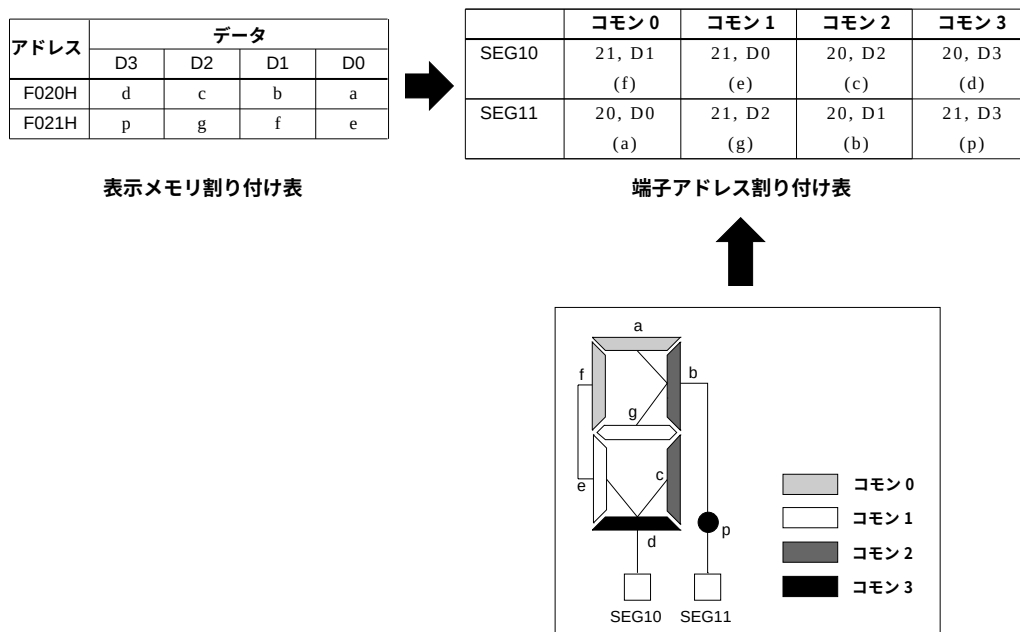


図4.7.5.1 セグメント割り付け

● 出力仕様

- 各セグメント端子(SEG0～SEG37)は2端子単位でセグメント信号出力かDC出力(V_{DD} 、 V_{SS} の2値出力)をマスクオプションで選択します。
DC出力を選択した場合は各セグメント端子のCOM0に対応するデータが出力されます。
- DC出力を選択した場合、コンプリメンタリ出力かNチャンネルオープンドレイン出力を2端子ごとにマスクオプションで選択できます。

注: 2端子単位とはSEG(2・n)とSEG(2・n+1) (nは0～18の整数)の組合せです。

セグメントオプションリスト

端子名	アドレス (F0xx)												出力仕様
	COM0			COM1			COM2			COM3			
	H	L	D	H	L	D	H	L	D	H	L	D	
SEG0													SEG出力 ☐ S
SEG1													DC出力 ☐ C ☐ N
SEG2													SEG出力 ☐ S
SEG3													DC出力 ☐ C ☐ N
SEG4													SEG出力 ☐ S
SEG5													DC出力 ☐ C ☐ N
SEG6													SEG出力 ☐ S
SEG7													DC出力 ☐ C ☐ N
SEG8													SEG出力 ☐ S
SEG9													DC出力 ☐ C ☐ N
SEG10													SEG出力 ☐ S
SEG11													DC出力 ☐ C ☐ N
SEG12													SEG出力 ☐ S
SEG13													DC出力 ☐ C ☐ N
SEG14													SEG出力 ☐ S
SEG15													DC出力 ☐ C ☐ N
SEG16													SEG出力 ☐ S
SEG17													DC出力 ☐ C ☐ N
SEG18													SEG出力 ☐ S
SEG19													DC出力 ☐ C ☐ N
SEG20													SEG出力 ☐ S
SEG21													DC出力 ☐ C ☐ N
SEG22													SEG出力 ☐ S
SEG23													DC出力 ☐ C ☐ N
SEG24													SEG出力 ☐ S
SEG25													DC出力 ☐ C ☐ N
SEG26													SEG出力 ☐ S
SEG27													DC出力 ☐ C ☐ N
SEG28													SEG出力 ☐ S
SEG29													DC出力 ☐ C ☐ N
SEG30													SEG出力 ☐ S
SEG31													DC出力 ☐ C ☐ N
SEG32													SEG出力 ☐ S
SEG33													DC出力 ☐ C ☐ N
SEG34													SEG出力 ☐ S
SEG35													DC出力 ☐ C ☐ N
SEG36													SEG出力 ☐ S
SEG37													DC出力 ☐ C ☐ N
〈アドレス〉 H: RAMデータ上位アドレス (0～9) L: RAMデータ下位アドレス (0～F) D: データビット (0～3)													
〈出力仕様〉 S: セグメント出力 C: コンプリメンタリ出力 N: Nchオープンドレイン出力													

4.7.6 LCDコントラスト調整

LCD駆動電源のマスクオプションで、内蔵電源(通常モード)を選択した場合、LCDのコントラストをソフトウェアによって調整することができます。

これは内蔵のLCD系電圧回路が出力する V_{C1} 、 V_{C2} 、 V_{C3} の電圧を制御することによって実現しています。コントラストはLC3～LC0レジスタによって表4.7.6.1に示す16段階に調整可能です。レジスタの設定値により V_{C1} は1.03V～1.40Vの範囲で、他の電圧は V_{C1} にしたがって変化します。

表4.7.6.1 LCDコントラスト

No.	LC3	LC2	LC1	LC0	V_{C1} (V)	コントラスト
0	0	0	0	0	1.03	↑ 淡
1	0	0	0	1	1.06	
2	0	0	1	0	1.09	
3	0	0	1	1	1.12	
4	0	1	0	0	1.15	
5	0	1	0	1	1.18	
6	0	1	1	0	1.20	
7	0	1	1	1	1.23	
8	1	0	0	0	1.26	
9	1	0	0	1	1.28	
10	1	0	1	0	1.30	↓ 濃
11	1	0	1	1	1.32	
12	1	1	0	0	1.34	
13	1	1	0	1	1.36	
14	1	1	1	0	1.38	
15	1	1	1	1	1.40	

イニシャルリセット時、LC3～LC0は0000Bになります。希望のコントラストを得るにはソフトウェアによる初期化が必要です。

LCD駆動電圧をマスクオプションによって外部印加する場合、この調整は無効となります。

また、内蔵電源(低パワーモード)を選択した場合も、コントラスト調整機能は使用できません。上記レジスタの設定は無効となります。

この場合、 V_{C1} 電圧は0.98V(Typ.)になります。

4.7.7 LCDドライバのI/Oメモリ

表4.7.7.1にLCDドライバの制御ビットとそのアドレスを、図4.7.7.1に表示メモリマップを示します。

表4.7.7.1 LCDドライバの制御ビット

アドレス	レジスタ				注 釈					
	D3	D2	D1	D0	Name	Init *1	1	0		
FF60H	LDUTY1	LDUTY0	STCD	LPWR	LDUTY1	0			LCD駆動デューティ 切り換え LCD駆動方式切り換え LCD電源On/Off	[LDUTY1, 0] 0 1,2 3 デューティ 1/4 - 1/3
					LDUTY0	0				
	R/W				STCD	0	Static	Dynamic		
					LPWR	0	On	Off		
FF61H	0	ALOFF	ALON	0	0 *3	- *2			未使用	
					ALOFF	1	All Off	Normal	LCD全消灯制御	
	R	R/W		R	ALON	0	All On	Normal	LCD全点灯制御	
					0 *3	- *2			未使用	
FF62H	LC3	LC2	LC1	LC0	LC3	0			LCDコントラスト調整 [LC3~0] 0 ~ 15 コントラスト 淡 ~ 濃	
					LC2	0				
	R/W				LC1	0				
					LC0	0				

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

Address Base	Low	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
F000H		表示メモリ(48ワード x 4ビット) R/W															
F010H																	
F020H																	

図4.7.7.1 表示メモリマップ

● LPWR: LCD電源ON/OFF制御レジスタ (FF60H・D0)

LCD系電圧回路をON/OFFします。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

LPWRに"1"を書き込むことにより、LCD系電圧回路がONとなりLCD駆動電圧を発生します。"0"を書き込んだ場合、LCD駆動電圧はすべてVssとなります。

LPWRに"1"を書き込んだ後、LCD系電圧回路が動作しLCD駆動電圧出力が安定するまで約100msecかかります。

この制御はDC出力に設定されたSEG端子には影響を与えません。

イニシャルリセット時、このレジスタは"0"に設定されます。

● LDUTY0, LDUTY1: LCD駆動デューティ切り換えレジスタ (FF60H・D2, D3)

LCD駆動デューティを選択します。

表4.7.7.2 駆動デューティの設定

LDUTY1	LDUTY0	駆動デューティ	使用コモン端子	最大セグメント数
1	1	1/3	COM0~COM2	114 (38×3)
1	0	—	—	—
0	1	—	—	—
0	0	1/4	COM0~COM3	152 (38×4)

イニシャルリセット時、このレジスタは"0"に設定されます。

● STCD: LCD駆動方式選択レジスタ (FF60H・D1)

LCDの駆動方式を選択します。

"1"書き込み: スタティック駆動
 "0"書き込み: ダイナミック駆動
 読み出し: 可能

STCDに"1"を書き込むとスタティック駆動、"0"の書き込みでダイナミック駆動となります。
 イニシャルリセット時、このレジスタは"0"に設定されます。

● ALON: LCD全点灯制御レジスタ (FF61H・D1)

LCDセグメントを全点灯させます。

"1"書き込み: 全点灯
 "0"書き込み: 通常表示
 読み出し: 可能

ALONに"1"を書き込むとLCDセグメントがすべて点灯し、"0"の書き込みで通常表示に戻ります。これによる全点灯はSEGにON波形を出力するもので、表示メモリの内容には影響を与えません。

ALONはALOFFに優先します。

イニシャルリセット時、このレジスタは"0"に設定されます。

● ALOFF: LCD全消灯制御レジスタ (FF61H・D2)

LCDセグメントを全消灯させます。

"1"書き込み: 全消灯
 "0"書き込み: 通常表示
 読み出し: 可能

ALOFFに"1"を書き込むとLCDセグメントがすべて消灯し、"0"の書き込みで通常表示に戻ります。これによる全消灯はSEGにOFF波形を出力するもので、表示メモリの内容には影響を与えません。

ALON(FF61H・D1)に"1"が同時に書き込まれた場合は、全点灯が優先されます。

イニシャルリセット時、このレジスタは"1"に設定されます。

● LC3～LC0: LCDコントラスト調整レジスタ (FF62H)

LCDのコントラストを調整します。

LC3～LC0 = 0000B 淡
 :
 LC3～LC0 = 1111B 濃

LCD駆動電圧をマスクオプションによって外部印加する場合、この調整は無効となります。

また、内部電源(低パワーモード)を選択した場合も、コントラスト調整機能は使用できません。本レジスタの設定は無効となります。

イニシャルリセット時、LC3～LC0は0000Bに設定されます。

4.7.8 プログラミング上の注意事項

イニシャルリセット時、表示メモリの内容は不定となり、LC3～LC0(LCDコントラスト)も0000Bとなりますので、ソフトウェアにより初期化する必要があります。また、表示もすべてOFFとなるように各レジスタ(LPWR、ALOFF)が設定されますので注意してください。

4.8 計時タイマ

4.8.1 計時タイマの構成

S1C63656はOSC1(水晶発振)を原振とする計時タイマを内蔵しています。計時タイマはfOSC1の分周クロック(256Hz)を入力クロックとする8ビットのバイナリカウンタで構成され、その8ビットデータ(128Hz～16Hzと8Hz～1Hz)をソフトウェアによって読み出すことができます。

図4.8.1.1に計時タイマのブロック図を示します。

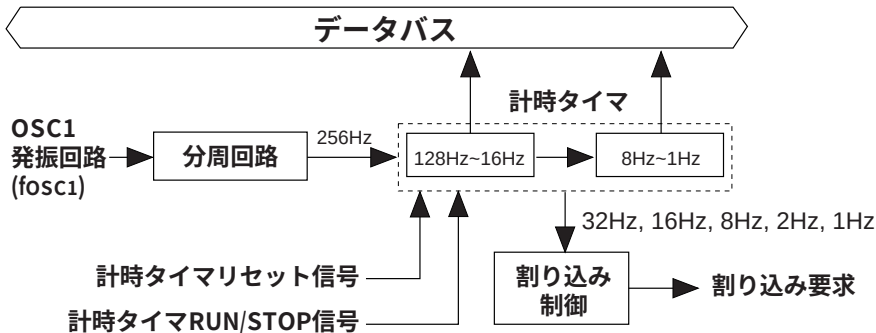


図4.8.1.1 計時タイマのブロック図

通常はこの計時タイマを、時計などのような各種の計時機能に用います。

4.8.2 データの読み出しとホールド機能

8ビットのタイマデータはアドレスFF75HとFF76Hに次のように割り付けられています。

<FF75H>	D0:TM0=128Hz	D1:TM1=64Hz	D2:TM2=32Hz	D3:TM3=16Hz
<FF76H>	D0:TM4=8Hz	D1:TM5=4Hz	D2:TM6=2Hz	D3:TM7=1Hz

計時タイマのデータは2つのアドレスに割り付けられているため、カウント中に下位データ(TM0～TM3: 128Hz～16Hz)から上位データ(TM4～TM7: 8Hz～1Hz)への桁上げが発生します。下位データと上位データの読み出しの間にこの桁上げが発生すると、2つを合わせた内容が正しい値とはなりません(下位データがFFHと読み出されていて、上位データはその時点から1つカウントアップされた値になってしまいます)。これを避けるために、S1C63656では上位データのホールド機能が働くようになっています。この機能は下位データの読み出しを行った時点で上位データのカウンタアップ(下位データからの桁上げ)を一時停止するもので、上位データがホールドされる時間は次に示す2つのうちの短い方になります。

1. 上位データを読み出すまでの間
2. 0.48msec～1.5msec(読み出しのタイミングにより異なる)

注: 上位データを先に読み出した場合は下位データのホールドは行われませんので、必ず下位バイトから先に読み出しを行ってください。

4.8.3 割り込み機能

計時タイマは32Hz、8Hz、2Hz、1Hz、16Hzの各信号の立ち下がりエッジにおいて割り込みを発生させることができます。また、前記の各周波数に対して個別に割り込みをマスクするかしないかを、ソフトウェアで設定することができます。

図4.8.3.1に計時タイマのタイミングチャートを示します。

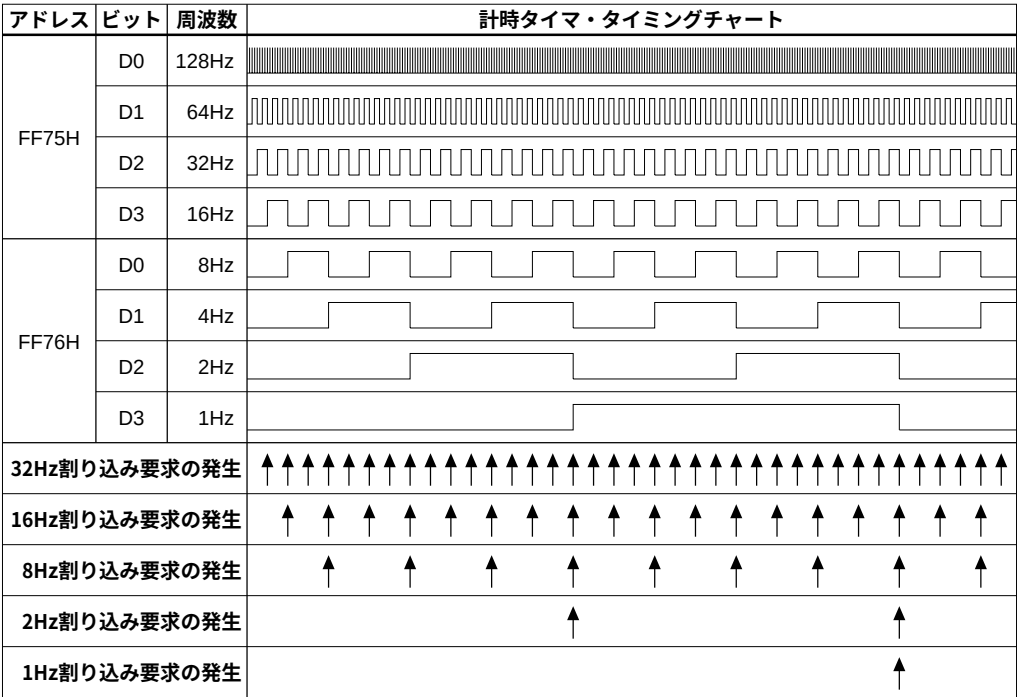


図4.8.3.1 計時タイマのタイミングチャート

図4.8.3.1に示すとおり、割り込みは各周波数(32Hz、8Hz、2Hz、1Hz、16Hz)の信号の立ち下がりエッジによって発生します。また、この時点に対応する割り込み要因フラグ(IT0、IT1、IT2、IT3、IT4)が"1"にセットされます。各割り込みは、割り込みマスクレジスタ(EIT0、EIT1、EIT2、EIT3、EIT4)によって、個別にマスクを選択することができます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応する信号の立ち下がりエッジで"1"にセットされます。

4.8.4 計時タイマのI/Oメモリ

表4.8.4.1に計時タイマの制御ビットとそのアドレスを示します。

表4.8.4.1 計時タイマの制御ビット

アドレス	レジスタ				注 釈				
	D3	D2	D1	D0	Name	Init *1	1	0	
FF74H	0	0	TMRST	TMRUN	0 *3 0 *3	– *2 – *2			未使用 未使用
	R		W	R/W	TMRST*3 TMRUN	Reset 0	Reset Run	Invalid Stop	計時タイマリセット(書き込み時) 計時タイマRun/Stop
	TM3	TM2	TM1	TM0	TM3 TM2 TM1 TM0	0 0 0 0			計時タイマデータ(16Hz) 計時タイマデータ(32Hz) 計時タイマデータ(64Hz) 計時タイマデータ(128Hz)
FF76H	TM7	TM6	TM5	TM4	TM7 TM6 TM5 TM4	0 0 0 0			計時タイマデータ(1Hz) 計時タイマデータ(2Hz) 計時タイマデータ(4Hz) 計時タイマデータ(8Hz)
	R								
	EIT3	EIT2	EIT1	EIT0	EIT3 EIT2 EIT1 EIT0	0 0 0 0	Enable Enable Enable Enable	Mask Mask Mask Mask	割り込みマスクレジスタ(計時タイマ1Hz) 割り込みマスクレジスタ(計時タイマ2Hz) 割り込みマスクレジスタ(計時タイマ8Hz) 割り込みマスクレジスタ(計時タイマ32Hz)
FFE9H	0	0	0	EIT4	0 *3 0 *3 0 *3	– *2 – *2 – *2			未使用 未使用 未使用
	R			R/W	EIT4	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ16Hz)
	IT3	IT2	IT1	IT0	IT3 IT2 IT1 IT0	0 0 0 0	(R) Yes (W) Reset	(R) No (W) Invalid	割り込み要因フラグ(計時タイマ1Hz) 割り込み要因フラグ(計時タイマ2Hz) 割り込み要因フラグ(計時タイマ8Hz) 割り込み要因フラグ(計時タイマ32Hz)
FFF9H	0	0	0	IT4	0 *3 0 *3 0 *3	– *2 – *2 – *2	(R) Yes (W)	(R) No (W)	未使用 未使用 未使用
	R			R/W	IT4	0	Reset	Invalid	割り込み要因フラグ(計時タイマ16Hz)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

● TM0～TM7: タイマデータ (FF75H, FF76H)

計時タイマの128Hz～1Hzのタイマデータが読み出せます。この8ビットは読み出し専用のため、書き込み動作は無効となります。

下位データ(FF75H)を読み出すことにより、上位データ(FF76H)がその読み出しまで、または0.48msec～1.5msecの間、どちらか短い方にホールドされます。

イニシャルリセット時、タイマデータは"00H"に初期化されます。

● TMRST: 計時タイマリセット (FF74H・D1)

計時タイマをリセットするビットです。

"1"書き込み: 計時タイマリセット
 "0"書き込み: ノーオペレーション
 読み出し: 常時"0"

計時タイマは、TMRSTに"1"を書き込むことによりリセットされます。計時タイマがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合はリセットデータが保持されます。

また、"0"の書き込みはノーオペレーションとなります。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

● TMRUN: 計時タイマRUN/STOP制御レジスタ (FF74H・D0)

計時タイマのRUN/STOPを制御します。

"1"書き込み: RUN
 "0"書き込み: STOP
 読み出し: 可能

計時タイマはTMRUNに"1"を書き込むことによりRUNし、"0"の書き込みによりSTOPします。
 STOP状態ではリセットか次にRUN状態にするまで、タイマのデータは保持されます。また、STOP状態からRUN状態にすることにより保持していたデータから継続して、カウントを進めることができます。
 イニシャルリセット時、このレジスタは"0"に設定されます。

● EIT0: 32Hz割り込みマスクレジスタ (FFE5H・D0)

EIT1: 8Hz割り込みマスクレジスタ (FFE5H・D1)

EIT2: 2Hz割り込みマスクレジスタ (FFE5H・D2)

EIT3: 1Hz割り込みマスクレジスタ (FFE5H・D3)

EIT4: 16Hz割り込みマスクレジスタ (FFE9H・D0)

計時タイマの割り込みについて、マスクするかしないかを選択します。

"1"書き込み: イネーブル
 "0"書き込み: マスク
 読み出し: 可能

各周波数(32Hz、8Hz、2Hz、1Hz、16Hz)に対して、割り込みをマスクするかしないかを、割り込みマスクレジスタEIT0(32Hz)、EIT1(8Hz)、EIT2(2Hz)、EIT3(1Hz)、EIT4(16Hz)により個別に選択できます。
 イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

● IT0: 32Hz割り込み要因フラグ (FFF5H・D0)

IT1: 8Hz割り込み要因フラグ (FFF5H・D1)

IT2: 2Hz割り込み要因フラグ (FFF5H・D2)

IT3: 1Hz割り込み要因フラグ (FFF5H・D3)

IT4: 16Hz割り込み要因フラグ (FFF9H・D0)

計時タイマ割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有
 "0"読み出し: 割り込み無
 "1"書き込み: 要因フラグをリセット
 "0"書き込み: 無効

割り込み要因フラグIT0、IT1、IT2、IT3、IT4は、それぞれ32Hz、8Hz、2Hz、1Hz、16Hzの計時タイマ割り込みに対応します。これらのフラグによって計時タイマ割り込みの有無を、ソフトウェアで判断することができます。ただし、これらのフラグは割り込みをマスクしていても、対応する信号の立ち下がりエッジで"1"にセットされます。

これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

4.8.5 プログラミング上の注意事項

- (1) データの読み出しは必ず下位データ(TM0～TM3)から先に行ってください。
- (2) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.9 ストップウォッチタイム

4.9.1 ストップウォッチタイムの構成

S1C63656は、1/1,000sec単位のストップウォッチタイムを内蔵しています。ストップウォッチタイムはプリスケアラより出力される1,000Hz信号を入力クロックとする4ビット3段のBCDカウンタで構成され、ソフトウェアにより1/1,000sec、1/100sec、1/10secの各4ビット単位でデータを読み出すことができます。また、入力ポートK00およびK01を使用して、キー入力によってストップウォッチタイムのRUN/STOPおよびLAPを制御するダイレクト入力機能も持っています。

図4.9.1.1にストップウォッチタイムのブロック図を示します。

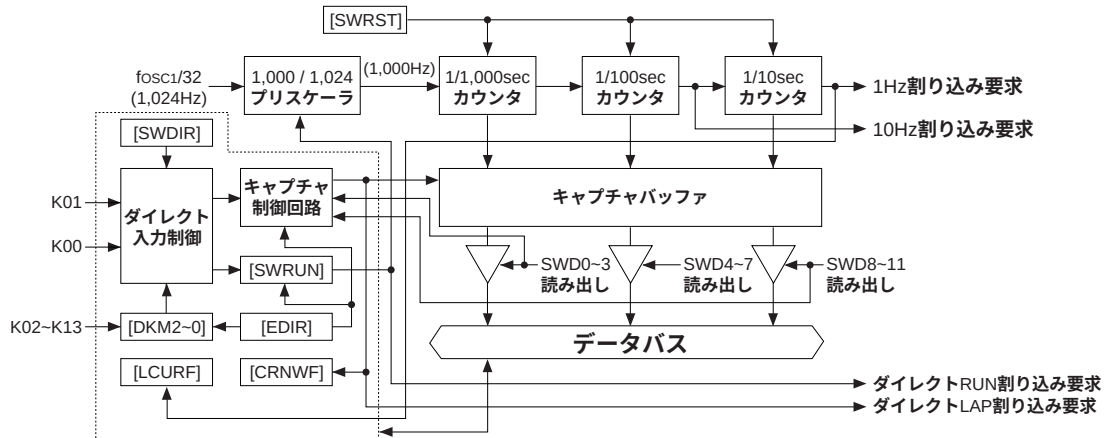


図4.9.1.1 ストップウォッチタイムのブロック図

ストップウォッチタイムは計時タイマとは別のタイマとして使用でき、特にデジタルウォッチのストップウォッチ機能などをソフトウェアで容易に実現することができます。

4.9.2 カウンタとプリスケアラ

ストップウォッチタイムは、それぞれ4ビットのBCDカウンタSWD0～3、SWD4～7およびSWD8～11で構成されています。

ストップウォッチタイム前段のカウンタSWD0～3は、プリスケアラより出力される1,000Hz信号を入力クロックとして1/1,000secごとのカウントアップを行い、100Hz信号を発生します。中段のカウンタSWD4～7はSWD0～3が出力する100Hz信号をクロックとして1/100secごとのカウントアップを行い、10Hz信号を出力します。同様に、後段のカウンタSWD8～11は1/10secごとのカウントアップを行って1Hz信号を発生します。プリスケアラはOSC1発振回路の出力を分周した1,024Hzのクロックを入力し、1,000HzのSWD0～3カウントクロックを出力します。1,024Hzから1,000Hzのクロックを作成するため、1秒間にプリスケアラに入力される1,024個のパルスから24個のパルスを抜き取るという方法をとっています。

カウンタが以下に示す値となった場合、その直後にプリスケアラに入力される1,024Hzのパルスが1個抜き取られます。

パルス補正が行われるカウンタ値(msec)

39, 79, 139, 179, 219, 259, 299, 319, 359, 399, 439, 479,
539, 579, 619, 659, 699, 719, 759, 799, 839, 879, 939, 979

図4.9.2.1にプリスケアラの動作を示します。

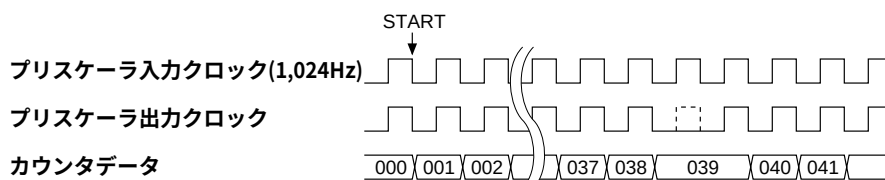


図4.9.2.1 プリスケアラの動作タイミング

上記の理由により、パルス補正時以外のカウントクロックは1,024Hz(0.9765625msec)となります。したがって、プリスケアラの出力クロック(1,000Hz)、およびカウンタSWD0～3、SWD4～7が発生する100Hz、10Hz信号の周波数は近似値となります。

4.9.3 キャプチャバッファとホールド機能

ストップウォッチタイマの1/1,000secデータ、1/100secデータ、1/10secデータは、それぞれSWD0～3(FF7AH)、SWD4～7(FF7BH)、SWD8～11(FF7CH)から読み出すことができます。読み出しの際は各カウンタのデータがキャプチャバッファにラッチされ、3ワードの読み出しが終了するまでデータがホールドされます。これによって、3ワードの読み出しの途中で下位桁からの桁上げが発生した場合でも正しいデータを読み出すことができます。なお、キャプチャバッファへはSWD0～3(1/1,000sec)の読み出しを行った時点で3個のカウンタのデータが同時にラッチされ、SWD8～11(1/10sec)の読み出しが終了した時点でデータのホールドが解除されるようになっています。したがって、データの読み出しはSWD0～3→SWD4～7→SWD8～11の順に行ってください。データがホールドされていない状態でSWD4～7あるいはSWD8～11を先に読み出した場合は、ホールド機能が働かずカウンタのデータが直接読み出されます。ストップウォッチタイマがRUN状態でホールドされていないデータを読み出した場合、正しいデータかどうかを判断することができません。

ストップウォッチタイマには外部キー入力によるLAP(ラップ)機能があります(後述)。キャプチャバッファは、このLAP(ラップ)データをホールドするためにも使用されます。この場合も、SWD8～11が読み出されるまでデータがホールドされます。ただし、ホールドされているデータの読み出しを終了する前にLAP入力が行われた場合はその時点でキャプチャバッファの内容が更新されてしまいます。読み残していたデータは更新されて無効となりますので、SWD8～11を読み出してもホールド状態は解除されません。キャプチャバッファが更新されている状態でSWD8～11を読み出しますと、その時点でキャプチャ更新フラグCRNWFが"1"にセットされますので、この場合は再度SWD0～3からの読み出しを行う必要があります。キャプチャ更新フラグはSWD8～11の読み出しごとに更新されます。

図4.9.3.1にデータのホールドと読み出しのタイミングを示します。

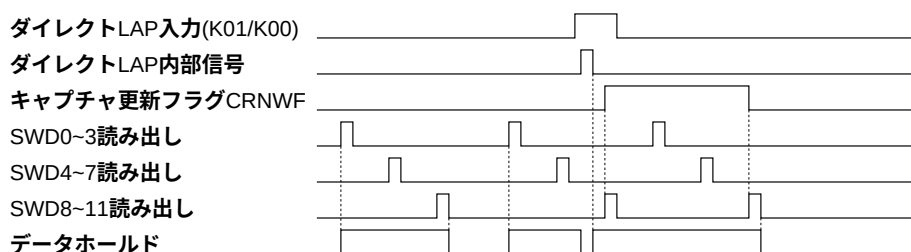


図4.9.3.1 データのホールドと読み出し

4.9.4 ストップウォッチタイマのRUN/STOPおよびリセット

ストップウォッチタイマはソフトウェアによってRUN/STOPの制御、およびリセットが行えます。

(1) ストップウォッチタイマのRUN/STOP

ストップウォッチタイマはレジスタSWRUNに"1"を書き込むことによってRUN、"0"の書き込みでSTOPします。ストップウォッチタイマをRUNさせると、その時点のカウンタの内容から継続してカウントアップを行います。STOPさせた場合は、その後もその時点のカウンタの内容を保持します。

レジスタSWRUNの書き込みによるストップウォッチタイマのRUN/STOPの動作は、プリスケアラの入力クロックと同じ1,024Hzの立ち下がりエッジに同期して行われます。

なおSWRUNは読み出しも可能で、その場合はストップウォッチタイマの動作状態を示します。

図4.9.4.1にSWRUNレジスタ制御時の動作タイミングを示します。

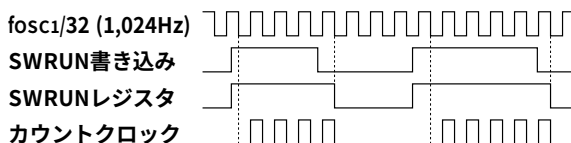


図4.9.4.1 SWRUNレジスタ制御時の動作タイミング

次項で説明するダイレクト入力機能を設定した場合は、RUN/STOPの制御を外部キー入力によって行います。その場合は、SWRUNがストップウォッチタイマの動作状態を示す読み出し専用のレジスタとなります。

(2) ストップウォッチタイマのリセット

ストップウォッチタイマはレジスタSWRSTに"1"を書き込むことによってリセットされ、カウンタは"000"にクリアされます。このリセットはキャプチャバッファに影響を与えないので、ホールド状態のキャプチャバッファのデータはクリアされずにそのまま保持されます。なお、ストップウォッチタイマがRUN状態でリセットすると、カウンタが"000"の状態からカウント動作を継続します。STOP状態でリセットした場合は、次にRUNするまでカウンタは"000"を保持します。

4.9.5 ダイレクト入力機能とキーマスク

ストップウォッチタイマにはダイレクト入力機能があり、外部キー入力によってストップウォッチタイマのRUN/STOPおよびLAPを制御することができます。この機能はレジスタEDIRに"1"を書き込むことによって設定します。EDIRが"0"の場合は前項で説明したソフトウェア制御のみとなります。

(1) 入力ポートの選択

ダイレクト入力機能を使用する場合、入力ポートK00とK01をRUN、STOPおよびLAPキー入力に使用します。この割り当てはSWDIRレジスタで次のように選択できます。

表4.9.5.1 RUN/STOPとLAPキー入力ポート

SWDIR	K00	K01
0	RUN/STOP	LAP
1	LAP	RUN/STOP

(2) ダイレクトRUN

ダイレクト入力機能を設定した場合は、入力ポートK00/K01(SWDIRで選択)に接続したキーの入力によってストップウォッチタイマのRUN/STOPを制御することができます。K00/K01は通常の入力ポートとして働き、入力信号がストップウォッチの制御回路に送られます。

K00/K01キー入力はトグル動作となり、ストップウォッチタイマがSTOP状態で入力されるとRUN、RUN状態で入力されるとSTOPします。ストップウォッチタイマのRUN/STOPの状態はレジスタSWRUNを読み出すことで確認できます。また、このダイレクトRUN入力により割り込みが発生します。

キー入力信号はSWRUNレジスタ制御のときと同様に1,024Hz信号の立ち下がりエッジでサンプリングされます。チャタリング判定はキーOFF時に行われ、46.8msec～62.5msec以下のチャタリングが除去されます。したがって、RUNとSTOPそれぞれのキー入力の間隔はこの時間以上が必要です。

図4.9.5.1にダイレクトRUN入力時の動作タイミングを示します。

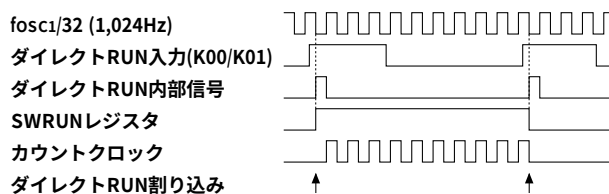


図4.9.5.1 ダイレクトRUN入力時の動作タイミング

(3)ダイレクトLAP

ダイレクトRUNと同様にLAPの制御もキー入力によって行えます。ダイレクト入力機能を設定すると、入力ポートK01/K00(SWDIRで選択)がLAPキーの入力ポートとなります。入力信号のサンプリングおよびチャタリング判定はダイレクトRUNの場合と同様です。

LAP入力が行われると、その時点のカウンタデータがキャプチャバッファにラッチされ、データをホールドします。カウンタはカウント動作を継続します。また、このダイレクトLAP入力により割り込みが発生します。

前述したように、データはSWD8～11が読み出されるまでホールドされます。すでにデータがホールドされている状態でLAPの入力が行われた場合は、キャプチャバッファの内容が更新されてしまい、その後SWD8～11の読み出しを行った際にキャプチャ更新フラグCRNWFが"1"にセットされます。この場合は、SWD8～11の読み出しによってホールド状態は解除されずに、さらにホールド状態を継続します。LAPデータは、割り込み発生後に読み出しを行います、そのあとには必ずキャプチャ更新フラグを確認してください。キャプチャ更新フラグがセットされている場合は、更新されたデータがキャプチャバッファにホールドされていますので再度読み出しを行ってください。

また、SWD8～11のオーバーフローによって1sec桁への桁上げが必要になった場合、ストップウォッチタイマは1Hz割り込み要因フラグISW1を"1"にセットします。この1Hz割り込み要因フラグISW1が"1"にセットされている間に、キャプチャバッファがホールド状態(SWD0～3読み出し時またはLAP入力時)になるとラップデータ桁上げ要求フラグが"1"にセットされ、LAP入力などの処理において1秒桁への桁上げが必要であることを示します。これは、ソフトウェアによる通常の処理方法として、1Hz割り込みによる1sec桁以上の処理よりもLAPの処理が優先されると考えられますので、LAP処理による時間表示において1秒桁のデータが1秒だけ少なくなることを防ぐために必要となります。したがって、LAP処理前にラップデータ桁上げ要求フラグを確認してください。このフラグはキャプチャバッファがホールド状態になるごとに更新されます。

図4.9.5.2にダイレクトLAP入力時の動作タイミングを示します。

図4.9.5.3にダイレクトLAP入力時のデータホールドと読み出しのタイミングを示します。

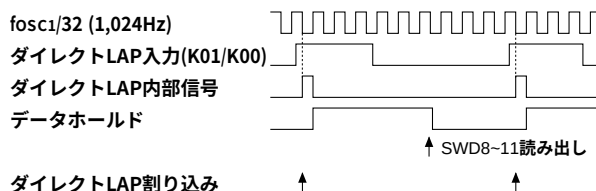


図4.9.5.2 ダイレクトLAP入力時の動作タイミング

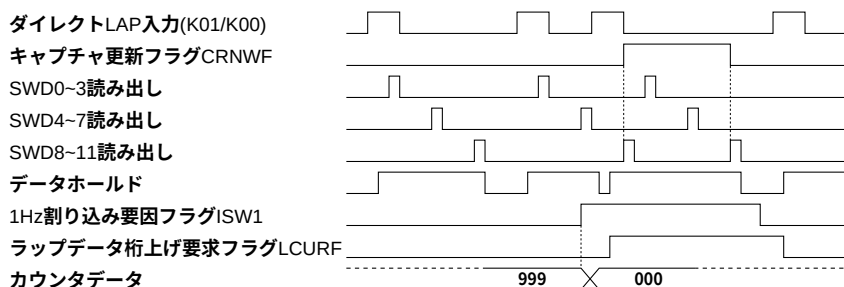


図4.9.5.3 ダイレクトLAP入力時のデータホールドと読み出し

(4)キーマスク

ストップウォッチのアプリケーションにおいて、ダイレクトRUNまたはダイレクトLAPを含むキーの組み合わせによって機能を制御する場合があります。たとえば、あるキーが押されている状態でRUNキーが入力された場合に、RUNキーをリセットや時計合わせ等の他の目的に使用するような場合です。このときにはダイレクトRUN、あるいはダイレクトLAPの機能を無効としてストップウォッチがその動作を行わないようにする必要があります。このために、キー入力の競合判定を行い、RUNおよびLAPを無効とするキーマスク機能が設けられています。この競合判定を行うキー入力の組み合わせをレジスタDKM0～2によって選択することができます。

表4.9.5.2 キーマスク選択

DKM2	DKM1	DKM0	競合判定組み合わせ
0	0	0	なし(リセット時)
0	0	1	K02
0	1	0	K02, K03
0	1	1	K02, K03, K10
1	0	0	K10
1	0	1	K10, K11
1	1	0	K10, K11, K12
1	1	1	K10, K11, K12, K13

RUNまたはLAP入力は以下の場合に無効となります。

1. 選択した組み合わせに含まれる1つ以上のキー(以下、マスクと記述)が入力されている状態でRUNまたはLAPが入力された場合
2. マスクが解除された時点でRUNまたはLAPが入力されている場合

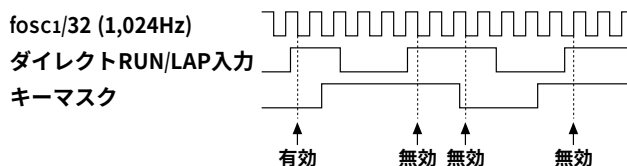


図4.9.5.4 キーマスクの動作

RUN、LAP入力が有効となるのは以下の場合です。

1. RUNまたはLAPのどちらか一方が単独で無入力状態から入力された場合
2. RUNおよびLAPの両方が同時に無入力状態から入力された場合(RUN、LAP共に有効)
3. RUNまたはLAPのどちらか一方が入力されている状態でもう一方が入力された場合(RUN、LAP共に有効)
4. RUNまたはLAPのどちらか一方とマスクが同時に無入力状態から入力された場合
5. RUNおよびLAPの両方とマスクが同時に無入力状態から入力された場合(RUN、LAP共に有効)

* キーの同時入力とはキー入力のサンプリングが1,024Hzクロックの同じ立ち下がりエッジで行われたことをいいます。

4.9.6 割り込み機能

(1) 10Hz、1Hz割り込み

ストップウォッチタイマSWD4～7とSWD8～11はそれぞれのオーバーフローにより、10Hzと1Hzの割り込みを発生させることができます。また、それぞれの周波数に対して、個別に割り込みのマスクをするかしないかをソフトウェアで設定することができます。

図4.9.6.1にカウンタのタイミングチャートを示します。

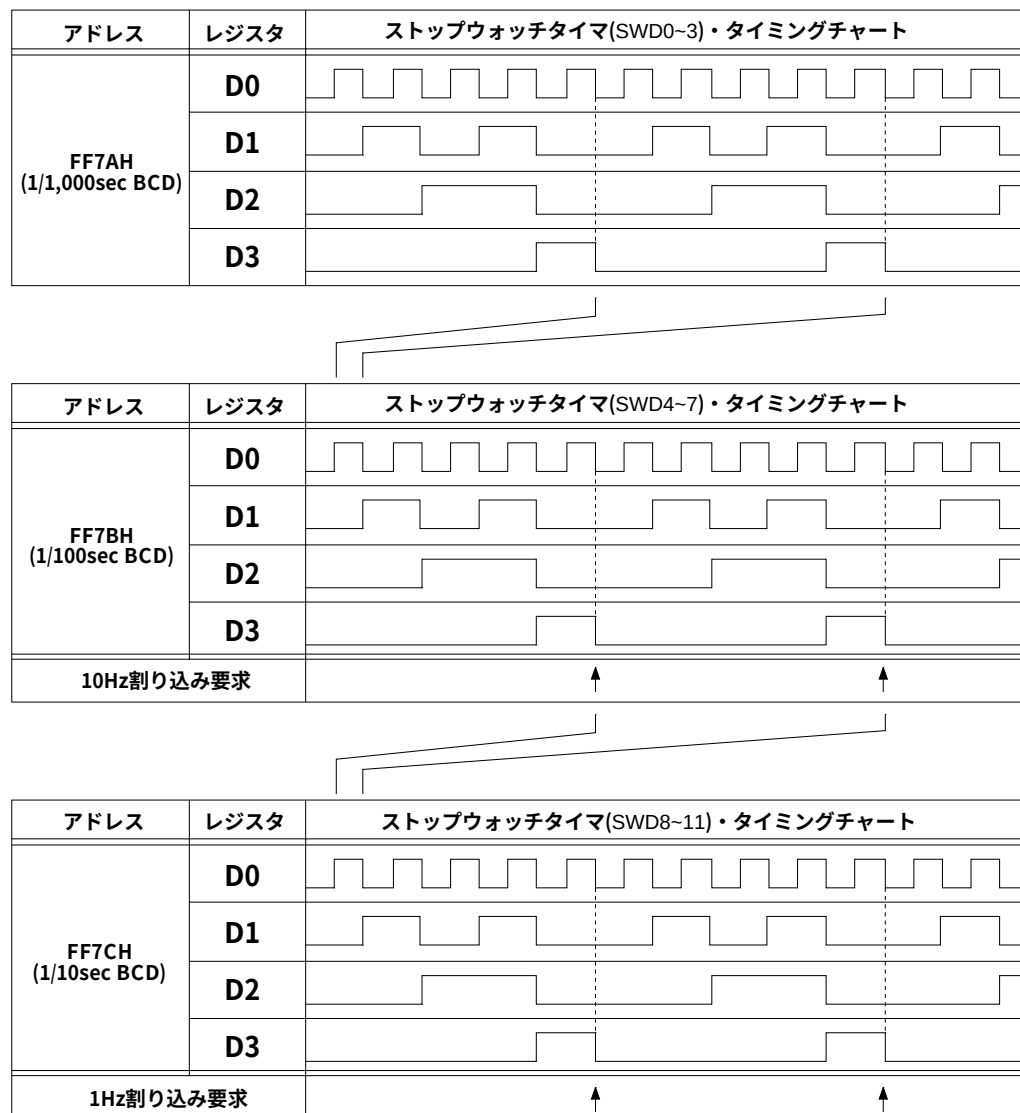


図4.9.6.1 カウンタのタイミングチャート

図4.9.6.1に示すとおり、割り込みはそれぞれのカウンタのオーバーフロー("9"から"0"への変化)によって発生します。また、この時点に対応する割り込み要因フラグ(ISW10、ISW1)が"1"にセットされます。

それぞれの割り込みは、割り込みマスクレジスタ(EISW10、EISW1)によって、個別にマスクを選択することができます。ただし、割り込み要因フラグ(ISW10、ISW1)は割り込みマスクレジスタの設定にかかわらず、対応するカウンタのオーバーフローで"1"にセットされます。

(2)ダイレクトRUN、ダイレクトLAP割り込み

ダイレクト入力機能を設定している場合は、ダイレクトRUNおよびダイレクトLAPの入力により割り込みを発生させることができます。それぞれの割り込みは、ダイレクト信号を1,024Hz信号の立ち下がりでサンプリングした後のダイレクトRUN、ダイレクトLAPの各内部信号の立ち上がりエッジで発生し、その時点で割り込み要因フラグ(IRUN、ILAP)が"1"にセットされます。この割り込み要因もそれぞれに対応する割り込みマスクレジスタ(EIRUN、EILAP)によってマスクすることができます。ただし、割り込み要因フラグ(IRUN、ILAP)は割り込みマスクレジスタの設定にかかわらず、RUN、LAPの入力によって"1"にセットされます。

ダイレクトRUNとダイレクトLAPはK00ポートとK01ポートを使用します。このため、入力ポートK00～K03の割り込み条件の設定によっては、ダイレクト入力割り込みとK00～K03入力割り込みが同時に発生することがあります。したがって、ダイレクト入力割り込みを使用する場合は、K00およびK01入力によって入力割り込みが発生しないように割り込み選択レジスタSIK00およびSIK01を"0"に設定してください。

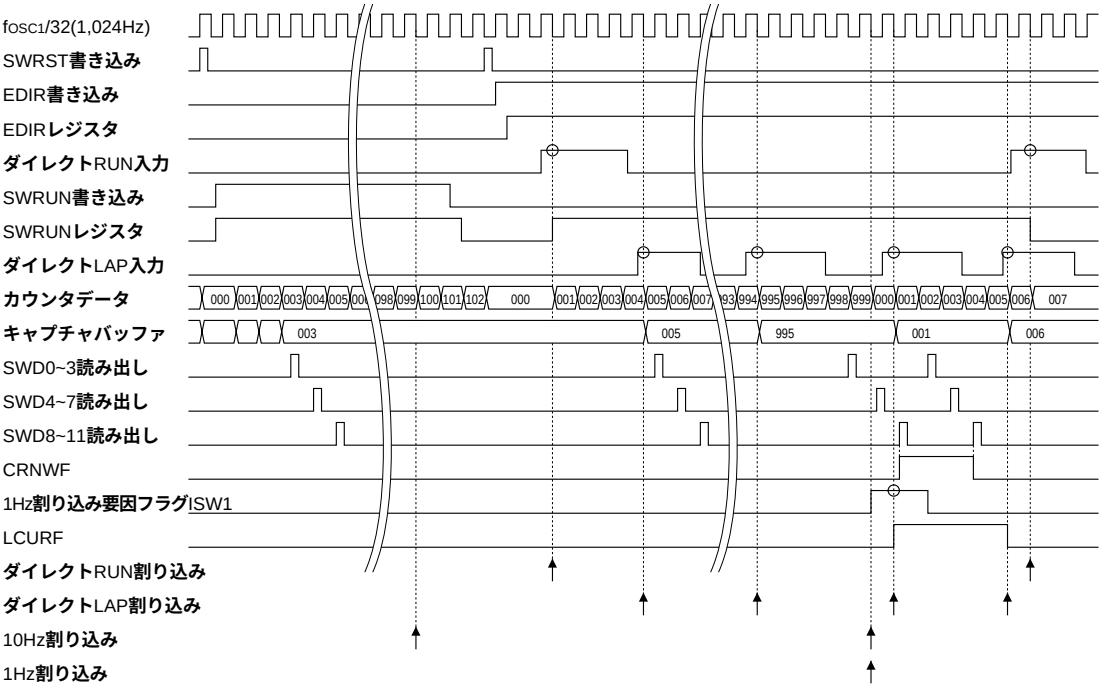


図4.9.6.2 ストップウォッチタイムのタイミングチャート

4.9.7 ストップウォッチタイマのI/Oメモリ

表4.9.7.1にストップウォッチタイマの制御ビットとそのアドレスを示します。

表4.9.7.1 ストップウォッチタイマの制御ビット

アドレス	レジスタ				注 釈				
	D3	D2	D1	D0	Name	Init *1	1	0	
FF06H	FOUTE	SWDIR	FOFQ1	FOFQ0	FOUTE	0	Enable	Disable	FOUT出力ラインネーブル
					SWDIR	0			ストップウォッチダイレクト入力切り換え
	R/W				FOFQ1	0			0: K00=Run/Stop, K01=Lap 1: K00=Lap, K01=Run/Stop
					FOFQ0	0			FOUT [FOFQ1, 0] 0 1 2 3
FF78H	EDIR	DKM2	DKM1	DKM0	EDIR	0	Enable	Disable	ダイレクト入力ラインネーブル
					DKM2	0			キーマスク [DKM2, 1, 0] 0 1 2 3
	R/W				DKM1	0			キーマスク なし K02 K02~03 K02~03,10
					DKM0	0			選択 [DKM2, 1, 0] 4 5 6 7
FF79H	LCURF	CRNWF	SWRUN	SWRST	LCURF	0	Request Renewal	No No Stop Invalid	ラップデータ桁上げ要求フラグ
					CRNWF	0			キャプチャ更新フラグ
	R				SWRUN	0			ストップウォッチタイマRun/Stop
					SWRST*3	Reset			ストップウォッチタイマリセット(書き込み時)
FF7AH	SWD3	SWD2	SWD1	SWD0	SWD3	0			ストップウォッチタイマデータ BCD(1/1000sec)
					SWD2	0			
	R				SWD1	0			
					SWD0	0			
FF7BH	SWD7	SWD6	SWD5	SWD4	SWD7	0			ストップウォッチタイマデータ BCD(1/100sec)
					SWD6	0			
	R				SWD5	0			
					SWD4	0			
FF7CH	SWD11	SWD10	SWD9	SWD8	SWD11	0			ストップウォッチタイマデータ BCD(1/10sec)
					SWD10	0			
	R				SWD9	0			
					SWD8	0			
FFE6H	EIRUN	EILAP	EISW1	EISW10	EIRUN	0	Enable	Mask	割り込みマスクレジスタ(SWダイレクトRUN)
					EILAP	0	Enable	Mask	割り込みマスクレジスタ(SWダイレクトLAP)
	R/W				EISW1	0	Enable	Mask	割り込みマスクレジスタ(ストップウォッチタイマ1Hz)
					EISW10	0	Enable	Mask	割り込みマスクレジスタ(ストップウォッチタイマ10Hz)
FFF6H	IRUN	ILAP	ISW1	ISW10	IRUN	0	(R)	(R)	割り込み要因フラグ(SWダイレクトRUN)
					ILAP	0	Yes	No	割り込み要因フラグ(SWダイレクトLAP)
	R/W				ISW1	0	(W)	(W)	割り込み要因フラグ(ストップウォッチタイマ1Hz)
					ISW10	0	Reset	Invalid	割り込み要因フラグ(ストップウォッチタイマ10Hz)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

● **SWD0～SWD3: ストップウォッチタイマデータ1/1,000sec (FF7AH)**

キャプチャバッファ1/1,000sec桁のデータ(BCD)が読み出せます。

このデータを読み出すことにより、キャプチャバッファのホールド機能が働きます。

この4ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、タイマデータは"0"に設定されます。

● **SWD4～SWD7: ストップウォッチタイマデータ1/100sec (FF7BH)**

キャプチャバッファ1/100sec桁のデータ(BCD)が読み出せます。

この4ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、タイマデータは"0"に設定されます。

● **SWD8～SWD11: ストップウォッチタイマデータ1/10sec (FF7CH)**

キャプチャバッファ1/10sec桁のデータ(BCD)が読み出せます。

この4ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、タイマデータは"0"に設定されます。

注: データの読み出しは必ず下位データ(SWD0～3)から先に行ってください。

● EDIR: ダイレクト入力機能イネーブルレジスタ (FF78H・D3)

ダイレクト入力(RUN/LAP)機能を有効/無効に設定します。

"1"書き込み: 有効
 "0"書き込み: 無効
 読み出し: 可能

EDIRに"1"を書き込むことによりダイレクト入力機能が有効となり、外部キー入力によるRUN/STOP、LAPの制御が行えます。"0"を書き込んだ場合はダイレクト入力機能が無効となり、ストップウォッチタイマはソフトウェア制御となります。

なお、このレジスタにデータを書き込み後、実際の機能の切り換えはfosc1/32(1,024Hz)の立ち下がりエッジに同期して(最大977μsec後に)行われます。

イニシャルリセット時、このレジスタは"0"に設定されます。

● SWDIR: ダイレクト入力切り換えレジスタ (FF06H・D2)

K00ポート、K01ポートのダイレクト入力割り付けを切り換えます。

"1"書き込み: K00 = LAP, K01 = RUN/STOP
 "0"書き込み: K00 = RUN/STOP, K01 = LAP
 読み出し: 可能

ダイレクト入力用のキー割り付けを行います。EDIRに"1"を書き込むことによりK00、K01ポートの入力がRUN、STOP、LAP入力としてストップウォッチに取り込まれます。

イニシャルリセット時、このレジスタは"0"に設定されます。

● DKM0～DKM2: キーマスク選択 (FF78H・D0～D2)

ダイレクト入力機能設定時にRUN、LAP入力との競合判定を行うキー入力の組み合わせを選択します。

表4.9.7.2 キーマスク選択

DKM2	DKM1	DKM0	競合判定組み合わせ
0	0	0	なし(リセット時)
0	0	1	K02
0	1	0	K02, K03
0	1	1	K02, K03, K10
1	0	0	K10
1	0	1	K10, K11
1	1	0	K10, K11, K12
1	1	1	K10, K11, K12, K13

競合を検出した場合は、競合が解除されるまでRUN、LAP入力は受け付けられなくなります。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

● SWRST: ストップウォッチタイマリセット (FF79H・D0)

ストップウォッチタイマをリセットします。

"1"書き込み: ストップウォッチタイマリセット
 "0"書き込み: ノーオペレーション
 読み出し: 常時"0"

ストップウォッチタイマはSWRSTに"1"を書き込むことによりリセットされます。ストップウォッチタイマがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合はリセットデータがカウンタに保持されます。

このリセットはキャプチャバッファに影響を与えないので、ホールド状態のキャプチャバッファのデータはクリアされずにそのまま保持されます。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

● SWRUN: ストップウォッチタイマRUN/STOP (FF79H・D1)

ストップウォッチタイマのRUN/STOPの制御、および動作状態のモニタが行えます。

・書き込み時

"1"書き込み: RUN

"0"書き込み: STOP

ストップウォッチタイマはSWRUNに"1"を書き込むことによりRUNし、"0"の書き込みによりSTOPします。STOP状態ではリセットか次にRUN状態にするまで、タイマのデータは保持されます。また、STOP状態からRUN状態にすることにより保持していたデータから継続して、カウントを進めることができます。

このレジスタへの書き込みによるRUN/STOPの制御は、ダイレクト入力機能をディセーブルに設定してある場合にのみ有効で、ダイレクト入力機能設定時は無効となります。

・読み出し時

"1"読み出し: RUN

"0"読み出し: STOP

読み出しはダイレクト入力機能の設定にかかわらず有効で、ストップウォッチタイマがRUN状態の場合に"1"、STOP状態で"0"となります。

イニシャルリセット時、このレジスタは"0"に設定されます。

● LCURF: ラップデータ桁上げ要求フラグ (FF79H・D3)

データホールド時に発生している1sec桁への桁上げを示すフラグです。ダイレクト入力モード以外では無効です。

"1"読み出し: 桁上げ要

"0"読み出し: 桁上げ不要

書き込み: 無効

割り込み要因フラグISW1が"1"にセットされている間に、キャプチャバッファがホールド状態になるとLCURFが"1"にセットされ、ホールドされたデータが1sec桁への桁上げを必要としていることを示します。したがって、1Hzの割り込み処理よりもLAP入力などの処理を優先する場合には、処理前にこのフラグの読み出しを行って桁上げが必要か確認してください。

このフラグはキャプチャバッファがホールド状態になるごとに更新(セット/リセット)されます。

イニシャルリセット時、このフラグは"0"に設定されます。

● CRNWF: キャプチャ更新フラグ (FF79H・D2)

キャプチャバッファの内容が更新されたことを示すフラグです。

"1"読み出し: 更新あり

"0"読み出し: 更新なし

書き込み: 無効

キャプチャバッファにホールドされたデータの読み出しが終了していない場合にLAP入力があると、キャプチャバッファの内容が更新されます。その状態でSWD8～11を読み出すとこのフラグが"1"にセットされ、さらにホールド状態が継続されます。したがって、LAP入力によってホールドされたデータを読み出した場合は、SWD8～11の読み出しの後にこのフラグの読み出しを行ってデータが更新されていないか確認してください。

このフラグはSWD8～11の読み出し時に更新されます。

イニシャルリセット時、このフラグは"0"に設定されます。

● EIRUN, EILAP, EISW1, EISW10: 割り込みマスクレジスタ (FFE6H)

ストップウォッチタイムの割り込みについて、マスクするかしないかを選択します。

"1"書き込み: イネーブル
 "0"書き込み: マスク
 読み出し: 可能

EIRUN, EILAP, EISW1, EISW10はそれぞれダイレクトRUN、ダイレクトLAP、1Hz、10Hzの割り込みに対応した割り込みマスクレジスタで、これらの割り込みをマスクするかしないかを個別に選択できます。イニシャルリセット時、これらのレジスタは"0"に設定されます。

● IRUN, ILAP, ISW1, ISW10: 割り込み要因フラグ (FFF6H)

ストップウォッチタイム割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有
 "0"読み出し: 割り込み無
 "1"書き込み: 要因フラグをリセット
 "0"書き込み: 無効

割り込み要因フラグIRUN, ILAP, ISW1, ISW10はそれぞれダイレクトRUN、ダイレクトLAP、1Hz、10Hzの割り込みに対応します。これらのフラグによってストップウォッチタイム割り込みの有無を、ソフトウェアにより判断することができます。これらのフラグは割り込みマスクレジスタの設定にかかわらず、対応する割り込み要因の発生により"1"にセットされます。

これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

4.9.8 プログラミング上の注意事項

- (1) ストップウォッチタイムのリセット後、割り込み要因フラグをリセットしてください。
- (2) データの読み出しは必ずSWD0～3 → SWD4～7 → SWD8～11の順に行ってください。
- (3) LAP入力によってホールドされたデータを読み出した場合は、SWD8～11の読み出しの後にキャプチャ更新フラグCRNWFの読み出しを行ってデータが更新されていないか確認してください。
- (4) 1Hzの割り込み処理よりもLAP入力などの処理を優先する場合には、処理前にラップデータ桁上げ要求フラグLCURFの読み出しを行って桁上げが必要か確認してください。
- (5) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.10.2 カウンタの基本動作

ここでは、各タイマを個々に8ビットタイマとして使用する場合の基本動作を説明します。

各タイマにはそれぞれ、8ビットのダウンカウンタとリロードデータレジスタが設けられています。

リロードデータレジスタRLDx0～RLDx7(xはタイマ番号)はカウンタの初期値を設定するレジスタです。ダウンカウンタは、リロードデータレジスタに設定された初期値を、タイマリセットビットPTRSTxへの"1"書き込みによってロードします。したがって、このロードされた初期値から入力クロックによるダウンカウントが行われます。

各タイマにはそれぞれ、RUN/STOPを制御するレジスタPTRUNxが設けられています。リロードデータをカウンタにプリセットした後、本レジスタに"1"を書き込むことによってダウンカウントを開始します。"0"を書き込むとクロックの入力が禁止され、カウントを停止します。

このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

カウンタのデータ読み出しはデータバッファPTDx0～PTDx7を介して行い、下位、上位4ビットずつソフトウェアにより任意のタイミングで読み出しが可能です。

ただし、このカウンタも計時タイマと同様に下位データ(PTDx0～PTDx3)、上位データ(PTDx4～PTDx7)読み出し間の桁下げを防止するため、下位データの読み出しにより上位データがホールドされるようになっています。したがって、データの読み出しは必ず下位データから先に行ってください。

カウンタはダウンカウントが進んでアンダーフローが発生すると、リロードデータレジスタに設定された初期値をリロードします。初期値をリロード後は、その初期値からダウンカウントを継続します。

このアンダーフロー信号はカウンタのリロードのほか、割り込みの発生、外部へのパルス(TOUT信号)出力、シリアルインタフェースへのクロック供給を制御します。

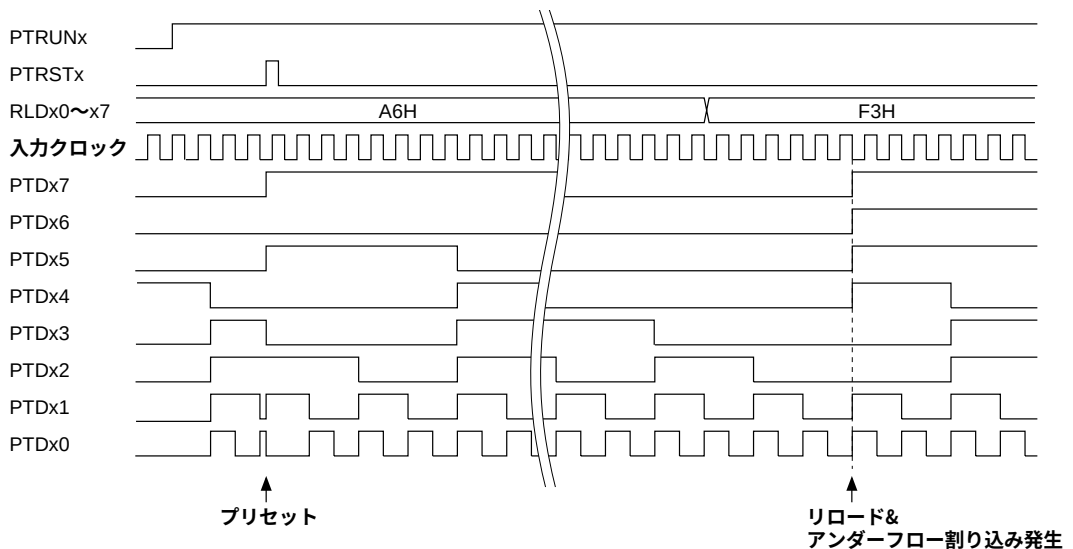


図4.10.2.1 カウンタの基本動作タイミング

4.10.3 入力クロックの設定

各タイマにはそれぞれ、プリスケアラが設けられています。プリスケアラはOSC1またはOSC3発振回路から供給される原振クロックを分周して、それぞれのタイマへの入力クロックを発生します。

原振クロックとプリスケアラの分周比は各タイマごとにソフトウェアで選択することができます。

入力クロックは以下の手順で設定します。

(1) 原振クロックの選択

それぞれのプリスケアラに入力する原振クロックを、OSC1とするかOSC3とするかを選択します。この選択は、原振クロック選択レジスタCKSELxによって行い、"0"を書き込むとOSC1、"1"を書き込むとOSC3が選択されます。

OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3発振回路をONさせる必要があります。ただし、OSC3発振回路をONにしてから発振が安定するまでに5msec以上の時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ON後、十分な待ち時間をおいてから行ってください。OSC3の制御方法と注意事項については"4.3 発振回路"を参照してください。イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

注: OSC3発振回路を使用しないマスクオプションを選択した場合、原振クロックを選択することはできません(OSC1固定)。CKSELxレジスタを"1"に設定しないでください。

(2) プリスケアラ分周比の選択

それぞれのプリスケアラの分周比を4種類の中から選択します。この選択は、プリスケアラ分周比選択レジスタPTPSx0/PTPSx1によって行います。設定値と分周比は表4.10.3.1に示すとおり対応しています。

表4.10.3.1 プリスケアラ分周比の選択

PTPSx1	PTPSx0	プリスケアラ分周比
1	1	原振クロック / 256
1	0	原振クロック / 32
0	1	原振クロック / 4
0	0	原振クロック / 1

レジスタPTRUNxに"1"を書き込むことによって、原振クロックがプリスケアラに入力されます。これによって、選択した分周比のクロックがタイマに入力され、タイマがダウンカウントを開始します。

4.10.4 イベントカウンタモード(タイマ0)

タイマ0には、K13入力ポート端子に外部クロックを入力してカウントを行うイベントカウンタ機能があります。この機能は、タイマ0カウンタモード選択レジスタEVCNTに"1"を書き込むことによって選択されます。

イニシャルリセット時はEVCNTが"0"に設定され、タイマ0は内部クロックをカウントする通常のタイマとなります。

イベントカウンタモードでは、外部からタイマ0にクロックが供給されるため、タイマ0プリスケアラ分周比選択レジスタPTPS00、PTPS01およびプリスケアラ0原振クロック選択レジスタCKSEL0の設定は無効となります。ダウンカウントのタイミングは、タイマ0パルス極性選択レジスタPLPOLによって、立ち下がりエッジまたは立ち上がりエッジのどちらかが選択できます。レジスタPLPOLに"0"を書き込んだ場合が立ち下がりエッジ、"1"を書き込んだ場合が立ち上がりエッジとなり、図4.10.4.1に示すタイミングでダウンカウントが行われます。

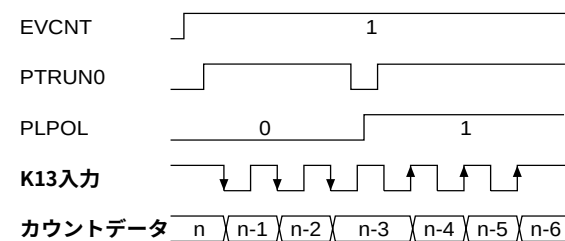


図4.10.4.1 イベントカウンタモードのタイミングチャート

イベントカウンタモードにはこのほかに、外部クロック(K13)入力に対してチャタリング等のノイズを除去するノイズリジェクタ付加機能があります。この機能はタイマ0機能選択レジスタFCSELに"1"を書き込むことによって選択されます。

ノイズリジェクタ付きを選択した場合は確実なカウントを行うために、LOWレベル/HIGHレベル共に0.98msec*以上のパルス幅を確保する必要があります。ノイズリジェクタは、K13入力ポート端子の入力レベルが変化してから二度目の内部2,048Hz*信号の立ち上がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msec*以下となります。(*はfOSC1 = 32.768kHzの場合の値です。)

図4.10.4.2にノイズリジェクタ付加時のダウンカウントタイミングを示します。

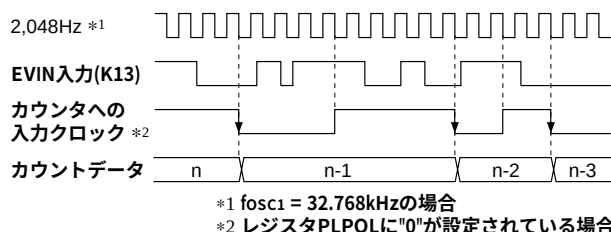


図4.10.4.2 ノイズリジェクタ付加時のダウンカウントタイミング

イベントカウンタモードの動作は、入力クロックが外部クロック(K13)となること以外は通常のタイマ動作と同等です。カウントの基本的な動作と制御については"4.10.2 カウンタの基本動作"を参照してください。

4.10.5 PWMモード(タイマ0, タイマ1)

タイマ0およびタイマ1にはPWM波形を生成する機能があります。この機能を使用する場合は、PTSEL0レジスタ(タイマ0)またはPTSEL1レジスタ(タイマ1)に"1"を書き込んで、タイマをPWMモードに設定します。PWM波形を制御するために、タイマ0およびタイマ1にはコンペアデータレジスタCDx0~CDx7(xはタイマ番号)が設けられています。PWMモードに設定すると、タイマはコンペアデータレジスタに設定したデータとカウントデータを比較し、一致した時点でコンペアマッチ信号を出力します。同時にコンペアマッチ割り込みも発生します。また、タイマの出力信号がアンダーフロー信号で立ち上がり、コンペアマッチ信号で立ち下がります。図4.10.5.1に示すように、リロードデータレジスタで出力信号の周期を、コンペアデータレジスタでデューティ比を制御してPWM波形を生成できます。ただし、RLD(リロードデータ)>CD(コンペアデータ)、CD≠0としておく必要があります。RLD≤CDの場合、出力信号はアンダーフロー以降立ち下がることなく"1"に固定されます。

これによって生成したPWM信号はR02出力ポート端子から出力させることができます(4.10.8項参照)。

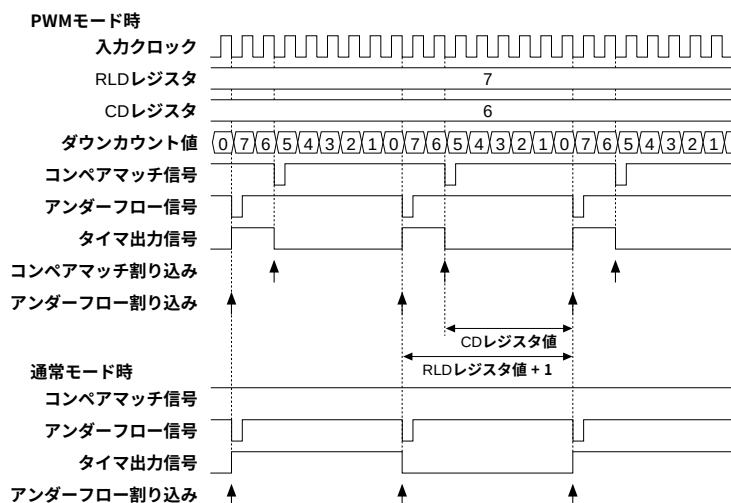


図4.10.5.1 PWM波形の生成

4.10.8 TOUT出力の設定

プログラマブルタイマは、アンダーフロー信号とコンペアマッチ信号によってTOUT信号を発生させることができます。通常モードのTOUT信号はアンダーフローを1/2分周した信号で、PWMモードの場合はタイマ0/1で生成するPWM信号になります。TOUT出力選択レジスタCHSEL0によって、どのタイマの出力を使用するか選択することができます。

表4.10.8.1 TOUT出力タイマの選択

CHSEL0	TOUT出力タイマ
1	タイマ1
0	タイマ0

16ビットタイマの出力からTOUT信号を生成する場合は、タイマ1を選択してください。

TOUT信号はR02出力ポート端子から出力させることができます。

R02出力ポートの構成を図4.10.8.1に示します。

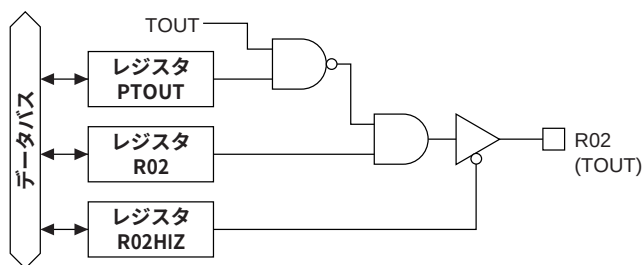


図4.10.8.1 R02の構成

TOUT信号はレジスタPTOUTによって出力制御が行われます。PTOUTに"1"を設定するとTOUT信号がR02出力ポート端子から出力され、"0"を設定するとHIGH(V_{DD})レベルが出力されます。このとき、データレジスタR02には常時"1"が、ハイインピーダンス制御レジスタR02HIZには常時"0"(データ出力)が設定されている必要があります。

なお、TOUT信号はレジスタPTOUTとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図4.10.8.2にTOUT信号の出力波形を示します。

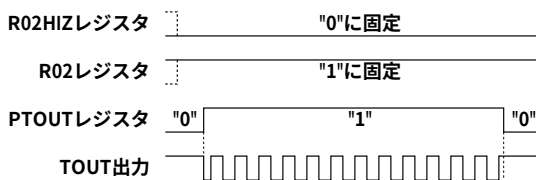


図4.10.8.2 TOUT信号の出力波形

4.10.9 シリアルインタフェースの転送速度設定

タイマ1のアンダーフローを1/2分周した信号をシリアルインタフェースのクロック源として使用することができます。

シリアルインタフェースへのクロックはタイマ1をRUN(PTRUN1="1")することにより出力されますので、PTOUTレジスタによる制御は不要です。

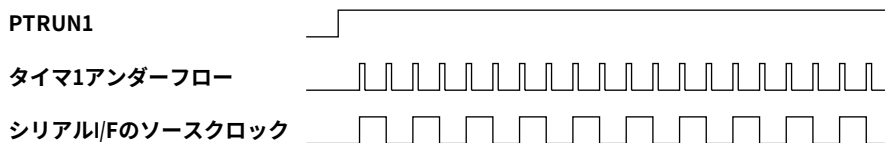


図4.10.9.1 シリアルインタフェースの同期クロック

転送速度に対するレジスタRLD1xへの設定値は次式のようになります。

$$\text{RLD1x} = \text{fosc} / (2 * \text{bps} * \text{プリスケアラ分周比}) - 1$$

fosc: 発振周波数 (OSC1/OSC3)

bps: 転送速度

(RLD1xには00Hも設定可能)

OSC3を原振として使用する場合、シリアルインタフェースのクロック周波数は最大1MHzに制限されますので注意してください。

4.10.10 プログラマブルタイムのI/Oメモリ

表4.10.10.1にプログラマブルタイムの制御ビットとそのアドレスを示します。

表4.10.10.1(a) プログラマブルタイムの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FFC0H	MOD16	EVCNT	FCSEL	PLPOL	MOD16	0	16bit	8bit	16ビットモード選択
					EVCNT	0	Event ct.	Timer	タイマ0カウンタモード選択
	R/W				FCSEL	0	With NR	No NR	タイマ0機能選択(イベントカウンタモード時)
					PLPOL	0	┐	┘	タイマ0パルス極性選択(イベントカウンタモード時)
FFC1H	0	0	CHSEL0	PTOUT	0 *3	—*2			未使用
					0 *3	—*2			未使用
	R		R/W		CHSEL0	0	Timer 1	Timer 0	TOUT出力選択
					PTOUT	0	On	Off	TOUT出力制御
FFC2H	0	0	CKSEL1	CKSEL0	0 *3	—*2			未使用
					0 *3	—*2			未使用
	R		R/W		CKSEL1	0	OSC3	OSC1	プリスケアラ1原振クロック選択
					CKSEL0	0	OSC3	OSC1	プリスケアラ0原振クロック選択
FFC3H	PTPS01	PTPS00	PTRST0	PTRUN0	PTPS01	0			プリスケアラ0 [PTPS01, 00] 0 1 2 3 分周比選択 分周比 1/1 1/4 1/32 1/256
					PTPS00	0			
	R/W		W		PTRST0*3	—*2	Reset	Invalid	タイマ0リセット(リロード)
					PTRUN0	0	Run	Stop	タイマ0 Run/Stop
FFC4H	PTPS11	PTPS10	PTRST1	PTRUN1	PTPS11	0			プリスケアラ1 [PTPS11, 10] 0 1 2 3 分周比選択 分周比 1/1 1/4 1/32 1/256
					PTPS10	0			
	R/W		W		PTRST1*3	—*2	Reset	Invalid	タイマ1リセット(リロード)
					PTRUN1	0	Run	Stop	タイマ1 Run/Stop
FFC6H	RLD03	RLD02	RLD01	RLD00	RLD03	0			MSB
					RLD02	0			
	R/W				RLD01	0			プログラマブルタイム0リロードデータ(下位4ビット)
					RLD00	0			LSB
FFC7H	RLD07	RLD06	RLD05	RLD04	RLD07	0			MSB
					RLD06	0			
	R/W				RLD05	0			プログラマブルタイム0リロードデータ(上位4ビット)
					RLD04	0			LSB
FFC8H	RLD13	RLD12	RLD11	RLD10	RLD13	0			MSB
					RLD12	0			
	R/W				RLD11	0			プログラマブルタイム1リロードデータ(下位4ビット)
					RLD10	0			LSB
FFC9H	RLD17	RLD16	RLD15	RLD14	RLD17	0			MSB
					RLD16	0			
	R/W				RLD15	0			プログラマブルタイム1リロードデータ(上位4ビット)
					RLD14	0			LSB
FFCCH	PTD03	PTD02	PTD01	PTD00	PTD03	0			MSB
					PTD02	0			
	R				PTD01	0			プログラマブルタイム0データ(下位4ビット)
					PTD00	0			LSB
FFCDH	PTD07	PTD06	PTD05	PTD04	PTD07	0			MSB
					PTD06	0			
	R				PTD05	0			プログラマブルタイム0データ(上位4ビット)
					PTD04	0			LSB
FFCEH	PTD13	PTD12	PTD11	PTD10	PTD13	0			MSB
					PTD12	0			
	R				PTD11	0			プログラマブルタイム1データ(下位4ビット)
					PTD10	0			LSB
FFCFH	PTD17	PTD16	PTD15	PTD14	PTD17	0			MSB
					PTD16	0			
	R				PTD15	0			プログラマブルタイム1データ(上位4ビット)
					PTD14	0			LSB
FFD2H	CD03	CD02	CD01	CD00	CD03	0			MSB
					CD02	0			
	R/W				CD01	0			プログラマブルタイム0コンペアデータ(下位4ビット)
					CD00	0			LSB

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*2 回路上設定されない

表4.10.10.1(b) プログラマブルタイマの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FFD3H	CD07	CD06	CD05	CD04	CD07	0			MSB プログラマブルタイマ0コンペアデータ(上位4ビット) LSB
					CD06	0			
					CD05	0			
					CD04	0			
FFD4H	CD13	CD12	CD11	CD10	CD13	0			MSB プログラマブルタイマ1コンペアデータ(下位4ビット) LSB
					CD12	0			
					CD11	0			
					CD10	0			
FFD5H	CD17	CD16	CD15	CD14	CD17	0			MSB プログラマブルタイマ1コンペアデータ(上位4ビット) LSB
					CD16	0			
					CD15	0			
					CD14	0			
FFD8H	0	0	PTSEL1	PTSEL0	0 *3	- *2			未使用 未使用 プログラマブルタイマ1 PWM出力選択 プログラマブルタイマ0 PWM出力選択
					0 *3	- *2			
					PTSEL1	0	PWM	Normal	
					PTSEL0	0	PWM	Normal	
FFE0H	0	0	ECTC1	ECTC0	0 *3	- *2			未使用 未使用 割り込みマスクレジスタ(タイマ1コンペアマッチ) 割り込みマスクレジスタ(タイマ0コンペアマッチ)
					0 *3	- *2			
					ECTC1	0	Enable	Mask	
					ECTC0	0	Enable	Mask	
FFE1H	0	0	EIPT1	EIPT0	0 *3	- *2			未使用 未使用 割り込みマスクレジスタ(タイマ1アンダーフロー) 割り込みマスクレジスタ(タイマ0アンダーフロー)
					0 *3	- *2			
					EIPT1	0	Enable	Mask	
					EIPT0	0	Enable	Mask	
FFF0H	0	0	ICTC1	ICTC0	0 *3	- *2	(R)	(R)	未使用 未使用 割り込み要因フラグ(タイマ1コンペアマッチ) 割り込み要因フラグ(タイマ0コンペアマッチ)
					0 *3	- *2	Yes	No	
					ICTC1	0	(W)	(W)	
					ICTC0	0	Reset	Invalid	
FFF1H	0	0	IPT1	IPT0	0 *3	- *2	(R)	(R)	未使用 未使用 割り込み要因フラグ(タイマ1アンダーフロー) 割り込み要因フラグ(タイマ0アンダーフロー)
					0 *3	- *2	Yes	No	
					IPT1	0	(W)	(W)	
					IPT0	0	Reset	Invalid	

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*2 回路上設定されない

● CKSEL0: プリスケアラ0原振クロック選択レジスタ (FFC2H・D0)

CKSEL1: プリスケアラ1原振クロック選択レジスタ (FFC2H・D1)

プリスケアラの原振クロックを選択します。

"1"書き込み: OSC3クロック

"0"書き込み: OSC1クロック

読み出し: 可能

プリスケアラの原振クロックをOSC1とするかOSC3とするかを選択します。CKSELxに"0"を書き込んだ場合はタイマxの入力クロックとしてOSC1、"1"を書き込んだ場合はOSC3が選択されます。

なお、タイマ0のイベントカウンタモードを選択している場合はCKSEL0の設定は無効となります。

タイマ0とタイマ1を16ビットタイマとして使用する場合、CKSEL1の設定は無効となります。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

注: OSC3発振回路を使用しないマスクオプションを選択した場合、原振クロックを選択することはできません(OSC1固定)。CKSELxレジスタを"1"に設定しないでください。

- **PTPS00, PTPS01: タイマ0プリスケアラ分周比選択レジスタ (FFC3H・D2, D3)**
PTPS10, PTPS11: タイマ1プリスケアラ分周比選択レジスタ (FFC4H・D2, D3)
 各タイマのプリスケアラ分周比を表4.10.10.2のとおり設定します。

表4.10.10.2 プリスケアラ分周比の選択

PTPSx1	PTPSx0	プリスケアラ分周比
1	1	原振クロック / 256
1	0	原振クロック / 32
0	1	原振クロック / 4
0	0	原振クロック / 1

なお、タイマ0のイベントカウンタモードを選択している場合、PTPS00、PTPS01の設定は無効となります。
 タイマ0とタイマ1を16ビットタイマとして使用する場合、PTPS10、PTPS11の設定は無効となります。
 イニシャルリセット時、これらのレジスタは"0"に設定されます。

- **MOD16: 16ビットモード選択レジスタ (FFC0H・D3)**

タイマ0と1を16ビットタイマとして使用するか、8ビットタイマ×2として使用するか選択します。

"1"書き込み: 16ビットタイマ
 "0"書き込み: 8ビットタイマ
 読み出し: 可能

MOD16に"1"を書き込んだ場合はタイマ0を下位バイト、タイマ1を上位バイトとして16ビットタイマが構成されます。制御はタイマ0のレジスタで行います。"0"を書き込んだ場合、タイマ0とタイマ1はそれぞれ独立した8ビットタイマとして動作します。
 イニシャルリセット時、このレジスタは"0"に設定されます。

- **EVCNT: タイマ0カウンタモード選択レジスタ (FFC0H・D2)**

タイマ0のカウンタモードを選択します。

"1"書き込み: イベントカウンタモード
 "0"書き込み: タイマモード
 読み出し: 可能

タイマ0をイベントカウンタとして使用するか、タイマとして使用するかを選択します。EVCNTに"1"を書き込んだ場合はイベントカウンタモード、"0"を書き込んだ場合はタイマモードがそれぞれ選択されます。
 イニシャルリセット時、このレジスタは"0"に設定されます。

- **FCSEL: タイマ0機能選択レジスタ (FFC0H・D1)**

イベントカウンタモードのクロック入力回路にノイズリジェクタを付加するかしないか選択します。

"1"書き込み: ノイズリジェクタ付き
 "0"書き込み: ノイズリジェクタなし
 読み出し: 可能

FCSELに"1"を書き込んだ場合はノイズリジェクタが付加され、0.98msec*以上のパルス幅の外部クロック(K13)によってカウントが行われます。ノイズリジェクタは、K13入力ポート端子の入力レベルが変化してから二度目の内部2,048Hz*信号の立ち下がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msec*以下となります。(*はf_{OSC1} = 32.768kHzの場合の値です。)

また、FCSELに"0"を書き込んだ場合はノイズリジェクタは付加されず、K13入力ポート端子に入力される外部クロックによって直接カウントが行われます。

このレジスタの設定は、タイマ0をイベントカウンタモードで使用する場合にのみ有効です。

イニシャルリセット時、このレジスタは"0"に設定されます。

● PLPOL: タイマ0パルス極性選択レジスタ (FFC0H・D0)

イベントカウンタのカウンタパルス極性を選択します。

"1"書き込み: 立ち上がりエッジ
 "0"書き込み: 立ち下がりエッジ
 読み出し: 可能

イベントカウンタモード(タイマ0)のカウンタのタイミングをK13入力ポート端子に入力される外部クロックの立ち下がりエッジとするか、立ち上がりエッジとするかを選択します。

PLPOLに"0"を書き込んだ場合は立ち下がりエッジ、"1"を書き込んだ場合は立ち上がりエッジがそれぞれ選択されます。

このレジスタの設定は、タイマ0をイベントカウンタモードで使用する場合にのみ有効です。

イニシャルリセット時、このレジスタは"0"に設定されます。

● PTSEL0: タイマ0 PWMモード選択レジスタ (FFD8H・D0)

PTSEL1: タイマ1 PWMモード選択レジスタ (FFD8H・D1)

タイマ0と1をPWM出力用に設定します。

"1"書き込み: PWM出力
 "0"書き込み: 通常出力
 読み出し: 可能

PTSELxに"1"を書き込むとコンペアデータレジスタが有効となり、アンダーフロー信号とコンペアマッチ信号を使用してPWM波形が生成されます。"0"を書き込んだ場合、アンダーフロー信号のみを使用した通常の出力が行われます。タイマ0とタイマ1を16ビットタイマとして使用する場合、PTSEL1の設定は無効となります。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

● RLD00～RLD07: タイマ0リロードデータレジスタ (FFC6H, FFC7H)

RLD10～RLD17: タイマ1リロードデータレジスタ (FFC8H, FFC9H)

カウンタの初期値を設定します。

本レジスタに設定したリロードデータがそれぞれのカウンタにロードされ、それを初期値としてダウンカウンタが行われます。

リロードデータがカウンタにロードされる条件はPTRSTxに"1"を書き込んでプリセットを行う場合と、カウンタのアンダーフローによって自動的にリロードが行われる場合です。

イニシャルリセット時、これらのレジスタは"00H"に設定されます。

● PTD00～PTD07: タイマ0カウンタデータ (FFCCH, FFCDH)

PTD10～PTD17: タイマ1カウンタデータ (FFCEH, FFCFH)

プログラマブルタイマのデータが読み出せます。

タイマxのカウンタデータの下位4ビットがPTDx0～PTDx3、上位4ビットがPTDx4～PTDx7から読み出せます。

下位4ビットの読み出しにより上位4ビットのホールド機能が働きますので、読み出しは必ず下位4ビットから先に行ってください。本ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、各カウンタデータは"00H"に設定されます。

● CD00～CD07: タイマ0コンペアデータレジスタ (FFD2H, FFD3H)

CD10～CD17: タイマ1コンペアデータレジスタ (FFD4H, FFD5H)

PWM出力用のコンペアデータを設定します。

タイマをPWMモードに設定すると、本レジスタに設定したコンペアデータがカウンタのデータと比較され、一致した場合にコンペアマッチ信号が出力されます。その信号により割り込みが発生するとともにPWM波形のデューティ比が制御されます。

イニシャルリセット時、これらのレジスタは"00H"に設定されます。

● **PTRST0: タイマ0リセット (リロード) (FFC3H・D1)**

PTRST1: タイマ1リセット (リロード) (FFC4H・D1)

タイマをリセットし、リロードデータをカウンタにプリセットします。

"1"書き込み: リセット
 "0"書き込み: ノーオペレーション
 読み出し: 常時"0"

PTRSTxに"1"を書き込むことによって、RLDx0～RLDx7のリロードデータがタイマxのカウンタにプリセットされます。カウンタがRUN状態のときにプリセットを行うとリロードデータのプリセット直後にリスタートします。また、STOP状態の場合はプリセットされたリロードデータがそのまま保持されます。

"0"の書き込みはノーオペレーションとなります。

本ビットは書き込み専用のため、読み出しは常時"0"となります。

● **PTRUN0: タイマ0 RUN/STOP制御レジスタ (FFC3H・D0)**

PTRUN1: タイマ1 RUN/STOP制御レジスタ (FFC4H・D0)

カウンタのRUN/STOPを制御します。

"1"書き込み: RUN
 "0"書き込み: STOP
 読み出し: 可能

タイマxのカウンタはPTRUNxに"1"を書き込むことによってダウンカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

● **CHSEL0: TOUT出力選択レジスタ (FFC1H・D1)**

TOUT信号を出力させるタイマを選択します。

"1"書き込み: タイマ1
 "0"書き込み: タイマ0
 読み出し: 可能

TOUT信号にタイマ0の出力を使用するか、タイマ1の出力を使用するかを選択します。CHSEL0に"0"を書き込んだ場合はタイマ0、"1"を書き込んだ場合はタイマ1がそれぞれ選択されます。

16ビットモード時(MOD16="1")は、このレジスタの設定にかかわらず常にタイマ1が選択されます。

イニシャルリセット時、このレジスタは"0"に設定されます。

● **PTOUT: TOUT出力制御レジスタ (FFC1H・D0)**

TOUT信号の出力制御を行います。

"1"書き込み: ON
 "0"書き込み: OFF
 読み出し: 可能

PTOUTはTOUT信号の出力制御レジスタで、"1"を設定するとTOUT信号がR02出力ポート端子から出力され、"0"を設定するとHIGHレベル(V_{DD})が出力されます。このとき、データレジスタR02には常時"1"が、ハイインピーダンス制御レジスタR02HIZには常時"0"(データ出力)が設定されている必要があります。

イニシャルリセット時、このレジスタは"0"に設定されます。

● **EIPT0, ECTC0: タイマ0割り込みマスクレジスタ (FFE1H・D0, FFE0H・D0)**

EIPT1, ECTC1: タイマ1割り込みマスクレジスタ (FFE1H・D1, FFE0H・D1)

プログラマブルタイマの割り込みについて、マスクするかしないかを選択します。

"1"書き込み: イネーブル

"0"書き込み: マスク

読み出し: 可能

EIPTx, ECTCxはそれぞれタイマxのアンダーフロー、コンペアマッチの割り込み要因に対応する割り込みマスクレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。イニシャルリセット時、これらのレジスタは"0"に設定されます。

● **IPT0, ICTC0: タイマ0割り込み要因フラグ (FFF1H・D0, FFF0H・D0)**

IPT1, ICTC1: タイマ1割り込み要因フラグ (FFF1H・D1, FFF0H・D1)

プログラマブルタイマ割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有

"0"読み出し: 割り込み無

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

IPTx, ICTCxはそれぞれタイマxのアンダーフロー、コンペアマッチの割り込みに対応する割り込み要因フラグで、それぞれの要因の発生により"1"にセットされます。

アンダーフロー割り込み要因は、カウンタがアンダーフローしたところで発生します。

コンペアマッチ割り込み要因は、タイマをPWMモードに設定している場合にカウンタのデータとコンペアデータが一致すると発生します。

これらのフラグによってプログラマブルタイマ割り込みの有無を、ソフトウェアで判断することができます。ただし、これらのフラグは割り込みをマスクしていても、対応するタイマのアンダーフロー/コンペアマッチで"1"にセットされます。

これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可 (Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

4.10.11 プログラミング上の注意事項

- (1) カウンタデータの読み出しは必ず下位4ビット(PTDx0～PTDx3)から先に行ってください。また、下位4ビットの読み出し時に上位4ビット(PTDx4～PTDx7)はラッチされません。したがって、下位4ビットと上位4ビットの読み出しの時間差は0.73msec ($f_{OSC1} = 32.768\text{kHz}$ の場合)以下としてください。なお、CPUをOSC1クロック、プログラマブルタイマをOSC3クロックで動作させている場合は、タイマを停止させてからカウンタデータを読み出してください。OSC1クロックで動作しているCPUが下位4ビットと上位4ビットを2命令で読み出す間に、OSC3クロックによるカウントは表4.10.11.1に示す値だけ変化します。

表4.10.11.1 OSC1クロックによる下位-上位データ読み出し間のOSC3クロックによるカウント変化

カウントクロック	読み出し間のカウント変化
OSC3/1	0200H
OSC3/4	001AH
OSC3/32	0002H

16ビットタイマのカウンタデータは、必ず次の順序で読み出してください。

PTD00～PTD03 → PTD04～PTD07 → PTD10～PTD13 → PTD14～PTD17

- (2) プログラマブルタイマはレジスタPTRUNxへの書き込みに対して、入力クロックの立ち下がりがエッジに同期して実際にRUN/STOP状態となります。
したがって、PTRUNxに"0"を書き込んだ場合は、"-1"余分にカウントしたところでタイマが停止状態となります。また、このときPTRUNxは実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。
図4.10.11.1にRUN/STOP制御のタイミングチャートを示します。

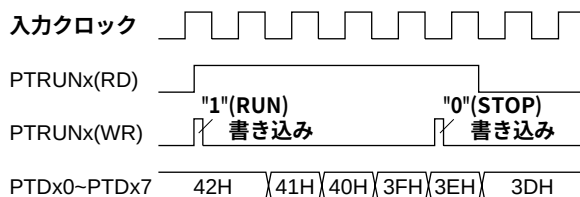


図4.10.11.1 RUN/STOP制御のタイミングチャート

なお、これについてはイベントカウンタも対象となるため、RUN/STOPレジスタ(PTRUN0)を設定後にクロック入力がない場合、カウンタ回路は実際にはRUN/STOP状態になりませんので注意してください。

- (3) TOUT信号は出力制御レジスタPTOUTとは非同期に発生していますので、PTOUTの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- (4) OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3発振回路をONさせる必要があります。
ただし、OSC3発振回路をONにしてから発振が安定するまでに5msec以上の時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ON後、十分な待ち時間をおいてから行ってください。OSC3の制御方法と注意事項については"4.3 発振回路"を参照してください。イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。
- (5) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

- (6) プログラマブルタイマ動作中にプログラマブルタイマ割り込み発生間隔を変更する場合、以下の理由によりリロードデータを書き込むタイミングに注意が必要です。

プログラマブルタイマは入力クロックの立ち下がりエッジでダウンカウントを行い、そこでアンダーフローが発生した場合は同時に割り込みを発生します。その後、リロードデータをカウンタにセットする動作を開始し、入力クロックの次の立ち上がりエッジでカウンタデータが確定します(①の区間)。

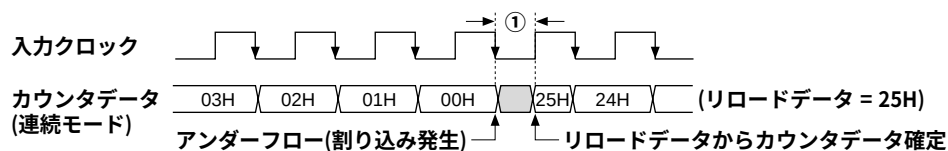


図4.10.11.2 プログラマブルタイマリロードタイミング

リロードデータを正しくカウンタにセットするために、割り込み発生後は①の区間を含め、カウンタデータが確定するまではリロードデータの書き換えを行わないでください。入力クロックの源振にOSC1(低速クロック)を使用し、CPUがOSC3(高速クロック)で動作している場合は、特に注意が必要です。

4.11 シリアルインタフェース (SIN, SOUT, SCLK, SRDY)

4.11.1 シリアルインタフェースの構成

S1C63656はクロック同期型の8ビットシリアルインタフェースを内蔵しています。

図4.11.1.1にシリアルインタフェースの構成を示します。

CPUはSIN端子より入力されたシリアルデータを8ビットのシフトレジスタを介して読み取ることができます。また、同じ8ビットのシフトレジスタを介してパラレルデータをシリアル変換し、SOUT端子に出力することができます。

シリアルデータを入出力するための同期クロックは、マスタモード(内部クロックモード: 本CPUがシリアル入出力のマスタとなる場合)3種類とスレーブモード(外部クロックモード: 本CPUがシリアル入出力のスレーブとなる場合)1種類の中から1つをソフトウェアにより選択できます。

また、本シリアルインタフェースをスレーブモードで使う場合には、シリアルインタフェースが送受信可能かどうかを示すSRDY信号を出力端子SRDYに出力します。

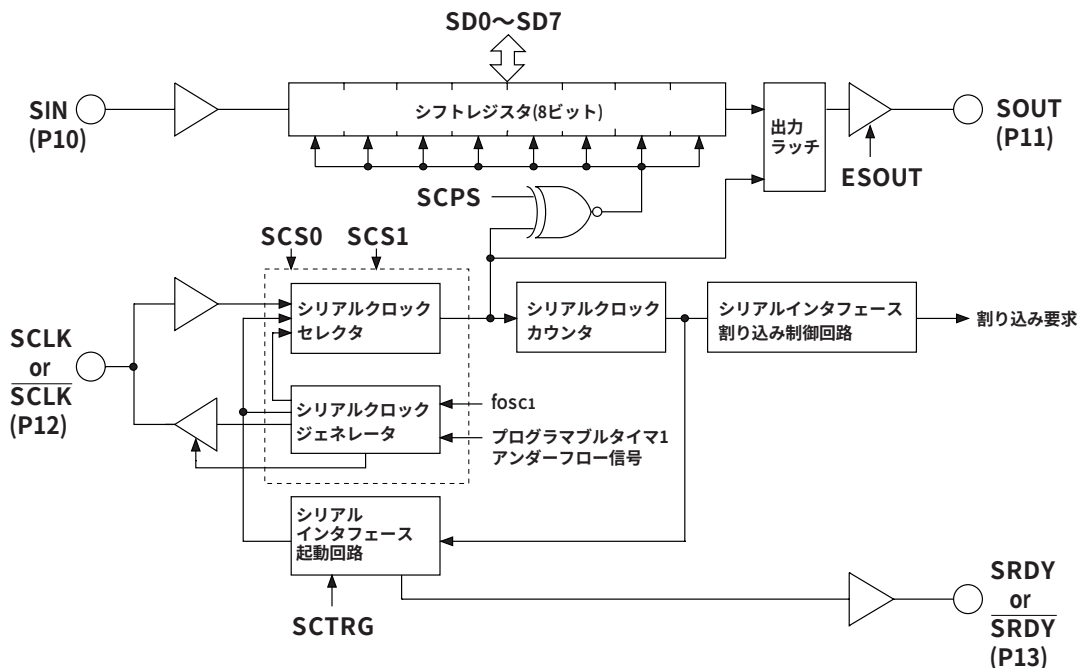


図4.11.1.1 シリアルインタフェースの構成

シリアルインタフェースの入出力ポートは入出力兼用ポート(P10～P13)と兼用されており、シリアルインタフェースとして使用する場合はソフトウェアによって機能の切り換えを行います。

P10～P13端子とシリアル入出力との対応は以下のとおりです。

マスタモード: P10 = SIN(I) P11 = SOUT(O) P12 = SCLK(O) P13 = 入出力兼用ポート(I/O)
スレーブモード: P10 = SIN(I) P11 = SOUT(O) P12 = SCLK(I) P13 = SRDY(O)

P11ポートからのSOUT出力はESOUTレジスタに"1"を書き込んだ場合に有効で、"0"の場合はP11が入出力兼用ポートとして機能します。

注: イニシャルリセット時、P10～P13は入出力兼用ポートに設定されます。

シリアルインタフェースを使用する場合は、初期化ルーチンの中で機能の切り換え(ESIF = "1", ESOUT = "1")を行ってください。

4.11.2 マスクオプション

(1) 端子仕様

シリアルインタフェースの入出力端子は入出力兼用ポート(P10～P13)と兼用されているため、入出力兼用ポートの端子仕様を選択するマスクオプションがシリアルインタフェースにも適用されます。

シリアルインタフェースの入出力ポートの中で出力として使用されるSOUT端子、SCLK端子(マスタモード時)、SRDY端子(スレーブモード時)の出力仕様がそれぞれP11、P12、P13のマスクオプションで設定されます。出力仕様として、コンプリメンタリ出力またはPチャンネルオープンドレイン出力のいずれかが選択できます。ただし、Pチャンネルオープンドレイン出力を選択した場合でも、端子に電源電圧を越える電圧を印加することは禁止します。

また、入力として使用されるSIN端子、SCLK端子(スレーブモード時)のプルダウン抵抗の有無および入力仕様をマスクオプションで選択できます。プルダウン抵抗の有無はP10、P12のマスクオプションで選択できます。"プルダウンなし"を選択した場合には、フローティング状態が発生しないように注意してください。

(2) 同期クロックおよびレディ信号の極性

同期クロックおよびスレーブモード時に出力されるレディ信号を正極性(アクティブHIGH)とするか負極性(アクティブLOW)とするか選択できます(SCLK & SRDYまたは $\overline{\text{SCLK}}$ & $\overline{\text{SRDY}}$)。

スレーブモードで動作させる場合、同期クロックを外部デバイスから入力します。この場合に負極性を選択しても、端子仕様はプルダウンのみで、プルアップ抵抗は内蔵できませんので注意してください。

なお、以下の説明は基本的に正極性(SCLK、SRDY)を選択したものとして行います。

4.11.3 シリアルインタフェースのマスタモードとスレーブモード

S1C63656のシリアルインタフェースは、マスタモードとスレーブモードの2種類の動作モードを持っています。マスタモードでは内蔵シフトレジスタの同期クロックとして内部クロックを使用し、この内部クロックをSCLK(P12)端子に出力し、外部の(スレーブ側の)シリアル入出力回路を制御することができます。スレーブモードでは、外部の(マスタ側の)シリアル入出力回路より出力される同期クロックをSCLK(P12)端子より入力し、本CPU内蔵のシリアルインタフェースの同期クロックとして使用することができます。

マスタモードとスレーブモードは、レジスタSCS0とSCS1にデータを書き込むことによって切り換えることができます。表4.11.3.1に示すように、マスタモードにした場合は、同期クロックとして3種類の中の1つを選択することができます。

表4.11.3.1 同期クロック選択

SCS1	SCS0	モード	同期クロック
1	1	マスタモード	OSC1
1	0		OSC1 /2
0	1		プログラマブルタイマ *
0	0	スレーブモード	外部クロック *

* クロック周波数は最大1MHzに制限されます。

プログラマブルタイマを選択した場合は、プログラマブルタイマ(タイマ1)のアンダーフロー信号を1/2分周した信号が同期クロックとして使用されます。この場合、シリアルインタフェースを動作させる前にプログラマブルタイマの制御が必要です。プログラマブルタイマについては"4.10 プログラマブルタイマ"を参照してください。

イニシャルリセット時はスレーブモード(外部クロックモード)が選択されます。

また、同期クロックは、8ビットシリアルデータの入出力に伴い次のように制御されています。

- マスタモードでは、SCLK(P12)端子よりクロックが8個出力されると自動的にクロック出力を停止し、SCLK(P12)端子はLOW(マスクオプションで負極性を選択している場合はHIGH)に固定されます。
- スレーブモードでは、SCLK(P12)端子よりクロックが8個入力されると以降のクロック入力はマスクされます。

基本的なシリアル入出力部の接続例を図4.11.3.1に示します。

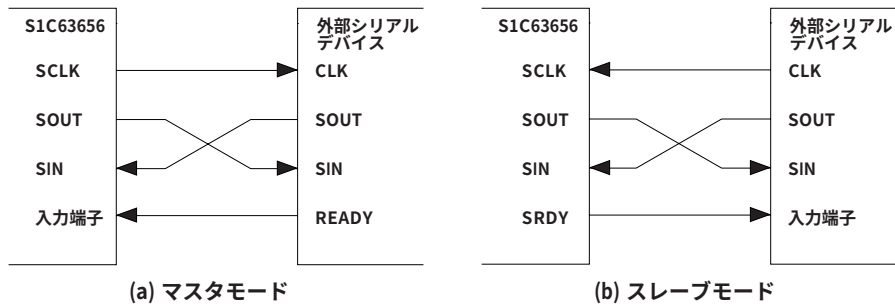


図4.11.3.1 基本的なシリアル入出力部の接続例

4.11.4 データの入出力と割り込み

S1C63656のシリアルインタフェースは、内部の8ビットシフトレジスタを介してデータの入出力をすることができます。シフトレジスタのシフト動作は、SCLK(P12)端子より出力される(マスタモード)同期クロックか、SCLK(P12)端子に入力される(スレーブモード)同期クロックに同期して動作します。

シリアルインタフェースは8ビットのシリアルデータの入出力が発生します。シリアルデータの入出力の検出は同期クロックSCLKをカウントすることで行っており、クロックが8個(8周期分)カウントされた時点で終了と判断して割り込みを発生します。

以下にシリアルデータの入出力方法について説明します。

(1)シリアルデータの出力と割り込み

S1C63656のシリアルインタフェースは8ビット単位でパラレルデータをシリアル出力することができます。パラレルデータをデータレジスタSD0～SD3(FF72H)とSD4～SD7(FF73H)にセットし、SCTRGビット(FF70H・D1)を"1"にセットすると、同期クロックに同期してSOUT(P11)端子にシリアルデータが出力されます。このとき、同期クロックはマスタモードでは内部クロックがSCLK(P12)端子に出力され、スレーブモードでは外部クロックがSCLK(P12)端子より入力されます。

データのシフトタイミングは次のとおりです。

・ 同期クロックに正極性を選択した場合(マスクオプション)

SOUT(P11)端子のシリアル出力はSCLK(P12)端子から入力、または出力されるクロックの立ち上がりエッジで変化します。また、シフトレジスタのデータは、SCPSレジスタが"1"のときはSCLK信号の立ち上がりでシフトし、SCPSレジスタが"0"のときはSCLK信号の立ち下がりでシフトします。

・ 同期クロックに負極性を選択した場合(マスクオプション)

SOUT(P11)端子のシリアル出力はSCLK(P12)端子から入力、または出力されるクロックの立ち下がりエッジで変化します。また、シフトレジスタのデータは、SCPSレジスタ(FF71H・D2)が"1"のときはSCLK信号の立ち下がりでシフトし、SCPSレジスタが"0"のときはSCLK信号の立ち上がりでシフトします。

SD0からSD7までの8ビットのデータを出力し終わると割り込み要因フラグISIF(FFF2H・D0)がセットされ、割り込みが発生します。なお、割り込みマスクレジスタEISIF(FFE2H・D0)によって割り込みを禁止することもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、8ビットデータの出力後"1"にセットされます。

(2)シリアルデータの入力と割り込み

S1C63656のシリアルインタフェースは8ビット単位でシリアルデータをパラレルデータとして入力することができます。

シリアルデータはSIN(P10)端子より入力され、同期クロックに同期してCPU内部の8ビットシフトレジスタに順次取り込まれます。同期クロックは、(1)で説明したとおりマスタモードでは内部クロックが使われ、スレーブモードでは外部クロックが使われます。

データのシフトタイミングは次のとおりです。

- 同期クロックに正極性を選択した場合(マスクオプション)

内蔵シフトレジスタへのシリアルデータは、SCPSレジスタが"1"のときはSCLK信号の立ち上がりで取り込まれ、SCPSレジスタが"0"のときはSCLK信号の立ち下がりで取り込まれます。シリアルデータが取り込まれるとともに、シフトレジスタ内のデータは順次シフトされます。

- 同期クロックに負極性を選択した場合(マスクオプション)

内蔵シフトレジスタへのシリアルデータは、SCPSレジスタが"1"のときはSCLK信号の立ち下がりで取り込まれ、SCPSレジスタが"0"のときはSCLK信号の立ち上がりで取り込まれます。シリアルデータが取り込まれるとともに、シフトレジスタ内のデータは順次シフトされます。

SD0からSD7までの8ビットのデータを入力し終わると割り込み要因フラグISIFがセットされ、割り込みが発生します。なお、割り込みマスクレジスタEISIFによって割り込みを禁止することもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、8ビットデータの入力後"1"にセットされます。シフトレジスタに入力されたデータは、レジスタSD0～SD7からソフトウェアによって読み出すことができます。

(3)シリアルデータの入出力順序

S1C63656はレジスタSDP(FF71H・D3)によりシリアルデータの入出力の順序をLSBを先頭にするかMSBを先頭にするかを切り換えることができます。LSBを先頭にした場合とMSBを先頭にした場合のブロック図を図4.11.4.1に示します。SDPの設定はSD0～SD7にデータを設定する前に行ってください。



図4.11.4.1 シリアルデータの入出力順序

(4)SRDY信号

S1C63656のシリアルインタフェースをスレーブモード(外部クロックモード)で使用する場合には、マスタ側(外部の)シリアル入出力回路に対してCPU内部のシリアルインタフェースが送受信可能かどうかを伝えるためのSRDY信号をSRDY(P13)端子より出力することができます。

SRDY信号の出力タイミングは次のとおりです。

- 正極性を選択した場合(マスクオプション)

SRDY信号はS1C63656のシリアル入出力回路が送信または受信可能な状態になったときに"1"(HIGH)となり、通常は"0"(LOW)となっています。

SRDY信号はSCTRGに"1"を書き込んだ直後に"0"から"1"に変化し、SCLK(P12)端子に"1"が入力されると(送信または受信を開始すると)"1"から"0"に戻ります。

また、シフトレジスタの上位ワード(SD4～SD7)に対してデータを読み出ししたり、書き込んだりするとSRDY信号は"0"に戻ります。

- 負極性を選択した場合(マスクオプション)

$\overline{\text{SRDY}}$ 信号はS1C63656のシリアル入出力回路が送信または受信可能な状態になったときに"0"(LOW)となり、通常は"1"(HIGH)となっています。

$\overline{\text{SRDY}}$ 信号はSCTRGに"1"を書き込んだ直後に"1"から"0"に変化し、 $\overline{\text{SCLK}}$ (P12)端子に"0"が入力されると(送信または受信を開始すると)"0"から"1"に戻ります。

また、シフトレジスタの上位ワード(SD4～SD7)に対してデータを読み出ししたり、書き込んだりすると $\overline{\text{SRDY}}$ 信号は"1"に戻ります。

(5) タイミングチャート

S1C63656のシリアルインタフェースのタイミングチャートを図4.11.4.2および図4.11.4.3に示します。

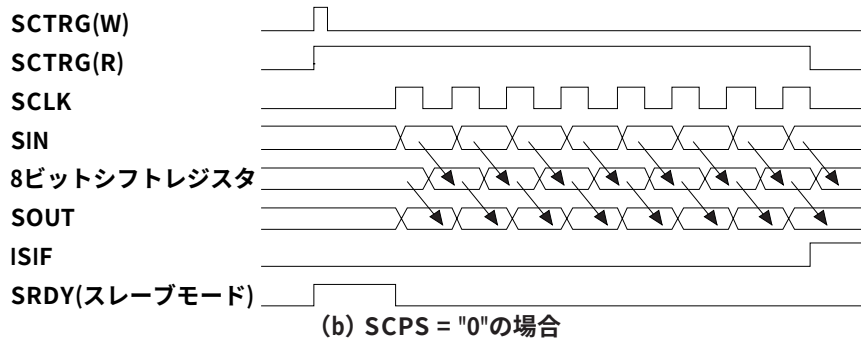
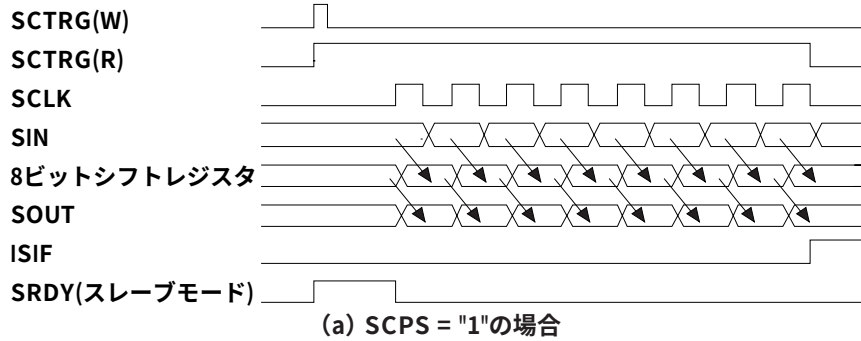


図4.11.4.2 シリアルインタフェースのタイミングチャート(同期クロックが正極性SCLKの場合)

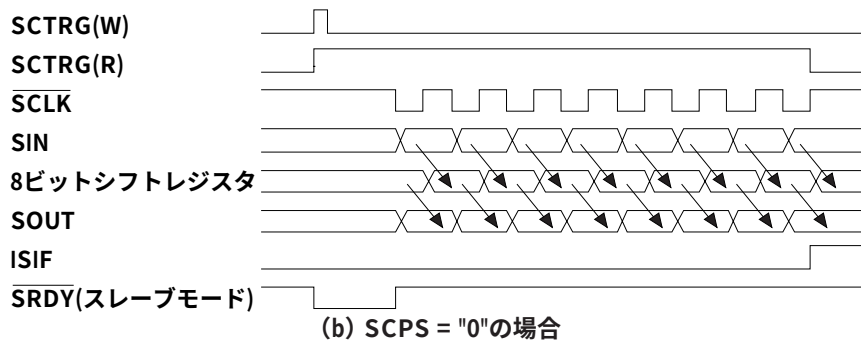
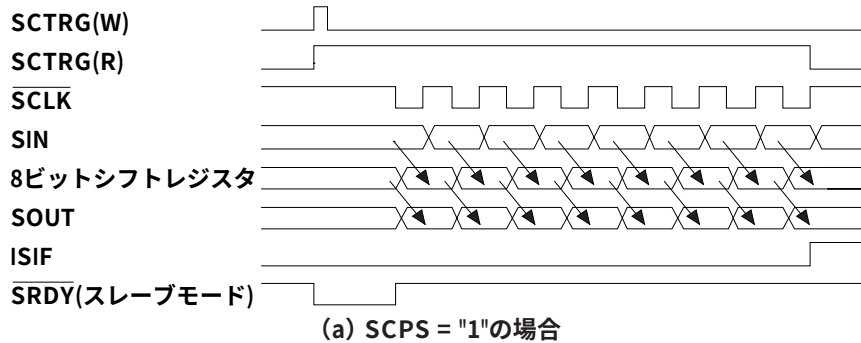


図4.11.4.3 シリアルインタフェースのタイミングチャート(同期クロックが負極性SCLKの場合)

4.11.5 シリアルインタフェースのI/Oメモリ

表4.11.5.1にシリアルインタフェースの制御ビットとそのアドレスを示します。

表4.11.5.1 シリアル入出力ポートの制御ビット

アドレス	レジスタ				注 釈				
	D3	D2	D1	D0	Name	Init *1	1	0	
FF45H	PUL13	PUL12	PUL11	PUL10	PUL13	1	On	Off	P13プルダウン制御レジスタ
					PUL12	1	On	Off	SIF(スレープ)選択時、汎用レジスタとして機能 P12プルダウン制御レジスタ (ESIF=0)
	R/W				PUL11	1	On	Off	SIF(マスタ)選択時、汎用レジスタとして機能 SIF(スレープ)選択時、SCLK(I)プルダウン制御レジスタ
					PUL10	1	On	Off	P11プルダウン制御レジスタ (ESIF=0) SIF選択時、汎用レジスタとして機能 P10プルダウン制御レジスタ (ESIF=0)
FF70H	0	ESOUT	SCTRG	ESIF	0 *3	- *2			未使用
	R	R/W			ESOUT	0	Enable	Disable	SOUTイネーブル
					SCTRG	0	Trigger	Invalid	シリアルI/Fクロックトリガ(書き込み時)
					ESIF	0	Run	Stop	シリアルI/Fクロックステータス(読み出し時)
FF71H	SDP	SCPS	SCS1	SCS0	SDP	0	MSB first	LSB first	シリアルI/Fデータ入出力順列
	R/W				SCPS	0			シリアルI/Fクロックフェーズ選択
					SCS1	0			負極性選択時(マスクオプション)
									SCS0
FF72H	SD3	SD2	SD1	SD0	SD3	- *2	High	Low	MSB
	R/W				SD2	- *2	High	Low	シリアルI/F送受信データ(下位4ビット)
					SD1	- *2	High	Low	
					SD0	- *2	High	Low	LSB
FF73H	SD7	SD6	SD5	SD4	SD7	- *2	High	Low	MSB
	R/W				SD6	- *2	High	Low	シリアルI/F送受信データ(上位4ビット)
					SD5	- *2	High	Low	
					SD4	- *2	High	Low	LSB
FFE2H	0	0	0	EISIF	0 *3	- *2			未使用
	R			R/W	0 *3	- *2			未使用
					EISIF	0	Enable	Mask	未使用
FFF2H	0	0	0	ISIF	0 *3	- *2	(R)	(R)	割り込みマスクレジスタ(シリアルI/F)
	R		R/W	0 *3	- *2	(R)	(R)	未使用	
				0 *3	- *2	(W)	(W)	未使用	
				ISIF	0	Reset	Invalid	未使用	

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

● ESIF: シリアルインタフェースイネーブルレジスタ(P1ポート機能選択) (FF70H・D0)

P10～P13をシリアルインタフェースの入出力ポートに設定します。

"1"書き込み: シリアルインタフェース

"0"書き込み: 入出力兼用ポート

読み出し: 可能

P10、P11、P12、P13がそれぞれSIN、SOUT、SCLK、SRDYとして機能します。P13端子はスレープモードの場合にSRDY出力端子として機能し、マスタモードの場合は入出力兼用ポート端子として機能します。イニシャルリセット時、このレジスタは"0"に設定されます。

● ESOUT: SOUTイネーブルレジスタ (FF70H・D2)

P11からのシリアル出力を許可します。

- "1"書き込み: イネーブル(SOUT)
 "0"書き込み: ディセーブル(入出力兼用ポート)
 読み出し: 可能

シリアルデータ入力のみを行う場合は、SOUT出力をディセーブルとしてP11を入出力兼用ポートとして使用することができます。シリアル出力を行う場合は、ESOUTに"1"を書き込んでP11をSOUT出力に設定してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

● PUL10: SINプルダウン制御レジスタ (FF45H・D0)

PUL12: SCLKプルダウン制御レジスタ (FF45H・D2)

SIN端子、SCLK端子(スレーブモード時)のプルダウンを設定します。

- "1"書き込み: プルダウンON
 "0"書き込み: プルダウンOFF
 読み出し: 可能

SIN(P10)およびSCLK(P12)端子に内蔵されたプルダウン抵抗をONまたはOFFに設定します。(プルダウン抵抗はマスクオプションで選択したポートのみに付加されます。)

SCLKのプルダウンはスレーブモード時にのみ有効で、マスタモード時はPUL12レジスタを汎用レジスタとして使用することができます。

イニシャルリセット時、これらのレジスタは"1"に設定され、プルダウン抵抗はONになります。

● SCS1, SCS0: クロックモード選択レジスタ (FF71H・D1, D0)

シリアルインタフェースの同期クロック(SCLK)を選択します。

表4.11.5.2 同期クロック選択

SCS1	SCS0	モード	同期クロック
1	1	マスタモード	OSC1
1	0		OSC1 /2
0	1		プログラマブルタイマ *
0	0	スレーブモード	外部クロック *

* クロック周波数は最大1MHzに制限されます。

同期クロック(SCLK)は内部クロック3種類と外部クロックの上記 4種類の中から選択します。

プログラマブルタイマを選択した場合は、プログラマブルタイマ(タイマ1)のアンダーフロー信号を1/2分周した信号が同期クロックとして使用されます。この場合、シリアルインタフェースを動作させる前にプログラマブルタイマの制御が必要です。プログラマブルタイマについては"4.10 プログラマブルタイマ"を参照してください。

イニシャルリセット時は外部クロックが選択されます。

● SCPS: クロックフェーズ選択レジスタ (FF71H・D2)

SIN(P10)端子から入力するシリアルデータの読み込みタイミングを選択します。

・正極性選択時

- "1"書き込み: SCLK立ち上がりエッジ
 "0"書き込み: SCLK立ち下がりエッジ
 読み出し: 可能

・負極性選択時

- "1"書き込み: $\overline{\text{SCLK}}$ 立ち下がりエッジ
 "0"書き込み: $\overline{\text{SCLK}}$ 立ち上がりエッジ
 読み出し: 可能

シリアル入出力データのレジスタ(SD0～SD7)への読み込みを同期クロックの立ち下がりエッジで行うか、立ち上がりエッジで行うか選択します。マスクオプションにより選択した同期クロックの極性により選択内容が異なりますので注意してください。

入力データの読み込みタイミングは選択できますが、出力データの出力タイミングはSCLK立ち上がりエッジ(正極性選択時)またはSCLK立ち下がりエッジ(負極性選択時)に固定です。

イニシャルリセット時、このレジスタは"0"に設定されます。

● SDP: データ入出力順列選択レジスタ (FF71H・D3)

シリアルデータの入出力順列を選択します。

"1"書き込み: MSB先頭

"0"書き込み: LSB先頭

読み出し: 可能

データの入出力をMSB先頭で行うか、LSB先頭で行うか選択します。

イニシャルリセット時、このレジスタは"0"に設定されます。

● SCTRG: クロックトリガ/ステータス (FF70H・D1)

同期クロック(SCLK)の入力/出力開始トリガです。

・データ書き込み時

"1"書き込み: トリガ入力

"0"書き込み: ノーオペレーション

シリアルインタフェース起動回路にこのトリガ入力を与えると、同期クロック(SCLK)の入力/出力を開始します。トリガ条件として、SCTRGに"1"を書き込む以前に、データレジスタSD0～SD7の書き込み、または読み出しが行われている必要があります。(データレジスタSD0～SD7への書き込み/読み出しにより、シリアルインタフェースの内部回路は初期化されます。)また、トリガをかける前に必ずESIFでシリアルインタフェースをイネーブルとしておいてください。

トリガ入力はシリアルインタフェースをRUN状態にすると一度だけ与えてください。複数回のトリガ入力は誤動作につながりますので避けてください。

また、同期クロック(SCLK)が外部クロックの場合は、トリガ入力後に外部クロックの入力を開始してください。

・データ読み出し時

"1"読み出し: RUN(同期クロック入出力中)

"0"読み出し: STOP(同期クロック停止中)

同期クロックの動作状態は、このビットを読み出すことによって確認できます。

SCTRGに"1"を書き込むと、このデータは同期クロックの入出力が停止(8個カウント)するまでラッチされます。したがって、"1"を読み出した場合は、同期クロックが入出力動作中であることを示しています。

同期クロックの入出力が終了するとこのラッチは"0"にリセットされます。

イニシャルリセット時、このビットは"0"に設定されます。

● SD0～SD3, SD4～SD7: シリアルインタフェースデータレジスタ (FF72H, FF73H)

シリアルデータの書き込み/読み出しを行います。

・データ書き込み時

"1"書き込み: HIGHレベル

"0"書き込み: LOWレベル

SOUT(P11)端子から出力するシリアルデータを書き込みます。SOUT(P11)端子からは"1"に設定されたビットがHIGH(V_{DD})レベル、"0"に設定されたビットがLOW(V_{SS})レベルとしてシリアル変換されたデータが出力されます。

・データ読み出し時

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

SIN(P10)端子から入力されたシリアルデータを読み出します。

このレジスタからは、SIN(P10)端子から入力されたHIGH(V_{DD})レベルのビットを"1"、LOW(V_{SS})レベルのビットを"0"としてパラレル変換されたデータが読み出されます。データの読み出しは、シリアルインタフェースが停止中(同期クロックが入力/出力されていない状態)のときにのみ行ってください。

イニシャルリセット時、このレジスタ内のデータは不定です。

● EISIF: シリアルインタフェース割り込みマスクレジスタ (FFE2H・D0)

シリアルインタフェースからの割り込みマスクを設定します。

"1"書き込み: イネーブル

"0"書き込み: マスク

読み出し: 可能

シリアルインタフェースの割り込みをマスクするかしないかを選択できます。

イニシャルリセット時、このレジスタは"0"に設定されます。

● ISIF: シリアルインタフェース割り込み要因フラグ (FFF2H・D0)

シリアルインタフェースからの割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有

"0"読み出し: 割り込み無

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

このフラグによってシリアルインタフェース割り込みの有無を、ソフトウェアで判断することができます。このフラグは割り込みをマスクしていても、8ビットデータの入出力後に"1"にセットされます。

このフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、このフラグは"0"に設定されます。

4.11.6 プログラミング上の注意事項

- (1) データレジスタSD0～SD7への書き込み、または読み出しはシリアルインタフェースが停止中(同期クロックが入力/出力されていない状態)のときのみ行ってください。
- (2) シリアルインタフェースの起動はトリガ条件として、SCTRGに"1"を書き込む以前に、データレジスタSD0～SD7の書き込み/読み出しが行われている必要があります。(データレジスタSD0～SD7への書き込み/読み出しにより、シリアルインタフェースの内部回路は初期化されます。)また、トリガをかける前に必ずESIFでシリアルインタフェースをイネーブルとしておいてください。
トリガはシリアルインタフェースをRUN状態にすることによって一度だけ与えてください。また、同期クロックSCLKが外部クロックの場合は、トリガ後に外部クロックの入力を開始してください。
- (3) SDPによる入出力順列(MSB先頭/LSB先頭)の設定は、SD0～SD7にデータを設定する前に行ってください。
- (4) プログラマブルタイマの出力クロックを同期クロックとして使用する場合、またはスレーブモードで使用する場合、同期クロックの周波数は最大1MHzに制限されますので注意してください。
- (5) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.12 サウンドジェネレータ

4.12.1 サウンドジェネレータの構成

S1C63656はブザー信号を発生するサウンドジェネレータを内蔵しています。ここで発生したブザー信号はBZ端子から出力することができます。この出力で圧電ブザーを駆動することができます。

ブザー信号の周波数と音量をソフトウェアによりそれぞれ8段階に設定できるほか、デューティ比制御によるデジタルエンベロープを付加することができます。また、キー操作音等を出力するための、1ショット出力機能も持っています。

図4.12.1.1にサウンドジェネレータの構成を示します。

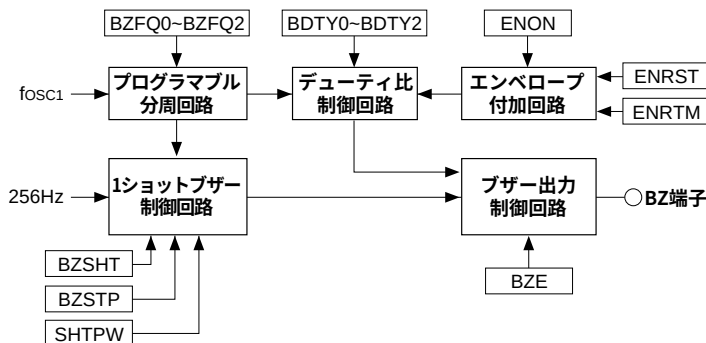


図4.12.1.1 サウンドジェネレータの構成

4.12.2 ブザー出力の制御

サウンドジェネレータで発生したBZ信号はBZ出力イネーブルレジスタBZEに"1"を設定することにより、BZ端子から出力されます。BZEレジスタを"0"に設定すると、BZ端子はLOW(Vss)レベルになります。

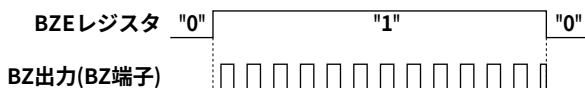


図4.12.2.1 ブザー信号出力タイミングチャート

注: ブザー信号はBZEレジスタとは非同期に発生していますので、BZEレジスタの設定による信号のON/OFF時にハザードを生じることがあります。

4.12.3 ブザー周波数と音量の設定

ブザー信号にはOSC1発振クロック(32.768kHz)の分周信号が用いられており、この分周比を変化させることによって8種類の周波数が選択できるようになっています。周波数の選択はブザー周波数選択レジスタBZFQ0～BZFQ2を表4.12.3.1のように設定することにより行います。

表4.12.3.1 ブザー信号の周波数設定

BZFQ2	BZFQ1	BZFQ0	ブザー周波数 (Hz)
0	0	0	4096.0
0	0	1	3276.8
0	1	0	2730.7
0	1	1	2340.6
1	0	0	2048.0
1	0	1	1638.4
1	1	0	1365.3
1	1	1	1170.3

ブザーの音量はブザー信号のデューティ比を制御することによって変化させています。

デューティ比はブザーデューティ選択レジスタBDTY0～BDTY2の設定により、表4.12.3.2に示す8種類の中から選択できます。

表4.12.3.2 デューティ比の設定

レベル	BDTY2	BDTY1	BDTY0	ブザー周波数 (Hz)によるデューティ比			
				4096.0 2048.0	3276.8 1638.4	2730.7 1365.3	2340.6 1170.3
レベル1(最大)	0	0	0	8/16	8/20	12/24	12/28
レベル2	0	0	1	7/16	7/20	11/24	11/28
レベル3	0	1	0	6/16	6/20	10/24	10/28
レベル4	0	1	1	5/16	5/20	9/24	9/28
レベル5	1	0	0	4/16	4/20	8/24	8/28
レベル6	1	0	1	3/16	3/20	7/24	7/28
レベル7	1	1	0	2/16	2/20	6/24	6/28
レベル8(最小)	1	1	1	1/16	1/20	5/24	5/28

デューティ比はパルス周期に対するパルス幅の比率のことで、HIGHレベル出力時間をTH、LOWレベル出力時間をTLとした場合は、 $TH/(TH+TL)$ となります。

BDTY0～BDTY2をすべて"0"に設定した場合にデューティ比が最大となり、音量も最大になります。逆にBDTY0～BDTY2をすべて"1"に設定した場合にデューティ比が最小となり、音量も最小になります。

なお、設定できるデューティ比は各周波数によって異なりますので表4.12.3.2を参照してください。

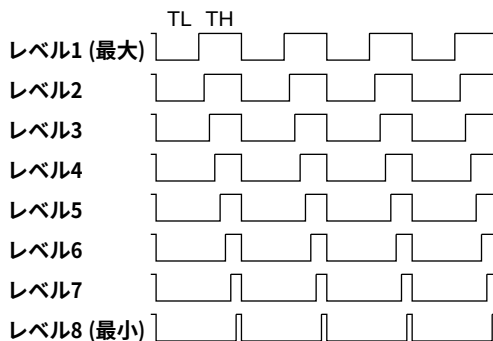


図4.12.3.1 ブザー信号波形のデューティ比

注: ブザー信号にデジタルエンベロップを付加した場合、デューティ比の制御が行われるため、BDTY0～BDTY2の設定は無効となります。

4.12.4 デジタルエンベロープ

ブザー信号にはデューティ比制御のデジタルエンベロープを付加することができます。

エンベロープは前項の表4.12.3.2の内容と同様のデューティ比をレベル1(最大)からレベル8(最小)に段階的に変化させることにより制御されます。

ブザー信号へのエンベロープの付加はレジスタENONに"1"を書き込むことで行われ、"0"が書き込まれた場合は付加されません。

ENONを"1"に設定後、ブザー信号の出力を開始する(BZEレジスタに"1"を書き込む)と、デューティ比がレベル1(最大)となり、レベル8まで段階的に変化します。レベル8(最小)まで減衰するとそのレベルに保持されます。また、エンベロープ付きのブザー信号出力中はレジスタENRSTに"1"を書き込むことによりデューティ比を最大に復帰させることができます。

エンベロープの減衰時間(デューティ比の変化する時間)はレジスタENRTMで選択できます。レベルが1段階変化する時間はENRTMに"0"を書き込んだ場合が62.5msec(16Hz)、“1”を書き込んだ場合が125msec(8Hz)になります。ただし、エンベロープONから最初の変化までは共に最大4msecの誤差があります。

図4.12.4.1にデジタルエンベロープのタイミングチャートを示します。

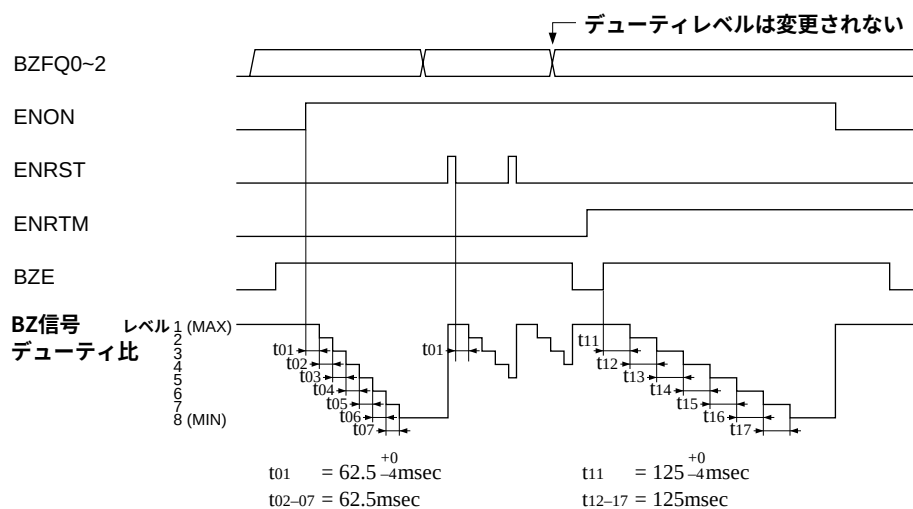


図4.12.4.1 デジタルエンベロープのタイミングチャート

4.12.5 1ショット出力

キー操作音などのように短時間のブザー信号を出力させるために、サウンドジェネレータは1ショット出力機能を持っています。

1ショットブザー信号の出力時間はSHTPWレジスタによって125msec、または31.25msecが選択できます。1ショットブザーの出力制御は1ショットブザートリガBZSHTに"1"を書き込むことにより行います。このトリガが与えられると、内部の256Hz信号に同期してブザー信号がブザー出力端子から出力されます。その後、設定時間が経過すると出力開始と同様に256Hz信号に同期してブザー信号がOFFとなります。BZSHTは読み出しも可能で、BZSHTが"1"の場合は1ショット出力回路が動作中(1ショット出力中)、“0”の場合は回路がREADY(出力が行える)状態であることを示します。

なお、1ショット出力を設定時間経過前に終了させることもできます。これは1ショットブザーストップBZSTPに"1"を書き込むことにより行います。この場合も256Hz信号に同期してブザー信号がOFFとなります。

1ショット出力中に再度BZSHTに"1"を書き込んだ場合は、その時点から(256Hz信号に同期して)新たに125msecまたは31.25msecの1ショット出力が行われます。

1ショット出力は短時間のため、エンベロープを付加することはできません。ただし、デューティ比の選択による音量と周波数は設定することができます。

通常のブザー出力中(BZE = "1"の間)は1ショット出力の制御は無効となります。

図4.12.5.1に1ショット出力のタイミングチャートを示します。

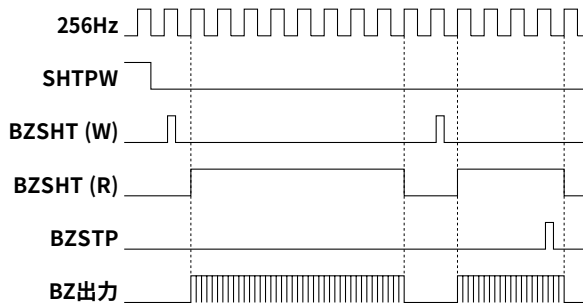


図4.12.5.1 1ショット出力のタイミングチャート

4.12.6 サウンドジェネレータのI/Oメモリ

表4.12.6.1にサウンドジェネレータの制御ビットとそのアドレスを示します。

表4.12.6.1 サウンドジェネレータの制御ビット

アドレス	レジスタ				注 釈																								
	D3	D2	D1	D0	Name	Init *1	1	0																					
FF6CH	ENRTM	ENRST	ENON	BZE	ENRTM	0	1sec	0.5sec	エンベロープ減衰時間選択																				
					ENRST*3	Reset	Reset	Invalid	エンベロープリセット(書き込み時)																				
	R/W	W	R/W		ENON	0	On	Off	エンベロープOn/Off																				
					BZE	0	Enable	Disable	BZ出力イネーブル																				
FF6DH	0	BZSTP	BZSHT	SHTPW	0 *3	— *2			未使用																				
					BZSTP*3	0	Stop	Invalid	1ショットブザーStop(書き込み時)																				
					BZSHT	0	Trigger	Invalid	1ショットブザートリガ(書き込み時)																				
	R	W	R/W				Busy	Ready	1ショットブザーステータス(読み出し時)																				
				SHTPW	0	125msec	31.25msec		1ショットブザーパルス幅選択																				
FF6EH	0	BZFQ2	BZFQ1	BZFQ0	0 *3	— *2			未使用																				
					BZFQ2	0			ブザー 周波数選択																				
					BZFQ1	0																							
	R	R/W			BZFQ0	0																							
									<table><tr><td>[BZFQ2, 1, 0]</td><td>0</td><td>1</td><td>2</td><td>3</td></tr><tr><td>周波数(Hz)</td><td>4096.0</td><td>3276.8</td><td>2730.7</td><td>2340.6</td></tr><tr><td>[BZFQ2, 1, 0]</td><td>4</td><td>5</td><td>6</td><td>7</td></tr><tr><td>周波数(Hz)</td><td>2048.0</td><td>1638.4</td><td>1365.3</td><td>1170.3</td></tr></table>	[BZFQ2, 1, 0]	0	1	2	3	周波数(Hz)	4096.0	3276.8	2730.7	2340.6	[BZFQ2, 1, 0]	4	5	6	7	周波数(Hz)	2048.0	1638.4	1365.3	1170.3
[BZFQ2, 1, 0]	0	1	2	3																									
周波数(Hz)	4096.0	3276.8	2730.7	2340.6																									
[BZFQ2, 1, 0]	4	5	6	7																									
周波数(Hz)	2048.0	1638.4	1365.3	1170.3																									
FF6FH	0	BDTY2	BDTY1	BDTY0	0 *3	— *2			未使用																				
					BDTY2	0			ブザー信号デューティ比選択 (本編参照)																				
					BDTY1	0																							
	R	R/W			BDTY0	0																							

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

● BZE: BZ出力イネーブルレジスタ (FF6CH・D0)

ブザー出力を制御します。

"1"書き込み: ブザー出力ON

"0"書き込み: ブザー出力OFF

読み出し: 可能

BZEに"1"を書き込むことによってBZ端子からBZ信号が出力され、"0"の書き込みでBZ端子がLOW(Vss)レベルになります。

イニシャルリセット時、このレジスタは"0"に設定されます。

● BZFQ0～BZFQ2: ブザー周波数選択レジスタ (FF6EH・D0～D2)

ブザー信号の周波数を選択します。

表4.12.6.2 ブザー信号の周波数設定

BZFQ2	BZFQ1	BZFQ0	ブザー周波数 (Hz)
0	0	0	4096.0
0	0	1	3276.8
0	1	0	2730.7
0	1	1	2340.6
1	0	0	2048.0
1	0	1	1638.4
1	1	0	1365.3
1	1	1	1170.3

ブザー周波数は発振クロックを分周した上記8種類の中から選択します。

イニシャルリセット時、このレジスタは"0"に設定されます。

● BDTY0～BDTY2: デューティ比選択レジスタ (FF6FH・D0～D2)

ブザー信号のデューティ比を表4.12.6.3のとおり選択します。

表4.12.6.3 デューティ比の設定

レベル	BDTY2	BDTY1	BDTY0	ブザー周波数 (Hz)によるデューティ比			
				4096.0	3276.8	2730.7	2340.6
				2048.0	1638.4	1365.3	1170.3
レベル1(最大)	0	0	0	8/16	8/20	12/24	12/28
レベル2	0	0	1	7/16	7/20	11/24	11/28
レベル3	0	1	0	6/16	6/20	10/24	10/28
レベル4	0	1	1	5/16	5/20	9/24	9/28
レベル5	1	0	0	4/16	4/20	8/24	8/28
レベル6	1	0	1	3/16	3/20	7/24	7/28
レベル7	1	1	0	2/16	2/20	6/24	6/28
レベル8(最小)	1	1	1	1/16	1/20	5/24	5/28

このデューティ比を選択することによりブザーの音量を設定することができます。

ただし、エンベロープをON (ENON="1")に設定している場合は、この設定は無効となります。

イニシャルリセット時、このレジスタは"0"に設定されます。

● ENRST: エンベロープリセット (FF6CH・D2)

エンベロープをリセットします。

"1"書き込み: リセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

ENRSTに"1"を書き込むことによりエンベロープがリセットされ、デューティ比が最大となります。エンベロープが付加されていない場合 (ENON="0")、およびブザー信号の出力が行われていない場合のリセットは無効となります。また"0"の書き込みも無効です。

ENRSTは書き込み専用のため、読み出し時は常時"0"となります。

● ENON: エンベロープON/OFF制御レジスタ (FF6CH・D1)

ブザー信号へのエンベロープ付加を制御します。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

ENONレジスタに"1"を書き込むことにより、ブザー信号出力時にエンベロープが付加されます。"0"を書き込んだ場合、エンベロープは付加されません。

イニシャルリセット時、このレジスタは"0"が選択されます。

● ENRTM: エンベロープ減衰時間選択レジスタ (FF6CH・D3)

ブザー信号に付加されたエンベロープの減衰時間を選択します。

"1"書き込み: 1.0sec (125msec×7 = 875msec)

"0"書き込み: 0.5sec (62.5msec×7 = 437.5msec)

読み出し: 可能

デジタルエンベロープの減衰時間はデューティ比の変化する時間で決められます。ENRTMに"1"を書き込んだ場合は125msec (8Hz) 単位、"0"を書き込んだ場合は62.5msec (16Hz) 単位となります。

イニシャルリセット時、このレジスタは"0"に設定されます。

● SHTPW: 1ショットブザーパルス幅選択レジスタ (FF6DH・D0)

1ショットブザーの出力時間を選択します。

"1"書き込み: 125msec
"0"書き込み: 31.25msec
読み出し: 可能

SHTPWレジスタに"1"を書き込むことにより1ショット出力時間が125msecに、"0"書き込みで31.25msecに設定されます。通常のブザー出力には影響を与えません。

イニシャルリセット時、このレジスタは"0"に設定されます。

● BZSHT: 1ショットブザートリガ/ステータス (FF6DH・D1)

1ショットブザー出力の制御を行います。

・データ書き込み時

"1"書き込み: トリガ
"0"書き込み: ノーオペレーション

BZSHTに"1"を書き込むことにより1ショット出力回路が動作し、ブザー信号が出力されます。この出力はSHTPWによって設定した時間の経過後に自動的にOFFとなります。

1ショット出力は通常のブザー出力がOFF(BZE = "0")の状態でのみ有効で、ON(BZE = "1")状態でのトリガは無効となります。1ショット出力中に再トリガを行った場合は、その時点からSHTPWによって設定した時間を計測し直します(時間延長)。

・データ読み出し時

"1"読み出し: BUSY
"0"読み出し: READY

読み出し時は1ショット出力回路の動作状態を示します。1ショット出力中にBZSHTは"1"となり、出力がOFFすると"0"になります。

イニシャルリセット時、このビットは"0"に設定されます。

● BZSTP: 1ショットブザーSTOP (FF6DH・D2)

1ショットブザー出力を停止させます。

"1"書き込み: STOP
"0"書き込み: ノーオペレーション
読み出し: 常時"0"

BZSTPに"1"を書き込むことにより、SHTPWによる設定時間が経過する前に1ショットブザー出力をOFFすることができます。"0"書き込みおよび1ショット出力中以外の"1"書き込みは無効です。

BZSTPは書き込み専用のため、読み出し時は常時"0"となります。

4.12.7 プログラミング上の注意事項

- (1) ブザー信号はBZEレジスタとは非同期に発生していますので、BZEレジスタの設定による信号のON/OFF時にハザードを生じる場合があります。
- (2) 1ショット出力は通常のブザー出力がOFF(BZE = "0")の状態でのみ有効で、ON(BZE = "1")状態でのトリガは無効となります。

4.13.3 除算モード

ソースレジスタSRに除数、デスティネーションレジスタDRH/DRLに被除数を設定し、演算モード選択レジスタCALMDに"1"を書き込むことで、除算を実行します。レジスタCALMDへの書き込みから10 CPUクロック後に演算は終了し、商がデスティネーションレジスタ下位8ビットDRLに、剰余がデスティネーションレジスタ上位8ビットDRHにそれぞれ書き込まれます。同時に、演算フラグビットNF/VF/ZFが結果に従って更新されます。

ただし、商が8ビットを超える場合は、オーバーフローとなってレジスタDRH/DRLは更新されず、被除数がそのまま保持されます。

以下に演算フラグビットの変化条件と除算結果の一例を示します。

Nフラグ: DRLの最上位ビットが"1"のときにセットされ、"0"のときはリセットされます。

Vフラグ: 商が8ビットを超える場合にセットされ、8ビット以内の場合はリセットされます。

Zフラグ: DRLの8ビット値が00Hのときにセットされ、それ以外の値のときはリセットされます。

〈除算実行例〉

DRH/DRL(被除数)	SR(除数)	DRL(商)	DRH(剰余)	NF	VF	ZF
1A16H	64H	42H	4EH	0	0	0
332CH	64H	83H	00H	1	0	0
0000H	58H	00H	00H	0	0	1
2468H	13H	68H	24H	1	1	0

上記例では、"2468H"÷"13H"の商が8ビットを超えるためオーバーフローが発生し、DRH/DRLには被除数の値がそのまま保持されます。この例のようにオーバーフローが発生した場合は、次のように除算を2回に分けて実行することで、正しい結果が得られます。

1. 被除数の上位8ビット(24H)を除数(13H)で除算し、商(01H)をメモリに退避

DRH/DRL(被除数)	SR(除数)	DRL(商)	DRH(剰余)	NF	VF	ZF
0024H	13H	01H	11H	0	0	0

2. 剰余(11H)をDRHに残したまま、DRLに被除数の下位8ビット(68H)を設定して再度除算を実行

DRH/DRL(被除数)	SR(除数)	DRL(商)	DRH(剰余)	NF	VF	ZF
1168H	13H	EAH	0AH	1	0	0

結果は、商 = 01EAH(初回のDRLの結果と2回目のDRLの結果の16ビット合成値)、剰余 = 0AHとなり、正しい演算結果が得られます。ただし、演算フラグビットNF/VF/ZFは各ステージでの演算結果に従って変化しますので、最終的な演算結果は反映されません。

注: ハードウェアは除算結果を検定していませんので、必ずソフトウェアで確認してください。

4.13.4 実行サイクル

演算には乗算、除算ともに10 CPUクロックの実行時間が必要です。したがって、演算結果をデスティネーションレジスタDRH/DRLから読み出せるのは、レジスタCALMDへの書き込み(演算スタート)から、5バスサイクル後となります。演算フラグビットNF/VF/ZFについても同様です。

以下に、演算処理のプログラム例を示します。

```

        ldb  %ext, src_data@h
        ldb  %xl, src_data@l      ;演算対象データのRAMアドレス指定
        ldb  %ext, au@h
        ldb  %yl, au@l           ;乗除算器の先頭アドレス指定
;
        ldb  %ba, [%x]+
        ldb  [%y]+, %ba           ;レジスタSRへのデータ設定
        ldb  %ba, [%x]+
        ldb  [%y]+, %ba           ;レジスタDRLへのデータ設定
        ldb  %ba, [%x]+
        ldb  [%y]+, %ba           ;レジスタDRHへのデータ設定
;
        ld   [%y], 0b0001        ;演算スタート(除算モード選択)
;
        ldb  %ext, rslt_data@h
        ldb  %xl, rslt_data@l     ;演算結果のストア先アドレス指定
        nop
        nop
        nop                       ;演算終了待ちのためのダミー命令
;
        bit  [%y], 0b0100
        jrnz overflow            ;フラグVFが"1"のとき、エラー処理へ分岐
;
        add  %y, -4               ;レジスタDRLの再指定
;
        ldb  %ba, [%y]+
        ldb  [%x]+, %ba           ;演算結果(商)のRAMへのストア
        ldb  %ba, [%y]+
        ldb  [%x]+, %ba           ;演算結果(剰余)のRAMへのストア

```

4.13.5 整数乗除算器のI/Oメモリ

表4.13.5.1に整数乗除算器の制御ビットとそのアドレスを示します。

表4.13.5.1 整数乗除算器の制御ビット

アドレス	レジスタ				注 釈				
	D3	D2	D1	D0	Name	Init *1	1	0	
FF80H	SR3	SR2	SR1	SR0	SR3	－*2			ソースレジスタ(下位4ビット) LSB
					SR2	－*2			
					SR1	－*2			
					SR0	－*2			
R/W									
FF81H	SR7	SR6	SR5	SR4	SR7	－*2			MSB ソースレジスタ(上位4ビット)
					SR6	－*2			
					SR5	－*2			
					SR4	－*2			
R/W									
FF82H	DRL3	DRL2	DRL1	DRL0	DRL3	－*2			デスティネーションレジスタ下位8ビット (下位4ビット) LSB
					DRL2	－*2			
					DRL1	－*2			
					DRL0	－*2			
R/W									
FF83H	DRL7	DRL6	DRL5	DRL4	DRL7	－*2			MSB デスティネーションレジスタ下位8ビット (上位4ビット)
					DRL6	－*2			
					DRL5	－*2			
					DRL4	－*2			
R/W									
FF84H	DRH3	DRH2	DRH1	DRH0	DRH3	－*2			デスティネーションレジスタ上位8ビット (下位4ビット) LSB
					DRH2	－*2			
					DRH1	－*2			
					DRH0	－*2			
R/W									
FF85H	DRH7	DRH6	DRH5	DRH4	DRH7	－*2			MSB デスティネーションレジスタ上位8ビット (上位4ビット)
					DRH6	－*2			
					DRH5	－*2			
					DRH4	－*2			
R/W									
FF86H	NF	VF	ZF	CALMD	NF	0	Negative	Positive	ネガティブフラグ
					VF	0	Overflow	No	オーバーフローフラグ
					ZF	0	Zero	No	ゼロフラグ
					CALMD	0	Run	Stop	実行ステータス(読み出し時)
R						Div	Mult	演算モード選択(書き込み時)	
R/W									

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

● SR0～SR7: ソースレジスタ (FF80H, FF81H)

乗数、または除数を設定するレジスタです。

SR0～SR3に下位4ビット、SR4～SR7に上位4ビットのデータを設定します。

本レジスタは、最後に書き込まれた値を次の書き込みまで保持しますので、固定の乗除数で連続して演算を行う場合は、演算ごとに再設定する必要はありません。

イニシャルリセット時の本レジスタの値は不定です。

● DRL0～DRL7: デスティネーションレジスタ下位8ビット (FF82H, FF83H)

被乗数、または被除数の下位8ビットを設定するレジスタです。

DRL0～DRL3にそのバイトデータの下位4ビット、DRL4～DRL7に上位4ビットを設定します。

本レジスタに書き込まれた値は、スタート(FF86H・D0への書き込み)動作によって演算回路にロードされ、10 CPUクロック(5バスサイクル)後に、乗算では積の下位8ビット、除算では商が書き戻されます。

ただし、除算でオーバーフローが発生した場合は商が書き戻されず、元の被除数の下位8ビットの値を保持します。

イニシャルリセット時の本レジスタの値は不定です。

● DRH0～DRH7: デスティネーションレジスタ上位8ビット (FF84H, FF85H)

被除数の上位8ビットを設定するレジスタです。

DRH0～DRH3にそのバイトデータの下位4ビット、DRH4～DRH7に上位4ビットを設定します。

乗算時は本レジスタの値は無視され、乗算スタート(FF86H・D0への"0"書き込み)動作の10 CPUクロック(5バスサイクル)後に、積の上位8ビットが書き込まれます。

除算時は本レジスタに書き込まれた値が、除算スタート(FF86H・D0への"1"書き込み)動作によって演算回路にロードされ、10 CPUクロック(5バスサイクル)後に、剰余が書き戻されます。

ただし、除算でオーバーフローが発生した場合は剰余が書き戻されず、元の被除数の上位8ビットの値を保持します。

イニシャルリセット時の本レジスタの値は不定です。

● NF: ネガティブフラグ (FF86H・D3)

演算結果の正負を示すフラグです。

"1"読み出し: 演算結果が負の数(結果の最上位ビットが"1")

"0"読み出し: 演算結果が正の数(結果の最上位ビットが"0")

書き込み: 無効

本ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、本フラグは"0"に設定されます。

● VF: オーバーフローフラグ (FF86H・D2)

除算結果のオーバーフロー状態を示すフラグです。

"1"読み出し: オーバーフロー発生

"0"読み出し: オーバーフローなし

書き込み: 無効

乗算の実行後、本ビットは常に"0"に設定されます。

本ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、本フラグは"0"に設定されます。

● ZF: ゼロフラグ (FF86H・D1)

演算結果がゼロか否かを示すフラグです。

"1"読み出し: 演算結果がゼロ

"0"読み出し: 演算結果がゼロ以外

書き込み: 無効

本ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、本フラグは"0"に設定されます。

● CALMD: 演算モード選択レジスタ/実行ステータス (FF86H・D0)

演算モードの選択と、演算スタートを制御します。

"1"書き込み: 除算モードを選択/実行

"0"書き込み: 乗算モードを選択/実行

"1"読み出し: 演算実行中

"0"読み出し: 演算完了

本レジスタへの書き込みにより指定の演算を開始します。その後、演算が終了するまで本レジスタの読み出しは"1"となり、演算完了後"0"となります。

イニシャルリセット後、本レジスタは"0"が読み出されます。

4.13.6 プログラミング上の注意事項

演算モード選択レジスタCALMDへの書き込みから、演算結果がデスティネーションレジスタDRH/DRL、および演算フラグビットNF/VF/ZFに書き戻されるまで、10 CPUクロック(5バスサイクル)の時間が必要です。この時間経過以前のDRH/DRLへの読み書き、およびNF/VF/ZFの読み出しは行わないでください。

4.14 R/Fコンバータ

4.14.1 R/Fコンバータの構成

S1C63656はCR発振方式のR/Fコンバータを内蔵しています。

このR/Fコンバータには2系統(チャンネル0およびチャンネル1)のCR発振回路が設けられおり、それぞれに異なるセンサ等を接続することによって2種類のR/F変換回路を構成することができます。

チャンネル0はサーミスタ等の抵抗性センサを用いたR/F(抵抗/周波数)変換回路、チャンネル1はチャンネル0と同様のR/F変換回路、または抵抗性湿度センサを用いた湿度変換用のR/F変換回路として使用することができます。このどちらのチャンネルを使用するか、およびチャンネル1におけるセンサの種類はソフトウェアによって選択します。

センサ入力端子に接続された抵抗性センサの抵抗値(外付け基準抵抗に対する相対値)はCR発振回路によって周波数に変換され、そのクロック数は内蔵の計測カウンタによってカウントされます。計測カウンタの値を読み出すことによって、センサが検出した値をデジタル変換したデータが得られます。

このR/Fコンバータを使用することにより、温度/湿度測定回路等の各種のセンサ回路が容易に実現できます。

図4.14.1.1にR/Fコンバータの構成を示します。

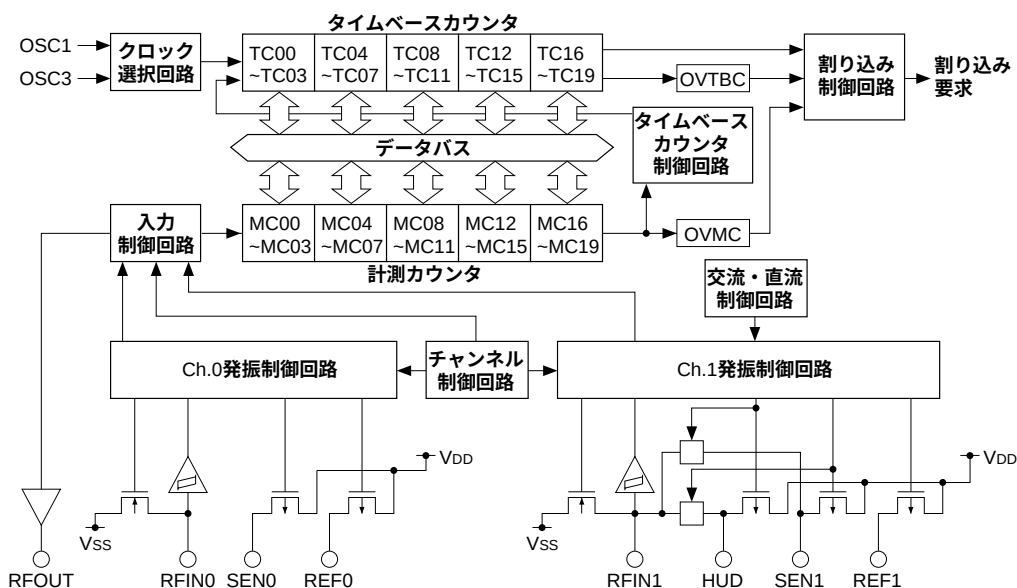


図4.14.1.1 R/Fコンバータの構成

4.14.2 接続端子とCR発振回路

R/Fコンバータにはチャンネル0、チャンネル1の2系統のCR発振回路が内蔵されており、外付けの抵抗と容量によってCR発振を行います。

R/F変換値を得るカウンタはチャンネル0およびチャンネル1に共通となっているため、R/F変換を行うCR発振回路を切り換えることによって2系統の動作を実現しています。チャンネルの選択はレジスタSENSELで行います。SENSELに"0"を設定した場合はチャンネル0、"1"を設定した場合はチャンネル1が選択されます。また、チャンネル1でR/F変換を行うセンサの種類もソフトウェアによって設定でき、レジスタRFSELであらかじめ設定しておきます。

チャンネル選択 SENSEL = "0": チャンネル0
 SENSEL = "1": チャンネル1

**チャンネル1
センサ選択** RFSEL = "0": サーマスタ等の抵抗性センサを用いたR/F変換
 RFSEL = "1": 抵抗性湿度センサを用いたR/F変換*

* 発振回路の動作が通常の抵抗性センサの場合とは異なります。(後述)

(1) サーマスタ等の抵抗性センサを用いたR/F変換

チャンネル0は常にこの変換方式となっており、チャンネル1はレジスタRFSELを"0"に設定することにより選択されます。この方式はサーミスタによる温度測定など、通常の抵抗性センサ(DC印加)を用いてR/F変換を行う場合に選択します。イニシャルリセット時のチャンネル1は、この変換方式に設定されます。

図4.14.2.1に外付け素子の接続図を示します。

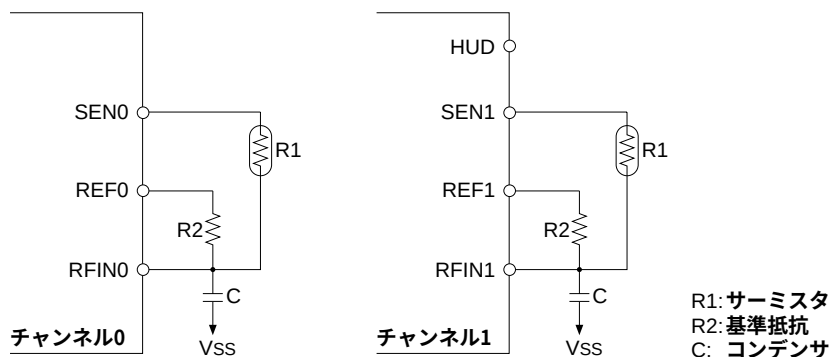


図4.14.2.1 R/F変換時の接続図

抵抗性センサ(サーミスタ等)をSEN0(SEN1)端子～RFIN0(RFIN1)端子間に接続します。

ここで測定する内容の基準となる値(たとえば、温度測定の場合は基準温度)を設定し、その値におけるセンサの抵抗値と同じ値の基準抵抗をREF0(REF1)端子～RFIN0(RFIN1)端子間に接続します。なお、基準抵抗は温度など環境により変化しない素子を使用する必要があります。

RFIN0(RFIN1)端子～VSS端子間には基準抵抗とセンサのCR発振に共通に使用する発振用コンデンサを接続します。

この方式ではHUD端子は使用しませんので、開放しておきます。

R/Fコンバータは基準抵抗とセンサそれぞれによってCR発振を同じ時間だけ行い、そのCR発振クロックのカウンタを行います。それぞれの抵抗値の違いは発振周波数の違いとなってカウンタ値に現われますので、その差をプログラムで補正することにより抵抗値の変化による測定結果を得ることができます。

CR発振回路は発振制御回路によって基準抵抗側とセンサ側が個別にどちらか一方だけが動作するようになっています。それぞれの回路の発振動作はまったく同じで、次のようになります。

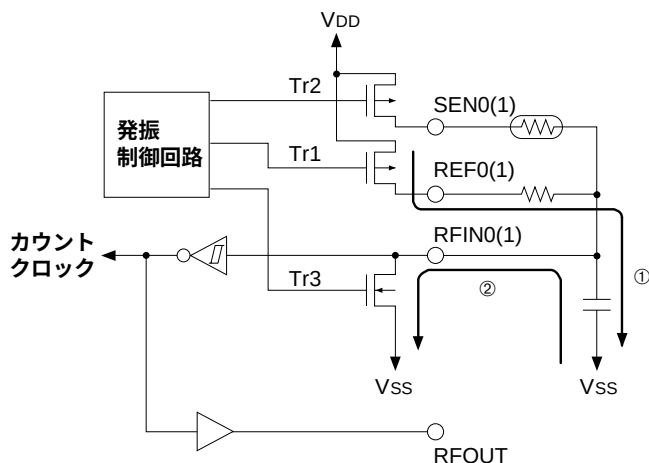


図4.14.2.2 CR発振回路(DCバイアス)

はじめにTr1(Tr2)がONになり、基準抵抗(センサ)を通してREF(SEN)端子～Vss端子間に接続したコンデンサが充電されます。RFIN端子の電圧レベルが上がるとTr1(Tr2)がOFF、Tr3がONとなってコンデンサの電荷が放電され、CRの時定数による発振が行われます。

センサの抵抗値の変化によりこの時定数が変わり、基準抵抗の発振周波数と差が生じます。

発振波形はシュミットトリガにより整形され計測カウンタに送られます。この計測カウンタに送られるクロックは、センサ発振時にRFOUT端子からも出力されますので、発振周波数をオシロスコープ等で確認することができます。このモニタは発振周波数に影響を与えませんので、R/F変換の精度調整に利用できます。図4.14.2.3に発振波形とRFOUTの出力波形を示します。

なお、RFOUT出力の"L"レベルの最低時間は10μsecとします($V_{DD} = 3.0V$ 、 $R_{SEN0/1} = 50k\Omega$ 、 $C_{RF} = 1000pF$ の場合)。

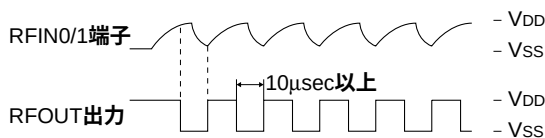


図4.14.2.3 発振波形

(2) 抵抗性湿度センサを用いたR/F変換

この変換方式はチャンネル1でのみ可能で、レジスタRFSELに"1"を設定することにより選択されます。この方式は基本的に(1)のR/F変換と同様ですが、湿度センサ用にAC印加を行う回路が働くようになっています。図4.14.2.4に外付け素子の接続図を示します。

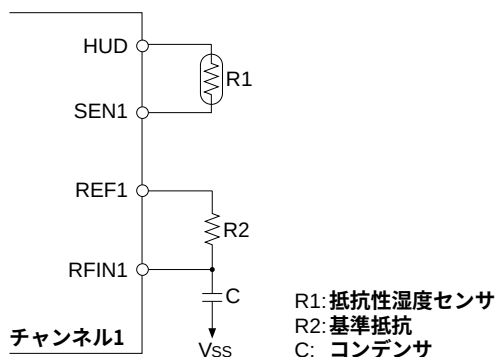


図4.14.2.4 抵抗性湿度センサの接続図

湿度センサをHUD端子～SEN1端子間に、基準抵抗をREF1端子～RFIN1端子間に接続します。RFIN1端子～Vss端子間には基準抵抗とセンサのCR発振に共通に使用する発振用コンデンサを接続します。

基準抵抗による発振動作は(1)のR/F変換と同様です。湿度センサは長時間のDC印加を行うことができないため、HUD端子とSEN1端子から交互に通電するようになっています。

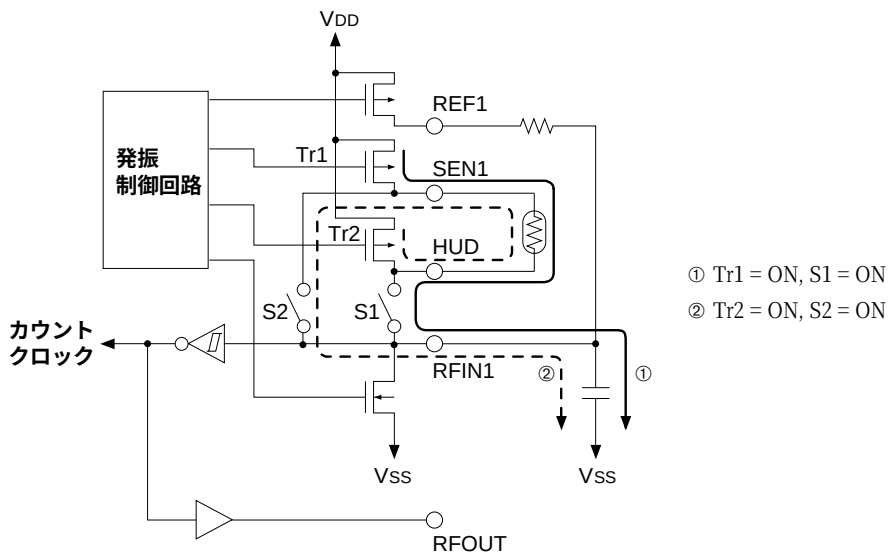


図4.14.2.5 抵抗性湿度センサのCR発振回路

発振波形は図4.14.2.3と同様です。

4.14.3 R/F変換

(1) カウンタ

R/Fコンバータには2種類のカウンタが内蔵されています。1つは前記の発振クロックをカウントする計測カウンタMCxxで、もう1つは内部クロックにより基準カウントを行うタイムベースカウンタTCxxです。

計測カウンタは基準抵抗とセンサによるCR発振クロックをカウントする20ビットアップカウンタで、R/F変換結果はこのカウンタを読み出すことにより得られます。タイムベースカウンタは、基準抵抗とセンサの発振時間を合わせるための20ビットのアップ/ダウンカウンタで、RFCLKレジスタで選択した入力クロック(OSC1またはOSC3)をカウントします。どちらのカウンタも、4ビット単位で読み出しおよび書き込みが可能です。

最初に基準抵抗のR/F変換を行います。発振を開始させると計測カウンタはカウントアップを、タイムベースカウンタはカウントダウンを開始します。2つのカウンタは計測カウンタがオーバーフローした("00000H"となった)時点でカウントを停止します。タイムベースカウンタに"00000H"をセットしてR/F変換を開始させることにより、基準抵抗による発振時間が、カウンタ停止後にタイムベースカウンタを読み出すことで得られます。

次にセンサのR/F変換を行います。計測カウンタは"00000H"からカウントアップを、タイムベースカウンタは基準発振時にカウントした値からカウントアップを開始します。2つのカウンタはタイムベースカウンタがオーバーフローした("00000H"となった)時点でカウントを停止します。センサの発振時間は基準発振時間と同じになります。

したがって、カウントを開始する前に適当な初期値を補数("00000H"から減算した値)に変換して計測カウンタにセットしておくことにより、基準抵抗とセンサの発振周波数の差を容易に求めることができます。たとえば、基準抵抗とセンサの抵抗値がまったく同じだった場合、補数に変換する前の初期値と同じ値が計測カウンタから得られます。

タイムベースカウンタは、カウンタ値の読み出しとプリセットが可能です。基準発振終了時の値を読み出してメモリにセーブしておくことにより、その後の基準発振を省略することができます。その場合は、メモリにセーブした値をタイムベースカウンタにセットし、計測カウンタを00000Hにしてセンサの発振を開始させます。

注: 計測カウンタにデータを書き込む場合は、必ず下位のアドレスから(FF92H→FF93H→FF94H→FF95H→FF96H)、5ワードすべてを書き込んでください。また、計測カウンタへの書き込みにはLD命令を使用してください。リードモディファイライト命令(AND、OR、ADD、SUB等)は使用しないでください。

(2) R/F変換シーケンス

基準抵抗のR/F変換はRFRUNRレジスタに"1"を書き込むことにより開始します。

なお、R/F変換を開始させる前には、計測カウンタに初期値をセットし、タイムベースカウンタを"00000H"にクリアしておく必要があります。

RFRUNRレジスタによってR/F変換を開始させると、基準抵抗による発振がONとなり、その発振クロックにより計測カウンタが設定した初期値からカウントアップを開始します。これと同時にタイムベースカウンタもOSC1クロックによりカウントダウンを開始します。

計測カウンタがオーバーフローして"00000H"になると発振およびカウント動作が停止し、割り込みが発生します。同時にRFRUNRレジスタも"0"にリセットされ、R/Fコンバータ回路はすべて停止します。

後でセンサ発振を単独に行うため、タイムベースカウンタの値を読み出してメモリにセーブしておきます。

図4.14.3.1に基準発振のタイミングチャートを示します。

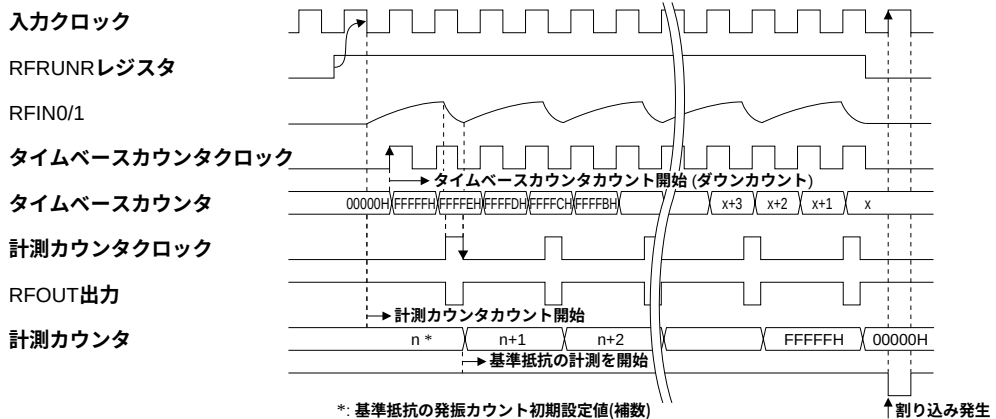


図4.14.3.1 基準発振タイミングチャート

CR発振は、RFRUNRレジスタに"1"を書き込んだ直後の入力クロックの立ち下がりエッジに同期して開始します。計測カウンタはCR発振開始後に入力される最初のCR発振クロックからカウントアップを開始します。カウントアップは各CR発振クロックの立ち下がりエッジで行われます。タイムベースカウンタへのクロック入力は最初の入力クロックの立ち下がりエッジでイネーブルとなり、以降同クロックの立ち上がりエッジごとにカウントダウンを行います。RFRUNRレジスタが"0"に設定されるタイミングは、計測カウンタが停止した直後の入力クロックの立ち下がりエッジです。割り込みは、OSC1のクロックでサンプリングされているため、RFRUNRレジスタが"0"に設定された直後のOSC1の立ち上がりエッジで発生します。

センサのR/F変換はRFRUNSレジスタに"1"を書き込むことにより開始します。センサ発振を基準発振に続いて行う場合は、カウンタへの初期値の設定は不要です。センサ発振のみを単独に行う場合は、計測カウンタに"00000H"をセットし、タイムベースカウンタには基準発振時に計測した値をセットしておく必要があります。RFRUNSレジスタによってR/F変換を開始させると、センサによる発振がONとなり、その発振クロックにより計測カウンタが00000Hからカウントアップを開始します。これと同時にタイムベースカウンタがオーバーフローして"00000H"になると発振およびカウント動作が停止し、割り込みが発生します。同時にRFRUNSレジスタも"0"にリセットされ、R/Fコンバータ回路はすべて停止します。

図4.14.3.2にセンサ発振のタイミングチャートを示します。

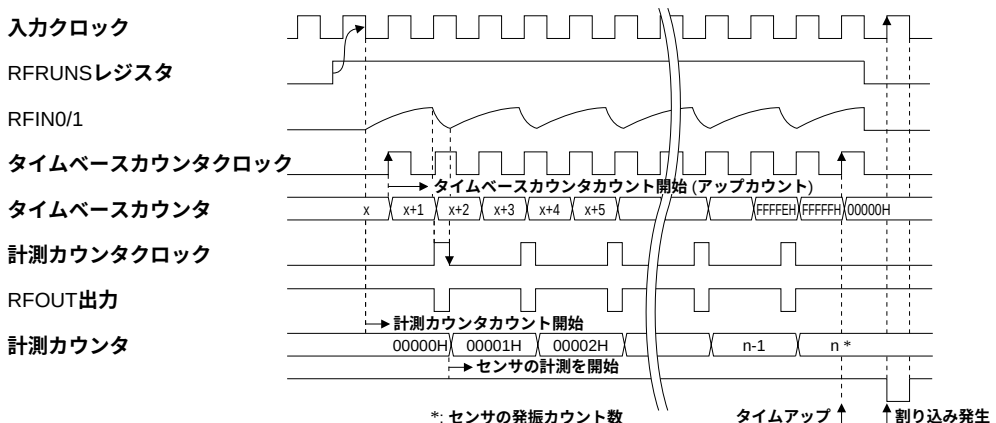


図4.14.3.2 センサ発振タイミングチャート

CR発振は、RFRUNSレジスタに"1"を書き込んだ直後の入力クロックの立ち下がりエッジに同期して開始します。計測カウンタはCR発振開始後に入力される最初のCR発振クロックからカウントアップを開始します。カウントアップは各CR発振クロックの立ち下がりエッジで行われます。タイムベースカウンタへのクロック入力は最初の入力クロックの立ち下がりエッジでイネーブルとなり、以降同クロックの立ち上がりエッジごとにカウントアップを行います。RFRUNSが"0"になった時点で行われているCR発振のクロックは計測カウンタでカウントされるかどうかは不定です。

RFRUNSレジスタが"0"に設定されるタイミングはタイムベースカウンタが"00000H"になった直後の入力クロックの立ち上がりエッジです。割り込みは、OSC1のクロックでサンプリングされているため、RFRUNSレジスタが"0"に設定された直後のOSC1の立ち上がりエッジで発生します。

以上の動作により、基準抵抗の発振時間と同じ時間センサの発振を行いますので、発振周波数の差を計測カウンタのカウンタ値から得ることができます。

基準抵抗の発振時間は計測カウンタがオーバーフローするまでの時間となるため、R/F変換を開始する前に適当な初期値を設定しておく必要があります。この初期値を小さな値にしておくとカウント期間が長くとれ、検出の精度は上がります。ただし、基準抵抗の発振をカウント中にタイムベースカウンタがオーバーフローする可能性があります。このオーバーフローが発生した場合、その時点でCR発振およびR/F変換を終了します。なお、この場合も割り込みが発生します。また、初期値の設定によってはセンサの発振をカウント中に計測カウンタがオーバーフローする場合があります。計測カウンタがオーバーフローした場合もCR発振およびR/F変換を終了し、割り込みが発生します。これらのオーバーフローが発生した場合、正しいデータを読み出すことができません。そこで、読み出したデータが正常か、あるいはオーバーフローが発生したかを判断するためにオーバーフローフラグが設定されています。計測カウンタのオーバーフローを示すフラグがOVMC、タイムベースカウンタのオーバーフローを示すフラグがOVTBCで、それぞれのカウンタにオーバーフローが発生していた場合、"1"にセットされます。このフラグはR/F変換開始時、および"1"を書き込んだ時点で"0"にリセットされます。オーバーフローフラグは割り込み発生時に必ず読み出して確認してください。また、センサによる測定範囲をどの程度に設定するか、およびその範囲のどの辺に基準抵抗の値を設定するかによっても初期値の設定が変わってきます。

以上の点に注意して初期値の設定を行ってください。

初期値は補数("00000H"から減算した値)に変換して計測カウンタに設定します。R/F変換が終了した計測カウンタの内容がセンサが検出したデータとなりますので、その値と補数に変換する前の初期値との差をプログラムで処理して目的の数値を算出してください。

以上の動作を図4.14.3.3に示します。

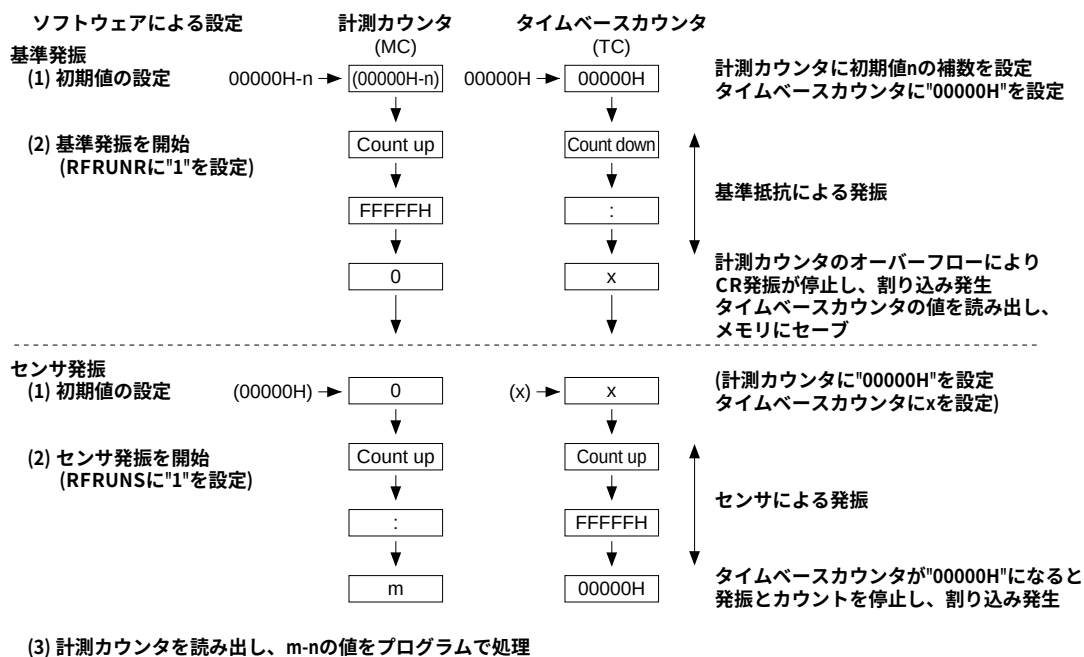


図4.14.3.3 R/F変換のシーケンス

注: 計測カウンタの初期値は、測定範囲およびカウンタのオーバーフローに注意して設定してください。

4.14.4 割り込み機能

R/FコンバータにはR/F変換終了時に割り込みを発生させる機能があります。

計測カウンタが"00000H"になると双方のカウンタのカウンタ動作が停止し、RFRUNRが"0"に設定された直後のOSC1の立ち上がりエッジで割り込み要因フラグIRFBが"1"にセットされます。

タイムベースカウンタが"00000H"になった場合も双方のカウンタのカウンタ動作が停止し、RFRUNSが"0"に設定された直後のOSC1の立ち上がりエッジで割り込み要因フラグIRFMが"1"にセットされます。

また、センサの発振カウント中に計測カウンタがオーバーフローした場合、および基準抵抗の発振カウント中にタイムベースカウンタがオーバーフローした場合も、それぞれ割り込み要因フラグIRFM、IRFBが"1"にセットされます。

これらの割り込み要因は割り込みマスクレジスタEIRFM、EIRFBによるマスクが可能で、"1"に設定している場合にCPUに対して割り込みが発生します。割り込みマスクレジスタを"0"に設定している場合、割り込み要因フラグは"1"にセットされますが、CPUに対する割り込みは発生しません。なお、割り込み要因フラグは"1"を書き込むことにより"0"にリセットされます。

図4.14.4.1～図4.14.4.4にR/Fコンバータの割り込みタイミングを示します。

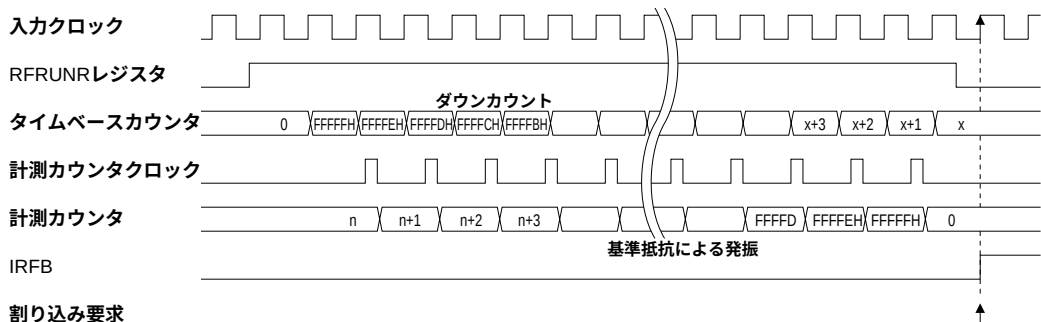


図4.14.4.1 基準発振終了割り込み

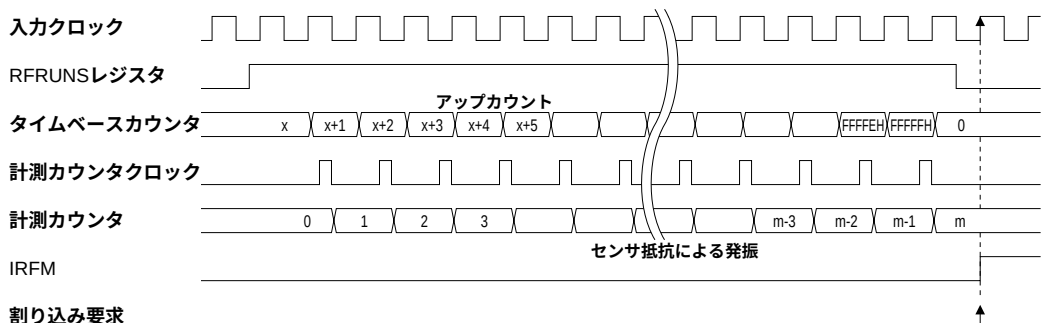


図4.14.4.2 センサ発振終了割り込み

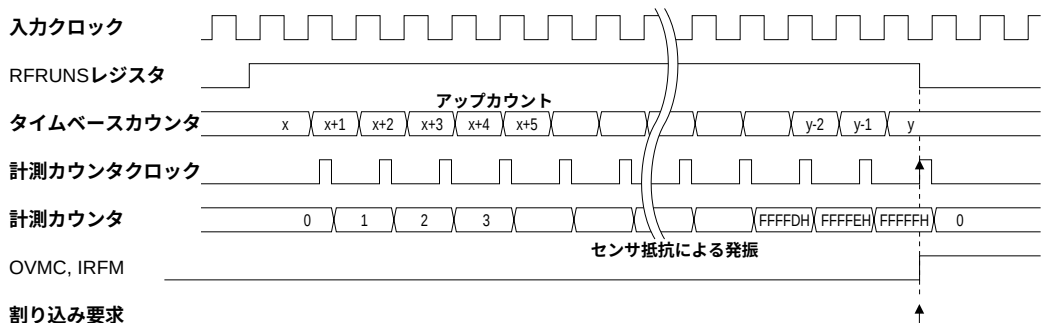


図4.14.4.3 計測カウンタオーバーフローによる割り込み

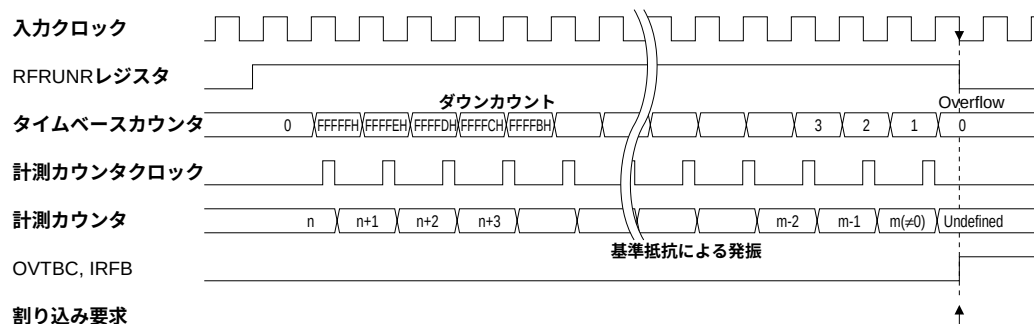


図4.14.4.4 タイムベースカウンタオーバーフローによる割り込み

- 注: ・ R/Fコンバータ割り込みが発生した場合は必ずオーバーフローフラグの読み出しを行って、正常終了かどうかの確認を行ってください。
- ・ カウンタのオーバーフローにより割り込みが発生した場合、オーバーフローフラグ(OVMC、OVTBC)に"1"を書き込んで"0"にリセットしてください。これらのフラグが"リセットされない場合、再度同じ割り込みが発生してしまいます。

4.14.5 R/FコンバータのI/Oメモリ

表4.14.5.1にR/Fコンバータの制御ビットとそのアドレスを示します。

表4.14.5.1 R/Fコンバータの制御ビット

アドレス	レジスタ				注 釈			
	D3	D2	D1	D0	Name	Init *1	1	0
FF90H	0	RFCLK	RFSEL	SENSEL	0 *3	– *2		
					RFCLK	0	OSC3	OSC1
					RFSEL	0	AC	DC
	R	R/W			SENSEL	0	Ch.1	Ch.0
FF91H	OVTBC	OVMC	RFRUNR	RFRUNS	OVTBC	0	Overflow	Non-ov
					OVMC	0	Overflow	Non-ov
					RFRUNR	0	Run	Stop
					RFRUNS	0	Run	Stop
FF92H	MC3	MC2	MC1	MC0	MC3	– *2		
					MC2	– *2		
					MC1	– *2		
					MC0	– *2		
FF93H	MC7	MC6	MC5	MC4	MC7	– *2		
					MC6	– *2		
					MC5	– *2		
					MC4	– *2		
FF94H	MC11	MC10	MC9	MC8	MC11	– *2		
					MC10	– *2		
					MC9	– *2		
					MC8	– *2		
FF95H	MC15	MC14	MC13	MC12	MC15	– *2		
					MC14	– *2		
					MC13	– *2		
					MC12	– *2		
FF96H	MC19	MC18	MC17	MC16	MC19	– *2		
					MC18	– *2		
					MC17	– *2		
					MC16	– *2		
FF97H	TC3	TC2	TC1	TC0	TC3	– *2		
					TC2	– *2		
					TC1	– *2		
					TC0	– *2		
FF98H	TC7	TC6	TC5	TC4	TC7	– *2		
					TC6	– *2		
					TC5	– *2		
					TC4	– *2		
FF99H	TC11	TC10	TC9	TC8	TC11	– *2		
					TC10	– *2		
					TC9	– *2		
					TC8	– *2		
FF9AH	TC15	TC14	TC13	TC12	TC15	– *2		
					TC14	– *2		
					TC13	– *2		
					TC12	– *2		
FF9BH	TC19	TC18	TC17	TC16	TC19	– *2		
					TC18	– *2		
					TC17	– *2		
					TC16	– *2		
FFE7H	0	0	EIRFB	EIRFM	0 *3	– *2		
					0 *3	– *2		
					EIRFB	0	Enable	Mask
	R			R/W	EIRFM	0	Enable	Mask
FFF7H	0	0	IRFB	IRFM	0 *3	– *2	(R)	(R)
					0 *3	– *2	Yes	No
					IRFB	0	(W)	(W)
	R			R/W	IRFM	0	Reset	Invalid

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*2 回路上設定されない

● MC0～MC19: 計測カウンタ (FF92H～FF96H)

CR発振クロックによりカウントアップする計測カウンタで、4ビット単位で書き込み/読み出しが可能です。基準抵抗による発振を行う場合は発振を開始する前に、カウントするクロック数の補数を書き込んでおきます。基準抵抗による発振によってこのカウンタがオーバーフローし、カウント値が"00000H"になると発振およびカウント動作が停止します。

センサによる発振を行う場合は発振を開始する前に、00000Hを書き込んでおきます(基準発振に引き続いて行う場合は不要)。センサ発振とカウント動作はタイムベースカウンタがオーバーフローした時点で停止します。停止したカウンタの値を読み出すことによって基準抵抗との差が得られますので、それをプログラムで処理して目的の数値を算出してください。

なお、基準発振前に書き込む初期値は、測定範囲およびカウンタのオーバーフローに注意して設定してください。

イニシャルリセット時、このカウンタの内容は不定となります。

● TC0～TC19: タイムベースカウンタ (FF97H～FF9BH)

基準抵抗とセンサのCR発振時間を合わせるためのタイムベースカウンタで、4ビット単位で書き込み/読み出しが可能です。

基準抵抗による発振時はカウントダウンを行い、センサによる発振時は"00000H"までのカウントアップを行います。双方のカウント時間を合わせるため、基準発振を開始する前にはこのカウンタに"00000H"を書き込んでおく必要があります。基準発振のカウント値は基準発振終了時に読み出してメモリにセーブしてください。センサ発振を開始する前に、その値をこのカウンタに設定します。

イニシャルリセット時、このカウンタの内容は不定となります。

● RFCLK: 入力クロック選択 (FF90H・D2)

タイムベースカウンタの入力クロックを選択します。

"1"書き込み: OSC3

"0"書き込み: OSC1

読み出し: 可能

タイムベースカウンタのカウントを行うクロックを選択します。

RFCLKに"1"を書き込むことによりOSC3クロックが選択され、"0"を書き込んだ場合はOSC1クロック(Typ. 32kHz)が選択されます。OSC3クロックを選択する場合、OSC3発振周波数は最大2MHzに制限されますので注意が必要です。

イニシャルリセット時、このレジスタは"0"に設定されます。

● RFSEL: チャンネル1センサ選択 (FF90H・D1)

チャンネル1に使用するセンサの種類を選択します。

"1"書き込み: 抵抗性湿度センサ

"0"書き込み: 抵抗性センサ

読み出し: 可能

RFSELに"1"を書き込むとチャンネル1のセンサとして抵抗性湿度センサが、"0"の書き込みで抵抗性センサが選択されます。

イニシャルリセット時、このレジスタは"0"に設定されます。

● SENSEL: 変換チャンネル選択レジスタ (FF90H・D0)

R/F変換するチャンネルを選択します。

"1"書き込み: チャンネル1

"0"書き込み: チャンネル0

読み出し: 可能

SENSELに"1"を書き込むとR/F変換を行うチャンネルとしてチャンネル1が選択され、"0"を書き込むとチャンネル0が選択されます。

イニシャルリセット時、このレジスタは"0"に設定されます。

● RFRUNR: 基準発振RUN制御/ステータス (FF91H・D1)

基準抵抗のR/F変換を開始させると共に動作状態を示します。

"1"書き込み: R/F変換開始
 "0"書き込み: 無効
 "1"読み出し: R/F変換中
 "0"読み出し: 停止中

RFRUNRに"1"を書き込むことにより基準抵抗のR/F変換を開始します。R/F変換中はこのレジスタに"1"が保持され、R/F変換が終了した時点で"0"に設定されます。RFRUNRへの"0"書き込みは無効です。イニシャルリセット時、このレジスタは"0"に設定されます。

● RFRUNS: センサ発振RUN制御/ステータス (FF91H・D0)

センサのR/F変換を開始させると共に動作状態を示します。

"1"書き込み: R/F変換開始
 "0"書き込み: 無効
 "1"読み出し: R/F変換中
 "0"読み出し: 停止中

RFRUNSに"1"を書き込むことによりセンサのR/F変換を開始します。R/F変換中はこのレジスタに"1"が保持され、R/F変換が終了した時点で"0"に設定されます。RFRUNSへの"0"書き込みは無効です。イニシャルリセット時、このレジスタは"0"に設定されます。

● OVMC: 計測カウンタオーバーフローフラグ (FF91H・D2)

計測カウンタのオーバーフロー発生状態を示すフラグです。

"1"読み出し: オーバーフロー発生
 "0"読み出し: オーバーフローなし
 "1"書き込み: "0"にリセット
 "0"書き込み: 無効

センサの発振をカウント中に計測カウンタにオーバーフローが発生した場合、OVMCが"1"にセットされます。同時に割り込みも発生します。このフラグはR/F変換開始時および"1"の書き込みによりリセットされます。イニシャルリセット時、このフラグは"0"に設定されます。

● OVTBC: タイムベースカウンタオーバーフローフラグ (FF91H・D3)

タイムベースカウンタのオーバーフロー発生状態を示すフラグです。

"1"読み出し: オーバーフロー発生
 "0"読み出し: オーバーフローなし
 "1"書き込み: "0"にリセット
 "0"書き込み: 無効

基準抵抗の発振中にタイムベースカウンタにオーバーフローが発生した場合、OVTBCが"1"にセットされます。同時に割り込みも発生します。このフラグはR/F変換開始時および"1"の書き込みによりリセットされます。イニシャルリセット時、このフラグは"0"に設定されます。

● EIRFM, EIRFB: 割り込みマスクレジスタ (FFE7H・D0, D1)

R/Fコンバータの割り込みについてマスクするかしないかを選択します。

"1"書き込み: イネーブル
 "0"書き込み: マスク
 読み出し: 可能

EIRFMとEIRFBはそれぞれセンサ発振終了および基準発振終了割り込みに対応する割り込みマスクレジスタで、"1"を書き込むことによりR/Fコンバータ割り込みが許可され、"0"を書き込むことにより割り込みがマスクされます。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

● IRFM, IRFB: 割り込み要因フラグ (FFF7H・D0, D1)

R/Fコンバータ割り込みの発生状態を示すフラグです。

"1"読み出し:	割り込み有
"0"読み出し:	割り込み無
"1"書き込み:	要因フラグをリセット
"0"書き込み:	無効

IRFBは基準抵抗のR/F変換が終了した場合、または基準抵抗の発振カウント中にタイムベースカウンタがオーバーフローした場合に"1"にセットされます。

IRFMはセンサのR/F変換が終了した場合、またはセンサの発振カウント中に計測カウンタがオーバーフローした場合に"1"にセットされます。

これらのフラグによりR/Fコンバータ割り込みの有無をソフトウェアで判断することができます。なお、このフラグは割り込みマスキングレジスタの設定にかかわらず、上記の条件で"1"にセットされます。

これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(IFラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

4.14.6 プログラミング上の注意事項

- (1) 計測カウンタ(MC)の初期値によっては、CR発振クロックのカウント中に計測カウンタあるいはタイムベースカウンタにオーバーフローが発生する場合があります。初期値はCR発振周波数とその変動範囲、およびタイムベースカウンタの入力クロック周波数に注意して設定してください。オーバーフローが発生した場合はその時点でR/F変換を終了しますので、R/F変換結果(計測カウンタ値)を読み出した際は、オーバーフローフラグ(OVMC, OVTBC)の確認も行ってください。CR発振周波数の上限値は500kHzです。特に下限周波数についての制限はありませんが、タイムベースカウンタのオーバーフローには注意してください。
- (2) カウンタのオーバーフローにより割り込みが発生した場合、オーバーフローフラグ(OVMC, OVTBC)に"1"を書き込んで"0"にリセットしてください。これらのフラグがリセットされない場合、再度同じ割り込みが発生してしまいます。
- (3) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(IFラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- (4) OSC3クロックをタイムベースカウンタのクロックとして選択する場合、OSC3発振周波数は最大2MHzに制限されますので注意が必要です。
- (5) 計測カウンタにデータを書き込む場合は、必ず下位のアドレスから(FF92H→FF93H→FF94H→FF95H→FF96H)、5ワードすべてを書き込んでください。また、計測カウンタへの書き込みにはLD命令を使用してください。リードモディファイライト命令(AND、OR、ADD、SUB等)は使用しないでください。

4.15 ステッピングモータドライバ

4.15.1 ステッピングモータドライバの構成

S1C63656は2系統(Ch.1、Ch.2)のモータを制御可能なステッピングモータドライバを内蔵しています。タイミング信号を切り換えることにより、低消費電流のコンビネーションクロックまたはウォッチが実現できます。図4.15.1.1にモータドライバの構成を示します。

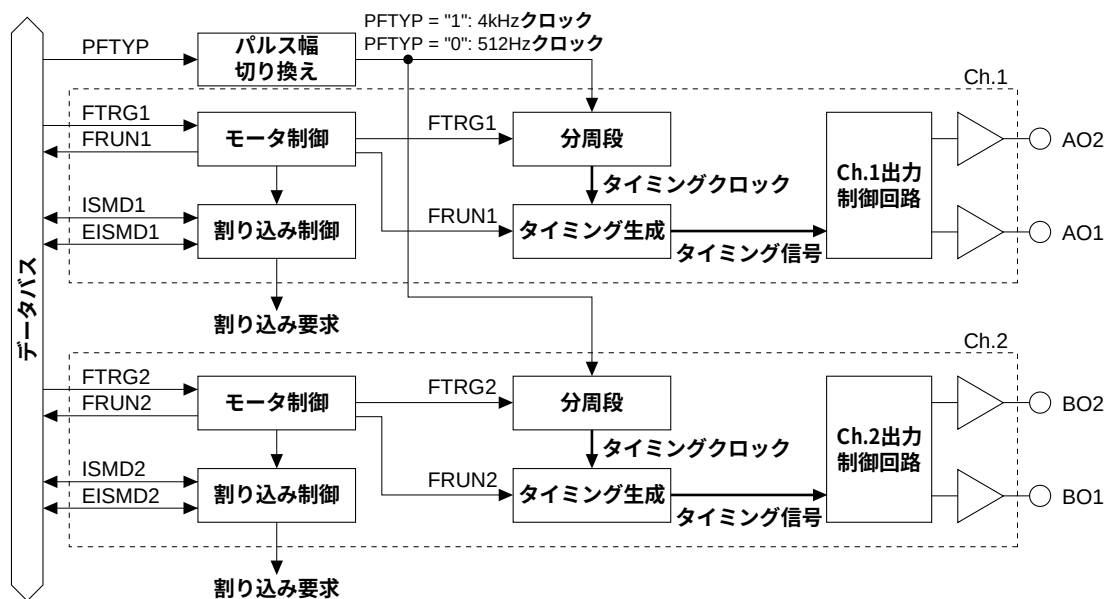


図4.15.1.1 モータドライバの構成

4.15.2 モータ駆動パルスの設定

本モータドライバは、ウォッチ(腕時計)用およびクロック(置き時計/掛け時計)用のステッピングモータに対応しています。ウォッチと同じ駆動パルスでは、クロック駆動用のトルクを発生できないため、パルスの基本サイズを2種類から選択できるようになっています。この選択はパルス幅ベースクロック選択レジスタPFTYP(FF15H・D0)で行います。

PFTYPを"0"に設定するとクロック用のロングパルス幅が選択され、512Hzの原振クロックから駆動パルスが生成されます。

PFTYPを"1"に設定するとウォッチ用のショートパルス幅が選択され、4kHzの原振クロックから駆動パルスが生成されます。

さらに、チャンネルごとに用意されたパルス幅選択レジスタ(Ch.1はPFWA0～PFWA4、Ch.2はPFWB0～PFWB4)により、パルス幅をステッピングモータの仕様に合わせて微調整できるようになっています。

これにより、クロック用パルスは11.72msec～56.64msec(1.953msec単位)、ウォッチ用パルスは1.46msec～7.08msec(0.244msec単位)のそれぞれ16段階から選択できます。

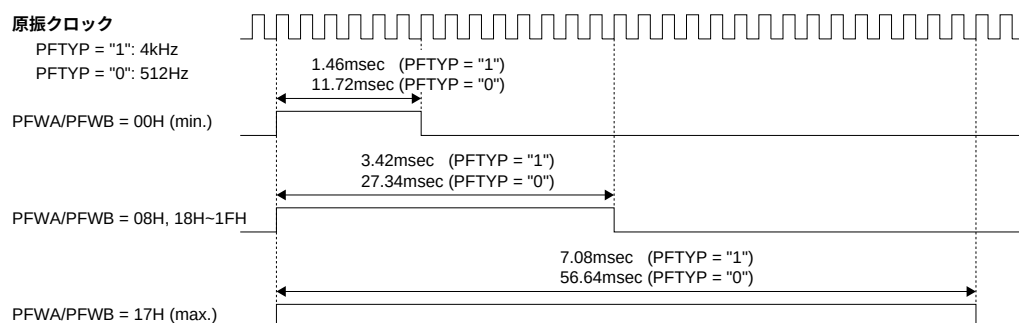


図4.15.2.1 モータ駆動パルス

表4.15.2.1 モータ駆動パルス幅の設定

PFWA4 PFWB4	PFWA3 PFWB3	PFWA2 PFWB2	PFWA1 PFWB1	PFWA0 PFWB0	パルス幅	
					PFTYP = "1"	PFTYP = "0"
0	0	0	0	0	1.46msec	11.72msec
0	0	0	0	1	1.71msec	13.67msec
0	0	0	1	0	1.95msec	15.63msec
0	0	0	1	1	2.20msec	17.58msec
0	0	1	0	0	2.44msec	19.53msec
0	0	1	0	1	2.69msec	21.48msec
0	0	1	1	0	2.93msec	23.44msec
0	0	1	1	1	3.17msec	25.39msec
0	1	0	0	0	3.42msec	27.34msec
0	1	0	0	1	3.66msec	29.30msec
0	1	0	1	0	3.91msec	31.25msec
0	1	0	1	1	4.15msec	33.20msec
0	1	1	0	0	4.40msec	35.16msec
0	1	1	0	1	4.64msec	37.11msec
0	1	1	1	0	4.88msec	39.06msec
0	1	1	1	1	5.13msec	41.02msec
1	0	0	0	0	5.37msec	42.97msec
1	0	0	0	1	5.62msec	44.92msec
1	0	0	1	0	5.86msec	46.88msec
1	0	0	1	1	6.10msec	48.83msec
1	0	1	0	0	6.35msec	50.78msec
1	0	1	0	1	6.59msec	52.73msec
1	0	1	1	0	6.84msec	54.69msec
1	0	1	1	1	7.08msec	56.64msec
1	1	X	X	X	3.42msec	27.34msec

注: PFTYPによるパルス幅生成用原振クロックの選択、およびPFWA0～PFWA4、PFWB0～PFWB4によるパルス幅の設定は、必ずモータドライバが停止中に行ってください。

4.15.3 パルス出力制御

Ch.1のパルス出力はFTRG1ビット(FF10H・D0)に"1"を書き込むことにより開始します。

この書き込みによりモータドライバが動作を開始し、下図に示すタイミングで指定幅のパルスをAO1またはAO2端子から出力します。イニシャルリセット後、最初のモータ駆動パルスはAO1端子から出力され、それ以降はFTRG1に"1"を書き込むごとにAO2とAO1端子から交互に出力されます。

パルス出力のトリガに使用したFTRG1ビットは、読み出し時はモータドライバの状態を示すステータスFRUN1となります。FRUN1はモータドライバが動作を開始すると"1"となり、指定幅のパルスを出力し終わると"0"に戻ります。このパルス出力終了と同時に割り込みを発生可能です。

Ch.2の制御方法もCh.1と同じで、FTRG1/FRUN1の代わりにFTRG2/FRUN2(FF10H・D1)を使用します。モータ駆動パルスはBO1とBO2端子から交互に出力されます。

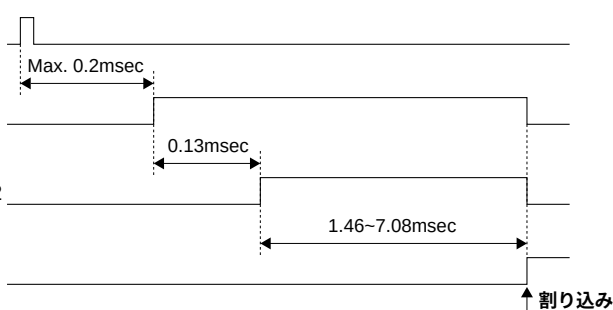
PFTYP = "1"の場合

FTRG1/FTRG2
への"1"書き込み

FRUN1/FRUN2

AO1/AO2/BO1/BO2

ISMD1/ISMD2



PFTYP = "0"の場合

FTRG1/FTRG2
への"1"書き込み

FRUN1/FRUN2

AO1/AO2/BO1/BO2

ISMD1/ISMD2

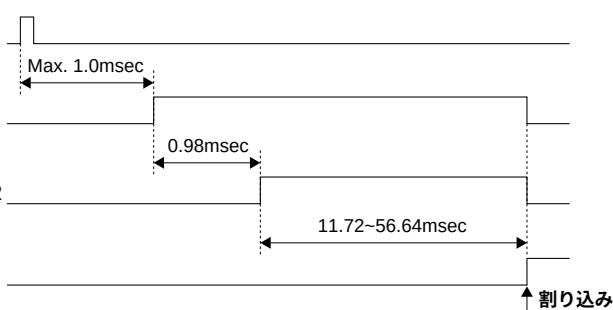


図4.15.3.1 モータ駆動パルス出力タイミングチャート

4.15.4 割り込み機能

本モータドライバはチャンネル別に割り込み機能を持っています。図4.15.3.1に示したとおり、FTRG1/FTRG2ビットへの"1"書き込みによるパルス出力が終了した時点で割り込み要因フラグISMD1(Ch.1)/ISMD2(Ch.2)が"1"にセットされ、割り込みが発生します。各割り込み要因フラグに対応した割り込みマスクレジスタEISMD1/EISMD2の設定により、割り込みをマスクすることもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応するチャンネルのパルス出力終了で"1"にセットされます。

4.15.5 ステッピングモータドライバのI/Oメモリ

表4.15.5.1にステッピングモータドライバの制御ビットとそのアドレスを示します。

表4.15.5.1 ステッピングモータドライバの制御ビット

アドレス	レジスタ									注 釈	
	D3	D2	D1	D0	Name	Init *1	1	0			
FF10H	0	0	FTRG2	FTRG1	0 *3	− *2			未使用		
			FRUN2	FRUN1	0 *3	− *2				未使用	
	R		W	W	FTRG2	− *2	Trigger	Invalid	モータドライバCh.2トリガ(書き込み時)		
			R	R	FRUN2	0	Run	Stop	モータドライバCh.2ステータス(読み出し時)		
FF11H	0	0	0	PFWA4	0 *3	− *2			未使用		
					0 *3	− *2				未使用	
	R			0 *3	− *2	未使用	[PFWA4~0]	パルス幅			
			PFWA4	0		未使用	[PFWB4~0] (PFTYP = "1") (PFTYP = "0")	00H	1.46msec	11.72msec	
FF12H	PFWA3	PFWA2	PFWA1	PFWA0	PFWA3	0			モータ		
					PFWA2	0				ドライバ	
	R/W		PFWA1	0	Ch.1						
			PFWA0	0	パルス幅						
FF13H	0	0	0	PFWB4	0 *3	− *2			選択		
					0 *3	− *2				未使用	
	R		R/W	PFWB4	0	未使用	0BH	4.15msec	33.20msec		
				0 *3	− *2	未使用	0CH	4.40msec	35.16msec		
FF14H	PFWB3	PFWB2	PFWB1	PFWB0	PFWB3	0			モータ		
					PFWB2	0				ドライバ	
	R/W		PFWB1	0	Ch.2						
			PFWB0	0	パルス幅						
FF15H	0	0	0	PFTYP	0 *3	− *2			未使用		
					0 *3	− *2				未使用	
	R		R/W	PFTYP	0	Short	Long	未使用	0EH	4.88msec	39.06msec
								未使用	0FH	5.13msec	41.02msec
FFE8H	0	0	EISMD2	EISMD1	0 *3	− *2			未使用		
					0 *3	− *2				未使用	
	R		R/W	EISMD2	0	Enable	Mask	割り込みマスキレジスタ(モータドライバCh.2)			
				EISMD1	0	Enable	Mask	割り込みマスキレジスタ(モータドライバCh.1)			
FFF8H	0	0	ISMD2	ISMD1	0 *3	− *2	(R)	(R)	未使用		
					0 *3	− *2	Yes	No	未使用		
	R		R/W	ISMD2	0	(W)	(W)	割り込み要因フラグ(モータドライバCh.2)			
				ISMD1	0	Reset	Invalid	割り込み要因フラグ(モータドライバCh.1)			

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

● **FTRG1/FRUN1: モータドライバCh.1パルス出力トリガ/ステータス(FF10H・D0)**
FTRG2/FRUN2: モータドライバCh.2パルス出力トリガ/ステータス(FF10H・D1)

モータ駆動パルスの出力トリガ/ステータスビットです。

・ **データ書き込み時**

"1"書き込み: 出力開始

"0"書き込み: ノーオペレーション

書き込み時はモータ駆動パルスの出力を開始するトリガビットとして機能します。

FTRG_x(_x = 1または2)に"1"を書き込むことにより、Ch._xのモータ駆動パルス出力処理を開始します。本ビットへの"0"書き込みは無効です。

・ **データ読み出し時**

"1"読み出し: RUN(パルス出力処理中)

"0"読み出し: STOP(停止中)

読み出し時はモータドライバの動作状態を示します。

FTRG_x(本ビット)に"1"を書き込み後、PFTYP = "1"の場合は0.2msec以内、PFTYP = "0"の場合は1.0msec以内にモータドライバはモータ駆動パルス出力処理を開始します。この時点でFRUN_xは"1"にセットされ、パルスの出力を完了した時点で"0"にクリアされます。したがって、このビットが"1"の場合は、モータドライバがパルス出力処理中であることを示します。

FRUN_xが"1"の場合に、FTRG_xに"1"を書き込んでも、そのトリガは無効です。

イニシャルリセット時、このビットは"0"に設定されます。

● **PFWA0～PFWA4: モータドライバCh.1パルス幅選択レジスタ(FF12H, FF11H・D0)**

PFWB0～PFWB4: モータドライバCh.2パルス幅選択レジスタ(FF14H, FF13H・D0)

モータ駆動パルス幅を選択します。パルス幅ベースクロックレジスタPFTYPの設定により、選択範囲が切り換わります。

表4.15.5.2 モータ駆動パルス幅の設定

PFWA4 PFWB4	PFWA3 PFWB3	PFWA2 PFWB2	PFWA1 PFWB1	PFWA0 PFWB0	パルス幅	
					PFTYP = "1"	PFTYP = "0"
0	0	0	0	0	1.46msec	11.72msec
0	0	0	0	1	1.71msec	13.67msec
0	0	0	1	0	1.95msec	15.63msec
0	0	0	1	1	2.20msec	17.58msec
0	0	1	0	0	2.44msec	19.53msec
0	0	1	0	1	2.69msec	21.48msec
0	0	1	1	0	2.93msec	23.44msec
0	0	1	1	1	3.17msec	25.39msec
0	1	0	0	0	3.42msec	27.34msec
0	1	0	0	1	3.66msec	29.30msec
0	1	0	1	0	3.91msec	31.25msec
0	1	0	1	1	4.15msec	33.20msec
0	1	1	0	0	4.40msec	35.16msec
0	1	1	0	1	4.64msec	37.11msec
0	1	1	1	0	4.88msec	39.06msec
0	1	1	1	1	5.13msec	41.02msec
1	0	0	0	0	5.37msec	42.97msec
1	0	0	0	1	5.62msec	44.92msec
1	0	0	1	0	5.86msec	46.88msec
1	0	0	1	1	6.10msec	48.83msec
1	0	1	0	0	6.35msec	50.78msec
1	0	1	0	1	6.59msec	52.73msec
1	0	1	1	0	6.84msec	54.69msec
1	0	1	1	1	7.08msec	56.64msec
1	1	X	X	X	3.42msec	27.34msec

イニシャルリセット時、これらのレジスタは"00H"に設定されます。

● PFTYP: パルス幅ベースクロックレジスタ(FF15H・D0)

クロックあるいはウォッチに対応したモータ駆動パルスを生成するための原振クロックを選択します。

"1"書き込み: ショートパルス幅用(4kHz)
"0"書き込み: ロングパルス幅用(512Hz)
読み出し: 可能

PFTYPに"1"を書き込んだ場合は、ウォッチ用ステッピングモータに対応するショートパルス幅生成用クロック(4kHz)が選択されます。"0"を書き込んだ場合は、クロック用ステッピングモータに対応するロングパルス生成用クロック(512Hz)が選択されます。

生成されるパルス幅については、表4.15.5.2を参照してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

● EISMD1: モータドライバCh.1割り込みマスクレジスタ(FFE8H・D0)**EISMD2: モータドライバCh.2割り込みマスクレジスタ(FFE8H・D1)**

モータドライバの割り込みについて、マスクするかしないかを選択します。

"1"書き込み: イネーブル
"0"書き込み: マスク
読み出し: 可能

EISMD1、EISMD2はそれぞれモータドライバCh.1、Ch.2の割り込み要因に対応する割り込みマスクレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

● ISMD1: モータドライバCh.1割り込み要因フラグ(FFF8H・D0)**ISMD2: モータドライバCh.2割り込み要因フラグ(FFF8H・D1)**

モータドライバ割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有
"0"読み出し: 割り込み無
"1"書き込み: 要因フラグをリセット
"0"書き込み: 無効

ISMD1、ISMD2はそれぞれモータドライバCh.1、Ch.2の割り込みに対応する割り込み要因フラグで、モータ駆動パルス出力が終了した時点で"1"にセットされます。

これらのフラグによってモータドライバ割り込みの有無を、ソフトウェアで判断することができます。

ただし、これらのフラグは割り込みをマスクしていても、対応するチャンネルのパルス出力が終了すると"1"にセットされます。

これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

4.15.6 プログラミング上の注意事項

- (1) PFTYPによるパルス幅生成用原振クロックの選択、およびPFWA0～PFWA4、PFWB0～PFWB4によるパルス幅の設定は、必ずモードドライバが停止中に行ってください。
- (2) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.16 SVD(電源電圧検出)回路

4.16.1 SVD回路の構成

S1C63656にはSVD(電源電圧検出)回路が内蔵されており、ソフトウェアによって電源電圧低下を知ることができます。

SVD回路のON/OFFおよび比較電圧の設定は、ソフトウェアによって行えます。

SVD回路の構成は図4.16.1.1のとおりです。

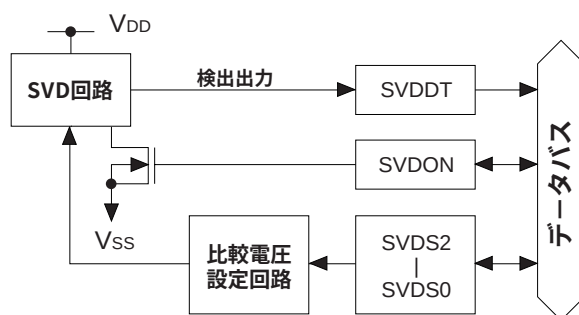


図4.16.1.1 SVD回路の構成

4.16.2 SVD動作

SVD回路はソフトウェアによって設定した比較電圧と電源電圧(V_{DD} 端子- V_{SS} 端子)の比較を行い、その結果をSVDDTラッチにセットします。このSVDDTラッチのデータを読み出すことにより、電源電圧が正常か、あるいは低下していることをソフトウェアによって判断できます。

比較電圧は表4.16.2.1に示すとおり、SVDS2～SVDS0レジスタで指定します。

マスクオプションのOSC3発振回路使用/未使用の選択により、比較電圧値は異なります。

表4.16.2.1 比較電圧値

SVDS2	SVDS1	SVDS0	比較電圧 (V)	
			OSC3使用時	OSC3未使用時
1	1	1	2.90	1.64
1	1	0	2.75	1.56
1	0	1	2.60	1.47
1	0	0	2.45	1.39
0	1	1	2.30	1.30
0	1	0	2.15	1.22
0	0	1	2.00	1.13
0	0	0	1.85	—

SVD回路による電源電圧の検出動作はレジスタSVDONに"1"を書き込むことによって開始します。その後SVDONに"0"を書き込むことにより、SVD回路は検出結果をSVDDTラッチにセットして検出動作を停止(回路をOFF)します。

なお、安定した検出結果を得るためには少なくとも500 μ sec以上SVD回路をONにする必要があります。したがって、電源電圧の検出は次のシーケンスで行ってください。

1. SVDONを"1"にセット
2. 500 μ sec以上保持
3. SVDONを"0"にセット
4. SVDDTの読み出し

なお、SVD動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD回路をOFFに設定してください。

4.16.3 SVD回路のI/Oメモリ

表4.16.3.1にSVD回路の制御ビットとそのアドレスを示します。

表4.16.3.1 SVD回路の制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF04H	0	SVDS2	SVDS1	SVDS0	0 *3	– *2			未使用
					SVDS2	0			SVD比較電圧(電圧2はOSC3未使用時) [SVDS2~0] 0 1 2 3 4 5 6 7 電圧1(V) 1.85 2.00 2.15 2.30 2.45 2.60 2.75 2.90 電圧2(V) – 1.13 1.22 1.30 1.39 1.47 1.56 1.64
					SVDS1	0			
					SVDS0	0			
FF05H	0	0	SVDDT	SVDON	0 *3	– *2			未使用
					0 *3	– *2			未使用
					SVDDT	0	Low	Normal	SVD検出データ
					SVDON	0	On	Off	SVD回路On/Off

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

● SVDS2～SVDS0: SVD比較電圧設定レジスタ (FF04H・D2～D0)

SVDの比較電圧を表4.16.2.1に示すとおり設定します。

イニシャルリセット時、このレジスタは"0"に設定されます。

● SVDON: SVD検出ON/OFF制御レジスタ (FF05H・D0)

SVD回路のON/OFFを制御します。

"1"書き込み: SVD回路 ON

"0"書き込み: SVD回路 OFF

読み出し: 可能

SVDONを"1"にセットすることによりSVD検出が行われ、SVDONを"0"にリセットした直後にSVDDTラッチへ検出結果が書き込まれます。なお、安定したSVD検出結果を得るためには、少なくとも500μsec以上SVD回路をONにする必要があります。

イニシャルリセット時、このレジスタは"0"に設定されます。

● SVDDT: SVD検出結果 (FF05H・D1)

SVDによる検出結果がセットされます。

"0"読み出し: 比較電圧より電源電圧($V_{DD}-V_{SS}$)が高い

"1"読み出し: 比較電圧より電源電圧($V_{DD}-V_{SS}$)が低い

書き込み: 無効

SVDONを"0"にした時点の検出結果を読み出すことができます。

イニシャルリセット時、SVDDTは"0"に設定されます。

4.16.4 プログラミング上の注意事項

- (1) SVD回路はONさせてから安定した結果が得られるまでに500 μ secの時間を必要とします。このため、SVDONに"1"を書き込み後、500 μ sec以上経過後にSVDONに"0"を書き込んでSVDDTを読み出してください。
- (2) SVD検出動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD検出をOFFに設定してください。

4.17 割り込みとHALT

<割り込みの種類>

S1C63656には以下の8種類の割り込みが設定されています。

外部割り込み	・ 入力割り込み	(2系統)
内部割り込み	・ ウォッチドッグタイマ割り込み	(NMI、1系統)
	・ プログラマブルタイマ割り込み	(4系統)
	・ シリアルインタフェース割り込み	(1系統)
	・ 計時タイマ割り込み	(5系統)
	・ ストップウォッチタイマ割り込み	(4系統)
	・ R/Fコンバータ割り込み	(2系統)
	・ モータドライバ割り込み	(2系統)

割り込みを許可するためにはインタラプトフラグを"1"にセット(EI)し、あわせて必要な系統の割り込みマスクレジスタも"1"にセット(イネーブル)する必要があります。

割り込みが発生するとインタラプトフラグは自動的に"0"にリセット(DI)され、以後の割り込みは禁止されます。

ウォッチドッグタイマ割り込みはNMI(ノンマスカブル割り込み)のため、インタラプトフラグの設定にかかわらず、割り込みが発生します。このため、割り込みマスクレジスタも用意されていません。ただし、ウォッチドッグタイマはソフトウェアにより動作を停止させることができますので、NMIを発生させないようにすることができます。

図4.17.1に割り込み回路の構成を示します。

注: イニシャルリセット時、NMIを含むすべての割り込みはスタックポインタSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み(NMIを含む)は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

<HALT>

S1C63656は必要なとき以外の消費電流を大幅に低減させるHALT機能を持っています。

CPUはHALT命令が入力されるとHALT状態に入り、CPUの動作を停止します。ただし、発振回路は動作していますので、タイマのカウント等は継続して行われます。

CPUのHALT状態からの再起動はNMIを含むハードウェア割り込み要求が発生することにより行われます。

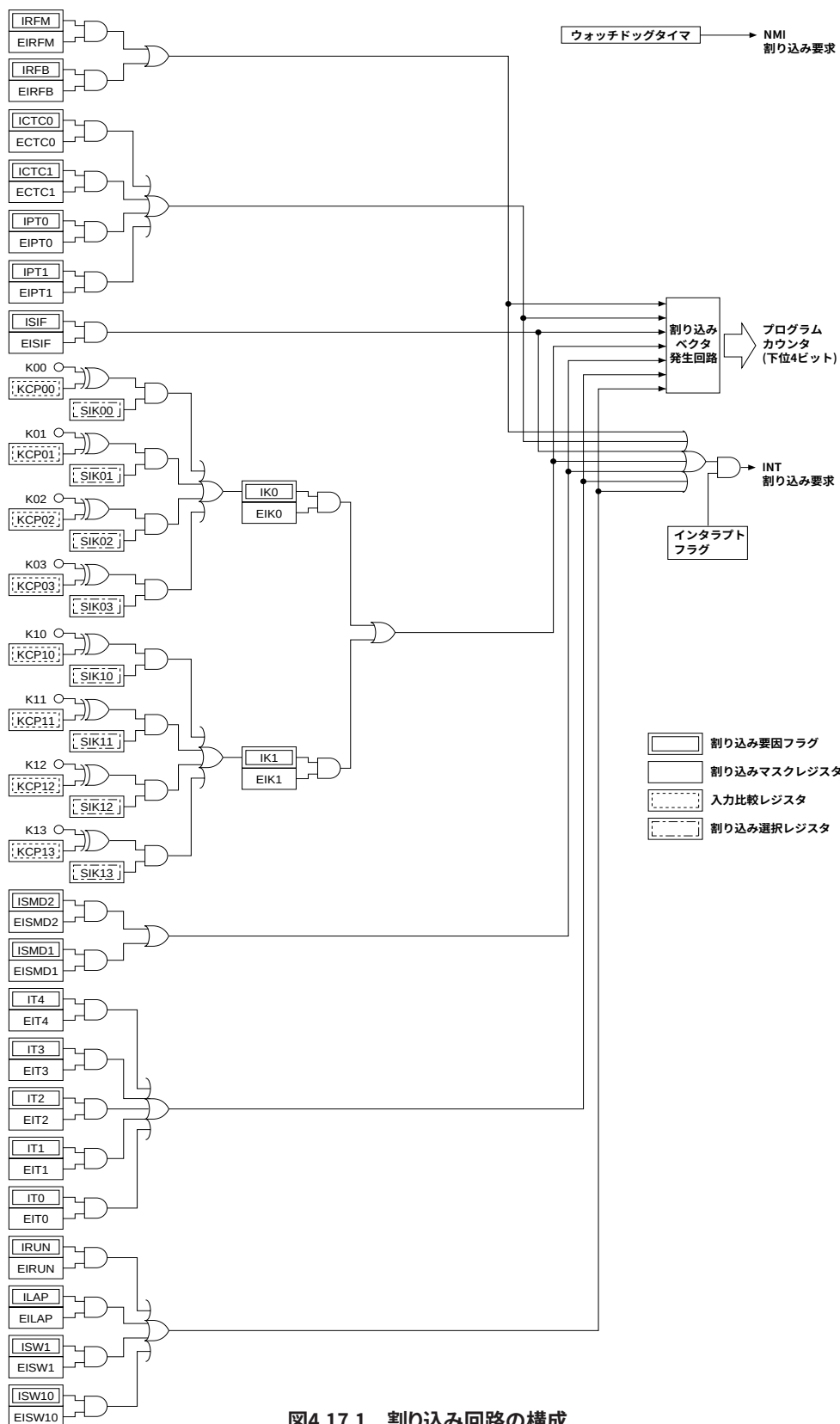


図4.17.1 割り込み回路の構成

4.17.1 割り込みの要因

割り込み要求が発生する要因を表4.17.1.1に示します。

各々の割り込み要因により、対応する割り込み要因フラグが"1"にセットされます。

CPUに対する割り込みは、以下の条件が成立している場合に割り込み要因フラグが"1"にセットされたときに発生します。

• 対応する割り込みマスキレジスタが"1"(イネーブル)

• インタラプトフラグが"1"(EI)

割り込み要因フラグは"1"書き込みにより"0"にリセットされます。

イニシャルリセット時、割り込み要因フラグは"0"にリセットされます。

* ウォッチドッグタイマはNMIのため、上記の条件とは無関係に割り込みが発生します。割り込み要因フラグも用意されていません。

表4.17.1.1 割り込み要因

割り込み要因	割り込み要因フラグ
プログラマブルタイマ1(コンペアマッチ)	ICTC1 (FFF0H・D1)
プログラマブルタイマ0(コンペアマッチ)	ICTC0 (FFF0H・D0)
プログラマブルタイマ1(アンダーフロー)	IPT1 (FFF1H・D1)
プログラマブルタイマ0(アンダーフロー)	IPT0 (FFF1H・D0)
シリアルインタフェース(データ8ビット入出力終了)	ISIF (FFF2H・D0)
K00～K03入力(立ち下がりまたは立ち上がりエッジ)	IK0 (FFF3H・D0)
K10～K13入力(立ち下がりまたは立ち上がりエッジ)	IK1 (FFF4H・D0)
計時タイマ16Hz(立ち下がりエッジ)	IT4 (FFF9H・D0)
計時タイマ1Hz(立ち下がりエッジ)	IT3 (FFF5H・D3)
計時タイマ2Hz(立ち下がりエッジ)	IT2 (FFF5H・D2)
計時タイマ8Hz(立ち下がりエッジ)	IT1 (FFF5H・D1)
計時タイマ32Hz(立ち下がりエッジ)	IT0 (FFF5H・D0)
ストップウォッチタイマ(ダイレクトRUN)	IRUN (FFF6H・D3)
ストップウォッチタイマ(ダイレクトLAP)	ILAP (FFF6H・D2)
ストップウォッチタイマ(1Hz)	ISW1 (FFF6H・D1)
ストップウォッチタイマ(10Hz)	ISW10 (FFF6H・D0)
R/Fコンバータ(基準発振完了)	IRFB (FFF7H・D1)
R/Fコンバータ(センサ発振完了)	IRFM (FFF7H・D0)
モータドライバCh.2(パルス出力終了)	ISMD2 (FFF8H・D1)
モータドライバCh.1(パルス出力終了)	ISMD1 (FFF8H・D0)

注: 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(IFラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.17.2 割り込みの個別マスク

割り込み要因フラグは、対応する割り込みマスクレジスタによりマスクできます。

割り込みマスクレジスタは読み出し/書き込みが可能なレジスタであり、"1"書き込みでイネーブル(割り込み許可)、“0”書き込みでマスク(割り込み禁止)となります。

イニシャルリセット時、割り込みマスクレジスタは"0"にリセットされます。

表4.17.2.1に割り込みマスクレジスタと割り込み要因フラグの対応を示します。

表4.17.2.1 割り込みマスクレジスタと割り込み要因フラグ

割り込みマスクレジスタ		割り込み要因フラグ	
ECTC1	(FFE0H・D1)	ICTC1	(FFF0H・D1)
ECTC0	(FFE0H・D0)	ICTC0	(FFF0H・D0)
EIPT1	(FFE1H・D1)	IPT1	(FFF1H・D1)
EIPT0	(FFE1H・D0)	IPT0	(FFF1H・D0)
EISIF	(FFE2H・D0)	ISIF	(FFF2H・D0)
EIK0	(FFE3H・D0)	IK0	(FFF3H・D0)
EIK1	(FFE4H・D0)	IK1	(FFF4H・D0)
EIT4	(FFE9H・D0)	IT4	(FFF9H・D0)
EIT3	(FFE5H・D3)	IT3	(FFF5H・D3)
EIT2	(FFE5H・D2)	IT2	(FFF5H・D2)
EIT1	(FFE5H・D1)	IT1	(FFF5H・D1)
EIT0	(FFE5H・D0)	IT0	(FFF5H・D0)
EIRUN	(FFE6H・D3)	IRUN	(FFF6H・D3)
EILAP	(FFE6H・D2)	ILAP	(FFF6H・D2)
EISW1	(FFE6H・D1)	ISW1	(FFF6H・D1)
EISW10	(FFE6H・D0)	ISW10	(FFF6H・D0)
EIRFB	(FFE7H・D1)	IRFB	(FFF7H・D1)
EIRFM	(FFE7H・D0)	IRFM	(FFF7H・D0)
EISMD2	(FFE8H・D1)	ISMD2	(FFF8H・D1)
EISMD1	(FFE8H・D0)	ISMD1	(FFF8H・D0)

4.17.3 割り込みベクタ

CPUに割り込み要求が入力されると、CPUは割り込み処理を開始します。

割り込み処理は実行中のプログラムの終了後、以下の手順で行われます。

1. フラグレジスタを退避後、Iフラグをリセット
2. 次に実行すべきプログラムのアドレスデータ(プログラムカウンタの値)をスタック領域(RAM)に退避
3. 割り込み要求による割り込みベクタの値(0100H～010EH)をプログラムカウンタにセット
4. 指定されたアドレスのプログラムを実行(ソフトウェアによる割り込み処理ルーチンの実行)

表4.17.3.1に割り込み要求と割り込みベクタの対応を示します。

表4.17.3.1 割り込み要求と割り込みベクタ

割り込みベクタ	割り込み要因	優先順位
0100H	ウォッチドッグタイマ	↑ 高い
0102H	R/Fコンバータ	
0104H	プログラマブルタイマ	
0106H	シリアルインタフェース	
0108H	K00～K03, K10～K13入力	
010AH	モータドライバ	
010CH	計時タイマ	↓ 低い
010EH	ストップウォッチタイマ	

プログラムカウンタ(PC)の下位4ビットが割り込み要求による間接アドレス指定となります。

4.17.4 割り込みのI/Oメモリ

表4.17.4.1に割り込みに関する制御ビットとそのアドレスを示します。

表4.17.4.1(a) 割り込みの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF20H	SIK03	SIK02	SIK01	SIK00	SIK03	0	Enable	Disable	K00～K03割り込み選択レジスタ
					SIK02	0	Enable	Disable	
	R/W				SIK01	0	Enable	Disable	
					SIK00	0	Enable	Disable	
FF22H	KCP03	KCP02	KCP01	KCP00	KCP03	1			K00～K03入力比較レジスタ
					KCP02	1			
	R/W				KCP01	1			
					KCP00	1			
FF24H	SIK13	SIK12	SIK11	SIK10	SIK13	0	Enable	Disable	K10～K13割り込み選択レジスタ
					SIK12	0	Enable	Disable	
	R/W				SIK11	0	Enable	Disable	
					SIK10	0	Enable	Disable	
FF26H	KCP13	KCP12	KCP11	KCP10	KCP13	1			K10～K13入力比較レジスタ
					KCP12	1			
	R/W				KCP11	1			
					KCP10	1			
FFE0H	0	0	ECTC1	ECTC0	0 *3	–*2			未使用
					0 *3	–*2			未使用
	R		R/W		ECTC1	0	Enable	Mask	割り込みマスキレジスタ(タイマ1コンペアマッチ)
					ECTC0	0	Enable	Mask	割り込みマスキレジスタ(タイマ0コンペアマッチ)
FFE1H	0	0	EIPT1	EIPT0	0 *3	–*2			未使用
					0 *3	–*2			未使用
	R		R/W		EIPT1	0	Enable	Mask	割り込みマスキレジスタ(タイマ1アンダーフロー)
					EIPT0	0	Enable	Mask	割り込みマスキレジスタ(タイマ0アンダーフロー)
FFE2H	0	0	0	EISIF	0 *3	–*2			未使用
					0 *3	–*2			未使用
	R			R/W	0 *3	–*2			未使用
					EISIF	0	Enable	Mask	割り込みマスキレジスタ(シリアルI/F)
FFE3H	0	0	0	EIK0	0 *3	–*2			未使用
					0 *3	–*2			未使用
	R			R/W	0 *3	–*2			未使用
					EIK0	0	Enable	Mask	割り込みマスキレジスタ(K00～K03)
FFE4H	0	0	0	EIK1	0 *3	–*2			未使用
					0 *3	–*2			未使用
	R			R/W	0 *3	–*2			未使用
					EIK1	0	Enable	Mask	割り込みマスキレジスタ(K10～K13)
FFE5H	EIT3	EIT2	EIT1	EIT0	EIT3	0	Enable	Mask	割り込みマスキレジスタ(計時タイマ1Hz)
					EIT2	0	Enable	Mask	割り込みマスキレジスタ(計時タイマ2Hz)
	R/W				EIT1	0	Enable	Mask	割り込みマスキレジスタ(計時タイマ8Hz)
					EIT0	0	Enable	Mask	割り込みマスキレジスタ(計時タイマ32Hz)
FFE6H	EIRUN	EILAP	EISW1	EISW10	EIRUN	0	Enable	Mask	割り込みマスキレジスタ(SWダイレクトRUN)
					EILAP	0	Enable	Mask	割り込みマスキレジスタ(SWダイレクトLAP)
	R/W				EISW1	0	Enable	Mask	割り込みマスキレジスタ(ストップウォッチタイマ1Hz)
					EISW10	0	Enable	Mask	割り込みマスキレジスタ(ストップウォッチタイマ10Hz)
FFE7H	0	0	EIRFB	EIRFM	0 *3	–*2			未使用
					0 *3	–*2			未使用
	R		R/W		EIRFB	0	Enable	Mask	割り込みマスキレジスタ(R/Fコンバータ基準発振完了)
					EIRFM	0	Enable	Mask	割り込みマスキレジスタ(R/Fコンバータセンサ発振完了)
FFE8H	0	0	EISMD2	EISMD1	0 *3	–*2			未使用
					0 *3	–*2			未使用
	R		R/W		EISMD2	0	Enable	Mask	割り込みマスキレジスタ(モータドライバCh.2)
					EISMD1	0	Enable	Mask	割り込みマスキレジスタ(モータドライバCh.1)
FFE9H	0	0	0	EIT4	0 *3	–*2			未使用
					0 *3	–*2			未使用
	R			R/W	0 *3	–*2			未使用
					EIT4	0	Enable	Mask	割り込みマスキレジスタ(計時タイマ16Hz)

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*2 回路上設定されない

表4.17.4.1(b) 割り込みの制御ビット

アドレス	レジスタ				注 釈				
	D3	D2	D1	D0	Name	Init *1	1	0	
FFF0H	0	0	ICTC1	ICTC0	0 *3	—*2	(R)	(R)	未使用
					0 *3	—*2	Yes	No	未使用
			R	R/W	ICTC1	0	(W)	(W)	割り込み要因フラグ(タイマ1コンペアマッチ)
					ICTC0	0	Reset	Invalid	割り込み要因フラグ(タイマ0コンペアマッチ)
FFF1H	0	0	IPT1	IPT0	0 *3	—*2	(R)	(R)	未使用
					0 *3	—*2	Yes	No	未使用
			R	R/W	IPT1	0	(W)	(W)	割り込み要因フラグ(タイマ1アンダーフロー)
					IPT0	0	Reset	Invalid	割り込み要因フラグ(タイマ0アンダーフロー)
FFF2H	0	0	0	ISIF	0 *3	—*2	(R)	(R)	未使用
					0 *3	—*2	Yes	No	未使用
			R	R/W	0 *3	—*2	(W)	(W)	未使用
					ISIF	0	Reset	Invalid	割り込み要因フラグ(シリアルI/F)
FFF3H	0	0	0	IK0	0 *3	—*2	(R)	(R)	未使用
					0 *3	—*2	Yes	No	未使用
			R	R/W	0 *3	—*2	(W)	(W)	未使用
					IK0	0	Reset	Invalid	割り込み要因フラグ(K00～K03)
FFF4H	0	0	0	IK1	0 *3	—*2	(R)	(R)	未使用
					0 *3	—*2	Yes	No	未使用
			R	R/W	0 *3	—*2	(W)	(W)	未使用
					IK1	0	Reset	Invalid	割り込み要因フラグ(K10～K13)
FFF5H	IT3	IT2	IT1	IT0	IT3	0	(R)	(R)	割り込み要因フラグ(計時タイマ1Hz)
					IT2	0	Yes	No	割り込み要因フラグ(計時タイマ2Hz)
			R/W	IT1	0	(W)	(W)	割り込み要因フラグ(計時タイマ8Hz)	
				IT0	0	Reset	Invalid	割り込み要因フラグ(計時タイマ32Hz)	
FFF6H	IRUN	ILAP	ISW1	ISW10	IRUN	0	(R)	(R)	割り込み要因フラグ(SWダイレクトRUN)
					ILAP	0	Yes	No	割り込み要因フラグ(SWダイレクトLAP)
			R/W	ISW1	0	(W)	(W)	割り込み要因フラグ(ストップウォッチタイマ1Hz)	
				ISW10	0	Reset	Invalid	割り込み要因フラグ(ストップウォッチタイマ10Hz)	
FFF7H	0	0	IRFB	IRFM	0 *3	—*2	(R)	(R)	未使用
					0 *3	—*2	Yes	No	未使用
			R	R/W	IRFB	0	(W)	(W)	割り込み要因フラグ(R/Fコンバータ基準発振完了)
					IRFM	0	Reset	Invalid	割り込み要因フラグ(R/Fコンバータセンサ発振完了)
FFF8H	0	0	ISMD2	ISMD1	0 *3	—*2	(R)	(R)	未使用
					0 *3	—*2	Yes	No	未使用
			R	R/W	ISMD2	0	(W)	(W)	割り込み要因フラグ(モータドライバCh.2)
					ISMD1	0	Reset	Invalid	割り込み要因フラグ(モータドライバCh.1)
FFF9H	0	0	0	IT4	0 *3	—*2	(R)	(R)	未使用
					0 *3	—*2	Yes	No	未使用
			R	R/W	0 *3	—*2	(W)	(W)	未使用
					IT4	0	Reset	Invalid	割り込み要因フラグ(計時タイマ16Hz)

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*2 回路上設定されない

- ECTC1, ECTC0: 割り込みマスクレジスタ (FFE0H・D1, D0)
- EIPT1, EIPT0: 割り込みマスクレジスタ (FFE1H・D1, D0)
- ICTC1, ICTC0: 割り込み要因フラグ (FFF0H・D1, D0)
- IPT1, IPT0: 割り込み要因フラグ (FFF1H・D1, D0)
..."4.10 プログラマブルタイマ"参照
- EISIF: 割り込みマスクレジスタ (FFE2H・D0)
- ISIF: 割り込み要因フラグ (FFF2H・D0)
..."4.11 シリアルインタフェース"参照
- KCP03~KCP00, KCP13~KCP10: 入力比較レジスタ (FF22H, FF26H)
- SIK03~SIK00, SIK13~SIK10: 割り込み選択レジスタ (FF20H, FF24H)
- EIK0, EIK1: 割り込みマスクレジスタ (FFE3H・D0, FFE4H・D0)
- IK0, IK1: 割り込み要因フラグ (FFF3H・D0, FFF4H・D0)
..."4.4 入力ポート"参照

- EIT4～EIT0: 割り込みマスクレジスタ (FFE9H・D0, FFE5H)
- IT4～IT0: 割り込み要因フラグ (FFF9H・D0, FFF5H)
... "4.8 計時タイマ"参照
- EIRUN, EILAP, EISW1, EISW10: 割り込みマスクレジスタ (FFE6H)
- IRUN, ILAP, ISW1, ISW10: 割り込み要因フラグ (FFF6H)
... "4.9 ストップウォッチタイマ"参照
- EIRFB, EIRFM: 割り込みマスクレジスタ (FFE7H・D1, D0)
- IRFB, IRFM: 割り込み要因フラグ (FFF7H・D1, D0)
... "4.14 R/Fコンバータ"参照
- EISMD2, EISMD1: 割り込みマスクレジスタ (FFE8H・D1, D0)
- ISMD2, ISMD1: 割り込み要因フラグ (FFF8H・D1, D0)
... "4.15 ステッピングモータドライバ"参照

4.17.5 プログラミング上の注意事項

- (1) 各割り込み要因フラグは、各割り込みマスクレジスタを"0"に設定していても、割り込み条件成立によりセットされます。
- (2) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- (3) イニシャルリセット時、NMIを含むすべての割り込みはスタックポインタSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み(NMIを含む)は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

5 注意事項のまとめ

5.1 低消費電流化のための注意事項

S1C63656は、低消費電流化のため回路系ごとに制御レジスタを持っています。

この制御レジスタにより必要最小限の回路系を動作させるプログラムとすることで、低消費電流化が実現できます。

以下に動作を制御できる回路系とその制御レジスタ等を説明しますので、プログラムを組む上で参考としてください。

表5.1.1 回路系と制御レジスタ

回路系(および項目)	制御レジスタ等
CPU	HALT命令
CPU動作周波数	CLKCHG, OSCC
LCD系電圧回路	LPWR
SVD回路	SVDON
モータドライバ	FTRG1, FTRG2

消費電流については"7 電気的特性"を参照してください。

イニシャルリセット時の各回路系の状態は以下のとおりです。

CPU: 動作状態

CPU動作周波数: 低速側(CLKCHG = "0")
OSC3発振回路停止状態(OSCC = "0")

LCD系電圧回路: OFF状態(LPWR = "0")

SVD回路: OFF状態(SVDON = "0")

モータドライバ: OFF状態(FTRG1/FRUN1 = FTRG2/FRUN2 = "0")

また、LCDパネルの特性により消費電流が数 μ Aのオーダーで異なりますので、パネルの選択にも注意が必要です。

5.2 個別機能についての注意事項のまとめ

以下に各機能の注意事項を個別にまとめます。内容に十分留意した上でプログラミングを行ってください。

● メモリ、スタック

- (1) メモリマップの未使用領域にはメモリが実装されていません。また、周辺I/O領域にも非実装領域、未使用(アクセス禁止)領域が存在します。これらの領域をアクセスするようなプログラムを作成した場合は、正常な動作を保証することはできません。
周辺I/O領域については表4.1.1に示すI/Oメモリマップを参照してください。
- (2) データメモリの一部をサブルーチンコールやレジスタ退避時のスタック領域としても使用しますので、データ領域とスタック領域が重ならないように注意してください。
- (3) S1C63000コアCPUは、4ビットデータ用スタックポインタ(SP2)および16ビットデータ用スタックポインタ(SP1)によりスタック処理を行います。SP1によるスタック処理では16ビットデータアクセスが行われますので、このスタック領域の設定は4ビット/16ビットアクセスが可能な領域内(0100H~01FFH)で行ってください。スタックポインタは、SP1が0000H~03FFH、SP2が0000H~00FFHの範囲でサイクリックに動作します。このため、SP1はS1C63656の4ビット/16ビットアクセス領域を外れた0200H以上、あるいは00FFH以下の領域にも設定される可能性がありますので注意してください。SP1によるスタック操作以外のメモリアクセスは4ビットデータアクセスとなります。
また、イニシャルリセット時は、スタックポインタSP1、SP2の両方がソフトウェアで設定されるまでNMIを含むすべての割り込みがマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまでNMIを含む割り込みは再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

● ウォッチドッグタイマ

ウォッチドッグタイマを使用する場合、3秒周期以内にソフトウェアでウォッチドッグタイマをリセットする必要があります。イニシャルリセットにより、ウォッチドッグタイマは動作状態に設定されますので、使用しない場合は割り込み(NMI)発生前にウォッチドッグタイマをディセーブル(使用しない)に設定してください。

● 発振回路

- (1) OSC3発振回路がONしてから発振が安定するまでに、5msec以上を必要とします。したがって、CPUの動作クロックをOSC1からOSC3に切り換える際は、OSC3発振ONの後、5msec以上経過してから行ってください。また、発振安定時間は外付け発振子の特性および使用条件等により異なりますので、十分マージンを取って待ち時間を設定してください。
- (2) OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々のインストラクションで行ってください。1インストラクションで、同時に処理するとCPUの誤動作につながります。
- (3) R/Fコンバータのタイムベースカウンタ用クロックとしてOSC3を選択する場合、OSC3クロックの最大周波数は2MHzとなります。

● 入力ポート

入力ポートをHIGHレベルからプルダウン抵抗でLOWレベルに変化させる場合、プルダウン抵抗と入力ゲート容量の積定数によって波形立ち下がりに遅延が生じます。このため、入力ポートの取り込みを行う際は、適切な待ち時間を設定してください。

特に、キーマトリクス構成時のキースキャン等に注意が必要です。

この待ち時間は次の式で算出される時間以上としてください。

$$10 \times C(\text{端子容量}5\text{pF} + \text{寄生容量}?) \times R(\text{プルダウン抵抗}375\text{k}\Omega \text{ Max.})$$

● 出力ポート

- (1) R02、R03を特殊出力(TOUT、FOUT)として使用する場合、R02レジスタ、R03レジスタは"1"に、R02HIZレジスタ、R03HIZレジスタは"0"に固定してください。
R02、R03レジスタに"0"を書き込むと、出力端子がLOW(V_{ss})に固定されますので注意してください。
R02HIZ、R03HIZに"1"を書き込むと、出力端子が高インピーダンスになりますので注意してください。
- (2) TOUT信号、FOUT信号のON/OFF時は、出力波形にハザードが出る場合があります。

- (3) FOUT信号の周波数としてfosc3を選択した場合は、信号出力前にOSC3発振回路の制御が必要です。制御方法と注意事項については"4.3 発振回路"を参照してください。なお、fosc3はOSC3を使用するマスクオプションを選択した場合にのみ有効です。OSC1発振回路のみを使用するシステムでは、FOFQレジスタを"11"には設定しないでください。

● 入出力兼用ポート

入力モード時にポートの入力をHIGHレベルからプルダウン抵抗でLOWレベルに変化させる場合、プルダウン抵抗と入力ゲート容量の時定数によって波形立ち下がりに遅延が生じます。このため、入力データの取り込みを行う際は、適切な待ち時間を設定してください。

特に、キーマトリクス構成時のキースキャン等に注意が必要です。

この待ち時間は次の式で算出される時間以上としてください。

$$10 \times C(\text{端子容量} \text{pF} + \text{寄生容量} \text{pF}) \times R(\text{プルダウン抵抗} 375 \text{k}\Omega \text{ Max.})$$

● LCDドライバ

イニシャルリセット時、表示メモリの内容は不定となり、LC3～LC0(LCDコントラスト)も0000Bとなりますので、ソフトウェアにより初期化する必要があります。また、表示もすべてOFFとなるように各レジスタ(LPWR、ALOFF)が設定されますので注意してください。

● 計時タイマ

データの読み出しは必ず下位データ(TM0～TM3)から先に行ってください。

● ストップウォッチタイマ

(1) ストップウォッチタイマのリセット後、割り込み要因フラグをリセットしてください。

(2) データの読み出しは必ずSWD0～3 → SWD4～7 → SWD8～11の順に行ってください。

(3) LAP入力によってホールドされたデータを読み出した場合は、SWD8～11の読み出しの後にキャプチャ更新フラグCRNWFの読み出しを行ってデータが更新されていないか確認してください。

(4) 1Hzの割り込み処理よりもLAP入力などの処理を優先する場合には、処理前にラップデータ桁上げ要求フラグLCURFの読み出しを行って桁上げが必要か確認してください。

● プログラブルタイマ

(1) カウンタデータの読み出しは必ず下位4ビット(PTDx0～PTDx3)から先に行ってください。また、下位4ビットの読み出し時に上位4ビット(PTDx4～PTDx7)はラッチされません。したがって、下位4ビットと上位4ビットの読み出しの時間差は0.73msec(fosc1 = 32.768kHzの場合)以下としてください。なお、CPUをOSC1クロック、プログラブルタイマをOSC3クロックで動作させている場合は、タイマを停止させてからカウンタデータを読み出してください。OSC1クロックで動作しているCPUが下位4ビットと上位4ビットを2命令で読み出す間に、OSC3クロックによるカウントは表5.2.1に示す値だけ変化します。

表5.2.1 OSC1クロックによる下位-上位データ読み出し間のOSC3クロックによるカウント変化

カウントクロック	読み出し間のカウント変化
OSC3/1	0200H
OSC3/4	001AH
OSC3/32	0002H

16ビットタイマのカウンタデータは、必ず次の順序で読み出してください。

PTD00～PTD03 → PTD04～PTD07 → PTD10～PTD13 → PTD14～PTD17

(2) プログラブルタイマはレジスタPTRUNxへの書き込みに対して、入力クロックの立ち下がりがエッジに同期して実際にRUN/STOP状態となります。したがって、PTRUNxに"0"を書き込んだ場合は、"-1"余分にカウントしたところでタイマが停止状態となります。また、このときPTRUNxは実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。

図5.2.1にRUN/STOP制御のタイミングチャートを示します。

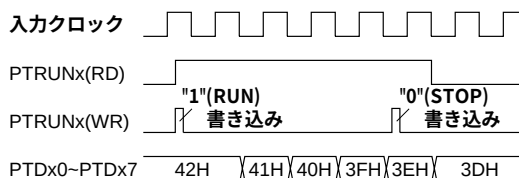


図5.2.1 RUN/STOP制御のタイミングチャート

なお、これについてはイベントカウンタも対象となるため、RUN/STOPレジスタ(PTRUN0)を設定後にクロック入力がない場合、カウンタ回路は実際にはRUN/STOP状態になりませんので注意してください。

- (3) TOUT信号は出力制御レジスタPTOUTとは非同期に発生していますので、PTOUTの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- (4) OSC3発振回路を原振とする場合は、プログラブルタイマを使用する以前にOSC3発振回路をONさせる必要があります。ただし、OSC3発振回路をONにしてから発振が安定するまでに5msec以上の時間を必要とします。したがって、プログラブルタイマのカウント開始はOSC3発振ON後、十分な待ち時間をおいてから行ってください。OSC3の制御方法と注意事項については"4.3 発振回路"を参照してください。イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。
- (5) プログラブルタイマ動作中にプログラブルタイマ割り込み発生間隔を変更する場合、以下の理由によりリロードデータを書き込むタイミングに注意が必要です。
プログラブルタイマは入力クロックの立ち下がりがエッジでダウンカウントを行い、そこでアンダーフローが発生した場合は同時に割り込みを発生します。その後、リロードデータをカウンタにセットする動作を開始し、入力クロックの次の立ち上がりエッジでカウンタデータが確定します(①の区間)。

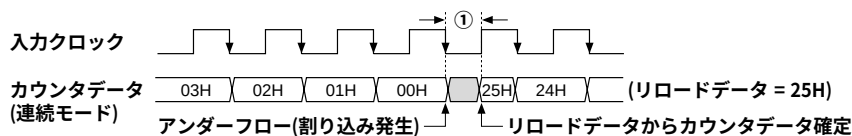


図5.2.2 プログラブルタイマリロードタイミング

リロードデータを正しくカウンタにセットするために、割り込み発生後は①の区間を含め、カウンタデータが確定するまではリロードデータの書き換えを行わないでください。入力クロックの源振にOSC1(低速クロック)を使用し、CPUがOSC3(高速クロック)で動作している場合は、特に注意が必要です。

● シリアルインタフェース

- (1) データレジスタSD0~SD7への書き込み、または読み出しはシリアルインタフェースが停止中(同期クロックが入力/出力されていない状態)のときのみ行ってください。
- (2) シリアルインタフェースの起動はトリガ条件として、SCTRGに"1"を書き込む以前に、データレジスタSD0~SD7の書き込み/読み出しが行われている必要があります。(データレジスタSD0~SD7への書き込み/読み出しにより、シリアルインタフェースの内部回路は初期化されます。)また、トリガをかける前に必ずESIFでシリアルインタフェースをイネーブルとしておいてください。
トリガはシリアルインタフェースをRUN状態にするとともに一度だけ与えてください。また、同期クロックSCLKが外部クロックの場合は、トリガ後に外部クロックの入力を開始してください。
- (3) SDPによる入出力順列(MSB先頭/LSB先頭)の設定は、SD0~SD7にデータを設定する前に行ってください。
- (4) プログラブルタイマの出力クロックを同期クロックとして使用する場合、またはスレープモードで使用する場合、同期クロックの周波数は最大1MHzに制限されますので注意してください。

● サウンドジェネレータ

- (1) ブザー信号はBZEレジスタとは非同期に発生していますので、BZEレジスタの設定による信号のON/OFF時にハザードを生じる場合があります。
- (2) 1ショット出力は通常のブザー出力がOFF(BZE = "0")の状態でのみ有効で、ON(BZE = "1")状態でのトリガは無効となります。

● 整数乗除算器

演算モード選択レジスタCALMDへの書き込みから、演算結果がデスティネーションレジスタDRH/DRL、および演算フラグビットNF/VF/ZFに書き戻されるまで、10 CPUクロック(5バスサイクル)の時間が必要です。この時間経過以前のDRH/DRLへの読み書き、およびNF/VF/ZFの読み出しは行わないでください。

● R/Fコンバータ

- (1) 計測カウンタ(MC)の初期値によっては、CR発振クロックのカウント中に計測カウンタあるいはタイムベースカウンタにオーバーフローが発生する場合があります。初期値はCR発振周波数とその変動範囲、およびタイムベースカウンタの入力クロック周波数に注意して設定してください。オーバーフローが発生した場合はその時点でR/F変換を終了しますので、R/F変換結果(計測カウンタ値)を読み出した際は、オーバーフローフラグ(OVMC、OVTBC)の確認も行ってください。CR発振周波数の上限値は500kHzです。特に下限周波数についての制限はありませんが、タイムベースカウンタのオーバーフローには注意してください。
- (2) カウンタのオーバーフローにより割り込みが発生した場合、オーバーフローフラグ(OVMC、OVTBC)に"1"を書き込んで"0"にリセットしてください。これらのフラグがリセットされない場合、再度同じ割り込みが発生してしまいます。
- (3) OSC3クロックをタイムベースカウンタのクロックとして選択する場合、OSC3発振周波数は最大2MHzに制限されますので注意が必要です。
- (4) 計測カウンタにデータを書き込む場合は、必ず下位のアドレスから(FF92H→FF93H→FF94H→FF95H→FF96H)、5ワードすべてを書き込んでください。また、計測カウンタへの書き込みにはLD命令を使用してください。リードモディファイライト命令(AND、OR、ADD、SUB等)は使用しないでください。

● ステッピングモータドライバ

PFTYPによるパルス幅生成用原振クロックの選択、およびPFWA0～PFWA4、PFWB0～PFWB4によるパルス幅の設定は、必ずモータドライバが停止中に行ってください。

● SVD回路

- (1) SVD回路はONさせてから安定した結果が得られるまでに500μsecの時間を必要とします。このため、SVDONに"1"を書き込み後、500μsec以上経過後にSVDONに"0"を書き込んでSVDDTを読み出してください。
- (2) SVD検出動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD検出をOFFに設定してください。

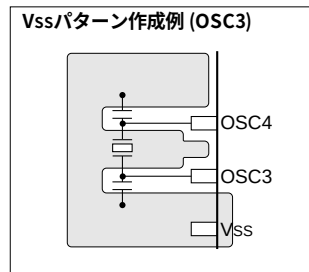
● 割り込み

- (1) 各割り込み要因フラグは、各割り込みマスクレジスタを"0"に設定していても、割り込み条件成立によりセットされます。
- (2) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ = "1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- (3) イニシャルリセット時、NMIを含むすべての割り込みはスタックポインタSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み(NMIを含む)は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

5.3 実装上の注意事項

〈発振回路〉

- 発振特性は諸条件(使用部品、基板パターン等)により変化します。
特にセラミック発振子または水晶振動子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。
- ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため次の点に配慮してください。
 - (1) OSC1、OSC3、OSC2、OSC4端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
 - (2) OSC1、OSC3、OSC2、OSC4端子およびこれらの端子に接続された部品の周辺部は右図のようにVssパターンをできるだけ広く作成してください。
また、このVssパターンは発振用途以外に使用しないでください。
- OSC1(OSC3)–VDD間のリーク電流による発振回路の不安定動作を防止するため、基板パターンにおいて、OSC1(OSC3)はVDD電源や信号線とは十分な距離を確保してください。

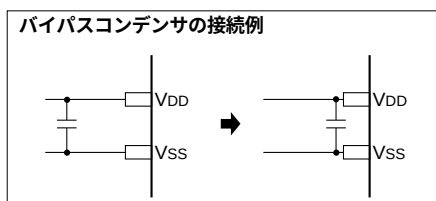


〈リセット回路〉

- パワーオン時、RESET端子に入力されるリセット信号は諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。
また、RESET端子のプルダウン抵抗を使用する場合には、抵抗値のばらつきを十分考慮した定数設定が必要です。
- ノイズによる動作中のリセットを防ぐため、RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

〈電源回路〉

- ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。
 - (1) 電源からVDD、VSS端子およびVDDA、VSSA端子へはできるだけ短くかつ太いパターンで接続してください。特にVDDA、VSSAの各電源は、R/Fコンバータに用いるため変換精度に影響を与えます。
 - (2) VDD–VSSのバイパスコンデンサを接続する場合、VDD端子とVSS端子をできるだけ最短で接続してください。



- (3) VD1、VOSC、VC1、VC2、VC3端子に接続するコンデンサ、抵抗等の部品はできるだけ最短で接続してください。特にVC1、VC2、VC3の各電圧はLCD駆動として用いるため表示品質に影響を与えます。
- LCDドライバを使用しない場合は、VC1、VC2、VC3端子を開放としてください。

〈R/Fコンバータ〉

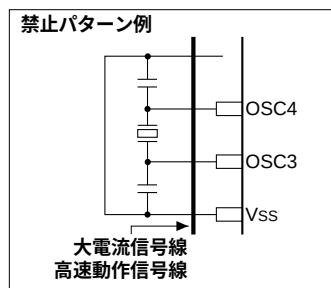
- R/Fコンバータを使用しない場合でも、V_{DDA}、V_{SSA}端子は次のように接続してください。

V_{DDA} → V_{DD}

V_{SSA} → V_{SS}

〈信号線の配置〉

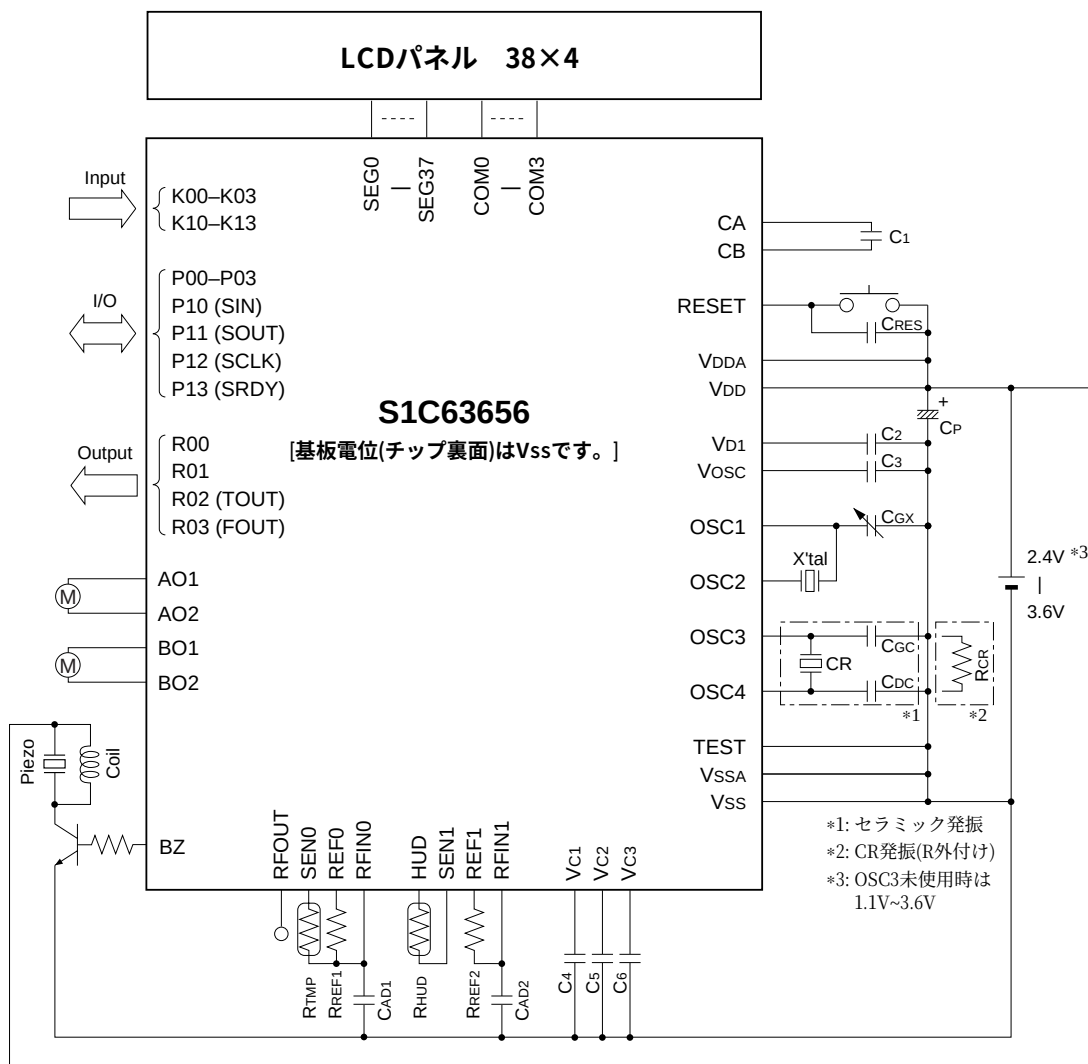
- 相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部、アナログ入力部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。
- 高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。
特に、発振部、アナログ入力部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



〈光に対する取り扱い(ベアチップ実装の場合)〉

- 半導体素子は、光が照射されると特性が変化します。このため、本ICに光が当たると誤動作をおこすことがあります。光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。
- (1) 実使用時にICの遮光性が考慮された構造となるよう、設計および実装を行ってください。
 - (2) 検査工程では、ICの遮光性が考慮された環境設計を行ってください。
 - (3) ICの遮光は、ICチップの表面、裏面および側面について考慮してください。

6 基本外部結線図



X'tal	水晶振動子	32.768kHz, Ci(Max.) = 34kΩ
CGX	トリマコンデンサ	5~25pF
CR	セラミック振動子	4MHz (3.0V)
CGC	ゲート容量	30pF
CDC	ドレイン容量	30pF
RCR	OSC3 CR発振用抵抗	30kΩ (2MHz)
C1~C6	コンデンサ	0.2μF
CP	コンデンサ	3.3μF
CRES	RESET端子コンデンサ	0.1μF

注: ここに記載されている値は一例であり、特に動作を保証するものではありません。

7 電気的特性

7.1 絶対最大定格

(V_{SS}=0V)

項 目	記号	定 格 値	単位
電源電圧	V _{DD}	-0.5 ~ 4.5	V
入力電圧(1)	V _I	-0.5 ~ V _{DD} + 0.3	V
入力電圧(2)	V _{IOSC}	-0.5 ~ V _{D1} + 0.3	V
許容総出力電流 *1	ΣI _{VDD}	10	mA
動作温度	T _{opr}	-20 ~ 70	°C
保存温度	T _{stg}	-65 ~ 150	°C
半田付け温度・時間	T _{sol}	260°C, 10sec (リード部)	—
許容損失 *2	P _D	250	mW

*1 許容総出力電流とは出力端子から同時に流し出せる(または引き込める)電流(平均電流)の総和です。

*2 プラスチックパッケージ(QFP20-144pin)の場合

7.2 推奨動作条件

(Ta=-20 ~ 70°C)

項 目	記号	条 件	Min.	Typ.	Max.	単位
電源電圧	V _{DD}	V _{SS} =0V	1.1	3.0	3.6	V
		OSC3未使用	2.4	3.0	3.6	V
		OSC3使用時 4MHz(Max.)				
発振周波数	f _{OSC1}	水晶発振	—	32.768	—	kHz
	f _{OSC3}	CR発振(R内蔵), V _{DD} =2.4V ~ 3.6V	770	1,100	1,430	kHz
		CR発振(R外付け), V _{DD} =2.4V ~ 3.6V	200		2,000	kHz
		セラミック発振, V _{DD} =2.4V ~ 3.6V			2,000	kHz
		R/FコンバータでOSC3クロックを使用する場合				
		セラミック発振, V _{DD} =2.4V ~ 3.6V			4,000	kHz
		R/FコンバータでOSC3クロックを使用しない場合				

7.3 DC特性

特記なき場合

V_{DD}=3.0V, V_{SS}=0V, f_{OSC1}=32.768kHz, Ta=25°C, V_{D1}/V_{C1}~V_{C3}は内部電圧, C₁~C₆=0.2μF

項 目	記号	条 件	Min.	Typ.	Max.	単位
高レベル入力電圧(1)	V _{IH1}	K00~03, K10~13, P00~03, P10~13	0.8・V _{DD}		V _{DD}	V
高レベル入力電圧(2)	V _{IH2}	RESET, TEST	0.9・V _{DD}		V _{DD}	V
低レベル入力電圧(1)	V _{IL1}	K00~03, K10~13, P00~03, P10~13	0		0.2・V _{DD}	V
低レベル入力電圧(2)	V _{IL2}	RESET, TEST	0		0.1・V _{DD}	V
高レベル入力電流(1)	I _{IH1}	V _{IH1} =3.0V Pull downなし K00~03, K10~13, P00~03, P10~13, RESET, TEST	0		0.5	μA
高レベル入力電流(2)	I _{IH2}	V _{IH2} =3.0V Pull downあり K00~03, K10~13, P00~03, P10~13, RESET, TEST	8	12	20	μA
低レベル入力電流(1)	I _{IL1}	V _{IL1} =V _{SS} Pull downなし K00~03, K10~13, P00~03, P10~13, RESET, TEST	-0.5		0	μA
低レベル入力電流(2)	I _{IL2}	V _{IL2} =V _{SS} Pull downあり K00~03, K10~13, P00~03, P10~13, RESET, TEST	-0.5		0	μA
高レベル出力電流(1)	I _{OH1}	V _{OH1} =0.9・V _{DD} R00~03, P00~03, P10~13			-0.5	mA
高レベル出力電流(2)	I _{OH2}	V _{OH2} =0.9・V _{DD} BZ			-0.5	mA
高レベル出力電流(3)	I _{OH3}	V _{OH3} =0.9・V _{DD} AO1, AO2, BO1, BO2			-25	mA
低レベル出力電流(1)	I _{OL1}	V _{OL1} =0.1・V _{DD} R00~03, P00~03, P10~13	0.5			mA
低レベル出力電流(2)	I _{OL2}	V _{OL2} =0.1・V _{DD} BZ	0.5			mA
低レベル出力電流(3)	I _{OL3}	V _{OL3} =0.1・V _{DD} AO1, AO2, BO1, BO2	25			mA
コモン出力電流	I _{OH4}	V _{OH4} =V _{C3} -0.05V COM0~3			-10	μA
	I _{OL4}	V _{OL4} =V _{SS} +0.05V	10			μA
セグメント出力電流 (LCD出力時)	I _{OH5}	V _{OH5} =V _{C3} -0.05V SEG0~37			-10	μA
	I _{OL5}	V _{OL5} =V _{SS} +0.05V	10			μA
セグメント出力電流 (DC出力時)	I _{OH6}	V _{OH6} =0.9・V _{DD} SEG0~37			-300	μA
	I _{OL6}	V _{OL6} =0.1・V _{DD}	300			μA
R/Fコンバータ	R _{RFINT}	V _{DS} =0.1V, V _{DD} =1.8V		20	40	Ω
トランジスタON抵抗	R _{REF}	V _{DS} =0.1V, V _{DD} =1.8V		50	100	Ω
	R _{SEN0}	V _{DS} =0.1V, V _{DD} =1.8V		50	100	Ω
	R _{SEN1}					

7.4 アナログ回路特性・消費電流

特記なき場合

V_{DD}=3.0V, V_{SS}=0V, f_{OSC1}=32.768kHz, C_G=25pF, T_a=25°C, V_{D1}/V_{C1}~V_{C3}は内部電圧, C₁~C₆=0.2μF

項 目	記号	条 件	Min.	Typ.	Max.	単位
LCD駆動電圧	VC1	V _{SS} -V _{C1} 間に1MΩの負荷抵抗を接続 (パネル負荷なし)	Typ. -100mV	1.03	Typ. +100mV	V
				1.06		
				1.09		
				1.12		
				1.15		
				1.18		
				1.20		
				1.23		
				1.26		
				1.28		
				1.30		
				1.32		
				1.34		
				1.36		
				1.38		
				1.40		
	VC2	V _{SS} -V _{C2} 間に1MΩの負荷抵抗を接続 (パネル負荷なし)	2・V _{C1} ×0.9		2・V _{C1}	V
	VC3	V _{SS} -V _{C3} 間に1MΩの負荷抵抗を接続 (パネル負荷なし)	3・V _{C1} ×0.9		3・V _{C1}	V
SVD電圧 (OSC3未使用)*2	VSVD1	SVDS0~2="0" (SVD不使用)	Typ. -100mV	—	Typ. +100mV	V
		SVDS0~2="1"		1.13		
		SVDS0~2="2"		1.22		
		SVDS0~2="3"		1.30		
		SVDS0~2="4"		1.39		
		SVDS0~2="5"		1.47		
		SVDS0~2="6"		1.56		
		SVDS0~2="7"		1.64		
SVD電圧 (OSC3使用)*3	VSVD2	SVDS0~2="0"	Typ. -100mV	1.85	Typ. +100mV	V
		SVDS0~2="1"		2.00		
		SVDS0~2="2"		2.15		
		SVDS0~2="3"		2.30		
		SVDS0~2="4"		2.45		
		SVDS0~2="5"		2.60		
		SVDS0~2="6"		2.75		
		SVDS0~2="7"		2.90		
SVD回路応答時間	t _{SVD}				500	μs
HALT時消費電流 (OSC3未使用)*2	I _{HALT1}	32kHz水晶発振, 液晶電源OFF *1		0.50	1.50	μA
		32kHz水晶発振, 液晶電源ON(低パワー) *1, *4		0.60	1.80	μA
		32kHz水晶発振, 液晶電源ON(通常) *1		1.20	2.10	μA
HALT時消費電流 (OSC3使用)*3	I _{HALT2}	32kHz水晶発振, 液晶電源OFF *1		0.90	1.80	μA
		32kHz水晶発振, 液晶電源ON(通常) *1		1.20	2.10	μA
		32kHz水晶発振, 液晶電源ON(通常) *1		1.40	2.80	μA
実行時消費電流 (OSC3未使用)*2	I _{EXE1}	32kHz水晶発振, 液晶電源ON(低パワー) *1, *4		2.5	4.5	μA
		32kHz水晶発振, 液晶電源ON(通常) *1		4.0	6.0	μA
実行時消費電流 (OSC3使用)*3	I _{EXE2}	2MHzセラミック発振, 液晶電源ON(通常) *1		400	800	μA
		4MHzセラミック発振, 液晶電源ON(通常) *1		800	1000	μA
		1.1MHz CR発振, 液晶電源ON(通常) *1		350	600	μA
SVD回路電流	I _{SVD}	電源電圧検出時, V _{DD} =1.1~3.6V		5	10	μA
R/Fコンバータ回路電流	I _{RF}	発振周波数=10kHz, V _{DD} =2.4~3.6V		100	150	μA

*1 パネル負荷なし, SVD回路, R/Fコンバータ, モータドライバはOFF状態

*2 マスクオプションでOSC3未使用を選択

*3 マスクオプションでOSC3使用を選択

*4 LCDコントラスト調整なし

7.5 発振特性

発振特性は諸条件(使用部品、基板パターン等)により変化します。以下の特性は参考値としてご使用ください。

OSC1 水晶発振回路

特記なき場合

V_{DD}=3.0V, V_{SS}=0V, f_{OSC1}=32.768kHz, C_G=25pF, C_D=内蔵, T_a=-20 ~ 70°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振開始電圧	V _{sta}	t _{sta} ≤ 3sec (V _{DD})	1.1			V
発振停止電圧	V _{stp}	t _{stp} ≤ 10sec (V _{DD})	1.1			V
内蔵容量(ドレイン)	C _D	IC内部の寄生容量を含む(チップ状態)		14		pF
周波数電圧偏差	∂f/∂V	V _{DD} =1.1 ~ 3.6V			5	ppm
周波数IC偏差	∂f/∂IC		-10		10	ppm
周波数調整範囲	∂f/∂C _G	C _G =5 ~ 25pF	10	20		ppm
高調波発振開始電圧	V _{hho}	C _G =5pF (V _{DD})	3.6			V
許容リーク抵抗	R _{leak}	OSC1とV _{SS} の間	200			MΩ

OSC3 セラミック発振回路

特記なき場合

V_{DD}=3.0V, V_{SS}=0V, セラミック振動子: 4MHz, C_{GC}=C_{DC}=30pF, T_a=-20 ~ 70°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振開始電圧	V _{sta}	(V _{DD})	2.4			V
発振開始時間	t _{sta}	V _{DD} =2.4 ~ 3.6V			5	ms
発振停止電圧	V _{stp}	(V _{DD})	2.4			V

OSC3 CR発振回路(R内蔵)

特記なき場合

V_{DD}=3.0V, V_{SS}=0V, R_{CR}=内蔵, T_a=-20 ~ 70°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振周波数バラツキ	f _{OSC3}		-30	1,100kHz	30	%
発振開始電圧	V _{sta}	(V _{DD})	2.4			V
発振開始時間	t _{sta}	V _{DD} =2.4 ~ 3.6V			3	ms
発振停止電圧	V _{stp}	(V _{DD})	2.4			V

OSC3 CR発振回路(R外付け)

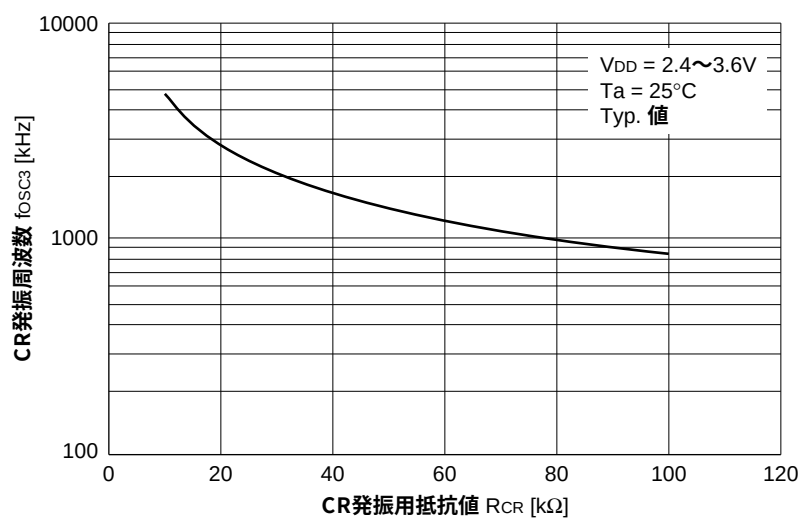
特記なき場合

V_{DD}=3.0V, V_{SS}=0V, R_{CR}=30kΩ (2MHz), T_a=-20 ~ 70°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振周波数バラツキ	f _{OSC3}		-30		30	%
発振開始電圧	V _{sta}	(V _{DD})	2.4			V
発振開始時間	t _{sta}	V _{DD} =2.4 ~ 3.6V			3	ms
発振停止電圧	V _{stp}	(V _{DD})	2.4			V

OSC3 CR発振抵抗特性(R外付け)

発振特性は諸条件(使用部品、基板パターン等)により変化します。以下の特性は参考値とし、実際の製品で評価されることを推奨します。



7.6 シリアルインタフェースAC特性

1 マスタモード (32kHz動作時)

条件: $V_{DD}=3.0V$, $V_{SS}=0V$, $T_a=-20 \sim 70^{\circ}C$, $V_{IH1}=0.8V_{DD}$, $V_{IL1}=0.2V_{DD}$, $V_{OH}=0.8V_{DD}$, $V_{OL}=0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	tsmd			5	μs
受信データ入力セットアップ時間	tsms	10			μs
受信データ入力ホールド時間	tsmh	5			μs

2 マスタモード (4MHz動作時)

条件: $V_{DD}=3.0V$, $V_{SS}=0V$, $T_a=-20 \sim 70^{\circ}C$, $V_{IH1}=0.8V_{DD}$, $V_{IL1}=0.2V_{DD}$, $V_{OH}=0.8V_{DD}$, $V_{OL}=0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	tsmd			200	ns
受信データ入力セットアップ時間	tsms	400			ns
受信データ入力ホールド時間	tsmh	200			ns

クロック周波数は最大1MHzに制限されます。

3 スレーブモード (32kHz動作時)

条件: $V_{DD}=3.0V$, $V_{SS}=0V$, $T_a=-20 \sim 70^{\circ}C$, $V_{IH1}=0.8V_{DD}$, $V_{IL1}=0.2V_{DD}$, $V_{OH}=0.8V_{DD}$, $V_{OL}=0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	tssd			10	μs
受信データ入力セットアップ時間	tsss	10			μs
受信データ入力ホールド時間	tssh	5			μs

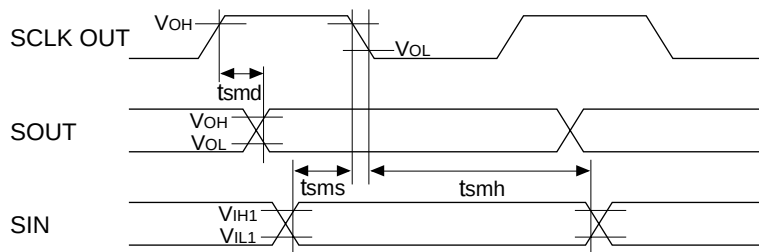
4 スレーブモード (4MHz動作時)

条件: $V_{DD}=3.0V$, $V_{SS}=0V$, $T_a=-20 \sim 70^{\circ}C$, $V_{IH1}=0.8V_{DD}$, $V_{IL1}=0.2V_{DD}$, $V_{OH}=0.8V_{DD}$, $V_{OL}=0.2V_{DD}$

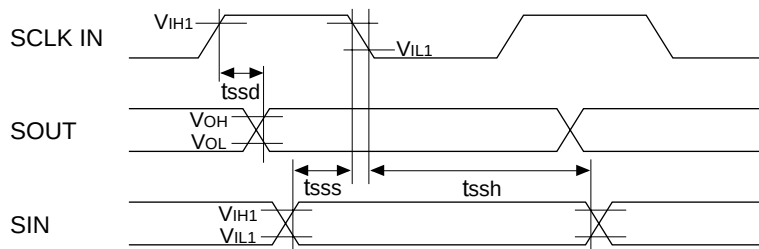
項 目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	tssd			500	ns
受信データ入力セットアップ時間	tsss	400			ns
受信データ入力ホールド時間	tssh	200			ns

クロック周波数は最大1MHzに制限されます。

<マスタモード>

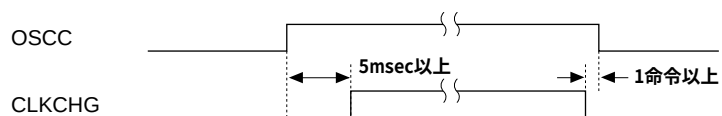


<スレーブモード>



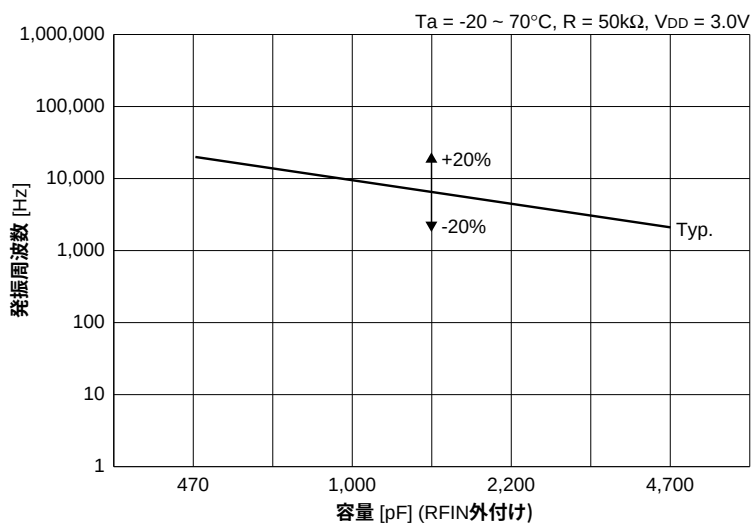
7.7 タイミングチャート

システムクロック切り換えタイミングチャート

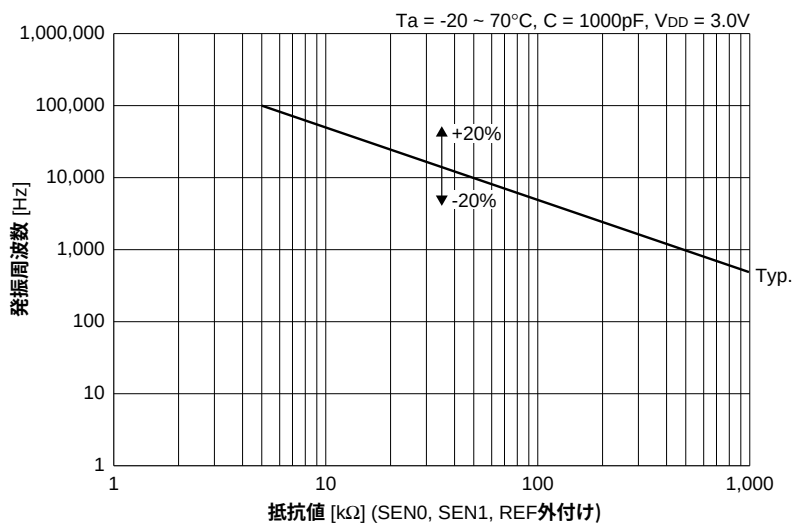


7.8 R/Fコンバータ特性

R/Fコンバータ発振周波数-容量特性(参考値)



R/Fコンバータ発振周波数-抵抗特性(参考値)

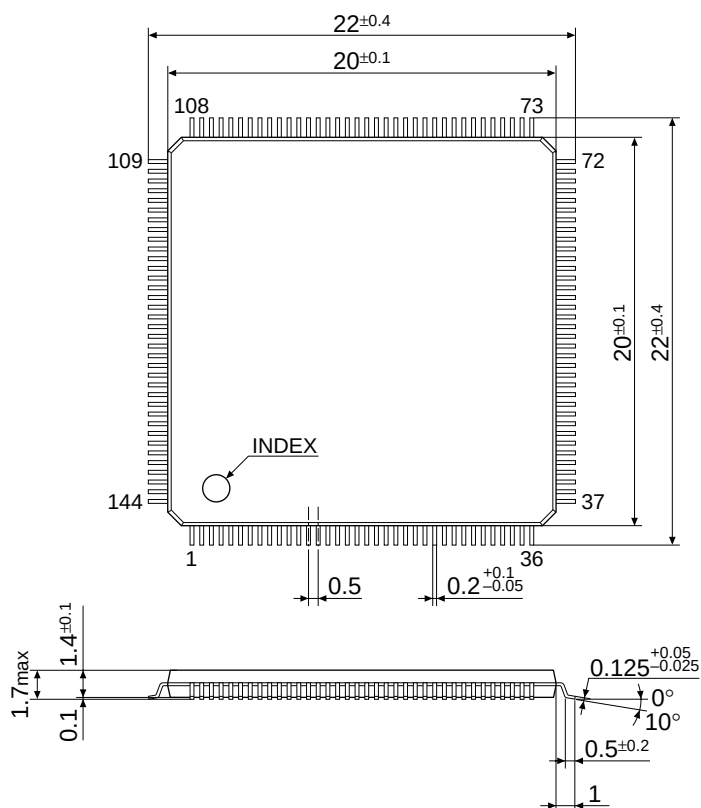


8 パッケージ

8.1 プラスチックパッケージ

QFP20-144pin

(単位: mm)

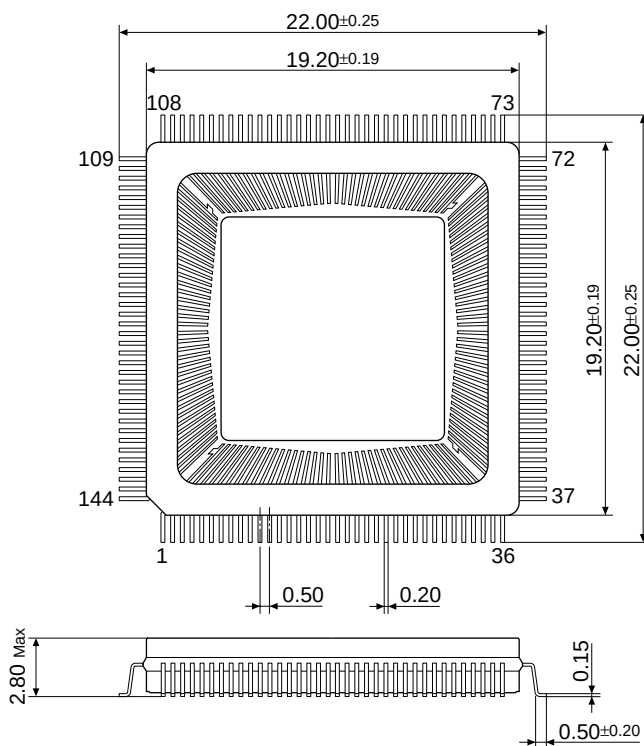


寸法については予告なく変更する場合があります。

8.2 テストサンプル用セラミックパッケージ

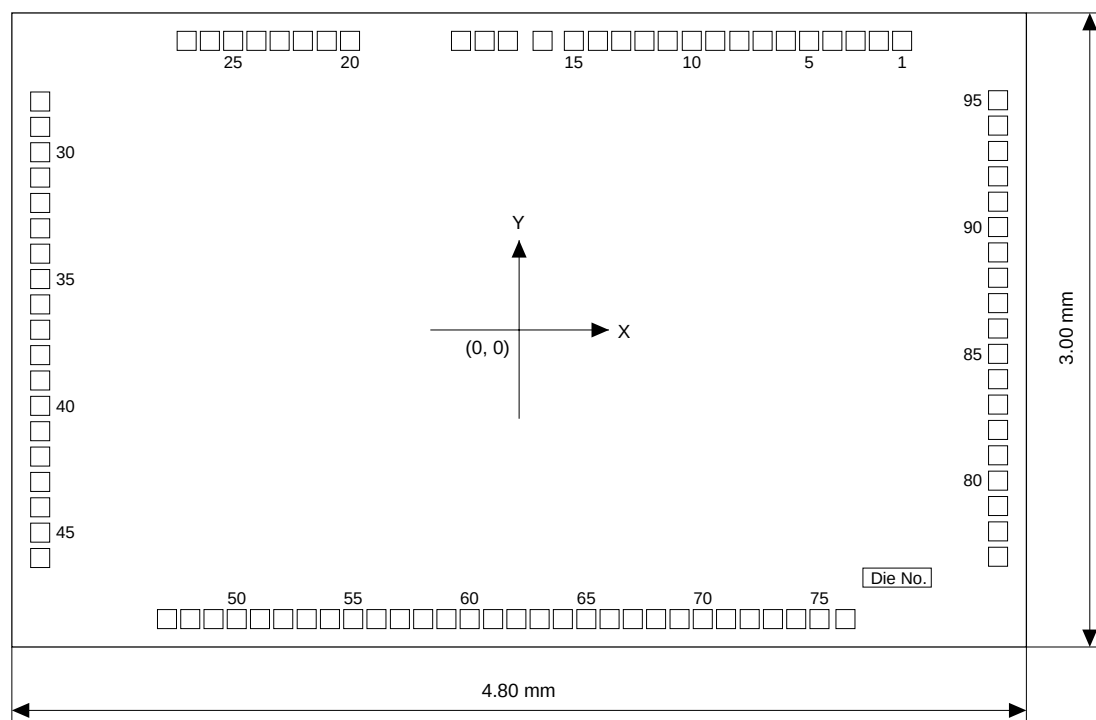
QFP17-144pin

(単位: mm)



9 パッド配置

9.1 パッド配置図



チップ厚: 400μm
 パッド開口部: 90μm

9.2 パッド座標

単位: mm

No.	パッド名	X	Y	No.	パッド名	X	Y	No.	パッド名	X	Y
1	COM0	1.812	1.368	33	SEG24	-2.266	0.481	65	P13	0.318	-1.368
2	COM1	1.702	1.368	34	SEG25	-2.266	0.361	66	R00	0.428	-1.368
3	CA	1.592	1.368	35	SEG26	-2.266	0.241	67	R01	0.538	-1.368
4	CB	1.482	1.368	36	SEG27	-2.266	0.121	68	R02	0.648	-1.368
5	VC1	1.372	1.368	37	SEG28	-2.266	0.001	69	R03	0.759	-1.368
6	VC2	1.262	1.368	38	SEG29	-2.266	-0.119	70	BZ	0.869	-1.368
7	VC3	1.152	1.368	39	SEG30	-2.266	-0.239	71	Vss	0.979	-1.368
8	VSSA	1.042	1.368	40	SEG31	-2.266	-0.359	72	AO1	1.091	-1.368
9	RFOUT	0.928	1.368	41	SEG32	-2.266	-0.479	73	AO2	1.201	-1.368
10	RFIN0	0.817	1.368	42	SEG33	-2.266	-0.599	74	BO1	1.311	-1.368
11	RFIN1	0.703	1.368	43	SEG34	-2.266	-0.719	75	BO2	1.421	-1.368
12	REF0	0.593	1.368	44	SEG35	-2.266	-0.839	76	VDD	1.544	-1.368
13	SEN0	0.483	1.368	45	SEG36	-2.266	-0.959	77	SEG0	2.266	-1.073
14	REF1	0.373	1.368	46	SEG37	-2.266	-1.079	78	SEG1	2.266	-0.953
15	SEN1	0.259	1.368	47	COM2	-1.666	-1.368	79	SEG2	2.266	-0.833
16	HUD	0.111	1.368	48	COM3	-1.556	-1.368	80	SEG3	2.266	-0.713
17	VDDA	-0.053	1.368	49	VDD	-1.446	-1.368	81	SEG4	2.266	-0.593
18	VDDA	-0.163	1.368	50	K00	-1.336	-1.368	82	SEG5	2.266	-0.473
19	VOSC	-0.275	1.368	51	K01	-1.226	-1.368	83	SEG6	2.266	-0.353
20	OSC1	-0.800	1.368	52	K02	-1.116	-1.368	84	SEG7	2.266	-0.233
21	OSC2	-0.910	1.368	53	K03	-1.005	-1.368	85	SEG8	2.266	-0.113
22	VD1	-1.023	1.368	54	K10	-0.895	-1.368	86	SEG9	2.266	0.007
23	OSC3	-1.133	1.368	55	K11	-0.785	-1.368	87	SEG10	2.266	0.127
24	OSC4	-1.243	1.368	56	K12	-0.675	-1.368	88	SEG11	2.266	0.247
25	Vss	-1.353	1.368	57	K13	-0.564	-1.368	89	SEG12	2.266	0.367
26	TEST	-1.463	1.368	58	P00	-0.454	-1.368	90	SEG13	2.266	0.487
27	RESET	-1.573	1.368	59	P01	-0.344	-1.368	91	SEG14	2.266	0.607
28	SEG19	-2.266	1.081	60	P02	-0.234	-1.368	92	SEG15	2.266	0.727
29	SEG20	-2.266	0.961	61	P03	-0.123	-1.368	93	SEG16	2.266	0.847
30	SEG21	-2.266	0.841	62	P10	-0.013	-1.368	94	SEG17	2.266	0.967
31	SEG22	-2.266	0.721	63	P11	0.097	-1.368	95	SEG18	2.266	1.087
32	SEG23	-2.266	0.601	64	P12	0.207	-1.368	-	-	-	-

APPENDIX Peripheral Circuit Board for S1C63656

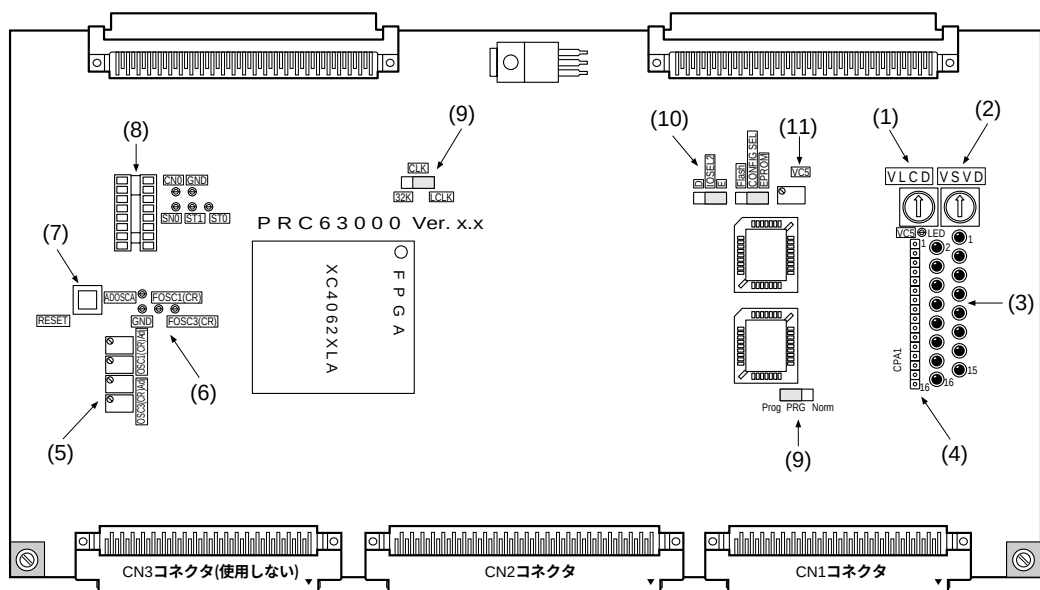
ここでは、4-bit Single Chip Microcomputer S1C63 FamilyのデバッキングツールであるICE (S5U1C63000H1/ S5U1C63000H2)に装着してエミュレーション機能を提供するPeripheral Circuit Board for S1C63656(S5U1C63000P1、S5U1C63658P2)の使用方を説明します。

なお、本文はS1C63 Family Peripheral Circuit Board (S5U1C63000P1)にS1C63656用回路データがダウンロードされているものについて適用されます。各機種用回路データのダウンロード方法については、A.3項を参照してください。また、ICEの機能、操作などの詳細については、S5U1C63000Hマニュアルを参照してください。

A.1 各部の名称と機能

A.1.1 S5U1C63000P1

S5U1C63000P1は、S1C63 FamilyマイクロコンピュータのコアCPU以外の周辺回路を提供する基板です。以下、各部の名称と機能について説明します。



(1)VLCD

マスクオプションにてLCD外部電源入力を選択した場合、このボリュームを廻すことにより、LCDの駆動電源電圧を調整することができます。

(2)VSVD

電源電圧検出機能(SVD)の動作を確認するため、擬似的に電源電圧を変化させるボリュームです。

(3)レジスタモニタLED

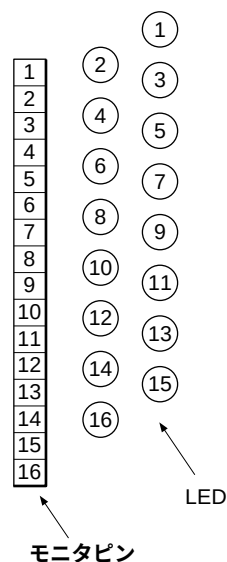
以下の各レジスタおよびモータドライバ出力に対応しており、"1"のとき点灯、"0"のとき消灯します。
OSCC, CLKCHG, LPWR, SVDS0~SVDS2, SVDON, AO1, AO2, BO1, BO2

(4) レジスタモニタピン

以下の各レジスタおよびモータドライバ出力に対応しており、"1"のときHIGHレベル、"0"のときLOWレベル出力となります。

モニタピン		LED	
Pin No.	名称	LED No.	名称
1	DONE *	1	DONE *
2	—	2	—
3	—	3	—
4	—	4	—
5	—	5	—
6	OSCC	6	OSCC
7	CLKCHG	7	CLKCHG
8	LPWR	8	LPWR
9	SVDS0	9	SVDS0
10	SVDS1	10	SVDS1
11	SVDS2	11	SVDS2
12	SVDON	12	SVDON
13	AO1	13	AO1
14	AO2	14	AO2
15	BO1	15	BO1
16	BO2	16	BO2

* DONE: 本ボードの初期化が正常に完了した場合にHIGHレベル出力、点灯



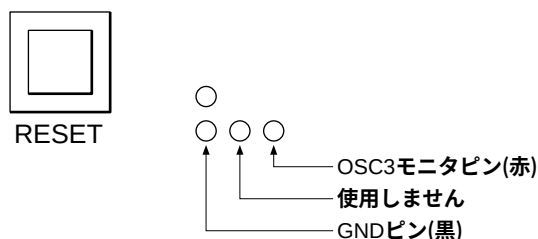
(5) CR発振周波数調整ボリューム

このボリュームによりOSC3発振周波数を調整することができます。マスクオプションによってOSC3をCR発振回路またはセラミック発振回路のどちらに設定した場合でも有効です。調整可能範囲は約100kHz～8MHzになります。なお、実ICの動作周波数範囲はこの調整可能範囲とは異なりますので、"7 電気的特性"を参照の上、適切な動作周波数を選択してください。



(6) CR発振周波数モニタピン

CR発振回路からのクロック波形をオシロスコープなどでモニタすることができます。なお、このピンからは、発振回路の動作制御にかかわらず、常にクロックが出力されています。



(7) RESETスイッチ

本ボードの回路を初期化し、ICEにリセット信号を与えます。

(8) 外付け部品接続ソケット

使用しません。

(9) CLK、PRGスイッチ

回路データのダウンロード中、処理が完了しないままICEの電源が遮断されてしまった場合、再度ICEの電源を投入しても本ボード側の回路構成が不完全なままとなり、デバッグが起動しなくなることがあります。このような場合はICEの電源をいったん落とし、CLKを32K側に、PRGスイッチをProg側にそれぞれ設定してから再度ICEの電源を投入します。これによりデバッグは起動可能になりますので、この状態で回路データをダウンロードしてください。回路データのダウンロード完了後はいったんICEの電源を落とし、CLKをLCLK側に、PRGをNorm側にそれぞれ戻して、再度ICEの電源を投入してください。

(10) IOSEL2

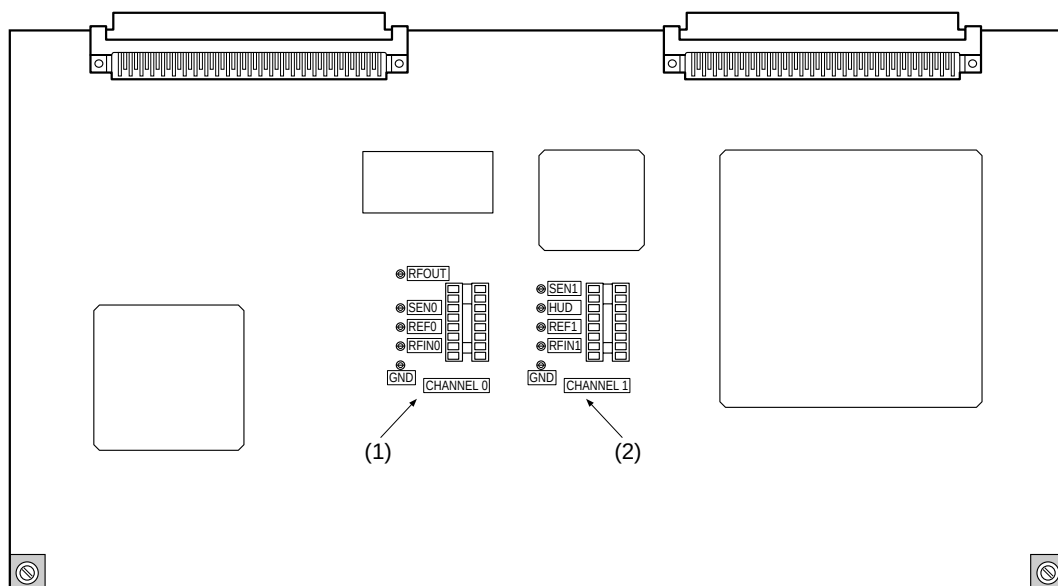
回路データをダウンロードする場合は、"E"側に設定してください。それ以外の場合は、"D"側に設定してください。

(11) VC5

マスクオプションでLCD駆動電源を内部電源にした場合、このボリュームを廻すことによりLCDの駆動電源電圧を微調整することができます。ただし、実ICの駆動電源電圧はLCDコントラスト調整レジスタによって決まりますので、注意してください。

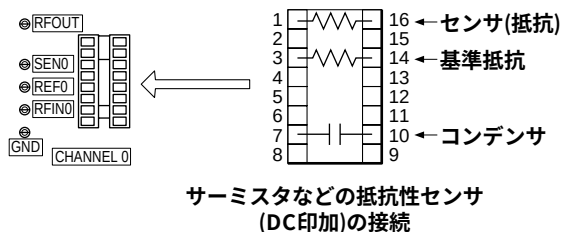
A.1.2 S5U1C63658P2

S5U1C63658P2は、サーミスタなどの抵抗性センサ、抵抗性湿度センサに対応したR/Fコンバータの機能を提供する基板です。以下、各部の名称と機能について説明します。



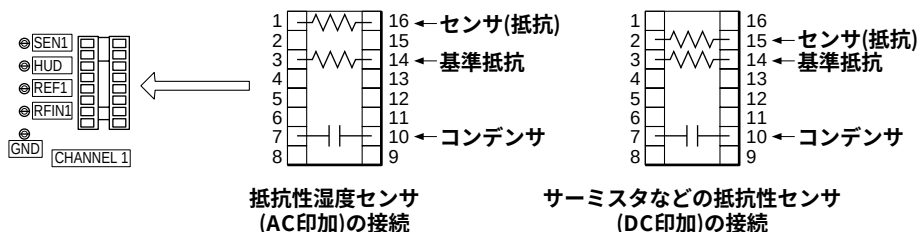
(1) R/Fコンバータモニタピン、外付け部品接続ソケット (チャンネル0)

R/Fコンバータチャンネル0の動作をモニタするためのピンと、外付け抵抗、コンデンサを接続するためのソケットです。S5U1C63658P2に添付されているプラットフォームに抵抗とコンデンサを実装し、基板ソケットに装着します。



(2) R/Fコンバータモニタピン、外付け部品接続ソケット (チャンネル1)

R/Fコンバータチャンネル1の動作をモニタするためのピンと、外付け抵抗、コンデンサを接続するためのソケットです。S5U1C63658P2に添付されているプラットフォームに抵抗とコンデンサを実装し、基板ソケットに装着します。



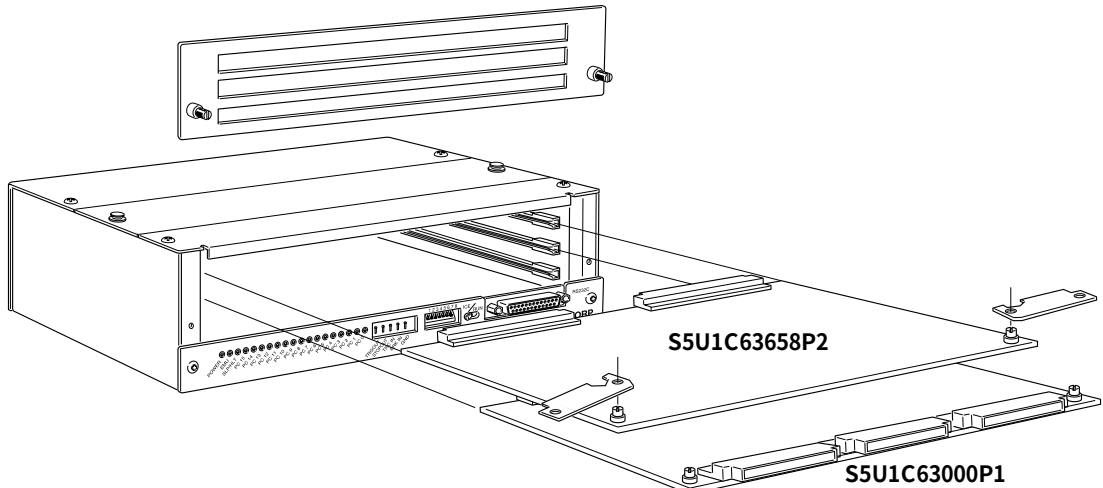
使用するセンサにより、上記のように接続位置が変わります。
AC印加とDC印加の抵抗性センサを同時に接続すると誤動作の原因になります。

A.2 ターゲットシステムとの接続

ここではターゲットシステムとの接続方法を説明します。

S5U1C63000P1ボードをICEの上から2段目のスロットに、S5U1C63658P2ボードを最上部のスロットに挿入します。

S5U1C63000P1に回路データがダウンロードされていない場合は、S5U1C63658P2を挿入する前に、A.3項のダウンロードを行ってください。

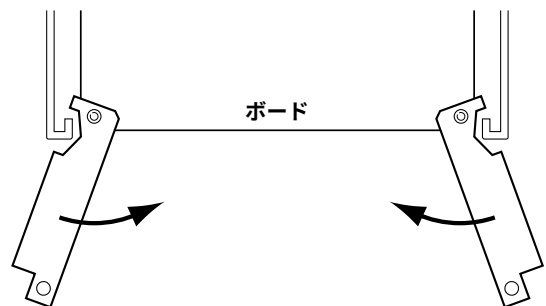


図A.2.1 ICEへのボードの装着

S5U1C63000P1/63658P2の装着

右図のようにICEに付属している治具をセットします。この治具をテコにして、内側に向かって左右均等に倒します。ボードがICEのスロット内に確実に納まったことを確認して、治具を外します。

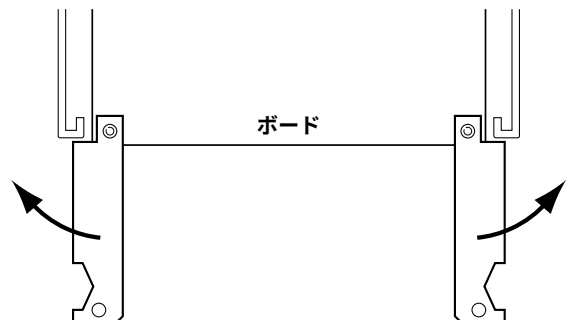
図A.2.2 ボードの装着



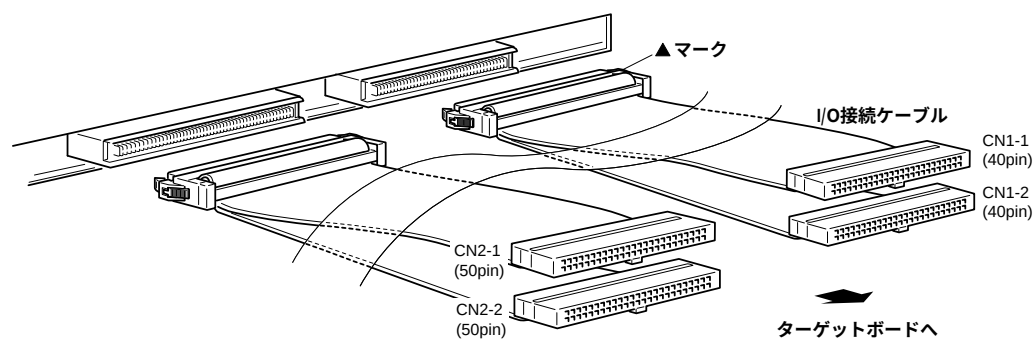
S5U1C63000P1/63658P2の脱着

右図のようにICEに付属している治具をセットします。この治具をテコにして、外側に向かって左右均等に倒します。ボードがICEのバックボードコネクタから外れたことを確認して、ボードを引き出します。

図A.2.3 ボードの脱着



S5U1C63000P1とターゲットシステムの接続は、添付のI/O接続ケーブル(80pin/40pin×2, 100pin/50pin×2, flat type)を用いて行います。なお、本コネクタには電源($V_{DD}=+3.3V$)が供給されていますので、ご注意ください。



図A.2.4 ターゲットシステムとの接続

表A.2.1 I/Oコネクタのピン配列表

40pin CN1-1コネクタ		40pin CN1-2コネクタ		50pin CN2-1コネクタ		50pin CN2-2コネクタ	
No.	端子名称	No.	端子名称	No.	端子名称	No.	端子名称
1	VDD (=3.3V)	1	VDD (=3.3V)	1	VDD (=3.3V)	1	VDD (=3.3V)
2	VDD (=3.3V)	2	VDD (=3.3V)	2	VDD (=3.3V)	2	VDD (=3.3V)
3	K00	3	R00	3	SEG0 (DC)	3	接続不可
4	K01	4	R01	4	SEG1 (DC)	4	接続不可
5	K02	5	R02	5	SEG2 (DC)	5	接続不可
6	K03	6	R03	6	SEG3 (DC)	6	接続不可
7	K10	7	接続不可	7	SEG4 (DC)	7	接続不可
8	K11	8	接続不可	8	SEG5 (DC)	8	接続不可
9	K12	9	接続不可	9	SEG6 (DC)	9	接続不可
10	K13	10	接続不可	10	SEG7 (DC)	10	接続不可
11	Vss	11	Vss	11	Vss	11	Vss
12	Vss	12	Vss	12	Vss	12	Vss
13	P00	13	BZ	13	SEG8 (DC)	13	接続不可
14	P01	14	接続不可	14	SEG9 (DC)	14	接続不可
15	P02	15	接続不可	15	SEG10 (DC)	15	接続不可
16	P03	16	接続不可	16	SEG11 (DC)	16	接続不可
17	P10	17	接続不可	17	SEG12 (DC)	17	接続不可
18	P11	18	接続不可	18	SEG13 (DC)	18	接続不可
19	P12	19	接続不可	19	SEG14 (DC)	19	接続不可
20	P13	20	接続不可	20	SEG15 (DC)	20	接続不可
21	VDD (=3.3V)	21	VDD (=3.3V)	21	VDD (=3.3V)	21	VDD (=3.3V)
22	VDD (=3.3V)	22	VDD (=3.3V)	22	VDD (=3.3V)	22	VDD (=3.3V)
23	接続不可	23	AO1	23	SEG16 (DC)	23	接続不可
24	接続不可	24	AO2	24	SEG17 (DC)	24	接続不可
25	接続不可	25	BO1	25	SEG18 (DC)	25	接続不可
26	接続不可	26	BO2	26	SEG19 (DC)	26	接続不可
27	接続不可	27	接続不可	27	SEG20 (DC)	27	接続不可
28	接続不可	28	接続不可	28	SEG21 (DC)	28	接続不可
29	接続不可	29	接続不可	29	SEG22 (DC)	29	接続不可
30	接続不可	30	接続不可	30	SEG23 (DC)	30	接続不可
31	Vss	31	Vss	31	Vss	31	Vss
32	Vss	32	Vss	32	Vss	32	Vss
33	接続不可	33	接続不可	33	SEG24 (DC)	33	接続不可
34	接続不可	34	接続不可	34	SEG25 (DC)	34	接続不可
35	接続不可	35	接続不可	35	SEG26 (DC)	35	接続不可
36	接続不可	36	接続不可	36	SEG27 (DC)	36	接続不可
37	接続不可	37	接続不可	37	SEG28 (DC)	37	接続不可
38	接続不可	38	RESET	38	SEG29 (DC)	38	接続不可
39	Vss	39	Vss	39	SEG30 (DC)	39	接続不可
40	Vss	40	Vss	40	SEG31 (DC)	40	接続不可
				41	VDD (=3.3V)	41	VDD (=3.3V)
				42	VDD (=3.3V)	42	VDD (=3.3V)
				43	SEG32 (DC)	43	接続不可
				44	SEG33 (DC)	44	接続不可
				45	SEG34 (DC)	45	接続不可
				46	SEG35 (DC)	46	接続不可
				47	SEG36 (DC)	47	接続不可
				48	SEG37 (DC)	48	接続不可
				49	接続不可	49	接続不可
				50	接続不可	50	接続不可

* CN2-1、CN2-2 コネクタは、各SEG端子をマスクオプションでDC出力仕様とする場合に使用します。

A.3 S5U1C63000P1へのダウンロード

A.3.1 新ICE (S5U1C63000H2) 使用時における回路データのダウンロード

S5U1C63000P1には、工場出荷時に出荷検査回路が書き込まれておりますので、各機種に合わせた回路データをダウンロードしてください。以下に回路データのダウンロード方法を説明します。

- 1) ICE(S5U1C63000H2)上面のカバーを外し、本ボード上のDIPスイッチIOSEL2を"E"側にセットします。
- 2) ICEをホストPCと接続し、ホストPCの起動とICEの電源投入を行います。
- 3) アセンブラパッケージ(Ver. 5以上)に含まれるデバッグを起動します。ICEとデバッグの操作方法については、ICEに添付のマニュアルと、アセンブラパッケージに付属のマニュアルを参照してください。
- 4) 各機種に対応した回路データファイル(～.mot)を本ボードにダウンロードします。デバッグのコマンドウィンドウから以下のように入力してください。

```
>XFER                (オールイレーズ)
>XFWR <file name>    (指定ファイルのダウンロード)*
>XFCP <file name>    (指定ファイルとダウンロードデータの比較)
```

* ダウンロードは15分程度かかります。

- 5) デバッグを終了させ、ICEの電源を一旦切ります。
- 6) 本ボード上のDIPスイッチIOSEL2を"D"側にセットします。
- 7) ICEの電源を再投入し、デバッグを起動し直してご使用ください。

A.3.2 旧ICE (S5U1C63000H1) 使用時における回路データのダウンロード

標準の旧ICE(S5U1C63000H1)は、S5U1C63000P1の回路データダウンロード機能に対応していませんので、以下の手順に従ってICEのファームウェアを更新してください。

- 1) ICEのボーレート(DIPスイッチ)を9600bpsに設定します。DIPスイッチについては、ICEに添付されているマニュアルを参照してください。
- 2) ICEをホストPCと接続し、ホストPCをDOSで立ち上げます。Windowsを使用中の場合は、DOSモードで立ち上げ直してください。

注: WindowsのDOSプロンプトは使用しないでください。

- 3) ICEに電源を投入します。
- 4) 以下のようにホストPCのRS232Cプロトコルを設定します。
C:¥>MODE COM1:9600,n,8,1,p (9600bps, 8bits, 1stop bit, no parity)
- 5) アセンブラパッケージ(Ver. 5以上)に含まれる以下の各ファイルを適当なディレクトリにおきます。
tm63.exe, ice63.com, i63com.o, i63par
- 6) 5)のディレクトリに移行し、以下のようにTM63を起動します。TM63はコマンド待ち状態になりますので、以下のように入力します。

```
C:¥>tm63 xat
TM63 start on IBM PC
TM63 start V01.01
>d1f ice63.com i63com.o i63par 0b
...
>q
```

- 7) プロンプトが表示されたら、"q"を入力してTM63を終了させてください。
- 8) 以上でファームウェアが更新されました。一旦ICEの電源を切り、上記A.3.1項の手順に従って回路データのダウンロードを行ってください。

A.4 使用上の注意

Peripheral Circuit Boardを正しく使用していただくために、以下の事項に注意してください。

A.4.1 操作上の注意事項

- (1) ケーブルの接続と切り離しは、接続する機器すべての電源をOFFにした状態で行ってください。
- (2) 入力ポート(K00～K03)をすべてHIGHレベルにした状態で、電源投入およびマスクオプションデータのロードを行わないでください。キー同時押しリセット機能が働く可能性があります。
- (3) デバッグを行う場合は、その前に必ずマスクオプションデータをロードしてください。

A.4.2 実ICとの相違点

(1) I/Oについての相違

〈インタフェース電源〉

S5U1C63000P1とターゲットシステムのインタフェース電圧は+3.3Vに固定されています。このため、実際のICと同一のインタフェース電圧が必要な場合は、ターゲットシステム側においてレベルシフタ回路などを付加して対応してください。

〈各出力ポートの駆動能力〉

S5U1C63000P1における各出力ポートの駆動能力は、実際のICに比べて高くなっていますので、"7 電気的特性"を参照し、各出力端子の駆動能力を確認した上で、システムおよびソフトウェアの設計を行ってください。

〈各ポートの保護ダイオード〉

すべてのI/Oポートには保護用ダイオードが V_{DD} と V_{SS} に対して入っており、ターゲットシステムとのインタフェース信号は+3.3Vに固定されます。このため、出力ポートをオープンドレインに設定し、 V_{DD} を超える電圧レベルとのインタフェースをとることはできません。

〈プルダウン抵抗値〉

S5U1C63000P1のプルダウン抵抗値は220k Ω に固定されていますが、実際のICと抵抗値が異なります。実際のICにおける抵抗値は、"7 電気的特性"を参照して確認してください。

なお、プルダウン抵抗を使用して入力端子をLOWレベルに引き下げる場合などにおいて、LOWレベル確定までの時間に相違が生じます。たとえば、出力ポートと入力ポートを組み合わせるキーマトリクス回路を構成した場合は、入力ポートの立ち下がりディレイに相違が発生しますので十分な注意が必要です。

(2) 消費電流についての相違

S5U1C63000P1の消費電流は実際のICと大きく異なります。S5U1C63000P1上のLEDを確認することで、おおよその消費電流を把握することができます。なお、消費電流に大きく影響を及ぼすものとして以下のようなものがあげられます。

〈LED、モニタピンなどで確認が可能なもの〉

- a) RunとHaltの実行比率(ICEのモニタピン、LEDによる)
- b) OSC3発振ON/OFF(OSCC)
- c) CPUクロック切り換え(CLKCHG)
- d) SVD回路ON/OFF回路(SVDON)
- e) LCD電源ON/OFF回路(LPWR)
- f) R/Fコンバータ発振ON/OFF(RFOUT)
- g) モータ駆動パルス出力(AO1, AO2, BO1, BO2)

〈システム、ソフトウェア上注意するしかないもの〉

- h) 内蔵プルダウン抵抗により消費される電流
- i) 入力ポートがフローティング状態

(3)機能上の相違

〈LCD電源回路〉

LCD電源回路(LPWR)をONしてから、LCD駆動波形が出力されるまでにディレイが発生します。S5U1C63000P1では、このディレイが約100msecに設定されていますが、実際のICとは異なります。

〈LCD駆動波形の相違〉

本ボードはLCD内部電源使用時にもスタティック波形を出力可能ですが、LCDをスタティック駆動する場合はマスクオプションで外部電源の1/2バイアスを選択してください。

〈SVD回路〉

- SVD機能は、S5U1C63000P1上のVSVDボリュームにより、擬似的に電源電圧を変化させることにより行います。
- SVD回路の電源をONしてから実際に電圧を検出するまでにディレイ時間が発生し、S5U1C63000P1では約500μsecに設定されています。実際のICにおいては、これと異なりますので、"7 電気的特性"を参照して、適切なウェイト時間を設定してください。

〈発振回路〉

- OSC3発振制御回路(OSCC)をONにしてから発振が安定するまでにウェイト時間が必要になりますが、本ボードではウェイトなしにOSC3の発振切り換え(CLKCHG)しても動作してしまいます。このため、実際のICにおいては、"7 電気的特性"を参照の上適切な時間を設定してください。
- OSC3からOSC1へのクロック切り換えと、OSC3回路の発振停止は別の命令で行ってください。ひとつの命令で同時に行った場合は、本ボードで動作しても実際のICで動作しない場合があります。
- 発振回路のロジックレベルが高いため、発振開始時間のタイミングが異なります。
- 本ボードにはOSC1とOSC3用の発振回路が内蔵されています。このため、OSC3の発振子を接続しない場合でも、OSC3回路による動作が可能になりますので、注意してください。
- マスクオプションによってOSC3発振回路にセラミック発振を選択した場合でも、S5U1C63000P1はCR発振回路でOSC3クロックを生成します。

〈未定義アドレス空間のアクセス〉

S1C63656内蔵のROM/RAM、I/Oの未定義空間に対して、読み出し/書き込みを行った場合、その値は不定となります。また、S5U1C63000P1と実際のICでは不定となる状態が異なりますので、充分注意してください。なお、ICE(S5U1C63000H1/S5U1C63000H2)は、未定義アドレス空間に対してアクセスがあった場合、プログラムブレークが発生する機能を内蔵しています。

〈リセット回路〉

ICEおよびS5U1C63000P1、S5U1C63658P2に電源を投入してから、プログラムが動作するまでのシーケンスは、実際のICに電源を投入してからプログラムが動作するまでのシーケンスと異なりますので、注意してください。S5U1C63000P1では、ユーザプログラムのロード、オプションデータのロードを行ってからデバッグシステムとしての動作が可能になります。なお、ICEをフリーランモードに設定して動作させる場合は、必ずシステムリセットをかけてください。システムリセットは、S5U1C63000P1上のリセットスイッチ、リセット端子入力、入力ポートの同時HIGHレベル保持のいずれかになります。

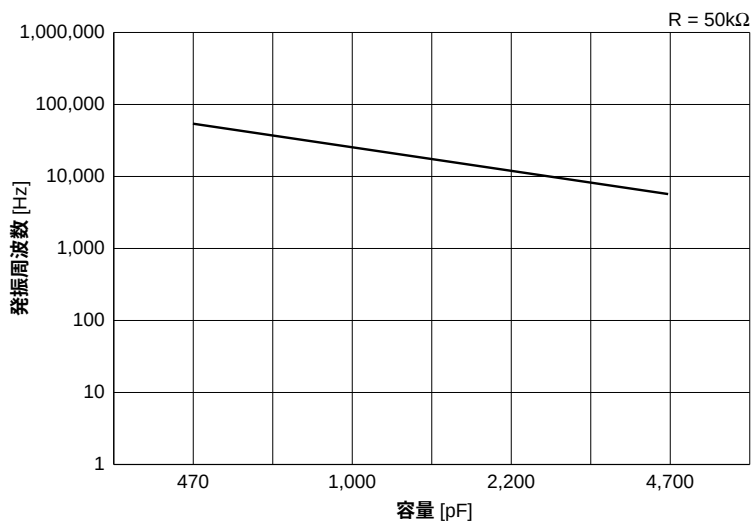
〈内部電源回路〉

LCDの駆動電圧は、実際のICと異なります。

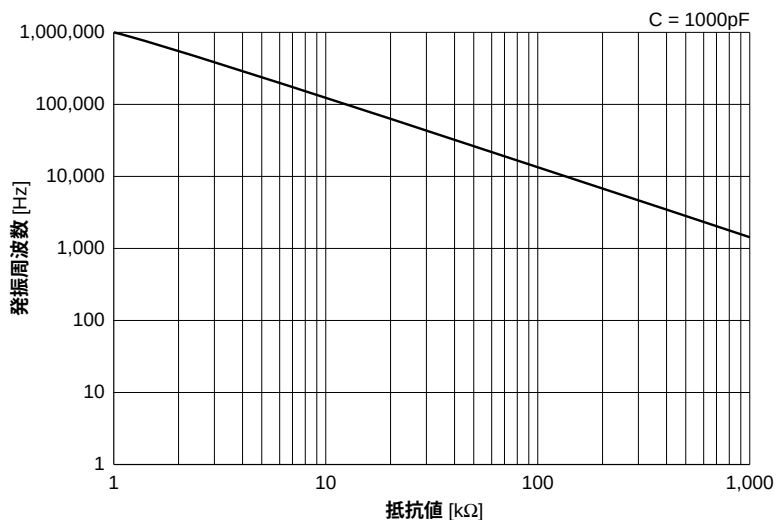
〈R/Fコンバータ〉

- R/Fコンバータが発振のカウント中に、デバッグによってターゲットプログラムがブレイクすると、カウントは停止します。この状態からカウントを再開しても、正しい変換結果は得られません。
- R/Fコンバータの発振周波数出力(RFOUT)は、実際のICと波形の極性が逆(正負反転)になります。
- S5U1C63658P2上のR/Fコンバータの発振特性グラフ(参考値)を以下に示します。

R/Fコンバータ発振周波数-容量特性(参考値)



R/Fコンバータ発振周波数-抵抗特性(参考値)



A.5 製品の仕様

A.5.1 S5U1C63000P1の仕様

■ S5U1C63000P1

寸法:	254mm(横)×144.8mm(奥行き)×13mm(高さ) (ネジ含む)
重量:	約300g
電源:	DC5V±5%、1A以下(ICE本体より供給)

■ I/Oケーブル(80pin)

本機側コネクタ:	KEL8830E-080-170L
ケーブル側コネクタ(80pin):	KEL8822E-080-171
ケーブル側コネクタ(40pin):	3M7940-6500SC(2個/1組)
ケーブル:	40芯フラットケーブル(2本/1組)
インタフェース:	CMOSインタフェース(3.3V)
長さ:	約40cm

■ I/Oケーブル(100pin)

本機側コネクタ:	KEL8830E-100-170L
ケーブル側コネクタ(100pin):	KEL8822E-100-171
ケーブル側コネクタ(50pin):	3M7950-6500SC(2個/1組)
ケーブル:	50芯フラットケーブル(2本/1組)
インタフェース:	CMOSインタフェース(3.3V)
長さ:	約40cm

■ 付属品

ターゲットシステム接続コネクタ(40pin):	3M3432-6002LCSC×2
ターゲットシステム接続コネクタ(50pin):	3M3433-6002LCSC×2

A.5.2 S5U1C63658P2の仕様

■ S5U1C63658P2

寸法:	254mm(横)×144.8mm(奥行き)×13mm(高さ) (ネジ含む)
重量:	約130g
電源:	DC5V±5%、10mA以下 (ICE本体より供給、本ボード上レギュレータにて3.3Vに変換)

■ 付属品

R/Fコンバータ外付け抵抗、コンデンサ用プラットフォーム:	DIS12-016-403(KEL製)×2
-------------------------------	-----------------------

セイコーエプソン株式会社 **半導体事業部 IC営業部**

〈IC国内営業グループ〉

東京 〒191-8501 東京都日野市日野421-8
TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

インターネットによる電子デバイスのご紹介 <http://www.epson.jp/device/semicon/>