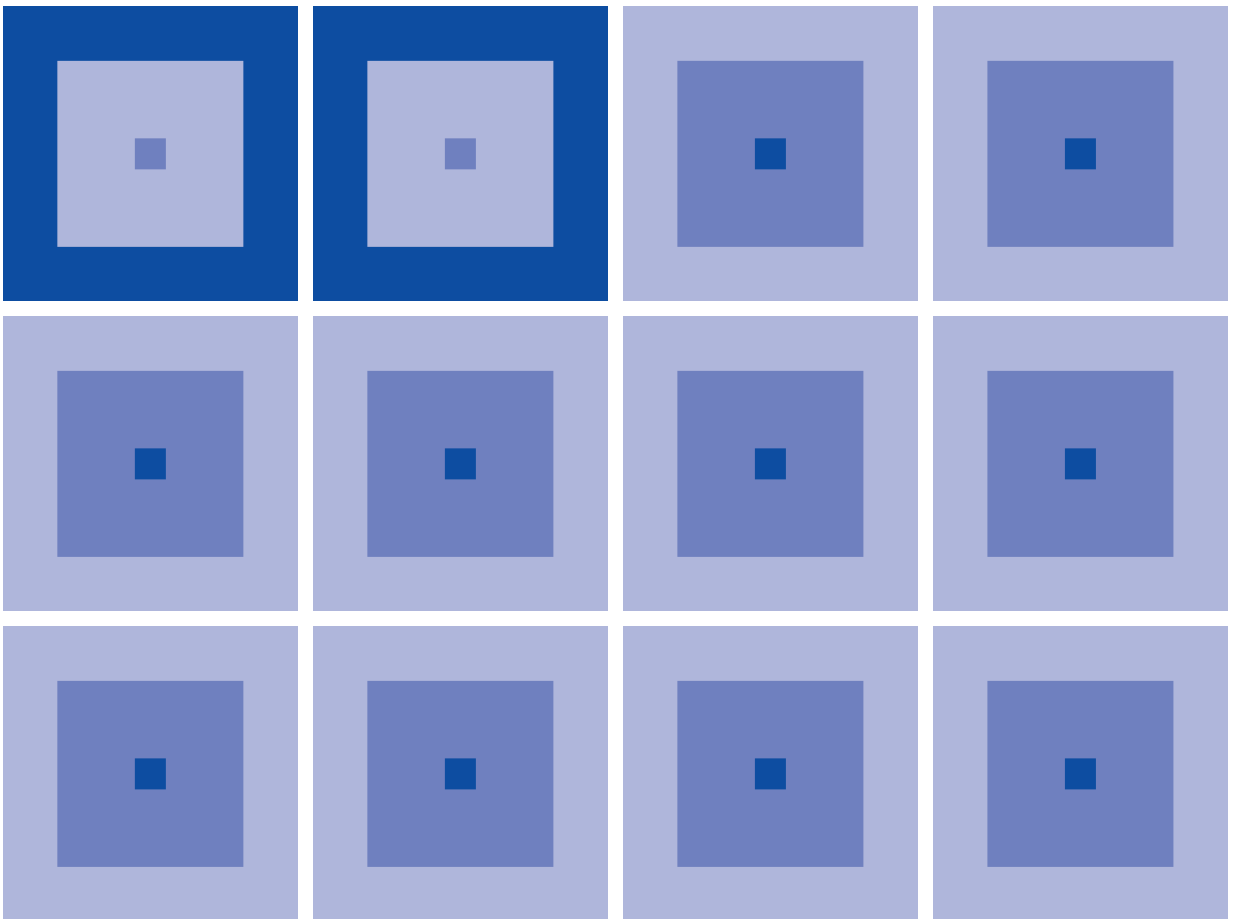


CMOS 8-BIT SINGLE CHIP MICROCOMPUTER

S1C88848

テクニカルマニュアル

S1C88848 Technical Hardware

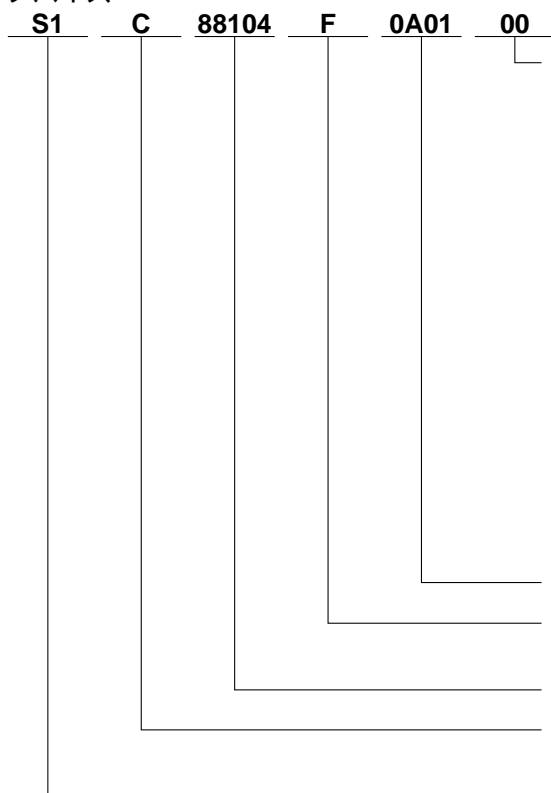


本資料のご使用につきましては、次の点にご留意願います。

1. 本資料の内容については、予告なく変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利(工業所有権を含む)侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち、「外国為替および外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、一般民生用です。生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合の如何なる責任についても負いかねます。

製品型番体系

デバイス



梱包仕様

00 : テープ&リール以外
 0A : TCP BL 2方向
 0B : テープ&リール BACK
 0C : TCP BR 2方向
 0D : TCP BT 2方向
 0E : TCP BD 2方向
 0F : テープ&リール FRONT
 0G : TCP BT 4方向
 0H : TCP BD 4方向
 0J : TCP SL 2方向
 0K : TCP SR 2方向
 0L : テープ&リール LEFT
 0M : TCP ST 2方向
 0N : TCP SD 2方向
 0P : TCP ST 4方向
 0Q : TCP SD 4方向
 0R : テープ&リール RIGHT
 99 : 梱包仕様未定

仕様

形状

[D: ペアチップ、F: QFP]

機種番号

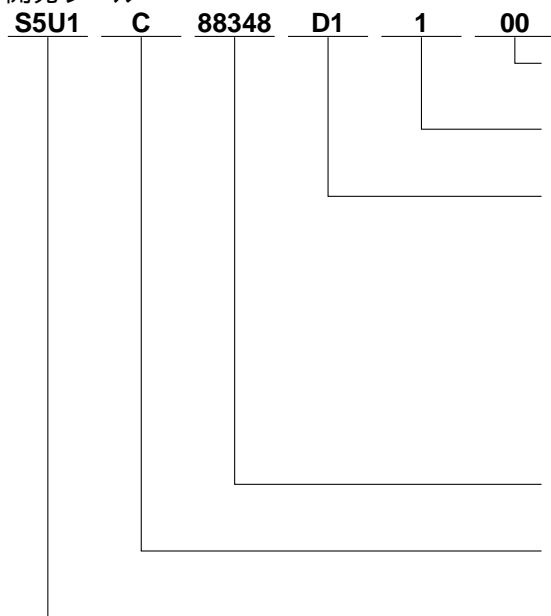
機種名称

[C: マイコン、デジタル製品]

製品分類

[S1: 半導体]

開発ツール



梱包仕様

[00: 標準梱包]

バージョン

[1: Version 1]

ツール種類

Hx : ICE
 Ex : EVAボード
 Px : ペリフェラルボード
 Wx : FLASHマイコン用ROMライタ
 Xx : ROMライタ周辺ボード
 Cx : Cコンパイラパッケージ
 Ax : アセンブラパッケージ
 Dx : 機種別ユーティリティツール
 Qx : ソフトシミュレータ

対応機種番号

[88348: S1C88348用]

ツール分類

[C: マイコン用]

製品分類

[S5U1: 半導体用開発ツール]

— 目 次 —

1	概要	1
1.1	特長	1
1.2	ブロック図	2
1.3	端子	3
1.3.1	端子配置図	3
1.3.2	端子説明	4
1.4	マスクオプション	5
2	電源	8
2.1	動作電圧	8
2.2	内部電源回路	8
3	CPUとメモリの構成	9
3.1	CPU	9
3.2	内蔵メモリ	9
3.2.1	ROM	9
3.2.2	RAM	9
3.2.3	I/Oメモリ	9
3.2.4	表示メモリ	9
3.3	例外処理ベクタ	10
3.4	CC (カスタマイズコンディションフラグ)	10
4	イニシャルリセット	11
4.1	イニシャルリセット要因	11
4.1.1	RESET端子	12
4.1.2	入力ポート(K00 ~ K03)の同時LOWレベル入力	12
4.1.3	イニシャルリセットシーケンス	12
4.2	イニシャルリセット時の初期設定	13
5	周辺回路と動作	14
5.1	I/Oメモリマップ	14
5.2	ウォッチドッグタイマ	25
5.2.1	ウォッチドッグタイマの構成	25
5.2.2	割り込み機能	25
5.2.3	ウォッチドッグタイマの制御方法	25
5.2.4	プログラミング上の注意事項	25
5.3	発振回路	26
5.3.1	発振回路の構成	26
5.3.2	マスクオプション	26
5.3.3	OSC1発振回路	26
5.3.4	OSC3発振回路	27
5.3.5	CPUクロックの切り換え	27
5.3.6	発振回路の制御方法	28
5.3.7	プログラミング上の注意事項	28
5.4	入力ポート (Kポート)	29
5.4.1	入力ポートの構成	29
5.4.2	マスクオプション	29
5.4.3	割り込み機能と入力比較レジスタ	30

5.4.4 入力ポートの制御方法	32
5.4.5 プログラミング上の注意事項	34
5.5 出力ポート (Rポート)	35
5.5.1 出力ポートの構成	35
5.5.2 マスクオプション	35
5.5.3 ハイインピーダンス制御	35
5.5.4 DC出力	35
5.5.5 特殊出力	36
5.5.6 出力ポートの制御方法	38
5.5.7 プログラミング上の注意事項	41
5.6 入出力兼用ポート (Pポート)	42
5.6.1 入出力兼用ポートの構成	42
5.6.2 マスクオプション	42
5.6.3 I/Oコントロールレジスタと入力/出力モード	42
5.6.4 入出力兼用ポートの制御方法	43
5.6.5 プログラミング上の注意事項	43
5.7 シリアルインタフェース	44
5.7.1 シリアルインタフェースの構成	44
5.7.2 マスクオプション	45
5.7.3 転送モード	45
5.7.4 クロック源	46
5.7.5 送受信の制御	47
5.7.6 クロック同期式転送の動作	48
5.7.7 調歩同期式転送の動作	52
5.7.8 割り込み機能	56
5.7.9 シリアルインタフェースの制御方法	58
5.7.10 プログラミング上の注意事項	62
5.8 計時タイマ	63
5.8.1 計時タイマの構成	63
5.8.2 割り込み機能	63
5.8.3 計時タイマの制御方法	65
5.8.4 プログラミング上の注意事項	67
5.9 ストップウォッチタイマ	68
5.9.1 ストップウォッチタイマの構成	68
5.9.2 カウントアップパターン	68
5.9.3 割り込み機能	69
5.9.4 ストップウォッチタイマの制御方法	70
5.9.5 プログラミング上の注意事項	72
5.10 プログラマブルタイマ	73
5.10.1 プログラマブルタイマの構成	73
5.10.2 カウント動作と基本モード設定	74
5.10.3 入力クロックの設定	75
5.10.4 タイマモード	76
5.10.5 イベントカウンタモード	76
5.10.6 パルス幅測定タイマモード	76
5.10.7 割り込み機能	77
5.10.8 TOUT出力の設定	78
5.10.9 シリアルインタフェースの転送速度設定	78

5.10.10	プログラマブルタイマの制御方法	79
5.10.11	プログラミング上の注意事項	86
5.11	LCDコントローラ	88
5.11.1	LCDコントローラの構成	88
5.11.2	マスクオプション	89
5.11.3	LCDドライバ	90
5.11.4	表示の制御	95
5.11.5	表示メモリ	95
5.11.6	LCDコントローラの制御方法	104
5.11.7	プログラミング上の注意事項	105
5.12	サウンドジェネレータ	106
5.12.1	サウンドジェネレータの構成	106
5.12.2	ブザー出力の制御	106
5.12.3	ブザー周波数と音量の設定	107
5.12.4	デジタルエンベロープ	108
5.12.5	ワンショット出力	108
5.12.6	サウンドジェネレータの制御方法	109
5.12.7	プログラミング上の注意事項	111
5.13	リモートコントローラ(REM)	112
5.13.1	リモートコントローラの構成	112
5.13.2	マスクオプション	113
5.13.3	キャリア(搬送波)	113
5.13.4	ソフトタイマ方式	114
5.13.5	ハードタイマ方式とREM割り込み	114
5.13.6	リモートコントローラの制御方法	118
5.13.7	プログラミング上の注意事項	121
5.14	電源電圧検出(SVD)回路	122
5.14.1	SVD回路の構成	122
5.14.2	SVD動作	122
5.14.3	SVD回路の制御方法	123
5.14.4	プログラミング上の注意事項	123
5.15	割り込みとスタンバイ状態	124
5.15.1	割り込み発生条件	125
5.15.2	割り込み要因フラグ	125
5.15.3	割り込みイネーブルレジスタ	126
5.15.4	割り込みプライオリティレジスタと割り込み優先レベル	126
5.15.5	例外処理ベクタ	127
5.15.6	割り込みの制御	128
5.15.7	プログラミング上の注意事項	129
5.16	低消費電力化のための注意事項	130
6	基本外部結線図	131
7	電気的特性	133
7.1	絶対最大定格	133
7.2	推奨動作条件	133
7.3	DC特性	134
7.4	アナログ回路特性	135
7.5	消費電流	137

7.6	AC特性	138
7.7	発振特性	142
7.8	特性グラフ (参考値)	143
8	パッケージ	150
8.1	プラスチックパッケージ	150
8.2	セラミックパッケージ	151
9	パッド配置	152
9.1	パッド配置図	152
9.2	パッド座標	153
10	実装上の注意事項	154
Appendix A S5U1C88000P1&S5U1C88816P2 Manual (Peripheral Circuit Board for S1C88848) ..		156
A.1	各部の名称と機能	156
A.2	使用上の注意	158
A.2.1	操作上の注意事項	158
A.2.2	実際のICとの相違点	158
A.3	ターゲットシステムとの接続	161
Appendix B FlashマイコンS1C8F360との違い		164

1 概要

S1C88848は、CMOS 8ビットコアCPU S1C88 (MODEL3)を中心に、ROM、RAM、赤外線リモコンキャリア出力、最大1,632ピクセルを駆動可能なドットマトリクスLCDコントローラ/ドライバ、3種類のタイマ、調歩同期/クロック同期が選択可能なシリアルインタフェースなどを内蔵したマイクロコンピュータです。

動作電圧範囲が広く、低電圧(1.8V Min.)から安定した動作が可能です。

また、低消費電流(スタンバイ時1.7 μ A)というS1C Familyの特長も合わせ持っています。^{*4}

電池電圧の低下を検出するSVD回路も内蔵し、家電機器のリモコンなどへの応用に最適です。

1.1 特長

表1.1.1にS1C88848の特長を示します。

表1.1.1 特長

コアCPU	CMOS 8ビットコアCPU S1C88 (MODEL3)	
メイン(OSC3)発振回路	水晶発振回路/セラミック発振回路/CR発振回路 ^{*1} Max. 8.2MHz (スタートクロックソース)	
サブ(OSC1)発振回路	水晶発振回路/CR発振回路 ^{*1} Typ. 32.768kHz	
命令セット	608種類 (乗除算命令使用可能)	
最小命令実行時間	0.244 μ sec/8.2MHz (2クロック)	
内蔵ROM容量	48Kバイト	
内蔵RAM容量	1.5Kバイト/RAM 402バイト/表示メモリ	
入力ポート	10ビット (2ビットをイベントカウンタの外部クロック入力に設定可能) ブルアップ抵抗を付加可能 ^{*1}	
出力ポート	5ビット (プザー出力 ^{*2} 、TOUT信号出力 ^{*2} 、FOUT出力 ^{*2} 、赤外線リモコンキャリア出力 ^{*1} 端子に設定可能) SEG40～SEG50をDC出力ポートに設定可能 ^{*1}	
入出力兼用ポート	8ビット (4ビットをシリアルI/F入出力に設定可能 ^{*2}) ブルアップ抵抗を付加可能 ^{*1}	
LCDドライバ	ドットマトリクス方式 (5×8または5×5ドットフォント対応可能 ^{*2}) 51セグメント×32コモン ^{*1, *2} 66セグメント×17コモン ^{*1} 67セグメント×16コモン ^{*1, *2} 67セグメント×8コモン ^{*1} LCD電源回路内蔵 (5電位/4電位昇降圧タイプ)	
リモートコントローラ	赤外線リモコンキャリア出力およびDC出力	
シリアルインタフェース	1ch (クロック同期式/調歩同期式の選択が可能 ^{*2})	
タイマ	プログラマブルタイマ: 16ビット×2chまたは8ビット×4ch ^{*2} 、イベントカウンタ機能付き 計時タイマ: 8ビット×1ch ストップウォッチタイマ: 8ビット×1ch	
サウンドジェネレータ	エンベロープ機能、音量調整機能付き	
ウォッチドッグタイマ	内蔵	
電源電圧検出回路 (SVD)	16値プログラマブル (1.8～4.35V) ^{*2}	
割り込み	外部割り込み: 入力割り込み 2系統 (3種類) 内部割り込み: 計時タイマ割り込み 1系統 (4種類) ストップウォッチタイマ割り込み 1系統 (3種類) プログラマブルタイマ割り込み 2系統 (4種類) シリアルインタフェース割り込み 1系統 (3種類) リモコン出力制御割り込み 1系統 (1種類)	
電源電圧	1.8V～5.5V ^{*3}	
消費電流 ^{*4}	SLEEP時: 1 μ A (Typ.) HALT時 (32kHz 水晶発振): 1.7 μ A (Typ.) HALT時 (8MHz セラミック発振): 100 μ A (Typ.) 動作時 (32kHz 水晶発振): 4 μ A (Typ.) 動作時 (8MHz セラミック発振): 700 μ A (Typ.)	
出荷形態	QFP15-128pinまたはチップ	

^{*1} マスクオプションで選択 ^{*2} ソフトウェアで選択 ^{*3} 2.4V未満の電源電圧ではLCDの濃淡に影響がでます。

^{*4} イニシャルリセット後、OSC1、OSC3が共にONし、CPUはOSC3で動作します。また、マスクオプションの選択にかかわらずリモートコントローラもOSC3で動作します。リモートコントローラを使用しない場合は低消費電流化のため、イニシャルリセット後の初期化ルーチンでリモートコントローラをOFF(REMC = "0")にしてください。

1.2 ブロック図

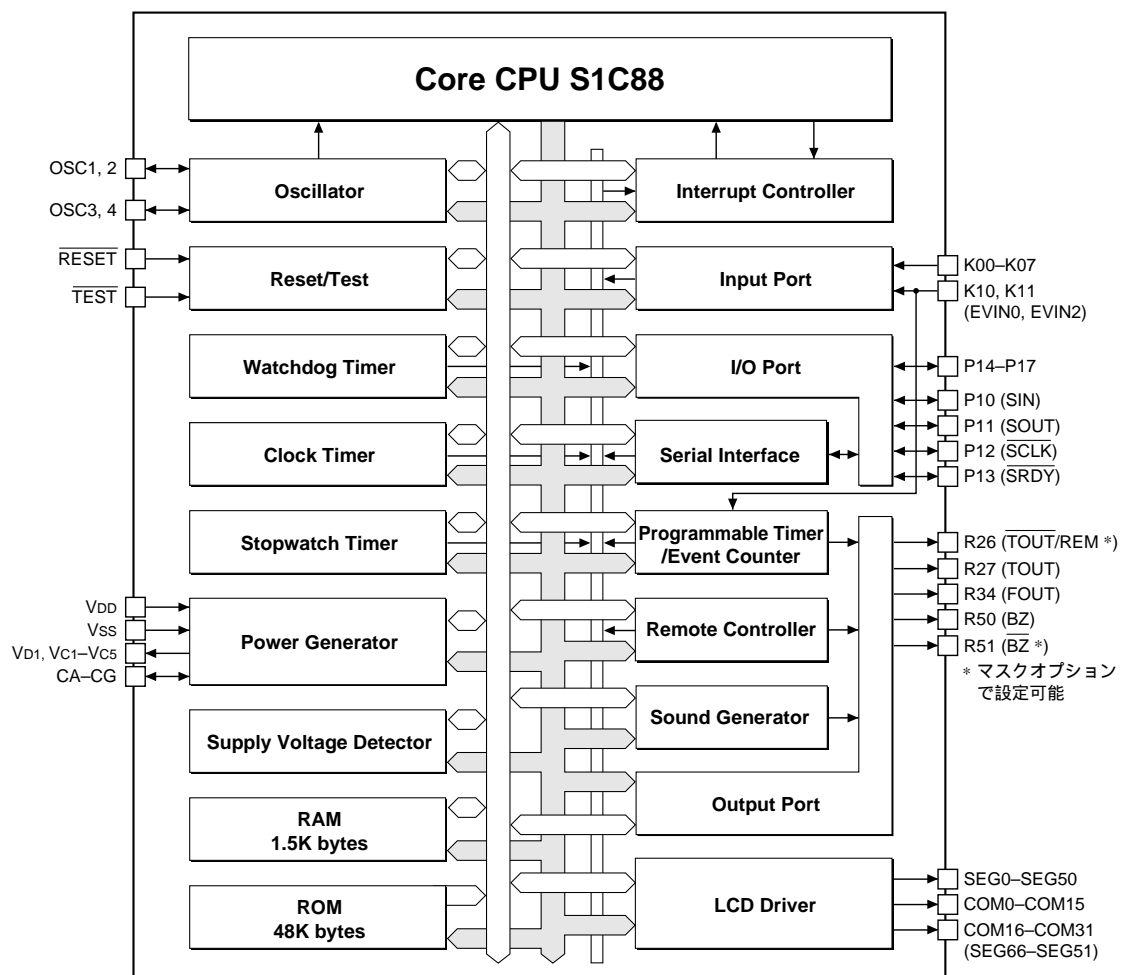
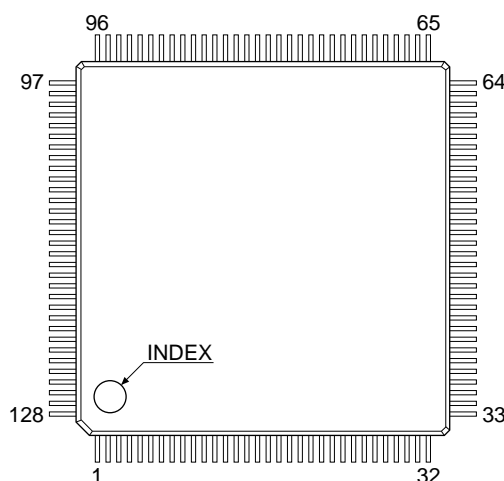


図1.2.1 ブロック図

1.3 端子

1.3.1 端子配置図

QFP15-128pin



端子No.	端子名	端子No.	端子名	端子No.	端子名	端子No.	端子名
1	SEG11	33	SEG43	65	V _{C3}	97	R26/TOUT/REM
2	SEG12	34	SEG44	66	V _{C2}	98	R27/TOUT
3	SEG13	35	SEG45	67	V _{C1}	99	R34/FOUT
4	SEG14	36	SEG46	68	OSC3	100	R50/BZ
5	SEG15	37	SEG47	69	OSC4	101	R51/BZ
6	SEG16	38	SEG48	70	V _{D1}	102	COM0
7	SEG17	39	SEG49	71	V _{DD}	103	COM1
8	SEG18	40	SEG50	72	V _{SS}	104	COM2
9	SEG19	41	COM31/SEG51	73	OSC1	105	COM3
10	SEG20	42	COM30/SEG52	74	OSC2	106	COM4
11	SEG21	43	COM29/SEG53	75	$\overline{\text{TEST}}$	107	COM5
12	SEG22	44	COM28/SEG54	76	$\overline{\text{RESET}}$	108	COM6
13	SEG23	45	COM27/SEG55	77	K11/EVIN2	109	COM7
14	SEG24	46	COM26/SEG56	78	K10/EVIN0	110	COM8
15	SEG25	47	COM25/SEG57	79	K07	111	COM9
16	SEG26	48	COM24/SEG58	80	K06	112	COM10
17	SEG27	49	COM23/SEG59	81	K05	113	COM11
18	SEG28	50	COM22/SEG60	82	K04	114	COM12
19	SEG29	51	COM21/SEG61	83	K03	115	COM13
20	SEG30	52	COM20/SEG62	84	K02	116	COM14
21	SEG31	53	COM19/SEG63	85	K01	117	COM15
22	SEG32	54	COM18/SEG64	86	K00	118	SEG0
23	SEG33	55	COM17/SEG65	87	P17	119	SEG1
24	SEG34	56	COM16/SEG66	88	P16	120	SEG2
25	SEG35	57	N.C.	89	P15	121	SEG3
26	SEG36	58	CE *1	90	P14	122	SEG4
27	SEG37	59	CD *1	91	P13/ $\overline{\text{SRDY}}$	123	SEG5
28	SEG38	60	CC	92	P12/ $\overline{\text{SCLK}}$	124	SEG6
29	SEG39	61	CB	93	P11/SOUT	125	SEG7
30	SEG40	62	CA	94	P10/SIN	126	SEG8
31	SEG41	63	V _{C5}	95	CF *2	127	SEG9
32	SEG42	64	V _{C4}	96	CG *2	128	SEG10

*1: V_{C1}基準(1/4バイアス)で駆動する場合はN.C.

N.C.: No Connection

*2: V_{C2}基準(1/5バイアス)で駆動する場合はN.C.

図1.3.1.1 端子配置図

1.3.2 端子説明

表1.3.2.1 端子説明

端子名	端子No.	In/Out	機 能
VDD	71	–	電源(+)端子
VSS	72	–	電源(-)端子
VD1	70	–	内部動作電圧出力端子
VC1~VC5	67~63	O	LCD駆動電圧出力端子
CA~CG	62~58, 95, 96	–	LCD系昇降圧コンデンサ接続端子
OSC1	73	I	OSC1発振入力端子(水晶/CR発振をマスクオプションで選択)
OSC2	74	O	OSC1発振出力端子
OSC3	68	I	OSC3発振入力端子(水晶/セラミック/CR発振をマスクオプションで選択)
OSC4	69	O	OSC3発振出力端子
K00~K07	86~79	I	入力ポート(K00 ~ K07)端子
K10/EVIN0	78	I	入力ポート(K10)端子 またはイベントカウンタ外部クロック(EVIN0)入力端子
K11/EVIN2	77	I	入力ポート(K11)端子 またはイベントカウンタ外部クロック(EVIN2)入力端子
R26/TOUT/REM	97	O	出力ポート(R26)端子 プログラマブルタイマアンダーフロー反転信号(TOUT)出力端子 またはリモコンキャリア信号(REM)出力端子(マスクオプションで選択)
R27/TOUT	98	O	出力ポート(R27)端子 またはプログラマブルタイマアンダーフロー信号(TOUT)出力端子
R34/FOUT	99	O	出力ポート(R34)端子 またはクロック(FOUT)出力端子
R50/BZ	100	O	出力ポート(R50)端子 またはブザー信号(BZ)出力端子
R51/BZ	101	O	出力ポート(R51)端子 またはブザー反転信号(BZ)出力端子(マスクオプションで選択)
P10/SIN	94	I/O	入出力兼用ポート(P10)端子 またはシリアル/Fデータ入力(SIN)端子
P11/SOUT	93	I/O	入出力兼用ポート(P11)端子 またはシリアル/Fデータ出力(SOUT)端子
P12/SCLK	92	I/O	入出力兼用ポート(P12)端子 またはシリアル/Fクロック(SCLK)入出力端子
P13/SRDY	91	I/O	入出力兼用ポート(P13)端子 またはシリアル/Fレディ信号(SRDY)出力端子
P14~P17	90~87	I/O	入出力兼用ポート(P14 ~ P17)端子
COM0~COM15	102~117	O	LCDコモン出力端子
COM16~COM31 /SEG66~SEG51	56~41	O	LCDコモン出力端子またはLCDセグメント出力端子 COM16~COM31 (1/32デューティ選択時) SEG66~SEG51 (1/16または1/8デューティ選択時) COM16、SEG65~SEG51 (1/17デューティ選択時)
SEG0~SEG39	118~128, 1~29	O	LCDセグメント出力端子
SEG40~SEG50	30~40	O	LCDセグメント出力端子またはDC出力端子(マスクオプションで選択)
RESET	76	I	イニシャルリセット入力端子
TEST *1	75	I	テスト用入力端子

*1 TEST端子はICの出荷検査時に使用する端子です。通常動作時は必ずVDDに接続してください。

1.4 マスクオプション

S1C88848には以下に示すマスクオプションが設定されています。

各マスクオプションには複数のハードウェア仕様が用意されており、アプリケーションに合わせて選択することができます。この選択にはS1C88848の開発ソフトウェアツールとして用意されているファンクションオプションジェネレータwinfogを使用します。winfogによって作成したデータをもとに最終的なICのマスクパターン生成が行われます。winfogについては、"S5U1C88000C Manual II"を参照してください。

S1C88848のマスクオプション

(1) RESET端子プルアップ抵抗

RESET端子にプルアップ抵抗を付加するかしないか選択できます。

(2) 入力ポート(K00 ~ K03)同時LOW入力による外部リセット

この機能は、複数キーの同時押しによってICをリセットするもので、この機能を使用するかしないかをマスクオプションで選択できます。また、使用する場合は、同時に押すキーを接続する入力ポート(K00 ~ K03)の組み合わせを選択します。詳細については"4.1.2 入力ポート(K00 ~ K03)の同時LOWレベル入力"を参照してください。

(3) OSC1発振回路

OSC1発振回路の種類を、水晶発振とCR発振から選択できます。詳細については、"5.3.3 OSC1発振回路"を参照してください。

(4) OSC3発振回路

OSC3発振回路の種類を、水晶発振、セラミック発振、CR発振から選択できます。詳細については、"5.3.4 OSC3発振回路"を参照してください。

(5) 入力ポートプルアップ抵抗

入力(K)ポートにプルアップ抵抗を付加するかしないか選択できます。この選択は入力ポートの各ビットごとに行えます。詳細については"5.4 入力ポート(Kポート)"を参照してください。

(6) R26、R51出力ポート仕様

R26ポートを、汎用DC出力、TOUT出力(TOUT反転出力)あるいはREM出力(リモコンキャリア出力)として使用するか選択できます。同様に、R51ポートを汎用DC出力として使用するか、BZ出力(ブザー反転信号出力)として使用するか選択できます。詳細については"5.5 出力ポート(Rポート)"を参照してください。

(7) 入出力兼用ポートプルアップ抵抗

入出力兼用(P)ポートが入力モード時に働くプルアップ抵抗を付加するかしないか選択できます。この選択は入出力兼用ポートの各ビットごとに行えます。詳細については"5.6 入出力兼用ポート(Pポート)"を参照してください。

なお、P10 ~ P13はシリアルインタフェースの入出力端子と兼用されており、P10およびP12端子の選択は、それぞれシリアル入力(SIN)端子、シリアルクロック入力(クロック同期式スレーブモード選択時のSCLK)端子にも適用されます。詳細については"5.7 シリアルインタフェース"を参照してください。

(8) LCD駆動デューティ

内蔵LCDドライバの駆動デューティを1/32と1/16のソフトウェア切り換えとするか、1/17固定あるいは1/8固定とするか選択できます。詳細については"5.11 LCDコントローラ"を参照してください。

(9) LCD駆動電源

LCDの駆動に内部電源を使用するか、外部電源を使用するか選択できます。さらに、内部電源を使用する場合は、駆動電圧を4.5V LCDパネル用または5.5V LCDパネル用に、駆動バイアスを1/5または1/4に設定できます。詳細については"5.11 LCDコントローラ"を参照してください。

(10) SEG40 ~ SEG50ポート仕様

SEG40 ~ SEG50をLCDセグメント出力、あるいは汎用DC出力として使用するか選択できます。LCDセグメント出力の詳細については"5.11 LCDコントローラ"を、DC出力の詳細については"5.5 出力ポート(Rポート)"を参照してください。

オプションリスト

S1C88848には以下のオプションが設定可能です。
各オプション項目には複数の仕様が用意されていますので、システムに合った内容を選択し、 に印をつけてください。

このオプションリストを参照して、S1C88848の持つマスクオプション選択をwinfogの画面上で行います。

S5U1C88000Pオプションリスト

A OSC1発振回路... OSC1 SYSTEM CLOCK

1. 内部クロック
2. ユーザクロック

B OSC3発振回路... OSC3 SYSTEM CLOCK

1. 内部クロック
2. ユーザクロック

S1C88848マスクオプションリスト(1/2)

1 OSC1発振回路... OSC1 SYSTEM CLOCK

1. 水晶発振回路
2. CR発振回路

2 OSC3発振回路... OSC3 SYSTEM CLOCK

1. 水晶発振回路
2. セラミック発振回路
3. CR発振回路

3 キー同時押しリセット... MULTIPLE KEY ENTRY RESET

- ・組み合わせ
 1. 使用しない
 2. 使用する K00, K01
 3. 使用する K00, K01, K02
 4. 使用する K00, K01, K02, K03

4 入力ポート プルアップ抵抗... INPUT PORT PULL UP RESISTOR

- | | | |
|---------------|-------|-------|
| ・ K00 | 1. あり | 2. なし |
| ・ K01 | 1. あり | 2. なし |
| ・ K02 | 1. あり | 2. なし |
| ・ K03 | 1. あり | 2. なし |
| ・ K04 | 1. あり | 2. なし |
| ・ K05 | 1. あり | 2. なし |
| ・ K06 | 1. あり | 2. なし |
| ・ K07 | 1. あり | 2. なし |
| ・ K10 | 1. あり | 2. なし |
| ・ K11 | 1. あり | 2. なし |
| ・ RESET | 1. あり | 2. なし |

5 入出力兼用ポート プルアップ抵抗... I/O PORT PULL UP RESISTOR

- | | | |
|-------------|-------|-------|
| ・ P10 | 1. あり | 2. なし |
| ・ P11 | 1. あり | 2. なし |
| ・ P12 | 1. あり | 2. なし |
| ・ P13 | 1. あり | 2. なし |
| ・ P14 | 1. あり | 2. なし |
| ・ P15 | 1. あり | 2. なし |
| ・ P16 | 1. あり | 2. なし |
| ・ P17 | 1. あり | 2. なし |

S1C88848マスクオプションリスト(2/2)

6 LCD駆動デューティ... LCD DRIVING DUTY

1. 1/32 & 1/16デューティ
2. 1/17デューティ
3. 1/8デューティ

7 LCD駆動電源... LCD POWER SUPPLY

1. 内部駆動 タイプA (V_{C2}基準, 1/5バイアス, 4.5V)
2. 外部駆動
3. 内部駆動 タイプB (V_{C2}基準, 1/5バイアス, 5.5V)
4. 内部駆動 タイプD (V_{C1}基準, 1/4バイアス, 4.5V)

8 R51出力ポート仕様... R51 OUTPUT PORT SPECIFICATION

1. BZ あり (Use)
2. BZ なし (Not Use)

9 R26出力ポート仕様... R26 OUTPUT PORT SPECIFICATION *1

1. REM出力
2. TOUT出力
3. DC出力

10 SEG40～SEG50ポート仕様... SEG40～SEG50 PORT SPECIFICATIONS

• SEG40	1. SEG出力	2. DC出力
• SEG41	1. SEG出力	2. DC出力
• SEG42	1. SEG出力	2. DC出力
• SEG43	1. SEG出力	2. DC出力
• SEG44	1. SEG出力	2. DC出力
• SEG45	1. SEG出力	2. DC出力
• SEG46	1. SEG出力	2. DC出力
• SEG47	1. SEG出力	2. DC出力
• SEG48	1. SEG出力	2. DC出力
• SEG49	1. SEG出力	2. DC出力
• SEG50	1. SEG出力	2. DC出力

*1 REM出力を選択しない場合も、イニシャルリセット後にリモートコントローラはOSC3で動作します。
 リモートコントローラを使用しない場合は低消費電流化のため、イニシャルリセット後の初期化ルーチンでリモートコントローラをOFF(REMC = "0")にしてください。

3 CPUとメモリの構成

ここでは、CPUとメモリの構成について説明します。

3.1 CPU

S1C88848はCPUとして8ビットコアCPU S1C88を使用しており、レジスタ構成、命令等は他のS1C88を使用したファミリプロセッサとほぼ同様です。S1C88については"S1C88コアCPUマニュアル"を参照してください。

使用しているS1C88のCPUモデルはMODEL3/ミニマムモードで、物理空間000000Hから00FFFFHまでの領域中、内部メモリが配置されたアドレスのみアクセスの対象として有効となります。

3.2 内蔵メモリ

S1C88848は図3.2.1に示すROMおよびRAMを内蔵しています。

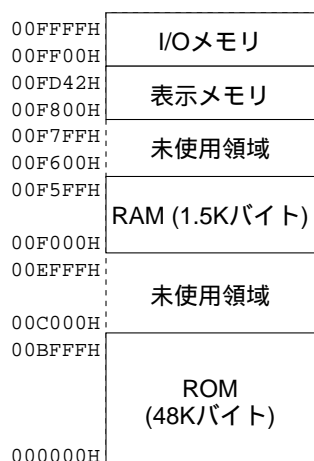


図3.2.1 内蔵メモリマップ

3.2.1 ROM

内蔵ROMの容量は次のとおりです。

ROM容量: 48Kバイト

アドレス: 000000H ~ 00BFFFH

3.2.2 RAM

内蔵RAMの容量は次のとおりです。

RAM容量: 1.5Kバイト

アドレス: 00F000H ~ 00F5FFFH

3.2.3 I/Oメモリ

S1C88848では、内蔵する周辺回路とのインタフェースにメモリマップドI/O方式を採用しています。各周辺回路の制御ビットやデータレジスタはメモリ空間上に配置され、通常のメモリアクセスによって制御およびデータのやりとりが行えます。I/Oメモリが配置されている領域は00FF00H ~ 00FFFFHです。I/Oメモリの詳細については"5.1 I/Oメモリマップ"を参照してください。

3.2.4 表示メモリ

S1C88848はLCDドライバの表示データを保持する表示メモリを内蔵しています。表示メモリが配置されている領域は00F800H ~ 00FD42H(未使用領域を含む)です。表示メモリの詳細については"5.11 LCDコントローラ"を参照してください。

3.3 例外処理ベクタ

S1C88848ではプログラム領域の000000H～000029Hが例外処理ベクタとして割り当てられています。また、00002CH～0000FFHまでは任意の偶数番地から始まる2バイトにソフトウェア割り込みのベクタを割り付けることができます。

表3.3.1にベクタアドレスと例外処理要因の対応を示します。

表3.3.1 ベクタアドレスと例外処理要因の対応

ベクタ アドレス	例外処理要因	優先 順位
000000H	リセット	高い
000002H	ゼロ除算	
000004H	ウォッチドッグタイマ (NMI)	
000006H	プログラマブルタイマ1割り込み	
000008H	プログラマブルタイマ0割り込み	
00000AH	K10, K11入力割り込み	
00000CH	K04～K07入力割り込み	
00000EH	K00～K03入力割り込み	
000010H	シリアルI/Fエラー割り込み	
000012H	シリアルI/F受信完了割り込み	
000014H	シリアルI/F送信完了割り込み	
000016H	ストップウォッチタイマ100Hz割り込み	
000018H	ストップウォッチタイマ10Hz割り込み	
00001AH	ストップウォッチタイマ1Hz割り込み	
00001CH	計時タイマ32Hz割り込み	
00001EH	計時タイマ8Hz割り込み	
000020H	計時タイマ2Hz割り込み	
000022H	計時タイマ1Hz割り込み	
000024H	リモコンキャリア出力割り込み	
000026H	プログラマブルタイマ3割り込み	
000028H	プログラマブルタイマ2割り込み	低い
00002AH	システム予約 (使用不可)	
00002CH	ソフトウェア割り込み	なし
:		
0000FEH		

各ベクタアドレスとその次のアドレスに、例外処理ルーチンの先頭アドレスを下位、上位の順に格納しておきます。例外処理要因が発生すると、設定されたアドレスから始まる例外処理ルーチンを実行します。

同時に複数の例外処理が発生した場合は優先順位の高いものから先に実行されます。

なお、表3.3.1に示された割り込みの優先順位は、割り込み優先レベルがすべて同じ場合のもので、各割り込みの優先レベルは系列ごとにソフトウェアで設定することができます。("5.15 割り込みとスタンバイ状態"参照)

注! リセット以外の例外処理ではSC(システムコンディションフラグ)およびPC(プログラムカウンタ)をスタックに退避させ、各例外処理ルーチンに分岐します。したがって、例外処理ルーチンからメインルーチンに戻す際にはRETE命令を使用してください。

例外処理要因発生時のCPUの動作については"S1C88コアCPUマニュアル"を参照してください。

3.4 CC (カスタマイズコンディションフラグ)

S1C88848ではコアCPU内のカスタマイズコンディションフラグ(CC)を使用していません。したがって、条件付き分岐命令(JRS、CARS)の分岐条件として使用することはできません。

4 イニシャルリセット

S1C88848は回路を初期化するためにイニシャルリセットを必要とします。

ここでは、イニシャルリセットの要因と内部レジスタ等の初期設定について説明します。

4.1 イニシャルリセット要因

S1C88848のイニシャルリセット要因としては以下の2種類があります。

- (1) RESET端子
- (2) 入力ポート(K00 ~ K03端子)の同時LOWレベル入力

図4.1.1にイニシャルリセット回路の構成を示します。

イニシャルリセット要因によってCPUおよび周辺回路が初期化され、要因が解除されるとCPUはリセット例外処理を開始します。("S1C88コアCPUマニュアル"参照)

これによって、バンク0先頭(000000H ~ 000001H)のリセット例外処理ベクタが読み出され、その読み出されたアドレスから始まるプログラム(初期化ルーチン)の実行を開始します。

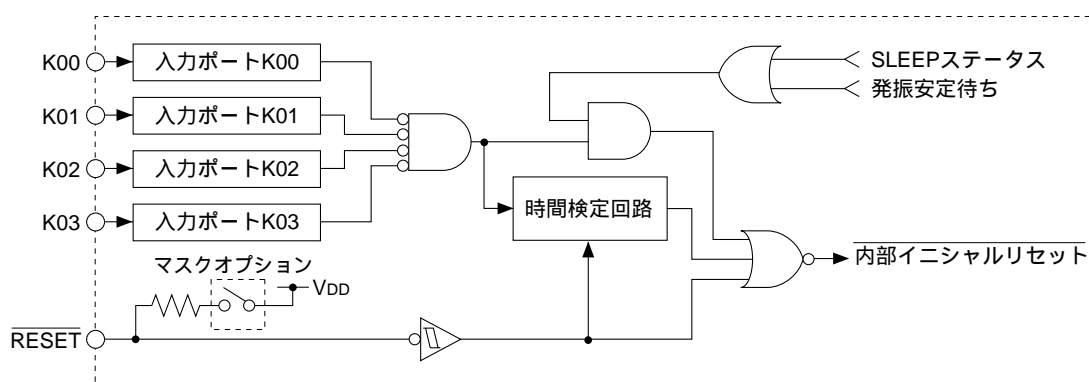


図4.1.1 イニシャルリセット回路の構成

4.1.1 RESET端子

外部からRESET端子にLOWレベルを入力することでイニシャルリセットが行えます。

S1C88848を確実に初期化するため、電源電圧立ち上がり後規定の時間RESET端子をLOWレベルに保持してください。

また、電源投入時の初回のイニシャルリセットは必ずRESET端子を使用してください。RESET端子の内蔵プルアップ抵抗はマスクオプションで使用するかしないかを選択することができます。

4.1.2 入力ポート(K00～K03)の同時LOWレベル入力

マスクオプションで選択された入力ポート(K00～K03)に、外部から同時にLOWレベルを入力することでイニシャルリセットが行えます。本イニシャルリセット手段は時間検定回路を内蔵しているため、2秒(発振周波数 $f_{osc1}=32.768\text{kHz}$ の場合)以上、指定入力ポート端子をLOWレベルに保つ必要があります。

ただし、SLEEP(スタンバイ)状態時、および電源投入時の発振安定待ち期間中は時間検定回路がバイパスされるため、指定入力ポートへのLOWレベル同時入力直後にイニシャルリセットがかかります。マスクオプションで選択できる入力ポート(K00～K03)の組合せは次のとおりです。

- (1) 使用しない
- (2) K00 & K01
- (3) K00 & K01 & K02
- (4) K00 & K01 & K02 & K03

たとえば、マスクオプションで(4)の"K00 & K01 & K02 & K03"を選択した場合、K00～K03の4ポートの入力が同時にLOWレベルになったときにイニシャルリセットがかかります。

この機能を使用する場合、通常動作時に指定入力ポートが同時にLOWレベルにならないように注意してください。

4.1.3 イニシャルリセットシーケンス

電源投入時のRESET端子へのLOWレベル入力解除後、発振安定待ち時間($128/f_{osc1}$ 秒)が経過するまでCPUの起動は待たされます。

図4.1.3.1にイニシャルリセット解除後の動作シーケンスを示します。

なお、入力ポート(K00～K03)への同時LOWレベル入力によるイニシャルリセット手段を使用する場合は、次の点に注意してください。

- (1) SLEEP状態時、および電源投入時の発振安定待ち期間中は時間検定回路がバイパスされるため、LOWレベル同時入力直後にイニシャルリセットがかかります。この場合、LOWレベル同時入力解除後に発振安定時間を待ってCPUが起動されます。
- (2) (1)の状態以外はLOWレベル同時入力1～2秒後にイニシャルリセットがかかります。この場合は、S1C88848内部でリセット微分パルス($256/f_{osc1}$ 秒)が発生されるため、LOWレベル同時入力状態を解除しなくてもCPUは起動されます。

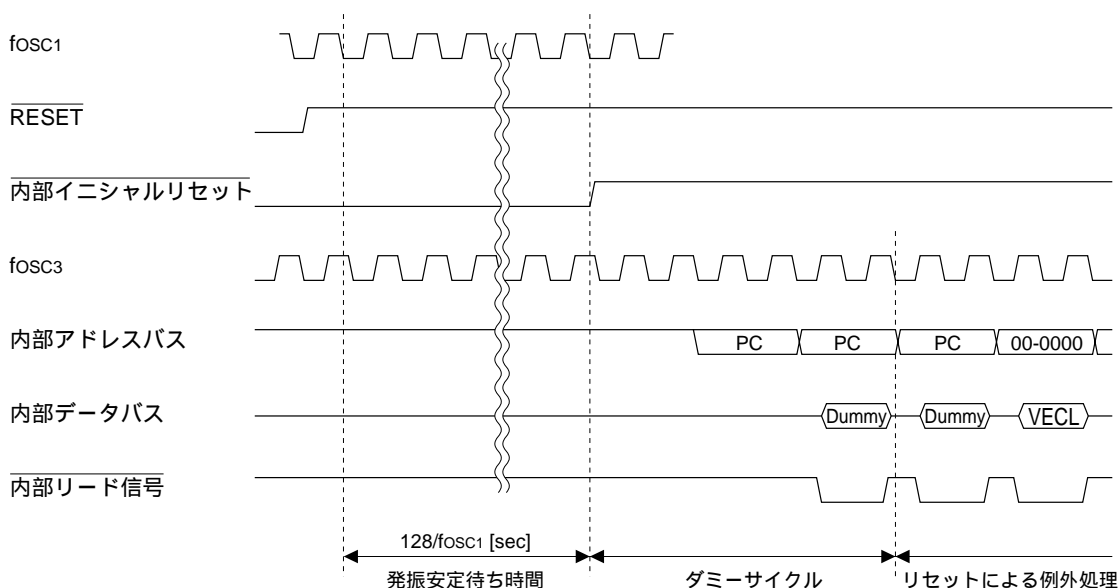


図4.1.3.1 イニシャルリセット解除後の動作シーケンス

4.2 イニシャルリセット時の初期設定

イニシャルリセットによりCPUの内部レジスタは以下のように初期化されます。

表4.2.1 初期設定値

レジスタ名称	記号	ビット長	初期値
データレジスタA	A	8	不定
データレジスタB	B	8	不定
インデックス(データ)レジスタL	L	8	不定
インデックス(データ)レジスタH	H	8	不定
インデックスレジスタIX	IX	16	不定
インデックスレジスタIY	IY	16	不定
プログラムカウンタ	PC	16	不定*
スタックポインタ	SP	16	不定
ベースレジスタ	BR	8	不定
ゼロフラグ	Z	1	0
キャリーフラグ	C	1	0
オーバーフローフラグ	V	1	0
ネガティブフラグ	N	1	0
デシマルフラグ	D	1	0
アンパックフラグ	U	1	0
インタラプトフラグ0	I0	1	1
インタラプトフラグ1	I1	1	1
ニューコードバンクレジスタ	NB	8	01H
コードバンクレジスタ	CB	8	不定*
エクスパンドページレジスタ	EP	8	00H
IX用エクスパンドページレジスタ	XP	8	00H
IY用エクスパンドページレジスタ	YP	8	00H

* リセット例外処理によって、0バンクのメモリ
の先頭(000000H～000001H)に格納されている
値がPCにロードされます。また、このとき同
時にNBの初期値01HがCBにロードされます。

イニシャルリセット時に初期化されない(不定)レジ
スタはソフトウェアで初期化してください。

内蔵RAMおよび表示メモリについてもイニシャル
リセット時に初期化されませんので、同様にソフ
トウェアで初期化してください。

内蔵の周辺回路については、それぞれ所定の初期
化が行われます。必要に応じてソフトウェアで初
期化してください。

イニシャルリセット時の初期値については、次章
のI/Oメモリマップまたは各周辺回路の説明を参照
してください。

5 周辺回路と動作

S1C8848の周辺回路はメモリマップドI/O方式でCPUとインタフェースされています。このため、他のメモリアクセスと同様にI/Oメモリを操作して周辺回路を制御することができます。以下、各周辺回路別にその動作と制御方法を説明します。

5.1 I/Oメモリマップ

表5.1.1(a) I/Oメモリマップ(00FF00H～00FF10H)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF00	D7	BSMD1	汎用レジスタ	1	0	0	R/W	予約レジスタ (注)
	D6	BSMD0	汎用レジスタ			0	R/W	
	D5	CEMD1	汎用レジスタ			1	R/W	
	D4	CEMD0	汎用レジスタ			1	R/W	
	D3	CE3	汎用レジスタ			0	R/W	
	D2	CE2	汎用レジスタ			0	R/W	
	D1	CE1	汎用レジスタ			0	R/W	
	D0	CE0	汎用レジスタ			0	R/W	
00FF01	D7	SPP7	汎用レジスタ	1	0	0	R/W	予約レジスタ (注)
	D6	SPP6	汎用レジスタ			0	R/W	
	D5	SPP5	汎用レジスタ			0	R/W	
	D4	SPP4	汎用レジスタ			0	R/W	
	D3	SPP3	汎用レジスタ			0	R/W	
	D2	SPP2	汎用レジスタ			0	R/W	
	D1	SPP1	汎用レジスタ			0	R/W	
	D0	SPP0	汎用レジスタ			0	R/W	
00FF02	D7	EBR	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D6	WT2	汎用レジスタ			0	R/W	
	D5	WT1	汎用レジスタ			0	R/W	
	D4	WT0	汎用レジスタ			0	R/W	
	D3	CLKCHG	CPU動作クロック切り換え	OSC3	OSC1	1	R/W	予約レジスタ
	D2	OSCC	OSC3発振On/Off制御	On	Off	1	R/W	
	D1	VD1C1	汎用レジスタ	1	0	0	R/W	
	D0	VD1C0	汎用レジスタ			0	R/W	
00FF10	D7	—	—	—	—	—	—	読み出し時は 常時"0"
	D6	—	—	—	—	—	—	
	D5	—	—	—	—	—	—	
	D4	LCCLK	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D3	LCFRM	汎用レジスタ			0	R/W	
	D2	DTFNT	LCDドットフォント選択	5×5ドット	5×8ドット	0	R/W	*1
	D1	LDUTY	LCD駆動デューティ選択	1/16デューティ	1/32デューティ	0	R/W	
	D0	SGOUT	汎用レジスタ	1	0	0	R/W	

*1 マスクオプションで1/8デューティまたは1/17デューティを選択している場合は、本レジスタの設定は無効となります。

注) S1C88 FamilyのデバッキングツールICE(S5U1C88000H5)にペリフェラルボード(S5U1C88000P)を装着してデバッグを行う場合は、アドレス"00FF00H"および"00FF01H"に任意の値をそれぞれ書き込むまで、NMIを含めたすべての割り込みはマスクされます。

表5.1.1(b) I/Oメモリマップ(00FF11H ~ 00FF21H)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF11	D7	—	—	—	—	—		読み出し時は"0"
	D6	DSPAR	LCD表示メモリ領域選択	表示領域1	表示領域0	0	R/W	
	D5	LCDC1	LCD表示制御			0	R/W	SLP命令実行時に (0, 0)にリセット
	D4	LCDC0	LCDC1 LCDC0 LCD表示					
			1 1 全点灯					
			1 0 全消灯					
			0 1 通常表示			0	R/W	
			0 0 駆動Off					
	D3	LC3	LCDコントラスト調整			0	R/W	
	D2	LC2	LC3 LC2 LC1 LC0 コントラスト			0	R/W	
	D1	LC1	1 1 1 0 :			0	R/W	
	D0	LC0	: : : :					
			0 0 0 0 淡			0	R/W	
00FF12	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	SVDDT	SVD検出データ	Low	Normal	0	R	
	D4	SVDON	SVD回路On/Off	On	Off	0	R/W	
	D3	SVDS3	SVD比較電圧設定			0	R/W	
	D2	SVDS2	SVDS3 SVDS2 SVDS1 SVDS0 電圧					
			1 1 1 1 4.35V					
			1 1 1 0 4.17V					
			1 1 0 1 4.00V					
			1 1 0 0 3.83V					
			1 0 1 1 3.67V			0	R/W	
	D1	SVDS1	1 0 1 0 3.50V					
			1 0 0 1 3.33V					
			1 0 0 0 3.17V					
			0 1 1 1 3.00V					
			0 1 1 0 2.83V			0	R/W	
			0 1 0 1 2.67V					
	D0	SVDS0	0 1 0 0 2.50V					
			0 0 1 1 2.33V					
			0 0 1 0 2.17V			0	R/W	
			0 0 0 1 2.00V					
			0 0 0 0 1.83V					
00FF20	D7	PK01	K00 ~ K07割り込み			0	R/W	
	D6	PK00	プライオリティレジスタ	PK01 PK00		0	R/W	
	D5	PSIF1	シリアルインタフェース割り込み	PSIF1 PSIF0		0	R/W	
	D4	PSIF0	プライオリティレジスタ	PSW1 PSW0 優先 レベル		0	R/W	
	D3	PSW1	ストップウォッチタイマ割り込み	PTM1 PTM0 レベル3		0	R/W	
	D2	PSW0	プライオリティレジスタ	1 0 レベル2		0	R/W	
	D1	PTM1	計時タイマ割り込み	0 1 レベル1		0	R/W	
	D0	PTM0	プライオリティレジスタ	0 0 レベル0		0	R/W	
00FF21	D7	PREM1	REMキャリア割り込み			0	R/W	
	D6	PREM0	プライオリティレジスタ	PREM1 PREM0		0	R/W	
	D5	PPT3	プログラマブルタイマ2, 3割り込み	PPT3 PPT2		0	R/W	
	D4	PPT2	プライオリティレジスタ	PPT1 PPT0 優先 レベル		0	R/W	
	D3	PPT1	プログラマブルタイマ0, 1割り込み	PK11 PK10 レベル3		0	R/W	
	D2	PPT0	プライオリティレジスタ	1 0 レベル2		0	R/W	
	D1	PK11	K10, K11割り込み	0 1 レベル1		0	R/W	
	D0	PK10	プライオリティレジスタ	0 0 レベル0		0	R/W	

表5.1.1(c) I/Oメモリマップ(00FF22H~00FF27H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF22	D7	—	—	—	—	—		読み出し時は"0"
	D6	ESW100	ストップウォッチ100Hz割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D5	ESW10	ストップウォッチ10Hz割り込みイネーブルレジスタ			0	R/W	
	D4	ESW1	ストップウォッチ1Hz割り込みイネーブルレジスタ			0	R/W	
	D3	ETM32	計時タイマ32Hz割り込みイネーブルレジスタ			0	R/W	
	D2	ETM8	計時タイマ8Hz割り込みイネーブルレジスタ			0	R/W	
	D1	ETM2	計時タイマ2Hz割り込みイネーブルレジスタ			0	R/W	
	D0	ETM1	計時タイマ1Hz割り込みイネーブルレジスタ			0	R/W	
00FF23	D7	EPT1	プログラマブルタイマ1割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D6	EPT0	プログラマブルタイマ0割り込みイネーブルレジスタ			0	R/W	
	D5	EK1	K10, K11割り込みイネーブルレジスタ			0	R/W	
	D4	EK0H	K04 ~ K07割り込みイネーブルレジスタ			0	R/W	
	D3	EK0L	K00 ~ K03割り込みイネーブルレジスタ			0	R/W	
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブルレジスタ			0	R/W	
	D1	ESREC	シリアルI/F(受信)割り込みイネーブルレジスタ			0	R/W	
	D0	ESTRA	シリアルI/F(送信)割り込みイネーブルレジスタ			0	R/W	
00FF24	D7	—	—	—	—	—		読み出し時は"0"
	D6	FSW100	ストップウォッチ100Hz割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W	
	D5	FSW10	ストップウォッチ10Hz割り込み要因フラグ			0	R/W	
	D4	FSW1	ストップウォッチ1Hz割り込み要因フラグ			0	R/W	
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ			0	R/W	
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ	(W) リセット	(W) 無効	0	R/W	
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ			0	R/W	
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ			0	R/W	
00FF25	D7	FPT1	プログラマブルタイマ1割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W	
	D6	FPT0	プログラマブルタイマ0割り込み要因フラグ			0	R/W	
	D5	FK1	K10, K11割り込み要因フラグ			0	R/W	
	D4	FK0H	K04 ~ K07割り込み要因フラグ			0	R/W	
	D3	FK0L	K00 ~ K03割り込み要因フラグ	(W) リセット	(W) 無効	0	R/W	
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ			0	R/W	
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ			0	R/W	
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ			0	R/W	
00FF26	D7	EPT3	プログラマブルタイマ3割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D6	EPT2	プログラマブルタイマ2割り込みイネーブルレジスタ			0	R/W	
	D5	EREM	REMキャリア割り込みイネーブルレジスタ			0	R/W	
	D4	REMC	REMキャリア発生On/Off	On	Off	1	R/W	
	D3	—	—	—	—	—		読み出し時は 常時"0"
	D2	—	—	—	—	—		
	D1	—	—	—	—	—		
	D0	—	—	—	—	—		
	D7	FPT3	プログラマブルタイマ3割り込み要因フラグ	(R)要因あり (W)リセット	(R)要因なし (W)無効	0	R/W	
	D6	FPT2	プログラマブルタイマ2割り込み要因フラグ			0	R/W	
	D5	FREM	REMキャリア割り込み要因フラグ			0	R/W	
	D4	REMSO	REM強制出力On/Off			0	R/W	
00FF27	D3	—	—	—	—	—		読み出し時は 常時"0"
	D2	—	—	—	—	—		
	D1	—	—	—	—	—		
	D0	—	—	—	—	—		
	D7	—	—	—	—	—		

表5.1.1(d) I/Oメモリマップ(00FF28H ~ 00FF30H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF28	D7	—	—	—	—	—		読み出し時は"0"
	D6	RT1	REM τ 周期設定			0	R/W	
			RT1 RT0 分周比					
			1 1 1/32					
	D5	RT0	1 0 1/20			0	R/W	
			0 1 1/16					
			0 0 1/12					
	D4	RCDIV	REMキャリア周期設定	fosc3/96	fosc3/64	0	R/W	
	D3	RCDUTY3	REMキャリアデューティ設定			0	R/W	*2
			RCDUTYx デューティ					
			$\frac{3}{1} \frac{2}{0} \frac{1}{1} \frac{0}{1}$ (RCDIV = 0) (RCDIV = 1)					
			1 0 1 1 — 12/24					
00FF29	D2	RCDUTY2	1 0 1 0 — 11/24			0	R/W	
			1 0 0 1 — 10/24					
			1 0 0 0 — 9/24					
			0 1 1 1 — 8/24					
	D1	RCDUTY1	0 1 1 0 — 7/24			0	R/W	
			0 1 0 1 — 6/24					
			0 1 0 0 — 5/24					
			0 0 1 1 4/8 4/24					
			0 0 1 0 3/8 3/24					
			0 0 0 1 2/8 2/24			0	R/W	
			0 0 0 0 1/8 1/24					
	D0	RCDUTY0						
00FF2A	D7	ROUT1	REM出力On時間設定(0 ~ 3: 0 ~ 3 τ)			0	R/W	*1
	D6	ROUT0	書き込みにより1回のみ動作			0	R/W	
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		読み出し時は常時"0"
	D2	—	—	—	—	—		
	D1	—	—	—	—	—		
	D0	—	—	—	—	—		
00FF30	D7	—	—	—	—	—		読み出し時は常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	MODE160	8/16ビットモード選択(タイマ0/1)	16ビット x 1	8ビット x 2	0	R/W	
	D3	CHSEL	TOUT出力チャンネル選択	タイマ1	タイマ0	0	R/W	
	D2	PTOUT	TOUT出力制御	On	Off	0	R/W	
	D1	CKSEL1	プリスケアラ1原振クロック選択	fosc3	fosc1	0	R/W	
	D0	CKSEL0	プリスケアラ0原振クロック選択	fosc3	fosc1	0	R/W	

*1 ハードタイマ方式のみ有効。ソフトタイマ方式では書き込み禁止

*2 RCDIV = "1"の場合、RCDUTYxが"1100"以上ではREM出力しません。

RCDIV = "0"の場合、RCDUTYxが"0100"以上の設定は"0011"と同じとなります。

表5.1.1(e) I/Oメモリマップ(00FF31H~00FF35H)

アドレス	ビット	名称	機 能		1	0	SR	R/W	注 釈
00FF31	D7	EVCNT0	タイマ0カウンタモード選択		イベントカウンタ	タイマ	0	R/W	
	D6	FCSEL0	タイマ0 機能選択	タイマモード時	パルス幅 測定	通常 モード	0	R/W	
				イベントカウンタモード時	ノイズリジ ェクタ付き	ノイズリジ ェクタなし			
	D5	PLPOL0	タイマ0 パルス 極性選択	イベントカウンタモードの ダウンカウントタイミング パルス幅測定モード時	K10入力 の立ち上がり K10入力 のHighレベル 幅測定	K10入力 の立ち下がり K10入力 のLowレベル 幅測定	0	R/W	
	D4	PSC01	タイマ0プリスケラ分周比選択				0	R/W	
	PSC01 PSC00 プリスケラ分周比								
	1 1 原振クロック / 64								
	1 0 原振クロック / 16								
	D3	PSC00	0 1 原振クロック / 4			0	R/W		
			0 0 原振クロック / 1						
D2	CONT0	タイマ0連続/ワンショットモード選択		連続	ワンショット	0	R/W		
D1	PSET0	タイマ0プリセット		プリセット	無効	－	W	読み出し時は"0"	
D0	PRUN0	タイマ0 Run/Stop制御		Run	Stop	0	R/W		
00FF32	D7	－	－		－	－	－		読み出し時は 常時"0"
	D6	－	－		－	－	－		
	D5	－	－		－	－	－		
	D4	PSC11	タイマ1プリスケラ分周比選択				0	R/W	
			PSC11 PSC10 プリスケラ分周比						
	1 1 原振クロック / 64								
	1 0 原振クロック / 16								
	D3	PSC10	0 1 原振クロック / 4			0	R/W		
			0 0 原振クロック / 1						
	D2	CONT1	タイマ1連続/ワンショットモード選択		連続	ワンショット	0	R/W	
D1	PSET1	タイマ1プリセット		プリセット	無効	－	W	読み出し時は"0"	
D0	PRUN1	タイマ1 Run/Stop制御		Run	Stop	0	R/W		
00FF33	D7	RLD07	タイマ0リロードデータD7 (MSB)		High	Low	1	R/W	
	D6	RLD06	タイマ0リロードデータD6				1	R/W	
	D5	RLD05	タイマ0リロードデータD5				1	R/W	
	D4	RLD04	タイマ0リロードデータD4				1	R/W	
	D3	RLD03	タイマ0リロードデータD3				1	R/W	
	D2	RLD02	タイマ0リロードデータD2				1	R/W	
	D1	RLD01	タイマ0リロードデータD1				1	R/W	
	D0	RLD00	タイマ0リロードデータD0 (LSB)				1	R/W	
	00FF34	D7	RLD17	タイマ1リロードデータD7 (MSB)			High	Low	
D6		RLD16	タイマ1リロードデータD6		1	R/W			
D5		RLD15	タイマ1リロードデータD5		1	R/W			
D4		RLD14	タイマ1リロードデータD4		1	R/W			
D3		RLD13	タイマ1リロードデータD3		1	R/W			
D2		RLD12	タイマ1リロードデータD2		1	R/W			
D1		RLD11	タイマ1リロードデータD1		1	R/W			
D0		RLD10	タイマ1リロードデータD0 (LSB)		1	R/W			
00FF35		D7	PTD07	タイマ0カウンタデータD7 (MSB)		High			Low
	D6	PTD06	タイマ0カウンタデータD6		1		R		
	D5	PTD05	タイマ0カウンタデータD5		1		R		
	D4	PTD04	タイマ0カウンタデータD4		1		R		
	D3	PTD03	タイマ0カウンタデータD3		1		R		
	D2	PTD02	タイマ0カウンタデータD2		1		R		
	D1	PTD01	タイマ0カウンタデータD1		1		R		
	D0	PTD00	タイマ0カウンタデータD0 (LSB)		1		R		

表5.1.1(f) I/Oメモリマップ(00FF36H~00FF3BH)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈	
00FF36	D7	PTD17	タイマ1カウンタデータD7 (MSB)	High	Low	1	R		
	D6	PTD16	タイマ1カウンタデータD6			1	R		
	D5	PTD15	タイマ1カウンタデータD5			1	R		
	D4	PTD14	タイマ1カウンタデータD4			1	R		
	D3	PTD13	タイマ1カウンタデータD3			1	R		
	D2	PTD12	タイマ1カウンタデータD2			1	R		
	D1	PTD11	タイマ1カウンタデータD1			1	R		
	D0	PTD10	タイマ1カウンタデータD0 (LSB)			1	R		
00FF38	D7	—	—	—	—	—		読み出し時は 常時"0"	
	D6	—	—	—	—	—			
	D5	—	—	—	—	—			
	D4	MODE162	8/16ビットモード選択(タイマ2/3)	16ビット x 1	8ビット x 2	0	R/W		
	D3	—	—	—	—	—		読み出し時は 常時"0"	
	D2	—	—	—	—	—			
	D1	CKSEL3	プリスケーラ3原振クロック選択	fosc3	fosc1	0	R/W		
	D0	CKSEL2	プリスケーラ2原振クロック選択	fosc3	fosc1	0	R/W		
00FF39	D7	EVCNT2	タイマ2カウンタモード選択	イベントカウンタ	タイマ	0	R/W		
	D6	FCSEL2	タイマ2 機能選択	タイマモード時	パルス幅 測定	通常 モード	0		R/W
				イベントカウンタモード時	ノイズリジ ェクタ付き	ノイズリジ ェクタなし			
	D5	PLPOL2	タイマ2 パルス 極性選択	イベントカウンタモードの ダウンカウントタイミング	K11入力の 立ち上がり	K11入力の 立ち下がり	0		R/W
				パルス幅測定モード時	K11入力の Highレベル 幅測定	K11入力の Lowレベル 幅測定			
	D4	PSC21	タイマ2プリスケーラ分周比選択				0		R/W
	D3	PSC20	PSC21 PSC20 プリスケーラ分周比						
			1 1 原振クロック / 64						
			1 0 原振クロック / 16						
			0 1 原振クロック / 4				0		R/W
		0 0 原振クロック / 1							
	D2	CONT2	タイマ2連続/ワンショットモード選択	連続	ワンショット	0	R/W		
	D1	PSET2	タイマ2プリセット	プリセット	無効	—	W		読み出し時は"0"
	D0	PRUN2	タイマ2 Run/Stop制御	Run	Stop	0	R/W		
00FF3A	D7	—	—	—	—	—		読み出し時は 常時"0"	
	D6	—	—	—	—	—			
	D5	—	—	—	—	—			
	D4	PSC31	タイマ3プリスケーラ分周比選択				0	R/W	
			PSC31 PSC30 プリスケーラ分周比						
			1 1 原振クロック / 64						
			1 0 原振クロック / 16						
	D3	PSC30	0 1 原振クロック / 4				0	R/W	
0 0 原振クロック / 1									
D2	CONT3	タイマ3連続/ワンショットモード選択	連続	ワンショット	0	R/W			
D1	PSET3	タイマ3プリセット	プリセット	無効	—	W	読み出し時は"0"		
D0	PRUN3	タイマ3 Run/Stop制御	Run	Stop	0	R/W			
00FF3B	D7	RLD27	タイマ2リロードデータD7 (MSB)	High	Low	1	R/W		
	D6	RLD26	タイマ2リロードデータD6			1	R/W		
	D5	RLD25	タイマ2リロードデータD5			1	R/W		
	D4	RLD24	タイマ2リロードデータD4			1	R/W		
	D3	RLD23	タイマ2リロードデータD3			1	R/W		
	D2	RLD22	タイマ2リロードデータD2			1	R/W		
	D1	RLD21	タイマ2リロードデータD1			1	R/W		
	D0	RLD20	タイマ2リロードデータD0 (LSB)			1	R/W		

表5.1.1(g) I/Oメモリマップ(00FF3CH ~ 00FF41H)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF3C	D7	RLD37	タイマ3リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RLD36	タイマ3リロードデータD6			1	R/W	
	D5	RLD35	タイマ3リロードデータD5			1	R/W	
	D4	RLD34	タイマ3リロードデータD4			1	R/W	
	D3	RLD33	タイマ3リロードデータD3			1	R/W	
	D2	RLD32	タイマ3リロードデータD2			1	R/W	
	D1	RLD31	タイマ3リロードデータD1			1	R/W	
	D0	RLD30	タイマ3リロードデータD0 (LSB)			1	R/W	
00FF3D	D7	PTD27	タイマ2カウンタデータD7 (MSB)	High	Low	1	R	
	D6	PTD26	タイマ2カウンタデータD6			1	R	
	D5	PTD25	タイマ2カウンタデータD5			1	R	
	D4	PTD24	タイマ2カウンタデータD4			1	R	
	D3	PTD23	タイマ2カウンタデータD3			1	R	
	D2	PTD22	タイマ2カウンタデータD2			1	R	
	D1	PTD21	タイマ2カウンタデータD1			1	R	
	D0	PTD20	タイマ2カウンタデータD0 (LSB)			1	R	
00FF3E	D7	PTD37	タイマ3カウンタデータD7 (MSB)	High	Low	1	R	
	D6	PTD36	タイマ3カウンタデータD6			1	R	
	D5	PTD35	タイマ3カウンタデータD5			1	R	
	D4	PTD34	タイマ3カウンタデータD4			1	R	
	D3	PTD33	タイマ3カウンタデータD3			1	R	
	D2	PTD32	タイマ3カウンタデータD2			1	R	
	D1	PTD31	タイマ3カウンタデータD1			1	R	
	D0	PTD30	タイマ3カウンタデータD0 (LSB)			1	R	
00FF40	D7	—	—	—	—	—		読み出し時は"0"
	D6	FOUT2	FOUT周波数選択			0	R/W	
			FOUT2 FOUT1 FOUT0 周波数					
	0 0 0 fosc1 / 1	0	R/W					
	0 0 1 fosc1 / 2							
	0 1 0 fosc1 / 4							
	0 1 1 fosc1 / 8							
	D5	FOUT1	1 0 0 fosc3 / 1	0	R/W			
			1 0 1 fosc3 / 2					
	D4	FOUT0	1 1 0 fosc3 / 4					
1 1 1 fosc3 / 8								
D3	FOUTON	FOUT出力制御	On	Off	0	R/W		
D2	WDRST	ウォッチドッグタイマリセット	リセット	無効	—	W	読み出し時は	
D1	TMRST	計時タイマリセット	リセット	無効	—	W	常時"0"	
D0	TMRUN	計時タイマRun/Stop制御	Run	Stop	0	R/W		
00FF41	D7	TMD7	計時タイマデータ 1Hz	High	Low	0	R	
	D6	TMD6	計時タイマデータ 2Hz			0	R	
	D5	TMD5	計時タイマデータ 4Hz			0	R	
	D4	TMD4	計時タイマデータ 8Hz			0	R	
	D3	TMD3	計時タイマデータ 16Hz			0	R	
	D2	TMD2	計時タイマデータ 32Hz			0	R	
	D1	TMD1	計時タイマデータ 64Hz			0	R	
	D0	TMD0	計時タイマデータ 128Hz			0	R	

表5.1.1(h) I/Oメモリマップ(00FF42H ~ 00FF45H)

アドレス	ビット	名称	機 能		1	0	SR	R/W	注 釈	
00FF42	D7	—	—		—	—	—		読み出し時は 常時"0"	
	D6	—	—		—	—	—			
	D5	—	—		—	—	—			
	D4	—	—		—	—	—			
	D3	—	—		—	—	—			
	D2	—	—		—	—	—			
	D1	SWRST	ストップウォッチタイマリセット		リセット	無効	—	W		
	D0	SWRUN	ストップウォッチタイマRun/Stop制御		Run	Stop	0	R/W		
00FF43	D7	SWD7	ストップウォッチタイマデータ				—	R		
	D6	SWD6					—	R		
	D5	SWD5					BCD (1/10sec)	—		R
	D4	SWD4					—	R		
	D3	SWD3	ストップウォッチタイマデータ				—	R		
	D2	SWD2					—	R		
	D1	SWD1					BCD (1/100sec)	—		R
	D0	SWD0					—	R		
00FF44	D7	—	—		—	—	—		読み出し時は 常時"0"	
	D6	BZSTP	ワンショットブザー強制停止		強制停止	無効	—	W		
	D5	BZSHT	ワンショットブザートリガ/ステータス	R W	Busy トリガ	Ready 無効	0	R/W		
	D4	SHTPW	ワンショットブザー時間幅選択		125msec	31.25msec	0	R/W		
	D3	ENRTM	エンベロープ減衰時間		1sec	0.5sec	0	R/W		
	D2	ENRST	エンベロープリセット		リセット	無効	—	W		読み出し時は"0"
	D1	ENON	エンベロープOn/Off制御		On	Off	0	R/W		*1
	D0	BZON	ブザー出力制御		On	Off	0	R/W		
00FF45	D7	—	—		—	—	—		読み出し時は"0"	
	D6	DUTY2	ブザー信号デューティ比選択 DUTY2~0 ブザー周波数(Hz)				0	R/W		
										2 1 0 4096.0 3276.8 2730.7 2340.6 2048.0 1638.4 1365.3 1170.3
	D5	DUTY1	0 0 0 8/16 8/20 12/24 12/28	0	R/W					
			0 0 1 7/16 7/20 11/24 11/28							
			0 1 0 6/16 6/20 10/24 10/28							
			0 1 1 5/16 5/20 9/24 9/28							
			1 0 0 4/16 4/20 8/24 8/28							
	D4	DUTY0	1 0 1 3/16 3/20 7/24 7/28	0	R/W					
			1 1 0 2/16 2/20 6/24 6/28							
			1 1 1 1/16 1/20 5/24 5/28							
	D3	—	—		—	—	—		読み出し時は"0"	
D2	BZFQ2	ブザー周波数選択 BZFQ2 BZFQ1 BZFQ0 周波数(Hz)				0	R/W			
									0 0 0 4096.0	
D1	BZFQ1	0 0 1 3276.8	0	R/W						
		0 1 0 2730.7								
		0 1 1 2340.6								
		1 0 0 2048.0								
		1 0 1 1638.4								
D0	BZFQ0	1 1 0 1365.3	0	R/W						
		1 1 1 1170.3								

*1 ワンショット出力時、"0"にリセット

表5.1.1(i) I/Oメモリマップ(00FF48H~00FF51H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF48	D7	—	—	—	—	—		読み出し時は"0"
	D6	EPR	パリティイネーブルレジスタ	パリティ付き	パリティなし	0	R/W	調歩同期式のみ
	D5	PMD	パリティモード選択	奇数	偶数	0	R/W	
	D4	SCS1	クロック源選択			0	R/W	クロック同期式 スレープモード では外部クロック が選択される
		SCS1 SCS0	クロック源					
		1 1	プログラマブルタイマ					
		1 0	fosc3 / 4					
	D3	SCS0	0 1 fosc3 / 8 0 0 fosc3 / 16			0	R/W	
00FF49	D2	SMD1	シリアルI/Fモード選択			0	R/W	
		SMD1 SMD0	モード					
		1 1	調歩同期式8ビット					
		1 0	調歩同期式7ビット					
	D1	SMD0	0 1 クロック同期式スレープ 0 0 クロック同期式マスタ			0	R/W	
	D0	ESIF	シリアルI/Fイネーブルレジスタ	シリアルI/F	I/Oポート	0	R/W	
00FF49	D7	—	—	—	—	—		読み出し時は"0"
	D6	FER	フレーミングエラーフラグ	R エラー W リセット(0)	エラーなし 無効	0	R/W	調歩同期式のみ
	D5	PER	パリティエラーフラグ	R エラー W リセット(0)	エラーなし 無効	0	R/W	
	D4	OER	オーバーランエラーフラグ	R エラー W リセット(0)	エラーなし 無効	0	R/W	
	D3	RXTRG	受信トリガ/ステータス	R 受信中 W トリガ	停止中 無効	0	R/W	
	D2	RXEN	受信許可	許可	禁止	0	R/W	
	D1	TXTRG	送信トリガ/ステータス	R 送信中 W トリガ	停止中 無効	0	R/W	
	D0	TXEN	送信許可	許可	禁止	0	R/W	
00FF4A	D7	TRXD7	送受信データD7 (MSB)			X	R/W	High Low
	D6	TRXD6	送受信データD6			X	R/W	
	D5	TRXD5	送受信データD5			X	R/W	
	D4	TRXD4	送受信データD4			X	R/W	
	D3	TRXD3	送受信データD3			X	R/W	
	D2	TRXD2	送受信データD2			X	R/W	
	D1	TRXD1	送受信データD1			X	R/W	
	D0	TRXD0	送受信データD0 (LSB)			X	R/W	
00FF50	D7	SIK07	K07割り込み選択レジスタ			0	R/W	割り込み 許可 禁止
	D6	SIK06	K06割り込み選択レジスタ			0	R/W	
	D5	SIK05	K05割り込み選択レジスタ			0	R/W	
	D4	SIK04	K04割り込み選択レジスタ			0	R/W	
	D3	SIK03	K03割り込み選択レジスタ			0	R/W	
	D2	SIK02	K02割り込み選択レジスタ			0	R/W	
	D1	SIK01	K01割り込み選択レジスタ			0	R/W	
	D0	SIK00	K00割り込み選択レジスタ			0	R/W	
00FF51	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	SIK11	K11割り込み選択レジスタ	割り込み	割り込み	0	R/W	
	D0	SIK10	K10割り込み選択レジスタ	許可	禁止	0	R/W	

表5.1.1(j) I/Oメモリマップ(00FF52H~00FF63H)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF52	D7	KCP07	K07入力比較レジスタ	立ち下がり エッジで 割り込み 発生	立ち上がり エッジで 割り込み 発生	1	R/W	
	D6	KCP06	K06入力比較レジスタ			1	R/W	
	D5	KCP05	K05入力比較レジスタ			1	R/W	
	D4	KCP04	K04入力比較レジスタ			1	R/W	
	D3	KCP03	K03入力比較レジスタ			1	R/W	
	D2	KCP02	K02入力比較レジスタ			1	R/W	
	D1	KCP01	K01入力比較レジスタ			1	R/W	
	D0	KCP00	K00入力比較レジスタ			1	R/W	
00FF53	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	KCP11	K11入力比較レジスタ	立ち下がり エッジ	立ち上がり エッジ	1	R/W	
	D0	KCP10	K10入力比較レジスタ			1	R/W	
00FF54	D7	K07D	K07入力ポートデータ	Highレベル 入力	Lowレベル 入力	—	R	
	D6	K06D	K06入力ポートデータ			—	R	
	D5	K05D	K05入力ポートデータ			—	R	
	D4	K04D	K04入力ポートデータ			—	R	
	D3	K03D	K03入力ポートデータ			—	R	
	D2	K02D	K02入力ポートデータ			—	R	
	D1	K01D	K01入力ポートデータ			—	R	
	D0	K00D	K00入力ポートデータ			—	R	
00FF55	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	K11D	K11入力ポートデータ	Highレベル 入力	Lowレベル 入力	—	R	
	D0	K10D	K10入力ポートデータ			—	R	
00FF61	D7	IOC17	P17 I/Oコントロールレジスタ	出力	入力	0	R/W	
	D6	IOC16	P16 I/Oコントロールレジスタ			0	R/W	
	D5	IOC15	P15 I/Oコントロールレジスタ			0	R/W	
	D4	IOC14	P14 I/Oコントロールレジスタ			0	R/W	
	D3	IOC13	P13 I/Oコントロールレジスタ			0	R/W	
	D2	IOC12	P12 I/Oコントロールレジスタ			0	R/W	
	D1	IOC11	P11 I/Oコントロールレジスタ			0	R/W	
	D0	IOC10	P10 I/Oコントロールレジスタ			0	R/W	
00FF63	D7	P17D	P17 入出力兼用ポートデータ	High	Low	1	R/W	
	D6	P16D	P16 入出力兼用ポートデータ			1	R/W	
	D5	P15D	P15 入出力兼用ポートデータ			1	R/W	
	D4	P14D	P14 入出力兼用ポートデータ			1	R/W	
	D3	P13D	P13 入出力兼用ポートデータ			1	R/W	
	D2	P12D	P12 入出力兼用ポートデータ			1	R/W	
	D1	P11D	P11 入出力兼用ポートデータ			1	R/W	
	D0	P10D	P10 入出力兼用ポートデータ			1	R/W	

表5.1.1(k) I/Oメモリマップ(00FF70H~00FF78H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF70	D7	HZR51	R51ハイインピーダンス制御	Hi-Z	信号出力	0	R/W	予約レジスタ
	D6	HZR50	R50ハイインピーダンス制御			0	R/W	
	D5	HZR4H	汎用レジスタ	1	0	0	R/W	
	D4	HZR4L	汎用レジスタ			0	R/W	
	D3	HZR1H	汎用レジスタ			0	R/W	
	D2	HZR1L	汎用レジスタ			0	R/W	
	D1	HZR0H	汎用レジスタ			0	R/W	
	D0	HZR0L	汎用レジスタ			0	R/W	
00FF71	D7	HZR27	R27ハイインピーダンス制御	Hi-Z	信号出力	0	R/W	予約レジスタ
	D6	HZR26	R26ハイインピーダンス制御			0	R/W	
	D5	HZR25	汎用レジスタ	1	0	0	R/W	
	D4	HZR24	汎用レジスタ			0	R/W	
	D3	HZR23	汎用レジスタ/SEG47ハイインピーダンス制御	1/Hi-Z	0/信号出力	0	R/W	
	D2	HZR22	汎用レジスタ/SEG48ハイインピーダンス制御			0	R/W	
	D1	HZR21	汎用レジスタ/SEG49ハイインピーダンス制御			0	R/W	
	D0	HZR20	汎用レジスタ/SEG50ハイインピーダンス制御			0	R/W	
00FF72	D7	HZR37	汎用レジスタ/SEG40ハイインピーダンス制御	1/Hi-Z	0/信号出力	0	R/W	*1
	D6	HZR36	汎用レジスタ/SEG41ハイインピーダンス制御			0	R/W	
	D5	HZR35	汎用レジスタ/SEG42ハイインピーダンス制御			0	R/W	
	D4	HZR34	R34ハイインピーダンス制御	Hi-Z	信号出力	0	R/W	*1
	D3	HZR33	汎用レジスタ/SEG43ハイインピーダンス制御			0	R/W	
	D2	HZR32	汎用レジスタ/SEG44ハイインピーダンス制御			0	R/W	
	D1	HZR31	汎用レジスタ/SEG45ハイインピーダンス制御			0	R/W	
	D0	HZR30	汎用レジスタ/SEG46ハイインピーダンス制御			0	R/W	
00FF75	D7	R27D	R27出力ポートデータ	High	Low	1	R/W	予約レジスタ
	D6	R26D	R26出力ポートデータ			1 *2	R/W	
	D5	R25D	汎用レジスタ	1	0	1	R/W	
	D4	R24D	汎用レジスタ			1	R/W	
	D3	R23D	汎用レジスタ/SEG47出力ポートデータ	1/High	0/Low	1	R/W	
	D2	R22D	汎用レジスタ/SEG48出力ポートデータ			1	R/W	
	D1	R21D	汎用レジスタ/SEG49出力ポートデータ			1	R/W	
	D0	R20D	汎用レジスタ/SEG50出力ポートデータ			1	R/W	
00FF76	D7	R37D	汎用レジスタ/SEG40出力ポートデータ	1/High	0/Low	1	R/W	*1
	D6	R36D	汎用レジスタ/SEG41出力ポートデータ			1	R/W	
	D5	R35D	汎用レジスタ/SEG42出力ポートデータ			1	R/W	
	D4	R34D	R34出力ポートデータ	High	Low	1	R/W	*1
	D3	R33D	汎用レジスタ/SEG43出力ポートデータ			1	R/W	
	D2	R32D	汎用レジスタ/SEG44出力ポートデータ			1	R/W	
	D1	R31D	汎用レジスタ/SEG45出力ポートデータ			1	R/W	
	D0	R30D	汎用レジスタ/SEG46出力ポートデータ			1	R/W	
00FF78	D7	—	—	—	—	—	—	読み出し時は 常時"0"
	D6	—	—	—	—	—	—	
	D5	—	—	—	—	—	—	
	D4	—	—	—	—	—	—	
	D3	—	—	—	—	—	—	
	D2	—	—	—	—	—	—	
	D1	R51D	R51出力ポートデータ	High	Low	1	R/W	
	D0	R50D	R50出力ポートデータ			0	R/W	

*1 SEGxxハイインピーダンス制御とSEGxx出力ポートデータは、SEGxx端子をDC出力に設定した場合の機能です。
LCDセグメント出力に設定されたSEG端子に対応するビットは汎用レジスタとなります。

DC出力を行うSEG端子はSEG40～SEG50の中からマスクオプションで選択します。

*2 マスクオプションでTOUT出力またはREM出力選択時は"0"

5.2 ウォッチドッグタイマ

5.2.1 ウォッチドッグタイマの構成

S1C88848はOSC1発振回路を原振とするウォッチドッグタイマを内蔵しています。ウォッチドッグタイマはソフトウェアによって周期的にリセットする必要があり、3～4秒($f_{OSC1}=32.768\text{kHz}$ の場合)以上リセットが行われない場合、CPUに対してノンマスカブルインタラプトを発生します。

図5.2.1.1にウォッチドッグタイマのブロック図を示します。

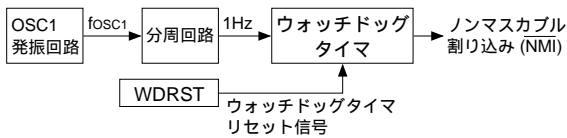


図5.2.1.1 ウォッチドッグタイマのブロック図

プログラムのメインルーチン上でウォッチドッグタイマのリセット処理をすることにより、メインルーチンのウォッチドッグタイマ処理を通らないようなプログラムの暴走を検出することができます。通常はこのルーチンを定期的に処理される箇所に組み込みます。

なお、ウォッチドッグタイマはHALT時も動作しており、HALT状態を3～4秒間続けるとCPUは例外処理に移行します。

SLEEP時はウォッチドッグタイマも停止します。

5.2.2 割り込み機能

ウォッチドッグタイマがソフトウェアによって周期的にリセットされない場合、ウォッチドッグタイマはコアCPUの $\overline{\text{NMI}}$ (レベル4)入力に対して割り込み信号を出力します。この割り込みはマスクが不可能で、他の割り込みに優先して例外処理が発生します。 $\overline{\text{NMI}}$ 例外処理の詳細については“S1C88コアCPUマニュアル”を参照してください。本例外処理ベクタアドレスは、000004Hに設定されています。

5.2.3 ウォッチドッグタイマの制御方法

表5.2.3.1にウォッチドッグタイマの制御ビットを示します。

WDRST: 00FF40H-D2

ウォッチドッグタイマをリセットします。

"1"書き込み: ウォッチドッグタイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

WDRSTに"1"を書き込むことによりウォッチドッグタイマはリセットされ、その直後リスタートします。"0"の書き込みはノーオペレーションとなります。

WDRSTは書き込み専用のため、読み出し時は常時"0"となります。

5.2.4 プログラミング上の注意事項

- (1) ウォッチドッグタイマは、3秒周期以内に必ずソフトウェアでリセットをする必要があります。
- (2) $\overline{\text{NMI}}$ 割り込み発生から2msec以内はSLP命令を実行しないでください。(fosc1=32.768kHzの場合)

表5.2.3.1 ウォッチドッグタイマの制御ビット

アドレス	ビット	名称	機 能				1	0	SR	R/W	注 釈
00FF40	D7	—	—				—	—	—		読み出し時は"0"
	D6	FOUT2	FOUT周波数選択						0	R/W	
	D5	FOUT1	FOUT2	FOUT1	FOUT0	周波数			0	R/W	
			0	0	0	fosc1 / 1					
			0	0	1	fosc1 / 2					
			0	1	0	fosc1 / 4					
	D4	FOUT0	0	1	1	fosc1 / 8			0	R/W	
			1	0	0	fosc3 / 1					
			1	0	1	fosc3 / 2					
			1	1	0	fosc3 / 4					
		1	1	1	fosc3 / 8			0	R/W		
D3	FOUTON	FOUT出力制御				On	Off	0	R/W		
D2	WDRST	ウォッチドッグタイマリセット				リセット	無効	—	W	読み出し時は	
D1	TMRST	計時タイマリセット				リセット	無効	—	W	常時"0"	
D0	TMRUN	計時タイマRun/Stop制御				Run	Stop	0	R/W		

5.3 発振回路

5.3.1 発振回路の構成

S1C88848は2種類の発振回路(OSC1およびOSC3)を内蔵したツインクロック仕様となっています。OSC3発振回路はCPUや一部の周辺回路(出力ポート、シリアルインタフェース、プログラマブルタイマ、リモートコントローラ)を高速動作させる場合のメインクロックを、OSC1発振回路は32.768kHz(Typ.)のサブクロックを発生します。

図5.3.1.1に発振回路の構成を示します。

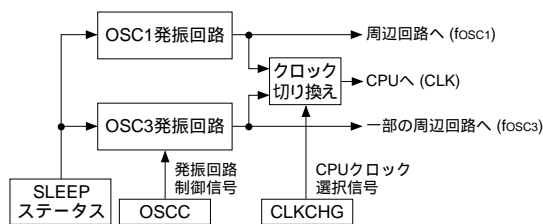


図5.3.1.1 発振回路の構成

イニシャルリセット時、CPUの動作クロックにはOSC3発振回路が選択されます。

システムクロックの切り換え(OSC3 \leftrightarrow OSC1)とOSC3発振回路のON/OFFはソフトウェアによって制御できます。OSC3発振回路はCPUや一部の周辺回路の高速動作が必要な場合に使用します。それ以外の場合は消費電流を低減させるためにOSC3発振を停止させ、OSC1を動作クロックとして使用してください。

5.3.2 マスクオプション

OSC1発振回路

水晶発振回路
CR発振回路

OSC3発振回路

水晶発振回路
セラミック発振回路
CR発振回路

OSC1発振回路の種類としては、水晶発振またはCR発振のいずれかがマスクオプションで選択できます。

OSC3発振回路の種類としては水晶発振、セラミック発振、またはCR発振のいずれかがOSC1同様にマスクオプションで選択できます。

5.3.3 OSC1発振回路

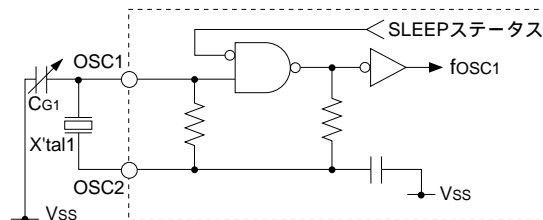
OSC1発振回路は32.768kHz(Typ.)のシステムクロックを発生します。

OSC1発振クロックはCPUおよび周辺回路の低速(低消費電力)動作時のシステムクロックとして使用されます。また、OSC3をシステムクロックとして使用する場合にも、計時タイマやストップウォッチタイマの原振として使用されます。

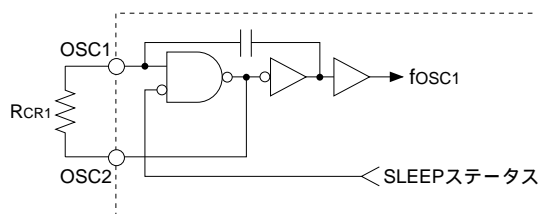
本発振回路は、SLP命令実行時に発振停止状態となります。

発振回路の種類としては、水晶発振またはCR発振のいずれかがマスクオプションで選択できます。

図5.3.3.1にOSC1発振回路の構造を示します。



(1) 水晶発振回路



(2) CR発振回路

図5.3.3.1 OSC1発振回路

水晶発振回路を選択した場合は、OSC1端子とOSC2端子間に水晶振動子X'tal 1(Typ. 32.768kHz)を、OSC1端子とVss間にトリマキャパシタCG1(5~25pF)をそれぞれ接続することにより、容易に水晶発振回路を構成することができます。

CR発振回路を選択した場合はOSC1端子とOSC2端子間に抵抗(RCR1)を接続します。

5.3.4 OSC3発振回路

OSC3発振回路はCPUや一部の周辺回路(出力ポート、シリアルインタフェース、プログラマブルタイマ、リモートコントローラ)を高速動作させる場合のシステムクロックを発生します。

本発振回路はSLP命令実行時、またはレジスタOSCCに"0"設定時に発振停止状態となります。発振回路の種類としては水晶発振、セラミック発振、またはCR発振のいずれかがマスクオプションで選択できます。

図5.3.4.1にOSC3発振回路の構造を示します。

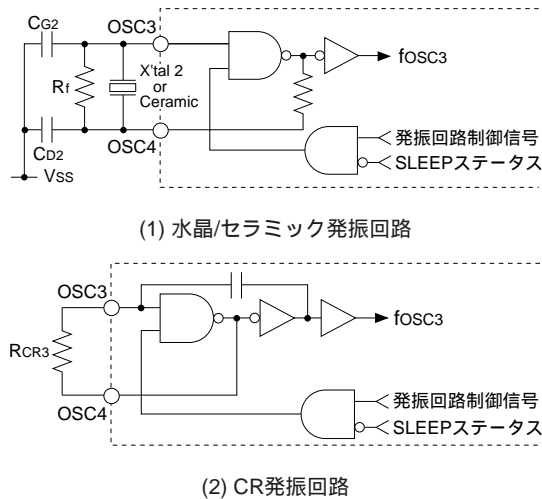


図5.3.4.1 OSC3発振回路

水晶/セラミック発振回路を選択した場合は、OSC3端子とOSC4端子間に水晶振動子(X'tal 2)またはセラミック振動子(Ceramic)と帰還抵抗(Rf)を、同OSC3、OSC4端子とVss間にキャパシタを2個(CG2、Cd2)それぞれ接続することで水晶またはセラミック発振回路を構成できます。

CR発振を選択した場合はOSC3端子とOSC4端子間に抵抗(RCR3)を接続するだけでCR発振回路を構成できます。

5.3.5 CPUクロックの切り換え

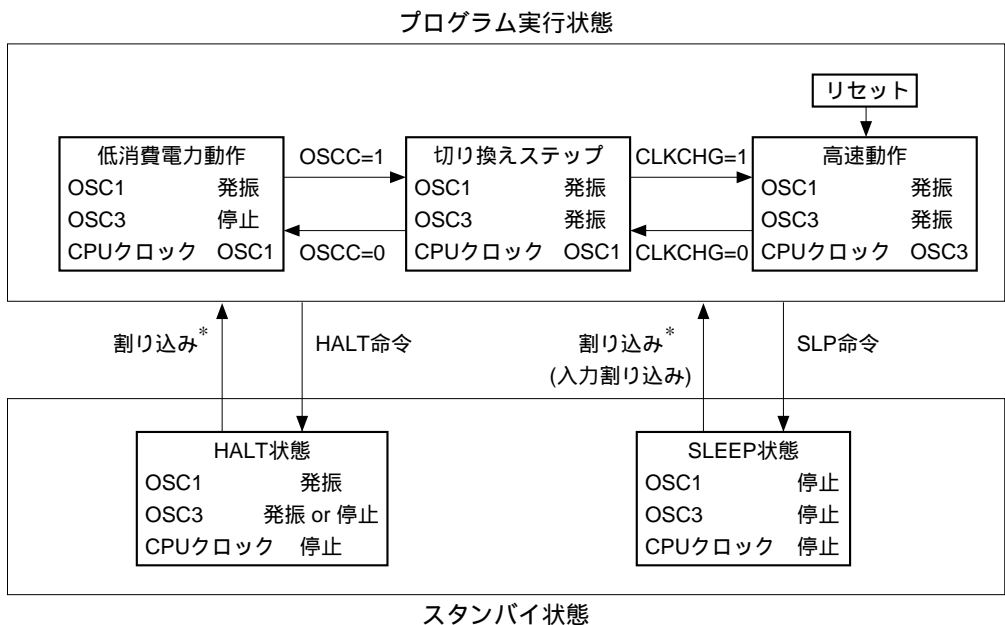
OSC1とOSC3のどちらをCPUのシステムクロックとして使用するかを、ソフトウェアによって切り換えることができます。

OSC1でCPUが動作している間は、OSC3発振回路をOFFさせることでパワーセーブが実現できます。

OSC3での動作が必要な場合にOSC3発振回路をONさせ、システムクロックを切り換えることで高速動作が実現できます。この場合、OSC3発振回路をONにしてから発振が安定するまでに数100μsec～数10msecの時間を必要としますので、その時間が経過した後にクロックの切り換えを行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)

OSC3からOSC1に切り換える場合は、クロック切り換えの直後にOSC3発振回路をOFFしてください。

図5.3.5.1にクロック切り換えの状態遷移図を示します。



* スタンバイ状態からの復帰先は、スタンバイ状態へ遷移する以前のプログラム実行状態となります。

図5.3.5.1 クロック切り換えの状態遷移図

5.3.6 発振回路の制御方法

表5.3.6.1に発振回路の制御ビットを示します。

表5.3.6.1 発振回路の制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF02	D7	EBR	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D6	WT2	汎用レジスタ			0	R/W	
	D5	WT1	汎用レジスタ			0	R/W	
	D4	WT0	汎用レジスタ			0	R/W	
	D3	CLKCHG	CPU動作クロック切り換え	OSC3	OSC1	1	R/W	予約レジスタ
	D2	OSCC	OSC3発振On/Off制御	On	Off	1	R/W	
	D1	VD1C1	汎用レジスタ	1	0	0	R/W	
	D0	VD1C0	汎用レジスタ			0	R/W	

OSCC: 00FF02H-D2

OSC3発振回路の発振ON、OFFを制御します。

"1"書き込み: OSC3発振ON

"0"書き込み: OSC3発振OFF

読み出し: 可能

CPUや一部の周辺回路(出力ポート、シリアルインタフェース、プログラマブルタイマ、リモートコントローラ)を高速動作させる必要のある場合にOSCCを"1"とし、それ以外の場合は、低消費電力化のため"0"としてください。

イニシャルリセット時、OSCCは"1"(OSC3発振ON)に設定されます。

CLKCHG: 00FF02H-D3

CPUの動作クロックを選択します。

"1"書き込み: OSC3クロック

"0"書き込み: OSC1クロック

読み出し: 可能

CPUの動作クロックはCLKCHGに"1"を設定した場合OSC3、"0"を設定した場合OSC1となります。

イニシャルリセット時、CLKCHGは"1"(OSC3クロック)に設定されます。

5.3.7 プログラミング上の注意事項

- (1) CPUの高速動作を必要としない場合は低消費電力化のため、以下に示す設定内容にしたがって周辺回路を動作させてください。

• CPU動作クロック OSC1

• OSC3発振回路 OFF

(一部の周辺回路に対してOSC3クロックが必要ない場合)

- (2) OSC3発振回路をONにしてから発振が安定するまでに、数100μsec～数10msecの時間を必要とします。したがって、CPUの動作クロック切り換え(OSC1→OSC3)はOSC3発振ONの後、十分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)

- (3) OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々の命令で行ってください。1命令で同時に処理すると、CPUの誤動作につながります。

5.4 入力ポート (Kポート)

5.4.1 入力ポートの構成

S1C88848は10ビット(K00～K07、K10、K11)の入力ポートを内蔵しており、これらのポートはすべて割り込み機能を持つ汎用入力ポート端子として使用できます。

K10およびK11入力ポート端子はプログラマブルタイマ(イベントカウンタ)の外部クロック(EVIN0、EVIN2)入力端子も兼ねており、入力ポート機能はそのままに入力信号が共有されます。("5.10 プログラマブルタイマ"参照)

各入力ポートにはプルアップ抵抗が内蔵されており、マスクオプションでこれを使用するかしないかを各入力ポートごとに選択できます。

図5.4.1.1に入力ポートの構造を示します。

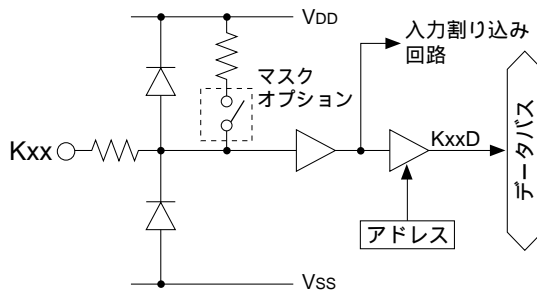


図5.4.1.1 入力ポートの構造

各入力ポート端子は3ステートバッファを通して直接データバスに接続されており、入力ポート読み出し時点での入力信号の状態がそのままデータとして読み込まれます。

5.4.2 マスクオプション

入力ポートプルアップ抵抗

K00	抵抗あり	ゲート直接
K01	抵抗あり	ゲート直接
K02	抵抗あり	ゲート直接
K03	抵抗あり	ゲート直接
K04	抵抗あり	ゲート直接
K05	抵抗あり	ゲート直接
K06	抵抗あり	ゲート直接
K07	抵抗あり	ゲート直接
K10	抵抗あり	ゲート直接
K11	抵抗あり	ゲート直接

入力ポートK00～K07、K10、K11にはプルアップ抵抗が内蔵されており、マスクオプションでこれを使用するかしないかを各ポート(1ビット)ごとに選択できます。

"抵抗あり"はプッシュスイッチ、キーマトリクス等の入力に適当です。

内蔵プルアップ抵抗によって、入力端子をLOWレベルからHIGHレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入力ポートの取り込みには適切な待ち時間の設定が必要となります。これについては特に、キーマトリクス構成時のキースキャン等に注意が必要です。待ち時間は以下の式で求められる値以上を設定してください。

待ち時間 = $R_{IN} \times (C_{IN} + \text{基板上的負荷容量}) \times 1.6 [\text{sec}]$

R_{IN} : プルアップ抵抗Max.値

C_{IN} : 端子容量Max.値

"ゲート直接"を選択した場合は、プルアップ抵抗が切り離され、スライドスイッチ入力、他LSIとのインタフェースなどに適当となります。この場合は、入力にフローティング状態が発生しないよう注意してください。

使用しない入力ポートについてはデフォルトの"抵抗あり"を選択してください。

5.4.3 割り込み機能と入力比較レジスタ

入力ポートK00～K07、K10、K11は、すべて割り込み機能を持っています。

入力ポートはK00～K03(K0L)、K04～K07(K0H)、K10とK11(K1)の3系統に分けられ、それぞれの端子系列ごとに割り込み発生条件をソフトウェアで設定することができます。

各端子系列ごとに設定した割り込み発生条件が成立すると、それぞれに対応した割り込み要因フラグFK0L、FK0H、FK1が"1"にセットされ、割り込みが発生します。

各割り込み要因フラグに対応した割り込みイネーブルレジスタEK0L、EK0H、EK1の設定により、割り込みを禁止することもできます。

また、CPUに対する入力割り込みの優先レベルをK0x(K00～K07)、K1x(K10、K11)の2つに対応する割り込みプライオリティレジスタPK00～PK01、PK10～PK11によって、それぞれ任意のレベル(0～3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については"5.15 割り込みとスタンバイ状態"を参照してください。

各割り込み要因の例外処理ベクタは、それぞれ以下のとおり設定されています。

K10、K11入力割り込み: 00000AH

K04～K07入力割り込み: 00000CH

K00～K03入力割り込み: 00000EH

図5.4.3.1に入力割り込み回路の構成を示します。

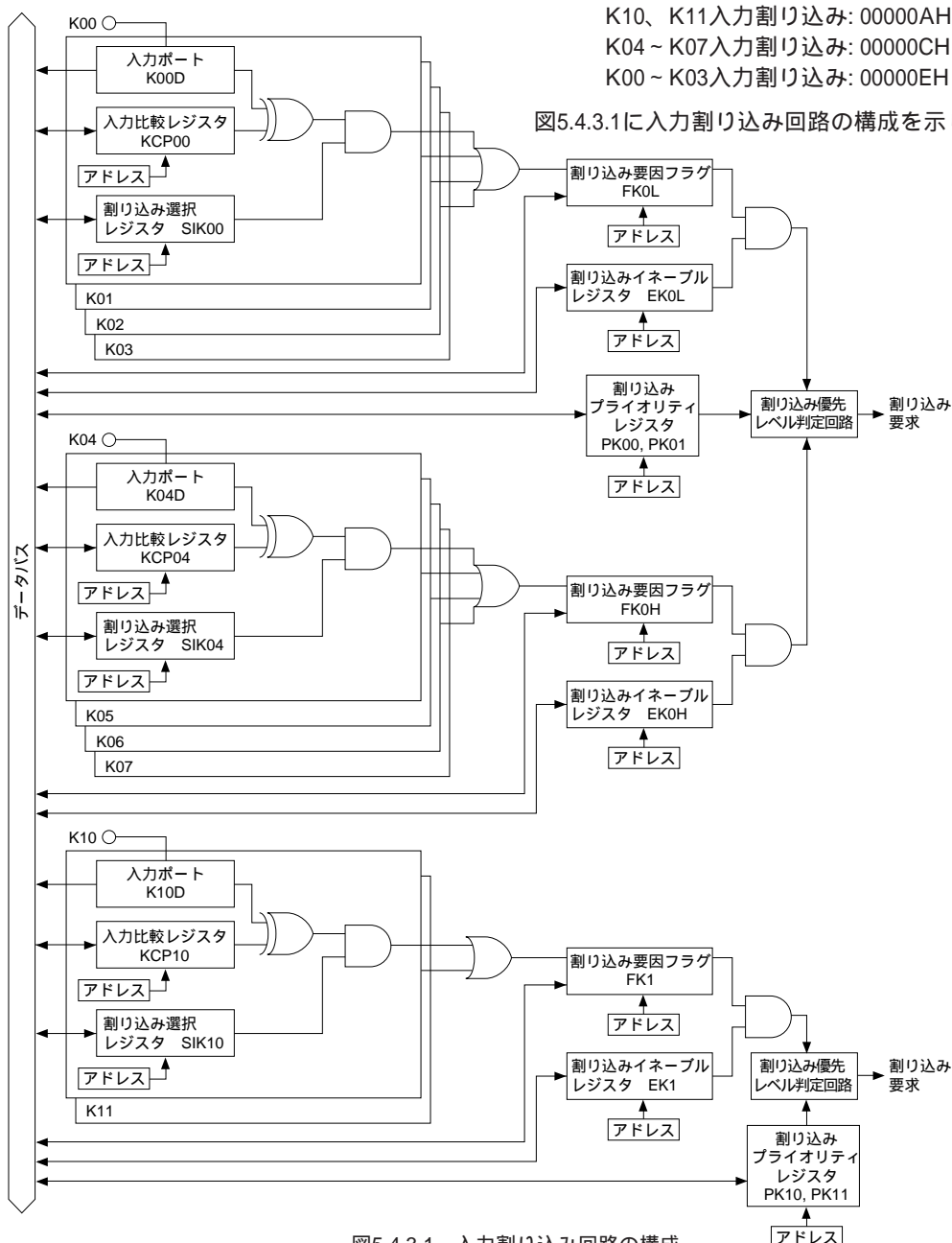


図5.4.3.1 入力割り込み回路の構成

各入力ポートの割り込み選択レジスタSIK00～SIK03、SIK04～SIK07、SIK10、SIK11と入力比較レジスタKCP00～KCP03、KCP04～KCP07、KCP10、KCP11は、前記割り込み条件を設定するのに使用します。

割り込み選択レジスタSIKの設定によって、その入力ポートの割り込みを許可、または禁止することができます。割り込みイネーブルレジスタEKが端子系列ごとの割り込み要因をマスクするのに対し、割り込み選択レジスタSIKはビット単位でのマスク設定を行います。

入力比較レジスタKCPは、各入力ポートの割り込みを入力の上立ち上がりエッジで発生させるか、立ち下がりエッジで発生させるかを選択します。

割り込み選択レジスタSIKによって割り込みが許可されている入力端子と入力比較レジスタKCPとの内容に一致状態から不一致状態の変化が生じたとき、割り込み要因フラグFKが"1"にセットされ、割り込みが発生します。

図5.4.3.2に端子系列K0L(K00～K03)の割り込み発生例を示します。

K00は割り込み選択レジスタSIK00によって割り込みが禁止されているため、(2)の時点では割り込みは発生しません。

次に(3)でK03が"0"になるため、割り込みが許可されている入力端子K01～K03のデータと入力比較レジスタKCP01～KCP03のデータとの不一致により割り込みが発生します。

前述のとおり、入力データと入力比較レジスタKCPの内容が一致状態から不一致状態に変化することが割り込み発生条件となるため、(4)のように不一致状態から、別の不一致状態に変化しても割り込みは発生しません。したがって、割り込み発生後に再度割り込みを発生させる場合は、入力端子の状態を一度入力比較レジスタKCPと同じ内容に戻すか、入力比較レジスタKCPを再設定する必要があります。なお、割り込みが禁止されている入力端子については割り込み発生条件に影響を与えません。

端子系列K0H(K04～K07)およびK1(K10、K11)についても同様に割り込みが発生します。

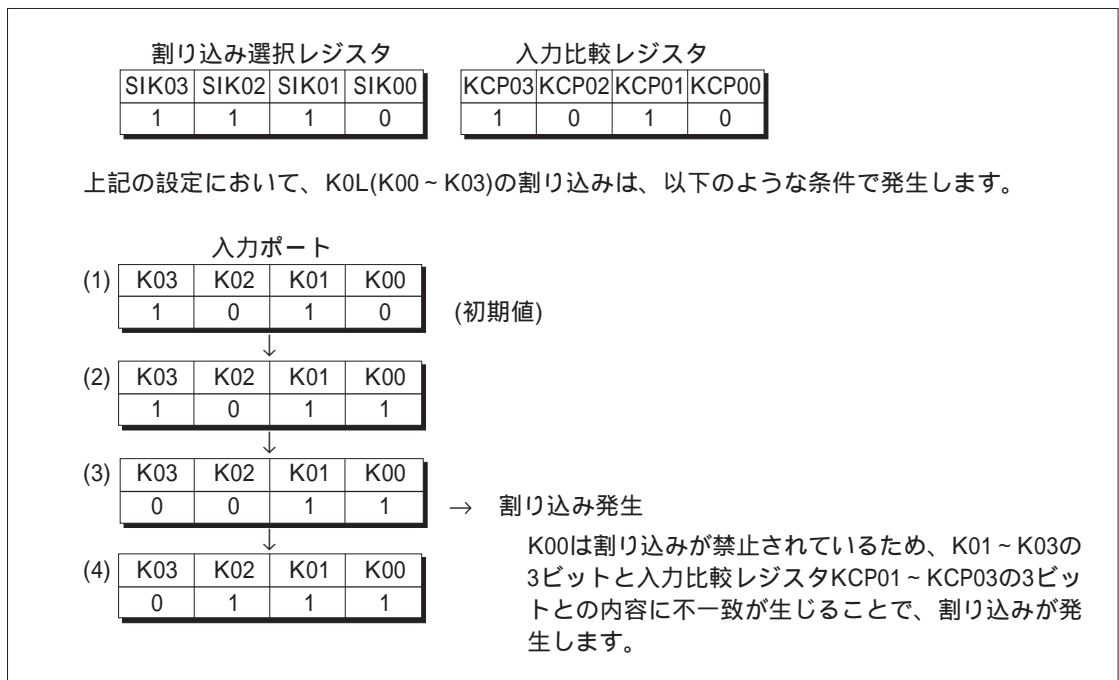


図5.4.3.2 K0L(K00～K03)割り込み発生例

5.4.4 入力ポートの制御方法

表5.4.4.1に入力ポートの制御ビットを示します。

表5.4.4.1(a) 入力ポートの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF50	D7	SIK07	K07割り込み選択レジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D6	SIK06	K06割り込み選択レジスタ			0	R/W	
	D5	SIK05	K05割り込み選択レジスタ			0	R/W	
	D4	SIK04	K04割り込み選択レジスタ			0	R/W	
	D3	SIK03	K03割り込み選択レジスタ			0	R/W	
	D2	SIK02	K02割り込み選択レジスタ			0	R/W	
	D1	SIK01	K01割り込み選択レジスタ			0	R/W	
	D0	SIK00	K00割り込み選択レジスタ			0	R/W	
00FF51	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	SIK11	K11割り込み選択レジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D0	SIK10	K10割り込み選択レジスタ			0	R/W	
00FF52	D7	KCP07	K07入力比較レジスタ	立ち下がり エッジで 割り込み 発生	立ち上がり エッジで 割り込み 発生	1	R/W	
	D6	KCP06	K06入力比較レジスタ			1	R/W	
	D5	KCP05	K05入力比較レジスタ			1	R/W	
	D4	KCP04	K04入力比較レジスタ			1	R/W	
	D3	KCP03	K03入力比較レジスタ			1	R/W	
	D2	KCP02	K02入力比較レジスタ			1	R/W	
	D1	KCP01	K01入力比較レジスタ			1	R/W	
	D0	KCP00	K00入力比較レジスタ			1	R/W	
00FF53	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	KCP11	K11入力比較レジスタ	立ち下がり エッジ	立ち上がり エッジ	1	R/W	
	D0	KCP10	K10入力比較レジスタ			1	R/W	
00FF54	D7	K07D	K07入力ポートデータ	Highレベル 入力	Lowレベル 入力	—	R	
	D6	K06D	K06入力ポートデータ			—	R	
	D5	K05D	K05入力ポートデータ			—	R	
	D4	K04D	K04入力ポートデータ			—	R	
	D3	K03D	K03入力ポートデータ			—	R	
	D2	K02D	K02入力ポートデータ			—	R	
	D1	K01D	K01入力ポートデータ			—	R	
	D0	K00D	K00入力ポートデータ			—	R	
00FF55	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	K11D	K11入力ポートデータ	Highレベル 入力	Lowレベル 入力	—	R	
	D0	K10D	K10入力ポートデータ			—	R	

表5.4.4.1(b) 入力ポートの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF20	D7	PK01	K00～K07割り込み	PK01 PK00 PSIF1 PSIF0 PSW1 PSW0 PTM1 PTM0	優先 レベル	0	R/W	
	D6	PK00	ブライオリティレジスタ			0	R/W	
	D5	PSIF1	シリアルインタフェース割り込み			0	R/W	
	D4	PSIF0	ブライオリティレジスタ			0	R/W	
	D3	PSW1	ストップウォッチタイマ割り込み			0	R/W	
	D2	PSW0	ブライオリティレジスタ			0	R/W	
	D1	PTM1	計時タイマ割り込み			0	R/W	
	D0	PTM0	ブライオリティレジスタ			0	R/W	
00FF21	D7	PREM1	REMキャリア割り込み	PREM1 PREM0 PPT3 PPT2 PPT1 PPT0 PK11 PK10	優先 レベル	0	R/W	
	D6	PREM0	ブライオリティレジスタ			0	R/W	
	D5	PPT3	プログラマブルタイマ2, 3割り込み			0	R/W	
	D4	PPT2	ブライオリティレジスタ			0	R/W	
	D3	PPT1	プログラマブルタイマ0, 1割り込み			0	R/W	
	D2	PPT0	ブライオリティレジスタ			0	R/W	
	D1	PK11	K10, K11割り込み			0	R/W	
	D0	PK10	ブライオリティレジスタ			0	R/W	
00FF23	D7	EPT1	プログラマブルタイマ1割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D6	EPT0	プログラマブルタイマ0割り込みイネーブルレジスタ			0	R/W	
	D5	EK1	K10, K11割り込みイネーブルレジスタ			0	R/W	
	D4	EK0H	K04～K07割り込みイネーブルレジスタ			0	R/W	
	D3	EK0L	K00～K03割り込みイネーブルレジスタ			0	R/W	
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブルレジスタ			0	R/W	
	D1	ESREC	シリアルI/F(受信)割り込みイネーブルレジスタ			0	R/W	
	D0	ESTRA	シリアルI/F(送信)割り込みイネーブルレジスタ			0	R/W	
00FF25	D7	FPT1	プログラマブルタイマ1割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W	
	D6	FPT0	プログラマブルタイマ0割り込み要因フラグ			0	R/W	
	D5	FK1	K10, K11割り込み要因フラグ			0	R/W	
	D4	FK0H	K04～K07割り込み要因フラグ			0	R/W	
	D3	FK0L	K00～K03割り込み要因フラグ			0	R/W	
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ	(W) リセット	(W) 無効	0	R/W	
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ			0	R/W	
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ			0	R/W	

K00D～K07D: 00FF54H**K10D, K11D: 00FF55H・D0, D1**

Kxx入力ポート端子の入力データが読み出せます。

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

書き込み: 無効

入力ポートK00～K07、K10、K11の端子電圧がそれぞれHIGH(V_{DD})レベルのとき"1"、LOW(V_{SS})レベルのとき"0"として直接読み出せます。

本ビットは読み出し専用のため、書き込み動作は無効となります。

SIK00～SIK07: 00FF50H**SIK10, SIK11: 00FF51H・D0, D1**

K00～K07、K10、K11入力ポート端子の割り込み発生条件(割り込み許可/禁止)を設定します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

SIKxxは各入力ポートKxxに対応する割り込み選択レジスタで、"1"に設定した入力ポートの割り込みが許可され、"0"に設定した入力ポートの割り込みが禁止されます。割り込み禁止に設定した入力端子の状態変化は、割り込みの発生に影響を与えません。

イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

KCP00~KCP07: 00FF52H**KCP10, KCP11: 00FF53H・D0, D1**

K00 ~ K07、K10、K11入力ポート端子の割り込み発生条件(割り込み発生タイミング)を設定します。

"1"書き込み: 立ち下がりエッジ

"0"書き込み: 立ち上がりエッジ

読み出し: 可能

KCPxxは各入力ポートKxxに対応する入力比較レジスタで、"1"に設定した入力ポートの割り込みは入力立ち下がりエッジで、"0"に設定した入力ポートの割り込みは入力立ち上がりエッジでそれぞれ発生します。

イニシャルリセット時、本レジスタはすべて"1"(立ち下がりエッジ)に設定されます。

PK00, PK01: 00FF20H・D6, D7**PK10, PK11: 00FF21H・D0, D1**

入力割り込みの優先レベルを設定します。

PK00、PK01の2ビットはK00 ~ K07(K0LおよびK0H)の割り込みに対応した割り込みプライオリティレジスタで、PK10、PK11の2ビットは同様にK10とK11(K1)に対応しています。

本レジスタによって設定できる割り込み優先レベルは表5.4.4.2のとおりです。

表5.4.4.2 割り込み優先レベルの設定

PK11 PK01	PK10 PK00	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

EK0L, EK0H, EK1: 00FF23H・D3, D4, D5

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

EK0LはK00 ~ K03、EK0HはK04 ~ K07、EK1はK10とK11にそれぞれ対応する割り込みイネーブルレジスタで、"1"に設定した端子系列の割り込みが許可され、"0"に設定した端子系列の割り込みが禁止されます。

イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

FK0L, FK0H, FK1: 00FF25H・D3, D4, D5

入力割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

FK0LはK00 ~ K03、FK0HはK04 ~ K07、FK1はK10とK11にそれぞれ対応する割り込み要因フラグで、割り込み発生条件の成立により"1"にセットされます。このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、本フラグはすべて"0"にリセットされます。

5.4.5 プログラミング上の注意事項

内蔵プルアップ抵抗によって、入力端子をLOWレベルからHIGHレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入力ポートの取り込みには適切な待ち時間の設定が必要となります。特に、キーマトリクス構成時のキースキャン等に注意が必要です。

待ち時間は以下の式で求められる値以上を設定してください。

待ち時間 = $R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6 [\text{sec}]$

R_{IN}: プルアップ抵抗Max.値

C_{IN}: 端子容量Max.値

5.5 出力ポート (Rポート)

5.5.1 出力ポートの構成

S1C88848は5ビット(R26、R27、R34、R50、R51)の出力ポートを内蔵しています。

また、マスクオプションの選択により、SEG40～SEG50端子の中でLCD駆動に使用しない端子をDC出力ポートとして使用することができます。

図5.5.1.1に出力ポートの基本構造(特殊出力回路を除く)を示します。各ポートの出力仕様はコンプリメンタリ出力に固定されています。

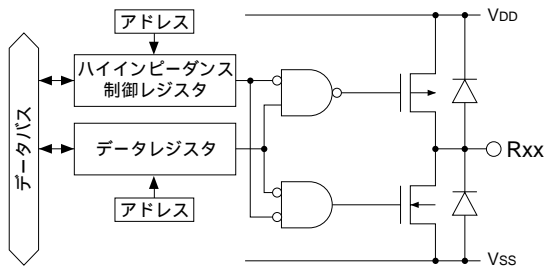


図5.5.1.1 出力ポートの構造

各出力ポートはソフトウェアによってハイインピーダンス制御が可能です。

また、各出力ポートは通常のDC出力のほかに特殊出力機能を持っており、R27、R34およびR50はソフトウェアによって、R26とR51はマスクオプションによってどちらを使用するかを選択することができます。

5.5.2 マスクオプション

R26, R51出力ポート仕様

R26	DC出力	TOUT出力	REM出力
R51	DC出力	BZ出力	

SEG40～SEG50ポート仕様

SEG40 ...	DC出力	SEG出力
SEG41 ...	DC出力	SEG出力
SEG42 ...	DC出力	SEG出力
SEG43 ...	DC出力	SEG出力
SEG44 ...	DC出力	SEG出力
SEG45 ...	DC出力	SEG出力
SEG46 ...	DC出力	SEG出力
SEG47 ...	DC出力	SEG出力
SEG48 ...	DC出力	SEG出力
SEG49 ...	DC出力	SEG出力
SEG50 ...	DC出力	SEG出力

R26ポートとR51ポートは、それぞれ汎用DC出力として使用するか、あるいは特殊出力として使用するかをマスクオプションで選択することができます。

これにより、R26ポートをTOUT出力(TOUT反転出力)またはREM出力(リモコンキャリア出力)、R51ポートをBZ出力(ブザー反転信号出力)に設定できます。

SEG40～SEG50もそれぞれ汎用DC出力として使用するか、あるいはLCDセグメント出力として使用するかを選択することができます。

5.5.3 ハイインピーダンス制御

各出力ポートはソフトウェアによってハイインピーダンス制御が可能です。

各出力ポートにはハイインピーダンス制御レジスタが設けられており、このレジスタによってコンプリメンタリ出力、またはハイインピーダンス状態のいずれかが選択できます。

HZR26: R26ハイインピーダンス制御レジスタ

HZR27: R27ハイインピーダンス制御レジスタ

HZR34: R34ハイインピーダンス制御レジスタ

HZR50: R50ハイインピーダンス制御レジスタ

HZR51: R51ハイインピーダンス制御レジスタ

HZR20: SEG50ハイインピーダンス制御レジスタ*

HZR21: SEG49ハイインピーダンス制御レジスタ*

HZR22: SEG48ハイインピーダンス制御レジスタ*

HZR23: SEG47ハイインピーダンス制御レジスタ*

HZR30: SEG46ハイインピーダンス制御レジスタ*

HZR31: SEG45ハイインピーダンス制御レジスタ*

HZR32: SEG44ハイインピーダンス制御レジスタ*

HZR33: SEG43ハイインピーダンス制御レジスタ*

HZR35: SEG42ハイインピーダンス制御レジスタ*

HZR36: SEG41ハイインピーダンス制御レジスタ*

HZR37: SEG40ハイインピーダンス制御レジスタ*

* マスクオプションでSEGポートを汎用DC出力に設定した場合のみ、制御レジスタとして使用可能です。SEG出力選択時は汎用レジスタとなります。

ハイインピーダンス制御レジスタHZRxxに"1"を設定すると対応する出力ポート端子がハイインピーダンス状態となり、"0"を設定するとコンプリメンタリ出力となります。この制御は特殊出力を選択している場合にも有効です。

5.5.4 DC出力

図5.5.1.1に示すように、出力ポートのデータレジスタに"1"を書き込むと出力端子がHIGH(VDD)レベルとなり、"0"を書き込むとLOW(VSS)レベルとなります。

出力がハイインピーダンス状態の場合にデータレジスタに書き込まれたデータは、出力をコンプリメンタリに切り換えた時点で端子から出力されます。

5.5.5 特殊出力

各出力ポートは通常のDC出力の他に表5.5.5.1に示す特殊出力をソフトウェア(R27、R34、R50)またはマスクオプション(R26、R51)によって選択することができます。

表5.5.5.1 特殊出力ポート

出力ポート	特殊出力
R26	TOUT出力またはREM出力 (マスクオプション)
R27	TOUT出力 (ソフトウェア選択)
R34	FOUT出力 (ソフトウェア選択)
R50	BZ出力 (ソフトウェア選択)
R51	BZ出力 (マスクオプション)

REM出力(R26)

マスクオプションの選択により、R26出力ポート端子からREM信号(リモコンキャリア信号)を出力させることができます。

REM出力を選択すると、R26のデータレジスタはR26端子から切り離され、出力には影響を与えない汎用レジスタとなります。

REM出力の制御はリモートコントローラの制御レジスタで行います。詳細については"5.13 リモートコントローラ"を参照してください。

TOUT出力(R27), TOUT出力(R26)

S1C88848は外部デバイスに対してクロックを供給する場合などのために、TOUT信号(プログラマブルタイマの出力クロック)をR27出力ポート端子から出力させることができます。また、マスクオプションの選択により、R26出力ポート端子からTOUT信号(TOUT反転信号)を出力させることができます。

出力ポートR26、R27の構成を図5.5.5.1に示します。

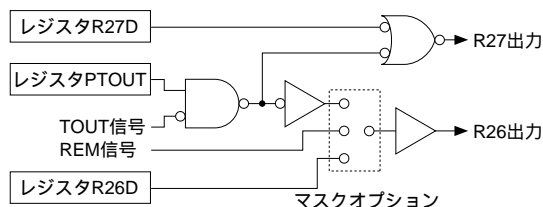


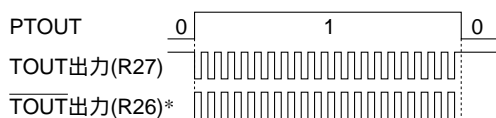
図5.5.5.1 R26とR27の構成

TOUT(TOUT)信号はレジスタPTOUTによって出力制御を行います。PTOUTに"1"を設定するとTOUT(TOUT)信号がR27(R26)出力ポート端子から出力され、"0"を設定するとR27はHIGH(V_{DD})レベル、R26はLOW(V_{SS})レベルとなります。TOUT出力を行う場合、データレジスタR27Dには常時"1"が設定されている必要があります。R26DはTOUT出力には影響を与えません。

TOUT信号はプログラマブルタイマのアンダーフローが1/2に分周されたものです。周波数の制御等については"5.10 プログラマブルタイマ"を参照してください。

なお、TOUT(TOUT)信号はレジスタPTOUTとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.5.5.2にTOUT(TOUT)信号の出力波形を示します。



* マスクオプションにより選択した場合

図5.5.5.2 TOUT(TOUT)信号の出力波形

FOUT出力(R34)

S1C88848は外部デバイスに対してクロックを供給する場合などのために、FOUT信号(発振クロックf_{OSC1}またはf_{OSC3}の分周クロック)をR34出力ポート端子から出力させることができます。出力ポートR34の構成を図5.5.5.3に示します。

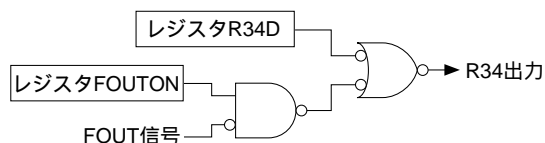


図5.5.5.3 R34の構成

FOUT信号はレジスタFOUTONによって出力制御を行います。FOUTONに"1"を設定するとFOUT信号がR34出力ポート端子から出力され、"0"を設定するとHIGH(V_{DD})レベルが出力されます。このとき、データレジスタR34Dには常時"1"が設定されている必要があります。FOUT信号の周波数はソフトウェアによるレジスタFOUT0～FOUT2への設定によって、表5.5.5.2に示す8種類の中から1つを選択することができます。

表5.5.5.2 FOUT周波数の設定

FOUT2	FOUT1	FOUT0	FOUT周波数
0	0	0	f _{OSC1} / 1
0	0	1	f _{OSC1} / 2
0	1	0	f _{OSC1} / 4
0	1	1	f _{OSC1} / 8
1	0	0	f _{OSC3} / 1
1	0	1	f _{OSC3} / 2
1	1	0	f _{OSC3} / 4
1	1	1	f _{OSC3} / 8

f_{OSC1}: OSC1発振周波数

f_{OSC3}: OSC3発振周波数

FOUTの周波数を" f_{osc3}/n "とする場合は、FOUTを出力する以前にOSC3の発振をONさせる必要があります。

なお、OSC3発振回路をONにしてから発振が安定するまでに数100 μ sec～数10msecの時間を必要とします。したがって、不安定なFOUT信号が外部に出力されることで不具合が生じる場合はOSC3発振ONの後、十分な待ち時間をおいてからFOUTの出力を行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)

イニシャルリセット時、OSC3発振回路はON状態に設定されます。

なお、FOUT信号はレジスタFOUTONとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.5.5.4にFOUT信号の出力波形を示します。

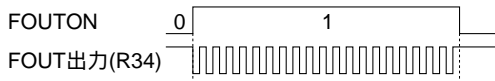


図5.5.5.4 FOUT信号の出力波形

BZ出力(R50), $\overline{\text{BZ}}$ 出力(R51)

S1C88848は外付けブザーを駆動する場合のために、BZ信号(サウンドジェネレータの出力)をR50出力ポート端子から出力させることができます。また、マスクオプションの選択により、R51出力ポート端子から $\overline{\text{BZ}}$ 信号(BZ反転信号)を出力させることができます。

出力ポートR50、R51の構成を図5.5.5.5に示します。

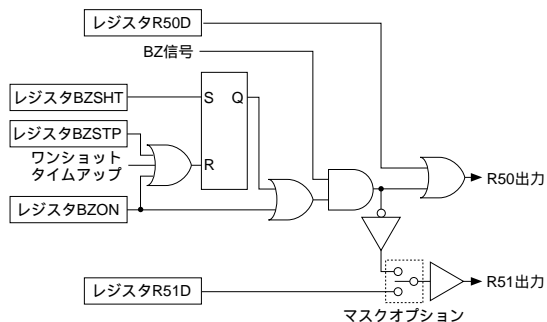


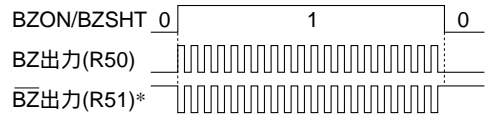
図5.5.5.5 R50とR51の構成

BZ($\overline{\text{BZ}}$)信号はレジスタBZON、BZSHTおよびBZSTPによって出力制御が行われます。BZONまたはBZSHTに"1"を設定するとBZ($\overline{\text{BZ}}$)信号がR50(R51)出力ポート端子から出力され、BZONに"0"またはBZSTPに"1"を設定するとR50はLOW(V_{SS})レベル、R51はHIGH(V_{DD})レベルとなります。BZ出力を行う場合、データレジスタR50Dには常時"0"が設定されている必要があります。R51Dは $\overline{\text{BZ}}$ 出力には影響を与えません。

BZ($\overline{\text{BZ}}$)信号はサウンドジェネレータの出力が利用されます。周波数やエンベロープの制御等については"5.12 サウンドジェネレータ"を参照してください。

なお、BZ($\overline{\text{BZ}}$)信号はレジスタBZON、BZSHTおよびBZSTPとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.5.5.6にBZ($\overline{\text{BZ}}$)信号の出力波形を示します。



* マスクオプションにより選択した場合

図5.5.5.6 BZ($\overline{\text{BZ}}$)信号の出力波形

5.5.6 出力ポートの制御方法

表5.5.6.1に出力ポートの制御ビットを示します。

表5.5.6.1(a) 出力ポートの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF70	D7	HZR51	R51ハイインピーダンス制御	Hi-Z	信号出力	0	R/W	予約レジスタ
	D6	HZR50	R50ハイインピーダンス制御			0	R/W	
	D5	HZR4H	汎用レジスタ	1	0	0	R/W	
	D4	HZR4L	汎用レジスタ			0	R/W	
	D3	HZR1H	汎用レジスタ			0	R/W	
	D2	HZR1L	汎用レジスタ			0	R/W	
	D1	HZR0H	汎用レジスタ			0	R/W	
	D0	HZR0L	汎用レジスタ			0	R/W	
00FF71	D7	HZR27	R27ハイインピーダンス制御	Hi-Z	信号出力	0	R/W	予約レジスタ
	D6	HZR26	R26ハイインピーダンス制御			0	R/W	
	D5	HZR25	汎用レジスタ	1	0	0	R/W	
	D4	HZR24	汎用レジスタ			0	R/W	
	D3	HZR23	汎用レジスタ/SEG47ハイインピーダンス制御	1/Hi-Z	0/信号出力	0	R/W	
	D2	HZR22	汎用レジスタ/SEG48ハイインピーダンス制御			0	R/W	
	D1	HZR21	汎用レジスタ/SEG49ハイインピーダンス制御			0	R/W	
	D0	HZR20	汎用レジスタ/SEG50ハイインピーダンス制御			0	R/W	
00FF72	D7	HZR37	汎用レジスタ/SEG40ハイインピーダンス制御	1/Hi-Z	0/信号出力	0	R/W	*1
	D6	HZR36	汎用レジスタ/SEG41ハイインピーダンス制御			0	R/W	
	D5	HZR35	汎用レジスタ/SEG42ハイインピーダンス制御	Hi-Z	信号出力	0	R/W	
	D4	HZR34	R34ハイインピーダンス制御			0	R/W	
	D3	HZR33	汎用レジスタ/SEG43ハイインピーダンス制御	1/Hi-Z	0/信号出力	0	R/W	*1
	D2	HZR32	汎用レジスタ/SEG44ハイインピーダンス制御			0	R/W	
	D1	HZR31	汎用レジスタ/SEG45ハイインピーダンス制御			0	R/W	
	D0	HZR30	汎用レジスタ/SEG46ハイインピーダンス制御			0	R/W	
00FF75	D7	R27D	R27出力ポートデータ	High	Low	1	R/W	予約レジスタ
	D6	R26D	R26出力ポートデータ			1 *2	R/W	
	D5	R25D	汎用レジスタ	1	0	1	R/W	
	D4	R24D	汎用レジスタ			1	R/W	
	D3	R23D	汎用レジスタ/SEG47出力ポートデータ	1/High	0/Low	1	R/W	
	D2	R22D	汎用レジスタ/SEG48出力ポートデータ			1	R/W	
	D1	R21D	汎用レジスタ/SEG49出力ポートデータ			1	R/W	
	D0	R20D	汎用レジスタ/SEG50出力ポートデータ			1	R/W	
00FF76	D7	R37D	汎用レジスタ/SEG40出力ポートデータ	1/High	0/Low	1	R/W	*1
	D6	R36D	汎用レジスタ/SEG41出力ポートデータ			1	R/W	
	D5	R35D	汎用レジスタ/SEG42出力ポートデータ	High	Low	1	R/W	
	D4	R34D	R34出力ポートデータ			1	R/W	
	D3	R33D	汎用レジスタ/SEG43出力ポートデータ	1/High	0/Low	1	R/W	*1
	D2	R32D	汎用レジスタ/SEG44出力ポートデータ			1	R/W	
	D1	R31D	汎用レジスタ/SEG45出力ポートデータ			1	R/W	
	D0	R30D	汎用レジスタ/SEG46出力ポートデータ			1	R/W	
00FF78	D7	—	—	—	—	—	—	読み出し時は 常時"0"
	D6	—	—	—	—	—	—	
	D5	—	—	—	—	—	—	
	D4	—	—	—	—	—	—	
	D3	—	—	—	—	—	—	
	D2	—	—	—	—	—	—	
	D1	R51D	R51出力ポートデータ	High	Low	1	R/W	
	D0	R50D	R50出力ポートデータ			0	R/W	

*1 SEGxxハイインピーダンス制御とSEGxx出力ポートデータは、SEGxx端子をDC出力に設定した場合の機能です。
LCDセグメント出力に設定されたSEG端子に対応するビットは汎用レジスタとなります。

DC出力を行うSEG端子はSEG40～SEG50の中からマスクオプションで選択します。

*2 マスクオプションでTOUIT出力またはREM出力選択時は"0"

表5.5.6.1(b) 出力ポートの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF30	D7	—	—	—	—	—	—	読み出し時は 常時"0"
	D6	—	—	—	—	—	—	
	D5	—	—	—	—	—	—	
	D4	MODE160	8/16ビットモード選択(タイマ0/1)	16ビット×1	8ビット×2	0	R/W	
	D3	CHSEL	TOOUT出力チャンネル選択	タイマ1	タイマ0	0	R/W	
	D2	PTOUT	TOOUT出力制御	On	Off	0	R/W	
	D1	CKSEL1	プリスケアラ1原振クロック選択	fosc3	fosc1	0	R/W	
	D0	CKSEL0	プリスケアラ0原振クロック選択	fosc3	fosc1	0	R/W	
00FF40	D7	—	—	—	—	—	—	読み出し時は"0"
	D6	FOUT2	FOUT周波数選択			0	R/W	
	D5	FOUT1	FOUT2 FOUT1 FOUT0 周波数					
			0 0 0 fosc1 / 1					
			0 0 1 fosc1 / 2					
			0 1 0 fosc1 / 4					
			0 1 1 fosc1 / 8					
			1 0 0 fosc3 / 1					
	D4	FOUT0	1 0 1 fosc3 / 2					
			1 1 0 fosc3 / 4					
			1 1 1 fosc3 / 8					
	D3	FOUTON	FOUT出力制御	On	Off	0	R/W	
	D2	WDRST	ウォッチドッグタイマリセット	リセット	無効	—	W	読み出し時は
	D1	TMRST	計時タイマリセット	リセット	無効	—	W	常時"0"
	D0	TMRUN	計時タイマRun/Stop制御	Run	Stop	0	R/W	
00FF44	D7	—	—	—	—	—	—	読み出し時は
	D6	BZSTP	ワンショットブザー強制停止	強制停止	無効	—	W	常時"0"
	D5	BZSHT	ワンショットブザートリガ/ステータス	R Busy	Ready	0	R/W	
				W トリガ	無効			
	D4	SHTPW	ワンショットブザー時間幅選択	125msec	31.25msec	0	R/W	
	D3	ENRTM	エンベロープ減衰時間	1sec	0.5sec	0	R/W	
	D2	ENRST	エンベロープリセット	リセット	無効	—	W	読み出し時は"0"
	D1	ENON	エンベロープOn/Off制御	On	Off	0	R/W	*1
	D0	BZON	ブザー出力制御	On	Off	0	R/W	

*1 ワンショット出力時、"0"にリセット

ハイインピーダンス制御

HZR26, HZR27: 00FF71H-D6, D7

HZR34: 00FF72H-D4

HZR50, HZR51: 00FF70H-D6, D7

各出力端子をハイインピーダンスに設定します。

"1"書き込み: ハイインピーダンス

"0"書き込み: コンプリメンタリ

読み出し: 可能

HZRxxは、Rxx出力ポート端子のハイインピーダンス制御レジスタで、"1"を設定すると対応する出力ポート端子がハイインピーダンス状態となり、"0"を設定するとコンプリメンタリ出力となります。この制御はポートを特殊出力に使用している場合にも有効です。

イニシャルリセット時、本レジスタは"0"(コンプリメンタリ)に設定されます。

HZR20~HZR23: 00FF71H-D0~D3

HZR30~HZR33: 00FF72H-D0~D3

HZR35~HZR37: 00FF72H-D5~D7

SEG40~SEG50端子(DC出力時)をハイインピーダンスに設定します。

"1"書き込み: ハイインピーダンス

"0"書き込み: コンプリメンタリ

読み出し: 可能

HZR20~23はSEG50~47、HZR30~33はSEG46~43、HZR35~37はSEG42~40端子のハイインピーダンス制御レジスタで、マスクオプションでDC出力に設定したSEG端子にのみ有効です。LCDセグメント出力に設定した端子のHZRxxは出力には影響を与えない汎用レジスタとなります。

イニシャルリセット時、本レジスタは"0"(コンプリメンタリ)に設定されます。

DC出力制御

R26D, R27D: 00FF75H-D6, D7**R34D: 00FF76H-D4****R50D, R51D: 00FF78H-D0, D1**

Rxx出力ポート端子の出力データを設定します。

"1"書き込み: HIGHレベル出力

"0"書き込み: LOWレベル出力

読み出し: 可能

RxxDは、Rxx出力ポートのデータレジスタで、"1"を設定すると対応する出力ポート端子がHIGH(V_{DD})レベルとなり、"0"を設定するとLOW(V_{SS})レベルとなります。

イニシャルリセット時、R50Dは"0"(LOWレベル出力)、その他のレジスタは"1"(HIGHレベル出力)に設定されます。

R26、R51をマスクオプションで特殊出力に設定した場合、R26DとR51Dは出力に影響を与えない汎用レジスタとして使用することができます。

R20D~R23D: 00FF75H-D0~D3**R30D~R33D: 00FF76H-D0~D3****R35D~R37D: 00FF76H-D5~D7**

SEG40 ~ SEG50端子(DC出力時)の出力データを設定します。

"1"書き込み: HIGHレベル出力

"0"書き込み: LOWレベル出力

読み出し: 可能

R20D ~ 23DはSEG50 ~ 47、R30D ~ 33DはSEG46 ~ 43、R35D ~ 37DはSEG42 ~ 40端子のデータレジスタで、マスクオプションでDC出力に設定したSEG端子にのみ有効です。LCDセグメント出力に設定した端子のRxxDは出力には影響を与えない汎用レジスタとなります。

イニシャルリセット時、本レジスタは"1"(HIGHレベル出力)に設定されます。

特殊出力制御

注! REM出力用の制御レジスタについては、"5.13 リモートコントローラ"を参照してください。

PTOUT: 00FF30H-D2

TOUT(プログラマブルタイマ出力クロック)信号の出力制御を行います。

"1"書き込み: TOUT信号出力ON

"0"書き込み: TOUT信号出力OFF

読み出し: 可能

PTOUTはTOUT信号の出力制御レジスタで、"1"を設定するとTOUT(TOUT)信号がR27(R26)出力ポート端子から出力され、"0"を設定するとR27はHIGH(V_{DD})レベル、R26はLOW(V_{SS})レベルとなります。TOUT出力を行う場合、データレジスタR27Dには常時"1"が設定されている必要があります。R26DはTOUT出力には影響を与えません。

イニシャルリセット時、PTOUTは"0"(出力OFF)に設定されます。

TOUT出力(R26)はマスクオプションで選択した場合にのみ可能です。

FOUTON: 00FF40H-D3

FOUT(fosc1/fosc3分周クロック)信号の出力制御を行います。

"1"書き込み: FOUT信号出力

"0"書き込み: HIGHレベル(DC)出力

読み出し: 可能

FOUTONはFOUT信号の出力制御レジスタで、"1"を設定するとFOUT信号がR34出力ポート端子から出力され、"0"を設定するとHIGH(V_{DD})レベルが出力されます。このとき、データレジスタR34Dには常時"1"が設定されている必要があります。イニシャルリセット時、FOUTONは"0"(HIGHレベル出力)に設定されます。

FOUT0, FOUT1, FOUT2: 00FF40H-D4, D5, D6

FOUT信号の周波数を表5.5.6.2のとおり設定します。

表5.5.6.2 FOUT周波数の設定

FOUT2	FOUT1	FOUT0	FOUT周波数
0	0	0	fosc1 / 1
0	0	1	fosc1 / 2
0	1	0	fosc1 / 4
0	1	1	fosc1 / 8
1	0	0	fosc3 / 1
1	0	1	fosc3 / 2
1	1	0	fosc3 / 4
1	1	1	fosc3 / 8

fosc1/fosc3: OSC1/OSC3発振周波数

イニシャルリセット時、本レジスタは"0"(fosc1/1)に設定されます。

BZON: 00FF44H-D0

ブザー(BZ、 $\overline{\text{BZ}}$)信号の出力制御を行います。

"1"書き込み: ブザー信号出力ON
 "0"書き込み: ブザー信号出力OFF
 読み出し: 可能

BZONはブザー信号の出力制御レジスタで、"1"を設定するとBZ($\overline{\text{BZ}}$)信号がR50(R51)出力ポート端子から出力され、"0"を設定するとR50はLOW(V_{SS})レベル、R51はHIGH(V_{DD})レベルとなります。BZ出力を行う場合、データレジスタR50Dには常時"0"が設定されている必要があります。R51DはBZ出力には影響を与えません。

イニシャルリセット時、BZONは"0"(出力OFF)に設定されます。

BZ出力(R51)はマスクオプションで選択した場合にのみ可能です。

BZSHT: 00FF44H-D5

ワンショットブザー出力の制御を行います。

"1"書き込み: トリガ
 "0"書き込み: ノーオペレーション
 "1"読み出し: BUSY
 "0"読み出し: READY

BZSHTに"1"を書き込むことによってワンショット出力回路が動作し、R50(R51)端子からBZ($\overline{\text{BZ}}$)信号が出力されます。このブザー出力はSHTPWによって設定した時間の経過後に自動的にOFFとなります。BZ出力を行う場合、データレジスタR50Dには常時"0"が設定されている必要があります。R51Dは $\overline{\text{BZ}}$ 出力には影響を与えません。

ワンショット出力は通常のブザー出力がOFF(BZON="0")の状態でのみ有効で、ON(BZON="1")状態でのトリガは無効となります。ワンショット出力中に再トリガを行った場合は、その時点からSHTPWによって設定した時間を計測し直します。(時間延長)

ワンショット出力回路の動作状態はBZSHTを読み出すことによって確認することができ、ワンショット出力(BUSY)中は"1"、OFF(READY)時は"0"が読み出せます。

イニシャルリセット時、BZSHTは"0"(READY)に設定されます。

$\overline{\text{BZ}}$ 出力(R51)はマスクオプションで選択した場合にのみ可能です。

BZSTP: 00FF44H-D6

ワンショットブザー出力の強制停止を行います。

"1"書き込み: 強制停止
 "0"書き込み: ノーオペレーション
 読み出し: 常時"0"

BZSTPに"1"を書き込むことによって、SHTPWによる設定時間が経過する以前にワンショットブザー出力を強制停止させることができます。

BZSTPへの"0"書き込みおよびワンショットブザー出力中以外の"1"書き込みは無効となります。

なお、BZSHTとBZSTPに同時に"1"を書き込んだ場合はBZSTPが優先され、ワンショットブザー出力は停止状態となります。

BZSTPは書き込み専用のため、読み出し時は常時"0"となります。

5.5.7 プログラミング上の注意事項

- (1) 特殊出力(TOUT/ $\overline{\text{TOUT}}$ 、FOUT、BZ/ $\overline{\text{BZ}}$)信号は出力制御レジスタ(PTOUT、FOUTON、BZON、BZSHT、BZSTP)とは非同期に発生していますので、出力制御レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- (2) 特殊出力(TOUT/ $\overline{\text{TOUT}}$ 、FOUT、BZ/ $\overline{\text{BZ}}$)信号がイネーブルの状態ではSLP命令を実行した場合は、SLEEP状態からの復帰時に特殊出力に不安定なクロックが出力されます。したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前に特殊出力信号をディセーブル状態に設定してください。
- (3) FOUTの周波数を" f_{osc3}/n "とする場合は、FOUTを出力する以前にOSC3の発振をONさせる必要があります。
 なお、OSC3発振回路をONにしてから発振が安定するまでに数100 μsec ～数10msecの時間を必要とします。したがって、不安定なFOUT信号が外部に出力されることで不具合が生じる場合はOSC3発振ONの後、十分な待ち時間をおいてからFOUTの出力を行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電氣的特性"に発振開始時間の一例を示しますので参照してください。)
 イニシャルリセット時、OSC3発振回路はON状態に設定されます。

5.6 入出力兼用ポート (Pポート)

5.6.1 入出力兼用ポートの構成

S1C88848は8ビット(P10～P17)の入出力兼用(I/O)ポートを内蔵しています。

図5.6.1.1に入出力兼用ポートの構造を示します。

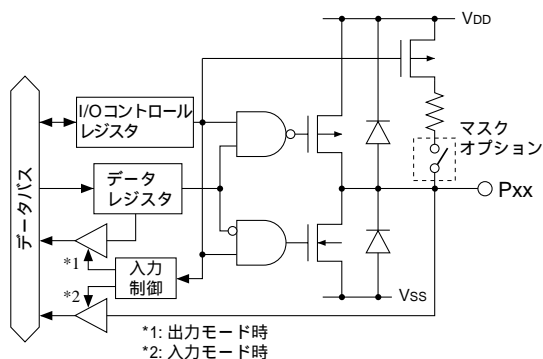


図5.6.1.1 入出力兼用ポートの構造

入出力兼用ポートは1ビットごとに入力モード、または出力モードを設定することができます。この設定はI/Oコントロールレジスタにデータを書き込むことによって行います。

入出力兼用ポートP10～P13はシリアルインタフェースの入出力端子と共用されており、どちらの用途で使用するかをソフトウェアによって選択することができます。

シリアルインタフェースの詳細については「5.7 シリアルインタフェース」を参照してください。

シリアルインタフェースの出力端子に設定される入出力兼用ポートのデータレジスタとI/Oコントロールレジスタは、端子の入出力には影響を与えないリード/ライト可能な汎用レジスタとして使用することができます。また、シリアルインタフェースの入力端子に設定される入出力兼用ポートのI/Oコントロールレジスタも同様に、汎用レジスタとして使用することができます。

5.6.2 マスクオプション

入出力兼用ポートプルアップ抵抗

P10	抵抗あり	ゲート直接
P11	抵抗あり	ゲート直接
P12	抵抗あり	ゲート直接
P13	抵抗あり	ゲート直接
P14	抵抗あり	ゲート直接
P15	抵抗あり	ゲート直接
P16	抵抗あり	ゲート直接
P17	抵抗あり	ゲート直接

入出力兼用ポートP10～P17には入力モード時にONするプルアップ抵抗が内蔵されており、これを使用するかしないかを各ポート(1ビット)ごとに選択することができます。

"抵抗あり"を選択した場合、入力モード時にプルアップ抵抗がONします。

内蔵プルアップ抵抗によって、ポート端子をLOWレベルからHIGHレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入出力兼用ポートの取り込みには適切な待ち時間の設定が必要となります。待ち時間は以下の式で求められる値以上を設定してください。

待ち時間 = $R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6 [\text{sec}]$

R_{IN} : プルアップ抵抗Max.値

C_{IN} : 端子容量Max.値

使用しない入出力兼用ポートについては、デフォルトの"抵抗あり"を選択してください。

5.6.3 I/Oコントロールレジスタと入力/出力モード

入出力兼用ポートP10～P17は、それぞれのビットに対応したI/OコントロールレジスタIOC10～IOC17にデータを書き込むことによって、入力モードあるいは出力モードに設定されます。

入力モードに設定する場合はI/Oコントロールレジスタに"0"を書き込みます。入力モードに設定された入出力兼用ポートは、ハイインピーダンス状態となり入力ポートとして機能します。

入力モード時の読み出しでは入力端子の状態が直接読み込まれ、そのデータは入力端子がHIGH(VDD)レベルのときに"1"、LOW(VSS)レベルのときに"0"となります。

マスクオプションで内蔵プルアップ"抵抗あり"を選択した場合は、入力モード時にポート端子がプルアップされます。

入力モード時においても、端子の状態に影響を与えることなくデータレジスタに対して書き込みは行えます。

出力モードに設定する場合はI/Oコントロールレジスタに"1"を書き込みます。出力モードに設定された入出力兼用ポートは出力ポートとして機能し、ポート出力データが"1"の場合にHIGH(VDD)レベル、"0"の場合にLOW(VSS)レベルを出力します。出力モード時の読み出しでは、データレジスタの内容が読み込まれます。

イニシャルリセット時、I/Oコントロールレジスタは"0"(入出力兼用ポートは入力モード)に設定されます。

5.6.4 入出力兼用ポートの制御方法

表5.6.4.1に入出力兼用ポートの制御ビットを示します。

表5.6.4.1 入出力兼用ポートの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF61	D7	IOC17	P17 I/Oコントロールレジスタ	出力	入力	0	R/W	
	D6	IOC16	P16 I/Oコントロールレジスタ			0	R/W	
	D5	IOC15	P15 I/Oコントロールレジスタ			0	R/W	
	D4	IOC14	P14 I/Oコントロールレジスタ			0	R/W	
	D3	IOC13	P13 I/Oコントロールレジスタ			0	R/W	
	D2	IOC12	P12 I/Oコントロールレジスタ			0	R/W	
	D1	IOC11	P11 I/Oコントロールレジスタ			0	R/W	
	D0	IOC10	P10 I/Oコントロールレジスタ			0	R/W	
00FF63	D7	P17D	P17 入出力兼用ポートデータ	High	Low	1	R/W	
	D6	P16D	P16 入出力兼用ポートデータ			1	R/W	
	D5	P15D	P15 入出力兼用ポートデータ			1	R/W	
	D4	P14D	P14 入出力兼用ポートデータ			1	R/W	
	D3	P13D	P13 入出力兼用ポートデータ			1	R/W	
	D2	P12D	P12 入出力兼用ポートデータ			1	R/W	
	D1	P11D	P11 入出力兼用ポートデータ			1	R/W	
	D0	P10D	P10 入出力兼用ポートデータ			1	R/W	

P10D~P17D: 00FF63H

入出力兼用ポート端子のデータの読み出し、および出力データの設定を行います。

データ書き込み時

"1"書き込み: HIGHレベル

"0"書き込み: LOWレベル

入出力兼用ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力兼用ポート端子に出力されます。ポートデータとして"1"を書き込んだ場合はポート端子はHIGH(VDD)レベルとなり、"0"を書き込んだ場合はLOW(Vss)レベルとなります。入力モードの場合もポートデータの書き込みは行えます。

データ読み出し時

"1"読み出し: HIGHレベル ("1")

"0"読み出し: LOWレベル ("0")

入出力兼用ポートが入力モードの場合はポート端子に入力されている電圧レベルが読み出されます。端子電圧がHIGH(VDD)レベルの場合は"1"、LOW(Vss)レベルの場合は"0"がそれぞれ入力データとして読み出されます。また、出力モードの場合はデータレジスタの内容が読み出されます。イニシャルリセット時、本レジスタはすべて"1"(HIGHレベル)に設定されます。

シリアルインタフェースの出力端子に設定される入出力兼用ポートのデータレジスタは、端子の入出力には影響を与えないリード/ライト可能な汎用レジスタとして使用することができます。

IOC10~IOC17: 00FF61H

入出力兼用ポートの入力/出力モードを設定します。

"1"書き込み: 出力モード

"0"書き込み: 入力モード

読み出し: 可能

IOC1xは各入出力兼用ポートにビット単位で対応するI/Oコントロールレジスタです。IOC1xレジスタに"1"を書き込むと対応する入出力兼用ポートP1xが出力モードとなり、"0"を書き込むと入力モードとなります。

イニシャルリセット時、本レジスタはすべて"0"(入力モード)に設定されます。

シリアルインタフェースの入出力端子に設定される入出力兼用ポートのI/Oコントロールレジスタは、端子の入出力には影響を与えないリード/ライト可能な汎用レジスタとして使用することができます。

5.6.5 プログラミング上の注意事項

内蔵プルアップ抵抗によって、ポート端子をLOWレベルからHIGHレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入出力兼用ポートの取り込みには適切な待ち時間の設定が必要となります。待ち時間は以下の式で求められる値以上を設定してください。

$$\text{待ち時間} = R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6 [\text{sec}]$$

R_{IN} : プルアップ抵抗Max.値

C_{IN} : 端子容量Max.値

5.7 シリアルインタフェース

5.7.1 シリアルインタフェースの構成

S1C88848はクロック同期式または調歩同期式の選択が可能な全二重方式(調歩同期式選択時)のシリアルインタフェースを内蔵しています。

転送方式はソフトウェアによって選択でき、クロック同期式を選択した場合は8ビットのデータ転送が可能です。調歩同期式では7ビットまたは8ビットのデータ転送が可能で、受信データのパリティチェックおよび送信データへのパリティビットの付加もソフトウェア選択によって自動的行えます。

図5.7.1.1にシリアルインタフェースの構成を示します。

シリアルインタフェースの入出力端子SIN、SOUT、SCLK、SRDYは入出力兼用ポートP10～P13と共用されており、シリアルインタフェースの入出力端子として用いる場合はレジスタESIF、SMD0およびSMD1によってその設定を行います。(イニシャルリセット時は入出力兼用ポート端子に設定されます。)

シリアルインタフェースの入出力端子に設定される入出力兼用ポート端子はそれぞれの信号と転送モードによって入出力方向が設定され、対応する入出力兼用ポートのI/Oコントロールレジスタの設定は無効となります。

表5.7.1.1 入出力端子の構成

端子	シリアルインタフェース選択時
P10	SIN
P11	SOUT
P12	SCLK
P13	SRDY

* 転送モードにより使用する端子が異なります。

SIN、SOUTはそれぞれシリアルデータの入力、出力端子で、クロック同期式および調歩同期式ともに共通です。SCLKはクロック同期式専用で、同期クロックの入出力端子となります。SRDYはクロック同期式スレーブモード専用で、送受信レディ信号の出力端子となっています。調歩同期式を選択した場合はSCLKおよびSRDYを使用しませんので、P12、P13入出力兼用ポート端子は入出力兼用ポートとして使用することができます。

同様に、クロック同期式マスターモードを選択した場合はSRDYを使用しませんので、P13入出力兼用ポート端子は入出力兼用ポートとして使用することができます。

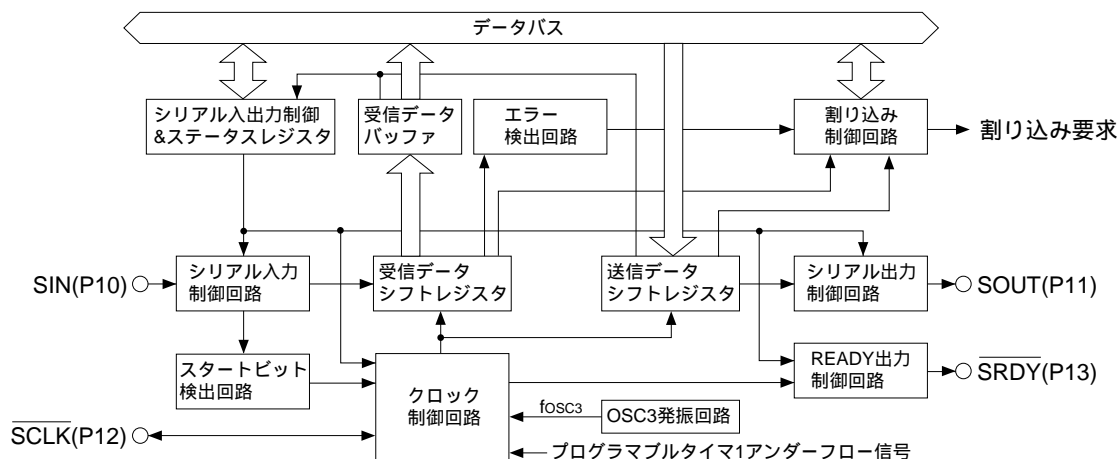


図5.7.1.1 シリアルインタフェースの構成

5.7.2 マスクオプション

シリアルインタフェースの入出力端子は入出力兼用ポートと共用されているため、入出力兼用ポートのマスクオプション設定によってシリアルインタフェースの端子仕様も必然的に決定されます。

入出力兼用ポートプルアップ抵抗		
P10(SIN)	抵抗あり	ゲート直接
P12(SCLK)	抵抗あり	ゲート直接

入出力兼用ポートの各端子には入力モード時ににおいてONするプルアップ抵抗が内蔵されており、これを使用するかしないかを各ポート(1ビット)ごとに選択することができます。シリアルインタフェース使用時に入力端子となるP10(SIN)、P12(SCLK)端子は、入出力兼用ポートのオプション設定によって端子仕様(プルアップを使用するかしないか)が決定されます。

シリアルI/Fモードで"ゲート直接"を選択した場合は、それぞれの入力端子がフローティング状態にならないよう注意してください。

5.7.3 転送モード

シリアルインタフェースの転送モードは、モード選択レジスタSMD0およびSMD1の2ビットの設定によって以下の4種類が選択できます。

表5.7.3.1 転送モード

SMD1	SMD0	モード
1	1	調歩同期式8ビット
1	0	調歩同期式7ビット
0	1	クロック同期式スレーブ
0	0	クロック同期式マスタ

表5.7.3.2 転送モードによる端子設定

モード	SIN	SOUT	SCLK	SRDY
調歩同期式8ビット	入力	出力	P12	P13
調歩同期式7ビット	入力	出力	P12	P13
クロック同期式スレーブ	入力	出力	入力	出力
クロック同期式マスタ	入力	出力	出力	P13

イニシャルリセット時はクロック同期式マスタモードに設定されます。

クロック同期式マスタモード

本モードでは、内蔵シフトレジスタの同期クロックとして内部クロックを使用する、本シリアルインタフェースをマスタとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックはSCLK端子からも出力され、外部(スレーブ側)のシリアル入出力デバイスを制御することができます。

このモードではSRDY端子を使用しませんので、この端子を入出力兼用ポートとして使用することができます。

図5.7.3.1(a)にクロック同期式マスタモードにおける入出力端子の接続例を示します。

クロック同期式スレーブモード

本モードでは、外部(マスタ側)のシリアル入出力デバイスから供給される同期クロックを使用する、本シリアルインタフェースをスレーブとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックはSCLK端子より入力し、本シリアルインタフェースの同期クロックとして使用します。

また、SRDY端子からは送受信レディ状態を示すSRDY信号がシリアルインタフェースの動作状態にしたがって出力されます。

スレーブモードではクロック源を選択するレジスタSCS0、SCS1の設定が無効となります。

図5.7.3.1(b)にクロック同期式スレーブモードにおける入出力端子の接続例を示します。

調歩同期式7ビットモード

このモードでは、調歩同期式7ビット転送が行えます。データ受信時のパリティチェックおよびデータ送信時のパリティビットの付加(奇数/偶数/なし)を指定でき、データをパリティなし7ビットまたはパリティ付き7ビットとして処理できます。このモードでは内部クロックを使用しますので、SCLK端子は使用しません。また、SRDY端子も使用しませんので、この2つの端子は入出力兼用ポートとして使用することができます。

図5.7.3.1(c)に調歩同期式モードにおける入出力端子の接続例を示します。

調歩同期式8ビットモード

このモードでは、調歩同期式8ビット転送が行えます。データ受信時のパリティチェックおよびデータ送信時のパリティビットの付加(奇数/偶数/なし)を指定でき、データをパリティなし8ビットまたはパリティ付き8ビットとして処理できます。このモードでは内部クロックを使用しますので、SCLK端子は使用しません。また、SRDY端子も使用しませんので、この2つの端子は入出力兼用ポートとして使用することができます。

図5.7.3.1(c)に調歩同期式モードにおける入出力端子の接続例を示します。

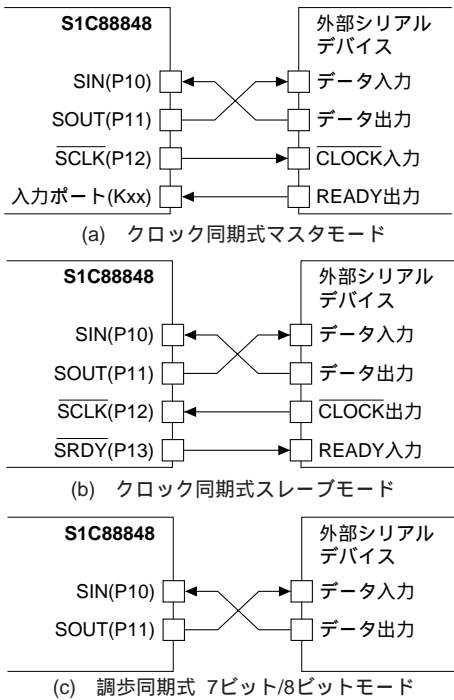


図5.7.3.1 シリアルインタフェース入出力端子の接続例

5.7.4 クロック源

クロック源はクロック選択レジスタSCS0、SCS1の2ビットの設定によって以下の4種類が選択できます。

表5.7.4.1 クロック源

SCS1	SCS0	クロック源
1	1	プログラマブルタイマ
1	0	fosc3 / 4
0	1	fosc3 / 8
0	0	fosc3 / 16

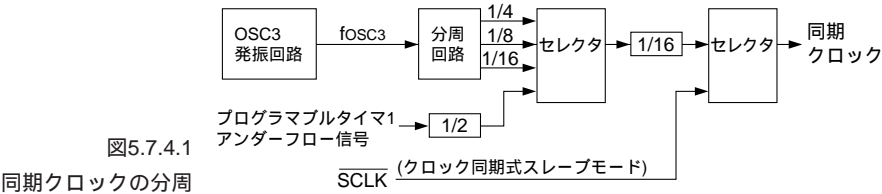


表5.7.4.2 転送速度とOSC3発振周波数

転送速度 (bps)	OSC3発振周波数/プログラマブルタイマの設定					
	fosc3=3.072MHz		fosc3=4.608MHz		fosc3=4.9152MHz	
	PSC1X	RLD1X	PSC1X	RLD1X	PSC1X	RLD1X
9,600	0 (1/1)	09H	0 (1/1)	0EH	0 (1/1)	0FH
4,800	0 (1/1)	13H	0 (1/1)	1DH	0 (1/1)	1FH
2,400	0 (1/1)	27H	0 (1/1)	3BH	0 (1/1)	3FH
1,200	0 (1/1)	4FH	0 (1/1)	77H	0 (1/1)	7FH
600	0 (1/1)	9FH	0 (1/1)	EFH	0 (1/1)	FFH
300	1 (1/4)	4FH	1 (1/4)	77H	1 (1/4)	7FH
150	1 (1/4)	9FH	1 (1/4)	EFH	1 (1/4)	FFH

5.7.5 送受信の制御

以下に送受信の制御を行うレジスタ等を説明します。送受信の制御手順と動作については次項よりモード別に説明しますので、そちらを参照してください。

シフトレジスタと受信データバッファ

本シリアルインタフェースには、送信と受信それぞれに専用のシフトレジスタが設けられています。このため、調歩同期式モード選択時には送信と受信を同時に行う全二重通信が可能です。

TRXD0～TRXD7に書き込まれた送信データはシフトレジスタによってシリアル変換され、SOUT端子から出力されます。

受信部にはシフトレジスタとは別に受信データバッファが設けられています。

受信時には、SIN端子から入力されたデータが、シフトレジスタによってパラレル変換され、受信データバッファに書き込まれます。受信データバッファの読み出しをシリアル入力とは非同期にその動作中に行えるため、効率のよい連続受信が行えます。

ただし、クロック同期式モードではバッファ機能を使用しませんので、次のデータ受信が始まる前にデータを読み出す必要があります。

送信許可レジスタ、送信制御ビット

送信の制御には、送信許可レジスタTXENと送信制御ビットTXTRGを使用します。

送信許可レジスタTXENは送信の許可/禁止状態を設定するレジスタです。このレジスタに"1"を書き込んで送信を許可状態にすると、シフトレジスタへのクロック入力がいネーブルとなり、データの送信が行える状態となります。クロック同期式モードでは、SCLK端子の同期クロック入出力もいネーブルとなります。

送信制御ビットTXTRGは送信開始のトリガとして使用します。

送信シフトレジスタに送信データを書き込み、送信準備ができたところでTXTRGに"1"を書き込み送信を開始させます。

割り込みを許可している場合は、送信が終了した時点で割り込みが発生します。

次の送信データがある場合は、この割り込みを利用してデータの書き込みを行うことができます。

また、TXTRGはステータスとして読み出しが可能で、"1"の場合は送信動作中、"0"の場合は送信停止中を示します。

詳細タイミングについては、各モードのタイミングチャートをそれぞれ参照してください。

なお、送信を行わない場合はTXENを"0"として、送信禁止状態に設定してください。

受信許可レジスタ、受信制御ビット

受信の制御には、受信許可レジスタRXENと受信制御ビットRXTRGを使用します。

受信許可レジスタRXENは受信の許可/禁止状態を設定するレジスタです。このレジスタに"1"を書き込んで受信を許可状態にすると、シフトレジスタへのクロック入力がいネーブルとなり、データの受信が行える状態となります。クロック同期式モードでは、SCLK端子の同期クロック入出力もいネーブルとなります。これによって受信を開始し、SIN端子から入力されるシリアルデータをシフトレジスタに取り込みます。

受信制御ビットRXTRGは、クロック同期式と調歩同期式で若干動作が異なります。

クロック同期式でのRXTRGは受信開始のトリガとして使用します。

受信データを読み出し、次の受信準備ができたところでRXTRGに"1"を書き込み受信を開始させます。(スレーブモードではRXTRGに"1"を書き込んだところでSRDYが"0"となります。)

調歩同期式でのRXTRGは、次のデータの受信準備に使用します。受信データバッファにある受信データを読み出し、バッファが空となったことを知らせるためRXTRGに"1"を書き込みます。RXTRGに"1"を書き込まなかった場合は、次の受信が終了した時点でオーバーランエラーフラグOERが"1"にセットされます。(受信データを読み出す動作とRXTRGに"1"を書き込む動作との間に受信を終了した場合は、オーバーランエラーとなります。)

また、RXTRGはステータスとして読み出しが可能で、クロック同期式、調歩同期式どちらのモードでも"1"の場合は受信動作中、"0"の場合は受信停止中を示します。

詳細タイミングについては、各モードのタイミングチャートをそれぞれ参照してください。

なお、受信を行わない場合はRXENを"0"として、受信禁止状態に設定してください。

5.7.6 クロック同期式転送の動作

クロック同期式転送は8ビットデータを8個のクロックに同期させて転送する方式で、送信側、受信側で同じ同期クロックを使用します。

本シリアルインタフェースをマスタモードで使用する場合はSCS0、SCS1で選択したクロックを1/16に分周したものが同期クロックとして使用され、さらにSCLK端子を通してスレーブ側(外部のシリアル入出力デバイス)に出力されます。スレーブモードで使用する場合は、マスタ側(外部のシリアル入出力デバイス)からSCLK端子に入力されたクロックを同期クロックとして使用します。

クロック同期式モードでは1本のクロックライン(SCLK)を送受信で共用するため、送信と受信を同時に行うことはできません。(クロック同期式モードでは半二重通信となります。)

転送データは8ビット固定で、LSB(ビット0)を先頭として送受信が行われます。

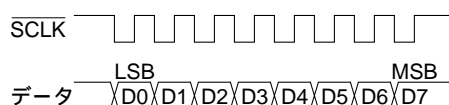


図5.7.6.1 クロック同期式の転送データフォーマット

以下にクロック同期式転送を行う場合の初期化および送受信の制御手順と動作について説明します。シリアルインタフェース割り込みについては"5.7.8 割り込み機能"を参照してください。

シリアルインタフェースの初期化

クロック同期式転送を行う場合には以下の初期設定を行う必要があります。

(1) 送受信禁止に設定

シリアルインタフェースの設定は、送信許可レジスタTXENおよび受信許可レジスタRXENにそれぞれ"0"を書き込んで、送受信を禁止にした状態で行ってください。

なお、この2つのレジスタは実際にデータ転送を開始するまで、禁止状態に固定してください。

(2) ポート選択

イニシャルリセット時、シリアルインタフェースの入出力端子SIN、SOUT、SCLK、SRDYは入出力兼用ポート端子P10～P13に設定されますので、シリアルインタフェースイネーブルレジスタESIFに"1"を書き込んでこれらの端子をシリアルインタフェース用に設定します。

(3) 転送モードの設定

モード選択レジスタSMD0およびSMD1の2ビットに以下のデータを書き込んでクロック同期式モードを選択します。

マスタモード SMD0 = "0"、SMD1 = "0"

スレーブモード SMD0 = "1"、SMD1 = "0"

(4) クロック源の選択

マスタモードの場合はクロック源選択レジスタSCS0、SCS1の2ビットにデータを書き込んで同期クロック源を選択します。(表5.7.4.1参照)
スレーブモードでは、この選択は不要です。

(2)～(4)の各レジスタは同一アドレス上に割り付けられていますので、1命令で一度に設定が可能です。

なお、このアドレスにはパリティイネーブルレジスタEPRも割り付けられていますが、クロック同期式モードではパリティを必要としないため、その設定内容にかかわらずパリティチェックは行われません。

(5) クロック源の制御

マスタモードを選択し、クロック源にプログラマブルタイマを選択した場合は、プログラマブルタイマ側で転送速度の設定を行ってください。("5.10 プログラマブルタイマ"参照)

OSC3発振回路の分周信号をクロック源として選択した場合は、データ転送を開始する以前にOSC3の発振をONさせる必要があります。("5.3 発振回路"参照)

データの送信手順

送信時の制御手順と動作は以下のとおりです。

- (1) 送信許可レジスタTXENおよび受信許可レジスタRXENに"0"を書き込み、シリアルインタフェースをリセットします。
- (2) 送信許可レジスタTXENに"1"を書き込み、送信許可状態に設定します。
- (3) 送信するデータをTRXD0～TRXD7に書き込みます。
- (4) マスタモードの場合は、必要に応じてスレーブ側(外部シリアル入出力デバイス)の受信レディ状態を確認してください。受信レディ状態になるまで待ちます。
- (5) 送信制御ビットTXTRGに"1"を書き込み、送信を開始させます。

マスタモードであれば、この制御によって同期クロックがイネーブルとなり、送信用シフトレジスタに供給されるとともにSCLK端子から出力されます。

スレーブモードでは、SCLK端子に同期クロックが入力されるのを待ちます。

シフトレジスタの送信データは同期クロックの各立ち下がりエッジで1ビットずつシフトされ、SOUT端子より出力されます。最後のビット(MSB)が出力されると、次の送信が開始されるまでSOUT端子はそのレベルを保持します。

シフトレジスタのデータ送信が終了したところで、送信完了割り込み要因フラグFSTRAが"1"にセットされます。割り込みが許可されている場合は、この時点で送信完了割り込みが発生します。

本割り込みを利用して次の送信データをセットしてください。

- (6) 送信データのバイト数だけ(3)～(5)を繰り返し、送信が終了した時点で送信許可レジスタTXENに"0"を書き込み、送信禁止状態に設定します。

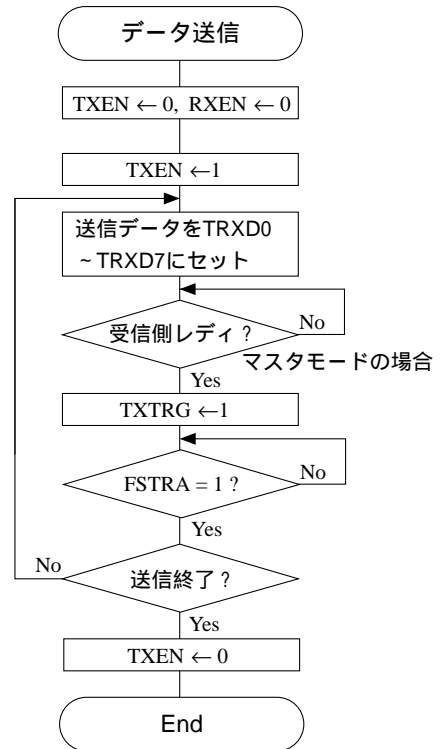


図5.7.6.2 クロック同期式の送信手順

データの受信手順

受信時の制御手順と動作は以下のとおりです。

- (1) 受信許可レジスタRXENおよび送信許可レジスタTXENに"0"を書き込み、シリアルインタフェースをリセットします。
- (2) 受信許可レジスタRXENに"1"を書き込み、受信許可状態に設定します。
- (3) マスタモードの場合は、必要に応じてスレーブ側(外部シリアル入出力デバイス)の送信レディ状態を確認してください。送信レディ状態になるまで待ちます。
- (4) 受信制御ビットRXTRGに"1"を書き込み、受信を開始させます。

マスタモードであれば、この制御によって同期クロックがイネーブルとなり、受信用シフトレジスタに供給されるとともにSCLK端子から出力されます。

スレーブモードでは、SCLK端子に同期クロックが入力されるのを待ちます。

SIN端子から入力される受信データは同期クロックの立ち上がりエッジに同期して順次シフトレジスタ内に取り込まれます。

8ビット目のデータが同期クロック最後(8個目)の立ち上がりエッジで取り込まれたところで、シフトレジスタ内のデータが受信データバッファに転送され、受信完了割り込み要因フラグFSRECが"1"にセットされます。割り込みが許可されている場合は、この時点で受信完了割り込みが発生します。

- (5) 受信完了割り込みを利用して、受信データをTRXD0～TRXD7から読み出します。
- (6) 受信データのバイト数だけ(3)～(5)を繰り返し、受信が終了した時点で受信許可レジスタRXENに"0"を書き込み、受信禁止状態に設定します。

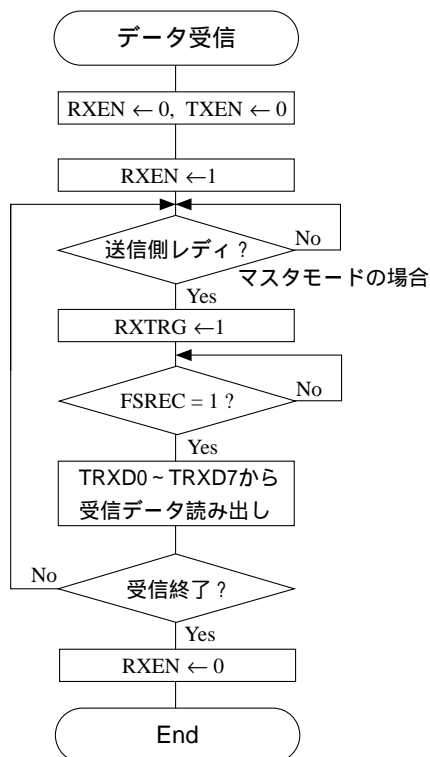


図5.7.6.3 クロック同期式の受信手順

送受信レディ(SRDY)信号

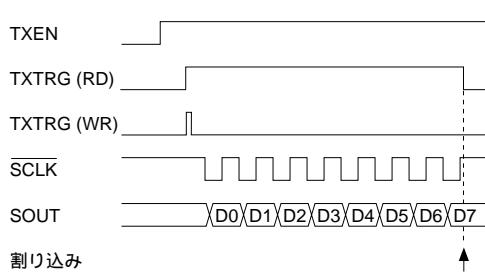
本シリアルインタフェースをクロック同期式スレーブモード(外部クロック入力)で使用する場合は、マスタ側(外部のシリアル入出力デバイス)に対して本シリアルインタフェースが送受信可能かどうかを示すSRDY信号が出力されます。この信号はSRDY端子から出力され、本インタフェースが送信または受信可能なREADY状態のときに"0"(LOWレベル)、送受信動作時などのBUSY状態のときに"1"(HIGHレベル)となります。

SRDY信号は送信制御ビットTXTRG、または受信制御ビットRXTRGに"1"を書き込んだ直後に"1"から"0"に変化し、初の同期クロックが入力された時点(立ち下がりエッジ)で"0"から"1"に戻ります。

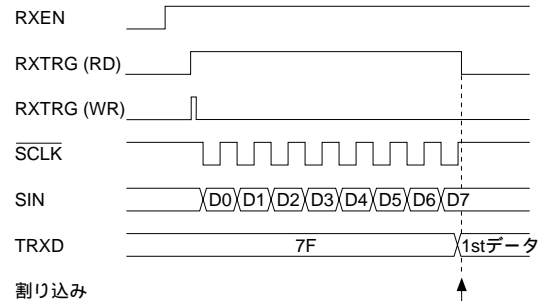
マスタモードに設定した場合は、スレーブ側から同様の信号を入力ポートまたは入出力兼用ポートを使用して取り込み、転送の制御を行ってください。この場合、SRDY端子は設定されずP13端子が入出力兼用ポートとして機能しますので、このポートをその制御にあてることもできます。

タイミングチャート

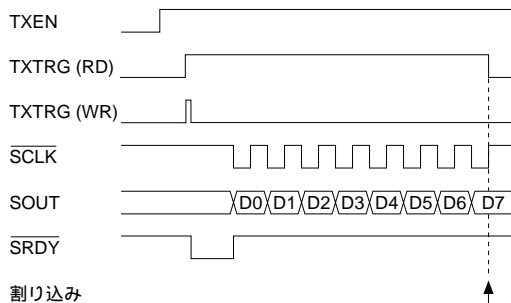
クロック同期式転送のタイミングチャートを図5.7.6.4に示します。



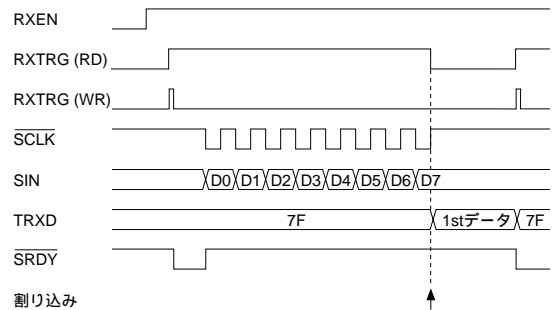
(a) マスタモード送信タイミング



(c) マスタモード受信タイミング



(b) スレーブモード送信タイミング



(d) スレーブモード受信タイミング

図5.7.6.4 タイミングチャート(クロック同期式転送)

5.7.7 調歩同期式転送の動作

調歩同期式転送は、シリアル変換した各データの前後にスタートビットとストップビットを付加して転送を行う方式です。この方式では、送信側、受信側それぞれで完全に同期の一致したクロックを用いる必要はなく、各データの前後に付けられたスタート/ストップビットで同期をとりながら転送を行います。この転送モードを選択することによって、RS-232Cインタフェース機能などを容易に実現することができます。

本インタフェースは送受信個別にシフトレジスタを持っており、送受信が同時に行える全二重方式の転送が可能となっています。

転送データは、調歩同期式7ビットモードでは7ビットデータ(パリティなし)または7ビットデータ+パリティビットのいずれかが選択できます。調歩同期式8ビットモードでは8ビットデータ(パリティなし)または8ビットデータ+パリティビットのいずれかが同様に選択できます。パリティには偶数または奇数が選択でき、受信データのパリティチェックおよび送信データへのパリティビット付加を自動的に行います。したがって、プログラムでパリティデータそのものを意識する必要はありません。

スタートビット、ストップビットはそれぞれ1ビット固定で、データはLSB(ビット0)を先頭として送受信が行われます。

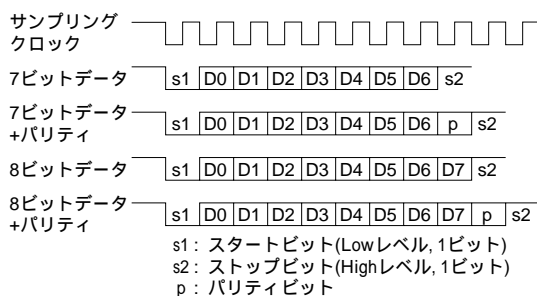


図5.7.7.1 調歩同期式の転送データフォーマット

以下に調歩同期式転送を行う場合の初期化および送受信の制御手順と動作について説明します。シリアルインタフェース割り込みについては"5.7.8 割り込み機能"を参照してください。

シリアルインタフェースの初期化

調歩同期式転送を行う場合には以下の初期設定を行う必要があります。

(1) 送受信禁止に設定

シリアルインタフェースの設定は、送信許可レジスタTXENおよび受信許可レジスタRXENにそれぞれ"0"を書き込んで、送受信を禁止にした状態で行ってください。

なお、この2つのレジスタは実際にデータ転送を開始するまで、禁止状態に固定してください。

(2) ポート選択

イニシャルリセット時、シリアルインタフェースの入出力端子SIN、SOUTは入出力兼用ポート端子P10、P11に設定されますので、シリアルインタフェースイネーブルレジスタESIFに"1"を書き込んでこれらの端子をシリアルインタフェース用に設定します。

クロック同期式モードにおいて設定されるSCLK、SRDY端子は調歩同期式モードでは使用しません。これらの端子は入出力兼用ポート端子P12、P13として機能します。

(3) 転送モードの設定

モード選択レジスタSMD0およびSMD1の2ビットに以下のデータを書き込んで調歩同期式モードを選択します。

7ビットモード SMD0 = "0", SMD1 = "1"

8ビットモード SMD0 = "1", SMD1 = "1"

(4) パリティビットの選択

パリティビットをチェックおよび付加する場合はパリティイネーブルレジスタEPRに"1"を書き込んで"パリティチェックあり"に設定してください。この設定によって、調歩同期式7ビットモードでは7ビットデータ+パリティビットのデータ構成に、調歩同期式8ビットモードでは8ビットデータ+パリティビットのデータ構成にそれぞれ設定されます。この場合、受信時のパリティチェックと送信時のパリティビット付加は、ハードウェアによって自動的に行われます。また、"パリティチェックあり"とした場合は、さらにパリティモード選択レジスタPMDによって、パリティを"奇数"とするか"偶数"とするかを、選択する必要があります。

レジスタPMDに"0"を書き込んで"パリティチェックなし"を選択すると、調歩同期式7ビットモードでは7ビットデータ(パリティなし)のデータ構成に、調歩同期式8ビットモードでは8ビットデータ(パリティなし)のデータ構成にそれぞれ設定され、パリティチェックおよびパリティビットの付加は行われません。

(5) クロック源の選択

クロック源選択レジスタSCS0およびSCS1の2ビットにデータを書き込んでクロック源を選択します。(表5.7.4.1参照)

(2) ~ (5)の各レジスタは同一アドレス上に割り付けられていますので、1命令で一度に設定が可能です。

(6) クロック源の制御

クロック源にプログラマブルタイマを選択した場合は、プログラマブルタイマ側で転送速度の設定を行ってください。("5.10 プログラマブルタイマ"参照)

OSC3発振回路の分周信号をクロック源として選択した場合は、データ転送を開始する以前にOSC3の発振をONさせる必要があります。("5.3 発振回路"参照)

データの送信

送信時の制御手順と動作は以下のとおりです。

- (1) 送信許可レジスタTXENに"0"を書き込み、シリアルインタフェースをリセットします。
- (2) 送信許可レジスタTXENに"1"を書き込み、送信許可状態に設定します。
- (3) 送信するデータをTRXD0～TRXD7に書き込みます。
なお、7ビットデータ選択時は、TRXD7のデータは無効となります。

- (4) 送信制御ビットTXTRGに"1"を書き込み、送信を開始させます。

この制御によってシフトクロックがイネーブルとなり、その立ち上がりエッジに同期してスタートビット(LOW)がSOUT端子に出力されます。シフトレジスタに設定された送信データは、その後のクロックの各立ち上がりエッジで1ビットずつシフトされSOUT端子より出力されます。データ出力後はストップビット(HIGH)が出力され、次のスタートビットの出力までHIGHレベルが保持されます。

送信が終了したところで、送信完了割り込み要因フラグFSTRAが"1"にセットされます。割り込みが許可されている場合は、この時点で送信完了割り込みが発生します。

本割り込みを利用して次の送信データをセットしてください。

- (5) 送信データのバイト数だけ(3)～(4)を繰り返し、送信が終了した時点で送信許可レジスタTXENに"0"を書き込み、送信禁止状態に設定します。

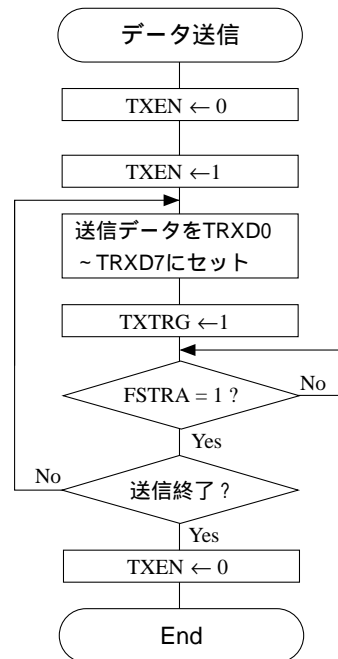


図5.7.7.2 調歩同期式の送信手順

データの受信

受信時の制御手順と動作は以下のとおりです。

- (1) 受信許可レジスタRXENに"0"を書き込んで受信禁止状態に設定し、パリティエラー、オーバーランエラー、フレーミングエラーの発生を示すPERフラグ、OERフラグ、FERフラグをそれぞれリセットします。
- (2) 受信許可レジスタRXENに"1"を書き込み、受信許可状態に設定します。
- (3) SIN端子にスタートビット(LOW)が入力された時点からシフトクロックがイネーブルとなり、受信データが2個目以降のクロックの立ち上がりエッジに同期して順次シフトレジスタ内に取り込まれます。

データビットが取り込まれた後、ストップビットがチェックされ、HIGHレベルでない場合にはフレーミングエラーとなり、エラー割り込み要因フラグFSERRが"1"にセットされます。割り込みが許可されている場合には、この時点でエラー割り込みが発生します。

受信が終了すると、シフトレジスタ内のデータが受信データバッファに転送され、受信完了割り込み要因フラグFSRECが"1"にセットされます。割り込みが許可されている場合には、この時点で受信完了割り込みが発生します。(オーバーランエラー発生時は割り込み要因フラグFSRECは"1"にセットされず、受信完了割り込みも発生しません。)

また、"パリティチェックあり"を選択している場合は、シフトレジスタから受信データバッファにデータが転送される際にパリティチェックが行われ、パリティエラーが検出された場合にはエラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合には、前記フレーミングエラー同様この時点でエラー割り込みが発生します。

- (4) 受信完了割り込みを利用して、受信データをTRXD0～TRXD7から読み出します。
- (5) 受信制御ビットRXTRGに"1"を書き込み、受信データが読み出されたことを知らせます。

RXTRGに"1"を書き込む以前に次のデータを受信すると、オーバーランエラーと認識され、エラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合には、前記フレーミングエラー、パリティエラー同様この時点でエラー割り込みが発生します。

- (6) 受信データのバイト数だけ(3)～(5)を繰り返し、受信が終了した時点で受信許可レジスタRXENに"0"を書き込み、受信禁止状態に設定します。

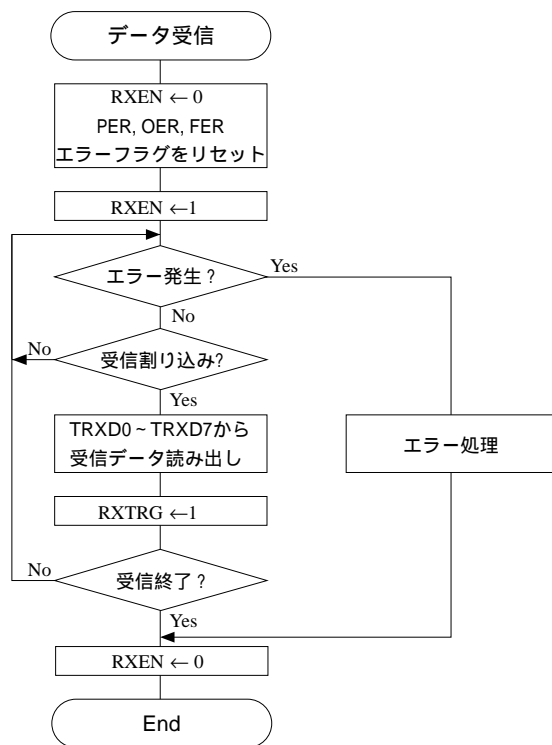


図5.7.7.3 調歩同期式の受信手順

受信エラー

受信時には以下の3種類のエラーを、割り込みによって検出することができます。

(1) パリティエラー

レジスタEPRに"1"を書き込んで"パリティチェックあり"を選択した場合には、受信時にパリティチェック(垂直パリティチェック)が行われます。これは送信データ(1キャラクタ)中の"1"のビット数の合計にパリティを加え、その数が奇数が偶数かをパリティビットにのせて送信し、それを受信側でチェックする方式です。パリティチェックはシフトレジスタに受信されたデータが受信データバッファに転送される際に行われ、データ(パリティビット含)中の"1"のビット数がレジスタPMDで設定した奇数または偶数パリティと整合がとれるかをチェックします。このとき、不整合となった場合にはパリティエラーと認識され、パリティエラーフラグPERおよびエラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグPERは"1"を書き込むことによって"0"にリセットされます。本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。ただし、その時点での受信データはパリティエラーのため保証されません。

(2) フレーミングエラー

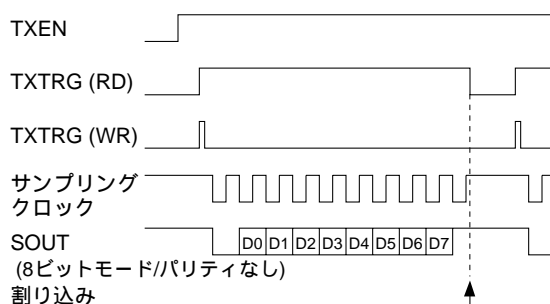
調歩同期式転送ではスタートビット("0")とストップビット("1")で1キャラクタごとに同期をとっています。ストップビットを"0"として受信した場合、シリアルインタフェースは同期ずれと判断してフレーミングエラーを発生します。本エラーが発生すると、フレーミングエラーフラグFERおよびエラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグFERは"1"を書き込むことによって"0"にリセットされます。本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。

(3) オーバーランエラー

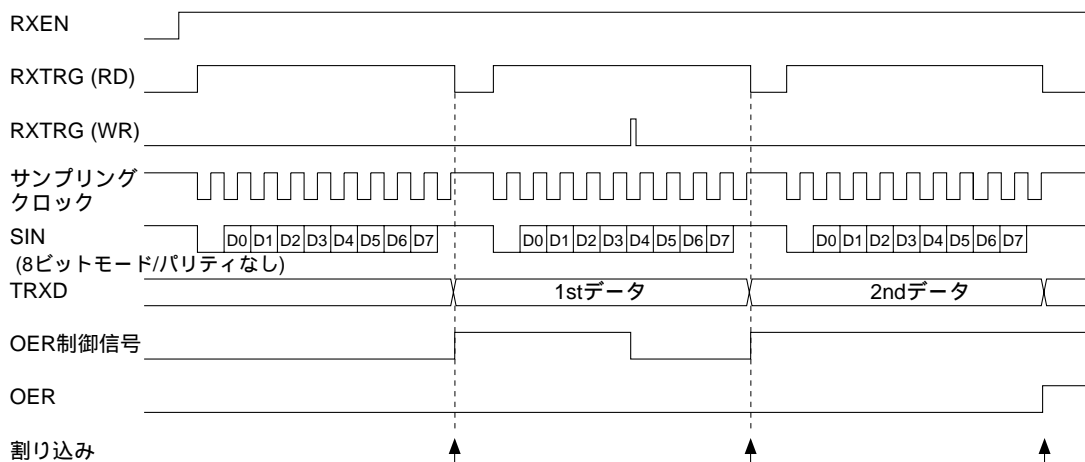
RXTRGに"1"を書き込む前に次のデータを受信すると、前回の受信データが上書きされるためオーバーランエラーが発生します。本エラーが発生すると、オーバーランエラーフラグOERおよびエラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグOERは"1"を書き込むことによって"0"にリセットされます。本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。なお、RXTRGに"1"を書き込むタイミングと受信データが受信データバッファに転送されるタイミングが重なった場合は、オーバーランエラーと認識されます。

タイミングチャート

調歩同期式転送のタイミングチャートを図5.7.7.4に示します。



(a) 送信タイミング



(b) 受信タイミング

図5.7.7.4 タイミングチャート(調歩同期式転送)

5.7.8 割り込み機能

本シリアルインタフェースには以下に示す3種類の割り込みを発生させる機能があります。

- 送信完了割り込み
- 受信完了割り込み
- エラー割り込み

それぞれの割り込み要因に対して割り込み要因フラグFSxxxと割り込みイネーブルレジスタESxxxが設けられており、割り込みの許可/禁止をソフトウェアによって設定することができます。また、CPUに対するシリアルインタフェース割り込みの優先レベルを割り込みプライオリティレジスタPSIF0、PSIF1によって任意のレベル(0～3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については、「5.15 割り込みとスタンバイ状態」を参照してください。

図5.7.8.1にシリアルインタフェース割り込み回路の構成を示します。

送信完了割り込み

本割り込み要因は、シフトレジスタに書き込んだデータの送信が終了した時点で発生し、割り込み要因フラグFSTRAを"1"にセットします。このとき、割り込みイネーブルレジスタESTRAが"1"で、かつ割り込みプライオリティレジスタPSIF0、PSIF1がインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。割り込みイネーブルレジスタESTRAに"0"が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグFSTRAは"1"にセットされます。割り込み要因フラグFSTRAは"1"を書き込むことによって"0"にリセットされます。

本割り込み要因の発生によって、次の送信データのセットと送信開始の制御(TXTRGに"1"を書き込む)を行うことができます。

本割り込み要因の例外処理ベクタアドレスは、000014Hに設定されています。

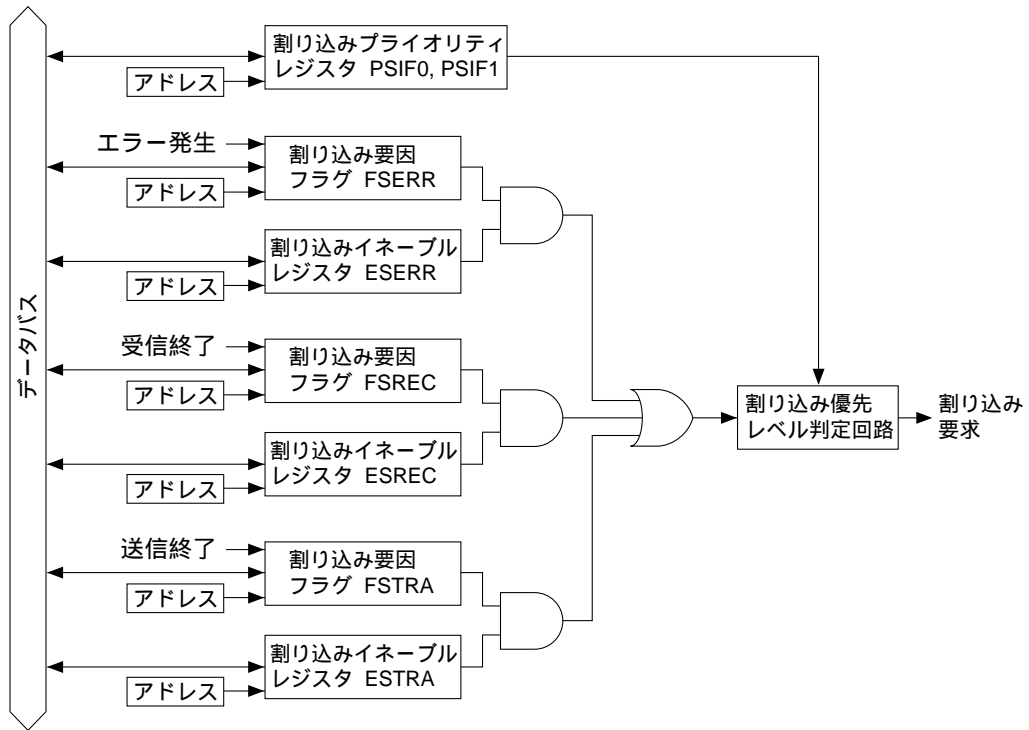


図5.7.8.1 シリアルインタフェース割り込み回路の構成

受信完了割り込み

本割り込み要因は、受信が完了してシフトレジスタに取り込まれた受信データが受信データバッファに転送された時点で発生し、割り込み要因フラグFSRECを"1"にセットします。このとき、割り込みイネーブルレジスタESRECが"1"で、かつ割り込みプライオリティレジスタPSIF0、PSIF1がインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込みイネーブルレジスタESRECに"0"が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグFSRECは"1"にセットされます。

割り込み要因フラグFSRECは"1"を書き込むことによって"0"にリセットされます。

本割り込み要因の発生により、受信データの読み出しが可能となります。

なお、パリティエラーおよびフレーミングエラー発生時にも割り込み要因フラグFSRECは"1"にセットされます。

本割り込み要因の例外処理ベクタアドレスは、000012Hに設定されています。

エラー割り込み

本割り込み要因は、受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された時点で発生し、割り込み要因フラグFSERRを"1"にセットします。このとき、割り込みイネーブルレジスタESERRが"1"で、かつ割り込みプライオリティレジスタPSIF0、PSIF1がインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込みイネーブルレジスタESERRに"0"が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグFSERRは"1"にセットされます。

割り込み要因フラグFSERRは"1"を書き込むことによって"0"にリセットされます。

3種類のエラーとも同一の割り込み要因となっていますので、発生したエラーの識別はエラーフラグPER(パリティエラー)、OER(オーバーランエラー)、FER(フレーミングエラー)で行ってください。

本割り込み要因の例外処理ベクタアドレスは、000010Hに設定されています。

5.7.9 シリアルインタフェースの制御方法

表5.7.9.1にシリアルインタフェースの制御ビットを示します。

表5.7.9.1(a) シリアルインタフェースの制御ビット

アドレス	ビット	名称	機 能		1	0	SR	R/W	注 釈			
00FF48	D7	—	—		—	—	—		読み出し時は"0"			
	D6	EPR	パリティイネーブルレジスタ			パリティ付き	パリティなし	0	R/W	調歩同期式のみ		
	D5	PMD	パリティモード選択			奇数	偶数	0	R/W			
	D4	SCS1	クロック源選択					0	R/W	クロック同期式 スレーブモード では外部クロック が選択される		
			SCS1	SCS0	クロック源							
			1	1	プログラマブルタイマ							
	D3	SCS0	1	0	fosc3 / 4			0	R/W			
			0	1	fosc3 / 8							
		0	0	fosc3 / 16								
D2	SMD1	シリアルI/Fモード選択					0	R/W				
		SMD1	SMD0	モード								
		1	1	調歩同期式8ビット								
D1	SMD0	1	0	調歩同期式7ビット			0	R/W				
		0	1	クロック同期式スレーブ								
		0	0	クロック同期式マスタ								
D0	ESIF	シリアルI/Fイネーブルレジスタ			シリアルI/F	I/Oポート	0	R/W				
00FF49	D7	—	—		—	—	—		読み出し時は"0"			
	D6	FER	フレーミングエラーフラグ	R W	エラー リセット(0)	エラーなし 無効	0	R/W	調歩同期式のみ			
	D5	PER	パリティエラーフラグ	R W	エラー リセット(0)	エラーなし 無効	0	R/W				
	D4	OER	オーバーランエラーフラグ	R W	エラー リセット(0)	エラーなし 無効	0	R/W				
	D3	RXTRG	受信トリガ/ステータス	R W	受信中 トリガ	停止中 無効	0	R/W				
	D2	RXEN	受信許可		許可	禁止	0	R/W				
	D1	TXTRG	送信トリガ/ステータス	R W	送信中 トリガ	停止中 無効	0	R/W				
	D0	TXEN	送信許可		許可	禁止	0	R/W				
00FF4A	D7	TRXD7	送受信データD7 (MSB)			High	Low	X	R/W			
	D6	TRXD6	送受信データD6					X	R/W			
	D5	TRXD5	送受信データD5					X	R/W			
	D4	TRXD4	送受信データD4					X	R/W			
	D3	TRXD3	送受信データD3					X	R/W			
	D2	TRXD2	送受信データD2					X	R/W			
	D1	TRXD1	送受信データD1					X	R/W			
	D0	TRXD0	送受信データD0 (LSB)					X	R/W			
00FF20	D7	PK01	K00 ~ K07割り込み			PK01 PK00 PSIF1 PSIF0 PSW1 PSW0 PTM1 PTM0	優先 レベル	0	R/W			
	D6	PK00	プライオリティレジスタ					0	R/W			
	D5	PSIF1	シリアルインタフェース割り込み					0	R/W			
	D4	PSIF0	プライオリティレジスタ					0	R/W			
	D3	PSW1	ストップウォッチタイマ割り込み					1 1 1 0	レベル3 レベル2		0	R/W
	D2	PSW0	プライオリティレジスタ					0 1 0 0	レベル1 レベル0		0	R/W
	D1	PTM1	計時タイマ割り込み					0 0	レベル0		0	R/W
	D0	PTM0	プライオリティレジスタ								0	R/W

表5.7.9.1(b) シリアルインタフェースの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF23	D7	EPT1	プログラマブルタイム1割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D6	EPT0	プログラマブルタイム0割り込みイネーブルレジスタ			0	R/W	
	D5	EK1	K10, K11割り込みイネーブルレジスタ			0	R/W	
	D4	EK0H	K04 ~ K07割り込みイネーブルレジスタ			0	R/W	
	D3	EK0L	K00 ~ K03割り込みイネーブルレジスタ			0	R/W	
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブルレジスタ			0	R/W	
	D1	ESREC	シリアルI/F(受信)割り込みイネーブルレジスタ			0	R/W	
	D0	ESTRA	シリアルI/F(送信)割り込みイネーブルレジスタ			0	R/W	
00FF25	D7	FPT1	プログラマブルタイム1割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W	
	D6	FPT0	プログラマブルタイム0割り込み要因フラグ			0	R/W	
	D5	FK1	K10, K11割り込み要因フラグ			0	R/W	
	D4	FK0H	K04 ~ K07割り込み要因フラグ			0	R/W	
	D3	FK0L	K00 ~ K03割り込み要因フラグ	(W) リセット	(W) 無効	0	R/W	
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ			0	R/W	
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ			0	R/W	
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ			0	R/W	

ESIF: 00FF48H・D0

シリアルインタフェース用端子(P10 ~ P13)の設定を行います。

- "1"書き込み: シリアル入出力端子
- "0"書き込み: 入出力兼用ポート端子
- 読み出し: 可能

ESIFはシリアルインタフェースイネーブルレジスタで、"1"を書き込んだ場合はP10 ~ P13端子がシリアル入出力端子(SIN、SOUT、SCLK、SRDY)となり、"0"を書き込んだ場合は入出力兼用ポート端子となります。

なお、転送モードによる端子の設定は表5.7.3.2を参照してください。

イニシャルリセット時、ESIFは"0"(入出力兼用ポート)に設定されます。

SMD0, SMD1: 00FF48H・D1, D2

転送モードを表5.7.9.2のとおり設定します。

表5.7.9.2 転送モードの設定

SMD1	SMD0	モード
1	1	調歩同期式8ビット
1	0	調歩同期式7ビット
0	1	クロック同期式スレーブ
0	0	クロック同期式マスタ

SMD0、SMD1は読み出しも可能です。

イニシャルリセット時、本レジスタは"0"(クロック同期式マスタモード)に設定されます。

SCS0, SCS1: 00FF48H・D3, D4

クロック源を表5.7.9.3のとおり選択します。

表5.7.9.3 クロック源の選択

SCS1	SCS0	クロック源
1	1	プログラマブルタイム
1	0	fosc3 / 4
0	1	fosc3 / 8
0	0	fosc3 / 16

SCS0、SCS1は読み出しも可能です。

クロック同期式スレーブモードでは、本レジスタの設定は無効です。

イニシャルリセット時、本レジスタは"0"(fosc3/16)に設定されます。

EPR: 00FF48H・D6

パリティ機能を選択します。

- "1"書き込み: パリティあり
- "0"書き込み: パリティなし
- 読み出し: 可能

受信データのパリティチェックおよび送信データへのパリティビットの付加を行うか行わないかを選択します。EPRに"1"を書き込むと受信データの最上位ビットがパリティビットと見なされてパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。"0"を書き込んだ場合はチェックおよび付加は行われません。

パリティは調歩同期式モードの場合にのみ有効で、クロック同期式モードではEPRの設定は無効となります。

イニシャルリセット時、EPRは"0"(パリティなし)に設定されます。

PMD: 00FF48H-D5

奇数パリティ/偶数パリティを選択します。

"1"書き込み: 奇数パリティ

"0"書き込み: 偶数パリティ

読み出し: 可能

PMDに"1"を書き込むと奇数パリティが選択され、"0"を書き込むと偶数パリティが選択されます。パリティチェックおよびパリティビットの付加はEPRに"1"が書き込まれている場合にのみ有効で、EPRに"0"が書き込まれている場合は、PMDによる奇数パリティ/偶数パリティの設定は無効となります。イニシャルリセット時、PMDは"0"(偶数パリティ)に設定されます。

TXEN: 00FF49H-D0

シリアルインタフェースを送信許可状態に設定します。

"1"書き込み: 送信許可

"0"書き込み: 送信禁止

読み出し: 可能

TXENに"1"を書き込むとシリアルインタフェースが送信許可状態となり、"0"を書き込むと送信禁止状態となります。

シリアルインタフェースのモード初期設定等を行う場合は、TXENを"0"に設定してください。

イニシャルリセット時、TXENは"0"(送信禁止)に設定されます。

TXTRG: 00FF49H-D1

送信開始のトリガ/動作状態(送信中/停止中)を示すステータスとして機能します。

"1"読み出し: 送信中

"0"読み出し: 停止中

"1"書き込み: 送信開始

"0"書き込み: 無効

送信データを書き込んだ後、TXTRGに"1"を書き込むことで送信処理を開始します。

TXTRGはステータスとして読み出しが可能で、"1"の場合は送信動作中、"0"の場合は送信停止中を示します。

イニシャルリセット時、TXTRGは"0"(停止中)に設定されます。

RXEN: 00FF49H-D2

シリアルインタフェースを受信許可状態に設定します。

"1"書き込み: 受信許可

"0"書き込み: 受信禁止

読み出し: 可能

RXENに"1"を書き込むとシリアルインタフェースが受信許可状態となり、"0"を書き込むと受信禁止状態となります。

シリアルインタフェースのモード初期設定等を行う場合は、RXENを"0"に設定してください。

イニシャルリセット時、RXENは"0"(受信禁止)に設定されます。

RXTRG: 00FF49H-D3

受信開始のトリガ/次のデータの受信準備/動作状態(受信/停止中)を示すステータスとして機能します。

"1"読み出し: 受信中

"0"読み出し: 停止中

"1"書き込み: 受信開始/次のデータの受信準備

"0"書き込み: 無効

RXTRGは、クロック同期式と調歩同期式で若干動作が異なります。

クロック同期式でのRXTRGは受信開始のトリガとして使用します。

受信データを読み出し、次の受信準備ができたところでRXTRGに"1"を書き込み受信を開始させます。(スレープモードではRXTRGに"1"を書き込んだところでSRDYが"0"となります。)

調歩同期式でのRXTRGは、次のデータの受信準備に使用します。受信データバッファにある受信データを読み出し、バッファが空となったことを知らせるためRXTRGに"1"を書き込みます。RXTRGに"1"を書き込まなかった場合、次の受信が終了した時点でオーバーランエラーフラグOERが"1"にセットされます。(受信データを読み出す動作とRXTRGに"1"を書き込む動作との間に受信を終了した場合はオーバーランエラーとなります。)

また、RXTRGはステータスとして読み出しが可能で、クロック同期式、調歩同期式どちらのモードでも"1"の場合は受信動作中、"0"の場合は受信停止中を示します。

イニシャルリセット時、RXTRGは"0"(停止中)に設定されます。

TRXD0~TRXD7: 00FF4AH**送信時**

送信データを送信シフトレジスタに書き込みます。

"1"書き込み: HIGHレベル

"0"書き込み: LOWレベル

送信開始前に送信データを書き込みます。

連続送信の場合、データの書き込みは送信完了割り込みを待ってから行ってください。

調歩同期式7ビットモードにおいてはTRXD7が無効となります。

SOUT端子からはシリアル変換されたデータが、"1"に設定されたビットがHIGH(V_{DD})レベル、"0"に設定されたビットがLOW(V_{SS})レベルとして出力されます。

受信時

受信データを読み出します。

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

受信データバッファのデータが読み出せます。

シフトレジスタが本バッファとは別に設けられていますので、調歩同期式モードでは受信動作中にデータの読み出しが行えます。(クロック同期式モードではバッファ機能を使用しません。)

データの読み出しは受信完了割り込みを待ってから行ってください。

調歩同期式7ビットモードにおいてパリティチェックを行っている場合、パリティビットに対応する8ビット目(TRXD7)には"0"がロードされます。

SIN端子から入力されたシリアルデータはHIGH(V_{DD})レベルのビットを"1"、LOW(V_{SS})レベルのビットを"0"としてパラレル変換され、本バッファにロードされます。

イニシャルリセット時、バッファの内容は不定となります。

OER: 00FF49H-D4

オーバーランエラーの発生を示します。

"1"読み出し: エラーあり

"0"読み出し: エラーなし

"1"書き込み: "0"にリセット

"0"書き込み: 無効

OERはオーバーランエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。オーバーランエラーは調歩同期式モードの受信において、RXTRGに"1"を書き込む前に次のデータの受信を完了した場合に発生します。

OERは"1"を書き込むことで"0"にリセットされます。イニシャルリセット時、およびRXENが"0"のときOERは"0"(エラーなし)に設定されます。

PER: 00FF49H-D5

パリティエラーの発生を示します。

"1"読み出し: エラーあり

"0"読み出し: エラーなし

"1"書き込み: "0"にリセット

"0"書き込み: 無効

PERはパリティエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。

パリティエラーは調歩同期式モードでパリティチェックを行っている場合に、パリティの合っていないデータを受信すると発生します。

PERは"1"を書き込むことで"0"にリセットされます。イニシャルリセット時、およびRXENが"0"のとき、PERは"0"(エラーなし)に設定されます。

FER: 00FF49H-D6

フレーミングエラーの発生を示します。

"1"読み出し: エラーあり

"0"読み出し: エラーなし

"1"書き込み: "0"にリセット

"0"書き込み: 無効

FERはフレーミングエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。フレーミングエラーは調歩同期式モードの受信において、ストップビットが"0"になっていた場合に発生します。

FERは"1"を書き込むことで"0"にリセットされます。イニシャルリセット時、およびRXENが"0"のときFERは"0"(エラーなし)に設定されます。

PSIF0, PSIF1: 00FF20H-D4, D5

シリアルインタフェース割り込みの優先レベルを設定します。

PSIF0、PSIF1はシリアルインタフェース割り込みに対応した割り込みプライオリティレジスタで、設定できる割り込み優先レベルは表5.7.9.4のとおりです。

表5.7.9.4 割り込み優先レベルの設定

PSIF1	PSIF0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

ESTRA, ESREC, ESERR: 00FF23H-D0, D1, D2

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可
 "0"書き込み: 割り込み禁止
 読み出し: 可能

ESTRA、ESREC、ESERRはそれぞれ送信完了、受信完了、受信エラーの割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

FSTRA, FSREC, FSERR: 00FF25H-D0, D1, D2

シリアルインタフェース割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり
 "0"読み出し: 割り込み要因なし
 "1"書き込み: 要因フラグをリセット
 "0"書き込み: 無効

FSTRA、FSREC、FSERRはそれぞれ送信完了、受信完了、受信エラーの割り込みに対応する割り込み要因フラグで、それぞれの要因の発生により"1"にセットされます。

送信完了割り込み要因は、シフトレジスタのデータ送信が終了したところで発生します。

受信完了割り込み要因は、受信データが受信データバッファに転送されたところで発生します。

受信エラー割り込み要因は、データ受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された場合に発生します。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、本フラグはすべて"0"にリセットされます。

5.7.10 プログラミング上の注意事項

- (1) シリアルインタフェースのモード初期設定は、送受信が禁止の状態(TXEN=RXEN="0")で行ってください。
- (2) シリアルインタフェースが送信(受信)中のときは、TXTRG(RXTRG)に対して二重トリガ("1"書き込み)は行わないでください。また、SLP命令も実行しないでください。(SLP命令を実行する場合はTXEN=RXEN="0"としてください。)
- (3) クロック同期式モードでは1本のクロックライン(SCLK)を送受信で共用するため、送信と受信を同時に行うことはできません。したがって、TXTRG(RXTRG)が"1"の最中はRXTRG(TXTRG)に"1"は書き込まないでください。
- (4) 調歩同期式モードにおいて、受信時にパリティエラーおよびフレーミングエラーが発生した場合は受信エラー割り込み要因フラグFSERRは、受信完了割り込み要因フラグFSRECに対して表5.7.10.1に示す時間早く"1"にセットされます。したがって、エラー処理ルーチン等で待ち時間を設けて、受信完了割り込み要因フラグFSRECを"0"にリセットしてください。
 なお、オーバーランエラー発生時には受信完了割り込み要因フラグFSRECは"1"にセットされず、受信完了割り込みも発生しません。

表5.7.10.1 エラー発生時のFSERRとFSRECの時間差

クロック源	時間差
fosc3 / n	fosc3 / n の1/2周期
プログラマブルタイマ	タイマ1アンダーフローの1周期

- (5) OSC3発振回路の分周信号をクロック源とする場合は、シリアルインタフェースを使用する以前にOSC3の発振をONさせる必要があります。なお、OSC3発振回路をONしてから発振が安定するまでに数100μsec～数10msecの時間を必要とします。したがって、シリアルインタフェースの送受信開始はOSC3発振ONの後、十分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)
 イニシャルリセット時、OSC3発振回路はON状態に設定されます。

5.8 計時タイマ

5.8.1 計時タイマの構成

S1C88848はOSC1発振回路を原振とする計時タイマを内蔵しています。計時タイマは f_{OSC1} を分周した256Hz信号を入力クロックとする8ビットのバイナリカウンタで構成され、各ビット(128~1Hz)のデータをソフトウェアによって読み出すことができます。

通常はこの計時タイマを、時計などのような各種の計時機能に使用します。

図5.8.1.1に計時タイマの構成を示します。

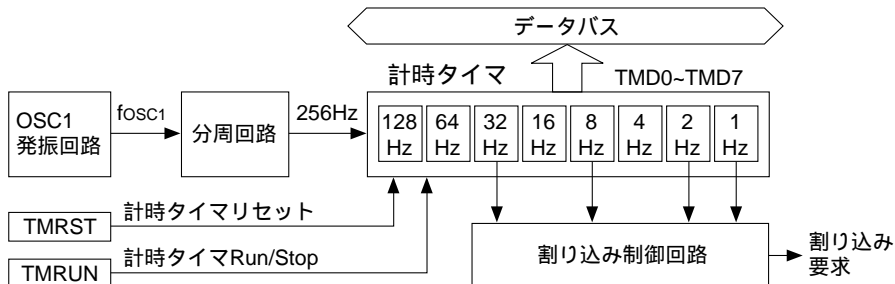


図5.8.1.1 計時タイマの構成

5.8.2 割り込み機能

計時タイマは32Hz、8Hz、2Hz、1Hzの各信号によって割り込みを発生させることができます。

図5.8.2.1に計時タイマ割り込み回路の構成を示します。

32Hz、8Hz、2Hz、1Hz信号の立ち下がリエッジで、それぞれに対応する割り込み要因フラグFTM32、FTM8、FTM2、FTM1が"1"にセットされ、割り込みが発生します。各割り込み要因フラグに対応した割り込みイネーブルレジスタETM32、ETM8、ETM2、ETM1の設定により、割り込みを禁止することもできます。

また、CPUに対する計時タイマ割り込みの優先レベルを割り込みプライオリティレジスタPTM0、PTM1によって任意のレベル(0~3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については"5.15 割り込みとスタンバイ状態"を参照してください。

各割り込み要因の例外処理ベクタアドレスは、それぞれ以下のとおり設定されています。

32Hz割り込み:	00001CH
8Hz割り込み:	00001EH
2Hz割り込み:	000020H
1Hz割り込み:	000022H

図5.8.2.2に計時タイマのタイミングチャートを示します。

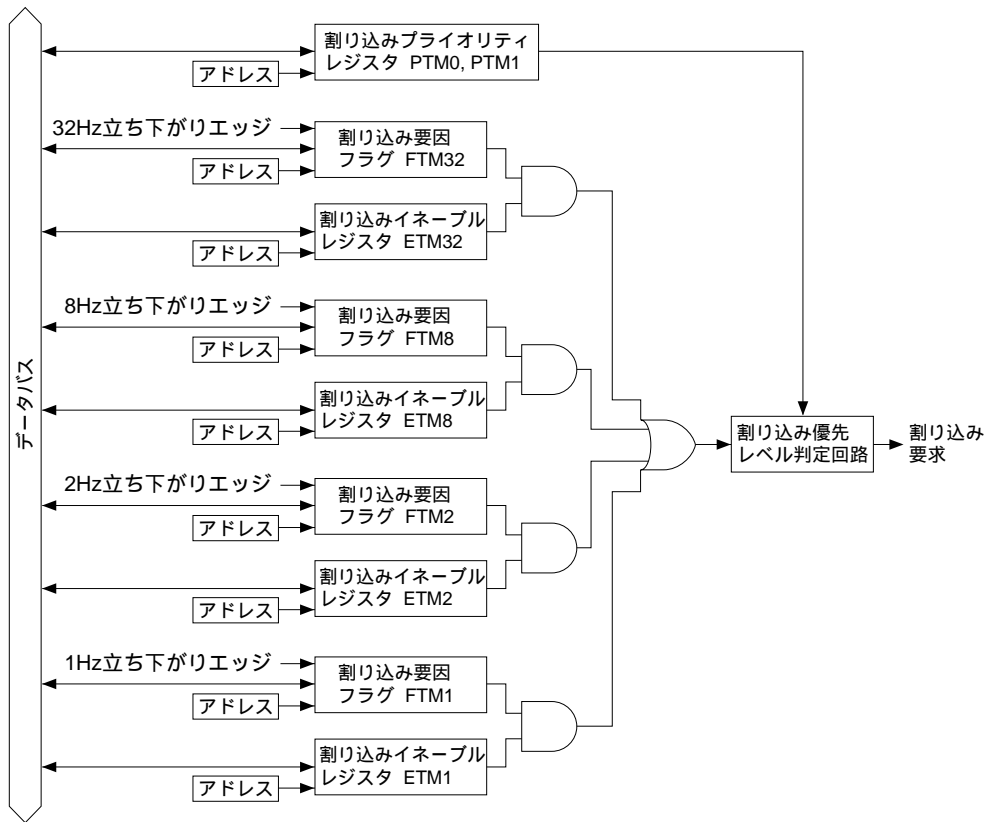


図5.8.2.1 計時タイマ割り込み回路の構成

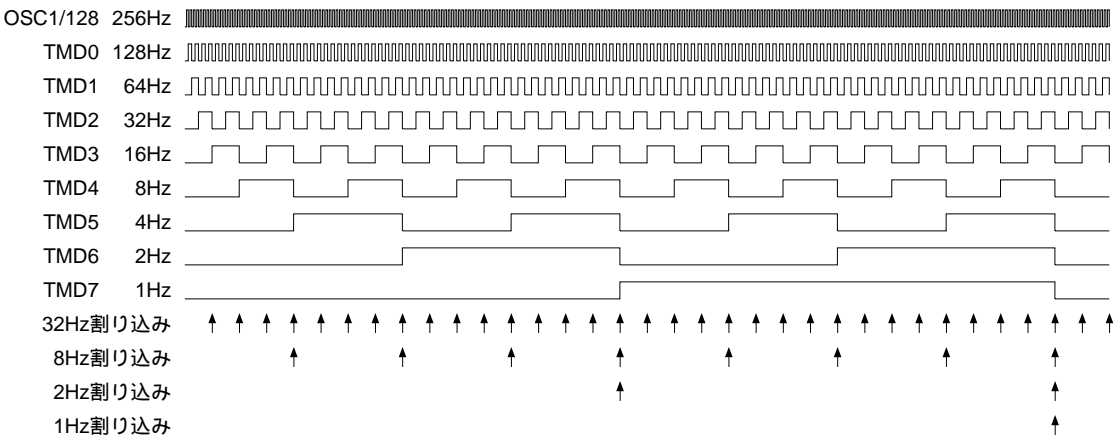


図5.8.2.2 計時タイマのタイミングチャート

5.8.3 計時タイマの制御方法

表5.8.3.1に計時タイマの制御ビットを示します。

表5.8.3.1 計時タイマの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF40	D7	—	—	—	—	—		読み出し時は"0"
	D6	FOUT2	FOUT周波数選択			0	R/W	
			FOUT2 FOUT1 FOUT0 周波数					
			0 0 0 fosc1 / 1					
	D5	FOUT1	0 0 1 fosc1 / 2					
			0 1 0 fosc1 / 4			0	R/W	
			0 1 1 fosc1 / 8					
			1 0 0 fosc3 / 1					
	D4	FOUT0	1 0 1 fosc3 / 2					
			1 1 0 fosc3 / 4			0	R/W	
			1 1 1 fosc3 / 8					
	D3	FOUTON	FOUT出力制御	On	Off	0	R/W	
	D2	WDRST	ウォッチドッグタイマリセット	リセット	無効	—	W	読み出し時は
	D1	TMRST	計時タイマリセット	リセット	無効	—	W	常時"0"
	D0	TMRUN	計時タイマRun/Stop制御	Run	Stop	0	R/W	
00FF41	D7	TMD7	計時タイマデータ 1Hz	High	Low	0	R	
	D6	TMD6	計時タイマデータ 2Hz			0	R	
	D5	TMD5	計時タイマデータ 4Hz			0	R	
	D4	TMD4	計時タイマデータ 8Hz			0	R	
	D3	TMD3	計時タイマデータ 16Hz			0	R	
	D2	TMD2	計時タイマデータ 32Hz			0	R	
	D1	TMD1	計時タイマデータ 64Hz			0	R	
	D0	TMD0	計時タイマデータ 128Hz			0	R	
00FF20	D7	PK01	K00 ~ K07割り込み	PK01 PK00 PSIF1 PSIF0 PSW1 PSW0 PTM1 PTM0 1 1 1 0 0 1 0 0	優先 レベル レベル3 レベル2 レベル1 レベル0	0	R/W	
	D6	PK00	プライオリティレジスタ			0	R/W	
	D5	PSIF1	シリアルインタフェース割り込み			0	R/W	
	D4	PSIF0	プライオリティレジスタ			0	R/W	
	D3	PSW1	ストップウォッチタイマ割り込み			0	R/W	
	D2	PSW0	プライオリティレジスタ			0	R/W	
	D1	PTM1	計時タイマ割り込み			0	R/W	
	D0	PTM0	プライオリティレジスタ			0	R/W	
00FF22	D7	—	—	—	—	—		読み出し時は"0"
	D6	ESW100	ストップウォッチ100Hz割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D5	ESW10	ストップウォッチ10Hz割り込みイネーブルレジスタ			0	R/W	
	D4	ESW1	ストップウォッチ1Hz割り込みイネーブルレジスタ			0	R/W	
	D3	ETM32	計時タイマ32Hz割り込みイネーブルレジスタ			0	R/W	
	D2	ETM8	計時タイマ8Hz割り込みイネーブルレジスタ			0	R/W	
	D1	ETM2	計時タイマ2Hz割り込みイネーブルレジスタ			0	R/W	
	D0	ETM1	計時タイマ1Hz割り込みイネーブルレジスタ			0	R/W	
00FF24	D7	—	—	—	—	—		読み出し時は"0"
	D6	FSW100	ストップウォッチ100Hz割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W	
	D5	FSW10	ストップウォッチ10Hz割り込み要因フラグ			0	R/W	
	D4	FSW1	ストップウォッチ1Hz割り込み要因フラグ			0	R/W	
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ	(W) リセット	(W) 無効	0	R/W	
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ			0	R/W	
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ			0	R/W	
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ			0	R/W	

TMD0~TMD7: 00FF41H

計時タイマのデータが読み出せます。
各ビットと周波数との対応は以下のとおりです。

TMD0: 128Hz	TMD4: 8Hz
TMD1: 64Hz	TMD5: 4Hz
TMD2: 32Hz	TMD6: 2Hz
TMD3: 16Hz	TMD7: 1Hz

TMD0~TMD7は読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、タイマデータは"00H"に設定されます。

TMRST: 00FF40H-D1

計時タイマをリセットします。

- "1"書き込み: 計時タイマリセット
- "0"書き込み: ノーオペレーション
- 読み出し: 常時"0"

計時タイマはTMRSTに"1"を書き込むことによってリセットされます。計時タイマがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合はリセットデータ"00H"が保持されます。

"0"の書き込みはノーオペレーションとなります。TMRSTは書き込み専用のため、読み出し時は常時"0"となります。

TMRUN: 00FF40H-D0

計時タイマのRUN/STOPを制御します。

- "1"書き込み: RUN
- "0"書き込み: STOP
- 読み出し: 可能

計時タイマはTMRUNに"1"を書き込むことによってアップカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではリセットか次にRUN状態にするまで、タイマのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

イニシャルリセット時、TMRUNは"0"(STOP)に設定されます。

PTM0, PTM1: 00FF20H-D0, D1

計時タイマ割り込みの優先レベルを設定します。PTM0、PTM1は計時タイマ割り込みに対応した割り込みプライオリティレジスタで、設定できる割り込み優先レベルは表5.8.3.2のとおりです。

表5.8.3.2 割り込み優先レベルの設定

PTM1	PTM0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

ETM1, ETM2, ETM8, ETM32: 00FF22H-D0~D3

CPUに対する割り込みの発生を許可または禁止します。

- "1"書き込み: 割り込み許可
- "0"書き込み: 割り込み禁止
- 読み出し: 可能

ETM1、ETM2、ETM8、ETM32はそれぞれ1Hz、2Hz、8Hz、32Hzの割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

FTM1, FTM2, FTM8, FTM32: 00FF24H-D0~D3

計時タイマ割り込みの発生状態を示します。

- "1"読み出し: 割り込み要因あり
- "0"読み出し: 割り込み要因なし

- "1"書き込み: 要因フラグをリセット
- "0"書き込み: 無効

FTM1、FTM2、FTM8、FTM32はそれぞれ1Hz、2Hz、8Hz、32Hzの割り込みに対応する割り込み要因フラグで、各信号の立ち下がりエッジに同期して"1"にセットされます。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、本フラグはすべて"0"にリセットされます。

5.8.4 プログラミング上の注意事項

- (1) 計時タイマはレジスタTMRUNへの書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRUN/STOP状態となります。
したがって、TMRUNに"0"を書き込んだ場合は、"+1"余分にカウントしたところでタイマが停止状態となります。また、このときTMRUNは実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。

図5.8.4.1にRUN/STOP制御のタイミングチャートを示します。

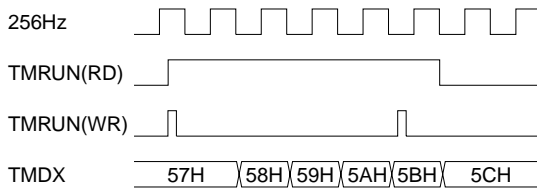


図5.8.4.1 RUN/STOP制御のタイミングチャート

- (2) 計時タイマがRUNしている状態(TMRUN="1")でSLP命令を実行した場合は、SLEEP状態からの復帰時に計時タイマが不安定な動作となります。したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前に計時タイマをSTOP状態(TMRUN="0")に設定してください。

5.9 ストップウォッチタイマ

5.9.1 ストップウォッチタイマの構成

S1C88848は1/100sec単位と1/10sec単位のストップウォッチタイマを内蔵しています。ストップウォッチタイマはfosc1を分周した256Hz信号を入力クロックとする4ビット2段のBCDカウンタ(1/100sec単位、1/10sec単位)で構成され、カウントデータをソフトウェアによって読み出すことができます。

図5.9.1.1にストップウォッチタイマの構成を示します。ストップウォッチタイマは計時タイマとは別のタイマとして使用することができ、ストップウォッチ機能などをソフトウェアによって容易に実現することができます。

5.9.2 カウントアップパターン

ストップウォッチタイマは、それぞれ4ビットのBCDカウンタSWD0～SWD3とSWD4～SWD7で構成されています。

図5.9.2.1にストップウォッチタイマのカウントアップパターンを示します。

帰還分周回路はfosc1を分周した256Hz信号から2/256secと3/256sec間隔の近似100Hz信号を発生します。

1/100secカウンタ(SWD0～SWD3)は、帰還分周回路が2/256secと3/256sec間隔で発生する近似100Hz信号をカウントして、25/256secと26/256sec間隔の近似10Hz信号を発生します。カウントアップは、2/256secと3/256sec間隔による擬似的な1/100secカウントとなります。

1/10secカウンタ(SWD4～SWD7)は、1/100secカウンタが25/256secと26/256sec間隔で発生する近似10Hz信号を4:6の割合でカウントして、1Hz信号を発生します。

カウントアップは、25/256secと26/256sec間隔による擬似的な1/10secカウントとなります。

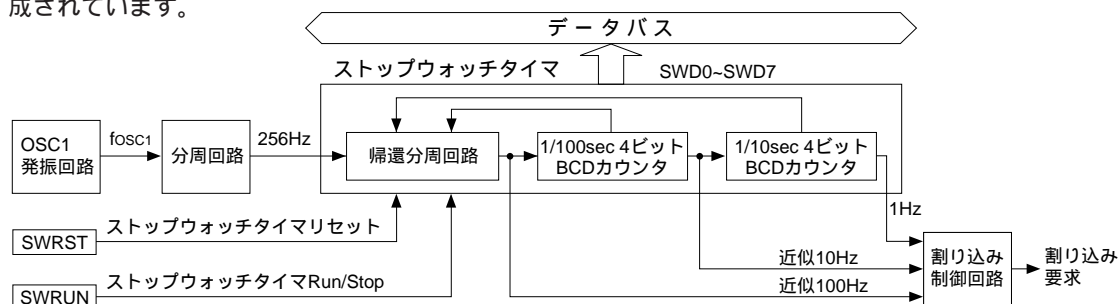


図5.9.1.1 ストップウォッチタイマの構成

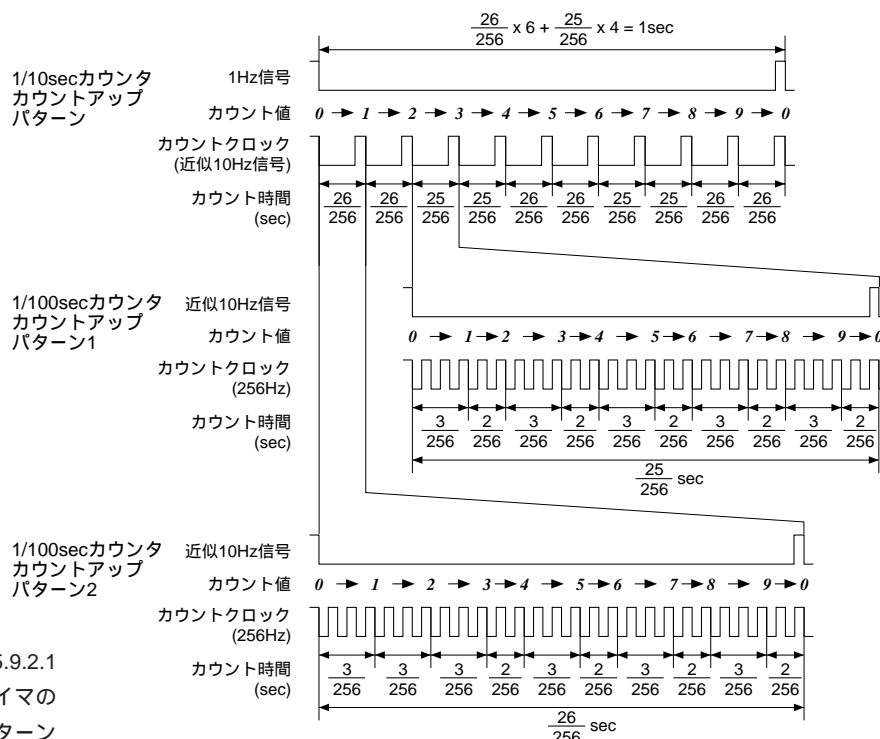


図5.9.2.1

ストップウォッチタイマの
カウントアップパターン

5.9.3 割り込み機能

ストップウォッチタイマは100Hz(近似100Hz)、10Hz(近似10Hz)、1Hzの各信号によって割り込みを発生させることができます。

図5.9.3.1にストップウォッチタイマ割り込み回路の構成を示します。

100Hz、10Hz、1Hz信号の立ち下がりエッジで、それぞれに対応する割り込み要因フラグFSW100、FSW10、FSW1が"1"にセットされ、割り込みが発生します。各割り込み要因フラグに対応した割り込みイネーブルレジスタESW100、ESW10、ESW1の設定により、割り込みを禁止することもできます。

また、CPUに対するストップウォッチタイマ割り込みの優先レベルを割り込みプライオリティレジスタPSW0、PSW1によって任意のレベル(0~3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については"5.15 割り込みとスタンバイ状態"を参照してください。

各割り込み要因の例外処理ベクタアドレスは、それぞれ以下のとおり設定されています。

100Hz割り込み: 000016H
10Hz割り込み: 000018H
1Hz割り込み: 00001AH

図5.9.3.2にストップウォッチタイマのタイミングチャートを示します。

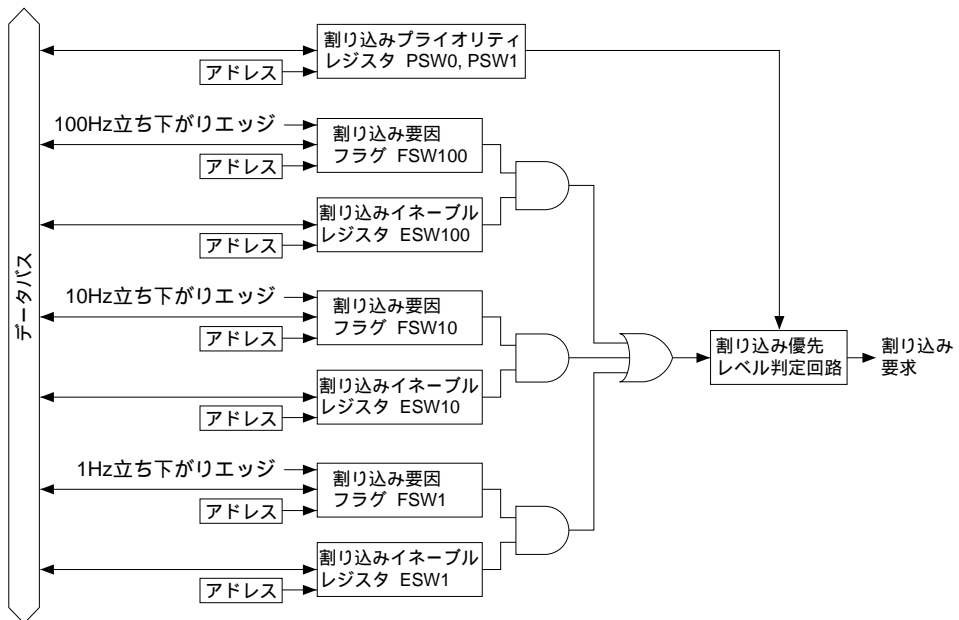


図5.9.3.1 ストップウォッチタイマ割り込み回路の構成

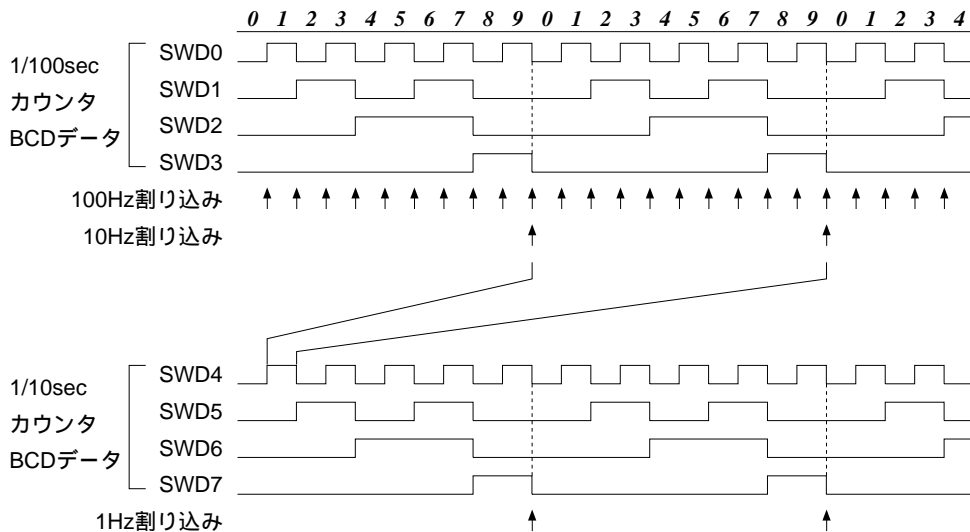


図5.9.3.2 ストップウォッチタイマのタイミングチャート

5.9.4 ストップウォッチタイマの制御方法

表5.9.4.1にストップウォッチタイマの制御ビットを示します。

表5.9.4.1 ストップウォッチタイマの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF42	D7	—	—	—	—	—	—	読み出し時は 常時"0"
	D6	—	—	—	—	—	—	
	D5	—	—	—	—	—	—	
	D4	—	—	—	—	—	—	
	D3	—	—	—	—	—	—	
	D2	—	—	—	—	—	—	
	D1	SWRST	ストップウォッチタイマリセット	リセット	無効	—	W	
	D0	SWRUN	ストップウォッチタイマRun/Stop制御	Run	Stop	0	R/W	
00FF43	D7	SWD7	ストップウォッチタイマデータ			—	R	
	D6	SWD6	—			R		
	D5	SWD5	BCD (1/10sec)			—	R	
	D4	SWD4	—			R		
	D3	SWD3	ストップウォッチタイマデータ			—	R	
	D2	SWD2	—			R		
	D1	SWD1	BCD (1/100 sec)			—	R	
	D0	SWD0	—			R		
00FF20	D7	PK01	K00～K07割り込み	PK01 PK00 PSIF1 PSIF0 PSW1 PSW0 PTM1 PTM0 1 1 1 0 0 1 0 0	優先 レベル レベル3 レベル2 レベル1 レベル0	0	R/W	
	D6	PK00	プライオリティレジスタ			0	R/W	
	D5	PSIF1	シリアルインタフェース割り込み			0	R/W	
	D4	PSIF0	プライオリティレジスタ			0	R/W	
	D3	PSW1	ストップウォッチタイマ割り込み			0	R/W	
	D2	PSW0	プライオリティレジスタ			0	R/W	
	D1	PTM1	計時タイマ割り込み			0	R/W	
	D0	PTM0	プライオリティレジスタ			0	R/W	
00FF22	D7	—	—	—	—	—	—	読み出し時は"0"
	D6	ESW100	ストップウォッチ100Hz割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D5	ESW10	ストップウォッチ10Hz割り込みイネーブルレジスタ			0	R/W	
	D4	ESW1	ストップウォッチ1Hz割り込みイネーブルレジスタ			0	R/W	
	D3	ETM32	計時タイマ32Hz割り込みイネーブルレジスタ			0	R/W	
	D2	ETM8	計時タイマ8Hz割り込みイネーブルレジスタ			0	R/W	
	D1	ETM2	計時タイマ2Hz割り込みイネーブルレジスタ			0	R/W	
	D0	ETM1	計時タイマ1Hz割り込みイネーブルレジスタ			0	R/W	
00FF24	D7	—	—			—	—	
	D6	FSW100	ストップウォッチ100Hz割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W	
	D5	FSW10	ストップウォッチ10Hz割り込み要因フラグ			0	R/W	
	D4	FSW1	ストップウォッチ1Hz割り込み要因フラグ			0	R/W	
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ			0	R/W	
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ	(W) リセット	(W) 無効	0	R/W	
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ			0	R/W	
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ			0	R/W	

SWD0~SWD7: 00FF43H

ストップウォッチタイマのデータが読み出せます。
上位/下位ニブルとBCD桁との対応は以下のとおりです。

SWD0 ~ SWD3: BCD (1/100sec)

SWD4 ~ SWD7: BCD (1/10sec)

SWD0 ~ SWD7は読み出し専用のため、書き込み動作は無効です。

イニシャルリセット時、タイマデータは不定となります。

SWRST: 00FF42H-D1

ストップウォッチタイマをリセットします。

"1"書き込み: ストップウォッチタイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

ストップウォッチタイマはSWRSTに"1"を書き込むことによってリセットされます。ストップウォッチタイマがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合はリセットデータ"00H"が保持されます。

"0"の書き込みはノーオペレーションとなります。SWRSTは書き込み専用のため、読み出し時は常時"0"となります。

SWRUN: 00FF42H-D0

ストップウォッチタイマのRUN/STOPを制御します。

"1"書き込み: RUN

"0"書き込み: STOP

読み出し: 可能

ストップウォッチタイマはSWRUNに"1"を書き込むことによってアップカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではリセットか次にRUN状態にするまで、タイマのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

イニシャルリセット時、SWRUNは"0"(STOP)に設定されます。

PSW0, PSW1: 00FF20H-D2, D3

ストップウォッチタイマ割り込みの優先レベルを設定します。PSW0、PSW1はストップウォッチタイマ割り込みに対応した割り込みプライオリティレジスタで、設定できる割り込み優先レベルは表5.9.4.2のとおりです。

表5.9.4.2 割り込み優先レベルの設定

PSW1	PSW0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

ESW1, ESW10, ESW100: 00FF22H-D4, D5, D6

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

ESW1、ESW10、ESW100はそれぞれ1Hz、10Hz、100Hzの割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

FSW1, FSW10, FSW100: 00FF24H-D4, D5, D6

タイマ割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

FSW1、FSW10、FSW100はそれぞれ1Hz、10Hz、100Hzの割り込みに対応する割り込み要因フラグで、各信号の立ち上がりエッジに同期して"1"にセットされます。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、本フラグはすべて"0"にリセットされます。

5.9.5 プログラミング上の注意事項

- (1) ストップウォッチタイマはレジスタSWRUNへの書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRUN/STOP状態となります。

したがって、SWRUNに"0"を書き込んだ場合は、"+1"余分にカウントしたところでタイマが停止状態となる場合があります。また、このときSWRUNは実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。

図5.9.5.1にRUN/STOP制御のタイミングチャートを示します。

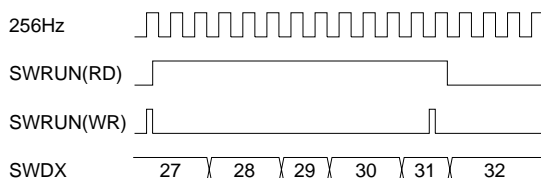


図5.9.5.1 RUN/STOP制御のタイミングチャート

- (2) ストップウォッチタイマがRUNしている状態 (SWRUN="1")でSLP命令を実行した場合は、SLEEP状態からの復帰時にストップウォッチタイマが不安定な動作となります。

したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前にストップウォッチタイマをSTOP状態(SWRUN="0")に設定してください。

5.10 プログラマブルタイマ

5.10.1 プログラマブルタイマの構成

S1C88848は8ビットのプログラマブルタイマを4系統(タイマ0～タイマ3)内蔵しています。各タイマは8ビットプリセッタブルダウンカウンタで構成され、タイマ0と1、タイマ2と3のペアはカスケード接続が可能です。したがって、各ペアを8ビット×2チャンネルまたは16ビット×1チャンネルのプログラマブルタイマとして使用することができます。

また、K10、K11入力ポート端子を使用したイベントカウンタ機能とパルス幅測定タイマ機能も合わせ持っています。

図5.10.1.1にプログラマブルタイマの構成を示します。

タイマ1のアンダーフロー信号をシリアルインタフェースの同期クロックとして使用できるため、転送速度のプログラマブルな設定が可能です。また、タイマ0またはタイマ1のアンダーフローの1/2分周信号(TOUT)をR27出力ポート端子から外部に出力させることもできます。マスクオプションの選択により、R26出力ポート端子からTOUT信号(TOUT反転信号)を出力させることもできます。

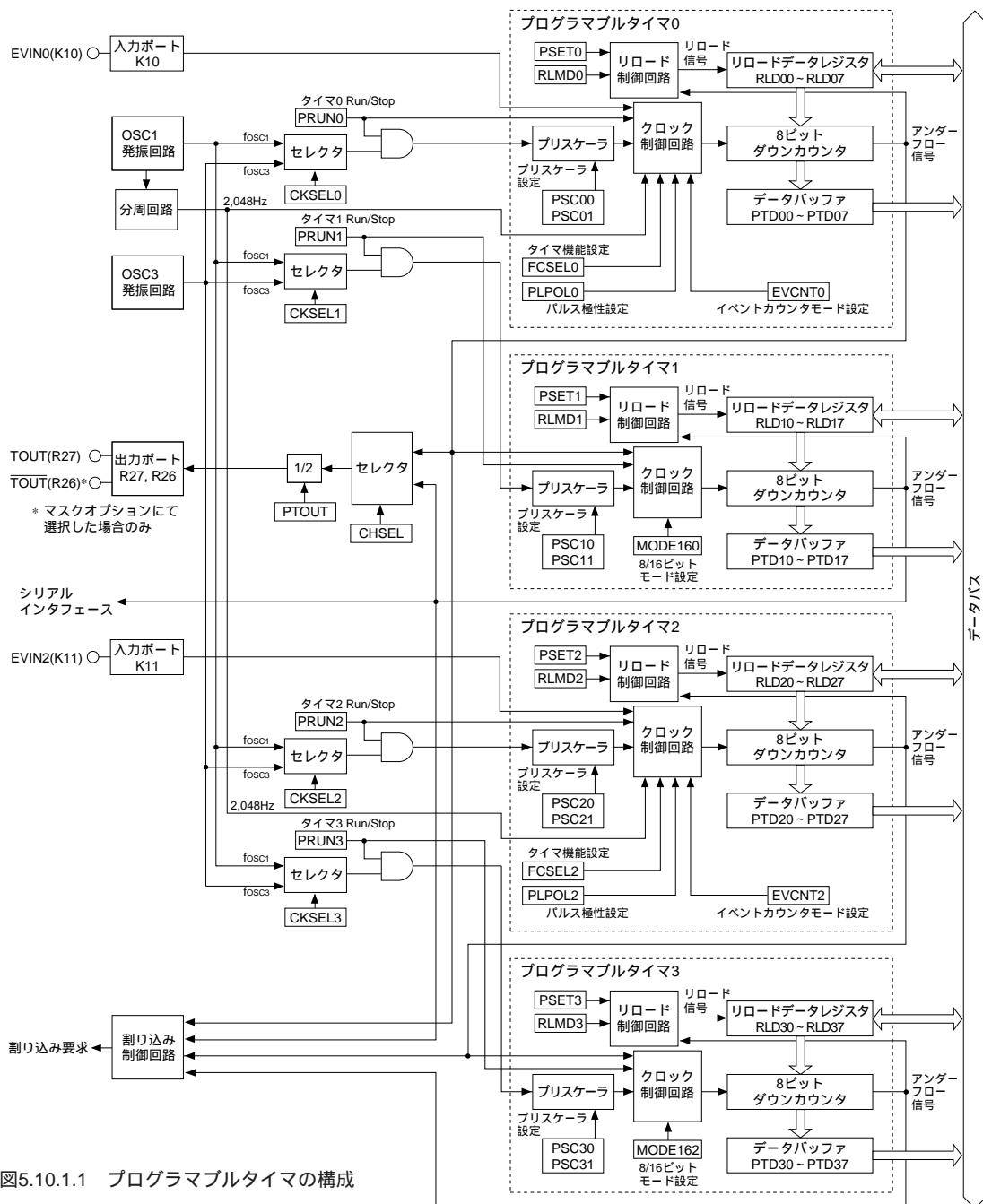


図5.10.1.1 プログラマブルタイマの構成

5.10.2 カウント動作と基本モード設定

ここでは、プログラマブルタイマの基本動作と設定について説明をします。

初期値の設定とダウンカウント

タイマ0～タイマ3にはそれぞれ、8ビットのダウンカウンタとリロードデータレジスタが設けられています。

リロードデータレジスタRLDx0～RLDx7(タイマx用レジスタ、x=0～3)はカウンタの初期値を設定するレジスタです。

ダウンカウンタは、リロードデータレジスタRLDxに設定された初期値をプリセット制御ビットPSETxへの"1"書き込みによってロードします。したがって、このロードされた初期値から入力クロックによるダウンカウントが行われます。

各タイマにはそれぞれ、RUN/STOPを制御するレジスタPRUNxが設けられています。リロードデータをカウンタにプリセットした後、本レジスタに"1"を書き込むことによってダウンカウントを開始します。"0"を書き込むとクロックの入力が禁止され、カウントは停止します。

このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

カウンタのデータの読み出しはデータバッファPTDx0～PTDx7を介して行い、任意のタイミングで読み出しが可能です。

カウンタはダウンカウントが進んでアンダーフローが発生すると、リロードデータレジスタRLDxに設定された初期値をリロードします。

このアンダーフロー信号はカウンタのリロードのほか、割り込みの発生、外部へのパルス(TOUT信号)出力、シリアルインタフェースへのクロック供給を制御します。

連続/ワンショットモード設定

連続/ワンショットモード選択レジスタCONTxに"1"を書き込むことによって、プログラマブルタイマは連続モードに設定されます。連続モードでは、アンダーフロー発生時にカウンタの初期値を自動的にリロードしてダウンカウントを継続します。このモードはプログラマブルなインターバルを必要とする用途(割り込み、シリアルインタフェースの同期クロック等)に適しています。

一方、レジスタCONTxに"0"を書き込んだ場合はワンショットモードとなり、カウンタはアンダーフロー発生時に初期値をリロードして停止します。このとき、RUN/STOP制御レジスタPRUNxは自動的に"0"にリセットされます。カウンタが停止した後、レジスタPRUNxに"1"を書き込むことによって再度ワンショットカウントを行うことができます。このモードは単発的な時間計測等に適しています。

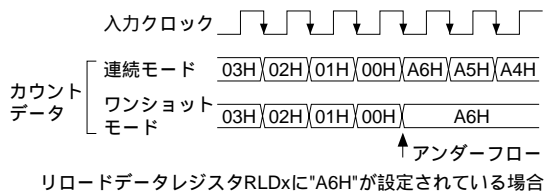


図5.10.2.2 連続モードとワンショットモード

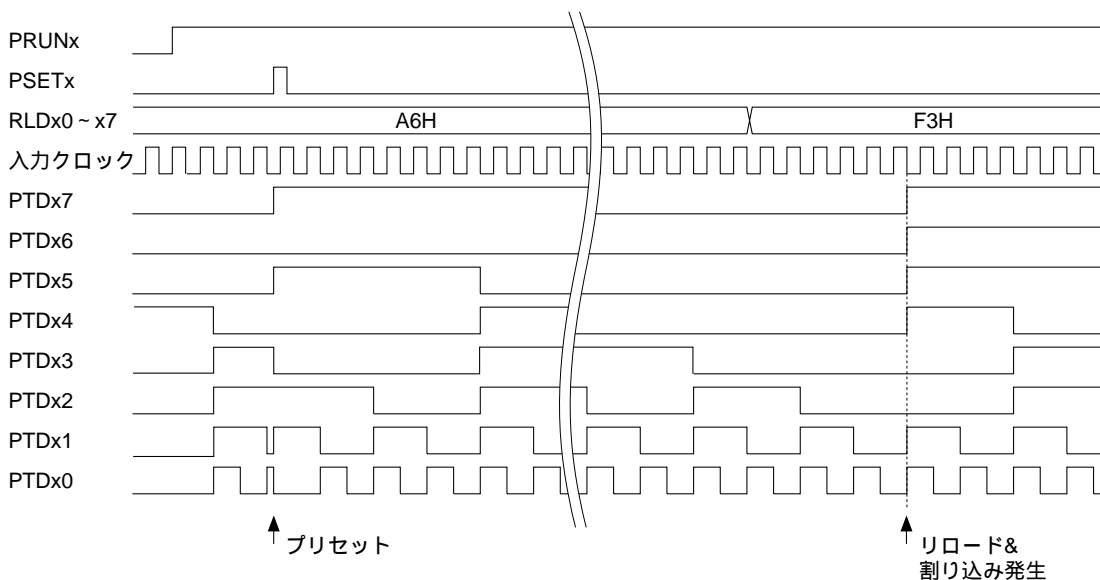


図5.10.2.1 カウンタの基本動作タイミング

8/16ビットモード設定

8/16ビットモード選択レジスタMODE160(MODE162)に"0"を書き込むことによって、タイマ0とタイマ1(タイマ2とタイマ3)は8ビット×2チャンネルの独立したタイマに設定されます。このモードでは、タイマ0とタイマ1(タイマ2とタイマ3)を個別に制御することができ、それぞれはまったく別のタイマとして動作します。

一方、レジスタMODE160(MODE162)に"1"を書き込んだ場合は、タイマ0とタイマ1(タイマ2とタイマ3)は1チャンネルの16ビットタイマに設定されます。このモードでは、タイマ0(タイマ2)を下位8ビット、タイマ1(タイマ3)を上位8ビットとした16ビットのカウントが行われ、タイマはタイマ0(タイマ2)側のレジスタによって制御されます。この場合、タイマ1(タイマ3)側のレジスタの制御は無効となります。(PRUN1、PRUN3は"0"に固定されます。)

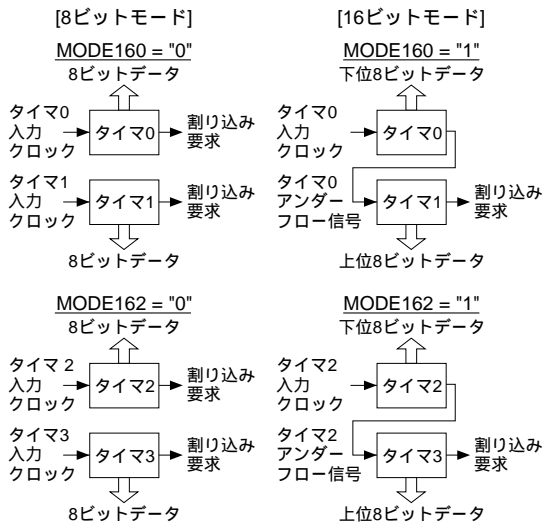


図5.10.2.3 8/16ビットモード設定とカウンタの構成

5.10.3 入力クロックの設定

各タイマにはプリスケアラが設けられています。プリスケアラはOSC1またはOSC3発振回路から供給される原振クロックを分周して、それぞれのタイマへの入力クロックを発生します。原振クロックとプリスケアラの分周比は各タイマ個別にソフトウェアで選択することができます。

入力クロックは以下の手順で設定します。

(1) 原振クロックの選択

それぞれのプリスケアラに入力する原振クロックを、OSC1とするかOSC3とするかを選択します。この選択は、原振クロック選択レジスタCKSELxによって行われ、"0"を書き込むとOSC1、"1"を書き込むとOSC3が選択されます。16ビットモードを選択している場合は、レジスタCKSEL0(タイマ0)、CKSEL2(タイマ2)によって原振クロックが選択され、レジスタCKSEL1(タイマ1)、CKSEL3(タイマ3)の設定は無効となります。

OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3の発振をONさせる必要があります。

なお、OSC3発振回路をONにしてから発振が安定するまでに数100μsec～数10msecの時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ONの後、十分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)

イニシャルリセット時、OSC3発振回路はON状態に設定されます。

(2) プリスケアラ分周比の選択

それぞれのプリスケアラの分周比を4種類の中から選択します。この選択は、プリスケアラ分周比選択レジスタPSCx0/PSCx1によって行われ、設定値と分周比とが表5.10.3.1に示すとおり対応しています。

表5.10.3.1 プリスケアラ分周比の選択

PSC31 PSC21 PSC11 PSC01	PSC30 PSC20 PSC10 PSC00	プリスケアラ分周比
1	1	原振クロック / 64
1	0	原振クロック / 16
0	1	原振クロック / 4
0	0	原振クロック / 1

レジスタPRUNxに"1"を書き込むことによって、原振クロックがプリスケアラに入力されます。これによって、選択した分周比のクロックがタイマに入力され、タイマがダウンカウントを開始します。

なお、16ビットモードを選択している場合は、レジスタPSC0(タイマ0)、PSC2(タイマ2)によって原振クロックの分周比が選択され、レジスタPSC1(タイマ1)、PSC3(タイマ3)の設定は無効となります。

5.10.4 タイマモード

タイマモードはプリスケアラの出力を入力クロックとしてダウンカウントを行うモードです。

このモードは、OSC1またはOSC3発振回路を原振として一定周期ごとにカウントを行うタイマとして動作します。

タイマの基本的な動作と制御については"5.10.2 カウント動作と基本モード設定"を、原振とプリスケアラの設定については"5.10.3 入力クロックの設定"をそれぞれ参照してください。

5.10.5 イベントカウンタモード

タイマ0には、K10入力ポート端子に外部クロック(EVIN0)を入力してカウントを行うイベントカウンタ機能があります。同様に、タイマ2にもK11入力ポート端子(EVIN2)を使用するイベントカウンタ機能があります。この機能は、タイマ0(タイマ2)カウンタモード選択レジスタEVCNT0(EVCNT2)に"1"を書き込むことによって選択されます。

イベントカウンタモードを選択した場合は、8ビットモードではタイマ0(タイマ2)がイベントカウンタ、タイマ1(タイマ3)が通常のタイマとして動作します。また、16ビットモードではタイマ0とタイマ1(タイマ2とタイマ3)が1チャンネルの16ビットイベントカウンタとして動作します。

イベントカウンタモードでは、外部からタイマ0(タイマ2)にクロックが供給されるため、レジスタPSC0、PSC2の設定は無効となります。

ダウンカウントのタイミングは、タイマ0(タイマ2)パルス極性選択レジスタPLPOL0(PLPOL2)によって、立ち下がりエッジまたは立ち上がりエッジのどちらかが選択できます。レジスタPLPOL0(PLPOL2)に"0"を書き込んだ場合が立ち下がりエッジ、"1"を書き込んだ場合が立ち上がりエッジとなり、図5.10.5.1に示すタイミングでダウンカウントが行われます。

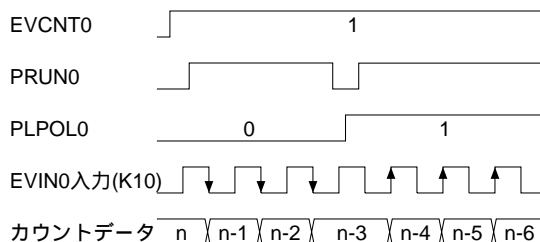


図5.10.5.1 イベントカウンタモードの

タイミングチャート(タイマ0)

イベントカウンタモードにはこのほかに、外部クロック(EVIN0、EVIN2)入力に対してチャタリング等のノイズを除去するノイズリジェクタ付加機能があります。この機能はタイマ0(タイマ2)機能選択レジスタFCSEL0(FCSEL2)に"1"を書き込むことによって選択されます。

ノイズリジェクタ付きを選択した場合は確実なカウントを行うために、LOWレベル/HIGHレベル共に0.98msec以上のパルス幅を確保する必要があります。(ノイズリジェクタは、K10、K11入力ポート端子の入力レベルが変化してから2度目の内部2,048Hz信号の立ち下がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msecとなります。)

図5.10.5.2にノイズリジェクタ付加時のダウンカウントタイミングを示します。

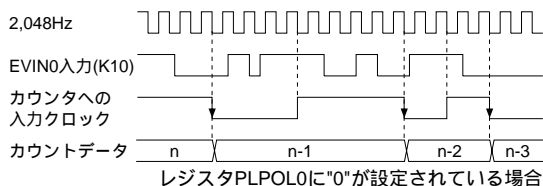


図5.10.5.2 ノイズリジェクタ付加時の

ダウンカウントタイミング(タイマ0)

イベントカウンタモードは、入力クロックが外部クロック(EVIN0、EVIN2)となること以外はタイマモードと同等です。

カウントの基本的な動作と制御については"5.10.2 カウント動作と基本モード設定"を参照してください。

5.10.6 パルス幅測定タイマモード

タイマ0には、K10入力ポート端子に入力される信号(EVIN0)の幅を測定するパルス幅測定タイマ機能があります。同様に、タイマ2にも、K11入力ポート端子(EVIN2)を使用するパルス幅測定タイマ機能があります。この機能はタイマモード(タイマ0はEVCNT0 = "0"、タイマ2はEVCNT2 = "0")において、タイマ0(タイマ2)機能選択レジスタFCSEL0(FCSEL2)に"1"を書き込むことによって選択されます。

パルス幅測定タイマモードを選択した場合は、8ビットモードではタイマ0(タイマ2)がパルス幅測定タイマ、タイマ1(タイマ3)が通常のタイマとして動作します。また、16ビットモードではタイマ0とタイマ1(タイマ2とタイマ3)が1チャンネルの16ビットパルス幅測定タイマとして動作します。

測定対象とする入力信号(EVIN0、EVIN2)のレベルは、タイマ0(タイマ2)パルス極性選択レジスタPLPOL0(PLPOL2)によって、LOWレベルまたはHIGHレベルのどちらかが選択できます。レジスタPLPOL0(PLPOL2)に"0"を書き込んだ場合がLOWレベル幅測定、"1"を書き込んだ場合がHIGHレベル幅測定となり、図5.10.6.1に示すタイミングでダウンカウントが行われます。

パルス幅測定タイマモードは、入力クロックがK10、K11入力ポート端子に入力される信号(EVIN0、EVIN2)のレベルによって制御されること以外はタイマモードと同等です。

カウントの基本的な動作と制御については、"5.10.2 カウント動作と基本モード設定"を参照してください。

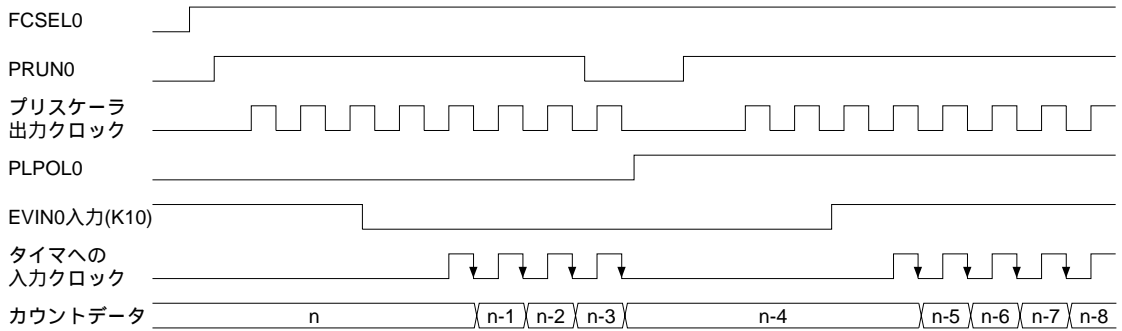


図5.10.6.1 パルス幅測定タイマモードのタイミングチャート(タイマ0)

5.10.7 割り込み機能

プログラマブルタイムは、各タイマのアンダーフロー信号によって割り込みを発生させることができます。

図5.10.7.1にプログラマブルタイム割り込み回路の構成を示します。

タイマxのアンダーフロー信号によって、対応する割り込み要因フラグFPTxが"1"にセットされ、割り込みが発生します。この割り込み要因フラグに対応した割り込みイネーブルレジスタEPTxの設定により、割り込みを禁止することもできます。

また、CPUに対するプログラマブルタイム割り込みの優先レベルをタイマ0とタイマ1は割り込みプライオリティレジスタPPT0、PPT1によって、タイマ2とタイマ3は割り込みプライオリティレジスタPPT2、PPT3によって任意のレベル(0～3)に設定できます。

割り込み制御レジスタの詳細と割り込み発生後の動作については"5.15 割り込みとスタンバイ状態"を参照してください。

各割り込み要因の例外処理ベクタアドレスは、それぞれ以下のとおり設定されています。

プログラマブルタイム0割り込み: 000008H
 プログラブルタイム1割り込み: 000006H
 プログラブルタイム2割り込み: 000028H
 プログラブルタイム3割り込み: 000026H

なお、16ビットモードを選択している場合は割り込み要因フラグFPT0(FPT2)は"1"にセットされず、タイマ0(タイマ2)の割り込みも発生しません。(16ビットモード時は、16ビットカウンタのアンダーフローによって割り込み要因フラグFPT1(FPT3)が"1"にセットされます。)

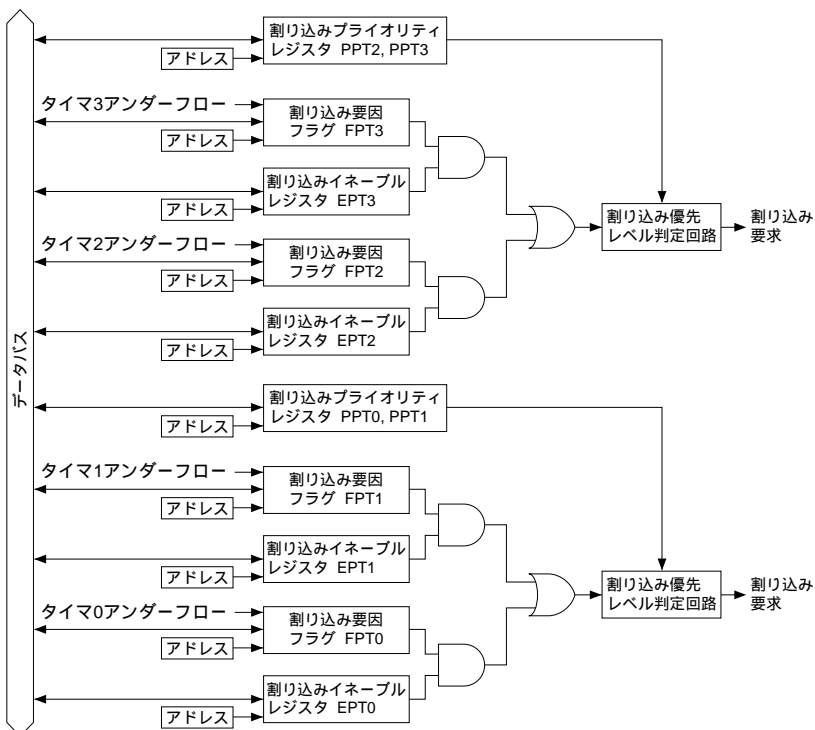


図5.10.7.1 プログラブルタイム割り込み回路の構成

5.10.8 TOUT出力の設定

プログラマブルタイムは、タイマ0またはタイマ1のアンダーフローによってTOUT信号を発生させることができます。TOUT信号は先アンダーフローを1/2分周した信号で、TOUT出力チャンネル選択レジスタCHSELによって、どちらのタイマのアンダーフローを使用するかを選択することができます。レジスタCHSELに"0"を書き込んだ場合がタイマ0、"1"を書き込んだ場合がタイマ1となります。ただし、16ビットモードではタイマ1(16ビットタイマのアンダーフロー)固定となり、レジスタCHSELの設定は無効となります。

図5.10.8.1にチャンネル切り換え時のTOUT信号波形を示します。

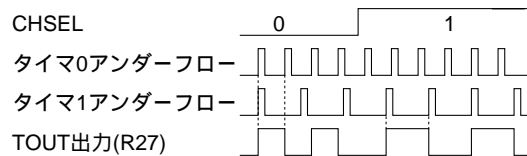


図5.10.8.1 チャンネル切り換え時のTOUT信号波形

TOUT信号はR27出力ポート端子から出力させることができ、外部デバイス等に対してプログラマブルなクロックを供給することができます。また、マスクオプションの選択により、R26出力ポート端子からTOUT信号(TOUT反転信号)を出力させることができます。

R27、R26出力ポートの構成を図5.10.8.2に示します。

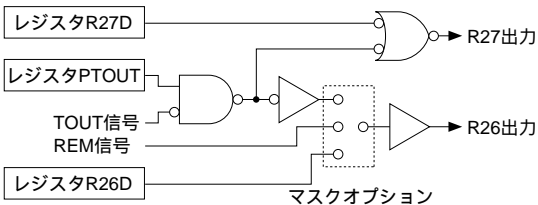


図5.10.8.2 R27とR26の構成

TOUT(TOUT)信号はレジスタPTOUTによって出力制御を行います。PTOUTに"1"を設定するとTOUT(TOUT)信号がR27(R26)出力ポート端子から出力され、"0"を設定するとR27はHIGH(V_{DD})レベル、R26はLOW(V_{SS})レベルとなります。TOUT出力を行う場合、データレジスタR27Dには常時"1"が設定されている必要があります。R26DはTOUT出力には影響を与えません。

なお、TOUT信号はレジスタPTOUTとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.10.8.3にTOUT信号の出力波形を示します。

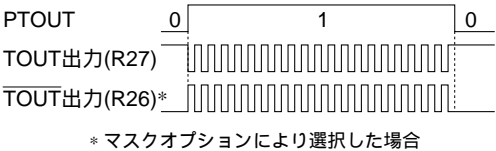


図5.10.8.3 TOUT信号の出力波形

5.10.9 シリアルインタフェースの
転送速度設定

タイマ1のアンダーフロー信号をシリアルインタフェースのクロック源として使用することができます。この場合の転送速度の設定はレジスタPSC1、RLD1によって行い、タイマ1のカウントモードをリロードカウントモード(RLMD1="1")に設定して使用します。タイマ1のアンダーフロー信号はシリアルインタフェース内で1/32分周されるため、転送速度に対するレジスタRLD1への設定値は次式のようにになります。

$$RLD1 = f_{osc} / (32 \cdot bps \cdot 4^{PSC1}) - 1$$

fosc: 発振周波数 (OSC1/OSC3)
bps: 転送速度
PSC1: レジスタPSC1設定値 (0 ~ 3)

(RLD1には00Hも設定可能)

表5.10.9.1にOSC3発振回路を原振とした場合の転送速度の設定例を示します。

表5.10.9.1 転送速度の設定例

転送速度 (bps)	OSC3発振周波数/プログラマブルタイムの設定					
	fosc3=3.072MHz		fosc3=4.608MHz		fosc3=4.9152MHz	
	PSC1	RLD1	PSC1	RLD1	PSC1	RLD1
9,600	0 (1/1)	09H	0 (1/1)	0EH	0 (1/1)	0FH
4,800	0 (1/1)	13H	0 (1/1)	1DH	0 (1/1)	1FH
2,400	0 (1/1)	27H	0 (1/1)	3BH	0 (1/1)	3FH
1,200	0 (1/1)	4FH	0 (1/1)	77H	0 (1/1)	7FH
600	0 (1/1)	9FH	0 (1/1)	EFH	0 (1/1)	FFH
300	1 (1/4)	4FH	1 (1/4)	77H	1 (1/4)	7FH
150	1 (1/4)	9FH	1 (1/4)	EFH	1 (1/4)	FFH

5.10.10 プログラマブルタイマの制御方法

表5.10.10.1にプログラマブルタイマの制御ビットを示します。

表5.10.10.1(a) プログラマブルタイマの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF30	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	MODE160	8/16ビットモード選択(タイマ0/1)	16ビットx1	8ビットx2	0	R/W	
	D3	CHSEL	TOUT出力チャンネル選択	タイマ1	タイマ0	0	R/W	
	D2	PTOUT	TOUT出力制御	On	Off	0	R/W	
	D1	CKSEL1	プリスケアラ1原振クロック選択	fOSC3	fOSC1	0	R/W	
	D0	CKSEL0	プリスケアラ0原振クロック選択	fOSC3	fOSC1	0	R/W	
00FF31	D7	EVCNT0	タイマ0カウンタモード選択	イベントカウンタ	タイマ	0	R/W	
	D6	FCSEL0	タイマ0 機能選択	タイマモード時 パルス幅 測定	通常 モード ノイズリジ エクタ付き	0	R/W	
	D5	PLPOL0	タイマ0 パルス 極性選択	イベントカウンタモード時 ダウンカウントタイミング パルス幅測定モード時	K10入力 立ち上がり 立ち下がり K10入力の Highレベル 幅測定	0	R/W	
	D4	PSC01	タイマ0プリスケアラ分周比選択			0	R/W	
			PSC01 PSC00 プリスケアラ分周比					
			1 1 原振クロック / 64					
			1 0 原振クロック / 16					
			0 1 原振クロック / 4					
			0 0 原振クロック / 1					
	D3	PSC00				0	R/W	
00FF32	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	PSC11	タイマ1プリスケアラ分周比選択			0	R/W	
			PSC11 PSC10 プリスケアラ分周比					
			1 1 原振クロック / 64					
			1 0 原振クロック / 16					
			0 1 原振クロック / 4					
			0 0 原振クロック / 1					
	D3	PSC10				0	R/W	
00FF33	D7	RLD07	タイマ0リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RLD06	タイマ0リロードデータD6			1	R/W	
	D5	RLD05	タイマ0リロードデータD5			1	R/W	
	D4	RLD04	タイマ0リロードデータD4			1	R/W	
	D3	RLD03	タイマ0リロードデータD3			1	R/W	
	D2	RLD02	タイマ0リロードデータD2			1	R/W	
	D1	RLD01	タイマ0リロードデータD1			1	R/W	
	D0	RLD00	タイマ0リロードデータD0 (LSB)			1	R/W	
00FF31	D7	EVCNT0	タイマ0カウンタモード選択	イベントカウンタ	タイマ	0	R/W	
	D6	FCSEL0	タイマ0 機能選択	タイマモード時 パルス幅 測定	通常 モード ノイズリジ エクタ付き	0	R/W	
	D5	PLPOL0	タイマ0 パルス 極性選択	イベントカウンタモード時 ダウンカウントタイミング パルス幅測定モード時	K10入力 立ち上がり 立ち下がり K10入力の Highレベル 幅測定	0	R/W	
	D4	PSC01	タイマ0プリスケアラ分周比選択			0	R/W	
			PSC01 PSC00 プリスケアラ分周比					
			1 1 原振クロック / 64					
			1 0 原振クロック / 16					
			0 1 原振クロック / 4					
			0 0 原振クロック / 1					
	D3	PSC00				0	R/W	
00FF32	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	PSC11	タイマ1プリスケアラ分周比選択			0	R/W	
			PSC11 PSC10 プリスケアラ分周比					
			1 1 原振クロック / 64					
			1 0 原振クロック / 16					
			0 1 原振クロック / 4					
			0 0 原振クロック / 1					
	D3	PSC10				0	R/W	
00FF33	D7	RLD07	タイマ0リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RLD06	タイマ0リロードデータD6			1	R/W	
	D5	RLD05	タイマ0リロードデータD5			1	R/W	
	D4	RLD04	タイマ0リロードデータD4			1	R/W	
	D3	RLD03	タイマ0リロードデータD3			1	R/W	
	D2	RLD02	タイマ0リロードデータD2			1	R/W	
	D1	RLD01	タイマ0リロードデータD1			1	R/W	
	D0	RLD00	タイマ0リロードデータD0 (LSB)			1	R/W	

表5.10.10.1(b) プログラマブルタイマの制御ビット

アドレス	ビット	名称	機 能		1	0	SR	R/W	注 釈	
00FF34	D7	RLD17	タイマ1リロードデータD7 (MSB)		High	Low	1	R/W		
	D6	RLD16	タイマ1リロードデータD6				1	R/W		
	D5	RLD15	タイマ1リロードデータD5				1	R/W		
	D4	RLD14	タイマ1リロードデータD4				1	R/W		
	D3	RLD13	タイマ1リロードデータD3				1	R/W		
	D2	RLD12	タイマ1リロードデータD2				1	R/W		
	D1	RLD11	タイマ1リロードデータD1				1	R/W		
	D0	RLD10	タイマ1リロードデータD0 (LSB)				1	R/W		
00FF35	D7	PTD07	タイマ0カウンタデータD7 (MSB)		High	Low	1	R		
	D6	PTD06	タイマ0カウンタデータD6				1	R		
	D5	PTD05	タイマ0カウンタデータD5				1	R		
	D4	PTD04	タイマ0カウンタデータD4				1	R		
	D3	PTD03	タイマ0カウンタデータD3				1	R		
	D2	PTD02	タイマ0カウンタデータD2				1	R		
	D1	PTD01	タイマ0カウンタデータD1				1	R		
	D0	PTD00	タイマ0カウンタデータD0 (LSB)				1	R		
00FF36	D7	PTD17	タイマ1カウンタデータD7 (MSB)		High	Low	1	R		
	D6	PTD16	タイマ1カウンタデータD6				1	R		
	D5	PTD15	タイマ1カウンタデータD5				1	R		
	D4	PTD14	タイマ1カウンタデータD4				1	R		
	D3	PTD13	タイマ1カウンタデータD3				1	R		
	D2	PTD12	タイマ1カウンタデータD2				1	R		
	D1	PTD11	タイマ1カウンタデータD1				1	R		
	D0	PTD10	タイマ1カウンタデータD0 (LSB)				1	R		
00FF38	D7	—	—		—	—	—		読み出し時は 常時"0"	
	D6	—	—		—	—	—			
	D5	—	—		—	—	—			
	D4	MODE162	8/16ビットモード選択(タイマ2/3)		16ビット x 1	8ビット x 2	0	R/W	読み出し時は 常時"0"	
	D3	—	—		—	—	—			
	D2	—	—		—	—	—			
	D1	CKSEL3	プリスケラ3原振クロック選択		fosc3	fosc1	0	R/W		
	D0	CKSEL2	プリスケラ2原振クロック選択		fosc3	fosc1	0	R/W		
00FF39	D7	EVCNT2	タイマ2カウンタモード選択		イベントカウンタ	タイマ	0	R/W		
	D6	FCSEL2	タイマ2 機能選択	タイマモード時	パルス幅 測定	通常 モード	0	R/W		
				イベントカウンタモード時	ノイズリジ ェクタ付き	ノイズリジ ェクタなし	0	R/W		
	D5	PLPOL2	タイマ2 パルス 極性選択	イベントカウンタモードの ダウンカウントタイミング	K11入力の 立ち上がり	K11入力の 立ち下がり	0	R/W		
	D4	PSC21	タイマ2プリスケラ分周比選択				0	R/W		
			PSC21	PSC20						プリスケラ分周比
			1	1						原振クロック / 64
			1	0						原振クロック / 16
	D3	PSC20	0	1	原振クロック / 4	0	R/W			
			0	0	原振クロック / 1					
	D2	CONT2	タイマ2連続/ワンショットモード選択		連続	ワンショット	0	R/W		
	D1	PSET2	タイマ2プリセット		プリセット	無効	—	W		読み出し時は"0"
D0	PRUN2	タイマ2 Run/Stop制御		Run	Stop	0	R/W			

表5.10.10.1(c) プログラマブルタイマの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF3A	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	PSC31	タイマ3プリスケラ分周比選択 PSC31 PSC30 プリスケラ分周比			0	R/W	
			1 1 原振クロック / 64					
	D3	PSC30	1 0 原振クロック / 16			0	R/W	
			0 1 原振クロック / 4					
			0 0 原振クロック / 1					
	D2	CONT3	タイマ3連続/ワンショットモード選択	連続	ワンショット	0	R/W	
	D1	PSET3	タイマ3プリセット	プリセット	無効	—	W	読み出し時は"0"
	D0	PRUN3	タイマ3 Run/Stop制御	Run	Stop	0	R/W	
00FF3B	D7	RLD27	タイマ2リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RLD26	タイマ2リロードデータD6			1	R/W	
	D5	RLD25	タイマ2リロードデータD5			1	R/W	
	D4	RLD24	タイマ2リロードデータD4			1	R/W	
	D3	RLD23	タイマ2リロードデータD3			1	R/W	
	D2	RLD22	タイマ2リロードデータD2			1	R/W	
	D1	RLD21	タイマ2リロードデータD1			1	R/W	
	D0	RLD20	タイマ2リロードデータD0 (LSB)			1	R/W	
00FF3C	D7	RLD37	タイマ3リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RLD36	タイマ3リロードデータD6			1	R/W	
	D5	RLD35	タイマ3リロードデータD5			1	R/W	
	D4	RLD34	タイマ3リロードデータD4			1	R/W	
	D3	RLD33	タイマ3リロードデータD3			1	R/W	
	D2	RLD32	タイマ3リロードデータD2			1	R/W	
	D1	RLD31	タイマ3リロードデータD1			1	R/W	
	D0	RLD30	タイマ3リロードデータD0 (LSB)			1	R/W	
00FF3D	D7	PTD27	タイマ2カウンタデータD7 (MSB)	High	Low	1	R	
	D6	PTD26	タイマ2カウンタデータD6			1	R	
	D5	PTD25	タイマ2カウンタデータD5			1	R	
	D4	PTD24	タイマ2カウンタデータD4			1	R	
	D3	PTD23	タイマ2カウンタデータD3			1	R	
	D2	PTD22	タイマ2カウンタデータD2			1	R	
	D1	PTD21	タイマ2カウンタデータD1			1	R	
	D0	PTD20	タイマ2カウンタデータD0 (LSB)			1	R	
00FF3E	D7	PTD37	タイマ3カウンタデータD7 (MSB)	High	Low	1	R	
	D6	PTD36	タイマ3カウンタデータD6			1	R	
	D5	PTD35	タイマ3カウンタデータD5			1	R	
	D4	PTD34	タイマ3カウンタデータD4			1	R	
	D3	PTD33	タイマ3カウンタデータD3			1	R	
	D2	PTD32	タイマ3カウンタデータD2			1	R	
	D1	PTD31	タイマ3カウンタデータD1			1	R	
	D0	PTD30	タイマ3カウンタデータD0 (LSB)			1	R	
00FF21	D7	PREM1	REMキャリア割り込み	PREM1 PREM0 PPT3 PPT2 PPT1 PPT0 優先 PK11 PK10 レベル	1 1 レベル3 1 0 レベル2 0 1 レベル1 0 0 レベル0	0	R/W	
	D6	PREM0	ブライオリティレジスタ			0	R/W	
	D5	PPT3	プログラマブルタイマ2, 3割り込み			0	R/W	
	D4	PPT2	ブライオリティレジスタ			0	R/W	
	D3	PPT1	プログラマブルタイマ0, 1割り込み			0	R/W	
	D2	PPT0	ブライオリティレジスタ			0	R/W	
	D1	PK11	K10, K11割り込み			0	R/W	
	D0	PK10	ブライオリティレジスタ			0	R/W	

表5.10.10.1(d) プログラマブルタイマの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF23	D7	EPT1	プログラマブルタイマ1割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D6	EPT0	プログラマブルタイマ0割り込みイネーブルレジスタ			0	R/W	
	D5	EK1	K10, K11割り込みイネーブルレジスタ			0	R/W	
	D4	EK0H	K04 ~ K07割り込みイネーブルレジスタ			0	R/W	
	D3	EK0L	K00 ~ K03割り込みイネーブルレジスタ			0	R/W	
	D2	ESERR	シリアル/F(エラー)割り込みイネーブルレジスタ			0	R/W	
	D1	ESREC	シリアル/F(受信)割り込みイネーブルレジスタ			0	R/W	
	D0	ESTRA	シリアル/F(送信)割り込みイネーブルレジスタ			0	R/W	
00FF25	D7	FPT1	プログラマブルタイマ1割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W	
	D6	FPT0	プログラマブルタイマ0割り込み要因フラグ			0	R/W	
	D5	FK1	K10, K11割り込み要因フラグ			0	R/W	
	D4	FK0H	K04 ~ K07割り込み要因フラグ			0	R/W	
	D3	FK0L	K00 ~ K03割り込み要因フラグ	(W) リセット	(W) 無効	0	R/W	
	D2	FSERR	シリアル/F(エラー)割り込み要因フラグ			0	R/W	
	D1	FSREC	シリアル/F(受信)割り込み要因フラグ			0	R/W	
	D0	FSTRA	シリアル/F(送信)割り込み要因フラグ			0	R/W	
00FF26	D7	EPT3	プログラマブルタイマ3割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D6	EPT2	プログラマブルタイマ2割り込みイネーブルレジスタ			0	R/W	
	D5	EREM	REMキャリア割り込みイネーブルレジスタ			0	R/W	
	D4	REMC	REMキャリア発生On/Off	On	Off	1	R/W	
	D3	—	—	—	—	—		読み出し時は 常時"0"
	D2	—	—	—	—	—		
	D1	—	—	—	—	—		
	D0	—	—	—	—	—		
00FF27	D7	FPT3	プログラマブルタイマ3割り込み要因フラグ	(R)要因あり	(R)要因なし	0	R/W	
	D6	FPT2	プログラマブルタイマ2割り込み要因フラグ			0	R/W	
	D5	FREM	REMキャリア割り込み要因フラグ	(W)リセット	(W)無効	0	R/W	
	D4	REMSO	REM強制出力On/Off			0	R/W	
	D3	—	—	—	—	—		読み出し時は 常時"0"
	D2	—	—	—	—	—		
	D1	—	—	—	—	—		
	D0	—	—	—	—	—		

MODE160: 00FF30H-D4**MODE162: 00FF38H-D4**

8/16ビットモードを選択します。

- "1"書き込み: 16ビット×1チャンネル
 "0"書き込み: 8ビット×2チャンネル
 読み出し: 可能

MODE160はタイマ0とタイマ1を独立した2チャンネルの8ビットタイマとして使用するか、組み合わせた1チャンネルの16ビットタイマとして使用するかを選択します。同様にMODE162はタイマ2とタイマ3の8/16ビットモードを選択します。MODE16xに"0"を書き込んだ場合は8ビット×2チャンネル、"1"を書き込んだ場合は16ビット×1チャンネルがそれぞれ選択されます。イニシャルリセット時、MODE16xは"0"(8ビット×2チャンネル)に設定されます。

CKSEL0: 00FF30H-D0**CKSEL1: 00FF30H-D1****CKSEL2: 00FF38H-D0****CKSEL3: 00FF38H-D1**

プリスケアラの原振クロックを選択します。

- "1"書き込み: OSC3クロック
 "0"書き込み: OSC1クロック
 読み出し: 可能

CKSELxはプリスケアラx(タイマx用)の原振クロックをOSC1とするかOSC3とするかを選択します。CKSELxに"0"を書き込んだ場合はOSC1、"1"を書き込んだ場合はOSC3がそれぞれ選択されます。なお、イベントカウンタモードを選択している場合、CKSEL0、CKSEL2の設定は無効となります。また、16ビットモードではCKSEL1、CKSEL3の設定が無効となります。イニシャルリセット時、本レジスタはそれぞれ"0"(OSC1クロック)に設定されます。

PSC00, PSC01: 00FF31H-D3, D4**PSC10, PSC11: 00FF32H-D3, D4****PSC20, PSC21: 00FF39H-D3, D4****PSC30, PSC31: 00FF3AH-D3, D4**

プリスケアラの分周比を選択します。

PSCx0、PSCx1の2ビットはタイマxに対応したプリスケアラ分周比選択レジスタです。本レジスタによって設定できるプリスケアラの分周比は表5.10.10.2のとおりです。

表5.10.10.2 プリスケアラ分周比の選択

PSC31 PSC21 PSC11 PSC01	PSC30 PSC20 PSC10 PSC00	プリスケアラ分周比
1	1	原振クロック / 64
1	0	原振クロック / 16
0	1	原振クロック / 4
0	0	原振クロック / 1

なお、イベントカウンタモードを選択している場合はPSC0、PSC2の設定は無効となります。また、16ビットモードではPSC1、PSC3の設定が無効となります。イニシャルリセット時、本レジスタは"0"(原振クロック/1)に設定されます。

EVCNT0: 00FF31H-D7**EVCNT2: 00FF39H-D7**

タイマ0、タイマ2のカウントモードを選択します。

- "1"書き込み: イベントカウンタモード
 "0"書き込み: タイマモード
 読み出し: 可能

EVCNTxはタイマxをイベントカウンタとして使用するか、タイマとして使用するかを選択します。EVCNTxに"1"を書き込んだ場合はイベントカウンタモード、"0"を書き込んだ場合はタイマモードがそれぞれ選択されます。イニシャルリセット時、EVCNTxは"0"(タイマモード)に設定されます。

FCSEL0: 00FF31H-D6**FCSEL2: 00FF39H-D6**

タイマ0、タイマ2の各カウンタモードに対する機能の選択を行います。

- タイマモード時
 "1"書き込み: パルス幅測定タイマモード
 "0"書き込み: 通常モード
 読み出し: 可能

タイマモードでは、タイマ0、タイマ2をパルス幅測定タイマとして使用するか、通常のタイマとして使用するかを選択します。FCSELxに"1"を書き込んだ場合、タイマxはパルス幅測定タイマモードに設定され、タイマ0はK10(EVIN0)、タイマ2はK11(EVIN2)入力ポート端子に入力される信号のレベルにしたがってカウントを行います。また、FCSELxに"0"を書き込んだ場合は通常モードが選択され、入力ポート端子の影響を受けずにカウントを行います。

- イベントカウンタモード時
 "1"書き込み: ノイズリジェクション付き
 "0"書き込み: ノイズリジェクションなし
 読み出し: 可能

イベントカウンタモードでは、タイマ0はK10(EVIN0)、タイマ2はK11(EVIN2)入力ポート端子に対してノイズリジェクションを付加するかしないかを選択します。FCSELxに"1"を書き込んだ場合はノイズリジェクションが付加され、0.98msec以上のパルス幅の外部クロックによってカウントが行われます。

ノイズリジェクタは、K10(K11)入力ポート端子の入力レベルが変化してから2度目の内部2,048Hz信号の立ち下がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msecとなります。FCSELxに"0"を書き込んだ場合はノイズリジェクタは付加されず、K10(K11)入力ポート端子に入力される外部クロックによって直接カウントを行います。イニシャルリセット時、FCSELxは"0"に設定されます。

PLPOL0: 00FF31H-D5

PLPOL2: 00FF39H-D5

K10、K11入力ポート端子のパルス極性を選択します。

• イベントカウンタモード時

"1"書き込み: 立ち上がりエッジ

"0"書き込み: 立ち下がりエッジ

読み出し: 可能

イベントカウンタモード時、タイマ0のPLPOL0はK10(EVIN0)、タイマ2のPLPOL2はK11(EVIN2)入力ポート端子に入力される外部クロックの立ち下がりエッジでカウントするか、立ち上がりエッジでカウントするかを選択します。

PLPOLxに"0"を書き込んだ場合は立ち下がりエッジ、"1"を書き込んだ場合は立ち上がりエッジがそれぞれ選択されます。

• パルス幅測定タイマモード時

"1"書き込み: HIGHレベル幅測定

"0"書き込み: LOWレベル幅測定

読み出し: 可能

パルス幅測定タイマモード時、タイマ0のPLPOL0はK10(EVIN0)、タイマ2のPLPOL2はK11(EVIN2)入力ポート端子に入力される信号(EVIN)のLOWレベル幅を測定するか、HIGHレベル幅を測定するかを選択します。

PLPOLxに"0"を書き込んだ場合はLOWレベル幅測定、"1"を書き込んだ場合はHIGHレベル幅測定がそれぞれ選択されます。

なお、通常モード(EVCNTx = FCSELx = "0")ではPLPOLxの設定は無効となります。

イニシャルリセット時、PLPOLxは"0"に設定されます。

CONT0: 00FF31H-D2

CONT1: 00FF32H-D2

CONT2: 00FF39H-D2

CONT3: 00FF3AH-D2

連続/ワンショットモードを選択します。

"1"書き込み: 連続モード

"0"書き込み: ワンショットモード

読み出し: 可能

CONTxはタイマxを連続モードで使用するか、ワンショットモードで使用するかを選択します。CONTxに"1"を書き込んだ場合は連続モードが選択され、カウンタのアンダーフロー発生時に初期値をリロードしてカウントを継続します。CONTxに"0"を書き込んだ場合はワンショットモードが選択され、カウンタのアンダーフロー発生時に初期値をリロードしてカウントを停止します。このとき、PRUNxは自動的に"0"にリセットされます。イニシャルリセット時、本レジスタは"0"(ワンショットモード)に設定されます。

RLD00~RLD07: 00FF33H

RLD10~RLD17: 00FF34H

RLD20~RLD27: 00FF3BH

RLD30~RLD37: 00FF3CH

カウンタの初期値を設定します。

RLDxに設定したリロードデータがタイマxのカウンタにロードされ、それを初期値としてダウンカウントを行います。

リロードデータがカウンタにロードされる条件はPSETxに"1"を書き込んでプリセットを行う場合と、カウンタのアンダーフローによって自動的にリロードが行われる場合です。

イニシャルリセット時、本レジスタは"FFH"に設定されます。

PTD00~PTD07: 00FF35H

PTD10~PTD17: 00FF36H

PTD20~PTD27: 00FF3DH

PTD30~PTD37: 00FF3EH

PTDxからタイマxのデータが読み出せます。

本ビットは読み出し時にカウンタのデータが保持されるバッファとなっており、データは任意のタイミングで読み出しが可能です。ただし、16ビットモードでは読み出しエラー(PTD0とPTD1(PTD2とPTD3)の読み出しの途中に、タイマ0(タイマ2)からタイマ1(タイマ3)へのポローが発生した場合のデータエラー)を回避するため、PTD1(PTD3)はPTD0(PTD2)の読み出しによってタイマ1(タイマ3)のカウンタデータをラッチします。

PTD1(PTD3)のラッチ状態はPTD1(PTD3)の読み出し、または0.73msec ~ 1.22msec(読み出しのタイミングにより異なる)の時間経過によって解除されます。したがって、16ビットモードではPTD0(PTD2)、PTD1(PTD3)の順でカウンタデータの読み出しを行ってください。

本ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、本ビットは"FFH"に設定されます。

PSET0: 00FF31H-D1**PSET1: 00FF32H-D1****PSET2: 00FF39H-D1****PSET3: 00FF3AH-D1**

リロードデータをカウンタにプリセットします。

"1"書き込み: プリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

PSETxに"1"を書き込むことによって、PLDxのリロードデータがタイマxのカウンタにプリセットされます。タイマxのカウンタがRUN状態のときにプリセットを行うとリロードデータのプリセット直後にリスタートします。

また、STOP状態の場合はプリセットされたりロードデータがそのまま保持されます。

"0"の書き込みはノーオペレーションとなります。

16ビットモードを選択している場合はPSET1、PSET3への"1"書き込みは無効となります。

本ビットは書き込み専用のため、読み出しは常時"0"となります。

PRUN0: 00FF31H-D0**PRUN1: 00FF32H-D0****PRUN2: 00FF39H-D0****PRUN3: 00FF3AH-D0**

カウンタのRUN/STOPを制御します。

"1"書き込み: RUN

"0"書き込み: STOP

読み出し: 可能

タイマxのカウンタはPRUNxに"1"を書き込むことによってダウンカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではプリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

16ビットモードを選択している場合はPRUN1、PRUN3は"0"に固定されます。

イニシャルリセット時、およびワンショットモードにおいてアンダーフローが発生したとき、本レジスタは"0"(STOP)に設定されます。

CHSEL: 00FF30H-D3

TOUT信号のチャンネルを選択します。

"1"書き込み: タイマ1アンダーフロー

"0"書き込み: タイマ0アンダーフロー

読み出し: 可能

TOUT信号にタイマ0のアンダーフローを使用するか、タイマ1のアンダーフローを使用するかを選択します。

CHSELに"0"を書き込んだ場合はタイマ0、"1"を書き込んだ場合はタイマ1がそれぞれ選択されます。なお、16ビットモードを選択している場合はタイマ1(16ビットタイマのアンダーフロー)固定となり、CHSELの設定は無効となります。

イニシャルリセット時、CHSELは"0"(タイマ0アンダーフロー)に設定されます。

PTOUT: 00FF30H-D2

TOUT(プログラマブルタイマ出力クロック)信号の出力制御を行います。

"1"書き込み: TOUT信号出力ON

"0"書き込み: TOUT信号出力OFF

読み出し: 可能

PTOUTはTOUT信号の出力制御レジスタで、"1"を設定するとTOUT(TOUT)信号がR27(R26)出力ポート端子から出力され、"0"を設定するとR27はHIGH(V_{DD})レベル、R26はLOW(V_{SS})レベルとなります。TOUT出力を行う場合、データレジスタR27Dには常時"1"が設定されている必要があります。R26DはTOUT出力には影響を与えません。

イニシャルリセット時、PTOUTは"0"(出力OFF)に設定されます。

TOUT出力(R26)はマスクオプションで選択した場合にのみ可能です。

PPT0, PPT1: 00FF21H-D2, D3**PPT2, PPT3: 00FF21H-D4, D5**

プログラマブルタイマ割り込みの優先レベルを設定します。

PPT0とPPT1はタイマ0とタイマ1、PPT2とPPT3はタイマ2とタイマ3の割り込みに対応した割り込みプライオリティレジスタで、設定できる割り込み優先レベルは表5.10.10.3のとおりです。

表5.10.10.3 割り込み優先レベルの設定

PPT3 PPT1	PPT2 PPT0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

EPT0: 00FF23H-D6**EPT1: 00FF23H-D7****EPT2: 00FF26H-D6****EPT3: 00FF26H-D7**

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

EPTxはタイマxの割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。16ビットモードを選択している場合はEPT0、EPT2の設定は無効となります。

イニシャルリセット時、本レジスタは"0"(割り込み禁止)に設定されます。

FPT0: 00FF25H-D6**FPT1: 00FF25H-D7****FPT2: 00FF27H-D6****FPT3: 00FF27H-D7**

プログラマブルタイマ割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

FPTxはタイマxの割り込みに対応する割り込み要因フラグで、カウンタのアンダーフローに同期して"1"にセットされます。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

なお、16ビットモードを選択している場合は割り込み要因フラグFPT0、FPT2は"1"にセットされず、タイマ0、タイマ2の割り込みも発生しません。(16ビットモード時は、16ビットカウンタのアンダーフローによって割り込み要因フラグFPT1、FPT3が"1"にセットされます。)

イニシャルリセット時、本フラグはそれぞれ"0"にリセットされます。

5.10.11 プログラミング上の注意事項

- (1) プログラマブルタイマはレジスタPRUNxへの書き込みに対して、入力クロックの立ち下がりエッジに同期して実際にRUN/STOP状態となります。したがって、PRUNxに"0"を書き込んだ場合は、"-1"余分にカウントしたところでタイマが停止状態となります。また、このときPRUNxは実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。

図5.10.11.1にRUN/STOP制御のタイミングチャートを示します。

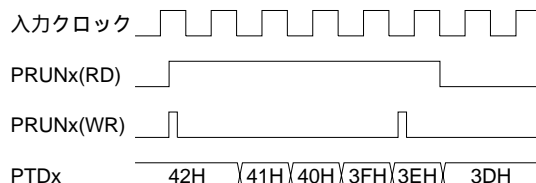


図5.10.11.1 RUN/STOP制御のタイミングチャート

なお、これについてはイベントカウンタモードは対象外です。

- (2) プログラマブルタイマがRUNしている状態 (PRUNx = "1")でSLP命令を実行した場合は、SLEEP状態からの復帰時にプログラマブルタイマが不安定な動作となります。したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前にプログラマブルタイマをSTOP状態 (PRUNx = "0")に設定してください。
また、R27(R26)出力ポート端子に不安定なクロックが出力されないようTOUT信号をディセーブル状態(PTOUT = "0")に設定してください。
- (3) TOUT信号は出力制御レジスタPTOUTとは非同期に発生していますので、PTOUTの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- (4) OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3の発振をONさせる必要があります。
なお、OSC3発振回路をONにしてから発振が安定するまでに数100μsec ~ 数10msecの時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ONの後、充分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電氣的特性"に発振開始時間の一例を示しますので参照してください。)
イニシャルリセット時、OSC3発振回路はON状態に設定されます。

- (5) 16ビットモードを選択している場合はPTD0
PTD1(PTD2 PTD3)の順にカウンタデータを読み出してください。また、PTD0とPTD1(PTD2
とPTD3)の読み出しの時間差は0.73msec以下と
してください。
- (6) プログラマブルタイマ動作中にプログラマブル
タイマ割り込み発生間隔を変更する場合、以下
の理由によりリロードデータを書き込むタイミ
ングに注意が必要です。
プログラマブルタイマは入力クロックの立ち下
がりエッジでダウンカウントを行い、そこでア
ンダーフローが発生した場合は同時に割り込み
を発生します。その後、リロードデータをカウ
ンタにセットする動作を開始し、入力クロック
の次の立ち上がりエッジでカウンタデータが確
定します(の区間)。

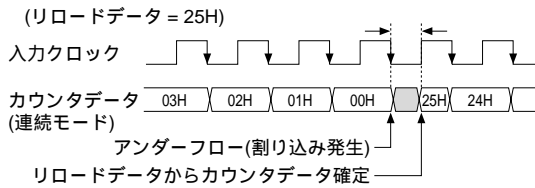


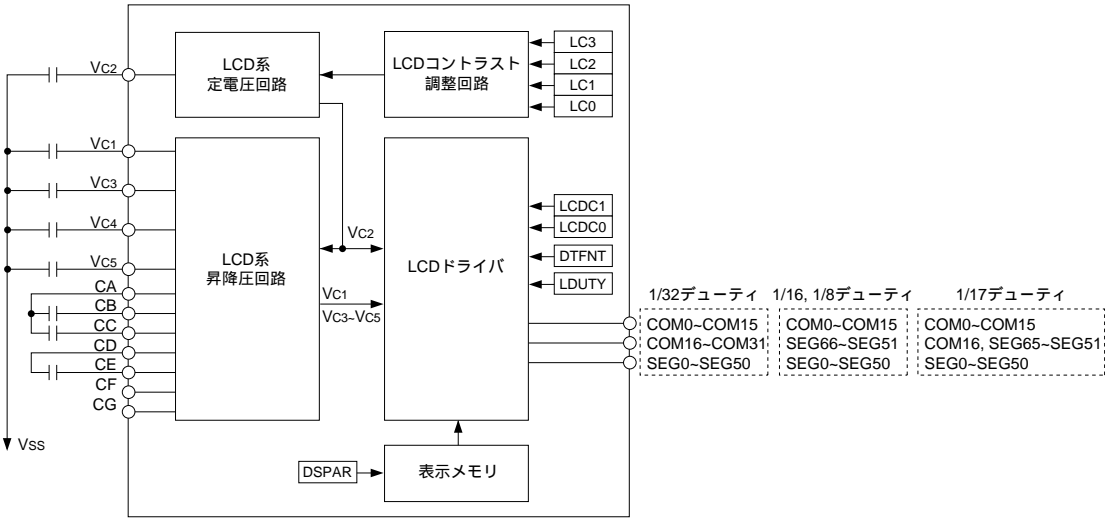
図5.10.11.2 プログラマブルタイマリロードタイミング

リロードデータを正しくカウンタにセットする
ために、割り込み発生後は の区間を含め、カ
ウンタデータが確定するまではリロードデー
タの書き換えを行わないでください。入力クロ
ックの源振にOSC1(低速クロック)を使用し、CPU
がOSC3(高速クロック)で動作している場合は、
特に注意が必要です。

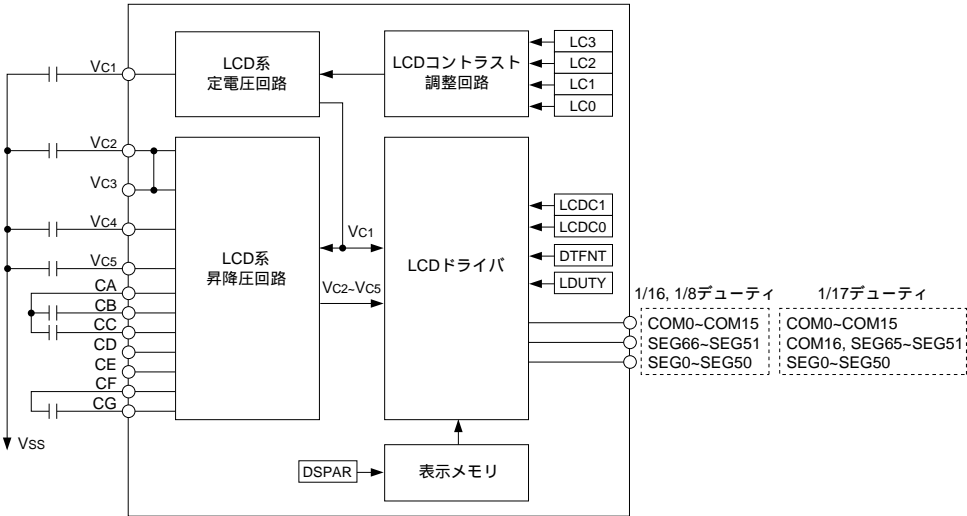
5.11 LCDコントローラ

5.11.1 LCDコントローラの構成

S1C88848は最大1,632ドット(51セグメント×32コモン)のLCDパネルが駆動可能なドットマトリクスLCDコントローラ/ドライバを内蔵しています。
図5.11.1.1にLCDコントローラと駆動電源の構成を示します。



(a) Vc2基準の場合(1/5バイアス時)



(b) Vc1基準の場合(1/4バイアス時)

図5.11.1.1 LCDコントローラと駆動電源の構成

5.11.2 マスクオプション

LCD駆動デューティ

1/32 & 1/16デューティ

1/17デューティ

1/8デューティ

SEG40～SEG50ポート仕様

SEG40	DC出力	SEG出力
SEG41	DC出力	SEG出力
SEG42	DC出力	SEG出力
SEG43	DC出力	SEG出力
SEG44	DC出力	SEG出力
SEG45	DC出力	SEG出力
SEG46	DC出力	SEG出力
SEG47	DC出力	SEG出力
SEG48	DC出力	SEG出力
SEG49	DC出力	SEG出力
SEG50	DC出力	SEG出力

LCD電源

内部電源 TYPE A
(Vc2基準, 1/5バイアス, 4.5V)
内部電源 TYPE B
(Vc2基準, 1/5バイアス, 5.5V)
内部電源 TYPE D
(Vc1基準, 1/4バイアス, 4.5V)
外部電源

LCD駆動デューティ

内蔵LCDドライバの駆動デューティを1/32と1/16のソフトウェア切り換えとするか、1/17固定あるいは1/8固定とするかをマスクオプションで選択することができます。

"1/32 & 1/16デューティ"を選択した場合はソフトウェアで駆動デューティを選択することができます。駆動デューティ選択レジスタLDUTYに"0"を書き込んだ場合は1/32デューティ、"1"を書き込んだ場合は1/16デューティがそれぞれ選択されます。

"1/17デューティ"または"1/8デューティ"を選択した場合は駆動デューティが1/17あるいは1/8に固定され、LDUTYの設定は無効となります。内蔵LCDドライバを使用しない場合はデフォルトの"1/32 & 1/16デューティ"を選択してください。

SEG40～SEG50ポート仕様

SEG40～SEG50端子をLCDセグメント出力として使用するか、汎用DC出力として使用するかを選択することができます。

汎用DC出力に設定した場合の制御方法については、"5.5 出力ポート(Rポート)"を参照してください。

LCD電源

LCD系の駆動電圧Vc1～Vc5は、内部の定電圧回路と昇降圧回路によって発生する内部電源と、外部より印加する外部電源のどちらかをマスクオプションで選択することができます。また内部電源は、パネルの特性に合わせTYPE A、TYPE BおよびTYPE Dの3種類から選択可能です。

内部電源は、小規模LCDパネル用に設計されているため、表示画素が大きいパネルの駆動には適していません。この場合は外部電源を選択し、外部より規定の電圧を入力してください。

なお、外部電源を選択した場合には1/5バイアスで使用してください。

図5.11.2.1に外部電源の回路例を示します。

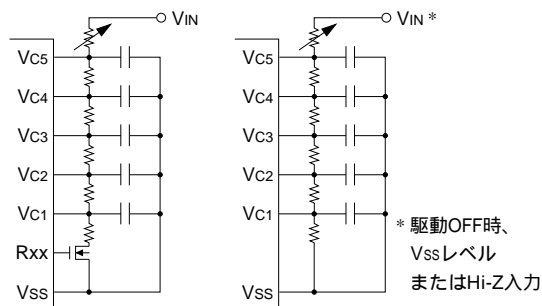


図5.11.2.1 外部電源の回路例

5.11.3 LCDドライバ

内蔵LCDドライバは駆動デューティの選択にしたがって、LCDパネルの最大駆動ドット数が変化します。

1/32デューティ選択時はコモン/セグメント兼用出力端子がコモン端子となり、51セグメント×32コモン(最大1,632ドット)のLCDパネルが駆動可能となります。

1/17デューティ選択時はコモン/セグメント兼用出力端子のうちCOM16のみがコモン端子、その他はセグメント端子となり、66セグメント×17コモン(最大1,122ドット)のLCDパネルが駆動可能となります。

1/16デューティ選択時はコモン/セグメント兼用出力端子がすべてセグメント端子となり、67セグメント×16コモン(最大1,072ドット)のLCDパネルが駆動可能となります。

1/8デューティ選択時はコモン/セグメント兼用出力端子がすべてセグメント端子となり、67セグメント×8コモン(最大536ドット)のLCDパネルが駆動可能となります。なお、1/8デューティ選択時はCOM8～COM15端子が常時OFF信号を出力する無効な端子となります。

表5.11.3.1に駆動デューティと最大表示ドット数の対応を示します。

1/5バイアス時の駆動波形はそれぞれ図5.11.3.1～図5.11.3.4に示すとおりとなります。

1/4バイアス時、V_{C2}とV_{C3}は同電位です。

表5.11.3.1 駆動デューティと最大表示ドット数の対応

マスクオプション	LDUTY	デューティ	コモン端子	セグメント端子	最大表示ドット数
1/32 & 1/16	0	1/32	COM0~COM31	SEG0~SEG50	1,632ドット
デューティ	1	1/16	COM0~COM15	SEG0~SEG66	1,072ドット
1/17デューティ	×	1/17	COM0~COM16	SEG0~SEG65	1,122ドット
1/8デューティ	×	1/8	COM0~COM7	SEG0~SEG66	536ドット

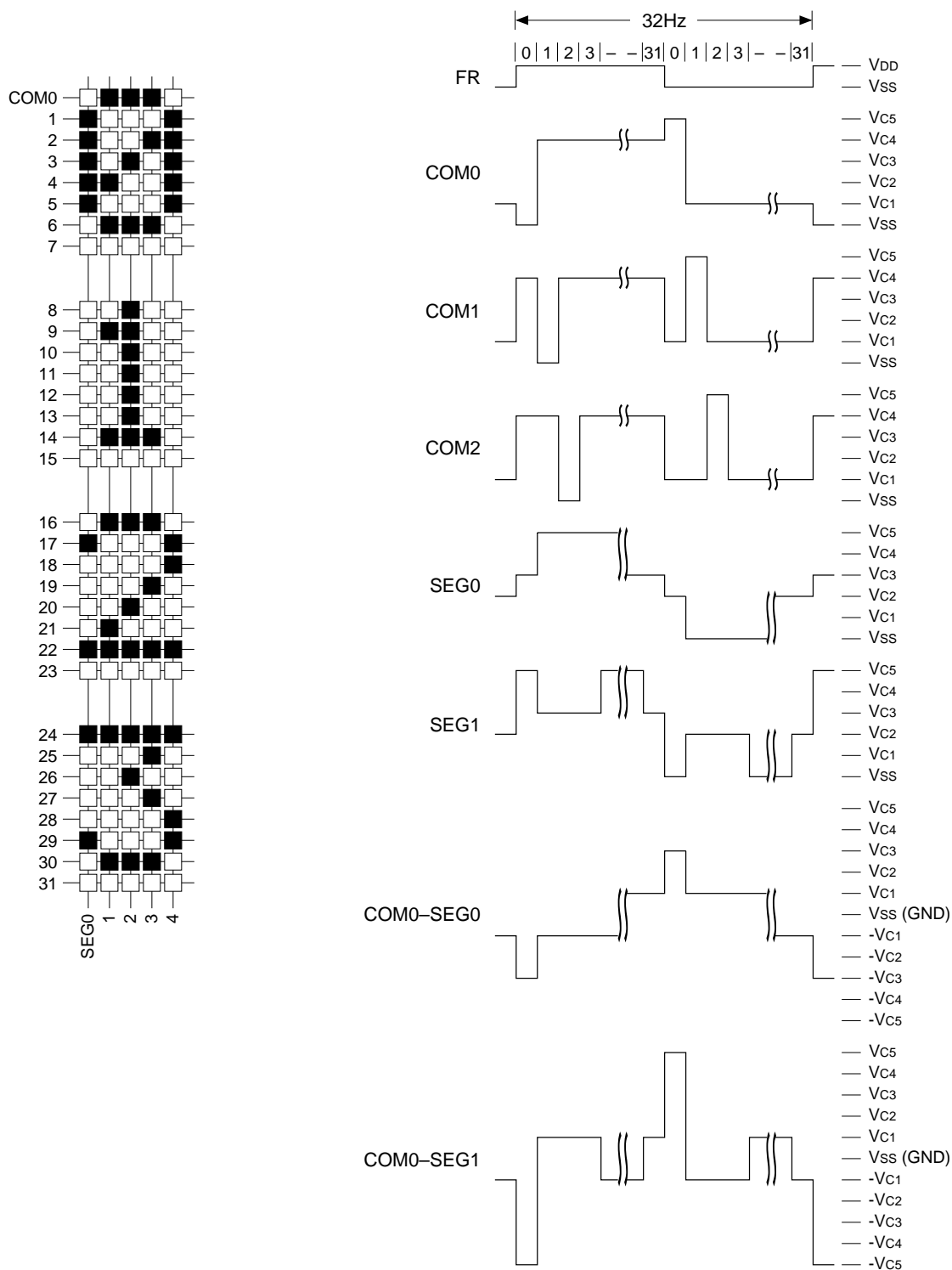


図5.11.3.1 1/32デューティの駆動波形

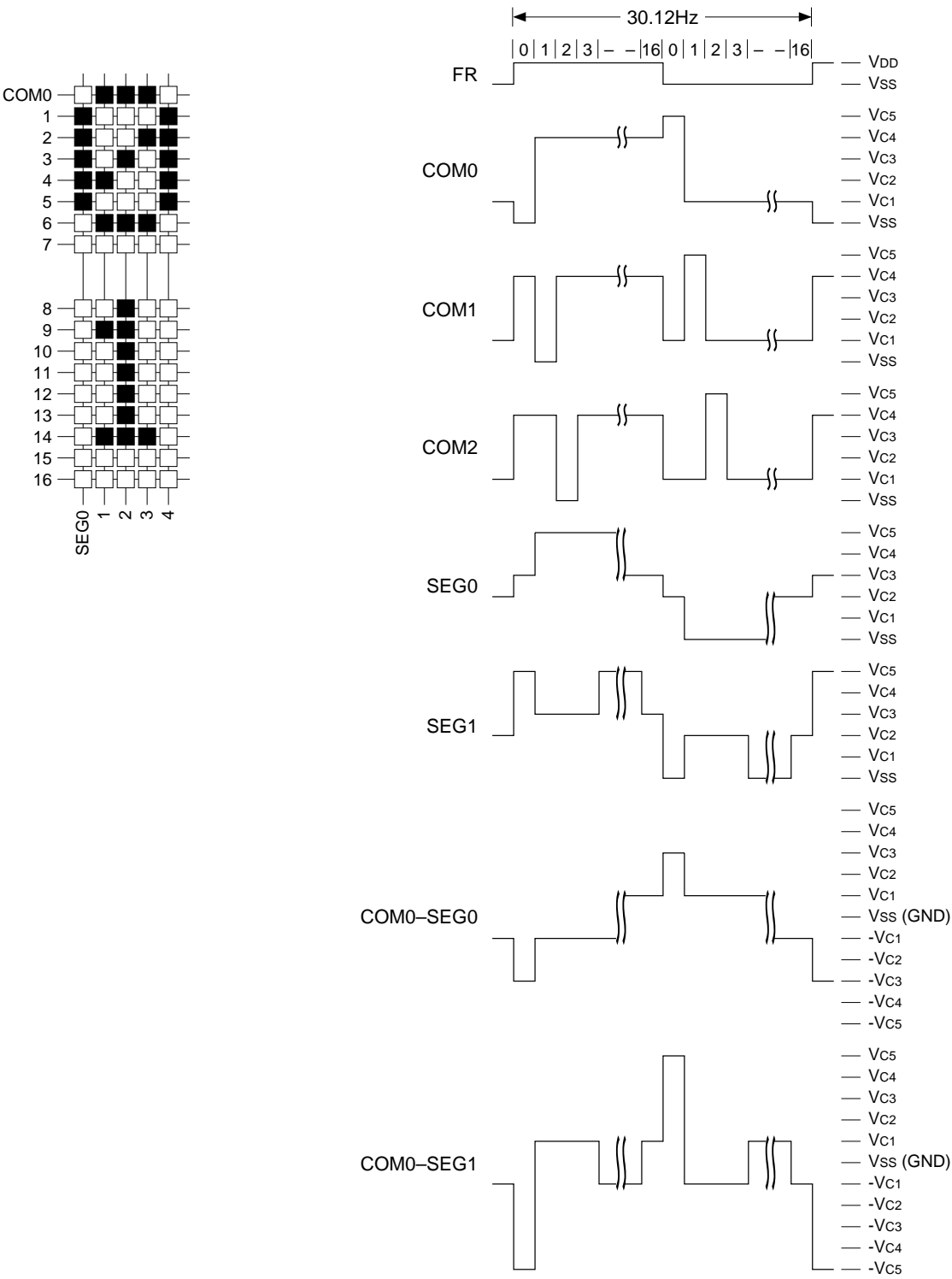


図5.11.3.2 1/17デューティの駆動波形

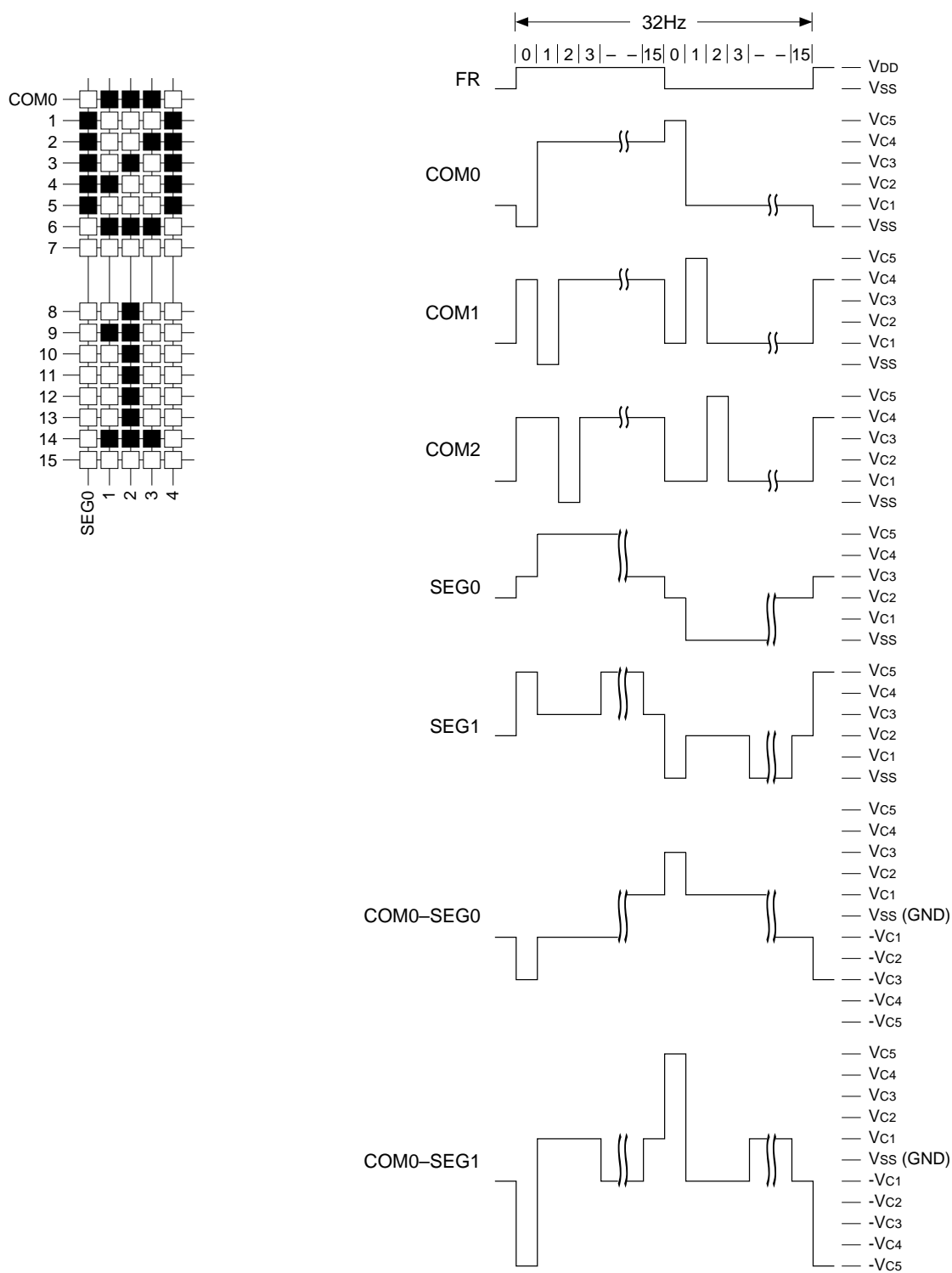


図5.11.3.3 1/16デューティの駆動波形

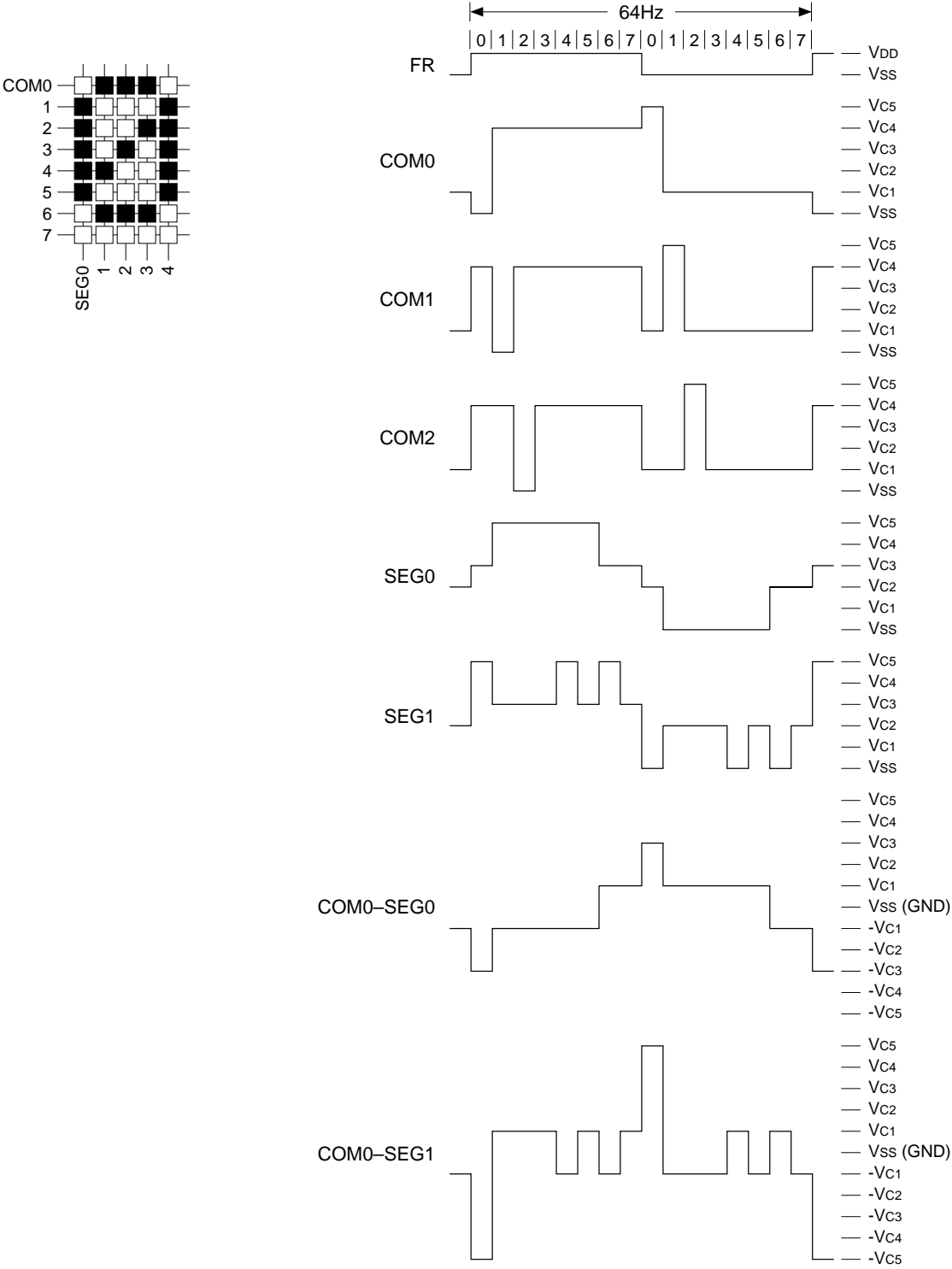


図5.11.3.4 1/8デューティの駆動波形

5.11.4 表示の制御

内蔵LCDドライバの表示状態とコントラストの調整を内蔵のLCDコントローラによって制御することができます。LCDの表示状態は表示制御レジスタLCDC0、LCDC1によって選択され、設定値と表示状態が表5.11.4.1に示すとおり対応しています。

表5.11.4.1 LCD表示制御

LCDC1	LCDC0	LCD表示
1	1	全点灯 (スタティック)
1	0	全消灯 (ダイナミック)
0	1	通常表示
0	0	駆動 OFF

全点灯および全消灯はLCDドライバが出力する駆動波形を直接制御するもので、表示メモリのデータは変更されません。また、このときのコモン端子はそれぞれ全点灯ではスタティック駆動、全消灯ではダイナミック駆動となるため、次のような用途にこの機能を使用することができます。

- (1) 全点灯はスタティック駆動による2値(V_{C5} と V_{SS})出力となるため、コモン/セグメント端子をOSC1発振周波数の周波数調整用モニタ端子として使用することができます。ただし、1/17デューティ選択時のCOM16はスタティック駆動にはなりません。
- (2) 全消灯はダイナミック駆動のため、LCD表示全体を点滅させたい場合に表示メモリのデータを変更せずに点滅を実現することができます。

駆動OFFを選択した場合はLCD駆動電源回路がOFFとなり、 $V_{C1} \sim V_{C5}$ 端子はすべて V_{SS} レベルとなります。ただし、マスクオプションで外部電源を選択した場合、駆動OFF時 $V_{C1} \sim V_{C5}$ はフローティング状態になります。

なお、レジスタLCDC0、LCDC1はSLP命令が実行されることで、自動的にハードウェアによって"0"にリセット("駆動OFF"に設定)されます。

LCDのコントラストは16段階の調整が可能です。この調整はコントラスト調整レジスタLC0～LC3によって行われ、設定値とコントラストの濃淡が表5.11.4.2に示すとおり対応しています。ただし、マスクオプションで外部電源を選択した場合、LCDコントラスト調整レジスタLC0～LC3の設定によるコントラスト調整は無効となります。また、TYPE Bの場合、 $LCx = A \sim F$ までは同じ値(コントラスト変化なし)となります。

表5.11.4.2 LCDのコントラスト調整

LC3	LC2	LC1	LC0	コントラスト
1	1	1	1	濃
1	1	1	0	↑
1	1	0	1	
⋮	⋮	⋮	⋮	
0	0	1	0	
0	0	0	1	↓
0	0	0	0	淡

注! コントラストは固定値とせず、ソフトウェアにより変えられるようにすることを推奨します。

5.11.5 表示メモリ

S1C88848は402バイトの表示メモリを内蔵しています。表示メモリはアドレスF800H～FD42H(未実装領域も含む)に割り付けられており、メモリビットとコモン/セグメント端子の対応は次に示す項目の選択状態にしたがって変化します。

- (1) 駆動デューティ
(1/32、1/17、1/16または1/8デューティ)
- (2) ドットフォント
(5×8または5×5ドット)

駆動デューティとして1/17、1/16または1/8デューティを選択した場合は2画面分のメモリを確保することができ、表示メモリ領域選択レジスタDSPARによって画面の切り換えを行うことができます。DSPARに"0"を書き込んだ場合は表示領域0、"1"を書き込んだ場合は表示領域1がそれぞれ選択されます。

また、5×5ドットフォントのLCDパネルにソフトウェアで容易にキャラクタを表示できるよう5×8ドットと5×5ドット間で別々のメモリ配置を選択することができます。

この選択はドットフォント選択レジスタDTFNTによって行われ、DTFNTに"0"を書き込んだ場合は5×8ドット、"1"を書き込んだ場合は5×5ドットがそれぞれ選択されます。

駆動デューティとドットフォントの選択にしたがった表示メモリのビットとコモン/セグメント端子の対応を図5.11.5.1～図15.11.5.8にそれぞれ示します。

LCDパネル上のドットに対応する表示メモリのビットに"1"を書き込むとそのドットがONし、"0"を書き込むとOFFします。表示メモリはリード/ライト可能なRAM構造となっているため、論理演算命令等(リードモディファイライト命令)によるビット単位の制御を行うことができます。

表示メモリ中で表示領域に割り当てられないビットは、リード/ライト可能な汎用RAMとして使用することができます。なお、表示メモリ領域に外部メモリを拡張した場合でも、この領域は外部メモリには解放されません。この領域のアクセスは常に表示メモリに対して行われます。

[illegible]

図5.11.5.2 1/32デューティ、5×5ドット表示メモリマップ

[illegible]

図5.11.5.3 1/17デューティ、5×8ドット表示メモリマップ

アドレス/データビット	0																1																2																3																4				COM																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																						
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3		4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9

図5.11.5.4 1/17デューティ、5×5ドット表示メモリマップ

[illegible]

図5.11.5.5 1/16デューティ、5×8ドット表示メモリマップ

アドレス/データビット	0																1																2																3																4				COM																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																						
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3		4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9

図5.11.5.6 1/16デューティ、5×5ドット表示メモリマップ

アドレス/データビット	0																1																2																3																4				COM																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																								
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																					
D0	表示領域0(DSPARに"0"が設定されている場合)																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																												

図5.11.5.8 1/8デューティ、5×5ドット表示メモリマップ

5.11.6 LCDコントローラの制御方法

表5.11.6.1にLCDコントローラの制御ビットを示します。

表5.11.6.1 LCDコントローラの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈			
00FF10	D7	—	—	—	—	—		読み出し時は 常時"0"			
	D6	—	—	—	—	—					
	D5	—	—	—	—	—					
	D4	LCCLK	汎用レジスタ	1	0	0	R/W	予約レジスタ			
	D3	LCFRM	汎用レジスタ			0	R/W				
	D2	DTFNT	LCDドットフォント選択	5×5ドット	5×8ドット	0	R/W				
	D1	LDUTY	LCD駆動デューティ選択	1/16デューティ	1/32デューティ	0	R/W	*1			
	D0	SGOUT	汎用レジスタ	1	0	0	R/W	予約レジスタ			
00FF11	D7	—	—	—	—	—		読み出し時は"0"			
	D6	DSPAR	LCD表示メモリ領域選択	表示領域1	表示領域0	0	R/W				
	D5	LCDC1	LCD表示制御			0	R/W	SLP命令実行時に (0, 0)にリセット			
	D4	LCDC0	LCDC1						LCDC0	LCD表示	
			1			1	全点灯				
			1			0	全消灯				
	0		1	通常表示							
	0	0	駆動Off	0	R/W						
	D3	LC3	LCDコントラスト調整			0	R/W				
D2	LC2	LC3	LC2						LC1	LC0	コントラスト
		1	1						1	1	濃
		1	1						1	0	：
		：	：						：	：	：
D1	LC1	：	：	：	：	：	0	R/W			
D0	LC0	0	0	0	0	淡	0	R/W			

*1 マスクオプションで1/8デューティまたは1/17デューティを選択している場合、本レジスタの設定は無効となります。

LDUTY: 00FF10H-D1

駆動デューティを選択します。

"1"書き込み: 1/16デューティ

"0"書き込み: 1/32デューティ

読み出し: 可能

マスクオプションで"1/32 & 1/16デューティ"を選択した場合の駆動デューティを、1/32とするか1/16とするかを選択します。

LDUTYに"0"を書き込んだ場合は1/32デューティが選択され、コモン/セグメント兼用出力端子はコモン端子に設定されます。

また、LDUTYに"1"を書き込んだ場合は1/16デューティが選択され、コモン/セグメント兼用出力端子はセグメント端子に設定されます。

マスクオプションで"1/17デューティ"または"1/8デューティ"を選択した場合、LDUTYの設定は無効となります。

駆動デューティの選択にしたがった表示メモリのビットとコモン/セグメント端子の対応については、図5.11.5.1～図5.11.5.8を参照してください。

イニシャルリセット時、LDUTYは"0"(1/32デューティ)に設定されます。

DTFNT: 00FF10H-D2

ドットフォントを選択します。

"1"書き込み: 5×5ドット

"0"書き込み: 5×8ドット

読み出し: 可能

表示メモリ上の表示領域を5×8ドットに適合させるか、5×5ドットに適合させるかを選択します。DTFNTに"0"を書き込むと5×8ドット、"1"を書き込むと5×5ドットがそれぞれ選択されます。

ドットフォントの選択にしたがった表示メモリのビットとコモン/セグメント端子の対応については、図5.11.5.1～図5.11.5.8を参照してください。イニシャルリセット時、DTFNTは"0"(5×8ドット)に設定されます。

DSPAR: 00FF11H-D6

表示領域を選択します。

"1"書き込み: 表示領域1

"0"書き込み: 表示領域0

読み出し: 可能

1/17、1/16または1/8デューティ選択時に表示メモリ中に2画面分確保される表示領域のどちらを表示させるかを選択します。DSPARに"0"を書き込むと表示領域0、"1"を書き込むと表示領域1がそれぞれ選択されます。

1/32デューティ選択時は1画面分のみの表示領域となるため、DSPARの設定は無効となります。
表示領域の選択にしたがった表示メモリのビットとコモン/セグメント端子の対応については、図5.11.5.1～図5.11.5.8を参照してください。
イニシャルリセット時、DSPARは"0"(表示領域0)に設定されます。

LCDC0, LCDC1: 00FF11H・D4, D5

LCDの表示を制御します。

表5.11.6.2 LCDの表示制御

LCDC1	LCDC0	LCD表示
1	1	全点灯 (スタティック)
1	0	全消灯 (ダイナミック)
0	1	通常表示
0	0	駆動 OFF

上記4種類の状態を表示メモリのデータを変更せずに設定することができます。
イニシャルリセット時、およびSLEEP状態のとき本レジスタは"0"(駆動OFF)に設定されます。

LC0~LC3: 00FF11H・D0~D3

LCDのコントラストを調整します。

表5.11.6.3 LCDのコントラスト調整

LC3	LC2	LC1	LC0	コントラスト
1	1	1	1	濃 ↑
1	1	1	0	
1	1	0	1	
1	1	0	0	
1	0	1	1	
1	0	1	0	
1	0	0	1	
1	0	0	0	
0	1	1	1	
0	1	1	0	
0	1	0	1	
0	1	0	0	
0	0	1	1	
0	0	1	0	
0	0	0	1	
0	0	0	0	淡 ↓

コントラストは上記16段階の調整を行うことができ、これによってV_{C1}～V_{C5}端子の駆動電圧が変化します。
イニシャルリセット時、本レジスタは"0"に設定されます。

注! ・マスクオプションで外部電源を選択した場合、本レジスタの設定は無効となります。

- ・コントラストは固定値とせず、ソフトウェアにより変えられるようにすることを推奨します。

5.11.7 プログラミング上の注意事項

表示制御レジスタLCDC0、LCDC1はSLP命令が実行されることで、自動的にハードウェアによって"0"にリセットされます。

5.12 サウンドジェネレータ

5.12.1 サウンドジェネレータの構成

S1C88848はブザー(BZ、 $\overline{\text{BZ}}$)信号を発生するサウンドジェネレータを内蔵しています。

ここで発生したBZ信号はR50出力ポート端子から出力することができます。また、マスクオプションにより、R51端子を $\overline{\text{BZ}}$ 信号(BZ反転信号)出力に設定することもできます。

ブザー信号の周波数と音量(デューティ調整)をソフトウェアによってそれぞれ8段階に設定できるほか、デューティ比制御によるデジタルエンベロープを付加することができます。また、キー操作音等を出力するための、ワンショット出力機能も内蔵しています。

図5.12.1.1にサウンドジェネレータの構成を示します。

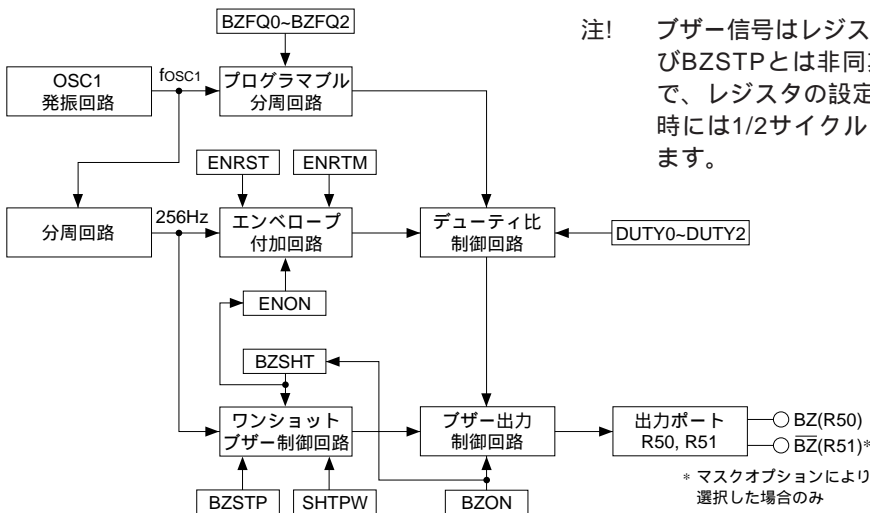


図5.12.1.1 サウンドジェネレータの構成

5.12.2 ブザー出力の制御

BZ信号はR50出力ポート端子から出力させることができます。また、マスクオプションの選択により、R51出力ポート端子から $\overline{\text{BZ}}$ 信号(BZ反転信号)を出力させることができます。出力ポートR50、R51の構成を図5.12.2.1に示します。

サウンドジェネレータで発生したブザー信号はブザー出力制御レジスタBZON、ワンショットブザートリガビットBZSHTおよびワンショットブザー強制停止ビットBZSTPによって出力制御が行われます。BZONまたはBZSHTに"1"を設定するとR50はLOW(V_{SS})レベル、R51はHIGH(V_{DD})レベルとなります。ブザー出力を行う場合、データレジスタR50Dには常時"0"が設定されている必要があります。R51Dは $\overline{\text{BZ}}$ 出力には影響を与えません。

図5.12.2.2にブザー信号の出力波形を示します。

注! ブザー信号はレジスタBZON、BZSHTおよびBZSTPとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

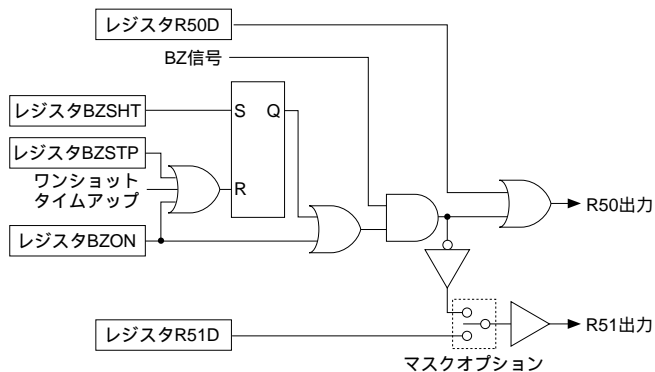
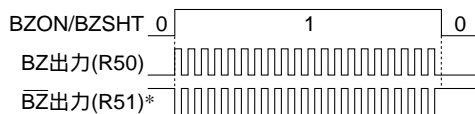


図5.12.2.1 R50とR51の構成



* マスクオプションにより選択した場合

図5.12.2.2 ブザー信号の出力波形

5.12.3 ブザー周波数と音量の設定

ブザー信号はOSC1発振回路(32.768kHz)を原振とする分周信号で、8種類の周波数を選択することができます。この選択はブザー周波数選択レジスタBZFQ0～BZFQ2によって行われ、設定値とブザー周波数とが表5.12.3.1に示すとおり対応しています。

ブザー信号のデューティ比を8種類の中から選択することで、ブザーの音量を調整することができます。この選択はデューティ比選択レジスタDUTY0～DUTY2によって行われ、設定値とデューティ比とが表5.12.3.2に示すとおり対応しています。

表5.12.3.1 ブザー周波数の設定

BZFQ2	BZFQ1	BZFQ0	ブザー周波数 (Hz)
0	0	0	4096.0
0	0	1	3276.8
0	1	0	2730.7
0	1	1	2340.6
1	0	0	2048.0
1	0	1	1638.4
1	1	0	1365.3
1	1	1	1170.3

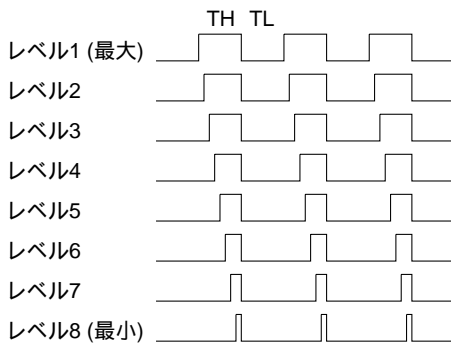
表5.12.3.2 デューティ比の設定

レベル	DUTY2	DUTY1	DUTY0	各ブザー周波数(Hz)におけるデューティ比			
				4096.0	3276.8	2730.7	2340.6
				2048.0	1638.4	1365.3	1170.3
レベル1 (最大)	0	0	0	8/16	8/20	12/24	12/28
レベル2	0	0	1	7/16	7/20	11/24	11/28
レベル3	0	1	0	6/16	6/20	10/24	10/28
レベル4	0	1	1	5/16	5/20	9/24	9/28
レベル5	1	0	0	4/16	4/20	8/24	8/28
レベル6	1	0	1	3/16	3/20	7/24	7/28
レベル7	1	1	0	2/16	2/20	6/24	6/28
レベル8 (最小)	1	1	1	1/16	1/20	5/24	5/28

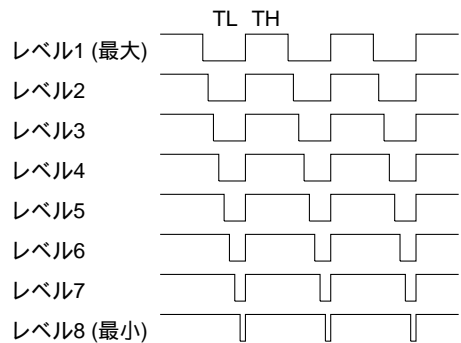
デューティ比はパルス周期に対するパルス幅の比率のことで、HIGHレベル出力時間をTH、LOWレベル出力時間をTLとした場合、BZ信号はTH/(TH+TL)、BZ信号はTL/(TH+TL)となります。DUTY0～DUTY2をすべて"0"に設定した場合はデューティ比が最大となり、音量も最大となります。逆にDUTY0～DUTY2をすべて"1"に設定した場合はデューティ比が最小となり、音量も最小となります。

なお、設定できるデューティ比は各周波数によって異なりますので、表5.12.3.2を参照してください。

注! デジタルエンベロープを使用する場合、DUTY0～DUTY2の設定は無効となります。



(a) BZ信号



(b) BZ信号

図5.12.3.1 ブザー信号波形のデューティ比

5.12.4 デジタルエンベロープ

ブザー信号に対してデューティ比制御のデジタルエンベロープを付加することができます。エンベロープは前項の表5.12.3.2と同様に、ブザー信号のデューティ比をレベル1(最大)からレベル8(最小)まで段階的に変化させることで実現されます。ブザー信号に対するエンベロープの付加は、エンベロープ制御レジスタENONに"1"を書き込むことによって行われ、"0"が書き込まれた場合はDUTY0~DUTY2によって選択されるデューティ比に固定されます。

ENONに"1"を設定してブザー出力をONにする(BZONに"1"を書き込む)と、レベル1のデューティ比のブザー信号が出力され以後レベル8まで段階的に減衰します。減衰したエンベロープは、エンベロープリセットビットENRSTに"1"を書き込むことによってレベル1まで復帰させることができます。一度レベル8まで減衰すると、ブザー出力をOFFにする(BZONに"0"を書き込む)かENRSTに"1"を書き込むまでレベル8のデューティ比は保持されます。なお、エンベロープレベル1段階あたりの変化時間はエンベロープ減衰時間選択レジスタENRTMによって125msec、または62.5msecが選択できます。図5.12.4.1にデジタルエンベロープのタイミングチャートを示します。

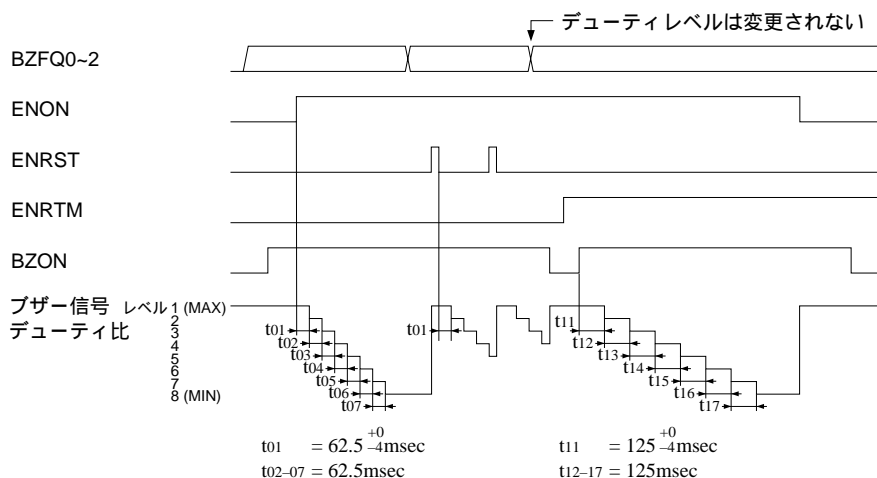


図5.12.4.1 デジタルエンベロープのタイミングチャート

5.12.5 ワンショット出力

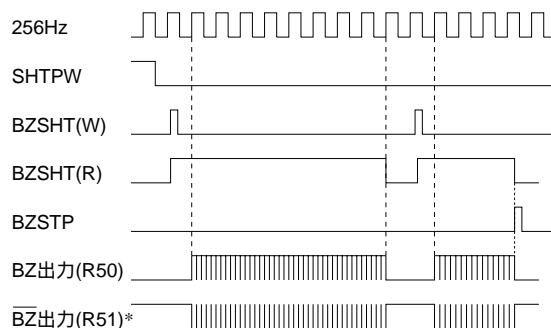
キー操作音などのように短い時間ブザー信号を出力させる場合のために、サウンドジェネレータはワンショット出力機能を内蔵しています。ブザー信号の出力時間はワンショットブザー時間幅選択レジスタSHTPWによって125msec、または31.25msecが選択できます。

ワンショットブザーの出力制御はワンショットブザートリガBZSHTに"1"を書き込むことによって行われ、このトリガ後に内部の256Hz信号に同期して出力端子からブザー信号が出力されます。設定時間経過後、出力開始時同様256Hz信号に同期して、自動的にブザー信号はOFFされます。BZSHTはステータスとして読み出しも可能で、"1"の場合はBUSY状態(ワンショット出力中)、"0"の場合はREADY状態(停止中)をそれぞれ示します。設定時間経過前にブザー信号をOFFさせたい場合は、ワンショットブザー強制停止ビットBZSTPに"1"を書き込むことで即ブザー信号を強制停止(この場合256Hzとは非同期にOFF)させることができます。

ワンショット出力は短時間のため、エンベロープを付加することはできません。(BZSHTに"1"を書き込むと自動的にENONが"0"にリセットされます。)したがって、ワンショット出力時は周波数と音量(デューティ比)の設定のみが可能となります。

通常のブザー出力中は、ワンショット出力の制御は無効となります。

図5.12.5.1にワンショット出力のタイミングチャートを示します。



* マスクオプションにより選択した場合

図5.12.5.1 ワンショット出力のタイミングチャート

5.12.6 サウンドジェネレータの制御方法

表5.12.6.1にサウンドジェネレータの制御ビットを示します。

表5.12.6.1 サウンドジェネレータの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF44	D7	—	—	—	—	—	—	読み出し時は 常時"0"
	D6	BZSTP	ワンショットブザー強制停止	強制停止	無効	—	W	
	D5	BZSHT	ワンショットブザートリガ/ステータス	Busy トリガ	Ready 無効	0	R/W	
	D4	SHTPW	ワンショットブザー時間幅選択	125msec	31.25msec	0	R/W	
	D3	ENRTM	エンベロープ減衰時間	1sec	0.5sec	0	R/W	
	D2	ENRST	エンベロープリセット	リセット	無効	—	W	読み出し時は"0"
	D1	ENON	エンベロープOn/Off制御	On	Off	0	R/W	*1
	D0	BZON	ブザー出力制御	On	Off	0	R/W	
00FF45	D7	—	—	—	—	—	—	読み出し時は"0"
	D6	DUTY2	ブザー信号デューティ比選択 DUTY2~0 ブザー周波数(Hz) 2 1 0 4096.0 3276.8 2730.7 2340.6 2048.0 1638.4 1365.3 1170.3			0	R/W	
	D5	DUTY1	0 0 0 8/16 8/20 12/24 12/28			0	R/W	
			0 0 1 7/16 7/20 11/24 11/28					
			0 1 0 6/16 6/20 10/24 10/28					
			0 1 1 5/16 5/20 9/24 9/28					
	D4	DUTY0	1 0 0 4/16 4/20 8/24 8/28			0	R/W	
			1 0 1 3/16 3/20 7/24 7/28					
			1 1 0 2/16 2/20 6/24 6/28					
			1 1 1 1/16 1/20 5/24 5/28					
	D3	—	—	—	—	—	—	読み出し時は"0"
	D2	BZFAQ2	ブザー周波数選択 BZFAQ2 BZFAQ1 BZFAQ0 周波数(Hz) 0 0 0 4096.0			0	R/W	
	D1	BZFAQ1	0 0 1 3276.8			0	R/W	
			0 1 0 2730.7					
			0 1 1 2340.6					
	D0	BZFAQ0	1 0 0 2048.0			0	R/W	
			1 0 1 1638.4					
			1 1 0 1365.3					
			1 1 1 1170.3					

*1 ワンショット出力時、"0"にリセット

BZON: 00FF44H-D0

ブザー(BZ、BZ)信号の出力制御を行います。

"1"書き込み: ブザー信号出力ON

"0"書き込み: ブザー信号出力OFF

読み出し: 可能

BZONはブザー信号の出力制御レジスタで、"1"を設定するとBZ(BZ)信号がR50(R51)出力ポート端子から出力され、"0"を設定するとR50はLOW(Vss)レベル、R51はHIGH(VDD)レベルとなります。ブザー出力を行う場合、データレジスタR50Dには常時"0"が設定されている必要があります。R51DはBZ出力には影響を与えません。

イニシャルリセット時、BZONは"0"(出力OFF)に設定されます。

BZ出力(R51)はマスクオプションで選択した場合にのみ可能です。

BZFAQ0~BZFAQ2: 00FF45H-D0~D2

ブザー信号の周波数を選択します。

表5.12.6.2 ブザー周波数の設定

BZFAQ2	BZFAQ1	BZFAQ0	ブザー周波数 (Hz)
0	0	0	4096.0
0	0	1	3276.8
0	1	0	2730.7
0	1	1	2340.6
1	0	0	2048.0
1	0	1	1638.4
1	1	0	1365.3
1	1	1	1170.3

ブザー周波数はOSC1クロックを分周した上記8種類が選択できます。

イニシャルリセット時、本レジスタは"0"(4096.0Hz)に設定されます。

DUTY0~DUTY2: 00FF45H・D4~D6

ブザー信号のデューティ比を選択します。

表5.12.6.3 デューティ比の設定

レベル	DUTY2	DUTY1	DUTY0	各ブザー周波数(Hz)におけるデューティ比			
				4096.0 2048.0	3276.8 1638.4	2730.7 1365.3	2340.6 1170.3
レベル1 (最大)	0	0	0	8/16	8/20	12/24	12/28
レベル2	0	0	1	7/16	7/20	11/24	11/28
レベル3	0	1	0	6/16	6/20	10/24	10/28
レベル4	0	1	1	5/16	5/20	9/24	9/28
レベル5	1	0	0	4/16	4/20	8/24	8/28
レベル6	1	0	1	3/16	3/20	7/24	7/28
レベル7	1	1	0	2/16	2/20	6/24	6/28
レベル8 (最小)	1	1	1	1/16	1/20	5/24	5/28

上記8種類のデューティ比を選択することによって、ブザーの音量を調整することができます。ただし、エンベロープをON(ENON="1")に設定している場合は、この設定は無効となります。

イニシャルリセット時、本レジスタは"0"(レベル1)に設定されます。

ENRST: 00FF44H・D2

エンベロープをリセットします。

"1"書き込み: リセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

エンベロープはENRSTに"1"を書き込むことによってリセットされ、デューティ比がレベル1(最大)まで復帰されます。

ENRSTへの"0"書き込みおよびエンベロープ未使用(ENON="0")時の"1"書き込みは無効となります。

ENRSTは書き込み専用のため、読み出し時は常時"0"となります。

ENON: 00FF44H・D1

ブザー信号に対するエンベロープの付加を制御します。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

ENONに"1"を書き込むことによって、ブザー信号出力時にエンベロープを付加することができます。"0"を書き込んだ場合はエンベロープは付加されず、ブザー信号はDUTY0~DUTY2によって選択されるデューティ比に固定されます。

イニシャルリセット時、およびBZSHTに"1"を書き込んだときENONは"0"(OFF)に設定されます。

ENRTM: 00FF44H・D3

ブザー信号に付加されるエンベロープの減衰時間を選択します。

"1"書き込み: 1.0sec (125msec × 7 = 875msec)

"0"書き込み: 0.5sec (62.5msec × 7 = 437.5msec)

読み出し: 可能

デジタルエンベロープの減衰時間はデューティ比の変化する時間で決定されます。ENRTMに"1"を書き込んだ場合は125msec(8Hz)単位、"0"を書き込んだ場合は62.5msec(16Hz)単位でデューティ比が変化します。

エンベロープをOFF(ENON="0")に設定している場合は、この設定は無効です。

イニシャルリセット時、ENRTMは"0"(0.5sec)に設定されます。

SHTPW: 00FF44H・D4

ワンショットブザーの出力時間幅を選択します。

"1"書き込み: 125msec

"0"書き込み: 31.25msec

読み出し: 可能

ワンショットブザーの出力時間幅は、SHTPWに"1"を書き込んだ場合が125msec、"0"を書き込んだ場合が62.5msecにそれぞれ設定されます。

イニシャルリセット時、SHTPWは"0"(31.25msec)に設定されます。

BZSHT: 00FF44H・D5

ワンショットブザー出力の制御を行います。

- "1"書き込み: トリガ
- "0"書き込み: ノーオペレーション
- "1"読み出し: BUSY
- "0"読み出し: READY

BZSHTに"1"を書き込むことによってワンショット出力回路が動作し、R50(R51)端子からBZ(BZ)信号が出力されます。このブザー出力はSHTPWによって設定した時間の経過後に自動的にOFFとなります。BZ出力を行う場合、データレジスタR50Dには常時"0"が設定されている必要があります。R51DはBZ出力には影響を与えません。

ワンショット出力は通常のブザー出力がOFF(BZON="0")の状態でのみ有効で、ON(BZON="1")状態でのトリガは無効となります。

ワンショット出力中に再トリガを行った場合は、その時点からSHTPWによって設定した時間を計測し直します。(時間延長)

ワンショット出力回路の動作状態はBZSHTを読み出すことによって確認することができ、ワンショット出力(BUSY)中は"1"、OFF(READY)時は"0"が読み出せます。

イニシャルリセット時、BZSHTは"0"(READY)に設定されます。

BZ出力(R51)はマスクオプションで選択した場合にのみ可能です。

BZSTP: 00FF44H・D6

ワンショットブザー出力の強制停止を行います。

- "1"書き込み: 強制停止
- "0"書き込み: ノーオペレーション
- 読み出し: 常時"0"

BZSTPに"1"を書き込むことによって、SHTPWによる設定時間が経過する以前にワンショットブザー出力を強制停止させることができます。

BZSTPへの"0"書き込みおよびワンショットブザー出力中以外の"1"書き込みは無効となります。

なお、BZSHTとBZSTPに同時に"1"を書き込んだ場合はBZSTPが優先され、ワンショットブザー出力は停止状態となります。

BZSTPは書き込み専用のため、読み出し時は常時"0"となります。

5.12.7 プログラミング上の注意事項

- (1) ブザー信号は出力制御レジスタBZONとは非同期に発生していますので、BZONの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- (2) ブザー信号がイネーブルの状態(BZON="1"またはBZSHT="1")でSLP命令を実行した場合は、SLEEP状態からの復帰時に出力端子に不安定なクロックが出力されます。したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前にブザー信号をディセーブル状態(BZON=BZSHT="0")に設定してください。
- (3) ワンショット出力は通常のブザー出力がOFF(BZON="0")の状態でのみ有効で、ON(BZON="1")状態でのトリガは無効となります。

5.13 リモートコントローラ(REM)

5.13.1 リモートコントローラの構成

S1C88848はリモートコントローラ(REM回路)を内蔵しており、図5.13.1.1のように赤外線リモコン用LEDとトランジスタを外部に接続することによって各種リモートコントローラが容易に実現できます。

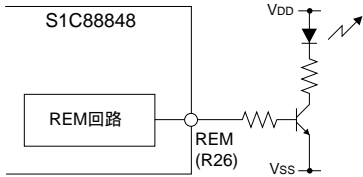


図5.13.1.1 リモコンLED制御回路

図5.13.1.2にREM回路の構成を示します。

一般に用いられる赤外線リモコンでは、図5.13.1.3に示すようなパルス変調によって送信波形を発生させ、送信する方式がとられています。まず、送信コードをパルス位相変調(PPM)方式で変調し変調信号を発生します。さらにこの変調信号によって一定周波数のキャリア(搬送波)を振幅変調(AM)して送信波形を発生します。この送信波形によって赤外線リモコン用LEDを駆動して送信を行います。本リモートコントローラでは、キャリアをキャリア発生回路で発生し、その出力のON/OFFを制御して送信波形を発生します。

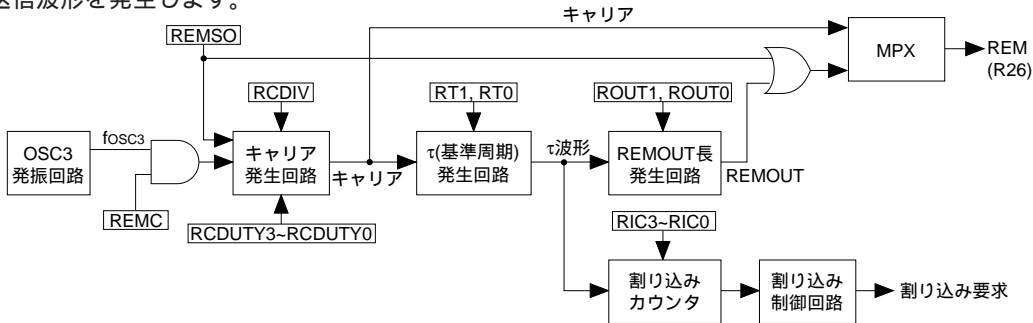


図5.13.1.2 REM回路の構成

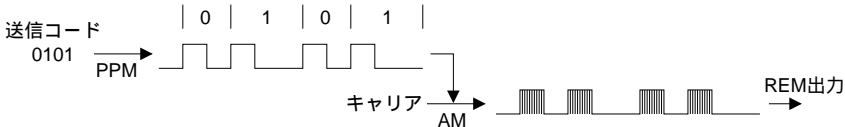


図5.13.1.3 リモコン送信方式

この送信波形はREM(R26)端子から出力させることができます。イニシャルリセット時およびリモコン出力停止時、REM(R26)端子はLOWレベル(VSS)となります。

キャリアの周波数とデューティ比はソフトウェアによって4種類の組み合わせから1つを選択することができます。(詳細は後述)

変調信号の制御(キャリアのON/OFF制御)については、本リモートコントローラは次の2種類の制御方式に対応しています。

- ・ソフトタイマ方式
- ・ハードタイマ方式

ソフトタイマ方式はキャリアのON/OFFの時間とタイミングをソフトウェアによって制御する方式で、ON/OFF時間をソフトウェアにより制御可能な範囲で任意に設定することができます。

これに対しハードタイマ方式は、 τ (基準周期)発生回路によって生成されるキャリアを分周した基準周期(τ)を基に、REMOUT長発生回路がキャリアのON/OFFタイミングと出力時間を制御します。基準周期(τ)はキャリアの分周比を4種類から、REMOUT(REM出力)期間は基準周期(τ)の0~3倍の4種類からそれぞれソフトウェアで選択することができます。ソフトタイマ方式に比べ、ON/OFF時間はある程度限られますが、割り込みが利用でき、ソフトウェアにかかる負荷は小さくなります。ソフトタイマ方式、ハードタイマ方式それぞれの特徴を表5.13.1.1に示します。

表5.13.1.1 ソフトタイマ/ハードタイマ各方式の特徴

項 目	ソフトタイマ方式	ハードタイマ方式
REM出力期間中の他のルーチンの処理	困難	可能
REM送信中の基準周期(τ)変動	原振変動およびインストラクションサイクルによる誤差	原振変動のみ
各種REM出力幅の設定	可変	数種類で固定
REM基準周期と変調波周期との関係	可変	数種類で固定
キャリア波形	デューティがON時間前後で若干乱れる	設定値どおり

5.13.2 マスクオプション

R26出力ポート仕様
R26..... DC出力 $\overline{\text{TOUT}}$ 出力 REM出力

R26出力ポートをREM出力、 $\overline{\text{TOUT}}$ 出力(TOUT反転出力)、あるいは汎用DC出力として使用するか、マスクオプションで選択できます。REM出力を選択すると、5.13.3項～5.13.5項に示す制御によってリモコン出力が行えます。DC出力、 $\overline{\text{TOUT}}$ 出力を選択した場合の制御方法については、「5.5 出力ポート(Rポート)」を参照してください。

5.13.3 キャリア(搬送波)

キャリア(搬送波)はキャリア発生回路がOSC3クロックを原振として発生します。

ソフトウェアでキャリアの周期とデューティ比の選択、キャリア発生回路のON/OFF制御が行えます。キャリアに関する制御はソフトタイマ方式、ハードタイマ方式に共通です。それぞれの方式による送信制御の前にキャリアの設定を行ってください。

キャリアの周期(OSC3クロックの分周比で選択)はREMキャリア周期設定レジスタRCDIVによって選択できます。RCDIVに"0"を書き込むとfosc3/64、"1"を書き込むとfosc3/96に設定されます。

キャリアのデューティ比はREMキャリアデューティ設定レジスタRCDUTY0～RCDUTY3によって表5.13.3.1のとおり設定することができます。RCDIVの値により、選択範囲と設定内容が異なります。RCDIV = "1"の場合、RCDUTYが"1100"以上ではREM出力しません。RCDIV = "0"の場合、RCDUTYが"0100"以上の設定は"0011"と同じとなります。

キャリアの設定はOSC3発振回路がOFFの状態でも可能です。また一度設定すると、イニシャルリセットされるまでその内容が保持されます。

注! RCDIVとRCDUTYの設定は、リモコン出力を行う前に、REM回路がOFF(REMC = "0")の状態で行ってください。REM回路がONの状態では内容を変更すると誤動作の原因になります。

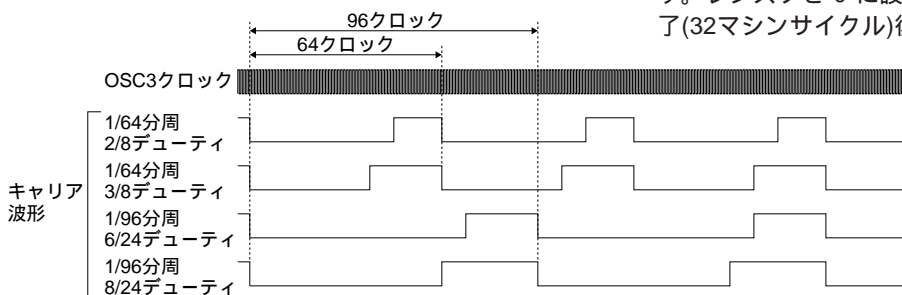


図5.13.3.1 キャリア波形

表5.13.3.1 キャリアのデューティ比

RCDUTY				キャリアデューティ比	
3	2	1	0	RCDIV = "0" (fosc3/64)	RCDIV = "1" (fosc3/96)
1	0	1	1	—	12/24
1	0	1	0	—	11/24
1	0	0	1	—	10/24
1	0	0	0	—	9/24
0	1	1	1	—	8/24
0	1	1	0	—	7/24
0	1	0	1	—	6/24
0	1	0	0	—	5/24
0	0	1	1	4/8	4/24
0	0	1	0	3/8	3/24
0	0	0	1	2/8	2/24
0	0	0	0	1/8	1/24

キャリア発生回路のON/OFFは、REMキャリアON/OFFレジスタREMCによって制御されます。REMCに"1"を書き込むことによってキャリア発生回路がONし、キャリアを発生します。REMCに"0"を書き込むと、キャリア発生回路がOFFし、キャリアの発生が停止します。

キャリアはOSC3クロックを分周して発生させます。このため、リモコン出力はOSC3発振回路がONしていることが前提となります。リモコン出力はOSC3の発振が安定している状態で開始してください。なお、OSC3発振回路をONにしてから発振が安定するまでに数100μsec～数10msecの時間を必要とします。したがって、OSC3発振ONの後、十分な待ち時間をおいてからリモコン出力を行ってください。(発振開始時間は発振子、外付け部品によって変動します。「7 電気的特性」に発振開始時間の一例を示しますので参照してください。)

イニシャルリセット時、OSC3発振回路はON状態に設定されます。

図5.13.3.1にキャリア波形を示します。

注! リモコン波形出力時以外は、不要な波形出力の防止と消費電流低減化のため、REMCは"0"に設定してください。ただし、イニシャルリセット後キャリア発生回路を初期化するためREMCは"1"に設定されています。レジスタを"0"に設定するのは初期化終了(32マシンサイクル)後としてください。

5.13.4 ソフトタイマ方式

ソフトタイマ方式は、キャリア出力のON/OFFの時間とタイミングをソフトウェアによって制御する方式です。回路的にはハードタイマ方式で使用する τ (基準周期)発生回路、REMOUT長発生回路、および割り込み制御関係の回路を使用しませんので、図5.13.4.1の構成で動作します。

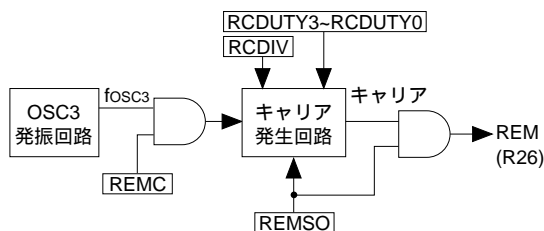


図5.13.4.1 ソフトタイマ方式のREM回路構成

キャリア出力のON/OFF制御はREM強制出力ON/OFFレジスタREMSOによって行います。REMSOに"1"を書き込むことによってキャリアがREM(R26)端子に出力され、"0"の書き込みでREM(R26)端子はLOWレベル(V_{SS})となります。ただし、REMSOに"1"を書き込む前にREMCに"1"を書き込み、キャリアを発生させておく必要があります。図5.13.4.2にソフトタイマ方式のタイミングチャートを示します。

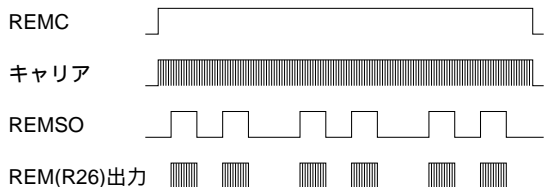


図5.13.4.2 タイミングチャート(ソフトタイマ方式)

REMSOによる出力は、ハードウェアによりキャリア発生回路と同期して行われます。

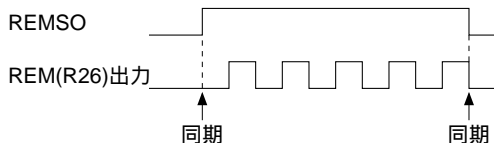


図5.13.4.3 REMSOによるキャリア出力のON/OFF

注! キャリア出力の制御は必ずREMSOで行ってください。REMSOを"1"に設定し、REMCでキャリア出力を制御することは禁止します。

5.13.5 ハードタイマ方式

とREM割り込み

ソフトタイマ方式の場合、リモコン出力処理の間CPUが占有されてしまい、他のルーチンの実行が困難になってしまいます。そこで、S1C88848では以下に述べるハードタイマ方式による制御もサポートしています。

ハードタイマ方式では、ソフトタイマ方式の際にREM強制出力ON/OFFレジスタREMSOで制御していたキャリア出力のON/OFFを τ (基準周期)発生回路およびREMOUT長発生回路によってハードウェアが行います。 τ (基準周期)はキャリアを分周して作られ、ハードタイマ方式におけるキャリアのON/OFF時間の基準として用いられます。 τ (基準周期)の分周比はソフトウェアによって4種類の中から選択します。キャリア出力のON/OFF時間も τ (基準周期)を基準としてソフトウェアで送信データ1ビットごとに設定可能です。また、この設定をキャリア出力タイミングと非同期に行えるよう、割り込み機能も設けられています。割り込みタイミングについても τ (基準周期)を基準にソフトウェアでON/OFF時間と同様に設定できます。

ハードタイマ方式の回路構成は図5.13.1.2のとおりで、すべてのREM回路が使用されます。ただし、ソフトタイマ方式でキャリア出力の制御に使用するREMSOは、"0"に固定してください。REMSOに"1"を書き込むと、ハードタイマ方式による制御にかかわらず、強制的にREM出力が行われます。

τ (基準周期)

τ (基準周期)はソフトウェアによるキャリア出力のON時間指定と割り込みタイミング指定の基準となるもので、 τ (基準周期)発生回路がキャリアを分周して発生します。この分周比はREM τ 周期設定レジスタRT1、RT0で表5.13.5.1に示す4種類の中から選択可能です。

表5.13.5.1 τ (基準周期)の設定

RT1	RT0	τ 分周比
1	1	$f_{\text{carrier}} / 32$
1	0	$f_{\text{carrier}} / 20$
0	1	$f_{\text{carrier}} / 16$
0	0	$f_{\text{carrier}} / 12$

* f_{carrier} はキャリアの周波数を表します。キャリア周波数はREMキャリア周期設定レジスタRCDIVで選択します。

実際の τ (基準周期)はOSC3発振周波数、キャリア周期の選択、および上記の選択にしたがって次の式で求めることができます。

$$\tau(\text{基準周期}) [\text{sec}] = 1 / (\text{fosc3} \times \text{DIV1} \times \text{DIV2})$$

fosc3: OSC3発振周波数

DIV1: RCDIVによるキャリア周期(分周比)の設定内容(1/64、1/96)

DIV2: RT1、RT0による τ 分周比の設定内容(1/12、1/16、1/20、1/32)

表5.13.5.2にfosc3が3.64MHz時の τ (基準周期)の例を示します。

表5.13.5.2 τ (基準周期)の例

レジスタの設定			τ (基準周期)
RCDIV	RT1	RT0	fosc3 = 3.64MHz
1	1	1	0.844msec (1184.9Hz)
1	1	0	0.527msec (1895.8Hz)
1	0	1	0.422msec (2369.8Hz)
1	0	0	0.316msec (3159.7Hz)
0	1	1	0.563msec (1777.3Hz)
0	1	0	0.352msec (2843.8Hz)
0	0	1	0.281msec (3554.7Hz)
0	0	0	0.211msec (4739.6Hz)

キャリア出力のON時間は、ここで設定する τ (基準周期)を基準として 0τ から 3τ の4種類が設定可能になりますので、その点を考慮して τ (基準周期)を設定してください。

図5.13.5.1にfcarrier/12を選択した場合の τ 波形を示します。

τ 波形はREMCが"1"の間、設定された分周比にしたがって τ (基準周期)発生回路から出力され続けます。

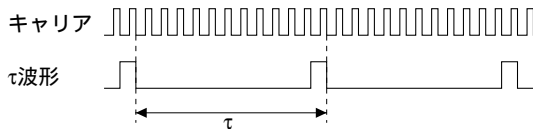


図5.13.5.1 τ 波形 (fcarrier / 12選択時)

τ (基準周期)の設定はOSC3発振回路がOFFの状態でも可能です。また一度設定すると、イニシャルリセットされるまでその内容が保持されます。

REMCを"0"に設定した場合、REM回路は τ に同期して停止します。このときのタイミングを図5.13.5.2に示します。

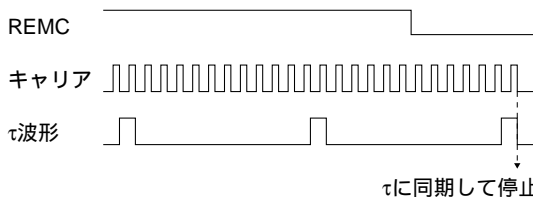


図5.13.5.2 REM回路停止タイミング

REMCを"0"に設定してからREM回路が停止するまでの時間は最大で384マシンサイクル*です。したがってREMCを"0"に設定した後、CPU動作クロックをOSC3からOSC1に切り換えたとしても、REM回路が停止するまではOSC3を止めないようにしてください。

* この時間は設定されている τ の周期で決定されます。 τ の周期を短く設定してあれば、REMC = "0"としてからREM回路が停止するまでの最大時間は短くなります。

REMC = "0"としてREM回路を停止させた後、再度REM回路を動作させた場合の τ 波形の立ち上がりのタイミングは分周比設定の1キャリア前の時点です。

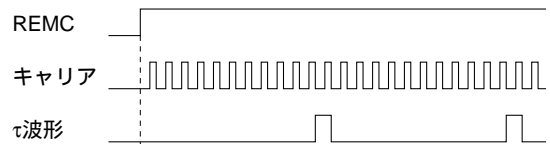


図5.13.5.3 REM回路再起動タイミング

注! RTレジスタの設定は、リモコン出力を行う前に、REM回路がOFF(REMC = "0")の状態で行ってください。REM回路がONの状態では内容を変更すると誤動作の原因になります。

キャリア出力幅の設定

ソフトタイマ方式の場合にREMSOへのデータ書き込みによって制御していたキャリア出力幅(キャリア出力のON時間)は、ハードタイマ方式の場合には前述の τ 周期のn周期分(n = 0 ~ 3)という値で送信データ1ビットごとに指定が行えるようになっています。キャリア出力のON/OFFは τ 波形に同期してハードウェアが制御しますので、ソフトウェアによるON時間の監視、OFFタイミングの指定等は不要です。

キャリア出力幅の指定は、REM出力ON時間設定レジスタROUT0、ROUT1へのデータ書き込みによって表5.13.5.3に示す4種類の中から選択できます。

表5.13.5.3 キャリア出力幅の設定

ROUT1	ROUT0	キャリア出力幅
1	1	3 τ
1	0	2 τ
0	1	1 τ
0	0	0 τ

キャリアの出力はROUTへのデータ書き込み後の τ 波形の立ち上がりエッジに同期して行われます。ROUTへ書き込んだデータは、REM回路がONの期間中、次のデータ書き込みまで保持されます。

ただし、キャリア出力の開始には、このレジスタへの書き込み信号が使用され、その直後の τ 波形の立ち上がりエッジからレジスタに設定された期間のみキャリア出力がONとなります。つまり、このレジスタのデータは書き込み後1回のみ有効です。したがって、同じデータを続けて出力させる場合も、その都度データの書き込みが必要です。

なお、イニシャルリセット時、およびREMCが"0"となった時点でROUTは"0H"に設定されます。したがって、REM回路をON(REMCに"1"書き込み)後、ROUTに"0H"以外の値を書き込むまで、REM出力はLOWレベル(V_{SS})となります。

図5.13.5.4にROUTレジスタへのデータ書き込みとキャリア出力のタイミングを示します。

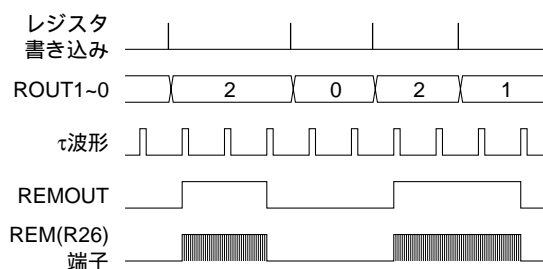


図5.13.5.4 キャリア出力タイミング

注! ROUTに設定された値は τ 波形の立ち上がりと一緒にREMOUT長発生回路に取り込まれるため、 τ 波形の立ち上がり前後の1キャリア同期区間でのレジスタ書き込みはさせていただきます。

リモートコントローラ(REM)割り込み

送信データ1ビットのキャリア出力ON時間は前述のREM出力ON時間設定レジスタROUTへのデータ書き込みによって制御され、OFF時間はその出力がOFFとなった後の同レジスタへのデータ書き込みによる次のキャリア出力開始までとなります。キャリア出力はROUTへのデータ書き込み後の τ 波形立ち上がりエッジでONとなりますので、次のデータ書き込みは現在の送信データのキャリアOFF期間の最後の τ 周期に行う必要があります。このタイミングをとるために、ハードタイマ方式では割り込み機能を使用します。

割り込みを使用することによって、CPUはタイミング監視等の処理から解放され、他の処理を実行することができます。

割り込みタイミングは、キャリア出力幅と同様に τ 周期を基準にソフトウェアで設定することができます。

割り込みタイミングは、REM割り込み発生カウンタ設定レジスタRIC0～RIC3へのデータ書き込みによって選択できます。

割り込み要求が発生するまでの時間 t_{RI} は

$$t_{RI} = t_{RIC} + (1 \pm 1 \text{ インストラクションサイクル})$$

で与えられます。

ここで t_{RIC} はレジスタRICによる設定時間($n \times \tau$)で、RICと t_{RIC} の関係は次のとおりです。

$$t_{RIC} = (RIC3 \times 2^3 + RIC2 \times 2^2 + RIC1 \times 2 + RIC0) \times \tau$$

REM割り込み発生カウンタは、REMOUT長発生回路と同様 τ 波形の立ち上がりと一緒にカウント動作を開始し、割り込み制御部はカウント終了時、 t に同期してREM割り込みを発生します。

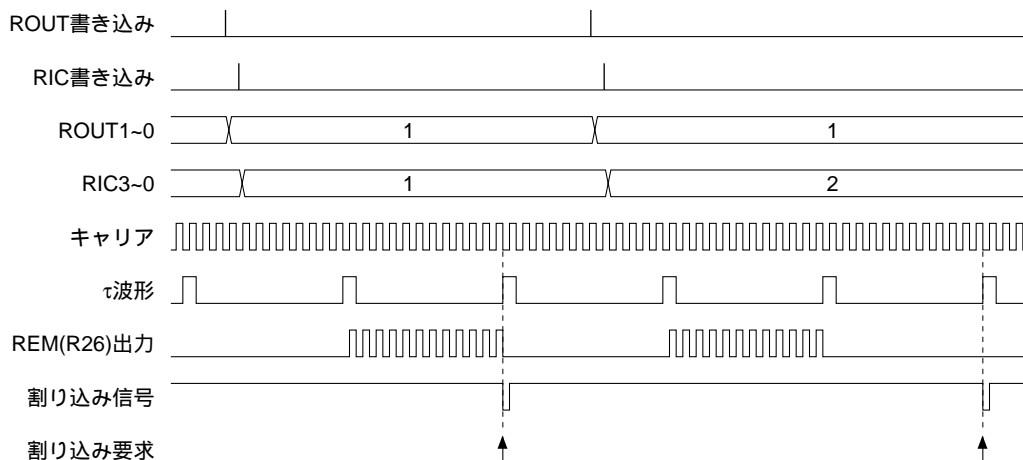


図5.13.5.5 REM割り込みタイミング

カウントは τ 波形の立ち上がりエッジで行われ、RICに設定された数の τ 波形がカウントされた時点で、その立ち上がりエッジに同期して割り込み要因フラグFREMが"1"にセットされ割り込みが発生します。この割り込みを使用して、次のキャリア出力幅と割り込みタイミングの設定を行ってください。

割り込みイネーブルレジスタEREMによって割り込みを禁止することもできます。ただし、EREMの設定にかかわらず、FREMは割り込み τ 周期のカウント終了時に"1"にセットされます。また、FREMは"1"書き込みにより"0"にリセットされます。

また、CPUに対するREM割り込みの優先レベルを割り込みプライオリティレジスタPREM0、PREM1によって任意のレベル(0~3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については"5.15 割り込みとスタンバイ状態"を参照してください。

REM割り込みの例外処理ベクタアドレスは、000024Hに設定されています。

図5.13.5.6にREM割り込み回路の構成を示します。

レジスタRICへ書き込んだデータは、REM回路がONの期間中、次のデータ書き込みまで保持されます。ただし、 τ 波形のカウントの開始には、レジスタROUTの場合と同様にRICへの書き込み信号が使用されますので、このレジスタのデータは書き込み後1回のみ有効です。したがって、同じ周期の割り込みを続けて発生させる場合も、その都度データの書き込みが必要です。イニシャルリセット時、RICは不定です。ただし、その後にRICへの書き込みが行われるまでは、割り込み τ 周期のカウントは行われません。

注! ・ 一度RICに書き込んだ後、REM割り込みが発生する前に再度RICに書き込むことは、割り込み要求発生誤動作につながりますのでさせていただきます。

・ RICに設定可能な値は、0~EHまでです。

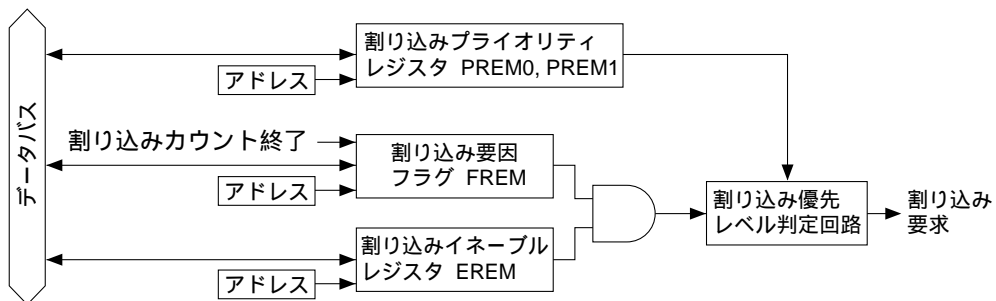


図5.13.5.6 REM割り込み回路の構成

5.13.6 リモートコントローラの制御方法

表5.13.6.1にリモートコントローラの制御ビットを示します。

表5.13.6.1(a) リモートコントローラの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF28	D7	—	—	—	—	—		読み出し時は"0"
	D6	RT1	REM τ 周期設定			0	R/W	
			RT1 RT0 分周比					
			1 1 1/32					
	D5	RT0	1 0 1/20			0	R/W	
			0 1 1/16					
			0 0 1/12					
	D4	RCDIV	REMキャリア周期設定	fosc3/96	fosc3/64	0	R/W	
	D3	RCDUTY3	REMキャリアデューティ設定			0	R/W	*2
			RCDUTYx デューティ					
00FF29			3 2 1 0 (RCDIV = 0) (RCDIV = 1)					
			1 0 1 1 — 12/24					
			1 0 1 0 — 11/24					
			1 0 0 1 — 10/24			0	R/W	
			1 0 0 0 — 9/24					
			0 1 1 1 — 8/24					
			0 1 1 0 — 7/24					
			0 1 0 1 — 6/24			0	R/W	
			0 1 0 0 — 5/24					
			0 0 1 1 4/8 4/24					
00FF2A			0 0 1 0 3/8 3/24					
			0 0 0 1 2/8 2/24			0	R/W	
			0 0 0 0 1/8 1/24					
	D7	RIC3	REM割り込み発生カウンタ設定			—	W	*1
	D6	RIC2	(0~0EH: 0~14 τ クロック)			—	W	読み出し時は
	D5	RIC1	書き込みにより1回のみ動作し、その後			—	W	常時"0"
	D4	RIC0	0FHにリセット			—	W	
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		読み出し時は
	D1	—	—	—	—	—		常時"0"
00FF2B	D0	—	—	—	—	—		
	D7	ROUT1	REM出力On時間設定(0~3: 0~3 τ)			0	R/W	*1
	D6	ROUT0	書き込みにより1回のみ動作			0	R/W	
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		読み出し時は
	D2	—	—	—	—	—		常時"0"
	D1	—	—	—	—	—		
	D0	—	—	—	—	—		
00FF2C	D7	PREM1	REMキャリア割り込み			0	R/W	
	D6	PREM0	プライオリティレジスタ	PREM1 PREM0		0	R/W	
	D5	PPT3	プログラマブルタイマ2, 3割り込み	PPT3 PPT2		0	R/W	
	D4	PPT2	プライオリティレジスタ	PPT1 PPT0 優先		0	R/W	
				PK11 PK10 レベル				
				1 1 レベル3				
				1 0 レベル2				
				0 1 レベル1				
				0 0 レベル0				
	D3	PPT1	プログラマブルタイマ0, 1割り込み			0	R/W	
00FF2D	D2	PPT0	プライオリティレジスタ			0	R/W	
	D1	PK11	K10, K11割り込み			—	R/W	
	D0	PK10	プライオリティレジスタ			0	R/W	

*1 ハードタイマ方式のみ有効。ソフトタイマ方式では書き込み禁止

*2 RCDIV = "1"の場合、RCDUTYxが"1100"以上ではREM出力しません。

RCDIV = "0"の場合、RCDUTYxが"0100"以上の設定は"0011"と同じとなります。

表5.13.6.1(b) リモートコントローラの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF26	D7	EPT3	プログラマブルタイマ3割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D6	EPT2	プログラマブルタイマ2割り込みイネーブルレジスタ			0	R/W	
	D5	EREM	REMキャリア割り込みイネーブルレジスタ			0	R/W	
	D4	REMC	REMキャリア発生On/Off	On	Off	1	R/W	
	D3	—	—	—	—	—	—	読み出し時は 常時"0"
	D2	—	—	—	—	—	—	
	D1	—	—	—	—	—	—	
	D0	—	—	—	—	—	—	
00FF27	D7	FPT3	プログラマブルタイマ3割り込み要因フラグ	(R)要因あり	(R)要因なし	0	R/W	
	D6	FPT2	プログラマブルタイマ2割り込み要因フラグ	—	—	0	R/W	
	D5	FREM	REMキャリア割り込み要因フラグ	(W)リセット	(W)無効	0	R/W	
	D4	REMSO	REM強制出力On/Off	On	Off	0	R/W	
	D3	—	—	—	—	—	—	読み出し時は 常時"0"
	D2	—	—	—	—	—	—	
	D1	—	—	—	—	—	—	
	D0	—	—	—	—	—	—	

REMC: 00FF26H・D4

キャリアの発生をON/OFFします。

- "1"書き込み: ON
 "0"書き込み: OFF
 読み出し: 可能

REMCに"1"を書き込むことによってキャリア発生回路がONとなり、"0"の書き込みでOFFします。
 イニシャルリセット時、REMCは"1"(ON)に設定されます。

REMSO: 00FF27H・D4

ソフトタイマ方式のキャリア出力を制御します。

- "1"書き込み: キャリア出力ON
 "0"書き込み: キャリア出力OFF
 読み出し: 可能

REMCが"1"に設定されている状態でREMSOに"1"を書き込むことにより、REM(R26)端子からキャリアが出力されます。REMSOに"0"を書き込むと、REM(R26)端子はLOWレベル(V_{SS})となります。
 イニシャルリセット時、REMSOは"0"(キャリア出力OFF)に設定されます。

注! REMSOはソフトタイマ方式の制御専用のレジスタです。ハードタイマ方式で制御する場合は、REMSOを"0"に固定してください。

RCDIV: 00FF28H・D4

キャリアの周期を選択します。

- "1"書き込み: fosc3/96
 "0"書き込み: fosc3/64
 読み出し: 可能

RCDIVに"1"を書き込むことによってキャリアの周波数はfosc3/96に、"0"を書き込むことによってfosc3/64に設定されます。

この設定は、必ずリモートコントローラがOFF (REMC = "0")の状態で行ってください。
 イニシャルリセット時、RCDIVは"0"(fosc3/64)に設定されます。

RCDUTY0~RCDUTY3: 00FF28H・D0~D3

キャリアのデューティ比を選択します。
 RCDUTY0~RCDUTY3によって設定されるデューティ比は、RCDIVで設定されるキャリア周期により以下ようになります。RCDIV = "1"の場合、RCDUTYが"1100"以上ではREM出力しません。
 RCDIV = "0"の場合、RCDUTYが"0100"以上の設定は"0011"と同じとなります。

表5.13.6.2 キャリアデューティ比の選択

RCDUTY				キャリアデューティ比	
3	2	1	0	RCDIV = "0" (fosc3/64)	RCDIV = "1" (fosc3/96)
1	0	1	1	—	12/24
1	0	1	0	—	11/24
1	0	0	1	—	10/24
1	0	0	0	—	9/24
0	1	1	1	—	8/24
0	1	1	0	—	7/24
0	1	0	1	—	6/24
0	1	0	0	—	5/24
0	0	1	1	4/8	4/24
0	0	1	0	3/8	3/24
0	0	0	1	2/8	2/24
0	0	0	0	1/8	1/24

この設定は、必ずリモートコントローラがOFF (REMC = "0")の状態で行ってください。
 イニシャルリセット時、RCDUTYは"0H"に設定されます。

RT0, RT1: 00FF28H-D5, D6

τ (基準周期)を選択します。

ハードタイマ方式の場合にタイミングの基準となる τ (基準周期)を以下の中から選択します。

表5.13.6.3 τ (基準周期)の設定

RT1	RT0	τ 分周比
1	1	$f_{\text{carrier}} / 32$
1	0	$f_{\text{carrier}} / 20$
0	1	$f_{\text{carrier}} / 16$
0	0	$f_{\text{carrier}} / 12$

* f_{carrier} はキャリアの周波数を表します。キャリア周波数はRCDIVで選択します。

この設定は、必ずリモートコントローラがOFF(REMC = "0")の状態で行ってください。

イニシャルリセット時、RTは"0"($f_{\text{carrier}}/12$)に設定されます。

ROUT0, ROUT1: 00FF2AH-D6, D7

ハードタイマ方式の場合に、キャリアの出力幅を選択します。

表5.13.6.4 キャリア出力幅の設定

ROUT1	ROUT0	キャリア出力幅
1	1	3τ
1	0	2τ
0	1	1τ
0	0	0τ

このレジスタへのデータ書き込みにより、その直後の τ 波形立ち上がりエッジに同期してREM(R26)端子からキャリアが、設定した τ 周期分出力されます。キャリア出力幅の設定(データ書き込み)は、送信データ1ビットごとに行う必要があります。イニシャルリセット時、およびREMCが"0"になった時点で、ROUTは"0"(0τ)に設定されます。

注! ROUTはハードタイマ方式専用です。ソフトタイマ方式の制御の場合は、誤動作を防止するため、このレジスタへのデータ書き込みは絶対に行わないでください。

RIC0~RIC3: 00FF29H-D4~D7

ハードタイマ方式のREM割り込みを発生させる τ 周期を設定します。

リモートコントローラがON(REMC = "1")している場合、このレジスタへのデータ書き込みにより、その直後の τ 波形立ち上がりエッジに同期して τ 波形のカウントが開始され、設定した τ 周期分カウントが行われた時点で割り込みが発生します。この割り込みを利用して次の送信データの設定と割り込み τ 周期の再設定を行ってください。

このレジスに"0FH"は設定しないでください。

割り込み τ 周期(データ書き込み)は、送信データ1ビットごとに行う必要があります。

RICは書き込み専用のため、読み出し時は常時"0"となります。

イニシャルリセット時、RICは不定となります。

注! RICはハードタイマ方式専用です。ソフトタイマ方式の制御の場合は、誤動作を防止するため、このレジスタへのデータ書き込みは絶対に行わないでください。

PREM0, PREM1: 00FF21H-D6, D7

REM割り込みの優先レベルを設定します。

PREM0とPREM1はREM割り込みに対応した割り込みプライオリティレジスタで、設定できる割り込み優先レベルは表5.13.6.5のとおりです。

表5.13.6.5 割り込み優先レベルの設定

PREM1	PREM0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、PREMは"0"(レベル0)に設定されます。

EREM: 00FF26H-D5

CPUに対するREM割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

EREMはリモートコントローラの割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定すると割り込みが許可され、"0"に設定すると割り込みが禁止されます。

イニシャルリセット時、EREMは"0"(割り込み禁止)に設定されます。

FREM: 00FF27H-D5

REM割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

FREMはリモートコントローラの割り込みに対応する割り込み要因フラグで、レジスタRICに設定した割り込み τ 周期が経過(τ 波形のカウントが終了)した時点で"1"にセットされます。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、FREMは"0"にリセットされます。

5.13.7 プログラミング上の注意事項

- (1) REM回路(τ クロック、REM割り込み回路)の初期化のために、以下のようなソフトウェアによるイニシャライズを行ってください。
 - イニシャルリセット解除後80マシクロック(4サイクル命令で10インストラクション)以内に、アドレス00FF28Hとアドレス00FF29Hの順でデータを書き込んでください。
 - REMC = "0"としてREM回路を停止させる場合、上記00FF29Hの書き込み後1 τ 周期以上経過してからにしてください。
 - REM割り込み回路の初期化のため、上記00FF29Hの書き込み後、2 τ 周期以上経過してからREM割り込み要因フラグFREMに"1"を書き込み、フラグをクリアしてください。
- (2) REM回路はキャリア発生回路を初期化するため、イニシャルリセット後REMC = "1"となっています。REMC = "0"とする場合は、初期化終了後(32マシサイクル後)としてください。
- (3) REMC = "0"としてもREM回路はすぐには停止しません。REM回路は τ に同期して停止しますので、それまでの間OSC3は停止しないようにしてください。
- (4) REM回路動作中、 τ の立ち上がり前後1キャリア区間でのアドレス00FF29H、00FF2AH(REM割り込み発生カウンタ、REM出力ON時間設定レジスタ)への書き込みは避けてください。
- (5) REM回路動作中、アドレス00FF28H(τ 周期設定レジスタ)への書き込みは避けてください。
- (6) ハードタイマ方式を使用時、REMSOレジスタは"0"固定としてください。
- (7) レジスタRICの設定後、REM割り込みが発生する前に再度RICの設定を行うと割り込みが誤って発生することがありますので避けてください。
- (8) REM割り込み発生カウンタへの設定可能な値は0~EHです。RICへのFHの書き込みは、誤動作の恐れがありますので避けてください。
- (9) ソフトタイマ方式とハードタイマ方式を同時には使用できません。併用する場合は、REM回路を停止させてから方式の切り換えを行ってください。

5.14 電源電圧検出(SVD)回路

5.14.1 SVD回路の構成

S1C88848にはSVD(電源電圧検出)回路が内蔵されており、ソフトウェアによって電源電圧低下を知ることができます。
SVD回路のON/OFFおよび比較電圧の設定はソフトウェアによって行えます。
図5.14.1.1にSVD回路の構成を示します。

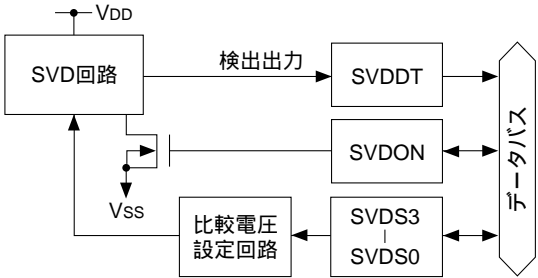


図5.14.1.1 SVD回路の構成

5.14.2 SVD動作

SVD回路はソフトウェアによって設定した比較電圧と電源電圧(VDD-VSS)の比較を行い、その結果をSVDDTラッチにセットします。このSVDDTラッチのデータを読み出すことにより、電源電圧が正常か、あるいは低下していることをソフトウェアによって判断できます。
比較電圧はレジスタSVDS3～SVDS0によって表5.14.2.1の16種類に設定できます。

表5.14.2.1 比較電圧の設定

SVDS3	SVDS2	SVDS1	SVDS0	比較電圧 (V)
1	1	1	1	4.35
1	1	1	0	4.17
1	1	0	1	4.00
1	1	0	0	3.83
1	0	1	1	3.67
1	0	1	0	3.50
1	0	0	1	3.33
1	0	0	0	3.17
0	1	1	1	3.00
0	1	1	0	2.83
0	1	0	1	2.67
0	1	0	0	2.50
0	0	1	1	2.33
0	0	1	0	2.17
0	0	0	1	2.00
0	0	0	0	1.83

SVD回路による電源電圧の検出動作はレジスタSVDONに"1"を書き込むことによって開始します。その後SVDONに"0"を書き込むことにより、SVD回路は検出結果をSVDDTラッチにセットして検出動作を停止(回路をOFF)します。
なお、安定した検出結果を得るためには少なくとも100μsec以上SVD回路をONにする必要があります。したがって、電源電圧の検出は次のシーケンスで行ってください。

1. SVDONを"1"にセット
2. 100μsec以上保持
3. SVDONを"0"にセット
4. SVDDTの読み出し

なお、SVD動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD回路をOFFに設定してください。

5.14.3 SVD回路の制御方法

表5.14.3.1にSVD回路の制御ビットを示します。

表5.14.3.1 SVD回路の制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF12	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	SVDDT	SVD検出データ	Low	Normal	0	R	
	D4	SVDON	SVD回路On/Off	On	Off	0	R/W	
	D3	SVDS3	SVD比較電圧設定 SVDS3 SVDS2 SVDS1 SVDS0 電圧			0	R/W	
			1 1 1 1 4.35V					
			1 1 1 0 4.17V					
			1 1 0 1 4.00V					
			1 1 0 0 3.83V					
			1 0 1 1 3.67V			0	R/W	
			1 0 1 0 3.50V					
			1 0 0 1 3.33V					
			1 0 0 0 3.17V					
			0 1 1 1 3.00V			0	R/W	
			0 1 1 0 2.83V					
			0 1 0 1 2.67V					
			0 1 0 0 2.50V					
	D2	SVDS2	0 0 1 1 2.33V					
			0 0 1 0 2.17V					
			0 0 0 1 2.00V			0	R/W	
			0 0 0 0 1.83V					
	D1	SVDS1	0 0 0 0 1.83V					
			0 0 0 0 1.83V					
			0 0 0 0 1.83V					
			0 0 0 0 1.83V					
	D0	SVDS0	0 0 0 0 1.83V					
			0 0 0 0 1.83V					
			0 0 0 0 1.83V					
			0 0 0 0 1.83V					

SVDS3~SVDS0: 00FF12H・D3~D0

SVDの比較電圧を表5.14.2.1に示すとおり設定します。
イニシャルリセット時、このレジスタは"0"に設定されます。

SVDON: 00FF12H・D4

SVD回路のON/OFFを制御します。

"1"書き込み: SVD回路 ON

"0"書き込み: SVD回路 OFF

読み出し: 可能

SVDONを"1"にセットすることによりSVD検出が行われ、SVDONを"0"にリセットした直後にSVDDTラッチへ検出結果が書き込まれます。

なお、安定したSVD検出結果を得るためには、少なくとも100μsec以上SVD回路をONにする必要があります。

イニシャルリセット時、このレジスタは"0"に設定されます。

SVDDT: 00FF12H・D5

SVDによる検出結果がセットされます。

"0"読み出し: 比較電圧より電源電圧(V_{DD}-V_{SS})が高い

"1"読み出し: 比較電圧より電源電圧(V_{DD}-V_{SS})が低い

書き込み: 無効

SVDONを"0"にした時点の検出結果を読み出すことができます。

イニシャルリセット時、SVDDTは"0"に設定されます。

5.14.4 プログラミング上の注意事項

- (1) SVD回路はONさせてから安定した結果が得られるまでに100μsecの時間を必要とします。このため、SVDONに"1"を書き込み後、100μsec以上経過後にSVDONに"0"を書き込んでSVDDTを読み出してください。
- (2) SVD検出動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD検出をOFFに設定してください。

5.15 割り込みとスタンバイ状態

割り込みの種類

S1C88848には以下に示す8系統18種類の割り込みが用意されています。

外部割り込み

- K00～K07入力割り込み(2種類)
- K10、K11入力割り込み(1種類)

内部割り込み

- 計時タイマ割り込み(4種類)
- ストップウォッチタイマ割り込み(3種類)
- プログラブルタイマ割り込み0、1(2種類)
- プログラブルタイマ割り込み2、3(2種類)
- シリアルインタフェース割り込み(3種類)
- リモートコントローラ割り込み(1種類)

それぞれの割り込みには、割り込み要因の発生を示す割り込み要因フラグと割り込み要求の許可/禁止を設定する割り込みイネーブルレジスタが設けられており、個々の要因に対して割り込みの発生を任意に設定することができます。また、割り込みの各系統には割り込みプライオリティレジスタが設けられており、各系統ごとに割り込み処理の優先度を3レベルまで設定することができます。

図5.15.1に割り込み回路の構成を示します。

各割り込みの詳細については、それぞれの周辺回路の説明を参照してください。

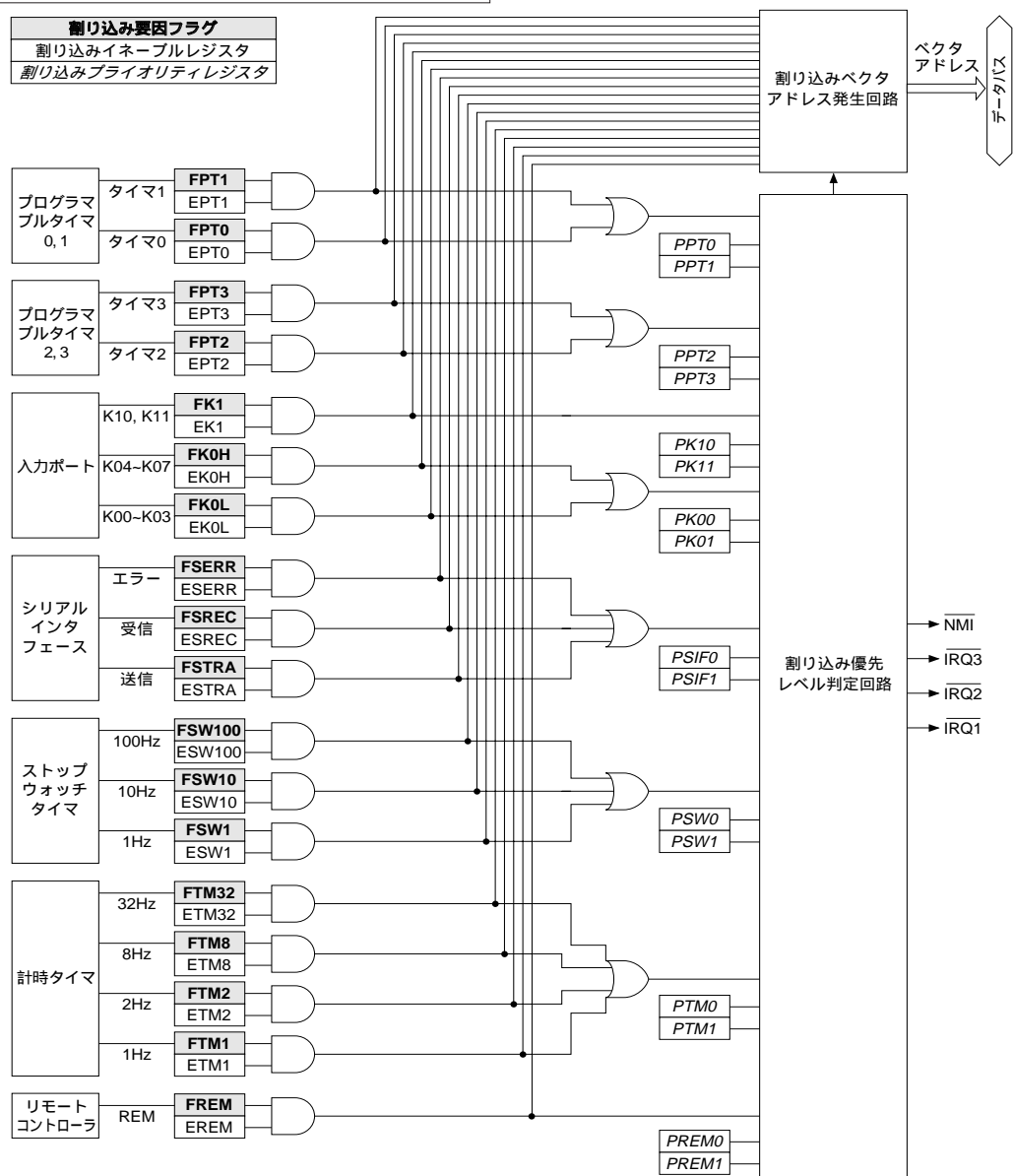


図5.15.1 割り込み回路の構成

HALT状態

プログラム上でHALT命令を実行することで、S1C88848はHALT状態となります。

HALT状態ではCPUの動作が停止するため、周辺回路のみの動作による低消費電力化が実現できます。

HALT状態の解除はイニシャルリセット、または任意の割り込み要求によって行われ、CPUは例外処理ルーチンからプログラムの実行を再開します。HALT状態と再起動のシーケンスについては、"S1C88コアCPUマニュアル"を参照してください。

SLEEP状態

プログラム上でSLP命令を実行することで、S1C88848はSLEEP状態となります。

SLEEP状態ではCPUと周辺回路が完全に動作を停止するため、HALT状態以上の低消費電力が実現できます。

SLEEP状態の解除はイニシャルリセット、または入力ポートからの入力割り込みによって行われ、128/fosc1秒の発振安定待ち時間後にCPUが再起動されます。このとき、CPUは例外処理ルーチン(入力割り込みルーチン)からプログラムの実行を再開します。

注! SLEEP状態からの再起動時は、しばらくの間発振が不安定となるため、OSC1発振回路に32.768kHzの水晶振動子を使用しても、待ち時間は必ずしも3.9msecとはなりません。

5.15.1 割り込み発生条件

先に示した8系統18種類の割り込みには、それぞれの割り込み要因の発生を示す割り込み要因フラグが設けられており、要因の発生によって"1"にセットされます。

また、各割り込み要因フラグには1対1に対応する割り込みイネーブルレジスタが設けられており、"1"を書き込むと割り込み許可、"0"を書き込むと割り込み禁止となります。

CPUは割り込み要求の許可/禁止を割り込み優先レベルによって管理しています。8系統の各割り込みには優先レベルを設定する割り込みプライオリティレジスタが設けられており、CPUはインタラプトフラグ(I0、I1)が示すレベルより高いレベルの割り込みのみ受け付けます。

したがって、実際にCPUが割り込みを受け付けるには、以下の3条件の成立が必要です。

- (1) 割り込み要因の発生によって、割り込み要因フラグが"1"にセットされている。
- (2) 先に対応する割り込みイネーブルレジスタが"1"に設定されている。
- (3) 先に対応する割り込みプライオリティレジスタが、インタラプトフラグ(I0、I1)より高い割り込み優先レベルに設定されている。

CPUは各命令の第1オペコードフェッチサイクルの最初で割り込みのサンプリングを行います。ここで上記の条件が成立していると、CPUは例外処理に移行します。

例外処理のシーケンスについては"S1C88コアCPUマニュアル"を参照してください。

5.15.2 割り込み要因フラグ

割り込みを発生する要因と割り込み要因フラグの対応を表5.15.2.1に示します。

それぞれの割り込み要因の発生によって、対応する割り込み要因フラグが"1"にセットされます。ソフトウェアによってこのフラグを読み出すことで、発生した割り込み要因の種類を確認することができます。

表5.15.2.1 割り込み要因

割り込み要因	割り込み要因フラグ
プログラムブルタイム1のアンダーフロー	FPT1 00FF25 D7
プログラムブルタイム0のアンダーフロー	FPT0 00FF25 D6
プログラムブルタイム3のアンダーフロー	FPT3 00FF27 D7
プログラムブルタイム2のアンダーフロー	FPT2 00FF27 D6
K10、K11入力と入力比較レジスタKCP10、KCP11との不一致	FK1 00FF25 D5
K04～K07入力と入力比較レジスタKCP04～KCP07との不一致	FK0H 00FF25 D4
K00～K03入力と入力比較レジスタKCP00～KCP03との不一致	FK0L 00FF25 D3
シリアルインタフェースの受信エラー (調歩同期式モード時)	FSERR 00FF25 D2
シリアルインタフェースの受信完了	FSREC 00FF25 D1
シリアルインタフェースの送信完了	FSTRA 00FF25 D0
ストップウォッチタイマ100Hz信号の立ち下がりエッジ	FSW100 00FF24 D6
ストップウォッチタイマ10Hz信号の立ち下がりエッジ	FSW10 00FF24 D5
ストップウォッチタイマ1Hz信号の立ち下がりエッジ	FSW1 00FF24 D4
計時タイマ32Hz信号の立ち下がりエッジ	FTM32 00FF24 D3
計時タイマ8Hz信号の立ち下がりエッジ	FTM8 00FF24 D2
計時タイマ2Hz信号の立ち下がりエッジ	FTM2 00FF24 D1
計時タイマ1Hz信号の立ち下がりエッジ	FTM1 00FF24 D0
リモートコントローラ出力制御	FREM 00FF27 D5

"1"にセットされた割り込み要因フラグは、"1"を書き込むことで"0"にリセットされます。
イニシャルリセット時、割り込み要因フラグは"0"にリセットされます。

注! 割り込み発生後、割り込み要因フラグをリセットせずにRETE命令を実行すると、再度同一の割り込みが発生してしまいます。
したがって、割り込み処理ルーチン内では、そのルーチンに対応する割り込み要因フラグのリセット("1"書き込み)を必ず行ってください。

5.15.3 割り込みイネーブルレジスタ

割り込みイネーブルレジスタは各割り込み要因フラグに1対1で対応しており、個々に割り込み要求の許可/禁止を設定することができます。

割り込みイネーブルレジスタに"1"を書き込むと割り込み要求が許可され、"0"を書き込むと禁止されます。このレジスタは読み出しも可能で、その時点の設定状態を確認することもできます。

イニシャルリセット時、割り込みイネーブルレジスタは"0"に設定され、割り込み禁止状態となります。
表5.15.3.1に割り込みイネーブルレジスタと割り込み要因フラグの対応を示します。

表5.15.3.1 割り込みイネーブルレジスタと割り込み要因フラグ

割り込み	割り込み要因フラグ	割り込みイネーブルレジスタ
プログラマブルタイマ1	FPT1 (00FF25 D7)	EPT1 (00FF23 D7)
プログラマブルタイマ0	FPT0 (00FF25 D6)	EPT0 (00FF23 D6)
プログラマブルタイマ3	FPT3 (00FF27 D7)	EPT3 (00FF26 D7)
プログラマブルタイマ2	FPT2 (00FF27 D6)	EPT2 (00FF26 D6)
K10、K11入力	FK1 (00FF25 D5)	EK1 (00FF23 D5)
K04 ~ K07入力	FK0H (00FF25 D4)	EK0H (00FF23 D4)
K00 ~ K03入力	FK0L (00FF25 D3)	EK0L (00FF23 D3)
シリアルI/F受信エラー	FSERR (00FF25 D2)	ESERR (00FF23 D2)
シリアルI/F受信完了	FSREC (00FF25 D1)	ESREC (00FF23 D1)
シリアルI/F送信完了	FSTRA (00FF25 D0)	ESTRA (00FF23 D0)
ストップウォッチタイマ100Hz	FSW100 (00FF24 D6)	ESW100 (00FF22 D6)
ストップウォッチタイマ10Hz	FSW10 (00FF24 D5)	ESW10 (00FF22 D5)
ストップウォッチタイマ1Hz	FSW1 (00FF24 D4)	ESW1 (00FF22 D4)
計時タイマ32Hz	FTM32 (00FF24 D3)	ETM32 (00FF22 D3)
計時タイマ8Hz	FTM8 (00FF24 D2)	ETM8 (00FF22 D2)
計時タイマ2Hz	FTM2 (00FF24 D1)	ETM2 (00FF22 D1)
計時タイマ1Hz	FTM1 (00FF24 D0)	ETM1 (00FF22 D0)
リモートコントローラ	FREM (00FF27 D5)	EREM (00FF26 D5)

表5.15.4.1 割り込みプライオリティレジスタ

割り込み	割り込みプライオリティレジスタ
プログラマブルタイマ0、1	PPT0、PPT1 (00FF21 D2、D3)
プログラマブルタイマ2、3	PPT2、PPT3 (00FF21 D4、D5)
K10、K11入力	PK10、PK11 (00FF21 D0、D1)
K00 ~ K07入力	PK00、PK01 (00FF20 D6、D7)
シリアルインタフェース	PSIF0、PSIF1 (00FF20 D4、D5)
ストップウォッチタイマ	PSW0、PSW1 (00FF20 D2、D3)
計時タイマ	PTM0、PTM1 (00FF20 D0、D1)
リモートコントローラ	PREM0、PREM1 (00FF21 D6、D7)

5.15.4 割り込みプライオリティ

レジスタと割り込み優先レベル

割り込みの各系列には、表5.15.4.1に示す割り込みプライオリティレジスタが設けられており、CPUに対する割り込みの優先レベル(0~3)を任意に設定することができます。

これによって、割り込みの優先処理順位をシステムに適合させた多重割り込みが可能となります。

各系列間の割り込み優先レベルは、割り込みプライオリティレジスタによって任意に3レベルまで設定できます。ただし、複数の系列を同一の優先レベルに設定した場合は、デフォルトの優先順位にしたがって処理されます。

表5.15.4.2 割り込み優先レベルの設定

P*1	P*0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、割り込みプライオリティレジスタはすべて"0"に設定され、各割り込みはレベル0となります。

なお、各系列内での優先レベルはあらかじめ決められており、これを変更することはできません。

CPUはインタラプトフラグ(I0、I1)の設定によって各割り込みをマスクすることができます。各系列の割り込み優先レベルとインタラプトフラグの関係は表5.15.4.3のとおりで、CPUはインタラプトフラグが示すレベルより高い優先レベルの割り込みのみ受け付けます。このうち、レベル4の優先度を持っているNMI(ウォッチドッグタイマ)は、インタラプトフラグの設定にかかわらず常時受け付けられます。

表5.15.4.3 CPUの割り込みマスク設定

I1	I0	受け付け可能な割り込み
1	1	レベル4 (NMI)
1	0	レベル4、レベル3 (IRQ3)
0	1	レベル4、レベル3、レベル2 (IRQ2)
0	0	レベル4、レベル3、レベル2、レベル1 (IRQ1)

割り込みが受け付けられた後は、表5.15.4.4に示すとおりインタラプトフラグが受け付けた割り込みと同じレベルに書き換えられます。ただし、NMI受け付け後のインタラプトフラグの書き換えはレベル3(I0=I1="1")となります。

表5.15.4.4 割り込み受け付け後のインタラプトフラグ

受け付けた割り込みの優先レベル	I1	I0
レベル4 (NMI)	1	1
レベル3 (IRQ3)	1	1
レベル2 (IRQ2)	1	0
レベル1 (IRQ1)	0	1

インタラプトフラグは、割り込み処理ルーチンからの復帰時に、設定が元の値に戻されます。したがって、3レベルまでの多重割り込みは、割り込みプライオリティレジスタへの初期設定のみで制御することができます。また、それ以上の多重化は、インタラプトフラグと割り込みイネーブルレジスタを割り込み処理ルーチン内で書き換えることで実現できます。

注! 割り込み発生後、割り込み要因フラグをリセットする前にインタラプトフラグを書き換える(低い優先レベルに設定する)と、再度同一の割り込みが発生してしまいますので注意してください。

5.15.5 例外処理ベクタ

CPUが割り込みを受け付けると、実行中の命令の終了後に例外処理を開始します。例外処理ではプログラム分岐のために、以下の操作が行われます。

- (1) ミニマムモードではプログラムカウンタ(PC)とシステムコンディションフラグ(SC)を、マキシマムモードではコードバンクレジスタ(CB)とPC、およびSCをスタックに退避。
- (2) 各例外処理(割り込み)要因に対応する例外処理ベクタから分岐先アドレスを読み出し、PCにセット。

例外処理ベクタは、各例外(割り込み)処理ルーチンの先頭アドレスを格納している2バイトのデータで、ベクタアドレスと例外処理要因は表5.15.5.1のとおり対応しています。

表5.15.5.1 ベクタアドレスと例外処理要因の対応

ベクタ アドレス	例外処理要因	優先 順位
000000H	リセット	高い
000002H	ゼロ除算	
000004H	ウォッチドッグタイマ (NMI)	
000006H	プログラマブルタイマ1割り込み	
000008H	プログラマブルタイマ0割り込み	
00000AH	K10, K11入力割り込み	
00000CH	K04 ~ K07入力割り込み	
00000EH	K00 ~ K03入力割り込み	
000010H	シリアルI/Fエラー割り込み	
000012H	シリアルI/F受信完了割り込み	
000014H	シリアルI/F送信完了割り込み	
000016H	ストップウォッチタイマ100Hz割り込み	
000018H	ストップウォッチタイマ10Hz割り込み	
00001AH	ストップウォッチタイマ1Hz割り込み	
00001CH	計時タイマ32Hz割り込み	
00001EH	計時タイマ8Hz割り込み	
000020H	計時タイマ2Hz割り込み	
000022H	計時タイマ1Hz割り込み	
000024H	リモコンキャリア出力割り込み	
000026H	プログラマブルタイマ3割り込み	
000028H	プログラマブルタイマ2割り込み	低い
00002AH	システム予約 (使用不可)	
00002CH	ソフトウェア割り込み	
：		なし
0000FEH		

注! 例外処理ベクタは2バイトに固定されたデータで、分岐先のバンクアドレスを指定することはできません。したがって、複数のバンクから共通の例外処理ルーチンに分岐させるためには、例外処理ルーチンの先頭部分をコモンエリア内(000000H ~ 007FFFH)に記述しておく必要があります。

5.15.6 割り込みの制御

表5.15.6.1に割り込みの制御ビットを示します。

表5.15.6.1(a) 割り込みの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF20	D7	PK01	K00 ~ K07割り込み	PK01 PK00 PSIF1 PSIF0 PSW1 PSW0 PTM1 PTM0 1 1 1 0 0 1 0 0	優先 レベル レベル3 レベル2 レベル1 レベル0	0	R/W	
	D6	PK00	プライオリティレジスタ			0	R/W	
	D5	PSIF1	シリアルインタフェース割り込み			0	R/W	
	D4	PSIF0	プライオリティレジスタ			0	R/W	
	D3	PSW1	ストップウォッチタイマ割り込み			0	R/W	
	D2	PSW0	プライオリティレジスタ			0	R/W	
	D1	PTM1	計時タイマ割り込み			0	R/W	
	D0	PTM0	プライオリティレジスタ			0	R/W	
00FF21	D7	PREM1	REMキャリア割り込み	PREM1 PREM0 PPT3 PPT2 PPT1 PPT0 PK11 PK10 1 1 1 0 0 1 0 0	優先 レベル レベル3 レベル2 レベル1 レベル0	0	R/W	
	D6	PREM0	プライオリティレジスタ			0	R/W	
	D5	PPT3	プログラマブルタイマ2, 3割り込み			0	R/W	
	D4	PPT2	プライオリティレジスタ			0	R/W	
	D3	PPT1	プログラマブルタイマ0, 1割り込み			0	R/W	
	D2	PPT0	プライオリティレジスタ			0	R/W	
	D1	PK11	K10, K11割り込み			0	R/W	
	D0	PK10	プライオリティレジスタ			0	R/W	
00FF22	D7	—	—	—	—	—		読み出し時は"0"
	D6	ESW100	ストップウォッチ100Hz割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D5	ESW10	ストップウォッチ10Hz割り込みイネーブルレジスタ			0	R/W	
	D4	ESW1	ストップウォッチ1Hz割り込みイネーブルレジスタ			0	R/W	
	D3	ETM32	計時タイマ32Hz割り込みイネーブルレジスタ			0	R/W	
	D2	ETM8	計時タイマ8Hz割り込みイネーブルレジスタ			0	R/W	
	D1	ETM2	計時タイマ2Hz割り込みイネーブルレジスタ			0	R/W	
	D0	ETM1	計時タイマ1Hz割り込みイネーブルレジスタ			0	R/W	
00FF23	D7	EPT1	プログラマブルタイマ1割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D6	EPT0	プログラマブルタイマ0割り込みイネーブルレジスタ			0	R/W	
	D5	EK1	K10, K11割り込みイネーブルレジスタ			0	R/W	
	D4	EK0H	K04 ~ K07割り込みイネーブルレジスタ			0	R/W	
	D3	EK0L	K00 ~ K03割り込みイネーブルレジスタ			0	R/W	
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブルレジスタ			0	R/W	
	D1	ESREC	シリアルI/F(受信)割り込みイネーブルレジスタ			0	R/W	
	D0	ESTRA	シリアルI/F(送信)割り込みイネーブルレジスタ			0	R/W	
00FF24	D7	—	—	—	—	—		読み出し時は"0"
	D6	FSW100	ストップウォッチ100Hz割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W	
	D5	FSW10	ストップウォッチ10Hz割り込み要因フラグ			0	R/W	
	D4	FSW1	ストップウォッチ1Hz割り込み要因フラグ			0	R/W	
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ			0	R/W	
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ	(W) リセット	(W) 無効	0	R/W	
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ			0	R/W	
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ			0	R/W	
00FF25	D7	FPT1	プログラマブルタイマ1割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W	
	D6	FPT0	プログラマブルタイマ0割り込み要因フラグ			0	R/W	
	D5	FK1	K10, K11割り込み要因フラグ			0	R/W	
	D4	FK0H	K04 ~ K07割り込み要因フラグ			0	R/W	
	D3	FK0L	K00 ~ K03割り込み要因フラグ	(W) リセット	(W) 無効	0	R/W	
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ			0	R/W	
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ			0	R/W	
	D0	FS TRA	シリアルI/F(送信)割り込み要因フラグ			0	R/W	

表5.15.6.1(b) 割り込みの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF26	D7	EPT3	プログラブルタイマ3割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D6	EPT2	プログラブルタイマ2割り込みイネーブルレジスタ			0	R/W	
	D5	EREM	REMキャリア割り込みイネーブルレジスタ			0	R/W	
	D4	REMC	REMキャリア発生On/Off	On	Off	1	R/W	
	D3	—	—	—	—	—	—	読み出し時は 常時"0"
	D2	—	—	—	—	—	—	
	D1	—	—	—	—	—	—	
	D0	—	—	—	—	—	—	
00FF27	D7	FPT3	プログラブルタイマ3割り込み要因フラグ	(R)要因あり	(R)要因なし	0	R/W	
	D6	FPT2	プログラブルタイマ2割り込み要因フラグ	(R)要因あり	(R)要因なし	0	R/W	
	D5	FREM	REMキャリア割り込み要因フラグ	(W)リセット	(W)無効	0	R/W	
	D4	REMSO	REM強制出力On/Off	On	Off	0	R/W	
	D3	—	—	—	—	—	—	読み出し時は 常時"0"
	D2	—	—	—	—	—	—	
	D1	—	—	—	—	—	—	
	D0	—	—	—	—	—	—	

各ビットの設定内容および制御方法については、それぞれの周辺回路の説明を参照してください。

5.15.7 プログラミング上の注意事項

- (1) 割り込み発生後、割り込み要因フラグをリセットせずにRETE命令を実行すると、再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、そのルーチンに対応する割り込み要因のリセット("1"書き込み)を必ず行ってください。
- (2) 割り込み発生後、割り込み要因フラグをリセットする前にインタラプトフラグ(I0、I1)を書き換える(低い優先レベルに設定する)と、再度同一の割り込みが発生してしまいますので注意してください。
- (3) 例外処理ベクタは2バイトに固定されたデータで、分岐先のバンクアドレスを指定することはできません。したがって、複数のバンクから共通の例外処理ルーチンに分岐させるためには、例外処理ルーチンの先頭部分をコモンエリア内(000000H～007FFFH)に記述しておく必要があります。
- (4) $\overline{\text{NMI}}$ 割り込み発生から2msec以内はSLP命令を実行しないでください。(fosc1=32.768kHzの場合)

5.16 低消費電力化のための注意事項

S1C88848は、電力を多く消費する回路系を制御レジスタによってON/OFFすることができます。
必要最小限の回路を、この制御レジスタによって動作させるプログラムとすることで、低消費電力化が実現できます。

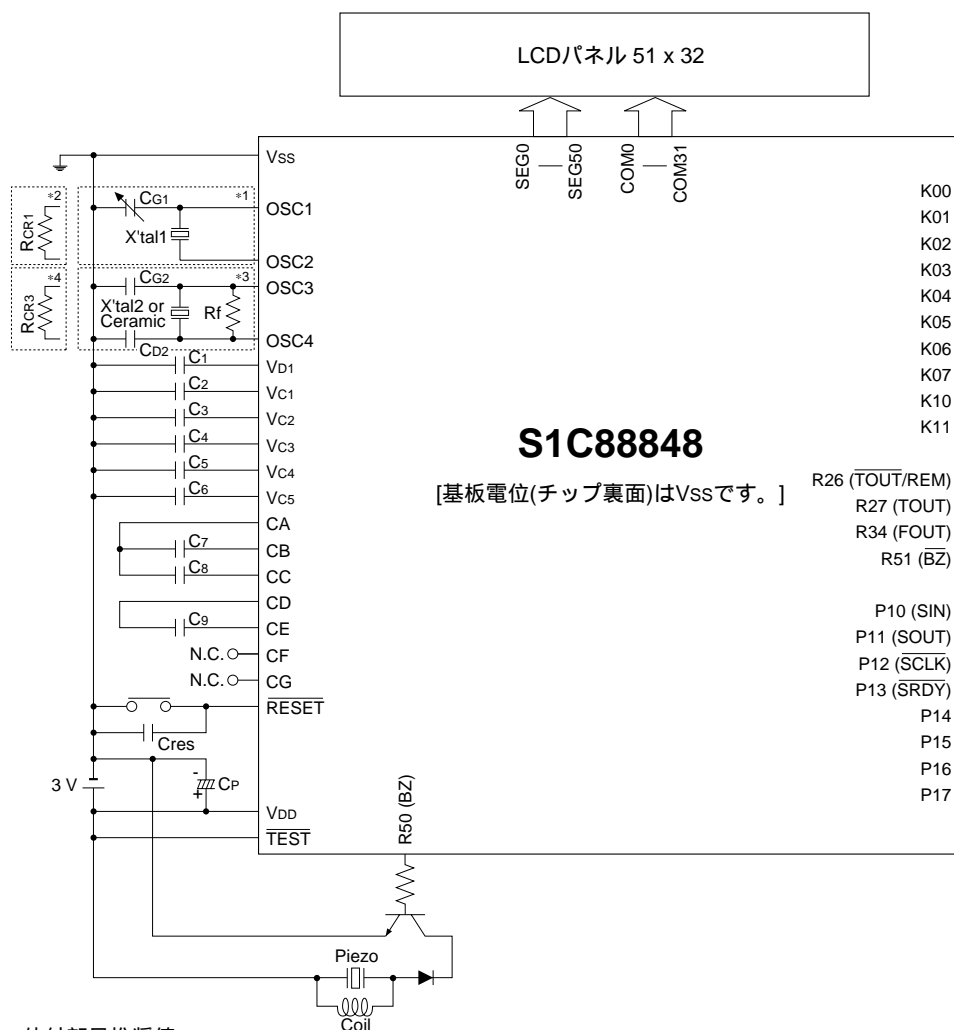
以下に、プログラムによって動作を制御することのできる回路系とその制御レジスタ(命令)を示しますので、プログラミング上の参考としてください。
消費電流については"7 電気的特性"を参照してください。

表5.16.1 回路系と制御レジスタ

回路系	制御レジスタ (命令)	イニシャルリセット時の状態
CPU	HALT、SLP命令	動作状態
発振回路	CLKCHG、OSCC	OSC3クロック (CLKCHG="1") OSC3発振ON (OSCC="1")
LCDコントローラ	LCDC0、LCDC1	駆動OFF (LCDC0=LCDC1="0")
SVD回路	SVDON	OFF状態 (SVDON="0")
リモートコントローラ	REMC	ON状態 (REMC="1")

6 基本外部結線図

圧電ブザーを1端子で駆動し、LCDパネルを1/5バイアスで駆動する場合(Vc2基準)



外付部品推奨値

シンボル	名称	推奨値
X'tal1	水晶振動子	32.768kHz, CI(Max.)=35kΩ
CG1	トリマキャパシタ	5~25pF
RCR1	CR発振用抵抗	1MΩ(50kHz)
X'tal2	水晶振動子	4.9152MHz
Ceramic	セラミック振動子	4MHz
Rf	帰還抵抗	1MΩ
CG2	ゲートキャパシタ	15pF(水晶発振) 30pF(セラミック発振)
CD2	ドレインキャパシタ	15pF(水晶発振) 30pF(セラミック発振)
RCR3	CR発振用抵抗	50kΩ(2MHz)

シンボル	名称	推奨値
C1	Vss~Vd1間キャパシタ	0.1μF
C2	Vss~Vc1間キャパシタ	0.1μF
C3	Vss~Vc2間キャパシタ	0.1μF
C4	Vss~Vc3間キャパシタ	0.1μF
C5	Vss~Vc4間キャパシタ	0.1μF
C6	Vss~Vc5間キャパシタ	0.1μF
C7~C9	昇降圧キャパシタ	0.1μF
Cp	電源間キャパシタ	3.3μF
Cres	RESET端子キャパシタ	0.47μF

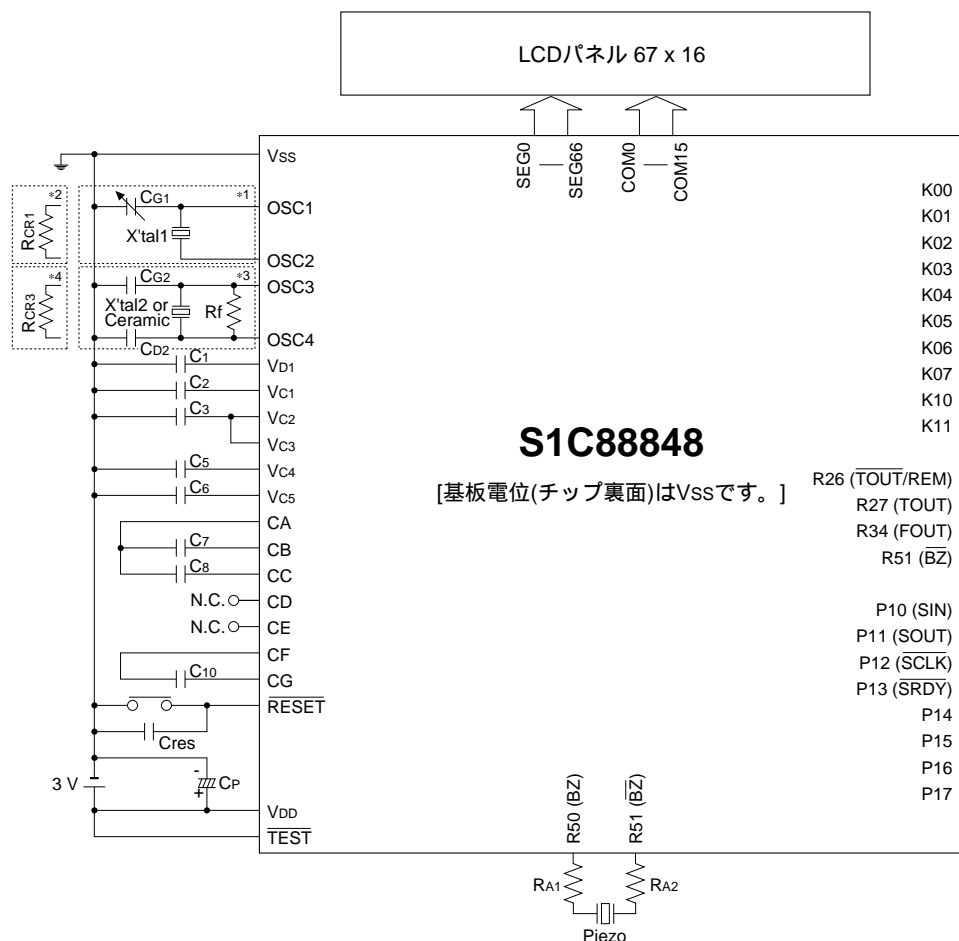
この結線図は以下のマスクオプションを選択した場合の例です。

LCD電源: 内部電源(1/5バイアス)、RESET端子: プルアップ抵抗付加、R51仕様: 汎用出力ポート

*1 OSC1 = 水晶発振、*2 OSC1 = CR発振、*3 OSC3 = 水晶発振/セラミック発振、*4 OSC3 = CR発振

注! ここに記載されている値は一例です。詳細な特性については"7 電氣的特性"を参照してください。

圧電ブザーをダイレクト駆動し、LCDパネルを1/4バイアスで駆動する場合(V_{C1}基準)



外付部品推奨値

シンボル	名称	推奨値
X'tal1	水晶振動子	32.768kHz, CI(Max.)=35kΩ
CG1	トリマキャパシタ	5~25pF
RCR1	CR発振用抵抗	1MΩ(50kHz)
X'tal2	水晶振動子	4.9152MHz
Ceramic	セラミック振動子	4MHz
Rf	帰還抵抗	1MΩ
CG2	ゲートキャパシタ	15pF(水晶発振) 30pF(セラミック発振)
CD2	ドレインキャパシタ	15pF(水晶発振) 30pF(セラミック発振)
RCR3	CR発振用抵抗	50kΩ(2MHz)

シンボル	名称	推奨値
C1	V _{SS} ~V _{D1} 間キャパシタ	0.1μF
C2	V _{SS} ~V _{C1} 間キャパシタ	0.1μF
C3	V _{SS} ~V _{C2} 間キャパシタ	0.1μF
C5	V _{SS} ~V _{C4} 間キャパシタ	0.1μF
C6	V _{SS} ~V _{C5} 間キャパシタ	0.1μF
C7	昇降圧キャパシタ	0.1μF
C8	昇降圧キャパシタ	0.1μF
C10	昇降圧キャパシタ	0.1μF
CP	電源間キャパシタ	3.3μF
Cres	RESET端子キャパシタ	0.47μF
RA1, RA2	保護抵抗	100Ω

この結線図は以下のマスクオプションを選択した場合の例です。

LCD電源: 内部電源(1/4バイアス)、RESET端子: プルアップ抵抗付加、R51仕様: BZ出力ポート

*1 OSC1 = 水晶発振、*2 OSC1 = CR発振、*3 OSC3 = 水晶発振/セラミック発振、*4 OSC3 = CR発振

注! ここに記載されている値は一例です。詳細な特性については"7 電気的特性"を参照してください。

7 電気的特性

7.1 絶対最大定格

(V _{SS} = 0V)						
項 目	記号	条 件	定 格 値	単位	注	
電源電圧	V _{DD}		-0.3 ~ +6.0	V		
液晶電源電圧	V _{C5}		-0.3 ~ +6.0	V		
入力電圧	V _I		-0.3 ~ V _{DD} + 0.3	V		
出力電圧	V _O		-0.3 ~ V _{DD} + 0.3	V		
高レベル出力電流	I _{OH}	1端子	-5	mA		
		全端子合計	-20	mA		
低レベル出力電流	I _{OL}	1端子	5	mA		
		全端子合計	20	mA		
許容損失	P _D		200	mW	1	
動作温度	T _{opr}		-20 ~ +70	°C		
保存温度	T _{stg}		-65 ~ +150	°C		
半田付け温度・時間	T _{sol}		260°C, 10sec (リード部)	-		

注) 1 プラスチックパッケージの場合

7.2 推奨動作条件

(V _{SS} = 0V, T _a = -20 ~ 70°C)							
項 目	記号	条 件	Min.	Typ.	Max.	単位	注
動作電源電圧	V _{DD}		1.8		5.5	V	
動作周波数	f _{OSC1}	V _{DD} = 1.8 ~ 5.5V	30.000	32.768	80.000	kHz	
	f _{OSC3}		0.03		8.2	MHz	
液晶電源電圧	V _{C5}	V _{C5} ≥ V _{C4} ≥ V _{C3} ≥ V _{C2} ≥ V _{C1} ≥ V _{SS}			6.0	V	
V _{SS} ~ V _{D1} 間キャパシタ	C ₁			0.1		μF	
V _{SS} ~ V _{C1} 間キャパシタ	C ₂			0.1		μF	1
V _{SS} ~ V _{C2} 間キャパシタ	C ₃			0.1		μF	1
V _{SS} ~ V _{C3} 間キャパシタ	C ₄			0.1		μF	1, 2
V _{SS} ~ V _{C4} 間キャパシタ	C ₅			0.1		μF	1
V _{SS} ~ V _{C5} 間キャパシタ	C ₆			0.1		μF	1
CA ~ CB間キャパシタ	C ₇			0.1		μF	1
CA ~ CC間キャパシタ	C ₈			0.1		μF	1
CD ~ CE間キャパシタ	C ₉			0.1		μF	1, 2
CF ~ CG間キャパシタ	C ₁₀			0.1		μF	1, 3

注) 1 LCD駆動電源を使用しない場合は、キャパシタは必要ありません。また、V_{C1} ~ V_{C5}およびCA ~ CGは開放としてください。

2 LCD駆動電源を1/4バイアスで使用する場合、キャパシタC₄とC₉は必要ありません。

3 LCD駆動電源を1/5バイアスで使用する場合、キャパシタC₁₀は必要ありません。

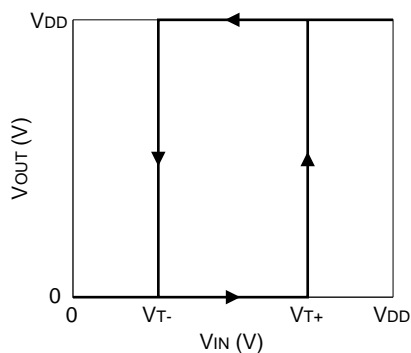
7.3 DC特性

特記なき場合の試験条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 70^\circ C$

項 目	記号	条 件		Min.	Typ.	Max.	単位	注
高レベル入力電圧(1)	V _{IH1}	Pxx		0.8V _{DD}		V _{DD}	V	
低レベル入力電圧(1)	V _{IL1}	Pxx		0		0.2V _{DD}	V	
高レベル入力電圧(2)	V _{IH2}	Kxx		0.4V _{DD}		0.9V _{DD}	V	
低レベル入力電圧(2)	V _{IL2}	Kxx		0.1V _{DD}		0.4V _{DD}	V	
高レベルシュミット入力電圧	V _{T+}	RESET		0.5V _{DD}		0.9V _{DD}	V	
低レベルシュミット入力電圧	V _{T-}	RESET		0.1V _{DD}		0.5V _{DD}	V	
高レベル出力電流(1)	I _{OH}	Pxx, Rxx, V _{OH} = 0.9V _{DD}				-0.5	mA	
低レベル出力電流(1)	I _{OL}	Pxx, Rxx, V _{OL} = 0.1V _{DD}		0.5			mA	
高レベル出力電流(2)	I _{SEGOH}	SEG40 ~ SEG50, V _{OH} = 0.9V _{DD}				-0.5	mA	1
低レベル出力電流(2)	I _{SEGOL}	SEG40 ~ SEG50, V _{OL} = 0.1V _{DD}		0.5			mA	1
入力リーク電流	I _{LI}	Kxx, Pxx, RESET		-1		1	μA	
出力リーク電流	I _{LO}	Pxx, Rxx		-1		1	μA	
入力プルアップ抵抗	R _{IN}	Kxx, Pxx, RESET	V _{DD} = 5.5V	200	350	500	kΩ	2
			V _{DD} = 3.0V	100	270	400	kΩ	2
			V _{DD} = 1.8V	100	230	400	kΩ	2
入力端子容量	C _{IN}	Kxx, Pxx V _{IN} = 0V, f = 1MHz, T _a = 25			7	15	pF	
セグメント、コモン出力電流	I _{SEGH}	SEGxx, COMxx, V _{SEGH} = V _{C5} -0.1V				-5	μA	
	I _{SEGL}	SEGxx, COMxx, V _{SEGL} = 0.1V		5			μA	

注) 1 マスクオプションでSEG40 ~ SEG50をDC出力に設定した場合。

2 マスクオプションによりプルアップ抵抗付加を選択した場合。



7.4 アナログ回路特性

LCD駆動回路

LCD駆動電圧は、パネル負荷(パネルの大きさ、駆動デューティ、表示点灯数、表示パターン)の違いによりTyp.値がシフトしますので、実際に使用されるパネルと接続して評価してください。

負荷特性については、"7.8 特性グラフ"を参照してください。

• TYPE A

特記なき場合の試験条件: $V_{DD} = V_{C2} (LCX = FH) + 0.1 \sim 5.5V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, $C_1 \sim C_{10} = 0.1\mu F$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
LCD駆動電圧	Vc2	Vss ~ Vc2間に1MΩの負荷抵抗を接続した場合(パネル負荷なし)	0.38Vc5	0.405Vc5	0.43Vc5	V	
	Vc5 TYPE A	Vss ~ Vc5間に1MΩの負荷抵抗を接続した場合(パネル負荷なし)	Typ×0.94	3.89	Typ×1.06	V	1
				3.96		V	
				4.04		V	
				4.11		V	
				4.18		V	
				4.26		V	
				4.34		V	
				4.42		V	
				4.50		V	
				4.58		V	
				4.66		V	
				4.74		V	
				4.82		V	
				4.90		V	
				4.99		V	
				5.08		V	

注) 1 コントラストは固定値とせず、ソフトウェアにより変えられるようにすることを推奨します。

• TYPE B

特記なき場合の試験条件: $V_{DD} = V_{C2} (LCX = FH) + 0.1 \sim 5.5V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, $C_1 \sim C_{10} = 0.1\mu F$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
LCD駆動電圧	Vc2	Vss ~ Vc2間に1MΩの負荷抵抗を接続した場合(パネル負荷なし)	0.38Vc5	0.405Vc5	0.43Vc5	V	
	Vc5 TYPE B	Vss ~ Vc5間に1MΩの負荷抵抗を接続した場合(パネル負荷なし)	Typ×0.94	4.73	Typ×1.06	V	1
				4.83		V	
				4.92		V	
				5.02		V	
				5.11		V	
				5.21		V	
				5.30		V	
				5.40		V	
				5.50		V	
				5.60		V	
				5.70		V	
				5.70		V	
				5.70		V	
				5.70		V	
				5.70		V	
				5.70		V	

注) 1 コントラストは固定値とせず、ソフトウェアにより変えられるようにすることを推奨します。

7 電気的特性

• TYPE D

特記なき場合の試験条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, $C_1 \sim C_3, C_5 \sim C_8, C_{10} = 0.1\mu F$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
LCD駆動電圧	V_{C1}	$V_{SS} \sim V_{C1}$ 間に $1M\Omega$ の負荷抵抗を接続した場合(パネル負荷なし)	0.247 V_{C5}	0.263 V_{C5}	0.279 V_{C5}	V	
	V_{C5} TYPE D	$V_{SS} \sim V_{C5}$ 間に $1M\Omega$ の負荷抵抗を接続した場合(パネル負荷なし)	Typ $\times 0.94$	3.80	Typ $\times 1.06$	V	1
				3.88		V	
				3.96		V	
				4.03		V	
				4.15		V	
				4.22		V	
				4.30		V	
				4.38		V	
				4.45		V	
				4.53		V	
				4.65		V	
				4.72		V	
				4.80		V	
				4.88		V	
				4.95		V	
				5.07		V	

注) 1 コントラストは固定値とせず、ソフトウェアにより変えられるようにすることを推奨します。

SVD回路

特記なき場合の試験条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = 25^\circ C$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
SVD電圧	V_{SVD}	レベル 0	Typ $\times 0.92$	1.83	Typ $\times 1.08$	V	
		レベル 1		2.00		V	
		レベル 2		2.17		V	
		レベル 3		2.33		V	
		レベル 4		2.50		V	
		レベル 5		2.67		V	
		レベル 6		2.83		V	
		レベル 7		3.00		V	
		レベル 8		3.17		V	
		レベル 9		3.33		V	
		レベル 10		3.50		V	
		レベル 11		3.67		V	
		レベル 12		3.83		V	
		レベル 13		4.00		V	
		レベル 14		4.17		V	
		レベル 15		4.35		V	

7.5 消費電流

特記なき場合の試験条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, $OSC1 = 32.768kHz$ 水晶発振, $C_G = 25pF$,

$OSC3 =$ 水晶発振/セラミック発振, $C_1 \sim C_{10} = 0.1\mu F$, パネル負荷なし

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
電源電流	IDD1	SLP命令実行時 *1		1.0	3.0	μA	
	IDD2	HALT命令実行時 *2		1.7	4.0	μA	
	IDD3	CPU動作時(32.768kHz) *3		4.0	7.0	μA	
	IDD4	CPU動作時(8MHz) *4		0.7	0.9	mA	
LCD駆動回路電流	ILCD1	TYPE B, 1/16デューティ, $V_{DD} = 3.0V$		10.0	13.0	μA	1
	ILCD2	TYPE D, 1/16デューティ, $V_{DD} = 3.0V$		7.0	10.0	μA	1
SVD回路電流	ISVDN	$V_{DD} = 3.0V$ 時		5.0	10.0	μA	
OSC1 CR発振電流	ICR1	$R_{CR1} = 1M\Omega(50kHz)$		5.0	20.0	μA	2

*1 OSC1: 停止、OSC3: 停止、CPU, ROM, RAM: SLP命令、 計時タイマ: 停止、その他: 停止状態。

*2 OSC1: 発振、OSC3: 停止、CPU, ROM, RAM: HALT命令、 計時タイマ: 動作、その他: 停止状態。

*3 OSC1: 発振、OSC3: 停止、CPU, ROM, RAM: 32.768kHz動作、計時タイマ: 動作、その他: 停止状態。

*4 OSC1: 発振、OSC3: 発振、CPU, ROM, RAM: 8MHz動作、 計時タイマ: 動作、その他: 停止状態。

8MHz以外の消費電流は、"7.8 特性グラフ"を参照してください。

注) 1 表示パターンにより電流値は変わります。

2 マスクオプションによりOSC1 CR発振回路を選択した場合。

7.6 AC特性

動作範囲

条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 70^\circ C$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
動作周波数	f _{OSC1}	$V_{DD} = 1.8 \sim 5.5V$	30.000	32.768	80.000	kHz	
	f _{OSC3}		0.03		8.2	MHz	
インストラクション実行時間 (OSC1クロック動作時)	t _{cy}	1サイクル命令	25	61	67	μs	
		2サイクル命令	50	122	133	μs	
		3サイクル命令	75	183	200	μs	
		4サイクル命令	100	244	267	μs	
		5サイクル命令	125	305	333	μs	
		6サイクル命令	150	366	400	μs	
インストラクション実行時間 (OSC3クロック動作時)	t _{cy}	1サイクル命令	0.2		66.7	μs	
		2サイクル命令	0.5		133.3	μs	
		3サイクル命令	0.7		200.0	μs	
		4サイクル命令	1.0		266.7	μs	
		5サイクル命令	1.2		333.3	μs	
		6サイクル命令	1.5		400.0	μs	

シリアルインタフェース

• クロック同期式マスタモード

条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 70^\circ C$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$, $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	tsmd			100	ns	
受信データ入力セットアップ時間	tsms	250			ns	
受信データ入力ホールド時間	tsmh	100			ns	

• クロック同期式スレーブモード

条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 70^\circ C$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$, $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	tssd			250	ns	
受信データ入力セットアップ時間	tsss	100			ns	
受信データ入力ホールド時間	tssh	100			ns	

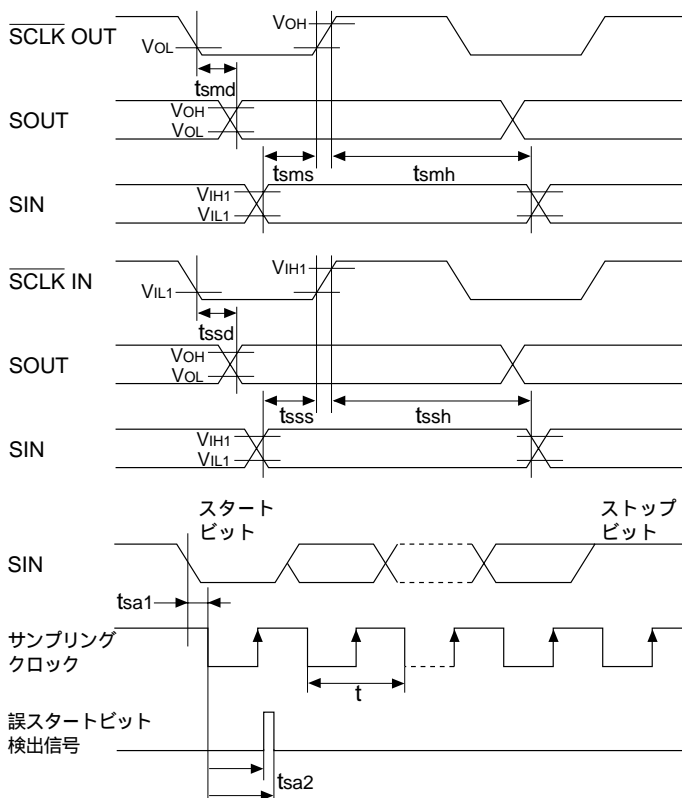
• 調歩同期式

条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 70^\circ C$

項 目	記号	Min.	Typ.	Max.	単位	注
スタートビット検出誤差時間	tsa1	0		t/16	s	1
誤スタートビット検出範囲時間	tsa2	9t/16		10t/16	s	2

注) 1 スタートビット検出誤差時間とは、スタートビットが入力されてから内部のサンプリングクロックが動作するまでの論理的遅れ時間。(AC的な時間は含まれません。)

2 誤スタートビット検出とは、スタートビットを検出し内部のサンプリングクロックが動作した後、再度LOWレベル(スタートビット)が入力されているか検出する論理的な範囲時間。HIGHレベルであった場合、スタートビット検出回路がリセットされ、再度スタートビット検出待ちになります。(AC的な時間は含まれません。)

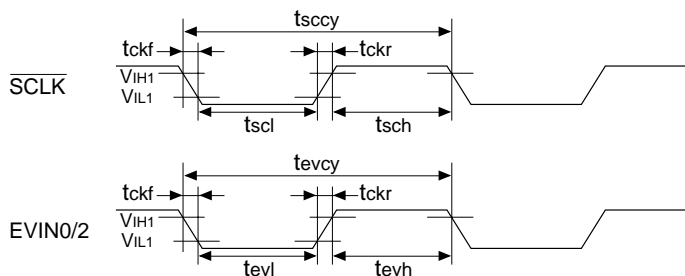


入力クロック

• SCLK, EVIN0/2入力クロック

条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 70^\circ C$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$

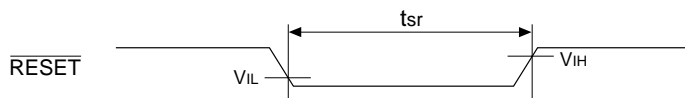
項 目		記号	Min.	Typ.	Max.	単位	注
SCLK入力クロック時間	サイクル時間	t _{sc_{cy}}	2			μs	
	"H"パルス幅	t _{sch}	1			μs	
	"L"パルス幅	t _{scl}	1			μs	
EVIN0/2入力クロック時間 (ノイズリジェクタあり)	サイクル時間	t _{ev_{cy}}	64/f _{OSC1}			s	
	"H"パルス幅	t _{ev_h}	32/f _{OSC1}			s	
	"L"パルス幅	t _{ev_l}	32/f _{OSC1}			s	
EVIN0/2入力クロック時間 (ノイズリジェクタなし)	サイクル時間	t _{ev_{cy}}	2			μs	
	"H"パルス幅	t _{ev_h}	1			μs	
	"L"パルス幅	t _{ev_l}	1			μs	
入力クロック立ち上がり時間		t _{ckr}			25	ns	
入力クロック立ち下がり時間		t _{ckf}			25	ns	



• RESET入力クロック

条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 70^\circ C$, $V_{IH} = 0.5V_{DD}$, $V_{IL} = 0.1V_{DD}$

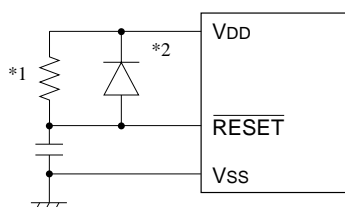
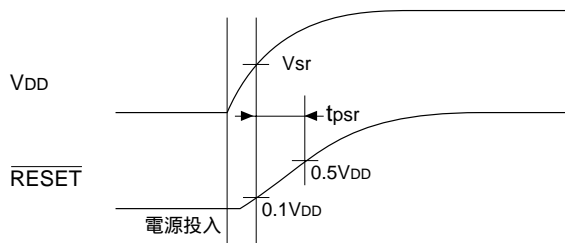
項 目	記号	Min.	Typ.	Max.	単位	注
RESET入力時間	t _{sr}	100			μs	



パワーオンリセット

条件: $V_{SS} = 0V$, $T_a = -20 \sim 70^\circ C$

項 目	記号	Min.	Typ.	Max.	単位	注
動作電源電圧	V_{SR}	1.8			V	
RESET入力時間	t_{psr}	10			ms	



*1 内蔵プルアップ抵抗を使用しない場合。

*2 RESET端子の電位が V_{DD} レベル以上にならないため。

7.7 発振特性

発振特性は諸条件(基板パターン、使用部品など)により変化します。以下の特性は参考値として使用してください。特にOSC3にセラミック発振子または水晶発振子を使用する場合、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。また発振開始時間は、OSC3のクロックを使用する場合の待ち時間となりますので重要な項目です。(発振が安定するまでにCPUクロックとして使用した場合、CPUが誤動作します。)

OSC1水晶発振

特記なき場合の試験条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, 水晶発振子 = Q12C2*, $C_{G1} = 25pF$ 外付け, $C_{D1} =$ 内蔵

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間	tsta				3	s	
外付けゲート容量	C_{G1}	基板容量など含む	5		25	pF	1
内蔵ドレイン容量	C_{D1}	チップの場合		12		pF	
周波数IC偏差	$\partial f/\partial IC$	$V_{DD} =$ 一定	-15		15	ppm	
周波数電源電圧偏差	$\partial f/\partial V$				1	ppm/V	
周波数調整範囲	$\partial f/\partial C_G$	$V_{DD} =$ 一定, $C_G = 5 \sim 25pF$	15			ppm	

* Q12C2 セイコーエプソン(株) 製

注) 1 マスクオプションにより水晶発振選択の場合。

OSC1 CR発振

特記なき場合の試験条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 70^\circ C$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間	tsta				100	μs	
周波数IC偏差	$\partial f/\partial IC$	RCR = 一定	-25		25	%	

OSC3水晶発振

特記なき場合の試験条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, 水晶発振子 = Q21CA301xxx*, $R_F = 1M\Omega$, $C_{G2} = C_{D2} = 15pF$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間	tsta			15	50	ms	1

* Q21CA301xxx セイコーエプソン(株) 製

注) 1 水晶発振開始時間は、使用する水晶発振子および C_{G2} , C_{D2} により変化します。

OSC3セラミック発振

特記なき場合の試験条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, セラミック発振子 = CSA4.00MG/CSA8.00MTZ*,
 $R_F = 1M\Omega$, $C_{G2} = C_{D2} = 30pF$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間	tsta				1	ms	

* CSA4.00MG/CSA8.00MTZ 村田製作所製

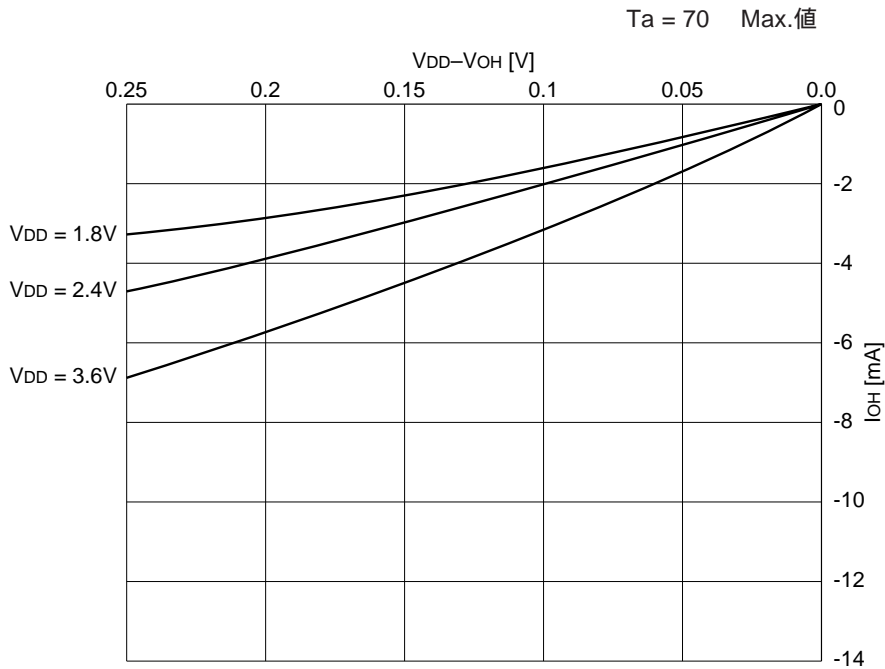
OSC3 CR発振

特記なき場合の試験条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -20 \sim 70^\circ C$

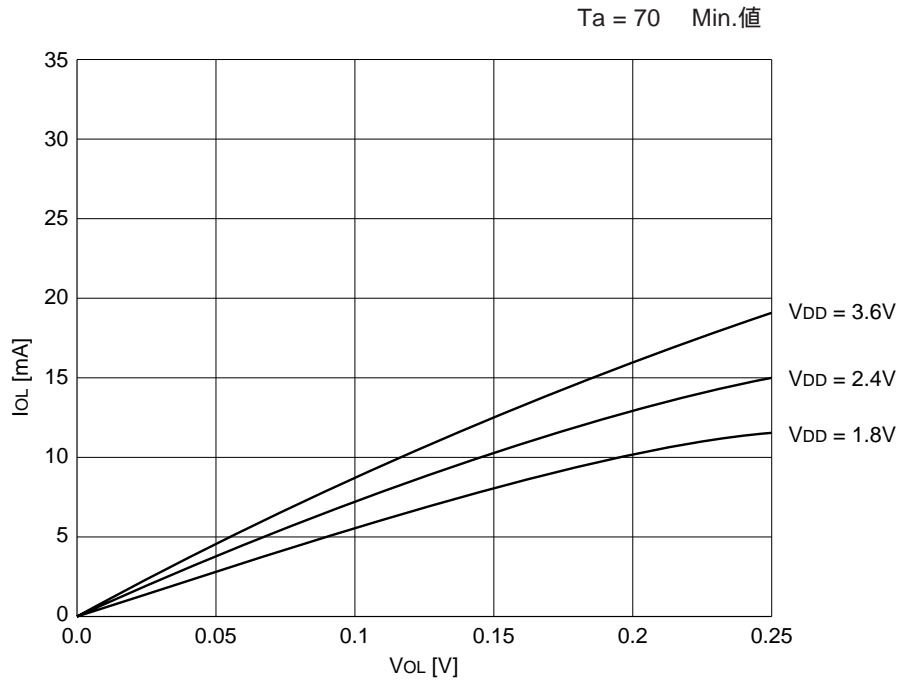
項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間	tsta				100	μs	
周波数IC偏差	$\partial f/\partial IC$	RCR = 一定	-25		25	%	

7.8 特性グラフ (参考値)

高レベル出力電流特性

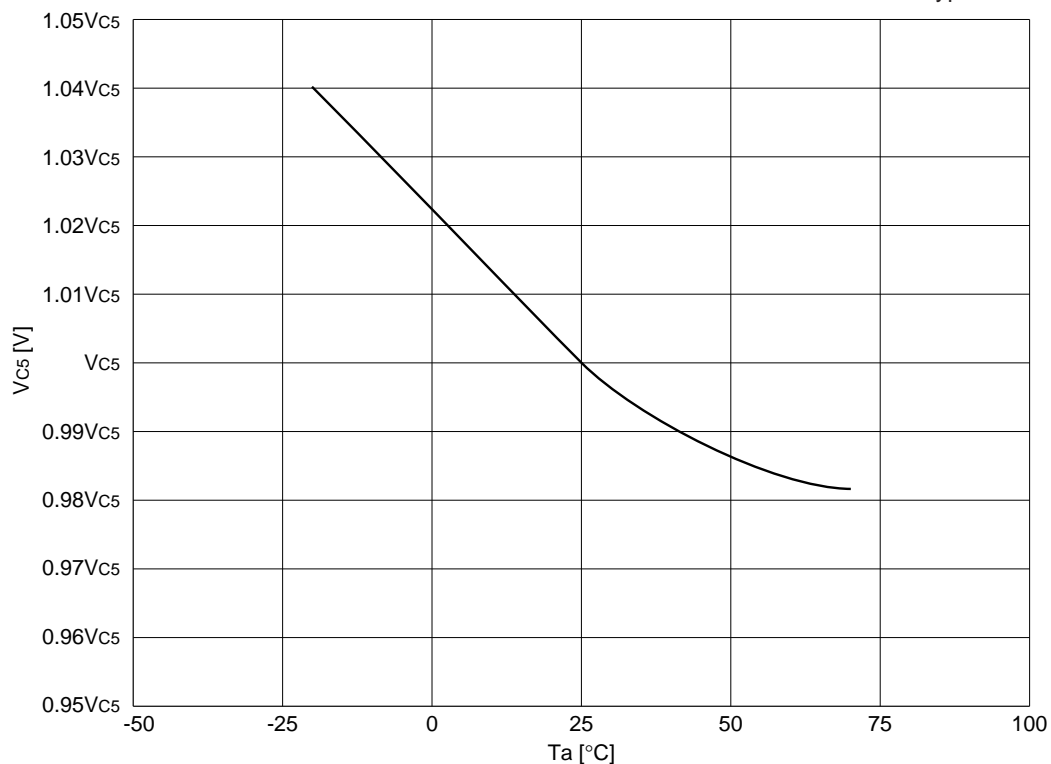


低レベル出力電流特性



LCD駆動電圧温度特性

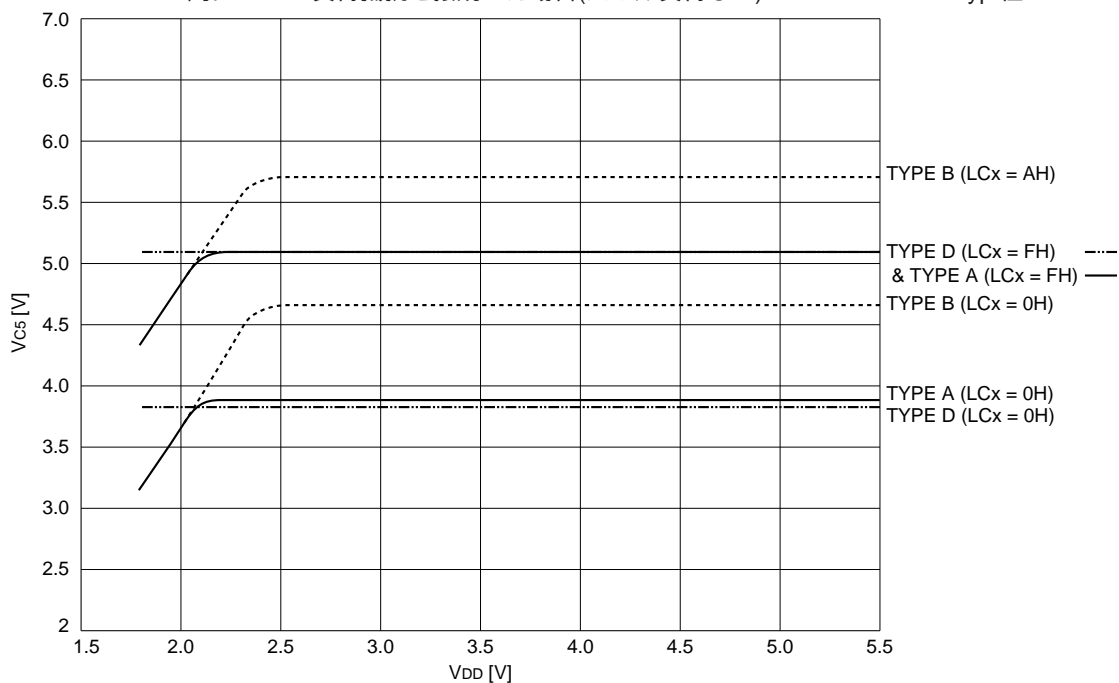
Typ.値



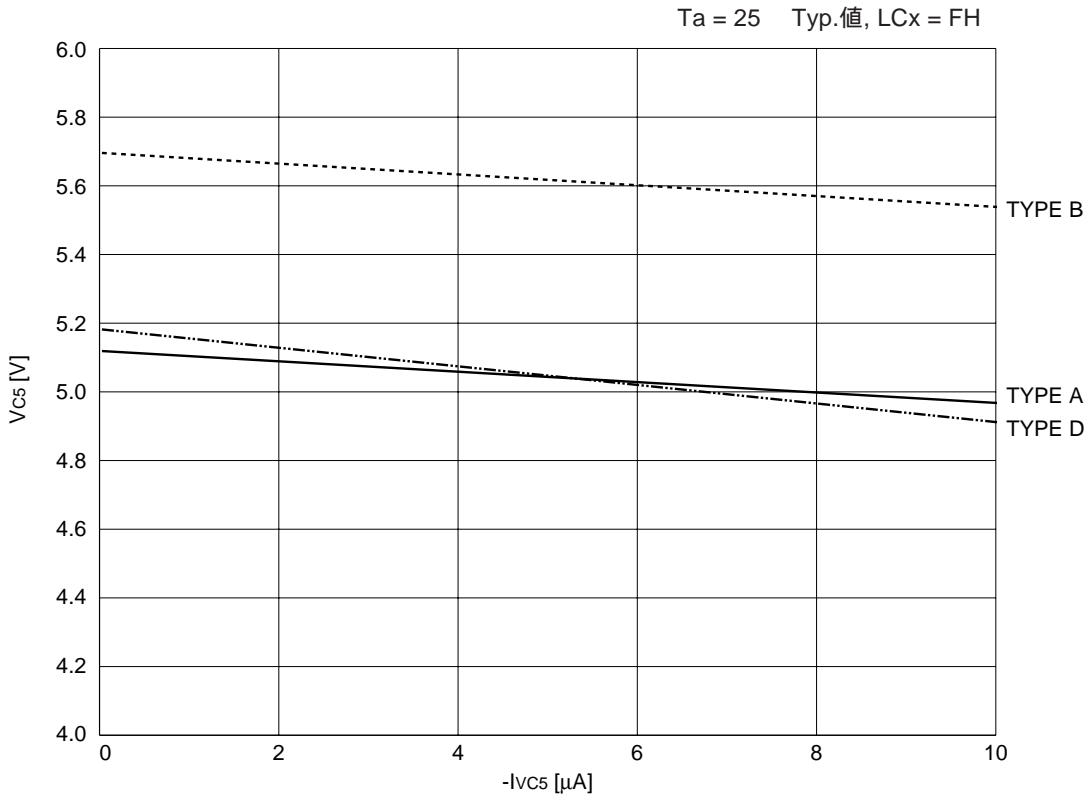
LCD駆動電圧電源電圧特性

Vss ~ Vcs間に1MΩの負荷抵抗を接続した場合(パネル負荷なし)

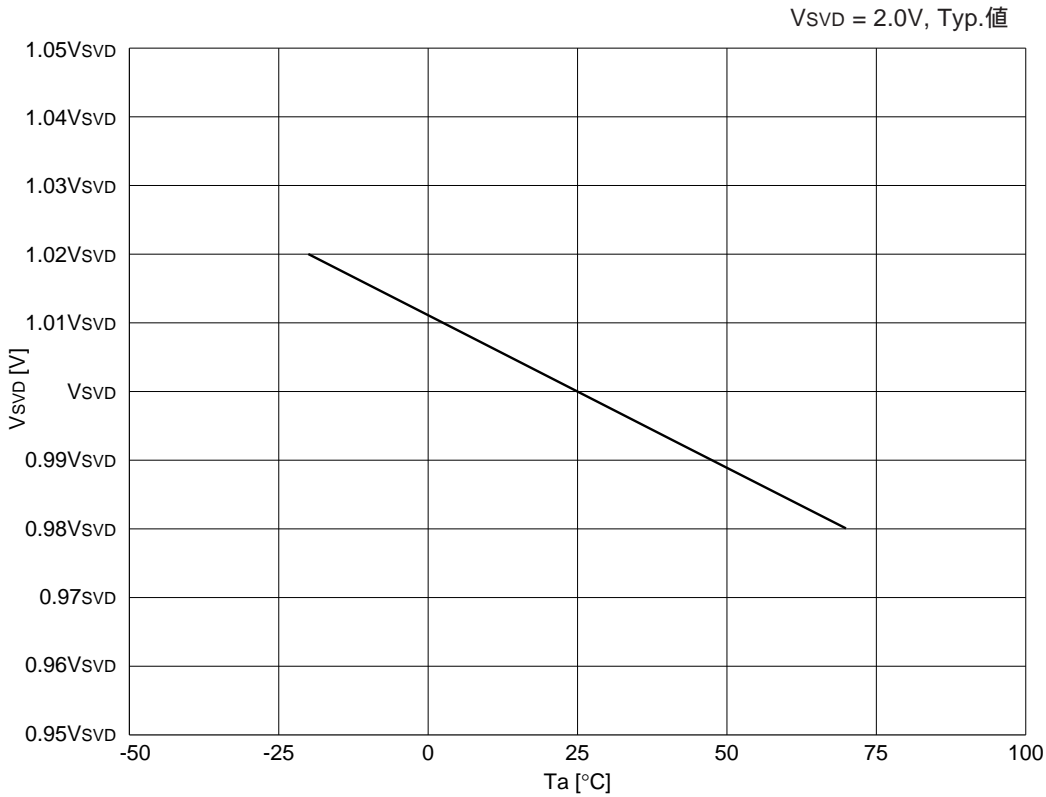
Ta = 25 Typ.値



LCD駆動電圧負荷特性

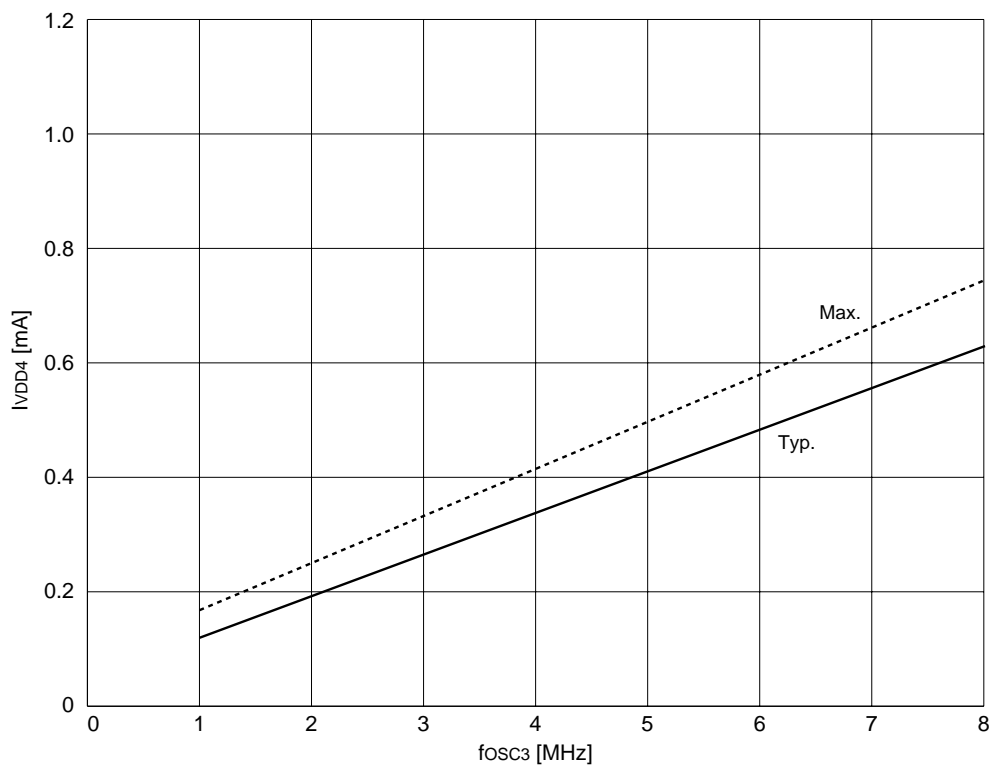


SVD電圧温度特性



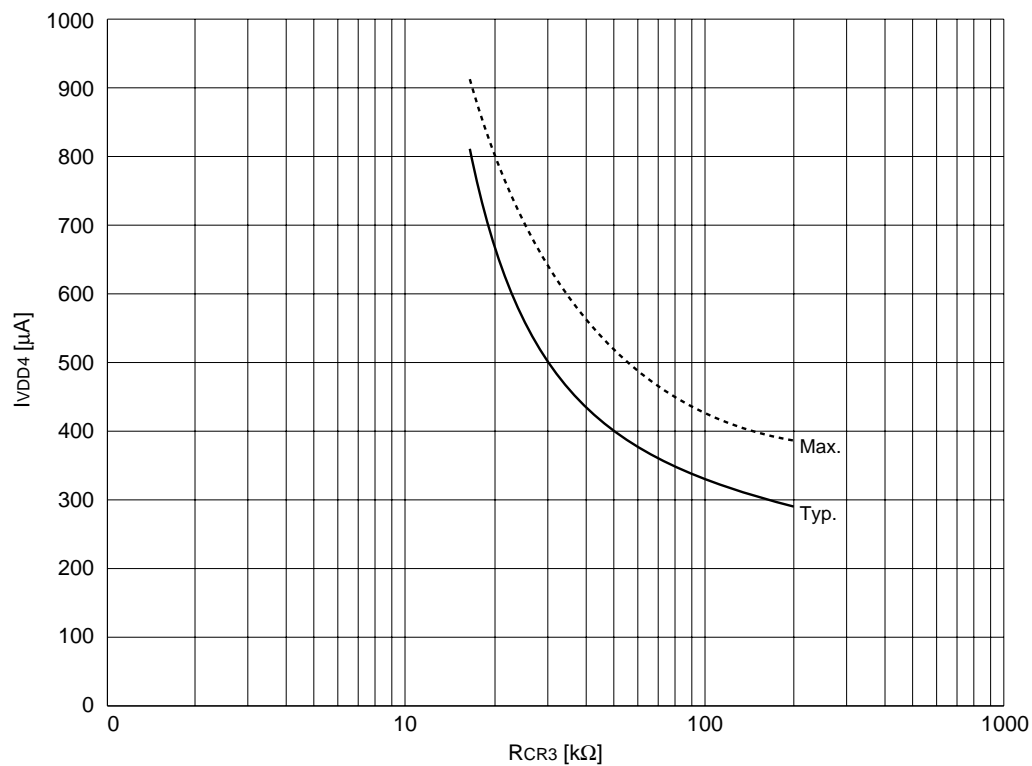
電源電流 (CPU動作時) <OSC3水晶発振/セラミック発振>

Ta = 25



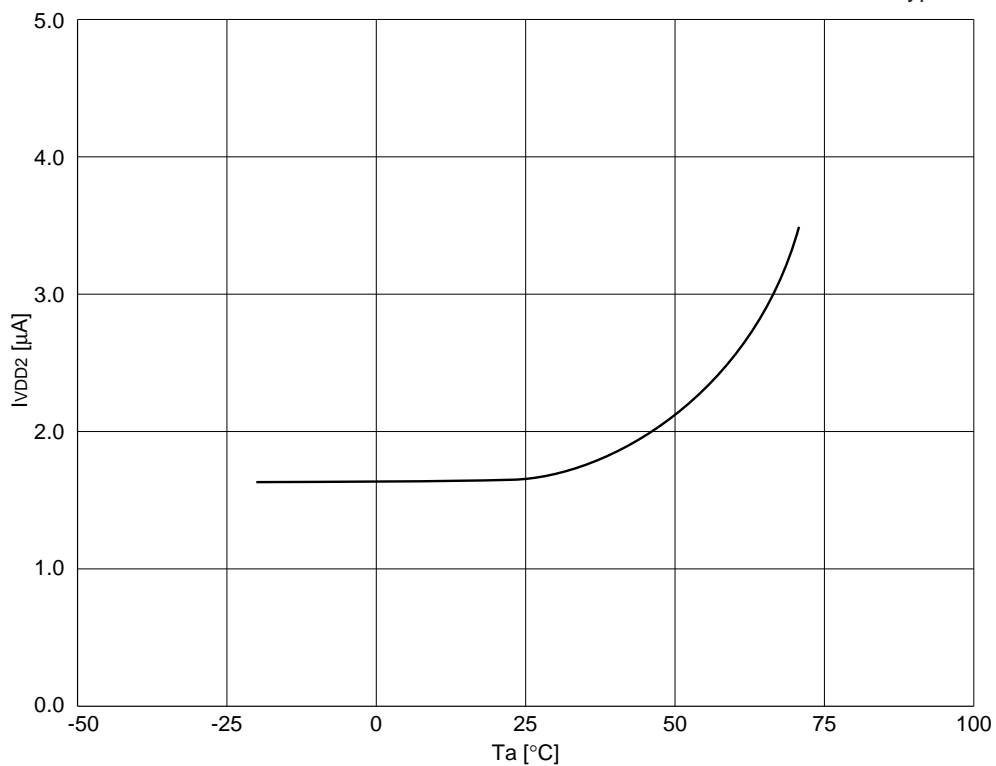
電源電流 (CPU動作時) <OSC3 CR発振>

Ta = 25



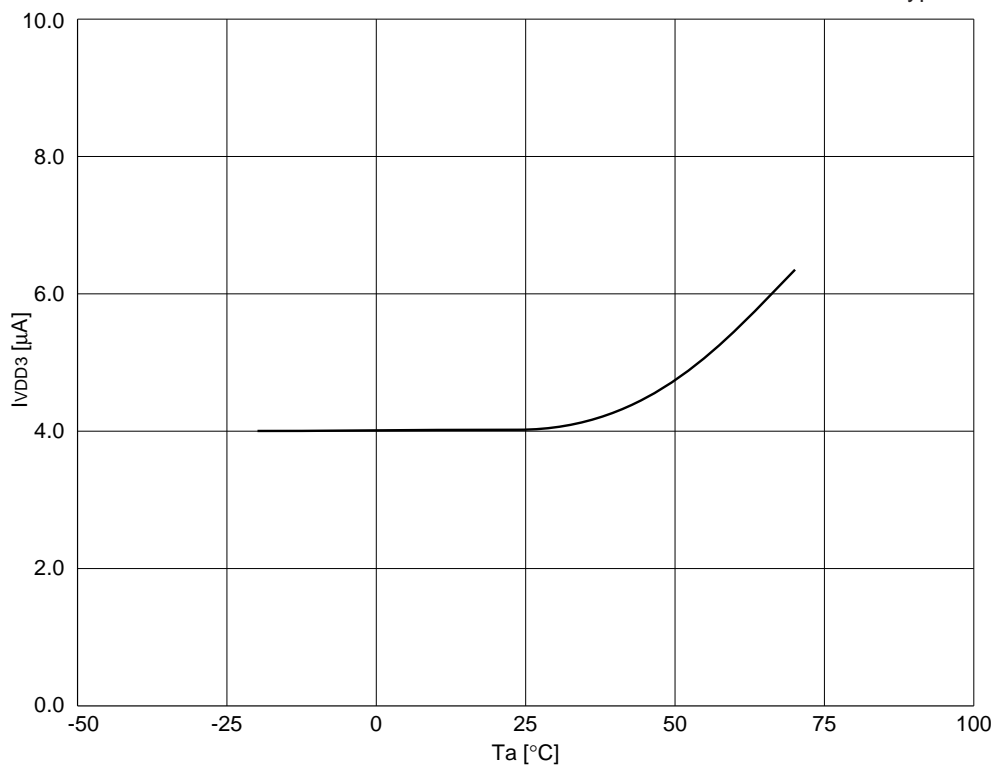
電源電流温度特性 (HALT命令実行時) <OSC1水晶発振 32.768kHz>

Typ.値



電源電流温度特性 (CPU動作時 32.768kHz)

Typ.値

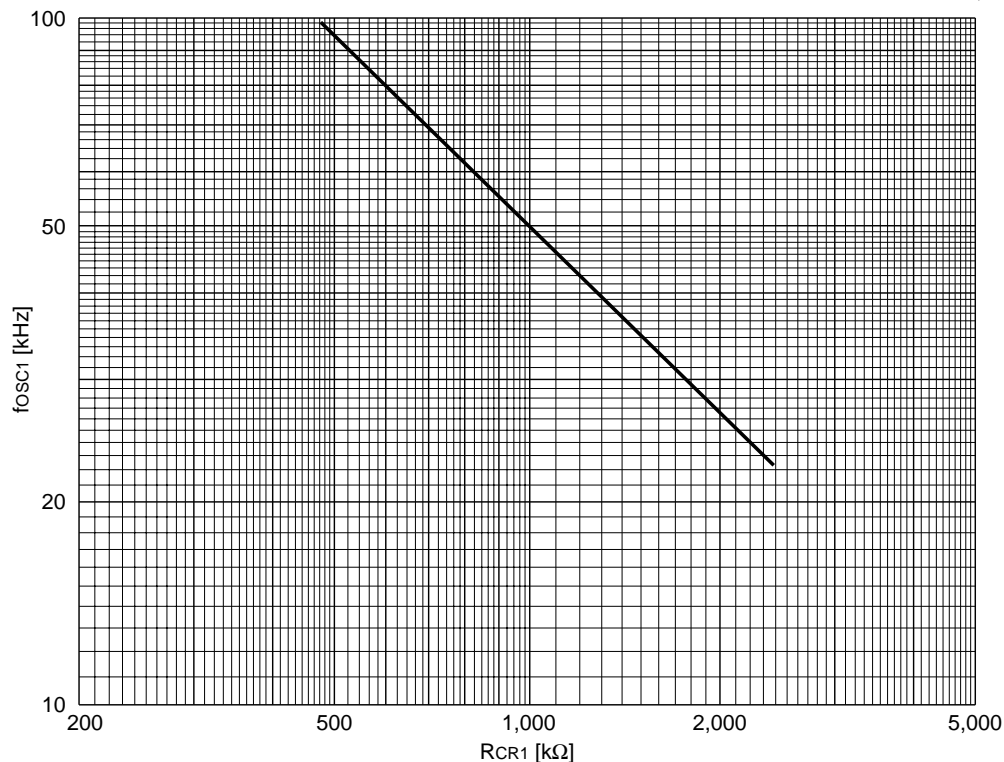


CR発振周波数特性

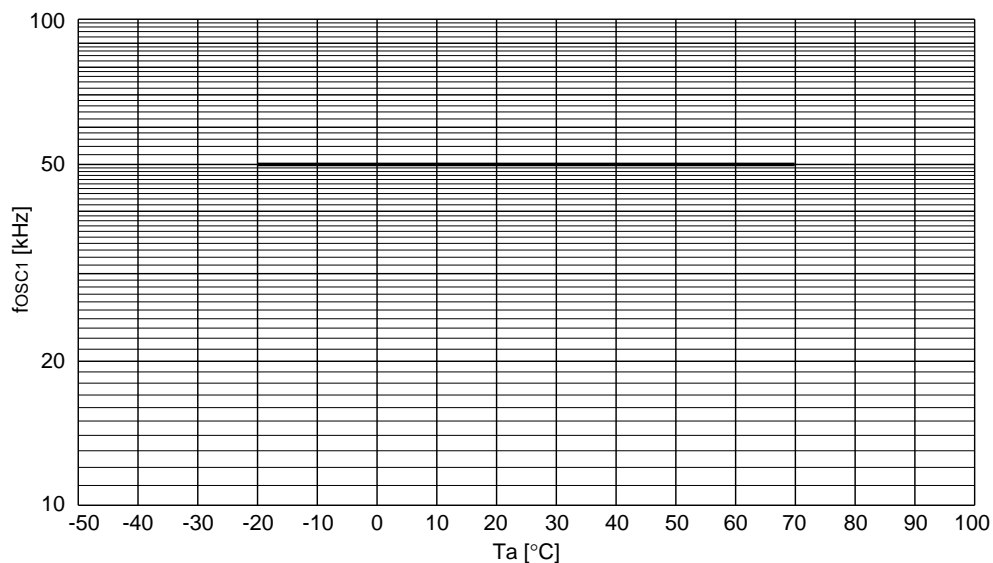
注) 発振周波数は、基板パターンおよび使用部品などにより変化します。特にOSC3発振周波数は、製品形状(チップ、プラスチックパッケージ、セラミックパッケージ)および基板容量により大きく変化しますので、以下の特性は参考値とし、実際の製品で評価され、抵抗値をお選びください。(ただし、OSC3の抵抗値は $R_{CR3} = 15k\Omega$ にしてください。)

• 発振周波数抵抗特性 (OSC1)

Ta = 25 , Typ.値

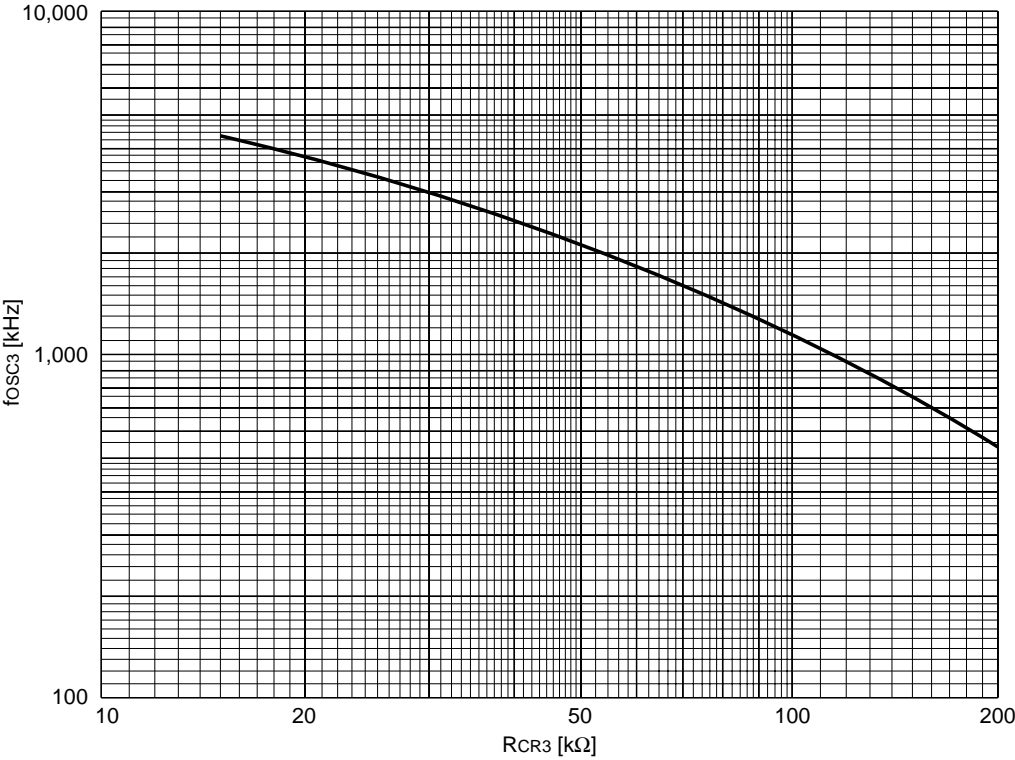


• 発振周波数温度特性 (OSC1)

 $R_{CR1} = 1M\Omega$ 

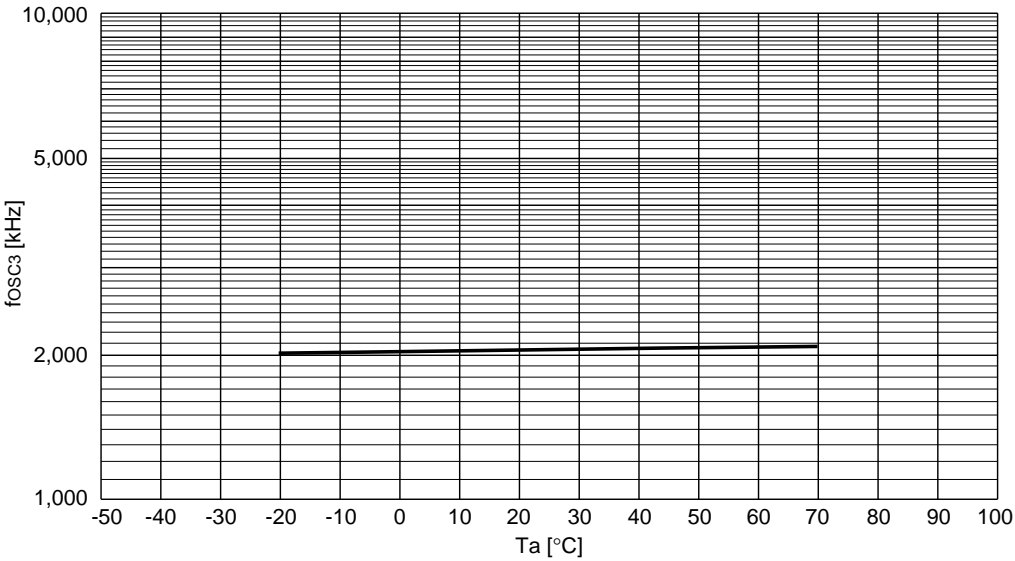
• 発振周波数抵抗特性 (OSC3)

Ta = 25 , Typ.値



• 発振周波数温度特性 (OSC3)

RCR3 = 50kΩ

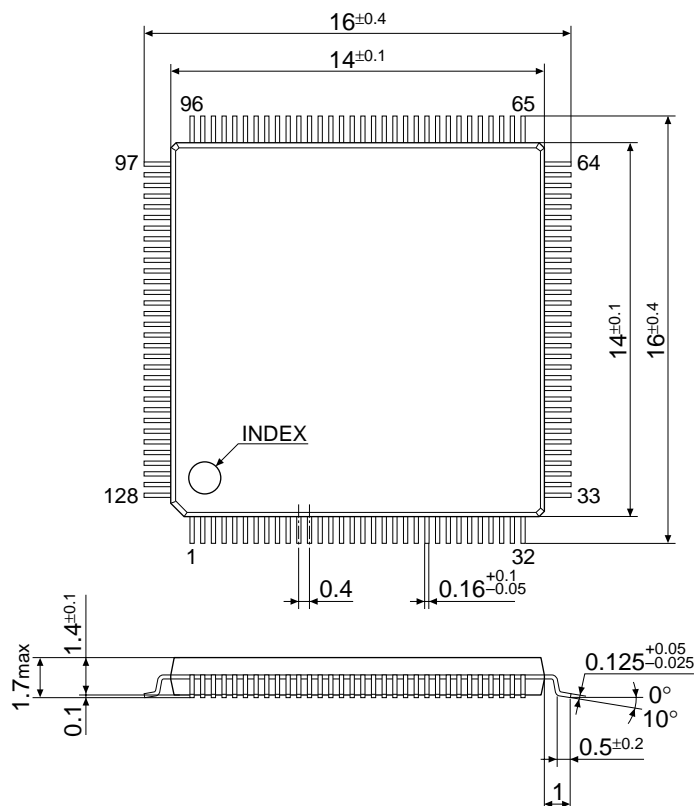


8 パッケージ

8.1 プラスチックパッケージ

QFP15-128pin

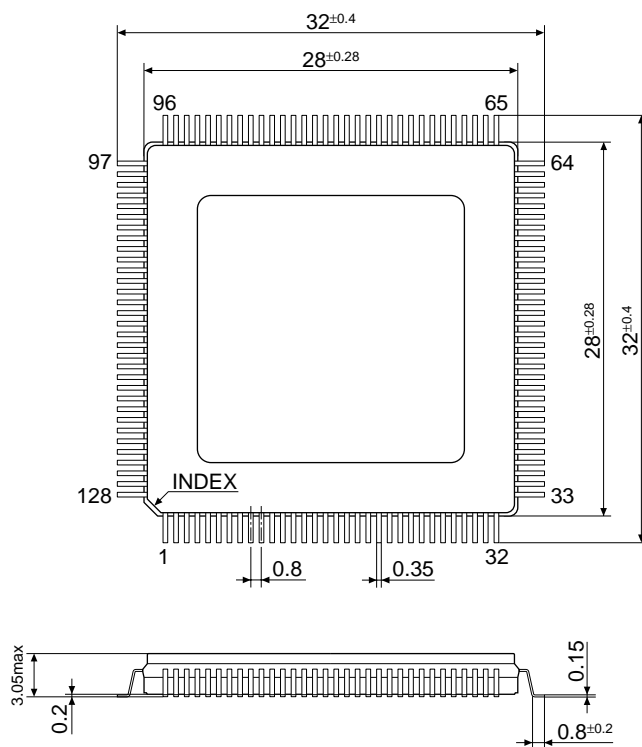
(単位: mm)



8.2 セラミックパッケージ

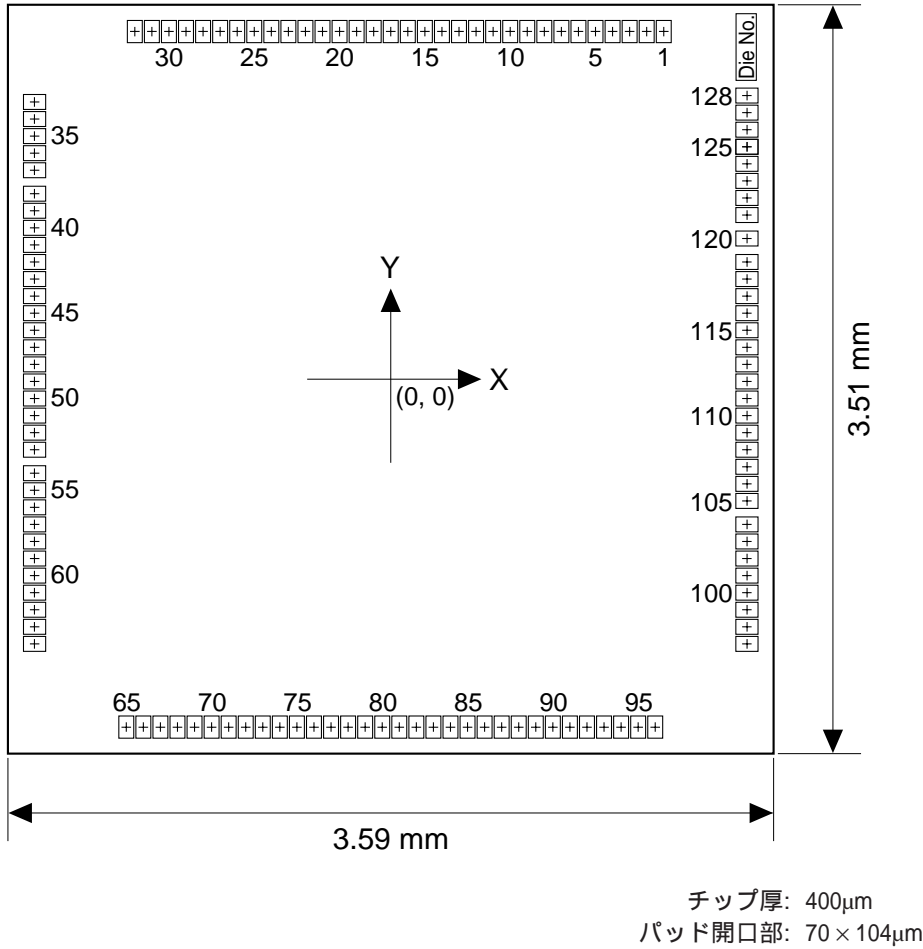
QFP8-128pin

(単位: mm)



9 パッド配置

9.1 パッド配置図



9.2 パッド座標

表9.2.1 パッド座標

(単位: mm)

パッド		座標		パッド		座標		パッド		座標	
No.	名称	X	Y	No.	名称	X	Y	No.	名称	X	Y
1	Vc3	1.28	1.63	44	COM6	-1.67	0.39	87	SEG33	0.52	-1.63
2	Vc2	1.20	1.63	45	COM7	-1.67	0.31	88	SEG34	0.60	-1.63
3	Vc1	1.12	1.63	46	COM8	-1.67	0.23	89	SEG35	0.68	-1.63
4	OSC3	1.04	1.63	47	COM9	-1.67	0.15	90	SEG36	0.76	-1.63
5	OSC4	0.96	1.63	48	COM10	-1.67	0.07	91	SEG37	0.84	-1.63
6	Vd1	0.88	1.63	49	COM11	-1.67	-0.01	92	SEG38	0.92	-1.63
7	VdD	0.80	1.63	50	COM12	-1.67	-0.09	93	SEG39	1.00	-1.63
8	Vss	0.72	1.63	51	COM13	-1.67	-0.17	94	SEG40	1.08	-1.63
9	OSC1	0.64	1.63	52	COM14	-1.67	-0.25	95	SEG41	1.16	-1.63
10	OSC2	0.56	1.63	53	COM15	-1.67	-0.33	96	SEG42	1.24	-1.63
11	TEST	0.48	1.63	54	SEG0	-1.67	-0.44	97	SEG43	1.67	-1.24
12	RESET	0.40	1.63	55	SEG1	-1.67	-0.52	98	SEG44	1.67	-1.16
13	K11/EVIN2	0.32	1.63	56	SEG2	-1.67	-0.60	99	SEG45	1.67	-1.08
14	K10/EVIN0	0.24	1.63	57	SEG3	-1.67	-0.68	100	SEG46	1.67	-1.00
15	K07	0.16	1.63	58	SEG4	-1.67	-0.76	101	SEG47	1.67	-0.92
16	K06	0.08	1.63	59	SEG5	-1.67	-0.84	102	SEG48	1.67	-0.84
17	K05	0.00	1.63	60	SEG6	-1.67	-0.92	103	SEG49	1.67	-0.76
18	K04	-0.08	1.63	61	SEG7	-1.67	-1.00	104	SEG50	1.67	-0.68
19	K03	-0.16	1.63	62	SEG8	-1.67	-1.08	105	COM31/SEG51	1.67	-0.57
20	K02	-0.24	1.63	63	SEG9	-1.67	-1.16	106	COM30/SEG52	1.67	-0.49
21	K01	-0.32	1.63	64	SEG10	-1.67	-1.24	107	COM29/SEG53	1.67	-0.41
22	K00	-0.40	1.63	65	SEG11	-1.24	-1.63	108	COM28/SEG54	1.67	-0.33
23	P17	-0.48	1.63	66	SEG12	-1.16	-1.63	109	COM27/SEG55	1.67	-0.25
24	P16	-0.56	1.63	67	SEG13	-1.08	-1.63	110	COM26/SEG56	1.67	-0.17
25	P15	-0.64	1.63	68	SEG14	-1.00	-1.63	111	COM25/SEG57	1.67	-0.09
26	P14	-0.72	1.63	69	SEG15	-0.92	-1.63	112	COM24/SEG58	1.67	-0.01
27	P13/SRDY	-0.80	1.63	70	SEG16	-0.84	-1.63	113	COM23/SEG59	1.67	0.07
28	P12/SCLK	-0.88	1.63	71	SEG17	-0.76	-1.63	114	COM22/SEG60	1.67	0.15
29	P11/SOUT	-0.96	1.63	72	SEG18	-0.68	-1.63	115	COM21/SEG61	1.67	0.23
30	P10/SIN	-1.04	1.63	73	SEG19	-0.60	-1.63	116	COM20/SEG62	1.67	0.31
31	CF	-1.12	1.63	74	SEG20	-0.52	-1.63	117	COM19/SEG63	1.67	0.39
32	CG	-1.20	1.63	75	SEG21	-0.44	-1.63	118	COM18/SEG64	1.67	0.47
33	R26/TOUT/REM	-1.67	1.30	76	SEG22	-0.36	-1.63	119	COM17/SEG65	1.67	0.55
34	R27/TOUT	-1.67	1.22	77	SEG23	-0.28	-1.63	120	COM16/SEG66	1.67	0.66
35	R34/FOUT	-1.67	1.14	78	SEG24	-0.20	-1.63	121	N.C.	1.67	0.77
36	R50/BZ	-1.67	1.06	79	SEG25	-0.12	-1.63	122	CE	1.67	0.85
37	R51/BZ	-1.67	0.98	80	SEG26	-0.04	-1.63	123	CD	1.67	0.93
38	COM0	-1.67	0.87	81	SEG27	0.04	-1.63	124	CC	1.67	1.01
39	COM1	-1.67	0.79	82	SEG28	0.12	-1.63	125	CB	1.67	1.09
40	COM2	-1.67	0.71	83	SEG29	0.20	-1.63	126	CA	1.67	1.17
41	COM3	-1.67	0.63	84	SEG30	0.28	-1.63	127	Vc5	1.67	1.25
42	COM4	-1.67	0.55	85	SEG31	0.36	-1.63	128	Vc4	1.67	1.33
43	COM5	-1.67	0.47	86	SEG32	0.44	-1.63	—	—	—	—

10 実装上の注意事項

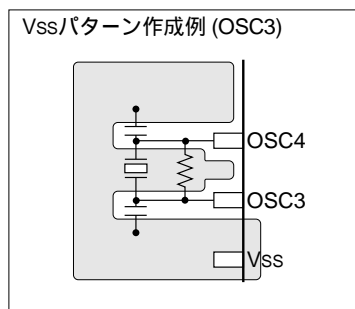
< 発振回路 >

発振特性は諸条件(使用部品、基板パターン等)により変化します。

特にセラミック発振子または水晶振動子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。

ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1) OSC1、OSC2、OSC3、OSC4端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
- (2) OSC1、OSC2、OSC3、OSC4端子およびこれらの端子に接続された部品の周辺部は下図のようにVssパターンをできるだけ広く作成してください。
また、このVssパターンは発振用途以外に使用しないでください。



- (3) OSC1(OSC3)端子に外部クロックを入力する場合、クロック源からできるだけ最短で接続してください。また、OSC2(OSC4)端子を開放としてください。

OSC1(OSC3) - VDD間のリーク電流による発振回路の不安定動作を防止するため、基板パターンにおいて、OSC1(OSC3)はVDD電源や信号線とは十分な距離を確保してください。

< リセット回路 >

パワーオン時RESET端子に入力されるリセット信号は、諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。

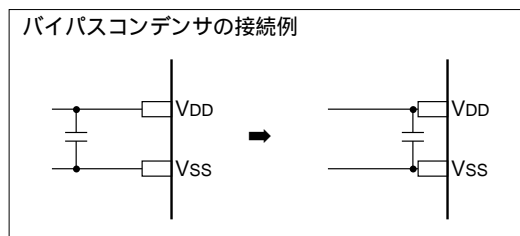
また、マスクオプションによりRESET端子のプルアップ抵抗を付加した場合には、抵抗値のばらつきを十分考慮した定数設定が必要です。

ノイズによる動作中のリセットを防ぐため、RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

< 電源回路 >

ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1) 電源からVDD、Vss端子へはできるだけ短くかつ太いパターンで接続してください。
- (2) VDD - Vssのバイパスコンデンサを接続する場合、VDD端子とVss端子をできるだけ最短で接続してください。



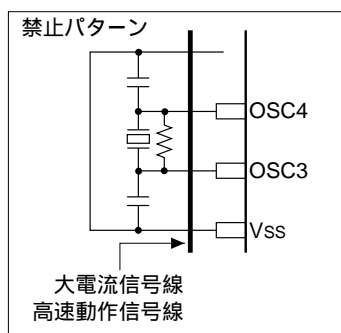
- (3) VDD1、VC1 ~ VC5、CA ~ CG端子に接続するコンデンサ等の部品はできるだけ最短で接続してください。
特にVC1 ~ VC5の各電圧はLCD駆動として用いるため表示品質に影響を与えます。

LCD駆動電源を使用しない場合は、VC1 ~ VC5およびCA ~ CG端子を開放としてください。

< 信号線の配置 >

相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。

高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。特に、発振部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



< 光に対する取り扱い (ペアチップ実装の場合) >

半導体素子は、光が照射されると特性が変化します。このため、本ICに光が当たると誤動作をおこすことがあります。

光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。

- (1) 実使用時にICの遮光性が考慮された構造となるよう、設計および実装を行ってください。
- (2) 検査工程では、ICの遮光性が考慮された環境設計を行ってください。
- (3) ICの遮光は、ICチップの表面、裏面および側面について考慮してください。

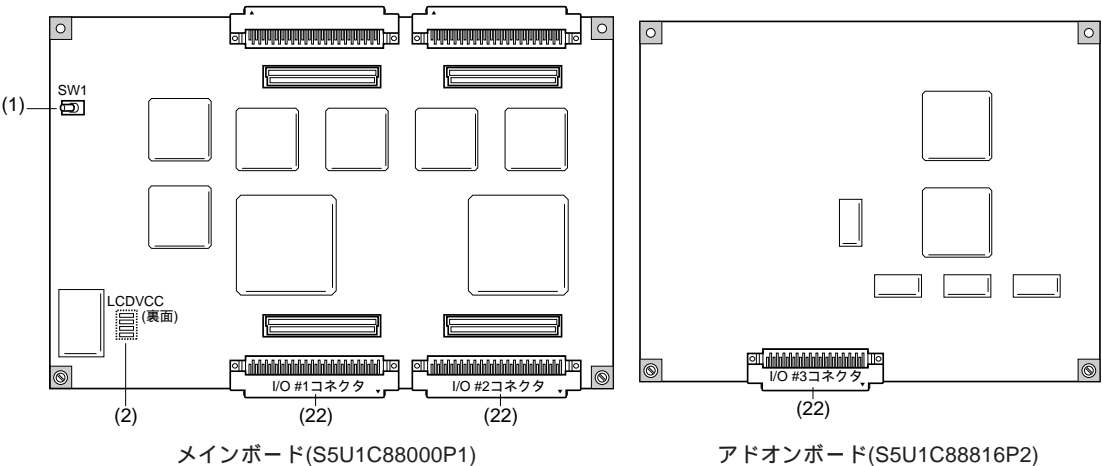
Appendix A S5U1C88000P1&S5U1C88816P2 Manual (Peripheral Circuit Board for S1C88848)

ここでは、8-bit Single Chip Microcomputer S1C88 FamilyのデバッキングツールであるICE (S5U1C88000H5)に装着してエミュレーション機能を提供するPeripheral Circuit Board for S1C88848 (S5U1C88000P1&S5U1C88816P2)の使用方法を説明します。

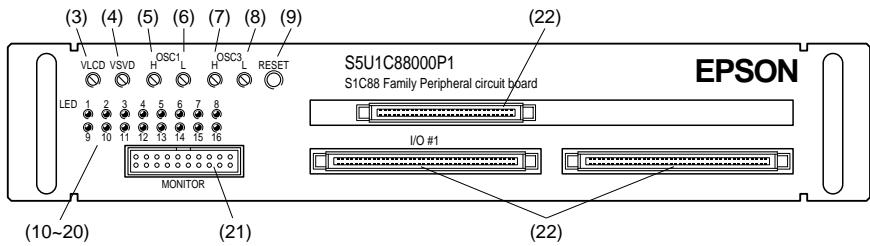
なお、本文はS1C88 Family Peripheral Circuit Board (S5U1C88000P1)にS1C88848用回路データがダウンロードされているものについて適用されます。S1C88 Family Peripheral Circuit Board (S5U1C88000P1)への回路データのダウンロード方法とボードの共通仕様などについては、製品に添付された"S5U1C88000P Manual"を、ICEの機能および操作などの詳細については、それぞれに用意されたマニュアルを参照してください。

A.1 各部の名称と機能

以下、S5U1C88000P1&S5U1C88816P2の各部の名称と機能について説明します。



図A.1.1 ボードレイアウト



図A.1.2 パネルレイアウト(S5U1C88000P1)

(1) SW1

回路データをダウンロードする場合は、"3"側に設定してください。それ以外の場合は、"1"側に設定してください。

(2) LCDVCC (S5U1C88000P1裏面)

表A.1.1に示すようにDIPスイッチ設定により、LCDドライバ用の内蔵電源(V_{C5})の電圧を変更することができます。なお、実ICのV_{C5}電圧はこれと異なりますので、充分ご注意ください。

(3) VLCDボリューム

未使用

表A.1.1 LCDVCCの設定

LCDVCC				設定
1	2	3	4	
ON	OFF	OFF	ON	V _{C5} = 6V
OFF	ON	OFF	OFF	V _{C5} = 5.75V
OFF	OFF	ON	OFF	V _{C5} = 5.5V
OFF	OFF	OFF	ON	V _{C5} = 5V
その他の組み合わせ				設定禁止

* LCDコントラスト調整レジスタLC0～LC3が0FHの場合の電圧値です。また、本ボードにおける使用部品の特性上、最大±6%の誤差が見込まれます。

(4) VSVDボリューム

電源電圧検出(SVD)機能を確認するため、擬似的に電源電圧を変化させるボリュームです。("A.2.2 実際のICとの相違点"を参照してください。)

(5) OSC1 Hボリューム

OSC1にCR発振回路が選択されている場合に、発振周波数を大まかに調整します。

(6) OSC1 Lボリューム

OSC1にCR発振回路が選択されている場合に、発振周波数を微調整します。

(7) OSC3 Hボリューム

OSC3にCR発振回路が選択されている場合に、発振周波数を大まかに調整します。

(8) OSC3 Lボリューム

OSC3にCR発振回路が選択されている場合に、発振周波数を微調整します。

(9) RESET

本ボードの回路をリセットし、ICEにリセット信号を与えます。

(10) LED 1 ~ 3 (Reserved)

未使用

(11) LED 4 (CLKCHG)

CPU動作クロックを示します。

点灯: OSC3 (CLKCHGレジスタ="1")

消灯: OSC1 (CLKCHGレジスタ="0")

(12) LED 5 (OSCC)

OSC3発振回路の状態を示します。

点灯: OSC3発振ON (OSCCレジスタ="1")

消灯: OSC3発振OFF (OSCCレジスタ="0")

(13) LED 6 (SVDON)

SVD回路の状態を示します。

点灯: SVD回路ON (SVDONレジスタ="1")

消灯: SVD回路OFF (SVDONレジスタ="0")

(14) LED 7 (LCDC)

LCD回路の状態を示します。

点灯: LCD回路ON (LCDCレジスタ="00"以外)

消灯: LCD回路OFF (LCDCレジスタ="00")

(15) LED 8 (Reserved)

未使用

(16) LED 9 (HALT/SLEEP)

CPUの動作状態を示します。

点灯: HALTまたはSLEEPモード

消灯: 通常動作モード

(17) LED 10 (OSC1動作クロック)

OSC1の動作クロックが接続されています。対応するモニタピン(10番ピン)をモニタすることで、OSC1が現在どのような周波数で発振を行っているかを確認することができます。

(18) LED 11 (OSC3動作クロック)

OSC3の動作クロックが接続されています。対応するモニタピン(11番ピン)をモニタすることで、OSC3が現在どのような周波数で発振を行っているかを確認することができます。

(19) LED 12 ~ 15 (Reserved)

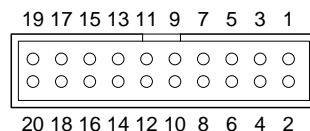
未使用

(20) LED 16 (FPGA Configuration)

S5U1C88000P1上のFPGAに回路データが書き込まれている状態で電源が投入されると点灯します。消灯している場合は、デバッグ前にFPGAデータの書き込みが必要です(データ書き込み後、電源を入れ直すと点灯します)。

(21) LED信号モニタ用コネクタ

前記LEDの信号をモニタするためのコネクタです。コネクタ端子より以下の信号が出力されます。LED信号は点灯時がHIGH、消灯時がLOWです。



図A.1.3 LED信号モニタ用コネクタ

4番ピン: LED 4 (CPU動作クロック)

5番ピン: LED 5 (OSC3発振ON/OFF)

6番ピン: LED 6 (SVD回路ON/OFF)

7番ピン: LED 7 (LCD回路ON/OFF)

9番ピン: LED 9 (HALT/SLEEP、RUN)

10番ピン: OSC1動作クロック

11番ピン: OSC3動作クロック

18番ピン: OSC1 CR発振周波数モニタ

19番ピン: OSC3 CR発振周波数モニタ

1~3、8、12~17および20番ピンは未使用です。

18、19番ピンはCR発振クロックが接続されています(水晶発振の選択やOSCCレジスタの設定にかかわらず、CR発振回路は常に動作しています)。CR発振周波数を微調整する場合のモニタ用端子として使用します。

(22) I/O #1, I/O #2, I/O #3コネクタ

I/OおよびLCD接続用コネクタです。I/O接続ケーブル(80pin/40pin × 2 flat type、60pin/30pin × 2 flat type)によってターゲットシステムと接続します。

A.2 使用上の注意

S5U1C88000P1&S5U1C88816P2を正しく使用していただくために、以下の事項に注意してください。

A.2.1 操作上の注意事項

- (1) ケーブルの接続、切り離しは接続する機器すべての電源をOFFにした状態で行ってください。
- (2) 入力ポート(K00～K03)をすべてLOWレベルにした状態において、電源投入およびマスクオプションデータのロードを行わないでください。キー同時押しリセット機能が働く可能性があります。
- (3) デバッグは、必ずマスクオプションデータをロードしてから行ってください。

A.2.2 実際のICとの相違点

実際のICとは機能、特性上、以下の相違がありますので注意が必要です。これらについて考慮を怠った場合、S5U1C88000P1&S5U1C88816P2を装着したICEでは動作しても実ICで動作しない場合があります。

(1) I/Oについての相違

インタフェース電源

本ボードとターゲットシステムのインタフェース電圧は+3.3Vに固定されています。このため、実際のICと同一のインタフェース電圧が必要な場合は、ターゲットシステム側においてレベルシフタ回路などを付加して対応してください。

各出力ポートの駆動能力

本ボードにおける各出力ポートの駆動能力は、実際のICに比べて高くなっていますので、"7 電氣的特性"を参照し、各出力端子の駆動能力を確認した上で、システムおよびソフトウェアの設計を行ってください。

各入力ポートの特性

入力割り込み等を使用する場合、入力端子のAC特性が実ICと異なりますので、立ち上がり/立ち下がり時間が遅い場合には、必ず実ICで動作確認を行ってください。

各ポートの保護ダイオード

すべてのI/Oポートには保護用ダイオードがVDDとVSSに対して入っており、ターゲットシステムとのインタフェース信号は+3.3Vに固定されます。このため、出力ポートをオープンドレインに設定し、VDDを超える電圧レベルとのインタフェースをとることはできません。

プルアップ抵抗値

本ボードにおいて、プルアップ抵抗値は300kΩに固定されていますが、実際のICと抵抗値が異なります。実際のICにおける抵抗値は、"7 電氣的特性"を参照して確認してください。
 なお、プルアップ抵抗を使用して入力端子をHighレベルに引き上げる場合などにおいて、Highレベル確定までの時間に相違が生じます。たとえば、出力ポートと入力ポートを組み合わせでキーマトリックス回路を構成した場合は、入力ポートの立ち上がりディレイに相違が発生しますので十分な注意が必要です。

(2) 消費電流についての相違

本ボードの消費電流は実際のICと大きく異なります。S5U1C88000P1前面パネルのLEDを確認することで、およそその消費電流を把握することができます。なお、消費電流に大きく影響をおよぼすものとして以下のようなものがあげられます。

LED、モニタピンなどで確認が可能なもの

- a) RunとHaltの実行比率
(ICEのモニタピン、LEDによる)
- b) CPU動作クロック切り換え
(LED4: モニタ4番ピン)
- c) OSC3発振On/Off
(LED5: モニタ5番ピン)
- d) SVD回路連続On/Off制御
(LED6: モニタ6番ピン)
- e) LCD電源制御
(LED7: モニタ7番ピン)
- f) SLEEPとHALTの実行比率
(LED9: モニタ9番ピン)
- g) OSC1動作クロック
(LED10: モニタ10番ピン)
- h) OSC3動作クロック
(LED11: モニタ11番ピン)

システム、ソフトウェア上注意するしかないもの

- i) 内蔵プルアップ抵抗により消費される電流
- j) 入力ポートがフローティング状態

S1C88848では、重負荷保護モード機能がありません。したがって、重負荷保護モードON(LED8点灯)でもS1C88848の消費電流に影響を与えることはありません。

(3) 機能上の相違

LCD回路

- LCD端子(SEG、COM)の駆動能力および出力電圧は実際のICと異なりますので、十分な注意が必要です。LCDのコントラストについては、調整可能となるようにシステムおよびソフトウェアを設計してください。また、S5U1C88000P1ボード裏面スイッチによりLCD駆動電圧を切り換えることが可能です。("A.1 各部の名称と機能"参照)
- LCDC0およびLCDC1レジスタが共に"0"(LCD電源制御回路がOFF)の場合、実ICではSEG、COM端子の出力レベルはV_{SS}レベルに固定されますが、本ボードにおいてはCOM端子はV_{C4}となり、SEG端子はV_{C3}(=V_{C2})になります。

SVD回路

- SVD機能は、S5U1C88000P1前面パネルのVSVDボリュームにより、擬似的に電源電圧を変化させることにより行います。
- SVD回路の電源をONしてから実際に電圧を検出するまでに遅延時間が発生します。本ボードの遅延時間は実際のICと異なりますので、"7 電気的特性"を参照して、ソフトウェアにより適切な待ち時間を設定してください。

発振回路

- OSC1水晶発振回路の発振周波数は32.768kHzに固定されています。
- OSC1 CR発振回路の発振周波数は、S5U1C88000P1前面パネルのボリュームにより約20kHz～500kHzの範囲で調整できます。ただし、実ICの動作範囲はこれとは異なりますので、"7 電気的特性"を参照して実ICが動作可能な周波数に設定してください。
- OSC3水晶発振回路の発振周波数は4.9152MHzに固定されています。
- OSC3 CR発振回路の発振周波数は、S5U1C88000P1前面パネルのボリュームにより約100kHz～8MHzの範囲で調整できます。ただし、実ICの動作範囲はこれとは異なりますので、"7 電気的特性"を参照して実ICが動作可能な周波数に設定してください。
- OSC3セラミック発振回路は内蔵していません。セラミック発振回路オプションを選択した場合は、代わりに水晶発振回路が選択されるようになっています。
- 外部クロック入力を使用する場合は、振幅を3.3V±5%、デューティを50%±10%以内に調整し、V_{SS}をGNDとしてOSC1、OSC3端子から入力してください。

- 本ボードではOSC3発振制御回路をON(OSCC="1")した後、待ち時間を取らずにCPUクロックをOSC3に切り換えても(CLKCHG="1")動作してしまいます。実ICでは発振ON後、クロックを切り換える前に発振安定待ち時間が必要ですので、"7 電氣的特性"を参照の上、適切な待ち時間を設定してください。
- OSC3からOSC1へのクロック切り換えと、OSC3回路の発振停止は別の命令で行ってください。ひとつの命令で同時に処理すると、本ボードで動作しても、実際のICで動作しない場合があります。
- 本ボードにはOSC1とOSC3用の発振回路が内蔵されています。実ICにおいてOSC3の発振子を接続しない場合でも、OSC3クロックによる動作が可能になりますので、注意してください。
- ロジックレベルが高いため発振開始や停止時間などのタイミングが異なります。

未使用アドレスへのアクセス

S1C88848内蔵のROM/RAM、I/O空間の未定義領域に対して読み出し/書き込みを行った場合、その値は不定となります。

また、S5U1C88000P1&S5U1C88816P2と実際のICでは、不定となる状態が異なりますので充分注意してください。

リセット回路

本ボードを組み込んだICEに電源を投入してからプログラムが動作するまでのシーケンスは、実際のICと異なりますので注意してください。本ボードでは、オプションデータのロード、ユーザプログラムのロードを行ってからデバッグシステムとしての動作が可能になります。

内部電源回路

LCDの駆動電圧は実際のICと異なります。

(4) 各機種対応における注意事項

パラメータファイル

本ボードを組み込んだICEは、パーソナルコンピュータ上のデバッグを起動した際に、機種ごとに提供されるパラメータファイル(88848.par)に従ってROM、RAM、I/O空間がその機種用に設定されます。

お客さまは、実際に使用するROM、RAM空間に合わせてこのパラメータファイルを変更することができますが、以下の領域以外は設定しないでください。

ROM領域: 0000H ~ BFFFFH

RAM領域: F000H ~ F5FFH

スタック領域: F000H ~ F5FFH

(5) S5U1C88816P2(アドオンボード)について

本ボードは、S1C88848の1/17デューティ機能のためにのみ使用します(COM16端子出力)。1/17デューティを使用しない場合は、本ボードは必要ありません。

A.3 ターゲットシステムとの接続

ここではS5U1C88000P1&S5U1C88816P2とターゲットシステムとの接続について説明します。

注: ケーブルの接続、切り離しは接続する機器すべての電源をOFFに行ってください。

ターゲットシステムは、前面パネルのI/O #1～I/O #3コネクタに添付のI/Oケーブル(80pin/40pin×2 flat type、60pin/30pin×2 flat type)を使用して接続します。

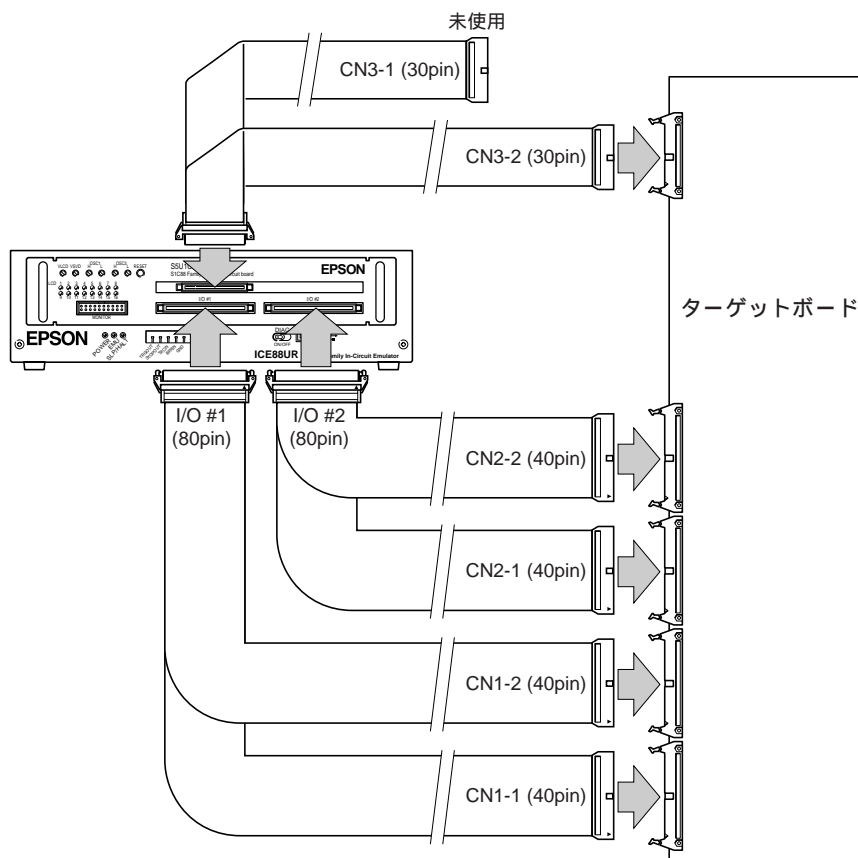
80pin、60pinをI/O #1～I/O #3コネクタに接続し、40pin×2、30pin×2をターゲットシステムに接続します。I/O #1、I/O #2には電源(V_{DD})が供給されていますので注意してください。また、1/17デューティを使用しない場合は、S5U1C88816P2とI/O #3が必要ありません。

内蔵水晶発振回路の周波数は次のとおりです。

OSC1水晶発振選択時: 32.768kHz

OSC3水晶発振選択時: 4.9152MHz

CR発振を選択した場合は、前面パネルのボリューム(OSC1用がOSC1HとOSC1L、OSC3用がOSC3HとOSC3L)で発振周波数を調整することができます。この場合は、モニタ用コネクタのOSC1 CR発振モニタピン(18番ピン)、またはOSC3 CR発振モニタピン(19番ピン)に周波数カウンタ等を接続し、値を確認しながら必要な周波数に設定してください。CR発振の初期周波数は不定のため、必ず使用前にOSC1 CR、OSC3 CR発振モニタピンで確認してください。



図A.3.1 ターゲットシステムとの接続

I/Oコネクタピン配置

表A.3.1 I/O #1コネクタ

40pin CN1-1		40pin CN1-2	
No.	端子名	No.	端子名
1	VDD (3.3V)	1	N.C.
2	VDD (3.3V)	2	N.C.
3	VSS	3	N.C.
4	VSS	4	N.C.
5	K00	5	N.C.
6	K01	6	N.C.
7	K02	7	SEG50DC*1
8	K03	8	SEG49DC*1
9	K04	9	SEG48DC*1
10	K05	10	SEG47DC*1
11	K06	11	N.C.
12	K07	12	N.C.
13	K10/EVIN2	13	R26/TOUT/REM
14	K11/EVIN0	14	R27/TOUT
15	N.C.	15	SEG46DC*1
16	N.C.	16	SEG45DC*1
17	N.C.	17	SEG44DC*1
18	N.C.	18	SEG43DC*1
19	N.C.	19	R34/FOUT
20	N.C.	20	SEG42DC*1
21	N.C.	21	SEG41DC*1
22	N.C.	22	SEG40DC*1
23	P10/SIN	23	R50/BZ
24	P11/SOUT	24	R51/BZ
25	P12/SCLK	25	COM0
26	P13/SRDY	26	COM1
27	P14	27	COM2
28	P15	28	COM3
29	P16	29	COM4
30	P17	30	COM5
31	N.C.	31	COM6
32	N.C.	32	COM7
33	N.C.	33	COM8
34	N.C.	34	COM9
35	N.C.	35	COM10
36	N.C.	36	COM11
37	N.C.	37	COM12
38	N.C.	38	COM13
39	N.C.	39	COM14
40	N.C.	40	COM15

表A.3.2 I/O #2コネクタ

40pin CN2-1		40pin CN2-2	
No.	端子名	No.	端子名
1	VDD (3.3V)	1	SEG27
2	VDD (3.3V)	2	SEG28
3	VSS	3	SEG29
4	VSS	4	SEG30
5	RESET	5	SEG31
6	N.C.	6	SEG32
7	OSC1EX	7	SEG33
8	OSC3EX	8	SEG34
9	Vc1	9	SEG35
10	Vc2	10	SEG36
11	Vc3	11	SEG37
12	Vc4	12	SEG38
13	Vc5	13	SEG39
14	SEG0	14	SEG40
15	SEG1	15	SEG41
16	SEG2	16	SEG42
17	SEG3	17	SEG43
18	SEG4	18	SEG44
19	SEG5	19	SEG45
20	SEG6	20	SEG46
21	SEG7	21	SEG47
22	SEG8	22	SEG48
23	SEG9	23	SEG49
24	SEG10	24	SEG50
25	SEG11	25	SEG51/COM31
26	SEG12	26	SEG52/COM30
27	SEG13	27	SEG53/COM29
28	SEG14	28	SEG54/COM28
29	SEG15	29	SEG55/COM27
30	SEG16	30	SEG56/COM26
31	SEG17	31	SEG57/COM25
32	SEG18	32	SEG58/COM24
33	SEG19	33	SEG59/COM23
34	SEG20	34	SEG60/COM22
35	SEG21	35	SEG61/COM21
36	SEG22	36	SEG62/COM20
37	SEG23	37	SEG63/COM19
38	SEG24	38	SEG64/COM18
39	SEG25	39	SEG65/COM17
40	SEG26	40	SEG66/COM16

*1 開発ツールのSEG40～SEG50端子は、マスクオプションでDC出力が選択されていても、DC出力ポートにはなりません。その代用として、SEG40DC～SEG50DC端子が用意されていますので、DC出力を選択した場合は、SEG40DC～SEG50DC端子を使用してください。

また、SEG40～SEG50端子がマスクオプションでSEG端子として設定されている場合は、SEG40DC～SEG50DC端子はHi-Zになります。

表A.3.3 I/O #3コネクタ

30pin CN3-1		30pin CN3-2	
No.	端子名	No.	端子名
1	N.C.	1	N.C.
2	N.C.	2	N.C.
3	N.C.	3	N.C.
4	N.C.	4	N.C.
5	N.C.	5	N.C.
6	N.C.	6	N.C.
7	N.C.	7	COM16*2
8	N.C.	8	N.C.
9	N.C.	9	N.C.
10	N.C.	10	N.C.
11	N.C.	11	N.C.
12	N.C.	12	N.C.
13	N.C.	13	N.C.
14	N.C.	14	N.C.
15	N.C.	15	N.C.
16	N.C.	16	N.C.
17	N.C.	17	N.C.
18	N.C.	18	N.C.
19	N.C.	19	N.C.
20	N.C.	20	N.C.
21	N.C.	21	N.C.
22	N.C.	22	N.C.
23	N.C.	23	N.C.
24	N.C.	24	N.C.
25	N.C.	25	N.C.
26	N.C.	26	N.C.
27	N.C.	27	N.C.
28	N.C.	28	N.C.
29	N.C.	29	N.C.
30	N.C.	30	N.C.

*2 LCD 1/17デューティ使用時のみ、7番ピンからCOM16信号が出力されます。1/17デューティ機能を使用しない場合は、本アドオンボードは必要ありません。

Appendix B FlashマイコンS1C8F360との違い

S1C88848の開発ツールとしてFlashマイコンS1C8F360を使用することが可能です。その機能の主な違いは、以下のとおりです。

機能	S1C8F360	S1C88848
SVD	<ul style="list-style-type: none"> • A/D変換方式 • 00FF12Hの中がS1C88848と異なる 	<ul style="list-style-type: none"> • コンパレータ方式
LCD電源	<ul style="list-style-type: none"> • TYPE B • $V_{C5}(\text{max.}) = 6.38\text{V}(\text{LCx} = \text{FH})$ • V_{C1}基準(1/4バイアス)なし 	<ul style="list-style-type: none"> • TYPE B • $V_{C5}(\text{max.}) = 5.7\text{V}(\text{LCx} = \text{AH})$ • V_{C1}基準(1/4バイアス)あり
イニシャルリセットシーケンス	<ul style="list-style-type: none"> • イニシャルリセット後、OSC1のみ"ON"し、CPUクロック = OSC1となる 	<ul style="list-style-type: none"> • イニシャルリセット後、OSC1、OSC3が共に"ON"し、CPUクロック = OSC3となる
メモリサイズ	<ul style="list-style-type: none"> • ROM: 60K • RAM: 2K 	<ul style="list-style-type: none"> • ROM: 48K • RAM: 1.5K
外部メモリアクセス	<ul style="list-style-type: none"> • あり 	<ul style="list-style-type: none"> • なし
LCDデューティ	<ul style="list-style-type: none"> • 1/17デューティなし 	<ul style="list-style-type: none"> • 1/17デューティあり
パッケージ	<ul style="list-style-type: none"> • QFP21-176pin(24 × 24mm²) • ピン配列はS1C88848と同じ 	<ul style="list-style-type: none"> • QFP15-128pin(14 × 14mm²) • ピン配列はS1C8F360と同じ
赤外線リモコンキャリア出力	<ul style="list-style-type: none"> • なし 	<ul style="list-style-type: none"> • あり
プログラマブルタイマ	<ul style="list-style-type: none"> • 8ch × 2 または 16ch × 1 	<ul style="list-style-type: none"> • 8ch × 4 または 16ch × 2
セグメントDC出力オプション	<ul style="list-style-type: none"> • なし 	<ul style="list-style-type: none"> • あり。最大11ビット
出力ポート	<ul style="list-style-type: none"> • R00 ~ R51(34ビット) 	<ul style="list-style-type: none"> • R26、R27、R34、R50、R51(5ビット)
I/Oポート	<ul style="list-style-type: none"> • P00 ~ P07、P10 ~ P17(16ビット) 	<ul style="list-style-type: none"> • P10 ~ P17(8ビット)
アナログコンパレータ	<ul style="list-style-type: none"> • あり 	<ul style="list-style-type: none"> • なし
逐次比較型A/D	<ul style="list-style-type: none"> • あり 	<ul style="list-style-type: none"> • なし
DC特性	<ul style="list-style-type: none"> • マニュアル参照 • 入力ポート(Kxx)の高レベル入力電圧(V_{IH})および低レベル入力電圧(V_{IL})がS1C88848と異なる 	<ul style="list-style-type: none"> • マニュアル参照 • Kxxはシュミット回路付き
I/Oメモリマップ	<ul style="list-style-type: none"> • マニュアル参照 	<ul style="list-style-type: none"> • マニュアル参照
Vosc端子	<ul style="list-style-type: none"> • あり。コンデンサの接続が必要 	<ul style="list-style-type: none"> • なし
Vss-Vc1間負荷抵抗	<ul style="list-style-type: none"> • 付ける 	<ul style="list-style-type: none"> • なし
CR発振特性	<ul style="list-style-type: none"> • マニュアル参照 	<ul style="list-style-type: none"> • マニュアル参照
OSC3発振特性(水晶)	<ul style="list-style-type: none"> • 水晶発振開始時間: max. 20 ms 	<ul style="list-style-type: none"> • 水晶発振開始時間: max. 50 ms
SVDリセット	<ul style="list-style-type: none"> • あり 	<ul style="list-style-type: none"> • なし
イニシャルリセット時のリモートコントローラ(REM)	<ul style="list-style-type: none"> • なし 	<ul style="list-style-type: none"> • イニシャルリセット後、マスクオプションの選択にかかわらずリモートコントローラがOSC3で動作しますので、使用しない場合は低消費電流化のため、イニシャルリセット後の初期化ルーチンでリモートコントローラをOFF(REMC = "0")にしてください。

セイコーエプソン株式会社 電子デバイス営業本部

ED東日本営業部

東京

〒191-8501 東京都日野市日野421-8
TEL (042) 587-5313(直通) FAX (042) 587-5116

仙台

〒980-0013 宮城県仙台市青葉区花京院1-1-20 花京院スクエア19F
TEL (022) 263-7975(代表) FAX (022) 263-7990

ED西日本営業部

大阪

〒541-0059 大阪府中央区博労町3-5-1 エプソン大阪ビル15F
TEL (06) 6120-6000(代表) FAX (06) 6120-6100

名古屋

〒461-0005 名古屋市東区東桜1-10-24 栄大野ビル4F
TEL (052) 953-8031(代表) FAX (052) 953-8041

インターネットによる電子デバイスのご紹介

<http://www.epsondevice.com/domcfg.nsf>