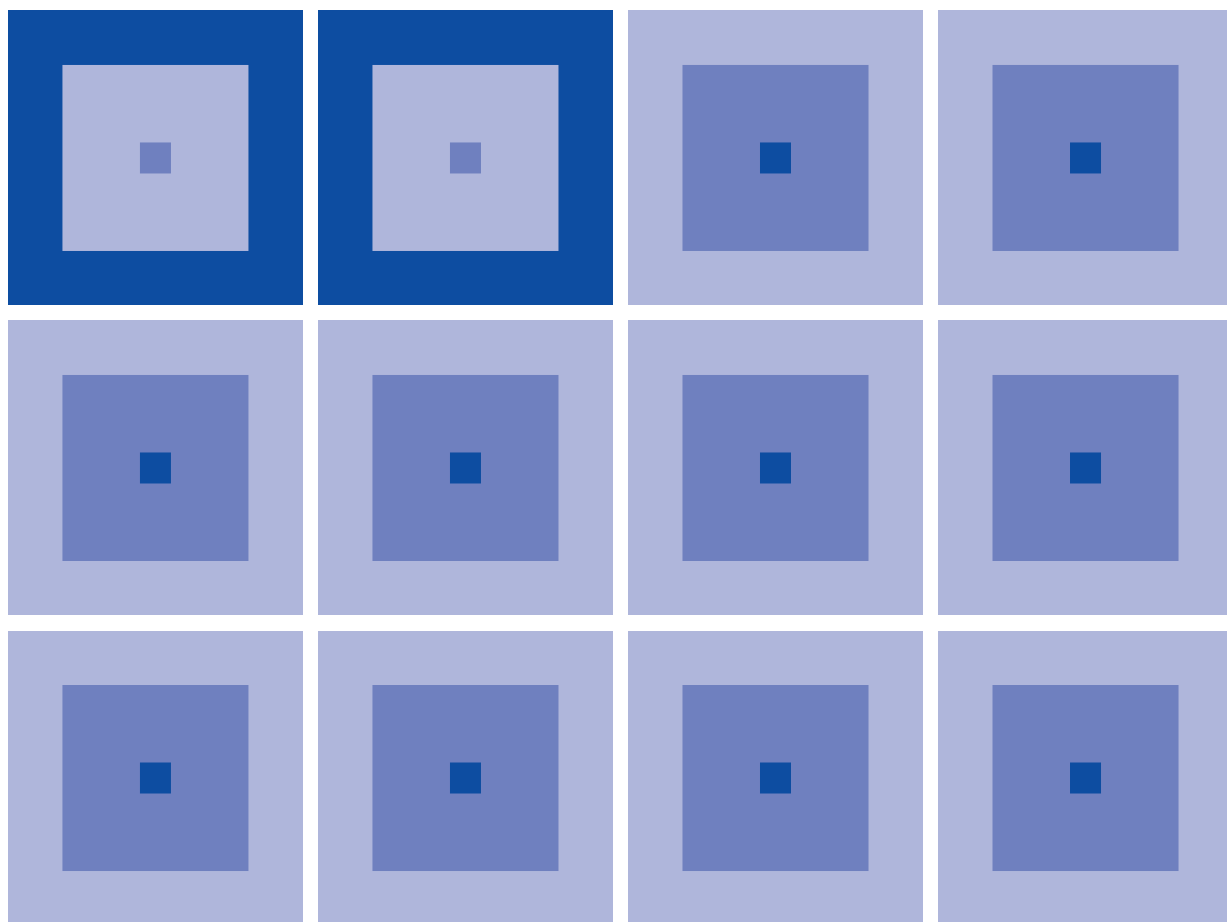


CMOS 32-BIT SINGLE CHIP MICROCOMPUTER

S1C33301

テクニカルマニュアル

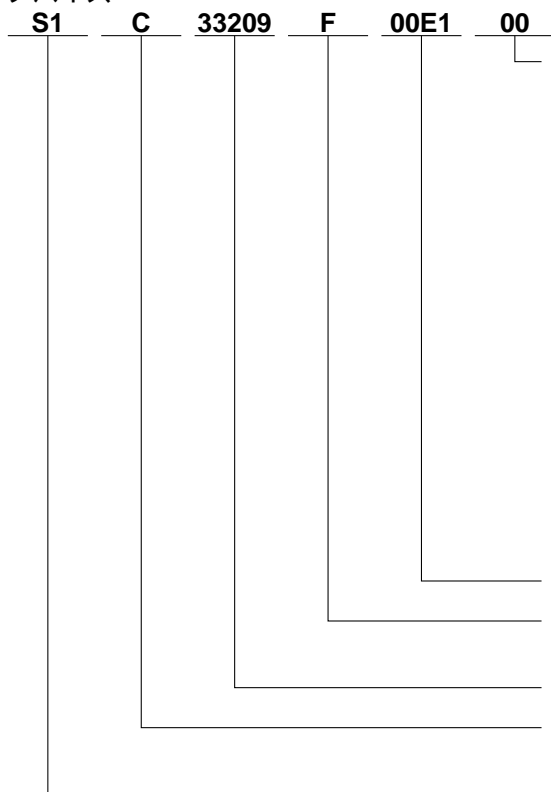


本資料のご使用につきましては、次の点にご留意願います。

1. 本資料の内容については、予告なく変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利(工業所有権を含む)侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち、「外国為替および外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、一般民生用です。生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合の如何なる責任についても負いかねます。

製品型番体系

デバイス



梱包仕様

[00: テープ&リール以外
0A: TCP BL 2方向
0B: テープ&リール BACK
0C: TCP BR 2方向
0D: TCP BT 2方向
0E: TCP BD 2方向
0F: テープ&リール FRONT
0G: TCP BT 4方向
0H: TCP BD 4方向
0J: TCP SL 2方向
0K: TCP SR 2方向
0L: テープ&リール LEFT
0M: TCP ST 2方向
0N: TCP SD 2方向
0P: TCP ST 4方向
0Q: TCP SD 4方向
0R: テープ&リール RIGHT
99: 梱包仕様未定]

仕様

形状

[D: ペアチップ、F: QFP]

機種番号

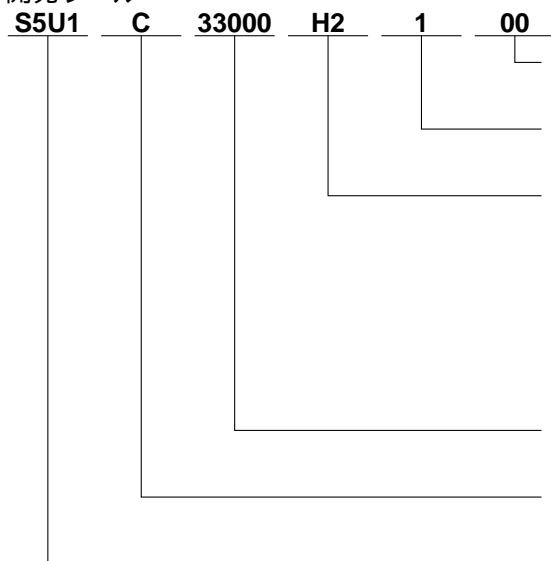
機種名称

[C: マイコン、デジタル製品]

製品分類

[S1: 半導体]

開発ツール



梱包仕様

[00: 標準梱包]

バージョン

[1: Version 1]

ツール種類

[Hx: ICE
Dx: 評価ボード
Ex: ROMエミュレーションボード
Mx: 外部ROM用エミュレーションメモリ
Tx: 実装用ソケット
Cx: コンパイラパッケージ
Sx: ミドルウェアパッケージ]

対応機種番号

[33L01: S1C33L01用]

ツール分類

[C: マイコン用]

製品分類

[S5U1: 半導体用開発ツール]

S1C33301 Technical Manual

I S1C33301	I
I-1 概要	Outline
I-2 ブロック図	Block
I-3 端子説明	Pin
I-4 電源	Power
I-5 内蔵メモリ	RAM
I-6 電気的特性	E char
I-7 パッケージ	Package
I-8 基本外部結線図	Wiring
I-9 実装上の注意事項	Mount
II コアブロック	II
II-1 はじめに	Intro
II-2 CPUと動作モード	CPU
II-3 イニシャルリセット	Reset
II-4 BCU (バスコントロールユニット)	BCU
II-5 ITC (割り込みコントローラ)	ITC
II-6 CLG (クロックジェネレータ)	CLG
II-7 パワーダウン制御	P down
II-8 DBG (デバッグユニット)	DBG
III 周辺回路ブロック	III
III-1 はじめに	Intro
III-2 チップID/端子制御レジスタ	PUP
III-3 プリスケアラ	PSC
III-4 8ビットプログラマブルタイマ	8TM
III-5 16ビットプログラマブルタイマ	16TM
III-6 ウォッチドッグタイマ	WDT
III-7 低速 (OSC1) 発振回路	OSC1
III-8 計時タイマ	CTM
III-9 シリアルインタフェース	SIF
III-10 FIFO付きシリアルインタフェース	FSIF
III-11 入出力ポート	I/O
III-12 拡張ポート	Ext I/O
III-13 スマートメディアインタフェース	SMIF
IV アナログブロック	IV
IV-1 はじめに	Intro
IV-2 A/D変換器	A/D
V DMAブロック	V
V-1 はじめに	Intro
V-2 HSDMA (高速DMA)	HSDMA
V-3 IDMA (インテリジェントDMA)	IDMA
Appendix	APP
I/Oマップ	I/O map

- 目 次 -

I S1C33301

I-1 概要	I-1-1
特長	I-1-1
I-2 ブロック図	I-2-1
C33マクロブロック図	I-2-1
機能ブロック図	I-2-3
I-3 端子説明	I-3-1
端子配置図(プラスチックパッケージ)	I-3-1
端子機能	I-3-3
I-4 電源	I-4-1
電源端子	I-4-1
動作電圧(V_{DD} , V_{SS})	I-4-1
I/Oインタフェース電源(V_{DDE})	I-4-1
アナログ回路用電源(AV_{DDE})	I-4-2
電源に関する注意事項	I-4-2
I-5 内蔵メモリ	I-5-1
ROMとブートアドレス	I-5-2
RAM	I-5-2
外部アドレスバス	I-5-2
I-6 電気的特性	I-6-1
絶対最大定格	I-6-1
推奨動作条件	I-6-1
DC特性	I-6-2
消費電流	I-6-3
A/D変換器特性	I-6-4
発振特性	I-6-5
PLL特性	I-6-5
端子特性	I-6-6
AC特性	I-6-9
記号説明	I-6-9
AC特性測定条件	I-6-9
C33ブロックAC特性表	I-6-10
C33ブロックAC特性タイミングチャート	I-6-12
参考資料 外部デバイスとのインタフェースタイミング	I-6-16
ROM, バーストROM	I-6-17
SRAM(55ns)	I-6-19
SRAM(70ns)	I-6-21
8255A	I-6-23
I-7 パッケージ	I-7-1
プラスチックパッケージ	I-7-1
パッケージの熱抵抗	I-7-3
I-8 基本外部結線図	I-8-1
I-9 実装上の注意事項	I-9-1

II コアブロック

II-1 はじめに	II-1-1
II-2 CPUと動作モード	II-2-1
CPU	II-2-1
スタンバイモード	II-2-1
HALTモード	II-2-1
SLEEPモード	II-2-1
注意事項	II-2-2
デバッグモード	II-2-2
トラップテーブル	II-2-2
II-3 イニシャルリセット	II-3-1
イニシャルリセット用端子	II-3-1
コールドスタートとホットスタート	II-3-1
パワーオンリセット	II-3-2
リセットパルス	II-3-2
ブートアドレス	II-3-2
イニシャルリセット時の注意事項	II-3-3
II-4 BCU(バスコントロールユニット)	II-4-1
外部システムインタフェース用の端子構成	II-4-1
入出力端子一覧	II-4-1
システムバス制御信号の組み合わせ	II-4-2
メモリエリア	II-4-3
メモリマップ	II-4-3
外部メモリマップとチップイネーブル	II-4-4
外部メモリ領域内での内蔵メモリの使用	II-4-6
エリア専用信号	II-4-6
エリア10	II-4-7
外部バス条件の設定	II-4-8
デバイスタイプとデバイスサイズの設定	II-4-8
SRAMタイプのタイミング条件設定	II-4-9
バーストROMタイプのタイミング条件設定	II-4-10
バスオペレーション	II-4-11
メモリ上のデータ配置	II-4-11
外部メモリのバスオペレーション	II-4-11
バスクロック	II-4-15
バススピードモード	II-4-16
バスクロックの外部出力	II-4-16
外部システムインタフェースのバスサイクル	II-4-17
SRAMタイプのリードサイクル	II-4-17
SRAMタイプのライトサイクル	II-4-21
バーストROMのリードサイクル	II-4-24
外部バスの解放	II-4-25
外部デバイスによるパワーダウン制御	II-4-25
BCUのI/Oメモリ	II-4-26
プログラミング上の注意事項	II-4-38

II-5 ITQ(割り込みコントローラ)	II-5-1
割り込み機能概要	II-5-1
マスク可能な割り込み	II-5-1
割り込み要因とインテリジェントDMA	II-5-3
NM(ノンマスカブル割り込み)	II-5-3
CPUの割り込み処理	II-5-3
割り込みによるスタンバイモードの解除	II-5-4
トラップテーブル	II-5-5
マスク可能な割り込みの制御	II-5-6
割り込みコントローラの構成	II-5-6
PSR(プロセッサステータスレジスタ)	II-5-6
割り込み要因フラグと割り込みイネーブルレジスタ	II-5-7
割り込みプライオリティレジスタと割り込みレベル	II-5-9
IDMAの起動	II-5-10
HSDMAの起動	II-5-12
割り込みコントローラのI/Oメモリ	II-5-13
プログラミング上の注意事項	II-5-25
II-6 CLG(クロックジェネレータ)	II-6-1
クロックジェネレータの構成	II-6-1
クロックジェネレータの入出力端子	II-6-2
高速(OSC3)発振回路	II-6-2
PLL	II-6-3
発振の制御	II-6-3
CPU動作クロックの設定と切り換え	II-6-4
パワーコントロールレジスタ保護フラグ	II-6-5
スタンバイモード時の動作	II-6-5
クロックジェネレータのI/Oメモリ	II-6-6
プログラミング上の注意事項	II-6-9
II-7 パワーダウン制御	II-7-1
II-8 DBG(デバッグユニット)	II-8-1
デバッグ回路	II-8-1
デバッグ回路の入出力端子	II-8-1

III 周辺回路ブロック

III-1 はじめに	III-1-1
III-2 チップID/端子制御レジスタ	III-2-1
チップIDレジスタ	III-2-1
プルアップ制御レジスタ	III-2-2
バスのLow駆動	III-2-2
レジスタをアクセスするためのBCUの設定	III-2-3
チップID/端子制御用I/Oメモリ	III-2-4
III-3 プリスケアラ	III-3-1
プリスケアラの構成	III-3-1
原振クロック	III-3-1
プリスケアラ分周比の選択と出力制御	III-3-2
8ビットプログラマブルタイマへの原振クロック出力	III-3-2
プリスケアラのI/Oメモリ	III-3-3
プログラミング上の注意事項	III-3-8
III-4 8ビットプログラマブルタイマ	III-4-1
8ビットプログラマブルタイマの構成	III-4-1
8ビットプログラマブルタイマの出力端子	III-4-2
8ビットプログラマブルタイマの用途	III-4-3
8ビットプログラマブルタイマの制御と動作	III-4-5
クロック出力の制御	III-4-8
8ビットプログラマブルタイマ割り込みとDMA	III-4-9
8ビットプログラマブルタイマのI/Oメモリ	III-4-11
プログラミング上の注意事項	III-4-19
III-5 16ビットプログラマブルタイマ	III-5-1
16ビットプログラマブルタイマの構成	III-5-1
16ビットプログラマブルタイマの入出力端子	III-5-2
16ビットプログラマブルタイマの用途	III-5-3
16ビットプログラマブルタイマの制御と動作	III-5-4
クロック出力の制御	III-5-7
16ビットプログラマブルタイマ割り込みとDMA	III-5-9
16ビットプログラマブルタイマのI/Oメモリ	III-5-12
プログラミング上の注意事項	III-5-26
III-6 ウォッチドッグタイマ	III-6-1
ウォッチドッグタイマの構成	III-6-1
ウォッチドッグタイマの制御	III-6-1
スタンバイモード時の動作	III-6-2
ウォッチドッグタイマのI/Oメモリ	III-6-3
プログラミング上の注意事項	III-6-3
III-7 低速(OSC1)発振回路	III-7-1
低速(OSC1)発振回路の構成	III-7-1
低速(OSC1)発振回路の入出力端子	III-7-1
発振回路の種類	III-7-2
発振の制御	III-7-2

CPU動作クロックの切り換え	III-7-3
パワーコントロールレジスタ保護フラグ	III-7-3
スタンバイモード時の動作	III-7-3
OSC1クロックの外部出力	III-7-4
低速(OSC1)発振回路のI/Oメモリ	III-7-5
プログラミング上の注意事項	III-7-8
III-8 計時タイマ	III-8-1
計時タイマの構成	III-8-1
計時タイマの制御と動作	III-8-2
計時タイマの割り込み機能	III-8-5
計時タイマの使用例	III-8-6
計時タイマのI/Oメモリ	III-8-7
プログラミング上の注意事項	III-8-12
III-9 シリアルインタフェース	III-9-1
シリアルインタフェースの構成	III-9-1
シリアルインタフェースの特長	III-9-1
シリアルインタフェースの入出力端子	III-9-2
転送モードの設定	III-9-3
クロック同期式インタフェース	III-9-4
クロック同期式インタフェースの概要	III-9-4
クロック同期式インタフェースの設定	III-9-5
クロック同期式転送の制御と動作	III-9-7
調歩同期式インタフェース	III-9-12
調歩同期式インタフェースの概要	III-9-12
調歩同期式インタフェースの設定	III-9-13
調歩同期式転送の制御と動作	III-9-16
IrDAインタフェース	III-9-21
IrDAインタフェースの概要	III-9-21
IrDAインタフェースの設定	III-9-21
IrDAインタフェースの制御と動作	III-9-23
シリアルインタフェース割り込みとDMA	III-9-24
シリアルインタフェースのI/Oメモリ	III-9-27
プログラミング上の注意事項	III-9-43
III-10 FIFO付きシリアルインタフェース	III-10-1
FIFO付きシリアルインタフェースの構成	III-10-1
FIFO付きシリアルインタフェースの特長	III-10-1
FIFO付きシリアルインタフェースの入出力端子	III-10-2
FIFO付きシリアルインタフェースを使用するためのBCUの設定	III-10-3
転送モードの設定	III-10-3
ボーレートタイマ(ボーレートの設定)	III-10-4
クロック同期式インタフェース	III-10-6
クロック同期式インタフェースの概要	III-10-6
クロック同期式インタフェースの設定	III-10-7
クロック同期式転送の制御と動作	III-10-8

調歩同期式インタフェース	III-10-14
調歩同期式インタフェースの概要	III-10-14
調歩同期式インタフェースの設定	III-10-15
調歩同期式転送の制御と動作	III-10-18
IrDAインタフェース	III-10-22
IrDAインタフェースの概要	III-10-22
IrDAインタフェースの設定	III-10-22
IrDAインタフェースの制御と動作	III-10-24
FIFO付きシリアルインタフェース割り込みとDMA	III-10-25
FIFO付きシリアルインタフェースのI/Oメモリ	III-10-27
プログラミング上の注意事項	III-10-37
III-11 入出力ポート	III-11-1
入力ポート (Kポート)	III-11-1
入力ポートの構成	III-11-1
入力ポート端子	III-11-2
使用上の注意	III-11-2
入力ポートのI/Oメモリ	III-11-3
入出力兼用ポート (Pポート)	III-11-4
入出力兼用ポートの構成	III-11-4
入出力兼用ポート端子	III-11-4
I/O制御レジスタと入力/出力モード	III-11-5
入出力兼用ポートのI/Oメモリ	III-11-6
入力割り込み	III-11-12
ポート入力割り込み	III-11-12
キー入力割り込み	III-11-13
割り込みコントローラの制御レジスタ	III-11-15
入力割り込みのI/Oメモリ	III-11-17
プログラミング上の注意事項	III-11-24
III-12 拡張ポート	III-12-1
拡張ポートの構成	III-12-1
拡張ポート端子	III-12-2
I/O制御レジスタと入力/出力モード	III-12-3
P4～P6、EFPレジスタをアクセスするためのBCUの設定	III-12-3
拡張ポートのI/Oメモリ	III-12-4
III-13 スマートメディアインタフェース	III-13-1
スマートメディアインタフェースの構成	III-13-1
スマートメディアインタフェースの出力端子	III-13-1
#CEエリアの選択	III-13-2
スマートメディアI/FレジスタをアクセスするためのBCUの設定	III-13-2
スマートメディアインタフェースのI/Oメモリ	III-13-3

IV アナログブロック

IV-1 はじめに	IV-1-1
IV-2 A/D変換器	IV-2-1
A/D変換器の特長と構成	IV-2-1
A/D変換器の入力端子	IV-2-2
A/D変換器の設定	IV-2-3
A/D変換の制御と動作	IV-2-7
A/D変換器割り込みとDMA	IV-2-10
A/D変換器のI/Oメモリ	IV-2-12
プログラミング上の注意事項	IV-2-25

V DMAブロック

V-1 はじめに	V-1-1
V-2 HSDMA(高速DMA)	V-2-1
HSDMAの機能概要	V-2-1
HSDMAの入出力端子	V-2-2
コントロール情報のプログラミング	V-2-3
デュアルアドレスモードのレジスタ設定	V-2-3
シングルアドレスモードのレジスタ設定	V-2-6
DMA転送の許可/禁止	V-2-7
トリガ要因	V-2-8
HSDMAの動作	V-2-9
デュアルアドレスモードの動作	V-2-9
シングルアドレスモードの動作	V-2-12
タイミングチャート	V-2-13
HSDMAの割り込み機能	V-2-14
HSDMAのI/Oメモリ	V-2-15
プログラミング上の注意事項	V-2-33
V-3 IDMA(インテリジェントDMA)	V-3-1
IDMAの機能概要	V-3-1
コントロール情報のプログラミング	V-3-1
IDMAの起動	V-3-5
IDMAの動作	V-3-8
リンク	V-3-12
IDMAの割り込み機能	V-3-13
IDMAのI/Oメモリ	V-3-14
プログラミング上の注意事項	V-3-17

Appendix

I/Oマップ	Appendix-1
--------------	------------

S1C33301 Technical Manual

I S1C33301

I-1 概要

S1C33301は、セイコーエプソンオリジナルの32ビットマイクロコンピュータです。高速動作、低消費電力、低電圧動作を特長とし、高度なデータ処理を必要とする携帯機器への応用に最適です。

S1C33301は32ビットRISC型CPU C33 STDを中心に、バスコントロールユニット、DMAコントローラ、割り込みコントローラ、タイマ、FIFO内蔵シリアルインタフェース、A/D変換器、スマートメディアインタフェース等の周辺回路、およびRAMで構成されます。高速系の発振回路とPLL、および低速発振回路を内蔵し、高速動作と省電力動作、および高度な計時機能に対応しています。さらに、内蔵の積和演算機能とA/D変換器との組み合わせにより、音声認識・合成処理等のDSP機能を必要とするシステムを容易に構築できます。

表I.1.1 機種構成

機種	パッケージ	内蔵RAM	内蔵ROM	バスI/F	入出力ポート	A/D入力
S1C33301F00A***	QFP15-128pin	8Kバイト	なし	LVCMOS/LVTTL	13(I)/47(I/O)	8ch.
S1C33301B00A***	PFBGA-121pin	8Kバイト	なし	LVCMOS/LVTTL	9(I)/44(I/O)	4ch.

注: S1C33301のサブコードの末尾は、機種識別とは関係ありません。

特長

コアCPU

セイコーエプソンオリジナル32ビットRISC型CPU C33 STDを内蔵

- 16ビット固定長、105種類の基本命令セット
- 16本の32ビット汎用レジスタを内蔵
- 32ビットのALUと8ビットシフタを内蔵
- 乗除算命令および積和演算(MAC)命令をサポート
- 20nsの最小命令実行時間(50MHz動作時)

内蔵メモリ

RAM: 8Kバイト

内蔵周辺回路

高速(OSC3)発振回路: 水晶/セラミック発振 33MHz max. ~ 5MHz min.
外部クロック入力 33MHz max. ~ 2MHz min.

低速(OSC1)発振回路: 水晶発振または外部クロック入力 32.768kHz typ.

PLL: 高速(OSC3)発振クロックの2逓倍可能
PLL入力クロック 25MHz max. ~ 15MHz min.
PLL出力クロック 50MHz max. ~ 30MHz min.

タイマ: 8ビットタイマ 6ch.
16ビットタイマ 6ch.
ウォッチドッグタイマ(16ビットタイマ0の機能)
計時タイマ 1ch(アラーム機能付き)

シリアルインタフェース: 4ch.
クロック同期式、調歩同期式、IrDA 1.0インタフェース選択可能
Ch.0はバッファ付き(受信用4バイト、送信用2バイト) またはバッファなしタイプを選択可能

A/D変換器: 10ビット×8ch(QFP15-128pin)
10ビット×4ch(PFBGA-121pin)

DMAコントローラ: 高速DMA 4ch.
インテリジェントDMA 128ch.

割り込みコントローラ:	インテリジェントDMA起動可能	
	入力割り込み	10種類 (プログラマブル)
	DMAコントローラ割り込み	5種類
	16ビットプログラマブルタイマ割り込み	12種類
	8ビットプログラマブルタイマ割り込み	6種類
	シリアルインタフェース割り込み	15種類
	A/D変換器割り込み	1種類
	計時タイマ割り込み	1種類

汎用入力/出力ポート:	周辺回路の入出力と兼用	
	入力ポート	13ビット (QFP15-128pin)
		9ビット (PFBGA-121pin)
	入出力兼用ポート	47ビット (QFP15-128pin)
		44ビット (PFBGA-121pin)

スマートメディアインタフェース: #SMRE、#SMWE信号を出力、スマートメディアを直接接続可能

外部バスインタフェース

BCU(バスコントロールユニット)内蔵

- 26ビットアドレスバス(内部28ビット処理)
- 16ビットデータバス
エリアごとにデータサイズを8または16ビットに設定可能
- リトルエンディアン方式によるメモリアクセス
エリアごとにビッグエンディアン方式にも設定可能
- メモリマップドI/O
- チップイネーブルとウェイト制御回路を内蔵
- バーストロムに対応

動作条件, 消費電流

動作電圧:	コア(V_{DD})	1.65V ~ 1.95V (1.8V \pm 0.15V)
	I/Q(V_{DDE})	2.7V ~ 3.6V (3.0/3.3V \pm 0.3V)
動作周波数:	CPU動作周波数	50MHz max. ^{注1}
	バス(BCU)動作周波数	40MHz max.
動作温度:	-40 ~ 85°C	
消費電力:	SLEEPモード時	8 μ W typ.
	HALTモード時	18mW typ.(50MHz)
	動作時	40mW typ.(50MHz) ^{注2}

出荷形態

QFP15-128pinまたはPFBGA-121pin プラスチックパッケージ

注: 1. CPU動作周波数(CPUシステムクロック)が40MHz以上の場合は、#X2SPD端子 = "0"(x2スピードモード)で使用してください。また、内部バスも40MHzを越えないように使用してください。

2. 動作時の消費電力は、"ロード命令 55%、演算命令 23%、mac命令 1%、分岐命令 12%、ext命令 9%"の試験プログラムを連続動作させた場合の値です。

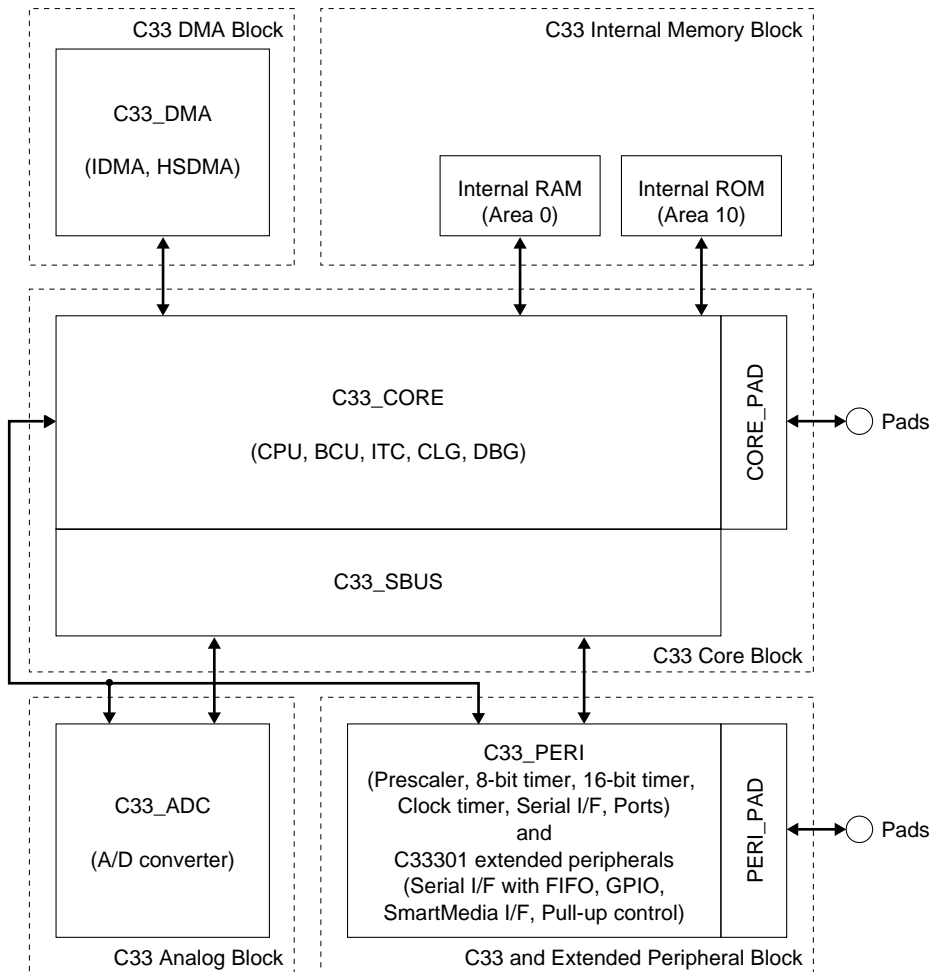
I-2 ブロック図

C33マクロブロック図

S1C33301は、C33コアブロック、C33周辺回路ブロック、C33アナログブロック、C33 DMAブロック、C33 内蔵メモリブロックの5つのC33マクロブロックで構成されています。

実際には、S1C33301の拡張周辺回路がもう1つのブロックとして内蔵されていますが、本書ではC33周辺回路ブロックに含めて説明します。

図I.2.1にC33マクロブロックの構成を示します。



図I.2.1 C33マクロブロック図

注: S1C33301はROMを内蔵しておりません。

C33コアブロック

CPU	32ビットRISC型CPU C33 STD
BCU(バスコントロールユニット)	26ビット外部アドレスバス、16ビットデータバス BCUの全機能を使用可能
ITC(割り込みコントローラ)	50種類の割り込みが使用可能
CLC(クロックジェネレータ)	OSC3発振回路(33MHz Max.)、PLL OSC1発振回路(32.768kHz Typ.)
DBG(デバッグユニット)	S5U1C33000H(In-Circuit Debugger for S1C33 Family)によるデバッグ 用機能ブロック

詳細については、"II コアブロック"を参照してください。

C33周辺回路ブロック

C33標準マクロブロック	
プリスケアラ	周辺回路用クロックをプログラマブルに設定可能
8ビットプログラマブルタイマ	6チャンネル(クロック出力機能付き)
16ビットプログラマブルタイマ	6チャンネル(イベントカウンタ、クロック出力、ウォッチドッグタイ マ機能付き)
シリアルインタフェース	4チャンネル(調歩同期式、クロック同期式、IrDA選択可能)
入出力ポート	入力ポート: 13ビット、入出力兼用ポート: 29ビット (周辺回路の入出力として使用)
計時タイマ	1チャンネル(アラーム機能付き)
S1C33301拡張周辺回路	
FIFO付きシリアルインタフェース	1チャンネル(調歩同期式、クロック同期式、IrDA選択可能) 標準マクロブロックのシリアルインタフェースCh.0と切り換えて使用
スマートメディアインタフェース	BCUの信号から#SMWE、#SMRE信号を生成 スマートメディアを直接接続可能
入出力ポート	入出力兼用ポートを47ビット(標準マクロポートを含む)に拡張
プルアップ制御回路	バスや入出力ポートのプルアップを制御
チップIDレジスタ	機種やバージョンを識別可能なIDレジスタを内蔵

詳細については、"III 周辺回路ブロック"を参照してください。

C33アナログブロック

A/D変換器	10ビットA/D変換器(入力: 8チャンネル) S1C33301では、拡張機能が使用可能
--------	---

詳細については、"IV アナログブロック"を参照してください。

C33 DMAブロック

HSDMA(高速DMA)	4チャンネル
IDMA(インテリジェントDMA)	128チャンネル

詳細については、"V DMAブロック"を参照してください。

C33メモリブロック

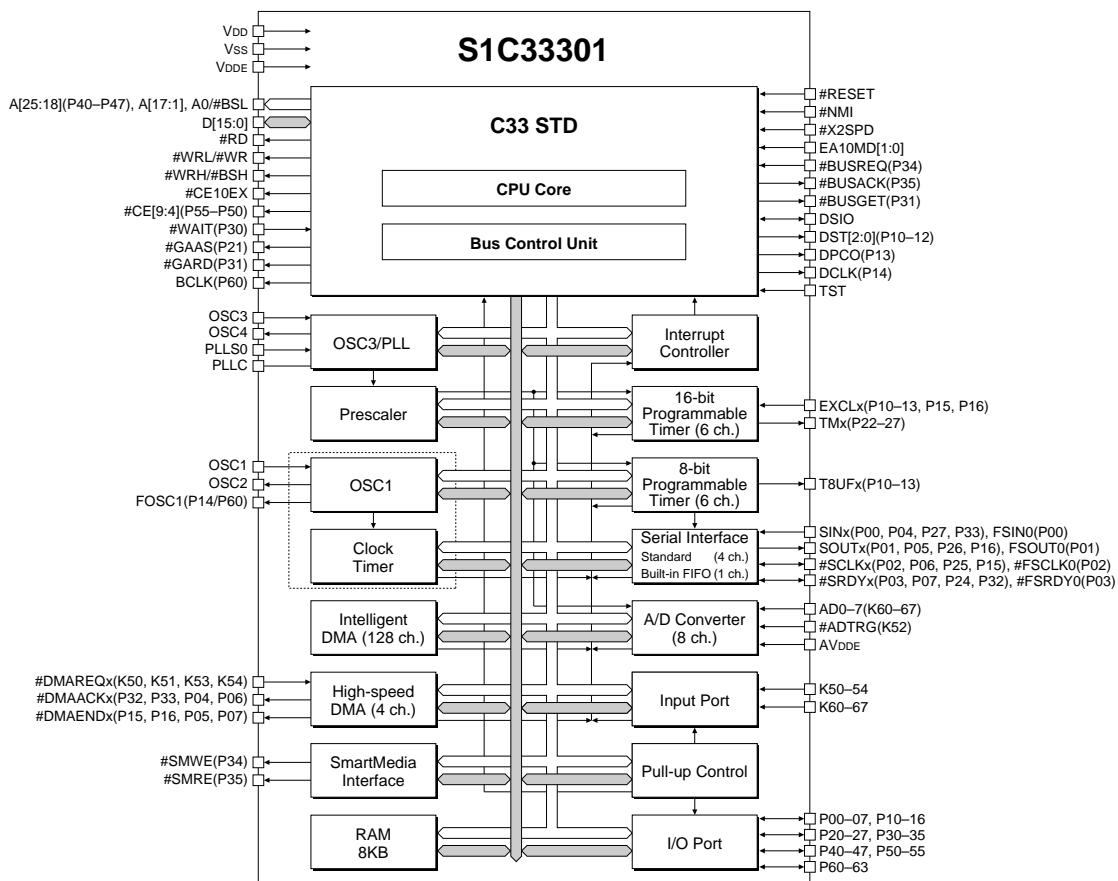
RAM	8KBのSRAMを内蔵
-----	-------------

詳細については、"I-5 内蔵メモリ"を参照してください。

機能ブロック図

I

Block



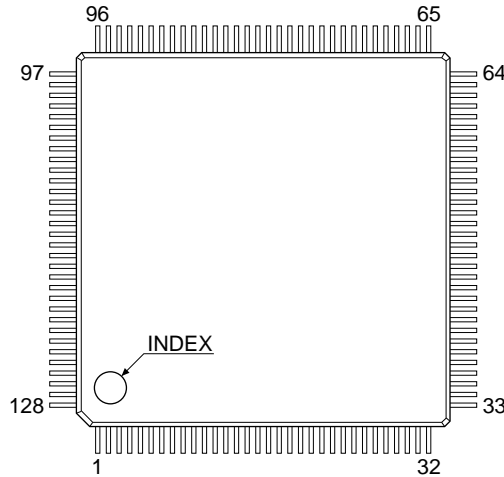
図I.2.2 S1C33301機能ブロック図

このページはブランクです。

I-3 端子説明

端子配置図(プラスチックパッケージ)

QFP15-128pin

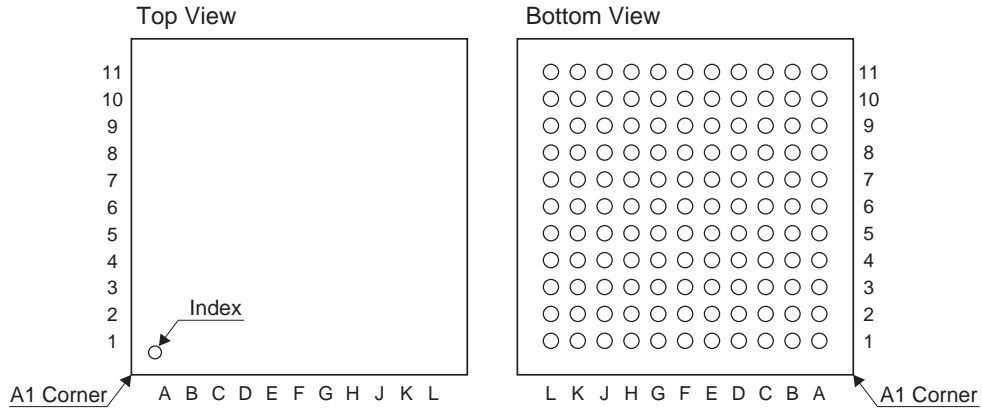


No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	A0(#BSL)	33	#RESET	65	#CE6(#CE7&8/P52)	97	P24(TM2/#SRDY2)
2	A1	34	P30(#WAIT/#CE4&5)	66	#CE7(#RAS0/#CE13/#RAS2/P53)	98	P25(TM3/#SCLK2)
3	Vss	35	P31(#BUSGET/#GARD)	67	#CE8(#RAS1/#CE14/#RAS3/P54)	99	P26(TM4/SOUT2)
4	A2	36	P32(#DMAACK0/#SRDY3)	68	#CE9(#CE17/#CE17&18/P55)	100	P27(TM5/SIN2)
5	A3	37	P33(#DMAACK1/SIN3)	69	Vss	101	Vss
6	A4	38	Vss	70	D8	102	K50(#DMAREQ0)
7	A5	39	OSC4	71	D9	103	K51(#DMAREQ1)
8	A6	40	OSC3	72	D10	104	K52(#ADTRG)
9	A7	41	#X2SPD	73	D11	105	K53(#DMAREQ2)
10	VDD	42	P34(#BUSREQ/#CE6/#SMWE)	74	VDDE	106	K54(#DMAREQ3)
11	A8	43	P35(#BUSACK/#SMRE)	75	D12	107	DSIO
12	A9	44	D0	76	D13	108	DST0(P10/EXCL0/T8UF0)
13	A10	45	D1	77	D14	109	DST1(P11/EXCL1/T8UF1)
14	A11	46	VDDE	78	D15	110	DST2(P12/EXCL2/T8UF2)
15	A12	47	D2	79	A22(P43)	111	VDDE
16	A13	48	D3	80	A23(P42)	112	DPCO(P13/EXCL3/T8UF3)
17	A14	49	D4	81	#LCAS(P41/A24)	113	DCLK(P14/FOSC1)
18	VDDE	50	D5	82	#HCAS(P40/A25)	114	P15(EXCL4/#DMAEND0/#SCLK3)
19	A15	51	D6	83	P00(SIN0/FSIN0)	115	P16(EXCL5/#DMAEND1/SOUT3)
20	A16	52	D7	84	P01(SOUT0/FSOUT0)	116	Vss
21	A17	53	VDD	85	P02(#SCLK0/#FSCLK0)	117	OSC2
22	A18(P47)	54	#WRL(#WR/#WE)	86	P03(#SRDY0/#FSRDY0)	118	OSC1
23	A19(P46)	55	#WRH(#BSH)	87	VDD	119	VDD
24	A20(P45)	56	#RD	88	P04(SIN1/#DMAACK2)	120	K60(AD0)
25	A21(P44)	57	#CE10EX(#CE9&10EX)	89	P05(SOUT1/#DMAEND2)	121	K61(AD1)
26	#NMI	58	BCLK(P60/FOSC1)	90	P06(#SCLK1/#DMAACK3)	122	K62(AD2)
27	EA10MD0	59	P61	91	P07(#SRDY1/#DMAEND3)	123	K63(AD3)
28	EA10MD1	60	P62	92	Vss	124	K64(AD4)
29	PLLS0	61	P63	93	P20(#DRD)	125	K65(AD5)
30	PLLC	62	Vss	94	P21(#DWE/#GAAS)	126	K66(AD6)
31	Vss	63	#CE4(#CE11/#CE11&12/P50)	95	P22(TM0)	127	K67(AD7)
32	TST	64	#CE5(#CE15/#CE15&16/P51)	96	P23(TM1)	128	AVDDE

太字: デフォルト設定の端子(信号)名

図I.3.1 端子配置図(QFP15-128pin)

PFBGA-121pin



11	Vss	P23 (TM1)	P20 (#DRD)	VDD	P01 (SOUT0/ FSOUT0)	D15	D13	D10	D8	#CE7 (#RAS0/#CE13/ #RAS2/P53)	Vss
10	P25 (TM3/ #SCLK2)	P24 (TM2/ #SRDY2)	P21 (#DWE/ #GAAS)	P05 (SOUT1/ #DMAEND2)	P02 (#SCLK0/ #FSCLK0)	A22 (P43)	VDD	D9	#CE8 (#RAS1/ #CE14/ #RAS3/P54)	#CE6 (#CE7&8/P52)	#CE5 (#CE15/ #CE15&16/ P51)
9	K50 (#DMAREQ0)	P26 (TM4/SOUT2)	P22 (TM0)	P06 (#SCLK1/ #DMAACK3)	P03 (#SRDY0/ #FSRDY0)	A23 (P42)	D12	D11	#CE9 (#CE17/ #CE17&18/ P55)	#CE4 (#CE11/ #CE11&12/ P50)	BCLK (P60/FOSC1)
8	K52 (#ADTRG)	K51 (#DMAREQ1)	P27 (TM5/SIN2)	P07 (#SRDY1/ #DMAEND3)	P04 (SIN1/ #DMAACK2)	#LCAS (P41/A24)	D14	#RD	#CE10EX (#CE9&10EX)	#WRH (#BSH)	#WRL (#WR/#WE)
7	DSIO	K54 (#DMAREQ3)	K53 (#DMAREQ2)	DST0 (P10/EXCL0/ T8UF0)	Vss	#HCAS (P40/A25)	D5	Vss	D7	D6	VDD
6	VDD	DST1 (P11/EXCL1/ T8UF1)	DCLK (P14/FOSC1)	DPCO (P13/EXCL3/ T8UF3)	DST2 (P12/EXCL2/ T8UF2)	P00 (SIN0/FSIN0)	D0	D1	D4	D2	D3
5	OSC2	Vss	P16 (EXCL5/ #DMAEND1/ SOUT3)	P15 (EXCL4/ #DMAEND0/ #SCLK3)	A10	VDD	A19 (P46)	P34 (#BUSREQ/ #CE6/ #SMWE)	P35 (#BUSACK/ #SMRE)	#X2SPD	VDD
4	OSC1	K60 (AD0)	Vss	VDD	A8	A13	A18 (P47)	P30 (#WAIT/ #CE4&5)	P31 (#BUSGET/ #GARD)	P33 (#DMAACK1/ SIN3)	OSC3
3	K61 (AD1)	K63 (AD3)	A2	A5	A6	A12	A17	#NMI	#RESET	P32 (#DMAACK0/ #SRDY3)	OSC4
2	AVDD	K62 (AD2)	A0 (#BSL)	A3	VDD	A11	A15	A21 (P44)	EA10MD0	PLLS0	TST
1	Vss	A1	A4	A7	A9	A14	A16	A20 (P45)	EA10MD1	PLL	Vss
	A	B	C	D	E	F	G	H	J	K	L

太字: デフォルト設定の端子 (信号名)

図I.3.2 端子配置図(PFBGA-121pin)

端子機能

I

Pin

表I.3.1 電源系端子一覧

端子名	端子No.		I/O	Pull-up	機 能
	QFP	FPBGA			
V _{DD}	10,53, 87,119	D4,D11, E2,L7	—	—	内部ロジック用電源(+)
V _{SS}	3,31,38, 62,69, 92,101, 116	A1,A11, B5,C4, E7,H7, L1,L11	—	—	電源(-)GND
V _{DD} E	18,46, 74,111	A6,F5, G10,L5	—	—	I/O用電源(+)
AV _{DD} E	128	A2	—	—	アナログ系電源(+)

表I.3.2 外部インタフェース信号端子一覧

端子名	端子No.		I/O	Pull-up	機 能
	QFP	FPBGA			
A0 #BSL	1	C2	I/O	*1	A0: アドレスバス(A0)/SBUSST(D3/0x4812E)="0"の場合(デフォルト) #BSL: バスストローブ(下位バイト)信号/SBUSST(D3/0x4812E)="1"の場合
A[17:1]	21-19, 17-11, 9-4,2	G3,G1, G2,F1, F4,F3, F2,E5, E1,E4, D1,E3, D3,C1, D2,C3, B1	O	*1	アドレスバス(A1-A17)
A18 P47	22	G4	I/O	*1	A18: アドレスバス(A18)/EFP47[1:0](D[7:6]/0x300049)="00"の場合(デフォルト) P47: 入出力兼用ポート/EFP47[1:0](D[7:6]/0x300049)="01"の場合
A19 P46	23	G5	I/O	*1	A19: アドレスバス(A19)/EFP46[1:0](D[5:4]/0x300049)="00"の場合(デフォルト) P46: 入出力兼用ポート/EFP46[1:0](D[5:4]/0x300049)="01"の場合
A20 P45	24	H1	I/O	*1	A20: アドレスバス(A20)/EFP45[1:0](D[3:2]/0x300049)="00"の場合(デフォルト) P45: 入出力兼用ポート/EFP45[1:0](D[3:2]/0x300049)="01"の場合
A21 P44	25	H2	I/O	*1	A21: アドレスバス(A21)/EFP44[1:0](D[1:0]/0x300049)="00"の場合(デフォルト) P44: 入出力兼用ポート/EFP44[1:0](D[1:0]/0x300049)="01"の場合
A22 P43	79	F10	I/O	*1	A22: アドレスバス(A22)/EFP43[1:0](D[7:6]/0x300048)="00"の場合(デフォルト) P43: 入出力兼用ポート/EFP43[1:0](D[7:6]/0x300048)="01"の場合
A23 P42	80	F9	I/O	*1	A23: アドレスバス(A23)/EFP42[1:0](D[5:4]/0x300048)="00"の場合(デフォルト) P42: 入出力兼用ポート/EFP42[1:0](D[5:4]/0x300048)="01"の場合
#LCAS P41 A24	81	F8	I/O (H)	*1	#LCAS: DRAMカラムアドレスストローブ(下位バイト)信号 /EFP41[1:0](D[3:2]/0x300048)="00"の場合(デフォルト) P41: 入出力兼用ポート/EFP41[1:0](D[3:2]/0x300048)="01"の場合 A24: アドレスバス(A24)/EFP41[1:0](D[3:2]/0x300048)="10"の場合
#HCAS P40 A25	82	F7	I/O (H)	*1	#HCAS: DRAMカラムアドレスストローブ(上位バイト)信号 /EFP40[1:0](D[1:0]/0x300048)="00"の場合(デフォルト) P40: 入出力兼用ポート/EFP40[1:0](D[1:0]/0x300048)="01"の場合 A25: アドレスバス(A25)/EFP40[1:0](D[1:0]/0x300048)="10"の場合
D[15:0]	78-75, 73-70, 52-47, 45,44	F11,G8, G11,G9, H9,H11, H10,J11, J7,K7, G7,J6, L6,K6, H6,G6	I/O	*2	データバス(D0-D15)
#CE10EX #CE9&10EX	57	J8	O	*1	#CE10EX: エリア10チップイネーブル/CEFUNC[1:0](D[A:9]/0x48130)="00"または "01"の場合(デフォルト) #CE9&10EX: エリア9&10チップイネーブル/CEFUNC[1:0](D[A:9]/0x48130)="1x"の場合
#CE9 #CE17 #CE17&18 P55	68	J9	I/O	*1	#CE9: エリア9チップイネーブル/EFP55[1:0](D[3:2]/0x30004B)="00"および CEFUNC[1:0](D[A:9]/0x48130)="00"の場合(デフォルト) #CE17: エリア17チップイネーブル/EFP55[1:0](D[3:2]/0x30004B)="00"および CEFUNC[1:0](D[A:9]/0x48130)="01"の場合 #CE17&18: エリア17&18チップイネーブル/EFP55[1:0](D[3:2]/0x30004B)="00"およ びCEFUNC[1:0](D[A:9]/0x48130)="1x"の場合 P55: 入出力兼用ポート/EFP55[1:0](D[3:2]/0x30004B)="01"の場合

端子名	端子No.		I/O	Pull-up	機 能
	QFP	FPBGA			
#CE8 #RAS1 #CE14 #RAS3 P54	67	J10	I/O	*1	#CE8: エリア8チップバイネーブル/EF54[1:0](D[1:0]/0x30004B)="00" CEFUNC[1:0](D[A:9]/0x48130)="00"およびA8DRA(D8/0x48128)="0"の 場合(デフォルト) #RAS1: エリア8 DRAMローストローブ/EF54[1:0](D[1:0]/0x30004B)="00" CEFUNC[1:0](D[A:9]/0x48130)="00"およびA8DRA(D8/0x48128)="1"の場合 #CE14: エリア14チップバイネーブル/EF54[1:0](D[1:0]/0x30004B)="00" CEFUNC[1:0](D[A:9]/0x48130)="01"およびA14DRA(D8/0x48122)="0"の場合 #RAS3: エリア14 DRAMローストローブ/EF54[1:0](D[1:0]/0x30004B)="00" CEFUNC[1:0](D[A:9]/0x48130)="01"およびA14DRA(D8/0x48122)="1"の場合 P54: 入出力兼用ポート/EF54[1:0](D[1:0]/0x30004B)="01"の場合
#CE7 #RAS0 #CE13 #RAS2 P53	66	K11	I/O	*1	#CE7: エリア7チップバイネーブル/EF53[1:0](D[7:6]/0x30004A)="00" CEFUNC[1:0](D[A:9]/0x48130)="00"およびA7DRA(D7/0x48128)="0"の 場合(デフォルト) #RAS0: エリア7 DRAMローストローブ/EF53[1:0](D[7:6]/0x30004A)="00" CEFUNC[1:0](D[A:9]/0x48130)="00"およびA7DRA(D7/0x48128)="1"の場合 #CE13: エリア13チップバイネーブル/EF53[1:0](D[7:6]/0x30004A)="00" CEFUNC[1:0](D[A:9]/0x48130)="01"およびA13DRA(D7/0x48122)="0"の場合 #RAS2: エリア13 DRAMローストローブ/EF53[1:0](D[7:6]/0x30004A)="00" CEFUNC[1:0](D[A:9]/0x48130)="01"およびA13DRA(D7/0x48122)="1"の場合 P53: 入出力兼用ポート/EF53[1:0](D[7:6]/0x30004A)="01"の場合
#CE6 #CE7&8 P52	65	K10	I/O	*1	#CE6: エリア6チップバイネーブル/EF52[1:0](D[5:4]/0x30004A)="00"および CEFUNC[1:0](D[A:9]/0x48130)="00"または"01"の場合(デフォルト) #CE7&8: エリア7&8チップバイネーブル/EF52[1:0](D[5:4]/0x30004A)="00"および CEFUNC[1:0](D[A:9]/0x48130)="1x"の場合 P52: 入出力兼用ポート/EF52[1:0](D[5:4]/0x30004A)="01"の場合
#CE5 #CE15 #CE15&16 P51	64	L10	I/O	*1	#CE5: エリア5チップバイネーブル/EF51[1:0](D[3:2]/0x30004A)="00"および CEFUNC[1:0](D[A:9]/0x48130)="00"の場合(デフォルト) #CE15: エリア15チップバイネーブル/EF51[1:0](D[3:2]/0x30004A)="00"および CEFUNC[1:0](D[A:9]/0x48130)="01"の場合 #CE15&16: エリア15&16チップバイネーブル/EF51[1:0](D[3:2]/0x30004A)="00"お びCEFUNC[1:0](D[A:9]/0x48130)="1x"の場合 P51: 入出力兼用ポート/EF51[1:0](D[3:2]/0x30004A)="01"の場合
#CE4 #CE11 #CE11&12 P50	63	K9	I/O	*1	#CE4: エリア4チップバイネーブル/EF50[1:0](D[1:0]/0x30004A)="00"および CEFUNC[1:0](D[A:9]/0x48130)="00"の場合(デフォルト) #CE11: エリア11チップバイネーブル/EF50[1:0](D[1:0]/0x30004A)="00"および CEFUNC[1:0](D[A:9]/0x48130)="01"の場合 #CE11&12: エリア11&12チップバイネーブル/EF50[1:0](D[1:0]/0x30004A)="00"お びCEFUNC[1:0](D[A:9]/0x48130)="1x"の場合 P50: 入出力兼用ポート/EF50[1:0](D[1:0]/0x30004A)="01"の場合
#RD	56	H8	O	*1	リード信号
#WRL #WR #WE	54	L8	O	*1	#WRL: ライト(下位バイト)信号/SBUSST(D3/0x4812E)="0"の場合(デフォルト) #WR: ライト信号/SBUSST(D3/0x4812E)="1"の場合 #WE: DRAMライト信号
#WRH #BSH	55	K8	O	*1	#WRH: ライト(上位バイト)信号/SBUSST(D3/0x4812E)="0"の場合(デフォルト) #BSH: バスストローブ(上位バイト)信号/SBUSST(D3/0x4812E)="1"の場合
BCLK P60 FOSC1	58	L9	I/O	*1	BCLK: バスクロック出力/EF60[1:0](D[1:0]/0x30004C)="00"の場合(デフォルト) P60: 入出力兼用ポート/EF60[1:0](D[1:0]/0x30004C)="01"の場合 FOSC1: OSC1クロック出力/EF60[1:0](D[1:0]/0x30004C)="10"の場合

表I.3.3 ポート端子一覧

端子名	端子No.		I/O	Pull-up	機 能
	QFP	FPBGA			
K50 #DMAREQ0	102	A9	I	*1	K50: 入力ポート/CFK50(D0/0x402C0)="0"の場合(デフォルト) #DMAREQ0: HSDMA Ch.0要求入力CFK50(D0/0x402C0)="1"の場合
K51 #DMAREQ1	103	B8	I	*1	K51: 入力ポート/CFK51(D1/0x402C0)="0"の場合(デフォルト) #DMAREQ1: HSDMA Ch.1要求入力CFK51(D1/0x402C0)="1"の場合
K52 #ADTRG	104	A8	I	*1	K52: 入力ポート/CFK52(D2/0x402C0)="0"の場合(デフォルト) #ADTRG: A/D変換器トリガ入力/CFK52(D2/0x402C0)="1"の場合
K53 #DMAREQ2	105	C7	I	*1	K53: 入力ポート/CFK53(D3/0x402C0)="0"の場合(デフォルト) #DMAREQ2: HSDMA Ch.2要求入力CFK53(D3/0x402C0)="1"の場合
K54 #DMAREQ3	106	B7	I	*1	K54: 入力ポート/CFK54(D4/0x402C0)="0"の場合(デフォルト) #DMAREQ3: HSDMA Ch.3要求入力CFK54(D4/0x402C0)="1"の場合
K60 AD0	120	B4	I	*1	K60: 入力ポート/CFK60(D0/0x402C3)="0"の場合(デフォルト) AD0: A/D変換器Ch.0入力/CFK60(D0/0x402C3)="1"の場合
K61 AD1	121	A3	I	*1	K61: 入力ポート/CFK61(D1/0x402C3)="0"の場合(デフォルト) AD1: A/D変換器Ch.1入力/CFK61(D1/0x402C3)="1"の場合
K62 AD2	122	B2	I	*1	K62: 入力ポート/CFK62(D2/0x402C3)="0"の場合(デフォルト) AD2: A/D変換器Ch.2入力/CFK62(D2/0x402C3)="1"の場合
K63 AD3	123	B3	I	*1	K63: 入力ポート/CFK63(D3/0x402C3)="0"の場合(デフォルト) AD3: A/D変換器Ch.3入力/CFK63(D3/0x402C3)="1"の場合
K64 AD4	124	—	I	*1	K64: 入力ポート/CFK64(D4/0x402C3)="0"の場合(デフォルト) AD4: A/D変換器Ch.4入力/CFK64(D4/0x402C3)="1"の場合
K65 AD5	125	—	I	*1	K65: 入力ポート/CFK65(D5/0x402C3)="0"の場合(デフォルト) AD5: A/D変換器Ch.5入力/CFK65(D5/0x402C3)="1"の場合
K66 AD6	126	—	I	*1	K66: 入力ポート/CFK66(D6/0x402C3)="0"の場合(デフォルト) AD6: A/D変換器Ch.6入力/CFK66(D6/0x402C3)="1"の場合
K67 AD7	127	—	I	*1	K67: 入力ポート/CFK67(D7/0x402C3)="0"の場合(デフォルト) AD7: A/D変換器Ch.7入力/CFK67(D7/0x402C3)="1"の場合
P00 SIN0 FSIN0	83	F6	I/O	*1	P00: 入出力兼用ポート/CFP00(D0/0x402D0)="0"および EFP00[1:0](D[1:0]/0x300040)="00"の場合(デフォルト) SIN0: シリアル/F Ch.0データ入力/CFP00(D0/0x402D0)="1"および EFP00[1:0](D[1:0]/0x300040)="00"の場合 FSIN0: FIFO付きシリアル/F Ch.0データ入力 /EFP00[1:0](D[1:0]/0x300040)="01"の場合
P01 SOUT0 FSOUT0	84	E11	I/O	*1	P01: 入出力兼用ポート/CFP01(D1/0x402D0)="0"および EFP01[1:0](D[3:2]/0x300040)="00"の場合(デフォルト) SOUT0: シリアル/F Ch.0データ出力/CFP01(D1/0x402D0)="1"および EFP01[1:0](D[3:2]/0x300040)="00"の場合 FSOUT0: FIFO付きシリアル/F Ch.0データ出力 /EFP01[1:0](D[3:2]/0x300040)="01"の場合
P02 #SCLK0 #FSCLK0	85	E10	I/O	*1	P02: 入出力兼用ポート/CFP02(D2/0x402D0)="0"および EFP02[1:0](D[5:4]/0x300040)="00"の場合(デフォルト) #SCLK0: シリアル/F Ch.0クロック入出力/CFP02(D2/0x402D0)="1"および EFP02[1:0](D[5:4]/0x300040)="00"の場合 #FSCLK0: FIFO付きシリアル/F Ch.0クロック入出力 /EFP02[1:0](D[5:4]/0x300040)="01"の場合
P03 #SRDY0 #FSRDY0	86	E9	I/O	*1	P03: 入出力兼用ポート/CFP03(D3/0x402D0)="0"および EFP03[1:0](D[7:6]/0x300040)="00"の場合(デフォルト) #SRDY0: シリアル/F Ch.0レディ信号入出力/CFP03(D3/0x402D0)="1"および EFP03[1:0](D[7:6]/0x300040)="00"の場合 #FSRDY0: FIFO付きシリアル/F Ch.0レディ信号入出力 /EFP03[1:0](D[7:6]/0x300040)="01"の場合
P04 SIN1 #DMAACK2	88	E8	I/O	*1	P04: 入出力兼用ポート/CFP04(D4/0x402D0)="0"および CFEX4(D4/0x402DF)="0"の場合(デフォルト) SIN1: シリアル/F Ch.1データ入力/CFP04(D4/0x402D0)="1"およびCFEX4 (D4/0x402DF)="0"の場合 #DMAACK2: HSDMA Ch.2応答出力/CFEX4(D4/0x402DF)="1"の場合
P05 SOUT1 #DMAEND2	89	D10	I/O	*1	P05: 入出力兼用ポート/CFP05(D5/0x402D0)="0"および CFEX5(D5/0x402DF)="0"の場合(デフォルト) SOUT1: シリアル/F Ch.1データ出力/CFP05(D5/0x402D0)="1"およびCFEX5 (D5/0x402DF)="0"の場合 #DMAEND2: HSDMA Ch.2転送終了信号出力/CFEX5(D5/0x402DF)="1"の場合

Pin

端子名	端子No.		I/O	Pull-up	機 能
	QFP	FPBGA			
P06 #SCLK1 #DMAACK3	90	D9	I/O	*1	P06: 入出力兼用ポート/CFP06(D6/0x402D0)="0"およびCFEX6(D6/0x402DF)="0"の場合(デフォルト) #SCLK1: シリアルI/F Ch.1クロック入出力/CFP06(D6/0x402D0)="1"およびCFEX6(D6/0x402DF)="0"の場合 #DMAACK3: HSDMA Ch.3応答出力/CFEX6(D6/0x402DF)="1"の場合
P07 #SRDY1 #DMAEND3	91	D8	I/O	*1	P07: 入出力兼用ポート/CFP07(D7/0x402D0)="0"およびCFEX7(D7/0x402DF)="0"の場合(デフォルト) #SRDY1: シリアルI/F Ch.1レディ信号入出力/CFP07(D7/0x402D0)="1"およびCFEX7(D7/0x402DF)="0"の場合 #DMAEND3: HSDMA Ch.3転送終了信号出力/CFEX7(D7/0x402DF)="1"の場合
P15 EXCL4 #DMAEND0 #SCLK3	114	D5	I/O	*1	P15: 入出力兼用ポート/CFP15(D5/0x402D4)="0"の場合(デフォルト) EXCL4: 16ビットタイマ4イベントカウンタ入力/CFP15(D5/0x402D4)="1"およびIOC15(D5/0x402D6)="0"の場合 #DMAEND0: HSDMA Ch.0転送終了信号出力/CFP15(D5/0x402D4)="1"およびIOC15(D5/0x402D6)="1"の場合 #SCLK3: シリアルI/F Ch.3クロック入出力/SSCLK3(D2/0x402D7)="1"およびCFP15(D5/0x402D4)="0"の場合
P16 EXCL5 #DMAEND1 SOUT3	115	C5	I/O	*1	P16: 入出力兼用ポート/CFP16(D6/0x402D4)="0"の場合(デフォルト) EXCL5: 16ビットタイマ5イベントカウンタ入力/CFP16(D6/0x402D4)="1"およびIOC16(D6/0x402D6)="0"の場合 #DMAEND1: HSDMA Ch.1転送終了信号出力/CFP16(D6/0x402D4)="1"およびIOC16(D6/0x402D6)="1"の場合 SOUT3: シリアルI/F Ch.3データ出力/SSOUT3(D1/0x402D7)="1"およびCFP16(D6/0x402D4)="0"の場合
P20 #DRD	93	C11	I/O	*1	P20: 入出力兼用ポート/CFP20(D0/0x402D8)="0"の場合(デフォルト) #DRD: 連続RASモード用DRAMリード信号出力/CFP20(D0/0x402D8)="1"の場合
P21 #DWE #GAAS	94	C10	I/O	*1	P21: 入出力兼用ポート/CFP21(D1/0x402D8)="0"およびCFEX2(D2/0x402DF)="0"の場合(デフォルト) #DWE: 連続RASモード用DRAMライト信号出力/CFP21(D1/0x402D8)="1"およびCFEX2(D2/0x402DF)="0"の場合 #GAAS: GA用エリアアドレスストローブ出力/CFEX2(D2/0x402DF)="1"の場合
P22 TM0	95	C9	I/O	*1	P22: 入出力兼用ポート/CFP22(D2/0x402D8)="0"の場合(デフォルト) TM0: 16ビットタイマ0出力/CFP22(D2/0x402D8)="1"の場合
P23 TM1	96	B11	I/O	*1	P23: 入出力兼用ポート/CFP23(D3/0x402D8)="0"の場合(デフォルト) TM1: 16ビットタイマ1出力/CFP23(D3/0x402D8)="1"の場合
P24 TM2 #SRDY2	97	B10	I/O	*1	P24: 入出力兼用ポート/CFP24(D4/0x402D8)="0"の場合(デフォルト) TM2: 16ビットタイマ2出力/CFP24(D4/0x402D8)="1"の場合 #SRDY2: シリアルI/F Ch.2レディ信号入出力/SSRDY2(D3/0x402DB)="1"およびCFP24(D4/0x402D8)="0"の場合
P25 TM3 #SCLK2	98	A10	I/O	*1	P25: 入出力兼用ポート/CFP25(D5/0x402D8)="0"の場合(デフォルト) TM3: 16ビットタイマ3出力/CFP25(D5/0x402D8)="1"の場合 #SCLK2: シリアルI/F Ch.2クロック入出力/SSCLK2(D2/0x402DB)="1"およびCFP25(D5/0x402D8)="0"の場合
P26 TM4 SOUT2	99	B9	I/O	*1	P26: 入出力兼用ポート/CFP26(D6/0x402D8)="0"の場合(デフォルト) TM4: 16ビットタイマ4出力/CFP26(D6/0x402D8)="1"の場合 SOUT2: シリアルI/F Ch.2データ出力/SSOUT2(D1/0x402DB)="1"およびCFP26(D6/0x402D8)="0"の場合
P27 TM5 SIN2	100	C8	I/O	*1	P27: 入出力兼用ポート/CFP27(D7/0x402D8)="0"の場合(デフォルト) TM5: 16ビットタイマ5出力/CFP27(D7/0x402D8)="1"の場合 SIN2: シリアルI/F Ch.2データ入力/SSIN2(D0/0x402DB)="1"およびCFP27(D7/0x402D8)="0"の場合
P30 #WAIT #CE4&5	34	H4	I/O	*1	P30: 入出力兼用ポート/CFP30(D0/0x402DC)="0"の場合(デフォルト) #WAIT: ウェイトサイクル要求入力/CFP30(D0/0x402DC)="1"の場合 #CE4&5: エリア4&5チップイネーブル/CFP30(D0/0x402DC)="1"およびIOC30(D0/0x402DE)="1"の場合
P31 #BUSGET #GARD	35	J4	I/O	*1	P31: 入出力兼用ポート/CFP31(D1/0x402DC)="0"およびCFEX3(D3/0x402DF)="0"の場合(デフォルト) #BUSGET: バス解放要求用バス状態モニタ信号出力/CFP31(D1/0x402DC)="1"およびCFEX3(D3/0x402DF)="0"の場合 #GARD: GA用エリアリード信号出力/CFEX3(D3/0x402DF)="1"の場合

端子名	端子No.		I/O	Pull-up	機 能
	QFP	FPBGA			
P32 #DMAACK0 #SRDY3	36	K3	I/O	*1	P32: 入出力兼用ポート/CFP32(D2/0x402DC)="0"の場合(デフォルト) #DMAACK0: HSDMA Ch.0応答出力/CFP32(D2/0x402DC)="1"の場合 #SRDY3: シリアル/F Ch.3レディ 信号入出力/SSRDY3(D3/0x402D7)="1"および CFP32(D2/0x402DC)="0"の場合
P33 #DMAACK1 SIN3	37	K4	I/O	*1	P33: 入出力兼用ポート/CFP33(D3/0x402DC)="0"の場合(デフォルト) #DMAACK1: HSDMA Ch.1応答出力/CFP33(D3/0x402DC)="1"の場合 SIN3: シリアル/F Ch.3データ入力/SSIN3(D0/0x402D7)="1"および CFP33(D3/0x402DC)="0"の場合
P34 #BUSREQ #CE6 #SMWE	42	H5	I/O	*1	P34: 入出力兼用ポート/CFP34(D4/0x402DC)="0"および EFP34[1:0](D[1:0]/0x300047)="00"の場合(デフォルト) #BUSREQ: バス解放要求入力/CFP34(D4/0x402DC)="1"および EFP34[1:0](D[1:0]/0x300047)="00"の場合 #CE6: エリア6チップインーブル/CFP34(D4/0x402DC)="1"、IOC34 (D4/0x402DE)="1"およびEFP34[1:0](D[1:0]/0x300047)="00"の場合 #SMWE: スマートメディアライト信号/EFP34[1:0](D[1:0]/0x300047)="01"の場合
P35 #BUSACK #SMRE	43	J5	I/O	*1	P35: 入出力兼用ポート/CFP35(D5/0x402DC)="0"および EFP35[1:0](D[3:2]/0x300047)="00"の場合(デフォルト) #BUSACK: バス解放要求応答出力/CFP35(D5/0x402DC)="1"および EFP35[1:0](D[3:2]/0x300047)="00"の場合 #SMRE: スマートメディアリード信号/EFP35[1:0](D[3:2]/0x300047)="01"の場合
P61	59	—	I/O	*1	入出力兼用ポート
P62	60	—	I/O	*1	入出力兼用ポート
P63	61	—	I/O	*1	入出力兼用ポート

表I.3.4 デバッグインタフェース端子一覧

端子名	端子No.		I/O	Pull-up	機 能
	QFP	FPBGA			
DST0 P10 EXCL0 T8UF0	108	D7	I/O (H)	*1	DST0: DST0信号出力/CFEX1(D1/0x402DF)="1"の場合(デフォルト) P10: 入出力兼用ポート/CFP10(D0/0x402D4)="0"および CFEX1(D1/0x402DF)="0"の場合 EXCL0: 16ビットタイマ0イベントカウンタ入力/CFP10(D0/0x402D4)="1"、 IOC10(D0/0x402D6)="0"、およびCFEX1(D1/0x402DF)="0"の場合 T8UF0: 8ビットタイマ0出力/CFP10(D0/0x402D4)="1"、 IOC10(D0/0x402D6)="1"、およびCFEX1(D1/0x402DF)="0"の場合
DST1 P11 EXCL1 T8UF1	109	B6	I/O (H)	*1	DST1: DST1信号出力/CFEX1(D1/0x402DF)="1"の場合(デフォルト) P11: 入出力兼用ポート/CFP11(D1/0x402D4)="0"および CFEX1(D1/0x402DF)="0"の場合 EXCL1: 16ビットタイマ1イベントカウンタ入力/CFP11(D1/0x402D4)="1"、 IOC11(D1/0x402D6)="0"およびCFEX1(D1/0x402DF)="0"の場合 T8UF1: 8ビットタイマ1出力/CFP11(D1/0x402D4)="1"、 IOC11(D1/0x402D6)="1"およびCFEX1(D1/0x402DF)="0"の場合
DST2 P12 EXCL2 T8UF2	110	E6	I/O (L)	*1	DST2: DST2信号出力/CFEX0(D0/0x402DF)="1"の場合(デフォルト) P12: 入出力兼用ポート/CFP12(D2/0x402D4)="0"および CFEX0(D0/0x402DF)="0"の場合 EXCL2: 16ビットタイマ2イベントカウンタ入力/CFP12(D2/0x402D4)="1"、 IOC12(D2/0x402D6)="0"およびCFEX0(D0/0x402DF)="0"の場合 T8UF2: 8ビットタイマ2出力/CFP12(D2/0x402D4)="1"、 IOC12(D2/0x402D6)="1"およびCFEX0(D0/0x402DF)="0"の場合
DPCO P13 EXCL3 T8UF3	112	D6	I/O (H)	*1	DPCO: DPCO信号出力/CFEX1(D1/0x402DF)="1"の場合(デフォルト) P13: 入出力兼用ポート/CFP13(D3/0x402D4)="0"および CFEX1(D1/0x402DF)="0"の場合 EXCL3: 16ビットタイマ3イベントカウンタ入力/CFP13(D3/0x402D4)="1"、 IOC13(D3/0x402D6)="0"およびCFEX1(D1/0x402DF)="0"の場合 T8UF3: 8ビットタイマ3出力/CFP13(D3/0x402D4)="1"、 IOC13(D3/0x402D6)="1"およびCFEX1(D1/0x402DF)="0"の場合
DCCLK P14 FOSC1	113	C6	I/O (H)	*1	DCCLK: DCCLK信号出力/CFEX0(D0/0x402DF)="1"の場合(デフォルト) P14: 入出力兼用ポート/CFP14(D4/0x402D4)="0"および CFEX0(D0/0x402DF)="0"の場合 FOSC1: OSC1クロック出力/CFP14(D4/0x402D4)="1"および CFEX0(D0/0x402DF)="0"の場合
DSIO	107	A7	I/O	Pull-up	デバッグ用シリアル入出力端子 本端子はデバッグツールS5U1C33000H/S5U1C33001Hとの通信に使用します。

表I.3.5 その他の端子

端子名	端子No.		I/O	Pull-up	機 能
	QFP	FPBGA			
OSC1	118	A4	I	－	低速(OSC1)発振入力 (32kHz水晶発振、または外部クロック入力)
OSC2	117	A5	O	－	低速(OSC1)発振出力
OSC3	40	L4	I	－	高速(OSC3)発振入力 (水晶/セラミック発振、または外部クロック入力)
OSC4	39	L3	O	－	高速(OSC3)発振出力
PLLS0	29	K2	I	－	PLLモード設定端子 0: PLL未使用, 1: PLL2通倍モード
PLLC	30	K1	－	－	PLL用コンデンサ接続端子
EA10MD1	28	J1	I	Pull-up	エリア10ブートモード選択 EA10MD1 EA10MD0 モード
EA10MD0	27	J2	I	Pull-up	1 1 外部ROMモード 通常動作時は、両端子とも 1 0 内蔵ROMモード VDDに接続してください。
#X2SPD	41	K5	I	－	倍速モード設定端子 1: CPUクロック=バスクロック×1, 0: CPUクロック=バスクロック×2 x2スピードモード(#X2SPD="0")で使用する場合は、必ずA1X1MD(D3/0x4813A)="1" に設定してください。
#NMI	26	H3	I	Pull-up	NMI要求入力端子
#RESET	33	J3	I	Pull-up	イニシャルリセット入力端子
TST	32	L2	I	Pull-down	テスト用入力端子 通常動作時はVSSに接続してください。

*1: I/Oレジスタにより、プルアップを有効/無効に制御可能(デフォルト設定はプルアップ有効)

*2: バスホールドラッチ付き

注: • 端子名の#は、入出力する信号がLowアクティブであることを示します。

- 太字で記載されている端子名とI/Oは、デフォルト設定の端子(信号)名と入出力方向です。
- I/Oの(H)と(L)は、デフォルトの出力レベルを示します。レベルが固定される信号のみ記述しています。
- PFBGA-121pinパッケージに、K67～K64およびP63～P61端子は存在しません。これらの端子のプルアップ抵抗は有効のまま(プルアップ制御レジスタのデフォルト設定のまま)使用してください。

I-4 電源

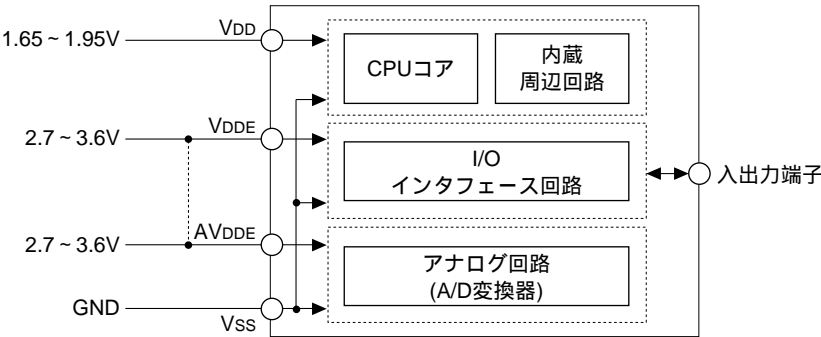
ここではS1C33301の動作電圧について説明します。

電源端子

S1C33301の電源端子を表I.4.1に示します。

表I.4.1 電源端子

端子名	端子No.		機 能
	QFP	FPBGA	
VDD	10,53,87,119	D4,D11,E2,L7	内部ロジック用電源端子(+)
Vss	3,31,38,62,69, 92,101,116	A1,A11,B5,C4, E7,H7,L1,L11	電源端子(-)GND
VDDE	18,46,74,111	A6,F5,G10,L5	I/O用電源端子(+)
AVDDE	128	A2	アナログ系電源端子(+)



図I.4.1 電源系

動作電圧(VDD, Vss)

S1C33301のコアCPUおよび内部周辺回路は、VDD ~ Vss間に供給される電源電圧によって動作します。この動作電圧は、次のとおりです。

VDD = 1.65V ~ 1.95V(1.8V±0.15V、Vss = GND)

注: S1C33301は4本のVDD端子と8本のVss端子を持っています。これらすべての端子を電源に接続し、開放しないでください。

I/Oインタフェース電源(VDDE)

VDDE電圧は外部信号とのインタフェースに使用します。S1C33301の出力インタフェースレベルは、HighレベルがVDDE、LowレベルがVssとなります。

GNDレベルにはVDD端子と共通のVss端子を使用します。

VDDEには次の電圧が使用可能です。

VDDE = 2.7V ~ 3.6V(3.0/3.3V±0.3V、Vss = GND)

注: • S1C33301は4本のVDDE端子を持っています。これらすべての端子を電源に接続し、開放しないでください。

- OSC1、OSC3端子に外部クロックを入力する場合、クロックの電圧レベルはVDDとしてください。

アナログ回路用電源 (AVDDE)

内蔵のアナログ回路 (A/D変換器) がデジタル回路の影響を受けないように、前記の電源端子とは別にアナログ回路用の電源端子 (AVDDE) が設けられています。

アナログ回路の電源電圧はAVDDE端子に供給し、VSS端子をGNDレベルとしてください。

AVDDEには次の電圧が使用可能です。

AVDDE = 2.7V ~ 3.6V (3.0/3.3V \pm 0.3V、VSS = GND)

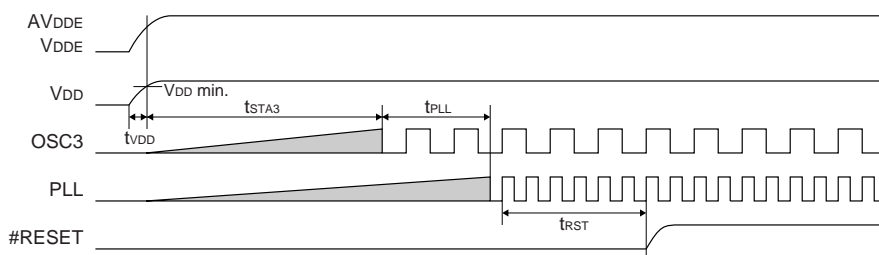
注: アナログ回路を使用しない場合は、必ずAVDDE端子にV_{DDE}電圧を供給してください。

アナログ電源ライン上のノイズはA/D変換精度に影響するため、使用する電源と基板パターンの作成には注意が必要です。

電源に関する注意事項

パワーオンシーケンス

デバイスを正常に動作させるため、以下のタイミングを守って電源を投入してください。



図I.4.2 パワーオンシーケンス

- (1) t_{VDD} : 電源投入時の電源が安定するまでの時間
下記の順序で (あるいは同時に) 電源を投入してください。
電源投入時: V_{DD}(内部) V_{DDE}, AV_{DDE}(I/O部) 入力信号印加
- (2) t_{STA3} : OSC3発振開始時間
- (3) t_{PLL} : PLLロックアップ時間
- (4) t_{RST} : 最小リセットパルス幅
C33 STDコアCPUに供給されるクロックが安定した状態から最低6クロックの期間、#RESET信号をLowに保持してください。

パワーオフシーケンス

下記の順序で (あるいは同時に) 電源を切断してください。

電源切断時: 入力信号オフ V_{DDE}, AV_{DDE}(I/O部) V_{DD}(内部)

ラッチアップ

CMOS構造のデバイスは、ラッチアップと呼ばれる状態になることがあります。これは、CMOS ICが内蔵する寄生のPNPN接合 (サイリスタ構造) が導通し、V_{DD} - V_{SS}間に大電流が流れて破壊に至る現象です。

ラッチアップは、入力・出力端子への電圧印加が定格を超えて、内部素子に大きな電流が流れた場合、あるいはV_{DD}端子の電圧が定格を超えて内部素子が降伏状態になったときに起こります。この場合、定格外の電圧印加が瞬間的なものであっても、一旦ラッチアップ状態になるとV_{DD} - V_{SS}間の大電流が保持され、発熱や発煙のおそれもあるため、次の点に注意してください。

- (1) 入出力端子の電圧レベルを電氣的特性に指定された範囲を超えて電源電圧より上げない、またはV_{SS}より下げないでください。電源投入時のタイミングも考慮してください。
- (2) 異常ノイズがデバイスに加わらないようにしてください。
- (3) 未使用の入力端子の電位をV_{DD}、V_{DDE}、AV_{DDE}またはV_{SS}に固定してください。
- (4) 出力を短絡しないでください。

I-5 内蔵メモリ

ここでは、S1C33301に内蔵されるメモリの構成について説明します。

図I.5.1にS1C33301のメモリマップを示します。

エリア	アドレス	
エリア18~11	0xFFFFFFF	外部メモリ
	0x1000000	
エリア10	0x0FFFFFF	外部メモリ
	0x0C00000	
エリア9~7	0x0BFFFFFF	外部メモリ
	0x0400000	
エリア6	0x03FFFFFF	内部I/O (16ビット)
	0x0380000	
	0x037FFFF	
	0x0300000	
エリア5~4	0x02FFFFFF	外部メモリ
	0x0100000	
エリア3	0x00FFFFFF	(Reserved) ミドルウェア用
	0x0080000	
エリア2	0x007FFFF	(Reserved) CPU, デバッグモード用
	0x0060000	
エリア1	0x005FFFF	(内蔵周辺回路のミラー)
	0x0050000	
	0x004FFFF	内蔵周辺回路
	0x0040000	
	0x003FFFF	(内蔵周辺回路のミラー)
	0x0030000	
エリア0	0x002FFFF	(内蔵RAMのミラー)
	0x0002000	
	0x0001FFF	内蔵RAM (8KB)
	0x0000000	

図I.5.1 メモリマップ

エリア2はデバッグモード専用の領域です。ユーザーモード (通常のプログラム実行状態) からはアクセスすることができません。

エリア6はイニシャルリセット時に外部アクセスに設定されます。エリア6のS1C33301拡張周辺回路をアクセスする前に、エリア6のBCUレジスタを以下のとおり設定しておく必要があります。

1. A6IQ (アクセス制御レジスタ0x48132・D9) = "1"
エリア6を内部アクセスに設定します。
2. A6EQ (アクセス制御レジスタ0x48132・D1) = "0"
エリア6のエンディアン形式をリトルエンディアンに設定します。
3. A6WT[2:0] (エリア6-4設定レジスタ0x4812A・D[A:8]) = "001"
エリア6のウェイト数を1に設定します。

ROMとブートアドレス

S1C33301はROMを内蔵していません。ブートアドレスが0x0C00000に固定されていますので、エリア10に外部ROM/Flashを使用してください。

エリア10の設定については、「II-4 BCU(バスコントロールユニット)」を参照してください。

RAM

S1C33301は8KBのRAMを内蔵しています。このRAMはエリア0のアドレス0x0000000 ~ 0x0001FFFに割り付けられています。

内蔵RAMはデバイスサイズは32ビットで、バイト、ハーフワード、ワードデータが1サイクルで読み出し/書き込み可能です。

外部アドレスバス

コアCPU C33 STDは内部アドレスバスでは28ビットのアドレスを扱うことができますが、S1C33301では外部アドレスに最大で下位26ビットまでの出力が可能です。

I-6 電気的特性

絶対最大定格

(V _{SS} =0V)					
項 目	記号	条 件	定 格 値	単位	注
内部ロジック電源電圧	V _{DD}		-0.3 ~ +2.5	V	
I/O電源電圧	V _{DDE}		-0.3 ~ +4.0	V	
アナログ電源電圧	AV _{DDE}		-0.3 ~ +4.0	V	
入力電圧	V _I		-0.3 ~ V _{DDE} +0.5	V	
アナログ入力電圧	AV _{IN}		-0.3 ~ AV _{DDE} +0.3	V	
高レベル出力電流	I _{OH}	1端子	-10	mA	
		全端子合計	-40	mA	
低レベル出力電流	I _{OL}	1端子	10	mA	
		全端子合計	40	mA	
保存温度	T _{STG}		-65 ~ +150	°C	

E char

推奨動作条件

(V _{SS} =0V)							
項 目	記号	条 件	Min.	Typ.	Max.	単位	注
内部ロジック電源電圧	V _{DD}		1.65	1.80	1.95	V	
I/O電源電圧	V _{DDE}		2.70	—	3.60	V	
アナログ電源電圧	AV _{DDE}		2.70	—	3.60	V	
入力電圧	HV _I		V _{SS}	—	V _{DDE}	V	
	LV _I		V _{SS}	—	V _{DD}	V	
アナログ入力電圧	AV _{IN}		V _{SS}	—	AV _{DDE}	V	
CPU動作周波数	f _{CPU}		—	—	50	MHz	
バス動作周波数	f _{BUS}		—	—	40	MHz	
OSC3発振動作周波数	f _{OSC3}		5	—	33	MHz	
OSC3外部クロック入力動作周波数	f _{ECLK}		2	—	33	MHz	
OSC1発振動作周波数	f _{OSC1}		—	32.768	—	kHz	
動作温度	T _a		-40	25	85	°C	
入力立ち上がり時間(ノーマル入力)	t _{ri}		—	—	50	ns	
入力立ち下がり時間(ノーマル入力)	t _{fi}		—	—	50	ns	
入力立ち上がり時間(シュミット入力)	t _{ri}		—	—	5	ms	
入力立ち下がり時間(シュミット入力)	t _{fi}		—	—	5	ms	

DC特性

(特記なき場合: $V_{DDE}=2.7V \sim 3.6V$, $V_{DD}=1.65V \sim 1.95V$, $T_a=-40^{\circ}C \sim +85^{\circ}C$)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
入力リーク電流	I_{LI}		-5	—	5	μA	
オフステートリーク電流	I_{OZ}		-5	—	5	μA	
高レベル出力電圧	V_{OH}	$I_{OH}=-1.7mA$ (2mA Type), $I_{OH}=-3.5mA$ (4mA Type), $V_{DD}=\text{Min.}$	V_{DD} -0.4	—	—	V	
低レベル出力電圧	V_{OL}	$I_{OL}=1.7mA$ (2mA Type), $I_{OL}=3.5mA$ (4mA Type), $V_{DD}=\text{Min.}$	—	—	0.4	V	
高レベル入力電圧	V_{IH}	LVTTLレベル, $V_{DDE}=\text{Max.}$	2.0	—	—	V	
低レベル入力電圧	V_{IL}	LVTTLレベル, $V_{DDE}=\text{Min.}$	—	—	0.7	V	
ポジティブトリガ入力電圧	V_{T+}	LVC MOSシュミット	1.2	—	2.7	V	
ネガティブトリガ入力電圧	V_{T-}	LVC MOSシュミット	0.5	—	1.8	V	
ヒステリシス電圧	V_H	LVC MOSシュミット	0.2	—	—	V	
ブルアップ抵抗	R_{PU}	$V_I=0V$					
		100k Ω Type	50	100	288	k Ω	
		50k Ω Type	25	50	144	k Ω	
ブルダウン抵抗	R_{PD}	$V_I=V_{DDE}$ (TST)	25	50	144	k Ω	
高レベル保持電流	I_{BHH}	バスホールド対応端子, $V_I=1.9V$, $V_{DDE}=\text{Min.}$	—	—	-20	μA	
低レベル保持電流	I_{BHL}	バスホールド対応端子, $V_I=0.8V$, $V_{DDE}=\text{Min.}$	—	—	17	μA	
高レベル反転電流	I_{BHHO}	バスホールド対応端子, $V_I=0.8V$, $V_{DDE}=\text{Max.}$	-350	—	—	μA	
低レベル反転電流	I_{BHLO}	バスホールド対応端子, $V_I=1.9V$, $V_{DDE}=\text{Max.}$	300	—	—	μA	
入力端子容量	C_I	$f=1MHz$, $V_{DDE}=0V$	—	—	8	pF	
出力端子容量	C_O	$f=1MHz$, $V_{DDE}=0V$	—	—	8	pF	
入出力端子容量	C_{IO}	$f=1MHz$, $V_{DDE}=0V$	—	—	8	pF	

注: 端子の特性については、本章内の"端子特性"を参照してください。

消費電流

動作電流

(特記なき場合: $V_{DDE}=AV_{DDE}=2.7V \sim 3.6V$, $V_{DD}=1.65V \sim 1.95V$, $V_{SS}=0V$, $T_a=-40^{\circ}C \sim +85^{\circ}C$)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
CPU動作時 消費電流	IDD1	20MHz	—	9	11	mA	1
		25MHz	—	11	14		
		33MHz	—	15	18		
		50MHz	—	22	27		
HALTモード時 消費電流	IDD2	20MHz	—	4	5	mA	2
		25MHz	—	5	7		
		33MHz	—	7	9		
		50MHz	—	10	13		
HALT2モード時 消費電流	IDD3	20MHz	—	1.5	2.5	mA	3
		25MHz	—	2.0	3.0		
		33MHz	—	2.5	4.0		
		50MHz	—	4.0	5.5		

消費電流測定条件: $V_{IH}=V_{DDE}$, $V_{IL}=0V$, 出力端子はオープン, V_{DDE} , AV_{DDE} の消費電流は含まれない。Typ.値測定条件: $V_{DDE}=AV_{DDE}=3.3V$, $V_{DD}=1.8V$, $T_a=25^{\circ}C$ Typ.サンプルでの電流値

注)	No.	高速発振	低速発振	CPU	その他周辺回路
	1	発振	停止	通常動作*1	停止
	2	発振	停止	HALTモード	停止
	3	発振	停止	HALT2モード	停止

*1 CPU動作時の消費電流は、"ロード命令 55%、演算命令 23%、mac命令 1%、分岐命令 12%、ext命令 9%"の試験プログラムを内蔵ROMからフェッチしながら連続動作させた場合の値です。

SLEEPモード時消費電流

(特記なき場合: $V_{DDE}=AV_{DDE}=2.7V \sim 3.6V$, $V_{DD}=1.65V \sim 1.95V$, $V_{SS}=0V$)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
SLEEPモード時 V_{DD} 消費電流	IDDSL	$T_a=25^{\circ}C$	—	1	10	μA	
		$T_a=85^{\circ}C$	—	10	100		
SLEEPモード時 V_{DDE} 消費電流+ AV_{DDE} 消費電流	IDDSE	$T_a=25^{\circ}C$	—	2	20	μA	
		$T_a=85^{\circ}C$	—	4	30		

消費電流測定条件: $V_{IH}=V_{DDE}$, $V_{IL}=0V$, 出力端子はオープンTyp.値測定条件: $V_{DDE}=AV_{DDE}=3.3V$, $V_{DD}=1.8V$, Typ.サンプルでの電流値

周辺回路動作電流

(特記なき場合: $V_{DDE}=AV_{DDE}=3.3V$, $V_{DD}=1.8V$, $V_{SS}=0V$, $T_a=25^{\circ}C$)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
計時タイマ動作電流	ICT	OSC1発振 32kHz	—	1	—	μA	4
A/D変換器動作電流	IAD	A/D変換器イネーブル時	—	300	—	μA	5
OSC3動作電流	IOSC3	OSC3発振 33MHz	—	0.6	—	mA	4
PLL動作電流	IPLL	PLL出力クロック 50MHz	—	1	—	mA	4

注) 4. V_{DD} 消費電流5. AV_{DDE} 消費電流

A/D変換器特性

(特記なき場合: $V_{DDE}=AV_{DDE}=2.7V \sim 3.6V$, $V_{DD}=1.65V \sim 1.95V$, $V_{SS}=0V$, $T_a=-40^{\circ}C \sim +85^{\circ}C$, $ST[1:0]=11$)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
分解能	—		—	10	—	bit	
変換時間	—		10	—	1250	μs	1
ゼロスケール誤差	E_{ZS}		-2	—	2	LSB	
フルスケール誤差	E_{FS}		-2	—	2	LSB	
積分直線性誤差	E_L		-3	—	3	LSB	
微分直線性誤差	E_D		-3	—	3	LSB	
許容信号源インピーダンス	—		—	—	5	$k\Omega$	
アナログ入力容量	—		—	—	45	pF	

注) 1. Min値はA/D変換器クロック入力=2MHzの場合

Max値はA/D変換器クロック入力=16kHzの場合

A/D変換誤差

$V[001]_h$ = 理想のゼロスケール点電圧(=0.5LSB)

$V'[001]_h$ = 実際のゼロスケール点電圧

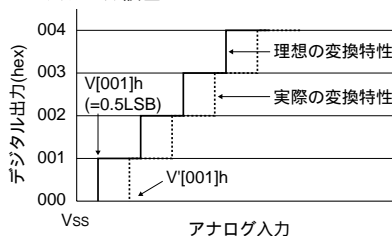
$V[3FF]_h$ = 理想のフルスケール点電圧(=1022.5LSB)

$V'[3FF]_h$ = 実際のフルスケール点電圧

$$1LSB = \frac{AV_{DDE} - V_{SS}}{2^{10} - 1}$$

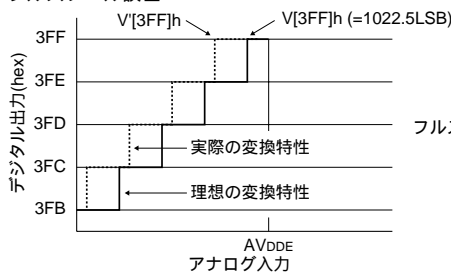
$$1LSB' = \frac{V'[3FF]_h - V'[001]_h}{2^{10} - 2}$$

ゼロスケール誤差



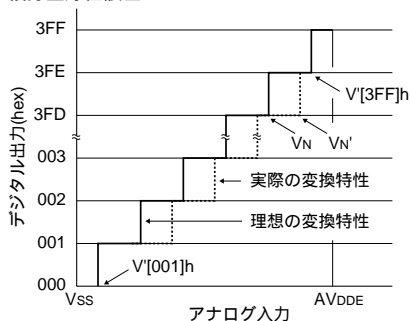
$$\text{ゼロスケール誤差 } E_{ZS} = \frac{(V[001]_h - 0.5LSB) - (V'[001]_h - 0.5LSB)}{1LSB} \text{ [LSB]}$$

フルスケール誤差



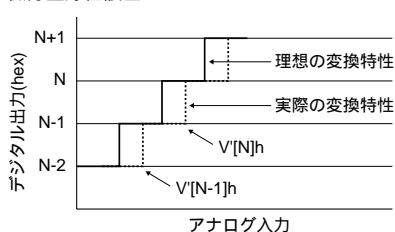
$$\text{フルスケール誤差 } E_{FS} = \frac{(V'[3FF]_h + 0.5LSB) - (V[3FF]_h + 0.5LSB)}{1LSB} \text{ [LSB]}$$

積分直線性誤差



$$\text{積分直線性誤差 } E_L = \frac{V_N' - V_N}{1LSB'} \text{ [LSB]}$$

微分直線性誤差



$$\text{微分直線性誤差 } E_D = \frac{V[N]_h - V'[N-1]_h}{1LSB'} - 1 \text{ [LSB]}$$

発振特性

発振特性は使用部品(振動子、 R_f 、 R_d 、 C_G 、 C_D)や基板パターンなどの諸条件により変化します。以下の特性は参考値としてご使用ください。特にセラミック発振子または水晶振動子を使用する場合、外付けの抵抗(R_f 、 R_d)や容量(C_G 、 C_D)の値は、実際の基板上に各部品を実装した状態で十分評価を行って適切なものを選んでください。

OSC1水晶発振

(特記なき場合: $V_{DD}=1.65 \sim 1.95V$, $V_{SS}=0V$, $T_a=25^\circ C$)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間	tSTA1				3	sec	

OSC3水晶/セラミック発振

注: OSC3水晶発振回路には、"基本波を使用した水晶振動子"を使用してください。

(特記なき場合: $V_{DD}=1.65 \sim 1.95V$, $V_{SS}=0V$, $T_a=25^\circ C$)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間	tSTA3				25	ms	

PLL特性

PLLS0の設定(推奨動作条件)

PLLS0	モード	Fin (OSC3クロック)	Fout
1	2通倍	15 ~ 25MHz	30 ~ 50MHz
0	PLL未使用	—	—

PLL特性

(特記なき場合: $V_{DD}=1.65V \sim 1.95V$, $V_{SS}=0V$, $R_1=4.7k\Omega$, $C_1=100pF$, $C_2=3pF$, $T_a=-40^\circ C \sim +85^\circ C$)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
ロックアップ時間	tPLL				1	ms	

端子特性

端子No.		信号名	I/Oセル名	入出力特性	出力特性	I/O	Pull-up/down (抵抗値)	電源	備考
QFP	BGA								
1	C2	A0 (#BSL)	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1, 3
2	B1	A1	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1, 3
3	A1	Vss	POWER	—	—	—	—	—	
4	C3	A2	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1, 3
5	D2	A3	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1, 3
6	C1	A4	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1, 3
7	D3	A5	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1, 3
8	E3	A6	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1, 3
9	D1	A7	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1, 3
10	E2	Vdd	POWER	—	—	—	—	—	
11	E4	A8	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1, 3
12	E1	A9	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1, 3
13	E5	A10	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1, 3
14	F2	A11	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1, 3
15	F3	A12	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1, 3
16	F4	A13	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1, 3
17	F1	A14	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1, 3
18	F5	V_{DDE}	POWER	—	—	—	—	—	
19	G2	A15	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1, 3
20	G1	A16	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1, 3
21	G3	A17	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1, 3
22	G4	A18 (P47)	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1
23	G5	A19 (P46)	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1
24	H1	A20 (P45)	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1
25	H2	A21 (P44)	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1
26	H3	#NMI	HIBHP1TY	LVC MOS Schmitt	—	I	Pull-up(50k)	V _{DDE}	
27	J2	EA10MD0	HIBHP2TY	LVC MOS Schmitt	—	I	Pull-up(100k)	V _{DDE}	
28	J1	EA10MD1	HIBHP2TY	LVC MOS Schmitt	—	I	Pull-up(100k)	V _{DDE}	
29	K2	PLLS0	HIBHY	LVC MOS Schmitt	—	I	—	V _{DDE}	
30	K1	PLLC	LLINY	—	—	—	—	V _{DDE}	
31	L1	Vss	POWER	—	—	—	—	—	
32	L2	TST	HIBHD1TY	—	—	I	Pull-down(50k)	V _{DDE}	テスト端子
33	J3	#RESET	HIBHP1TY	LVC MOS Schmitt	—	I	Pull-up(50k)	V _{DDE}	
34	H4	P30 (#WAIT/#CE4&5)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
35	J4	P31 (#BUSGET/#GARD)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
36	K3	P32 (#DMAACK0/#SRDY3)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
37	K4	P33 (#DMAACK1/SIN3)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
38	H7	Vss	POWER	—	—	—	—	—	
39	L3	OSC4	LLOTY	—	—	O	—	V _{DD}	
40	L4	OSC3	LLINY	—	—	I	—	V _{DD}	注4
41	K5	#X2SPD	HIBHTY	LVC MOS Schmitt	—	I	—	V _{DDE}	
42	H5	P34 (#BUSREQ/#CE6/#SMWE)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
43	J5	P35 (#BUSACK/#SMRE)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
44	G6	D0	HBBT2BHTY	LV TTL	4mA	I/O	—	V _{DDE}	注2
45	H6	D1	HBBT2BHTY	LV TTL	4mA	I/O	—	V _{DDE}	注2
46	L5	V_{DDE}	POWER	—	—	—	—	—	
47	K6	D2	HBBT2BHTY	LV TTL	4mA	I/O	—	V _{DDE}	注2
48	L6	D3	HBBT2BHTY	LV TTL	4mA	I/O	—	V _{DDE}	注2
49	J6	D4	HBBT2BHTY	LV TTL	4mA	I/O	—	V _{DDE}	注2
50	G7	D5	HBBT2BHTY	LV TTL	4mA	I/O	—	V _{DDE}	注2

端子No.		信号名	I/Oセル名	入出力特性	出力特性	I/O	Pull-up/down (抵抗値)	電源	備考
QFP	BGA								
51	K7	D6	HBBT2BHTY	LVTTTL	4mA	I/O	—	V _{DDE}	注2
52	J7	D7	HBBT2BHTY	LVTTTL	4mA	I/O	—	V _{DDE}	注2
53	L7	V_{DD}	POWER	—	—	—	—	—	
54	L8	#WRL (#WR/#WE)	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1
55	K8	#WRH (#BSH)	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1
56	H8	#RD	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1
57	J8	#CE10EX (#CE9&10EX)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
58	L9	BCLK (P60/FOSC1)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
59	—	P61	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1, 6
60	—	P62	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1, 6
61	—	P63	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1, 6
62	L11	V_{SS}	POWER	—	—	—	—	—	
63	K9	#CE4 (#CE11/#CE11&12/P50)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
64	L10	#CE5 (#CE15/#CE15&16/P51)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
65	K10	#CE6 (#CE7&8/P52)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
66	K11	#CE7 (#RAS0/#CE13/#RAS2/P53)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
67	J10	#CE8 (#RAS1/#CE14/#RAS3/P54)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
68	J9	#CE9 (#CE17/#CE17&18/P55)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
69	E7	V_{SS}	POWER	—	—	—	—	—	
70	J11	D8	HBBT2BHTY	LVTTTL	4mA	I/O	—	V _{DDE}	注2
71	H10	D9	HBBT2BHTY	LVTTTL	4mA	I/O	—	V _{DDE}	注2
72	H11	D10	HBBT2BHTY	LVTTTL	4mA	I/O	—	V _{DDE}	注2
73	H9	D11	HBBT2BHTY	LVTTTL	4mA	I/O	—	V _{DDE}	注2
74	G10	V_{DDE}	POWER	—	—	—	—	—	
75	G9	D12	HBBT2BHTY	LVTTTL	4mA	I/O	—	V _{DDE}	注2
76	G11	D13	HBBT2BHTY	LVTTTL	4mA	I/O	—	V _{DDE}	注2
77	G8	D14	HBBT2BHTY	LVTTTL	4mA	I/O	—	V _{DDE}	注2
78	F11	D15	HBBT2BHTY	LVTTTL	4mA	I/O	—	V _{DDE}	注2
79	F10	A22 (P43)	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1
80	F9	A23 (P42)	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1
81	F8	#LCAS (P41/A24)	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1
82	F7	#HCAS (P40/A25)	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1
83	F6	P00 (SIN0/FSIN0)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
84	E11	P01 (SOUT0/FSOUT0)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
85	E10	P02 (#SCLK0/#FSCLK0)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
86	E9	P03 (#SRDY0/#FSRDY0)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
87	D11	V_{DD}	POWER	—	—	—	—	—	
88	E8	P04 (SIN1/#DMAACK2)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
89	D10	P05 (SOUT1/#DMAEND2)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
90	D9	P06 (#SCLK1/#DMAACK3)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
91	D8	P07 (#SRDY1/#DMAEND3)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
92	A11	V_{SS}	POWER	—	—	—	—	—	
93	C11	P20 (#DRD)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
94	C10	P21 (#DWE/#GAAS)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
95	C9	P22 (TM0)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
96	B11	P23 (TM1)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
97	B10	P24 (TM2/#SRDY2)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
98	A10	P25 (TM3/#SCLK2)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
99	B9	P26 (TM4/SOUT2)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
100	C8	P27 (TM5/SIN2)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1

端子 No.		信号名	I/Oセル名	入出力特性	出力特性	I/O	Pull-up/down (抵抗値)	電源	備考
QFP	BGA								
101	B5	Vss	POWER	—	—	—	—	—	
102	A9	K50(#DMAREQ0)	HIBHP2TY	LVC MOS Schmitt	—	I	Pull-up(100k)	V _{DDE}	注1
103	B8	K51(#DMAREQ1)	HIBHP2TY	LVC MOS Schmitt	—	I	Pull-up(100k)	V _{DDE}	注1
104	A8	K52(#ADTRG)	HIBHP2TY	LVC MOS Schmitt	—	I	Pull-up(100k)	V _{DDE}	注1
105	C7	K53(#DMAREQ2)	HIBHP2TY	LVC MOS Schmitt	—	I	Pull-up(100k)	V _{DDE}	注1
106	B7	K54(#DMAREQ3)	HIBHP2TY	LVC MOS Schmitt	—	I	Pull-up(100k)	V _{DDE}	注1
107	A7	DSIO	HBBH2BP1TY	LVC MOS Schmitt	4mA	I/O	Pull-up(50k)	V _{DDE}	
108	D7	DST0(P10/EXCL0/T8UF0)	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1
109	B6	DST1(P11/EXCL1/T8UF1)	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1
110	E6	DST2(P12/EXCL2/T8UF2)	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1
111	A6	V _{DDE}	POWER	—	—	—	—	—	
112	D6	DPCO(P13/EXCL3/T8UF3)	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1
113	C6	DCLK(P14/FOSC1)	HBBH2BP2TY	LVC MOS Schmitt	4mA	I/O	Pull-up(100k)	V _{DDE}	注1
114	D5	P15(EXCL4/#DMAEND0/#SCLK3)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
115	C5	P16(EXCL5/#DMAEND1/SOUT3)	HBBH1BP2TY	LVC MOS Schmitt	2mA	I/O	Pull-up(100k)	V _{DDE}	注1
116	C4	Vss	POWER	—	—	—	—	—	
117	A5	OSC2	LLOTY	—	—	O	—	V _{DD}	
118	A4	OSC1	LLINY	—	—	I	—	V _{DD}	注4
119	D4	V _{DD}	POWER	—	—	—	—	—	
120	B4	K60(AD0)	HIBSP2TY	LVC MOS	—	I	Pull-up(100k)	AV _{DDE}	注1, 5
121	A3	K61(AD1)	HIBSP2TY	LVC MOS	—	I	Pull-up(100k)	AV _{DDE}	注1, 5
122	B2	K62(AD2)	HIBSP2TY	LVC MOS	—	I	Pull-up(100k)	AV _{DDE}	注1, 5
123	B3	K63(AD3)	HIBSP2TY	LVC MOS	—	I	Pull-up(100k)	AV _{DDE}	注1, 5
124	—	K64(AD4)	HIBSP2TY	LVC MOS	—	I	Pull-up(100k)	AV _{DDE}	注1, 5, 6
125	—	K65(AD5)	HIBSP2TY	LVC MOS	—	I	Pull-up(100k)	AV _{DDE}	注1, 5, 6
126	—	K66(AD6)	HIBSP2TY	LVC MOS	—	I	Pull-up(100k)	AV _{DDE}	注1, 5, 6
127	—	K67(AD7)	HIBSP2TY	LVC MOS	—	I	Pull-up(100k)	AV _{DDE}	注1, 5, 6
128	A2	AV _{DDE}	POWER	—	—	—	—	—	

注1) I/Oレジスタによりプルアップ抵抗を有効/無効に設定可能です。(デフォルト設定はプルアップ有効)

注2) パスホールドラッチが付加されています。

注3) この端子はデバイス試験のときに入力となります。通常動作時は出力端子です。

注4) この端子は、0V V_{IN} V_{DD}の入力電圧範囲で使用してください。

注5) この端子は、0V V_{IN} AV_{DDE}の入力電圧範囲で使用してください。

注6) QFP15-128pin/パッケージの場合に使用可能な端子です。

PFBGA-121pinにはありません。ただし、PFBGA-121pinパッケージを使用する場合は、これらの端子のプルアップ抵抗を無効にしないでください。

AC特性

記号説明

tcyc: バスクロックサイクルタイム

- x1モードでは CPU 20MHz動作のとき tcyc = 50ns(20MHz)
CPU 33MHz動作のとき tcyc = 30ns(33MHz)
- x2モードでは CPU 40MHz動作のとき tcyc = 50ns(20MHz)
CPU 50MHz動作のとき tcyc = 40ns(25MHz)

WC: ウェイトサイクル数

ウェイトサイクルは、BCUの制御レジスタで最大7サイクルまで設定可能です。さらに、外部から#WAIT端子への入力で、必要なだけウェイトサイクルを延ばすことができます。

"0"ウェイトに設定した場合、リード時の最小サイクル数は1サイクルです。

"0"ウェイトに設定した場合、ライト時の最小サイクル数は2サイクルです。BCUの制御レジスタで"1"ウェイトを設定した場合でも、この最小サイクル数は変わりません。"2"ウェイト以上を設定すると、実際にライトサイクルが延長されます。

外部から#WAIT端子への入力でウェイトサイクルを挿入する場合、#WAIT端子のサンプリングタイミングに注意してください。リードサイクルの場合は、#WAIT端子のネゲートをサンプリングしたサイクルでそのリードサイクルを終了します。ライトサイクルの場合は、#WAIT端子のネゲートをサンプリングした次のサイクルでそのライトサイクルを終了します。

C1, C2, C3, Cn: サイクル番号

C1は、BCUが外部メモリなどとデータ転送を行うときの第1サイクルであることを示します。同様にC2は第2サイクル、Cnは第nサイクルであることを示します。

Cw: ウェイトサイクル

そのサイクルがウェイトサイクルであることを示します。

AC特性測定条件

信号検定レベル: 入力信号 Highレベル $V_{IH} = V_{DDE} - 0.4V$
Lowレベル $V_{IL} = 0.4V$

出力信号 Highレベル $V_{OH} = 1/2 V_{DDE}$
Lowレベル $V_{OL} = 1/2 V_{DDE}$

ただし、OSC3外部クロック入力の場合は下記のとおりです。

入力信号 Highレベル $V_{IH} = 1/2 V_{DD}$
Lowレベル $V_{IL} = 1/2 V_{DD}$

入力信号波形: 立ち上がり(10% 90% V_{DD}) 5ns
立ち下がり(90% 10% V_{DD}) 5ns

出力負荷容量: $C_L = 50pF$

C33ブロックAC特性表

外部クロック入力特性

(注) このAC特性値は、外部クロック入力の場合に適用されます。

OSC3への入力は、必ずV_{DD}とV_{SS}の範囲内で与えてください。

(特記なき場合: V_{DDE}=2.7V ~ 3.6V, V_{DD}=1.65V ~ 1.95V, V_{SS}=0V, Ta=-40°C ~ +85°C)

項 目	記号	Min.	Max.	単位	注
高速クロックサイクル時間	tc3	30	500	ns	
OSC3クロック入力デューティ	tc3ED	45	55	%	
OSC3クロック入力立ち上がり時間	tiF		5	ns	
OSC3クロック入力立ち下がり時間	tiR		5	ns	
BCLKハイレベル出力遅延時間	tCD1		35	ns	
BCLKローレベル出力遅延時間	tCD2		35	ns	
最小リセットパルス幅	trST	6•tcyc		ns	

BCLKクロック出力特性

(注) このAC特性値は、高速発振回路使用の場合に適用されます。

(特記なき場合: V_{DDE}=2.7V ~ 3.6V, V_{DD}=1.65V ~ 1.95V, V_{SS}=0V, Ta=-40°C ~ +85°C)

項 目	記号	Min.	Max.	単位	注
BCLKクロック出力デューティ	tcBD	40	60	%	

共通特性

(特記なき場合: V_{DDE}=2.7V ~ 3.6V, V_{DD}=1.65V ~ 1.95V, V_{SS}=0V, Ta=-40°C ~ +85°C)

項 目	記号	Min.	Max.	単位	注
アドレス遅延時間	tAD	—	10	ns	1
#CE _x 遅延時間(1)	tCE1	—	10	ns	
#CE _x 遅延時間(2)	tCE2	—	10	ns	
ウェイトセットアップ時間	tWTS	18	—	ns	
ウェイトホールド時間	tWTH	0	—	ns	
リード信号遅延時間(1)	trDD1		10	ns	2
リードデータセットアップ時間	trDS	18		ns	
リードデータホールド時間	trDH	0		ns	
ライト信号遅延時間(1)	tWRD1		10	ns	3
ライトデータ遅延時間(1)	tWDD1		10	ns	
ライトデータ遅延時間(2)	tWDD2	0	10	ns	
ライトデータホールド時間	tWDH	0		ns	

注) 1: #BSH、#BSLも同じタイミングです。

2: #GAAS、#GARDも同じタイミングです。

3: #GAASも同じタイミングです。

SRAMリードサイクル

(特記なき場合: V_{DDE}=2.7V ~ 3.6V, V_{DD}=1.65V ~ 1.95V, V_{SS}=0V, Ta=-40°C ~ +85°C)

項 目	記号	Min.	Max.	単位	注
リード信号遅延時間(2)	trDD2		10	ns	
リード信号パルス幅	trDW	tcyc(0.5+WC)-10		ns	
リードアドレスアクセス時間(1)	tACC1		tcyc(1+WC)-25	ns	
チップイネーブルアクセス時間(1)	tCEAC1		tcyc(1+WC)-25	ns	
リード信号アクセス時間(1)	trDAC1		tcyc(0.5+WC)-25	ns	

SRAMライトサイクル

(特記なき場合: V_{DDE}=2.7V ~ 3.6V, V_{DD}=1.65V ~ 1.95V, V_{SS}=0V, Ta=-40°C ~ +85°C)

項 目	記号	Min.	Max.	単位	注
ライト信号遅延時間(2)	tWRD2		10	ns	
ライト信号パルス幅	tWRW	tcyc(1+WC)-10		ns	

バーストROMリードサイクル

(特記なき場合: $V_{DDE}=2.7V \sim 3.6V$, $V_{DD}=1.65V \sim 1.95V$, $V_{SS}=0V$, $T_a=-40^{\circ}C \sim +85^{\circ}C$)

項 目	記号	Min.	Max.	単位	注
リードアドレスアクセス時間(2)	tACC2		tCYC(1+WC)-25	ns	
チップイネーブルアクセス時間(2)	tCEAC2		tCYC(1+WC)-25	ns	
リード信号アクセス時間(2)	tRDAC2		tCYC(0.5+WC)-25	ns	
バーストアドレスアクセス時間	tACCB		tCYC(1+WC)-25	ns	

外部バスマスタとNMI

(特記なき場合: $V_{DDE}=2.7V \sim 3.6V$, $V_{DD}=1.65V \sim 1.95V$, $V_{SS}=0V$, $T_a=-40^{\circ}C \sim +85^{\circ}C$)

項 目	記号	Min.	Max.	単位	注
#BUSREQ信号セットアップ時間	tBRQS	18		ns	
#BUSREQ信号ホールド時間	tBRQH	0		ns	
#BUSACK信号出力遅延時間	tBAKD		10	ns	
ハインピーダンス 出力 遅延時間	tZ2E		10	ns	
出力 ハインピーダンス 遅延時間	tB2Z		10	ns	
#NMIパルス幅	tNMIW	30		ns	

入力, 出力, 入出力兼用ポート

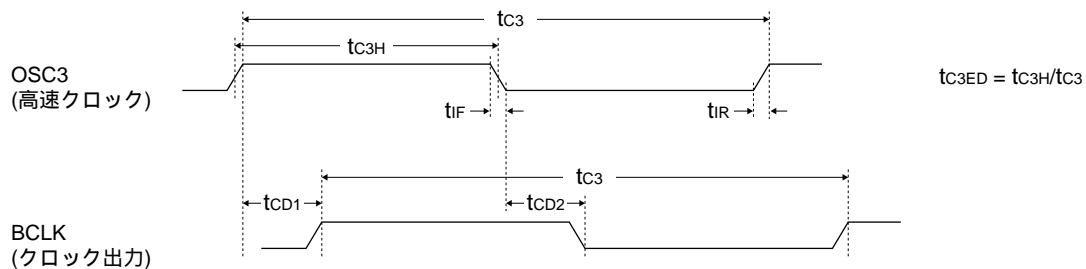
(特記なき場合: $V_{DDE}=2.7V \sim 3.6V$, $V_{DD}=1.65V \sim 1.95V$, $V_{SS}=0V$, $T_a=-40^{\circ}C \sim +85^{\circ}C$)

項 目	記号	Min.	Max.	単位	注
入力データセットアップ時間	tINPS	20		ns	
入力データホールド時間	tINPH	10		ns	
出力データ遅延時間	tOUTD		20	ns	
Kポート割り込み	tKINW	30		ns	
入力パルス幅		$2 \times t_{CYC}$		ns	

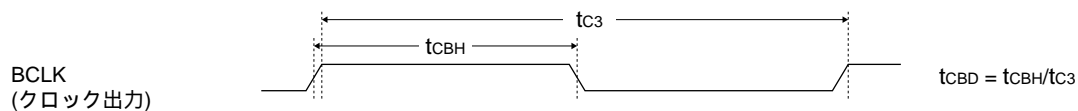
C33ブロックAC特性タイミングチャート

クロック

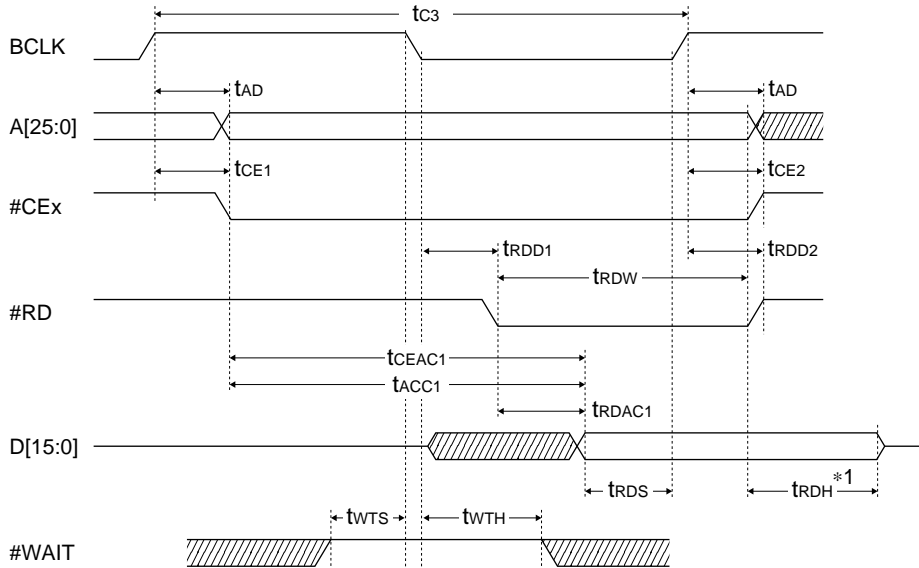
(1) 外部クロック入力の場合 (×1スピードモード時)



(2) 高速発振回路動作の場合

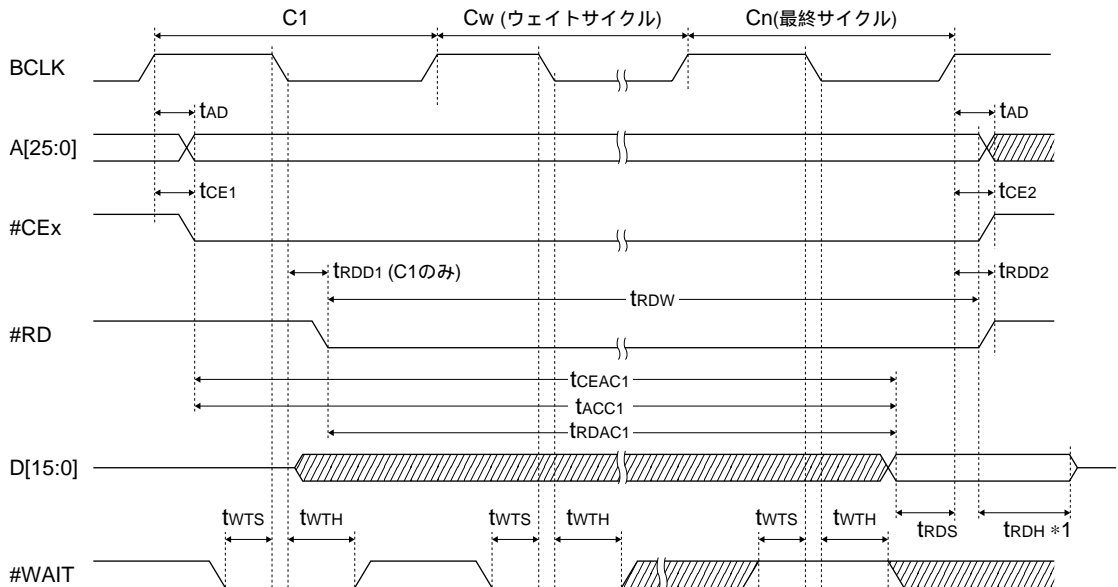


SRAMリードサイクル(基本サイクル: 1サイクル)



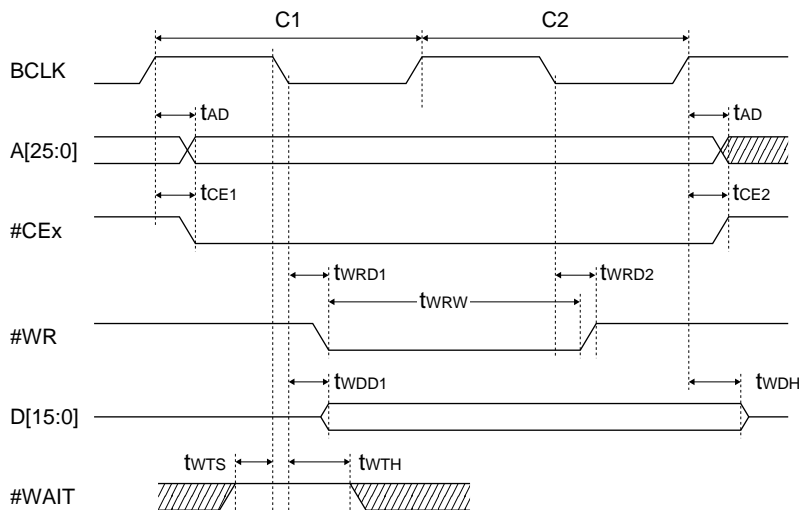
*1 t_{RDH} は、#RD、#CE_x、A[25:0]の中の最も早い信号変化(ネグート)からの規定とします。

SRAMリードサイクル(ウェイトサイクル挿入時)

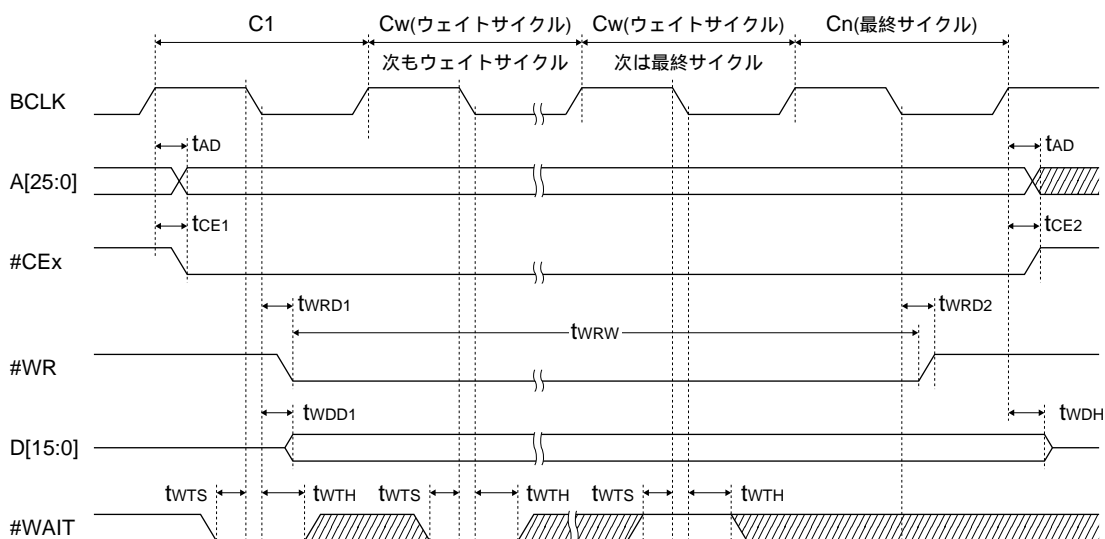


*1 t_{RDH} は、#RD、#CE_x、A[25:0]の中の最も早い信号変化(ネグート)からの規定とします。

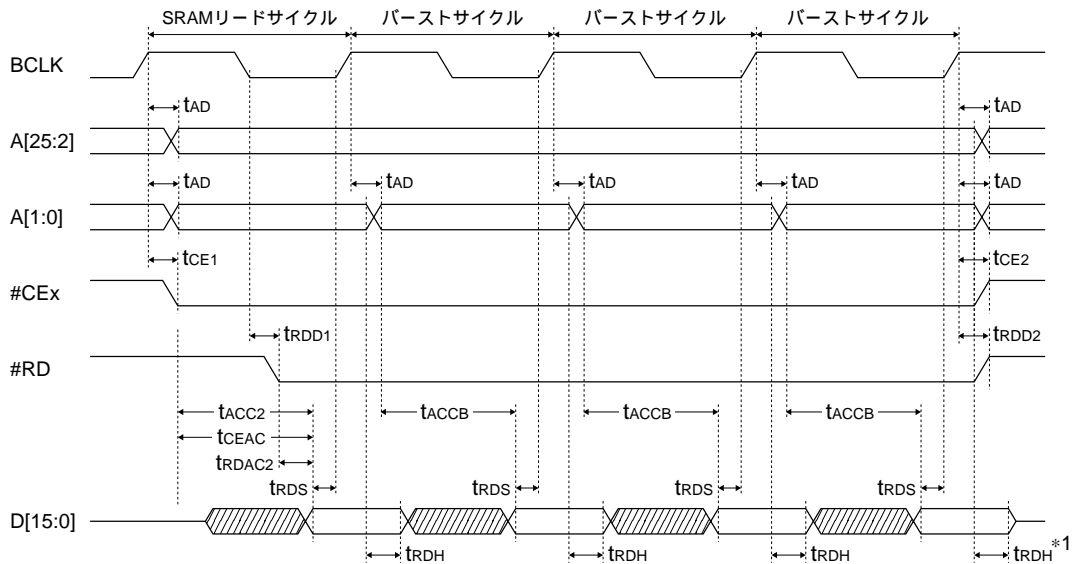
SRAMライトサイクル(基本サイクル: 2サイクル)



SRAMライトサイクル(ウェイトサイクル挿入時)

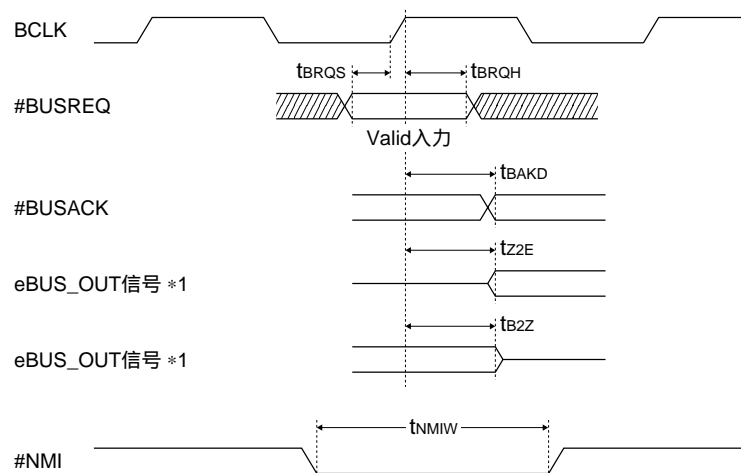


バーストROMリードサイクル



*1 t_{RDH} は、#RD、#CEx、A[25:0]の中の最も早い信号変化(ネゲート)からの規定とします。

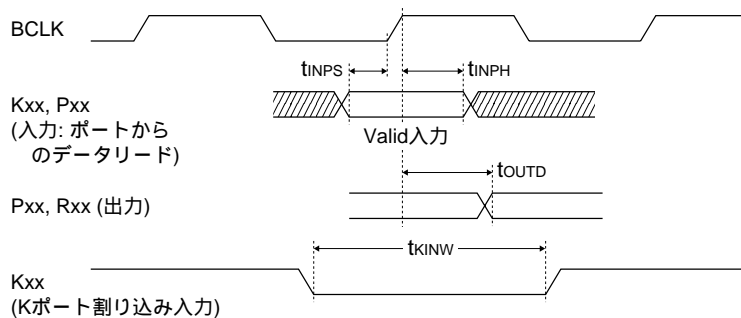
#BUSREQ, #BUSACK, #NMIタイミング



*1 eBUS_OUTは、以下の端子を示します。

A[25:0], #RD, #WRL, #WRH, #HCAS, #LCAS, #CE[17:4], D[15:0]

入力, 出力, 入出力兼用ポートタイミング



参考資料 外部デバイスとのインタフェースタイミング

外部デバイスを接続してシステムを構成する際の参考資料として、外部システムインタフェースのタイミング条件設定例を示します。

ただし、本参考資料を利用する場合は以下の点に注意してください。

- 外部デバイスのAC特性値には、一般的な数値を記載しています。実際のデバイスのAC特性値とは必ずしも一致しませんので、使用するデバイスのマニュアルまたは仕様書を参照し、実際の設定値(サイクル数)を決定してください。
- 実際には、バスや信号線の負荷容量、接続するデバイス数、使用温度範囲、入出力レベル等に従って適切なマージン設定が必要です。記載のサイクル数はあくまでも一例であり、これらの条件を満たすものではありません。
- 表中の"時間"として記載されている数値は、単にサイクル数に周期を掛け合わせた値で、各デバイスの出力遅延時間や、配線・負荷容量による遅延、入力セットアップ時間等を考慮した数値ではありません。
- 記載内容は参考資料であり、動作を保証するものではありません。

ROM, バーストROM

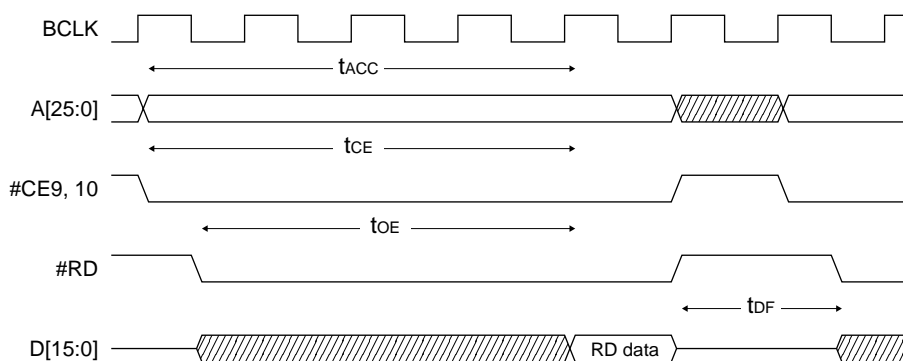
バーストROM, マスクROMインタフェース設定例

動作周波数	ノーマルリードサイクル		バーストリードサイクル		出力ディセーブル 遅延サイクル
	ウェイトサイクル	リードサイクル	ウェイトサイクル	リードサイクル	
20MHz	2	3	1	2	1.5
25MHz	3	4	1	2	1.5
33MHz	4	5	2	3	1.5

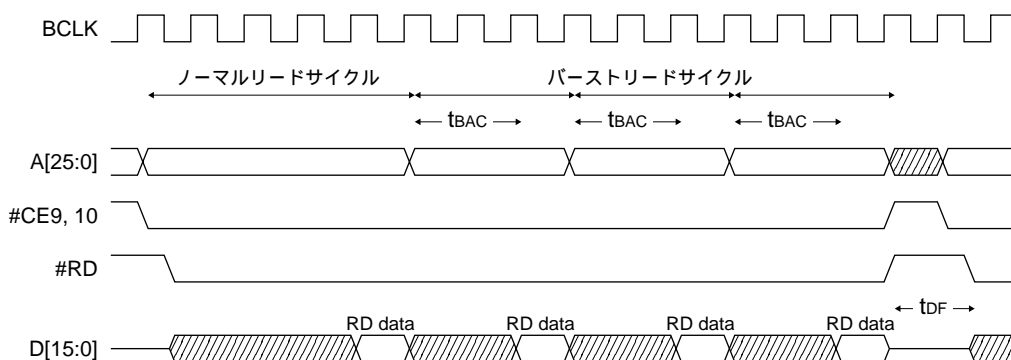
バーストROM, マスクROMインタフェースタイミング

バーストROM, マスクROMインタフェース					33MHz		25MHz		20MHz	
パラメータ	シンボル	Min.	Max.		サイクル	時間	サイクル	時間	サイクル	時間
アクセス時間	t_{ACC}	—	100		5	150	4	160	3	150
#CE出力遅延時間	t_{CE}	—	100		5	150	4	160	3	150
#OE出力遅延時間	t_{OE}	—	50		4.5	135	3.5	140	2.5	125
バーストアクセス時間	t_{BAC}	—	50		3	90	2	80	2	100
出力ディセーブル遅延時間	t_{DF}	0	40		1.5	45	1.5	60	1.5	75

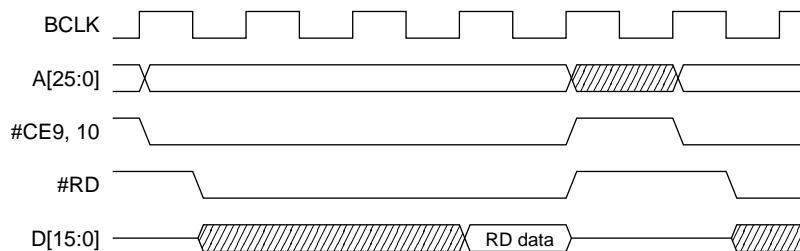
ROM: 100ns, CPU: 33MHz, ノーマルリード



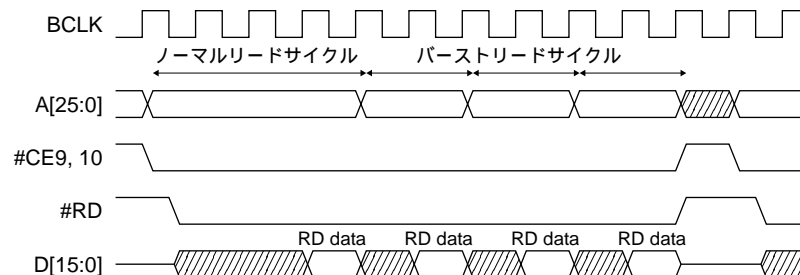
ROM: 100ns, CPU: 33MHz, バーストリード



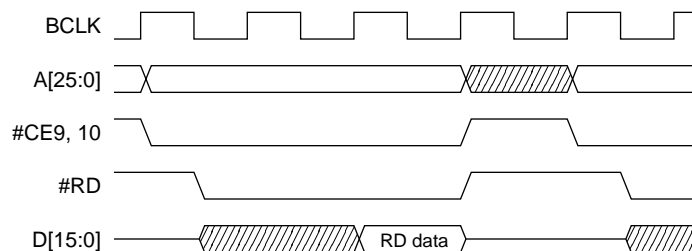
ROM: 100ns, CPU: 25MHz, ノーマルリード



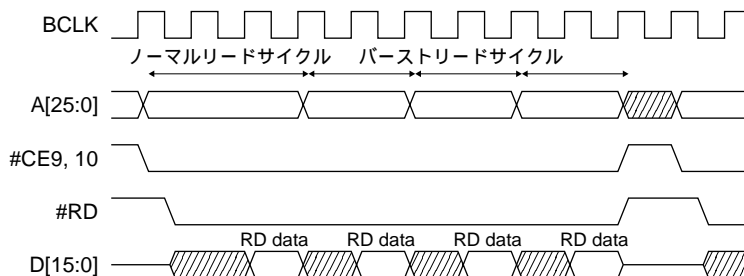
ROM: 100ns, CPU: 25MHz, バーストリード



ROM: 100ns, CPU: 20MHz, ノーマルリード



ROM: 100ns, CPU: 20MHz, バーストリード



SRAM(55ns)

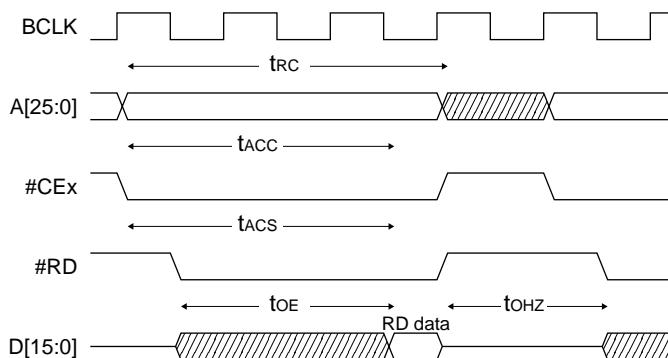
SRAMインタフェース設定例 - 55ns

動作周波数	リードサイクル		ライトサイクル	出力ディセーブル 遅延サイクル
	ウェイトサイクル	リードサイクル		
20MHz	1	2	2	1.5
25MHz	2	3	3	1.5
33MHz	2	3	3	1.5

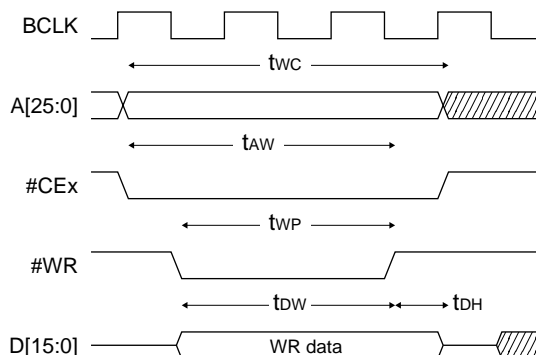
SRAMインタフェースタイミング - 55ns

SRAMインタフェース				33MHz		25MHz		20MHz	
パラメータ	シンボル	Min.	Max.	サイクル	時間	サイクル	時間	サイクル	時間
《リードサイクル》									
リードサイクル時間	t _{RC}	55	—	3	90	3	120	2	100
アドレスアクセス時間	t _{ACC}	—	55	3	90	3	120	2	100
#CEアクセス時間	t _{ACS}	—	55	3	90	3	120	2	100
#OEアクセス時間	t _{OE}	—	30	2.5	75	2.5	100	1.5	75
出力ディセーブル遅延時間	t _{OHZ}	0	30	1.5	45	1.5	60	1.5	75
《ライトサイクル》									
ライトサイクル時間	t _{WC}	55	—	3	90	3	120	2	100
アドレスイネーブル時間	t _{AW}	50	—	2.5	75	2.5	100	1.5	75
ライトパルス幅	t _{WP}	45	—	2	60	2	80	1	50
入力データセットアップ時間	t _{DW}	30	—	2	60	2	80	1	50
入力データホールド時間	t _{DH}	0	—	0.5	15	0.5	20	0.5	25

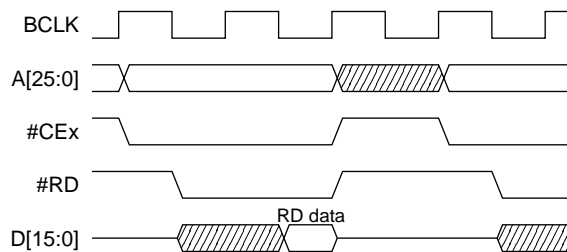
SRAM: 55ns, CPU: 33/25MHz, リードサイクル



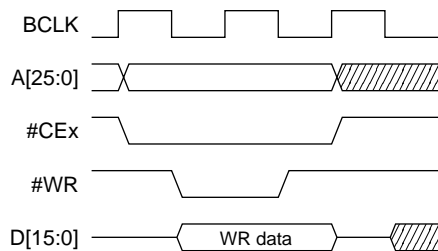
SRAM: 55ns, CPU: 33/25MHz, ライトサイクル



SRAM: 55ns, CPU: 20MHz, リードサイクル



SRAM: 55ns, CPU: 20MHz, ライトサイクル



SRAM(70ns)

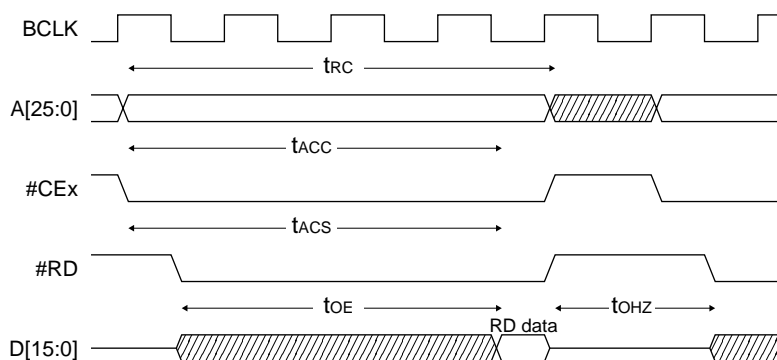
SRAMインタフェース設定例 - 70ns

動作周波数	リードサイクル		ライトサイクル	出力ディセーブル 遅延サイクル
	ウェイトサイクル	リードサイクル		
20MHz	2	3	3	1.5
25MHz	2	3	3	1.5
33MHz	3	4	4	1.5

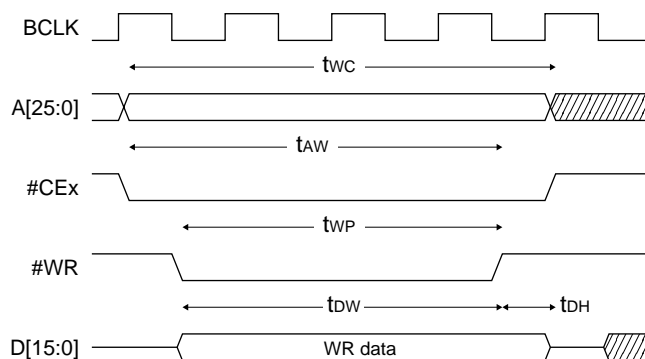
SRAMインタフェースタイミング - 70ns

SRAMインタフェース				33MHz		25MHz		20MHz	
パラメータ	シンボル	Min.	Max.	サイクル	時間	サイクル	時間	サイクル	時間
《リードサイクル》									
リードサイクル時間	t _{RC}	70	—	4	120	3	120	3	150
アドレスアクセス時間	t _{ACC}	—	70	4	120	3	120	3	150
#CEアクセス時間	t _{ACS}	—	70	4	120	3	120	3	150
#OEアクセス時間	t _{OE}	—	40	3.5	105	2.5	100	2.5	125
出力ディセーブル遅延時間	t _{OHZ}	0	30	1.5	45	1.5	60	1.5	75
《ライトサイクル》									
ライトサイクル時間	t _{WC}	70	—	4	120	3	120	3	150
アドレスイネーブル時間	t _{AW}	60	—	3.5	105	2.5	100	2.5	125
ライトパルス幅	t _{WP}	55	—	3	90	2	80	2	100
入力データセットアップ時間	t _{DW}	30	—	3	90	2	80	2	100
入力データホールド時間	t _{DH}	0	—	0.5	15	0.5	20	0.5	25

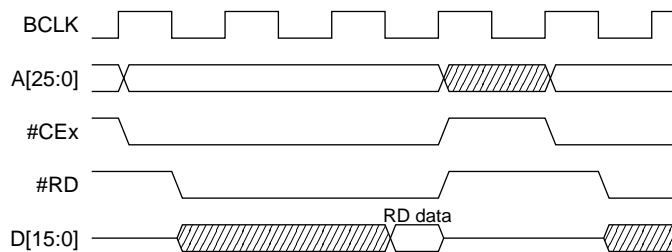
SRAM: 70ns, CPU: 33MHz, リードサイクル



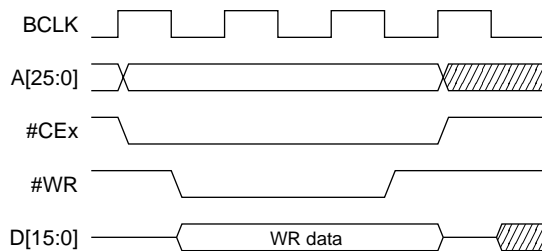
SRAM: 70ns, CPU: 33MHz, ライトサイクル



SRAM: 70ns, CPU: 25/20MHz, リードサイクル



SRAM: 70ns, CPU: 25/20MHz, ライトサイクル



8255A

8255Aインタフェース設定例

動作周波数	リードサイクル		ライトサイクル	出力ディセーブル 遅延サイクル
	ウェイトサイクル	リードサイクル		
20MHz	9 *1	10	10	3.5
25MHz	11	12	12	3.5
33MHz	14	15	15	3.5 *2

8255Aインタフェースタイミング

SRAMインタフェース				33MHz		25MHz		20MHz	
パラメータ	シンボル	Min.	Max.	サイクル	時間	サイクル	時間	サイクル	時間
《リードサイクル》									
リードサイクル時間	t _{RC}	300	—	15	450	12	480	10	500
アドレスアクセス時間	t _{ACC}	—	250	15	450	12	480	10	500
#CEアクセス時間	t _{ACS}	—	250	15	450	12	480	10	500
#OEアクセス時間	t _{OE}	—	250	14.5	435	11.5	460	9.5	475
出力ディセーブル遅延時間	t _{OHZ}	10	150	3.5	105	3.5	140	3.5	175
《ライトサイクル》									
ライトサイクル時間	t _{WC}	430	—	15	450	12	480	10	500
アドレスイネーブル時間	t _{AW}	400	—	14.5	435	11.5	460	9.5	475
ライトパルス幅	t _{WP}	400	—	14	420	11	440	9	450
入力データセットアップ時間	t _{DW}	100	—	14	420	11	440	9	450
入力データホールド時間 *3	t _{DH}	30	—	0.5	15	0.5	20	0.5	25

- *1 S1C33301ではウェイトサイクルが7サイクルまでしか設定できませんので、7サイクル以上のウェイトは外部のハードウェアから#WAIT信号を入力して挿入します。#WAIT端子によってウェイトサイクルを挿入するためには、インタフェースがSRAMタイプに設定されている必要があります。(詳細は、「II-4 BCU (バスコントロールユニット)」参照)
- *2 この設定では、8255Aが要求する150nsの出力ディセーブル遅延時間の仕様を満たすことができません。このような低速デバイスをシステムに組み込む場合は、外部システムバスのCPUから見て出力側に3ステートのバスバッファ等を挿入してバスを分離する必要があります。
- *3 データホールド時間が足りない場合、外部データバスD[15:0]にバスリピータを接続、または外部システムインタフェースの出力側にラッチを挿入するなどの方法により、ホールド時間を保証してください。

このページはブランクです。

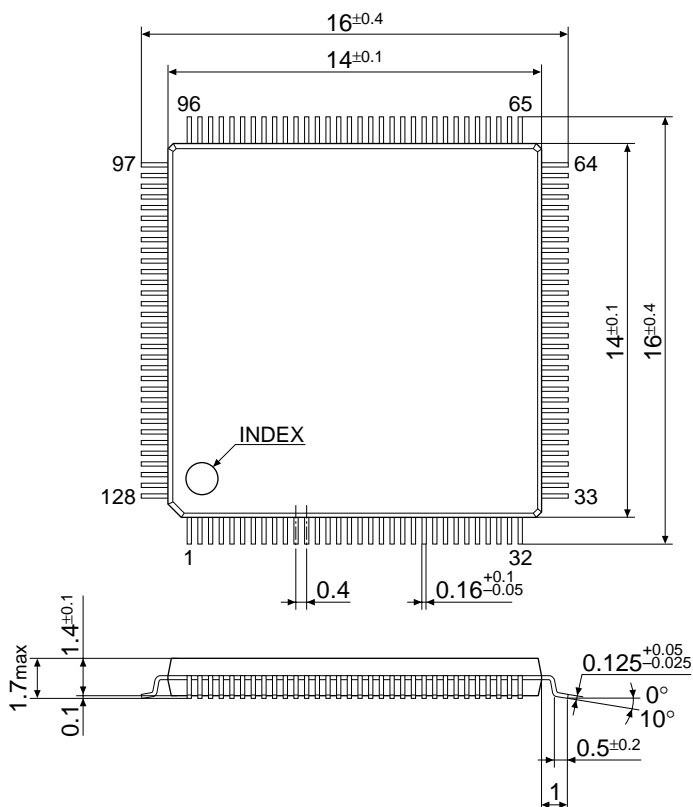
I-7 パッケージ

プラスチックパッケージ

QFP15-128pin

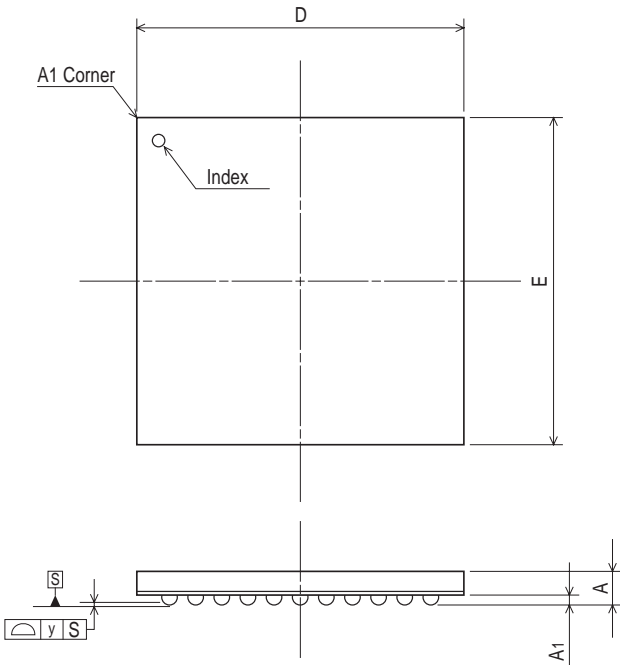
(単位: mm)

Package

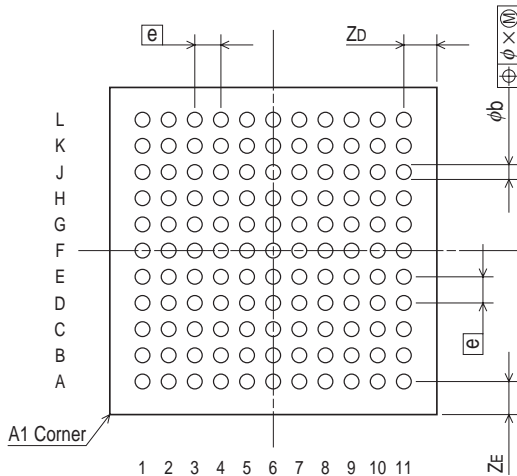


PFBGA-121pin

Top View



Bottom View



Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	9.8	10.0	10.2
E	9.8	10.0	10.2
A			1.20
A1	0.25	0.30	0.35
e		0.80	
b	0.38	0.43	0.48
X			0.08
Y			0.10
ZD		1.00	
ZE		1.00	

1 = 1mm

1.0	'03/ 2/12	T. NAKAYAMA	J. TANIGUCHI	H. KIKUCHI	
REV.	DATE	DRAW	CHECKED	APPROVED	CORRECTION ARTICLE
PFBGA10UX121 (P-TFBGA-121-1010-0.8) (PFBGA 10x10 t=1.2 121PIN)					CAD FILE
SEIKO EPSON CORP.					DWG No. 4900-0350
					SCALE Free SHEET 1 of 1

2900-0002-01 (Rev. 1.1)

パッケージの熱抵抗

LSIは消費電力に従ってチップ温度が上昇します。パッケージに搭載された状態では、LSIのチップ温度はその周辺温度 T_a 、パッケージの熱抵抗 θ および消費電力 P_D から計算できます。

チップ温度(T_j) = $T_a + (P_D \times \theta)$ (°C)

通常の使用においては、チップ温度(T_j)は100°C以下を目安に使用してください。

QFP15-128pinパッケージの熱抵抗

1. 基板実装状態(無風状態)

熱抵抗(θ_{j-a}) = 33.3°C/W

この値は測定用基板(サイズ: 114×76×1.6mm t、FR4/4層基板)に実装し、無風状態で測定した熱抵抗です。

2. 単体宙づり状態(無風状態)

熱抵抗 = 90 ~ 100°C/W

この値はサンプルが宙づりされた無風状態での熱抵抗です。

PFBGA-121pinパッケージ(PFBGA10UX121)の熱抵抗

1. 基板実装状態(無風状態)

熱抵抗(θ_{j-a}) = 30°C/W

なお、この値は測定用基板(サイズ: 114.5×101.5×1.6mm t、FR4/4層基板)に実装し、無風状態で測定した熱抵抗です。

2. 単体宙づり状態(無風状態)

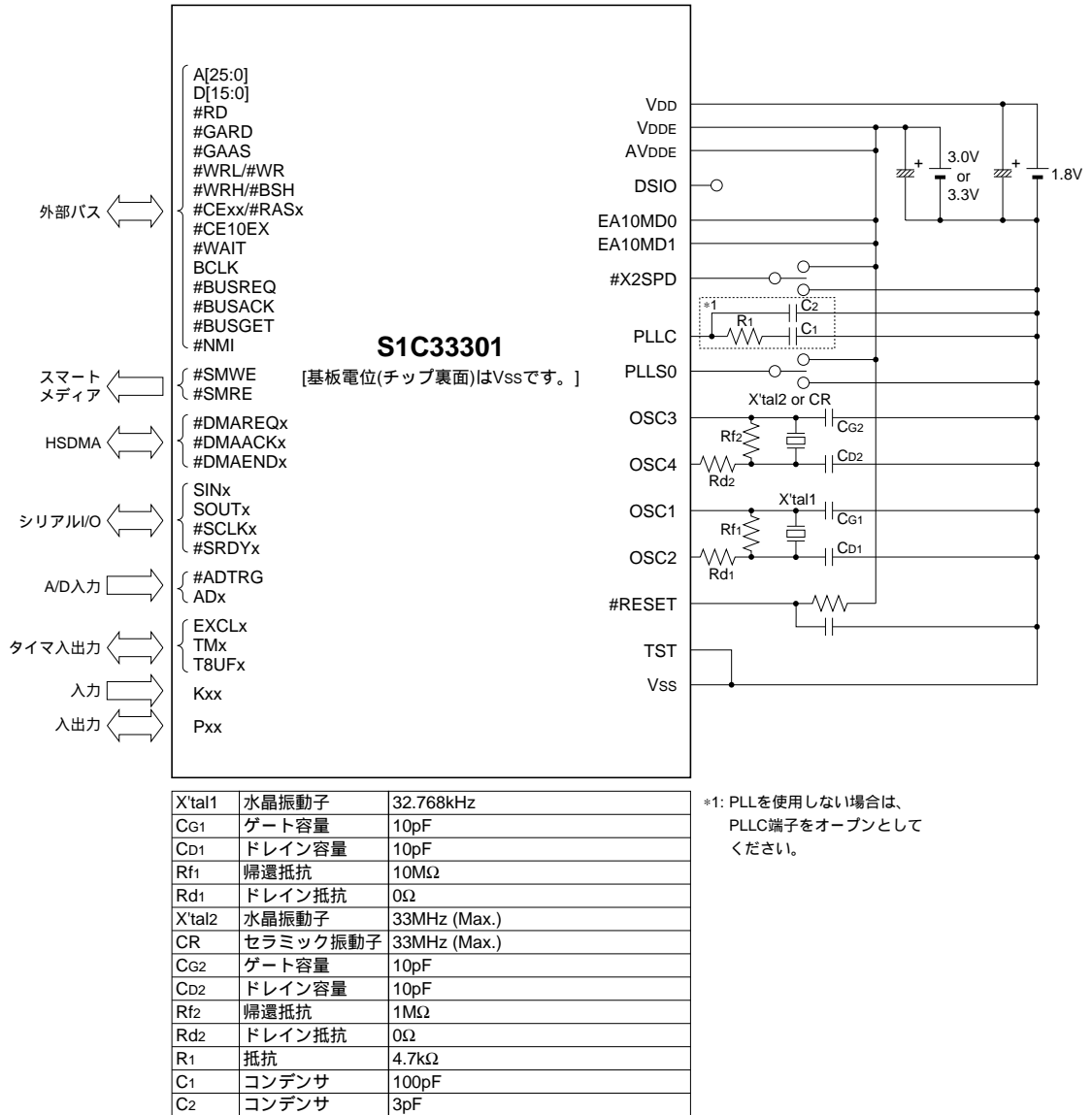
熱抵抗 = 165°C/W

この値はサンプルが宙づりされた無風状態での熱抵抗です。

注: 熱抵抗は基板への実装状態や強制空冷の有無によって大きく変動します。

このページはブランクです。

I-8 基本外部結線図



注: ここに記載されている値は一例であり、特に動作を保証するものではありません。

このページはブランクです。

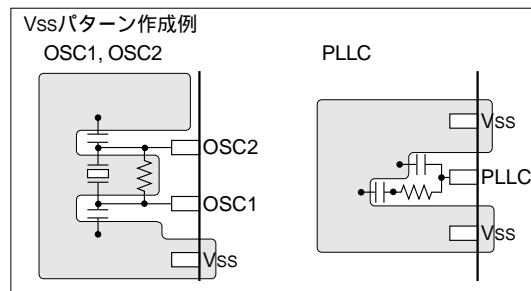
I-9 実装上の注意事項

基板の設計およびICを実装する際の注意事項を以下に示します。

発振回路

- 発振特性は使用部品(振動子、 R_f 、 R_d 、 C_G 、 C_D)や基板パターンなどにより変化します。特にセラミック発振子または水晶振動子を使用する場合、外付けの抵抗(R_f 、 R_d)や容量(C_G 、 C_D)の値は、実際の基板上に各部品を実装した状態で十分評価を行って適切なものを選んでください。
- ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため以下の点に配慮してください。特に最新機種は、より微細なプロセスで製造されており、ノイズに敏感になっています。最もノイズ対策が必要となるのは、OSC2およびPLL端子とその回路構成部品および配線です。OSC1端子の処理もこれらと同様に重要です。以下、OSC1、OSC2、PLL端子のノイズ対策を記載します。なお、OSC3およびOSC4の端子や配線等、高速発振回路系についても、これに準じたノイズ対策を施すことを推奨します。

- OSC1、OSC2、PLL端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
- OSC1、OSC2、PLL端子とこれらの回路構成部品、および配線から3mm以内の領域には、できるだけデジタル信号線を配置しないでください。特に、スイッチングが激しい信号を近くに配置することは避けてください。多層プリント基板の各層の間隔は0.1~0.2mm程度しかありませんので、デジタル信号線を他のどの層に配置する場合でも同様です。
また、これらの部品や配線とデジタル信号線を絶対に並走させないでください。3mm以上の距離がある場合や基板の他の層であっても禁止します。配線を交差させることも避けてください。
- OSC1、OSC2、PLL端子と配線は、基板の隣接する層も含めVssでシールドしてください。配線する層は、下図のように広めにシールドしてください。
隣接する層についてはできれば全面をグラウンド層に、最低でも上記端子と配線の周囲を5mm以上カバーするようにシールドしてください。
この対策を施した場合でも、(2)に記載したようにデジタル信号線との並走は禁止します。他の層での交差についても、スイッチング頻度の低い信号以外ではできるだけ避けてください。



- OSC1、OSC2、PLL端子の近傍の端子は、使用方法を限定する必要もあります。
S1C33301では、P15およびP16端子がOSC2端子のノイズ源となります。低速(OSC1)発振回路を使用する場合、可能であればP15およびP16ポートは使用しないでください。出力ポートとして使用場合は、ほとんど変化のない信号に割り当てます。入力として使用する場合も、ほとんど変化のない信号に割り当てるか、もしくは、立ち上がり/立ち下がり時間が100ns以上の、低速で切り換わる信号に割り当ててください。入力信号の切り換わりを鈍らせる方法として、1~2kΩの抵抗を直列に挿入してインピーダンスを上げる方法もあります。
- OSC1、OSC3端子に外部クロックを入力する場合、クロック源からできるだけ最短で接続してください。OSC2、OSC4端子は開放してください。

- (6) 上記の対策を施した後は、実機で実際のアプリケーションプログラムを動作させた状態での出力クロック波形も確認してください。

BCLK(FOSC1/P60 端子の出力をオシロスコープなどで確認します。

OSC3あるいはPLL(PLLS0 = "1" の場合) の出力波形の品質は、BCLK出力(上記端子のデフォルト出力) で確認します。設計どおりの周波数でノイズが乗っていないかどうか、およびジッタの大きさ(PLL 使用時のジッタは1ns以下) を見てください。

OSC1波形の品質は上記の端子をFOSC1出力にして確認します(0x48132・D9 = "1"、0x30004C・D[1:0] = "10" でBCLK出力がFOSC1出力に切り換わります)。特にクロックの立ち上がり/立ち下がりの両エッジの前後を拡大し、前後100ns程度の範囲にクロック状のノイズやスパイクノイズなどが乗っていないか注意して見てください。

- (1)~(3) の対応が不十分な場合、PLL出力にはジッタが発生し、OSC1出力にはノイズが乗ることがあります。PLL出力にジッタが発生するとその分、動作周波数が低下します。OSC1出力にノイズが乗ると、OSC1クロックで動作する計時タイマや、システムクロックをOSC1に切り換えた際のCPUコアの動作が不安定になります。

リセット回路

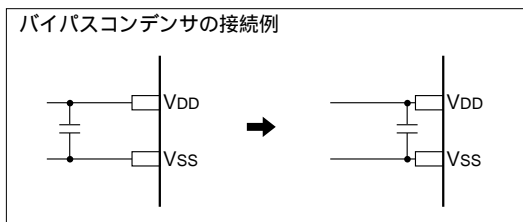
- 電源投入時、#RESET端子に入力されるリセット信号は、諸条件(電源の立ち上がり時間、使用部品、基板パターン等) により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。#RESET端子のプルアップ抵抗については、抵抗値のばらつきを十分考慮した定数設定が必要です。
- ノイズによる動作中のリセットを防ぐため、#RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

電源回路

- ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1) 電源からV_{DD}、V_{DDE}、V_{SS}端子およびAV_{DDE}端子へはできるだけ短くかつ太いパターンで接続してください。特にAV_{DDE}電源は、A/D変換器に用いるため変換精度に影響を与えます。

- (2) V_{DD} - V_{SS}のバイパスコンデンサを接続する場合、V_{DD}端子とV_{SS}端子をできるだけ最短で接続してください。

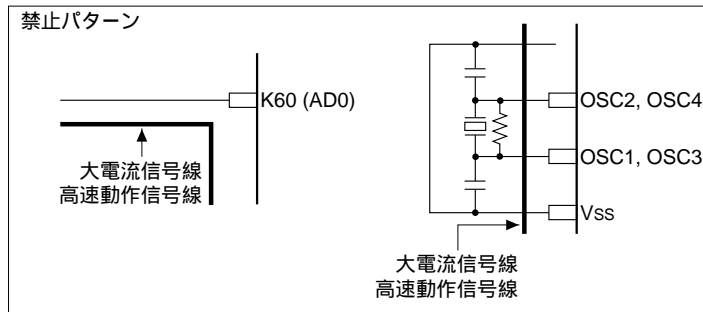


A/D変換器

- A/D変換器を使用しない場合でも、AV_{DDE}をV_{DDE}に接続してください。

信号線の配置

- 相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部、アナログ入力部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。
- 高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。
特に、発振部、アナログ入力部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



参考資料

"S1C33 Familyアプリケーションノート"の"4 S1C33チップ用ボードの基本回路"には、電源、発振、リセット、メモリ、ポートおよびデバッグについて、より詳しい注意点が記載されていますので参照してください。

その他

本製品シリーズは0.18 μ m微細プロセスにより製造されています。

ICの基本信頼性に関してはEIAJ、MIL規格を満足するように設計されていますが、実装段階においては以下の点に十分注意してください。

全OSCおよびPLL端子は、内部の0.18 μ mトランジスタを直接使用する構造となっていますので、実装時の機械的ダメージのほか、

- 1) 実装時リフロー工程、実装後のリワーク、個別特性評価(実験確認)の各工程における商用電源からの電磁誘導ノイズ
- 2) 半田ごて使用時のこて先からの電磁誘導ノイズ

など、緩やかな時間的変化を伴う絶対最大定格(2.5V)以上の電圧となる外乱が、電氣的損傷につながる可能性があります。

特に半田ごて使用時には、ICのGNDと半田ごてのGND(こて先の電位)を同電位として作業を行ってください。

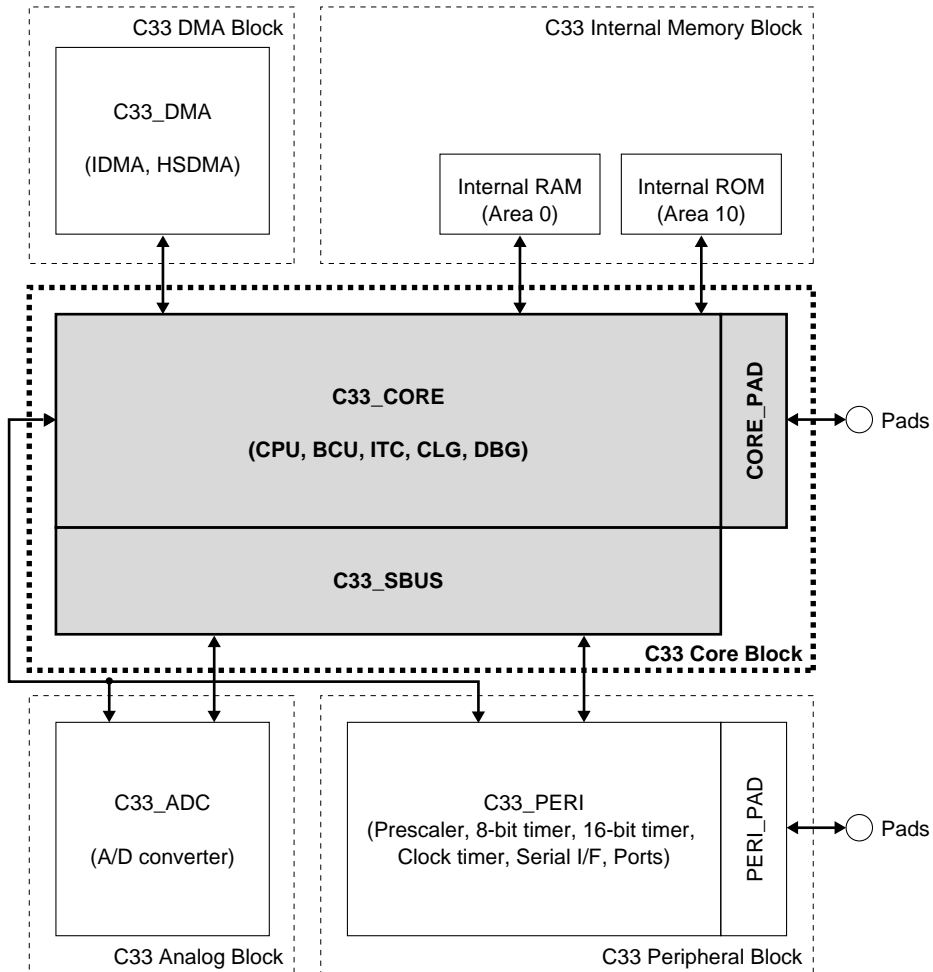
このページはブランクです。

S1C33301 Technical Manual

II コアブロック

II-1 はじめに

C33コアブロックは、CPU、BCU(バスコントロールユニット)、ITC(割り込みコントローラ)、CLG(クロックジェネレータ)、DBG(デバッグユニット)を含む機能ブロックC33_CORE、外部インタフェース用のI/Oパッドブロック、およびチップ上の周辺回路とのインタフェースを行うSBUSブロックで構成されています。



図II.1.1 コアブロック

このページはブランクです。

II-2 CPUと動作モード

CPU

C33コアブロックは、セイコーエプソンオリジナルの32ビットRISC型CPU C33 STDをコアCPUとして搭載しています。また、乗算器も内蔵しているため、積和演算 (MAC) 命令や乗除算命令を含むC33 STD命令セットのすべての命令 (105命令) が使用可能です。

C33 STDの内部レジスタもすべて使用可能です。CPU内部レジスタおよびCPU内部アドレスバスでは28ビットアドレスを扱うことができます。

C33 STDの詳細については"S1C33000コアCPUマニュアル"を参照してください。

スタンバイモード

CPUはHALTモード2種類とSLEEPモード1種類、計3種類のスタンバイモードをサポートしています。スタンバイモードに設定することにより大幅な省電力化が実現できます。

HALTモード

CPUはhalt命令を実行するとプログラムの実行を中断し、HALTモードに移行します。

CPUは2種類のHALTモード (基本モード、HALT2モード) を持っており、クロックオプションレジスタ (0x40190) のHLT2OR (D3) で設定しておくことができます。

HALT基本モードではCPUが動作を停止しますので、その分の消費電流が低減できます。内蔵周辺回路は、halt命令実行時の状態 (停止/非停止) を継続します。

HALT2モードは上記の基本モードに加え、DMA機能を含む外部バスのコントロールおよびバスクロックを停止します。これにより、HALT基本モード以上の省電力化が実現できます。

HALTモードはイニシャルリセットまたはNMIを含む任意の割り込みが発生することによって解除されます。したがって、外部入力待ちや周辺回路の動作結果待ちなど、CPUの実行が不要な場合の省電力化に有効です。

割り込みによってHALTモードが解除されると、CPUはトラップ処理によってプログラム実行状態に移行し、その割り込み処理ルーチンを実行します。CPUのトラップ処理では、halt命令の次の命令アドレスが割り込み処理ルーチンからのリターンアドレスとしてスタックにセーブされますので、割り込み処理ルーチンのreti命令は、halt命令の次の命令に分岐します。

PSRが割り込み禁止の状態に設定されている場合、リセットまたはNMI以外でHALTモードを解除することはできません。

SLEEPモード

CPUはslp命令を実行するとプログラムの実行を中断し、SLEEPモードに移行します。

SLEEPモードではCPUの動作に加え、高速 (OSC3) 発振回路も動作を停止します。したがって、SLEEPモードでは低速 (OSC1) 発振回路と計時タイマを除き、すべての周辺回路が動作を停止します。これにより、HALTモード以上の省電力化が実現できます。

SLEEPモードはイニシャルリセット、計時タイマ割り込み、外部からのNMIまたは入力割り込みが発生することによって解除されます。OSC3クロックで動作する周辺回路は動作を停止するため、その割り込みは利用できません。

割り込みによってSLEEPモードが解除されると、CPUはトラップ処理によってプログラム実行状態に移行し、その割り込み処理ルーチンを実行します。CPUのトラップ処理では、slp命令の次の命令アドレスが割り込み処理ルーチンからのリターンアドレスとしてスタックにセーブされますので、割り込み処理ルーチンのreti命令は、slp命令の次の命令に分岐します。

PSRが割り込み禁止の状態に設定されている場合、リセットまたはNMI以外でSLEEPモードを解除することはできません。

注意事項

割り込みの設定

スタンバイモードは割り込みによって解除されます。したがって、スタンバイモードに移行する前に、解除に使用する割り込みを許可しておく必要があります。また、個別の割り込みの許可のほかに、PSRのIE(割り込み許可)ビットおよびIL(割り込みレベル)もその割り込みが発生可能な状態に設定しておかなければなりません。PSRが割り込み禁止状態に設定されている場合、割り込み要求が発生してもスタンバイモードを解除することはできません。割り込みの設定に関する詳細は"ITC(割り込みコントローラ)"を参照してください。

発振回路

高速(OSC3)発振回路はSLEEPモード時に発振を停止し、SLEEPモードの解除により発振を再開します。SLEEPモード移行前にCPUがOSC3クロックで動作していた場合、SLEEPモード解除後もOSC3クロックで再起動します。高速(OSC3)発振回路は動作開始後に発振が安定するまで発振安定時間を要しますので、CPUを確実に再起動させるには、この発振安定時間が経過後にCPUが動作を開始するように設定しておかなければなりません。PLLを使用する場合は、OSC3クロックの発振安定後にPLLのロックアップ時間も必要です。このため、SLEEP解除直後はCPUの動作開始待ち時間をプログラマブルに設定できるようになっています。詳細については、"CLK(クロックジェネレータ)"を参照してください。

高速(OSC3)発振回路の発振開始時間は使用する素子や基板パターンおよび動作環境により変化しますので、この時間設定には十分な余裕をとってください。

BCU

スタンバイモードになると、BCU(バスコントロールユニット)はその時点のバスサイクルの実行終了後に停止します。すべてのチップイネーブル信号がインアクティブとなります。

HALT基本モードではBCLK(バスクロック)信号が出力可能で、DMAも動作します。

HALT2モードおよびSLEEPモードではBCLK信号は出力されません。DMAも停止します。

その他

コアCPUの内部レジスタ、入出力ポートの状態はスタンバイモード時も保持されます。内蔵周辺回路の制御およびデータレジスタの内容も基本的には保持されますが、SLEEPモード移行時に変更されるものもあります。各周辺回路の説明を参照してください。

デバッグモード

C33コアブロックはデバッグモードをサポートしています。デバッグモードはC33 STDコアCPUの機能で、チップ自体でシングルステップ動作、ブレーク機能を実現します。デバッグモードとデバッグ機能については"S1C33000コアCPUマニュアル"を参照してください。

メモリマップのエリア2はデバッグモード時にのみアクセス可能です。

デバッグモード時は、OSC3クロックがCPUの動作クロックとして使用されます。したがって、デバッグ機能を使用する場合は高速(OSC3)発振回路を停止させないでください。また、デバッグモードではCPUとBCUのみが動作し、他の内蔵周辺回路(発振回路を除く)は停止します。

トラップテーブル

C33コアのトラップテーブルについては、本書の"II-5 ITC(割り込みコントローラ)"の表II.5.1を参照してください。例外の詳細については、"S1C33000コアCPUマニュアル"を参照してください。

II-3 イニシャルリセット

イニシャルリセット用端子

イニシャルリセットに使用する端子を表II.3.1に示します。

表II.3.1 イニシャルリセット用端子

端子名	I/O	機 能
#RESET	I	イニシャルリセット入力端子(Lowアクティブ) L: CPUをリセット
#NMI	I	NMI要求端子 本端子はリセット方法の選択にも使用されます。 H: コールドスタート L: ホットスタート

S1C333チップは#RESET端子がLowになるとリセットされ、そのリセット信号がHighに立ち上がることで動作を開始します。コアCPUと内蔵周辺回路はリセット信号がLowの期間中に初期化されます。

コールドスタートとホットスタート

S1C333チップはコールドスタート、ホットスタートの2種類のリセット方法で起動可能です。この指定には#RESET端子とともに#NMI端子を使用します。

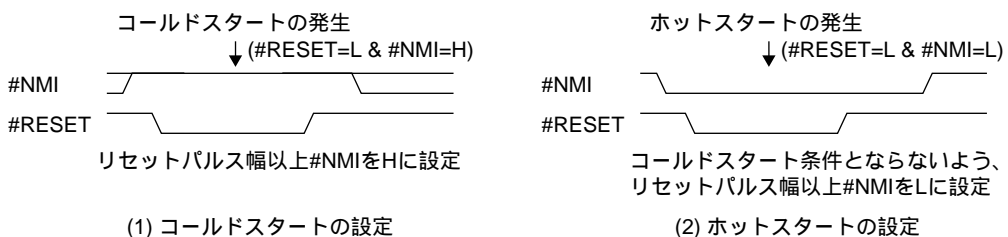
表II.3.2にコールドスタートとホットスタートの違いを示します。

表II.3.2 コールドスタートとホットスタートの相違点

設定内容	コールドスタート	ホットスタート
リセット条件	#RESET = L & #NMI = H	#RESET = L & #NMI = L
CPU: PC	ブートアドレスのリセットベクタをロード	
CPU: PSR	全フラグが"0"にリセット	
CPU: 他のレジスタ	不定	
CPU: 動作クロック	高速(OSC3)発振クロックで動作	
外部バスの状態(0x48120 ~ 0x4813F)	初期化	状態を保持
発振回路	高速(OSC3)および低速(OSC1)発振開始	
I/O端子の状態(0x402C0 ~ 0x402DF)	初期化	状態を保持
他の周辺回路	初期化または不定	

コールドスタートはCPUおよび内蔵周辺回路をすべて初期化しますので、パワーオンリセットに有効です。ホットスタートもCPUと内蔵周辺回路を初期化しますが、BCU(バスコントロールユニット)と入力、出力、入出力兼用ポートの制御およびデータレジスタは初期化しません。したがって、動作中に外部バスと入出力端子の状態を保持したままリセットを行いたい場合に有効です。

なお、リセット方法を指定する#NMI端子への信号入力は図II.3.1に示すタイミングで行ってください。



図II.3.1 #RESETと#NMIの端子設定

パワーオンリセット

電源投入時は、確実に動作を開始させるため、必ずイニシャルリセット(コールドスタート)を行ってください。

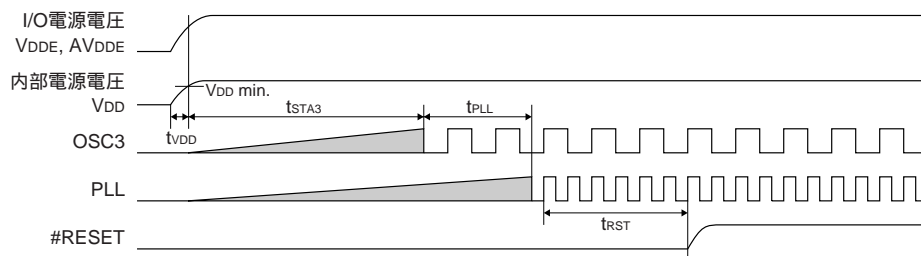
#RESET端子はゲート入力のため、外部にパワーオンリセット回路を構成することを推奨します。

イニシャルリセット(#RESET=L)により高速(OSC3)発振回路が発振を開始し、リセット信号の立ち上がりでCPUがOSC3クロックにより動作を開始します。高速(OSC3)発振回路は動作開始後に発振が安定するまで発振安定時間を要します。CPUを確実に起動させるには、この発振安定時間およびPLLのロックアップ時間の経過後にイニシャルリセットを解除することが必要です。

注: 高速(OSC3)発振回路の発振開始時間は使用する素子や基板パターンおよび動作環境により変化しますので、リセット解除時間には十分な余裕をとってください。

パワーオンシーケンス

デバイスを正常に動作させるため、以下のタイミングを守って電源を投入してください。



図II.3.2 パワーオンシーケンス

- (1) t_{VDD} : 電源投入時の電源が安定するまでの時間

下記の順序で(あるいは同時に)電源を投入してください。

電源投入時: 内部コア電源電圧(V_{DD} および同一電圧レベル) I/O電源電圧(V_{DDE} , AV_{DDE} 等) 入力信号印加

- (2) t_{STA3} : OSC3発振開始時間

- (3) t_{PLL} : PLLロックアップ時間

- (4) t_{RST} : 最小リセットパルス幅

C33 STDコアCPUに供給されるクロックが安定した状態から最低6クロックの期間、#RESET信号をLowに保持してください。

リセットパルス

C33 STDコアCPUが動作中は、#RESET端子にLowレベルのパルスを入力してイニシャルリセットを行うことが可能です。

ただし、「電気的特性」に記載の最小リセットパルス幅以上のパルスを入力してください。

また、高速(OSC3)発振回路が停止中にリセットパルスを入力する場合は、パワーオンリセットと同様にクロックが安定する時間以上#RESET端子をLowレベルに設定する必要があります。

ブートアドレス

コアCPUはリセット期間の後に#RESET端子がHighになると、ブートアドレス(0x0C00000)からリセットベクタ(プログラム開始アドレス)を読み出し、PQ(プログラムカウンタ)に設定します。コアCPUは、そのアドレスからプログラムの実行を開始します。

割り込みなどのトラップベクタを書き込んでおくトラップテーブルも、デフォルトではこのブートアドレスから始まります("S1C33000コアCPUマニュアル"参照)。

トラップテーブルのベースアドレスはTTBRレジスタ(0x48134~0x48137)で、任意の1KB境界アドレスに変更することも可能です。

イニシャルリセット時の注意事項

コアCPU

イニシャルリセット時、PCとPSRを除き、コアCPUの内部レジスタは不定となります。したがって、プログラムによる初期化が必要です。特に、SR(スタックポインタ)はスタックのアクセス前に必ず初期化してください。なお、誤動作を防ぐため、イニシャルリセット後はSPにデータが書き込まれるまでNMI要求はハードウェアによってマスクされるようになっています。

コアCPU内部レジスタの初期化は、コールドスタート時に必要です。

内蔵RAM

内蔵RAMの内容はイニシャルリセットにより不定となります。必要に応じて初期化してください。

高速(OSC3)発振回路

イニシャルリセットにより高速(OSC3)発振回路が発振を開始し、リセットが解除されるとCPUはOSC3クロックによって動作を開始します。不安定なクロックによる誤動作を防止するため、パワーオンリセットや高速(OSC3)発振回路が停止中にリセットを行う場合は、発振が安定してからリセットを解除する必要があります。

低速(OSC1)発振回路

パワーオンリセットや低速(OSC1)発振回路が停止中にリセットを行うと、低速(OSC1)発振回路も発振を開始します。低速(OSC1)発振回路は高速(OSC3)発振回路に比べ、発振の安定に長い時間を要します(標準動作条件でMax. 3秒)。不安定なクロックによる誤動作を防止するため、OSC1クロックはこの安定時間が経過してから使用してください。

BCU(バスコントロールユニット)

コールドスタートはBCU(バスコントロールユニット)の制御レジスタを初期化します。したがって、すべてのバス条件を設定する必要があります。

ホットスタートでは、制御レジスタやバスはリセット前の状態を保持します。

入出力ポートと入出力端子

コールドスタートは入力ポート、入出力兼用ポートの制御レジスタおよびデータレジスタを初期化します。

ホットスタートでは制御レジスタや端子の状態はリセット前の状態を保持します。ただし、それらの端子を内蔵周辺回路用の入出力端子に設定している場合、周辺回路の制御レジスタはイニシャルリセットにより初期化あるいは不定となりますので、プログラムによる再設定が必要です。

その他の内蔵周辺回路

上記以外の周辺回路の制御およびデータレジスタは、リセット方法(コールドスタート、ホットスタート)にかかわらず、イニシャルリセットにより初期化あるいは不定となります。

プログラムにより必要な設定を行ってください。

イニシャルリセットによる周辺回路の初期設定内容については、各I/Oマップまたは回路説明を参照してください。

このページはブランクです。

II-4 BCU(バスコントロールユニット)

BCU(バスコントロールユニット)は、外部デバイスおよびチップに内蔵するユーザロジックブロックとのインタフェースを提供します。メモリマップのエリア別にメモリや周辺I/Oデバイスの種類やサイズが設定でき、BCUによって直接制御することが可能です。バーストROMの直接インタフェースにも対応しています。ここでは、外部および内部システムインタフェースの制御方法やバスオペレーションについて説明します。

注: 以下に示す外部システムインタフェースの制御レジスタは16ビットの内蔵I/O領域に割り付けられています。したがって、制御レジスタのアドレスは、特に指定されたものを除きすべて16ビット単位のハーフワードアドレスで示されています。なお、特に指定のない制御レジスタはバイト単位、ハーフワード単位、ワード単位でアクセスできます。

II

外部システムインタフェース用の端子構成

入出力端子一覧

BCU

外部入出力端子

表II.4.1に外部システムインタフェースに使用する端子の一覧を示します。

表II.4.1 入出力端子一覧

端子名	I/O	機能
A0(#BSL)	O	アドレスバス(A0) / バスストローブ(Low-byte)
A[27:1]	O	アドレスバス(A1–A27)
D[15:0]	I/O	データバス(D0–D15)
#CE10EX(#CE9&10EX)	O	エリア10/(9&10)チップイネーブル
#CE9(#CE17/#CE17&18)	O	エリア9/17/(17&18)チップイネーブル
#CE8(#RAS1/#CE14/#RAS3)	O	エリア8/14チップイネーブル / DRAMローストローブ1/3
#CE7(#RAS0/#CE13/#RAS2)	O	エリア7/13チップイネーブル / DRAMローストローブ0/2
#CE6(#CE7&8)	O	エリア6/(7&8)チップイネーブル
#CE5(#CE15/#CE15&16)	O	エリア5/15/(15&16)チップイネーブル
#CE4(#CE11/#CE11&12)	O	エリア4/11/(11&12)チップイネーブル
#RD	O	リード信号
#WRL(#WR/#WE)	O	ライト(下位バイト) / ライト / DRAMライト
#WRH(#BSH)	O	ライト(上位バイト) / バスストローブ(上位バイト)
BCLK	O	バスクロック出力
P35(#BUSACK)	I/O	入出力兼用ポート / バス要求応答
P34(#BUSREQ/#CE6)	I/O	入出力兼用ポート / バス解放要求 / エリア6チップイネーブル
P31(#BUSGET/#GARD)	I/O	入出力兼用ポート / バス状態モニタ信号出力 / GA用エリアリード信号出力
P30(#WAIT/#CE4&5)	I/O	入出力兼用ポート / ウェイトサイクル要求 / エリア4&5チップイネーブル
P21(#DWE/#GAAS)	I/O	入出力兼用ポート / DRAMライト(下位バイト) / GA用エリアアドレスストローブ出力
#X2SPD	I	CPU-バスクロック比設定入力 1: CPUクロック=バスクロック, 0: CPUクロック=バスクロック×2
EA10MD[1:0]	I	エリア10ブートモード選択入力 11: 外部ROM, 10: 内蔵ROM

注: ・ 外部バス入出力端子は、一部の信号を除き入出力兼用ポート端子と共用されます。

外部バス端子として使用する場合は、ポート機能選択レジスタをシステムの構成に合わせて設定してください。

- ・ 機種により、外部バス入出力端子がC33標準ブロック以外の周辺回路の入出力機能と共用されている場合や、端子として出力されていない場合があります。端子説明の章で確認してください。

システムバス制御信号の組み合わせ

複数の機能を持つバス制御信号端子については、プログラムによってインタフェース方式を選択した時点で決定します。BCUはA0方式と#BSL方式の、2種類のインタフェース方式に対応しています。

表II.4.2 インタフェース方式の選択

インタフェース方式	制御ビット
A0方式(デフォルト)	SBUSST(バスコントロールレジスタ0x4812E・D3) = "0"
#BSL方式	SBUSST(バスコントロールレジスタ0x4812E・D3) = "1"

SBUSSTは、コールドスタート時に"0"に初期化されます。

ホットスタート時はリセット前の状態を保持します。

インタフェース方式による制御信号の組み合わせを表II.4.3に示します。

表II.4.3 バス制御信号の組み合わせ

A0方式	#BSL方式
A0	#BSL(リトルエンディアン) / #BSH(ビッグエンディアン) *
#WRL	#WR
#WRH	#BSH(リトルエンディアン) / #BSL(ビッグエンディアン) *
#CEx	#CEx

* #BSL方式の場合、リトルエンディアンとビッグエンディアンの選択により、A0端子と#WRH端子の機能が変わります。

メモリエリア

メモリマップ

図II.4.1にBCUがサポートしているメモリマップを示します。

エリア	アドレス		エリア	アドレス	
エリア9 SRAMタイプ バーストROMタイプ 8 or 16ビット	0x0BFFFFFF 0x08000000	外部メモリ(4MB)	エリア18 SRAMタイプ 8 or 16ビット	0xFFFFFFFF 0xC0000000	外部メモリ(64MB)
エリア8 SRAMタイプ 8 or 16ビット	0x07FFFFFF 0x06000000	外部メモリ(2MB)	エリア17 SRAMタイプ 8 or 16ビット	0xBFFFFFFF 0x80000000	外部メモリ(64MB)
エリア7 SRAMタイプ 8 or 16ビット	0x05FFFFFF 0x04000000	外部メモリ(2MB)	エリア16 SRAMタイプ 8 or 16ビット	0x7FFFFFFF 0x60000000	外部メモリ(32MB)
エリア6 SRAMタイプ	0x03FFFFFF 0x03800000 0x037FFFFF 0x03000000	外部I/O (16ビットデバイス) 外部I/O (8ビットデバイス)	エリア15 SRAMタイプ 8 or 16ビット	0x5FFFFFFF 0x40000000	外部メモリ(32MB)
エリア5 SRAMタイプ 8 or 16ビット	0x02FFFFFF 0x02000000	外部メモリ(1MB)	エリア14 SRAMタイプ 8 or 16ビット	0x3FFFFFFF 0x30000000	外部メモリ(16MB)
エリア4 SRAMタイプ 8 or 16ビット	0x01FFFFFF 0x01000000	外部メモリ(1MB)	エリア13 SRAMタイプ 8 or 16ビット	0x2FFFFFFF 0x20000000	外部メモリ(16MB)
エリア3 16ビット 1サイクル固定	0x00FFFFFF 0x00800000	(Reserved)	エリア12 SRAMタイプ 8 or 16ビット	0x1FFFFFFF 0x18000000	外部メモリ(8MB)
エリア2 16ビット 3サイクル固定	0x007FFFFF 0x00600000	(Reserved) CPUコア/デバッグモード用	エリア11 SRAMタイプ 8 or 16ビット	0x17FFFFFF 0x10000000	外部メモリ(8MB)
エリア1 8, 16ビット 2 or 4サイクル	0x005FFFFF 0x00500000 0x004FFFFF 0x00400000 0x003FFFFF 0x00300000	(内蔵I/Oメモリのミラー) 内蔵I/Oメモリ (内蔵I/Oメモリのミラー)	エリア10 SRAMタイプ バーストROMタイプ 8 or 16ビット	0x0FFFFFFF 0x0C000000	外部メモリ(4MB)
エリア0 32ビット 1サイクル固定	0x002FFFFF 0x00000000	内蔵RAM			

図II.4.1 メモリマップ

基本的には、エリア0～3が内部メモリ領域、エリア4～18が外部メモリ領域です。

エリア0は通常内蔵RAM領域として使用します。メモリはエリア0の先頭から配置します。

エリア1はチップに内蔵する機能ブロックのI/Oメモリ領域として予約されています。アドレス0x00400000～0x004FFFFFが制御レジスタ等に使用され、アドレス0x00500000～0x005FFFFFはそのミラーとなります。

エリア2はデバッグモード専用の領域です。ユーザモード(通常のプログラム実行状態)からはアクセスすることができません。

注: エリア4～18は、機種固有の拡張周辺回路の制御レジスタ、内蔵メモリなどが内部メモリ領域として割り付けられている場合があります。内蔵メモリの章もあわせて参照してください。

外部メモリマップとチップイネーブル

アドレス空間はデフォルトで19個のエリア(エリア0～エリア18)に分割して管理されます。この中のエリア4～エリア10が外部システムに開放され、個々にチップイネーブル端子(#CE[10:4])も設けられています。C33コアブロックでは#CE出力端子が7本に制限されていますが、#CE[4:10]出力端子はソフトウェアで表II.4.4に示す上位エリア用のチップイネーブル出力端子に切り換えられるようになっています。この切り換えはDRAMタイミング設定レジスタ(0x48130)のCEFUNC[1:0](D[A:9])で行います。

表II.4.4 #CE出力の切り換え

端子	CEFUNC = "00"	CEFUNC = "01"	CEFUNC = "1x"
#CE4	#CE4	#CE11	#CE11+#CE12
#CE5	#CE5	#CE15	#CE15+#CE16
#CE6	#CE6	#CE6	#CE7+#CE8
#CE7/#RAS0	#CE7/#RAS0	#CE13/#RAS2	#CE13/#RAS2
#CE8/#RAS1	#CE8/#RAS1	#CE14/#RAS3	#CE14/#RAS3
#CE9	#CE9	#CE17	#CE17+#CE18
#CE10EX	#CE10EX	#CE10EX	#CE9+#CE10EX

(デフォルト: CEFUNC = "00")

CEFUNCに"01"を書き込むことで使用可能となる上位のエリアは、デフォルトの下位エリアに比べエリアサイズを大きく取ることができます。たとえばデフォルト設定の場合、エリア7と8で4Mバイトまでとなりますが、エリア13と14を使用すると最大32Mバイトまで使用可能となります。他のエリアも同様です。また、CEFUNCを"10"または"11"に設定すると、5本のチップイネーブル信号が、それぞれ2エリアに対応するように拡張されます。

図II.4.2に外部システム用のメモリマップを示します。

注: チップ内部のアドレス処理は28ビットで行われますが、アドレスバス出力端子数は機種により異なります。アクセス可能な領域は、各機種のアドレスバス出力数に従った範囲に制限されます。

エリア	アドレス		エリア	アドレス	
エリア10(#CE10)	0x0FFFFFFF	外部メモリ6(4MB)	エリア17(#CE17)	0xBFFFFFFF	外部メモリ6(64MB)
SRAMタイプ			SRAMタイプ		
バーストROMタイプ			8 or 16ビット		
8 or 16ビット	0x0C000000			0x80000000	
エリア9(#CE9)	0x0BFFFFFF	外部メモリ5(4MB)	エリア15(#CE15)	0x5FFFFFFF	外部メモリ5(32MB)
SRAMタイプ			SRAMタイプ		
バーストROMタイプ			8 or 16ビット		
8 or 16ビット	0x08000000			0x40000000	
エリア8(#CE8/#RAS1)	0x07FFFFFF	外部メモリ4(2MB)	エリア14(#CE14/#RAS3)	0x3FFFFFFF	外部メモリ4(16MB)
SRAMタイプ			SRAMタイプ		
8 or 16ビット			8 or 16ビット		
	0x06000000			0x30000000	
エリア7(#CE7/#RAS0)	0x05FFFFFF	外部メモリ3(2MB)	エリア13(#CE13/#RAS2)	0x2FFFFFFF	外部メモリ3(16MB)
SRAMタイプ			SRAMタイプ		
8 or 16ビット			8 or 16ビット		
	0x04000000			0x20000000	
エリア6(#CE6)	0x03FFFFFF	外部I/O (16ビットデバイス)	エリア11(#CE11)	0x1FFFFFFF	外部メモリ2(8MB)
SRAMタイプ			SRAMタイプ		
	0x03800000		8 or 16ビット		
	0x037FFFFF	外部I/O (8ビットデバイス)		0x10000000	
	0x03000000			0x0FFFFFFF	
エリア5(#CE5)	0x02FFFFFF	外部メモリ2(1MB)	エリア10(#CE10)		外部メモリ1(4MB)
SRAMタイプ			SRAMタイプ		
8 or 16ビット			バーストROMタイプ		
	0x02000000		8 or 16ビット	0x0C000000	
エリア4(#CE4)	0x01FFFFFF	外部メモリ1(1MB)	エリア6(#CE6)	0x03FFFFFF	外部I/O (16ビットデバイス)
SRAMタイプ			SRAMタイプ		
8 or 16ビット				0x03800000	
	0x01000000			0x037FFFFF	外部I/O (8ビットデバイス)
				0x03000000	

CEFUNC = "00"

CEFUNC = "01"

エリア	アドレス	
エリア17-18(#CE17+18) SRAM タイプ 8 or 16 ビット	0xFFFFFFF 0x8000000	外部メモリ7(128MB)
エリア15-16(#CE15+16) SRAMタイプ 8 or 16ビット	0x7FFFFFF 0x4000000	外部メモリ6(64MB)
エリア14(#CE14/#RAS3) SRAMタイプ 8 or 16ビット	0x3FFFFFF 0x3000000	外部メモリ5(16MB)
エリア13(#CE13/#RAS2) SRAMタイプ 8 or 16ビット	0x2FFFFFF 0x2000000	外部メモリ4(16MB)
エリア11-12(#CE11+12) SRAMタイプ 8 or 16 ビット	0x1FFFFFF 0x1000000	外部メモリ3(16MB)
エリア9-10(#CE9+10EX) SRAMタイプ バーストロムタイプ 8 or 16ビット	0x0FFFFFF 0x0800000	外部メモリ2(8MB)
エリア7-8(#CE7+8) SRAM タイプ 8 or 16ビット	0x07FFFFFF 0x0400000	外部メモリ1(4MB)

CEFUNC = "10"または"11"

図II.4.2 外部システムメモリマップ

また、#CE4+#CE5および#CE6信号は、それぞれP30、P34端子からも出力させることができます。これにより、CEFUNCを"01"、"10"、"11"に設定した場合にアクセス可能なエリアを拡大することができます。

#CE4+#CE5信号をP30端子から出力する場合:

CFP30(P3機能選択レジスタ0x402DC・D0)= "1"

IOC30(P3 I/O制御レジスタ0x402DE・D0)= "1"

#CE6信号をP34端子から出力する場合:

CFP34(P3機能選択レジスタ0x402DC・D4)= "1"

IOC34(P3 I/O制御レジスタ0x402DE・D4)= "1"

イニシャルリセット時、P30とP34端子は汎用入出力兼用ポート端子に設定されます。

なお、P30は#WAIT入力、P34は#BUSREQ入力とも共用されていますので、これらの信号を使用する場合は#CE4+#CE5、#CE6信号を出力させることはできません。

外部メモリ領域内での内蔵メモリの使用

本BCUでは、外部メモリ領域にも内蔵メモリが使用できます。

外部アクセスと内部アクセスの選択は、アクセス制御レジスタ(0x48132)のAxxIOビットで行います。

このビットに"1"を書き込むと内蔵デバイスがアクセスされ、"0"を書き込むと外部デバイスがアクセスされます。ビットは以下のように各エリアに対応しています。

A18IQ(DF) エリア17, 18

A16IQ(DE) エリア15, 16

A14IQ(DD) エリア13, 14

A12IQ(DC) エリア11, 12

A8IQ(DA) エリア7, 8

A6IQ(D9) エリア6

A5IQ(D8) エリア4, 5

エリア専用信号

各エリアは、外部メモリインタフェースの共通制御信号以外に、エリア専用信号(アドレスストローブ #GAASおよびリード信号#GARD)でアクセス可能です。

この専用信号を使用するには、G/Aリード信号制御レジスタ(0x48138)で設定しておきます。

アドレスストローブ信号はAxxASビットで、リード信号はAxxRDビットで、エリアに対する出力を許可/禁止します。これらのビットに"1"を書き込むと対応するエリアの専用信号出力が許可され、"0"を書き込むと禁止されます(デフォルトは禁止)。ビットは以下のように各エリアに対応しています。

A18AS(DF) A18RD(D7) エリア17, 18

A16AS(DE) A16RD(D6) エリア15, 16

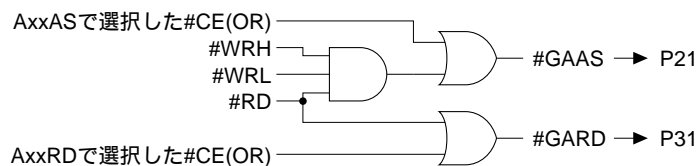
A14AS(DD) A14RD(D5) エリア13, 14

A12AS(DC) A12RD(D4) エリア11, 12

A8AS(DA) A8RD(D2) エリア7, 8

A6AS(D9) A6RD(D1) エリア6

A5AS(D8) A5RD(D0) エリア4, 5



図II.4.3 #GAAS、#GARD信号

アドレスストローブ信号とリード信号は、それぞれP21端子、P31端子から出力されます。したがって、これらの信号を使用するには、ポート機能拡張レジスタで各端子を専用信号出力に設定しておく必要があります。

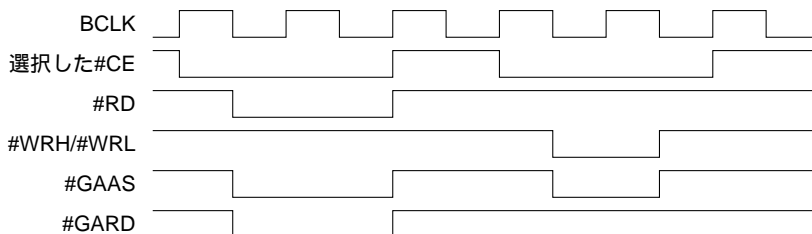
アドレスストローブ信号#GAASを出力する場合:

CFEX(ポート機能拡張レジスタ0x402DF・D2) = "1"

リード信号#GARDを出力する場合:

CFEX(ポート機能拡張レジスタ0x402DF・D3) = "1"

これらの信号は前記のすべてのエリアに共通して使用されます。2つ以上のエリアを選択した場合、各エリアに対する信号が論理和されて出力されます。



図II.4.4 #GAAS、#GARD信号出力タイミング

エリア10

エリア10はブートアドレス(0xC00000)を含む外部メモリ領域です。このエリアは2つのブートモードをサポートします。

注: エリア10にROMを内蔵しているかについては内蔵メモリの章を参照してください。

エリア10ブートモード

ブートモードはEA10MD[1:0]端子で設定します。

表II.4.5 エリア10ブートモードの選択

EA10MD[1:0]端子	エリア10ブートモード
10	内蔵ROMブートモード
11	外部ROMブートモード

内蔵ROMブートモード

CPUはエリア10に割り付けられている内蔵ROMからブートします。内蔵ROMサイズはA10IR[2:0](エリア10-9設定レジスタ0x48126・D[E:C])で8種類(16KB ~ 2MB)から選択できます。

このROMはアドレス0xC00000から始まり、1サイクルでの読み出しが行えます。このROMサイズを除いたエリア10の残りの領域は、外部メモリへのアクセスとなります。

外部ROMブートモード

CPUは外部メモリ(ROM、Flash、SRAM等)からブートします。外部メモリは、エリア10用のBCUレジスタの設定条件に従ってアクセスされます。

内蔵ROMサイズの設定

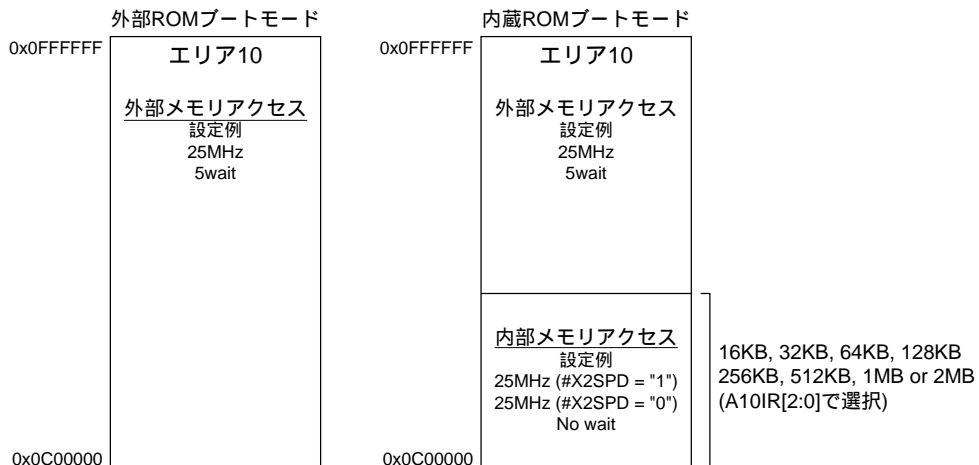
外部ROMブートモード以外のブートモードを使用する場合は、A10IR[2:0](エリア10-9設定レジスタ0x48126・D[E:C])で内蔵ROMのサイズを指定します。

表II.4.6 エリア10内蔵ROMサイズ

A10IR2	A10IR1	A10IR0	ROMサイズ
0	0	0	16KB
0	0	1	32KB
0	1	0	64KB
0	1	1	128KB
1	0	0	256KB
1	0	1	512KB
1	1	0	1MB
1	1	1	2MB(デフォルト)

エリア10メモリマップ

図II.4.5にエリア10のメモリマップを示します。



図II.4.5 エリア10メモリマップ

外部バス条件の設定

外部バスに接続するデバイスの種類、サイズ、ウェイトなどの条件が、制御レジスタ(0x48120 ~ 0x48130)によってエリアごとに設定できるようになっています。以下、設定可能な条件を個別に説明します。

バス条件を設定する制御レジスタは、コールドスタート時に初期化されます。外部デバイスの構成や仕様に合わせ、必要に応じてソフトウェアで設定し直してください。

ホットスタート時は設定した内容および端子はリセット前の状態を保持します。

デバイスタイプとデバイスサイズの設定

表II.4.7に各エリアに直結可能なデバイスの種類を示します。

表II.4.7 デバイスタイプ

エリア	SRAMタイプ	バーストROMタイプ	制御ビット
18-15		x	-
14		x	-
13		x	-
12, 11		x	-
10			A10DRA (エリア10-9設定レジスタ0x48126•D8)
9			A9DRA (エリア10-9設定レジスタ0x48126•D7)
8		x	-
7		x	-
6-4		x	-

: 接続可能 x: 接続不可

バーストROMを接続する場合は対応する制御ビットに"1"を書き込んでください。これらの制御ビットはコールドスタート時に"0"(SRAMタイプ)に設定されます。

デバイスサイズはエリア6を除き、2エリア単位に8ビットまたは16ビットサイズに設定できます。

エリア6のみは、エリアの前半(0x300000 ~ 0x37FFFF)が8ビットデバイス用、後半(0x380000 ~ 0x3FFFFFF)が16ビットデバイス用に固定されています。

表II.4.8 デバイスサイズ制御ビット

エリア	制御ビット
18, 17	A18SZ(エリア18-15設定レジスタ0x48120•DE)
16, 15	A16SZ(エリア18-15設定レジスタ0x48120•D6)
14, 13	A14SZ(エリア14-13設定レジスタ0x48122•D6)
12, 11	A12SZ(エリア12-11設定レジスタ0x48124•D6)
10, 9	A10SZ(エリア10-9設定レジスタ0x48126•D6)
8, 7	A8SZ(エリア8-7設定レジスタ0x48128•D6)
5, 4	A5SZ(エリア6-4設定レジスタ0x4812A•D6)

コールドスタート時は、各エリアとも16ビットに設定されます。

8ビットデバイスを使用する場合は制御ビットに"1"を書き込んでください。

注: BCUは16ビットのバーストROMをサポートしています。したがって、エリア10またはエリア9にバーストROMを接続する場合は、デバイスサイズを8ビット(A10SZ = "1")には設定しないでください。

デバイスサイズおよびアクセスデータサイズによるバスオペレーションの違いについては、"外部メモリのバスオペレーション"を参照してください。

SRAMタイプのタイミング条件設定

SRAMタイプに設定したエリアは、ウェイトサイクルと出力ディセーブル遅延時間が設定可能です。

ウェイトサイクル数: 0~7サイクル(1サイクル単位)

出力ディセーブル遅延時間: 0.5, 1.5, 2.5, 3.5サイクル

この選択は、エリア6を除き2エリア単位に行えます。

表II.4.9 タイミング条件設定ビット(SRAMタイプ)

エリア	ウェイトサイクル数	出力ディセーブル遅延時間	制御レジスタ
18, 17	A18WT[2:0](D[A:8])	A18DF[1:0](D[D:C])	エリア18-15設定レジスタ(0x48120)
16, 15	A16WT[2:0](D[2:0])	A16DF[1:0](D[5:4])	エリア18-15設定レジスタ(0x48120)
14, 13	A14WT[2:0](D[2:0])	A14DF[1:0](D[5:4])	エリア14-13設定レジスタ(0x48122)
12, 11	A12WT[2:0](D[2:0])	A12DF[1:0](D[5:4])	エリア12-11設定レジスタ(0x48124)
10, 9	A10WT[2:0](D[2:0])	A10DF[1:0](D[5:4])	エリア10-9設定レジスタ(0x48126)
8, 7	A8WT[2:0](D[2:0])	A8DF[1:0](D[5:4])	エリア8-7設定レジスタ(0x48128)
6	A6WT[2:0](D[A:8])	A6DF[1:0](D[D:C])	エリア6-4設定レジスタ(0x4812A)
5, 4	A5WT[2:0](D[2:0])	A5DF[1:0](D[5:4])	エリア6-4設定レジスタ(0x4812A)

コールドスタート時、ウェイトサイクル数は7サイクルに、出力ディセーブル遅延時間は3.5サイクルに設定されます。接続するデバイスの仕様に合わせ、必要に応じてソフトウェアで設定し直してください。ホットスタート時はリセット前の設定を保持します。

ウェイトサイクル

各制御ビットでウェイト数を設定すると、BCUはそのエリアへのアクセス時に、設定したウェイトサイクル分バスサイクルを延長します。バスクロック周波数と外部デバイスのアクセス時間に従って設定してください。ここで設定するウェイトサイクルとは別に、#WAIT端子によっても外部からのウェイト要求を受け付けます。ソフトウェアによるウェイトサイクル数の設定は2エリアごとのため、エリア個々にウェイトサイクル数を制御したい場合や、7サイクル以上のウェイトサイクルが必要な場合は、外部ウェイト要求で対応してください。#WAIT端子はP30入出力兼用ポート端子と兼用されています。外部ウェイト要求を受け付けるためには、P3機能選択レジスタ(0x402DC)のCFP3(D0)とバスコントロールレジスタ(0x4812E)のSWAITE(D0)に"1"を書き込み(デフォルトは"0")、#WAIT端子をイネーブルに設定しておく必要があります。

バスサイクルおよびウェイトサイクル挿入時のタイミングチャートについては"外部システムインタフェースのバスサイクル"を参照してください。

ウェイトサイクル数が0に設定され、外部ウェイト要求もない場合、SRAMタイプの外部デバイスに対する基本リードサイクル(バイト/ハーフワードリード)は1サイクルです。ウェイトサイクル数を設定するとそのサイクル数が加算されますので、バスリードサイクル数は[ウェイトサイクル数+1]となります(外部ウェイトがない場合)。

一方、基本ライトサイクルは最小が2サイクルで、ウェイトサイクルを0または1サイクルに設定しても変わりません。ウェイトサイクル数を2サイクル以上に設定すると、バスサイクルが実際に延長されます。その場合のバスライトサイクル数はリードサイクル時と同様、[ウェイトサイクル数+1]となります(外部ウェイトがない場合)。

出力ディセーブル遅延時間

出力ディセーブル時間の長いデバイスを接続した場合、そのデバイスに対するリードサイクルに続けて次のアクセスを開始すると、データバス上で競合が起こる場合があります(リードデバイスがデータバスをハイインピーダンスにしていないため)。出力ディセーブル遅延時間はこのデータバスの競合を防止するための設定で、リードサイクルと次のバスオペレーションの間に指定したサイクル数のディセーブル遅延が挿入されます。ただし、#CEx信号については、連続して異なるエリアがアサートされるケースがありますので注意してください。ディセーブル遅延時間により遅延する信号は、#RDや#WRL/#WRHなどのコマンド信号です。

サイクル数については接続するデバイスの仕様を確認して設定してください。

バスサイクルが開始されると、#CExがアサートされてから0.5サイクル後に#RDや#WRL/#WRHがアサートされます。この0.5サイクルは、直前のバスアクセスから見ると出力ディセーブル遅延時間に相当します。したがって、出力ディセーブル遅延時間は最小0.5サイクルとなります。

設定レジスタのAxxDF[1:0]により挿入できる出力ディセーブル遅延時間は1サイクル単位の0~3サイクルで、実際の出力ディセーブル遅延時間のサイクル数は0.5~3.5サイクルとなります。

この出力ディセーブル遅延時間の挿入は、以下の場合にのみ発生するようになっています。

- 出力ディセーブル遅延時間が設定された外部デバイスからのリードサイクルの後、次がCPUによるライトサイクルの場合
- 出力ディセーブル遅延時間が設定された外部デバイスからのリードサイクルの後、次が異なるエリア(内部デバイスも含む)からのリードサイクルの場合

逆に、以下の条件では出力ディセーブル遅延時間は挿入されません。

- ライトサイクル直後
- 同じ外部デバイスからの連続リード時

バーストROMタイプのタイミング条件設定

ウェイトサイクル

エリア10またはエリア9にバーストROMを選択した場合、バーストリードサイクルに挿入するウェイトサイクル数を0~3サイクルの範囲で選択することができます。選択はエリア10-9設定レジスタ(0x48126)のA10BW[1:0](D[A:9])で行います。この選択はエリア10と9に同時に適用され、エリアごとに個別に設定することはできません。コールドスタート時は0サイクルに設定されます。

バーストリードの場合でも、最初のバスオペレーションにはSRAMタイプのウェイトサイクル数の設定が有効です。(前節のA10WT[2:0]を参照)

A10BW[1:0]で設定するウェイトサイクルは、それ以降のバーストサイクルに挿入されます。

また、バーストROMを選択した場合のリードサイクルには、#WAIT端子によるウェイトサイクルは挿入できません。

バーストROMが選択された状態でそのエリアに書き込みを行った場合、SRAMタイプのライトサイクルが実行されます。その場合は、SRAMタイプのウェイトサイクル数の設定と#WAIT端子の入力が共に有効となります。

バーストモード

バーストモードとして8連続バーストモードまたは4連続バーストモードが選択可能です。この選択はバスコントロールレジスタ(0x4812E)のRBST8(DD)で行います。RBST8に"1"を書き込むと8連続バーストモード、"0"を書き込むと4連続バーストモードに設定されます。コールドスタート時は4連続バーストに設定されます。

バスオペレーション

メモリ上のデータ配置

S1C33 Familyのデバイスは、バイト(8ビット)、ハーフワード(16ビット)、ワード(32ビット)のデータを扱います。メモリ上のデータをアクセスする場合は、データサイズに従った境界アドレスを指定することが必要で、それ以外のアドレスを指定すると、アドレス不整例外が発生します。SP(スタックポインタ)やPC(プログラムカウンタ)の内容を書き換える命令は(スタック操作や分岐命令など)、指定アドレスが強制的に境界アドレスに変更されるため、アドレス不整例外は発生しません。アドレス不整例外の詳細については、"S1C33000コアCPUマニュアル"を参照してください。

表II.4.10にデータタイプによるメモリ上の配置位置を示します。

表II.4.10 メモリ上のデータ配置

データタイプ	配置位置
バイト	バイト境界(全アドレス)
ハーフワード	ハーフワード境界 (A[0]="0")
ワード	ワード境界(A[1:0]="00")

メモリ上のハーフワードデータ、ワードデータは、デフォルトではリトルエンディアン形式でアクセスされます。アクセス制御レジスタ(0x48132)のAxxEQ D[7:0]ビットに"1"を書き込むことにより、エリアごとにビッグエンディアン形式に変更することもできます。以下にビットとエリアの対応を示します。

A18EQ D7 } エリア17, 18

A16EQ D6 } エリア15, 16

A14EQ D5 } エリア13, 14

A12EQ D4 } エリア11, 12

A10EQ D3 } エリア9, 10 ... ブートエリアのため、"0"(リトルエンディアン)に固定

A8EQ D2 } エリア7, 8

A6EQ D1 } エリア6

A5EQ D0 } エリア4, 5

メモリ効率を上げるには、同種のデータを連続的に配置し、境界アドレスへの配置によってできる空白領域を極力減らしてください。

外部メモリのバスオペレーション

外部データバスは16ビットサイズです。このため、デバイスサイズと実行する命令のデータサイズによっては、表II.4.11に示すとおり、複数回のバスオペレーションが発生します。

表II.4.11 バスオペレーションの実行回数

アクセスデータサイズ	デバイスサイズ	バスオペレーション回数	備 考
32ビット	16ビット	2回	
16ビット	16ビット	1回	
8ビット	16ビット	1回	リトルエンディアン方式: アドレスの最下位ビット(A[0])が"0"のとき、または#BSLがLのときは下位バイトをアクセス、A[0]が"1"のとき、または#BSHがLのときは上位バイトをアクセス ビッグエンディアン方式: アドレスの最下位ビット(A[0])が"0"のとき、または#BSLがLのときは上位バイトをアクセス、A[0]が"1"のとき、または#BSHがLのときは下位バイトをアクセス
32ビット	8ビット	4回	リトルエンディアン方式: 8ビットデバイスはデータバスのLSB側8ビットに接続 ビッグエンディアン方式: 8ビットデバイスはデータバスのMSB側8ビットに接続
16ビット	8ビット	2回	リトルエンディアン方式: 8ビットデバイスはデータバスのLSB側8ビットに接続 ビッグエンディアン方式: 8ビットデバイスはデータバスのMSB側8ビットに接続
8ビット	8ビット	1回	リトルエンディアン方式: 8ビットデバイスはデータバスのLSB側8ビットに接続 ビッグエンディアン方式: 8ビットデバイスはデータバスのMSB側8ビットに接続

以下、これらのバスオペレーションをA0方式の場合を例に図で示します。

BSL方式の場合は、次のように見てください。

(1)データ読み込みの場合は下記の図と共通です。

(2)データ書き込みでリトルエンディアンのはきは、A0を#BSLに、#WRHを#BSHと置き換えて見てください。

(3)データ書き込みでビッグエンディアンのはきは、A0を#BSLに、#WRLを#BSHと置き換えて見てください。

また、メモリの接続は、図II.4.19を参照してください。

リトルエンディアン

ソース(汎用レジスタ)					バスオペレーション								
31	バイト3	バイト2	バイト1	バイト0	No.	A1	A0	#WRH	#WRL	15	データバス		0
15	↓2		0	15	1	0	0	0	0		バイト1	バイト0	
	A[1:0]=10				2	1	0	0	0		バイト3	バイト2	
ディスティネーション(16ビットデバイス)													

ディスティネーション(16ビットデバイス)

ビッグエンディアン

ソース(汎用レジスタ)					バスオペレーション								
31	バイト3	バイト2	バイト1	バイト0	No.	A1	A0	#WRH	#WRL	15	データバス		0
15	↓1		0	15	1	0	0	0	0		バイト3	バイト2	
	A[1:0]=00				2	1	0	0	0		バイト1	バイト0	
ディスティネーション(16ビットデバス)													

ディスティネーション(16ビットデバイス)

図II.4.6 16ビットデバイスへのワードデータ書き込み

リトルエンディアン

ディスティネーション(汎用レジスタ)					バスオペレーション								
31	バイト3	バイト2	バイト1	バイト0	No.	A1	A0	#WRH	#WRL	15	データバス		0
15	↑2		0	15	1	0	0	1	1		バイト1	バイト0	
	A[1:0]=10				2	1	0	1	1		バイト3	バイト2	
ソース(16ビットデバイス)													

ソース(16ビットデバイス)

ビッグエンディアン

ディスティネーション(汎用レジスタ)					バスオペレーション								
31	バイト3	バイト2	バイト1	バイト0	No.	A1	A0	#WRH	#WRL	15	データバス		0
15	↑1		0	15	1	0	0	1	1		バイト3	バイト2	
	A[1:0]=00				2	1	0	1	1		バイト1	バイト0	
ソース(16ビットデバス)													

ソース(16ビットデバイス)

図II.4.7 16ビットデバイスからのワードデータ読み込み

リトルエンディアン

ソース(汎用レジスタ)				バスオペレーション									
31	バイト3	バイト2	バイト1	バイト0	No.	A1	A0	#WRH	#WRL	15	データバス		0
					1	*	0	0	0		バイト1	バイト0	

ディスティネーション(16ビットデバイス)

ビッグエンディアン

ソース(汎用レジスタ)				バスオペレーション									
31	バイト3	バイト2	バイト1	バイト0	No.	A1	A0	#WRH	#WRL	15	データバス		0
			↓1		1	*	0	0	0		バイト1	バイト0	
	A[1:0]=0												
ディスティネーション(16ビットデバイス)													

ディスティネーション(16ビットデバイス)

図II.4.8 16ビットデバイスへのハーフワードデータ書き込み

リトルエンディアン

ディスティネーション(汎用レジスタ)				バスオペレーション							
31	符号拡張またはゼロ拡張	バイト1	バイト0	No.	A1	A0	#WRH	#WRL	15	データバス	0
15	↑1			1	*	0	1	1		バイト1	バイト0
	A[1:0]=0										

ソース(16ビットデバイス)

ビッグエンディアン

ディスティネーション(汎用レジスタ)				バスオペレーション							
31	符号拡張またはゼロ拡張	バイト1	バイト0	No.	A1	A0	#WRH	#WRL	15	データバス	0
15	↑1			1	*	0	1	1		バイト1	バイト0
	A[1:0]=0										

ソース(16ビットデバイス)

図II.4.9 16ビットデバイスからのハーフワードデータ読み込み

リトルエンディアン

ソース(汎用レジスタ)				バスオペレーション								
バイト3	バイト2	バイト1	バイト0	No.	A1	A0	#WRH	#WRL	15	データバス		0
				1	*	1	0	1		バイト0	データ保持	
				1'	*	0	1	0		データ保持	バイト0	

ディステーション(16ビットデバイス)

ビッグエンディアン

ソース(汎用レジスタ)				バスオペレーション							
バイト3	バイト2	バイト1	バイト0	No.	A1	A0	#WRH	#WRL	15	データバス	
				1	*	0	0	1		バイト0	データ保持
				1'	*	1	1	0		データ保持	バイト0

ディステーション(16ビットデバイス)

図II.4.10 16ビットデバイスへのバイトデータ書き込み

リトルエンディアン

31 ディスティネーション(汎用レジスタ)	0	バスオペレーション
符号拡張またはゼロ拡張	RDバイト	
15 ↗ 1 ↑ 1'	0	
A[1:0]=1 A[1:0]=0		

No.	A1	A0	#WRH	#WRL	15	データバス	0
1	*	1	1	1		RDバイト	無視
1'	*	0	1	1		無視	RDバイト

ソース(16ビットデバイス)

ビッグエンディアン

31
ディステーション(汎用レジスタ)
0

符号拡張またはゼロ拡張	RDバイト
-------------	-------

15

↗ 1
 ↑ 1'

0

A[1:0]=0

A[1:0]=1

バスオペレーション

No.	A1	A0	#WRH	#WRL	15	データバス	0
1	*	0	1	1		RDバイト	無視
1'	*	1	1	1		無視	RDバイト

ソース(16ビットデバイス)

図II.4.11 16ビットデバイスからのバイトデータ読み込み

リトルエンディアン

ソース(汎用レジスタ) 0

バイト3	バイト2	バイト1	バイト0
7 ↓4	0 7 ↓3	0 7 ↓2	0 7 ↓1
A[1:0]=11	A[1:0]=10	A[1:0]=01	A[1:0]=00

ディスティネーション(8ビットデバイス)

バスオペレーション

No.	A1		A0	#WVRH	#WRL	15	データバス		0
1	0	1	X	0			データ保持	バイト0	
2	0	1	X	0			データ保持	バイト1	
3	1	0	X	0			データ保持	バイト2	
4	1	1	X	0			データ保持	バイト3	

(X: 未接続/未使用)

ビッグエンディアン

ソース(汎用レジスタ)				バスオペレーション			
バイト3		バイト2		バイト1		バイト0	
7	↓	0 7	↓	0 7	↓	0 7	↓
A[1:0]=00		A[1:0]=01		A[1:0]=10		A[1:0]=11	
ディスティネーション(8ビットデバイス)							

No.	A1	A0	#WVRH	#WRL	15	データバス	
1	0	0	0	1		バイト3	データ保持
2	0	1	0	1		バイト2	データ保持
3	1	0	0	1		バイト1	データ保持
4	1	1	0	1		バイト0	データ保持

図11.4.12 8ビットデバイスへのワードデータ書き込み

リトルエンディアン

31 ディスティネーション(汎用レジスタ) 0										バスオペレーション									
バイト3		バイト2		バイト1		バイト0				No.	A1	A0	#VRH	#WRL	15	データバス		0	
7	↑	4	0	7	↑	4	0	7	↑	1	0	0	X	1		無視	バイト0		
A[1:0]=11		A[1:0]=10		A[1:0]=01		A[1:0]=00				2	0	1	X	1		無視	バイト1		
ソース(8ビットデバイス)										3	1	0	X	1		無視	バイト2		
										4	1	1	X	1		無視	バイト3		

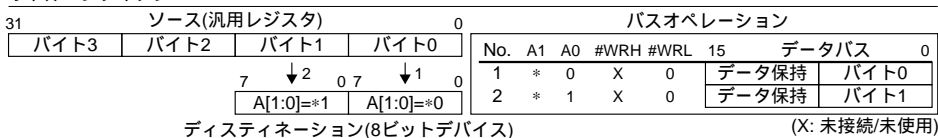
(X: 未接続/未使用)

ビッグエンディアン

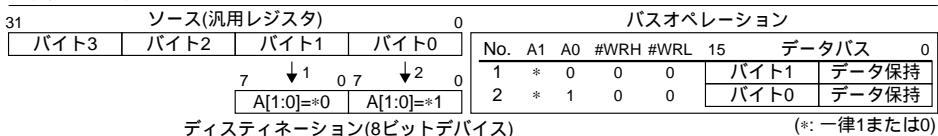
31 ディスティネーション(汎用レジスタ) 0										バスオペレーション									
バイト3		バイト2		バイト1		バイト0				No.	A1	A0	#WRH	#WRL	15	データバス		0	
7	↑	1	0	7	↑	1	0	7	↑	1	0	7	↑	1	0	バイト3	無視		
A[1:0]=00		A[1:0]=01		A[1:0]=10		A[1:0]=11				2	0	0	1	1	1	バイト2	無視		
ソース(8ビットデバイス)										3	1	0	1	1	1	バイト1	無視		
										4	1	1	1	1	1	バイト0	無視		

図11.4.13 8ビットデバイスからのワードデータ読み込み

リトルエンディアン

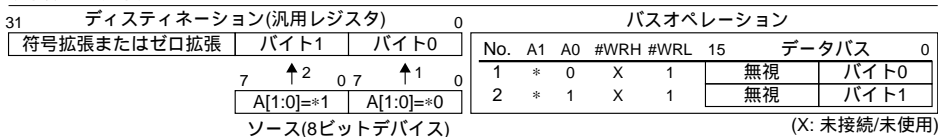


ビッグエンディアン

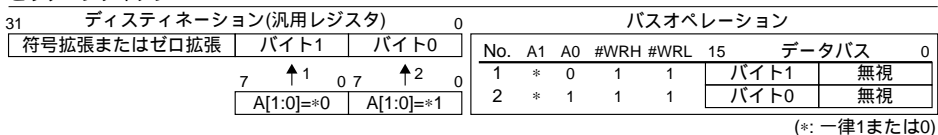


図II.4.14 8ビットデバイスへのハーフワードデータ書き込み

リトルエンディアン

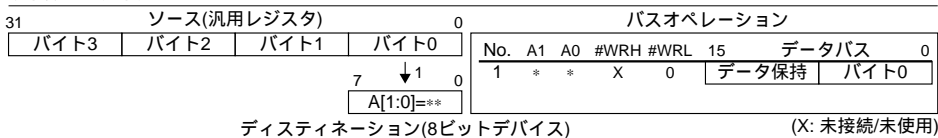


ビッグエンディアン

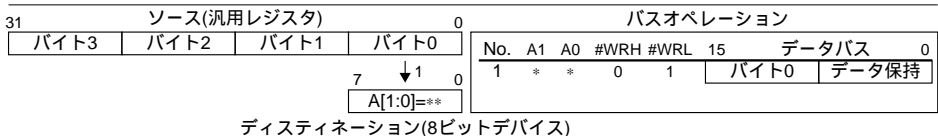


図II.4.15 8ビットデバイスからのハーフワードデータ読み込み

リトルエンディアン

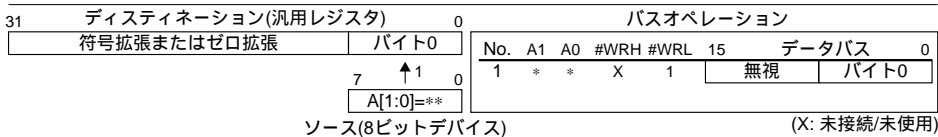


ビッグエンディアン

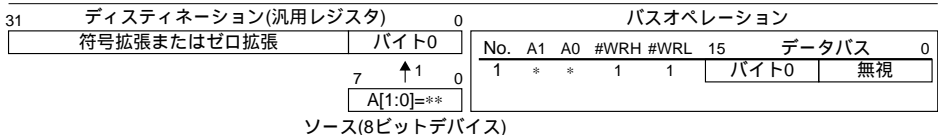


図II.4.16 8ビットデバイスへのバイトデータ書き込み

リトルエンディアン



ビッグエンディアン

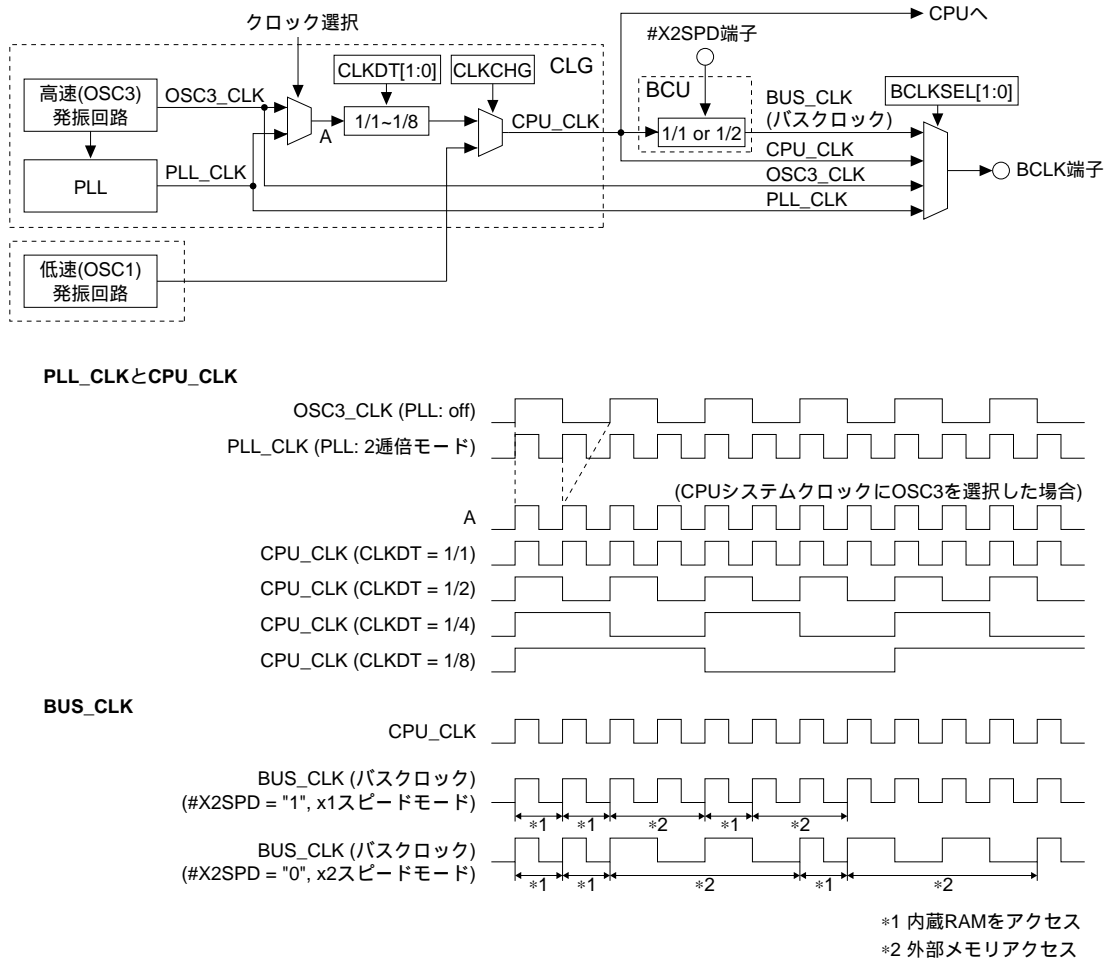


図II.4.17 8ビットデバイスからのバイトデータ読み込み

バスクロック

バスクロックはクロックジェネレータが出力するCPUシステムクロックからBCUが生成します。

図II.4.18にクロック系のブロック図を示します。



図II.4.18 クロック系

バスクロックはCPUシステムクロック(CPU_CLK)から生成するため、以下の設定が直接バスクロックにも影響します。

1. 発振回路の選択(OSC3またはOSC1)
2. PLLの設定
3. パワーセーブ用の分周(OSC3_CLKまたはPLL_CLKの1/8、1/4、1/2または1/1)

2と3の設定は、高速(OSC3)発振回路を選択した場合に適用されます。

CPUシステムクロックの設定については、"CLK(クロックジェネレータ)"を参照してください。

スタンバイモード時の動作は次のとおりです。

HALT 基本モード: BCUおよびバスクロックは動作します。

HALT2モード: BCUおよびバスクロックは停止します。

SLEEPモード: BCUおよびバスクロックは停止します。

注: 発振回路の構成、PLLの通倍モードおよび設定方法は機種により異なります。"CLK(クロックジェネレータ)"等、発振回路の章を参照してください。

バススピードモード

CPU - バスクロック比を#X2SPD端子で設定することができます。

#X2SPD端子が"1"の場合、x1スピードモード(CPU - バスクロック比が1:1)となり、バスクロックがCPUシステムクロックと同じになります。

#X2SPD端子が"0"の場合はx2スピードモード(CPU - バスクロック比が2:1)となります。

x2スピードモードでは、アクセスするメモリによりバスクロックが次のようにダイナミックに変化します。

- 外部メモリ領域をアクセスする場合、バスクロックはCPUシステムクロックの1/2となります。
- 内蔵RAM/ROM領域をアクセスする場合、バスクロックはCPUシステムクロックと同じになります。

#X2SPD端子が"0"の場合でも、バス速度設定レジスタ(0x4813E)のAxxBS[D[7:0]]により、エリアごとにx1スピードモードに設定することができます。

また、エリア1(内蔵I/O領域)はx1スピードモードではCPUシステムクロック2サイクルでアクセスされます。

x2スピードモード時はBCLK選択レジスタ(0x4813A)のA1X1MD[D3]を"1"に設定することにより、2サイクルでアクセスされます(デフォルト"0")。x2スピードモード時は、必ずA1X1MDを"1"に設定して使用してください。

注: 内部バスも含め、バス速度の上限は40MHzです。CPU動作周波数が40MHz以上の場合は#X2SPD端子を"0"にすると共に、AxxBSビットを"0"、A1X1MDビットを"1"に設定してください。

バスクロックの外部出力

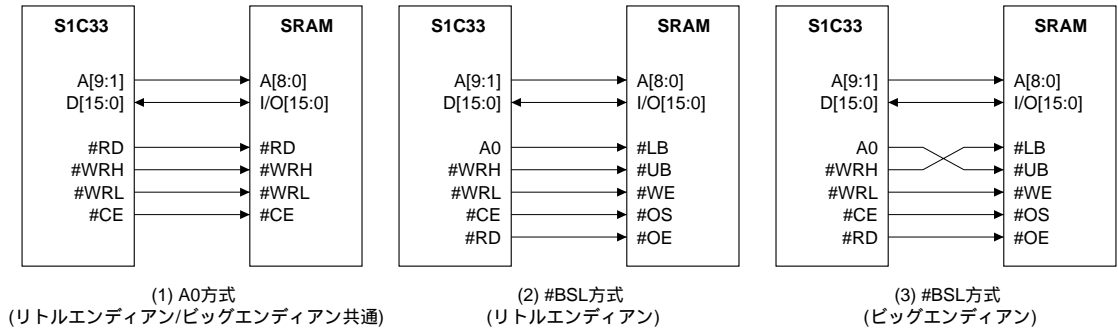
バスクロックはBCLK端子から外部にも出力されます。BCLK出力クロックはBCLK選択レジスタ(0x4813A)のBCLKSEL[1:0][D[1:0]]によって4種類から選択可能です。

表II.4.12 BCLK出力クロックの選択

BCLKSEL1	BCLKSEL0	出力クロック
1	1	PLL_CLK (PLL出力クロック)
1	0	OSC3_CLK (OSC3発振クロック)
0	1	BUS_CLK (バスクロック)
0	0	CPU_CLK (CPU動作クロック)

外部システムインタフェースのバスサイクル

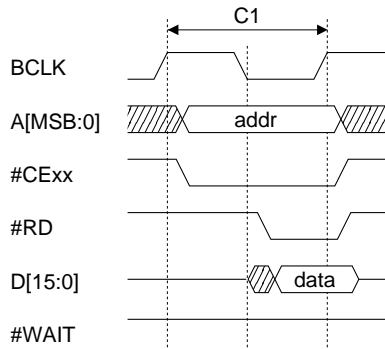
以下に、SRAM接続例と基本的なバスサイクルを示します。



図II.4.19 SRAM接続例

SRAMタイプのリードサイクル

ウェイト指定なしの基本リードサイクル



図II.4.20 ウェイト指定なしのリードサイクル

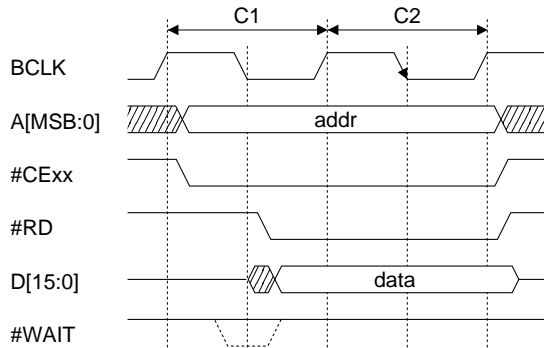
リードサイクルへのウェイト挿入

リードサイクルにウェイトサイクルを挿入する方法には、次の2種類があります。

1. BCUの制御ビットAxxWT[2:0]による指定(0~7サイクル)
2. #WAIT端子による外部ウェイト入力(1との併用が可能)

1. BCUのAxxWT[2:0]ビットによるウェイト挿入

例: 1サイクルのウェイトを挿入(AxxWT[2:0] = "0x1") #WAITによる外部ウェイト要求はなし

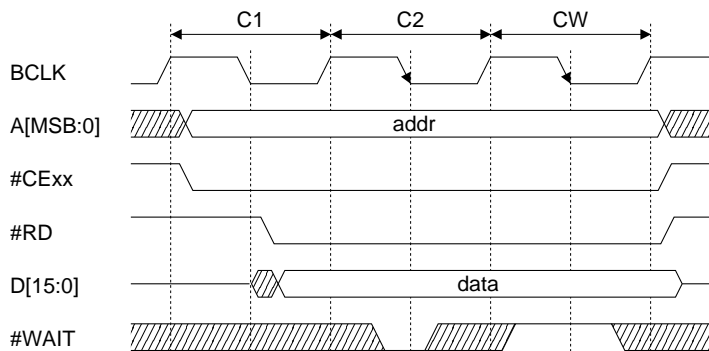


図II.4.21 ウェイト付のリードサイクル(AxxWT[2:0]による指定)

図II.4.20に示した基本リードサイクル(C1)の後に、AxxWT[2:0]で指定した1ウェイトサイクル(C2)が挿入されます。

2. #WAITによるウェイト挿入

例: AxxWT[2:0]によって1サイクルのウェイトが挿入されるリードサイクル(図II.4.21)に、#WAIT端子から外部ウェイト要求を入力



図II.4.22 #WAIT制御付のリードサイクル

リードサイクル中、#WAIT信号は以下のタイミングでサンプリングされた結果が有効となり、ウェイトサイクルの挿入を制御します。

- AxxWT[2:0]によって挿入されたウェイトの最終サイクルのBCLK(バスクロック)立ち下がりエッジ(ウェイトなしの設定の場合はC1サイクルのBCLK立ち下がりエッジ)
- #WAITで挿入されたウェイトの各サイクルのBCLK(バスクロック)立ち下がりエッジ

#WAIT = Lowをサンプリングすると、現在のサイクル終了後に1サイクルのウェイトが挿入され、Highをサンプリングすると新たなウェイトは挿入されません。

* 実際にはリードサイクル中のBCLKの各立ち下がりエッジで#WAIT信号がサンプリングされますが、AxxWT[2:0]によって挿入されたウェイトが優先されるため、上記以外のサンプリング結果は意味を持ちません。

図II.4.21、図II.4.22共に、AxxWT[2:0]によって1ウェイトサイクル(C2)が挿入されているため、C2のBCLK立ち下がりエッジでサンプリングされた#WAIT信号の状態が有効になります。C1のBCLK立ち下がりエッジにおける#WAITの状態は、ウェイトサイクルの挿入に影響を与えません。

図II.4.21では#WAIT = Highをサンプリングしたため、C2でリードサイクルを終了します(リードホールドサイクルや出力ディセーブル遅延時間は指定されていないものとします)。

図II.4.22では#WAIT = Lowをサンプリングしたため、C2の後に#WAITによるウェイトサイクル(CW)が挿入されます。続くウェイトサイクル(CW)内で#WAIT = Highをサンプリングしたため、この例では#WAITにより1サイクルのみウェイトが追加されました。CW内で#WAIT = Lowをサンプリングした場合は、さらに1サイクルのCWが追加されます。

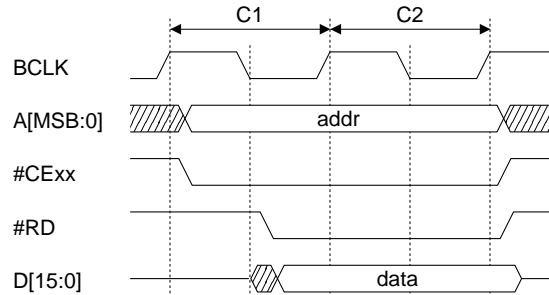
注: #WAIT端子によるウェイトサイクルの挿入は、バス条件のデバイスタイプがSRAMタイプに設定され、かつバスコントロールレジスタ(0x4812E)のSWAITE(D0)がウェイトイネーブルに設定されている場合にのみ可能です。

リードホールドサイクルの挿入

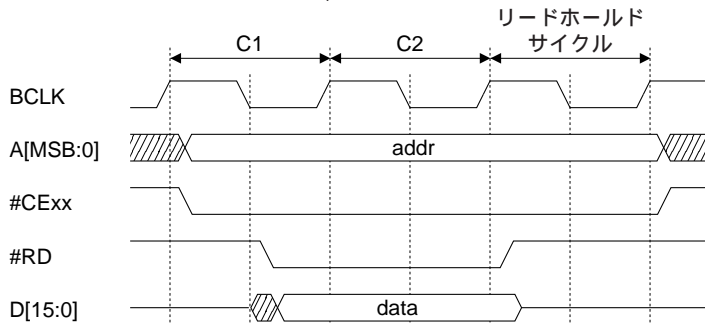
本BCUのデフォルト設定のリードサイクルでは、#RD信号立ち上がり、チップイネーブル信号(#CExx)の立ち上がり、およびアドレス信号の切り換えが同じクロックエッジで発生します。チップイネーブル信号とアドレス信号にはホールド時間が設けられていません。このため、リード動作によって内部情報が変化するI/O周辺回路をC33のバスに接続した場合などは、誤動作を起こすことがあります。これを回避するため、ホールド時間制御レジスタ(0x4813C)が用意されており、各エリアに対応したAxxRHビットの設定により、#RDの立ち上がり後、#CExx、A[MSB:0]に1サイクルのホールド時間を設けることができます。

出力ディセーブル遅延時間が設定され、かつ挿入が指定されている場合、出力ディセーブル遅延時間はリードホールドサイクルの後に挿入されます。

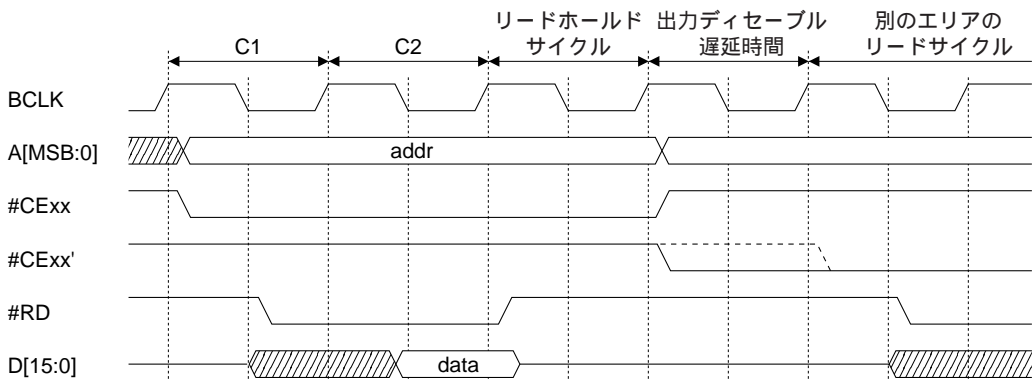
リードホールドサイクルなしの場合(AxxRH="0"、ウェイトサイクル数AxxWT[2:0]="0x1")



リードホールドサイクルを挿入した場合(AxxRH="1"、ウェイトサイクル数AxxWT[2:0]="0x1")



図II.4.23 リードホールドサイクルの挿入

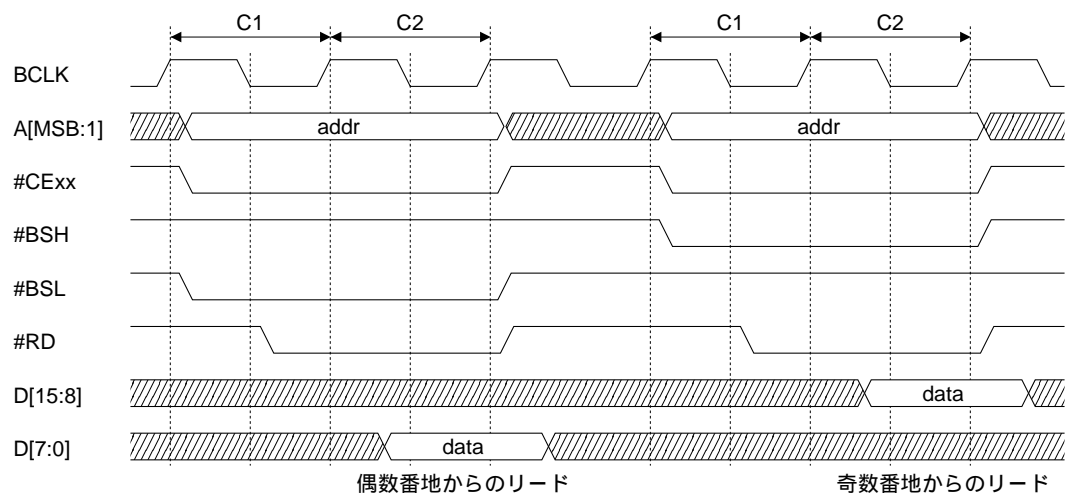


(出力遅延時間を1.5に設定した場合)

図II.4.24 リードホールドサイクルと出力ディセーブル遅延時間の挿入

注: 出力ディセーブル遅延時間が挿入されると、#RDや#WRLなどの制御信号は出力ディセーブル遅延時間待たされますが、チップイネーブルは出力ディセーブル遅延時間の間、アサートされる場合とされない場合があります。

BSL方式の16ビットデバイスからのバイトリード



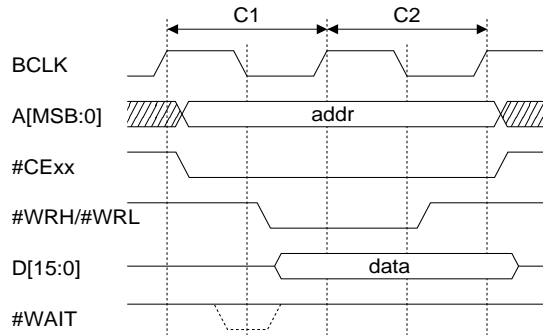
(ウェイトサイクル数AxxWT[2:0] = "0x1"の場合)

図II.4.25 BSL方式の16ビットデバイスからのバイトリード

偶数番地からのリード時は#BSLが、奇数番地からのリード時は#BSHがアサートされます。

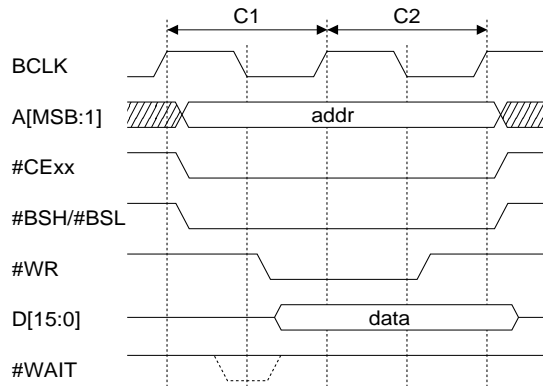
SRAMタイプのライトサイクル

ウェイト指定なし(1ウェイト)の基本ライトサイクル(A0方式)



図II.4.26 ウェイト指定なしのライトサイクル(A0方式)

ウェイト指定なし(1ウェイト)の基本ライトサイクル(BSL方式)



図II.4.27 ウェイト指定なしのライトサイクル(BSL方式)

注: ライトサイクルではウェイトの挿入を指定しない場合でも、上記のように1ウェイトサイクル(C2)が必ず付加されます。

ライトサイクルへのウェイト挿入

ライトサイクルにウェイトサイクルを挿入する方法には、次の2種類があります。

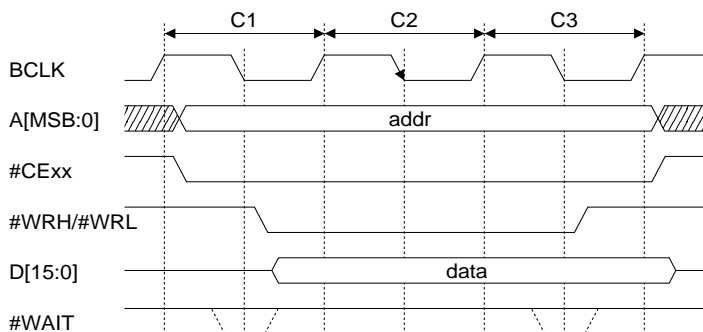
1. BCUの制御ビットAxxWT[2:0]による指定(2~7サイクル)

ライトサイクルには必ず1ウェイトサイクルが挿入されるため、AxxWT[2:0] = "0x0"と"0x1"の指定は無効です。

2. #WAIT端子による外部ウェイト入力(1との併用が可能)

1. BCUのAxxWT[2:0]ビットによるウェイト挿入

例: 2サイクルのウェイトを指定(AxxWT[2:0] = "0x2") #WAITによる外部ウェイト要求はなし、A0方式

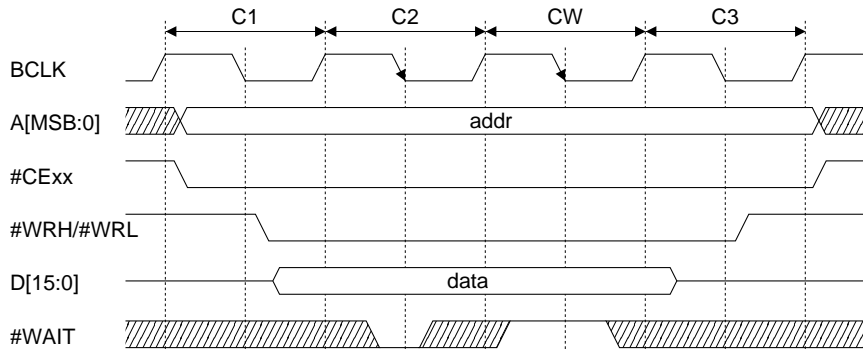


図II.4.28 1ウェイトを追加したライトサイクル(AxxWT[2:0]による指定)

図II.4.26に示した基本ライトサイクルのC1の後に、AxxWT[2:0]で指定した2ウェイトサイクル(C2とC3)が挿入されます。(基本ライトサイクルのC2は指定したウェイトサイクル数に含まれる形になります。)

2. #WAITによるウェイト挿入

例: AxxWT[2:0]によって2サイクルのウェイトが挿入されるライトサイクル(図II.4.28)に、#WAIT端子から外部ウェイト要求を入力



図II.4.29 #WAIT制御付のライトサイクル

ライトサイクル中、#WAIT信号は以下のタイミングでサンプリングされた結果が有効となり、ウェイトサイクルの挿入を制御します。

- AxxWT[2:0]によって挿入されたウェイトを含むバスサイクルの最後から2番目のサイクルのBCLK(バスクロック)立ち下がりエッジ(ウェイト指定なしの場合はC1サイクルのBCLK立ち下がりエッジ)
- #WAITで挿入されたウェイトの各サイクルのBCLK(バスクロック)立ち下がりエッジ

#WAIT = Lowをサンプリングすると、現在のサイクル終了後に1サイクルのウェイトが挿入され、Highをサンプリングすると新たなウェイトは挿入されません。

図II.4.28、図II.4.29共に、AxxWT[2:0]によって2ウェイトサイクル(C2、C3)が挿入されているため、C2のBCLK立ち下がりエッジでサンプリングされた#WAIT信号の状態が有効になります。C1およびC3のBCLK立ち下がりエッジにおける#WAITの状態は、ウェイトサイクルの挿入に影響を与えません。

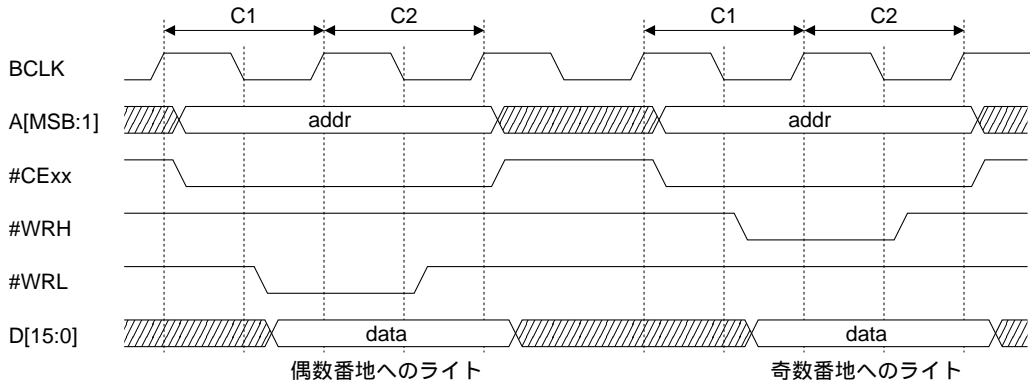
図II.4.28では#WAIT = Highをサンプリングしたため、C3でライトサイクルを終了します。

図II.4.29では#WAIT = Lowをサンプリングしたため、C2の後に#WAITによるウェイトサイクル(CW)が挿入されます。続くウェイトサイクル(CW)内で#WAIT = Highをサンプリングしたため、この例では#WAITにより1サイクルのみウェイトが追加されました。CW内で#WAIT = Lowをサンプリングした場合は、さらに1サイクルのCWが追加されます。

注: #WAIT端子によるウェイトサイクルの挿入は、バス条件のデバイスタイプがSRAMタイプに設定され、かつバスコントロールレジスタ(0x4812E)のSWAITE(D0)がウェイトイネーブルに設定されている場合にのみ可能です。

16ビットデバイスへのバイトライト

1. A0方式(リトルエンディアン)

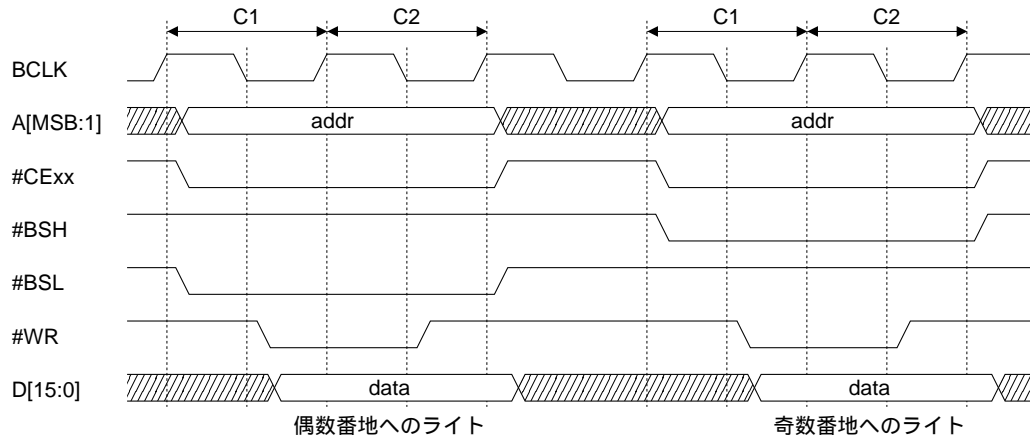


(A0方式, リトルエンディアン, ウェイト指定なし)

図II.4.30 16ビットデバイスへのバイトライトサイクル

偶数番地へのライト時は#WRLが、奇数番地へのライト時は#WRHがアサートされます。

2. BSL方式(リトルエンディアン)



(BSL方式, リトルエンディアン, ウェイト指定なし)

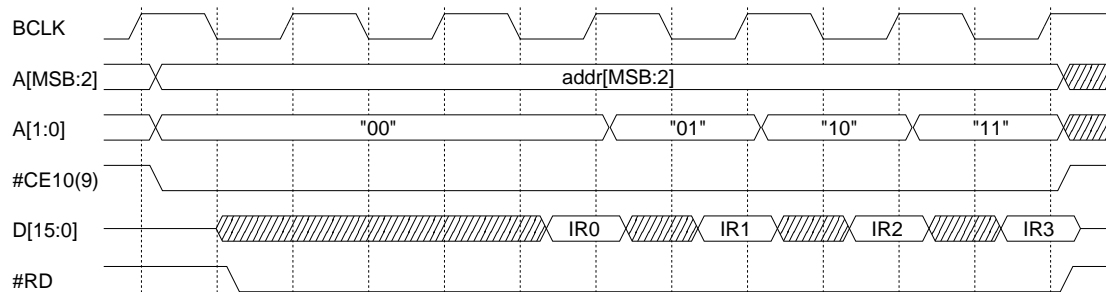
図II.4.31 16ビットデバイスへのバイトライトサイクル

偶数番地へのライト時は#BSLが、奇数番地へのライト時は#BSHがアサートされます。

バーストROMのリードサイクル

バーストリードサイクル

例: 4連続バースト、最初のアクセスが2ウェイトに設定されている場合



図II.4.32 バーストリードサイクル

バーストリードサイクルは、エリア10またはエリア9がバーストROMに設定され、そのエリアに対して以下のいずれかのアクセスが行われた場合に発生します。

1) 命令のフェッチ

連続するアドレスからの命令フェッチが

A[2:1]="11"となるまで(4連続バーストの場合)

A[3:1]="111"となるまで(8連続バーストの場合)

バーストリードサイクルとなります。

2) ワード(32ビット)データの読み出し

注: バーストROMとしては、16ビット出力タイプをサポートしています。デバイスサイズは16ビットに設定してください。

バーストリード時のウェイトサイクル

最初のバスオペレーションには、通常のSRAMタイプと同じエリア10-9設定レジスタ(0x48126)のA10WT[2:0][D[2:0]]で、0~7サイクルのウェイトを挿入することができます。続くバーストサイクルに挿入するウェイトサイクルは、同レジスタのバーストリード専用ウェイト制御ビットA10BW[1:0]で0~3サイクルの範囲で指定可能です。

なお、バーストリードサイクルには、#WAIT端子によるウェイトサイクルは挿入できません。

バーストROMエリアへのライトサイクル

エリア10またはエリア9がバーストROMに設定されている場合にこのエリアに対して書き込みを行うと、SRAMタイプのライトサイクルを実行します。この場合、#WAIT端子によるウェイトサイクルの挿入も有効です。

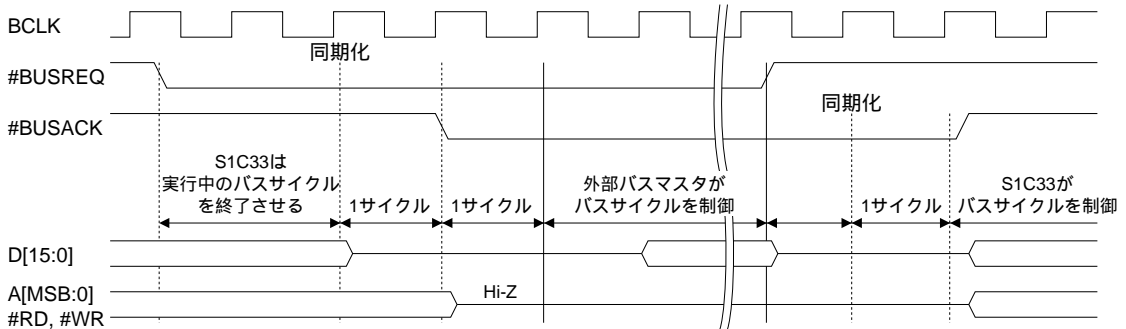
外部バスの解放

外部バスは、通常CPUの管理下に置かれていますが、バス権を外部に解放することが可能となっています。この機能はバスコントロールレジスタ(0x4812E)のSEMA(D2)に"1"を書き込むことにより有効となります(初期設定は無効)。また、この制御には、#BUSREQ(P34)端子と#BUSACK(P35)端子を使用します。P34およびP35端子を#BUSREQ入力と#BUSACK出力に設定するにはP3機能選択レジスタ(0x402DC[Byte])のCFP3(D4)とCFP3(D5)に"1"を書き込んでください。

バス権解放シーケンス

バス権解放のシーケンスは次のとおりです。

1. バス権を要求する外部バスマスタデバイスは、#BUSREQ端子をLowレベルにします。
2. CPUは常に#BUSREQ端子の状態を監視しており、端子がLowレベルになると実行中のバスサイクルを終了し、その1サイクル後に以下の信号をハイインピーダンスにします。
A[MSB:0], D[15:0], #RD, #WRH, #WRH, #HCAS, #LCAS, #CExx
さらに#BUSACK端子をLowレベルにしてバス権を解放したことを、外部デバイスに知らせます。
3. 1サイクル後、外部バスマスタは自らのバスサイクルを開始します。外部バスマスタはバスサイクルを終了するまで#BUSREQ端子をLowに固定しておく必要があります。
4. 外部バスマスタは必要なバスサイクルを終了後、バスをハイインピーダンスにしてから#BUSREQ端子をHighレベルに戻します。
5. CPUは#BUSREQ端子のHighレベルを確認すると、その1サイクル後に#BUSACK端子をHighレベルにし、中断していた処理を再開します。



図II.4.33 外部バス解放タイミング

内蔵のDMAコントローラによるDMA転送中にバス権要求が発生した場合は、実行中のDMA転送をデータの区切りで中断してバス権要求を受け付けます。中断したDMA転送はCPUにバス権が戻った時点で再開します。

外部デバイスによるパワーダウン制御

前述のバス権解放要求に加え、#BUSREQ信号を使用してCPUをHALT状態に設定することができます。これにより、外部バスマスタによるバスオペレーション中にCPUを停止して消費電流を低減させることができます。

この機能は、バスコントロールレジスタ(0x4812E)のSEPD(D1)に"1"を書き込むことによって有効となります。

SEPDが"1"の場合に#BUSREQ端子がLowレベルになると、CPUとBCUは動作を停止しHALT状態となります。このHALT状態は内蔵周辺回路の割り込みによっては解除されず、#BUSREQ端子がHighに戻るまで継続します。通常の#BUSREQによるバス解放状態とは異なり、アドレスバスやバス制御信号はハイインピーダンスとはなりません。

BCUのI/Oメモリ

表II.4.13に外部システムインタフェースの制御ビットを示します。これらのI/Oメモリは内蔵16ビット周辺回路用の領域(0x48000以降)に割り付けられています。ただし、ハーフワード以外(バイトまたはワード)でもアクセス可能です。

入出力兼用ポートに割り当てられた外部システムインタフェース用端子の制御ビットについては、入出力ポートの章を参照してください。

BCUのI/Oメモリ内にはDRAM用の制御レジスタ/ビットがありますが、すべてデフォルト設定のまま使用してください。

表II.4.13 外部システムインタフェースの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈			
エリア18-15 設定レジスタ	0048120 (HW)	DF	—	reserved	—		—	—	読み出し時: 0		
		DE	A18SZ	エリア18-17デバイスサイズ選択	1	8ビット	0	16ビット	0	R/W	
		DD	A18DF1	エリア18-17	A18DF[1:0]		サイクル数		1	R/W	
		DC	A18DF0	出力ディセーブル遅延時間	1	1	3.5		1		
					1	0	2.5				
					0	1	1.5				
					0	0	0.5				
		DB	—	reserved	—		—		—	—	読み出し時: 0
		DA	A18WT2	エリア18-17ウェイト制御	A18WT[2:0]		ウェイト数		1	R/W	
		D9	A18WT1		1	1	1	7	1		
		D8	A18WT0		1	1	0	6	1		
					1	0	1	5			
					1	0	0	4			
					0	1	1	3			
					0	1	0	2			
					0	0	1	1			
					0	0	0	0			
		D7	—	reserved	—		—		—	—	読み出し時: 0
		D6	A16SZ	エリア16-15デバイスサイズ選択	1	8ビット	0	16ビット	0	R/W	
		D5	A16DF1	エリア16-15	A16DF[1:0]		サイクル数		1	R/W	
		D4	A16DF0	出力ディセーブル遅延時間	1	1	3.5		1		
			1	0	2.5						
			0	1	1.5						
			0	0	0.5						
D3	—	reserved	—		—		—	—	読み出し時: 0		
D2	A16WT2	エリア16-15ウェイト制御	A16WT[2:0]		ウェイト数		1	R/W			
D1	A16WT1		1	1	1	7	1				
D0	A16WT0		1	1	0	6	1				
			1	0	1	5					
			1	0	0	4					
			0	1	1	3					
			0	1	0	2					
			0	0	1	1					
			0	0	0	0					
エリア14-13 設定レジスタ	0048122 (HW)	DF-9	—	reserved	—		—		—	読み出し時: 0	
		D8	A14DRA	エリア14 DRAM選択	1	使用	0	未使用	0	R/W	
		D7	A13DRA	エリア13 DRAM選択	1	使用	0	未使用	0	R/W	
		D6	A14SZ	エリア14-13デバイスサイズ選択	1	8ビット	0	16ビット	0	R/W	
		D5	A14DF1	エリア14-13	A14DF[1:0]		サイクル数		1	R/W	
		D4	A14DF0	出力ディセーブル遅延時間	1	1	3.5		1		
					1	0	2.5				
					0	1	1.5				
					0	0	0.5				
		D3	—	reserved	—		—		—	—	読み出し時: 0
		D2	A14WT2	エリア14-13ウェイト制御	A14WT[2:0]		ウェイト数		1	R/W	
		D1	A14WT1		1	1	1	7	1		
D0	A14WT0		1	1	0	6	1				
			1	0	1	5					
			1	0	0	4					
			0	1	1	3					
			0	1	0	2					
			0	0	1	1					
			0	0	0	0					

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈	
エリア12-11 設定レジスタ	0048124 (HW)	DF-7	—	reserved	—		—	—	読み出し時: 0
		D6	A12SZ	エリア12-11デバイスサイズ選択	1 8ビット	0 16ビット	0	R/W	
		D5	A12DF1	エリア12-11	A12DF[1:0] サイクル数		1	R/W	
		D4	A12DF0	出力ディセーブル遅延時間	1 1	3.5	1		
				1 0	2.5				
				0 1	1.5				
				0 0	0.5				
		D3	—	reserved	—		—	—	読み出し時: 0
		D2	A12WT2	エリア12-11ウェイト制御	A12WT[2:0] ウェイト数		1	R/W	
		D1	A12WT1		1 1 1	7	1		
		D0	A12WT0		1 1 0	6	1		
					1 0 1	5			
					1 0 0	4			
			0 1 1	3					
			0 1 0	2					
			0 0 1	1					
			0 0 0	0					
エリア10-9 設定レジスタ	0048126 (HW)	DF	—	reserved	—		—	—	読み出し時: 0
		DE	A10IR2	エリア10内蔵ROM容量選択	A10IR[2:0] ROM容量		1	R/W	
		DD	A10IR1		1 1 1	2MB	1		
		DC	A10IR0		1 1 0	1MB	1		
					1 0 1	512KB			
					1 0 0	256KB			
					0 1 1	128KB			
					0 1 0	64KB			
					0 0 1	32KB			
					0 0 0	16KB			
		DB	—	reserved	—		—	—	読み出し時: 0
		DA	A10BW1	エリア10-9	A10BW[1:0] ウェイト数		0	R/W	
		D9	A10BW0	バーストROM バーストリードサイクルウェイト 制御	1 1	3	0		
					1 0	2			
					0 1	1			
					0 0	0			
		D8	A10DRA	エリア10バーストROM選択	1 使用	0 未使用	0	R/W	
		D7	A9DRA	エリア9バーストROM選択	1 使用	0 未使用	0	R/W	
		D6	A10SZ	エリア10-9デバイスサイズ選択	1 8ビット	0 16ビット	0	R/W	
		D5	A10DF1	エリア10-9	A10DF[1:0] サイクル数		1	R/W	
		D4	A10DF0	出力ディセーブル遅延時間	1 1	3.5	1		
					1 0	2.5			
					0 1	1.5			
			0 0	0.5					
D3	—	reserved	—		—	—	読み出し時: 0		
D2	A10WT2	エリア10-9ウェイト制御	A10WT[2:0] ウェイト数		1	R/W			
D1	A10WT1		1 1 1	7	1				
D0	A10WT0		1 1 0	6	1				
			1 0 1	5					
			1 0 0	4					
			0 1 1	3					
			0 1 0	2					
			0 0 1	1					
			0 0 0	0					
エリア8-7 設定レジスタ	0048128 (HW)	DF-9	—	reserved	—		—	—	読み出し時: 0
		D8	A8DRA	エリア8 DRAM選択	1 使用	0 未使用	0	R/W	
		D7	A7DRA	エリア7 DRAM選択	1 使用	0 未使用	0	R/W	
		D6	A8SZ	エリア8-7デバイスサイズ選択	1 8ビット	0 16ビット	0	R/W	
		D5	A8DF1	エリア8-7	A8DF[1:0] サイクル数		1	R/W	
		D4	A8DF0	出力ディセーブル遅延時間	1 1	3.5	1		
					1 0	2.5			
					0 1	1.5			
					0 0	0.5			
		D3	—	reserved	—		—	—	読み出し時: 0
		D2	A8WT2	エリア8-7ウェイト制御	A8WT[2:0] ウェイト数		1	R/W	
		D1	A8WT1		1 1 1	7	1		
		D0	A8WT0		1 1 0	6	1		
					1 0 1	5			
					1 0 0	4			
					0 1 1	3			
					0 1 0	2			
			0 0 1	1					
			0 0 0	0					

II-4 コアブロック: BCU(バスコントロールユニット)

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
エリア6-4 設定レジスタ	004812A (HW)	DF-E	—	reserved	—	—	—	読み出し時: 0
		DD	A6DF1	エリア6	A6DF[1:0]	サイクル数	1	R/W
		DC	A6DF0	出力ディセーブル遅延時間	1 1 1 0 0 1 0 0	3.5 2.5 1.5 0.5	1	
		DB	—	reserved	—	—	—	読み出し時: 0
		DA	A6WT2	エリア6ウェイト制御	A6WT[2:0]	ウェイト数	1	R/W
		D9	A6WT1		1 1 1 1 1 0 1 0 1 1 0 0 0 1 1 0 1 0 0 0 1 0 0 0	7 6 5 4 3 2 1 0	1	
		D8	A6WT0					
		D7	—	reserved	—	—	—	読み出し時: 0
		D6	A5SZ	エリア5-4デバイスサイズ選択	1 8ビット	0 16ビット	0	R/W
		D5	A5DF1	エリア5-4	A5DF[1:0]	サイクル数	1	R/W
		D4	A5DF0	出力ディセーブル遅延時間	1 1 1 0 0 1 0 0	3.5 2.5 1.5 0.5	1	
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	A5WT2	エリア5-4ウェイト制御	A5WT[2:0]	ウェイト数	1	R/W
		D1	A5WT1		1 1 1 1 1 0 1 0 1 1 0 0 0 1 1 0 1 0 0 0 1 0 0 0	7 6 5 4 3 2 1 0	1	
		D0	A5WT0					
バスコントロール レジスタ	004812E (HW)	DF	RBCLK	BCLK出力イネーブル	1 H 固定	0 イネーブル	0	R/W
		DE	—	reserved	—	—	0	—
		DD	RBST8	バーストロムバーストモード選択	1 8連続	0 4連続	0	R/W
		DC	REDO	DRAMページモード選択	1 EDO	0 高速ページ	0	R/W
		DB	RCA1	カラムアドレスサイズ選択	RCA[1:0]	サイズ	0	R/W
		DA	RCA0		1 1 1 0 0 1 0 0	11 10 9 8	0	
		D9	RPC2	リフレッシュイネーブル	1 イネーブル	0 ディセーブル	0	R/W
		D8	RPC1	リフレッシュ方式選択	1 セルフ	0 CBR	0	R/W
		D7	RPC0	リフレッシュRPCディレイ	1 2.0	0 1.0	0	R/W
		D6	RRA1	リフレッシュ	RRA[1:0]	サイクル数	0	R/W
		D5	RRA0	RASパルス幅選択	1 1 1 0 0 1 0 0	5 4 3 2	0	
		D4	—	reserved	—	—	0	—
		D3	SBUSST	外部インタフェース方式設定	1 #BSL	0 A0	0	R/W
		D2	SEMAS	外部バスマスタ設定	1 存在	0 なし	0	R/W
		D1	SEPD	外部パワーダウン制御	1 有効	0 無効	0	R/W
		D0	SWAITE	#WAITイネーブル	1 許可	0 禁止	0	R/W

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
DRAM タイミング設定 レジスタ	0048130 (HW)	DF-C	—	reserved	—	—	—	読み出し時: 0
		DB	A3EEN	エリア3エミュレーション	1 内蔵ROM	0 エミュレーション	1 R/W	
		DA	CEFUNC1	#CE端子機能選択	CEFUNC[1:0] #CE出力		0 R/W	
		D9	CEFUNC0		1 x	#CE7/8..#CE17/18	0	
					0 1	#CE6..#CE17		
					0 0	#CE4..#CE10		
		D8	CRAS	連続RASモード	1 連続	0 通常	0 R/W	
		D7	RPRC1	DRAM RASプリチャージサイクル数	RPRC[1:0] サイクル数		0 R/W	
		D6	RPRC0		1 1	4	0	
					1 0	3		
					0 1	2		
					0 0	1		
		D5	—	reserved	—	—	—	読み出し時: 0
		D4	CASC1	DRAM CASサイクル数	CASC[1:0] サイクル数		0 R/W	
		D3	CASC0		1 1	4	0	
					1 0	3		
					0 1	2		
					0 0	1		
		D2	—	reserved	—	—	—	読み出し時: 0
		D1	RASC1	DRAM RASサイクル数	RASC[1:0] サイクル数		0 R/W	
		D0	RASC0		1 1	4	0	
					1 0	3		
					0 1	2		
					0 0	1		
アクセス制御 レジスタ	0048132 (HW)	DF	A18IO	エリア18, 17外部/内部アクセス	1 内部	0 外部	0 R/W	
		DE	A16IO	エリア16, 15外部/内部アクセス	アクセス	アクセス	0 R/W	
		DD	A14IO	エリア14, 13外部/内部アクセス			0 R/W	
		DC	A12IO	エリア12, 11外部/内部アクセス			0 R/W	
		DB	—	reserved	—	—	0 —	読み出し時: 0
		DA	A8IO	エリア8, 7外部/内部アクセス	1 内部	0 外部	0 R/W	
		D9	A6IO	エリア6外部/内部アクセス	アクセス	アクセス	0 R/W	
		D8	A5IO	エリア5, 4外部/内部アクセス			0 R/W	
		D7	A18EC	エリア18, 17エンディアン制御	1 ビッグエン	0 リトルエン	0 R/W	
		D6	A16EC	エリア16, 15エンディアン制御	ディアン	ディアン	0 R/W	
		D5	A14EC	エリア14, 13エンディアン制御			0 R/W	
		D4	A12EC	エリア12, 11エンディアン制御			0 R/W	
		D3	A10EC	エリア10, 9エンディアン制御			0 R/W	
		D2	A8EC	エリア8, 7エンディアン制御			0 R/W	
		D1	A6EC	エリア6エンディアン制御			0 R/W	
		D0	A5EC	エリア5, 4エンディアン制御			0 R/W	
G/Aリード信号 制御レジスタ	0048138 (HW)	DF	A18AS	エリア18, 17アドレスストローブ	1 生成	0 禁止	0 R/W	
		DE	A16AS	エリア16, 15アドレスストローブ			0 R/W	
		DD	A14AS	エリア14, 13アドレスストローブ			0 R/W	
		DC	A12AS	エリア12, 11アドレスストローブ			0 R/W	
		DB	—	reserved	—	—	0 —	読み出し時: 0
		DA	A8AS	エリア8, 7アドレスストローブ	1 生成	0 禁止	0 R/W	
		D9	A6AS	エリア6アドレスストローブ			0 R/W	
		D8	A5AS	エリア5, 4アドレスストローブ			0 R/W	
		D7	A18RD	エリア18, 17リード信号	1 生成	0 禁止	0 R/W	
		D6	A16RD	エリア16, 15リード信号			0 R/W	
		D5	A14RD	エリア14, 13リード信号			0 R/W	
		D4	A12RD	エリア12, 11リード信号			0 R/W	
		D3	—	reserved	—	—	0 —	読み出し時: 0
		D2	A8RD	エリア8, 7リード信号	1 生成	0 禁止	0 R/W	
		D1	A6RD	エリア6リード信号			0 R/W	
		D0	A5RD	エリア5, 4リード信号			0 R/W	
BCLK選択 レジスタ	004813A (B)	D7-4	—	reserved	—	—	0 —	読み出し時: 0
		D3	A1X1MD	エリア1アクセス速度	1 2サイクル	0 4サイクル	0 R/W	x2スピードモード時 (0設定での使用不可)
		D2	—	reserved	—	—	0 —	読み出し時: 0
		D1	BCLKSEL1	BCLK出カクロック選択	BCLKSEL[1:0] BCLK		0 R/W	
		D0	BCLKSEL0		1 1	PLL_CLK	0	
					1 0	OSC3_CLK		
					0 1	BUS_CLK		
					0 0	CPU_CLK		

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
リードサイクル ホールド時間 制御レジスタ	004813C (B)	D7	A18RH	エリア18-17リードホールドサイクル	1	あり	0	なし	0	R/W	
		D6	A16RH	エリア16-15リードホールドサイクル					0	R/W	
		D5	A14RH	エリア14-13リードホールドサイクル					0	R/W	
		D4	A12RH	エリア12-11リードホールドサイクル					0	R/W	
		D3	A10RH	エリア10-9リードホールドサイクル					0	R/W	
		D2	A8RH	エリア8-7リードホールドサイクル					0	R/W	
		D1	A6RH	エリア6リードホールドサイクル					0	R/W	
		D0	A5RH	エリア5-4リードホールドサイクル					0	R/W	
バス速度設定 レジスタ	004813E (B)	D7	A18BS	エリア18-17バス速度選択	1	×1速度	0	#X2SPD に従う	0	R/W	本レジスタの設定 は、#X2SPD="0"(×2 スピードモード)の場 合に有効
		D6	A16BS	エリア16-15バス速度選択					0	R/W	
		D5	A14BS	エリア14-13バス速度選択					0	R/W	
		D4	A12BS	エリア12-11バス速度選択					0	R/W	
		D3	A10BS	エリア10-9バス速度選択					0	R/W	
		D2	A8BS	エリア8-7バス速度選択					0	R/W	
		D1	A6BS	エリア6バス速度選択					0	R/W	
		D0	A5BS	エリア5-4バス速度選択					0	R/W	

A18SZ: エリア18-17デバイスサイズ選択(D6/0x48120<エリア18-15設定レジスタ>)

A16SZ: エリア16-15デバイスサイズ選択(D6/0x48120<エリア18-15設定レジスタ>)

A14SZ: エリア14-13デバイスサイズ選択(D6/0x48122<エリア14-13設定レジスタ>)

A12SZ: エリア12-11デバイスサイズ選択(D6/0x48124<エリア12-11設定レジスタ>)

A10SZ: エリア10-9デバイスサイズ選択(D6/0x48126<エリア10-9設定レジスタ>)

A8SZ: エリア8-7デバイスサイズ選択(D6/0x48128<エリア8-7設定レジスタ>)

A5SZ: エリア5-4デバイスサイズ選択(D6/0x4812A<エリア6-4設定レジスタ>)

各エリアに接続するデバイスのサイズを選択します。

"1"書き込み: 8ビット

"0"書き込み: 16ビット

読み出し: 可能

デバイスサイズを2つのエリア単位に選択できます。

AxxSZに"1"を書き込むと8ビット、"0"を書き込むと16ビットに設定されます。

エリア6はエリアの前半(0x300000 ~ 0x37FFFF)が8ビットデバイス用、後半(0x380000 ~ 0x3FFFFFF)が16ビットデバイス用となっています。

コールドスタート時、これらのビットは"0"(16ビット)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A18DF1-A18DF0: エリア18-17出力ディセーブル遅延時間(D[D:C]/0x48120<エリア18-15設定レジスタ>)

A16DF1-A16DF0: エリア16-15出力ディセーブル遅延時間(D[5:4]/0x48120<エリア18-15設定レジスタ>)

A14DF1-A14DF0: エリア14-13出力ディセーブル遅延時間(D[5:4]/0x48122<エリア14-13設定レジスタ>)

A12DF1-A12DF0: エリア12-11出力ディセーブル遅延時間(D[5:4]/0x48124<エリア12-11設定レジスタ>)

A10DF1-A10DF0: エリア10-9出力ディセーブル遅延時間(D[5:4]/0x48126<エリア10-9設定レジスタ>)

A8DF1-A8DF0: エリア8-7出力ディセーブル遅延時間(D[5:4]/0x48128<エリア8-7設定レジスタ>)

A6DF1-A6DF0: エリア6出力ディセーブル遅延時間(D[D:C]/0x4812A<エリア6-4設定レジスタ>)

A5DF1-A5DF0: エリア5-4出力ディセーブル遅延時間(D[5:4]/0x4812A<エリア6-4設定レジスタ>)

出力ディセーブル遅延時間を設定します。

表II.4.14 出力ディセーブル遅延時間

AxxDF1	AxxDF0	遅延時間
1	1	3.5サイクル
1	0	2.5サイクル
0	1	1.5サイクル
0	0	0.5サイクル

出力ディセーブル時間の長いデバイスを使用する場合は、そのデバイスのリード直後のバスオペレーションでデータバス上の競合が発生しないように、遅延時間を設定します。

コールドスタート時、これらのビットは"1"(3.5サイクル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A18WT2–A18WT0: エリア18–17ウェイト制御 [D[A:8]/0x48120<エリア18–15設定レジスタ>)

A16WT2–A16WT0: エリア16–15ウェイト制御 [D[2:0]/0x48120<エリア18–15設定レジスタ>)

A14WT2–A14WT0: エリア14–13ウェイト制御 [D[2:0]/0x48122<エリア14–13設定レジスタ>)

A12WT2–A12WT0: エリア12–11ウェイト制御 [D[2:0]/0x48124<エリア12–11設定レジスタ>)

A10WT2–A10WT0: エリア10–9ウェイト制御 [D[2:0]/0x48126<エリア10–9設定レジスタ>)

A8WT2–A8WT0: エリア8–7ウェイト制御 [D[2:0]/0x48128<エリア8–7設定レジスタ>)

A6WT2–A6WT0: エリア6ウェイト制御 [D[A:8]/0x4812A<エリア6–4設定レジスタ>)

A5WT2–A5WT0: エリア5–4ウェイト制御 [D[2:0]/0x4812A<エリア6–4設定レジスタ>)

SRAMタイプのデバイスをアクセスする際のウェイトサイクル数を設定します。

ここに書き込む0～7の値が挿入されるウェイトサイクル数となります。

なお、ライトサイクルは最小サイクル数が2サイクルで、0または1の書き込みは無効です。

SRAMタイプのデバイスを接続した場合は#WAIT端子によるウェイトサイクルも挿入可能で、その場合も AxxWTによるウェイトサイクルは有効です。

バーストROMのバーストリード (最初のアクセスを除く) サイクルにウェイトサイクルは挿入されません。バーストROMの最初のリードサイクルおよびバーストROM領域へのライトサイクルには、AxxWTで設定したウェイトサイクルが挿入されます。バーストROM領域へのライトサイクルの場合、#WAIT端子の設定も有効です。

コールドスタート時、これらのビットは"111"(7サイクル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A14DRA: エリア14 DRAM選択 [D8/0x48122<エリア14–13設定レジスタ>)

A13DRA: エリア13 DRAM選択 [D7/0x48122<エリア14–13設定レジスタ>)

A8DRA: エリア8 DRAM選択 [D8/0x48128<エリア8–7設定レジスタ>)

A7DRA: エリア7 DRAM選択 [D7/0x48128<エリア8–7設定レジスタ>)

デフォルト設定 ("0") のまま、使用してください。

A10IR2–A10IR0: エリア10内蔵ROMサイズ選択 [D[E:C]/0x48126<エリア10–9設定レジスタ>)

エリア10の内蔵メモリサイズを選択します。

表II.4.15 エリア10内蔵ROMサイズ

A10IR2	A10IR1	A10IR0	ROMサイズ
0	0	0	16KB
0	0	1	32KB
0	1	0	64KB
0	1	1	128KB
1	0	0	256KB
1	0	1	512KB
1	1	0	1MB
1	1	1	2MB(デフォルト)

コールドスタート時、A10IRは"111"(2MB)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A10BW1–A10BW0: バーストリードサイクルウェイト制御 [D[A:9]/0x48126<エリア10–9設定レジスタ>)

バーストリード時のウェイトサイクル数を設定します。

ここに書き込む0～3の値が挿入されるウェイトサイクル数となります。この設定内容はエリア10と9の両方に適用されます。バーストROMの最初のリードサイクルおよびバーストROM領域へのライトサイクルには、AxxWTで設定したウェイトサイクルが挿入されます。バーストROM領域へのライトサイクルの場合、#WAIT端子の設定も有効です。

コールドスタート時、A10BWは"0"(0サイクル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A10DRA: エリア10バーストROM選択(D8/0x48126<エリア10-9設定レジスタ>)

A9DRA: エリア9バーストROM選択(D7/0x48126<エリア10-9設定レジスタ>)

エリア10と9をバーストROM用に設定します。

"1"書き込み: バーストROM使用

"0"書き込み: バーストROM未使用

読み出し: 可能

バーストROMを使用する場合に"1"を書き込みます。"0"を書き込んだ場合は通常のSRAMタイプのインタフェースとなります。

エリア9はCEFUNGが"00"の場合にのみ使用可能です。

コールドスタート時、これらのビットは"0"(バーストROM未使用)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

RBCLK: BCLK出力制御(DF/0x4812E<バスコントロールレジスタ>)

バスクロックBCLKの外部出力を制御します。

"1"書き込み: High固定

"0"書き込み: 出力イネーブル

読み出し: 可能

BCLK端子のバスクロック出力を停止する場合に"1"を書き込みます。出力を停止すると、BCLK端子はHighレベルとなります。"0"を書き込むとBCLK端子はバスクロックを出力します。

BCLK端子のバスクロック出力は、HALT2モード時およびSLEEPモード時も停止します。

コールドスタート時、RBCLKは"0"(出力イネーブル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

RBST8: バーストモード選択(DD/0x4812E<バスコントロールレジスタ>)

バーストリード時の動作モードを設定します。

"1"書き込み: 8連続バーストモード

"0"書き込み: 4連続バーストモード

読み出し: 可能

RBST8に"1"を書き込むことにより8連続バーストモード、"0"の場合は4連続バーストモードに設定されます。

この設定はエリア10、9をバーストROM用に設定した場合に有効で、両方のエリアに同時に適用されます。コールドスタート時、RBST8は"0"(4連続バーストモード)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

REDO: ページモード選択(DC/0x4812E<バスコントロールレジスタ>)

デフォルト設定("0")のまま、使用してください。

RCA1-RCA0: カラムアドレスサイズ選択(D[B:A]/0x4812E<バスコントロールレジスタ>)

デフォルト設定("0")のまま、使用してください。

RPC2: リフレッシュイネーブル(D9/0x4812E<バスコントロールレジスタ>)

デフォルト設定("0")のまま、使用してください。

RPC1: リフレッシュ方式選択(D8/0x4812E<バスコントロールレジスタ>)

デフォルト設定("0")のまま、使用してください。

RPC0: リフレッシュRPCディレイ設定(D7/0x4812E<バスコントロールレジスタ>)

デフォルト設定("0")のまま、使用してください。

RRA1-RRA0: リフレッシュRASパルス幅選択(D[6:5]/0x4812E<バスコントロールレジスタ>)

デフォルト設定("0")のまま、使用してください。

SBUSST: 外部インタフェース方式選択(D3/0x4812E<バスコントロールレジスタ>)

SRAMタイプデバイスのインタフェース方式を選択します。

- "1"書き込み: #BSL方式
- "0"書き込み: A0方式
- 読み出し: 可能

#BSL方式を使用する場合はSBUSSTに"1"を書き込みます。

この設定内容はSRAMタイプに設定したすべてのエリアに適用されます。

コールドスタート時、SBUSSTは"0"(A0方式)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SEMAS: 外部バスマスタ設定(D2/0x4812E<バスコントロールレジスタ>)

外部バスマスタが存在するかどうかを設定します。

- "1"書き込み: 存在
- "0"書き込み: なし
- 読み出し: 可能

SEMASに"1"を書き込むことにより、#BUSREQ端子によるバス権解放要求を受け付け可能な状態となります。外部にバスマスタを設けない場合は"0"に固定してください。

コールドスタート時、SEMASは"0"(なし)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SEPD: 外部パワーダウン制御(D1/0x4812E<バスコントロールレジスタ>)

外部バスマスタによるCPUのパワーダウン制御機能を有効に設定します。

- "1"書き込み: 有効
- "0"書き込み: 無効
- 読み出し: 可能

SEPDに"1"を書き込むことによって、外部端子(#BUSREQ)によるパワーダウン制御が有効となります。その状態で#BUSREQ端子をLowにするとCPUがHALT状態となり、消費電流を低減することができます。

コールドスタート時、SEPDは"0"(無効)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SWAITE: #WAITイネーブル(D0/0x4812E<バスコントロールレジスタ>)

#WAIT端子によるウェイトサイクルの制御を許可/禁止します。

- "1"書き込み: 許可
- "0"書き込み: 禁止
- 読み出し: 可能

SWAITEに"1"を書き込むことにより、SRAMタイプのデバイスからのウェイト要求を受け付け可能な状態となります。#WAIT端子から入力されるウェイト要求信号は、SRAMタイプのリード/ライトサイクル実行時にバスクロックの各立ち上がりエッジでサンプリングされ、Highがサンプリングされるまでウェイトサイクルが挿入されます。

0~7サイクルまでのウェイト制御は、#WAIT端子を使用しなくてもAxxWTにより制御が可能です。ただし、AxxWTによる設定は2エリアごとのため、エリア個々にウェイトサイクル数を制御したい場合や、7サイクル以上のウェイトサイクルが必要な場合は、外部ウェイト要求で対応してください。

SWAITEが"0"の場合、#WAIT端子からのウェイト要求は無視されます。

この設定内容はSRAMタイプに設定したすべてのエリアに適用されます。また、バーストROMに設定したエリアのライトサイクルに対しても有効です。

コールドスタート時、SWAITEは"0"(禁止)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A3EEN: エリア3エミュレーション(DB/0x48130<DRAMタイミング設定レジスタ>)

デフォルト設定("1")のまま、使用してください。

CEFUNC1–CEFUNC0: #CE端子機能選択(D[A:9]/0x48130<DRAMタイミング設定レジスタ>)

#CE端子の割り付けエリアを変更します。

表II.4.16 #CE出力の切り換え

端子	CEFUNC = "00"	CEFUNC = "01"	CEFUNC = "1x"
#CE4	#CE4	#CE11	#CE11+#CE12
#CE5	#CE5	#CE15	#CE15+#CE16
#CE6	#CE6	#CE6	#CE7+#CE8
#CE7/#RAS0	#CE7/#RAS0	#CE13/#RAS2	#CE13/#RAS2
#CE8/#RAS1	#CE8/#RAS1	#CE14/#RAS3	#CE14/#RAS3
#CE9	#CE9	#CE17	#CE17+#CE18
#CE10EX	#CE10EX	#CE10EX	#CE9+#CE10EX

(デフォルト: CEFUNC = "00")

CEFUNCに"01"を書き込むことで使用可能となる上位のエリアは、デフォルトの下位エリアに比べエリアサイズを大きく取ることができます。たとえば、デフォルト設定の場合はエリア8と7で4Mバイトまでとなりますが、エリア14と13を使用すると最大32Mバイトが使用可能となります。他のエリアも同様です。また、CEFUNCを"10"または"11"に設定すると、4本のチップイネーブル信号が、それぞれ2エリアに対応するように拡張されます。

コールドスタート時、CEFUNCは"00"に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

CRAS: 連続RASモード設定(D8/0x48130<DRAMタイミング設定レジスタ>)

デフォルト設定("0")のまま、使用してください。

RPRC1–RPRC0: RASプリチャージサイクル数選択(D[7:6]/0x48130<DRAMタイミング設定レジスタ>)

デフォルト設定("0")のまま、使用してください。

CASC1–CASC0: CASサイクル数選択(D[4:3]/0x48130<DRAMタイミング設定レジスタ>)

デフォルト設定("0")のまま、使用してください。

RASC1–RASC0: RASサイクル数選択(D[1:0]/0x48130<DRAMタイミング設定レジスタ>)

デフォルト設定("0")のまま、使用してください。

A18IO: エリア18–17外部/内部アクセス選択(DF/0x48132<アクセス制御レジスタ>)

A16IO: エリア16–15外部/内部アクセス選択(DE/0x48132<アクセス制御レジスタ>)

A14IO: エリア14–13外部/内部アクセス選択(DD/0x48132<アクセス制御レジスタ>)

A12IO: エリア12–11外部/内部アクセス選択(DC/0x48132<アクセス制御レジスタ>)

A8IO: エリア8–7外部/内部アクセス選択(DA/0x48132<アクセス制御レジスタ>)

A6IO: エリア6外部/内部アクセス選択(D9/0x48132<アクセス制御レジスタ>)

A5IO: エリア5–4外部/内部アクセス選択(D8/0x48132<アクセス制御レジスタ>)

各エリアを内部アクセスするか外部アクセスするか選択します。

"1"書き込み: 内部アクセス

"0"書き込み: 外部アクセス

読み出し: 可能

AxxIOを"1"に設定すると、対応するエリアに割り付けられている内蔵デバイスがアクセスされます。AxxIOを"0"に設定すると、外部デバイスがアクセスされます。

コールドスタート時、これらのビットは"0"(外部アクセス)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A18EC: エリア18-17リトル/ビッグエンディアン形式選択(D7/0x48132<アクセス制御レジスタ>)
A16EC: エリア16-15リトル/ビッグエンディアン形式選択(D6/0x48132<アクセス制御レジスタ>)
A14EC: エリア14-13リトル/ビッグエンディアン形式選択(D5/0x48132<アクセス制御レジスタ>)
A12EC: エリア12-11リトル/ビッグエンディアン形式選択(D4/0x48132<アクセス制御レジスタ>)
A10EC: エリア10-9リトル/ビッグエンディアン形式選択(D3/0x48132<アクセス制御レジスタ>)
A8EC: エリア8-7リトル/ビッグエンディアン形式選択(D2/0x48132<アクセス制御レジスタ>)
A6EC: エリア6リトル/ビッグエンディアン形式選択(D1/0x48132<アクセス制御レジスタ>)
A5EC: エリア5-4リトル/ビッグエンディアン形式選択(D0/0x48132<アクセス制御レジスタ>)

各エリアのアクセス形式(リトルエンディアンまたはビッグエンディアン)を選択します。

"1"書き込み: ビッグエンディアン

"0"書き込み: リトルエンディアン

読み出し: 可能

AxxECを"1"に設定すると、対応するエリアはビッグエンディアン形式でアクセスされます。AxxECを"0"に設定すると、リトルエンディアン形式でアクセスされます。エリア10からブートする場合は、A10ECを"0"(リトルエンディアン)に固定してください。

コールドスタート時、これらのビットは"0"(リトルエンディアン)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A18AS: エリア18-17アドレスストローブ信号(DF/0x48138<G/Aリード信号制御レジスタ>)
A16AS: エリア16-15アドレスストローブ信号(DE/0x48138<G/Aリード信号制御レジスタ>)
A14AS: エリア14-13アドレスストローブ信号(DD/0x48138<G/Aリード信号制御レジスタ>)
A12AS: エリア12-11アドレスストローブ信号(DC/0x48138<G/Aリード信号制御レジスタ>)
A8AS: エリア8-7アドレスストローブ信号(DA/0x48138<G/Aリード信号制御レジスタ>)
A6AS: エリア6アドレスストローブ信号(D9/0x48138<G/Aリード信号制御レジスタ>)
A5AS: エリア5-4アドレスストローブ信号(D8/0x48138<G/Aリード信号制御レジスタ>)

エリア専用のアドレスストローブ信号出力をイネーブル/ディセーブルに設定します。

"1"書き込み: イネーブル

"0"書き込み: ディセーブル

読み出し: 可能

AxxASを"1"に設定すると、対応するエリアのアクセス時にエリア専用のアドレスストローブ信号が#GAAS(P21 端子)から出力されます。AxxASを"0"に設定すると、信号は出力されません。

コールドスタート時、これらのビットは"0"(ディセーブル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A18RD: エリア18-17リード信号(D7/0x48138<G/Aリード信号制御レジスタ>)
A16RD: エリア16-15リード信号(D6/0x48138<G/Aリード信号制御レジスタ>)
A14RD: エリア14-13リード信号(D5/0x48138<G/Aリード信号制御レジスタ>)
A12RD: エリア12-11リード信号(D4/0x48138<G/Aリード信号制御レジスタ>)
A8RD: エリア8-7リード信号(D2/0x48138<G/Aリード信号制御レジスタ>)
A6RD: エリア6リード信号(D1/0x48138<G/Aリード信号制御レジスタ>)
A5RD: エリア5-4リード信号(D0/0x48138<G/Aリード信号制御レジスタ>)

エリア専用のリード信号出力をイネーブル/ディセーブルに設定します。

"1"書き込み: イネーブル

"0"書き込み: ディセーブル

読み出し: 可能

AxxRDを"1"に設定すると、対応するエリアの読み出し時にエリア専用のリード信号が#GARD(P31 端子)から出力されます。AxxRDを"0"に設定すると、信号は出力されません。

コールドスタート時、これらのビットは"0"(ディセーブル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

BCLKSEL1-BCLKSEL0: BCLK出力クロック選択(D[1:0]/0x4813A<BCLK選択レジスタ>)

BCLK端子から出力するクロックを選択します。

表II.4.17 BCLK出力クロックの選択

BCLKSEL1	BCLKSEL0	出力クロック
1	1	PLL_CLK (PLL出力クロック)
1	0	OSC3_CLK (OSC3発振クロック)
0	1	BUS_CLK (バスクロック)
0	0	CPU_CLK (CPU動作クロック)

PLL_CLK: PLLの出力クロックです。安定したクロックが出力されます。PLLが停止しない限りは、クロックが出力されます。PLLは以下の場合に停止します。

1. PLLS0端子でPLLをOFFにした場合
2. SLP命令を実行してOSC3(高速)発振を停止させた場合
3. CLGのレジスタでOSC3(高速)発振を停止させた場合

なお、位相はCPU動作クロックとは、ずれています。

OSC3_CLK: OSC3(高速)発振回路の出力クロックです。安定したクロックが出力されます。OSC3(高速)発振回路が停止しない限りは、クロックが出力されます。OSC3(高速)発振回路は以下の場合に停止します。

1. SLP命令を実行した場合
2. CLGのレジスタで発振を停止させた場合

なお、位相はCPU動作クロックとは、ずれています。

BUS_CLK: バスコントローラのバスクロックです。バスサイクルの速度に応じたクロック信号が出力されます。x2スピードモードを設定した場合、クロック周波数はダイナミックに変化します。

1. 内蔵RAM/内蔵ROMアクセス時はx2のクロック(CPU動作クロックと同じ、たとえば50MHz)が出力されます。
2. 外部バスアクセス時はx1のクロック(たとえば25MHz)が出力されます。
クロックはダイナミックに、たとえば50MHzと25MHzで変化しますが、外部メモリをアクセスしたときは、25MHzのバスクロックの立ち上がり、立ち下がり位置と、たとえば#WRの立ち下がり位置の関係は一定です。(25MHz、x1スピードモード時の位相関係と同じになります。)

CPU_CLK: CPUの動作クロックです。出力クロックの周波数は次のようになります。

1. PLLがONのときは、PLLの出力クロックの周波数となります。
2. PLLがOFFのときは、OSC3(高速)発振回路の出力クロックの周波数となります。
3. ただし、CLGでCPUのクロック周波数を分周するように設定している場合は、分周後の周波数となります。
4. HALT命令またはSLP命令でCPUが停止した場合は、このクロックも停止します。
このクロックはバスクロックとほぼ同位相の波形となります。

イニシャルリセット時、BCLKSELは"0b00"(CPU_CLK)に設定されます。

A1X1MD: エリア1アクセス速度(D3/0x4813A<BCLK選択レジスタ>)

x2スピードモード時のエリア1のアクセス速度を選択します。

"1"書き込み: 2サイクル

"0"書き込み: 4サイクル(x2スピードモード時、"0"設定での使用不可)

読み出し: 可能

x2スピードモード(#X2SPD端子="0")に設定されている場合、A1X1MDに"1"を書き込むとエリア1がCPUシステムクロックの2サイクルでリード/ライトされます。x2スピードモード時は、必ずA1X1MDを"1"に設定して使用してください。

x1スピードモード(#X2SPD端子="1")の場合は、A1X1MDの設定にかかわらず2サイクルに固定です。

コールドスタート時、A1X1MDは"0"(4サイクル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A18RH: エリア18-17リードホールドサイクル挿入(D7/0x4813C<リードサイクルホールド時間制御レジスタ>)
A16RH: エリア16-15リードホールドサイクル挿入(D6/0x4813C<リードサイクルホールド時間制御レジスタ>)
A14RH: エリア14-13リードホールドサイクル挿入(D5/0x4813C<リードサイクルホールド時間制御レジスタ>)
A12RH: エリア12-11リードホールドサイクル挿入(D4/0x4813C<リードサイクルホールド時間制御レジスタ>)
A10RH: エリア10-9リードホールドサイクル挿入(D3/0x4813C<リードサイクルホールド時間制御レジスタ>)
A8RH: エリア8-7リードホールドサイクル挿入(D2/0x4813C<リードサイクルホールド時間制御レジスタ>)
A6RH: エリア6リードホールドサイクル挿入(D1/0x4813C<リードサイクルホールド時間制御レジスタ>)
A5RH: エリア5-4リードホールドサイクル挿入(D0/0x4813C<リードサイクルホールド時間制御レジスタ>)

各エリアのアクセス時にリードホールドサイクルを挿入するか どうかを選択します。

"1"書き込み: リードホールドサイクルを挿入

"0"書き込み: リードホールドサイクルなし

読み出し: 可能

AxxRHを"1"に設定すると、対応するエリアへのアクセス時にリードサイクルが1サイクル引き延ばされます。ただし、#RDパルス幅とタイミングは変更されず、#CEとアドレスだけが1サイクル長く出力されます。リードホールドサイクル挿入指定時は、指定エリアのリードサイクルの後に必ずリードホールドサイクルが挿入されます(図II.4.23参照)。また、出力ディセーブルサイクルが設定されている場合、このリードホールドサイクル後に、さらに出力ディセーブルサイクルが挿入されます。

コールドスタート時、これらのビットは"0"(リードホールドサイクルなし)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A18BS: エリア18-17バス速度設定(D7/0x4813E<バス速度設定レジスタ>)
A16BS: エリア16-15バス速度設定(D6/0x4813E<バス速度設定レジスタ>)
A14BS: エリア14-13バス速度設定(D5/0x4813E<バス速度設定レジスタ>)
A12BS: エリア12-11バス速度設定(D4/0x4813E<バス速度設定レジスタ>)
A10BS: エリア10-9バス速度設定(D3/0x4813E<バス速度設定レジスタ>)
A8BS: エリア8-7バス速度設定(D2/0x4813E<バス速度設定レジスタ>)
A6BS: エリア6バス速度設定(D1/0x4813E<バス速度設定レジスタ>)
A5BS: エリア5-4バス速度設定(D0/0x4813E<バス速度設定レジスタ>)

各エリアのバス速度モードを設定します。

"1"書き込み: ×1スピードモード

"0"書き込み: #X2SPD端子の設定に従う

読み出し: 可能

#X2SPD端子が"0"(×2スピードモード)に設定されている場合に、バス速度モードをエリアごとに×1スピードモードの設定に切り換えることができます。この機能は、各エリアの内部/外部アクセスを切り換えるアクセス制御レジスタの上位バイト0x4813(B)とは独立して設定できるため、エリアごとに内部/外部アクセスとバス速度モードを任意に設定することができます。

コールドスタート時、これらのビットは"0"(#X2SPD端子の設定に従う)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

注: 内部バスも含め、バス速度の上限は40MHzです。CPU動作周波数が40MHz以上の場合は#X2SPD端子を"0"にすると共に、AxxBSビットを"0"、A1X1MDビットを"1"に設定してください。

プログラミング上の注意事項

- (1)x2スピードモード(#X2SPD端子="0")で使用する場合は、必ずA1X1MDビット(0x4813A・D3)を"1"に設定して使用してください。
- (2)内部バスも含め、バス速度の上限は40MHzです。CPU動作周波数が40MHz以上の場合は#X2SPD端子を"0"にすると共に、AxxBSビット(0x4813E)を"0"、A1X1MDビット(0x4813A・D3)を"1"に設定してください。

II-5 ITC(割り込みコントローラ)

C33コアブロックには割り込みコントローラが内蔵されており、内蔵周辺回路が発生するすべての割り込みを制御します。この章では、マスク可能な割り込みの制御方法を中心に、割り込みコントローラの機能を説明します。個別の割り込み要因の詳細と発生条件等については、各周辺回路の説明を参照してください。

割り込み機能概要

マスク可能な割り込み

ITCには50種類のマスク可能な割り込みが用意されています。表II.5.1にC33コアのトラップテーブルを示します。

表II.5.1 トラップテーブル

ベクタ番号 (Hexアドレス)	例外/割り込み系列 (周辺回路)	例外/割り込み要因	IDMA Ch.	優先 順位
0(Base)	リセット	リセット端子へのLow入力	—	高い
1~3	reserved	—	—	
4(Base+10)	ゼロ除算	除算命令	—	
5	reserved	—	—	
6(Base+18)	アドレス不整例外	メモリアクセス命令	—	
0x0 or 0x60000	デバッグ例外	brk命令等	—	
8(Base+1C)	NMI	NMI端子へのLow入力	—	
9~11	reserved	—	—	
12(Base+30)	ソフトウェア例外0	int命令	—	
13(Base+34)	ソフトウェア例外1	int命令	—	
14(Base+38)	ソフトウェア例外2	int命令	—	
15(Base+3C)	ソフトウェア例外3	int命令	—	
16(Base+40)	ポート入力割り込み0	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	1	
17(Base+44)	ポート入力割り込み1	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	2	
18(Base+48)	ポート入力割り込み2	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	3	
19(Base+4C)	ポート入力割り込み3	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	4	
20(Base+50)	キー入力割り込み0	入力立ち下がりまたは立ち上がりエッジ	—	
21(Base+54)	キー入力割り込み1	入力立ち下がりまたは立ち上がりエッジ	—	
22(Base+58)	高速DMA Ch.0	高速DMA Ch.0転送終了	5	
23(Base+5C)	高速DMA Ch.1	高速DMA Ch.1転送終了	6	
24(Base+60)	高速DMA Ch.2	高速DMA Ch.2転送終了	—	
25(Base+64)	高速DMA Ch.3	高速DMA Ch.3転送終了	—	
26(Base+68)	インテリジェントDMA	インテリジェントDMA転送終了	—	
27~29	reserved	—	—	
30(Base+78)	16ビットプログラマブル タイマ0	タイマ0コンペアB	7	
31(Base+7C)	タイマ0	タイマ0コンペアA	8	
32~33	reserved	—	—	
34(Base+88)	16ビットプログラマブル タイマ1	タイマ1コンペアB	9	
35(Base+8C)	タイマ1	タイマ1コンペアA	10	
36~37	reserved	—	—	
38(Base+98)	16ビットプログラマブル タイマ2	タイマ2コンペアB	11	
39(Base+9C)	タイマ2	タイマ2コンペアA	12	
40~41	reserved	—	—	
42(Base+A8)	16ビットプログラマブル タイマ3	タイマ3コンペアB	13	
43(Base+AC)	タイマ3	タイマ3コンペアA	14	
44~45	reserved	—	—	
46(Base+B8)	16ビットプログラマブル タイマ4	タイマ4コンペアB	15	
47(Base+BC)	タイマ4	タイマ4コンペアA	16	
48~49	reserved	—	—	
50(Base+C8)	16ビットプログラマブル タイマ5	タイマ5コンペアB	17	
51(Base+CC)	タイマ5	タイマ5コンペアA	18	
52(Base+D0)	8ビットプログラマブル タイマ0~3	タイマ0アンダーフロー	19	
53(Base+D4)	タイマ0~3	タイマ1アンダーフロー	20	
54(Base+D8)	タイマ0~3	タイマ2アンダーフロー	21	
55(Base+DC)	タイマ0~3	タイマ3アンダーフロー	22	
56(Base+E0)	シリアルインタフェース Ch.0	受信エラー	—	低い
57(Base+E4)	Ch.0	受信バッファフル	23	
58(Base+E8)	Ch.0	送信バッファエンプティ	24	
59	reserved	—	—	

II

ITC

ベクタ番号 (Hexアドレス)	例外/割り込み系列 (周辺回路)	例外/割り込み要因	IDMA Ch.	優先 順位
60(Base+F0)	シリアルインタフェース Ch.1	受信エラー	—	高い
61(Base+F4)		受信バッファフル	25	
62(Base+F8)		送信バッファエンプティ	26	
63	reserved	—	—	
64(Base+100)	A/D変換器	A/D変換完了	27	
65(Base+104)	計時タイマ	32Hz, 8Hz, 2Hz, 1Hz信号立ち下がりエッジ 1分, 1時間, 指定時間カウント	—	
66~67	reserved	—	—	
68(Base+110)	ポート入力割り込み4	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	28	
69(Base+114)	ポート入力割り込み5	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	29	
70(Base+118)	ポート入力割り込み6	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	30	
71(Base+11C)	ポート入力割り込み7	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	31	
72(Base+120)	8ビットプログラマブル タイマ4/5	タイマ4アンダーフロー	32	
73(Base+124)	タイマ4/5	タイマ5アンダーフロー	33	
74~75	reserved	—	—	
76(Base+130)	シリアルインタフェース Ch.2	受信エラー	—	低い
77(Base+134)		受信バッファフル	34	
78(Base+138)		送信バッファエンプティ	35	
79	reserved	—	—	
80(Base+140)	シリアルインタフェース Ch.3	受信エラー	—	
81(Base+144)		受信バッファフル	36	
82(Base+148)		送信バッファエンプティ	37	
83~111	reserved	—	—	
112(Base+1C0)	FIFO	受信エラー	—	
113(Base+1C4)	シリアルインタフェース Ch.0	受信バッファフル	56	
114(Base+1C8)		送信バッファエンプティ	57	

表の内容

[ベクタ番号(アドレス)]はトラップテーブルのベクタ番号で、()内はトラップテーブル先頭アドレス (Base)からのオフセット(バイト数)を示します。トラップテーブル先頭アドレス(Base)はデフォルトでブートアドレスとなりますので、イニシャルリセット時は0xC00000となります。このアドレスは、TTBRレジスタ(0x48134~0x48137)で変更することも可能です。

[例外/割り込み系列(周辺回路)]は、記述された周辺回路ごとに割り込みレベルがプログラムできることを示します。

[例外/割り込み要因]は、各割り込み系列内で発生する割り込み要因の種類を示します。

[IDMA Ch.]に数値を持つ割り込み要因は、要因の発生時にIDMA(インテリジェントDMA)を起動してデータを転送できることを示します。数値はIDMAのチャンネル番号です。数値のない割り込み要因はIDMAを起動することはできません。

[優先順位]は、すべての割り込み系列が同じ割り込みレベルに設定されている場合の優先順位を示します。複数の割り込み要因が同時に発生した場合は、優先順位の高いものから受け付けられます。各割り込み系列に設定する割り込みレベルによって、優先順位は変わります。ただし、同一割り込み系列内の割り込み要因については記述された順序に固定です。

マスク可能な割り込みの発生条件

CPUに対するマスク可能な割り込みは、以下のすべての条件が成立している場合に発生します。

- 発生した割り込み要因に対応する割り込みイネーブルレジスタのビットが"1"にセットされている。
- PSR(CPU内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが"1"にセットされている。
- 発生した割り込み要因が、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。(割り込みレベルは各割り込み系列の割り込みプライオリティレジスタで設定可能です。)
- NMIなど、他の優先順位の高いトラップ要因が発生していない。
- 発生した割り込み要因でIDMAが起動するようにプログラムされていない(IDMAリクエストビットが"1"にセットされていない)。

割り込み要因が発生すると対応する割り込み要因フラグが"1"にセットされ、プログラムでリセットするまではその状態を保持します。したがって、割り込み要因の発生時点で上記の条件が満たされていない場合でも発生した割り込み要因がクリアされることはありません。上記の条件が満たされた時点で割り込みが発生します。

ただし、割り込み要因でIDMAを起動し、以下のいずれかの条件が成立する場合には割り込み要因フラグがリセットされます。

- IDMAの転送回数カウンタが"0"以外の場合
- IDMAの転送回数カウンタが"0"の場合でも、IDMAのコントロール情報で割り込みを禁止している場合

同時に複数のマスク可能な割り込み要因が発生した場合は、その中で最もレベルの高い割り込み要因がその時点でのCPUへの割り込み要求の対象となります。レベルの低い割り込みは、その後、上記の条件が成立するまで保留されます。

PSRおよび割り込み制御レジスタの詳細は後述します。

各割り込み要因の発生条件については、各周辺回路の説明を参照してください。

割り込み要因とインテリジェントDMA

いくつかの割り込み要因はIDMAを起動するように設定できます。IDMAを起動するように設定した割り込み要因が発生した場合は、CPUへの割り込み要求の前にIDMAが起動されます。CPUへの割り込み要求はIDMA終了後に発生します(プログラムにより割り込みを禁止することも可能)。

IDMAの起動はPSRの設定にかかわらず行われます。詳細は"IDMAの起動"を参照してください。

NM(ノンマスカブル割り込み)

#NMI端子へのLowレベル入力または内蔵のウォッチドッグタイマにより、NM(ノンマスカブル割り込み)を発生させることができます。NMIのベクタ番号は7で、ベクタアドレスはトラップテーブル先頭アドレス+28(バイト)に設定されています。

この割り込みは他の割り込み要因に優先して、無条件にCPUに受け付けられます。

ただし、SRスタックポインタ設定前に発生すると誤動作するため、イニシャルリセット後はSPに対して書き込みが行われるまでハードウェアによってマスクされるようになっています。

CPUの割り込み処理

CPUは毎サイクル、割り込み要求のサンプリングを行っています。CPUは割り込み要求を受け付けるとその時点の命令の実行終了後、トラップ処理に移行します。

トラップ処理で実行される内容は以下のとおりです。

- (1) PSRおよび現在のPQ(プログラムカウンタ)値をスタックに退避
- (2) PSRのIEビットを"0"にリセット(以降のマスク可能な割り込みを禁止)
- (3) PSRのILを受け付けた割り込みのレベルにセット(NMIは割り込みレベルを変更しない)
- (4) 発生した割り込み要因のベクタをPCにロードして割り込み処理ルーチンを実行

したがって、割り込みを受け付けると、(2)によって以降のマスク可能な割り込みは禁止されます。

割り込み処理ルーチン内でIEビットを"1"にセットすることで、多重割り込みにも対応できます。その場合、(3)によってILが変更されていますので、現在処理中の割り込みより高いレベルの割り込みのみが受け付けられます。

割り込み処理ルーチンをreti命令で終了すると、PSRが割り込み発生前の状態に戻ります。プログラムは割り込み発生時に実行していた命令の次の命令に分岐して処理を再開します。

割り込みによるスタンバイモードの解除

スタンバイモード(HALT、SLEEP)は、NMIまたはマスク可能な割り込みによって解除されます。HALTモードの解除にはすべてのマスク可能な割り込みを使用することができます。ただし、HALT2モードでバスクロックを停止した場合は、DMAの割り込みは使用できません。SLEEPモードでは高速(OSC3)発振回路が停止するため、OSC3クロックを原振とする周辺回路の割り込みは使用できません。

HALT基本モードを解除可能な割り込み: NMIおよびすべてのマスク可能な割り込み

HALT2モードを解除可能な割り込み: NMIおよびすべてのマスク可能な割り込み
(DMA割り込みを除く)

SLEEPモードを解除可能な割り込み: NMI、入力ポート割り込み、計時タイマ割り込み

スタンバイモードの解除はCPUへの割り込み要求によって行われます。したがって、PSRがその割り込みを受け付け可能な状態に設定され、割り込み要因に対応した割り込みイネーブルレジスタのビットが割り込み許可に設定されていることが必要です。

スタンバイモードが解除されCPUがその割り込みを受け付けた場合は、割り込み処理ルーチンを実行後にhaltまたはslp命令の次の命令に戻ります。

注: スタンバイモードからの再起動用の割り込み要因がIDMAを起動するように設定されている場合、その割り込みによりIDMAが起動します。

SLEEPモードの場合は高速(OSC3)発振回路も発振を開始します。

IDMA側の設定でIDMA終了後の割り込みが禁止されていると、CPUへの割り込み要求信号が発生しないため、CPUは動作を停止したままとなり次の割り込み要求が発生するまで動作を開始しません。

トラップテーブル

割り込みベクタを書き込んでおくトラップテーブルのベース(先頭)アドレスは、TTBRレジスタによって設定することができます。

TTBR0(TTBR下位レジスタ0x48134・D[9:0]) トラップテーブルベースアドレス[9:0]("0"に固定)

TTBR1(TTBR下位レジスタ0x48134・D[F:A]) トラップテーブルベースアドレス[15:10]

TTBR2(TTBR上位レジスタ0x48136・D[B:0]) トラップテーブルベースアドレス[27:16]

TTBR3(TTBR上位レジスタ0x48136・D[F:C]) トラップテーブルベースアドレス[31:28]("0"に固定)

イニシャルリセット後、TTBRレジスタは0x0C00000番地に設定されます。

したがって、トラップテーブルの位置を変更する場合でも、リセットベクタのみは上記のアドレスに書き込んでおく必要があります。

TTBR0とTTBR3は読み出し専用で"0"に固定されます。このため、トラップテーブルの先頭アドレスは常に1KB境界アドレスから始まります。

なお、TTBRレジスタは誤って書き換えられることのないように、通常は書き込み禁止状態に置かれ、この書き込み保護機能を解除するためにTTBRレジスタ書き込み保護レジスタTBRP(D[7:0]/0x4812D[Byte])が用意されています。TBRPレジスタに0x59を書き込むとTTBRレジスタへの書き込みが許可され、TTBRレジスタの最上位バイト(0x48137)への書き込みにより書き込み禁止状態に戻ります。したがって、TTBRレジスタへの書き込みは下位ハーフワードから先に行う必要があります。ただし、下位と上位ハーフワードの書き込みの間にNMI等が発生すると誤動作しますので、ワード書き込みを推奨します。

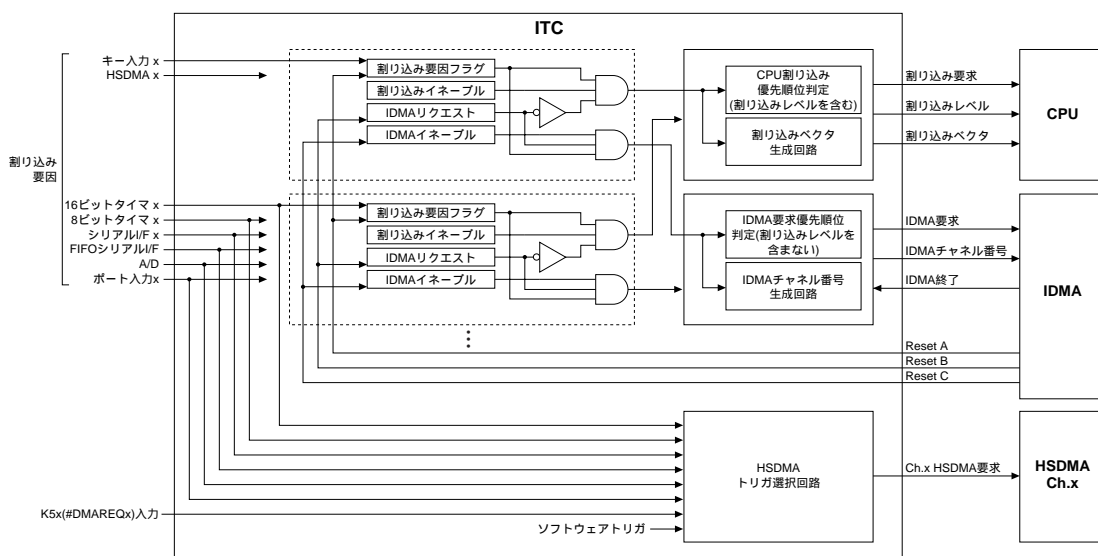
II

ITC

マスク可能な割り込みの制御

割り込みコントローラの構成

割り込みコントローラは図II.5.1のように構成されています。



図II.5.1 割り込みコントローラの構成

以下、割り込みの制御に使用するレジスタの機能について説明します。

PSR(プロセッサステータスレジスタ)

PSRはコアCPU内の特殊レジスタで、CPUに対する割り込み要求を許可/禁止する制御ビットを含んでいます。

IE(割り込みイネーブル)ビット ...PSR[4]

このビットにより、CPUへの割り込み要求を許可あるいは禁止します。IEビットを"1"にセットすると、CPUはマスク可能な割り込み要求を受け付け可能な状態になります。"0"にリセットすると、マスク可能な割り込み要求はCPUに受け付けられません。

CPUは割り込み要求を受け付けると(あるいは他のトラップが発生すると)、PSRをスタックに退避後にIEビットを"0"にリセットします。したがって、以降はIEビットをプログラムで"1"にセットするか、割り込み(トラップ)処理ルーチンをreti命令で終了するまで、マスク可能な割り込みは受け付けられません。

IEビットはイニシャルリセットにより"0"(割り込み禁止)に初期化されます。

IL(割り込みレベル)...PSR[11:8]

ILは其中に設定された割り込みレベル以下の割り込みを禁止します。たとえば、ILに3が設定されていると、割り込みプライオリティレジスタ(後述)が3以下に設定されている割り込みは、IEビットが"1"にセットされている場合でもCPUには受け付けられません。ILと割り込みプライオリティレジスタの設定により割り込みの優先順位を、割り込み系列ごとに制御することができます。割り込みレベルの詳細については、「割り込みプライオリティレジスタと割り込みレベル」を参照してください。

CPUはマスク可能な割り込み要求を受け付けると、PSRをスタックに退避後にILをその割り込みのレベルに設定します。したがって、割り込み処理ルーチンの中でIEビットを"1"にセットしても、ILを書き換えなければ現在処理中の割り込みと同じレベルまたはそれ以下のレベルの割り込みは禁止されます。割り込み処理ルーチンをreti命令で終了すると、ILは割り込み発生前の状態に戻ります。

マスク可能な割り込み以外のトラップ(リセットを除く)では、ILは書き換えられません。

ILはイニシャルリセットによりレベル0(レベル1以上の割り込みを許可)に設定されます。

注: C33 STDコアCPUの機能としては、ILによって割り込みレベルを0~15の16種類に設定可能です。ただし、本割り込みコントローラでは割り込みプライオリティレジスタが3ビットのため、各割り込み系列の割り込みレベルを8以上に設定することはできません。

割り込み要因フラグと割り込みイネーブルレジスタ

各マスク可能な割り込み要因には、割り込み要因フラグと割り込みイネーブルレジスタが用意されています。

割り込み要因フラグ

割り込み要因フラグは、対応する割り込み要因が発生すると"1"にセットされます。CPUのトラップ処理によらず、このフラグを読み出すことによっても割り込み要因の発生を知ることができます。

割り込み要因フラグは、ソフトウェアによるデータ書き込みによってリセットされます。

なお、割り込み要因フラグのリセット方式を、以下に示す2種類からソフトウェアで選択できるようになっています。選択はフラグセット/リセット方式選択レジスタ(0x4029F)のRSTONLY(D0)で行います。

• リセットオンリー方式(デフォルト)

イニシャルリセット時は、この方式(RSTONLY = "1")に設定されます。

リセットオンリー方式の場合、割り込み要因フラグは"1"を書き込むことでリセットされます。

割り込み要因フラグレジスタの同一アドレス内には複数の割り込み要因フラグが割り付けられています。"0"を書き込んだ要因フラグはセットもリセットもされません。したがって、特定の要因フラグのみを確実にリセットできます。

ただし、リード・モディファイ・ライト命令(bset, bclr, bnot)を使用すると、"1"にセットされた割り込み要因フラグが書き込み時にリセットされますので注意してください。

この方式では、ソフトウェアで割り込み要因フラグをセットすることはできません。

• リード/ライト方式

この方式はRSTONLYに"0"を書き込むことにより設定されます。

リード/ライト方式の場合、割り込み要因フラグは他のレジスタと同様に読み出し/書き込みが許可されます。したがって、"0"を書き込むとリセットされ、"1"を書き込むとセットされます。この場合、"0"を書き込んだ要因フラグがすべてリセットされてしまいます。リード・モディファイ・ライトを行う場合でも、読み出しと書き込みの間に割り込み要因が発生する可能性がありますので注意してください。

イニシャルリセット時、割り込み要因フラグは初期化されないため、割り込みを許可する前に必ずリセットしてください。

注: マスク可能な割り込み要求がCPUに受け付けられ、割り込み処理ルーチンに分岐しても、割り込み要因フラグはリセットされません。プログラムで割り込み要因フラグをリセットせずにret命令で割り込み処理ルーチンからリターンすると、再度同一の割り込みが発生しますので注意してください。

割り込み要因の発生条件については、各周辺回路の説明を参照してください。

II

ITC

割り込みイネーブルレジスタ

割り込みイネーブルレジスタは、CPUに対する割り込み要求の出力を制御します。割り込みイネーブルレジスタのビットを"1"に設定した場合にのみ、対応する割り込み要因の発生によりCPUに対する割り込み要求が可能となります。"0"に設定されている場合は、対応する割り込み要因が発生してもCPUへの割り込み要求は行われません。

割り込みイネーブルビットは他のレジスタと同様に読み出し/書き込みが許可されます。したがって、"0"を書き込むとリセットされ、"1"を書き込むとセットされます。また、読み出すことで、いつでも設定状態が確認できます。

なお、この設定は割り込み要因フラグの動作には影響を与えませんので、割り込みイネーブルレジスタのビットが"0"の場合でも割り込み要因フラグは割り込み要因の発生によって"1"にセットされます。

イニシャルリセット時、割り込みイネーブルレジスタは"0"(割り込み禁止)に設定されます。

割り込み要因の発生によりIDMAを起動する場合、あるいはスタンバイモード(HALT、SLEEP)を解除する場合も、対応する割り込みイネーブルレジスタのビットを"1"に設定しておく必要があります。

割り込みコントローラは、以下の条件が成立すると、CPUに対して割り込み要求を出力します。

- 割り込み要因の発生により割り込み要因フラグが"1"にセットされた
- 発生した割り込み要因に対応した割り込みイネーブルレジスタのビットが"1"(割り込み許可)に設定されている
- 発生した割り込み要因に対応したIDMAリクエストレジスタのビットが"0"(割り込み要求)に設定されている

同時に複数の割り込みが発生した場合は、その中で最も優先順位の高い割り込み要因を割り込み要求の対象とします(次節参照)。

条件が成立すると、割り込みコントローラはCPUに対して割り込み要求信号、発生した割り込みの系列に対応した割り込みプライオリティレジスタの設定内容(割り込みレベル) およびそのベクタ番号を出力します。

これらの信号は、割り込み要因フラグが"0"にリセットされるか、割り込みイネーブルレジスタのビットが"0"(割り込み禁止)に設定されるまで、あるいは他の優先順位の高い割り込み要因が発生するまで保持されます。CPUが割り込み要求を受け付けても解除されません。

割り込みプライオリティレジスタと割り込みレベル

割り込みプライオリティレジスタは、割り込み系列ごとに用意された3ビットのレジスタで、対応する割り込み系列の割り込みレベルを0~7に設定できます。この設定により、表II.5.1に示したデフォルトの優先順位をシステムに合わせて変更することができます。

割り込みプライオリティレジスタに設定された値は、割り込みコントローラとCPUでそれぞれ以下のように利用されます。

割り込みコントローラにおける割り込みプライオリティレジスタの役割

割り込みイネーブルレジスタによって割り込みが許可されている複数の割り込み要因が同時に発生した場合、割り込みコントローラは其中最も大きな数値が書き込まれた割り込みプライオリティレジスタを持つ割り込み系列内の割り込み要因を割り込み要求の対象とします。

同一レベルの複数の割り込み系列に割り込み要因が発生した場合は、表II.5.1に示したデフォルトの優先順位に従います。同じ割り込み系列内の割り込み要因も表II.5.1の順序で処理されます。

それ以外に発生している割り込み要因は、それよりも優先順位の高い割り込みがCPUに受け付けられるまで保留されます。

割り込みコントローラは、CPUへの割り込み要求信号を出力する際、割り込みプライオリティレジスタの内容もCPUに対して出力します。

割り込みコントローラは、割り込み要求を出力中にそれよりも優先順位の高い割り込み要因が発生すると、ベクタ番号と割り込みレベルの出力を新たな割り込み要因に対応させて変更します。それまでの割り込み要求については保留されます。

CPUの処理における割り込みプライオリティレジスタの役割

CPUは割り込みコントローラから出力された割り込みプライオリティレジスタの内容と、PSR内のILに設定された割り込みレベルを比較して、その割り込み要求を受け付けるかどうかを決定します。

IEビット="1" & IL < 割り込みプライオリティレジスタ: 割り込み要求を受け付ける

IEビット="1" & IL ≥ 割り込みプライオリティレジスタ: 割り込み要求を受け付けない

割り込みレベルによって割り込みを制御するには、ILに割り込みを禁止するレベルを書き込んでください。たとえば、ILに3を書き込むと、割り込みプライオリティレジスタに4以上の値が書き込まれた割り込みのみを受け付けます。

割り込みを受け付けると、その割り込みプライオリティレジスタに設定された割り込みレベルをILに設定します。それ以降、そのレベル以下の割り込み要求は受け付け禁止状態となります。

割り込みプライオリティレジスタに"0"を設定した場合、その割り込みは禁止されます。ただし、割り込み要因によってIDMAを起動することはできます。

- 注:
- C33 STDコアCPUの機能としては、ILによって割り込みレベルを0~15の16種類に設定可能です。ただし、本割り込みコントローラでは割り込みプライオリティレジスタが3ビットのため、各割り込み系列の割り込みレベルを8以上に設定することはできません。
 - 割り込み処理ルーチン内でILの割り込みレベルの書き換えにより、多重割り込みにも対応可能です。ただし、割り込み発生後、割り込み要因フラグをリセットする前にILの割り込みレベルを現在のレベルよりも低く設定し、IEをセットして割り込みを許可すると、再度同一の割り込みが発生してしまいますので注意してください。

IDMAの起動

表II.5.1の中でIDMAチャンネル番号が記述された割り込み要因には、IDMA(インテリジェントDMA)を起動する機能があります。

IDMAリクエストレジスタ

IDMAリクエストレジスタは、IDMAを起動する割り込み要因を指定するのに使用します。IDMAリクエストレジスタのビットを"1"に設定すると、対応する割り込み要因の発生によりIDMAの起動要求が発生します。"0"に設定されている場合は、対応する割り込み要因が発生してもIDMA起動要求は発生せず、通常の割り込み処理が行われます。イニシャルリセット時、IDMAリクエストレジスタは"0"に設定されます。

なお、IDMAリクエストレジスタのセット方式を、以下に示す2種類からソフトウェアで選択できるようになっています。

選択はフラグセット/リセット方式選択レジスタ(0x4029F)のIDMAONLY(D1)で行います。

- セットオンリー方式(デフォルト)

イニシャルリセット時は、この方式(IDMAONLY = "1")に設定されます。

セットオンリー方式の場合、IDMAリクエストビットは"1"を書き込むことでセットされます。

IDMAリクエストレジスタ内には複数のIDMAリクエストビットが割り付けられていますが、"0"を書き込んだビットはセットもリセットもされません。したがって、特定のIDMAリクエストビットのみを確実にセットできます。

リード・モディファイ・ライト命令(bset, bclr, bnot)を使用しても、"1"にセットされたIDMAリクエストビットは書き込み時にリセットされませんので注意してください。

- リード/ライト方式

この方式はIDMAONLYに"0"を書き込むことにより設定されます。

リード/ライト方式の場合、IDMAリクエストレジスタは他のレジスタと同様に読み出し/書き込みが許可されます。したがって、"0"を書き込むとリセットされ、"1"を書き込むとセットされます。この場合、"0"を書き込んだIDMAリクエストビットがすべてリセットされてしまいます。リード・モディファイ・ライトを行う場合でも、読み出しと書き込みの間にIDMAリクエストビットがハードウェアによってリセットされる可能性がありますので注意してください。

IDMAイネーブルレジスタ

割り込み要因によってIDMAを起動するには、要因に対応するIDMAイネーブルレジスタのビットに"1"を書き込んでおく必要があります。IDMAイネーブルビットが"0"に設定されている場合、その割り込み要因によってIDMAは起動しません。イニシャルリセット時、IDMAイネーブルレジスタは"0"に設定されます。

なお、IDMAリクエストレジスタと同様に、IDMAイネーブルレジスタもセット方式(セットオンリー方式、リード/ライト方式)をソフトウェアで選択できるようになっています。

選択はフラグセット/リセット方式選択レジスタ(0x4029F)のDENONLY(D2)で行います。セット方式についてはIDMAリクエストレジスタの説明を参照してください。

IDMAの起動

割り込み要因発生時にIDMAを起動するには、要因に対応するIDMAリクエストレジスタとIDMAイネーブルレジスタのビットに"1"を書き込んでおきます。その状態で割り込み要因が発生すると、CPUに対する割り込み要求は保留され、対応するIDMAチャンネルを起動します。そのIDMAチャンネルのコントロール情報に従ってDMA転送が行われます。割り込みコントローラ内の割り込みプライオリティレジスタの設定は、IDMAの起動には影響を与えません。IDMA起動要求は、CPUの割り込みレベルが割り込みプライオリティレジスタの設定値よりも高い場合でも受け付けられます。ただし、IDMA転送終了後に割り込み要求を発生させる際には、その割り込み要求は割り込みプライオリティレジスタの設定値に従って制御されます。

割り込みイネーブルレジスタおよびCPUのPSRが割り込み禁止状態に設定されていても、IDMA起動要求は受け付けられます。また、IDMA側で転送のためのコントロール情報を設定し、DMAを許可しておくことも必要です。

IDMA終了後の割り込み

• IDMA終了後に割り込みを発生させる場合

DMA転送終了時に、保留されていた割り込み要求を発生させることもできます。

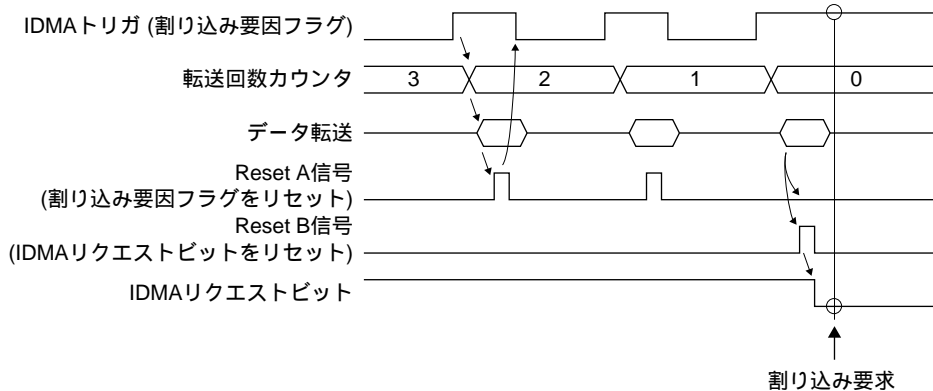
これには、割り込みコントローラおよびCPUのPSRで、その割り込み要求を受け付け可能な状態に設定しておくとともに、IDMAのコントロール情報で割り込みを許可(DINTEN = "1")しておきます。

ただし、IDMAチャンネルに設定された転送回数カウンタがその回の転送で"0"にならなかった場合は、割り込み要因フラグがリセットされ、割り込み要求は発生しません。転送回数カウンタは、1回の転送ごとにデクリメントされるようになっています。

DINTENが"1"に設定されている状態で転送回数カウンタが"0"になった場合は、割り込み要因フラグがリセットされず、IDMAリクエストレジスタのビットは"0"にクリアされます。このとき、割り込み条件が成立していれば割り込み要求を発生します。

次の割り込み要因発生時にもIDMAを起動させるには再設定が必要です。この再設定は、不要なIDMA要求が発生しないよう、割り込み要因フラグをリセット後に行ってください。

図II.5.2にDINTENが"1"に設定されている場合のハードウェアによる割り込み制御を示します。



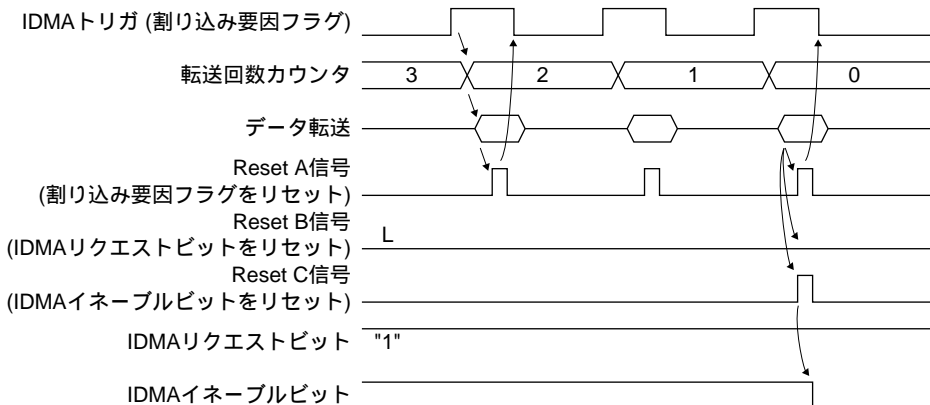
図II.5.2 DINTEN="1"の場合の制御

• IDMA終了後の割り込みを禁止する場合

IDMAのコントロール情報で割り込みを禁止(DINTEN = "0")しておく、転送回数カウンタが"0"になった場合でも割り込み要因フラグがリセットされ、割り込み要求は発生しません。

この場合、IDMAリクエストビットはクリアされずに"1"を保持したままとなります。ただし、IDMAイネーブルビットはクリアされ、同割り込み要因による以降のIDMA要求は禁止されます。

図II.5.3にDINTENが"0"に設定されている場合のハードウェアの制御を示します。



図II.5.3 DINTEN="0"の場合の制御

IDMAの詳細については、"IDMA(インテリジェントDMA)"を参照してください。

HSDMAの起動

いくつかの割り込み要因は高速DMA(HSDMA)を起動することもできます。

HSDMAトリガ設定レジスタ

DMAブロックは4チャンネルのHSDMA回路を内蔵しています。各チャンネルは個別に、割り込み要因を含むトリガ要因をソフトウェアで選択できるようになっています。この選択には、以下のHSDMAトリガ設定レジスタを使用します。

HSDMA Ch.0: HSD0S[3:0] HSDMA Ch.0/1トリガ設定レジスタ0x40298-D[3:0]

HSDMA Ch.1: HSD1S[3:0] HSDMA Ch.0/1トリガ設定レジスタ0x40298-D[7:4]

HSDMA Ch.2: HSD2S[3:0] HSDMA Ch.2/3トリガ設定レジスタ0x40299-D[3:0]

HSDMA Ch.3: HSD3S[3:0] HSDMA Ch.2/3トリガ設定レジスタ0x40299-D[7:4]

表II.5.2にレジスタの設定値とトリガ要因の対応を示します。

表II.5.2 HSDMAトリガ要因

設定値	Ch.0トリガ要因	Ch.1トリガ要因	Ch.2トリガ要因	Ch.3トリガ要因
0000	ソフトウェアトリガ	ソフトウェアトリガ	ソフトウェアトリガ	ソフトウェアトリガ
0001	K50入力(立ち下がりエッジ)	K51入力(立ち下がりエッジ)	K53入力(立ち下がりエッジ)	K54入力(立ち下がりエッジ)
0010	K50入力(立ち上がりエッジ)	K51入力(立ち上がりエッジ)	K53入力(立ち上がりエッジ)	K54入力(立ち上がりエッジ)
0011	ポート0入力	ポート1入力	ポート2入力	ポート3入力
0100	ポート4入力	ポート5入力	ポート6入力	ポート7入力
0101	8bitタイマ0アンダーフロー	8bitタイマ1アンダーフロー	8bitタイマ2アンダーフロー	8bitタイマ3アンダーフロー
0110	16bitタイマ0コンペアB	16bitタイマ1コンペアB	16bitタイマ2コンペアB	16bitタイマ3コンペアB
0111	16bitタイマ0コンペアA	16bitタイマ1コンペアA	16bitタイマ2コンペアA	16bitタイマ3コンペアA
1000	16bitタイマ4コンペアB	16bitタイマ5コンペアB	16bitタイマ4コンペアB	16bitタイマ5コンペアB
1001	16bitタイマ4コンペアA	16bitタイマ5コンペアA	16bitタイマ4コンペアA	16bitタイマ5コンペアA
1010	シリアル I/F Ch.0 受信バッファフル	シリアル I/F Ch.1 受信バッファフル	シリアル I/F Ch.0 受信バッファフル	シリアル I/F Ch.1 受信バッファフル
1011	シリアル I/F Ch.0 送信バッファエンプティ	シリアル I/F Ch.1 送信バッファエンプティ	シリアル I/F Ch.0 送信バッファエンプティ	シリアル I/F Ch.1 送信バッファエンプティ
1100	A/D変換終了	A/D変換終了	A/D変換終了	A/D変換終了
1101	reserved	FIFOシリアル I/F Ch.0 受信バッファフル	reserved	FIFOシリアル I/F Ch.0 受信バッファフル
1110	reserved	FIFOシリアル I/F Ch.0 送信バッファエンプティ	reserved	FIFOシリアル I/F Ch.0 送信バッファエンプティ

HSDMAの起動

HSDMAトリガ設定レジスタで割り込み要因を選択すると、その割り込み要因の発生によって指定のHSDMAチャンネルが起動します。割り込み制御ビット(割り込み要因フラグ、割り込みイネーブルレジスタ、IDMAリクエストレジスタ、割り込みプライオリティレジスタ)の設定内容は、HSDMAの起動には影響を与えません。

HSDMAは割り込み要因フラグをリセットしません。したがって、割り込みコントローラで割り込みが許可されていれば、DMA転送終了時に割り込みが発生します。

なお、割り込み要因によってHSDMAを起動させるには、HSDMAの制御レジスタで転送条件の設定を行い、DMA転送を許可しておく必要があります。詳細については「HSDMA(高速DMA)」を参照してください。

割り込みコントローラのI/Oメモリ

表II.5.3に割り込みコントローラの制御ビットを示します。

表II.5.3 割り込みコントローラの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
ポート入力 割り込み0/1 プライオリティ レジスタ	0040260 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP1L2	ポート入力1	0 ~ 7	X	R/W	
		D5	PP1L1	割り込みレベル		X		
		D4	PP1L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP0L2	ポート入力0	0 ~ 7	X	R/W	
		D1	PP0L1	割り込みレベル		X		
		D0	PP0L0			X		
ポート入力 割り込み2/3 プライオリティ レジスタ	0040261 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP3L2	ポート入力3	0 ~ 7	X	R/W	
		D5	PP3L1	割り込みレベル		X		
		D4	PP3L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP2L2	ポート入力2	0 ~ 7	X	R/W	
		D1	PP2L1	割り込みレベル		X		
		D0	PP2L0			X		
キー入力割り込 みプライオリ ティレジスタ	0040262 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PK1L2	キー入力1	0 ~ 7	X	R/W	
		D5	PK1L1	割り込みレベル		X		
		D4	PK1L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PK0L2	キー入力0	0 ~ 7	X	R/W	
		D1	PK0L1	割り込みレベル		X		
		D0	PK0L0			X		
高速DMA Ch.0/1割り込み プライオリティ レジスタ	0040263 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PHSD1L2	高速DMA Ch.1	0 ~ 7	X	R/W	
		D5	PHSD1L1	割り込みレベル		X		
		D4	PHSD1L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PHSD0L2	高速DMA Ch.0	0 ~ 7	X	R/W	
		D1	PHSD0L1	割り込みレベル		X		
		D0	PHSD0L0			X		
高速DMA Ch.2/3割り込み プライオリティ レジスタ	0040264 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PHSD3L2	高速DMA Ch.3	0 ~ 7	X	R/W	
		D5	PHSD3L1	割り込みレベル		X		
		D4	PHSD3L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PHSD2L2	高速DMA Ch.2	0 ~ 7	X	R/W	
		D1	PHSD2L1	割り込みレベル		X		
		D0	PHSD2L0			X		
IDMA割り込み プライオリティ レジスタ	0040265 (B)	D7-3	—	reserved	—	—	—	読み出し時: 0
		D2	PDM2	IDMA	0 ~ 7	X	R/W	
		D1	PDM1	割り込みレベル		X		
		D0	PDM0			X		
16bitタイマ0/1 割り込み プライオリティ レジスタ	0040266 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	P16T12	16bitタイマ1	0 ~ 7	X	R/W	
		D5	P16T11	割り込みレベル		X		
		D4	P16T10			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	P16T02	16bitタイマ0	0 ~ 7	X	R/W	
		D1	P16T01	割り込みレベル		X		
		D0	P16T00			X		
16bitタイマ2/3 割り込み プライオリティ レジスタ	0040267 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	P16T32	16bitタイマ3	0 ~ 7	X	R/W	
		D5	P16T31	割り込みレベル		X		
		D4	P16T30			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	P16T22	16bitタイマ2	0 ~ 7	X	R/W	
		D1	P16T21	割り込みレベル		X		
		D0	P16T20			X		

II-5 コアブロック: ITQ(割り込みコントローラ)

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ4/5 割り込み プライオリティ レジスタ	0040268 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	P16T52	16bitタイマ5	0 ~ 7	X	R/W	
		D5	P16T51	割り込みレベル		X		
		D4	P16T50	X				
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	P16T42	16bitタイマ4	0 ~ 7	X	R/W	
		D1	P16T41	割り込みレベル		X		
D0	P16T40	X						
8bitタイマ, シリ アル/F Ch.0 割り込み プライオリティ レジスタ	0040269 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PSIO02	シリアルインタフェースCh.0	0 ~ 7	X	R/W	
		D5	PSIO01	割り込みレベル		X		
		D4	PSIO00	X				
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	P8TM2	8bitタイマ0-5	0 ~ 7	X	R/W	
		D1	P8TM1	割り込みレベル		X		
D0	P8TM0	X						
シリアル/F Ch.1, A/D変換器 割り込み プライオリティ レジスタ	004026A (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PAD2	A/D変換器	0 ~ 7	X	R/W	
		D5	PAD1	割り込みレベル		X		
		D4	PAD0	X				
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PSIO12	シリアルインタフェースCh.1	0 ~ 7	X	R/W	
		D1	PSIO11	割り込みレベル		X		
D0	PSIO10	X						
計時タイマ 割り込み プライオリティ レジスタ	004026B (B)	D7-3	—	reserved	—	—	—	1書き込み禁止
		D2	PCTM2	計時タイマ	0 ~ 7	X	R/W	
		D1	PCTM1	割り込みレベル		X		
		D0	PCTM0	X				
ポート入力 割り込み4/5 プライオリティ レジスタ	004026C (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP5L2	ポート入力5	0 ~ 7	X	R/W	
		D5	PP5L1	割り込みレベル		X		
		D4	PP5L0	X				
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP4L2	ポート入力4	0 ~ 7	X	R/W	
		D1	PP4L1	割り込みレベル		X		
D0	PP4L0	X						
ポート入力 割り込み6/7 プライオリティ レジスタ	004026D (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP7L2	ポート入力7	0 ~ 7	X	R/W	
		D5	PP7L1	割り込みレベル		X		
		D4	PP7L0	X				
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP6L2	ポート入力6	0 ~ 7	X	R/W	
		D1	PP6L1	割り込みレベル		X		
D0	PP6L0	X						
シリアル/F Ch.2/3 割り込み プライオリティ レジスタ	004026E (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PSIO32	シリアルインタフェースCh.3	0 ~ 7	X	R/W	
		D5	PSIO31	割り込みレベル		X		
		D4	PSIO30	X				
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PSIO22	シリアルインタフェースCh.2	0 ~ 7	X	R/W	
		D1	PSIO21	割り込みレベル		X		
D0	PSIO20	X						
キー入力, ポート入力0-3 割り込み イネーブル レジスタ	0040270 (B)	D7-6	—	reserved	—		—	読み出し時: 0
		D5	EK1	キー入力1	1 許可	0 禁止	0	R/W
		D4	EK0	キー入力0			0	R/W
		D3	EP3	ポート入力3			0	R/W
		D2	EP2	ポート入力2			0	R/W
		D1	EP1	ポート入力1			0	R/W
		D0	EP0	ポート入力0			0	R/W
DMA割り込み イネーブル レジスタ	0040271 (B)	D7-5	—	reserved	—		—	読み出し時: 0
		D4	EIDMA	IDMA	1 許可	0 禁止	0	R/W
		D3	EHDM3	高速DMA Ch.3			0	R/W
		D2	EHDM2	高速DMA Ch.2			0	R/W
		D1	EHDM1	高速DMA Ch.1			0	R/W
		D0	EHDM0	高速DMA Ch.0			0	R/W

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈
16bitタイマ0/1 割り込み イネーブル レジスタ	0040272 (B)	D7	E16TC1	16bitタイマ1コンペアA	1 許可	0 禁止	0	R/W	
		D6	E16TU1	16bitタイマ1コンペアB			0	R/W	
		D5-4	—	reserved	—		—	—	読み出し時: 0
		D3	E16TC0	16bitタイマ0コンペアA	1 許可	0 禁止	0	R/W	
		D2	E16TU0	16bitタイマ0コンペアB			0	R/W	
		D1-0	—	reserved	—		—	—	読み出し時: 0
16bitタイマ2/3 割り込み イネーブル レジスタ	0040273 (B)	D7	E16TC3	16bitタイマ3コンペアA	1 許可	0 禁止	0	R/W	
		D6	E16TU3	16bitタイマ3コンペアB			0	R/W	
		D5-4	—	reserved	—		—	—	読み出し時: 0
		D3	E16TC2	16bitタイマ2コンペアA	1 許可	0 禁止	0	R/W	
		D2	E16TU2	16bitタイマ2コンペアB			0	R/W	
		D1-0	—	reserved	—		—	—	読み出し時: 0
16bitタイマ4/5 割り込み イネーブル レジスタ	0040274 (B)	D7	E16TC5	16bitタイマ5コンペアA	1 許可	0 禁止	0	R/W	
		D6	E16TU5	16bitタイマ5コンペアB			0	R/W	
		D5-4	—	reserved	—		—	—	読み出し時: 0
		D3	E16TC4	16bitタイマ4コンペアA	1 許可	0 禁止	0	R/W	
		D2	E16TU4	16bitタイマ4コンペアB			0	R/W	
		D1-0	—	reserved	—		—	—	読み出し時: 0
8bitタイマ0-3 割り込み イネーブル レジスタ	0040275 (B)	D7-6	—	reserved	—		—	—	読み出し時: 0
		D3	E8TU3	8bitタイマ3アンダーフロー	1 許可	0 禁止	0	R/W	
		D2	E8TU2	8bitタイマ2アンダーフロー			0	R/W	
		D1	E8TU1	8bitタイマ1アンダーフロー			0	R/W	
		D0	E8TU0	8bitタイマ0アンダーフロー			0	R/W	
シリアル/IF Ch.0/1 割り込み イネーブル レジスタ	0040276 (B)	D7-6	—	reserved	—		—	—	読み出し時: 0
		D5	ESTX1	SIF Ch.1送信バッファエンブティ	1 許可	0 禁止	0	R/W	
		D4	ESRX1	SIF Ch.1受信バッファフル			0	R/W	
		D3	ESERR1	SIF Ch.1受信エラー			0	R/W	
		D2	ESTX0	SIF Ch.0送信バッファエンブティ			0	R/W	
		D1	ESRX0	SIF Ch.0受信バッファフル			0	R/W	
		D0	ESERR0	SIF Ch.0受信エラー			0	R/W	
		D7-6	—	reserved	—		—	—	読み出し時: 0
ポート入力4-7, 計時タイマ, A/D 割り込みイネー ブルレジスタ	0040277 (B)	D5	EP7	ポート入力7	1 許可	0 禁止	0	R/W	
		D4	EP6	ポート入力6			0	R/W	
		D3	EP5	ポート入力5			0	R/W	
		D2	EP4	ポート入力4			0	R/W	
		D1	ECTM	計時タイマ			0	R/W	
		D0	EADE	A/D変換器			0	R/W	
		D7-6	—	reserved	—		—	—	読み出し時: 0
8bitタイマ4/5 割り込みイネー ブルレジスタ	0040278 (B)	D1	E8TU5	8bitタイマ5アンダーフロー	1 許可	0 禁止	0	R/W	
		D0	E8TU4	8bitタイマ4アンダーフロー			0	R/W	
		D7-6	—	reserved	—		—	—	読み出し時: 0
シリアル/IF Ch.2/3 割り込み イネーブル レジスタ	0040279 (B)	D5	ESTX3	SIF Ch.3送信バッファエンブティ	1 許可	0 禁止	0	R/W	
		D4	ESRX3	SIF Ch.3受信バッファフル			0	R/W	
		D3	ESERR3	SIF Ch.3受信エラー			0	R/W	
		D2	ESTX2	SIF Ch.2送信バッファエンブティ			0	R/W	
		D1	ESRX2	SIF Ch.2受信バッファフル			0	R/W	
		D0	ESERR2	SIF Ch.2受信エラー			0	R/W	
		D7-6	—	reserved	—		—	—	読み出し時: 0
キー入力, ポート入力0-3 割り込み要因 フラグレジスタ	0040280 (B)	D5	FK1	キー入力1	1 要因発生	0 要因なし	X	R/W	
		D4	FK0	キー入力0			X	R/W	
		D3	FP3	ポート入力3			X	R/W	
		D2	FP2	ポート入力2			X	R/W	
		D1	FP1	ポート入力1			X	R/W	
		D0	FP0	ポート入力0			X	R/W	
		D7-6	—	reserved	—		—	—	読み出し時: 0
DMA割り込み 要因フラグ レジスタ	0040281 (B)	D4	FIDMA	IDMA	1 要因発生	0 要因なし	X	R/W	
		D3	FHDM3	高速DMA Ch.3			X	R/W	
		D2	FHDM2	高速DMA Ch.2			X	R/W	
		D1	FHDM1	高速DMA Ch.1			X	R/W	
		D0	FHDM0	高速DMA Ch.0			X	R/W	
		D7-5	—	reserved	—		—	—	読み出し時: 0
16bitタイマ0/1 割り込み 要因フラグ レジスタ	0040282 (B)	D7	F16TC1	16bitタイマ1コンペアA	1 要因発生	0 要因なし	X	R/W	
		D6	F16TU1	16bitタイマ1コンペアB			X	R/W	
		D5-4	—	reserved	—		—	—	読み出し時: 0
		D3	F16TC0	16bitタイマ0コンペアA	1 要因発生	0 要因なし	X	R/W	
		D2	F16TU0	16bitタイマ0コンペアB			X	R/W	
		D1-0	—	reserved	—		—	—	読み出し時: 0

II-5 コアブロック: ITX(割り込みコントローラ)

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
16bitタイマ2/3 割り込み 要因フラグ レジスタ	0040283 (B)	D7	F16TC3	16bitタイマ3コンペアA	1	要因発生	0	要因なし	X	R/W	
		D6	F16TU3	16bitタイマ3コンペアB					X	R/W	
		D5-4	—	reserved	—			—	—	読み出し時: 0	
		D3	F16TC2	16bitタイマ2コンペアA	1	要因発生	0	要因なし	X	R/W	
		D2	F16TU2	16bitタイマ2コンペアB					X	R/W	
		D1-0	—	reserved	—			—	—	読み出し時: 0	
16bitタイマ4/5 割り込み 要因フラグ レジスタ	0040284 (B)	D7	F16TC5	16bitタイマ5コンペアA	1	要因発生	0	要因なし	X	R/W	
		D6	F16TU5	16bitタイマ5コンペアB					X	R/W	
		D5-4	—	reserved	—			—	—	読み出し時: 0	
		D3	F16TC4	16bitタイマ4コンペアA	1	要因発生	0	要因なし	X	R/W	
		D2	F16TU4	16bitタイマ4コンペアB					X	R/W	
		D1-0	—	reserved	—			—	—	読み出し時: 0	
8bitタイマ0-3 割り込み 要因フラグ レジスタ	0040285 (B)	D7-4	—	reserved	—			—	—	読み出し時: 0	
		D3	F8TU3	8bitタイマ3アンダーフロー	1	要因発生	0	要因なし	X	R/W	
		D2	F8TU2	8bitタイマ2アンダーフロー					X	R/W	
		D1	F8TU1	8bitタイマ1アンダーフロー					X	R/W	
		D0	F8TU0	8bitタイマ0アンダーフロー					X	R/W	
シリアル/F Ch.0/1 割り込み 要因フラグ レジスタ	0040286 (B)	D7-6	—	reserved	—			—	—	読み出し時: 0	
		D5	FSTX1	SIF Ch.1送信バッファエンプティ	1	要因発生	0	要因なし	X	R/W	
		D4	FSRX1	SIF Ch.1受信バッファフル					X	R/W	
		D3	FSERR1	SIF Ch.1受信エラー					X	R/W	
		D2	FSTX0	SIF Ch.0送信バッファエンプティ					X	R/W	
		D1	FSRX0	SIF Ch.0受信バッファフル					X	R/W	
		D0	FSERR0	SIF Ch.0受信エラー					X	R/W	
ポート入力4-7, 計時タイマ, A/D 割り込み要因 フラグレジスタ	0040287 (B)	D7-6	—	reserved	—			—	—	読み出し時: 0	
		D5	FP7	ポート入力7	1	要因発生	0	要因なし	X	R/W	
		D4	FP6	ポート入力6					X	R/W	
		D3	FP5	ポート入力5					X	R/W	
		D2	FP4	ポート入力4					X	R/W	
		D1	FCTM	計時タイマ					X	R/W	
		D0	FADE	A/D変換器					X	R/W	
		8bitタイマ4/5 割り込み要因フ ラグレジスタ	0040288 (B)	D7-2					—	reserved	
D1	F8TU5			8bitタイマ5アンダーフロー	1	要因発生	0	要因なし	X	R/W	
D0	F8TU4			8bitタイマ4アンダーフロー					X	R/W	
シリアル/F Ch.2/3 割り込み 要因フラグ レジスタ	0040289 (B)	D7-6	—	reserved	—			—	—	読み出し時: 0	
		D5	FSTX3	SIF Ch.3送信バッファエンプティ	1	要因発生	0	要因なし	X	R/W	
		D4	FSRX3	SIF Ch.3受信バッファフル					X	R/W	
		D3	FSERR3	SIF Ch.3受信エラー					X	R/W	
		D2	FSTX2	SIF Ch.2送信バッファエンプティ					X	R/W	
		D1	FSRX2	SIF Ch.2受信バッファフル					X	R/W	
		D0	FSERR2	SIF Ch.2受信エラー					X	R/W	
ポート入力0-3, 高速DMA Ch.0/1, 16bitタイマ0 IDMAリクエスト レジスタ	0040290 (B)	D7	R16TC0	16bitタイマ0コンペアA	1	IDMA要求	0	割り込み 要求	0	R/W	
		D6	R16TU0	16bitタイマ0コンペアB					0	R/W	
		D5	RHDM1	高速DMA Ch.1					0	R/W	
		D4	RHDM0	高速DMA Ch.0					0	R/W	
		D3	RP3	ポート入力3					0	R/W	
		D2	RP2	ポート入力2					0	R/W	
		D1	RP1	ポート入力1					0	R/W	
		D0	RP0	ポート入力0					0	R/W	
16bitタイマ1-4 IDMAリクエスト レジスタ	0040291 (B)	D7	R16TC4	16bitタイマ4コンペアA	1	IDMA要求	0	割り込み 要求	0	R/W	
		D6	R16TU4	16bitタイマ4コンペアB					0	R/W	
		D5	R16TC3	16bitタイマ3コンペアA					0	R/W	
		D4	R16TU3	16bitタイマ3コンペアB					0	R/W	
		D3	R16TC2	16bitタイマ2コンペアA					0	R/W	
		D2	R16TU2	16bitタイマ2コンペアB					0	R/W	
		D1	R16TC1	16bitタイマ1コンペアA					0	R/W	
		D0	R16TU1	16bitタイマ1コンペアB					0	R/W	
16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAリクエスト レジスタ	0040292 (B)	D7	RSTX0	SIF Ch.0送信バッファエンプティ	1	IDMA要求	0	割り込み 要求	0	R/W	
		D6	RSRX0	SIF Ch.0受信バッファフル					0	R/W	
		D5	R8TU3	8bitタイマ3アンダーフロー					0	R/W	
		D4	R8TU2	8bitタイマ2アンダーフロー					0	R/W	
		D3	R8TU1	8bitタイマ1アンダーフロー					0	R/W	
		D2	R8TU0	8bitタイマ0アンダーフロー					0	R/W	
		D1	R16TC5	16bitタイマ5コンペアA					0	R/W	
		D0	R16TU5	16bitタイマ5コンペアB					0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈		
シリアル/F Ch.1, A/D, ポート 入力4-7 IDMAリクエスト レジスタ	0040293 (B)	D7	RP7	ポート入力7	1	IDMA要求	0	割り込み 要求	0	R/W	
		D6	RP6	ポート入力6					0	R/W	
		D5	RP5	ポート入力5					0	R/W	
		D4	RP4	ポート入力4					0	R/W	
		D3	-	reserved	-		-	-	読み出し時: 0		
		D2	RADE	A/D変換器	1	IDMA要求	0	割り込み 要求	0	R/W	
		D1	RSTX1	SIF Ch.1送信バッファエンブティ					0	R/W	
		D0	RSRX1	SIF Ch.1受信バッファフル					0	R/W	
ポート入力0-3, 高速DMA Ch.0/1, 16bitタイマ0 IDMAイネーブル レジスタ	0040294 (B)	D7	DE16TC0	16bitタイマ0コンペアA	1	IDMA許可	0	IDMA禁止	0	R/W	
		D6	DE16TU0	16bitタイマ0コンペアB					0	R/W	
		D5	DEHDM1	高速DMA Ch.1					0	R/W	
		D4	DEHDM0	高速DMA Ch.0					0	R/W	
		D3	DEP3	ポート入力3					0	R/W	
		D2	DEP2	ポート入力2					0	R/W	
		D1	DEP1	ポート入力1					0	R/W	
		D0	DEP0	ポート入力0					0	R/W	
16bitタイマ1-4 IDMAイネーブル レジスタ	0040295 (B)	D7	DE16TC4	16bitタイマ4コンペアA	1	IDMA許可	0	IDMA禁止	0	R/W	
		D6	DE16TU4	16bitタイマ4コンペアB					0	R/W	
		D5	DE16TC3	16bitタイマ3コンペアA					0	R/W	
		D4	DE16TU3	16bitタイマ3コンペアB					0	R/W	
		D3	DE16TC2	16bitタイマ2コンペアA					0	R/W	
		D2	DE16TU2	16bitタイマ2コンペアB					0	R/W	
		D1	DE16TC1	16bitタイマ1コンペアA					0	R/W	
		D0	DE16TU1	16bitタイマ1コンペアB					0	R/W	
16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAイネーブル レジスタ	0040296 (B)	D7	DESTX0	SIF Ch.0送信バッファエンブティ	1	IDMA許可	0	IDMA禁止	0	R/W	
		D6	DESRX0	SIF Ch.0受信バッファフル					0	R/W	
		D5	DE8TU3	8bitタイマ3アンダーフロー					0	R/W	
		D4	DE8TU2	8bitタイマ2アンダーフロー					0	R/W	
		D3	DE8TU1	8bitタイマ1アンダーフロー					0	R/W	
		D2	DE8TU0	8bitタイマ0アンダーフロー					0	R/W	
		D1	DE16TC5	16bitタイマ5コンペアA					0	R/W	
		D0	DE16TU5	16bitタイマ5コンペアB					0	R/W	
シリアル/F Ch.1, A/D, ポート 入力4-7 IDMAイネーブル レジスタ	0040297 (B)	D7	DEP7	ポート入力7	1	IDMA許可	0	IDMA禁止	0	R/W	
		D6	DEP6	ポート入力6					0	R/W	
		D5	DEP5	ポート入力5					0	R/W	
		D4	DEP4	ポート入力4					0	R/W	
		D3	-	reserved	-		-	-	読み出し時: 0		
		D2	DEADE	A/D変換器	1	IDMA許可	0	IDMA禁止	0	R/W	
		D1	DESTX1	SIF Ch.1送信バッファエンブティ					0	R/W	
		D0	DESRX1	SIF Ch.1受信バッファフル					0	R/W	
高速DMA Ch.0/1 トリガ設定 レジスタ	0040298 (B)	D7	HSD1S3	高速DMA Ch.1トリガ設定	0	ソフトウェアトリガ			0	R/W	
		D6	HSD1S2		1	K51入力(立ち下がりエッジ)			0		
		D5	HSD1S1		2	K51入力(立ち上がりエッジ)			0		
		D4	HSD1S0		3	ポート1入力			0		
					4	ポート5入力			0		
					5	8bitタイマCh.1アンダーフロー					
					6	16bitタイマCh.1コンペアB					
					7	16bitタイマCh.1コンペアA					
					8	16bitタイマCh.5コンペアB					
					9	16bitタイマCh.5コンペアA					
					A	SI/F Ch.1 Rx bufフル					
					B	SI/F Ch.1 Tx bufエンブティ					
					C	A/D変換終了					
					D	FSI/F Ch.0 Rx bufフル					
					E	FSI/F Ch.0 Tx bufエンブティ					
		D3	HSD0S3	高速DMA Ch.0トリガ設定	0	ソフトウェアトリガ			0	R/W	
		D2	HSD0S2		1	K50入力(立ち下がりエッジ)			0		
		D1	HSD0S1		2	K50入力(立ち上がりエッジ)			0		
		D0	HSD0S0		3	ポート0入力			0		
					4	ポート4入力			0		
					5	8bitタイマCh.0アンダーフロー					
					6	16bitタイマCh.0コンペアB					
					7	16bitタイマCh.0コンペアA					
					8	16bitタイマCh.4コンペアB					
					9	16bitタイマCh.4コンペアA					
					A	SI/F Ch.0 Rx bufフル					
					B	SI/F Ch.0 Tx bufエンブティ					
					C	A/D変換終了					
		D	reserved								
		E	reserved								

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
高速DMA Ch.2/3 トリガ設定 レジスタ	0040299 (B)	D7 D6 D5 D4	HSD3S3 HSD3S2 HSD3S1 HSD3S0	高速DMA Ch.3トリガ設定	0 1 2 3 4 5 6 7 8 9 A B C D E	ソフトウェアトリガ K54入力(立ち下がりエッジ) K54入力(立ち上がりエッジ) ポート3入力 ポート7入力 8bitタイマCh.3アンダーフロー 16bitタイマCh.3コンペアB 16bitタイマCh.3コンペアA 16bitタイマCh.5コンペアB 16bitタイマCh.5コンペアA SI/F Ch.1 Rx bufフル SI/F Ch.1 Tx bufエンブティ A/D変換終了 FSI/F Ch.0 Rx bufフル FSI/F Ch.0 Tx bufエンブティ	0 0 0 0	R/W			
		D3 D2 D1 D0	HSD2S3 HSD2S2 HSD2S1 HSD2S0	高速DMA Ch.2トリガ設定	0 1 2 3 4 5 6 7 8 9 A B C D E	ソフトウェアトリガ K53入力(立ち下がりエッジ) K53入力(立ち上がりエッジ) ポート2入力 ポート6入力 8bitタイマCh.2アンダーフロー 16bitタイマCh.2コンペアB 16bitタイマCh.2コンペアA 16bitタイマCh.4コンペアB 16bitタイマCh.4コンペアA SI/F Ch.0 Rx bufフル SI/F Ch.0 Tx bufエンブティ A/D変換終了 reserved reserved	0 0 0 0	R/W			
8bitタイマ4/5 シリアルI/F Ch.2/3 IDMAリクエスト レジスタ	004029B (B)	D7-6	—	reserved	—			—	—	読み出し時: 0	
		D5	RSTX3	SIF Ch.3送信バッファエンブティ	1	IDMA要求	0	割り込み 要求	0		R/W
		D4	RSRX3	SIF Ch.3受信バッファフル					0		R/W
		D3	RSTX2	SIF Ch.2送信バッファエンブティ					0		R/W
		D2	RSRX2	SIF Ch.2受信バッファフル					0		R/W
		D1	R8TU5	8bitタイマ5アンダーフロー					0		R/W
		D0	R8TU4	8bitタイマ4アンダーフロー					0		R/W
8bitタイマ4/5 シリアルI/F Ch.2/3 IDMAイネーブル レジスタ	004029C (B)	D7-6	—	reserved	—			—	—	読み出し時: 0	
		D5	DESTX3	SIF Ch.3送信バッファエンブティ	1	IDMA許可	0	IDMA禁止	0		R/W
		D4	DESRX3	SIF Ch.3受信バッファフル					0		R/W
		D3	DESTX2	SIF Ch.2送信バッファエンブティ					0		R/W
		D2	DESRX2	SIF Ch.2受信バッファフル					0		R/W
		D1	DE8TU5	8bitタイマ5アンダーフロー					0		R/W
		D0	DE8TU4	8bitタイマ4アンダーフロー					0		R/W
フラグセット/リ セット方式選択 レジスタ	004029F (B)	D7-3	—	reserved	—			—	—		
		D2	DENONLY	IDMAイネーブルレジスタ セット方式選択	1	セット オンリー	0	RD/WR	1		R/W
		D1	IDMAONLY	IDMAリクエストレジスタ セット方式選択	1	セット オンリー	0	RD/WR	1		R/W
		D0	RSTONLY	割り込み要因フラグ リセット方式選択	1	リセット オンリー	0	RD/WR	1		R/W
拡張機能用 割り込み プライオリティ レジスタ	00402A0 (B)	D7	—	reserved	—			—	—	読み出し時: 0	
		D6	—	拡張機能	0 ~ 7			X	R/W		
		D5	—	割り込みレベル(reserved)				X			
		D4	—					X			
		D3	—	reserved	—			—	—	読み出し時: 0	
		D2	—	拡張機能	0 ~ 7			X	R/W		
		D1	—	割り込みレベル(reserved)				X			
		D0	—					X			
拡張機能用 割り込み プライオリティ レジスタ	00402A1 (B)	D7	—	reserved	—			—	—	読み出し時: 0	
		D6	—	拡張機能	0 ~ 7			X	R/W		
		D5	—	割り込みレベル(reserved)				X			
		D4	—					X			
		D3	—	reserved	—			—	—	読み出し時: 0	
		D2	—	拡張機能	0 ~ 7			X	R/W		
		D1	—	割り込みレベル(reserved)				X			
		D0	—					X			

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
拡張機能用 割り込み プライオリティ レジスタ	00402A2 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	—	拡張機能	0 ~ 7	X	R/W	
		D5	—	割り込みレベル(reserved)		X		
		D4	—			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	—	拡張機能	0 ~ 7	X	R/W	
		D1	—	割り込みレベル(reserved)		X		
		D0	—			X		
拡張機能用 割り込み プライオリティ レジスタ	00402A3 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	—	拡張機能	0 ~ 7	X	R/W	
		D5	—	割り込みレベル(reserved)		X		
		D4	—			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	—	拡張機能	0 ~ 7	X	R/W	
		D1	—	割り込みレベル(reserved)		X		
		D0	—			X		
拡張機能用 割り込み プライオリティ レジスタ	00402A4 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	—	拡張機能	0 ~ 7	X	R/W	
		D5	—	割り込みレベル(reserved)		X		
		D4	—			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	—	拡張機能	0 ~ 7	X	R/W	
		D1	—	割り込みレベル(reserved)		X		
		D0	—			X		
拡張機能用 割り込み プライオリティ レジスタ	00402A5 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	—	拡張機能	0 ~ 7	X	R/W	
		D5	—	割り込みレベル(reserved)		X		
		D4	—			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	—	拡張機能	0 ~ 7	X	R/W	
		D1	—	割り込みレベル(reserved)		X		
		D0	—			X		
拡張機能用 割り込み イネーブル レジスタ	00402A6 (B)	D7	—	拡張機能割り込み(reserved)	1 許可	0 禁止	0 R/W	1書き込み禁止
		D6	—	拡張機能割り込み(reserved)			0 R/W	
		D5	—	拡張機能割り込み(reserved)			0 R/W	
		D4	—	拡張機能割り込み(reserved)			0 R/W	
		D3	—	拡張機能割り込み(reserved)			0 R/W	
		D2	—	拡張機能割り込み(reserved)			0 R/W	
		D1	—	拡張機能割り込み(reserved)			0 R/W	
		D0	—	拡張機能割り込み(reserved)			0 R/W	
拡張機能用 割り込み イネーブル レジスタ	00402A7 (B)	D7	—	拡張機能割り込み(reserved)	1 許可	0 禁止	0 R/W	1書き込み禁止
		D6	—	拡張機能割り込み(reserved)			0 R/W	
		D5	—	拡張機能割り込み(reserved)			0 R/W	
		D4	—	拡張機能割り込み(reserved)			0 R/W	
		D3	—	拡張機能割り込み(reserved)			0 R/W	
		D2	—	拡張機能割り込み(reserved)			0 R/W	
		D1	—	拡張機能割り込み(reserved)			0 R/W	
		D0	—	拡張機能割り込み(reserved)			0 R/W	
拡張機能用 割り込み イネーブル レジスタ	00402A8 (B)	D7	—	拡張機能割り込み(reserved)	1 許可	0 禁止	0 R/W	1書き込み禁止
		D6	—	拡張機能割り込み(reserved)			0 R/W	
		D5	—	拡張機能割り込み(reserved)			0 R/W	
		D4	—	拡張機能割り込み(reserved)			0 R/W	
		D3	—	拡張機能割り込み(reserved)			0 R/W	
		D2	—	拡張機能割り込み(reserved)			0 R/W	
		D1	—	拡張機能割り込み(reserved)			0 R/W	
		D0	—	拡張機能割り込み(reserved)			0 R/W	
拡張機能用 割り込み 要因フラグ レジスタ	00402A9 (B)	D7	—	拡張機能割り込み(reserved)	1 要因発生	0 要因なし	X R/W	1書き込み禁止
		D6	—	拡張機能割り込み(reserved)			X R/W	
		D5	—	拡張機能割り込み(reserved)			X R/W	
		D4	—	拡張機能割り込み(reserved)			X R/W	
		D3	—	拡張機能割り込み(reserved)			X R/W	
		D2	—	拡張機能割り込み(reserved)			X R/W	
		D1	—	拡張機能割り込み(reserved)			X R/W	
		D0	—	拡張機能割り込み(reserved)			X R/W	

II-5 コアブロック: ITQ(割り込みコントローラ)

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈		
拡張機能用 割り込み 要因フラグ レジスタ	00402AA (B)	D7	—	拡張機能割り込み(reserved)	1	要因発生	0	要因なし	X	R/W	1書き込み禁止
		D6	—	拡張機能割り込み(reserved)					X	R/W	
		D5	—	拡張機能割り込み(reserved)					X	R/W	
		D4	—	拡張機能割り込み(reserved)					X	R/W	
		D3	—	拡張機能割り込み(reserved)					X	R/W	
		D2	—	拡張機能割り込み(reserved)					X	R/W	
		D1	—	拡張機能割り込み(reserved)					X	R/W	
		D0	—	拡張機能割り込み(reserved)					X	R/W	
拡張機能用 割り込み 要因フラグ レジスタ	00402AB (B)	D7	—	拡張機能割り込み(reserved)	1	要因発生	0	要因なし	X	R/W	1書き込み禁止
		D6	—	拡張機能割り込み(reserved)					X	R/W	
		D5	—	拡張機能割り込み(reserved)					X	R/W	
		D4	—	拡張機能割り込み(reserved)					X	R/W	
		D3	—	拡張機能割り込み(reserved)					X	R/W	
		D2	—	拡張機能割り込み(reserved)					X	R/W	
		D1	—	拡張機能割り込み(reserved)					X	R/W	
		D0	—	拡張機能割り込み(reserved)					X	R/W	
拡張機能用 IDMAリクエスト レジスタ	00402AC (B)	D7	—	拡張機能割り込み(reserved)	1	IDMA要求	0	割り込み 要求	0	R/W	1書き込み禁止
		D6	—	拡張機能割り込み(reserved)					0	R/W	
		D5	—	拡張機能割り込み(reserved)					0	R/W	
		D4	—	拡張機能割り込み(reserved)					0	R/W	
		D3	—	拡張機能割り込み(reserved)					0	R/W	
		D2	—	拡張機能割り込み(reserved)					0	R/W	
		D1	—	拡張機能割り込み(reserved)					0	R/W	
		D0	—	拡張機能割り込み(reserved)					0	R/W	
拡張機能用 IDMAリクエスト レジスタ	00402AD (B)	D7	—	拡張機能割り込み(reserved)	1	IDMA要求	0	割り込み 要求	0	R/W	1書き込み禁止
		D6	—	拡張機能割り込み(reserved)					0	R/W	
		D5	—	拡張機能割り込み(reserved)					0	R/W	
		D4	—	拡張機能割り込み(reserved)					0	R/W	
		D3	—	拡張機能割り込み(reserved)					0	R/W	
		D2	—	拡張機能割り込み(reserved)					0	R/W	
		D1	—	拡張機能割り込み(reserved)					0	R/W	
		D0	—	拡張機能割り込み(reserved)					0	R/W	
拡張機能用 IDMAイネーブル レジスタ	00402AE (B)	D7	—	拡張機能割り込み(reserved)	1	IDMA許可	0	IDMA禁止	0	R/W	1書き込み禁止
		D6	—	拡張機能割り込み(reserved)					0	R/W	
		D5	—	拡張機能割り込み(reserved)					0	R/W	
		D4	—	拡張機能割り込み(reserved)					0	R/W	
		D3	—	拡張機能割り込み(reserved)					0	R/W	
		D2	—	拡張機能割り込み(reserved)					0	R/W	
		D1	—	拡張機能割り込み(reserved)					0	R/W	
		D0	—	拡張機能割り込み(reserved)					0	R/W	
拡張機能用 IDMAイネーブル レジスタ	00402AF (B)	D7	—	拡張機能割り込み(reserved)	1	IDMA許可	0	IDMA禁止	0	R/W	1書き込み禁止
		D6	—	拡張機能割り込み(reserved)					0	R/W	
		D5	—	拡張機能割り込み(reserved)					0	R/W	
		D4	—	拡張機能割り込み(reserved)					0	R/W	
		D3	—	拡張機能割り込み(reserved)					0	R/W	
		D2	—	拡張機能割り込み(reserved)					0	R/W	
		D1	—	拡張機能割り込み(reserved)					0	R/W	
		D0	—	拡張機能割り込み(reserved)					0	R/W	
FIFOシリアル I/F Ch.0 割り込み プライオリティ レジスタ	00402B0 (B)	D7	—	reserved	—		—	—	—	—	読み出し時: 0
		D6	PFSIO02	FIFOシリアルインタフェース	0 ~ 7		—	—	X	R/W	
		D5	PFSIO01	Ch.0割り込みレベル			—	—	X	R/W	
		D4	PFSIO00				—	—	X	R/W	
FIFOシリアル I/F Ch.0 割り込み イネーブル レジスタ	00402B1 (B)	D3-0	—	reserved	—		—	—	—	—	読み出し時: 0
		D7-6	—	reserved	—		—	—	—	—	読み出し時: 0
		D5	EFSTX0	FSI/F Ch.0送信バッファエンブティ	1	許可	0	禁止	0	R/W	読み出し時: 0
		D4	EFSRX0	FSI/F Ch.0受信バッファフル					0	R/W	
		D3	EFSERR0	FSI/F Ch.0受信エラー					0	R/W	
		D2-0	—	reserved					—	—	
FIFOシリアル I/F Ch.0 割り込み 要因フラグ レジスタ	00402B2 (B)	D7-6	—	reserved	—		—	—	—	—	読み出し時: 0
		D5	FFSTX0	FSI/F Ch.0送信バッファエンブティ	1	要因発生	0	要因なし	X	R/W	読み出し時: 0
		D4	FFSRX0	FSI/F Ch.0受信バッファフル					X	R/W	
		D3	FFSERR0	FSI/F Ch.0受信エラー					X	R/W	
		D2-0	—	reserved					—	—	
FIFOシリアル I/F Ch.0 IDMAリクエスト レジスタ	00402B3 (B)	D7-4	—	reserved	—		—	—	—	—	読み出し時: 0
		D3	RFSTX0	FSI/F Ch.0送信バッファエンブティ	1	IDMA要求	0	割り込み 要求	0	R/W	読み出し時: 0
		D2	RFSRX0	FSI/F Ch.0受信バッファフル					0	R/W	
		D1-0	—	reserved					—	—	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
FIFOシリアル I/F Ch.0 IDMAイネーブル レジスタ	00402B4 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	DEFSTX0	FSI/F Ch.0送信バッファエンプティ	1 IDMA許可 0 IDMA禁止	0	R/W	
		D2	DEFSRX0	FSI/F Ch.0受信バッファフル		0	R/W	
		D1-0	—	reserved	—	—	—	読み出し時: 0
TTBRレジスタ 書き込み保護 レジスタ	004812D (B)	D7	TBRP7	TTBRレジスタ書き込み保護 01011001(0x59)書き込みによりTTBRレジスタ(0x48134)の書き込み保護を解除 それ以外は書き込み禁止に設定		0	W	読み出し時: 不定
		D6	TBRP6			0		
		D5	TBRP5			0		
		D4	TBRP4			0		
		D3	TBRP3			0		
		D2	TBRP2			0		
		D1	TBRP1			0		
		D0	TBRP0			0		
TTBR 下位レジスタ	0048134 (HW)	DF	TTBR15	トラップテーブル ベースアドレス bit[15:10]		0	R/W	
		DE	TTBR14			0		
		DD	TTBR13			0		
		DC	TTBR12			0		
		DB	TTBR11			0		
		DA	TTBR10			0		
		D9	TTBR09	トラップテーブル ベースアドレス bit[9:0]	0に固定	0	R	読み出し時: 0 1書き込み禁止
		D8	TTBR08			0		
		D7	TTBR07			0		
		D6	TTBR06			0		
		D5	TTBR05			0		
		D4	TTBR04			0		
		D3	TTBR03			0		
		D2	TTBR02			0		
		D1	TTBR01			0		
		D0	TTBR00			0		
TTBR 上位レジスタ	0048136 (HW)	DF	TTBR33	トラップテーブル ベースアドレス bit[31:28]	0に固定	0	R	読み出し時: 0 1書き込み禁止
		DE	TTBR32			0		
		DD	TTBR31			0		
		DC	TTBR30			0		
		DB	TTBR2B	トラップテーブル ベースアドレス bit[27:16]	0x0C0	0	R/W	
		DA	TTBR2A			0		
		D9	TTBR29			0		
		D8	TTBR28			0		
		D7	TTBR27			1		
		D6	TTBR26			1		
		D5	TTBR25			0		
		D4	TTBR24			0		
		D3	TTBR23			0		
		D2	TTBR22			0		
		D1	TTBR21			0		
		D0	TTBR20			0		

以下、各制御レジスタ/ビットの基本機能をまとめて説明します。個々の割り込み系列/要因ごとの内容については、各周辺回路の説明を参照してください。

Pxxx2-Pxxx0: 割り込みプライオリティレジスタ

割り込み系列の優先レベルを0~7の範囲で設定します。

割り込みプライオリティレジスタがPSRのILの値以下に設定されている場合、割り込みは発生しません。イニシャルリセット時、割り込みプライオリティレジスタは不定となります。

Exxx: 割り込みイネーブルレジスタ

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

割り込みイネーブルレジスタのビットを"1"に設定すると対応する割り込みが許可され、"0"に設定すると割り込みが禁止されます。

IDMAの起動要求、スタンバイモードの解除に使用する割り込み要因に対応する割り込みイネーブルレジスタのビットも、割り込み許可に設定しておくことが必要です。

イニシャルリセット時、割り込みイネーブルレジスタは"0"(割り込み禁止)に設定されます。

Fxxx: 割り込み要因フラグ

割り込み要因の発生状態を示します。

- 読み出し時
 - "1"読み出し: 割り込み要因あり
 - "0"読み出し: 割り込み要因なし
- リセットオンリー方式書き込み時(デフォルト)
 - "1"書き込み: 要因フラグをリセット
 - "0"書き込み: 無効
- リード/ライト方式書き込み時
 - "1"書き込み: 要因フラグをセット
 - "0"書き込み: 要因フラグをリセット

割り込み要因フラグは各周辺回路で割り込み要因が発生すると"1"にセットされます。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

なお、割り込み要因をIDMA要求として使用する場合、上記の条件が成立している場合でも、割り込み要因発生時点でCPUに対する割り込み要求は出力されません。IDMAの設定で割り込みを許可してあれば、IDMAによるデータ転送終了後に上記の条件で割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み要因の発生により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。

割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。

イニシャルリセット時、割り込み要因フラグは不定となりますので、必ずソフトウェアでリセットしてください。

Rxxx: IDMAリクエストレジスタ

割り込み要因発生時にIDMAを起動するかどうか設定します。

- セットオンリー方式(デフォルト)
 - "1"書き込み: IDMA要求
 - "0"書き込み: 無効
 - 読み出し: 可能
- リード/ライト方式
 - "1"書き込み: IDMA要求
 - "0"書き込み: 割り込み要求
 - 読み出し: 可能

IDMAリクエストレジスタのビットを"1"に設定すると、対応する割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

IDMAについては"IDMA(インテリジェントDMA)"を参照してください。

IDMA側で割り込み許可に設定され、DMA転送終了時に転送回数カウンタが"0"となった場合、IDMAリクエストレジスタのビットは"0"にリセットされ、IDMAを起動した割り込み要因による割り込み要求が発生します。

イニシャルリセット時、IDMAリクエストレジスタは"0"(割り込み要求)に設定されます。

DExxx: IDMAイネーブルレジスタ

割り込み要因によるIDMA転送を許可または禁止します。

- セットオンリー方式(デフォルト)

"1"書き込み: IDMA許可

"0"書き込み: 無効

読み出し: 可能

- リード/ライト方式

"1"書き込み: IDMA許可

"0"書き込み: IDMA禁止

読み出し: 可能

IDMAイネーブルレジスタのビットを"1"に設定すると、対応する割り込み要因によるIDMAの起動を許可します。"0"に設定するとIDMA起動要求は受け付けられません。

イニシャルリセット時、IDMAイネーブルレジスタは"0"(IDMA禁止)に設定されます。

RSTONLY: 割り込み要因フラグリセット方式選択(D0/0x4029F<フラグセット/リセット方式選択レジスタ>)

割り込み要因フラグのリセット方式を選択します。

"1"書き込み: リセットオンリー方式

"0"書き込み: リード/ライト方式

読み出し: 可能

リセットオンリー方式の場合、割り込み要因フラグは"1"を書き込むことでリセットされます。

"0"を書き込んだ要因フラグはセットもリセットもされません。したがって、特定の要因フラグのみを確実にリセットできます。ただし、リード・モディファイ・ライト命令(bset, bclr, bnot)を使用すると、"1"にセットされた割り込み要因フラグが書き込み時にリセットされますので注意してください。この方式では、ソフトウェアで割り込み要因フラグをセットすることはできません。

リード/ライト方式はRSTONLYに"0"を書き込むことにより設定されます。この方式の場合、割り込み要因フラグは他のレジスタと同様に読み出し/書き込みが許可されます。したがって、"0"を書き込むとリセットされ、"1"を書き込むとセットされます。この場合、"0"を書き込んだ要因フラグがすべてリセットされてしまいます。リード・モディファイ・ライトを行う場合でも、読み出しと書き込みの間に割り込み要因が発生する可能性がありますので注意してください。

イニシャルリセット時、RSTONLYは"1"(リセットオンリー方式)に設定されます。

IDMAONLY: IDMAリクエストレジスタセット方式選択(D1/0x4029F<フラグセット/リセット方式選択レジスタ>)

IDMAリクエストレジスタのセット方式を選択します。

"1"書き込み: セットオンリー方式

"0"書き込み: リード/ライト方式

読み出し: 可能

セットオンリー方式の場合、IDMAリクエストビットは"1"を書き込むことでセットされます。

"0"を書き込んだIDMAリクエストビットはセットもリセットもされません。したがって、特定のIDMAリクエストビットのみを確実にセットできます。リード・モディファイ・ライト命令(bset, bclr, bnot)を使用しても、"1"にセットされたIDMAリクエストビットは書き込み時にリセットされませんので注意してください。

リード/ライト方式はIDMAONLYに"0"を書き込むことにより設定されます。この方式の場合、IDMAリクエストレジスタは他のレジスタと同様に読み出し/書き込みが許可されます。したがって、"0"を書き込むとリセットされ、"1"を書き込むとセットされます。この場合、"0"を書き込んだIDMAリクエストビットがすべてリセットされてしまいます。リード・モディファイ・ライトを行う場合でも、読み出しと書き込みの間にIDMAリクエストビットがハードウェアによってリセットされる可能性がありますので注意してください。

イニシャルリセット時、IDMAONLYは"1"(セットオンリー方式)に設定されます。

DENONLY: IDMAイネーブルレジスタセット方式選択 (D2/0x4029F<フラグセット/リセット方式選択レジスタ>)
IDMAイネーブルレジスタのセット方式を選択します。

"1"書き込み: セットオンリー方式

"0"書き込み: リード/ライト方式

読み出し: 可能

セットオンリー方式の場合、IDMAイネーブルビットは"1"を書き込むことでセットされます。

"0"を書き込んだIDMAイネーブルビットはセットもリセットもされません。したがって、特定のIDMAイネーブルビットのみを確実にセットできます。リード・モディファイ・ライト命令(bset, bclr, bnot)を使用しても、"1"にセットされたIDMAイネーブルビットは書き込み時にリセットされませんので注意してください。

リード/ライト方式はDENONLYに"0"を書き込むことにより設定されます。この方式の場合、IDMAイネーブルレジスタは他のレジスタと同様に読み出し/書き込みが許可されます。したがって、"0"を書き込むとリセットされ、"1"を書き込むとセットされます。この場合、"0"を書き込んだIDMAイネーブルビットがすべてリセットされてしまいます。リード・モディファイ・ライトを行う場合でも、読み出しと書き込みの間にIDMAイネーブルビットがハードウェアによってリセットされる可能性がありますので注意してください。

イニシャルリセット時、DENONLYは"1"(セットオンリー方式)に設定されます。

TBRP7-TBRP0: TTBRレジスタ書き込み保護 (D[7:0]/0x4812D<TTBRレジスタ書き込み保護レジスタ>)
TTBRレジスタの書き込み保護を解除します。

0x59書き込み: 書き込み保護解除

上記以外の書き込み: ノーオペレーション(書き込み保護)

読み出し: 可能

TTBRレジスタに書き込みを行う場合は、その前にTBRPを0x59に設定し、書き込み保護を解除してください。その後、TTBRの最上位バイト(0x48137)にデータが書き込まれると書き込み禁止状態に戻ります。

イニシャルリセット時、TBRPレジスタは0x0(書き込み保護)に設定されます。

TTBR09-TTBR00: トラップテーブルベースアドレスbit[9:0](D[9:0]/0x48134[HW]<TTBR下位レジスタ>)
TTBR15-TTBR10: トラップテーブルベースアドレスbit[15:10](D[F:A]/0x48134[HW]<TTBR下位レジスタ>)
TTBR2B-TTBR20: トラップテーブルベースアドレスbit[27:16](D[B:0]/0x48136[HW]<TTBR上位レジスタ>)
TTBR33-TTBR30: トラップテーブルベースアドレスbit[31:28](D[F:C]/0x48136[HW]<TTBR上位レジスタ>)

トラップテーブル先頭アドレスを設定します。TTBR0とTTBR3は読み出し専用で"0"に固定されます。このため、トラップテーブルの先頭アドレスは常に1KB境界アドレスから始まります。

なお、TTBRレジスタは誤って書き換えられることのないように、通常は書き込み禁止状態に置かれ、この書き込み保護機能を解除するためにTTBRレジスタ書き込み保護レジスタTBRP(D[7:0]/0x4812D[Byte])が用意されています。TBRPレジスタに0x59を書き込むとTTBRレジスタへの書き込みが許可され、TTBRレジスタの最上位バイト(0x48137)への書き込みにより書き込み禁止状態に戻ります。したがって、TTBRレジスタへの書き込みは下位ハーフワードから先に行うことが必要です。ただし、下位と上位ハーフワードの書き込みの間にNMI等が発生すると誤動作しますので、ワード書き込みを推奨します。

イニシャルリセット後、TTBRレジスタは0x0C00000番地に設定されます。

プログラミング上の注意事項

- (1)スタンバイモードからの再起動用の割り込み要因がIDMAを起動するように設定されている場合、その割り込みによりIDMAが起動します。SLEEPモードの場合は高速(OSC3)発振回路も発振を開始します。ただし、IDMA側の設定でIDMA終了後の割り込みが禁止されていると、CPUへの割り込み要求信号が発生しないため、CPUは動作を停止したままとなり次の割り込み要求が発生するまで動作を開始しません。
- (2)C33 STDコアCPUの機能としては、ILによって割り込みレベルを0～15の16種類に設定可能です。ただし、本割り込みコントローラでは割り込みプライオリティレジスタが3ビットのため、各割り込み系列の割り込みレベルを8以上に設定することはできません。
- (3)リセットオンリー方式で割り込み要因フラグをリセットする("1"を書き込む)場合、リード・モディファイ・ライト命令(bset, bclr, bnot)を使用すると、同じアドレスで"1"にセットされた他の割り込み要因フラグが書き込み時にリセットされますので注意してください。リード/ライト方式でリセットする("0"を書き込む)場合、"0"を書き込んだ要因フラグがすべてリセットされてしまいます。リード・モディファイ・ライトを行うと、読み出しと書き込みの間に割り込み要因が発生する可能性がありますので注意してください。
また、IDMAリクエストレジスタ、IDMAイネーブルレジスタのセットオンリー方式、リード/ライト方式についても同様の注意が必要です。
- (4)イニシャルリセット後、割り込み要因フラグおよび割り込みプライオリティレジスタは不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。
- (5)割り込み発生後は、同じ要因による割り込みの再発生を防止するため、割り込みを許可、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。

II

ITC

このページはブランクです。

II-6 CLG(クロックジェネレータ)

この章では、システムクロックの制御方法について説明します。

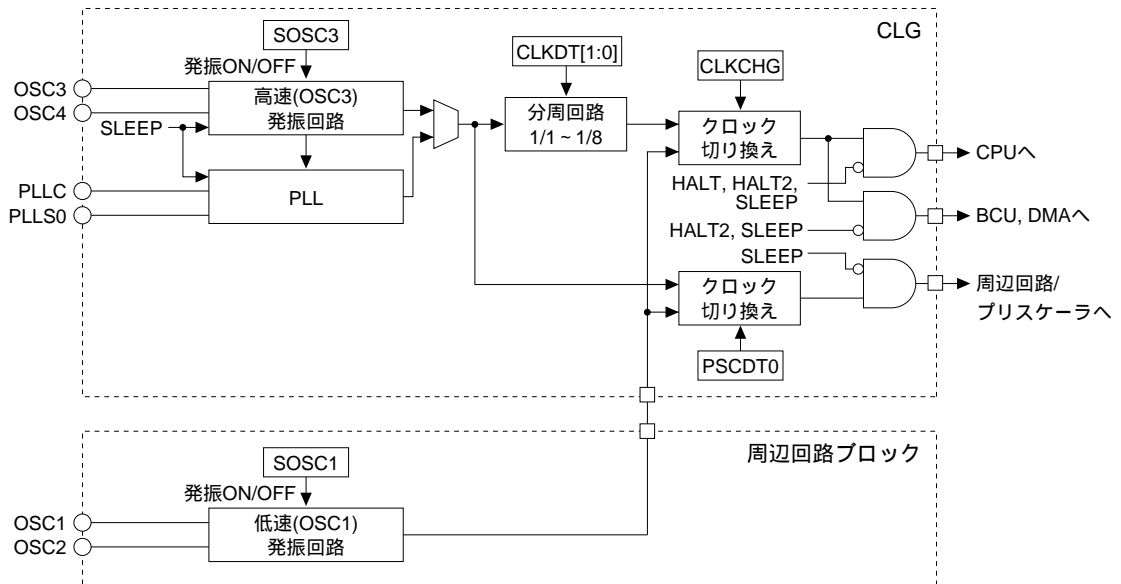
クロックジェネレータの構成

C33コアブロックは、高速発振回路(OSC3)とPLLで構成されるクロックジェネレータを内蔵しています。高速(OSC3)発振回路はCPUと内蔵周辺回路(DMA、シリアルインタフェース、プログラマブルタイマ、A/D変換器等)用のメインクロックを発生します。

また、クロックジェネレータは、周辺回路ブロックで生成される低速(OSC1)クロック(32.768kHz Typ.)などのサブクロックを入力することができます。このサブクロックは計時タイマ用および省電力化のためにCPUを低速動作させるクロックとして使用可能です。

注: 低速(OSC1)発振回路を含む周辺回路ブロックを搭載すると、CPUと内蔵周辺回路(シリアルインタフェース、プログラマブルタイマ、A/D変換器等)用のソースクロックがOSC3とOSC1から選択できます。詳細は、本章の"CPU動作クロックの設定と切り換え"、周辺回路ブロックの"プリスケアラ"および"低速(OSC1)発振回路"を参照してください。

図II.6.1にクロックジェネレータの構成を示します。



図II.6.1 クロックジェネレータの構成

イニシャルリセット後は、高速(OSC3)発振回路の出力(OSC3クロック)あるいはPLLの出力がCPUの動作クロックに設定されます。

低速(OSC1)発振回路を搭載すると、CPUの動作クロックはプログラムによって低速(OSC1)発振回路の出力(OSC1クロック)に切り換えることができます。また、各発振回路をプログラムによって停止させることもできます。

計時処理等のOSC3クロックが不要な場合は消費電流を低減させるため、OSC1クロックをCPUの動作クロックに設定し、高速(OSC3)発振回路を停止させてください。また、SLEEPモードに設定すると高速(OSC3)発振回路が停止し、消費電流が大幅に低減できます(計時タイマ以外の動作が不要な場合)。

クロックジェネレータの入出力端子

表II.6.1に発振回路の入出力端子を示します。

表II.6.1 クロックジェネレータの入出力端子

端子名	I/O	機 能
OSC3	I	高速(OSC3)発振入力端子: 水晶/セラミック発振または外部クロック入力
OSC4	O	高速(OSC3)発振出力端子: 水晶/セラミック発振(外部クロック入力時は開放)
PLL	-	PLL用コンデンサ接続端子
PLLS0	I	PLLモード設定端子 0: PLL未使用, 1: 2通倍モード

高速(OSC3)発振回路

高速(OSC3)発振回路はCPUと内蔵周辺回路(DMA、シリアルインタフェース、プログラマブルタイマ、A/D変換器等)用のメインクロックを発生します。

水晶発振回路またはセラミック発振回路として使用可能です。また、外部よりクロックを入力することもできます。

図II.6.2に高速(OSC3)発振回路の構造を示します。



図II.6.2 高速(OSC3)発振回路

水晶またはセラミック発振回路として使用する場合は、図II.6.2(1)のように水晶(X'tal2)またはセラミック(Ceramic)振動子、帰還抵抗(Rf)、2つのコンデンサ(Cg2、Cd2)および必要に応じてドレイン抵抗(Rd)を、OSC3とOSC4端子およびVssに接続してください。

外部クロックを使用する場合はOSC4端子を開放し、矩形波のクロックをOSC3端子に入力してください。

発振周波数の範囲は、内蔵発振回路使用時は5MHz ~ 33MHz、外部クロック入力時は2MHz ~ 33MHzです。

発振特性と外部クロックの入力特性については"電氣的特性"を参照してください。

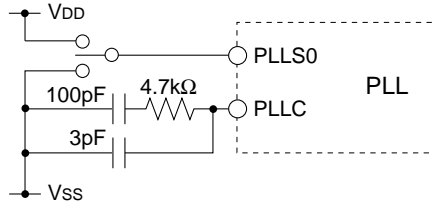
PLL

PLLは高速(OSC3)クロックを入力し、その周波数を通倍します。通倍モードは、OSC3発振周波数に合わせ、PLLS0端子で設定可能です。

表II.6.2 PLLS0端子の設定

PLLS0	モード	fin (OSC3クロック)	fout
1	2通倍	15~25MHz	30~50MHz
0	PLL未使用	—	未使用

図II.6.3にPLL用端子の基本外部結線図を示します。



図II.6.3 PLL使用時の基本外部結線図

注: PLLを使用しない場合は、OSC3発振出力がクロックとして使用されます。この場合の発振周波数範囲は15MHz~25MHzです。PLLC端子はオープンとしてください。

発振の制御

高速(OSC3)発振回路は、パワーコントロールレジスタ(0x40180)のSOSC3(D1)によって発振のON/OFFが制御できます。

SOSC3に"0"を書き込むと高速(OSC3)発振回路が停止し、"1"を書き込むと発振を再開します。

イニシャルリセット時、SOSC3は"1"に設定され、高速(OSC3)発振回路はONとなります。

注: • CPUの動作クロック原振に高速(OSC3)発振回路を使用している場合は、高速(OSC3)発振回路を停止させることはできません。その場合のSOSC3への"0"書き込みは無効です。また、パワーコントロールレジスタ保護フラグが0b10010110に設定されている場合にのみ、SOSC3への書き込みが行えます。

- 発振回路をONにした直後は、発振が安定するまである程度の時間を要します(3.3V系水晶振動子の場合で最大10ms)。誤動作を防止するため、発振が安定するまではそのクロックを使用しないでください。

高速(OSC3)発振回路はSLEEP時にも停止します。

CPU動作クロックの設定と切り換え

CPU動作周波数の設定

CPUを高速(OSC3)クロックで動作させる場合、動作周波数を4段階に切り換えることができます。この切り換えは、パワーコントロールレジスタ(0x40180)のCLKDT[1:0](D[7:6])によって行います。

表II.6.3 CPU動作クロックの設定

CLKDT1	CLKDT0	分周比
1	1	fout/8
1	0	fout/4
0	1	fout/2
0	0	fout/1

fout: PLL出力周波数

ここで設定したクロックがシステムクロックとなり、CPUの動作クロックおよびバスクロックとして使用されます。

イニシャルリセット時はfout/1に設定され、高速(OSC3)発振クロックで直接動作します。

CPUの動作速度を落とすことで消費電流を低減できますので、必要に応じて切り換えてください。

この設定は高速(OSC3)クロックに対してのみ有効で、低速(OSC1)クロックをシステムクロックとして使用する場合は無効です。

注: CLKDT[1:0]への書き込みは、パワーコントロールレジスタ保護フラグが0b10010110に設定されている場合にのみ有効です。

CPU動作クロックの切り換え

注: CPU動作クロックの切り換え(OSC3 → OSC1)は、周辺回路ブロックの低速(OSC1)発振回路を使用している場合にのみ可能です。

イニシャルリセット後、CPUはOSC3クロックにより動作を開始します。内蔵周辺回路もすべて動作します。

周辺回路(プログラマブルタイマ、シリアルインタフェース、A/D変換器、ポート等)の動作が不要、もしくは低速動作で処理可能な場合でCPUも低速動作で処理可能なときは、CPUの動作クロックをOSC1クロックに切り換えて消費電流を低減させることができます。この動作クロックの切り換えは、パワーコントロールレジスタ(0x40180)のCLKCHG(D2)によって行います。

OSC3クロックからOSC1クロックへの切り換え手順

1. 低速(OSC1)発振回路をON(SOSC1に"1"を書き込み)
 2. OSC1発振が安定するまで(3秒以上)ウェイト
 3. CPU動作クロックの切り換え(CLKCHGに"0"を書き込み)
 4. 高速(OSC3)発振回路をOFF(SOSC3に"0"を書き込み)
- 1と2は低速(OSC1)発振回路が停止している場合にのみ必要です。

注: • OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々の命令で行ってください。1命令で同時に処理すると、CPUの誤動作につながります。

- プログラマブルタイマ、A/D変換器、シリアルインタフェースなどの周辺回路を動作させている場合、誤動作を防止するためOSC3発振を停止する前に動作を終了させるか、あるいはプリスケアラックをOSC1に設定してください。なお、誤動作を防止するため、プリスケアラの設定はCPUクロックの変更前に行ってください。

OSC1クロックからOSC3クロックへの切り換え手順

1. 高速(OSC3)発振回路をON(SOSC3に"1"を書き込み)
2. OSC3発振が安定するまで(3.3V系水晶振動子の場合10ms以上)ウェイト
3. CPU動作クロックの切り換え(CLKCHGに"1"を書き込み)

注: CLKCHGによる動作クロックの切り換えは、発振回路が両方ともONしている場合で、パワーコントロールレジスタ保護フラグが0b10010110に設定されている場合にのみ有効です。

パワーコントロールレジスタ保護フラグ

発振回路とCPU動作クロックの制御を行うアドレス0x40180のパワーコントロールレジスタは、不要な書き込みによる誤動作を防止するため、通常は書き込み禁止状態となっています。

書き込み可能な状態にするには、パワーコントロールレジスタ保護レジスタ(0x4019E)のCLGP[7:0](D[7:0])に0b10010110を設定する必要があります。なお、この設定はパワーコントロールレジスタ(0x40180)への1回の書き込みのみを許可し、書き込みが行われるとCLGP[7:0]のすべてのビットが"0"にクリアされます。したがって、パワーコントロールレジスタ(0x40180)への書き込みを行う場合は、その都度CLGP[7:0]に0b10010110を設定してください。

CLGP[7:0]は、パワーコントロールレジスタ(0x40180)の読み出しには影響を与えません。

スタンバイモード時の動作

halt命令の実行により設定されるHALTモードでは、高速(OSC3)発振回路および低速(OSC1)発振回路はHALTモードへ移行する前の状態を保持します。したがって、HALTモードへの移行前および解除後に発振回路を制御する必要は特にありません。

slp命令の実行により設定されるSLEEPモードの場合、SLEEP状態へ移行すると高速(OSC3)発振回路が動作を停止します。SLEEPモードへの移行前に高速(OSC3)発振回路が動作していた場合は、SLEEPモードが解除されると発振を再開します。

また、SLEEPモードへの移行前にCPUがOSC3クロックで動作していた場合は、SLEEP解除後もCPUはOSC3クロックによって動作を再開します。高速(OSC3)発振回路は発振開始から発振が安定するまでに時間を要します。また、PLLを使用する場合はロックアップ時間が必要です。C33コアブロックではこの間のCPUの再起動による誤動作を防止するため、SLEEP解除後はCPUに対するクロックの供給をハードウェアによって禁止できるようになっています。この機能はクロックオプションレジスタ(0x40190)の8T1ON(D2)によって選択します。クロック供給を開始するまでの待ち時間は、8ビットプログラマブルタイマ1によって設定します。

この機能を使用した処理手順と動作を以下に示します。

1. 8ビットプログラマブルタイマ1の割り込みを禁止
2. 8ビットプログラマブルタイマ1にカウンタ初期値をプリセット
余裕を持った安定待ち時間となるように値を設定してください。プリスケラによる8ビットプログラマブルタイマ1入力クロックの設定も必要です。
3. SLEEPモードの解除に使用する割り込みを許可
割り込みを許可する前に、必ず割り込み要因フラグをリセットしてください。
4. 8T1ONに"0"書き込み(SLEEP解除後の発振安定待ち機能をON)
5. 8ビットプログラマブルタイマ1のカウントをスタート
6. slp命令によってSLEEPモードに移行
:
SLEEPモード
:
7. NMI、入力ポートまたは計時タイマ割り込みによりSLEEPモードを解除
8. SLEEPモードの解除により、高速(OSC3)発振回路が発振を開始
OSC3クロックにより8ビットプログラマブルタイマ1もカウントを開始します。
9. 8ビットプログラマブルタイマ1にアンダーフローが発生
アンダーフロー信号によりCPUへの動作クロックの供給を開始し、CPUが再起動します。

8ビットプログラマブルタイマ、プリスケラ、割り込みの制御方法については、それぞれの説明を参照してください。

注: 8T1ONによる高速(OSC3)発振安定待ち機能はSLEEPモード解除時にのみ有効です。

8T1ONへの書き込みは、パワーコントロールレジスタ保護フラグが0b10010110に設定されている場合にのみ有効です。

クロックジェネレータのI/Oメモリ

表II.6.4にクロックジェネレータの制御ビットを示します。

表II.6.4 クロックジェネレータの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
パワー コントロール レジスタ	0040180 (B)	D7	CLKDT1	システムクロック分周比選択	CLKDT[1:0]		分周比	0	R/W		
		D6	CLKDT0		1	1	1/8	0			
					1	0	1/4				
					0	1	1/2				
					0	0	1/1				
		D5	PSCON	プリスケアラOn/Off制御	1	On	0	Off	1	R/W	
		D4-3	—	reserved	—			0	—	1書き込み禁止	
		D2	CLKCHG	CPU動作クロック切り換え	1	OSC3	0	OSC1	1	R/W	
	D1	SOSC3	高速(OSC3)発振On/Off制御	1	On	0	Off	1	R/W		
	D0	SOSC1	低速(OSC1)発振On/Off制御	1	On	0	Off	1	R/W		
プリスケアラ クロック選択 レジスタ	0040181 (B)	D7-1	—	reserved	—			0	—		
		D0	PSCDT0	プリスケアラクロック選択	1	OSC1	0	OSC3/PLL	0		R/W
クロック オプション レジスタ	0040190 (B)	D7-4	—	—	—			—	—	読み出し時: 0	
		D3	HLT2OP	HALTクロックオプション	1	On	0	Off	0	R/W	
		D2	8T1ON	高速(OSC3)発振待ち時間On	1	Off	0	On	1	R/W	
		D1	—	reserved	—			0	—	1書き込み禁止	
		D0	PF1ON	OSC1外部出力On/Off制御	1	On	0	Off	0	R/W	
パワー コントロール レジスタ 保護レジスタ	004019E (B)	D7	CLGP7	パワーコントロールレジスタ 保護フラグ	10010110(0x96)書き込みにより パワーコントロールレジスタ (0x40180)、クロックオプション レジスタ(0x40190)の書き込み保 護を解除 それ以外は書き込み禁止に設定			0	R/W		
		D6	CLGP6					0			
		D5	CLGP5					0			
		D4	CLGP4					0			
		D3	CLGP3					0			
		D2	CLGP2					0			
		D1	CLGP1					0			
		D0	CLGP0					0			

SOSC1: 低速 OSC1 発振制御(D0/0x40180<パワーコントロールレジスタ>)

低速 OSC1 発振回路の発振ON/OFFを制御します。

"1"書き込み: OSC1発振ON

"0"書き込み: OSC1発振OFF

読み出し: 可能

SOSC1に"0"を書き込むことにより低速 OSC1 発振回路が発振を停止し、"1"の書き込みで発振を再開します。発振を再開後は、発振が安定するまで標準動作条件で最大3秒の時間を要しますので、OSC1クロックはそれ以上の時間が経過後に使用してください。

SOSC1への書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。また、OSC1クロックでCPUが動作している場合は、"0"の書き込みは無効となり発振を停止しません。

イニシャルリセット時、SOSC1は"1"(OSC1発振ON)に設定されます。

注: この制御ビットは周辺回路ブロックの低速 OSC1 発振回路を使用している場合にのみ有効です。

SOSC3: 高速 OSC3 発振制御(D1/0x40180<パワーコントロールレジスタ>)

高速 OSC3 発振回路の発振ON/OFFを制御します。

"1"書き込み: OSC3発振ON

"0"書き込み: OSC3発振OFF

読み出し: 可能

SOSC3に"0"を書き込むことにより高速 OSC3 発振回路が発振を停止し、"1"の書き込みで発振を再開します。発振を再開後は、発振が安定するまで最大10msec(3.3V系水晶振動子、標準動作条件の場合)の時間を要しますので、OSC3クロックはそれ以上の時間が経過後に使用してください。

SOSC3への書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。また、OSC3クロックでCPUが動作している場合は、"0"の書き込みは無効となり発振を停止しません。

イニシャルリセット時、SOSC3は"1"(OSC3発振ON)に設定されます。

CLKCHG: CPU動作クロック切り換え(D2/0x40180<パワーコントロールレジスタ>)

CPUの動作クロックを選択します。

"1"書き込み: OSC3クロック

"0"書き込み: OSC1クロック

読み出し: 可能

CPUの動作クロックはCLKCHGに"1"を書き込んだ場合OSC3、"0"を書き込んだ場合OSC1となります。高速(OSC3)発振回路および低速(OSC1)発振回路が共にONの場合にのみ動作クロックの切り換えが行えます。また、CLKCHGへの書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。発振回路が発振を開始した直後は、発振が安定するまでCPUの動作クロックの切り換えは行わないでください。

イニシャルリセット時、CLKCHGは"1"(OSC3クロック)に設定されます。

注: この制御ビットは周辺回路ブロックの低速(OSC1)発振回路を使用している場合にのみ有効です。

CLKDT1–CLKDT0: CPU動作周波数選択(D[7:6]/0x40180<パワーコントロールレジスタ>)

CPUの動作クロック周波数を選択します。

表II.6.5 CPU動作クロックの設定

CLKDT1	CLKDT0	分周比
1	1	fout/8
1	0	fout/4
0	1	fout/2
0	0	fout/1

fout: PLL出力周波数

この設定は高速(OSC3)クロックで動作させる場合に有効で、低速(OSC1)クロックには無効です。CLKDT[1:0]への書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。

イニシャルリセット時、CLKDTは"0"(fout/1)に設定されます。

PSCDT0: プリスケラクロック選択(D0/0x40181<プリスケラクロック選択レジスタ>)

プリスケラの原振クロックを選択します。

"1"書き込み: OSC1クロック

"0"書き込み: OSC3クロック/PLL出力クロック

読み出し: 可能

PSCDT0に"1"を書き込むことによりOSC1クロック(32kHz Typ.)に設定されます。

"0"を書き込むと、OSC3クロック(PLL未使用時)またはPLL出力クロック(PLL使用時)に設定されます。

プリスケラクロックには、CPU動作クロックと同じクロック源を設定してください。

イニシャルリセット時、PSCDT0は"0"(OSC3クロック/PLL出力クロック)に設定されます。

8T1ON: 高速(OSC3)発振待ち機能設定(D2/0x40190<クロックオプションレジスタ>)

SLEEP解除後の高速(OSC3)発振待ち機能を設定します。

"1"書き込み: OFF

"0"書き込み: ON

読み出し: 可能

8T1ONに"0"を書き込むことにより、SLEEP解除後の高速(OSC3)発振待ち機能が有効となります。この機能を使用する場合は、SLEEP状態への移行前に8ビットプログラマブルタイム1に待ち時間を設定し、カウント動作を開始させておくことが必要です。SLEEP解除後は、8ビットプログラマブルタイム1がアンダーフローするまでOSC3クロックはCPUには供給されません。8T1ONが"1"に設定されている場合、この機能は働きます。高速(OSC3)発振待ち機能はSLEEP解除時のみ有効です。

8T1ONへの書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。

8T1ONへの書き込みを行う場合は、クロックオプションレジスタ(0x40190)の予約(reserved)ビット(D1)には必ず"0"を書き込んでください。

イニシャルリセット時、8T1ONは"1"(OFF)に設定されます。

HLT2OP: HALTクロックオプション(D3/0x40190<クロックオプションレジスタ>)

HALTモード時の状態(基本モードとHALT2モード)を選択します。

"1"書き込み: HALT2モード

"0"書き込み: 基本モード

読み出し: 可能

HALTモード時の状態は、HLT2OPに"1"を書き込むとHALT2モード、"0"を書き込むと基本モードになります。

HLT2OPへの書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。

イニシャルリセット時、HLT2OPは"0"(基本モード)に設定されます。

HALTモード(基本モードとHALT2モード)、SLEEPモードの動作状態は以下のとおりです。

表II.6.6 スタンバイモードの動作状態

スタンバイモード		動作状態	再起動
HALTモード	基本モード	<ul style="list-style-type: none"> • CPUクロック停止(CPU停止) • BCUへのクロック非停止(BCU非停止) • DMAクロック非停止(DMA非停止) • 周辺回路へのクロックはHALTモードに移行する直前の状態を継続(停止/非停止) • 高速発振回路はHALTモードに移行する直前の状態を継続 • 低速発振回路はHALTモードに移行する直前の状態を継続 	<ul style="list-style-type: none"> • リセット、NMI • マスクされていない割り込み要因の発生
	HALT2モード	<ul style="list-style-type: none"> • CPUクロック停止(CPU停止) • BCUへのクロック停止(BCU停止) • DMAへのクロック停止(DMA停止) • 周辺回路へのクロックはHALTモードに移行する直前の状態を継続(停止/非停止) • 高速発振回路はHALTモードに移行する直前の状態を継続 • 低速発振回路はHALTモードに移行する直前の状態を継続 	<ul style="list-style-type: none"> • リセット、NMI • マスクされていない割り込み要因の発生 <p>ただし、周辺回路からの割り込みによって再起動させるには、その周辺回路に動作クロックが供給されている必要があります(クロックが停止していないことが条件)。</p>
SLEEPモード		<ul style="list-style-type: none"> • CPUクロック停止(CPU停止) • BCUへのクロック停止(BCU停止) • 周辺回路へのクロックは停止 • 高速発振回路は停止 • 低速発振回路はSLEEPモードに移行する直前の状態を継続 	<ul style="list-style-type: none"> • リセット、NMI • マスクされていない入力ポートからの割り込み • 低速発振回路が動作しているときの計時タイマからの割り込み

CLGP7-CLGP0: パワーコントロールレジスタ保護フラグ

([D[7:0]/0x4019E<パワーコントロールレジスタ保護レジスタ>)

パワーコントロールレジスタ(0x40180)とクロックオプションレジスタ(0x40190)の書き込み保護を解除します。

0b10010110書き込み: 書き込み保護解除

上記以外の書き込み: ノーオペレーション(書き込み保護)

読み出し: 可能

パワーコントロールレジスタ(0x40180)またはクロックオプションレジスタ(0x40190)に書き込みを行う場合は、その前にCLGP[7:0]を0b10010110に設定し、書き込み保護を解除してください。この解除は上記いずれかのアドレスに対する1回の書き込みのみに有効で、書き込みが行われると0b00000000にクリアされます。したがって、書き込みの都度CLGP[7:0]を再設定する必要があります。

イニシャルリセット時、CLGPは0b00000000(書き込み保護)に設定されます。

プログラミング上の注意事項

- (1) 高速(OSC3)発振回路をONにした直後は、発振が安定するまである程度の時間を要します。誤動作を防止するため、発振が安定するまではそのクロックを使用しないでください。
特にOSC3クロックでCPUが動作中にSLEEPモードに設定した場合は、SLEEP中に高速(OSC3)発振回路が停止し、SLEEP解除により発振を再開します。不安定なOSC3クロックによるCPUの再起動で誤動作しないように、8ビットプログラマブルタイマ1に余裕を持った安定待ち時間を設定し、SLEEP解除時の発振安定待ち機能をONにしてからSLEEPモードへ移行してください。
- (2) CPUの動作クロックに使用している発振回路を停止させることはできません。
- (3) CPU動作クロックの切り換えは、OSC3とOSC1発振回路が両方ともONしている場合にのみ可能です。
また、CPU動作クロックの切り換え後に不要となった発振回路をOFFする場合、切り換えと発振OFFは命令を分けて行ってください。1命令で同時に処理すると、CPUの誤動作につながります。
- (4) 高速(OSC3)発振回路をOFFにした場合、OSC3クロックで動作している周辺回路はすべて停止します。
- (5) 消費電流を低減させるため、OSC3クロックが不要な場合はOSC1クロックでCPUを動作させ、高速(OSC3)発振回路をOFFしてください。
- (6) HALTモードではDMAとBCUのクロックが動作しているため、クロックオプションレジスタHLT2OP (0x40190のD3)が"0"のとき(HALT2モードではなく、HALTモードの場合)に次の動作を行うと、その動作は予測できない誤動作になります。
halt命令を実行後、CPUが停止している状態でDMAのトリガが発生しDMAが動作すると誤動作になります。HALTモード時は、DMAが動作しないようにしてください。
HALT2モードでは、DMAとBCUのクロックが停止するためDMAは起動しません。
- (7) SLEEPモードでは発振回路のクロックが停止します。HALT2モードの場合、周辺回路へのクロック供給はHALT2モードへの移行前の状態(クロックの停止/非停止)を継続します。
この状態から再起動するトリガとしてポートからの割り込み入力が使えます。この場合、割り込み条件としてエッジ割り込みを設定している場合でも割り込みは入力信号のレベルで発生します。
再起動は、立ち上がりとしち下がりでは次のように動作します。
立ち上がりエッジ割り込み設定時: Highレベル入力で再起動する。
立ち下がりエッジ割り込み設定時: Lowレベル入力で再起動する。

slp命令実行後、立ち下がりエッジ割り込みで再起動と設定した場合は、次のように動作します。
slp命令実行時に割り込みポートのレベルがすでにLowレベルの場合は、一瞬だけSLEEP状態になり、すぐに再起動します。slp命令実行時に割り込みポートのレベルがHighレベルの場合は、ポート入力Lowに変化するまでSLEEP状態が保持されます。
したがって、SLEEP状態またはHALT2状態からのポート入力割り込みによる再起動は、入力レベルで行われることを前提にシステム設計してください。
- (8) パワーコントロールレジスタ(0x40180)のCLKDTC[1:0][D[7:6]]によりOSC3クロックを1/2、1/4、または1/8に分周してCPUの動作クロック(CPU_CLK)として使用する場合、S5U1C33000H(In-Circuit Debugger for S1C33 Family)を接続してデバッグモードに入ると、分周比が1/1に自動的に切り換わり、出力されるCPU_CLKの周波数が想定した値を超えることがあります。これはCPU以外にもCPU_CLKを原振とするBCLK端子の出力クロックに影響しますので、BCUやBCLKに接続されているデバイスのアクセス速度や動作保証範囲を超えてしまった場合、正しく動作しなくなることがあります(プログラムの動作だけではなく、デバッグを使用したメモリダンプなどにも影響します)。
このため、デバッグ時はデバッグでBCUレジスタのウェイト数や他のパラメータを変更するなど、分周比が1/1でも問題が発生しないような対策を講じてください。
- (9) クロック源としてOSC3またはPLL出力を使用し、かつ、パワーコントロールレジスタ(0x40180)のCLKDTC[1:0][D[7:6]]の設定により1/2、1/4、または1/8に分周したクロックを基準クロック(CPU動作クロック)として用いる場合は、周辺回路に供給されるクロックが基準クロックより低い周波数となるようにプリスケールを設定してください。周辺回路に供給されるクロックの周波数が基準クロックと同じかそれより高い場合、周辺回路は正常に動作しません。

このページはblankです。

II-7 パワーダウン制御

ここでは、省電力化のための制御について説明します。

省電力化のポイント

消費電流はCPUの動作モード、システムクロック、動作させる周辺回路により大きく変わります。

消費電流	小						大
CPU/BCU	SLEEP	HALT2	動作	HALT2	HALT(基本)		動作
システムクロック	—	OSC1	OSC1	OSC3	OSC3		OSC3
OSC3発振回路	OFF	OFF	OFF	ON	ON		ON
プリスケアラ/周辺回路	STOP						RUN

省電力化を図るためには、不要な回路をできるだけ多く停止することがポイントです。特に、高速に動作する周辺回路は電流を多く消費しますので、必要なとき以外は停止するようにプログラミングしてください。

スタンバイモードによる省電力化

キー入力や周辺回路からの割り込み待ちなど、CPUの処理が不要な場合はスタンバイモードに設定して消費電流を低減してください。

スタンバイモード	移行方法	停止する回路/機能
HALT基本モード	HLT2OP(クロックオプションレジスタ 0x40190•D3) = "0"の状態ではALT命令を実行 SEPD(バスコントロールレジスタ0x4812E•D1) = "1"の状態では外部バスマスタによるバス権解放要求が発生	CPU(DMAは使用不可)
HALT2モード	HLT2OP = "1"の状態ではALT命令を実行	CPU, BCU, バスクロック, DMA
SLEEPモード	SLP命令を実行	CPU, BCU, バスクロック, DMA, 高速 (OSC3)発振回路, プリスケアラ, プリスケアラ出力クロックを使用する周辺回路

HALTモードを選択するクロックオプションレジスタ(0x40190)のHLT2OP(D3)は、イニシャルリセット時に"0"(HALT基本モード)に設定されます。

- 注:
- スタンバイモードは割り込みの発生によって解除されます(外部バスマスタによって設定されたHALT基本モードを除く)。このため、スタンバイモードに移行する前に、解除に使用する割り込みが発生可能な状態に設定しておくことが必要です。
 - スタンバイモードをポート入力からの割り込みで解除する場合、割り込みトリガの設定に関わらず、レベル割り込みとして動作します。割り込みトリガをエッジトリガに設定している場合、スタンバイモード中のポートのレベルに注意してください。

低速(OSC1)発振回路と計時タイマはSLEEPモード時も動作します。不要な場合は、これらの回路も停止させることができます。

機 能	レジスタ	"1"	"0"	デフォルト
低速(OSC1)発振回路ON/OFF	SOSC1(パワーコントロールレジスタ0x40180•D0)	ON	OFF	ON

システムクロックの切り換え

通常、システムは高速(OSC3)発振クロックにより動作します。高速動作が不要な場合は、システムクロックを低速(OSC1)発振クロックに切り換え、高速(OSC3)発振回路を停止することにより消費電流を低減できます。

また、高速(OSC3)発振クロックで動作させる場合でも、その分周クロック(1/1、1/2、1/4、1/8に分周可能)をシステムクロックとして使用することで省電力化を図ることができます。

機 能	レジスタ	"1"	"0"	デフォルト
システムクロックの切り換え	CLKCHG(パワーコントロールレジスタ0x40180•D2)	OSC3	OSC1	OSC3
高速(OSC3)発振回路 ON/OFF制御	SOSC3(パワーコントロールレジスタ0x40180•D1)	ON	OFF	ON
システムクロック分周比選択	CLKDT(パワーコントロールレジスタ0x40180•D[7:6])	"11" = 1/8 "10" = 1/4 "01" = 1/2 "00" = 1/1		1/1

プリスケアラと周辺回路の停止

高速動作する周辺回路をできるだけ停止させることで、消費電流が低減できます。
プリスケアラの入出力クロックを使用する周辺回路は以下のとおりです。

- 1) プリスケアラで生成した動作クロックを使用する周辺回路
 - ・ 16ビットプログラマブルタイマ0～5(ウォッチドッグタイマ)
 - ・ 8ビットプログラマブルタイマ0～5(シリアルインタフェース)
 - ・ A/D変換器
- 2) プリスケアラへ供給されるクロック(プリスケアラ原振クロック)を使用する周辺回路
 - ・ 16ビットプログラマブルタイマ0～5(ウォッチドッグタイマ)
 - ・ 8ビットプログラマブルタイマ0～5
 - ・ A/D変換器
 - ・ シリアルインタフェース
 - ・ ポート

上記1) 2)のすべての周辺回路を使用しない場合は、プリスケアラの動作を停止させてください。1)もしくは2)の周辺回路を1つでも使用する場合は、プリスケアラの動作を停止させないでください。プリスケアラの動作を停止させると、2)の周辺回路へのクロック供給が停止します。1)の周辺回路の中で一部の回路のみを使用する場合は、それ以外の回路を停止させ、併せてプリスケアラから各回路へのクロック供給も停止させてください。

プリスケアラの動作とプリスケアラから各周辺回路へのクロック供給は下表のとおり制御可能です。

機 能	制御ビット	"1"	"0"	デフォルト
プリスケアラON/OFF制御	PSCON(パワーコントロールレジスタ0x40180•D5)	ON	OFF	ON
16ビットタイマ0クロック制御	P16TON0(16bitタイマ0クロックコントロールレジスタ0x40147•D3)	ON	OFF	OFF
16ビットタイマ0 Run/Stop制御	PRUN0(16bitタイマ0制御レジスタ0x48186•D0)	RUN	STOP	STOP
16ビットタイマ1クロック制御	P16TON1(16bitタイマ1クロックコントロールレジスタ0x40148•D3)	ON	OFF	OFF
16ビットタイマ1 Run/Stop制御	PRUN1(16bitタイマ1制御レジスタ0x4818E•D0)	RUN	STOP	STOP
16ビットタイマ2クロック制御	P16TON2(16bitタイマ2クロックコントロールレジスタ0x40149•D3)	ON	OFF	OFF
16ビットタイマ2 Run/Stop制御	PRUN2(16bitタイマ2制御レジスタ0x48196•D0)	RUN	STOP	STOP
16ビットタイマ3クロック制御	P16TON3(16bitタイマ3クロックコントロールレジスタ0x4014A•D3)	ON	OFF	OFF
16ビットタイマ3 Run/Stop制御	PRUN3(16bitタイマ3制御レジスタ0x4819E•D0)	RUN	STOP	STOP
16ビットタイマ4クロック制御	P16TON4(16bitタイマ4クロックコントロールレジスタ0x4014B•D3)	ON	OFF	OFF
16ビットタイマ4 Run/Stop制御	PRUN4(16bitタイマ4制御レジスタ0x481A6•D0)	RUN	STOP	STOP
16ビットタイマ5クロック制御	P16TON5(16bitタイマ5クロックコントロールレジスタ0x4014C•D3)	ON	OFF	OFF
16ビットタイマ5 Run/Stop制御	PRUN5(16bitタイマ5制御レジスタ0x481AE•D0)	RUN	STOP	STOP
8ビットタイマ0クロック制御	P8TON0(8bitタイマ0/1クロックコントロールレジスタ0x4014D•D3)	ON	OFF	OFF
8ビットタイマ0 Run/Stop制御	PRUN0(8bitタイマ0制御レジスタ0x40160•D0)	RUN	STOP	STOP
8ビットタイマ1クロック制御	P8TON1(8bitタイマ0/1クロックコントロールレジスタ0x4014D•D7)	ON	OFF	OFF
8ビットタイマ1 Run/Stop制御	PRUN1(8bitタイマ1制御レジスタ0x40164•D0)	RUN	STOP	STOP
8ビットタイマ2クロック制御	P8TON2(8bitタイマ2/3クロックコントロールレジスタ0x4014E•D3)	ON	OFF	OFF
8ビットタイマ2 Run/Stop制御	PRUN2(8bitタイマ2制御レジスタ0x40168•D0)	RUN	STOP	STOP
8ビットタイマ3クロック制御	P8TON3(8bitタイマ2/3クロックコントロールレジスタ0x4014E•D7)	ON	OFF	OFF
8ビットタイマ3 Run/Stop制御	PRUN3(8bitタイマ3制御レジスタ0x4016C•D0)	RUN	STOP	STOP
8ビットタイマ4クロック制御	P8TON4(8bitタイマ4/5クロックコントロールレジスタ0x40145•D3)	ON	OFF	OFF
8ビットタイマ4 Run/Stop制御	PRUN4(8bitタイマ4制御レジスタ0x40174•D0)	RUN	STOP	STOP
8ビットタイマ5クロック制御	P8TON5(8bitタイマ4/5クロックコントロールレジスタ0x40145•D7)	ON	OFF	OFF
8ビットタイマ5 Run/Stop制御	PRUN5(8bitタイマ5制御レジスタ0x40178•D0)	RUN	STOP	STOP
A/D変換器クロック制御	PSONAD(A/Dクロックコントロールレジスタ0x4014F•D3)	ON	OFF	OFF
A/D変換イネーブル	ADE(A/Dイネーブルレジスタ0x40244•D2)	RUN	STOP	STOP

プリスケアラの動作クロックにはCPU動作クロックと同じクロック源を使用する必要があります。したがって、CPUをOSC1クロックにより低速動作させる場合は、プリスケアラの入力クロックもCPUに合わせて切り換えます。この場合、周辺回路の誤動作を防止するため、CPUの動作クロックを切り換える前にプリスケアラをOFFにしてください。CPUの動作クロックを切り換え後、プリスケアラの動作クロックを切り換えてからプリスケアラをONにします。

機 能	レジスタ	"1"	"0"	デフォルト
プリスケアラ動作クロックの切り換え	PSCDT0(プリスケアラクロック選択レジスタ0x40181•D0)	OSC1	OSC3/ PLL	OSC3/ PLL

このページはブランクです。

II-8 DBG(デバッグユニット)

デバッグ回路

C33コアブロックにはデバッグ回路が搭載されています。

デバッグ回路は、高度なソフトウェア開発環境を容易に実現するために用意された機能ブロックです。

注: 通常の動作時には、このデバッグ回路は動作しません。デバッグ回路を使用したソフトウェア開発環境を実現するためには、S5U1C33000H/S5U1C33001H(In-Circuit Debugger for S1C33 Family)が別途必要となります。

デバッグ回路の入出力端子

デバッグ回路にはS5U1C33000H/S5U1C33001H(In-Circuit Debugger for S1C33 Family)を接続する6本の予約された専用の端子が存在し、3.3Vの入出力電圧レベルとなっています。

表II.8.1にデバッグ回路の入出力端子を示します。

表II.8.1 デバッグ回路の入出力端子

端子名	I/O	Pull-up	機能
DCLK (P14/FOSC1)	O	—	デバッグ用クロック出力 / 入出力兼用ポート / OSC1クロック出力
DST2 (P12/EXCL2/T8UF2)	O	—	デバッグ用ステータス出力2 / 入出力兼用ポート / 16ビットタイマ2イベントカウンタ入力 / 8ビットタイマ2出力
DST1 (P11/EXCL1/T8UF1)	O	—	デバッグ用ステータス出力1 / 入出力兼用ポート / 16ビットタイマ1イベントカウンタ入力 / 8ビットタイマ1出力
DST0 (P10/EXCL0/T8UF0)	O	—	デバッグ用ステータス出力0 / 入出力兼用ポート / 16ビットタイマ0イベントカウンタ入力 / 8ビットタイマ0出力
DPCO (P13/EXCL3/T8UF3)	O	—	デバッグ用PC出力 / 入出力兼用ポート / 16ビットタイマ3イベントカウンタ入力 / 8ビットタイマ3出力
DSIO	I/O	あり	デバッグ用シリアル入出力

DCLK、DST[2:0]、DPCO出力はそれぞれ、入出力兼用ポート端子P14、P1[2:0]、P13の拡張機能です。イニシャルリセット時はデバッグ信号出力に設定されます。

デバッグ回路を使用しない場合は、ポート機能拡張レジスタ(0x402DF)のCFEX[1:0](D[1:0])の設定によってこれらの端子を入出力兼用ポートあるいは既定の周辺回路用として使用することができます。端子機能については、"入出力兼用ポート (Pポート)"を参照してください。

注: これらの端子をデバッグ信号出力に設定した場合、S5U1C33000H/S5U1C33001H(In-Circuit Debugger for S1C33 Family)を使用するとき以外は何も接続しないでください。S5U1C33000H/S5U1C33001Hの接続方法については、"S5U1C33000H Manual(S1C33 Family In-Circuit Debugger)"または"S5U1C33001H Manual(S1C33 Family In-Circuit Debugger)"を参照してください。

また、ユーザリセット後の端子の状態は、以下のとおり固定されます。

DCLK = "1"

DST2 = "0"

DST1 = "1"

DST0 = "1"

DPCO = "1"

DSIO = "1"(入力)

II

DBG

このページはブランクです。

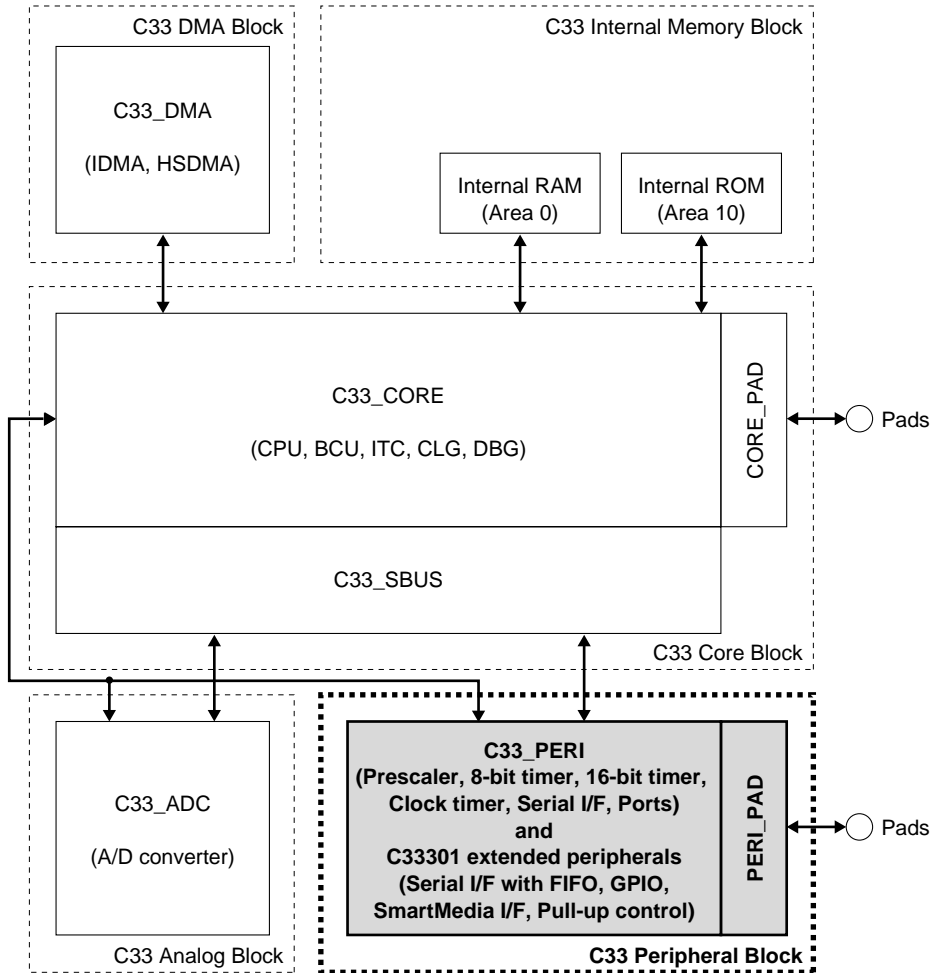
S1C33301 Technical Manual

Ⅲ 周辺回路ブロック

III-1 はじめに

C33周辺回路ブロックは、プリスケラ、6チャンネルの8ビットプログラマブルタイマ、ウォッチドッグタイマ、イベントカウンタ機能付き6チャンネルの16ビットプログラマブルタイマ、4チャンネルのシリアルインタフェース、入力および入出力ポート、低速(OSC1) 発振回路、計時タイマで構成されています。

S1C33301では、チップIDと端子制御レジスタ、FIFO付きシリアルインタフェース、拡張入出力ポートが追加されています。



図III.1.1 周辺回路ブロック

注: S1C33301はROMを内蔵しておりません。

このページはブランクです。

III-2 チップID/端子制御レジスタ

ここでは、チップID、およびバスやその他の入出力端子のプルアップ/Low駆動を制御するレジスタについて説明します。

チップIDレジスタ

S1C33301は、CPUの種類や機種、チップのバージョンをアプリケーションソフトウェアで識別できるように、以下の4つの読み出し専用レジスタを内蔵しています。

コアIDレジスタ(0x300000)

チップコアの種類を示すID(8ビット)が読み出せます。

ID	チップコア
0x02	C33スタンダードマクロコア(C33 STDコアCPU)
0x03	C33ミニマクロコア
0x04	C33アドバンスドマクロコア

S1C33301はC33スタンダードマクロコアを採用しているため、チップコアIDは0x02です。

製品シリーズIDレジスタ(0x300001)

S1C33 Familyの製品シリーズを示すID(8ビット)が読み出せます。

ID	製品シリーズ
0x03	S1C333xxシリーズ
0x15	S1C33Lxxシリーズ

S1C33301の製品シリーズIDは0x03です。

機種IDレジスタ(0x300002)

機種を示すID(8ビット)が読み出せます。

S1C33301の機種IDは0x01です。

バージョンレジスタ(0x300003)

チップのバージョンコード(4ビット)が読み出せます。

0x00はバージョン1.0を表します。

プルアップ制御レジスタ

一部を除き、S1C33301の入出力端子にはソフトウェアで接続/切り離し可能なプルアップ抵抗が用意されています。端子はいくつかのグループに分けられ、そのグループごとにプルアップ抵抗を使用するかしないかプルアップ制御ビットによって選択可能です。表III.2.1にレジスタおよび制御ビットと端子の対応を示します。

表III.2.1 プルアップ制御ビットと端子の対応

制御レジスタ	制御ビット	端 子
バス信号	PUPCAS (D3)	#LCAS (P40/A24), #HCAS (P41/A25), BCLK (P60)
プルアップ制御レジスタ (0x300F00)	PUPCE (D2)	#CE10EX, #CE[9:4] (P5[5:0])
	PUPAD (D1)	A[23:18] (P4[2:7]), A[17:0]
	PUPRW (D0)	#WRH, #WRL, #RD
入力ポート プルアップ制御レジスタ (0x300F02)	PUPK6H (D2)	K6[7:4]
	PUPK6L (D1)	K6[3:0]
	PUPK5 (D0)	K5[4:0]
入出力兼用ポート プルアップ制御レジスタ (0x300F04)	PUPP6 (D6)	P6[3:0]
	PUPP3 (D3)	P3[5:0]
	PUPP2 (D2)	P2[7:0]
	PUPP1 (D1)	P1[6:0]
	PUPP0 (D0)	P0[7:0]

上記の制御ビットは、イニシャルリセット時に"1"に設定され、各端子はプルアップされます。プルアップせずに使用する端子については、対応する制御ビットに"0"を書き込んでください。

注: • プルアップ制御ビットは、端子をバス/周辺回路用あるいは汎用入出力ポートとして使用するいずれの場合でも有効です。

- PFBGA-121pinパッケージには、K67～K64およびP63～P61端子が存在しません。ただし、チップ自体にはポートの回路が搭載されているため、PUPK6HとPUPP6は"1"(プルアップあり)に設定して使用してください。

バスのLow駆動

S1C33301では、バス信号出力を制御レジスタにより強制的にLowにすることができます。バスに接続されている外部デバイスの電源をOFFにしたいときに有効です。

表III.2.2にレジスタおよび制御ビットとバス信号の対応を示します。

表III.2.2 Low駆動制御ビットとバス信号の対応

制御レジスタ	制御ビット	端 子
バス信号	LDRVDB (D4)	D[15:0]
Low駆動制御レジスタ (0x300F01)	LDRVCAS (D3)	#LCAS(A24), #HCAS(A25), BCLK
	LDRVCE (D2)	#CE10EX, #CE[9:4]
	LDRVAD (D1)	A[23:0]
	LDRV RW (D0)	#WRH, #WRL, #RD

上記の制御ビットに"1"を書き込むと、対応するバス信号がLowになります。"0"を書き込むとBCUにより通常に制御される状態に戻ります。

注: • Low駆動制御ビットは、バス信号を汎用入出力兼用ポート(Pxx)に設定した場合は無効です。

- 外部メモリから命令をフェッチしている状態で上記信号をLowにすると正常動作しくなくなります。この制御は、必ず内蔵RAM上のプログラムで行ってください。

レジスタをアクセスするためのBCUの設定

チップID、プルアップ制御、バス信号Low駆動制御レジスタはエリア6の0x300000 ~ 0x300F04番地に割り付けられています。したがって、これらのレジスタにアクセスする前に、エリア6のBCUレジスタを以下のとおり設定しておく必要があります。

1. A6IQ(アクセス制御レジスタ0x48132•D9)= "1"
エリア6は、内部デバイスがアクセスされるように設定します。
2. A6EQ(アクセス制御レジスタ0x48132•D1)= "0"
エリア6のエンディアン形式をリトルエンディアンに設定します。
3. A6WT[2:0](エリア6-4設定レジスタ0x4812A•D[A:8])= "001"
エリア6のウェイト数を1に設定します。

チップID/端子制御用I/Oメモリ

表III.2.3にチップIDおよび端子制御ビットを示します。

表III.2.3 チップID/端子制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈			
コアIDレジスタ	0300000 (B)	D7	CID7	チップコアID	0x02	0	R				
		D6	CID6	0x02: C33スタンダードマクロコア		0					
		D5	CID5	0x03: C33ミニマクロコア		0					
		D4	CID4	0x04: C33アドバンスドマクロコア		0					
		D3	CID3			0					
		D2	CID2			0					
		D1	CID1			1					
		D0	CID0			0					
		製品シリーズID レジスタ	0300001 (B)	D7		MID7	製品シリーズID		0x03	0	R
D6	MID6			0x03: S1C333xx	0						
D5	MID5			0x15: S1C33Lxx	0						
D4	MID4				0						
D3	MID3				0						
D2	MID2				0						
D1	MID1				1						
D0	MID0				1						
機種IDレジスタ	0300002 (B)			D7	NAME7	機種ID	0x01	0		R	
		D6	NAME6	0x01: S1C33301	0						
		D5	NAME5		0						
		D4	NAME4		0						
		D3	NAME3		0						
		D2	NAME2		0						
		D1	NAME1		0						
		D0	NAME0		1						
		バージョン レジスタ	0300003 (B)	D7	VER3	バージョンコード		0x00	0	R	
D6	VER2			0x00: version 1.0	0						
D5	VER1				0						
D4	VER0				0						
D3-0	—			reserved	—	—	読み出し時: 0				
バス信号 ブルアップ制御 レジスタ	0300F00 (B)	D7-4	—	reserved	—		—	—	読み出し時: 0		
		D3	PUPCAS	#LCAS, #HCAS, BCLK (P40, P41, P60)ブルアップ	1	ブルアップ あり	0	ブルアップ なし	1	R/W	
		D2	PUPCE	#CE10-#CE4(P55-P50)ブルアップ					1	R/W	
		D1	PUPAD	A23-A0(P42-P47)ブルアップ					1	R/W	
		D0	PUPRW	#WRH, #WRL, #RDブルアップ					1	R/W	
バス信号 Low駆動制御 レジスタ	0300F01 (B)	D7-5	—	reserved	—		—	—	—	読み出し時: 0	
		D4	LDRVDB	D15-D0 Low駆動	1	Low駆動	0	通常出力	0	R/W	
		D3	LDRVCAS	#LCAS, #HCAS, BCLK Low駆動					0	R/W	
		D2	LDRVCE	#CE10-#CE4 Low駆動					0	R/W	
		D1	LDRVAD	A23-A0 Low駆動					0	R/W	
		D0	LDRVVRW	#WRH, #WRL, #RD Low駆動					0	R/W	
入力ポート ブルアップ制御 レジスタ	0300F02 (B)	D7-3	—	reserved	—		—	—	—	読み出し時: 0	
		D2	PUPK6H	K67-K64ブルアップ *1	1	ブルアップ あり	0	ブルアップ なし	1	R/W	
		D1	PUPK6L	K63-K60ブルアップ					1	R/W	
		D0	PUPK5	K54-K50ブルアップ					1	R/W	
入出力兼用ポート ブルアップ制御 レジスタ	0300F04 (B)	D7	—	reserved	—		—	—	—	読み出し時: 0	
		D6	PUPP6	P63-P60ブルアップ *1	1	ブルアップあり	0	ブルアップなし	1	R/W	
		D5-4	—	reserved	—		—	—	—	読み出し時: 0	
		D3	PUPP3	P35-P30ブルアップ	1	ブルアップ あり	0	ブルアップ なし	1	R/W	
		D2	PUPP2	P27-P20ブルアップ					1	R/W	
		D1	PUPP1	P16-P10ブルアップ					1	R/W	
		D0	PUPP0	P07-P00ブルアップ					1	R/W	

*1 PFBGA-121pinパッケージの場合、PUPK6H(K67-K64ブルアップ制御)およびPUPP6(P63-P60ブルアップ制御) は"1(ブルアップあり)"に設定する必要があります。

CID7–CID0: チップコアID (D[7:0]/0x300000<コアIDレジスタ>)

チップコアの種類を識別するコード (0x02 = C33スタンダードマクロコア) が書き込まれています。これらのビットは読み出し専用で、書き込みは無効です。

MID7–MID0: 製品シリーズID (D[7:0]/0x300001<製品シリーズIDレジスタ>)

S1C33 Familyの製品シリーズを識別するコード (0x03 = S1C333xxシリーズ) が書き込まれています。これらのビットは読み出し専用で、書き込みは無効です。

NAME7–NAME0: 機種ID (D[7:0]/0x300002<機種IDレジスタ>)

MID[7:0]で示される製品シリーズ内の機種を識別するコード (0x01 = S1C33301) が書き込まれています。これらのビットは読み出し専用で、書き込みは無効です。

VER3–VER0: バージョンコード (D[7:4]/0x300003<バージョンレジスタ>)

チップのバージョンコードが書き込まれています。

0x00はバージョン1.0を表します。

これらのビットは読み出し専用で、書き込みは無効です。

PUPCAS: #LCAS, #HCAS, BCLKプルアップ制御 (D3/0x300F00<バス信号プルアップ制御レジスタ>)**PUPCE:** #CE10–#CE4プルアップ制御 (D2/0x300F00<バス信号プルアップ制御レジスタ>)**PUPAD:** A23–A0プルアップ制御 (D1/0x300F00<バス信号プルアップ制御レジスタ>)**PUPRW:** #WRH, #WRL, #RDプルアップ制御 (D0/0x300F00<バス信号プルアップ制御レジスタ>)

バス信号のプルアップ抵抗を制御します。

"1"書き込み: プルアップあり

"0"書き込み: プルアップなし

読み出し: 可能

各ビットは以下の端子に対応しています。

PUPCAS #LCAS (P40/A24), #HCAS (P41/A25), BCLK (P60)

PUPCE #CE10EX, #CE[9:4] (P5[5:0])

PUPAD A[23:18] (P4[2:7]), A[17:0]

PUPRW #WRH, #WRL, #RD

プルアップ制御ビットを"1"に設定すると、対応する端子がプルアップされます。"0"に設定すると、プルアップされません。

イニシャルリセット時、これらのビットは"1 (プルアップあり)"に設定されます。

PUPK6H: K67–K64プルアップ制御 (D2/0x300F02<入力ポートプルアップ制御レジスタ>)**PUPK6L:** K63–K60プルアップ制御 (D1/0x300F02<入力ポートプルアップ制御レジスタ>)**PUPK5:** K54–K50プルアップ制御 (D0/0x300F02<入力ポートプルアップ制御レジスタ>)

入力ポートのプルアップ抵抗を制御します。

"1"書き込み: プルアップあり

"0"書き込み: プルアップなし

読み出し: 可能

プルアップ制御ビットを"1"に設定すると、対応する端子がプルアップされます。"0"に設定すると、プルアップされません。

イニシャルリセット時、これらのビットは"1 (プルアップあり)"に設定されます。

注: PFBGA-121pinパッケージには、K67～K64端子が存在しません。ただし、チップ自体にはポートの回路が搭載されているため、PUPK6Hは"1 (プルアップあり)"に設定して使用してください。

PUPP6: P63–P60プルアップ制御(D6/0x300F04<入出力兼用ポートプルアップ制御レジスタ>)
PUPP3: P35–P30プルアップ制御(D3/0x300F04<入出力兼用ポートプルアップ制御レジスタ>)
PUPP2: P27–P20プルアップ制御(D2/0x300F04<入出力兼用ポートプルアップ制御レジスタ>)
PUPP1: P16–P10プルアップ制御(D1/0x300F04<入出力兼用ポートプルアップ制御レジスタ>)
PUPP0: P07–P00プルアップ制御(D0/0x300F04<入出力兼用ポートプルアップ制御レジスタ>)

入出力兼用ポートのプルアップ抵抗を制御します。

"1"書き込み: プルアップあり

"0"書き込み: プルアップなし

読み出し: 可能

プルアップ制御ビットを"1"に設定すると、対応する端子がプルアップされます。"0"に設定すると、プルアップされません。

イニシャルリセット時、これらのビットは"1"(プルアップあり)に設定されます。

注: PFBGA-121pinパッケージには、P63～P61端子が存在しません。ただし、チップ自体にはポートの回路が搭載されているため、PUPP6は"1"(プルアップあり)に設定して使用してください。

LDRVDB: D15–D0 Low駆動制御(D4/0x300F01<バス信号Low駆動制御レジスタ>)
LDRVCAS: #LCAS, #HCAS, BCLK Low駆動制御(D3/0x300F01<バス信号Low駆動制御レジスタ>)
LDRVCE: #CE10–#CE4 Low駆動制御(D2/0x300F01<バス信号Low駆動制御レジスタ>)
LDRVAD: A23–A0 Low駆動制御(D1/0x300F01<バス信号Low駆動制御レジスタ>)
LDRVVRW: #WRH, #WRL, #RD Low駆動制御(D0/0x300F01<バス信号Low駆動制御レジスタ>)

バス信号を強制的にLowに制御します。

"1"書き込み: Low駆動

"0"書き込み: 通常出力

読み出し: 可能

各ビットは以下の端子に対応しています。

LDRVDB D[15:0]

LDRVCAS #LCAS(A24), #HCAS(A25), BCLK

LDRVCE #CE10EX, #CE[9:4]

LDRVAD A[23:0]

LDRVVRW #WRH, #WRL, #RD

Low駆動制御ビットを"1"に設定すると、対応する端子の出力が強制的にLowとなります。"0"に設定すると、通常出力となります。

イニシャルリセット時、これらのビットは"0"(通常出力)に設定されます。

注: • Low駆動制御ビットは、バス信号を汎用入出力兼用ポート(Pxx)に設定した場合は無効です。

- 外部メモリから命令をフェッチしている状態で上記信号をLowにすると正常動作しくなくなります。この制御は、必ず内蔵RAM上のプログラムで行ってください。

III-3 プリスケアラ

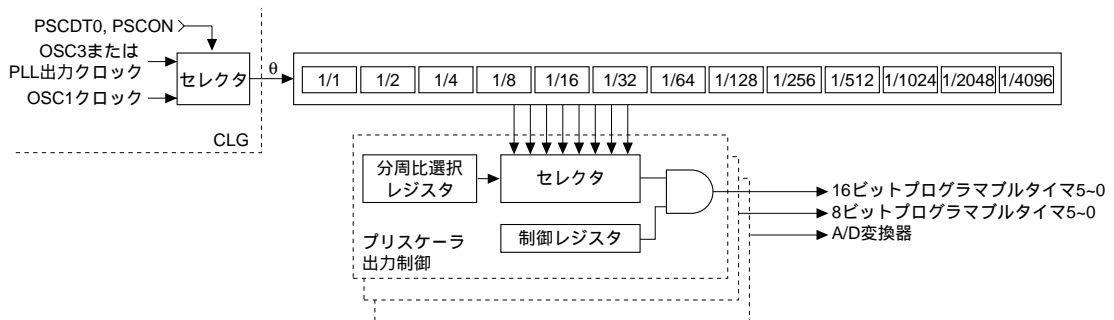
プリスケアラの構成

プリスケアラは、入力クロック(OSC3クロック/PLL出力クロック、またはOSC1クロック)を分周して内蔵周辺回路用クロックを生成します。プリスケアラの分周比はプログラムによって周辺回路個別に選択することができます。また、各周辺回路へのクロック供給を制御するクロック制御回路も設けられています。この出力クロックを使用する周辺回路は以下のとおりです。

- 16ビットプログラマブルタイマ5~ α およびウォッチドッグタイマ)
- 8ビットプログラマブルタイマ5~ α およびシリアルインタフェース)
- A/D変換器

図III.3.1にプリスケアラの構成を示します。

各周辺回路の制御については、それぞれの章を参照してください。



図III.3.1 プリスケアラとクロック制御回路の構成

原振クロック

プリスケアラの原振クロックは、プリスケアラクロック選択レジスタ(0x40181)のPSCDT0(D0)によって選択可能です。

PSCDT0が"0"の場合、OSC3クロック(PLL未使用時)またはPLL出力クロック(PLL使用時)に設定されます。

PSCDT0が"1"の場合はOSC1クロック(32kHz Typ.)に設定されます。

イニシャルリセット時はOSC3/PLLクロックが選択されます。

注: プリスケアラクロックには、CPU動作クロックと同じクロック源を設定してください。

発振回路とCPU動作クロックの制御については、"CLG(クロックジェネレータ)"を参照してください。

選択したクロックは、パワーコントロールレジスタ(0x40180)のPSCON(D5)に"1"を書き込むことによってプリスケアラに供給されます。

イニシャルリセット時は、PSCONが"1"に設定され動作状態となります。プリスケアラ出力クロックを使用する周辺回路(図III.3.1参照)をすべて停止可能な場合、およびプリスケアラの入力クロック(原振クロック)を使用している回路(16ビットプログラマブルタイマ(ウォッチドッグタイマ)、8ビットプログラマブルタイマ、A/D変換器、シリアルインタフェース、ポート)が停止可能な場合は、消費電流を低減させるため、PSCONに"0"を書き込みプリスケアラを停止させてください。プリスケアラを停止(PSCON = "0")することによりプリスケアラのクロック入力が停止し、その入力クロックを使用する上記の回路も停止します。

プリスケアラ分周比の選択と出力制御

プリスケアラには前記の周辺回路個別に分周比選択とクロック出力制御用のビットが設けられており、周辺回路ごとに制御することができます。

プリスケアラ分周比はそれぞれの周辺回路用に設定された8種類の中から分周比選択ビットによって選択します。その分周クロックはクロック出力制御ビットに"1"を書き込むことにより、その周辺回路に出力されます。

表III.3.1 クロック制御ビット

周辺回路	分周比選択ビット	クロック出力制御ビット
16ビットプログラマブルタイマ0	P16TS0[2:0] (D[2:0]/0x40147)* ¹	P16TON0 (D3/0x40147)
16ビットプログラマブルタイマ1	P16TS1[2:0] (D[2:0]/0x40148)* ¹	P16TON1 (D3/0x40148)
16ビットプログラマブルタイマ2	P16TS2[2:0] (D[2:0]/0x40149)* ¹	P16TON2 (D3/0x40149)
16ビットプログラマブルタイマ3	P16TS3[2:0] (D[2:0]/0x4014A)* ¹	P16TON3 (D3/0x4014A)
16ビットプログラマブルタイマ4	P16TS4[2:0] (D[2:0]/0x4014B)* ¹	P16TON4 (D3/0x4014B)
16ビットプログラマブルタイマ5	P16TS5[2:0] (D[2:0]/0x4014C)* ¹	P16TON5 (D3/0x4014C)
8ビットプログラマブルタイマ0	P8TS0[2:0] (D[2:0]/0x4014D)* ²	P8TON0 (D3/0x4014D)
8ビットプログラマブルタイマ1	P8TS1[2:0] (D[6:4]/0x4014D)* ³	P8TON1 (D7/0x4014D)
8ビットプログラマブルタイマ2	P8TS2[2:0] (D[2:0]/0x4014E)* ⁴	P8TON2 (D3/0x4014E)
8ビットプログラマブルタイマ3	P8TS3[2:0] (D[6:4]/0x4014E)* ²	P8TON3 (D7/0x4014E)
8ビットプログラマブルタイマ4	P8TS4[2:0] (D[2:0]/0x40145)* ⁴	P8TON4 (D3/0x40145)
8ビットプログラマブルタイマ5	P8TS5[2:0] (D[6:4]/0x40145)* ²	P8TON5 (D7/0x40145)
A/D変換器	PSAD[2:0] (D[2:0]/0x4014F)* ²	PSONAD (D3/0x4014F)

*1 ~ *4: 表III.3.2参照

表III.3.2 分周比

制御ビット設定	7	6	5	4	3	2	1	0
*1	θ/4096	θ/1024	θ/256	θ/64	θ/16	θ/4	θ/2	θ/1
*2	θ/256	θ/128	θ/64	θ/32	θ/16	θ/8	θ/4	θ/2
*3	θ/4096	θ/2048	θ/1024	θ/512	θ/256	θ/128	θ/64	θ/32
*4	θ/4096	θ/2048	θ/64	θ/32	θ/16	θ/8	θ/4	θ/2

(θ = PSCDT0で選択した原振クロック)

上記の中で使用していない周辺回路へのクロック出力を停止することで、消費電流を低減することができます。

注: 以下の場合、プリスケアラの出力クロックにハザードが出ることがありますので注意してください。

- クロックを出力中に、その分周比を変更した場合
- クロック出力ON/OFFの切り換え時
- 発振回路の停止時およびCPU動作クロックの切り換え時

これらの制御は、16ビットプログラマブルタイマ、8ビットプログラマブルタイマ、A/D変換器を停止させた状態で行ってください。

8ビットプログラマブルタイマへの原振クロック出力

8ビットプログラマブルタイマに対しては、分周クロック以外にプリスケアラの原振クロックを直接出力できるようにになっています。この選択は8ビットタイマ個々にP8TPCKxビットで行います。

8ビットタイマ0: P8TPCK0(8ビットタイマクロック選択レジスタ0x40146・D0)

8ビットタイマ1: P8TPCK1(8ビットタイマクロック選択レジスタ0x40146・D1)

8ビットタイマ2: P8TPCK2(8ビットタイマクロック選択レジスタ0x40146・D2)

8ビットタイマ3: P8TPCK3(8ビットタイマクロック選択レジスタ0x40146・D3)

8ビットタイマ4: P8TPCK4(8ビットタイマ4/5クロック選択レジスタ0x40140・D0)

8ビットタイマ5: P8TPCK5(8ビットタイマ4/5クロック選択レジスタ0x40140・D1)

P8TPCKxを"1"に設定すると、8ビットタイマxの動作クロックとしてプリスケアラ入力クロック(θ/1)が選択されます。この場合でも、クロック出力の制御はP8TONxで行います。

P8TPCKxが"0"の場合は、P8TSx[2:0]で選択された分周クロックが8ビットタイマxに出力されます。

イニシャルリセット時、P8TPCKxは"0"に設定され、P8TSx[2:0]の設定が有効になります。

プリスケアラのI/Oメモリ

表III.3.3にプリスケアラの制御ビットを示します。

表III.3.3 プリスケアラの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
8bitタイマ4/5 クロック選択 レジスタ	0040140 (B)	D7-2	—	reserved	—			—	—	読み出し時: 0	
		D1	P8TPCK5	8bitタイマ5クロック選択	1	0/1	0	分周クロック	0	R/W	0: プリスケーラック ロック選択レジスタ
		D0	P8TPCK4	8bitタイマ4クロック選択	1	0/1	0	分周クロック	0	R/W	(0x40181)で選択
8bitタイマ4/5 クロック コントロール レジスタ	0040145 (B)	D7	P8TON5	8bitタイマ5クロック制御	1	On	0	Off	0	R/W	
		D6	P8TS52	8bitタイマ5	1	1	1	0/256	0	R/W	0: プリスケーラック
		D5	P8TS51	クロック分周比選択	1	1	0	0/128	0	R/W	ロック選択レジスタ
		D4	P8TS50	1	0	1	0/64	0	R/W	(0x40181)で選択	
				1	0	0	0/32				
				0	1	1	0/16				
				0	1	0	0/8				
				0	0	1	0/4				
				0	0	0	0/2				
		D3	P8TON4	8bitタイマ4クロック制御	1	On	0	Off	0	R/W	
		D2	P8TS42	8bitタイマ4	1	1	1	0/4096	0	R/W	0: プリスケーラック
		D1	P8TS41	クロック分周比選択	1	1	0	0/2048	0	R/W	ロック選択レジスタ
		D0	P8TS40	1	0	1	0/64	0	R/W	(0x40181)で選択	
				1	0	0	0/32				
				0	1	1	0/16				
				0	1	0	0/8				
				0	0	1	0/4				
				0	0	0	0/2				
8bitタイマ0-3 クロック選択 レジスタ	0040146 (B)	D7-4	—	reserved	—			—	—	読み出し時: 0	
		D3	P8TPCK3	8bitタイマ3クロック選択	1	0/1	0	分周クロック	0	R/W	0: プリスケーラックロ ック選択レジスタ
		D2	P8TPCK2	8bitタイマ2クロック選択	1	0/1	0	分周クロック	0	R/W	(0x40181)で選択
		D1	P8TPCK1	8bitタイマ1クロック選択	1	0/1	0	分周クロック	0	R/W	
		D0	P8TPCK0	8bitタイマ0クロック選択	1	0/1	0	分周クロック	0	R/W	
16bitタイマ0 クロック コントロール レジスタ	0040147 (B)	D7-4	—	reserved	—			—	—	読み出し時: 0	
		D3	P16TON0	16bitタイマ0クロック制御	1	On	0	Off	0	R/W	
		D2	P16TS02	16bitタイマ0	P16TS0[2:0]		分周比		0	R/W	0: プリスケーラック
		D1 D0	P16TS01 P16TS00	1	1	1	0/4096	0		(0x40181)で選択	
				1	1	0	0/1024	0			
				1	0	1	0/256				
				1	0	0	0/64				
				0	1	1	0/16				
				0	1	0	0/4				
				0	0	1	0/2				
				0	0	0	0/1				
16bitタイマ1 クロック コントロール レジスタ	0040148 (B)			D7-4	—	reserved	—				—
		D3	P16TON1	16bitタイマ1クロック制御	1	On	0	Off	0	R/W	
		D2	P16TS12	16bitタイマ1	P16TS1[2:0]		分周比		0	R/W	0: プリスケーラック
		D1 D0	P16TS11 P16TS10	1	1	1	0/4096	0		(0x40181)で選択	
				1	1	0	0/1024	0			
				1	0	1	0/256				
				1	0	0	0/64				
				0	1	1	0/16				
				0	1	0	0/4				
				0	0	1	0/2				
				0	0	0	0/1				
16bitタイマ2 クロック コントロール レジスタ	0040149 (B)			D7-4	—	reserved	—				—
		D3	P16TON2	16bitタイマ2クロック制御	1	On	0	Off	0	R/W	
		D2	P16TS22	16bitタイマ2	P16TS2[2:0]		分周比		0	R/W	0: プリスケーラック
		D1 D0	P16TS21 P16TS20	1	1	1	0/4096	0		(0x40181)で選択	
				1	1	0	0/1024	0			
				1	0	1	0/256				
				1	0	0	0/64				
				0	1	1	0/16				
				0	1	0	0/4				
				0	0	1	0/2				
				0	0	0	0/1				

III-3 周辺回路ブロック: プリスケアラ

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈				
16bitタイマ3 クロック コントロール レジスタ	004014A (B)	D7-4	—	reserved	—		—	—	読み出し時: 0			
		D3	P16TON3	16bitタイマ3クロック制御	1	On	0	Off	0	R/W	θ: プリスケアラック ロック選択レジスタ (0x40181)で選択	
		D2	P16TS32	16bitタイマ3	P16TS3[2:0]		分周比		0	R/W		
		D1	P16TS31	クロック分周比選択	1	1	1	θ/4096		0		
		D0	P16TS30		1	1	0	θ/1024		0		
		1	0		1	θ/256						
		1	0		0	θ/64						
		0	1		1	θ/16						
		0	1		0	θ/4						
		0	0		1	θ/2						
0	0	0	θ/1									
16bitタイマ4 クロック コントロール レジスタ	004014B (B)	D7-4	—	reserved	—		—	—	読み出し時: 0			
		D3	P16TON4	16bitタイマ4クロック制御	1	On	0	Off	0	R/W	θ: プリスケアラック ロック選択レジスタ (0x40181)で選択	
		D2	P16TS42	16bitタイマ4	P16TS4[2:0]		分周比		0	R/W		
		D1	P16TS41	クロック分周比選択	1	1	1	θ/4096		0		
		D0	P16TS40		1	1	0	θ/1024		0		
		1	0		1	θ/256						
		1	0		0	θ/64						
		0	1		1	θ/16						
		0	1		0	θ/4						
		0	0		1	θ/2						
0	0	0	θ/1									
16bitタイマ5 クロック コントロール レジスタ	004014C (B)	D7-4	—	reserved	—		—	—	読み出し時: 0			
		D3	P16TON5	16bitタイマ5クロック制御	1	On	0	Off	0	R/W	θ: プリスケアラック ロック選択レジスタ (0x40181)で選択	
		D2	P16TS52	16bitタイマ5	P16TS5[2:0]		分周比		0	R/W		
		D1	P16TS51	クロック分周比選択	1	1	1	θ/4096		0		
		D0	P16TS50		1	1	0	θ/1024		0		
		1	0		1	θ/256						
		1	0		0	θ/64						
		0	1		1	θ/16						
		0	1		0	θ/4						
		0	0		1	θ/2						
0	0	0	θ/1									
8bitタイマ0/1 クロック コントロール レジスタ	004014D (B)	D7	P8TON1	8bitタイマ1クロック制御	1	On	0	Off	0	R/W	θ: プリスケアラック ロック選択レジスタ (0x40181)で選択 8bitタイマ1は OSC3発振安定時間 のクロックを生成	
		D6	P8TS12	8bitタイマ1	P8TS1[2:0]		分周比		0	R/W		
		D5	P8TS11	クロック分周比選択	1	1	1	θ/4096		0		
		D4	P8TS10		1	1	0	θ/2048		0		
		1	0		1	θ/1024						
		1	0		0	θ/512						
		0	1		1	θ/256						
		0	1		0	θ/128						
		0	0		1	θ/64						
		0	0		0	θ/32						
		D3	P8TON0	8bitタイマ0クロック制御	1	On	0	Off	0	R/W	θ: プリスケアラック ロック選択レジスタ (0x40181)で選択	
		D2	P8TS02	8bitタイマ0	P8TS0[2:0]		分周比		0	R/W		
		D1	P8TS01	クロック分周比選択	1	1	1	θ/256		0		
		D0	P8TS00		1	1	0	θ/128		0		
		1	0		1	θ/64						
		1	0		0	θ/32						
		0	1		1	θ/16						
		0	1		0	θ/8						
		0	0		1	θ/4						
		0	0		0	θ/2						
8bitタイマ2/3 クロック コントロール レジスタ	004014E (B)	D7	P8TON3	8bitタイマ3クロック制御	1	On	0	Off	0	R/W	θ: プリスケアラック ロック選択レジスタ (0x40181)で選択 8bitタイマ3は シリアルI/F Ch.1の クロックを生成	
		D6	P8TS32	8bitタイマ3	P8TS3[2:0]		分周比		0	R/W		
		D5	P8TS31	クロック分周比選択	1	1	1	θ/256		0		
		D4	P8TS30		1	1	0	θ/128		0		
		1	0		1	θ/64						
		1	0		0	θ/32						
		0	1		1	θ/16						
		0	1		0	θ/8						
		0	0		1	θ/4						
		0	0		0	θ/2						
		D3	P8TON2	8bitタイマ2クロック制御	1	On	0	Off	0	R/W	θ: プリスケアラック ロック選択レジスタ (0x40181)で選択 8bitタイマ2は シリアルI/F Ch.0の クロックを生成	
		D2	P8TS22	8bitタイマ2	P8TS2[2:0]		分周比		0	R/W		
		D1	P8TS21	クロック分周比選択	1	1	1	θ/4096		0		
		D0	P8TS20		1	1	0	θ/2048		0		
		1	0		1	θ/64						
		1	0		0	θ/32						
		0	1		1	θ/16						
		0	1		0	θ/8						
0	0	1	θ/4									
0	0	0	θ/2									

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈		
A/Dクロック コントロール レジスタ	004014F (B)	D7-4	—	reserved	—			—	—	読み出し時: 0		
		D3	PSONAD	A/D変換器クロック制御	1	On	0	Off	0	R/W	θ: プリスケーラクロック 選択レジスタ (0x40181)で選択	
		D2	PSAD2	A/D変換器クロック分周比選択	PSAD[2:0]			分周比	0	R/W		
		D1	PSAD1	1	1	1	0/256	0				
		D0	PSAD0	1	1	0	0/128	0				
		1	0	1	0/64							
		1	0	0	0/32							
		0	1	1	0/16							
		0	1	0	0/8							
		0	0	1	0/4							
		0	0	0	0/2							
パワー コントロール レジスタ	0040180 (B)	D7	CLKDT1	システムクロック分周比選択	CLKDT[1:0]		分周比	0	R/W			
		D6	CLKDT0		1	1	1/8	0				
		1	0		1/4							
		0	1		1/2							
		0	0		1/1							
		D5	PSCON	プリスケーラOn/Off制御	1	On	0	Off	1	R/W	1書き込み禁止	
		D4-3	—	reserved	—			0	—			
		D2	CLKCHG	CPU動作クロック切り換え	1	OSC3	0	OSC1	1	R/W		
		D1	SOSC3	高速(OSC3)発振On/Off制御	1	On	0	Off	1	R/W		
		D0	SOSC1	低速(OSC1)発振On/Off制御	1	On	0	Off	1	R/W		
		プリスケーラ クロック選択 レジスタ	0040181 (B)	D7-1	—	reserved	—			0	—	
				D0	PSCDT0	プリスケーラクロック選択	1	OSC1	0	OSC3/PLL	0	
パワー コントロール レジスタ 保護レジスタ	004019E (B)			D7	CLGP7	パワーコントロールレジスタ 保護フラグ	10010110(0x96)書き込みにより パワーコントロールレジスタ (0x40180)、クロックオプション レジスタ(0x40190)の書き込み保 護を解除 それ以外は書き込み禁止に設定	0	R/W			
		D6	CLGP6	0								
		D5	CLGP5	0								
		D4	CLGP4	0								
		D3	CLGP3	0								
		D2	CLGP2	0								
		D1	CLGP1	0								
		D0	CLGP0	0								

PSCON: プリスケアラON/OFF制御(D5/0x40180<パワーコントロールレジスタ>)

プリスケアラをON/OFFします。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

PSCONに"1"を書き込むことによりクロックがプリスケアラに入力され、分周動作を開始します。

"0"を書き込むと、プリスケアラは停止します。周辺回路を動作させる必要がない場合は、"0"を書き込んで消費電流を低減させてください。PSCONへの書き込みは、SOSC1、SOSC3、CLKCHG、CLKDT[1:0]と同様に保護されているため、CLGP[7:0]が0b10010110に設定されている場合にのみ可能です。

なお、16ビットプログラマブルタイム(ウォッチドッグタイム)、8ビットプログラマブルタイム、A/D変換器、シリアルインタフェース、およびポートはPSCONで制御される入力クロックを使用しています(PSCON = "0"で停止します)。プリスケアラ出力を使用しない場合でも、シリアルインタフェースやポートを使用する場合は、プリスケアラを停止(PSCON = "0")しないでください。

イニシャルリセット時、PSCONは"1"(ON)に設定されます。

CLGP7-CLGP0: パワーコントロールレジスタ保護フラグ

([D[7:0]/0x4019E<パワーコントロールレジスタ保護レジスタ>)

パワーコントロールレジスタ(0x40180)とクロックオプションレジスタ(0x40190)の書き込み保護を解除します。

0b10010110書き込み: 書き込み保護解除

上記以外の書き込み: ノーオペレーション(書き込み保護)

読み出し: 可能

パワーコントロールレジスタ(0x40180)またはクロックオプションレジスタ(0x40190)に書き込みを行う場合は、その前にCLGP[7:0]を0b10010110に設定し、書き込み保護を解除してください。この解除は上記いずれかのアドレスに対する1回の書き込みのみに有効で、書き込みが行われると0b00000000にクリアされます。したがって、書き込みの都度CLGP[7:0]を再設定する必要があります。

イニシャルリセット時、CLGPは0b00000000(書き込み保護)に設定されます。

PSCDT0: プリスケーラクロック選択(D0/0x40181<プリスケーラクロック選択レジスタ>)

プリスケーラの原振クロックを選択します。

"1"書き込み: OSC1クロック

"0"書き込み: OSC3クロック/PLL出力クロック

読み出し: 可能

PSCDT0に"1"を書き込むことによりOSC1クロック(32kHz Typ.)に設定されます。

"0"を書き込むと、OSC3クロック(PLL未使用時)またはPLL出力クロック(PLL使用時)に設定されます。

プリスケーラクロックには、CPU動作クロックと同じクロック源を設定してください。

イニシャルリセット時、PSCDT0は"0"(OSC3クロック/PLL出力クロック)に設定されます。

P16TS0[2:0]: 16bitタイマ0クロック分周比設定(D[2:0]/0x40147<16bitタイマ0クロックコントロールレジスタ>)

P16TS1[2:0]: 16bitタイマ1クロック分周比設定(D[2:0]/0x40148<16bitタイマ1クロックコントロールレジスタ>)

P16TS2[2:0]: 16bitタイマ2クロック分周比設定(D[2:0]/0x40149<16bitタイマ2クロックコントロールレジスタ>)

P16TS3[2:0]: 16bitタイマ3クロック分周比設定(D[2:0]/0x4014A<16bitタイマ3クロックコントロールレジスタ>)

P16TS4[2:0]: 16bitタイマ4クロック分周比設定(D[2:0]/0x4014B<16bitタイマ4クロックコントロールレジスタ>)

P16TS5[2:0]: 16bitタイマ5クロック分周比設定(D[2:0]/0x4014C<16bitタイマ5クロックコントロールレジスタ>)

P8TS0[2:0]: 8bitタイマ0クロック分周比設定(D[2:0]/0x4014D<8bitタイマ0/1クロックコントロールレジスタ>)

P8TS1[2:0]: 8bitタイマ1クロック分周比設定(D[6:4]/0x4014D<8bitタイマ0/1クロックコントロールレジスタ>)

P8TS2[2:0]: 8bitタイマ2クロック分周比設定(D[2:0]/0x4014E<8bitタイマ2/3クロックコントロールレジスタ>)

P8TS3[2:0]: 8bitタイマ3クロック分周比設定(D[6:4]/0x4014E<8bitタイマ2/3クロックコントロールレジスタ>)

P8TS4[2:0]: 8bitタイマ4クロック分周比設定(D[2:0]/0x40145<8bitタイマ4/5クロックコントロールレジスタ>)

P8TS5[2:0]: 8bitタイマ5クロック分周比設定(D[6:4]/0x40145<8bitタイマ4/5クロックコントロールレジスタ>)

PSAD[2:0]: A/D変換器クロック分周比設定(D[2:0]/0x4014F<A/Dクロックコントロールレジスタ>)

各周辺回路のクロックを選択します。

それぞれ、I/Oマップに示した8種類の分周比の中から選択できます。周辺回路により分周比が異なりますので注意してください。

これらのビットは読み出しも可能です。

イニシャルリセット時、これらのビットはすべて"0b000"(最も高い周波数)に設定されます。

P16TON0: 16bitタイマ0クロック制御 (D3/0x40147<16bitタイマ0クロックコントロールレジスタ>)
P16TON1: 16bitタイマ1クロック制御 (D3/0x40148<16bitタイマ1クロックコントロールレジスタ>)
P16TON2: 16bitタイマ2クロック制御 (D3/0x40149<16bitタイマ2クロックコントロールレジスタ>)
P16TON3: 16bitタイマ3クロック制御 (D3/0x4014A<16bitタイマ3クロックコントロールレジスタ>)
P16TON4: 16bitタイマ4クロック制御 (D3/0x4014B<16bitタイマ4クロックコントロールレジスタ>)
P16TON5: 16bitタイマ5クロック制御 (D3/0x4014C<16bitタイマ5クロックコントロールレジスタ>)
P8TON0: 8bitタイマ0クロック制御 (D3/0x4014D<8bitタイマ0/1クロックコントロールレジスタ>)
P8TON1: 8bitタイマ1クロック制御 (D7/0x4014D<8bitタイマ0/1クロックコントロールレジスタ>)
P8TON2: 8bitタイマ2クロック制御 (D3/0x4014E<8bitタイマ2/3クロックコントロールレジスタ>)
P8TON3: 8bitタイマ3クロック制御 (D7/0x4014E<8bitタイマ2/3クロックコントロールレジスタ>)
P8TON4: 8bitタイマ4クロック制御 (D3/0x40145<8bitタイマ4/5クロックコントロールレジスタ>)
P8TON5: 8bitタイマ5クロック制御 (D7/0x40145<8bitタイマ4/5クロックコントロールレジスタ>)
PSONAD: A/D変換器クロック制御 (D3/0x4014F<A/Dクロックコントロールレジスタ>)

各周辺回路へのクロック供給を制御します。

"1"書き込み: ON
 "0"書き込み: OFF
 読み出し: 可能

これらのビットに"1"を書き込むことにより、分周比設定ビットで選択したクロックが対応する周辺回路に出力されます。

"0"を書き込むと、クロックは出力されません。周辺回路を動作させる必要がない場合は、"0"を書き込んで消費電流を低減させてください。

イニシャルリセット時、これらのビットはすべて"0"(OFF)に設定されます。

P8TPCK0: 8bitタイマ0クロック選択 (D0/0x40146<8bitタイマクロック選択レジスタ>)
P8TPCK1: 8bitタイマ1クロック選択 (D1/0x40146<8bitタイマクロック選択レジスタ>)
P8TPCK2: 8bitタイマ2クロック選択 (D2/0x40146<8bitタイマクロック選択レジスタ>)
P8TPCK3: 8bitタイマ3クロック選択 (D3/0x40146<8bitタイマクロック選択レジスタ>)
P8TPCK4: 8bitタイマ4クロック選択 (D0/0x40140<8bitタイマ4/5クロック選択レジスタ>)
P8TPCK5: 8bitタイマ5クロック選択 (D1/0x40140<8bitタイマ4/5クロック選択レジスタ>)

8ビットプログラマブルタイマの動作クロックを選択します。

"1"書き込み: プリスケアラ入力クロック(θ/1)
 "0"書き込み: 分周クロック
 読み出し: 可能

P8TPCKxに"1"を書き込むことにより、8ビットタイマxの動作クロックとしてプリスケアラ入力クロック(θ/1)が選択されます。この場合でも、クロック出力の制御はP8TONxで行います。

"0"を書き込むと、P8TSx[2:0]で選択された分周クロックが設定されます。

イニシャルリセット時、P8TPCKxは"0"(分周クロック)に設定されます。

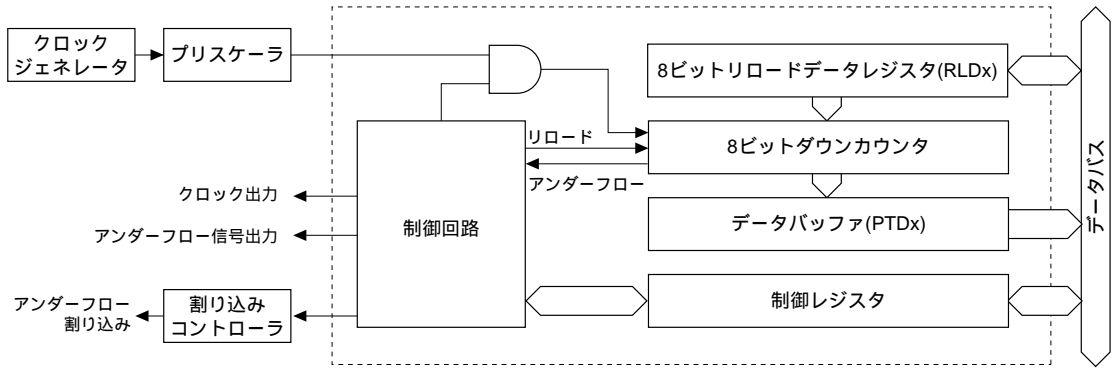
プログラミング上の注意事項

- (1) プリスケアラクロックには、CPU動作クロックと同じクロック源を設定してください。
- (2) 以下の場合、プリスケアラの出力クロックにハザードが出ることがありますので注意してください。
- ・ クロックを出力中に、その分周比を変更した場合
 - ・ クロック出力ON/OFFの切り換え時
 - ・ 発振回路の停止時およびCPU動作クロックの切り換え時
- これらの制御は、16ビットプログラマブルタイマ、8ビットプログラマブルタイマ、A/D変換器を停止させた状態で行ってください。
- (3) 16ビットプログラマブルタイマ、8ビットプログラマブルタイマ、A/D変換器を動作させる必要がない場合は、消費電流を低減させるためクロックの供給を停止してください。
- (4) プリスケアラの動作を停止(パワーコントロールレジスタ(0x40180)のPSCON(D5) = "0")させると、出力クロックを使用する周辺回路以外にも停止する回路がありますので注意してください。プリスケアラの動作が影響する周辺回路は以下のとおりです。
- A プリスケアラで生成した動作クロックを使用する周辺回路
- ・ 16ビットプログラマブルタイマ0~5(ウォッチドッグタイマ)
 - ・ 8ビットプログラマブルタイマ0~5(シリアルインタフェース)
 - ・ A/D変換器
- B プリスケアラへ供給されるクロック(プリスケアラ原振クロック)を使用する周辺回路
- ・ 16ビットプログラマブルタイマ0~5(ウォッチドッグタイマ)
 - ・ 8ビットプログラマブルタイマ0~5
 - ・ A/D変換器
 - ・ シリアルインタフェース
 - ・ ポート
- 上記A、Bのすべての周辺回路を使用しない場合は、プリスケアラの動作を停止させることができます。AもしくはBの周辺回路を1つでも使用する場合は、プリスケアラの動作を停止させないでください。プリスケアラの動作を停止させると、Bの周辺回路へのクロック供給も停止します。Aに示した中で一部の回路のみを使用する場合は、それ以外の回路を停止させ、併せてプリスケアラから各回路へのクロック供給も停止してください。

III-4 8ビットプログラマブルタイマ

8ビットプログラマブルタイマの構成

C33周辺回路ブロックは8ビットのプログラマブルタイマを6系統 タイマ0～タイマ5 内蔵しています。
図III.4.1に8ビットプログラマブルタイマの構成を示します。



図III.4.1 プログラマブルタイマの構成

各タイマは8ビットプリセッタブルダウンカウンタで構成され、カウンタのアンダーフローにより生成したクロックを周辺回路やIC外部に出力することができます。ソフトウェアで設定可能なプリセットデータとプリスケアラでの入力クロックの設定により、出力クロックの周期を広いレンジで選択可能です。

8ビットプログラマブルタイマの出力端子

8ビットプログラマブルタイマ0～3のアンダーフロー信号は、IC外部に出力することができます。表III.4.1に、8ビットプログラマブルタイマのアンダーフロー信号をIC外部に出力する場合に使用する端子を示します。

表III.4.1 8ビットプログラマブルタイマの出力端子

端子名	I/O	機 能	機能選択ビット
DST0(P10/EXCL0/T8UF0)	I/O	DST0出力/入出力兼用ポート/16ビットタイマ0 イベントカウンタ入力/8ビットタイマ0出力	CFP10(P1機能選択レジスタ0x402D4•D0) CFEX1(ポート機能拡張レジスタ0x402DF•D1)
DST1(P11/EXCL1/T8UF1)	I/O	DST1出力/入出力兼用ポート/16ビットタイマ1 イベントカウンタ入力/8ビットタイマ1出力	CFP11(P1機能選択レジスタ0x402D4•D1) CFEX1(ポート機能拡張レジスタ0x402DF•D1)
DST2(P12/EXCL2/T8UF2)	I/O	DST2出力/入出力兼用ポート/16ビットタイマ2 イベントカウンタ入力/8ビットタイマ2出力	CFP12(P1機能選択レジスタ0x402D4•D2) CFEX0(ポート機能拡張レジスタ0x402DF•D0)
DPCO(P13/EXCL3/T8UF3)	I/O	DPCO出力/入出力兼用ポート/16ビットタイマ3 イベントカウンタ入力/8ビットタイマ3出力	CFP13(P1機能選択レジスタ0x402D4•D3) CFEX1(ポート機能拡張レジスタ0x402DF•D1)

T8UFx(8ビットプログラマブルタイマ出力端子)

各8ビットプログラマブルタイマで分周したクロックを出力します。パルス幅は8ビットタイマの入力クロック(プリスケアラ出力)のパルス幅になります。したがって、プリスケアラの設定によってパルス幅は変わります。

8ビットプログラマブルタイマ出力端子の設定方法

8ビットプログラマブルタイマで使用する端子はすべて、入出力兼用ポート端子、16ビットプログラマブルタイマのイベントカウンタ入力およびデバッグ用信号出力と共用されています。コールドスタート時はすべてデバッグ用信号出力端子(機能選択ビットCFP1[3:0]="0"、ポート機能拡張ビットCFEX[1:0]="1")として設定されます。8ビットプログラマブルタイマのクロック出力機能を使用する場合は、使用するタイマに合わせ、対応する端子のポート機能拡張ビットCFEXxに"0"、機能選択ビットCFP1xに"1"を書き込んでください。

さらに、入出力兼用ポートのP1 I/O制御レジスタ(0x402D6)のIOC1x(D[3:0])に"1"を書き込み、出力モードに設定してください。入力モードに設定されていると16ビットプログラマブルタイマのイベントカウンタ入力として機能し、8ビットプログラマブルタイマのクロック出力は行えません。コールドスタート時は入力モードに設定されます。ホットスタート時、これらのレジスタはリセット前の状態を保持します。

8ビットプログラマブルタイマの用途

8ビットプログラマブルタイマのダウンカウンタは、ソフトウェアで設定したプリセットデータにより周期的にアンダーフロー信号を出力します。このアンダーフロー信号はCPUへの割り込み要求や、内蔵周辺回路の制御に使用されます。この信号をIC外部に出力することもできます。

また、各8ビットプログラマブルタイマは、アンダーフロー信号を1/2に分周してクロックを生成し、特定の内蔵周辺回路に出力します。

CPUへの割り込み要求/IDMA起動要求

各タイマのアンダーフローを割り込み要因として、CPUに対して割り込み要求を出力可能です。ソフトウェアで設定した周期で割り込みを発生させることができます。

また、この割り込み要因によってIDMA、HSDMAを起動することも可能です。

IC外部へのクロック出力

アンダーフロー信号をIC外部に出力することができます。これを外部デバイスの制御などに使用することができます。各タイマの出力端子は前節に示したとおりです。

内蔵周辺回路の制御とクロック供給

8ビットプログラマブルタイマのアンダーフロー信号で制御される機能と、出力クロックを使用する内蔵周辺回路を以下に示します。

8ビットプログラマブルタイマ0

• A/D変換開始トリガ

A/D変換器は、A/D変換を開始するトリガ方式を4種類から選択できるようになっています。その1つが、8ビットプログラマブルタイマ0のアンダーフロー信号によるものです。これにより、プログラマブルな周期でA/D変換を行うことができます。

この機能を使用するには、A/D変換器のA/Dトリガレジスタ(0x40242)のTS[1:0][D[4:3]]に"10"を書き込み、トリガに8ビットプログラマブルタイマ0を選択します。

8ビットプログラマブルタイマ1

• 高速(OSC3)発振回路の発振安定待ち時間

SLEEPモードを外部割り込みによって解除すると、高速(OSC3)発振回路が発振を開始します。発振が安定する前のクロックによるCPUの誤動作を防止するため、SLEEP解除後にCPUが動作を開始するまで待ち時間を設けることができるようになっています。この時間を8ビットプログラマブルタイマ1によって生成します。高速(OSC3)発振回路の発振開始により8ビットプログラマブルタイマ1を動作させ、発振安定時間以上経過後にアンダーフローが発生するように8ビットプログラマブルタイマ1を設定しておく、CPUはそのアンダーフロー信号によって動作を開始します。

この機能を使用するには、発振回路のクロックオプションレジスタ(0x40190)の8T10N(D2)に"0"を書き込み、発振安定待ち機能をイネーブルに設定します。

8ビットプログラマブルタイマ2

• シリアルインタフェースCh.0へのクロック供給

シリアルインタフェースのCh.0をクロック同期式マスタモード、または内部クロックを使用した調歩同期式モードで使用する場合、8ビットプログラマブルタイマ2のアンダーフロー信号を1/2に分周した出力クロックがシリアルインタフェースの動作クロックとして使用されます。これにより、転送速度をプログラマブルに設定することができます。

この機能を使用するには、シリアルインタフェースCh.0制御レジスタ(0x401E3)のSSCK(D2)に"0"を書き込み、内部クロックを選択してください。

8ビットプログラマブルタイマ3

- シリアルインタフェースCh.1へのクロック供給

シリアルインタフェースのCh.1をクロック同期式マスタモード、または内部クロックを使用した調歩同期式モードで使用する場合、8ビットプログラマブルタイマ3のアンダーフロー信号を1/2に分周した出力クロックがシリアルインタフェースの動作クロックとして使用されます。これにより、転送速度をプログラマブルに設定することができます。

この機能を使用するには、シリアルインタフェースCh.1制御レジスタ(0x401E8)のSSCK1(D2)に"0"を書き込み、内部クロックを選択してください。

8ビットプログラマブルタイマ4

- シリアルインタフェースCh.2へのクロック供給

シリアルインタフェースのCh.2をクロック同期式マスタモード、または内部クロックを使用した調歩同期式モードで使用する場合、8ビットプログラマブルタイマ4のアンダーフロー信号を1/2に分周した出力クロックがシリアルインタフェースの動作クロックとして使用されます。

これにより、転送速度をプログラマブルに設定することができます。

この機能を使用するには、シリアルインタフェースCh.2制御レジスタ(0x401F3)のSSCK2(D2)に"0"を書き込み、内部クロックを選択してください。

8ビットプログラマブルタイマ5

- シリアルインタフェースCh.3へのクロック供給

シリアルインタフェースのCh.3をクロック同期式マスタモード、または内部クロックを使用した調歩同期式モードで使用する場合、8ビットプログラマブルタイマ5のアンダーフロー信号を1/2に分周した出力クロックがシリアルインタフェースの動作クロックとして使用されます。

これにより、転送速度をプログラマブルに設定することができます。

この機能を使用するには、シリアルインタフェースCh.3制御レジスタ(0x401F8)のSSCK3(D2)に"0"を書き込み、内部クロックを選択してください。

8ビットプログラマブルタイマの制御と動作

8ビットプログラマブルタイマを使用する場合は、カウントを開始させる前に以下の設定が必要です。

1. 出力端子の設定(必要な場合のみ)
2. 入力クロックの設定
3. プリセットデータ(カウンタ初期値)の設定
4. 割り込み/IDMA/HSDMAの設定

出力端子の設定は、8ビットプログラマブルタイマの出力クロックをIC外部に出力させる場合にのみ必要です。設定方法は"8ビットプログラマブルタイマの出力端子"を参照してください。

割り込みおよびDMAの設定については"8ビットプログラマブルタイマ割り込みとDMA"を参照してください。

注: 8ビットプログラマブルタイマ0～5のカウント動作は同一で、制御レジスタも同一の構成です。制御ビット名にはタイマ番号を示す"0"～"5"が付きますが、説明は全タイマに共通なため、必要な部分以外はタイマ番号を"x"に置き換えて記述します。

入力クロックの設定

8ビットプログラマブルタイマはプリスケアラの出力クロックにより動作します。プリスケアラの分周比は、タイマごとに選択可能です。

分周比選択ビット	クロック制御ビット	レジスタ
タイマ0: P8TS0[2:0] (D[2:0])	P8TON α (D3)	8bitタイマ0/1クロック制御レジスタ(0x4014D)
タイマ1: P8TS1[2:0] (D[6:4])	P8TON β (D7)	8bitタイマ0/1クロック制御レジスタ(0x4014D)
タイマ2: P8TS2[2:0] (D[2:0])	P8TON γ (D3)	8bitタイマ2/3クロック制御レジスタ(0x4014E)
タイマ3: P8TS3[2:0] (D[6:4])	P8TON δ (D7)	8bitタイマ2/3クロック制御レジスタ(0x4014E)
タイマ4: P8TS4[2:0] (D[2:0])	P8TON ϵ (D3)	8bitタイマ4/5クロック制御レジスタ(0x40145)
タイマ5: P8TS5[2:0] (D[6:4])	P8TON ζ (D7)	8bitタイマ4/5クロック制御レジスタ(0x40145)

分周比はタイマにより異なりますので注意してください(表III.4.2参照)。

また、8ビットタイマクロック選択レジスタ(0x40146)のP8TPCKxビットに"1"を書き込むことで、プリスケアラの入力クロックを直接8ビットタイマに供給することもできます。

タイマ0クロック選択: P8TPCK α 8bitタイマクロック選択レジスタ0x40146・D0)
 タイマ1クロック選択: P8TPCK β 8bitタイマクロック選択レジスタ0x40146・D1)
 タイマ2クロック選択: P8TPCK γ 8bitタイマクロック選択レジスタ0x40146・D2)
 タイマ3クロック選択: P8TPCK δ 8bitタイマクロック選択レジスタ0x40146・D3)
 タイマ4クロック選択: P8TPCK ϵ 8bitタイマクロック選択レジスタ0x40140・D0)
 タイマ5クロック選択: P8TPCK ζ 8bitタイマクロック選択レジスタ0x40140・D1)

P8TSxで指定した分周クロックを使用する場合は、P8TPCKxを"0"に設定しておきます。

表III.4.2 入力クロックの選択

タイマ	P8TSx=7	P8TSx=6	P8TSx=5	P8TSx=4	P8TSx=3	P8TSx=2	P8TSx=1	P8TSx=0	P8TPCK=1
タイマ0	fpSCIN/256	fpSCIN/128	fpSCIN/64	fpSCIN/32	fpSCIN/16	fpSCIN/8	fpSCIN/4	fpSCIN/2	fpSCIN/1
タイマ1	fpSCIN/4096	fpSCIN/2048	fpSCIN/1024	fpSCIN/512	fpSCIN/256	fpSCIN/128	fpSCIN/64	fpSCIN/32	fpSCIN/1
タイマ2	fpSCIN/4096	fpSCIN/2048	fpSCIN/64	fpSCIN/32	fpSCIN/16	fpSCIN/8	fpSCIN/4	fpSCIN/2	fpSCIN/1
タイマ3	fpSCIN/256	fpSCIN/128	fpSCIN/64	fpSCIN/32	fpSCIN/16	fpSCIN/8	fpSCIN/4	fpSCIN/2	fpSCIN/1
タイマ4	fpSCIN/4096	fpSCIN/2048	fpSCIN/64	fpSCIN/32	fpSCIN/16	fpSCIN/8	fpSCIN/4	fpSCIN/2	fpSCIN/1
タイマ5	fpSCIN/256	fpSCIN/128	fpSCIN/64	fpSCIN/32	fpSCIN/16	fpSCIN/8	fpSCIN/4	fpSCIN/2	fpSCIN/1

fpSCIN: プリスケアラ入力クロック周波数

選択したクロックはP8TONxに"1"を書き込むことにより、プリスケアラから8ビットプログラマブルタイマに出力されます。

注: • 8ビットプログラマブルタイマの動作はプリスケアラが動作していることが条件です。("プリスケアラ"参照)

- 8ビットプログラマブルタイマの入力クロックにCPU動作クロックよりも高速なクロックは使用しないでください。
- 入力クロックの設定は、8ビットプログラマブルタイマが停止中に行ってください。

プリセットデータ(カウンタ初期値)の設定

各タイマには8ビットのダウンカウンタとリロードデータレジスタが設けられています。
 リロードデータレジスタRLDxは各タイマのダウンカウンタ初期値を設定するレジスタです。
 タイマ0リロードデータ: RLD0[7:0] (8bitタイマ0リロードデータレジスタ0x40161・D[7:0])
 タイマ1リロードデータ: RLD1[7:0] (8bitタイマ1リロードデータレジスタ0x40165・D[7:0])
 タイマ2リロードデータ: RLD2[7:0] (8bitタイマ2リロードデータレジスタ0x40169・D[7:0])
 タイマ3リロードデータ: RLD3[7:0] (8bitタイマ3リロードデータレジスタ0x4016D・D[7:0])
 タイマ4リロードデータ: RLD4[7:0] (8bitタイマ4リロードデータレジスタ0x40175・D[7:0])
 タイマ5リロードデータ: RLD5[7:0] (8bitタイマ5リロードデータレジスタ0x40179・D[7:0])

リロードデータレジスタは読み出し/書き込み可能です。イニシャルリセット時、リロードデータレジスタは初期化されません。

ここに書き込んだデータがダウンカウンタにプリセットされ、その値からダウンカウントが行われます。ダウンカウンタへのプリセットは、次の2つの場合に行われます。

1. ソフトウェアでプリセットを行った場合

ソフトウェアによるプリセットはプリセット制御ビットPSETxによって行います。このビットに"1"を書き込むと、その時点でリロードデータレジスタの内容がダウンカウンタにロードされます。

タイマ0プリセット: PSET0 (8bitタイマ0制御レジスタ0x40160・D1)
 タイマ1プリセット: PSET1 (8bitタイマ1制御レジスタ0x40164・D1)
 タイマ2プリセット: PSET2 (8bitタイマ2制御レジスタ0x40168・D1)
 タイマ3プリセット: PSET3 (8bitタイマ3制御レジスタ0x4016C・D1)
 タイマ4プリセット: PSET4 (8bitタイマ4制御レジスタ0x40174・D1)
 タイマ5プリセット: PSET5 (8bitタイマ5制御レジスタ0x40178・D1)

2. ダウンカウンタがカウント中にアンダーフローした場合

ダウンカウンタはそのアンダーフローによりリロードデータをプリセットしますので、リロードデータレジスタの設定値により、アンダーフロー周期が決定します。このアンダーフロー信号は前節で説明した各機能を制御します。

8ビットプログラマブルタイマの動作を開始する前にリロードデータレジスタに初期値を設定し、PSETxでダウンカウンタにプリセットしてください。

アンダーフロー周期は、プリスケアラの設定とリロードデータによって決まります。この関係を次の式に示します。

$$\text{アンダーフロー周期} = \frac{\text{RLDx} + 1}{\text{fPSCIN} \times \text{pdr}} \quad [\text{秒}]$$

fPSCIN: プリスケアラ入力クロック周波数 [Hz]

pdr: P8TSxによるプリスケアラの分周比

RLDx: RLDxの設定値(0 ~ 255)

タイマのRUN/STOP制御

各タイマにはそれぞれ、RUN/STOPを制御するビットPTRUNxが設けられています。

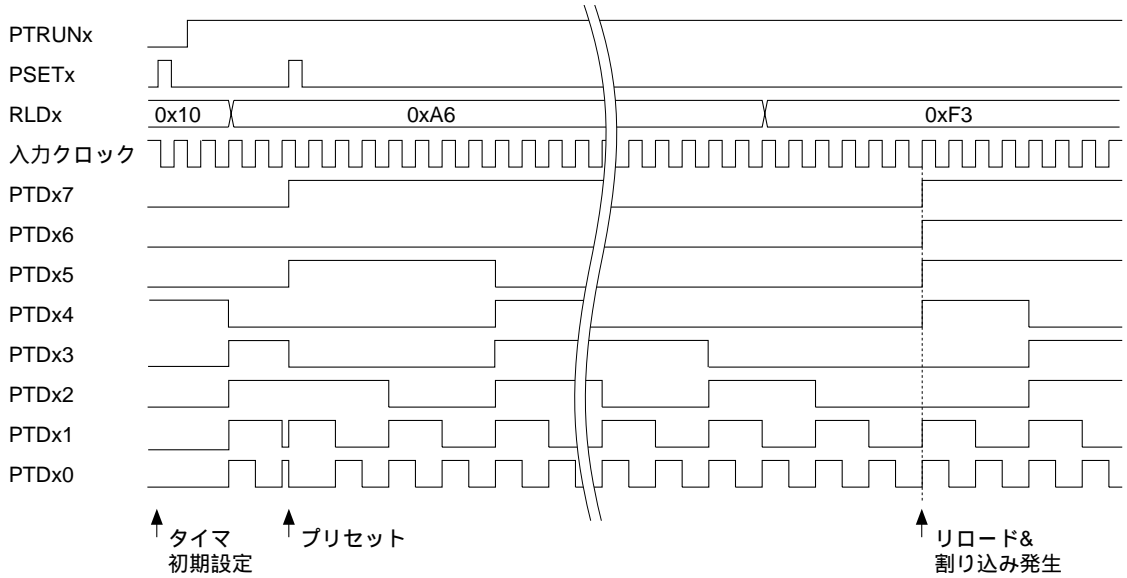
タイマ0 RUN/STOP制御: PTRUN0 (8bitタイマ0制御レジスタ0x40160・D0)
 タイマ1 RUN/STOP制御: PTRUN1 (8bitタイマ1制御レジスタ0x40164・D0)
 タイマ2 RUN/STOP制御: PTRUN2 (8bitタイマ2制御レジスタ0x40168・D0)
 タイマ3 RUN/STOP制御: PTRUN3 (8bitタイマ3制御レジスタ0x4016C・D0)
 タイマ4 RUN/STOP制御: PTRUN4 (8bitタイマ4制御レジスタ0x40174・D0)
 タイマ5 RUN/STOP制御: PTRUN5 (8bitタイマ5制御レジスタ0x40178・D0)

タイマはPTRUNxに"1"を書き込むことによってダウンカウントを開始します。PTRUNxに"0"を書き込むとクロックの入力が禁止され、カウントは停止します。

このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

カウンタはダウンカウントが進んでアンダーフローが発生すると、リロードデータレジスタに設定された初期値をリロードします。

タイマのRUN/STOP制御ビット(PTRUNx)とプリセットビット(PSETx)の両方を"1"にして8bitタイマ制御レジスタに書き込んだ場合、リロードデータレジスタの値をプリセットしてからタイマがRUNします。



図III.4.2 カウンタの基本動作タイミング

カウンタデータの読み出し

カウンタデータの読み出しはデータバッファPTDxを介して行います。任意のタイミングで読み出しが可能です。

- タイマ0データ: PTD0[7:0] 8bitタイマ0カウントデータレジスタ0x40162・D[7:0]
- タイマ1データ: PTD1[7:0] 8bitタイマ1カウントデータレジスタ0x40166・D[7:0]
- タイマ2データ: PTD2[7:0] 8bitタイマ2カウントデータレジスタ0x4016A・D[7:0]
- タイマ3データ: PTD3[7:0] 8bitタイマ3カウントデータレジスタ0x4016E・D[7:0]
- タイマ4データ: PTD4[7:0] 8bitタイマ4カウントデータレジスタ0x40176・D[7:0]
- タイマ5データ: PTD5[7:0] 8bitタイマ5カウントデータレジスタ0x4017A・D[7:0]

クロック出力の制御

8ビットプログラマブルタイマのアンダーフロー信号をIC外部に出力する場合、またはアンダーフロー信号から生成したクロックをシリアルインタフェースに出力する場合はクロックの出力制御が必要です。

タイマ0クロック出力制御: PTOUT0(8bitタイマ0制御レジスタ0x40160・D2)

タイマ1クロック出力制御: PTOUT1(8bitタイマ1制御レジスタ0x40164・D2)

タイマ2クロック出力制御: PTOUT2(8bitタイマ2制御レジスタ0x40168・D2)

タイマ3クロック出力制御: PTOUT3(8bitタイマ3制御レジスタ0x4016C・D2)

タイマ4クロック出力制御: PTOUT4(8bitタイマ4制御レジスタ0x40174・D2) 注: 外部出力なし

タイマ5クロック出力制御: PTOUT5(8bitタイマ5制御レジスタ0x40178・D2) 注: 外部出力なし

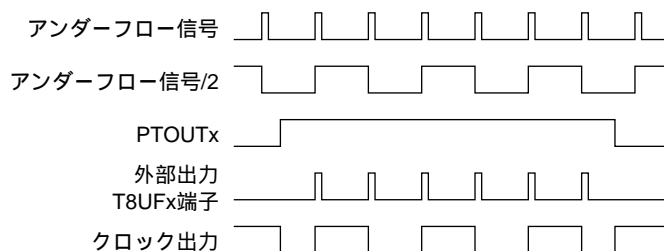
アンダーフロー信号/クロックを出力するには、クロック出力制御レジスタPTOUTxに"1"を書き込みます。

出力端子が設定されていれば、その端子からアンダーフロー信号が出力されます。

タイマ2～5をシリアルインタフェースのクロック源として設定した場合も同様で、この制御により、アンダーフロー信号を1/2に分周して生成したクロックがシリアルインタフェースに出力されます。

PTOUTxに"0"を書き込むと出力が停止し、外部出力は"0"に、内部クロック出力は"1"に固定されます。

図III.4.3に出力波形を示します。



図III.4.3 8ビットプログラマブルタイマの出力波形

アンダーフロー信号のパルス幅 (High)は、入力クロック (プリスケアラ出力) のパルス幅と等しくなります。

8ビットタイマ外部出力 (P10 ~ P13ポート)

- 1) イニシャルリセット (コールドスタート) 後のポート (P10 ~ P13) はデバッグ用出力に設定されています。
- 2) ポート (P10 ~ P13) を8ビットタイマ出力に設定した段階で"0"を出力します。(タイマ出力はOFF状態)
- 3) 入力クロック、タイマの初期値を設定後、タイマ出力をONにしてもタイマ出力は"0"を保持します。
- 4) 8ビットタイマをRUNさせ、アンダーフローが発生すると、8ビットタイマのクロック入力 (プリスケアラ出力) の1クロックパルスを出力します。

8ビットプログラマブルタイマ割り込みとDMA

8ビットプログラマブルタイマには、タイマ0～5のアンダーフローによって割り込みを発生させる機能があります。

割り込みの発生タイミングは、図III.4.2に示したとおりです。

割り込みコントローラの制御レジスタ

各タイマごとに用意されている割り込みコントローラの制御レジスタを、表III.4.3に示します。

表III.4.3 割り込みコントローラの制御レジスタ

タイマ	割り込み要因フラグ	割り込み イネーブルレジスタ	割り込み プライオリティレジスタ
タイマ0	F8TU0(D0/0x40285)	E8TU0(D0/0x40275)	P8TM[2:0](D[2:0]/0x40269)
タイマ1	F8TU1(D1/0x40285)	E8TU1(D1/0x40275)	
タイマ2	F8TU2(D2/0x40285)	E8TU2(D2/0x40275)	
タイマ3	F8TU3(D3/0x40285)	E8TU3(D3/0x40275)	
タイマ4	F8TU4(D0/0x40288)	E8TU4(D0/0x40278)	
タイマ5	F8TU5(D1/0x40288)	E8TU5(D1/0x40278)	

タイマにアンダーフローが発生すると、対応する割り込み要因フラグが"1"にセットされます。その割り込み要因フラグに対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、そのタイマによる割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず("0"に設定されていても)、タイマのアンダーフローによって"1"にセットされます。割り込みプライオリティレジスタは、6つのタイマを1つの割り込み系列として割り込みの優先レベル(0～7)を設定します。8ビットプログラマブルタイマの中の優先順位は、タイマ0が最も高く、タイマ5が最も低く設定されています。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。

また、入力割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した入力割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITC(割り込みコントローラ)"を参照してください。

インテリジェントDMA

タイマ0～5のアンダーフロー割り込み要因は、インテリジェントDMA(IDMA)を起動することができます。これにより、メモリ間のDMA転送を周期的に行うことができます。

各タイマに設定されたIDMAチャンネル番号は次のとおりです。

IDMA Ch.

タイマ0: 0x13
 タイマ1: 0x14
 タイマ2: 0x15
 タイマ3: 0x16
 タイマ4: 0x20
 タイマ5: 0x21

IDMAを起動させるには、表III.4.4に示すIDMAリクエストビットおよびIDMAイネーブルビットに"1"を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。

表III.4.4 IDMA転送の制御レジスタ

タイマ	IDMAリクエストビット	IDMAイネーブルビット
タイマ0	R8TU0(D2/0x40292)	DE8TU0(D2/0x40296)
タイマ1	R8TU1(D3/0x40292)	DE8TU1(D3/0x40296)
タイマ2	R8TU2(D4/0x40292)	DE8TU2(D4/0x40296)
タイマ3	R8TU3(D5/0x40292)	DE8TU3(D5/0x40296)
タイマ4	R8TU4(D0/0x4029B)	DE8TU4(D0/0x4029C)
タイマ5	R8TU5(D1/0x4029B)	DE8TU5(D1/0x4029C)

IDMAリクエストビットおよびIDMAイネーブルビットが"1"に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はDMA転送終了後に発生します。また、DMA転送のみを行い、割り込みは発生しないように設定することもできます。IDMA転送とIDMA転送終了後の割り込み制御については、"IDMA(インテリジェントDMA)"を参照してください。

高速DMA

タイマ0～3のアンダーフロー割り込み要因は、高速DMA(HSDMA)を起動することもできます。タイマ0～3に対応するHSDMAチャンネル番号とトリガ設定ビットを以下に示します。

表III.4.5 HSDMAトリガ設定ビット

タイマ	HSDMAチャンネル	トリガ設定ビット
タイマ0	0	HSD0S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298•D[3:0])
タイマ1	1	HSD1S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298•D[7:4])
タイマ2	2	HSD2S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299•D[3:0])
タイマ3	3	HSD3S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299•D[7:4])

HSDMAを起動させるには、トリガ設定ビットに"0101"を書き込んでおきます。また、HSDMA側の転送条件等の設定も必要です。

HSDMAのトリガ要因に8ビットタイマを選択すると、アンダーフロー割り込み要因の発生でHSDMAが起動します。

HSDMAの詳細については、"HSDMA(高速DMA)"を参照してください。

トラップベクタ

各アンダーフロー割り込み要因のトラップベクタアドレスは、デフォルトでそれぞれ以下のとおり設定されています。

タイマ0アンダーフロー割り込み: 0x0C000D0
 タイマ1アンダーフロー割り込み: 0x0C000D4
 タイマ2アンダーフロー割り込み: 0x0C000D8
 タイマ3アンダーフロー割り込み: 0x0C000DC
 タイマ4アンダーフロー割り込み: 0x0C00120
 タイマ5アンダーフロー割り込み: 0x0C00124

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134～0x48137)で変更することも可能です。

8ビットプログラマブルタイマのI/Oメモリ

表III.4.6に8ビットプログラマブルタイマの制御ビットを示します。

クロックを設定するプリスケアラのI/Oメモリについては、"プリスケアラ"を参照してください。

表III.4.6 8ビットプログラマブルタイマの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
8bitタイマ0 制御レジスタ	0040160 (B)	D7-3	—	reserved	—	—	—	読み出し時: 0
		D2	PTOUT0	8bitタイマ0クロック出力制御	1 On 0 Off	0	R/W	
		D1	PSET0	8bitタイマ0プリセット	1 プリセット 0 無効	—	W	読み出し時: 0
		D0	PTRUN0	8bitタイマ0 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ0 リロードデータ レジスタ	0040161 (B)	D7	RLD07	8bitタイマ0	0 ~ 255	X	R/W	
		D6	RLD06	リロードデータ		X		
		D5	RLD05	RLD07 = MSB		X		
		D4	RLD04	RLD00 = LSB		X		
		D3	RLD03			X		
		D2	RLD02			X		
		D1	RLD01			X		
		D0	RLD00			X		
8bitタイマ0 カウントデータ レジスタ	0040162 (B)	D7	PTD07	8bitタイマ0カウントデータ	0 ~ 255	X	R	
		D6	PTD06	PTD07 = MSB		X		
		D5	PTD05	PTD00 = LSB		X		
		D4	PTD04			X		
		D3	PTD03			X		
		D2	PTD02			X		
		D1	PTD01			X		
		D0	PTD00			X		
8bitタイマ1 制御レジスタ	0040164 (B)	D7-3	—	reserved	—	—	—	読み出し時: 0
		D2	PTOUT1	8bitタイマ1クロック出力制御	1 On 0 Off	0	R/W	
		D1	PSET1	8bitタイマ1プリセット	1 プリセット 0 無効	—	W	読み出し時: 0
		D0	PTRUN1	8bitタイマ1 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ1 リロードデータ レジスタ	0040165 (B)	D7	RLD17	8bitタイマ1	0 ~ 255	X	R/W	
		D6	RLD16	リロードデータ		X		
		D5	RLD15	RLD17 = MSB		X		
		D4	RLD14	RLD10 = LSB		X		
		D3	RLD13			X		
		D2	RLD12			X		
		D1	RLD11			X		
		D0	RLD10			X		
8bitタイマ1 カウントデータ レジスタ	0040166 (B)	D7	PTD17	8bitタイマ1カウントデータ	0 ~ 255	X	R	
		D6	PTD16	PTD17 = MSB		X		
		D5	PTD15	PTD10 = LSB		X		
		D4	PTD14			X		
		D3	PTD13			X		
		D2	PTD12			X		
		D1	PTD11			X		
		D0	PTD10			X		
8bitタイマ2 制御レジスタ	0040168 (B)	D7-3	—	reserved	—	—	—	読み出し時: 0
		D2	PTOUT2	8bitタイマ2クロック出力制御	1 On 0 Off	0	R/W	
		D1	PSET2	8bitタイマ2プリセット	1 プリセット 0 無効	—	W	読み出し時: 0
		D0	PTRUN2	8bitタイマ2 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ2 リロードデータ レジスタ	0040169 (B)	D7	RLD27	8bitタイマ2	0 ~ 255	X	R/W	
		D6	RLD26	リロードデータ		X		
		D5	RLD25	RLD27 = MSB		X		
		D4	RLD24	RLD20 = LSB		X		
		D3	RLD23			X		
		D2	RLD22			X		
		D1	RLD21			X		
		D0	RLD20			X		
8bitタイマ2 カウントデータ レジスタ	004016A (B)	D7	PTD27	8bitタイマ2カウントデータ	0 ~ 255	X	R	
		D6	PTD26	PTD27 = MSB		X		
		D5	PTD25	PTD20 = LSB		X		
		D4	PTD24			X		
		D3	PTD23			X		
		D2	PTD22			X		
		D1	PTD21			X		
		D0	PTD20			X		

III-4 周辺回路ブロック: 8ビットプログラマブルタイマ

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
8bitタイマ3 制御レジスタ	004016C (B)	D7-3	—	reserved	—	—	—	読み出し時: 0
		D2	PTOUT3	8bitタイマ3クロック出力制御	1 On 0 Off	0	R/W	
		D1	PSET3	8bitタイマ3プリセット	1 プリセット 0 無効	—	W	読み出し時: 0
		D0	PTRUN3	8bitタイマ3 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ3 リロードデータ レジスタ	004016D (B)	D7	RLD37	8bitタイマ3	0 ~ 255	X	R/W	
		D6	RLD36	リロードデータ		X		
		D5	RLD35	RLD37 = MSB		X		
		D4	RLD34	RLD30 = LSB		X		
		D3	RLD33			X		
		D2	RLD32			X		
		D1	RLD31			X		
		D0	RLD30			X		
8bitタイマ3 カウントデータ レジスタ	004016E (B)	D7	PTD37	8bitタイマ3カウントデータ	0 ~ 255	X	R	
		D6	PTD36	PTD37 = MSB		X		
		D5	PTD35	PTD30 = LSB		X		
		D4	PTD34			X		
		D3	PTD33			X		
		D2	PTD32			X		
		D1	PTD31			X		
		D0	PTD30			X		
8bitタイマ4 制御レジスタ	0040174 (B)	D7-3	—	reserved	—	—	—	読み出し時: 0
		D2	PTOUT4	8bitタイマ4出力制御	1 On 0 Off	0	R/W	
		D1	PSET4	8bitタイマ4プリセット	1 プリセット 0 無効	—	W	読み出し時: 0
		D0	PTRUN4	8bitタイマ4 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ4 リロードデータ レジスタ	0040175 (B)	D7	RLD47	8bitタイマ4	0 ~ 255	X	R/W	
		D6	RLD46	リロードデータ		X		
		D5	RLD45	RLD47 = MSB		X		
		D4	RLD44	RLD40 = LSB		X		
		D3	RLD43			X		
		D2	RLD42			X		
		D1	RLD41			X		
		D0	RLD40			X		
8bitタイマ4 カウントデータ レジスタ	0040176 (B)	D7	PTD47	8bitタイマ4	0 ~ 255	X	R	
		D6	PTD46	カウントデータ		X		
		D5	PTD45	PTD47 = MSB		X		
		D4	PTD44	PTD40 = LSB		X		
		D3	PTD43			X		
		D2	PTD42			X		
		D1	PTD41			X		
		D0	PTD40			X		
8bitタイマ5 制御レジスタ	0040178 (B)	D7-3	—	reserved	—	—	—	読み出し時: 0
		D2	PTOUT5	8bitタイマ5出力制御	1 On 0 Off	0	R/W	
		D1	PSET5	8bitタイマ5プリセット	1 プリセット 0 無効	—	W	読み出し時: 0
		D0	PTRUN5	8bitタイマ5 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ5 リロードデータ レジスタ	0040179 (B)	D7	RLD57	8bitタイマ5	0 ~ 255	X	R/W	
		D6	RLD56	リロードデータ		X		
		D5	RLD55	RLD57 = MSB		X		
		D4	RLD54	RLD50 = LSB		X		
		D3	RLD53			X		
		D2	RLD52			X		
		D1	RLD51			X		
		D0	RLD50			X		
8bitタイマ5 カウントデータ レジスタ	004017A (B)	D7	PTD57	8bitタイマ5	0 ~ 255	X	R	
		D6	PTD56	カウントデータ		X		
		D5	PTD55	PTD57 = MSB		X		
		D4	PTD54	PTD50 = LSB		X		
		D3	PTD53			X		
		D2	PTD52			X		
		D1	PTD51			X		
		D0	PTD50			X		
8bitタイマ, シリアル アル/F Ch.0 割り込み プライオリティ レジスタ	0040269 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PSIO02	シリアルインタフェースCh.0	0 ~ 7	X	R/W	
		D5	PSIO01	割り込みレベル		X		
		D4	PSIO00			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	P8TM2	8bitタイマ0-5	0 ~ 7	X	R/W	
		D1	P8TM1	割り込みレベル		X		
		D0	P8TM0			X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
8bitタイマ0-3 割り込み イネーブル レジスタ	0040275 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	E8TU3	8bitタイマ3アンダーフロー	1 許可	0 禁止	0	R/W
		D2	E8TU2	8bitタイマ2アンダーフロー			0	R/W
		D1	E8TU1	8bitタイマ1アンダーフロー			0	R/W
		D0	E8TU0	8bitタイマ0アンダーフロー			0	R/W
8bitタイマ4/5 割り込みイネー ブルレジスタ	0040278 (B)	D7-2	—	reserved	—	—	—	読み出し時: 0
		D1	E8TU5	8bitタイマ5アンダーフロー	1 許可	0 禁止	0	R/W
		D0	E8TU4	8bitタイマ4アンダーフロー			0	R/W
8bitタイマ0-3 割り込み 要因フラグ レジスタ	0040285 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	F8TU3	8bitタイマ3アンダーフロー	1 要因発生	0 要因なし	X	R/W
		D2	F8TU2	8bitタイマ2アンダーフロー			X	R/W
		D1	F8TU1	8bitタイマ1アンダーフロー			X	R/W
		D0	F8TU0	8bitタイマ0アンダーフロー			X	R/W
8bitタイマ4/5 割り込み要因フ ラグレジスタ	0040288 (B)	D7-2	—	reserved	—	—	—	読み出し時: 0
		D1	F8TU5	8bitタイマ5アンダーフロー	1 要因発生	0 要因なし	X	R/W
		D0	F8TU4	8bitタイマ4アンダーフロー			X	R/W
16bitタイマ5, 8bitタイマ0-3, シリアルI/F Ch.0 IDMAリクエスト レジスタ	0040292 (B)	D7	RSTX0	SIF Ch.0送信バッファエンプティ	1 IDMA要求	0 割り込み 要求	0	R/W
		D6	RSRX0	SIF Ch.0受信バッファフル			0	R/W
		D5	R8TU3	8bitタイマ3アンダーフロー			0	R/W
		D4	R8TU2	8bitタイマ2アンダーフロー			0	R/W
		D3	R8TU1	8bitタイマ1アンダーフロー			0	R/W
		D2	R8TU0	8bitタイマ0アンダーフロー			0	R/W
		D1	R16TC5	16bitタイマ5コンペアA			0	R/W
		D0	R16TU5	16bitタイマ5コンペアB			0	R/W
16bitタイマ5, 8bitタイマ0-3, シリアルI/F Ch.0 IDMAイネーブル レジスタ	0040296 (B)	D7	DESTX0	SIF Ch.0送信バッファエンプティ	1 IDMA許可	0 IDMA禁止	0	R/W
		D6	DESRX0	SIF Ch.0受信バッファフル			0	R/W
		D5	DE8TU3	8bitタイマ3アンダーフロー			0	R/W
		D4	DE8TU2	8bitタイマ2アンダーフロー			0	R/W
		D3	DE8TU1	8bitタイマ1アンダーフロー			0	R/W
		D2	DE8TU0	8bitタイマ0アンダーフロー			0	R/W
		D1	DE16TC5	16bitタイマ5コンペアA			0	R/W
		D0	DE16TU5	16bitタイマ5コンペアB			0	R/W
8bitタイマ4/5 シリアルI/F Ch.2/3 IDMAリクエスト レジスタ	004029B (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	RSTX3	SIF Ch.3送信バッファエンプティ	1 IDMA要求	0 割り込み 要求	0	R/W
		D4	RSRX3	SIF Ch.3受信バッファフル			0	R/W
		D3	RSTX2	SIF Ch.2送信バッファエンプティ			0	R/W
		D2	RSRX2	SIF Ch.2受信バッファフル			0	R/W
		D1	R8TU5	8bitタイマ5アンダーフロー			0	R/W
		D0	R8TU4	8bitタイマ4アンダーフロー			0	R/W
8bitタイマ4/5 シリアルI/F Ch.2/3 IDMAイネーブル レジスタ	004029C (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	DESTX3	SIF Ch.3送信バッファエンプティ	1 IDMA許可	0 IDMA禁止	0	R/W
		D4	DESRX3	SIF Ch.3受信バッファフル			0	R/W
		D3	DESTX2	SIF Ch.2送信バッファエンプティ			0	R/W
		D2	DESRX2	SIF Ch.2受信バッファフル			0	R/W
		D1	DE8TU5	8bitタイマ5アンダーフロー			0	R/W
		D0	DE8TU4	8bitタイマ4アンダーフロー			0	R/W
P1機能選択 レジスタ	00402D4 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	CFP16	P16機能選択	1 EXCL5 #DMAEND1	0 P16	0	R/W
		D5	CFP15	P15機能選択	1 EXCL4 #DMAEND0	0 P15	0	R/W
		D4	CFP14	P14機能選択	1 FOSC1	0 P14	0	R/W
		D3	CFP13	P13機能選択	1 EXCL3 T8UF3	0 P13	0	R/W
		D2	CFP12	P12機能選択	1 EXCL2 T8UF2	0 P12	0	R/W
		D1	CFP11	P11機能選択	1 EXCL1 T8UF1	0 P11	0	R/W
		D0	CFP10	P10機能選択	1 EXCL0 T8UF0	0 P10	0	R/W
P1 I/O制御 レジスタ	00402D6 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	IOC16	P16 I/O制御	1 出力	0 入力	0	R/W
		D5	IOC15	P15 I/O制御			0	R/W
		D4	IOC14	P14 I/O制御			0	R/W
		D3	IOC13	P13 I/O制御			0	R/W
		D2	IOC12	P12 I/O制御			0	R/W
		D1	IOC11	P11 I/O制御			0	R/W
		D0	IOC10	P10 I/O制御			0	R/W

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈	
ポート機能拡張 レジスタ	00402DF (B)	D7	CFEX7	P07ポート機能拡張	1	#DMAEND3	0	P07, etc.	0	R/W
		D6	CFEX6	P06ポート機能拡張	1	#DMAACK3	0	P06, etc.	0	R/W
		D5	CFEX5	P05ポート機能拡張	1	#DMAEND2	0	P05, etc.	0	R/W
		D4	CFEX4	P04ポート機能拡張	1	#DMAACK2	0	P04, etc.	0	R/W
		D3	CFEX3	P31ポート機能拡張	1	#GARD	0	P31, etc.	0	R/W
		D2	CFEX2	P21ポート機能拡張	1	#GAAS	0	P21, etc.	0	R/W
		D1	CFEX1	P10, P11, P13ポート機能拡張	1	DST0 DST1 DPCO	0	P10, etc. P11, etc. P13, etc.	1	R/W
		D0	CFEX0	P12, P14ポート機能拡張	1	DST2 DCLK	0	P12, etc. P14, etc.	1	R/W

CFP13–CFP10: P1[3:0]端子機能選択(D[3:0]/0x402D4<P1機能選択レジスタ>)

タイマアンダーフロー信号の外部出力に使用する端子を選択します。

"1"書き込み: アンダーフロー信号出力端子

"0"書き込み: 入出力兼用ポート端子

読み出し: 可能

タイマアンダーフロー信号の外部出力に使用する端子を、CFP10～CFP13に"1"を書き込んでP10～P13の中から選択します。P10～P13はそれぞれタイマ0～タイマ3に対応します。"0"を書き込んだ場合、その端子は入出力兼用ポート端子となります。

コールドスタート時、CFPは"0"(入出力兼用ポート)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

IOC13–IOC10: P1[3:0]ポートI/O制御(D[3:0]/0x402D6<P1 I/O制御レジスタ>)

P10～P13の入力/出力モードの設定とI/O制御信号の値の読み出しが行えます。

• データ書き込み時

"1"書き込み: 出力モード

"0"書き込み: 入力モード

P10～P13の中でタイマアンダーフロー出力に使用する端子に対応するI/O制御ビットには、"1"を書き込んで出力モードに設定してください。CFP1xが"1"に設定されている場合でも入力モードに設定されていると、その端子は16ビットプログラマブルタイマのイベントカウンタ入力端子として機能し、タイマアンダーフロー信号の出力は行えません。

• データ読み出し時

"1"読み出し: I/O制御信号(出力)

"0"読み出し: I/O制御信号(入力)

ポート端子のI/O制御信号の値が読み出されます。CFEXレジスタおよびCFP1xレジスタによって入出力兼用ポート機能を選択した場合、読み出し値はIOCレジスタへの書き込み値と一致します。一方、周辺回路を選択した場合はその回路の状態により変化し、IOCレジスタへの書き込み値とは異なる場合があります。

コールドスタート時、IOCはすべて"0"(入力モード)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

CFEX1: P10, P11, P13ポート機能拡張(D1/0x402DF<ポート機能拡張レジスタ>)

CFEX0: P12, P14ポート機能拡張(D0/0x402DF<ポート機能拡張レジスタ>)

入出力兼用ポート端子の拡張機能を選択します。

"1"書き込み: 拡張機能端子

"0"書き込み: 入出力兼用ポート端子/周辺回路用端子

読み出し: 可能

CFEX[1:0]に"1"を書き込むと、P13～P10ポートがデバッグ用信号出力ポートとして機能します。CFEX[1:0]が"0"の場合はCFP1[3:0]が有効となり、その設定に従ってP13～P10ポートが入出力兼用ポート端子または8ビットタイマアンダーフロー出力端子となります。

コールドスタート時、CFEX[1:0]は"1"(拡張機能端子)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

RLD07–RLD00: タイマ0リロードデータ(D[7:0]/0x40161<8bitタイマ0リロードデータレジスタ>)
 RLD17–RLD10: タイマ1リロードデータ(D[7:0]/0x40165<8bitタイマ1リロードデータレジスタ>)
 RLD27–RLD20: タイマ2リロードデータ(D[7:0]/0x40169<8bitタイマ2リロードデータレジスタ>)
 RLD37–RLD30: タイマ3リロードデータ(D[7:0]/0x4016D<8bitタイマ3リロードデータレジスタ>)
 RLD47–RLD40: タイマ4リロードデータ(D[7:0]/0x40175<8bitタイマ4リロードデータレジスタ>)
 RLD57–RLD50: タイマ5リロードデータ(D[7:0]/0x40179<8bitタイマ5リロードデータレジスタ>)

各タイマのカウンタの初期値を設定します。

本レジスタに設定したリロードデータがそれぞれのカウンタにロードされ、それを初期値としてダウンカウントが行われます。

リロードデータがカウンタにロードされる条件はPSETxに"1"を書き込んでプリセットを行う場合と、カウンタのアンダーフローによって自動的にリロードが行われる場合です。

イニシャルリセット時、RLDは初期化されません。

PTD07–PTD00: タイマ0カウントデータ(D[7:0]/0x40162<8bitタイマ0カウントデータレジスタ>)
 PTD17–PTD10: タイマ1カウントデータ(D[7:0]/0x40166<8bitタイマ1カウントデータレジスタ>)
 PTD27–PTD20: タイマ2カウントデータ(D[7:0]/0x4016A<8bitタイマ2カウントデータレジスタ>)
 PTD37–PTD30: タイマ3カウントデータ(D[7:0]/0x4016E<8bitタイマ3カウントデータレジスタ>)
 PTD47–PTD40: タイマ4カウントデータ(D[7:0]/0x40176<8bitタイマ4カウントデータレジスタ>)
 PTD57–PTD50: タイマ5カウントデータ(D[7:0]/0x4017A<8bitタイマ5カウントデータレジスタ>)

8ビットプログラマブルタイマのデータが読み出せます。

本ビットは読み出し時にカウンタのデータが保持されるバッファとなっており、データは任意のタイミングで読み出しが可能です。

イニシャルリセット時、PTDは初期化されません。

PSET0: タイマ0プリセット(D1/0x40160<8bitタイマ0制御レジスタ>)
 PSET1: タイマ1プリセット(D1/0x40164<8bitタイマ1制御レジスタ>)
 PSET2: タイマ2プリセット(D1/0x40168<8bitタイマ2制御レジスタ>)
 PSET3: タイマ3プリセット(D1/0x4016C<8bitタイマ3制御レジスタ>)
 PSET4: タイマ4プリセット(D1/0x40174<8bitタイマ4制御レジスタ>)
 PSET5: タイマ5プリセット(D1/0x40178<8bitタイマ5制御レジスタ>)

リロードデータをカウンタにプリセットします。

"1"書き込み: プリセット

"0"書き込み: 無効

読み出し: 常時"0"

PSETxに"1"を書き込むことによって、RLDxのリロードデータがタイマxのカウンタにプリセットされます。カウンタがRUN状態のときにプリセットを行うとリロードデータのプリセット直後にリスタートします。また、STOP状態の場合はプリセットされたリロードデータがそのまま保持されます。

"0"の書き込みはノーオペレーションとなります。

PSETxは書き込み専用のため、読み出しは常時"0"となります。

PTRUN0: タイマ0 RUN/STOP制御(D0/0x40160<8bitタイマ0制御レジスタ>)
 PTRUN1: タイマ1 RUN/STOP制御(D0/0x40164<8bitタイマ1制御レジスタ>)
 PTRUN2: タイマ2 RUN/STOP制御(D0/0x40168<8bitタイマ2制御レジスタ>)
 PTRUN3: タイマ3 RUN/STOP制御(D0/0x4016C<8bitタイマ3制御レジスタ>)
 PTRUN4: タイマ4 RUN/STOP制御(D0/0x40174<8bitタイマ4制御レジスタ>)
 PTRUN5: タイマ5 RUN/STOP制御(D0/0x40178<8bitタイマ5制御レジスタ>)

カウンタのRUN/STOPを制御します。

"1"書き込み: RUN

"0"書き込み: STOP

読み出し: 可能

各タイマのカウンタはPTRUNxに"1"を書き込むことによってダウンカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではプリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

イニシャルリセット時、PTRUNxは"0"(STOP)に設定されます。

PTOUT0: タイマ0クロック出力制御(D2/0x40160<8bitタイマ0制御レジスタ>)
PTOUT1: タイマ1クロック出力制御(D2/0x40164<8bitタイマ1制御レジスタ>)
PTOUT2: タイマ2クロック出力制御(D2/0x40168<8bitタイマ2制御レジスタ>)
PTOUT3: タイマ3クロック出力制御(D2/0x4016C<8bitタイマ3制御レジスタ>)
PTOUT4: タイマ4クロック出力制御(D2/0x40174<8bitタイマ4制御レジスタ>)
PTOUT5: タイマ5クロック出力制御(D2/0x40178<8bitタイマ5制御レジスタ>)

各タイマのクロック出力を制御します。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

PTOUTxに"1"を書き込むとタイマxのアンダーフロー信号がCFP1xで設定した外部出力端子から出力されます(タイマ0~タイマ3のみ)。タイマ2~タイマ5をシリアルインタフェースのクロック源として使用している場合は、アンダーフロー信号を1/2に分周して生成したクロックがシリアルインタフェースの対応するチャンネルに出力されます。

"0"を書き込むとクロックの出力は停止し、外部出力は"0"に、内部クロック出力は"1"に固定されます。イニシャルリセット時、PTOUTは"0"(OFF)に設定されます。

P8TM2~P8TM0: 8bitタイマ割り込みレベル

(D[2:0]/0x40269<8bitタイマ, シリアル/F Ch.0割り込みプライオリティレジスタ>)

8ビットプログラマブルタイマ割り込みの優先レベルを0~7の範囲で設定します。

イニシャルリセット時、P8TMレジスタは不定となります。

E8TU0: タイマ0割り込みイネーブル(D0/0x40275<8bitタイマ0~3割り込みイネーブルレジスタ>)
E8TU1: タイマ1割り込みイネーブル(D1/0x40275<8bitタイマ0~3割り込みイネーブルレジスタ>)
E8TU2: タイマ2割り込みイネーブル(D2/0x40275<8bitタイマ0~3割り込みイネーブルレジスタ>)
E8TU3: タイマ3割り込みイネーブル(D3/0x40275<8bitタイマ0~3割り込みイネーブルレジスタ>)
E8TU4: タイマ4割り込みイネーブル(D0/0x40278<8bitタイマ4/5割り込みイネーブルレジスタ>)
E8TU5: タイマ5割り込みイネーブル(D1/0x40278<8bitタイマ4/5割り込みイネーブルレジスタ>)

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

E8TUxは8ビットタイマの割り込みを制御する割り込みイネーブルビットで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

イニシャルリセット時、E8TUxはそれぞれ"0"(割り込み禁止)に設定されます。

F8TU0: タイマ0割り込み要因フラグ(D0/0x40285<8bitタイマ0-3割り込み要因フラグレジスタ>)
F8TU1: タイマ1割り込み要因フラグ(D1/0x40285<8bitタイマ0-3割り込み要因フラグレジスタ>)
F8TU2: タイマ2割り込み要因フラグ(D2/0x40285<8bitタイマ0-3割り込み要因フラグレジスタ>)
F8TU3: タイマ3割り込み要因フラグ(D3/0x40285<8bitタイマ0-3割り込み要因フラグレジスタ>)
F8TU4: タイマ4割り込み要因フラグ(D0/0x40288<8bitタイマ4/5割り込み要因フラグレジスタ>)
F8TU5: タイマ5割り込み要因フラグ(D1/0x40288<8bitタイマ4/5割り込み要因フラグレジスタ>)

8ビットプログラマブルタイマ割り込みの発生状態を示します。

- 読み出し時
 - "1"読み出し: 割り込み要因あり
 - "0"読み出し: 割り込み要因なし
- リセットオンリー方式書き込み時(デフォルト)
 - "1"書き込み: 要因フラグをリセット
 - "0"書き込み: 無効
- リード/ライト方式書き込み時
 - "1"書き込み: 要因フラグをセット
 - "0"書き込み: 要因フラグをリセット

F8TUXは各タイマの割り込みに対応する割り込み要因フラグで、それぞれのカウンタのアンダーフローに同期して"1"にセットされます。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

なお、8ビットプログラマブルタイマの割り込み要因をIDMA要求として使用する場合、上記の条件が成立している場合でも、割り込み要因発生時点でCPUに対する割り込み要求は出力されません。IDMAの設定で割り込みを許可してあれば、IDMAによるデータ転送終了後に上記の条件で割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。

割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。

イニシャルリセット時、F8TUXは不定となりますので、必ずソフトウェアでリセットしてください。

R8TU0: タイマ0 IDMAリクエスト

(D2/0x40292<16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAリクエストレジスタ>)

R8TU1: タイマ1 IDMAリクエスト

(D3/0x40292<16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAリクエストレジスタ>)

R8TU2: タイマ2 IDMAリクエスト

(D4/0x40292<16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAリクエストレジスタ>)

R8TU3: タイマ3 IDMAリクエスト

(D5/0x40292<16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAリクエストレジスタ>)

R8TU4: タイマ4 IDMAリクエスト

(D0/0x4029B<8bitタイマ4/5, シリアル/F Ch.2/3 IDMAリクエストレジスタ>)

R8TU5: タイマ5 IDMAリクエスト

(D1/0x4029B<8bitタイマ4/5, シリアル/F Ch.2/3 IDMAリクエストレジスタ>)

割り込み要因発生時にIDMAを起動するかどうか設定します。

• セットオンリー方式(デフォルト)

"1"書き込み: IDMA要求

"0"書き込み: 無効

読み出し: 可能

• リード/ライト方式

"1"書き込み: IDMA要求

"0"書き込み: 割り込み要求

読み出し: 可能

R8TUxは8ビットタイマのIDMAリクエストビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

IDMAについては"IDMA(インテリジェントDMA)"を参照してください。

イニシャルリセット時、R8TUxはそれぞれ"0"(割り込み要求)に設定されます。

DE8TU0: タイマ0 IDMAイネーブル

(D2/0x40296<16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAイネーブルレジスタ>)

DE8TU1: タイマ1 IDMAイネーブル

(D3/0x40296<16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAイネーブルレジスタ>)

DE8TU2: タイマ2 IDMAイネーブル

(D4/0x40296<16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAイネーブルレジスタ>)

DE8TU3: タイマ3 IDMAイネーブル

(D5/0x40296<16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAイネーブルレジスタ>)

DE8TU4: タイマ4 IDMAイネーブル

(D0/0x4029C<8bitタイマ4/5, シリアル/F Ch.2/3 IDMAイネーブルレジスタ>)

DE8TU5: タイマ5 IDMAイネーブル

(D1/0x4029C<8bitタイマ4/5, シリアル/F Ch.2/3 IDMAイネーブルレジスタ>)

割り込み要因によるIDMA転送を許可または禁止します。

• セットオンリー方式(デフォルト)

"1"書き込み: IDMA許可

"0"書き込み: 無効

読み出し: 可能

• リード/ライト方式

"1"書き込み: IDMA許可

"0"書き込み: IDMA禁止

読み出し: 可能

DE8TUxは8ビットタイマのIDMAイネーブルビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

イニシャルリセット時、DE8TUxはそれぞれ"0"(IDMA禁止)に設定されます。

プログラミング上の注意事項

- (1) 8ビットプログラマブルタイマの動作はプリスケアラが動作していることが条件です。
- (2) 8ビットプログラマブルタイマの入力クロックにCPU動作クロックよりも高速なクロックは使用しないでください。
- (3) 入力クロックの設定は、8ビットプログラマブルタイマが停止中に行ってください。
- (4) イニシャルリセット後、アンダーフロー割り込みおよびタイマ出力は不定のため、割り込み要因フラグをリセットする前あるいはタイマ出力をONする前に8ビットプログラマブルタイマの初期値をプリセットしてください。ただし、タイマ出力がOFFの場合、タイマ出力は"0"に固定されます。
- (5) イニシャルリセット後、割り込み要因フラグ(F8TUX)は不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。
- (6) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグ(F8TUX)をリセットしてください。

このページはブランクです。

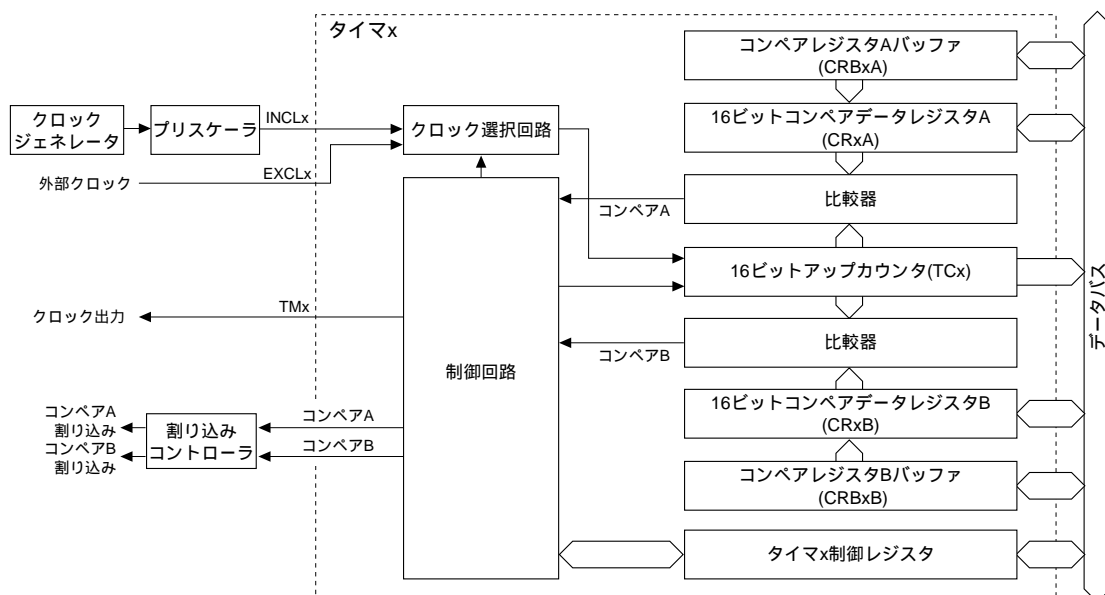
III-5 16ビットプログラマブルタイマ

16ビットプログラマブルタイマの構成

C33周辺回路ブロックは16ビットのプログラマブルタイマを6系統(タイマ0～タイマ5)内蔵しています。各タイマは、入力ポート端子を使用したイベントカウンタ機能も合わせ持っています。

注: 以降、6系統のタイマの名称をタイマxとして説明します($x=0\sim5$)。16ビットプログラマブルタイマ0～5の機能および制御レジスタの構成は同一です。制御ビット名にはタイマ番号を示す"0"～"5"が付きますが、説明は全タイマに共通なため、必要な部分以外はタイマ番号を"x"に置き換えて記述します。

図III.5.1に16ビットプログラマブルタイマの1チャンネルの構成を示します。



図III.5.1 16ビットプログラマブルタイマの構成

各タイマには、16ビットのアップカウンタと、2つの16ビットコンペアデータレジスタ(CRxA、CRxB)とそのバッファ(CRBxA、CRBxB)が設けられています。

16ビットカウンタはソフトウェアで"0"にリセット可能で、プリスケアラの出力クロックまたは入出力兼用ポート端子からの外部信号でカウントアップを行います。カウント値はソフトウェアで読み出すことができます。

コンペアデータレジスタAおよびBはアップカウンタの内容と比較するためのデータを格納するレジスタです。コンペアデータレジスタは、直接データの書き込み/読み出しが可能です。また、コンペアレジスタバッファを使用すると、カウンタがソフトウェア(PRESETxビットへの"1"書き込み)またはコンペアBマッチ信号によってリセットされた時点で設定した比較値をコンペアデータレジスタにロードすることができます。比較値をコンペアデータレジスタとバッファのどちらに書き込むかについては、ソフトウェアで設定可能です。

カウンタ値が各コンペアデータレジスタの内容に一致すると比較器によって信号が出力され、割り込みや出力信号を制御します。したがって、これらのレジスタにより割り込みの発生周期や出力クロックの周波数とデューティ比をプログラマブルに設定することができます。

16ビットプログラマブルタイマの入出力端子

表III.5.1に16ビットプログラマブルタイマで使用する入出力端子を示します。

表III.5.1 16ビットプログラマブルタイマの入出力端子

端子名	I/O	機 能	機能選択ビット
DST0(P10/EXCL0/T8UF0)	I/O	DST0出力(Ex)/入出力兼用ポート/16ビットタイマ0 イベントカウンタ入力(I)/8ビットタイマ0出力(O)	CFP10(P1機能選択レジスタ0x402D4•D0) CFEX1(ポート機能拡張レジスタ0x402DF•D1)
DST1(P11/EXCL1/T8UF1)	I/O	DST1出力(Ex)/入出力兼用ポート/16ビットタイマ1 イベントカウンタ入力(I)/8ビットタイマ1出力(O)	CFP11(P1機能選択レジスタ0x402D4•D1) CFEX1(ポート機能拡張レジスタ0x402DF•D1)
DST2(P12/EXCL2/T8UF2)	I/O	DST2出力(Ex)/入出力兼用ポート/16ビットタイマ2 イベントカウンタ入力(I)/8ビットタイマ2出力(O)	CFP12(P1機能選択レジスタ0x402D4•D2) CFEX0(ポート機能拡張レジスタ0x402DF•D0)
DPC0(P13/EXCL3/T8UF3)	I/O	DPC0出力(Ex)/入出力兼用ポート/16ビットタイマ3 イベントカウンタ入力(I)/8ビットタイマ3出力(O)	CFP13(P1機能選択レジスタ0x402D4•D3) CFEX1(ポート機能拡張レジスタ0x402DF•D1)
P15(EXCL4/#DMAEND0)	I/O	入出力兼用ポート/16ビットタイマ4イベントカウン タ入力(I)/高速DMA Ch.0終了信号出力(O)	CFP15(P1機能選択レジスタ0x402D4•D5)
P16(EXCL5/#DMAEND1)	I/O	入出力兼用ポート/16ビットタイマ5イベントカウン タ入力(I)/高速DMA Ch.1終了信号出力(O)	CFP16(P1機能選択レジスタ0x402D4•D6)
P22(TM0)	I/O	入出力兼用ポート/16ビットタイマ0出力	CFP22(P2機能選択レジスタ0x402D8•D2)
P23(TM1)	I/O	入出力兼用ポート/16ビットタイマ1出力	CFP23(P2機能選択レジスタ0x402D8•D3)
P24(TM2)	I/O	入出力兼用ポート/16ビットタイマ2出力	CFP24(P2機能選択レジスタ0x402D8•D4)
P25(TM3)	I/O	入出力兼用ポート/16ビットタイマ3出力	CFP25(P2機能選択レジスタ0x402D8•D5)
P26(TM4)	I/O	入出力兼用ポート/16ビットタイマ4出力	CFP26(P2機能選択レジスタ0x402D8•D6)
P27(TM5)	I/O	入出力兼用ポート/16ビットタイマ5出力	CFP27(P2機能選択レジスタ0x402D8•D7)

(I): 入力モード, (O): 出力モード, (Ex): 拡張機能

TMx(16ビットプログラマブルタイマ出力端子)

タイマxで生成したクロックを出力します。

EXCLx(イベントカウンタ入力端子)

タイマxをイベントカウンタとして使用する場合に、外部からのカウントパルスを入力します。

16ビットプログラマブルタイマ入出力端子の設定方法

16ビットプログラマブルタイマで使用するクロック出力端子はすべて入出力兼用ポート端子と共用されています。

コールドスタート時は入出力兼用ポート端子P2x(機能選択ビットCFP2x = "0")として設定され、ハイインピーダンスとなります。16ビットプログラマブルタイマのクロック出力機能を使用する場合は使用するタイマに合わせ、対応する端子の機能選択レジスタCFP2xに"1"を書き込んでください。

ホットスタート時は、リセット前の状態を保持します。

イベントカウンタ入力端子はすべて入出力兼用ポート端子と共用されています。

コールドスタート時はすべてデバッグ用信号出力(ポート機能拡張ビットCFEX[1:0] = "1")として設定されます。イベントカウンタ機能を使用する場合は、使用するタイマに合わせ、対応する端子の機能選択ビットCFP1xに"1"を、ポート機能拡張ビットCFEX[1:0]に"0"を書き込んでください。

なお、これらの端子は8ビットプログラマブルタイマ等の出力端子とも兼用で、入出力端子が入力モードの場合にイベントカウンタ入力となります。このため、入出力兼用ポートP1 I/O制御レジスタ(0x402D6)のIOC1x D[6:0]を"0"に設定しておくことが必要です。コールドスタート時は入力モードに設定され、ホットスタート時は、リセット前の状態を保持します。

16ビットプログラマブルタイマの用途

16ビットプログラマブルタイマのアップカウンタは、ソフトウェアで設定したコンペアデータにより周期的にコンペアマッチ信号を出力します。これらの信号はCPUへの割り込み要求や、内蔵周辺回路の制御に使用されます。また、これらの信号から生成したクロックをIC外部に出力することもできます。

CPUへの割り込み要求/IDMA起動要求

各タイマのコンペアマッチ(カウンタとコンペアデータの一致)を割り込み要因として、CPUに対して割り込み要求を出力可能です。ソフトウェアで設定した周期で割り込みを発生させることができます。また、この割り込み要因によってIDMAまたはHSDMAを起動することも可能です。

IC外部へのクロック出力

コンペアマッチ信号により生成したクロックをIC外部に出力することができます。コンペアB信号でクロックの周期が決まり、コンペアA信号でデューティ比が決まります。これを外部デバイスの制御などに使用することができます。各タイマの出力端子は前節に示したとおりです。

A/D変換開始トリガ

A/D変換器は、A/D変換を開始するトリガ方式を4種類から選択できるようになっています。その1つが、16ビットプログラマブルタイマ0のコンペアB信号によるものです。これにより、プログラマブルな周期でA/D変換を行うことができます。

この機能を使用するには、A/Dトリガレジスタ(0x40242)のTS[1:0][D[4:3]]に"01"を書き込み、トリガに16ビットプログラマブルタイマ0を選択します。

ウォッチドッグタイマ

16ビットプログラマブルタイマ0は、CPUの暴走を監視するウォッチドッグタイマとして使用することができます。この場合、タイマ0のコンペアB信号はCPUに対するNMI要求信号となります。

この機能を使用するには、ウォッチドッグタイマイネーブルレジスタ(0x40171)のEWD[D1]]に"1"を書き込み、NMIを有効に設定します。ウォッチドッグタイマの制御については、"ウォッチドッグタイマ"を参照してください。

16ビットプログラマブルタイマの制御と動作

16ビットプログラマブルタイマを使用する場合は、カウントを開始させる前に以下の設定が必要です。

1. 入力・出力端子の設定(必要な場合のみ)
2. 入力クロックの設定
3. コンペアデータレジスタ/バッファの選択
4. クロック出力条件の設定(信号極性、ファインモード)
5. コンペアデータの設定
6. 割り込み/DMAの設定

クロック出力条件、割り込み/DMAの設定については"クロック出力の制御"、"16ビットプログラマブルタイマ割り込みとDMA"を参照してください。

入力・出力端子の設定

出力端子の設定は、16ビットプログラマブルタイマの出力クロックをIC外部に出力させる場合に必要です。入力端子の設定は、16ビットプログラマブルタイマを外部クロックをカウントするイベントカウンタとして使用する場合に必要です。

設定方法は"16ビットプログラマブルタイマの入出力端子"を参照してください。

入力クロックの設定

各タイマのカウントクロックには内部クロックと外部クロックが選択できます。

選択は以下の制御ビットで行います。

タイマ0入力クロック選択: CKSL0 16bitタイマ0制御レジスタ0x48186・D3)

タイマ1入力クロック選択: CKSL1 16bitタイマ1制御レジスタ0x4818E・D3)

タイマ2入力クロック選択: CKSL2 16bitタイマ2制御レジスタ0x48196・D3)

タイマ3入力クロック選択: CKSL3 16bitタイマ3制御レジスタ0x4819E・D3)

タイマ4入力クロック選択: CKSL4 16bitタイマ4制御レジスタ0x481A6・D3)

タイマ5入力クロック選択: CKSL5 16bitタイマ5制御レジスタ0x481AE・D3)

CKSLxに"1"を書き込むと外部クロック、"0"を書き込むと内部クロックが選択されます。

イニシャルリセット時は内部クロックに設定されます。

外部クロックは、入力端子を設定したタイマで使用可能です。

• 内部クロック

内部クロックを選択すると、そのタイマはプリスケアラの出力クロックにより動作します。プリスケアラの分周比は、タイマごとに選択可能です。

表III.5.2 内部クロックの制御

タイマ	制御レジスタ	分周比選択ビット	クロック制御ビット
タイマ0	16bitタイマ0クロックコントロールレジスタ(0x40147)	P16TS0[2:0] (D[2:0])	P16TON0 (D3)
タイマ1	16bitタイマ1クロックコントロールレジスタ(0x40148)	P16TS1[2:0] (D[2:0])	P16TON1 (D3)
タイマ2	16bitタイマ2クロックコントロールレジスタ(0x40149)	P16TS2[2:0] (D[2:0])	P16TON2 (D3)
タイマ3	16bitタイマ3クロックコントロールレジスタ(0x4014A)	P16TS3[2:0] (D[2:0])	P16TON3 (D3)
タイマ4	16bitタイマ4クロックコントロールレジスタ(0x4014B)	P16TS4[2:0] (D[2:0])	P16TON4 (D3)
タイマ5	16bitタイマ5クロックコントロールレジスタ(0x4014C)	P16TS5[2:0] (D[2:0])	P16TON5 (D3)

分周比は表III.5.3に示す8種類から選択できます。

表III.5.3 入力クロックの選択

P16TS = 7	P16TS = 6	P16TS = 5	P16TS = 4	P16TS = 3	P16TS = 2	P16TS = 1	P16TS = 0
fPSCIN/4096	fPSCIN/1024	fPSCIN/256	fPSCIN/64	fPSCIN/16	fPSCIN/4	fPSCIN/2	fPSCIN/1

fPSCIN: プリスケアラ入力クロック周波数

選択したクロックはP16TONxに"1"を書き込むことにより、プリスケアラから16ビットプログラマブルタイマに出力されます。

注: • 内部クロックを使用する場合、16ビットプログラマブルタイマの動作はプリスケアラが動作していることが条件です。("プリスケアラ"参照)

- 入力クロックの設定は、16ビットプログラマブルタイマが停止中に行ってください。

- 外部クロック

外部よりパルスを入力し、イベントカウンタとして使用する場合、イベント周期はCPU動作クロックの2倍以上としてください。

コンペアデータレジスタ/バッファの選択

コンペアデータレジスタAおよびBはアップカウンタの内容と比較するためのデータを格納するレジスタで、直接データの書き込み/読み出しが可能です。また、コンペアレジスタバッファを使用すると、カウンタがソフトウェア(PRESETxビットへの"1"書き込み)またはコンペアBマッチ信号によってリセットされた時点で設定した比較値をコンペアデータレジスタにロードすることができます。比較値をコンペアデータレジスタとバッファのどちらに書き込むかについて、以下の制御ビットで設定します。

タイマ0コンペアレジスタバッファイネーブル: SELCRB0(16bitタイマ0制御レジスタ0x48186•D5)

タイマ1コンペアレジスタバッファイネーブル: SELCRB1(16bitタイマ1制御レジスタ0x4818E•D5)

タイマ2コンペアレジスタバッファイネーブル: SELCRB2(16bitタイマ2制御レジスタ0x48196•D5)

タイマ3コンペアレジスタバッファイネーブル: SELCRB3(16bitタイマ3制御レジスタ0x4819E•D5)

タイマ4コンペアレジスタバッファイネーブル: SELCRB4(16bitタイマ4制御レジスタ0x481A6•D5)

タイマ5コンペアレジスタバッファイネーブル: SELCRB5(16bitタイマ5制御レジスタ0x481AE•D5)

SELCRBxに"1"を書き込むとコンペアレジスタバッファ、"0"を書き込むとコンペアデータレジスタが選択されます。

イニシャルリセット時は、コンペアデータレジスタが選択されます。

コンペアデータの設定

プログラマブルタイマにはデータの比較器が内蔵されており、カウントデータを任意の値と比較することができます。この値は以下のレジスタで設定します。

タイマ0コンペアデータA: CR0A[15:0] 16bitタイマ0コンペアデータA設定レジスタ0x48180•D[F:0])

タイマ0コンペアデータB: CR0B[15:0] 16bitタイマ0コンペアデータB設定レジスタ0x48182•D[F:0])

タイマ1コンペアデータA: CR1A[15:0] 16bitタイマ1コンペアデータA設定レジスタ0x48188•D[F:0])

タイマ1コンペアデータB: CR1B[15:0] 16bitタイマ1コンペアデータB設定レジスタ0x4818A•D[F:0])

タイマ2コンペアデータA: CR2A[15:0] 16bitタイマ2コンペアデータA設定レジスタ0x48190•D[F:0])

タイマ2コンペアデータB: CR2B[15:0] 16bitタイマ2コンペアデータB設定レジスタ0x48192•D[F:0])

タイマ3コンペアデータA: CR3A[15:0] 16bitタイマ3コンペアデータA設定レジスタ0x48198•D[F:0])

タイマ3コンペアデータB: CR3B[15:0] 16bitタイマ3コンペアデータB設定レジスタ0x4819A•D[F:0])

タイマ4コンペアデータA: CR4A[15:0] 16bitタイマ4コンペアデータA設定レジスタ0x481A0•D[F:0])

タイマ4コンペアデータB: CR4B[15:0] 16bitタイマ4コンペアデータB設定レジスタ0x481A2•D[F:0])

タイマ5コンペアデータA: CR5A[15:0] 16bitタイマ5コンペアデータA設定レジスタ0x481A8•D[F:0])

タイマ5コンペアデータB: CR5B[15:0] 16bitタイマ5コンペアデータB設定レジスタ0x481AA•D[F:0])

SELCRBxが"0"に設定されている場合、これらのレジスタによりコンペアデータレジスタが直接読み出し/書き込み可能です。

SELCRBxが"1"に設定されている場合、これらのレジスタへのデータ書き込み/読み出しはコンペアレジスタバッファに対して行われます。バッファの内容はカウンタがリセットされた時点でコンペアデータレジスタにロードされます。

イニシャルリセット時、コンペアデータレジスタ/バッファは初期化されません。

プログラマブルタイマはコンペアデータレジスタとカウントデータを比較し、同じ値になったところでコンペアマッチ信号を発生します。このコンペアマッチ信号は割り込みを発生するとともに外部へのクロック(TMx信号)出力を制御します。

コンペアデータBはカウンタのリセット周期も決定します。

カウンタのリセット

各タイマのアップカウンタは、PRESETxビットによってリセットできます。

タイマ0リセット: PRESET0(16bitタイマ0制御レジスタ0x48186・D1)

タイマ1リセット: PRESET1(16bitタイマ1制御レジスタ0x4818E・D1)

タイマ2リセット: PRESET2(16bitタイマ2制御レジスタ0x48196・D1)

タイマ3リセット: PRESET3(16bitタイマ3制御レジスタ0x4819E・D1)

タイマ4リセット: PRESET4(16bitタイマ4制御レジスタ0x481A6・D1)

タイマ5リセット: PRESET5(16bitタイマ5制御レジスタ0x481AE・D1)

通常は、カウントアップを開始する前に、このビットに"1"を書き込みカウンタをリセットします。カウント開始後は、カウンタがコンペアデータBに一致するとハードウェアによってリセットされます。

タイマのRUN/STOP制御

各タイマにはそれぞれ、RUN/STOPを制御するビットPRUNxが設けられています。

タイマ0 RUN/STOP制御: PRUN0(16bitタイマ0制御レジスタ0x48186・D0)

タイマ1 RUN/STOP制御: PRUN1(16bitタイマ1制御レジスタ0x4818E・D0)

タイマ2 RUN/STOP制御: PRUN2(16bitタイマ2制御レジスタ0x48196・D0)

タイマ3 RUN/STOP制御: PRUN3(16bitタイマ3制御レジスタ0x4819E・D0)

タイマ4 RUN/STOP制御: PRUN4(16bitタイマ4制御レジスタ0x481A6・D0)

タイマ5 RUN/STOP制御: PRUN5(16bitタイマ5制御レジスタ0x481AE・D0)

タイマはPRUNxに"1"を書き込むことによってカウントを開始します。PRUNxに"0"を書き込むとクロックの入力が禁止され、カウントは停止します。

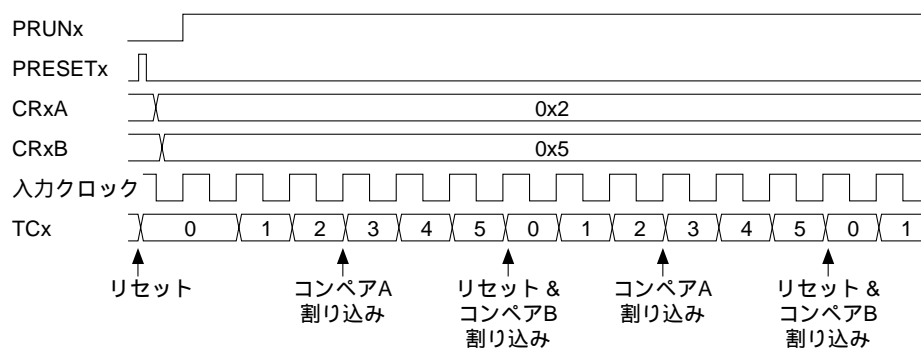
このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

カウント中にカウンタがコンペアデータレジスタAの設定値と一致すると、コンペアA割り込みを発生します。

また、カウンタがコンペアデータレジスタBの設定値と一致すると、コンペアB割り込みが発生するとともに、カウンタをリセットします。SELCRBxが"1"に設定されている場合は、コンペアレジスタバッファに設定してある値がコンペアデータレジスタにロードされます。

どちらの割り込みが発生した場合もカウント動作はそのまま継続します。コンペアB割り込みの場合はカウンタ値"0"からのカウントとなります。

RUN/STOP制御ビット(PRUNx)とタイマリセットビット(PRESETx)に同時に"1"を書き込んだ場合、タイマはカウンタをリセット後にカウントを開始します。



図III.5.2 カウンタの基本動作タイミング

カウンタデータの読み出し

カウンタデータはそれぞれ以下のアドレスから任意のタイミングで読み出しが可能です。

タイマ0カウンタデータ: TC0[15:0](16bitタイマ0カウンタデータレジスタ0x48184)

タイマ1カウンタデータ: TC1[15:0](16bitタイマ1カウンタデータレジスタ0x4818C)

タイマ2カウンタデータ: TC2[15:0](16bitタイマ2カウンタデータレジスタ0x48194)

タイマ3カウンタデータ: TC3[15:0](16bitタイマ3カウンタデータレジスタ0x4819C)

タイマ4カウンタデータ: TC4[15:0](16bitタイマ4カウンタデータレジスタ0x481A4)

タイマ5カウンタデータ: TC5[15:0](16bitタイマ5カウンタデータレジスタ0x481AC)

クロック出力の制御

各タイマは、コンペアマッチ信号によってTMx信号を発生させることができます。

出力信号の極性選択

デフォルトでは、アクティブHigh(ノーマルLow)の出力信号が生成されます。この論理をOUTINVxビットで反転させることができます。OUTINVxに"1"を書き込むと、タイマはアクティブLow(ノーマルHigh)の信号を生成します。

タイマ0出力反転: OUTINV0(16bitタイマ0制御レジスタ0x48186・D4)

タイマ1出力反転: OUTINV1(16bitタイマ1制御レジスタ0x4818E・D4)

タイマ2出力反転: OUTINV2(16bitタイマ2制御レジスタ0x48196・D4)

タイマ3出力反転: OUTINV3(16bitタイマ3制御レジスタ0x4819E・D4)

タイマ4出力反転: OUTINV4(16bitタイマ4制御レジスタ0x481A6・D4)

タイマ5出力反転: OUTINV5(16bitタイマ5制御レジスタ0x481AE・D4)

出力波形については図III.5.3を参照してください。

出力端子の設定

ここで発生したTMx信号は、クロック出力端子(表III.5.1参照)から出力させることができ、外部デバイス等に対してプログラマブルなクロックを供給することができます。

コールドスタート時、出力に使用する端子は入出力兼用ポート用に設定され、入力モードとなります。このときの端子の状態はハイインピーダンスとなります。

端子機能をタイマ出力に切り換えると、OUTINVxが"0"の場合は端子がLowレベル、OUTINVxが"1"の場合はHighレベルになります。

クロック出力の開始

TMxクロックを出力するには、クロック出力制御ビットPTMxに"1"を書き込みます。PTMxに"0"を書き込むと、出力はOUTINVxの設定に従ったOFFレベル(OUTINVx = "0": Low、OUTINVx = "1": High)となります。

タイマ0クロック出力制御: PTM0(16bitタイマ0制御レジスタ0x48186・D2)

タイマ1クロック出力制御: PTM1(16bitタイマ1制御レジスタ0x4818E・D2)

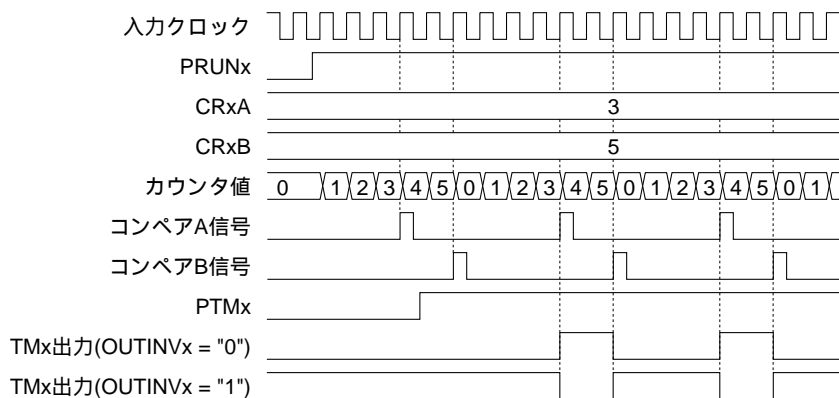
タイマ2クロック出力制御: PTM2(16bitタイマ2制御レジスタ0x48196・D2)

タイマ3クロック出力制御: PTM3(16bitタイマ3制御レジスタ0x4819E・D2)

タイマ4クロック出力制御: PTM4(16bitタイマ4制御レジスタ0x481A6・D2)

タイマ5クロック出力制御: PTM5(16bitタイマ5制御レジスタ0x481AE・D2)

図III.5.3に出力波形を示します。



図III.5.3 16ビットプログラマブルタイマの出力波形

OUTINVx = "0" (アクティブHigh) の場合

タイマは、カウンタがCRxAレジスタに設定したコンペアデータAに一致するまでLowレベルを出力します。カウンタがコンペアデータAの次の値になると、出力端子はHighレベルとなりコンペアA割り込みが発生します。その後、カウンタがCRxBレジスタに設定したコンペアデータBまでカウントアップされると、カウンタがリセットされ、出力端子はLowレベルに戻ります。同時にコンペアB割り込みも発生します。

OUTINVx = "1" (アクティブLow) の場合

タイマは、カウンタがCRxAレジスタに設定したコンペアデータAに一致するまでHighレベルを出力します。カウンタがコンペアデータAの次の値になると、出力端子はLowレベルとなりコンペアA割り込みが発生します。その後、カウンタがCRxBレジスタに設定したコンペアデータBまでカウントアップされると、カウンタがリセットされ、出力端子はHighレベルに戻ります。同時にコンペアB割り込みも発生します。

クロック出力ファインモードの設定

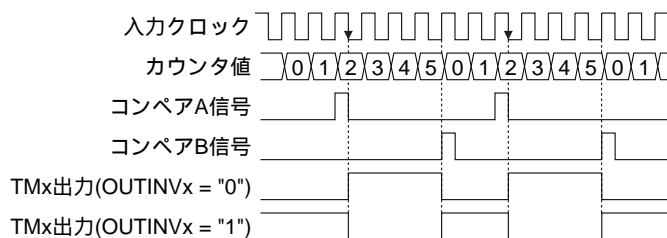
デフォルト(イニシャルリセット時)では、CRxA[15:0]とTCx[15:0]が一致した場合、入力クロックの立ち上がりでクロック出力が変化します。

ファインモードのクロック出力は、CRxA[15:1]とTCx[14:0]が一致した場合に、CRxA[0]の値に従って変化します。

CRxA[0]が"0"の場合: 入力クロックの立ち上がりで変化

CRxA[0]が"1"の場合: 半周期遅れの入力クロックの立ち下がりで変化

例) CRxA = 3, CRxB = 5



図III.5.4 ファインモードのクロック出力

このように、ファインモードでは入力クロックの半周期きざみで出力デューティを調節することができます。ただし、CRxA = 0の場合は、入力クロックの1周期幅のパルスが出力されます(デフォルトの場合と同様)。ファインモードでのCRxB最大値は $2^{15} - 1 = 32,767$ 、CRxAの設定範囲は $0 \sim (2 \times \text{CRxB} - 1)$ となります。

ファインモードは以下のレジスタで設定します。

タイマ0ファインモード選択: SELFM0(16bitタイマ0制御レジスタ0x48186・D6)

タイマ1ファインモード選択: SELFM1(16bitタイマ1制御レジスタ0x4818E・D6)

タイマ2ファインモード選択: SELFM2(16bitタイマ2制御レジスタ0x48196・D6)

タイマ3ファインモード選択: SELFM3(16bitタイマ3制御レジスタ0x4819E・D6)

タイマ4ファインモード選択: SELFM4(16bitタイマ4制御レジスタ0x481A6・D6)

タイマ5ファインモード選択: SELFM5(16bitタイマ5制御レジスタ0x481AE・D6)

SELFMxに"1"を書き込むと、ファインモードが設定されます。イニシャルリセット時はファインモードがディセーブル状態となります。

注意事項

- 1) コンペアデータレジスタAとBに同じ値を設定すると、ハザードパルスが出力されることがあります。タイマ出力を使用する場合は、コンペアデータAとBを同じ値には設定しないでください。割り込み機能のみを使用する場合は、A = Bでも問題ありません。割り込みは正常に発生します。
- 2) タイマ出力を使用する場合、コンペアデータはA = 0、B = 1を設定してください。最小設定はA = 0、B = 1で、タイマ出力サイクルは入力クロックの1/2となります。
- 3) コンペアデータをA > Bに設定すると、コンペアマッチA信号は発生しません。この場合、タイマ出力はOFFレベルに固定されます。

16ビットプログラマブルタイマ割り込みとDMA

16ビットプログラマブルタイマには、各タイマのコンペアマッチAとBによって割り込みを発生させる機能があります。割り込みの発生タイミングは、図III.5.2に示したとおりです。

割り込みコントローラの制御レジスタ

各タイマごとに用意されている割り込みコントローラの制御レジスタを、表III.5.4に示します。

表III.5.4 割り込みコントローラの制御レジスタ

割り込み要因	割り込み要因フラグ	割り込み イネーブルレジスタ	割り込み プライオリティレジスタ
タイマ0コンペアA	F16TC0 (D3/0x40282)	E16TC0 (D3/0x40272)	P16T0[2:0] (D[2:0]/0x40266)
タイマ0コンペアB	F16TU0 (D2/0x40282)	E16TU0 (D2/0x40272)	
タイマ1コンペアA	F16TC1 (D7/0x40282)	E16TC1 (D7/0x40272)	P16T1[2:0] (D[6:4]/0x40266)
タイマ1コンペアB	F16TU1 (D6/0x40282)	E16TU1 (D6/0x40272)	
タイマ2コンペアA	F16TC2 (D3/0x40283)	E16TC2 (D3/0x40273)	P16T2[2:0] (D[2:0]/0x40267)
タイマ2コンペアB	F16TU2 (D2/0x40283)	E16TU2 (D2/0x40273)	
タイマ3コンペアA	F16TC3 (D7/0x40283)	E16TC3 (D7/0x40273)	P16T3[2:0] (D[6:4]/0x40267)
タイマ3コンペアB	F16TU3 (D6/0x40283)	E16TU3 (D6/0x40273)	
タイマ4コンペアA	F16TC4 (D3/0x40284)	E16TC4 (D3/0x40274)	P16T4[2:0] (D[2:0]/0x40268)
タイマ4コンペアB	F16TU4 (D2/0x40284)	E16TU4 (D2/0x40274)	
タイマ5コンペアA	F16TC5 (D7/0x40284)	E16TC5 (D7/0x40274)	P16T5[2:0] (D[6:4]/0x40268)
タイマ5コンペアB	F16TU5 (D6/0x40284)	E16TU5 (D6/0x40274)	

タイマにコンペアマッチが発生すると、対応する割り込み要因フラグが"1"にセットされます。

その割り込み要因フラグに対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。

割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、そのタイマによる割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず("0"に設定されていても)、タイマのコンペアマッチによって"1"にセットされます。

割り込みプライオリティレジスタは、タイマ割り込みの優先レベル(0~7)を設定します。優先順位はタイマ番号の小さい方が高く、また、割り込みの種類としてはコンペアB割り込みがコンペアA割り込みに優先します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。

また、入力割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した入力割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITC(割り込みコントローラ)"を参照してください。

インテリジェントDMA

タイマの割り込み要因は、インテリジェントDMA(IDMA)を起動することができます。これにより、メモリ間のDMA転送を周期的に行うことができます。

各割り込み要因に設定されたIDMAチャンネル番号は次のとおりです。

IDMA Ch.	IDMA Ch.
タイマ0コンペアB: 0x07	タイマ0コンペアA: 0x08
タイマ1コンペアB: 0x09	タイマ1コンペアA: 0x0A
タイマ2コンペアB: 0x0B	タイマ2コンペアA: 0x0C
タイマ3コンペアB: 0x0D	タイマ3コンペアA: 0x0E
タイマ4コンペアB: 0x0F	タイマ4コンペアA: 0x10
タイマ5コンペアB: 0x11	タイマ5コンペアA: 0x12

IDMAを起動させるには、表III.5.5に示すIDMAリクエストビットとIDMAイネーブルビットに"1"を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。

表III.5.5 IDMA転送の制御ビット

割り込み要因	IDMAリクエストビット	IDMAイネーブルビット
タイマ0コンペアA	R16TC0(D7/0x40290)	DE16TC0(D7/0x40294)
タイマ0コンペアB	R16TU0(D6/0x40290)	DE16TU0(D6/0x40294)
タイマ1コンペアA	R16TC1(D1/0x40291)	DE16TC1(D1/0x40295)
タイマ1コンペアB	R16TU1(D0/0x40291)	DE16TU1(D0/0x40295)
タイマ2コンペアA	R16TC2(D3/0x40291)	DE16TC2(D3/0x40295)
タイマ2コンペアB	R16TU2(D2/0x40291)	DE16TU2(D2/0x40295)
タイマ3コンペアA	R16TC3(D5/0x40291)	DE16TC3(D5/0x40295)
タイマ3コンペアB	R16TU3(D4/0x40291)	DE16TU3(D4/0x40295)
タイマ4コンペアA	R16TC4(D7/0x40291)	DE16TC4(D7/0x40295)
タイマ4コンペアB	R16TU4(D6/0x40291)	DE16TU4(D6/0x40295)
タイマ5コンペアA	R16TC5(D1/0x40292)	DE16TC5(D1/0x40296)
タイマ5コンペアB	R16TU5(D0/0x40292)	DE16TU5(D0/0x40296)

IDMAリクエストビットおよびIDMAイネーブルビットが"1"に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はDMA転送終了後に発生します。また、DMA転送のみを行い、割り込みは発生しないように設定することもできます。IDMA転送と転送終了後の割り込み制御については、"IDMA(インテリジェントDMA)"を参照してください。

高速DMA

各タイマの割り込み要因は、高速DMA(HSDMA)を起動することもできます。各タイマに対応するHSDMAチャンネル番号とトリガ設定ビットを以下に示します。

表III.5.6 HSDMAトリガ設定ビット

割り込み要因	HSDMA Ch.	トリガ設定ビット
タイマ0コンペアA	0	HSD0S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298•D[3:0]) = "0111"
タイマ0コンペアB	0	HSD0S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298•D[3:0]) = "0110"
タイマ1コンペアA	1	HSD1S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298•D[7:4]) = "0111"
タイマ1コンペアB	1	HSD1S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298•D[7:4]) = "0110"
タイマ2コンペアA	2	HSD2S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299•D[3:0]) = "0111"
タイマ2コンペアB	2	HSD2S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299•D[3:0]) = "0110"
タイマ3コンペアA	3	HSD3S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299•D[7:4]) = "0111"
タイマ3コンペアB	3	HSD3S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299•D[7:4]) = "0110"
タイマ4コンペアA	0	HSD0S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298•D[3:0]) = "1001"
	2	HSD2S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299•D[3:0]) = "1001"
タイマ4コンペアB	0	HSD0S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298•D[3:0]) = "1000"
	2	HSD2S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299•D[3:0]) = "1000"
タイマ5コンペアA	1	HSD1S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298•D[7:4]) = "1001"
	3	HSD3S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299•D[7:4]) = "1001"
タイマ5コンペアB	1	HSD1S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298•D[7:4]) = "1000"
	3	HSD3S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299•D[7:4]) = "1000"

HSDMAを起動させるには、トリガ設定ビットで割り込み要因を選択しておきます。また、HSDMA側の転送条件等の設定も必要です。

HSDMAのトリガ要因に16ビットタイマを選択すると、その割り込み要因の発生でHSDMAが起動します。HSDMAの詳細については、"HSDMA(高速DMA)"を参照してください。

トラップベクタ

各割り込み要因のトラップベクタアドレスは、デフォルトでそれぞれ以下のとおり設定されています。

タイマ0コンペアB割り込み: 0x0C00078

タイマ0コンペアA割り込み: 0x0C0007C

タイマ1コンペアB割り込み: 0x0C00088

タイマ1コンペアA割り込み: 0x0C0008C

タイマ2コンペアB割り込み: 0x0C00098

タイマ2コンペアA割り込み: 0x0C0009C

タイマ3コンペアB割り込み: 0x0C000A8

タイマ3コンペアA割り込み: 0x0C000AC

タイマ4コンペアB割り込み: 0x0C000B8

タイマ4コンペアA割り込み: 0x0C000BC

タイマ5コンペアB割り込み: 0x0C000C8

タイマ5コンペアA割り込み: 0x0C000CC

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134 ~ 0x48137)で変更することも可能です。

16ビットプログラマブルタイマのI/Oメモリ

表III.5.7に16ビットプログラマブルタイマの制御ビットを示します。

クロックを設定するプリスケアラのI/Oメモリについては、"プリスケアラ"を参照してください。

表III.5.7 16ビットプログラマブルタイマの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ0/1 割り込み プライオリティ レジスタ	0040266 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	P16T12	16bitタイマ1	0 ~ 7	X	R/W	
		D5	P16T11	割り込みレベル		X		
		D4	P16T10			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	P16T02	16bitタイマ0	0 ~ 7	X	R/W	
		D1	P16T01	割り込みレベル		X		
		D0	P16T00			X		
16bitタイマ2/3 割り込み プライオリティ レジスタ	0040267 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	P16T32	16bitタイマ3	0 ~ 7	X	R/W	
		D5	P16T31	割り込みレベル		X		
		D4	P16T30			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	P16T22	16bitタイマ2	0 ~ 7	X	R/W	
		D1	P16T21	割り込みレベル		X		
		D0	P16T20			X		
16bitタイマ4/5 割り込み プライオリティ レジスタ	0040268 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	P16T52	16bitタイマ5	0 ~ 7	X	R/W	
		D5	P16T51	割り込みレベル		X		
		D4	P16T50			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	P16T42	16bitタイマ4	0 ~ 7	X	R/W	
		D1	P16T41	割り込みレベル		X		
		D0	P16T40			X		
16bitタイマ0/1 割り込み イネーブル レジスタ	0040272 (B)	D7	E16TC1	16bitタイマ1コンペアA	1 許可	0 禁止	0 R/W	
		D6	E16TU1	16bitタイマ1コンペアB			0 R/W	
		D5-4	—	reserved	—	—	—	読み出し時: 0
		D3	E16TC0	16bitタイマ0コンペアA	1 許可	0 禁止	0 R/W	
		D2	E16TU0	16bitタイマ0コンペアB			0 R/W	
		D1-0	—	reserved	—	—	—	読み出し時: 0
16bitタイマ2/3 割り込み イネーブル レジスタ	0040273 (B)	D7	E16TC3	16bitタイマ3コンペアA	1 許可	0 禁止	0 R/W	
		D6	E16TU3	16bitタイマ3コンペアB			0 R/W	
		D5-4	—	reserved	—	—	—	読み出し時: 0
		D3	E16TC2	16bitタイマ2コンペアA	1 許可	0 禁止	0 R/W	
		D2	E16TU2	16bitタイマ2コンペアB			0 R/W	
		D1-0	—	reserved	—	—	—	読み出し時: 0
16bitタイマ4/5 割り込み イネーブル レジスタ	0040274 (B)	D7	E16TC5	16bitタイマ5コンペアA	1 許可	0 禁止	0 R/W	
		D6	E16TU5	16bitタイマ5コンペアB			0 R/W	
		D5-4	—	reserved	—	—	—	読み出し時: 0
		D3	E16TC4	16bitタイマ4コンペアA	1 許可	0 禁止	0 R/W	
		D2	E16TU4	16bitタイマ4コンペアB			0 R/W	
		D1-0	—	reserved	—	—	—	読み出し時: 0
16bitタイマ0/1 割り込み 要因フラグ レジスタ	0040282 (B)	D7	F16TC1	16bitタイマ1コンペアA	1 要因発生	0 要因なし	X R/W	
		D6	F16TU1	16bitタイマ1コンペアB			X R/W	
		D5-4	—	reserved	—	—	—	読み出し時: 0
		D3	F16TC0	16bitタイマ0コンペアA	1 要因発生	0 要因なし	X R/W	
		D2	F16TU0	16bitタイマ0コンペアB			X R/W	
		D1-0	—	reserved	—	—	—	読み出し時: 0
16bitタイマ2/3 割り込み 要因フラグ レジスタ	0040283 (B)	D7	F16TC3	16bitタイマ3コンペアA	1 要因発生	0 要因なし	X R/W	
		D6	F16TU3	16bitタイマ3コンペアB			X R/W	
		D5-4	—	reserved	—	—	—	読み出し時: 0
		D3	F16TC2	16bitタイマ2コンペアA	1 要因発生	0 要因なし	X R/W	
		D2	F16TU2	16bitタイマ2コンペアB			X R/W	
		D1-0	—	reserved	—	—	—	読み出し時: 0
16bitタイマ4/5 割り込み 要因フラグ レジスタ	0040284 (B)	D7	F16TC5	16bitタイマ5コンペアA	1 要因発生	0 要因なし	X R/W	
		D6	F16TU5	16bitタイマ5コンペアB			X R/W	
		D5-4	—	reserved	—	—	—	読み出し時: 0
		D3	F16TC4	16bitタイマ4コンペアA	1 要因発生	0 要因なし	X R/W	
		D2	F16TU4	16bitタイマ4コンペアB			X R/W	
		D1-0	—	reserved	—	—	—	読み出し時: 0

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈				
ポート入力0-3、 高速DMA Ch.0/1、 16bitタイマ0 IDMAリクエスト レジスタ	0040290 (B)	D7	R16TC0	16bitタイマ0コンペアA	1	IDMA要求	0	割り込み 要求	0	R/W		
		D6	R16TU0	16bitタイマ0コンペアB					0	R/W		
		D5	RHDM1	高速DMA Ch.1					0	R/W		
		D4	RHDM0	高速DMA Ch.0					0	R/W		
		D3	RP3	ポート入力3					0	R/W		
		D2	RP2	ポート入力2					0	R/W		
		D1	RP1	ポート入力1					0	R/W		
		D0	RP0	ポート入力0					0	R/W		
16bitタイマ1-4 IDMAリクエスト レジスタ	0040291 (B)	D7	R16TC4	16bitタイマ4コンペアA	1	IDMA要求	0	割り込み 要求	0	R/W		
		D6	R16TU4	16bitタイマ4コンペアB					0	R/W		
		D5	R16TC3	16bitタイマ3コンペアA					0	R/W		
		D4	R16TU3	16bitタイマ3コンペアB					0	R/W		
		D3	R16TC2	16bitタイマ2コンペアA					0	R/W		
		D2	R16TU2	16bitタイマ2コンペアB					0	R/W		
		D1	R16TC1	16bitタイマ1コンペアA					0	R/W		
		D0	R16TU1	16bitタイマ1コンペアB					0	R/W		
16bitタイマ5、 8bitタイマ0-3、 シリアルI/F Ch.0 IDMAリクエスト レジスタ	0040292 (B)	D7	RSTX0	SIF Ch.0送信バッファエンプティ	1	IDMA要求	0	割り込み 要求	0	R/W		
		D6	RSRX0	SIF Ch.0受信バッファフル					0	R/W		
		D5	R8TU3	8bitタイマ3アンダーフロー					0	R/W		
		D4	R8TU2	8bitタイマ2アンダーフロー					0	R/W		
		D3	R8TU1	8bitタイマ1アンダーフロー					0	R/W		
		D2	R8TU0	8bitタイマ0アンダーフロー					0	R/W		
		D1	R16TC5	16bitタイマ5コンペアA					0	R/W		
		D0	R16TU5	16bitタイマ5コンペアB					0	R/W		
ポート入力0-3、 高速DMA Ch.0/1、 16bitタイマ0 IDMAイネーブル レジスタ	0040294 (B)	D7	DE16TC0	16bitタイマ0コンペアA	1	IDMA許可	0	IDMA禁止	0	R/W		
		D6	DE16TU0	16bitタイマ0コンペアB					0	R/W		
		D5	DEHDM1	高速DMA Ch.1					0	R/W		
		D4	DEHDM0	高速DMA Ch.0					0	R/W		
		D3	DEP3	ポート入力3					0	R/W		
		D2	DEP2	ポート入力2					0	R/W		
		D1	DEP1	ポート入力1					0	R/W		
		D0	DEP0	ポート入力0					0	R/W		
16bitタイマ1-4 IDMAイネーブル レジスタ	0040295 (B)	D7	DE16TC4	16bitタイマ4コンペアA	1	IDMA許可	0	IDMA禁止	0	R/W		
		D6	DE16TU4	16bitタイマ4コンペアB					0	R/W		
		D5	DE16TC3	16bitタイマ3コンペアA					0	R/W		
		D4	DE16TU3	16bitタイマ3コンペアB					0	R/W		
		D3	DE16TC2	16bitタイマ2コンペアA					0	R/W		
		D2	DE16TU2	16bitタイマ2コンペアB					0	R/W		
		D1	DE16TC1	16bitタイマ1コンペアA					0	R/W		
		D0	DE16TU1	16bitタイマ1コンペアB					0	R/W		
16bitタイマ5、 8bitタイマ0-3、 シリアルI/F Ch.0 IDMAイネーブル レジスタ	0040296 (B)	D7	DESTX0	SIF Ch.0送信バッファエンプティ	1	IDMA許可	0	IDMA禁止	0	R/W		
		D6	DESRX0	SIF Ch.0受信バッファフル					0	R/W		
		D5	DE8TU3	8bitタイマ3アンダーフロー					0	R/W		
		D4	DE8TU2	8bitタイマ2アンダーフロー					0	R/W		
		D3	DE8TU1	8bitタイマ1アンダーフロー					0	R/W		
		D2	DE8TU0	8bitタイマ0アンダーフロー					0	R/W		
		D1	DE16TC5	16bitタイマ5コンペアA					0	R/W		
		D0	DE16TU5	16bitタイマ5コンペアB					0	R/W		
P1機能選択 レジスタ	00402D4 (B)	D7	-	reserved	-		-	-	読み出し時: 0	拡張機能(0x402D7) 拡張機能(0x402DF)		
		D6	CFP16	P16機能選択	1	EXCL5 #DMAEND1	0	P16	0			R/W
		D5	CFP15	P15機能選択	1	EXCL4 #DMAEND0	0	P15	0			R/W
		D4	CFP14	P14機能選択	1	FOSC1	0	P14	0			R/W
		D3	CFP13	P13機能選択	1	EXCL3 T8UF3	0	P13	0			R/W
		D2	CFP12	P12機能選択	1	EXCL2 T8UF2	0	P12	0			R/W
		D1	CFP11	P11機能選択	1	EXCL1 T8UF1	0	P11	0			R/W
		D0	CFP10	P10機能選択	1	EXCL0 T8UF0	0	P10	0			R/W
P1 I/O制御 レジスタ	00402D6 (B)	D7	-	reserved	-		-	-	読み出し時: 0	読み出し値は、ポー ト端子のI/O制御信号 の値(詳細説明参照)		
		D6	IOC16	P16 I/O制御	1	出力	0	入力	0			R/W
		D5	IOC15	P15 I/O制御					0			R/W
		D4	IOC14	P14 I/O制御					0			R/W
		D3	IOC13	P13 I/O制御					0			R/W
		D2	IOC12	P12 I/O制御					0			R/W
		D1	IOC11	P11 I/O制御					0			R/W
		D0	IOC10	P10 I/O制御					0			R/W

III-5 周辺回路ブロック: 16ビットプログラマブルタイマ

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
P2機能選択レジスタ	00402D8 (B)	D7	CFP27	P27機能選択	1 TM5 0 P27	0	R/W	拡張機能(0x402DB)
		D6	CFP26	P26機能選択	1 TM4 0 P26	0	R/W	
		D5	CFP25	P25機能選択	1 TM3 0 P25	0	R/W	
		D4	CFP24	P24機能選択	1 TM2 0 P24	0	R/W	
		D3	CFP23	P23機能選択	1 TM1 0 P23	0	R/W	拡張機能(0x402DF)
		D2	CFP22	P22機能選択	1 TM0 0 P22	0	R/W	
		D1	CFP21	P21機能選択	1 #DWE 0 P21	0	R/W	
		D0	CFP20	P20機能選択	1 #DRD 0 P20	0	R/W	
ポート機能拡張レジスタ	00402DF (B)	D7	CFEX7	P07ポート機能拡張	1 #DMAEND3 0 P07, etc.	0	R/W	
		D6	CFEX6	P06ポート機能拡張	1 #DMAACK3 0 P06, etc.	0	R/W	
		D5	CFEX5	P05ポート機能拡張	1 #DMAEND2 0 P05, etc.	0	R/W	
		D4	CFEX4	P04ポート機能拡張	1 #DMAACK2 0 P04, etc.	0	R/W	
		D3	CFEX3	P31ポート機能拡張	1 #GARD 0 P31, etc.	0	R/W	
		D2	CFEX2	P21ポート機能拡張	1 #GAAS 0 P21, etc.	0	R/W	
		D1	CFEX1	P10, P11, P13ポート機能拡張	1 DST0 P10, etc. DST1 P11, etc. DPCO P13, etc.	1	R/W	
		D0	CFEX0	P12, P14ポート機能拡張	1 DST2 P12, etc. DCLK P14, etc.	1	R/W	
16bitタイマ0コンパレータA設定レジスタ	0048180 (HW)	DF	CR0A15	16bitタイマ0	0 ~ 65535	X	R/W	
		DE	CR0A14	コンパレータA		X		
		DD	CR0A13	CR0A15 = MSB		X		
		DC	CR0A12	CR0A0 = LSB		X		
		DB	CR0A11			X		
		DA	CR0A10			X		
		D9	CR0A9			X		
		D8	CR0A8			X		
		D7	CR0A7			X		
		D6	CR0A6			X		
		D5	CR0A5			X		
		D4	CR0A4			X		
		D3	CR0A3			X		
		D2	CR0A2			X		
		D1	CR0A1			X		
		D0	CR0A0			X		
16bitタイマ0コンパレータB設定レジスタ	0048182 (HW)	DF	CR0B15	16bitタイマ0	0 ~ 65535	X	R/W	
		DE	CR0B14	コンパレータB		X		
		DD	CR0B13	CR0B15 = MSB		X		
		DC	CR0B12	CR0B0 = LSB		X		
		DB	CR0B11			X		
		DA	CR0B10			X		
		D9	CR0B9			X		
		D8	CR0B8			X		
		D7	CR0B7			X		
		D6	CR0B6			X		
		D5	CR0B5			X		
		D4	CR0B4			X		
		D3	CR0B3			X		
		D2	CR0B2			X		
		D1	CR0B1			X		
		D0	CR0B0			X		
16bitタイマ0カウンタデータレジスタ	0048184 (HW)	DF	TC015	16bitタイマ0	0 ~ 65535	X	R	
		DE	TC014	カウンタデータ		X		
		DD	TC013	TC015 = MSB		X		
		DC	TC012	TC00 = LSB		X		
		DB	TC011			X		
		DA	TC010			X		
		D9	TC09			X		
		D8	TC08			X		
		D7	TC07			X		
		D6	TC06			X		
		D5	TC05			X		
		D4	TC04			X		
		D3	TC03			X		
		D2	TC02			X		
		D1	TC01			X		
		D0	TC00			X		
16bitタイマ0制御レジスタ	0048186 (B)	D7	—	reserved	—	0	—	読み出し時: 0
		D6	SELFMO	16bitタイマ0ファインモード選択	1 ファイン 0 通常	0	R/W	
		D5	SELCRB0	16bitタイマ0コンベアバッファ	1 許可 0 禁止	0	R/W	
		D4	OUTINV0	16bitタイマ0出力反転	1 反転 0 通常	0	R/W	
		D3	CKSL0	16bitタイマ0入力クロック選択	1 外部クロック 0 内部クロック	0	R/W	
		D2	PTM0	16bitタイマ0クロック出力制御	1 On 0 Off	0	R/W	読み出し時: 0
		D1	PRESET0	16bitタイマ0リセット	1 リセット 0 無効	0	W	
		D0	PRUN0	16bitタイマ0 Run/Stop制御	1 Run 0 Stop	0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈		
16bitタイマ1 コンペアデータ A設定レジスタ	0048188 (HW)	DF	CR1A15	16bitタイマ1 コンペアデータA CR1A15 = MSB CR1A0 = LSB	0 ~ 65535	X	R/W			
		DE	CR1A14			X				
		DD	CR1A13			X				
		DC	CR1A12			X				
		DB	CR1A11			X				
		DA	CR1A10			X				
		D9	CR1A9			X				
		D8	CR1A8			X				
		D7	CR1A7			X				
		D6	CR1A6			X				
		D5	CR1A5			X				
		D4	CR1A4			X				
		D3	CR1A3			X				
		D2	CR1A2			X				
		D1	CR1A1			X				
		D0	CR1A0			X				
16bitタイマ1 コンペアデータ B設定レジスタ	004818A (HW)	DF	CR1B15	16bitタイマ1 コンペアデータB CR1B15 = MSB CR1B0 = LSB	0 ~ 65535	X	R/W			
		DE	CR1B14			X				
		DD	CR1B13			X				
		DC	CR1B12			X				
		DB	CR1B11			X				
		DA	CR1B10			X				
		D9	CR1B9			X				
		D8	CR1B8			X				
		D7	CR1B7			X				
		D6	CR1B6			X				
		D5	CR1B5			X				
		D4	CR1B4			X				
		D3	CR1B3			X				
		D2	CR1B2			X				
		D1	CR1B1			X				
		D0	CR1B0			X				
16bitタイマ1 カウンタデータ レジスタ	004818C (HW)	DF	TC115	16bitタイマ1 カウンタデータ TC115 = MSB TC10 = LSB	0 ~ 65535	X	R			
		DE	TC114			X				
		DD	TC113			X				
		DC	TC112			X				
		DB	TC111			X				
		DA	TC110			X				
		D9	TC19			X				
		D8	TC18			X				
		D7	TC17			X				
		D6	TC16			X				
		D5	TC15			X				
		D4	TC14			X				
		D3	TC13			X				
		D2	TC12			X				
		D1	TC11			X				
		D0	TC10			X				
16bitタイマ1 制御レジスタ	004818E (B)	D7	—	reserved	—		0	—	読み出し時: 0	
		D6	SELF1	16bitタイマ1ファインモード選択	1	ファイン	0 通常	0	R/W	
		D5	SELCRB1	16bitタイマ1コンペアバッファ	1	許可	0 禁止	0	R/W	
		D4	OUTINV1	16bitタイマ1出力反転	1	反転	0 通常	0	R/W	
		D3	CKSL1	16bitタイマ1入力クロック選択	1	外部クロック	0 内部クロック	0	R/W	
		D2	PTM1	16bitタイマ1クロック出力制御	1	On	0 Off	0	R/W	
		D1	PRESET1	16bitタイマ1リセット	1	リセット	0 無効	0	W	読み出し時: 0
		D0	PRUN1	16bitタイマ1 Run/Stop制御	1	Run	0 Stop	0	R/W	
16bitタイマ2 コンペアデータ A設定レジスタ	0048190 (HW)	DF	CR2A15	16bitタイマ2 コンペアデータA CR2A15 = MSB CR2A0 = LSB	0 ~ 65535	X	R/W			
		DE	CR2A14			X				
		DD	CR2A13			X				
		DC	CR2A12			X				
		DB	CR2A11			X				
		DA	CR2A10			X				
		D9	CR2A9			X				
		D8	CR2A8			X				
		D7	CR2A7			X				
		D6	CR2A6			X				
		D5	CR2A5			X				
		D4	CR2A4			X				
		D3	CR2A3			X				
		D2	CR2A2			X				
		D1	CR2A1			X				
		D0	CR2A0			X				

III-5 周辺回路ブロック: 16ビットプログラマブルタイマ

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ2 コンパレータ B設定レジスタ	0048192 (HW)	DF	CR2B15	16bitタイマ2	0 ~ 65535	X	R/W	
		DE	CR2B14	コンパレータB		X		
		DD	CR2B13	CR2B15 = MSB		X		
		DC	CR2B12	CR2B0 = LSB		X		
		DB	CR2B11			X		
		DA	CR2B10			X		
		D9	CR2B9			X		
		D8	CR2B8			X		
		D7	CR2B7			X		
		D6	CR2B6			X		
		D5	CR2B5			X		
		D4	CR2B4			X		
		D3	CR2B3			X		
		D2	CR2B2			X		
		D1	CR2B1			X		
		D0	CR2B0			X		
16bitタイマ2 カウンタデータ レジスタ	0048194 (HW)	DF	TC215	16bitタイマ2	0 ~ 65535	X	R	
		DE	TC214	カウンタデータ		X		
		DD	TC213	TC215 = MSB		X		
		DC	TC212	TC20 = LSB		X		
		DB	TC211			X		
		DA	TC210			X		
		D9	TC29			X		
		D8	TC28			X		
		D7	TC27			X		
		D6	TC26			X		
		D5	TC25			X		
		D4	TC24			X		
		D3	TC23			X		
		D2	TC22			X		
		D1	TC21			X		
		D0	TC20			X		
16bitタイマ2 制御レジスタ	0048196 (B)	D7	—	reserved	—	0	—	読み出し時: 0
		D6	SELFM2	16bitタイマ2ファインモード選択	1 ファイン	0 通常	0	R/W
		D5	SELCRB2	16bitタイマ2コンパリアバッファ	1 許可	0 禁止	0	R/W
		D4	OUTINV2	16bitタイマ2出力反転	1 反転	0 通常	0	R/W
		D3	CKSL2	16bitタイマ2入力クロック選択	1 外部クロック	0 内部クロック	0	R/W
		D2	PTM2	16bitタイマ2クロック出力制御	1 On	0 Off	0	R/W
		D1	PRESET2	16bitタイマ2リセット	1 リセット	0 無効	0	W
		D0	PRUN2	16bitタイマ2 Run/Stop制御	1 Run	0 Stop	0	R/W
16bitタイマ3 コンパレータ A設定レジスタ	0048198 (HW)	DF	CR3A15	16bitタイマ3	0 ~ 65535	X	R/W	
		DE	CR3A14	コンパレータA		X		
		DD	CR3A13	CR3A15 = MSB		X		
		DC	CR3A12	CR3A0 = LSB		X		
		DB	CR3A11			X		
		DA	CR3A10			X		
		D9	CR3A9			X		
		D8	CR3A8			X		
		D7	CR3A7			X		
		D6	CR3A6			X		
		D5	CR3A5			X		
		D4	CR3A4			X		
		D3	CR3A3			X		
		D2	CR3A2			X		
		D1	CR3A1			X		
		D0	CR3A0			X		
16bitタイマ3 コンパレータ B設定レジスタ	004819A (HW)	DF	CR3B15	16bitタイマ3	0 ~ 65535	X	R/W	
		DE	CR3B14	コンパレータB		X		
		DD	CR3B13	CR3B15 = MSB		X		
		DC	CR3B12	CR3B0 = LSB		X		
		DB	CR3B11			X		
		DA	CR3B10			X		
		D9	CR3B9			X		
		D8	CR3B8			X		
		D7	CR3B7			X		
		D6	CR3B6			X		
		D5	CR3B5			X		
		D4	CR3B4			X		
		D3	CR3B3			X		
		D2	CR3B2			X		
		D1	CR3B1			X		
		D0	CR3B0			X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ3 カウンタデータ レジスタ	004819C (HW)	DF	TC315	16bitタイマ3	0 - 65535	X	R	
		DE	TC314	カウンタデータ		X		
		DD	TC313	TC315 = MSB		X		
		DC	TC312	TC30 = LSB		X		
		DB	TC311			X		
		DA	TC310			X		
		D9	TC39			X		
		D8	TC38			X		
		D7	TC37			X		
		D6	TC36			X		
		D5	TC35			X		
		D4	TC34			X		
		D3	TC33			X		
		D2	TC32			X		
		D1	TC31			X		
		D0	TC30			X		
16bitタイマ3 制御レジスタ	004819E (B)	D7	—	reserved	—	0	—	読み出し時: 0
		D6	SELF3	16bitタイマ3ファインモード選択	1 ファイン	0 通常	0	R/W
		D5	SELCRB3	16bitタイマ3コンペアバッファ	1 許可	0 禁止	0	R/W
		D4	OUTINV3	16bitタイマ3出力反転	1 反転	0 通常	0	R/W
		D3	CKSL3	16bitタイマ3入力クロック選択	1 外部クロック	0 内部クロック	0	R/W
		D2	PTM3	16bitタイマ3クロック出力制御	1 On	0 Off	0	R/W
		D1	PRESET3	16bitタイマ3リセット	1 リセット	0 無効	0	W 読み出し時: 0
		D0	PRUN3	16bitタイマ3 Run/Stop制御	1 Run	0 Stop	0	R/W
16bitタイマ4 コンペアデータ A設定レジスタ	00481A0 (HW)	DF	CR4A15	16bitタイマ4	0 - 65535	X	R/W	
		DE	CR4A14	コンペアデータA		X		
		DD	CR4A13	CR4A15 = MSB		X		
		DC	CR4A12	CR4A0 = LSB		X		
		DB	CR4A11			X		
		DA	CR4A10			X		
		D9	CR4A9			X		
		D8	CR4A8			X		
		D7	CR4A7			X		
		D6	CR4A6			X		
		D5	CR4A5			X		
		D4	CR4A4			X		
		D3	CR4A3			X		
		D2	CR4A2			X		
		D1	CR4A1			X		
		D0	CR4A0			X		
16bitタイマ4 コンペアデータ B設定レジスタ	00481A2 (HW)	DF	CR4B15	16bitタイマ4	0 - 65535	X	R/W	
		DE	CR4B14	コンペアデータB		X		
		DD	CR4B13	CR4B15 = MSB		X		
		DC	CR4B12	CR4B0 = LSB		X		
		DB	CR4B11			X		
		DA	CR4B10			X		
		D9	CR4B9			X		
		D8	CR4B8			X		
		D7	CR4B7			X		
		D6	CR4B6			X		
		D5	CR4B5			X		
		D4	CR4B4			X		
		D3	CR4B3			X		
		D2	CR4B2			X		
		D1	CR4B1			X		
		D0	CR4B0			X		
16bitタイマ4 カウンタデータ レジスタ	00481A4 (HW)	DF	TC415	16bitタイマ4	0 - 65535	X	R	
		DE	TC414	カウンタデータ		X		
		DD	TC413	TC415 = MSB		X		
		DC	TC412	TC40 = LSB		X		
		DB	TC411			X		
		DA	TC410			X		
		D9	TC49			X		
		D8	TC48			X		
		D7	TC47			X		
		D6	TC46			X		
		D5	TC45			X		
		D4	TC44			X		
		D3	TC43			X		
		D2	TC42			X		
		D1	TC41			X		
		D0	TC40			X		

III-5 周辺回路ブロック: 16ビットプログラマブルタイマ

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ4 制御レジスタ	00481A6 (B)	D7	—	reserved	—	0	—	読み出し時: 0
		D6	SELF4M	16bitタイマ4ファインモード選択	1 ファイン 0 通常	0	R/W	
		D5	SELCRB4	16bitタイマ4コンペアバッファ	1 許可 0 禁止	0	R/W	
		D4	OUTINV4	16bitタイマ4出力反転	1 反転 0 通常	0	R/W	
		D3	CKSL4	16bitタイマ4入力クロック選択	1 外部クロック 0 内部クロック	0	R/W	
		D2	PTM4	16bitタイマ4クロック出力制御	1 On 0 Off	0	R/W	
		D1	PRESET4	16bitタイマ4リセット	1 リセット 0 無効	0	W	読み出し時: 0
		D0	PRUN4	16bitタイマ4 Run/Stop制御	1 Run 0 Stop	0	R/W	
16bitタイマ5 コンペアデータ A設定レジスタ	00481A8 (HW)	DF	CR5A15	16bitタイマ5	0 ~ 65535	X	R/W	
		DE	CR5A14	コンペアデータA		X		
		DD	CR5A13	CR5A15 = MSB		X		
		DC	CR5A12	CR5A0 = LSB		X		
		DB	CR5A11			X		
		DA	CR5A10			X		
		D9	CR5A9			X		
		D8	CR5A8			X		
		D7	CR5A7			X		
		D6	CR5A6			X		
		D5	CR5A5			X		
		D4	CR5A4			X		
		D3	CR5A3			X		
		D2	CR5A2			X		
		D1	CR5A1			X		
		D0	CR5A0			X		
16bitタイマ5 コンペアデータ B設定レジスタ	00481AA (HW)	DF	CR5B15	16bitタイマ5	0 ~ 65535	X	R/W	
		DE	CR5B14	コンペアデータB		X		
		DD	CR5B13	CR5B15 = MSB		X		
		DC	CR5B12	CR5B0 = LSB		X		
		DB	CR5B11			X		
		DA	CR5B10			X		
		D9	CR5B9			X		
		D8	CR5B8			X		
		D7	CR5B7			X		
		D6	CR5B6			X		
		D5	CR5B5			X		
		D4	CR5B4			X		
		D3	CR5B3			X		
		D2	CR5B2			X		
		D1	CR5B1			X		
		D0	CR5B0			X		
16bitタイマ5 カウンタデータ レジスタ	00481AC (HW)	DF	TC515	16bitタイマ5	0 ~ 65535	X	R	
		DE	TC514	カウンタデータ		X		
		DD	TC513	TC515 = MSB		X		
		DC	TC512	TC50 = LSB		X		
		DB	TC511			X		
		DA	TC510			X		
		D9	TC59			X		
		D8	TC58			X		
		D7	TC57			X		
		D6	TC56			X		
		D5	TC55			X		
		D4	TC54			X		
		D3	TC53			X		
		D2	TC52			X		
		D1	TC51			X		
		D0	TC50			X		
16bitタイマ5 制御レジスタ	00481AE (B)	D7	—	reserved	—	0	—	読み出し時: 0
		D6	SELF5M	16bitタイマ5ファインモード選択	1 ファイン 0 通常	0	R/W	
		D5	SELCRB5	16bitタイマ5コンペアバッファ	1 許可 0 禁止	0	R/W	
		D4	OUTINV5	16bitタイマ5出力反転	1 反転 0 通常	0	R/W	
		D3	CKSL5	16bitタイマ5入力クロック選択	1 外部クロック 0 内部クロック	0	R/W	
		D2	PTM5	16bitタイマ5クロック出力制御	1 On 0 Off	0	R/W	
		D1	PRESET5	16bitタイマ5リセット	1 リセット 0 無効	0	W	読み出し時: 0
		D0	PRUN5	16bitタイマ5 Run/Stop制御	1 Run 0 Stop	0	R/W	

CFP16–CFP10: P1[6:0]端子機能選択(D[6:0]/0x402D4<P1機能選択レジスタ>)

外部クロッククロックの入力に使用する端子を選択します。

- "1"書き込み: クロック入力端子
- "0"書き込み: 入出力兼用ポート端子
- 読み出し: 可能

イベントカウンタとして使用するタイマのクロック入力端子を、CFP10～CFP16に"1"を書き込んでP10～P16の中から選択します。各端子とタイマの対応については、表III.5.1を参照してください。"0"を書き込んだ場合、その端子は入出力兼用ポート端子となります。

16ビットプログラマブルタイマのクロック入力に使用するためにはこの選択に加え、その端子をI/O制御レジスタで入力モードに設定することも必要です。

コールドスタート時、CFP1xは"0"(入出力兼用ポート)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

CFP27–CFP22: P2[7:2]端子機能選択(D[7:2]/0x402D8<P2機能選択レジスタ>)

クロック出力に使用する端子を選択します。

- "1"書き込み: クロック出力端子
- "0"書き込み: 入出力兼用ポート端子
- 読み出し: 可能

タイマが生成したクロックの外部出力に使用する端子を、CFP22～CFP27に"1"を書き込んでP22～P27の中から選択します。各端子とタイマの対応については、表III.5.1を参照してください。"0"を書き込んだ場合、その端子は出力ポート端子となります。

コールドスタート時、CFP2xは"0"(入出力兼用ポート)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

CFEX1: P10, P11, P13ポート機能拡張(D1/0x402DF<ポート機能拡張レジスタ>)**CFEX0: P12, P14ポート機能拡張(D0/0x402DF<ポート機能拡張レジスタ>)**

入出力兼用ポート端子の拡張機能を選択します。

- "1"書き込み: 拡張機能端子
- "0"書き込み: 入出力兼用ポート端子/周辺回路用端子
- 読み出し: 可能

CFEX[1:0]に"1"を書き込むと、P14～P10ポートがデバッグ用信号出力ポートとして機能します。CFEX[1:0]が"0"の場合はCFP1[4:0]が有効となり、その設定に従ってP14～P10ポートが入出力兼用ポート端子または外部クロック入力端子となります。

コールドスタート時、CFEX[1:0]は"1"(拡張機能端子)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

IOC16–IOC10: P1[6:0]ポートI/O制御(D[6:0]/0x402D6<P1 I/O制御レジスタ>)

P10～P16の入力/出力モードの設定とI/O制御信号の値の読み出しが行えます。

- データ書き込み時
 - "1"書き込み: 出力モード
 - "0"書き込み: 入力モード

P10～P16の中で外部クロック入力端子に対応するI/O制御ビットには、"0"を書き込んで入力モードに設定してください。CFP1xが"1"に設定されている場合でも出力モードに設定されていると、その端子は8ビットプログラマブルタイマなどの出力端子となり、外部クロックは入力できません。

- データ読み出し時
 - "1"読み出し: I/O制御信号(出力)
 - "0"読み出し: I/O制御信号(入力)

ポート端子のI/O制御信号の値が読み出されます。CFEXレジスタおよびCFP1xレジスタによって入出力兼用ポート機能を選択した場合、読み出し値はIOCレジスタへの書き込み値と一致します。一方、周辺回路を選択した場合はその回路の状態により変化し、IOCレジスタへの書き込み値とは異なる場合があります。

コールドスタート時、IOCはすべて"0"(入力モード)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SELFM0: タイマ0ファインモード選択(D6/0x48186<16bitタイマ0制御レジスタ>)
SELFM1: タイマ1ファインモード選択(D6/0x4818E<16bitタイマ1制御レジスタ>)
SELFM2: タイマ2ファインモード選択(D6/0x48196<16bitタイマ2制御レジスタ>)
SELFM3: タイマ3ファインモード選択(D6/0x4819E<16bitタイマ3制御レジスタ>)
SELFM4: タイマ4ファインモード選択(D6/0x481A6<16bitタイマ4制御レジスタ>)
SELFM5: タイマ5ファインモード選択(D6/0x481AE<16bitタイマ5制御レジスタ>)

クロック出力をファインモードに設定します。

"1"書き込み: ファインモード

"0"書き込み: 通常出力

読み出し: 可能

SELFMxに"1"を書き込むとクロック出力がファインモードに設定され、出力クロックのデューティを入力クロックの半周期単位で調整可能となります。

SELFMxが"0"に設定されている場合は、通常のクロック出力が行われます。

イニシャルリセット時、SELFMxは"0"(通常出力)に設定されます。

SELCRB0: タイマ0コンペアレジスタバッファイネーブル(D5/0x48186<16bitタイマ0制御レジスタ>)
SELCRB1: タイマ1コンペアレジスタバッファイネーブル(D5/0x4818E<16bitタイマ1制御レジスタ>)
SELCRB2: タイマ2コンペアレジスタバッファイネーブル(D5/0x48196<16bitタイマ2制御レジスタ>)
SELCRB3: タイマ3コンペアレジスタバッファイネーブル(D5/0x4819E<16bitタイマ3制御レジスタ>)
SELCRB4: タイマ4コンペアレジスタバッファイネーブル(D5/0x481A6<16bitタイマ4制御レジスタ>)
SELCRB5: タイマ5コンペアレジスタバッファイネーブル(D5/0x481AE<16bitタイマ5制御レジスタ>)

コンペアレジスタバッファへの書き込みを許可/禁止します。

"1"書き込み: 許可

"0"書き込み: 禁止

読み出し: 可能

SELCRBxに"1"を書き込むと、コンペアデータの書き込み/読み出しがコンペアレジスタバッファに対して行われます。バッファの内容は、カウンタがソフトウェアまたはコンペアB信号によってリセットされた時点でコンペアデータレジスタにロードされます。

SELCRBxが"0"に設定されている場合、コンペアデータの書き込み/読み出しがコンペアデータレジスタに対して直接行われます。

イニシャルリセット時、SELCRBxは"0"(禁止)に設定されます。

OUTINV0: タイマ0出力反転(D4/0x48186<16bitタイマ0制御レジスタ>)
OUTINV1: タイマ1出力反転(D4/0x4818E<16bitタイマ1制御レジスタ>)
OUTINV2: タイマ2出力反転(D4/0x48196<16bitタイマ2制御レジスタ>)
OUTINV3: タイマ3出力反転(D4/0x4819E<16bitタイマ3制御レジスタ>)
OUTINV4: タイマ4出力反転(D4/0x481A6<16bitタイマ4制御レジスタ>)
OUTINV5: タイマ5出力反転(D4/0x481AE<16bitタイマ5制御レジスタ>)

タイマ出力信号の極性を選択します。

"1"書き込み: 反転(アクティブLow)

"0"書き込み: 通常(アクティブHigh)

読み出し: 可能

OUTINVxに"1"を書き込むと、TMx出力用にアクティブLowの信号(OFFレベル = High)が生成されます。

OUTINVxが"0"の場合は、アクティブHighの信号(OFFレベル = Low)が生成されます。

イニシャルリセット時、OUTINVxは"0"(アクティブHigh)に設定されます。

CKSL0: タイマ0入力クロック選択(D3/0x48186<16bitタイマ0制御レジスタ>)
CKSL1: タイマ1入力クロック選択(D3/0x4818E<16bitタイマ1制御レジスタ>)
CKSL2: タイマ2入力クロック選択(D3/0x48196<16bitタイマ2制御レジスタ>)
CKSL3: タイマ3入力クロック選択(D3/0x4819E<16bitタイマ3制御レジスタ>)
CKSL4: タイマ4入力クロック選択(D3/0x481A6<16bitタイマ4制御レジスタ>)
CKSL5: タイマ5入力クロック選択(D3/0x481AE<16bitタイマ5制御レジスタ>)

各タイマの入力クロックを選択します。

"1"書き込み: 外部クロック

"0"書き込み: 内部クロック

読み出し: 可能

CKSLxに"0"を書き込んだ場合は、タイマの入力クロックとして内部クロック(プリスケアラ出力)が選択されます。"1"を書き込んだ場合は外部クロック(クロック入力端子から入力するクロック)が選択され、イベントカウンタとして機能します。この場合、CFP1xでクロック入力端子を設定しておく必要があります。イニシャルリセット時、CKSLxは"0"(内部クロック)に設定されます。

PTM0: タイマ0クロック出力制御(D2/0x48186<16bitタイマ0制御レジスタ>)
PTM1: タイマ1クロック出力制御(D2/0x4818E<16bitタイマ1制御レジスタ>)
PTM2: タイマ2クロック出力制御(D2/0x48196<16bitタイマ2制御レジスタ>)
PTM3: タイマ3クロック出力制御(D2/0x4819E<16bitタイマ3制御レジスタ>)
PTM4: タイマ4クロック出力制御(D2/0x481A6<16bitタイマ4制御レジスタ>)
PTM5: タイマ5クロック出力制御(D2/0x481AE<16bitタイマ5制御レジスタ>)

TMx信号(タイマ出力クロック)の出力制御を行います。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

PTMxはTMx信号の出力制御ビットで、"1"を設定するとTMx信号がクロック出力端子から出力されます。"0"を設定すると出力はOUTINVxの設定に従ったOFFレベル(OUTINVx = "0": Low, OUTINVx = "1": High)となります。この場合、CFP2xでクロック出力端子を設定しておく必要があります。イニシャルリセット時、PTMxは"0"(OFF)に設定されます。

PRESET0: タイマ0リセット(D1/0x48186<16bitタイマ0制御レジスタ>)
PRESET1: タイマ1リセット(D1/0x4818E<16bitタイマ1制御レジスタ>)
PRESET2: タイマ2リセット(D1/0x48196<16bitタイマ2制御レジスタ>)
PRESET3: タイマ3リセット(D1/0x4819E<16bitタイマ3制御レジスタ>)
PRESET4: タイマ4リセット(D1/0x481A6<16bitタイマ4制御レジスタ>)
PRESET5: タイマ5リセット(D1/0x481AE<16bitタイマ5制御レジスタ>)

カウンタをリセットします。

"1"書き込み: リセット

"0"書き込み: 無効

読み出し: 常時"0"

PRESETxに"1"を書き込むことによって、タイマxのカウンタがリセットされます。
 "0"の書き込みはノーオペレーションとなります。
 PRESETxは書き込み専用のため、読み出しは常時"0"となります。

PRUN0: タイマ0 RUN/STOP制御(D0/0x48186<16bitタイマ0制御レジスタ>)
PRUN1: タイマ1 RUN/STOP制御(D0/0x4818E<16bitタイマ1制御レジスタ>)
PRUN2: タイマ2 RUN/STOP制御(D0/0x48196<16bitタイマ2制御レジスタ>)
PRUN3: タイマ3 RUN/STOP制御(D0/0x4819E<16bitタイマ3制御レジスタ>)
PRUN4: タイマ4 RUN/STOP制御(D0/0x481A6<16bitタイマ4制御レジスタ>)
PRUN5: タイマ5 RUN/STOP制御(D0/0x481AE<16bitタイマ5制御レジスタ>)

タイマのRUN/STOPを制御します。

"1"書き込み: RUN

"0"書き込み: STOP

読み出し: 可能

各タイマはPRUNxに"1"を書き込むことによってカウントアップを開始し、"0"の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。イニシャルリセット時、PRUNxは"0"(STOP)に設定されます。

CR0A15–CR0A0: タイマ0コンペアデータA(D[F:0]/0x48180<16bitタイマ0コンペアデータA設定レジスタ>)
CR1A15–CR1A0: タイマ1コンペアデータA(D[F:0]/0x48188<16bitタイマ1コンペアデータA設定レジスタ>)
CR2A15–CR2A0: タイマ2コンペアデータA(D[F:0]/0x48190<16bitタイマ2コンペアデータA設定レジスタ>)
CR3A15–CR3A0: タイマ3コンペアデータA(D[F:0]/0x48198<16bitタイマ3コンペアデータA設定レジスタ>)
CR4A15–CR4A0: タイマ4コンペアデータA(D[F:0]/0x481A0<16bitタイマ4コンペアデータA設定レジスタ>)
CR5A15–CR5A0: タイマ5コンペアデータA(D[F:0]/0x481A8<16bitタイマ5コンペアデータA設定レジスタ>)

各タイマのコンペアデータAを設定します。

SELRCBxが"0"に設定されている場合、これらのレジスタによりコンペアデータレジスタAが直接読み出し/書き込み可能です。

SELRCBxが"1"に設定されている場合、これらのレジスタへのデータ書き込み/読み出しはコンペアレジスタバッファAに対して行われます。バッファの内容はカウンタがリセットされた時点でコンペアデータレジスタAにロードされます。

設定したデータがそれぞれのカウンタデータと比較され、内容が一致したところでコンペアA割り込みが発生します。同時に、タイマ出力波形が変化します(OUTINVx = "0"の場合は立ち上がり、OUTINVx = "1"の場合は立ち下がります)。これらの処理は、カウンタのデータやカウントアップ動作には影響を与えません。

イニシャルリセット時、CRxAは初期化されません。

CR0B15–CR0B0: タイマ0コンペアデータB(D[F:0]/0x48182<16bitタイマ0コンペアデータB設定レジスタ>)
CR1B15–CR1B0: タイマ1コンペアデータB(D[F:0]/0x4818A<16bitタイマ1コンペアデータB設定レジスタ>)
CR2B15–CR2B0: タイマ2コンペアデータB(D[F:0]/0x48192<16bitタイマ2コンペアデータB設定レジスタ>)
CR3B15–CR3B0: タイマ3コンペアデータB(D[F:0]/0x4819A<16bitタイマ3コンペアデータB設定レジスタ>)
CR4B15–CR4B0: タイマ4コンペアデータB(D[F:0]/0x481A2<16bitタイマ4コンペアデータB設定レジスタ>)
CR5B15–CR5B0: タイマ5コンペアデータB(D[F:0]/0x481AA<16bitタイマ5コンペアデータB設定レジスタ>)

各タイマのコンペアデータBを設定します。

SELRCBxが"0"に設定されている場合、これらのレジスタによりコンペアデータレジスタBが直接読み出し/書き込み可能です。

SELRCBxが"1"に設定されている場合、これらのレジスタへのデータ書き込み/読み出しはコンペアレジスタバッファBに対して行われます。バッファの内容はカウンタがリセットされた時点でコンペアデータレジスタBにロードされます。

設定したデータがそれぞれのカウンタデータと比較され、内容が一致したところでコンペアB割り込みが発生します。同時に、タイマ出力波形が変化し(OUTINVx = "0"の場合は立ち上がり、OUTINVx = "1"の場合は立ち下がります)。カウンタが"0"にリセットされます。

イニシャルリセット時、CRxBは初期化されません。

TC015–TC00: タイマ0カウンタデータ(D[F:0]/0x48184<16bitタイマ0カウンタデータレジスタ>)
TC115–TC10: タイマ1カウンタデータ(D[F:0]/0x4818C<16bitタイマ1カウンタデータレジスタ>)
TC215–TC20: タイマ2カウンタデータ(D[F:0]/0x48194<16bitタイマ2カウンタデータレジスタ>)
TC315–TC30: タイマ3カウンタデータ(D[F:0]/0x4819C<16bitタイマ3カウンタデータレジスタ>)
TC415–TC40: タイマ4カウンタデータ(D[F:0]/0x481A4<16bitタイマ4カウンタデータレジスタ>)
TC515–TC50: タイマ5カウンタデータ(D[F:0]/0x481AC<16bitタイマ5カウンタデータレジスタ>)

各タイマのカウンタデータが読み出せます。

データは任意のタイミングで読み出しが可能です。

TCxは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、TCxは初期化されません。

P16T02–P16T00: タイマ0割り込みレベル(D[2:0]/0x40266<16bitタイマ0/1割り込みプライオリティレジスタ>)
P16T12–P16T10: タイマ1割り込みレベル(D[6:4]/0x40266<16bitタイマ0/1割り込みプライオリティレジスタ>)
P16T22–P16T20: タイマ2割り込みレベル(D[2:0]/0x40267<16bitタイマ2/3割り込みプライオリティレジスタ>)
P16T32–P16T30: タイマ3割り込みレベル(D[6:4]/0x40267<16bitタイマ2/3割り込みプライオリティレジスタ>)
P16T42–P16T40: タイマ4割り込みレベル(D[2:0]/0x40268<16bitタイマ4/5割り込みプライオリティレジスタ>)
P16T52–P16T50: タイマ5割り込みレベル(D[6:4]/0x40268<16bitタイマ4/5割り込みプライオリティレジスタ>)

16ビットプログラマブルタイマ割り込みの優先レベルを設定します。

タイマごとに、割り込みの優先レベルを0～7の範囲で設定できます。

イニシャルリセット時、P16Txは不定となります。

E16TU0, E16TC0: タイマ0割り込みイネーブル(D2, D3/0x40272<16bitタイマ0/1割り込みイネーブルレジスタ>)
E16TU1, E16TC1: タイマ1割り込みイネーブル(D6, D7/0x40272<16bitタイマ0/1割り込みイネーブルレジスタ>)
E16TU2, E16TC2: タイマ2割り込みイネーブル(D2, D3/0x40273<16bitタイマ2/3割り込みイネーブルレジスタ>)
E16TU3, E16TC3: タイマ3割り込みイネーブル(D6, D7/0x40273<16bitタイマ2/3割り込みイネーブルレジスタ>)
E16TU4, E16TC4: タイマ4割り込みイネーブル(D2, D3/0x40274<16bitタイマ4/5割り込みイネーブルレジスタ>)
E16TU5, E16TC5: タイマ5割り込みイネーブル(D6, D7/0x40274<16bitタイマ4/5割り込みイネーブルレジスタ>)

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

E16TUx、E16TCxは、それぞれコンペアB、コンペアAの割り込み要因に対応する割り込みイネーブルビットで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

イニシャルリセット時、割り込みイネーブルレジスタはすべて"0"(割り込み禁止)に設定されます。

F16TU0, F16TC0: タイマ0割り込み要因フラグ(D2, D3/0x40282<16bitタイマ0/1割り込み要因フラグレジスタ>)
F16TU1, F16TC1: タイマ1割り込み要因フラグ(D6, D7/0x40282<16bitタイマ0/1割り込み要因フラグレジスタ>)
F16TU2, F16TC2: タイマ2割り込み要因フラグ(D2, D3/0x40283<16bitタイマ2/3割り込み要因フラグレジスタ>)
F16TU3, F16TC3: タイマ3割り込み要因フラグ(D6, D7/0x40283<16bitタイマ2/3割り込み要因フラグレジスタ>)
F16TU4, F16TC4: タイマ4割り込み要因フラグ(D2, D3/0x40284<16bitタイマ4/5割り込み要因フラグレジスタ>)
F16TU5, F16TC5: タイマ5割り込み要因フラグ(D6, D7/0x40284<16bitタイマ4/5割り込み要因フラグレジスタ>)

16ビットプログラマブルタイマ割り込みの発生状態を示します。

- 読み出し時

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

- リセットオンリー方式書き込み時(デフォルト)

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

- リード/ライト方式書き込み時

"1"書き込み: 要因フラグをセット

"0"書き込み: 要因フラグをリセット

F16TUx、F16TCxフラグは、それぞれコンペアB、コンペアAの割り込みに対応する割り込み要因フラグで、それぞれの要因の発生により"1"にセットされます。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
 2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
 3. PSRのIEビットが"1"(割り込み許可)に設定されている。
 4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。
- 割り込み要因をIDMA要求として使用する場合、上記の条件が成立している場合でも、割り込み要因発生時点でCPUに対する割り込み要求は出力されません。IDMAの設定で割り込みを許可してあれば、IDMAによるデータ転送終了後に上記の条件で割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み要因の発生により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。

割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。

イニシャルリセット時、これらのフラグはすべて不定となりますので、必ずソフトウェアでリセットしてください。

R16TU0, R16TC0: タイマ0 IDMAリクエスト

(D6, D7/0x40290<ポート入力0-3, HSDMA, 16bitタイマ0 IDMAリクエストレジスタ>)

R16TU1, R16TC1: タイマ1 IDMAリクエスト(D0, D1/0x40291<16bitタイマ1-4 IDMAリクエストレジスタ>)**R16TU2, R16TC2: タイマ2 IDMAリクエスト**(D2, D3/0x40291<16bitタイマ1-4 IDMAリクエストレジスタ>)**R16TU3, R16TC3: タイマ3 IDMAリクエスト**(D4, D5/0x40291<16bitタイマ1-4 IDMAリクエストレジスタ>)**R16TU4, R16TC4: タイマ4 IDMAリクエスト**(D6, D7/0x40291<16bitタイマ1-4 IDMAリクエストレジスタ>)**R16TU5, R16TC5: タイマ5 IDMAリクエスト**

(D0, D1/0x40292<16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAリクエストレジスタ>)

割り込み要因発生時にIDMAを起動するかどうか設定します。

• セットオンリー方式(デフォルト)

"1"書き込み: IDMA要求

"0"書き込み: 無効

読み出し: 可能

• リード/ライト方式

"1"書き込み: IDMA要求

"0"書き込み: 割り込み要求

読み出し: 可能

R16TUx、R16TCxはそれぞれタイマxのコンペアB、コンペアA割り込み要因に対応するIDMAリクエストビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

IDMAについては"IDMA(インテリジェントDMA)"を参照してください。

イニシャルリセット時、これらのビットは"0"(割り込み要求)に設定されます。

III

DE16TU0, DE16TC0: タイマ0 IDMAイネーブル

(D6, D7/0x40294<ポート入力0-3, HSDMA, 16bitタイマ0 IDMAイネーブルレジスタ>)

DE16TU1, DE16TC1: タイマ1 IDMAイネーブル(D0, D1/0x40295<16bitタイマ1-4 IDMAイネーブルレジスタ>)**DE16TU2, DE16TC2: タイマ2 IDMAイネーブル**(D2, D3/0x40295<16bitタイマ1-4 IDMAイネーブルレジスタ>)**DE16TU3, DE16TC3: タイマ3 IDMAイネーブル**(D4, D5/0x40295<16bitタイマ1-4 IDMAイネーブルレジスタ>)**DE16TU4, DE16TC4: タイマ4 IDMAイネーブル**(D6, D7/0x40295<16bitタイマ1-4 IDMAイネーブルレジスタ>)**DE16TU5, DE16TC5: タイマ5 IDMAイネーブル**

(D0, D1/0x40296<16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAイネーブルレジスタ>)

割り込み要因によるIDMA転送を許可または禁止します。

• セットオンリー方式(デフォルト)

"1"書き込み: IDMA許可

"0"書き込み: 無効

読み出し: 可能

• リード/ライト方式

"1"書き込み: IDMA許可

"0"書き込み: IDMA禁止

読み出し: 可能

DE16TUx、DE16TCxはそれぞれタイマxのコンペアB、コンペアA割り込み要因に対応するIDMAイネーブルビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

イニシャルリセット時、これらのビットは"0"(IDMA禁止)に設定されます。

16TM

プログラミング上の注意事項

- (1) 16ビットプログラマブルタイマの動作は、プリスケアラが動作していることが条件です。
- (2) 入力クロックや動作モードの設定は、16ビットプログラマブルタイマが停止中に行ってください。
- (3) コンペアデータレジスタAとBに同じ値を設定すると、ハザードパルスが出力されることがあります。
タイマ出力を使用する場合は、コンペアデータAとBを同じ値には設定しないでください。
割り込み機能のみを使用する場合は、 $A=B$ でも問題ありません。割り込みは正常に発生します。
- (4) タイマ出力を使用する場合、コンペアデータはA 0、B 1を設定してください。最小設定は $A=0$ 、 $B=1$ で、タイマ出力サイクルは入力クロックの1/2となります。
- (5) 通常モードの場合、コンペアデータを $A > B$ に設定すると、コンペアマッチA信号は発生しません。この場合、タイマ出力はOFFレベルに固定されます。ファインモードでは、 $A > 2 \times B + 1$ に設定すると、コンペアマッチA信号は発生しません。
- (6) イニシャルリセット後、割り込み要因フラグは不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。
- (7) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。
- (8) 16ビットプログラマブルタイマでTMxクロック出力を行っている場合、クロック出力やポートの設定などにより不要なパルスが出力されることがありますので注意してください。
たとえば、TMxを反転出力($OUTINVx=1$)に設定して使用している場合、出力波形はコンペアBで立ち上がり、コンペアAで立ち下がります。また、PTMxを"0"に設定してクロック出力を停止させると出力端子はHighレベルに固定されます。ここで、コンペアAで信号が立ち下がった後に出力端子を入出力兼用ポートに切り換えて出力をLowレベルに再設定するような制御を行う場合、Lowレベルに再設定する前にPTMxに"0"を書き込むと、その間にHighレベルのパルスが出力されてしまいます。この問題は、ポートをLowレベルに再設定後にPTMxに"0"を書き込むことで回避できます。

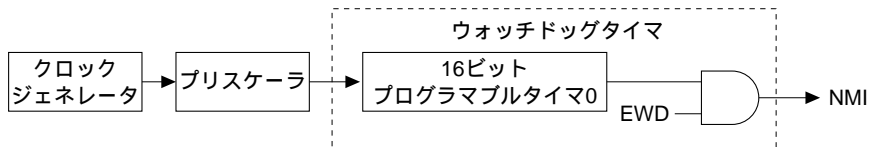
III-6 ウォッチドッグタイマ

ウォッチドッグタイマの構成

C33周辺回路ブロックはCPUの暴走を検出するウォッチドッグタイマ機能を内蔵しています。

この機能は16ビットプログラマブルタイマ0を使用して実現します。ウォッチドッグタイマ機能を有効に設定すると、16ビットプログラマブルタイマ0のコンペアB信号(ソフトウェアで発生周期を設定可能)でNMI(ノンマスクابل割り込み)が発生します。ソフトウェアで周期的に16ビットプログラマブルタイマ0をリセットしNMIが発生しないように処理しておくことで、その処理ルーチンを通らないようなプログラムの暴走を検出することができます。

図III.6.1にウォッチドッグタイマのブロック図を示します。



図III.6.1 ウォッチドッグタイマのブロック図

ウォッチドッグタイマの制御

動作クロックとNMI発生周期の設定

ウォッチドッグタイマはプリスケアラの出力クロックによって動作します。したがって、プリスケアラが停止中は、ウォッチドッグタイマの機能を使用することはできません。

NMIは16ビットタイマ0のコンペアB周期で発生します。したがって、その周期はプリスケアラの16ビットタイマ0クロックコントロールレジスタ(0x40147)のP16TS0[2:0] D[2:0]と16ビットタイマ0コンペアレジスタB(0x48182)のCR0B[15:0] D[F:0]にセットするコンペアデータBによって決まります。

NMI発生周期は次の式から求められます。

$$\text{NMI発生周期} = \frac{\text{CR0B} + 1}{\text{fPSCIN} \times \text{pdr}} \text{ [秒]}$$

fPSCIN: プリスケアラ入力クロック周波数 [Hz]

pdr: P16TS0によるプリスケアラの分周比(1/4096, 1/1024, 1/256, 1/64, 1/16, 1/4, 1/2, 1/1)

CR0B: CR0B[F:0]の設定値(0 ~ 65535)

プリスケアラと16ビットプログラマブルタイマ0の制御方法については、それぞれ"プリスケアラ"、"16ビットプログラマブルタイマ"を参照してください。

ウォッチドッグタイマ機能の設定

ウォッチドッグタイマ機能を使用する場合は、16ビットタイマ0のコンペアB信号によるNMIを有効に設定します。これにはウォッチドッグタイマイネーブルレジスタ(0x40171)のEWD(D1)を使用します。

EWDに"1"を書き込むとNMIが許可されます。イニシャルリセット時はEWDが"0"に設定され、NMIの発生は禁止状態となります。

なお、EWDへの誤書き込みによる不要なNMIの発生を防止するため、通常EWDは書き込み禁止に設定されています。EWDを書き込み許可に設定するには、ウォッチドッグタイマ書き込み保護レジスタ(0x40170)のWRWD(D7)に"1"を書き込みます。なお、WRWDによる書き込み許可は、EWDに対して1回の書き込みのみを許可します。書き込み許可に設定後、EWDにデータを書き込むと、WRWDは"0"に復帰し、再びEWDを書き込み禁止状態にします。

16ビットプログラマブルタイマ0も適切なコンペアBデータを設定し、動作を開始させておきます。

ウォッチドッグタイマを使用しない場合は、EWDを"0"に固定し変更しないでください。

ウォッチドッグタイマのリセット

ウォッチドッグタイマを使用する場合は、NMIが発生する前に16ビットプログラマブルタイマ0をリセットするルーチンを定期的に処理される場所に用意しておきます。このルーチンは前述のNMI発生周期以内で処理されるようにしてください。

16ビットタイマ0は16bitタイマ0制御レジスタ(0x48186)のPRESET(D1)に"1"を書き込むことによりリセットされます。この時点でタイマカウンタが"0"にリセットされ、そこから新たなNMI発生周期のカウントを始めます。

何らかの原因によってウォッチドッグタイマが設定周期以内にリセットされなかった場合、NMIによってCPUはトラップ処理に移行し、NMIベクタで示される処理ルーチンを実行します。

NMIのトラップベクタアドレスは、デフォルトで0x0C0001Cに設定されます。

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134 ~ 0x48137)で変更することも可能です。

スタンバイモード時の動作

HALTモード時

HALTモード時(基本モードおよびHALT2モード)は、プリスケアラおよびウォッチドッグタイマも動作します。したがって、NMI発生周期以上、HALTモードを続けるとNMIによりHALTモードが解除されます。HALTモード時にウォッチドッグタイマを無効にするには、halt命令実行前にEWDを"0"に設定するか、16ビットタイマ0を停止させてください。

EWDによりNMIを禁止した場合、16ビットタイマ0はHALT時もカウントを継続します。HALTモードを解除後にNMIを許可する際には、その前に16ビットタイマ0をリセットしてください。

16ビットタイマ0を停止させてHALTモードに移行した場合も、動作を再開させる前にリセットを行ってください。

SLEEPモード時

SLEEPモード時はプリスケアラが停止します。したがって、ウォッチドッグタイマも動作を停止します。

SLEEPモード解除後に不要なNMIが発生することを防ぐため、slp命令の実行前に16ビットタイマ0をプリセットしてください。また、必要に応じEWDによってNMIの発生を禁止状態に設定してください。

ウォッチドッグタイマのI/Oメモリ

表III.6.1にウォッチドッグタイマの制御ビットを示します。

表III.6.1 ウォッチドッグタイマの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
ウォッチドッグ タイマ書き込み 保護レジスタ	0040170 (B)	D7	WRWD	EWD書き込み保護	1	書込許可	0	書込禁止	0	R/W	
		D6-0	-	-	-			-	-	読み出し時: 0	
ウォッチドッグ タイマイネーブル レジスタ	0040171 (B)	D7-2	-	-	-			-	-	読み出し時: 0	
		D1	EWD	ウォッチドッグタイマイネーブル	1	NMI許可	0	NMI禁止	0	R/W	
		D0	-	-	-			-	-	読み出し時: 0	

WRWD: EWD書き込み保護 (D7/0x40170<ウォッチドッグタイマ書き込み保護レジスタ>)

EWDへの書き込みを許可します。

"1"書き込み: 書き込み許可

"0"書き込み: 書き込み禁止

読み出し: 可能

EWDは、不要な変更を防止するために書き込み禁止状態となっています。WRWDに"1"を書き込むと、この書き込みが1回のみ許可されます。EWDに対して書き込みを行うと、その時点でWRWDは"0"に戻り、EWDは書き込み禁止状態となります。

書き込み許可状態 (WRWD = "1") のときに、WRWDに"0"を書き込んだ場合も書き込み禁止状態に戻ります。イニシャルリセット時、WRWDは"0" (書き込み禁止) に設定されます。

EWD: ウォッチドッグタイマイネーブル (D1/0x40171<ウォッチドッグタイマイネーブルレジスタ>)

ウォッチドッグタイマによるノンマスカブル割り込み (NMI) の発生を制御します。

"1"書き込み: NMI有効

"0"書き込み: NMI禁止

読み出し: 可能

EWDに"0"を書き込むと、ウォッチドッグタイマの割り込み信号がマスクされ、CPUに対してNMIを発生しません。EWDが"1"に設定されていると16ビットタイマ0のコンペアB信号によりNMIが発生します。

EWDへの書き込みはWRWDが"1"になっている場合のみ有効です。

なお、EWDを"0"に設定しても、16ビットタイマ0はカウント動作を停止しません。したがって、一時的にNMIを無効にした場合は、EWDを"1"に戻す前に16ビットタイマ0をリセットしてください。

イニシャルリセット時、EWDは"0" (NMI禁止) に設定されます。

プログラミング上の注意事項

- (1) ウォッチドッグタイマのNMIを有効に設定している場合、16ビットタイマ0がコンペアB信号を出力する前にソフトウェアでプリセットする必要があります。
- (2) EWDを"0"に設定しても、16ビットタイマ0は停止しません。したがって、一時的にNMIを無効にした場合は、EWDを"1"に戻す前に16ビットタイマ0をリセットしてください。

このページはブランクです。

III-7 低速(OSC1)発振回路

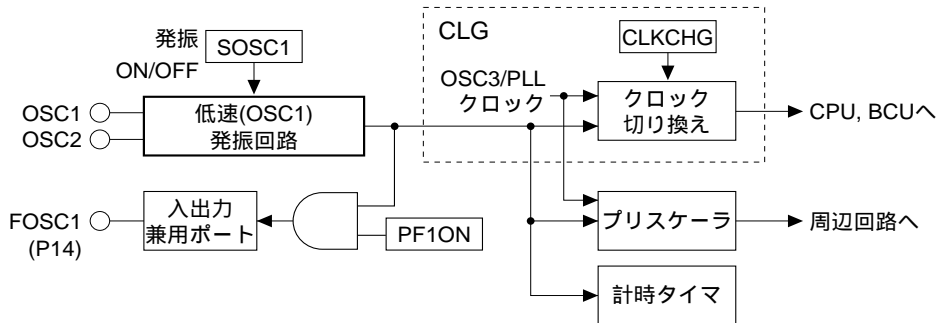
低速(OSC1)発振回路の構成

C33周辺回路ブロックは、低速(OSC1)発振回路を内蔵しています。

低速(OSC1)発振回路は32.768kHz(Typ.)のサブクロックを発生します。

出力されるOSC1クロックはコアブロックのCLG(クロックジェネレータ)に入力され、計時タイマのソースクロックとして使用されます。また、CPU/周辺回路の低速(低電力)動作のサブクロックとして使用することもできます(プログラムによる切り換え)。

図III.7.1にクロック系の構成を示します。



図III.7.1 クロック系の構成

CPUの動作クロックはプログラムによって低速(OSC1)発振回路の出力(OSC1クロック)に切り換えることができます。また、発振回路をプログラムによって停止させることもできます。

計時処理等のOSC3クロックが不要な場合は消費電流を低減させるため、OSC1クロックをCPU/周辺回路の動作クロックに設定し、高速(OSC3)発振回路を停止させてください。

低速(OSC1)発振回路はSLEEPモードでも停止しません。

OSC1クロックを周辺回路の動作クロックとして使用する場合は制御については、"プリスケアラ"を参照してください。

低速(OSC1)発振回路の入出力端子

表III.7.1に低速(OSC1)発振回路の入出力端子を示します。

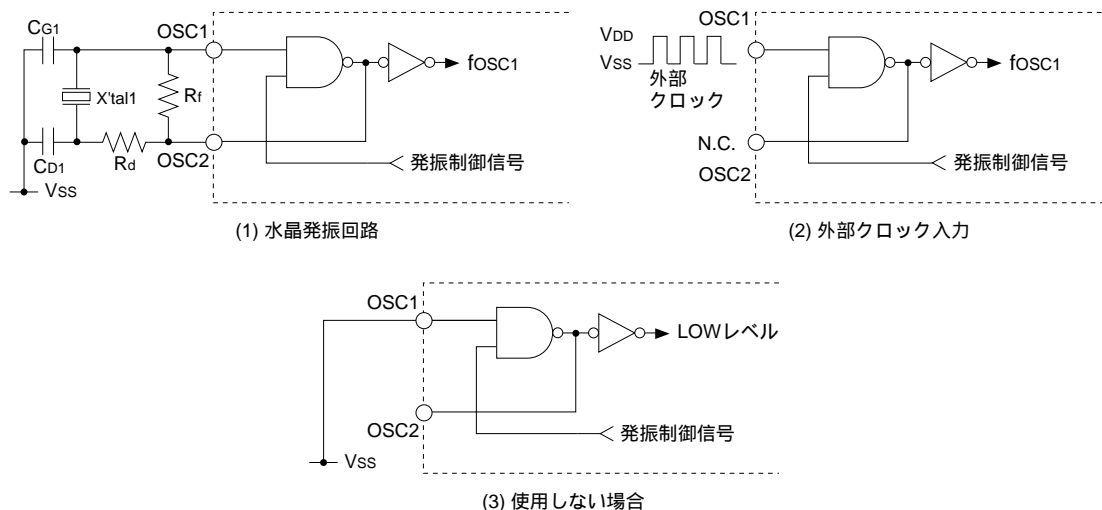
表III.7.1 低速(OSC1)発振回路の入出力端子

端子名	I/O	機 能
OSC1	I	低速(OSC1)発振入力端子: 水晶発振または外部クロック入力
OSC2	O	低速(OSC1)発振出力端子: 水晶発振(外部クロック入力時は開放)
DCLK(P14/FOSC1)	I/O	DCLK信号出力/入出力兼用ポート/低速(OSC1)発振クロック出力

発振回路の種類

低速(OSC1)発振回路の種類としては、水晶発振または外部クロック入力を選択できます。

図III.7.2に低速(OSC1)発振回路の構造を示します。



図III.7.2 低速(OSC1)発振回路

水晶発振回路として使用する場合は、図III.7.2(1)のように水晶振動子X'tal1(32.768kHz Typ.)、帰還抵抗(R_f)、2つのコンデンサ(C_{G1}、C_{D1})および必要に応じてドレイン抵抗(R_d)を、OSC1とOSC2端子およびV_{SS}に接続してください。

外部クロックを使用する場合はOSC2端子を開放し、矩形波のクロックをOSC1端子に入力してください。低速(OSC1)発振回路を使用しない場合はOSC1端子をV_{SS}に接続し、OSC2端子を開放してください。

発振周波数は32.768kHz(Typ.)です。この周波数の水晶振動子または外部クロックを使用してください。これ以外の周波数では、計時用途に使用できません。

発振特性と外部クロックの入力特性については"電気的特性"を参照してください。

発振の制御

低速(OSC1)発振回路は、パワーコントロールレジスタ(0x40180)のSOSC1(D0)によって発振のON/OFFが制御できます。

SOSC1に"0"を書き込むと低速(OSC1)発振回路が停止し、"1"を書き込むと発振を再開します。

イニシャルリセット時、SOSC1は"1"に設定され、低速(OSC1)発振回路はONとなります。

注: • CPUの動作クロック原振に低速(OSC1)発振回路を使用している場合は、低速(OSC1)発振回路を停止させることはできません。その場合のSOSC1への"0"書き込みは無効です。また、パワーコントロールレジスタ保護フラグが0b10010110に設定されている場合にのみ、SOSC1への書き込みが行えます。

- 発振回路をONにした直後は、発振が安定するまである程度の時間を要します(最大3秒)。誤動作を防止するため、発振が安定するまではそのクロックを使用しないでください。

低速(OSC1)発振回路はSLEEP時に停止しません。

CPU動作クロックの切り換え

イニシャルリセット後、CPUはOSC3クロックにより動作を開始します。

周辺回路(プログラマブルタイマ、シリアルインタフェース、A/D変換器、ポート等)の動作が不要、もしくは低速動作で処理可能な場合でCPUも低速動作で処理可能な場合は、CPUの動作クロックをOSC1クロックに切り換えて消費電流を低減させることができます。この動作クロックの切り換えは、パワーコントロールレジスタ(0x40180)のCLKCHG(D2)によって行います。

OSC3クロックからOSC1クロックへの切り換え手順

1. 低速(OSC1)発振回路をON(SOSC1に"1"を書き込み)
 2. OSC1発振が安定するまでウェイト
 3. CPU動作クロックの切り換え(CLKCHGに"0"を書き込み)
 4. 高速(OSC3)発振回路をOFF(SOSC3に"0"を書き込み)
- 1と2は低速(OSC1)発振回路が停止している場合にのみ必要です。

注: • OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々の命令で行ってください。1命令で同時に処理すると、CPUの誤動作につながります。

- プログラマブルタイマ、A/D変換器、シリアルインタフェースなどの周辺回路を動作させている場合、誤動作を防止するためOSC3発振を停止する前に動作を終了させるか、あるいはプリスケラクロックをOSC1に設定してください。なお、誤動作を防止するため、プリスケラの設定はCPUクロックの変更前に行ってください。

OSC1クロックからOSC3クロックへの切り換え手順

1. 高速(OSC3)発振回路をON(SOSC3に"1"を書き込み)
2. OSC3発振が安定するまでウェイト
3. CPU動作クロックの切り換え(CLKCHGに"1"を書き込み)

注: CLKCHGによる動作クロックの切り換えは、発振回路が両方ともONしている場合で、パワーコントロールレジスタ保護フラグが0b10010110に設定されている場合にのみ有効です。

発振が安定するまでの時間については"電気的特性"を参照してください。

パワーコントロールレジスタ保護フラグ

発振回路とCPU動作クロックの制御を行うアドレス0x40180のパワーコントロールレジスタ(SOSC1、SOSC3、CLKCHG、CLKDT[1:0])は、不要な書き込みによる誤動作を防止するため、通常は書き込み禁止状態となっています。

書き込み可能な状態にするには、パワーコントロールレジスタ保護レジスタ(0x4019E)のCLGP[7:0](D[7:0])に0b10010110を設定する必要があります。なお、この設定はパワーコントロールレジスタ(0x40180)への1回の書き込みのみを許可し、書き込みが行われるとCLGP[7:0]のすべてのビットが"0"にクリアされます。したがって、パワーコントロールレジスタ(0x40180)への書き込みを行う場合は、その都度CLGP[7:0]に0b10010110を設定してください。

CLGP[7:0]は、パワーコントロールレジスタ(0x40180)の読み出しには影響を与えません。

スタンバイモード時の動作

halt命令の実行により設定されるHALTモードでは、低速(OSC1)発振回路はHALTモードへ移行する前の状態を保持します。したがって、HALTモードへの移行前および解除後に発振回路を制御する必要は特にありません。

slp命令の実行により設定されるSLEEPモードでも、低速(OSC1)発振回路はHALTモードへ移行する前の状態を保持します。したがって、SLEEPモードへの移行前にCPUがOSC1クロックで動作していた場合は、SLEEP中もCPUはOSC1クロックによって動作します。

OSC1クロックの外部出力

低速(OSC1)発振クロックは、FOSC1(P14)端子から外部に出力することができます。

表III.7.2 出力端子

端子名	I/O	機 能	機能選択ビット
DCLK(P14/ FOSC1)	I/O	DCLK信号出力/入出力兼用ポート/ 低速(OSC1)発振クロック出力	CFP14(P1機能選択レジスタ0x402D4•D4) CFEX0(ポート機能拡張レジスタ0x402DF•D0)

クロック出力端子の設定方法

OSC1クロック出力に使用する端子はP14入出力兼用ポートおよびデバッグ用クロック信号DCLKと共用されています。

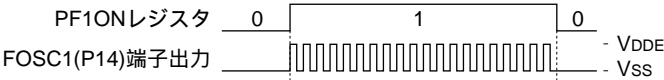
コールドスタート時はDCLK端子(CFP14="0"、CFEX0="1")として設定されます。クロック出力機能を使用する場合は、CFP14を"1"、CFEX0を"0"、さらにIOC14(0x402D6•D4)を"1"に設定してください("入出力兼用ポート"参照)。

ホットスタート時は、リセット前の状態を保持します。

出力制御

クロック出力を開始させるにはクロックオプションレジスタ(0x40190)のPF1ON(D0)に"1"を書き込みます。"0"を書き込むと出力は停止します。

イニシャルリセット時、PF1ONは"0"(出力停止)に設定されます。



図III.7.3 OSC1クロック出力

低速(OSC1)発振回路のI/Oメモリ

表III.7.3に低速(OSC1)発振回路の制御ビットを示します。

表III.7.3 低速(OSC1)発振回路の制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈		
パワー コントロール レジスタ	0040180 (B)	D7	CLKDT1	システムクロック分周比選択	CLKDT[1:0]		分周比	0	R/W			
		D6	CLKDT0		1	1	1/8	0				
					1	0	1/4					
					0	1	1/2					
					0	0	1/1					
		D5	PSCON	プリスケアラOn/Off制御			1	On	0	Off	1	R/W
		D4-3	—	reserved			—			0	—	1書き込み禁止
		D2	CLKCHG	CPU動作クロック切り換え			1	OSC3	0	OSC1	1	R/W
		D1	SOSC3	高速(OSC3)発振On/Off制御			1	On	0	Off	1	R/W
		D0	SOSC1	低速(OSC1)発振On/Off制御			1	On	0	Off	1	R/W
クロック オプション レジスタ	0040190 (B)	D7-4	—	—			—			—	—	読み出し時: 0
		D3	HLT2OP	HALTクロックオプション			1	On	0	Off	0	R/W
		D2	8T1ON	高速(OSC3)発振待ち時間On			1	Off	0	On	1	R/W
		D1	—	reserved			—			0	—	1書き込み禁止
		D0	PF1ON	OSC1外部出力On/Off制御			1	On	0	Off	0	R/W
パワー コントロール レジスタ 保護レジスタ	004019E (B)	D7	CLGP7	パワーコントロールレジスタ 保護フラグ	10010110(0x96)書き込みにより パワーコントロールレジスタ (0x40180)、クロックオプション レジスタ(0x40190)の書き込み保 護を解除 それ以外は書き込み禁止に設定			0	R/W			
		D6	CLGP6					0				
		D5	CLGP5					0				
		D4	CLGP4					0				
		D3	CLGP3					0				
		D2	CLGP2					0				
		D1	CLGP1					0				
		D0	CLGP0					0				
		P1機能選択 レジスタ	00402D4 (B)					D7			—	reserved
D6	CFP16			P16機能選択	1	EXCL5 #DMAEND1	0	P16	0	R/W	拡張機能(0x402D7)	
D5	CFP15			P15機能選択	1	EXCL4 #DMAEND0	0	P15	0	R/W		
D4	CFP14			P14機能選択	1	FOSC1	0	P14	0	R/W	拡張機能(0x402DF)	
D3	CFP13			P13機能選択	1	EXCL3 T8UF3	0	P13	0	R/W		
D2	CFP12			P12機能選択	1	EXCL2 T8UF2	0	P12	0	R/W		
D1	CFP11			P11機能選択	1	EXCL1 T8UF1	0	P11	0	R/W		
D0	CFP10			P10機能選択	1	EXCL0 T8UF0	0	P10	0	R/W		
ポート機能拡張 レジスタ	00402DF (B)			D7	CFEX7	P07ポート機能拡張	1	#DMAEND3	0	P07, etc.	0	R/W
		D6	CFEX6	P06ポート機能拡張	1	#DMAACK3	0	P06, etc.	0	R/W		
		D5	CFEX5	P05ポート機能拡張	1	#DMAEND2	0	P05, etc.	0	R/W		
		D4	CFEX4	P04ポート機能拡張	1	#DMAACK2	0	P04, etc.	0	R/W		
		D3	CFEX3	P31ポート機能拡張	1	#GARD	0	P31, etc.	0	R/W		
		D2	CFEX2	P21ポート機能拡張	1	#GAAS	0	P21, etc.	0	R/W		
		D1	CFEX1	P10, P11, P13ポート機能拡張	1	DST0 DST1 DPCO	0	P10, etc. P11, etc. P13, etc.	1	R/W		
		D0	CFEX0	P12, P14ポート機能拡張	1	DST2 DCLK	0	P12, etc. P14, etc.	1	R/W		

SOSC1: 低速(OSC1)発振制御(D0/0x40180<パワーコントロールレジスタ>)

低速(OSC1)発振回路の発振ON/OFFを制御します。

"1"書き込み: OSC1発振ON

"0"書き込み: OSC1発振OFF

読み出し: 可能

SOSC1に"0"を書き込むことにより低速(OSC1)発振回路が発振を停止し、"1"の書き込みで発振を再開します。発振を再開後は発振が安定するまでにある程度の時間(I-6 電気的特性"参照)を要しますので、OSC1クロックはそれ以上の時間が経過後に使用してください。

SOSC1への書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。また、OSC1クロックでCPUが動作している場合は、"0"の書き込みは無効となり発振を停止しません。

イニシャルリセット時、SOSC1は"1"(OSC1発振ON)に設定されます。

CLKCHG: CPU動作クロック切り換え(D2/0x40180<パワーコントロールレジスタ>)

CPUの動作クロックを選択します。

"1"書き込み: OSC3クロック

"0"書き込み: OSC1クロック

読み出し: 可能

CPUの動作クロックはCLKCHGに"1"を書き込んだ場合OSC3、"0"を書き込んだ場合OSC1となります。

高速(OSC3)発振回路および低速(OSC1)発振回路が共にONの場合にのみ動作クロックの切り換えが行えます。また、CLKCHGへの書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。

発振回路が発振を開始した直後は、発振が安定するまでCPUの動作クロックの切り換えは行わないでください。

イニシャルリセット時、CLKCHGは"1"(OSC3クロック)に設定されます。

高速(OSC3)発振回路の制御については、コアブロックの"CLK(クロックジェネレータ)"を参照してください。

PF1ON: OSC1外部出力ON/OFF制御(D0/0x40190<クロックオプションレジスタ>)

低速(OSC1)クロックの外部出力をON/OFFします。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

PF1ONに"1"を書き込むことにより、低速(OSC1)クロックがFOSC1端子から出力されます。ただし、P14端子をCFP14およびCFEX0によってFOSC1端子に設定し、さらにIOC14(D4/0x402D6<P1 I/O制御レジスタ>)を"1"にして出力設定にしておくことが必要です。

"0"を書き込むと出力は停止します。

PF1ONへの書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。

イニシャルリセット時、PF1ONは"0"(OFF)に設定されます。

CLGP7-CLGP0: パワーコントロールレジスタ保護フラグ

([D[7:0]/0x4019E<パワーコントロールレジスタ保護レジスタ>)

パワーコントロールレジスタ(0x40180)とクロックオプションレジスタ(0x40190)の書き込み保護を解除します。

0b10010110書き込み: 書き込み保護解除

上記以外の書き込み: ノーオペレーション(書き込み保護)

読み出し: 可能

パワーコントロールレジスタ(0x40180)またはクロックオプションレジスタ(0x40190)に書き込みを行う場合は、その前にCLGP[7:0]を0b10010110に設定し、書き込み保護を解除してください。この解除は上記いずれかのアドレスに対する1回の書き込みのみに有効で、書き込みが行われると0b00000000にクリアされます。したがって、書き込みの都度CLGP[7:0]を再設定する必要があります。

イニシャルリセット時、CLGPは0b00000000(書き込み保護)に設定されます。

HLT2OP: HALTクロックオプション(D3/0x40190<クロックオプションレジスタ>)

HALTモード時の状態(基本モードとHALT2モード)を選択します。

"1"書き込み: HALT2モード

"0"書き込み: 基本モード

読み出し: 可能

HALTモード時の状態は、HLT2OPに"1"を書き込むとHALT2モード、"0"を書き込むと基本モードになります。

HLT2OPへの書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。

イニシャルリセット時、HLT2OPは"0"(基本モード)に設定されます。

HALTモード(基本モードとHALT2モード)、SLEEPモードの動作状態は以下のとおりです。

表III.7.4 スタンバイモードの動作状態

スタンバイモード		動作状態	再起動
HALTモード	基本モード	<ul style="list-style-type: none"> ・CPUクロック停止(CPU停止) ・BCUへのクロック非停止(BCU非停止) ・DMAクロック非停止(DMA非停止) ・周辺回路へのクロックはHALTモードに移行する直前の状態を継続(停止/非停止) ・高速発振回路はHALTモードに移行する直前の状態を継続 ・低速発振回路はHALTモードに移行する直前の状態を継続 	<ul style="list-style-type: none"> ・リセット、NMI ・マスクされていない割り込み要因の発生
	HALT2モード	<ul style="list-style-type: none"> ・CPUクロック停止(CPU停止) ・BCUへのクロック停止(BCU停止) ・DMAへのクロック停止(DMA停止) ・周辺回路へのクロックはHALTモードに移行する直前の状態を継続(停止/非停止) ・高速発振回路はHALTモードに移行する直前の状態を継続 ・低速発振回路はHALTモードに移行する直前の状態を継続 	<ul style="list-style-type: none"> ・リセット、NMI ・マスクされていない割り込み要因の発生 <p>ただし、周辺回路からの割り込みによって再起動させるには、その周辺回路に動作クロックが供給されている必要があります(クロックが停止していないことが条件)。</p>
SLEEPモード		<ul style="list-style-type: none"> ・CPUクロック停止(CPU停止) ・BCUへのクロック停止(BCU停止) ・周辺回路へのクロックは停止 ・高速発振回路は停止 ・低速発振回路はSLEEPモードに移行する直前の状態を継続 	<ul style="list-style-type: none"> ・リセット、NMI ・マスクされていない入力ポートからの割り込み ・低速発振回路が動作しているときの計時タイマからの割り込み

CFP14: P14機能選択(D4/0x402D4<P1機能選択レジスタ>)

P14入出力兼用ポート端子の機能を選択します。

"1"書き込み: OSC1クロック出力端子

"0"書き込み: 入出力兼用ポート端子

読み出し: 可能

CFP14に"1"を書き込むと、P14端子がOSC1クロック出力端子(FOSC1)に設定されます。

FOSC1出力端子として使用する場合は、IOC14(D4/0x402D6<P1 I/O制御レジスタ>)の"1"(出力)に設定してください。

コールドスタート時、CFP14は"0"(入出力兼用ポート端子)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

CFEX0: P12, P14ポート機能拡張(D0/0x402DF<ポート機能拡張レジスタ>)

P14端子の拡張機能を選択します。

"1"書き込み: DCLK出力端子

"0"書き込み: P14/FOSC1出力端子

読み出し: 無効

CFEX0に"1"を書き込むと、P14端子がデバッグ用クロック信号DCLKの出力端子として機能します。CFEX0が"0"の場合はCFP14レジスタが有効となり、その設定に従ってP14入出力兼用ポート端子またはFOSC1出力端子となります。

コールドスタート時、CFEX0は"1"(DCLK出力端子)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

プログラミング上の注意事項

- (1) 低速(OSC1)発振回路をONにした直後は、発振が安定するまである程度の時間を要します("I-6 電気的特性"参照)。誤動作を防止するため、発振が安定するまではそのクロックを使用しないでください。
- (2) CPUの動作クロックに使用している発振回路を停止させることはできません。
- (3) CPU動作クロックの切り換えは、OSC3とOSC1発振回路が両方ともONしている場合にのみ可能です。
また、CPU動作クロックの切り換え後に不要となった発振回路をOFFする場合、切り換えと発振OFFは命令を分けて行ってください。1命令で同時に処理すると、CPUの誤動作につながります。
- (4) 低速(OSC1)発振回路をOFFにした場合、OSC1クロックで動作している周辺回路はすべて停止します。
- (5) 消費電流を低減させるため、OSC3クロックが不要な場合はOSC1クロックでCPUを動作させ、高速(OSC3)発振回路をOFFしてください。
- (6) P14/FOSC1/DCLK端子をFOSC1端子として使用する場合、CFP14(D4/0x402D4)、CFEX(D0/0x402DF)による設定に加えて、IOC14(D4/0x402D6)を"1"(出力)に設定してください。

III-8 計時タイマ

計時タイマの構成

計時タイマは低速 (OSC1) 発振クロック f_{OSC1} を分周した 256Hz 信号を入力クロックとする 8 ビットのバイナリカウンタ、秒カウンタ、分カウンタ、時間カウンタ、日カウンタで構成され、各データ (128 ~ 1Hz、秒、分、時間、日) をソフトウェアによって読み出すことができます。また、32Hz、8Hz、2Hz、1Hz (1秒) 信号および 1分、1時間、1日のカウントアップによる割り込みと分、時間、日指定によるアラームを発生させることができます。

低速 (OSC1) 発振回路と計時タイマは、CPU および他の内蔵周辺回路をスタンバイモード (HALT または SLEEP) にした場合でも動作可能です。

通常はこの計時タイマを、時計などのような各種の計時機能に使用します。

図 III.8.1 に計時タイマの構成を示します。

注: 計時タイマは低速 (OSC1) 発振回路を原振としているため、低速 (OSC1) 発振回路 (Typ. 32.768kHz) を使用しない場合は、計時タイマも使用できません。

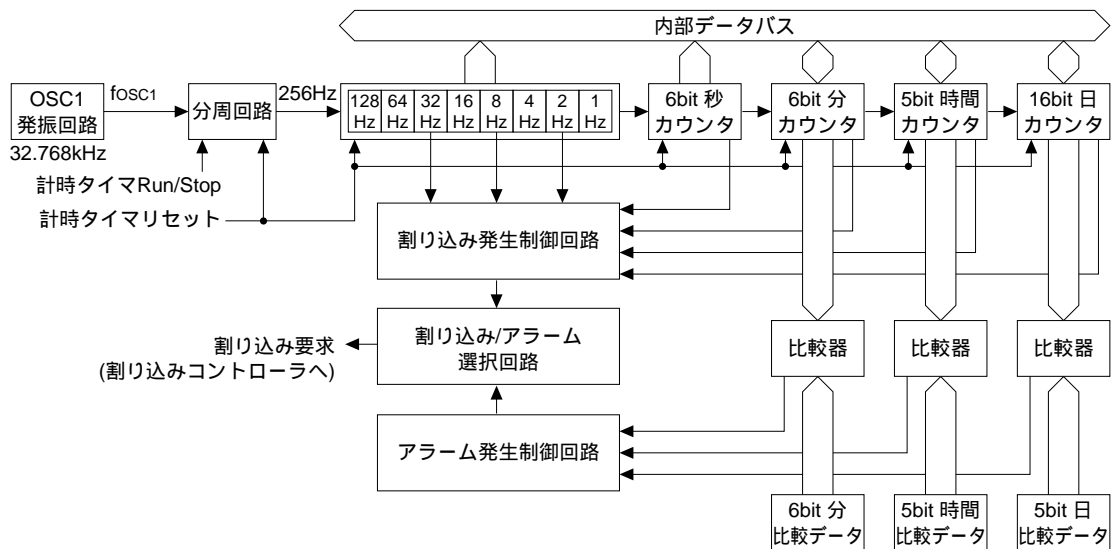


図 III.8.1 計時タイマの構成

計時タイマの制御と動作

初期設定

イニシャルリセット時、計時タイマのカウンタデータ、アラーム設定内容およびRUN/STOPを含む制御ビットは初期化されません(CPUコア電源ON/OFFフラグTCHVOFおよびOSC1オートOFFフラグTCAOFFを除く)。

したがって、計時タイマを使用する場合は以下の手順で初期化してください。

1. 設定開始前に、計時タイマを停止状態、計時タイマ割り込みを禁止に設定
2. カウンタをリセット
3. 分、時間、日データをプリセット(必要な場合のみ)
4. 割り込み要因を選択
5. アラーム機能の選択
6. 割り込みを許可
7. 計時タイマをスタート

各設定、制御方法を以下に説明します。割り込みの制御については"計時タイマの割り込み機能"を参照してください。

カウンタのリセット

計時タイマの各カウンタはソフトウェアでのみ"0"にリセット可能です。イニシャルリセットやオートオフ機能によってはリセットされませんので注意してください。

計時タイマをリセットするには計時タイマRun/Stopレジスタ(0x40151)のTCRST(D1)に"1"を書き込みます。ただし、このリセットは計時タイマが停止中にのみ受け付けられ、動作中は無効です。

注: • 計時タイマリセットビットTCRSTと計時タイマRUN/STOP制御ビットTCRUNは、同一アドレス(0x40151)の計時タイマRun/Stopレジスタに割り付けられています。ただし、両方に"1"を書き込んで計時タイマのリセットとRUNを同時に行うことはできません。この場合、リセットは無効となり、その時点のカウンタ値からのカウントアップとなります。リセットは必ずTCRUNが"0"の状態で行ってください。

- 計時タイマのリセットによってカウンタがクリアされる際、設定によっては割り込みが発生することがあります。したがって、計時タイマをリセットする場合は、先に計時タイマ割り込みを禁止し、計時タイマをリセット後に割り込み要因フラグ、割り込み要因発生フラグおよびアラーム要因発生フラグをリセットしてください。

分、時間、日データのプリセット

計時タイマの分カウンタ、時間カウンタ、日カウンタにはデータプリセット機能があり、時間を任意に設定することができます。

表III.8.1 カウンタのプリセット

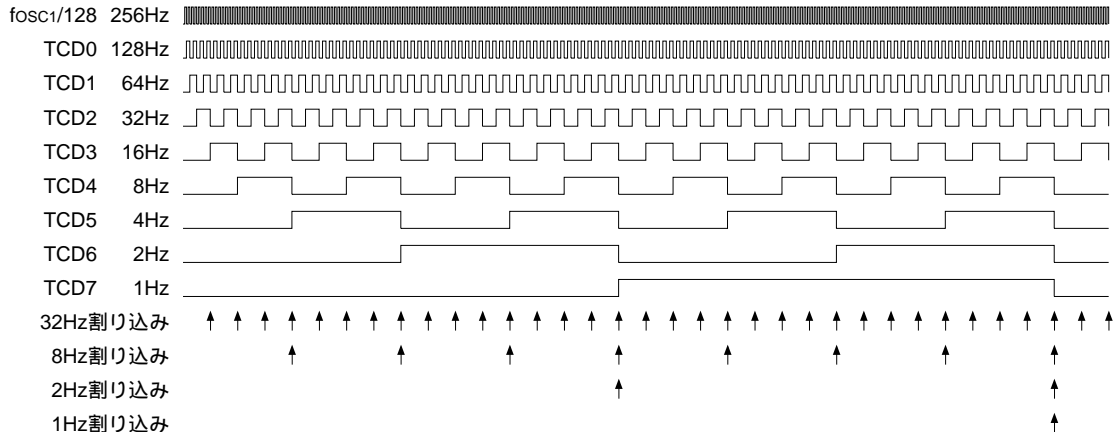
カウンタ	データレジスタ	プリセット値
分カウンタ	TCHD[5:0] (計時タイマ分レジスタ0x40155•D[5:0])	0 ~ 59
時間カウンタ	TCDD[4:0] (計時タイマ時間レジスタ0x40156•D[4:0])	0 ~ 23
日カウンタ	TCND[15:0] (計時タイマ日(上位)レジス0x40158•D[7:0]) (計時タイマ日(下位)レジス0x40157•D[7:0])	0 ~ 65535

計時タイマをRTCとして使用する場合には、これらのカウンタ値を設定してから計時タイマを動作させてください。日カウンタには基準日(たとえば1990年1月1日)からの日数を設定します。

計時タイマのRUN/STOP

計時タイマは計時タイマRun/Stopレジスタ(0x40151)のTCRUN(D0)に"1"を書き込むとカウントをスタートし、"0"を書き込むと停止します。

計時タイマをRUNさせると、低速(OSC1)発振クロックの立ち下がりエッジで256Hzクロックの入力がインプットとなり、256Hzクロックの立ち下がりエッジで8ビットバイナリカウンタがカウントアップします。8ビットバイナリカウンタの動作を図III.8.2に示します。



図III.8.2 8ビットバイナリカウンタのタイミングチャート

8ビットバイナリカウンタの最終段は1Hz信号を出力します。

秒カウンタはその1Hz信号をカウントします。60秒をカウントすると60秒信号を出力し、カウンタは0秒にリセットされます。

同様に分カウンタ、時間カウンタもそれぞれ前段のカウンタの出力信号により60分、24時間のカウントを行います。

日カウンタは16ビットのバイナリカウンタで、時間カウンタが出力する24時間信号により65536日のカウントが行えます。

各カウンタが発生する以下の信号の中から、割り込みを発生させる信号を1つ選択することができます。

32Hz, 8Hz, 2Hz, 1Hz(1秒), 1分, 1時間, 1日

TCRUNに"0"を書き込んだ場合は、カウントアップのタイミング(256Hzクロックの立ち下がり)と重なることによる誤動作を避けるため、計時タイマは低速(OSC1)発振クロックの立ち上がりエッジで停止します。

計時タイマを停止させた場合でも、各カウンタはその時点のデータを保持します。その状態で再びRUNさせると、保持している値からカウントを継続します。

カウンタデータの読み出し

各カウンタのデータはソフトウェアによってバイナリデータとして読み出すことができます。

表III.8.2 カウンタデータの読み出し

カウンタ	カウンタデータ
1Hz ~ 128Hz	TCDD[7:0] (計時タイマ分周レジスタ0x40153・D[7:0])
秒カウンタ	TCMD[5:0] (計時タイマ秒レジスタ0x40154・D[5:0])
分カウンタ	TCHD[5:0] (計時タイマ分レジスタ0x40155・D[5:0])
時間カウンタ	TCDD[4:0] (計時タイマ時間レジスタ0x40156・D[4:0])
日カウンタ	TCND[15:0] (計時タイマ日(上位)レジスタ0x40158・D[7:0]) (計時タイマ日(下位)レジスタ0x40157・D[7:0])

データは動作中のカウンタから直接読み出されます。このため、各カウンタデータの読み出しの間にカウンタがオーバーフローして、正確なデータが読み出せないことがあります。たとえば、8ビットバイナリカウンタが0xFFで読み出され、次の秒カウンタを読み出す前にオーバーフローすると、秒カウンタは8ビットバイナリカウンタの読み出し時から1秒加算された値になります。これを防ぐため、各カウンタを複数回読み出して、データが変更されないことを確認してください。

アラーム機能の設定

計時タイマにはアラーム機能があり、指定の日時に割り込みを発生させることができます。
アラームの指定は分単位、時間単位、日単位で単独に、または複数を組み合わせて行えます。
この選択は計時タイマ割り込み制御レジスタ(0x40152)のTCASE[2:0](D[4:2])で行います。

表III.8.3 アラーム要因の選択

TCASE2	TCASE1	TCASE0	アラーム要因
X	X	1	分アラーム
X	1	X	時間アラーム
1	X	X	日アラーム
0	0	0	選択なし

たとえばTCASEを"001"に設定すると、分アラームのみが有効となり、毎時指定分にアラームが発生します。"111"に設定すると、指定日・指定時・指定分にアラームが発生します。

アラームを使用しない場合は"000"を設定してください。

1分、1時間、あるいは1日周期で割り込みを発生させたい場合は、カウンタによる割り込み機能で対応可能です。

日・時間・分の指定は以下のレジスタで行います。

分の指定: 計時タイマ分比較レジスタ TCCH[5:0](D[5:0]/0x40159) 0 ~ 59分*

時間の指定: 計時タイマ時間比較レジスタ TCCD[4:0](D[4:0]/0x4015A) 0 ~ 23時*

日の指定: 計時タイマ日比較レジスタ TCCN[4:0](D[4:0]/0x4015B) 0 ~ 31日後

* 分比較レジスタ(6ビット) 時間比較レジスタ(5ビット)はそれぞれ63分、31時まで設定可能で、59分あるいは23時を越えるデータを設定しても無効とはなりませんので注意してください。

これらのレジスタに設定された値が各カウンタと比較され、一致すると計時タイマ割り込み制御レジスタ(0x40152)のアラーム要因発生フラグTCAR(D0)が"1"にセットされます。割り込みコントローラによって計時タイマ割り込みが許可されていれば、同時に割り込みも発生します。

なお、日比較データレジスタは5ビットで、日カウンタの下位5ビットと比較されます。したがって、設定した日から31日後までの間アラームを発生可能です。

計時タイマの割り込み機能

計時タイマ割り込み要因

計時タイマはカウンタの32Hz、8Hz、2Hz、1Hz(1秒)、1分、1時間、1日の信号によって割り込みを発生させることができます。この中のどの信号を割り込み要因として使用するかについては計時タイマ割り込み制御レジスタ(0x40152)の割り込み要因選択ビットTCISE[2:0](D[7:5])で選択できます。

表III.8.4 割り込み要因の選択

TCISE2	TCISE1	TCISE0	割り込み要因
1	1	1	選択なし
1	1	0	1日
1	0	1	1時間
1	0	0	1分
0	1	1	1Hz
0	1	0	2Hz
0	0	1	8Hz
0	0	0	32Hz

選択した信号の周期(各立ち上がりエッジ)で割り込み要因が発生します。

これらの信号による割り込みを使用しない場合は、TCISEを"111"に設定してください。

選択した割り込み要因が発生すると、計時タイマ割り込み制御レジスタ(0x40152)の割り込み要因発生フラグTCIF(D1)が"1"にセットされます。同時に計時タイマ、A/D割り込み要因フラグレジスタ(0x40287)の計時タイマ割り込み要因フラグFCTM(D1)も"1"にセットされます。このとき、割り込み制御レジスタによって割り込み条件が満たされていれば、CPUに対し割り込みが発生します。

前節で説明したとおり、指定したアラーム日時に割り込みを発生させることもできます。

信号による割り込みとアラームによる割り込みの両方を利用することができます。ただし、計時タイマの割り込み要因フラグは1種類のため、同一の割り込みが発生します。したがって、両方の割り込みを使用する場合は、割り込み発生時に割り込み要因発生フラグTCIFとアラーム要因発生フラグTCAFを読み出してどちらの要因による割り込みなのかを確認してください。要因発生フラグは"1"にセットされると、ソフトウェアで"1"を書き込むまでリセットされません。フラグがセットされていることを確認後は"1"を書き込んでリセットしてください。なお、割り込み要因発生フラグ、アラーム要因発生フラグは、割り込み、アラーム発生から4ms以上の時間が経過後にリセットしてください。

注: 不要な割り込みの発生を防止するため、割り込み要因およびアラーム要因の選択は、計時タイマの割り込みを禁止した状態で行ってください。また、その後で割り込みを許可する前に、各要因発生フラグと割り込み要因フラグをリセットしてください。

割り込みコントローラの制御レジスタ

計時タイマ割り込みの制御ビット/レジスタは次のとおりです。

割り込み要因フラグ: FCTM(ポート入力4-7, 計時タイマ, A/D割り込み要因フラグレジスタ0x40287・D1)

割り込みイネーブル: ECTM(ポート入力4-7, 計時タイマ, A/D割り込みイネーブルレジスタ0x40277・D1)

割り込みレベル: PCTM[2:0](計時タイマ割り込みプライオリティレジスタ0x4026B・D[2:0])

計時タイマは前述の割り込み要因が発生すると割り込み要因フラグを"1"にセットします。このときに、対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず"0"に設定されていても、割り込み要因発生時に"1"にセットされます。割り込みプライオリティレジスタは、割り込みの優先レベル(0~7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。また、計時タイマ割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した計時タイマ割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITC(割り込みコントローラ)"を参照してください。

なお、計時タイマの割り込み要因にはインテリジェントDMAを起動する機能はありません。

トラップベクタ

計時タイマ割り込みのトラップベクタアドレスは、デフォルトで0x0C00104に設定されます。なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134~0x48137)で変更することも可能です。

計時タイマの使用例

以下に計時タイマの使用例とその制御方法を示します。

計時タイマをタイマカウンタとして使用する場合

CPUを停止した状態で計時タイマを動作させ、指定時間(例: 3日)経過後にウェークアップさせる例

1. 低速 (OSC1) 発振回路が安定して発振していることを確認します。(SOSC1 = "1")
発振開始直後の場合は発振が安定するまで(約3秒)待機してください。
2. 割り込みコントローラで計時タイマの割り込みを禁止します。(ECTM = "0")
3. 計時タイマを停止させ、日比較レジスタに"3日"を設定します。(TCRUN = "0", TCCN = "3")
4. アラーム要因選択レジスタで"日指定アラーム"を選択し、割り込み要因選択レジスタを"選択なし"に設定します。(TCASE = "100", TCISE = "111")
5. 割り込み要因フラグおよびアラーム要因発生フラグをリセットします。(FCTM = "0", TCAF = "0")
6. 割り込みコントローラで計時タイマ割り込みを許可します。(ECTM = "1")
7. CPU動作クロックを低速 (OSC1) クロックに切り換えます。(CLKCHG = "0")
8. 高速 (OSC3) 発振回路を停止させます。(SOSC3 = "0")
9. 計時タイマをリセットします。(TCRST = "0")
10. 計時タイマをスタートさせます。(TCRUN = "1")
11. halt命令を実行し、CPUを停止させます。

計時タイマからの日指定アラーム割り込みの発生を待ちます。割り込みが発生すると、CPUはOSC1クロックで起動します。

12. 必要であれば、高速 (OSC3) 発振回路をONし、CPU動作クロックをOSC3クロックに切り換えます。

上記例で、3日が経過する前にリセットをかけた場合は次のような動作となります。

- CPUはOSC3クロックにより起動します。
 - 計時タイマのカウンタはリセットされません。RUN状態を保持します。
- 計時タイマのカウンタを読み出すことで、CPUが停止していた時間を確認することができます。

計時タイマをRTCとして使用する場合

計時タイマを動作させ、毎日10時(AM)にアラームを発生させる例

1. 割り込みコントローラで計時タイマの割り込みを禁止します。(ECTM = "0")
2. 計時タイマを停止させます。(TCRUN = "0")
3. 計時タイマをリセットします。(TCRST = "1")
4. 分(TCHD)・時間(TCDD)・日(TCND)カウンタに現在の日時を設定します。日カウンタには基準日(1990年1月1日等)からの日数を設定し、読み出し時はソフトウェアで現在の日付に変換します。
5. 時間比較レジスタに"10時"を設定します。(TCCD = "0x0A")
6. アラーム要因選択レジスタで"時間指定アラーム"を選択し、割り込み要因選択レジスタを"選択なし"に設定します。(TCASE = "010", TCISE = "111")
7. 割り込み要因フラグとアラーム要因発生フラグをリセットします。(FCTM = "1", TCAF = "0")
8. 割り込みコントローラで計時タイマ割り込みを許可します。(ECTM = "1")
9. 計時タイマをスタートさせます。(TCRUN = "1")

計時タイマは毎日10時に時間指定アラーム割り込みを発生します。

上記例で、アラーム以外の割り込み要因を選択した場合、その割り込み要因による割り込みも発生します。どちらの割り込みかを確認するには、割り込み要因発生フラグTCIFおよびアラーム要因フラグTCAFを読み出してください。TCAFが"1"にセットされていれば、アラームによる割り込みです。なお、時間指定アラームと1日以外の割り込み要因を選択した場合は、アラーム要因発生時にその割り込み要因も同時に発生します。

計時タイマのI/Oメモリ

表III.8.5に計時タイマの制御ビットを示します。

表III.8.5 計時タイマの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
計時タイマ Run/Stop レジスタ	0040151 (B)	D7-2	—	reserved	—	—	—	読み出し時: 0
		D7	TCRST	計時タイマリセット	1 リセット	0 無効	X	W
		D0	TCRUN	計時タイマRun/Stop制御	1 Run	0 Stop	X	R/W
計時タイマ 割り込み制御 レジスタ	0040152 (B)	D7	TCISE2	計時タイマ割り込み要因選択	TCISE[2:0]	割り込み要因	X	R/W
		D6	TCISE1		1 1 1	なし	X	
		D5	TCISE0		1 1 0	1日	X	
					1 0 1	1時間		
					1 0 0	1分		
					0 1 1	1Hz		
					0 1 0	2Hz		
					0 0 1	8Hz		
					0 0 0	32Hz		
		D4 D3 D2	TCASE2 TCASE1 TCASE0	計時タイマアラーム要因選択	TCASE[2:0]	アラーム要因	X X X	R/W
		D1	TCIF	割り込み要因発生フラグ	1 要因あり	0 要因なし	X	R/W
		D0	TCAF	アラーム要因発生フラグ	1 要因あり	0 要因なし	X	R/W
計時タイマ 分周レジスタ	0040153 (B)	D7	TCD7	計時タイマデータ 1Hz	1 High	0 Low	X	R
		D6	TCD6	計時タイマデータ 2Hz	1 High	0 Low	X	R
		D5	TCD5	計時タイマデータ 4Hz	1 High	0 Low	X	R
		D4	TCD4	計時タイマデータ 8Hz	1 High	0 Low	X	R
		D3	TCD3	計時タイマデータ 16Hz	1 High	0 Low	X	R
		D2	TCD2	計時タイマデータ 32Hz	1 High	0 Low	X	R
		D1	TCD1	計時タイマデータ 64Hz	1 High	0 Low	X	R
		D0	TCD0	計時タイマデータ 128Hz	1 High	0 Low	X	R
計時タイマ 秒レジスタ	0040154 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	TCMD5	計時タイマ秒データ TCMD5 = MSB TCMD0 = LSB	0 ~ 59秒		X	R
		D4	TCMD4				X	
		D3	TCMD3				X	
		D2	TCMD2				X	
		D1	TCMD1				X	
		D0	TCMD0				X	
計時タイマ 分レジスタ	0040155 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	TCHD5	計時タイマ分データ TCHD5 = MSB TCHD0 = LSB	0 ~ 59分		X	R/W
		D4	TCHD4				X	
		D3	TCHD3				X	
		D2	TCHD2				X	
		D1	TCHD1				X	
		D0	TCHD0				X	
計時タイマ 時間レジスタ	0040156 (B)	D7-5	—	reserved	—	—	—	読み出し時: 0
		D4	TCDD4	計時タイマ時間データ TCDD4 = MSB TCDD0 = LSB	0 ~ 23時		X	R/W
		D3	TCDD3				X	
		D2	TCDD2				X	
		D1	TCDD1				X	
		D0	TCDD0				X	
計時タイマ 日(下位) レジスタ	0040157 (B)	D7	TCND7	計時タイマ日データ (下位8ビット) TCND0 = LSB	0 ~ 65535日 (下位8ビット)		X	R/W
		D6	TCND6				X	
		D5	TCND5				X	
		D4	TCND4				X	
		D3	TCND3				X	
		D2	TCND2				X	
		D1	TCND1				X	
		D0	TCND0				X	
計時タイマ 日(上位) レジスタ	0040158 (B)	D7	TCND15	計時タイマ日データ (上位8ビット) TCND15 = MSB	0 ~ 65535日 (上位8ビット)		X	R/W
		D6	TCND14				X	
		D5	TCND13				X	
		D4	TCND12				X	
		D3	TCND11				X	
		D2	TCND10				X	
		D1	TCND9				X	
		D0	TCND8				X	

III

CTM

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
計時タイマ 分比較レジスタ	0040159 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	TCCH5	計時タイマ分比較データ TCCH5 = MSB TCCH0 = LSB	0 ~ 59分 (注)0 ~ 63を設定可能	X	R/W	
		D4	TCCH4			X		
		D3	TCCH3			X		
		D2	TCCH2			X		
		D1	TCCH1			X		
		D0	TCCH0			X		
計時タイマ 時間比較 レジスタ	004015A (B)	D7-5	—	reserved	—	—	—	読み出し時: 0
		D4	TCCD4	計時タイマ時間比較データ TCCD4 = MSB TCCD0 = LSB	0 ~ 23時 (注)0 ~ 31を設定可能	X	R/W	
		D3	TCCD3			X		
		D2	TCCD2			X		
		D1	TCCD1			X		
		D0	TCCD0			X		
計時タイマ 日比較レジスタ	004015B (B)	D7-5	—	reserved	—	—	—	読み出し時: 0
		D4	TCCN4	計時タイマ日比較データ TCCN4 = MSB TCCN0 = LSB	0 ~ 31日	X	R/W	TCND[4:0]と比較
		D3	TCCN3			X		
		D2	TCCN2			X		
		D1	TCCN1			X		
		D0	TCCN0			X		
計時タイマ 割り込み プライオリティ レジスタ	004026B (B)	D7-3	—	reserved	—	—	—	1書き込み禁止
		D2	PCTM2	計時タイマ 割り込みレベル	0 ~ 7	X	R/W	
		D1	PCTM1			X		
		D0	PCTM0			X		
ポート入力4-7, 計時タイマ, A/D 割り込みイネー ブルレジスタ	0040277 (B)	D7-6	—	reserved	—		—	読み出し時: 0
		D5	EP7	1 許可	0 禁止	0	R/W	
		D4	EP6			0	R/W	
		D3	EP5			0	R/W	
		D2	EP4			0	R/W	
		D1	ECTM			0	R/W	
		D0	EADE			0	R/W	
		ポート入力4-7, 計時タイマ, A/D 割り込み要因 フラグレジスタ	0040287 (B)			D7-6	—	
D5	FP7			1 要因発生	0 要因なし	X	R/W	
D4	FP6					X	R/W	
D3	FP5					X	R/W	
D2	FP4					X	R/W	
D1	FCTM					X	R/W	
D0	FADE					X	R/W	

TCRST: 計時タイマリセット (D1/0x40151<計時タイマRun/Stopレジスタ>)

計時タイマをリセットします。

"1"書き込み: 計時タイマリセット

"0"書き込み: 無効

読み出し: 常時"0"

計時タイマは、停止状態でTCRSTに"1"を書き込むことによってリセットされます。カウンタはすべて"0"にクリアされます。

計時タイマがRUN状態ではリセットされません。また、計時タイマRun/Stopレジスタ(0x40151)に対する1回の書き込みで計時タイマのリセットとRUNを同時に実行することはできません(計時タイマはスタートしますが、リセットされません)。この場合は、先に計時タイマをリセットし、別の命令で計時タイマをRUNさせてください。

計時タイマのリセットによってカウンタがクリアされる際、設定によっては割り込みが発生することがあります。したがって、計時タイマをリセットする場合は、先に計時タイマ割り込みを禁止し、計時タイマをリセット後に割り込み要因フラグ、割り込み要因発生フラグおよびアラーム要因発生フラグをリセットしてください。

"0"の書き込みはノーオペレーションとなります。TCRSTは書き込み専用のため、読み出し時は常時"0"となります。

計時タイマはイニシャルリセットによってリセットされません。

TCRUN: 計時タイマRUN/STOP制御(D0/0x40151<計時タイマRun/Stopレジスタ>)

計時タイマのRUN/STOPを制御します。

"1"書き込み: RUN
 "0"書き込み: STOP
 読み出し: 可能

計時タイマはTCRUNに"1"を書き込むことによってカウントを開始し、"0"の書き込みにより停止します。STOP状態でもタイマのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。
 イニシャルリセット時、TCRUNは初期化されません。

TCD7–TCD0: 1–128Hzカウンタデータ(D[7:0]/0x40153<計時タイマ分周レジスタ>)**TCMD5–TCMD0: 秒カウンタデータ(D[5:0]/0x40154<計時タイマ秒レジスタ>)****TCHD5–TCHD0: 分カウンタデータ(D[5:0]/0x40155<計時タイマ分レジスタ>)****TCDD4–TCDD0: 時間カウンタデータ(D[4:0]/0x40156<計時タイマ時間レジスタ>)****TCND15–TCND0: 日カウンタデータ(上位8ビット: D[7:0]/0x40158<計時タイマ日(上位)レジスタ>
下位8ビット: D[7:0]/0x40157<計時タイマ日(下位)レジスタ>)**

各カウンタのデータが読み出せます。

分・時間・日カウンタにはデータを書き込むこともできます。

1～128Hzカウンタと秒カウンタは読み出し専用のため、書き込み動作は無効となります。

秒・分・時間カウンタデータの各アドレス内の上位未使用ビットは、読み出し時は常時"0"となります。

イニシャルリセット時、カウンタデータは初期化されません。

TCCH5–TCCH0: 分比較データ(D[5:0]/0x40159<計時タイマ分比較レジスタ>)**TCCD4–TCCD0: 時間比較データ(D[4:0]/0x4015A<計時タイマ時間比較レジスタ>)****TCCN4–TCCN0: 日比較データ(D[4:0]/0x4015B<計時タイマ日比較レジスタ>)**

アラーム発生日時を設定します。

TCASEで選択したアラーム要因に対応する比較データレジスタがカウンタデータと比較され、データが一致するとアラーム割り込み要求を発生します。

日比較データは日カウンタの下位5ビットと比較されます。

各レジスタは読み出しも可能です。

イニシャルリセット時、これらのデータは初期化されません。

TCISE2–TCISE0: 割り込み要因選択(D[7:5]/0x40152<計時タイマ割り込み制御レジスタ>)

計時タイマ割り込みを発生させる要因を選択します。

表III.8.6 割り込み要因の選択

TCISE2	TCISE1	TCISE0	割り込み要因
1	1	1	選択なし
1	1	0	1日
1	0	1	1時間
1	0	0	1分
0	1	1	1Hz
0	1	0	2Hz
0	0	1	8Hz
0	0	0	32Hz

計時タイマ割り込みが許可されている場合、選択した信号の立ち下がりエッジで周期的に割り込みが発生します。これらの要因による割り込みを使用しない場合は、TCISEに"111"を設定してください。

イニシャルリセット時、TCISEは初期化されません。

TCASE2-TCASE0: アラーム要因選択(D[4:2]/0x40152<計時タイマ割り込み制御レジスタ>)

アラーム要因を選択します。

表III.8.7 アラーム要因の選択

TCASE2	TCASE1	TCASE0	アラーム要因
X	X	1	分アラーム
X	1	X	時間アラーム
1	X	X	日アラーム
0	0	0	選択なし

TCASE2、TCASE1、TCASE0はそれぞれ日アラーム、時間アラーム、分アラームを選択するビットで、複数のアラーム要因を選択することができます。"1"を書き込むとそのアラーム要因に対応する比較データレジスタの内容がカウンタと比較されます。選択したすべてのアラーム要因の比較データがカウンタデータと一致すると、アラーム割り込み要求が発生します。"0"を書き込んだアラーム要因に対応する比較データレジスタはカウンタデータとは比較されません。

イニシャルリセット時、TCASEは初期化されません。

TCIF: 割り込み要因発生フラグ(D1/0x40152<計時タイマ割り込み制御レジスタ>)

割り込み要因の発生を示します。

"1"読み出し: 要因発生

"0"読み出し: 要因なし

"1"書き込み: フラグをリセット

"0"書き込み: 無効

TCIFはTCISEで選択した割り込み要因が発生すると"1"にセットされます。計時タイマ割り込みは1系統のため、アラーム要因による割り込みとの切り分けに使用してください。

TCIFは"1"にセットされると、"1"を書き込むまでリセットされません。

イニシャルリセット時、TCIFは初期化されません。

なお、割り込みはこのビットの状態("0"または"1")にかかわらず発生します。

TCAF: アラーム要因発生フラグ(D0/0x40152<計時タイマ割り込み制御レジスタ>)

アラーム要因の発生を示します。

"1"読み出し: 要因発生

"0"読み出し: 要因なし

"1"書き込み: フラグをリセット

"0"書き込み: 無効

TCAFはTCASEで選択したすべてのアラーム要因が発生すると"1"にセットされます。計時タイマ割り込みは1系統のため、他の割り込み要因による割り込みとの切り分けに使用してください。

TCAFは"1"にセットされると、"1"を書き込むまでリセットされません。

イニシャルリセット時、TCAFは初期化されません。

なお、アラームはこのビットの状態("0"または"1")にかかわらず発生します。

PCTM2-PCTM0: 計時タイマ割り込みレベル(D[2:0]/0x4026B<計時タイマ割り込みプライオリティレジスタ>)

計時タイマ割り込みの優先レベルを0~7の範囲で設定します。

イニシャルリセット時、PCTMは不定となります。

ECTM: 計時タイマ割り込みイネーブル(D1/0x40277<ポート入力4-7, 計時タイマ, A/D割り込みイネーブルレジスタ>)

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

ECTMは計時タイマ割り込みを制御する割り込みイネーブルビットで、"1"に設定すると割り込みが許可され、"0"に設定すると割り込みが禁止されます。

イニシャルリセット時、ECTMは"0"(割り込み禁止)に設定されます。

FCTM: 計時タイマ割り込み要因フラグ(D1/0x40287<ポート入力4-7, 計時タイマ, A/D割り込み要因フラグレジスタ>) 計時タイマの割り込み要因の発生状態を示します。

- 読み出し時
 - "1"読み出し: 割り込み要因あり
 - "0"読み出し: 割り込み要因なし
- リセットオンリー方式書き込み時(デフォルト)
 - "1"書き込み: 要因フラグをリセット
 - "0"書き込み: 無効
- リード/ライト方式書き込み時
 - "1"書き込み: 要因フラグをセット
 - "0"書き込み: 要因フラグをリセット

FCTMは計時タイマの割り込み要因フラグで、選択した割り込み要因またはアラーム要因が発生すると"1"にセットされます。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
 2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
 3. PSRのIEビットが"1"(割り込み許可)に設定されている。
 4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。
- 割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み要因の発生により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。

割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。

イニシャルリセット時、FCTMフラグは不定となりますので、必ずソフトウェアでリセットしてください。

プログラミング上の注意事項

- (1) 計時タイマの原振となる低速 (OSC1) 発振回路は動作を開始してから発振が安定するまでにある程度の時間 ("電気的特性"参照) を要します。したがって、電源投入時などは発振が安定するのを待ってから計時タイマをスタートさせてください。
- (2) イニシャルリセット時、計時タイマのカウンタデータ、アラーム設定内容およびRUN/STOPを含む制御ビットは初期化されません。電源投入後は必ずソフトウェアで初期化してください。
- (3) 計時タイマリセットビットTCRSTと計時タイマRUN/STOP制御ビットTCRUNは、同一アドレスの計時タイマRun/Stopレジスタ(0x40151)に割り付けられています。ただし、両方に"1"を書き込んでリセットと計時タイマのRUNを同時に行うことはできません。この場合、リセットは無効となり、その時点のカウンタ値からのカウントアップとなります。リセットは必ずTCRUNが"0"(計時タイマが停止)の状態で行ってください。
- (4) 計時タイマのリセットによってカウンタがクリアされる際、設定によっては割り込みが発生することがあります。したがって、計時タイマをリセットする場合は、先に計時タイマ割り込みを禁止し、計時タイマをリセット後に割り込み要因フラグ、割り込み要因発生フラグおよびアラーム要因発生フラグをリセットしてください。
- (5) 不要な割り込みの発生を防止するため、割り込み要因およびアラーム要因の選択は、計時タイマの割り込みを禁止した状態で行ってください。また、その後で割り込みを許可する前に、各要因発生フラグと割り込み要因フラグをリセットしてください。
- (6) イニシャルリセット後、割り込み要因フラグ(FCTM)は不定となります。不要な割り込みの発生を防止するため、必ずプログラムでリセットしてください。
- (7) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグ(FCTM)をリセットしてください。

III-9 シリアルインタフェース

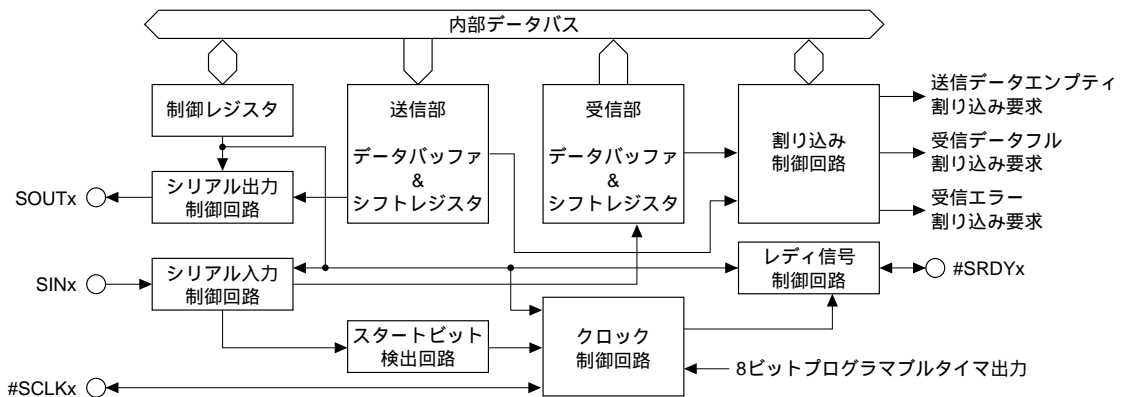
シリアルインタフェースの構成

シリアルインタフェースの特長

C33周辺回路ブロックは以下の特長を持つシリアルインタフェースを4チャンネル(Ch.0、Ch.1、Ch.2、Ch.3)内蔵しています。4チャンネルとも同機能です。

- 転送方式としてクロック同期式モードまたは調歩同期式モードを選択可能
 - クロック同期式モード
 - データ長: 8ビット固定(スタート/ストップ/パリティビットなし)
 - 受信エラー: オーバーランエラーを検出
 - 調歩同期式モード
 - データ長: 7ビットまたは8ビットを選択可能
 - 受信エラー: オーバーランエラー、フレーミングエラー、パリティエラーを検出
 - スタートビット: 1ビット固定
 - ストップビット: 1ビットまたは2ビットを選択可能
 - パリティビット: 偶数、奇数、またはなしを選択可能
 - 受信部と送信部が独立しているため、全二重通信が可能
 - IrDAインタフェースに対応
 - 内部クロックまたは外部クロック入力を選択可能
- ボーレート設定 プリスケアラの分周比、8ビットプログラマブルタイマの設定、または外部クロック(調歩同期式のみ)により、任意のボーレートを設定可能
- ダブルバッファ構造の受信部および送信部により、連続受信、連続送信が可能
- IDMA/HSDMAによるデータ転送が可能
- 3種類(送信データエンプティ、受信データフル、受信エラー)の割り込みを発生可能

図III.9.1にシリアルインタフェース(1チャンネル)の構成を示します。



図III.9.1 シリアルインタフェースの構成

注: Ch.0 ~ Ch.3は同一の構成で、同一の機能を持ちます。信号名や制御ビット名の後ろにはチャンネル番号を示す"0"、"1"、"2"または"3"が付いて区別されますが、説明は全チャンネルに共通なため、必要な部分以外は"0" ~ "3"を"x"に置き換えて記述します。

シリアルインタフェースの入出力端子

表III.9.1にシリアルインタフェースで使用する端子を示します。

表III.9.1 シリアルインタフェースの端子構成

端子名	I/O	機 能	機能選択ビット
P00(SIN0)	I/O	入出力兼用ポート/シリアルIF Ch.0データ入力	CFP00(P0機能選択レジスタ0x402D0•D0)
P01(SOUT0)	I/O	入出力兼用ポート/シリアルIF Ch.0データ出力	CFP01(P0機能選択レジスタ0x402D0•D1)
P02(#SCLK0)	I/O	入出力兼用ポート/シリアルIF Ch.0クロック入出力	CFP02(P0機能選択レジスタ0x402D0•D2)
P03(#SRDY0)	I/O	入出力兼用ポート/シリアルIF Ch.0レディ入出力	CFP03(P0機能選択レジスタ0x402D0•D3)
P04(SIN1 /#DMAACK2)	I/O	入出力兼用ポート/シリアルIF Ch.1データ入力/ #DMAACK2信号出力	CFP04(P0機能選択レジスタ0x402D0•D4) CFEX4(ポート機能拡張レジスタ0x402DF•D4)
P05(SOUT1 /#DMAEND2)	I/O	入出力兼用ポート/シリアルIF Ch.1データ入力/ #DMAEND2信号出力	CFP05(P0機能選択レジスタ0x402D0•D5) CFEX5(ポート機能拡張レジスタ0x402DF•D5)
P06(#SCLK1 /#DMAACK3)	I/O	入出力兼用ポート/シリアルIF Ch.1クロック入出力/ #DMAACK3信号出力	CFP06(P0機能選択レジスタ0x402D0•D6) CFEX6(ポート機能拡張レジスタ0x402DF•D6)
P07(#SRDY1 /#DMAEND3)	I/O	入出力兼用ポート/シリアルIF Ch.1レディ入出力/ #DMAEND3信号出力	CFP07(P0機能選択レジスタ0x402D0•D7) CFEX7(ポート機能拡張レジスタ0x402DF•D7)
P27(TM5/ SIN2)	I/O	入出力兼用ポート/シリアルIF Ch.2データ入力	CFP27(P2機能選択レジスタ0x402D8•D7) SSIN2(ポートSIO機能選択レジスタ0x402DB•D0)
P26(TM4/ SOUT2)	I/O	入出力兼用ポート/シリアルIF Ch.2データ出力	CFP26(P2機能選択レジスタ0x402D8•D6) SSOUT2(ポートSIO機能選択レジスタ0x402DB•D1)
P25(TM3/ #SCLK2)	I/O	入出力兼用ポート/シリアルIF Ch.2シリアルクロック入出力	CFP25(P2機能選択レジスタ0x402D8•D5) SSCLK2(ポートSIO機能選択レジスタ0x402DB•D2)
P24(TM2/ #SRDY2)	I/O	入出力兼用ポート/シリアルIF Ch.2レディ入出力	CFP24(P2機能選択レジスタ0x402D8•D4) SSRDY2(ポートSIO機能選択レジスタ0x402DB•D3)
P33(#DMAACK1/ SIN3)	I/O	入出力兼用ポート/シリアルIF Ch.3データ入力	CFP33(P3機能選択レジスタ0x402DC•D3) SSIN3(ポートSIO機能選択レジスタ0x402D7•D0)
P16(EXCL5/#DMAAND1/ SOUT3)	I/O	入出力兼用ポート/シリアルIF Ch.3データ出力	CFP16(P1機能選択レジスタ0x402D4•D6) SSOUT3(ポートSIO機能選択レジスタ0x402D7•D1)
P15(EXCL4/#DMAAND0/ #SCLK3)	I/O	入出力兼用ポート/シリアルIF Ch.3シリアルクロック入出力	CFP15(P1機能選択レジスタ0x402D4•D5) SSCLK3(ポートSIO機能選択レジスタ0x402D7•D2)
P32(#DMAACK0/ #SRDY3)	I/O	入出力兼用ポート/シリアルIF Ch.3レディ入出力	CFP32(P3機能選択レジスタ0x402DC•D2) SSRDY3(ポートSIO機能選択レジスタ0x402D7•D3)

SINx(シリアルデータ入力端子)

シリアルデータを入力します。転送モードにかかわらず共通です。

SOUTx(シリアルデータ出力端子)

シリアルデータを出力します。転送モードにかかわらず共通です。

#SCLKx(クロック入出力端子)

クロックを入出力します。クロック同期式スレーブモードではクロック入力端子として、クロック同期式マスタモードではクロック出力端子として使用されます。調歩同期式モードでは、外部クロックを使用する場合にクロック入力端子として使用されます。内部クロックを使用する場合はこの端子を使用しませんので、入出力兼用ポートとして使用することができます。

#SRDYx(レディ信号入出力端子)

クロック同期式モードで使用するレディ信号を入出力します。クロック同期式スレーブモードではレディ信号出力端子として、クロック同期式マスタモードではレディ信号入力端子として使用されます。調歩同期式モードではこの端子を使用しませんので、入出力兼用ポートとして使用することができます。

シリアルインタフェース入出力端子の設定方法

シリアルインタフェースで使用する端子はすべて入出力兼用ポート端子と共用されており、コールドスタート時にすべて入出力兼用ポート端子Pxx(機能選択ビットCFPxx, CFEXx, SSxxx = "0")として設定されます。シリアルインタフェースを使用する場合は、使用するチャネルと転送モードに合わせ、使用する端子の機能選択ビットの設定を行ってください。

ホットスタート時は、リセット前の設定状態を保持します。

転送モードの設定

シリアルインタフェースの転送モードは、シリアルI/F Ch.x制御レジスタ(Ch.0: 0x401E3、Ch.1: 0x401E8、Ch.2: 0x401F3、Ch.3: 0x401F8)のSMDx[1:0][D[1:0]]によってチャンネル個別に表III.9.2のように設定できます。

表III.9.2 転送モード

SMDx1	SMDx0	転送モード
1	1	調歩同期式8ビットモード
1	0	調歩同期式7ビットモード
0	1	クロック同期式スレーブモード
0	0	クロック同期式マスタモード

イニシャルリセット時、SMDxは不定となりますので、必ずソフトウェアで初期化してください。

IrDAインタフェースを使用する場合は、調歩同期式7ビットモードまたは調歩同期式8ビットモードに設定してください。

入出力端子は転送モードにより構成が異なります。表III.9.3に各モードの端子構成を示します。

表III.9.3 転送モードによる端子設定

転送モード	SINx	SOUTx	#SCLKx	#SRDYx
調歩同期式8ビット	データ入力	データ出力	クロック入力/Pポート	Pポート
調歩同期式7ビット	データ入力	データ出力	クロック入力/Pポート	Pポート
クロック同期式スレーブ	データ入力	データ出力	クロック入力	レディ出力
クロック同期式マスタ	データ入力	データ出力	クロック出力	レディ入力

クロック同期式モードは4本すべてを使用します。

調歩同期式モードでは#SRDYxを使用しないため、P0x またはP07、P24、P23)は入出力兼用(P)ポートとして使用可能です。また、外部クロックを使用しない場合はP0x またはP06、P25、P15)も入出力兼用ポートとして使用可能です。

シリアルインタフェースに使用される入出力兼用ポートのI/O制御レジスタおよびデータレジスタは、リード/ライト可能な汎用レジスタとして使用することができます。

注: IrDAインタフェースを設定するためにシリアルI/F IrDAレジスタ(Ch.0: 0x401E4、Ch.1: 0x401E9、Ch.2: 0x401F4、Ch.3: 0x401F9)にIRMDx[1:0][D[1:0]]が設けられています。このビットはイニシャルリセット時に不定となりますので、通常のインタフェースとして使用する場合は"00"を、IrDAインタフェースとして使用する場合は"10"を書き込んで初期化してください。

クロック同期式インタフェース

クロック同期式インタフェースの概要

クロック同期式転送は8ビットデータを送信側、受信側に共通のクロックに同期させて転送する方式です。送信部、受信部ともにダブルバッファ構造になっているため、連続送信および連続受信が可能です。クロックラインが送受信で共用されるため、半二重通信となります。

マスタモードとスレーブモード

シリアルI/F Ch.x制御レジスタ(Ch.0: 0x401E3、Ch.1: 0x401E8、Ch.2: 0x401F3、Ch.3: 0x401F8)のSMDx[1:0] D[1:0]によってクロック同期式マスタモードまたはクロック同期式スレーブモードが選択できます。

クロック同期式マスタモード(SMDx[1:0] = "00")

本モードでは、内蔵シフトレジスタの同期クロックとして内部クロックを使用する、本シリアルインタフェースをマスタとしたクロック同期式8ビットシリアル転送が行えます。

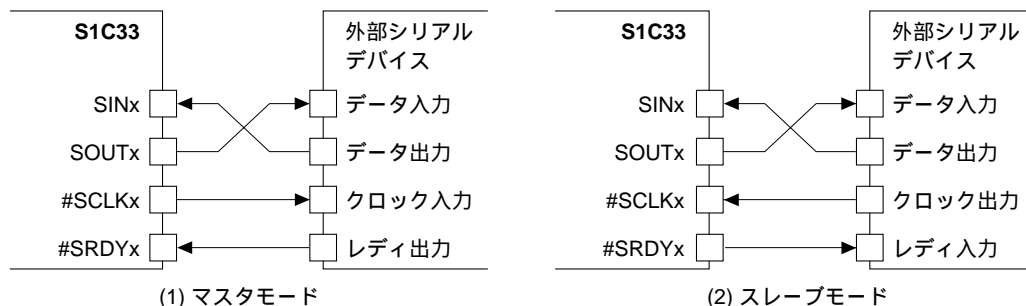
同期クロックは#SCLKx端子から出力され、外部(スレーブ側)のシリアル入出力デバイスを制御することができます。また、#SRDYx端子には外部シリアル入出力デバイスの送受信レディ状態(Lowで送受信レディ)を示す信号を入力します。

クロック同期式スレーブモード(SMDx[1:0] = "01")

本モードでは、外部(マスタ側)のシリアル入出力デバイスから供給される同期クロックを使用する、本シリアルインタフェースをスレーブとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックは#SCLKx端子より入力し、本シリアルインタフェースの同期クロックとして使用します。また、本シリアルインタフェースの送受信レディ状態を示す#SRDYx信号が#SRDYx端子から出力されます。

図III.9.2にクロック同期式モードにおける入出力端子の接続例を示します。

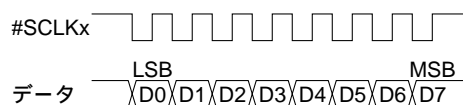


図III.9.2 クロック同期式マスタモードの接続例

クロック同期式転送データフォーマット

クロック同期式転送では、データフォーマットが次のとおり固定です。

データ長: 8ビット
 スタートビット: なし
 ストップビット: なし
 パリティビット: なし



図III.9.3 クロック同期式転送データフォーマット

シリアルデータはLSBを先頭として送受信されます。

クロック同期式インタフェースの設定

シリアルインタフェースでクロック同期式転送を行う場合は、データ転送開始前に以下の設定が必要です。

1. 入出力端子の設定
2. インタフェースモードの設定
3. 転送モードの設定
4. 入力クロックの設定
5. 割り込み/IDMA/HSDMAの設定

以下、各設定内容について説明します。割り込みとDMAの設定については"シリアルインタフェース割り込みとDMA"を参照してください。

注: これらの設定は、必ずシリアルインタフェースが動作停止中に(TXENxおよびRXENxを"0"に設定して) 行ってください。動作中の設定変更は誤動作の原因となります。

入出力端子の設定

クロック同期式モードでは、SINx、SOUTx、#SCLKx、#SRDYxの4本の端子をすべて使用します。使用するチャンネルに合わせ、以下の設定を行ってください(複数チャンネルの同時使用も可能)。

Ch.0: CFP0[3:0] (P0機能選択レジスタ0x402D0・D[3:0]) = "1111"

Ch.1: CFP0[7:4] (P0機能選択レジスタ0x402D0・D[7:4]) = "1111"

CFEX[7:4] (ポート機能拡張レジスタ0x402DF・D[7:4]) = "0000"

Ch.2: SSRDY2, SSCLK2, SSOUT2, SSIN2 (ポートSIO機能拡張レジスタ0x402DB・D[3:0]) = "1111"

Ch.3: SSRDY3, SSCLK3, SSOUT3, SSIN3 (ポートSIO機能拡張レジスタ0x402D7・D[3:0]) = "1111"

インタフェースモード設定

インタフェースモード(通常のインタフェースまたはIrDAインタフェース)を設定するシリアルI/F Ch.x IrDAレジスタ(Ch.0: 0x401E4、Ch.1: 0x401E9、Ch.2: 0x401F4、Ch.3: 0x401F9)のIRMDx[1:0] (D[1:0])に"00"を書き込み、通常のインタフェースを選択します。IRMDxはイニシャルリセット時に不定となりますので、初期化する必要があります。

転送モード設定

前述のとおり、シリアルインタフェースの転送モードをSMDxで設定します。

本インタフェースをクロック同期式転送のマスタとして使用する場合はSMDx[1:0]を"00"に、スレーブとして使用する場合は"01"に設定してください。

入力クロックの設定

• クロック同期式マスタモード

クロック同期式マスタモードは内部発生したクロックで動作します。各チャンネルのクロック源は次のとおりです。

Ch.0: 8ビットプログラマブルタイマ2の出力クロック

Ch.1: 8ビットプログラマブルタイマ3の出力クロック

Ch.2: 8ビットプログラマブルタイマ4の出力クロック

Ch.3: 8ビットプログラマブルタイマ5の出力クロック

したがって、クロック同期式マスタモードでシリアルインタフェースを使用するには、以下の条件が満たされている必要があります。

1. プリスケアラが8ビットプログラマブルタイマx(3)にクロックを出力している
2. 8ビットプログラマブルタイマx(3)がクロックを出力している

プリスケアラの分周比および8ビットプログラマブルタイマのリロードデータの設定により、クロック周波数を任意に設定可能です。これらの設定内容と転送速度の関係は式1で表されます。

8ビットプログラマブルタイマは、シリアルインタフェースに供給するクロックのデューティを50%にするため、内部的にアンダーフロー信号をさらに1/2に分周しています。式1はこの1/2分周を考慮しています。

$$RLD = \frac{f_{PSCIN} \times pdr}{2 \times bps} - 1 \quad (\text{式1})$$

RLD: 8ビットプログラマブルタイマのリロードレジスタ設定値

fPSCIN: プリスケアラ入力クロック周波数(Hz)

bps: 転送速度(ビット/秒)

pdr: プリスケアラの分周比

注: プリスケアラで選択する分周比は8ビットプログラマブルタイマ2と3では異なりますので、設定の際には注意してください。

8ビットプログラマブルタイマ2、4: 1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/2048, 1/4096

8ビットプログラマブルタイマ3、5: 1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/128, 1/256

プリスケアラと8ビットプログラマブルタイマの制御方法については、"プリスケアラ"、"8ビットプログラマブルタイマ"を参照してください。

シリアルインタフェースの制御レジスタの中に、調歩同期式モードのクロック源を選択するSSCKxビットがあります。このビットはクロック同期式モードのクロックには影響を与えませんが、イニシャルリセット時に不定となるため、クロック同期式マスタモードで使用する場合でも"0"(内部クロック)を書き込んで初期化してください。

- クロック同期式スレーブモード

クロック同期式スレーブモードは外部マスタが出力するクロックで動作します。クロックは#SCLK端子から入力します。

したがって、プリスケアラや8ビットプログラマブルタイマの制御は必要ありません。

SSCKxビットは"1"(#SCLKx)を書き込んで初期化してください。

クロック同期式転送の制御と動作

送信制御

(1) 送信許可

送信の制御には、送信許可ビットTXENxを使用します。

Ch.0送信許可: TXEN0(シリアルI/F Ch.0制御レジスタ0x401E3・D7)

Ch.1送信許可: TXEN1(シリアルI/F Ch.1制御レジスタ0x401E8・D7)

Ch.2送信許可: TXEN2(シリアルI/F Ch.2制御レジスタ0x401F3・D7)

Ch.3送信許可: TXEN3(シリアルI/F Ch.3制御レジスタ0x401F8・D7)

このビットに"1"を書き込んで送信を許可状態にすると、シフトレジスタへのクロック入力がいネーブル(入力可能な状態)となり、データの送信が行える状態となります。#SCLKx端子の同期クロック入出力もいネーブル(入出力可能な状態)となります。

TXENxに"0"を書き込むと送信禁止状態に戻ります。

なお、端子の機能選択レジスタをシリアル入出力用に設定した後、#SRDYx、#SCLKxは以下のタイミングで入力/出力が切り換わります。

#SRDYx: スレーブモードに設定 出力モードに切り換わります。

上記以外 入力モード

#SCLKx: マスタモードに設定 出力モードに切り換わります。

上記以外 入力モード

注: クロック同期式転送は送受信で共通のクロックラインを使用する半二重通信です。したがって、TXENxと受信許可ビットRXENxを同時に許可に設定することはできません。送信を行う場合はRXENxを"0"に固定し、変更しないでください。

また、送信中はTXENxを"0"に設定しないでください。

(2) 送信手順

本シリアルインタフェースには、送信用シフトレジスタと送信データレジスタ(送信データバッファ)が受信用とは独立して設けられています。

Ch.0送信データ: TXD0[7:0](シリアルI/F Ch.0送信データレジスタ0x401E0・D[7:0])

Ch.1送信データ: TXD1[7:0](シリアルI/F Ch.1送信データレジスタ0x401E5・D[7:0])

Ch.2送信データ: TXD2[7:0](シリアルI/F Ch.2送信データレジスタ0x401F0・D[7:0])

Ch.3送信データ: TXD3[7:0](シリアルI/F Ch.3送信データレジスタ0x401F5・D[7:0])

また、送信データレジスタの状態を示すステータスビットも設けられています。

Ch.0送信データバッファエンプティ: TDBE0(シリアルI/F Ch.0ステータスレジスタ0x401E2・D1)

Ch.1送信データバッファエンプティ: TDBE1(シリアルI/F Ch.1ステータスレジスタ0x401E7・D1)

Ch.2送信データバッファエンプティ: TDBE2(シリアルI/F Ch.2ステータスレジスタ0x401F2・D1)

Ch.3送信データバッファエンプティ: TDBE3(シリアルI/F Ch.3ステータスレジスタ0x401F7・D1)

このビットは送信データレジスタにデータを書き込むと"0"となり、そのデータがシフトレジスタに転送されると"1"(バッファエンプティ)に戻ります。

送信データレジスタにデータを書き込むことにより、シリアルインタフェースは送信動作を開始します。

送信状態は、送信終了フラグ(TENDx)で確認できます。

Ch.0送信終了フラグ: TEND0(シリアルI/F Ch.0ステータスレジスタ0x401E2・D5)

Ch.1送信終了フラグ: TEND1(シリアルI/F Ch.1ステータスレジスタ0x401E7・D5)

Ch.2送信終了フラグ: TEND2(シリアルI/F Ch.2ステータスレジスタ0x401F2・D5)

Ch.3送信終了フラグ: TEND3(シリアルI/F Ch.3ステータスレジスタ0x401F7・D5)

このビットはデータ送信中に"1"となり、送信を終了すると"0"に戻ります。

クロック同期式転送で連続してデータを送信する場合、マスタモード時は全データを送信するまで"1"を保持し(図III.9.4)、スレーブモード時は1バイト送信するごとに"0"となります(図III.9.5)。

マスタモード、スレーブモードそれぞれの送信動作は以下のとおりです。

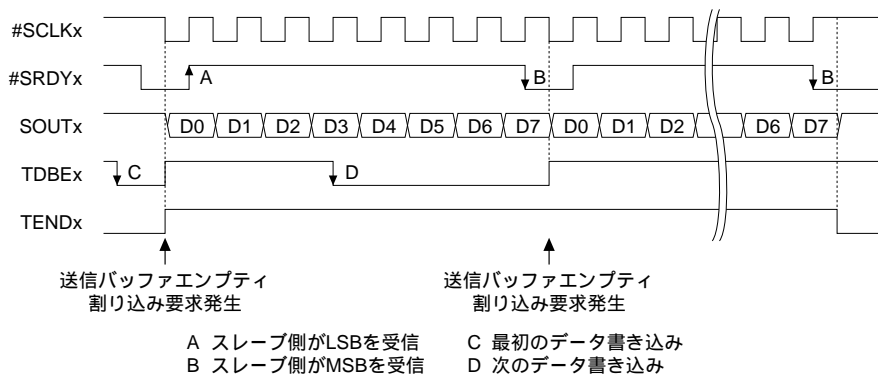
• クロック同期式マスタモード

マスタモードが送信動作を開始するタイミングは次のとおりです。

TDBExが"0"(送信データレジスタにデータが書き込まれている)の状態、#SRDYxがLowになった場合または

#SRDYxがLowの状態、TDBExが"0"になった(送信データレジスタにデータが書き込まれた)場合

図III.9.4にクロック同期式マスタモードの送信タイミングチャートを示します。



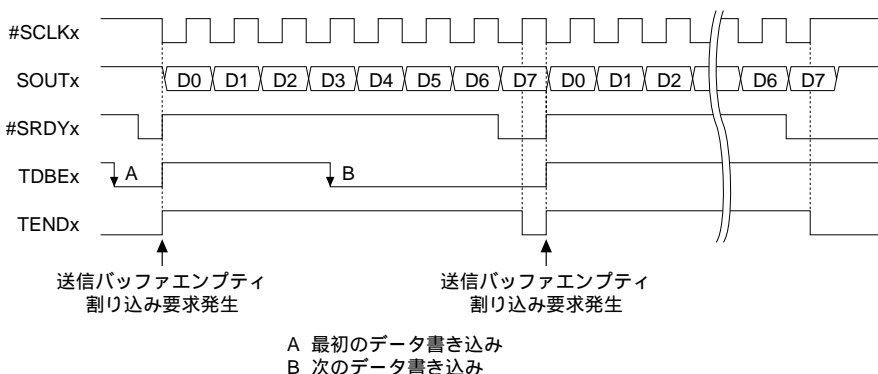
図III.9.4 クロック同期式マスタモードの送信タイミング

1. スレーブからの#SRDYx信号がHighの場合はLow(受信レディ)になるまで待機します。
2. #SRDYxがLowの場合はシリアルインタフェースへの同期クロックの入力を開始します。同期クロックは#SCLKx端子からスレーブ側のデバイスにも出力されます。
3. クロックの最初の立ち下がりエッジに同期してデータレジスタの内容がシフトレジスタに転送されます。同時に、シフトレジスタに転送されたデータのLSBがSOUTx端子から出力されます。
4. 続くクロックの立ち下がりエッジでシフトレジスタのデータが1ビットシフトし、続くビットをSOUTxから出力します。8ビットのデータが送信されるまで、この動作を繰り返します。

スレーブ側のデバイスは、各ビットを同期クロックの立ち上がりエッジで取り込んでください。

• クロック同期式スレーブモード

図III.9.5にクロック同期式スレーブモードの送信タイミングチャートを示します。



図III.9.5 クロック同期式スレーブモードの送信タイミング

1. #SRDYx信号をLow(送信レディ)にしてマスタ側からのクロック入力を待ちます。
2. 同期クロックが#SCLKx端子から入力されると、クロックの最初の立ち下がりエッジに同期してデータレジスタの内容がシフトレジスタに転送されます。同時に、シフトレジスタに転送されたデータのLSBがSOUTx端子から出力されます。
#SRDYx信号はこの時点でHighに戻ります。
3. 続くクロックの立ち下がりエッジでシフトレジスタのデータが1ビットシフトし、続くビットをSOUTxから出力します。8ビットのデータが送信されるまで、この動作を繰り返します。
4. 最後のビット(8ビット目)をSOUTx端子に出力したところで、#SRDYx信号をLowにします。

マスタ側のデバイスは、各ビットを同期クロックの立ち上がりエッジで取り込んでください。

• 連続送信

送信データレジスタのデータがシフトレジスタに転送されるとTDBExは"1"(バッファエンプティ)に戻ります。これ以降であれば、データの送信中であっても、送信データレジスタに次の送信データを書き込むことが可能です。

これにより、データの連続送信が行えます。各データの送信手順は前述のとおりです。

TDBExが"1"になると同時に送信データエンプティ割り込み要因が発生します。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンで次の送信データを書き込むことができます。また、この割り込み要因でDMAを起動することもできますので、メモリ上に用意したデータを送信データレジスタにDMA転送して連続送信することも可能です。

割り込みとDMAの制御方法については、"シリアルインタフェース割り込みとDMA"を参照してください。

(3) 送信の終了

データの送信が終了した場合は、送信許可ビットTXENxに"0"を書き込んで送信禁止に設定してください。

受信制御

(1) 受信許可

受信の制御には、受信許可ビットRXENxを使用します。

Ch.0受信許可: RXEN0(シリアルI/F Ch.0制御レジスタ0x401E3•D6)

Ch.1受信許可: RXEN1(シリアルI/F Ch.1制御レジスタ0x401E8•D6)

Ch.2受信許可: RXEN2(シリアルI/F Ch.2制御レジスタ0x401F3•D6)

Ch.3受信許可: RXEN3(シリアルI/F Ch.3制御レジスタ0x401F8•D6)

このビットに"1"を書き込んで受信を許可状態にすると、シフトレジスタへのクロック入力がいネーブル(入力可能な状態)となり、データの受信動作を開始します。#SCLKx端子の同期クロック入出力もいネーブル(入出力可能な状態)となります。

RXENxに"0"を書き込むと受信禁止状態に戻ります。

なお、端子の機能選択レジスタをシリアル入出力用に設定した後、#SRDYx、#SCLKxは以下のタイミングで入力/出力が切り換わります。

#SRDYx: スレープモードに設定 出力モードに切り換わります。

上記以外 入力モード

#SCLKx: マスタモードに設定 出力モードに切り換わります。

上記以外 入力モード

注: クロック同期式転送は送受信で共通のクロックラインを使用する半二重通信です。したがって、RXENxと送信許可ビットTXENxを同時に許可に設定することはできません。受信を行う場合はTXENxを"0"に固定し、変更しないでください。

また、受信中はRXENxを"0"に設定しないでください。

(2) 受信手順

本シリアルインタフェースには、受信用シフトレジスタと受信データレジスタ(受信データバッファ)が送信用とは独立して設けられています。

Ch.0受信データ: RXD0[7:0](シリアルI/F Ch.0受信データレジスタ0x401E1•D[7:0])

Ch.1受信データ: RXD1[7:0](シリアルI/F Ch.1受信データレジスタ0x401E6•D[7:0])

Ch.2受信データ: RXD2[7:0](シリアルI/F Ch.2受信データレジスタ0x401F1•D[7:0])

Ch.3受信データ: RXD3[7:0](シリアルI/F Ch.3受信データレジスタ0x401F6•D[7:0])

受信データはこのレジスタから読み出すことができます。

また、受信データレジスタの状態を示すステータスビットが設けられています。

Ch.0受信データバッファフル: RDBF0(シリアルI/F Ch.0ステータスレジスタ0x401E2•D0)

Ch.1受信データバッファフル: RDBF1(シリアルI/F Ch.1ステータスレジスタ0x401E7•D0)

Ch.2受信データバッファフル: RDBF2(シリアルI/F Ch.2ステータスレジスタ0x401F2•D0)

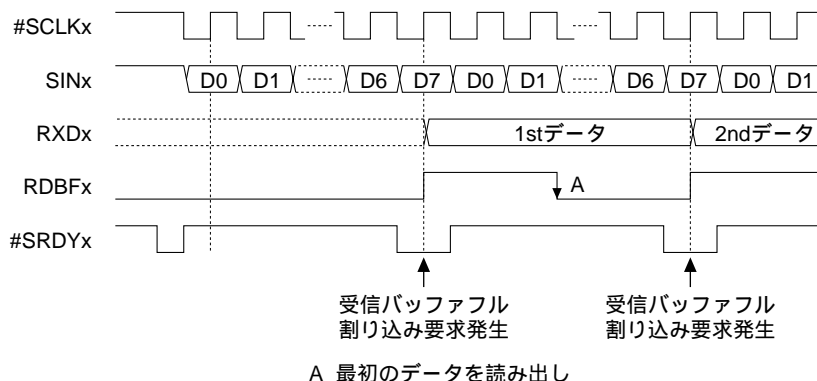
Ch.3受信データバッファフル: RDBF3(シリアルI/F Ch.3ステータスレジスタ0x401F7•D0)

このビットはシリアルデータのMSBを受信してシフトレジスタのデータが受信データレジスタに転送されると"1"(バッファフル)となり、受信データが読み出せることを示します。そのデータが読み出されると"0"に戻ります。

マスタモード、スレーブモードそれぞれの受信動作は以下のとおりです。

• クロック同期式マスタモード

図III.9.6にクロック同期式マスタモードの受信タイミングチャートを示します。

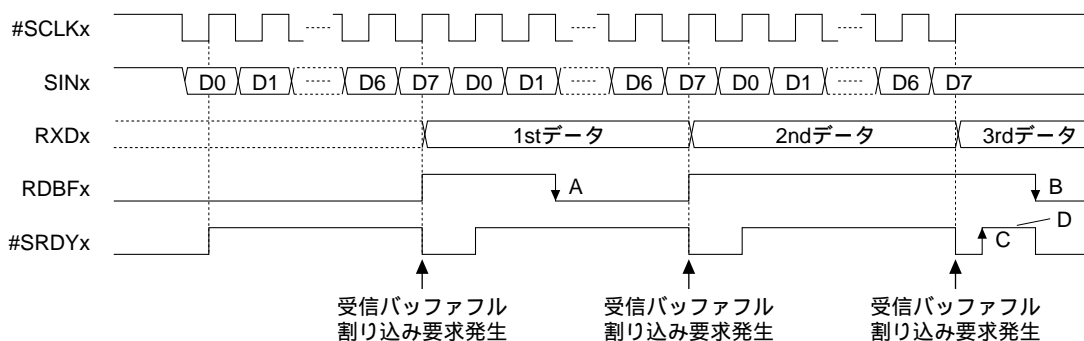


図III.9.6 クロック同期式マスタモードの受信タイミング

1. スレーブからの#SRDYx信号がHighの場合はLow(送信レディ)になるまで待機します。
2. #SRDYxがLowの場合はシリアルインタフェースへの同期クロックの入力を開始します。
同期クロックは#SCLKx端子からスレーブ側のデバイスにも出力されます。
3. スレーブ側のデバイスはクロックの立ち下がりエッジに同期してデータの各ビットを出力します。
LSBを最初に出力します。
4. 本シリアルインタフェースは、SINxの入力をクロックの立ち上がりエッジでシフトレジスタに取り込みます。シフトレジスタはビットの取り込みにより順次シフトされます。データのMSBを受信するまで、この動作を繰り返します。
5. MSBが取り込まれると、シフトレジスタのデータは受信データレジスタに転送され、データが読み出せる状態となります。

• クロック同期式スレーブモード

図III.9.7にクロック同期式スレーブモードの受信タイミングチャートを示します。



- A 最初のデータを読み出し C RDBFxが"1"の状態を受信が完了したため、オーバーランエラー発生
B 3番目のデータを読み出し D ビジー状態としてマスタ側のクロック出力を停止

図III.9.7 クロック同期式スレーブモードの受信タイミング

1. #SRDYx信号をLow(受信レディ)にしてマスタ側からのクロック入力を待ちます。
2. マスタ側のデバイスはクロックの立ち下がりエッジに同期してデータの各ビットを出力します。LSBを最初に出力します。
3. 本シリアルインタフェースは、SINxの入力を#SCLKxから入力したクロックの立ち上がりエッジでシフトレジスタに取り込みます。シフトレジスタはビットの取り込みにより順次シフトされます。データのMSBを受信するまで、この動作を繰り返します。
4. MSBが取り込まれると、シフトレジスタのデータは受信データレジスタに転送され、データが読み出せる状態となります。

- 連続受信

シフトレジスタに受信したデータが受信データレジスタに転送されると、RDBFxが"1"(バッファフル)となり受信データが読み出せることを示します。

次のデータの受信中に受信データレジスタを読み出すことができますので、データの連続受信が行えます。各データの受信手順は前述のとおりです。

RDBFxが"1"になると同時に受信データフル割り込み要因が発生します。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンで受信データを読み出すことができます。また、この割り込み要因でDMAを起動することもできますので、メモリ上に用意した領域に受信データをDMA転送して連続受信することも可能です。

割り込みとDMAの制御方法については、"シリアルインタフェース割り込みとDMA"を参照してください。

(3) オーバーランエラー

連続受信を行っている場合、受信データレジスタを読み出す前に次のデータの受信を終了すると受信データレジスタは新たなデータで上書きされます。したがって、受信データレジスタは次のデータの受信が終了する前に読み出すことが必要です。

受信データレジスタが上書きされるとオーバーランエラーが発生し、オーバーランエラーフラグが"1"にセットされます。

Ch.0 オーバーランエラーフラグ: OER₀(シリアルI/F Ch.0ステータスレジスタ0x401E2・D2)

Ch.1 オーバーランエラーフラグ: OER₁(シリアルI/F Ch.1ステータスレジスタ0x401E7・D2)

Ch.2 オーバーランエラーフラグ: OER₂(シリアルI/F Ch.2ステータスレジスタ0x401F2・D2)

Ch.3 オーバーランエラーフラグ: OER₃(シリアルI/F Ch.3ステータスレジスタ0x401F7・D2)

オーバーランエラーフラグは、"1"にセットされるとソフトウェアで"0"を書き込むまでリセットされません。

オーバーランエラーはシリアルインタフェースの受信エラー割り込み要因のひとつです。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンでエラー処理が行えます。

(4) スレープモードの#SRDYx

RXENxに"1"を書き込んで受信を許可すると#SRDYx信号はLowとなり、受信可能であることをマスタ側のデバイスに知らせます。シリアルデータのLSBを受信すると#SRDYxはHighとなり、MSBを受信すると次の受信に備えてLowに戻ります。

オーバーランエラーが発生した場合は、その時点で#SRDYxがHigh(受信不可)となりますので、続くデータ受信は中断します。この場合、受信データレジスタに上書きされたデータを読み出すことで#SRDYxがLowに戻り、続くデータがあれば受信を再開します。

(5) 受信の終了

データの受信が終了した場合は、受信許可ビットRXENxに"0"を書き込んで受信禁止に設定してください。

調歩同期式インタフェース

調歩同期式インタフェースの概要

調歩同期式転送は、シリアル変換した各データの前後にスタートビットとストップビットを付加して転送を行う方式です。この方式では、送信側、受信側それぞれで完全に同期の一致したクロックを用いる必要はなく、各データの前後に付けられたスタート/ストップビットで同期をとりながら転送を行います。

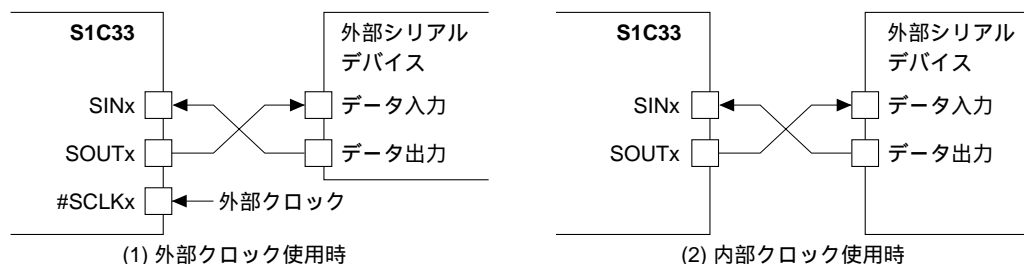
調歩同期式8ビットモード (SMDx[1:0] = "11") では8ビットデータの転送、調歩同期式7ビットモード (SMDx[1:0] = "10") では7ビットデータの転送が行えます。

どちらのモードも、ストップビット長の選択、パリティビットの追加、偶数/奇数パリティの選択が可能です。スタートビットは1ビットに固定です。

動作クロックには、8ビットプログラマブルタイマによる内部クロック、または#SCLKx端子から入力する外部クロックのいずれかを選択することができます。

送信部、受信部ともにダブルバッファ構造になっているため、連続送信および連続受信が可能です。また、送信部、受信部が独立しているため、送信と受信を同時に行う全二重通信が可能です。

図III.9.8に調歩同期式モードにおける入出力端子の接続例を示します。



図III.9.8 調歩同期式モードの接続例

調歩同期式モードに設定すると、IrDAインタフェース機能を使用することもできます。

調歩同期式転送データフォーマット

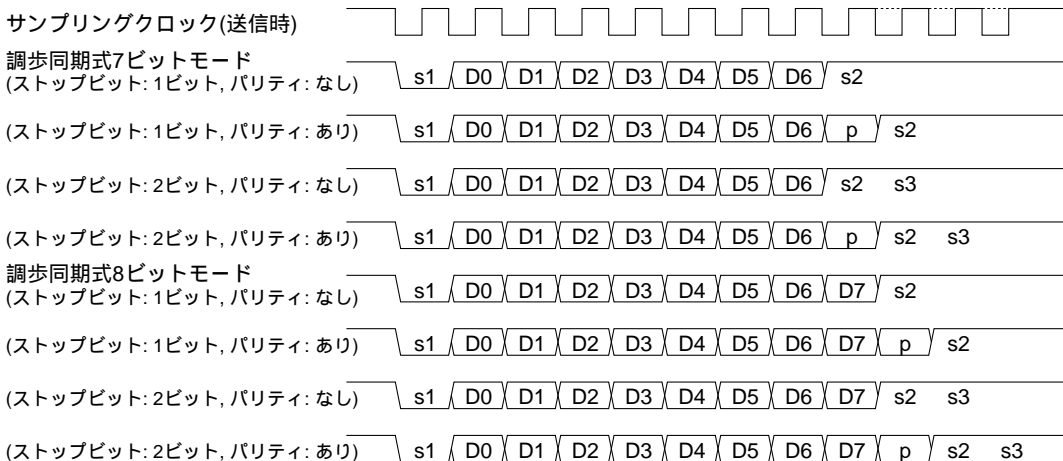
調歩同期式転送のデータフォーマットは以下のとおりです。

データ長: 7ビットまたは8ビット(転送モードの選択により決定)

スタートビット: 1ビット固定

ストップビット: 1ビットまたは2ビット

パリティビット: 偶数パリティ、奇数パリティ、またはなし



s1: スタートビット, s2 & s3: ストップビット, p: パリティビット

図III.9.9 調歩同期式転送データフォーマット

シリアルデータはLSBを先頭として送受信されます。

調歩同期式インタフェースの設定

シリアルインタフェースで調歩同期式転送を行う場合は、データ転送開始前に以下の設定が必要です。

1. 入出力端子の設定
2. インタフェースモードの設定
3. 転送モードの設定
4. 入力クロックの設定
5. データフォーマットの設定
6. 割り込み/IDMA/HSDMAの設定

以下、各設定内容について説明します。割り込みとDMAの設定については"シリアルインタフェース割り込みとDMA"を参照してください。

注: これらの設定は、必ずシリアルインタフェースが動作停止中に(TXENxおよびRXENxを"0"に設定して) 行ってください。動作中の設定変更は誤動作の原因となります。

入出力端子の設定

調歩同期式モードでは、SINxおよびSOUTxの2本の端子を使用します。外部クロックを入力する場合は、さらに#SCLKx端子も使用します。

使用するチャネルに合わせ、以下の設定を行ってください(複数チャネルの同時使用も可能)。

Ch.0: CFP0[3:0] (P0機能選択レジスタ0x402D0・D[3:0]) = "0011"*

Ch.1: CFP0[7:4] (P0機能選択レジスタ0x402D0・D[7:4]) = "0011"*

CFEX[7:4] (ポート機能拡張レジスタ0x402DF・D[7:4]) = "0000"または"1100"

Ch.2: SSRDY2, SSCLK2, SSOUT2, SSINx (ポートSIO機能拡張レジスタ0x402DB・D[3:0]) = "0011"*

Ch.3: SSRDY3, SSCLK3, SSOUT3, SSINx (ポートSIO機能拡張レジスタ0x402D7・D[3:0]) = "0011"*

* #SCLKx使用時は"0111"

インタフェースモード設定

IrDAインタフェースを設定するために、シリアルI/F Ch.x IrDAレジスタ(Ch.0: 0x401E4、Ch.1: 0x401E9、Ch.2: 0x401F4、Ch.3: 0x401F9)にIRMDx[1:0] (D[1:0]) が設けられています。このビットはイニシャルリセット時に不定となりますので、通常のインタフェースとして使用する場合は"00"を、IrDAインタフェースとして使用する場合は"10"を書き込んで初期化してください。この設定は転送モードを設定する前に行ってください。

転送モード設定

前述のとおり、シリアルインタフェースの転送モードをSMDxで設定します。

本インタフェースを調歩同期式8ビットモードで使用する場合はSMDx[1:0]を"11"に、調歩同期式7ビットモードで使用する場合は"10"に設定してください。

入力クロックの設定

調歩同期式モードでは、動作クロックとして内部クロックまたは外部クロックが選択できます。

Ch.0入力クロック選択: SSCKx (シリアルI/F Ch.0制御レジスタ0x401E3・D2)

Ch.1入力クロック選択: SSCKx (シリアルI/F Ch.0制御レジスタ0x401E8・D2)

Ch.2入力クロック選択: SSCKx (シリアルI/F Ch.2制御レジスタ0x401F3・D2)

Ch.3入力クロック選択: SSCKx (シリアルI/F Ch.3制御レジスタ0x401F8・D2)

SSCKxに"1"を書き込むと外部クロック(#SCLKx端子より入力)、"0"を書き込むと内部クロックが選択されます。

注: SSCKxはイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。

- 内部クロック

内部クロックを選択すると、8ビットプログラマブルタイマで発生したクロックで動作します。各チャネルのクロック源は次のとおりです。

Ch.0: 8ビットプログラマブルタイマ2の出力クロック

Ch.1: 8ビットプログラマブルタイマ3の出力クロック

Ch.2: 8ビットプログラマブルタイマ4の出力クロック

Ch.3: 8ビットプログラマブルタイマ5の出力クロック

したがって、内部クロックを使用する場合は、以下の条件が満たされている必要があります。

1. プリスケアラが8ビットプログラマブルタイマ(3)にクロックを出力している
2. 8ビットプログラマブルタイマ(3)がクロックを出力している

プリスケアラの分周比および8ビットプログラマブルタイマのリロードデータの設定により、クロック周波数を任意に設定可能です。これらの設定内容と転送速度の関係は式2で表されます。

8ビットプログラマブルタイマは、シリアルインタフェースに供給するクロックのデューティを50%にするため、内部的にアンダーフロー信号をさらに1/2に分周しています。

また、8ビットプログラマブルタイマの出力クロックはシリアルインタフェース内部で1/16または1/8に分周され、サンプリングクロックとなります(「サンプリングクロック」参照)。転送速度を設定する際には、この分周比も考慮する必要があります。

式2はこれらの分周も考慮しています。

$$RLD = \frac{f_{PSCIN} \times pdr \times sdr}{2 \times bps} - 1 \quad (\text{式2})$$

RLD: 8ビットプログラマブルタイマのリロードレジスタ設定値

fPSCIN: プリスケアラ入力クロック周波数(Hz)

bps: 転送速度(ビット/秒)

pdr: プリスケアラの分周比

sdr: シリアルインタフェース内部分周比(1/16または1/8)

注: プリスケアラで選択する分周比は8ビットプログラマブルタイマ2と3では異なりますので、設定の際には注意してください。

8ビットプログラマブルタイマ2、4: 1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/2048, 1/4096

8ビットプログラマブルタイマ3、5: 1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/128, 1/256

表III.9.4にシリアルインタフェースの内部分周比を1/16に設定した場合の、プリスケアラ分周比とプログラマブルタイマのリロードデータ設定例を示します。

表III.9.4 転送速度の設定例

転送速度 (bps)	fPSCIN = 20MHz			fPSCIN = 25MHz			fPSCIN = 33MHz		
	RLD	pdr	誤差(%)	RLD	pdr	誤差(%)	RLD	pdr	誤差(%)
300	129	1/16	0.16025	162	1/16	-0.14698	216	1/16	0.00640
1200	129	1/4	0.16025	162	1/4	-0.14698	216	1/4	0.00640
2400	129	1/2	0.16025	162	1/2	-0.14698	216	1/2	0.00640
4800	64	1/2	0.16025	80	1/2	-0.46939	108	1/2	-0.45234
9600	32	1/2	-1.35732	40	1/2	-0.75584	53	1/2	0.46939
14400	21	1/2	-1.35732	13	1/4	-3.11880	35	1/2	0.46939
28800	10	1/2	-1.35732	13	1/2	-3.11880	17	1/2	0.46939

誤差はできるだけ1%以内となるように設定してください。誤差の計算式は次のとおりです。

$$\text{誤差} = \left\{ \frac{f_{PSCIN} \times pdr}{(RLD + 1) \times 32 \times bps} - 1 \right\} \times 100 [\%]$$

プリスケアラと8ビットプログラマブルタイマの制御方法については、「プリスケアラ」、「8ビットプログラマブルタイマ」を参照してください。

- 外部クロック

外部クロックを選択すると、#SCLKx端子から入力するクロックで動作します。
したがって、プリスケアラや8ビットプログラマブルタイマの制御は必要ありません。

クロック周波数は任意に設定可能です。#SCLKx端子から入力されたクロックはシリアルインタフェース内部で1/16または1/8に分周され、サンプリングクロックとなります("サンプリングクロック"参照)。転送速度を設定する際には、この分周比も考慮してください。

- サンプリングクロック

調歩同期式モードではTCLK(8ビットプログラマブルタイマの出力クロックまたは#SCLKx端子からの入力クロック)をシリアルインタフェースの内部で分周してサンプリングクロックが生成されます。

分周比はDIVMDxに"0"を書き込むと1/16、"1"を書き込むと1/8に設定されます。

Ch.0クロック分周比選択: DIVMD0(シリアルI/F Ch.0 IrDAレジスタ0x401E4・D4)

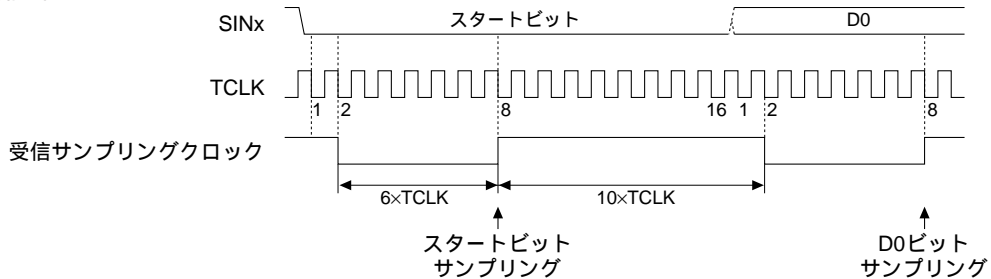
Ch.1クロック分周比選択: DIVMD1(シリアルI/F Ch.1 IrDAレジスタ0x401E9・D4)

Ch.2クロック分周比選択: DIVMD2(シリアルI/F Ch.2 IrDAレジスタ0x401F4・D4)

Ch.3クロック分周比選択: DIVMD3(シリアルI/F Ch.3 IrDAレジスタ0x401F9・D4)

注: DIVMDxはイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。
このビットの設定は調歩同期式モード(IrDAインタフェース使用時も含む)でのみ有効です。

受信時



図III.9.10 調歩同期式受信時のサンプリングクロック(1/16分周選択時)

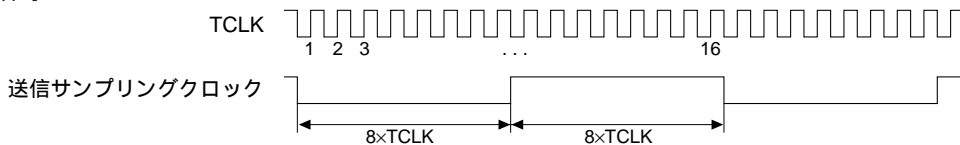
図III.9.10に示すように、サンプリングクロックはTCLKを1/16分周(または8分周)して生成されます。クロックのデューティ比(Low:High)は6:10(1/8選択時は2:6)となり、50%ではありません。受信する各ビットデータの中央でサンプリングするために、最初にスタートビットを認識してから2番目のTCLKの立ち下がりエッジでHighからLowに変化し、8番目(1/8選択時は4番目)のTCLKの立ち下がりエッジでLowからHighになります。以後、この変化を繰り返します。

各ビットデータはこのサンプリングクロックの各立ち上がりエッジでサンプリングされます。ストップビットをサンプリングすると、次にスタートビットがくるまでHighに固定されます。

スタートビットを認識後、2番目のTCLKの立ち下がりエッジでSINx端子がHighに戻っていた場合は、ノイズとみなして以降のサンプリングクロックの生成を中止します。

送信側、受信側のボーレートが合っていない場合など、8個目(1/8選択時は4個目)のクロックによるスタートビットサンプリングの際にSINx端子がLowでなかったときは、以降のデータのサンプリングを中止してスタートビット検出の状態に戻ります。この場合、エラーは発生しません。

送信時



図III.9.11 調歩同期式送信時のサンプリングクロック(1/16分周選択時)

送信時はTCLKを1/16(または1/8)に分周してデューティ50%のサンプリングクロックを生成し、それに同期して各ビットを出力します。

データフォーマットの設定

調歩同期式モードでは、転送モードの設定によりデータ長が7ビットまたは8ビットとなります。スタートビットは1ビットに固定です。

ストップビットとパリティビットは以下の制御ビットにより表III.9.5のとおり設定できます。

表III.9.5 シリアルI/F制御ビット

	Ch.0(シリアルI/F Ch.0制御レジスタ)	Ch.1(シリアルI/F Ch.1制御レジスタ)	Ch.2(シリアルI/F Ch.2制御レジスタ)	Ch.3(シリアルI/F Ch.3制御レジスタ)
ストップビット選択	STPB0(0x401E3•D3)	STPB1(0x401E8•D3)	STPB2(0x401F3•D3)	STPB3(0x401F8•D3)
パリティイネーブル	EPR0(0x401E3•D5)	EPR1(0x401E8•D5)	EPR2(0x401F3•D5)	EPR3(0x401F8•D5)
パリティモード選択	PMD0(0x401E3•D4)	PMD1(0x401E8•D4)	PMD2(0x401F3•D4)	PMD3(0x401F8•D4)

表III.9.6 ストップビットとパリティビットの設定

STPBx	EPRx	PMDx	ストップビット	パリティビット
1	1	1	2ビット	奇数
		0	2ビット	偶数
	0	*	2ビット	なし
0	1	1	1ビット	奇数
		0	1ビット	偶数
	0	*	1ビット	なし

* EPRxが"0"の場合、PMDxの設定は無効です。

注: これらのビットはイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。

調歩同期式転送の制御と動作

送信制御

(1) 送信許可

送信の制御には、送信許可ビットTXENxを使用します。

Ch.0送信許可: TXEN0(シリアルI/F Ch.0制御レジスタ0x401E3•D7)

Ch.1送信許可: TXEN1(シリアルI/F Ch.1制御レジスタ0x401E8•D7)

Ch.2送信許可: TXEN2(シリアルI/F Ch.2制御レジスタ0x401F3•D7)

Ch.3送信許可: TXEN3(シリアルI/F Ch.3制御レジスタ0x401F8•D7)

このビットに"1"を書き込んで送信を許可状態にすると、シフトレジスタへのクロック入力がいネーブル(入力可能な状態)となり、データの送信が行える状態となります。

TXENxに"0"を書き込むと送信禁止状態に戻ります。

注: 送信中はTXENxを"0"に設定しないでください。

(2) 送信手順

本シリアルインタフェースには、送信用シフトレジスタと送信データレジスタ(送信データバッファ)が受信用とは独立して設けられています。

Ch.0送信データ: TXD0[7:0](シリアルI/F Ch.0送信データレジスタ0x401E0•D[7:0])

Ch.1送信データ: TXD1[7:0](シリアルI/F Ch.1送信データレジスタ0x401E5•D[7:0])

Ch.2送信データ: TXD2[7:0](シリアルI/F Ch.2送信データレジスタ0x401F0•D[7:0])

Ch.3送信データ: TXD3[7:0](シリアルI/F Ch.3送信データレジスタ0x401F5•D[7:0])

このレジスタにデータを書き込むことにより、シリアルインタフェースは送信動作を開始します。

調歩同期式7ビットモードでは、それぞれのレジスタのビット7(MSB)は無効となります。

また、送信データレジスタの状態を示すステータスビットも設けられています。

Ch.0送信データバッファエンプティ: TDBE0(シリアルI/F Ch.0ステータスレジスタ0x401E2•D1)

Ch.1送信データバッファエンプティ: TDBE1(シリアルI/F Ch.1ステータスレジスタ0x401E7•D1)

Ch.2送信データバッファエンプティ: TDBE2(シリアルI/F Ch.2ステータスレジスタ0x401F2•D1)

Ch.3送信データバッファエンプティ: TDBE3(シリアルI/F Ch.3ステータスレジスタ0x401F7•D1)

このビットは送信データレジスタにデータを書き込むと"0"となり、そのデータがシフトレジスタに転送されると"1"(バッファエンプティ)に戻ります。転送のタイミングはスタートビットの送信開始時です。

送信状態は、送信終了フラグ(TENDx)で確認できます。

Ch.0送信終了フラグ: TEND0(シリアルI/F Ch.0ステータスレジスタ0x401E2・D5)

Ch.1送信終了フラグ: TEND1(シリアルI/F Ch.1ステータスレジスタ0x401E7・D5)

Ch.2送信終了フラグ: TEND2(シリアルI/F Ch.2ステータスレジスタ0x401F2・D5)

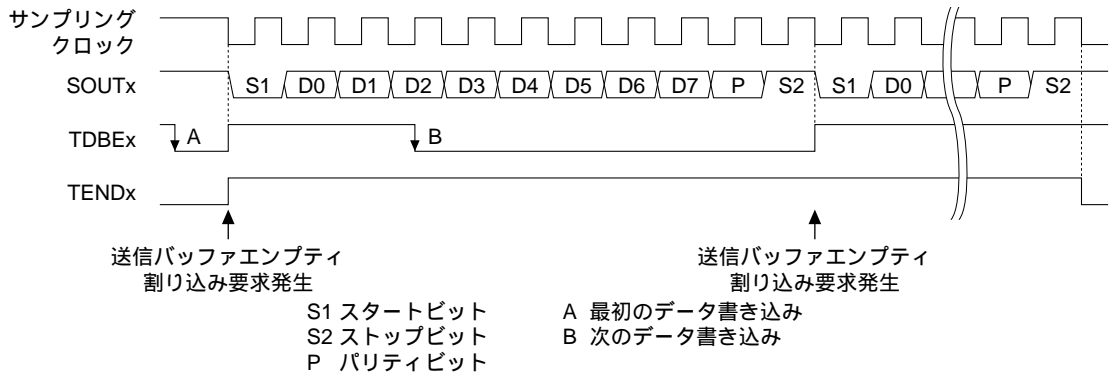
Ch.3送信終了フラグ: TEND3(シリアルI/F Ch.3ステータスレジスタ0x401F7・D5)

このビットはデータ送信中に"1"となり、送信を終了すると"0"に戻ります。

調歩同期式転送で連続してデータを送信する場合、全データを送信するまで"1"を保持します。

図III.9.12に調歩同期式モードの送信タイミングチャートを示します。

例: データ長 8ビット
 ストップビット 1ビット
 パリティビット あり



図III.9.12 調歩同期式モードの送信タイミング

1. サンプリングクロックの最初の立ち下がりエッジに同期してデータレジスタの内容がシフトレジスタに転送されます。同時に、SOUTx端子をLowにしてスタートビットを送信します。
2. 続くサンプリングクロックの各立ち下がりエッジでシフトレジスタの各ビットをLSBから送信します。8(7)ビットのデータが送信されるまで、この動作を繰り返します。
3. MSBを送信後、パリティビット(EPRx = "1"の場合)とストップビットを続けて送信します。

• 連続送信

送信データレジスタのデータがシフトレジスタに転送されるとTDBExは"1"(バッファエンプティ)に戻ります。これ以降であれば、データの送信中であっても、送信データレジスタに次の送信データを書き込むことが可能です。

これにより、データの連続送信が行えます。各データの送信手順は前述のとおりです。

TDBExが"1"になると同時に送信データエンプティ割り込み要因が発生します。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンで次の送信データを書き込むことができます。また、この割り込み要因でDMAを起動することもできますので、メモリ上に用意したデータを送信データレジスタにDMA転送して連続送信することも可能です。

割り込みとDMAの制御方法については、"シリアルインタフェース割り込みとDMA"を参照してください。

(3) 送信の終了

データの送信が終了した場合は、送信許可レジスタTXENxに"0"を書き込んで送信禁止に設定してください。

受信制御

(1) 受信許可

受信の制御には、受信許可ビットRXENxを使用します。

Ch.0受信許可: RXEN0(シリアルI/F Ch.0制御レジスタ0x401E3・D6)

Ch.1受信許可: RXEN1(シリアルI/F Ch.0制御レジスタ0x401E8・D6)

Ch.2受信許可: RXEN2(シリアルI/F Ch.2制御レジスタ0x401F3・D6)

Ch.3受信許可: RXEN3(シリアルI/F Ch.3制御レジスタ0x401F8・D6)

このビットに"1"を書き込んで受信を許可状態にすると、シフトレジスタへのクロック入力がいネーブル(入力可能な状態)となり、データの受信が行える状態となります。

RXENxに"0"を書き込むと受信禁止状態に戻ります。

注: 受信中はRXENxを"0"に設定しないでください。

(2) 受信手順

本シリアルインタフェースには、受信用シフトレジスタと受信データレジスタ(受信データバッファ)が送信用とは独立して設けられています。

Ch.0受信データ: RXD0[7:0](シリアルI/F Ch.0受信データレジスタ0x401E1・D[7:0])

Ch.1受信データ: RXD1[7:0](シリアルI/F Ch.1受信データレジスタ0x401E6・D[7:0])

Ch.2受信データ: RXD2[7:0](シリアルI/F Ch.2受信データレジスタ0x401F1・D[7:0])

Ch.3受信データ: RXD3[7:0](シリアルI/F Ch.3受信データレジスタ0x401F6・D[7:0])

受信データはこのレジスタから読み出すことができます。

また、受信データレジスタの状態を示すステータスビットが設けられています。

Ch.0受信データバッファフル: RDBF0(シリアルI/F Ch.0ステータスレジスタ0x401E2・D0)

Ch.1受信データバッファフル: RDBF1(シリアルI/F Ch.1ステータスレジスタ0x401E7・D0)

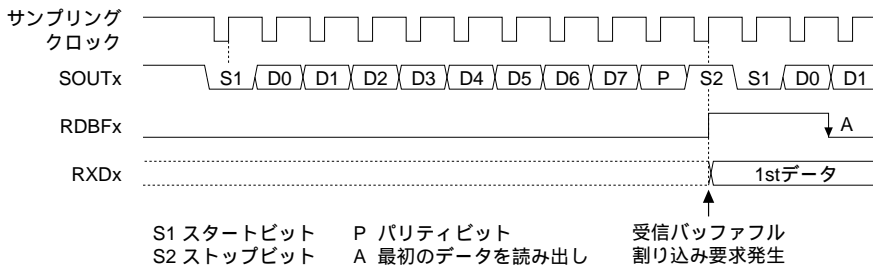
Ch.2受信データバッファフル: RDBF2(シリアルI/F Ch.2ステータスレジスタ0x401F2・D0)

Ch.3受信データバッファフル: RDBF3(シリアルI/F Ch.3ステータスレジスタ0x401F7・D0)

このビットはストップビット(2ビットに設定した場合は2ビット目)をサンプリングしてシフトレジスタのデータが受信データレジスタに転送されると"1"(バッファフル)となり、受信データが読み出せることを示します。そのデータが読み出されると"0"に戻ります。

図III.9.13に調歩同期式モードの受信タイミングチャートを示します。

例: データ長 8ビット
ストップビット 1ビット
パリティビット あり



図III.9.13 調歩同期式モードの受信タイミング

1. スタートビット(SINx = Low)の入力によりサンプリングを開始します。
2. サンプリングクロックの最初の立ち上がりエッジでスタートビットがサンプリングされると、以降のクロックの各立ち上がりエッジで受信データの各ビットをLSBからシフトレジスタに取り込みます。データのMSBを受信するまで、この動作を繰り返します。
3. MSBが取り込まれると、続くパリティビットを取り込みます(EPRx = "1"の場合)。
4. ストップビットをサンプリングするとシフトレジスタのデータは受信データレジスタに転送され、データが読み出せる状態となります。
受信データレジスタへの転送時にはパリティチェックが行われます(EPRx = "1"の場合)。

注: ストップビットを2ビットに設定した場合でも、ストップビットの1ビット目をサンプリングした時点で受信動作が終了します。

- 連続受信

シフトレジスタに受信したデータが受信データレジスタに転送されるとRDBFxが"1"(バッファフル)となり、受信データが読み出せることを示します。これ以降、次のデータの受信中に受信データレジスタを読み出すことができますので、データの連続受信が行えます。各データの受信手順は前述のとおりです。RDBFxが"1"になると同時に受信データフル割り込み要因が発生します。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンで受信データを読み出すことができます。また、この割り込み要因でDMAを起動することもできますので、メモリ上に用意した領域に受信データをDMA転送して連続受信することも可能です。

割り込みとDMAの制御方法については、"シリアルインタフェース割り込みとDMA"を参照してください。

(3) 受信エラー

調歩同期式モードの受信時には3種類の受信エラーが検出可能です。

割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンでエラー処理が行えます。受信エラー割り込みについては、"シリアルインタフェース割り込みとDMA"を参照してください。

- パリティエラー

EPRxが"1"(パリティあり)に設定されている場合、受信時にパリティチェックが行われます。

パリティチェックはシフトレジスタに受信したデータが受信データレジスタに転送される際に行われ、PMDxの設定(奇数または偶数パリティ)との整合をチェックします。この結果が不整合の場合はパリティエラーと判断され、パリティエラーフラグが"1"にセットされます。

Ch.0パリティエラーフラグ: PER0(シリアルI/F Ch.0ステータスレジスタ0x401E2•D3)

Ch.1パリティエラーフラグ: PER1(シリアルI/F Ch.1ステータスレジスタ0x401E7•D3)

Ch.2パリティエラーフラグ: PER2(シリアルI/F Ch.2ステータスレジスタ0x401F2•D3)

Ch.3パリティエラーフラグ: PER3(シリアルI/F Ch.3ステータスレジスタ0x401F7•D3)

本エラーが発生した場合でも、その受信データは受信データレジスタに転送され、受信動作も継続されます。ただし、受信データはパリティエラーのため保証されません。

なお、PERxフラグは"0"を書き込むことによってリセットされます。

- フレーミングエラー

ストップビットを"0"として受信すると、シリアルインタフェースは同期ずれと判断してフレーミングエラーを発生します。

ストップビットを2ビットに設定している場合は、最初の1ビットのみチェックします。

本エラーが発生すると、フレーミングエラーフラグが"1"にセットされます。

Ch.0フレーミングエラーフラグ: FER0(シリアルI/F Ch.0ステータスレジスタ0x401E2•D4)

Ch.1フレーミングエラーフラグ: FER1(シリアルI/F Ch.1ステータスレジスタ0x401E7•D4)

Ch.2フレーミングエラーフラグ: FER2(シリアルI/F Ch.2ステータスレジスタ0x401F2•D4)

Ch.3フレーミングエラーフラグ: FER3(シリアルI/F Ch.3ステータスレジスタ0x401F7•D4)

本エラーが発生した場合でも、その受信データは受信データレジスタに転送され、受信動作も継続されます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。

なお、FERxフラグは"0"を書き込むことによってリセットされます。

- オーバーランエラー

連続受信を行っている場合、受信データレジスタを読み出す前に次のデータの受信を終了すると受信データレジスタは新たなデータで上書きされます。したがって、受信データレジスタは次のデータの受信が終了する前に読み出すことが必要です。

受信データレジスタが上書きされるとオーバーランエラーが発生し、オーバーランエラーフラグが"1"にセットされます。

Ch.0オーバーランエラーフラグ: OER0(シリアルI/F Ch.0ステータスレジスタ0x401E2・D2)

Ch.1オーバーランエラーフラグ: OER1(シリアルI/F Ch.1ステータスレジスタ0x401E7・D2)

Ch.2オーバーランエラーフラグ: OER2(シリアルI/F Ch.2ステータスレジスタ0x401F2・D2)

Ch.3オーバーランエラーフラグ: OER3(シリアルI/F Ch.3ステータスレジスタ0x401F7・D2)

本エラーが発生した場合でも、その受信データは受信データレジスタに転送され、受信動作も継続されます。

なお、OERxフラグは"0"を書き込むことによってリセットされます。

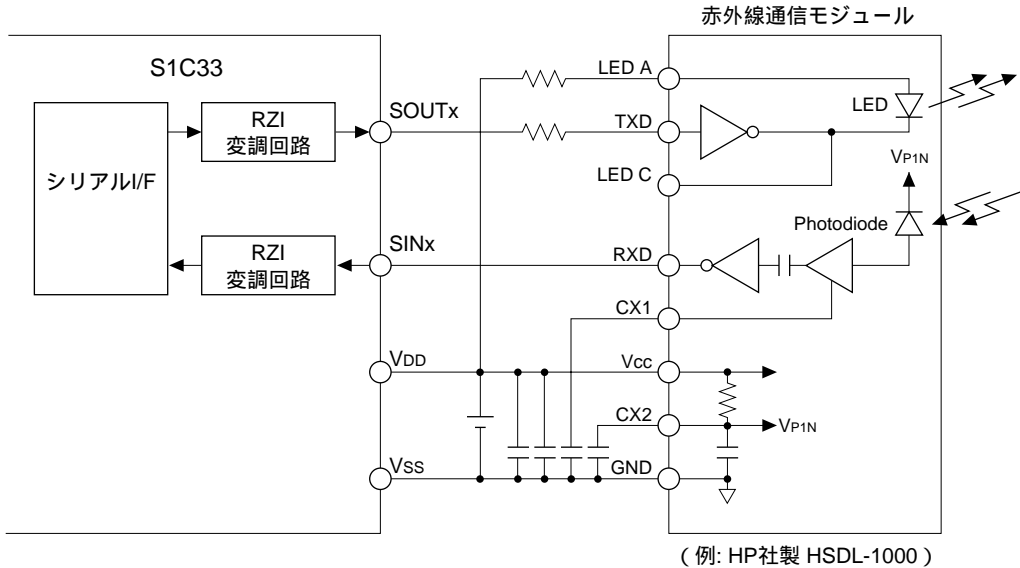
(4) 受信の終了

データの受信が終了した場合は、受信許可ビットRXENxに"0"を書き込んで受信禁止に設定してください。

IrDAインタフェース

IrDAインタフェースの概要

シリアルインタフェースは各チャンネルにRZI変調回路を内蔵しており、IrDA 1.0に準拠した赤外線通信の回路を簡単な外部回路を追加することにより構成できるようになっています。



図III.9.14 IrDAインタフェースの構成例

このIrDAインタフェース機能は、転送モードが調歩同期式モードに設定されている場合にのみ使用可能です。IrDAインタフェース部以外のシリアルインタフェース機能は調歩同期式モードの内容がそのまま適用されますので、データフォーマット、データ転送の設定や制御手順については"調歩同期式インタフェース"を参照してください。

IrDAインタフェースの設定

赤外線通信を行う場合は、通信開始前に以下の設定が必要です。

1. 入出力端子の設定
2. インタフェースモード (IrDAインタフェース機能) の選択
3. 転送モードの設定
4. 入力クロックの設定
5. データフォーマットの設定
6. 割り込み/IDMA/HSDMAの設定
7. 入出力論理の設定

1~5までは調歩同期式インタフェースで説明した内容です。"調歩同期式インタフェース"を参照してください。6については"シリアルインタフェース割り込みとDMA"を参照してください。

注: これらの設定は、必ずシリアルインタフェースが動作停止中に (TXENxおよびRXENxを"0"に設定して) 行ってください。動作中の設定変更は誤動作の原因となります。

また、IrDAインタフェース機能の選択 (2) は、必ず転送モード (3)以降の設定を行う前に行ってください。

IrDAインタフェース機能の選択

IrDAインタフェース機能を使用するには、次の制御ビットでIrDAインタフェース機能を選択し、さらに調歩同期式8ビット(または7ビット)モードに設定してください。

Ch.0 IrDAインタフェース機能選択: IRMD0[1:0] [シリアル/I/F Ch.0 IrDAレジスタ0x401E4•D[1:0])

Ch.1 IrDAインタフェース機能選択: IRMD1[1:0] [シリアル/I/F Ch.1 IrDAレジスタ0x401E9•D[1:0])

Ch.2 IrDAインタフェース機能選択: IRMD2[1:0] [シリアル/I/F Ch.2 IrDAレジスタ0x401F4•D[1:0])

Ch.3 IrDAインタフェース機能選択: IRMD3[1:0] [シリアル/I/F Ch.3 IrDAレジスタ0x401F9•D[1:0])

表III.9.7 IrDAインタフェースの設定

IRMDx1	IRMDx0	設定内容
1	1	設定禁止(reserved)
1	0	IrDA 1.0インタフェース
0	1	設定禁止(reserved)
0	0	通常のインタフェース

注: IRMDxはイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。

入出力論理の設定

IrDAインタフェースを使用する場合、RZI変調回路の入出力信号の論理を外部に接続する赤外線通信モジュールや回路に合わせて切り換えることができます。内蔵のシリアルインタフェースはLowアクティブです。Highアクティブの信号を入出力する場合は論理を反転させて使用します。入力SINxと出力SOUTxの論理をそれぞれIRRLx、IRTLxによって個別に設定することができます。

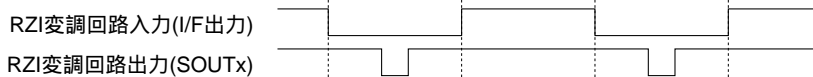
表III.9.8 IrDA入出力論理反転ビット

	Ch.0(シリアル/I/F Ch.0制御レジスタ)	Ch.1(シリアル/I/F Ch.1制御レジスタ)	Ch.2(シリアル/I/F Ch.2制御レジスタ)	Ch.3(シリアル/I/F Ch.3制御レジスタ)
IrDA入力論理反転	IRRL0(0x401E4•D2)	IRRL1(0x401E9•D2)	IRRL2(0x401F4•D2)	IRRL3(0x401F9•D2)
IrDA出力論理反転	IRTL0(0x401E4•D3)	IRTL1(0x401E9•D3)	IRTL2(0x401F4•D3)	IRTL3(0x401F9•D3)

IRRLx/IRTLxに"1"を書き込むことで、入力/出力信号の論理が反転します。"0"を書き込んだ場合は、論理反転を行いません。

送信時

(1) IRTLx = "0"

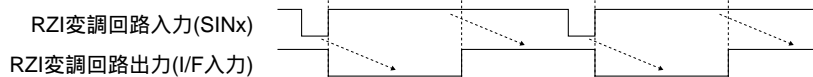


(2) IRTLx = "1"

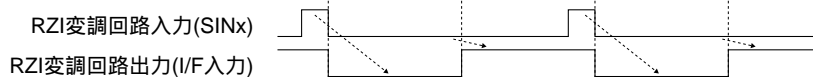


受信時

(1) IRRLx = "0"



(2) IRRLx = "1"



図III.9.15 IRRLxとIRTLxの設定例

注: IRRLxおよびIRTLxはイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。

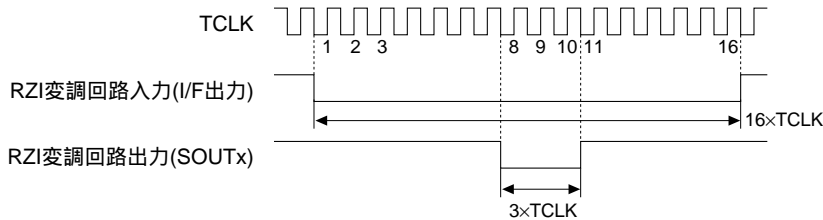
IrDAインタフェースの制御と動作

送受信の手順は調歩同期式インタフェースで説明したとおりです。"調歩同期式転送の制御と動作"を参照してください。

RZI変調回路によるデータの変調と復調の動作は以下のとおりです。

送信時

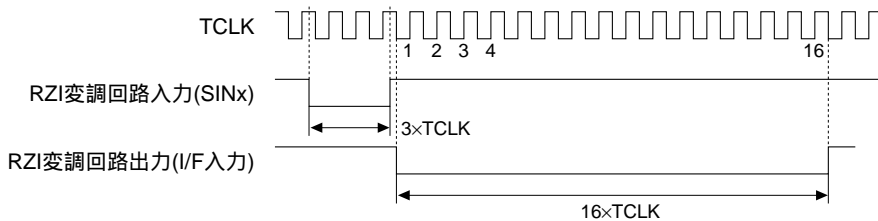
送信時は、シリアルインタフェースの出力信号のパルス幅を $3/16$ 倍に変換しSOUTx端子から出力します。



図III.9.16 RZI変調回路によるデータの変調

受信時

受信時は、SINxからの入力信号のパルス幅を $16/3$ 倍に変換し、シリアルインタフェースに送ります。



図III.9.17 RZI変調回路によるデータの復調

注: • IrDAインタフェースを使用する場合、シリアルインタフェース内部の分周比は $1/16$ (DIVMDx = "1") に設定し、 $1/8$ (DIVMDx = "0") には設定しないでください。

- 図III.9.17は入力信号が $3 \times \text{TCLK}$ 幅のLowパルスになっていますが、回路的にはエッジ (IRRLx = "0"のときは立ち上がりエッジ、IRRLx = "1"のときは立ち下がりエッジ) で受けるようになっています。ノイズなどにより誤動作する可能性がありますので注意してください。

シリアルインタフェース割り込みとDMA

シリアルインタフェースには各チャネルごとに、以下の3種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 受信バッファフル割り込み
- 受信エラー割り込み

送信バッファエンプティ割り込み要因

この割り込み要因は、送信データレジスタに設定した送信データがシフトレジスタに転送された時点で発生し、割り込み要因フラグFSTXxを"1"にセットします。このとき、割り込み制御レジスタによって割り込み条件が満たされていれば、CPUに対し割り込みが発生します。この割り込み要因の発生によって、次の送信データを送信データレジスタに書き込むことができます。また、この割り込み要因でDMAを起動し、DMA転送によって送信データの書き込みを行うこともできます。

受信完了割り込み

この割り込み要因は、受信が完了してシフトレジスタに取り込まれた受信データが受信データレジスタに転送された時点で発生し、割り込み要因フラグFSRXxを"1"にセットします。このとき、割り込み制御レジスタによって割り込み条件が満たされていれば、CPUに対し割り込みが発生します。この割り込み要因の発生によって、受信データの読み出しが可能となります。また、この割り込み要因でDMAを起動し、受信データをDMA転送によって指定のメモリに書き込むこともできます。

受信エラー割り込み

この割り込み要因は、受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された場合に発生し、割り込み要因フラグFSERRxを"1"にセットします。このとき、割り込み制御レジスタによって割り込み条件が満たされていれば、CPUに対し割り込みが発生します。

3種類のエラーとも同一の割り込み要因となっていますので、発生したエラーの識別はエラーフラグPERx(パリティエラー)、OERx(オーバーランエラー)、FERx(フレーミングエラー)で行ってください。クロック同期式モードではパリティエラーとフレーミングエラーは発生しません。

注: 受信エラー(パリティエラー、フレーミングエラー)が発生した場合、受信エラー割り込み要因と受信バッファフル割り込み要因が同時に発生します。ただし、受信エラー割り込みの優先順位が受信バッファフル割り込みよりも高く設定されているので、受信エラー割り込みの処理が先に実行されます。このため、受信エラー割り込み処理の中で受信バッファフル割り込み要因フラグをリセットする必要があります。

割り込みコントローラの制御レジスタ

各割り込み系(チャネル)ごとに用意されている割り込みコントローラの制御レジスタを、表III.9.9に示します。

表III.9.9 割り込みコントローラの制御レジスタ

Ch.	割り込み要因	割り込み要因フラグ	割り込み イネーブルレジスタ	割り込み プライオリティレジスタ
Ch.0	受信エラー	FSERR0 (D0/0x40286)	ESERR0 (D0/0x40276)	PSIO0[2:0](D[6:4]/0x40269)
	受信バッファフル	FSRX0 (D1/0x40286)	ESRX0 (D1/0x40276)	
	送信バッファエンプティ	FSTX0 (D2/0x40286)	ESTX0 (D2/0x40276)	
Ch.1	受信エラー	FSERR1 (D3/0x40286)	ESERR1 (D3/0x40276)	PSIO1[2:0](D[2:0]/0x4026A)
	受信バッファフル	FSRX1 (D4/0x40286)	ESRX1 (D4/0x40276)	
	送信バッファエンプティ	FSTX1 (D5/0x40286)	ESTX1 (D5/0x40276)	
Ch.2	受信エラー	FSERR2 (D0/0x40289)	ESERR2 (D0/0x40279)	PSIO2[2:0](D[2:0]/0x4026E)
	受信バッファフル	FSRX2 (D1/0x40289)	ESRX2 (D1/0x40279)	
	送信バッファエンプティ	FSTX2 (D2/0x40289)	ESTX2 (D2/0x40279)	
Ch.3	受信エラー	FSERR3 (D3/0x40289)	ESERR3 (D3/0x40279)	PSIO3[2:0](D[6:4]/0x4026E)
	受信バッファフル	FSRX3 (D4/0x40289)	ESRX3 (D4/0x40279)	
	送信バッファエンプティ	FSTX3 (D5/0x40289)	ESTX3 (D5/0x40279)	

前述の割り込み要因が発生すると、それぞれに対応した割り込み要因フラグが"1"にセットされます。その割り込み要因に対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。

割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、その要因による割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず"0"に設定されていても、割り込み条件の成立によって"1"にセットされます。

割り込みプライオリティレジスタは、割り込み系列ごとの割り込みの優先レベル(0~7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。

また、入力割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した入力割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITC(割り込みコントローラ)"を参照してください。

インテリジェントDMA

受信バッファフル割り込み要因と送信バッファエンプティ割り込み要因は、インテリジェントDMA(IDMA)を起動することができます。これにより、メモリと送受信データレジスタ間のDMA転送による連続送受信が行えます。

各要因に設定されたIDMAチャンネル番号は次のとおりです。

IDMA Ch.

Ch.0受信バッファフル割り込み: 0x17
 Ch.0送信バッファエンプティ割り込み: 0x18
 Ch.1受信バッファフル割り込み: 0x19
 Ch.1送信バッファエンプティ割り込み: 0x1A
 Ch.2受信バッファフル割り込み: 0x22
 Ch.2送信バッファエンプティ割り込み: 0x23
 Ch.3受信バッファフル割り込み: 0x24
 Ch.3送信バッファエンプティ割り込み: 0x25

IDMAを起動させるには、表III.9.10に示すIDMAリクエストビットおよびIDMAイネーブルビットに"1"を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。

表III.9.10 IDMA転送の制御ビット

Ch.	割り込み要因	IDMAリクエストビット	IDMAイネーブルビット
Ch.0	受信バッファフル	RSRX0 (D6/0x40292)	DESRX0 (D6/0x40296)
	送信バッファエンプティ	RSTX0 (D7/0x40292)	DESTX0 (D7/0x40296)
Ch.1	受信バッファフル	RSRX1 (D0/0x40293)	DESRX1 (D0/0x40297)
	送信バッファエンプティ	RSTX1 (D1/0x40293)	DESTX1 (D1/0x40297)
Ch.2	受信バッファフル	RSRX2 (D2/0x4029B)	DESRX2 (D2/0x4029C)
	送信バッファエンプティ	RSTX2 (D3/0x4029B)	DESTX2 (D3/0x4029C)
Ch.3	受信バッファフル	RSRX3 (D4/0x4029B)	DESRX3 (D4/0x4029C)
	送信バッファエンプティ	RSTX3 (D5/0x4029B)	DESTX3 (D5/0x4029C)

IDMAリクエストビットとIDMAイネーブルビットが"1"に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はDMA転送終了後に発生します。また、DMA転送のみを行い、割り込みは発生しないように設定することもできます。DMA転送とDMA転送終了後の割り込み制御については、"IDMA(インテリジェントDMA)"を参照してください。

高速DMA

Ch.0とCh.1の受信バッファフル割り込み要因と送信バッファエンプティ割り込み要因は、高速DMA (HSDMA) を起動することもできます。

各チャンネルに対応するHSDMAチャンネル番号とトリガ設定ビットを以下に示します。

表III.9.11 HSDMAトリガ設定ビット

SIF Ch.	HSDMA Ch.	トリガ設定ビット
0	0	HSD0S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298•D[3:0])
1	1	HSD1S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298•D[7:4])
0	2	HSD2S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299•D[3:0])
1	3	HSD3S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299•D[7:4])

HSDMAを受信バッファフル割り込み要因で起動させるには、トリガ設定ビットに"1010"を書き込んでおきます。送信バッファエンプティ割り込み要因で起動させるには、トリガ設定ビットに"1011"を書き込んでおきます。また、HSDMA側の転送条件等の設定も必要です。

割り込み要因の発生でHSDMAが起動します。

HSDMAの詳細については、"HSDMA(高速DMA)"を参照してください。

トラップベクタ

各割り込み要因のトラップベクタアドレスは、デフォルトでそれぞれ以下のとおり設定されています。

Ch.0受信エラー割り込み:	0x0C000E0
Ch.0受信バッファフル割り込み:	0x0C000E4
Ch.0送信バッファエンプティ割り込み:	0x0C000E8
Ch.1受信エラー割り込み:	0x0C000F0
Ch.1受信バッファフル割り込み:	0x0C000F4
Ch.1送信バッファエンプティ割り込み:	0x0C000F8
Ch.2受信エラー割り込み:	0x0C00130
Ch.2受信バッファフル割り込み:	0x0C00134
Ch.2送信バッファエンプティ割り込み:	0x0C00138
Ch.3受信エラー割り込み:	0x0C00140
Ch.3受信バッファフル割り込み:	0x0C00144
Ch.3送信バッファエンプティ割り込み:	0x0C00148

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134 ~ 0x48137)で変更することも可能です。

シリアルインタフェースのI/Oメモリ

表III.9.12にシリアルインタフェースの制御ビットを示します。

クロックを設定するプリスケアラおよび8ビットプログラマブルタイマのI/Oメモリについては、それぞれ"プリスケアラ"、"8ビットプログラマブルタイマ"を参照してください。

表III.9.12 シリアルインタフェースの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
シリアルI/F Ch.0送信データ レジスタ	00401E0 (B)	D7	TXD07	シリアルI/F Ch.0 送信データ	0x0 ~ 0xFF(0x7F)	X	R/W	調歩同期式7ビット モードの場合、 TXD07は無効
		D6	TXD06			X		
		D5	TXD05	TXD07(06) = MSB		X		
		D4	TXD04	TXD00 = LSB		X		
		D3	TXD03			X		
		D2	TXD02			X		
		D1	TXD01			X		
		D0	TXD00			X		
シリアルI/F Ch.0受信データ レジスタ	00401E1 (B)	D7	RXD07	シリアルI/F Ch.0 受信データ	0x0 ~ 0xFF(0x7F)	X	R	調歩同期式7ビット モードの場合、 RXD07は無効(0固定)
		D6	RXD06			X		
		D5	RXD05	RXD07(06) = MSB		X		
		D4	RXD04	RXD00 = LSB		X		
		D3	RXD03			X		
		D2	RXD02			X		
		D1	RXD01			X		
		D0	RXD00			X		
シリアルI/F Ch.0ステータス レジスタ	00401E2 (B)	D7~6	—	—	—	—	—	読み出し時: 0
		D5	TEND0	Ch.0転送終了フラグ	1 転送中 0 終了	0	R	0書き込みでクリア
		D4	FER0	Ch.0フレーミングエラーフラグ	1 エラー 0 正常	0	R/W	
		D3	PER0	Ch.0パリティエラーフラグ	1 エラー 0 正常	0	R/W	
		D2	OER0	Ch.0オーバーランエラーフラグ	1 エラー 0 正常	0	R/W	
		D1	TDBE0	Ch.0送信データバッファエンティ	1 エンpty 0 バッファフル	1	R	
		D0	RDBF0	Ch.0受信データバッファフル	1 バッファフル 0 エンpty	0	R	
シリアルI/F Ch.0制御 レジスタ	00401E3 (B)	D7	TXEN0	Ch.0送信許可	1 許可 0 禁止	0	R/W	調歩同期式モード時 のみ有効
		D6	RXEN0	Ch.0受信許可	1 許可 0 禁止	0	R/W	
		D5	EPR0	Ch.0パリティイネーブル	1 パリティ付 0 パリティなし	X	R/W	
		D4	PMD0	Ch.0パリティモード選択	1 奇数 0 偶数	X	R/W	
		D3	STPB0	Ch.0ストップビット選択	1 2bit 0 1bit	X	R/W	
		D2	SSCK0	Ch.0入力クロック選択	1 #SCLK0 0 内部クロック	X	R/W	調歩同期式8bit 調歩同期式7bit クロック同期スレーブ クロック同期マスタ
		D1	SMD01	Ch.0転送モード選択	SMD0[1:0]		X	
		D0	SMD00		1 1	1	X	
					1 0	0	X	
					0 1	1	X	
					0 0	0	X	
シリアルI/F Ch.0 IrDA レジスタ	00401E4 (B)	D7~5	—	—	—	—	—	読み出し時: 0
		D4	DIVMD0	Ch.0調歩同期クロック分周比	1 1/8 0 1/16	X	R/W	調歩同期式モード時 のみ有効
		D3	IRTL0	Ch.0 IrDA I/F出力論理反転	1 反転 0 反転なし	X	R/W	
		D2	IRRL0	Ch.0 IrDA I/F入力論理反転	1 反転 0 反転なし	X	R/W	
		D1	IRMD01	Ch.0インタフェースモード 選択	IRMD0[1:0]		X	R/W
		D0	IRMD00		1 1	reserved	X	
					1 0	IrDA 1.0		
シリアルI/F Ch.1送信データ レジスタ	00401E5 (B)	D7	TXD17	シリアルI/F Ch.1 送信データ	0x0 ~ 0xFF(0x7F)	X	R/W	調歩同期式7ビット モードの場合、 TXD17は無効
		D6	TXD16			X		
		D5	TXD15	TXD17(16) = MSB		X		
		D4	TXD14	TXD10 = LSB		X		
		D3	TXD13			X		
		D2	TXD12			X		
		D1	TXD11			X		
		D0	TXD10			X		
シリアルI/F Ch.1受信データ レジスタ	00401E6 (B)	D7	RXD17	シリアルI/F Ch.1 受信データ	0x0 ~ 0xFF(0x7F)	X	R	調歩同期式7ビット モードの場合、 RXD17は無効(0固定)
		D6	RXD16			X		
		D5	RXD15	RXD17(16) = MSB		X		
		D4	RXD14	RXD10 = LSB		X		
		D3	RXD13			X		
		D2	RXD12			X		
		D1	RXD11			X		
		D0	RXD10			X		

III

SIF

III-9 周辺回路ブロック: シリアルインタフェース

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈
シリアルI/F Ch.1ステータス レジスタ	00401E7 (B)	D7-6	—	—	—		—	—	読み出し時: 0
		D5	TEND1	Ch.1転送終了フラグ	1 転送中	0 終了	0	R	0書き込みでクリア
		D4	FER1	Ch.1フレーミングエラーフラグ	1 エラー	0 正常	0	R/W	
		D3	PER1	Ch.1パリティエラーフラグ	1 エラー	0 正常	0	R/W	
		D2	OER1	Ch.1オーバーランエラーフラグ	1 エラー	0 正常	0	R/W	
		D1	TDBE1	Ch.1送信データバッファエンプティ	1 エンプティ	0 バッファフル	1	R	
		D0	RDBF1	Ch.1受信データバッファフル	1 バッファフル	0 エンプティ	0	R	
シリアルI/F Ch.1制御 レジスタ	00401E8 (B)	D7	TXEN1	Ch.1送信許可	1 許可	0 禁止	0	R/W	調歩同期モード時のみ有効
		D6	RXEN1	Ch.1受信許可	1 許可	0 禁止	0	R/W	
		D5	EPR1	Ch.1パリティイネーブル	1 パリティ付	0 パリティなし	X	R/W	
		D4	PMD1	Ch.1パリティモード選択	1 奇数	0 偶数	X	R/W	
		D3	STPB1	Ch.1ストップビット選択	1 2bit	0 1bit	X	R/W	
		D2	SSCK1	Ch.1入力クロック選択	1 #SCLK1	0 内部クロック	X	R/W	調歩同期モード時のみ有効
		D1	SMD11	Ch.1転送モード選択	SMD1[1:0] 転送モード		X	R/W	
		D0			1 1	調歩同期式8bit	X		
					1 0	調歩同期式7bit			
					0 1	クロック同期スレーブ			
0 0	クロック同期マスタ								
シリアルI/F Ch.1 IrDA レジスタ	00401E9 (B)	D7-5	—	—	—		—	—	読み出し時: 0
		D4	DIVMD1	Ch.1調歩同期クロック分周比	1 1/8	0 1/16	X	R/W	調歩同期モード時のみ有効
		D3	IRTL1	Ch.1 IrDA I/F出力論理反転	1 反転	0 反転なし	X	R/W	
		D2	IRRL1	Ch.1 IrDA I/F入力論理反転	1 反転	0 反転なし	X	R/W	
		D1	IRMD11	Ch.1インタフェースモード 選択	IRMD1[1:0] I/Fモード		X	R/W	
		D0			1 1	reserved	X		
					1 0	IrDA 1.0			
0 1	reserved								
0 0	通常のI/F								
シリアルI/F Ch.2送信データ レジスタ	00401F0 (B)	D7	TXD27	シリアルI/F Ch.2 送信データ TXD27(26) = MSB TXD20 = LSB	0x0 ~ 0xFF(0x7F)		X	R/W	
		D6	TXD26				X		
		D5	TXD25				X		
		D4	TXD24				X		
		D3	TXD23				X		
		D2	TXD22				X		
		D1	TXD21				X		
		D0	TXD20				X		
シリアルI/F Ch.2受信データ レジスタ	00401F1 (B)	D7	RXD27	シリアルI/F Ch.2 受信データ RXD27(26) = MSB RXD20 = LSB	0x0 ~ 0xFF(0x7F)		X	R	
		D6	RXD26				X		
		D5	RXD25				X		
		D4	RXD24				X		
		D3	RXD23				X		
		D2	RXD22				X		
		D1	RXD21				X		
		D0	RXD20				X		
シリアルI/F Ch.2ステータス レジスタ	00401F2 (B)	D7-6	—	reserved	—		—	—	読み出し時: 0
		D5	TEND2	Ch.2転送終了フラグ	1 転送中	0 終了	0	R	0書き込みでクリア
		D4	FER2	Ch.2フレーミングエラーフラグ	1 エラー	0 正常	0	R/W	
		D3	PER2	Ch.2パリティエラーフラグ	1 エラー	0 正常	0	R/W	
		D2	OER2	Ch.2オーバーランエラーフラグ	1 エラー	0 正常	0	R/W	
		D1	TDBE2	Ch.2送信データバッファエンプティ	1 エンプティ	0 バッファフル	1	R	
		D0	RDBF2	Ch.2受信データバッファフル	1 バッファフル	0 エンプティ	0	R	
シリアルI/F Ch.2制御 レジスタ	00401F3 (B)	D7	TXEN2	Ch.2送信許可	1 許可	0 禁止	0	R/W	調歩同期モード時のみ有効
		D6	RXEN2	Ch.2受信許可	1 許可	0 禁止	0	R/W	
		D5	EPR2	Ch.2パリティイネーブル	1 パリティ付	0 パリティなし	X	R/W	
		D4	PMD2	Ch.2パリティモード選択	1 奇数	0 偶数	X	R/W	
		D3	STPB2	Ch.2ストップビット選択	1 2bit	0 1bit	X	R/W	
		D2	SSCK2	Ch.2入力クロック選択	1 #SCLK2	0 内部クロック	X	R/W	調歩同期モード時のみ有効
		D1	SMD21	Ch.2転送モード選択	SMD2[1:0] 転送モード		X	R/W	
		D0			1 1	調歩同期式8bit	X		
					1 0	調歩同期式7bit			
					0 1	クロック同期スレーブ			
0 0	クロック同期マスタ								
シリアルI/F Ch.2 IrDA レジスタ	00401F4 (B)	D7-5	—	reserved	—		—	—	読み出し時: 0
		D4	DIVMD2	Ch.2調歩同期クロック分周比	1 1/8	0 1/16	X	R/W	調歩同期モード時のみ有効
		D3	IRTL2	Ch.2 IrDA I/F出力論理反転	1 反転	0 反転なし	X	R/W	
		D2	IRRL2	Ch.2 IrDA I/F入力論理反転	1 反転	0 反転なし	X	R/W	
		D1	IRMD21	Ch.2インタフェースモード 選択	IRMD2[1:0] I/Fモード		X	R/W	
		D0			1 1	reserved	X		
					1 0	IrDA 1.0			
0 1	reserved								
0 0	通常のI/F								

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
シリアルI/F Ch.3送信データ レジスタ	00401F5 (B)	D7	TXD37	シリアルI/F Ch.3 送信データ TXD37(36) = MSB TXD30 = LSB	0x0 ~ 0xFF(0x7F)	X	R/W	
		D6	TXD36			X		
		D5	TXD35			X		
		D4	TXD34			X		
		D3	TXD33			X		
		D2	TXD32			X		
		D1	TXD31			X		
		D0	TXD30			X		
シリアルI/F Ch.3受信データ レジスタ	00401F6 (B)	D7	RXD37	シリアルI/F Ch.3 受信データ RXD37(36) = MSB RXD30 = LSB	0x0 ~ 0xFF(0x7F)	X	R	
		D6	RXD36			X		
		D5	RXD35			X		
		D4	RXD34			X		
		D3	RXD33			X		
		D2	RXD32			X		
		D1	RXD31			X		
		D0	RXD30			X		
シリアルI/F Ch.3ステータス レジスタ	00401F7 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	TEND3	Ch.3転送終了フラグ	1 転送中 0 終了	0	R	0書き込みでクリア
		D4	FMR3	Ch.3フレーミングエラーフラグ	1 エラー 0 正常	0	R/W	
		D3	PER3	Ch.3パリティエラーフラグ	1 エラー 0 正常	0	R/W	
		D2	OER3	Ch.3オーバーランエラーフラグ	1 エラー 0 正常	0	R/W	
		D1	TDBE3	Ch.3送信データバッファエンプティ	1 エンプティ 0 バッファフル	1	R	
		D0	RDBF3	Ch.3受信データバッファフル	1 バッファフル 0 エンプティ	0	R	
シリアルI/F Ch.3制御 レジスタ	00401F8 (B)	D7	TXEN3	Ch.3送信許可	1 許可 0 禁止	0	R/W	
		D6	RXEN3	Ch.3受信許可	1 許可 0 禁止	0	R/W	
		D5	EPR3	Ch.3パリティイネーブル	1 パリティ付 0 パリティなし	X	R/W	
		D4	PMD3	Ch.3パリティモード選択	1 奇数 0 偶数	X	R/W	
		D3	STPB3	Ch.3ストップビット選択	1 2bit 0 1bit	X	R/W	
		D2	SSCK3	Ch.3入力クロック選択	1 #SCLK3 0 内部クロック	X	R/W	調歩同期式モード時のみ有効
		D1	SMD31	Ch.3転送モード選択	SMD3[1:0] 転送モード 1 1 調歩同期式8bit 1 0 調歩同期式7bit 0 1 クロック同期スレーブ 0 0 クロック同期マスタ	X	R/W	
		D0	SMD30			X		
シリアルI/F Ch.3 IrDA レジスタ	00401F9 (B)	D7-5	—	reserved	—	—	—	読み出し時: 0
		D4	DIVMD3	Ch.3調歩同期クロック分周比	1 1/8 0 1/16	X	R/W	調歩同期式モード時のみ有効
		D3	IRTL3	Ch.3 IrDA I/F出力論理反転	1 反転 0 反転なし	X	R/W	
		D2	IRRL3	Ch.3 IrDA I/F入力論理反転	1 反転 0 反転なし	X	R/W	
		D1	IRMD31	Ch.3インタフェースモード 選択	IRMD3[1:0] I/Fモード 1 1 reserved 1 0 IrDA 1.0 0 1 reserved 0 0 通常のI/F	X	R/W	
		D0	IRMD30			X		
8bitタイマ, シリアルI/F Ch.0 割り込み プライオリティ レジスタ	0040269 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PSIO02	シリアルインタフェースCh.0 割り込みレベル	0 ~ 7	X	R/W	
		D5	PSIO01			X		
		D4	PSIO00			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	P8TM2	8bitタイマ0-5 割り込みレベル	0 ~ 7	X	R/W	
		D1	P8TM1			X		
		D0	P8TM0			X		
シリアルI/F Ch.1, A/D変換器 割り込み プライオリティ レジスタ	004026A (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PAD2	A/D変換器 割り込みレベル	0 ~ 7	X	R/W	
		D5	PAD1			X		
		D4	PAD0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PSIO12	シリアルインタフェースCh.1 割り込みレベル	0 ~ 7	X	R/W	
		D1	PSIO11			X		
		D0	PSIO10			X		
シリアルI/F Ch.2/3 割り込み プライオリティ レジスタ	004026E (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PSIO32	シリアルインタフェースCh.3 割り込みレベル	0 ~ 7	X	R/W	
		D5	PSIO31			X		
		D4	PSIO30			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PSIO22	シリアルインタフェースCh.2 割り込みレベル	0 ~ 7	X	R/W	
		D1	PSIO21			X		
		D0	PSIO20			X		

III-9 周辺回路ブロック: シリアルインタフェース

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
シリアル/F Ch.0/1 割り込み イネーブル レジスタ	0040276 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	ESTX1	SIF Ch.1送信バッファエンブティ	1 許可	0 禁止	0 R/W	
		D4	ESRX1	SIF Ch.1受信バッファフル			0 R/W	
		D3	ESERR1	SIF Ch.1受信エラー			0 R/W	
		D2	ESTX0	SIF Ch.0送信バッファエンブティ			0 R/W	
		D1	ESRX0	SIF Ch.0受信バッファフル			0 R/W	
		D0	ESERR0	SIF Ch.0受信エラー			0 R/W	
シリアル/F Ch.2/3 割り込み イネーブル レジスタ	0040279 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	ESTX3	SIF Ch.3送信バッファエンブティ	1 許可	0 禁止	0 R/W	
		D4	ESRX3	SIF Ch.3受信バッファフル			0 R/W	
		D3	ESERR3	SIF Ch.3受信エラー			0 R/W	
		D2	ESTX2	SIF Ch.2送信バッファエンブティ			0 R/W	
		D1	ESRX2	SIF Ch.2受信バッファフル			0 R/W	
		D0	ESERR2	SIF Ch.2受信エラー			0 R/W	
シリアル/F Ch.0/1 割り込み 要因フラグ レジスタ	0040286 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	FSTX1	SIF Ch.1送信バッファエンブティ	1 要因発生	0 要因なし	X R/W	
		D4	FSRX1	SIF Ch.1受信バッファフル			X R/W	
		D3	FSERR1	SIF Ch.1受信エラー			X R/W	
		D2	FSTX0	SIF Ch.0送信バッファエンブティ			X R/W	
		D1	FSRX0	SIF Ch.0受信バッファフル			X R/W	
		D0	FSERR0	SIF Ch.0受信エラー			X R/W	
シリアル/F Ch.2/3 割り込み 要因フラグ レジスタ	0040289 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	FSTX3	SIF Ch.3送信バッファエンブティ	1 要因発生	0 要因なし	X R/W	
		D4	FSRX3	SIF Ch.3受信バッファフル			X R/W	
		D3	FSERR3	SIF Ch.3受信エラー			X R/W	
		D2	FSTX2	SIF Ch.2送信バッファエンブティ			X R/W	
		D1	FSRX2	SIF Ch.2受信バッファフル			X R/W	
		D0	FSERR2	SIF Ch.2受信エラー			X R/W	
16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAリクエスト レジスタ	0040292 (B)	D7	RSTX0	SIF Ch.0送信バッファエンブティ	1 IDMA要求	0 割り込み 要求	0 R/W	
		D6	RSRX0	SIF Ch.0受信バッファフル			0 R/W	
		D5	R8TU3	8bitタイマ3アンダーフロー			0 R/W	
		D4	R8TU2	8bitタイマ2アンダーフロー			0 R/W	
		D3	R8TU1	8bitタイマ1アンダーフロー			0 R/W	
		D2	R8TU0	8bitタイマ0アンダーフロー			0 R/W	
		D1	R16TC5	16bitタイマ5コンペアA			0 R/W	
		D0	R16TU5	16bitタイマ5コンペアB			0 R/W	
シリアル/F Ch.1, A/D, ポート 入力4-7 IDMAリクエスト レジスタ	0040293 (B)	D7	RP7	ポート入力7	1 IDMA要求	0 割り込み 要求	0 R/W	
		D6	RP6	ポート入力6			0 R/W	
		D5	RP5	ポート入力5			0 R/W	
		D4	RP4	ポート入力4			0 R/W	
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	RADE	A/D変換器	1 IDMA要求	0 割り込み 要求	0 R/W	
		D1	RSTX1	SIF Ch.1送信バッファエンブティ			0 R/W	
		D0	RSRX1	SIF Ch.1受信バッファフル			0 R/W	
16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAイネーブル レジスタ	0040296 (B)	D7	DESTX0	SIF Ch.0送信バッファエンブティ	1 IDMA許可	0 IDMA禁止	0 R/W	
		D6	DESRX0	SIF Ch.0受信バッファフル			0 R/W	
		D5	DE8TU3	8bitタイマ3アンダーフロー			0 R/W	
		D4	DE8TU2	8bitタイマ2アンダーフロー			0 R/W	
		D3	DE8TU1	8bitタイマ1アンダーフロー			0 R/W	
		D2	DE8TU0	8bitタイマ0アンダーフロー			0 R/W	
		D1	DE16TC5	16bitタイマ5コンペアA			0 R/W	
		D0	DE16TU5	16bitタイマ5コンペアB			0 R/W	
シリアル/F Ch.1, A/D, ポート 入力4-7 IDMAイネーブル レジスタ	0040297 (B)	D7	DEP7	ポート入力7	1 IDMA許可	0 IDMA禁止	0 R/W	
		D6	DEP6	ポート入力6			0 R/W	
		D5	DEP5	ポート入力5			0 R/W	
		D4	DEP4	ポート入力4			0 R/W	
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	DEADE	A/D変換器	1 IDMA許可	0 IDMA禁止	0 R/W	
		D1	DESTX1	SIF Ch.1送信バッファエンブティ			0 R/W	
		D0	DESRX1	SIF Ch.1受信バッファフル			0 R/W	
8bitタイマ4/5 シリアル/F Ch.2/3 IDMAリクエスト レジスタ	004029B (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	RSTX3	SIF Ch.3送信バッファエンブティ	1 IDMA要求	0 割り込み 要求	0 R/W	
		D4	RSRX3	SIF Ch.3受信バッファフル			0 R/W	
		D3	RSTX2	SIF Ch.2送信バッファエンブティ			0 R/W	
		D2	RSRX2	SIF Ch.2受信バッファフル			0 R/W	
		D1	R8TU5	8bitタイマ5アンダーフロー			0 R/W	
		D0	R8TU4	8bitタイマ4アンダーフロー			0 R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈		
8bitタイマ4/5 シリアルI/F Ch.2/3 IDMAイネーブル レジスタ	004029C (B)	D7-6	—	reserved	—	—	—	—	読み出し時: 0		
		D5	DESTX3	SIF Ch.3送信バッファエンプティ	1	IDMA許可	0	IDMA禁止		0	R/W
		D4	DESRX3	SIF Ch.3受信バッファフル						0	R/W
		D3	DESTX2	SIF Ch.2送信バッファエンプティ						0	R/W
		D2	DESRX2	SIF Ch.2受信バッファフル						0	R/W
		D1	DE8TU5	8bitタイマ5アンダーフロー						0	R/W
		D0	DE8TU4	8bitタイマ4アンダーフロー						0	R/W
P0機能選択 レジスタ	00402D0 (B)	D7	CFP07	P07機能選択	1	#SRDY1	0	P07	0	R/W	拡張機能(0x402DF)
		D6	CFP06	P06機能選択	1	#SCLK1	0	P06	0	R/W	
		D5	CFP05	P05機能選択	1	SOUT1	0	P05	0	R/W	
		D4	CFP04	P04機能選択	1	SIN1	0	P04	0	R/W	
		D3	CFP03	P03機能選択	1	#SRDY0	0	P03	0	R/W	拡張機能(0x300040)
		D2	CFP02	P02機能選択	1	#SCLK0	0	P02	0	R/W	
		D1	CFP01	P01機能選択	1	SOUT0	0	P01	0	R/W	
		D0	CFP00	P00機能選択	1	SIN0	0	P00	0	R/W	
ポートSIO 機能拡張 レジスタ	00402D7 (B)	D7-4	—	reserved	—	—	—	—	読み出し時: 0		
		D3	SSRDY3	シリアルI/F Ch.3 SRDY選択	1	#SRDY3	0	P32/ #DMAACK0	0	R/W	
		D2	SSCLK3	シリアルI/F Ch.3 SCLK選択	1	#SCLK3	0	P15/EXCL4/ #DMAEND0	0	R/W	
		D1	SSOUT3	シリアルI/F Ch.3 SOUT選択	1	SOUT3	0	P16/EXCL5/ #DMAEND1	0	R/W	
		D0	SSIN3	シリアルI/F Ch.3 SIN選択	1	SIN3	0	P33/ #DMAACK1	0	R/W	
ポートSIO 機能拡張 レジスタ	00402DB (B)	D7-4	—	reserved	—	—	—	—	読み出し時: 0		
		D3	SSRDY2	シリアルI/F Ch.2 SRDY選択	1	#SRDY2	0	P24/TM2	0	R/W	
		D2	SSCLK2	シリアルI/F Ch.2 SCLK選択	1	#SCLK2	0	P25/TM3	0	R/W	
		D1	SSOUT2	シリアルI/F Ch.2 SOUT選択	1	SOUT2	0	P26/TM4	0	R/W	
		D0	SSIN2	シリアルI/F Ch.2 SIN選択	1	SIN2	0	P27/TM5	0	R/W	
ポート機能拡張 レジスタ	00402DF (B)	D7	CFEX7	P07ポート機能拡張	1	#DMAEND3	0	P07, etc.	0	R/W	
		D6	CFEX6	P06ポート機能拡張	1	#DMAACK3	0	P06, etc.	0	R/W	
		D5	CFEX5	P05ポート機能拡張	1	#DMAEND2	0	P05, etc.	0	R/W	
		D4	CFEX4	P04ポート機能拡張	1	#DMAACK2	0	P04, etc.	0	R/W	
		D3	CFEX3	P31ポート機能拡張	1	#GARD	0	P31, etc.	0	R/W	
		D2	CFEX2	P21ポート機能拡張	1	#GAAS	0	P21, etc.	0	R/W	
		D1	CFEX1	P10, P11, P13ポート機能拡張	1	DST0 DST1 DPCO	0	P10, etc. P11, etc. P13, etc.	1	R/W	
		D0	CFEX0	P12, P14ポート機能拡張	1	DST2 DCLK	0	P12, etc. P14, etc.	1	R/W	

CFP07–CFP00: P0[7:0]端子機能選択(D[7:0]/0x402D0<P0機能選択レジスタ>)

シリアルインタフェースに使用する端子を選択します。

"1"書き込み: シリアルインタフェース入出力端子

"0"書き込み: 入出力兼用ポート端子

読み出し: 可能

シリアルインタフェースに使用する端子を、CFP00～CFP07に"1"を書き込んでP00～P07の中から選択します。P00～P03(SIN0、SOUT0、#SCLK0、#SRDY0)はCh.0、P04～P07(SIN1、SOUT1、#SCLK1、#SRDY1)はCh.1で使います。"0"を書き込んだ場合、その端子は入出力兼用ポート端子となります。

転送モードにより必要な入出力端子は異なります(表III.9.3参照)。

コールドスタート時、CFPは"0"(入出力兼用ポート)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

CFEX7–CFEX4: P0[7:4]ポート機能拡張(D[7:4]/0x402DF<ポート機能拡張レジスタ>)

入出力兼用ポート端子の拡張機能を選択します。

"1"書き込み: 拡張機能端子

"0"書き込み: 入出力兼用ポート端子/シリアルインタフェース入出力端子

読み出し: 可能

CFEX[7:4]に"1"を書き込むと、P07～P04ポートが高速DMA用の信号出力ポートとして機能します。CFEX[7:4]が"0"の場合はCFP0[7:4]が有効となり、その設定に従ってP07～P04ポートが入出力兼用ポート端子またはシリアルインタフェースCh.1入出力端子となります。

コールドスタート時、CFEX[7:4]は"0"(入出力兼用ポート端子/シリアルインタフェース入出力端子)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SSIN2: シリアル/F Ch.2 SIN選択(D0/0x402DB<ポートSIO機能拡張レジスタ>)

P27/TM5/SIN2端子の機能を切り換えます。

"1"書き込み: SIN2

"0"書き込み: P27/TM5

読み出し: 可能

SIN2として使用したい場合は、SSIN2(D0/0x402DB)に"1"およびCFP27(D7/0x402D8)に"0"を設定します。

P27またはTM5として使用したい場合は、"0"を設定します。

コールドスタート時、SSIN2は"0"(P27/TM5)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSOUT2: シリアル/F Ch.2 SOUT選択(D1/0x402DB<ポートSIO機能拡張レジスタ>)

P26/TM4/SOUT2端子の機能を切り換えます。

"1"書き込み: SOUT2

"0"書き込み: P26/TM4

読み出し: 可能

SOUT2として使用したい場合は、SSOUT2(D1/0x402DB)に"1"およびCFP26(D6/0x402D8)に"0"を設定します。

P26またはTM4として使用したい場合は、"0"を設定します。

コールドスタート時、SSOUT2は"0"(P26/TM4)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSCLK2: シリアルI/F Ch.2 SCLK選択(D2/0x402DB<ポートSIO機能拡張レジスタ>)

P25/TM3/#SCLK2端子の機能を切り換えます。

"1"書き込み: #SCLK2

"0"書き込み: P25/TM3

読み出し: 可能

#SCLK2として使用したい場合は、SSCLK2(D2/0x402DB)="1"およびCFP25(D5/0x402D8)="0"を設定します。P25またはTM3として使用したい場合は、"0"を設定します。

コールドスタート時、SSCLK2は"0"(P25/TM3)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSRDY2: シリアルI/F Ch.2 SRDY選択(D3/0x402DB<ポートSIO機能拡張レジスタ>)

P24/TM2/#SRDY2端子の機能を切り換えます。

"1"書き込み: #SRDY2

"0"書き込み: P24/TM2

読み出し: 可能

#SRDY2として使用したい場合は、SSRDY2(D3/0x402DB)="1"およびCFP24(D4/0x402D8)="0"を設定します。P24またはTM2として使用したい場合は、"0"を設定します。

コールドスタート時、SSRDY2は"0"(P24/TM2)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSIN3: シリアルI/F Ch.3 SIN選択(D0/0x402D7<ポートSIO機能拡張レジスタ>)

P33/#DMAACK1/SIN3端子の機能を切り換えます。

"1"書き込み: SIN3

"0"書き込み: P33/#DMAACK1

読み出し: 可能

SIN3として使用したい場合は、SSIN3(D0/0x402D7)="1"およびCFP33(D3/0x402DC)="0"を設定します。

P33または#DMAACK1として使用したい場合は、"0"を設定します。

コールドスタート時、SSIN3は"0"(P33/#DMAACK1)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSOUT3: シリアルI/F Ch.3 SOUT選択(D1/0x402D7<ポートSIO機能拡張レジスタ>)

P16/EXCL5/#DMAEND1/SOUT3端子の機能を切り換えます。

"1"書き込み: SOUT3

"0"書き込み: P16/EXCL5/#DMAEND1

読み出し: 可能

SOUT3として使用したい場合は、SSOUT3(D1/0x402D7)="1"およびCFP16(D6/0x402D4)="0"を設定します。

P16、EXCL5または#DMAEND1として使用したい場合は、"0"を設定します。

コールドスタート時、SSOUT3は"0"(P16/EXCL5/#DMAEND1)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSCLK3: シリアルI/F Ch.3 SCLK選択(D2/0x402D7<ポートSIO機能拡張レジスタ>)

P15/EXCL4/#DMAEND0/#SCLK3端子の機能を切り換えます。

"1"書き込み: #SCLK3

"0"書き込み: P15/EXCL4/#DMAEND0

読み出し: 可能

#SCLK3として使用したい場合は、SSCLK3(D2/0x402D7)="1"およびCFP15(D5/0x402D4)="0"を設定します。P15、EXCL4または#DMAEND0として使用したい場合は、"0"を設定します。

コールドスタート時、SSCLK3は"0"(P15/EXCL4/#DMAEND0)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSRDY3: シリアルI/F Ch.3 SRDY選択 (D3/0x402D7<ポートSIO機能拡張レジスタ>)

P32/#DMAACK0/#SRDY3端子の機能を切り換えます。

"1"書き込み: #SRDY3

"0"書き込み: P32/#DMAACK0

読み出し: 可能

#SRDY3として使用したい場合は、SSRDY3(D3/0x402D7)を"1"およびCFP3(D2/0x402DC)を"0"を設定します。P32または#DMAACK0として使用したい場合は、"0"を設定します。

コールドスタート時、SSRDY3は"0"(P32/#DMAACK0)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

TXD07-TXD00: Ch.0送信データ (D[7:0]/0x401E0<シリアルI/F Ch.0送信データレジスタ>)

TXD17-TXD10: Ch.1送信データ (D[7:0]/0x401E5<シリアルI/F Ch.1送信データレジスタ>)

TXD27-TXD20: Ch.2送信データ (D[7:0]/0x401F0<シリアルI/F Ch.2送信データレジスタ>)

TXD37-TXD30: Ch.3送信データ (D[7:0]/0x401F5<シリアルI/F Ch.3送信データレジスタ>)

送信データを設定します。

TXENxに"1"を書き込み後、このレジスタ(送信バッファ)にデータを書き込むことにより送信を開始します。データがシフトレジスタに転送された時点で、TDBExが"1"(送信バッファエンプティ)にセットされます。同時に送信バッファエンプティ割り込み要因も発生します。それ以降であれば、シリアルインタフェースが送信中であっても次の送信データを書き込むことができます。

調歩同期式7ビットモードにおいては、TXDx(MSB)が無効となります。

SOUT端子からはシリアル変換されたデータがLSBを先頭に、"1"に設定されたビットがHighレベル、"0"に設定されたビットがLowレベルとして出力されます。

このレジスタは読み出しも可能です。

イニシャルリセット時、TXDxの内容は不定となります。

RXD07-RXD00: Ch.0受信データ (D[7:0]/0x401E1<シリアルI/F Ch.0受信データレジスタ>)

RXD17-RXD10: Ch.1受信データ (D[7:0]/0x401E6<シリアルI/F Ch.1受信データレジスタ>)

RXD27-RXD20: Ch.2受信データ (D[7:0]/0x401F1<シリアルI/F Ch.2受信データレジスタ>)

RXD37-RXD30: Ch.3受信データ (D[7:0]/0x401F6<シリアルI/F Ch.3受信データレジスタ>)

受信データが格納されます。

受信が終了し、シフトレジスタのデータがこのレジスタ(受信バッファ)に転送された時点でRDBFxが"1"(受信バッファフル)にセットされます。同時に受信バッファフル割り込み要因も発生します。これ以降、次のデータの受信を終了するまで、データの読み出しが可能です。このレジスタを読み出す前に次の受信を終了した場合は、新たな受信データで上書きされ、オーバーランエラーが発生します。

調歩同期式7ビットモードにおいては、RXDx7には"0"がロードされます。

SINx端子から入力されたシリアルデータは先頭をLSBとして、Highレベルのビットを"1"、Lowレベルのビットを"0"としてパラレル変換され、本バッファにロードされます。

このレジスタは読み出し専用で、書き込みは行えません。

イニシャルリセット時、RXDxの内容は不定となります。

TEND0: Ch.0送信終了フラグ (D5/0x401E2<シリアルI/F Ch.0ステータスレジスタ>)

TEND1: Ch.1送信終了フラグ (D5/0x401E7<シリアルI/F Ch.1ステータスレジスタ>)

TEND2: Ch.2送信終了フラグ (D5/0x401F2<シリアルI/F Ch.2ステータスレジスタ>)

TEND3: Ch.3送信終了フラグ (D5/0x401F7<シリアルI/F Ch.3ステータスレジスタ>)

送信状態を示します。

"1"読み出し: 送信中

"0"読み出し: 送信終了

書き込み: 無効

TENDxはデータ送信中に"1"となり、送信を終了すると"0"に戻ります。

クロック同期式マスタモードまたは調歩同期式モードで連続してデータを送信する場合、全データを送信するまで"1"を保持します(図III.9.4、図III.9.12参照)。クロック同期式スレーブモード時は1バイト送信するごとに"0"となります(図III.9.5参照)。

イニシャルリセット時、TENDxは"0"(送信終了)に設定されます。

FER0: Ch.0フレーミングエラーフラグ(D4/0x401E2<シリアルI/F Ch.0ステータスレジスタ>)
FER1: Ch.1フレーミングエラーフラグ(D4/0x401E7<シリアルI/F Ch.1ステータスレジスタ>)
FER2: Ch.2フレーミングエラーフラグ(D4/0x401F2<シリアルI/F Ch.2ステータスレジスタ>)
FER3: Ch.3フレーミングエラーフラグ(D4/0x401F7<シリアルI/F Ch.3ステータスレジスタ>)

フレーミングエラーの発生を示します。

"1"読み出し: エラー
 "0"読み出し: エラーなし
 "1"書き込み: 無効
 "0"書き込み: "0"にリセット

FERxフラグはフレーミングエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。フレーミングエラーは、調歩同期式モードの受信時にストップビットが"0"になっていた場合に発生します。FERxフラグは"0"を書き込むことでリセットされます。

イニシャルリセット時、およびRXENxとTXENx共に"0"を書き込むとFERxフラグは"0"(エラーなし)に設定されます。

PER0: Ch.0パリティエラーフラグ(D3/0x401E2<シリアルI/F Ch.0ステータスレジスタ>)
PER1: Ch.1パリティエラーフラグ(D3/0x401E7<シリアルI/F Ch.1ステータスレジスタ>)
PER2: Ch.2パリティエラーフラグ(D3/0x401F2<シリアルI/F Ch.2ステータスレジスタ>)
PER3: Ch.3パリティエラーフラグ(D3/0x401F7<シリアルI/F Ch.3ステータスレジスタ>)

パリティエラーの発生を示します。

"1"読み出し: エラー
 "0"読み出し: エラーなし
 "1"書き込み: 無効
 "0"書き込み: "0"にリセット

PERxフラグはパリティエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。パリティチェックはEPRxを"1"(パリティ付き)に設定した調歩同期式モードでのみ有効で、受信データをシフトレジスタから受信データレジスタに転送する際に行われます。PERxフラグは"0"を書き込むことでリセットされます。

イニシャルリセット時、およびRXENxとTXENx共に"0"を書き込むとPERxは"0"(エラーなし)に設定されます。

OER0: Ch.0オーバーランエラーフラグ(D2/0x401E2<シリアルI/F Ch.0ステータスレジスタ>)
OER1: Ch.1オーバーランエラーフラグ(D2/0x401E7<シリアルI/F Ch.1ステータスレジスタ>)
OER2: Ch.2オーバーランエラーフラグ(D2/0x401F2<シリアルI/F Ch.2ステータスレジスタ>)
OER3: Ch.3オーバーランエラーフラグ(D2/0x401F7<シリアルI/F Ch.3ステータスレジスタ>)

オーバーランエラーの発生を示します。

"1"読み出し: エラー
 "0"読み出し: エラーなし
 "1"書き込み: 無効
 "0"書き込み: "0"にリセット

OERxフラグはオーバーランエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。オーバーランエラーは、受信データレジスタを読み出す前に次の受信が終了し、受信データレジスタが上書きされた場合に発生します。OERxフラグは"0"を書き込むことでリセットされます。

イニシャルリセット時、およびRXENxとTXENx共に"0"を書き込むとOERxは"0"(エラーなし)に設定されます。

TDBE0: Ch.0送信データバッファエンプティ(D1/0x401E2<シリアルI/F Ch.0ステータスレジスタ>)
TDBE1: Ch.1送信データバッファエンプティ(D1/0x401E7<シリアルI/F Ch.1ステータスレジスタ>)
TDBE2: Ch.2送信データバッファエンプティ(D1/0x401F2<シリアルI/F Ch.2ステータスレジスタ>)
TDBE3: Ch.3送信データバッファエンプティ(D1/0x401F7<シリアルI/F Ch.3ステータスレジスタ>)

送信データレジスタ(バッファ)の状態を示します。

"1"読み出し: バッファエンプティ

"0"読み出し: バッファフル

書き込み: 無効

TDBExは送信データレジスタに送信データが書き込まれると"0"となり、そのデータがシフトレジスタに転送されると(送信を開始すると)"1"となります。

送信データの書き込みは、このビットが"1"の場合に行います。

イニシャルリセット時、TDBExは"1"(バッファエンプティ)に設定されます。

RDBF0: Ch.0受信データバッファフル(D0/0x401E2<シリアルI/F Ch.0ステータスレジスタ>)
RDBF1: Ch.1受信データバッファフル(D0/0x401E7<シリアルI/F Ch.1ステータスレジスタ>)
RDBF2: Ch.2受信データバッファフル(D0/0x401F2<シリアルI/F Ch.2ステータスレジスタ>)
RDBF3: Ch.3受信データバッファフル(D0/0x401F7<シリアルI/F Ch.3ステータスレジスタ>)

受信データレジスタ(バッファ)の状態を示します。

"1"読み出し: バッファフル

"0"読み出し: バッファエンプティ

書き込み: 無効

RDBFxはシフトレジスタに受信したデータが受信データレジスタに転送されると(受信が完了すると)"1"となり、そのデータが読み出し可能であることを示します。データが読み出されると"0"に戻ります。

イニシャルリセット時、RDBFxは"0"(バッファエンプティ)に設定されます。

TXEN0: Ch.0送信許可(D7/0x401E3<シリアルI/F Ch.0制御レジスタ>)
TXEN1: Ch.1送信許可(D7/0x401E8<シリアルI/F Ch.1制御レジスタ>)
TXEN2: Ch.2送信許可(D7/0x401F3<シリアルI/F Ch.2制御レジスタ>)
TXEN3: Ch.3送信許可(D7/0x401F8<シリアルI/F Ch.3制御レジスタ>)

各チャンネルを送信許可状態に設定します。

"1"書き込み: 送信許可

"0"書き込み: 送信禁止

読み出し: 可能

TXENxに"1"を書き込むとそのチャンネルが送信許可状態となり、"0"を書き込むと送信禁止状態となります。転送モード等の設定を行う場合は、TXENxが"0"の状態で行ってください。

イニシャルリセット時、TXENxは"0"(送信禁止)に設定されます。

RXEN0: Ch.0受信許可(D6/0x401E3<シリアルI/F Ch.0制御レジスタ>)
RXEN1: Ch.1受信許可(D6/0x401E8<シリアルI/F Ch.1制御レジスタ>)
RXEN2: Ch.2受信許可(D6/0x401F3<シリアルI/F Ch.2制御レジスタ>)
RXEN3: Ch.3受信許可(D6/0x401F8<シリアルI/F Ch.3制御レジスタ>)

各チャンネルを受信許可状態に設定します。

"1"書き込み: 受信許可

"0"書き込み: 受信禁止

読み出し: 可能

RXENxに"1"を書き込むとそのチャンネルが受信許可状態となり、"0"を書き込むと受信禁止状態となります。転送モード等の設定を行う場合は、RXENxが"0"の状態で行ってください。

イニシャルリセット時、RXENxは"0"(受信禁止)に設定されます。

EPR0: Ch.0パリティイーネーブル(D5/0x401E3<シリアルI/F Ch.0制御レジスタ>)
EPR1: Ch.1パリティイーネーブル(D5/0x401E8<シリアルI/F Ch.1制御レジスタ>)
EPR2: Ch.2パリティイーネーブル(D5/0x401F3<シリアルI/F Ch.2制御レジスタ>)
EPR3: Ch.3パリティイーネーブル(D5/0x401F8<シリアルI/F Ch.3制御レジスタ>)

パリティ機能を選択します。

- "1"書き込み: パリティ付
- "0"書き込み: パリティなし
- 読み出し: 可能

EPRxによって、受信データのパリティチェック、および送信データへのパリティビットの付加を行うかどうかを選択します。EPRxに"1"を書き込むと受信データはパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。"0"を書き込んだ場合はチェックおよび付加は行われません。パリティ機能は調歩同期式モードの場合にのみ有効で、クロック同期式モードではEPRxの設定は無効となります。

イニシャルリセット時、EPRxは不定となります。

PMD0: Ch.0パリティモード選択(D4/0x401E3<シリアルI/F Ch.0制御レジスタ>)
PMD1: Ch.1パリティモード選択(D4/0x401E8<シリアルI/F Ch.1制御レジスタ>)
PMD2: Ch.2パリティモード選択(D4/0x401F3<シリアルI/F Ch.2制御レジスタ>)
PMD3: Ch.3パリティモード選択(D4/0x401F8<シリアルI/F Ch.3制御レジスタ>)

奇数パリティ/偶数パリティを選択します。

- "1"書き込み: 奇数パリティ
- "0"書き込み: 偶数パリティ
- 読み出し: 可能

PMDxに"1"を書き込むと奇数パリティが選択され、"0"を書き込むと偶数パリティが選択されます。パリティチェックおよびパリティビットの付加はEPRxに"1"が書き込まれている場合の調歩同期式転送にのみ有効で、EPRxに"0"が書き込まれている場合は、PMDxの設定は無効となります。

イニシャルリセット時、PMDxは不定となります。

STPB0: Ch.0ストップビット選択(D3/0x401E3<シリアルI/F Ch.0制御レジスタ>)
STPB1: Ch.1ストップビット選択(D3/0x401E8<シリアルI/F Ch.1制御レジスタ>)
STPB2: Ch.2ストップビット選択(D3/0x401F3<シリアルI/F Ch.2制御レジスタ>)
STPB3: Ch.3ストップビット選択(D3/0x401F8<シリアルI/F Ch.3制御レジスタ>)

調歩同期式転送を行う場合のストップビット長を選択します。

- "1"書き込み: 2ビット
- "0"書き込み: 1ビット
- 読み出し: 可能

STPBxは調歩同期式転送時にのみ有効なストップビット選択ビットです。"1"を書き込むとストップビットが2ビットに、"0"を書き込むと1ビットになります。スタートビットは1ビットに固定です。

クロック同期式転送を行う場合、STPBxの設定は無効となります。

イニシャルリセット時、STPBxは不定となります。

SSCK0: Ch.0入力クロック選択(D2/0x401E3<シリアルI/F Ch.0制御レジスタ>)
SSCK1: Ch.1入力クロック選択(D2/0x401E8<シリアルI/F Ch.1制御レジスタ>)
SSCK2: Ch.2入力クロック選択(D2/0x401F3<シリアルI/F Ch.2制御レジスタ>)
SSCK3: Ch.3入力クロック選択(D2/0x401F8<シリアルI/F Ch.3制御レジスタ>)

調歩同期式転送のクロック源を選択します。

- "1"書き込み: #SCLK(外部クロック)
- "0"書き込み: 内部クロック
- 読み出し: 可能

調歩同期式モード時に、内部クロック(8ビットプログラマブルタイマの出力)を使用するか、外部クロック(#SCLKx端子から入力)を使用するかを選択します。SSCKxに"1"を書き込むと外部クロック、"0"を書き込むと内部クロックが選択されます。

イニシャルリセット時、SSCKxは不定となります。

SMD01–SMD00: Ch.0転送モード選択(D[1:0]/0x401E3<シリアルI/F Ch.0制御レジスタ>)

SMD11–SMD10: Ch.1転送モード選択(D[1:0]/0x401E8<シリアルI/F Ch.1制御レジスタ>)

SMD21–SMD20: Ch.2転送モード選択(D[1:0]/0x401F3<シリアルI/F Ch.2制御レジスタ>)

SMD31–SMD30: Ch.3転送モード選択(D[1:0]/0x401F8<シリアルI/F Ch.3制御レジスタ>)

シリアルインタフェースの転送モードを表III.9.14のとおり設定します。

表III.9.14 転送モードの設定

SMDx1	SMDx0	転送モード
1	1	調歩同期式8ビットモード
1	0	調歩同期式7ビットモード
0	1	クロック同期式スレーブモード
0	0	クロック同期式マスタモード

SMDxは読み出しも可能です。

IrDAインタフェースを使用する場合は、必ず調歩同期式モードに設定してください。

イニシャルリセット時、SMDxは不定となります。

DIVMD0: Ch.0サンプリングクロック分周比選択(D4/0x401E4<シリアルI/F Ch.0 IrDAレジスタ>)

DIVMD1: Ch.1サンプリングクロック分周比選択(D4/0x401E9<シリアルI/F Ch.1 IrDAレジスタ>)

DIVMD2: Ch.2サンプリングクロック分周比選択(D4/0x401F4<シリアルI/F Ch.2 IrDAレジスタ>)

DIVMD3: Ch.3サンプリングクロック分周比選択(D4/0x401F9<シリアルI/F Ch.3 IrDAレジスタ>)

サンプリングクロックの分周比を選択します。

"1"書き込み: 1/8

"0"書き込み: 1/16

読み出し: 可能

調歩同期式転送のサンプリングクロックを生成するための分周比を選択します。DIVMDxに"1"を書き込むと、シリアルインタフェースの入力クロック(8ビットプログラマブルタイム出力または#SCLKx入力)を1/8に分周してサンプリングクロックを生成します。"0"を書き込んだ場合は1/16に分周されます。

イニシャルリセット時、DIVMDxは不定となります。

IRTL0: Ch.0 IrDA出力論理反転(D3/0x401E4<シリアルI/F Ch.0 IrDAレジスタ>)

IRTL1: Ch.1 IrDA出力論理反転(D3/0x401E9<シリアルI/F Ch.1 IrDAレジスタ>)

IRTL2: Ch.2 IrDA出力論理反転(D3/0x401F4<シリアルI/F Ch.2 IrDAレジスタ>)

IRTL3: Ch.2 IrDA出力論理反転(D3/0x401F9<シリアルI/F Ch.3 IrDAレジスタ>)

IrDA出力信号の論理を反転します。

"1"書き込み: 反転

"0"書き込み: 反転なし

読み出し: 可能

IrDAインタフェースを使用する場合に、SOUTx出力信号の論理を外部に接続する赤外線通信回路に合わせて設定します。IRTLxに"1"を書き込むと、出力データが"0"のときにHighパルスを出力するように設定されます(出力データが"1"のときはLowレベルを保持)。"0"を書き込んだ場合は、出力データが"0"のときにLowパルスを出力するように設定されます(出力データが"1"のときはHighレベルを保持)。

イニシャルリセット時、IRTLxは不定となります。

IRRL0: Ch.0 IrDA入力論理反転(D2/0x401E4<シリアル/F Ch.0 IrDAレジスタ>)

IRRL1: Ch.1 IrDA入力論理反転(D2/0x401E9<シリアル/F Ch.1 IrDAレジスタ>)

IRRL2: Ch.2 IrDA入力論理反転(D2/0x401F4<シリアル/F Ch.2 IrDAレジスタ>)

IRRL3: Ch.3 IrDA入力論理反転(D2/0x401F9<シリアル/F Ch.3 IrDAレジスタ>)

IrDA入力信号の論理を反転します。

"1"書き込み: 反転

"0"書き込み: 反転なし

読み出し: 可能

IrDAインタフェースを使用する場合に、外部に接続する赤外線通信回路からの入力信号の論理をシリアルインタフェースに合わせて設定します。IRRLxに"1"を書き込むと、Highパルスを"0"として入力します。"0"を書き込んだ場合は、Lowパルスを"0"として入力します。

イニシャルリセット時、IRRLxは不定となります。

IRMD01–IRMD00: Ch.0 IrDAインタフェース機能選択(D[1:0]/0x401E4<シリアル/F Ch.0 IrDAレジスタ>)

IRMD11–IRMD10: Ch.1 IrDAインタフェース機能選択(D[1:0]/0x401E9<シリアル/F Ch.0 IrDAレジスタ>)

IRMD21–IRMD20: Ch.2 IrDAインタフェース機能選択(D[1:0]/0x401F4<シリアル/F Ch.2 IrDAレジスタ>)

IRMD31–IRMD30: Ch.3 IrDAインタフェース機能選択(D[1:0]/0x401F9<シリアル/F Ch.3 IrDAレジスタ>)

IrDAインタフェース機能を選択します。

表III.9.15 IrDAインタフェースの設定

IRMDx1	IRMDx0	設定内容
1	1	設定禁止(reserved)
1	0	IrDA 1.0インタフェース
0	1	設定禁止(reserved)
0	0	通常のインタフェース

IrDAインタフェース機能を使用する場合は、調歩同期式モードに設定するとともに、IRMDxに"10"を書き込んでください。IrDA機能を使用しない場合はIRMDxに"00"を書き込んでください。

イニシャルリセット時、IRMDxは不定となります。

注: この選択は、必ず転送モード等、他の設定の前に行ってください。

PSIO02–PSIO00: Ch.0割り込みレベル

(D[6:4]/0x40269<8bitタイマ, シリアル/F Ch.0割り込みプライオリティレジスタ>)

PSIO12–PSIO10: Ch.1割り込みレベル

(D[2:0]/0x4026A<シリアル/F Ch.1, A/D変換器割り込みプライオリティレジスタ>)

PSIO22–PSIO20: Ch.2割り込みレベル

(D[2:0]/0x4026E<シリアル/F Ch.2/3割り込みプライオリティレジスタ>)

PSIO32–PSIO30: Ch.3割り込みレベル

(D[6:4]/0x4026E<シリアル/F Ch.2/3割り込みプライオリティレジスタ>)

シリアルインタフェース割り込みの優先レベルを設定します。

各チャンネルごとに、割り込みの優先レベルを0～7の範囲で設定できます。

イニシャルリセット時、PSIOxは不定となります。

ESERR0, ESRX0, ESTX0: Ch.0割り込みイネーブル

(D0, D1, D2/0x40276<シリアルI/F Ch.0/1割り込みイネーブルレジスタ>)

ESERR1, ESRX1, ESTX1: Ch.1割り込みイネーブル

(D3, D4, D5/0x40276<シリアルI/F Ch.0/1割り込みイネーブルレジスタ>)

ESERR2, ESRX2, ESTX2: Ch.2割り込みイネーブル

(D0, D1, D2/0x40279<シリアルI/F Ch.2/3割り込みイネーブルレジスタ>)

ESERR3, ESRX3, ESTX3: Ch.3割り込みイネーブル

(D3, D4, D5/0x40279<シリアルI/F Ch.2/3割り込みイネーブルレジスタ>)

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

ESERRx, ESRXx, ESTXxは、それぞれ各チャネルの受信エラー、受信バッファフル、送信バッファエンプティの割り込み要因に対応する割り込みイネーブルビットで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

イニシャルリセット時、割り込みイネーブルレジスタは"0"(割り込み禁止)に設定されます。

FSERR0, FSRX0, FSTX0: Ch.0割り込み要因フラグ

(D0, D1, D2/0x40286<シリアルI/F Ch.0/1割り込み要因フラグレジスタ>)

FSERR1, FSRX1, FSTX1: Ch.1割り込み要因フラグ

(D3, D4, D5/0x40286<シリアルI/F Ch.0/1割り込み要因フラグレジスタ>)

FSERR2, FSRX2, FSTX2: Ch.2割り込み要因フラグ

(D0, D1, D2/0x40289<シリアルI/F Ch.2/3割り込み要因フラグレジスタ>)

FSERR3, FSRX3, FSTX3: Ch.3割り込み要因フラグ

(D3, D4, D5/0x40289<シリアルI/F Ch.2/3割り込み要因フラグレジスタ>)

シリアルインタフェース割り込みの発生状態を示します。

• 読み出し時

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

• リセットオンリー方式書き込み時(デフォルト)

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

• リード/ライト方式書き込み時

"1"書き込み: 要因フラグをセット

"0"書き込み: 要因フラグをリセット

FSERRx, FSRXx, FSTXxフラグは、それぞれ各チャネルの受信エラー、受信バッファフル、送信バッファエンプティの割り込みに対応する割り込み要因フラグで、それぞれの要因の発生により"1"にセットされます。送信バッファエンプティ割り込み要因は、送信データが送信データレジスタからシフトレジスタに転送されたところで発生します。

受信バッファフル割り込み要因は、受信データがシフトレジスタから受信データレジスタに転送されたところで発生します。

受信エラー割り込み要因は、データ受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された場合に発生します。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

なお、受信バッファフル、送信バッファエンプティの割り込み要因をIDMA要求として使用する場合、上記の条件が成立している場合でも、割り込み要因発生時点でCPUに対する割り込み要求は出力されません。IDMAの設定で割り込みを許可してあれば、IDMAによるデータ転送終了後に上記の条件で割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み要因の発生により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。

割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。

イニシャルリセット時、これらのフラグはすべて不定となりますので、必ずソフトウェアでリセットしてください。

RSRX0, RSTX0: Ch.0 IDMAリクエスト

(D6, D7/0x40292<16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAリクエストレジスタ>)

RSRX1, RSTX1: Ch.1 IDMAリクエスト

(D0, D1/0x40293<シリアル/F Ch.1, A/D IDMAリクエストレジスタ>)

RSRX2, RSTX2: Ch.2 IDMAリクエスト

(D2, D3/0x4029B<8bitタイマ4/5, シリアル/F Ch.2/3 IDMAリクエストレジスタ>)

RSRX3, RSTX3: Ch.3 IDMAリクエスト

(D4, D5/0x4029B<8bitタイマ4/5, シリアル/F Ch.2/3 IDMAリクエストレジスタ>)

割り込み要因発生時にIDMAを起動するかどうか設定します。

• セットオンリー方式(デフォルト)

"1"書き込み: IDMA要求

"0"書き込み: 無効

読み出し: 可能

• リード/ライト方式

"1"書き込み: IDMA要求

"0"書き込み: 割り込み要求

読み出し: 可能

RSRXx, RSTXxはそれぞれ各チャネルの受信バッファフル、送信バッファエンプティの割り込み要因に対応するIDMAリクエストビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

IDMAについては"IDMA(インテリジェントDMA)"を参照してください。

イニシャルリセット時、これらのビットは"0"(割り込み要求)に設定されます。

DESRX0, DESTX0: Ch.0 IDMAイネーブル

(D6, D7/0x40296<16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAイネーブルレジスタ>)

DESRX1, DESTX1: Ch.1 IDMAイネーブル

(D0, D1/0x40297<シリアル/F Ch.1, A/D IDMAイネーブルレジスタ>)

DESRX2, DESTX2: Ch.2 IDMAイネーブル

(D2, D3/0x4029C<8bitタイマ4/5, シリアル/F Ch.2/3 IDMAイネーブルレジスタ>)

DESRX3, DESTX3: Ch.3 IDMAイネーブル

(D4, D5/0x4029C<8bitタイマ4/5, シリアル/F Ch.2/3 IDMAイネーブルレジスタ>)

割り込み要因によるIDMA転送を許可または禁止します。

• セットオンリー方式(デフォルト)

"1"書き込み: IDMA許可

"0"書き込み: 無効

読み出し: 可能

• リード/ライト方式

"1"書き込み: IDMA許可

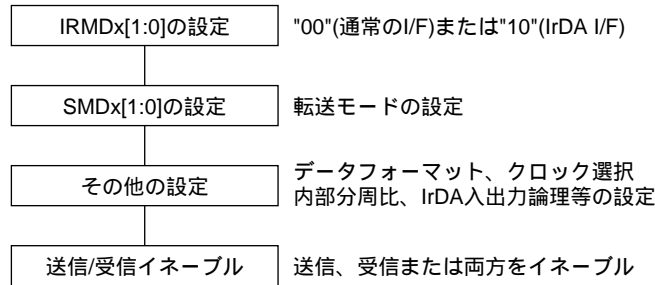
"0"書き込み: IDMA禁止

読み出し: 可能

DESRXx、DESTXxはそれぞれ各チャネルの受信バッファフル、送信バッファエンブティの割り込み要因に対応するIDMAイネーブルビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。イニシャルリセット時、これらのビットは"0"(IDMA禁止)に設定されます。

プログラミング上の注意事項

- (1) シリアルインタフェースの各種設定は、送受信が禁止の状態 (TXENx = RXENx = "0") で行ってください。
- (2) シリアルインタフェースが送信 (受信) 中は、TXENx (RXENx) を "0" に設定しないでください。また、slp 命令も実行しないでください。
- (3) クロック同期式転送は送受信で共通のクロックラインを使用する半二重通信です。したがって、TXENx と RXENx を同時に許可に設定することはできません。
- (4) イニシャルリセット後、割り込み要因フラグは不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。
- (5) 受信エラーが発生した場合、受信エラー割り込み要因と受信バッファフル割り込み要因が同時に発生します。ただし、受信エラー割り込みの優先順位が受信バッファフル割り込みよりも高く設定されていますので、受信エラー割り込みの処理が先に実行されます。このため、受信エラー割り込み処理の中で受信バッファフル割り込み要因フラグをリセットする必要があります。
- (6) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。
- (7) シリアルインタフェースは、次の手順で初期設定してください。



図III.9.18 シリアルインタフェースの初期設定手順

- (8) クロック同期式マスタモードで送信する場合、(7)のフローに従って初期設定を行った後、必要に応じて送信データを送信データレジスタに書き込みます。ただし、この書き込みは8ビットタイマからのクロックがシリアルインタフェースに供給されている状態 (具体的には最低1回は8ビットタイマのアンダーフローを発生させる) で行ってください。これ以外の場合、書き込んだ送信データの前に0xFFが送信されます。
- (9) シリアルインタフェースの転送レートは、最大1Mbpsと規定します。
- (10) 受信途中で受信回路を止める場合は、送信、受信とも禁止に設定してください。
- (11) クロック同期式モードでデータ転送を行う場合は、転送レートがシステムクロックの1/4以下になるようにプリスケアラの分周比および8ビットプログラマブルタイマのリロード値を設定してください。
- (12) シリアルインタフェースの動作は、プリスケアラが動作していることが条件です。
- (13) IrDAの受信時、RZI変調回路はSINxからの入力信号をエッジ (IRRLx = "0"のときは立ち上がりエッジ、IRRLx = "1"のときは立ち下がりエッジ) で受けるようになっています。ノイズなどにより誤動作する可能性がありますので注意してください。

このページはブランクです。

III-10 FIFO付きシリアルインタフェース

FIFO付きシリアルインタフェースの構成

FIFO付きシリアルインタフェースの特長

S1C33301は、標準シリアルインタフェース4チャンネルに加え、以下の特長を持つFIFO付きシリアルインタフェースを1チャンネル(Ch.0)内蔵しています。

- 転送方式としてクロック同期式モードまたは調歩同期式モードを選択可能

クロック同期式モード

データ長: 8ビット固定(スタート/ストップ/パリティビットなし)

受信エラー: オーバーランエラーを検出

調歩同期式モード

データ長: 7ビットまたは8ビットを選択可能

受信エラー: オーバーランエラー、フレーミングエラー、パリティエラーを検出

スタートビット: 1ビット固定

ストップビット: 1ビットまたは2ビットを選択可能

パリティビット: 偶数、奇数、またはなしを選択可能

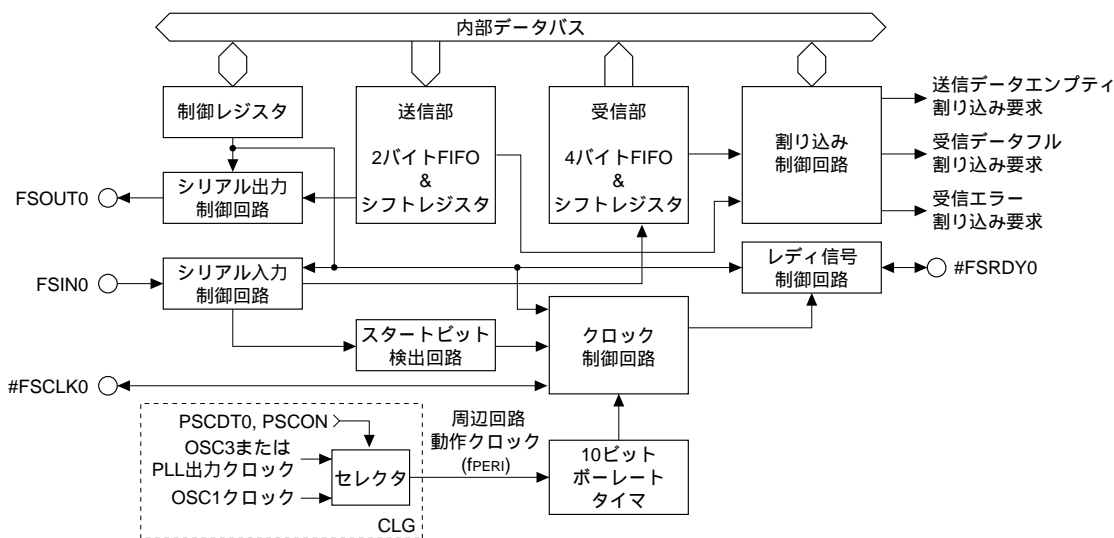
受信部と送信部が独立しているため、全二重通信が可能

IrDAインタフェースに対応

内部クロックまたは外部クロック入力を選択可能

- ボーレート設定 内蔵の10ビットボーレートタイマの設定、または外部クロック(調歩同期式のみ)により、任意のボーレートを設定可能
- 4バイトの受信データバッファ(FIFO)および2バイトの送信データバッファ(FIFO)により、連続受信、連続送信が可能
- IDMA/HSDMAによるデータ転送が可能
- 3種類(送信バッファエンプティ、受信バッファフル、受信エラー)の割り込みを発生可能

図III.10.1に本シリアルインタフェースの構成を示します。



図III.10.1 FIFO付きシリアルインタフェースの構成

注: FIFO付きシリアルインタフェースは前章で説明した標準シリアルインタフェースCh.0と端子を共用しており、P00-P03ポート機能拡張レジスタ(0x300040)によってどちらを使用するか選択可能です。

FIFO付きシリアルインタフェースの入出力端子

表III.10.1にFIFO付きシリアルインタフェースで使用する端子を示します。

表III.10.1 FIFO付きシリアルインタフェースの端子構成

端子名	I/O	機 能	機能選択ビット
P00(SIN0/ FSIN0)	I/O	入出力兼用ポート/シリアルIF Ch.0データ入力/ FIFO付きシリアルIF Ch.0データ入力	EFP00[1:0] (P00–P03ポート機能拡張レジスタ0x300040•D[1:0])
P01(SOUT0/ FSOUT0)	I/O	入出力兼用ポート/シリアルIF Ch.0データ出力/ FIFO付きシリアルIF Ch.0データ出力	EFP01[1:0] (P00–P03ポート機能拡張レジスタ0x300040•D[3:2])
P02(#SCLK0/ #FSCLK0)	I/O	入出力兼用ポート/シリアルIF Ch.0クロック入出力/ FIFO付きシリアルIF Ch.0クロック入出力	EFP02[1:0] (P00–P03ポート機能拡張レジスタ0x300040•D[5:4])
P03(#SRDY0/ #FSRDY0)	I/O	入出力兼用ポート/シリアルIF Ch.0レディ入出力/ FIFO付きシリアルIF Ch.0レディ入出力	EFP03[1:0] (P00–P03ポート機能拡張レジスタ0x300040•D[7:6])

FSIN α (シリアルデータ入力端子)

シリアルデータを入力します。転送モードにかかわらず共通です。

FSOUT α (シリアルデータ出力端子)

シリアルデータを出力します。転送モードにかかわらず共通です。

#FSCLK α (クロック入出力端子)

クロックを入出力します。

クロック同期式スレーブモードではクロック入力端子として、クロック同期式マスタモードではクロック出力端子として使用されます。

調歩同期式モードでは、外部クロックを使用する場合にクロック入力端子として使用されます。内部クロックを使用する場合はこの端子を使用しませんので、入出力兼用ポートとして使用することができます。

#FSRDY α (レディ信号入出力端子)

クロック同期式モードで使用するレディ信号を入出力します。

クロック同期式スレーブモードではレディ信号出力端子として、クロック同期式マスタモードではレディ信号入力端子として使用されます。

調歩同期式モードではこの端子を使用しませんので、入出力兼用ポートとして使用することができます。

FIFO付きシリアルインタフェース入出力端子の設定方法

FIFO付きシリアルインタフェースで使用する端子は標準シリアルインタフェースCh.0および入出力兼用ポート端子と共用されており、コールドスタート時にすべて入出力兼用ポート端子P0 α (機能拡張ビット EFP0xx = "0")として設定されます。FIFO付きシリアルインタフェースを使用する場合は、転送モードに合わせ、使用する端子の機能拡張ビットの設定を行ってください。

FIFO付きシリアルインタフェースを使用するためのBCUの設定

FIFO付きシリアルインタフェースの制御レジスタ(割り込み制御レジスタは除く)は、エリア6の0x300200～0x300209番地に割り付けられています。したがって、本シリアルインタフェースにアクセスする前に、エリア6のBCUレジスタを以下のとおり設定しておく必要があります。

1. A6IQ(アクセス制御レジスタ0x48132・D9)= "1"
エリア6は、内部デバイスがアクセスされるように設定します。
2. A6EQ(アクセス制御レジスタ0x48132・D1)= "0"
エリア6のエンディアン形式をリトルエンディアンに設定します。
3. A6WT[2:0](エリア6≒4設定レジスタ0x4812A・D[A:8])= "001"
エリア6のウェイト数を1に設定します。

転送モードの設定

本シリアルインタフェースの転送モードは、FIFOシリアルI/F Ch.0制御レジスタ(0x300203)のSMD0[1:0](D[1:0])によって表III.10.2のように設定できます。

表III.10.2 転送モード

SMD01	SMD00	転送モード
1	1	調歩同期式8ビットモード
1	0	調歩同期式7ビットモード
0	1	クロック同期式スレーブモード
0	0	クロック同期式マスタモード

イニシャルリセット時、SMD0は不定となりますので、必ずソフトウェアで初期化してください。

IrDAインタフェースを使用する場合は、調歩同期式7ビットモードまたは調歩同期式8ビットモードに設定してください。

入出力端子は転送モードにより構成が異なります。表III.10.3に各モードの端子構成を示します。

表III.10.3 転送モードによる端子設定

転送モード	FSIN0	FSOUT0	#FSCLK0	#FSRDY0
調歩同期式8ビット	データ入力	データ出力	クロック入力/Pポート	Pポート
調歩同期式7ビット	データ入力	データ出力	クロック入力/Pポート	Pポート
クロック同期式スレーブ	データ入力	データ出力	クロック入力	レディ出力
クロック同期式マスタ	データ入力	データ出力	クロック出力	レディ入力

クロック同期式モードは4本すべてを使用します。

調歩同期式モードでは#FSRDY0を使用しないため、P03は入出力兼用(P)ポートとして使用可能です。また、外部クロックを使用しない場合はP02も入出力兼用ポートとして使用可能です。

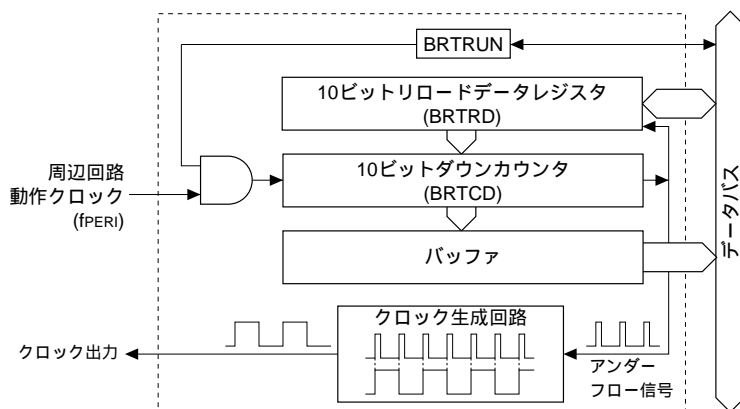
本シリアルインタフェースに使用される入出力兼用ポートのI/O制御レジスタおよびデータレジスタは、リード/ライト可能な汎用レジスタとして使用することができます。

注: IrDAインタフェースを設定するためにFIFOシリアルI/F Ch.0 IrDAレジスタ(0x300204)にIRMD0[1:0](D[1:0])が設けられています。このビットはイニシャルリセット時に不定となりますので、通常のインタフェースとして使用する場合は"00"を、IrDAインタフェースとして使用する場合は"10"を書き込んで初期化してください。

ボーレートタイマ(ボーレートの設定)

クロック同期式マスタモードはデータ転送に内部クロックを使用します。また、調歩同期式モードでも、内部クロックを動作クロックとして選択することができます。このクロックを生成するため、本シリアルインタフェースは、専用のボーレートタイマ(10ビットプログラマブルタイマ)を内蔵しています。カウンタの初期値をソフトウェアで設定することにより、転送クロック/サンプリングクロックの周波数を任意に設定可能です。

クロック同期式スレープモードの場合、あるいは調歩同期式モードで外部クロックを使用する場合、ボーレートタイマを設定して動作させる必要はありません。



図III.10.2 ボーレートタイマによる転送クロックの生成

ボーレートタイマは10ビットのプリセッタブルダウンカウンタBRTCD[9:0] (0x300209・D[1:0]、0x300208・D[7:0])と、カウンタに初期値をセットするための10ビットリロードデータレジスタBRTRD[9:0] (0x300207・D[1:0]、0x300206・D[7:0])で構成されます。

カウントクロックには、周辺回路動作クロックが使用されます。

周辺回路動作クロックは、プリスケラクロック選択レジスタ(0x40181)のPSCDT(D0)によって選択された以下のクロックです。

PSCDT0="0"の場合: OSC3クロック(PLL未使用時) またはPLL出力クロック(PLL使用時)

PSCDT0="1"の場合: OSC1クロック(32kHz Typ.)

イニシャルリセット時はOSC3/PLLクロックが選択されます。

また、選択したクロックは、パワーコントロールレジスタ(0x40180)のPSCON(D5)が"1"に設定されているときに本シリアルインタフェースを含め周辺回路に供給されます。イニシャルリセット時、PSCONは"1"に設定され、クロック供給状態となります。PSCONを"0"に設定すると、クロックの供給が停止します。

発振回路とCPU動作クロックの制御については"CLQ(クロックジェネレータ)"を、プリスケラクロックの制御については"プリスケラ"を参照してください。

ボーレートタイマでクロックを生成する操作手順は次のとおりです。

1. リロードデータレジスタBRTRD[9:0] (0x300207・D[1:0]、0x300206・D[7:0])に初期値をセット
2. BRTRUN(FIFOシリアルI/F Ch.0ボーレートタイマ制御レジスタ0x300205・D0)を"1"に設定

BRTRUNに"1"が書き込まれると、ボーレートタイマはリロードデータレジスタに設定した初期値をカウンタにロードしてカウントダウンを開始します。カウンタはアンダーフローすると、アンダーフローパルスを出力するとともにリロードデータをロードしてカウントを継続します。

これにより、リロードデータで決まる周期でアンダーフローが発生します。クロック生成回路はアンダーフロー信号によって出力信号のレベルを反転させ、デューティ比が50%でアンダーフローを1/2に分周したクロックを生成します。

シリアル通信時以外は、消費電流を低減させるため、ボーレートタイマを停止(BRTRUNを"0"に設定)してください。

注: ボーレートタイマクロック(周辺回路動作クロック)には、CPU動作クロックと同じクロック源を設定してください。

リロードデータの算出方法

リロードデータレジスタに設定する初期値は以下の式で求められます。ボーレートタイマの出力クロックを直接同期クロックとして使用するクロック同期式マスタモードと、サンプリングクロックとして使用する調歩同期式モードでは式が異なります。

クロック同期式マスタモードの場合

$$\text{BRTRD} = \frac{f_{\text{PERI}}}{2 \times \text{bps}} - 1 \quad (\text{式1})$$

BRTRD: ボーレートタイマのリロードレジスタ設定値

f_{PERI}: C33周辺回路動作クロックの周波数(Hz)

bps: 転送速度(ビット/秒)

調歩同期式モードの場合

$$\text{BRTRD} = \frac{f_{\text{PERI}} \times \text{DIVMD}}{2 \times \text{bps}} - 1 \quad (\text{式2})$$

BRTRD: ボーレートタイマのリロードレジスタ設定値

f_{PERI}: C33周辺回路動作クロックの周波数(Hz)

bps: 転送速度(ビット/秒)

DIVMD: シリアルインタフェース内部分周比(1/16または1/8、DIVMD0で選択)

表III.10.4に調歩同期式モードに内部分周比を1/16に設定した場合のリロードデータ設定例を示します。

表III.10.4 転送速度の設定例

転送速度 (bps)	f _{PERI} = 20MHz		f _{PERI} = 25MHz		f _{PERI} = 33MHz	
	BRTRD	誤差(%)	BRTRD	誤差(%)	BRTRD	誤差(%)
1200	520	-0.16026	650	0.00640	858	0.04366
2400	259	0.16026	325	-0.14698	429	-0.07267
4800	129	0.16026	162	-0.14698	214	-0.07267
9600	64	0.16026	80	0.46939	106	0.39427
14400	42	0.93669	53	0.46939	71	-0.53530
28800	21	-1.35732	26	0.46939	35	-0.53530

誤差はできるだけ1%以内となるように設定してください。誤差の計算式は次のとおりです。

$$\text{誤差} = \left\{ \frac{f_{\text{PERI}} \times \text{DIVMD}}{(\text{BRTRD} + 1) \times 2 \times \text{bps}} - 1 \right\} \times 100 [\%]$$

クロック同期式インタフェース

クロック同期式インタフェースの概要

クロック同期式転送は8ビットデータを送信側、受信側に共通のクロックに同期させて転送する方式です。送信部に2バイト、受信部に4バイトのバッファ(FIFO)を内蔵しているため、連続送信および連続受信が可能です。クロックラインが送受信で共用されるため、半二重通信となります。

マスタモードとスレーブモード

FIFOシリアルI/F Ch.0制御レジスタ(0x300203)のSMD0[1:0](D[1:0])によってクロック同期式マスタモードまたはクロック同期式スレーブモードが選択できます。

クロック同期式マスタモード(SMD0[1:0] = "00")

本モードでは、内蔵シフトレジスタの同期クロックとして内部クロックを使用する、本シリアルインタフェースをマスタとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックは#FSCLK0端子から出力され、外部(スレーブ側)のシリアル入出力デバイスを制御することができます。また、#FSRDY0端子には外部シリアル入出力デバイスの送受信レディ状態(Lowで送受信レディ)を示す信号を入力します。

クロック同期式スレーブモード(SMD0[1:0] = "01")

本モードでは、外部(マスタ側)のシリアル入出力デバイスから供給される同期クロックを使用する、本シリアルインタフェースをスレーブとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックは#FSCLK0端子より入力し、本シリアルインタフェースの同期クロックとして使用します。また、本シリアルインタフェースの送受信レディ状態を示す#FSRDY0信号が#FSRDY0端子から出力されます。

図III.10.3にクロック同期式モードにおける入出力端子の接続例を示します。

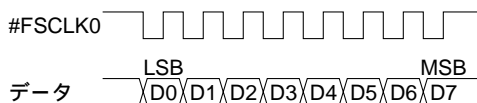


図III.10.3 クロック同期式マスタモードの接続例

クロック同期式転送データフォーマット

クロック同期式転送では、データフォーマットが次のとおり固定です。

データ長: 8ビット
 スタートビット: なし
 ストップビット: なし
 パリティビット: なし



図III.10.4 クロック同期式転送データフォーマット

シリアルデータはLSBを先頭として送受信されます。

クロック同期式インタフェースの設定

FIFO付きシリアルインタフェースでクロック同期式転送を行う場合は、データ転送開始前に以下の設定が必要です。

1. 入出力端子の設定
2. インタフェースモードの設定
3. 転送モードの設定
4. 入力クロックの設定
5. 受信FIFOレベルの設定
6. 割り込み/IDMA/HSDMAの設定

以下、各設定内容について説明します。割り込みとDMAの設定については"FIFO付きシリアルインタフェース割り込みとDMA"を参照してください。

注: これらの設定は、必ず本シリアルインタフェースが動作停止中に TXEN0およびRXEN0を"0"に設定して行ってください。動作中の設定変更は誤動作の原因となります。

入出力端子の設定

クロック同期式モードでは、FSIN0、FSOUT0、#FSCLK0、#FSRDY0の4本の端子をすべて使用します。P00~P03機能拡張レジスタ(0x300040)のEFP0xx(D[7:0])に"01010101"を設定してください。

インタフェースモード設定

インタフェースモード(通常のインタフェースまたはIrDAインタフェース)を設定するFIFOシリアルI/F Ch.0 IrDAレジスタ(0x300204)のIRMD0[1:0](D[1:0])に"00"を書き込み、通常のインタフェースを選択します。IRMD0はイニシャルリセット時に不定となりますので、初期化する必要があります。

転送モード設定

前述のとおり、FIFO付きシリアルインタフェースの転送モードをSMD0で設定します。本インタフェースをクロック同期式転送のマスタとして使用する場合はSMD0[1:0]を"00"に、スレーブとして使用する場合は"01"に設定してください。

入力クロックの設定

• クロック同期式マスタモード

クロック同期式マスタモードはボーレートタイマで生成したクロックで動作します。
"ボーレートタイマ(ボーレートの設定)"に示したとおり、ボーレートタイマを設定して動作させます。FIFO付きシリアルインタフェースの制御レジスタの中に、調歩同期式モードのクロック源を選択するSSCK0ビットがあります。このビットはクロック同期式モードのクロックには影響を与えませんが、イニシャルリセット時に不定となるため、クロック同期式マスタモードで使用する場合でも"0"(内部クロック)を書き込んで初期化してください。

• クロック同期式スレーブモード

クロック同期式スレーブモードは外部マスタが出力するクロックで動作します。クロックは#FSCLK0端子から入力します。
したがって、ボーレートタイマの制御は必要ありません。

SSCK0ビットは"1"(#FSCLK0)を書き込んで初期化してください。

受信FIFOレベルの設定

本シリアルインタフェースには4バイトの受信FIFOが内蔵されており、受信データレジスタが読み出されない場合でも、4データまでオーバーライトエラーとはならず受信することができます。本シリアルインタフェースはデータを受信した際に受信バッファフル割り込みが発生しますが、これを受信用FIFOにデータをいくつ受信した時点で発生させるか設定しておくことができます。この設定には、FIFOシリアルI/F Ch.0 IrDAレジスタ(0x300204)のFIFOINT0[1:0](D[6:5])を使用します。0~3の書き込みでデータの個数は1~4に設定されます。イニシャルリセット時のデフォルト設定は0で、データを1個受信すると受信バッファフル割り込みが発生するようになっています。

クロック同期式転送の制御と動作

送信制御

(1) 送信許可

送信の制御には、FIFOシリアルI/F Ch.0制御レジスタ(0x300203)の送信許可ビットTXENQ(D7)を使用します。このビットに"1"を書き込んで送信を許可状態にすると、シフトレジスタへのクロック入力がいネーブル(入力可能な状態)となり、データの送信が行える状態となります。#FSCLK0端子の同期クロック入出力もいネーブル(入出力可能な状態)となります。

TXENQに"0"を書き込むと送信禁止状態に戻り、送信データバッファ(FIFO)もクリア(初期化)されます。

なお、端子の機能拡張レジスタをFIFO付きシリアルインタフェース入出力用に設定した後、#FSRDY0、#FSCLK0は以下のタイミングで入力/出力が切り換わります。

#FSRDY0: スレーブモードに設定 出力モードに切り換わります。

上記以外 入力モード

#FSCLK0: マスタモードに設定 出力モードに切り換わります。

上記以外 入力モード

注: クロック同期式転送は送受信で共通のクロックラインを使用する半二重通信です。したがって、TXENQと受信許可ビットRXENQを同時に許可に設定することはできません。送信を行う場合はRXENQを"0"に固定し、変更しないでください。

また、送信中はTXENQを"0"に設定しないでください。

(2) 送信手順

本シリアルインタフェースには、送信用シフトレジスタ、送信データレジスタが受信用とは独立して設けられています。

送信データは送信データレジスタTXDQ[7:0](0x300200)に書き込みます。TXDQに書き込んだデータは送信データバッファに入り送信まで待機します。

送信データバッファは2バイトのFIFOで、空の場合は2データまで続けて書き込むことができます。データは古いものから順に送信され、送信したデータはクリアされます。このバッファにより、データの送信中でも次の送信データを送信データレジスタに書き込むことができます。このバッファが空かどうかはFIFOシリアルI/F Ch.0ステータスレジスタ(0x300202)の送信データバッファエンプティフラグTDBEQ(D1)で確認可能です。このビットは送信データバッファに1つ以上の空きがある場合に"1"となり、送信データの書き込みによってデータバッファが満杯になると"0"になります。

送信データレジスタにデータを書き込むことにより、FIFO付きシリアルインタフェースは送信動作を開始します。送信状態は、FIFOシリアルI/F Ch.0ステータスレジスタ(0x300202)の送信終了フラグTENDQ(D5)で確認できます。このビットはデータ送信中に"1"となり、送信を終了すると"0"に戻ります。

クロック同期式転送で連続してデータを送信する場合、マスタモード時は全データを送信するまで"1"を保持し(図III.10.5)、スレーブモード時は1バイト送信するごとに"0"となります(図III.10.6)。

送信データバッファ内のデータがすべて送信されると、送信バッファエンプティ割り込み要因が発生します。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンで次の送信データを書き込むことができます。また、この割り込み要因でDMAを起動することもできますので、メモリ上に用意したデータを送信データレジスタにDMA転送して連続送信することも可能です。

割り込みとDMAの制御方法については、"FIFO付きシリアルインタフェース割り込みとDMA"を参照してください。

マスタモード、スレーブモードそれぞれの送信動作は以下のとおりです。

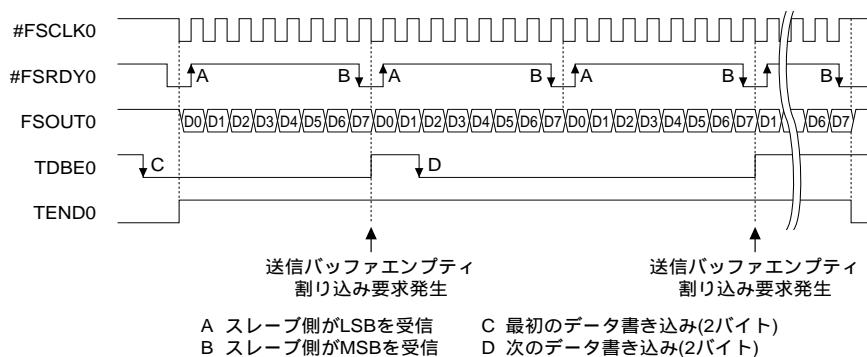
• クロック同期式マスタモード

マスタモードが送信動作を開始するタイミングは次のとおりです。

送信データバッファにデータが書き込まれている状態で、#FSRDY0がLowになった場合
または

#FSRDY0がLowの状態、送信データバッファにデータが書き込まれた場合

図III.10.5にクロック同期式マスタモードの送信タイミングチャートを示します。

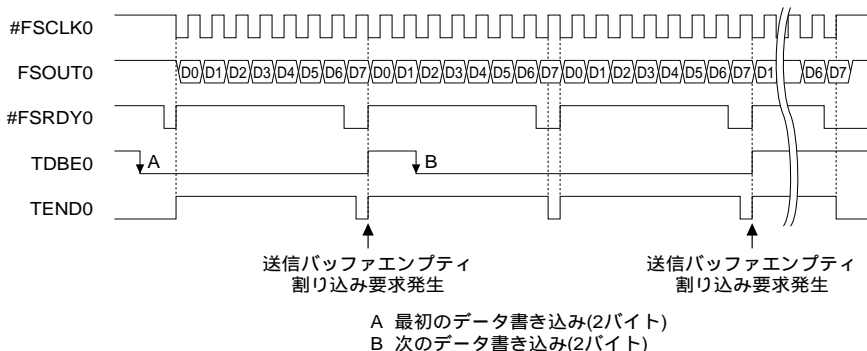


図III.10.5 クロック同期式マスタモードの送信タイミング

1. スレーブからの#FSRDY0信号がHighの場合はLow(受信レディ)になるまで待機します。
2. #FSRDY0がLowの場合はFIFO付きシリアルインタフェースへの同期クロックの入力を開始します。同期クロックは#FSCLK0端子からスレーブ側のデバイスにも出力されます。
3. クロックの最初の立ち下がりエッジに同期して送信データバッファの内容がシフトレジスタに転送されます。同時に、シフトレジスタに転送されたデータのLSBがFSOUT0端子から出力されます。この時点で送信データバッファが空になった場合は、送信バッファエンプティ割り込み要求が発生します。
4. 続くクロックの立ち下がりエッジでシフトレジスタのデータが1ビットシフトし、続くビットをFSOUT0から出力します。8ビットのデータが送信されるまで、この動作を繰り返します。スレーブ側のデバイスは、各ビットを同期クロックの立ち上がりエッジで取り込みます。
5. 送信データバッファにデータがある場合は、同様に次のデータを送信します。

● クロック同期式スレーブモード

図III.10.6にクロック同期式スレーブモードの送信タイミングチャートを示します。



図III.10.6 クロック同期式スレーブモードの送信タイミング

1. #FSRDY0信号をLow(送信レディ)にしてマスタ側からのクロック入力を待ちます。
2. 同期クロックが#FSCLK0端子から入力されると、クロックの最初の立ち下がりエッジに同期してデータレジスタの内容がシフトレジスタに転送されます。同時に、シフトレジスタに転送されたデータのLSBがFSOUT0端子から出力されます。
#FSRDY0信号はこの時点でHighに戻ります。また、送信データバッファが空になった場合は、送信バッファエンプティ割り込み要求が発生します。
3. 続くクロックの立ち下がりエッジでシフトレジスタのデータが1ビットシフトし、続くビットをFSOUT0から出力します。8ビットのデータが送信されるまで、この動作を繰り返します。
4. 最後のビット(8ビット目)をFSOUT0端子に出力したところで、#FSRDY0信号をLowにします。マスタ側のデバイスは、各ビットを同期クロックの立ち上がりエッジで取り込みます。
5. 送信データバッファにデータがある場合は、同様に次のデータを送信します。

(3) 送信の終了

データの送信が終了した場合は、送信許可ビットTXEN0に"0"を書き込んで送信禁止に設定してください。これにより送信データバッファ(FIFO)もクリア(初期化)されますので、TXEN0に"0"を書き込む前に送信データバッファに送信待ちのデータが残っていないことを確認してください。

受信制御

(1) 受信許可

受信の制御には、FIFOシリアルI/F Ch.0制御レジスタ(0x300203)の受信許可ビットRXENQ(D6)を使用します。このビットに"1"を書き込んで受信を許可状態にすると、シフトレジスタへのクロック入力がいネーブル(入力可能な状態)となり、データの受信動作を開始します。#FSCLK0端子の同期クロック入出力もいネーブル(入出力可能な状態)となります。

RXEN0に"0"を書き込むと受信禁止状態に戻り、受信データバッファ(FIFO)もクリア(初期化)されます。

なお、端子の機能拡張レジスタをFIFOシリアルインタフェース入出力用に設定した後、#FSRDY0、#FSCLK0は以下のタイミングで入力/出力が切り換わります。

#FSRDY0: スLEEPモードに設定 出力モードに切り換わります。

上記以外 入力モード

#FSCLK0: マスタモードに設定 出力モードに切り換わります。

上記以外 入力モード

注: クロック同期式転送は送受信で共通のクロックラインを使用する半二重通信です。したがって、RXEN0と送信許可ビットTXEN0を同時に許可に設定することはできません。受信を行う場合はTXEN0を"0"に固定し、変更しないでください。

また、受信中はRXEN0を"0"に設定しないでください。

(2) 受信手順

本シリアルインタフェースには、受信用シフトレジスタ、受信データバッファ、受信データレジスタが送信用とは独立して設けられています。

受信したデータは受信データバッファに入ります。受信データバッファは4バイトのFIFOで、これが満杯になるまでは、読み出しを行わなくても正しく受信できます。

バッファ内の受信データは、受信データレジスタRXD0[7:0](0x300201)をアクセスすることによって古いものから順に読み出すことができ、読み出しによりクリアされます。

受信データバッファ内にあるデータの数、FIFOシリアルI/F Ch.0ステータスレジスタ(0x300202)のRXD0NUM[1:0](D[7:6])で確認できます。RXD0NUM[1:0]が0の場合、バッファ内には0個または1個のデータがあります。RXD0NUM[1:0]が1~3の場合、バッファ内には2~4個のデータがあります。

また、受信データバッファに受信データがあることを示すフラグRDBFQ(FIFOシリアルI/F Ch.0ステータスレジスタ0x300202・D0)が設けられています。このビットは受信データバッファ内に1つ以上の受信データがあると"1"となり、データがすべて読み出されて空になると"0"に戻ります。

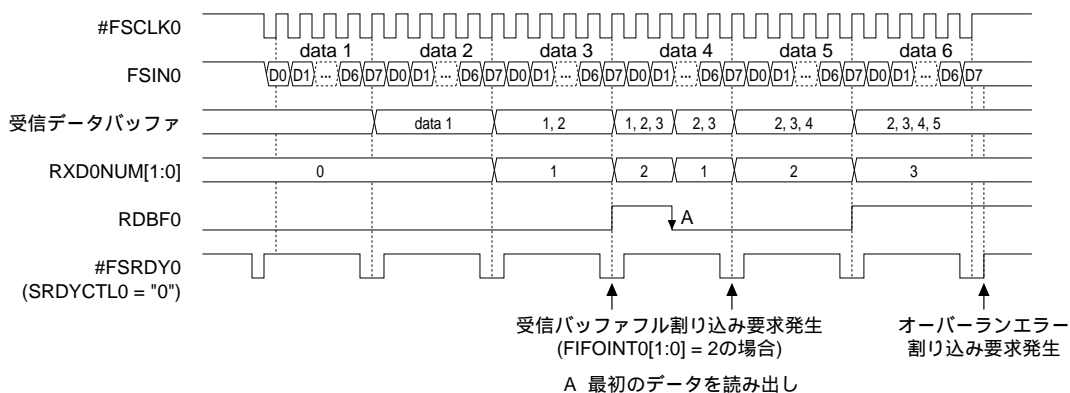
受信データバッファ内のデータ数がFIFOINT0[1:0]で指定した個数以上になると、受信バッファフル割り込み要因が発生します。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンで受信データを読み出すことができます。また、この割り込み要因でDMAを起動することもできますので、メモリ上に用意した領域に受信データをDMA転送して連続受信することも可能です。

割り込みとDMAの制御方法については、"FIFO付きシリアルインタフェース割り込みとDMA"を参照してください。

マスタモード、スLEEPモードそれぞれの受信動作は以下のとおりです。

• クロック同期式マスタモード

図III.10.7にクロック同期式マスタモードの受信タイミングチャートを示します。

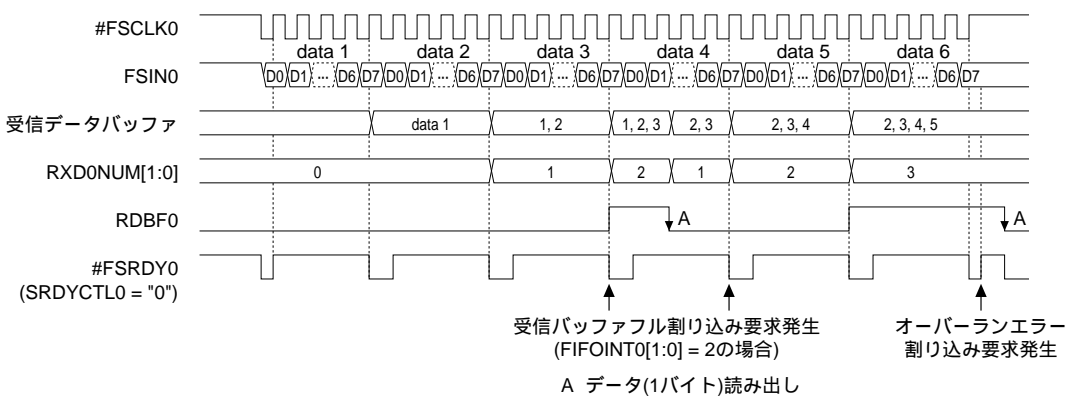


図III.10.7 クロック同期式マスタモードの受信タイミング

1. スレーブからの#FSRDY0信号がHighの場合はLow(送信レディ)になるまで待機します。
2. #FSRDY0がLowの場合はFIFO付きシリアルインタフェースへの同期クロックの入力を開始します。同期クロックは#FSCLK0端子からスレーブ側のデバイスにも出力されます。
3. スレーブ側のデバイスはクロックの立ち上がりエッジに同期してデータの各ビットを出力します。LSBを最初に出力します。
4. 本シリアルインタフェースは、FSIN0の入力をクロックの立ち上がりエッジでシフトレジスタに取り込みます。シフトレジスタはビットの取り込みにより順次シフトされます。データのMSBを受信するまで、この動作を繰り返します。
5. MSBが取り込まれると、シフトレジスタのデータは受信データバッファに転送され、データが読み出せる状態となります。

• クロック同期式スレーブモード

図III.10.8にクロック同期式スレーブモードの受信タイミングチャートを示します。



図III.10.8 クロック同期式スレーブモードの受信タイミング

1. #FSRDY0信号をLow(受信レディ)にしてマスタ側からのクロック入力を待ちます。
2. マスタ側のデバイスはクロックの立ち下がりエッジに同期してデータの各ビットを出力します。LSBを最初に出力します。
3. 本シリアルインタフェースは、FSIN0の入力を#FSCLK0から入力したクロックの立ち上がりエッジでシフトレジスタに取り込みます。シフトレジスタはビットの取り込みにより順次シフトされます。データのMSBを受信するまで、この動作を繰り返します。
4. MSBが取り込まれると、シフトレジスタのデータは受信データバッファに転送され、データが読み出せる状態となります。

(3) オーバーランエラー

受信データバッファが満杯(4データ受信済み)の状態でも、次に送られる5番目のデータはシフトレジスタに受信可能です。ただし、その受信が終了した時点で、受信データバッファに空きがなければ(それまでにデータが読み出されていなければ)、シフトレジスタに受信した5番目のデータはバッファに送られません。その状態でさらに6番目のデータが送られてくると、シフトレジスタ(5番目のデータ)はそのデータで上書きされ、オーバーランエラーが発生します。

オーバーランエラーが発生するとFIFOシリアルI/F Ch.0ステータスレジスタ(0x300202)のオーバーランエラーフラグOER(D2)が"1"にセットされます。オーバーランエラーフラグは、"1"にセットされるとソフトウェアで"0"を書き込むまでリセットされません。

オーバーランエラーはFIFO付きシリアルインタフェースの受信エラー割り込み要因のひとつです。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンでエラー処理が行えます。

次に説明する#FSRDY0制御により、オーバーランエラーを発生しないようにすることもできます。

(4) #FSRDY0信号の制御

受信時の#FSRDY0信号は、スレーブデバイスがマスタデバイスに対してデータが受信可能であることを知らせるために出力します。

本シリアルインタフェースがクロック同期式スレーブモードの場合、RXEN0に"1"を書き込んで受信を許可すると#FSRDY0信号はLowとなり、受信可能であることをマスタ側のデバイスに知らせます。シリアルデータのLSBを受信すると#FSRDY0はHighとなり、MSBを受信すると次の受信に備えてLowに戻ります。

オーバーランエラーが発生した場合は、その時点で#FSRDY0がHigh(受信不可)となりますので、続くデータ受信は中断します。この場合、受信データバッファのデータを読み出すことで#FSRDY0がLowに戻り、続くデータがあれば受信を再開します。

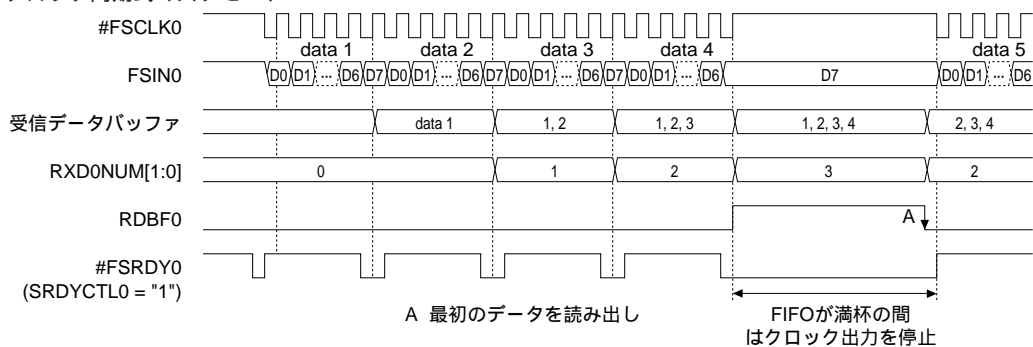
通常の出カタイミングは図III.10.8に示したとおりで、受信データバッファが満杯の場合でも#FSRDY0信号は受信可能として出力されます。この状態で受信データバッファが読み出せない場合、前記のようにオーバーランエラーが発生します。これを防ぐため、受信データバッファが満杯の場合には、バッファ内のデータを読み出すまで#FSRDY0信号を強制的にHighにして、マスタデバイスのデータ送信を中断させることができるようになっています。

この機能を使用するには、FIFOシリアルI/F Ch.0 IrDAレジスタ(0x300204)のSRDYCTL(D7)を"1"(Highマスクモード)に設定します。

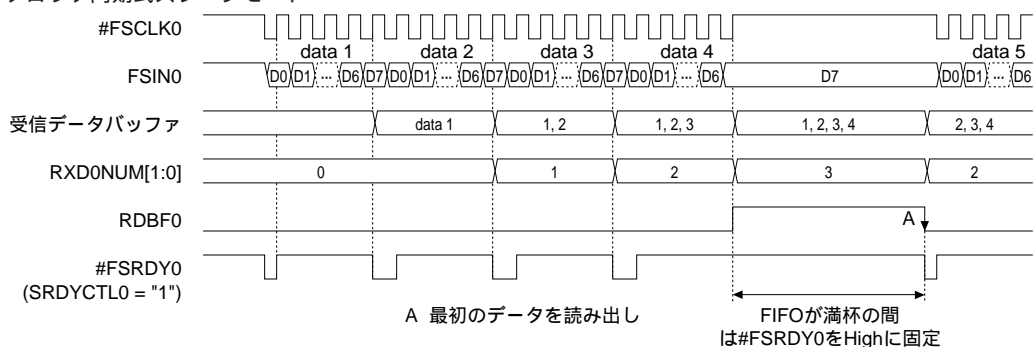
クロック同期式マスタモードでもこの機能は有効で、受信データバッファが満杯になると、データを読み出すまでスレーブからの#FSRDY(Low)を無視し#FSCLK0の出力を停止します。

この機能を有効にした場合でも、受信データバッファが満杯以外では、通常の受信動作を行います。

クロック同期式マスタモード



クロック同期式スレーブモード



図III.10.9 #FSRDY0信号のHighマスクモード

(5) 受信の終了

データの受信が終了した場合は、受信許可ビットRXEN0に"0"を書き込んで受信禁止に設定してください。これにより受信データバッファ(FIFO)もクリア(初期化)されますので、RXEN0に"0"を書き込む前に受信データバッファに読み出し前のデータが残っていないことを確認してください。

調歩同期式インタフェース

調歩同期式インタフェースの概要

調歩同期式転送は、シリアル変換した各データの前後にスタートビットとストップビットを付加して転送を行う方式です。この方式では、送信側、受信側それぞれで完全に同期の一致したクロックを用いる必要はなく、各データの前後に付けられたスタート/ストップビットで同期をとりながら転送を行います。

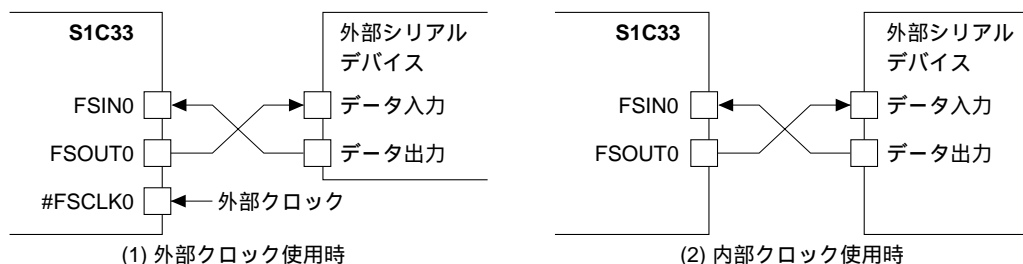
調歩同期式8ビットモード(SMD0[1:0] = "11")では8ビットデータの転送、調歩同期式7ビットモード(SMD0[1:0] = "10")では7ビットデータの転送が行えます。

どちらのモードも、ストップビット長の選択、パリティビットの追加、偶数/奇数パリティの選択が可能です。スタートビットは1ビットに固定です。

動作クロックには、ボーレートタイマによる内部クロック、または#FSCLK0端子から入力する外部クロックのいずれかを選択することができます。

送信部に2バイト、受信部に4バイトのバッファを内蔵しているため、連続送信および連続受信が可能です。また、送信部、受信部が独立しているため、送信と受信を同時に行う全二重通信が可能です。

図III.10.10に調歩同期式モードにおける入出力端子の接続例を示します。



図III.10.10 調歩同期式モードの接続例

調歩同期式モードに設定すると、IrDAインタフェース機能を使用することもできます。

調歩同期式転送データフォーマット

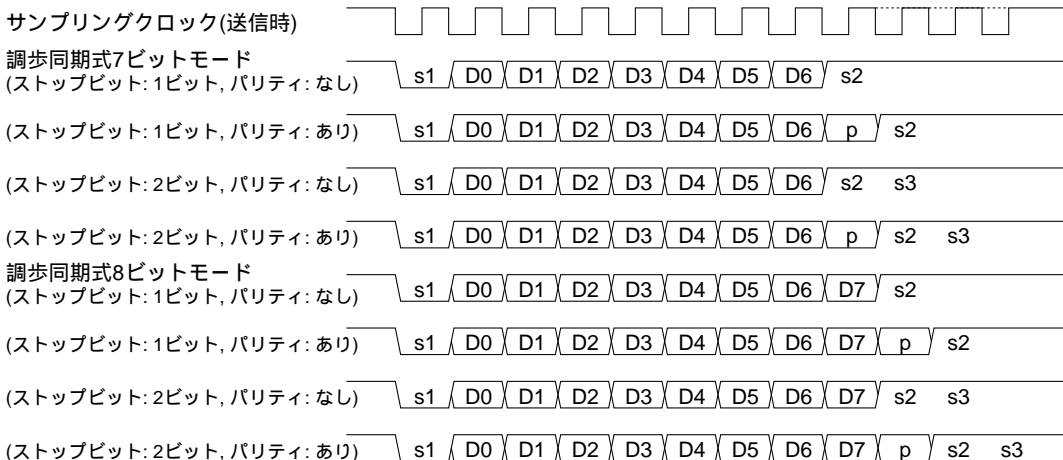
調歩同期式転送のデータフォーマットは以下のとおりです。

データ長: 7ビットまたは8ビット(転送モードの選択により決定)

スタートビット: 1ビット固定

ストップビット: 1ビットまたは2ビット

パリティビット: 偶数パリティ、奇数パリティ、またはなし



s1: スタートビット, s2 & s3: ストップビット, p: パリティビット

図III.10.11 調歩同期式転送データフォーマット

シリアルデータはLSBを先頭として送受信されます。

調歩同期式インタフェースの設定

FIFO付きシリアルインタフェースで調歩同期式転送を行う場合は、データ転送開始前に以下の設定が必要です。

1. 入出力端子の設定
2. インタフェースモードの設定
3. 転送モードの設定
4. 入力クロックの設定
5. データフォーマットの設定
6. 受信FIFOレベルの設定
7. 割り込み/IDMA/HSDMAの設定

以下、各設定内容について説明します。割り込みとDMAの設定については"FIFO付きシリアルインタフェース割り込みとDMA"を参照してください。

注: これらの設定は、必ずFIFO付きシリアルインタフェースが動作停止中に(TXEN0およびRXEN0を"0"に設定して)行ってください。動作中の設定変更は誤動作の原因となります。

入出力端子の設定

調歩同期式モードでは、FSIN0およびFSOUT0の2本の端子を使用しますので、P00-P03機能拡張レジスタ(0x300040)のEFP01[1:0] (D[1:0])とEFP02[1:0] (D[3:2])の両方を"01"に設定します。
外部クロックを入力する場合は、さらに#FSCLK0端子も使用します。P00-P03機能拡張レジスタ(0x300040)のEFP03[1:0] (D[5:4])を"01"に設定します。

インタフェースモード設定

IrDAインタフェースを設定するために、FIFOシリアル/F Ch.0 IrDAレジスタ(0x300204)にIRMD0[1:0] (D[1:0])が設けられています。このビットはイニシャルリセット時に不定となりますので、通常のインタフェースとして使用する場合は"00"を、IrDAインタフェースとして使用する場合は"10"を書き込んで初期化してください。この設定は転送モードを設定する前に行ってください。

転送モード設定

前述のとおり、FIFO付きシリアルインタフェースの転送モードをSMD0で設定します。
本インタフェースを調歩同期式8ビットモードで使用する場合はSMD0[1:0]を"11"に、調歩同期式7ビットモードで使用する場合は"10"に設定してください。

入力クロックの設定

調歩同期式モードでは、動作クロックとして内部クロックまたは外部クロックが選択できます。
FIFOシリアル/F Ch.0制御レジスタ(0x300203)のSSCK0 (D2)に"1"を書き込むと外部クロック(#FSCLK0端子より入力)、"0"を書き込むと内部クロックが選択されます。

注: SSCK0はイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。

- 内部クロック
内部クロックを選択すると、ボーレートタイマで発生したクロックで動作します。
"ボーレートタイマ(ボーレートの設定)"に示したとおり、ボーレートタイマを設定して動作させます。
- 外部クロック
外部クロックを選択すると、#FSCLK0端子から入力するクロックで動作します。
したがって、ボーレートタイマの制御は必要ありません。

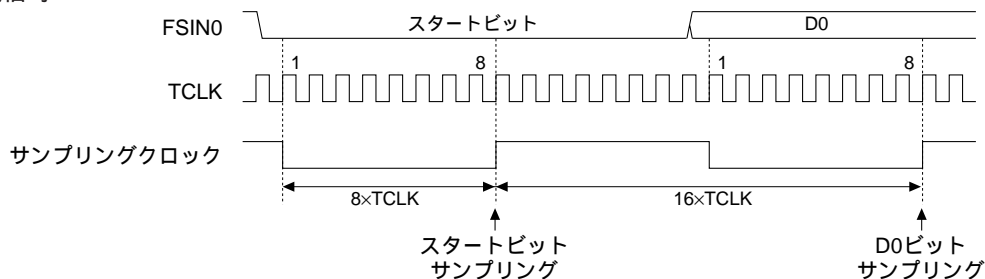
クロック周波数は任意に設定可能です。#FSCLK0端子から入力されたクロックは本シリアルインタフェース内部で1/16または1/8に分周され、サンプリングクロックとなります("サンプリングクロック"参照)。転送速度を設定する際には、この分周比も考慮してください。

- サンプリングクロック

調歩同期式モードではTCLK(ボーレートタイマの出力クロックまたは#FSCLK0端子からの入力クロック)をFIFO付きシリアルインタフェースの内部で分周してサンプリングクロックが生成されます。分周比はFIFOシリアルI/F Ch.0 IrDAレジスタ(0x300204)のDIVMD0に"0"を書き込むと1/16、"1"を書き込むと1/8に設定されます。

注: DIVMD0はイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。このビットの設定は調歩同期式モード(IrDAインタフェース使用時も含む)でのみ有効です。

受信時

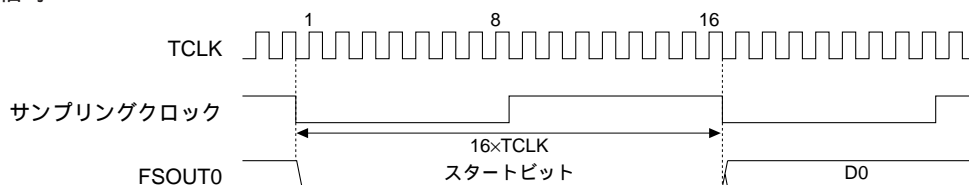


図III.10.12 調歩同期式受信時のサンプリングタイミング(1/16分周選択時)

各ビットデータは、図III.10.12のようなタイミングでサンプリングされます。

TCLKの立ち上がりエッジでFSIN0のLowレベルを検出すると、8xTCLK後(1/8選択時は4xTCLK後)にスタートビットがサンプリングされます。スタートビットのサンプリング時にFSIN0端子がLowでない場合は以降のデータのサンプリングを中止し、スタートビット検出の状態に戻ります(この場合、エラーは発生しません)。スタートビットサンプリング時にFSIN0端子がLowの場合、以降は16xTCLK(1/8選択時は8xTCLK)ごとにビットデータのサンプリングが行われます。

送信時



図III.10.13 調歩同期式送信時のビットデータ出力(1/16分周選択時)

送信時は各ビットデータを、16xTCLK(1/8選択時は8xTCLK)ごとにFSOUT0端子に出力します。

データフォーマットの設定

調歩同期式モードでは、転送モードの設定によりデータ長が7ビットまたは8ビットとなります。スタートビットは1ビットに固定です。

ストップビットとパリティビットは以下の制御ビットにより表III.10.5のとおり設定できます。

ストップビット選択: STPB0 (FIFOシリアルI/F Ch.0制御レジスタ0x300203・D3)

パリティイネーブル: EPR0 (FIFOシリアルI/F Ch.0制御レジスタ0x300203・D5)

パリティモード選択: PMD0 (FIFOシリアルI/F Ch.0制御レジスタ0x300203・D4)

表III.10.5 ストップビットとパリティビットの設定

STPB0	EPR0	PMD0	ストップビット	パリティビット
1	1	1	2ビット	奇数
		0	2ビット	偶数
	0	*	2ビット	なし
0	1	1	1ビット	奇数
		0	1ビット	偶数
	0	*	1ビット	なし

* EPR0が"0"の場合、PMD0の設定は無効です。

注: これらのビットはイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。

受信FIFOレベルの設定

本シリアルインタフェースには4バイトの受信用FIFOが内蔵されており、受信データレジスタが読み出されない場合でも、4データまでオーバーライトエラーとはならず受信することができます。本シリアルインタフェースはデータを受信した際に受信バッファフル割り込みが発生しますが、これを受信用FIFOにデータをいくつ受信した時点で発生させるか設定しておくことができます。この設定には、FIFOシリアルI/F Ch.0 IrDAレジスタ(0x300204)のFIFOINT0[1:0][D[6:5]]を使用します。0~3の書き込みでデータの個数は1~4に設定されます。イニシャルリセット時のデフォルト設定は0で、データを1個受信すると受信バッファフル割り込みが発生するようになっています。

調歩同期式転送の制御と動作

送信制御

(1) 送信許可

送信の制御には、FIFOシリアルI/F Ch.0制御レジスタ(0x300203)の送信許可ビットTXEN0(D7)を使用します。このビットに"1"を書き込んで送信を許可状態にすると、シフトレジスタへのクロック入力がいネーブル(入力可能な状態)となり、データの送信が行える状態となります。

TXEN0に"0"を書き込むと送信禁止状態に戻り、送信データバッファ(FIFO)もクリア(初期化)されます。

注: 送信中はTXEN0を"0"に設定しないでください。

(2) 送信手順

本シリアルインタフェースには、送信用シフトレジスタ、送信データレジスタが受信用とは独立して設けられています。

送信データは送信データレジスタTXD0[7:0](0x300200)に書き込みます。調歩同期式7ビットモードでは、ビット7(MSB)は無効となります。

TXD0に書き込んだデータは送信データバッファに入り送信まで待機します。

送信データバッファは2バイトのFIFOで、空の場合は2データまで続けて書き込むことができます。データは古いものから順に送信され、送信したデータはクリアされます。このバッファにより、データの送信中でも次の送信データを送信データレジスタに書き込むことができます。このバッファが空かどうかはFIFOシリアルI/F Ch.0ステータスレジスタ(0x300202)の送信データバッファエンプティフラグTDBE0(D1)で確認可能です。このビットは送信データバッファに1つ以上の空きがある場合に"1"となり、送信データの書き込みによってデータバッファが満杯になると"0"になります。転送のタイミングはスタートビットの送信開始時です。

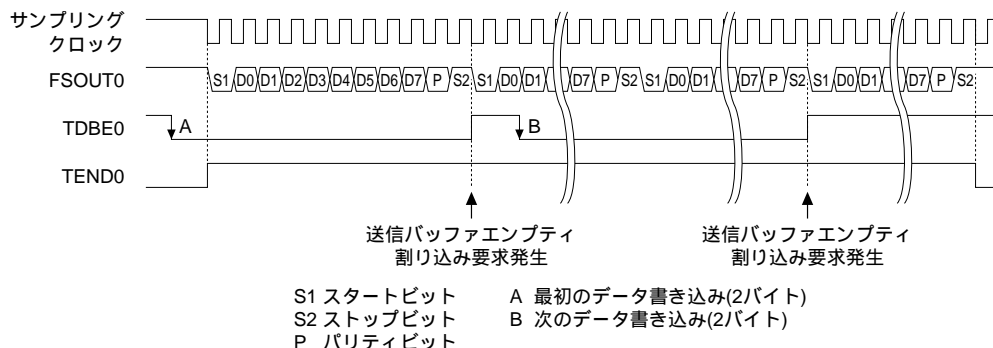
送信データレジスタにデータを書き込むことにより、FIFO付きシリアルインタフェースは送信動作を開始します。送信状態は、FIFOシリアルI/F Ch.0ステータスレジスタ(0x300202)の送信終了フラグTEND0(D5)で確認できます。このビットはデータ送信中に"1"となり、全データの送信を終了すると"0"に戻ります。

送信データバッファ内のデータがすべて送信されると、送信バッファエンプティ割り込み要因が発生します。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンで次の送信データを書き込むことができます。また、この割り込み要因でDMAを起動することもできますので、メモリ上に用意したデータを送信データレジスタにDMA転送して連続送信することも可能です。

割り込みとDMAの制御方法については、"FIFO付きシリアルインタフェース割り込みとDMA"を参照してください。

図III.10.14に調歩同期式モードの送信タイミングチャートを示します。

例: データ長 8ビット、ストップビット 1ビット、パリティビットあり



図III.10.14 調歩同期式モードの送信タイミング

1. サンプリングクロックの最初の立ち下がりエッジに同期して送信データバッファの内容がシフトレジスタに転送されます。同時に、FSOUT0端子をLowにしてスタートビットを送信します。
2. 続くサンプリングクロックの各立ち下がりエッジでシフトレジスタの各ビットをLSBから送信します。8(7)ビットのデータが送信されるまで、この動作を繰り返します。
3. MSBを送信後、パリティビット(EPR0 = "1"の場合)とストップビットを続けて送信します。
4. 送信データバッファにデータがある場合は、同様に次のデータを送信します。

(3) 送信の終了

データの送信が終了した場合は、送信許可ビットTXEN0に"0"を書き込んで送信禁止に設定してください。これにより送信データバッファ(FIFO)もクリア(初期化)されますので、TXEN0に"0"を書き込む前に送信データバッファに送信待ちのデータが残っていないことを確認してください。

受信制御

(1) 受信許可

受信の制御には、FIFOシリアルI/F Ch.0制御レジスタ(0x300203)の受信許可ビットRXEN(D6)を使用します。このビットに"1"を書き込んで受信を許可状態にすると、シフトレジスタへのクロック入力が高レベル(入力可能な状態)となり、データの受信が行える状態となります。

RXEN0に"0"を書き込むと受信禁止状態に戻り、受信データバッファ(FIFO)もクリア(初期化)されます。

注: 受信中はRXEN0を"0"に設定しないでください。

(2) 受信手順

本シリアルインタフェースには、受信用シフトレジスタ、受信データバッファ、受信データレジスタが送信用とは独立して設けられています。

受信したデータは受信データバッファに入ります。受信データバッファは4バイトのFIFOで、これが満杯になるまでは、読み出しを行わなくても正しく受信できます。

バッファ内の受信データは、受信データレジスタRXD0[7:0](0x300201)をアクセスすることによって古いものから順に読み出すことができ、読み出しによりクリアされます。

受信データバッファ内にあるデータの数、FIFOシリアルI/F Ch.0ステータスレジスタ(0x300202)のRXD0NUM[1:0](D[7:6])で確認できます。RXD0NUM[1:0]が0の場合、バッファ内には0個または1個のデータがあります。RXD0NUM[1:0]が1~3の場合、バッファ内には2~4個のデータがあります。

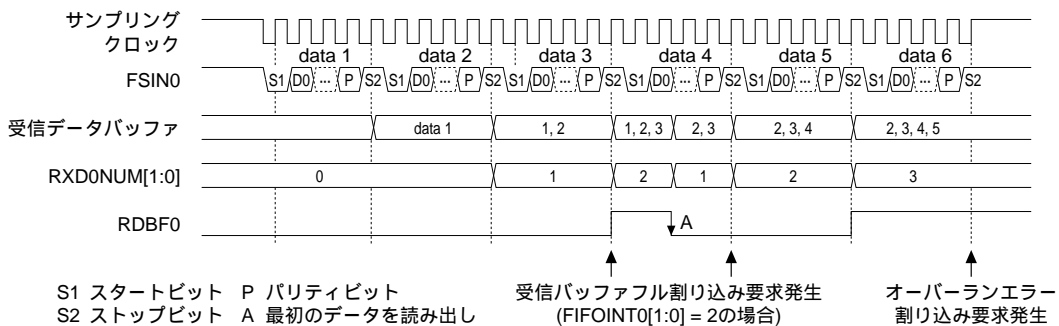
また、受信データバッファフルを示すフラグRDBF(シリアルI/F Ch.0ステータスレジスタ0x300202・D0)が設けられています。このビットは受信データバッファ内に1つ以上の受信データがあると"1"となり、データがすべて読み出されて空になると"0"に戻ります。

受信データバッファ内のデータ数がFIFOINT0[1:0]で指定した個数以上になると、受信バッファフル割り込み要因が発生します。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンで受信データを読み出すことができます。また、この割り込み要因でDMAを起動することもできますので、メモリ上に用意した領域に受信データをDMA転送して連続受信することも可能です。

割り込みとDMAの制御方法については、"FIFO付きシリアルインタフェース割り込みとDMA"を参照してください。

図III.10.15に調歩同期式モードの受信タイミングチャートを示します。

例: データ長 8ビット、ストップビット 1ビット、パリティビットあり



図III.10.15 調歩同期式モードの受信タイミング

1. スタートビット(FSIN0 = Low)の入力によりサンプリングを開始します。
2. サンプリングクロックの最初の立ち上がりエッジでスタートビットがサンプリングされると、以降のクロックの各立ち上がりエッジで受信データの各ビットをLSBからシフトレジスタに取り込みます。データのMSBを受信するまで、この動作を繰り返します。
3. MSBが取り込まれると、続くパリティビットを取り込みます(EPR0 = "1"の場合)。
4. ストップビットをサンプリングするとシフトレジスタのデータは受信データレジスタに転送され、データが読み出せる状態となります。

受信データレジスタへの転送時にはパリティチェックが行われます(EPR0 = "1"の場合)。

注: ストップビットを2ビットに設定した場合でも、ストップビットの1ビット目をサンプリングした時点で受信動作が終了します。

(3) 受信エラー

調歩同期式モードの受信時には3種類の受信エラーが検出可能です。

割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンでエラー処理が行えます。受信エラー割り込みについては、"FIFO付きシリアルインタフェース割り込みとDMA"を参照してください。

- パリティエラー

EPR0が"1"(パリティあり)に設定されている場合、受信時にパリティチェックが行われます。

パリティチェックはシフトレジスタに受信したデータが受信データバッファに転送される際に行われ、PMD0の設定(奇数または偶数パリティ)との整合をチェックします。この結果が不整合の場合はパリティエラーと判断され、パリティエラーフラグPER0(FIFOシリアルI/F Ch.0ステータスレジスタ0x300202・D3)が"1"にセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。ただし、受信データはパリティエラーのため保証されません。

なお、PER0フラグは"0"を書き込むことによってリセットされます。

- フレーミングエラー

ストップビットを"0"として受信すると、本シリアルインタフェースは同期ずれと判断してフレーミングエラーを発生します。

ストップビットを2ビットに設定している場合は、最初の1ビットのみチェックします。

本エラーが発生すると、フレーミングエラーフラグFER0(FIFOシリアルI/F Ch.0ステータスレジスタ0x300202・D4)が"1"にセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。

なお、FER0フラグは"0"を書き込むことによってリセットされます。

- オーバーランエラー

受信データバッファが満杯(4データ受信済み)の状態でも、次に送られる5番目のデータはシフトレジスタに受信可能です。ただし、その受信が終了した時点で、受信データバッファに空きがなければ(それまでにデータが読み出されていなければ)、シフトレジスタに受信した5番目のデータはバッファに送られません。その状態でさらに6番目のデータが送られてくると、シフトレジスタ(5番目のデータ)はそのデータで上書きされ、オーバーランエラーが発生します。

オーバーランエラーが発生するとオーバーランエラーフラグOER0(FIFOシリアルI/F Ch.0ステータスレジスタ0x300202・D2)が"1"にセットされます。

本エラーが発生した場合でも、受信動作は継続します。

なお、OER0フラグは"0"を書き込むことによってリセットされます。

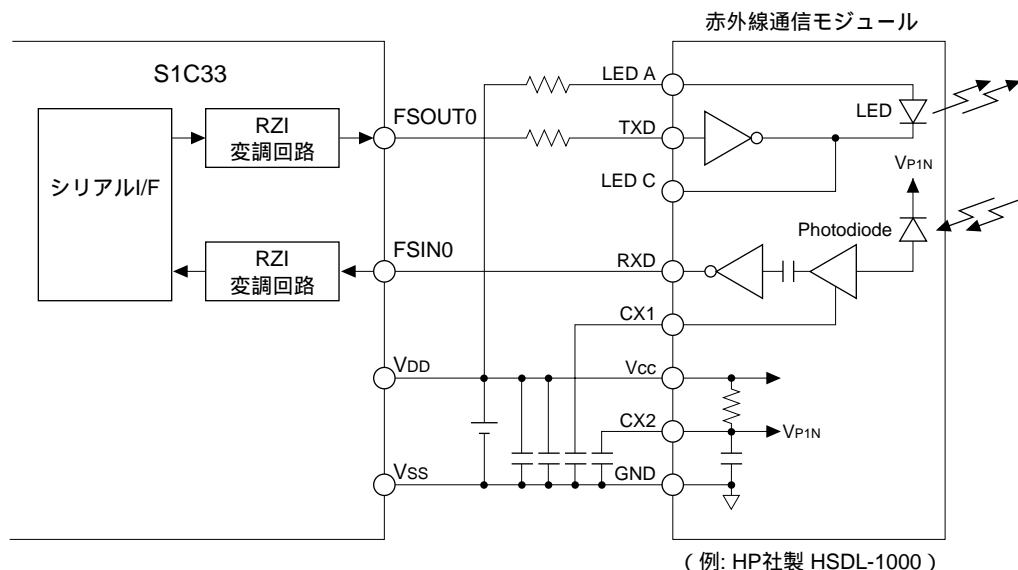
(4) 受信の終了

データの受信が終了した場合は、受信許可ビットRXEN0に"0"を書き込んで受信禁止に設定してください。これにより受信データバッファ(FIFO)もクリア(初期化)されますので、RXEN0に"0"を書き込む前に受信データバッファに読み出し前のデータが残っていないことを確認してください。

IrDAインタフェース

IrDAインタフェースの概要

FIFO付きシリアルインタフェースは各チャンネルにRZI変調回路を内蔵しており、IrDA 1.0に準拠した赤外線通信の回路を簡単な外部回路を追加することにより構成できるようになっています。



図III.10.16 IrDAインタフェースの構成例

このIrDAインタフェース機能は、転送モードが調歩同期式モードに設定されている場合にのみ使用可能です。IrDAインタフェース部以外のFIFO付きシリアルインタフェース機能は調歩同期式モードの内容がそのまま適用されますので、データフォーマット、データ転送の設定や制御手順については"調歩同期式インタフェース"を参照してください。

IrDAインタフェースの設定

赤外線通信を行う場合は、通信開始前に以下の設定が必要です。

1. 入出力端子の設定
2. インタフェースモード (IrDAインタフェース機能) の選択
3. 転送モードの設定
4. 入力クロックの設定
5. データフォーマットの設定
6. 受信FIFOレベルの設定
7. 割り込み/DMA/HSDMAの設定
8. 入出力論理の設定

1～6までは調歩同期式インタフェースで説明した内容です。"調歩同期式インタフェース"を参照してください。7については"FIFO付きシリアルインタフェース割り込みとDMA"を参照してください。

注: これらの設定は、必ずFIFO付きシリアルインタフェースが動作停止中にTXEN0およびRXEN0を"0"に設定して行ってください。動作中の設定変更は誤動作の原因となります。

また、IrDAインタフェース機能の選択(2)は、必ず転送モード(3)以降の設定を行う前に行ってください。

IrDAインタフェース機能の選択

IrDAインタフェース機能を使用するには、FIFOシリアルI/F Ch.0 IrDAレジスタ(0x300204)のIRMD0[1:0] (D[1:0])でIrDAインタフェース機能を選択し、さらに調歩同期式8ビット(または7ビット)モードに設定してください。

表III.10.6 IrDAインタフェースの設定

IRMD01	IRMD00	設定内容
1	1	設定禁止(reserved)
1	0	IrDA 1.0インタフェース
0	1	設定禁止(reserved)
0	0	通常のインタフェース

注: IRMD0はイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。

入出力論理の設定

IrDAインタフェースを使用する場合、RZI変調回路の入出力信号の論理を外部に接続する赤外線通信モジュールや回路に合わせて切り換えることができます。内蔵のFIFO付きシリアルインタフェースはLowアクティブです。Highアクティブの信号を入出力する場合は論理を反転させて使用します。入力FSIN0と出力FSOUT0の論理をそれぞれFIFOシリアルI/F Ch.0 IrDAレジスタ(0x300204)のIRRL0(D2)、IRTL0(D3)によって個別に設定することができます。

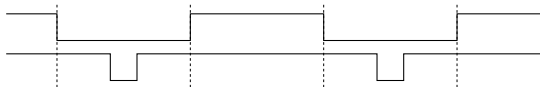
IRRL0/IRTL0に"1"を書き込むことで、入力/出力信号の論理が反転します。"0"を書き込んだ場合は、論理反転を行いません。

送信時

(1) IRTL0 = "0"

RZI変調回路入力(I/F出力)

RZI変調回路出力(FSOUT0)



(2) IRTL0 = "1"

RZI変調回路入力(I/F出力)

RZI変調回路出力(FSOUT0)

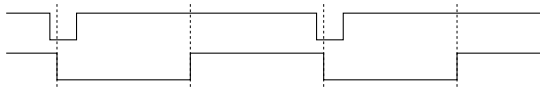


受信時

(1) IRRL0 = "0"

RZI変調回路入力(FSIN0)

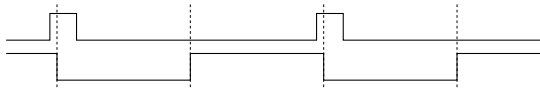
RZI変調回路出力(I/F入力)



(2) IRRL0 = "1"

RZI変調回路入力(FSIN0)

RZI変調回路出力(I/F入力)



図III.10.17 IRRL0とIRTL0の設定例

注: IRRL0およびIRTL0はイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。

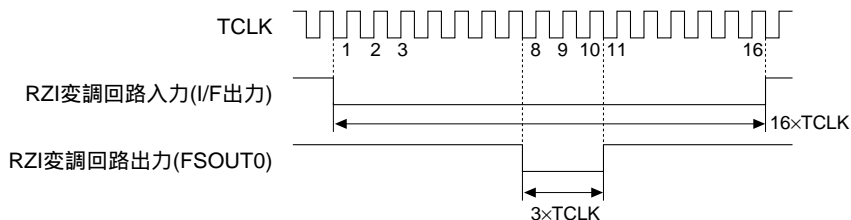
IrDAインタフェースの制御と動作

送受信の手順は調歩同期式インタフェースで説明したとおりです。"調歩同期式転送の制御と動作"を参照してください。

RZI変調回路によるデータの変調と復調の動作は以下のとおりです。

送信時

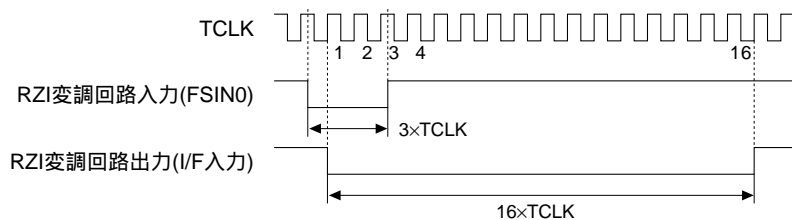
送信時は、FIFO付きシリアルインタフェースの出力信号のパルス幅を $3/16$ 倍に変換しFSOUT0端子から出力します。



図III.10.18 RZI変調回路によるデータの変調

受信時

受信時は、FSIN0からの入力信号のパルス幅を $16/3$ 倍に変換し、FIFO付きシリアルインタフェースに送ります。



図III.10.19 RZI変調回路によるデータの復調

注: IrDAインタフェースを使用する場合、FIFO付きシリアルインタフェース内部の分周比は $1/16$ (DIVMD0 = "1") に設定し、 $1/8$ (DIVMD0 = "0") には設定しないでください。

FIFO付きシリアルインタフェース割り込みとDMA

FIFO付きシリアルインタフェースには、以下の3種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 受信バッファフル割り込み
- 受信エラー割り込み

送信バッファエンプティ割り込み要因

この割り込み要因は、送信データバッファに設定した送信データがすべてシフトレジスタに転送された時点で発生し、割り込み要因フラグFFSTX0を"1"にセットします。このとき、割り込み制御レジスタによって割り込み条件が満たされていれば、CPUに対し割り込みが発生します。この割り込み要因の発生によって、次の送信データを送信データレジスタに書き込むことができます。また、この割り込み要因でDMAを起動し、DMA転送によって送信データの書き込みを行うこともできます。

受信バッファフル割り込み

この割り込み要因は、受信バッファ内にFIFOINT0[1:0] (0x300204・D[6:5])で指定した数のデータを受信した時点で発生し、割り込み要因フラグFFSRX0を"1"にセットします。このとき、割り込み制御レジスタによって割り込み条件が満たされていれば、CPUに対し割り込みが発生します。この割り込み要因の発生によって、受信データの読み出しが可能となります。また、この割り込み要因でDMAを起動し、受信データをDMA転送によって指定のメモリに書き込むこともできます。

受信エラー割り込み

この割り込み要因は、受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された場合に発生し、割り込み要因フラグFFSERR0を"1"にセットします。このとき、割り込み制御レジスタによって割り込み条件が満たされていれば、CPUに対し割り込みが発生します。

3種類のエラーとも同一の割り込み要因となっていますので、発生したエラーの識別はエラーフラグPER(パリティエラー)、OER(オーバーランエラー)、FER(フレーミングエラー)で行ってください。クロック同期式モードではパリティエラーとフレーミングエラーは発生しません。

注: 受信エラー(パリティエラー、フレーミングエラー)が発生した場合、受信エラー割り込み要因と受信バッファフル割り込み要因が同時に発生します。ただし、受信エラー割り込みの優先順位が受信バッファフル割り込みよりも高く設定されていますので、受信エラー割り込みの処理が先に実行されます。このため、受信エラー割り込み処理の中で受信バッファフル割り込み要因フラグをリセットする必要があります。

割り込みコントローラの制御レジスタ

割り込みコントローラの制御レジスタを、表III.10.7に示します。

表III.10.7 割り込みコントローラの制御レジスタ

割り込み要因	割り込み要因フラグ	割り込み イネーブルレジスタ	割り込み プライオリティレジスタ
受信エラー	FFSERR0 (D3/0x402B2)	EFERR0 (D3/0x402B1)	PFSIO0[2:0] (D[6:4]/0x402B0)
受信バッファフル	FFSRX0 (D4/0x402B2)	EFSRX0 (D4/0x402B1)	
送信バッファエンプティ	FFSTX0 (D5/0x402B2)	EFSTX0 (D5/0x402B1)	

前述の割り込み要因が発生すると、それぞれに対応した割り込み要因フラグが"1"にセットされます。その割り込み要因に対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。

割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、その要因による割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず("0"に設定されていても)、割り込み条件の成立によって"1"にセットされます。

割り込みプライオリティレジスタは、割り込み系列ごとの割り込みの優先レベル(0~7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。

また、入力割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した入力割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITQ(割り込みコントローラ)"を参照してください。

インテリジェントDMA

受信バッファフル割り込み要因と送信バッファエンブティ割り込み要因は、インテリジェントDMA (IDMA) を起動することができます。これにより、メモリと送受信データレジスタ間のDMA転送による連続送受信が行えます。

各要因に設定されたIDMAチャンネル番号は次のとおりです。

IDMA Ch.

受信バッファフル割り込み: 0x38

送信バッファエンブティ割り込み: 0x39

IDMAを起動させるには、表III.10.8に示すIDMAリクエストビットおよびIDMAイネーブルビットに"1"を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。

表III.10.8 IDMA転送の制御ビット

割り込み要因	IDMAリクエストビット	IDMAイネーブルビット
受信バッファフル	RFSRX0 (D2/0x402B3)	DEFSRX0 (D2/0x402B4)
送信バッファエンブティ	RFSTX0 (D3/0x402B3)	DEFSTX0 (D3/0x402B4)

IDMAリクエストビットとIDMAイネーブルビットが"1"に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はDMA転送終了後に発生します。また、DMA転送のみを行い、割り込みは発生しないように設定することもできます。DMA転送とDMA転送終了後の割り込み制御については、"IDMA(インテリジェントDMA)"を参照してください。

高速DMA

受信バッファフル割り込み要因と送信バッファエンブティ割り込み要因は、高速DMA (HSDMA) を起動することもできます。

HSDMAチャンネル番号とトリガ設定ビットを以下に示します。

表III.10.9 HSDMAトリガ設定ビット

HSDMA Ch.	トリガ設定ビット
1	HSD1S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298•D[7:4])
3	HSD3S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299•D[7:4])

HSDMAを受信バッファフル割り込み要因で起動させるには、トリガ設定ビットに"1101"を書き込んでおきます。送信バッファエンブティ割り込み要因で起動させるには、トリガ設定ビットに"1110"を書き込んでおきます。また、HSDMA側の転送条件等の設定も必要です。

割り込み要因の発生でHSDMAが起動します。

HSDMAの詳細については、"HSDMA(高速DMA)"を参照してください。

トラップベクタ

各割り込み要因のトラップベクタアドレスは、デフォルトでそれぞれ以下のとおり設定されています。

受信エラー割り込み: 0x0C001C0

受信バッファフル割り込み: 0x0C001C4

送信バッファエンブティ割り込み: 0x0C001C8

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134 ~ 0x48137)で変更することも可能です。

FIFO付きシリアルインタフェースのI/Oメモリ

表III.10.10にFIFO付きシリアルインタフェースの制御ビットを示します。

表III.10.10 FIFO付きシリアルインタフェースの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
FIFOシリアル I/F Ch.0 送信データ レジスタ	0300200 (B)	D7 D6 D5 D4 D3 D2 D1 D0	TXD07 TXD06 TXD05 TXD04 TXD03 TXD02 TXD01 TXD00	FIFOシリアルI/F Ch.0 送信データ TXD07(06) = MSB TXD00 = LSB	0x0 ~ 0xFF(0x7F)	X X X X X X X X	R/W	調歩同期式7ビットモ ードの場合、TXD07 は無効
FIFOシリアル I/F Ch.0 受信データ レジスタ	0300201 (B)	D7 D6 D5 D4 D3 D2 D1 D0	RXD07 RXD06 RXD05 RXD04 RXD03 RXD02 RXD01 RXD00	FIFOシリアルI/F Ch.0 受信データ RXD07(06) = MSB RXD00 = LSB	0x0 ~ 0xFF(0x7F)	X X X X X X X X	R	調歩同期式7ビットモ ードの場合、RXD07 は無効(0固定)
FIFOシリアル I/F Ch.0 ステータス レジスタ	0300202 (B)	D7 D6 D5 D4 D3 D2 D1 D0	RXD0NUM1 RXD0NUM0 TEND0 FER0 PER0 OER0 TDBE0 RDBF0	Ch.0 FIFO内受信データ数 Ch.0転送終了フラグ Ch.0フレーミングエラーフラグ Ch.0パリティエラーフラグ Ch.0オーバーランエラーフラグ Ch.0送信データバッファステータス Ch.0受信データバッファステータス	RXD0NUM[1:0] データ数 1 1 4 1 0 3 0 1 2 0 0 1 or 0 1 転送中 0 終了 1 エラー 0 正常 1 エラー 0 正常 1 エラー 0 正常 1 空きあり 0 満杯 1 データあり 0 データなし	0 0 0 0 0 0 1 0 0	R/W R R/W R/W R/W R R	 0書き込みでクリア
FIFOシリアル I/F Ch.0 制御レジスタ	0300203 (B)	D7 D6 D5 D4 D3 D2 D1 D0	TXEN0 RXEN0 EPR0 PMD0 STPB0 SSCK0 SMD01 SMD00	Ch.0送信許可 Ch.0受信許可 Ch.0パリティエネブル Ch.0パリティモード選択 Ch.0ストップビット選択 Ch.0入力クロック選択 Ch.0転送モード選択	1 許可 0 禁止 1 許可 0 禁止 1 パリティ付 0 パリティなし 1 奇数 0 偶数 1 2bit 0 1bit 1 #FSCLK0 0 内部クロック SMD0[1:0] 転送モード 1 1 調歩同期式8bit 1 0 調歩同期式7bit 0 1 クロック同期スレーブ 0 0 クロック同期マスタ	0 0 X X X X X X	R/W R/W R/W R/W R/W R/W R/W	 調歩同期式モード時 のみ有効
FIFOシリアル I/F Ch.0 IrDAレジスタ	0300204 (B)	D7 D6 D5 D4 D3 D2 D1 D0	SRDYCTL0 FIFOINT01 FIFOINT00 DIVMD0 IRTL0 IRRL0 IRMD01 IRMD00	Ch.0 #FSRDY制御 Ch.0受信FIFOレベル設定 Ch.0調歩同期クロック分周比 Ch.0 IrDA I/F出力論理反転 Ch.0 IrDA I/F入力論理反転 Ch.0インタフェースモード 選択	1 Highマスク 0 通常 FIFOINT0[1:0] レベル 1 1 4 1 0 3 0 1 2 0 0 1 1 1/8 0 1/16 1 反転 0 反転なし 1 反転 0 反転なし IRMD0[1:0] I/Fモード 1 1 reserved 1 0 IrDA 1.0 0 1 reserved 0 0 通常のI/F	0 0 0 X X X X X	R/W R/W R/W R/W R/W R/W R/W	 調歩同期式モード時 のみ有効
FIFOシリアル I/F Ch.0 ポーレートタイ マ制御レジスタ	0300205 (B)	D7-1 D0	- BRTRUN	reserved ポーレートタイマRun/Stop制御	- 1 Run 0 Stop	- 0	- R/W	読み出し時: 0
FIFOシリアル I/F Ch.0 ポーレート タイマリロード データレジスタ (LSB)	0300206 (B)	D7 D6 D5 D4 D3 D2 D1 D0	BRTRD07 BRTRD06 BRTRD05 BRTRD04 BRTRD03 BRTRD02 BRTRD01 BRTRD00	FIFOシリアルI/F Ch.0 ポーレートタイマ リロードデータ[7:0]	0x0 ~ 0xFF (BRTRD0[9:0] = 0x0 ~ 0x3FF)	0 0 0 0 0 0 0 0	R/W	

III-10 周辺回路ブロック: FIFO付きシリアルインタフェース

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈		
FIFOシリアル I/F Ch.0 ポーレート タイマリロード データレジスタ (MSB)	0300207 (B)	D7-2	—	reserved	—	—	—	読み出し時: 0		
		D1	BTRD09	FIFOシリアルI/F Ch.0	0x0 ~ 0x3	0	R/W			
		D0	BTRD08	ポーレートタイマ リロードデータ[9:8]	(BTRD0[9:0] = 0x0 ~ 0x3FF)	0				
FIFOシリアル I/F Ch.0 ポーレート タイマカウント データレジスタ (LSB)	0300208 (B)	D7	BRTCD07	FIFOシリアルI/F Ch.0	0x0 ~ 0xFF	0	R			
		D6	BRTCD06	ポーレートタイマ	(BRTCD0[9:0] = 0x0 ~ 0x3FF)	0				
		D5	BRTCD05	カウントデータ[7:0]		0				
		D4	BRTCD04			0				
		D3	BRTCD03			0				
		D2	BRTCD02			0				
		D1	BRTCD01			0				
		D0	BRTCD00			0				
		FIFOシリアル I/F Ch.0 ポーレート タイマカウント データレジスタ (MSB)	0300209 (B)	D7-2	—	reserved			—	—
D1	BRTCD09			FIFOシリアルI/F Ch.0	0x0 ~ 0x3	0	R			
D0	BRTCD08			ポーレートタイマ カウントデータ[9:8]	(BRTCD0[9:0] = 0x0 ~ 0x3FF)	0				
P00~P03 ポート機能拡張 レジスタ	0300040 (B)	D7	EFP031	P03ポート機能拡張	EFP03[1:0]	機能	0	R/W		
		D6	EFP030		1	*	reserved			0
					0	1	#FSRDY0			
					0	0	P03/#SRDY0			
		D5	EFP021	P02ポート機能拡張	EFP02[1:0]	機能	0	R/W		
		D4	EFP020		1	*	reserved			0
					0	1	#FSCLK0			
					0	0	P02/#SCLK0			
		D3	EFP011	P01ポート機能拡張	EFP01[1:0]	機能	0	R/W		
		D2	EFP010		1	*	reserved			0
					0	1	FSOUT0			
					0	0	P01/SOUT0			
		D1	EFP001	P00ポート機能拡張	EFP00[1:0]	機能	0	R/W		
		D0	EFP000		1	*	reserved			0
					0	1	FSIN0			
					0	0	P00/SIN0			
FIFOシリアル I/F Ch.0 割り込み プライオリティ レジスタ	00402B0 (B)	D7	—	reserved	—	—	—	読み出し時: 0		
		D6	PFSIO02	FIFOシリアルインタフェース Ch.0割り込みレベル	0 ~ 7	X	R/W			
		D5	PFSIO01			X				
		D4	PFSIO00			X				
		D3-0	—	reserved	—	—	—	読み出し時: 0		
FIFOシリアル I/F Ch.0 割り込み イネーブル レジスタ	00402B1 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0		
		D5	EFSTX0	FSI/F Ch.0送信バッファエンプティ	1 許可	0 禁止	0	R/W		
		D4	EFSRX0	FSI/F Ch.0受信バッファフル			0	R/W		
		D3	EFSERR0	FSI/F Ch.0受信エラー	0	R/W				
		D2-0	—	reserved	—	—	—	読み出し時: 0		
		FIFOシリアル I/F Ch.0 割り込み 要因フラグ レジスタ	00402B2 (B)	D7-6	—	reserved	—	—		—
D5	FFSTX0			FSI/F Ch.0送信バッファエンプティ	1 要因発生	0 要因なし	X	R/W		
D4	FFSRX0			FSI/F Ch.0受信バッファフル			X	R/W		
D3	FFSERR0			FSI/F Ch.0受信エラー	X	R/W				
D2-0	—			reserved	—	—	—	読み出し時: 0		
FIFOシリアル I/F Ch.0 IDMAリクエスト レジスタ	00402B3 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0		
		D3	RFSTX0	FSI/F Ch.0送信バッファエンプティ	1 IDMA要求	0 割り込み 要求	0	R/W		
		D2	RFSRX0	FSI/F Ch.0受信バッファフル			0	R/W		
		D1-0	—	reserved	—	—	—	読み出し時: 0		
FIFOシリアル I/F Ch.0 IDMAイネーブル レジスタ	00402B4 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0		
		D3	DEFSTX0	FSI/F Ch.0送信バッファエンプティ	1 IDMA許可	0 IDMA禁止	0	R/W		
		D2	DEFSRX0	FSI/F Ch.0受信バッファフル			0	R/W		
		D1-0	—	reserved	—	—	—	読み出し時: 0		

EFP001–EFP000: P00ポート機能拡張(D[1:0]/0x300040<P00–P03ポート機能拡張レジスタ>)

EFP011–EFP010: P01ポート機能拡張(D[3:2]/0x300040<P00–P03ポート機能拡張レジスタ>)

EFP021–EFP020: P02ポート機能拡張(D[5:4]/0x300040<P00–P03ポート機能拡張レジスタ>)

EFP031–EFP030: P03ポート機能拡張(D[7:6]/0x300040<P00–P03ポート機能拡張レジスタ>)

P00～P03端子の機能を切り換えます。

表III.10.11 P00～P03ポートの機能拡張

EFP0x1	EFP0x0	P00	P01	P02	P03
1	*	reserved	reserved	reserved	reserved
0	1	FSIN0	FSOUT0	#FSCLK0	#FSRDY0
0	0	P00/SIN0	P01/SOUT0	P02/#SCLK0	P03/#SRDY0

P00～P03をFIFO付きシリアルインタフェースの入出力として使用する場合はEFP0x[1:0]を"01"に設定します。標準シリアルインタフェースCh.0の入出力または汎用入出力として使用する場合は"00"に設定します。コールドスタート時、EFPは"00"(入出力兼用ポート/標準シリアルインタフェース)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

TXD07–TXD00: Ch.0送信データ(D[7:0]/0x300200<FIFOシリアル/F Ch.0送信データレジスタ>)

送信データを設定します。

TXEN0に"1"を書き込み後、このレジスタ(送信バッファ)にデータを書き込むことにより送信を開始します。

TXD0に書き込んだデータは送信データバッファに入り送信まで待機します。

送信データバッファは2バイトのFIFOで、空の場合は2データまで続けて書き込むことができます。データは古いものから順に送信され、送信したデータはクリアされます。送信データバッファ内のデータがすべて送信されると、送信バッファエンプティ割り込み要因が発生します。

調歩同期7ビットモードにおいては、TXD07(MSB)が無効となります。

FSOUT0端子からはシリアル変換されたデータがLSBを先頭に、"1"に設定されたビットがHighレベル、"0"に設定されたビットがLowレベルとして出力されます。

このレジスタは読み出しも可能です。

イニシャルリセット時、TXD0の内容は不定となります。

RXD07–RXD00: Ch.0受信データ(D[7:0]/0x300201<FIFOシリアル/F Ch.0受信データレジスタ>)

受信データバッファのデータが古いものから順に読み出せます。

受信したデータは受信データバッファに入ります。受信データバッファは4バイトのFIFOで、これが満杯になるまでは、読み出しを行わなくても正しく受信できます。バッファが満杯になった状態では、次の受信が終了するまでにデータを読み出さないとオーバーランエラーになります。

受信データバッファには読み出しが必要なことを示す受信バッファステータスフラグRDBF0が設けられています。このフラグは受信データバッファ内に1個以上の受信データがある場合に"1"となり、データがすべて読み出されて空になると"0"に戻ります。

受信データバッファ内の受信データがFIFOINT0[1:0]で指定した数になると、受信バッファフル割り込み要因が発生します。

調歩同期7ビットモードにおいては、RXD07には"0"がロードされます。

FSIN0端子から入力されたシリアルデータは先頭をLSBとして、Highレベルのビットを"1"、Lowレベルのビットを"0"としてパラレル変換され、本バッファにロードされます。

このレジスタは読み出し専用で、書き込みは行えません。

イニシャルリセット時、RXD0の内容は不定となります。

RXD0NUM1–RXD0NUM0: Ch.0 FIFO内受信データ数

(D[7:6]/0x300202<FIFOシリアル/F Ch.0ステータスレジスタ>)

受信データバッファ(FIFO)内の読み出されていない受信データの数を示します。

RXD0NUMが0の場合は0または1個、1～3は2～4個の受信データがあることを示します。

イニシャルリセット時、RXD0NUMは0となります。

TEND0: Ch.0送信終了フラグ(D5/0x300202<FIFOシリアル/F Ch.0ステータスレジスタ>)

送信状態を示します。

"1"読み出し: 送信中
 "0"読み出し: 送信終了
 書き込み: 無効

TEND0はデータ送信中に"1"となり、送信を終了すると"0"に戻ります。

クロック同期式マスタモードまたは調歩同期式モードで連続してデータを送信する場合、全データを送信するまで"1"を保持します(図III.10.5、図III.10.14参照)。クロック同期式スレーブモード時は1バイト送信するごとに"0"となります(図III.10.6参照)。

イニシャルリセット時、TEND0は"0"(送信終了)に設定されます。

FER0: Ch.0フレーミングエラーフラグ(D4/0x300202<FIFOシリアル/F Ch.0ステータスレジスタ>)

フレーミングエラーの発生を示します。

"1"読み出し: エラー
 "0"読み出し: エラーなし
 "1"書き込み: 無効
 "0"書き込み: "0"にリセット

FER0フラグはフレーミングエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。フレーミングエラーは、調歩同期式モードの受信時にストップビットが"0"になっていた場合に発生します。FER0フラグは"0"を書き込むことでリセットされます。

イニシャルリセット時、およびRXEN0とTXEN0共に"0"を書き込むとFER0フラグは"0"(エラーなし)に設定されます。

PER0: Ch.0パリティエラーフラグ(D3/0x300202<FIFOシリアル/F Ch.0ステータスレジスタ>)

パリティエラーの発生を示します。

"1"読み出し: エラー
 "0"読み出し: エラーなし
 "1"書き込み: 無効
 "0"書き込み: "0"にリセット

PER0フラグはパリティエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。パリティチェックはEPR0を"1"(パリティ付き)に設定した調歩同期式モードでのみ有効で、受信データをシフトレジスタから受信データバッファに転送する際に行われます。PER0フラグは"0"を書き込むことでリセットされます。

イニシャルリセット時、およびRXEN0とTXEN0共に"0"を書き込むとPER0は"0"(エラーなし)に設定されます。

OER0: Ch.0オーバーランエラーフラグ(D2/0x300202<FIFOシリアル/F Ch.0ステータスレジスタ>)

オーバーランエラーの発生を示します。

"1"読み出し: エラー
 "0"読み出し: エラーなし
 "1"書き込み: 無効
 "0"書き込み: "0"にリセット

OER0フラグはオーバーランエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。オーバーランエラーは、受信データバッファが満杯の状態で、次のデータをシフトレジスタに受信し、さらに続くデータが送られてきた場合に発生します。OER0フラグは"0"を書き込むことでリセットされます。このエラーが発生した場合、受信データバッファは上書きされず、エラーが発生した時点のシフトレジスタが上書きされます。

イニシャルリセット時、およびRXEN0とTXEN0共に"0"を書き込むとOER0は"0"(エラーなし)に設定されます。

TDBE0: Ch.0送信データバッファステータス(D1/0x300202<FIFOシリアルI/F Ch.0ステータスレジスタ>)

送信データバッファの状態を示します。

"1"読み出し: 空きあり

"0"読み出し: 満杯

書き込み: 無効

TDBE0は送信データバッファに送信データを書き込むための空きがある場合に"1"となり、満杯になると"0"になります。

送信データバッファには2個の送信データを書き込み可能です。

イニシャルリセット時、TDBE0は"1"(空きあり)に設定されます。

RDBF0: Ch.0受信データバッファステータス(D0/0x300202<FIFOシリアルI/F Ch.0ステータスレジスタ>)

受信データバッファの状態を示します。

"1"読み出し: 受信データあり

"0"読み出し: 受信データなし

書き込み: 無効

RDBF0は受信データバッファ内に1個以上の受信データがある場合に"1"となり、データがすべて読み出されて空になると"0"に戻ります。

イニシャルリセット時、RDBF0は"0"(受信データなし)に設定されます。

TXEN0: Ch.0送信許可(D7/0x300203<FIFOシリアルI/F Ch.0制御レジスタ>)

本シリアルインタフェースを送信許可状態に設定します。

"1"書き込み: 送信許可

"0"書き込み: 送信禁止

読み出し: 可能

TXEN0に"1"を書き込むと本シリアルインタフェースが送信許可状態となり、"0"を書き込むと送信禁止状態となります。転送モード等の設定を行う場合は、TXEN0が"0"の状態で行ってください。

TXEN0に"0"を書き込んで送信禁止状態にすると、送信データバッファ(FIFO)もクリアされます。

イニシャルリセット時、TXEN0は"0"(送信禁止)に設定されます。

RXEN0: Ch.0受信許可(D6/0x300203<FIFOシリアルI/F Ch.0制御レジスタ>)

本シリアルインタフェースを受信許可状態に設定します。

"1"書き込み: 受信許可

"0"書き込み: 受信禁止

読み出し: 可能

RXEN0に"1"を書き込むと本シリアルインタフェースが受信許可状態となり、"0"を書き込むと受信禁止状態となります。転送モード等の設定を行う場合は、RXEN0が"0"の状態で行ってください。

RXEN0に"0"を書き込んで受信禁止状態にすると、受信データバッファ(FIFO)もクリアされます。

イニシャルリセット時、RXEN0は"0"(受信禁止)に設定されます。

EPR0: Ch.0パリティエネーブル(D5/0x300203<FIFOシリアルI/F Ch.0制御レジスタ>)

パリティ機能を選択します。

"1"書き込み: パリティ付

"0"書き込み: パリティなし

読み出し: 可能

EPR0によって、受信データのパリティチェック、および送信データへのパリティビットの付加を行うかどうかを選択します。EPR0に"1"を書き込むと受信データはパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。"0"を書き込んだ場合はチェックおよび付加は行われません。パリティ機能は調歩同期式モードの場合にのみ有効で、クロック同期式モードではEPR0の設定は無効となります。

イニシャルリセット時、EPR0は不定となります。

PMD0: Ch.0パリティモード選択(D4/0x300203<FIFOシリアルI/F Ch.0制御レジスタ>)

奇数パリティ/偶数パリティを選択します。

- "1"書き込み: 奇数パリティ
- "0"書き込み: 偶数パリティ
- 読み出し: 可能

PMD0に"1"を書き込むと奇数パリティが選択され、"0"を書き込むと偶数パリティが選択されます。パリティチェックおよびパリティビットの付加はEPR0に"1"が書き込まれている場合の調歩同期式転送にのみ有効で、EPR0に"0"が書き込まれている場合は、PMD0の設定は無効となります。
イニシャルリセット時、PMD0は不定となります。

STPB0: Ch.0ストップビット選択(D3/0x300203<FIFOシリアルI/F Ch.0制御レジスタ>)

調歩同期式転送を行う場合のストップビット長を選択します。

- "1"書き込み: 2ビット
- "0"書き込み: 1ビット
- 読み出し: 可能

STPB0は調歩同期式転送時にのみ有効なストップビット選択ビットです。"1"を書き込むとストップビットが2ビットに、"0"を書き込むと1ビットになります。スタートビットは1ビットに固定です。
クロック同期式転送を行う場合、STPB0の設定は無効となります。
イニシャルリセット時、STPB0は不定となります。

SSCK0: Ch.0入力クロック選択(D2/0x300203<FIFOシリアルI/F Ch.0制御レジスタ>)

調歩同期式転送のクロック源を選択します。

- "1"書き込み: #FSCLK(外部クロック)
- "0"書き込み: 内部クロック(ボーレートタイマ)
- 読み出し: 可能

調歩同期式モード時に、内部クロック(ボーレートタイマの出力)を使用するか、外部クロック(#FSCLK0端子から入力)を使用するか選択します。SSCK0に"1"を書き込むと外部クロック、"0"を書き込むと内部クロックが選択されます。
イニシャルリセット時、SSCK0は不定となります。

SMD01–SMD00: Ch.0転送モード選択(D[1:0]/0x300203<FIFOシリアルI/F Ch.0制御レジスタ>)

FIFO付きシリアルインタフェースの転送モードを表III.10.12のとおり設定します。

表III.10.12 転送モードの設定

SMD01	SMD00	転送モード
1	1	調歩同期式8ビットモード
1	0	調歩同期式7ビットモード
0	1	クロック同期式スレーブモード
0	0	クロック同期式マスタモード

SMD0は読み出しも可能です。
IrDAインタフェースを使用する場合は、必ず調歩同期式モードに設定してください。
イニシャルリセット時、SMD0は不定となります。

SRDYCTL0: Ch.0 #FSRDY制御(D7/0x300204<FIFOシリアル/F Ch.0 IrDAレジスタ>)

受信バッファフル時の#FSRDY0信号の制御内容を選択します。

"1"書き込み: Highマスク

"0"書き込み: 通常出力

読み出し: 可能

SRDYCTL0が"0"に設定されると通常出力制御が行われ、受信データバッファが満杯の場合でも#FSRDY0信号は受信可能として出力されます。"1"を書き込んでHighマスクを選択すると、クロック同期式スレーブモードとマスタモードで、それぞれ以下の制御が行われます。

クロック同期式スレーブモード

受信データバッファが満杯の場合には、バッファ内のデータを読み出すまで#FSRDY0信号を強制的にHighにして、マスタデバイスのデータ送信を中断させます。

クロック同期式マスタモード

受信データバッファが満杯になると、データを読み出すまでスレーブからの#FSRDY(Low)を無視し#FSCLK0の出力を停止します。

これにより、オーバーランエラーの発生を回避することができます。

この機能を有効にした場合でも、受信データバッファが満杯以外では、通常の受信動作を行います。

#FSRDY0信号を使用しない調歩同期式モードでは、このビットの設定は無効です。

イニシャルリセット時、SRDYCTL0は"0" (通常出力) となります。

FIFOINT01~FIFOINT00: Ch.0 受信FIFOレベル設定(D[6:5]/0x300204<FIFOシリアル/F Ch.0 IrDAレジスタ>)

受信バッファフル割り込みを発生させる、受信バッファ内のデータ数を設定します。

0~3の指定値で1~4個の受信データ数が設定されます。

受信データバッファ内の受信データがここで指定した数になると、受信バッファフル割り込み要因フラグFFSRX0が"1"にセットされます。

イニシャルリセット時、FIFOINT0は(1個)となります。

DIVMD0: Ch.0 サンプリングクロック分周比選択(D4/0x300204<FIFOシリアル/F Ch.0 IrDAレジスタ>)

サンプリングクロックの分周比を選択します。

"1"書き込み: 1/8

"0"書き込み: 1/16

読み出し: 可能

調歩同期式転送のサンプリングクロックを生成するための分周比を選択します。DIVMD0に"1"を書き込むと、入力クロック(ボーレートタイマ出力または#FSCLK0入力)を1/8に分周してサンプリングクロックを生成します。"0"を書き込んだ場合は1/16に分周されます。

イニシャルリセット時、DIVMD0は不定となります。

IRTL0: Ch.0 IrDA出力論理反転(D3/0x300204<FIFOシリアル/F Ch.0 IrDAレジスタ>)

IrDA出力信号の論理を反転します。

"1"書き込み: 反転

"0"書き込み: 反転なし

読み出し: 可能

IrDAインタフェースを使用する場合に、FSOUT0出力信号の論理を外部に接続する赤外線通信回路に合わせ設定します。IRTL0に"1"を書き込むと、出力データが"0"のときにHighパルスを出力するように設定されます(出力データが"1"のときはLowレベルを保持)。"0"を書き込んだ場合は、出力データが"0"のときにLowパルスを出力するように設定されます(出力データが"1"のときはHighレベルを保持)。

イニシャルリセット時、IRTL0は不定となります。

IRRL0: Ch.0 IrDA入力論理反転(D2/0x300204<FIFOシリアルI/F Ch.0 IrDAレジスタ>)

IrDA入力信号の論理を反転します。

- "1"書き込み: 反転
- "0"書き込み: 反転なし
- 読み出し: 可能

IrDAインタフェースを使用する場合に、外部に接続する赤外線通信回路からの入力信号の論理をFIFO付きシリアルインタフェースに合わせて設定します。IRRL0に"1"を書き込むと、Highパルスを"0"として入力します。"0"を書き込んだ場合は、Lowパルスを"0"として入力します。

イニシャルリセット時、IRRL0は不定となります。

IRMD01–IRMD00: Ch.0 IrDAインタフェース機能選択(D[1:0]/0x300204<FIFOシリアルI/F Ch.0 IrDAレジスタ>)

IrDAインタフェース機能を選択します。

表III.10.13 IrDAインタフェースの設定

IRMD01	IRMD00	設定内容
1	1	設定禁止(reserved)
1	0	IrDA 1.0インタフェース
0	1	設定禁止(reserved)
0	0	通常のインタフェース

IrDAインタフェース機能を使用する場合は、調歩同期式モードに設定するとともに、IRMD0に"10"を書き込んでください。IrDA機能を使用しない場合はIRMD0に"00"を書き込んでください。

イニシャルリセット時、IRMD0は不定となります。

注: この選択は、必ず転送モード等、他の設定の前に行ってください。

BRTRUN: ボーレートタイマRUN/STOP制御

(D0/0x300205<FIFOシリアルI/F Ch.0ボーレートタイマ制御レジスタ>)

ボーレートタイマのRUN/STOPを制御します。

- "1"書き込み: RUN
- "0"書き込み: STOP
- 読み出し: 可能

ボーレートタイマはBRTRUNに"1"を書き込むことによってリロードデータ(BRTRD0[9:0])をカウンタにロードし、ダウンカウントを開始します。ボーレートタイマはBRTRUNへの"0"書き込みにより停止します。

イニシャルリセット時、BRTRUNは"0"(STOP)に設定されます。

BRTRD09–BRTRD00: ボーレートタイマリロードデータ

(D[1:0]/0x300207, D[7:0]/0x300206<FIFOシリアルI/F Ch.0ボーレートタイマリロードデータレジスタ>)

ボーレートタイマのカウンタ初期値を設定します。

本レジスタに設定したリロードデータがカウンタにロードされ、それを初期値としてダウンカウントが行われます。

リロードデータがカウンタにロードされる条件はBRTRUNに"1"を書き込んでカウンタをスタートさせた場合と、カウンタのアンダーフローによって自動的にリロードが行われる場合です。

イニシャルリセット時、BRTRDは"000H"に設定されます。

BRTCD09–BRTCD00: ボーレートタイマカウンタデータ

(D[1:0]/0x300209, D[7:0]/0x300208<FIFOシリアルI/F Ch.0ボーレートタイマカウンタデータレジスタ>)

ボーレートタイマのデータが読み出せます。

本ビットは読み出し時にカウンタのデータが保持されるバッファとなっており、データは任意のタイミングで読み出しが可能です。

イニシャルリセット時、BRTCDは"000H"に設定されます。

PFSIO02~PFSIO00: Ch.0割り込みレベル

(D[6:4]/0x402B0<FIFOシリアル/F Ch.0割り込みプライオリティレジスタ>)

FIFO付きシリアルインタフェース割り込みの優先レベルを設定します。

割り込みの優先レベルを0~7の範囲で設定できます。

イニシャルリセット時、PFSIO0は不定となります。

EFSERR0, EFSRX0, EFSTX0: Ch.0割り込みイネーブル

(D3, D4, D5/0x402B1<FIFOシリアル/F Ch.0割り込みイネーブルレジスタ>)

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

EFSERR0、EFSRX0、EFSTX0は、それぞれ受信エラー、受信バッファフル、送信バッファエンプティの割り込み要因に対応する割り込みイネーブルビットで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

イニシャルリセット時、割り込みイネーブルレジスタは"0" (割り込み禁止) に設定されます。

FFSERR0, FFSRX0, FFSTX0: Ch.0割り込み要因フラグ

(D3, D4, D5/0x402B2<FIFOシリアル/F Ch.0割り込み要因フラグレジスタ>)

FIFO付きシリアルインタフェース割り込みの発生状態を示します。

• 読み出し時

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

• リセットオンリー方式書き込み時(デフォルト)

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

• リード/ライト方式書き込み時

"1"書き込み: 要因フラグをセット

"0"書き込み: 要因フラグをリセット

FFSERR0、FFSRX0、FFSTX0フラグは、それぞれ受信エラー、受信バッファフル、送信バッファエンプティの割り込みに対応する割り込み要因フラグで、それぞれの要因の発生により"1"にセットされます。送信バッファエンプティ割り込み要因は、送信データバッファ内の最後のデータがシフトレジスタに転送されたところで発生します。

受信バッファフル割り込み要因は、受信データバッファ内の受信データがFIFOINT0[1:0]で設定した個数になったところで発生します。

受信エラー割り込み要因は、データ受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された場合に発生します。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
 2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
 3. PSRのIEビットが"1" (割り込み許可) に設定されている。
 4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。
- なお、受信バッファフル、送信バッファエンプティの割り込み要因をIDMA要求として使用する場合、上記の条件が成立している場合でも、割り込み要因発生時点でCPUに対する割り込み要求は出力されません。IDMAの設定で割り込みを許可してあれば、IDMAによるデータ転送終了後に上記の条件で割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み要因の発生により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。

割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(`reti` 命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(`RSTONLY = "1"`)の場合が"1"、リード/ライト方式(`RSTONLY = "0"`)の場合が"0"となりますので注意してください。

イニシャルリセット時、これらのフラグはすべて不定となりますので、必ずソフトウェアでリセットしてください。

RFSRX0, RFSTX0: Ch.0 IDMAリクエスト

(D2, D3/0x402B3<FIFOシリアルI/F Ch.0 IDMAリクエストレジスタ>)

割り込み要因発生時にIDMAを起動するかどうか設定します。

- セットオンリー方式(デフォルト)

"1"書き込み: IDMA要求

"0"書き込み: 無効

読み出し: 可能

- リード/ライト方式

"1"書き込み: IDMA要求

"0"書き込み: 割り込み要求

読み出し: 可能

RFSRX0、RFSTX0はそれぞれ受信バッファフル、送信バッファエンプティの割り込み要因に対応するIDMAリクエストビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

IDMAについては"IDMA(インテリジェントDMA)"を参照してください。

イニシャルリセット時、これらのビットは"0"(割り込み要求)に設定されます。

DEFSRX0, DEFSTX0: Ch.0 IDMAイネーブル

(D2, D3/0x402B4<FIFOシリアルI/F Ch.0 IDMAイネーブルレジスタ>)

割り込み要因によるIDMA転送を許可または禁止します。

- セットオンリー方式(デフォルト)

"1"書き込み: IDMA許可

"0"書き込み: 無効

読み出し: 可能

- リード/ライト方式

"1"書き込み: IDMA許可

"0"書き込み: IDMA禁止

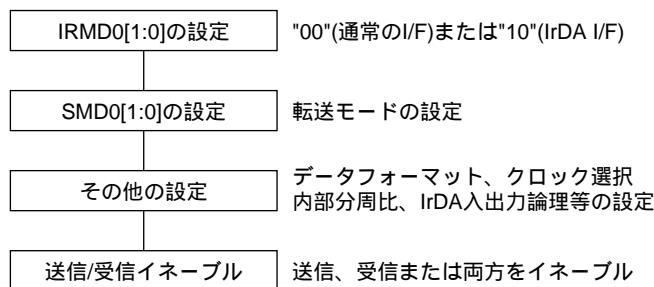
読み出し: 可能

DEFSRX0、DEFSTX0はそれぞれ受信バッファフル、送信バッファエンプティの割り込み要因に対応するIDMAイネーブルビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

イニシャルリセット時、これらのビットは"0"(IDMA禁止)に設定されます。

プログラミング上の注意事項

- (1) FIFO付きシリアルインタフェースの各種設定は、送受信が禁止の状態 (TXEN0 = RXEN0 = "0") で行ってください。
- (2) FIFO付きシリアルインタフェースが送信 (受信) 中は、TXEN0 (RXEN0) を "0" に設定しないでください。また、slp命令も実行しないでください。
- (3) クロック同期式転送は送受信で共通のクロックラインを使用する半二重通信です。したがって、TXEN0とRXEN0を同時に許可に設定することはできません。
- (4) イニシャルリセット後、割り込み要因フラグは不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。
- (5) 受信エラーが発生した場合、受信エラー割り込み要因と受信バッファフル割り込み要因が同時に発生する場合があります。ただし、受信エラー割り込みの優先順位が受信バッファフル割り込みよりも高く設定されていますので、受信エラー割り込みの処理が先に実行されます。このため、受信エラー割り込み処理の中で受信バッファフル割り込み要因フラグをリセットする必要があります。
- (6) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。
- (7) FIFO付きシリアルインタフェースは、次の手順で初期設定してください。



図III.10.20 FIFO付きシリアルインタフェースの初期設定手順

- (8) クロック同期式マスタモードで送信する場合、(7)のフローに従って初期設定を行った後、必要に応じて送信データを送信データレジスタに書き込みます。ただし、この書き込みはボーレートタイマからのクロックがFIFO付きシリアルインタフェースに供給されている状態 (具体的には最低1回はボーレートタイマのアンダーフローを発生させる) で行ってください。これ以外の場合、書き込んだ送信データの前に0xFFが送信されます。
- (9) FIFO付きシリアルインタフェースの転送レートは、最大1Mbpsと規定します。
- (10) 受信途中で受信回路を止める場合は、送信、受信とも禁止に設定してください。
- (11) クロック同期式モードでデータ転送を行う場合は、転送レートがシステムクロックの1/4以下になるようにボーレートタイマのリロード値を設定してください。
- (12) 送信許可ビットTXEN0に"0"を書き込んで送信禁止に設定すると送信データバッファ (FIFO) がクリア (初期化) されます。同様に、受信許可ビットRXEN0に"0"を書き込んで受信禁止に設定すると受信データバッファ (FIFO) がクリア (初期化) されます。送受信終了後は、これらのビットに"0"を書き込む前に、バッファ内に送信待ちまたは読み出し前のデータが残っていないことを確認してください。
- (13) ボーレートタイマの入力クロック (周辺回路動作クロック) は、パワーコントロールレジスタ (0x40180) のPSCON (D5) が"1"に設定されている場合に供給されます。PSCONが"0"の場合はボーレートタイマにクロックが供給されませんので注意してください。
- (14) ボーレートタイマの入力クロック (周辺回路動作クロック) は、プリスケラクロック選択レジスタ (0x40181) のPSCDT0 (D0) により、OSC3/PLLクロック、またはOSC1クロックから選択されます。

このページはブランクです。

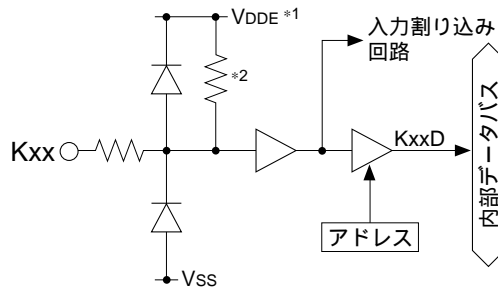
III-11 入出力ポート

C33周辺回路ブロックは42本の入出力端子を持っています。それぞれ、内部周辺回路の入出力端子として使用されますが、周辺回路用に使用しない端子については、汎用の入出力ポートとして使用することができます。この章では、汎用入出力ポートとして使用する場合の機能と制御方法について説明します。

入力ポート(Kポート)

入力ポートの構成

C33周辺回路ブロックは13ビットの入力ポート (K50～K54、K60～K67) を内蔵しています。図III.11.1に入力ポートの構造を示します。



*1 K60～K67はAVDDDE

*2 機種によりプルアップ抵抗を内蔵している場合があります。

図III.11.1 入力ポートの構造

各入力ポート端子は3ステートバッファを通して直接内部データバスに接続されており、入力ポート読み出し時点での入力信号の状態がそのままデータとして読み込まれます。

K60～K67ポートの入力バッファは電源がAVDDDEとなっています。したがって、これらのポートを汎用DC入力ポートとして使う場合、HighレベルはAVDDDE、LowレベルはVSSとなっている必要があります。

特にAVDDDEとVDDDEに電位差がある状況で入力レベルがVDDDEの場合、入力バッファに電流が流れたり($AVDDDE > VDDDE$ のとき) またはVDDDEとAVDDDE間に電流が流れたり($AVDDDE < VDDDE$ のとき) することになります。

したがって、もしこれらのポートを使用しないために入力レベルを外部で固定するときは、VSSまたはAVDDDEに固定してください。

K60～K67ポートにプルアップ抵抗を内蔵している機種の場合、これらのポートはAVDDDEにプルアップされます。

注: 機種により、入力端子にはソフトウェアで接続/切り離し可能なプルアップ抵抗が用意されている場合があります。"端子制御レジスタ"の章を参照し、プルアップ抵抗の制御を行ってください。

入力ポート端子

入力端子は、表III.11.1に示すとおり周辺回路用の入出力端子を兼ねており、入力ポートとして使用するか、周辺回路用に使用するかを機能選択レジスタによってビット単位に設定できるようになっています。周辺回路用に使用しない端子は、すべて割り込み機能を持つ汎用入力ポート端子として使用できます。

表III.11.1 入力端子

端子名	I/O	機 能	機能選択ビット
K50 (#DMAREQ0)	I	入力ポート/高速DMA要求0	CFK50(K5機能選択レジスタ0x402C0•D0)
K51 (#DMAREQ1)	I	入力ポート/高速DMA要求1	CFK51(K5機能選択レジスタ0x402C0•D1)
K52 (#ADTRG)	I	入力ポート/AD変換器トリガ	CFK52(K5機能選択レジスタ0x402C0•D2)
K53 (#DMAREQ2)	I	入力ポート/高速DMA要求2	CFK53(K5機能選択レジスタ0x402C0•D3)
K54 (#DMAREQ3)	I	入力ポート/高速DMA要求3	CFK54(K5機能選択レジスタ0x402C0•D4)
K60 (AD0)	I	入力ポート/AD変換器入力0	CFK60(K6機能選択レジスタ0x402C3•D0)
K61 (AD1)	I	入力ポート/AD変換器入力1	CFK61(K6機能選択レジスタ0x402C3•D1)
K62 (AD2)	I	入力ポート/AD変換器入力2	CFK62(K6機能選択レジスタ0x402C3•D2)
K63 (AD3)	I	入力ポート/AD変換器入力3	CFK63(K6機能選択レジスタ0x402C3•D3)
K64 (AD4)	I	入力ポート/AD変換器入力4	CFK64(K6機能選択レジスタ0x402C3•D4)
K65 (AD5)	I	入力ポート/AD変換器入力5	CFK65(K6機能選択レジスタ0x402C3•D5)
K66 (AD6)	I	入力ポート/AD変換器入力6	CFK66(K6機能選択レジスタ0x402C3•D6)
K67 (AD7)	I	入力ポート/AD変換器入力7	CFK67(K6機能選択レジスタ0x402C3•D7)

コールドスタート時は、すべて入力ポート端子Kxx(機能選択ビットCFKxx="0")に設定されます。内蔵周辺回路に使用する場合は、CFKxxに"1"を書き込んでください。その場合の機能の詳細は、各周辺回路の説明を参照してください。

ホットスタート時は、リセット前の状態を保持します。

A/D変換器入力に設定したポートを読み出した場合、データは常に"0"となります。

使用上の注意

K60～K67の入力バッファの電源はAV_{DDE}(A/D変換器用電源)です。また、K60～K67のプルアップ抵抗もAV_{DDE}に接続されています。したがって、以下の点に注意してください。

- 1) K60～K67を汎用入力ポートとして使用する場合、ポートに入力する電圧はHighレベル=AV_{DDE}、Lowレベル=V_{SS}としてください。
- 2) 他のポートと同様にHighレベル=V_{DDE}で使用する場合、必ずV_{DDE}=AV_{DDE}として使用してください。
AV_{DDE}>V_{DDE}の場合にV_{DDE}を入力すると、入力バッファに電流が流れてしまいます。
AV_{DDE}<V_{DDE}ではV_{DDE}電源からAV_{DDE}電源に対して電流が流れてしまいます。
- 3) ポートを使用しない場合に外部でレベルを固定するには、V_{SS}またはAV_{DDE}に接続してください。

入力ポートのI/Oメモリ

表III.11.2に入力ポートの制御ビットを示します。

表III.11.2 入力ポートの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
K5機能選択レジスタ	00402C0 (B)	D7-5	—	reserved	—	—	—	読み出し時: 0
		D4	CFK54	K54機能選択	1 #DMAREQ3	0 K54	0 R/W	
		D3	CFK53	K53機能選択	1 #DMAREQ2	0 K53	0 R/W	
		D2	CFK52	K52機能選択	1 #ADTRG	0 K52	0 R/W	
		D1	CFK51	K51機能選択	1 #DMAREQ1	0 K51	0 R/W	
		D0	CFK50	K50機能選択	1 #DMAREQ0	0 K50	0 R/W	
K5入力ポートデータレジスタ	00402C1 (B)	D7-5	—	reserved	—	—	—	読み出し時: 0
		D4	K54D	K54入力ポートデータ	1 High	0 Low	— R	
		D3	K53D	K53入力ポートデータ			— R	
		D2	K52D	K52入力ポートデータ			— R	
		D1	K51D	K51入力ポートデータ			— R	
		D0	K50D	K50入力ポートデータ			— R	
K6機能選択レジスタ	00402C3 (B)	D7	CFK67	K67機能選択	1 AD7	0 K67	0 R/W	
		D6	CFK66	K66機能選択	1 AD6	0 K66	0 R/W	
		D5	CFK65	K65機能選択	1 AD5	0 K65	0 R/W	
		D4	CFK64	K64機能選択	1 AD4	0 K64	0 R/W	
		D3	CFK63	K63機能選択	1 AD3	0 K63	0 R/W	
		D2	CFK62	K62機能選択	1 AD2	0 K62	0 R/W	
		D1	CFK61	K61機能選択	1 AD1	0 K61	0 R/W	
		D0	CFK60	K60機能選択	1 AD0	0 K60	0 R/W	
K6入力ポートデータレジスタ	00402C4 (B)	D7	K67D	K67入力ポートデータ	1 High	0 Low	— R	
		D6	K66D	K66入力ポートデータ			— R	
		D5	K65D	K65入力ポートデータ			— R	
		D4	K64D	K64入力ポートデータ			— R	
		D3	K63D	K63入力ポートデータ			— R	
		D2	K62D	K62入力ポートデータ			— R	
		D1	K61D	K61入力ポートデータ			— R	
		D0	K60D	K60入力ポートデータ			— R	

CFK54–CFK50: K5[4:0]機能選択(D[4:0]/0x402C0<K5機能選択レジスタ>)

CFK67–CFK60: K6[7:0]機能選択(D[7:0]/0x402C3<K6機能選択レジスタ>)

入力ポート端子の機能を選択します。

"1"書き込み: 周辺回路用端子

"0"書き込み: 入力ポート端子

読み出し: 可能

CFKレジスタのビットに"1"を書き込むと、対応する端子が周辺回路用に設定されます(表III.11.1参照)。"0"に設定されたビットに対応する端子は汎用入力ポート端子として使用可能です。

コールドスタート時、CFKは"0"(入力ポート端子)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

K54D–K50D: K5[4:0]入力ポートデータ(D[4:0]/0x402C1<K5入力ポートデータレジスタ>)

K67D–K60D: K6[7:0]入力ポートデータ(D[7:0]/0x402C4<K6入力ポートデータレジスタ>)

入力ポート端子の入力データが読み出せます。

"1"読み出し: Highレベル

"0"読み出し: Lowレベル

書き込み: 無効

入力ポートの各端子電圧がそれぞれHigh(V_{DD})レベルのとき"1"、Low(V_{SS})レベルのとき"0"として直接読み出せます。

本ビットは読み出し専用のため、書き込み動作は無効となります。

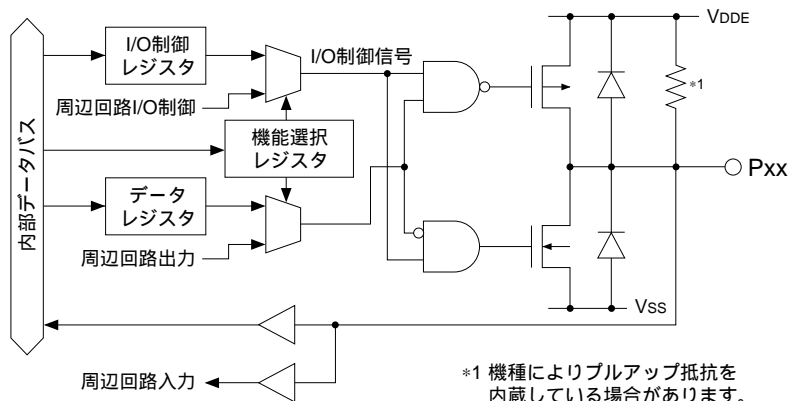
A/D変換器入力に設定したポートを読み出した場合、データは常に"0"となります。

入出力兼用ポート(Pポート)

入出力兼用ポートの構成

C33周辺回路ブロックは、プログラムにより入出力方向の切り換えが可能な29ビットの入出力兼用ポート (P00～P07、P10～P16、P20～P27、P30～P35) を内蔵しています。

図III.11.2に入出力兼用ポートの構造を示します。



図III.11.2 入出力兼用ポートの構造

注: 機種により、入出力兼用ポート端子にはソフトウェアで接続/切り離し可能なプルアップ抵抗が用意されている場合があります。"端子制御レジスタ"の章を参照し、プルアップ抵抗の制御を行ってください。

入出力兼用ポート端子

入出力端子は、表III.11.3に示すとおり周辺回路用の入出力端子を兼ねており、入出力兼用ポートとして使用するか、周辺回路用を使用するかを機能選択レジスタおよび機能拡張によってビット単位に設定できるようになっています。周辺回路用を使用しない端子は、すべて汎用入出力兼用ポート端子として使用できます。

表III.11.3 入出力端子

端子名	I/O	機 能	機能選択ビット
P00 (SIN0)	I/O	入出力兼用ポート/シリアルIF Ch.0データ入力	CFP00(P0機能選択レジスタ0x402D0•D0)
P01 (SOUT0)	I/O	入出力兼用ポート/シリアルIF Ch.0データ出力	CFP01(P0機能選択レジスタ0x402D0•D1)
P02 (#SCLK0)	I/O	入出力兼用ポート/シリアルIF Ch.0クロック入出力	CFP02(P0機能選択レジスタ0x402D0•D2)
P03 (#SRDY0)	I/O	入出力兼用ポート/シリアルIF Ch.0レディ入出力	CFP03(P0機能選択レジスタ0x402D0•D3)
P04 (SIN1/ #DMAACK2)	I/O	入出力兼用ポート/シリアルIF Ch.1データ入力/ #DMAACK2出力(Ex)	CFP04(P0機能選択レジスタ0x402D0•D4) CFEX4(ポート機能拡張レジスタ0x402DF•D4)
P05 (SOUT1/ #DMAEND2)	I/O	入出力兼用ポート/シリアルIF Ch.1データ出力/ #DMAEND2出力(Ex)	CFP05(P0機能選択レジスタ0x402D0•D5) CFEX5(ポート機能拡張レジスタ0x402DF•D5)
P06 (#SCLK1/ #DMAACK3)	I/O	入出力兼用ポート/シリアルIF Ch.1クロック入出力/ #DMAACK3出力(Ex)	CFP06(P0機能選択レジスタ0x402D0•D6) CFEX6(ポート機能拡張レジスタ0x402DF•D6)
P07 (#SRDY1/ #DMAEND3)	I/O	入出力兼用ポート/シリアルIF Ch.1レディ入出力/ #DMAEND3出力(Ex)	CFP07(P0機能選択レジスタ0x402D0•D7) CFEX7(ポート機能拡張レジスタ0x402DF•D7)
DST0 (P10 /EXCL0/ T8UF0)	I/O	DST0出力(Ex)/入出力兼用ポート/16bitタイマ0イベント カウンタ入力(I)/8bitタイマ0出力(O)	CFP10(P1機能選択レジスタ0x402D4•D0) CFEX1(ポート機能拡張レジスタ0x402DF•D1)
DST1 (P11 /EXCL1/ T8UF1)	I/O	DST1出力(Ex)/入出力兼用ポート/16bitタイマ1イベント カウンタ入力(I)/8bitタイマ1出力(O)	CFP11(P1機能選択レジスタ0x402D4•D1) CFEX1(ポート機能拡張レジスタ0x402DF•D1)
DST2 (P12 /EXCL2/ T8UF2)	I/O	DST2出力(Ex)/入出力兼用ポート/16bitタイマ2イベント カウンタ入力(I)/8bitタイマ2出力(O)	CFP12(P1機能選択レジスタ0x402D4•D2) CFEX0(ポート機能拡張レジスタ0x402DF•D0)
DPCO (P13 /EXCL3/ T8UF3)	I/O	DPCO出力(Ex)/入出力兼用ポート/16bitタイマ3イベント カウンタ入力(I)/8bitタイマ3出力(O)	CFP13(P1機能選択レジスタ0x402D4•D3) CFEX1(ポート機能拡張レジスタ0x402DF•D1)
DCLK (P14 /FOSC1)	I/O	DCLK出力(Ex)/入出力兼用ポート/低速(OSC1)クロック 出力	CFP14(P1機能選択レジスタ0x402D4•D4) CFEX0(ポート機能拡張レジスタ0x402DF•D0)
P15 (EXCL4/ #DMAEND0/#SCLK3)	I/O	入出力兼用ポート/16bitタイマ4イベントカウンタ入力(I)/ #DMAEND0出力(O)/シリアル/F Ch.3クロック入出力	CFP15(P1機能選択レジスタ0x402D4•D5)
P16 (EXCL5/ #DMAEND1/SOUT3)	I/O	入出力兼用ポート/16bitタイマ5イベントカウンタ 入力(I)/#DMAEND1出力(O)/シリアル/F Ch.3データ出力	CFP16(P1機能選択レジスタ0x402D4•D6)

(I): 入力モード, (O): 出力モード, (Ex): 拡張機能

端子名	I/O	機 能	機能選択ビット
P20(#DRD)	I/O	入出力兼用ポート/#DRD出力	CFP20(P2機能選択レジスタ0x402D8•D0)
P21(#DWE/#GAAS)	I/O	入出力兼用ポート/#DWE出力/ GAアドレスストロブ出力(Ex)	CFP21(P2機能選択レジスタ0x402D8•D1) CFEX2(ポート機能拡張レジスタ0x402DF•D2)
P22(TM0)	I/O	入出力兼用ポート/16bitタイマ0出力	CFP22(P2機能選択レジスタ0x402D8•D2)
P23(TM1)	I/O	入出力兼用ポート/16bitタイマ1出力	CFP23(P2機能選択レジスタ0x402D8•D3)
P24(TM2/#SRDY2)	I/O	入出力兼用ポート/16bitタイマ2出力/ シリアル/F Ch.2レディ入出力	CFP24(P2機能選択レジスタ0x402D8•D4)
P25(TM3/#SCLK2)	I/O	入出力兼用ポート/16bitタイマ3出力/ シリアル/F Ch.2クロック入出力	CFP25(P2機能選択レジスタ0x402D8•D5)
P26(TM4/SOUT2)	I/O	入出力兼用ポート/16bitタイマ4出力/ シリアル/F Ch.2データ出力	CFP26(P2機能選択レジスタ0x402D8•D6)
P27(TM5/SIN2)	I/O	入出力兼用ポート/16bitタイマ5出力/ シリアル/F Ch.2データ入力	CFP27(P2機能選択レジスタ0x402D8•D7)
P30(#WAIT/#CE4&5)	I/O	入出力兼用ポート/#WAIT入力(I)/#CE4&5出力(O)	CFP30(P3機能選択レジスタ0x402DC•D0)
P31(#BUSGET/ #GARD)	I/O	入出力兼用ポート/#BUSGET出力/ GAリード信号出力(Ex)	CFP31(P3機能選択レジスタ0x402DC•D1) CFEX3(ポート機能拡張レジスタ0x402DF•D3)
P32(#DMAACK0/ #SRDY3)	I/O	入出力兼用ポート/#DMAACK0出力/ シリアル/F Ch.3レディ入出力	CFP32(P3機能選択レジスタ0x402DC•D2)
P33(#DMAACK1/ SIN3)	I/O	入出力兼用ポート/#DMAACK1出力/ シリアル/F Ch.3データ入力	CFP33(P3機能選択レジスタ0x402DC•D3)
P34(#BUSREQ/ #CE6)	I/O	入出力兼用ポート/#BUSREQ入力(I)/#CE6出力(O)	CFP34(P3機能選択レジスタ0x402DC•D4)
P35(#BUSACK)	I/O	入出力兼用ポート/#BUSACK出力	CFP35(P3機能選択レジスタ0x402DC•D5)

(I): 入力モード, (O): 出力モード, (Ex): 拡張機能

コールドスタート時は、すべて入出力兼用ポート端子Pxx(機能選択ビットCFPxx="0")に設定されます。内蔵周辺回路に使用する場合は、CFPxxに"1"を書き込んでください。その場合の機能の詳細は、各周辺回路の説明を参照してください。ホットスタート時は、リセット前の状態を保持します。

P10～P13、P15～P16、P30およびP34端子は入出力兼用ポートの他に、それぞれ2種類(P10～P13は3種類)の周辺回路と共用されます。そのどちらの周辺回路用に使用するかは、後述するI/O制御レジスタによる入出力方向の設定によって決まります。

P04～P07、P10～P14、P21およびP31ポートは表中の(Ex)で示される拡張機能を持っています。それらの機能は、ポート機能拡張レジスタ(0x402DF)のCFEXxに"1"を書き込むことで選択されます。CFEXxの設定はCFPxxに優先します。コールドスタート時、CFEX1とCFEX0は"1"に設定され、P10～P14ポートがデバッグ用信号出力ポートとして機能します。

I/O制御レジスタと入力/出力モード

入出力兼用ポートは、それぞれのビットに対応したI/O制御レジスタにデータを書き込むことによって、入力モードあるいは出力モードに設定されます。

P07～P00用I/O制御: IOC0[7:0] P0 I/O制御レジスタ0x402D2•D[7:0]

P16～P10用I/O制御: IOC1[6:0] P1 I/O制御レジスタ0x402D6•D[6:0]

P27～P20用I/O制御: IOC2[7:0] P2 I/O制御レジスタ0x402DA•D[7:0]

P35～P30用I/O制御: IOC3[5:0] P3 I/O制御レジスタ0x402DE•D[5:0]

入力モードに設定する場合はI/O制御レジスタに"0"を書き込みます。入力モードに設定された入出力兼用ポートは、ハイインピーダンス状態となり入力ポートとして機能します。

入力モード時の読み出しでは入力端子の状態が直接読み込まれ、そのデータは入力端子がHigh(V_{DD})レベルのときに"1"、Low(V_{SS})レベルのときに"0"となります。

入力モード時においても、端子の状態に影響を与えることなくデータレジスタに対して書き込みは行えます。

出力モードに設定する場合はI/O制御レジスタに"1"を書き込みます。出力モードに設定された入出力兼用ポートは出力ポートとして機能し、ポート出力データが"1"の場合にHigh(V_{DD})レベル、"0"の場合にLow(V_{SS})レベルを出力します。

コールドスタート時、I/O制御レジスタは"0"(入力モード)に設定されます。

ホットスタート時は、リセット前の状態を保持します。

注: P10～P14、P15～P16、P30およびP34を周辺回路用の端子に設定した場合は、IOC1xによる入出力方向制御により端子機能が変わります。

入出力兼用ポートのI/Oメモリ

表III.11.4に入出力兼用ポートの制御ビットを示します。

表III.11.4 入出力兼用ポートの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
P0機能選択 レジスタ	00402D0 (B)	D7	CFP07	P07機能選択	1	#SRDY1	0	P07	0	R/W	拡張機能(0x402DF)
		D6	CFP06	P06機能選択	1	#SCLK1	0	P06	0	R/W	
		D5	CFP05	P05機能選択	1	SOUT1	0	P05	0	R/W	
		D4	CFP04	P04機能選択	1	SIN1	0	P04	0	R/W	
		D3	CFP03	P03機能選択	1	#SRDY0	0	P03	0	R/W	拡張機能(0x300040)
		D2	CFP02	P02機能選択	1	#SCLK0	0	P02	0	R/W	
		D1	CFP01	P01機能選択	1	SOUT0	0	P01	0	R/W	
		D0	CFP00	P00機能選択	1	SIN0	0	P00	0	R/W	
P0入出力兼用 ポートデータ レジスタ	00402D1 (B)	D7	P07D	P07入出力兼用ポートデータ	1	High	0	Low	0	R/W	
		D6	P06D	P06入出力兼用ポートデータ					0	R/W	
		D5	P05D	P05入出力兼用ポートデータ					0	R/W	
		D4	P04D	P04入出力兼用ポートデータ					0	R/W	
		D3	P03D	P03入出力兼用ポートデータ					0	R/W	
		D2	P02D	P02入出力兼用ポートデータ					0	R/W	
		D1	P01D	P01入出力兼用ポートデータ					0	R/W	
		D0	P00D	P00入出力兼用ポートデータ					0	R/W	
P0 I/O制御 レジスタ	00402D2 (B)	D7	IOC07	P07 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポート 端子のI/O制御信号 の値(詳細説明参照)
		D6	IOC06	P06 I/O制御					0	R/W	
		D5	IOC05	P05 I/O制御					0	R/W	
		D4	IOC04	P04 I/O制御					0	R/W	
		D3	IOC03	P03 I/O制御					0	R/W	
		D2	IOC02	P02 I/O制御					0	R/W	
		D1	IOC01	P01 I/O制御					0	R/W	
		D0	IOC00	P00 I/O制御					0	R/W	
P1機能選択 レジスタ	00402D4 (B)	D7	—	reserved	—			—	—	読み出し時: 0	
		D6	CFP16	P16機能選択	1	EXCL5 #DMAEND1	0	P16	0	R/W	拡張機能(0x402D7)
		D5	CFP15	P15機能選択	1	EXCL4 #DMAEND0	0	P15	0	R/W	
		D4	CFP14	P14機能選択	1	FOSC1	0	P14	0	R/W	
		D3	CFP13	P13機能選択	1	EXCL3 T8UF3	0	P13	0	R/W	
		D2	CFP12	P12機能選択	1	EXCL2 T8UF2	0	P12	0	R/W	
		D1	CFP11	P11機能選択	1	EXCL1 T8UF1	0	P11	0	R/W	
		D0	CFP10	P10機能選択	1	EXCL0 T8UF0	0	P10	0	R/W	
P1入出力兼用 ポートデータ レジスタ	00402D5 (B)	D7	—	reserved	—			—	—	読み出し時: 0	
		D6	P16D	P16入出力兼用ポートデータ	1	High	0	Low	0	R/W	
		D5	P15D	P15入出力兼用ポートデータ					0	R/W	
		D4	P14D	P14入出力兼用ポートデータ					0	R/W	
		D3	P13D	P13入出力兼用ポートデータ					0	R/W	
		D2	P12D	P12入出力兼用ポートデータ					0	R/W	
		D1	P11D	P11入出力兼用ポートデータ					0	R/W	
		D0	P10D	P10入出力兼用ポートデータ					0	R/W	
P1 I/O制御 レジスタ	00402D6 (B)	D7	—	reserved	—			—	—	読み出し時: 0	
		D6	IOC16	P16 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポート 端子のI/O制御信号 の値(詳細説明参照)
		D5	IOC15	P15 I/O制御					0	R/W	
		D4	IOC14	P14 I/O制御					0	R/W	
		D3	IOC13	P13 I/O制御					0	R/W	
		D2	IOC12	P12 I/O制御					0	R/W	
		D1	IOC11	P11 I/O制御					0	R/W	
		D0	IOC10	P10 I/O制御					0	R/W	
ポートSIO 機能拡張 レジスタ	00402D7 (B)	D7-4	—	reserved	—			—	—	読み出し時: 0	
		D3	SSRDY3	シリアルI/F Ch.3 SRDY選択	1	#SRDY3	0	P32/ #DMAACK0	0	R/W	
		D2	SSCLK3	シリアルI/F Ch.3 SCLK選択	1	#SCLK3	0	P15/EXCL4/ #DMAEND0	0	R/W	
		D1	SSOUT3	シリアルI/F Ch.3 SOUT選択	1	SOUT3	0	P16/EXCL5/ #DMAEND1	0	R/W	
		D0	SSIN3	シリアルI/F Ch.3 SIN選択	1	SIN3	0	P33/ #DMAACK1	0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈			
P2機能選択 レジスタ	00402D8 (B)	D7	CFP27	P27機能選択	1	TM5	0	P27	0	R/W	拡張機能(0x402DB)	
		D6	CFP26	P26機能選択	1	TM4	0	P26	0	R/W		
		D5	CFP25	P25機能選択	1	TM3	0	P25	0	R/W		
		D4	CFP24	P24機能選択	1	TM2	0	P24	0	R/W		
		D3	CFP23	P23機能選択	1	TM1	0	P23	0	R/W		
		D2	CFP22	P22機能選択	1	TM0	0	P22	0	R/W	拡張機能(0x402DF)	
		D1	CFP21	P21機能選択	1	#DWE	0	P21	0	R/W		
		D0	CFP20	P20機能選択	1	#DRD	0	P20	0	R/W		
P2入出力兼用 ポートデータ レジスタ	00402D9 (B)	D7	P27D	P27入出力兼用ポートデータ	1	High	0	Low	0	R/W		
		D6	P26D	P26入出力兼用ポートデータ					0	R/W		
		D5	P25D	P25入出力兼用ポートデータ					0	R/W		
		D4	P24D	P24入出力兼用ポートデータ					0	R/W		
		D3	P23D	P23入出力兼用ポートデータ					0	R/W		
		D2	P22D	P22入出力兼用ポートデータ					0	R/W		
		D1	P21D	P21入出力兼用ポートデータ					0	R/W		
		D0	P20D	P20入出力兼用ポートデータ					0	R/W		
P2 I/O制御 レジスタ	00402DA (B)	D7	IOC27	P27 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポー ト端子のI/O制御信号 の値(詳細説明参照)	
		D6	IOC26	P26 I/O制御					0	R/W		
		D5	IOC25	P25 I/O制御					0	R/W		
		D4	IOC24	P24 I/O制御					0	R/W		
		D3	IOC23	P23 I/O制御					0	R/W		
		D2	IOC22	P22 I/O制御					0	R/W		
		D1	IOC21	P21 I/O制御					0	R/W		
		D0	IOC20	P20 I/O制御					0	R/W		
ポートSIO 機能拡張 レジスタ	00402DB (B)	D7-4	—	reserved		—		—	—	読み出し時: 0		
		D3	SSRDY2	シリアル/F Ch.2 SRDY選択	1	#SRDY2	0	P24/TM2	0	R/W		
		D2	SSCLK2	シリアル/F Ch.2 SCLK選択	1	#SCLK2	0	P25/TM3	0	R/W		
		D1	SSOUT2	シリアル/F Ch.2 SOUT選択	1	SOUT2	0	P26/TM4	0	R/W		
		D0	SSIN2	シリアル/F Ch.2 SIN選択	1	SIN2	0	P27/TM5	0	R/W		
P3機能選択 レジスタ	00402DC (B)	D7-6	—	reserved		—		—	—	読み出し時: 0	拡張機能(0x300047)	
		D5	CFP35	P35機能選択	1	#BUSACK	0	P35	0	R/W		
		D4	CFP34	P34機能選択	1	#BUSREQ #CE6	0	P34	0	R/W		
		D3	CFP33	P33機能選択	1	#DMAACK1	0	P33	0	R/W		拡張機能(0x402D7)
		D2	CFP32	P32機能選択	1	#DMAACK0	0	P32	0	R/W		
		D1	CFP31	P31機能選択	1	#BUSGET	0	P31	0	R/W		拡張機能(0x402DF)
		D0	CFP30	P30機能選択	1	#WAIT #CE4/#CE5	0	P30	0	R/W		
P3入出力兼用 ポートデータ レジスタ	00402DD (B)	D7-6	—	reserved		—		—	—	読み出し時: 0		
		D5	P35D	P35入出力兼用ポートデータ	1	High	0	Low	0	R/W		
		D4	P34D	P34入出力兼用ポートデータ					0	R/W		
		D3	P33D	P33入出力兼用ポートデータ					0	R/W		
		D2	P32D	P32入出力兼用ポートデータ					0	R/W		
		D1	P31D	P31入出力兼用ポートデータ					0	R/W		
		D0	P30D	P30入出力兼用ポートデータ					0	R/W		
P3 I/O制御 レジスタ	00402DE (B)	D7-6	—	reserved		—		—	—	読み出し時: 0	読み出し値は、ポー ト端子のI/O制御信号 の値(詳細説明参照)	
		D5	IOC35	P35 I/O制御	1	出力	0	入力	0	R/W		
		D4	IOC34	P34 I/O制御					0	R/W		
		D3	IOC33	P33 I/O制御					0	R/W		
		D2	IOC32	P32 I/O制御					0	R/W		
		D1	IOC31	P31 I/O制御					0	R/W		
		D0	IOC30	P30 I/O制御					0	R/W		
ポート機能拡張 レジスタ	00402DF (B)	D7	CFEX7	P07ポート機能拡張	1	#DMAEND3	0	P07, etc.	0	R/W		
		D6	CFEX6	P06ポート機能拡張	1	#DMAACK3	0	P06, etc.	0	R/W		
		D5	CFEX5	P05ポート機能拡張	1	#DMAEND2	0	P05, etc.	0	R/W		
		D4	CFEX4	P04ポート機能拡張	1	#DMAACK2	0	P04, etc.	0	R/W		
		D3	CFEX3	P31ポート機能拡張	1	#GARD	0	P31, etc.	0	R/W		
		D2	CFEX2	P21ポート機能拡張	1	#GAAS	0	P21, etc.	0	R/W		
		D1	CFEX1	P10, P11, P13ポート機能拡張	1	DST0 DST1 DPCO	0	P10, etc. P11, etc. P13, etc.	1	R/W		
		D0	CFEX0	P12, P14ポート機能拡張	1	DST2 DCLK	0	P12, etc. P14, etc.	1	R/W		

P07D–P00D: P0[7:0]入出力兼用ポートデータ(D[7:0]/0x402D1<P0入出力兼用ポートデータレジスタ>)
P16D–P10D: P1[6:0]入出力兼用ポートデータ(D[6:0]/0x402D5<P1入出力兼用ポートデータレジスタ>)
P27D–P20D: P2[7:0]入出力兼用ポートデータ(D[7:0]/0x402D9<P2入出力兼用ポートデータレジスタ>)
P35D–P30D: P3[5:0]入出力兼用ポートデータ(D[5:0]/0x402DD<P3入出力兼用ポートデータレジスタ>)

入出力兼用ポート端子のデータの読み出し、および出力データの設定を行います。

- データ書き込み時

"1"書き込み: Highレベル

"0"書き込み: Lowレベル

入出力兼用ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力兼用ポート端子に出力されます。ポートデータとして"1"を書き込んだ場合はポート端子はHigh(V_{DD}、V_{DDE})レベルとなり、"0"を書き込んだ場合はLow(V_{SS})レベルとなります。

入力モードの場合もポートデータの書き込みは行えます。

- データ読み出し時

"1"読み出し: Highレベル

"0"読み出し: Lowレベル

入出力兼用ポートが入力モード、出力モードにかかわらず、ポート端子の電圧レベルが読み出されます。端子電圧がHigh(V_{DD}、V_{DDE})レベルの場合は"1"、Low(V_{SS})レベルの場合は"0"がそれぞれ入力データとして読み出されます。

コールドスタート時、データビットはすべて"0"に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

IOC07–IOC00: P0[7:0]ポートI/O制御(D[7:0]/0x402D2<P0 I/O制御レジスタ>)

IOC16–IOC10: P1[6:0]ポートI/O制御(D[6:0]/0x402D6<P1 I/O制御レジスタ>)

IOC27–IOC20: P2[7:0]ポートI/O制御(D[7:0]/0x402DA<P2 I/O制御レジスタ>)

IOC35–IOC30: P3[5:0]ポートI/O制御(D[5:0]/0x402DE<P3 I/O制御レジスタ>)

入出力兼用ポート端子の入力/出力モードの設定とI/O制御信号の値の読み出しが行えます。

- データ書き込み時

"1"書き込み: 出力モード

"0"書き込み: 入力モード

IOCレジスタは各入出力兼用ポートにビット単位で対応するI/O制御レジスタです。IOCビットを"1"に設定すると対応する入出力兼用ポートが出力モードとなり、"0"に設定すると入力モードとなります。

コールドスタート時、IOCはすべて"0"(入力モード)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

入出力兼用ポート端子を周辺回路用の端子に設定した場合、P10～P13、P15～P16、P30、P34はIOC1xによる入出力方向制御により端子機能が変わります。

- データ読み出し時

"1"読み出し: I/O制御信号(出力)

"0"読み出し: I/O制御信号(入力)

ポート端子のI/O制御信号の値が読み出されます。CFEXレジスタおよびCFPレジスタによって入出力兼用ポート機能を選択した場合、読み出し値は、IOCレジスタへの書き込み値と一致します。一方、周辺回路を選択した場合はその回路の状態により変化し、IOCレジスタへの書き込み値とは異なる場合があります。ただし、P10～P13、P15～P16、P30、P34については、周辺回路を選択した場合の読み出し値はIOCレジスタへの書き込み値と一致します。

CFP07–CFP00: P0[7:0]機能選択(D[7:0]/0x402D0<P0機能選択レジスタ>)

CFP16–CFP10: P1[6:0]機能選択(D[6:0]/0x402D4<P1機能選択レジスタ>)

CFP27–CFP20: P2[7:0]機能選択(D[7:0]/0x402D8<P2機能選択レジスタ>)

CFP35–CFP30: P3[5:0]機能選択(D[5:0]/0x402DC<P3機能選択レジスタ>)

入出力兼用ポート端子の機能を選択します。

"1"書き込み: 周辺回路用端子

"0"書き込み: 入出力兼用ポート端子

読み出し: 可能

CFPレジスタのビットに"1"を書き込むと、対応する端子が周辺回路用に設定されます(表III.11.3参照)。"0"に設定されたビットに対応する端子は汎用入出力兼用ポート端子として使用可能です。

コールドスタート時、CFPIは"0"(入出力兼用ポート端子)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

CFEX0: P12, P14機能拡張(D0/0x402DF<ポート機能拡張レジスタ>)

CFEX1: P10, P11, P13機能拡張(D1/0x402DF<ポート機能拡張レジスタ>)

CFEX2: P21機能拡張(D2/0x402DF<ポート機能拡張レジスタ>)

CFEX3: P31機能拡張(D3/0x402DF<ポート機能拡張レジスタ>)

CFEX4: P04機能拡張(D4/0x402DF<ポート機能拡張レジスタ>)

CFEX5: P05機能拡張(D5/0x402DF<ポート機能拡張レジスタ>)

CFEX6: P06機能拡張(D6/0x402DF<ポート機能拡張レジスタ>)

CFEX7: P07機能拡張(D7/0x402DF<ポート機能拡張レジスタ>)

入出力兼用ポート端子の拡張機能を選択します。

"1"書き込み: 拡張機能端子

"0"書き込み: 入出力兼用ポート端子/周辺回路用端子

読み出し: 無効

CFEXxに"1"を書き込むと、対応する端子が拡張機能用の入出力端子に設定されます。CFEXxが"0"の場合はCFPビットが有効となります。

コールドスタート時、CFEX0およびCFEX1は"1"(拡張機能端子)に設定され、その他のビットは"0"(入出力兼用ポート端子/周辺回路用端子)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SSIN3: シリアル/F Ch.3 SIN選択(D0/0x402D7<ポートSIO機能拡張レジスタ>)

P33/#DMAACK1/SIN3端子の機能を切り換えます。

"1"書き込み: SIN3

"0"書き込み: P33/#DMAACK1

読み出し: 可能

SIN3として使用したい場合は、SSIN3(D0/0x402D7)="1"およびCFP33(D3/0x402DC)="0"を設定します。

P33または#DMAACK1として使用したい場合は、"0"を設定します。

コールドスタート時、SSIN3は"0"(P33/#DMAACK1)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSOUT3: シリアル/F Ch.3 SOUT選択(D1/0x402D7<ポートSIO機能拡張レジスタ>)

P16/EXCL5/#DMAEND1/SOUT3端子の機能を切り換えます。

"1"書き込み: SOUT3

"0"書き込み: P16/EXCL5/#DMAEND1

読み出し: 可能

SOUT3として使用したい場合は、SSOUT3(D1/0x402D7)="1"およびCFP16(D6/0x402D4)="0"を設定します。

P16、EXCL5または#DMAEND1として使用したい場合は、"0"を設定します。

コールドスタート時、SSOUT3は"0"(P16/EXCL5/#DMAEND1)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSCLK3: シリアル/F Ch.3 SCLK選択(D2/0x402D7<ポートSIO機能拡張レジスタ>)

P15/EXCL4/#DMAEND0/#SCLK3端子の機能を切り換えます。

"1"書き込み: #SCLK3

"0"書き込み: P15/EXCL4/#DMAEND0

読み出し: 可能

#SCLK3として使用したい場合は、SSCLK3(D2/0x402D7)="1"およびCFP15(D5/0x402D4)="0"を設定します。P15、EXCL4または#DMAEND0として使用したい場合は、"0"を設定します。コールドスタート時、SSCLK3は"0"(P15/EXCL4/#DMAEND0)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSRDY3: シリアル/F Ch.3 SRDY選択(D3/0x402D7<ポートSIO機能拡張レジスタ>)

P32/#DMAACK0/#SRDY3端子の機能を切り換えます。

"1"書き込み: #SRDY3

"0"書き込み: P32/#DMAACK0

読み出し: 可能

#SRDY3として使用したい場合は、SSRDY3(D3/0x402D7)="1"およびCFP32(D2/0x402DC)="0"を設定します。P32または#DMAACK0として使用したい場合は、"0"を設定します。コールドスタート時、SSRDY3は"0"(P32/#DMAACK0)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSIN2: シリアル/F Ch.2 SIN選択(D0/0x402DB<ポートSIO機能拡張レジスタ>)

P27/TM5/SIN2端子の機能を切り換えます。

"1"書き込み: SIN2

"0"書き込み: P27/TM5

読み出し: 可能

SIN2として使用したい場合は、SSIN2(D0/0x402DB)="1"およびCFP27(D7/0x402D8)="0"を設定します。P27またはTM5として使用したい場合は、"0"を設定します。コールドスタート時、SSIN2は"0"(P27/TM5)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSOUT2: シリアル/F Ch.2 SOUT選択(D1/0x402DB<ポートSIO機能拡張レジスタ>)

P26/TM4/SOUT2端子の機能を切り換えます。

"1"書き込み: SOUT2

"0"書き込み: P26/TM4

読み出し: 可能

SOUT2として使用したい場合は、SSOUT2(D1/0x402DB)="1"およびCFP26(D6/0x402D8)="0"を設定します。P26またはTM4として使用したい場合は、"0"を設定します。コールドスタート時、SSOUT2は"0"(P26/TM4)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSCLK2: シリアル/F Ch.2 SCLK選択(D2/0x402DB<ポートSIO機能拡張レジスタ>)

P25/TM3/#SCLK2端子の機能を切り換えます。

"1"書き込み: #SCLK2

"0"書き込み: P25/TM3

読み出し: 可能

#SCLK2として使用したい場合は、SSCLK2(D2/0x402DB)="1"およびCFP25(D5/0x402D8)="0"を設定します。P25またはTM3として使用したい場合は、"0"を設定します。コールドスタート時、SSCLK2は"0"(P25/TM3)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSRDY2: シリアルI/F Ch.2 SRDY選択(D3/0x402DB<ポートSIO機能拡張レジスタ>)

P24/TM2/#SRDY2端子の機能を切り換えます。

"1"書き込み: #SRDY2

"0"書き込み: P24/TM2

読み出し: 可能

#SRDY2として使用したい場合は、SSRDY2(D3/0x402DB)="1"およびCFP24(D4/0x402D8)="0"を設定します。P24またはTM2として使用したい場合は、"0"を設定します。

コールドスタート時、SSRDY2は"0"(P24/TM2)に設定されます。ホットスタート時はインisialリセット前の状態を保持します。

入力割り込み

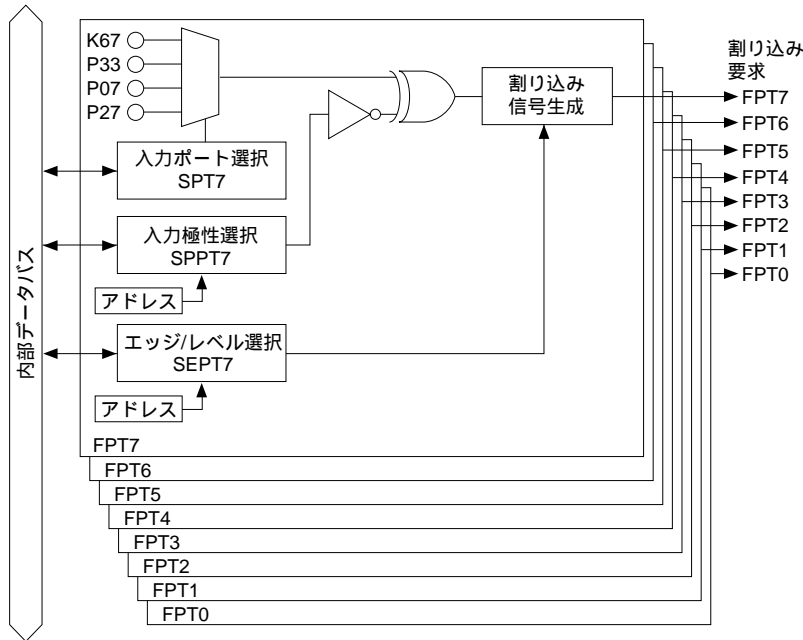
入力ポートと入出力兼用ポートは8系列のポート入力割り込みと2系列のキー入力割り込みをサポートしています。

ポート入力割り込み

ポート入力割り込み回路は8本の割り込み系列(FPT7 ~ FPT0)を持ち、それぞれの割り込み要因を発生するポートを選択することができます。

割り込み条件についても、入力信号のエッジで割り込みを発生させるか、レベルによって発生させるか選択可能です。

図III.11.3にポート入力割り込み回路の構成を示します。



図III.11.3 ポート入力割り込み回路の構成

入力端子の選択

各割り込み要因ごとに、入力端子を既定の4本の中から選択できます。

表III.11.5に各要因で選択可能な入力端子と選択に使用する制御ビットを示します。

表III.11.5 ポート入力割り込み用入力端子の選択

割り込み 要因	制御ビット	SPT設定			
		11	10	01	00
FPT7	SPT7[1:0] (ポート入力割り込み選択レジスタ2 0x402C7•D[7:6])	P27	P07	P33	K67
FPT6	SPT6[1:0] (ポート入力割り込み選択レジスタ2 0x402C7•D[5:4])	P26	P06	P32	K66
FPT5	SPT5[1:0] (ポート入力割り込み選択レジスタ2 0x402C7•D[3:2])	P25	P05	P31	K65
FPT4	SPT4[1:0] (ポート入力割り込み選択レジスタ2 0x402C7•D[1:0])	P24	P04	K54	K64
FPT3	SPT3[1:0] (ポート入力割り込み選択レジスタ1 0x402C6•D[7:6])	P23	P03	K53	K63
FPT2	SPT2[1:0] (ポート入力割り込み選択レジスタ1 0x402C6•D[5:4])	P22	P02	K52	K62
FPT1	SPT1[1:0] (ポート入力割り込み選択レジスタ1 0x402C6•D[3:2])	P21	P01	K51	K61
FPT0	SPT0[1:0] (ポート入力割り込み選択レジスタ1 0x402C6•D[1:0])	P20	P00	K50	K60

ポート入力割り込みの発生条件

各ポート入力割り込みは、入力信号のエッジまたはレベルで発生させることができます。エッジとレベルの選択は、ポート入力割り込みエッジ/レベル選択レジスタ(0x402C9)のSEPTxビットで行います。SEPTxを"1"に設定するとFPTx割り込みは入力信号のエッジで発生し、"0"を設定すると信号レベルで発生します。

また、割り込みを発生させる信号の極性を、ポート入力割り込み入力極性選択レジスタ(0x402C8)のSPPTxビットで選択します。

これらのレジスタにより、ポート入力割り込み条件は表III.11.6のように決まります。

表III.11.6 ポート入力割り込み発生条件

SEPTx	SPPTx	FPTx割り込み条件
1	1	立ち上がりエッジ
1	0	立ち下がりエッジ
0	1	Highレベル
0	0	Lowレベル

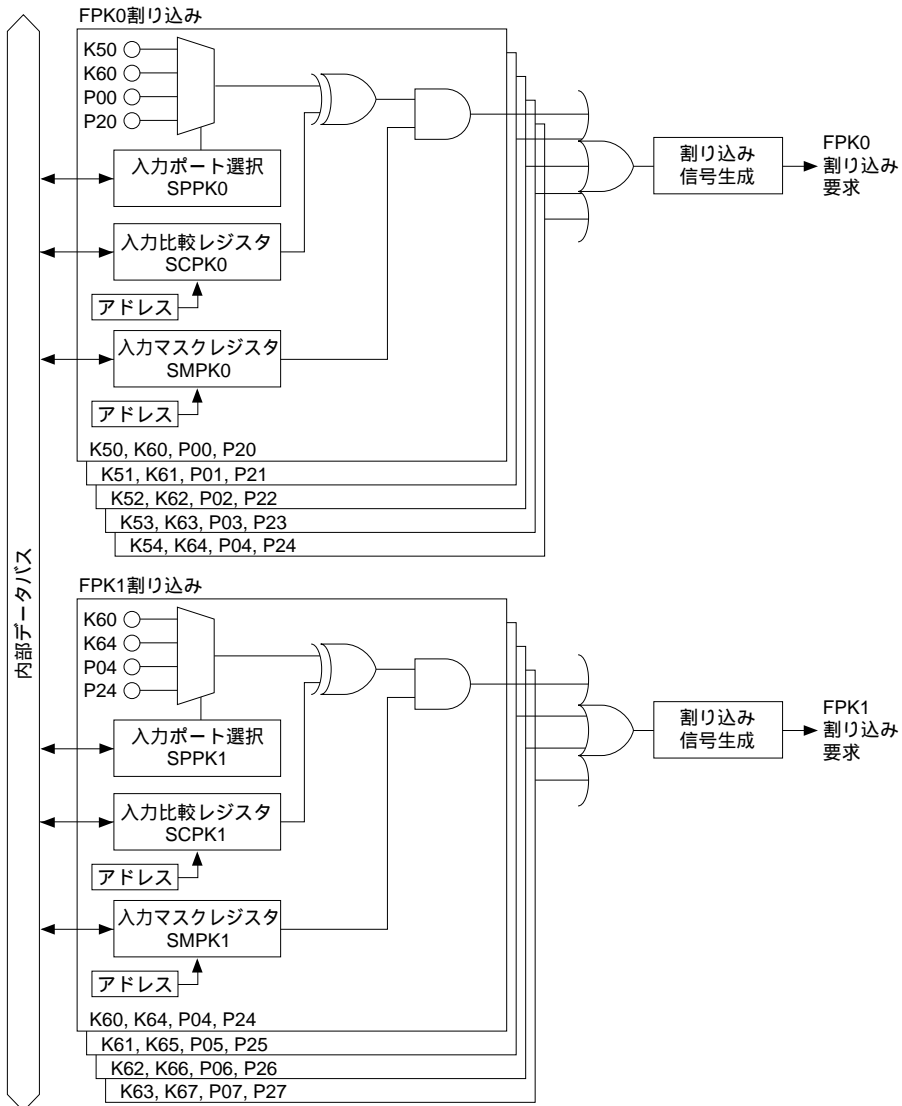
入力信号が指定された状態に変化すると、割り込み要因フラグFPが"1"にセットされ、割り込みコントローラによる他の割り込み条件が整っていれば割り込みを発生します。

キー入力割り込み

キー入力割り込み回路は2本の割り込み系列(FPK1、FPK0)を持ち、それぞれの割り込み要因を発生するポートの組み合わせを選択することができます。

割り込み条件についても、ソフトウェアで選択可能です。

図III.11.4にキー入力割り込み回路の構成を示します。



図III.11.4 キー入力割り込み回路の構成

入力端子の選択

FPK1割り込みには、4ビットの入力端子系列を既定の4種類の中から選択できます。FPK0割り込みには、5ビットの入力端子系列を選択できます。

表III.11.7に各要因で選択可能な入力端子系列と選択に使用する制御ビットを示します。

表III.11.7 キー入力割り込み用入力端子の選択

割り込み 要因	制御ビット	SPPK設定			
		11	10	01	00
FPK1	SPPK1[1:0] (キー入力割り込み選択レジスタ0x402CA・D[3:2])	P2[7:4]	P0[7:4]	K6[7:4]	K6[3:0]
FPK0	SPPK0[1:0] (キー入力割り込み選択レジスタ0x402CA・D[1:0])	P2[4:0]	P0[4:0]	K6[4:0]	K5[4:0]

キー入力割り込み発生条件

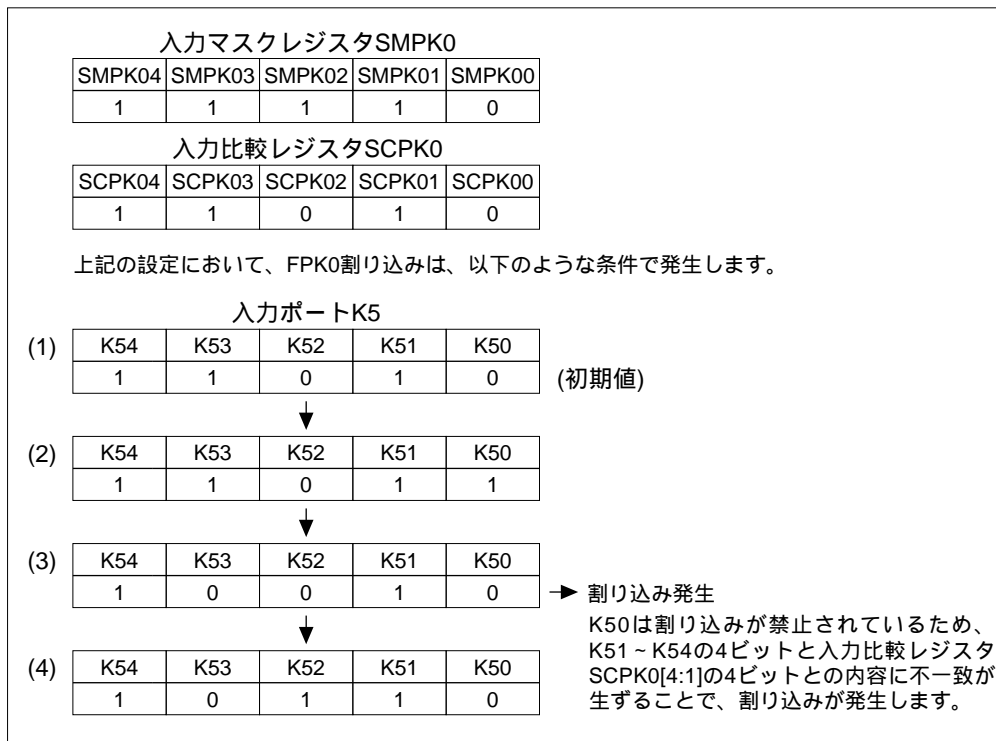
キー入力割り込み回路には、入力割り込み条件を設定する入力マスクレジスタ(FPK0用: SMPK0[4:0]、FPK1用: SMPK1[3:0])と入力比較レジスタ(FPK0用: SCPK0[4:0]、FPK1用: SCPK0[3:0])が設けられています。

入力マスクレジスタSMPKは、入力端子系列内で割り込みに使用しない入力端子を選択します。割り込みコントローラの割り込みイネーブルレジスタが割り込み系列ごとの割り込み要因をマスクするのに対し、入力マスクレジスタSMPKは入力端子個別にマスク設定を行います。

入力比較レジスタSCPKは、各入力ポートの割り込みを入力の立ち上がりエッジで発生させるか、立ち下がりエッジで発生させるかを選択します。

入力マスクレジスタSMPKによって割り込みが許可されている入力端子と入力比較レジスタSCPKとの内容が一致状態から不一致状態に変化すると、割り込み要因フラグFKが"1"にセットされ、他の割り込み条件が整っていれば割り込みを発生します。

図III.11.5にFPK0の割り込み発生例を示します。なお、割り込みコントローラの制御レジスタはFPK0割り込みが発生可能な状態に設定されているものとします。



図III.11.5 FPK0割り込み発生例(SPPK[1:0]でK5[4:0]が選択されている場合)

K50は入力マスクビットSMPK00によって割り込みが禁止されているため、(2)の時点では割り込みは発生しません。

次に(3)でK53が"0"になるため、割り込みが許可されている入力端子K5[4:1]のデータと入力比較レジスタSCPK[4:1]のデータとの不一致により割り込みが発生します。

前述のとおり、入力データと入力比較レジスタSCPKの内容が一致状態から不一致状態に変化することが割り込み発生条件となるため、(4)のように不一致状態から、別の不一致状態に変化しても割り込みは発生しません。したがって、割り込み発生後に再度割り込みを発生させる場合は、入力端子の状態を一度入力比較レジスタSCPKと同じ内容に戻すか、入力比較レジスタSCPKを再設定する必要があります。なお、SMPKによって割り込みが禁止されている入力端子については割り込み発生条件に影響を与えません。

FPK1についても同様に割り込みが発生します。

割り込みコントローラの制御レジスタ

各入力割り込み系列ごとに用意されている割り込みコントローラの制御レジスタを、表III.11.8に示します。

表III.11.8 割り込みコントローラの制御レジスタ

割り込み 系列	割り込み要因フラグ	割り込み イネーブルレジスタ	割り込み プライオリティレジスタ
FPT7	FP7(D5/0x40287)	EP7(D5/0x40277)	PP7L[2:0](D[6:4]/0x4026D)
FPT6	FP6(D4/0x40287)	EP6(D4/0x40277)	PP6L[2:0](D[2:0]/0x4026D)
FPT5	FP5(D3/0x40287)	EP5(D3/0x40277)	PP5L[2:0](D[6:4]/0x4026C)
FPT4	FP4(D2/0x40287)	EP4(D2/0x40277)	PP4L[2:0](D[2:0]/0x4026C)
FPT3	FP3(D3/0x40280)	EP3(D3/0x40270)	PP3L[2:0](D[6:4]/0x40261)
FPT2	FP2(D2/0x40280)	EP2(D2/0x40270)	PP2L[2:0](D[2:0]/0x40261)
FPT1	FP1(D1/0x40280)	EP1(D1/0x40270)	PP1L[2:0](D[6:4]/0x40260)
FPT0	FP0(D0/0x40280)	EP0(D0/0x40270)	PP0L[2:0](D[2:0]/0x40260)
FPK1	FK1(D5/0x40280)	EK1(D5/0x40270)	PK1L[2:0](D[6:4]/0x40262)
FPK0	FK0(D4/0x40280)	EK0(D4/0x40270)	PK0L[2:0](D[2:0]/0x40262)

前述の入力割り込み発生条件が成立すると、それぞれに対応した割り込み要因フラグが"1"にセットされます。その割り込み要因に対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。

割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、その要因による割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず"0"に設定されていても、割り込み条件の成立によって"1"にセットされます。

割り込みプライオリティレジスタは、割り込み系列ごとの割り込みの優先レベル(0~7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。また、入力割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した入力割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITC 割り込みコントローラ"を参照してください。

インテリジェントDMA

ポート入力割り込みは、各割り込み要因によってインテリジェントDMA(IDMA)を起動することができます。これにより、ポート入力をトリガとしたDMA転送が行えます。

各要因に設定されたIDMAチャンネル番号は次のとおりです。

	IDMA Ch.		IDMA Ch.
FPT0入力割り込み:	1	FPT4入力割り込み:	28
FPT1入力割り込み:	2	FPT5入力割り込み:	29
FPT2入力割り込み:	3	FPT6入力割り込み:	30
FPT3入力割り込み:	4	FPT7入力割り込み:	31

IDMAを起動させるには、表III.11.9に示すIDMAリクエストビットおよびIDMAイネーブルビットに"1"を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。

表III.11.9 IDMA転送の制御ビット

割り込み要因	IDMAリクエストビット	IDMAイネーブルビット
FPT7	RP7(D7/0x40293)	DEP7(D7/0x40297)
FPT6	RP6(D6/0x40293)	DEP6(D6/0x40297)
FPT5	RP5(D5/0x40293)	DEP5(D5/0x40297)
FPT4	RP4(D4/0x40293)	DEP4(D4/0x40297)
FPT3	RP3(D3/0x40290)	DEP3(D3/0x40294)
FPT2	RP2(D2/0x40290)	DEP2(D2/0x40294)
FPT1	RP1(D1/0x40290)	DEP1(D1/0x40294)
FPT0	RP0(D0/0x40290)	DEP0(D0/0x40294)

IDMAリクエストビットとIDMAイネーブルビットが"1"に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はDMA転送終了後に発生します。また、DMA転送のみを行い、割り込みは発生しないように設定することもできます。DMA転送とDMA転送終了後の割り込み制御については、"IDMA(インテリジェントDMA)"を参照してください。

トラップベクタ

各入力割り込み要因のトラップベクタアドレスは、デフォルトでそれぞれ以下のとおり設定されています。

FPT0入力割り込み: 0x0C00040
 FPT1入力割り込み: 0x0C00044
 FPT2入力割り込み: 0x0C00048
 FPT3入力割り込み: 0x0C0004C
 FPK0入力割り込み: 0x0C00050
 FPK1入力割り込み: 0x0C00054
 FPT4入力割り込み: 0x0C00110
 FPT5入力割り込み: 0x0C00114
 FPT6入力割り込み: 0x0C00118
 FPT7入力割り込み: 0x0C0011C

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134 ~ 0x48137)で変更することも可能です。

入力割り込みのI/Oメモリ

表III.11.10にポート入力割り込みおよびキー入力割り込みの制御ビットを示します。

表III.11.10 入力割り込みの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
ポート入力 割り込み0/1 プライオリティ レジスタ	0040260 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP1L2	ポート入力1	0 ~ 7	X	R/W	
		D5	PP1L1	割り込みレベル		X		
		D4	PP1L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP0L2	ポート入力0	0 ~ 7	X	R/W	
		D1	PP0L1	割り込みレベル		X		
		D0	PP0L0			X		
ポート入力 割り込み2/3 プライオリティ レジスタ	0040261 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP3L2	ポート入力3	0 ~ 7	X	R/W	
		D5	PP3L1	割り込みレベル		X		
		D4	PP3L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP2L2	ポート入力2	0 ~ 7	X	R/W	
		D1	PP2L1	割り込みレベル		X		
		D0	PP2L0			X		
キー入力割り込 みプライオリ ティレジスタ	0040262 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PK1L2	キー入力1	0 ~ 7	X	R/W	
		D5	PK1L1	割り込みレベル		X		
		D4	PK1L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PK0L2	キー入力0	0 ~ 7	X	R/W	
		D1	PK0L1	割り込みレベル		X		
		D0	PK0L0			X		
ポート入力 割り込み4/5 プライオリティ レジスタ	004026C (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP5L2	ポート入力5	0 ~ 7	X	R/W	
		D5	PP5L1	割り込みレベル		X		
		D4	PP5L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP4L2	ポート入力4	0 ~ 7	X	R/W	
		D1	PP4L1	割り込みレベル		X		
		D0	PP4L0			X		
ポート入力 割り込み6/7 プライオリティ レジスタ	004026D (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP7L2	ポート入力7	0 ~ 7	X	R/W	
		D5	PP7L1	割り込みレベル		X		
		D4	PP7L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP6L2	ポート入力6	0 ~ 7	X	R/W	
		D1	PP6L1	割り込みレベル		X		
		D0	PP6L0			X		
キー入力, ポート入力0-3 割り込み イネーブル レジスタ	0040270 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	EK1	キー入力1	1 許可 0 禁止	0	R/W	
		D4	EK0	キー入力0		0	R/W	
		D3	EP3	ポート入力3		0	R/W	
		D2	EP2	ポート入力2		0	R/W	
		D1	EP1	ポート入力1		0	R/W	
		D0	EP0	ポート入力0		0	R/W	
ポート入力4-7, 計時タイマ, A/D 割り込みイネー ブルレジスタ	0040277 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	EP7	ポート入力7	1 許可 0 禁止	0	R/W	
		D4	EP6	ポート入力6		0	R/W	
		D3	EP5	ポート入力5		0	R/W	
		D2	EP4	ポート入力4		0	R/W	
		D1	ECTM	計時タイマ		0	R/W	
		D0	EADE	A/D変換器		0	R/W	
キー入力, ポート入力0-3 割り込み要因 フラグレジスタ	0040280 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	FK1	キー入力1	1 要因発生 0 要因なし	X	R/W	
		D4	FK0	キー入力0		X	R/W	
		D3	FP3	ポート入力3		X	R/W	
		D2	FP2	ポート入力2		X	R/W	
		D1	FP1	ポート入力1		X	R/W	
		D0	FP0	ポート入力0		X	R/W	

III-11 周辺回路ブロック: 入出力ポート

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈
ポート入力4-7, 計時タイマ, A/D 割り込み要因 フラグレジスタ	0040287 (B)	D7-6	—	reserved	1	要因発生	0	要因なし	—	—	読み出し時: 0
		D5	FP7	ポート入力7					X	R/W	
		D4	FP6	ポート入力6					X	R/W	
		D3	FP5	ポート入力5					X	R/W	
		D2	FP4	ポート入力4					X	R/W	
		D1	FCTM	計時タイマ					X	R/W	
		D0	FADE	A/D変換器					X	R/W	
ポート入力0-3, 高速DMA Ch.0/1, 16bitタイマ0 IDMAリクエスト レジスタ	0040290 (B)	D7	R16TC0	16bitタイマ0コンペアA	1	IDMA要求	0	割り込み 要求	0	R/W	
		D6	R16TU0	16bitタイマ0コンペアB					0	R/W	
		D5	RHDM1	高速DMA Ch.1					0	R/W	
		D4	RHDM0	高速DMA Ch.0					0	R/W	
		D3	RP3	ポート入力3					0	R/W	
		D2	RP2	ポート入力2					0	R/W	
		D1	RP1	ポート入力1					0	R/W	
		D0	RP0	ポート入力0					0	R/W	
シリアルI/F Ch.1, A/D, ポート 入力4-7 IDMAリクエスト レジスタ	0040293 (B)	D7	RP7	ポート入力7	1	IDMA要求	0	割り込み 要求	0	R/W	
		D6	RP6	ポート入力6					0	R/W	
		D5	RP5	ポート入力5					0	R/W	
		D4	RP4	ポート入力4					0	R/W	
		D3	—	reserved	1	IDMA要求	0	割り込み 要求	—	—	読み出し時: 0
		D2	RADE	A/D変換器					0	R/W	
		D1	RSTX1	SIF Ch.1送信バッファエンブティ					0	R/W	
		D0	RSRX1	SIF Ch.1受信バッファフル					0	R/W	
ポート入力0-3, 高速DMA Ch.0/1, 16bitタイマ0 IDMAイネーブル レジスタ	0040294 (B)	D7	DE16TC0	16bitタイマ0コンペアA	1	IDMA許可	0	IDMA禁止	0	R/W	
		D6	DE16TU0	16bitタイマ0コンペアB					0	R/W	
		D5	DEHDM1	高速DMA Ch.1					0	R/W	
		D4	DEHDM0	高速DMA Ch.0					0	R/W	
		D3	DEP3	ポート入力3					0	R/W	
		D2	DEP2	ポート入力2					0	R/W	
		D1	DEP1	ポート入力1					0	R/W	
		D0	DEP0	ポート入力0					0	R/W	
シリアルI/F Ch.1, A/D, ポート 入力4-7 IDMAイネーブル レジスタ	0040297 (B)	D7	DEP7	ポート入力7	1	IDMA許可	0	IDMA禁止	0	R/W	
		D6	DEP6	ポート入力6					0	R/W	
		D5	DEP5	ポート入力5					0	R/W	
		D4	DEP4	ポート入力4					0	R/W	
		D3	—	reserved	1	IDMA許可	0	IDMA禁止	—	—	読み出し時: 0
		D2	DEADE	A/D変換器					0	R/W	
		D1	DESTX1	SIF Ch.1送信バッファエンブティ					0	R/W	
		D0	DESRX1	SIF Ch.1受信バッファフル					0	R/W	
ポート入力 割り込み選択 レジスタ1	00402C6 (B)	D7	SPT31	FPT3割り込み入力ポート選択	11	10	01	00	0	R/W	
		D6	SPT30						0		
		D5	SPT21	FPT2割り込み入力ポート選択	11	10	01	00	0	R/W	
		D4	SPT20						0		
		D3	SPT11	FPT1割り込み入力ポート選択	11	10	01	00	0	R/W	
		D2	SPT10						0		
		D1	SPT01	FPT0割り込み入力ポート選択	11	10	01	00	0	R/W	
		D0	SPT00						0		
ポート入力 割り込み選択 レジスタ2	00402C7 (B)	D7	SPT71	FPT7割り込み入力ポート選択	11	10	01	00	0	R/W	
		D6	SPT70						0		
		D5	SPT61	FPT6割り込み入力ポート選択	11	10	01	00	0	R/W	
		D4	SPT60						0		
		D3	SPT51	FPT5割り込み入力ポート選択	11	10	01	00	0	R/W	
		D2	SPT50						0		
		D1	SPT41	FPT4割り込み入力ポート選択	11	10	01	00	0	R/W	
		D0	SPT40						0		
ポート入力 割り込み 入力極性選択 レジスタ	00402C8 (B)	D7	SPPT7	FPT7入力極性選択	1	Highレベル または 立ち上がり エッジ	0	Lowレベル または 立ち下がり エッジ	1	R/W	
		D6	SPPT6	FPT6入力極性選択					1	R/W	
		D5	SPPT5	FPT5入力極性選択					1	R/W	
		D4	SPPT4	FPT4入力極性選択					1	R/W	
		D3	SPPT3	FPT3入力極性選択					1	R/W	
		D2	SPPT2	FPT2入力極性選択					1	R/W	
		D1	SPPT1	FPT1入力極性選択					1	R/W	
		D0	SPPT0	FPT0入力極性選択					1	R/W	
ポート入力 割り込み エッジ/レベル 選択レジスタ	00402C9 (B)	D7	SEPT7	FPT7エッジ/レベル選択	1	エッジ	0	レベル	1	R/W	
		D6	SEPT6	FPT6エッジ/レベル選択					1	R/W	
		D5	SEPT5	FPT5エッジ/レベル選択					1	R/W	
		D4	SEPT4	FPT4エッジ/レベル選択					1	R/W	
		D3	SEPT3	FPT3エッジ/レベル選択					1	R/W	
		D2	SEPT2	FPT2エッジ/レベル選択					1	R/W	
		D1	SEPT1	FPT1エッジ/レベル選択					1	R/W	
		D0	SEPT0	FPT0エッジ/レベル選択					1	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈
キー入力 割り込み選択 レジスタ	00402CA (B)	D7-4	—	reserved	—				—	—	読み出し時: 0
		D3	SPPK11	FPK1割り込み入力ポート選択	11	10	01	00	0	R/W	
		D2	SPPK10		P2[7:4] P0[7:4] K6[7:4] K6[3:0]				0		
		D1	SPPK01	FPK0割り込み入力ポート選択	11	10	01	00	0	R/W	
		D0	SPPK00		P2[4:0] P0[4:0] K6[4:0] K5[4:0]				0		
キー入力 割り込み(FPK0) 入力比較 レジスタ	00402CC (B)	D7-5	—	reserved	—				—	—	読み出し時: 0
		D4	SCPK04	FPK04入力比較	1	High	0	Low	0	R/W	
		D3	SCPK03	FPK03入力比較					0	R/W	
		D2	SCPK02	FPK02入力比較					0	R/W	
		D1	SCPK01	FPK01入力比較					0	R/W	
		D0	SCPK00	FPK00入力比較					0	R/W	
キー入力 割り込み(FPK1) 入力比較 レジスタ	00402CD (B)	D7-4	—	reserved					—		
		D3	SCPK13	FPK13入力比較	1	High	0	Low	0	R/W	
		D2	SCPK12	FPK12入力比較					0	R/W	
		D1	SCPK11	FPK11入力比較					0	R/W	
		D0	SCPK10	FPK10入力比較					0	R/W	
キー入力 割り込み(FPK0) 入力マスク レジスタ	00402CE (B)	D7-5	—	reserved	—				—	—	読み出し時: 0
		D4	SMPK04	FPK04入力マスク	1	割り込み 許可	0	割り込み 禁止	0	R/W	
		D3	SMPK03	FPK03入力マスク					0	R/W	
		D2	SMPK02	FPK02入力マスク					0	R/W	
		D1	SMPK01	FPK01入力マスク					0	R/W	
		D0	SMPK00	FPK00入力マスク					0	R/W	
キー入力 割り込み(FPK1) 入力マスク レジスタ	00402CF (B)	D7-4	—	reserved					—		
		D3	SMPK13	FPK13入力マスク	1	割り込み 許可	0	割り込み 禁止	0	R/W	
		D2	SMPK12	FPK12入力マスク					0	R/W	
		D1	SMPK11	FPK11入力マスク					0	R/W	
		D0	SMPK10	FPK10入力マスク					0	R/W	

SPT71-SPT70: FPT7割り込み入力ポート選択 (D[7:6]/0x402C7<ポート入力割り込み選択レジスタ2>)
SPT61-SPT60: FPT6割り込み入力ポート選択 (D[5:4]/0x402C7<ポート入力割り込み選択レジスタ2>)
SPT51-SPT50: FPT5割り込み入力ポート選択 (D[3:2]/0x402C7<ポート入力割り込み選択レジスタ2>)
SPT41-SPT40: FPT4割り込み入力ポート選択 (D[1:0]/0x402C7<ポート入力割り込み選択レジスタ2>)
SPT31-SPT30: FPT3割り込み入力ポート選択 (D[7:6]/0x402C6<ポート入力割り込み選択レジスタ1>)
SPT21-SPT20: FPT2割り込み入力ポート選択 (D[5:4]/0x402C6<ポート入力割り込み選択レジスタ1>)
SPT11-SPT10: FPT1割り込み入力ポート選択 (D[3:2]/0x402C6<ポート入力割り込み選択レジスタ1>)
SPT01-SPT00: FPT0割り込み入力ポート選択 (D[1:0]/0x402C6<ポート入力割り込み選択レジスタ1>)

ポート入力割り込みに使用する入力端子を選択します。

表III.11.11 ポート入力割り込み用入力端子の選択

割り込み 要因	SPT設定			
	11	10	01	00
FPT7	P27	P07	P33	K67
FPT6	P26	P06	P32	K66
FPT5	P25	P05	P31	K65
FPT4	P24	P04	K54	K64
FPT3	P23	P03	K53	K63
FPT2	P22	P02	K52	K62
FPT1	P21	P01	K51	K61
FPT0	P20	P00	K50	K60

コールドスタート時、SPTは"00"に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SPPT7–SPPT0: 入力極性選択 (D[7:0]/0x402C8<ポート入力割り込み入力極性選択レジスタ>)

ポート入力割り込みを発生させる入力信号の極性を選択します。

"1"書き込み: Highレベルまたは立ち上がりエッジ

"0"書き込み: Lowレベルまたは立ち下がりエッジ

読み出し: 可能

SPPTxはFPTx割り込みに対応する入力極性選択ビットです。SPPTxを"1"に設定すると、FPTx割り込みは入力Highレベルになるか、または立ち上がりエッジで発生します。SPPTxを"0"に設定すると、FPTx割り込みは入力Lowレベルになるか、または立ち下がりエッジで発生します。エッジとレベルの選択はSEPTxビットで行います。

コールドスタート時、SPPTは"0" (Lowレベル) に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SEPT7–SEPT0: エッジ/レベル選択 (D[7:0]/0x402C9<ポート入力割り込みエッジ/レベル選択レジスタ>)

ポート入力割り込みを入力信号のエッジで発生させるか、レベルで発生させるかを選択します。

"1"書き込み: エッジ

"0"書き込み: レベル

読み出し: 可能

SEPTxはFPTx割り込みに対応するエッジ/レベル選択ビットです。SEPTxを"1"に設定すると、FPTx割り込みは入力のエッジで発生します。SPPTxビットの設定により、立ち上がりエッジまたは立ち下がりエッジが選択されます。SEPTxを"0"に設定すると、FPTx割り込みは入力のレベルで発生します。SPPTxビットの設定により、HighレベルまたはLowレベルが選択されます。

コールドスタート時、SEPTは"0" (レベル) に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SPPK11–SPPK10: FPK1割り込み入力ポート選択 (D[3:2]/0x402CA<キー入力割り込み選択レジスタ>)**SPPK01–SPPK00: FPK0割り込み入力ポート選択** (D[1:0]/0x402CA<キー入力割り込み選択レジスタ>)

キー入力割り込みに使用する入力端子系列を選択します。

表III.11.12 キー入力割り込み用入力端子の選択

割り込み 要因	SPPK設定			
	11	10	01	00
FPK1	P2[7:4]	P0[7:4]	K6[7:4]	K6[3:0]
FPK0	P2[4:0]	P0[4:0]	K6[4:0]	K5[4:0]

コールドスタート時、SPPKは"00"に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SCPK13–SCPK10: FPK1入力比較 (D[3:0]/0x402CD<FPK1入力比較レジスタ>)**SCPK04–SCPK00: FPK0入力比較** (D[4:0]/0x402CC<FPK0入力比較レジスタ>)

キー入力割り込み発生条件(割り込み発生タイミング)を設定します。

"1"書き込み: 立ち下がりエッジ

"0"書き込み: 立ち上がりエッジ

読み出し: 可能

SCPK0[4:0]はFPK0の5ビットの入力状態、SCPK1[3:0]はFPK1の4ビットの入力状態と比較され、それぞれの内容が一致状態から不一致状態に変化した場合に割り込み要求が発生します(SMPKビットで割り込み禁止に設定した入力は比較の対象とはなりません)。

コールドスタート時、SCPKは"0" (立ち上がりエッジ) に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SMPK13–SMPK10: FPK1入力マスク(D[3:0]/0x402CF<FPK1入力マスクレジスタ>)

SMPK04–SMPK00: FPK0入力マスク(D[4:0]/0x402CE<FPK0入力マスクレジスタ>)

キー入力割り込み発生条件(割り込み許可/禁止)を設定します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

SMPKはキー入力割り込み端子系列の各ビットに対応する入力マスクビットで、"1"に設定したビットの割り込みが許可され、"0"に設定したビットの割り込みが禁止されます。割り込み禁止に設定した入力端子の状態変化は、割り込みの発生に影響を与えません。

コールドスタート時、SMPKは"0(割り込み禁止)"に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

PP0L2–PP0L0: ポート入力0割り込みレベル(D[2:0]/0x40260<ポート入力0/1割り込みプライオリティレジスタ>)

PP1L2–PP1L0: ポート入力1割り込みレベル(D[6:4]/0x40260<ポート入力0/1割り込みプライオリティレジスタ>)

PP2L2–PP2L0: ポート入力2割り込みレベル(D[2:0]/0x40261<ポート入力2/3割り込みプライオリティレジスタ>)

PP3L2–PP3L0: ポート入力3割り込みレベル(D[6:4]/0x40261<ポート入力2/3割り込みプライオリティレジスタ>)

PP4L2–PP4L0: ポート入力4割り込みレベル(D[2:0]/0x4026C<ポート入力4/5割り込みプライオリティレジスタ>)

PP5L2–PP5L0: ポート入力5割り込みレベル(D[6:4]/0x4026C<ポート入力4/5割り込みプライオリティレジスタ>)

PP6L2–PP6L0: ポート入力6割り込みレベル(D[2:0]/0x4026D<ポート入力6/7割り込みプライオリティレジスタ>)

PP7L2–PP7L0: ポート入力7割り込みレベル(D[6:4]/0x4026D<ポート入力6/7割り込みプライオリティレジスタ>)

PK0L2–PK0L0: キー入力0割り込みレベル(D[2:0]/0x40262<キー入力割り込みプライオリティレジスタ>)

PK1L2–PK1L0: キー入力1割り込みレベル(D[6:4]/0x40262<キー入力割り込みプライオリティレジスタ>)

入力割り込みの優先レベルを設定します。

PPxLはポート入力割り込み、PKxLはキー入力割り込みに対応した割り込みプライオリティレジスタです。それぞれの割り込み系列の優先レベルを0～7の範囲で設定できます。

イニシャルリセット時、これらのレジスタは不定となります。

EP3–EP0: ポート入力3–0割り込みイネーブル

(D[3:0]/0x40270<キー入力, ポート入力0–3割り込みイネーブルレジスタ>)

EP7–EP4: ポート入力7–4割り込みイネーブル

(D[5:2]/0x40277<ポート入力4–7, 計時タイマ, A/D割り込みイネーブルレジスタ>)

EK1, EK0: キー入力1, 0割り込みイネーブル

(D[5:4]/0x40270<キー入力, ポート入力0–3割り込みイネーブルレジスタ>)

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

EPxはポート入力割り込み、EKxはキー入力割り込みの各系列に対応する割り込みイネーブルビットで、"1"に設定した入力割り込みが許可され、"0"に設定した入力割り込みが禁止されます。

イニシャルリセット時、これらのレジスタはすべて"0(割り込み禁止)"に設定されます。

FP3–FP0: ポート入力3–0割り込み要因フラグ

(D[3:0]/0x40280<キー入力, ポート入力0–3割り込み要因フラグレジスタ>)

FP7–FP4: ポート入力7–4割り込み要因フラグ

(D[5:2]/0x40287<ポート入力4–7, 計時タイマ, A/D割り込み要因フラグレジスタ>)

FK1, FK0: キー入力1, 0割り込み要因フラグ

(D[5:4]/0x40280<キー入力, ポート入力0–3割り込み要因フラグレジスタ>)

入力割り込み要因の発生状態を示します。

•読み出し時

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

•リセットオンリー方式書き込み時(デフォルト)

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

•リード/ライト方式書き込み時

"1"書き込み: 要因フラグをセット

"0"書き込み: 要因フラグをリセット

FPxはポート入力割り込み、FKxはキー入力割り込みの各系列に対応する割り込み要因フラグで、割り込み発生条件の成立により"1"にセットされます。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

なお、ポート入力割り込み要因をIDMA要求として使用する場合、上記の条件が成立している場合でも、割り込み要因発生時点でCPUに対する割り込み要求は出力されません。IDMAの設定で割り込みを許可してあれば、IDMAによるデータ転送終了後に上記の条件で割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。

割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。

イニシャルリセット時、割り込み要因フラグはすべて不定となりますので、必ずソフトウェアでリセットしてください。

RP3-RP0: ポート入力3-0 IDMAリクエスト

(D[3:0]/0x40290<ポート入力0-3, 高速DMA, 16bitタイマ0 IDMAリクエストレジスタ>)

RP7-RP4: ポート入力7-4 IDMAリクエスト

(D[7:4]/0x40293<シリアルI/F, A/D, ポート入力4-7 IDMAリクエストレジスタ>)

割り込み要因発生時にIDMAを起動するかどうか設定します。

• セットオンリー方式(デフォルト)

"1"書き込み: IDMA要求

"0"書き込み: 無効

読み出し: 可能

• リード/ライト方式

"1"書き込み: IDMA要求

"0"書き込み: 割り込み要求

読み出し: 可能

RP7 ~ RP0はポート入力7 ~ 0の割り込みに対応するIDMAリクエストビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

IDMAについては"IDMA(インテリジェントDMA)"を参照してください。

イニシャルリセット時、RPIは"0"(割り込み要求)に設定されます。

DEP3-DEP0: ポート入力3-0 IDMAイネーブル

(D[3:0]/0x40294<ポート入力0-3, 高速DMA, 16bitタイマ0 IDMAイネーブルレジスタ>)

DEP7-DEP4: ポート入力7-4 IDMAイネーブル

(D[7:4]/0x40297<シリアルI/F, A/D, ポート入力4-7 IDMAイネーブルレジスタ>)

割り込み要因によるIDMA転送を許可または禁止します。

• セットオンリー方式(デフォルト)

"1"書き込み: IDMA許可

"0"書き込み: 無効

読み出し: 可能

• リード/ライト方式

"1"書き込み: IDMA許可

"0"書き込み: IDMA禁止

読み出し: 可能

DEP7 ~ DEP0はポート入力7 ~ 0の割り込みに対応するIDMAイネーブルビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

イニシャルリセット時、DEPIは"0"(IDMA禁止)に設定されます。

プログラミング上の注意事項

- (1) イニシャルリセット後、割り込み要因フラグは不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。
- (2) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。
- (3) ポートの動作は、プリスケアラが動作していることが条件です。
- (4) HALT2モードまたはSLEEPモードから再起動するトリガとしてポート入力割り込みを使用する場合、割り込み条件としてエッジ割り込みを設定している場合でも割り込みは入力信号のレベルで発生します。再起動は、立ち上がりと立ち下がりでは次のように動作します。
 - 立ち上がりエッジ割り込み設定時: Highレベル入力で再起動する。
 - 立ち下がりエッジ割り込み設定時: Lowレベル入力で再起動する。slp命令実行後、立ち下がりエッジ割り込みで再起動と設定した場合は、次のように動作します。slp命令実行時に割り込みポートのレベルがすでにLowレベルの場合は、一瞬だけSLEEP状態になり、すぐに再起動します。slp命令実行時に割り込みポートのレベルがHighレベルの場合は、ポート入力Lowに変化するまでSLEEP状態が保持されます。したがって、SLEEP状態またはHALT2状態からのポート入力割り込みによる再起動は、入力レベルで行われることを前提にシステム設計してください。

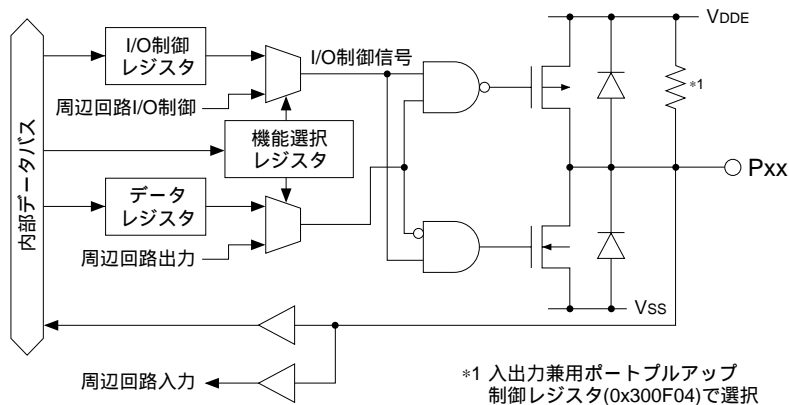
III-12 拡張ポート

S1C33301はC33周辺回路ブロックの入出力ポートに加え、18本の入出力兼用ポートを拡張ポートとして内蔵しています。この章では、汎用入出力兼用ポートとして使用する場合の機能と制御方法について説明します。

拡張ポートの構成

S1C33301では、プログラムにより入出力方向の切り換えが可能な入出力兼用ポートがC33周辺回路ブロックの29ビットから47ビットに拡張されています。拡張された入出力兼用ポートはP40～P47、P50～P55、P60～P63です。

図III.12.1に拡張ポートの構造を示します。



図III.12.1 拡張ポートの構造

各ポート端子にはソフトウェアで接続/切り離し可能なプルアップ抵抗が用意されています。イニシャルリセット時、プルアップ抵抗が有効となり各端子はプルアップされます。プルアップせずに使用する方法については、「III-2 チップID/端子制御レジスタ」を参照してください。

拡張ポート端子

拡張された入出力兼用ポート端子は、表III.12.1に示すとおりBCUの入出力端子を兼ねています。

表III.12.1 入出力端子

端子名	I/O	機 能	機能選択ビット
#HCAS(P40 /A25)	I/O	DRAMカラムアドレスストローブ(上位バイト)/ 入出力兼用ポート/アドレスバス(A25)	EFP40[1:0](P40-P43ポート 機能拡張レジスタ0x300048•D[1:0])
#LCAS(P41 /A24)	I/O	DRAMカラムアドレスストローブ(下位バイト)/ 入出力兼用ポート/アドレスバス(A24)	EFP41[1:0](P40-P43ポート 機能拡張レジスタ0x300048•D[3:2])
A23(P42)	I/O	アドレスバス(A23)/入出力兼用ポート	EFP42[1:0](P40-P43ポート 機能拡張レジスタ0x300048•D[5:4])
A22(P43)	I/O	アドレスバス(A22)/入出力兼用ポート	EFP43[1:0](P40-P43ポート 機能拡張レジスタ0x300048•D[7:6])
A21(P44)	I/O	アドレスバス(A21)/入出力兼用ポート	EFP44[1:0](P44-P47ポート 機能拡張レジスタ0x300049•D[1:0])
A20(P45)	I/O	アドレスバス(A20)/入出力兼用ポート	EFP45[1:0](P44-P47ポート 機能拡張レジスタ0x300049•D[3:2])
A19(P46)	I/O	アドレスバス(A19)/入出力兼用ポート	EFP46[1:0](P44-P47ポート 機能拡張レジスタ0x300049•D[5:4])
A18(P47)	I/O	アドレスバス(A18)/入出力兼用ポート	EFP47[1:0](P44-P47ポート 機能拡張レジスタ0x300049•D[7:6])
#CE4(#CE11/#CE11&12/ P50)	I/O	エリア4チップイネーブル/エリア11チップイネーブル/ エリア11&12チップイネーブル/入出力兼用ポート	EFP50[1:0](P50-P53ポート 機能拡張レジスタ0x30004A•D[1:0])
#CE5(#CE15/#CE15&16/ P51)	I/O	エリア5チップイネーブル/エリア15チップイネーブル/ エリア15&16チップイネーブル/入出力兼用ポート	EFP51[1:0](P50-P53ポート 機能拡張レジスタ0x30004A•D[3:2])
#CE6(#CE7&8/ P52)	I/O	エリア6チップイネーブル/エリア7&8チップイネーブル/ 入出力兼用ポート	EFP52[1:0](P50-P53ポート 機能拡張レジスタ0x30004A•D[5:4])
#CE7(#RAS0/#CE13/#RAS2/ P53)	I/O	エリア7チップイネーブル/エリア7 DRAMローストローブ/ エリア13チップイネーブル/エリア13 DRAMローストローブ/ 入出力兼用ポート	EFP53[1:0](P50-P53ポート 機能拡張レジスタ0x30004A•D[7:6])
#CE8(#RAS1/#CE14/#RAS3 P54)	I/O	エリア8チップイネーブル/エリア8 DRAMローストローブ/ エリア14チップイネーブル/エリア14 DRAMローストローブ/ 入出力兼用ポート	EFP54[1:0](P54-P55ポート 機能拡張レジスタ0x30004B•D[1:0])
#CE9(/#CE17/#CE17&18/ P55)	I/O	エリア9チップイネーブル/エリア17チップイネーブル/ エリア17&18チップイネーブル/入出力兼用ポート	EFP55[1:0](P54-P55ポート 機能拡張レジスタ0x30004B•D[3:2])
BCLK(P60 /FOSC1)	I/O	バスクロック出力/入出力兼用ポート/OSC1クロック出力	EFP60[1:0](P60ポート 機能拡張レジスタ0x30004C•D[1:0])
P61	I/O	入出力兼用ポート	—
P62	I/O	入出力兼用ポート	—
P63	I/O	入出力兼用ポート	—

コールドスタート時、P40～P47、P50～P55、P60はバス信号の出力端子に設定されます。

この中でバス信号として使用しない端子は、機能拡張ビットEFPの選択により、汎用の入出力兼用ポートとして使用可能です。バス信号の制御方法についてはBCUの章を、FOSC1出力については"低速 OSC1 発振回路"の章を参照してください。

ホットスタート時は、リセット前の状態を保持します。

P61～P63は汎用の入出力兼用ポートとしてのみ機能します。ただし、PFBGA-121pinパッケージでは使用できません。

I/O制御レジスタと入力/出力モード

汎用の入出力兼用ポートとして使用する場合、ポートはそれぞれのビットに対応したI/O制御レジスタにデータを書き込むことによって、入力モードあるいは出力モードに設定されます。

P47~P40用I/O制御: IOC4[7:0] P4 I/O制御レジスタ0x300021•D[7:0]

P55~P50用I/O制御: IOC5[5:0] P5 I/O制御レジスタ0x300023•D[5:0]

P63~P60用I/O制御: IOC6[3:0] P6 I/O制御レジスタ0x300025•D[3:0]

入力モードに設定する場合はI/O制御レジスタに"0"を書き込みます。入力モードに設定されたポートは、ハイインピーダンス状態となり入力ポートとして機能します。

入力モード時の読み出しでは入力端子の状態が直接読み込まれ、そのデータは入力端子がHigh(V_{DD})レベルのときに"1"、Low(V_{SS})レベルのときに"0"となります。

入力モード時においても、端子の状態に影響を与えることなくデータレジスタに対して書き込みは行えます。

出力モードに設定する場合はI/O制御レジスタに"1"を書き込みます。出力モードに設定されたポートは出力ポートとして機能し、ポート出力データが"1"の場合にHigh(V_{DD})レベル、"0"の場合にLow(V_{SS})レベルを出力します。

コールドスタート時、I/O制御レジスタは"0"(入力モード)に設定されます。

ホットスタート時は、リセット前の状態を保持します。

P4 ~ P6、EFPレジスタをアクセスするためのBCUの設定

P40 ~ P47、P50 ~ P55、P60 ~ P63ポートのデータレジスタとI/O制御レジスタ、およびポートの機能を拡張するEFPレジスタはエリア6の0x300020 ~ 0x30004C番地に割り付けられています。したがって、これらのレジスタにアクセスする前に、エリア6のBCUレジスタを以下のとおり設定しておく必要があります。

1. A6IQ(アクセス制御レジスタ0x48132•D9) = "1"
エリア6は、内部デバイスがアクセスされるように設定します。
2. A6EQ(アクセス制御レジスタ0x48132•D1) = "0"
エリア6のエンディアン形式をリトルエンディアンに設定します。
3. A6WT[2:0](エリア6-4設定レジスタ0x4812A•D[A:8]) = "001"
エリア6のウェイト数を1に設定します。

拡張ポートのI/Oメモリ

表III.12.2に拡張ポートの制御ビットを示します。

表III.12.2 拡張ポートの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈						
P4入出力兼用 ポートデータ レジスタ	0300020 (B)	D7	P47D	P47入出力兼用ポートデータ	1	High	0	Low	0	R/W					
		D6	P46D	P46入出力兼用ポートデータ					0	R/W					
		D5	P45D	P45入出力兼用ポートデータ					0	R/W					
		D4	P44D	P44入出力兼用ポートデータ					0	R/W					
		D3	P43D	P43入出力兼用ポートデータ					0	R/W					
		D2	P42D	P42入出力兼用ポートデータ					0	R/W					
		D1	P41D	P41入出力兼用ポートデータ					0	R/W					
		D0	P40D	P40入出力兼用ポートデータ					0	R/W					
P4 I/O制御 レジスタ	0300021 (B)	D7	IOC47	P47 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポート端子のI/O制御信号の値(詳細説明参照)				
		D6	IOC46	P46 I/O制御					0	R/W					
		D5	IOC45	P45 I/O制御					0	R/W					
		D4	IOC44	P44 I/O制御					0	R/W					
		D3	IOC43	P43 I/O制御					0	R/W					
		D2	IOC42	P42 I/O制御					0	R/W					
		D1	IOC41	P41 I/O制御					0	R/W					
		D0	IOC40	P40 I/O制御					0	R/W					
P5入出力兼用 ポートデータ レジスタ	0300022 (B)	D7-6	—	reserved	—			—	—	読み出し時: 0					
		D5	P55D	P55入出力兼用ポートデータ	1	High	0	Low	0	R/W					
		D4	P54D	P54入出力兼用ポートデータ					0	R/W					
		D3	P53D	P53入出力兼用ポートデータ					0	R/W					
		D2	P52D	P52入出力兼用ポートデータ					0	R/W					
		D1	P51D	P51入出力兼用ポートデータ					0	R/W					
		D0	P50D	P50入出力兼用ポートデータ					0	R/W					
		P5 I/O制御 レジスタ	0300023 (B)	D7-6					—	reserved		—			—
D5	IOC55			P55 I/O制御					1	出力		0	入力	0	R/W
D4	IOC54			P54 I/O制御	0	R/W									
D3	IOC53			P53 I/O制御	0	R/W									
D2	IOC52			P52 I/O制御	0	R/W									
D1	IOC51			P51 I/O制御	0	R/W									
D0	IOC50			P50 I/O制御	0	R/W									
P6入出力兼用 ポートデータ レジスタ	0300024 (B)			D7-4	—	reserved	—				—			—	読み出し時: 0
		D3	P63D	P63入出力兼用ポートデータ	1	High	0	Low			0			R/W	
		D2	P62D	P62入出力兼用ポートデータ					0	R/W					
		D1	P61D	P61入出力兼用ポートデータ					0	R/W					
		D0	P60D	P60入出力兼用ポートデータ					0	R/W					
P6 I/O制御 レジスタ	0300025 (B)	D7-4	—	reserved	—			—	—	読み出し時: 0					
		D3	IOC63	P63 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポート端子のI/O制御信号の値(詳細説明参照)				
		D2	IOC62	P62 I/O制御					0	R/W					
		D1	IOC61	P61 I/O制御					0	R/W					
		D0	IOC60	P60 I/O制御					0	R/W					
P00-P03 ポート機能拡張 レジスタ	0300040 (B)	D7	EFP031	P03ポート機能拡張	EFP03[1:0]		機能		0	R/W					
		D6	EFP030		1	*	reserved	0							
					0	1	#FSRDY0								
					0	0	P03/#SRDY0								
		D5	EFP021	P02ポート機能拡張	EFP02[1:0]		機能		0	R/W					
		D4	EFP020		1	*	reserved	0							
					0	1	#FSCLK0								
					0	0	P02/#SCLK0								
		D3	EFP011	P01ポート機能拡張	EFP01[1:0]		機能		0	R/W					
		D2	EFP010		1	*	reserved	0							
					0	1	FSOUT0								
					0	0	P01/SOUT0								
D1	EFP001	P00ポート機能拡張	EFP00[1:0]		機能		0	R/W							
D0	EFP000		1	*	reserved	0									
			0	1	FSIN0										
			0	0	P00/SIN0										
P34-P35 ポート機能拡張 レジスタ	0300047 (B)	D7-4	—	reserved	—			—	—	読み出し時: 0					
		D3	EFP351	P35ポート機能拡張	EFP35[1:0]		機能		0	R/W					
		D2	EFP350		1	*	reserved	0							
					0	1	#SMRE								
					0	0	P35, etc.								
		D1	EFP341	P34ポート機能拡張	EFP34[1:0]		機能		0	R/W					
		D0	EFP340		1	*	reserved	0							
					0	1	#SMWE								
					0	0	P34, etc.								

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈		
P40–P43 ポート機能拡張 レジスタ	0300048 (B)	D7 D6	EFP431 EFP430	P43ポート機能拡張	EFP43[1:0]	機能	0	R/W		
					1	*	reserved			0
					0	1	P43			
					0	0	A22			
		D5 D4	EFP421 EFP420	P42ポート機能拡張	EFP42[1:0]	機能	0	R/W		
					1	*	reserved			0
					0	1	P42			
					0	0	A23			
		D3 D2	EFP411 EFP410	P41ポート機能拡張	EFP41[1:0]	機能	0	R/W		
					1	1	reserved			0
					1	0	A24			
					0	1	P41			
		D1 D0	EFP401 EFP400	P40ポート機能拡張	EFP40[1:0]	機能	0	R/W		
					1	1	reserved			0
					1	0	A25			
					0	1	P40			
				#LCAS						
					#HCAS					
P44–P47 ポート機能拡張 レジスタ	0300049 (B)	D7 D6	EFP471 EFP470	P47ポート機能拡張	EFP47[1:0]	機能	0	R/W		
					1	*	reserved			0
					0	1	P47			
					0	0	A18			
		D5 D4	EFP461 EFP460	P46ポート機能拡張	EFP46[1:0]	機能	0	R/W		
					1	*	reserved			0
					0	1	P46			
					0	0	A19			
		D3 D2	EFP451 EFP450	P45ポート機能拡張	EFP45[1:0]	機能	0	R/W		
					1	*	reserved			0
					0	1	P45			
					0	0	A20			
		D1 D0	EFP441 EFP440	P44ポート機能拡張	EFP44[1:0]	機能	0	R/W		
					1	*	reserved			0
					0	1	P44			
					0	0	A21			
P50–P53 ポート機能拡張 レジスタ	030004A (B)	D7 D6	EFP531 EFP530	P53ポート機能拡張	EFP53[1:0]	機能	0	R/W		
					1	*	reserved			0
					0	1	P53			
					0	0	#CE7, etc.			
		D5 D4	EFP521 EFP520	P52ポート機能拡張	EFP52[1:0]	機能	0	R/W		
					1	*	reserved			0
					0	1	P52			
					0	0	#CE6, etc.			
		D3 D2	EFP511 EFP510	P51ポート機能拡張	EFP51[1:0]	機能	0	R/W		
					1	*	reserved			0
					0	1	P51			
					0	0	#CE5, etc.			
		D1 D0	EFP501 EFP500	P50ポート機能拡張	EFP50[1:0]	機能	0	R/W		
					1	*	reserved			0
					0	1	P50			
					0	0	#CE4, etc.			
P54–P55 ポート機能拡張 レジスタ	030004B (B)	D7–4	–	reserved	–	–	–	読み出し時: 0		
		D3 D2	EFP551 EFP550	P55ポート機能拡張	EFP55[1:0]	機能	0	R/W		
					1	*	reserved			0
					0	1	P55			
					0	0	#CE9, etc.			
		D1 D0	EFP541 EFP540	P54ポート機能拡張	EFP54[1:0]	機能	0	R/W		
					1	*	reserved			0
					0	1	P54			
					0	0	#CE8, etc.			
P60 ポート機能拡張 レジスタ	030004C (B)	D7–2	–	reserved	–	–	–	読み出し時: 0		
		D1 D0	EFP601 EFP600	P60ポート機能拡張	EFP60[1:0]	機能	0	R/W		
					1	1	reserved			0
					1	0	FOSC1			
					0	1	P60			
					0	0	BCLK			

P47D–P40D: P4[7:0]入出力兼用ポートデータ(D[7:0]/0x300020<P4入出力兼用ポートデータレジスタ>)

P55D–P50D: P5[5:0]入出力兼用ポートデータ(D[5:0]/0x300022<P5入出力兼用ポートデータレジスタ>)

P63D–P60D: P6[3:0]入出力兼用ポートデータ(D[3:0]/0x300024<P6入出力兼用ポートデータレジスタ>)

入出力兼用ポート端子のデータの読み出し、および出力データの設定を行います。

- データ書き込み時

"1"書き込み: Highレベル

"0"書き込み: Lowレベル

入出力兼用ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力兼用ポート端子に出力されます。ポートデータとして"1"を書き込んだ場合はポート端子はHigh(VDD、VDDE)レベルとなり、"0"を書き込んだ場合はLow(VSS)レベルとなります。

入力モードの場合もポートデータの書き込みは行えます。

- データ読み出し時

"1"読み出し: Highレベル

"0"読み出し: Lowレベル

入出力兼用ポートが入力モード、出力モードにかかわらず、ポート端子の電圧レベルが読み出されます。端子電圧がHigh(VDD、VDDE)レベルの場合は"1"、Low(VSS)レベルの場合は"0"がそれぞれ入力データとして読み出されます。

コールドスタート時、データビットはすべて"0"に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

IOC47–IOC40: P4[7:0]ポートI/O制御(D[7:0]/0x300021<P4 I/O制御レジスタ>)

IOC55–IOC50: P5[5:0]ポートI/O制御(D[5:0]/0x300023<P5 I/O制御レジスタ>)

IOC63–IOC60: P6[3:0]ポートI/O制御(D[3:0]/0x300025<P6 I/O制御レジスタ>)

入出力兼用ポート端子の入力/出力モードの設定とI/O制御信号の値の読み出しが行えます。

- データ書き込み時

"1"書き込み: 出力モード

"0"書き込み: 入力モード

IOCレジスタは各入出力兼用ポートにビット単位で対応するI/O制御レジスタです。IOCビットを"1"に設定すると対応する入出力兼用ポートが出力モードとなり、"0"に設定すると入力モードとなります。

コールドスタート時、IOCはすべて"0"(入力モード)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

- データ読み出し時

"1"読み出し: I/O制御信号(出力)

"0"読み出し: I/O制御信号(入力)

ポート端子のI/O制御信号の値が読み出されます。EFPレジスタによって入出力兼用ポート機能を選択した場合、読み出し値は、IOCレジスタへの書き込み値と一致します。一方、バス信号を選択した場合、IOCレジスタへの書き込み値とは異なる場合があります。

EFP001–EFP000: P00ポート機能拡張 (D[1:0]/0x300040<P00–P03ポート機能拡張レジスタ>)
EFP011–EFP010: P01ポート機能拡張 (D[3:2]/0x300040<P00–P03ポート機能拡張レジスタ>)
EFP021–EFP020: P02ポート機能拡張 (D[5:4]/0x300040<P00–P03ポート機能拡張レジスタ>)
EFP031–EFP030: P03ポート機能拡張 (D[7:6]/0x300040<P00–P03ポート機能拡張レジスタ>)
EFP341–EFP340: P34ポート機能拡張 (D[1:0]/0x300047<P34–P35ポート機能拡張レジスタ>)
EFP351–EFP350: P35ポート機能拡張 (D[3:2]/0x300047<P34–P35ポート機能拡張レジスタ>)
EFP401–EFP400: P40ポート機能拡張 (D[1:0]/0x300048<P40–P43ポート機能拡張レジスタ>)
EFP411–EFP410: P41ポート機能拡張 (D[3:2]/0x300048<P40–P43ポート機能拡張レジスタ>)
EFP421–EFP420: P42ポート機能拡張 (D[5:4]/0x300048<P40–P43ポート機能拡張レジスタ>)
EFP431–EFP430: P43ポート機能拡張 (D[7:6]/0x300048<P40–P43ポート機能拡張レジスタ>)
EFP441–EFP440: P44ポート機能拡張 (D[1:0]/0x300049<P44–P47ポート機能拡張レジスタ>)
EFP451–EFP450: P45ポート機能拡張 (D[3:2]/0x300049<P44–P47ポート機能拡張レジスタ>)
EFP461–EFP460: P46ポート機能拡張 (D[5:4]/0x300049<P44–P47ポート機能拡張レジスタ>)
EFP471–EFP470: P47ポート機能拡張 (D[7:6]/0x300049<P44–P47ポート機能拡張レジスタ>)
EFP501–EFP500: P50ポート機能拡張 (D[1:0]/0x30004A<P50–P53ポート機能拡張レジスタ>)
EFP511–EFP510: P51ポート機能拡張 (D[3:2]/0x30004A<P50–P53ポート機能拡張レジスタ>)
EFP521–EFP520: P52ポート機能拡張 (D[5:4]/0x30004A<P50–P53ポート機能拡張レジスタ>)
EFP531–EFP530: P53ポート機能拡張 (D[7:6]/0x30004A<P50–P53ポート機能拡張レジスタ>)
EFP541–EFP540: P54ポート機能拡張 (D[1:0]/0x30004B<P54–P55ポート機能拡張レジスタ>)
EFP551–EFP550: P55ポート機能拡張 (D[3:2]/0x30004B<P54–P55ポート機能拡張レジスタ>)
EFP601–EFP600: P60ポート機能拡張 (D[1:0]/0x30004C<P60ポート機能拡張レジスタ>)

各ポートの拡張機能を選択します。選択内容は表III.12.3のとおりです。

コールドスタート時、EFPは"00"(バス信号出力)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

表III.12.3 ポート機能一覧

ポート	機能拡張ビット	EFPxx[1:0] = "00"	EFPxx[1:0] = "01"	EFPxx[1:0] = "10"	EFPxx[1:0] = "11"
P00	EFP00[1:0]	P00 SIN0	FSIN0	–	–
P01	EFP01[1:0]	P01 SOUT0	FSOUT0	–	–
P02	EFP02[1:0]	P02 #SCLK0	#FSCLK0	–	–
P03	EFP03[1:0]	P03 #SRDY0	#FSRDY0	–	–
P34	EFP34[1:0]	P34 #BUSREQ #CE6	#SMWE	–	–
P35	EFP35[1:0]	P35 #BUSACK	#SMRE	–	–
P40	EFP40[1:0]	#HCAS	P40	A25	–
P41	EFP41[1:0]	#LCAS	P41	A24	–
P42	EFP42[1:0]	A23	P42	–	–
P43	EFP43[1:0]	A22	P43	–	–
P44	EFP44[1:0]	A21	P44	–	–
P45	EFP45[1:0]	A20	P45	–	–
P46	EFP46[1:0]	A19	P46	–	–
P47	EFP47[1:0]	A18	P47	–	–
P50	EFP50[1:0]	#CE4 #CE11 #CE11&12	P50	–	–
P51	EFP51[1:0]	#CE5 #CE15 #CE15&16	P51	–	–
P52	EFP52[1:0]	#CE6 #CE7&8	P52	–	–
P53	EFP53[1:0]	#CE7 #RAS0 #CE13 #RAS2	P53	–	–
P54	EFP54[1:0]	#CE8 #RAS1 #CE14 #RAS3	P54	–	–
P55	EFP55[1:0]	#CE9 #CE17 #CE17&18	P55	–	–
P60	EFP60[1:0]	BCLK	P60	FOSC1	–

初期設定: EFPxx[1:0] = "00"

このページはブランクです。

III-13 スマートメディアインタフェース

スマートメディアインタフェースの構成

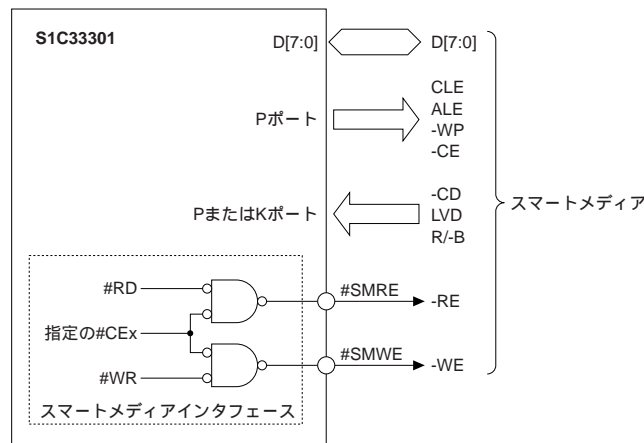
S1C33301はスマートメディアインタフェースを拡張周辺回路として内蔵しています。この回路は、スマートメディアをバスに接続するために必要な以下の制御信号を生成します。

#SMWE: スマートメディアライト信号

#SMRE: スマートメディアリード信号

これらの信号をスマートメディアの-WE、-RE信号として使用することにより、3.3VスマートメディアをS1C33301のバスに直結できます。

図III.13.1にスマートメディアインタフェースの構成を示します。



図III.13.1 スマートメディアインタフェースの構成

スマートメディアインタフェースの出力端子

表III.13.1に#SMWE、#SMRE出力に使用する端子を示します。

表III.13.1 スマートメディアインタフェースの出力端子

端子名	I/O	機 能	機能選択ビット
P34(#BUSREQ/#CE6/#SMWE)	I/O	入出力兼用ポート/バス解放要求入力/ エリア6チップイネーブル/スマートメディアライト信号	EF34[1:0](P34-P35ポート 機能拡張レジスタ0x300047•D[1:0])
P35(#BUSACK/#SMRE)	I/O	入出力兼用ポート/バス解放要求応答出力/ スマートメディアリード信号	EF35[1:0](P34-P35ポート 機能拡張レジスタ0x300047•D[3:2])

#SMWE端子はP34、#SMRE端子はP35入出力兼用ポートと共用されており、コールドスタート時はどちらも入出力兼用ポート端子に設定されます。スマートメディアインタフェースを使用する場合は、P34-P35機能拡張レジスタ(0x300047)のEF34[1:0](D[1:0])とEF35[1:0](D[3:2])を"01"に設定する必要があります。

これらの端子は#BUSREQ信号および#BUSACK信号の入出力も兼用しているため、スマートメディアの制御信号出力に使用する場合、バスリクエストの機能は使用できなくなります。

ホットスタート時、このレジスタはリセット前の状態を保持します。

#CEエリアの選択

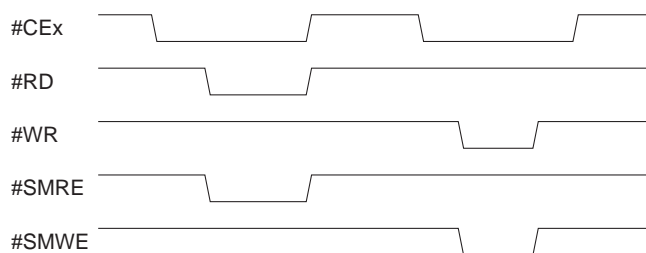
スマートメディアのアクセスにどの#CE信号を割り当てるか、スマートメディアI/F #CEエリア選択レジスタ(0x300100)のSMCES[1:0] D[1:0]で選択することができます。表III.13.2に示すとおり4種類から選択できますが、BCUの#CE端子機能選択ビットCEFUNC[1:0] (0x48130・D[A:9])の設定により割り当てられるエリアは変わります。

表III.13.2 #CEエリアの選択

SMCES1	SMCES0	#CEエリア		
		CEFUNC = "00"	CEFUNC = "01"	CEFUNC = "1x"
1	1	#CE9	#CE17	#CE17+#CE18
1	0	#CE8	#CE14	#CE14
0	1	#CE7	#CE13	#CE13
0	0	#CE4	#CE11	#CE11+#CE12

(デフォルト: SMCES = CEFUNC = "00")

#SMWE信号はここで選択した#CE信号と#WR信号をOR、#SMRE信号は同じく#CE信号と#RD信号をORして生成されます。



図III.13.2 #SMWEと#SMRE信号のタイミングチャート

スマートメディアI/FレジスタをアクセスするためのBCUの設定

端子の設定を行うP34-P35機能拡張レジスタとスマートメディアI/F #CEエリア選択レジスタはエリア6の0x300047と0x300100番地に割り付けられています。したがって、これらのレジスタにアクセスする前に、エリア6のBCUレジスタを以下のとおり設定しておく必要があります。

1. A6IQ アクセス制御レジスタ(0x48132・D9) = "1"
エリア6は、内部デバイスがアクセスされるように設定します。
2. A6EQ アクセス制御レジスタ(0x48132・D1) = "0"
エリア6のエンディアン形式をリトルエンディアンに設定します。
3. A6WT[2:0] エリア6-4設定レジスタ(0x4812A・D[A:8]) = "001"
エリア6のウェイト数を1に設定します。

スマートメディアインタフェースのI/Oメモリ

表III.13.3にスマートメディアインタフェースの制御ビットを示します。

表III.13.3 スマートメディアインタフェースの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈
P34-P35 ポート機能拡張 レジスタ	0300047 (B)	D7-4	—	reserved	—			—	—	読み出し時: 0
		D3 D2	EFP351 EFP350	P35ポート機能拡張	EFP35[1:0]		機能	0	R/W	
					1	*	reserved	0		
					0	1	#SMRE P35, etc.			
		D1 D0	EFP341 EFP340	P34ポート機能拡張	EFP34[1:0]		機能	0	R/W	
					1	*	reserved	0		
0	1				#SMWE P34, etc.					
スマート メディアI/F #CEエリア選択 レジスタ	0300100 (B)	D7-2	—	reserved	—			—	—	読み出し時: 0
		D1 D0	SMCES1 SMCES0	スマートメディアI/F #CEエリア選択 (CEFUNCにより異なる)	SMCES[1:0]		#CEエリア	0	R/W	
					1	1	#CE9/#CE17(+18)	0		
					1	0	#CE8/#CE14			
					0	1	#CE7/#CE13			
					0	0	#CE4/#CE11(+12)			

EFP341-EFP340: P34ポート機能拡張(D[1:0]/0x300047<P34-P35ポート機能拡張レジスタ>)

EFP351-EFP350: P35ポート機能拡張(D[3:2]/0x300047<P34-P35ポート機能拡張レジスタ>)

P34、P35端子の機能を切り換えます。

表III.13.4 P34、P35ポートの機能拡張

EFP3x1	EFP3x0	P34	P35
1	*	reserved	reserved
0	1	#SMWE	#SMRE
0	0	P34/#BUSREQ/#CE6	P35/#BUSACK

スマートメディアインタフェースを使用する場合は、EFP34[1:0]とEFP35[1:0]を"01"に設定します。これにより、P34とP35端子がそれぞれ#SMWEと#SMRE端子として機能します。

イニシャルリセット時、EFPは"00"に設定されます。

SMCES1-SMCES0: #CEエリア選択(D[1:0]/0x300100<スマートメディアI/F #CEエリア選択レジスタ>)

スマートメディアに割り当てる#CEエリアを選択します。

表III.13.5 #CEエリアの選択

SMCES1	SMCES0	#CEエリア		
		CEFUNG = "00"	CEFUNG = "01"	CEFUNG = "1x"
1	1	#CE9	#CE17	#CE17+#CE18
1	0	#CE8	#CE14	#CE14
0	1	#CE7	#CE13	#CE13
0	0	#CE4	#CE11	#CE11+#CE12

(デフォルト: SMCES = CEFUNG = "00")

#SMWE信号はここで選択した#CE信号と#WR信号をOR、#SMRE信号は同じく#CE信号と#RD信号をORして生成されます。

イニシャルリセット時、SMCESは"00"(#CE4)に設定されます。

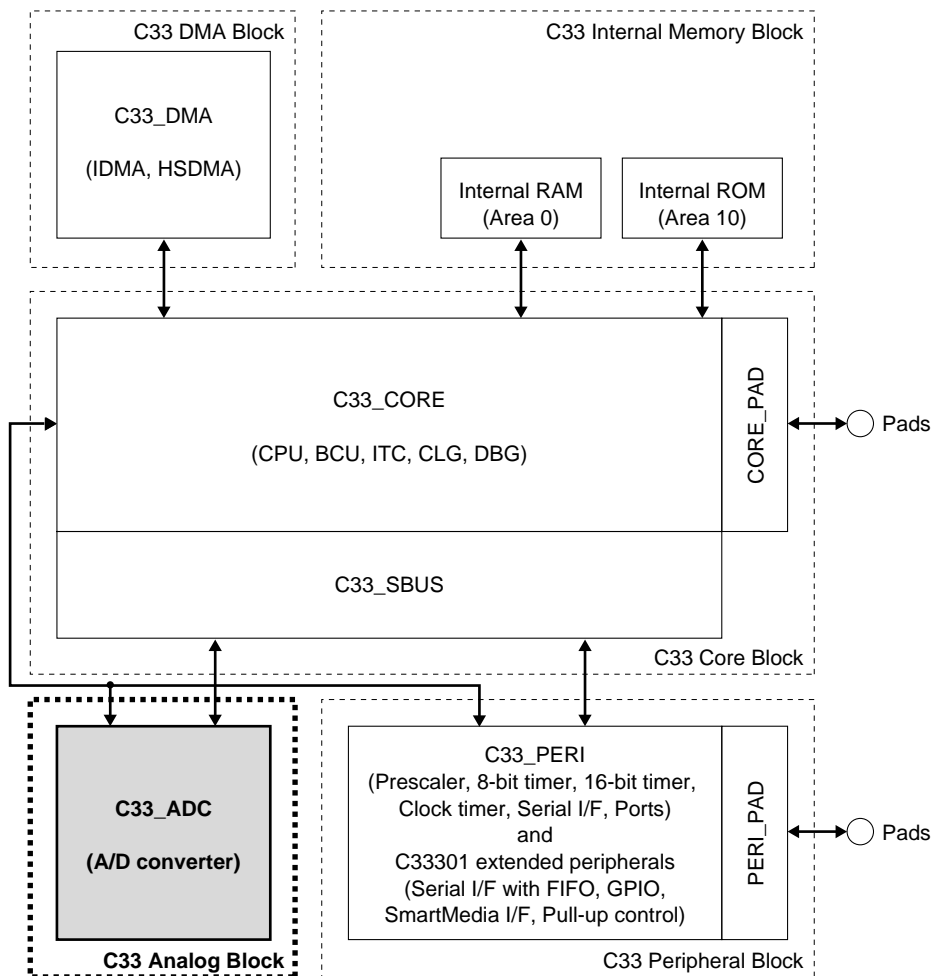
このページはblankです。

S1C33301 Technical Manual

IV アナログブロック

IV-1 はじめに

アナログブロックは、8本のアナログ入力チャネルを持つ10ビットA/D変換器で構成されています。



図IV.1.1 アナログブロック

注: S1C33301はROMを内蔵していません。

このページはブランクです。

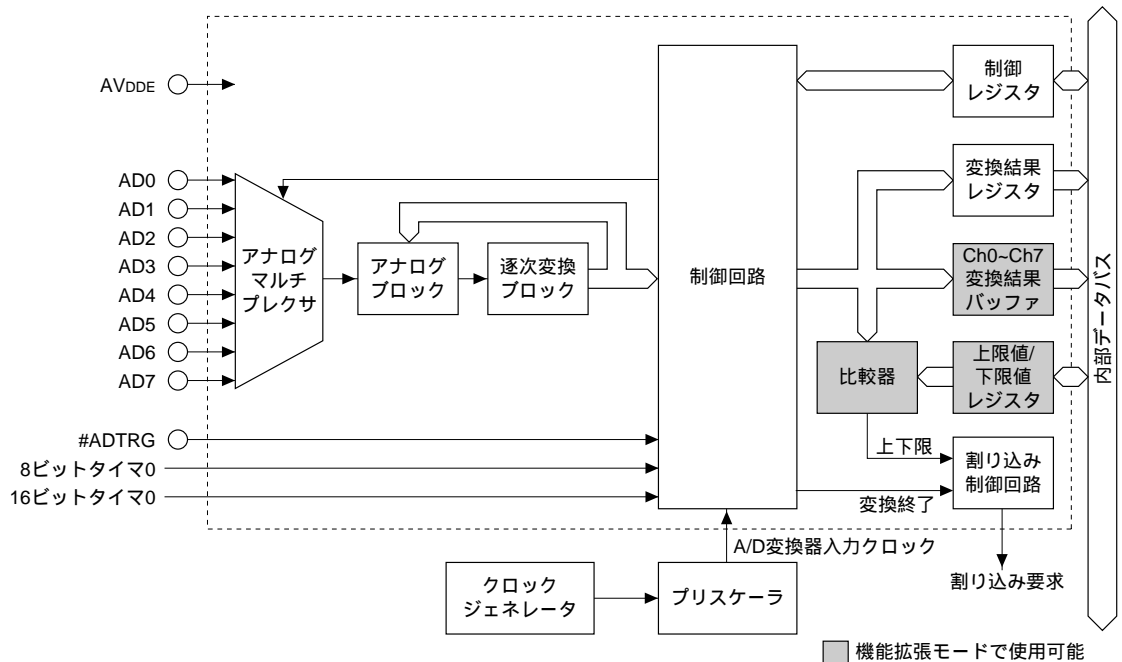
IV-2 A/D変換器

A/D変換器の特長と構成

C33 STDは以下の特長を持つA/D変換器を内蔵しています。

- 変換方式 逐次比較型
 - 分解能 10ビット
 - 入力チャネル 最大8チャネル
 - A/D変換器入力クロック 最大2MHz、最小16kHz
 - 変換時間 最小10 μ sec(2MHzの入力クロック選択時)
最大1250 μ sec(16kHzの入力クロック選択時)
 - 変換範囲 $V_{SS} \sim AV_{DDE}$ 間
 - 2種類の変換モードが選択可能
通常モード: 1回の変換で終了
連続モード: 連続的に変換、ソフトウェア制御により終了
各モードで、複数チャネルの連続変換が可能
 - 4種類のA/D変換開始トリガが選択可能
外部端子(#ADTRG)によるトリガ
16ビットプログラマブルタイマ0のコンペアマッチBによるトリガ
8ビットプログラマブルタイマ0のアンダーフローによるトリガ
ソフトウェアによるトリガ
 - A/D変換結果は10ビットデータレジスタ、または各チャネルの変換結果バッファ*から読み出し可能
 - A/D変換終了時、および変換結果が指定上下限範囲外*の場合に割り込み発生可能
- * 機能拡張モードで使用可能な機能です。C33 STDのA/D変換器は従来のC33アナログブロックとの互換性を持つ33209互換モードと、拡張機能を使用可能な機能拡張モードの2種類の動作モードを持っています。

図IV.2.1にA/D変換器の構成を示します。



図IV.2.1 A/D変換器の構成

A/D変換器の入力端子

表IV.2.1にA/D変換器で使用する端子を示します。

表IV.2.1 A/D変換器の端子構成

端子名	I/O	機 能	機能選択ビット
K52(#ADTRG)	I	入力ポート/ADトリガ	CFK52(K5機能選択レジスタ0x402C0•D2)
K60(AD0)	I	入力ポート/AD変換器入力0	CFK60(K6機能選択レジスタ0x402C3•D0)
K61(AD1)	I	入力ポート/AD変換器入力1	CFK61(K6機能選択レジスタ0x402C3•D1)
K62(AD2)	I	入力ポート/AD変換器入力2	CFK62(K6機能選択レジスタ0x402C3•D2)
K63(AD3)	I	入力ポート/AD変換器入力3	CFK63(K6機能選択レジスタ0x402C3•D3)
K64(AD4)	I	入力ポート/AD変換器入力4	CFK64(K6機能選択レジスタ0x402C3•D4)
K65(AD5)	I	入力ポート/AD変換器入力5	CFK65(K6機能選択レジスタ0x402C3•D5)
K66(AD6)	I	入力ポート/AD変換器入力6	CFK66(K6機能選択レジスタ0x402C3•D6)
K67(AD7)	I	入力ポート/AD変換器入力7	CFK67(K6機能選択レジスタ0x402C3•D7)
AVDDE	—	アナログ系電源(+)	—

AVDDE(アナログ電源端子)

AVDDE端子はアナログ回路の電源端子です。

注: A/D変換器をイネーブル状態にすると、A/D動作を行わないときにもAVDDE ~ VSS間に電流が流れ電力を消費します。したがって、A/D変換器を使用しない場合は、必ずA/D変換器をディセーブル状態 A/Dイネーブルレジスタ(0x40244)のADE(D2)を"0"、デフォルト)に設定してください。

AD[7:0](アナログ信号入力端子)

アナログ入力端子AD(Ch.7) ~ AD(Ch.0)は入力ポート端子K67 ~ K60と共用されています。したがって、アナログ入力端子として用いる場合は、ソフトウェアによりA/D変換器用に設定する必要があります。この設定は1端子ごとに行えます。コールドスタート時はすべての端子が入力ポート端子に設定されます。

入力可能なアナログ電圧値AVINはVSS AVIN AVDDEの範囲です。

#ADTRG(外部トリガ入力端子)

#ADTRG端子は、IC外部よりA/D変換を開始させる場合のトリガ信号を入力する端子です。入力ポート端子K52と共用されていますので、外部トリガを与える場合は、ソフトウェアによりA/D変換器用に設定する必要があります。コールドスタート時は入力ポート端子に設定されます。

A/D変換器入力端子の設定方法

#ADTRG端子およびAD[7:0]端子は、コールドスタート時にすべて入力ポート端子Kxx(機能選択ビットCFKxx="0")として設定されます。A/D変換器に使用する場合は、CFKxxに"1"を書き込んでください。ホットスタート時は、リセット前の状態を保持します。

A/D変換器の設定

A/D変換器を使用する場合は、A/D変換開始前に以下の設定が必要です。

1. アナログ入力端子の設定
2. 動作モード(33209互換モード/機能拡張モード)の選択
3. 入力クロックの設定
4. アナログ変換開始チャンネル/終了チャンネルの選択
5. A/D変換モードの設定
6. トリガの選択
7. サンプリング時間の設定
8. 変換結果の上限値/下限値の設定(機能拡張モード)
9. 割り込みモードの設定(機能拡張モード)
10. ITC/DMA/HSDMAの設定

以下、各設定内容について説明します。アナログ入力端子の設定については前節を、ITCとDMAの設定については"A/D変換器割り込みとDMA"を参照してください。

注: これらの設定は、必ずA/D変換器をディセーブル状態(A/Dイネーブルレジスタ(0x40244)のADE(D2)を"0")にして行ってください。イネーブル状態の設定変更は誤動作の原因となります。

動作モード(33209互換モード/機能拡張モード)の設定

C33 STDのA/D変換器は従来のC33アナログブロックとの互換性を持つ33209互換モードと、拡張機能を使用可能な機能拡張モードの2種類の動作モードを持っています。表IV.2.2に動作モードによる機能の相違点を示します。

表IV.2.2 33209互換モードと機能拡張モードの相違点

機 能	33209互換モード	機能拡張モード
変換結果の読み出し	全チャンネル共通の変換結果レジスタから読み出します。複数チャンネルの変換を行う場合、次のチャンネルの変換終了前に変換結果レジスタを読み出す必要があります。	チャンネルごとに用意されている変換結果バッファから読み出すことができます。複数チャンネルの変換を行う場合、次のチャンネルの変換が終了しても、現在のチャンネルの変換結果が失われることはありません。
変換終了フラグ、オーバーライトエラーフラグ	それぞれ1ビットを全チャンネル共通に使用します。	チャンネルごとにそれぞれのフラグが用意されています。
上限値/下限値の比較	この機能はありません。	上限値と下限値を設定し、指定チャンネルの変換結果がその範囲内かどうかを確認できます。
割り込み	変換終了割り込みのみ発生可能です。割り込みをチャンネル単位にマスクすることはできません。	変換終了割り込みと上下限割り込みを発生可能です。チャンネル単位で変換終了割り込みをマスク可能です。

機能拡張モードにするには、A/D変換器モード選択レジスタ(0x4025F)のADCADV(D0)を"1"に設定します。この設定後、拡張機能用制御レジスタへのアクセスが可能となります。イニシャルリセット時はADCADVが"0"に設定され、33209互換モードになります。

以下の説明で、特に動作モードの指定がない箇所については、両モードに共通の内容です。

機能拡張モードの各機能については、ADCADVが"1"に設定されているものとして説明します。

入力クロックの設定

"プリスケアラ"で説明したとおり、A/D変換クロックを表IV.2.3に示す8種類から選択することができます。選択はA/Dクロックコントロールレジスタ(0x4014F)のPSAD[2:0](D[2:0])によって行います。

表IV.2.3 入力クロックの選択

PSAD2	PSAD1	PSAD0	分周比
1	1	1	fPSCIN/256
1	1	0	fPSCIN/128
1	0	1	fPSCIN/64
1	0	0	fPSCIN/32
0	1	1	fPSCIN/16
0	1	0	fPSCIN/8
0	0	1	fPSCIN/4
0	0	0	fPSCIN/2

fPSCIN: プリスケアラ入力クロック周波数

選択したクロックはA/Dクロックコントロールレジスタ(0x4014F)のPSONA(D3)に"1"を書き込むことにより、プリスケアラからA/D変換器に出力されます。

注: • A/D変換器の動作はプリスケアラが動作していることが条件です。("プリスケアラ"参照)

- 入力クロックの周波数は、Max. 2MHz、Min. 16kHzを推奨します。
- プリスケアラからA/D変換器へのクロック出力がOFFの場合にA/D変換を開始させたり、A/D変換動作中にプリスケアラのクロック出力をOFFにしないでください。誤動作の原因となります。

アナログ変換開始チャンネル/終了チャンネルの選択

アナログ入力に設定した端子(チャンネル)の中から、A/D変換を行うチャンネルを選択します。1回の変換動作で複数のチャンネルのA/D変換を連続的に行えるようになっているため、変換開始チャンネルと変換終了チャンネルを指定します。

変換開始チャンネルの指定: CS[2:0](A/Dチャンネルレジスタ0x40243・D[2:0])

変換終了チャンネルの指定: CE[2:0](A/Dチャンネルレジスタ0x40243・D[5:3])

表IV.2.4 CS/CEと入力チャンネルの関係

CS2/CE2	CS1/CE1	CS0/CE0	選択チャンネル
1	1	1	AD7
1	1	0	AD6
1	0	1	AD5
1	0	0	AD4
0	1	1	AD3
0	1	0	AD2
0	0	1	AD1
0	0	0	AD0

選択例: 1回のA/D変換の動作

CS[2:0]="0", CE[2:0]="0": AD0のみ変換

CS[2:0]="0", CE[2:0]="3": AD0 AD1 AD2 AD3の順に変換

CS[2:0]="5", CE[2:0]="1": AD5 AD6 AD7 AD0 AD1の順に変換

注: CSレジスタおよびCEレジスタで設定する変換チャンネルの入力端子は、すべてA/D変換器用に設定されている必要があります。

A/D変換モードの設定

A/D変換器は次の2つのモードで動作可能で、この動作モードはA/Dトリガレジスタ(0x40242)のMS(D5)で選択します。

1. 通常モード(MS="0")

CSおよびCEレジスタで選択したチャンネル範囲のすべての入力を1回A/D変換して停止します。

2. 連続モード(MS="1")

ソフトウェアで停止させるまで、CSおよびCEレジスタで選択したチャンネル範囲のA/D変換を連続的に実行します。

イニシャルリセット時は通常モードに設定されます。

トリガの選択

A/D変換を開始させるトリガ方式を、A/Dトリガレジスタ(0x40242)のTS[1:0](D[4:3])で表IV.2.5に示す4種類の中から選択します。

表IV.2.5 トリガの選択

TS1	TS0	トリガ
1	1	外部トリガ(K52/#ADTRG)
1	0	8ビットプログラマブルタイマ0
0	1	16ビットプログラマブルタイマ0
0	0	ソフトウェア

1. 外部トリガ

#ADTRG端子への入力信号をトリガとして使用します。

このトリガ方式を使用する場合は、K5機能選択レジスタ(0x402C0)のCFK5(D2)に"1"を書き込み、K52端子を#ADTRG端子として設定しておく必要があります。A/D変換は、#ADTRG信号のLowレベルを検出して開始します。

2. プログラマブルタイマ

8ビットプログラマブルタイマ0のアンダーフロー信号または16ビットプログラマブルタイマ0のコンペアマッチB信号をトリガとして使用します。その周期がそれぞれのタイマでプログラマブルに設定できますので、周期的なA/D変換が必要な場合に有効です。

タイマの設定については、各プログラマブルタイマの説明を参照してください。

3. ソフトウェアトリガ

ソフトウェアによるA/Dイネーブルレジスタ(0x40244)のADST(D1)への"1"書き込みをトリガとしてA/D変換を開始します。

サンプリング時間の設定

本A/D変換器には、アナログ信号の入力サンプリング時間を4段階(入力クロックの3、5、7または9クロック)に設定可能な制御ビットST[1:0](D[1:0])がA/Dサンプリングレジスタ(0x40245)内に設けられています。ただし、このレジスタはデフォルト(ST="11"、9クロック)のまま使用してください。

上限値/下限値の設定(機能拡張モード)

機能拡張モードでは、上限値および下限値を設定し、変換結果がその範囲内かどうかを確認することができます。この機能を使用するには以下の設定を行います。

1. 上限値/下限値比較チャンネル設定

A/D変換結果と上限値/下限値の比較を行うチャンネルをA/Dサンプリングレジスタ(0x40245)のADCMP[2:0](D[6:4])で選択します。

表IV.2.6 上限値/下限値比較チャンネルの設定

ADCMP2	ADCMP1	ADCMP0	選択チャンネル
1	1	1	AD7
1	1	0	AD6
1	0	1	AD5
1	0	0	AD4
0	1	1	AD3
0	1	0	AD2
0	0	1	AD1
0	0	0	AD0

2. 上限値/下限値の設定

上限値を10ビットのA/D変換上限値レジスタADUPR[9:0](ADUPR[9:8]=D[1:0]/0x40259、ADUPR[7:0]=D[7:0]/0x40258)に、下限値を10ビットのA/D変換下限値レジスタADLWR[9:0](ADLWR[9:8]=D[1:0]/0x4025B、ADLWR[7:0]=D[7:0]/0x4025A)に設定します。

設定した上限値より大きなA/D変換結果で上限オーバー、設定した下限値より小さなA/D変換結果で下限アンダーと判定されます。変換結果が設定した上限値または下限値に一致した場合は正常範囲と判定されます。

3. 上限値/下限値の比較をイネーブル

A/Dサンプリングレジスタ(0x40245)のADCMPE(D7)に"1"を書き込んで、上限値/下限値の比較機能を有効に設定します。

割り込みモードの設定(機能拡張モード)

機能拡張モードでは割り込み機能も増えており、以下の設定も必要です。

1. 変換終了割り込みのイネーブル/ディセーブル

A/Dイネーブルレジスタ(0x40244)のCNVINTEN(D4)で、変換終了割り込みを有効/無効に設定できます。変換終了割り込みを使用する場合はCNVINTENを"1"に、使用しない場合は"0"に設定します。イニシャルリセット時は"1"に設定され、変換終了割り込み機能は有効となります。

2. 上下限割り込みのイネーブル/ディセーブル

A/Dイネーブルレジスタ(0x40244)のCMPINTEN(D5)で、上下限割り込みを有効/無効に設定できます。上下限割り込みを使用する場合はCMPINTENを"1"に、使用しない場合は"0"に設定します。イニシャルリセット時は"0"に設定され、変換終了割り込み機能は無効となります。

3. 割り込み信号モードの設定

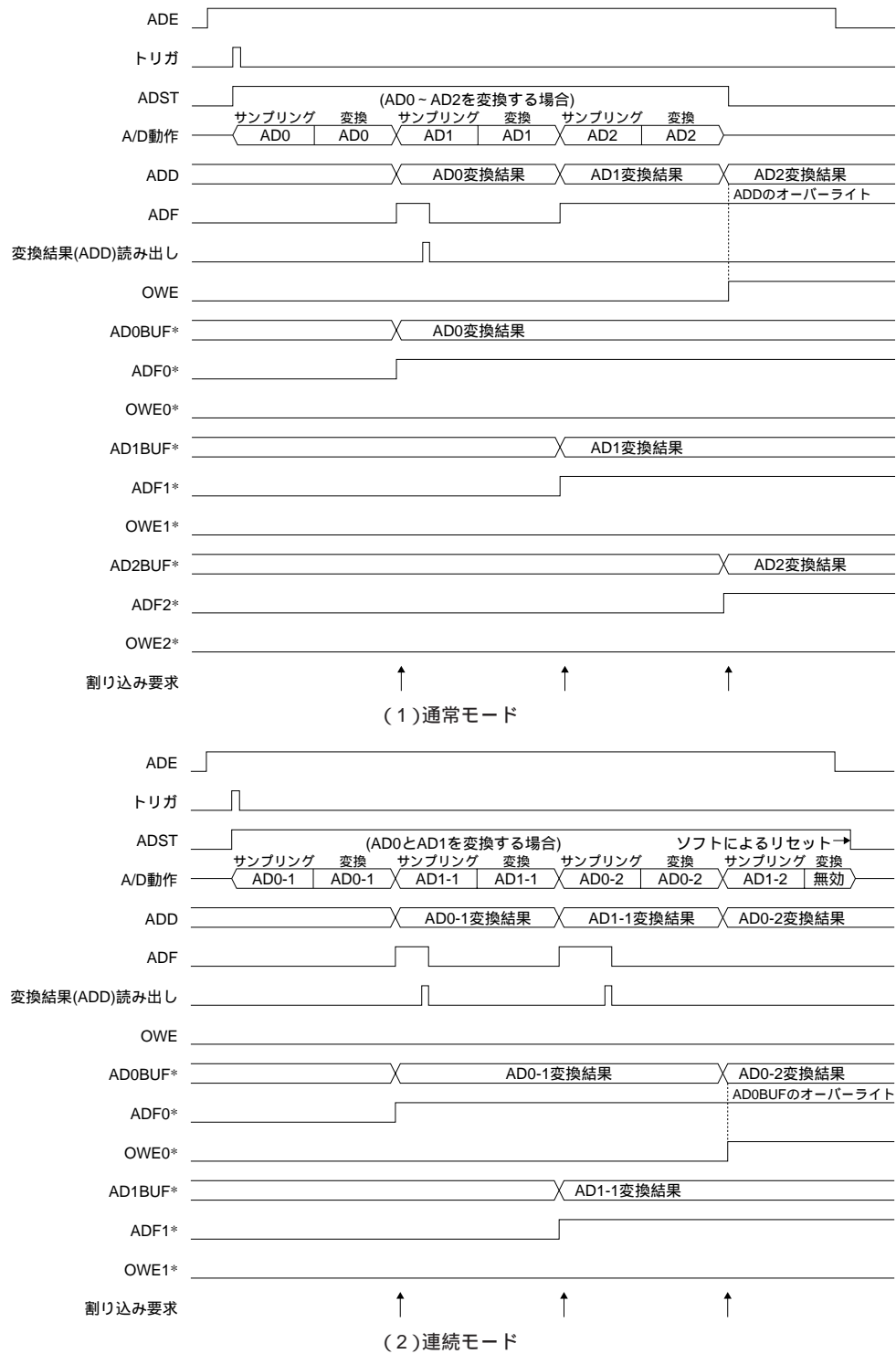
割り込みコントローラ(ITC)へのA/D変換器からの割り込み要求信号は1本のみで、初期設定では変換終了割り込み信号のみがITCに対して出力されるようになっています。上下限割り込みを使用する場合はこれに上下限割り込み信号をORしてITCに送ります。信号のORは、A/Dイネーブルレジスタ(0x40244)のINTMODE(D6)を"1"に設定することにより選択できます。

4. 指定チャンネルの変換終了割り込みをマスク

A/D変換終了割り込みマスクレジスタ(0x4025C)により、指定チャンネルの変換終了割り込みをマスクすることができます。チャンネルxに対応するINTMASKxビット(Dx)を"0"に設定すると、そのチャンネルの変換終了割り込みは発生しません。たとえば、上下限チェックを行うチャンネルの変換終了割り込みをマスクすることにより、上下限割り込みのみを発生させることが可能となります。イニシャルリセット時、INTMASKビットはすべて"1"に設定され、変換終了割り込みが発生するようになっています。

A/D変換の制御と動作

図IV.2.2にA/D変換器の動作を示します。



* ADCADV = "1"の場合に使用可能な拡張機能

図IV.2.2 A/D変換器の動作

A/D変換回路の起動

前節に示した設定を終了後、A/Dイネーブルレジスタ(0x40244)のADE(D2)に"1"を書き込んでA/D変換器をイネーブル状態に設定します。これにより、A/D変換器はA/D変換開始のトリガを受け付け可能な状態となります。A/D変換器を再設定する場合、あるいは使用しない場合はADEを"0"に設定してください。

A/D変換の開始

A/D変換器はADEが"1"の状態ではトリガが入力されると、A/D変換を開始します。ソフトウェアトリガを選択した場合は、A/Dイネーブルレジスタ(0x40244)のADST(D1)に"1"を書き込むことにより開始します。トリガはA/Dトリガレジスタ(0x40242)のTS[1:0](D[4:3])で選択されている内容が有効で、それ以外のトリガは受け付けません。

トリガが入力されると、A/D変換器はCS[2:0]で選択した変換開始チャンネルからアナログ入力信号のサンプリングとA/D変換を行います。

ソフトウェアトリガに使用するADSTは、他のトリガによる場合でもA/D変換中は"1"となり、A/D変換のステータスレジスタとして使用することができます。

また、変換中のチャンネルはA/Dトリガレジスタ(0x40242)のCH[2:0](D[2:0])を読み出すことで確認できます。

A/D変換結果の読み出し

33209互換モード

変換開始チャンネルのA/D変換が終了すると、A/D変換器は変換結果を10ビットのA/D変換結果レジスタADD[9:0](ADD[9:8]=D[1:0]/0x40241、ADD[7:0]=D[7:0]/0x40240)に格納し、A/Dイネーブルレジスタ(0x40244)の変換終了フラグADF(D3)と割り込み要因フラグFADE(D0/0x40287)をセットします。CS[2:0]とCE[2:0]によって複数のチャンネルを指定している場合は、その後も続くチャンネルのA/D変換を継続します。

A/D変換結果は1つのチャンネルの変換が終了するごとにADD[9:0]レジスタに格納されます。同時に割り込みを発生させることができますので、通常はその割り込みを利用して変換データの読み出しを行います。また、次の変換に備えて、割り込み要因フラグを必ずリセット("0"書き込み)してください。

A/D変換器の割り込み要因はDMAを起動することもできますので、変換結果を自動的に指定のメモリに転送することも可能です。

複数のA/D変換チャンネルを指定した場合は、次のチャンネルの変換が終了する前に変換結果を読み出す必要があります。前の変換結果が読み出される前に現在実行中のA/D変換が終了すると、ADD[9:0]は新しい変換結果で上書きされてしまいます。

なお、変換終了フラグADFが"1"にセットされている状態で(変換データを読み出す前に)ADD[9:0]が更新された場合、A/Dイネーブルレジスタ(0x40244)のオーバーライトエラーフラグOWE(D0)が"1"にセットされます。変換終了フラグADFは変換データが読み出されると"0"にリセットされます。ADFが"0"にリセットされている状態でADD[9:0]が更新された場合はOWEは"0"となり、正常に終了したことを示します。データ読み出し時は、OWEも読み出してデータが有効であることを確認してください。OWEは一度セットされると、ソフトウェアで"0"を書き込むまでリセットされません。また、OWEがセットされている場合はADFもセットされていますので、変換データを読み出してADFをリセットしてください。

機能拡張モード

変換開始チャンネル(Ch.x)のA/D変換が終了すると、A/D変換器は変換結果をCh.xの10ビットA/D変換結果バッファADxBUF[9:0]に格納し、A/D変換終了フラグレジスタ(0x40246)のCh.x変換終了フラグADF_x(D_x)と割り込み要因フラグFADE(D0/0x40287)をセットします。

CS[2:0]とCE[2:0]によって複数のチャンネルを指定している場合は、その後も続くチャンネルのA/D変換を継続します。

A/D変換結果は1つのチャンネルの変換が終了するごとに各チャンネルのA/D変換結果バッファに格納されます。同時に割り込みを発生させることができますので、通常はその割り込みを利用して変換データの読み出しを行います。また、次の変換に備えて、割り込み要因フラグを必ずリセット("0"書き込み)してください。

A/D変換器の割り込み要因はDMAを起動することもできますので、変換結果を自動的に指定のメモリに転送することも可能です。

機能拡張モードでは、各チャンネルに変換結果バッファが設けられていますので、次のチャンネルの変換が終了する前に変換結果を読み出す必要はありません。ただし、同じチャンネルのA/D変換が終了すると、バッファは新しい変換結果で上書きされてしまいますので、その前に読み出す必要があります。

なお、変換終了フラグADFXが"1"にセットされている状態で(変換データを読み出す前に)ADxBUF[9:0]が更新された場合、A/Dオーバーライトエラーフラグレジスタ(0x40247)のオーバーライトエラーフラグOWEX(Dx)が"1"にセットされます。変換終了フラグADFXは変換データが読み出されると"0"にリセットされます。ADFXが"0"にリセットされている状態でADxBUF[9:0]が更新された場合はOWEXは"0"となり、正常に終了したことを示します。データ読み出し時は、OWEXも読み出してデータが有効であることを確認してください。OWEXは一度セットされると、ソフトウェアで"0"を書き込むまでリセットされません。また、OWEXがセットされている場合はADFXもセットされていますので、変換データを読み出してADFXをリセットしてください。

機能拡張モードにおいても、33209互換モードで使用するADD、ADF、OWEは有効です。これらのレジスタ/ビットの動作は33209互換モードと同じです。OWEが"1"にセットされてしまいますが、特にリセットする必要はありません。

上下限範囲の判定(機能拡張モード)

機能拡張モードで上限値/下限値の比較を有効(ADCMPE = "1")に設定している場合にADCMP[2:0]で指定したチャンネルのA/D変換が行われると、そのチャンネルの変換終了時に変換結果がA/D変換上限値レジスタADUPR[9:0]およびA/D変換下限値レジスタADLWR[9:0]と比較されます。

変換結果が上限値より大きい場合は、A/Dサンプリングレジスタ(0x40245)の上限値比較ステータスビットADUPRST(D3)が"1"にセットされます。変換結果が設定した下限値より小さい場合は、A/Dサンプリングレジスタ(0x40245)の下限値比較ステータスビットADLWRST(D2)が"1"にセットされます。上下限割り込みを有効に設定している場合、どちらかのステータスビットがセットされると割り込みが発生します。この割り込み要求も変換終了割り込みと同じ割り込み要因フラグFADEをセットしますので、変換終了割り込みも有効に設定している場合は、上記のステータスビットを読み出して上下限割り込みが発生しているか判断する必要があります。

なお、変換結果が設定した上限値または下限値に一致した場合は正常範囲と判定され、割り込みは発生しません。

A/D変換の終了

• 通常モード(MS = "1")の場合

通常モードでは、CS[2:0]で指定した変換開始チャンネルからCE[2:0]で指定した変換終了チャンネルまでのA/D変換を連続的に1回実行したところで終了します。終了すると、ADSTは"0"に戻ります。

• 連続モード(MS = "0")の場合

連続モードでは、変換開始チャンネルから変換終了チャンネルまでのA/D変換を繰り返し実行し、ハードウェアはA/D変換を停止しません。終了させるにはソフトウェアでADSTに"0"を書き込みます。ただし、ADSTに"0"を書き込むタイミングによって、動作中のA/D変換が正常に終了する場合と、強制的に中止させられる場合があります。正常終了した場合はADF(ADFx) = "1"となり変換結果を得ることができますが、強制的に中止させられた場合はADF(ADFx)が前の状態を維持し、変換結果を得ることはできません。

• 強制終了

ADSTに"0"を書き込むことで実行中のA/D変換を終了させることができます。ただし、このときに変換中の結果を得ることはできません。

A/D変換器割り込みとDMA

A/D変換器は、各チャンネルのA/D変換終了時に割り込みを発生、またはIDMAを起動することができます。機能拡張モード時は、変換結果が設定した上下限範囲外の場合も割り込みを発生させることができます。

割り込みコントローラの制御レジスタ

A/D変換器割り込みの制御ビット/レジスタは次のとおりです。

割り込み要因フラグ: FAD_E(割り込み要因フラグレジスタ0x40287・D0)

割り込みイネーブル: EAD_E(割り込みイネーブルレジスタ0x40277・D0)

割り込みレベル: PAD[2:0](割り込みプライオリティレジスタ0x4026A・D[6:4])

A/D変換器は1つのチャンネルのA/D変換を終了し、変換結果をADDレジスタおよびADxBUFレジスタ(機能拡張モード時)に格納したところで割り込み要因フラグを"1"にセットします。

機能拡張モードで上下限割り込みを有効に設定している場合は、指定チャンネルの変換結果が設定した上下限範囲外の場合も割り込み要因フラグを"1"にセットします。変換終了割り込みも上下限割り込みも同じ割り込み要因フラグを使用します。

このときに、対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。

割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず"0"に設定されていても、各チャンネルのA/D変換終了時に"1"にセットされます。

割り込みプライオリティレジスタは、割り込みの優先レベル(0~7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。

また、A/D変換器割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定したA/D変換器割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITQ(割り込みコントローラ)"を参照してください。

インテリジェントDMA

A/D変換器は、その割り込み要因によってインテリジェントDMA(IDMA)を起動することができます。これにより、割り込み処理ルーチンを実行せずに、変換結果を指定メモリに転送することができます。A/D変換器に設定されたIDMAチャンネル番号は0x1Bです。

IDMAを起動させるには、対応するIDMAリクエストビットとIDMAイネーブルビットに"1"を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。

IDMAリクエスト: RAD_E(IDMAリクエストレジスタ0x40293・D2)

IDMAイネーブル: DEAD_E(IDMAイネーブルレジスタ0x40297・D2)

IDMAリクエストビットとIDMAイネーブルビットが"1"に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はDMA転送終了後に発生します。また、DMA転送のみを行い、割り込みは発生しないように設定することもできます。IDMA転送と転送終了後の割り込み制御については、"IDMA(インテリジェントDMA)"を参照してください。

高速DMA

A/D変換終了割り込み要因は、高速DMA(HSDMA)を起動することもできます。
HSDMAチャンネル番号とトリガ設定ビットを以下に示します。

表IV.2.7 HSDMAトリガ設定ビット

HSDMAチャンネル	トリガ設定ビット
0	HSD0S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298•D[3:0])
1	HSD1S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298•D[7:4])
2	HSD2S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299•D[3:0])
3	HSD3S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299•D[7:4])

HSDMAを起動させるには、トリガ設定ビットに"1100"を書き込んでおきます。また、HSDMA側の転送条件等の設定も必要です。HSDMAのトリガ要因にA/D変換器を選択すると、A/D変換終了割り込み要因の発生でHSDMAが起動します。

HSDMAの詳細については、"HSDMA(高速DMA)"を参照してください。

トラップベクタ

A/D変換器割り込みのトラップベクタアドレスは、デフォルトで0x0C00100に設定されます。
なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134 ~ 0x48137)で変更することも可能です。

A/D変換器のI/Oメモリ

表IV.2.8にA/D変換器の制御ビットを示します。

クロックを設定するプリスケアラのI/Oメモリについては"プリスケアラ"を、トリガに使用するプログラマブルタイマのI/Oメモリについては"8ビットプログラマブルタイマ"または"16ビットプログラマブルタイマ"を参照してください。

表IV.2.8 A/D変換器の制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈
A/D変換結果 (下位)レジスタ	0040240 (B)	D7 D6 D5 D4 D3 D2 D1 D0	ADD7 ADD6 ADD5 ADD4 ADD3 ADD2 ADD1 ADD0	A/D変換結果(下位8ビット) ADD0 = LSB	0x0 ~ 0x3FF (下位8ビット)		0 0 0 0 0 0 0 0	R	
A/D変換結果 (上位)レジスタ	0040241 (B)	D7-2 D1 D0	— ADD9 ADD8	reserved A/D変換結果(上位2ビット) ADD9 = MSB	— 0x0 ~ 0x3FF (上位2ビット)		— 0 0	— R	読み出し時: 0
A/Dトリガ レジスタ	0040242 (B)	D7-6 D5 D4 D3 D2 D1 D0	— MS TS1 TS0 CH2 CH1 CH0	— A/D変換モード選択 A/D変換トリガ選択 A/D変換中チャネルステータス	1 連続モード 0 通常モード TS[1:0] トリガ 1 1 8bitタイマ0 0 1 16bitタイマ0 0 0 ソフトウェア CH[2:0] チャネル 1 1 1 AD7 1 1 0 AD6 1 0 1 AD5 1 0 0 AD4 0 1 1 AD3 0 1 0 AD2 0 0 1 AD1 0 0 0 AD0	0 0			

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈		
A/Dサンプリングレジスタ	0040245 (B)	D7	ADCMPE	上限値/下限値比較イネーブル	1	許可	0	禁止	0	R/W	ADCADV="1"の場合 に使用可能
		D6	ADCMP2	上限値/下限値比較チャンネル設定	0 ~ 7			0	R/W		
		D5	ADCMP1		0						
		D4	ADCMP0		0						
		D3	ADUPRST	上限値比較ステータス	1	上限オーバー	0	範囲内	0	R	
		D2	ADLWRST	下限値比較ステータス	1	下限アンダー	0	範囲内	0	R	
		D1	ST1	入力サンプリング時間設定	ST[1:0]	サンプリング時間		1	R/W	9クロックで使用して ください	
		D0	ST0		1	1	9クロック	1			
1	0	7クロック									
0	1	5クロック									
0	0	3クロック									
A/D変換終了 フラグレジスタ	0040246 (B)	D7	ADF7	Ch.7変換終了フラグ	1	変換終了	0	変換/待機中	0	R	ADCADV="1"の場合 に使用可能
		D6	ADF6	Ch.6変換終了フラグ			0	R			
		D5	ADF5	Ch.5変換終了フラグ			0	R			
		D4	ADF4	Ch.4変換終了フラグ			0	R			
		D3	ADF3	Ch.3変換終了フラグ			0	R	ADBUFx読み出しで クリア		
		D2	ADF2	Ch.2変換終了フラグ			0	R			
		D1	ADF1	Ch.1変換終了フラグ			0	R			
		D0	ADF0	Ch.0変換終了フラグ			0	R			
A/Dオーバー ライトエラー フラグレジスタ	0040247 (B)	D7	OWE7	Ch.7オーバーライトエラーフラグ	1	エラー	0	正常	0	R/W	ADCADV="1"の場合 に使用可能
		D6	OWE6	Ch.6オーバーライトエラーフラグ			0	R/W			
		D5	OWE5	Ch.5オーバーライトエラーフラグ			0	R/W			
		D4	OWE4	Ch.4オーバーライトエラーフラグ			0	R/W			
		D3	OWE3	Ch.3オーバーライトエラーフラグ			0	R/W	0書き込みでクリア		
		D2	OWE2	Ch.2オーバーライトエラーフラグ			0	R/W			
		D1	OWE1	Ch.1オーバーライトエラーフラグ			0	R/W			
		D0	OWE0	Ch.0オーバーライトエラーフラグ			0	R/W			
A/D Ch.0 変換結果(下位) バッファ	0040248 (B)	D7	AD0BUF7	A/D Ch.0変換結果(下位8ビット) AD0BUF0 = LSB	0x0 ~ 0x3FF (下位8ビット)		0	R	ADCADV="1"の場合 に使用可能		
		D6	AD0BUF6		0						
		D5	AD0BUF5		0						
		D4	AD0BUF4		0						
		D3	AD0BUF3		0						
		D2	AD0BUF2		0						
		D1	AD0BUF1		0						
		D0	AD0BUF0		0						
A/D Ch.0 変換結果(上位) バッファ	0040249 (B)	D7-2	—	reserved	—		—	—	読み出し時: 0		
		D1	AD0BUF9	A/D Ch.0変換結果(上位2ビット)	0x0 ~ 0x3FF (上位2ビット)		0	R	ADCADV="1"の場合 に使用可能		
		D0	AD0BUF8	AD0BUF9 = MSB			0				
A/D Ch.1 変換結果(下位) バッファ	004024A (B)	D7	AD1BUF7	A/D Ch.1変換結果(下位8ビット) AD1BUF0 = LSB	0x0 ~ 0x3FF (下位8ビット)		0	R	ADCADV="1"の場合 に使用可能		
		D6	AD1BUF6		0						
		D5	AD1BUF5		0						
		D4	AD1BUF4		0						
		D3	AD1BUF3		0						
		D2	AD1BUF2		0						
		D1	AD1BUF1		0						
		D0	AD1BUF0		0						
A/D Ch.1 変換結果(上位) バッファ	004024B (B)	D7-2	—	reserved	—		—	—	読み出し時: 0		
		D1	AD1BUF9	A/D Ch.1変換結果(上位2ビット)	0x0 ~ 0x3FF (上位2ビット)		0	R	ADCADV="1"の場合 に使用可能		
		D0	AD1BUF8	AD1BUF9 = MSB			0				
A/D Ch.2 変換結果(下位) バッファ	004024C (B)	D7	AD2BUF7	A/D Ch.2変換結果(下位8ビット) AD2BUF0 = LSB	0x0 ~ 0x3FF (下位8ビット)		0	R	ADCADV="1"の場合 に使用可能		
		D6	AD2BUF6		0						
		D5	AD2BUF5		0						
		D4	AD2BUF4		0						
		D3	AD2BUF3		0						
		D2	AD2BUF2		0						
		D1	AD2BUF1		0						
		D0	AD2BUF0		0						
A/D Ch.2 変換結果(上位) バッファ	004024D (B)	D7-2	—	reserved	—		—	—	読み出し時: 0		
		D1	AD2BUF9	A/D Ch.2変換結果(上位2ビット)	0x0 ~ 0x3FF (上位2ビット)		0	R	ADCADV="1"の場合 に使用可能		
		D0	AD2BUF8	AD2BUF9 = MSB			0				
A/D Ch.3 変換結果(下位) バッファ	004024E (B)	D7	AD3BUF7	A/D Ch.3変換結果(下位8ビット) AD3BUF0 = LSB	0x0 ~ 0x3FF (下位8ビット)		0	R	ADCADV="1"の場合 に使用可能		
		D6	AD3BUF6		0						
		D5	AD3BUF5		0						
		D4	AD3BUF4		0						
		D3	AD3BUF3		0						
		D2	AD3BUF2		0						
		D1	AD3BUF1		0						
		D0	AD3BUF0		0						

IV-2 アナログブロック: A/D変換器

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
A/D Ch.3 変換結果(上位) バッファ	004024F (B)	D7-2	—	reserved	—	—	—	読み出し時: 0
		D1	AD3BUF9	A/D Ch.3変換結果(上位2ビット)	0x0 ~ 0x3FF	0	R	ADCADV="1"の場合 に使用可能
		D0	AD3BUF8	AD3BUF9 = MSB	(上位2ビット)	0		
A/D Ch.4 変換結果(下位) バッファ	0040250 (B)	D7	AD4BUF7	A/D Ch.4変換結果(下位8ビット)	0x0 ~ 0x3FF	0	R	ADCADV="1"の場合 に使用可能
		D6	AD4BUF6	AD4BUF0 = LSB	(下位8ビット)	0		
		D5	AD4BUF5			0		
		D4	AD4BUF4			0		
		D3	AD4BUF3			0		
		D2	AD4BUF2			0		
		D1	AD4BUF1			0		
		D0	AD4BUF0			0		
A/D Ch.4 変換結果(上位) バッファ	0040251 (B)	D7-2	—	reserved	—	—	—	読み出し時: 0
		D1	AD4BUF9	A/D Ch.4変換結果(上位2ビット)	0x0 ~ 0x3FF	0	R	ADCADV="1"の場合 に使用可能
		D0	AD4BUF8	AD4BUF9 = MSB	(上位2ビット)	0		
A/D Ch.5 変換結果(下位) バッファ	0040252 (B)	D7	AD5BUF7	A/D Ch.5変換結果(下位8ビット)	0x0 ~ 0x3FF	0	R	ADCADV="1"の場合 に使用可能
		D6	AD5BUF6	AD5BUF0 = LSB	(下位8ビット)	0		
		D5	AD5BUF5			0		
		D4	AD5BUF4			0		
		D3	AD5BUF3			0		
		D2	AD5BUF2			0		
		D1	AD5BUF1			0		
		D0	AD5BUF0			0		
A/D Ch.5 変換結果(上位) バッファ	0040253 (B)	D7-2	—	reserved	—	—	—	読み出し時: 0
		D1	AD5BUF9	A/D Ch.5変換結果(上位2ビット)	0x0 ~ 0x3FF	0	R	ADCADV="1"の場合 に使用可能
		D0	AD5BUF8	AD5BUF9 = MSB	(上位2ビット)	0		
A/D Ch.6 変換結果(下位) バッファ	0040254 (B)	D7	AD6BUF7	A/D Ch.6変換結果(下位8ビット)	0x0 ~ 0x3FF	0	R	ADCADV="1"の場合 に使用可能
		D6	AD6BUF6	AD6BUF0 = LSB	(下位8ビット)	0		
		D5	AD6BUF5			0		
		D4	AD6BUF4			0		
		D3	AD6BUF3			0		
		D2	AD6BUF2			0		
		D1	AD6BUF1			0		
		D0	AD6BUF0			0		
A/D Ch.6 変換結果(上位) バッファ	0040255 (B)	D7-2	—	reserved	—	—	—	読み出し時: 0
		D1	AD6BUF9	A/D Ch.6変換結果(上位2ビット)	0x0 ~ 0x3FF	0	R	ADCADV="1"の場合 に使用可能
		D0	AD6BUF8	AD6BUF9 = MSB	(上位2ビット)	0		
A/D Ch.7 変換結果(下位) バッファ	0040256 (B)	D7	AD7BUF7	A/D Ch.7変換結果(下位8ビット)	0x0 ~ 0x3FF	0	R	ADCADV="1"の場合 に使用可能
		D6	AD7BUF6	AD7BUF0 = LSB	(下位8ビット)	0		
		D5	AD7BUF5			0		
		D4	AD7BUF4			0		
		D3	AD7BUF3			0		
		D2	AD7BUF2			0		
		D1	AD7BUF1			0		
		D0	AD7BUF0			0		
A/D Ch.7 変換結果(上位) バッファ	0040257 (B)	D7-2	—	reserved	—	—	—	読み出し時: 0
		D1	AD7BUF9	A/D Ch.7変換結果(上位2ビット)	0x0 ~ 0x3FF	0	R	ADCADV="1"の場合 に使用可能
		D0	AD7BUF8	AD7BUF9 = MSB	(上位2ビット)	0		
A/D変換上限値 (下位)レジスタ	0040258 (B)	D7	ADUPR7	A/D変換上限値(下位8ビット)	0x0 ~ 0x3FF	0	R/W	ADCADV="1"の場合 に使用可能
		D6	ADUPR6	ADUPR0 = LSB	(下位8ビット)	0		
		D5	ADUPR5			0		
		D4	ADUPR4			0		
		D3	ADUPR3			0		
		D2	ADUPR2			0		
		D1	ADUPR1			0		
		D0	ADUPR0			0		
A/D変換上限値 (上位)レジスタ	0040259 (B)	D7-2	—	reserved	—	—	—	読み出し時: 0
		D1	ADUPR9	A/D変換上限値(上位2ビット)	0x0 ~ 0x3FF	0	R/W	ADCADV="1"の場合 に使用可能
		D0	ADUPR8	ADUPR9 = MSB	(上位2ビット)	0		
A/D変換下限値 (下位)レジスタ	004025A (B)	D7	ADLWR7	A/D変換下限値(下位8ビット)	0x0 ~ 0x3FF	0	R/W	ADCADV="1"の場合 に使用可能
		D6	ADLWR6	ADLWR0 = LSB	(下位8ビット)	0		
		D5	ADLWR5			0		
		D4	ADLWR4			0		
		D3	ADLWR3			0		
		D2	ADLWR2			0		
		D1	ADLWR1			0		
		D0	ADLWR0			0		
A/D変換下限値 (上位)レジスタ	004025B (B)	D7-2	—	reserved	—	—	—	読み出し時: 0
		D1	ADLWR9	A/D変換下限値(上位2ビット)	0x0 ~ 0x3FF	0	R/W	ADCADV="1"の場合 に使用可能
		D0	ADLWR8	ADLWR9 = MSB	(上位2ビット)	0		

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈							
A/D変換終了 割り込みマスク レジスタ	004025C (B)	D7	INTMASK7	Ch.7変換終了割り込みマスク	1	割り込み 有効	0	割り込み マスク	1	R/W	ADCADV="1"の場合 に使用可能					
		D6	INTMASK6	Ch.6変換終了割り込みマスク					1	R/W						
		D5	INTMASK5	Ch.5変換終了割り込みマスク					1	R/W						
		D4	INTMASK4	Ch.4変換終了割り込みマスク					1	R/W						
		D3	INTMASK3	Ch.3変換終了割り込みマスク					1	R/W						
		D2	INTMASK2	Ch.2変換終了割り込みマスク					1	R/W						
		D1	INTMASK1	Ch.1変換終了割り込みマスク					1	R/W						
		D0	INTMASK0	Ch.0変換終了割り込みマスク					1	R/W						
A/D変換器 モード選択 レジスタ	004025F (B)	D7-1	—	reserved	—		—	—	読み出し時: 0							
		D0	ADCADV	33209互換モード/機能拡張モード 選択	1	機能拡張 モード	0	33209互換 モード	0	R/W						
シリアル/IF Ch.1, A/D変換器 割り込み プライオリティ レジスタ	004026A (B)	D7	—	reserved	—		—	—	読み出し時: 0							
		D6	PAD2	A/D変換器	0 ~ 7		X	R/W								
		D5	PAD1	割り込みレベル		X	R/W									
		D4	PAD0			X	R/W									
		D3	—	reserved	—		—	—	読み出し時: 0							
		D2	PSIO12	シリアルインタフェースCh.1	0 ~ 7		X	R/W								
		D1	PSIO11	割り込みレベル		X	R/W									
		D0	PSIO10			X	R/W									
ポート入力4-7, 計時タイマ, A/D 割り込みイネー ブルレジスタ	0040277 (B)	D7-6	—	reserved	—		—	—	読み出し時: 0							
		D5	EP7	ポート入力7	1	許可	0	禁止	0	R/W						
		D4	EP6	ポート入力6					0	R/W						
		D3	EP5	ポート入力5					0	R/W						
		D2	EP4	ポート入力4					0	R/W						
		D1	ECTM	計時タイマ					0	R/W						
		D0	EADE	A/D変換器					0	R/W						
		ポート入力4-7, 計時タイマ, A/D 割り込み要因 フラグレジスタ	0040287 (B)	D7-6					—	reserved		—		—	—	読み出し時: 0
D5	FP7			ポート入力7					1	要因発生		0	要因なし	X	R/W	
D4	FP6			ポート入力6	X	R/W										
D3	FP5			ポート入力5	X	R/W										
D2	FP4			ポート入力4	X	R/W										
D1	FCTM			計時タイマ	X	R/W										
D0	FADE			A/D変換器	X	R/W										
シリアル/IF Ch.1, A/D, ポー ト入力4-7 IDMAリクエスト レジスタ	0040293 (B)			D7	RP7	ポート入力7	1	IDMA要求			0			割り込み 要求	0	
		D6	RP6	ポート入力6	0	R/W										
		D5	RP5	ポート入力5	0	R/W										
		D4	RP4	ポート入力4	0	R/W										
		D3	—	reserved	—		—	—	読み出し時: 0							
		D2	RADE	A/D変換器	1	IDMA要求	0	割り込み 要求	0	R/W						
		D1	RSTX1	SIF Ch.1送信バッファEMPTY					0	R/W						
		D0	RSRX1	SIF Ch.1受信バッファフル					0	R/W						
シリアル/IF Ch.1, A/D, ポー ト入力4-7 IDMAイネーブル レジスタ	0040297 (B)	D7	DEP7	ポート入力7	1	IDMA許可	0	IDMA禁止	0	R/W						
		D6	DEP6	ポート入力6					0	R/W						
		D5	DEP5	ポート入力5					0	R/W						
		D4	DEP4	ポート入力4					0	R/W						
		D3	—	reserved	—		—	—	読み出し時: 0							
		D2	DEADE	A/D変換器	1	IDMA許可	0	IDMA禁止	0	R/W						
		D1	DESTX1	SIF Ch.1送信バッファEMPTY					0	R/W						
		D0	DESRX1	SIF Ch.1受信バッファフル					0	R/W						
K5機能選択 レジスタ	00402C0 (B)	D7-5	—	reserved	—		—	—	読み出し時: 0							
		D4	CFK54	K54機能選択	1	#DMAREQ3	0	K54	0	R/W						
		D3	CFK53	K53機能選択	1	#DMAREQ2	0	K53	0	R/W						
		D2	CFK52	K52機能選択	1	#ADTRG	0	K52	0	R/W						
		D1	CFK51	K51機能選択	1	#DMAREQ1	0	K51	0	R/W						
		D0	CFK50	K50機能選択	1	#DMAREQ0	0	K50	0	R/W						
K6機能選択 レジスタ	00402C3 (B)	D7	CFK67	K67機能選択	1	AD7	0	K67	0	R/W						
		D6	CFK66	K66機能選択	1	AD6	0	K66	0	R/W						
		D5	CFK65	K65機能選択	1	AD5	0	K65	0	R/W						
		D4	CFK64	K64機能選択	1	AD4	0	K64	0	R/W						
		D3	CFK63	K63機能選択	1	AD3	0	K63	0	R/W						
		D2	CFK62	K62機能選択	1	AD2	0	K62	0	R/W						
		D1	CFK61	K61機能選択	1	AD1	0	K61	0	R/W						
		D0	CFK60	K60機能選択	1	AD0	0	K60	0	R/W						

33209互換モードの制御ビット

CFK52: K52端子機能選択(D2[0x402C0<K5機能選択レジスタ>)

CFK67~CFK60: K6[7:0]端子機能選択(D[7:0]/0x402C3<K6機能選択レジスタ>)

A/D変換器に使用する端子を選択します。

"1"書き込み: A/D変換器

"0"書き込み: 入力ポート

読み出し: 可能

外部トリガを使用する場合はCFK52に"1"を書き込み、K52端子を外部トリガ入力端子#ADTRGに設定します。アナログ入力に使用する端子はCFK60~CFK67に"1"を書き込み、K6(AD0)~ K6(AD7)の中から選択します。

"0"を書き込んだ場合、その端子は入力ポート端子となります。

コールドスタート時、CFKは"0"(入力ポート)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

ADD9~ADD0: A/D変換結果(D[1:0]/0x40241, D[7:0]/0x40240<A/D変換結果レジスタ>)

A/D変換結果が格納されます。

ADD0がLSB、ADD9がMSBです。ADD0とADD1はアドレス0x40241のD0とD1ビットに割り付けられていますが、D2~D7ビットは読み出し時は常時"0"となります。

このレジスタは読み出し専用で、書き込みは無効です。

イニシャルリセット時、データは"0"となります。

MS: A/D変換モード選択(D5/0x40242<A/Dトリガレジスタ>)

A/D変換モードを選択します。

"1"書き込み: 連続モード

"0"書き込み: 通常モード

読み出し: 可能

MSに"1"を書き込むことによりA/D変換器は連続モードに設定され、CSおよびCEレジスタで選択したチャネル範囲のA/D変換を、ソフトウェアで停止させるまで連続的に実行します。

MSが"0"の場合は通常モードで動作し、CSおよびCEレジスタで選択したチャネル範囲のすべての入力を1回A/D変換して停止します。

イニシャルリセット時、MSは"0"(通常モード)に設定されます。

TS1~TS0: トリガ選択(D[4:3]/0x40242<A/Dトリガレジスタ>)

A/D変換を開始させるトリガ方法を選択します。

表IV.2.9 トリガの選択

TS1	TS0	トリガ
1	1	外部トリガ(K52/#ADTRG)
1	0	8ビットプログラマブルタイマ0
0	1	16ビットプログラマブルタイマ0
0	0	ソフトウェア

外部トリガを使用する場合は、CFK52によってK52端子を#ADTRG端子に設定してください。

プログラマブルタイマを使用する場合は、そのアンダーフロー信号(8ビットタイマ)またはコンペアマッチB信号(16ビットタイマ)がトリガとなりますので、プログラマブルタイマで周期およびその他の設定を行ってください。

イニシャルリセット時、TSは"0"(ソフトウェアトリガ)に設定されます。

CH2~CH0: 変換チャネルステータス(D[2:0]/0x40242<A/Dトリガレジスタ>)

A/D変換中のチャネル番号(0~7)を示します。

複数のチャネルをA/D変換している場合、このビットを読み出すことによって現在変換中のチャネルを確認できます。

イニシャルリセット時、CHは"0"(AD0)に設定されます。

CE2–CE0: 変換終了チャンネル設定(D[5:3]/0x40243<A/Dチャンネルレジスタ>)

変換終了チャンネルをチャンネル番号(0~7)で設定します。

1回のA/D変換で、CSレジスタで設定したチャンネルからこのレジスタで設定したチャンネルまでのアナログ入力を連続的に変換できます。1つのチャンネルのみをA/D変換する場合は、CSレジスタとCEレジスタに同じチャンネル番号を設定してください。

イニシャルリセット時、CEは"0"(AD0)に設定されます。

CS2–CS0: 変換開始チャンネル設定(D[2:0]/0x40243<A/Dチャンネルレジスタ>)

変換開始チャンネルをチャンネル番号(0~7)で設定します。

1回のA/D変換で、このレジスタで設定したチャンネルからCEレジスタで設定したチャンネルまでのアナログ入力を連続的に変換できます。1つのチャンネルのみをA/D変換する場合は、CSレジスタとCEレジスタに同じチャンネル番号を設定してください。

イニシャルリセット時、CSは"0"(AD0)に設定されます。

ADF: 変換終了フラグ(D3/0x40244<A/Dイネーブルレジスタ>)

A/D変換が終了したことを示します。

- "1"読み出し: 変換終了
- "0"読み出し: 変換中または待機中
- 書き込み: 無効

A/D変換が終了し、変換データがデータレジスタに格納されると"1"にセットされ、変換データを読み出すと"0"にリセットされます。複数のチャンネルをA/D変換している場合、ADFが"1"の状態(変換データを読み出す前に)次のA/D変換が終了すると、データレジスタは新たな変換結果で上書きされオーバーランエラーとなります。したがって、次のA/D変換が終了する前に変換データを読み出してADFをリセットする必要があります。

イニシャルリセット時、ADFは"0"(変換中または待機中)に設定されます。

ADE: A/Dイネーブル(D2/0x40244<A/Dイネーブルレジスタ>)

A/D変換器をイネーブル(変換可能状態)に設定します。

- "1"書き込み: イネーブル
- "0"書き込み: ディセーブル
- 読み出し: 可能

ADEに"1"を書き込むことによってA/D変換器がイネーブルとなり、A/D変換を開始できる(トリガを受け付け可能な状態)となります。ADEが"0"の場合、A/D変換器はディセーブル状態に置かれ、トリガを受け付けません。

なお、モードや開始/終了チャンネルなどA/D変換器の設定を行う場合は、誤動作を避けるため、ADEを"0"に設定してから行ってください。

イニシャルリセット時、ADEは"0"(ディセーブル)に設定されます。

ADST: A/D変換制御/ステータス(D1/0x40244<A/Dイネーブルレジスタ>)

A/D変換を制御します。

- "1"書き込み: ソフトウェアトリガ
- "0"書き込み: A/D変換停止
- 読み出し: 可能

ソフトウェアトリガによりA/D変換を開始させる場合、ADSTに"1"を書き込みます。他のトリガ方式の場合は、ハードウェアがADSTを"1"にセットします。

A/D変換中、ADSTは"1"を保持します。

通常モード時は、指定のチャンネルのA/D変換が終了するとADSTは"0"に戻り、A/D変換回路が停止します。

連続モードのA/D変換を停止させる場合はADSTに"0"を書き込んでください。ADEが"0"(A/D変換禁止状態)の場合はADSTが"0"に固定され、トリガは受け付けません。

イニシャルリセット時、ADSTは"0"(A/D変換停止)に設定されます。

OWE: オーバーライトエラーフラグ(D0/0x40244<A/Dイネーブルレジスタ>)

変換データが上書きされたことを示します。

- "1"読み出し: オーバーライト
- "0"読み出し: 正常
- "1"書き込み: 無効
- "0"書き込み: フラグをリセット

複数のチャンネルをA/D変換している場合に、前のチャンネルの変換によってセットされた変換終了フラグADFが変換データの読み出しによってリセットされる前に次のチャンネルの変換結果が変換データレジスタに書き込まれる(上書きされる)とOWEが"1"にセットされます。ADFがリセットされている場合は、変換データが読み出されているためOWEはセットされません。

OWEは"1"にセットされると、ソフトウェアで"0"を書き込むまでリセットされません。

イニシャルリセット時、OWEは"0"(正常)に設定されます。

ST1–ST0: 入力サンプリング時間設定(D[1:0]/0x40245<A/Dサンプリングレジスタ>)

アナログ入力サンプリング時間を設定します。

表IV.2.10 サンプリング時間

ST1	ST0	サンプリング時間
1	1	9クロック
1	0	7クロック
0	1	5クロック
0	0	3クロック

クロック数はA/D変換器の入力クロック数です。

イニシャルリセット時、STは"11"(9クロック)に設定されます。

変換精度を確保するため、このビットはデフォルトの9クロックのまま使用してください。

PAD2–PAD0: A/D変換器割り込みレベル

(D[6:4]/0x4026A<シリアル/F Ch.1, A/D変換器割り込みプライオリティレジスタ>)

A/D変換器割り込みの優先レベルを0～7の範囲で設定します。

イニシャルリセット時、PADは不定となります。

EADE: A/D変換器割り込みイネーブル

(D0/0x40277<ポート入力4–7, 計時タイマ, A/D変換器割り込みイネーブルレジスタ>)

CPUに対する割り込みの発生を許可または禁止します。

- "1"書き込み: 割り込み許可
- "0"書き込み: 割り込み禁止
- 読み出し: 可能

EADEはA/D変換器割り込みを制御する割り込みイネーブルビットで、"1"に設定すると割り込みが許可され、"0"に設定すると割り込みが禁止されます。

イニシャルリセット時、EADEは"0"(割り込み禁止)に設定されます。

FADE: A/D変換器割り込み要因フラグ

(D0/0x40287<ポート入力4-7, 計時タイマ, A/D変換器割り込み要因フラグレジスタ>)

A/D変換器の割り込み要因の発生状態を示します。

- 読み出し時
 - "1"読み出し: 割り込み要因あり
 - "0"読み出し: 割り込み要因なし
- リセットオンリー方式書き込み時(デフォルト)
 - "1"書き込み: 要因フラグをリセット
 - "0"書き込み: 無効
- リード/ライト方式書き込み時
 - "1"書き込み: 要因フラグをセット
 - "0"書き込み: 要因フラグをリセット

FADEはA/D変換器の割り込み要因フラグで、1つのチャンネルのA/D変換が終了すると(機能拡張モードで変換結果が上下限範囲外の場合も) "1"にセットされます。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

なお、A/D変換器の割り込み要因をIDMA要求として使用する場合、上記の条件が成立している場合でも、割り込み要因発生時点でCPUに対する割り込み要求は出力されません。IDMAの設定で割り込みを許可してあれば、IDMAによるデータ転送終了後に上記の条件で割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。

割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。

イニシャルリセット時、FADEフラグは不定となりますので、必ずソフトウェアでリセットしてください。

RADE: A/D変換器IDMAリクエスト

(D2/0x40293<シリアル/F Ch.1, A/D, ポート入力4-7 IDMAリクエストレジスタ>)

割り込み要因発生時にIDMAを起動するかどうか設定します。

- セットオンリー方式(デフォルト)
 - "1"書き込み: IDMA要求
 - "0"書き込み: 無効
 - 読み出し: 可能
- リード/ライト方式
 - "1"書き込み: IDMA要求
 - "0"書き込み: 割り込み要求
 - 読み出し: 可能

RADEはA/D変換器のIDMAリクエストビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

IDMAについては"IDMA(インテリジェントDMA)"を参照してください。

イニシャルリセット時、RADEは"0"(割り込み要求)に設定されます。

DEADE: A/D変換器IDMAイネーブル

(D2/0x40297<シリアルI/F Ch.1, A/D, ポート入力4-7 IDMAイネーブルレジスタ>)

割り込み要因によるIDMA転送を許可または禁止します。

• セットオンリー方式(デフォルト)

"1"書き込み: IDMA許可

"0"書き込み: 無効

読み出し: 可能

• リード/ライト方式

"1"書き込み: IDMA許可

"0"書き込み: IDMA禁止

読み出し: 可能

DEADEはA/D変換器のIDMAイネーブルビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

イニシャルリセット時、DEADEは"0"(IDMA禁止)に設定されます。

機能拡張モードの制御ビット

機能拡張モードでは、前記の制御ビットに加え、以下の制御ビットも使用可能です。

ADCADV: 33209互換モード/機能拡張モード選択(D0/0x4025F<A/D変換器モード選択レジスタ>)

A/D変換器の動作モードを選択します。

"1"書き込み: 機能拡張モード

"0"書き込み: 33209互換モード

読み出し: 可能

ADCADVに"1"を書き込むとA/D変換器は機能拡張モードに設定され、以下の拡張機能制御レジスタ/ビットが使用可能になります。

ADCADVが"0"の場合は、S1C33209などに内蔵されたC33標準のA/D変換器の機能のみが使用可能となります。このモードでは、以下に説明する拡張機能制御レジスタ/ビットへの書き込みができなくなります。読み出しのみは可能です。

イニシャルリセット時、ADCADVは"0"(33209互換モード)に設定されます。

AD0BUF9-AD0BUF0: A/D Ch.0変換結果(D[1:0]/0x40249, D[7:0]/0x40248<A/D Ch.0変換結果バッファ>)

AD1BUF9-AD1BUF0: A/D Ch.1変換結果(D[1:0]/0x4024B, D[7:0]/0x4024A<A/D Ch.1変換結果バッファ>)

AD2BUF9-AD2BUF0: A/D Ch.2変換結果(D[1:0]/0x4024D, D[7:0]/0x4024C<A/D Ch.2変換結果バッファ>)

AD3BUF9-AD3BUF0: A/D Ch.3変換結果(D[1:0]/0x4024F, D[7:0]/0x4024E<A/D Ch.3変換結果バッファ>)

AD4BUF9-AD4BUF0: A/D Ch.4変換結果(D[1:0]/0x40251, D[7:0]/0x40250<A/D Ch.4変換結果バッファ>)

AD5BUF9-AD5BUF0: A/D Ch.5変換結果(D[1:0]/0x40253, D[7:0]/0x40252<A/D Ch.5変換結果バッファ>)

AD6BUF9-AD6BUF0: A/D Ch.6変換結果(D[1:0]/0x40255, D[7:0]/0x40254<A/D Ch.6変換結果バッファ>)

AD7BUF9-AD7BUF0: A/D Ch.7変換結果(D[1:0]/0x40257, D[7:0]/0x40256<A/D Ch.7変換結果バッファ>)

各チャンネルのA/D変換結果が格納されます。

このレジスタは読み出し専用で、書き込みは無効です。

イニシャルリセット時、データは"0"となります。

ADF0: Ch.0変換終了フラグ(D0/0x40246<A/D変換終了フラグレジスタ>)

ADF1: Ch.1変換終了フラグ(D1/0x40246<A/D変換終了フラグレジスタ>)

ADF2: Ch.2変換終了フラグ(D2/0x40246<A/D変換終了フラグレジスタ>)

ADF3: Ch.3変換終了フラグ(D3/0x40246<A/D変換終了フラグレジスタ>)

ADF4: Ch.4変換終了フラグ(D4/0x40246<A/D変換終了フラグレジスタ>)

ADF5: Ch.5変換終了フラグ(D5/0x40246<A/D変換終了フラグレジスタ>)

ADF6: Ch.6変換終了フラグ(D6/0x40246<A/D変換終了フラグレジスタ>)

ADF7: Ch.7変換終了フラグ(D7/0x40246<A/D変換終了フラグレジスタ>)

各チャンネルのA/D変換が終了したことを示します。

"1"読み出し: 変換終了

"0"読み出し: 変換中または待機中

書き込み: 無効

A/D変換が終了し、変換データが変換結果バッファに格納されると"1"にセットされ、変換結果バッファを読み出すと"0"にリセットされます。連続モードでA/D変換している場合、ADF_xが"1"の状態(変換結果バッファを読み出す前に)同じチャンネルの次のA/D変換が終了すると、データバッファは新たな変換結果で上書きされオーバーランエラーとなります。したがって、次のA/D変換が終了する前に変換データを読み出してADF_xをリセットする必要があります。

イニシャルリセット時、ADF_xは"0"(変換中または待機中)に設定されます。

OWE0: Ch.0オーバーライトエラーフラグ(D0/0x40247<A/Dオーバーライトエラーフラグレジスタ>)
OWE1: Ch.1オーバーライトエラーフラグ(D1/0x40247<A/Dオーバーライトエラーフラグレジスタ>)
OWE2: Ch.2オーバーライトエラーフラグ(D2/0x40247<A/Dオーバーライトエラーフラグレジスタ>)
OWE3: Ch.3オーバーライトエラーフラグ(D3/0x40247<A/Dオーバーライトエラーフラグレジスタ>)
OWE4: Ch.4オーバーライトエラーフラグ(D4/0x40247<A/Dオーバーライトエラーフラグレジスタ>)
OWE5: Ch.5オーバーライトエラーフラグ(D5/0x40247<A/Dオーバーライトエラーフラグレジスタ>)
OWE6: Ch.6オーバーライトエラーフラグ(D6/0x40247<A/Dオーバーライトエラーフラグレジスタ>)
OWE7: Ch.7オーバーライトエラーフラグ(D7/0x40247<A/Dオーバーライトエラーフラグレジスタ>)

各チャンネルの変換結果バッファが上書きされたことを示します。

"1"読み出し: オーバーライト
 "0"読み出し: 正常
 "1"書き込み: 無効
 "0"書き込み: フラグをリセット

連続モードでA/D変換している場合に、前回の変換によってセットされた変換終了フラグADFxが変換結果バッファの読み出しによってリセットされる前に、同じチャンネルの次の変換結果でバッファが上書きされるとOWExが"1"にセットされます。ADFxがリセットされている場合は、変換結果バッファが読み出されているためOWExはセットされません。

OWExは"1"にセットされると、ソフトウェアで"0"を書き込むまでリセットされません。

イニシャルリセット時、OWExは"0"(正常)に設定されます。

INTMASK0: Ch.0変換終了割り込みマスク(D0/0x4025C<A/D変換終了割り込みマスクレジスタ>)
INTMASK1: Ch.1変換終了割り込みマスク(D1/0x4025C<A/D変換終了割り込みマスクレジスタ>)
INTMASK2: Ch.2変換終了割り込みマスク(D2/0x4025C<A/D変換終了割り込みマスクレジスタ>)
INTMASK3: Ch.3変換終了割り込みマスク(D3/0x4025C<A/D変換終了割り込みマスクレジスタ>)
INTMASK4: Ch.4変換終了割り込みマスク(D4/0x4025C<A/D変換終了割り込みマスクレジスタ>)
INTMASK5: Ch.5変換終了割り込みマスク(D5/0x4025C<A/D変換終了割り込みマスクレジスタ>)
INTMASK6: Ch.6変換終了割り込みマスク(D6/0x4025C<A/D変換終了割り込みマスクレジスタ>)
INTMASK7: Ch.7変換終了割り込みマスク(D7/0x4025C<A/D変換終了割り込みマスクレジスタ>)

A/D変換終了割り込みをチャンネル単位でマスクします。

"1"書き込み: 割り込み有効
 "0"書き込み: 割り込みマスク
 読み出し: 可能

INTMASKxに"0"を書き込むとCh.xの変換終了割り込み要求はマスクされ、A/D変換が終了しても割り込み要因フラグFADEは"1"にセットされません。INTMASKxが"1"の場合はCh.xの変換終了によって割り込みを発生させることができます。

イニシャルリセット時、INTMASKxは"1"(割り込み有効)に設定されます。

CNVINTEN: 変換終了割り込みイネーブル(D4/0x40244<A/Dイネーブルレジスタ>)

変換終了割り込みを有効/無効に設定します。

"1"書き込み: 有効
 "0"書き込み: 無効
 読み出し: 可能

CNVINTENに"1"を書き込むと、A/D変換終了が割り込み要因として有効になります。"0"を書き込むと変換終了割り込みは発生しません。

イニシャルリセット時、CNVINTENは"1"(有効)に設定されます。

CMPINTEN: 上下限割り込みイネーブル(D5/0x40244<A/Dイネーブルレジスタ>)

上下限割り込みを有効/無効に設定します。

"1"書き込み: 有効

"0"書き込み: 無効

読み出し: 可能

CMPINTENに"1"を書き込むと、上下限比較結果が割り込み要因として有効になります。"0"を書き込むと上下限割り込みは発生しません。

イニシャルリセット時、CMPINTENは"0"(無効)に設定されます。

INTMODE: 割り込み信号モード(D6/0x40244<A/Dイネーブルレジスタ>)

ITCへの割り込み信号を設定します。

"1"書き込み: 変換終了のみ

"0"書き込み: 変換終了と上下限比較結果をOR

読み出し: 可能

ITCに接続された1本の割り込み信号線に変換終了信号のみを出力するか、変換終了信号と上下限比較結果信号をORして出力するかを選択します。上下限割り込みを使用しない場合はINTMODEを"1"に、使用する場合は"0"に設定します。上下限割り込みを使用する場合はCMPINTENも"1"に設定する必要があります。イニシャルリセット時、INTMODEは"0"(変換終了と上下限比較結果をOR)に設定されます。

ADCMPE: 上限値/下限値比較イネーブル(D7/0x40245<A/Dサンプリングレジスタ>)

上限値/下限値の比較を許可/禁止します。

"1"書き込み: 許可

"0"書き込み: 禁止

読み出し: 可能

ADCMPE[2:0]で指定したチャンネルのA/D変換終了時に、変換結果と上限値/下限値との比較を行うかどうかを選択します。行う場合はADCMPEを"1"に、行わない場合は"0"に設定します。

イニシャルリセット時、ADCMPEは"0"(禁止)に設定されます。

ADCMPE2-ADCMPE0: 上限値/下限値比較チャンネル設定(D[6:4]/0x40245<A/Dサンプリングレジスタ>)

上限値/下限値の比較を行うチャンネルをチャンネル番号(0~7)で設定します。

イニシャルリセット時、ADCMPEは"0"(AD0)に設定されます。

ADUPR9-ADUPR0: A/D変換上限値(D[1:0]/0x40259, D[7:0]/0x40258<A/D変換上限値レジスタ>)

A/D変換結果と比較する上限値を設定します。

ADCMPE[2:0]で指定したチャンネルのA/D変換で、ここに設定した値より大きな変換結果が得られたことを判定することができ、割り込みも発生可能です。

イニシャルリセット時、ADUPRは"0"に設定されます。

ADLWR9-ADLWR0: A/D変換下限値(D[1:0]/0x4025B, D[7:0]/0x4025A<A/D変換下限値レジスタ>)

A/D変換結果と比較する下限値を設定します。

ADCMPE[2:0]で指定したチャンネルのA/D変換で、ここに設定した値より小さな変換結果が得られたことを判定することができ、割り込みも発生可能です。

イニシャルリセット時、ADLWRは"0"に設定されます。

ADUPRST: 上限値比較ステータス(D3/0x40245<A/Dサンプリングレジスタ>)

A/D変換値と上限値との比較結果を示します。

"1"読み出し: 上限オーバー

"0"読み出し: 範囲内

書き込み: 無効

上限値/下限値の比較が許可(ADCMPE = "1")されている場合、ADCMP[2:0]で指定したチャンネルのA/D変換が終了した時点でA/D変換結果が上限値/下限値と比較されます。A/D変換結果がADUPRレジスタに設定した上限値より大きい場合、ADUPRSTが"1"にセットされます。上限値と同じか小さい場合は"0"にセットされます。上下限割り込みを有効に設定している場合、ADUPRSTが"1"にセットされると割り込みが発生します。

イニシャルリセット時、ADUPRSTは"0"(範囲内)に設定されます。

ADLWRST: 下限値比較ステータス(D2/0x40245<A/Dサンプリングレジスタ>)

A/D変換値と下限値との比較結果を示します。

"1"読み出し: 下限アンダー

"0"読み出し: 範囲内

書き込み: 無効

上限値/下限値の比較が許可(ADCMPE = "1")されている場合、ADCMP[2:0]で指定したチャンネルのA/D変換が終了した時点でA/D変換結果が上限値/下限値と比較されます。A/D変換結果がADLWRレジスタに設定した下限値より小さい場合、ADLWRSTが"1"にセットされます。下限値と同じか大きい場合は"0"にセットされます。上下限割り込みを有効に設定している場合、ADLWRSTが"1"にセットされると割り込みが発生します。

イニシャルリセット時、ADLWRSTは"0"(範囲内)に設定されます。

プログラミング上の注意事項

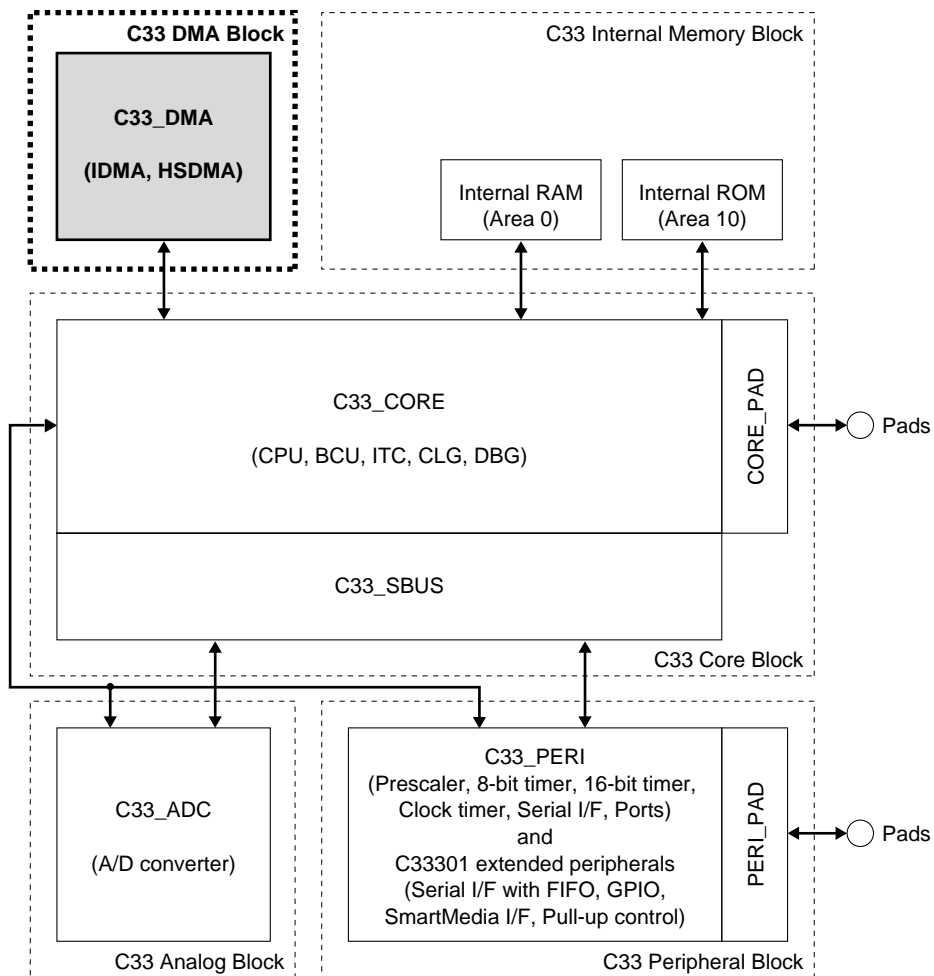
- (1) モードや開始/終了チャネルなどA/D変換器の設定を行う場合は、必ずA/D変換器をディセーブル状態(A/Dイネーブルレジスタ(0x40244)のADEN(D2)を"0")にして行ってください。イネーブル状態の設定変更は誤動作の原因となります。
- (2) A/D変換器の動作はプリスケアラが動作していることが条件です。
変換精度を考慮すると、A/D変換器の動作クロックはMax. 2MHz(Min. 16kHz)を推奨します。
- (3) プリスケアラからA/D変換器へのクロック出力がOFFの場合にA/D変換を開始させたり、A/D変換動作中にプリスケアラのクロック出力をOFFにしないでください。誤動作の原因となります。
- (4) イニシャルリセット後、割り込み要因フラグ(FADE)は不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。
- (5) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグ(FADE)をリセットしてください。
- (6) A/D変換器をイネーブル状態にすると、A/D動作を行わないときにもAVDD_E ~ VSS間に電流が流れ電力を消費します。
したがって、A/D変換器を使用しない場合は、必ずA/D変換器をディセーブル状態(A/Dイネーブルレジスタ(0x40244)のADEN(D2)を"0"、デフォルト)に設定してください。
- (7) 8ビットプログラマブルタイマ0のアンダーフロー信号および16ビットプログラマブルタイマ0のコンペアマッチB信号をトリガ要因とした場合、各タイマが使用するプリスケアラの分周比を0/1に設定しないでください。
- (8) ADD[9:0](A/D変換結果)の読み出しは下位8ビットと上位2ビットの2回に分けて行われます(ソフトウェアが16ビット読み出しを行った場合でも、ハードウェアは下位8ビットと上位2ビットを別々にロードします)。
連続モードでのA/D変換時、または通常モードで複数チャネルの変換を行っている場合、1回目の読み出し後、2回目の読み出しまでの間にADD[9:0]が新しい変換結果で上書きされる可能性があります。この場合、変換結果の下位8ビットと上位2ビットはそれぞれ別の変換による値となり、正しい結果は得られません。
変換終了後の最初の読み出し(変換終了フラグADFが"1"の状態での読み出し)では、1回目の読み出し後、2回目の読み出しまでの間にADD[9:0]が上書きされるとオーバーライトエラーフラグOWEが"1"になります。ただし、同じ変換結果を複数回読み出して検証するような場合、一度読み出した時点でADFが"0"となり、その状態での再読み出し時は、2回目の読み出し前にADD[9:0]が上書きされてもOWEは"1"になりませんので注意してください。
変換結果バッファADxBUF[9:0]の場合も、同様の現象が起こり得ます。
- (9) A/D変換のトリガとして外部トリガを使用する場合、#ADTRG端子への入力のLow期間は、CPUの動作クロック2サイクル以上の長さを確保してください。また、次のA/D変換トリガとして検出されないように、設定した入力クロックの20サイクル以内で#ADTRG端子への入力をHighに戻してください。
- (10) 機種によっては入力ポートにソフトウェアで制御可能なプルアップ抵抗が付いています。アナログ入力に使用するポートのプルアップ抵抗は無効にして(切り離して)ください。
(対応機種の例: S1C33301、S1C33L11)
- (11) ICDを使用したデバッグ時のブレークモード中は、内部設計上の制限によりA/D変換器の動作クロックが停止します。そのため、A/D変換動作は停止し、レジスタへの書き込みも行えなくなります。レジスタ値の読み出しは可能です。

このページはブランクです。

S1C33301 Technical Manual
V DMAブロック

V-1 はじめに

DMAブロックは、DMA制御情報を内蔵レジスタで設定可能なHSDMA(高速DMA)とDMA制御情報をメモリ上に設定するIDMA(インテリジェントDMA)の2種類のDMAコントローラで構成されています。



図V.1.1 DMAブロック

注: S1C33301はROMを内蔵しておりません。

このページはブランクです。

V-2 HSDMA(高速DMA)

HSDMAの機能概要

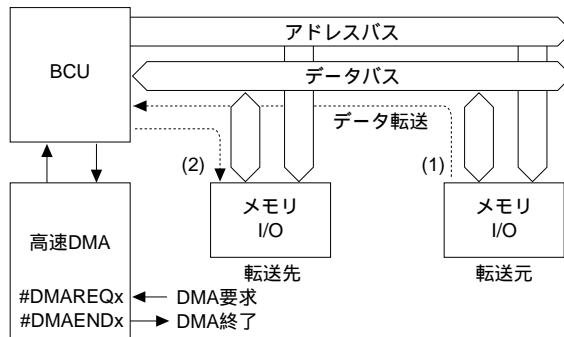
C33 DMAブロックは、デュアルアドレス転送およびシングルアドレス転送に対応した4チャンネルの高速DMA (HSDMA) 回路を内蔵しています。

HSDMAはDMA機能に必要な制御レジスタをチップに内蔵しているため、DMA要求に即座に対応してデータ転送を行います。

デュアルアドレス転送

この転送方式では、転送元と転送先のアドレスをそれぞれ指定可能で、2段階に分けてDMA転送を行います。まず、転送元アドレスからデータをチップ上のテンポラリレジスタに読み出します。次にテンポラリレジスタ内のデータを転送先アドレスに書き込みます。

メモリ上に転送情報を持つインテリジェントDMAとは異なり、DMAリンク機能はありませんが、転送条件等をメモリから読み出す必要がありませんので、高速なDMA転送が行えます。

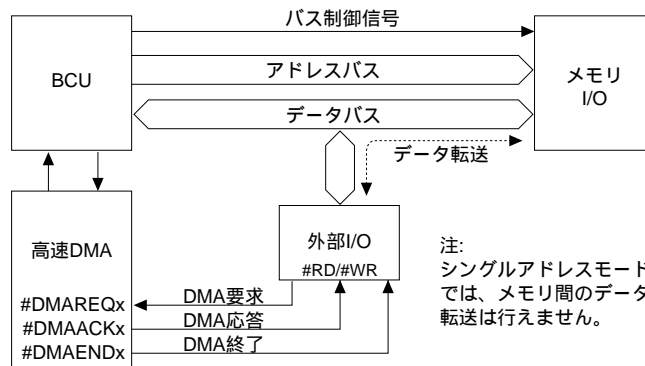


図V.2.1 デュアルアドレス転送

シングルアドレス転送

この転送方式では、通常はデータの読み出しと書き込みを連続的に実行して実現するデータ転送を、外部バス上で一度に実行することによって一層の高速化を図っています。データ転送の制御に#DMAACKxおよび#DMAENDx信号を使用します。

デュアルアドレス転送とは異なり、メモリ間のデータ転送は行えませんが、最小サイクルでデータ転送が行えます。



図V.2.2 シングルアドレス転送

注: HSDMAのCh.0 ~ Ch.3は同一の構成で、同一の機能を持ちます。信号名や制御ビット名にはチャンネル番号を示す"0" ~ "3"が付いて区別されますが、説明は全チャンネルに共通なため、必要な部分以外は"0" ~ "3"を"x"に置き換えて説明します。

HSDMAの入出力端子

表V.2.1にHSDMAで使用する端子を示します。

表V.2.1 HSDMAの入出力端子

端子名	I/O	機 能	機能選択ビット
K50(#DMAREQ0)	I	入力ポート/高速DMA要求入力0	CFK50(K5機能選択レジスタ0x402C0•D0)
K51(#DMAREQ1)	I	入力ポート/高速DMA要求入力1	CFK51(K5機能選択レジスタ0x402C0•D1)
K53(#DMAREQ2)	I	入力ポート/高速DMA要求入力2	CFK53(K5機能選択レジスタ0x402C0•D3)
K54(#DMAREQ3)	I	入力ポート/高速DMA要求入力3	CFK54(K5機能選択レジスタ0x402C0•D4)
P04(SIN1/ #DMAACK2)	I/O	入出力兼用ポート/シリアルIF Ch.1データ入力/ #DMAACK2出力(Ex)	CFEX4(ポート機能拡張レジスタ0x402DF•D4)
P05(SOUT1/ #DMAEND2)	I/O	入出力兼用ポート/シリアルIF Ch.1データ出力/ #DMAEND2出力(Ex)	CFEX5(ポート機能拡張レジスタ0x402DF•D5)
P06(#SCLK1/ #DMAACK3)	I/O	入出力兼用ポート/シリアルIF Ch.1クロック入出力/ #DMAACK3出力(Ex)	CFEX6(ポート機能拡張レジスタ0x402DF•D6)
P07(#SRDY1/ #DMAEND3)	I/O	入出力兼用ポート/シリアルIF Ch.1レディ入出力/ #DMAEND3出力(Ex)	CFEX7(ポート機能拡張レジスタ0x402DF•D7)
P15(EXCL4/ #DMAEND0)	I/O	入出力兼用ポート/16bitタイマ4イベントカウンタ入 力(I)/#DMAEND0出力(O)	CFP15(P1機能選択レジスタ0x402D4•D5)
P16(EXCL5/ #DMAEND1)	I/O	入出力兼用ポート/16bitタイマ5イベントカウンタ入 力(I)/#DMAEND1出力(O)	CFP16(P1機能選択レジスタ0x402D4•D6)
P32(#DMAACK0)	I/O	入出力兼用ポート/#DMAACK0出力	CFP32(P3機能選択レジスタ0x402DC•D2)
P33(#DMAACK1)	I/O	入出力兼用ポート/#DMAACK1出力	CFP33(P3機能選択レジスタ0x402DC•D3)

(I): 入力モード, (O): 出力モード, (Ex): 拡張機能

#DMAREQx(DMA要求入力端子)

外部周辺回路からのDMA要求信号を入力する場合に使用します。このトリガ(信号の立ち上がり/立ち下がりを選択可)により1回のデータ転送が行われます。#DMAREQ0~#DMAREQ3はそれぞれCh.0~Ch.3の入力端子です。

この外部入力以外にも、HSDMAのトリガ要因としてソフトウェアトリガまたは割り込み要因を割り込みコントローラで選択できます。

#DMAACKx(DMA応答信号出力端子/シングルアドレスモード専用)

DMAコントローラがDMA要求を受け付けたことを示す#DMAACKx信号を出力します。

シングルアドレスモードの場合、転送元あるいは転送先となるI/Oデバイスは、この信号に同期してデータを外部バスに出力、あるいは外部バスからデータを取り込みます。#DMAACK0~#DMAACK3はそれぞれCh.0~Ch.3の出力端子です。

デュアルアドレスモードでは、この信号は出力されません。

#DMAENDx(転送終了信号出力端子)

制御レジスタに設定した回数のデータ転送が終了したことを示す#DMAENDx信号を出力します。

#DMAEND0~#DMAEND3はそれぞれCh.0~Ch.3の出力端子です。

HSDMA入出力端子の設定方法

表V.2.1に示したとおり、HSDMAで使用する端子は入力ポートおよび入出力兼用ポートと共用されており、コールドスタート時にすべて入力・入出力兼用ポート端子(機能選択レジスタ="0")として設定されます。使用するHSDMAチャンネルに合わせ、対応する端子の機能選択ビットに"1"を書き込んでください。ホットスタート時は、リセット前の状態を保持します。

#DMAEND3、#DMAACK3、#DMAEND2および#DMAACK2出力はP04~P07の拡張機能です。これらの信号を使用する場合は、対応する機能拡張ビット(CFEX[7:4])に"1"を書き込んでください。

#DMAEND0および#DMAEND1端子の設定にはさらに、P1 I/O制御レジスタ(0x402D6)のIOC15(D5)、IOC16(D6)に"1"を書き込み、出力モードに設定してください。入力モードに設定されていると16ビットプログラマブルタイマのイベントカウンタ入力として機能し、#DMAENDx信号の出力は行えません。コールドスタート時は入力モードに設定されます。ホットスタート時は、リセット前の状態を保持します。

コントロール情報のプログラミング

HSDMAは内部レジスタに設定されたコントロール情報によって動作します。

なお、レジスタの制御ビットにはアドレスモードにより機能が異なるものがありますので注意してください。

以下、コントロール情報の内容について説明します。HSDMAを使用する前に、それぞれの設定を行ってください。

デュアルアドレスモードのレジスタ設定

コントロール情報の設定は、設定するHSDMAチャンネルをディセーブル(HSx_EN = "0")にして行ってください。

アドレスモード

アドレスモード選択ビットDUALMxを"1"(デュアルアドレスモード)に設定してください。イニシャルリセット時、このビットは"0"(シングルアドレスモード)に設定されます。

DUALM0: Ch.0アドレスモード選択(HSDMA Ch.0制御レジスタ0x48222•DF)

DUALM1: Ch.1アドレスモード選択(HSDMA Ch.1制御レジスタ0x48232•DF)

DUALM2: Ch.2アドレスモード選択(HSDMA Ch.2制御レジスタ0x48242•DF)

DUALM3: Ch.3アドレスモード選択(HSDMA Ch.3制御レジスタ0x48252•DF)

転送モード

転送モードをDxMOD[1:0]ビットで設定します。

D0MOD[1:0]: Ch.0転送モード(HSDMA Ch.0転送先上位アドレス設定レジスタ0x4822A•D[F:E])

D1MOD[1:0]: Ch.1転送モード(HSDMA Ch.1転送先上位アドレス設定レジスタ0x4823A•D[F:E])

D2MOD[1:0]: Ch.2転送モード(HSDMA Ch.2転送先上位アドレス設定レジスタ0x4824A•D[F:E])

D3MOD[1:0]: Ch.3転送モード(HSDMA Ch.3転送先上位アドレス設定レジスタ0x4825A•D[F:E])

転送モードは以下の3種類から選択可能です。

シングル転送モード(DxMOD = "00" デフォルト)

シングル転送モードは、1回のトリガに対してDATSIZExに設定したサイズのデータを1回転送して終了します。転送回数カウンタに設定した回数のデータ転送を行うためには、その回数分のトリガが必要です。

連続転送モード(DxMOD = "01")

連続転送モードは、転送回数カウンタに設定した回数のデータ転送を1回のトリガで実行します。転送回数カウンタは一度の実行で"0"になります。

ブロック転送モード(DxMOD = "10")

ブロック転送モードは、1回のトリガに対してBLKLENxで設定したサイズのブロックを1回転送して終了します。転送回数カウンタに設定した回数のブロック転送を行うためには、その回数分のトリガが必要です。

転送データサイズ

転送データ1個分のサイズをDATSIZExビットで設定します。

このビットが"1"の場合はハーフワードサイズ(16ビット)、"0"(デフォルト)の場合はバイトサイズ(8ビット)となります。

DATSIZE0: Ch.0転送データサイズ(HSDMA Ch.0転送元上位アドレス設定レジスタ0x48226•DE)

DATSIZE1: Ch.1転送データサイズ(HSDMA Ch.1転送元上位アドレス設定レジスタ0x48236•DE)

DATSIZE2: Ch.2転送データサイズ(HSDMA Ch.2転送元上位アドレス設定レジスタ0x48246•DE)

DATSIZE3: Ch.3転送データサイズ(HSDMA Ch.3転送元上位アドレス設定レジスタ0x48256•DE)

ブロックサイズ

ブロック転送モード(DxMOD = "10")の場合に、1回に転送されるブロックのサイズ(単位はDATSIZExによる)をBLKLENx[7:0]ビットで設定します。

BLKLEN0[7:0]: Ch.0ブロック長(HSDMA Ch.0転送カウンタレジスタ0x48220・D[7:0])

BLKLEN1[7:0]: Ch.1ブロック長(HSDMA Ch.1転送カウンタレジスタ0x48230・D[7:0])

BLKLEN2[7:0]: Ch.2ブロック長(HSDMA Ch.2転送カウンタレジスタ0x48240・D[7:0])

BLKLEN3[7:0]: Ch.3ブロック長(HSDMA Ch.3転送カウンタレジスタ0x48250・D[7:0])

注: ブロック転送モードを使用する場合は、必ずブロックサイズを"0"以外に設定してください。

シングル転送モード/連続転送モードでは、これらのビットを転送回数のビット7~0の指定に使用します。

転送カウンタ

ブロック転送モードの場合

ブロック転送モードでは、16ビットの転送回数が以下のレジスタで指定できます。

TC0_L[7:0]: Ch.0転送カウンタ[7:0](HSDMA Ch.0転送カウンタレジスタ0x48220・D[F:8])

TC1_L[7:0]: Ch.1転送カウンタ[7:0](HSDMA Ch.1転送カウンタレジスタ0x48230・D[F:8])

TC2_L[7:0]: Ch.2転送カウンタ[7:0](HSDMA Ch.2転送カウンタレジスタ0x48240・D[F:8])

TC3_L[7:0]: Ch.3転送カウンタ[7:0](HSDMA Ch.3転送カウンタレジスタ0x48250・D[F:8])

TC0_H[7:0]: Ch.0転送カウンタ[15:8](HSDMA Ch.0制御レジスタ0x48222・D[7:0])

TC1_H[7:0]: Ch.1転送カウンタ[15:8](HSDMA Ch.1制御レジスタ0x48232・D[7:0])

TC2_H[7:0]: Ch.2転送カウンタ[15:8](HSDMA Ch.2制御レジスタ0x48242・D[7:0])

TC3_H[7:0]: Ch.3転送カウンタ[15:8](HSDMA Ch.3制御レジスタ0x48252・D[7:0])

シングル転送モード/連続転送モードの場合

シングル転送モード/連続転送モードでは、24ビットの転送回数が以下のレジスタで指定できます。

BLKLEN0[7:0]: Ch.0転送カウンタ[7:0](HSDMA Ch.0転送カウンタレジスタ0x48220・D[7:0])

BLKLEN1[7:0]: Ch.1転送カウンタ[7:0](HSDMA Ch.1転送カウンタレジスタ0x48230・D[7:0])

BLKLEN2[7:0]: Ch.2転送カウンタ[7:0](HSDMA Ch.2転送カウンタレジスタ0x48240・D[7:0])

BLKLEN3[7:0]: Ch.3転送カウンタ[7:0](HSDMA Ch.3転送カウンタレジスタ0x48250・D[7:0])

TC0_L[7:0]: Ch.0転送カウンタ[15:8](HSDMA Ch.0転送カウンタレジスタ0x48220・D[F:8])

TC1_L[7:0]: Ch.1転送カウンタ[15:8](HSDMA Ch.1転送カウンタレジスタ0x48230・D[F:8])

TC2_L[7:0]: Ch.2転送カウンタ[15:8](HSDMA Ch.2転送カウンタレジスタ0x48240・D[F:8])

TC3_L[7:0]: Ch.3転送カウンタ[15:8](HSDMA Ch.3転送カウンタレジスタ0x48250・D[F:8])

TC0_H[7:0]: Ch.0転送カウンタ[23:16](HSDMA Ch.0制御レジスタ0x48222・D[7:0])

TC1_H[7:0]: Ch.1転送カウンタ[23:16](HSDMA Ch.1制御レジスタ0x48232・D[7:0])

TC2_H[7:0]: Ch.2転送カウンタ[23:16](HSDMA Ch.2制御レジスタ0x48242・D[7:0])

TC3_H[7:0]: Ch.3転送カウンタ[23:16](HSDMA Ch.3制御レジスタ0x48252・D[7:0])

注: 設定した転送回数は転送に従ってデクリメントされます。"0"を設定した場合は最初の転送でオールFにデクリメントされるため、それぞれのビット数で決まる最大値を設定したことになります。

転送元/転送先アドレス

デュアルアドレスモードでは、転送元および転送先アドレスを以下のレジスタで設定します。

S0ADRL[15:0]: Ch.0転送元アドレス[15:0] Ch.0転送元下位アドレス設定レジスタ0x48224・D[F:0])

S1ADRL[15:0]: Ch.1転送元アドレス[15:0] Ch.1転送元下位アドレス設定レジスタ0x48234・D[F:0])

S2ADRL[15:0]: Ch.2転送元アドレス[15:0] Ch.2転送元下位アドレス設定レジスタ0x48244・D[F:0])

S3ADRL[15:0]: Ch.3転送元アドレス[15:0] Ch.3転送元下位アドレス設定レジスタ0x48254・D[F:0])

S0ADRH[11:0]: Ch.0転送元アドレス[27:16] Ch.0転送元上位アドレス設定レジスタ0x48226・D[B:0])

S1ADRH[11:0]: Ch.1転送元アドレス[27:16] Ch.1転送元上位アドレス設定レジスタ0x48236・D[B:0])

S2ADRH[11:0]: Ch.2転送元アドレス[27:16] Ch.2転送元上位アドレス設定レジスタ0x48246・D[B:0])

S3ADRH[11:0]: Ch.3転送元アドレス[27:16] Ch.3転送元上位アドレス設定レジスタ0x48256・D[B:0])

D0ADRL[15:0]: Ch.0転送先アドレス[15:0] Ch.0転送先下位アドレス設定レジスタ0x48228・D[F:0])
 D1ADRL[15:0]: Ch.1転送先アドレス[15:0] Ch.1転送先下位アドレス設定レジスタ0x48238・D[F:0])
 D2ADRL[15:0]: Ch.2転送先アドレス[15:0] Ch.2転送先下位アドレス設定レジスタ0x48248・D[F:0])
 D3ADRL[15:0]: Ch.3転送先アドレス[15:0] Ch.3転送先下位アドレス設定レジスタ0x48258・D[F:0])
 D0ADRH[11:0]: Ch.0転送先アドレス[27:16] Ch.0転送先上位アドレス設定レジスタ0x4822A・D[B:0])
 D1ADRH[11:0]: Ch.1転送先アドレス[27:16] Ch.1転送先上位アドレス設定レジスタ0x4823A・D[B:0])
 D2ADRH[11:0]: Ch.2転送先アドレス[27:16] Ch.2転送先上位アドレス設定レジスタ0x4824A・D[B:0])
 D3ADRH[11:0]: Ch.3転送先アドレス[27:16] Ch.3転送先上位アドレス設定レジスタ0x4825A・D[B:0])

アドレスインクリメント/デクリメント制御

転送元アドレスと転送先アドレスは、1回のデータ転送終了時にインクリメントまたはデクリメントすることが可能です。この機能の選択には、転送元アドレスの制御にSxIN[1:0]ビット、転送先アドレスの制御にDxIN[1:0]ビットを使用します。

S0IN[1:0]: Ch.0転送元アドレス制御(Ch.0転送元上位アドレス設定レジスタ0x48226・D[D:C])
 S1IN[1:0]: Ch.1転送元アドレス制御(Ch.1転送元上位アドレス設定レジスタ0x48236・D[D:C])
 S2IN[1:0]: Ch.2転送元アドレス制御(Ch.2転送元上位アドレス設定レジスタ0x48246・D[D:C])
 S3IN[1:0]: Ch.3転送元アドレス制御(Ch.3転送元上位アドレス設定レジスタ0x48256・D[D:C])

D0IN[1:0]: Ch.0転送先アドレス制御(Ch.0転送先上位アドレス設定レジスタ0x4822A・D[D:C])
 D1IN[1:0]: Ch.1転送先アドレス制御(Ch.1転送先上位アドレス設定レジスタ0x4823A・D[D:C])
 D2IN[1:0]: Ch.2転送先アドレス制御(Ch.2転送先上位アドレス設定レジスタ0x4824A・D[D:C])
 D3IN[1:0]: Ch.3転送先アドレス制御(Ch.3転送先上位アドレス設定レジスタ0x4825A・D[D:C])

SxIN/DxIN = "00": アドレス固定(デフォルト)

データ転送によってアドレスは変更されません。複数のデータを転送する場合でも、常に同じアドレスに対して転送データの読み出し/書き込みが行われます。

SxIN/DxIN = "01": アドレスデクリメント(初期化なし)

1つのデータ転送終了時にアドレスがDATSIZExに設定したサイズ分デクリメントされます。転送に従ってデクリメントされたアドレスは、ソフトウェアで設定した初期値には戻りません。

SxIN/DxIN = "10": アドレスインクリメント(初期化付き)

シングル転送モード/連続転送モードでは、1つのデータの転送終了時にアドレスがDATSIZExに設定したサイズ分インクリメントされます。転送に従ってインクリメントされたアドレスは、ソフトウェアで設定した初期値には戻りません。

ブロック転送モードも同様に、ブロック中の1つのデータを転送すると、ソースアドレスがインクリメントされます。ブロック転送中にインクリメントされたアドレスはブロックの転送終了後、ソフトウェアで設定した初期値に戻ります。

SxIN/DxIN = "11": アドレスインクリメント(初期化なし)

1つのデータの転送終了時にアドレスがDATSIZExに設定したサイズ分インクリメントされます。転送に従ってインクリメントされたアドレスは、ソフトウェアで設定した初期値には戻りません。

シングルアドレスモードのレジスタ設定

コントロール情報の設定は、設定するHSDMAチャネルをディセーブル(HSx_EN = "0")にして行ってください。

アドレスモード

アドレスモード選択ビットDUALMxを"0"(シングルアドレスモード)に設定してください。イニシャルリセット時、このビットは"0"に設定されます。

転送モード

転送モードをDxMOD[1:0]ビットで設定します。

- シングル転送モード (DxMOD = "00" デフォルト)
- 連続転送モード (DxMOD = "01")
- ブロック転送モード (DxMOD = "10")

転送モードについては、"デュアルアドレスモードのレジスタ設定"を参照してください。

転送方向

データ転送方向をDxDIRビットで設定します。

D0DIR: Ch.0転送方向制御(HSDMA Ch.0制御レジスタ0x48222・DE)

D1DIR: Ch.1転送方向制御(HSDMA Ch.1制御レジスタ0x48232・DE)

D2DIR: Ch.2転送方向制御(HSDMA Ch.2制御レジスタ0x48242・DE)

D3DIR: Ch.3転送方向制御(HSDMA Ch.3制御レジスタ0x48252・DE)

"1"を書き込むとメモリライト(I/Oデバイスからメモリへのデータ転送)、"0"を書き込むとメモリリード(メモリからI/Oデバイスへのデータ転送)が選択されます。

転送データサイズ

転送データ1個分のサイズをDATSIZExビットで設定します。

このビットが"1"の場合はハーフワードサイズ(16ビット)、"0"(デフォルト)の場合はバイトサイズ(8ビット)となります。

ブロックサイズ

ブロック転送モード(DxMOD = "10")の場合に、1回に転送されるブロックのサイズ(単位はDATSIZExによる)をBLKLENx[7:0]ビットで設定します。

シングル転送モード/連続転送モードでは、BLKLENx[7:0]を転送回数のビット7~0の指定に使用します。

注: ブロック転送モードを使用する場合は、必ずブロックサイズを"0"以外に設定してください。

転送カウンタ

ブロック転送モードの場合

ブロック転送モードでは、16ビットの転送回数をTCx_L[7:0]およびTCx_H[7:0]で指定します。

シングル転送モード/連続転送モードの場合

シングル転送モード/連続転送モードでは、24ビットの転送回数をBLKLENx[7:0]、TCx_L[7:0]およびTCx_H[7:0]で指定します。

メモリアドレス

シングルアドレスモードでは、SxADRL[15:0]およびSxADRH[11:0]でメモリアドレスを指定します。

S0ADRL[15:0]: Ch.0メモリアドレス[15:0](Ch.0転送元下位アドレス設定レジスタ0x48224•D[F:0])

S0ADRH[11:0]: Ch.0メモリアドレス[27:16](Ch.0転送元上位アドレス設定レジスタ0x48226•D[B:0])

S1ADRL[15:0]: Ch.1メモリアドレス[15:0](Ch.1転送元下位アドレス設定レジスタ0x48234•D[F:0])

S1ADRH[11:0]: Ch.1メモリアドレス[27:16](Ch.1転送元上位アドレス設定レジスタ0x48236•D[B:0])

S2ADRL[15:0]: Ch.2メモリアドレス[15:0](Ch.2転送元下位アドレス設定レジスタ0x48244•D[F:0])

S2ADRH[11:0]: Ch.2メモリアドレス[27:16](Ch.2転送元上位アドレス設定レジスタ0x48246•D[B:0])

S3ADRL[15:0]: Ch.3メモリアドレス[15:0](Ch.3転送元下位アドレス設定レジスタ0x48254•D[F:0])

S3ADRH[11:0]: Ch.3メモリアドレス[27:16](Ch.3転送元上位アドレス設定レジスタ0x48256•D[B:0])

シングルアドレスモードのデータ転送は、システムインタフェースに接続されたメモリと外部のI/Oデバイス間で行われます。I/Oデバイスは#DMAACKx信号で直接アクセスされますので、アドレスの指定は不要です。シングルアドレスモードではDxADRL[15:0]およびDxADRH[11:0]は使用しません。

アドレスインクリメント/デクリメント制御

メモリアドレスは、1回のデータ転送終了時にインクリメントまたはデクリメントすることが可能です。

この機能の選択には、SxIN[1:0]ビットを使用します。

S0IN[1:0]: Ch.0メモリアドレス制御(Ch.0転送元上位アドレス設定レジスタ0x48226•D[D:C])

S1IN[1:0]: Ch.1メモリアドレス制御(Ch.1転送元上位アドレス設定レジスタ0x48236•D[D:C])

S2IN[1:0]: Ch.2メモリアドレス制御(Ch.2転送元上位アドレス設定レジスタ0x48246•D[D:C])

S3IN[1:0]: Ch.3メモリアドレス制御(Ch.3転送元上位アドレス設定レジスタ0x48256•D[D:C])

SxIN = "00": アドレス固定(デフォルト)

SxIN = "01": アドレスデクリメント(初期化なし)

SxIN = "10": アドレスインクリメント(初期化付き)

SxIN = "11": アドレスインクリメント(初期化なし)

設定内容については"デュアルアドレスモードのレジスタ設定"を参照してください。

シングルアドレスモードではDxIN[1:0]は使用しません。

DMA転送の許可/禁止

HSDMAによるデータ転送は、HSx_ENビットに"1"を書き込むことにより許可されます。

HS0_EN: Ch.0イネーブル(Ch.0イネーブルレジスタ0x4822C•D0)

HS1_EN: Ch.1イネーブル(Ch.1イネーブルレジスタ0x4823C•D0)

HS2_EN: Ch.2イネーブル(Ch.2イネーブルレジスタ0x4824C•D0)

HS3_EN: Ch.3イネーブル(Ch.3イネーブルレジスタ0x4825C•D0)

ただし、DMA転送を許可する前に、コントロール情報を設定しておく必要があります。HSx_ENが"1"の場合、コントロール情報を設定することはできません。

HSx_ENが"0"の場合、HSDMAリクエストは受け付けられません。

DMA転送を終了(転送カウンタ="0")するとHSx_ENは"0"にリセットされ、以降のトリガ入力を禁止します。

トリガ要因

各HSDMAチャネルは13種類のトリガ要因に対応しており、使用するトリガ要因をHSDMAトリガ設定レジスタで選択できます。なお、この機能は割り込みコントローラでサポートしています。

HSD0S[3:0]: Ch.0トリガ設定(HSDMA Ch.0/1トリガ設定レジスタ0x40298・D[3:0])

HSD1S[3:0]: Ch.1トリガ設定(HSDMA Ch.0/1トリガ設定レジスタ0x40298・D[7:4])

HSD2S[3:0]: Ch.2トリガ設定(HSDMA Ch.2/3トリガ設定レジスタ0x40299・D[3:0])

HSD3S[3:0]: Ch.3トリガ設定(HSDMA Ch.2/3トリガ設定レジスタ0x40299・D[7:4])

表V.2.2に設定値とトリガ要因の対応を示します。

表V.2.2 HSDMAトリガ要因

設定値	Ch.0トリガ要因	Ch.1トリガ要因	Ch.2トリガ要因	Ch.3トリガ要因
0000	ソフトウェアトリガ	ソフトウェアトリガ	ソフトウェアトリガ	ソフトウェアトリガ
0001	K50入力(立ち下がりがエッジ)	K51入力(立ち下がりがエッジ)	K53入力(立ち下がりがエッジ)	K54入力(立ち下がりがエッジ)
0010	K50入力(立ち上がりがエッジ)	K51入力(立ち上がりがエッジ)	K53入力(立ち上がりがエッジ)	K54入力(立ち上がりがエッジ)
0011	ポート0入力	ポート1入力	ポート2入力	ポート3入力
0100	ポート4入力	ポート5入力	ポート6入力	ポート7入力
0101	8bitタイマ0アンダーフロー	8bitタイマ1アンダーフロー	8bitタイマ2アンダーフロー	8bitタイマ3アンダーフロー
0110	16bitタイマ0コンペアB	16bitタイマ1コンペアB	16bitタイマ2コンペアB	16bitタイマ3コンペアB
0111	16bitタイマ0コンペアA	16bitタイマ1コンペアA	16bitタイマ2コンペアA	16bitタイマ3コンペアA
1000	16bitタイマ4コンペアB	16bitタイマ5コンペアB	16bitタイマ4コンペアB	16bitタイマ5コンペアB
1001	16bitタイマ4コンペアA	16bitタイマ5コンペアA	16bitタイマ4コンペアA	16bitタイマ5コンペアA
1010	シリアル I/F Ch.0 受信バッファフル	シリアル I/F Ch.1 受信バッファフル	シリアル I/F Ch.0 受信バッファフル	シリアル I/F Ch.1 受信バッファフル
1011	シリアル I/F Ch.0 送信バッファエンブティ	シリアル I/F Ch.1 送信バッファエンブティ	シリアル I/F Ch.0 送信バッファエンブティ	シリアル I/F Ch.1 送信バッファエンブティ
1100	A/D変換	A/D変換	A/D変換	A/D変換
1101	reserved	FIFOシリアル I/F Ch.0 受信バッファフル	reserved	FIFOシリアル I/F Ch.0 受信バッファフル
1110	reserved	FIFOシリアル I/F Ch.0 送信バッファエンブティ	reserved	FIFOシリアル I/F Ch.0 送信バッファエンブティ

割り込み要因(0011 ~ 1100)をトリガ設定レジスタで選択すると、そのHSDMAチャネルは選択した割り込み要因の発生によって起動します。割り込み制御ビット(割り込み要因フラグ、割り込みイネーブルレジスタ、IDMAリクエストレジスタ、割り込みプライオリティレジスタ)の設定内容は、HSDMAの起動には影響を与えません。HSDMAを起動した割り込み要因は、割り込み要因フラグもセットしますが、HSDMAはこの割り込み要因フラグをリセットしません。割り込みコントローラによって、その割り込みが許可されていれば、1回のDMA転送を終了した時点で転送カウンタが"0"でない場合でもCPUに対し割り込み要求を発生します。転送カウンタが"0"になった場合にのみ割り込みを発生させるには、トリガとなった割り込み要因による割り込み要求を禁止し、HSDMA自身の転送終了割り込みを利用してください。

ソフトウェアトリガを選択した場合、そのHSDMAチャネルはHSTxビットに"1"を書き込むことで起動します。

HST0: Ch.0ソフトウェアトリガ(HSDMAソフトウェアトリガレジスタ0x4029A・D0)

HST1: Ch.1ソフトウェアトリガ(HSDMAソフトウェアトリガレジスタ0x4029A・D1)

HST2: Ch.2ソフトウェアトリガ(HSDMAソフトウェアトリガレジスタ0x4029A・D2)

HST3: Ch.3ソフトウェアトリガ(HSDMAソフトウェアトリガレジスタ0x4029A・D3)

トリガ要因が発生すると、対応するHSDMAチャネルが起動するようにトリガフラグHSx_TFを"1"にセットします。HSDMAが許可されていればDMA転送を開始します。同時に、トリガフラグはハードウェアによってクリアされます。これにより、DMA転送中でも次のトリガを保持しておくことができます。

HSx_TFフラグはソフトウェアによる読み出しおよびクリアが可能です。

HS0_TF: Ch.0トリガフラグステータス/クリア(Ch.0トリガフラグレジスタ0x4822E・D0)

HS1_TF: Ch.1トリガフラグステータス/クリア(Ch.1トリガフラグレジスタ0x4823E・D0)

HS2_TF: Ch.2トリガフラグステータス/クリア(Ch.2トリガフラグレジスタ0x4824E・D0)

HS3_TF: Ch.3トリガフラグステータス/クリア(Ch.3トリガフラグレジスタ0x4825E・D0)

DMA転送を開始する前であれば、このビットに"1"を書き込むことによってトリガフラグをクリアできます。このビットを読み出した場合、"1"でトリガフラグがセット状態、"0"でクリア状態であることを示します。

HSDMAの動作

HSDMAの各チャンネルは、選択されているトリガ要因の発生によってデータ転送を開始します。
なお、DMA転送を開始する前に、転送条件とトリガ要因の設定を行い、使用するHSDMAチャンネルのデータ転送を許可しておくことが必要です。

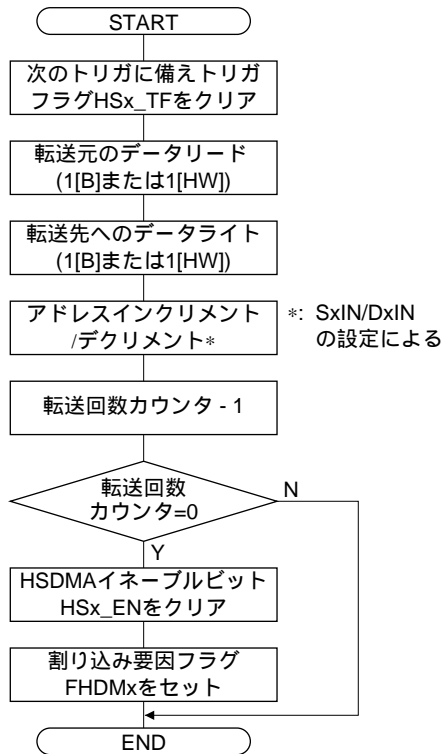
デュアルアドレスモードの動作

デュアルアドレスモードでは、転送元と転送先のアドレスがBCUに設定されている該当エリアのバス条件でアクセスされます。

HSDMAには3種類の転送モードがあり、それぞれデータ転送の動作が異なります。以下、各転送モード別の動作を説明します。

シングル転送モード

コントロール情報のDxMODが"00"に設定されているチャンネルは、シングル転送モードで動作します。シングル転送モードは、1回のトリガに対してDATSIZExに設定したサイズ of データを1回転送して終了します。転送カウンタに設定した回数のデータ転送を行うためには、その回数分のトリガが必要です。シングル転送モードのHSDMA動作を図V.2.3のフローチャートに示します。



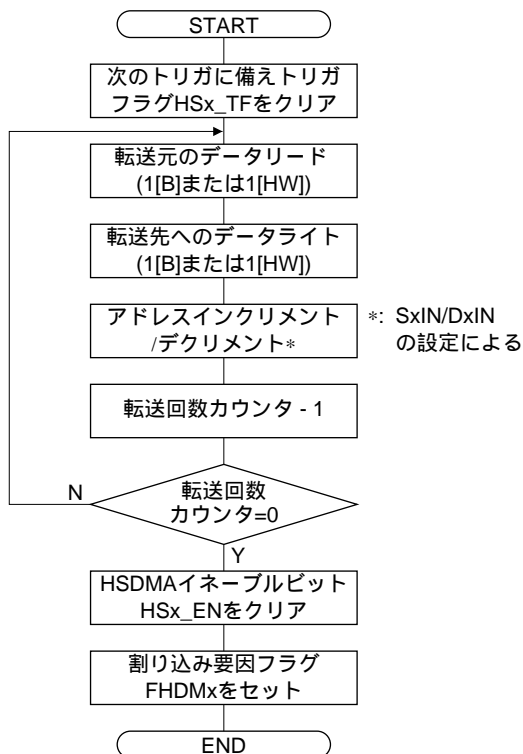
図V.2.3 シングル転送モードの動作フロー

- (1) トリガを受け付けると、トリガフラグHSx_TFがクリアされ、コントロール情報に設定されたサイズ of データを転送元アドレスから読み出します。
- (2) 読み出したデータを転送先アドレスに書き込みます。
- (3) アドレスがSxIN/DxINの設定に従ってインクリメント/デクリメントされます。
- (4) 転送カウンタがデクリメントされます。
- (5) 転送カウンタが"0"になった場合は、HSDMAイネーブルビットHSx_ENがクリアされ、割り込みコントローラのHSDMA割り込み要因フラグが"1"にセットされます(DINTENx="1"の場合)。

連続転送モード

コントロール情報のDxMODが"01"に設定されているチャンネルは、連続転送モードで動作します。連続転送モードは、転送カウンタに設定した回数のデータ転送を1回のトリガで実行します。転送カウンタは一度の実行で"0"になります。

連続転送モードの動作を図V.2.4のフローチャートに示します。

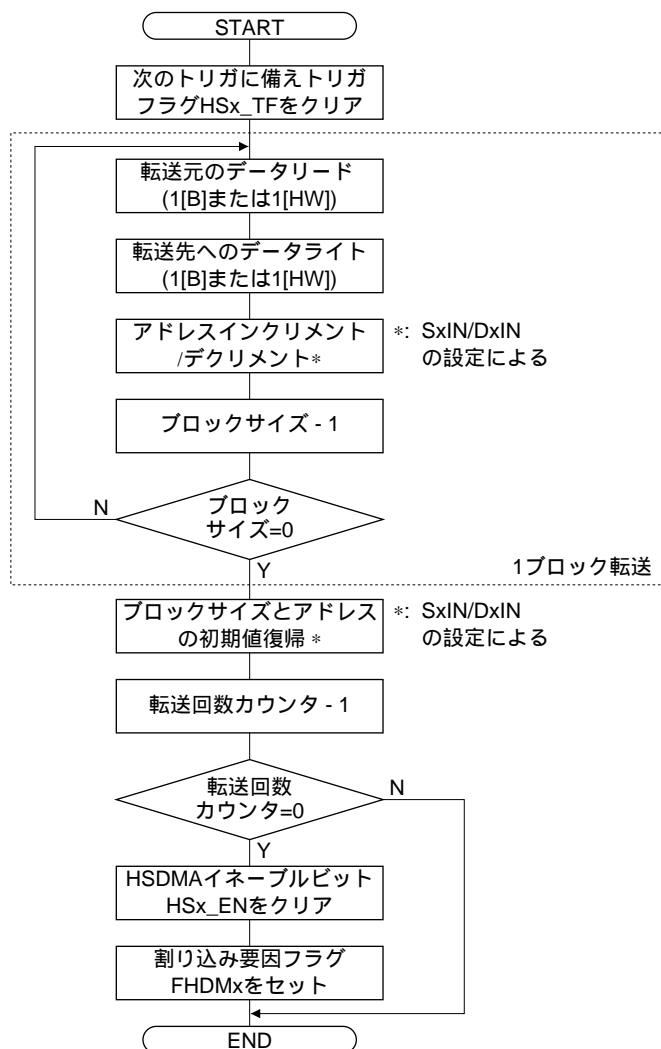


図V.2.4 連続転送モードの動作フロー

- (1) トリガを受け付けると、トリガフラグHSx_TFがクリアされ、コントロール情報に設定されたサイズのデータを転送元アドレスから読み出します。
- (2) 読み出したデータを転送先アドレスに書き込みます。
- (3) アドレスがSxIN/DxINの設定に従ってインクリメント/デクリメントされます。
- (4) 転送カウンタがデクリメントされます。
- (5) (1)~(4)を転送カウンタが"0"になるまで繰り返します。
- (6) 転送カウンタが"0"になった場合は、HSDMAイネーブルビットHSx_ENがクリアされ、割り込みコントローラのHSDMA割り込み要因フラグが"1"にセットされます(DINTENx="1"の場合)。

ブロック転送モード

コントロール情報のDxMODが"10"に設定されているチャンネルは、ブロック転送モードで動作します。ブロック転送モードは、1回のトリガに対してBLKLENxで設定したサイズのブロックを1回転送して終了します。転送カウンタに設定した回数のブロック転送を行うためには、その回数分のトリガが必要です。ブロック転送モードの動作を図V.2.5のフローチャートに示します。



図V.2.5 ブロック転送モードの動作フロー

- (1) トリガを受け付けると、トリガフラグHSx_TFがクリアされ、コントロール情報に設定されたサイズのデータを転送元アドレスから読み出します。
- (2) 読み出したデータを転送先アドレスに書き込みます。
- (3) アドレスのインクリメント/デクリメント、BLKLENxのデクリメントを行います。
- (4) (1)~(3)をBLKLENxが"0"になるまで繰り返します。
- (5) SxIN/DxINが"10"の場合は、アドレスを初期値に戻します。
- (6) 転送カウンタがデクリメントされます。
- (7) 転送カウンタが"0"になった場合は、HSDMAイネーブルビットHSx_ENがクリアされ、割り込みコントローラのHSDMA割り込み要因フラグが"1"にセットされます(DINTENx="1"の場合)。

シングルアドレスモードの動作

各転送モードの動作はデュアルアドレスモードとほとんど同じです(前節参照)。

ただし、シングルアドレスモードでは転送元データの読み出しと転送先への書き込みが同時に行われます。以下、デュアルアドレスモードと異なる点を説明します。

#DMAACKx信号の出力とバスオペレーション

HSDMA回路はDMA要求を受け付けると、#DMAACKx端子からLowレベルのパルスを出力するとともに、メモリに対するバスオペレーションを実行します。

このバスオペレーションの内容は次のとおりです。

- I/Oデバイスからメモリへのデータ転送

アドレスバスにメモリアドレスレジスタに設定されたアドレスが出力されます。

転送先のメモリが属するエリアに設定されたインタフェース条件で、ライト動作を行います。データバスはハイインピーダンスにしたままです。

外部I/Oデバイスは#DMAACKx信号をリード信号として、転送データをデータバスに出力します。

メモリは、このデータをライト信号により取り込みます。

- メモリからI/Oデバイスへのデータ転送

アドレスバスにメモリアドレスレジスタに設定されたアドレスが出力されます。

転送元のメモリが属するエリアに設定されたインタフェース条件で、リード動作を行います。

メモリは、リード信号によって転送データをデータバスに出力します。

外部I/Oデバイスは#DMAACKx信号をライト信号として、そのデータをデータバスから取り込みます。

転送データサイズが16ビットでI/Oデバイスが8ビットの場合は、2回のバスオペレーションを実行します。それ以外は1回のバスオペレーションで転送は終了します。

#DMAENDx信号の出力

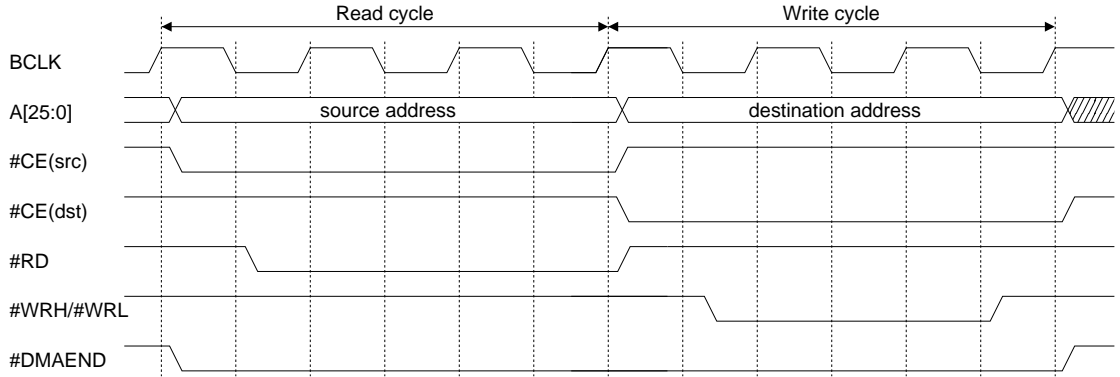
転送カウンタが"0"になると、#DMAENDx端子から指定回数の転送が終了したことを示す転送終了信号が出力されます。同時に、HSDMA転送終了割り込み要因が発生します。

タイミングチャート

デュアルアドレスモード

SRAMタイプ

例: 2サイクル(RD)1サイクル(WR)のウェイトを挿入した場合

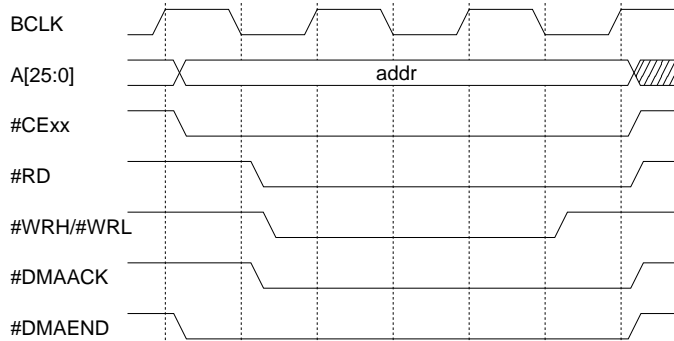


図V.2.6 #DMAEND信号出力タイミング(SRAMタイプ)

シングルアドレスモード

(1)SRAMタイプ

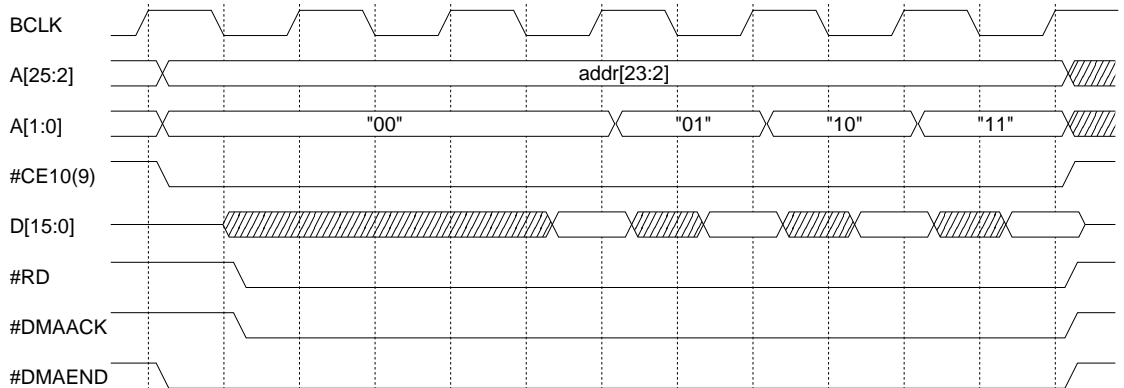
例: 2サイクル(RD)1サイクル(WR)のウェイトを挿入した場合



図V.2.7 #DMAACK/#DMAEND信号出力タイミング(SRAMタイプ)

(2)バーストロムタイプ

例: 4連続バースト、最初のアクセスを2ウェイトに設定した場合



図V.2.8 #DMAACK/#DMAEND信号出力タイミング(バーストロムタイプ)

HSDMAの割り込み機能

HSDMAコントローラは、HSDMA各チャネルの転送カウンタが"0"になった時点で割り込みを発生、またはIDMAを起動することができます。

割り込みコントローラの制御レジスタ

各チャネルに用意されている割り込みコントローラの制御レジスタを、表V.2.3に示します。

表V.2.3 割り込みコントローラの制御レジスタ

HSDMA Ch.	割り込み要因フラグ	割り込みイネーブルレジスタ	割り込みプライオリティレジスタ
Ch.0	FHDM0(D0/0x40281)	EHDM0(D0/0x40271)	PHSD0L[2:0](D[2:0]/0x40263)
Ch.1	FHDM1(D1/0x40281)	EHDM1(D1/0x40271)	PHSD1L[2:0](D[6:4]/0x40263)
Ch.2	FHDM2(D2/0x40281)	EHDM2(D2/0x40271)	PHSD2L[2:0](D[2:0]/0x40264)
Ch.3	FHDM3(D3/0x40281)	EHDM3(D3/0x40271)	PHSD3L[2:0](D[6:4]/0x40264)

HSDMAコントローラは一連のHSDMA転送が終了し、転送カウンタが"0"になったところでHSDMA割り込み要因フラグを"1"にセットします。このときに、対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。

割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、割り込みを禁止することもできます。HSDMA割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず"0"に設定されていても、各チャネルのデータ転送終了時に"1"にセットされます。

割り込みプライオリティレジスタは、割り込みの優先レベル(0~7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。

また、HSDMA割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定したHSDMA割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITQ(割り込みコントローラ)"を参照してください。

インテリジェントDMA

HSDMA Ch.0とCh.1の転送終了割り込み要因によってインテリジェントDMA(IDMA)を起動することができます。HSDMAに設定されたIDMAチャネル番号は次のとおりです。

IDMA Ch.

Ch.0転送終了割り込み: 0x05

Ch.1転送終了割り込み: 0x06

IDMAを起動させるには、割り込み要因に対応するIDMAリクエストビットとIDMAイネーブルビットに"1"を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。

表V.2.4 IDMA転送の制御ビット

HSDMA Ch.	IDMAリクエストビット	IDMAイネーブルビット
Ch.0	RHDM0(D4/0x40290)	DEHDM0(D4/0x40294)
Ch.1	RHDM1(D5/0x40290)	DEHDM1(D5/0x40294)

IDMAリクエストビットとIDMAイネーブルビットが"1"に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はIDMAによる転送終了後に発生します。また、IDMAの転送のみを行い、割り込みは発生しないように設定することもできます。IDMAによるデータ転送とIDMA転送終了後の割り込み制御については、"IDMA(インテリジェントDMA)"を参照してください。

トラップベクタ

各チャネルの割り込み要因のトラップベクタアドレスは、デフォルトでそれぞれ以下のとおり設定されています。

Ch.0転送終了割り込み: 0x0C00058

Ch.1転送終了割り込み: 0x0C0005C

Ch.2転送終了割り込み: 0x0C00060

Ch.3転送終了割り込み: 0x0C00064

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134 ~ 0x48137)で変更することも可能です。

HSDMAのI/Oメモリ

表V.2.5にHSDMAの制御ビットを示します。

表V.2.5 HSDMAの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
高速DMA Ch.0/1割り込み プライオリティ レジスタ	0040263 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PHSD1L2	高速DMA Ch.1	0 ~ 7	X	R/W	
		D5	PHSD1L1	割り込みレベル		X		
		D4	PHSD1L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PHSD0L2	高速DMA Ch.0	0 ~ 7	X	R/W	
		D1	PHSD0L1	割り込みレベル		X		
		D0	PHSD0L0			X		
高速DMA Ch.2/3割り込み プライオリティ レジスタ	0040264 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PHSD3L2	高速DMA Ch.3	0 ~ 7	X	R/W	
		D5	PHSD3L1	割り込みレベル		X		
		D4	PHSD3L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PHSD2L2	高速DMA Ch.2	0 ~ 7	X	R/W	
		D1	PHSD2L1	割り込みレベル		X		
		D0	PHSD2L0			X		
DMA割り込み イネーブル レジスタ	0040271 (B)	D7~5	—	reserved	—	—	—	読み出し時: 0
		D4	EIDMA	IDMA	1 許可	0 禁止	0	R/W
		D3	EHDM3	高速DMA Ch.3			0	R/W
		D2	EHDM2	高速DMA Ch.2			0	R/W
		D1	EHDM1	高速DMA Ch.1			0	R/W
		D0	EHDM0	高速DMA Ch.0			0	R/W
DMA割り込み 要因フラグ レジスタ	0040281 (B)	D7~5	—	reserved	—	—	—	読み出し時: 0
		D4	FIDMA	IDMA	1 要因発生	0 要因なし	X	R/W
		D3	FHDM3	高速DMA Ch.3			X	R/W
		D2	FHDM2	高速DMA Ch.2			X	R/W
		D1	FHDM1	高速DMA Ch.1			X	R/W
		D0	FHDM0	高速DMA Ch.0			X	R/W
ポート入力0~3, 高速DMA Ch.0/1, 16bitタイマ0 IDMAリクエスト レジスタ	0040290 (B)	D7	R16TC0	16bitタイマ0コンペアA	1 IDMA要求	0 割り込み 要求	0	R/W
		D6	R16TU0	16bitタイマ0コンペアB			0	R/W
		D5	RHDM1	高速DMA Ch.1			0	R/W
		D4	RHDM0	高速DMA Ch.0			0	R/W
		D3	RP3	ポート入力3			0	R/W
		D2	RP2	ポート入力2			0	R/W
		D1	RP1	ポート入力1			0	R/W
		D0	RP0	ポート入力0			0	R/W
ポート入力0~3, 高速DMA Ch.0/1, 16bitタイマ0 IDMAイネーブル レジスタ	0040294 (B)	D7	DE16TC0	16bitタイマ0コンペアA	1 IDMA許可	0 IDMA禁止	0	R/W
		D6	DE16TU0	16bitタイマ0コンペアB			0	R/W
		D5	DEHDM1	高速DMA Ch.1			0	R/W
		D4	DEHDM0	高速DMA Ch.0			0	R/W
		D3	DEP3	ポート入力3			0	R/W
		D2	DEP2	ポート入力2			0	R/W
		D1	DEP1	ポート入力1			0	R/W
		D0	DEP0	ポート入力0			0	R/W

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
高速DMA Ch.0/1 トリガ設定 レジスタ	0040298 (B)	D7 D6 D5 D4	HSD1S3 HSD1S2 HSD1S1 HSD1S0	高速DMA Ch.1トリガ設定	0 ソフトウェアトリガ 1 K51入力(立ち下がりエッジ) 2 K51入力(立ち上がりエッジ) 3 ポート1入力 4 ポート5入力 5 8bitタイマCh.1アンダーフロー 6 16bitタイマCh.1コンペアB 7 16bitタイマCh.1コンペアA 8 16bitタイマCh.5コンペアB 9 16bitタイマCh.5コンペアA A SI/F Ch.1 Rx bufフル B SI/F Ch.1 Tx bufエンブティ C A/D変換終了 D FSI/F Ch.0 Rx bufフル E FSI/F Ch.0 Tx bufエンブティ	0 0 0 0	R/W	
		D3 D2 D1 D0	HSD0S3 HSD0S2 HSD0S1 HSD0S0	高速DMA Ch.0トリガ設定	0 ソフトウェアトリガ 1 K50入力(立ち下がりエッジ) 2 K50入力(立ち上がりエッジ) 3 ポート0入力 4 ポート4入力 5 8bitタイマCh.0アンダーフロー 6 16bitタイマCh.0コンペアB 7 16bitタイマCh.0コンペアA 8 16bitタイマCh.4コンペアB 9 16bitタイマCh.4コンペアA A SI/F Ch.0 Rx bufフル B SI/F Ch.0 Tx bufエンブティ C A/D変換終了 D reserved E reserved	0 0 0 0	R/W	
高速DMA Ch.2/3 トリガ設定 レジスタ	0040299 (B)	D7 D6 D5 D4	HSD3S3 HSD3S2 HSD3S1 HSD3S0	高速DMA Ch.3トリガ設定	0 ソフトウェアトリガ 1 K54入力(立ち下がりエッジ) 2 K54入力(立ち上がりエッジ) 3 ポート3入力 4 ポート7入力 5 8bitタイマCh.3アンダーフロー 6 16bitタイマCh.3コンペアB 7 16bitタイマCh.3コンペアA 8 16bitタイマCh.5コンペアB 9 16bitタイマCh.5コンペアA A SI/F Ch.1 Rx bufフル B SI/F Ch.1 Tx bufエンブティ C A/D変換終了 D FSI/F Ch.0 Rx bufフル E FSI/F Ch.0 Tx bufエンブティ	0 0 0 0	R/W	
		D3 D2 D1 D0	HSD2S3 HSD2S2 HSD2S1 HSD2S0	高速DMA Ch.2トリガ設定	0 ソフトウェアトリガ 1 K53入力(立ち下がりエッジ) 2 K53入力(立ち上がりエッジ) 3 ポート2入力 4 ポート6入力 5 8bitタイマCh.2アンダーフロー 6 16bitタイマCh.2コンペアB 7 16bitタイマCh.2コンペアA 8 16bitタイマCh.4コンペアB 9 16bitタイマCh.4コンペアA A SI/F Ch.0 Rx bufフル B SI/F Ch.0 Tx bufエンブティ C A/D変換終了 D reserved E reserved	0 0 0 0	R/W	
高速DMA ソフトウェア トリガレジスタ	004029A (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	HST3	HSDMA Ch.3ソフトウェアトリガ	1 トリガ	0 無効	0 W	
		D2	HST2	HSDMA Ch.2ソフトウェアトリガ			0 W	
		D1	HST1	HSDMA Ch.1ソフトウェアトリガ			0 W	
		D0	HST0	HSDMA Ch.0ソフトウェアトリガ			0 W	
K5機能選択 レジスタ	00402C0 (B)	D7-5	—	reserved	—	—	—	読み出し時: 0
		D4	CFK54	K54機能選択	1 #DMAREQ3	0 K54	0 R/W	
		D3	CFK53	K53機能選択	1 #DMAREQ2	0 K53	0 R/W	
		D2	CFK52	K52機能選択	1 #ADTRG	0 K52	0 R/W	
		D1	CFK51	K51機能選択	1 #DMAREQ1	0 K51	0 R/W	
		D0	CFK50	K50機能選択	1 #DMAREQ0	0 K50	0 R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈
P1機能選択 レジスタ	00402D4 (B)	D7	—	reserved	—			—	—	読み出し時: 0
		D6	CFP16	P16機能選択	1 EXCL5 #DMAEND1	0 P16	0	R/W	拡張機能(0x402D7)	
		D5	CFP15	P15機能選択	1 EXCL4 #DMAEND0	0 P15	0	R/W		
		D4	CFP14	P14機能選択	1 FOSC1	0 P14	0	R/W		拡張機能(0x402DF)
		D3	CFP13	P13機能選択	1 EXCL3 T8UF3	0 P13	0	R/W		
		D2	CFP12	P12機能選択	1 EXCL2 T8UF2	0 P12	0	R/W		
		D1	CFP11	P11機能選択	1 EXCL1 T8UF1	0 P11	0	R/W		
		D0	CFP10	P10機能選択	1 EXCL0 T8UF0	0 P10	0	R/W		
P1 I/O制御 レジスタ	00402D6 (B)	D7	—	reserved	—			—	—	読み出し時: 0
		D6	IOC16	P16 I/O制御	1 出力	0 入力	0	R/W	読み出し値は、ポー ト端子のI/O制御信号 の値(詳細説明参照)	
		D5	IOC15	P15 I/O制御			0	R/W		
		D4	IOC14	P14 I/O制御			0	R/W		
		D3	IOC13	P13 I/O制御			0	R/W		
		D2	IOC12	P12 I/O制御			0	R/W		
		D1	IOC11	P11 I/O制御			0	R/W		
		D0	IOC10	P10 I/O制御			0	R/W		
P3機能選択 レジスタ	00402DC (B)	D7-6	—	reserved	—			—	—	読み出し時: 0
		D5	CFP35	P35機能選択	1 #BUSACK	0 P35	0	R/W	拡張機能(0x300047)	
		D4	CFP34	P34機能選択	1 #BUSREQ #CE6	0 P34	0	R/W		
		D3	CFP33	P33機能選択	1 #DMAACK1	0 P33	0	R/W	拡張機能(0x402D7)	
		D2	CFP32	P32機能選択	1 #DMAACK0	0 P32	0	R/W		
		D1	CFP31	P31機能選択	1 #BUSGET	0 P31	0	R/W	拡張機能(0x402DF)	
		D0	CFP30	P30機能選択	1 #WAIT #CE4/#CE5	0 P30	0	R/W		
ポート機能拡張 レジスタ	00402DF (B)	D7	CFEX7	P07ポート機能拡張	1 #DMAEND3	0 P07, etc.	0	R/W		
		D6	CFEX6	P06ポート機能拡張	1 #DMAACK3	0 P06, etc.	0	R/W		
		D5	CFEX5	P05ポート機能拡張	1 #DMAEND2	0 P05, etc.	0	R/W		
		D4	CFEX4	P04ポート機能拡張	1 #DMAACK2	0 P04, etc.	0	R/W		
		D3	CFEX3	P31ポート機能拡張	1 #GARD	0 P31, etc.	0	R/W		
		D2	CFEX2	P21ポート機能拡張	1 #GAAS	0 P21, etc.	0	R/W		
		D1	CFEX1	P10, P11, P13ポート機能拡張	1 DST0 DST1 DPCO	0 P10, etc. P11, etc. P13, etc.	1	R/W		
		D0	CFEX0	P12, P14ポート機能拡張	1 DST2 DCLK	0 P12, etc. P14, etc.	1	R/W		
高速DMA Ch.0 転送カウンタ レジスタ	0048220 (HW)	DF	TC0_L7	Ch.0転送カウンタ[7:0] (ブロック転送モード)				X	R/W	
		DE	TC0_L6					X		
		DD	TC0_L5					X		
		DC	TC0_L4					X		
		DB	TC0_L3					X		
		DA	TC0_L2					X		
		D9	TC0_L1					X		
		D8	TC0_L0					X		
		D7	BLKLEN07	Ch.0ブロック長 (ブロック転送モード)				X	R/W	
		D6	BLKLEN06					X		
		D5	BLKLEN05	Ch.0転送カウンタ[7:0] (シングル/連続転送モード)				X		
		D4	BLKLEN04					X		
		D3	BLKLEN03					X		
		D2	BLKLEN02					X		
		D1	BLKLEN01					X		
		D0	BLKLEN00					X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
高速DMA Ch.0 制御レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048222 (HW)	DF	DUALM0	Ch.0アドレスモード選択	1 デュアル 0 シングル	0	R/W	
		DE	D0DIR	D) 無効 S) Ch.0転送方向制御	— 1 メモリWR 0 メモリRD	— 0	— R/W	
		DD-8	—	reserved	—	—	—	
		D7	TC0_H7	Ch.0転送カウンタ[15:8] (ブロック転送モード)		X	R/W	
		D6	TC0_H6			X		
		D5	TC0_H5			X		
		D4	TC0_H4	Ch.0転送カウンタ[23:16] (シングル/連続転送モード)		X		
		D3	TC0_H3			X		
		D2	TC0_H2			X		
		D1	TC0_H1			X		
		D0	TC0_H0			X		
高速DMA Ch.0 転送元下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048224 (HW)	DF	S0ADRL15	D) Ch.0転送元アドレス[15:0]		X	R/W	
		DE	S0ADRL14	S) Ch.0メモリアドレス[15:0]		X		
		DD	S0ADRL13			X		
		DC	S0ADRL12			X		
		DB	S0ADRL11			X		
		DA	S0ADRL10			X		
		D9	S0ADRL9			X		
		D8	S0ADRL8			X		
		D7	S0ADRL7			X		
		D6	S0ADRL6			X		
		D5	S0ADRL5			X		
		D4	S0ADRL4			X		
		D3	S0ADRL3			X		
		D2	S0ADRL2			X		
		D1	S0ADRL1			X		
		D0	S0ADRL0			X		
高速DMA Ch.0 転送元上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048226 (HW)	DF	—	reserved	—	—	—	読み出し時: 不定
		DE	DATSIZE0	Ch.0転送データサイズ	1 ハーフワード 0 バイト	0	R/W	
		DD	S0IN1	D) Ch.0転送元アドレス制御	S0IN[1:0]	0	R/W	
		DC	S0IN0	S) Ch.0メモリアドレス制御	1 1	Inc.(initなし) Inc.(init) Dec.(initなし) 固定	0	
					1 0			
					0 1			
					0 0			
		DB	S0ADRH11	D) Ch.0転送元アドレス[27:16]		X	R/W	
		DA	S0ADRH10	S) Ch.0メモリアドレス[27:16]		X		
		D9	S0ADRH9			X		
		D8	S0ADRH8			X		
		D7	S0ADRH7			X		
		D6	S0ADRH6			X		
		D5	S0ADRH5			X		
		D4	S0ADRH4			X		
		D3	S0ADRH3			X		
		D2	S0ADRH2			X		
		D1	S0ADRH1			X		
		D0	S0ADRH0			X		
高速DMA Ch.0 転送先下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048228 (HW)	DF	D0ADRL15	D) Ch.0転送先アドレス[15:0]		X	R/W	
		DE	D0ADRL14	S) 無効		X		
		DD	D0ADRL13			X		
		DC	D0ADRL12			X		
		DB	D0ADRL11			X		
		DA	D0ADRL10			X		
		D9	D0ADRL9			X		
		D8	D0ADRL8			X		
		D7	D0ADRL7			X		
		D6	D0ADRL6			X		
		D5	D0ADRL5			X		
		D4	D0ADRL4			X		
		D3	D0ADRL3			X		
		D2	D0ADRL2			X		
		D1	D0ADRL1			X		
		D0	D0ADRL0			X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈						
高速DMA Ch.0 転送先上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	004822A (HW)	DF	D0MOD1	Ch.0転送モード	D0MOD[1:0]		モード 無効 ブロック転送 連続転送 シングル転送	0	R/W								
		DE	D0MOD0		1	1		0			0						
					1	0		0			1						
					0	1											
					0	0											
		DD	D0IN1		D) Ch.0転送先アドレス制御 S) 無効	D0IN[1:0]		Inc/dec Inc.(initなし) Inc.(init) Dec.(initなし) 固定			0	R/W					
		DC	D0IN0			1					1			1	0	0	0
						1					0			0	1		
						0					1						
						0					0						
		DB	D0ADRH11	D) Ch.0転送先アドレス[27:16] S) 無効						X	R/W						
		DA	D0ADRH10							X							
		D9	D0ADRH9							X							
		D8	D0ADRH8							X							
		D7	D0ADRH7							X							
		D6	D0ADRH6		X												
		D5	D0ADRH5		X												
		D4	D0ADRH4		X												
		D3	D0ADRH3		X												
		D2	D0ADRH2		X												
D1	D0ADRH1	X															
D0	D0ADRH0	X															
高速DMA Ch.0 イネーブル レジスタ	004822C (HW)	DF-1	—	reserved	—				—	—	読み出し時: 不定						
		D0	HS0_EN	Ch.0イネーブル	1	許可	0	禁止	0	R/W							
高速DMA Ch.0 トリガフラグ レジスタ	004822E (HW)	DF-1	—	reserved	—				—	—	読み出し時: 不定						
		D0	HS0_TF	Ch.0トリガフラグクリア(WR) Ch.0トリガフラグステータス(RD)	1	クリア	0	無効	0	R/W							
					1	セット	0	クリア									
高速DMA Ch.1 転送カウンタ レジスタ	0048230 (HW)	DF	TC1_L7	Ch.1転送カウンタ[7:0] (ブロック転送モード)					X	R/W							
		DE	TC1_L6						X								
		DD	TC1_L5						X								
		DC	TC1_L4						X								
		DB	TC1_L3						X								
		DA	TC1_L2	Ch.1転送カウンタ[15:8] (シングル/連続転送モード)					X	R/W							
		D9	TC1_L1						X								
		D8	TC1_L0						X								
		D7	BLKLEN17						X								
		D6	BLKLEN16						X								
		D5	BLKLEN15	Ch.1ブロック長 (ブロック転送モード) Ch.1転送カウンタ[7:0] (シングル/連続転送モード)					X								
		D4	BLKLEN14						X								
		D3	BLKLEN13						X								
		D2	BLKLEN12						X								
		D1	BLKLEN11						X								
		D0	BLKLEN10						X								
高速DMA Ch.1 制御レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048232 (HW)	DF	DUALM1	Ch.1アドレスモード選択	1	デュアル	0	シングル	0	R/W							
		DE	D1DIR	D)無効 S) Ch.1転送方向制御	—		—	—	—	—							
					1	メモリWR	0	メモリRD	0	R/W							
		DD-8	—	reserved	—				—	—	読み出し時: 不定	R/W					
		D7	TC1_H7	Ch.1転送カウンタ[15:8] (ブロック転送モード)					X								
		D6	TC1_H6						X								
		D5	TC1_H5						X								
		D4	TC1_H4						X								
		D3	TC1_H3						X								
		D2	TC1_H2	Ch.1転送カウンタ[23:16] (シングル/連続転送モード)					X								
		D1	TC1_H1						X								
		D0	TC1_H0						X								
									X								
									X								

V-2 DMAブロック: HSDMA(高速DMA)

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈				
高速DMA Ch.1 転送元下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048234 (HW)	DF	S1ADRL15	D) Ch.1転送元アドレス[15:0]		X	R/W					
		DE	S1ADRL14	S) Ch.1メモリアドレス[15:0]		X						
		DD	S1ADRL13			X						
		DC	S1ADRL12			X						
		DB	S1ADRL11			X						
		DA	S1ADRL10			X						
		D9	S1ADRL9			X						
		D8	S1ADRL8			X						
		D7	S1ADRL7			X						
		D6	S1ADRL6			X						
		D5	S1ADRL5			X						
		D4	S1ADRL4			X						
		D3	S1ADRL3			X						
		D2	S1ADRL2			X						
		D1	S1ADRL1			X						
		D0	S1ADRL0			X						
		高速DMA Ch.1 転送元上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048236 (HW)	DF		—			reserved	—		—
DE	DATSIZE1			Ch.1転送データサイズ	1	ハーフワード	0	バイト	0	R/W		
DD	S1IN1			D) Ch.1転送元アドレス制御	S1IN[1:0]		Inc/dec		0	R/W		
DC	S1IN0			S) Ch.1メモリアドレス制御	1	1	Inc.(initなし)		0			
					1	0	Inc.(init)					
					0	1	Dec.(initなし)					
					0	0	固定					
DB	S1ADRH11			D) Ch.1転送元アドレス[27:16]		X	R/W					
DA	S1ADRH10			S) Ch.1メモリアドレス[27:16]		X						
D9	S1ADRH9					X						
D8	S1ADRH8					X						
D7	S1ADRH7					X						
D6	S1ADRH6					X						
D5	S1ADRH5					X						
D4	S1ADRH4					X						
D3	S1ADRH3					X						
D2	S1ADRH2					X						
D1	S1ADRH1		X									
D0	S1ADRH0		X									
高速DMA Ch.1 転送先下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048238 (HW)	DF	D1ADRL15	D) Ch.1転送先アドレス[15:0]		X	R/W					
		DE	D1ADRL14	S) 無効		X						
		DD	D1ADRL13			X						
		DC	D1ADRL12			X						
		DB	D1ADRL11			X						
		DA	D1ADRL10			X						
		D9	D1ADRL9			X						
		D8	D1ADRL8			X						
		D7	D1ADRL7			X						
		D6	D1ADRL6			X						
		D5	D1ADRL5			X						
		D4	D1ADRL4			X						
		D3	D1ADRL3			X						
		D2	D1ADRL2			X						
		D1	D1ADRL1			X						
		D0	D1ADRL0			X						
		高速DMA Ch.1 転送先上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	004823A (HW)	DF		D1MOD1			Ch.1転送モード	D1MOD[1:0]		モード
DE	D1MOD0				1	1	無効		0			
					1	0	ブロック転送					
					0	1	連続転送					
					0	0	シングル転送					
DD	D1IN1			D) Ch.1転送先アドレス制御	D1IN[1:0]		Inc/dec		0	R/W		
DC	D1IN0			S) 無効			Inc.(initなし)		0			
					1	1	Inc.(init)					
					1	0	Dec.(init)					
					0	1	Dec.(initなし)					
					0	0	固定					
DB	D1ADRH11			D) Ch.1転送先アドレス[27:16]		X	R/W					
DA	D1ADRH10			S) 無効		X						
D9	D1ADRH9					X						
D8	D1ADRH8					X						
D7	D1ADRH7					X						
D6	D1ADRH6					X						
D5	D1ADRH5		X									
D4	D1ADRH4		X									
D3	D1ADRH3		X									
D2	D1ADRH2		X									
D1	D1ADRH1		X									
D0	D1ADRH0		X									

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
高速DMA Ch.1 イネーブル レジスタ	004823C (HW)	DF-1	—	reserved	—	—	—	読み出し時: 不定
		D0	HS1_EN	Ch.1イネーブル	1 許可 0 禁止	0	R/W	
高速DMA Ch.1 トリガフラグ レジスタ	004823E (HW)	DF-1	—	reserved	—	—	—	読み出し時: 不定
		D0	HS1_TF	Ch.1トリガフラグクリア(WR) Ch.1トリガフラグステータス(RD)	1 クリア 0 無効 1 セット 0 クリア	0	R/W	
高速DMA Ch.2 転送カウンタ レジスタ	0048240 (HW)	DF	TC2_L7	Ch.2転送カウンタ[7:0] (ブロック転送モード)		X	R/W	
		DE	TC2_L6			X		
		DD	TC2_L5			X		
		DC	TC2_L4	Ch.2転送カウンタ[15:8] (シングル/連続転送モード)		X		
		DB	TC2_L3			X		
		DA	TC2_L2			X		
		D9	TC2_L1			X		
		D8	TC2_L0			X		
		D7	BLKLEN27	Ch.2ブロック長 (ブロック転送モード)		X	R/W	
		D6	BLKLEN26			X		
		D5	BLKLEN25			X		
		D4	BLKLEN24	Ch.2転送カウンタ[7:0] (シングル/連続転送モード)		X		
		D3	BLKLEN23			X		
		D2	BLKLEN22			X		
		D1	BLKLEN21			X		
		D0	BLKLEN20			X		
高速DMA Ch.2 制御レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048242 (HW)	DF	DUALM2	Ch.2アドレスモード選択	1 デュアル 0 シングル	0	R/W	
		DE	D2DIR	D) 無効 S) Ch.2転送方向制御	— 1 メモリWR 0 メモリRD	— 0	R/W	
		DD-8	—	reserved	—	—	—	読み出し時: 不定
		D7	TC2_H7	Ch.2転送カウンタ[15:8] (ブロック転送モード)		X	R/W	
		D6	TC2_H6			X		
		D5	TC2_H5			X		
		D4	TC2_H4	Ch.2転送カウンタ[23:16] (シングル/連続転送モード)		X		
		D3	TC2_H3			X		
		D2	TC2_H2			X		
		D1	TC2_H1			X		
高速DMA Ch.2 転送元下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048244 (HW)	DF	S2ADRL15	D) Ch.2転送元アドレス[15:0] S) Ch.2メモリアドレス[15:0]		X	R/W	
		DE	S2ADRL14			X		
		DD	S2ADRL13			X		
		DC	S2ADRL12			X		
		DB	S2ADRL11			X		
		DA	S2ADRL10			X		
		D9	S2ADRL9			X		
		D8	S2ADRL8			X		
		D7	S2ADRL7			X		
		D6	S2ADRL6			X		
		D5	S2ADRL5			X		
		D4	S2ADRL4			X		
		D3	S2ADRL3			X		
		D2	S2ADRL2			X		
		D1	S2ADRL1			X		
		D0	S2ADRL0			X		
高速DMA Ch.2 転送元上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048246 (HW)	DF	—	reserved	—	—	—	読み出し時: 不定
		DE	DATSIZE2	Ch.2転送データサイズ	1 ハーフワード 0 バイト	0	R/W	
		DD	S2IN1	D) Ch.2転送元アドレス制御	S2IN[1:0]	Inc/dec	0	R/W
		DC	S2IN0	S) Ch.2メモリアドレス制御	1 1 Inc.(initなし) 1 0 Inc.(init) 0 1 Dec.(initなし) 0 0 固定	0		
		DB	S2ADRH11	D) Ch.2転送元アドレス[27:16] S) Ch.2メモリアドレス[27:16]		X	R/W	
		DA	S2ADRH10			X		
		D9	S2ADRH9			X		
		D8	S2ADRH8			X		
		D7	S2ADRH7			X		
		D6	S2ADRH6			X		
		D5	S2ADRH5			X		
		D4	S2ADRH4			X		
		D3	S2ADRH3			X		
		D2	S2ADRH2			X		
		D1	S2ADRH1			X		
		D0	S2ADRH0			X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈			
高速DMA Ch.2 転送先下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048248 (HW)	DF	D2ADRL15	D) Ch.2転送先アドレス[15:0] S) 無効		X	R/W				
		DE	D2ADRL14			X					
		DD	D2ADRL13			X					
		DC	D2ADRL12			X					
		DB	D2ADRL11			X					
		DA	D2ADRL10			X					
		D9	D2ADRL9			X					
		D8	D2ADRL8			X					
		D7	D2ADRL7			X					
		D6	D2ADRL6			X					
		D5	D2ADRL5			X					
		D4	D2ADRL4			X					
		D3	D2ADRL3			X					
		D2	D2ADRL2			X					
		D1	D2ADRL1			X					
		D0	D2ADRL0			X					
		高速DMA Ch.2 転送先上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	004824A (HW)			DF			D2MOD1	Ch.2転送モード	D2MOD[1:0]
DE	D2MOD0			1	1	無効		0			
				1	0	ブロック転送		R/W			
				0	1	連続転送					
				0	0	シングル転送					
DD	D2IN1			D) Ch.2転送先アドレス制御 S) 無効	D2IN[1:0]		Inc/dec		0	R/W	
DC	D2IN0				Inc.(initなし)		0				
					Inc.(init)		R/W				
					Dec.(initなし)						
					固定						
DB	D2ADRH11			D) Ch.2転送先アドレス[27:16] S) 無効					X	R/W	
DA	D2ADRH10				X						
D9	D2ADRH9				X						
D8	D2ADRH8				X						
D7	D2ADRH7				X						
D6	D2ADRH6				X						
D5	D2ADRH5				X						
D4	D2ADRH4	X									
D3	D2ADRH3	X									
D2	D2ADRH2	X									
D1	D2ADRH1	X									
D0	D2ADRH0	X									
高速DMA Ch.2 イネーブル レジスタ	004824C (HW)	DF-1	—	reserved	—		—	—	読み出し時: 不定		
		D0	HS2_EN	Ch.2イネーブル	1	許可	0	禁止	0	R/W	
高速DMA Ch.2 トリガフラグ レジスタ	004824E (HW)	DF-1	—	reserved	—		—	—	読み出し時: 不定		
		D0	HS2_TF	Ch.2トリガフラグクリア(WR)	1	クリア	0	無効	0	R/W	
Ch.2トリガフラグステータス(RD)	1			セット	0	クリア					
高速DMA Ch.3 転送カウンタ レジスタ	0048250 (HW)	DF	TC3_L7	Ch.3転送カウンタ[7:0] (ブロック転送モード) Ch.3転送カウンタ[15:8] (シングル/連続転送モード)			X	R/W			
		DE	TC3_L6		X						
		DD	TC3_L5		X						
		DC	TC3_L4		X						
		DB	TC3_L3		X						
		DA	TC3_L2		X						
		D9	TC3_L1		X						
		D8	TC3_L0		X						
		D7	BLKLEN37	Ch.3ブロック長 (ブロック転送モード) Ch.3転送カウンタ[7:0] (シングル/連続転送モード)			X	R/W			
		D6	BLKLEN36		X						
		D5	BLKLEN35		X						
		D4	BLKLEN34		X						
		D3	BLKLEN33		X						
		D2	BLKLEN32		X						
		D1	BLKLEN31		X						
		D0	BLKLEN30		X						

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈			
高速DMA Ch.3 制御レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048252 (HW)	DF	DUALM3	Ch.3アドレスモード選択	1	デュアル	0	シングル	0	R/W			
		DE	D3DIR	D)無効	—			—	—				
				S) Ch.3転送方向制御	1	メモリWR	0	メモリRD	0	R/W			
		DD-8	—	reserved	—			—	—	—	読み出し時: 不定		
		D7	TC3_H7	Ch.3転送カウンタ[15:8] (ブロック転送モード) Ch.3転送カウンタ[23:16] (シングル/連続転送モード)				X	R/W				
		D6	TC3_H6					X					
		D5	TC3_H5					X					
		D4	TC3_H4					X					
		D3	TC3_H3					X					
		D2	TC3_H2					X					
D1	TC3_H1				X								
D0	TC3_H0				X								
高速DMA Ch.3 転送元下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048254 (HW)	DF	S3ADRL15	D) Ch.3転送元アドレス[15:0]				X	R/W				
		DE	S3ADRL14	S) Ch.3メモリアドレス[15:0]				X					
		DD	S3ADRL13				X						
		DC	S3ADRL12				X						
		DB	S3ADRL11				X						
		DA	S3ADRL10				X						
		D9	S3ADRL9				X						
		D8	S3ADRL8				X						
		D7	S3ADRL7				X						
		D6	S3ADRL6				X						
		D5	S3ADRL5				X						
		D4	S3ADRL4				X						
		D3	S3ADRL3				X						
		D2	S3ADRL2				X						
		D1	S3ADRL1				X						
		D0	S3ADRL0				X						
		高速DMA Ch.3 転送元上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048256 (HW)	DF	—	reserved	—				—	—	読み出し時: 不定
				DE	DATSIZE3	Ch.3転送データサイズ	1	ハーフワード	0		バイト	0	R/W
DD	S3IN1			D) Ch.3転送元アドレス制御	S3IN[1:0]		Inc/dec		0	R/W			
DC	S3IN0			S) Ch.3メモリアドレス制御	1	1	Inc.(initなし)		0				
					1	0	Inc.(init)						
					0	1	Dec.(initなし)						
					0	0	固定						
DB	S3ADRH11			D) Ch.3転送元アドレス[27:16]				X	R/W				
DA	S3ADRH10			S) Ch.3メモリアドレス[27:16]				X					
D9	S3ADRH9						X						
D8	S3ADRH8						X						
D7	S3ADRH7						X						
D6	S3ADRH6						X						
D5	S3ADRH5						X						
D4	S3ADRH4						X						
D3	S3ADRH3						X						
D2	S3ADRH2						X						
D1	S3ADRH1						X						
D0	S3ADRH0						X						
高速DMA Ch.3 転送先下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048258 (HW)	DF	D3ADRL15	D) Ch.3転送先アドレス[15:0]				X	R/W				
		DE	D3ADRL14	S) 無効				X					
		DD	D3ADRL13				X						
		DC	D3ADRL12				X						
		DB	D3ADRL11				X						
		DA	D3ADRL10				X						
		D9	D3ADRL9				X						
		D8	D3ADRL8				X						
		D7	D3ADRL7				X						
		D6	D3ADRL6				X						
		D5	D3ADRL5				X						
		D4	D3ADRL4				X						
		D3	D3ADRL3				X						
		D2	D3ADRL2				X						
		D1	D3ADRL1				X						
		D0	D3ADRL0				X						

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈
高速DMA Ch.3 転送先上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	004825A (HW)	DF DE	D3MOD1 D3MOD0	Ch.3転送モード	D3MOD[1:0]		モード		0	R/W	
					1	1	無効				
					1	0	ブロック転送				
					0	1	連続転送				
					0	0	シングル転送				
		DD DC	D3IN1 D3IN0	D) Ch.3転送先アド レス制御 S) 無効	D3IN[1:0]		Inc/dec		0	R/W	
					1	1	Inc.(initなし)				
					1	0	Inc.(init)				
					0	1	Dec.(initなし)				
					0	0	固定				
		DB DA D9 D8 D7 D6 D5 D4 D3 D2 D1 D0	D3ADRH11 D3ADRH10 D3ADRH9 D3ADRH8 D3ADRH7 D3ADRH6 D3ADRH5 D3ADRH4 D3ADRH3 D3ADRH2 D3ADRH1 D3ADRH0	D) Ch.3転送先アドレス[27:16] S) 無効					X	R/W	
									X		
									X		
									X		
									X		
									X		
									X		
									X		
									X		
									X		
高速DMA Ch.3 イネーブル レジスタ											
004825C (HW)	DF-1	—	reserved	—				—	—	読み出し時: 不定	
	D0	HS3_EN	Ch.3イネーブル	1	許可	0	禁止	0	R/W		
高速DMA Ch.3 トリガフラグ レジスタ											
004825E (HW)	DF-1	—	reserved	—				—	—	読み出し時: 不定	
	D0	HS3_TF	Ch.3トリガフラグクリア(WR) Ch.3トリガフラグステータス(RD)	1	クリア	0	無効	0	R/W		
1	セット	0	クリア								

CFK51–CFK50: K5[1:0]端子機能選択(D[1:0]/0x402C0<K5機能選択レジスタ>)

CFK54–CFK53: K5[4:3]端子機能選択(D[4:3]/0x402C0<K5機能選択レジスタ>)

HSDMAの#DMAREQx端子を設定します。

"1"書き込み: #DMAREQx入力

"0"書き込み: 入力ポート

読み出し: 可能

CFK50、CFK51、CFK53、CFK54はそれぞれK5(#DMAREQ0)、K5(#DMAREQ1)、K5(#DMAREQ2)、K5(#DMAREQ3)の機能選択ビットです。

#DMAREQx信号を使用する場合はCFK5xに"1"を書き込んで、K5x端子を#DMAREQx端子に設定してください。

"0"を書き込んだ場合、その端子は入力ポート端子となります。

コールドスタート時、CFK5xは"0"(入力ポート)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

CFP16–CFP15: P1[6:5]端子機能選択(D[6:5]/0x402D4<P1機能選択レジスタ>)

HSDMAの#DMAENDx端子を設定します。

"1"書き込み: #DMAENDx出力

"0"書き込み: 入出力兼用ポート

読み出し: 可能

#DMAEND0信号を使用する場合はCFP15に"1"を書き込んで、P15端子を#DMAEND0端子に設定してください。同様に、#DMAEND1信号を使用する場合はCFP16に"1"を書き込んでP16端子を#DMAEND1端子に設定してください。さらに、これらの端子に対応するI/O制御ビットに"1"を書き込んで、出力モードに設定してください。

"0"を書き込んだ場合、その端子は入出力兼用ポート端子となります。

コールドスタート時、CFP1xは"0"(入出力兼用ポート)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

IOC16–IOC15: P1[6:5]ポートI/O制御(D[6:5]/0x402D6<P1 I/O制御レジスタ>)

入出力兼用ポートの入力/出力モードの設定とI/O制御信号の値の読み出しが行えます。

- データ書き込み時

"1"書き込み: 出力モード

"0"書き込み: 入力モード

#DMAEND0端子(Ch.0)を使用する場合はIOC15に、#DMAEND1端子(Ch.1)を使用する場合はIOC16に"1"を書き込んで、出力モードに設定してください。CFP15、CFP16が"1"に設定されている場合でも、入力モードに設定されていると、P15、P16端子は#DMAENDx出力端子として機能しません。

- データ読み出し時

"1"読み出し: I/O制御信号(出力)

"0"読み出し: I/O制御信号(入力)

ポート端子のI/O制御信号の値が読み出されます。CFP1xレジスタによって入出力兼用ポート機能を選択した場合、読み出し値はIOCレジスタへの書き込み値と一致します。一方、周辺回路を選択した場合はその回路の状態により変化し、IOCレジスタへの書き込み値とは異なる場合があります。

コールドスタート時、IOC1xレジスタはすべて"0"(入力モード)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

CFP33–CFP32: P3[3:2]端子機能選択(D[3:2]/0x402DC<P3機能選択レジスタ>)

HSDMAの#DMAACKx端子を設定します。

"1"書き込み: #DMAACKx出力

"0"書き込み: 入出力兼用ポート

読み出し: 可能

#DMAACK0信号を使用する場合は、CFP32に"1"を書き込んでP32端子を#DMAACK0端子に設定してください。同様に、#DMAACK1信号を使用する場合はCFP33に"1"を書き込んでP33端子を#DMAACK1端子に設定してください。

"0"を書き込んだ場合、その端子は入出力兼用ポート端子となります。

コールドスタート時、CFP3xは"0"(入出力兼用ポート)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

CFEX7–CFEX4: P0[7:4]端子機能拡張(D[7:4]/0x402DF<ポート機能拡張レジスタ>)

HSDMAの#DMAACKx端子と#DMAENDx端子を設定します。

"1"書き込み: HSDMA出力

"0"書き込み: 入出力兼用ポート/シリアルI/F入出力

読み出し: 可能

CFEX4～CFEX7はそれぞれP04(#DMAACK2)、P05(#DMAEND2)、P06(#DMAACK3)、P07(#DMAEND3)の機能拡張ビットです。

HSDMA用信号を使用する場合はCFEXxに"1"を書き込んで、P0x端子をHSDMA信号出力端子に設定してください。

"0"を書き込んだ場合、対応するCFPxビットの設定が有効となります。

コールドスタート時、これらのビットは"0"(入出力兼用ポート/シリアルI/F入出力)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

V

HSDMA

HSD0S3–HSD0S0: Ch.0トリガ設定(D[3:0]/0x40298<HSDMA Ch.0/1トリガ設定レジスタ>)

HSD1S3–HSD1S0: Ch.1トリガ設定(D[7:4]/0x40298<HSDMA Ch.0/1トリガ設定レジスタ>)

HSD2S3–HSD2S0: Ch.2トリガ設定(D[3:0]/0x40299<HSDMA Ch.2/3トリガ設定レジスタ>)

HSD3S3–HSD3S0: Ch.3トリガ設定(D[7:4]/0x40299<HSDMA Ch.2/3トリガ設定レジスタ>)

各HSDMAチャンネルのトリガ要因を選択します。

表V.2.6 HSDMAトリガ要因

設定値	Ch.0トリガ要因	Ch.1トリガ要因	Ch.2トリガ要因	Ch.3トリガ要因
0000	ソフトウェアトリガ	ソフトウェアトリガ	ソフトウェアトリガ	ソフトウェアトリガ
0001	K50入力(立ち下がりエッジ)	K51入力(立ち下がりエッジ)	K53入力(立ち下がりエッジ)	K54入力(立ち下がりエッジ)
0010	K50入力(立ち上がりエッジ)	K51入力(立ち上がりエッジ)	K53入力(立ち上がりエッジ)	K54入力(立ち上がりエッジ)
0011	ポート0入力	ポート1入力	ポート2 入力	ポート3入力
0100	ポート4入力	ポート5入力	ポート6入力	ポート7入力
0101	8bitタイマ0アンダーフロー	8bitタイマ1アンダーフロー	8bitタイマ2アンダーフロー	8bitタイマ3アンダーフロー
0110	16bitタイマ0コンペアB	16bitタイマ1コンペアB	16bitタイマ2コンペアB	16bitタイマ3コンペアB
0111	16bitタイマ0コンペアA	16bitタイマ1コンペアA	16bitタイマ2コンペアA	16bitタイマ3コンペアA
1000	16bitタイマ4コンペアB	16bitタイマ5コンペアB	16bitタイマ4コンペアB	16bitタイマ5コンペアB
1001	16bitタイマ4コンペアA	16bitタイマ5コンペアA	16bitタイマ4コンペアA	16bitタイマ5コンペアA
1010	シリアル I/F Ch.0 受信バッファフル	シリアル I/F Ch.1 受信バッファフル	シリアル I/F Ch.0 受信バッファフル	シリアル I/F Ch.1 受信バッファフル
1011	シリアル I/F Ch.0 送信バッファエンブティ	シリアル I/F Ch.1 送信バッファエンブティ	シリアル I/F Ch.0 送信バッファエンブティ	シリアル I/F Ch.1 送信バッファエンブティ
1100	A/D変換	A/D変換	A/D変換	A/D変換
1101	reserved	FIFOシリアル I/F Ch.0 受信バッファフル	reserved	FIFOシリアル I/F Ch.0 受信バッファフル
1110	reserved	FIFOシリアル I/F Ch.0 送信バッファエンブティ	reserved	FIFOシリアル I/F Ch.0 送信バッファエンブティ

イニシャルリセット時、HSDxSは"0000"(ソフトウェアトリガ)に設定されます。

HST0: Ch.0ソフトウェアトリガ(D0/0x4029A<HSDMAソフトウェアトリガレジスタ>)

HST1: Ch.1ソフトウェアトリガ(D1/0x4029A<HSDMAソフトウェアトリガレジスタ>)

HST2: Ch.2ソフトウェアトリガ(D2/0x4029A<HSDMAソフトウェアトリガレジスタ>)

HST3: Ch.3ソフトウェアトリガ(D3/0x4029A<HSDMAソフトウェアトリガレジスタ>)

DMA転送を開始します。

"1"書き込み: トリガ

"0"書き込み: 無効

読み出し: 無効

HSTxに"1"を書き込むことで、DMA転送を開始するトリガパルスが生成されます。

この制御は、HSDMAの該当チャンネルのトリガ要因をHSDxSでソフトウェアトリガに設定した場合にのみ有効です。

イニシャルリセット時、HSTxは"0"に設定されます。

HS0_TF: Ch.0トリガフラグクリア/ステータス(D0/0x4822E HSDMA Ch.0<トリガフラグレジスタ>)

HS1_TF: Ch.1トリガフラグクリア/ステータス(D0/0x4823E HSDMA Ch.1<トリガフラグレジスタ>)

HS2_TF: Ch.2トリガフラグクリア/ステータス(D0/0x4824E HSDMA Ch.2<トリガフラグレジスタ>)

HS3_TF: Ch.3トリガフラグクリア/ステータス(D0/0x4825E HSDMA Ch.3<トリガフラグレジスタ>)

トリガフラグの状態の確認とクリアに使用します。

"1"書き込み: トリガフラグクリア

"0"書き込み: 無効

"1"読み出し: セット状態

"0"読み出し: クリア状態

トリガフラグは各HSDMAチャンネルのトリガ要因が発生すると"1"にセットされ、そのHSDMAチャンネルがデータ転送を開始すると"0"にクリアされます。HSx_TFを読み出すことにより、その設定状態が確認できます。また、DMA転送開始前であれば、HSx_TFに"1"を書き込むことでセットされているトリガフラグをクリア(DMA転送を中止)することができます。

イニシャルリセット時、HSx_TFは"0"に設定されます。

HS0_EN: Ch.0イネーブル(D0/0x4822C HSDMA Ch.0<イネーブルレジスタ>)

HS1_EN: Ch.1イネーブル(D0/0x4823C HSDMA Ch.1<イネーブルレジスタ>)

HS2_EN: Ch.2イネーブル(D0/0x4824C HSDMA Ch.2<イネーブルレジスタ>)

HS3_EN: Ch.3イネーブル(D0/0x4825C HSDMA Ch.3<イネーブルレジスタ>)

各HSDMAチャネルのDMA転送を許可します。

"1"書き込み: 許可

"0"書き込み: 禁止

読み出し: 可能

このビットに"1"を書き込むと、DMA転送が許可されます。これにより、そのHSDMAチャネルは#DMAREQx信号または選択されているトリガ要因によるDMA要求を受け付け可能な状態となります。

"0"を書き込むと、DMA転送は禁止されます。

DMA転送が終了(転送カウンタ="0")すると、HSx_ENはハードウェアによりクリアされます。

転送条件等の設定は、DMA転送を禁止(HSx_EN = "0")してから行ってください。

イニシャルリセット時、HSx_ENは"0"(禁止)に設定されます。

DUALM0: Ch.0アドレスモード選択(DF/0x48222<HSDMA Ch.0制御レジスタ>)

DUALM1: Ch.1アドレスモード選択(DF/0x48232<HSDMA Ch.1制御レジスタ>)

DUALM2: Ch.2アドレスモード選択(DF/0x48242<HSDMA Ch.2制御レジスタ>)

DUALM3: Ch.3アドレスモード選択(DF/0x48252<HSDMA Ch.3制御レジスタ>)

アドレスモードを選択します。

"1"書き込み: デュアルアドレスモード

"0"書き込み: シングルアドレスモード

読み出し: 可能

DUALMxに"1"を書き込むと、そのHSDMAチャネルはデュアルアドレスモードに設定され、転送元と転送先アドレスを指定したデータ転送が行えます。"0"を書き込むと、外部メモリ～外部I/O間の高速なデータ転送を行うシングルアドレスモードに設定されます。

イニシャルリセット時、DUALMxは"0"(シングルアドレスモード)に設定されます。

D0DIR: Ch.0転送方向制御(DE/0x48222<HSDMA Ch.0制御レジスタ>)

D1DIR: Ch.1転送方向制御(DE/0x48232<HSDMA Ch.1制御レジスタ>)

D2DIR: Ch.2転送方向制御(DE/0x48242<HSDMA Ch.2制御レジスタ>)

D3DIR: Ch.3転送方向制御(DE/0x48252<HSDMA Ch.3制御レジスタ>)

シングルアドレスモードのデータ転送方向を制御します。

"1"書き込み: メモリライト(I/O メモリ)

"0"書き込み: メモリリード(メモリ I/O)

読み出し: 可能

DxDIRに"1"を書き込むと、外部I/Oデバイスから外部メモリへのデータ転送に設定されます。"0"を書き込むと、外部メモリから外部I/Oデバイスへのデータ転送となります。

イニシャルリセット時、DxDIRは"0"(メモリ I/O)に設定されます。

このビットはシングルアドレスモード時にのみ有効です。

D0MOD1–D0MOD0: Ch.0転送モード(D[F:E]/0x4822A<Ch.0転送先上位アドレス設定レジスタ>)

D1MOD1–D1MOD0: Ch.1転送モード(D[F:E]/0x4823A<Ch.1転送先上位アドレス設定レジスタ>)

D2MOD1–D2MOD0: Ch.2転送モード(D[F:E]/0x4824A<Ch.2転送先上位アドレス設定レジスタ>)

D3MOD1–D3MOD0: Ch.3転送モード(D[F:E]/0x4825A<Ch.3転送先上位アドレス設定レジスタ>)

転送モードを選択します。

表V.2.7 転送モード

DxMOD1	DxMOD0	モード
1	1	無効
1	0	ブロック転送モード
0	1	連続転送モード
0	0	シングル転送モード

シングル転送モードは、1回のトリガに対してDATSIZExに設定したサイズのデータを1回転送して終了します。

連続転送モードは、転送回数カウンタに設定した回数のデータ転送を1回のトリガで実行します。

ブロック転送モードは、1回のトリガに対してBLKLENxで設定したサイズのブロックを1回転送して終了します。

イニシャルリセット時、DxMODは"00"(シングル転送モード)に設定されます。

DATSIZE0: Ch.0転送データサイズ(DE/0x48226<Ch.0転送元上位アドレス設定レジスタ>)

DATSIZE1: Ch.1転送データサイズ(DE/0x48236<Ch.1転送元上位アドレス設定レジスタ>)

DATSIZE2: Ch.2転送データサイズ(DE/0x48246<Ch.2転送元上位アドレス設定レジスタ>)

DATSIZE3: Ch.3転送データサイズ(DE/0x48256<Ch.3転送元上位アドレス設定レジスタ>)

転送するデータのサイズを選択します。

"1"書き込み: ハーフワード(16ビット)

"0"書き込み: バイト(8ビット)

読み出し: 可能

DATSIZExに"1"を書き込むと転送データサイズが16ビット、"0"を書き込むと8ビットに設定されます。

イニシャルリセット時、DATSIZExは"0"(8ビット)に設定されます。

S0IN1–S0IN0: Ch.0転送元アドレス制御(D[D:C]/0x48226<Ch.0転送元上位アドレス設定レジスタ>)

S1IN1–S1IN0: Ch.1転送元アドレス制御(D[D:C]/0x48236<Ch.1転送元上位アドレス設定レジスタ>)

S2IN1–S2IN0: Ch.2転送元アドレス制御(D[D:C]/0x48246<Ch.2転送元上位アドレス設定レジスタ>)

S3IN1–S3IN0: Ch.3転送元アドレス制御(D[D:C]/0x48256<Ch.3転送元上位アドレス設定レジスタ>)

データ転送後のアドレスインクリメント/デクリメント機能を制御します。

表V.2.8 アドレス制御

SxIN1	SxIN0	アドレス制御
1	1	インクリメント(初期化なし)
1	0	インクリメント(初期化付き)
0	1	デクリメント(初期化なし)
0	0	アドレス固定

デュアルアドレスモードでは、この設定が転送元アドレスに適用されます。シングルアドレスモードでは外部メモリアドレスに適用されます。

アドレス固定(00)に設定しておく、データ転送によって転送元アドレスは変更されません。複数のデータを転送する場合でも、転送データは常に同じアドレスから読み出されます。

シングル転送モード/連続転送モードでアドレスインクリメント(11または10)を設定しておく、1つのデータの転送終了時に転送元アドレスがDATSIZExに設定したサイズ分インクリメントされます。

アドレスデクリメント(01)を設定した場合は、転送元アドレスが同様にデクリメントされます。

ブロック転送モードも同様に、ブロック中の1つのデータを転送すると、転送元アドレスがインクリメント/デクリメントされます。ただし、"10"を設定した場合は、ブロック転送中にインクリメントされた転送元アドレスがブロックの転送終了後、初期値に戻ります。

イニシャルリセット時、SxINは"00"(アドレス固定)に設定されます。

D0IN1–D0IN0: Ch.0転送先アドレス制御(D[D:C]/0x4822A Ch.0<転送先上位アドレス設定レジスタ>)
D1IN1–D1IN0: Ch.1転送先アドレス制御(D[D:C]/0x4823A Ch.1<転送先上位アドレス設定レジスタ>)
D2IN1–D2IN0: Ch.2転送先アドレス制御(D[D:C]/0x4824A Ch.2<転送先上位アドレス設定レジスタ>)
D3IN1–D3IN0: Ch.3転送先アドレス制御(D[D:C]/0x4825A Ch.3<転送先上位アドレス設定レジスタ>)

データ転送後のアドレスインクリメント/デクリメント機能を制御します。

表V.2.9 アドレス制御

DxIN1	DxIN0	アドレス制御
1	1	インクリメント(初期化なし)
1	0	インクリメント(初期化付き)
0	1	デクリメント(初期化なし)
0	0	アドレス固定

デュアルアドレスモードでは、この設定が転送先アドレスに適用されます。シングルアドレスモードでは、このビットを使用しません。

アドレス固定(00)に設定しておく、データ転送によって転送先アドレスは変更されません。複数のデータを転送する場合でも、転送データは常に同じアドレスから読み出されます。

シングル転送モード/連続転送モードでアドレスインクリメント(11または10)を設定しておく、1つのデータの転送終了時に転送先アドレスがDATSIZExに設定したサイズ分インクリメントされます。

アドレスデクリメント(01)を設定した場合は、転送先アドレスが同様にデクリメントされます。

ブロック転送モードも同様に、ブロック中の1つのデータを転送すると、転送先アドレスがインクリメント/デクリメントされます。ただし、"10"を設定した場合は、ブロック転送中にインクリメントされた転送先アドレスがブロックの転送終了後、初期値に戻ります。

イニシャルリセット時、DxINは"00"(アドレス固定)に設定されます。

BLKLEN07–BLKLEN00: Ch.0ブロック長/転送カウンタ[7:0] D[7:0]/0x48220<Ch.0転送カウンタレジスタ>)
BLKLEN17–BLKLEN10: Ch.1ブロック長/転送カウンタ[7:0] D[7:0]/0x48230<Ch.1転送カウンタレジスタ>)
BLKLEN27–BLKLEN20: Ch.2ブロック長/転送カウンタ[7:0] D[7:0]/0x48240<Ch.2転送カウンタレジスタ>)
BLKLEN37–BLKLEN30: Ch.3ブロック長/転送カウンタ[7:0] D[7:0]/0x48250<Ch.3転送カウンタレジスタ>)

ブロック転送モードでは、転送ブロックサイズの指定に使用します。ブロック転送モードは、1回のトリガに対してBLKLENxで設定したサイズのブロックを1回転送して終了します。

シングル転送モード/連続転送モードでは、これらのビットを転送カウンタの下位8ビットの指定に使用します。

イニシャルリセット時、これらのビットは初期化されません。

注: ブロック転送モードを使用する場合は、必ずブロックサイズを"0"以外に設定してください。

TC0_L7–TC0_L0: Ch.0転送カウンタ[7:0]/[15:8] D[F:8]/0x48220<Ch.0転送カウンタレジスタ>)
TC0_H7–TC0_H0: Ch.0転送カウンタ[15:8]/[23:16] D[7:0]/0x48222<Ch.0制御レジスタ>)
TC1_L7–TC1_L0: Ch.1転送カウンタ[7:0]/[15:8] D[F:8]/0x48230<Ch.1転送カウンタレジスタ>)
TC1_H7–TC1_H0: Ch.1転送カウンタ[15:8]/[23:16] D[7:0]/0x48232<Ch.1制御レジスタ>)
TC2_L7–TC2_L0: Ch.2転送カウンタ[7:0]/[15:8] D[F:8]/0x48240<Ch.2転送カウンタレジスタ>)
TC2_H7–TC2_H0: Ch.2転送カウンタ[15:8]/[23:16] D[7:0]/0x48242<Ch.2制御レジスタ>)
TC3_L7–TC3_L0: Ch.3転送カウンタ[7:0]/[15:8] D[F:8]/0x48250<Ch.3転送カウンタレジスタ>)
TC3_H7–TC3_H0: Ch.3転送カウンタ[15:8]/[23:16] D[7:0]/0x48252<Ch.3制御レジスタ>)

転送回数を設定します。

ブロック転送モードでは、TCx_L[7:0]を転送カウンタのビット[7:0]、TCx_H[7:0]をビット[15:8]として使用します。

シングル転送モード/連続転送モードではTCx_L[7:0]を転送カウンタのビット[15:8]、TCx_H[7:0]をビット[23:16]として使用します。下位8ビットはBLKLENx[7:0]で指定します。

このカウンタは対応するチャンネルのDMA転送1回ごとにデクリメントされます。カウンタが"0"になると転送終了割り込み要因を発生します。シングルアドレスモードでは、同時に#DMAENDx端子から転送終了信号を出力します。

カウンタが"0"の場合でもDMA要求は受け付けられ、デクリメントによって"0xFFFF"(または"0xFFFFFFFF")となります。

カウンタの書き込みおよび読み出しは、DMA転送を禁止(HSx_EN = "0")して行ってください。

イニシャルリセット時、これらのカウンタは初期化されません。

S0ADRL15–S0ADRL0: Ch.0転送元アドレス[15:0] D[F:0]/0x48224<Ch.0転送元下位アドレス設定レジスタ>
S0ADRH11–S0ADRH0: Ch.0転送元アドレス[27:16] D[B:0]/0x48226<Ch.0転送元上位アドレス設定レジスタ>
S1ADRL15–S1ADRL0: Ch.1転送元アドレス[15:0] D[F:0]/0x48234<Ch.1転送元下位アドレス設定レジスタ>
S1ADRH11–S1ADRH0: Ch.1転送元アドレス[27:16] D[B:0]/0x48236<Ch.1転送元上位アドレス設定レジスタ>
S2ADRL15–S2ADRL0: Ch.2転送元アドレス[15:0] D[F:0]/0x48244<Ch.2転送元下位アドレス設定レジスタ>
S2ADRH11–S2ADRH0: Ch.2転送元アドレス[27:16] D[B:0]/0x48246<Ch.2転送元上位アドレス設定レジスタ>
S3ADRL15–S3ADRL0: Ch.3転送元アドレス[15:0] D[F:0]/0x48254<Ch.3転送元下位アドレス設定レジスタ>
S3ADRH11–S3ADRH0: Ch.3転送元アドレス[27:16] D[B:0]/0x48256<Ch.3転送元上位アドレス設定レジスタ>
 デュアルアドレスモードでは、これらのビットを転送元アドレスの指定に使用します。シングルアドレスモードでは外部メモリアドレスの指定に使用します。

SxADRLでアドレスの下位16ビットを、SxADRHで上位12ビットを設定します。

レジスタの書き込みおよび読み出しは、DMA転送を禁止 (HSx_EN = "0") して行ってください。

アドレスは、対応するチャンネルのDMA転送1回ごとに、転送データサイズに従ってインクリメントまたはデクリメント (SxINで設定) されます。

イニシャルリセット時、これらのビットは初期化されません。

D0ADRL15–D0ADRL0: Ch.0転送先アドレス[15:0] D[F:0]/0x48228<Ch.0転送先下位アドレス設定レジスタ>
D0ADRH11–D0ADRH0: Ch.0転送先アドレス[27:16] D[B:0]/0x4822A<Ch.0転送先上位アドレス設定レジスタ>
D1ADRL15–D1ADRL0: Ch.1転送先アドレス[15:0] D[F:0]/0x48238<Ch.1転送先下位アドレス設定レジスタ>
D1ADRH11–D1ADRH0: Ch.1転送先アドレス[27:16] D[B:0]/0x4823A<Ch.1転送先上位アドレス設定レジスタ>
D2ADRL15–D2ADRL0: Ch.2転送先アドレス[15:0] D[F:0]/0x48248<Ch.2転送先下位アドレス設定レジスタ>
D2ADRH11–D2ADRH0: Ch.2転送先アドレス[27:16] D[B:0]/0x4824A<Ch.2転送先上位アドレス設定レジスタ>
D3ADRL15–D3ADRL0: Ch.3転送先アドレス[15:0] D[F:0]/0x48258<Ch.3転送先下位アドレス設定レジスタ>
D3ADRH11–D3ADRH0: Ch.3転送先アドレス[27:16] D[B:0]/0x4825A<Ch.3転送先上位アドレス設定レジスタ>

デュアルアドレスモードでは、これらのビットを転送先アドレスの指定に使用します。シングルアドレスモードではこれらのビットを使用しません。

レジスタの書き込みおよび読み出しは、DMA転送を禁止 (HSx_EN = "0") して行ってください。

アドレスは、対応するチャンネルのDMA転送1回ごとに、転送データサイズに従ってインクリメントまたはデクリメント (DxINで設定) されます。

イニシャルリセット時、これらのビットは初期化されません。

PHSD0L2–PHSD0L0: Ch.0割り込みレベル D[2:0]/0x40263<HSDMA Ch.0/1割り込みプライオリティレジスタ>
PHSD1L2–PHSD1L0: Ch.1割り込みレベル D[6:4]/0x40263<HSDMA Ch.0/1割り込みプライオリティレジスタ>
PHSD2L2–PHSD2L0: Ch.2割り込みレベル D[2:0]/0x40264<HSDMA Ch.2/3割り込みプライオリティレジスタ>
PHSD3L2–PHSD3L0: Ch.3割り込みレベル D[6:4]/0x40264<HSDMA Ch.2/3割り込みプライオリティレジスタ>

HSDMA終了割り込みの優先レベルを0～7の範囲で設定します。

イニシャルリセット時、これらのレジスタは不定となります。

EHDM0: Ch.0割り込みイネーブル D0/0x40271<DMA割り込みイネーブルレジスタ>
EHDM1: Ch.1割り込みイネーブル D1/0x40271<DMA割り込みイネーブルレジスタ>
EHDM2: Ch.2割り込みイネーブル D2/0x40271<DMA割り込みイネーブルレジスタ>
EHDM3: Ch.3割り込みイネーブル D3/0x40271<DMA割り込みイネーブルレジスタ>

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

EHDMxはHSDMAのCh.xに対応する割り込みイネーブルビットで、"1"に設定すると割り込みが許可され、"0"に設定すると割り込みが禁止されます。

イニシャルリセット時、EHDMxは"0"(割り込み禁止)に設定されます。

FHDM0: Ch.0割り込み要因フラグ(D0/0x40281<DMA割り込み要因フラグレジスタ>)

FHDM1: Ch.1割り込み要因フラグ(D1/0x40281<DMA割り込み要因フラグレジスタ>)

FHDM2: Ch.2割り込み要因フラグ(D2/0x40281<DMA割り込み要因フラグレジスタ>)

FHDM3: Ch.3割り込み要因フラグ(D3/0x40281<DMA割り込み要因フラグレジスタ>)

HSDMAの割り込み要因の発生状態を示します。

- 読み出し時
 - "1"読み出し: 割り込み要因あり
 - "0"読み出し: 割り込み要因なし
- リセットオンリー方式書き込み時(デフォルト)
 - "1"書き込み: 要因フラグをリセット
 - "0"書き込み: 無効
- リード/ライト方式書き込み時
 - "1"書き込み: 要因フラグをセット
 - "0"書き込み: 要因フラグをリセット

FHDMxはHSDMAのCh.xに対応する割り込み要因フラグで、転送カウンタが"0"になると"1"にセットされます。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

なお、この割り込み要因をIDMA要求として使用する場合、上記の条件が成立している場合でも、割り込み要因発生時点でCPUに対する割り込み要求は出力されません。IDMAの設定で割り込みを許可してあれば、IDMAによるデータ転送終了後に上記の条件で割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み要因の発生により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。

割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。

イニシャルリセット時、FHDMxフラグは不定となりますので、必ずソフトウェアでリセットしてください。

RHDM0: Ch.0 IDMAリクエスト(D4/0x40290<ポート入力0-3, HSDMA, 16bitタイマ0 IDMAリクエストレジスタ>)

RHDM1: Ch.1 IDMAリクエスト(D5/0x40290<ポート入力0-3, HSDMA, 16bitタイマ0 IDMAリクエストレジスタ>)

割り込み要因発生時にIDMAを起動するかどうか設定します。

- セットオンリー方式(デフォルト)

"1"書き込み: IDMA要求

"0"書き込み: 無効

読み出し: 可能

- リード/ライト方式

"1"書き込み: IDMA要求

"0"書き込み: 割り込み要求

読み出し: 可能

RHDM0はHSDMAのCh.0、RHDM1はCh.1に対応するIDMAリクエストビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

IDMAについては"IDMA(インテリジェントDMA)"を参照してください。

イニシャルリセット時、RHDMxは"0"(割り込み要求)に設定されます。

DEHDM0: Ch.0 IDMAイネーブル(D4/0x40294<ポート入力0-3, HSDMA, 16bitタイマ0 IDMAイネーブルレジスタ>)

DEHDM1: Ch.1 IDMAイネーブル(D5/0x40294<ポート入力0-3, HSDMA, 16bitタイマ0 IDMAイネーブルレジスタ>)

割り込み要因によるIDMA転送を許可または禁止します。

- セットオンリー方式(デフォルト)

"1"書き込み: IDMA許可

"0"書き込み: 無効

読み出し: 可能

- リード/ライト方式

"1"書き込み: IDMA許可

"0"書き込み: IDMA禁止

読み出し: 可能

DEHDM0はHSDMAのCh.0、DEHDM1はCh.1に対応するIDMAイネーブルビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。

イニシャルリセット時、DEHDMxは"0"(IDMA禁止)に設定されます。

プログラミング上の注意事項

- (1) 転送条件の設定は、必ずDMAコントローラが動作停止中に(HSx_ENを"0"に設定して)行ってください。
- (2) ブロック転送モードを使用する場合は、必ずブロックサイズを"0"以外に設定してください。
- (3) イニシャルリセット後、割り込み要因フラグ(FHDMx)は不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。
- (4) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグ(FHDMx)をリセットしてください。
- (5) HSDMAはIDMA(インテリジェントDMA)およびCPUよりも優先順位が高く設定されています。
 ただし、IDMAと共通の回路を使用しているため、IDMAの転送中はHSDMAがバス権を獲得することはできません。IDMA転送中に発生したHSDMAの起動要求はIDMA転送が終了するまで保留されます。
 HSDMA転送中に発生した割り込み要因によるIDMAの起動要求または割り込み要求は、HSDMA転送終了後に受け付けられます。
- (6) HALTモードではDMAとBCUのクロックが動作しているため、クロックオプションレジスタHLT2OP(0x40190のD3)が"0"のとき(HALT2モードではなく、HALTモードの場合)に次の動作を行うと、その動作は予測できない誤動作になります。
 halt命令を実行後、CPUが停止している状態でDMAのトリガが発生しDMAが動作すると誤動作になります。HALTモード時は、DMAが動作しないようにしてください。
 HALT2モードでは、DMAとBCUのクロックが停止するためDMAは起動しません。

このページはブランクです。

V-3 IDMA(インテリジェントDMA)

IDMAの機能概要

C33 DMAブロックは、コントロール情報をRAM上にプログラミング可能なインテリジェントDMA(IDMA)を内蔵しています。内部周辺回路の割り込み要因によって起動可能な31チャンネルを含め、最大128チャンネルのプログラミングが可能です。

RAM上のコントロール情報のロードとストアによるオーバーヘッドが生じますが、連続転送やブロック転送、他のIDMAへのリンク機能などをサポートしています。

IDMAは内部周辺回路の割り込み要因およびソフトウェアによるトリガにより起動し、RAM上のコントロール情報に従ってデータ転送を行います。転送終了時には割り込みを発生させることや、リンク設定によって他のIDMAを起動させることができます。

コントロール情報のプログラミング

インテリジェントDMAはRAM上に用意されたコントロール情報によって動作します。コントロール情報は、必要な領域が確保できれば内蔵RAM、外部RAMのどちらに置いてかまいません。

コントロール情報は各チャンネルごとに3ワード(12バイト)のサイズで、ソフトウェアで設定するベースアドレスをCh.0の先頭アドレスとして連続的に配置する必要があります。したがって、128チャンネルをすべて使用する場合は、RAM上に384ワード(1536バイト)の領域が必要となります。

以下、ベースアドレスの設定方法と、コントロール情報の内容について説明します。IDMAを使用する前に、それぞれの設定を行ってください。

ベースアドレスの設定

コントロール情報の先頭アドレス(Ch.0の先頭アドレス)をIDMAベースアドレスレジスタに設定します。

IDMAベースアドレス下位レジスタ: DBASEL[15:0](0x48200・D[F:0]) ... 下位16ビット

IDMAベースアドレス上位レジスタ: DBASEH[11:0](0x48202・D[B:0]) ... 上位12ビット

イニシャルリセット時、ベースアドレスは0x0C003A0に設定されます。

注: • IDMAベースアドレスレジスタに設定するアドレスは、必ずワード(32ビット)境界を指定してください。

- ベースアドレスの設定は、DMA転送を禁止(IDMAENを"0"に設定)して行ってください。DMA転送が許可されている場合(IDMAEN="1") IDMAベースアドレスレジスタへの書き込みは無効です。また、読み出しも、データが不定となります。

コントロール情報

使用するIDMAチャンネルのコントロール情報をRAMに書き込みます。

各チャンネルのコントロール情報を置くアドレスは、ベースアドレスとチャンネル番号によって決まります。

チャンネルの先頭アドレス = ベースアドレス + (チャンネル番号 × 12[バイト])

注: コントロール情報の書き込みは、指定のチャンネルによるDMA転送が発生しない状態で行ってください。RAMにコントロール情報を書き込み中にそのチャンネルのDMA転送が発生すると正しい転送は行われません。コントロール情報の読み出しについては常時可能です。

各チャンネルのコントロール情報(3ワード)の内容は次のとおりです。

表V.3.1 IDMAコントロール情報

ワード	ビット	名 称	機 能
1st	D31	LNKEN	IDMAリンクイネーブル "1" = 許可、"0" = 禁止
	D30-24	LNKCHN[6:0]	IDMAリンクフィールド
	D23-8	TC[15:0]	転送回数カウンタ(ブロック転送モード) 転送回数カウンタ上位16ビット(シングル/連続転送モード)
	D7-0	BLKLEN[7:0]	ブロックサイズ(ブロック転送モード) 転送回数カウンタ下位8ビット(シングル/連続転送モード)
2nd	D31	DINTEN	終了割り込みイネーブル "1" = 許可、"0" = 禁止
	D30	DATSIZ	データサイズコントロール "1" = ハーフワード、"0" = バイト
	D29-28	SRINC[1:0]	ソースアドレスコントロール
			SRINC1 SRINC0 設定内容
			1 1 アドレスインクリメント (ブロック転送モード時、初期値を戻さずに更新)
			1 0 アドレスインクリメント (ブロック転送モード時、初期値を戻す)
			0 1 アドレスデクリメント (ブロック転送モード時、初期値を戻さずに更新)
			0 0 アドレス固定
	D27-0	SRADR[27:0]	ソースアドレス
3rd	D31-30	DMOD[1:0]	転送モード("11"は設定禁止)
			DMOD1 DMOD0 設定内容
			1 0 ブロック転送モード
			0 1 連続転送モード
			0 0 シングル転送モード
	D29-28	DSINC[1:0]	ディスティネーションアドレスコントロール
			DSINC1 DSINC0 設定内容
			1 1 アドレスインクリメント (ブロック転送モード時、初期値を戻さずに更新)
			1 0 アドレスインクリメント (ブロック転送モード時、初期値を戻す)
			0 1 アドレスデクリメント (ブロック転送モード時、初期値を戻さずに更新)
			0 0 アドレス固定
	D27-0	DSADR[27:0]	ディスティネーションアドレス

LNKEN: IDMAリンクイネーブル(D31/1st Word)

このビットを"1"に設定しておく、このチャンネルのDMA転送を終了後に、IDMAリンクフィールドに設定されたIDMAチャンネルを起動します。最初に行うチャンネルのトリガのみで、複数チャンネルのDMA転送を連続して行うことができます。リンクするチャンネル数に制限はありません。IDMAチャンネルの実行順にリンクを設定してください。

このビットが"0"の場合、このチャンネルのDMA転送のみで終了します。

LNKCHN[6:0]: IDMAリンクフィールド(D[30:24]/1st Word)

IDMAのリンクを行う場合に、次に実行するチャンネル番号(0 ~ 127)を設定しておきます。

このフィールドのデータは、LNKENが"1"に設定されている場合にのみ有効です。

TC[15:0]: 転送回数カウンタ(D[23:8]/1st Word)

ブロック転送モードでは最大16ビットの転送回数が指定可能で、その値をここに設定します。

シングル転送モード/連続転送モードでは最大24ビットの転送回数が指定可能で、ここにはその上位16ビットを設定します。

BLKLEN[7:0]: ブロックサイズ/転送回数カウンタ(D[7:0]/1st Word)

ブロック転送モードでは、1回に転送されるブロックのサイズ(単位はDATSIZによる)を設定します。
シングル転送モード/連続転送モードでは、転送回数の下位8ビットを設定します。

注: • ブロック転送モードを使用する場合は、必ずブロックサイズを"0"以外に設定してください。

- 設定した転送回数は転送に従ってデクリメントされます。"0"を設定した場合は最初の転送でオールFにデクリメントされるため、それぞれのビット数で決まる最大値を設定したことになります。

DINTEN: 終了割り込みイネーブル(D31/2nd Word)

このビットを"1"に設定しておく、と、転送回数カウンタが"0"になった時点でIDMAを起動した割り込み要因フラグに基づいてCPUへの割り込み要求が発生します。

このビットが"0"の場合、転送回数カウンタが"0"になってもCPUへの割り込み要求は発生しません。

DATSIZ: データサイズコントロール(D30/2nd Word)

転送データ1個分のサイズを設定します。

このビットが"1"の場合はハーフワードサイズ(16ビット)、"0"の場合はバイトサイズ(8ビット)となります。

SRINC[1:0]: ソースアドレスコントロール(D[29:28]/2nd Word)

ソースアドレスの更新形式を設定します。

アドレス固定(00)に設定しておく、と、データ転送によってソースアドレスは変更されません。複数のデータを転送する場合でも、転送データは常に同じアドレスから読み出されます。

シングル転送モード/連続転送モードでアドレスインクリメント(11または10)を設定しておく、と、1つのデータの転送終了時にソースアドレスがDATSIZに設定したサイズ分インクリメントされます。アドレスデクリメント(01)を設定した場合は、ソースアドレスが同様にデクリメントされます。

ブロック転送モードも同様に、ブロック中の1つのデータを転送すると、ソースアドレスがインクリメント/デクリメントされます。ただし、"10"を設定した場合は、ブロック転送中にインクリメントされたソースアドレスがブロックの転送終了後、初期値に戻ります。

SRADR[27:0]: ソースアドレス(D[27:0]/2nd Word)

転送元の前頭アドレスを設定しておきます。この内容は、SRINCの設定に従って更新されます。

DMOD[1:0]: 転送モード(D[31:30]/3rd Word)

転送モードを設定しておきます。

転送モードの概要は次のとおりです(詳細は後述)。

- シングル転送モード(00)
シングル転送モードは、1回のトリガに対してDATSIZに設定したサイズのデータを1回転送して終了します。転送回数カウンタに設定した回数のデータ転送を行うためには、その回数分のトリガが必要です。
- 連続転送モード(01)
連続転送モードは、転送回数カウンタに設定した回数のデータ転送を1回のトリガで実行します。転送回数カウンタは一度の実行で"0"になります。
- ブロック転送モード(10)
ブロック転送モードは、1回のトリガに対してBLKLENで設定したサイズのブロックを1回転送して終了します。転送回数カウンタに設定した回数のブロック転送を行うためには、その回数分のトリガが必要です。

DSINC[1:0]: ディスティネーションアドレスコントロール(D[29:28]/3rd Word)

ディスティネーションアドレスの更新形式を設定します。

アドレス固定(00)に設定しておく、データ転送によってディスティネーションアドレスは変更されません。複数のデータを転送する場合でも、転送データは常に同じアドレスに書き込まれます。

シングル転送モード/連続転送モードでアドレスインクリメント(11または10)を設定しておく、1つのデータの転送終了時にディスティネーションアドレスがDATSIZに設定したサイズ分インクリメントされます。アドレスデクリメント(01)を設定した場合は、ディスティネーションアドレスが同様にデクリメントされます。

ブロック転送モードも同様に、ブロック中の1つのデータを転送すると、ディスティネーションアドレスがインクリメント/デクリメントされます。ただし、"10"を設定した場合は、ブロック転送中にインクリメントされたディスティネーションアドレスがブロックの転送終了後、初期値に戻ります。

DSADR[27:0]: ディスティネーションアドレス(D[27:0]/3rd Word)

転送先の先頭アドレスを設定しておきます。この内容は、DSINCの設定に従って更新されます。

コントロール情報はRAM上に置かれるため、書き換えが可能です。ただし、内容を書き換える場合は、必ずそのチャンネルのDMA転送が発生しない状況で行ってください。

IDMAの起動

IDMAを起動するトリガには次の3種類の要因があります。

1. 内蔵周辺回路の割り込み要因
2. ソフトウェアトリガ
3. リンク設定

DMA転送の許可/禁止

DMAイネーブルレジスタ(0x48205)のIDMAEN(D0)に"1"を書き込むことによってDMAコントローラがイネーブルとなり、上記のトリガを受け付けられる状態となります。ただし、DMA転送を許可する前に、必ずベースアドレスと起動するチャンネルのコントロール情報を正しく設定してください。

IDMAENに"0"を書き込むとIDMA起動要求は受け付けられません。

内蔵周辺回路の割り込み要因によるIDMAの起動

割り込み機能を持つ内蔵周辺回路の中には、その割り込み要因でIDMAを起動できるものがあります。これらに対応するIDMAチャンネル番号はあらかじめ決められています。この機能を持つ割り込み要因とIDMAチャンネルの関係を表V.3.2に示します。

表V.3.2 IDMAを起動可能な割り込み要因

周辺回路	割り込み要因	IDMA Ch.	IDMAリクエストビット	IDMAイネーブルビット
ポート	ポート入力0	1	RP0 (D0/0x40290)	DEP0 (D0/0x40294)
	ポート入力1	2	RP1 (D1/0x40290)	DEP1 (D1/0x40294)
	ポート入力2	3	RP2 (D2/0x40290)	DEP2 (D2/0x40294)
	ポート入力3	4	RP3 (D3/0x40290)	DEP3 (D3/0x40294)
高速DMA	Ch.0転送終了	5	RHDM0 (D4/0x40290)	DEHDM0 (D4/0x40294)
	Ch.1転送終了	6	RHDM1 (D5/0x40290)	DEHDM1 (D5/0x40294)
16ビットタイマ	タイマ0コンペアB	7	R16TU0 (D6/0x40290)	DE16TU0 (D6/0x40294)
	タイマ0コンペアA	8	R16TC0 (D7/0x40290)	DE16TC0 (D7/0x40294)
	タイマ1コンペアB	9	R16TU1 (D0/0x40291)	DE16TU1 (D0/0x40295)
	タイマ1コンペアA	10	R16TC1 (D1/0x40291)	DE16TC1 (D1/0x40295)
	タイマ2コンペアB	11	R16TU2 (D2/0x40291)	DE16TU2 (D2/0x40295)
	タイマ2コンペアA	12	R16TC2 (D3/0x40291)	DE16TC2 (D3/0x40295)
	タイマ3コンペアB	13	R16TU3 (D4/0x40291)	DE16TU3 (D4/0x40295)
	タイマ3コンペアA	14	R16TC3 (D5/0x40291)	DE16TC3 (D5/0x40295)
	タイマ4コンペアB	15	R16TU4 (D6/0x40291)	DE16TU4 (D6/0x40295)
	タイマ4コンペアA	16	R16TC4 (D7/0x40291)	DE16TC4 (D7/0x40295)
8ビットタイマ0-3	タイマ5コンペアB	17	R16TU5 (D0/0x40292)	DE16TU5 (D0/0x40296)
	タイマ5コンペアA	18	R16TC5 (D1/0x40292)	DE16TC5 (D1/0x40296)
	タイマ0アンダーフロー	19	R8TU0 (D2/0x40292)	DE8TU0 (D2/0x40296)
	タイマ1アンダーフロー	20	R8TU1 (D3/0x40292)	DE8TU1 (D3/0x40296)
	タイマ2アンダーフロー	21	R8TU2 (D4/0x40292)	DE8TU2 (D4/0x40296)
シリアルI/F Ch.0/1	タイマ3アンダーフロー	22	R8TU3 (D5/0x40292)	DE8TU3 (D5/0x40296)
	Ch.0受信バッファフル	23	RSRX0 (D6/0x40292)	DESRX0 (D6/0x40296)
	Ch.0送信バッファエンプティ	24	RSTX0 (D7/0x40292)	DESTX0 (D7/0x40296)
	Ch.1受信バッファフル	25	RSRX1 (D0/0x40293)	DESRX1 (D0/0x40297)
A/D変換器	Ch.1送信バッファエンプティ	26	RSTX1 (D1/0x40293)	DESTX1 (D1/0x40297)
	A/D変換終了	27	RADE (D2/0x40293)	DEADE (D2/0x40297)
ポート	ポート入力4	28	RP4 (D4/0x40293)	DEP4 (D4/0x40297)
	ポート入力5	29	RP5 (D5/0x40293)	DEP5 (D5/0x40297)
	ポート入力6	30	RP6 (D6/0x40293)	DEP6 (D6/0x40297)
	ポート入力7	31	RP7 (D7/0x40293)	DEP7 (D7/0x40297)
8ビットタイマ4/5	タイマ4アンダーフロー	32	R8TU4 (D0/0x4029B)	DE8TU4 (D0/0x4029C)
	タイマ5アンダーフロー	33	R8TU5 (D1/0x4029B)	DE8TU5 (D1/0x4029C)
シリアルI/F Ch.2/3	Ch.2受信バッファフル	34	RSRX2 (D2/0x4029B)	DESRX2 (D2/0x4029C)
	Ch.2送信バッファエンプティ	35	RSTX2 (D3/0x4029B)	DESTX2 (D3/0x4029C)
	Ch.3受信バッファフル	36	RSRX3 (D4/0x4029B)	DESRX3 (D4/0x4029C)
	Ch.3送信バッファエンプティ	37	RSTX3 (D5/0x4029B)	DESTX3 (D5/0x4029C)
FIFOシリアルI/F Ch.0	Ch.0受信バッファフル	56	RFSRX0 (D2/0x402B3)	DEFSRX0 (D2/0x402B4)
	Ch.0送信バッファエンプティ	57	RFSTX0 (D3/0x402B3)	DEFSTX0 (D3/0x402B4)

これらの割り込み要因は、割り込み要求とIDMA起動要求に共通に使用されます。

割り込み要因発生時にIDMAを起動するには、表に示したIDMAリクエストビットとIDMAイネーブルビットに"1"を書き込んでおきます。その状態で割り込み要因が発生すると、CPUに対する割り込み要求は保留され、対応するIDMAチャンネルを起動します。

"1"にセットされた割り込み要因フラグは、それによるDMA転送が終了するまで保持されます。

1回のDMA転送終了時に次の2つの条件が満たされていれば、割り込み要因フラグがリセットされずに割り込み要求を発生します。

- 転送回数カウンタが"0"になった
- コントロール情報のDINTENが"1"(割り込み許可)に設定されている

この場合、IDMAリクエストビットは"0"にクリアされます。したがって、次の割り込み要因発生時にもIDMAを起動させるには再設定が必要です。この再設定は、不要なIDMA要求が発生しないよう、割り込み要因フラグをリセット後、割り込みを許可する前に行ってください。IDMAイネーブルビットはクリアされず、"1"を保持します。

転送回数カウンタが"0"以外の場合、DMA転送終了時に割り込み要因フラグはリセットされ、割り込みは発生しません。この場合、IDMAリクエストビットおよびIDMAイネーブルビットはクリアされずに"1"を保持したままとなります。

転送回数カウンタが"0"になった場合でも、コントロール情報のDINTENが"0"に設定されているとDMA転送終了時に割り込み要因フラグはリセットされ、割り込みは発生しません。この場合、IDMAリクエストビットはクリアされませんが、IDMAイネーブルビットはクリアされます。

IDMAリクエストレジスタのビットを"0"に設定しておく、その割り込み要因はIDMA起動要求を発生せずに、割り込み要求を発生します。

割り込み要因に対応する割り込みコントローラの制御レジスタ(割り込みイネーブルレジスタ、割り込みプライオリティレジスタ)は、IDMAの起動には影響しません。割り込みイネーブルレジスタのビットが"0"の場合でもIDMAは起動します。ただし、DMA転送終了後に割り込みを発生させる場合は、これらのレジスタで割り込みを許可しておく必要があります。

ソフトウェアトリガによるIDMAの起動

前述の割り込み要因に対応したIDMAチャンネルを含め、コントロール情報が設定されているすべてのIDMAチャンネルはソフトウェアによって起動することができます。

この制御には次の制御ビットを使用します。

IDMAチャンネル番号設定: DCHN[6:0](IDMAスタートレジスタ0x48204•D[6:0])

IDMA開始制御: DSTART(IDMAスタートレジスタ0x48204•D7)

起動するIDMAチャンネル番号(0~127)をDCHNに書き込み、DSTARTに"1"を書き込むことによって、指定したIDMAチャンネルがDMA転送を開始します。

DSTARTはDMA転送中は"1"を保持し、1回のDMA転送を終了するとハードウェアによって"0"に戻されます。

DMA転送中は、これらのビットをソフトウェアで変更しないでください。

DINTENが"1"(割り込み許可)に設定されていると、1回のDMA転送が終了した時点でIDMA転送終了割り込み要因が発生します。

リンク設定によるIDMAの起動

コントロール情報のLNKENが"1"(リンク許可)に設定されていると、そのチャンネルのDMA転送を終了後にIDMAリンクフィールドLNKCHNに設定されているIDMAチャンネルを続けて起動します。

最初のチャンネルの割り込み要求は、リンクされているすべてのチャンネルの転送終了後に、割り込み条件が成立していれば発生します。

IDMA終了時に割り込みを発生させたいときは、起動するIDMAチャンネルとリンクされるすべてのIDMAチャンネルについて、IDMAコントロール情報のDINTEN(終了割り込みイネーブル)ビットを"1"に設定してください。

DMA転送中のIDMA起動要求

DMA転送中に発生した別のチャンネルに対するIDMA起動要求は、その時点に実行中のDMA転送を終了するまで保留されます。起動要求はクリアされませんので、実行中のDMA転送を終了すると受け付けられます。

DMA転送中のチャンネルに対する起動要求は、同じ割り込み要因を使用するため受け付けられません。したがって、同一チャンネルを起動するには、そのDMA転送時間よりも長いインターバルが必要です。

DMA転送禁止状態でのIDMA起動要求

IDMAENが"0"(DMA転送禁止)のときに発生したIDMA起動要求は、IDMAENを"1"に設定するまで保留されます。起動要求はクリアされませんので、DMA転送を許可した時点で受け付けられます。

ソフトウェアトリガとハードウェアトリガが同時に発生した場合

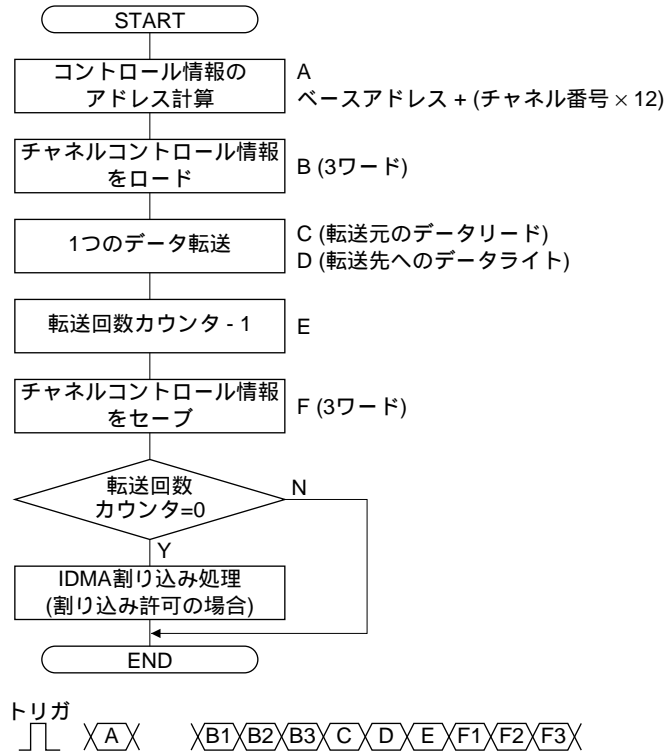
同一チャンネルへのソフトウェアトリガとハードウェアトリガが同時に発生した場合、ソフトウェアトリガによるIDMA転送が先に行われます。この転送が終了した時点でハードウェアトリガ(割り込み要因フラグ)がリセットされるため、ハードウェアトリガによるIDMA転送は行われません。ただし、このような使用法は推奨しません。

IDMAの動作

IDMAには3種類の転送モードがあり、それぞれデータ転送の動作が異なります。また、トリガの種類により割り込み要因の処理も異なります。以下、各転送モード、トリガの種類による動作を説明します。

シングル転送モード

コントロール情報のDMODが"00"に設定されているチャンネルは、シングル転送モードで動作します。シングル転送モードは、1回のトリガに対してDATSIZに設定したサイズのデータを1回転送して終了します。転送回数カウンタに設定した回数のデータ転送を行うためには、その回数分のトリガが必要です。シングル転送モードの動作を図V.3.1のフローチャートに示します。



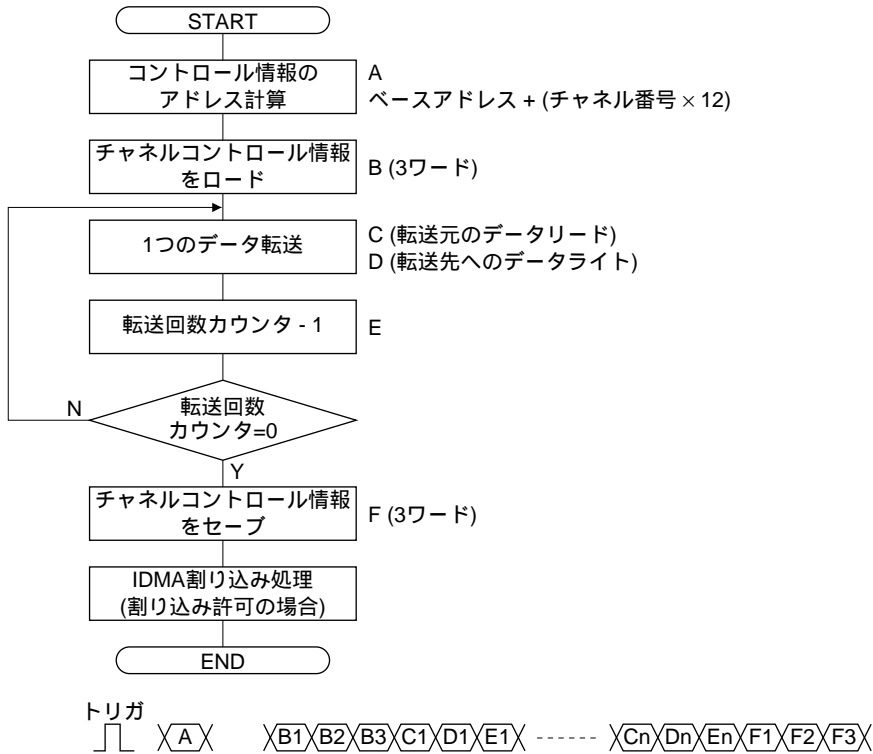
図V.3.1 シングル転送モードの動作フロー

- (1)トリガを受け付けると、ベースアドレスとチャンネル番号からコントロール情報のアドレスを算出します。
- (2)算出したアドレスからコントロール情報をチップ上のテンポラリレジスタに読み込みます。
- (3)コントロール情報に設定されたサイズのデータをソースアドレスから読み出します。
- (4)読み出したデータをディスティネーションアドレスに書き込みます。
- (5)アドレスのインクリメント/デクリメント、転送回数カウンタのデクリメントを行います。
- (6)変更されたコントロール情報をRAMに書き込みます。
- (7)ハードウェアトリガの場合、割り込み制御ビットを以下のように処理してIDMAを終了します。

条 件	割り込み要因フラグ	IDMAリクエストビット	IDMAイネーブルビット
転送カウンタ≠"0"	リセット("0")	変更なし("1")	変更なし("1")
転送カウンタ="0", DINTEN="1"	変更なし("1")	リセット("0")	変更なし("1")
転送カウンタ="0", DINTEN="0"	リセット("0")	変更なし("1")	リセット("0")

連続転送モード

コントロール情報のDMODが"01"に設定されているチャンネルは、連続転送モードで動作します。連続転送モードは、転送回数カウンタに設定した回数のデータ転送を1回のトリガで実行します。転送回数カウンタは一度の実行で"0"になります。連続転送モードの動作を図V.3.2のフローチャートに示します。



図V.3.2 連続転送モードの動作フロー

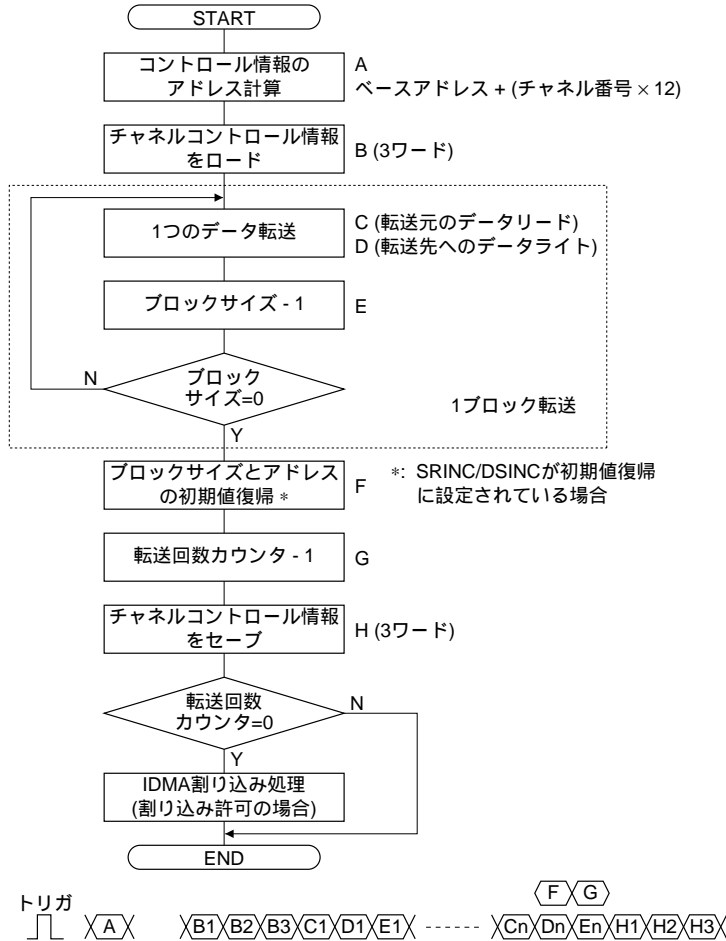
- (1)トリガを受け付けると、ベースアドレスとチャンネル番号からコントロール情報のアドレスを算出します。
- (2)算出したアドレスからコントロール情報をチップ上のテンポラリレジスタに読み込みます。
- (3)コントロール情報に設定されたサイズのデータをソースアドレスから読み出します。
- (4)読み出したデータをディスティネーションアドレスに書き込みます。
- (5)アドレスのインクリメント/デクリメント、転送回数カウンタのデクリメントを行います。
- (6) (3)~(5)を転送回数カウンタが"0"になるまで繰り返します。
- (7)変更されたコントロール情報をRAMに書き込みます。
- (8)ハードウェアトリガの場合、割り込み制御ビットを以下のように処理してIDMAを終了します。

条 件	割り込み要因フラグ	IDMAリクエストビット	IDMAイネーブルビット
転送カウンタ≠"0"	リセット("0")	変更なし("1")	変更なし("1")
転送カウンタ="0", DINTEN="1"	変更なし("1")	リセット("0")	変更なし("1")
転送カウンタ="0", DINTEN="0"	リセット("0")	変更なし("1")	リセット("0")

ブロック転送モード

コントロール情報のDMODが"10"に設定されているチャンネルは、ブロック転送モードで動作します。ブロック転送モードは、1回のトリガに対してBLKLENで設定したサイズのブロックを1回転送して終了します。転送回数カウンタに設定した回数のブロック転送を行うためには、その回数分のトリガが必要です。

ブロック転送モードの動作を図V.3.3のフローチャートに示します。



図V.3.3 ブロック転送モードの動作フロー

- (1) トリガを受け付けると、ベースアドレスとチャンネル番号からコントロール情報のアドレスを算出します。
- (2) 算出したアドレスからコントロール情報をチップ上のテンポラリレジスタに読み込みます。
- (3) コントロール情報に設定されたサイズのデータをソースアドレスから読み出します。
- (4) 読み出したデータをディスティネーションアドレスに書き込みます。
- (5) アドレスのインクリメント/デクリメント、BLKLENのデクリメントを行います。
- (6) (3)~(5)をBLKLENが"0"になるまで繰り返します。
- (7) SRINC、DSINCが"10"の場合は、アドレスを初期値に戻します。
- (8) 転送回数カウンタをデクリメントします。
- (9) 変更されたコントロール情報をRAMに書き込みます。
- (10) ハードウェアトリガの場合、割り込み制御ビットを以下のように処理してIDMAを終了します。

条 件	割り込み要因フラグ	IDMAリクエストビット	IDMAイネーブルビット
転送カウンタ≠"0"	リセット("0")	変更なし("1")	変更なし("1")
転送カウンタ="0", DINTEN="1"	変更なし("1")	リセット("0")	変更なし("1")
転送カウンタ="0", DINTEN="0"	リセット("0")	変更なし("1")	リセット("0")

トリガの種類による割り込み要因処理

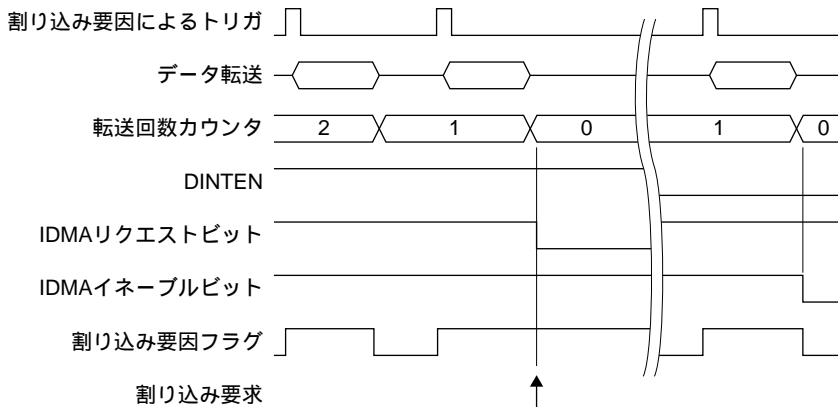
• 割り込み要因で起動した場合

IDMAを起動した割り込み要因フラグは、DMA転送中もセットされた状態を保持します。

1回のDMA転送を終了した時点で転送回数カウンタが"0"になり、かつDINTENが"1"(割り込み許可)に設定されていれば、その割り込み要因はリセットされずに割り込み要求を発生します。同時に、IDMAリクエストビットも"0"にクリアされます。IDMAイネーブルビットは"1"を保持します。

転送回数カウンタが"0"以外の場合は、転送終了時に割り込み要因フラグがリセットされます。この場合、IDMAリクエストビットおよびIDMAイネーブルビットはクリアされません。

転送回数カウンタが"0"になった場合でも、DINTENが"0"(割り込み禁止)に設定されているとDMA転送終了時に割り込み要因フラグはリセットされ、割り込みは発生しません。この場合、IDMAリクエストビットはクリアされませんが、IDMAイネーブルビットはクリアされます。



図V.3.4 割り込み要因によって起動した場合の動作

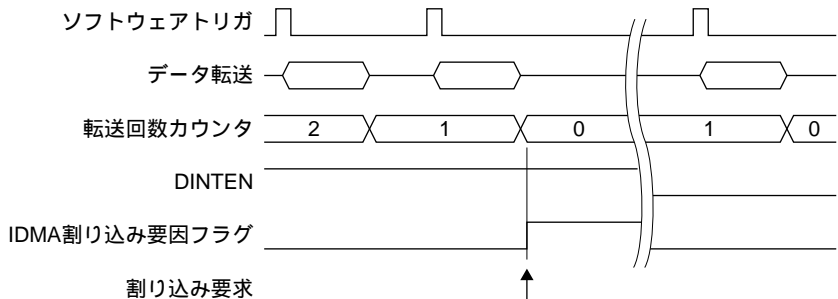
割り込み要因で起動した場合、IDMA自体の転送終了割り込み要因フラグFIDMA(DMA割り込み要因フラグレジスタ0x40281•D4)はセットされません。

• ソフトウェアトリガにより起動した場合

1回のDMA転送を終了した時点で転送回数カウンタが"0"になり、かつDINTENが"1"(割り込み許可)に設定されていれば、IDMA転送終了割り込み要因フラグFIDMA(DMA割り込み要因フラグレジスタ0x40281•D4)がセットされ、割り込み要求を発生します。

転送回数カウンタが"0"以外、またはDINTENが"0"(割り込み禁止)の場合、FIDMAフラグはセットされません。

ソフトトリガによる転送中に割り込み要因フラグがセットされた場合、その割り込み要因フラグによるIDMA起動要求は保留されます。ただし、実行中のDMA転送が終了したところで割り込み要因フラグがリセットされますので、それによるDMA転送は行われません。

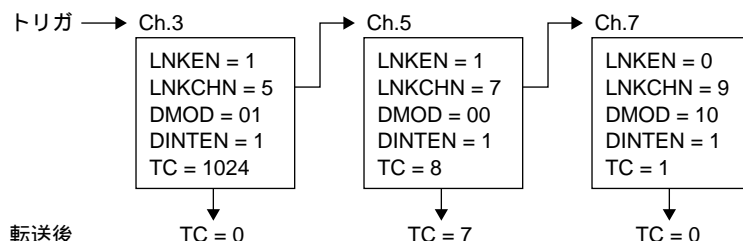


図V.3.5 ソフトウェアトリガによって起動した場合の動作

リンク

コントロール情報のIDMAリンクフィールドLNKCHNに次に実行するIDMAチャンネル番号を設定し、LNKENによってリンクを許可しておく、そのIDMAチャンネルのDMA転送を続けて行うことができます。

リンクの設定例を図V.3.6に示します。



図V.3.6 リンクの設定例

上記例の動作は次のとおりです。

• ハードトリガの場合

- (1) 割り込み要因によってIDMA Ch.3が起動し、設定されているDMA転送を行います。
連続転送モードで転送回数カウンタが"0"となり、かつDINTENが"1"に設定されているため、Ch.3を起動した割り込み要因フラグはセットされたまま保持されます。
- (2) 次に、リンクされたIDMA Ch.5のDMA転送を行います。Ch.5はシングル転送モードに設定されており、この転送では転送回数カウンタがデクリメント(-1)されます。
- (3) 最後に、IDMA Ch.7のDMA転送を行います。Ch.7はブロック転送モードに設定されていますが、転送回数が1回のため、転送終了時に転送回数カウンタが"0"となります。
- (4) (1)のIDMA(Ch.3)を起動した割り込み要因フラグがセット状態を保持していますので、(3)のIDMA(Ch.7)転送終了時点で割り込みが発生します。転送結果はCh.3の割り込み要因フラグには影響を与えません。
IDMA終了時に割り込みを発生させたいときは、起動するIDMAチャンネルとリンクされるすべてのIDMAチャンネルについて、IDMAコントロール情報のDINTEN(終了割り込みイネーブル)ビットを"1"に設定してください。

• ソフトトリガの場合

- (1) ソフトウェアトリガによってIDMA Ch.3が起動し、設定されているDMA転送を行います。
連続転送モードで転送回数カウンタが"0"となり、かつDINTENが"1"に設定されているため、転送終了時にIDMA転送終了割り込み要因フラグFIDMA(DMA割り込み要因フラグレジスタ0x40281・D4)がセットされます。
- (2) 次に、リンクされたIDMA Ch.5のDMA転送を行います。Ch.5はシングル転送モードに設定されており、この転送では転送回数カウンタがデクリメント(-1)されます。
- (3) 最後に、IDMA Ch.7のDMA転送を行います。Ch.7はブロック転送モードに設定されていますが、転送回数が1回のため、転送終了時に転送回数カウンタが"0"となります。この転送終了もFIDMAフラグを"1"にセットする要因となります。ただし、FIDMAフラグは(1)の転送終了時に既にセットされています。
- (4) FIDMAフラグがセットされていますので、ここで割り込み要求が発生します。ソフトトリガによってIDMAを起動した場合は、リンクされているチャンネルの中で1つでも転送回数カウンタが"0"になり、かつそのチャンネルのDINTENが"1"に設定されていれば、リンクされたすべてのチャンネルの転送終了時にIDMA転送終了割り込み要求が発生します。割り込み要求を発生させたチャンネルについては、転送回数カウンタを読み出すことで確認できます。

それぞれのチャンネルの転送動作は前節で説明したとおりです。

IDMAの割り込み機能

IDMAは、IDMAの起動要因となった割り込みおよびIDMA自身の転送終了割り込みを発生させることができます。

割り込み要因で起動した場合の割り込み

IDMAリクエストレジスタおよびIDMAイネーブルレジスタのビットを"1"に設定しておく、その割り込み要因が発生しても割り込み要求の出力は保留され、その要因に割り当てられたIDMAチャンネルを起動します。

1回のDMA転送を終了した時点で転送回数カウンタが"0"になり、かつDINTENが"1"(割り込み許可)に設定されていれば、その割り込み要因はリセットされずに割り込み要求を発生します。同時に、IDMAリクエストビットも"0"にクリアされます。IDMAイネーブルビットは"1"を保持します。

転送回数カウンタが"0"以外の場合は、転送終了時に割り込み要因フラグがリセットされます。この場合、IDMAリクエストビットおよびIDMAイネーブルビットはクリアされません。

転送回数カウンタが"0"になった場合でも、DINTENが"0"(割り込み禁止)に設定されているとDMA転送終了時に割り込み要因フラグはリセットされ、割り込みは発生しません。この場合、IDMAリクエストビットはクリアされませんが、IDMAイネーブルビットはクリアされます。

割り込み要因で起動した場合、IDMA自体の転送終了割り込み要因フラグFIDMA(DMA割り込み要因フラグレジスタ0x40281・D4)はセットされません。

IDMAを起動可能な各割り込み要因と割り込み制御レジスタについては、それぞれの周辺回路の説明を参照してください。

なお、割り込み要因の優先順位は割り込みプライオリティレジスタで設定されます(ITC 割り込みコントローラを参照)。ただし、IDMAと割り込み要求を比べた場合、IDMAの方が優先順位は高くなっています。したがって、IDMA転送中にその起動要因よりも優先順位の高い割り込み要因が発生しても、その割り込み要求あるいはIDMA起動要求は現在のIDMA転送が終了するまでは受け付けられません。

ソフトウェアトリガで起動した場合の割り込み

1回のDMA転送を終了した時点で転送回数カウンタが"0"になり、かつDINTENが"1"(割り込み許可)に設定されていれば、IDMA転送終了割り込み要因フラグFIDMA(DMA割り込み要因フラグレジスタ0x40281・D4)がセットされ、割り込み要求を発生します。

転送回数カウンタが"0"以外、またはDINTENが"0"(割り込み禁止)の場合、FIDMAフラグはセットされません。

割り込みコントローラのIDMA割り込み制御レジスタ

IDMA転送終了割り込みの制御ビット/レジスタは次のとおりです。

割り込み要因フラグ: FIDMA(DMA割り込み要因フラグレジスタ0x40281・D4)

割り込みイネーブル: EIDMA(DMA割り込みイネーブルレジスタ0x40271・D4)

割り込みレベル: PDM[2:0](IDMA割り込みプライオリティレジスタ0x40265・D[2:0])

ソフトウェアトリガまたはその後のリンクで起動したIDMAチャンネルのDMA転送を終了し、転送回数カウンタが"0"になるとIDMA転送終了割り込み要因フラグを"1"にセットします。ただし、そのチャンネルのコントロール情報で割り込みを許可(DINTEN="1")に設定しておくことが必要です。このときに、対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、割り込みを禁止することもできます。割り込みプライオリティレジスタは、割り込みの優先レベル(0~7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。また、IDMA割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定したIDMA割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作についてはITC 割り込みコントローラを参照してください。

トラップベクタ

IDMA転送終了割り込みのトラップベクタアドレスは、デフォルトで0x0C00068に設定されています。

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134~0x48137)で変更することも可能です。

IDMAのI/Oメモリ

表V.3.3にIDMAの制御ビットを示します。

表V.3.3 IDMAの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
IDMA割り込み プライオリティ レジスタ	0040265 (B)	D7-3	—	reserved	—	—	—	読み出し時: 0
		D2	PDM2	IDMA	0 ~ 7	X	R/W	
		D1	PDM1	割り込みレベル		X		
		D0	PDM0			X		
DMA割り込み イネーブル レジスタ	0040271 (B)	D7-5	—	reserved	—	—	—	読み出し時: 0
		D4	EIDMA	IDMA	1 許可	0 禁止	0	R/W
		D3	EHDM3	高速DMA Ch.3			0	R/W
		D2	EHDM2	高速DMA Ch.2			0	R/W
		D1	EHDM1	高速DMA Ch.1			0	R/W
		D0	EHDM0	高速DMA Ch.0			0	R/W
DMA割り込み 要因フラグ レジスタ	0040281 (B)	D7-5	—	reserved	—	—	—	読み出し時: 0
		D4	FIDMA	IDMA	1 要因発生	0 要因なし	X	R/W
		D3	FHDM3	高速DMA Ch.3			X	R/W
		D2	FHDM2	高速DMA Ch.2			X	R/W
		D1	FHDM1	高速DMA Ch.1			X	R/W
		D0	FHDM0	高速DMA Ch.0			X	R/W
IDMA ベースアドレス 下位レジスタ	0048200 (HW)	DF	DBASEL15	IDMA			0	R/W
		DE	DBASEL14	ベースアドレス 下位16ビット			0	
		DD	DBASEL13	(初期値: 0x0C003A0)			0	
		DC	DBASEL12				0	
		DB	DBASEL11				0	
		DA	DBASEL10				0	
		D9	DBASEL9				1	
		D8	DBASEL8				1	
		D7	DBASEL7				1	
		D6	DBASEL6				0	
		D5	DBASEL5				1	
		D4	DBASEL4				0	
		D3	DBASEL3				0	
		D2	DBASEL2				0	
		D1	DBASEL1				0	
		D0	DBASEL0				0	
IDMA ベースアドレス 上位レジスタ	0048202 (HW)	DF-C	—	reserved	—	—	—	読み出し時: 不定
		DB	DBASEH11	IDMA			0	R/W
		DA	DBASEH10	ベースアドレス 上位12ビット			0	
		D9	DBASEH9	(初期値: 0x0C003A0)			0	
		D8	DBASEH8				0	
		D7	DBASEH7				1	
		D6	DBASEH6				1	
		D5	DBASEH5				0	
		D4	DBASEH4				0	
		D3	DBASEH3				0	
		D2	DBASEH2				0	
		D1	DBASEH1				0	
		D0	DBASEH0				0	
IDMAスタート レジスタ	0048204 (B)	D7	DSTART	IDMAスタート	1 IDMA開始	0 停止	0	R/W
		D6-0	DCHN	IDMAチャネル番号	0 ~ 127		0	R/W
IDMAイネーブル レジスタ	0048205 (B)	D7-1	—	reserved	—	—	—	
		D0	IDMAEN	IDMAイネーブル	1 転送可	0 転送不可	0	R/W

DBASEL[15:0], DBASEH[11:0]: IDMAベースアドレスレジスタ(D[F:0]/0x48200[HW], D[B:0]/0x48202[HW])

RAM上に置くコントロール情報の先頭アドレスを指定します。

DBASELにはアドレスの下位16ビットを、DBASEHには上位12ビットを設定します。

このレジスタに設定するアドレスは、必ずワード(32ビット)境界を指定してください。

また、バイト単位の書き込み/読み出しができません。アドレス0x48200に対するワード書き込み/読み出し、またはアドレス0x48200と0x48202に対するハーフワード書き込み/読み出しを行ってください。ハーフワードの書き込みは、0x48200、0x48202の順に行うことが必要です。ハーフワードの読み出しについては、順序は問いません。

DMA転送中のIDMAベースアドレスレジスタへの書き込みは無効です。また、読み出しも、データが不定となります。

イニシャルリセット時、ベースアドレスは0xC003A0に設定されます。

IDMAEN: DMAイネーブル(D0/0x48205<DMAイネーブルレジスタ>)

IDMA転送を許可します。

"1"書き込み: 許可

"0"書き込み: 禁止

読み出し: 可能

IDMAENに"1"を書き込むことによって、インテリジェントDMAによるデータ転送が許可されます。

"0"を書き込むと、IDMA転送は禁止されます。

イニシャルリセット時、IDMAENは"0"(禁止)に設定されます。

DCHN[6:0]: IDMAチャンネル番号設定(D[6:0]/0x48204<IDMAスタートレジスタ>)

ソフトウェアトリガにより起動するチャンネル番号(0 ~ 127)を設定します。

イニシャルリセット時、DCHNは"0"に設定されます。

DSTART: IDMA開始制御(D7/0x48204<IDMAスタートレジスタ>)

ソフトウェアトリガ/動作モニタに使用します。

- 書き込み時

"1"書き込み: IDMA開始

"0"書き込み: 無効

- 読み出し時

"1"読み出し: 動作中(ソフトウェアトリガで起動した場合のみ)

"0"読み出し: 停止中

DSTARTへの"1"書き込みはソフトウェアトリガとなり、DCHNに設定してあるIDMAチャンネルを起動します。

イニシャルリセット時、DSTARTは"0"に設定されます。

PDM2-PDM0: IDMA割り込みレベル(D[2:0]/0x40265<IDMA割り込みプライオリティレジスタ>)

IDMA転送終了割り込みの優先レベルを0 ~ 7の範囲で設定します。

イニシャルリセット時、PDMは不定となります。

EIDMA: IDMA割り込みイネーブル(D4/0x40271<DMA割り込みイネーブルレジスタ>)

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

EIDMAはIDMA転送終了割り込みを制御する割り込みイネーブルビットで、"1"に設定すると割り込みが許可され、"0"に設定すると割り込みが禁止されます。

イニシャルリセット時、EIDMAは"0"(割り込み禁止)に設定されます。

FIDMA: IDMA割り込み要因フラグ(D4/0x40281<DMA割り込み要因フラグレジスタ>)

IDMAの割り込み要因の発生状態を示します。

- 読み出し時
 - "1"読み出し: 割り込み要因あり
 - "0"読み出し: 割り込み要因なし
- リセットオンリー方式書き込み時(デフォルト)
 - "1"書き込み: 要因フラグをリセット
 - "0"書き込み: 無効
- リード/ライト方式書き込み時
 - "1"書き込み: 要因フラグをセット
 - "0"書き込み: 要因フラグをリセット

FIDMAはIDMAの転送終了割り込み要因フラグで、ソフトウェアトリガまたはそれに続くリンクにより開始した1回のDMA転送が終了し、転送回数カウンタが"0"になると"1"にセットされます。ただし、コントロール情報で割り込みが許可(DINTEN = "1")されていることが必要です。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、ret命令を実行する)が必要です。

割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(ret命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。

イニシャルリセット時、FIDMAフラグは不定となりますので、必ずソフトウェアでリセットしてください。

プログラミング上の注意事項

- (1) IDMAベースアドレスの設定は、DMA転送を禁止 (IDMAENを"0"に設定)して行ってください。DMA転送を許可 (IDMAENを"1"に設定)している場合、IDMAベースアドレスレジスタへの書き込みは無効です。また、読み出しも、データが不定となります。また、各チャンネルのコントロール情報の設定あるいは書き換えは、そのチャンネルのDMA転送が発生しない状況で行ってください。
- (2) IDMAベースアドレスレジスタに設定するアドレスは、必ずワード(32ビット)境界を指定してください。
- (3) ブロック転送モードを使用する場合は、必ずブロックサイズを"0"以外に設定してください。
- (4) イニシャルリセット後、割り込み要因フラグ(FIDMA)は不定となります。不要な割り込みの発生を防止するため、必ずプログラムでリセットしてください。
- (5) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグ(FIDMA)をリセットしてください。
- (6) HALTモードではDMAとBCUのクロックが動作しているため、クロックオプションレジスタHLT2OP(0x40190のD3)が"0"のとき (HALT2モードではなく、HALTモードの場合)に次の動作を行うと、その動作は予測できない誤動作になります。
halt命令を実行後、CPUが停止している状態でDMAのトリガが発生しDMAが動作すると誤動作になります。HALTモード時は、DMAが動作しないようにしてください。
HALT2モードでは、DMAとBCUのクロックが停止するためDMAは起動しません。
- (7) IDMA転送中に発生した同一チャンネルに対する起動要求は、同じ割り込み要因を使用するため受け付けられません(起動要求は無視されます)。同一チャンネルのIDMA転送を連続して起動するような場合は、IDMAのトリガ間隔を<IDMAコントロール情報リードサイクル> + <IDMA転送リード/ライトサイクル> + <IDMAコントロール情報ライトサイクル>より長くする必要があります。



図V.3.7 外部トリガ入力間隔

トリガ禁止期間の長さは、コントロール情報が置かれたメモリエリアのウェイト数などのアクセス条件やデータ転送条件でも変わりますので注意してください。

このページはブランクです。

S1C33301 Technical Manual

Appendix

I/Oマップ

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
8bitタイマ4/5 クロック選択 レジスタ	0040140 (B)	D7-2	—	reserved	—	—	—	読み出し時: 0
		D1	P8TPCK5	8bitタイマ5クロック選択	1 0/1 0 分周クロック	0	R/W	0: プリスケラック
		D0	P8TPCK4	8bitタイマ4クロック選択	1 0/1 0 分周クロック	0	R/W	ロック選択レジスタ (0x40181)で選択
8bitタイマ4/5 クロック コントロール レジスタ	0040145 (B)	D7	P8TON5	8bitタイマ5クロック制御	1 On 0 Off	0	R/W	
		D6	P8TS52	8bitタイマ5	1 1 1 0/256	0	R/W	0: プリスケラック
		D5	P8TS51	クロック分周比選択	1 1 0 0/128	0	R/W	ロック選択レジスタ (0x40181)で選択
		D4	P8TS50		1 0 1 0/64	0	R/W	
					1 0 0 0/32			
					0 1 1 0/16			8bitタイマ5は シリアルI/F Ch.3の クロックを生成
					0 1 0 0/8			
					0 0 1 0/4			
					0 0 0 0/2			
		D3	P8TON4	8bitタイマ4クロック制御	1 On 0 Off	0	R/W	
		D2	P8TS42	8bitタイマ4	1 1 1 0/4096	0	R/W	0: プリスケラック
		D1	P8TS41	クロック分周比選択	1 1 0 0/2048	0	R/W	ロック選択レジスタ (0x40181)で選択
		D0	P8TS40		1 0 1 0/64	0	R/W	
					1 0 0 0/32			8bitタイマ4は シリアルI/F Ch.2の クロックを生成
					0 1 1 0/16			
8bitタイマ0-3 クロック選択 レジスタ	0040146 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P8TPCK3	8bitタイマ3クロック選択	1 0/1 0 分周クロック	0	R/W	0: プリスケラック
		D2	P8TPCK2	8bitタイマ2クロック選択	1 0/1 0 分周クロック	0	R/W	ロック選択レジスタ (0x40181)で選択
		D1	P8TPCK1	8bitタイマ1クロック選択	1 0/1 0 分周クロック	0	R/W	
		D0	P8TPCK0	8bitタイマ0クロック選択	1 0/1 0 分周クロック	0	R/W	
16bitタイマ0 クロック コントロール レジスタ	0040147 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P16TON0	16bitタイマ0クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS02	16bitタイマ0	P16TS0[2:0] 分周比	0	R/W	0: プリスケラック
		D1 D0	P16TS01 P16TS00	クロック分周比選択	1 1 1 0/4096	0		ロック選択レジスタ (0x40181)で選択
					1 1 0 0/1024	0		
					1 0 1 0/256			16bitタイマ0は ウォッチドッグタイ マとして使用可
					1 0 0 0/64			
					0 1 1 0/16			
					0 1 0 0/4			
					0 0 1 0/2			
					0 0 0 0/1			
16bitタイマ1 クロック コントロール レジスタ	0040148 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P16TON1	16bitタイマ1クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS12	16bitタイマ1	P16TS1[2:0] 分周比	0	R/W	0: プリスケラック
		D1 D0	P16TS11 P16TS10	クロック分周比選択	1 1 1 0/4096	0		ロック選択レジスタ (0x40181)で選択
					1 1 0 0/1024	0		
					1 0 1 0/256			
					1 0 0 0/64			
					0 1 1 0/16			
					0 1 0 0/4			
					0 0 1 0/2			
					0 0 0 0/1			
16bitタイマ2 クロック コントロール レジスタ	0040149 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P16TON2	16bitタイマ2クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS22	16bitタイマ2	P16TS2[2:0] 分周比	0	R/W	0: プリスケラック
		D1 D0	P16TS21 P16TS20	クロック分周比選択	1 1 1 0/4096	0		ロック選択レジスタ (0x40181)で選択
					1 1 0 0/1024	0		
					1 0 1 0/256			
					1 0 0 0/64			
					0 1 1 0/16			
					0 1 0 0/4			
					0 0 1 0/2			
					0 0 0 0/1			

[アドレス]の(B)は8ビットレジスタ、(HW)は16ビットレジスタを示しています。

[Init.]のシンボルの意味は次のとおりです。

0, 1: イニシャルリセット時、記載の値に初期化されます。

(ただし、バスと出力ポートのレジスタはホットスタートでは初期化されません。)

X: イニシャルリセットで初期化されません。

—: 回路上設定されません。

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ3 クロック コントロール レジスタ	004014A (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P16TON3	16bitタイマ3クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS32	16bitタイマ3	P16TS3[2:0] 分周比	0	R/W	θ: プリスケール クロック選択レジスタ (0x40181)で選択
		D1	P16TS31	クロック分周比選択	1 1 1 θ/4096	0		
		D0	P16TS30		1 1 0 θ/1024	0		
					1 0 1 θ/256			
					1 0 0 θ/64			
					0 1 1 θ/16			
					0 1 0 θ/4			
					0 0 1 θ/2			
					0 0 0 θ/1			
16bitタイマ4 クロック コントロール レジスタ	004014B (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P16TON4	16bitタイマ4クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS42	16bitタイマ4	P16TS4[2:0] 分周比	0	R/W	θ: プリスケール クロック選択レジスタ (0x40181)で選択
		D1	P16TS41	クロック分周比選択	1 1 1 θ/4096	0		
		D0	P16TS40		1 1 0 θ/1024	0		
					1 0 1 θ/256			
					1 0 0 θ/64			
					0 1 1 θ/16			
					0 1 0 θ/4			
					0 0 1 θ/2			
					0 0 0 θ/1			
16bitタイマ5 クロック コントロール レジスタ	004014C (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P16TON5	16bitタイマ5クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS52	16bitタイマ5	P16TS5[2:0] 分周比	0	R/W	θ: プリスケール クロック選択レジスタ (0x40181)で選択
		D1	P16TS51	クロック分周比選択	1 1 1 θ/4096	0		
		D0	P16TS50		1 1 0 θ/1024	0		
					1 0 1 θ/256			
					1 0 0 θ/64			
					0 1 1 θ/16			
					0 1 0 θ/4			
					0 0 1 θ/2			
					0 0 0 θ/1			
8bitタイマ0/1 クロック コントロール レジスタ	004014D (B)	D7	P8TON1	8bitタイマ1クロック制御	1 On 0 Off	0	R/W	
		D6	P8TS12	8bitタイマ1	P8TS1[2:0] 分周比	0	R/W	θ: プリスケールクロ ック選択レジスタ (0x40181)で選択
		D5	P8TS11	クロック分周比選択	1 1 1 θ/4096	0		
		D4	P8TS10		1 1 0 θ/2048	0		
					1 0 1 θ/1024			
					1 0 0 θ/512			
					0 1 1 θ/256			
					0 1 0 θ/128			
					0 0 1 θ/64			8bitタイマ1は OSC3発振安定時間 のクロックを生成
					0 0 0 θ/32			
		D3	P8TON0	8bitタイマ0クロック制御	1 On 0 Off	0	R/W	
		D2	P8TS02	8bitタイマ0	P8TS0[2:0] 分周比	0	R/W	
		D1	P8TS01	クロック分周比選択	1 1 1 θ/256	0		
		D0	P8TS00		1 1 0 θ/128	0		
					1 0 1 θ/64			
					1 0 0 θ/32			
					0 1 1 θ/16			
					0 1 0 θ/8			
					0 0 1 θ/4			
					0 0 0 θ/2			

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈		
8bitタイマ2/3 クロック コントロール レジスタ	004014E (B)	D7	P8TON3	8bitタイマ3クロック制御	1	On	0	Off	0	R/W	θ: プリスケールク ロック選択レジスタ (0x40181)で選択 8bitタイマ3は シリアル/F Ch.1の クロックを生成
		D6	P8TS32	8bitタイマ3 クロック分周比選択	P8TS3[2:0]		分周比		0	R/W	
		D5	P8TS31		1	1	1	0/256	0		
		D4	P8TS30		1	1	0	0/128	0		
					1	0	1	0/64			
					1	0	0	0/32			
					0	1	1	0/16			
					0	1	0	0/8			
					0	0	1	0/4			
				0	0	0	0/2				
		D3	P8TON2	8bitタイマ2クロック制御	1	On	0	Off	0	R/W	
		D2	P8TS22	8bitタイマ2 クロック分周比選択	P8TS2[2:0]		分周比		0	R/W	
		D1	P8TS21		1	1	1	0/4096	0		
		D0	P8TS20		1	1	0	0/2048	0		
					1	0	1	0/64			
					1	0	0	0/32			
					0	1	1	0/16			
					0	1	0	0/8			
					0	0	1	0/4			
				0	0	0	0/2				
A/Dクロック コントロール レジスタ	004014F (B)	D7-4	—	reserved	—		—	—	—	読み出し時: 0	
		D3	PSONAD	A/D変換器クロック制御	1	On	0	Off	0	R/W	
		D2	PSAD2	A/D変換器クロック分周比選択	PSAD[2:0]		分周比		0	R/W	
		D1	PSAD1		1	1	1	0/256	0		
		D0	PSAD0		1	1	0	0/128	0		
					1	0	1	0/64			
					1	0	0	0/32			
					0	1	1	0/16			
					0	1	0	0/8			
					0	0	1	0/4			
					0	0	0	0/2			
計時タイマ Run/Stop レジスタ	0040151 (B)	D7-2	—	reserved	—		—	—	—	読み出し時: 0	
		D1	TCRST	計時タイマリセット	1	リセット	0	無効	X	W	
		D0	TCRUN	計時タイマRun/Stop制御	1	Run	0	Stop	X	R/W	
計時タイマ 割り込み制御 レジスタ	0040152 (B)	D7	TCISE2	計時タイマ割り込み要因選択	TCISE[2:0]		割り込み要因		X	R/W	
		D6	TCISE1		1	1	1	なし	X		
		D5	TCISE0		1	1	0	1日	X		
					1	0	1	1時間			
					1	0	0	1分			
					0	1	1	1Hz			
					0	1	0	2Hz			
					0	0	1	8Hz			
					0	0	0	32Hz			
		D4	TCASE2	計時タイマアラーム要因選択	TCASE[2:0]		アラーム要因		X	R/W	
D3	TCASE1	1	X		X	日アラーム	X				
D2	TCASE0	X	1		X	時間アラーム	X				
		X	X		1	分アラーム					
				0	0	0	なし				
	D1	TCIF	割り込み要因発生フラグ	1	要因あり	0	要因なし	X	R/W	"1"書き込みでリセット	
	D0	TCAF	アラーム要因発生フラグ	1	要因あり	0	要因なし	X	R/W		
計時タイマ 分周レジスタ	0040153 (B)	D7	TCD7	計時タイマデータ 1Hz	1	High	0	Low	X	R	
		D6	TCD6	計時タイマデータ 2Hz	1	High	0	Low	X	R	
		D5	TCD5	計時タイマデータ 4Hz	1	High	0	Low	X	R	
		D4	TCD4	計時タイマデータ 8Hz	1	High	0	Low	X	R	
		D3	TCD3	計時タイマデータ 16Hz	1	High	0	Low	X	R	
		D2	TCD2	計時タイマデータ 32Hz	1	High	0	Low	X	R	
		D1	TCD1	計時タイマデータ 64Hz	1	High	0	Low	X	R	
		D0	TCD0	計時タイマデータ 128Hz	1	High	0	Low	X	R	
計時タイマ 秒レジスタ	0040154 (B)	D7-6	—	reserved	—		—	—	—	—	読み出し時: 0
		D5	TCMD5	計時タイマ秒データ TCMD5 = MSB TCMD0 = LSB	0 ~ 59秒		X	R			
		D4	TCMD4				X				
		D3	TCMD3				X				
		D2	TCMD2				X				
		D1	TCMD1				X				
		D0	TCMD0				X				

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
計時タイム分レジスタ	0040155 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	TCHD5	計時タイム分データ TCHD5 = MSB TCHD0 = LSB	0 ~ 59分	X	R/W	
		D4	TCHD4			X		
		D3	TCHD3			X		
		D2	TCHD2			X		
		D1	TCHD1			X		
		D0	TCHD0			X		
計時タイム時間レジスタ	0040156 (B)	D7-5	—	reserved	—	—	—	読み出し時: 0
		D4	TCDD4	計時タイム時間データ TCDD4 = MSB TCDD0 = LSB	0 ~ 23時	X	R/W	
		D3	TCDD3			X		
		D2	TCDD2			X		
		D1	TCDD1			X		
		D0	TCDD0			X		
計時タイム日(下位)レジスタ	0040157 (B)	D7	TCND7	計時タイム日データ (下位8ビット) TCND0 = LSB	0 ~ 65535日 (下位8ビット)	X	R/W	
		D6	TCND6			X		
		D5	TCND5			X		
		D4	TCND4			X		
		D3	TCND3			X		
		D2	TCND2			X		
		D1	TCND1			X		
		D0	TCND0			X		
計時タイム日(上位)レジスタ	0040158 (B)	D7	TCND15	計時タイム日データ (上位8ビット) TCND15 = MSB	0 ~ 65535日 (上位8ビット)	X	R/W	
		D6	TCND14			X		
		D5	TCND13			X		
		D4	TCND12			X		
		D3	TCND11			X		
		D2	TCND10			X		
		D1	TCND9			X		
		D0	TCND8			X		
計時タイム分比較レジスタ	0040159 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	TCCH5	計時タイム分比較データ TCCH5 = MSB TCCH0 = LSB	0 ~ 59分 (注)0 ~ 63を設定可能	X	R/W	
		D4	TCCH4			X		
		D3	TCCH3			X		
		D2	TCCH2			X		
		D1	TCCH1			X		
		D0	TCCH0			X		
計時タイム時間比較レジスタ	004015A (B)	D7-5	—	reserved	—	—	—	読み出し時: 0
		D4	TCCD4	計時タイム時間比較データ TCCD4 = MSB TCCD0 = LSB	0 ~ 23時 (注)0 ~ 31を設定可能	X	R/W	
		D3	TCCD3			X		
		D2	TCCD2			X		
		D1	TCCD1			X		
		D0	TCCD0			X		
計時タイム日比較レジスタ	004015B (B)	D7-5	—	reserved	—	—	—	読み出し時: 0
		D4	TCCN4	計時タイム日比較データ TCCN4 = MSB TCCN0 = LSB	0 ~ 31日	X	R/W	TCND[4:0]と比較
		D3	TCCN3			X		
		D2	TCCN2			X		
		D1	TCCN1			X		
		D0	TCCN0			X		
8bitタイム0制御レジスタ	0040160 (B)	D7-3	—	reserved	—	—	—	読み出し時: 0
		D2	PTOUT0	8bitタイム0クロック出力制御	1 On 0 Off	0	R/W	
		D1	PSET0	8bitタイム0プリセット	1 プリセット 0 無効	—	W	読み出し時: 0
		D0	PTRUN0	8bitタイム0 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイム0リロードデータレジスタ	0040161 (B)	D7	RLD07	8bitタイム0 リロードデータ RLD07 = MSB RLD00 = LSB	0 ~ 255	X	R/W	
		D6	RLD06			X		
		D5	RLD05			X		
		D4	RLD04			X		
		D3	RLD03			X		
		D2	RLD02			X		
		D1	RLD01			X		
		D0	RLD00			X		
8bitタイム0カウントデータレジスタ	0040162 (B)	D7	PTD07	8bitタイム0カウントデータ PTD07 = MSB PTD00 = LSB	0 ~ 255	X	R	
		D6	PTD06			X		
		D5	PTD05			X		
		D4	PTD04			X		
		D3	PTD03			X		
		D2	PTD02			X		
		D1	PTD01			X		
		D0	PTD00			X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
8bitタイマ1 制御レジスタ	0040164 (B)	D7-3	—	reserved	—	—	—	読み出し時: 0
		D2	PTOUT1	8bitタイマ1クロック出力制御	1 On 0 Off	0	R/W	
		D1	PSET1	8bitタイマ1プリセット	1 プリセット 0 無効	—	W	読み出し時: 0
		D0	PTRUN1	8bitタイマ1 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ1 リロードデータ レジスタ	0040165 (B)	D7	RLD17	8bitタイマ1	0 ~ 255	X	R/W	
		D6	RLD16	リロードデータ		X		
		D5	RLD15	RLD17 = MSB		X		
		D4	RLD14	RLD10 = LSB		X		
		D3	RLD13			X		
		D2	RLD12			X		
		D1	RLD11			X		
		D0	RLD10			X		
8bitタイマ1 カウントデータ レジスタ	0040166 (B)	D7	PTD17	8bitタイマ1カウントデータ	0 ~ 255	X	R	
		D6	PTD16	PTD17 = MSB		X		
		D5	PTD15	PTD10 = LSB		X		
		D4	PTD14			X		
		D3	PTD13			X		
		D2	PTD12			X		
		D1	PTD11			X		
		D0	PTD10			X		
8bitタイマ2 制御レジスタ	0040168 (B)	D7-3	—	reserved	—	—	—	読み出し時: 0
		D2	PTOUT2	8bitタイマ2クロック出力制御	1 On 0 Off	0	R/W	
		D1	PSET2	8bitタイマ2プリセット	1 プリセット 0 無効	—	W	読み出し時: 0
		D0	PTRUN2	8bitタイマ2 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ2 リロードデータ レジスタ	0040169 (B)	D7	RLD27	8bitタイマ2	0 ~ 255	X	R/W	
		D6	RLD26	リロードデータ		X		
		D5	RLD25	RLD27 = MSB		X		
		D4	RLD24	RLD20 = LSB		X		
		D3	RLD23			X		
		D2	RLD22			X		
		D1	RLD21			X		
		D0	RLD20			X		
8bitタイマ2 カウントデータ レジスタ	004016A (B)	D7	PTD27	8bitタイマ2カウントデータ	0 ~ 255	X	R	
		D6	PTD26	PTD27 = MSB		X		
		D5	PTD25	PTD20 = LSB		X		
		D4	PTD24			X		
		D3	PTD23			X		
		D2	PTD22			X		
		D1	PTD21			X		
		D0	PTD20			X		
8bitタイマ3 制御レジスタ	004016C (B)	D7-3	—	reserved	—	—	—	読み出し時: 0
		D2	PTOUT3	8bitタイマ3クロック出力制御	1 On 0 Off	0	R/W	
		D1	PSET3	8bitタイマ3プリセット	1 プリセット 0 無効	—	W	読み出し時: 0
		D0	PTRUN3	8bitタイマ3 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ3 リロードデータ レジスタ	004016D (B)	D7	RLD37	8bitタイマ3	0 ~ 255	X	R/W	
		D6	RLD36	リロードデータ		X		
		D5	RLD35	RLD37 = MSB		X		
		D4	RLD34	RLD30 = LSB		X		
		D3	RLD33			X		
		D2	RLD32			X		
		D1	RLD31			X		
		D0	RLD30			X		
8bitタイマ3 カウントデータ レジスタ	004016E (B)	D7	PTD37	8bitタイマ3カウントデータ	0 ~ 255	X	R	
		D6	PTD36	PTD37 = MSB		X		
		D5	PTD35	PTD30 = LSB		X		
		D4	PTD34			X		
		D3	PTD33			X		
		D2	PTD32			X		
		D1	PTD31			X		
		D0	PTD30			X		
ウォッチドッグ タイマ書き込み 保護レジスタ	0040170 (B)	D7	WRWD	EWD書き込み保護	1 書込許可 0 書込禁止	0	R/W	
		D6-0	—	—	—	—	—	読み出し時: 0
ウォッチドッグ タイマイネーブル レジスタ	0040171 (B)	D7-2	—	—	—	—	—	読み出し時: 0
		D1	EWD	ウォッチドッグタイマイネーブル	1 NMI許可 0 NMI禁止	0	R/W	
		D0	—	—	—	—	—	読み出し時: 0

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
8bitタイマ4 制御レジスタ	0040174 (B)	D7-3	—	reserved	—			—	—	読み出し時: 0	
		D2	PTOUT4	8bitタイマ4出力制御	1	On	0	Off	0	R/W	
		D1	PSET4	8bitタイマ4プリセット	1	プリセット	0	無効	—	W	読み出し時: 0
		D0	PTRUN4	8bitタイマ4 Run/Stop制御	1	Run	0	Stop	0	R/W	
8bitタイマ4 リロードデータ レジスタ	0040175 (B)	D7	RLD47	8bitタイマ4	0 ~ 255			X	R/W		
		D6	RLD46	リロードデータ				X			
		D5	RLD45	RLD47 = MSB				X			
		D4	RLD44	RLD40 = LSB				X			
		D3	RLD43					X			
		D2	RLD42					X			
		D1	RLD41					X			
		D0	RLD40					X			
8bitタイマ4 カウントデータ レジスタ	0040176 (B)	D7	PTD47	8bitタイマ4	0 ~ 255			X	R		
		D6	PTD46	カウントデータ				X			
		D5	PTD45	PTD47 = MSB				X			
		D4	PTD44	PTD40 = LSB				X			
		D3	PTD43					X			
		D2	PTD42					X			
		D1	PTD41					X			
		D0	PTD40					X			
8bitタイマ5 制御レジスタ	0040178 (B)	D7-3	—	reserved	—			—	—	読み出し時: 0	
		D2	PTOUT5	8bitタイマ5出力制御	1	On	0	Off	0	R/W	
		D1	PSET5	8bitタイマ5プリセット	1	プリセット	0	無効	—	W	読み出し時: 0
		D0	PTRUN5	8bitタイマ5 Run/Stop制御	1	Run	0	Stop	0	R/W	
8bitタイマ5 リロードデータ レジスタ	0040179 (B)	D7	RLD57	8bitタイマ5	0 ~ 255			X	R/W		
		D6	RLD56	リロードデータ				X			
		D5	RLD55	RLD57 = MSB				X			
		D4	RLD54	RLD50 = LSB				X			
		D3	RLD53					X			
		D2	RLD52					X			
		D1	RLD51					X			
		D0	RLD50					X			
8bitタイマ5 カウントデータ レジスタ	004017A (B)	D7	PTD57	8bitタイマ5	0 ~ 255			X	R		
		D6	PTD56	カウントデータ				X			
		D5	PTD55	PTD57 = MSB				X			
		D4	PTD54	PTD50 = LSB				X			
		D3	PTD53					X			
		D2	PTD52					X			
		D1	PTD51					X			
		D0	PTD50					X			
パワー コントロール レジスタ	0040180 (B)	D7	CLKDT1	システムクロック分周比選択	CLKDT[1:0]		分周比	0	R/W		
		D6	CLKDT0		1	1		1/8			
			1		0	1/4					
			0		1	1/2					
			0		0	1/1					
		D5	PSCON	プリスケラOn/Off制御	1	On	0	Off	1	R/W	
		D4-3	—	reserved	—			0	—	1書き込み禁止	
プリスケラ クロック選択 レジスタ	0040181 (B)	D7-1	—	reserved	—			0	—		
		D0	PSCDT0	プリスケラクロック選択	1	OSC1	0	OSC3/PLL	0	R/W	
		D7-4	—	—	—			—	—	読み出し時: 0	
		D3	HLT2OP	HALTクロックオプション	1	On	0	Off	0	R/W	
クロック オプション レジスタ	0040190 (B)	D2	8T1ON	高速(OSC3)発振待ち時間On	1	Off	0	On	1	R/W	
		D1	—	reserved	—			0	—	1書き込み禁止	
		D0	PF1ON	OSC1外部出力On/Off制御	1	On	0	Off	0	R/W	
		D7	CLGP7	パワーコントロールレジスタ 保護フラグ	10010110(0x96)書き込みにより パワーコントロールレジスタ (0x40180)、クロックオプション レジスタ(0x40190)の書き込み保 護を解除 それ以外は書き込み禁止に設定	0	R/W				
D6	CLGP6	0									
D5	CLGP5	0									
D4	CLGP4	0									
D3	CLGP3	0									
D2	CLGP2	0									
D1	CLGP1	0									
D0	CLGP0	0									

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
シリアルI/F Ch.0送信データ レジスタ	00401E0 (B)	D7	TXD07	シリアルI/F Ch.0	0x0 ~ 0xFF(0x7F)	X	R/W	調歩同期式7ビット モードの場合、 TXD07は無効
		D6	TXD06	送信データ		X		
		D5	TXD05	TXD07(06) = MSB		X		
		D4	TXD04	TXD00 = LSB		X		
		D3	TXD03			X		
		D2	TXD02			X		
		D1	TXD01			X		
		D0	TXD00			X		
シリアルI/F Ch.0受信データ レジスタ	00401E1 (B)	D7	RXD07	シリアルI/F Ch.0	0x0 ~ 0xFF(0x7F)	X	R	調歩同期式7ビット モードの場合、 RXD07は無効(0固定)
		D6	RXD06	受信データ		X		
		D5	RXD05	RXD07(06) = MSB		X		
		D4	RXD04	RXD00 = LSB		X		
		D3	RXD03			X		
		D2	RXD02			X		
		D1	RXD01			X		
		D0	RXD00			X		
シリアルI/F Ch.0ステータス レジスタ	00401E2 (B)	D7-6	—	—	—	—	—	読み出し時: 0
		D5	TEND0	Ch.0転送終了フラグ	1 転送中	0 終了	0 R	0書き込みでクリア
		D4	FER0	Ch.0フレーミングエラーフラグ	1 エラー	0 正常	0 R/W	
		D3	PER0	Ch.0パリティエラーフラグ	1 エラー	0 正常	0 R/W	
		D2	OER0	Ch.0オーバーランエラーフラグ	1 エラー	0 正常	0 R/W	
		D1	TDBE0	Ch.0送信データバッファエンpty	1 エンプティ	0 バッファフル	1 R	
		D0	RDBF0	Ch.0受信データバッファフル	1 バッファフル	0 エンプティ	0 R	
シリアルI/F Ch.0制御 レジスタ	00401E3 (B)	D7	TXEN0	Ch.0送信許可	1 許可	0 禁止	0 R/W	調歩同期式モード時 のみ有効
		D6	RXEN0	Ch.0受信許可	1 許可	0 禁止	0 R/W	
		D5	EPR0	Ch.0パリティイネーブル	1 パリティ付	0 パリティなし	X R/W	
		D4	PMD0	Ch.0パリティモード選択	1 奇数	0 偶数	X R/W	
		D3	STPB0	Ch.0ストップビット選択	1 2bit	0 1bit	X R/W	
		D2	SSCK0	Ch.0入力クロック選択	1 #SCLK0	0 内部クロック	X R/W	
		D1	SMD01	Ch.0転送モード選択	SMD0[1:0]		X R/W	
		D0	SMD00		1 1	調歩同期式8bit	X	
					1 0	調歩同期式7bit		
					0 1	クロック同期スレーブ クロック同期マスター		
シリアルI/F Ch.0 IrDA レジスタ	00401E4 (B)	D7-5	—	—	—	—	—	読み出し時: 0
		D4	DIVMD0	Ch.0調歩同期クロック分周比	1 1/8	0 1/16	X R/W	調歩同期式モード時 のみ有効
		D3	IRTL0	Ch.0 IrDA I/F出力論理反転	1 反転	0 反転なし	X R/W	
		D2	IRRL0	Ch.0 IrDA I/F入力論理反転	1 反転	0 反転なし	X R/W	
		D1	IRMD01	Ch.0インタフェースモード 選択	IRMD0[1:0]		X R/W	
		D0	IRMD00		1 1	reserved	X	
					1 0	IrDA 1.0		
					0 1	reserved		
シリアルI/F Ch.1送信データ レジスタ	00401E5 (B)	D7	TXD17	シリアルI/F Ch.1	0x0 ~ 0xFF(0x7F)	X	R/W	調歩同期式7ビット モードの場合、 TXD17は無効
		D6	TXD16	送信データ		X		
		D5	TXD15	TXD17(16) = MSB		X		
		D4	TXD14	TXD10 = LSB		X		
		D3	TXD13			X		
		D2	TXD12			X		
		D1	TXD11			X		
		D0	TXD10			X		
シリアルI/F Ch.1受信データ レジスタ	00401E6 (B)	D7	RXD17	シリアルI/F Ch.1	0x0 ~ 0xFF(0x7F)	X	R	調歩同期式7ビット モードの場合、 RXD17は無効(0固定)
		D6	RXD16	受信データ		X		
		D5	RXD15	RXD17(16) = MSB		X		
		D4	RXD14	RXD10 = LSB		X		
		D3	RXD13			X		
		D2	RXD12			X		
		D1	RXD11			X		
		D0	RXD10			X		
シリアルI/F Ch.1ステータス レジスタ	00401E7 (B)	D7-6	—	—	—	—	—	読み出し時: 0
		D5	TEND1	Ch.1転送終了フラグ	1 転送中	0 終了	0 R	0書き込みでクリア
		D4	FER1	Ch.1フレーミングエラーフラグ	1 エラー	0 正常	0 R/W	
		D3	PER1	Ch.1パリティエラーフラグ	1 エラー	0 正常	0 R/W	
		D2	OER1	Ch.1オーバーランエラーフラグ	1 エラー	0 正常	0 R/W	
		D1	TDBE1	Ch.1送信データバッファエンpty	1 エンプティ	0 バッファフル	1 R	
		D0	RDBF1	Ch.1受信データバッファフル	1 バッファフル	0 エンプティ	0 R	

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈
シリアルI/F Ch.1制御 レジスタ	00401E8 (B)	D7	TXEN1	Ch.1送信許可	1	許可	0	禁止	0	R/W	調歩同期式モード時のみ有効
		D6	RXEN1	Ch.1受信許可	1	許可	0	禁止	0	R/W	
		D5	EPR1	Ch.1パリティネーブル	1	パリティ付	0	パリティなし	X	R/W	
		D4	PMD1	Ch.1パリティモード選択	1	奇数	0	偶数	X	R/W	
		D3	STPB1	Ch.1ストップビット選択	1	2bit	0	1bit	X	R/W	
		D2	SSCK1	Ch.1入力クロック選択	1	#SCLK1	0	内部クロック	X	R/W	
		D1	SMD11 SMD10	Ch.1転送モード選択	SMD1[1:0]		転送モード		X	R/W	
		D0			1	1	調歩同期式8bit		X		
			1	0	調歩同期式7bit						
			0	1	クロック同期スレーブ						
			0	0	クロック同期マスタ						
シリアルI/F Ch.1 IrDA レジスタ	00401E9 (B)	D7~5	—	—	—				—	—	読み出し時: 0
		D4	DIVMD1	Ch.1調歩同期クロック分周比	1	1/8	0	1/16	X	R/W	調歩同期式モード時のみ有効
		D3	IRTL1	Ch.1 IrDA I/F出力論理反転	1	反転	0	反転なし	X	R/W	
		D2	IRRL1	Ch.1 IrDA I/F入力論理反転	1	反転	0	反転なし	X	R/W	
		D1	IRMD11	Ch.1インタフェースモード 選択	IRMD1[1:0]		I/Fモード		X	R/W	
		D0	IRMD10		1	1	reserved		X		
					1	0	IrDA 1.0				
					0	1	reserved				
			0	0	通常のI/F						
シリアルI/F Ch.2送信データ レジスタ	00401F0 (B)	D7	TXD27	シリアルI/F Ch.2 送信データ TXD27(26) = MSB TXD20 = LSB	0x0 ~ 0xFF(0x7F)				X	R/W	
		D6	TXD26						X		
		D5	TXD25						X		
		D4	TXD24						X		
		D3	TXD23						X		
		D2	TXD22						X		
		D1	TXD21						X		
		D0	TXD20						X		
シリアルI/F Ch.2受信データ レジスタ	00401F1 (B)	D7	RXD27	シリアルI/F Ch.2 受信データ RXD27(26) = MSB RXD20 = LSB	0x0 ~ 0xFF(0x7F)				X	R	
		D6	RXD26						X		
		D5	RXD25						X		
		D4	RXD24						X		
		D3	RXD23						X		
		D2	RXD22						X		
		D1	RXD21						X		
		D0	RXD20						X		
シリアルI/F Ch.2ステータス レジスタ	00401F2 (B)	D7~6	—	reserved	—				—	—	読み出し時: 0
		D5	TEND2	Ch.2転送終了フラグ	1	転送中	0	終了	0	R	0書き込みでクリア
		D4	FER2	Ch.2フレーミングエラーフラグ	1	エラー	0	正常	0	R/W	
		D3	PER2	Ch.2パリティエラーフラグ	1	エラー	0	正常	0	R/W	
		D2	OER2	Ch.2オーバーランエラーフラグ	1	エラー	0	正常	0	R/W	
		D1	TDBE2	Ch.2送信データバッファエンプティ	1	エンプティ	0	バッファフル	1	R	
		D0	RDBF2	Ch.2受信データバッファフル	1	バッファフル	0	エンプティ	0	R	
		シリアルI/F Ch.2制御 レジスタ	00401F3 (B)	D7	TXEN2	Ch.2送信許可	1	許可	0	禁止	0
D6	RXEN2			Ch.2受信許可	1	許可	0	禁止	0	R/W	
D5	EPR2			Ch.2パリティネーブル	1	パリティ付	0	パリティなし	X	R/W	
D4	PMD2			Ch.2パリティモード選択	1	奇数	0	偶数	X	R/W	
D3	STPB2			Ch.2ストップビット選択	1	2bit	0	1bit	X	R/W	
D2	SSCK2			Ch.2入力クロック選択	1	#SCLK2	0	内部クロック	X	R/W	
D1	SMD21 SMD20			Ch.2転送モード選択	SMD2[1:0]		転送モード		X	R/W	
D0					1	1	調歩同期式8bit		X		
			1	0	調歩同期式7bit						
			0	1	クロック同期スレーブ						
			0	0	クロック同期マスタ						
シリアルI/F Ch.2 IrDA レジスタ	00401F4 (B)	D7~5	—	reserved	—				—	—	読み出し時: 0
		D4	DIVMD2	Ch.2調歩同期クロック分周比	1	1/8	0	1/16	X	R/W	調歩同期式モード時のみ有効
		D3	IRTL2	Ch.2 IrDA I/F出力論理反転	1	反転	0	反転なし	X	R/W	
		D2	IRRL2	Ch.2 IrDA I/F入力論理反転	1	反転	0	反転なし	X	R/W	
		D1	IRMD21	Ch.2インタフェースモード 選択	IRMD2[1:0]		I/Fモード		X	R/W	
		D0	IRMD20		1	1	reserved		X		
					1	0	IrDA 1.0				
					0	1	reserved				
			0	0	通常のI/F						

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
シリアルI/F Ch.3送信データ レジスタ	00401F5 (B)	D7	TXD37	シリアルI/F Ch.3	0x0 ~ 0xFF(0x7F)	X	R/W	
		D6	TXD36	送信データ		X		
		D5	TXD35	TXD37(36) = MSB		X		
		D4	TXD34	TXD30 = LSB		X		
		D3	TXD33			X		
		D2	TXD32			X		
		D1	TXD31			X		
		D0	TXD30			X		
シリアルI/F Ch.3受信データ レジスタ	00401F6 (B)	D7	RXD37	シリアルI/F Ch.3	0x0 ~ 0xFF(0x7F)	X	R	
		D6	RXD36	受信データ		X		
		D5	RXD35	RXD37(36) = MSB		X		
		D4	RXD34	RXD30 = LSB		X		
		D3	RXD33			X		
		D2	RXD32			X		
		D1	RXD31			X		
		D0	RXD30			X		
シリアルI/F Ch.3ステータス レジスタ	00401F7 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	TEND3	Ch.3転送終了フラグ	1 転送中 0 終了	0	R	0書き込みでクリア
		D4	FER3	Ch.3フレーミングエラーフラグ	1 エラー 0 正常	0	R/W	
		D3	PER3	Ch.3パリティエラーフラグ	1 エラー 0 正常	0	R/W	
		D2	OER3	Ch.3オーバーランエラーフラグ	1 エラー 0 正常	0	R/W	
		D1	TDBE3	Ch.3送信データバッファエンpty	1 エンプティ 0 バッファフル	1	R	
		D0	RDBF3	Ch.3受信データバッファフル	1 バッファフル 0 エンプティ	0	R	
シリアルI/F Ch.3制御 レジスタ	00401F8 (B)	D7	TXEN3	Ch.3送信許可	1 許可 0 禁止	0	R/W	
		D6	RXEN3	Ch.3受信許可	1 許可 0 禁止	0	R/W	
		D5	EPR3	Ch.3パリティイネーブル	1 パリティ付 0 パリティなし	X	R/W	
		D4	PMD3	Ch.3パリティモード選択	1 奇数 0 偶数	X	R/W	
		D3	STPB3	Ch.3ストップビット選択	1 2bit 0 1bit	X	R/W	調歩同期式モード時のみ有効
		D2	SSCK3	Ch.3入力クロック選択	1 #SCLK3 0 内部クロック	X	R/W	
		D1	SMD31	Ch.3転送モード選択	SMD3[1:0] 転送モード	X	R/W	
		D0	SMD30			X		
						1 1 調歩同期式8bit		
						1 0 調歩同期式7bit		
						0 1 クロック同期スレーブ		
シリアルI/F Ch.3 IrDA レジスタ	00401F9 (B)	D7-5	—	reserved	—	—	—	読み出し時: 0
		D4	DIVMD3	Ch.3調歩同期クロック分周比	1 1/8 0 1/16	X	R/W	
		D3	IRTL3	Ch.3 IrDA I/F出力論理反転	1 反転 0 反転なし	X	R/W	調歩同期式モード時のみ有効
		D2	IRRL3	Ch.3 IrDA I/F入力論理反転	1 反転 0 反転なし	X	R/W	
		D1	IRMD31	Ch.3インタフェースモード 選択	IRMD3[1:0] I/Fモード	X	R/W	
		D0	IRMD30			X		
						1 1 reserved		
						1 0 IrDA 1.0		
A/D変換結果 (下位)レジスタ	0040240 (B)	D7	ADD7	A/D変換結果(下位8ビット) ADD0 = LSB	0x0 ~ 0x3FF (下位8ビット)	0	R	
		D6	ADD6			0		
		D5	ADD5			0		
		D4	ADD4			0		
		D3	ADD3			0		
		D2	ADD2			0		
		D1	ADD1			0		
		D0	ADD0			0		
A/D変換結果 (上位)レジスタ	0040241 (B)	D7-2	—	reserved	—	—	—	読み出し時: 0
		D1	ADD9	A/D変換結果(上位2ビット) ADD9 = MSB	0x0 ~ 0x3FF (上位2ビット)	0	R	
		D0	ADD8			0		
A/Dトリガ レジスタ	0040242 (B)	D7-6	—	—	—	—	—	読み出し時: 0
		D5	MS	A/D変換モード選択	1 連続モード 0 通常モード	0	R/W	
		D4	TS1	A/D変換トリガ選択	TS[1:0] トリガ	0	R/W	
		D3	TS0			0		
						1 1 #ADTRG端子		
						1 0 8bitタイマ0		
						0 1 16bitタイマ0		
						0 0 ソフトウェア		
		D2	CH2	A/D変換中チャネルステータス	CH[2:0] チャネル	0	R	
		D1	CH1			0		
		D0	CH0			0		
						1 1 1 AD7		
						1 1 0 AD6		
						1 0 1 AD5		
						1 0 0 AD4		
						0 1 1 AD3		
						0 1 0 AD2		
						0 0 1 AD1		
						0 0 0 AD0		

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈								
A/Dチャンネル レジスタ	0040243 (B)	D7-6	—	—	—		—	—	読み出し時: 0								
		D5	CE2	A/D変換終了チャンネル設定	CE[2:0]		終了チャンネル			0	R/W						
		D4	CE1		1	1	1	AD7		0							
		D3	CE0		1	1	0	AD6		0							
					1	0	1	AD5									
					1	0	0	AD4									
					0	1	1	AD3									
					0	1	0	AD2									
					0	0	1	AD1									
					0	0	0	AD0									
		D2	CS2	A/D変換開始チャンネル設定	CS[2:0]		開始チャンネル			0	R/W						
		D1	CS1		1	1	1	AD7		0							
		D0	CS0		1	1	0	AD6		0							
					1	0	1	AD5									
					1	0	0	AD4									
					0	1	1	AD3									
					0	1	0	AD2									
					0	0	1	AD1									
					0	0	0	AD0									
A/Dイネーブル レジスタ	0040244 (B)	D7	—	reserved	—		—	—	読み出し時: 0								
		D6	INTMODE	割り込み信号モード	1	変換終了のみ	0	両方OR		0	R/W						
		D5	CMPINTEN	上下限割り込みイネーブル	1	有効	0	無効		0		R/W					
		D4	CNVINTEN	変換終了割り込みイネーブル	1	有効	0	無効		1			R/W				
		D3	ADF	変換終了フラグ	1	変換終了	0	変換/待機中		0				R			
		D2	ADE	A/Dイネーブル	1	許可	0	禁止		0					R/W		
		D1	ADST	A/D変換制御/ステータス	1	開始/変換中	0	停止		0						R/W	
		D0	OWE	オーバーライトエラーフラグ	1	エラー	0	正常		0							R/W
A/Dサンプリング レジスタ	0040245 (B)	D7	ADCMPPE	上限値/下限値比較イネーブル	1	許可	0	禁止	0	R/W							
		D6	ADCMP2	上限値/下限値比較チャンネル設定	0 ~ 7		0	R/W									
		D5	ADCMP1				0										
		D4	ADCMP0				0										
		D3	ADUPRST	上限値比較ステータス	1	上限オーバー	0		範囲内		0	R					
		D2	ADLWRST	下限値比較ステータス	1	下限アンダー	0		範囲内		0		R				
		D1	ST1	入力サンプリング時間設定	ST[1:0]		サンプリング時間		1		R/W						
		D0	ST0		1	1	9クロック		1								
		1	0		7クロック												
		0	1		5クロック												
		0	0	3クロック													
A/D変換終了 フラグレジスタ	0040246 (B)	D7	ADF7	Ch.7変換終了フラグ	1	変換終了	0	変換/待機中	0	R							
		D6	ADF6	Ch.6変換終了フラグ				0	R								
		D5	ADF5	Ch.5変換終了フラグ				0			R						
		D4	ADF4	Ch.4変換終了フラグ				0				R					
		D3	ADF3	Ch.3変換終了フラグ				0					R				
		D2	ADF2	Ch.2変換終了フラグ				0						R			
		D1	ADF1	Ch.1変換終了フラグ				0							R		
		D0	ADF0	Ch.0変換終了フラグ				0								R	
		A/Dオーバー ライトエラー フラグレジスタ	0040247 (B)	D7	OWE7	Ch.7オーバーライトエラーフラグ	1	エラー									0
D6	OWE6			Ch.6オーバーライトエラーフラグ				0		R/W							
D5	OWE5			Ch.5オーバーライトエラーフラグ				0	R/W								
D4	OWE4			Ch.4オーバーライトエラーフラグ				0			R/W						
D3	OWE3			Ch.3オーバーライトエラーフラグ				0				R/W					
D2	OWE2			Ch.2オーバーライトエラーフラグ				0					R/W				
D1	OWE1			Ch.1オーバーライトエラーフラグ				0						R/W			
D0	OWE0			Ch.0オーバーライトエラーフラグ				0							R/W		
A/D Ch.0 変換結果(下位) バッファ	0040248 (B)			D7	AD0BUF7	A/D Ch.0変換結果(下位8ビット) AD0BUF0 = LSB	0x0 ~ 0x3FF (下位8ビット)									0	R
		D6	AD0BUF6	0													
		D5	AD0BUF5	0													
		D4	AD0BUF4	0													
		D3	AD0BUF3	0													
		D2	AD0BUF2	0													
		D1	AD0BUF1	0													
		D0	AD0BUF0	0													
		A/D Ch.0 変換結果(上位) バッファ	0040249 (B)	D7-2	—				reserved	—		—	—	読み出し時: 0			
D1	AD0BUF9			A/D Ch.0変換結果(上位2ビット) AD0BUF9 = MSB	0x0 ~ 0x3FF (上位2ビット)		0	R									
D0	AD0BUF8						0										

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
A/D Ch.1 変換結果(下位) バッファ	004024A (B)	D7 D6 D5 D4 D3 D2 D1 D0	AD1BUF7 AD1BUF6 AD1BUF5 AD1BUF4 AD1BUF3 AD1BUF2 AD1BUF1 AD1BUF0	A/D Ch.1変換結果(下位8ビット) AD1BUF0 = LSB	0x0 ~ 0x3FF (下位8ビット)	0 0 0 0 0 0 0 0	R	ADCADV="1"の場合 に使用可能
A/D Ch.1 変換結果(上位) バッファ	004024B (B)	D7-2 D1 D0	— AD1BUF9 AD1BUF8	reserved A/D Ch.1変換結果(上位2ビット) AD1BUF9 = MSB	— 0x0 ~ 0x3FF (上位2ビット)	— 0 0	— R	読み出し時: 0 ADCADV="1"の場合 に使用可能
A/D Ch.2 変換結果(下位) バッファ	004024C (B)	D7 D6 D5 D4 D3 D2 D1 D0	AD2BUF7 AD2BUF6 AD2BUF5 AD2BUF4 AD2BUF3 AD2BUF2 AD2BUF1 AD2BUF0	A/D Ch.2変換結果(下位8ビット) AD2BUF0 = LSB	0x0 ~ 0x3FF (下位8ビット)	0 0 0 0 0 0 0 0	R	ADCADV="1"の場合 に使用可能
A/D Ch.2 変換結果(上位) バッファ	004024D (B)	D7-2 D1 D0	— AD2BUF9 AD2BUF8	reserved A/D Ch.2変換結果(上位2ビット) AD2BUF9 = MSB	— 0x0 ~ 0x3FF (上位2ビット)	— 0 0	— R	読み出し時: 0 ADCADV="1"の場合 に使用可能
A/D Ch.3 変換結果(下位) バッファ	004024E (B)	D7 D6 D5 D4 D3 D2 D1 D0	AD3BUF7 AD3BUF6 AD3BUF5 AD3BUF4 AD3BUF3 AD3BUF2 AD3BUF1 AD3BUF0	A/D Ch.3変換結果(下位8ビット) AD3BUF0 = LSB	0x0 ~ 0x3FF (下位8ビット)	0 0 0 0 0 0 0 0	R	ADCADV="1"の場合 に使用可能
A/D Ch.3 変換結果(上位) バッファ	004024F (B)	D7-2 D1 D0	— AD3BUF9 AD3BUF8	reserved A/D Ch.3変換結果(上位2ビット) AD3BUF9 = MSB	— 0x0 ~ 0x3FF (上位2ビット)	— 0 0	— R	読み出し時: 0 ADCADV="1"の場合 に使用可能
A/D Ch.4 変換結果(下位) バッファ	0040250 (B)	D7 D6 D5 D4 D3 D2 D1 D0	AD4BUF7 AD4BUF6 AD4BUF5 AD4BUF4 AD4BUF3 AD4BUF2 AD4BUF1 AD4BUF0	A/D Ch.4変換結果(下位8ビット) AD4BUF0 = LSB	0x0 ~ 0x3FF (下位8ビット)	0 0 0 0 0 0 0 0	R	ADCADV="1"の場合 に使用可能
A/D Ch.4 変換結果(上位) バッファ	0040251 (B)	D7-2 D1 D0	— AD4BUF9 AD4BUF8	reserved A/D Ch.4変換結果(上位2ビット) AD4BUF9 = MSB	— 0x0 ~ 0x3FF (上位2ビット)	— 0 0	— R	読み出し時: 0 ADCADV="1"の場合 に使用可能
A/D Ch.5 変換結果(下位) バッファ	0040252 (B)	D7 D6 D5 D4 D3 D2 D1 D0	AD5BUF7 AD5BUF6 AD5BUF5 AD5BUF4 AD5BUF3 AD5BUF2 AD5BUF1 AD5BUF0	A/D Ch.5変換結果(下位8ビット) AD5BUF0 = LSB	0x0 ~ 0x3FF (下位8ビット)	0 0 0 0 0 0 0 0	R	ADCADV="1"の場合 に使用可能
A/D Ch.5 変換結果(上位) バッファ	0040253 (B)	D7-2 D1 D0	— AD5BUF9 AD5BUF8	reserved A/D Ch.5変換結果(上位2ビット) AD5BUF9 = MSB	— 0x0 ~ 0x3FF (上位2ビット)	— 0 0	— R	読み出し時: 0 ADCADV="1"の場合 に使用可能
A/D Ch.6 変換結果(下位) バッファ	0040254 (B)	D7 D6 D5 D4 D3 D2 D1 D0	AD6BUF7 AD6BUF6 AD6BUF5 AD6BUF4 AD6BUF3 AD6BUF2 AD6BUF1 AD6BUF0	A/D Ch.6変換結果(下位8ビット) AD6BUF0 = LSB	0x0 ~ 0x3FF (下位8ビット)	0 0 0 0 0 0 0 0	R	ADCADV="1"の場合 に使用可能
A/D Ch.6 変換結果(上位) バッファ	0040255 (B)	D7-2 D1 D0	— AD6BUF9 AD6BUF8	reserved A/D Ch.6変換結果(上位2ビット) AD6BUF9 = MSB	— 0x0 ~ 0x3FF (上位2ビット)	— 0 0	— R	読み出し時: 0 ADCADV="1"の場合 に使用可能

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈
A/D Ch.7 変換結果(下位) バッファ	0040256 (B)	D7	AD7BUF7	A/D Ch.7変換結果(下位8ビット) AD7BUF0 = LSB	0x0 ~ 0x3FF (下位8ビット)			0	R	ADCADV="1"の場合 に使用可能
		D6	AD7BUF6					0		
		D5	AD7BUF5					0		
		D4	AD7BUF4					0		
		D3	AD7BUF3					0		
		D2	AD7BUF2					0		
		D1	AD7BUF1					0		
		D0	AD7BUF0					0		
		A/D Ch.7 変換結果(上位) バッファ	0040257 (B)					D7-2		
D1	AD7BUF9			A/D Ch.7変換結果(上位2ビット) AD7BUF9 = MSB	0x0 ~ 0x3FF (上位2ビット)			0	R	ADCADV="1"の場合 に使用可能
D0	AD7BUF8							0		
A/D変換上限値 (下位)レジスタ	0040258 (B)	D7	ADUPR7	A/D変換上限値(下位8ビット) ADUPR0 = LSB	0x0 ~ 0x3FF (下位8ビット)			0	R/W	ADCADV="1"の場合 に使用可能
		D6	ADUPR6					0		
		D5	ADUPR5					0		
		D4	ADUPR4					0		
		D3	ADUPR3					0		
		D2	ADUPR2					0		
		D1	ADUPR1					0		
		D0	ADUPR0					0		
		A/D変換上限値 (上位)レジスタ	0040259 (B)					D7-2		
D1	ADUPR9			A/D変換上限値(上位2ビット) ADUPR9 = MSB	0x0 ~ 0x3FF (上位2ビット)			0	R/W	ADCADV="1"の場合 に使用可能
D0	ADUPR8							0		
A/D変換下限値 (下位)レジスタ	004025A (B)	D7	ADLWR7	A/D変換下限値(下位8ビット) ADLWR0 = LSB	0x0 ~ 0x3FF (下位8ビット)			0	R/W	ADCADV="1"の場合 に使用可能
		D6	ADLWR6					0		
		D5	ADLWR5					0		
		D4	ADLWR4					0		
		D3	ADLWR3					0		
		D2	ADLWR2					0		
		D1	ADLWR1					0		
		D0	ADLWR0					0		
		A/D変換下限値 (上位)レジスタ	004025B (B)					D7-2		
D1	ADLWR9			A/D変換下限値(上位2ビット) ADLWR9 = MSB	0x0 ~ 0x3FF (上位2ビット)			0	R/W	ADCADV="1"の場合 に使用可能
D0	ADLWR8							0		
A/D変換終了 割り込みマスク レジスタ	004025C (B)	D7	INTMASK7	Ch.7変換終了割り込みマスク	1 割り込み 有効	0 割り込み マスク	1	R/W	ADCADV="1"の場合 に使用可能	
		D6	INTMASK6	Ch.6変換終了割り込みマスク			1			R/W
		D5	INTMASK5	Ch.5変換終了割り込みマスク			1			R/W
		D4	INTMASK4	Ch.4変換終了割り込みマスク			1			R/W
		D3	INTMASK3	Ch.3変換終了割り込みマスク			1			R/W
		D2	INTMASK2	Ch.2変換終了割り込みマスク			1			R/W
		D1	INTMASK1	Ch.1変換終了割り込みマスク			1			R/W
		D0	INTMASK0	Ch.0変換終了割り込みマスク			1			R/W
		A/D変換器 モード選択 レジスタ	004025F (B)	D7-1			—			reserved
D0	ADCADV			33209互換モード/機能拡張モード 選択	1 機能拡張 モード	0 33209互換 モード	0	R/W		
ポート入力 割り込み0/1 プライオリティ レジスタ	0040260 (B)	D7	—	reserved	—			—	—	読み出し時: 0
		D6	PP1L2	ポート入力1 割り込みレベル	0 ~ 7			X	R/W	
		D5	PP1L1					X		
		D4	PP1L0					X		
		D3	—	reserved	—			—	—	読み出し時: 0
		D2	PP0L2	ポート入力0 割り込みレベル	0 ~ 7			X	R/W	
D1	PP0L1	X								
D0	PP0L0	X								
ポート入力 割り込み2/3 プライオリティ レジスタ	0040261 (B)	D7	—	reserved	—			—	—	読み出し時: 0
		D6	PP3L2	ポート入力3 割り込みレベル	0 ~ 7			X	R/W	
		D5	PP3L1					X		
		D4	PP3L0					X		
		D3	—	reserved	—			—	—	読み出し時: 0
		D2	PP2L2	ポート入力2 割り込みレベル	0 ~ 7			X	R/W	
D1	PP2L1	X								
D0	PP2L0	X								
キー入力割り込 みプライオリ ティレジスタ	0040262 (B)	D7	—	reserved	—			—	—	読み出し時: 0
		D6	PK1L2	キー入力1 割り込みレベル	0 ~ 7			X	R/W	
		D5	PK1L1					X		
		D4	PK1L0					X		
		D3	—	reserved	—			—	—	読み出し時: 0
		D2	PK0L2	キー入力0 割り込みレベル	0 ~ 7			X	R/W	
D1	PK0L1	X								
D0	PK0L0	X								

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
高速DMA Ch.0/1割り込み プライオリティ レジスタ	0040263 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PHSD1L2	高速DMA Ch.1	0 ~ 7	X	R/W	
		D5	PHSD1L1	割り込みレベル		X		
		D4	PHSD1L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PHSD0L2	高速DMA Ch.0	0 ~ 7	X	R/W	
		D1	PHSD0L1	割り込みレベル		X		
		D0	PHSD0L0			X		
高速DMA Ch.2/3割り込み プライオリティ レジスタ	0040264 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PHSD3L2	高速DMA Ch.3	0 ~ 7	X	R/W	
		D5	PHSD3L1	割り込みレベル		X		
		D4	PHSD3L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PHSD2L2	高速DMA Ch.2	0 ~ 7	X	R/W	
		D1	PHSD2L1	割り込みレベル		X		
		D0	PHSD2L0			X		
IDMA割り込み プライオリティ レジスタ	0040265 (B)	D7~3	—	reserved	—	—	—	読み出し時: 0
		D2	PDM2	IDMA	0 ~ 7	X	R/W	
		D1	PDM1	割り込みレベル		X		
		D0	PDM0			X		
16bitタイマ0/1 割り込み プライオリティ レジスタ	0040266 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	P16T12	16bitタイマ1	0 ~ 7	X	R/W	
		D5	P16T11	割り込みレベル		X		
		D4	P16T10			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	P16T02	16bitタイマ0	0 ~ 7	X	R/W	
		D1	P16T01	割り込みレベル		X		
		D0	P16T00			X		
16bitタイマ2/3 割り込み プライオリティ レジスタ	0040267 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	P16T32	16bitタイマ3	0 ~ 7	X	R/W	
		D5	P16T31	割り込みレベル		X		
		D4	P16T30			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	P16T22	16bitタイマ2	0 ~ 7	X	R/W	
		D1	P16T21	割り込みレベル		X		
		D0	P16T20			X		
16bitタイマ4/5 割り込み プライオリティ レジスタ	0040268 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	P16T52	16bitタイマ5	0 ~ 7	X	R/W	
		D5	P16T51	割り込みレベル		X		
		D4	P16T50			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	P16T42	16bitタイマ4	0 ~ 7	X	R/W	
		D1	P16T41	割り込みレベル		X		
		D0	P16T40			X		
8bitタイマ、シリアル/F Ch.0 割り込み プライオリティ レジスタ	0040269 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PSIO02	シリアルインタフェースCh.0	0 ~ 7	X	R/W	
		D5	PSIO01	割り込みレベル		X		
		D4	PSIO00			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	P8TM2	8bitタイマ0~5	0 ~ 7	X	R/W	
		D1	P8TM1	割り込みレベル		X		
		D0	P8TM0			X		
シリアル/F Ch.1, A/D変換器 割り込み プライオリティ レジスタ	004026A (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PAD2	A/D変換器	0 ~ 7	X	R/W	
		D5	PAD1	割り込みレベル		X		
		D4	PAD0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PSIO12	シリアルインタフェースCh.1	0 ~ 7	X	R/W	
		D1	PSIO11	割り込みレベル		X		
		D0	PSIO10			X		
計時タイマ 割り込み プライオリティ レジスタ	004026B (B)	D7~3	—	reserved	—	—	—	1書き込み禁止
		D2	PCTM2	計時タイマ	0 ~ 7	X	R/W	
		D1	PCTM1	割り込みレベル		X		
		D0	PCTM0			X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
ポート入力 割り込み4/5 プライオリティ レジスタ	004026C (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP5L2	ポート入力5	0 ~ 7	X	R/W	
		D5	PP5L1	割り込みレベル		X		
		D4	PP5L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP4L2	ポート入力4	0 ~ 7	X	R/W	
		D1	PP4L1	割り込みレベル		X		
		D0	PP4L0			X		
ポート入力 割り込み6/7 プライオリティ レジスタ	004026D (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP7L2	ポート入力7	0 ~ 7	X	R/W	
		D5	PP7L1	割り込みレベル		X		
		D4	PP7L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP6L2	ポート入力6	0 ~ 7	X	R/W	
		D1	PP6L1	割り込みレベル		X		
		D0	PP6L0			X		
シリアル/F Ch.2/3 割り込み プライオリティ レジスタ	004026E (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PSIO32	シリアルインタフェースCh.3	0 ~ 7	X	R/W	
		D5	PSIO31	割り込みレベル		X		
		D4	PSIO30			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PSIO22	シリアルインタフェースCh.2	0 ~ 7	X	R/W	
		D1	PSIO21	割り込みレベル		X		
		D0	PSIO20			X		
キー入力、 ポート入力0~3 割り込み イネーブル レジスタ	0040270 (B)	D7~6	—	reserved	—	—	—	読み出し時: 0
		D5	EK1	キー入力1	1 許可 0 禁止	0	R/W	
		D4	EK0	キー入力0		0	R/W	
		D3	EP3	ポート入力3		0	R/W	
		D2	EP2	ポート入力2		0	R/W	
		D1	EP1	ポート入力1		0	R/W	
		D0	EP0	ポート入力0		0	R/W	
DMA割り込み イネーブル レジスタ	0040271 (B)	D7~5	—	reserved	—	—	—	読み出し時: 0
		D4	EIDMA	IDMA	1 許可 0 禁止	0	R/W	
		D3	EHDM3	高速DMA Ch.3		0	R/W	
		D2	EHDM2	高速DMA Ch.2		0	R/W	
		D1	EHDM1	高速DMA Ch.1		0	R/W	
		D0	EHDM0	高速DMA Ch.0		0	R/W	
16bitタイマ0/1 割り込み イネーブル レジスタ	0040272 (B)	D7	E16TC1	16bitタイマ1コンペアA	1 許可 0 禁止	0	R/W	
		D6	E16TU1	16bitタイマ1コンペアB		0	R/W	
		D5~4	—	reserved	—	—	—	読み出し時: 0
		D3	E16TC0	16bitタイマ0コンペアA	1 許可 0 禁止	0	R/W	
		D2	E16TU0	16bitタイマ0コンペアB		0	R/W	
		D1~0	—	reserved	—	—	—	読み出し時: 0
16bitタイマ2/3 割り込み イネーブル レジスタ	0040273 (B)	D7	E16TC3	16bitタイマ3コンペアA	1 許可 0 禁止	0	R/W	
		D6	E16TU3	16bitタイマ3コンペアB		0	R/W	
		D5~4	—	reserved	—	—	—	読み出し時: 0
		D3	E16TC2	16bitタイマ2コンペアA	1 許可 0 禁止	0	R/W	
		D2	E16TU2	16bitタイマ2コンペアB		0	R/W	
		D1~0	—	reserved	—	—	—	読み出し時: 0
16bitタイマ4/5 割り込み イネーブル レジスタ	0040274 (B)	D7	E16TC5	16bitタイマ5コンペアA	1 許可 0 禁止	0	R/W	
		D6	E16TU5	16bitタイマ5コンペアB		0	R/W	
		D5~4	—	reserved	—	—	—	読み出し時: 0
		D3	E16TC4	16bitタイマ4コンペアA	1 許可 0 禁止	0	R/W	
		D2	E16TU4	16bitタイマ4コンペアB		0	R/W	
		D1~0	—	reserved	—	—	—	読み出し時: 0
8bitタイマ0~3 割り込み イネーブル レジスタ	0040275 (B)	D7~4	—	reserved	—	—	—	読み出し時: 0
		D3	E8TU3	8bitタイマ3アンダーフロー	1 許可 0 禁止	0	R/W	
		D2	E8TU2	8bitタイマ2アンダーフロー		0	R/W	
		D1	E8TU1	8bitタイマ1アンダーフロー		0	R/W	
		D0	E8TU0	8bitタイマ0アンダーフロー		0	R/W	
シリアル/F Ch.0/1 割り込み イネーブル レジスタ	0040276 (B)	D7~6	—	reserved	—	—	—	読み出し時: 0
		D5	ESTX1	SIF Ch.1送信バッファエンプティ	1 許可 0 禁止	0	R/W	
		D4	ESRX1	SIF Ch.1受信バッファフル		0	R/W	
		D3	ESERR1	SIF Ch.1受信エラー		0	R/W	
		D2	ESTX0	SIF Ch.0送信バッファエンプティ		0	R/W	
		D1	ESRX0	SIF Ch.0受信バッファフル		0	R/W	
		D0	ESERR0	SIF Ch.0受信エラー		0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
ポート入力4-7, 計時タイマ, A/D 割り込みイネー ブルレジスタ	0040277 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	EP7	ポート入力7	1 許可	0 禁止	0 R/W	
		D4	EP6	ポート入力6			0 R/W	
		D3	EP5	ポート入力5			0 R/W	
		D2	EP4	ポート入力4			0 R/W	
		D1	ECTM	計時タイマ			0 R/W	
		D0	EADE	A/D変換器			0 R/W	
8bitタイマ4/5 割り込みイネー ブルレジスタ	0040278 (B)	D7-2	—	reserved	—	—	—	読み出し時: 0
		D1	E8TU5	8bitタイマ5アンダーフロー	1 許可	0 禁止	0 R/W	
		D0	E8TU4	8bitタイマ4アンダーフロー			0 R/W	
シリアル/F Ch.2/3 割り込み イネーブル レジスタ	0040279 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	ESTX3	SIF Ch.3送信バッファエンブティ	1 許可	0 禁止	0 R/W	
		D4	ESRX3	SIF Ch.3受信バッファフル			0 R/W	
		D3	ESERR3	SIF Ch.3受信エラー			0 R/W	
		D2	ESTX2	SIF Ch.2送信バッファエンブティ			0 R/W	
		D1	ESRX2	SIF Ch.2受信バッファフル			0 R/W	
		D0	ESERR2	SIF Ch.2受信エラー			0 R/W	
キー入力, ポート入力0-3 割り込み要因 フラグレジスタ	0040280 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	FK1	キー入力1	1 要因発生	0 要因なし	X R/W	
		D4	FK0	キー入力0			X R/W	
		D3	FP3	ポート入力3			X R/W	
		D2	FP2	ポート入力2			X R/W	
		D1	FP1	ポート入力1			X R/W	
		D0	FP0	ポート入力0			X R/W	
DMA割り込み 要因フラグ レジスタ	0040281 (B)	D7-5	—	reserved	—	—	—	読み出し時: 0
		D4	FIDMA	IDMA	1 要因発生	0 要因なし	X R/W	
		D3	FHDM3	高速DMA Ch.3			X R/W	
		D2	FHDM2	高速DMA Ch.2			X R/W	
		D1	FHDM1	高速DMA Ch.1			X R/W	
		D0	FHDM0	高速DMA Ch.0			X R/W	
16bitタイマ0/1 割り込み 要因フラグ レジスタ	0040282 (B)	D7	F16TC1	16bitタイマ1コンペアA	1 要因発生	0 要因なし	X R/W	
		D6	F16TU1	16bitタイマ1コンペアB			X R/W	
		D5-4	—	reserved	—	—	—	読み出し時: 0
		D3	F16TC0	16bitタイマ0コンペアA	1 要因発生	0 要因なし	X R/W	
		D2	F16TU0	16bitタイマ0コンペアB			X R/W	
		D1-0	—	reserved	—	—	—	読み出し時: 0
16bitタイマ2/3 割り込み 要因フラグ レジスタ	0040283 (B)	D7	F16TC3	16bitタイマ3コンペアA	1 要因発生	0 要因なし	X R/W	
		D6	F16TU3	16bitタイマ3コンペアB			X R/W	
		D5-4	—	reserved	—	—	—	読み出し時: 0
		D3	F16TC2	16bitタイマ2コンペアA	1 要因発生	0 要因なし	X R/W	
		D2	F16TU2	16bitタイマ2コンペアB			X R/W	
		D1-0	—	reserved	—	—	—	読み出し時: 0
16bitタイマ4/5 割り込み 要因フラグ レジスタ	0040284 (B)	D7	F16TC5	16bitタイマ5コンペアA	1 要因発生	0 要因なし	X R/W	
		D6	F16TU5	16bitタイマ5コンペアB			X R/W	
		D5-4	—	reserved	—	—	—	読み出し時: 0
		D3	F16TC4	16bitタイマ4コンペアA	1 要因発生	0 要因なし	X R/W	
		D2	F16TU4	16bitタイマ4コンペアB			X R/W	
		D1-0	—	reserved	—	—	—	読み出し時: 0
8bitタイマ0-3 割り込み 要因フラグ レジスタ	0040285 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	F8TU3	8bitタイマ3アンダーフロー	1 要因発生	0 要因なし	X R/W	
		D2	F8TU2	8bitタイマ2アンダーフロー			X R/W	
		D1	F8TU1	8bitタイマ1アンダーフロー			X R/W	
		D0	F8TU0	8bitタイマ0アンダーフロー			X R/W	
シリアル/F Ch.0/1 割り込み 要因フラグ レジスタ	0040286 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	FSTX1	SIF Ch.1送信バッファエンブティ	1 要因発生	0 要因なし	X R/W	
		D4	FSRX1	SIF Ch.1受信バッファフル			X R/W	
		D3	FSERR1	SIF Ch.1受信エラー			X R/W	
		D2	FSTX0	SIF Ch.0送信バッファエンブティ			X R/W	
		D1	FSRX0	SIF Ch.0受信バッファフル			X R/W	
		D0	FSERR0	SIF Ch.0受信エラー			X R/W	
ポート入力4-7, 計時タイマ, A/D 割り込み要因 フラグレジスタ	0040287 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	FP7	ポート入力7	1 要因発生	0 要因なし	X R/W	
		D4	FP6	ポート入力6			X R/W	
		D3	FP5	ポート入力5			X R/W	
		D2	FP4	ポート入力4			X R/W	
		D1	FCTM	計時タイマ			X R/W	
		D0	FADE	A/D変換器			X R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈
8bitタイマ4/5 割り込み要因フ ラグレジスタ	0040288 (B)	D7-2	—	reserved	—		—	—	読み出し時: 0
		D1	F8TU5	8bitタイマ5アンダーフロー	1	要因発生	0	要因なし	
		D0	F8TU4	8bitタイマ4アンダーフロー					
シリアル/F Ch.2/3 割り込み 要因フラグ レジスタ	0040289 (B)	D7-6	—	reserved	—		—	—	読み出し時: 0
		D5	FSTX3	SIF Ch.3送信バッファEMPTY	1	要因発生	0	要因なし	
		D4	FSRX3	SIF Ch.3受信バッファフル					
		D3	FSERR3	SIF Ch.3受信エラー					
		D2	FSTX2	SIF Ch.2送信バッファEMPTY					
		D1	FSRX2	SIF Ch.2受信バッファフル					
		D0	FSERR2	SIF Ch.2受信エラー					
ポート入力0-3, 高速DMA Ch.0/1, 16bitタイマ0 IDMAリクエスト レジスタ	0040290 (B)	D7	R16TC0	16bitタイマ0コンペアA	1	IDMA要求	0	割り込み 要求	0 R/W
		D6	R16TU0	16bitタイマ0コンペアB					0 R/W
		D5	RHDM1	高速DMA Ch.1					0 R/W
		D4	RHDM0	高速DMA Ch.0					0 R/W
		D3	RP3	ポート入力3					0 R/W
		D2	RP2	ポート入力2					0 R/W
		D1	RP1	ポート入力1					0 R/W
		D0	RP0	ポート入力0					0 R/W
16bitタイマ1-4 IDMAリクエスト レジスタ	0040291 (B)	D7	R16TC4	16bitタイマ4コンペアA	1	IDMA要求	0	割り込み 要求	0 R/W
		D6	R16TU4	16bitタイマ4コンペアB					0 R/W
		D5	R16TC3	16bitタイマ3コンペアA					0 R/W
		D4	R16TU3	16bitタイマ3コンペアB					0 R/W
		D3	R16TC2	16bitタイマ2コンペアA					0 R/W
		D2	R16TU2	16bitタイマ2コンペアB					0 R/W
		D1	R16TC1	16bitタイマ1コンペアA					0 R/W
		D0	R16TU1	16bitタイマ1コンペアB					0 R/W
16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAリクエスト レジスタ	0040292 (B)	D7	RSTX0	SIF Ch.0送信バッファEMPTY	1	IDMA要求	0	割り込み 要求	0 R/W
		D6	RSRX0	SIF Ch.0受信バッファフル					0 R/W
		D5	R8TU3	8bitタイマ3アンダーフロー					0 R/W
		D4	R8TU2	8bitタイマ2アンダーフロー					0 R/W
		D3	R8TU1	8bitタイマ1アンダーフロー					0 R/W
		D2	R8TU0	8bitタイマ0アンダーフロー					0 R/W
		D1	R16TC5	16bitタイマ5コンペアA					0 R/W
		D0	R16TU5	16bitタイマ5コンペアB					0 R/W
シリアル/F Ch.1, A/D, ポー ト入力4-7 IDMAリクエスト レジスタ	0040293 (B)	D7	RP7	ポート入力7	1	IDMA要求	0	割り込み 要求	0 R/W
		D6	RP6	ポート入力6					0 R/W
		D5	RP5	ポート入力5					0 R/W
		D4	RP4	ポート入力4					0 R/W
		D3	—	reserved	—		—	—	読み出し時: 0
		D2	RADE	A/D変換器	1	IDMA要求	0	割り込み 要求	
		D1	RSTX1	SIF Ch.1送信バッファEMPTY					
		D0	RSRX1	SIF Ch.1受信バッファフル					
ポート入力0-3, 高速DMA Ch.0/1, 16bitタイマ0 IDMAイネーブル レジスタ	0040294 (B)	D7	DE16TC0	16bitタイマ0コンペアA	1	IDMA許可	0	IDMA禁止	0 R/W
		D6	DE16TU0	16bitタイマ0コンペアB					0 R/W
		D5	DEHDM1	高速DMA Ch.1					0 R/W
		D4	DEHDM0	高速DMA Ch.0					0 R/W
		D3	DEP3	ポート入力3					0 R/W
		D2	DEP2	ポート入力2					0 R/W
		D1	DEP1	ポート入力1					0 R/W
		D0	DEP0	ポート入力0					0 R/W
16bitタイマ1-4 IDMAイネーブル レジスタ	0040295 (B)	D7	DE16TC4	16bitタイマ4コンペアA	1	IDMA許可	0	IDMA禁止	0 R/W
		D6	DE16TU4	16bitタイマ4コンペアB					0 R/W
		D5	DE16TC3	16bitタイマ3コンペアA					0 R/W
		D4	DE16TU3	16bitタイマ3コンペアB					0 R/W
		D3	DE16TC2	16bitタイマ2コンペアA					0 R/W
		D2	DE16TU2	16bitタイマ2コンペアB					0 R/W
		D1	DE16TC1	16bitタイマ1コンペアA					0 R/W
		D0	DE16TU1	16bitタイマ1コンペアB					0 R/W
16bitタイマ5, 8bitタイマ0-3, シリアル/F Ch.0 IDMAイネーブル レジスタ	0040296 (B)	D7	DESTX0	SIF Ch.0送信バッファEMPTY	1	IDMA許可	0	IDMA禁止	0 R/W
		D6	DESRX0	SIF Ch.0受信バッファフル					0 R/W
		D5	DE8TU3	8bitタイマ3アンダーフロー					0 R/W
		D4	DE8TU2	8bitタイマ2アンダーフロー					0 R/W
		D3	DE8TU1	8bitタイマ1アンダーフロー					0 R/W
		D2	DE8TU0	8bitタイマ0アンダーフロー					0 R/W
		D1	DE16TC5	16bitタイマ5コンペアA					0 R/W
		D0	DE16TU5	16bitタイマ5コンペアB					0 R/W

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
シリアルI/F Ch.1, A/D, ポート 入力4~7 IDMAイネーブル レジスタ	0040297 (B)	D7	DEP7	ポート入力7	1	IDMA許可	0	IDMA禁止	0	R/W	
		D6	DEP6	ポート入力6					0	R/W	
		D5	DEP5	ポート入力5					0	R/W	
		D4	DEP4	ポート入力4					0	R/W	
		D3	—	reserved	—			—	—	読み出し時: 0	
		D2	DEADE	A/D変換器	1	IDMA許可	0	IDMA禁止	0	R/W	
		D1	DESTX1	SIF Ch.1送信バッファエンブティ					0	R/W	
		D0	DESRX1	SIF Ch.1受信バッファフル					0	R/W	
高速DMA Ch.0/1 トリガ設定 レジスタ	0040298 (B)	D7	HSD1S3	高速DMA Ch.1トリガ設定	0	ソフトウェアトリガ			0	R/W	
		D6	HSD1S2		1	K51入力(立ち下がりエッジ)			0		
		D5	HSD1S1		2	K51入力(立ち上がりエッジ)			0		
		D4	HSD1S0		3	ポート1入力			0		
					4	ポート5入力					
					5	8bitタイマCh.1アンダーフロー					
					6	16bitタイマCh.1コンペアB					
					7	16bitタイマCh.1コンペアA					
					8	16bitタイマCh.5コンペアB					
					9	16bitタイマCh.5コンペアA					
					A	SI/F Ch.1 Rx bufフル					
					B	SI/F Ch.1 Tx bufエンブティ					
					C	A/D変換終了					
					D	FSI/F Ch.0 Rx bufフル					
					E	FSI/F Ch.0 Tx bufエンブティ					
		D3	HSD0S3	高速DMA Ch.0トリガ設定	0	ソフトウェアトリガ			0	R/W	
		D2	HSD0S2		1	K50入力(立ち下がりエッジ)			0		
		D1	HSD0S1		2	K50入力(立ち上がりエッジ)			0		
		D0	HSD0S0		3	ポート0入力			0		
					4	ポート4入力					
高速DMA Ch.2/3 トリガ設定 レジスタ	0040299 (B)			5	8bitタイマCh.0アンダーフロー						
				6	16bitタイマCh.0コンペアB						
				7	16bitタイマCh.0コンペアA						
				8	16bitタイマCh.4コンペアB						
				9	16bitタイマCh.4コンペアA						
				A	SI/F Ch.0 Rx bufフル						
				B	SI/F Ch.0 Tx bufエンブティ						
				C	A/D変換終了						
				D	reserved						
				E	reserved						
		D3	HSD2S3	高速DMA Ch.2トリガ設定	0	ソフトウェアトリガ			0	R/W	
		D2	HSD2S2		1	K53入力(立ち下がりエッジ)			0		
		D1	HSD2S1		2	K53入力(立ち上がりエッジ)			0		
		D0	HSD2S0		3	ポート2入力			0		
					4	ポート6入力					
					5	8bitタイマCh.2アンダーフロー					
					6	16bitタイマCh.2コンペアB					
					7	16bitタイマCh.2コンペアA					
					8	16bitタイマCh.4コンペアB					
					9	16bitタイマCh.4コンペアA					
		A	SI/F Ch.0 Rx bufフル								
		B	SI/F Ch.0 Tx bufエンブティ								
		C	A/D変換終了								
		D	reserved								
		E	reserved								

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
高速DMA ソフトウェア トリガレジスタ	004029A (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	HST3	HSDMA Ch.3ソフトウェアトリガ	1 トリガ	0 無効	0 W	
		D2	HST2	HSDMA Ch.2ソフトウェアトリガ			0 W	
		D1	HST1	HSDMA Ch.1ソフトウェアトリガ			0 W	
		D0	HST0	HSDMA Ch.0ソフトウェアトリガ			0 W	
8bitタイマ4/5 シリアル/F Ch.2/3 IDMAリクエスト レジスタ	004029B (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	RSTX3	SIF Ch.3送信バッファエンプティ	1 IDMA要求	0 割り込み 要求	0 R/W	
		D4	RSRX3	SIF Ch.3受信バッファフル			0 R/W	
		D3	RSTX2	SIF Ch.2送信バッファエンプティ			0 R/W	
		D2	RSRX2	SIF Ch.2受信バッファフル			0 R/W	
		D1	R8TU5	8bitタイマ5アンダーフロー			0 R/W	
		D0	R8TU4	8bitタイマ4アンダーフロー			0 R/W	
		D0	R8TU4	8bitタイマ4アンダーフロー			0 R/W	
8bitタイマ4/5 シリアル/F Ch.2/3 IDMAイネーブル レジスタ	004029C (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	DESTX3	SIF Ch.3送信バッファエンプティ	1 IDMA許可	0 IDMA禁止	0 R/W	
		D4	DESRX3	SIF Ch.3受信バッファフル			0 R/W	
		D3	DESTX2	SIF Ch.2送信バッファエンプティ			0 R/W	
		D2	DESRX2	SIF Ch.2受信バッファフル			0 R/W	
		D1	DE8TU5	8bitタイマ5アンダーフロー			0 R/W	
		D0	DE8TU4	8bitタイマ4アンダーフロー			0 R/W	
		D0	DE8TU4	8bitタイマ4アンダーフロー			0 R/W	
フラグセット/リ セット方式選択 レジスタ	004029F (B)	D7-3	—	reserved	—	—	—	
		D2	DENONLY	IDMAイネーブルレジスタ セット方式選択	1 セット オンリー	0 RD/WR	1 R/W	
		D1	IDMAONLY	IDMAリクエストレジスタ セット方式選択	1 セット オンリー	0 RD/WR	1 R/W	
		D0	RSTONLY	割り込み要因フラグ リセット方式選択	1 リセット オンリー	0 RD/WR	1 R/W	
拡張機能用 割り込み プライオリティ レジスタ	00402A0 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	—	拡張機能	0 ~ 7		X R/W	
		D5	—	割り込みレベル(reserved)			X	
		D4	—				X	読み出し時: 0
		D3	—	reserved	—	—	—	
		D2	—	拡張機能	0 ~ 7		X R/W	
		D1	—	割り込みレベル(reserved)			X	
		D0	—				X	
拡張機能用 割り込み プライオリティ レジスタ	00402A1 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	—	拡張機能	0 ~ 7		X R/W	
		D5	—	割り込みレベル(reserved)			X	
		D4	—				X	読み出し時: 0
		D3	—	reserved	—	—	—	
		D2	—	拡張機能	0 ~ 7		X R/W	
		D1	—	割り込みレベル(reserved)			X	
		D0	—				X	
拡張機能用 割り込み プライオリティ レジスタ	00402A2 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	—	拡張機能	0 ~ 7		X R/W	
		D5	—	割り込みレベル(reserved)			X	
		D4	—				X	読み出し時: 0
		D3	—	reserved	—	—	—	
		D2	—	拡張機能	0 ~ 7		X R/W	
		D1	—	割り込みレベル(reserved)			X	
		D0	—				X	
拡張機能用 割り込み プライオリティ レジスタ	00402A3 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	—	拡張機能	0 ~ 7		X R/W	
		D5	—	割り込みレベル(reserved)			X	
		D4	—				X	読み出し時: 0
		D3	—	reserved	—	—	—	
		D2	—	拡張機能	0 ~ 7		X R/W	
		D1	—	割り込みレベル(reserved)			X	
		D0	—				X	
拡張機能用 割り込み プライオリティ レジスタ	00402A4 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	—	拡張機能	0 ~ 7		X R/W	
		D5	—	割り込みレベル(reserved)			X	
		D4	—				X	読み出し時: 0
		D3	—	reserved	—	—	—	
		D2	—	拡張機能	0 ~ 7		X R/W	
		D1	—	割り込みレベル(reserved)			X	
		D0	—				X	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
拡張機能用 割り込み プライオリティ レジスタ	00402A5 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	—	拡張機能 割り込みレベル(reserved)	0 ~ 7	X	R/W	
		D5	—			X		
		D4	—			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	—	拡張機能 割り込みレベル(reserved)	0 ~ 7	X	R/W	
		D1	—			X		
		D0	—			X		
拡張機能用 割り込み イネーブル レジスタ	00402A6 (B)	D7	—	拡張機能割り込み(reserved)	1 許可	0 禁止	0 R/W	1書き込み禁止
		D6	—	拡張機能割り込み(reserved)			0 R/W	
		D5	—	拡張機能割り込み(reserved)			0 R/W	
		D4	—	拡張機能割り込み(reserved)			0 R/W	
		D3	—	拡張機能割り込み(reserved)			0 R/W	
		D2	—	拡張機能割り込み(reserved)			0 R/W	
		D1	—	拡張機能割り込み(reserved)			0 R/W	
		D0	—	拡張機能割り込み(reserved)			0 R/W	
拡張機能用 割り込み イネーブル レジスタ	00402A7 (B)	D7	—	拡張機能割り込み(reserved)	1 許可	0 禁止	0 R/W	1書き込み禁止
		D6	—	拡張機能割り込み(reserved)			0 R/W	
		D5	—	拡張機能割り込み(reserved)			0 R/W	
		D4	—	拡張機能割り込み(reserved)			0 R/W	
		D3	—	拡張機能割り込み(reserved)			0 R/W	
		D2	—	拡張機能割り込み(reserved)			0 R/W	
		D1	—	拡張機能割り込み(reserved)			0 R/W	
		D0	—	拡張機能割り込み(reserved)			0 R/W	
拡張機能用 割り込み 要因フラグ レジスタ	00402A8 (B)	D7	—	拡張機能割り込み(reserved)	1 許可	0 禁止	0 R/W	1書き込み禁止
		D6	—	拡張機能割り込み(reserved)			0 R/W	
		D5	—	拡張機能割り込み(reserved)			0 R/W	
		D4	—	拡張機能割り込み(reserved)			0 R/W	
		D3	—	拡張機能割り込み(reserved)			0 R/W	
		D2	—	拡張機能割り込み(reserved)			0 R/W	
		D1	—	拡張機能割り込み(reserved)			0 R/W	
		D0	—	拡張機能割り込み(reserved)			0 R/W	
拡張機能用 割り込み 要因フラグ レジスタ	00402A9 (B)	D7	—	拡張機能割り込み(reserved)	1 要因発生	0 要因なし	X R/W	1書き込み禁止
		D6	—	拡張機能割り込み(reserved)			X R/W	
		D5	—	拡張機能割り込み(reserved)			X R/W	
		D4	—	拡張機能割り込み(reserved)			X R/W	
		D3	—	拡張機能割り込み(reserved)			X R/W	
		D2	—	拡張機能割り込み(reserved)			X R/W	
		D1	—	拡張機能割り込み(reserved)			X R/W	
		D0	—	拡張機能割り込み(reserved)			X R/W	
拡張機能用 割り込み 要因フラグ レジスタ	00402AA (B)	D7	—	拡張機能割り込み(reserved)	1 要因発生	0 要因なし	X R/W	1書き込み禁止
		D6	—	拡張機能割り込み(reserved)			X R/W	
		D5	—	拡張機能割り込み(reserved)			X R/W	
		D4	—	拡張機能割り込み(reserved)			X R/W	
		D3	—	拡張機能割り込み(reserved)			X R/W	
		D2	—	拡張機能割り込み(reserved)			X R/W	
		D1	—	拡張機能割り込み(reserved)			X R/W	
		D0	—	拡張機能割り込み(reserved)			X R/W	
拡張機能用 割り込み 要因フラグ レジスタ	00402AB (B)	D7	—	拡張機能割り込み(reserved)	1 要因発生	0 要因なし	X R/W	1書き込み禁止
		D6	—	拡張機能割り込み(reserved)			X R/W	
		D5	—	拡張機能割り込み(reserved)			X R/W	
		D4	—	拡張機能割り込み(reserved)			X R/W	
		D3	—	拡張機能割り込み(reserved)			X R/W	
		D2	—	拡張機能割り込み(reserved)			X R/W	
		D1	—	拡張機能割り込み(reserved)			X R/W	
		D0	—	拡張機能割り込み(reserved)			X R/W	
拡張機能用 IDMAリクエスト レジスタ	00402AC (B)	D7	—	拡張機能割り込み(reserved)	1 IDMA要求	0 割り込み 要求	0 R/W	1書き込み禁止
		D6	—	拡張機能割り込み(reserved)			0 R/W	
		D5	—	拡張機能割り込み(reserved)			0 R/W	
		D4	—	拡張機能割り込み(reserved)			0 R/W	
		D3	—	拡張機能割り込み(reserved)			0 R/W	
		D2	—	拡張機能割り込み(reserved)			0 R/W	
		D1	—	拡張機能割り込み(reserved)			0 R/W	
		D0	—	拡張機能割り込み(reserved)			0 R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈
拡張機能用 IDMAリクエスト レジスタ	00402AD (B)	D7	—	拡張機能割り込み(reserved)	1	IDMA要求	0	割り込み 要求	0	R/W	1書き込み禁止
		D6	—	拡張機能割り込み(reserved)					0	R/W	
		D5	—	拡張機能割り込み(reserved)					0	R/W	
		D4	—	拡張機能割り込み(reserved)					0	R/W	
		D3	—	拡張機能割り込み(reserved)					0	R/W	
		D2	—	拡張機能割り込み(reserved)					0	R/W	
		D1	—	拡張機能割り込み(reserved)					0	R/W	
		D0	—	拡張機能割り込み(reserved)					0	R/W	
拡張機能用 IDMAイネーブル レジスタ	00402AE (B)	D7	—	拡張機能割り込み(reserved)	1	IDMA許可	0	IDMA禁止	0	R/W	1書き込み禁止
		D6	—	拡張機能割り込み(reserved)					0	R/W	
		D5	—	拡張機能割り込み(reserved)					0	R/W	
		D4	—	拡張機能割り込み(reserved)					0	R/W	
		D3	—	拡張機能割り込み(reserved)					0	R/W	
		D2	—	拡張機能割り込み(reserved)					0	R/W	
		D1	—	拡張機能割り込み(reserved)					0	R/W	
		D0	—	拡張機能割り込み(reserved)					0	R/W	
拡張機能用 IDMAイネーブル レジスタ	00402AF (B)	D7	—	拡張機能割り込み(reserved)	1	IDMA許可	0	IDMA禁止	0	R/W	1書き込み禁止
		D6	—	拡張機能割り込み(reserved)					0	R/W	
		D5	—	拡張機能割り込み(reserved)					0	R/W	
		D4	—	拡張機能割り込み(reserved)					0	R/W	
		D3	—	拡張機能割り込み(reserved)					0	R/W	
		D2	—	拡張機能割り込み(reserved)					0	R/W	
		D1	—	拡張機能割り込み(reserved)					0	R/W	
		D0	—	拡張機能割り込み(reserved)					0	R/W	
FIFOシリアル I/F Ch.0 割り込み プライオリティ レジスタ	00402B0 (B)	D7	—	reserved	—			—	—	読み出し時: 0	
		D6	PFSIO02	FIFOシリアルインタフェース	0 ~ 7			X	R/W		
		D5	PFSIO01	Ch.0割り込みレベル				X			
		D4	PFSIO00					X			
D3-0	—	reserved	—			—	—	読み出し時: 0			
FIFOシリアル I/F Ch.0 割り込み イネーブル レジスタ	00402B1 (B)	D7-6	—	reserved	—			—	—	読み出し時: 0	
		D5	EFSTX0	FSI/F Ch.0送信バッファエンプティ	1	許可	0	禁止	0	R/W	
		D4	EFSRX0	FSI/F Ch.0受信バッファフル					0	R/W	
		D3	EFSERR0	FSI/F Ch.0受信エラー					0	R/W	
		D2-0	—	reserved	—			—	—	読み出し時: 0	
FIFOシリアル I/F Ch.0 割り込み 要因フラグ レジスタ	00402B2 (B)	D7-6	—	reserved	—			—	—	読み出し時: 0	
		D5	FFSTX0	FSI/F Ch.0送信バッファエンプティ	1	要因発生	0	要因なし	X	R/W	
		D4	FFSRX0	FSI/F Ch.0受信バッファフル					X	R/W	
		D3	FFSERR0	FSI/F Ch.0受信エラー					X	R/W	
		D2-0	—	reserved	—			—	—	読み出し時: 0	
FIFOシリアル I/F Ch.0 IDMAリクエスト レジスタ	00402B3 (B)	D7-4	—	reserved	—			—	—	読み出し時: 0	
		D3	RFSTX0	FSI/F Ch.0送信バッファエンプティ	1	IDMA要求	0	割り込み 要求	0	R/W	
		D2	RFSRX0	FSI/F Ch.0受信バッファフル					0	R/W	
		D1-0	—	reserved					—		
FIFOシリアル I/F Ch.0 IDMAイネーブル レジスタ	00402B4 (B)	D7-4	—	reserved	—			—	—	読み出し時: 0	
		D3	DEFSTX0	FSI/F Ch.0送信バッファエンプティ	1	IDMA許可	0	IDMA禁止	0	R/W	
		D2	DEFSRX0	FSI/F Ch.0受信バッファフル					0	R/W	
		D1-0	—	reserved					—		
K5機能選択 レジスタ	00402C0 (B)	D7-5	—	reserved	—			—	—	読み出し時: 0	
		D4	CFK54	K54機能選択	1	#DMAREQ3	0	K54	0	R/W	
		D3	CFK53	K53機能選択	1	#DMAREQ2	0	K53	0	R/W	
		D2	CFK52	K52機能選択	1	#ADTRG	0	K52	0	R/W	
		D1	CFK51	K51機能選択	1	#DMAREQ1	0	K51	0	R/W	
		D0	CFK50	K50機能選択	1	#DMAREQ0	0	K50	0	R/W	
K5入力ポート データレジスタ	00402C1 (B)	D7-5	—	reserved	—			—	—	読み出し時: 0	
		D4	K54D	K54入力ポートデータ	1	High	0	Low	—	R	
		D3	K53D	K53入力ポートデータ					—	R	
		D2	K52D	K52入力ポートデータ					—	R	
		D1	K51D	K51入力ポートデータ					—	R	
		D0	K50D	K50入力ポートデータ					—	R	
K6機能選択 レジスタ	00402C3 (B)	D7	CFK67	K67機能選択	1	AD7	0	K67	0	R/W	
		D6	CFK66	K66機能選択	1	AD6	0	K66	0	R/W	
		D5	CFK65	K65機能選択	1	AD5	0	K65	0	R/W	
		D4	CFK64	K64機能選択	1	AD4	0	K64	0	R/W	
		D3	CFK63	K63機能選択	1	AD3	0	K63	0	R/W	
		D2	CFK62	K62機能選択	1	AD2	0	K62	0	R/W	
		D1	CFK61	K61機能選択	1	AD1	0	K61	0	R/W	
		D0	CFK60	K60機能選択	1	AD0	0	K60	0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈
K6入力ポート データレジスタ	00402C4 (B)	D7	K67D	K67入力ポートデータ	1	High	0	Low	—	R	
		D6	K66D	K66入力ポートデータ					—	R	
		D5	K65D	K65入力ポートデータ					—	R	
		D4	K64D	K64入力ポートデータ					—	R	
		D3	K63D	K63入力ポートデータ					—	R	
		D2	K62D	K62入力ポートデータ					—	R	
		D1	K61D	K61入力ポートデータ					—	R	
		D0	K60D	K60入力ポートデータ					—	R	
ポート入力 割り込み選択 レジスタ1	00402C6 (B)	D7	SPT31	FPT3割り込み入力ポート選択	11	10	01	00	0	R/W	
		D6	SPT30		P23	P03	K53	K63	0		
		D5	SPT21	FPT2割り込み入力ポート選択	11	10	01	00	0	R/W	
		D4	SPT20		P22	P02	K52	K62	0		
		D3	SPT11	FPT1割り込み入力ポート選択	11	10	01	00	0	R/W	
		D2	SPT10		P21	P01	K51	K61	0		
		D1	SPT01	FPT0割り込み入力ポート選択	11	10	01	00	0	R/W	
		D0	SPT00		P20	P00	K50	K60	0		
ポート入力 割り込み選択 レジスタ2	00402C7 (B)	D7	SPT71	FPT7割り込み入力ポート選択	11	10	01	00	0	R/W	
		D6	SPT70		P27	P07	P33	K67	0		
		D5	SPT61	FPT6割り込み入力ポート選択	11	10	01	00	0	R/W	
		D4	SPT60		P26	P06	P32	K66	0		
		D3	SPT51	FPT5割り込み入力ポート選択	11	10	01	00	0	R/W	
		D2	SPT50		P25	P05	P31	K65	0		
		D1	SPT41	FPT4割り込み入力ポート選択	11	10	01	00	0	R/W	
		D0	SPT40		P24	P04	K54	K64	0		
ポート入力 割り込み 入力極性選択 レジスタ	00402C8 (B)	D7	SPPT7	FPT7入力極性選択	1	Highレベル または 立ち上がり エッジ	0	Lowレベル または 立ち下がり エッジ	1	R/W	
		D6	SPPT6	FPT6入力極性選択					1	R/W	
		D5	SPPT5	FPT5入力極性選択					1	R/W	
		D4	SPPT4	FPT4入力極性選択					1	R/W	
		D3	SPPT3	FPT3入力極性選択					1	R/W	
		D2	SPPT2	FPT2入力極性選択					1	R/W	
		D1	SPPT1	FPT1入力極性選択					1	R/W	
		D0	SPPT0	FPT0入力極性選択					1	R/W	
ポート入力 割り込み エッジ/レベル 選択レジスタ	00402C9 (B)	D7	SEPT7	FPT7エッジ/レベル選択	1	エッジ	0	レベル	1	R/W	
		D6	SEPT6	FPT6エッジ/レベル選択					1	R/W	
		D5	SEPT5	FPT5エッジ/レベル選択					1	R/W	
		D4	SEPT4	FPT4エッジ/レベル選択					1	R/W	
		D3	SEPT3	FPT3エッジ/レベル選択					1	R/W	
		D2	SEPT2	FPT2エッジ/レベル選択					1	R/W	
		D1	SEPT1	FPT1エッジ/レベル選択					1	R/W	
		D0	SEPT0	FPT0エッジ/レベル選択					1	R/W	
キー入力 割り込み選択 レジスタ	00402CA (B)	D7-4	—	reserved	—				—	—	読み出し時: 0
		D3	SPPK11	FPK1割り込み入力ポート選択	11	10	01	00	0	R/W	
		D2	SPPK10		P2[7:4]	P0[7:4]	K6[7:4]	K6[3:0]	0		
		D1	SPPK01	FPK0割り込み入力ポート選択	11	10	01	00	0	R/W	
		D0	SPPK00		P2[4:0]	P0[4:0]	K6[4:0]	K5[4:0]	0		
キー入力 割り込み(FPK0) 入力比較 レジスタ	00402CC (B)	D7-5	—	reserved	—				—	—	読み出し時: 0
		D4	SCPK04	FPK04入力比較	1	High	0	Low	0	R/W	
		D3	SCPK03	FPK03入力比較					0	R/W	
		D2	SCPK02	FPK02入力比較					0	R/W	
		D1	SCPK01	FPK01入力比較					0	R/W	
		D0	SCPK00	FPK00入力比較					0	R/W	
キー入力 割り込み(FPK1) 入力比較 レジスタ	00402CD (B)	D7-4	—	reserved					—		
		D3	SCPK13	FPK13入力比較	1	High	0	Low	0	R/W	
		D2	SCPK12	FPK12入力比較					0	R/W	
		D1	SCPK11	FPK11入力比較					0	R/W	
		D0	SCPK10	FPK10入力比較					0	R/W	
キー入力 割り込み(FPK0) 入力マスク レジスタ	00402CE (B)	D7-5	—	reserved	—				—	—	読み出し時: 0
		D4	SMPK04	FPK04入力マスク	1	割り込み 許可	0	割り込み 禁止	0	R/W	
		D3	SMPK03	FPK03入力マスク					0	R/W	
		D2	SMPK02	FPK02入力マスク					0	R/W	
		D1	SMPK01	FPK01入力マスク					0	R/W	
		D0	SMPK00	FPK00入力マスク					0	R/W	
キー入力 割り込み(FPK1) 入力マスク レジスタ	00402CF (B)	D7-4	—	reserved					—		
		D3	SMPK13	FPK13入力マスク	1	割り込み 許可	0	割り込み 禁止	0	R/W	
		D2	SMPK12	FPK12入力マスク					0	R/W	
		D1	SMPK11	FPK11入力マスク					0	R/W	
		D0	SMPK10	FPK10入力マスク					0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈		
P0機能選択 レジスタ	00402D0 (B)	D7	CFP07	P07機能選択	1	#SRDY1	0	P07	0	R/W	拡張機能(0x402DF)
		D6	CFP06	P06機能選択	1	#SCLK1	0	P06	0	R/W	
		D5	CFP05	P05機能選択	1	SOUT1	0	P05	0	R/W	
		D4	CFP04	P04機能選択	1	SIN1	0	P04	0	R/W	
		D3	CFP03	P03機能選択	1	#SRDY0	0	P03	0	R/W	拡張機能(0x300040)
		D2	CFP02	P02機能選択	1	#SCLK0	0	P02	0	R/W	
		D1	CFP01	P01機能選択	1	SOUT0	0	P01	0	R/W	
		D0	CFP00	P00機能選択	1	SIN0	0	P00	0	R/W	
P0入出力兼用 ポートデータ レジスタ	00402D1 (B)	D7	P07D	P07入出力兼用ポートデータ	1	High	0	Low	0	R/W	
		D6	P06D	P06入出力兼用ポートデータ					0	R/W	
		D5	P05D	P05入出力兼用ポートデータ					0	R/W	
		D4	P04D	P04入出力兼用ポートデータ					0	R/W	
		D3	P03D	P03入出力兼用ポートデータ					0	R/W	
		D2	P02D	P02入出力兼用ポートデータ					0	R/W	
		D1	P01D	P01入出力兼用ポートデータ					0	R/W	
		D0	P00D	P00入出力兼用ポートデータ					0	R/W	
P0 I/O制御 レジスタ	00402D2 (B)	D7	IOC07	P07 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポート端子のI/O制御信号の値(詳細説明参照)
		D6	IOC06	P06 I/O制御					0	R/W	
		D5	IOC05	P05 I/O制御					0	R/W	
		D4	IOC04	P04 I/O制御					0	R/W	
		D3	IOC03	P03 I/O制御					0	R/W	
		D2	IOC02	P02 I/O制御					0	R/W	
		D1	IOC01	P01 I/O制御					0	R/W	
		D0	IOC00	P00 I/O制御					0	R/W	
P1機能選択 レジスタ	00402D4 (B)	D7	—	reserved	—		—		—	—	読み出し時: 0
		D6	CFP16	P16機能選択	1	EXCL5 #DMAEND1	0	P16	0	R/W	拡張機能(0x402D7)
		D5	CFP15	P15機能選択	1	EXCL4 #DMAEND0	0	P15	0	R/W	
		D4	CFP14	P14機能選択	1	FOSC1	0	P14	0	R/W	拡張機能(0x402DF)
		D3	CFP13	P13機能選択	1	EXCL3 T8UF3	0	P13	0	R/W	
		D2	CFP12	P12機能選択	1	EXCL2 T8UF2	0	P12	0	R/W	
		D1	CFP11	P11機能選択	1	EXCL1 T8UF1	0	P11	0	R/W	
		D0	CFP10	P10機能選択	1	EXCL0 T8UF0	0	P10	0	R/W	
P1入出力兼用 ポートデータ レジスタ	00402D5 (B)	D7	—	reserved	—		—		—	—	読み出し時: 0
		D6	P16D	P16入出力兼用ポートデータ	1	High	0	Low	0	R/W	
		D5	P15D	P15入出力兼用ポートデータ					0	R/W	
		D4	P14D	P14入出力兼用ポートデータ					0	R/W	
		D3	P13D	P13入出力兼用ポートデータ					0	R/W	
		D2	P12D	P12入出力兼用ポートデータ					0	R/W	
		D1	P11D	P11入出力兼用ポートデータ					0	R/W	
		D0	P10D	P10入出力兼用ポートデータ					0	R/W	
P1 I/O制御 レジスタ	00402D6 (B)	D7	—	reserved	—		—		—	—	読み出し時: 0
		D6	IOC16	P16 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポート端子のI/O制御信号の値(詳細説明参照)
		D5	IOC15	P15 I/O制御					0	R/W	
		D4	IOC14	P14 I/O制御					0	R/W	
		D3	IOC13	P13 I/O制御					0	R/W	
		D2	IOC12	P12 I/O制御					0	R/W	
		D1	IOC11	P11 I/O制御					0	R/W	
		D0	IOC10	P10 I/O制御					0	R/W	
ポートSIO 機能拡張 レジスタ	00402D7 (B)	D7-4	—	reserved	—		—		—	—	読み出し時: 0
		D3	SSRDY3	シリアルI/F Ch.3 SRDY選択	1	#SRDY3	0	P32/ #DMAACK0	0	R/W	
		D2	SSCLK3	シリアルI/F Ch.3 SCLK選択	1	#SCLK3	0	P15/EXCL4/ #DMAEND0	0	R/W	
		D1	SSOUT3	シリアルI/F Ch.3 SOUT選択	1	SOUT3	0	P16/EXCL5/ #DMAEND1	0	R/W	
		D0	SSIN3	シリアルI/F Ch.3 SIN選択	1	SIN3	0	P33/ #DMAACK1	0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈	
P2機能選択 レジスタ	00402D8 (B)	D7	CFP27	P27機能選択	1	TM5	0	P27	0	R/W	拡張機能(0x402DB)	
		D6	CFP26	P26機能選択	1	TM4	0	P26	0	R/W		
		D5	CFP25	P25機能選択	1	TM3	0	P25	0	R/W		
		D4	CFP24	P24機能選択	1	TM2	0	P24	0	R/W		
		D3	CFP23	P23機能選択	1	TM1	0	P23	0	R/W		
		D2	CFP22	P22機能選択	1	TM0	0	P22	0	R/W		
		D1	CFP21	P21機能選択	1	#DWE	0	P21	0	R/W		
		D0	CFP20	P20機能選択	1	#DRD	0	P20	0	R/W		
P2入出力兼用 ポートデータ レジスタ	00402D9 (B)	D7	P27D	P27入出力兼用ポートデータ	1	High	0	Low	0	R/W		
		D6	P26D	P26入出力兼用ポートデータ					0	R/W		
		D5	P25D	P25入出力兼用ポートデータ					0	R/W		
		D4	P24D	P24入出力兼用ポートデータ					0	R/W		
		D3	P23D	P23入出力兼用ポートデータ					0	R/W		
		D2	P22D	P22入出力兼用ポートデータ					0	R/W		
		D1	P21D	P21入出力兼用ポートデータ					0	R/W		
		D0	P20D	P20入出力兼用ポートデータ					0	R/W		
P2 I/O制御 レジスタ	00402DA (B)	D7	IOC27	P27 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポー ト端子のI/O制御信号 の値(詳細説明参照)	
		D6	IOC26	P26 I/O制御					0	R/W		
		D5	IOC25	P25 I/O制御					0	R/W		
		D4	IOC24	P24 I/O制御					0	R/W		
		D3	IOC23	P23 I/O制御					0	R/W		
		D2	IOC22	P22 I/O制御					0	R/W		
		D1	IOC21	P21 I/O制御					0	R/W		
		D0	IOC20	P20 I/O制御					0	R/W		
ポートSIO 機能拡張 レジスタ	00402DB (B)	D7-4	—	reserved		—			—	—	読み出し時: 0	
		D3	SSRDY2	シリアルI/F Ch.2 SRDY選択	1	#SRDY2	0	P24/TM2	0	R/W		
		D2	SSCLK2	シリアルI/F Ch.2 SCLK選択	1	#SCLK2	0	P25/TM3	0	R/W		
		D1	SSOUT2	シリアルI/F Ch.2 SOUT選択	1	SOUT2	0	P26/TM4	0	R/W		
		D0	SSIN2	シリアルI/F Ch.2 SIN選択	1	SIN2	0	P27/TM5	0	R/W		
P3機能選択 レジスタ	00402DC (B)	D7-6	—	reserved		—			—	—	読み出し時: 0	
		D5	CFP35	P35機能選択	1	#BUSACK	0	P35	0	R/W	拡張機能(0x300047)	
		D4	CFP34	P34機能選択	1	#BUSREQ #CE6	0	P34	0	R/W		
		D3	CFP33	P33機能選択	1	#DMAACK1	0	P33	0	R/W	拡張機能(0x402D7)	
		D2	CFP32	P32機能選択	1	#DMAACK0	0	P32	0	R/W		
		D1	CFP31	P31機能選択	1	#BUSGET	0	P31	0	R/W	拡張機能(0x402DF)	
		D0	CFP30	P30機能選択	1	#WAIT #CE4/#CE5	0	P30	0	R/W		
P3入出力兼用 ポートデータ レジスタ	00402DD (B)	D7-6	—	reserved		—			—	—	読み出し時: 0	
		D5	P35D	P35入出力兼用ポートデータ	1	High	0	Low	0	R/W		
		D4	P34D	P34入出力兼用ポートデータ					0	R/W		
		D3	P33D	P33入出力兼用ポートデータ					0	R/W		
		D2	P32D	P32入出力兼用ポートデータ					0	R/W		
		D1	P31D	P31入出力兼用ポートデータ					0	R/W		
		D0	P30D	P30入出力兼用ポートデータ					0	R/W		
P3 I/O制御 レジスタ	00402DE (B)	D7-6	—	reserved		—			—	—	読み出し時: 0	
		D5	IOC35	P35 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポー ト端子のI/O制御信号 の値(詳細説明参照)	
		D4	IOC34	P34 I/O制御					0	R/W		
		D3	IOC33	P33 I/O制御					0	R/W		
		D2	IOC32	P32 I/O制御					0	R/W		
		D1	IOC31	P31 I/O制御					0	R/W		
		D0	IOC30	P30 I/O制御					0	R/W		
ポート機能拡張 レジスタ	00402DF (B)	D7	CFEX7	P07ポート機能拡張	1				#DMAEND3	0		P07, etc.
		D6	CFEX6	P06ポート機能拡張	1	#DMAACK3	0	P06, etc.	0	R/W		
		D5	CFEX5	P05ポート機能拡張	1	#DMAEND2	0	P05, etc.	0	R/W		
		D4	CFEX4	P04ポート機能拡張	1	#DMAACK2	0	P04, etc.	0	R/W		
		D3	CFEX3	P31ポート機能拡張	1	#GARD	0	P31, etc.	0	R/W		
		D2	CFEX2	P21ポート機能拡張	1	#GAAS	0	P21, etc.	0	R/W		
		D1	CFEX1	P10, P11, P13ポート機能拡張	1	DST0 DST1 DPCO	0	P10, etc. P11, etc. P13, etc.	1	R/W		
		D0	CFEX0	P12, P14ポート機能拡張	1	DST2 DCLK	0	P12, etc. P14, etc.	1	R/W		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
エリア18-15 設定レジスタ	0048120 (HW)	DF	—	reserved	—	—	—	読み出し時: 0
		DE	A18SZ	エリア18-17デバイスサイズ選択	1 8ビット 0 16ビット	0	R/W	
		DD	A18DF1	エリア18-17	A18DF[1:0] サイクル数	1	R/W	
		DC	A18DF0	出力ディセーブル遅延時間	1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		DB	—	reserved	—	—	—	読み出し時: 0
		DA	A18WT2	エリア18-17ウェイト制御	A18WT[2:0] ウェイト数	1	R/W	
		D9	A18WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D8	A18WT0			1		
		D7	—	reserved	—	—	—	読み出し時: 0
		D6	A16SZ	エリア16-15デバイスサイズ選択	1 8ビット 0 16ビット	0	R/W	
		D5	A16DF1	エリア16-15	A16DF[1:0] サイクル数	1	R/W	
		D4	A16DF0	出力ディセーブル遅延時間	1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	A16WT2	エリア16-15ウェイト制御	A16WT[2:0] ウェイト数	1	R/W	
		D1	A16WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D0	A16WT0			1		
エリア14-13 設定レジスタ	0048122 (HW)	DF-9	—	reserved	—	—	—	読み出し時: 0
		D8	A14DRA	エリア14 DRAM選択	1 使用 0 未使用	0	R/W	
		D7	A13DRA	エリア13 DRAM選択	1 使用 0 未使用	0	R/W	
		D6	A14SZ	エリア14-13デバイスサイズ選択	1 8ビット 0 16ビット	0	R/W	
		D5	A14DF1	エリア14-13	A14DF[1:0] サイクル数	1	R/W	
		D4	A14DF0	出力ディセーブル遅延時間	1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	A14WT2	エリア14-13ウェイト制御	A14WT[2:0] ウェイト数	1	R/W	
		D1	A14WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D0	A14WT0			1		
エリア12-11 設定レジスタ	0048124 (HW)	DF-7	—	reserved	—	—	—	読み出し時: 0
		D6	A12SZ	エリア12-11デバイスサイズ選択	1 8ビット 0 16ビット	0	R/W	
		D5	A12DF1	エリア12-11	A12DF[1:0] サイクル数	1	R/W	
		D4	A12DF0	出力ディセーブル遅延時間	1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	A12WT2	エリア12-11ウェイト制御	A12WT[2:0] ウェイト数	1	R/W	
		D1	A12WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D0	A12WT0			1		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈		
エリア10-9 設定レジスタ	0048126 (HW)	DF	—	reserved	—		—	—	読み出し時: 0	
		DE	A10IR2	エリア10内蔵ROM容量選択	A10IR[2:0]		ROM容量		1	R/W
		DD	A10IR1		1	1	1	2MB	1	
		DC	A10IR0		1	1	0	1MB	1	
		1	0		1	512KB				
		1	0		0	256KB				
		0	1		1	128KB				
		0	1		0	64KB				
		0	0		1	32KB				
		0	0		0	16KB				
		DB	—	reserved	—		—	—	読み出し時: 0	
		DA	A10BW1	エリア10-9 バーストROM バーストリードサイクルウェイト 制御	A10BW[1:0]		ウェイト数		0	R/W
		D9	A10BW0		1	1	3	0		
		1	0		2					
		0	1		1					
		D8	A10DRA	エリア10バーストROM選択	1	使用	0	未使用	0	R/W
		D7	A9DRA	エリア9バーストROM選択	1	使用	0	未使用	0	R/W
		D6	A10SZ	エリア10-9デバイスサイズ選択	1	8ビット	0	16ビット	0	R/W
		D5	A10DF1	エリア10-9 出力ディセーブル遅延時間	A10DF[1:0]		サイクル数		1	R/W
		D4	A10DF0		1	1	3.5	1		
		1	0		2.5					
		0	1		1.5					
		0	0	0.5						
		D3	—	reserved	—		—	—	読み出し時: 0	
D2	A10WT2	エリア10-9ウェイト制御	A10WT[2:0]		ウェイト数		1	R/W		
D1	A10WT1		1	1	1	7	1			
D0	A10WT0		1	1	0	6	1			
1	0		1	5						
1	0		0	4						
0	1		1	3						
0	1		0	2						
0	0		1	1						
0	0		0	0						
エリア8-7 設定レジスタ	0048128 (HW)	DF-9	—	reserved	—		—	—	読み出し時: 0	
		D8	A8DRA	エリア8 DRAM選択	1	使用	0	未使用	0	R/W
		D7	A7DRA	エリア7 DRAM選択	1	使用	0	未使用	0	R/W
		D6	A8SZ	エリア8-7デバイスサイズ選択	1	8ビット	0	16ビット	0	R/W
		D5	A8DF1	エリア8-7 出力ディセーブル遅延時間	A8DF[1:0]		サイクル数		1	R/W
		D4	A8DF0		1	1	3.5	1		
		1	0		2.5					
		0	1		1.5					
		0	0	0.5						
		D3	—	reserved	—		—	—	読み出し時: 0	
		D2	A8WT2	エリア8-7ウェイト制御	A8WT[2:0]		ウェイト数		1	R/W
		D1	A8WT1		1	1	1	7	1	
		D0	A8WT0		1	1	0	6	1	
		1	0		1	5				
		1	0		0	4				
		0	1		1	3				
		0	1		0	2				
		0	0		1	1				
		0	0		0	0				

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈			
エリア6-4 設定レジスタ	004812A (HW)	DF-E	—	reserved	—		—	—	読み出し時: 0		
		DD	A6DF1	エリア6	A6DF[1:0]	サイクル数	1	R/W			
		DC	A6DF0	出力ディセーブル遅延時間	1 1 1 0 0 1 0 0	3.5 2.5 1.5 0.5	1				
		DB	—	reserved	—		—	—		読み出し時: 0	
		DA	A6WT2	エリア6ウェイト制御	A6WT[2:0]	ウェイト数	1	R/W			
		D9	A6WT1	1 1 1 1 1 0 1 0 1 1 0 0 0 1 1 0 1 0 0 0 1 0 0 0	7 6 5 4 3 2 1 0	1					
		D8	A6WT0								
		D7	—	reserved	—		—	—	読み出し時: 0		
		D6	A5SZ	エリア5-4デバイスサイズ選択	1 8ビット	0 16ビット	0	R/W			
		D5	A5DF1	エリア5-4	A5DF[1:0]	サイクル数	1	R/W			
		D4	A5DF0	出力ディセーブル遅延時間	1 1 1 0 0 1 0 0	3.5 2.5 1.5 0.5	1				
		D3	—	reserved	—		—	—	読み出し時: 0		
		D2	A5WT2	エリア5-4ウェイト制御	A5WT[2:0]	ウェイト数	1	R/W			
		D1	A5WT1	1 1 1 1 1 0 1 0 1 1 0 0 0 1 1 0 1 0 0 0 1 0 0 0	7 6 5 4 3 2 1 0	1					
		D0	A5WT0								
TTBRレジスタ 書き込み保護 レジスタ	004812D (B)	D7	TBRP7	TTBRレジスタ書き込み保護	01011001(0x59)書き込みによりTTBRレジスタ(0x48134)の書き込み保護を解除 それ以外は書き込み禁止に設定		0	W	読み出し時: 不定		
		D6	TBRP6				0				
		D5	TBRP5				0				
		D4	TBRP4				0				
		D3	TBRP3				0				
		D2	TBRP2				0				
		D1	TBRP1				0				
		D0	TBRP0				0				
		バスコントロー ルレジスタ	004812E (HW)				DF			RBCLK	BCLK出力イネーブル
DE	—			reserved	—		0	—	1書き込み禁止		
DD	RBST8			バーストロム/バーストモード選択	1 8連続	0 4連続	0	R/W			
DC	REDO			DRAMページモード選択	1 EDO	0 高速ページ	0	R/W			
DB	RCA1			カラムアドレスサイズ選択	RCA[1:0]	サイズ	0	R/W			
DA	RCA0				1 1 1 0 0 1 0 0	11 10 9 8	0				
D9	RPC2				リフレッシュイネーブル	1 イネーブル	0 ディセーブル	0	R/W		
D8	RPC1				リフレッシュ方式選択	1 セルフ	0 CBR	0	R/W		
D7	RPC0			リフレッシュRPCディレイ	1 2.0	0 1.0	0	R/W			
D6	RRA1			リフレッシュ RASパルス幅選択	RRA[1:0]	サイクル数	0	R/W			
D5	RRA0				1 1 1 0 0 1 0 0	5 4 3 2	0				
D4	—				reserved	—		0	—	1書き込み禁止	
D3	SBUSST				外部インタフェース方式設定	1 #BSL	0 A0	0	R/W		
D2	SEMAS			外部バスマスタ設定	1 存在	0 なし	0	R/W			
D1	SEPD			外部パワーダウン制御	1 有効	0 無効	0	R/W			
D0	SWAITE			#WAITイネーブル	1 許可	0 禁止	0	R/W			

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈			
DRAM タイミング設定 レジスタ	0048130 (HW)	DF-C	-	reserved	-		-	-	読み出し時: 0		
		DB	A3EEN	エリア3エミュレーション	1	内蔵ROM	0	エミュレーション	1	R/W	
		DA	CEFUNC1	#CE端子機能選択	CEFUNC[1:0]		#CE出力		0	R/W	
		D9	CEFUNC0		1	x	#CE7/8..#CE17/18		0		
		0	1		#CE6..#CE17						
		0	0		#CE4..#CE10						
		D8	CRAS	連続RASモード	1	連続	0	通常	0	R/W	
		D7	RPRC1	DRAM	RPRC[1:0]		サイクル数		0	R/W	
		D6	RPRC0	RASプリチャージサイクル数	1	1	4		0		
		1	0	3							
		0	1	2							
		0	0	1							
		D5	-	reserved	-		-		-	-	読み出し時: 0
		D4	CASC1	DRAM	CASC[1:0]		サイクル数		0	R/W	
		D3	CASC0	CASサイクル数	1	1	4		0		
		1	0	3							
0	1	2									
0	0	1									
D2	-	reserved	-		-		-	-	読み出し時: 0		
D1	RASC1	DRAM	RASC[1:0]		サイクル数		0	R/W			
D0	RASC0	RASサイクル数	1	1	4		0				
1	0	3									
0	1	2									
0	0	1									
アクセス制御 レジスタ	0048132 (HW)	DF	A18IO	エリア18, 17外部/内部アクセス	1	内部	0	外部	0	R/W	
		DE	A16IO	エリア16, 15外部/内部アクセス	アクセス	アクセス	0	R/W			
		DD	A14IO	エリア14, 13外部/内部アクセス			0	R/W			
		DC	A12IO	エリア12, 11外部/内部アクセス			0	R/W			
		DB	-	reserved	-		-		0	-	読み出し時: 0
		DA	A8IO	エリア8, 7外部/内部アクセス	1	内部	0	外部	0	R/W	
		D9	A6IO	エリア6外部/内部アクセス	アクセス	アクセス	0	R/W			
		D8	A5IO	エリア5, 4外部/内部アクセス			0	R/W			
		D7	A18EC	エリア18, 17エンディアン制御	1	ビッグエン ディアン	0	リトルエン ディアン	0	R/W	
		D6	A16EC	エリア16, 15エンディアン制御					0	R/W	
		D5	A14EC	エリア14, 13エンディアン制御					0	R/W	
		D4	A12EC	エリア12, 11エンディアン制御					0	R/W	
		D3	A10EC	エリア10, 9エンディアン制御					0	R/W	
		D2	A8EC	エリア8, 7エンディアン制御					0	R/W	
		D1	A6EC	エリア6エンディアン制御					0	R/W	
		D0	A5EC	エリア5, 4エンディアン制御					0	R/W	
TTBR 下位レジスタ	0048134 (HW)	DF	TTBR15	トラップテーブル ベースアドレス bit[15:10]			0	R/W			
		DE	TTBR14				0				
		DD	TTBR13				0				
		DC	TTBR12				0				
		DB	TTBR11				0				
		DA	TTBR10				0				
		D9	TTBR09	トラップテーブル	0に固定		0	R	読み出し時: 0 1書き込み禁止		
		D8	TTBR08	ベースアドレス bit[9:0]			0				
		D7	TTBR07	0							
		D6	TTBR06	0							
D5	TTBR05	0									
D4	TTBR04	0									
D3	TTBR03	0									
D2	TTBR02	0									
D1	TTBR01	0									
D0	TTBR00	0									
TTBR 上位レジスタ	0048136 (HW)	DF	TTBR33	トラップテーブル ベースアドレス bit[31:28]	0に固定		0	R	読み出し時: 0 1書き込み禁止		
		DE	TTBR32				0				
		DD	TTBR31				0				
		DC	TTBR30				0				
		DB	TTBR2B	トラップテーブル	0x0C0		0	R/W			
		DA	TTBR2A	ベースアドレス bit[27:16]			0				
		D9	TTBR29	0							
		D8	TTBR28	0							
		D7	TTBR27	1							
		D6	TTBR26	1							
		D5	TTBR25	0							
		D4	TTBR24	0							
		D3	TTBR23	0							
		D2	TTBR22	0							
		D1	TTBR21	0							
		D0	TTBR20	0							

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
G/Aリード信号 制御レジスタ	0048138 (HW)	DF	A18AS	エリア18, 17アドレスストローブ	1	生成	0	禁止	0	R/W	
		DE	A16AS	エリア16, 15アドレスストローブ					0	R/W	
		DD	A14AS	エリア14, 13アドレスストローブ					0	R/W	
		DC	A12AS	エリア12, 11アドレスストローブ					0	R/W	
		DB	—	reserved					0	—	
		DA	A8AS	エリア8, 7アドレスストローブ	1	生成	0	禁止	0	R/W	
		D9	A6AS	エリア6アドレスストローブ					0	R/W	
		D8	A5AS	エリア5, 4アドレスストローブ					0	R/W	
		D7	A18RD	エリア18, 17リード信号					0	R/W	
		D6	A16RD	エリア16, 15リード信号	1	生成	0	禁止	0	R/W	
		D5	A14RD	エリア14, 13リード信号					0	R/W	
		D4	A12RD	エリア12, 11リード信号					0	R/W	
		D3	—	reserved					0	—	
		D2	A8RD	エリア8, 7リード信号	1	生成	0	禁止	0	R/W	
		D1	A6RD	エリア6リード信号					0	R/W	
		D0	A5RD	エリア5, 4リード信号					0	R/W	
BCLK選択 レジスタ	004813A (B)	D7-4	—	reserved	—			0	—	読み出し時: 0	
		D3	A1X1MD	エリア1アクセス速度	1	2サイクル	0	4サイクル	0	R/W	x2スピードモード時 (0設定での使用不可)
		D2	—	reserved	—			0	—	読み出し時: 0	
		D1	BCLKSEL1	BCLK出力クロック選択	BCLKSEL[1:0]		BCLK		0	R/W	
		D0	BCLKSEL0		1	1	PLL_CLK	0			
					1	0	OSC3_CLK				
		0	1		BUS_CLK						
				0	0	CPU_CLK					
リードサイクル ホールド時間 制御レジスタ	004813C (B)	D7	A18RH	エリア18-17リードホールドサイクル	1	あり	0	なし	0	R/W	
		D6	A16RH	エリア16-15リードホールドサイクル					0	R/W	
		D5	A14RH	エリア14-13リードホールドサイクル					0	R/W	
		D4	A12RH	エリア12-11リードホールドサイクル					0	R/W	
		D3	A10RH	エリア10-9リードホールドサイクル					0	R/W	
		D2	A8RH	エリア8-7リードホールドサイクル					0	R/W	
		D1	A6RH	エリア6リードホールドサイクル					0	R/W	
		D0	A5RH	エリア5-4リードホールドサイクル					0	R/W	
バス速度設定 レジスタ	004813E (B)	D7	A18BS	エリア18-17バス速度選択	1	×1速度	0	#X2SPD に従う	0	R/W	本レジスタの設定 は、#X2SPD="0"(×2 スピードモード)の場 合に有効
		D6	A16BS	エリア16-15バス速度選択					0	R/W	
		D5	A14BS	エリア14-13バス速度選択					0	R/W	
		D4	A12BS	エリア12-11バス速度選択					0	R/W	
		D3	A10BS	エリア10-9バス速度選択					0	R/W	
		D2	A8BS	エリア8-7バス速度選択					0	R/W	
		D1	A6BS	エリア6バス速度選択					0	R/W	
		D0	A5BS	エリア5-4バス速度選択					0	R/W	
16bitタイマ0 コンペアデータ A設定レジスタ	0048180 (HW)	DF	CR0A15	16bitタイマ0	0 ~ 65535				X	R/W	
		DE	CR0A14	コンペアデータA					X		
		DD	CR0A13	CR0A15 = MSB					X		
		DC	CR0A12	CR0A0 = LSB					X		
		DB	CR0A11						X		
		DA	CR0A10						X		
		D9	CR0A9						X		
		D8	CR0A8						X		
		D7	CR0A7						X		
		D6	CR0A6						X		
		D5	CR0A5						X		
		D4	CR0A4						X		
		D3	CR0A3						X		
		D2	CR0A2						X		
		D1	CR0A1						X		
		D0	CR0A0						X		
16bitタイマ0 コンペアデータ B設定レジスタ	0048182 (HW)	DF	CR0B15	16bitタイマ0	0 ~ 65535				X	R/W	
		DE	CR0B14	コンペアデータB					X		
		DD	CR0B13	CR0B15 = MSB					X		
		DC	CR0B12	CR0B0 = LSB					X		
		DB	CR0B11						X		
		DA	CR0B10						X		
		D9	CR0B9						X		
		D8	CR0B8						X		
		D7	CR0B7						X		
		D6	CR0B6						X		
		D5	CR0B5						X		
		D4	CR0B4						X		
		D3	CR0B3						X		
		D2	CR0B2						X		
		D1	CR0B1						X		
		D0	CR0B0						X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ0 カウンタデータ レジスタ	0048184 (HW)	DF	TC015	16bitタイマ0	0 - 65535	X	R	
		DE	TC014	カウンタデータ		X		
		DD	TC013	TC015 = MSB		X		
		DC	TC012	TC00 = LSB		X		
		DB	TC011			X		
		DA	TC010			X		
		D9	TC09			X		
		D8	TC08			X		
		D7	TC07			X		
		D6	TC06			X		
		D5	TC05			X		
		D4	TC04			X		
		D3	TC03			X		
		D2	TC02			X		
		D1	TC01			X		
		D0	TC00			X		
16bitタイマ0 制御レジスタ	0048186 (B)	D7	—	reserved	—	0	—	読み出し時: 0
		D6	SELFMO	16bitタイマ0ファインモード選択	1 ファイン 0 通常	0	R/W	
		D5	SELCRB0	16bitタイマ0コンペアバッファ	1 許可 0 禁止	0	R/W	
		D4	OUTINV0	16bitタイマ0出力反転	1 反転 0 通常	0	R/W	
		D3	CKSL0	16bitタイマ0入力クロック選択	1 外部クロック 0 内部クロック	0	R/W	
		D2	PTM0	16bitタイマ0クロック出力制御	1 On 0 Off	0	R/W	
		D1	PRESET0	16bitタイマ0リセット	1 リセット 0 無効	0	W	読み出し時: 0
		D0	PRUN0	16bitタイマ0 Run/Stop制御	1 Run 0 Stop	0	R/W	
16bitタイマ1 コンペアデータ A設定レジスタ	0048188 (HW)	DF	CR1A15	16bitタイマ1	0 - 65535	X	R/W	
		DE	CR1A14	コンペアデータA		X		
		DD	CR1A13	CR1A15 = MSB		X		
		DC	CR1A12	CR1A0 = LSB		X		
		DB	CR1A11			X		
		DA	CR1A10			X		
		D9	CR1A9			X		
		D8	CR1A8			X		
		D7	CR1A7			X		
		D6	CR1A6			X		
		D5	CR1A5			X		
		D4	CR1A4			X		
		D3	CR1A3			X		
		D2	CR1A2			X		
		D1	CR1A1			X		
		D0	CR1A0			X		
16bitタイマ1 コンペアデータ B設定レジスタ	004818A (HW)	DF	CR1B15	16bitタイマ1	0 - 65535	X	R/W	
		DE	CR1B14	コンペアデータB		X		
		DD	CR1B13	CR1B15 = MSB		X		
		DC	CR1B12	CR1B0 = LSB		X		
		DB	CR1B11			X		
		DA	CR1B10			X		
		D9	CR1B9			X		
		D8	CR1B8			X		
		D7	CR1B7			X		
		D6	CR1B6			X		
		D5	CR1B5			X		
		D4	CR1B4			X		
		D3	CR1B3			X		
		D2	CR1B2			X		
		D1	CR1B1			X		
		D0	CR1B0			X		
16bitタイマ1 カウンタデータ レジスタ	004818C (HW)	DF	TC115	16bitタイマ1	0 - 65535	X	R	
		DE	TC114	カウンタデータ		X		
		DD	TC113	TC115 = MSB		X		
		DC	TC112	TC10 = LSB		X		
		DB	TC111			X		
		DA	TC110			X		
		D9	TC19			X		
		D8	TC18			X		
		D7	TC17			X		
		D6	TC16			X		
		D5	TC15			X		
		D4	TC14			X		
		D3	TC13			X		
		D2	TC12			X		
		D1	TC11			X		
		D0	TC10			X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ1 制御レジスタ	004818E (B)	D7	–	reserved	–	0	–	読み出し時: 0
		D6	SELF1	16bitタイマ1ファインモード選択	1 ファイン 0 通常	0	R/W	
		D5	SELCRB1	16bitタイマ1コンペアバッファ	1 許可 0 禁止	0	R/W	
		D4	OUTINV1	16bitタイマ1出力反転	1 反転 0 通常	0	R/W	
		D3	CKSL1	16bitタイマ1入力クロック選択	1 外部クロック 0 内部クロック	0	R/W	
		D2	PTM1	16bitタイマ1クロック出力制御	1 On 0 Off	0	R/W	
		D1	PRESET1	16bitタイマ1リセット	1 リセット 0 無効	0	W	読み出し時: 0
		D0	PRUN1	16bitタイマ1 Run/Stop制御	1 Run 0 Stop	0	R/W	
16bitタイマ2 コンペアデータ A設定レジスタ	0048190 (HW)	DF	CR2A15	16bitタイマ2 コンペアデータA	0 ~ 65535	X	R/W	
		DE	CR2A14			X		
		DD	CR2A13	CR2A15 = MSB		X		
		DC	CR2A12	CR2A0 = LSB		X		
		DB	CR2A11			X		
		DA	CR2A10			X		
		D9	CR2A9			X		
		D8	CR2A8			X		
		D7	CR2A7			X		
		D6	CR2A6			X		
		D5	CR2A5			X		
		D4	CR2A4			X		
		D3	CR2A3			X		
		D2	CR2A2			X		
		D1	CR2A1			X		
		D0	CR2A0			X		
16bitタイマ2 コンペアデータ B設定レジスタ	0048192 (HW)	DF	CR2B15	16bitタイマ2 コンペアデータB	0 ~ 65535	X	R/W	
		DE	CR2B14			X		
		DD	CR2B13	CR2B15 = MSB		X		
		DC	CR2B12	CR2B0 = LSB		X		
		DB	CR2B11			X		
		DA	CR2B10			X		
		D9	CR2B9			X		
		D8	CR2B8			X		
		D7	CR2B7			X		
		D6	CR2B6			X		
		D5	CR2B5			X		
		D4	CR2B4			X		
		D3	CR2B3			X		
		D2	CR2B2			X		
		D1	CR2B1			X		
		D0	CR2B0			X		
16bitタイマ2 カウンタデータ レジスタ	0048194 (HW)	DF	TC215	16bitタイマ2 カウンタデータ	0 ~ 65535	X	R	
		DE	TC214			X		
		DD	TC213	TC215 = MSB		X		
		DC	TC212	TC20 = LSB		X		
		DB	TC211			X		
		DA	TC210			X		
		D9	TC29			X		
		D8	TC28			X		
		D7	TC27			X		
		D6	TC26			X		
		D5	TC25			X		
		D4	TC24			X		
		D3	TC23			X		
		D2	TC22			X		
		D1	TC21			X		
		D0	TC20			X		
16bitタイマ2 制御レジスタ	0048196 (B)	D7	–	reserved	–	0	–	読み出し時: 0
		D6	SELF2	16bitタイマ2ファインモード選択	1 ファイン 0 通常	0	R/W	
		D5	SELCRB2	16bitタイマ2コンペアバッファ	1 許可 0 禁止	0	R/W	
		D4	OUTINV2	16bitタイマ2出力反転	1 反転 0 通常	0	R/W	
		D3	CKSL2	16bitタイマ2入力クロック選択	1 外部クロック 0 内部クロック	0	R/W	
		D2	PTM2	16bitタイマ2クロック出力制御	1 On 0 Off	0	R/W	
		D1	PRESET2	16bitタイマ2リセット	1 リセット 0 無効	0	W	読み出し時: 0
		D0	PRUN2	16bitタイマ2 Run/Stop制御	1 Run 0 Stop	0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
16bitタイマ3 コンペアデータ A設定レジスタ	0048198 (HW)	DF	CR3A15	16bitタイマ3 コンペアデータA CR3A15 = MSB CR3A0 = LSB	0 ~ 65535			X	R/W		
		DE	CR3A14					X			
		DD	CR3A13					X			
		DC	CR3A12					X			
		DB	CR3A11					X			
		DA	CR3A10					X			
		D9	CR3A9					X			
		D8	CR3A8					X			
		D7	CR3A7					X			
		D6	CR3A6					X			
		D5	CR3A5					X			
		D4	CR3A4					X			
		D3	CR3A3					X			
		D2	CR3A2					X			
		D1	CR3A1					X			
		D0	CR3A0					X			
16bitタイマ3 コンペアデータ B設定レジスタ	004819A (HW)	DF	CR3B15	16bitタイマ3 コンペアデータB CR3B15 = MSB CR3B0 = LSB	0 ~ 65535			X	R/W		
		DE	CR3B14					X			
		DD	CR3B13					X			
		DC	CR3B12					X			
		DB	CR3B11					X			
		DA	CR3B10					X			
		D9	CR3B9					X			
		D8	CR3B8					X			
		D7	CR3B7					X			
		D6	CR3B6					X			
		D5	CR3B5					X			
		D4	CR3B4					X			
		D3	CR3B3					X			
		D2	CR3B2					X			
		D1	CR3B1					X			
		D0	CR3B0					X			
16bitタイマ3 カウンタデータ レジスタ	004819C (HW)	DF	TC315	16bitタイマ3 カウンタデータ TC315 = MSB TC30 = LSB	0 ~ 65535			X	R		
		DE	TC314					X			
		DD	TC313					X			
		DC	TC312					X			
		DB	TC311					X			
		DA	TC310					X			
		D9	TC39					X			
		D8	TC38					X			
		D7	TC37					X			
		D6	TC36					X			
		D5	TC35					X			
		D4	TC34					X			
		D3	TC33					X			
		D2	TC32					X			
		D1	TC31					X			
		D0	TC30					X			
16bitタイマ3 制御レジスタ	004819E (B)	D7	—	reserved	—			0	—	読み出し時: 0	
		D6	SELF3	16bitタイマ3ファインモード選択	1	ファイン	0	通常	0	R/W	
		D5	SELCRB3	16bitタイマ3コンペアバッファ	1	許可	0	禁止	0	R/W	
		D4	OUTINV3	16bitタイマ3出力反転	1	反転	0	通常	0	R/W	
		D3	CKSL3	16bitタイマ3入力クロック選択	1	外部クロック	0	内部クロック	0	R/W	
		D2	PTM3	16bitタイマ3クロック出力制御	1	On	0	Off	0	R/W	
		D1	PRESET3	16bitタイマ3リセット	1	リセット	0	無効	0	W	
		D0	PRUN3	16bitタイマ3 Run/Stop制御	1	Run	0	Stop	0	R/W	
16bitタイマ4 コンペアデータ A設定レジスタ	00481A0 (HW)	DF	CR4A15	16bitタイマ4 コンペアデータA CR4A15 = MSB CR4A0 = LSB	0 ~ 65535			X	R/W		
		DE	CR4A14					X			
		DD	CR4A13					X			
		DC	CR4A12					X			
		DB	CR4A11					X			
		DA	CR4A10					X			
		D9	CR4A9					X			
		D8	CR4A8					X			
		D7	CR4A7					X			
		D6	CR4A6					X			
		D5	CR4A5					X			
		D4	CR4A4					X			
		D3	CR4A3					X			
		D2	CR4A2					X			
		D1	CR4A1					X			
		D0	CR4A0					X			

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈			
16bitタイマ4 コンペアデータ B設定レジスタ	00481A2 (HW)	DF	CR4B15	16bitタイマ4 コンペアデータB CR4B15 = MSB CR4B0 = LSB	0 ~ 65535		X	R/W				
		DE	CR4B14				X					
		DD	CR4B13				X					
		DC	CR4B12				X					
		DB	CR4B11				X					
		DA	CR4B10				X					
		D9	CR4B9				X					
		D8	CR4B8				X					
		D7	CR4B7				X					
		D6	CR4B6				X					
		D5	CR4B5				X					
		D4	CR4B4				X					
		D3	CR4B3				X					
		D2	CR4B2				X					
		D1	CR4B1				X					
		D0	CR4B0				X					
16bitタイマ4 カウンタデータ レジスタ	00481A4 (HW)	DF	TC415	16bitタイマ4 カウンタデータ TC415 = MSB TC40 = LSB	0 ~ 65535		X	R				
		DE	TC414				X					
		DD	TC413				X					
		DC	TC412				X					
		DB	TC411				X					
		DA	TC410				X					
		D9	TC49				X					
		D8	TC48				X					
		D7	TC47				X					
		D6	TC46				X					
		D5	TC45				X					
		D4	TC44				X					
		D3	TC43				X					
		D2	TC42				X					
		D1	TC41				X					
		D0	TC40				X					
16bitタイマ4 制御レジスタ	00481A6 (B)	D7	—	reserved	—		0	—	読み出し時: 0			
		D6	SELF4	16bitタイマ4ファインモード選択	1	ファイン	0	通常		0	R/W	
		D5	SELCRB4	16bitタイマ4コンペアバッファ	1	許可	0	禁止		0	R/W	
		D4	OUTINV4	16bitタイマ4出力反転	1	反転	0	通常		0	R/W	
		D3	CKSL4	16bitタイマ4入力クロック選択	1	外部クロック	0	内部クロック		0	R/W	
		D2	PTM4	16bitタイマ4クロック出力制御	1	On	0	Off		0	R/W	
		D1	PRESET4	16bitタイマ4リセット	1	リセット	0	無効		0	W	読み出し時: 0
		D0	PRUN4	16bitタイマ4 Run/Stop制御	1	Run	0	Stop		0	R/W	
16bitタイマ5 コンペアデータ A設定レジスタ	00481A8 (HW)	DF	CR5A15	16bitタイマ5 コンペアデータA CR5A15 = MSB CR5A0 = LSB	0 ~ 65535		X	R/W				
		DE	CR5A14				X					
		DD	CR5A13				X					
		DC	CR5A12				X					
		DB	CR5A11				X					
		DA	CR5A10				X					
		D9	CR5A9				X					
		D8	CR5A8				X					
		D7	CR5A7				X					
		D6	CR5A6				X					
		D5	CR5A5				X					
		D4	CR5A4				X					
		D3	CR5A3				X					
		D2	CR5A2				X					
		D1	CR5A1				X					
		D0	CR5A0				X					
16bitタイマ5 コンペアデータ B設定レジスタ	00481AA (HW)	DF	CR5B15	16bitタイマ5 コンペアデータB CR5B15 = MSB CR5B0 = LSB	0 ~ 65535		X	R/W				
		DE	CR5B14				X					
		DD	CR5B13				X					
		DC	CR5B12				X					
		DB	CR5B11				X					
		DA	CR5B10				X					
		D9	CR5B9				X					
		D8	CR5B8				X					
		D7	CR5B7				X					
		D6	CR5B6				X					
		D5	CR5B5				X					
		D4	CR5B4				X					
		D3	CR5B3				X					
		D2	CR5B2				X					
		D1	CR5B1				X					
		D0	CR5B0				X					

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ5 カウンタデータ レジスタ	00481AC (HW)	DF	TC515	16bitタイマ5	0 ~ 65535	X	R	
		DE	TC514	カウンタデータ		X		
		DD	TC513	TC515 = MSB		X		
		DC	TC512	TC50 = LSB		X		
		DB	TC511			X		
		DA	TC510			X		
		D9	TC59			X		
		D8	TC58			X		
		D7	TC57			X		
		D6	TC56			X		
		D5	TC55			X		
		D4	TC54			X		
		D3	TC53			X		
		D2	TC52			X		
		D1	TC51			X		
		D0	TC50			X		
16bitタイマ5 制御レジスタ	00481AE (B)	D7	—	reserved	—	0	—	読み出し時: 0
		D6	SELF5	16bitタイマ5ファインモード選択	1 ファイン 0 通常	0	R/W	
		D5	SELCRB5	16bitタイマ5コンペアバッファ	1 許可 0 禁止	0	R/W	
		D4	OUTINV5	16bitタイマ5出力反転	1 反転 0 通常	0	R/W	
		D3	CKSL5	16bitタイマ5入力クロック選択	1 外部クロック 0 内部クロック	0	R/W	
		D2	PTM5	16bitタイマ5クロック出力制御	1 On 0 Off	0	R/W	
		D1	PRESET5	16bitタイマ5リセット	1 リセット 0 無効	0	W	読み出し時: 0
		D0	PRUN5	16bitタイマ5 Run/Stop制御	1 Run 0 Stop	0	R/W	
IDMA ベースアドレス 下位レジスタ	0048200 (HW)	DF	DBASEL15	IDMA	ベースアドレス 下位16ビット (初期値: 0x0C003A0)	0	R/W	
		DE	DBASEL14			0		
		DD	DBASEL13			0		
		DC	DBASEL12			0		
		DB	DBASEL11			0		
		DA	DBASEL10			0		
		D9	DBASEL9			1		
		D8	DBASEL8			1		
		D7	DBASEL7			1		
		D6	DBASEL6			0		
		D5	DBASEL5			1		
		D4	DBASEL4			0		
		D3	DBASEL3			0		
		D2	DBASEL2			0		
		D1	DBASEL1			0		
		D0	DBASEL0			0		
IDMA ベースアドレス 上位レジスタ	0048202 (HW)	DF-C	—	reserved	—	—	—	読み出し時: 不定
		DB	DBASEH11	IDMA	ベースアドレス 上位12ビット (初期値: 0x0C003A0)	0	R/W	
		DA	DBASEH10			0		
		D9	DBASEH9			0		
		D8	DBASEH8			0		
		D7	DBASEH7			1		
		D6	DBASEH6			1		
		D5	DBASEH5			0		
		D4	DBASEH4			0		
		D3	DBASEH3			0		
		D2	DBASEH2			0		
		D1	DBASEH1			0		
		D0	DBASEH0			0		
IDMAスタート レジスタ	0048204 (B)	D7	DSTART	IDMAスタート	1 IDMA開始 0 停止	0	R/W	
		D6-0	DCHN	IDMAチャネル番号	0 ~ 127	0	R/W	
IDMAイネーブル レジスタ	0048205 (B)	D7-1	—	reserved	—	—	—	
		D0	IDMAEN	IDMAイネーブル	1 転送可 0 転送不可	0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
高速DMA Ch.0 転送カウンタ レジスタ	0048220 (HW)	DF	TC0_L7	Ch.0転送カウンタ[7:0] (ブロック転送モード)		X	R/W	
		DE	TC0_L6			X		
		DD	TC0_L5			X		
		DC	TC0_L4	Ch.0転送カウンタ[15:8] (シングル/連続転送モード)		X		
		DB	TC0_L3			X		
		DA	TC0_L2			X		
		D9	TC0_L1			X		
		D8	TC0_L0			X		
		D7	BLKLEN07	Ch.0ブロック長 (ブロック転送モード)		X	R/W	
		D6	BLKLEN06			X		
		D5	BLKLEN05			X		
		D4	BLKLEN04	Ch.0転送カウンタ[7:0] (シングル/連続転送モード)		X		
		D3	BLKLEN03			X		
		D2	BLKLEN02			X		
		D1	BLKLEN01			X		
		D0	BLKLEN00			X		
高速DMA Ch.0 制御レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048222 (HW)	DF	DUALM0	Ch.0アドレスモード選択	1 デュアル 0 シングル	0	R/W	
		DE	DODIR	D) 無効 S) Ch.0転送方向制御	— 1 メモリWR 0 メモリRD	— 0	R/W	
		DD-8	—	reserved	—	—	—	読み出し時: 不定
		D7	TC0_H7	Ch.0転送カウンタ[15:8] (ブロック転送モード)		X	R/W	
		D6	TC0_H6			X		
		D5	TC0_H5			X		
		D4	TC0_H4	Ch.0転送カウンタ[23:16] (シングル/連続転送モード)		X		
		D3	TC0_H3			X		
		D2	TC0_H2			X		
		D1	TC0_H1			X		
高速DMA Ch.0 転送元下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048224 (HW)	DF	S0ADRL15	D) Ch.0転送元アドレス[15:0] S) Ch.0メモリアドレス[15:0]		X	R/W	
		DE	S0ADRL14			X		
		DD	S0ADRL13			X		
		DC	S0ADRL12			X		
		DB	S0ADRL11			X		
		DA	S0ADRL10			X		
		D9	S0ADRL9			X		
		D8	S0ADRL8			X		
		D7	S0ADRL7			X		
		D6	S0ADRL6			X		
		D5	S0ADRL5			X		
		D4	S0ADRL4			X		
		D3	S0ADRL3			X		
		D2	S0ADRL2			X		
		D1	S0ADRL1			X		
		D0	S0ADRL0			X		
高速DMA Ch.0 転送元上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048226 (HW)	DF	—	reserved	—	—	—	読み出し時: 不定
		DE	DATSIZE0	Ch.0転送データサイズ	1 ハーフワード 0 バイト	0	R/W	
		DD	S0IN1	D) Ch.0転送元アドレス制御	S0IN[1:0]	Inc/dec	0	R/W
		DC	S0IN0	S) Ch.0メモリアドレス制御	1 1 Inc.(initなし) 1 0 Inc.(init) 0 1 Dec.(initなし) 0 0 固定	0		
		DB	S0ADRH11	D) Ch.0転送元アドレス[27:16] S) Ch.0メモリアドレス[27:16]		X	R/W	
		DA	S0ADRH10			X		
		D9	S0ADRH9			X		
		D8	S0ADRH8			X		
		D7	S0ADRH7			X		
		D6	S0ADRH6			X		
		D5	S0ADRH5			X		
		D4	S0ADRH4			X		
		D3	S0ADRH3			X		
		D2	S0ADRH2			X		
		D1	S0ADRH1			X		
		D0	S0ADRH0			X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈		
高速DMA Ch.0 転送先下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048228 (HW)	DF	D0ADRL15	D) Ch.0転送先アドレス[15:0] S) 無効			X	R/W			
		DE	D0ADRL14				X				
		DD	D0ADRL13				X				
		DC	D0ADRL12				X				
		DB	D0ADRL11				X				
		DA	D0ADRL10				X				
		D9	D0ADRL9				X				
		D8	D0ADRL8				X				
		D7	D0ADRL7				X				
		D6	D0ADRL6				X				
		D5	D0ADRL5				X				
		D4	D0ADRL4				X				
		D3	D0ADRL3				X				
		D2	D0ADRL2				X				
		D1	D0ADRL1				X				
		D0	D0ADRL0				X				
		高速DMA Ch.0 転送先上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	004822A (HW)				DF DE			D0MOD1 D0MOD0	Ch.0転送モード
1	1			無効							
1	0			ブロック転送							
0	1			連続転送							
0	0			シングル転送							
DD DC	D0IN1 D0IN0			D) Ch.0転送先アドレス制御 S) 無効	D0IN[1:0]		Inc/dec		0 0	R/W	
					1	1	Inc.(initなし)				
					1	0	Inc.(init)				
					0	1	Dec.(initなし)				
					0	0	固定				
DB DA D9 D8 D7 D6 D5 D4 D3 D2 D1 D0	D0ADRH11 D0ADRH10 D0ADRH9 D0ADRH8 D0ADRH7 D0ADRH6 D0ADRH5 D0ADRH4 D0ADRH3 D0ADRH2 D0ADRH1 D0ADRH0			D) Ch.0転送先アドレス[27:16] S) 無効					X X X X X X X X X X X X	R/W	
高速DMA Ch.0 イネーブル レジスタ	004822C (HW)	DF-1	—	reserved	—		—	—	読み出し時: 不定		
		D0	HS0_EN	Ch.0イネーブル	1	許可	0	禁止	0	R/W	
高速DMA Ch.0 トリガフラグ レジスタ	004822E (HW)	DF-1	—	reserved	—		—	—	読み出し時: 不定		
		D0	HS0_TF	Ch.0トリガフラグクリア(WR)	1	クリア	0	無効	0	R/W	
Ch.0トリガフラグステータス(RD)	1			セット	0	クリア					
高速DMA Ch.1 転送カウンタ レジスタ	0048230 (HW)	DF	TC1_L7	Ch.1転送カウンタ[7:0] (ブロック転送モード)			X X X X X X X X	R/W			
		DE	TC1_L6								
		DD	TC1_L5								
		DC	TC1_L4								
		DB	TC1_L3								
		DA	TC1_L2								
		D9	TC1_L1								
		D8	TC1_L0								
		D7 D6 D5 D4 D3 D2 D1 D0	BLKLEN17 BLKLEN16 BLKLEN15 BLKLEN14 BLKLEN13 BLKLEN12 BLKLEN11 BLKLEN10	Ch.1ブロック長 (ブロック転送モード) Ch.1転送カウンタ[7:0] (シングル/連続転送モード)			X X X X X X X X	R/W			

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
高速DMA Ch.1 制御レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048232 (HW)	DF	DUALM1	Ch.1アドレスモード選択	1 デュアル 0 シングル	0	R/W	
		DE	D1DIR	D) 無効	—	—	—	
				S) Ch.1転送方向制御	1 メモリWR 0 メモリRD	0	R/W	
		DD-8	—	reserved	—	—	—	読み出し時: 不定
		D7	TC1_H7	Ch.1転送カウンタ[15:8]		X	R/W	
		D6	TC1_H6	(ブロック転送モード)		X		
		D5	TC1_H5			X		
		D4	TC1_H4	Ch.1転送カウンタ[23:16]		X		
		D3	TC1_H3	(シングル/連続転送モード)		X		
		D2	TC1_H2			X		
		D1	TC1_H1			X		
		D0	TC1_H0			X		
高速DMA Ch.1 転送元下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048234 (HW)	DF	S1ADRL15	D) Ch.1転送元アドレス[15:0]		X	R/W	
		DE	S1ADRL14	S) Ch.1メモリアドレス[15:0]		X		
		DD	S1ADRL13			X		
		DC	S1ADRL12			X		
		DB	S1ADRL11			X		
		DA	S1ADRL10			X		
		D9	S1ADRL9			X		
		D8	S1ADRL8			X		
		D7	S1ADRL7			X		
		D6	S1ADRL6			X		
		D5	S1ADRL5			X		
		D4	S1ADRL4			X		
		D3	S1ADRL3			X		
		D2	S1ADRL2			X		
		D1	S1ADRL1			X		
		D0	S1ADRL0			X		
高速DMA Ch.1 転送元上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048236 (HW)	DF	—	reserved	—	—	—	読み出し時: 不定
		DE	DATSIZE1	Ch.1転送データサイズ	1 ハーフワード 0 バイト	0	R/W	
		DD	S1IN1	D) Ch.1転送元アドレス制御	S1IN[1:0]	0	R/W	
		DC	S1IN0	S) Ch.1メモリアドレス制御	1 1 Inc.(initなし) 1 0 Inc.(init) 0 1 Dec.(initなし) 0 0 固定	0		
		DB	S1ADRH11	D) Ch.1転送元アドレス[27:16]		X	R/W	
		DA	S1ADRH10	S) Ch.1メモリアドレス[27:16]		X		
		D9	S1ADRH9			X		
		D8	S1ADRH8			X		
		D7	S1ADRH7			X		
		D6	S1ADRH6			X		
		D5	S1ADRH5			X		
		D4	S1ADRH4			X		
		D3	S1ADRH3			X		
		D2	S1ADRH2			X		
		D1	S1ADRH1			X		
		D0	S1ADRH0			X		
高速DMA Ch.1 転送先下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048238 (HW)	DF	D1ADRL15	D) Ch.1転送先アドレス[15:0]		X	R/W	
		DE	D1ADRL14	S) 無効		X		
		DD	D1ADRL13			X		
		DC	D1ADRL12			X		
		DB	D1ADRL11			X		
		DA	D1ADRL10			X		
		D9	D1ADRL9			X		
		D8	D1ADRL8			X		
		D7	D1ADRL7			X		
		D6	D1ADRL6			X		
		D5	D1ADRL5			X		
		D4	D1ADRL4			X		
		D3	D1ADRL3			X		
		D2	D1ADRL2			X		
		D1	D1ADRL1			X		
		D0	D1ADRL0			X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈					
高速DMA Ch.1 転送先上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	004823A (HW)	DF	D1MOD1	Ch.1転送モード	D1MOD[1:0]		モード	0 0	R/W						
		DE	D1MOD0		1	1	無効								
					1	0	ブロック転送								
					0	1	連続転送								
					0	0	シングル転送								
		DD	D1IN1	D) Ch.1転送先アドレス制御 S) 無効	D1IN[1:0]		Inc/dec	0 0	R/W						
		DC	D1IN0		1	1	Inc.(initなし)								
					1	0	Inc.(init)								
					0	1	Dec.(initなし)								
					0	0	固定								
		DB	D1ADRH11	D) Ch.1転送先アドレス[27:16] S) 無効				X	R/W						
		DA	D1ADRH10					X							
		D9	D1ADRH9					X							
		D8	D1ADRH8					X							
		D7	D1ADRH7					X							
		D6	D1ADRH6					X							
		D5	D1ADRH5					X							
		D4	D1ADRH4					X							
		D3	D1ADRH3					X							
D2	D1ADRH2	X													
D1	D1ADRH1	X													
D0	D1ADRH0	X													
高速DMA Ch.1 イネーブル レジスタ	004823C (HW)	DF-1	—					reserved		—			—	—	読み出し時: 不定
	D0	HS1_EN	Ch.1イネーブル					1		許可	0	禁止	0	R/W	
高速DMA Ch.1 トリガフラグ レジスタ	004823E (HW)	DF-1	—	reserved	—			—	—	読み出し時: 不定					
	D0	HS1_TF	Ch.1トリガフラグクリア(WR)	1	クリア	0	無効	0	R/W						
			Ch.1トリガフラグステータス(RD)	1	セット	0	クリア								
高速DMA Ch.2 転送カウンタ レジスタ	0048240 (HW)	DF	TC2_L7	Ch.2転送カウンタ[7:0] (ブロック転送モード)				X	R/W						
DE	TC2_L6	X													
	DD	TC2_L5	X												
	DC	TC2_L4	X												
	DB	TC2_L3	Ch.2転送カウンタ[15:8] (シングル/連続転送モード)	X											
		TC2_L2		X											
		TC2_L1		X											
		TC2_L0		X											
	D7	BLKLEN27	Ch.2ブロック長 (ブロック転送モード)		X	R/W									
D6	BLKLEN26	X													
D5	BLKLEN25	X													
D4	BLKLEN24	Ch.2転送カウンタ[7:0] (シングル/連続転送モード)	X												
D3	BLKLEN23		X												
D2	BLKLEN22		X												
D1	BLKLEN21		X												
D0	BLKLEN20	X													
高速DMA Ch.2 制御レジスタ	0048242 (HW)	DF	DUALM2	Ch.2アドレスモード選択	1	デュアル	0	シングル	0	R/W					
DE	D2DIR	D)無効	—			—	—								
		S) Ch.2転送方向制御	1	メモリWR	0	メモリRD	0	R/W							
注: D) デュアルアド レスモード S) シングルアド レスモード		DD-8	—	reserved	—			—	—	読み出し時: 不定					
		D7	TC2_H7	Ch.2転送カウンタ[15:8] (ブロック転送モード)				X	R/W						
		D6	TC2_H6					X							
		D5	TC2_H5					X							
		D4	TC2_H4	Ch.2転送カウンタ[23:16] (シングル/連続転送モード)				X	R/W						
		D3	TC2_H3					X							
		D2	TC2_H2					X							
		D1	TC2_H1					X							
		D0	TC2_H0					X							

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈					
高速DMA Ch.2 転送元下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048244 (HW)	DF	S2ADRL15	D) Ch.2転送元アドレス[15:0]		X	R/W						
		DE	S2ADRL14	S) Ch.2メモリアドレス[15:0]		X							
		DD	S2ADRL13			X							
		DC	S2ADRL12			X							
		DB	S2ADRL11			X							
		DA	S2ADRL10			X							
		D9	S2ADRL9			X							
		D8	S2ADRL8			X							
		D7	S2ADRL7			X							
		D6	S2ADRL6			X							
		D5	S2ADRL5			X							
		D4	S2ADRL4			X							
		D3	S2ADRL3			X							
		D2	S2ADRL2			X							
		D1	S2ADRL1			X							
		D0	S2ADRL0			X							
		高速DMA Ch.2 転送元上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048246 (HW)	DF		—	reserved		—	—	読み出し時: 不定		
				DE		DATSIZE2	Ch.2転送データサイズ		1 ハーフワード 0 バイト	0	R/W		
				DD		S2IN1	D) Ch.2転送元アドレス制御		S2IN[1:0]	Inc/dec	0		R/W
				DC		S2IN0	S) Ch.2メモリアドレス制御		1 1 1 0 0 1 0 0	Inc.(initなし) Inc.(init) Dec.(initなし) 固定	0		
DB	S2ADRH11			D) Ch.2転送元アドレス[27:16]		X	R/W						
DA	S2ADRH10			S) Ch.2メモリアドレス[27:16]		X							
D9	S2ADRH9			X									
D8	S2ADRH8			X									
D7	S2ADRH7			X									
D6	S2ADRH6			X									
D5	S2ADRH5			X									
D4	S2ADRH4			X									
D3	S2ADRH3			X									
D2	S2ADRH2			X									
D1	S2ADRH1			X									
D0	S2ADRH0			X									
高速DMA Ch.2 転送先下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048248 (HW)			DF		D2ADRL15	D) Ch.2転送先アドレス[15:0]		X	R/W			
				DE		D2ADRL14	S) 無効		X				
				DD		D2ADRL13			X				
				DC		D2ADRL12			X				
		DB	D2ADRL11		X								
		DA	D2ADRL10		X								
		D9	D2ADRL9		X								
		D8	D2ADRL8		X								
		D7	D2ADRL7		X								
		D6	D2ADRL6		X								
		D5	D2ADRL5		X								
		D4	D2ADRL4		X								
		D3	D2ADRL3		X								
		D2	D2ADRL2		X								
		D1	D2ADRL1		X								
		D0	D2ADRL0		X								
		高速DMA Ch.2 転送先上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	004824A (HW)	DF	D2MOD1	Ch.2転送モード	D2MOD[1:0]		モード	0		R/W	
				DE	D2MOD0		1 1 1 0 0 1 0 0		無効 ブロック転送 連続転送 シングル転送	0			
				DD	D2IN1	D) Ch.2転送先アドレス制御	D2IN[1:0]		Inc/dec	0		R/W	
				DC	D2IN0	S) 無効	1 1 1 0 0 1 0 0		Inc.(initなし) Inc.(init) Dec.(initなし) 固定	0			
DB	D2ADRH11			D) Ch.2転送先アドレス[27:16]		X	R/W						
DA	D2ADRH10			S) 無効		X							
D9	D2ADRH9			X									
D8	D2ADRH8			X									
D7	D2ADRH7			X									
D6	D2ADRH6			X									
D5	D2ADRH5			X									
D4	D2ADRH4			X									
D3	D2ADRH3			X									
D2	D2ADRH2			X									
D1	D2ADRH1			X									
D0	D2ADRH0			X									

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
高速DMA Ch.2 イネーブル レジスタ	004824C (HW)	DF-1	—	reserved	—	—	—	読み出し時: 不定
		D0	HS2_EN	Ch.2イネーブル	1 許可 0 禁止	0	R/W	
高速DMA Ch.2 トリガフラグ レジスタ	004824E (HW)	DF-1	—	reserved	—	—	—	読み出し時: 不定
		D0	HS2_TF	Ch.2トリガフラグクリア(WR) Ch.2トリガフラグステータス(RD)	1 クリア 0 無効 1 セット 0 クリア	0	R/W	
高速DMA Ch.3 転送カウンタ レジスタ	0048250 (HW)	DF	TC3_L7	Ch.3転送カウンタ[7:0] (ブロック転送モード)			X	R/W
		DE	TC3_L6				X	
		DD	TC3_L5				X	
		DC	TC3_L4	Ch.3転送カウンタ[15:8] (シングル/連続転送モード)			X	
		DB	TC3_L3				X	
		DA	TC3_L2				X	
		D9	TC3_L1				X	
		D8	TC3_L0				X	
		D7	BLKLEN37	Ch.3ブロック長 (ブロック転送モード)			X	R/W
		D6	BLKLEN36				X	
		D5	BLKLEN35				X	
		D4	BLKLEN34	Ch.3転送カウンタ[7:0] (シングル/連続転送モード)			X	
		D3	BLKLEN33				X	
		D2	BLKLEN32				X	
		D1	BLKLEN31				X	
		D0	BLKLEN30				X	
高速DMA Ch.3 制御レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048252 (HW)	DF	DUALM3	Ch.3アドレスモード選択	1 デュアル 0 シングル	0	R/W	
		DE	D3DIR	D) 無効 S) Ch.3転送方向制御	— 1 メモリWR 0 メモリRD	— 0	R/W	
		DD-8	—	reserved	—	—	—	読み出し時: 不定
		D7	TC3_H7	Ch.3転送カウンタ[15:8] (ブロック転送モード)			X	R/W
		D6	TC3_H6				X	
		D5	TC3_H5				X	
		D4	TC3_H4	Ch.3転送カウンタ[23:16] (シングル/連続転送モード)			X	
		D3	TC3_H3				X	
		D2	TC3_H2				X	
		D1	TC3_H1				X	
		D0	TC3_H0				X	
高速DMA Ch.3 転送元下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048254 (HW)	DF	S3ADRL15	D) Ch.3転送元アドレス[15:0] S) Ch.3メモリアドレス[15:0]			X	R/W
		DE	S3ADRL14				X	
		DD	S3ADRL13				X	
		DC	S3ADRL12				X	
		DB	S3ADRL11				X	
		DA	S3ADRL10				X	
		D9	S3ADRL9				X	
		D8	S3ADRL8				X	
		D7	S3ADRL7				X	
		D6	S3ADRL6				X	
		D5	S3ADRL5				X	
		D4	S3ADRL4				X	
		D3	S3ADRL3				X	
		D2	S3ADRL2				X	
		D1	S3ADRL1				X	
		D0	S3ADRL0				X	
高速DMA Ch.3 転送元上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048256 (HW)	DF	—	reserved	—	—	—	読み出し時: 不定
		DE	DATSIZE3	Ch.3転送データサイズ	1 ハーフワード 0 バイト	0	R/W	
		DD	S3IN1	D) Ch.3転送元アドレス制御	S3IN[1:0] Inc/dec	0	R/W	
		DC	S3IN0	S) Ch.3メモリアドレス制御	1 1 Inc.(initなし) 1 0 Inc.(init) 0 1 Dec.(initなし) 0 0 固定	0	R/W	
		DB	S3ADRH11	D) Ch.3転送元アドレス[27:16] S) Ch.3メモリアドレス[27:16]			X	R/W
		DA	S3ADRH10				X	
		D9	S3ADRH9				X	
		D8	S3ADRH8				X	
		D7	S3ADRH7				X	
		D6	S3ADRH6				X	
		D5	S3ADRH5				X	
		D4	S3ADRH4				X	
		D3	S3ADRH3				X	
		D2	S3ADRH2				X	
		D1	S3ADRH1				X	
		D0	S3ADRH0				X	

レジスタ名	アドレス	ビット	名 称	機 能	ビ ッ ト		設 定	Init.	R/W	注 釈
高速DMA Ch.3 転送先下位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	0048258 (HW)	DF	D3ADRL15	D) Ch.3転送先アドレス[15:0] S) 無効				X	R/W	
		DE	D3ADRL14					X		
		DD	D3ADRL13					X		
		DC	D3ADRL12					X		
		DB	D3ADRL11					X		
		DA	D3ADRL10					X		
		D9	D3ADRL9					X		
		D8	D3ADRL8					X		
		D7	D3ADRL7					X		
		D6	D3ADRL6					X		
		D5	D3ADRL5					X		
		D4	D3ADRL4					X		
		D3	D3ADRL3					X		
		D2	D3ADRL2					X		
		D1	D3ADRL1					X		
		D0	D3ADRL0					X		
		高速DMA Ch.3 転送先上位 アドレス設定 レジスタ 注: D) デュアルアド レスモード S) シングルアド レスモード	004825A (HW)					DF		
DE	D3MOD0			1	1	無効	0			
				1	0	ブロック転送	連続転送 シングル転送			
				0	1					
				0	0					
DD	D3IN1			D) Ch.3転送先アドレス制御 S) 無効	D3IN[1:0]		Inc/dec	0	R/W	
DC	D3IN0				1	1	Inc.(initなし)	0		
					1	0	Inc.(init)			
					0	1	Dec.(initなし)			
					0	0	固定			
DB	D3ADRH11			D) Ch.3転送先アドレス[27:16] S) 無効				X	R/W	
DA	D3ADRH10							X		
D9	D3ADRH9							X		
D8	D3ADRH8							X		
D7	D3ADRH7							X		
D6	D3ADRH6							X		
D5	D3ADRH5							X		
D4	D3ADRH4	X								
D3	D3ADRH3	X								
D2	D3ADRH2	X								
D1	D3ADRH1	X								
D0	D3ADRH0	X								
高速DMA Ch.3 イネーブル レジスタ	004825C (HW)	DF-1	—	reserved	—		—	—	読み出し時: 不定	
		D0	HS3_EN	Ch.3イネーブル	1	許可	0	禁止	0	R/W
高速DMA Ch.3 トリガフラグ レジスタ	004825E (HW)	DF-1	—	reserved	—		—	—	読み出し時: 不定	
		D0	HS3_TF	Ch.3トリガフラグクリア(WR) Ch.3トリガフラグステータス(RD)	1	クリア セット	0	無効 クリア	0	R/W

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈					
コアIDレジスタ	0300000 (B)	D7	CID7	チップコアID	0x02		0	R						
		D6	CID6	0x02: C33スタンダードマクロコア			0							
		D5	CID5	0x03: C33ミニマクロコア			0							
		D4	CID4	0x04: C33アドバンスドマクロコア			0							
		D3	CID3				0							
		D2	CID2				0							
		D1	CID1				1							
		D0	CID0				0							
		製品シリーズID レジスタ	0300001 (B)	D7			MID7	製品シリーズID		0x03		0	R	
				D6			MID6	0x03: S1C333xx				0		
D5	MID5			0x15: S1C33Lxx	0									
D4	MID4				0									
D3	MID3				0									
D2	MID2				0									
D1	MID1				1									
D0	MID0				1									
機種IDレジスタ	0300002 (B)			D7	NAME7	機種ID	0x01		0			R		
				D6	NAME6	0x01: S1C33301			0					
		D5	NAME5		0									
		D4	NAME4		0									
		D3	NAME3		0									
		D2	NAME2		0									
		D1	NAME1		0									
		D0	NAME0		1									
		バージョン レジスタ	0300003 (B)	D7	VER3	バージョンコード			0x00		0	R		
				D6	VER2	0x00: version 1.0					0			
D5	VER1				0									
D4	VER0				0									
D3-0	—			reserved	—	—	読み出し時: 0							
P4入出力兼用 ポートデータ レジスタ	0300020 (B)	D7	P47D	P47入出力兼用ポートデータ	1	High	0	Low	0	R/W				
		D6	P46D	P46入出力兼用ポートデータ					0	R/W				
		D5	P45D	P45入出力兼用ポートデータ					0	R/W				
		D4	P44D	P44入出力兼用ポートデータ					0	R/W				
		D3	P43D	P43入出力兼用ポートデータ					0	R/W				
		D2	P42D	P42入出力兼用ポートデータ					0	R/W				
		D1	P41D	P41入出力兼用ポートデータ					0	R/W				
		D0	P40D	P40入出力兼用ポートデータ					0	R/W				
		P4 I/O制御 レジスタ	0300021 (B)	D7					IOC47	P47 I/O制御		1	出力	0
D6	IOC46			P46 I/O制御	0	R/W								
D5	IOC45			P45 I/O制御	0	R/W								
D4	IOC44			P44 I/O制御	0	R/W								
D3	IOC43			P43 I/O制御	0	R/W								
D2	IOC42			P42 I/O制御	0	R/W								
D1	IOC41			P41 I/O制御	0	R/W								
D0	IOC40			P40 I/O制御	0	R/W								
P5入出力兼用 ポートデータ レジスタ	0300022 (B)			D7-6	—	reserved	—		—	—	読み出し時: 0			
		D5	P55D	P55入出力兼用ポートデータ	1	High			0	Low	0	R/W		
		D4	P54D	P54入出力兼用ポートデータ							0	R/W		
		D3	P53D	P53入出力兼用ポートデータ							0	R/W		
		D2	P52D	P52入出力兼用ポートデータ							0	R/W		
		D1	P51D	P51入出力兼用ポートデータ							0	R/W		
		D0	P50D	P50入出力兼用ポートデータ							0	R/W		
		P5 I/O制御 レジスタ	0300023 (B)	D7-6							—	reserved	—	
D5	IOC55			P55 I/O制御	1	出力	0	入力	0	R/W				
D4	IOC54			P54 I/O制御					0	R/W				
D3	IOC53			P53 I/O制御					0	R/W				
D2	IOC52			P52 I/O制御					0	R/W				
D1	IOC51			P51 I/O制御					0	R/W				
D0	IOC50			P50 I/O制御					0	R/W				
P6入出力兼用 ポートデータ レジスタ	0300024 (B)			D7-4					—	reserved	—			
		D3	P63D	P63入出力兼用ポートデータ	1	High	0	Low	0	R/W				
		D2	P62D	P62入出力兼用ポートデータ					0	R/W				
		D1	P61D	P61入出力兼用ポートデータ					0	R/W				
		D0	P60D	P60入出力兼用ポートデータ					0	R/W				
P6 I/O制御 レジスタ	0300025 (B)	D7-4	—	reserved	—		—	—	読み出し時: 0					
		D3	IOC63	P63 I/O制御			1	出力	0	入力	0	R/W		
		D2	IOC62	P62 I/O制御							0	R/W		
		D1	IOC61	P61 I/O制御							0	R/W		
		D0	IOC60	P60 I/O制御							0	R/W		

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈			
P00–P03 ポート機能拡張 レジスタ	0300040 (B)	D7 D6	EFP031 EFP030	P03ポート機能拡張	EFP03[1:0]		機能	0 0	R/W				
					1	*	reserved						
					0	1	#FSRDY0						
					0	0	P03/#SRDY0						
		D5 D4	EFP021 EFP020	P02ポート機能拡張	EFP02[1:0]		機能	0 0	R/W				
					1	*	reserved						
					0	1	#FSCLK0						
					0	0	P02/#SCLK0						
		D3 D2	EFP011 EFP010	P01ポート機能拡張	EFP01[1:0]		機能	0 0	R/W				
					1	*	reserved						
					0	1	FSOUT0						
					0	0	P01/SOUT0						
D1 D0	EFP001 EFP000	P00ポート機能拡張	EFP00[1:0]		機能	0 0	R/W						
			1	*	reserved								
			0	1	FSIN0								
			0	0	P00/SIN0								
P34–P35 ポート機能拡張 レジスタ	0300047 (B)	D7–4 D3 D2	— EFP351 EFP350	reserved P35ポート機能拡張	— EFP35[1:0]		機能	— 0 0	— R/W	読み出し時: 0			
					1	*	reserved						
					0	1	#SMRE						
					0	0	P35, etc.						
		D1 D0	EFP341 EFP340	P34ポート機能拡張	EFP34[1:0]		機能	0 0	R/W				
					1	*	reserved						
					0	1	#SMWE						
					0	0	P34, etc.						
		P40–P43 ポート機能拡張 レジスタ	0300048 (B)	D7 D6	EFP431 EFP430	P43ポート機能拡張	EFP43[1:0]		機能		0 0	R/W	
							1	*	reserved				
							0	1	P43				
							0	0	A22				
D5 D4	EFP421 EFP420			P42ポート機能拡張	EFP42[1:0]		機能	0 0	R/W				
					1	*	reserved						
					0	1	P42						
					0	0	A23						
D3 D2	EFP411 EFP410			P41ポート機能拡張	EFP41[1:0]		機能	0 0	R/W				
					1	*	reserved						
					1	0	A24						
					0	1	P41						
D1 D0	EFP401 EFP400	P40ポート機能拡張	EFP40[1:0]		機能	0 0	R/W						
			1	1	reserved								
			1	0	A25								
			0	1	P40								
P44–P47 ポート機能拡張 レジスタ	0300049 (B)	D7 D6	EFP471 EFP470	P47ポート機能拡張	EFP47[1:0]		機能	0 0	R/W				
					1	*	reserved						
					0	1	P47						
					0	0	A18						
		D5 D4	EFP461 EFP460	P46ポート機能拡張	EFP46[1:0]		機能	0 0	R/W				
					1	*	reserved						
					0	1	P46						
					0	0	A19						
		D3 D2	EFP451 EFP450	P45ポート機能拡張	EFP45[1:0]		機能	0 0	R/W				
					1	*	reserved						
					0	1	P45						
					0	0	A20						
D1 D0	EFP441 EFP440	P44ポート機能拡張	EFP44[1:0]		機能	0 0	R/W						
			1	*	reserved								
			0	1	P44								
			0	0	A21								

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈										
P50–P53 ポート機能拡張 レジスタ	030004A (B)	D7 D6	EFP531 EFP530	P53ポート機能拡張	EFP53[1:0]		機能	0	R/W										
					1	*	reserved	0											
					0	1	P53												
					0	0	#CE7, etc.												
		D5 D4	EFP521 EFP520	P52ポート機能拡張	EFP52[1:0]		機能	0	R/W										
					1	*	reserved	0											
					0	1	P52												
					0	0	#CE6, etc.												
		D3 D2	EFP511 EFP510	P51ポート機能拡張	EFP51[1:0]		機能	0	R/W										
					1	*	reserved	0											
					0	1	P51												
					0	0	#CE5, etc.												
		D1 D0	EFP501 EFP500	P50ポート機能拡張	EFP50[1:0]		機能	0	R/W										
					1	*	reserved	0											
					0	1	P50												
					0	0	#CE4, etc.												
P54–P55 ポート機能拡張 レジスタ	030004B (B)	D7–4 D3 D2	– EFP551 EFP550	reserved P55ポート機能拡張	– EFP55[1:0]		– 機能	– 0	– R/W	読み出し時: 0									
					1	*	reserved	0											
					0	1	P55												
					0	0	#CE9, etc.												
		D1 D0	EFP541 EFP540	P54ポート機能拡張	EFP54[1:0]		機能	0	R/W										
					1	*	reserved	0											
					0	1	P54												
					0	0	#CE8, etc.												
		P60 ポート機能拡張 レジスタ	030004C (B)	D7–2 D1 D0	– EFP601 EFP600	reserved P60ポート機能拡張	– EFP60[1:0]		– 機能		– 0	– R/W	読み出し時: 0						
							1	1	reserved		0								
				1	0	FOSC1													
				0	1	P60													
0	0			BCLK															
スマート メディアI/F #CEエリア選択 レジスタ	0300100 (B)			D7–2 D1 D0	– SMCES1 SMCES0	reserved スマートメディアI/F #CEエリア選択 (CEFUNCにより異なる)	– SMCES[1:0]		– #CEエリア	– 0	– R/W			読み出し時: 0					
		1	1				#CE9/#CE17(+18)	0											
		1	0	#CE8/#CE14															
		0	1	#CE7/#CE13															
		0	0	#CE4/#CE11(+12)															
		FIFOシリアル I/F Ch.0 送信データ レジスタ	0300200 (B)	D7 D6 D5 D4 D3 D2 D1 D0	TXD07 TXD06 TXD05 TXD04 TXD03 TXD02 TXD01 TXD00	FIFOシリアルI/F Ch.0 送信データ TXD07(06) = MSB TXD00 = LSB	0x0 ~ 0xFF(0x7F)		X X X X X X X X	R/W		調歩同期式7ビットモ ードの場合、TXD07 は無効							
X																			
X																			
X																			
X																			
X																			
X																			
X																			
FIFOシリアル I/F Ch.0 受信データ レジスタ	0300201 (B)								D7 D6 D5 D4 D3 D2 D1 D0		RXD07 RXD06 RXD05 RXD04 RXD03 RXD02 RXD01 RXD00		FIFOシリアルI/F Ch.0 受信データ RXD07(06) = MSB RXD00 = LSB	0x0 ~ 0xFF(0x7F)		X X X X X X X X	R	調歩同期式7ビットモ ードの場合、RXD07 は無効(0固定)	
																X			
		X																	
		X																	
		X																	
		X																	
		X																	
		X																	
		FIFOシリアル I/F Ch.0 ステータス レジスタ	0300202 (B)	D7 D6	RXD0NUM1 RXD0NUM0	Ch.0 FIFO内受信データ数	RXD0NUM[1:0]			データ数		0				R/W			
							1	1		4		0							
1	0						3												
0	1						2												
0	0						1 or 0												
D5 D4 D3 D2 D1 D0	TEND0 FER0 PER0 OER0 TDBE0 RDBF0			Ch.0転送終了フラグ Ch.0フレーミングエラーフラグ Ch.0パリティエラーフラグ Ch.0オーバーランエラーフラグ Ch.0送信データバッファステータス Ch.0受信データバッファステータス	1	転送中	0 終了	0	R	0書き込みでクリア									
					1	エラー	0 正常	0	R/W										
					1	エラー	0 正常	0	R/W										
					1	エラー	0 正常	0	R/W										
					1	空きあり	0 満杯	1	R										
					1	データあり	0 データなし	0	R										

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈	
FIFOシリアル I/F Ch.0 制御レジスタ	0300203 (B)	D7	TXEN0	Ch.0送信許可	1 許可	0 禁止	0	R/W	調歩同期式モード時 のみ有効	
		D6	RXEN0	Ch.0受信許可	1 許可	0 禁止	0	R/W		
		D5	EPR0	Ch.0パリティイネーブル	1 パリティ付	0 パリティなし	X	R/W		
		D4	PMD0	Ch.0パリティモード選択	1 奇数	0 偶数	X	R/W		
		D3	STPB0	Ch.0ストップビット選択	1 2bit	0 1bit	X	R/W		
		D2	SSCK0	Ch.0入力クロック選択	1 #FSCLK0	0 内部クロック	X	R/W		
		D1	SMD01	Ch.0転送モード選択	SMD0[1:0]		転送モード		X	R/W
		D0	SMD00		1 1	1 調歩同期式8bit	X			
			1 0	1 調歩同期式7bit						
			0 1	0 クロック同期スレーブ						
			0 0	0 クロック同期マスタ						
FIFOシリアル I/F Ch.0 IrDAレジスタ	0300204 (B)	D7	SRDYCTL0	Ch.0 #FSRDY制御	1 Highマスク	0 通常	0	R/W		
		D6	FIFOINT01	Ch.0受信FIFOレベル設定	FIFOINT0[1:0]		レベル		0	R/W
		D5	FIFOINT00		1 1	1 4	0	R/W		
					1 0	3				
					0 1	2				
			0 0	1						
		D4	DIVMD0	Ch.0調歩同期クロック分周比	1 1/8	0 1/16	X	R/W		
		D3	IRTL0	Ch.0 IrDA I/F出力論理反転	1 反転	0 反転なし	X	R/W	調歩同期式モード時 のみ有効	
		D2	IRRL0	Ch.0 IrDA I/F入力論理反転	1 反転	0 反転なし	X	R/W		
		D1	IRMD01	Ch.0インタフェースモード 選択	IRMD0[1:0]		I/Fモード		X	R/W
		D0	IRMD00		1 1	1 reserved	X			
					1 0	1 IrDA 1.0				
0 1	0 reserved									
			0 0	0 通常のI/F						
FIFOシリアル I/F Ch.0 ポーレートタイ マ制御レジスタ	0300205 (B)	D7-1	—	reserved	—		—	—	読み出し時: 0	
		D0	BRTRUN	ポーレートタイマRun/Stop制御	1 Run	0 Stop	0	R/W		
FIFOシリアル I/F Ch.0 ポーレート タイマリロード データレジスタ (LSB)	0300206 (B)	D7	BRTRD07	FIFOシリアルI/F Ch.0	0x0 ~ 0xFF (BRTRD0[9:0] = 0x0 ~ 0x3FF)		0	R/W		
		D6	BRTRD06	ポーレートタイマ			0			
		D5	BRTRD05	リロードデータ[7:0]			0			
		D4	BRTRD04				0			
		D3	BRTRD03				0			
		D2	BRTRD02				0			
		D1	BRTRD01				0			
		D0	BRTRD00				0			
FIFOシリアル I/F Ch.0 ポーレート タイマリロード データレジスタ (MSB)	0300207 (B)	D7-2	—	reserved	—		—	—	読み出し時: 0	
		D1	BRTRD09	FIFOシリアルI/F Ch.0	0x0 ~ 0x3 (BRTRD0[9:0] = 0x0 ~ 0x3FF)		0	R/W		
		D0	BRTRD08	ポーレートタイマ リロードデータ[9:8]			0			
FIFOシリアル I/F Ch.0 ポーレート タイマカウン タデータレジスタ (LSB)	0300208 (B)	D7	BRTRCD07	FIFOシリアルI/F Ch.0	0x0 ~ 0xFF (BRTRCD0[9:0] = 0x0 ~ 0x3FF)		0	R		
		D6	BRTRCD06	ポーレートタイマ			0			
		D5	BRTRCD05	カウンタデータ[7:0]			0			
		D4	BRTRCD04				0			
		D3	BRTRCD03				0			
		D2	BRTRCD02				0			
		D1	BRTRCD01				0			
		D0	BRTRCD00				0			
FIFOシリアル I/F Ch.0 ポーレート タイマカウン タデータレジスタ (MSB)	0300209 (B)	D7-2	—	reserved	—		—	—	読み出し時: 0	
		D1	BRTRCD09	FIFOシリアルI/F Ch.0	0x0 ~ 0x3 (BRTRCD0[9:0] = 0x0 ~ 0x3FF)		0	R		
		D0	BRTRCD08	ポーレートタイマ カウンタデータ[9:8]			0			
バス信号 ブルアップ制御 レジスタ	0300F00 (B)	D7-4	—	reserved	—		—	—	読み出し時: 0	
		D3	PUPCAS	#LCAS, #HCAS, BCLK (P40, P41, P60)ブルアップ	1 ブルアップ あり	0 ブルアップ なし	1	R/W		
		D2	PUPCE	#CE10-#CE4(P55-P50)ブルアップ			1	R/W		
		D1	PUPAD	A23-A0(P42-P47)ブルアップ			1	R/W		
		D0	PUPRW	#WRH, #WRL, #RDブルアップ			1	R/W		
バス信号 Low駆動制御 レジスタ	0300F01 (B)	D7-5	—	reserved	—		—	—	読み出し時: 0	
		D4	LDRVDB	D15-D0 Low駆動	1 Low駆動	0 通常出力	0	R/W		
		D3	LDRVCAS	#LCAS, #HCAS, BCLK Low駆動			0	R/W		
		D2	LDRVCE	#CE10-#CE4 Low駆動			0	R/W		
		D1	LDRVAD	A23-A0 Low駆動			0	R/W		
		D0	LDRVRW	#WRH, #WRL, #RD Low駆動			0	R/W		

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈		
入力ポート ブルアップ制御 レジスタ	0300F02 (B)	D7-3	—	reserved	—		—	—	読み出し時: 0		
		D2	PUPK6H	K67-K64ブルアップ *1	1	ブルアップ あり	0	ブルアップ なし		1	R/W
		D1	PUPK6L	K63-K60ブルアップ						1	R/W
		D0	PUPK5	K54-K50ブルアップ						1	R/W
入出力兼用ポート ブルアップ制御 レジスタ	0300F04 (B)	D7	—	reserved	—		—	—	読み出し時: 0		
		D6	PUPP6	P63-P60ブルアップ *1	1	ブルアップあり	0	ブルアップなし	1	R/W	
		D5-4	—	reserved					—		—
		D3	PUPP3	P35-P30ブルアップ	1	ブルアップ あり	0	ブルアップ なし	1	R/W	
		D2	PUPP2	P27-P20ブルアップ					1	R/W	
		D1	PUPP1	P16-P10ブルアップ					1	R/W	
		D0	PUPP0	P07-P00ブルアップ					1	R/W	

*1 PFBGA-121pin/パッケージの場合、PUPK6H(K67-K64ブルアップ制御)およびPUPP(P63-P60ブルアップ制御)は"1"(ブルアップあり)に設定する必要があります。

セイコーエプソン株式会社 電子デバイス営業本部

IC営業推進部	〒191-8501 東京都日野市日野421-8
IC営業技術G	TEL (042) 587-5816(直通) FAX (042) 587-5624
東日本	
ED東京営業部	〒191-8501 東京都日野市日野421-8
東京IC営業G	TEL (042) 587-5313(直通) FAX (042) 587-5116
西日本	
ED大阪営業部	〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F TEL (06) 5120-6000(代表) FAX (06) 5120-6100
東海・北陸	
ED名古屋営業部	〒461-0005 名古屋市東区東桜1-10-24 栄大野ビル4F TEL (052) 953-8031(代表) FAX (052) 953-8041
長野	
ED長野営業部	〒392-8502 長野県諏訪市大和3-3-5 TEL (0266) 58-8171(直通) FAX (0266) 58-9917
東北	
ED仙台営業所	〒980-0013 宮城県仙台市青葉区花京院1-1-20 花京院スクエア19F TEL (022) 263-7975(代表) FAX (022) 263-7990

インターネットによる電子デバイスのご紹介 <http://www.epsondevice.com/domcfg.nsf>