

# **S1S60000**

## **テクニカルマニュアル**

本資料のご使用につきましては、次の点にご留意願います。

---

1. 本資料の内容については、予告無く変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これら起因する第三者の権利（工業所有権を含む）侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施件の許諾を行うものではありません。
4. 特性値のの数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、一般民生用です。生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。

<登録商標>

ブランド名、製品名は各社の商標もしくは登録商標です。

本製品は Silicon Storage Technology, Inc.よりライセンスされた SuperFlash®テクノロジーを使用しています。

©SEIKO EPSON CORPORATION 2005, All rights reserved.

## 製品型番体系

●デバイス

S1

S

60000

F

00A5

00

梱包仕様

仕様

形状

(F: プラスチック QFP)

機種番号

機種名称

(S: 通信用)

製品分類

(S1: 半導体)

# 目 次

<b>1. 概要</b>	<b>1</b>
1.1 特徴	1
1.2 主な仕様	1
1.3 ブロック図	2
1.4 端子説明	3
1.4.1 端子配置図	3
1.4.2 端子機能	4
<b>2. ハードウェア仕様</b>	<b>9</b>
2.1 コア CPU	9
2.1.1 ROM とブートアドレス	9
2.1.2 RAM	9
2.2 周辺回路	9
2.3 シリアルインタフェース	10
2.3.1 ハードウェア制御モード	10
2.3.2 シリアルエミュレーションモード	10
2.4 電源	11
2.4.1 動作電圧	11
2.5 パワーオンリセット	12
2.6 OSC3 クロック	12
<b>3. ネットワークインタフェース</b>	<b>13</b>
3.1 MII インタフェース	13
3.2 マネジメントインタフェース	14
3.3 PHY チップとの接続	14
3.4 通信モード	15
<b>4. ホストインタフェース</b>	<b>16</b>
4.1 制御信号	16
4.2 ホストインタフェースポート	17
4.2.1 コマンドポート	17
4.2.2 ステータスポート	17
4.2.3 データポート	17
4.2.4 フラグポート	17
4.3 ホストインタフェースタイプ	19
4.4 エンディアンによるデータ入れ替え	25
4.5 アクセスタイミング	26
<b>5. ハードウェア制御</b>	<b>28</b>
5.1 制御方法	28
5.1.1 ネットワークからの制御	28
5.1.2 ホストインタフェースからの制御	31
5.1.3 外部 I <sup>2</sup> C マスタからの制御	31
5.1.4 シリアルインタフェースからの制御	31
5.2 内蔵レジスタ	34
5.2.1 REVID	35
5.2.2 MAC0,MAC1,MAC2	35
5.2.3 GENCRC	36
5.2.4 HIFCRC	37

5.2.5	I2CSADR .....	37
5.2.6	I2CCONF .....	38
5.2.7	GPALT .....	39
5.2.8	GPCFG .....	40
5.2.9	GPDAT .....	40
5.2.10	GPMSK .....	41
5.2.11	EPMSK .....	41
5.2.12	I2CMSK .....	42
5.2.13	PMWAIT .....	43
5.2.14	PHYMODE .....	43
5.2.15	ANEGR .....	44
5.2.16	IPADRH,IPADRL .....	45
5.2.17	SNMSKH,SNMSKL .....	45
5.2.18	DGWH,DGWL .....	45
5.2.19	DADRnH,DADRnL .....	45
5.2.20	PORT .....	45
5.2.21	DPORT .....	45
5.2.22	SERMODE .....	46
5.2.23	TMOUT .....	46
5.2.24	SOPAR .....	47
5.2.25	COMN0,COMN1,COMN2,COMN3 .....	48
5.3	GPIO .....	49
5.3.1	割り込み通知機能 .....	50
5.4	I <sup>2</sup> C .....	51
5.4.1	マスタ機能 .....	51
5.4.2	スレーブ機能 .....	53
5.5	EEPROM .....	56
5.5.1	EEPROM 仕様 .....	56
5.5.2	格納データ .....	56
5.5.3	送受信フォーマット .....	57
5.5.4	自動読み込み .....	57
6.	パワーマネジメント制御 .....	58
7.	実装上の注意事項 .....	59
8.	電気的特性 .....	60
8.1	絶対最大定格 .....	60
8.2	推奨動作条件 .....	60
8.3	DC 特性 .....	61
8.4	消費電流 .....	61
8.5	AC 特性 .....	61
8.5.1	記号説明 .....	61
8.5.2	AC 特性測定条件 .....	61
8.5.3	AC 特性表 .....	62
8.5.4	AC 特性タイミングチャート .....	63
8.6	発振特性 .....	67
8.7	PLL 特性 .....	67
9.	パッケージ .....	68
APPENDIX A.	参考回路 .....	69
APPENDIX B.	端子特性一覧 .....	72

## 1. 概要

S1S60000 はプロトコル処理機能を内蔵した組み込み機器向けのインテリジェント・ネットワークコントローラです。TCP/IP 接続に必要な ARP,ICMP,IP,TCP,UDP 等のプロトコル処理を S1S60000 内部で処理するため、ホスト CPU から簡単なコマンドとデータを渡すだけで TCP/IP 通信が行なえます。物理層とのインタフェースは MII (Media Independent Interface)を採用し、MII 対応 PHY チップと組み合わせることで容易に 10Base-T/100Base-TX 等のネットワーク対応機器が実現できます。高機能 OS やソフトウェアベンダが提供するプロトコルスタックの必要なしに、8/16 ビットクラスの CPU 使用機器をネットワーク接続対応にするのに最適です。

また多種多様なホスト CPU に追加ロジックなしで直接接続が可能です。PCI、ISA などの汎用バスや外部バスを持たない機器でも容易に使用できます。

### 1.1 特徴

- OSI モデル L4 層までのプロトコル処理を内部処理
- 簡単なコマンド操作によりネットワーク接続を実現
- 独自開発のプロトコルスタック使用によりライセンス費用が不要
- 汎用 I/O ピン、I<sup>2</sup>C バスにより、ネットワークからホスト CPU なしで簡単なハードウェア制御が可能
- 単独で RS232 Ethernet 変換機能を実現
- 対応プロトコルは Flash ROM の書き換えにより追加、変更が可能

### 1.2 主な仕様

•対応プロトコル	ARP,ICMP,IP,TCP,UDP,HTTP <sup>1</sup> ,DHCP,TFTP <sup>2</sup> ,SNMP
•物理層インタフェース	Media Independent Interface (IEEE 802.3 Clause 22 準拠) 10Base-T/全二重、10Base-T/半二重、100Base-TX/半二重 (100Base-TX/全二重は非対応)
•実効転送速度	最大約 5.5Mbps (UDP 転送時)
•ホストインタフェース	8/16 ビットパラレル
•直接接続可能タイプ	SH-3/4, EPSON S1C33, MC68000, MC68030, Philips PR31500/PR31700, Toshiba TX3912, NEC VR4121, PC Card(PCMCIA), ISA 他
•エンディアン	Little/Big 切り替え
•ホストコマンド体系	EPSON Standard Code for Network
•汎用 I/O	最大 16 本(ネットワークから制御可能、8 本はシリアルインタフェースと共用)
•EEPROM Interface	93C46 互換 3-wire interface , 16bit 幅 (一部はユーザ使用可能)
•I <sup>2</sup> C バス	マスタ機能 (マルチマスタ、10bit スレーブ対応、Fast/Normal モード) /スレーブ機能内蔵
•コア CPU	EPSON S1C33240 50MHz
•内蔵 Flash ROM	128KB (1KB × 128 ブロック)
•電源	+3.3V, 120mA(Max.)
•パッケージ	QFP15-100pin

S1S60000 シリーズ (EPSON Network Controller for Embedded System) はプロトコルスタック内蔵ネットワーク IC の総称です。S1S60000 は S1S60000 シリーズの最初の製品です。

<sup>1</sup> ハードウェア制御にのみ使用可能です

<sup>2</sup> ネットワークからの Flash ROM アップデートにのみ使用可能です

## 1. 概要

### 1.3 ブロック図

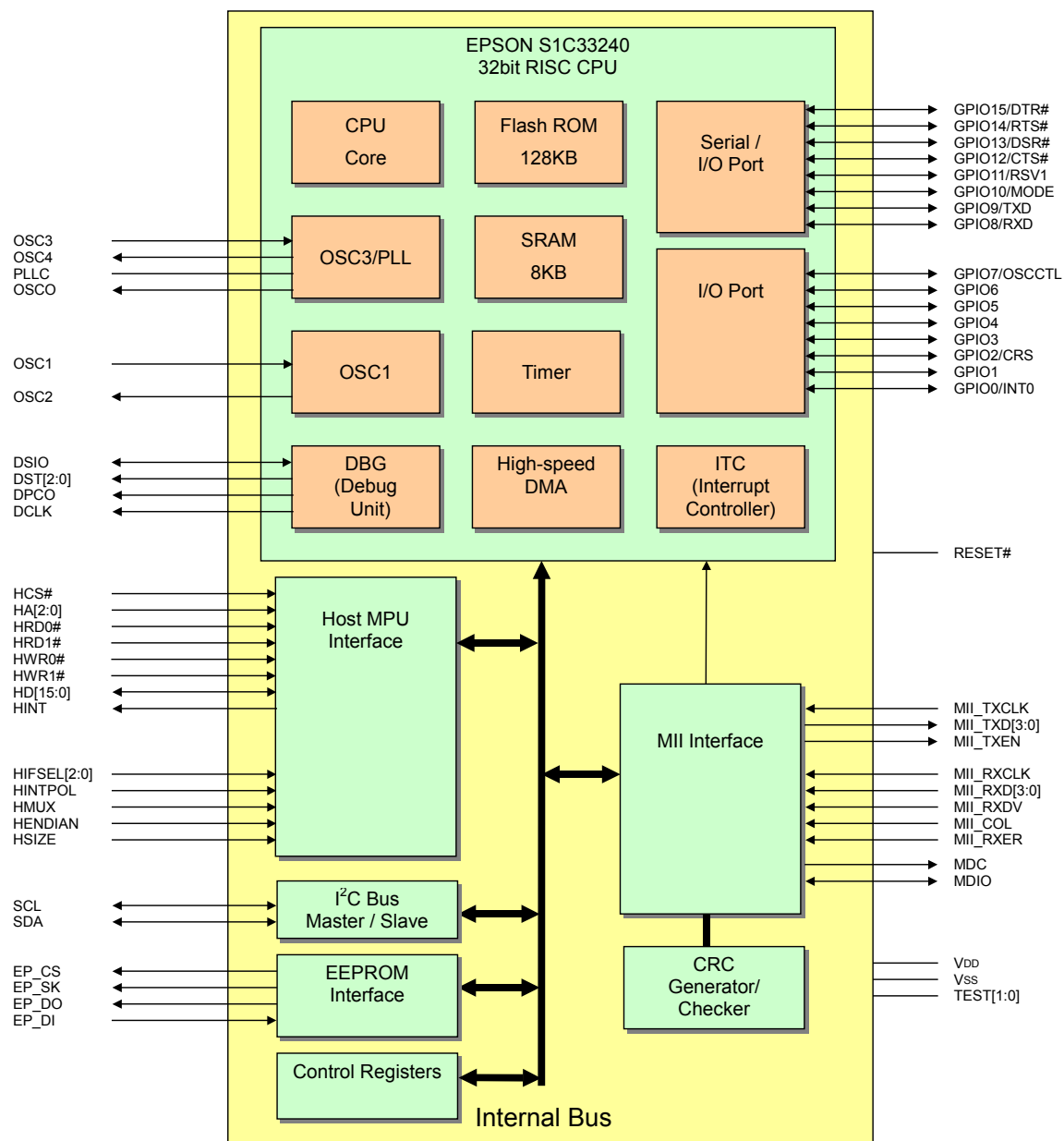
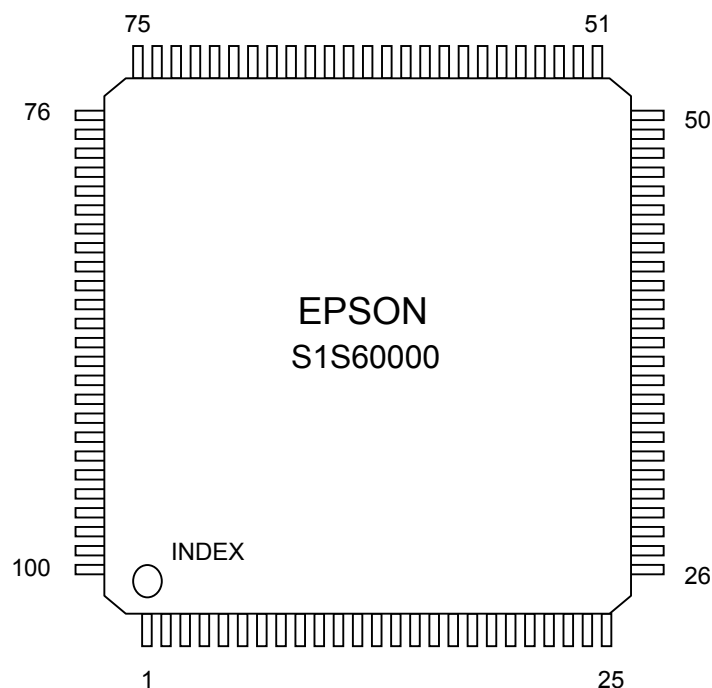


図 1.1 S1S60000 ブロック図

## 1.4 端子説明

## 1.4.1 端子配置図

QFP15-100pin



No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	GPIO15/DTR#	26	MII_COL	51	HA2	76	Reserve
2	GPIO14/RTS#	27	MII_TXD3	52	Vss	77	Reserve
3	GPIO13/DSR#	28	MII_TXD2	53	HD0	78	HIFSEL0
4	GPIO12/CTS#	29	MII_TXD1	54	HD1	79	VDD
5	GPIO11/RSV1	30	MII_TXD0	55	HD2	80	PLL
6	GPIO10/MODE	31	MII_TXEN	56	HD3	81	TEST0
7	GPIO9/TXD	32	VDD	57	HD4	82	HIFSEL1
8	GPIO8/RXD	33	MII_TXCLK	58	HD5	83	HIFSEL2
9	Vss	34	MII_RXER	59	HD6	84	HMUX
10	GPIO7/OSCCTL	35	MII_RXCLK	60	HD7	85	HINTPOL
11	GPIO6	36	MII_RXDV	61	VDD	86	TEST1
12	GPIO5	37	MII_RXD0	62	HD8	87	OSC4
13	GPIO4	38	MII_RXD1	63	HD9	88	Vss
14	GPIO3	39	MII_RXD2	64	HD10	89	OSC3
15	GPIO2/CRS	40	MII_RXD3	65	HD11	90	VDD
16	GPIO1	41	MDC	66	HD12	91	RESET#
17	GPIO0/INT0	42	MDIO	67	HD13	92	HENDIAN
18	VDD	43	OSC2	68	HD14	93	HSIZE
19	EP_CS	44	VDD	69	HD15	94	OSCO
20	EP_SK	45	Vss	70	Vss	95	DSIO
21	EP_DI	46	OSC1	71	HRD0#	96	DST0
22	EP_DO	47	VDD	72	HRD1#	97	DST1
23	SCL	48	HCS#	73	HWR0#	98	DST2
24	SDA	49	HA0	74	HWR1#	99	DPCO
25	Vss	50	HA1	75	HINT	100	DCLK

図 1.2 端子配置図



## 1. 概要

### 1.4.2 端子機能

以下に S1S60000 の端子を示します。信号名の “#” は負論理である事を示し、“[15:0]” 等の表記は複数の信号線をまとめた信号である事を示します。各端子の詳細特性は「Appendix B 端子特性一覧」を参照してください。

#### 1.4.2.1 電源系端子

表 1.1 電源系端子一覧

端子名	端子 No.	I/O	機 能
VDD	18,32,44,47,61,79,90	—	内部ロジック電源(+) 電源端子です。必ず全ての端子に+3.3V を供給してください。
Vss	9,25,45,52,70,88	—	電源(-) GND GND 端子。必ず全ての端子を GND に接続してください。

#### 1.4.2.2 ホストインタフェース信号

ホスト CPU と接続するためのインタフェースです。I/O を含む全ての入力端子にはプルアップ抵抗が内蔵され、HCS#,HA[2:0],HD[15:0],HRD0#,HRD1#,HWR0#,HWR1#は 5V 入力が可能です。出力は 3.3V CMOS 出力、または 3 ステート出力になります。

表 1.2 ホストインタフェース信号一覧

端子名	端子 No.	I/O	機 能
HCS#	48	I	Host Chip Select: ホストインタフェース・アクセス制御信号です。この信号が LOW 状態の間、ホストインタフェースへのアクセスが可能になります。 この端子にはプルアップ抵抗が内蔵されています。5V 入力が可能です。
HA[2:0]	51,50,49	I	Host Address: ホストインタフェース・ポート選択信号です。HCS#=LOW の間アクセスするポートを選択します。選択されるポートは以下のとおりです。 LLx: コマンドポート (書き込み) / ステータスポート (読み出し) LHx: データポート (読み出し/書き込み) Hxx: フラグポート (読み出し/書き込み) この端子にはプルアップ抵抗が内蔵されています。5V 入力が可能です。 HA0 は 8bit インタフェース時に上位/下位バイトの切り替えに使用します。16bit インタフェース時には常に LOW 状態にしてください。
HD[15:0]	69 ~ 62, 60 ~ 53	I/O	Host Data: ホストインタフェースのデータ信号線です。8 ビットインタフェース時には、HDATA[7:0]のみが有効で、HDATA[15:8]は駆動されません。 この端子にはプルアップ抵抗が内蔵されています。5V 入力が可能です。出力は 3.3V CMOS 出力です。
HRD0#	71	I	Host Read/Host Write: ホストインタフェースの R/W 制御信号です。HIFCR レジスタの HIFSEL[2:0]ビットの状態により機能が変更されます。詳細は「4 ホストインタフェース」の章を参照してください。 この端子にはプルアップ抵抗が内蔵されています。5V 入力が可能です。
HRD1#	72	I	
HWR0#	73	I	
HWR1#	74	I	
HINT	75	Tri	Host Interrupt: S1S60000 からホストインタフェースに対する割り込み線です。割り込み要因はフラグポートの内容により判断してください。割り込みの極性はリセット時の HINTPOL 線状態により変更可能です。 この信号は 3.3V/3 ステート出力信号ですので、HINTPOL=L の場合にはプルアップ、HINTPOL=H の場合にはプルダウン抵抗を外部に接続してください。
HIFSEL[2:0]	83,82,78	I	Host Interface Select: ホストインタフェース種別設定信号です。これらの端子にはプルアップ抵抗が内蔵されています。詳細は「4 ホストインタフェース」章を参照してください。

端子名	端子 No.	I/O	機 能
HMUX	84	I	Host Bus Multiplex ホストインタフェースのアドレスバスとデータバスが、時分割でマルチプレクスされているかどうかの設定を行ないます。マルチプレクスの場合、HA[2:0]の代わりにラッチされた HD[2:0]が使用されます。ラッチに使用する制御線は、HIFSEL で選択された CPU タイプにより異なります。 L:Multiplex bus, H:Separate bus このピンは Rev.1.3 以前の仕様では未使用ピンだったため、何も接続されていない場合には分離バスタイプの設定となります。マルチプレクスバスを使用する場合のみ、このピンを GND に接続してください。リセット時に HIFCR レジスタにこのピンの状態が取り込まれます。この端子にはプルアップ抵抗が内蔵されています。
HINTPOL	85	I	Host Interrupt Polarity Select: HINT のアクティブ時の極性設定端子です。 L:LOW active, H:HIGH active リセット時に HIFCR レジスタにこのピンの状態が取り込まれます。この端子にはプルアップ抵抗が内蔵されています。
HENDIAN	92	I	Host Interface Endian Select: エンディアン設定端子です。使用する CPU に応じて適切に設定することにより、コマンド/ステータSPORT、データポート上の上位/下位データの入れ換えを行ないます。 L:Little Endian, H:Big Endian リセット時に HIFCR レジスタにこのピンの状態が取り込まれます。この端子にはプルアップ抵抗が内蔵されています。
HSIZE	93	I	Host Bus Size Select: インタフェースサイズ設定端子です。ポートアクセス時のデータバス幅を指定します。 L:16bit, H:8bit リセット時に HIFCR レジスタにこのピンの状態が取り込まれます。この端子にはプルアップ抵抗が内蔵されています。

## 1.4.2.3 MII インタフェース信号

表 1.3 MII インタフェース信号一覧

端子名	端子 No.	I/O	機 能
MII_RXCLK	35	I	MII Receive Clock: PHY チップからの受信クロック入力です。MII_RXD[3:0], MII_RXDV の基準となるクロックで、10Base-T の場合は 2.5MHz、100Base-TX の場合は 25MHz となります
MII_RXD[3:0]	40 ~ 37	I	MII Receive Data: PHY チップからの受信データ入力です。
MII_RXDV	36	I	MII Receive Data Valid: PHY チップからの入力信号で、MII_RXCLK の立ち上がり時に HIGH レベルの場合、MII_RXD[3:0]が有効であることを示します。
MII_TXCLK	33	I	MII Transmit Clock: PHY チップからの送信クロック入力です。MII_TXD[3:0], MII_TXEN の基準となるクロックで、10Base-T の場合は 2.5MHz、100Base-TX の場合は 25MHz となります。
MII_TXD[3:0]	27 ~ 30	O	MII Transmit Data: PHY チップへの送信データ出力です
MII_TXEN	31	O	MII Transmit Enable: PHY チップへの出力信号で、MII_TXCLK の立ち上がり時に HIGH レベルの場合、MII_TXD[3:0]が有効であることを示します。
MII_RXER	34	I	MII Receive Error: PHY チップからの入力信号で、受信データにエラーがあったことを示します。100Base-TX 時のみ有効で、10Base-T では無視されます。
MII_COL	26	I	MII Collision Detect: 半二重通信を行なっている場合、信号の衝突が発生したことを示します。
MDC	41	O	MII Management Interface Clock: PHY チップの機能設定、制御およびステータス読み出しのためのクロックです。S1S60000 からの出力で、このクロックに同期にして MDIO 端子でデータが送受信されます。

## 1. 概要

端子名	端子 No.	I/O	機 能
MDIO	42	I/O	MII Management Interface Data I/O PHY チップの機能設定、制御およびステータス読み出しのためのデータです。PHY チップの機能設定、制御のためのデータは MDC に同期してこの端子から PHY チップに送られます。また PHY チップからステータスを読み出す場合は MDC に同期して PHY チップからのデータがこの端子から読み込まれます。 外部でプルアップしてください。
GPIO2/CRS	15	I	MII Carrier Sense GPIO2 の別機能を選択した場合、CRS 入力端子となり、半二重通信を行なう場合キャリア状態を入力します。半二重通信を行なわない場合には使用しません。

### 1.4.2.4 外部素子制御信号

表 1.4 外部素子制御端子

端子名	端子 No.	I/O	機 能
EP_CS	19	O	EEPROM Chip Select: EEPROM のチップセレクト端子です。
EP_SK	20	O	EEPROM Serial Clock: EEPROM のクロック端子です。
EP_DI	21	I	EEPROM Data In: EEPROM のデータ入力端子です。
EP_DO	22	O	EEPROM Data Out: EEPROM のデータ出力端子です。
SCL	23	OD/I	I <sup>2</sup> C Serial Clock: I <sup>2</sup> C バスシリアルクロック端子です。マスタ設定の場合には出力、スレーブ設定の場合は入力となります。 この端子はオープンドレイン出力のため、外部にプルアップ抵抗が必要です。プルアップ抵抗値はバス上の負荷、ノイズ環境により最適な値を選択する必要があります。
SDA	24	OD/I	I <sup>2</sup> C Serial Data: I <sup>2</sup> C バスデータ入出力端子です。データ入出力、ACK 入出力のための双方向信号です。 この端子はオープンドレイン出力のため、外部にプルアップ抵抗が必要です。プルアップ抵抗値はバス上の負荷、ノイズ環境により最適な値を選択する必要があります。

## 1.4.2.5 汎用入出力端子

表 1.5 汎用入出力端子一覧

端子名	端子 No	I/O	機 能
GPIO0/INT0	17	I/O	General Purpose I/O [7:0]: 汎用入出力端子です。5V 入力が可能です。 GPIO0 は割り込み端子として使用し、あらかじめ指定した宛て先に対して割り込み通知を送ることができます。GPIO2 は半二重通信を行なう場合の CRS 入力端子として使用します。GPIO7 はスリープモード時に OSC 制御端子として使用することができます。詳細は 5.3 章を参照してください。 ハードウェアリセット後は全て入力設定となります。
GPIO1	16	I/O	
GPIO2/CRS	15	I/O	
GPIO3	14	I/O	
GPIO4	13	I/O	
GPIO5	12	I/O	
GPIO6	11	I/O	
GPIO7/OSCCTL	10	I/O	General Purpose I/O [15:8]: 汎用 I/O 入出力端子です。3.3V CMOS レベル専用で、シュミット入力です。GPALT レジスタの設定により、調歩同期シリアル端子となります。詳細は 2.3 章を参照してください。 ハードウェアリセット後は全て入力設定となります。
GPIO8/RXD	8	I/O	
GPIO9/TXD	7	I/O	
GPIO10/MODE	6	I/O	
GPIO11/RSV1	5	I/O	
GPIO12/CTS#	4	I/O	
GPIO13/DSR#	3	I/O	
GPIO14/RTS#	2	I/O	
GPIO15/DTR#	1	I/O	

## 1.4.2.6 クロックジェネレータ端子

表 1.6 クロックジェネレータ端子一覧

端子名	端子 No.	I/O	機 能
OSC1	46	I	OSC1 クロック端子
OSC2	43	O	パワーマネジメントでスリープモードを使用する場合、32.768kHz の水晶を接続するために使用します。S1S60000 がスリープモードに入ると、このクロックで動作します。スリープモードを使用しない場合は、OSC1 を Vss に接続、OSC2 を開放にしてください。
OSC3	89	I	OSC3 クロック端子（水晶/セラミック発振、または外部クロック入力）
OSC4	87	O	S1S60000 の動作クロック用発振端子です。10 ~ 25MHz の水晶振動子を接続します。外部からクロックを入力する場合は OSC3 に 10 ~ 25MHz のクロックを入力し、OSC4 は開放にしてください。 通常は 25MHz のクロックを使用してください。それ以外の周波数を使用した場合、100Base-TX での通信や、パワーセーブモードが使用できない場合があります。
OSCO	94	O	OSC 出力端子 OSC3 入力をバッファ出力する端子です。OSC3 入力と同じ周波数が本端子から出力されます。PHY チップにクロックを供給する場合、この端子から供給することで PHY 用の発振器を削減することができます。 【注意】本端子からクロックを供給する場合、PHY チップに必要な周波数精度を満足する水晶発振器を使用してください。通常は 50ppm 以下の精度とします。
PLL	80	—	PLL 用コンデンサ接続端子 OSC3 周波数を内部 PLL で 2 通倍するためのコンデンサ接続端子です。必ず図 1.3 に示す R、C を接続してください。接続がされていない場合、本 IC は正常に動作しません。

## 1. 概要

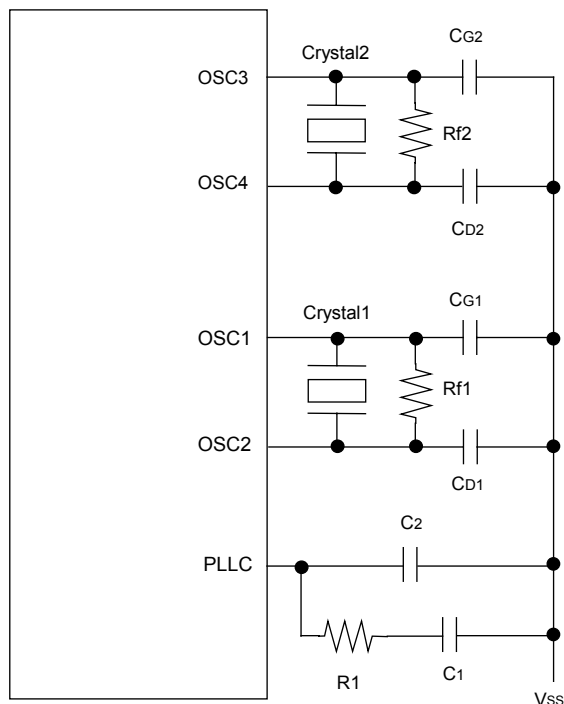


図 1.3 クロックジェネレータ接続図

Crystal1	水晶振動子	32.768kHz Ci (Max.) =34kΩ
CG1	ゲート容量	10pF
CD1	ドレイン容量	10pF
Rf1	帰還抵抗	10MΩ
Crystal2	水晶振動子	25MHz
CG2	ゲート容量	10pF
CD2	ドレイン容量	10pF
Rf2	帰還抵抗	1MΩ
R1	抵抗	4.7kΩ
C1	コンデンサ	100pF
C2	コンデンサ	5pF

### 1.4.2.7 その他の端子

表 1.7 その他の端子

端子名	端子 No.	I/O	機能
DSIO	95	I/O	これらの端子はデバッグツールICD33との通信に使用します。ICD33は主に S1S60000 の Flash メモリを書きかえる場合に使用します。通常は何も接続しないで下さい。ただしノイズの多い環境で使用すると、DSIO 端子のレベル変動により IC がデバッグ状態に入り、通常動作が停止する場合があります。その場合には外部に 10kΩ以下の抵抗を付けて VDD にプルアップして下さい。
DST[2:0]	98,97,96	O	
DPCO	99	O	
DCLK	100	O	
RESET#	91	I	Hardware Reset Input: LOW レベルを入力すると S1S60000 がリセットされます。この端子にはプルアップ抵抗が内蔵されています。
TEST1,TEST0	86,81	I	Test Input: 本 IC のテスト用端子です。通常動作時は開放にしてください。この端子にはプルダウン抵抗が内蔵されています。
Reserve	77,76	—	将来の拡張用に予約されています。通常は何も接続しないでください。

## 2. ハードウェア仕様

### 2.1 コア CPU

コア CPU にはセイコーエプソンオリジナルの 32 ビットマイクロコンピュータ S1C33240 相当品を使用しています。ただし、ADC は内蔵していません。

CPU 動作クロックは常に内部バスクロックと同じで、初期設定後は OSC3 入力の 2 倍のクロックとなります。GENCR レジスタの PSEN ビット (bit11) を設定した場合には通常動作時の 1/4 クロックとなり、消費電流を削減します。

内部では Little Endian により処理が行なわれます。

#### 2.1.1 ROM とブートアドレス

S1S60000 は 128K バイトのフラッシュ ROM を内蔵しています。リセット後、Flash ROM 領域であるエリア 10 のアドレス 0x0C00000 から起動します。128K バイトのうち、127K バイトはシステムファームウェア領域、1K バイトはユーザ使用可能領域です。ユーザ使用可能領域は 0xC1FC00 から 0xC1FFFF となります。

システムファームウェア領域の書き換えにはデバッグシリアル端子、またはネットワークを使用して行ないます。書き換えには専用ツール、プログラムを使用します。

ユーザ使用可能領域の書き換えにはデバッグシリアル端子、またはホストインタフェースを使用し、ホストインタフェース・コマンドにより行ないますので、絶対アドレス指定は不要です。なお、この領域はデータ領域としてのみ使用可能です。プログラムを置いて実行させることはできません。

#### 2.1.2 RAM

S1S60000 は 8K バイトの RAM を内蔵しています。内蔵 RAM のデバイスサイズは 32 ビットで、バイト、ハーフワード、ワードデータが 1 サイクルで読み出し/書き込み可能です。この RAM は全て S1S60000 内部で使用しているため、ユーザが操作することはできません。

## 2.2 周辺回路

S1S60000 では内蔵コア CPU である S1C33240 の周辺ブロックのうち、以下の内蔵周辺回路を使用しています。各周辺回路の詳細については、“S1C33 Family ASIC Macro Manual” を参照してください。

- C33 コアブロック
  - CPU 32 ビット RISC 型 CPU S1C33000
  - BCU バスコントロールユニット
  - ITC 割り込みコントローラ
  - CLG クロックジェネレータ
  - DBG ICD33(In-Circuit Debugger for S1C33 Family)によるデバッグ用機能ブロック
- C33 周辺回路ブロック
  - プリスケアラ 周辺回路用クロックをプログラマブルに設定可能
  - 16 ビットプログラマブルタイマ
  - シリアルインタフェース
  - 入出力ポート
  - 計時タイマ
  - C33DMA ブロック
  - HSDMA(高速 DMA) 4 チャンネル

S1S60000 の内蔵 I/O メモリマップは S1C33240 のメモリマップに準じます。詳細は「S1C33240 テクニカルマニュアル」を参照してください。

## 2. ハードウェア仕様

### 2.3 シリアルインタフェース

GPIO[15:8]は、以下の2つの条件を満たす場合に、シリアルインタフェース端子となります。

- GPALT レジスタ bit[15:8]=FFh
- GENCN レジスタ bit[10:8] (SERCONF) = “000” or “010” or “011”

その場合には、SERCONF 設定と GPIO10 端子 (MODE 端子) の状態により、動作モードが切り替わります。表 2.1 に設定と、動作モードの関係を示します。

表 2.1 シリアルインタフェース動作モード設定

GPALT[15:8]	SERCONF[2:0]	MODE	モード	通信条件
FFh	000	—	ハードウェア制御モード	固定(*1)
	010	HIGH	ハードウェア制御モード	固定(*1)
		LOW	シリアルエミュレーションモード(Active Open)	可変(*2)
	011	HIGH	ハードウェア制御モード	固定(*1)
		LOW	シリアルエミュレーションモード(Passive Open)	可変(*2)
	上記以外	—	予約状態。設定しないでください。	—
00h	—	—	GPIO[15:8]として使用	—
上記以外	—	—	無効。いずれの動作も行なわれません。	—

\*1: 調歩同期シリアル, 9600baud, 8bit data, 1Stop bit, No parity, No flow control

\*2: SERMODE レジスタで設定:

**【注意】**各モードの切り換え後、100ms はシリアルインタフェースに対するアクセスは行なわないでください。

#### 2.3.1 ハードウェア制御モード

表 2.1 で「ハードウェア制御モード」に設定された場合、シリアルインタフェースはハードウェア制御モードで動作します。このモードを使用することにより、シリアルインタフェースから各種ハードウェア (EEPROM / I<sup>2</sup>C / GPIO) の状態変更や確認が行なえます。ホスト CPU を接続しない状態で EEPROM の設定を変更する場合や、シリアルインタフェースから GPIO の状態を確認したい場合などに、このモードを使用してください。

ハードウェア制御モードに設定されると、通信条件は以下に固定されます。

調歩同期シリアル、9600Baud、8ビットデータ、1STOP ビット、パリティなし、フロー制御なし

このモードの詳細については 5.1.4 章を参照してください。

#### 2.3.2 シリアルエミュレーションモード

表 2.1 で「シリアルエミュレーションモード」に設定された場合、シリアルインタフェースはシリアルエミュレーションモードで動作します。このモードでは、シリアルインタフェースの送受信データは、ネットワーク上の接続相手先との間で送受信されます。[ RS232 Ethernet コンバート機能 ] 従来の RS232 インタフェースを持つ機器のデータを、イーサネット上の他の機器に対して送受信する場合に特に有効です。接続は TCP/IP で行なわれます。RTS/CTS 制御を有効にすることで、フロー制御をすることも可能です。通信条件は SERMODE レジスタにより設定されます。

##### 【コネクションの確立】

S1S60000 は、GPIO[15:8]をシリアルエミュレーションモードに設定した場合、ホストインタフェースから System Open コマンドと TCP Open コマンドを送ったと同等の処理を自動的に行ないます。System Open 時のパラメータには SOPAR レジスタの内容が使用されます。また TCP Open 時、SERCONF(bit[10:8])=010 の場合は Active Open, 011 の場合は Passive Open 処理が行なわれます。

Active Open (クライアント動作) の場合、EEPROM にあらかじめ設定された接続相手先の IP アドレス (DADR0H, DADR0L レジスタにより設定) ポート (PORT レジスタにより設定) に対して接続要求を行なって接続を確立します。その後相手先によりコネクションが切断された場合、自動的に再接続が行なわれます。

Passive Open (サーバー動作) の場合、あらかじめ設定された自らの通信ポート (PORT レジスタにより設定) をオープンして接続待ち (リスン状態) になります。外部から接続要求があった場合、コネクションが確立します。

### 【シリアルインタフェースからネットワークへの送信】

シリアルインタフェースから受信されたシリアルデータは、最後の受信データを受け取ってから 100 データ転送時間の間受信データがなかった場合、または 1 パケット分（536 バイト）のデータを受け取った時点でネットワークに対して出力されます。

### 【ネットワークからシリアルインタフェースへの送信】

ネットワークから受け取ったデータは、S1S60000 内部でエラーチェック、ヘッダ情報の除去が行なわれた後、データ部のみがシリアルインタフェースに送信されます。

各端子の機能は表 2.2 のとおりとなります。

表 2.2 調歩同期シリアル設定時の端子機能

端子	Pin	名称	In/Out	機能
GPIO15	1	DTR#	O	Data Terminal Ready 受信可能状態の表示。LOW アクティブ信号です。シリアルエミュレーションモード時、初期化が終了すると LOW 状態となります。ハードウェア制御モードでは常に HIGH 状態です。
GPIO14	2	RTS#	O	Request to Send 送信可能状態の表示。LOW アクティブ信号です。シリアルエミュレーションモード時、受信可能な時に LOW 状態となります。ハードウェア制御モードでは常に LOW 状態です。
GPIO13	3	DSR#	I	Data Set Ready 外部からの送信可能状態入力。現在は未使用です。
GPIO12	4	CTS#	I	Clear to Send 外部からの受信可能状態入力。LOW アクティブ信号です。この端子が HIGH 状態の時には送信を一時的に停止し、LOW 状態になると送信を再開します。制御は割り込みによるソフトウェア制御によるため、信号変化後の送信停止/再開までの時間は不定です。したがって外部デバイス側はある程度バッファ容量に余裕のある時点で制御してください。
GPIO11	5	—	—	—
GPIO10	6	MODE	I	Mode Select 通常モード/ハードウェア制御モードの切り換えを行ないます。シリアルエミュレーションモードでは LOW にしてください。
GPIO9	7	TXD	O	Transmit Data シリアル送信データ
GPIO8	8	RXD	I	Receive Data シリアル受信データ

TXD、RXD は調歩同期シリアル送受信端子となり、内蔵 S1C33240 のシリアルインタフェース Ch.0 の機能により送受信されます。詳細機能は S1C33240 テクニカルマニュアルのシリアルインタフェース仕様を参照してください。それ以外の制御線はソフトウェアにより制御されます。CTS#信号は内部割り込みにより処理されます。

## 2.4 電源

### 2.4.1 動作電圧

S1S60000 は  $V_{DD} \sim V_{SS}$  間に供給される電源電圧によって動作します。この動作電圧は次のとおりです。  
 $V_{DD} = 3.3 \pm 0.3V (V_{SS} = GND)$

**【注意】** S1S60000 は 7 本の  $V_{DD}$  端子と 6 本の  $V_{SS}$  端子を持っています。これらすべての端子を電源に接続し、開放しないでください。



## 2. ハードウェア仕様

### 2.5 パワーオンリセット

電源投入時は、確実に動作を開始させるため、必ずイニシャルリセットを行なってください。RESET#端子はシュミット入力です。

イニシャルリセット (RESET#=LOW) により OSC3 発振回路が発振を開始し、リセット信号の立ち上がりで CPU が OSC3 クロックにより動作を開始します。OSC3 発振回路は動作開始後に発振が安定するまでである程度の時間 ( $V_{DD}=3V$ 、標準動作条件の発振安定時間: Max. 10ms) を要しますので、CPU を確実に起動させるには、この発振安定時間が経過後にイニシャルリセットを解除することが必要です。イニシャルリセットパルス幅は発振安定時間を超えるように決定してください。

図 2.1 にパワーオンリセット時のタイミングチャートを示します

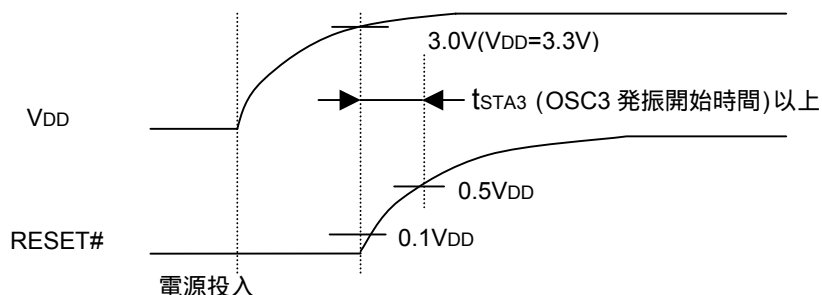


図 2.1 パワーオンリセットタイミング

電源投入後、電源電圧が発振開始電圧 (3.0V) 以上になるまでは、RESET#端子を  $0.1 \cdot V_{DD}$  以下 (LOW レベル) としてください。また、OSC3 発振回路の発振が安定するまで、RESET#端子を  $0.5 \cdot V_{DD}$  以下のレベルとしておくことが必要です。

**【注意】** OSC3 発振回路の発振開始時間は使用する素子や基板パターンおよび動作環境により変化しますので、リセット解除時間には十分な余裕を取ってください。

#### ・リセットパルス

S1S60000 が動作中は、RESET#端子に LOW レベルのパルスを入力してイニシャルリセットを行なうことが可能です。ただし、“AC 特性” に記載の最小リセットパルス幅以上のパルスを入力してください。また、OSC3 発振回路が停止中にリセットパルスを入力する場合は、パワーオンリセットと同様に発振安定時間以上 RESET#端子を LOW レベルに設定する必要があります。

#### ・リセット動作の確認

正常にリセットが行なわれ、S1S60000 のハードウェアが動作を始めた場合、EEPROM の接続確認のため EP\_SK, EP\_CS 信号が変化します。また、S1S60000 のソフトウェアが動作を開始した場合、PHY チップの接続確認のため、MII\_MDC, MII\_MDIO 信号が変化します。これらの信号が変化しない場合、電源、OSC3 クロック、RESET#端子状態、PLL\_C 端子設定などを確認してください。

ファームウェアによる初期化が完了すると、ホストインタフェースから BOOT ステータス (000Bh) が読み出せます。(ただし、端子 HIFSEL[2:0]=“111”で、かつ HIFCR レジスタの HIFSEL[2:0]=“111”の場合を除きます。この設定の場合、「ホストインタフェース未接続」と解釈されます。)

### 2.6 OSC3 クロック

OSC3 端子には S1S60000 の動作クロックを入力します。内部バスクロックと CPU 動作クロックは、OSC3 から入力されたクロックを 2 倍したクロックが使用されます。通常は 25MHz クロックを入力してください。入力可能な最低周波数は 10MHz です。

パワーセーブモード時、内部バスクロックと CPU 動作クロックは通常の 1/4 (OSC3 入力の 1/2) となります。

100Base-TX で動作させる場合には、必ず OSC3 に 25MHz を入力し、常に Normal モードで動作させてください。パワーセーブモードでは動作しません。

### 3. ネットワークインタフェース

#### 3.1 MII インタフェース

S1S60000 は物理層 (PHY チップ) との間に MII (Media Independent Interface) を使用しており、MII に対応した各種のネットワーク PHY チップと接続が可能です。MII の詳細については IEEE 802.3 Clause22 (IEEE 802.3u) を参照してください。ただし、以下の点で注意が必要です。

- CRS(Carrier Sense) 信号

この信号は全二重通信設定の場合には使用されません。半二重通信を行なう場合のみ GPIO2 端子に CRS 信号を接続してください。また、PHY を強制的に半二重通信に設定する場合には GENCRC の設定を半二重設定にしてください。

- TX\_ER 信号

この信号は RX\_ER で受け取ったエラー状態を伝播するために使用しますが、S1S60000 は中継機能は持たないため使用しません。

図 3.1 に MII 送信波形を、図 3.2 に MII 受信波形を示します。

送信時は MII\_TXEN を HIGH レベルにした後、MII\_TXCLK の立ち上がり後に MII\_TXD を変化させます。半二重通信時に MII\_COL が HIGH レベルになると S1S60000 内部では割り込みが発生し、MII\_TXEN を LOW レベルに落として送信を中断し、一定時間待ってから再送を行ないます。

受信時は、MII\_RXDV が HIGH レベルになった後の MII\_RXCLK の立ち上がりで MII\_RXD が取り込まれます。100Base-TX 通信中に MII\_RXER が HIGH レベルになると、受信終了後に FCS エラーがセットされ、受信したフレームは廃棄されます。

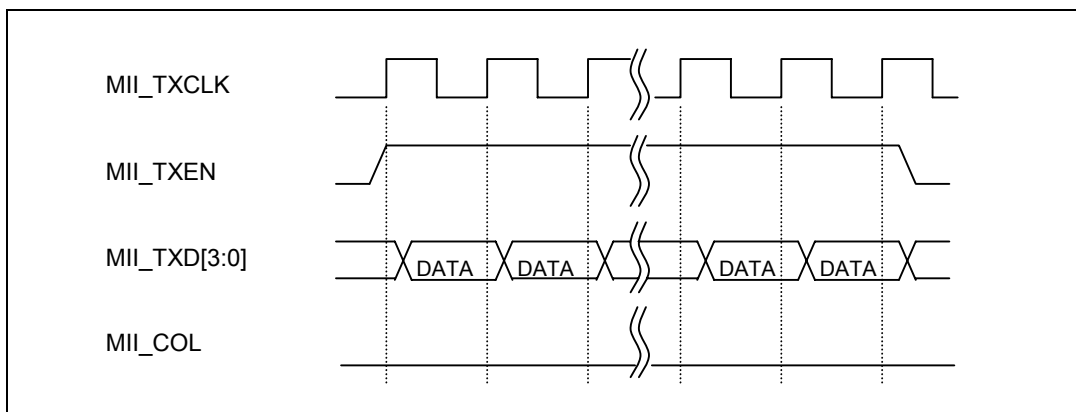


図 3.1 MII 送信波形

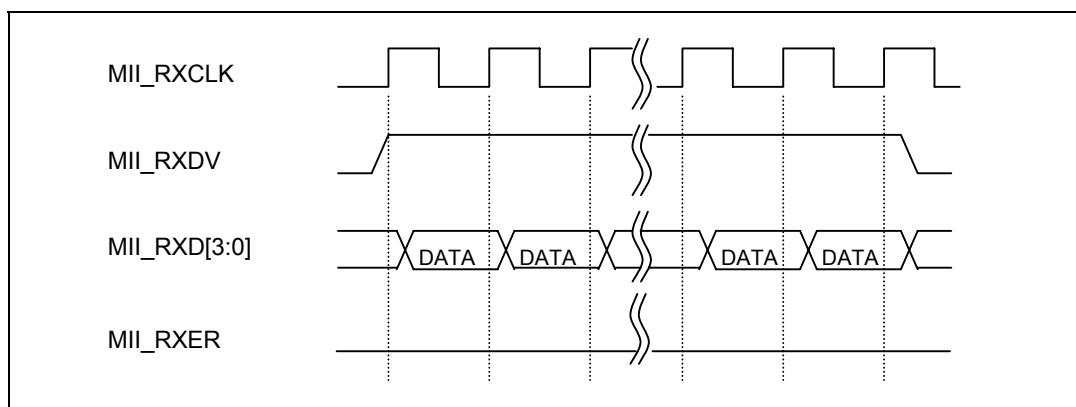


図 3.2 MII 受信波形

### 3. ネットワークインタフェース

#### 3.2 マネジメントインタフェース

S1S60000 は MII マネジメントインタフェースに対応しており、このインタフェースを通じて PHY 内のレジスタを R/W できます。図 3.3 に読み出し時の波形を、図 3.4 に書き込み時の波形を示します。

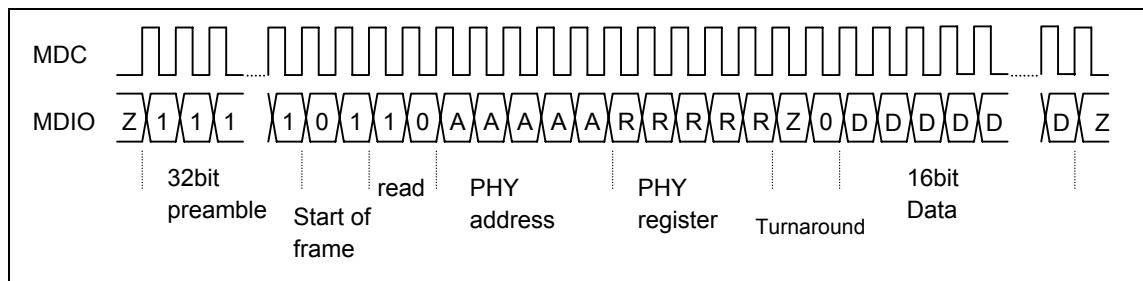


図 3.3 MII マネジメントインタフェース読み出し動作

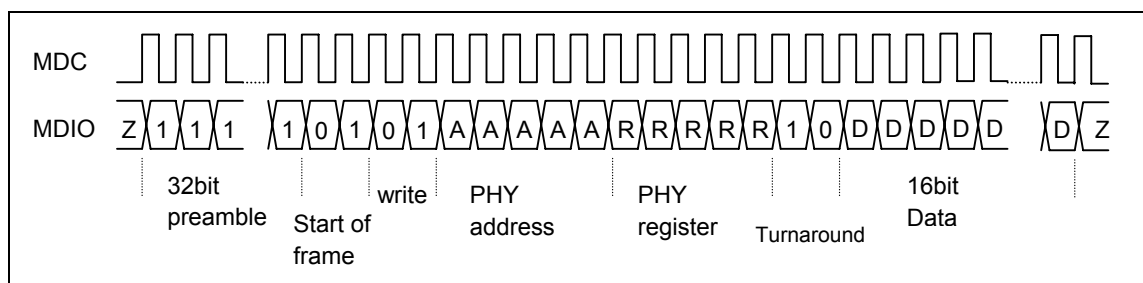


図 3.4 MII マネジメントインタフェース書き込み動作

#### 3.3 PHY チップとの接続

S1S60000 と PHY チップとの接続は、図 3.5 のように行ないます。

CRS は全二重通信のみを行なう場合には接続する必要はありません。また、TX\_ER 信号は接続しません。

**【重要】** PHY チップのアドレスは必ず 0x01 になるように設定してください。他の設定を行なった場合の動作は保証されません。

S1S60000 の OSC0 端子からは、通常動作時とパワーセーブモード時は OSC3 入力をバッファリングした信号が出力されています。したがって OSC3 入力に 25MHz の水晶発振器を接続し、OSC0 を PHY のクロック入力に接続することで、1 つの水晶発振器で S1S60000 と PHY の両方を動作させることが可能です。

**【注意】** OSC0 から PHY へクロック供給する場合には、PHY の要求するクロック精度を満たす事を確認してください。また、接続パターン長は最短とし、クロック波形が PHY の仕様を満たす事を確認してください。

ファームウェア Version 1, Revision 22 (製品型番: S1S60000F00A500, IC マーキング S1S60000F00A5) 以降の製品の場合、以下に述べる ANEGR レジスタの設定は必要ありません。設定値は無視されます。Revision 22 より前の製品をお使いの場合には、以下を参考に ANEGR の設定を行ってください。(Realtek 社 RTL8201L は Version 1, Revision 22 以降のファームウェアで使用できます。)

使用する PHY チップが決まったら、そのデータシートからオートネゴシエーションの結果、リンクが確立したスピード (100Base/10Base) モード (全二重/半二重) を示すビットの情報を取得し、それが ANEGR レジスタに反映されるようにしてください。

・ ANEGR レジスタ値の取得方法

- (1) オートネゴシエーションの結果が格納されるレジスタを探します。通常は 16 ~ 19, または 24, 25 にあります。
- (2) レジスタのオフセットから 16 を引いた値を、LSOFF ビットにセットします。
- (3) 結果の格納方法により、DINV, SINV をセットします。
- (4) 結果の格納ビット位置により、DUPLEX, SPEED の各ビットを設定します。

S1S60000 との接続で推奨する PHY は以下のものです。

メーカー名	型番	ANEGR 値
ICS	ICS1893Y-10	10EFh
TDK	78Q2120-64T	20BAh

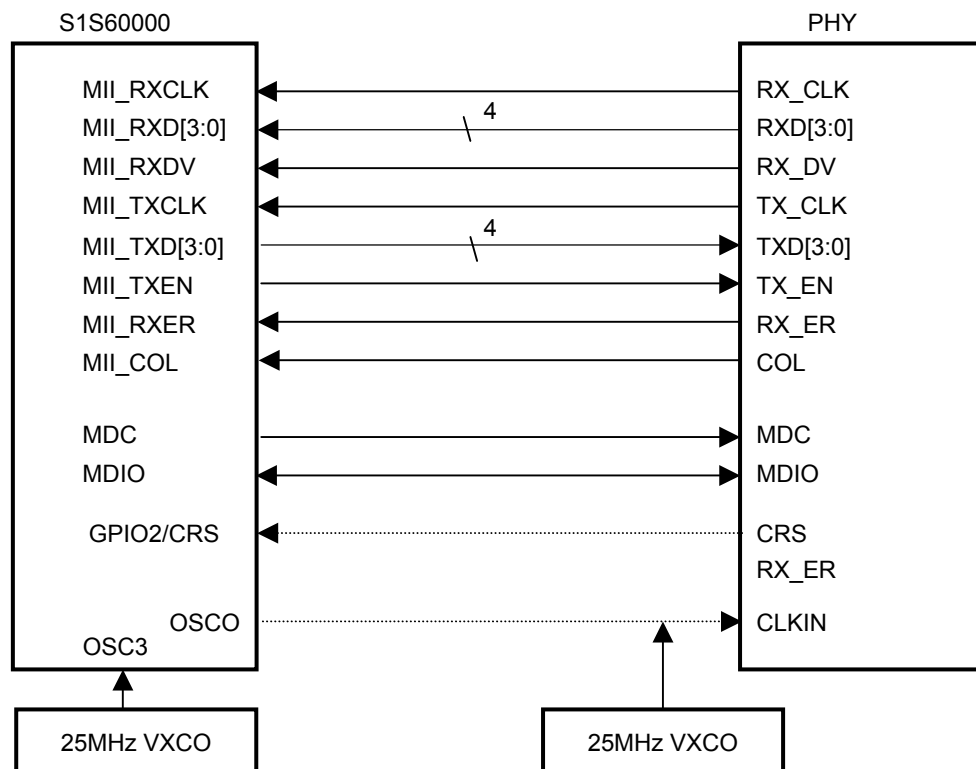


図 3.5 PHY との結線図

### 3.4 通信モード

S1S60000 を使用する場合、通常は 10Base-T/全二重設定でご使用ください。S1S60000 は 100Base-TX/全二重通信には対応していません。

PHY チップのオートネゴシエーション機能を使用して通信モードを決定する場合、S1S60000 は 100Base-TX/半二重、10Base-T/全二重、10Base-T/半二重の順でオートネゴシエーションを行ない、最初にリンクが確立したモードで通信を行ないます。

PHYMODE レジスタの設定により、リンクする条件を限定することも可能です。

#### 通信モードの設定フロー

- (1) 100Base-TX/Half-Duplex でオートネゴシエーションを実行し、成功すれば 100Base-TX/Half-Duplex で決定。終了。それ以外は次へ。
- (2) 10Base-T/Full-Duplex でオートネゴシエーションを実行し、成功すれば 10Base-T/Full-Duplex で決定。終了。それ以外は次へ。
- (3) 10Base-T/Half-Duplex でオートネゴシエーションを実行し、成功すれば 10Base-T/Half-Duplex で決定。終了。(オートネゴシエーションに対応していない場合でも、この状態ではリンクすることが規定されているため、接続が正しければここでリンクする。)
- (4) 上記のいずれも成功しなかった場合、Link が不成立と判断する。

## 4. ホストインタフェース

### 4. ホストインタフェース

ホストインタフェースは、S1S60000 を外部の CPU と接続するためのインタフェースであり、8 ビット、または 16 ビットのパラレルインタフェースです。ホストインタフェースは設定により、6 タイプの CPU を直接接続できます。

#### 4.1 制御信号

表 4.1 にホストインタフェース信号を示します。I/O を含む全ての入力端子にはプルアップ抵抗が内蔵され、HCS#,HA[2:0],HD[15:0],HRD0#,HRD1#,HWR0#,HWR1#は 5V 入力が可能です。出力は 3.3V CMOS 出力、または 3 ステート出力になります。ホストインタフェースを使用しない場合（例：単独で GPIO 制御のみを行なう場合）などは、ホストインタフェースの全ての信号を未接続としてください。

表 4.1 ホストインタフェース信号

端子名	I/O	機能
HCS#	I	アクセス有効信号。LOW 状態でアクセス可能。
HA[2:0]	I	ポート選択信号
HD[15:0]	I/O	入出力データバス
HRD0#	I	R/W 制御信号。HIFSEL[2:0]の状態により機能変化
HRD1#	I	R/W 制御信号。HIFSEL[2:0]の状態により機能変化
HWR0#	I	R/W 制御信号。HIFSEL[2:0]の状態により機能変化
HWR1#	I	R/W 制御信号。HIFSEL[2:0]の状態により機能変化
HINT	Tri	割り込み信号。極性設定可能
HIFSEL[2:0]	I	ホストインタフェース種別設定信号
HMUX	I	ホストインタフェース・バスマルチプレクス（リセット時のみ有効） L:Multiplex bus, H:Separate bus
HINTPOL	I	ホスト割り込み線極性設定（リセット時のみ有効） L:LOW active, H:HIGH active
HENDIAN	I	ホストインタフェース・エンディアン設定（リセット時のみ有効） L:Little Endian, H:Big Endian
HSIZE	I	ホストインタフェースサイズ設定（リセット時のみ有効） L:16bit, H:8bit

Tri: 3 ステート出力

HCS#が LOW 時の HA[2:0]の状態により、アクセスポートが選択されます。ポート割り当ては以下のとおりです。

#### (1) 16 ビットインタフェース設定時

HA[2:0]	選択ポート
LLL	コマンドポート（Write）/ステータスポート（Read）
LHL	データポート
HxL	フラグポート

注）フラグポートアクセス時、上位 8 ビットと下位 8 ビットには同じ内容が出力されます

#### (2) 8 ビットインタフェース設定時

HA[2:0]	選択ポート
LLL	コマンド下位ポート（Write）/ステータス下位ポート（Read）
LLH	コマンド上位ポート（Write）/ステータス上位ポート（Read）
LHL	データ下位ポート
LHH	データ上位ポート
Hxx	フラグポート

注）8 ビットインタフェース時には上位、下位の両ポートのアクセスを行なった時点で 1 回分のデータ転送が終了します。上位、下位のアクセス順は任意です。フラグポートには上位/下位はありません。

## 4.2 ホストインタフェースポート

### 4.2.1 コマンドポート

ホスト CPU から S1S60000 に対してコマンドを送るポートです。このポートは 16 ビット幅のため、8 ビットインタフェースの場合には上位アドレスと下位アドレスの 2 回のアクセスが必要です。コマンド内容の詳細は「S1S60000 シリーズ ホストインタフェース仕様書」を参照してください。

### 4.2.2 ステータスポート

S1S60000 からホスト CPU に対してステータスを返すポートです。このポートは 16 ビット幅のため、8 ビットインタフェースの場合には上位アドレスと下位アドレスの 2 回のアクセスが必要です。ステータス内容の詳細は「S1S60000 シリーズ ホストインタフェース仕様書」を参照してください。

### 4.2.3 データポート

ホスト CPU と S1S60000 間でデータを送受信するポートです。このポートは 16 ビット幅のため、8 ビットインタフェースの場合には上位アドレスと下位アドレスの 2 回のアクセスが必要です。コマンドやステータスに付随するオプション部もこのポートを使用して送受信されます。オプションの内容の詳細は「S1S60000 シリーズ ホストインタフェース仕様書」を参照してください。

ホスト CPU からデータポートへ書き込みを行なう場合、SEND コマンドに対し、WRITE ステータスが返されてから書き込みを行ないます。そのさい、書き込みごとにフラグポートの HSTREN(bit4)および H2CDV/H2CDC(bit3)の状態を確認して書き込むようにしてください。

### 4.2.4 フラグポート

ホストインタフェース上のコマンド、ステータス、データの処理状態を示すポートです。bit[1:0]の状態が HINT 信号のアクティブ要因となり、いずれかのビットが 1 の場合 HINT 信号がアクティブ状態となります（信号極性は変更可能です）。ホスト側ではステータスやデータの読み出しを行なうと、対応する要因がクリアされ、全ての要因がなくなった場合に HINT 信号は非アクティブとなります。またホスト側から S1S60000 内部のデータ処理状態を調べる場合は、bit[3:2]の状態で判断します。このポートは 8 ビット幅のため、16 ビットインタフェースの場合、または 8 ビットインタフェースで上位アドレスと下位アドレス 2 回のアクセスを行なった場合には、上位と下位には同じデータが読み出されます。

## 4. ホストインタフェース

---

表 4.2 フラグポートビット割り当て

bit	解説
7:5	未使用。値は 0
4	HSTREN データポート受信回路状態(R/O) 0: データポート受信回路が無効である 1: データポート受信回路が有効である
3	H2CDV 書き込みデータ処理状態(R/O) 0: データ書き込み可能 1: データ読み出し待ち
2	H2CCV コマンド処理状態(R/O) 0: コマンド書き込み可能 1: コマンド処理待ち
1	C2HDV 読み出しデータ準備状態(R/O) 0: 読み出しデータなし 1: 読み出しデータあり (読み出しでクリア)
0	C2HSV ステータス準備状態(R/O) 0: 読み出しステータスなし 1: 読み出しステータスあり (読み出しでクリア)

注: ホストインタフェースが 16 ビット幅の場合、bit[15:8]には bit[7:0]と同じ内容が出力されます。  
書き込みは bit[7:0]側への書き込みのみが有効です。

### 4.3 ホストインタフェースタイプ

ハードウェアリセット時の HIFSEL[2:0]端子状態、および EEPROM 内 HIFCR データによりホストインタフェースタイプが選択されます。ホストインタフェースタイプの割り当ては表 4.3 のとおりです

表 4.3 ホストインタフェースタイプ

HIFSEL[2:0]	Type	ホスト CPU 例 (8/16bit bus)
000	Type 0	Renesas Technology SH-3/4, EPSON S1C33
001	Type 1	MC68000/10
010	Type 2	MC68030/40
011	Type 3	Generic
100	Type 4	Reserved
101	Type 5	MIPS, ISA, NEC VR4121(16bit)
110	Type 6	PCMCIA, Philips PR31500/PR31700, Toshiba TX3912
111	EEPROM	EEPROM 内 HIFCR データにより Type0 ~ Type6 を選択

- Type0 独立したバイト単位のライト信号と、単独のリード信号によりアクセス制御を行なうタイプ。ルネサステクノロジ SH-3/4, EPSON S1C33 はこのタイプです。
- Type1 UDS#/LDS#などの上位/下位バイト選択信号と、リード/ライト選択信号の組み合わせによりアクセス制御を行なうタイプ。フリースケール・セミコンダクタの MC68000 はこのタイプです。この場合、上位バイト選択信号を HWR0#に、下位バイト選択信号を HWR1#に、リード/ライト選択を HRD1#に結線し、RD0#は未結線にしてください。
- Type2 データ転送サイズ表示信号と、リード/ライト選択信号の組み合わせによりアクセス制御を行なうタイプ。MC68030/40 などがこのタイプです。この場合、SIZ0 信号を HWR0#に、SIZ1 信号を HRD0#に、リード/ライト選択を HRD1#に、HWR1#は未結線にしてください。
- Type3 汎用タイプ。いずれのタイプも当てはまらない場合などに、外部でアクセス信号を生成して接続する場合に使用します。この場合、HWR0#に下位バイトの書き込み信号を、HWR1#に上位バイトの書き込み信号を、HRD0#に下位バイトの読み出し信号を、HRD1#に上位バイトの読み出し信号を接続します。
- Type4 このタイプは将来の拡張用に予約されています。指定しないでください。
- Type5 上位/下位バイト選択に複数の信号を使用し、独立したリード信号、ライト信号によりアクセス制御を行なうタイプ。MIPS、ISA バスはこのタイプです。この場合、ライト信号を HWR0#に、上位バイト指定信号を HWR1#に、リード信号を HRD0#に、RD1#は未結線にしてください。
- Type6 独立したバイトイネーブル信号と、独立したリード信号、ライト信号によりアクセス制御を行なうタイプ。PCMCIA インタフェースがこのタイプです。この場合ライト信号を HWR0#に、リード信号を HRD0#に、下位バイトイネーブル信号を HWE1#に、上位バイトイネーブル信号を HRD1#に接続してください。
- EEPROM シリアル EEPROM 内の HIFCR データによりタイプを選択します。設定可能なタイプは Type0 から Type6 までです。EEPROM 内データが “111” の場合、または EEPROM が接続されていない場合は S1S60000 はホスト CPU が接続されていないと判断します。

#### ●マルチプレクスバスについて

一部の CPU では、アドレス線の一部または全部を、データバスと時分割で共用します。このような CPU を S1S60000 に接続する場合には、HMUX 端子を LOW にしてマルチプレクスバス設定とする必要があります。この設定にした場合、アドレスとして HA[2:0]の替わりに、HD[2:0]をラッチした信号が使用されます。ラッチ信号にはアドレス出力期間中 HIGH となり、アドレスが確定している期間中に LOW へ変化する信号を使用し、タイプごとに以下の信号線に入力してください。

Type0=HRD1#, Type1=HRD0#, Type2=HWR1#, Type5=HRD1#

ただし、Type3(Generic)と Type6(PCMCIA)ではマルチプレクスバス設定にすることはできません。



## 4. ホストインタフェース

図 4.1 に CPU タイプ選択フローチャートを示します。使用する CPU の持つ信号線から対応する CPU のタイプを選択した後、表 4.5 から表 4.10 の各 CPU の信号パターンを参照し、適切なアクセス状態となるかを確認してください。もし選択したパターンでの信号パターンが合致しない場合は、外部で Type3 の Generic、または似たパターンの CPU タイプに合うようにデコードを行なってください。

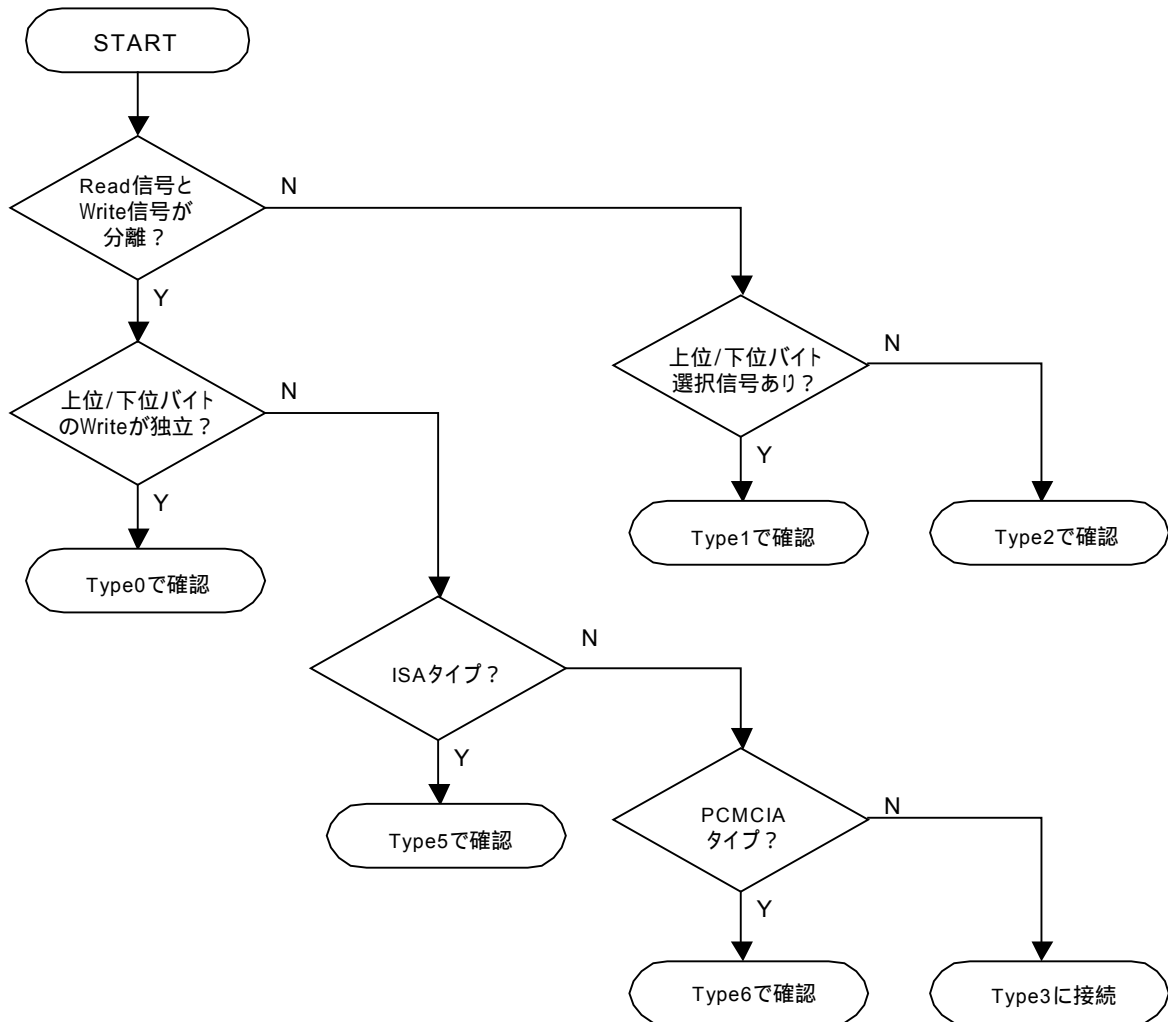


図 4.1 ホストインタフェースタイプ選択フローチャート

表 4.4 CPU 別信号結線表

Type	Manufacturer	Model	HCS#	HA[2:0]	HD[15:0]	HWR0#	HWR1#	HRD0#	HRD1#	RESET#	Re-mark
Type0	Renesas Technology	SH-3	(*1)	A[2:0]	D[15:0]	WE0#	WE1#	RD#	-(ASTB)	RESET#	
		SH-4	(*1)	A[2:0]	D[15:0]	WE0#	WE1#	RD#	-(ASTB)	RESET#	
	EPSON	S1C33	(*1)	A[2:0]	D[15:0]	#WRL	#WRH	#RD	-(ASTB)	#RESET	
Type1	Freescall Semiconductor	MC68000	(*1)	A[2:1], NC	D[15:0]	UDS#	LDS#	-(ASTB)	R/W#	RESET#	16bit bus only
		MC68010									
		MC68008	(*1)	A[2:0]	D[7:0]	—	DS#	-(ASTB)	R/W#	RESET#	8bit bus only
		MC68HC001	(*1)	A[2:0]	D[15:0]	UDS#	LDS#	-(ASTB)	R/W#	RESET#	
Type2	Freescall Semiconductor	MC68030	(*1)	A[2:0]	D[31:16]	SIZ0	-(ASTB)	SIZ1	R/W#	RESET#	
		MC68040	(*1)	A[2:0]	D[31:16]	SIZ0	-(ASTB)	SIZ1	R/W#	RESET#	
Type3	—	Generic	(*1)	A[2:0]		WR0#	WR1#	RD0#	RD1#	RESET#	
Type5	—	MIPS	(*1)	SA[2:0]	SD[15:0]	MEMW#	SBHE#	MEMR#	-(ASTB)	inverted RESET	
	IBM	ISA	(*1)	SA[2:0]	SD[15:0]	MEMW#	SBHE#	MEMR#	-(ASTB)	inverted RESET	
	NEC	VR4121	(*1)	ADD [2:0]	DATA [15:0]	IOW#	SHB#	IOR#	-(ASTB)	RSTSW#	
Type6	Philips	PR31500 PR31700	GND	A[2:0]	D[23:16], D[31:24]	/CARD IOWR	/CARD xCSL	/CARD IORD	/CARD xCSH	/PON	
	Toshiba	TX3912	GND	A[2:0]	D[23:16], D[31:24]	CARD IOWR*	CARD xCSL*	CARD IORD*	CARD xCSH*	PON*	
	PCMCIA	PC Card	GND	A[2:0]	D[15:0]	-WE	-CE1	-RD	-CE2	inverted RESET	

- : No Connection

-(ASTB): バス分離タイプの CPU を接続する場合には NC。マルチプレクスタイプの CPU を接続する場合にはアドレスラッチ信号を接続。

\*1: 必要に応じてデコードしたものを入力。Active LOW。

**【注意】** この表の結線での動作を保証するものではありません。使用する条件（バスサイズ、バスクロック、信号タイミング等）により適切な結線が変わる場合がありますので、必ずタイプ別の信号パターンに照らして確認をお願いします。

## 4. ホストインタフェース

表 4.5 Type0 の信号パターン

				S1S60000 信号線					
R/W	Endian	バス幅	操作	HWR0#	HWR1#	HRD0#	HRD1# (*1)	HA0	
Write	Little	16bit	Word	L	L	H	H	L	
			LOW	L	H	H	H	L	
			HIGH	H	L	H	H	H	
		8bit	LOW	L	H	H	H	L	
			HIGH	L	H	H	H	H	
			Big	16bit	Word	L	L	H	H
	LOW	L			H	H	H	L	
	HIGH	H			L	H	H	H	
	8bit	LOW		L	H	H	H	L	
		HIGH		L	H	H	H	H	
		Read		Little	16bit	Word	H	H	L
	LOW		H			H	L	H	L
HIGH	H		H			L	H	H	
8bit	LOW		H		H	L	H	L	
	HIGH		H		H	L	H	H	
	Big		16bit		Word	H	H	L	H
LOW				H	H	L	H	L	
HIGH				H	H	L	H	H	
8bit			LOW	H	H	L	H	L	
			HIGH	H	H	L	H	H	

\*1：HRD1#は内部プルアップ抵抗により常に HIGH です。マルチプレクスバスの場合、ここにラッチ信号を接続することで、LOW への変化点で HD[2:0]をラッチしてアドレスとします。

表 4.6 Type1 の信号パターン

				S1S60000 信号線				
R/W	Endian	バス幅	操作	HWR0#	HWR1#	HRD0# (*1)	HRD1#	HA0
Write	Little	16bit	Word	L	L	H	L	L
			LOW	H	L	H	L	L
			HIGH	L	H	H	L	H
		8bit	LOW	H	L	H	L	L
			HIGH	H	L	H	L	H
	Big	16bit	Word	L	L	H	L	L
			LOW	H	L	H	L	L
			HIGH	L	H	H	L	H
		8bit	LOW	H	L	H	L	L
			HIGH	H	L	H	L	H
		16bit	Word	L	L	H	H	L
			LOW	H	L	H	H	L
			HIGH	L	H	H	H	H
		8bit	LOW	H	L	H	H	L
			HIGH	H	L	H	H	H

HRD0#は内部プルアップ抵抗により常に HIGH です。マルチプレクスバスの場合、ここにラッチ信号を接続することで、LOW への変化点で HD[2:0]をラッチしてアドレスとします。

表 4.7 Type2 の信号パターン

R/W	Endian	バス幅	操作	S1S60000 信号線				
				HWR0# (*1)	HWR1#	HRD0#	HRD1#	HA0
Write	Little	16bit	Word	L	H	H	L	L
			LOW	H	H	L	L	L
			HIGH	H	H	L	L	H
		8bit	LOW	H	H	L	L	L
			HIGH	H	H	L	L	H
	Big	16bit	Word	L	H	H	L	L
			LOW	H	H	L	L	L
			HIGH	H	H	L	L	H
		8bit	LOW	H	H	L	L	L
			HIGH	H	H	L	L	H
Read	Little	16bit	Word	L	H	H	H	L
			LOW	H	H	L	H	L
			HIGH	H	H	L	H	H
		8bit	LOW	H	H	L	H	L
			HIGH	H	H	L	H	H
	Big	16bit	Word	L	H	H	H	L
			LOW	H	H	L	H	L
			HIGH	H	H	L	H	H
		8bit	LOW	H	H	L	H	L
			HIGH	H	H	L	H	H

HWR1#は内部プルアップ抵抗により常に HIGH です。マルチプレクスバスの場合、ここにラッチ信号を接続することで、LOW への変化点で HD[2:0]をラッチしてアドレスとします。

表 4.8 Type3 の信号パターン

R/W	Endian	バス幅	操作	S1S60000 信号線				
				HWR0#	HWR1#	HRD0#	HRD1#	HA0
Write	Little	16bit	Word	L	L	H	H	L
			LOW	L	H	H	H	L
			HIGH	H	L	H	H	H
		8bit	LOW	L	H	H	H	L
			HIGH	L	H	H	H	H
	Big	16bit	Word	L	L	H	H	L
			LOW	L	H	H	H	L
			HIGH	H	L	H	H	H
		8bit	LOW	L	H	H	H	L
			HIGH	L	H	H	H	H
Read	Little	16bit	Word	H	H	L	L	L
			LOW	H	H	L	H	L
			HIGH	H	H	H	L	H
		8bit	LOW	H	H	L	H	L
			HIGH	H	H	L	H	H
	Big	16bit	Word	H	H	L	L	L
			LOW	H	H	L	H	L
			HIGH	H	H	H	L	H
		8bit	LOW	H	H	L	H	L
			HIGH	H	H	L	H	H

## 4. ホストインタフェース

表 4.9 Type5 の信号パターン

				S1S60000 信号線					
R/W	Endian	バス幅	操作	HWR0#	HWR1#	HRD0#	HRD1# (*1)	HA0	
Write	Little	16bit	Word	L	L	H	H	L	
			LOW	L	H	H	H	L	
			HIGH	L	L	H	H	H	
		8bit	LOW	L	H	H	H	L	
			HIGH	L	H	H	H	H	
			Big	16bit	Word	L	L	H	H
	LOW	L			H	H	H	L	
	HIGH	L			L	H	H	H	
	8bit	LOW		L	H	H	H	L	
		HIGH		L	H	H	H	H	
		Read		Little	16bit	Word	H	L	L
	LOW		H			H	L	H	L
HIGH	H		L			L	H	H	
8bit	LOW		H		H	L	H	L	
	HIGH		H		H	L	H	H	
	Big		16bit		Word	H	L	L	H
LOW				H	H	L	H	L	
HIGH				H	L	L	H	H	
8bit			LOW	H	H	L	H	L	
			HIGH	H	H	L	H	H	

HRD1#は内部プルアップ抵抗により常に HIGH です。マルチプレクスバスの場合、ここにラッチ信号を接続することで、LOW への変化点で HD[2:0]をラッチしてアドレスとします。

表 4.10 Type6 の信号パターン

R/W	Endian	バス幅	操作	S1S60000 信号線				
				HWR0#	HWR1#	HRD0#	HRD1#	HA0
Write	Little	16bit	Word	L	L	H	L	L
			LOW	L	L	H	H	L
			HIGH	L	H	H	L	H
		8bit	LOW	L	L	H	H	L
			HIGH	L	L	H	H	H
	Big	16bit	Word	L	L	H	L	L
			LOW	L	L	H	H	L
			HIGH	L	H	H	L	H
		8bit	LOW	L	L	H	H	L
			HIGH	L	L	H	H	H
Read	Little	16bit	Word	H	L	L	L	L
			LOW	H	L	L	H	L
			HIGH	H	H	L	L	H
		8bit	LOW	H	L	L	H	L
			HIGH	H	L	L	H	H
	Big	16bit	Word	H	L	L	L	L
			LOW	H	L	L	H	L
			HIGH	H	H	L	L	H
		8bit	LOW	H	L	L	H	L
			HIGH	H	L	L	H	H

#### 4.4 エンディアンによるデータ入れ替え

S1S60000 内部では Little Endian 形式でデータ処理が行なわれます。一方、Big Endian の CPU の接続に対応するため、S1S60000 ではエンディアン設定とアクセスするポートにより、必要に応じてデータのスワップを行ない、ホスト CPU 側のデータ入れ替え負荷を軽減しています。適切なエンディアン設定、バス幅設定をしていればスワップを意識する必要はありません。実際にどのような場合にスワップが行なわれるかを以下に示します。

- コマンド/ステータスポートへのアクセス時  
コマンド/ステータスポートでは、ホスト CPU 内の 16 ビットレジスタ上と S1S60000 内部レジスタ上で同じビット順となるように変換が行なわれます。具体的には Big エンディアン、8 ビットバス幅設定の場合にスワップが行なわれます。
- データポートへのアクセス時  
データポートにアクセスする場合には、メモリ上の連続したバイト列を転送した場合にホスト CPU 側と S1S60000 側で同じバイト順となるように変換を行ないます。具体的には Big エンディアン、16 ビットバス幅設定の場合に交換が行なわれます。

表 4.11 にホスト CPU から書き込んだ内容を S1S60000 で取得した場合のデータ状態を、表 4.12 に S1S60000 から書き込んだ内容をホスト CPU で取得した場合のデータ状態を示します。

表 4.11 書き込み時の S1S60000 取り込みデータ

R/W	Endian	バス幅	操作	コマンドポート 1234h 書きこみ操作	データポート 5678h 書き込み操作
Write	Little	16bit	Word	1234	5678
			LOW Byte	xx34	xx78
			HIGH Byte	12xx	56xx
		8bit	LOW Byte	xx34	xx78
			HIGH Byte	xx12	xx56
	Big	16bit	Word	1234	7856(*1)
			LOW Byte	12xx	78xx(*1)
			HIGH Byte	xx34	xx56(*1)
		8bit	LOW Byte	xx12(*1)	xx78
			HIGH Byte	xx34(*1)	xx56

xx:不定

\*1:スワップ操作により上位/下位バイトが入れ替えられます

表 4.12 読み出し時のホスト CPU 取得データ

R/W	Endian	バス幅	操作	ステータスポート 1234h 読み出し操作	データポート 5678h 読み出し操作
Read	Little	16bit	Word	1234	5678
			LOW Byte	zz34	zz78 5678(*2)
			HIGH Byte	12zz	56zz 5678(*2)
		8bit	LOW Byte	zz34	zz78
			HIGH Byte	zz12	zz56
	Big	16bit	Word	1234	7856(*1)
			LOW Byte	12zz	78zz(*1) 7856(*1, *2)
			HIGH Byte	zz34	zz56(*1) 7856(*1, *2)
		8bit	LOW Byte	zz12(*1)	zz78
			HIGH Byte	zz34(*1)	zz56

zz:ハイインピーダンスですが、プルアップにより FFh となります。

\*1:スワップ操作により上位/下位バイトが入れ替えられます。

\*2: Type0 の場合、バス上には 16bit データが出力されますが、ホスト CPU 側では 8bit のみ取り込まれます。

## 4. ホストインタフェース

### 4.5 アクセスタイミング

ホストインタフェースからの S1S60000 へ書き込みは非同期に行なわれ、各信号は S1S60000 の内部バスクロックとは独立して変化します。そのため S1S60000 では内部バスクロックでホストインタフェース信号状態を連続してサンプリングし、アクセス状態が認識された後、最初に非アクセス状態になったタイミングで書き込み処理を行ないます。したがってホスト CPU では最低 3 回以上のサンプリング（内部バスクロックで 2 周期 + セットアップタイム以上）が行なわれるようにバスサイクル設定を行なってください。サンプリングタイミングは内部バスクロックにより周期が変わるため、S1S60000 を低い内部バスクロックで動作させる場合には特に注意してください。

表 4.13 動作状態による必要アクセス時間

OSC3 入力	動作モード	内部バスクロック	最小アクセス期間(ns)(*1)
25MHz	Normal	50MHz	45
25MHz	パワーセーブ	12.5MHz	165
20MHz	Normal	40MHz	55
10MHz	Normal	20MHz	105

\*1：ホストインタフェース入力信号がアクセス状態で確定している期間

図 4.2 に書き込みサンプリングタイミングを示します。

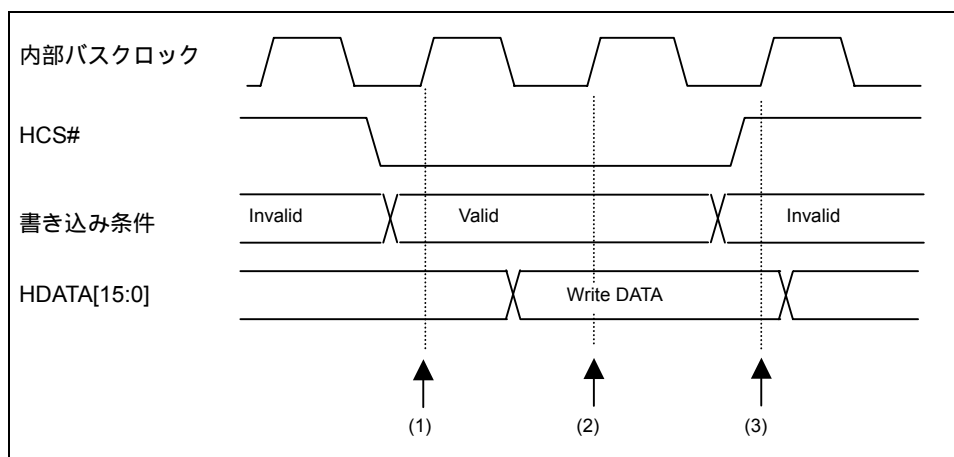


図 4.2 書き込みサンプリングタイミング

- (1): 最初に書き込み条件が成立したタイミング。データの取り込みが行なわれ、一時的に保持されます。
- (2): 2 回目に書き込み条件が成立したタイミング。再度データの取り込みが行なわれ、(1)のデータを上書きし、一時的に保持されます。
- (3): 最初の非アクセス状態を検出したタイミング。この時点のデータは取り込まれません。このタイミングまでに取り込まれていたデータが S1S60000 内部に取り込まれます。

読み出しタイミングではデータバス駆動タイミングが異なりますが、基本的な動作は書き込み時と同じです。図 4.3 にサンプリングタイミングを示します。

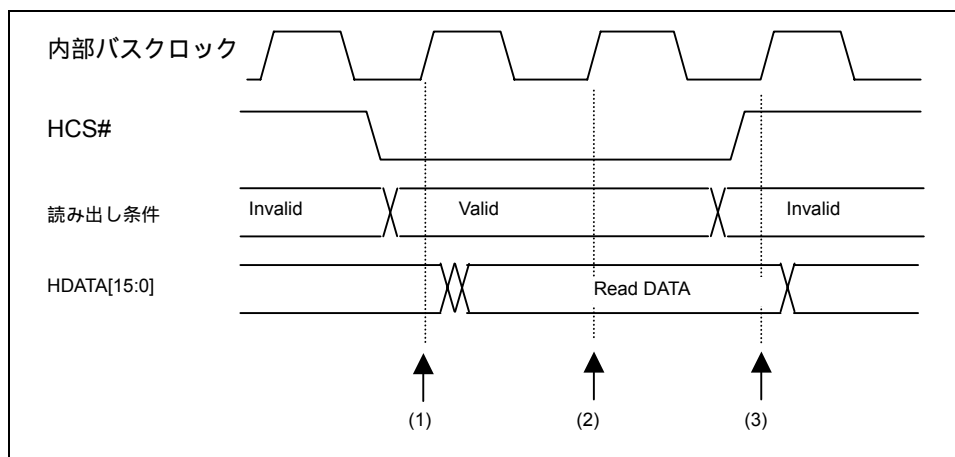


図 4.3 読み出しサンプリングタイミング

- (1): 最初に読み出し条件が成立したタイミング。データバス駆動が開始されます。  
(2): 2 回目に読み出し条件が成立したタイミング。データバス駆動は保持されます。  
(3): 最初の非アクセス状態を検出したタイミング。このタイミングでバス駆動が解除されます。

アクセス条件の成立には書き込み条件または読み出し条件に加えて HCS# $\neq$ LOW の成立が必要ですが、その成立の順番は任意です。またサンプリングタイミング直前で信号が変化してセットアップタイムを満足していない場合には、そのサンプリングでは条件が成立せず、次のサンプリングで有効なアクセスとなります。



## 5. ハードウェア制御

### 5. ハードウェア制御

S1S60000 は GPIO、I<sup>2</sup>C バスマスタ等を内蔵しており、これらを利用することで簡単なハードウェア制御が行なえます。制御可能ハードウェアは以下のとおりです。

- 内蔵レジスタ [5.2 章にて解説]
- GPIO (General Purpose Input/Output) [5.3 章にて解説]
- I<sup>2</sup>C スレーブデバイス [5.4.2 章にて解説]
- EEPROM [5.5 章にて解説]
- Flash ROM - ユーザが使用可能な 1K バイト領域

#### 5.1 制御方法

ユーザによる S1S60000 の内蔵ハードウェア制御は、以下の方法により可能です。

- ネットワークからの制御
- ホストインタフェースからの制御
- 外部 I<sup>2</sup>C マスタからの制御
- シリアルインタフェースからの制御

表 5.1 に制御方法と制御可能ハードウェア対象の関係を示します。

表 5.1 制御方法と対象の関係

制御方法	内蔵レジスタ	GPIO	I <sup>2</sup> C Slave	EEPROM	Flash ROM
ネットワークから	×	○	○	△	×
ホストインタフェースから	○	○	○	○	○
外部 I <sup>2</sup> C マスタから	○	○	—	×	×
シリアルインタフェースから	×	○	○	○	×

○：アクセス可能    △：一部可能    ×：アクセス不可

##### 5.1.1 ネットワークからの制御

S1S60000 はプロトコル処理機能を内蔵しているため、ネットワークからの URI 指定により、GPIO や I<sup>2</sup>C などの読み出しや出力制御が行なえます。URI の指定形式は以下のとおりで、全て ASCII 文字です。大文字、小文字の区別はありません。

指定形式                      http://Address:8080/Target[/Destination][?Data]

Address                      S1S60000 に割り当てた IP アドレス。アクセス先のポート番号は必ず 8080 になります。  
Target                        次のいずれかの指定（アクセス対象）  
                                GPIO, I<sup>2</sup>C, EEPROM  
                                不適切な書き換えを防ぐため、ネットワークからの書換禁止設定が可能です。詳しくは 5.2.10、5.2.11、5.2.12 の各章を参照してください。  
Destination                  実際に Read/Write する対象のメモリ、レジスタ等。Target により異なります。  
Data                          Destination に対する操作を示すデータ。Destination により異なります。  
                                “&” で区切ることで、データを複数指定可能です。

制御要求に対して S1S60000 は返信中の以下の 3 個所で戻り値を返します。3 個所の戻り値のいずれにもすべて同じ ASCII 文字列が設定されています。

HTTP レスポンスヘッダ中                      X-DEVICE-VALUE:戻り値  
HTML の HEAD エLEMENT 中                      <META NAME= “ DEVICE-VALUE ” CONTENT= “ 戻り値 ” >  
HTML の BODY エLEMENT 中                      <DIV CLASS= “ DEVICE-VALUE ” >戻り値</DIV>

ネットワークからのハードウェア制御に失敗した場合、S1S60000 は HTTP レスポンスヘッダのステータスラインでエラーを返します。

## (1) GPIO アクセス

GPIO を制御する場合、Target には “GPIO” を、Destination には GPIO のポート番号を、Data にはポートへ出力するデータなどを指定します。

表 5.2 に 1 ポート単位の GPIO アクセス、表 5.3 に 16 ポート単位の GPIO アクセスの場合の指定形式を示します。マスク指定で操作対象とする GPIO に対応するビットを“1”にし、対象外を“0”とすることで特定の GPIO のみの操作が可能です。

表 5.2 GPIO アクセス形式 (1 ポート単位)

操作	ポート指定		出力データ指定		戻り値
	桁	指定可能値	桁	指定可能値	
1port 入力	2	“00”~“0F”(*1)	—	なし	1
1port 出力	2	“00”~“0F”(*1)	1	“0”, “1”	1

\*1: 対応する GPIO を、2 桁の 16 進数で指定します。

表 5.3 GPIO アクセス形式 (16 ポート単位)

操作	ポート指定		入出力指定		マスク指定		出力値指定		戻り値
	桁	指定可能値	桁	指定可能値	桁	指定可能値	桁	指定可能値	
16port 入力	2	“0X”	1	“R” (*1)	16	“0”, “1” (*2)	—	なし	16
16port 出力	2	“0X”	1	“W”	16	“0”, “1” (*2)	16	“0”, “1”	16

\*1: 省略可能です。

\*2: 省略可能です。省略した場合、“11111111111111”を指定したことになります。

16 桁指定をする場合 (マスク指定、出力値指定、戻り値指定時) 上位が GPIO15、下位が GPIO0 の順に並びます。データ/戻り値の状態を表 5.4 に示します。

表 5.4 GPIO データ指定/戻り値

戻り値	内 容
“0”	出力設定がされており、LOW 出力中である。またはマスクならばポートを操作対象外に、出力値ならばポートに LOW 出力する。
“1”	出力設定がされており、HIGH 出力中である。またはマスクならばポートを操作対象に、出力値ならばポートに HIGH 出力する。
“L”	入力設定がされており、LOW 入力状態である
“H”	入力設定がされており、HIGH 入力状態である
“U”	GPIO として設定がされていない。別機能として使用している。
“P”	ネットワークからの制御が禁止されている。

【例 1】IP アドレス 192.168.1.1 の GPIO0 に HIGH を出力する。

URI: <http://192.168.1.1:8080/GPIO/00?1>

返信(HIGH 出力中): <DIV NAME= “DEVICE-VALUE” >1</DIV>

【例 2】IP アドレス 192.168.1.1 の GPIO1 の入出力設定&入力状態を調べる。

URI: <http://192.168.1.1:8080/GPIO/01>

返信(LOW 入力中): <DIV NAME= “DEVICE-VALUE” >L</DIV>

【例 3】IP アドレス 192.168.1.1 の GPIO0 に LOW を、GPIO4 に HIGH を出力する。

URI: <http://192.168.1.1:8080/GPIO/0X?W&00000000000010001&0000000000010000>

返信: <DIV NAME= “DEVICE-VALUE” >LLLLPPPPLLL1PLL0</DIV>

【例 4】IP アドレス 192.168.1.1 の GPIO0 から GPIO15 の入出力設定&入力状態を調べる。

URI: <http://192.168.1.1:8080/GPIO/0X>

返信: <DIV NAME= “DEVICE-VALUE” >LLLLPPPPLLL0PLL0</DIV>

## 5. ハードウェア制御

### (2) I<sup>2</sup>C

I<sup>2</sup>C マスタ機能を制御する場合、Target 部には“ I<sup>2</sup>C ”を、Data 部には制御データ列を指定します。Destination 部は存在しません。

制御データ列には、I<sup>2</sup>C バスに出力する値、再 Start のタイミング、I<sup>2</sup>C バスから入力を受け取るタイミングとそのバイト数を指定できます。制御データ列は次のように記述します。

表 5.5 I<sup>2</sup>C 制御データ列の記述方法

制御データ列の要素	指定方法
Slave アドレス指定	制御データの先頭、再 Start 後は必ずこの指定を行なう。 7 ビットアドレス指定の場合は bit[7:1]=Adr[6:0]を、bit0 に R/W ビット(1:Read,0:Write)を指定。 10 ビットアドレス指定の場合は最初のバイトの bit[7:3]= “ 11110 ” , bit[2:1]=Adr[9:8], bit0 に R/W ビット(1:Read,0:Write)を指定し、2 番目のバイトで bit[7:0]=Adr[7:0]を指定。
I <sup>2</sup> C バスに出力する値	1 バイトごとに 2 桁の 16 進数 “00 ” ~ “FF ”
再 Start のタイミング (*1)	“ SR ”
I <sup>2</sup> C バスから入力を受けるタイミングとバイト数 (*1)	“ LN ” とそれに続く 2 桁の 16 進数 “01 ” ~ “08 ”

\*1：同じ制御データ列中に複数回記述できません。

I<sup>2</sup>C マスタ機能の制御では、戻り値は次のいずれかになります。

表 5.6 I<sup>2</sup>C 制御の戻り値

戻り値	制御結果
“ERROR”	要求された制御を途中で終えた。
2×( “ LN ” で指定されたバイト数)桁の 16 進数	要求された制御をすべて終え、I <sup>2</sup> C バスから入力を受け取った。
“OK”	要求された制御をすべて終えた。

書き込みの場合、アドレス指定時に R/W ビットを Write にしてインデックス指定を行ない、続けてデータを指定することで書き込みが行なわれます。一方、インデックス指定を行なって読み出す場合には以下の手順が必要です。

- (1) アドレス指定をする。R/W ビットは Write にする インデックスを「書き込む」ため
- (2) インデックス指定をする
- (3) “ SR ” インデックスを保持したまま、読み出し状態に切り替えるため
- (4) アドレス指定をする。R/W ビットは Read にする データの「読み出し」を行なうため
- (5) “ LN ” で読み出し長を指定する

戻り値が 16 進数で、“ LN ” で指定されたバイト数が 2 以上の場合、I<sup>2</sup>C バスから先に受け取ったバイトが上位桁に、後に受け取ったバイトが下位桁に並びます。以下にアクセス例を示します。(アドレス指定の次のデータをインデックスと解釈するデバイスの場合)

**【例 1】** IP アドレス 192.168.1.1 の Master より、7bit Slave アドレス 02 デバイスのインデックス 0 から 2 バイトのデータ ( 01h,02h ) を書き込む。

URI: <http://192.168.1.1:8080/I2C?04000102>

返信: <DIV NAME=“DEVICE-VALUE”>OK</DIV>

**【例 2】** IP アドレス 192.168.1.1 の Master より、7bit Slave アドレス 02 デバイスのインデックス 0 から 3 バイトのデータを読み出す。

URI: <http://192.168.1.1:8080/I2C?0400SR05LN03>

返信: <DIV NAME=“DEVICE-VALUE”>000001</DIV>

【例 3】IP アドレス 192.168.1.1 の Master より、10bit Slave アドレス 234 デバイスのインデックス 0 から 3 バイトのデータを読み出す。

URI: <http://192.168.1.1:8080/I2C?F43400SRF5LN03>  
 返信: <DIV NAME="DEVICE-VALUE">000001</DIV>

### (3) EEPROM

EEPROM にアクセスする場合、Target 部には“EEPROM”を、Destination 部にはオフセットを、Data 部にはオフセットへ出力する値を指定します。EEPROM との入出力は 16 ビットを 1 ワードとしたワード単位で行ないます。

表 5.7 EEPROM アクセス形式、戻り値

入出力	オフセット指定		出力データ指定		戻り値
	桁	指定可能値	桁	指定可能値	
入力	2	“00” - “3F”	—	なし	“0000” - “FFFF”
出力	2	“11” - “3F”(*1)	4	“0000” - “FFFF”	“OK”, “ERROR”

\*1: “00” ~ “10” の領域は常にネットワークからの書き換えが禁止されています。

また EPMSK レジスタの内容によりユーザが書き換えを禁止した領域への書き込みも行なえません。

【例 1】IP アドレス 192.168.1.1 の EEPROM オフセット 0Dh からデータを入力する。

URI: <http://192.168.1.1:8080/EEPROM/0D>  
 返信: <DIV NAME="DEVICE-VALUE">0001</DIV>

【例 2】IP アドレス 192.168.1.1 の EEPROM オフセット 0Dh にデータ 6401h を出力する。

URI: <http://192.168.1.1:8080/EEPROM/0D?6401>  
 返信: <DIV NAME="DEVICE-VALUE">OK</DIV>

### 5.1.2 ホストインタフェースからの制御

ホストインタフェースから S1S60000 のユーザ操作可能ハードウェアにアクセスするには、コマンド指定のさいに端点指定を「SYSTEM」にします。ホストインタフェースから制御する場合にはネットワークから操作可能なハードウェアに加え S1S60000 内部レジスタと User Flash ROM 領域のアクセスが可能です。これにより User Flash ROM から設定を読み出し、内部レジスタに設定することで、EEPROM を使用しないシステムの構築が可能です。詳細は「S1S60000 シリーズ ホストインタフェース仕様書」を参照してください。

### 5.1.3 外部 I<sup>2</sup>C マスタからの制御

外部 I<sup>2</sup>C マスタから制御を行なう場合には、S1S60000 は I<sup>2</sup>C スレーブデバイスとして動作し、内部レジスタへのアクセスが可能です。詳細は 5.4.2 章を参照してください。

### 5.1.4 シリアルインタフェースからの制御

シリアルインタフェースから制御を行なう方法は、GPALT レジスタにより GPIO[15:8] がシリアルインタフェースとして有効な状態に設定され、かつ GPIO10 端子が HIGH 状態であった場合にのみ有効です。この場合、通信データの形式は以下のとおりで、全て ASCII 文字です。大文字、小文字の区別はありません。

指定形式：	Target[/Destination][?Data]<改行>
戻り値の形式：	戻り値<CR><LF>
Target	次のいずれかの指定（アクセス対象）または文字列“\$VER” GPIO, I <sup>2</sup> C, EEPROM
Data	Destination に対する操作を示すデータ。Destination により異なります。“&”で区切るにより、データを複数指定可能です。
<改行>	CR、CR+LF、LF のいずれか

制御要求に対して S1S60000 は戻り値を返します。ハードウェア制御に失敗した場合、S1S60000 は“ERROR”文字列を返します。

## 5. ハードウェア制御

---

### (1) GPIO アクセス

GPIO を制御する場合、Target には “ GPIO ” を、Destination には GPIO のポート番号を、Data にはポートへ出力するデータなどを指定します。

指定形式、データ/戻り値の状態はネットワークからの制御の場合と同じです。表 5.2 に 1 ポート単位の GPIO アクセス、表 5.3 に 16 ポート単位の GPIO アクセスの場合の指定形式、表 5.4 にデータ/戻り値の状態を示します。

マスク指定で操作対象とする GPIO に対応するビットを “ 1 ” にし、対象外を “ 0 ” とすることで特定の GPIO のみの操作が可能です。16 桁指定をする場合（マスク指定、出力値指定、戻り値指定時）上位が GPIO15、下位が GPIO0 の順に並びます。

**【例 1】** GPIO0 に HIGH を出力する。

指定データ： GPIO<space>00?1<改行>

戻り値： 1<CR><LF>

**【例 2】** GPIO1 の入出力設定&入力状態を調べる。

指定データ： GPIO<space>01<改行>

戻り値： L<CR><LF>

**【例 3】** GPIO0 に LOW を、GPIO4 に HIGH を出力する。

指定データ： GPIO<space>0X?W&00000000000010001&00000000000010000<改行>

戻り値： LLLLPPPPLLL1PLL0<CR><LF>>

**【例 4】** GPIO0 から GPIO15 の入出力設定&入力状態を調べる。

指定データ： GPIO<space>0X<改行>

戻り値： LLLLPPPPLLL0PLL0<CR><LF>

### (2) I<sup>2</sup>C

I<sup>2</sup>C マスタ機能を制御する場合、Target 部には “ I<sup>2</sup>C ” を、Data 部には制御データ列を指定します。Destination 部は存在しません。

制御データ列には、I<sup>2</sup>C バスに出力する値、再 Start のタイミング、I<sup>2</sup>C バスから入力を受け取るタイミングとそのバイト数を指定できます。制御データ列、戻り値はネットワークからの制御の場合と同様で、それぞれ表 5.5、表 5.6 のとおりに記述します。

戻り値が 16 進数で、“ LN ” で指定されたバイト数が 2 以上の場合、I<sup>2</sup>C バスから先に受け取ったバイトが上位桁に、後に受け取ったバイトが下位桁に並びます。以下にアクセス例を示します。（アドレス指定の次のデータをインデックスと解釈するデバイスの場合）

**【例 1】** 7bit Slave アドレス 02 デバイスのインデックス 0 から 2 バイトのデータ ( 01h,02h ) を書き込む。

指定データ： I2C<space>04000102<改行>

戻り値： OK<CR><LF>

**【例 2】** 7bit Slave アドレス 02 デバイスのインデックス 0 から 3 バイトのデータを読み出す

指定データ： I2C<space>0400SR05LN03<改行>

戻り値： 000001<CR><LF>

**【例 3】** 10bit Slave アドレス 234 デバイスのインデックス 0 から 3 バイトのデータを読み出す。

指定データ： I2C<space>F43400SRF5LN03<改行>

戻り値： 000001<CR><LF>

## (3) EEPROM

EEPROM にアクセスする場合、Target 部には“EEPROM”を、Destination 部にはオフセットを、Data 部にはオフセットへ出力する値を指定します。EEPROM との入出力は 16 ビットを 1 ワードとしたワード単位で行ないます。指定形式と戻り値は以下のとおりです。

表 5.8 EEPROM アクセス形式、戻り値（シリアル経由）

入出力	オフセット指定		出力データ指定		戻り値
	桁	指定可能値	桁	指定可能値	
入力	2	“00” - “3F”	—	なし	“0000” - “FFFF”
出力	2	“00” - “3F”	4	“0000” - “FFFF”	“OK”, “ERROR”

ネットワークからの制御と異なり、出力オフセットは全ての範囲の指定が可能です。

## 【例 1】EEPROM オフセット 0Dh からデータを入力する。

指定データ： EEPROM<space>0D<改行>

戻り値： 0001<CR><LF>

## 【例 2】EEPROM オフセット 0Dh にデータ 6401h を出力する。

指定データ： EEPROM<space>0D?6401<改行>

戻り値： OK<CR><LF>

## (4) ファームウェアバージョン確認

入力として文字列“\$VER”を送ると、現在動作しているファームウェアのバージョンを示す 8 バイトの ASCII 文字列が返ります。応答文字列の形式は以下のとおりです。

表 5.9 バージョン表示文字列構成

データ順	1	2	3	4	5	6	7	8
内容	バージョン				リビジョン番号 A		リビジョン番号 B	

## バージョン番号（第 1～4 バイト）

ファームウェアのバージョン番号です。第 1 バイトを上位バイト、第 4 バイトを下位バイトとする整数です。“0001”であればバージョンは 1 です。値が小さいほど古く、大きいほど新しいことを示します。バージョン番号は、機能の拡張や修正が大規模にあったときや、互換性のない仕様の導入のさいに変更されます。

## リビジョン番号 A（第 5，6 バイト）

符号なし整数です。値が“00”の場合は標準のファームウェアであることを、“00”以外であれば標準のファームウェアから分岐していることを示します。値の大小に意味はありません。値が異なる場合、それぞれ別の分岐に属するため、機能に互換性がないことがあります。

## リビジョン番号 B（第 7，8 バイト）

符号なし整数です。バージョン番号とリビジョン番号 A の組み合わせに対して、ファームウェアが変更されるたびに異なる番号が割り当てられます。値が小さいほど古く、大きいほど新しいことを示します。標準のファームウェア（リビジョン番号 A が“00”）の場合、必ず偶数です。

（例）

たとえば応答文字列が先頭バイトから順に、“00010020”であった場合、S1S60000 のファームウェアバージョン 1、標準ファームウェア、リビジョン 20 を示しています。

この内容はテクニカルインフォメーション No.4(S1S60KTI-004)の内容に準じています。

## 5. ハードウェア制御

### 5.2 内蔵レジスタ

ユーザが設定可能な内蔵レジスタは以下のとおりです。

表 5.10 アクセス可能内蔵レジスタ一覧

レジスタ名	オフセット	主な機能
REVID	0h	Device ID, Revision 表示 (R/O)
MAC0	1h	MAC アドレス
MAC1	2h	MAC アドレス
MAC2	3h	MAC アドレス
GENCR	4h	汎用設定レジスタ
HIFCR	5h	ホストインタフェース設定
I2CSADR	6h	I <sup>2</sup> C スレーブアドレス設定
I2CCONF	7h	I <sup>2</sup> C クロック設定、ノイズフィルタ設定
GPALT	8h	GPIO の別機能を有効に設定
GPCFG	9h	GPIO の I/O 設定
GPDAT	Ah	GPIO の出力値設定
GPMSK	Bh	GPIO のネットワークからの操作マスク設定
EPMSK	Ch	EEPROM のネットワークからの操作禁止設定
I2CMSK	Dh	I <sup>2</sup> C 内蔵スレーブのネットワークからの操作禁止設定
PMWAIT	Eh	パワーマネジメント待ち時間設定
PHYMODE	Fh	PHY の動作状態を設定
ANEGR	10h	PHY 固有のオートネゴシエーション結果格納情報設定
IPADRH	11h	IP アドレス
IPADRL	12h	
SNMSKH	13h	サブネットマスク
SNMSKL	14h	
DGWH	15h	デフォルト・ゲートウェイ
DGWL	16h	
DADR0H	17h	宛先アドレス 0
DADR0L	18h	
DADR1H	19h	宛先アドレス 1
DADR1L	1Ah	
DADR2H	1Bh	宛先アドレス 2
DADR2L	1Ch	
DADR3H	1Dh	宛先アドレス 3
DADR3L	1Eh	
PORT	1Fh	ポート番号
DPORT	20h	宛先ポート番号
RSPAR	21h	シリアル通信モード設定
TMOUT	22h	タイムアウト設定
SOPAR	23h	SYSTEM OPEN フラグ
COMN0	24h	SNMP エージェントのコミュニティ名
COMN1	25h	
COMN2	26h	
COMN3	27h	

各レジスタは 16 ビットです。以下に各レジスタの詳細を示します (Init.欄の値はリセット後の初期値を表します)。

## 5.2.1 REVID

(Revision ID Register: offset 0h)

S1S60000 の ID と Revision を表示します。Read Only です。

bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
REV[7:0]							

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
ID[7:0]							

bit	名 称	Init.	解 説
15:8	REV	01h	(Revision) チップの Revision を表示します。現在は 01h です。
7:0	ID	C3h	(Device ID) チップの ID を示します。S1S60000 は C3h です。

## 5.2.2 MAC0,MAC1,MAC2

(Media Access Controller Address Register: offset 1h,2h,3h)

MAC アドレスを設定します。各レジスタは 16 ビット幅で、MAC0 下位バイト、MAC0 上位バイト、MAC1 下位バイト、... MAC2 上位バイトに、ネットワークバイト順にアドレスを設定します。初期値は全て 0000h です。

例：MAC アドレス 00-00-48-12-34-56 を設定する場合、各レジスタに以下の値を設定します。

MAC0: 0000h, MAC1: 1248h, MAC2: 5634h

**【注意】** S1S60000 を使用する場合には、ユーザが IEEE の割り当てる OUI (Organizationally UniqueIdentifier)を取得し、正しいMAC アドレスを設定してください。



## 5. ハードウェア制御

### 5.2.3 GENCR

(General Configuration Register: offset 4h)

bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
DISBC	DDSTEN	Reserved	SLPEN	PSEN	SERCONF[2:0]		

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
ESKDIV[1:0]		MDCDIV[1:0]		Reserved			

bit	名 称	Init.	解 説
15	DISBC	0	Disable Broadcast Receive: ブロードキャスト・パケットを受信可否を設定します。この機能は限られた条件でのみ使用するためのものであり、通常は必ず 0 にしてください。 0: ブロードキャスト・パケットを受信する 1: ブロードキャスト・パケットを受信しない
14	DDSTEN	0	Default Destination Messaging Enable: INT0 機能(GPIO0 の別機能)が有効な設定の場合、割り込み通知機能を有効にし、かつその送信先アドレスが有効であることを示します。 0: 割り込み通知機能が無効 1: 割り込み通知機能が有効で、かつ DADR0H,DADR0L の値が有効である
13	Reserved	0	予約されています。必ず 0 をセットしてください。
12	SLPEN	0	Sleep Mode Enable: パワーマネジメントとしてスリープモードの使用可否を設定します。スリープモードについては 6 章を参照してください。 0: スリープモードを使用しない 1: スリープモードを使用する ただし、PMWAIT=0 の場合には、このビットの設定にかかわらずスリープモードには入りません。
11	PSEN	0	Power Save Mode Enable: 動作時のクロックを通常時の 1/4 にし、消費電力を低減します。 0: パワーセーブモードを使用しない 1: パワーセーブモードを使用する
10:8	SERCONF	000	Serial Configuration: シリアルインタフェース端子(GPIO[15:8]の別機能)が有効な場合、どのように使用するかの設定を行ないます。 000: ハードウェア制御モード (注 1) 010: シリアルエミュレーションモード Active Open (クライアント動作) 011: シリアルエミュレーションモード Passive Open (サーバー動作) 上記以外: Reserved 注 1: GPIO10/MODE 端子の状態によらず、常に固定動作です。
7:6	ESKDIV	00	EEPROM Serial Clock Divide: EEPROM インタフェースクロックを、内部バスクロックの何分周にするかを設定します。クロックが遅いほど、アクセスに要する時間が長くなります。接続する EEPROM に適切な値を設定してください。 11:/32 10:/64 01:/128 00:/256
5:4	MDCDIV	00	MIF Clock Divide: MII Management インタフェースクロックを、内部バスクロックの何分周にするかを設定します。クロックが遅いほど、アクセスに要する時間が長くなります。4MHz 以下の値となるよう、適切な値を設定してください。 11:1/4 10:1/8 01:1/16 00:1/32
3:0	Reserved	0000	予約されています。必ず 0 をセットしてください。

## 5.2.4 HIFCR

(Host Interface Configuration Register: offset 5h)

bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
Reserved	HIPOl	Reserved	HENDN	HSIZE	HIFSEL[2:0]		

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
Reserved							

bit	名 称	Init.	解 説
15	Reserved	0	予約されています。必ず 0 をセットしてください。
14	HIPOl	pin	Host Interrupt Polarity: ホストインタフェースで割り込みを使用する場合の極性を設定します。 0:LOW active 1:HIGH active 初期値はハードウェアリセット時の HIPOl ピンの状態に依存します。 HIPOl ピンが HIGH の時 “1”、LOW の時 “0” になります。
13	HMUX	pin	Host Multiplex: ホストインタフェースでマルチプレクスバスを使用するかどうかを設定します。 0:Separate bus 1:Multiplex bus 初期値はハードウェアリセット時の HMUX ピンの状態に依存します。 HMUX ピンが HIGH の時 “0”、LOW の時 “1” になります。(他のピンと逆に設定されます。)
12	HENDN	pin	Host Endian: ホストインタフェースのエンディアンを設定します。 0:Little 1:Big 初期値はハードウェアリセット時の HENDIAN ピンの状態に依存します。 HENDIAN ピンが HIGH の時 “1”、LOW の時 “0” になります。
11	HSIZE	pin	Host Interface Size: ホストインタフェースのバス幅を設定します。 0:16bit 1:8bit 初期値はハードウェアリセット時の HSIZE ピンの状態に依存します。 HSIZE ピンが HIGH の時 “1”、LOW の時 “0” になります。
10:8	HIFSEL	pin	Host Interface Type: ホストインタフェースの種別を切り替えます。詳細は 4.3 章を参照してください。 初期値はハードウェアリセット時の HIFSEL[2:0]ピンの状態に依存します。 各端子が HIGH の時 “1”、LOW の時 “0” になります。
7:0	Reserved	00h	予約されています。必ず 0 をセットしてください。

## 5.2.5 I2CSADR

(I<sup>2</sup>C Slave Address Register: offset 6h)S1S60000 が I<sup>2</sup>C スレーブデバイスとして動作する場合のアドレスを保存します。

bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
Reserved							

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
Reserved	SADR[6:0]						

bit	名 称	Init.	解 説
15:7	Reserved	all 0	予約されています。必ず 0 をセットしてください。
6:0	SADR	30h	I <sup>2</sup> C スレーブデバイスとして動作する場合のスレーブアドレスを設定します。 30h ~ 37h のいずれかを指定してください。  【重要】この値はオランダ Philips 社より正式に割り当てられた値を設定する必要があります。S1S60000 には Philips 社より 30h ~ 37h が割り当てられています。

## 5. ハードウェア制御

### 5.2.6 I2CCONF

(I<sup>2</sup>C Configuration Register: offset 7h)

S1S60000 が I<sup>2</sup>C マスタデバイスとして動作する場合のクロック設定を行ないます。

bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
Reserved					NCCNT[2:0]		

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SCLCNT[7:0]							

bit	名 称	Init.	解 説
15:11	Reserved	00000	予約されています。必ず 0 をセットしてください。
10:8	NCCNT	000	Noise Cancel count value : Master, Slave I <sup>2</sup> C バスのノイズキャンセラの設定を行ないます。大きな値とするほど大きなノイズ除去効果が得られます。通常は 0-2 程度を設定し、ノイズが多い環境で使用する場合には 3 以上を設定してください。
7:0	SCLCNT	00h	SCL delay count value: Master I <sup>2</sup> C マスタデバイスとして動作する場合の I <sup>2</sup> C 転送クロックの設定を行ないます。転送クロックは以下の式で計算できます。  I <sup>2</sup> C 転送クロック[Hz] = 内部バスクロック / (2 × (SCLCNT + NCCNT) + 15)  Fast モードデバイスを接続する場合には 400kHz 以下に、Normal モードデバイスを接続する場合には 100kHz 以下になるように設定してください。  <b>【設定例】</b> OSC3 入力 が 25MHz の場合、内部バスクロック = 50MHz Fast モードの場合 SCLCNT=53 (35h), NCCNT=2 Normal モードの場合 SCLCNT=241 (F1h), NCCNT=2

## 5.2.7 GPALT

(GPIO Alternate Function Register: offset 8h)

GPIO[15:0]端子の別機能を有効にする場合にセットします。

bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
GPALT15	GPALT14	GPALT13	GPALT12	GPALT11	GPALT10	GPALT9	GPALT8

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
GPALT7	GPALT6	GPALT5	GPALT4	GPALT3	GPALT2	GPALT1	GPALT0

bit	名 称	Init.	解 説
15:8	GPALT[15:8]	FFh	GPIO[15:8]のシリアル端子としての機能を有効にします。詳細は 2.3 章を参照してください。 0: GPIO 機能 1: シリアルインタフェース端子 <b>【注意】</b> bit[15:8]は必ず一括して切り替えてください。00h または FFh 以外の値が設定されている状態では、いずれの機能としても正常に動作しません。
7	GPALT7	0	GPIO7 の OSCCTL としての機能を有効にします。 スリープモードに入ったさい、GPIO7 により外部オシレータを停止するかどうかを設定します。このビットが 1 の場合、GPIO7 は出力となり、Normal モード時には HIGH、スリープモード時には LOW を出力します。 0: GPIO7 1: OSCCTL 出力
6	GPALT6	0	GPIO6 の別機能はありません。“0” を設定してください。
5	GPALT5	0	GPIO5 の別機能はありません。“0” を設定してください。
4	GPALT4	0	GPIO4 の別機能はありません。“0” を設定してください。
3	GPALT3	0	GPIO3 の別機能はありません。“0” を設定してください。
2	GPALT2	0	GPIO2 の CRS としての機能を有効にします。 半二重通信を行なう場合に CRS 入力として使用します。 0: GPIO2 1: CRS 入力
1	GPALT1	0	GPIO1 の別機能はありません。“0” を設定してください。
0	GPALT0	0	GPIO0 の INT0 としての機能を有効にします。 LOW レベルを検出し、ネットワークでの通知機能を有効にします。またスリープモードからの復帰を行ないます。 0: GPIO0 1: INT0 (LOW Level) <b>【注意】</b> INT0 として使用する場合には、割り込み時以外には HIGH レベルとなるように周辺回路を設計してください。

## 5. ハードウェア制御

### 5.2.8 GPCFG

(GPIO Configuration Register: offset 9h)

GPIO 端子の入出力方向を設定します。

bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
GPCFG15	GPCFG14	GPCFG13	GPCFG12	GPCFG11	GPCFG10	GPCFG9	GPCFG8

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
GPCFG7	GPCFG6	GPCFG5	GPCFG4	GPCFG3	GPCFG2	GPCFG1	GPCFG0

bit	名 称	Init.	解 説
15:0	GPCFG15 ~ GPCFG0	0000h or C200h	<p>GPIO[15:0]の入出力設定を行ないます。bit[15:0]が GPIO[15:0]に対応し、ビットごとに設定します。</p> <p>0: 入力設定 1: 出力設定</p> <p>初期値は GPIO[15:8]の設定により変化します。</p> <ul style="list-style-type: none"><li>● シリアル端子設定の時（ハードウェア制御モード、またはシリアルエミュレーションモード状態）、初期値は C200h</li><li>● それ以外の場合の初期値は 0000h</li></ul> <p>また、GPALT の設定により、このレジスタの値も変化します。</p> <ul style="list-style-type: none"><li>● GPALT[0]=1 となると、GPCFG[0]=0 (INT0 input)</li><li>● GPALT[2]=1 となると、GPCFG[2]=0 (CRS input)</li><li>● GPALT[7]=1 となると、GPCFG[7]=1 (OSCCTL output)</li><li>● GPALT[15:8]=FFh となると、GPCFG[15:8]=C2h (DTR#,RTS#,TXD output)</li></ul>

### 5.2.9 GPDAT

(GPIO Output Data Register: offset Ah)

GPIO 端子の出力設定値を設定します。

bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
GPDAT15	GPDAT14	GPDAT13	GPDAT12	GPDAT11	GPDAT10	GPDAT9	GPDAT8

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
GPDAT7	GPDAT6	GPDAT5	GPDAT4	GPDAT3	GPDAT2	GPDAT1	GPDAT0

bit	名 称	Init.	解 説
15:0	GPDAT15 ~ GPDAT0	0000h or 0200h or 8200h	<p>GPIO[15:0]が出力設定の場合に端子に出力される値を設定します。bit[15:0]が GPIO[15:0]に対応し、ビットごとに設定します。該当する端子が出力設定以外の場合、出力値レジスタに値が保存されますが、端子には出力されません。</p> <p>0: LOW 出力 1: HIGH 出力</p> <p>初期値は GPIO[15:8]の設定により変化します。</p> <ul style="list-style-type: none"><li>● シリアル設定でハードウェア制御モードの時、初期値は 8200h</li><li>● シリアル設定でシリアルエミュレーションモードの時、初期値は 0200h</li><li>● それ以外の場合の初期値は 0000h</li></ul> <p>また、GPALT の設定により、このレジスタの値も変化します。</p> <ul style="list-style-type: none"><li>● GPALT[7]=1 となると、GPDAT[7]=1 (OSCCTL=HIGH)</li><li>● GPALT[15:8]=FFh となると、GPDAT[9]=1 (TXD= HIGH)</li></ul>

## 5.2.10 GPMSK

(GPIO Access Mask Register: offset Bh)

GPIO 端子のネットワークからの出力値変更を禁止します。

bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
GPMSK15	GPMSK14	GPMSK13	GPMSK12	GPMSK11	GPMSK10	GPMSK9	GPMSK8

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
GPMSK7	GPMSK6	GPMSK5	GPMSK4	GPMSK3	GPMSK2	GPMSK1	GPMSK0

bit	名 称	Init.	解 説
15:0	GPMSK15 ~ GPMSK0	0000h	GPIO に対しては、ネットワークからの出力値変更は行なわないように設定します。bit[15:0]が GPIO[15:0]に対応し、ビットごとに設定します。出力設定になっていない場合は無効ですが、設定値は保持されます。 0: ネットワークからの変更可 1: ネットワークからの変更不可

## 5.2.11 EPMSK

(EEPROM Access Mask Register: offset Ch)

EEPROM に対してネットワークからの書き換え禁止領域を設定します。

bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
EPUSE[3:0]				PINGDIS	TFTPDIS	HTTPDIS	SNMPDIS

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
EPMSK[7:0]							

bit	名 称	Init.	解 説
15:12	EPUSE	0000	EEPROM Usage: EEPROM ユーザ領域 (28h-7Fh) の利用方法を示す ID です。 0000           標準 (ユーザが自由に使用) 0001 - 0111   予約 1000           MIB system グループ 1001 - 1111   予約
11	PINGDIS	0	Ping Replay Disable: ping (ICMP Echo Reply) 機能を制御します。 0 - ping への応答を行ないます。 1 - ping への応答を禁止します。
10	TFTPDIS	0	TFTP Service Disable: TFTP 機能(ファームウェアアップデート機能で使用)を制御します。 0 - TFTP 機能を有効にします。 1 - TFTP 機能を無効にします。
9	HTTPDIS	0	HTTP Server Disable: HTTP サーバー機能(ハードウェア制御機能で使用)を制御します。 0 - HTTP サーバー機能を有効にします。 1 - HTTP サーバー機能を無効にします。
8	SNMPDIS	0	SNMP Server Disable: SNMP サーバー機能を制御します。 0 - SNMP サーバー機能を有効にします。 1 - SNMP サーバー機能を無効にします。
7:0	EPMSK[7:0]	00h	EEPROM Access Mask: ネットワークから、設定された値以下の Index に対する EEPROM の書き換えは行なえないように設定します。

## 5. ハードウェア制御

[EPUSE = 1000: MIB system グループ]

EPUSE を 1000 (MIB system グループ) に設定した場合、EEPROM ユーザ領域は以下のように解釈されます。

オフセット	領域の大きさ (バイト)	用途
28h - 3Bh	40	MIB-II の system グループの sysDescr となる文字列。
3Ch - 3Fh	8	MIB-II の system グループの sysObjectID となる OID。

sysDescr は文字列で格納してください。たとえば "test" と格納したい場合には、次の値をオフセット 28h から格納します。

バイト列: 0x74, 0x65, 0x73, 0x74

EEPROM: 0x6574, 0x7473

バイト列に 0 があった場合、または 40 バイトに達した場合は、sysDescr がそこで終わりだとみなされます。

sysObjectID は enterprise の下から格納してください。そのさい、あらかじめ BER で OID タイプにエンコードしておいてください。たとえば sysObjectID が 1.3.6.1.4.1.1248.5.1.1.1 の場合には、次の値をオフセット 3Ch から格納します。

バイト列: 0x89, 0x60, 0x05, 0x01, 0x01, 0x01

EEPROM: 0x6089, 0x0105, 0x0101

バイト列に 0 があった場合、または 8 バイトに達した場合は、sysObjectID がそこで終わりだとみなされます。オフセット 3Fh の最上位ビットに 1 が立っていると異常なデータになりますので注意が必要です。

### 5.2.12 I2CMSK

(I<sup>2</sup>C Slave Access Mask Register: offset Dh)

外部 I<sup>2</sup>C スレーブデバイスに対し、ネットワークからの書き換えを禁止します。

bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
Reserved							

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
Reserved		I2CMSK[5:0]					

bit	名 称	Init.	解 説
15:7	Reserved	all 0	予約されています。必ず 0 をセットしてください。
6:0	I2CMSK[6:0]	0000000	設定された値以下の Index に対する I <sup>2</sup> C の書き換えは、ネットワークからは行なえないように設定します。 【注意】Index 指定を 2 バイト以上で行なうデバイスの場合でも、このマスクは最初の Index 指定データ (スレーブデバイスのアドレス指定の後のデータ) に対してのみ有効となります。マスク対象となるデータはスレーブデバイスのアドレス指定の 2 つ後のデータのみを対象とします。

## 5.2.13 PMWAIT

(Power Management Wait Time Register: offset Eh)

パワーマネジメントモードが有効な場合、各モードに入るまでの待ち時間を設定します。

bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
Reserved							

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
Reserved				SLPWAIT[3:0]			

bit	名 称	Init.	解 説
15:4	Reserved	000h	予約されています。常に0を設定してください。
3:0	SLPWAIT	0h	Sleep Wait Time ノーマルモードまたはパワーダウンモードからスリープモードに入るまでの待ち時間を設定します。設定値がnの場合、待ち時間は約 $2^n$ (ms)となります。0を設定した場合は、GENCR レジスタの SLPEN の設定にかかわらず、スリープモードに移行しません。 1～15を設定することにより、2ms～32768ms までの待ち時間が設定可能です。

## 5.2.14 PHYMODE

(Physical Layer Operation Mode: offset Fh)

PHY チップの動作状態を設定します。

bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
ANEGD	Reserved				AMODE[2:0]		

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
Reserved						MLINK[1:0]	

bit	名 称	Init.	解 説
15	ANEGD	0	Auto Negotiation Disable: リンクを確立するさいにオートネゴシエーションを使用するか否かを指定します。使用する PHY にオートネゴシエーション機能がない場合や、リンク相手がオートネゴシエーション機能に対応していない場合に1を設定し、リンク条件をMLINKビットで設定します。 0: PHY のオートネゴシエーション機能を使用します。 1: PHY のオートネゴシエーション機能を使用しません。
14:11	Reserved	0000	予約されています。必ず0をセットしてください。
10:8	AMODE	100	Auto Negotiation Link Mode: オートネゴシエーションで可能なリンク形態を指定します。 000: 10Base/Half duplex 001: 10Base/Full duplex 010: 10Base/Full or Half duplex 011: 100Base/Half duplex 100: 100Base/Half duplex or 10Base/Full or Half duplex 101: 100Base/Full duplex or 10Base/Full duplex (将来の拡張用で指定不可) 110: 100Base/Full or Half duplex (将来の拡張用で指定不可) 111: Reserved
7:2	Reserved		予約されています。必ず0をセットしてください。
1:0	MLINK	00	Manual Link: ANEGD=1 の場合、リンク条件をマニュアル指定します。 00: 10Base/Half Duplex 01: 10Base/Full Duplex 10: 100Base/Half Duplex 11: 100Base/Full Duplex (将来の拡張用で指定不可)



## 5. ハードウェア制御

### 5.2.15 ANEGR

(Auto Negotiation Result Information Register: offset 10h)

PHY チップのオートネゴシエーション結果情報の格納方式を設定します。この情報を使用し、S1S60000 は内部処理をそれぞれの動作状態に応じて切り換えます。使用する PHY のデータシートを参照し、適切な値を設定してください。

【仕様変更】Version 1, Revision 22 以降のファームウェアでは、PHY のリンク情報を取得する方法を変更しました。それに伴い本レジスタへの設定は不要になりました。

製品型番 S1S60000F00A500 (IC 上のマーキングでは S1S60000F00A5) 以降では該当のファームウェアを搭載しています。

該当品をご使用の場合には、本レジスタの全ビットは RESERVED となり、設定値は無視されます。

bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
LSOFF[3:0]				Reserved		DINV	SINV

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
DUPLEX[3:0]				SPEED[3:0]			

bit	名 称	Init.	解 説
15:12	LSOFF	0001	Link Status Offset: PHY チップ固有の、オートネゴシエーションによるリンク結果を格納する MII マネジメントインタフェースのレジスタ位置を、インデックス 16 からのオフセットで指定します。ただし 111 の場合はインデックス 0 を示します。 0000: リンク結果の格納レジスタが Index 16 レジスタ 0001: リンク結果の格納レジスタが Index 17 レジスタ ... 1110: リンク結果の格納レジスタが Index 30 レジスタ 1111: リンク結果の格納レジスタが Index 0 レジスタ
11:10	Reserved	00	予約されています。必ず 0 をセットしてください。
9	DINV	0	Duplex Invert: DUPLEX で指定されるビットの意味を指定します。 0: Bit[DUPLEX]=1 なら Full Duplex, Bit[DUPLEX]=0 なら Half Duplex 1: Bit[DUPLEX]=1 なら Half Duplex, Bit[DUPLEX]=0 なら Full Duplex
8	SINV	0	Speed Invert: SPEED で指定されるビットの意味を変更します。 0: Bit[SPEED]=1 なら 100Base, Bit[SPEED]=0 なら 10Base 1: Bit[SPEED]=1 なら 10Base, Bit[SPEED]=0 なら 100Base
7:4	DUPLEX	1110	Duplex bit: LSOFF で示されるオートネゴシエーション結果を格納するレジスタ内で、Duplex モードを示すビット位置を指定します。 1111: bit15, 1110: bit14, ... 0001: bit1, 0000: bit0
3:0	SPEED	1111	Speed bit: LSOFF で示されるオートネゴシエーション結果を格納するレジスタ内で、リンクスピードを示すビット位置を指定します。 1111: bit15, 1110: bit14, ... 0001: bit1, 0000: bit0

設定例：

ICS 社 ICS1893-Y では、オートネゴシエーション結果はインデックス 17 のレジスタに格納され、bit15 にリンクスピード、bit14 に Duplex モードが割り当てられています。したがって設定は以下のとおりとなります。

LSOFF=0001, DINV=0, SINV=0, DUPLEX=1110, SPEED=1111 となります。

### 5.2.16 IPADRH,IPADRL

(Default IP Address: offset 11h,12h)

自身の IP アドレスを保持します。初期値、各レジスタ設定値は表 5.11 のとおりです。

表 5.11 アドレス、サブネットマスク設定

対象	初期値	16 進表記	レジスタ設定	オフセット
IP アドレス	192.168.0.254	C0.A8.00.FE	IPADRH=A8C0h, IPADRL=FE00h	11h,12h
サブネットマスク	255.255.255.0	FF.FF.FF.00	SNMSKH=FFFFh, SNMSKL=00FFh	13h,14h
デフォルト・ゲートウェイ	192.168.0.1	C0.A8.00.01	DGWH=A8C0h, DGWL=0100h	15h,16h
宛先アドレス 0	192.168.0.2	C0.A8.00.02	DADR0H=A8C0h, DADR0L=0200h	17h,18h
宛先アドレス 1	192.168.0.3	C0.A8.00.03	DADR1H=A8C0h, DADR1L=0300h	19h,1Ah
宛先アドレス 2	192.168.0.4	C0.A8.00.04	DADR2H=A8C0h, DADR2L=0400h	1Bh,1Ch
宛先アドレス 3	192.168.0.5	C0.A8.00.05	DADR3H=A8C0h, DADR3L=0500h	1Dh,1Eh

### 5.2.17 SNMSKH,SNMSKL

(Subnet Mask: offset 13h,14h)

サブネットマスクを保持します。初期値、各レジスタ設定値は表 5.11 のとおりです。

### 5.2.18 DGWH,DGWL

(Default Gateway: offset 15h,16h)

デフォルトゲートウェイのアドレスを保持します。初期値、各レジスタ設定値は表 5.11 のとおりです。

### 5.2.19 DADRnH,DADRnL

(Destination Address: offset 17h to 1Eh)

宛先アドレスを保持します。DADR0H, DADR0L, DADR1H, DADR1L, DADR2H, DADR2L, DADR3H, DADR3L で 4 つの宛先アドレスを保持します。また、DADR0H, DADR0L は以下の場合の IP アドレスとしても使用されます。

- シリアルエミュレーションモードでクライアント (Active Open) 動作する場合の接続先 IP アドレス
- GPIO0 の割り込み通知機能を使用する場合の、送信先 IP アドレス

初期値、各レジスタ設定値は表 5.11 のとおりです。

### 5.2.20 PORT

(Default Port: offset 1Fh)

以下の場合のポート番号として使用します。

- シリアルエミュレーションモードでサーバー (Passive Open) 動作する場合の、リスンするポート番号
- シリアルエミュレーションモードでクライアント (Active Open) 動作する場合の、送信パケットの送信元ポート番号
- GPIO0 の割り込み通知機能を使用する場合の、送信パケットの送信元ポート番号

初期値は C000h(49152)です。

### 5.2.21 DPORT

(Destination Port: offset 20h)

以下の場合のポート番号として使用します。

- シリアルエミュレーションモードでクライアント (Active Open) 動作する場合の、接続相手先のポート番号
- GPIO0 の割り込み通知機能を使用する場合の、接続相手先のポート番号

初期値は C001h(49153)です。

## 5. ハードウェア制御

### 5.2.22 SERMODE

(Serial Mode: offset 21h)

シリアルエミュレーションモードで動作する場合の動作モードを設定します。GENCR レジスタの SERCONF 設定により意味が変わります。

GENCR.SERCONF=010、または 011 (シリアルエミュレーションモード)設定の場合のビット割り当ては以下のとおりです。

bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
Reserved							BAUD[2]

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
BAUD[1:0]		LEN	STOP	PARITY		FLOW	

bit	名 称	Init.	解 説
15:9	Reserved	all 0	予約されています。必ず 0 をセットしてください。
8:6	BAUD	011	Baud rate: シリアルインタフェースのボーレートを設定します。 000: 1200 001: 2400 010: 4800 011: 9600 100: 19200 101: 38400 110: 57600 111: 115200
5	LEN	1	Data Length: データ長 0: 7bit 1: 8bit
4	STOP	0	Stop bit: ストップビット長 0: 1bit 1: 2bit
3:2	PARITY	00	Parity: パリティチェック設定 00: None 01: Reserved 10: 偶数パリティ 11: 奇数パリティ
1:0	FLOW	01	Flow Control: フロー制御設定 00: None 01: RTS/CTS 10 or 11: Reserved.

### 5.2.23 TMOUT

(Timeout: offset 22h)

TCP 接続のためのタイムアウト値を秒単位で設定します。初期値は 64 (40h) です。0 を指定した場合には、初期値の 64 秒が設定されます。Open コマンドで TCP を指定する場合のオプションパラメータの 12、13 バイトで指定する内容と同じで、以下の目的で使用されます。

- 送信する IP データグラムの TTL。
- TCP の active open をあきらめるまでの時間。
- TCP の送信データに対する ACK の受信を待つ時間。
- 受信した SNMP 要求に対して、ホスト CPU からの応答を待つ時間。

## 5.2.24 SOPAR

(System Open Parameter: offset 23h)

SYSTEM 通信端点のフラグ設定情報を格納します。ホストインタフェースから SYSTEM 通信端点をオープンするさい、フラグデータ (オプションデータの第 2 バイト) の bit0=1 の場合に、この設定が有効となります。bit0=0 の場合にはこの設定は無効となります。また、シリアルエミュレーションモードが有効の場合にも、オープン時のパラメータとしてこの設定が使用されます。

bit15	bit14	bit13	bit12	bit11	bit10	bit9	bit8
RPHOLD	Reserved						

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
DLEN	IPEN	SNMEN	DGWEN	Reserved			

bit	名 称	Init.	解 説
15	RPHOLD	0	Receive Packet Hold: TCP において、逆順で受信したパケット保持時間を延長する場合に使用します。この機能は Version 1, Revision 22 以降のファームウェアで有効です。 0: 従来互換 (延長なし) 1: TCP/IP 通信 Linux2.4 対応 逆順パケット保持時間を 1 秒間延長します。
14:8	Reserved	all 0	予約されています。必ず 0 をセットしてください。
7	DLEN	0	DATALINK Enable: 直接 DATALINK 層を使うかどうかを設定します。この設定を有効にした場合、S1S60000 内蔵プロトコル処理は使用されず、ネットワーク上で送受信されるデータをそのままホストインタフェースの送受信データとして扱います。ただし、FCS データの生成/チェック機能は有効です。 0: 内蔵プロトコル処理を使用 1: 直接 DATALINK 層と入出力する
6	IPEN	1	IP Address Enable: ホストインタフェースからの IP アドレス指定の有効/無効を指定します。0: IP アドレス指定を無効とし、DHCP による取得を試みます。 0: IP アドレス指定を無効とし、DHCP による取得を試みます。 1: IP アドレス指定を有効とします。 内蔵レジスタ IPADRH,IPADRL による指定を有効とするには、ホストインタフェースから指定する IP アドレスに 0.0.0.0 を指定してください。
5	SNMEN	1	Subnet Mask Enable: ホストインタフェースからのサブネットマスク指定の有効/無効を指定します。 0: サブネットマスク指定を無効とし、IP アドレスに従いデフォルトの値を設定します。 1: サブネットマスク指定を有効とします。 内蔵レジスタ SNMSKH,SNMSKL による指定を有効とするには、ホストインタフェースから指定するサブネットマスクに 0.0.0.0 を指定してください。
4	DGWEN	1	Default Gateway Enable: ホストインタフェースからのデフォルトゲートウェイ指定の有効/無効を指定します。 0: デフォルトゲートウェイ指定を無効とします。 1: デフォルトゲートウェイ指定を有効とします。 内蔵レジスタ DGWH,DGWL による指定を有効とするには、ホストインタフェースから指定するデフォルトゲートウェイに 0.0.0.0 を指定してください。
3:0	Reserved	all 0	予約されています。必ず 0 をセットしてください。

## 5. ハードウェア制御

---

### 5.2.25 COMN0,COMN1,COMN2,COMN3

(Community Name: offset 24h to 27h)

SNMP エージェントに設定できるコミュニティ名を保持します。初期値、各レジスタ設定値は表 5.12 のとおりです。なお、内蔵レジスタの値にかかわらず、SNMP エージェントのデフォルトのコミュニティ名は“public”です。

表 5.12 SNMP コミュニティ名設定

対象	初期値	16 進表記	レジスタ設定	オフセット
コミュニティ名	“public”	70.75.62.6C.69.63.00.00	COMN0=7570h	24h
			COMN1=6C62h	25h
			COMN2=6369h	26h
			COMN3=0000h	27h

### 5.3 GPIO

S1S60000 では GPIO(General Purpose Input/Output)として GPIO[7:0]と GPIO[15:8]の 16 本の GPIO 端子を持ち、それぞれを独立して操作が可能です。またいくつかの端子は GPIO 以外の特別な機能が割り当てられています。切り替えは GPALT レジスタの設定により行なわれます。

リセット後、GPIO として使用可能な端子は全て入力設定、出力設定値は 0 に初期化されます。入力設定端子に対して出力操作を行なった場合にはデータ指定は出力設定値として設定されるのみで、実際の出力は行なわれません。その後出力端子設定にすると、出力設定値に設定した値が出力されます。リセット後から GPIO 出力を HIGH 状態に保持したい場合には、外部でプルアップ抵抗によりリセット中の端子レベルを HIGH レベルに保持し、出力設定値を 1 にした後出力設定を行なうようにしてください。

表 5.13 GPIO 端子機能

端子名	特性(*1)	特別な機能	Priority
GPIO0/INT0	5Vトレラント入力	割り込み通知/スリープモードからの復帰	1
GPIO1	5Vトレラント入力		1
GPIO2/CRS	5Vトレラント入力	CRS 入力	1
GPIO3	5Vトレラント入力		2
GPIO4	5Vトレラント入力		3
GPIO5	5Vトレラント入力		3
GPIO6	5Vトレラント入力		3
GPIO7/OSCCTL	5Vトレラント入力	外部 OSC 制御	3
GPIO8/RXD	3.3Vシュミット入力	シリアルインタフェース	2
GPIO9/TXD	3.3Vシュミット入力	シリアルインタフェース	2
GPIO10/MODE	3.3Vシュミット入力	シリアルインタフェース	2
GPIO11/RSV1	3.3Vシュミット入力	シリアルインタフェース	2
GPIO12/CTS#	3.3Vシュミット入力	シリアルインタフェース	1
GPIO13/DSR#	3.3Vシュミット入力	シリアルインタフェース	1
GPIO14/RTS#	3.3Vシュミット入力	シリアルインタフェース	1
GPIO15/DTR#	3.3Vシュミット入力	シリアルインタフェース	1

\*1:すべての端子はCMOS入出力です。

Priority は同時に操作を行なう場合の操作順を示します。同じ Priority の端子は同時に変化しますが、異なる Priority の端子間では入出力に若干の時間差（ソフトウェア処理によるポート操作時間）が生じます。同時に変化させる必要がある場合には外部にラッチを設け、そのラッチを GPIO で操作するなどの対応が必要です。

GPIO0 は、INT0 機能が有効な場合、LOW レベル入力割り込み端子として使用することが可能です。この割り込みにより、S1S60000 はスリープモードから復帰します。また GENCR レジスタの DDSTEN ビットが 1 の時、あらかじめ設定したネットワーク接続先に対して、通知パケットを送る事が可能です。詳細は「5.3.1 割り込み通知機能」を参照してください。

GPIO2 は半二重通信を行なう場合に CRS 入力として使用します。

GPIO7 は、OSCCTL 機能が有効な時、外部オシレータの制御端子として機能します。この設定の場合、通常動作中には HIGH を出力しますが、スリープモードに入って動作クロックが OSC1 へ切り替えられると LOW に変化します。これにより、外部オシレータを停止状態にし、全体の消費電力を削減することが可能です。INT0 トリガによりスリープモードを抜けるさいには、まず GPIO7 を HIGH にしてあらかじめ決められた発振安定化時間（約 10ms）を待った後、OSC3 への切り替えが行なわれ、通常動作に復帰します。

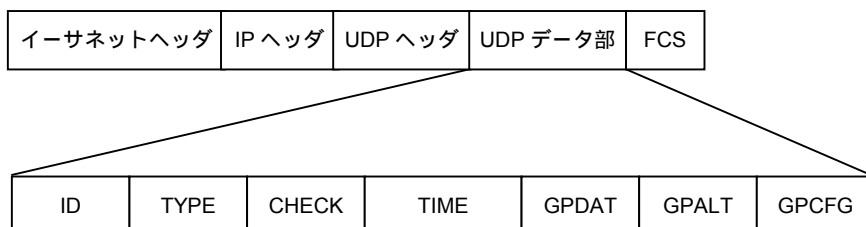
GPIO[15:8]は GENCR レジスタ SERCONF 設定により調歩同期シリアル端子として使用することが可能です。詳細は「2.3 シリアルインタフェース」を参照してください。

## 5. ハードウェア制御

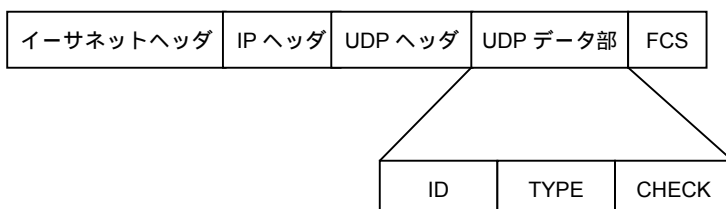
### 5.3.1 割り込み通知機能

割り込み通知機能が有効な場合、INT0 割り込みが入ると、DADR0H,DADR0L レジスタで指定される IP アドレスの、DPORT ポート宛に GPIO 状態を通知するパケットが送られます。通知先側では、CHECK により正しいパケットを受信した事を確認後、指定した形式の ACK パケットを返送してください。動作の詳細については、テクニカルインフォメーション No.11 を参照してください。  
パケットの構成は以下のとおりです。

#### (1) S1S60000 から送信するパケット（割り込み通知パケット）の構成



#### (2) ACK パケットの構成



#### (3) パケット内容

イーサネットヘッダ (14 バイト): 標準のイーサネットヘッダ

IP ヘッダ (20 バイト): 標準の IP ヘッダ

UDP ヘッダ (8 バイト): 標準の UDP ヘッダ。送信元ポート番号、送信先ポート番号、UDP 長、チェックサムから構成されます。

ID (4 バイト): 割り込み発生回数

TYPE (2 バイト): 割り込み通知パケット = 0x0000、ACK パケット = 0x0001

CHECK (2 バイト): UDP データ部のチェックサム

以下の手順で 16 ビット単位の計算を行ないます。

CHECK (2 バイト) フィールドを 0 にします。

UDP データ部を 16 ビットごとに分割し 1 の補数和を計算します。

計算結果の 1 の補数がチェックサムになり、CHECK に代入します。

TIME (4 バイト): S1S60000 起動時から割り込み発生までの経過時間(単位: ms)

GPDAT (2 バイト): GPDAT レジスタ値 (GPIO の入出力値)

GPALT (2 バイト): GPALT レジスタ値

GPCFG (2 バイト): GPCFG レジスタ値 (GPIO の I/O 設定)

## 5.4 I<sup>2</sup>C

I<sup>2</sup>C は Philips 社の開発した Inter IC Bus です。S1S60000 には I<sup>2</sup>C マスタ/スレーブ機能を内蔵しており、以下の特長を持っています。

- マスタ/スレーブ送受信
- バスアービトレーション機能
- クロック同期機能
- 再スタート生成機能
- バスエラー検出機能
- プログラマブルノイズキャンセル機能
- 10 ビット/7 ビット マスタ/スレーブアドレス指定
- 標準モード (Max. 100Kbps) / 高速モード (Max. 400Kbps) に対応
- マルチマスタ対応

図 5.1 に I<sup>2</sup>C バス転送の基本フォーマットを示します。

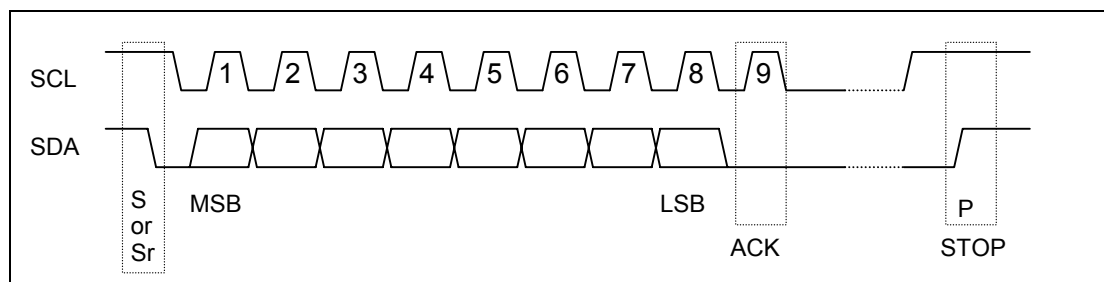


図 5.1 I<sup>2</sup>C 基本フォーマット

### 【注意事項】

S1S60000 から ACK を返す場合、応答時間は変動します (S1S60000 内部でソフト処理を行ってから応答を返すため)。その間、S1S60000 が SCL を LOW レベルに保持することにより、ACK までの期間を延長します。この時間は内部処理状態により変わりますので、注意してください。

### 5.4.1 マスタ機能

S1S60000 のマスタ機能はマルチマスタ対応です。I<sup>2</sup>C バス上に他のマスタデバイスがある場合でも、クロック同期を行ない、他のマスタが SCL 信号を LOW レベルに保持している期間は SDA のラッチを行ないません。そのため、SCL の HIGH または LOW の最少保持期間は I2CCONF レジスタにより設定でき、I<sup>2</sup>C バスのクロック周期もそれに応じて変化します。

#### • マスタデバイスとしての通信手順

以下にマスタを S1S60000、スレーブを外部デバイスと想定して通信手順を記します。

#### 【手順 1】

アドレス指定の書き込み手順

アドレスのオートインクリメント機能がある外部デバイスの場合、最初にアドレス指定した後、データだけを送り続ければ、受け取りアドレスは 1 バイトごとに加算されます。

- (1) S1S60000 が開始条件を送信
- (2) S1S60000 が外部デバイスのスレーブアドレス、および R/W ビットを書き込みモードで送出
- (3) 外部デバイスからのアクノリッジ確認
- (4) S1S60000 が外部デバイスへ書き込むアドレスを送出
- (5) 外部デバイスからのアクノリッジ確認
- (6) S1S60000 が(4)で指定したアドレスへ書き込むデータを送出
- (7) 外部デバイスからのアクノリッジ確認
- (8) 必要に応じ(6)(7)の繰り返し。アドレスは外部デバイス内部でオートインクリメント。
- (9) S1S60000 が停止条件を送出



## 5. ハードウェア制御

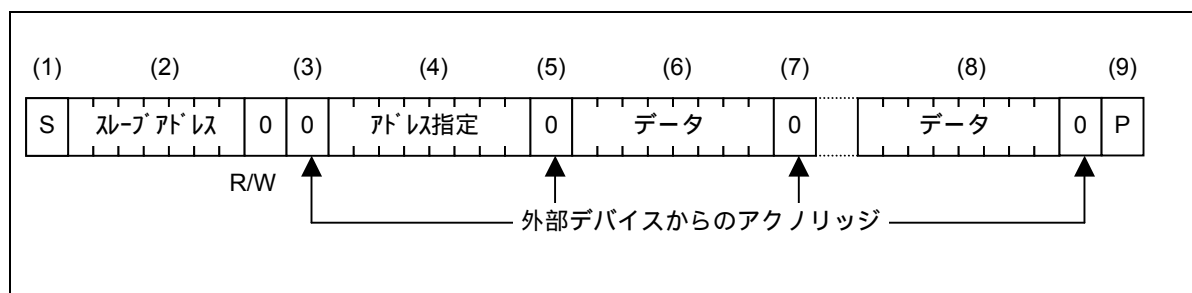


図 5.2 I<sup>2</sup>C マスタとしてアドレス指定書き込み

### 【手順 2】

アドレス指定の読み出し手順

書き込みモードによってリードするアドレスをライトした後、読み出しモードを設定して実際のデータをリードします。

- (1) S1S60000 が開始条件を送信
- (2) S1S60000 が外部デバイスのスレーブアドレス、および R/W ビットを書き込みモードで送出
- (3) 外部デバイスからのアクノリッジ確認
- (4) S1S60000 が外部デバイスへ書き込むアドレスを送出
- (5) 外部デバイスからのアクノリッジ確認
- (6) S1S60000 が開始条件を送信 (停止条件は送信しない):再スタート
- (7) S1S60000 が外部デバイスのスレーブアドレス、および R/W ビットを読み出しモードで送出
- (8) 外部デバイスからのアクノリッジ確認 (ここから S1S60000 がレシーバ、外部デバイスがトランスミッタとなる)
- (9) 外部デバイスから(4)で指定したアドレスのデータが出る
- (10) S1S60000 が外部デバイスへアクノリッジ送出
- (11) 必要に応じ、(9) (10)の繰り返し。読み出しアドレスは外部デバイス内部でオートインクリメント。
- (12) S1S60000 が "1" のアクノリッジを出す
- (13) S1S60000 が停止条件を送出

上記のうち、(6)の再スタートは送信データを書き込むさいの上位ビット指定により自動的に生成が行なわれます。また(12)のアクノリッジは設定された受信データ数を受信し終わったさいに自動的に出力されます。

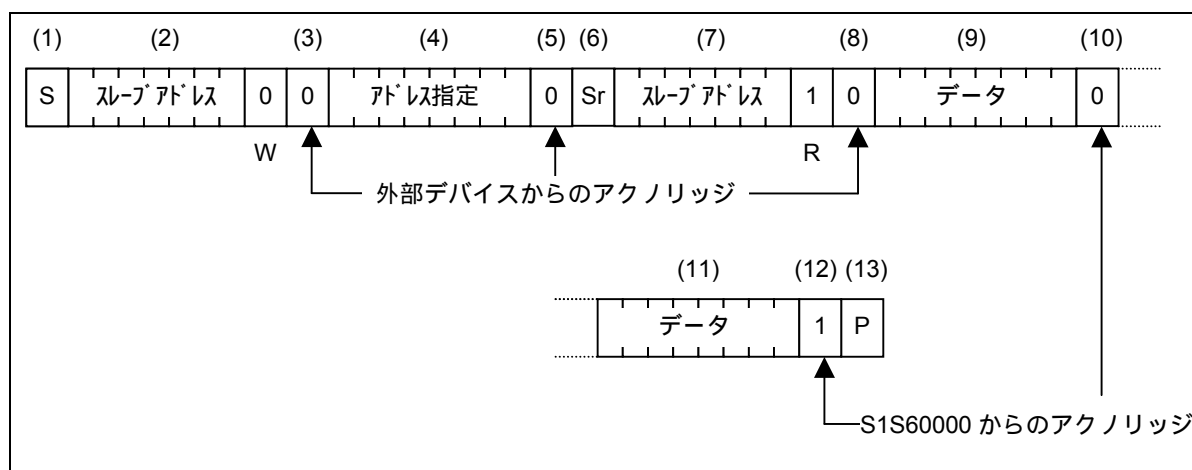


図 5.3 I<sup>2</sup>C マスタとしてアドレス指定の読み出し

## 5.4.2 スレーブ機能

S1S60000 のスレーブアドレスは以下のとおりです。スレーブアドレスは S1S60000 内部レジスタ I2CSADR に設定されます。bit[2:0]は接続する他のデバイスと競合しないアドレスを設定します。

(注) S1S60000 ではスレーブアドレスをソフトウェア設定できるため、表 5.14 に示した以外のアドレスが設定可能ですが、このアドレス以外の値を設定することは行なわないでください。EEPROM から設定する場合には bit[2:0]以外の値は規定値が使用されます。

表 5.14 スレーブアドレス

bit6	bit5	bit4	bit3	bit2	bit1	bit0
0	1	1	0	X	X	X

表 5.15 に、スレーブデバイスとしてアクセス可能な内蔵レジスタを示します。内蔵レジスタの詳細については 5.2 章を参照してください。

表 5.15 I<sup>2</sup>C スレーブ レジスタマップ

アドレス	内 容	アドレス	内 容
0h	Device ID (C3h)	22h	SNMSKH レジスタ LOW
1h	Revision (00h)	23h	SNMSKH レジスタ HIGH
2h	MAC0 レジスタ LOW	24h	SNMSKL レジスタ LOW
3h	MAC0 レジスタ HIGH	25h	SNMSKL レジスタ HIGH
4h	MAC1 レジスタ LOW	26h	DGWH レジスタ LOW
5h	MAC1 レジスタ HIGH	27h	DGWH レジスタ HIGH
6h	MAC2 レジスタ LOW	28h	DGWL レジスタ LOW
7h	MAC2 レジスタ HIGH	29h	DGWL レジスタ HIGH
8h	GENCR レジスタ LOW	2Ah	DADR0H レジスタ LOW
9h	GENCR レジスタ HIGH	2Bh	DADR0H レジスタ HIGH
Ah	HIFCR レジスタ LOW	2Ch	DADR0L レジスタ LOW
Bh	HIFCR レジスタ HIGH	2Dh	DADR0L レジスタ HIGH
Ch	GPALT レジスタ LOW	2Eh	DADR1H レジスタ LOW
Dh	GPALT レジスタ HIGH	2Fh	DADR1H レジスタ HIGH
Eh	GPCFG レジスタ LOW	30h	DADR1L レジスタ LOW
Fh	GPCFG レジスタ HIGH	31h	DADR1L レジスタ HIGH
10h	GPDAT レジスタ LOW	32h	DADR2H レジスタ LOW
11h	GPDAT レジスタ HIGH	33h	DADR2H レジスタ HIGH
12h	GPMSK レジスタ LOW	34h	DADR2L レジスタ LOW
13h	GPMSK レジスタ HIGH	35h	DADR2L レジスタ HIGH
14h	EPMSK レジスタ LOW	36h	DADR3H レジスタ LOW
15h	EPMSK レジスタ HIGH	37h	DADR3H レジスタ HIGH
16h	I2CMSK レジスタ LOW	38h	DADR3L レジスタ LOW
17h	I2CMSK レジスタ HIGH	39h	DADR3L レジスタ HIGH
18h	PMWAIT レジスタ LOW	3Ah	PORT レジスタ LOW
19h	PMWAIT レジスタ HIGH	3Bh	PORT レジスタ HIGH
1Ah	PHYMODE レジスタ LOW	3Ch	DPORT レジスタ LOW
1Bh	PHYMODE レジスタ HIGH	3Dh	DPORT レジスタ HIGH
1Ch	ANEGR レジスタ HIGH	3Eh	SERMODE レジスタ LOW
1Dh	ANEGR レジスタ LOW	3Fh	SERMODE レジスタ HIGH
1Eh	IPADRH レジスタ LOW	40h	TMOUT レジスタ LOW
1Fh	IPADRH レジスタ HIGH	41h	TMOUT レジスタ HIGH
20h	IPADRL レジスタ LOW	42h	SOPAR レジスタ LOW
21h	IPADRL レジスタ HIGH	43h	SOPAR レジスタ HIGH

## 5. ハードウェア制御

### • スレーブデバイスとしての通信手順

以下にマスタを外部デバイス、スレーブを S1S60000 と想定して通信手順を示します。

#### 【手順 1】

アドレス指定の書き込み手順

S1S60000 はアドレスのオートインクリメント機能がありますので、最初にアドレス指定した後、データだけを送り続ければ、S1S60000 の受け取りアドレスは 1 バイトごとに加算されます。

- (1) マスタが開始条件を送信
- (2) マスタが S1S60000 のスレーブアドレス、および R/W ビットを書き込みモードで送出
- (3) S1S60000 からのアクノリッジ確認
- (4) マスタが S1S60000 へ書き込むアドレスを送出
- (5) S1S60000 からのアクノリッジ確認
- (6) マスタが(4)で指定したアドレスへ書き込むデータを送出
- (7) S1S60000 からのアクノリッジ確認
- (8) 必要に応じ(6) (7)の繰り返し。アドレスは S1S60000 内部でオートインクリメント。
- (9) マスタが停止条件を送出

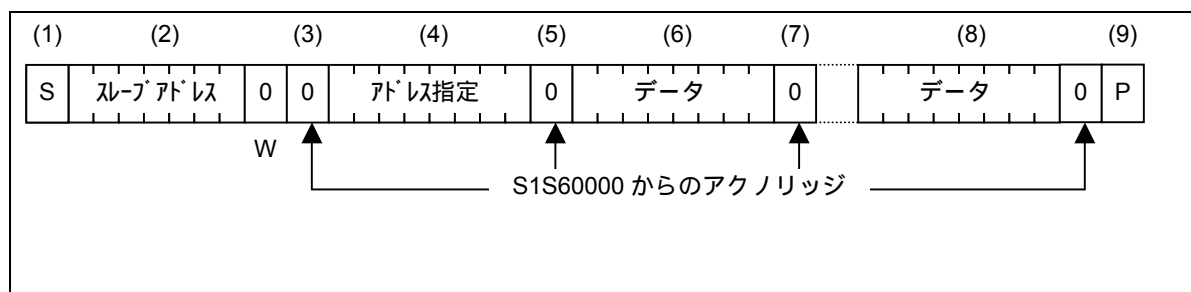


図 5.4 アドレス指定の書き込み手順

#### 【手順 2】

アドレス指定の読み出し手順

書き込みモードによってリードするアドレスをライトした後、読み出しモードを設定して実際のデータをリードします。

- (1) マスタが開始条件を送信
- (2) マスタが S1S60000 のスレーブアドレス、および R/W ビットを書き込みモードで送出
- (3) S1S60000 からのアクノリッジ確認
- (4) マスタが S1S60000 へ書き込むアドレスを送出
- (5) S1S60000 からのアクノリッジ確認
- (6) マスタが開始条件を送信 (停止条件は送信しない) :再スタート
- (7) マスタが S1S60000 のスレーブアドレス、および R/W ビットを読み出しモードで送出
- (8) S1S60000 からのアクノリッジ確認 (ここからマスタがレシーバ、S1S60000 がトランスミッタとなる)
- (9) S1S60000 から(4)で指定したアドレスのデータが出る
- (10) マスタが S1S60000 へアクノリッジ送出
- (11) 必要に応じ、(9) (10)の繰り返し。読み出しアドレスは S1S60000 内部でオートインクリメント。
- (12) マスタが“1”のアクノリッジを出す
- (13) マスタが停止条件を送出

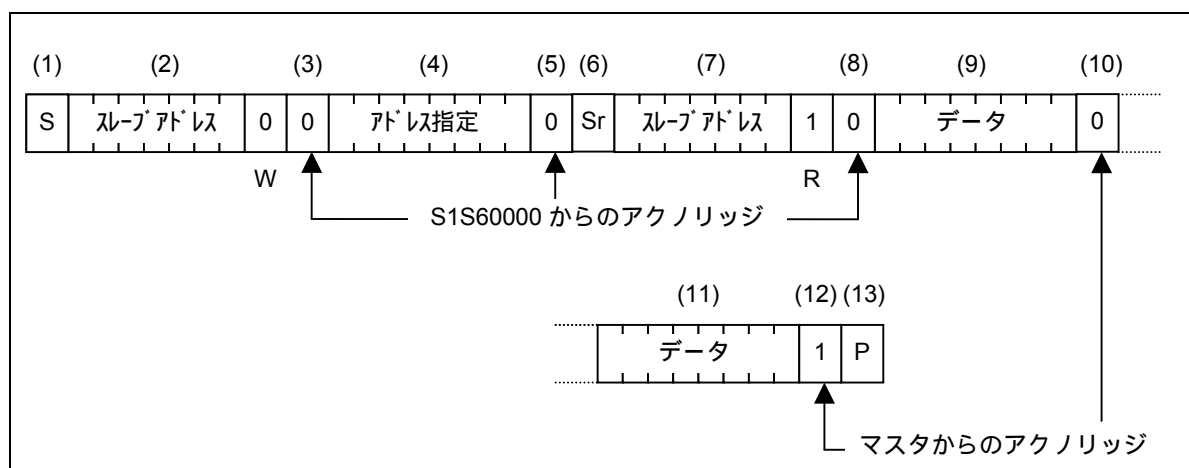


図 5.5 アドレス指定の読み出し手順

## 【手順 3】

## アドレス指定なしの読み出し手順

最初に読み出しモードを設定することで、その後すぐにデータをリードできます。この場合のアドレスは前回のアクセスで終了したアドレス+1 となります。

- (1) マスタが開始条件を送信
- (2) マスタが S1S60000 のスレーブアドレス、および R/W ビットを読み出しモードで送出
- (3) S1S60000 からのアクノリッジ確認（ここからマスタがレシーバ、S1S60000 がトランスミッタとなる）
- (4) S1S60000 から前回アクセスにおける最終アドレス+1 のデータが出る
- (5) マスタが S1S60000 へアクノリッジ送出
- (6) 必要に応じ、(4) (5)の繰り返し。読み出しアドレスは S1S60000 内部でオートインクリメント。
- (7) マスタが“1”のアクノリッジを出す
- (8) マスタが停止条件を送出

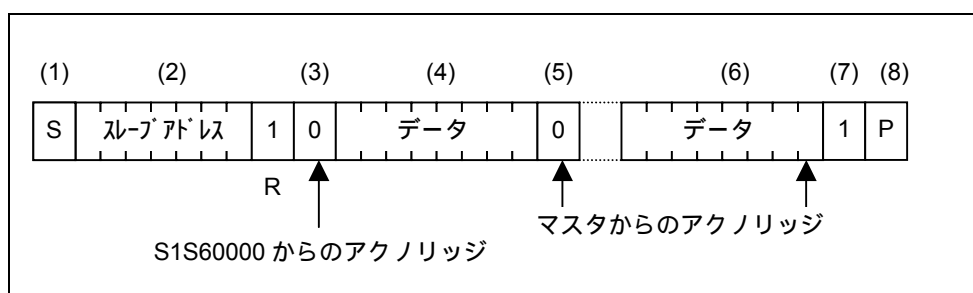


図 5.6 アドレス指定なしの読み出し手順

## 5. ハードウェア制御

### 5.5 EEPROM

#### 5.5.1 EEPROM 仕様

EEPROM には以下の仕様のものが使用できます。

- 3-Wire タイプ(93C46 互換タイプ)
- +3.3V 動作、または+5V 動作
- 16bit word

S1S60000 の EEPROM インタフェース部は 5V トレラント構造のため、電源電圧は+5V または+3.3V 品が使用可能です。

#### 5.5.2 格納データ

EEPROM の各データは 16 ビット幅です。表 5.16 に S1S60000 の使用領域のデータマップを示します。Index 01h から 23h までのデータはリセット後、該当する内部レジスタに設定されます。

表 5.16 EEPROM データマップ

Index	データ	内 容
00h	ID	0xE0C3 固定。この値以外の場合、正しい EEPROM ではないと判断されアクセスが行なわれません。 この値は内蔵レジスタの ID とは無関係です。
01h	MAC0	MAC レジスタ設定値。内容は 5.2.2 章を参照してください。
02h	MAC1	
03h	MAC2	
04h	GENCR	GENCR レジスタ設定値。内容は 5.2.3 章を参照してください。
05h	HIFCR	HIFCR レジスタ設定値。内容は 5.2.4 章を参照してください。
06h	I2CSADR	I2CSADR レジスタ設定値。内容は 5.2.5 章を参照してください。
07h	I2CCONF	I2CCONF レジスタ設定値。内容は 5.2.6 章を参照してください。
08h	GPALT	GPALT レジスタ設定値。内容は 5.2.7 章を参照してください。
09h	GPCFG	GPCFG レジスタ設定値。内容は 5.2.8 章を参照してください。
0Ah	GPDAT	GPDAT レジスタ設定値。内容は 5.2.9 章を参照してください。
0Bh	GPMSK	GPMSK レジスタ設定値。内容は 5.2.10 章を参照してください。
0Ch	EPMSK	EPMSK レジスタ設定値。内容は 5.2.11 章を参照してください。
0Dh	I2CMSK	I2CMSK レジスタ設定値。内容は 5.2.12 章を参照してください。
0Eh	PMWAIT	PMWAIT レジスタ設定値。内容は 5.2.13 章を参照してください。
0Fh	PHYMODE	PHYMODE レジスタ設定値。内容は 5.2.14 章を参照してください。
10h	ANEGR	ANEGR レジスタ設定値。内容は 5.2.15 章を参照してください。
11h	IPADRH	IP Address: 自局 IP アドレス初期値。内容は 5.2.16 章を参照してください。
12h	IPADRL	
13h	SNMSKH	Subnet Mask: サブネットマスク初期値。内容は 5.2.17 章を参照してください。
14h	SNMSKL	
15h	DGWH	Default Gateway: デフォルト・ゲートウェイ初期値。内容は 5.2.18 章を参照してください。
16h	DGWL	
17h	DADR0H	Destination IP Address 0: 宛先アドレス設定 0。内容は 5.2.19 章を参照してください。
18h	DADR0L	
19h	DADR1H	Destination IP Address 1: 宛先アドレス設定 1。内容は 5.2.19 章を参照してください。
1Ah	DADR1L	
1Bh	DADR2H	Destination IP Address 2: 宛先アドレス設定 2。内容は 5.2.19 章を参照してください。
1Ch	DADR2L	
1Dh	DADR3H	Destination IP Address 3: 宛先アドレス設定 3。内容は 5.2.19 章を参照してください。
1Eh	DADR3L	
1Fh	PORT	PORT レジスタ設定値。内容は 5.2.20 章を参照してください。
20h	DPORT	DPORT レジスタ設定値。内容は 5.2.21 章を参照してください。
21h	SERMODE	SERMODE レジスタ設定値。内容は 5.2.22 章を参照してください。
22h	TMOUT	TMOUT レジスタ設定値。内容は 5.2.23 章を参照してください。
23h	SOPAR	SOPAR レジスタ設定値。内容は 5.2.24 章を参照してください。
24h	COMN0	COMN0,COMN1,COMN2,COMN3 レジスタ設定値。内容は 5.2.25 章を参照してください。
25h	COMN1	
26h	COMN2	
27h	COMN3	

【注意】 00h から 10h までの領域は、ネットワークからの書き換えアクセスが常に禁止されています。この領域の書き換えはネットワーク以外から行なってください。

### 5.5.3 送受信フォーマット

S1S60000 から EEPROM に対して使用する命令は読み出し(READ:10)、書き込み可能(WEN:0011)、書き込み(WRITE:01)、書き込み禁止(WDS:0000)です。

EP\_DI 端子にはプルアップ抵抗が内蔵されているため、ハイインピーダンス状態期間中は HIGH レベルとなります。EP\_CS,EP\_DO 信号変化、EP\_DI の入力は EP\_SK の立下りで行なわれます。

読み出しを行なう場合、アドレス指定後に EP\_DI からデータを読み込みます。各信号のタイミングを図 5.7 に示します。

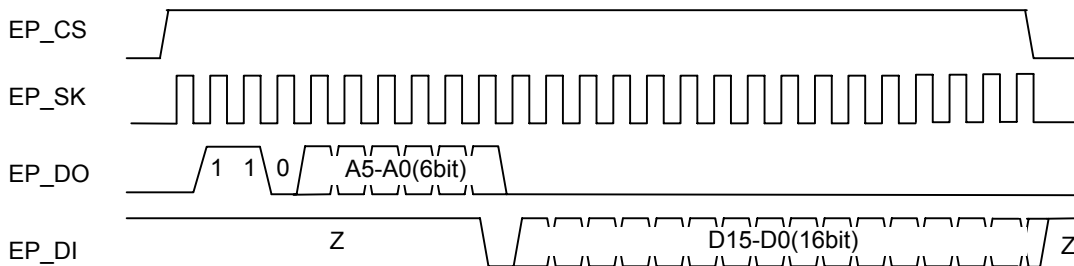


図 5.7 EEPROM(93C46) 読み出しフォーマット

書き込みを行なう場合、最初に WEN 状態にした後、WRITE 命令を実行します。WRITE 命令ではデータ出力後いったん EP\_CS="0"とし、再度 EP\_CS="1"として EP\_DI を監視し、EP\_DI="1"(Complete)状態をハードウェアにより確認して終了します。その後 WDS 状態に戻します。WRITE 命令実行時のタイミングを図 5.8 に示します。

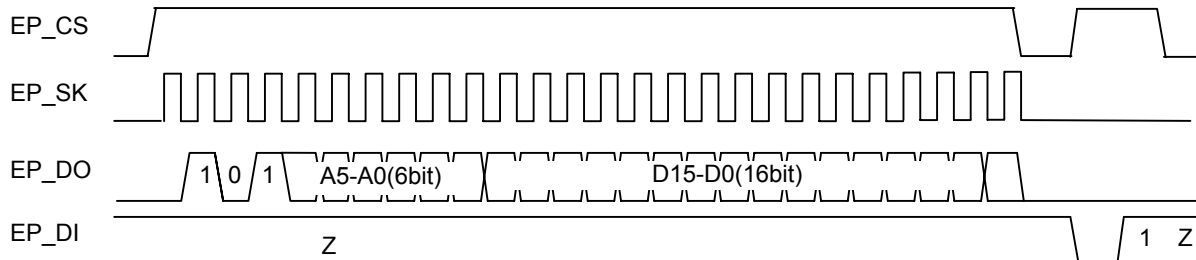


図 5.8 EEPROM(93C46) 書き込みフォーマット

### 5.5.4 自動読み込み

S1S60000 がリセットされると、EEPROM から自動読み込みが開始され、アドレス 0 のデータが読み出されます。このデータが E0C3h の場合、EEPROM 内部のデータを有効と判断し、続けて読み出しを行なってデータを各レジスタにセットします。EEPROM が接続されていない場合や読み出したデータが E0C3h 以外の場合には読み出しは中止され、内蔵レジスタへの設定は行なわれません。

## 6. パワーマネジメント制御

### 6. パワーマネジメント制御

S1S60000 のパワーマネジメントモードには、パワーセーブモードとスリープモードの 2 つの状態があります。各モードを有効にするには GENCNCR レジスタの該当ビットを有効に設定し、スリープモードではタイマ値を設定する必要があります。

#### ●Normal モード

通常動作時のモードです。内部バスクロック (= CPU クロック) は OSC3 クロックの 2 倍となります。

#### ●パワーセーブモード

このモードでは内部バスクロックが通常設定時の 1/4 (OSC3 クロックの 1/2) で動作し、S1S60000 の消費電力を削減します。このモードを有効にするには GENCNCR レジスタ bit11(PSEN) = “1” とします。内部バスクロックが変化しますので、関係する以下のタイミングに注意し、必要なタイミングを満たさない場合には再設定を行なってください。

- (1) GENCNCR レジスタ ESKDIV 設定 (EEPROM インタフェースクロック)
- (2) GENCNCR レジスタ MDCDIV 設定 (MII マネジメントインタフェースクロック)
- (3) I2CCONF レジスタ SCLCNT 設定 (I<sup>2</sup>C マスタクロック)
- (4) ホストインタフェースのサンプリング間隔

**【注意】**・このモードを有効にした場合、100Base-TX での通信は行なえません。

- ・ESKDIV 設定を変更する場合には、EEPROM の初期値の変更はせず、他の手段で変更してください。EEPROM はリセット後に Auto Load されるさい GENCNCR レジスタが設定されますが、その後パワーセーブモードに入るまでの期間は Normal モードのクロックを ESKDIV で分周したクロックで動作します。その間 EP\_SK クロックが接続する素子の入力可能周波数を超える場合があります。

#### ●スリープモード

コア CPU は OSC1 の 32KHz で動作し、OSC3 回路は停止します。S1S60000 の消費電力は約 1/30 になります。GPALT レジスタの GPALT7 ビットを“1”にし、GPIO7 端子を外部 OSC の発振制御端子(Active LOW)に接続することで、外部 OSC の停止ができ、さらに消費電力を削減することが可能です。

このモードを有効にするには、GENCNCR レジスタ bit12(SLPEN) = “1” を設定し、PMWAIT レジスタの SLPWAIT (bit[11:8]) にパワーダウン状態から移行するまでのタイマ値を設定します。

**【注意】**スリープモード中も電源供給は続けて行なってください。動作電源電圧を外れた場合の以降の動作は保証されません。

Sleep 状態に入る場合、以下の手順で移行します。

- (1) ホスト CPU に対し、sleep ステータス通知
- (2) GPIO0 を復帰トリガ入力に設定し、他の割り込みを禁止
- (3) 動作クロックを OSC1 に切り換え
- (4) GPIO7 が OSCCTL 設定の場合は OSCCTL = “0” として外部発振器を停止。
- (5) slp 命令を実行

復帰は GPIO0 への LOW レベル入力により開始され、以下の手順で移行します。

- (1) GPIO7 が OSCCTL 設定の場合は外部発振器を起動
- (2) OSC3 発振回路を起動し、発振安定時間待つ
- (3) 動作クロックを OSC3 に切り替え
- (4) 復帰後ホスト CPU に wakeup ステータス通知

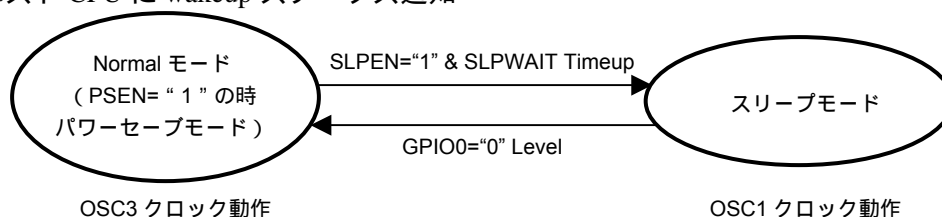


図 6.1 パワーマネジメント状態遷移

## 7. 実装上の注意事項

基板の設計および IC を実装するさいの注意事項を以下に示します。

### ■発振回路

- 発振特性は諸条件（使用部品、基板パターン等）により変化します。特にセラミック発振子または水晶振動子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。
  - ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため次の点に配慮してください。
- (1) OSC3(OSC1)、OSC4(OSC2)、PLL<sub>C</sub> 端子に接続する発振子、抵抗、コンデンサなどの部品は、できるだけ最短で接続してください。
  - (2) OSC3(OSC1)、OSC4(OSC2)端子およびこれらの端子に接続された部品の周辺部は、V<sub>SS</sub> パターンをできるだけ広く作成してください。PLL<sub>C</sub> 端子も同様です。また、この V<sub>SS</sub> パターンには発振系以外の部品等は接続しないでください。
  - (3) OSC3(OSC1)端子に外部クロックを入力する場合、クロック源からできるだけ最短で接続してください。OSC4(OSC2)端子は開放してください。
- OSC3(OSC1) - V<sub>DD</sub> 間のリーク電流による発振回路の不安定動作を防止するため、基板パターンにおいて、OSC3(OSC1)は V<sub>DD</sub> 電源や信号線とは十分な距離を確保してください。
  - OSC<sub>O</sub> 端子を使用して PHY チップにクロックを供給する場合、パターン長は最短としてください。また PHY で必要な周波数精度を満たす事を確認してください。

### ■リセット回路

- 電源投入時、RESET#端子に入力されるリセット信号は、諸条件（電源の立ち上がり時間、使用部品、基板パターン等）により変化します。容量や抵抗などの定数は応用製品にて十分確認を行ない、決定してください。RESET#端子のプルアップ抵抗については、抵抗値のばらつきを十分考慮した定数設定が必要です。
- ノイズによる動作中のリセットを防ぐため、RESET#端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

### ■電源回路

- ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。
- (1) 電源から V<sub>DD</sub>、V<sub>SS</sub> 端子へは、できるだけ短くかつ太いパターンで接続してください。
  - (2) V<sub>DD</sub> - V<sub>SS</sub> のバイパスコンデンサを接続する場合、V<sub>DD</sub> 端子と V<sub>SS</sub> 端子をできるだけ最短で接続してください。

### ■信号線の配置

- 相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。
- 高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。特に、発振部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。

### ■ネットワーク部

- PHY から入出力される TXP, TXN, RXP, RXN 等の信号は発振回路部近くへの配線を避けてください。

### ■未使用端子の処理

- GPIO のうち未使用の端子は、出力に設定するか、プルアップまたはプルダウン抵抗により入力レベルを固定してください。（直接 V<sub>DD</sub> や V<sub>SS</sub> に接続することは避けてください。誤って出力に設定された場合に過大な電流が流れ、故障の原因となります。）
- ノイズの多い環境で使用する場合には、IC 内部でプルアップ、プルダウンされている端子についても外部でプルアップ、プルダウンを行なうようにしてください。特に DSIO 端子には 10kΩ 以下のプルアップ抵抗を接続することを推奨します。



## 8. 電気的特性

## 8. 電気的特性

### 8.1 絶対最大定格

(V<sub>SS</sub>=0V)

項目	記号	条件	定格値	単位	注
電源電圧	V <sub>DD</sub>		-0.3 ~ +4.0	V	
入力電圧	V <sub>I</sub>	FailSafe 端子を除く(*1)	-0.3 ~ V <sub>DD</sub> +0.5	V	
		FailSafe 端子(*1)	-0.3 ~ +7.0	V	
高レベル出力電流	I <sub>OH</sub>	1 端子	-10	mA	
		全端子合計	-40	mA	
低レベル出力電流	I <sub>OL</sub>	1 端子	10	mA	
		全端子合計	40	mA	
保存温度	T <sub>STG</sub>		-65 ~ +150	°C	

\*1: FailSafe 端子= HCS#,HA[2:0],HD[15:0],HRD0#,HRD1#,HWR0#,HWR1#,GPIO[7:0],EP\_DI

### 8.2 推奨動作条件

(V<sub>SS</sub>=0V)

項目	記号	条件	Min.	Typ.	Max.	単位	注
電源電圧	V <sub>DD</sub>		3.00	—	3.60	V	
入力電圧	V <sub>I</sub>	FailSafe 端子を除く(*1)	V <sub>SS</sub>	—	V <sub>DD</sub>	V	
		FailSafe 端子(*1)	V <sub>SS</sub>	—	5.5	V	1
CPU 動作周波数	f <sub>CPU</sub>		—	—	50	MHz	
低速発振動作周波数	f <sub>OSC1</sub>		—	32.768	—	kHz	
動作温度	T <sub>a</sub>	通常動作時	-40	25	85	°C	
		Flash ROM 書込時	0	25	70	°C	
入力立ち上がり時間(ノーマル入力)	tri		—	—	50	ns	
入力立ち下がり時間(ノーマル入力)	t <sub>fi</sub>		—	—	50	ns	
入力立ち上がり時間(シュミット入力)	tri		—	—	5	ms	
入力立ち下がり時間(シュミット入力)	t <sub>fi</sub>		—	—	5	ms	

\*1: FailSafe 端子=HCS#,HA[2:0],HD[15:0],HRD0#,HRD1#,HWR0#,HWR1#,GPIO[7:0],EP\_DI

注 1 : FailSafe 端子には、HIGH レベル出力時に外部より出力電圧以上の電圧を印加しないでください。

## 8.3 DC 特性

(特記なき場合:  $V_{DD}=3.0V \sim 3.6V$ ,  $T_a=-40^{\circ}C \sim +85^{\circ}C$ )

項目	記号	条件	Min.	Typ.	Max.	単位	注
静的消費電流	$I_{DDS}$	静的状態, $T_j=85^{\circ}C$	—	—	120	$\mu A$	
入力リーク電流	$I_{LI}$		-1	—	1	$\mu A$	
オフステートリーク電流	$I_{OZ}$		-1	—	1	$\mu A$	
高レベル出力電圧	$V_{OH}$	$I_{OH}=-2mA$ (Type1), $I_{OH}=-6mA$ (Type2), $V_{DD}=\text{Min.}$	$V_{DD}$ -0.4	—	—	V	
低レベル出力電圧	$V_{OL}$	$I_{OL}=2mA$ (Type1), $I_{OL}=6mA$ (Type2), $V_{DD}=\text{Min.}$	—	—	0.4	V	
高レベル入力電圧	$V_{IH}$	CMOS レベル, $V_{DD}=\text{Max.}$	2.4	—	—	V	
低レベル入力電圧	$V_{IL}$	CMOS レベル, $V_{DD}=\text{Min.}$	—	—	0.4	V	
ポジティブトリガ入力電圧	$V_{T+}$	CMOS シュミット, $V_{DD}=\text{Max.}$	1.1	—	2.4	V	
ネガティブトリガ入力電圧	$V_{T-}$	CMOS シュミット, $V_{DD}=\text{Min.}$	0.6	—	1.8	V	
ヒステリシス電圧	$V_H$	CMOS シュミット	0.1	—	—	V	
プルアップ抵抗	$R_{PU}$	$V_i=0V$ DSIO 以外	80	200	480	$k\Omega$	
		DSIO	40	100	240	$k\Omega$	
プルダウン抵抗	$R_{PD}$	$V_i=V_{DD}$ (TEST0, TEST1)	40	100	240	$k\Omega$	
入力端子容量	$C_i$	$f=1MHz$ , $V_{DD}=0V$	—	—	10	pF	
出力端子容量	$C_o$	$f=1MHz$ , $V_{DD}=0V$	—	—	10	pF	
入出力端子容量	$C_{IO}$	$f=1MHz$ , $V_{DD}=0V$	—	—	10	pF	

注: 端子の特性については “ Appendix B 端子特性一覧 ” を参照してください。

## 8.4 消費電流

(特記なき場合:  $V_{DD}=3.0V \sim 3.6V$ ,  $T_a=-40^{\circ}C \sim +85^{\circ}C$ )

項目	記号	条件	Min.	Typ.	Max.	単位	注
動作電流	$I_{DD1}$	$f_{CPU}=50MHz$	—	100	120	mA	1
パワーセーブモード時	$I_{DD2}$	$f_{CPU}=12.5MHz$	—	80	100	mA	2
Sleep モード時	$I_{DD3}$	OSC1 発振は 32.768kHz	—	30	120	$\mu A$	3

1: 内部ループバックにより送信と受信を同時に行なった場合

2: OSC3 動作、OSC1 動作

3: OSC3 停止、OSC1 動作

## 8.5 AC 特性

## 8.5.1 記号説明

 $t_{CYC}$ : バスクロックサイクルタイム: OSC3 入力の値により変化します。OSC3 入力=25MHz のとき、内部バスクロック=50MHz:  $t_{CYC} = 20ns$ 

## 8.5.2 AC 特性測定条件

信号検定レベル:	入力信号	HIGH レベル	$V_{IH}=V_{DD}-0.4V$
		LOW レベル	$V_{IL}=0.4V$
	出力信号	HIGH レベル	$V_{OH}=1/2 V_{DD}$
		LOW レベル	$V_{OL}=1/2 V_{DD}$
ただし、OSC3 外部クロック入力の場合は下記のとおりです。			
	入力信号	HIGH レベル	$V_{IH}=1/2 V_{DD}$
		LOW レベル	$V_{IL}=1/2 V_{DD}$

入力信号波形:	立ち上がり (10%→90% $V_{DD}$ )	5ns
	立ち下がり (90%→10% $V_{DD}$ )	5ns

出力負荷容量:  $C_L=50pF$

## 8. 電気的特性

### 8.5.3 AC 特性表

#### ■ 外部クロック入力特性

( 特記なき場合:VDD=3.0 ~ 3.6V,VSS=0V,Ta=-40 ~ +85 )

項目	記号	Min.	Max.	単位	注
高速クロックサイクル時間	tC3	40	100	ns	
OSC3 クロック入力デューティ	tC3ED	45	55	%	
OSC3 クロック入力立ち上がり時間	tIF	—	5	ns	
OSC3 クロック入力立ち下がり時間	tIR	—	5	ns	
最小リセットパルス幅	tRST	6 tCYC	—	ns	

#### ■ 入力、出力、入出力兼用ポート

( 特記なき場合:VDD=3.0 ~ 3.6V,VSS=0V,Ta=-40 ~ +85 )

項目	記号	Min.	Max.	単位	注
入力データセットアップ時間	tINPS	20	—	ns	
入力データホールド時間	tINPH	10	—	ns	
出力データ遅延時間	tOUTD	—	20	ns	

#### ■ ホストインタフェース

( 特記なき場合:VDD=3.0 ~ 3.6V,VSS=0V,Ta=-40 ~ +85 )

項目	記号	Min.	Max.	単位	注
ホストインタフェースアクセス有効期間 (HCS#,HA[2:0],HWR0#,HWR1#, HRD0#,HRD1#)	tHAV	2tCYC+5	—	ns	
ホストインタフェース出力データ遅延時間	tHOD	—	25	ns	
ホストインタフェース出力フローティング遅延時間	tHZD	—	25	ns	
ホストインタフェース割り込み出力遅延時間	tHIOD	—	20	ns	
ホストインタフェース割り込みフローティング遅延時間	tHIZD	—	20	ns	
ホストインタフェース設定入力セットアップ時間	tHIS	10	—	ns	
ホストインタフェース設定入力ホールド時間	tHID	10	—	ns	

#### ■ MII

( 特記なき場合:VDD=3.0 ~ 3.6V,VSS=0V,Ta=-40 ~ +85 )

項目	記号	Min.	Max.	単位	注
II 出力データ遅延時間	tTXD	0	15	ns	
II 入力データセットアップ時間	tRXS	10	—	ns	
II 入力データホールド時間	tRXH	10	—	ns	
MDIO 出力遅延	tMOD	tCYC	tCYC+5	ns	
MDIO データセットアップ時間	tMIS	3	—	ns	
MDIO データホールド時間	tMIH	0	—	ns	

#### ■ シリアル EEPROM

( 特記なき場合:VDD=3.0 ~ 3.6V,VSS=0V,Ta=-40 ~ +85 )

項目	記号	Min.	Max.	単位	注
入力データセットアップ時間	tEIS	15	—	ns	
入力データホールド時間	tEIH	0	—	ns	
出力データ遅延時間	tEOD	—	5	ns	

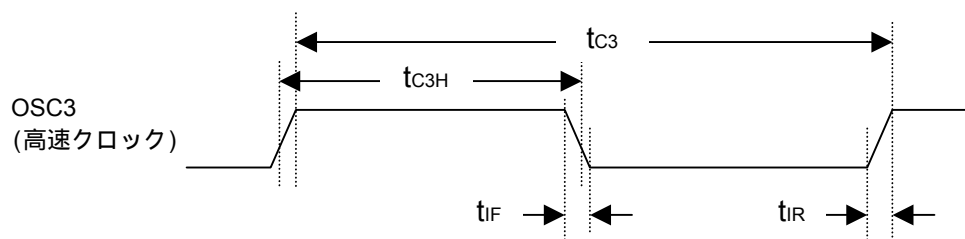
#### ■ I<sup>2</sup>C バス

( 特記なき場合:VDD=3.0 ~ 3.6V,VSS=0V,Ta=-40 ~ +85 )

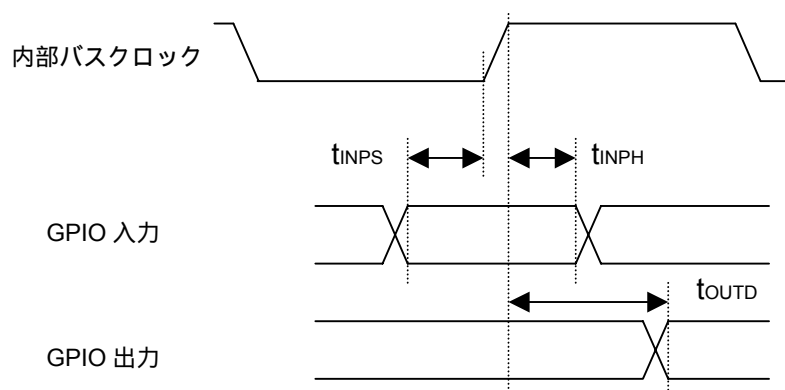
項目	記号	Min.	Max.	単位	注
SDA データセットアップ時間	tIIS	5	—	ns	
SDA 出力遅延時間	tIOD	5tCYC	—	ns	

## 8.5.4 AC 特性タイミングチャート

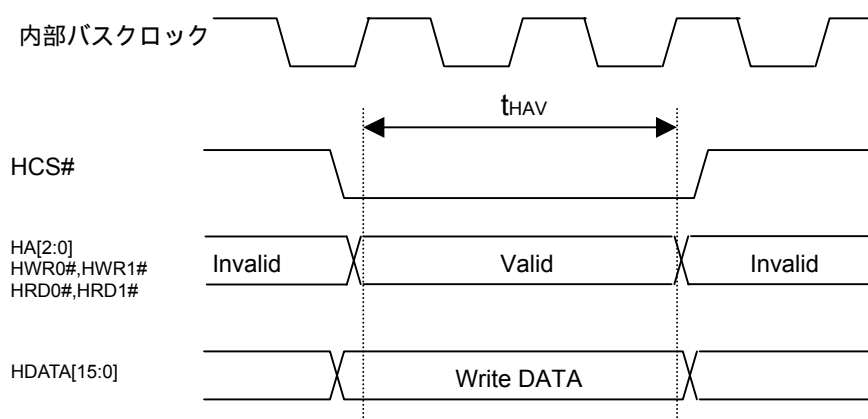
## ■ クロック



## ■ 入力、出力、入出力兼用ポート

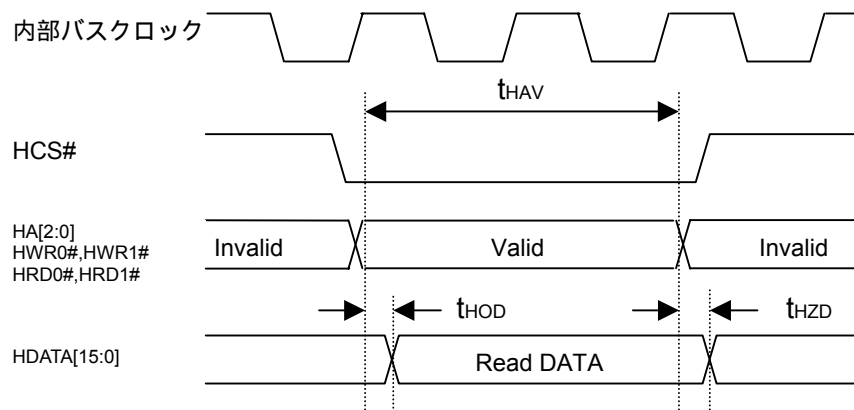


## ■ ホストインタフェース (Write)

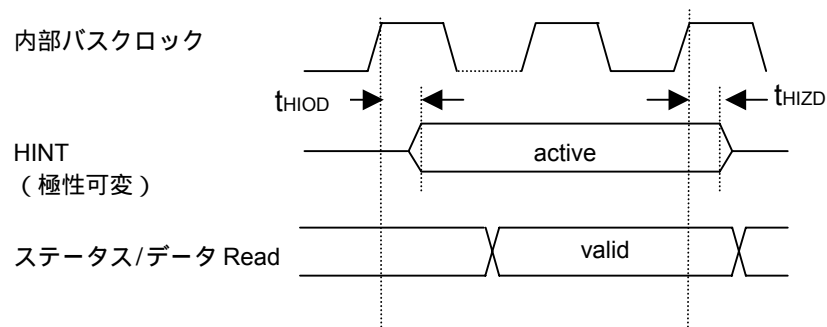


## 8. 電気的特性

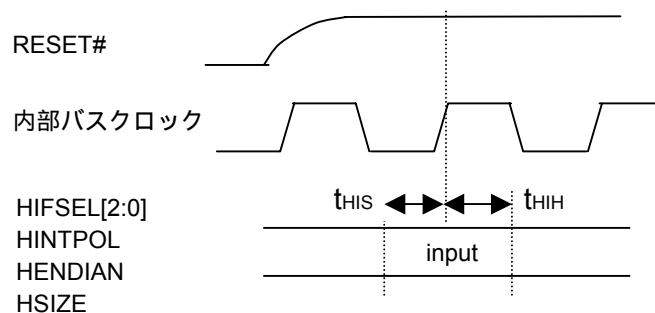
### ■ ホストインタフェース (Read)



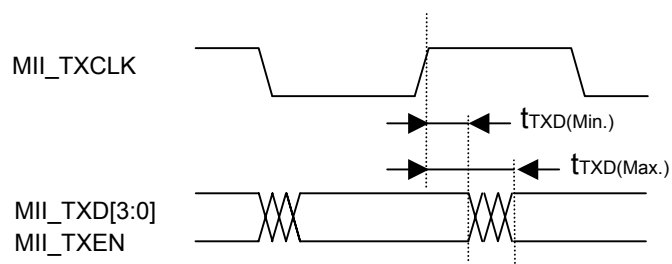
### ■ ホストインタフェース (制御線)



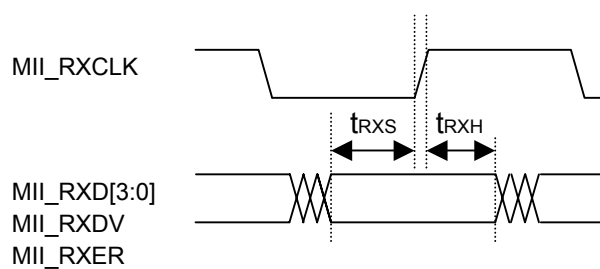
### ■ リセット (設定入力)



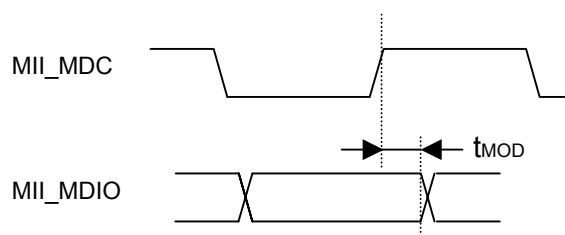
### ■ MII 送信



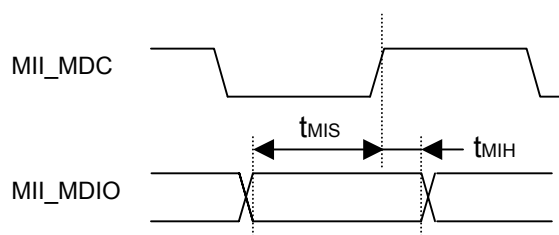
## ■ MII 受信



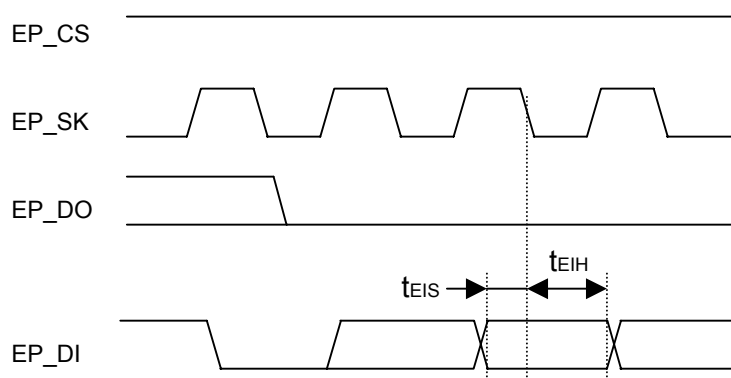
## ■ MDIO 出力



## ■ MDIO 入力



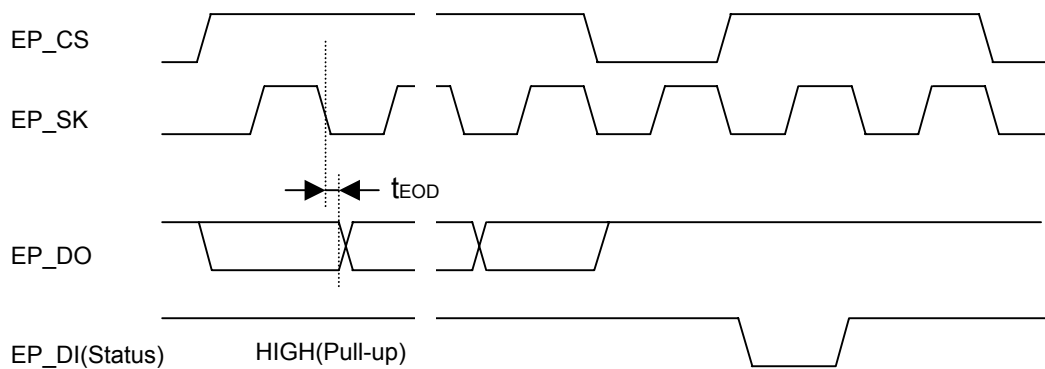
## ■ シリアル EEPROM (Read)



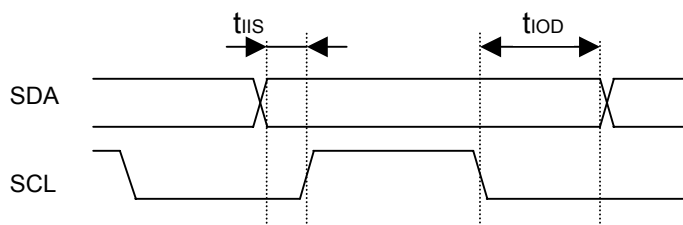
## 8. 電気的特性

---

### ■ シリアル EEPROM (Write)



### ■ I<sup>2</sup>C バス



## 8.6 発振特性

発振特性は諸条件(使用部品、基板パターンなど)により変化します。以下の容量は参考値としてご使用ください。特にセラミック発振子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。

## ■ OSC1 水晶発振

(特記なき場合：水晶振動子=C-002RX\*1 32.768kHz, Rf1=20M $\Omega$ , CG1=CD1=15pF\*2)

項目	記号	条件	Min.	Typ.	Max.	単位	注
動作温度	Ta	VDD=3.0 to 3.6V	-40	—	85	°C	

\*1 C-002RX: セイコーエプソン製水晶振動子

\*2 CG1=CD1=15pF は基板容量を含みます。

(特記なき場合：VDD=3.3V, VSS=0V, 水晶振動子= C-002RX\*1 32.768kHz, Rf1=20M $\Omega$ , CG1=CD1=15pF\*2, Ta=25°C)

項目	記号	条件	Min.	Typ.	Max.	単位	注
発振開始時間	tSTA1		—	—	3	sec	
外付けゲート容量、ドレイン容量	CG1,CD1	CG1=CD1, 基板容量などを含む	5	—	25	pF	
周波数 IC 偏差	$\Delta f/\Delta IC$		-10	—	10	ppm	
周波数電源電圧偏差	$\Delta f/\Delta V$		-10	—	10	ppm/V	
周波数調整範囲	$\Delta f/\Delta CG$	CG1=CD1=5 to 25pF	50	—	—	ppm	

\*1 C-002RX: セイコーエプソン製水晶振動子

\*2 CG1=CD1=15pF は基板容量を含みます。

## ■ OSC3 水晶発振

注：OSC3 水晶発振回路には、“基本波を使用した水晶振動子”を使用してください。

(特記なき場合：VSS=0V, 水晶振動子=MA-306\*1 25.000MHz, Rf1=20M $\Omega$ , CG1=CD1=15pF\*2)

項目	記号	条件	Min.	Typ.	Max.	単位	注
発振開始時間	tSTA3	VDD=3.3V	—	—	10	ms	

\*1 MA-306: Crystal transducer from Seiko Epson

\*2 CG1=CD1=15pF includes capacitance of substrate.

## ■ OSC3 セラミック発振

(特記なき場合：VSS=0V, Ta=25°C)

項目	記号	条件	Min.	Typ.	Max.	単位	注
発振開始時間	tSTA3	25MHz セラミック発振子	—	—	5	ms	1

No	セラミック発振子	推奨定数			電源電圧 範囲(V)	備考
		CG2(pF)	CD2(pF)	Rf2(M $\Omega$ )		
1	CST25.00MXW0H1	5	5	1	2.7 ~ 3.6	村田製作所セラミック発振子

\*1 周波数が 0.3% 高めにずれる傾向があります。

## 8.7 PLL 特性

(特記なき場合：VDD=3.0 ~ 3.6V, VSS=0V, 水晶発振器=SG-8002\*1, C1=100pF, C2=5pF, Ta=-40 ~ +85°C)

項目	記号	条件	Min.	Typ.	Max.	単位	注
ジッタ (ピークジッタ)	tpj		-1	—	1	ns	
ロックアップ時間	tpll		—	—	1	ms	

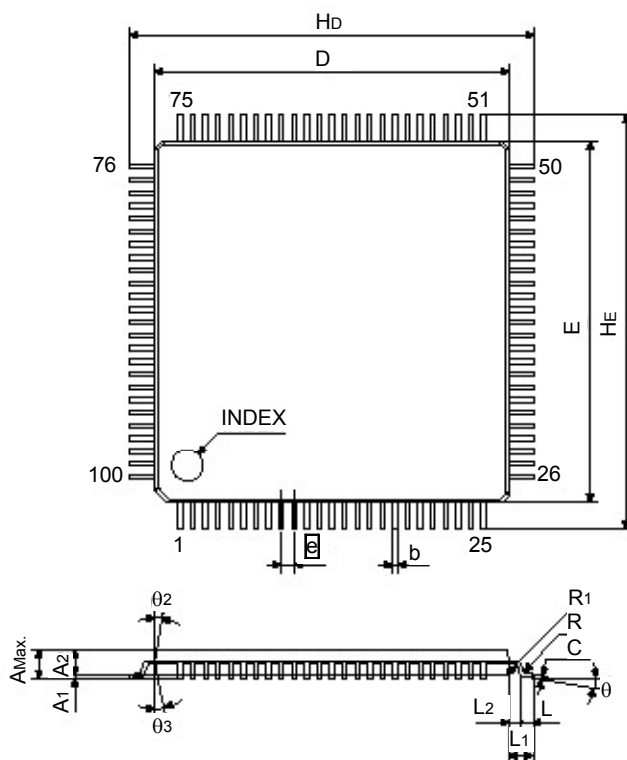
\*1 SG-8002: セイコーエプソン製水晶発振器



## 9. パッケージ

### 9. パッケージ

QFP15-100pin : Plastic QFP 100pin Body size 14 × 14 × 1.4mm



Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
E	13.9	14	14.1
D	13.9	14	14.1
A			1.7
A <sub>1</sub>		0.1	
A <sub>2</sub>	1.3	1.4	1.5
e		0.5	
b	0.13	0.18	0.28
C	0.1	0.125	0.175
$\theta$	0°		10°
L	0.3	0.5	0.7
L <sub>1</sub>		1	
L <sub>2</sub>		0.5	
H <sub>E</sub>	15.7	16	16.3
H <sub>D</sub>	15.7	16	16.3
$\theta_2$		12°	
$\theta_3$		12°	
R		0.2	
R <sub>1</sub>		0.2	

#### ※消費電力制限

LSI は消費電力にしたがってチップ温度が上昇します。パッケージに搭載された状態では、LSI のチップ温度はその周囲温度  $T_a$ 、パッケージの熱抵抗  $\theta_{j-a}$  および消費電力  $PD$  から計算できます。

$$\text{チップ温度 } (T_j) = T_a + (PD \times \theta_{j-a}) \text{ (}^\circ\text{C)}$$

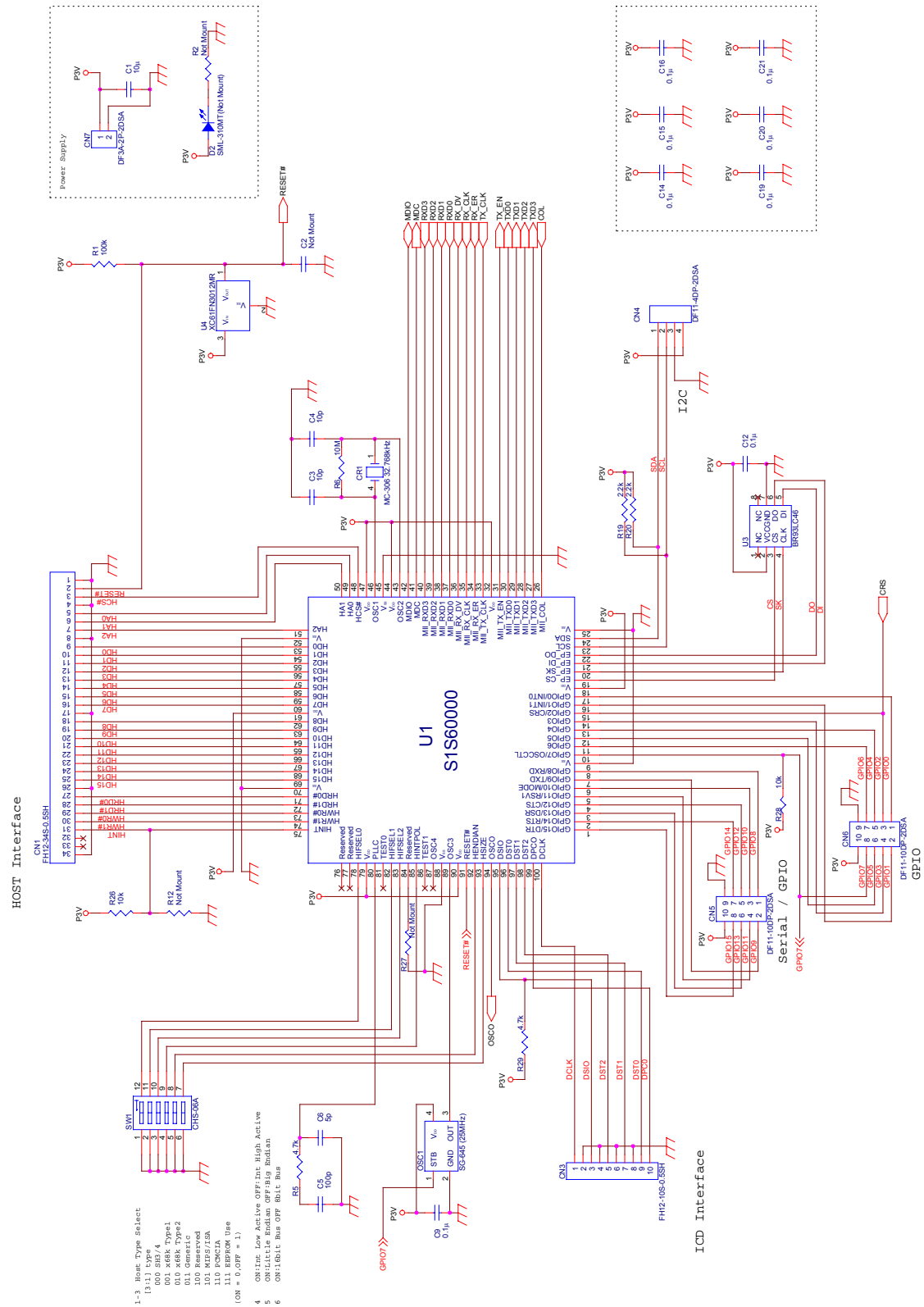
通常の使用においては、チップ温度( $T_j$ )は 85 以下を目安に使用してください。

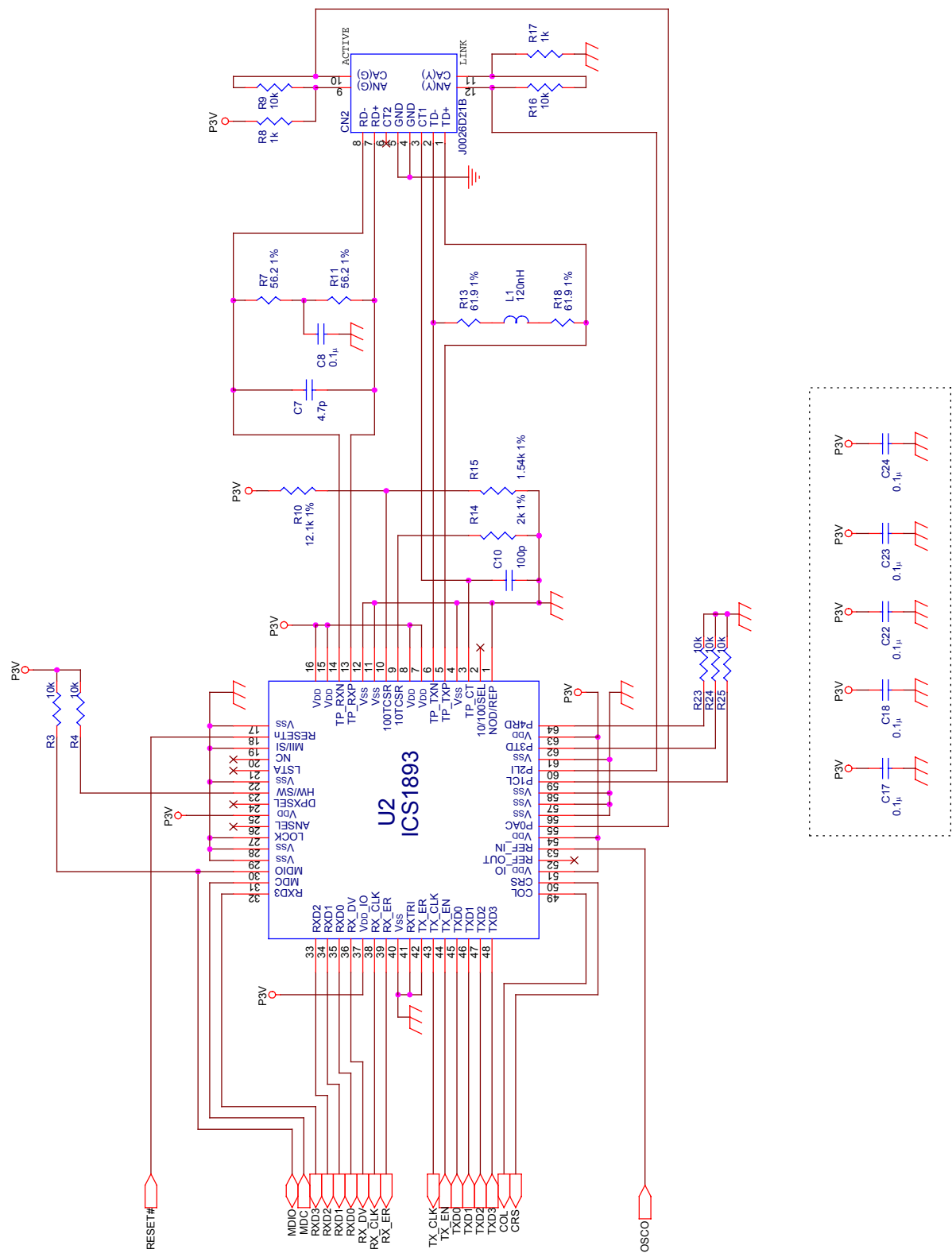
QFP15-100pin パッケージの熱抵抗は次のとおりです。

$$\text{熱抵抗 } \theta_{j-a} = 100 \text{ (}^\circ\text{C/W)}$$

なお、この値はサンプルが宙づりされた無風状態での熱抵抗です。基板への実装状態や強制空冷の有無によって、熱抵抗は大きく変動します。

# APPENDIX A. 参考回路





## 部品表

No.	Name	Reference	Maker	Qty	Address	Note
101	S1S60000	100Pin QFP	EPSON	1	U1	
102	ICS1893Y-10	Ethernet PHY 64Pin TQFP	ICS	1	U2	
103	BR93LC46FV	Serial EEPROM 8Pin SSOP	ROHM	1	U3	
104	XC61FN3012MR	V-det. Nch 3.0V delay SOT-23	TOREX	1	U4	
301	SML-310FT	LED(Green)	ROHM	1	D2	未実装
402	MCR03EZHJ181	180 5% 1608	ROHM	1	R2	未実装
403	MCR03EZHJ102	1K 5% 1608	ROHM	2	R8,R17	
404	MCR03EZHJ222	2.2K 5% 1608	ROHM	2	R19,R20	
405	MCR03EZHJ472	4.7K 5% 1608	ROHM	1	R5,R29	
406	MCR03EZHJ103	10K 5% 1608	ROHM	9	R3,R4,R9,R16, R23-26,R28	
407	MCR03EZHJ104	100K 5% 1608	ROHM	1	R1	
408	MCR03EZHJ106	10M 5% 1608	ROHM	1	R6	
409	MCR03EZHF56R2	56.2 1% 1608	ROHM	2	R7,R11	
410	MCR03EZHF61R9	61.9 1% 1608	ROHM	2	R13,R18	
411	MCR03EZHF1541	1.54K 1% 1608	ROHM	1	R15	
412	MCR03EZHF2001	2K 1% 1608	ROHM	1	R14	
413	MCR03EZHF1212	12.1K 1% 1608	ROHM	1	R10	
414	MCR03EZHJ000	Not Mount 1608	—	1	R12,R27	未実装
501	GRM1882C1H4R7CZ01B	4.7pF 50V 1608	MURATA	1	C7	
502	GRM1882C1H5R0JZ01D	5pF 50V 1608	MURATA	1	C6	
503	GRM1882C1H100JZ01D	10pF 50V 1608	MURATA	2	C3,C4	
504	GRM1882C1H101JA01B	100pF 50V 1608	MURATA	2	C5,C10	
505	GRM188B11H103KA01D	0.01μF 50V 1608	MURATA	1	C2	未実装
507	GRM188B11H104KA01D	0.1μF 25V 1608	MURATA	14	C8,C9,C12, C14-C24	
508	GRM31CB11A106KC01L	10μF 10V 3225	MURATA	1	C1	
601	FH12-34S-0.5SH	34Pin FFC Connector	HIROSE	1	CN1	
602	J0026D21B	RJ45 Jack with Magnetics	PULSE	1	CN2	
603	FH12-10S-0.5SH	10Pin FFC Connector	HIROSE	1	CN3	
604	DF11-4DP-2DSA	4Pin Header (2×2, 2mm)	HIROSE	1	CN4	
605	DF11-10DP-2DSA	10Pin Header (5×2, 2mm)	HIROSE	2	CN5,CN6	
606	DF3A-2P-2DSA	2Pin Header (2mm)	HIROSE	1	CN7	
607	CHS-06A	6bit Dip Switch	COPAL	1	SW1	
701	SG-645 SCG 25.0MHz B	25.0MHz B(±50ppm) Standby	EPSON	1	OSC1	
703	MC-306	32.768KHz ±20ppm	EPSON	1	CR1	
704	ELJRER12JF3	120nH 1608	MATSUSHITA	1	L1	
799	PCB	4layer, t=1.6, FR-4		1		

【注意】この参考回路図は使用例を示したものであり、動作を保証するものではありません。

## APPENDIX B. 端子特性一覧

### APPENDIX B. 端子特性一覧

Pin	信号名	I/O	I/O Cell	入力特性	出力特性	PU/PD	Type	備考
1	GPIO15	IO	XBH1T	CMOS SCHMITT	2mA		1	
2	GPIO14	IO	XBH1T	CMOS SCHMITT	2mA		1	
3	GPIO13	IO	XBH1T	CMOS SCHMITT	2mA		1	
4	GPIO12	IO	XBH1T	CMOS SCHMITT	2mA		1	
5	GPIO11	IO	XBH1T	CMOS SCHMITT	2mA		1	
6	GPIO10	IO	XBH1T	CMOS SCHMITT	2mA		1	
7	GPIO9	IO	XBH1T	CMOS SCHMITT	2mA		1	
8	GPIO8	IO	XBH1T	CMOS SCHMITT	2mA		1	
9	Vss							
10	GPIO7	IO	XBB1	CMOS(Fail Safe)	2mA		1	
11	GPIO6	IO	XBB1	CMOS(Fail Safe)	2mA		1	
12	GPIO5	IO	XBB1	CMOS(Fail Safe)	2mA		1	
13	GPIO4	IO	XBB1	CMOS(Fail Safe)	2mA		1	
14	GPIO3	IO	XBB1	CMOS(Fail Safe)	2mA		1	
15	GPIO2	IO	XBB1	CMOS(Fail Safe)	2mA		1	
16	GPIO1	IO	XBB1	CMOS(Fail Safe)	2mA		1	
17	GPIO0	IO	XBB1	CMOS(Fail Safe)	2mA		1	
18	VDD							
19	EP_CS	O	XBB1	CMOS(Fail Safe)	2mA		1	注 1
20	EP_SK	O	XBB1	CMOS(Fail Safe)	2mA		1	注 1
21	EP_DI	I	XIBBP1	CMOS(Fail Safe)	—	Pull-up		
22	EP_DO	O	XBB1	CMOS(Fail Safe)	2mA		1	注 1
23	SCL	IO	XBDH1T	CMOS SCHMITT	N-OD/2mA		1	
24	SDA	IO	XBDH1T	CMOS SCHMITT	N-OD/2mA		1	
25	Vss							
26	MII_COL	I	XIBC	CMOS	—			
27	MII_TXD3	O	XOB1CT	—	2mA		1	
28	MII_TXD2	O	XOB1CT	—	2mA		1	
29	MII_TXD1	O	XOB1CT	—	2mA		1	
30	MII_TXD0	O	XBC1T	CMOS	2mA		1	注 1
31	MII_TXEN	O	XBC1T	CMOS	2mA		1	注 1
32	VDD							
33	MII_TXCLK	I	XBC1T	CMOS	2mA		1	注 2
34	MII_RXER	I	XBC1T	CMOS	2mA		1	注 2
35	MII_RXCLK	I	XBC1T	CMOS	2mA		1	注 2
36	MII_RXDV	I	XBC1T	CMOS	2mA		1	注 2
37	MII_RXD0	I	XBC1T	CMOS	2mA		1	注 2
38	MII_RXD1	I	XBC1T	CMOS	2mA		1	注 2
39	MII_RXD2	I	XBC1T	CMOS	2mA		1	注 2
40	MII_RXD3	I	XBC1T	CMOS	2mA		1	注 2
41	MDC	O	XOB1CT	-	2mA		1	
42	MDIO	IO	XBC1T	CMOS	2mA		1	
43	OSC2	O	XLOT	TRANSPARENT	—			
44	VDD							
45	Vss							
46	OSC1	I	XLIN	TRANSPARENT	—			
47	VDD							
48	HCS#	I	XIBBP1	CMOS(Fail Safe)	—	Pull-up		
49	HA0	I	XBB1P1	CMOS(Fail Safe)	2mA	Pull-up	1	注 2
50	HA1	I	XBB1P1	CMOS(Fail Safe)	2mA	Pull-up	1	注 2

Pin	信号名	I/O	I/O Cell	入力特性	出力特性	PU/PD	Type	備考
51	HA2	I	XIBBP1	CMOS(Fail Safe)	—	Pull-up		
52	Vss							
53	HD0	IO	XBB1P1	CMOS(Fail Safe)	2mA	Pull-up	1	
54	HD1	IO	XBB1P1	CMOS(Fail Safe)	2mA	Pull-up	1	
55	HD2	IO	XBB1P1	CMOS(Fail Safe)	2mA	Pull-up	1	
56	HD3	IO	XBB1P1	CMOS(Fail Safe)	2mA	Pull-up	1	
57	HD4	IO	XBB1P1	CMOS(Fail Safe)	2mA	Pull-up	1	
58	HD5	IO	XBB1P1	CMOS(Fail Safe)	2mA	Pull-up	1	
59	HD6	IO	XBB1P1	CMOS(Fail Safe)	2mA	Pull-up	1	
60	HD7	IO	XBB1P1	CMOS(Fail Safe)	2mA	Pull-up	1	
61	Vdd							
62	HD8	IO	XBB1P1	CMOS(Fail Safe)	2mA	Pull-up	1	
63	HD9	IO	XBB1P1	CMOS(Fail Safe)	2mA	Pull-up	1	
64	HD10	IO	XBB1P1	CMOS(Fail Safe)	2mA	Pull-up	1	
65	HD11	IO	XBB1P1	CMOS(Fail Safe)	2mA	Pull-up	1	
66	HD12	IO	XBB1P1	CMOS(Fail Safe)	2mA	Pull-up	1	
67	HD13	IO	XBB1P1	CMOS(Fail Safe)	2mA	Pull-up	1	
68	HD14	IO	XBB1P1	CMOS(Fail Safe)	2mA	Pull-up	1	
69	HD15	IO	XBB1P1	CMOS(Fail Safe)	2mA	Pull-up	1	
70	Vss							
71	HRD0#	I	XIBBP1	CMOS(Fail Safe)	—	Pull-up		
72	HRD1#	I	XIBBP1	CMOS(Fail Safe)	—	Pull-up		
73	HWR0#	I	XIBBP1	CMOS(Fail Safe)	—	Pull-up		
74	HWR1#	I	XIBBP1	CMOS(Fail Safe)	—	Pull-up		
75	HINT	O	XTB1T	—	Tri/2mA		1	
76	Reserve	O	XTB1T	—	Tri/2mA		1	
77	Reserve	O	XTB1T	—	Tri/2mA		1	
78	HIFSEL0	I	XBH1P2T	CMOS SCHMITT	2mA	Pull-up	1	
79	Vdd							
80	PLLC	I	XLIN	TRANSPARENT	—			
81	TEST0	I	XIBCD2	CMOS	—	Pull-down		
82	HIFSEL1	I	XIBHP2	CMOS SCHMITT	—	Pull-up		
83	HIFSEL2	I	XIBHP2	CMOS SCHMITT	—	Pull-up		
84	HMUX	I	XIBHP2	CMOS SCHMITT	—	Pull-up		
85	HINTPOL	I	XIBHP2	CMOS SCHMITT	—	Pull-up		
86	TEST1	I	XIBCD2	CMOS	—	Pull-down		
87	OSC4	O	XLOT	TRANSPARENT				
88	Vss							
89	OSC3	I	XLIN	TRANSPARENT	—			
90	Vdd							
91	RESET#	I	XIBHP2	CMOS SCHMITT	—	Pull-up		
92	HENDIAN	I	XIBHP2	CMOS SCHMITT	—	Pull-up		
93	HSIZE	I	XIBHP2	CMOS SCHMITT	—	Pull-up		
94	OSCO	O	XBC2T	CMOS	6mA		1	注 1
95	DSIO	IO	XBH2P2T	CMOS SCHMITT	6mA	Pull-up	2	
96	DST0	IO	XBH2T	CMOS SCHMITT	6mA		2	
97	DST1	IO	XBH2T	CMOS SCHMITT	6mA		2	
98	DST2	IO	XBH2T	CMOS SCHMITT	6mA		2	
99	DPCO	IO	XBH2T	CMOS SCHMITT	6mA		2	
100	DCLK	IO	XBH2T	CMOS SCHMITT	6mA		2	

注 1：この端子はデバイス試験の時に入力となります。通常動作時は出力端子です。

注 2：この端子はデバイス試験の時に出力となります。通常動作時は入力端子です。

## セイコーエプソン株式会社

### 半導体事業部 IC 営業部

---

#### <IC 東日本営業グループ>

東京 〒191-8501 東京都日野市日野 421-8  
TEL (042) 587-5313 (直通) FAX (042) 587-5116

#### <IC 西日本営業グループ>

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F  
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100  
名古屋 〒460-0008 名古屋市中区栄 1-10-21 名古屋御園ビル 6F  
TEL (052) 205-8421 (代表) FAX (052) 231-2538

---

ドキュメントコード : 404754006  
2003 年 9 月 作成  
2005 年 10 月 改訂