

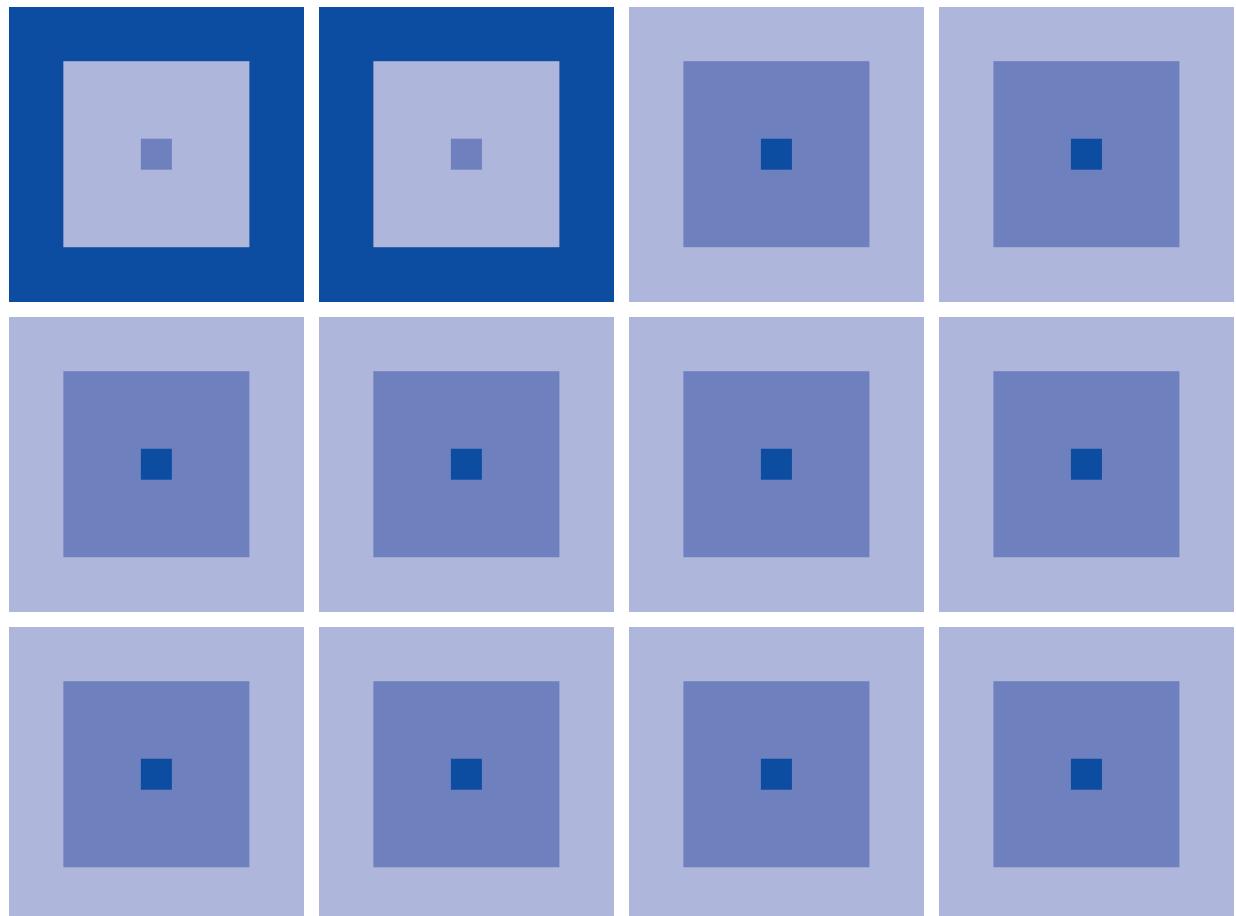
EPSON

CMOS 8-BIT SINGLE CHIP MICROCOMPUTER

**S1C88349**

テクニカルマニュアル

S1C88349 Technical Hardware



セイコーエプソン株式会社

本資料のご使用につきましては、次の点にご留意願います。

---

1. 本資料の内容については、予告なく変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利(工業所有権を含む)侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち、「外国為替および外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、一般民生用です。生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合の如何なる責任についても負いかねます。

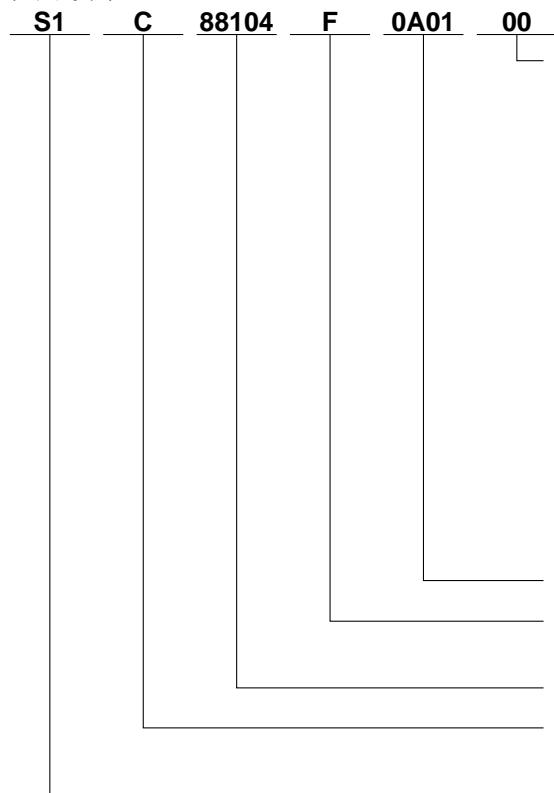
## 本版で改訂または追加された箇所

章	節/項	頁	項目	内容
1	1.2	2	図1.2.1 S1C88349ブロック図	図変更
	1.5	5	マスクオプション	文章変更
		7	PERIPHERAL CIRCUIT BOARDオプション	文章追加
5	5.11.11	106	プログラミング上の注意事項	(6)追加
	5.15.1	130	・変換時間	数値変更
8	8.2	151	推奨動作条件	表変更
	8.4	155	アナログ回路特性 A/D変換器特性	表変更
		158	AC特性 外部メモリアクセス・リードサイクル	注意事項追加
	8.8	169	特性グラフ(参考値) 電源電流(OSC3動作時) <水晶/セラミック発振>および<CR発振>	図変更
10	10.2	177	表10.2.1 パッド座標	表変更
Appendix		178 ~	S5U1C88000P1&S5U1C88816P2 Manual (Peripheral Circuit Board for S1C88349)	章追加



## 製品型番体系

デバイス



### 梱包仕様

- 00 : テープ&リール以外
- 0A : TCP BL 2方向
- 0B : テープ&リール BACK
- 0C : TCP BR 2方向
- 0D : TCP BT 2方向
- 0E : TCP BD 2方向
- 0F : テープ&リール FRONT
- 0G : TCP BT 4方向
- 0H : TCP BD 4方向
- 0J : TCP SL 2方向
- 0K : TCP SR 2方向
- 0L : テープ&リール LEFT
- 0M : TCP ST 2方向
- 0N : TCP SD 2方向
- 0P : TCP ST 4方向
- 0Q : TCP SD 4方向
- 0R : テープ&リール RIGHT
- 99 : 梱包仕様未定

### 仕様

[D: ベアチップ、F: QFP]

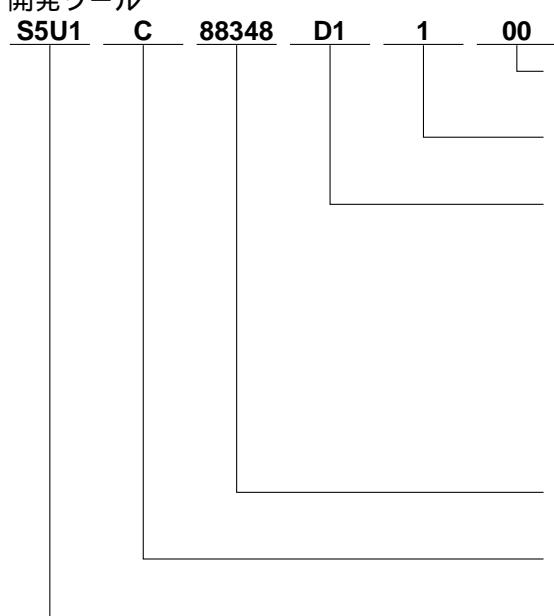
### 機種番号

[C: マイコン、デジタル製品]

### 製品分類

[S1: 半導体]

開発ツール



### 梱包仕様

[00: 標準梱包]

### バージョン

[1: Version 1]

### ツール種類

- Hx : ICE
- Ex : EVAボード
- Px : ペリフェラルボード
- Wx: FLASHマイコン用ROMライタ
- Xx : ROMライタ周辺ボード
- Cx : Cコンパイラパッケージ
- Ax : アセンブラーパッケージ
- Dx : 機種別ユーティリティツール
- Qx : ソフトシミュレータ

### 対応機種番号

[88348: S1C88348用]

### ツール分類

[C: マイコン用]

### 製品分類

[S5U1: 半導体用開発ツール]



## 一 目 次 一

1	概要	1
1.1	特長	1
1.2	ブロック図	2
1.3	端子配置図	3
1.4	端子説明	4
1.5	マスクオプション	5
2	電源	8
2.1	動作電圧	8
2.2	内部電源回路	8
3	CPUとバスの構成	9
3.1	CPU	9
3.2	内蔵メモリ	9
3.2.1	ROM	9
3.2.2	RAM	9
3.2.3	I/Oメモリ	9
3.2.4	表示メモリ	9
3.3	例外処理ベクタ	9
3.4	CC (カスタマイズコンディションフラグ)	10
3.5	チップモード	10
3.5.1	MCUモードとMPUモード	10
3.5.2	バスモード	11
3.6	外部バス	13
3.6.1	データバス	13
3.6.2	アドレスバス	13
3.6.3	リード(RD)/ライト(WR)信号	13
3.6.4	チップイネーブル(CE)信号	14
3.6.5	ウェイト制御	15
3.6.6	バス権解放状態	16
4	イニシャルリセット	17
4.1	イニシャルリセット要因	17
4.1.1	RESET端子	17
4.1.2	入力ポート(K00～K03)の同時LOWレベル入力	17
4.1.3	電源電圧検出(SVD)回路	18
4.1.4	イニシャルリセットシーケンス	18
4.2	イニシャルリセット時の初期設定	19
5	周辺回路と動作	20
5.1	I/Oメモリマップ	20
5.2	システムコントローラとバスの制御	33
5.2.1	バスモードの設定	33
5.2.2	アドレスデコーダ(CE出力)の設定	35
5.2.3	ウェイトステートの設定	36
5.2.4	バス権解放要求信号の設定	36
5.2.5	スタックページの設定	36
5.2.6	システムコントローラの制御方法	37
5.2.7	プログラミング上の注意事項	40

5.3 ウオッヂドッグタイマ	41
5.3.1 ウオッヂドッグタイマの構成	41
5.3.2 割り込み機能	41
5.3.3 ウオッヂドッグタイマの制御方法	41
5.3.4 プログラミング上の注意事項	41
5.4 発振回路と動作モード	42
5.4.1 発振回路の構成	42
5.4.2 マスクオプション	42
5.4.3 OSC1発振回路	42
5.4.4 OSC3発振回路	43
5.4.5 動作モード	43
5.4.6 CPUクロックの切り換え	44
5.4.7 発振回路と動作モードの制御方法	45
5.4.8 プログラミング上の注意事項	46
5.5 入力ポート (Kポート)	47
5.5.1 入力ポートの構成	47
5.5.2 マスクオプション	47
5.5.3 割り込み機能と入力比較レジスタ	48
5.5.4 入力ポートの制御方法	50
5.5.5 プログラミング上の注意事項	52
5.6 出力ポート (Rポート)	53
5.6.1 出力ポートの構成	53
5.6.2 マスクオプション	54
5.6.3 ハイインピーダンス制御	54
5.6.4 DC出力	55
5.6.5 特殊出力	55
5.6.6 出力ポートの制御方法	57
5.6.7 プログラミング上の注意事項	61
5.7 入出力兼用ポート (Pポート)	62
5.7.1 入出力兼用ポートの構成	62
5.7.2 マスクオプション	62
5.7.3 I/Oコントロールレジスタと入力/出力モード	63
5.7.4 入出力兼用ポートの制御方法	63
5.7.5 プログラミング上の注意事項	64
5.8 シリアルインタフェース	65
5.8.1 シリアルインタフェースの構成	65
5.8.2 マスクオプション	66
5.8.3 転送モード	66
5.8.4 クロック源	67
5.8.5 送受信の制御	68
5.8.6 クロック同期式転送の動作	69
5.8.7 調歩同期式転送の動作	73
5.8.8 割り込み機能	77
5.8.9 シリアルインタフェースの制御方法	79
5.8.10 プログラミング上の注意事項	83

5.9 計時タイマ	84
5.9.1 計時タイマの構成	84
5.9.2 割り込み機能	84
5.9.3 計時タイマの制御方法	86
5.9.4 プログラミング上の注意事項	88
5.10 ストップウォッチタイマ	89
5.10.1 ストップウォッチタイマの構成	89
5.10.2 カウントアップパターン	89
5.10.3 割り込み機能	90
5.10.4 ストップウォッチタイマの制御方法	91
5.10.5 プログラミング上の注意事項	93
5.11 プログラマブルタイマ	94
5.11.1 プログラマブルタイマの構成	94
5.11.2 カウント動作と基本モード設定	94
5.11.3 入力クロックの設定	96
5.11.4 タイマモード	96
5.11.5 イベントカウンタモード	97
5.11.6 パルス幅測定タイマモード	97
5.11.7 割り込み機能	98
5.11.8 TOUT出力の設定	98
5.11.9 シリアルインターフェースの転送速度設定	99
5.11.10 プログラマブルタイマの制御方法	100
5.11.11 プログラミング上の注意事項	105
5.12 LCDコントローラ	107
5.12.1 LCDコントローラの構成	107
5.12.2 マスクオプション	107
5.12.3 駆動デューティの切り換え	107
5.12.4 LCD電源	108
5.12.5 LCDドライバ	108
5.12.6 表示メモリ	111
5.12.7 表示の制御	118
5.12.8 CL、FR出力	118
5.12.9 LCDコントローラの制御方法	119
5.12.10 プログラミング上の注意事項	121
5.13 サウンドジェネレータ	122
5.13.1 サウンドジェネレータの構成	122
5.13.2 ブザー出力の制御	122
5.13.3 ブザー周波数と音量の設定	123
5.13.4 デジタルエンベロープ	123
5.13.5 ワンショット出力	124
5.13.6 サウンドジェネレータの制御方法	125
5.13.7 プログラミング上の注意事項	127
5.14 アナログコンパレータ	128
5.14.1 アナログコンパレータの構成	128
5.14.2 マスクオプション	128
5.14.3 アナログコンパレータの動作	128
5.14.4 アナログコンパレータの制御方法	129
5.14.5 プログラミング上の注意事項	129

5.15 A/D変換器 .....	130
5.15.1 A/D変換器の特長と構成 .....	130
5.15.2 A/D変換器の端子構成 .....	130
5.15.3 マスクオプション .....	130
5.15.4 A/D変換 .....	131
5.15.5 割り込み機能 .....	132
5.15.6 A/D変換器の制御方法 .....	133
5.15.7 プログラミング上の注意事項 .....	136
5.16 電源電圧検出(SVD)回路 .....	137
5.16.1 SVD回路の構成 .....	137
5.16.2 マスクオプション .....	137
5.16.3 SVD回路の動作 .....	137
5.16.4 SVD回路の制御方法 .....	139
5.16.5 プログラミング上の注意事項 .....	140
5.17 割り込みとスタンバイ状態 .....	141
5.17.1 割り込み発生条件 .....	142
5.17.2 割り込み要因フラグ .....	142
5.17.3 割り込みイネーブルレジスタ .....	143
5.17.4 割り込みプライオリティレジスタと割り込み優先レベル .....	143
5.17.5 例外処理ベクタ .....	144
5.17.6 割り込みの制御 .....	145
5.17.7 プログラミング上の注意事項 .....	146
6 注意事項 .....	147
6.1 低消費電力化のための注意事項 .....	147
6.2 実装上の注意事項 .....	148
7 基本外部結線図 .....	150
8 電気的特性 .....	151
8.1 絶対最大定格 .....	151
8.2 推奨動作条件 .....	151
8.3 DC特性 .....	152
8.4 アナログ回路特性 .....	153
8.5 消費電流 .....	156
8.6 AC特性 .....	157
8.7 発振特性 .....	165
8.8 特性グラフ (参考値) .....	166
9 パッケージ .....	173
9.1 プラスチックパッケージ .....	173
9.2 テストサンプル用セラミックパッケージ .....	175
10 パッド配置 .....	176
10.1 パッド配置図 .....	176
10.2 パッド座標 .....	177

Appendix S5U1C88000P1&S5U1C88816P2 Manual (Peripheral Circuit Board for S1C88349) .....	178
A.1 各部の名称と機能 .....	178
A.2 装着方法 .....	180
A.2.1 S5U1C88000P1へのS5U1C88816P2の装着 .....	180
A.2.2 ICE(S5U1C88000H5)への装着 .....	180
A.3 ターゲットシステムとの接続 .....	181
A.4 S5U1C88000P1への回路データのダウンロード .....	183
A.5 使用上の注意 .....	184
A.5.1 操作上の注意事項 .....	184
A.5.2 実際のICとの相違点 .....	184
A.6 製品の仕様 .....	186
A.6.1 S5U1C88000P1の仕様 .....	186
A.6.2 S5U1C88816P2の仕様 .....	186



# 1 概要

S1C88349はCMOS 8ビットCPU S1C88(MODEL3)を中心に、ROM(48Kバイト)、RAM(2Kバイト)、ドットマトリクスLCDドライバ、3種類のタイマ、調歩同期/クロック同期が選択可能なシリアルインターフェース、A/D変換器などを内蔵したマイクロコンピュータです。

動作電圧が広く、低電圧でも高速な動作が可能です。また、低消費電力というS1C Familyの特長も合わせ持っています。19ビットの外部アドレスバスと4ビットのチップイネーブル信号により最大512K×4バイトのメモリが制御でき、高機能データバンクなどのシステムに最適です。

## 1.1 特長

表1.1.1にS1C88349の特長を示します。

表1.1.1 特長

コアCPU	CMOS 8ビットコアCPU S1C88 (MODEL3)
OSC1発振回路	水晶発振回路/CR発振回路/外部クロック入力 32.768kHz (Typ.)
OSC3発振回路	水晶発振回路/セラミック発振回路/CR発振回路/外部クロック入力 8.2MHz (Max.)
命令セット	608種類 (乗除算命令使用可能)
最小命令実行時間	0.244μsec/8.2MHz (2クロック)
内蔵ROM容量	48Kバイト
内蔵RAM容量	2Kバイト/RAM 3,216ビット/表示メモリ
バスライン	アドレスバス: 19ビット (バスとして使用しない場合は汎用出力ポートとして使用可能) データバス: 8ビット (バスとして使用しない場合は汎用出力ポートとして使用可能) CE信号: 4ビット WR信号: 1ビット (バスとして使用しない場合は汎用出力ポートとして使用可能) RD信号: 1ビット
入力ポート	10ビット (2ビットをイベントカウンタの外部クロック入力、バスリクエスト信号入力端子に設定可能)
出力ポート	9ビット (6ビットをブザー出力、LCD制御、FOUT、TOUT、バスアクノリッジ信号出力端子に設定可能)
入出力兼用ポート	8ビット (4ビットずつをシリアルI/F入出力、アナログコンバーティ/AD入力に設定可能)
シリアルインターフェース	1ch (クロック同期式/調歩同期式の選択が可能)
タイマ	プログラマブルタイマ (8ビット): 2ch (1chをイベントカウンタとして、または2chを16ビット1chのプログラマブルタイマとして設定可能) 計時タイマ (8ビット): 1ch ストップウォッチタイマ (8ビット): 1ch
LCDドライバ	ドットマトリクス方式 (5×8または5×5ドットフォント対応可能) 51セグメント×32コモン (1/5バイス) 67セグメント×16または8コモン (1/5バイス) LCD電源回路内蔵 (5電位昇圧タイプ)
サウンドジェネレータ	エンベロープ機能、音量調整機能付き
ウォッチドッグタイマ	内蔵
アナログコンバーティ	2ch内蔵 (A/D変換器使用時は使用不可)
A/D変換器	分解能: 10ビット、入力: 4ch、最大誤差: ±5LSB (アナログコンバーティ使用時は使用不可)
電源電圧検出回路 (SVD)	16レベルの検出電圧が読み出し可能
割り込み	外部割り込み: 入力割り込み 2系統 (3種類) 内部割り込み: タイマ割り込み 3系統 (9種類) シリアルインターフェース割り込み 1系統 (3種類) A/D変換割り込み 1系統 (1種類)
電源電圧	通常モード: 2.4V ~ 5.5V (Max. 4.2MHz) VD1 = 2.2V 低パワーモード: 1.8V ~ 3.5V (Max. 80kHz) VD1 = 1.2V 高速モード: 3.5V ~ 5.5V (Max. 8.2MHz) VD1 = 3.3V
消費電流	SLEEP時: 0.3μA HALT時: 1.5μA (Typ./通常モード) 動作時 (32kHz): 9μA (Typ./通常モード) 動作時 (4MHz): 1.1mA (Typ./通常モード)
出荷形態	QFP18-176ピン、QFP21-176ピンまたはチップ

\* 出力ポートおよび入出力兼用ポートのビット数は、バスと兼用のものは含みません。

## 1.2 ブロック図

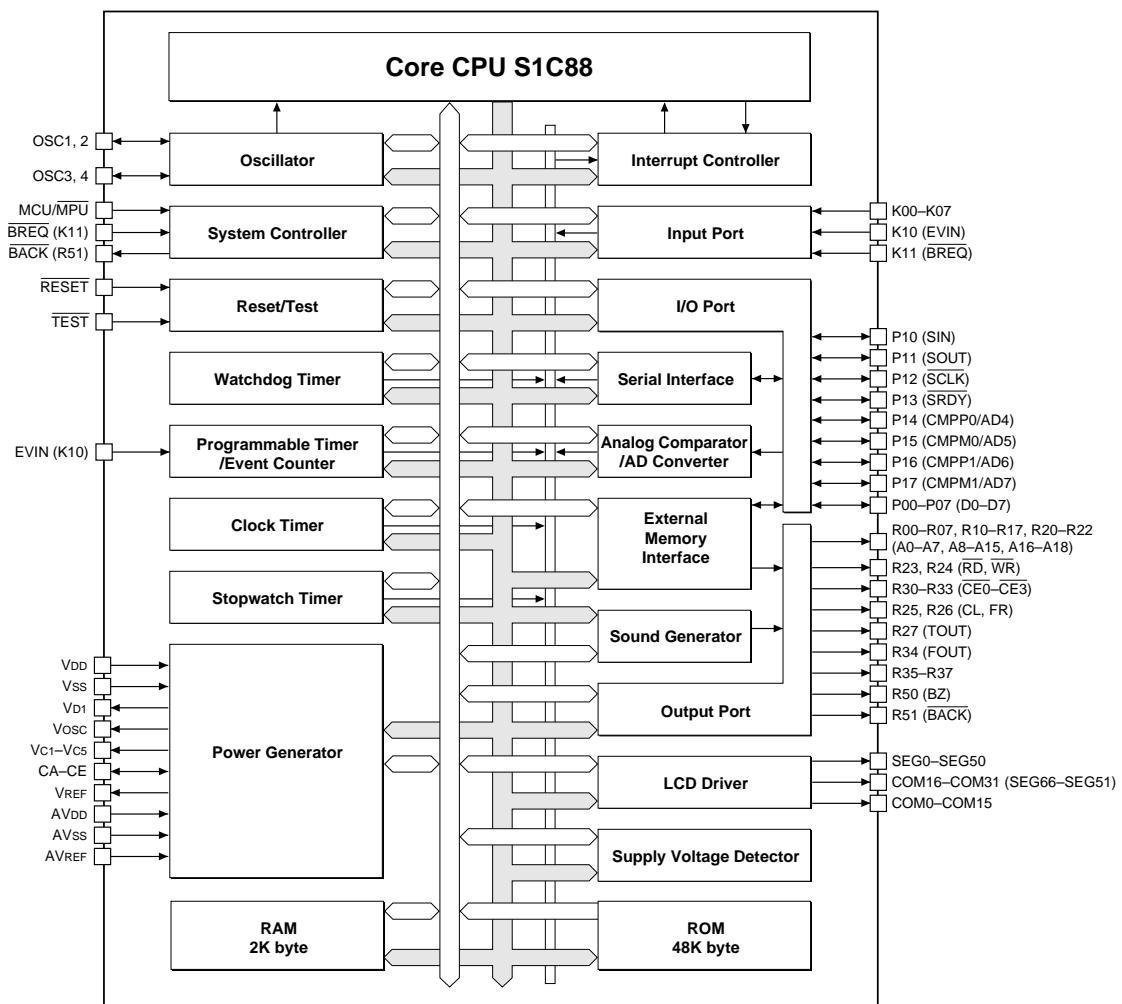
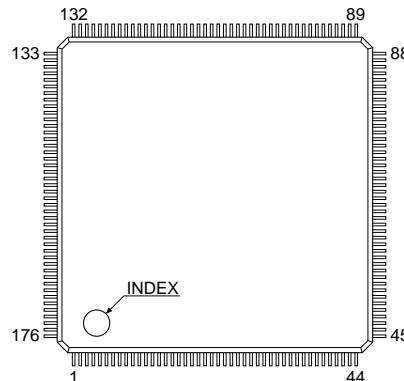


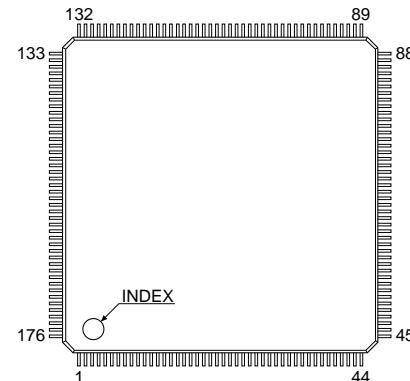
図1.2.1 S1C88349ブロック図

## 1.3 端子配置図

QFP18-176pin



QFP21-176pin



端子No.	端子名	端子No.	端子名	端子No.	端子名	端子No.	端子名
1	SEG2	45	SEG46	89	OSCI	133	R11/A9
2	SEG3	46	SEG47	90	OSC2	134	R12/A10
3	SEG4	47	SEG48	91	TEST	135	R13/A11
4	SEG5	48	SEG49	92	RESET	136	R14/A12
5	SEG6	49	SEG50	93	MCU/MPU	137	R15/A13
6	SEG7	50	COM31/SEG51	94	K11/BREQ	138	R16/A14
7	SEG8	51	COM30/SEG52	95	K10/EVIN	139	R17/A15
8	SEG9	52	COM29/SEG53	96	K07	140	R20/A16
9	SEG10	53	COM28/SEG54	97	K06	141	R21/A17
10	SEG11	54	COM27/SEG55	98	K05	142	R22/A18
11	SEG12	55	COM26/SEG56	99	K04	143	R23/RD
12	SEG13	56	COM25/SEG57	100	K03	144	R24/WR
13	SEG14	57	COM24/SEG58	101	K02	145	R25/CL
14	SEG15	58	COM23/SEG59	102	K01	146	R26/FR
15	SEG16	59	COM22/SEG60	103	K00	147	R27/TOUT
16	SEG17	60	COM21/SEG61	104	P17/CMPM1/AD7	148	R30/CE0
17	SEG18	61	COM20/SEG62	105	P16/CMPPI/AD6	149	R31/CE1
18	SEG19	62	COM19/SEG63	106	P15/CMPM0/AD5	150	R32/CE2
19	SEG20	63	COM18/SEG64	107	P14/CMPPO/AD4	151	R33/CE3
20	SEG21	64	COM17/SEG65	108	P13/SDRDY	152	R34/FOUT
21	SEG22	65	COM16/SEG66	109	P12/SCLK	153	R35
22	SEG23	66	N.C.	110	P11/SOUT	154	R36
23	SEG24	67	N.C.	111	P10/SIN	155	R37
24	SEG25	68	N.C.	112	AVDD	156	Vss
25	SEG26	69	N.C.	113	AVSS	157	R50/BZ
26	SEG27	70	N.C.	114	AVREF	158	R51/BACK
27	SEG28	71	N.C.	115	VDD	159	COM0
28	SEG29	72	VREF	116	P07/D7	160	COM1
29	SEG30	73	CE	117	P06/D6	161	COM2
30	SEG31	74	CD	118	P05/D5	162	COM3
31	SEG32	75	CC	119	P04/D4	163	COM4
32	SEG33	76	CB	120	P03/D3	164	COM5
33	SEG34	77	CA	121	P02/D2	165	COM6
34	SEG35	78	Vcs	122	P01/D1	166	COM7
35	SEG36	79	Vc4	123	P00/D0	167	COM8
36	SEG37	80	Vc3	124	R00/A0	168	COM9
37	SEG38	81	Vc2	125	R01/A1	169	COM10
38	SEG39	82	Vc1	126	R02/A2	170	COM11
39	SEG40	83	OSC3	127	R03/A3	171	COM12
40	SEG41	84	OSC4	128	R04/A4	172	COM13
41	SEG42	85	Vd1	129	R05/A5	173	COM14
42	SEG43	86	Vdd	130	R06/A6	174	COM15
43	SEG44	87	Vss	131	R07/A7	175	SEG0
44	SEG45	88	Vosc	132	R10/A8	176	SEG1

図1.3.1 S1C88349端子配置図

## 1.4 端子説明

表1.4.1 S1C88349端子説明

端子名	端子No.	In/Out	機能
VDD	86, 115	-	電源(+)端子
VSS	87, 156	-	電源(GND)端子
VD1	85	-	内部ロジック系専用定電圧回路出力端子
Vosc	88	-	発振用定電圧出力端子
Vc1~Vc5	82~78	-	LCD駆動電圧出力端子
CA~CE	77~73	-	LCD系昇圧コンデンサ接続端子
Vref	72	O	LCD系電源テスト端子
OSC1	89	I	OSC1発振入力端子 (水晶/CR/外部クロック入力をマスクオプションで選択)
OSC2	90	O	OSC1発振出力端子
OSC3	83	I	OSC3発振入力端子 (水晶/セラミック/CR/外部クロック入力をマスクオプションで選択)
OSC4	84	O	OSC3発振出力端子
MCU/MPU	93	I	MCUモード/MPUモード設定端子
K00~K07	103~96	I	入力ポート(K00~K07)端子
K10/EVIN	95	I	入力ポート(K10)端子またはイベントカウンタ外部クロック(EVIN)入力端子
K11/BREQ	94	I	入力ポート(K11)端子またはバスリクエスト信号(BREQ)入力端子
R00~R07/A0~A7	124~131	O	出力ポート(R00~R07)端子またはアドレスバス(A0~A7)
R10~R17/A8~A15	132~139	O	出力ポート(R10~R17)端子またはアドレスバス(A8~A15)
R20~R22/A16~A18	140~142	O	出力ポート(R20~R22)端子またはアドレスバス(A16~A18)
R23/RD	143	O	出力ポート(R23)端子またはリード信号(RD)出力端子
R24/WR	144	O	出力ポート(R24)端子またはライト信号(WR)出力端子
R25/CL	145	O	出力ポート(R25)端子またはLCD同期信号(CL)出力端子
R26/FR	146	O	出力ポート(R26)端子またはLCDフレーム信号(FR)出力端子
R27/TOUT	147	O	出力ポート(R27)端子 またはプログラマブルタイマアンダーフロー信号(TOUT)出力端子
R30~R33/CE0~CE3	148~151	O	出力ポート(R30~R33)端子またはチップインエーブル信号(CE0~CE3)出力端子
R34/FOUT	152	O	出力ポート(R34)端子またはクロック(FOUT)出力端子
R35~R37	153~155	O	出力ポート(R35~R37)端子
R50/BZ	157	O	出力ポート(R50)端子またはブザー信号(BZ)出力端子
R51/BACK	158	O	出力ポート(R51)端子またはバスアクリッジ信号(BACK)出力端子
P00~P07/D0~D7	123~116	I/O	入出力兼用ポート(P00~P07)端子またはデータバス(D0~D7)
P10/SIN	111	I/O	入出力兼用ポート(P10)端子またはシリアルI/Fデータ入力(SIN)端子
P11/SOUT	110	I/O	入出力兼用ポート(P11)端子またはシリアルI/Fデータ出力(SOUT)端子
P12/SCLK	109	I/O	入出力兼用ポート(P12)端子またはシリアルI/Fクロック(SCLK)入出力端子
P13/SRDY	108	I/O	入出力兼用ポート(P13)端子またはシリアルI/Fレディ信号(SRDY)出力端子
P14/CMPP0/AD4	107	I/O	入出力兼用ポート(P14)端子、アナログコンバーティ0非反転入力端子 またはA/D変換器入力端子
P15/CMPP0/AD5	106	I/O	入出力兼用ポート(P15)端子、アナログコンバーティ0反転入力端子 またはA/D変換器入力端子
P16/CMPP1/AD6	105	I/O	入出力兼用ポート(P16)端子、アナログコンバーティ1非反転入力端子 またはA/D変換器入力端子
P17/CMPP1/AD7	104	I/O	入出力兼用ポート(P17)端子、アナログコンバーティ1反転入力端子 またはA/D変換器入力端子
COM0~COM15	159~174	O	LCDコモン出力端子
COM16~COM31 /SEG66~SEG51	65~50	O	LCDコモン出力端子(1/32デューティ選択時) またはLCDセグメント出力端子(1/16デューティ選択時)
SEG0~SEG50	175~176, 1~49	O	LCDセグメント出力端子
RESET	92	I	イニシャルリセット入力端子
TEST	91	I	テスト用入力端子
AVDD	112	-	アナログ回路系電源(+)端子
AVss	113	-	アナログ回路系電源(-)端子
AVref	114	-	アナログ回路系基準電源端子

## 1.5 マスクオプション

S1C88349には以下に示すマスクオプションが設定されています。

各マスクオプションには複数のハードウェア仕様が用意されており、アプリケーションに合わせて選択することができます。

この選択にはS1C88349の開発ソフトウェアツールとして用意されているファンクションオプションジェネレータwinfogを使用します。winfogによって作成したデータをもとに最終的なICのマスクパターン生成が行われます。

winfogについては"S5U1C88000C Manual II"を参照してください。

### オプションリスト

S1C88349およびICE(S5U1C88000H5)には以下のオプションが設定可能です。本マニュアルの回路説明を参照してシステムに合った内容を選択し、印をつけてください。なお、使用しない機能についても解説にしたがって必ず記入してください。このオプションリストを参照して、マスクオプション選択をwinfogの画面上で行います。

#### PERIPHERAL CIRCUIT BOARDオプションリスト

##### A OSC1発振回路 ... OSC1 SYSTEM CLOCK

1. 内部クロック
2. ユーザクロック

##### B OSC3発振回路 ... OSC3 SYSTEM CLOCK

1. 内部クロック
2. ユーザクロック

#### S1C88349マスクオプションリスト

##### 1 OSC1発振回路 ... OSC1 SYSTEM CLOCK

1. 水晶発振回路
2. 外部クロック
3. CR発振回路
4. 水晶発振回路(ゲート容量内蔵)

##### 2 OSC3発振回路 ... OSC3 SYSTEM CLOCK

1. 水晶発振回路
2. セラミック発振回路
3. CR発振回路
4. 外部クロック

##### 3 キー同時押しリセット ... MULTIPLE KEY ENTRY RESET

- ・組み合わせ .....
- 1. 使用しない
- 2. 使用する K00, K01
- 3. 使用する K00, K01, K02
- 4. 使用する K00, K01, K02, K03

##### 4 MPUモード初期設定 ... MPU MODE INITIAL SET

1. 512K(MAX)
2. 512K(MIN)
3. 64K

##### 5 SVDリセット ... SVD RESET

1. 使用しない
2. 使用する

## 6 入力ポート プルアップ抵抗 ... INPUT PORT PULL UP RESISTOR

- |                 |         |         |
|-----------------|---------|---------|
| • K00 .....     | 1. 抵抗あり | 2. 抵抗なし |
| • K01 .....     | 1. 抵抗あり | 2. 抵抗なし |
| • K02 .....     | 1. 抵抗あり | 2. 抵抗なし |
| • K03 .....     | 1. 抵抗あり | 2. 抵抗なし |
| • K04 .....     | 1. 抵抗あり | 2. 抵抗なし |
| • K05 .....     | 1. 抵抗あり | 2. 抵抗なし |
| • K06 .....     | 1. 抵抗あり | 2. 抵抗なし |
| • K07 .....     | 1. 抵抗あり | 2. 抵抗なし |
| • K10 .....     | 1. 抵抗あり | 2. 抵抗なし |
| • K11 .....     | 1. 抵抗あり | 2. 抵抗なし |
| • MCU/MPU ..... | 1. 抵抗あり | 2. 抵抗なし |
| • RESET .....   | 1. 抵抗あり | 2. 抵抗なし |

## 7 入出力兼用ポート プルアップ抵抗 ... I/O PORT PULL UP RESISTOR

- |             |         |         |
|-------------|---------|---------|
| • P00 ..... | 1. 抵抗あり | 2. 抵抗なし |
| • P01 ..... | 1. 抵抗あり | 2. 抵抗なし |
| • P02 ..... | 1. 抵抗あり | 2. 抵抗なし |
| • P03 ..... | 1. 抵抗あり | 2. 抵抗なし |
| • P04 ..... | 1. 抵抗あり | 2. 抵抗なし |
| • P05 ..... | 1. 抵抗あり | 2. 抵抗なし |
| • P06 ..... | 1. 抵抗あり | 2. 抵抗なし |
| • P07 ..... | 1. 抵抗あり | 2. 抵抗なし |
| • P10 ..... | 1. 抵抗あり | 2. 抵抗なし |
| • P11 ..... | 1. 抵抗あり | 2. 抵抗なし |
| • P12 ..... | 1. 抵抗あり | 2. 抵抗なし |
| • P13 ..... | 1. 抵抗あり | 2. 抵抗なし |
| • P14 ..... | 1. 抵抗あり | 2. 抵抗なし |
| • P15 ..... | 1. 抵抗あり | 2. 抵抗なし |
| • P16 ..... | 1. 抵抗あり | 2. 抵抗なし |
| • P17 ..... | 1. 抵抗あり | 2. 抵抗なし |

## 8 出力ポート 出力仕様 ... OUTPUT PORT SPECIFICATION

- |             |             |                |
|-------------|-------------|----------------|
| • R00 ..... | 1. コンプリメンタリ | 2. Nchオープンドレイン |
| • R01 ..... | 1. コンプリメンタリ | 2. Nchオープンドレイン |
| • R02 ..... | 1. コンプリメンタリ | 2. Nchオープンドレイン |
| • R03 ..... | 1. コンプリメンタリ | 2. Nchオープンドレイン |
| • R04 ..... | 1. コンプリメンタリ | 2. Nchオープンドレイン |
| • R05 ..... | 1. コンプリメンタリ | 2. Nchオープンドレイン |
| • R06 ..... | 1. コンプリメンタリ | 2. Nchオープンドレイン |
| • R07 ..... | 1. コンプリメンタリ | 2. Nchオープンドレイン |
| • R10 ..... | 1. コンプリメンタリ | 2. Nchオープンドレイン |
| • R11 ..... | 1. コンプリメンタリ | 2. Nchオープンドレイン |
| • R12 ..... | 1. コンプリメンタリ | 2. Nchオープンドレイン |
| • R13 ..... | 1. コンプリメンタリ | 2. Nchオープンドレイン |
| • R14 ..... | 1. コンプリメンタリ | 2. Nchオープンドレイン |
| • R15 ..... | 1. コンプリメンタリ | 2. Nchオープンドレイン |
| • R16 ..... | 1. コンプリメンタリ | 2. Nchオープンドレイン |
| • R17 ..... | 1. コンプリメンタリ | 2. Nchオープンドレイン |

## 9 LCD駆動電源 ... LCD POWER SUPPLY

1. 内部電源
2. 外部電源

## マスクオプション概要

### PERIPHERAL CIRCUIT BOARDオプション

ICE (S5U1C88000H5)に組み込むPeripheral Circuit Board (S5U1C88000P1&S5U1C88816P2)に対して設定できるオプションです。ICのマスクオプションには影響しません。

#### (A) OSC1発振回路

ユーザクロックを選択した場合、OSC1端子から任意のクロックを入力してください。また、内部クロックを選択した場合、ICのマスクオプションリストによって選択された発振回路オプションにより、使用できる周波数が異なります。

#### (B) OSC3発振回路

ユーザクロックを選択した場合、OSC3端子から任意のクロックを入力してください。また、内部クロックを選択した場合、ICのマスクオプションリストによって選択された発振回路オプションにより、使用できる周波数が異なります。

## S1C88349マスクオプション

#### (1) OSC1発振回路

OSC1発振回路の種類を、水晶発振、CR発振、水晶発振(ゲート容量内蔵)、外部クロック入力から選択できます。詳細については、"5.4.3 OSC1発振回路"を参照してください。

#### (2) OSC3発振回路

OSC3発振回路の種類を、水晶発振、セラミック発振、CR発振、外部クロック入力から選択できます。詳細については、"5.4.4 OSC3発振回路"を参照してください。

#### (3) 入力ポート(K00～K03)同時LOW入力による外部リセット

この機能は、複数キーの同時押しによってICをリセットするもので、この機能を使用するかしないかをマスクオプションで選択できます。また、使用する場合は、同時に押すキーを接続する入力ポート(K00～K03)の組み合わせを選択します。詳細については"4.1.2 入力ポート(K00～K03)の同時LOWレベル入力"を参照してください。

#### (4) MPUモード初期設定

MPUモード時に初期設定するバスモードを拡張512Kマキシマムモード、拡張512Kミニマムモード、拡張64Kモードから選択します。詳細については"5.2 システムコントローラとバスの制御"を参照してください。

#### (5) SVD回路によるイニシャルリセット

SVD回路は電源電圧がレベル0以下に低下した場合にイニシャルリセット信号を発生する機能を持っています。この機能を使用するかしないかをマスクオプションで選択できます。詳細については"5.16 電源電圧検出(SVD)回路"を参照してください。

#### (6) 入力ポート、MCU/MPU端子、RESET端子 プルアップ抵抗

入力(K)ポートにプルアップ抵抗を付加するかしないか選択できます。この選択は入力ポートの各ビットごとに行えます。詳細については"5.5 入力ポート(Kポート)"を参照してください。また、MCU/MPU端子およびRESET端子にもプルアップ抵抗を付加するかしないか選択できます。

#### (7) 入出力兼用ポートプルアップ抵抗

入出力兼用(P)ポートが入力モード時に働くプルアップ抵抗を付加するかしないか選択できます。この選択は入出力兼用ポートの各ビットごとに行えます。詳細については"5.7 入出力兼用ポート(Pポート)"を参照してください。

なお、P10～P13はシリアルインターフェースの入出力端子と兼用されており、P10およびP12端子の選択は、それぞれシリアル入力(SIN)端子、シリアルクロック入力(クロック同期式スレーブモード選択時のSCLK)端子にも適用されます。詳細については"5.8 シリアルインターフェース"を参照してください。

#### (8) 出力ポートの出力仕様

出力ポートR00～R07およびR10～R17の出力仕様として、コンプリメンタリ出力またはNchオープンドレイン出力が選択できます。選択は1ビット単位で行います。詳細については"5.6.2 マスクオプション"を参照してください。

#### (9) LCD駆動電源

LCDの駆動に内部電源(内部LCD系定電圧回路と昇圧回路でVC1～VC5を発生)を使用するか、外部電源を使用するか選択できます。詳細については"5.12.2 マスクオプション"を参照してください。

# 2 電源

ここでは、S1C88349の動作電圧、および内部電源回路の構成について説明します。

## 2.1 動作電圧

S1C88349の動作電源電圧は次のとおりです。

通常モード:	2.4V ~ 5.5V
低パワーモード:	1.8V ~ 3.5V
高速モード:	3.5V ~ 5.5V

## 2.2 内部電源回路

S1C88349は図2.2.1に示す電源回路を内蔵しており、前記の範囲内の電圧をV<sub>DD</sub>(+)、V<sub>SS</sub>(GND)間に供給することによって内部回路に必要なすべての電圧をIC内部で発生します。

電源回路は大きく3つに分けられます。

内部定電圧回路は、内部ロジック回路とOSC3発振回路の動作電圧<V<sub>D1</sub>>を発生します。

V<sub>D1</sub>の電圧値は動作モードに応じ、1.2V(低パワー モード時)/2.2V(通常モード時)/3.1V(高速モード時)の3種類が選択可能で、電源電圧および発振周波数にしたがってプログラムにより切り換えて使用します。

動作モードの切り換えについては"5.4 発振回路と動作モード"を参照してください。

注! V<sub>D1</sub>端子の出力を外部回路の駆動には絶対に使用しないでください。

発振系定電圧回路はOSC1発振回路の動作電圧<V<sub>OSC</sub>>を発生します。

LCD系電源回路はLCDの駆動電圧を発生します。この駆動電圧は1/5バイアス用の<V<sub>C1</sub>>~<V<sub>C5</sub>>の5電位で、LCD系定電圧回路の出力V<sub>C1</sub>およびV<sub>C2</sub>を昇圧してV<sub>C3</sub>~V<sub>C5</sub>を発生しています。この5電位はそれぞれの端子から外部に出力され、外付けの拡張LCDドライバ(S1D15210相当品)に供給することができます。

各電圧値については"8 電気的特性"を参照してください。

S1C88349では、内蔵されたLCDドライバにこのLCD駆動電圧が供給され、コモン/セグメント端子に接続されたLCDパネルを駆動します。

注! • V<sub>C1</sub>~V<sub>C5</sub>端子は、拡張LCDドライバへ電位を供給する以外の目的には絶対に使用しないでください。

• 外付け拡張LCDドライバS1D15210に関しては、S1D15000シリーズテクニカルマニュアルを参照してください。

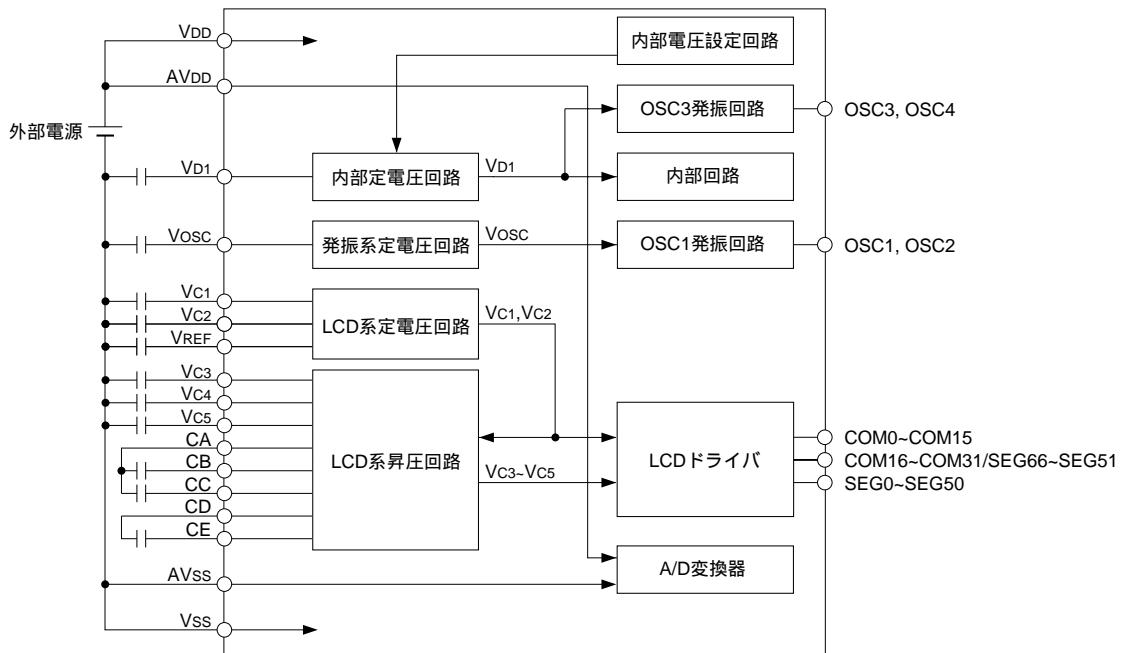


図2.2.1 電源回路の構成

# 3 CPUとバスの構成

ここでは、CPUと動作モード、およびバスの構成について説明します。

## 3.1 CPU

S1C88349はCPUとして8ビットコアCPU S1C88を使用しており、レジスタ構成、命令等は他のS1C88を使用したファミリプロセッサとほぼ同様です。S1C88については"S1C88コアCPUマニュアル"を参照してください。

使用しているS1C88のCPUモデルはMODEL3で、S1C88349の場合、アドレス空間は最大512Kバイト×4となっています。

## 3.2 内蔵メモリ

S1C88349は図3.2.1に示すROMおよびRAMを内蔵しており、小規模なアプリケーションには1チップで対応することができます。この内蔵メモリは外部メモリと合わせて使用可能です。また、内蔵ROMをバスから切り離して、所定の空間を外部に解放することもできます。

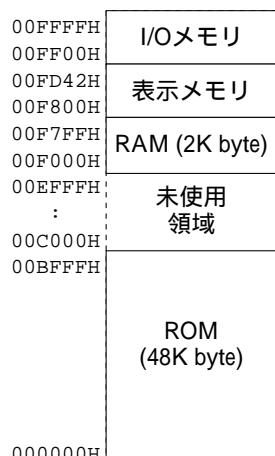


図3.2.1 内蔵メモリマップ

### 3.2.1 ROM

内蔵ROMの容量は48Kバイトで、000000H～00BFFFHに配置されています。

内蔵ROMの領域はMCU/MPU端子の設定によって、外部メモリに解放することができます("3.5チップモード"参照)。

## 3.2.2 RAM

内蔵RAMの容量は2Kバイトで、00F000H～00F7FFHに配置されています。

なお、内蔵RAM領域に外部メモリを拡張した場合でも、この領域は外部メモリには解放されません。この領域のアクセスは常に内蔵RAMに対して行われます。

## 3.2.3 I/Oメモリ

S1C88349では、内蔵する周辺回路とのインターフェースにメモリマップドI/O方式を採用しています。各周辺回路の制御ビットやデータレジスタはメモリ空間上に配置され、通常のメモリアクセスによって制御およびデータのやりとりが行えます。I/Oメモリが配置されている領域は00FF00H～00FFFFHです。I/Oメモリの詳細については"5.1 I/Oメモリマップ"を参照してください。

なお、I/Oメモリ領域に外部メモリを拡張した場合でも、この領域は外部メモリには解放されません。この領域のアクセスは常にI/Oメモリに対して行われます。

## 3.2.4 表示メモリ

S1C88349はLCDドライバの表示データを保持する表示メモリを内蔵しています。表示メモリが配置されている領域は00Fx00H～00Fx42H(x=8～DH)です。表示メモリの詳細については"5.12 LCDコントローラ"を参照してください。

表示メモリの領域もI/Oメモリと同様に外部メモリには解放されません。

## 3.3 例外処理ベクタ

S1C88349ではプログラム領域の000000H～000025Hが例外処理ベクタとして割り当てられています。また、000028H～0000FFHまでは任意の偶数番地から始まる2バイトにソフトウェア割り込みのベクタを割り付けることができます。

表3.3.1にベクタアドレスと例外処理要因の対応を示します。

表3.3.1 ベクタアドレスと例外処理要因の対応

ベクタアドレス	例外処理要因	優先順位
000000H	リセット	高い
000002H	ゼロ除算	
000004H	ウォッチドッグタイマ(NMI)	
000006H	プログラマブルタイマ1割り込み	
000008H	プログラマブルタイマ0割り込み	
00000AH	K10、K11入力割り込み	
00000CH	K04～K07入力割り込み	
00000EH	K00～K03入力割り込み	
000010H	シリアルI/Fエラー割り込み	
000012H	シリアルI/F受信完了割り込み	
000014H	シリアルI/F送信完了割り込み	
000016H	ストップウォッチタイマ100Hz割り込み	
000018H	ストップウォッチタイマ10Hz割り込み	
00001AH	ストップウォッチタイマ1Hz割り込み	
00001CH	計時タイマ32Hz割り込み	
00001EH	計時タイマ8Hz割り込み	
000020H	計時タイマ2Hz割り込み	
000022H	計時タイマ1Hz割り込み	
000024H	A/D変換完了割り込み	低い
000026H	システム予約(使用不可)	
000028H		
：		
0000FEH	ソフトウェア割り込み	なし

各ベクタアドレスとその次のアドレスに、例外処理ルーチンの先頭アドレスを下位、上位の順に格納しておきます。例外処理要因が発生すると、設定されたアドレスから始まる例外処理ルーチンを実行します。

同時に複数の例外処理が発生した場合は優先順位の高いものから先に実行されます。

なお、表3.3.1に示された割り込みの優先順位は、割り込み優先レベルがすべて同じ場合のものです。各割り込みの優先レベルは系列ごとにソフトウェアで設定することができます。("5.17 割り込みとスタンバイ状態"参照)

注! リセット以外の例外処理ではSC(システムコンディションフラグ)およびPC(プログラムカウンタ)をスタックに退避させ、各例外処理ルーチンに分岐します。したがって、例外処理ルーチンからメインルーチンに戻す際にはRETE命令を使用してください。

例外処理要因発生時のCPUの動作については "S1C88コアCPUマニュアル"を参照してください。

### 3.4 CC(カスタマイズコンディションフラグ)

S1C88349ではコアCPU内のカスタマイズコンディションフラグ(CC)を使用していません。したがって、条件付き分岐命令(JRS、CARS)の分岐条件として使用することはできません。

## 3.5 チップモード

### 3.5.1 MCUモードとMPUモード

S1C88349はMCU/MPU端子によってチップの動作モードを次の2種類に設定できます。

MCUモード ... MCU/MPU端子をHIGHに設定 内蔵ROMを使用する場合に設定します。内蔵メモリ以外の領域については外部メモリの拡張も行えます。メモリマップについては"3.5.2 バスモード"を参照してください。

MCUモードではイニシャルリセット時に内蔵メモリのみのシステムとして起動するようになっています。内蔵ROMはプログラムメモリのコモンエリア(論理空間の0000H～7FFFH)部として常時固定となり、例外処理ベクタは内蔵ROM内に配置されます。また、リセット例外処理によって開始されるアプリケーションの初期化ルーチンについても、内蔵ROMに書き込んでおく必要があります。外部に拡張したメモリに対応させるバス等の設定はソフトウェアによって行えますので、内蔵ROMに書き込む初期化ルーチンの中でこの処理を行います。このバスモードの設定後、外部メモリのアクセスが行えるようになります。

このモードでは内蔵メモリの領域をアクセスする際、外部メモリに対してチップイネーブル(CE)信号およびリード(RD)/ライト(WR)信号が出力されず、データバス(D0～D7)はハイインピーダンス(マスクオプションでP00～P07をプルアップ抵抗ありとした場合はプルアップ状態)となります。したがって、外部メモリと内蔵メモリでアドレスが重複した場合、外部メモリのその領域は無効となります。

MPUモード ... MCU/MPU端子をLOWに設定 内蔵ROM領域を外部に解放します。内蔵ROMは使用できなくなり、この領域のアクセス時には外部メモリに対してチップイネーブル(CE)信号およびリード(RD)/ライト(WR)信号が出力され、データバス(D0～D7)がアクティブとなります。他の内蔵メモリの領域をアクセスする際には、これらの信号は外部に出力されません。

MPUモードでは外部のメモリによってシステムが起動します。このため、イニシャルリセット時に外部メモリの構成にしたがったバスの設定が行えるよう、マスクオプションでシステム構成("3.5.2 バスモード"参照)を選択することができます。

このモードで使用する場合、例外処理ベクタと初期化ルーチンを、必ずコモンエリア(000000H～007FFFH)内に配置する必要があります。

MCU/MPU端子の内蔵プルアップ抵抗は、マスクオプションで使用するかしないかを選択することができます。

注! MCU/MPU端子の設定は、RESET端子の立ち上がりエッジでラッチされますので、設定を変更する場合はRESET端子を再度LOWレベルとする必要があります。

### 3.5.2 バスモード

バスモードは外部に拡張したメモリの構成にバスの仕様を合わせるための設定で、以下の4種類がソフトウェアによって選択できます。

#### シングルチップモード

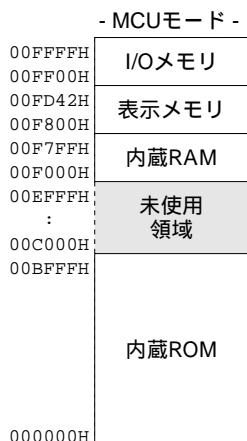


図3.5.2.1 シングルチップモードのメモリマップ

シングルチップモードは外部メモリの拡張を行わずS1C88349をシングルチップマイクロコンピュータとして使用する場合に設定するモードです。

このモードでは内蔵ROMを使用するため、前項で示したMCUモードでのみ動作します。MPUモードではシングルチップモードを設定することはできません。

外部に対するバスラインが必要なくなるため、バス用に設定されている端子は汎用の出力ポートあるいは入出力兼用ポートとして使用できます。これにより出力ポートはS1C88349では34ビットとなり、入出力兼用ポートは16ビットの構成となります。

このモードにおけるCPUの動作はS1C88コアCPUのMODEL3/ミニマムモードに相当し、物理空間000000Hから00FFFFHまでの領域中、内部メモリが配置されたアドレスのみアクセスの対象として有効となります。

#### 拡張64Kモード (MPUモード)

拡張64KモードはS1C88349の外部に64Kバイト以下のメモリを拡張して使用する場合に設定します。このモードはMPUモードのみに設定できます。

MPUモードでは内蔵ROM領域が解放されますので、000000Hから00FFFFHまでの領域に外部メモリ等を割り当てることができます。

00F000Hから00FFFFHまでの領域は内蔵RAM等に割り当てられており、外部デバイスをアクセスすることはできません。

このモードは小～中規模のシステムに対応しており、8Kバイトから64Kバイトのメモリチップに対応したチップインエーブル(CE)信号のアドレス範囲を、ソフトウェアによって4種類から選択することができます。CE信号については"3.6.4チップインエーブル(CE)信号"で説明します。

このモードにおけるCPUの動作はS1C88コアCPUのMODEL3/ミニマムモードに相当し、物理空間000000Hから00FFFFHまでの領域のみ、アクセスの対象として有効となります。

#### - MPUモード -



内蔵メモリについては図3.2.1を参照

図3.5.2.2 拡張64Kモードのメモリマップ(MPUモード)

#### 拡張512Kミニマムモード

拡張512KミニマムモードはS1C88349の外部に64Kバイト以上512Kバイト×4以下のメモリを拡張して使用する場合に設定します。このモードはMCU/MPUモードにかかわらず設定できます。

MCUモードでは内蔵ROMが使用され、080000Hから27FFFFHまでの領域に外部メモリ等を割り当てることができます。

MPUモードでは内蔵ROM領域が解放されますので、000000Hから1FFFFHまでの領域に外部メモリ等を割り当てることができます。

ただし、00F000Hから00FFFFHまでの領域は内蔵RAM等に割り当てられており、外部デバイスをアクセスすることはできません。

このモードにおけるCPUの動作はS1C88コアCPUのMODEL3/ミニマムモードに相当し、MPUモードでは物理空間000000Hから1FFFFFFHまでの領域、MCUモードでは物理空間080000Hから27FFFFFFH+内部メモリの領域がアクセスの対象として有効となります。また、プログラムメモリの拡張はコモンエリア(000000H～007FFFFH)と任意の1バンクエリアの64K(MCUモードでは内蔵ROM+32K)バイト以内に制限されますので、プログラム容量が小～中規模、データ容量が大規模なシステムに適しています。

このモードにおけるチップイネーブル( $\overline{CE}$ )信号のアドレス範囲は512Kバイトに固定されます。

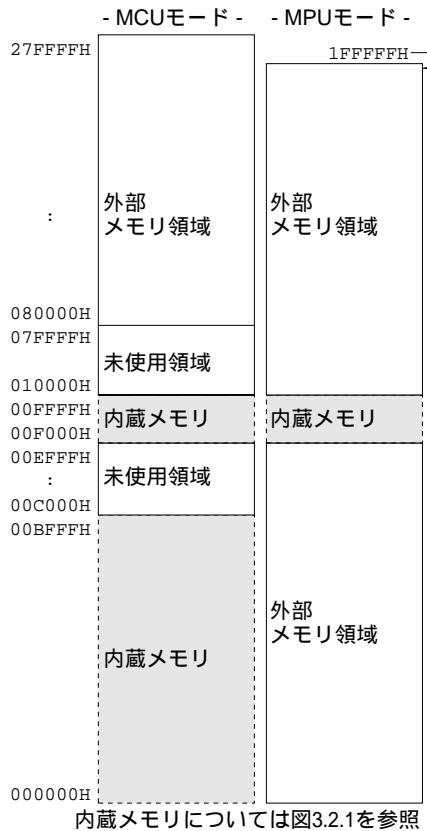


図3.5.2.3 拡張512Kミニマムモードのメモリマップ

#### 拡張512Kマキシマムモード

拡張512KマキシマムモードはS1C88349の外部に64Kバイト以上512Kバイト $\times$ 4以下のメモリを拡張して使用する場合に設定します。このモードはMCU/MPUモードにかかわらず設定できます。

MCUモードでは内蔵ROMが使用され、080000Hから27FFFFFFHまでの領域に外部メモリ等を割り当てることができます。

MPUモードでは内蔵ROM領域が解放されますので、000000Hから1FFFFFFHまでの領域に外部メモリ等を割り当てることができます。

ただし、00F000Hから00FFFFHまでの領域は内蔵RAM等に割り当てられており、外部デバイスをアクセスすることはできません。

このモードにおけるCPUの動作はS1C88コアCPUのMODEL3/マキシマムモードに相当し、MPUモードでは物理空間000000Hから1FFFFFFHまでの領域、MCUモードでは物理空間080000Hから27FFFFFFH+内部メモリの領域がアクセスの対象として有効となります。先物理空間中、プログラムメモリおよびデータメモリを任意の大きさ(プログラムとデータ合計で最大512Kバイト $\times$ 4)で確保できるため、プログラム容量、データ容量ともに大規模なシステムに適しています。

このモードにおけるチップイネーブル( $\overline{CE}$ )信号のアドレス範囲は512Kバイトに固定されます。

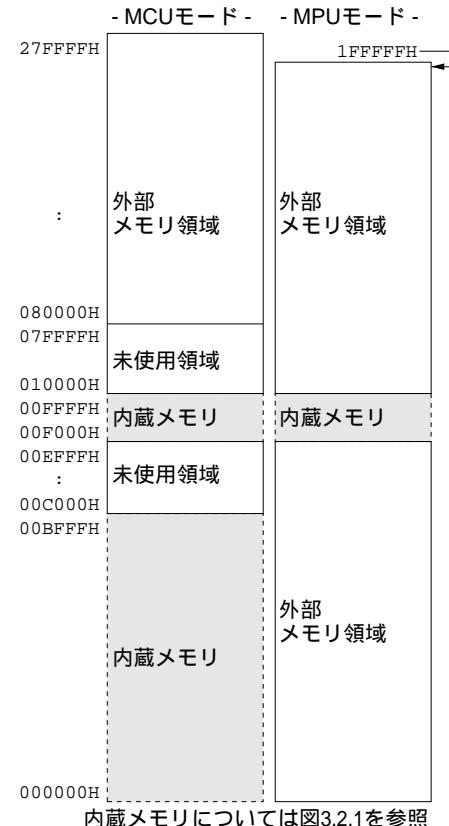


図3.5.2.4 拡張512Kマキシマムモードのメモリマップ

各モードの設定方法については"5.2 システムコントローラとバスの制御"で説明します。

### 3.6 外部バス

S1C88349は最大512K×4バイトのアドレッシングが可能なバス端子を持ち、前項に示した各バスモードの範囲にしたがって、外部にメモリ等のデバイスを拡張することができます。

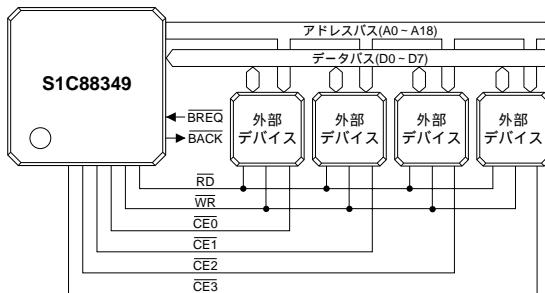


図3.6.1 外部バスライン

以下に外部バス端子の概要を説明します。制御方法については"5.2 システムコントローラとバスの制御"を参照してください。

#### 3.6.1 データバス

S1C88349は8ビットの外部データバス(D0～D7)を持っています。データバスD0～D7は、端子および入出力回路が入出力兼用ポートP00～P07と共用されており、バスモードの設定によって機能の切り換えが行われます。

シングルチップモードでは8ビットの端子がすべて入出力兼用ポートP00～P07として設定され、他の拡張モードではデータバス(D0～D7)に設定されます。

データバスに設定された場合、各入出力兼用ポートのデータレジスタとI/Oコントロールレジスタは入出力回路から切り離され、リード/ライト可能な汎用データレジスタとして使用できます。

このデータバスの各ラインに対して、入力モード時にのみONするプルアップ抵抗のあり/なしをマスクオプションで選択することができます。(入出力兼用ポートとして使用する場合も同様)

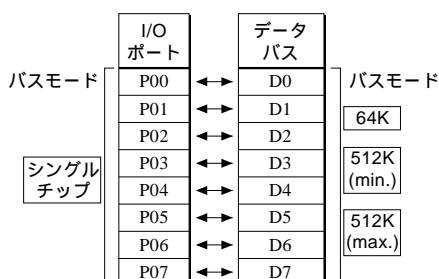


図3.6.1.1 データバスと入出力兼用ポートの対応

#### 3.6.2 アドレスバス

S1C88349は19ビットの外部アドレスバス(A0～A18)を持っています。アドレスバスA0～A18は、端子および出力回路が出力ポートR00～R07(A0～A7)、R10～R17(A8～A15)、R20～R22(A16～A18)と共に用されており、バスモードの設定によって機能の切り換えが行われます。

シングルチップモードでは19ビットの端子がすべて出力ポートR00～R07、R10～R17、R20～R22として設定されます。

拡張64Kモードでは19ビットのうちA0～A15の16ビットの端子がアドレスバスとして、A16～A18の3ビットが出力ポートR20～R22として設定されます。

拡張512Kミニマム/マキシマムモードでは19ビットの端子がすべてアドレスバス(A0～A18)として設定されます。

アドレスバスに設定された場合、各出力ポートのデータレジスタとハイインピーダンス制御レジスタは出力回路から切り離され、リード/ライト可能な汎用データレジスタとして使用できます。

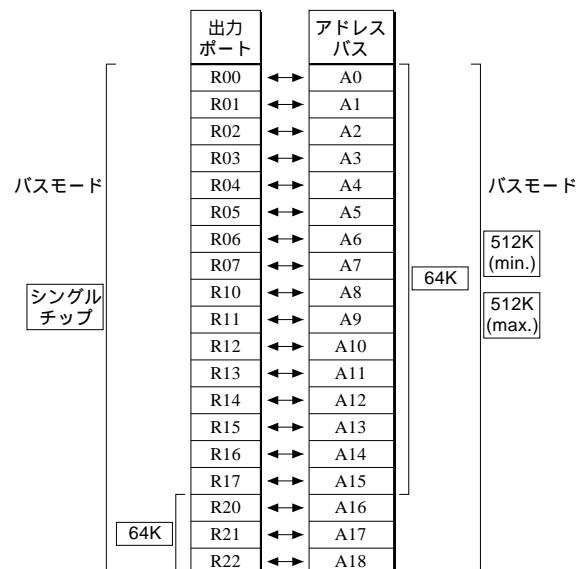


図3.6.2.1 アドレスバスと出力ポートの対応

#### 3.6.3 リード(RD)/ライト(WR)信号

外部デバイスに対するリード(RD)/ライト(WR)信号の出力端子および出力回路はそれぞれ出力ポートR23、R24と共に用されており、バスモードの設定によって機能の切り換えが行われます。

シングルチップモードではどちらの端子も出力ポート端子として設定され、他の拡張モードではリード(RD)/ライト(WR)信号出力端子に設定されます。リード(RD)/ライト(WR)信号出力端子に設定された場合、出力ポートR23、R24のデータレジスタとハイインピーダンス制御レジスタは出力回路から切り離され、リード/ライト可能な汎用データレジスタとして使用できます。

それぞれの信号は外部デバイスのメモリ領域をアクセスする場合にのみ出力され、内蔵メモリのアクセス時には出力されません。  
信号の出力タイミングについては"3.6.5 ウェイト制御"を参照してください。

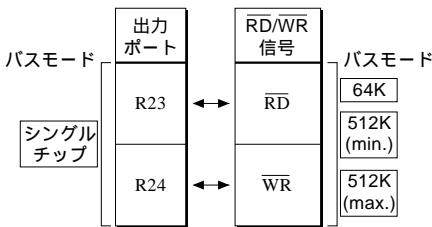


図3.6.3.1 リード(RD)/ライト(WR)信号  
と出力ポートの対応

### 3.6.4 チップイネーブル(CE)信号

S1C88349はチップイネーブル(CE)信号を最大4本出力することのできるアドレスデコーダを内蔵しています。これにより、外部にアドレスデコーダを設けることなしに、チップイネーブル(CE)またはチップセレクト(CS)端子を持つ4個のデバイスを直接、接続することができます。

4本のチップイネーブル(CE0 ~ CE3)信号の出力端子および出力回路は出力ポートR30 ~ R33と共に用されており、シングルチップモード以外のモードの場合に、チップイネーブル(CE)と出力ポートのどちらに設定するかをソフトウェアで4ビット個々に選択することができます。

チップイネーブル(CE)出力に設定した場合、その出力ポートのデータレジスタとハイインピーダンス制御レジスタは出力回路から切り離され、リード/ライト可能な汎用データレジスタとして使用できます。

シングルチップモードの場合は出力ポートR30 ~ R33として固定されます。

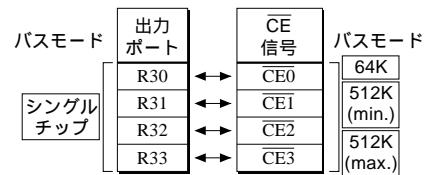


図3.6.4.1 CE信号と出力ポートの対応

4本のチップイネーブル(CE)信号に割り当てられるアドレス範囲は、バスモードの設定によって決定されます。拡張64Kモードの場合は使用するメモリに合わせた4種類のアドレス範囲がソフトウェアによって選択できます。

表3.6.4.1に、各モードにおいて割り当てられるチップイネーブル(CE)信号のアドレス範囲を示します。内蔵メモリ領域のアクセス時にはCE信号が出力されません。その部分のアドレス範囲が変則的な設定になりますので注意してください。

メモリ空間への外部デバイスの配置は必ずしも下位アドレスから連続させる必要はなく、任意のチップイネーブル信号を用いてその領域に割り当てることができます。

それぞれの信号は外部デバイスのメモリ領域をアクセスする場合にのみ出力され、内蔵メモリのアクセス時には出力されません。

注! CE信号はICがスタンバイモード(HALTモードまたはSLEEPモード)になるとインアクティブとなります。

信号の出力タイミングについては"3.6.5 ウェイト制御"を参照してください。

表3.6.4.1 CE0 ~ CE3のアドレス設定

#### (1) 拡張64Kモード(MPUモードのみ)

CE信号	アドレス範囲(ソフトウェアによる選択)			
	8Kバイト	16Kバイト	32Kバイト	64Kバイト
CE0	000000H~001FFFFH	000000H~003FFFFH	000000H~007FFFFH	000000H~00EFFFFH
CE1	002000H~003FFFFH	004000H~007FFFFH	008000H~00EFFFFH	—
CE2	004000H~005FFFFH	008000H~00BFFFFH	—	—
CE3	006000H~007FFFFH	00C000H~00EFFFFH	—	—

#### (2) 拡張512Kミニマム/マキシマムモード

CE信号	アドレス範囲	
	MCUモード	MPUモード
CE0	200000H~27FFFFH	000000H~00EFFFFH, 010000H~07FFFFH
CE1	080000H~0FFFFFH	080000H~0FFFFFH
CE2	100000H~17FFFFH	100000H~17FFFFH
CE3	180000H~1FFFFFFH	180000H~1FFFFFFH

### 3.6.5 ウェイト制御

S1C88349は、高速動作時における外付け低速デバイスのアクセスを保証するため、アクセスタイム伸長用のウェイト機能を内蔵しています。(ウェイト機能の詳細は"S1C88コアCPUマニュアル"を参照してください。)

挿入するウェイットステート数はソフトウェアによって表3.6.5.1に示す8種類の中から選択できます。

表3.6.5.1 選択可能なウェイットステート数

選択No.	1	2	3	4	5	6	7	8
挿入ステート数	0	2	4	6	8	10	12	14

\* 1ステート長はクロックの1/2サイクルです。

ソフトウェアで設定したウェイットステートはバスサイクルのT3～T4ステート間に挿入されます。ただし、内部レジスタと内蔵メモリのアクセス時、およびOSC1発振回路("5.4 発振回路と動作モード"参照)での動作時には、ウェイトは挿入されません。したがって、シングルチップモードではウェイットステートの設定は意味を持ちません。

図3.6.5.1にメモリリード/ライトのタイミングチャートを示します。

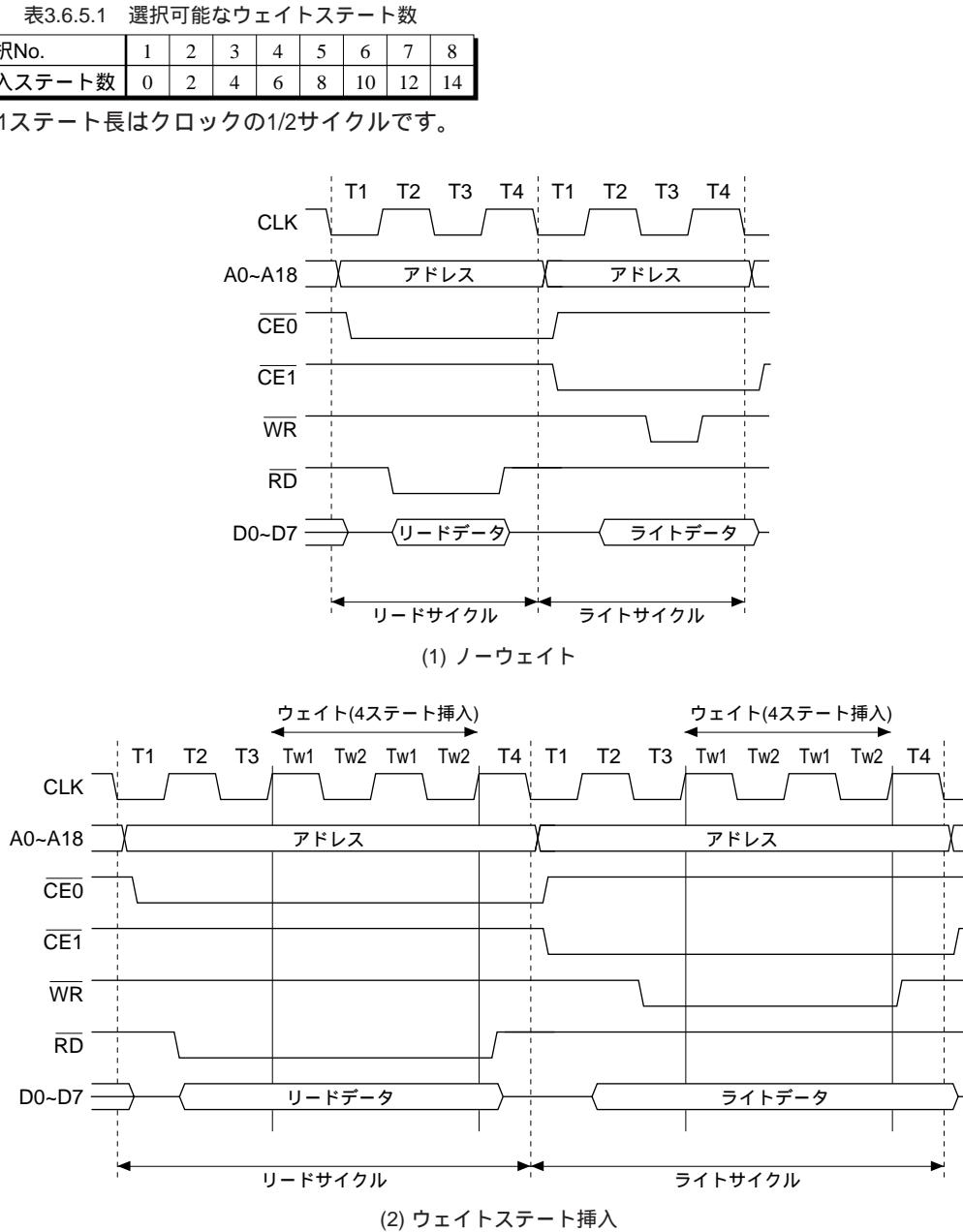


図3.6.5.1 メモリリード/ライトサイクル

### 3.6.6 バス権解放状態

S1C88349は、外部デバイスからの要求によるバス権解放機能を持っており、外部デバイス間でのDMA(Direct Memory Access)転送が行えます。本機能は内蔵メモリへのアクセスはできません。

この機能に使用する端子は、バス権解放要求信号(BREQ)入力端子とバス権解放応答信号(BACK)出力端子の2本が用意されています。

BREQ入力端子はK11入力ポート端子と、BACK出力端子はR51出力ポート端子と共に用意されています。この機能に使用する端子は、バス権解放要求信号(BREQ)入力端子とバス権解放応答信号(BACK)出力端子の2本が用意されています。この機能に使用する端子は、バス権解放要求信号(BREQ)入力端子とバス権解放応答信号(BACK)出力端子の2本が用意されています。

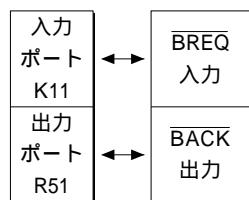


図3.6.6.1 BREQ/BACK端子

外部デバイスからのバス権解放要求(BREQ=LOW)を受け付けると、S1C88349はアドレスバス、データバス、RD/WR信号、およびCE信号の各ラインをハイインピーダンス状態に設定し、BACK端子にLOWレベルを出力してバス権を解放します。外部デバイスはBACK端子にLOWレベルが出力された時点から外部バスを使用することができ、DMA終了後にBREQ端子をHIGHレベルに戻すことでバス権を放棄します。

図3.6.6.2にバス権解放のシーケンスを示します。

バス権解放状態中、外部デバイスからは内蔵メモリをアクセスすることはできません。内蔵メモリの領域と重複した領域を持つ外部メモリがある場合、外部デバイスが出力するCE信号にしたがって外部メモリがアクセスされます。

注! バス権解放状態以外のときは外部デバイスがバスマスターとならないようシステム上で注意してください。

BREQ端子をLOWレベルにした後BACK端子がLOWレベルになるまで、BREQ端子のLOWレベルを保持してください。

BACK端子がLOWレベルになる以前にBREQ端子をHIGHレベルに戻すと、バス権解放状態への移行が不確定となります。

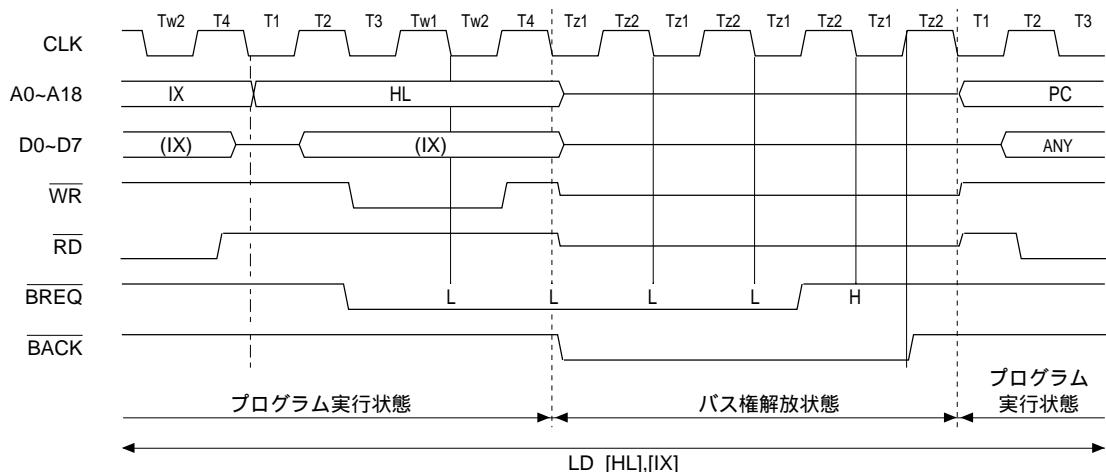


図3.6.6.2 バス権解放のシーケンス

# 4 イニシャルリセット

S1C88349は回路を初期化するためにイニシャルリセットを必要とします。

ここでは、イニシャルリセットの要因と内部レジスタ等の初期設定について説明します。

## 4.1 イニシャルリセット要因

S1C88349のイニシャルリセット要因としては以下の3種類があります。

- (1) RESET端子
- (2) 入力ポート(K00～K03端子)の同時LOWレベル入力
- (3) 電源電圧検出(SVD)回路

図4.1.1にイニシャルリセット回路の構成を示します。

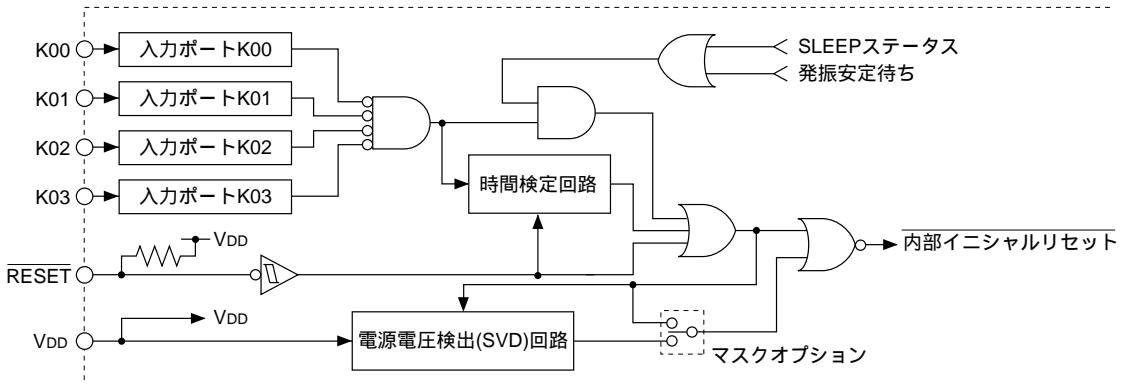


図4.1.1 イニシャルリセット回路の構成

### 4.1.1 RESET端子

外部からRESET端子にLOWレベルを入力することでイニシャルリセットが行えます。

S1C88349を確実に初期化するため、電源電圧立ち上がり後規定の時間RESET端子をLOWレベルに保持してください。

また、電源投入時の初回のイニシャルリセットは必ずRESET端子を使用してください。RESET端子の内蔵プルアップ抵抗はマスクオプションで使用するかしないかを選択することができます。

### 4.1.2 入力ポート(K00～K03)の同時LOWレベル入力

マスクオプションで選択された入力ポート(K00～K03)に、外部から同時にLOWレベルを入力することでイニシャルリセットが行えます。本イニシャルリセット手段は時間検定回路を内蔵しているため、2秒(発振周波数fOSC1=32.768kHzの場合)以上、指定入力ポート端子をLOWレベルに保つ必要があります。

イニシャルリセット要因によってCPUおよび周辺回路が初期化され、要因が解除されるとCPUはリセット例外処理を開始します。("S1C88コアCPUマニュアル"参照)

これによって、バンク0先頭(000000H～000001H)のリセット例外処理ベクタが読み出され、その読み出されたアドレスから始まるプログラム(初期化ルーチン)の実行を開始します。

ただし、SLEEP(スタンバイ)状態時、および電源投入時の発振安定待ち期間中は時間検定回路がバイパスされるため、指定入力ポートへのLOWレベル同時入力直後にイニシャルリセットがかかります。マスクオプションで選択できる入力ポート(K00～K03)の組合せは次のとおりです。

キー同時押しリセット
使用しない
K00 & K01
K00 & K01 & K02
K00 & K01 & K02 & K03

たとえば、マスクオプションで"K00 & K01 & K02 & K03"を選択した場合、K00～K03の4ポートの入力が同時にLOWレベルになったときにイニシャルリセットがかかります。

この機能を使用する場合、通常動作時に指定入力ポートが同時にLOWレベルにならないように注意してください。

### 4.1.3 電源電圧検出(SVD)回路

SVD回路によって電源電圧がレベル0("8 電気的特性"参照)以下として連続的に4回検出された場合、SVD回路は電源電圧がレベル2以上に復帰するまでイニシャルリセット信号を発生します。このSVD回路によるイニシャルリセット機能を使用するかしないかはマスクオプションで選択することができます。

詳細については"5.16 電源電圧検出(SVD)回路"を参照してください。

注! マスクオプションの選択内容にかかわらず、イニシャルリセット時のSVD回路による初回サンプリングでは、電源電圧がレベル2以上である必要があります。このとき、電源電圧がレベル2未満の場合、SVD回路は電源電圧がレベル2以上になるまで連続的にサンプリングを行います。

### 4.1.4 イニシャルリセットシーケンス

電源投入時のRESET端子へのLOWレベル入力解除後、発振安定待ち時間( $8,192/f_{osc1}$ 秒)が経過するまでCPUの起動は待たれます。

また、SVD回路による初回サンプリング時間( $248/f_{osc1}$ 秒)がさらに待ち時間として付加されます。

図4.1.4.1にイニシャルリセット解除後の動作シーケンスを示します。

なお、入力ポート(K00～K03)への同時LOWレベル入力によるイニシャルリセット手段を使用する場合は、次の点に注意してください。

- (1) SLEEP状態時、および電源投入時の発振安定待ち期間中は時間検定回路がバイパスされるため、LOWレベル同時入力直後にイニシャルリセットがかかります。この場合、LOWレベル同時入力解除後に発振安定時間、SVD回路初回サンプリング時間を持ってCPUが起動します。
- (2) (1)の状態以外はLOWレベル同時入力1～2秒後にイニシャルリセットがかかります。この場合は、S1C88349内部でリセット微分パルス( $64/f_{osc1}$ 秒)が発生されるため、LOWレベル同時入力状態を解除しなくともCPUは起動します。

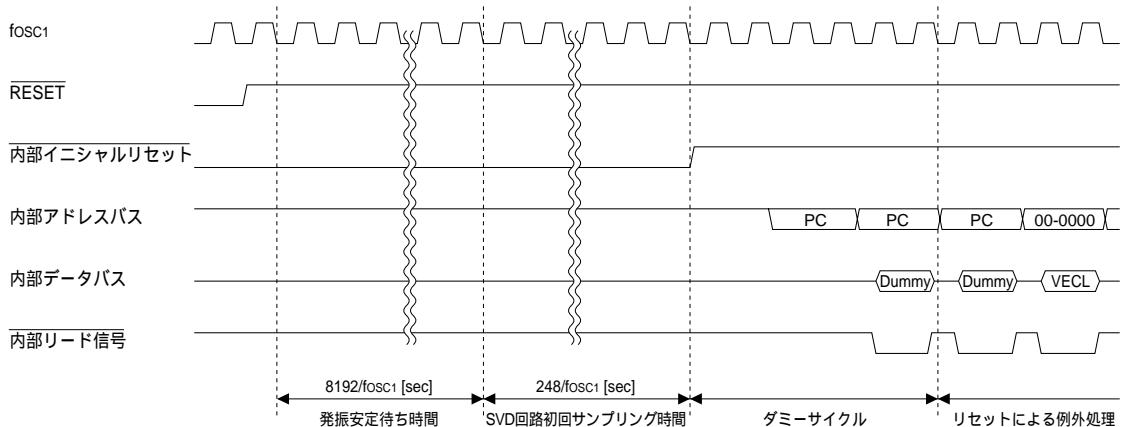


図4.1.4.1 イニシャルリセット解除後の動作シーケンス

## 4.2 イニシャルリセット時の初期設定

イニシャルリセットによりCPUの内部レジスタは以下のように初期化されます。

表4.2.1 初期設定値

レジスタ名称	記号	ビット長	初期値
データレジスタA	A	8	不定
データレジスタB	B	8	不定
インデックス(データ)レジスタL	L	8	不定
インデックス(データ)レジスタH	H	8	不定
インデックスレジスタIX	IX	16	不定
インデックスレジスタIY	IY	16	不定
プログラムカウンタ	PC	16	不定*
スタックポインタ	SP	16	不定
ベースレジスタ	BR	8	不定
ゼロフラグ	Z	1	0
キャリーフラグ	C	1	0
オーバーフローフラグ	V	1	0
ネガティブフラグ	N	1	0
デシマルフラグ	D	1	0
アンパックフラグ	U	1	0
インタラプトフラグ0	I0	1	1
インタラプトフラグ1	I1	1	1
ニューコードバンクレジスタ	NB	8	01H
コードバンクレジスタ	CB	8	不定*
エクスパンドページレジスタ	EP	8	00H
IX用エクスパンドページレジスタ	XP	8	00H
IY用エクスパンドページレジスタ	YP	8	00H

\* リセット例外処理によって、0バンクのメモリの先頭(000000H～000001H)に格納されている値がPCにロードされます。また、このとき同時にNBの初期値01HがCBにロードされます。

イニシャルリセット時に初期化されない(不定)レジスタはソフトウェアで初期化してください。

内蔵RAMおよび表示メモリについてもイニシャルリセット時に初期化されませんので、同様にソフトウェアで初期化してください。

内蔵の周辺回路については、それぞれ所定の初期化が行われます。必要に応じてソフトウェアで初期化してください。

イニシャルリセット時の初期値については、次章のI/Oメモリマップまたは各周辺回路の説明を参照してください。

# 5 周辺回路と動作

S1C88349の周辺回路はメモリマップI/O方式でCPUとインターフェースされています。このため、他のメモリアクセスと同様にI/Oメモリを操作して周辺回路を制御することができます。以下、各周辺回路別にその動作と制御方法を説明します。

## 5.1 I/Oメモリマップ

表5.1.1(a) I/Oメモリマップ(00FF00H ~ 00FF02H, MCUモード)

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF00 (MCU)	D7	BSMD1	バスモード(CPUモード) BSMD1 BSMD0 モード			0	R/W	BSMD1~0を01B には設定しない でください。
			1 1 512K (マキシマム)					
	D6	BSMD0	1 0 512K (ミニマム)			0	R/W	
			0 1 ×					
			0 0 シングルチップ					
	D5	CEMD1	汎用レジスタ			1	R/W	
	D4	CEMD0	汎用レジスタ			1	R/W	
	D3	CE3	CE3 (R33) CE信号出力イネーブル	CE3有効	CE3無効	0	R/W	シングルチップ モードの場合、 DC出力に固定
	D2	CE2	CE2 (R32) 有効: CE信号出力	CE2有効	CE2無効	0	R/W	
	D1	CE1	CE1 (R31) 無効: DC出力(R3x)	CE1有効	CE1無効	0	R/W	
	D0	CE0	CE0 (R30)	CE0有効	CE0無効	0	R/W	
00FF01	D7	SPP7	スタックポインタページアドレス (MSB)	1	0	0	R/W	
	D6	SPP6		1	0	0	R/W	
	D5	SPP5	< SPページ割り付け可能アドレス >	1	0	0	R/W	
	D4	SPP4	・シングルチップモード: 0ページのみ	1	0	0	R/W	
	D3	SPP3	・64Kモード: 0ページのみ	1	0	0	R/W	
	D2	SPP2	・512K (min)モード: 0 ~ 27Hページ	1	0	0	R/W	
	D1	SPP1	・512K (max)モード: 0 ~ 27Hページ	1	0	0	R/W	
	D0	SPP0	(LSB)	1	0	0	R/W	
00FF02	D7	EBR	バス解放イネーブル (K11, R51端子仕様)	K11 R51	BREQ BACK	入力ポート 出力ポート	0	R/W
	D6	WT2	ウェイトステート制御 WT2 WT1 WT0 ステート数	1 1 1 14 1 1 0 12 1 0 1 10 1 0 0 8 0 1 1 6 0 1 0 4 0 0 1 2 0 0 0 ノーウェイト				
	D5	WT1					0	R/W
	D4	WT0						
	D3	CLKCHG	CPU動作クロック切り換え	OSC3	OSC1	0	R/W	
	D2	OSCC	OSC3発振On/Off制御	On	Off	0	R/W	
	D1	VDC1	動作モード選択 VDC1 VDC0 動作モード	1 × 高速モード (VD1 = 3.3V) 0 1 低パワーモード (VD1 = 1.2V) 0 0 通常モード (VD1 = 2.2V)				
	D0	VDC0					0	R/W

注! アドレス"00FF00H"および"00FF01H"に任意の値をそれぞれ書き込むまで、NMIを含めたすべての割り込みはマスクされます。

表5.1.1(b) I/Oメモリマップ(00FF00H~00FF02H, MPUモード)

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF00 (MPU)	D7	BSMD1	バスモード(CPUモード) BSMD1 BSMD0 モード			*	R/W	初期設定はマスクオプションで3種類(64K, 512K min, 512K max)の中から選択できます
	D6	BSMD0	1 1 512K(マキシマム) 1 0 512K(ミニマム) 0 1 64K 0 0 *オプション選択			*	R/W	
	D5	CEMD1	チップイネーブルモード CEMD1 CEMD0 モード			1	R/W	
	D4	CEMD0	1 1 64K(CE0) 1 0 32K(CE0, CE1) 0 1 16K(CE0-CE3) 0 0 8K(CE0-CE3)			1	R/W	64Kバスモードのみ
	D3	CE3	CE3(R33)	CE3有効	CE3無効	0	R/W	
	D2	CE2	CE2(R32)	CE2有効	CE2無効	0	R/W	
	D1	CE1	CE1(R31)	CE1有効	CE1無効	0	R/W	
	D0	CE0	CE0(R30)	CE0有効	CE0無効	1	R/W	
	D7	SPP7	スタックポインタページアドレス(MSB)	1	0	0	R/W	
	D6	SPP6		1	0	0	R/W	
00FF01	D5	SPP5	<SPページ割り付け可能アドレス>	1	0	0	R/W	
	D4	SPP4	・シングルチップモード: 0ページのみ	1	0	0	R/W	
	D3	SPP3	・64Kモード: 0ページのみ	1	0	0	R/W	
	D2	SPP2	・512K(min)モード: 0~27Hページ	1	0	0	R/W	
	D1	SPP1	・512K(max)モード: 0~27Hページ	1	0	0	R/W	
	D0	SPP0	(LSB)	1	0	0	R/W	
	D7	EBR	バス解放イネーブル (K11, R51端子仕様)	K11 R51	BREQ BACK	入力ポート 出力ポート	0	R/W
	D6	WT2	ウェイトステート制御 WT2 WT1 WT0 ステート数	1 1 1 14 1 1 0 12 1 0 1 10 1 0 0 8 0 1 1 6 0 1 0 4 0 0 1 2 0 0 0 ノーウェイト			0	R/W
00FF02	D3	CLKCHG	CPU動作クロック切り換え	OSC3	OSC1	0	R/W	
	D2	OSCC	OSC3発振On/Off制御	On	Off	0	R/W	
	D1	VDC1	動作モード選択 VDC1 VDC0 動作モード	1 × 高速モード (VDC1 = 3.3V) 0 1 低パワーモード (VDC1 = 1.2V) 0 0 通常モード (VDC1 = 2.2V)			0	R/W
	D0	VDC0						

注! アドレス"00FF00H"および"00FF01H"に任意の値をそれぞれ書き込むまで、NMIを含めたすべての割り込みはマスクされます。

表5.1.1(c) I/Oメモリマップ(00FF09H ~ 00FF12H)

アドレス	ビット	名称	機能		1	0	SR	R/W	注釈
00FF09	D7	-	-	-	-	-	-	-	読み出し時は常時"0"
	D6	-	-	-	-	-	-	-	
	D5	-	-	-	-	-	-	-	
	D4	-	-	-	-	-	-	-	
	D3	VCCHG	Reserved	-	1	0	1	R/W	
	D2	LCDB	Reserved	-	1	0	0	R/W	
	D1	LCDAJ	電源TYPE A (4.5V)/B (5.5V)切り換え	TYPE A	TYPE B	0	R/W	-	
	D0	DUTY8	LCD駆動デューティ切り換え	1/8デューティ	1/16, 1/32	0	R/W	*1	
00FF10	D7	-	-	-	-	-	-	-	読み出し時は常時"0"
	D6	-	-	-	-	-	-	-	
	D5	-	-	-	-	-	-	-	
	D4	LCCLK	拡張LCDドライバ用CL出力制御	On	Off	0	R/W	-	
	D3	LCFRM	拡張LCDドライバ用FR出力制御	On	Off	0	R/W	-	
	D2	DTFNT	LCDドットフォント選択	5×5ドット	5×8ドット	0	R/W	-	
	D1	LDUTY	LCD駆動デューティ選択	1/16デューティ	1/32デューティ	0	R/W	*1	
	D0	SGOUT	汎用レジスタ	1	0	0	R/W	予約レジスタ	
00FF11	D7	-	-	-	-	-	-	-	読み出し時は"0"
	D6	DSPAR	LCD表示メモリ領域選択	表示領域1	表示領域0	0	R/W	-	
	D5	LCDC1	LCD表示制御	LCDC1	LCDC0	LCD表示	-	0	R/W
				1	1	全点灯	-	-	SLP命令実行時に(0, 0)にリセット
	D4	LCDC0		1	0	全消灯	-	0	
				0	1	通常表示	-	-	
				0	0	駆動Off	-	-	
	D3	LC3	LCDコントラスト調整	-	-	-	-	0	R/W
	D2	LC2	LC3 LC2 LC1 LC0 コントラスト	1	1	1	1	濃	-
	D1	LC1		1	1	1	0	-	-
	D0	LC0		⋮	⋮	⋮	⋮	-	-
				0	0	0	0	淡	-
00FF12	D7	-	-	-	-	-	-	-	読み出し時は常時"0"
	D6	-	-	-	-	-	-	-	
	D5	SVDSP	SVDオートサンプリング制御	On	Off	0	R/W	-	SLP命令実行時"0"にリセット
	D4	SVDON	SVD連続サンプリング制御/ステータス	R	Busy	Ready	1→0 <sup>*2</sup>	R/W	
				W	On	Off	0	-	
	D3	SVD3	SVD検出レベル	-	-	-	X	R	
	D2	SVD2	SVD3 SVD2 SVD1 SVD0 検出レベル	1	1	1	1	レベル15	
	D1	SVD1		1	1	1	0	レベル14	
	D0	SVD0		⋮	⋮	⋮	⋮	⋮	
				0	0	0	0	レベル0	-

\*1 FF09\*D0のDUTY8に"1"を書き込むと、FF10\*D1のLDUTYによる1/16と1/32デューティ切り換えは無効となります。

\*2 イニシャルリセット時、本ステータスはハードウェアによる初回のサンプリングが終了するまで、"1"に設定されます。

\*3 初期値は、イニシャルリセット後のハードウェアによる初回のサンプリング時に検出される電源電圧に従って設定されます。このサンプリングが終了するまで、SVD0 ~ SVD3のデータは不定となります。

表5.1.1(d) I/Oメモリマップ(00FF13H ~ 00FF24H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈	
00FF13	D7	—	—	—	—	—		読み出し時は常時"0"	
	D6	—	—	—	—	—			
	D5	—	—	—	—	—			
	D4	—	—	—	—	—			
	D3	CMP1ON	コンパレータ1 On/Off制御	On	Off	0	R/W		
	D2	CMP0ON	コンパレータ0 On/Off制御	On	Off	0	R/W		
	D1	CMP1DT	コンパレータ1データ	+>-	+<-	0	R		
	D0	CMP0DT	コンパレータ0データ	+>-	+<-	0	R		
00FF20	D7	PK01	K00 ~ K07割り込み	PK01 PK00 PSIF1 PSIF0 PSW1 PSW0 PTM1 PTM0	優先 レベル 1 1 1 0 0 1 0 0	0 R/W 0 R/W 0 R/W 0 R/W	R/W		
	D6	PK00	プライオリティレジスタ						
	D5	PSIF1	シリアルインターフェース割り込み						
	D4	PSIF0	プライオリティレジスタ						
	D3	PSW1	ストップウォッチタイマ割り込み						
	D2	PSW0	プライオリティレジスタ						
	D1	PTM1	計時タイマ割り込み						
	D0	PTM0	プライオリティレジスタ						
00FF21	D7	—	—	—	—	—		読み出し時は常時"0"	
	D6	—	—	—	—	—			
	D5	—	—	—	—	—			
	D4	—	—	—	—	—			
	D3	PPT1	プログラマブルタイマ割り込み	PPT1 PK11 PK10	優先 レベル 1 1 1 0	0 R/W	R/W		
	D2	PPT0	プライオリティレジスタ						
	D1	PK11	K10, K11割り込み						
	D0	PK10	プライオリティレジスタ						
00FF22	D7	—	—	—	—	—		読み出し時は"0"	
	D6	ESW100	ストップウォッチ100Hz割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0 R/W	R/W		
	D5	ESW10	ストップウォッチ10Hz割り込みイネーブルレジスタ						
	D4	ESW1	ストップウォッチ1Hz割り込みイネーブルレジスタ						
	D3	ETM32	計時タイマ32Hz割り込みイネーブルレジスタ						
	D2	ETM8	計時タイマ8Hz割り込みイネーブルレジスタ						
	D1	ETM2	計時タイマ2Hz割り込みイネーブルレジスタ						
	D0	ETM1	計時タイマ1Hz割り込みイネーブルレジスタ						
00FF23	D7	EPT1	プログラマブルタイマ1割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0 R/W	R/W		
	D6	EPT0	プログラマブルタイマ0割り込みイネーブルレジスタ						
	D5	EK1	K10, K11割り込みイネーブルレジスタ						
	D4	EKOH	K04 ~ K07割り込みイネーブルレジスタ						
	D3	EKO0L	K00 ~ K03割り込みイネーブルレジスタ						
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブルレジスタ						
	D1	ESREC	シリアルI/F(受信)割り込みイネーブルレジスタ						
	D0	ESTRA	シリアルI/F(送信)割り込みイネーブルレジスタ						
00FF24	D7	—	—	—	—	—		読み出し時は"0"	
	D6	FSW100	ストップウォッチ100Hz割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0 R/W	R/W		
	D5	FSW10	ストップウォッチ10Hz割り込み要因フラグ						
	D4	FSW1	ストップウォッチ1Hz割り込み要因フラグ						
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ						
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ						
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ						
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ						

表5.1.1(e) I/Oメモリマップ(00FF25H ~ 00FF30H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈			
00FF25	D7	FPT1	プログラマブルタイマ1割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W				
	D6	FPT0	プログラマブルタイマ0割り込み要因フラグ								
	D5	FK1	K10, K11割り込み要因フラグ								
	D4	FK0H	K04 ~ K07割り込み要因フラグ								
	D3	FK0L	K00 ~ K03割り込み要因フラグ	(W) リセット	(W) 無効						
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ								
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ								
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ								
00FF28	D7	PADC1	A/D変換器 割り込みプライオリティレジスタ	PADC1 1 1 0 0	PADC0 1 0 1 0	優先 レベル3 レベル2 レベル1 レベル0	0	R/W	読み出し時は 常時"0"		
	D6	PADC0									
	D5	—	Reserved								
	D4	—	Reserved								
	D3	—	—	—	—	—	—	—			
	D2	—	—								
	D1	—	—								
	D0	—	—								
00FF2A	D7	EAD	A/D変換器 変換完了割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	読み出し時は 常時"0"			
	D6	—	Reserved								
	D5	—	—								
	D4	—	—								
	D3	—	—								
	D2	—	—								
	D1	—	—								
	D0	—	—								
00FF2C	D7	FAD	A/D変換器 変換完了割り込み要因フラグ	(R)割り込みあり (W)リセット	(R)割り込みなし (W)無効	0	R/W	読み出し時は 常時"0"			
	D6	—	Reserved								
	D5	—	—								
	D4	—	—								
	D3	—	—	—	—	—	—				
	D2	—	—								
	D1	—	—								
	D0	—	—								
00FF30	D7	—	—	—	—	—	—	読み出し時は 常時"0"			
	D6	—	—	—	—	—	—				
	D5	—	—	—	—	—	—				
	D4	MODE16	8/16ビットモード選択	16ビットx1	8ビットx2	0	R/W				
	D3	CHSEL	TOUT出力チャンネル選択	タイマ1	タイマ0	0	R/W				
	D2	PTOUT	TOUT出力制御	On	Off	0	R/W				
	D1	CKSEL1	ブリスケーラ1原振クロック選択	fosc3	fosc1	0	R/W				
	D0	CKSEL0	ブリスケーラ0原振クロック選択	fosc3	fosc1	0	R/W				

表5.1.1(f) I/Oメモリマップ(00FF31H ~ 00FF34H)

アドレス	ビット	名称	機能		1	0	SR	R/W	注釈						
00FF31	D7	EVCNT	タイマ0カウンタモード選択		イベントカウンタ	タイマ	0	R/W							
	D6	FCSEL	タイマ0 機能選択	タイマモード時	パルス幅 測定	通常 モード	0	R/W							
				イベントカウンタモード時	ノイズリジ エクタ付き	ノイズリジ エクタなし									
	D5	PLPOL	タイマ0 パルス 極性選択	イベントカウンタモードの ダウンカウントタイミング		K10入力の 立ち上がり	K10入力の 立ち下がり	0	R/W						
				パルス幅測定モード時		K10入力の Highレベル 幅測定	K10入力の Lowレベル 幅測定								
	D4	PSC01	タイマ0プリスケーラ分周比選択		PSC01 PSC00	原振クロック / 64 原振クロック / 16 原振クロック / 4 原振クロック / 1	0	R/W	読み出し時は"0"						
	D3	PSC00													
	D2	CONT0	タイマ0連続/ワンショットモード選択			連続	ワンショット	0	R/W						
	D1	PSET0	タイマ0プリセット			プリセット	無効	-	W						
	D0	PRUN0	タイマ0 Run/Stop制御			Run	Stop	0	R/W						
00FF32	D7	-							読み出し時は 常時"0"						
	D6	-													
	D5	-													
	D4	PSC11	タイマ1プリスケーラ分周比選択												
	D3	PSC10	PSC11 PSC10 プリスケーラ分周比												
	D2	CONT1	タイマ1連続/ワンショットモード選択			連続	ワンショット	0	R/W						
	D1	PSET1	タイマ1プリセット			プリセット	無効	-	W	読み出し時は"0"					
	D0	PRUN1	タイマ1Run/Stop制御			Run	Stop	0	R/W						
	D7	RLD07	タイマ0リロードデータD7 (MSB)		High	Low	1	R/W							
	D6	RLD06	タイマ0リロードデータD6												
	D5	RLD05	タイマ0リロードデータD5												
	D4	RLD04	タイマ0リロードデータD4												
	D3	RLD03	タイマ0リロードデータD3												
	D2	RLD02	タイマ0リロードデータD2												
	D1	RLD01	タイマ0リロードデータD1												
	D0	RLD00	タイマ0リロードデータD0 (LSB)												
00FF34	D7	RLD17	タイマ1リロードデータD7 (MSB)		High	Low	1	R/W							
	D6	RLD16	タイマ1リロードデータD6												
	D5	RLD15	タイマ1リロードデータD5												
	D4	RLD14	タイマ1リロードデータD4												
	D3	RLD13	タイマ1リロードデータD3												
	D2	RLD12	タイマ1リロードデータD2												
	D1	RLD11	タイマ1リロードデータD1												
	D0	RLD10	タイマ1リロードデータD0 (LSB)												

表5.1.1(g) I/Oメモリマップ(00FF35H ~ 00FF42H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈		
00FF35	D7	PTD07	タイマ0カウンタデータD7 (MSB)	High	Low	1	R			
	D6	PTD06	タイマ0カウンタデータD6							
	D5	PTD05	タイマ0カウンタデータD5							
	D4	PTD04	タイマ0カウンタデータD4							
	D3	PTD03	タイマ0カウンタデータD3							
	D2	PTD02	タイマ0カウンタデータD2							
	D1	PTD01	タイマ0カウンタデータD1							
	D0	PTD00	タイマ0カウンタデータD0 (LSB)							
00FF36	D7	PTD17	タイマ1カウンタデータD7 (MSB)	High	Low	1	R			
	D6	PTD16	タイマ1カウンタデータD6							
	D5	PTD15	タイマ1カウンタデータD5							
	D4	PTD14	タイマ1カウンタデータD4							
	D3	PTD13	タイマ1カウンタデータD3							
	D2	PTD12	タイマ1カウンタデータD2							
	D1	PTD11	タイマ1カウンタデータD1							
	D0	PTD10	タイマ1カウンタデータD0 (LSB)							
00FF40	D7	-	-	-	-	-	-	読み出し時は"0"		
	D6	FOUT2	FOUT周波数選択			0	R/W			
	D5	FOUT1	FOUT2 FOUT1 FOUT0 周波数							
			0 0 0 fosc1 / 1							
			0 0 1 fosc1 / 2							
			0 1 0 fosc1 / 4							
			0 1 1 fosc1 / 8							
	D4	FOUT0	1 0 0 fosc3 / 1							
			1 0 1 fosc3 / 2							
			1 1 0 fosc3 / 4							
	D3	FOUTON	FOUT出力制御		On	Off	0	R/W		
00FF41	D2	WDRST	ウォッチドッグタイマリセット		リセット	無効	-	W	読み出し時は常時"0"	
	D1	TMRST	計時タイマリセット		リセット	無効	-	W		
	D0	TMRUN	計時タイマRun/Stop制御		Run	Stop	0	R/W		
	D7	TMD7	計時タイマデータ 1Hz		High	Low	0	R		
00FF42	D6	TMD6	計時タイマデータ 2Hz							
	D5	TMD5	計時タイマデータ 4Hz							
	D4	TMD4	計時タイマデータ 8Hz							
	D3	TMD3	計時タイマデータ 16Hz							
	D2	TMD2	計時タイマデータ 32Hz							
	D1	TMD1	計時タイマデータ 64Hz							
	D0	TMD0	計時タイマデータ128Hz							
00FF42	D7	-	-	-	-	-	-	読み出し時は常時"0"		
	D6	-	-	-	-	-	-			
	D5	-	-	-	-	-	-			
	D4	-	-	-	-	-	-			
	D3	-	-	-	-	-	-			
	D2	-	-	-	-	-	-			
	D1	SWRST	ストップウォッチタイマリセット	リセット	無効	-	W			
	D0	SWRUN	ストップウォッチタイマRun/Stop制御							

表5.1.1(h) I/Oメモリマップ(00FF43H ~ 00FF45H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈	
00FF43	D7	SWD7	ストップウォッチタイマデータ				R		
	D6	SWD6	BCD (1/10sec)						
	D5	SWD5							
	D4	SWD4							
	D3	SWD3	ストップウォッチタイマデータ						
	D2	SWD2							
	D1	SWD1	BCD (1/100sec)						
	D0	SWD0							
00FF44	D7	-	-	-	-	-	-	読み出し時は常時"0"	
	D6	BZSTP	ワンショットブザー強制停止	強制停止	無効	-	W		
	D5	BZSHT	ワンショットブザートリガ/ステータス	R W	Busy トリガ	Ready 無効	0	R/W	
	D4	SHTPW	ワンショットブザー時間幅選択	125msec	31.25msec	0	R/W		
	D3	ENRTM	エンベロープ減衰時間	1sec	0.5sec	0	R/W		
	D2	ENRST	エンベロープリセット	リセット	無効	-	W	読み出し時は"0"	
	D1	ENON	エンベロープOn/Off制御	On	Off	0	R/W		
	D0	BZON	ブザー出力制御	On	Off	0	R/W		
00FF45	D7	-	-	-	-	-	-	読み出し時は"0"	
	D6	DUTY2	ブザー信号デューティ比選択 DUTY2~0 ブザー周波数(Hz)	2 1 0 0 0 0 0 0 1 0 1 0 0 1 1	4096.0 3276.8 2730.7 2340.6 2048.0 1638.4 1365.3 1170.3 8/16 8/20 12/24 12/28 7/16 7/20 11/24 11/28 6/16 6/20 10/24 10/28 5/16 5/20 9/24 9/28	0	R/W		
	D5	DUTY1		1 0 0 1 0 1 1 1 0 1 1 1	4/16 4/20 8/24 8/28 3/16 3/20 7/24 7/28 2/16 2/20 6/24 6/28 1/16 1/20 5/24 5/28	0	R/W		
	D4	DUTY0				0	R/W		
	D3	-	-	-	-	-	-	読み出し時は"0"	
	D2	BZFQ2	ブザー周波数選択 BZFQ2 BZFQ1 BZFQ0 周波数(Hz)	0 0 0	4096.0	0	R/W		
	D1	BZFQ1		0 0 1 0 1 0 0 1 1 1 0 0	3276.8 2730.7 2340.6 2048.0	0	R/W		
	D0	BZFQ0		1 0 0 1 1 0 1 1 1	1638.4 1365.3 1170.3	0	R/W		

\*1 ワンショット出力時、"0"にリセット

表5.1.1(i) I/Oメモリマップ(00FF48H ~ 00FF50H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF48	D7	-	-	-	-	-		読み出し時は"0"
	D6	EPR	パリティイネーブルレジスタ	パリティ付き	パリティなし	0	R/W	調歩同期式のみ
	D5	PMD	パリティモード選択	奇数	偶数	0	R/W	
	D4	SCS1	クロック源選択			0	R/W	クロック同期式 スレーブモード では外部クロック が選択される
			SCS1 SCS0 クロック源					
			1 1 プログラマブルタイマ					
	D3	SCS0	1 0 fosc3 / 4			0	R/W	
			0 1 fosc3 / 8					
			0 0 fosc3 / 16					
	D2	SMD1	シリアルI/Fモード選択			0	R/W	
			SMD1 SMD0 モード					
			1 1 調歩同期式8ビット					
	D1	SMD0	1 0 調歩同期式7ビット			0	R/W	
			0 1 クロック同期式スレーブ					
			0 0 クロック同期式マスタ					
	D0	ESIF	シリアルI/Fイネーブルレジスタ	シリアルI/F	I/Oポート	0	R/W	
00FF49	D7	-	-	-	-	-		読み出し時は"0"
	D6	FER	フレーミングエラーフラグ	R W	エラー リセット(0)	エラーなし 無効	0	R/W
	D5	PER	パリティエラーフラグ	R W	エラー リセット(0)	エラーなし 無効	0	R/W
	D4	OER	オーバーランエラーフラグ	R W	エラー リセット(0)	エラーなし 無効	0	R/W
	D3	RXTRG	受信トリガ/ステータス	R W	受信中 トリガ	停止中 無効	0	R/W
	D2	RXEN	受信許可		許可	禁止	0	R/W
	D1	TXTRG	送信トリガ/ステータス	R W	送信中 トリガ	停止中 無効	0	R/W
	D0	TXEN	送信許可		許可	禁止	0	R/W
	D7	TRXD7	送受信データD7 (MSB)					
00FF4A	D6	TRXD6	送受信データD6					
	D5	TRXD5	送受信データD5					
	D4	TRXD4	送受信データD4					
	D3	TRXD3	送受信データD3					
	D2	TRXD2	送受信データD2					
	D1	TRXD1	送受信データD1					
	D0	TRXD0	送受信データD0 (LSB)					
				High	Low	X	R/W	
00FF50	D7	SIK07	K07割り込み選択レジスタ					
	D6	SIK06	K06割り込み選択レジスタ					
	D5	SIK05	K05割り込み選択レジスタ					
	D4	SIK04	K04割り込み選択レジスタ					
	D3	SIK03	K03割り込み選択レジスタ					
	D2	SIK02	K02割り込み選択レジスタ					
	D1	SIK01	K01割り込み選択レジスタ					
	D0	SIK00	K00割り込み選択レジスタ					
				割り込み 許可	割り込み 禁止	0	R/W	

表5.1.1(j) I/Oメモリマップ(00FF51H~00FF60H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF51	D7	—	—	—	—	—		読み出し時は常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	SIK11	K11割り込み選択レジスタ	割り込み許可	割り込み禁止	0	R/W	
	D0	SIK10	K10割り込み選択レジスタ					
00FF52	D7	KCP07	K07入力比較レジスタ					
	D6	KCP06	K06入力比較レジスタ					
	D5	KCP05	K05入力比較レジスタ	立ち下がり エッジで 割り込み 発生	立ち上がり エッジで 割り込み 発生	1	R/W	
	D4	KCP04	K04入力比較レジスタ					
	D3	KCP03	K03入力比較レジスタ					
	D2	KCP02	K02入力比較レジスタ					
	D1	KCP01	K01入力比較レジスタ					
	D0	KCP00	K00入力比較レジスタ					
00FF53	D7	—	—	—	—	—		読み出し時は常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	KCP11	K11入力比較レジスタ	立ち下がり エッジ	立ち上がり エッジ	1	R/W	
	D0	KCP10	K10入力比較レジスタ					
00FF54	D7	K07D	K07入力ポートデータ					
	D6	K06D	K06入力ポートデータ					
	D5	K05D	K05入力ポートデータ	Highレベル 入力	Lowレベル 入力	—	R	
	D4	K04D	K04入力ポートデータ					
	D3	K03D	K03入力ポートデータ					
	D2	K02D	K02入力ポートデータ					
	D1	K01D	K01入力ポートデータ					
	D0	K00D	K00入力ポートデータ					
00FF55	D7	—	—	—	—	—		読み出し時は常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	K11D	K11入力ポートデータ	Highレベル 入力	Lowレベル 入力	—	R	
	D0	K10D	K10入力ポートデータ					
00FF60	D7	IOC07	P07 I/Oコントロールレジスタ	出力	入力	0	R/W	
	D6	IOC06	P06 I/Oコントロールレジスタ					
	D5	IOC05	P05 I/Oコントロールレジスタ					
	D4	IOC04	P04 I/Oコントロールレジスタ					
	D3	IOC03	P03 I/Oコントロールレジスタ					
	D2	IOC02	P02 I/Oコントロールレジスタ					
	D1	IOC01	P01 I/Oコントロールレジスタ					
	D0	IOC00	P00 I/Oコントロールレジスタ					

表5.1.1(k) I/Oメモリマップ(00FF61H ~ 00FF72H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF61	D7	IOC17	P17 I/Oコントロールレジスタ	出力	入力	0	R/W	
	D6	IOC16	P16 I/Oコントロールレジスタ					
	D5	IOC15	P15 I/Oコントロールレジスタ					
	D4	IOC14	P14 I/Oコントロールレジスタ					
	D3	IOC13	P13 I/Oコントロールレジスタ					
	D2	IOC12	P12 I/Oコントロールレジスタ					
	D1	IOC11	P11 I/Oコントロールレジスタ					
	D0	IOC10	P10 I/Oコントロールレジスタ					
00FF62	D7	P07D	P07 入出力兼用ポートデータ	High	Low	1	R/W	
	D6	P06D	P06 入出力兼用ポートデータ					
	D5	P05D	P05 入出力兼用ポートデータ					
	D4	P04D	P04 入出力兼用ポートデータ					
	D3	P03D	P03 入出力兼用ポートデータ					
	D2	P02D	P02 入出力兼用ポートデータ					
	D1	P01D	P01 入出力兼用ポートデータ					
	D0	P00D	P00 入出力兼用ポートデータ					
00FF63	D7	P17D	P17 入出力兼用ポートデータ	High	Low	1	R/W	
	D6	P16D	P16 入出力兼用ポートデータ					
	D5	P15D	P15 入出力兼用ポートデータ					
	D4	P14D	P14 入出力兼用ポートデータ					
	D3	P13D	P13 入出力兼用ポートデータ					
	D2	P12D	P12 入出力兼用ポートデータ					
	D1	P11D	P11 入出力兼用ポートデータ					
	D0	P10D	P10 入出力兼用ポートデータ					
00FF70	D7	HZR51	R51ハイインピーダンス制御	ハイインピーダンス	コンプリメンタリ	0	R/W	
	D6	HZR50	R50ハイインピーダンス制御					
	D5	HZR4H	汎用レジスタ					
	D4	HZR4L	汎用レジスタ					
	D3	HZR1H	R14 ~ R17ハイインピーダンス制御					
	D2	HZR1L	R10 ~ R13ハイインピーダンス制御					
	D1	HZR0H	R04 ~ R07ハイインピーダンス制御					
	D0	HZR0L	R00 ~ R03ハイインピーダンス制御					
00FF71	D7	HZR27	R27ハイインピーダンス制御	ハイインピーダンス	コンプリメンタリ	0	R/W	
	D6	HZR26	R26ハイインピーダンス制御					
	D5	HZR25	R25ハイインピーダンス制御					
	D4	HZR24	R24ハイインピーダンス制御					
	D3	HZR23	R23ハイインピーダンス制御					
	D2	HZR22	R22ハイインピーダンス制御					
	D1	HZR21	R21ハイインピーダンス制御					
	D0	HZR20	R20ハイインピーダンス制御					
00FF72	D7	HZR37	R37ハイインピーダンス制御	ハイインピーダンス	コンプリメンタリ	0	R/W	
	D6	HZR36	R36ハイインピーダンス制御					
	D5	HZR35	R35ハイインピーダンス制御					
	D4	HZR34	R34ハイインピーダンス制御					
	D3	HZR33	R33ハイインピーダンス制御					
	D2	HZR32	R32ハイインピーダンス制御					
	D1	HZR31	R31ハイインピーダンス制御					
	D0	HZR30	R30ハイインピーダンス制御					

表5.1.1(l) I/Oメモリマップ(00FF73H ~ 00FF78H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF73	D7	R07D	R07出力ポートデータ	High	Low	1	R/W	
	D6	R06D	R06出力ポートデータ					
	D5	R05D	R05出力ポートデータ					
	D4	R04D	R04出力ポートデータ					
	D3	R03D	R03出力ポートデータ					
	D2	R02D	R02出力ポートデータ					
	D1	R01D	R01出力ポートデータ					
	D0	R00D	R00出力ポートデータ					
00FF74	D7	R17D	R17出力ポートデータ	High	Low	1	R/W	
	D6	R16D	R16出力ポートデータ					
	D5	R15D	R15出力ポートデータ					
	D4	R14D	R14出力ポートデータ					
	D3	R13D	R13出力ポートデータ					
	D2	R12D	R12出力ポートデータ					
	D1	R11D	R11出力ポートデータ					
	D0	R10D	R10出力ポートデータ					
00FF75	D7	R27D	R27出力ポートデータ	High	Low	1	R/W	
	D6	R26D	R26出力ポートデータ					
	D5	R25D	R25出力ポートデータ					
	D4	R24D	R24出力ポートデータ					
	D3	R23D	R23出力ポートデータ					
	D2	R22D	R22出力ポートデータ					
	D1	R21D	R21出力ポートデータ					
	D0	R20D	R20出力ポートデータ					
00FF76	D7	R37D	R37出力ポートデータ	High	Low	1	R/W	
	D6	R36D	R36出力ポートデータ					
	D5	R35D	R35出力ポートデータ					
	D4	R34D	R34出力ポートデータ					
	D3	R33D	R33出力ポートデータ					
	D2	R32D	R32出力ポートデータ					
	D1	R31D	R31出力ポートデータ					
	D0	R30D	R30出力ポートデータ					
00FF77	D7	R47D	汎用レジスタ	1	0	1	R/W	予約レジスタ
	D6	R46D	汎用レジスタ					
	D5	R45D	汎用レジスタ					
	D4	R44D	汎用レジスタ					
	D3	R43D	汎用レジスタ					
	D2	R42D	汎用レジスタ					
	D1	R41D	汎用レジスタ					
	D0	R40D	汎用レジスタ					
00FF78	D7	-	-	-	-	-	-	読み出し時は常時"0"
	D6	-	-	-	-	-	-	
	D5	-	-	-	-	-	-	
	D4	-	-	-	-	-	-	
	D3	-	-	-	-	-	-	
	D2	-	-	-	-	-	-	
	D1	R51D	R51出力ポートデータ	High	Low	1	R/W	
	D0	R50D	R50出力ポートデータ	High	Low	0	R/W	

表5.1.1(m) I/Oメモリマップ(00FF80H ~ 00FF84H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF80	D7	-	-	-	-	-		読み出し時は常時"0"
	D6	-	-	-	-	-		
	D5	-	-	-	-	-		
	D4	-	-	-	-	-		
	D3	PRAD	A/D変換器クロック制御	On	Off	0	R/W	
	D2	PSAD2	A/D変換器クロック分周比			0	R/W	
			PSAD2 PSAD1 PSAD0 分周比	1 1 1 fosc1 / 1				
	D1	PSAD1		1 1 0 fosc3 / 64		0	R/W	
				1 0 1 fosc3 / 32				
				1 0 0 fosc3 / 16				
00FF81	D0	PSAD0		0 1 1 fosc3 / 8		0	R/W	読み出し時は常時"0"
				0 1 0 fosc3 / 4				
				0 0 1 fosc3 / 2				
				0 0 0 fosc3 / 1				
	D7	PAD7	P17 A/D変換器入力制御	A/D変換器 入力	入出力兼用 ポート	0	R/W	読み出し時は常時"0"
	D6	PAD6	P16 A/D変換器入力制御			0	R/W	
	D5	PAD5	P15 A/D変換器入力制御			0	R/W	
	D4	PAD4	P14 A/D変換器入力制御			0	R/W	
00FF82	D3	-	-	-	-	-		読み出し時は常時"0"
	D2	-	-	-	-	-		
	D1	-	-	-	-	-		
	D0	-	-	-	-	-		
	D7	ADRUN	A/D変換開始制御レジスタ	開始	無効	0	W	読み出し時は常時"0"
	D6	-	-	-	-	-		
	D5	-	-	-	-	-		
	D4	-	-	-	-	-		
00FF83	D3	-	-	-	-	-		読み出し時は常時"0"
	D2	-	-	-	-	-		
	D1	CHS1	アナログ入力チャンネル選択	CHS1 CHS0 入力チャンネル	ポート	0	R/W	読み出し時は常時"0"
	D0	CHS0				0	R/W	
				1 1 AD7				
				1 0 AD6				
				0 1 AD5				
				0 0 AD4				
00FF84	D7	ADDR9	A/D変換結果D9 (MSB)		R			読み出し時は常時"0"
	D6	ADDR8	A/D変換結果D8					
	D5	ADDR7	A/D変換結果D7					
	D4	ADDR6	A/D変換結果D6					
	D3	ADDR5	A/D変換結果D5					
	D2	ADDR4	A/D変換結果D4					
	D1	ADDR3	A/D変換結果D3					
	D0	ADDR2	A/D変換結果D2					

## 5.2 システムコントローラとバスの制御

システムコントローラはメモリなどのシステム構成にしたがって、バスモード等の設定を行う管理ユニットです。

システムを制御するために、以下の設定がソフトウェアによって行えます。

- (1) バスモード(CPUモード)の設定
- (2) チップイネーブル(CE)出力の設定
- (3) 外部メモリに対するウェイトステートの設定
- (4) バス権解放要求/応答信号(BREQ/BACK)の設定
- (5) スタックポインタのページアドレスの設定

以下、これらの設定方法について説明します。

### 5.2.1 バスモードの設定

S1C88349は"3.5.2 バスモード"で説明した4種類のバスモードを持ち、外部に接続するメモリの容量にしたがってソフトウェアによる設定が必要となります。

バスモードの設定は表5.2.1.1に示すとおり、BSMD0およびBSMD1レジスタに各モードの設定値を書き込むことによって行います。

表5.2.1.1 バスモードの設定

設定値		バスモード	外部メモリの構成
BSMD1	BSMD0		
1	1	拡張512Kマキシマムモード	ROM+RAM>64Kバイト(プログラム>64Kバイト)
1	0	拡張512Kミニマムモード	ROM+RAM>64Kバイト(プログラム≤64Kバイト)
0	1	拡張64Kモード(MPUモード)	ROM+RAM≤64Kバイト
0	0	シングルチップモード(MCU) 拡張モードの1つをオプション設定(MPU)	なし 上記参照

\* シングルチップモードは本ICをMCUモードで使用する場合にのみ設定可能です。MPUモードでは内蔵ROMを使用しないため、シングルチップモードは設定できません。

MPUモードで使用する場合はイニシャルリセット時、およびBSMD0=BSMD1="0"設定時のバスモードを3種類の拡張モード(拡張64Kモード、拡張512Kミニマムモード、拡張512Kマキシマムモード)の中からいずれか1つ、マスクオプションにより選択する必要があります。

MPUモードを全く使用しない場合の本マスクオプションは、デフォルト(拡張512Kマキシマムモード)を選択してください。

モードの選択にしたがって入出力端子の機能が表5.2.1.2のとおりに設定されます。

表5.2.1.2 入出力端子の設定

端子	バスモード		
	シングルチップ	拡張64K	拡張512K
R00	出力ポートR00		アドレスバスA0
R01	出力ポートR01		アドレスバスA1
R02	出力ポートR02		アドレスバスA2
R03	出力ポートR03		アドレスバスA3
R04	出力ポートR04		アドレスバスA4
R05	出力ポートR05		アドレスバスA5
R06	出力ポートR06		アドレスバスA6
R07	出力ポートR07		アドレスバスA7
R10	出力ポートR10		アドレスバスA8
R11	出力ポートR11		アドレスバスA9
R12	出力ポートR12		アドレスバスA10
R13	出力ポートR13		アドレスバスA11
R14	出力ポートR14		アドレスバスA12
R15	出力ポートR15		アドレスバスA13
R16	出力ポートR16		アドレスバスA14
R17	出力ポートR17		アドレスバスA15
R20	出力ポートR20		アドレスバスA16
R21	出力ポートR21		アドレスバスA17
R22	出力ポートR22		アドレスバスA18
R23	出力ポートR23	RD信号	
R24	出力ポートR24	WR信号	
P00	入出力兼用ポートP00		データバスD0
P01	入出力兼用ポートP01		データバスD1
P02	入出力兼用ポートP02		データバスD2
P03	入出力兼用ポートP03		データバスD3
P04	入出力兼用ポートP04		データバスD4
P05	入出力兼用ポートP05		データバスD5
P06	入出力兼用ポートP06		データバスD6
P07	入出力兼用ポートP07		データバスD7

イニシャルリセット時、バスモードは以下のように設定されます。

• MCUモードの場合

イニシャルリセット時、シングルチップモードに設定されます。

したがって、MCUモードでは外部にメモリを拡張している場合でも内蔵ROMに書き込まれたプログラムにより起動します。

外部にメモリを拡張しているシステムでは、内蔵ROM上の初期化ルーチンで該当するバスモードの設定を行ってください。

• MPUモードの場合

MPUモードで使用する場合は、マスクオプションによってイニシャルリセット時に設定される拡張モード(拡張64Kモード、拡張512Kミニマムモード、拡張512Kマキシマムモードのいずれか1つ)をあらかじめ選択しておく必要があります。

システム構成に合ったオプション設定を行ってください。

## 5.2.2 アドレスデコーダ( $\overline{CE}$ 出力)の設定

S1C88349は"3.6.4 チップイネーブル( $\overline{CE}$ )信号"で説明したとおり、外部デバイスに対するチップイネーブル信号を最大4本( $\overline{CE0}$ ～ $\overline{CE3}$ )出力することができるアドレスデコーダを内蔵しています。

$\overline{CE0}$ ～ $\overline{CE3}$ の出力端子および出力回路は出力ポートR30～R33と共用となっており、イニシャルリセット時には出力ポート端子に設定されます。このため、シングルチップモード以外の場合は使用する $\overline{CE}$ 端子の設定を行う必要があります。この設定はソフトウェアによってレジスタ $CE0$ ～ $CE3$ で行い、使用する $\overline{CE}$ 信号に対応するレジスタに"1"を書き込みます。

4本のチップイネーブル( $\overline{CE}$ )信号に割り当てられるアドレス範囲を表5.2.2.1に示します。

メモリ空間への外部デバイスの配置は必ずしも下位アドレスから連続させる必要はなく、任意のチップイネーブル信号を用いてその領域に割り当てるすることができます。ただし、MPUモードの場合は必ず $\overline{CE0}$ にプログラムメモリを割り当てておく必要があります。

拡張512Kモードでは各 $\overline{CE}$ 信号のアドレス範囲が固定されていますが、拡張64Kモードの場合は使用するメモリに合わせた4種類のアドレス範囲をレジスタCEMD0およびCEMD1によって選択できます。

それぞれの信号は所定の外部メモリ領域をアクセスする場合にのみ出力され、内蔵メモリのアクセス時には出力されません。

表5.2.2.1  $\overline{CE0}$ ～ $\overline{CE3}$ のアドレス設定

### (1) 拡張64Kモード(MPUモードのみ)

CEMD1	CEMD0	チップサイズ	CE0	CE1	CE2	CE3
1	1	64Kバイト	000000H～00EFFFH	—	—	—
1	0	32Kバイト	000000H～007FFFH	008000H～00EFFFH	—	—
0	1	16Kバイト	000000H～003FFFH	004000H～007FFFH	008000H～00BFFFH	00C000H～00EFFFH
0	0	8Kバイト	000000H～001FFFH	002000H～003FFFH	004000H～005FFFH	006000H～007FFFH

### (2) 拡張512Kミニマム/マキシマムモード

$\overline{CE}$ 信号	アドレス範囲	
	MCUモード	MPUモード
$\overline{CE0}$	200000H～27FFFFH	000000H～00EFFFH, 010000H～07FFFFH
$\overline{CE1}$	080000H～0FFFFFH	080000H～0FFFFFH
$\overline{CE2}$	100000H～17FFFFH	100000H～17FFFFH
$\overline{CE3}$	180000H～1FFFFFH	180000H～1FFFFFH

### 5.2.3 ウェイットステートの設定

S1C88349は外付け低速デバイスのアクセスを保証するために、アクセスタイム伸長用のウェイット機能を内蔵しています。

挿入するウェイットステート数はレジスタWT0～WT2によって表5.2.3.1に示す8種類の中から選択できます。

表5.2.3.1 ウェイットステート数の設定

WT2	WT1	WT0	挿入ステート数
1	1	1	14
1	1	0	12
1	0	1	10
1	0	0	8
0	1	1	6
0	1	0	4
0	0	1	2
0	0	0	ノーウェイト

\* 1ステート長はクロックの1/2サイクルです。

ソフトウェアで設定したウェイットステートはバスサイクルのT3～T4ステート間に挿入されます。ただし、内部レジスタと内蔵メモリのアクセス時、およびOSC1発振回路("5.4 発振回路と動作モード"参照)での動作時には、ウェイットは挿入されません。

したがって、シングルチップモードではウェイットステートの設定は意味を持ちません。

ウェイット挿入のタイミングについては"3.6.5 ウェイット制御"を参照してください。

### 5.2.4 バス権解放要求信号の設定

DMA転送を行うシステムの場合、バス権解放要求信号(BREQ)入力端子、および応答信号(BACK)出力端子を設定する必要があります。

BREQ入力端子はK11入力ポート端子と、BACK出力端子はR51出力ポート端子と共に用されており、イニシャルリセット時はそれぞれ入力ポート端子、出力ポート端子に設定されます。

BREQ/BACK端子への機能変更はレジスタEBRに"1"を書き込むことによって行います。

バス権解放の詳細については"3.6.6 バス権解放状態"および"S1C88コアCPUマニュアル"を参照してください。

### 5.2.5 スタックページの設定

サブルーチンコール時のレジスタ退避などに使用されるスタック領域は、スタックポインタSPによってデータRAM上の任意のエリアに確保できますが、このページアドレスはI/Oメモリ上のレジスタSPP0～SPP7によって設定されます。

イニシャルリセット時はSPP0～SPP7が"00H"(0ページ)に設定されます。

内蔵RAMが0ページ(00F000H～00F7FFFH)に配置されているため、シングルチップモードでのスタック領域は必然的に0ページとなります。また、拡張64Kモードで外部にRAMを拡張する場合も0ページ内に限られますので同様です。内蔵RAMの最終アドレスからスタック領域を設定する場合はSPIに"F800H"を初期設定します。(SPIはプリデクリメント)

拡張512Kモードで外部拡張したRAMにスタック領域を設定する場合は、SPP0～SPP7に該当するページを設定します。SPP0～SPP7に設定可能なページアドレスは00H～27Hで、必ずRAMが配置されている領域内で設定を行う必要があります。

\* ページはデータメモリを0番地から64Kバイトごとに分割したそれぞれの領域のことです。

## 5.2.6 システムコントローラの制御方法

表5.2.6.1にシステムコントローラの制御ビットを示します。

表5.2.6.1(a) システムコントローラの制御ビット(MCUモード)

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈	
00FF00 (MCU)	D7	BSMD1	バスモード(CPUモード) BSMD1 BSMD0 モード			0	R/W	BSMD1~0を01B には設定しない でください。	
	D6	BSMD0	1 1 512K(マキシマム)			0	R/W		
			1 0 512K(ミニマム)						
			0 1 ×						
			0 0 シングルチップ						
	D5	CEMD1	汎用レジスタ			1	R/W		
	D4	CEMD0	汎用レジスタ			1	R/W		
	D3	CE3	CE3 (R33)	CE3有効	CE3無効	0	R/W	シングルチップ モードの場合、 DC出力に固定	
	D2	CE2	CE2 (R32)	CE2有効	CE2無効	0	R/W		
	D1	CE1	CE1 (R31)	CE1有効	CE1無効	0	R/W		
	D0	CE0	CE0 (R30)	CE0有効	CE0無効	0	R/W		
00FF01	D7	SPP7	スタックポインタページアドレス (MSB)	1	0	0	R/W		
	D6	SPP6		1	0	0	R/W		
	D5	SPP5	<SPページ割り付け可能アドレス>	1	0	0	R/W		
	D4	SPP4	・シングルチップモード: 0ページのみ	1	0	0	R/W		
	D3	SPP3	・64Kモード: 0ページのみ	1	0	0	R/W		
	D2	SPP2	・512K(min)モード: 0~27Hページ	1	0	0	R/W		
	D1	SPP1	・512K(max)モード: 0~27Hページ	1	0	0	R/W		
	D0	SPP0	(LSB)	1	0	0	R/W		
00FF02	D7	EBR	バス解放イネーブル (K11, R51端子仕様)	K11 R51	BREQ BACK	入力ポート 出力ポート	0	R/W	
	D6	WT2	ウェイトステート制御						
			WT2 WT1 WT0 ステート数	1 1 1 14					
			1 1 0 12						
			1 0 1 10						
			1 0 0 8						
			0 1 1 6						
			0 1 0 4						
			0 0 1 2						
			0 0 0 ノーウェイト						
	D3	CLKCHG	CPU動作クロック切り換え	OSC3	OSC1	0	R/W		
	D2	OSCC	OSC3発振On/Off制御	On	Off	0	R/W		
	D1	VDC1	動作モード選択						
			VDC1 VDC0 動作モード	1 × 高速モード (V <sub>D1</sub> = 3.3V)					
			0 1 低パワーモード (V <sub>D1</sub> = 1.2V)						
			0 0 通常モード (V <sub>D1</sub> = 2.2V)						

注! アドレス"00FF00H"および"00FF01H"に任意の値をそれぞれ書き込むまで、NMIを含めたすべての割り込みはマスクされます。

表5.2.6.1(b) システムコントローラの制御ビット(MPUモード)

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF00 (MPU)	D7	BSMD1	バスモード(CPUモード) <u>BSMD1</u> <u>BSMD0</u> モード			*	R/W	初期設定はマスクオプションで3種類(64K, 512K min, 512K max)の中から選択できます
	D6	BSMD0	1 1 512K (マキシマム) 1 0 512K (ミニマム) 0 1 64K 0 0 *オプション選択◀			*	R/W	
	D5	CEMD1	チップインエーブルモード <u>CEMD1</u> <u>CEMD0</u> モード			1	R/W	
	D4	CEMD0	1 1 64K (CE0) 1 0 32K (CE0, CE1) 0 1 16K (CE0-CE3) 0 0 8K (CE0-CE3)			1	R/W	64K/バスモードのみ
	D3	CE3	CE3 (R33) CE信号出力イネーブル	CE3有効	CE3無効	0	R/W	
	D2	CE2	CE2 (R32) 有効: CE信号出力	CE2有効	CE2無効	0	R/W	
	D1	CE1	CE1 (R31) 無効: DC出力(R3x)	CE1有効	CE1無効	0	R/W	
	D0	CE0	CE0 (R30) (LSB)	CE0有効	CE0無効	1	R/W	
	D7	SPP7	スタックポイントアドレス (MSB)	1	0	0	R/W	
	D6	SPP6		1	0	0	R/W	
00FF01	D5	SPP5	<SPページ割り付け可能アドレス>	1	0	0	R/W	
	D4	SPP4	・シングルチップモード: 0ページのみ	1	0	0	R/W	
	D3	SPP3	・64Kモード: 0ページのみ	1	0	0	R/W	
	D2	SPP2	・512K (min)モード: 0~27Hページ	1	0	0	R/W	
	D1	SPP1	・512K (max)モード: 0~27Hページ	1	0	0	R/W	
	D0	SPP0	(LSB)	1	0	0	R/W	
	D7	EBR	バス解放イネーブル (K11, R51端子仕様)	K11 R51	<u>BREQ</u> <u>BACK</u>	入力ポート 出力ポート	0	R/W
	D6	WT2	ウェイトステート制御 <u>WT2</u> <u>WT1</u> <u>WT0</u> ステート数	1 1 1 14 1 1 0 12 1 0 1 10 1 0 0 8 0 1 1 6 0 1 0 4 0 0 1 2 0 0 0 ノーウェイト			0	R/W
00FF02	D3	CLKCHG	CPU動作クロック切り換え	OSC3	OSC1	0	R/W	
	D2	OSCC	OSC3発振On/Off制御	On	Off	0	R/W	
	D1	VDC1	動作モード選択 <u>VDC1</u> <u>VDC0</u> 動作モード	1 × 高速モード (VD1 = 3.3V) 0 1 低パワーモード (VD1 = 1.2V) 0 0 通常モード (VD1 = 2.2V)			0	R/W
	D0	VDC0						
	D7	WT2	ウェイトステート制御 <u>WT2</u> <u>WT1</u> <u>WT0</u> ステート数	1 1 1 14 1 1 0 12 1 0 1 10 1 0 0 8 0 1 1 6 0 1 0 4 0 0 1 2 0 0 0 ノーウェイト			0	R/W
	D6	WT1						
	D5	WT0						

注! アドレス"00FF00H"および"00FF01H"に任意の値をそれぞれ書き込むまで、NMIを含めたすべての割り込みはマスクされます。

**BSMD0, BSMD1: 00FF00H·D6, D7**

バスモードを表5.2.6.2のとおりに設定します。

表5.2.6.2 バスモードの設定

設定値		バスモード
BSMD1	BSMD0	
1	1	拡張512Kマキシマムモード
1	0	拡張512Kミニマムモード
0	1	拡張64Kモード(MPUモード)
0	0	シングルチップモード(MCU) 拡張モードの1つをオプション設定(MPU)

シングルチップモードは本ICをMCUモードで使用する場合にのみ設定可能です。MPUモードでは内蔵ROMを使用しないため、シングルチップモードは設定できません。

MPUモードで使用する場合はイニシャルリセット時、およびBSMD0=BSMD1="0"設定時のバスモードを3種類の拡張モード(拡張64Kモード、拡張512Kミニマムモード、拡張512Kマキシマムモード)の中からいずれか1つ、マスクオプションにより選択する必要があります。

MPUモードを全く使用しない場合の本マスクオプションは、デフォルト(拡張512Kマキシマムモード)を選択してください。

イニシャルリセット時、MCUモードではシングルチップモードに、MPUモードではマスクオプションで選択したモードにそれぞれ設定されます。

**CEMD0, CEMD1: 00FF00H·D4, D5**

CE信号のアドレス範囲を設定します。(拡張64Kモード時のみ有効\*)

外部メモリのチップサイズにしたがって表5.2.6.3のとおり設定します。

表5.2.6.3 CE信号の設定

CEMD1	CEMD0	アドレス範囲	使用可能な端子
1	1	64Kバイト	CE0
1	0	32Kバイト	CE0, CE1
0	1	16Kバイト	CE0~CE3
0	0	8Kバイト	CE0~CE3

拡張64Kモード以外では、この設定は無効です。

イニシャルリセット時、本レジスタはそれぞれ"1"(64Kバイト)に設定されます。

\* CEMD1、CEMD0の設定はMPUモード時にのみ有効で、MCUモード時はリード/ライト可能な汎用レジスタとして使用できます。

**CE0~CE3: 00FF00H·D0~D3**

使用するCE出力端子を設定します。

"1"書き込み: CE出力イネーブル

"0"書き込み: CE出力ディセーブル

読み出し: 可能

使用するCE出力に対応するレジスタCE0~CE3に"1"を書き込みCE出力をイネーブルに設定します。"0"を書き込んだCE信号の出力はディセーブルとなり、その端子は出力ポートR30~R33として機能します。

イニシャルリセット時、レジスタCE0はMCUモードでは"0"に、MPUモードでは"1"にそれぞれ設定され、レジスタCE1~CE3はMCU/MPUモードにかかわらず常時"0"に設定されます。

注! バスの構成を初期設定するまでの割り込み発生によるシステムの誤動作を回避するため、アドレス"00FF00H"に任意の値を書き込むまで、NMIを含めたすべての割り込みはマスクされます。

**SPP0~SPP7: 00FF01H**

スタック領域のページアドレスを設定します。

シングルチップモードおよび拡張64Kモードの場合は"00H"を設定します。

拡張512Kモードの場合は"00H"~"27H"の範囲内で任意の値を設定できます。

スタックポインタSPのキャリー/ボローは本レジスタSPPへは反映されませんので、連続的に使用できるスタック領域の上限は64Kバイトとなります。

イニシャルリセット時、本レジスタは"00H"(0ページ)に設定されます。

注! スタック領域を設定するまでの割り込み発生によるシステムの誤動作を回避するため、アドレス"00FF01H"に任意の値を書き込むまで、NMIを含めたすべての割り込みはマスクされます。また、スタック領域設定の継ぎ目で割り込みが発生するのを回避するため、アドレス"00FF01H"への書き込み後1命令実行期間、NMIを含めたすべての割り込みはマスクされます。

**WT0~WT2: 00FF02H·D4~D6**

ウェイトステートの設定を行います。

レジスタの設定により挿入されるウェイトステート数は表5.2.6.4のとおりです。

表5.2.6.4 ウェイトステートの設定

WT2	WT1	WT0	挿入ステート数
1	1	1	14
1	1	0	12
1	0	1	10
1	0	0	8
0	1	1	6
0	1	0	4
0	0	1	2
0	0	0	ノーウェイト

\* 1ステート長はクロックの1/2サイクルです。

イニシャルリセット時、本レジスタは"0"(ノーウェイト)に設定されます。

**EBR: 00FF02H·D7**

BREQ/BACK端子を設定します。

"1"書き込み: BREQ/BACKイネーブル

"0"書き込み: BREQ/BACKディセーブル

読み出し: 可能

BREQ端子、BACK端子の機能を設定します。EBRに"1"を書き込んだ場合BREQ/BACKの入出力がイネーブルとなります。"0"を書き込んだ場合はディセーブルとなり、BREQ端子がK11入力ポート端子、BACK端子がR51出力ポート端子に設定されます。

イニシャルリセット時、EBRは"0"(BREQ/BACKディセーブル)に設定されます。

**5.2.7 プログラミング上の注意事項**

(1) アドレス"00FF00H"および"00FF01H"に任意の値をそれぞれ書き込むまで、NMIを含めたすべての割り込みはマスクされます。したがって、本アドレスの内容を変更しない(初期値をそのまま使用する)場合でも、書き込み動作は初期化ルーチン内で必ず行ってください。

(2) スタック領域をページアドレスも含めて変更する場合は、レジスタSPP("00FF01H")、スタックポインタSPの順で書き換えを行ってください。

例: アドレス"178000H"を設定する場合

LD EP,#00H

LD HL,#0FF01H

LD [HL],#17H

LD SP,#8000H

この間割り込み(NMIを含む)がマスクされます。

## 5.3 ウォッチドッグタイマ

### 5.3.1 ウォッチドッグタイマの構成

S1C88349はOSC1発振回路を原振とするウォッチドッグタイマを内蔵しています。ウォッチドッグタイマはソフトウェアによって周期的にリセットする必要があり、3~4秒(fosc1=32.768kHzの場合)以上リセットが行われない場合、CPUに対してノンマスカブルインタラプトを発生します。

図5.3.1.1にウォッチドッグタイマのブロック図を示します。

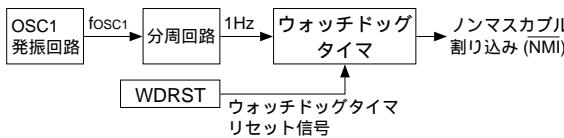


図5.3.1.1 ウォッチドッグタイマのブロック図

プログラムのメインルーチン上でウォッチドッグタイマのリセット処理をすることにより、メインルーチンのウォッチドッグタイマ処理を通らないようなプログラムの暴走を検出することができます。通常はこのルーチンを定期的に処理される箇所に組み込みます。

なお、ウォッチドッグタイマはHALT時も動作しており、HALT状態を3~4秒間続けるとCPUは例外処理に移行します。

SLEEP時はウォッチドッグタイマも停止します。

### 5.3.2 割り込み機能

ウォッチドッグタイマがソフトウェアによって周期的にリセットされない場合、ウォッチドッグタイマはコアCPUのNMI(レベル4)入力に対して割り込み信号を出力します。この割り込みはマスクが不可能で、他の割り込みに優先して例外処理が発生します。NMI例外処理の詳細については"S1C88コアCPUマニュアル"を参照してください。

本例外処理ベクタアドレスは、000004Hに設定されています。

### 5.3.3 ウォッチドッグタイマの制御方法

表5.3.3.1にウォッチドッグタイマの制御ビットを示します。

#### WDRST: 00FF40H·D2

ウォッチドッグタイマをリセットします。

"1"書き込み: ウォッチドッグタイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

WDRSTに"1"を書き込むことによりウォッチドッグタイマはリセットされ、その直後リスタートします。"0"の書き込みはノーオペレーションとなります。

WDRSTは書き込み専用のため、読み出し時は常時"0"となります。

### 5.3.4 プログラミング上の注意事項

- ウォッチドッグタイマは、3秒周期以内に必ずソフトウェアでリセットをする必要があります。
- NMI割り込み発生から2msec以内はSLP命令を実行しないでください。(fosc1=32.768kHzの場合)

表5.3.3.1 ウォッチドッグタイマの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF40	D7	–	–	–	–	–		読み出し時は"0"
	D6	FOUT2	FOUT周波数選択			0	R/W	
			FOUT2 FOUT1 FOUT0	0 0 0	fosc1 / 1			
	D5	FOUT1		0 0 1	fosc1 / 2		0	
				0 1 0	fosc1 / 4			
				0 1 1	fosc1 / 8			
	D4	FOUT0		1 0 0	fosc3 / 1		0	
				1 0 1	fosc3 / 2			
				1 1 0	fosc3 / 4			
				1 1 1	fosc3 / 8			
	D3	FOUTON	FOUT出力制御	On	Off	0	R/W	
	D2	WDRST	ウォッチドッグタイマリセット	リセット	無効	–	W	読み出し時は 常時"0"
	D1	TMRST	計時タイマリセット	リセット	無効	–	W	
	D0	TMRUN	計時タイマRun/Stop制御	Run	Stop	0	R/W	

## 5.4 発振回路と動作モード

### 5.4.1 発振回路の構成

S1C88349は2種類の発振回路(OSC1およびOSC3)を内蔵したツインクロック仕様となっています。OSC1発振回路は32.768kHz(Typ.)のメインクロックを、OSC3発振回路はCPUや一部の周辺回路(出力ポート、シリアルインターフェース、プログラマブルタイマ)を高速動作させる場合のサブクロックを発生します。

図5.4.1.1に発振回路の構成を示します。

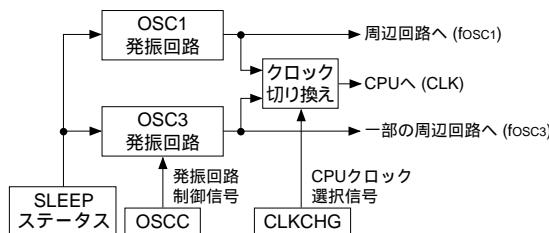


図5.4.1.1 発振回路の構成

イニシャルリセット時、CPUの動作クロックにはOSC1発振回路が選択され、OSC3発振回路は停止状態となります。

OSC3発振回路のON/OFFとシステムクロックの切り替え(OSC1↔OSC3)はソフトウェアによって制御できます。OSC3発振回路はCPUや一部の周辺回路の高速動作が必要な場合に使用します。それ以外の場合は消費電流を低減させるためにOSC3発振を停止させ、OSC1を動作クロックとして使用してください。

### 5.4.2 マスクオプション

#### OSC1発振回路

- 水晶発振回路
- 外部クロック入力
- CR発振回路
- 水晶発振回路(ゲート容量内蔵)

#### OSC3発振回路

- 水晶発振回路
- セラミック発振回路
- CR発振回路
- 外部クロック入力

OSC1発振回路の種類としては水晶発振、CR発振、水晶発振(ゲート容量内蔵)、または外部クロック入力のいずれかがマスクオプションで選択できます。OSC3発振回路の種類としては水晶発振、セラミック発振、CR発振、または外部クロック入力のいずれかがOSC1同様にマスクオプションで選択できます。

### 5.4.3 OSC1発振回路

OSC1発振回路は32.768kHz(Typ.)のシステムクロックを発生します。

OSC1発振クロックはCPUおよび周辺回路の低速(低消費電力)動作時のシステムクロックとして使用されます。また、OSC3をシステムクロックとして使用する場合にも、計時タイマやストップウォッチタイマの原振として使用されます。

本発振回路は、SLP命令実行時に発振停止状態となります。ただし、SLP命令実行時点でSVD回路("5.16 電源電圧検出回路"参照)が動作中である場合は、サンプリングの完了に同期して発振が停止します。

発振回路の種類としては、水晶発振、CR発振、水晶発振(ゲート容量内蔵)、または外部クロック入力のいずれかがマスクオプションで選択できます。

図5.4.3.1にOSC1発振回路の構造を示します。

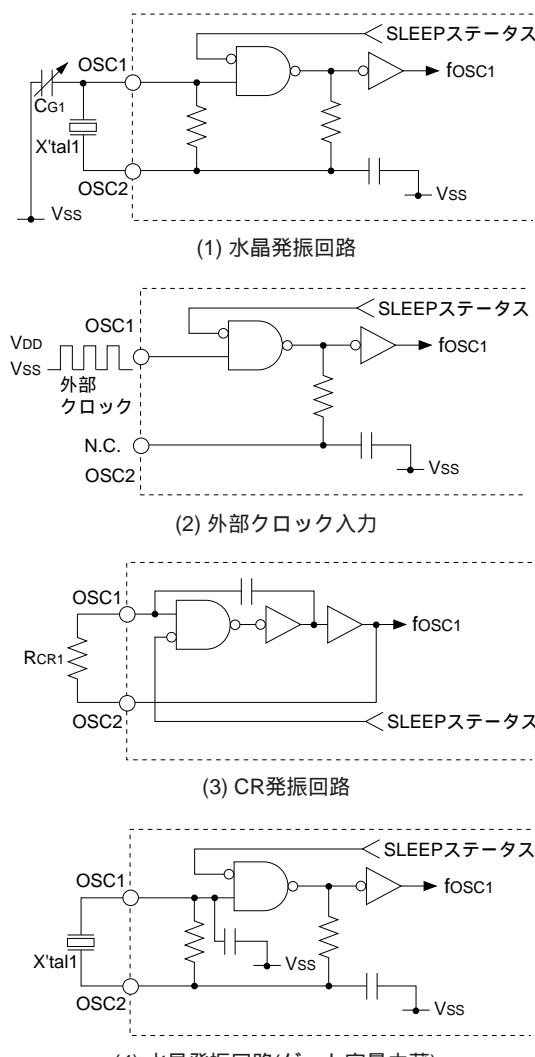


図5.4.3.1 OSC1発振回路

水晶発振回路を選択した場合は、OSC1端子とOSC2端子間に水晶振動子X'tal 1(Typ. 32.768kHz)を、OSC1端子とVss間にトリマキャパシタCG1(5~25pF)をそれぞれ接続することにより、容易に水晶発振回路を構成することができます。また、オプションでゲート容量CG1(5pF)を内蔵することができます。

CR発振回路を選択した場合はOSC1端子とOSC2端子間に抵抗(RCR1)を接続します。

外部クロックを選択した場合はOSC2端子を開放し、OSC1端子に矩形波のクロックを入力して使用します。

#### 5.4.4 OSC3発振回路

OSC3発振回路はCPUや一部の周辺回路(出力ポート、シリアルインターフェース、プログラマブルタイマ)を高速動作させる場合のシステムクロックを発生します。

本発振回路はSLP命令実行時、またはレジスタOSCCに"0"設定時に発振停止状態となります。

発振回路の種類としては水晶発振、セラミック発振、CR発振、または外部クロック入力のいずれかがマスクオプションで選択できます。

図5.4.4.1にOSC3発振回路の構造を示します。

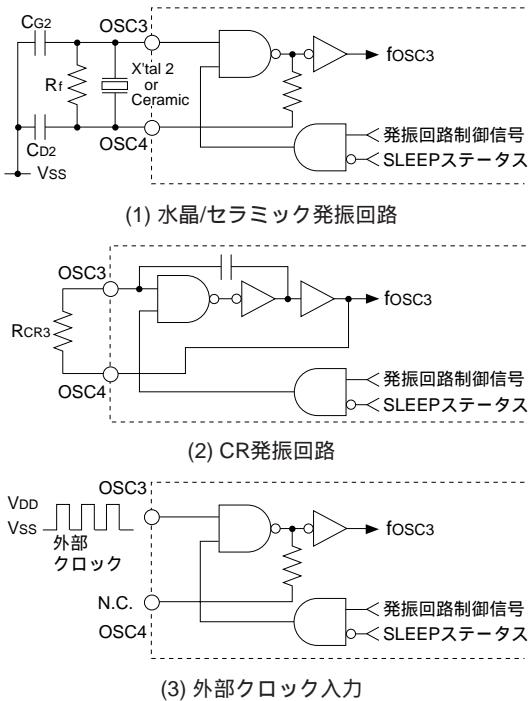


図5.4.4.1 OSC3発振回路

水晶/セラミック発振回路を選択した場合は、OSC3端子とOSC4端子間に水晶振動子(X'tal 2)またはセラミック振動子(Ceramic)と帰還抵抗(Rf)を、同OSC3、OSC4端子とVss間にキャパシタを2個(CG2、CD2)それぞれ接続することで水晶またはセラミック発振回路を構成できます。

CR発振を選択した場合はOSC3端子とOSC4端子間に抵抗(RCR3)を接続するだけでCR発振回路を構成できます。

外部クロックを選択した場合はOSC4端子を開放し、OSC3端子に矩形波のクロックを入力して使用します。

#### 5.4.5 動作モード

S1C88349は幅広い動作電圧において安定した動作と良好な特性(動作周波数、消費電流)を得るため、3種類の動作モードをソフトウェアで選択することができます。以下にそれぞれのモードの特徴を示します。

##### 通常モード (VDD=2.4V ~ 5.5V)

本モードはイニシャルリセット後に設定されるモードです。OSC3発振回路(Max. 4.2MHz)が使用でき、かつ比較的低パワー動作が可能なモードです。

##### 低パワーモード (VDD=1.8V ~ 3.5V)

本モードは通常モードよりさらに低パワーなモードです。OSC3発振回路は使用できませんが、OSC1発振回路での動作により超低パワーが実現できます。

##### 高速モード (VDD=3.5V ~ 5.5V)

本モードは通常モードよりさらに高速な動作が可能なモードです。OSC3発振回路(Max. 8.2MHz)が使用できるため、4.2MHz以上での動作が必要な場合に本モードを使用します。ただし、消費電流は通常モードに比べ増加します。

以上3種類のモードを状況に応じソフトウェアで切り換えることによって、低パワーなシステムを実現することができます。たとえば、OSC3をCPUクロックとして使用する場合は通常モード、逆にOSC1をCPUクロックとして使用する場合(OSC3発振回路はOFF)は低パワーモードと切り換えることで、消費電流が低減できます。

注! 低パワーモードではOSC3発振回路をONさせないでください。

OSC3発振回路がONしている状態での動作モードの切り換え(通常モード $\leftrightarrow$ 高速モード)は誤動作につながりますので行わないでください。動作電圧の関係上、1つのアプリケーションで低パワーモードと高速モードの2つのモードを使用することはできません。

### 5.4.6 CPUクロックの切り換え

OSC1とOSC3のどちらをCPUのシステムクロックとして使用するかを、ソフトウェアによって切り換えることができます。

OSC1でCPUが動作している間は、OSC3発振回路をOFFさせることでパワーセーブが実現できます。

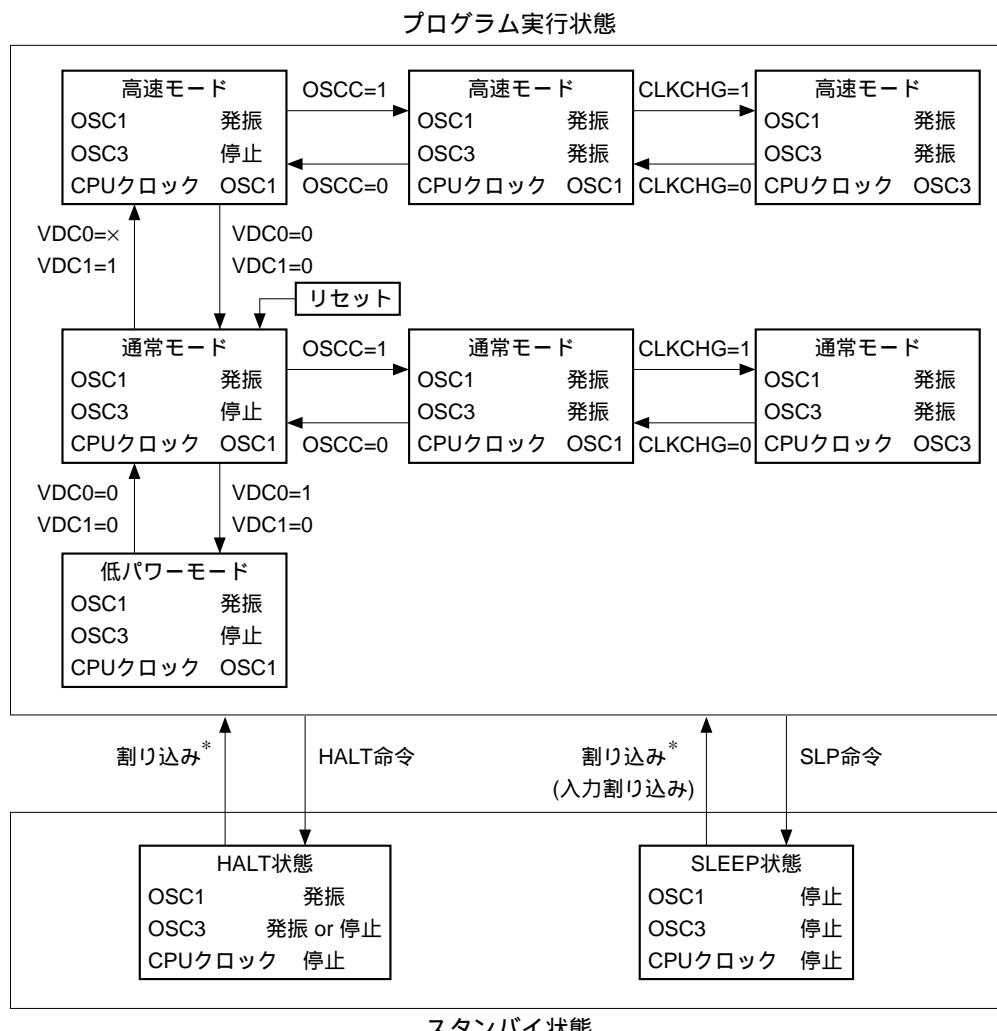
OSC3での動作が必要な場合にOSC3発振回路をONさせ、システムクロックを切り換えることで高速動作が実現できます。この場合、OSC3発振回路をONにしてから発振が安定するまでに数msec～数10msecの時間を必要としますので、その時間が経過した後にクロックの切り換えを行ってください。(発振開始時間は発振子、外付け部品によって変動します。"8 電気的特性"に発振開始時間の一例を示しますので参照してください。)

OSC3からOSC1に切り換える場合は、クロック切り換えの直後にOSC3発振回路をOFFしてください。

基本的なクロック切り換えの方法は以上ですが、低消費電力化と高速動作を実現するためには動作モードの切り換えも併せて行う必要があります。

図5.4.6.1に動作モードとクロック切り換えの状態遷移図を示します。

注! 動作モード切り換え後にOSC3発振回路をONさせる場合は、5msec以上の待ち時間をおいてください。



\* スタンバイ状態からの復帰先は、スタンバイ状態へ遷移する以前のプログラム実行状態となります。

図5.4.6.1 動作モードとクロック切り換えの状態遷移図

### 5.4.7 発振回路と動作モードの制御方法

表5.4.7.1に発振回路と動作モードの制御ビットを示します。

表5.4.7.1 発振回路と動作モードの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF02	D7	EBR	バス解放イネーブル (K11, R51端子仕様)	K11 R51	<u>BREQ</u> <u>BACK</u>	入力ポート 出力ポート	0	R/W
	D6	WT2	ウェイットステート制御 <u>WT2</u> <u>WT1</u> <u>WT0</u> <u>ステート数</u> 1            1            1            14 1            1            0            12 1            0            1            10 1            0            0            8 0            1            1            6 0            1            0            4 0            0            1            2 0            0            0            ノーウェイト					
	D5	WT1				0	R/W	
	D4	WT0						
	D3	CLKCHG	CPU動作クロック切り換え	OSC3	OSC1	0	R/W	
	D2	OSCC	OSC3発振On/Off制御	On	Off	0	R/W	
	D1	VDC1	動作モード選択 <u>VDC1</u> <u>VDC0</u> <u>動作モード</u> 1            ×            高速モード (VD1 = 3.3V) 0            1            低パワーモード (VD1 = 1.2V) 0            0            通常モード (VD1 = 2.2V)			0	R/W	
	D0	VDC0						

#### VDC1, VDC0: 00FF02H·D1, D0

電源電圧および動作周波数にしたがって動作モードを選択します。

レジスタの設定値と動作モードの対応を表5.4.7.2に示します。

表5.4.7.2 レジスタの設定値と動作モードの対応

動作モード	VDC1	VDC0	VD1	電源電圧	動作周波数
通常モード	0	0	2.2V	2.4~5.5V	4.2MHz (Max.)
低パワーモード	0	1	1.2V	1.8~3.5V	50kHz (Max.)
高速モード	1	×	3.3V	3.5~5.5V	8.2MHz (Max.)

\* VD1電圧はVssを基準(GND)とした値です。

イニシャルリセット時、本レジスタは"0"(通常モード)に設定されます。

#### OSCC: 00FF02H·D2

OSC3発振回路の発振ON、OFFを制御します。

"1"書き込み: OSC3発振ON

"0"書き込み: OSC3発振OFF

読み出し: 可能

CPUや一部の周辺回路(出力ポート、シリアルインターフェース、プログラマブルタイマ)を高速動作させる必要のある場合にOSCCを"1"とし、それ以外の場合は、低消費電力化のため"0"としてください。

イニシャルリセット時、OSCCは"0"(OSC3発振OFF)に設定されます。

#### CLKCHG: 00FF02H·D3

CPUの動作クロックを選択します。

"1"書き込み: OSC3クロック

"0"書き込み: OSC1クロック

読み出し: 可能

CPUの動作クロックはCLKCHGに"1"を設定した場合OSC3、"0"を設定した場合OSC1となります。

イニシャルリセット時、CLKCHGは"0"(OSC1クロック)に設定されます。

#### 5.4.8 プログラミング上の注意事項

- (1) CPUの高速動作を必要としない場合は低消費電力化のため、以下に示す設定内容にしたがって周辺回路を動作させてください。
- CPU動作クロック .... OSC1
  - OSC3発振回路 .... OFF  
(一部の周辺回路に対して  
OSC3クロックが必要ない  
場合)
  - 動作モード ..... 低パワー モード  
( $V_{DD}-V_{SS}$ が3.5V以下の場合)  
または、通常モード  
( $V_{DD}-V_{SS}$ が3.5V以上の場合)
- (2) 低パワー モードではOSC3発振回路をONさせないでください。また、OSC3発振回路がONしている状態での動作モードの切り換え(通常モード $\leftrightarrow$ 高速モード)は誤動作につながりますので行わないでください。
- (3) 動作モード切り換え後にOSC3発振回路をONさせる場合は、5msec以上の待ち時間をおいてください。
- (4) OSC3発振回路をONにしてから発振が安定するまでに、数msec～数10msecの時間を必要とします。したがって、CPUの動作クロック切り換え(OSC1 $\rightarrow$ OSC3)はOSC3発振ONの後、充分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"8 電気的特性"に発振開始時間の一例を示しますので参照してください。)
- (5) OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々の命令で行ってください。1命令で同時に処理すると、CPUの誤動作につながります。

## 5.5 入力ポート (Kポート)

### 5.5.1 入力ポートの構成

S1C88349は10ビット(K00～K07、K10、K11)の入力ポートを内蔵しており、これらのポートはすべて割り込み機能を持つ汎用入力ポート端子として使用できます。

K10入力ポート端子はプログラマブルタイマ(イベントカウンタ)の外部クロック(EVIN)入力端子も兼ねており、入力ポート機能はそのままに入力信号が共有されます。 ("5.11 プログラマブルタイマ"参照)

また、K11入力ポート端子はバス権解放要求信号(BREQ)入力端子と共に用となっており、ソフトウェアによってどちらの機能を使用するか選択できます。 BREQ信号を選択した場合は、K11を入力ポートとして使用することはできません。 ("5.2 システムコントローラとバスの制御"参照)

以降の説明はK11を入力ポートとして使用するものとして行います。

各入力ポートにはプルアップ抵抗が内蔵されており、マスクオプションでこれを使用するかしないかを各入力ポートごとに選択できます。

図5.5.1.1に入力ポートの構造を示します。

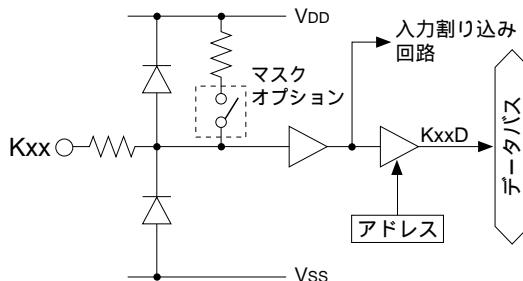


図5.5.1.1 入力ポートの構造

各入力ポート端子は3ステートバッファを通して直接データバスに接続されており、入力ポート読み出し時点での入力信号の状態がそのままデータとして読み込まれます。

### 5.5.2 マスクオプション

#### 入力ポートプルアップ抵抗

K00	抵抗あり	抵抗なし
K01	抵抗あり	抵抗なし
K02	抵抗あり	抵抗なし
K03	抵抗あり	抵抗なし
K04	抵抗あり	抵抗なし
K05	抵抗あり	抵抗なし
K06	抵抗あり	抵抗なし
K07	抵抗あり	抵抗なし
K10	抵抗あり	抵抗なし
K11	抵抗あり	抵抗なし

入力ポートK00～K07、K10、K11にはプルアップ抵抗が内蔵されており、マスクオプションでこれを使用するかしないかを各ポート(1ビット)ごとに選択できます。

"抵抗あり"はプッシュスイッチ、キーマトリクス等の入力に適当です。

内蔵プルアップ抵抗によって、入力端子をLOWレベルからHIGHレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入力ポートの取り込みには適切な待ち時間の設定が必要となります。これについては特に、キーマトリクス構成時のキースキャン等に注意が必要です。待ち時間は以下の式で求められる値以上を設定してください。

$$\text{待ち時間} = R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6 \text{ [sec]}$$

R<sub>IN</sub>: プルアップ抵抗Max.値  
C<sub>IN</sub>: 端子容量Max.値

"抵抗なし"を選択した場合は、プルアップ抵抗が切り離され、スライドスイッチ入力、他LSIとのインターフェースなどに適当となります。この場合は、入力にフローティング状態が発生しないよう注意してください。

使用しない入力ポートについてはデフォルトの"抵抗あり"を選択してください。

### 5.5.3 割り込み機能と入力比較レジスタ

入力ポートK00～K07、K10、K11は、すべて割り込み機能を持っています。

入力ポートはK00～K03(K00L)、K04～K07(K00H)、K10～K11(K1)の3系統に分けられ、それぞれの端子系列ごとに割り込み発生条件をソフトウェアで設定することができます。

各端子系列ごとに設定した割り込み発生条件が成立すると、それぞれに対応した割り込み要因フラグFK00L、FK00H、FK1が"1"にセットされ、割り込みが発生します。

各割り込み要因フラグに対応した割り込みイネーブルレジスタEK00L、EK00H、EK1の設定により、割り込みを禁止することもできます。

また、CPUに対する入力割り込みの優先レベルをK0x(K00～K07)、K1x(K10、K11)の2つに対応する割り込みプライオリティレジスタPK00～PK01、PK10～PK11によって、それぞれ任意のレベル(0～3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については"5.17 割り込みとスタンバイ状態"を参照してください。

各割り込み要因の例外処理ベクタは、それぞれ以下のとおり設定されています。

K10、K11入力割り込み: 00000AH

K04～K07入力割り込み: 00000CH

K00～K03入力割り込み: 00000EH

図5.5.3.1に入力割り込み回路の構成を示します。

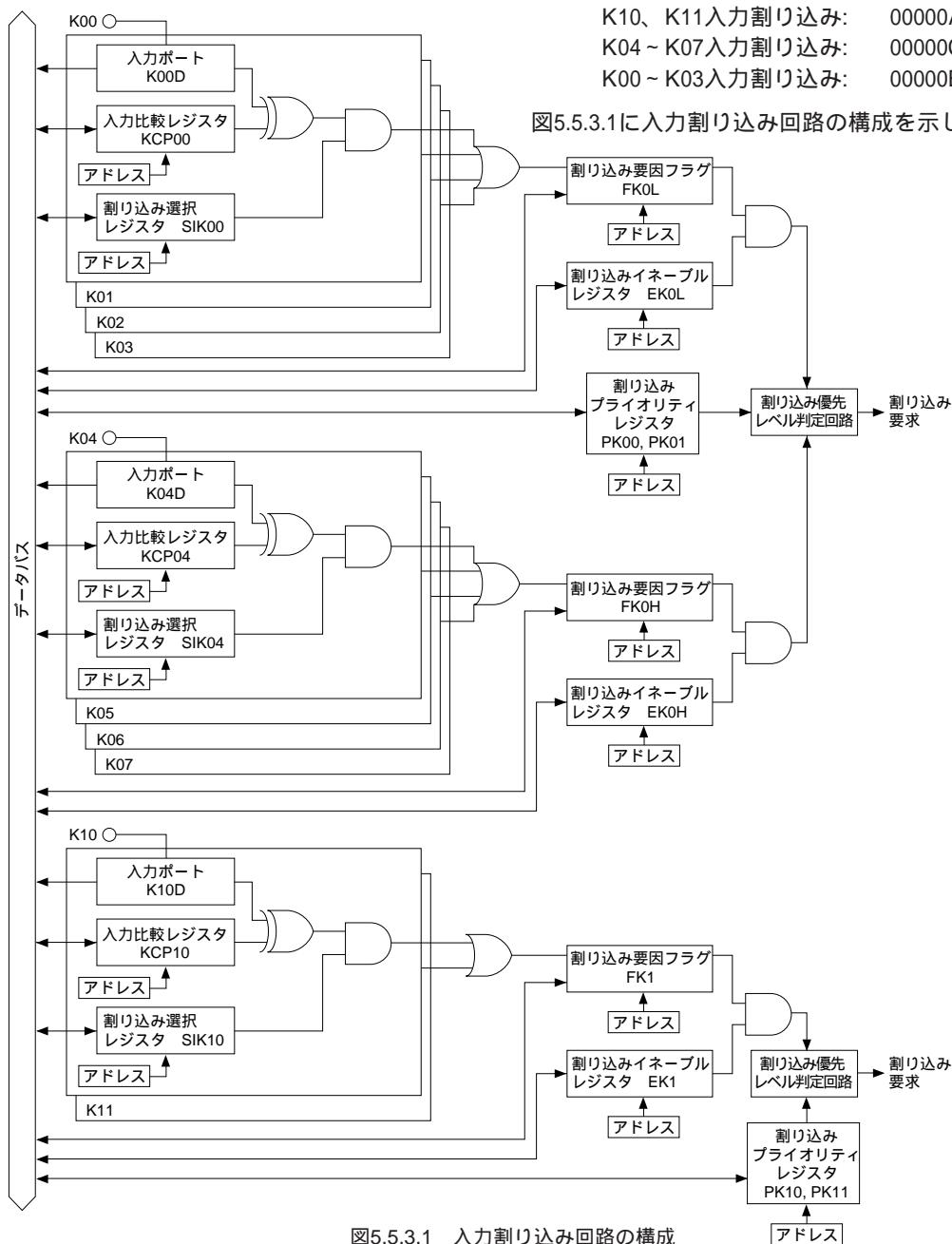


図5.5.3.1 入力割り込み回路の構成

各入力ポートの割り込み選択レジスタSIK00～SIK03、SIK04～SIK07、SIK10～SIK11と入力比較レジスタKCP00～KCP03、KCP04～KCP07、KCP10～KCP11は、前記割り込み条件を設定するのに使用します。

割り込み選択レジスタSIKの設定によって、その入力ポートの割り込みを許可、または禁止することができます。割り込みイネーブルレジスタEKが端子系列ごとの割り込み要因をマスクするのに対し、割り込み選択レジスタSIKはビット単位でのマスク設定を行います。

入力比較レジスタKCPは、各入力ポートの割り込みを入力の立ち上がりエッジで発生させるか、立ち下がりエッジで発生させるかを選択します。

割り込み選択レジスタSIKによって割り込みが許可されている入力端子と入力比較レジスタKCPとの内容に一致状態から不一致状態の変化が生じたとき、割り込み要因フラグFKが"1"にセットされ、割り込みが発生します。

図5.5.3.2に端子系列K0L(K00～K03)の割り込み発生例を示します。

K00は割り込み選択レジスタSIK00によって割り込みが禁止されているため、(2)の時点では割り込みは発生しません。

次に(3)でK03が"0"になるため、割り込みが許可されている入力端子K01～K03のデータと入力比較レジスタKCP01～KCP03のデータとの不一致により割り込みが発生します。

前述のとおり、入力データと入力比較レジスタKCPの内容が一致状態から不一致状態に変化することが割り込み発生条件となるため、(4)のように不一致状態から、別の不一致状態に変化しても割り込みは発生しません。したがって、割り込み発生後に再度割り込みを発生させる場合は、入力端子の状態を一度入力比較レジスタKCPと同じ内容に戻すか、入力比較レジスタKCPを再設定する必要があります。なお、割り込みが禁止されている入力端子については割り込み発生条件に影響を与えません。

端子系列K0H(K04～K07)およびK1(K10、K11)についても同様に割り込みが発生します。

割り込み選択レジスタ

SIK03	SIK02	SIK01	SIK00
1	1	1	0

入力比較レジスタ

KCP03	KCP02	KCP01	KCP00
1	0	1	0

上記の設定において、K0L(K00～K03)の割り込みは、以下のような条件で発生します。

入力ポート

(1)	K03	K02	K01	K00	(初期値)
	1	0	1	0	
↓					
(2)	K03	K02	K01	K00	
	1	0	1	1	
↓					
(3)	K03	K02	K01	K00	
	0	0	1	1	
↓					
(4)	K03	K02	K01	K00	
	0	1	1	1	

→ 割り込み発生

K00は割り込みが禁止されているため、K01～K03の3ビットと入力比較レジスタKCP01～KCP03の3ビットとの内容に不一致が生じることで、割り込みが発生します。

図5.5.3.2 K0L(K00～K03)割り込み発生例

### 5.5.4 入力ポートの制御方法

表5.5.4.1に入力ポートの制御ビットを示します。

表5.5.4.1(a) 入力ポートの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF50	D7	SIK07	K07割り込み選択レジスタ	割り込み許可	割り込み禁止	0	R/W	
	D6	SIK06	K06割り込み選択レジスタ					
	D5	SIK05	K05割り込み選択レジスタ					
	D4	SIK04	K04割り込み選択レジスタ					
	D3	SIK03	K03割り込み選択レジスタ					
	D2	SIK02	K02割り込み選択レジスタ					
	D1	SIK01	K01割り込み選択レジスタ					
	D0	SIK00	K00割り込み選択レジスタ					
00FF51	D7	-	-	-	-	-	-	読み出し時は常時"0"
	D6	-	-	-	-	-	-	
	D5	-	-	-	-	-	-	
	D4	-	-	-	-	-	-	
	D3	-	-	-	-	-	-	
	D2	-	-	-	-	-	-	
	D1	SIK11	K11割り込み選択レジスタ	割り込み許可	割り込み禁止	0	R/W	
	D0	SIK10	K10割り込み選択レジスタ					
00FF52	D7	KCP07	K07入力比較レジスタ	立ち下がりエッジで割り込み発生	立ち上がりエッジで割り込み発生	1	R/W	
	D6	KCP06	K06入力比較レジスタ					
	D5	KCP05	K05入力比較レジスタ					
	D4	KCP04	K04入力比較レジスタ					
	D3	KCP03	K03入力比較レジスタ					
	D2	KCP02	K02入力比較レジスタ					
	D1	KCP01	K01入力比較レジスタ					
	D0	KCP00	K00入力比較レジスタ					
00FF53	D7	-	-	-	-	-	-	読み出し時は常時"0"
	D6	-	-	-	-	-	-	
	D5	-	-	-	-	-	-	
	D4	-	-	-	-	-	-	
	D3	-	-	-	-	-	-	
	D2	-	-	-	-	-	-	
	D1	KCP11	K11入力比較レジスタ	立ち下がりエッジ	立ち上がりエッジ	1	R/W	
	D0	KCP10	K10入力比較レジスタ					
00FF54	D7	K07D	K07入力ポートデータ	Highレベル入力	Lowレベル入力	-	R	
	D6	K06D	K06入力ポートデータ					
	D5	K05D	K05入力ポートデータ					
	D4	K04D	K04入力ポートデータ					
	D3	K03D	K03入力ポートデータ					
	D2	K02D	K02入力ポートデータ					
	D1	K01D	K01入力ポートデータ					
	D0	K00D	K00入力ポートデータ					
00FF55	D7	-	-	-	-	-	-	読み出し時は常時"0"
	D6	-	-	-	-	-	-	
	D5	-	-	-	-	-	-	
	D4	-	-	-	-	-	-	
	D3	-	-	-	-	-	-	
	D2	-	-	-	-	-	-	
	D1	K11D	K11入力ポートデータ	Highレベル入力	Lowレベル入力	-	R	
	D0	K10D	K10入力ポートデータ					

表5.5.4.1(b) 入力ポートの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈			
00FF20	D7	PK01	K00～K07割り込み	PK01 PSIF1 PSW1 PTM1 1 1 0 0	PK00 PSIF0 PSW0 PTM0 1 0 1 0	優先 レベル レベル3 レベル2 レベル1 レベル0	0 0 0 0	R/W R/W R/W R/W			
	D6	PK00	プライオリティレジスタ								
	D5	PSIF1	シリアルインターフェース割り込み								
	D4	PSIF0	プライオリティレジスタ								
	D3	PSW1	ストップウォッチタイマ割り込み								
	D2	PSW0	プライオリティレジスタ								
	D1	PTM1	計時タイマ割り込み								
	D0	PTM0	プライオリティレジスタ								
00FF21	D7	—	—	—	—	—	—	読み出し時は常時"0"			
	D6	—	—	—	—	—	—				
	D5	—	—	—	—	—	—				
	D4	—	—	—	—	—	—				
	D3	PPT1	プログラマブルタイマ割り込み	PPT1 PK11	PPT0 PK10	優先 レベル レベル3	0	R/W			
	D2	PPT0	プライオリティレジスタ								
	D1	PK11	K10, K11割り込み								
	D0	PK10	プライオリティレジスタ								
00FF23	D7	EPT1	プログラマブルタイマ1割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W				
	D6	EPT0	プログラマブルタイマ0割り込みイネーブルレジスタ								
	D5	EK1	K10, K11割り込みイネーブルレジスタ								
	D4	EKOH	K04～K07割り込みイネーブルレジスタ								
	D3	EK0L	K00～K03割り込みイネーブルレジスタ								
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブルレジスタ								
	D1	ESREC	シリアルI/F(受信)割り込みイネーブルレジスタ								
	D0	ESTRA	シリアルI/F(送信)割り込みイネーブルレジスタ								
00FF25	D7	FPT1	プログラマブルタイマ1割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W				
	D6	FPT0	プログラマブルタイマ0割り込み要因フラグ								
	D5	FK1	K10, K11割り込み要因フラグ								
	D4	EKOH	K04～K07割り込み要因フラグ								
	D3	EK0L	K00～K03割り込み要因フラグ	(W) リセット	(W) 無効						
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ								
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ								
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ								

**K00D～K07D: 00FF54H****K10D, K11D: 00FF55H·D0, D1**

Kxx入力ポート端子の入力データが読み出せます。

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

書き込み: 無効

入力ポートK00～K07、K10、K11の端子電圧がそれぞれHIGH(V<sub>DD</sub>)レベルのとき"1"、LOW(V<sub>SS</sub>)レベルのとき"0"として直接読み出せます。

本ビットは読み出し専用のため、書き込み動作は無効となります。

**SIK00～SIK07: 00FF50H****SIK10, SIK11: 00FF51H·D0, D1**

K00～K07、K10、K11入力ポート端子の割り込み発生条件(割り込み許可/禁止)を設定します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

SIKxxは各入力ポートKxxに対応する割り込み選択レジスタで、"1"に設定した入力ポートの割り込みが許可され、"0"に設定した入力ポートの割り込みが禁止されます。割り込み禁止に設定した入力端子の状態変化は、割り込みの発生に影響を与えません。

イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

**KCP00~KCP07: 00FF52H****KCP10, KCP11: 00FF53H·D0, D1**

K00~K07、K10、K11入力ポート端子の割り込み発生条件(割り込み発生タイミング)を設定します。

"1"書き込み: 立ち下がりエッジ

"0"書き込み: 立ち上がりエッジ

読み出し: 可能

KCPxxは各入力ポートKxxに対応する入力比較レジスタで、"1"に設定した入力ポートの割り込みは入力の立ち下がりエッジで、"0"に設定した入力ポートの割り込みは入力の立ち上がりエッジでそれぞれ発生します。

イニシャルリセット時、本レジスタはすべて"1"(立ち下がりエッジ)に設定されます。

**PK00, PK01: 00FF20H·D6, D7****PK10, PK11: 00FF21H·D0, D1**

入力割り込みの優先レベルを設定します。

PK00、PK01の2ビットはK00~K07(K0LおよびK0H)の割り込みに対応した割り込みプライオリティレジスタで、PK10、PK11の2ビットは同様にK10~K11(K1)に対応しています。

本レジスタによって設定できる割り込み優先レベルは表5.5.4.2のとおりです。

表5.5.4.2 割り込み優先レベルの設定

PK11 PK01	PK10 PK00	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

**EK0L, EK0H, EK1: 00FF23H·D3, D4, D5**

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

EK0LはK00~K03、EK0HはK04~K07、EK1はK10~K11にそれぞれ対応する割り込みイネーブルレジスタで、"1"に設定した端子系列の割り込みが許可され、"0"に設定した端子系列の割り込みが禁止されます。

イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

**FK0L, FK0H, FK1: 00FF25H·D3, D4, D5**

入力割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

FK0LはK00~K03、FK0HはK04~K07、FK1はK10~K11にそれぞれ対応する割り込み要因フラグで、割り込み発生条件の成立により"1"にセットされます。このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、本フラグはすべて"0"にリセットされます。

### 5.5.5 プログラミング上の注意事項

入力ポートをLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入力ポートの取り込みには適切な待ち時間の設定が必要となります。これについては特に、キーマトリクス構成時のキースキャン等に注意が必要です。待ち時間は以下の式で求められる値以上を設定してください。

$$\text{待ち時間} = R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6 \text{ [sec]}$$

R<sub>IN</sub>: プルアップ抵抗Max.値

C<sub>IN</sub>: 端子容量Max.値

## 5.6 出力ポート (Rポート)

### 5.6.1 出力ポートの構成

S1C88349は34ビット(R00～R07、R10～R17、R20～R27、R30～R37、R50、R51)の出力ポートを内蔵しています。

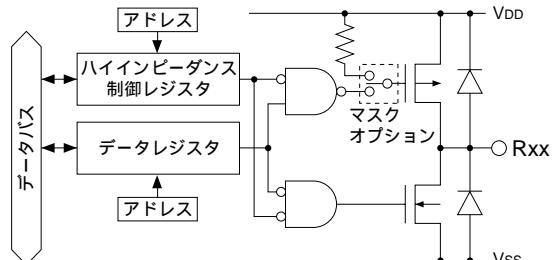
出力ポートの構成はバスモードの設定により、以下のとおり異なります。

表5.6.1.1 出力ポートの構成

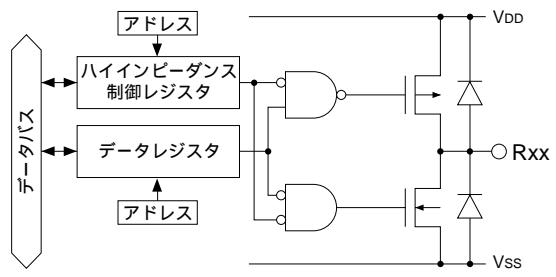
端子	バスモード		
	シングルチップ	拡張64K	拡張512K
R00	出力ポートR00	アドレスA0	
R01	出力ポートR01	アドレスA1	
R02	出力ポートR02	アドレスA2	
R03	出力ポートR03	アドレスA3	
R04	出力ポートR04	アドレスA4	
R05	出力ポートR05	アドレスA5	
R06	出力ポートR06	アドレスA6	
R07	出力ポートR07	アドレスA7	
R10	出力ポートR10	アドレスA8	
R11	出力ポートR11	アドレスA9	
R12	出力ポートR12	アドレスA10	
R13	出力ポートR13	アドレスA11	
R14	出力ポートR14	アドレスA12	
R15	出力ポートR15	アドレスA13	
R16	出力ポートR16	アドレスA14	
R17	出力ポートR17	アドレスA15	
R20	出力ポートR20	アドレスA16	
R21	出力ポートR21	アドレスA17	
R22	出力ポートR22	アドレスA18	
R23	出力ポートR23	RD信号	
R24	出力ポートR24	WR信号	
R25	出力ポートR25		
R26	出力ポートR26		
R27	出力ポートR27		
R30	出力ポートR30	出力ポートR30/CE0信号	
R31	出力ポートR31	出力ポートR31/CE1信号	
R32	出力ポートR32	出力ポートR32/CE2信号	
R33	出力ポートR33	出力ポートR33/CE3信号	
R34	出力ポートR34		
R35	出力ポートR35		
R36	出力ポートR36		
R37	出力ポートR37		
R50	出力ポートR50		
R51	出力ポートR51	出力ポートR51/BACK信号	

ここではシングルチップモード時の構成として出力ポートのみの説明を行います。バスの制御については"5.2 システムコントローラとバスの制御"を参照してください。

図5.6.1.1に出力ポートの基本構造(特殊出力回路を除く)を示します。



R00～R07、R10～R17はマスクオプションでNchオーブンドレインの設定が可能



R20～R27, R30～R37, R50, R51

図5.6.1.1 出力ポートの構造

シングルチップモード以外のモードの場合、バス機能に使用される出力ポートのデータレジスタとハイインピーダンス制御レジスタはリード/ライト可能な汎用レジスタとして使用することができ、バス信号の出力には影響を与えません。

各出力ポートはソフトウェアによってハイインピーダンス制御が可能です。

出力ポートR25～R27、R34、R50は通常のDC出力のほかに特殊出力機能を持っており、ソフトウェアによってどちらを使用するかを選択することができます。

## 5.6.2 マスクオプション

出力ポートR00～R07, R10～R17出力仕様		
R00..	コンプリメンタリ	Nchオープンドレイン
R01..	コンプリメンタリ	Nchオープンドレイン
R02..	コンプリメンタリ	Nchオープンドレイン
R03..	コンプリメンタリ	Nchオープンドレイン
R04..	コンプリメンタリ	Nchオープンドレイン
R05..	コンプリメンタリ	Nchオープンドレイン
R06..	コンプリメンタリ	Nchオープンドレイン
R07..	コンプリメンタリ	Nchオープンドレイン
R10..	コンプリメンタリ	Nchオープンドレイン
R11..	コンプリメンタリ	Nchオープンドレイン
R12..	コンプリメンタリ	Nchオープンドレイン
R13..	コンプリメンタリ	Nchオープンドレイン
R14..	コンプリメンタリ	Nchオープンドレイン
R15..	コンプリメンタリ	Nchオープンドレイン
R16..	コンプリメンタリ	Nchオープンドレイン
R17..	コンプリメンタリ	Nchオープンドレイン

R00～R07およびR10～R17は各ポート(1ビット)ごとに出力仕様をマスクオプションで選択することができます。

出力仕様としてはコンプリメンタリ出力、またはNchオープンドレイン出力のいずれかが選択可能です。

Nchオープンドレイン出力はキーマトリクスのコモン出力等に適当です。

使用しない出力ポートについてはデフォルトの"コンプリメンタリ"を選択してください。

注! Nchオープンドレインを選択した場合でも、電源電圧範囲を超える電圧を出力ポート端子に印加することはできません。

## 5.6.3 ハイインピーダンス制御

各出力ポートはソフトウェアによってハイインピーダンス制御が可能です。

これにより、出力信号ラインを他の外部デバイスと共有することも可能となります。

出力ポートには以下に示す端子系列ごとのハイインピーダンス制御レジスタが設けられており、このレジスタによってコンプリメンタリ出力、またはハイインピーダンス状態のいずれかが選択できます。

表5.6.3.1 出力ポートとハイインピーダンス制御レジスタの対応

レジスタ	出力ポート端子
HZR0L	R00～R03
HZR0H	R04～R07
HZR1L	R10～R13
HZR1H	R14～R17
HZR20	R20
HZR21	R21
HZR22	R22
HZR23	R23
HZR24	R24
HZR25	R25
HZR26	R26
HZR27	R27
HZR30	R30
HZR31	R31
HZR32	R32
HZR33	R33
HZR34	R34
HZR35	R35
HZR36	R36
HZR37	R37
HZR4L *	—
HZR4H *	—
HZR50	R50
HZR51	R51

\* 2ビットの予約レジスタで、リード/ライト可能な汎用レジスタとして使用することができます。

ハイインピーダンス制御レジスタHZRxxに"1"を設定すると対応する出力ポート端子がハイインピーダンス状態となり、"0"を設定するとコンプリメンタリ出力となります。

## 5.6.4 DC出力

図5.6.1.1に示すように、出力ポートのデータレジスタに"1"を書き込むと出力端子がHIGH(V<sub>DD</sub>)レベルとなり、"0"を書き込むとLOW(V<sub>SS</sub>)レベルとなります。

出力がハイインピーダンス状態の場合にデータレジスタに書き込まれたデータは、出力をコンプリメンタリに切り換えた時点で端子から出力されます。

## 5.6.5 特殊出力

出力ポートR25～R27、R34、R50は通常のDC出力の他に表5.6.5.1に示す特殊出力をソフトウェアによって選択することができます。

表5.6.5.1 特殊出力ポート

出力ポート	特殊出力
R25	CL出力
R26	FR出力
R27	TOUT出力
R34	FOUT出力
R50	BZ出力

### CL、FR出力(R25、R26)

S1C88349は外部に拡張LCDドライバを接続した場合のために、CL信号(LCD同期信号)とFR信号(LCDフレーム信号)をR25、R26出力ポート端子から出力させることができます。出力ポートR25およびR26の構成を図5.6.5.1に示します。

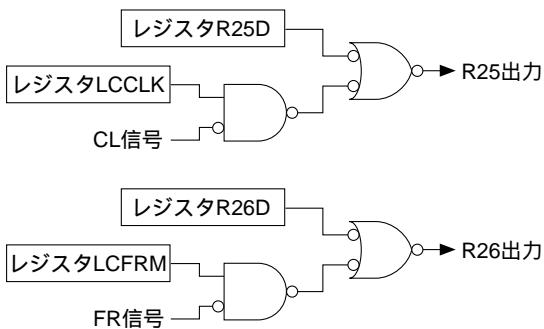


図5.6.5.1 R25、R26の構成

CL信号はレジスタLCCLKによって出力制御が行われます。LCCLKに"1"を設定するとCL信号がR25出力ポート端子から出力され、"0"を設定するとHIGH(V<sub>DD</sub>)レベルが出力されます。このとき、データレジスタR25Dには常時"1"が設定されている必要があります。

FR信号はレジスタLCFRMによって出力制御が行われます。LCFRMに"1"を設定するとFR信号がR26出力ポート端子から出力され、"0"を設定するとHIGH(V<sub>DD</sub>)レベルが出力されます。このとき、データレジスタR26Dには常時"1"が設定されている必要があります。

それぞれの信号の周波数は駆動デューティの選択にしたがって、表5.6.5.2のとおり変化します。

表5.6.5.2 CL信号とFR信号の周波数

駆動デューティ	CL信号 (Hz)	FR信号 (Hz)
1/32	2,048	32
1/16	1,024	32
1/8	1,024	64

なお、それぞれの信号ともレジスタLCCLKおよびLCFRMとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.6.5.2にCL信号とFR信号の出力波形を示します。

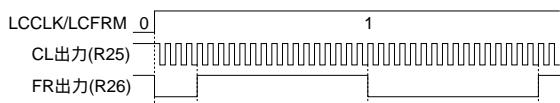


図5.6.5.2 CL信号とFR信号の出力波形(1/16デューティ選択時)

### TOUT出力(R27)

S1C88349は外部デバイスに対してクロックを供給する場合などのために、TOUT信号(プログラマブルタイマの出力クロック)をR27出力ポート端子から出力させることができます。

出力ポートR27の構成を図5.6.5.3に示します。

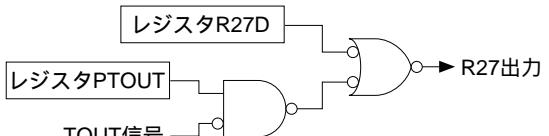


図5.6.5.3 R27の構成

TOUT信号はレジスタPTOUTによって出力制御が行われます。PTOUTに"1"を設定するとTOUT信号がR27出力ポート端子から出力され、"0"を設定するとHIGH(V<sub>DD</sub>)レベルが出力されます。このとき、データレジスタR27Dには常時"1"が設定されている必要があります。

TOUT信号はプログラマブルタイマのアンダーフローが1/2に分周されたものです。周波数の制御等については"5.11 プログラマブルタイマ"を参照してください。

なお、TOUT信号はレジスタPTOUTとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.6.5.4にTOUT信号の出力波形を示します。

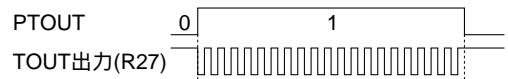


図5.6.5.4 TOUT信号の出力波形

## FOUT出力(R34)

S1C88349は外部デバイスに対してクロックを供給する場合などのために、FOUT信号(発振クロックfosc1またはfosc3の分周クロック)をR34出力ポート端子から出力させることができます。出力ポートR34の構成を図5.6.5.5に示します。

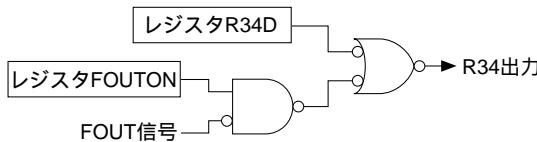


図5.6.5.5 R34の構成

FOUT信号はレジスタFOUTONによって出力制御が行われます。FOUTONに"1"を設定するとFOUT信号がR34出力ポート端子から出力され、"0"を設定するとHIGH(VDD)レベルが出力されます。このとき、データレジスタR34Dには常時"1"が設定されている必要があります。FOUT信号の周波数はソフトウェアによるレジスタFOUT0～FOUT2への設定によって、表5.6.5.3に示す8種類の中から1つを選択することができます。

表5.6.5.3 FOUT周波数の設定

FOUT2	FOUT1	FOUT0	FOUT周波数
0	0	0	fosc1 / 1
0	0	1	fosc1 / 2
0	1	0	fosc1 / 4
0	1	1	fosc1 / 8
1	0	0	fosc3 / 1
1	0	1	fosc3 / 2
1	1	0	fosc3 / 4
1	1	1	fosc3 / 8

fosc1: OSC1発振周波数

fosc3: OSC3発振周波数

FOUTの周波数を "fosc3/n" とする場合は、FOUTを出力する以前にOSC3の発振をONさせる必要があります。

なお、OSC3発振回路をONにしてから発振が安定するまでに数msec～数10msecの時間を必要とします。したがって、不安定なFOUT信号が外部に出力されることで不具合が生じる場合はOSC3発振ONの後、充分な待ち時間をおいてからFOUTの出力をに行ってください。(発振開始時間は発振子、外付け部品によって変動します。"8 電気的特性"に発振開始時間の一例を示しますので参照してください。)

イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

なお、FOUT信号はレジスタFOUTONとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.6.5.6にFOUT信号の出力波形を示します。

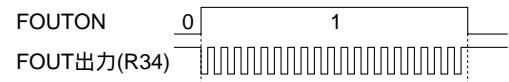


図5.6.5.6 FOUT信号の出力波形

## BZ出力(R50)

S1C88349は外付けブザーを駆動する場合のために、BZ信号(サウンドジェネレータの出力)をR50出力ポート端子から出力させることができます。

出力ポートR50の構成を図5.6.5.7に示します。

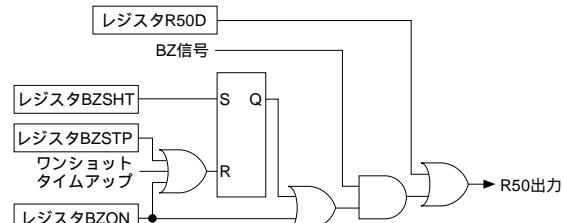


図5.6.5.7 R50の構成

BZ信号はレジスタBZON、BZSHTおよびBZSTPによって出力制御が行われます。BZONまたはBZSHTに"1"を設定するとBZ信号がR50出力ポート端子から出力され、BZONに"0"またはBZSTPに"1"を設定するとLOW(Vss)レベルが出力されます。このとき、データレジスタR50Dには常時"0"が設定されている必要があります。

BZ信号はサウンドジェネレータの出力が用いられます。周波数やエンベロープの制御等については"5.13 サウンドジェネレータ"を参照してください。

なお、BZ信号はレジスタBZON、BZSHTおよびBZSTPとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.6.5.8にBZ信号の出力波形を示します。

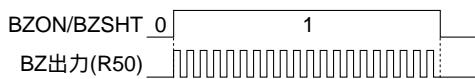


図5.6.5.8 BZ信号の出力波形

## 5.6.6 出力ポートの制御方法

表5.6.6.1に出力ポートの制御ビットを示します。

表5.6.6.1(a) 出力ポートの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈	
00FF70	D7	HZR51	R51ハイインピーダンス制御	ハイインピーダンス	コンプリメンタリ	0	R/W	予約レジスタ	
	D6	HZR50	R50ハイインピーダンス制御						
	D5	HZR4H	汎用レジスタ	1	0	0	R/W		
	D4	HZR4L	汎用レジスタ						
	D3	HZR1H	R14～R17ハイインピーダンス制御	ハイインピーダンス	コンプリメンタリ	0	R/W		
	D2	HZR1L	R10～R13ハイインピーダンス制御						
	D1	HZR0H	R04～R07ハイインピーダンス制御						
	D0	HZR0L	R00～R03ハイインピーダンス制御						
00FF71	D7	HZR27	R27ハイインピーダンス制御	ハイインピーダンス	コンプリメンタリ	0	R/W		
	D6	HZR26	R26ハイインピーダンス制御						
	D5	HZR25	R25ハイインピーダンス制御						
	D4	HZR24	R24ハイインピーダンス制御						
	D3	HZR23	R23ハイインピーダンス制御						
	D2	HZR22	R22ハイインピーダンス制御						
	D1	HZR21	R21ハイインピーダンス制御						
	D0	HZR20	R20ハイインピーダンス制御						
00FF72	D7	HZR37	R37ハイインピーダンス制御	ハイインピーダンス	コンプリメンタリ	0	R/W		
	D6	HZR36	R36ハイインピーダンス制御						
	D5	HZR35	R35ハイインピーダンス制御						
	D4	HZR34	R34ハイインピーダンス制御						
	D3	HZR33	R33ハイインピーダンス制御						
	D2	HZR32	R32ハイインピーダンス制御						
	D1	HZR31	R31ハイインピーダンス制御						
	D0	HZR30	R30ハイインピーダンス制御						
00FF73	D7	R07D	R07出力ポートデータ	High	Low	1	R/W		
	D6	R06D	R06出力ポートデータ						
	D5	R05D	R05出力ポートデータ						
	D4	R04D	R04出力ポートデータ						
	D3	R03D	R03出力ポートデータ						
	D2	R02D	R02出力ポートデータ						
	D1	R01D	R01出力ポートデータ						
	D0	R00D	R00出力ポートデータ						
00FF74	D7	R17D	R17出力ポートデータ	High	Low	1	R/W		
	D6	R16D	R16出力ポートデータ						
	D5	R15D	R15出力ポートデータ						
	D4	R14D	R14出力ポートデータ						
	D3	R13D	R13出力ポートデータ						
	D2	R12D	R12出力ポートデータ						
	D1	R11D	R11出力ポートデータ						
	D0	R10D	R10出力ポートデータ						
00FF75	D7	R27D	R27出力ポートデータ	High	Low	1	R/W		
	D6	R26D	R26出力ポートデータ						
	D5	R25D	R25出力ポートデータ						
	D4	R24D	R24出力ポートデータ						
	D3	R23D	R23出力ポートデータ						
	D2	R22D	R22出力ポートデータ						
	D1	R21D	R21出力ポートデータ						
	D0	R20D	R20出力ポートデータ						

表5.6.6.1(b) 出力ポートの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF76	D7	R37D	R37出力ポートデータ	High	Low	1	R/W	
	D6	R36D	R36出力ポートデータ					
	D5	R35D	R35出力ポートデータ					
	D4	R34D	R34出力ポートデータ					
	D3	R33D	R33出力ポートデータ					
	D2	R32D	R32出力ポートデータ					
	D1	R31D	R31出力ポートデータ					
	D0	R30D	R30出力ポートデータ					
00FF77	D7	R47D	汎用レジスタ	1	0	1	R/W	予約レジスタ
	D6	R46D	汎用レジスタ					
	D5	R45D	汎用レジスタ					
	D4	R44D	汎用レジスタ					
	D3	R43D	汎用レジスタ					
	D2	R42D	汎用レジスタ					
	D1	R41D	汎用レジスタ					
	D0	R40D	汎用レジスタ					
00FF78	D7	-	-	-	-	-	-	読み出し時は常時"0"
	D6	-	-	-	-	-	-	
	D5	-	-	-	-	-	-	
	D4	-	-	-	-	-	-	
	D3	-	-	-	-	-	-	
	D2	-	-	-	-	-	-	
	D1	R51D	R51出力ポートデータ	High	Low	1	R/W	
	D0	R50D	R50出力ポートデータ	High	Low	0	R/W	
00FF10	D7	-	-	-	-	-	-	読み出し時は常時"0"
	D6	-	-	-	-	-	-	
	D5	-	-	-	-	-	-	
	D4	LCCLK	拡張LCDドライバ用CL出力制御	On	Off	0	R/W	
	D3	LCFRM	拡張LCDドライバ用FR出力制御	On	Off	0	R/W	
	D2	DTFNT	LCDドットフォント選択	5×5ドット	5×8ドット	0	R/W	
	D1	LDUTY	LCD駆動デューティ選択	1/16デューティ	1/32デューティ	0	R/W	*1
	D0	SGOUT	汎用レジスタ	1	0	0	R/W	予約レジスタ
00FF30	D7	-	-	-	-	-	-	読み出し時は常時"0"
	D6	-	-	-	-	-	-	
	D5	-	-	-	-	-	-	
	D4	MODE16	8/16ビットモード選択	16ビット×1	8ビット×2	0	R/W	
	D3	CHSEL	TOUT出力チャンネル選択	タイマ1	タイマ0	0	R/W	
	D2	PTOUT	TOUT出力制御	On	Off	0	R/W	
	D1	CKSEL1	ブリスケーラ1原振クロック選択	fosc3	fosc1	0	R/W	
	D0	CKSEL0	ブリスケーラ0原振クロック選択	fosc3	fosc1	0	R/W	
00FF44	D7	-	-	-	-	-	-	読み出し時は常時"0"
	D6	BZSTP	ワンショットブザー強制停止	強制停止	無効	-	W	
	D5	BZSHT	ワンショットブザートリガ/ステータス	R	Busy	Ready	0	R/W
				W	トリガ	無効		
	D4	SHTPW	ワンショットブザー時間幅選択	125msec	31.25msec	0	R/W	
	D3	ENRTM	エンペロープ減衰時間	1sec	0.5sec	0	R/W	
	D2	ENRST	エンペロープリセット	リセット	無効	-	W	読み出し時は"0"
	D1	ENON	エンペロープOn/Off制御	On	Off	0	R/W	
	D0	BZON	ブザー出力制御	On	Off	0	R/W	

\*1 FF09・D0のDUTY8に"1"を書き込むと、FF10・D1のLDUTYによる1/16と1/32デューティ切り換えは無効となります。

\*2 ワンショット出力時、"0"にリセット

表5.6.6.1(c) 出力ポートの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF40	D7	—	—	—	—	—	—	読み出し時は"0"
	D6	FOUT2	FOUT周波数選択			0	R/W	
			FOUT2 FOUT1 FOUT0	周波数				
			0 0 0	fosc1 / 1				
			0 0 1	fosc1 / 2				
			0 1 0	fosc1 / 4				
			0 1 1	fosc1 / 8				
			1 0 0	fosc3 / 1				
			1 0 1	fosc3 / 2				
			1 1 0	fosc3 / 4				
			1 1 1	fosc3 / 8				
	D3	FOUTON	FOUT出力制御	On	Off	0	R/W	
	D2	WDRST	ウォッチドッグタイマリセット	リセット	無効	—	W	読み出し時は
	D1	TMRST	計時タイマリセット	リセット	無効	—	W	常時"0"
	D0	TMRUN	計時タイマRun/Stop制御	Run	Stop	0	R/W	

## ハイインピーダンス制御

**HZR0L, HZR0H: 00FF70H·D0, D1**  
**HZR1L, HZR1H: 00FF70H·D2, D3**  
**HZR20~HZR27: 00FF71H**  
**HZR30~HZR37: 00FF72H**  
**HZR4L, HZR4H: 00FF70H·D4, D5 \*1**  
**HZR50, HZR51: 00FF70H·D6, D7**

各出力端子をハイインピーダンスに設定します。

"1"書き込み: ハイインピーダンス  
 "0"書き込み: コンプリメンタリ  
 読み出し: 可能

HZRxxは出力ポート端子のハイインピーダンス制御レジスタで、表5.6.3.1に示すとおり各出力ポート端子に対応しています。

HZRxxに"1"を設定すると対応する出力ポート端子がハイインピーダンス状態となり、"0"を設定するとコンプリメンタリ出力となります。  
 イニシャルリセット時、本レジスタはすべて"0"(コンプリメンタリ)に設定されます。

\*1 HZR4LおよびHZR4Hは2ビットの予約レジスタで、リード/ライト可能な汎用レジスタとして使用することができます。

## DC出力制御

**R00D~R07D: 00FF73H**  
**R10D~R17D: 00FF74H**  
**R20D~R27D: 00FF75H**  
**R30D~R37D: 00FF76H**  
**R40D~R47D: 00FF77H \*1**  
**R50D, R51D: 00FF78H·D0, D1**

Rxx出力ポート端子の出力データを設定します。

"1"書き込み: HIGHレベル出力  
 "0"書き込み: LOWレベル出力  
 読み出し: 可能

RxxDは各出力ポートのデータレジスタで、"1"を設定すると対応する出力ポート端子がHIGH(V<sub>DD</sub>)レベルとなり、"0"を設定するとLOW(V<sub>SS</sub>)レベルとなります。

イニシャルリセット時、R50Dは"0"(LOWレベル出力)、それ以外のレジスタはすべて"1"(HIGHレベル出力)に設定されます。

バス信号の出力に設定されている出力ポートのデータレジスタは、出力端子に影響を与えないリード/ライト可能な汎用レジスタとして使用することができます。

\*1 R40D ~ R47Dは8ビットの予約レジスタで、リード/ライト可能な汎用レジスタとして使用することができます。

## 特殊出力制御

**LCCLK: 00FF10H·D4**

CL(LCD同期)信号の出力制御を行います。

- "1"書き込み: CL信号出力  
 "0"書き込み: HIGHレベル(DC)出力  
 読み出し: 可能

LCCLKはCL信号の出力制御レジスタで、"1"を設定するとCL信号がR25出力ポート端子から出力され、"0"を設定するとHIGH(V<sub>DD</sub>)レベルが出力されます。このとき、データレジスタR25Dには常時"1"が設定されている必要があります。

イニシャルリセット時、LCCLKは"0"(HIGHレベル出力)に設定されます。

**LCFRM: 00FF10H·D3**

FR(LCDフレーム)信号の出力制御を行います。

- "1"書き込み: FR信号出力  
 "0"書き込み: HIGHレベル(DC)出力  
 読み出し: 可能

LCFRMはFR信号の出力制御レジスタで、"1"を設定するとFR信号がR26出力ポート端子から出力され、"0"を設定するとHIGH(V<sub>DD</sub>)レベルが出力されます。このとき、データレジスタR26Dには常時"1"が設定されている必要があります。

イニシャルリセット時、LCFRMは"0"(HIGHレベル出力)に設定されます。

**PTOUT: 00FF30H·D2**

TOUT(プログラマブルタイム出力クロック)信号の出力制御を行います。

- "1"書き込み: TOUT信号出力  
 "0"書き込み: HIGHレベル(DC)出力  
 読み出し: 可能

PTOUTはTOUT信号の出力制御レジスタで、"1"を設定するとTOUT信号がR27出力ポート端子から出力され、"0"を設定するとHIGH(V<sub>DD</sub>)レベルが出力されます。このとき、データレジスタR27Dには常時"1"が設定されている必要があります。

イニシャルリセット時、PTOUTは"0"(HIGHレベル出力)に設定されます。

**FOUTON: 00FF40H·D3**

FOUT(fosc1/fosc3分周クロック)信号の出力制御を行います。

- "1"書き込み: FOUT信号出力  
 "0"書き込み: HIGHレベル(DC)出力  
 読み出し: 可能

FOUTONはFOUT信号の出力制御レジスタで、"1"を設定するとFOUT信号がR34出力ポート端子から出力され、"0"を設定するとHIGH(V<sub>DD</sub>)レベルが出力されます。

このとき、データレジスタR34Dには常時"1"が設定されている必要があります。

イニシャルリセット時、FOUTONは"0"(HIGHレベル出力)に設定されます。

**FOUT0, FOUT1, FOUT2: 00FF40H·D4, D5, D6**

FOUT信号の周波数を表5.6.6.2のとおり設定します。

表5.6.6.2 FOUT周波数の設定

FOUT2	FOUT1	FOUT0	FOUT周波数
0	0	0	fosc1 / 1
0	0	1	fosc1 / 2
0	1	0	fosc1 / 4
0	1	1	fosc1 / 8
1	0	0	fosc3 / 1
1	0	1	fosc3 / 2
1	1	0	fosc3 / 4
1	1	1	fosc3 / 8

fosc1: OSC1発振周波数

fosc3: OSC3発振周波数

イニシャルリセット時、本レジスタは"0"(fosc1/1)に設定されます。

**BZON: 00FF44H·D0**

BZ(ブザー)信号の出力制御を行います。

- "1"書き込み: BZ信号出力  
 "0"書き込み: LOWレベル(DC)出力  
 読み出し: 可能

BZONはBZ信号の出力制御レジスタで、"1"を設定するとBZ信号がR50出力ポート端子から出力され、"0"を設定するとLOW(V<sub>SS</sub>)レベルが出力されます。このとき、データレジスタR50Dには常時"0"が設定されている必要があります。

イニシャルリセット時、BZONは"0"(LOWレベル出力)に設定されます。

**BZSHT: 00FF45H·D5**

ワンショットブザー出力の制御を行います。

"1"書き込み: トリガ

"0"書き込み: ノーオペレーション

"1"読み出し: BUSY

"0"読み出し: READY

BZSHTに"1"を書き込むことによってワンショット出力回路が動作し、BZ信号が出力されます。このブザー出力はSHTPWによって設定した時間の経過後に自動的にOFFとなります。このとき、データレジスタR50Dには常時"0"が設定されている必要があります。

ワンショット出力は通常のブザー出力がOFF(BZON="0")の状態でのみ有効で、ON(BZON="1")状態でのトリガは無効となります。

ワンショット出力中に再トリガを行った場合は、その時点からSHTPWによって設定した時間を計測し直します。(時間延長)

ワンショット出力回路の動作状態はBZSHTを読み出すことによって確認することができ、ワンショット出力(BUSY)中は"1"、OFF(READY)時は"0"が読み出せます。

イニシャルリセット時、BZSHTは"0"(READY)に設定されます。

**BZSTP: 00FF45H·D6**

ワンショットブザー出力の強制停止を行います。

"1"書き込み: 強制停止

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

BZSTPに"1"を書き込むことによって、SHTPWによる設定時間が経過する以前にワンショットブザー出力を強制停止することができます。

BZSTPへの"0"書き込みおよびワンショットブザー出力中以外の"1"書き込みは無効となります。

なお、BZSHTとBZSTPに同時に"1"を書き込んだ場合はBZSTPが優先され、ワンショットブザー出力は停止状態となります。

BZSTPは書き込み専用のため、読み出し時は常時"0"となります。

**5.6.7 プログラミング上の注意事項**

(1) 特殊出力(CL、FR、TOUT、FOUT、BZ)信号は出力制御レジスタ(LCCLK、LCFRM、PTOUT、FOUTON、BZON、BZSHT、BZSTP)とは非同期に発生していますので、出力制御レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

(2) FOUTの周波数を" $fosc3/n$ "とする場合は、FOUTを出力する以前にOSC3の発振をONさせる必要があります。

なお、OSC3発振回路をONにしてから発振が安定するまでに数msec～数10msecの時間を必要とします。したがって、不安定なFOUT信号が外部に出力されることで不具合が生じる場合はOSC3発振ONの後、充分な待ち時間をおいてからFOUTの出力をに行ってください。(発振開始時間は発振子、外付け部品によって変動します。)

"8 電気的特性"に発振開始時間の一例を示しますので参照してください。)

イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

(3) 特殊出力(TOUT、FOUT、BZ)信号がイネーブルの状態でSLP命令を実行した場合は、SLEEP状態からの復帰時に特殊出力に不安定なクロックが出力されます。したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前に特殊出力信号をディセーブル状態に設定してください。

## 5.7 入出力兼用ポート(Pポート)

### 5.7.1 入出力兼用ポートの構成

S1C88349は16ビット(P00～P07、P10～P17)の入出力兼用(I/O)ポートを内蔵しています。

入出力兼用ポートの構成はバスモードにより、以下のとおり異なります。

表5.7.1.1 入出力兼用(I/O)ポートの構成

端子	バスモード		
	シングルチップ	拡張64K	拡張512K
P00	I/OポートP00		データバスD0
P01	I/OポートP01		データバスD1
P02	I/OポートP02		データバスD2
P03	I/OポートP03		データバスD3
P04	I/OポートP04		データバスD4
P05	I/OポートP05		データバスD5
P06	I/OポートP06		データバスD6
P07	I/OポートP07		データバスD7
P10		I/OポートP10 (SIN)	
P11		I/OポートP11 (SOUT)	
P12		I/OポートP12 (SCLK)	
P13		I/OポートP13 (SRDY)	
P14		I/OポートP14 (CMPP0/AD4)	
P15		I/OポートP15 (CMPM0/AD5)	
P16		I/OポートP16 (CMPP1/AD6)	
P17		I/OポートP17 (CMPM1/AD7)	

データバスについては"5.2 システムコントローラとバスの制御"を参照してください。

図5.7.1.1に入出力兼用ポートの構造を示します。

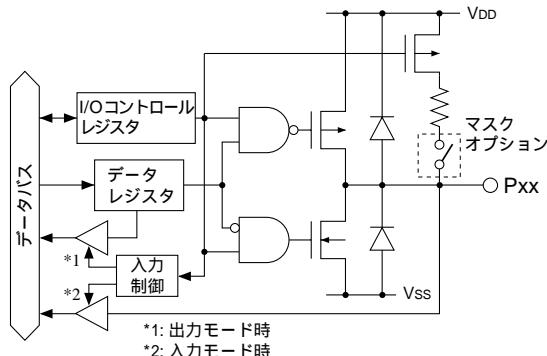


図5.7.1.1 入出力兼用ポートの構造

入出力兼用ポートは1ビットごとに入力モード、または出力モードを設定することができます。この設定はI/Oコントロールレジスタにデータを書き込むことによって行います。

入出力兼用ポートP10～P13はシリアルインターフェースの入出力端子と、P14～P17はアナログコンパレータおよびA/D変換器の入力端子とそれぞれ共用されており、どちらの用途で使用するかをソフトウェアによって選択することができます。

シリアルインターフェース、アナログコンパレータ、A/D変換器の詳細については"5.8 シリアルインターフェース"、"5.14 アナログコンパレータ"、"5.15 A/D変換器"をそれぞれ参照してください。

データバスとシリアルインターフェースの出力端子に設定される入出力兼用ポートのデータレジスタとI/Oコントロールレジスタは、端子の入出力には影響を与えないリード/ライト可能な汎用レジスタとして使用することができます。また、シリアルインターフェースの入力端子に設定される入出力兼用ポートのI/Oコントロールレジスタも同様に、汎用レジスタとして使用することができます。

### 5.7.2 マスクオプション

#### 入出力兼用ポートブルアップ抵抗

P00	抵抗あり	抵抗なし
P01	抵抗あり	抵抗なし
P02	抵抗あり	抵抗なし
P03	抵抗あり	抵抗なし
P04	抵抗あり	抵抗なし
P05	抵抗あり	抵抗なし
P06	抵抗あり	抵抗なし
P07	抵抗あり	抵抗なし
P10	抵抗あり	抵抗なし
P11	抵抗あり	抵抗なし
P12	抵抗あり	抵抗なし
P13	抵抗あり	抵抗なし
P14	抵抗あり	抵抗なし
P15	抵抗あり	抵抗なし
P16	抵抗あり	抵抗なし
P17	抵抗あり	抵抗なし

入出力兼用ポートP00～P07、P10～P17には入力モード時においてONするブルアップ抵抗が内蔵されており、これを使用するかしないかを各ポート(1ビット)ごとに選択することができます。

"抵抗あり"を選択した場合、入力モード時にブルアップ抵抗がONします。

内蔵ブルアップ抵抗によって、ポート端子をLOWレベルからHIGHレベルに変化させる場合、ブルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入出力兼用ポートの取り込みには適切な待ち時間の設定が必要となります。待ち時間は以下の式で求められる値以上を設定してください。

$$\text{待ち時間} = R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6 [\text{sec}]$$

R<sub>IN</sub>: ブルアップ抵抗Max.値

C<sub>IN</sub>: 端子容量Max.値

アナログコンパレータまたはA/D変換器を使用する場合は、入力端子となる入出力兼用ポート(P14～P17)に対して"抵抗なし"を選択してください。

使用しない入出力兼用ポートについては、デフォルトの"抵抗あり"を選択してください。

### 5.7.3 I/Oコントロールレジスタと 入力/出力モード

入出力兼用ポートP00～P07とP10～P17は、それぞれのビットに対応したI/OコントロールレジスタIOC00～IOC07とIOC10～IOC17にデータを書き込むことによって、入力モードあるいは出力モードに設定されます。

入力モードに設定する場合はI/Oコントロールレジスタに"0"を書き込みます。入力モードに設定された入出力兼用ポートは、ハイインピーダンス状態となり入力ポートとして機能します。

入力モード時の読み出しへは入力端子の状態が直接読み込まれ、そのデータは入力端子がHIGH(VDD)レベルのときに"1"、LOW(Vss)レベルのときに"0"となります。

### 5.7.4 入出力兼用ポートの制御方法

表5.7.4.1に入出力兼用ポートの制御ビットを示します。

表5.7.4.1 入出力兼用ポートの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF60	D7	IOC07	P07 I/Oコントロールレジスタ	出力	入力	0	R/W	
	D6	IOC06	P06 I/Oコントロールレジスタ					
	D5	IOC05	P05 I/Oコントロールレジスタ					
	D4	IOC04	P04 I/Oコントロールレジスタ					
	D3	IOC03	P03 I/Oコントロールレジスタ					
	D2	IOC02	P02 I/Oコントロールレジスタ					
	D1	IOC01	P01 I/Oコントロールレジスタ					
	D0	IOC00	P00 I/Oコントロールレジスタ					
00FF61	D7	IOC17	P17 I/Oコントロールレジスタ	出力	入力	0	R/W	
	D6	IOC16	P16 I/Oコントロールレジスタ					
	D5	IOC15	P15 I/Oコントロールレジスタ					
	D4	IOC14	P14 I/Oコントロールレジスタ					
	D3	IOC13	P13 I/Oコントロールレジスタ					
	D2	IOC12	P12 I/Oコントロールレジスタ					
	D1	IOC11	P11 I/Oコントロールレジスタ					
	D0	IOC10	P10 I/Oコントロールレジスタ					
00FF62	D7	P07D	P07 入出力兼用ポートデータ	High	Low	1	R/W	
	D6	P06D	P06 入出力兼用ポートデータ					
	D5	P05D	P05 入出力兼用ポートデータ					
	D4	P04D	P04 入出力兼用ポートデータ					
	D3	P03D	P03 入出力兼用ポートデータ					
	D2	P02D	P02 入出力兼用ポートデータ					
	D1	P01D	P01 入出力兼用ポートデータ					
	D0	P00D	P00 入出力兼用ポートデータ					
00FF63	D7	P17D	P17 入出力兼用ポートデータ	High	Low	1	R/W	
	D6	P16D	P16 入出力兼用ポートデータ					
	D5	P15D	P15 入出力兼用ポートデータ					
	D4	P14D	P14 入出力兼用ポートデータ					
	D3	P13D	P13 入出力兼用ポートデータ					
	D2	P12D	P12 入出力兼用ポートデータ					
	D1	P11D	P11 入出力兼用ポートデータ					
	D0	P10D	P10 入出力兼用ポートデータ					

マスクオプションで内蔵プルアップ"抵抗あり"を選択した場合は、入力モード時にポート端子がプルアップされます。

入力モードにおいても、端子の状態に影響を与えることなくデータレジスタに対して書き込みは行えます。

出力モードに設定する場合はI/Oコントロールレジスタに"1"を書き込みます。出力モードに設定された入出力兼用ポートは出力ポートとして機能し、ポート出力データが"1"の場合にHIGH(VDD)レベル、"0"の場合にLOW(Vss)レベルを出力します。出力モード時の読み出しへは、データレジスタの内容が読み込まれます。

イニシャルリセット時、I/Oコントロールレジスタは"0"(入出力兼用ポートは入力モード)に設定されます。

**P00D~P07D: 00FF62H****P10D~P17D: 00FF63H**

Pxx入出力兼用ポート端子のデータの読み出し、および出力データの設定を行います。

**データ書き込み時**

"1"書き込み: HIGHレベル

"0"書き込み: LOWレベル

入出力兼用ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力兼用ポート端子に出力されます。ポートデータとして"1"を書き込んだ場合はポート端子はHIGH(V<sub>DD</sub>)レベルとなり、"0"を書き込んだ場合はLOW(V<sub>SS</sub>)レベルとなります。

入力モードの場合もポートデータの書き込みは行えます。

**データ読み出し時**

"1"読み出し: HIGHレベル ("1")

"0"読み出し: LOWレベル ("0")

入出力兼用ポートが入力モードの場合はポート端子に入力されている電圧レベルが読み出されます。端子電圧がHIGH(V<sub>DD</sub>)レベルの場合は"1"、LOW(V<sub>SS</sub>)レベルの場合は"0"がそれぞれ入力データとして読み出されます。

また、出力モードの場合はデータレジスタの内容が読み出されます。

イニシャルリセット時、本レジスタはすべて"1"(HIGHレベル)に設定されます。

**注!** データバスとシリアルインタフェースの出力端子に設定される入出力兼用ポートのデータレジスタは、端子の入出力には影響を与えないリード/ライト可能な汎用レジスタとして使用することができます。

**IOC00~IOC07: 00FF60H****IOC10~IOC17: 00FF61H**

入出力兼用ポートの入力/出力モードを設定します。

"1"書き込み: 出力モード

"0"書き込み: 入力モード

読み出し: 可能

IOCxxは各入出力兼用ポートにビット単位で対応するI/Oコントロールレジスタです。IOCxxレジスタに"1"を書き込むと対応する入出力兼用ポートPxxが出力モードとなり、"0"を書き込むと入力モードとなります。

なお、アナログコンバレータまたはA/D変換器を使用する場合は、入力端子となる入出力兼用ポートのI/Oコントロールレジスタ(IOC14~IOC17)に常時"0"を設定する必要があります。

イニシャルリセット時、本レジスタはすべて"0"(入力モード)に設定されます。

**注!** データバスとシリアルインタフェースの出力端子に設定される入出力兼用ポートのI/Oコントロールレジスタは、端子の入出力には影響を与えないリード/ライト可能な汎用レジスタとして使用することができます。

### 5.7.5 プログラミング上の注意事項

(1) ブルアップ抵抗付きのポート端子をLOWレベルからHIGHレベルに変化させる場合、ブルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入出力兼用ポートの取り込みには適切な待ち時間の設定が必要となります。待ち時間は以下の式で求められる値以上を設定してください。

$$\text{待ち時間} = R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6 \text{ [sec]}$$

R<sub>IN</sub>: ブルアップ抵抗Max.値

C<sub>IN</sub>: 端子容量Max.値

(2) アナログコンバレータまたはA/D変換器を使用する場合は、入力端子となる入出力兼用ポートのI/Oコントロールレジスタ(IOC14~IOC17)に常時"0"を設定する必要があります。

## 5.8 シリアルインタフェース

### 5.8.1 シリアルインタフェースの構成

S1C88349はクロック同期式または調歩同期式の選択が可能な全二重方式(調歩同期式選択時)のシリアルインタフェースを内蔵しています。

転送方式はソフトウェアによって選択でき、クロック同期式を選択した場合は8ビットのデータ転送が可能です。調歩同期式では7ビットまたは8ビットのデータ転送が可能で、受信データのparityチェックおよび送信データへのparityビットの付加もソフトウェア選択によって自動的に行えます。

図5.8.1.1にシリアルインタフェースの構成を示します。

シリアルインタフェースの入出力端子SIN、SOUT、SCLK、SRDYは入出力兼用ポートP10～P13と共に用いており、シリアルインタフェースの入出力端子として用いる場合はレジスタESIF、SMD0およびSMD1によってその設定を行います。(イニシャルリセット時は入出力兼用ポート端子に設定されます。)

シリアルインタフェースの入出力端子に設定される入出力兼用ポート端子はそれぞれの信号と転送モードによって入出力方向が設定され、対応する入出力兼用ポートのI/Oコントロールレジスタの設定は無効となります。

表5.8.1.1 入出力端子の構成

端子	シリアルインタフェース選択時
P10	SIN
P11	SOUT
P12	SCLK
P13	SRDY

\* 転送モードにより使用する端子が異なります。

SIN、SOUTはそれぞれシリアルデータの入力、出力端子で、クロック同期式および調歩同期式ともに共通です。SCLKはクロック同期式専用で、同期クロックの入出力端子となります。SRDYはクロック同期式スレーブモード専用で、送受信レディ信号の出力端子となっています。調歩同期式を選択した場合はSCLKおよびSRDYを使用しませんので、P12、P13入出力兼用ポート端子は入出力兼用ポートとして使用することができます。

同様に、クロック同期式マスタモードを選択した場合はSRDYを使用しませんので、P13入出力兼用ポート端子は入出力兼用ポートとして使用することができます。

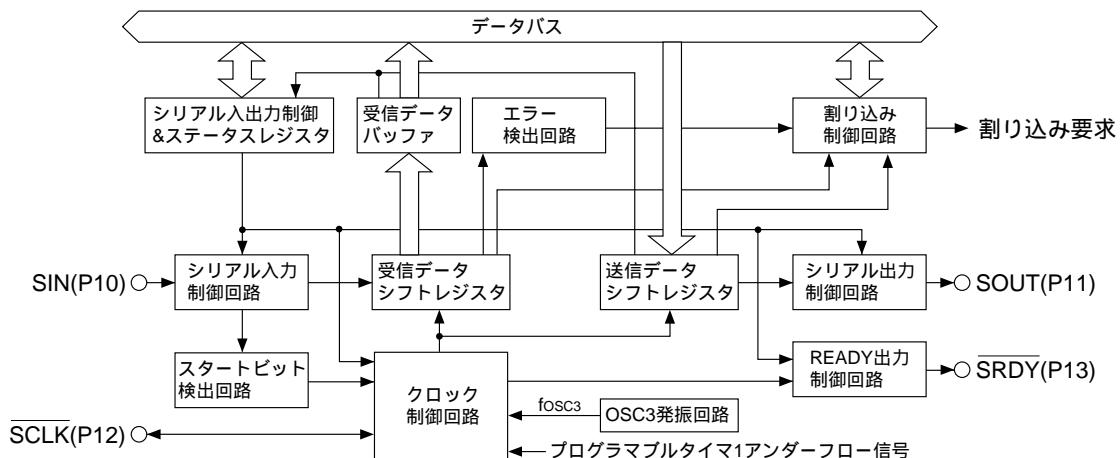


図5.8.1.1 シリアルインタフェースの構成

## 5.8.2 マスクオプション

シリアルインターフェースの入出力端子は入出力兼用ポートと共に用されているため、入出力兼用ポートのマスクオプション設定によってシリアルインターフェースの端子仕様も必然的に決定されます。

入出力兼用ポートプルアップ抵抗		
P10(SIN) .....	抵抗あり	抵抗なし
P12(SCLK) .....	抵抗あり	抵抗なし

入出力兼用ポートの各端子には入力モード時ににおいてONするプルアップ抵抗が内蔵されており、これを使用するかしないかを各ポート(1ビット)ごとに選択することができます。シリアルインターフェース使用時に入力端子となるP10(SIN)、P12(SCLK)端子は、入出力兼用ポートのオプション設定によって端子仕様(プルアップを使用するかしないか)が決定されます。

シリアルI/Fモードで"抵抗なし"を選択した場合は、それぞれの入力端子がフローティング状態にならないよう注意してください。

## 5.8.3 転送モード

シリアルインターフェースの転送モードは、モード選択レジスタSMD0およびSMD1の2ビットの設定によって以下の4種類が選択できます。

表5.8.3.1 転送モード

SMD1	SMD0	モード
1	1	調歩同期式8ビット
1	0	調歩同期式7ビット
0	1	クロック同期式スレーブ
0	0	クロック同期式マスタ

表5.8.3.2 転送モードによる端子設定

モード	SIN	SOUT	SCLK	SRDY
調歩同期式8ビット	入力	出力	P12	P13
調歩同期式7ビット	入力	出力	P12	P13
クロック同期式スレーブ	入力	出力	入力	出力
クロック同期式マスタ	入力	出力	出力	P13

イニシャルリセット時はクロック同期式マスタモードに設定されます。

### クロック同期式マスタモード

本モードでは、内蔵シフトレジスタの同期クロックとして内部クロックを使用する、本シリアルインターフェースをマスタとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックはSCLK端子からも出力され、外部(スレーブ側)のシリアル入出力デバイスを制御することができます。

このモードではSRDY端子を使用しませんので、この端子を入出力兼用ポートとして使用することができます。

図5.8.3.1(a)にクロック同期式マスタモードにおける入出力端子の接続例を示します。

### クロック同期式スレーブモード

本モードでは、外部(マスタ側)のシリアル入出力デバイスから供給される同期クロックを使用する、本シリアルインターフェースをスレーブとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックはSCLK端子より入力し、本シリアルインターフェースの同期クロックとして使用します。

また、SRDY端子からは送受信レディ状態を示すSRDY信号がシリアルインターフェースの動作状態にしたがって出力されます。

スレーブモードではクロック源を選択するレジスタSCS0、SCS1の設定が無効となります。

図5.8.3.1(b)にクロック同期式スレーブモードにおける入出力端子の接続例を示します。

### 調歩同期式7ビットモード

このモードでは、調歩同期式7ビット転送が行えます。データ受信時のパリティチェックおよびデータ送信時のパリティビットの付加(奇数/偶数/なし)を指定でき、データをパリティなし7ビットまたはパリティ付き7ビットとして処理できます。このモードでは内部クロックを使用しますので、SCLK端子は使用しません。また、SRDY端子も使用しませんので、この2つの端子は入出力兼用ポートとして使用することができます。

図5.8.3.1(c)に調歩同期式モードにおける入出力端子の接続例を示します。

### 調歩同期式8ビットモード

このモードでは、調歩同期式8ビット転送が行えます。データ受信時のパリティチェックおよびデータ送信時のパリティビットの付加(奇数/偶数/なし)を指定でき、データをパリティなし8ビットまたはパリティ付き8ビットとして処理できます。このモードでは内部クロックを使用しますので、SCLK端子は使用しません。また、SRDY端子も使用しませんので、この2つの端子は入出力兼用ポートとして使用することができます。

図5.8.3.1(c)に調歩同期式モードにおける入出力端子の接続例を示します。

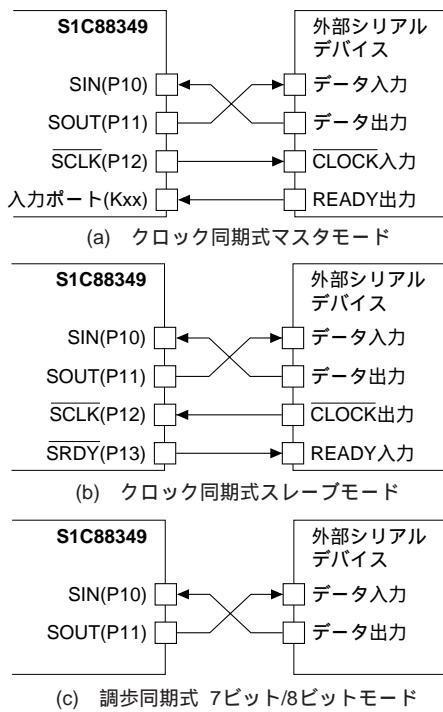


図5.8.3.1 シリアルインターフェース入出力端子の接続例

## 5.8.4 クロック源

クロック源はクロック選択レジスタSCS0、SCS1の2ビットの設定によって以下の4種類が選択できます。

表5.8.4.1 クロック源

SCS1	SCS0	クロック源
1	1	プログラマブルタイマ
1	0	$fosc_3 / 4$
0	1	$fosc_3 / 8$
0	0	$fosc_3 / 16$

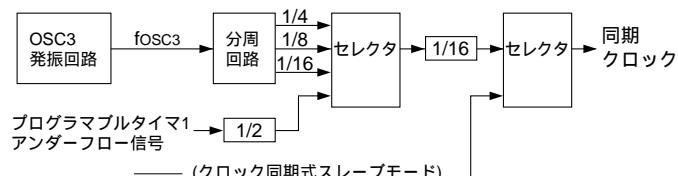


図5.8.4.1 同期クロックの分周

表5.8.4.2 転送速度とOSC3発振周波数

転送速度 (bps)	OSC3発振周波数/プログラマブルタイマの設定					
	fosc3=3.072MHz		fosc3=4.608MHz		fosc3=4.9152MHz	
	PSC1X	RLD1X	PSC1X	RLD1X	PSC1X	RLD1X
9,600	0 (1/1)	09H	0 (1/1)	0EH	0 (1/1)	0FH
4,800	0 (1/1)	13H	0 (1/1)	1DH	0 (1/1)	1FH
2,400	0 (1/1)	27H	0 (1/1)	3BH	0 (1/1)	3FH
1,200	0 (1/1)	4FH	0 (1/1)	77H	0 (1/1)	7FH
600	0 (1/1)	9FH	0 (1/1)	EFH	0 (1/1)	FFH
300	1 (1/4)	4FH	1 (1/4)	77H	1 (1/4)	7FH
150	1 (1/4)	9FH	1 (1/4)	EFH	1 (1/4)	FFH

クロック同期式スレーブモードでは本レジスタの設定は無効となり、SCLK端子より入力される外部クロックが使用されます。

"プログラマブルタイマ"を選択した場合は、プログラマブルタイマ1のアンダーフローを1/2周した信号がクロック源として使用されます。転送速度設定の詳細については"5.11 プログラマブルタイマ"を参照してください。

イニシャルリセット時は"fosc3/16"が設定されます。

選択したクロックはさらに1/16に分周され、同期クロックとして使用されます。

また、クロック同期式スレーブモードのSCLKは外部からの入力がそのまま使用されます。

表5.8.4.2にプログラマブルタイマをクロック源とした場合の転送速度とOSC3発振周波数の例を示します。

OSC3発振回路の分周信号をクロック源とする場合は、シリアルインターフェースを使用する以前にOSC3の発振をONさせる必要があります。

なお、OSC3発振回路をONにしてから発振が安定するまでに数msec ~ 数10msecの時間を必要とします。したがって、シリアルインターフェースの送受信開始はOSC3発振ONの後、充分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"8 電気的特性"に発振開始時間の一例を示しますので参照してください。)

イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

## 5.8.5 送受信の制御

以下に送受信の制御を行うレジスタ等を説明します。送受信の制御手順と動作については次項よりモード別に説明しますので、そちらを参照してください。

### シフトレジスタと受信データバッファ

本シリアルインターフェースには、送信と受信それぞれに専用のシフトレジスタが設けられています。このため、調歩同期式モード選択時には送信と受信を同時に使う全二重通信が可能です。

TRXD0～TRXD7に書き込まれた送信データはシフトレジスタによってシリアル変換され、SOUT端子から出力されます。

受信部にはシフトレジスタとは別に受信データバッファが設けられています。

受信時には、SIN端子から入力されたデータが、シフトレジスタによってパラレル変換され、受信データバッファに書き込まれます。

受信データバッファの読み出しをシリアル入力とは非同期にその動作中に行えるため、効率のよい連続受信が行えます。

ただし、クロック同期式モードではバッファ機能を使用しませんので、次のデータ受信が始まると前にデータを読み出す必要があります。

### 送信許可レジスタ、送信制御ビット

送信の制御には、送信許可レジスタTXENと送信制御ビットTXTRGを使用します。

送信許可レジスタTXENは送信の許可/禁止状態を設定するレジスタです。このレジスタに"1"を書き込んで送信を許可状態にすると、シフトレジスタへのクロック入力がイネーブルとなり、データの送信が行える状態となります。クロック同期式モードでは、SCLK端子の同期クロック入出力もイネーブルとなります。

送信制御ビットTXTRGは送信開始のトリガとして使用します。

送信シフトレジスタに送信データを書き込み、送信準備ができたところでTXTRGに"1"を書き込み送信を開始させます。

割り込みを許可している場合は、送信が終了した時点で割り込みが発生します。

次の送信データがある場合は、この割り込みを利用してデータの書き込みを行うことができます。

また、TXTRGはステータスとして読み出しが可能で、"1"の場合は送信動作中、"0"の場合は送信停止中を示します。

詳細タイミングについては、各モードのタイミングチャートをそれぞれ参照してください。

なお、送信を行わない場合はTXENを"0"として、送信禁止状態に設定してください。

### 受信許可レジスタ、受信制御ビット

受信の制御には、受信許可レジスタRXENと受信制御ビットRXTRGを使用します。

受信許可レジスタRXENは受信の許可/禁止状態を設定するレジスタです。このレジスタに"1"を書き込んで受信を許可状態にすると、シフトレジスタへのクロック入力がイネーブルとなり、データの受信が行える状態となります。クロック同期式モードでは、SCLK端子の同期クロック入出力もイネーブルとなります。これによって受信を開始し、SIN端子から入力されるシリアルデータをシフトレジスタに取り込みます。

受信制御ビットRXTRGは、クロック同期式と調歩同期式で若干動作が異なります。

クロック同期式でのRXTRGは受信開始のトリガとして使用します。

受信データを読み出し、次の受信準備ができたところでRXTRGに"1"を書き込み受信を開始させます。(スレーブモードではRXTRGに"1"を書き込んだところでSRDYが"0"となります。)

調歩同期式でのRXTRGは、次のデータの受信準備に使用します。受信データバッファにある受信データを読み出し、バッファが空となったことを知らせるためRXTRGに"1"を書き込みます。RXTRGに"1"を書き込まなかった場合は、次の受信が終了した時点でおバーランエラーフラグOERが"1"にセットされます。(受信データを読み出す動作とRXTRGに"1"を書き込む動作との間に受信を終了した場合は、オーバーランエラーとなります。)

また、RXTRGはステータスとして読み出しが可能で、クロック同期式、調歩同期式どちらのモードでも"1"の場合は受信動作中、"0"の場合は受信停止中を示します。

詳細タイミングについては、各モードのタイミングチャートをそれぞれ参照してください。

なお、受信を行わない場合はRXENを"0"として、受信禁止状態に設定してください。

### 5.8.6 クロック同期式転送の動作

クロック同期式転送は8ビットデータを8個のクロックに同期させて転送する方式で、送信側、受信側で同じ同期クロックを使用します。

本シリアルインターフェースをマスタモードで使用する場合はSCS0、SCS1で選択したクロックを1/16に分周したものが同期クロックとして使用され、さらにSCLK端子を通してスレーブ側(外部のシリアル入出力デバイス)に出力されます。スレーブモードで使用する場合は、マスタ側(外部のシリアル入出力デバイス)からSCLK端子に入力されたクロックを同期クロックとして使用します。

クロック同期式モードでは1本のクロックライン(SCLK)を送受信で共用するため、送信と受信を同時にすることはできません。(クロック同期式モードでは半二重通信となります。)

転送データは8ビット固定で、LSB(ビット0)を先頭として送受信が行われます。

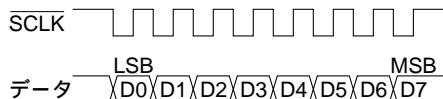


図5.8.6.1 クロック同期式の転送データフォーマット

以下にクロック同期式転送を行う場合の初期化および送受信の制御手順と動作について説明します。シリアルインターフェース割り込みについては"5.8.8 割り込み機能"を参照してください。

#### シリアルインターフェースの初期化

クロック同期式転送を行う場合には以下の初期設定を行う必要があります。

##### (1) 送受信禁止に設定

シリアルインターフェースの設定は、送信許可レジスタTXENおよび受信許可レジスタRXENにそれぞれ"0"を書き込んで、送受信を禁止にした状態で行ってください。

なお、この2つのレジスタは実際にデータ転送を開始するまで、禁止状態に固定してください。

##### (2) ポート選択

イニシャルリセット時、シリアルインターフェースの入出力端子SIN、SOUT、SCLK、SRDYは入出力兼用ポート端子P10～P13に設定されますので、シリアルインターフェースイネーブルレジスタESIFに"1"を書き込んでこれらの端子をシリアルインターフェース用に設定します。

##### (3) 転送モードの設定

モード選択レジスタSMD0およびSMD1の2ビットに以下のデータを書き込んでクロック同期式モードを選択します。

マスタモード SMD0 = "0"、SMD1 = "0"  
スレーブモード SMD0 = "1"、SMD1 = "0"

##### (4) クロック源の選択

マスタモードの場合はクロック源選択レジスタSCS0、SCS1の2ビットにデータを書き込んで同期クロック源を選択します。(表5.8.4.1参照)  
スレーブモードでは、この選択は不要です。

(2)～(4)の各レジスタは同一アドレス上に割り付けられていますので、1命令で一度に設定が可能です。

なお、このアドレスにはパリティイネーブルレジスタEPRも割り付けられていますが、クロック同期式モードではパリティを必要としないため、その設定内容にかかわらずパリティチェックは行われません。

##### (5) クロック源の制御

マスタモードを選択し、クロック源にプログラマブルタイマを選択した場合は、プログラマブルタイマ側で転送速度の設定を行ってください。("5.11 プログラマブルタイマ"参照)

OSC3発振回路の分周信号をクロック源として選択した場合は、データ転送を開始する以前にOSC3の発振をONさせる必要があります。("5.4 発振回路と動作モード"参照)

### データの送信手順

送信時の制御手順と動作は以下のとおりです。

- (1) 送信許可レジスタTXENおよび受信許可レジスタRXENに"0"を書き込み、シリアルインターフェースをリセットします。
- (2) 送信許可レジスタTXENに"1"を書き込み、送信許可状態に設定します。
- (3) 送信するデータをTRXD0～TRXD7に書き込みます。
- (4) マスタモードの場合は、必要に応じてスレーブ側(外部シリアル入出力デバイス)の受信レディ状態を確認してください。受信レディ状態になるまで待ちます。
- (5) 送信制御ビットTXTRGに"1"を書き込み、送信を開始させます。

マスタモードであれば、この制御によって同期クロックがイネーブルとなり、送信用シフトレジスタに供給されるとともにSCLK端子から出力されます。

スレーブモードでは、SCLK端子に同期クロックが入力されるのを待ちます。

シフトレジスタの送信データは同期クロックの各立ち下がりエッジで1ビットずつシフトされ、SOUT端子より出力されます。最後のビット(MSB)が出力されると、次の送信が開始されるまでSOUT端子はそのレベルを保持します。

シフトレジスタのデータ送信が終了したところで、送信完了割り込み要因フラグFSTRAが"1"にセットされます。割り込みが許可されている場合は、この時点で送信完了割り込みが発生します。

本割り込みを利用して次の送信データをセットしてください。

- (6) 送信データのバイト数だけ(3)～(5)を繰り返し、送信が終了した時点で送信許可レジスタTXENに"0"を書き込み、送信禁止状態に設定します。

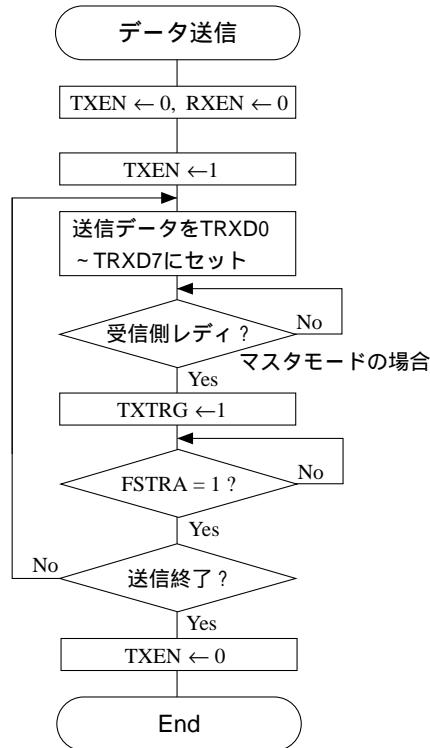


図5.8.6.2 クロック同期式の送信手順

## データの受信手順

受信時の制御手順と動作は以下のとおりです。

- (1) 受信許可レジスタRXENおよび送信許可レジスタTXENに"0"を書き込み、シリアルインターフェースをリセットします。
- (2) 受信許可レジスタRXENに"1"を書き込み、受信許可状態に設定します。
- (3) マスタモードの場合は、必要に応じてスレーブ側(外部シリアル入出力デバイス)の送信レディ状態を確認してください。送信レディ状態になるまで待ちます。
- (4) 受信制御ビットRXTRGに"1"を書き込み、受信を開始させます。

マスタモードであれば、この制御によって同期クロックがイネーブルとなり、受信用シフトレジスタに供給されるとともにSCLK端子から出力されます。

スレーブモードでは、SCLK端子に同期クロックが入力されるのを待ちます。

SIN端子から入力される受信データは同期クロックの立ち上がりエッジに同期して順次シフトレジスタ内に取り込まれます。

8ビット目のデータが同期クロック最後(8個目)の立ち上がりエッジで取り込まれたところで、シフトレジスタ内のデータが受信データバッファに転送され、受信完了割り込み要因フラグFSRECが"1"にセットされます。割り込みが許可されている場合は、この時点で受信完了割り込みが発生します。

- (5) 受信完了割り込みを利用して、受信データをTRXD0～TRXD7から読み出します。
- (6) 受信データのバイト数だけ(3)～(5)を繰り返し、受信が終了した時点で受信許可レジスタRXENに"0"を書き込み、受信禁止状態に設定します。

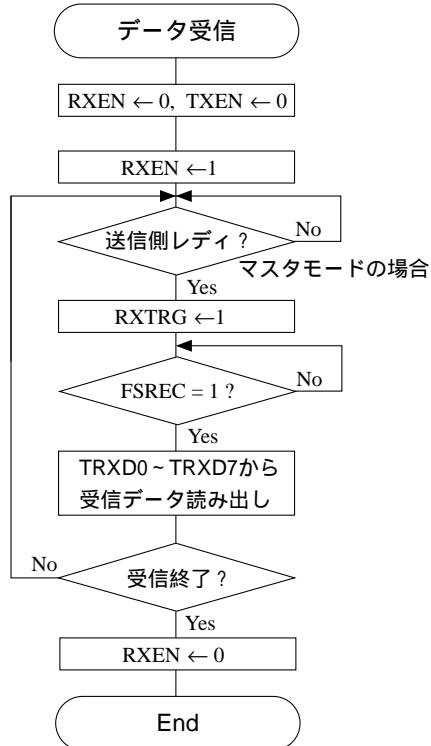


図5.8.6.3 クロック同期式の受信手順

### 送受信レディ(SRDY)信号

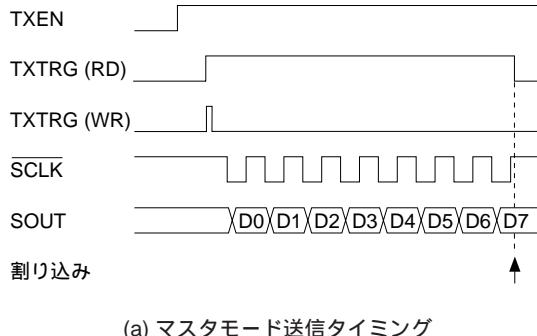
本シリアルインターフェースをクロック同期式スレーブモード(外部クロック入力)で使用する場合は、マスタ側(外部のシリアル入出力デバイス)に対して本シリアルインターフェースが送受信可能かどうかを示すSRDY信号が出力されます。この信号はSRDY端子から出力され、本インターフェースが送信または受信可能なREADY状態のときに"0"(LOWレベル)、送受信動作時などのBUSY状態のときに"1"(HIGHレベル)となります。

SRDY信号は送信制御ビットTXTRG、または受信制御ビットRXTRGに"1"を書き込んだ直後に"1"から"0"に変化し、初の同期クロックが入力された時点(立ち下がりエッジ)で"0"から"1"に戻ります。

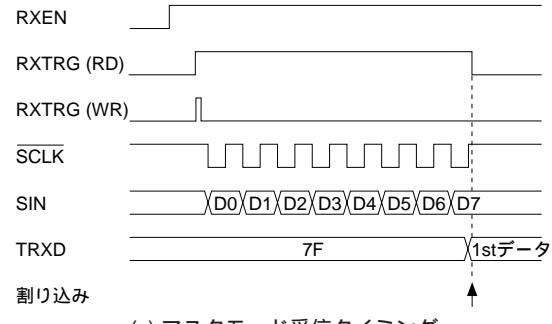
マスタモードに設定した場合は、スレーブ側から同様の信号を入力ポートまたは入出力兼用ポートを使用して取り込み、転送の制御を行ってください。この場合、SRDY端子は設定されずP13端子が入出力兼用ポートとして機能しますので、このポートをその制御にあてることもできます。

### タイミングチャート

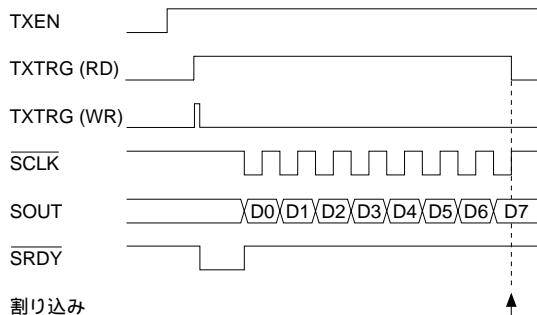
クロック同期式転送のタイミングチャートを図5.8.6.4に示します。



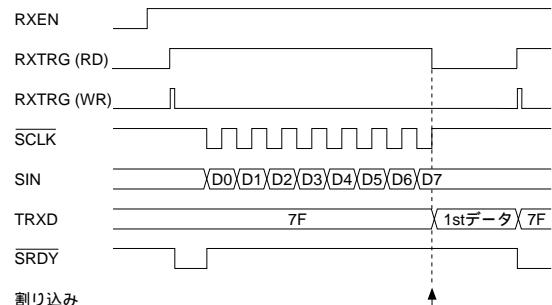
(a) マスタモード送信タイミング



(c) マスタモード受信タイミング



(b) スレーブモード送信タイミング



(d) スレーブモード受信タイミング

図5.8.6.4 タイミングチャート(クロック同期式転送)

### 5.8.7 調歩同期式転送の動作

調歩同期式転送は、シリアル変換した各データの前後にスタートビットとストップビットを付加して転送を行う方式です。この方式では、送信側、受信側それぞれで完全に同期の一致したクロックを用いる必要はなく、各データの前後に付けられたスタート/ストップビットで同期をとりながら転送を行います。この転送モードを選択することによって、RS-232Cインターフェース機能などを容易に実現することができます。

本インターフェースは送受信個別にシフトレジスタを持っており、送受信が同時に見える全二重方式の転送が可能となっています。

転送データは、調歩同期式7ビットモードでは7ビットデータ(パリティなし)または7ビットデータ+パリティビットのいずれかが選択できます。調歩同期式8ビットモードでは8ビットデータ(パリティなし)または8ビットデータ+パリティビットのいずれかが同様に選択できます。パリティには偶数または奇数が選択でき、受信データのパリティチェックおよび送信データへのパリティビット付加を自動的に行います。したがって、プログラムでパリティデータそのものを意識する必要はありません。

スタートビット、ストップビットはそれぞれ1ビット固定で、データはLSB(ビット0)を先頭として送受信が行われます。

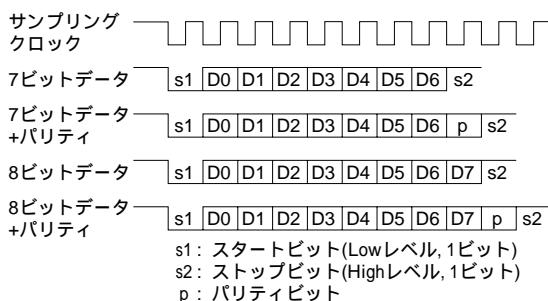


図5.8.7.1 調歩同期式の転送データフォーマット

以下に調歩同期式転送を行う場合の初期化および送受信の制御手順と動作について説明します。

シリアルインターフェース割り込みについては"5.8.8 割り込み機能"を参照してください。

#### シリアルインターフェースの初期化

調歩同期式転送を行う場合には以下の初期設定を行う必要があります。

##### (1) 送受信禁止に設定

シリアルインターフェースの設定は、送信許可レジスタTXENおよび受信許可レジスタRXENにそれぞれ"0"を書き込んで、送受信を禁止した状態で行ってください。

なお、この2つのレジスタは実際にデータ転送を開始するまで、禁止状態に固定してください。

##### (2) ポート選択

イニシャルリセット時、シリアルインターフェースの入出力端子SIN、SOUTは入出力兼用ポート端子P10、P11に設定されますので、シリアルインターフェースイネーブルレジスタESIFに"1"を書き込んでこれらの端子をシリアルインターフェース用に設定します。

クロック同期式モードにおいて設定されるSCLK、SRDY端子は調歩同期式モードでは使用しません。これらの端子は入出力兼用ポート端子P12、P13として機能します。

##### (3) 転送モードの設定

モード選択レジスタSMD0およびSMD1の2ビットに以下のデータを書き込んで調歩同期式モードを選択します。

7ビットモード SMD0 = "0"、SMD1 = "1"

8ビットモード SMD0 = "1"、SMD1 = "1"

##### (4) パリティビットの選択

パリティビットをチェックおよび付加する場合はパリティイネーブルレジスタEPRに"1"を書き込んで"パリティチェックあり"に設定してください。この設定によって、調歩同期式7ビットモードでは7ビットデータ+パリティビットのデータ構成に、調歩同期式8ビットモードでは8ビットデータ+パリティビットのデータ構成にそれぞれ設定されます。この場合、受信時のパリティチェックと送信時のパリティビット付加は、ハードウェアによって自動的に行われます。また、"パリティチェックあり"とした場合は、さらにパリティモード選択レジスタPMDによって、パリティを"奇数"とするか"偶数"とするかを選択する必要があります。

レジスタEPRに"0"を書き込んで"パリティチェックなし"を選択すると、調歩同期式7ビットモードでは7ビットデータ(パリティなし)のデータ構成に、調歩同期式8ビットモードでは8ビットデータ(パリティなし)のデータ構成にそれぞれ設定され、パリティチェックおよびパリティビットの付加は行われません。

##### (5) クロック源の選択

クロック源選択レジスタSCS0およびSCS1の2ビットにデータを書き込んでクロック源を選択します。(表5.8.4.1参照)

(2)~(5)の各レジスタは同一アドレス上に割り付けられていますので、1命令で一度に設定が可能です。

## (6) クロック源の制御

クロック源にプログラマブルタイマを選択した場合は、プログラマブルタイマ側で転送速度の設定を行ってください。("5.11 プログラマブルタイマ"参照)

OSC3発振回路の分周信号をクロック源として選択した場合は、データ転送を開始する以前にOSC3の発振をONさせる必要があります。("5.4 発振回路と動作モード"参照)

## データの送信

送信時の制御手順と動作は以下のとおりです。

- (1) 送信許可レジスタTXENに"0"を書き込み、シリアルインターフェースをリセットします。
- (2) 送信許可レジスタTXENに"1"を書き込み、送信許可状態に設定します。
- (3) 送信するデータをTRXD0～TRXD7に書き込みます。  
なお、7ビットデータ選択時は、TRXD7のデータは無効となります。
- (4) 送信制御ビットTXTRGに"1"を書き込み、送信を開始させます。

この制御によってシフトクロックがイネーブルとなり、その立ち下がりエッジに同期してスタートビット(LOW)がSOUT端子に出力されます。シフトレジスタに設定された送信データは、その後のクロックの各立ち下がりエッジで1ビットずつシフトされSOUT端子より出力されます。データ出力後はトップビット(HIGH)が出力され、次のスタートビットの出力までHIGHレベルが保持されます。

送信が終了したところで、送信完了割り込み要因フラグFSTRAが"1"にセットされます。割り込みが許可されている場合は、この時点で送信完了割り込みが発生します。

本割り込みを利用して次の送信データをセットしてください。

- (5) 送信データのバイト数だけ(3)～(4)を繰り返し、送信が終了した時点で送信許可レジスタTXENに"0"を書き込み、送信禁止状態に設定します。

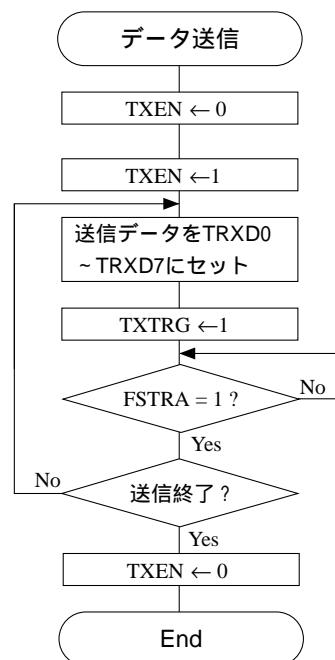


図5.8.7.2 調歩同期式の送信手順

## データの受信

受信時の制御手順と動作は以下のとおりです。

- (1) 受信許可レジスタRXENに"0"を書き込んで受信禁止状態に設定し、パリティエラー、オーバーランエラー、フレーミングエラーの発生を示すPERフラグ、OERフラグ、FERフラグをそれぞれリセットします。
- (2) 受信許可レジスタRXENに"1"を書き込み、受信許可状態に設定します。
- (3) SIN端子にスタートビット(LOW)が入力された時点からシフトクロックがイネーブルとなり、受信データが2個目以降のクロックの立ち上がりエッジに同期して順次シフトレジスタ内に取り込まれます。

データビットが取り込まれた後、ストップビットがチェックされ、HIGHレベルでない場合にはフレーミングエラーとなり、エラー割り込み要因フラグFSERRが"1"にセットされます。割り込みが許可されている場合には、この時点でエラー割り込みが発生します。

受信が終了すると、シフトレジスタ内のデータが受信データバッファに転送され、受信完了割り込み要因フラグFSRECが"1"にセットされます。割り込みが許可されている場合には、この時点で受信完了割り込みが発生します。(オーバーランエラー発生時は割り込み要因フラグFSRECは"1"にセットされず、受信完了割り込みも発生しません。)

また、"パリティチェックあり"を選択している場合は、シフトレジスタから受信データバッファにデータが転送される際にパリティチェックが行われ、パリティエラーが検出された場合にはエラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合には、前記フレーミングエラー同様この時点でエラー割り込みが発生します。

- (4) 受信完了割り込みを利用して、受信データをTRXD0～TRXD7から読み出します。
- (5) 受信制御ビットRXTRGに"1"を書き込み、受信データが読み出されたことを知らせます。

RXTRGに"1"を書き込む以前に次のデータを受信すると、オーバーランエラーと認識され、エラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合には、前記フレーミングエラー、パリティエラー同様この時点でエラー割り込みが発生します。

- (6) 受信データのバイト数だけ(3)～(5)を繰り返し、受信が終了した時点で受信許可レジスタRXENに"0"を書き込み、受信禁止状態に設定します。

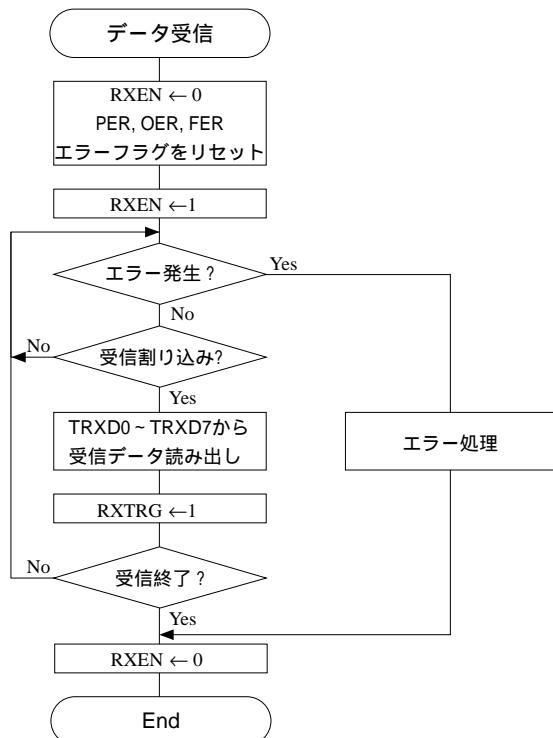


図5.8.7.3 調歩同期式の受信手順

### 受信エラー

受信時には以下の3種類のエラーを、割り込みによって検出することができます。

#### (1) パリティエラー

レジスタEPRに"1"を書き込んで"パリティチェックあり"を選択した場合には、受信時にパリティチェック(垂直パリティチェック)が行われます。これは送信データ(1キャラクタ)中の"1"のビット数の合計にパリティを加え、その数が奇数か偶数かをパリティビットにのせて送信し、それを受信側でチェックする方式です。パリティチェックはシフトレジスタに受信されたデータが受信データバッファに転送される際に行われ、データ(パリティビット含)中の"1"のビット数がレジスタPMDで設定した奇数または偶数パリティと整合がとれるかをチェックします。このとき、不整合となった場合にはパリティエラーと認識され、パリティエラーフラグPERおよびエラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグPERは"1"を書き込むことによって"0"にリセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。ただし、その時点での受信データはパリティエラーのため保証されません。

#### (2) フレーミングエラー

調歩同期式転送ではスタートビット("0")とストップビット("1")で1キャラクタごとに同期をとっています。ストップビットを"0"として受信した場合、シリアルインターフェースは同期ずれと判断してフレーミングエラーを発生します。

本エラーが発生すると、フレーミングエラーフラグFERおよびエラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグFERは"1"を書き込むことによって"0"にリセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。

#### (3) オーバーランエラー

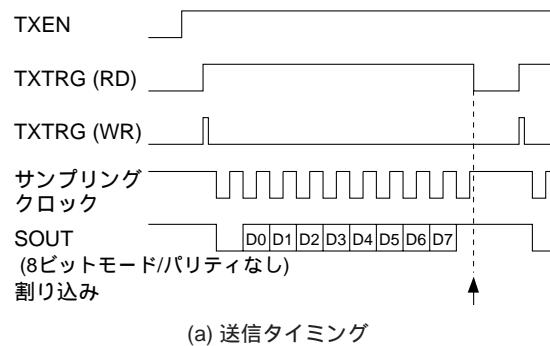
RXTRGに"1"を書き込む前に次のデータを受信すると、前回の受信データが上書きされるためオーバーランエラーが発生します。

本エラーが発生すると、オーバーランエラーフラグOERおよびエラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグOERは"1"を書き込むことによって"0"にリセットされます。

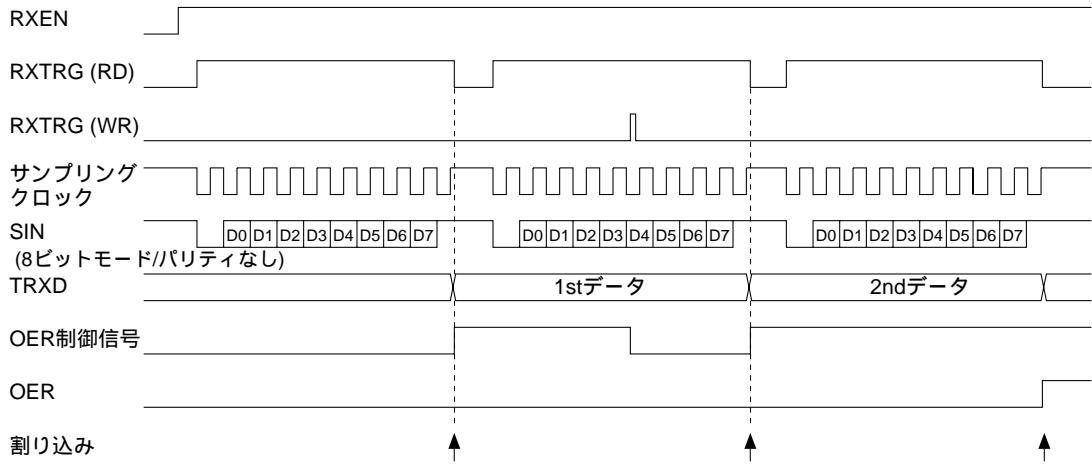
本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。なお、RXTRGに"1"を書き込むタイミングと受信データが受信データバッファに転送されるタイミングが重なった場合は、オーバーランエラーと認識されます。

### タイミングチャート

調歩同期式転送のタイミングチャートを図5.8.7.4に示します。



(a) 送信タイミング



(b) 受信タイミング

図5.8.7.4 タイミングチャート(調歩同期式転送)

## 5.8.8 割り込み機能

本シリアルインターフェースには以下に示す3種類の割り込みを発生させる機能があります。

- 送信完了割り込み
- 受信完了割り込み
- エラー割り込み

それぞれの割り込み要因に対して割り込み要因フラグFSxxxと割り込みイネーブルレジスタESxxxが設けられており、割り込みの許可/禁止をソフトウェアによって設定することができます。また、CPUに対するシリアルインターフェース割り込みの優先レベルを割り込みプライオリティレジスタPSIF0、PSIF1によって任意のレベル(0~3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については、"5.17 割り込みとスタンバイ状態"を参照してください。

図5.8.8.1にシリアルインターフェース割り込み回路の構成を示します。

### 送信完了割り込み

本割り込み要因は、シフトレジスタに書き込んだデータの送信が終了した時点で発生し、割り込み要因フラグFSTRAを"1"にセットします。

このとき、割り込みイネーブルレジスタESTRAが"1"で、かつ割り込みプライオリティレジスタPSIF0、PSIF1がインターラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込みイネーブルレジスタESTRAに"0"が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグFSTRAは"1"にセットされます。

割り込み要因フラグFSTRAは"1"を書き込むことによって"0"にリセットされます。

本割り込み要因の発生によって、次の送信データのセットと送信開始の制御(TXTRGに"1"を書き込む)を行うことができます。

本割り込み要因の例外処理ベクタアドレスは、000014Hに設定されています。

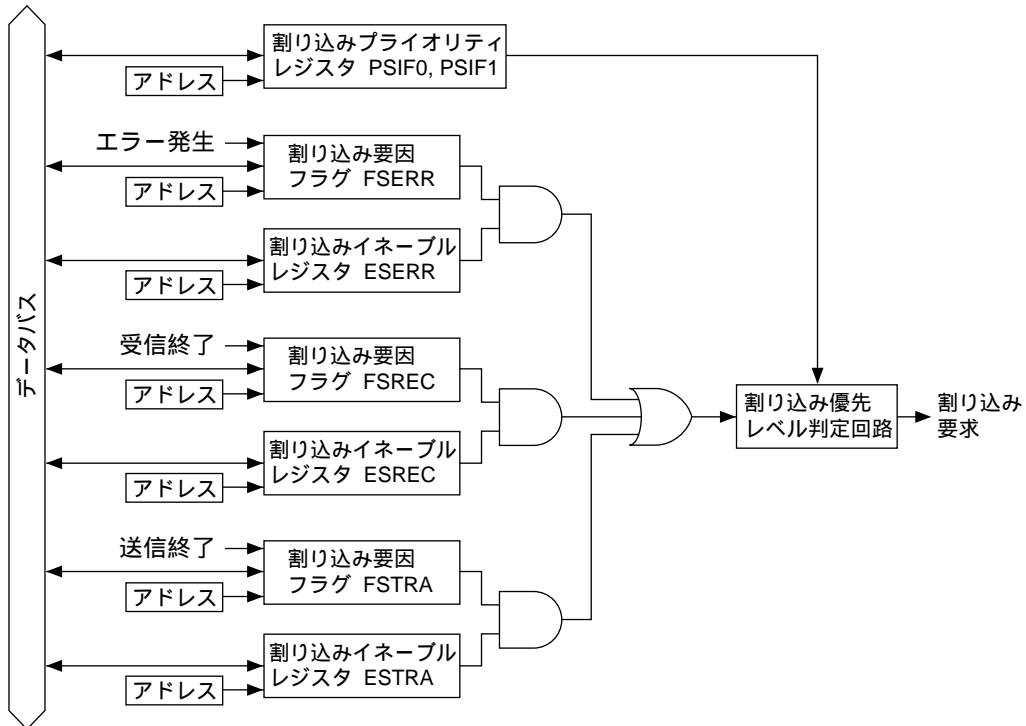


図5.8.8.1 シリアルインターフェース割り込み回路の構成

### 受信完了割り込み

本割り込み要因は、受信が完了してシフトレジスタに取り込まれた受信データが受信データバッファに転送された時点で発生し、割り込み要因フラグFSRECを"1"にセットします。このとき、割り込みイネーブルレジスタESRECが"1"で、かつ割り込みプライオリティレジスタPSIF0、PSIF1がインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込みイネーブルレジスタESRECに"0"が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグFSRECは"1"にセットされます。

割り込み要因フラグFSRECは"1"を書き込むことによって"0"にリセットされます。

本割り込み要因の発生により、受信データの読み出しが可能となります。

なお、パリティエラーおよびフレーミングエラー発生時にも割り込み要因フラグFSRECは"1"にセットされます。

本割り込み要因の例外処理ベクタアドレスは、000012Hに設定されています。

### エラー割り込み

本割り込み要因は、受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された時点で発生し、割り込み要因フラグFSERRを"1"にセットします。このとき、割り込みイネーブルレジスタESERRが"1"で、かつ割り込みプライオリティレジスタPSIF0、PSIF1がインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込みイネーブルレジスタESERRに"0"が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグFSERRは"1"にセットされます。

割り込み要因フラグFSERRは"1"を書き込むことによって"0"にリセットされます。

3種類のエラーとも同一の割り込み要因となっていますので、発生したエラーの識別はエラーフラグPER(パリティエラー)、OER(オーバーランエラー)、FER(フレーミングエラー)で行ってください。

本割り込み要因の例外処理ベクタアドレスは、000010Hに設定されています。

### 5.8.9 シリアルインタフェースの制御方法

表5.8.9.1にシリアルインタフェースの制御ビットを示します。

表5.8.9.1(a) シリアルインタフェースの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF48	D7	—	—	—	—	—		読み出し時は"0"
	D6	EPR	パリティイネーブルレジスタ	パリティ付き	パリティなし	0	R/W	調歩同期式のみ
	D5	PMD	パリティモード選択	奇数	偶数	0	R/W	
	D4	SCS1	クロック源選択			0	R/W	クロック同期式 スレーブモード では外部クロック が選択される
			SCS1 SCS0	クロック源				
			1 1	プログラマブルタイム				
			1 0	fosc3 / 4				
	D3	SCS0	0 1	fosc3 / 8				
			0 0	fosc3 / 16				
						0	R/W	
	D2	SMD1	シリアルI/Fモード選択			0	R/W	
	D1	SMD0	SMD1 SMD0	モード				
			1 1	調歩同期式8ビット				
			1 0	調歩同期式7ビット				
			0 1	クロック同期式スレーブ				
			0 0	クロック同期式マスタ				
	D0	ESIF	シリアルI/Fイネーブルレジスタ	シリアルI/F	I/Oポート	0	R/W	
00FF49	D7	—	—	—	—	—		読み出し時は"0"
	D6	FER	フレーミングエラーフラグ	R	エラー	エラーなし	0	R/W
				W	リセット(0)	無効		
	D5	PER	パリティエラーフラグ	R	エラー	エラーなし	0	R/W
				W	リセット(0)	無効		
	D4	OER	オーバーランエラーフラグ	R	エラー	エラーなし	0	R/W
				W	リセット(0)	無効		
	D3	RXTRG	受信トリガ/ステータス	R	受信中	停止中	0	R/W
				W	トリガ	無効		
	D2	RXEN	受信許可		許可	禁止	0	R/W
	D1	TXTRG	送信トリガ/ステータス	R	送信中	停止中	0	R/W
				W	トリガ	無効		
	D0	TXEN	送信許可		許可	禁止	0	R/W
00FF4A	D7	TRXD7	送受信データD7 (MSB)					
	D6	TRXD6	送受信データD6					
	D5	TRXD5	送受信データD5					
	D4	TRXD4	送受信データD4					
	D3	TRXD3	送受信データD3					
	D2	TRXD2	送受信データD2					
	D1	TRXD1	送受信データD1					
	D0	TRXD0	送受信データD0 (LSB)					

表5.8.9.1(b) シリアルインタフェースの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈		
00FF20	D7	PK01	K00～K07割り込み	PK01 PK00 PSIF1 PSIFO PSW1 PSW0 PTM1 PTMO	PK01 PK00 PSIF1 PSIFO PSW1 PSW0 PTM1 PTMO	優先 レベル	0 R/W			
	D6	PK00	プライオリティレジスタ							
	D5	PSIF1	シリアルインタフェース割り込み							
	D4	PSIF0	プライオリティレジスタ							
	D3	PSW1	ストップウォッチタイマ割り込み		1	1 レベル3				
	D2	PSW0	プライオリティレジスタ		1	0 レベル2				
	D1	PTM1	計時タイマ割り込み		0	1 レベル1				
	D0	PTM0	プライオリティレジスタ		0	0 レベル0				
00FF23	D7	EPT1	プログラマブルタイマ1割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0 R/W				
	D6	EPT0	プログラマブルタイマ0割り込みイネーブルレジスタ							
	D5	EK1	K10, K11割り込みイネーブルレジスタ							
	D4	EK0H	K04～K07割り込みイネーブルレジスタ							
	D3	EK0L	K00～K03割り込みイネーブルレジスタ							
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブルレジスタ							
	D1	ESREC	シリアルI/F(受信)割り込みイネーブルレジスタ							
	D0	ESTRA	シリアルI/F(送信)割り込みイネーブルレジスタ							
00FF25	D7	FPT1	プログラマブルタイマ1割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0 R/W				
	D6	FPT0	プログラマブルタイマ0割り込み要因フラグ							
	D5	FK1	K10, K11割り込み要因フラグ							
	D4	FK0H	K04～K07割り込み要因フラグ							
	D3	FK0L	K00～K03割り込み要因フラグ	(W) リセット	(W) 無効					
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ							
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ							
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ							

**ESIF: 00FF48H·D0**

シリアルインタフェース用端子(P10～P13)の設定を行います。

- "1"書き込み: シリアル入出力端子
- "0"書き込み: 入出力兼用ポート端子
- 読み出し: 可能

ESIFはシリアルインタフェースイネーブルレジスタで、"1"を書き込んだ場合はP10～P13端子がシリアル入出力端子(SIN、SOUT、SCLK、SRDY)となり、"0"を書き込んだ場合は入出力兼用ポート端子となります。

なお、転送モードによる端子の設定は表5.8.3.2を参照してください。イニシャルリセット時、ESIFは"0"(入出力兼用ポート)に設定されます。

**SMD0, SMD1: 00FF48H·D1, D2**

転送モードを表5.8.9.2のとおり設定します。

表5.8.9.2 転送モードの設定

SMD1	SMD0	モード
1	1	調歩同期式8ビット
1	0	調歩同期式7ビット
0	1	クロック同期式スレーブ
0	0	クロック同期式マスター

SMD0、SMD1は読み出しも可能です。

イニシャルリセット時、本レジスタは"0"(クロック同期式マスター)に設定されます。

**SCS0, SCS1: 00FF48H·D3, D4**

クロック源を表5.8.9.3のとおり選択します。

表5.8.9.3 クロック源の選択

SCS1	SCS0	クロック源
1	1	プログラマブルタイマ
1	0	fosc3 / 4
0	1	fosc3 / 8
0	0	fosc3 / 16

SCS0、SCS1は読み出しも可能です。

クロック同期式スレーブモードでは、本レジスタの設定は無効です。

イニシャルリセット時、本レジスタは"0"(fosc3/16)に設定されます。

**EPR: 00FF48H·D6**

パリティ機能を選択します。

- "1"書き込み: パリティあり
- "0"書き込み: パリティなし
- 読み出し: 可能

受信データのパリティチェックおよび送信データへのパリティビットの付加を行うか行わないかを選択します。EPRに"1"を書き込むと受信データの最上位ビットがパリティビットと見なされてパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。"0"を書き込んだ場合はチェックおよび付加は行われません。

parityは調歩同期式モードの場合にのみ有効で、クロック同期式モードではEPRの設定は無効となります。  
イニシャルリセット時、EPRは"0"(parityなし)に設定されます。

#### PMD: 00FF48H·D5

奇数parity/偶数parityを選択します。

"1"書き込み: 奇数parity  
"0"書き込み: 偶数parity  
読み出し: 可能

PMDに"1"を書き込むと奇数parityが選択され、"0"を書き込むと偶数parityが選択されます。parityチェックおよびparityビットの付加はEPRに"1"が書き込まれている場合にのみ有効で、EPRに"0"が書き込まれている場合は、PMDによる奇数parity/偶数parityの設定は無効となります。  
イニシャルリセット時、PMDは"0"(偶数parity)に設定されます。

#### TXEN: 00FF49H·D0

シリアルインターフェースを送信許可状態に設定します。

"1"書き込み: 送信許可  
"0"書き込み: 送信禁止  
読み出し: 可能

TXENに"1"を書き込むとシリアルインターフェースが送信許可状態となり、"0"を書き込むと送信禁止状態となります。  
シリアルインターフェースのモード初期設定等を行う場合は、TXENを"0"に設定してください。  
イニシャルリセット時、TXENは"0"(送信禁止)に設定されます。

#### TXTRG: 00FF49H·D1

送信開始のトリガ/動作状態(送信中/停止中)を示すステータスとして機能します。

"1"読み出し: 送信中  
"0"読み出し: 停止中  
"1"書き込み: 送信開始  
"0"書き込み: 無効

送信データを書き込んだ後、TXTRGに"1"を書き込むことで送信処理を開始します。  
TXTRGはステータスとして読み出しが可能で、"1"の場合は送信動作中、"0"の場合は送信停止中を示します。  
イニシャルリセット時、TXTRGは"0"(停止中)に設定されます。

#### RXEN: 00FF49H·D2

シリアルインターフェースを受信許可状態に設定します。

"1"書き込み: 受信許可  
"0"書き込み: 受信禁止  
読み出し: 可能

RXENに"1"を書き込むとシリアルインターフェースが受信許可状態となり、"0"を書き込むと受信禁止状態となります。  
シリアルインターフェースのモード初期設定等を行う場合は、RXENを"0"に設定してください。  
イニシャルリセット時、RXENは"0"(受信禁止)に設定されます。

#### RXTRG: 00FF49H·D3

受信開始のトリガ/次のデータの受信準備/動作状態(受信中/停止中)を示すステータスとして機能します。

"1"読み出し: 受信中  
"0"読み出し: 停止中  
"1"書き込み: 受信開始/次のデータの受信準備  
"0"書き込み: 無効

RXTRGは、クロック同期式と調歩同期式で若干動作が異なります。

クロック同期式でのRXTRGは受信開始のトリガとして使用します。  
受信データを読み出し、次の受信準備ができたところでRXTRGに"1"を書き込み受信を開始させます。(スレーブモードではRXTRGに"1"を書き込んだところでSRDYが"0"となります。)

調歩同期式でのRXTRGは、次のデータの受信準備に使用します。受信データバッファにある受信データを読み出し、バッファが空となったことを知らせるためRXTRGに"1"を書き込みます。  
RXTRGに"1"を書き込まなかった場合、次の受信が終了した時点でオーバーランエラーフラグOERが"1"にセットされます。(受信データを読み出す動作とRXTRGに"1"を書き込む動作との間に受信を終了した場合はオーバーランエラーとなります。)

また、RXTRGはステータスとして読み出しが可能で、クロック同期式、調歩同期式どちらのモードでも"1"の場合は受信動作中、"0"の場合は受信停止中を示します。

イニシャルリセット時、RXTRGは"0"(停止中)に設定されます。

**TRXD0~TRXD7: 00FF4AH****送信時**

送信データを送信シフトレジスタに書き込みます。

"1"書き込み: HIGHレベル

"0"書き込み: LOWレベル

送信開始前に送信データを書き込みます。

連続送信の場合、データの書き込みは送信完了割り込みを待ってから行ってください。

調歩同期式7ビットモードにおいてはTRXD7が無効となります。

SOUT端子からはシリアル変換されたデータが、"1"に設定されたビットがHIGH(V<sub>DD</sub>)レベル、"0"に設定されたビットがLOW(V<sub>SS</sub>)レベルとして出力されます。

**受信時**

受信データを読み出します。

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

受信データバッファのデータが読み出せます。

シフトレジスタが本バッファとは別に設けられていますので、調歩同期式モードでは受信動作中にデータの読み出しが行えます。(クロック同期式モードではバッファ機能を使用しません。)

データの読み出しがは受信完了割り込みを待ってから行ってください。

調歩同期式7ビットモードにおいてパリティチェックを行っている場合、パリティビットに対応する8ビット目(TRXD7)には"0"がロードされます。

SIN端子から入力されたシリアルデータはHIGH(V<sub>DD</sub>)レベルのビットを"1"、LOW(V<sub>SS</sub>)レベルのビットを"0"としてパラレル変換され、本バッファにロードされます。

イニシャルリセット時、バッファの内容は不定となります。

**OER: 00FF49H·D4**

オーバーランエラーの発生を示します。

"1"読み出し: エラーあり

"0"読み出し: エラーなし

"1"書き込み: "0"にリセット

"0"書き込み: 無効

OERはオーバーランエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。オーバーランエラーは調歩同期式モードの受信において、RXTRGに"1"を書き込む前に次のデータの受信を完了した場合に発生します。

OERは"1"を書き込むことで"0"にリセットされます。

イニシャルリセット時、およびRXENが"0"のときOERは"0"(エラーなし)に設定されます。

**PER: 00FF49H·D5**

パリティエラーの発生を示します。

"1"読み出し: エラーあり

"0"読み出し: エラーなし

"1"書き込み: "0"にリセット

"0"書き込み: 無効

PERはパリティエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。

パリティエラーは調歩同期式モードでパリティチェックを行っている場合に、パリティの合っていないデータを受信すると発生します。

PERは"1"を書き込むことで"0"にリセットされます。イニシャルリセット時、およびRXENが"0"のとき、PERは"0"(エラーなし)に設定されます。

**FER: 00FF49H·D6**

フレーミングエラーの発生を示します。

"1"読み出し: エラーあり

"0"読み出し: エラーなし

"1"書き込み: "0"にリセット

"0"書き込み: 無効

FERはフレーミングエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。フレーミングエラーは調歩同期式モードの受信において、ストップビットが"0"になっていた場合に発生します。

FERは"1"を書き込むことで"0"にリセットされます。イニシャルリセット時、およびRXENが"0"のときFERは"0"(エラーなし)に設定されます。

**PSIF0, PSIF1: 00FF20H·D4, D5**

シリアルインタフェース割り込みの優先レベルを設定します。

PSIF0, PSIF1はシリアルインタフェース割り込みに対応した割り込みプライオリティレジスタで、設定できる割り込み優先レベルは表5.8.9.4のとおりです。

表5.8.9.4 割り込み優先レベルの設定

PSIF1	PSIF0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

***ESTRA, ESREC, ESERR: 00FF23H·D0, D1, D2***

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

ESTRA、ESREC、ESERRはそれぞれ送信完了、受信完了、受信エラーの割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

***FSTRA, FSREC, FSERR: 00FF25H·D0, D1, D2***

シリアルインタフェース割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

FSTRA、FSREC、FSERRはそれぞれ送信完了、受信完了、受信エラーの割り込みに対応する割り込み要因フラグで、それぞれの要因の発生により"1"にセットされます。

送信完了割り込み要因は、シフトレジスタのデータ送信が終了したところで発生します。

受信完了割り込み要因は、受信データが受信データバッファに転送されたところで発生します。

受信エラー割り込み要因は、データ受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された場合に発生します。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0, I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、本フラグはすべて"0"にリセットされます。

**5.8.10 プログラミング上の注意事項**

(1) シリアルインタフェースのモード初期設定は、送受信が禁止の状態(TXEN=RXEN="0")で行ってください。

(2) シリアルインタフェースが送信(受信)中のときは、TXTRG(RXTRG)に対して二重トリガ("1"書き込み)は行わないでください。また、SLP命令も実行しないでください。(SLP命令を実行する場合はTXEN=RXEN="0"としてください。)

(3) クロック同期式モードでは1本のクロックライン(SCLK)を送受信で共用するため、送信と受信を同時にを行うことはできません。したがって、TXTRG(RXTRG)が"1"の最中はRXTRG(TXTRG)に"1"は書き込まないでください。

(4) 調歩同期式モードにおいて、受信時にパリティエラーおよびフレーミングエラーが発生した場合は受信エラー割り込み要因フラグFSERRは、受信完了割り込み要因フラグFSRECに対して表5.8.10.1に示す時間早く"1"にセットされます。したがって、エラー処理ルーチン等で待ち時間を設けて、受信完了割り込み要因フラグFSRECを"0"にリセットしてください。

なお、オーバーランエラー発生時には受信完了割り込み要因フラグFSRECは"1"にセットされず、受信完了割り込みも発生しません。

表5.8.10.1 エラー発生時のFSERRとFSRECの時間差

クロック源	時間差
fosc3 / n	fosc3 / n の1/2周期
プログラマブルタイム	タイム1アンダーフローの1周期

(5) OSC3発振回路の分周信号をクロック源とする場合は、シリアルインタフェースを使用する以前にOSC3の発振をONさせる必要があります。

なお、OSC3発振回路をONにしてから発振が安定するまでに数msec～数10msecの時間を必要とします。したがって、シリアルインタフェースの送受信開始はOSC3発振ONの後、充分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"8 電気的特性"に発振開始時間の一例を示しますので参照してください。)

イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

## 5.9 計時タイマ

### 5.9.1 計時タイマの構成

S1C88349はOSC1発振回路を原振とする計時タイマを内蔵しています。計時タイマはfosc1を分周した256Hz信号を入力クロックとする8ビットのバイナリカウンタで構成され、各ビット(128~1Hz)のデータをソフトウェアによって読み出すことができます。

通常はこの計時タイマを、時計などの様々な各種の計時機能に使用します。

図5.9.1.1に計時タイマの構成を示します。

### 5.9.2 割り込み機能

計時タイマは32Hz、8Hz、2Hz、1Hzの各信号によって割り込みを発生させることができます。

図5.9.2.1に計時タイマ割り込み回路の構成を示します。

32Hz、8Hz、2Hz、1Hz信号の立ち下がりエッジで、それぞれに対応する割り込み要因フラグFTM32、FTM8、FTM2、FTM1が"1"にセットされ、割り込みが発生します。各割り込み要因フラグに対応した割り込みイネーブルレジスタETM32、ETM8、ETM2、ETM1の設定により、割り込みを禁止することもできます。

また、CPUに対する計時タイマ割り込みの優先レベルを割り込みプライオリティレジスタPTM0、PTM1によって任意のレベル(0~3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については"5.17 割り込みとスタンバイ状態"を参照してください。

各割り込み要因の例外処理ベクタアドレスは、それぞれ以下のとおり設定されています。

32Hz割り込み:	00001CH
8Hz割り込み:	00001EH
2Hz割り込み:	000020H
1Hz割り込み:	000022H

図5.9.2.2に計時タイマのタイミングチャートを示します。

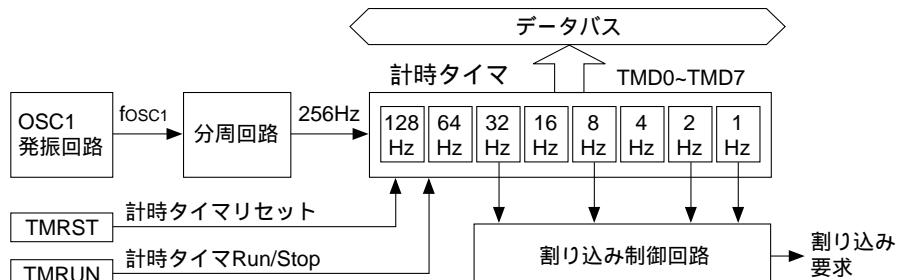


図5.9.1.1 計時タイマの構成

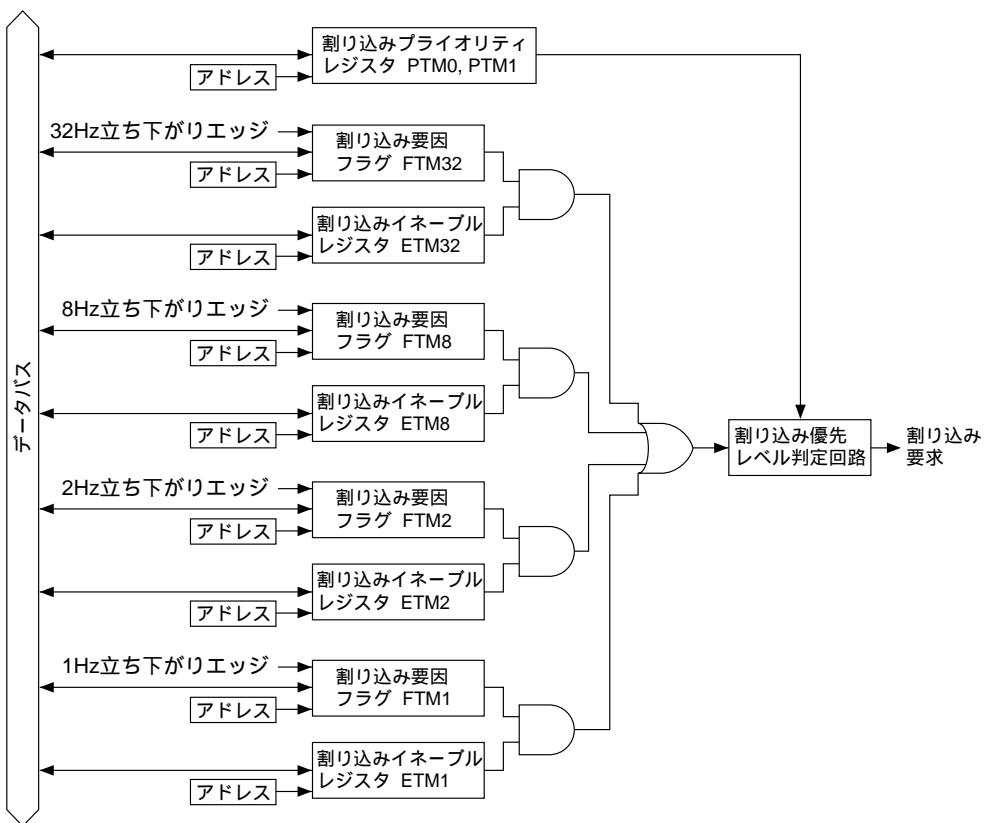


図5.9.2.1 計時タイマ割り込み回路の構成

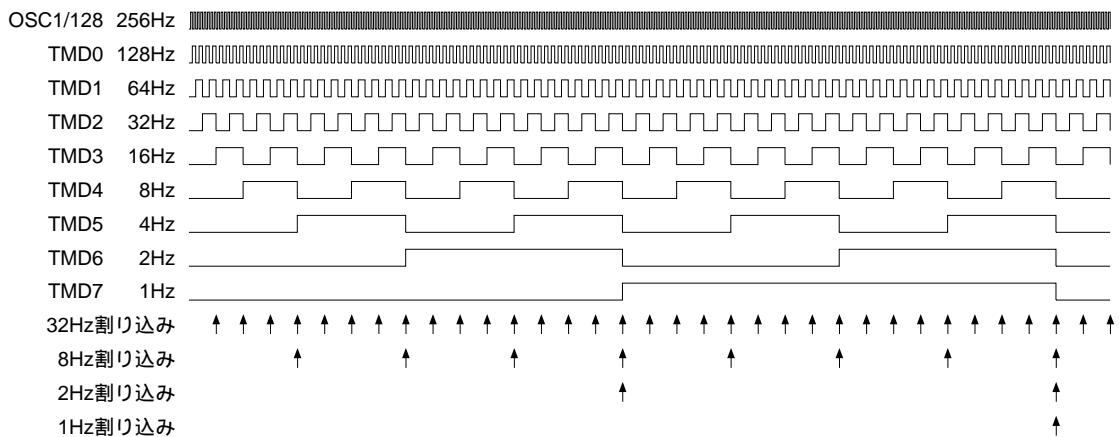


図5.9.2.2 計時タイマのタイミングチャート

### 5.9.3 計時タイマの制御方法

表5.9.3.1に計時タイマの制御ビットを示します。

表5.9.3.1 計時タイマの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈	
00FF40	D7	—	—	—	—	—	—	読み出し時は"0"	
	D6	FOUT2	FOUT周波数選択			0	R/W		
			FOUT2 FOUT1 FOUT0	周波数					
			0 0 0	fosc1 / 1					
			0 0 1	fosc1 / 2		0	R/W		
	D5	FOUT1	0 1 0	fosc1 / 4					
			0 1 1	fosc1 / 8					
			1 0 0	fosc3 / 1					
	D4	FOUT0	1 0 1	fosc3 / 2		0	R/W		
			1 1 0	fosc3 / 4					
			1 1 1	fosc3 / 8					
00FF41	D3	FOUTON	FOUT出力制御	On	Off	0	R/W	読み出し時は常時"0"	
	D2	WDRST	ウォッチドッグタイマリセット	リセット	無効	—	W		
	D1	TMRST	計時タイマリセット	リセット	無効	—	W		
	D0	TMRUN	計時タイマRun/Stop制御	Run	Stop	0	R/W		
00FF42	D7	TMD7	計時タイマデータ 1Hz	High	Low	0	R		
	D6	TMD6	計時タイマデータ 2Hz						
	D5	TMD5	計時タイマデータ 4Hz						
	D4	TMD4	計時タイマデータ 8Hz						
	D3	TMD3	計時タイマデータ 16Hz						
	D2	TMD2	計時タイマデータ 32Hz						
	D1	TMD1	計時タイマデータ 64Hz						
	D0	TMD0	計時タイマデータ128Hz						
00FF20	D7	PK01	K00 ~ K07割り込み	PK01 PK00 PSIF1 PSIFO PSW1 PSW0 PTM1 PTM0	優先 レベル	0	R/W		
	D6	PK00	プライオリティレジスタ			0	R/W		
	D5	PSIF1	シリアルインタフェース割り込み			0	R/W		
	D4	PSIF0	プライオリティレジスタ			0	R/W		
	D3	PSW1	ストップウォッチタイマ割り込み		レベル3 レベル2 レベル1 レベル0	0	R/W		
	D2	PSW0	プライオリティレジスタ			0	R/W		
	D1	PTM1	計時タイマ割り込み			0	R/W		
	D0	PTM0	プライオリティレジスタ			0	R/W		
00FF22	D7	—	—	—	—	—	読み出し時は"0"		
	D6	ESW100	ストップウォッチ100Hz割り込みイネーブルレジスタ						
	D5	ESW10	ストップウォッチ10Hz割り込みイネーブルレジスタ						
	D4	ESW1	ストップウォッチ1Hz割り込みイネーブルレジスタ						
	D3	ETM32	計時タイマ32Hz割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W		
	D2	ETM8	計時タイマ8Hz割り込みイネーブルレジスタ						
	D1	ETM2	計時タイマ2Hz割り込みイネーブルレジスタ						
	D0	ETM1	計時タイマ1Hz割り込みイネーブルレジスタ						
00FF24	D7	—	—	—	—	—	読み出し時は"0"		
	D6	FSW100	ストップウォッチ100Hz割り込み要因フラグ						
	D5	FSW10	ストップウォッチ10Hz割り込み要因フラグ						
	D4	FSW1	ストップウォッチ1Hz割り込み要因フラグ						
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W		
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ						
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ						
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ						

**TMD0~TMD7: 00FF41H**

計時タイマのデータが読み出せます。  
各ビットと周波数との対応は以下のとおりです。

TMD0: 128Hz	TMD4: 8Hz
TMD1: 64Hz	TMD5: 4Hz
TMD2: 32Hz	TMD6: 2Hz
TMD3: 16Hz	TMD7: 1Hz

TMD0~TMD7は読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、タイマデータは"00H"に設定されます。

**TMIRST: 00FF40H·D1**

計時タイマをリセットします。

"1"書き込み: 計時タイマリセット  
"0"書き込み: ノーオペレーション  
読み出し: 常時"0"

計時タイマはTMRSTに"1"を書き込むことによってリセットされます。計時タイマがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合はリセットデータ"00H"が保持されます。

"0"の書き込みはノーオペレーションとなります。TMRSTは書き込み専用のため、読み出し時は常時"0"となります。

**TMRUN: 00FF40H·D0**

計時タイマのRUN/STOPを制御します。

"1"書き込み: RUN  
"0"書き込み: STOP  
読み出し: 可能

計時タイマはTMRUNに"1"を書き込むことによってアップカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではリセットか次にRUN状態にするまで、タイマのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

イニシャルリセット時、TMRUNは"0"(STOP)に設定されます。

**PTM0, PTM1: 00FF20H·D0, D1**

計時タイマ割り込みの優先レベルを設定します。PTM0、PTM1は計時タイマ割り込みに対応した割り込みプライオリティレジスタで、設定できる割り込み優先レベルは表5.9.3.2のとおりです。

表5.9.3.2 割り込み優先レベルの設定

PTM1	PTM0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

**ETM1, ETM2, ETM8, ETM32: 00FF22H·D0~D3**

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可  
"0"書き込み: 割り込み禁止  
読み出し: 可能

ETM1、ETM2、ETM8、ETM32はそれぞれ1Hz、2Hz、8Hz、32Hzの割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

**FTM1, FTM2, FTM8, FTM32: 00FF24H·D0~D3**

計時タイマ割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり  
"0"読み出し: 割り込み要因なし  
"1"書き込み: 要因フラグをリセット  
"0"書き込み: 無効

FTM1、FTM2、FTM8、FTM32はそれぞれ1Hz、2Hz、8Hz、32Hzの割り込みに対応する割り込み要因フラグで、各信号の立ち下がリエッジに同期して"1"にセットされます。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、本フラグはすべて"0"にリセットされます。

### 5.9.4 プログラミング上の注意事項

- (1) 計時タイマはレジスタTMRUNへの書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRUN/STOP状態となります。
- したがって、TMRUNに"0"を書き込んだ場合は、"+1"余分にカウントしたところでタイマが停止状態となります。また、このときTMRUNは実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。
- 図5.9.4.1にRUN/STOP制御のタイミングチャートを示します。

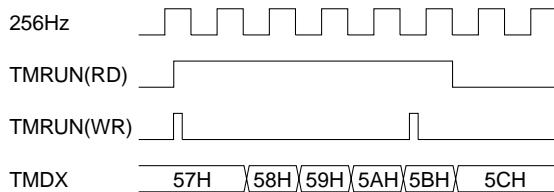


図5.9.4.1 RUN/STOP制御のタイミングチャート

- (2) 計時タイマがRUNしている状態(TMRUN="1")でSLP命令を実行した場合は、SLEEP状態からの復帰時に計時タイマが不安定な動作となります。したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前に計時タイマをSTOP状態(TMRUN="0")に設定してください。

## 5.10 ストップウォッチタイマ

### 5.10.1 ストップウォッチタイマの構成

S1C88349は1/100sec単位と1/10sec単位のストップウォッチタイマを内蔵しています。ストップウォッチタイマはfosc1を分周した256Hz信号を入力クロックとする4ビット2段のBCDカウンタ(1/100sec単位、1/10sec単位)で構成され、カウントデータをソフトウェアによって読み出すことができます。

図5.10.1.1にストップウォッチタイマの構成を示します。

ストップウォッチタイマは計時タイマとは別のタイマとして使用することができ、ストップウォッチ機能などをソフトウェアによって容易に実現することができます。

### 5.10.2 カウントアップパターン

ストップウォッチタイマは、それぞれ4ビットのBCDカウンタSWD0～SWD3とSWD4～SWD7で構成されています。

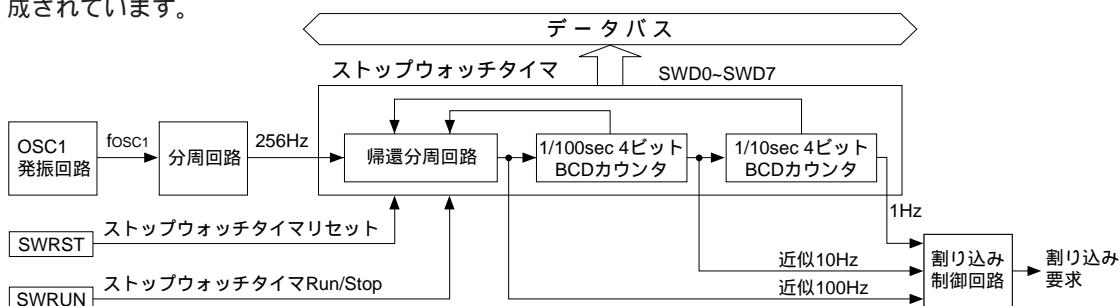


図5.10.1.1 ストップウォッチタイマの構成

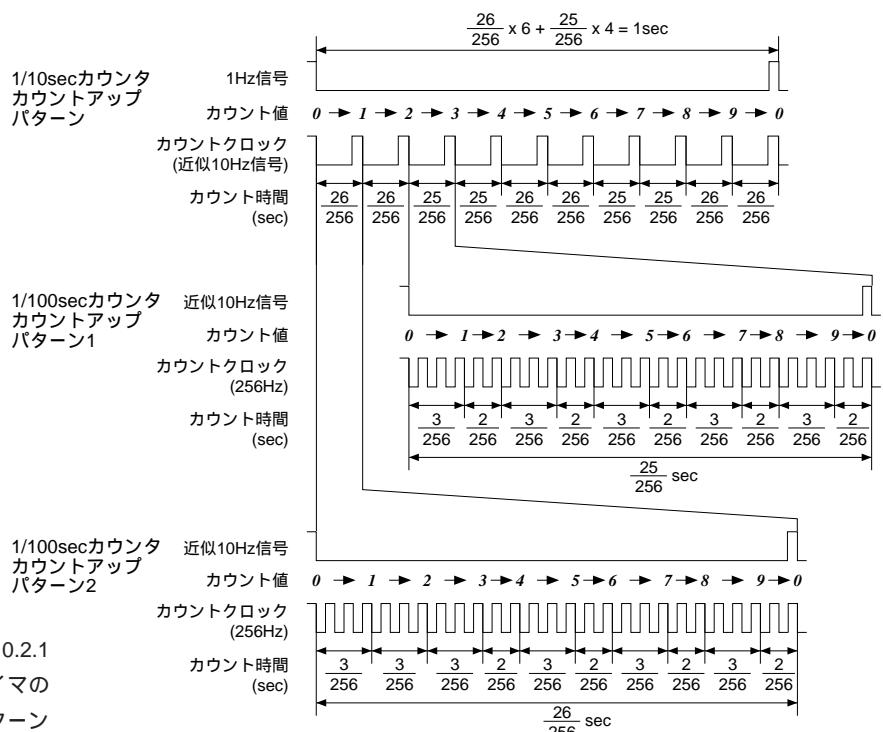


図5.10.2.1

ストップウォッチタイマの  
カウントアップパターン

図5.10.2.1にストップウォッチタイマのカウントアップパターンを示します。

帰還分周回路はfosc1を分周した256Hz信号から2/256secと3/256sec間隔の近似100Hz信号を発生します。

1/100secカウンタ(SWD0～SWD3)は、帰還分周回路が2/256secと3/256sec間隔で発生する近似100Hz信号をカウントして、25/256secと26/256sec間隔の近似10Hz信号を発生します。

カウントアップは、2/256secと3/256sec間隔による擬似的な1/100secカウントとなります。

1/10secカウンタ(SWD4～SWD7)は、1/100secカウンタが25/256secと26/256sec間隔で発生する近似10Hz信号を4:6の割合でカウントして、1Hz信号を発生します。

カウントアップは、25/256secと26/256sec間隔による擬似的な1/10secカウントとなります。

### 5.10.3 割り込み機能

ストップウォッチタイマは100Hz(近似100Hz)、10Hz(近似10Hz)、1Hzの各信号によって割り込みを発生させることができます。

図5.10.3.1にストップウォッチタイマ割り込み回路の構成を示します。

100Hz、10Hz、1Hz信号の立ち下がりエッジで、それぞれに対応する割り込み要因フラグFSW100、FSW10、FSW1が"1"にセットされ、割り込みが発生します。各割り込み要因フラグに対応した割り込みイネーブルレジスタESW100、ESW10、ESW1の設定により、割り込みを禁止することもできます。

また、CPUに対するストップウォッチタイマ割り込みの優先レベルを割り込みプライオリティレジスタPSW0、PSW1によって任意のレベル(0~3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については"5.17 割り込みとスタンバイ状態"を参照してください。

各割り込み要因の例外処理ベクタアドレスは、それぞれ以下のとおり設定されています。

100Hz割り込み: 000016H

10Hz割り込み: 000018H

1Hz割り込み: 00001AH

図5.10.3.2にストップウォッチタイマのタイミングチャートを示します。

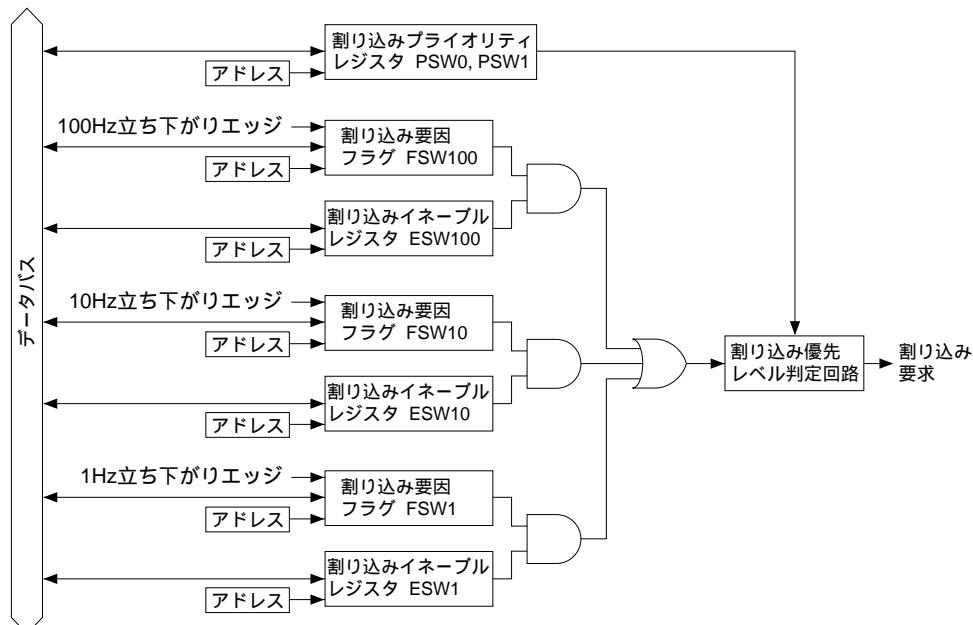


図5.10.3.1 ストップウォッチタイマ割り込み回路の構成

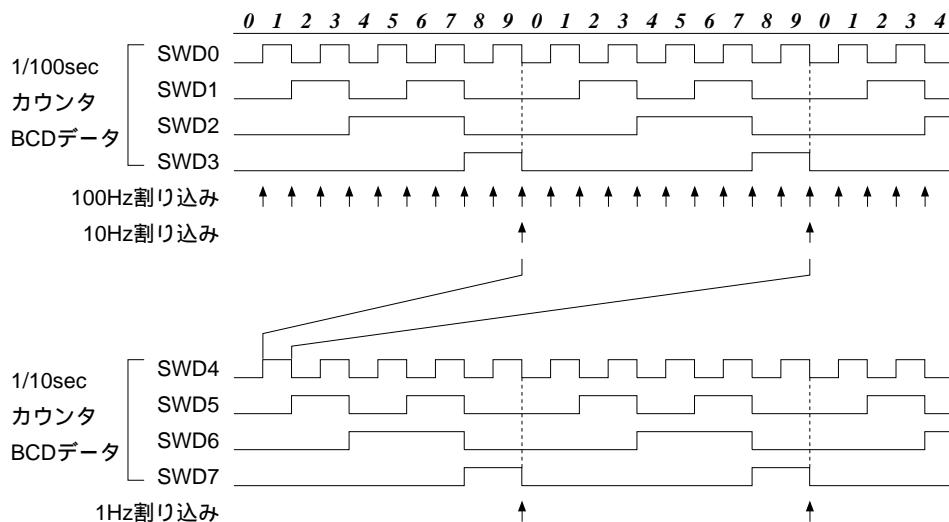


図5.10.3.2 ストップウォッチタイマのタイミングチャート

### 5.10.4 ストップウォッチタイマの制御方法

表5.10.4.1にストップウォッチタイマの制御ビットを示します。

表5.10.4.1 ストップウォッチタイマの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF42	D7	—	—	—	—	—		読み出し時は常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	SWRST	ストップウォッチタイマリセット	リセット	無効	—	W	
	D0	SWRUN	ストップウォッチタイマRun/Stop制御	Run	Stop	0	R/W	
00FF43	D7	SWD7	ストップウォッチタイマデータ					
	D6	SWD6	BCD (1/10sec)					
	D5	SWD5	ストップウォッチタイマデータ					
	D4	SWD4	BCD (1/100 sec)					
	D3	SWD3	ストップウォッチタイマデータ					
	D2	SWD2	BCD (1/1000 sec)					
	D1	SWD1	ストップウォッチタイマデータ					
	D0	SWD0	BCD (1/10000 sec)					
00FF20	D7	PK01	K00～K07割り込み	PK01 PK00 PSIF1 PSIFO PSW1 PSW0 PTM1 PTM0	優先 レベル 1 1 レベル3 1 0 レベル2 0 1 レベル1 0 0 レベル0	0	R/W	
	D6	PK00	プライオリティレジスタ			0	R/W	
	D5	PSIF1	シリアルインタフェース割り込み			0	R/W	
	D4	PSIFO	プライオリティレジスタ			0	R/W	
	D3	PSW1	ストップウォッチタイマ割り込み			0	R/W	
	D2	PSW0	プライオリティレジスタ			0	R/W	
	D1	PTM1	計時タイマ割り込み			0	R/W	
	D0	PTM0	プライオリティレジスタ			0	R/W	
00FF22	D7	—	—	割り込み 許可	割り込み 禁止	—	—	読み出し時は"0"
	D6	ESW100	ストップウォッチ100Hz割り込みイネーブルレジスタ					
	D5	ESW10	ストップウォッチ10Hz割り込みイネーブルレジスタ					
	D4	ESW1	ストップウォッチ1Hz割り込みイネーブルレジスタ					
	D3	ETM32	計時タイマ32Hz割り込みイネーブルレジスタ					
	D2	ETM8	計時タイマ8Hz割り込みイネーブルレジスタ					
	D1	ETM2	計時タイマ2Hz割り込みイネーブルレジスタ					
	D0	ETM1	計時タイマ1Hz割り込みイネーブルレジスタ					
00FF24	D7	—	—	(R) 割り込み 要因あり	(R) 割り込み 要因なし	—	—	読み出し時は"0"
	D6	FSW100	ストップウォッチ100Hz割り込み要因フラグ					
	D5	FSW10	ストップウォッチ10Hz割り込み要因フラグ					
	D4	FSW1	ストップウォッチ1Hz割り込み要因フラグ					
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ					
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ					
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ					
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ					

**SWD0~SWD7: 00FF43H**

ストップウォッチタイマのデータが読み出せます。上位/下位ビブルとBCD桁との対応は以下のとおりです。

SWD0 ~ SWD3: BCD (1/100sec)  
SWD4 ~ SWD7: BCD (1/10sec)

SWD0 ~ SWD7は読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、タイマデータは"00H"に設定されます。

**SWRST: 00FF42H·D1**

ストップウォッチタイマをリセットします。

"1"書き込み: ストップウォッチタイマリセット  
"0"書き込み: ノーオペレーション  
読み出し: 常時"0"

ストップウォッチタイマはSWRSTに"1"を書き込むことによってリセットされます。ストップウォッチタイマがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合はリセットデータ"00H"が保持されます。

"0"の書き込みはノーオペレーションとなります。SWRSTは書き込み専用のため、読み出し時は常時"0"となります。

**SWRUN: 00FF42H·D0**

ストップウォッチタイマのRUN/STOPを制御します。

"1"書き込み: RUN  
"0"書き込み: STOP  
読み出し: 可能

ストップウォッチタイマはSWRUNに"1"を書き込むことによってアップカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではリセットが次にRUN状態にするまで、タイマのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

イニシャルリセット時、SWRUNは"0"(STOP)に設定されます。

**PSW0, PSW1: 00FF20H·D2, D3**

ストップウォッチタイマ割り込みの優先レベルを設定します。PSW0、PSW1はストップウォッチタイマ割り込みに対応した割り込みプライオリティレジスタで、設定できる割り込み優先レベルは表5.10.4.2のとおりです。

表5.10.4.2 割り込み優先レベルの設定

PSW1	PSW0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

**ESW1, ESW10, ESW100: 00FF22H·D4, D5, D6**

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可  
"0"書き込み: 割り込み禁止  
読み出し: 可能

ESW1、ESW10、ESW100はそれぞれ1Hz、10Hz、100Hzの割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

**FSW1, FSW10, FSW100: 00FF24H·D4, D5, D6**

タイマ割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり  
"0"読み出し: 割り込み要因なし  
"1"書き込み: 要因フラグをリセット  
"0"書き込み: 無効

FSW1、FSW10、FSW100はそれぞれ1Hz、10Hz、100Hzの割り込みに対応する割り込み要因フラグで、各信号の立ち下がりエッジに同期して"1"にセットされます。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、本フラグはすべて"0"にリセットされます。

### 5.10.5 プログラミング上の注意事項

(1) ストップウォッチタイマはレジスタSWRUNへの書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRUN/STOP状態となります。

したがって、SWRUNに"0"を書き込んだ場合は、"+1"余分にカウントしたところでタイマが停止状態となる場合があります。また、このときSWRUNは実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。

図5.10.5.1にRUN/STOP制御のタイミングチャートを示します。

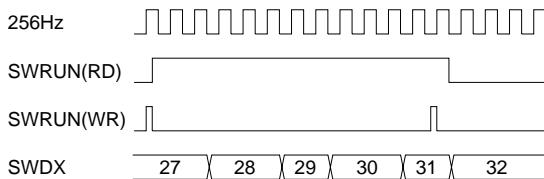


図5.10.5.1 RUN/STOP制御のタイミングチャート

(2) ストップウォッチタイマがRUNしている状態(SWRUN="1")でSLP命令を実行した場合は、SLEEP状態からの復帰時にストップウォッチタイマが不安定な動作となります。

したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前にストップウォッチタイマをSTOP状態(SWRUN="0")に設定してください。

## 5.11 プログラマブルタイマ

### 5.11.1 プログラマブルタイマの構成

S1C88349は8ビットのプログラマブルタイマを2系統(タイマ0およびタイマ1)内蔵しています。タイマ0とタイマ1は8ビットプリセッタブルダウンカウンタで構成され、8ビット×2チャンネルあるいは16ビット×1チャンネルのプログラマブルタイマとして使用することができます。また、K10入力ポート端子を使用したイベントカウンタ機能とパルス幅測定タイマ機能も合わせ持っています。

図5.11.1.1にプログラマブルタイマの構成を示します。

プログラマブルタイマのアンダーフロー信号をシリアルインタフェースの同期クロックとして使用できるため、転送速度のプログラマブルな設定が可能です。また、このアンダーフローの1/2分周信号をR27出力ポート端子から外部に出力させることもできます。

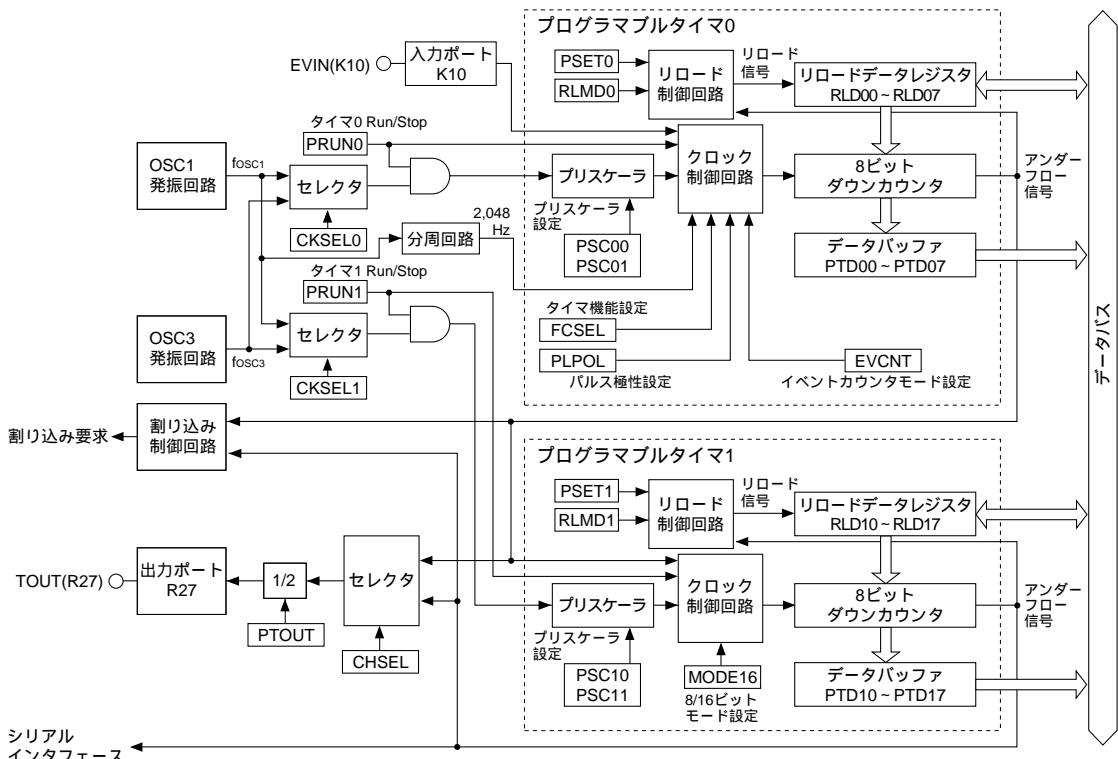


図5.11.1.1 プログラマブルタイマの構成

### 5.11.2 カウント動作と基本モード設定

ここでは、プログラマブルタイマの基本動作と設定について説明をします。

#### 初期値の設定とダウンカウント

タイマ0およびタイマ1にはそれぞれ、8ビットのダウンカウンタとリロードデータレジスタが設けられています。

リロードデータレジスタRLD00～RLD07(タイマ0)、RLD10～RLD17(タイマ1)はカウンタの初期値を設定するレジスタです。

ダウンカウンタは、リロードデータレジスタRLDに設定された初期値をプリセット制御ビットPSET0(タイマ0)、PSET1(タイマ1)への"1"書き込みによってロードします。したがって、このロードされた初期値から入力クロックによるダウンカウントが行われます。

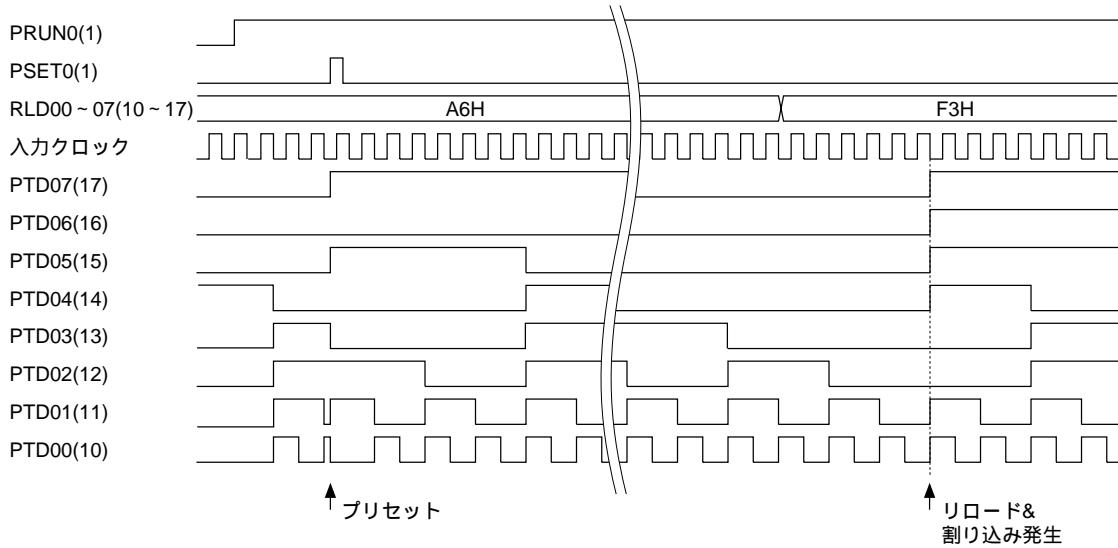


図5.11.2.1 カウンタの基本動作タイミング

タイマ0およびタイマ1にはそれぞれ、RUN/STOPを制御するレジスタPRUN0(タイマ0)、PRUN1(タイマ1)が設けられています。リロードデータをカウンタにプリセットした後、本レジスタに"1"を書き込むことによってダウンカウントが開始されます。"0"を書き込むとクロックの入力が禁止され、カウントは停止します。このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始することができます。

カウンタのデータの読み出しへはデータバッファPTD00 ~ PTD07(タイマ0)、PTD10 ~ PTD17(タイマ1)を介して行い、任意のタイミングで読み出しが可能です。

カウンタはダウンカウントが進んでアンダーフローが発生すると、リロードデータレジスタRLDに設定された初期値をリロードします。このアンダーフロー信号はカウンタのリロードのほか、割り込みの発生、外部へのパルス(TOUT信号)出力、シリアルインタフェースへのクロック供給を制御します。

### 連続/ワンショットモード設定

連続/ワンショットモード選択レジスタCONT0(タイマ0)、CONT1(タイマ1)に"1"を書き込むことによって、プログラマブルタイマは連続モードに設定されます。連続モードでは、アンダーフロー発生時にカウンタの初期値を自動的にリロードしてダウンカウントを継続します。このモードはプログラマブルなインターバルを必要とする用途(割り込み、シリアルインタフェースの同期クロック等)に適しています。

一方、レジスタCONT0(タイマ0)、CONT1(タイマ1)に"0"を書き込んだ場合はワンショットモードとなり、カウンタはアンダーフロー発生時に初期値をリロードして停止します。このとき、RUN/STOP制御レジスタPRUN0(タイマ0)、PRUN1(タイマ1)は自動的に"0"にリセットされます。カウンタが停止した後、レジスタPRUN0(タイマ0)、PRUN1(タイマ1)に"1"を書き込むことによって再度ワンショットカウントを行うことができます。このモードは単発的な時間計測等に適しています。

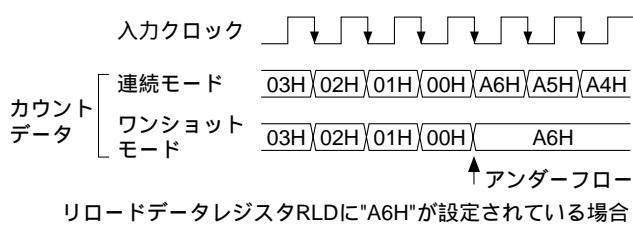


図5.11.2.2 連続モードとワンショットモード

### 8/16ビットモード設定

8/16ビットモード選択レジスタMODE16に"0"を書き込むことによって、タイマ0およびタイマ1は8ビット×2チャンネルの独立したタイマに設定されます。このモードでは、タイマ0とタイマ1を個別に制御することができ、それぞれはまったく別のタイマとして動作します。一方、レジスタMODE16に"1"を書き込んだ場合は、タイマ0およびタイマ1は1チャンネルの16ビットタイマに設定されます。このモードでは、タイマ0を下位8ビット、タイマ1を上位8ビットとした16ビットのカウントが行われ、タイマはタイマ0側のレジスタによって制御されます。この場合、タイマ1側のレジスタの制御は無効となります。(PRUN1は"0"に固定されます。)

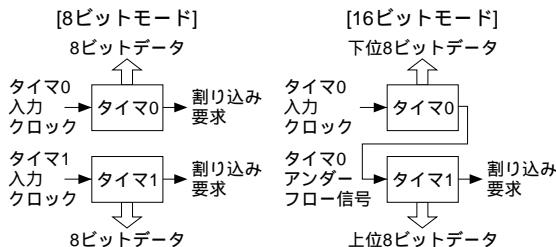


図5.11.2.3 8/16ビットモード設定とカウンタの構成

### 5.11.3 入力クロックの設定

タイマ0およびタイマ1にはそれぞれ、プリスケーラが設けられています。プリスケーラはOSC1またはOSC3発振回路から供給される原振クロックを分周して、それぞれのタイマへの入力クロックを発生します。

原振クロックとプリスケーラの分周比はタイマ0、タイマ1でそれぞれ個別にソフトウェアで選択することができます。

入力クロックは以下の手順で設定します。

#### (1) 原振クロックの選択

それぞれのプリスケーラに入力する原振クロックを、OSC1とするかOSC3とするかを選択します。この選択は、原振クロック選択レジスタCKSEL0(タイマ0)、CKSEL1(タイマ1)によって行われ、"0"を書き込むとOSC1、"1"を書き込むとOSC3が選択されます。16ビットモードを選択している場合は、レジスタCKSEL0によって原振クロックが選択され、レジスタCKSEL1の設定は無効となります。

OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3の発振をONさせる必要があります。

なお、OSC3発振回路をONにしてから発振が安定するまでに数 msec ~ 数10 msecの時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ONの後、充分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"8 電気的特性"に発振開始時間の一例を示しますので参照してください。)

イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

#### (2) プリスケーラ分周比の選択

それぞれのプリスケーラの分周比を4種類の中から選択します。この選択は、プリスケーラ分周比選択レジスタPSC00/PSC01(タイマ0)、PSC10/PSC11(タイマ1)によって行われ、設定値と分周比とが表5.11.3.1に示すとおり対応しています。

表5.11.3.1 プリスケーラ分周比の選択

PSC11 PSC01	PSC10 PSC00	プリスケーラ分周比
1	1	原振クロック / 64
1	0	原振クロック / 16
0	1	原振クロック / 4
0	0	原振クロック / 1

レジスタPRUN0(タイマ0)、PRUN1(タイマ1)に"1"を書き込むことによって、原振クロックがプリスケーラに入力されます。これによって、選択した分周比のクロックがタイマに入力され、タイマがダウンカウントを開始します。なお、16ビットモードを選択している場合は、レジスタPSC00/PSC01によって原振クロックの分周比が選択され、レジスタPSC10/PSC11の設定は無効となります。

### 5.11.4 タイマモード

タイマモードはプリスケーラの出力を入力クロックとしてダウンカウントを行うモードです。このモードは、OSC1またはOSC3発振回路を原振として一定周期ごとにカウントを行うタイマとして動作します。

タイマの基本的な動作と制御については"5.11.2 カウント動作と基本モード設定"を、原振とプリスケーラの設定については"5.11.3 入力クロックの設定"をそれぞれ参照してください。

### 5.11.5 イベントカウンタモード

タイマ0には、K10入力ポート端子に外部クロック(EVIN)を入力してカウントを行うイベントカウンタ機能があります。この機能は、タイマ0カウンタモード選択レジスタEVCNTに"1"を書き込むことによって選択されます。

イベントカウンタモードを選択した場合は、8ビットモードではタイマ0がイベントカウンタ、タイマ1が通常のタイマとして動作します。また、16ビットモードではタイマ0とタイマ1が1チャンネルの16ビットイベントカウンタとして動作します。

イベントカウンタモードでは、外部からタイマ0にクロックが供給されるため、レジスタPSC00/PSC01の設定は無効となります。

ダウンカウントのタイミングは、タイマ0パルス極性選択レジスタPLPOLによって、立ち下がりエッジまたは立ち上がりエッジのどちらかが選択できます。レジスタPLPOLに"0"を書き込んだ場合が立ち下がりエッジ、"1"を書き込んだ場合が立ち上がりエッジとなり、図5.11.5.1に示すタイミングでダウンカウントが行われます。

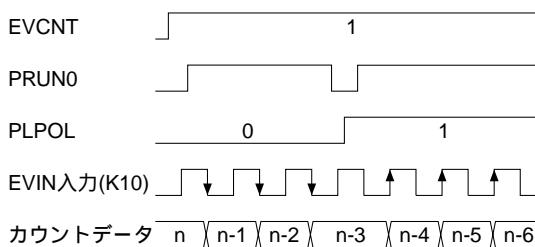


図5.11.5.1 イベントカウンタモードの  
タイミングチャート

イベントカウンタモードにはこのほかに、外部クロック(EVIN)入力に対してチャタリング等のノイズを除去するノイズリジェクタ付加機能があります。この機能はタイマ0機能選択レジスタFCSELに"1"を書き込むことによって選択されます。

ノイズリジェクタ付きを選択した場合は確実なカウントを行うために、LOWレベル/HIGHレベル共に0.98msec以上のパルス幅を確保する必要があります。(ノイズリジェクタは、K10入力ポート端子の入力レベルが変化してから2度目の内部2,048Hz信号の立ち下がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msecとなります。)

図5.11.5.2にノイズリジェクタ付加時のダウンカウントタイミングを示します。

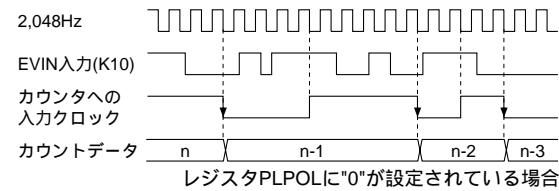


図5.11.5.2 ノイズリジェクタ付加時の  
ダウンカウントタイミング

イベントカウンタモードは、入力クロックが外部クロック(EVIN)となること以外はタイマモードと同等です。

カウントの基本的な動作と制御については"5.11.2 カウント動作と基本モード設定"を参照してください。

### 5.11.6 パルス幅測定タイマモード

タイマ0には、K10入力ポート端子に入力される信号(EVIN)の幅を測定するパルス幅測定タイマ機能があります。この機能はタイマモード(EVCNT="0")において、タイマ機能選択レジスタFCSELに"1"を書き込むことによって選択されます。

パルス幅測定タイマモードを選択した場合は、8ビットモードではタイマ0がパルス幅測定タイマ、タイマ1が通常のタイマとして動作します。また、16ビットモードではタイマ0とタイマ1が1チャンネルの16ビットパルス幅測定タイマとして動作します。

測定対象とする入力信号(EVIN)のレベルは、タイマ0パルス極性選択レジスタPLPOLによって、LOWレベルまたはHIGHレベルのどちらかが選択できます。レジスタPLPOLに"0"を書き込んだ場合がLOWレベル幅測定、"1"を書き込んだ場合がHIGHレベル幅測定となり、図5.11.6.1に示すタイミングでダウンカウントが行われます。

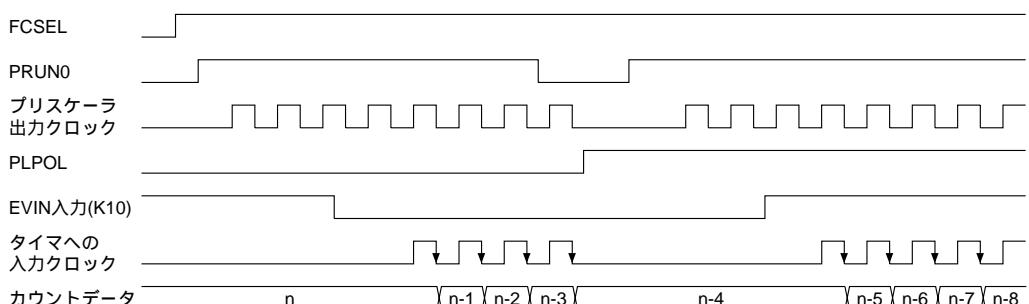


図5.11.6.1 パルス幅測定タイマモードのタイミングチャート

パルス幅測定タイマモードは、入力クロックがK10入力ポート端子に入力される信号(EVIN)のレベルによって制御されること以外はタイマモードと同等です。

カウントの基本的な動作と制御については、"5.11.2 カウント動作と基本モード設定"を参照してください。

### 5.11.7 割り込み機能

プログラマブルタイマは、タイマ0およびタイマ1の各アンダーフロー信号によって割り込みを発生させることができます。

図5.11.7.1にプログラマブルタイマ割り込み回路の構成を示します。

タイマ0およびタイマ1の各アンダーフロー信号によって、それぞれに対応する割り込み要因フラグFPT0、FPT1が"1"にセットされ、割り込みが発生します。各割り込み要因フラグに対応した割り込みイネーブルレジスタEPT0、EPT1の設定により、割り込みを禁止することもできます。

また、CPUに対するプログラマブルタイマ割り込みの優先レベルを割り込みプライオリティレジスタPPT0、PPT1によって任意のレベル(0～3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については"5.17 割り込みとスタンバイ状態"を参照してください。

各割り込み要因の例外処理ベクタアドレスは、それぞれ以下のとおり設定されています。

プログラマブルタイマ1割り込み: 000006H

プログラマブルタイマ0割り込み: 000008H

なお、16ビットモードを選択している場合は割り込み要因フラグFPT0は"1"にセットされず、タイマ0の割り込みも発生しません。(16ビットモード時は、16ビットカウンタのアンダーフローによって割り込み要因フラグFPT1が"1"にセットされます。)

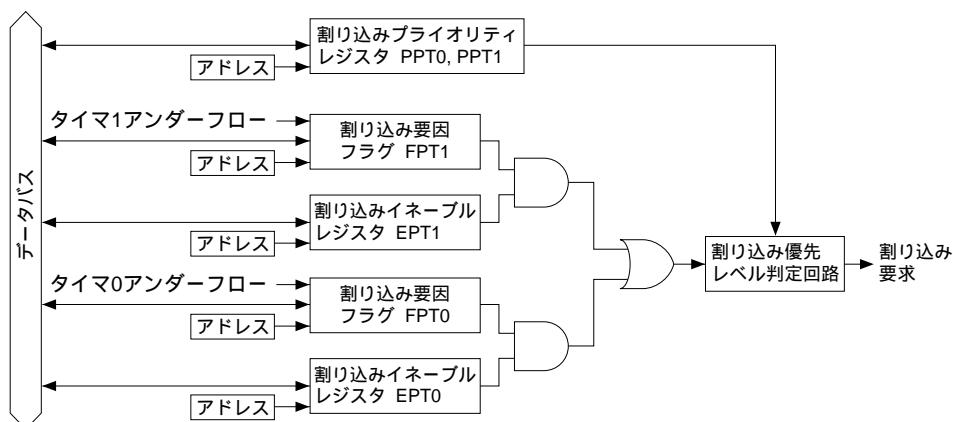


図5.11.7.1 プログラマブルタイマ割り込み回路の構成

### 5.11.8 TOUT出力の設定

プログラマブルタイマは、タイマ0またはタイマ1のアンダーフローによってTOUT信号を発生させることができます。TOUT信号は先アンダーフローを1/2分周した信号で、TOUT出力チャンネル選択レジスタCHSELによって、どちらのタイマのアンダーフローを使用するかを選択することができます。レジスタCHSELに"0"を書き込んだ場合がタイマ0、"1"を書き込んだ場合がタイマ1となります。ただし、16ビットモードではタイマ1(16ビットタイマのアンダーフロー)固定となり、レジスタCHSELの設定は無効となります。

図5.11.8.1にチャンネル切り換え時のTOUT信号波形を示します。

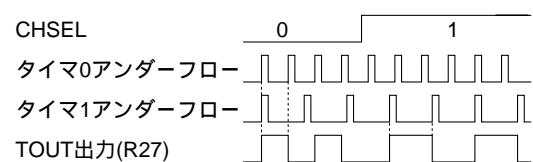


図5.11.8.1 チャンネル切り換え時のTOUT信号波形

TOUT信号はR27出力ポート端子から出力させることができます、外部デバイス等に対してプログラマブルなクロックを供給することができます。

R27出力ポートの構成を図5.11.8.2に示します。

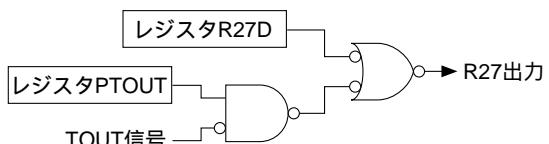


図5.11.8.2 R27の構成

TOUT信号はレジスタPTOUTによって出力制御が行われます。PTOUTに"1"を設定するとTOUT信号がR27出力ポート端子から出力され、"0"を設定するとHIGH(VDD)レベルが出力されます。このとき、データレジスタR27Dには常時"1"が設定されている必要があります。

なお、TOUT信号はレジスタPTOUTとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.11.8.3にTOUT信号の出力波形を示します。

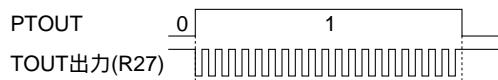


図5.11.8.3 TOUT信号の出力波形

## 5.11.9 シリアルインターフェースの 転送速度設定

タイマ1のアンダーフロー信号をシリアルインターフェースのクロック源として使用することができます。

この場合の転送速度の設定はレジスタPSC1X、RLD1Xによって行い、タイマ1のカウントモードをリロードカウントモード(RLMD1="1")に設定して使用します。

タイマ1のアンダーフロー信号はシリアルインターフェース内で1/32分周されるため、転送速度に対するレジスタRLD1Xへの設定値は次式のようになります。

$$RLD1X = fosc / (32 * bps * 4^{PSC1X}) - 1$$

fosc: 発振周波数 (OSC1/OSC3)

bps: 転送速度

PSC1X: レジスタPSC1X設定値 (0 ~ 3)

(RLD1Xには00Hも設定可能)

表5.11.9.1にOSC3発振回路を原振とした場合の転送速度の設定例を示します。

表5.11.9.1 転送速度の設定例

転送速度 (bps)	OSC3発振周波数/プログラマブルタイマの設定					
	fosc3=3.072MHz		fosc3=4.608MHz		fosc3=4.9152MHz	
	PSC1X	RLD1X	PSC1X	RLD1X	PSC1X	RLD1X
9,600	0 (1/1)	09H	0 (1/1)	0EH	0 (1/1)	0FH
4,800	0 (1/1)	13H	0 (1/1)	1DH	0 (1/1)	1FH
2,400	0 (1/1)	27H	0 (1/1)	3BH	0 (1/1)	3FH
1,200	0 (1/1)	4FH	0 (1/1)	77H	0 (1/1)	7FH
600	0 (1/1)	9FH	0 (1/1)	EFH	0 (1/1)	FFH
300	1 (1/4)	4FH	1 (1/4)	77H	1 (1/4)	7FH
150	1 (1/4)	9FH	1 (1/4)	EFH	1 (1/4)	FFH

### 5.11.10 プログラマブルタイマの制御方法

表5.11.10.1にプログラマブルタイマの制御ビットを示します。

表5.11.10.1(a) プログラマブルタイマの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈	
00FF30	D7	—	—	—	—	—	—	読み出し時は常時"0"	
	D6	—	—	—	—	—	—		
	D5	—	—	—	—	—	—		
	D4	MODE16	8/16ビットモード選択	16ビット×1	8ビット×2	0	R/W		
	D3	CHSEL	TOUT出力チャンネル選択	タイマ1	タイマ0	0	R/W		
	D2	PTOUT	TOUT出力制御	On	Off	0	R/W		
	D1	CKSEL1	ブリスケーラ1原振クロック選択	fosc3	fosc1	0	R/W		
	D0	CKSEL0	ブリスケーラ0原振クロック選択	fosc3	fosc1	0	R/W		
00FF31	D7	EV_CNT	タイマ0カウンタモード選択	イベントカウント	タイマ	0	R/W		
	D6	FCSEL	タイマ0機能選択	パルス幅測定	通常モード	0	R/W		
				イベントカウンタモード時	ノイズリジエクタ付き	ノイズリジエクタなし			
	D5	PLPOL	タイマ0パルス極性選択	イベントカウンタモードのダウンカウントタイミング パルス幅測定モード時	K10入力の立ち上がり K10入力のHighレベル幅測定	K10入力の立ち下がり K10入力のLowレベル幅測定	0	R/W	
	D4	PSC01	タイマ0ブリスケーラ分周比選択	PSC01	PSC00	ブリスケーラ分周比	0	R/W	
				1	1	原振クロック/64			
	D3	PSC00		1	0	原振クロック/16	0	R/W	
				0	1	原振クロック/4			
				0	0	原振クロック/1			
00FF32	D2	CONT0	タイマ0連続/ワンショットモード選択	連続	ワンショット	0	R/W		
	D1	PSET0	タイマ0プリセット	プリセット	無効	—	W	読み出し時は"0"	
	D0	PRUN0	タイマ0 Run/Stop制御	Run	Stop	0	R/W		
	D7	—	—	—	—	—	—	読み出し時は常時"0"	
	D6	—	—	—	—	—	—		
	D5	—	—	—	—	—	—		
	D4	PSC11	タイマ1ブリスケーラ分周比選択	PSC11	PSC10	ブリスケーラ分周比	0	R/W	
				1	1	原振クロック/64			
00FF33	D3	PSC10		1	0	原振クロック/16	0	R/W	
				0	1	原振クロック/4			
				0	0	原振クロック/1			
	D2	CONT1	タイマ1連続/ワンショットモード選択	連続	ワンショット	0	R/W		
	D1	PSET1	タイマ1プリセット	プリセット	無効	—	W	読み出し時は"0"	
	D0	PRUN1	タイマ1Run/Stop制御	Run	Stop	0	R/W		
	D7	RLD07	タイマ0リロードデータD7 (MSB)	High	Low	1	R/W		
	D6	RLD06	タイマ0リロードデータD6						
	D5	RLD05	タイマ0リロードデータD5						
	D4	RLD04	タイマ0リロードデータD4						
	D3	RLD03	タイマ0リロードデータD3						
	D2	RLD02	タイマ0リロードデータD2						
	D1	RLD01	タイマ0リロードデータD1						
	D0	RLD00	タイマ0リロードデータD0 (LSB)						

表5.11.10.1(b) プログラマブルタイマの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈	
00FF34	D7	RLD17	タイマ1リロードデータD7 (MSB)	High	Low	1	R/W		
	D6	RLD16	タイマ1リロードデータD6						
	D5	RLD15	タイマ1リロードデータD5						
	D4	RLD14	タイマ1リロードデータD4						
	D3	RLD13	タイマ1リロードデータD3						
	D2	RLD12	タイマ1リロードデータD2						
	D1	RLD11	タイマ1リロードデータD1						
	D0	RLD10	タイマ1リロードデータD0 (LSB)						
00FF35	D7	PTD07	タイマ0カウンタデータD7 (MSB)	High	Low	1	R		
	D6	PTD06	タイマ0カウンタデータD6						
	D5	PTD05	タイマ0カウンタデータD5						
	D4	PTD04	タイマ0カウンタデータD4						
	D3	PTD03	タイマ0カウンタデータD3						
	D2	PTD02	タイマ0カウンタデータD2						
	D1	PTD01	タイマ0カウンタデータD1						
	D0	PTD00	タイマ0カウンタデータD0 (LSB)						
00FF36	D7	PTD17	タイマ1カウンタデータD7 (MSB)	High	Low	1	R		
	D6	PTD16	タイマ1カウンタデータD6						
	D5	PTD15	タイマ1カウンタデータD5						
	D4	PTD14	タイマ1カウンタデータD4						
	D3	PTD13	タイマ1カウンタデータD3						
	D2	PTD12	タイマ1カウンタデータD2						
	D1	PTD11	タイマ1カウンタデータD1						
	D0	PTD10	タイマ1カウンタデータD0 (LSB)						
00FF21	D7	-	-	-	-	-	-	読み出し時は常時"0"	
	D6	-	-	-	-	-	-		
	D5	-	-	-	-	-	-		
	D4	-	-	-	-	-	-		
	D3	PPT1	プログラマブルタイマ割り込み	PPT1 PK11 1	PPT0 PK10 1 0	優先 レベル レベル3 レベル2 レベル1 レベル0	0	R/W	
	D2	PPT0	プライオリティレジスタ						
	D1	PK11	K10, K11割り込み						
	D0	PK10	プライオリティレジスタ						
00FF23	D7	EPT1	プログラマブルタイマ1割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W		
	D6	EPT0	プログラマブルタイマ0割り込みイネーブルレジスタ						
	D5	EK1	K10, K11割り込みイネーブルレジスタ						
	D4	EKOH	K04 ~ K07割り込みイネーブルレジスタ						
	D3	EKO0L	K00 ~ K03割り込みイネーブルレジスタ						
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブルレジスタ						
	D1	ESREC	シリアルI/F(受信)割り込みイネーブルレジスタ						
	D0	ESTRA	シリアルI/F(送信)割り込みイネーブルレジスタ						
00FF25	D7	FPT1	プログラマブルタイマ1割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W		
	D6	FPT0	プログラマブルタイマ0割り込み要因フラグ						
	D5	FK1	K10, K11割り込み要因フラグ						
	D4	FK0H	K04 ~ K07割り込み要因フラグ						
	D3	FK0L	K00 ~ K03割り込み要因フラグ						
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ						
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ						
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ						

**MODE16: 00FF30H·D4**

8/16ビットモードを選択します。

"1"書き込み: 16ビット×1チャンネル

"0"書き込み: 8ビット×2チャンネル

読み出し: 可能

タイマ0とタイマ1を独立した2チャンネルの8ビットタイマとして使用するか、組み合わせた1チャンネルの16ビットタイマとして使用するかを選択します。MODE16に"0"を書き込んだ場合は8ビット×2チャンネル、"1"を書き込んだ場合は16ビット×1チャンネルがそれぞれ選択されます。

イニシャルリセット時、MODE16は"0"(8ビット×2チャンネル)に設定されます。

**CKSEL0, CKSEL1: 00FF30H·D0, D1**

プリスケーラの原振クロックを選択します。

"1"書き込み: OSC3クロック

"0"書き込み: OSC1クロック

読み出し: 可能

プリスケーラ0の原振クロックをOSC1とするかOSC3とするかを選択します。CKSEL0に"0"を書き込んだ場合はOSC1、"1"を書き込んだ場合はOSC3がそれぞれ選択されます。

同様に、プリスケーラ1の原振クロックがCKSEL1によって選択されます。なお、イベントカウンタモードを選択している場合はCKSEL0の設定は無効となります。また、同様に16ビットモードではCKSEL1の設定が無効となります。

イニシャルリセット時、本レジスタはそれぞれ"0"(OSC1クロック)に設定されます。

**PSC00, PSC01: 00FF31H·D3, D4****PSC10, PSC11: 00FF32H·D3, D4**

プリスケーラの分周比を選択します。

PSC00、PSC01の2ビットはタイマ0に対応したプリスケーラ分周比選択レジスタで、PSC10、PSC11の2ビットは同様にタイマ1に対応しています。

本レジスタによって設定できるプリスケーラの分周比は表5.11.10.2のとおりです。

表5.11.10.2 プリスケーラ分周比の選択

PSC11 PSC01	PSC10 PSC00	プリスケーラ分周比
1	1	入力クロック / 64
1	0	入力クロック / 16
0	1	入力クロック / 4
0	0	入力クロック / 1

なお、イベントカウンタモードを選択している場合はPSC00、PSC01の設定は無効となります。また、同様に16ビットモードではPSC10、PSC11の設定が無効となります。

イニシャルリセット時、本レジスタは"0"(入力クロック/1)に設定されます。

**EVCNT: 00FF31H·D7**

タイマ0のカウンタモードを選択します。

"1"書き込み: イベントカウンタモード

"0"書き込み: タイマモード

読み出し: 可能

タイマ0をイベントカウンタとして使用するか、タイマとして使用するかを選択します。EVCNTに"1"を書き込んだ場合はイベントカウンタモード、"0"を書き込んだ場合はタイマモードがそれぞれ選択されます。

イニシャルリセット時、EVCNTは"0"(タイマモード)に設定されます。

**FCSEL: 00FF31H·D6**

タイマ0の各カウンタモードに対する機能の選択を行います。

- タイマモード時

"1"書き込み: パルス幅測定タイマモード

"0"書き込み: 通常モード

読み出し: 可能

タイマモードでは、タイマ0をパルス幅測定タイマとして使用するか、通常のタイマとして使用するかを選択します。

FCSELに"1"を書き込んだ場合はパルス幅測定タイマモードが選択され、K10入力ポート端子に入力される信号(EVIN)のレベルにしたがってカウントが行われます。また、FCSELに"0"を書き込んだ場合は通常モードが選択され、K10入力ポート端子の影響を受けずにカウントが行われます。

- イベントカウンタモード時

"1"書き込み: ノイズリジェクト付き

"0"書き込み: ノイズリジェクトなし

読み出し: 可能

イベントカウンタモードでは、K10入力ポート端子に対してノイズリジェクトを付加するかしないかを選択します。

FCSELに"1"を書き込んだ場合はノイズリジェクトが付加され、0.98msec以上のパルス幅の外部クロック(EVIN)によってカウントが行われます。(ノイズリジェクトは、K10入力ポート端子の入力レベルが変化してから2度目の内部2,048Hz信号の立ち下がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msecとなります。)

また、FCSELに"0"を書き込んだ場合はノイズリジェクトは付加されず、K10入力ポート端子に入力される外部クロック(EVIN)によって直接カウントが行われます。

イニシャルリセット時、FCSELは"0"に設定されます。

**PLPOL: 00FF31H·D5**

K10入力ポート端子のパルス極性を選択します。

- イベントカウンタモード時

"1"書き込み: 立ち上がりエッジ  
"0"書き込み: 立ち下がりエッジ  
読み出し: 可能

イベントカウンタモードでは、カウントのタイミングをK10入力ポート端子に入力される外部クロック(EVIN)の立ち下がりエッジとするか、立ち上がりエッジとするかを選択します。

PLPOLに"0"を書き込んだ場合は立ち下がりエッジ、"1"を書き込んだ場合は立ち上がりエッジがそれぞれ選択されます。

- パルス幅測定タイマモード時

"1"書き込み: HIGHレベル幅測定  
"0"書き込み: LOWレベル幅測定  
読み出し: 可能

パルス幅測定タイマモードでは、K10入力ポート端子に入力される信号(EVIN)のLOWレベル幅を測定するか、HIGHレベル幅を測定するかを選択します。

PLPOLに"0"を書き込んだ場合はLOWレベル幅測定、"1"を書き込んだ場合はHIGHレベル幅測定がそれぞれ選択されます。

なお、通常モード(EVCNT=FCSEL="0")ではPLPOLの設定は無効となります。

イニシャルリセット時、PLPOLは"0"に設定されます。

**CONT0, CONT1: 00FF31H·D2, 00FF32H·D2**

連続/ワンショットモードを選択します。

"1"書き込み: 連続モード  
"0"書き込み: ワンショットモード  
読み出し: 可能

タイマ0を連続モードで使用するか、ワンショットモードで使用するかを選択します。

CONT0に"1"を書き込んだ場合は連続モードが選択され、カウンタのアンダーフロー発生時に初期値をリロードしてカウントを継続します。

また、CONT0に"0"を書き込んだ場合はワンショットモードが選択され、カウンタのアンダーフロー発生時に初期値をリロードしてカウントを停止します。このとき、PRUN0は自動的に"0"にリセットされます。

同様に、タイマ1の連続/ワンショットモードがCONT1によって選択されます。(タイマ1のワンショットモードでは、カウンタのアンダーフロー発生時にPRUN1が自動的に"0"にリセットされます。)

イニシャルリセット時、本レジスタはそれぞれ"0"(ワンショットモード)に設定されます。

**RLD00~RLD07: 00FF33H****RLD10~RLD17: 00FF34H**

カウンタの初期値を設定します。

RLD00 ~ RLD07: タイマ0リロードデータ  
RLD10 ~ RLD17: タイマ1リロードデータ

本レジスタに設定したリロードデータがそれぞれのカウンタにロードされ、それを初期値としてダウンカウントが行われます。

リロードデータがカウンタにロードされる条件はPSET0、PSET1に"1"を書き込んでプリセットを行う場合と、カウンタのアンダーフローによって自動的にリロードが行われる場合です。

イニシャルリセット時、本レジスタはそれぞれ"FFH"に設定されます。

**PTD00~PTD07: 00FF35H****PTD10~PTD17: 00FF36H**

プログラマブルタイマのデータが読み出せます。

PTD00 ~ PTD07: タイマ0カウンタデータ  
PTD10 ~ PTD17: タイマ1カウンタデータ

本ビットは読み出し時にカウンタのデータが保持されるバッファとなっており、データは任意のタイミングで読み出しが可能です。ただし、16ビットモードでは読み出しエラー(PTD00 ~ PTD07とPTD10 ~ PTD17の読み出しの途中に、タイマ0からタイマ1へのボローが発生した場合のデータエラー)を回避するため、PTD10 ~ PTD17はPTD00 ~ PTD07の読み出しによってタイマ1のカウンタデータをラッチします。

PTD10 ~ PTD17のラッチ状態はPTD10 ~ PTD17の読み出し、または0.73msec ~ 1.22msec(読み出しのタイミングにより異なる)の時間経過によって解除されます。したがって、16ビットモードではPTD00 ~ PTD07、PTD10 ~ PTD17の順でカウンタデータの読み出しを行ってください。

本ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、本ビットはそれぞれ"FFH"に設定されます。

**PSET0, PSET1: 00FF31H·D1, 00FF32H·D1**

リロードデータをカウンタにプリセットします。

"1"書き込み: プリセット  
"0"書き込み: ノーオペレーション  
読み出し: 常時"0"

PSET0に"1"を書き込むことによって、PLD00 ~ PLD07のリロードデータがタイマ0のカウンタにプリセットされます。タイマ0のカウンタがRUN状態のときにプリセットを行うとリロードデータのプリセット直後にリスタートします。

また、STOP状態の場合はプリセットされたリロードデータがそのまま保持されます。  
 "0"の書き込みはノーオペレーションとなります。  
 同様に、PLD10～PLD17のリロードデータがPSET1によってタイマ1のカウンタにプリセットされます。  
 なお、16ビットモードを選択している場合はPSET1への"1"書き込みは無効となります。  
 本ビットは書き込み専用のため、読み出しあは常時"0"となります。

#### PRUN0, PRUN1: 00FF31H·D0, 00FF32H·D0

カウンタのRUN/STOPを制御します。

"1"書き込み: RUN  
 "0"書き込み: STOP  
 読み出し: 可能

タイマ0のカウンタはPRUN0に"1"を書き込むことによってダウンカウントを開始し、"0"の書き込みにより停止します。  
 STOP状態ではプリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

同様に、タイマ1のカウンタがPRUN1によってRUN/STOP制御されます。  
 なお、16ビットモードを選択している場合はPRUN1は"0"に固定されます。

イニシャルリセット時、およびワンショットモードにおいてアンダーフローが発生したとき、本レジスタはそれぞれ"0"(STOP)に設定されます。

#### CHSEL: 00FF30H·D3

TOUT信号のチャンネルを選択します。

"1"書き込み: タイマ1アンダーフロー  
 "0"書き込み: タイマ0アンダーフロー  
 読み出し: 可能

TOUT信号にタイマ0のアンダーフローを使用するか、タイマ1のアンダーフローを使用するかを選択します。CHSELに"0"を書き込んだ場合はタイマ0、"1"を書き込んだ場合はタイマ1がそれぞれ選択されます。

なお、16ビットモードを選択している場合はタイマ1(16ビットタイマのアンダーフロー)固定となり、CHSELの設定は無効となります。

イニシャルリセット時、CHSELは"0"(タイマ0アンダーフロー)に設定されます。

#### PTOUT: 00FF30H·D2

TOUT信号の出力制御を行います。

"1"書き込み: TOUT信号出力  
 "0"書き込み: HIGHレベル(DC)出力  
 読み出し: 可能

PTOUTはTOUT信号の出力制御レジスタで、"1"を設定するとTOUT信号がR27出力ポート端子から出力され、"0"を設定するとHIGHレベル(VDD)が出力されます。このとき、データレジスタR27Dには常時"1"が設定されている必要があります。

イニシャルリセット時、PTOUTは"0"(HIGHレベル出力)に設定されます。

#### PPT0, PPT1: 00FF21H·D2, D3

プログラマブルタイマ割り込みの優先レベルを設定します。

PPT0、PPT1はプログラマブルタイマ割り込みに対応した割り込みプライオリティレジスタで、設定できる割り込み優先レベルは表5.11.10.3のとおりです。

表5.11.10.3 割り込み優先レベルの設定

PPT1	PPT0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

#### EPT0, EPT1: 00FF23H·D6, D7

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可  
 "0"書き込み: 割り込み禁止  
 読み出し: 可能

EPT0、EPT1はそれぞれタイマ0、タイマ1の割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

なお、16ビットモードを選択している場合はEPT0の設定は無効となります。

イニシャルリセット時、本レジスタはそれぞれ"0"(割り込み禁止)に設定されます。

**FPT0, FPT1: 00FF25H·D6, D7**

プログラマブルタイマ割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

FPT0, FPT1はそれぞれタイマ0, タイマ1の割り込みに対応する割り込み要因フラグで、それぞれのカウンタのアンダーフローに同期して"1"にセットされます。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0, I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

なお、16ビットモードを選択している場合は割り込み要因フラグFPT0は"1"にセットされず、タイマ0の割り込みも発生しません。(16ビットモード時は、16ビットカウンタのアンダーフローによって割り込み要因フラグFPT1が"1"にセットされます。)イニシャルリセット時、本フラグはそれぞれ"0"にリセットされます。

**5.11.11 プログラミング上の注意事項**

(1) プログラマブルタイマはレジスタPRUN0(1)への書き込みに対して、入力クロックの立ち下がりエッジに同期して実際にRUN/STOP状態となります。

したがって、PRUN0(1)に"0"を書き込んだ場合は、"-1"余分にカウントしたところでタイマが停止状態となります。また、このときPRUN0(1)は実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。

図5.11.11.1にRUN/STOP制御のタイミングチャートを示します。

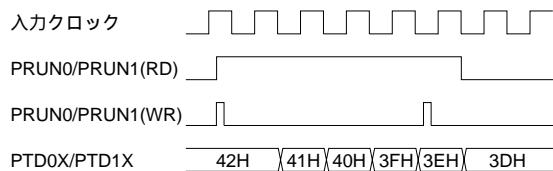


図5.11.11.1 RUN/STOP制御のタイミングチャート

なお、これについてはイベントカウンタモードは対象外です。

(2) プログラマブルタイマがRUNしている状態(PRUN0(1)="1")でSLP命令を実行した場合は、SLEEP状態からの復帰時にプログラマブルタイマが不安定な動作となります。したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前にプログラマブルタイマをSTOP状態(PRUN0(1)="0")に設定してください。

また、同様にR27出力ポート端子に不安定なクロックが出力されないようTOUT信号をディセプル状態(PTOUT="0")に設定してください。

(3) TOUT信号は出力制御レジスタPTOUTとは非同期に発生していますので、PTOUTの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

(4) OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3の発振をONさせる必要があります。

なお、OSC3発振回路をONにしてから発振が安定するまでに数msec～数10msecの時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ONの後、充分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"8 電気的特性"に発振開始時間の一例を示しますので参照してください。)

イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

(5) 16ビットモードを選択している場合はPTD00～PTD07、PTD10～PTD17の順でカウンタデータの読み出しを行ってください。また、PTD00～PTD07とPTD10～PTD17の読み出しの時間差は0.73msec以下としてください。

(6) プログラマブルタイマ動作中にプログラマブルタイマ割り込み発生間隔を変更する場合、以下の理由によりリロードデータを書き込むタイミングに注意が必要です。

プログラマブルタイマは入力クロックの立ち上がりエッジでダウンカウントを行い、そこでアンダーフローが発生した場合は同時に割り込みを発生します。その後、リロードデータをカウンタにセットする動作を開始し、入力クロックの次の立ち上がりエッジでカウンタデータが確定します( )の区間)。

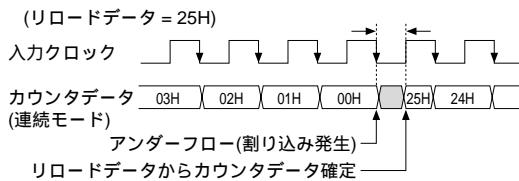


図5.11.11.2 プログラマブルタイマリロードタイミング

リロードデータを正しくカウンタにセットするために、割り込み発生後は の区間を含め、カウンタデータが確定するまではリロードデータの書き換えを行わないでください。入力クロックの源振にOSC1(低速クロック)を使用し、CPUがOSC3(高速クロック)で動作している場合は、特に注意が必要です。

## 5.12 LCDコントローラ

### 5.12.1 LCDコントローラの構成

S1C88349は最大1,632ドット(51セグメント×32コモン)のLCDパネルが駆動可能なドットマトリクスLCDドライバと、外部拡張LCDドライバ(S1D15210相当品)の制御が可能なLCDコントローラを内蔵しています。

図5.12.1.1にLCDコントローラと駆動電源の構成を示します。

注! 外付け拡張LCDドライバS1D15210に関しては、S1D15000シリーズテクニカルマニュアルを参照してください。

### 5.12.2 マスクオプション

LCD系の駆動電圧 $V_{C1} \sim V_{C5}$ を内部の定電圧回路と昇圧回路によって発生するか(内部電源)、外部より印加するか(外部電源)、マスクオプションで選択することができます。

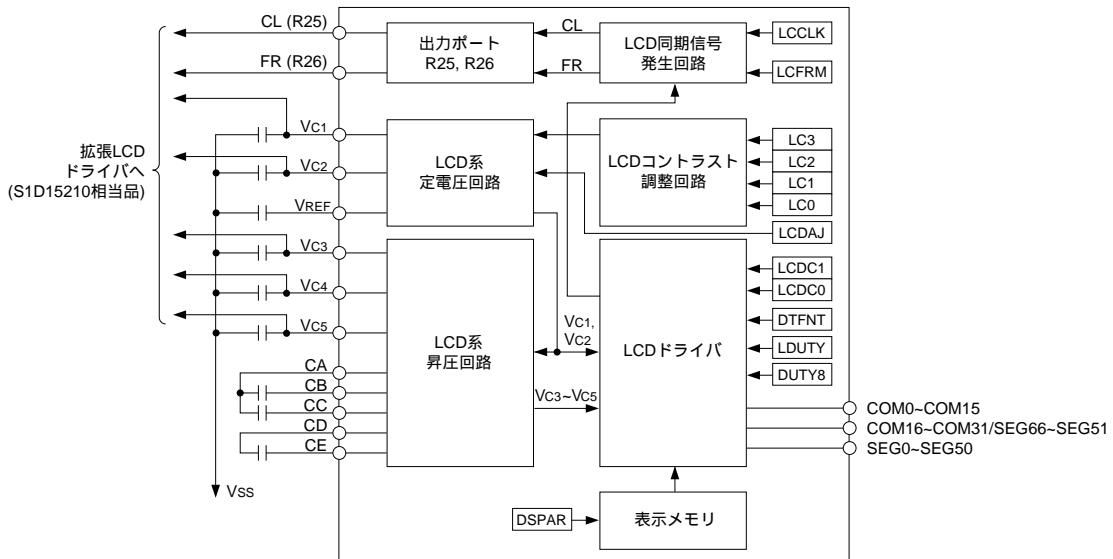
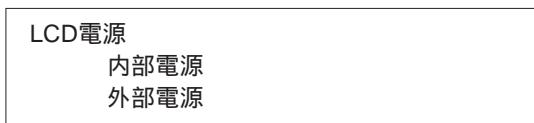


図5.12.1.1 LCDコントローラと駆動電源の構成

### 5.12.3 駆動デューティの切り換え

S1C88349はソフトウェアにより駆動デューティを1/8、1/32、1/16の3種類に切り換えることができます。この設定はレジスタLDUTYおよびDUTY8によって行います。

駆動デューティ選択レジスタLDUTYに"0"を書き込んだ場合は1/32デューティ、"1"を書き込んだ場合は1/16デューティがそれぞれ選択されます。DUTY8に"1"を書き込んだ場合は、駆動デューティが1/8に固定され、LDUTYの設定は無効となります。

### 5.12.4 LCD電源

LCD系の駆動電圧 $V_{C1} \sim V_{C5}$ は、内部の定電圧回路と昇圧回路によって発生する内部電源と、外部より印加する外部電源のどちらかをマスクオプションで選択することができます。

また、内部電源は、出力をTYPE A(4.5V)とTYPE B(5.5V)の2種類に切り換え可能です。切り換えはパネルの特性に合わせLCDAJレジスタによって行います。

内部電源は、小規模LCDパネル用に設計されているため、表示画素が大きいパネルおよび外部拡張LCDドライバを使用した表示容量の大きいパネルの駆動には適していません。この場合は、外部電源を選択し、外部より規定の電圧を入力してください。

図5.12.4.1に外部電源の回路例を示します。

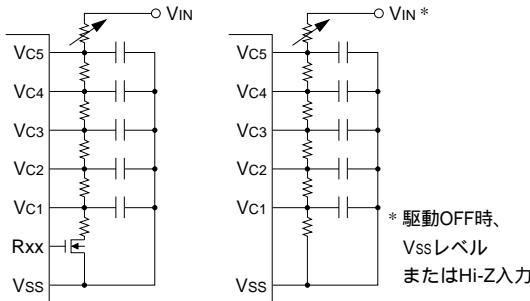


図5.12.4.1 外部電源の回路例

### 5.12.5 LCD ドライバ

内蔵LCDドライバは駆動デューティの選択にしたがって、LCDパネルの最大駆動ドット数が変化します。

1/32デューティ選択時はコモン/セグメント兼用出力端子がコモン端子となり、51セグメント×32コモン(最大1,632ドット)のLCDパネルが駆動可能となります。

1/16デューティ選択時はコモン/セグメント兼用出力端子が逆にセグメント端子となり、67セグメント×16コモン(最大1,072ドット)のLCDパネルが駆動可能となります。

1/8デューティ選択時はコモン/セグメント兼用出力端子が1/16デューティ選択時同様セグメント端子となり、67セグメント×8コモン(最大536ドット)のLCDパネルが駆動可能となります。なお、1/8デューティ選択時はCOM8～COM15端子が常時OFF信号を出力する無効な端子となります。

表5.12.5.1に駆動デューティと最大表示ドット数の対応を示します。

1/32、1/16、1/8デューティいずれも駆動バイアスは1/5( $V_{C1} \sim V_{C5}$ による5電位)で、駆動波形はそれぞれ図5.12.5.1～図5.12.5.3に示すとおりとなります。

表5.12.5.1 駆動デューティと最大表示ドット数の対応

DUTY8	LDUTY	デューティ	コモン端子	セグメント端子	最大表示ドット数
0	0	1/32	COM0～COM31	SEG0～SEG50	1,632ドット
0	1	1/16	COM0～COM15	SEG0～SEG66	1,072ドット
1	x	1/8	COM0～COM7	SEG0～SEG66	536ドット

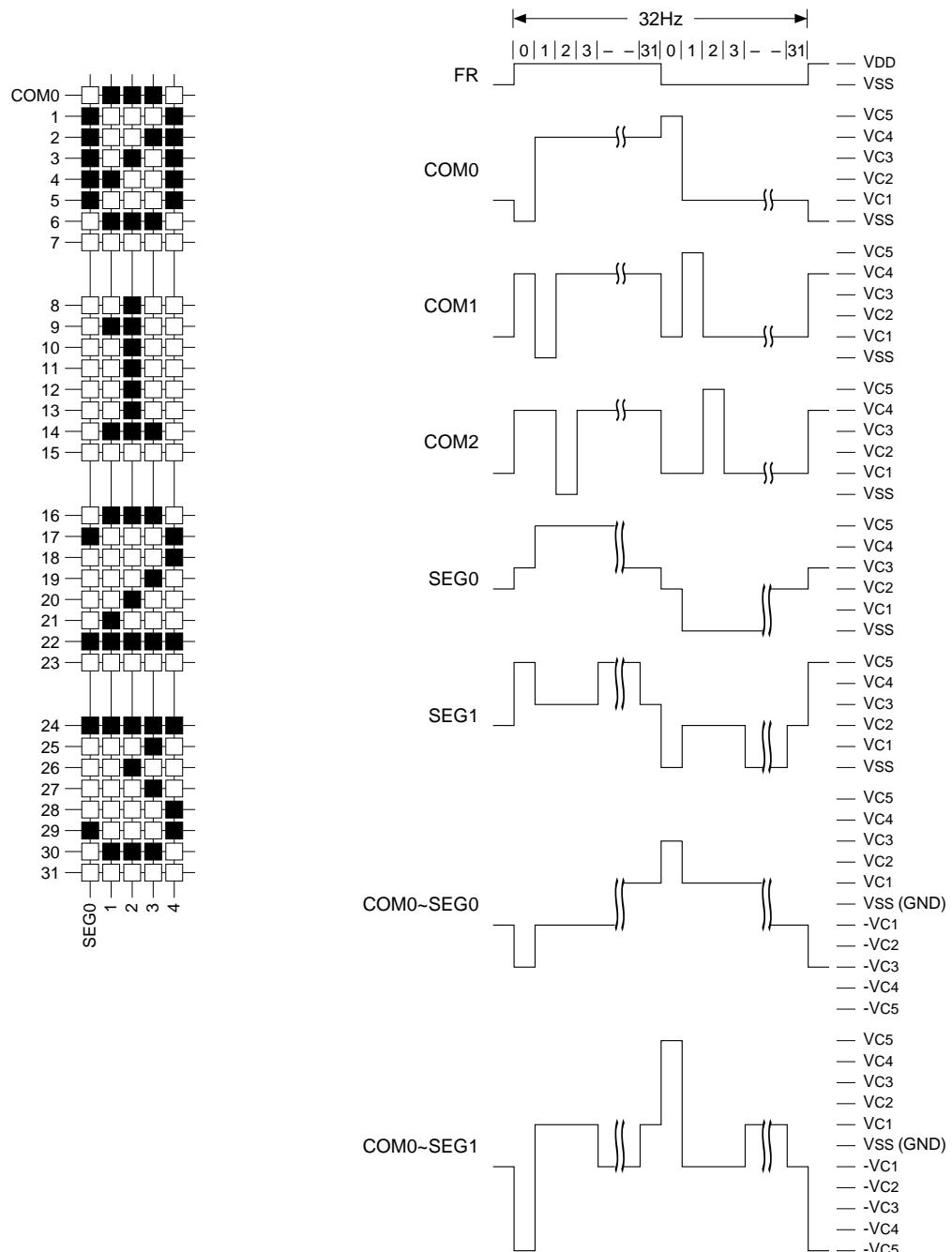


図5.12.5.1 1/32デューティの駆動波形

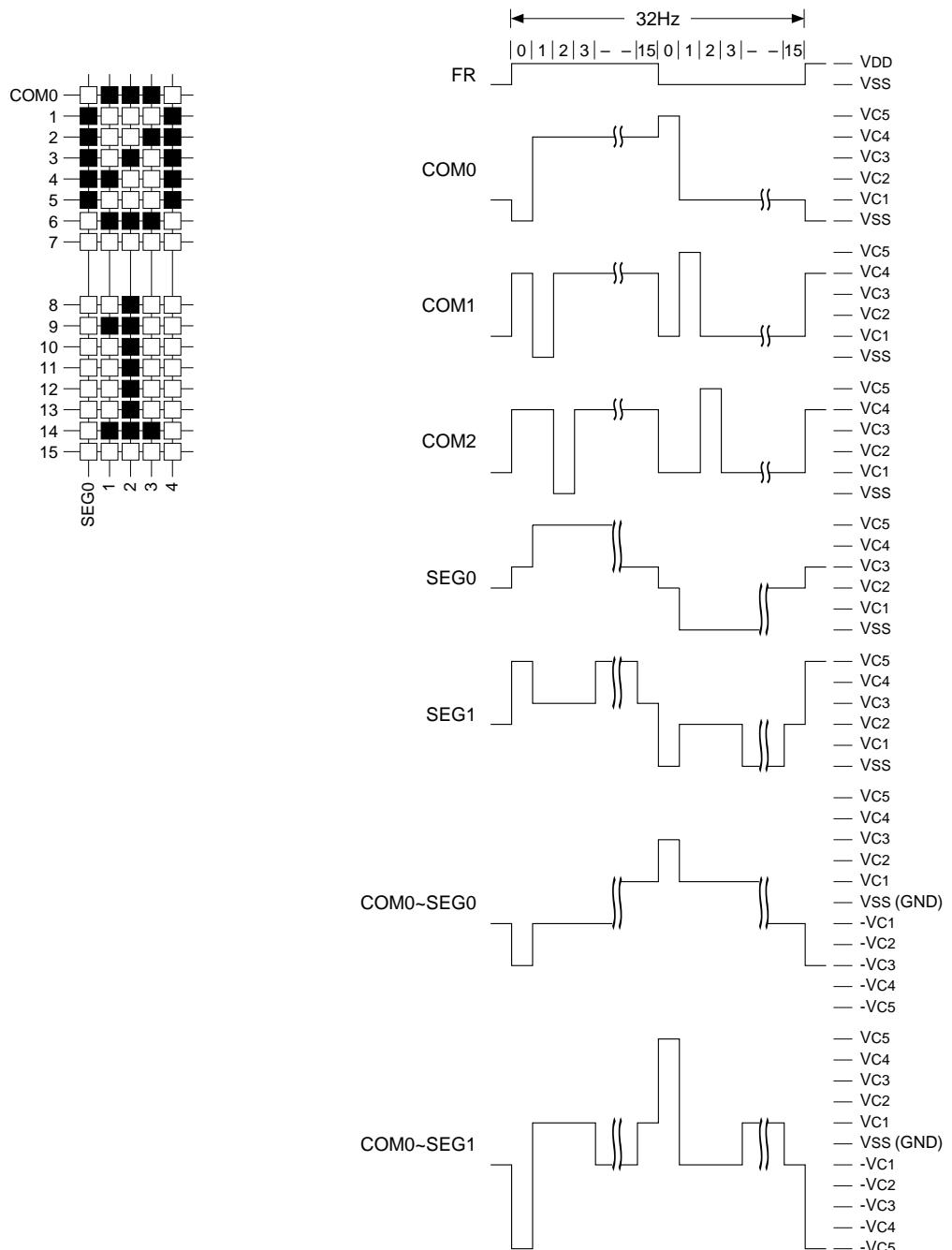


図5.12.5.2 1/16デューティの駆動波形

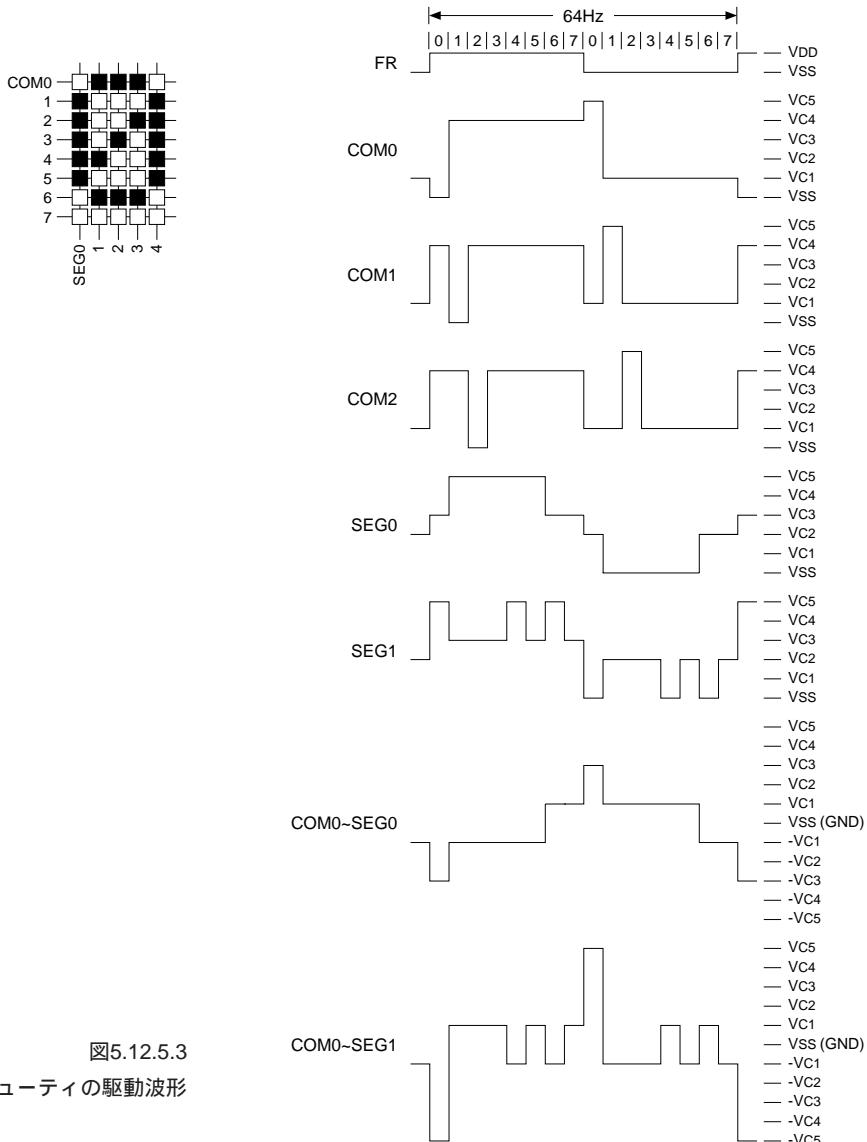


図5.12.5.3

1/8デューティの駆動波形

## 5.12.6 表示メモリ

S1C88349は402バイトの表示メモリを内蔵しています。表示メモリはアドレスFx00H～Fx42H(x=8～DH)に割り付けられており、メモリビットとコモン/セグメント端子の対応は次に示す項目の選択状態にしたがって変化します。

- (1) 駆動デューティ(1/32、1/16または1/8デューティ)
- (2) ドットフォント(5×8または5×5ドット)

駆動デューティとして1/16または1/8デューティを選択した場合は2画面分のメモリを確保することができ、表示メモリ領域選択レジスタDSPARによって画面の切り換えを行うことができます。DSPARに"0"を書き込んだ場合は表示領域0、"1"を書き込んだ場合は表示領域1がそれぞれ選択されます。また、5×5ドットフォントのLCDパネルにソフトウェアで容易にキャラクタを表示できるよう5×8ドットと5×5ドット間で別々のメモリ配置を選択することができます。

この選択はドットフォント選択レジスタDTFNTによって行われ、DTFNTに"0"を書き込んだ場合は5×8ドット、"1"を書き込んだ場合は5×5ドットがそれぞれ選択されます。

駆動デューティとドットフォントの選択にしたがった表示メモリのビットとコモン/セグメント端子の対応を図5.12.6.1～図15.12.6.6にそれぞれ示します。

LCDパネル上のドットに対応する表示メモリのビットに"1"を書き込むとそのドットがONし、"0"を書き込むとOFFします。表示メモリはリード/ライト可能なRAM構造となっているため、論理演算命令等(リードモディファイライト命令)によるビット単位の制御を行うことができます。

402バイトの表示メモリ中で表示領域に割り当てられないビットは、リード/ライト可能な汎用RAMとして使用することができます。なお、表示メモリ領域に外部メモリを拡張した場合でも、この領域は外部メモリには解放されません。この領域のアクセスは常に表示メモリに対して行われます。

アドレス/データビット																COM																																						
0								1								2		3		4																																		
0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2																				
D0	00FF800H	^	D1	D2	D3	D4	D5	D6	D7	D0	D1	D2	D3	D4	D5	D6	D7	D0	D1	D2	D3	D4	D5	D6	D7	D0	D1	D2																										
00FF842H	^	表示領域	00FF900H	^	D1	D2	D3	D4	D5	D6	D7	D0	D1	D2	D3	D4	D5	D6	D7	D0	D1	D2	D3	D4	D5	D6	D7	D0	D1	D2																								
00FF942H	^	表示領域	00FA00H	^	D1	D2	D3	D4	D5	D6	D7	D0	D1	D2	D3	D4	D5	D6	D7	D0	D1	D2	D3	D4	D5	D6	D7	D0	D1	D2																								
00FA42H	^	表示領域	00FB00H	^	D1	D2	D3	D4	D5	D6	D7	D0	D1	D2	D3	D4	D5	D6	D7	D0	D1	D2	D3	D4	D5	D6	D7	D0	D1	D2																								
00FB42H	^	表示領域	00FD00H	^	D1	D2	D3	D4	D5	D6	D7	D0	D1	D2	D3	D4	D5	D6	D7	D0	D1	D2	D3	D4	D5	D6	D7	D0	D1	D2																								
00FD42H	^	表示領域	SEG	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50

図5.12.6.1 1/32デューティ、5×8ドット表示メモリマップ

アドレスデータビット																4				COM															
0								1								2				3				4											
D0	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2
00FF800H	~	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	D32		
00F842H	~	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	D32	
00F900H	~	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	D32	
00F942H	~	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	D32	
00FA00H	~	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	D32	
00FA42H	~	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	D32	
00FB00H	~	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	D32	
00FB42H	~	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	D32	
00FC00H	~	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	D32	
00FC42H	~	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	D32	
00FD00H	~	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	D32	
00FD42H	~	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	D32	

図5.12.6.2 1/32デューティ、5×5ドット表示メモリマップ

図5.12.6.3 1/16デューティ、5×8ドット表示メモリマップ

アドレス/データビット	0	1	2	3	4
D0	0123456789ABCDEF	0123456789ABCDEF	0123456789ABCDEF	0123456789ABCDEF	0123456789ABCDEF
D1	1	2	3	4	5
D2	0	1	2	3	4
D3	1	2	3	4	5
D4	3	4	5	6	7
D5	0	1	2	3	4
D6	0	1	2	3	4
D7	0	1	2	3	4
表示領域0(DSPARに"0"が設定されている場合)	0	1	2	3	4
00F800H	0	1	2	3	4
~	0	1	2	3	4
00F842H	0	1	2	3	4
D0	5	6	7	8	9
D1	6	7	8	9	0
D2	7	8	9	0	1
D3	8	9	0	1	2
D4	9	0	1	2	3
D5	0	1	2	3	4
D6	0	1	2	3	4
D7	0	1	2	3	4
表示領域0(DSPARに"0"が設定されている場合)	5	6	7	8	9
00F900H	5	6	7	8	9
~	5	6	7	8	9
00F942H	5	6	7	8	9
D0	10	11	12	13	14
D1	11	12	13	14	15
D2	12	13	14	15	0
D3	13	14	15	0	1
D4	14	15	0	1	2
D5	15	0	1	2	3
D6	0	1	2	3	4
D7	0	1	2	3	4
表示領域0(DSPARに"0"が設定されている場合)	10	11	12	13	14
00FA00H	10	11	12	13	14
~	10	11	12	13	14
00FA42H	10	11	12	13	14
D0	15	0	1	2	3
D1	15	0	1	2	4
D2	15	0	1	2	4
D3	15	0	1	2	4
D4	15	0	1	2	4
D5	15	0	1	2	4
D6	15	0	1	2	4
D7	15	0	1	2	4
表示領域1(DSPARに"1"が設定されている場合)	0	1	2	3	4
00FB00H	0	1	2	3	4
~	0	1	2	3	4
00FB42H	0	1	2	3	4
D0	5	6	7	8	9
D1	6	7	8	9	0
D2	7	8	9	0	1
D3	8	9	0	1	2
D4	9	0	1	2	3
D5	0	1	2	3	4
D6	0	1	2	3	4
D7	0	1	2	3	4
表示領域1(DSPARに"1"が設定されている場合)	5	6	7	8	9
00FC00H	5	6	7	8	9
~	5	6	7	8	9
00FC42H	5	6	7	8	9
D0	10	11	12	13	14
D1	11	12	13	14	15
D2	12	13	14	15	16
D3	13	14	15	16	17
D4	14	15	16	17	18
D5	15	16	17	18	19
D6	16	17	18	19	20
D7	17	18	19	20	21
表示領域1(DSPARに"1"が設定されている場合)	10	11	12	13	14
00FD00H	10	11	12	13	14
~	10	11	12	13	14
00FD42H	10	11	12	13	14
D0	15	55	56	57	58
D1	55	56	57	58	59
D2	56	57	58	59	60
D3	57	58	59	60	61
D4	58	59	60	61	62
D5	59	60	61	62	63
D6	60	61	62	63	64
D7	61	62	63	64	65
SEG	0	1	2	3	4
	5	6	7	8	9
	10	11	12	13	14
	15	16	17	18	19
	20	21	22	23	24
	25	26	27	28	29
	30	31	32	33	34
	35	36	37	38	39
	40	41	42	43	44
	45	46	47	48	49
	50	51	52	53	54
	55	56	57	58	59
	60	61	62	63	64
	65	66			

図5.12.6.4 1/16デューティ、5×5ドット表示メモリマップ

図5.12.6.5 1/8デューティ、5×8ドット表示メモリマップ

アドレス/データビット	0	1	2	3	4
D0	0123456789ABCDEF	0123456789ABCDEF	0123456789ABCDEF	0123456789ABCDEF	0123456789ABCDEF
D1	1	2	3	4	5
D2	0	1	2	3	4
D3	1	2	3	4	5
D4	3	4	5	6	7
D5	0	1	2	3	4
D6	0	1	2	3	4
D7	0	1	2	3	4
表示領域0(DSPARに"0"が設定されている場合)	5	6	7	8	9
00F800H	00F900H	00FA00H	00FB00H	00FC00H	00FD00H
~	~	~	~	~	~
00F842H	00F942H	00FA42H	00FB42H	00FC42H	00FD42H
表示領域0(DSPARに"0"が設定されている場合)	5	6	7	8	9
00F800H	00F900H	00FA00H	00FB00H	00FC00H	00FD00H
~	~	~	~	~	~
00F842H	00F942H	00FA42H	00FB42H	00FC42H	00FD42H
表示領域0(DSPARに"0"が設定されている場合)	5	6	7	8	9
D0	0	1	2	3	4
D1	0	1	2	3	4
D2	0	1	2	3	4
D3	0	1	2	3	4
D4	0	1	2	3	4
D5	0	1	2	3	4
D6	0	1	2	3	4
D7	0	1	2	3	4
表示領域1(DSPARに"1"が設定されている場合)	5	6	7	8	9
00F800H	00F900H	00FA00H	00FB00H	00FC00H	00FD00H
~	~	~	~	~	~
00F842H	00F942H	00FA42H	00FB42H	00FC42H	00FD42H
表示領域1(DSPARに"1"が設定されている場合)	5	6	7	8	9
D0	0	1	2	3	4
D1	0	1	2	3	4
D2	0	1	2	3	4
D3	0	1	2	3	4
D4	0	1	2	3	4
D5	0	1	2	3	4
D6	0	1	2	3	4
D7	0	1	2	3	4
表示領域1(DSPARに"1"が設定されている場合)	5	6	7	8	9
00F800H	00F900H	00FA00H	00FB00H	00FC00H	00FD00H
~	~	~	~	~	~
00F842H	00F942H	00FA42H	00FB42H	00FC42H	00FD42H
表示領域1(DSPARに"1"が設定されている場合)	5	6	7	8	9
D0	0	1	2	3	4
D1	0	1	2	3	4
D2	0	1	2	3	4
D3	0	1	2	3	4
D4	0	1	2	3	4
D5	0	1	2	3	4
D6	0	1	2	3	4
D7	0	1	2	3	4
SEG	0	1	2	3	4
	5	6	7	8	9
	10	11	12	13	14
	15	16	17	18	19
	20	21	22	23	24
	25	26	27	28	29
	30	31	32	33	34
	35	36	37	38	39
	40	41	42	43	44
	45	46	47	48	49
	50	51	52	53	54
	55	56	57	58	59
	60	61	62	63	64
	65	66			

図5.12.6.6 1/8デューティ、5×5ドット表示メモリマップ

### 5.12.7 表示の制御

内蔵LCDドライバの表示状態とコントラストの調整を内蔵のLCDコントローラによって制御することができます。

LCDの表示状態は表示制御レジスタLCDC0、LCDC1によって選択され、設定値と表示状態が表5.12.7.1に示すとおり対応しています。

表5.12.7.1 LCD表示制御

LCDC1	LCDC0	LCD表示
1	1	全点灯(スタティック)
1	0	全消灯(ダイナミック)
0	1	通常表示
0	0	駆動OFF

全点灯および全消灯はLCDドライバが出力する駆動波形を直接制御するもので、表示メモリのデータは変更されません。また、このときのコモン端子はそれぞれ全点灯ではスタティック駆動、全消灯ではダイナミック駆動となるため、次のような用途にこの機能を使用することができます。

- (1) 全点灯はスタティック駆動による2値( $V_{C5}$ と $V_{SS}$ )出力となるため、コモン/セグメント端子をOSC1発振周波数の周波数調整用モニタ端子として使用することができます。
- (2) 全消灯はダイナミック駆動のため、LCD表示全体を点滅させたい場合に表示メモリのデータを変更せずに点滅を実現することができます。

駆動OFFを選択した場合はLCD駆動電源回路がOFFとなり、 $V_{C1}$ ～ $V_{C5}$ 端子はすべて $V_{SS}$ レベルとなります。ただし、マスクオプションで外部電源を選択した場合、駆動OFF時 $V_{C1}$ ～ $V_{C5}$ はフローティング状態になります。

なお、レジスタLCDC0、LCDC1はSLP命令が実行されることで、自動的にハードウェアによって"0"にリセット("駆動OFF"に設定)されます。

LCDのコントラストは16段階の調整が可能です。この調整はコントラスト調整レジスタLC0～LC3によって行われ、設定値とコントラストの濃淡が表5.12.7.2に示すとおり対応しています。ただし、マスクオプションで外部電源を選択した場合、LCDコントラスト調整レジスタLC0～LC3の設定によるコントラスト調整は無効となります。

表5.12.7.2 LCDのコントラスト調整

LC3	LC2	LC1	LC0	コントラスト
1	1	1	1	濃
1	1	1	0	↑
1	1	0	1	
:	:	:	:	
0	0	1	0	
0	0	0	1	↓
0	0	0	0	淡

### 5.12.8 CL、FR出力

S1C88349は外部に拡張LCDドライバを接続した場合のために、CL信号(LCD同期信号)とFR信号(LCDフレーム信号)をR25、R26出力ポート端子から出力させることができます。出力ポートR25およびR26の構成を図5.12.8.1に示します。

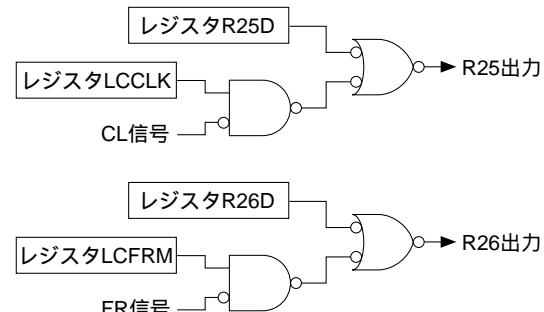


図5.12.8.1 R25、R26の構成

CL信号はレジスタLCCLKによって出力制御が行われます。LCCLKに"1"を設定するとCL信号がR25出力ポート端子から出力され、"0"を設定するとHIGH( $V_{DD}$ )レベルが出力されます。このとき、データレジスタR25Dには常時"1"が設定されている必要があります。

FR信号はレジスタLCFRMによって出力制御が行われます。LCFRMに"1"を設定するとFR信号がR26出力ポート端子から出力され、"0"を設定するとHIGH( $V_{DD}$ )レベルが出力されます。このとき、データレジスタR26Dには常時"1"が設定されている必要があります。

それぞれの信号の周波数は駆動デューティの選択にしたがって、表5.12.8.1のとおり変化します。

表5.12.8.1 CL信号とFR信号の周波数

駆動デューティ	CL信号 (Hz)	FR信号 (Hz)
1/32	2,048	32
1/16	1,024	32
1/8	1,024	64

なお、それぞれの信号ともレジスタLCCLKおよびLCFRMとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.12.8.2にCL信号とFR信号の出力波形を示します。

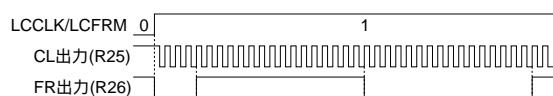


図5.12.8.2 CL信号とFR信号の出力波形

(1/16デューティ選択時)

### 5.12.9 LCDコントローラの制御方法

表5.12.9.1にLCDコントローラの制御ビットを示します。

表5.12.9.1 LCDコントローラの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈																							
00FF09	D7	—	—	—	—	—		読み出し時は常時"0"																							
	D6	—	—	—	—	—																									
	D5	—	—	—	—	—																									
	D4	—	—	—	—	—																									
	D3	VCCHG	Reserved	1	0	1	R/W																								
	D2	LCDB	Reserved	1	0	0	R/W																								
	D1	LCDAJ	電源TYPE A (4.5V)/B (5.5V)切り換え	TYPE A	TYPE B	0	R/W																								
	D0	DUTY8	LCD駆動デューティ切り換え	1/8デューティ	1/16, 1/32	0	R/W	*1																							
	D7	—	—	—	—	—																									
	D6	—	—	—	—	—																									
00FF10	D5	—	—	—	—	—		読み出し時は常時"0"																							
	D4	LCCLK	拡張LCDドライバ用CL出力制御	On	Off	0	R/W																								
	D3	LCFRM	拡張LCDドライバ用FR出力制御	On	Off	0	R/W																								
	D2	DTFNT	LCDドットフォント選択	5x5ドット	5x8ドット	0	R/W																								
	D1	LDUTY	LCD駆動デューティ選択	1/16デューティ	1/32デューティ	0	R/W	*1																							
	D0	SGOUT	汎用レジスタ	1	0	0	R/W	予約レジスタ																							
	D7	—	—	—	—	—																									
	D6	DSPAR	LCD表示メモリ領域選択	表示領域1	表示領域0	0	R/W																								
	D5	LCDC1	LCD表示制御			0	R/W																								
	D4	LCDC0	<table border="1" style="margin-left: 10px;"> <tr> <th>LCDC1</th> <th>LCDC0</th> <th>LCD表示</th> </tr> <tr> <td>1</td> <td>1</td> <td>全点灯</td> </tr> <tr> <td>1</td> <td>0</td> <td>全消灯</td> </tr> <tr> <td>0</td> <td>1</td> <td>通常表示</td> </tr> <tr> <td>0</td> <td>0</td> <td>駆動Off</td> </tr> </table>	LCDC1	LCDC0	LCD表示	1	1	全点灯	1	0	全消灯	0	1	通常表示	0	0	駆動Off					SLP命令実行時に(0, 0)にリセット								
LCDC1	LCDC0	LCD表示																													
1	1	全点灯																													
1	0	全消灯																													
0	1	通常表示																													
0	0	駆動Off																													
00FF11	D3	LC3	LCDコントラスト調整			0	R/W																								
	D2	LC2	<table border="1" style="margin-left: 10px;"> <tr> <th>LC3</th> <th>LC2</th> <th>LC1</th> <th>LC0</th> <th>コントラスト</th> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>濃</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>：</td> </tr> <tr> <td>：</td> <td>：</td> <td>：</td> <td>：</td> <td>：</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>淡</td> </tr> </table>	LC3	LC2	LC1	LC0	コントラスト	1	1	1	1	濃	1	1	1	0	：	：	：	：	：	：	0	0	0	0	淡			0
LC3	LC2	LC1	LC0	コントラスト																											
1	1	1	1	濃																											
1	1	1	0	：																											
：	：	：	：	：																											
0	0	0	0	淡																											
D1	LC1				0	R/W																									
D0	LC0				0	R/W																									

\*1 FF09•D0のDUTY8に"1"を書き込むと、FF10•D1のLDUTYによる1/16と1/32デューティ切り換えは無効となります。

**LCDAJ: 00FF09H·D1**

内部電源の切り換えを行います。

"1"書き込み: TYPE A

"0"書き込み: TYPE B

読み出し: 可能

LCDAJはLCD電源切り換えレジスタで、"1"を書き込んだ場合はLCD電源がTYPE A (4.5V)に設定され、"0"を書き込んだ場合はTYPE B (5.5V)に設定されます。

イニシャルリセット時、LCDAJは"0"(TYPE B)に設定されます。

**DUTY8: 00FF09H·D0**

駆動デューティの切り換えを行います。

"1"書き込み: 1/8デューティ

"0"書き込み: 1/16、1/32デューティ

読み出し: 可能

DUTY8は駆動デューティ切り換えレジスタで、"1"を書き込んだ場合は1/8デューティに、"0"を書き込んだ場合は1/16、1/32デューティ切り換えに設定されます。

DUTY8に"1"を書き込んだ場合はLDUTYによる1/16と1/32デューティの切り換えは無効となります。

イニシャルリセット時、DUTY8は"0"(1/16、1/32デューティ)に設定されます。

**LDUTY: 00FF10H·D1**

駆動デューティを選択します。

"1"書き込み: 1/16デューティ

"0"書き込み: 1/32デューティ

読み出し: 可能

LDUTYに"0"を書き込んだ場合は1/32デューティが選択され、コモン/セグメント兼用出力端子はコモン端子に設定されます。

また、LDUTYに"1"を書き込んだ場合は1/16デューティが選択され、コモン/セグメント兼用出力端子はセグメント端子に設定されます。

DUTY8に"1"を書き込んだ場合はコモン/セグメント兼用出力端子はセグメント端子固定となり、LDUTYの設定は無効となります。

駆動デューティの選択にしたがった表示メモリのビットとコモン/セグメント端子の対応については、図5.12.6.1～図5.12.6.6を参照してください。

イニシャルリセット時、LDUTYは"0"(1/32デューティ)に設定されます。

**DTFNT: 00FF10H·D2**

ドットフォントを選択します。

"1"書き込み: 5×5ドット

"0"書き込み: 5×8ドット

読み出し: 可能

表示メモリ上の表示領域を5×8ドットに適合させるか、5×5ドットに適合させるかを選択します。DTFNTに"0"を書き込むと5×8ドット、"1"を書き込むと5×5ドットがそれぞれ選択されます。

ドットフォントの選択にしたがった表示メモリのビットとコモン/セグメント端子の対応については、図5.12.6.1～図5.12.6.6を参照してください。

イニシャルリセット時、DTFNTは"0"(5×8ドット)に設定されます。

**DSPAR: 00FF11H·D6**

表示領域を選択します。

"1"書き込み: 表示領域1

"0"書き込み: 表示領域0

読み出し: 可能

1/16または1/8デューティ選択時に表示メモリ中に2画面分確保される表示領域のどちらを表示させるかを選択します。DSPARに"0"を書き込むと表示領域0、"1"を書き込むと表示領域1がそれぞれ選択されます。

1/32デューティ選択時は1画面分のみの表示領域となるため、DSPARの設定は無効となります。

表示領域の選択にしたがった表示メモリのビットとコモン/セグメント端子の対応については、図5.12.6.1～図5.12.6.6を参照してください。

イニシャルリセット時、DSPARは"0"(表示領域0)に設定されます。

**LCDC0, LCDC1: 00FF11H·D4, D5**

LCDの表示を制御します。

表5.12.9.2 LCDの表示制御

LCDC1	LCDC0	LCD表示
1	1	全点灯(スタティック)
1	0	全消灯(ダイナミック)
0	1	通常表示
0	0	駆動 OFF

上記4種類の状態を表示メモリのデータを変更せずに設定することができます。

イニシャルリセット時、およびSLEEP状態のとき本レジスタは"0"(駆動OFF)に設定されます。

**LC0~LC3: 00FF11H·D0~D3**

LCDのコントラストを調整します。

表5.12.9.3 LCDのコントラスト調整

LC3	LC2	LC1	LC0	コントラスト
1	1	1	1	濃
1	1	1	0	↑
1	1	0	1	
1	1	0	0	
1	0	1	1	
1	0	1	0	
1	0	0	1	
1	0	0	0	
0	1	1	1	
0	1	1	0	
0	1	0	1	
0	1	0	0	
0	0	1	1	
0	0	1	0	
0	0	0	1	↓
0	0	0	0	淡

コントラストは上記16段階の調整を行うことができ、これによってVc1 ~ Vc5端子の駆動電圧が変化します。

イニシャルリセット時、本レジスタは"0"に設定されます。

**LCCLK: 00FF10H·D4**

CL信号の出力制御を行います。

"1"書き込み: CL信号出力

"0"書き込み: HIGHレベル(DC)出力

読み出し: 可能

LCCLKはCL信号の出力制御レジスタで、"1"を設定するとCL信号がR25出力ポート端子から出力され、"0"を設定するとHIGH(VDD)レベルが出力されます。このとき、データレジスタR25Dには常時"1"が設定されている必要があります。

イニシャルリセット時、LCCLKは"0"(HIGHレベル出力)に設定されます。

**LCFRM: 00FF10H·D3**

FR信号の出力制御を行います。

"1"書き込み: FR信号出力

"0"書き込み: HIGHレベル(DC)出力

読み出し: 可能

LCFRMはFR信号の出力制御レジスタで、"1"を設定するとFR信号がR26出力ポート端子から出力され、"0"を設定するとHIGH(VDD)レベルが出力されます。このとき、データレジスタR26Dには常時"1"が設定されている必要があります。

イニシャルリセット時、LCFRMは"0"(HIGHレベル出力)に設定されます。

**5.12.10 プログラミング上の注意事項**

- (1) CL、FR信号は出力制御レジスタLCCLK、LCFRMとは非同期に発生していますので、LCCLK、LCFRMの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- (2) 表示制御レジスタLCDC0、LCDC1はSLP命令が実行されることで、自動的にハードウェアによって"0"にリセットされます。また、CL、FR信号はSLEEP状態ではHIGH(VDD)レベルを出力します。(レジスタR25D、R26Dが"1"の場合)

## 5.13 サウンドジェネレータ

### 5.13.1 サウンドジェネレータの構成

S1C88349はBZ(ブザー)信号を発生するサウンドジェネレータを内蔵しています。

ここで発生したBZ信号はR50出力ポート端子から出力することができます。

ブザー信号の周波数と音量(デューティ調整)をソフトウェアによってそれぞれ8段階に設定できるほか、デューティ比制御によるデジタルエンベロープを附加することができます。また、キー操作音等を出力するための、ワンショット出力機能も内蔵しています。

図5.13.1.1にサウンドジェネレータの構成を示します。

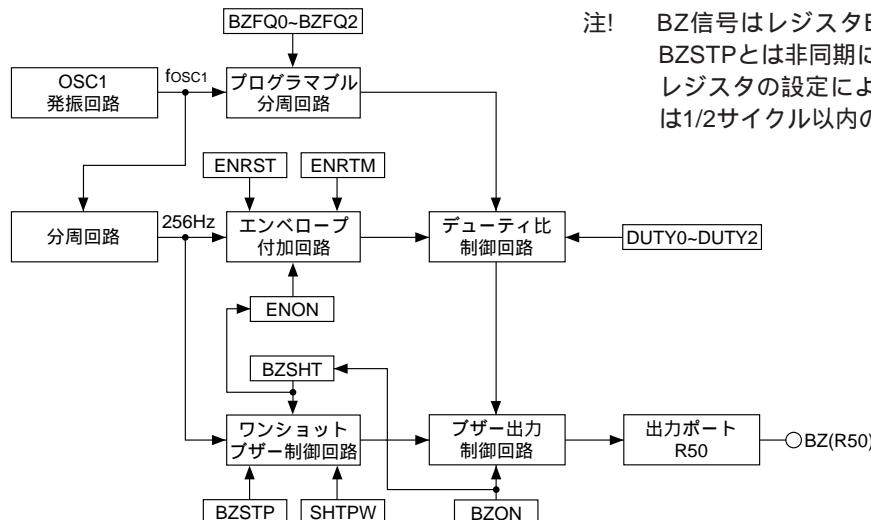


図5.13.1.1 サウンドジェネレータの構成

### 5.13.2 ブザー出力の制御

BZ信号はR50出力ポート端子から出力させることができます。

出力ポートR50の構成を図5.13.2.1に示します。

サウンドジェネレータで発生したBZ信号はブザー出力制御レジスタBZON、ワンショットブザートリガビットBZSHTおよびワンショットブザー強制停止ビットBZSTPによって出力制御が行われます。BZONまたはBZSHTに"1"を設定するとBZ信号がR50出力ポート端子から出力され、BZONに"0"またはBZSTPに"1"を設定するとLOW(Vss)レベルが出力されます。このとき、出力データレジスタR50Dには常時"0"が設定されている必要があります。図5.13.2.2にBZ信号の出力波形を示します。

注! BZ信号はレジスタBZON、BZSHTおよびBZSTPとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

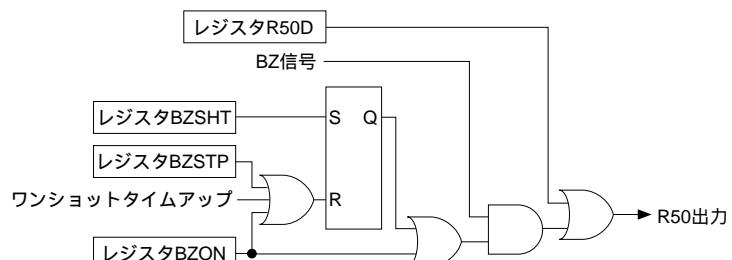


図5.13.2.1 R50の構成

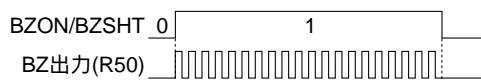


図5.13.2.2 BZ信号の出力波形

### 5.13.3 ブザー周波数と音量の設定

BZ信号はOSC1発振回路(32.768kHz)を原振とする分周信号で、8種類の周波数を選択することができます。この選択はブザー周波数選択レジスタBZQ0～BZQ2によって行われ、設定値とブザー周波数とが表5.13.3.1に示すとおり対応しています。

BZ信号のデューティ比を8種類の中から選択することで、ブザーの音量を調整することができます。この選択はデューティ比選択レジスタDUTY0～DUTY2によって行われ、設定値とデューティ比とが表5.13.3.2に示すとおり対応しています。

表5.13.3.1 ブザー周波数の設定

BZQ2	BZQ1	BZQ0	ブザー周波数 (Hz)
0	0	0	4096.0
0	0	1	3276.8
0	1	0	2730.7
0	1	1	2340.6
1	0	0	2048.0
1	0	1	1638.4
1	1	0	1365.3
1	1	1	1170.3

表5.13.3.2 デューティ比の設定

レベル	DUTY2	DUTY1	DUTY0	各ブザー周波数(Hz)におけるデューティ比			
				4096.0	3276.8	2730.7	2340.6
				2048.0	1638.4	1365.3	1170.3
レベル1(最大)	0	0	0	8/16	8/20	12/24	12/28
レベル2	0	0	1	7/16	7/20	11/24	11/28
レベル3	0	1	0	6/16	6/20	10/24	10/28
レベル4	0	1	1	5/16	5/20	9/24	9/28
レベル5	1	0	0	4/16	4/20	8/24	8/28
レベル6	1	0	1	3/16	3/20	7/24	7/28
レベル7	1	1	0	2/16	2/20	6/24	6/28
レベル8(最小)	1	1	1	1/16	1/20	5/24	5/28

デューティ比はパルス周期に対するパルス幅の比率のこと、HIGHレベル出力時間をTH、LOWレベル出力時間をTLとした場合、BZ信号は $TH/(TH+TL)$ となります。

DUTY0～DUTY2をすべて"0"に設定した場合はデューティ比が最大となり、音量も最大となります。逆にDUTY0～DUTY2をすべて"1"に設定した場合はデューティ比が最小となり、音量も最小となります。

なお、設定できるデューティ比は各周波数によって異なりますので、表5.13.3.2を参照してください。

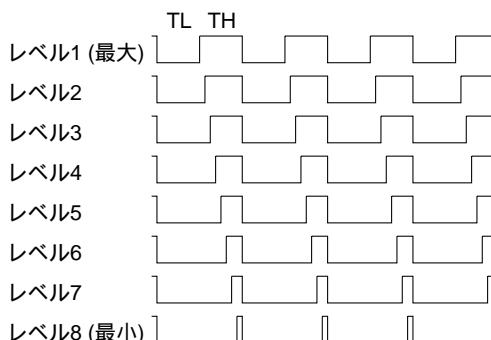


図5.13.3.1 BZ信号波形のデューティ比

注! デジタルエンベロープを使用する場合、DUTY0～DUTY2の設定は無効となります。

### 5.13.4 デジタルエンベロープ

BZ信号に対してデューティ比制御のデジタルエンベロープを付加することができます。

エンベロープは前項の表5.13.3.2と同様に、BZ信号のデューティ比をレベル1(最大)からレベル8(最小)まで段階的に変化させることで実現されます。

BZ信号に対するエンベロープの付加は、エンベロープ制御レジスタENONに"1"を書き込むことによって行われ、"0"が書き込まれた場合はDUTY0～DUTY2によって選択されるデューティ比に固定されます。

ENONに"1"を設定してブザー出力をONにする(BZONに"1"を書き込む)と、レベル1のデューティ比のBZ信号が出力され以後レベル8まで段階的に減衰します。減衰したエンベロープは、エンベロープリセットビットENRSTに"1"を書き込むことによってレベル1まで復帰させることができます。一度レベル8まで減衰すると、ブザー出力をOFFにする(BZONに"0"を書き込む)かENRSTに"1"を書き込むまでレベル8のデューティ比は保持されます。

なお、エンベロープレベル1段階あたりの変化時間はエンベロープ減衰時間選択レジスタENRTMによって125msec、または62.5msecが選択できます。図5.13.4.1にデジタルエンベロープのタイミングチャートを示します。

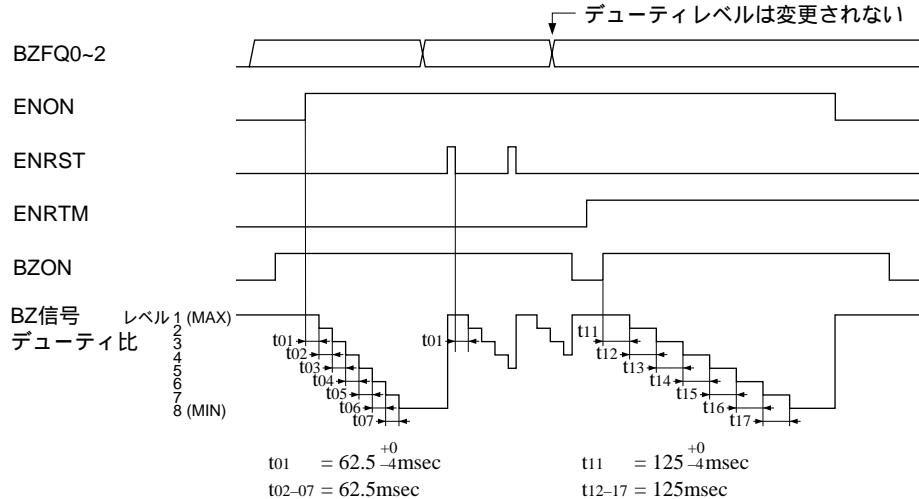


図5.13.4.1 デジタルエンベロープのタイミングチャート

### 5.13.5 ワンショット出力

キー操作音などのように短い時間BZ信号を出力させる場合のために、サウンドジェネレータはワンショット出力機能を内蔵しています。BZ信号の出力時間はワンショットブザー時間幅選択レジスタSHTPWによって125msec、または31.25msecが選択できます。

ワンショットブザーの出力制御はワンショットブザーリガBZSHTに"1"を書き込むことによって行われ、このトリガ後に内部の256Hz信号に同期してR50出力ポート端子からBZ信号が出力されます。設定時間経過後、出力開始時同様256Hz信号に同期して、自動的にBZ信号はOFFされます。

BZSHTはステータスとして読み出しも可能で、"1"の場合はBUSY状態(ワンショット出力中)、"0"の場合はREADY状態(停止中)をそれぞれ示します。

設定時間経過前にBZ信号をOFFさせたい場合は、ワンショットブザー強制停止ビットBZSTPに"1"を書き込むことで即BZ信号を強制停止(この場合256Hzとは非同期にOFF)させることができます。

ワンショット出力は短時間のため、エンベロープを付加することはできません。(BZSHTに"1"を書き込むと自動的にENONが"0"にリセットされます。)したがって、ワンショット出力時は周波数と音量(デューティ比)の設定のみが可能となります。

通常のブザー出力中は、ワンショット出力の制御は無効となります。

図5.13.5.1にワンショット出力のタイミングチャートを示します。

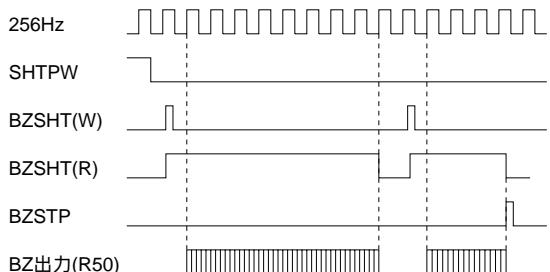


図5.13.5.1 ワンショット出力のタイミングチャート

### 5.13.6 サウンドジェネレータの制御方法

表5.13.6.1にサウンドジェネレータの制御ビットを示します。

表5.13.6.1 サウンドジェネレータの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF44	D7	—	—	—	—	—		読み出し時は常時"0"
	D6	BZSTP	ワンショットブザー強制停止	強制停止	無効	—	W	
	D5	BZSHT	ワンショットブザートリガ/ステータス	R W	Busy トリガ	Ready 無効	0 R/W	
	D4	SHTPW	ワンショットブザー時間幅選択	125msec	31.25msec	0	R/W	
	D3	ENRTM	エンペロープ減衰時間	1sec	0.5sec	0	R/W	
	D2	ENRST	エンペロープリセット	リセット	無効	—	W	読み出し時は"0"
	D1	ENON	エンペロープOn/Off制御	On	Off	0	R/W	*1
	D0	BZON	ブザー出力制御	On	Off	0	R/W	
00FF45	D7	—	—	—	—	—		読み出し時は"0"
	D6	DUTY2	ブザー信号デューティ比選択 DUTY2~0 ブザー周波数(Hz)	2 1 0 0 0 0 0 0 1 0 1 0 0 1 1	4096.0 3276.8 2730.7 2340.6 2048.0 1638.4 1365.3 1170.3 8/16 8/20 12/24 12/28 7/16 7/20 11/24 11/28 6/16 6/20 10/24 10/28 5/16 5/20 9/24 9/28	—	0 R/W	
	D5	DUTY1	—	0 0 0 0 0 1 0 1 0 0 1 1	8/20 12/24 12/28 7/20 11/24 11/28 6/20 10/24 10/28 5/20 9/24 9/28	—	0 R/W	
	D4	DUTY0	—	1 0 0 1 0 1 1 1 0 1 1 1	4/16 4/20 8/24 8/28 3/16 3/20 7/24 7/28 2/16 2/20 6/24 6/28 1/16 1/20 5/24 5/28	—	0 R/W	
	D3	—	—	—	—	—		読み出し時は"0"
	D2	BZFQ2	ブザー周波数選択 BZFQ2 BZFQ1 BZFQ0 周波数(Hz)	0 0 0 0 0 1 0 1 0 0 1 1 1 0 0 1 0 1 1 1 0 1 1 1	4096.0 3276.8 2730.7 2340.6 2048.0 1638.4 1365.3 1170.3	—	0 R/W	
	D1	BZFQ1	—	—	—	—	0 R/W	
	D0	BZFQ0	—	—	—	—	0 R/W	

\*1 ワンショット出力時、"0"にリセット

#### BZON: 00FF44H·D0

BZ信号の出力制御を行います。

"1"書き込み: BZ信号出力

"0"書き込み: LOWレベル(DC)出力  
読み出し: 可能

BZONはBZ信号の出力制御レジスタで、"1"を設定するとBZ信号がR50出力ポート端子から出力され、"0"を設定するとLOW(Vss)レベルが出力されます。このとき、データレジスタR50Dには常時"0"が設定されている必要があります。

イニシャルリセット時、BZONは"0"(LOWレベル出力)に設定されます。

#### BZFQ0~BZFQ2: 00FF45H·D0~D2

BZ信号の周波数を選択します。

表5.13.6.2 ブザー周波数の設定

BZFQ2	BZFQ1	BZFQ0	ブザー周波数 (Hz)
0	0	0	4096.0
0	0	1	3276.8
0	1	0	2730.7
0	1	1	2340.6
1	0	0	2048.0
1	0	1	1638.4
1	1	0	1365.3
1	1	1	1170.3

ブザー周波数はOSC1クロックを分周した上記8種類が選択できます。

イニシャルリセット時、本レジスタは"0"(4096.0Hz)に設定されます。

**DUTY0~DUTY2: 00FF45H·D4~D6**

BZ信号のデューティ比を選択します。

表5.13.6.3 デューティ比の設定

レベル	DUTY2	DUTY1	DUTY0	各ブザー周波数(Hz)におけるデューティ比			
				4096.0	3276.8	2730.7	2340.6
				2048.0	1638.4	1365.3	1170.3
レベル1 (最大)	0	0	0	8/16	8/20	12/24	12/28
レベル2	0	0	1	7/16	7/20	11/24	11/28
レベル3	0	1	0	6/16	6/20	10/24	10/28
レベル4	0	1	1	5/16	5/20	9/24	9/28
レベル5	1	0	0	4/16	4/20	8/24	8/28
レベル6	1	0	1	3/16	3/20	7/24	7/28
レベル7	1	1	0	2/16	2/20	6/24	6/28
レベル8 (最小)	1	1	1	1/16	1/20	5/24	5/28

上記8種類のデューティ比を選択することによって、ブザーの音量を調整することができます。ただし、エンベロープをON(ENON="1")に設定している場合は、この設定は無効となります。

イニシャルリセット時、本レジスタは"0"(レベル1)に設定されます。

**ENRST: 00FF44H·D2**

エンベロープをリセットします。

"1"書き込み: リセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

エンベロープはENRSTに"1"を書き込むことによってリセットされ、デューティ比がレベル1(最大)まで復帰されます。

ENRSTへの"0"書き込みおよびエンベロープ未使用(ENON="0")時の"1"書き込みは無効となります。

ENRSTは書き込み専用のため、読み出し時は常時"0"となります。

**ENON: 00FF44H·D1**

BZ信号に対するエンベロープの付加を制御します。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

ENONに"1"を書き込むことによって、BZ信号出力時にエンベロープを付加することができます。"0"を書き込んだ場合はエンベロープは付加されず、BZ信号はDUTY0~DUTY2によって選択されるデューティ比に固定されます。

イニシャルリセット時、およびBZSHTに"1"を書き込んだときENONは"0"(OFF)に設定されます。

**ENRTM: 00FF44H·D3**

BZ信号に付加されるエンベロープの減衰時間を選択します。

"1"書き込み: 1.0sec (125msec × 7 = 875msec)

"0"書き込み: 0.5sec (62.5msec × 7 = 437.5msec)

読み出し: 可能

デジタルエンベロープの減衰時間はデューティ比の変化する時間で決定されます。ENRTMに"1"を書き込んだ場合は125msec(8Hz)単位、"0"を書き込んだ場合は62.5msec(16Hz)単位でデューティ比が変化します。

エンベロープをOFF(ENON="0")に設定している場合は、この設定は無効です。

イニシャルリセット時、ENRTMは"0"(0.5sec)に設定されます。

**SHTPW: 00FF44H·D4**

ワンショットブザーの出力時間幅を選択します。

"1"書き込み: 125msec

"0"書き込み: 31.25msec

読み出し: 可能

ワンショットブザーの出力時間幅は、SHTPWに"1"を書き込んだ場合が125msec、"0"を書き込んだ場合が31.25msecにそれぞれ設定されます。

イニシャルリセット時、SHTPWは"0"(31.25msec)に設定されます。

**BZSHT: 00FF44H·D5**

ワンショットブザー出力の制御を行います。

"1"書き込み: トリガ  
 "0"書き込み: ノーオペレーション  
 "1"読み出し: BUSY  
 "0"読み出し: READY

BZSHTに"1"を書き込むことによってワンショット出力回路が動作し、BZ信号が出力されます。このブザー出力はSHTPWによって設定した時間の経過後に自動的にOFFとなります。このとき、データレジスタR50Dには常時"0"が設定されている必要があります。

ワンショット出力は通常のブザー出力がOFF(BZON="0")の状態でのみ有効で、ON(BZON="1")状態でのトリガは無効となります。

ワンショット出力中に再トリガを行った場合は、その時点からSHTPWによって設定した時間を計測し直します。(時間延長)

ワンショット出力回路の動作状態はBZSHTを読み出すことによって確認することができ、ワンショット出力(BUSY)中は"1"、OFF(READY)時は"0"が読み出せます。

イニシャルリセット時、BZSHTは"0"(READY)に設定されます。

**BZSTP: 00FF44H·D6**

ワンショットブザー出力の強制停止を行います。

"1"書き込み: 強制停止  
 "0"書き込み: ノーオペレーション  
 読み出し: 常時"0"

BZSTPに"1"を書き込むことによって、SHTPWによる設定時間が経過する以前にワンショットブザー出力を強制停止させることができます。

BZSTPへの"0"書き込みおよびワンショットブザー出力中以外の"1"書き込みは無効となります。

なお、BZSHTとBZSTPに同時に"1"を書き込んだ場合はBZSTPが優先され、ワンショットブザー出力は停止状態となります。

BZSTPは書き込み専用のため、読み出し時は常時"0"となります。

**5.13.7 プログラミング上の注意事項**

- (1) BZ信号は出力制御レジスタBZONとは非同期に発生していますので、BZONの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- (2) BZ信号がイネーブルの状態(BZON="1"またはBZSHT="1")でSLP命令を実行した場合は、SLEEP状態からの復帰時にR50出力ポート端子に不安定なクロックが出力されます。したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前にB Z 信号をディセーブル状態(BZON=BZSHT="0")に設定してください。
- (3) ワンショット出力は通常のブザー出力がOFF(BZON="0")の状態でのみ有効で、ON(BZON="1")状態でのトリガは無効となります。

## 5.14 アナログコンパレータ

### 5.14.1 アナログコンパレータの構成

S1C88349はMOS入力のアナログコンパレータを2チャンネル内蔵しています。それぞれのアナログコンパレータは差動入力端子を2本(反転入力端子CMPPx、非反転入力端子CMPPx)持ち、汎用目的に使用することができます。

図5.14.1.1にアナログコンパレータの構成を示します。

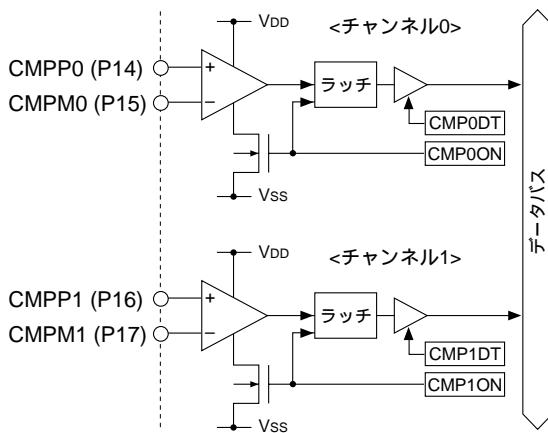


図5.14.1.1 アナログコンパレータの構成

アナログコンパレータの入力端子CMPP0、CMPP0、CMPP1、CMPP1は入出力兼用ポートP14～P17と共に用いており、アナログコンパレータへの入力端子として用いる場合はI/OコントロールレジスタIOC14～IOC17に"0"(入力モード)を設定する必要があります。

表5.14.1.1 入力端子の構成

端子	アナログコンパレータ使用時
P14	CMPP0
P15	CMPP0
P16	CMPP1
P17	CMPP1

注! P14～P17端子はA/D変換器の入力とも兼用されています。アナログコンパレータを使用する場合、A/D変換器は動作させないでください。

### 5.14.2 マスクオプション

アナログコンパレータの入力端子は入出力兼用ポートと共に用いています。使用するチャンネルに対応する入出力兼用ポートのマスクオプション設定を"抵抗なし"とする必要があります。

#### 入出力兼用ポートフルアップ抵抗

P14 (CMPP0) .....	抵抗あり	✓ 抵抗なし
P15 (CMPP0) .....	抵抗あり	✓ 抵抗なし
P16 (CMPP1) .....	抵抗あり	✓ 抵抗なし
P17 (CMPP1) .....	抵抗あり	✓ 抵抗なし

\* 上記"✓"印は両方のチャンネルを使用する場合の例

### 5.14.3 アナログコンパレータの動作

アナログコンパレータ制御レジスタCMPPxONに"1"を書き込むことによって、アナログコンパレータはONとなります。この制御によってアナログコンパレータは、2本の差動入力端子CMPPx、CMPPxに入力される外部電圧の比較を開始します。比較結果はCMPPx (+) > CMPPx (-)のときに"1"、CMPPx (+) < CMPPx (-)のときに"0"がそれぞれラッチを通じて、コンパレータ比較結果検出ビットCMPPxDTから読み出せます。

アナログコンパレータをONにしてから出力が安定するまでに、最大3msecの時間を必要とします。したがって、比較結果の読み出しはアナログコンパレータONの後、充分な待ち時間をおいてから行ってください。

なお、アナログコンパレータをOFFにするとその時点での比較結果がラッチされ、それ以降はアナログコンパレータをONにするまでそのデータが読み出されます。

消費電流を低減するため、必要なとき以外はアナログコンパレータをOFFにしてください。

入力電圧範囲については、"8 電気的特性"を参照してください。

注! アナログコンパレータの入力端子は入出力兼用ポートと共に用いています。使用するチャンネルに対応する入出力兼用ポートのI/Oコントロールレジスタ(IOC14～IOC17)を、入力モードに設定する必要があります。

### 5.14.4 アナログコンパレータの制御方法

表5.14.4.1にアナログコンパレータの制御ビットを示します。

表5.14.4.1 アナログコンパレータの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF13	D7	—	—	—	—	—	—	読み出し時は常時"0"
	D6	—	—	—	—	—	—	
	D5	—	—	—	—	—	—	
	D4	—	—	—	—	—	—	
	D3	CMP1ON	コンパレータ1 On/Off制御	On	Off	0	R/W	
	D2	CMP0ON	コンパレータ0 On/Off制御	On	Off	0	R/W	
	D1	CMP1DT	コンパレータ1データ	+ > -	+ < -	0	R	
	D0	CMP0DT	コンパレータ0データ	+ > -	+ < -	0	R	

#### CMP0ON, CMP1ON: 00FF13H·D2, D3

アナログコンパレータのON/OFFを制御します。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

アナログコンパレータ0はCMP0ONに"1"を書き込むとONし、"0"を書き込むとOFFします。

同様に、CMP1ONでアナログコンパレータ1が制御できます。

イニシャルリセット時、本レジスタはそれぞれ"0"(OFF)に設定されます。

#### CMP0DT, CMP1DT: 00FF13H·D0, D1

アナログコンパレータの比較結果が読み出せます。

"1"読み出し: CMPPx (+) > CMPMx (-)

"0"読み出し: CMPPx (+) < CMPMx (-)

書き込み: 無効

アナログコンパレータ0の比較結果がCMP0DTから読み出せます。差動入力端子CMPP0、CMPM0に入力される外部電圧が、それぞれCMPP0 (+) > CMPM0 (-)のときに"1"、CMPP0 (+) < CMPM0 (-)のときに"0"となります。

同様に、CMPP1とCMPM1の比較結果がCMP1DTから読み出せます。

アナログコンパレータをOFFにしている場合は、OFFになる直前にラッチされた結果が読み出されます。

イニシャルリセット時、本ビットはそれぞれ"1"に設定されます。

### 5.14.5 プログラミング上の注意事項

- (1) 消費電流を低減させるため、必要なとき以外はアナログコンパレータをOFF(CMP0ON=CMP1ON="0")にしてください。
- (2) アナログコンパレータをONにしてから出力が安定するまでに、最大、3msecの時間を必要とします。したがって、比較結果の読み出しあはアナログコンパレータONの後、充分な待ち時間をおいてから行ってください。
- (3) アナログコンパレータの入力端子は入出力兼用ポートと共に用されているため、使用するチャンネルに対応する入出力兼用ポートのI/Oコントロールレジスタ(IOC14 ~ IOC17)を、入力モードに設定する必要があります。
- (4) P14 ~ P17端子はA/D変換器の入力とも兼用されています。アナログコンパレータを使用する場合、A/D変換器は動作させないでください。

## 5.15 A/D変換器

### 5.15.1 A/D変換器の特長と構成

S1C88349は以下の特長を持つA/D変換器を内蔵しています。

- ・変換方式 逐次比較型
- ・分解能 10ビット
- ・入力チャンネル 最大4チャンネル
- ・変換時間 最小22 $\mu$ sec(1MHz動作時)
- ・アナログ変換電圧範囲が基準電圧端子(AVREF)により設定可能
- ・A/D変換結果は10ビットデータレジスタから読み出し可能
- ・サンプル&ホールド回路内蔵
- ・A/D変換終了時に割り込み発生

図5.15.1.1にA/D変換器の構成を示します。

### 5.15.2 A/D変換器の端子構成

A/D変換器で使用する端子は以下のとおりです。

AVDD、AVss(電源入力端子)

AVDD、AVss端子はA/D変換器の電源端子です。入力電圧はAVDD VDD、AVss=Vssとしてください。

AVREF(基準電圧入力端子)

AVREF端子はアナログ部の基準電圧端子です。A/D変換の入力電圧範囲がこの入力によって決定します。入力電圧はAVREF AVDDとしてください。

### AD4～AD7(アナログ入力端子)

アナログ入力端子AD4～AD7は入出力兼用ポート端子P14～P17と共用されています。したがって、アナログ入力端子として用いる場合は、ソフトウェアによりA/D変換器用に設定する必要があります。この設定は1端子ごとに行えます。(設定方法は5.15.4項参照)

イニシャルリセット時はすべての端子が入出力兼用ポート端子に設定されます。

入力可能なアナログ電圧値AVINはAVSS AVIN AVREFの範囲です。

注! P14～P17端子はアナログコンパレータの入力とも兼用されており、アナログコンパレータとA/D変換器を併用することはできません。A/D変換器を使用する場合、アナログコンパレータは動作させないでください。

### 5.15.3 マスクオプション

#### 入出力兼用ポートプルアップ抵抗

P14(AD4) .....	抵抗あり	✓ 抵抗なし
P15(AD5) .....	抵抗あり	✓ 抵抗なし
P16(AD6) .....	抵抗あり	✓ 抵抗なし
P17(AD7) .....	抵抗あり	✓ 抵抗なし

\* 上記"✓"印はすべての入力チャネルを使用する場合の例

A/D変換器のアナログ入力端子は入出力兼用ポート端子P14～P17と兼用されています。このため、入出力兼用ポート端子のプルアップ抵抗のマスクオプションがそのまま適用されます。A/D変換器を使用する場合は、変換精度を確保するため、使用する入力チャネルに対応する入出力兼用ポートのマスクオプションは"抵抗なし"を選択してください。

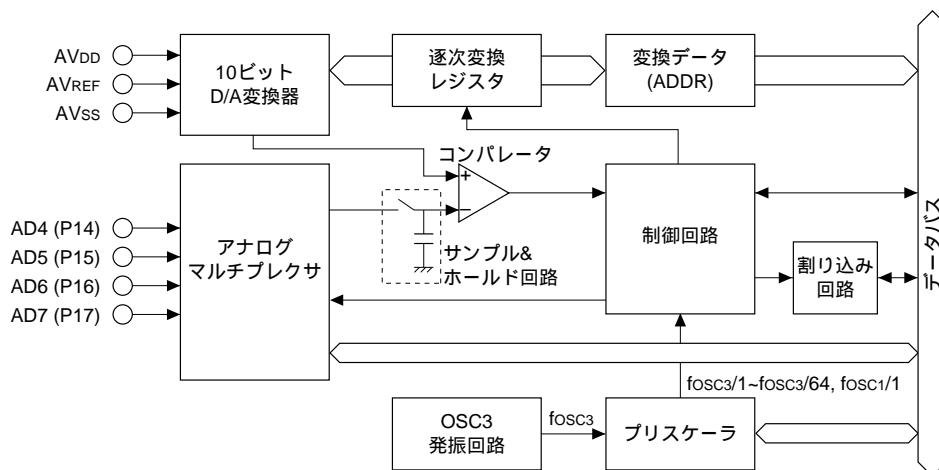


図5.15.1.1 A/D変換器の構成

### 5.15.4 A/D変換

#### A/D入力端子の設定

A/D変換器を使用する場合、入出力兼用ポート端子として初期設定されるP14～P17の中でアナログ入力に使用する端子を設定しておく必要があります。4端子すべてをアナログ入力端子として使用可能です。

アナログ入力端子への設定はPAD(PAD4～PAD7)レジスタによって行います。PADレジスタビットを"1"に設定することにより、対応する端子がアナログ入力端子として機能します。

表5.15.4.1 A/D入力端子とPADレジスタの対応

端子	A/D入力制御レジスタ
P14 (AD4)	PAD4
P15 (AD5)	PAD5
P16 (AD6)	PAD6
P17 (AD7)	PAD7

#### 入力クロックの設定

A/D変換クロックを表5.15.4.2に示す8種類から選択することができます。選択はPSADレジスタによって行います。

表5.15.4.2 入力クロックの選択

分周比選択レジスタ			分周比	出力制御レジスタ
PSAD2	PSAD1	PSAD0		
1	1	1	fosc1/1	PRAD "1": ON "0": OFF
1	1	0	fosc3/64	
1	0	1	fosc3/32	
1	0	0	fosc3/16	
0	1	1	fosc3/8	
0	1	0	fosc3/4	
0	0	1	fosc3/2	
0	0	0	fosc3/1	

選択したクロックはPRADレジスタに"1"を書き込むことにより、A/D変換器に入力されます。

注! • OSC3発振クロックを使用する場合は、A/D変換器を使用する以前にOSC3の発振をONさせる必要があります。

なお、OSC3発振回路をONにしてから発振が安定するまでに数msec～数10msecの時間を必要とします。したがって、A/D変換の開始はOSC3発振ONの後、充分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"8 電気的特性"に発振開始時間の一例を示しますので参照してください。)

イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

- A/D変換クロックは1MHz以下になるように表5.15.4.2を参照して分周比を決めてください。また、使用電圧によりA/D変換クロックの周波数が異なります。その値については"8 電気的特性"を参照してください。
- 入力クロックの設定はA/D変換器が停止中に行ってください。A/D変換動作中の変更是誤動作の原因となります。
- A/D変換器へのクロック入力がOFFの場合にA/D変換を開始(CHSレジスタへの書き込み)させたり、A/D変換動作中にクロック入力をOFFにしないでください。誤動作の原因となります。

#### 入力信号の選択

AD4(P14)～AD7(P17)のアナログ入力はマルチプレクサに入力されており、ソフトウェアによってA/D変換を行うアナログ入力チャンネルを選択します。この選択は表5.15.4.3のとおり、CHSレジスタによって行います。

表5.15.4.3 アナログ入力チャンネルの選択

CHS1	CHS0	入力チャンネル
1	1	AD7
1	0	AD6
0	1	AD5
0	0	AD4

#### A/D変換動作

A/D変換は、ADRUNレジスタへの書き込み動作によって開始します。たとえば、AD7をアナログ入力チャンネルとしてA/D変換を行いたい場合、CHSレジスタ(CHS1、CHS0)に"1"(1、1)を書き込み後、ADRUNレジスタに"1"を書き込みます。この動作によってA/D入力チャンネルの選択とA/D変換開始のトリガの両方が行われます。ただし、P17端子がアナログ入力端子として設定されている必要があります。

内蔵のサンプル&ホールド回路は、この書き込みからtAD時間経過後に指定されたアナログ入力のサンプリングを開始します。サンプリング期間が終了すると、そこでホールドされたアナログ入力電圧が逐次比較方式によりA/D変換されます。

ホールドされているアナログ入力電圧は10ビットの分解能でA/D変換され、その結果はADDR(ADDR0～ADDR9)レジスタに格納されます。ADDR0がLSB、ADDR9がMSBです。

注! PADレジスタで設定されたアナログ入力端子(同時複数設定可)とCHSレジスタで選択された入力チャンネルが一致していないと正しいA/D変換が行われません。

例) 端子設定:

PAD5=1, PAD7=PAD6=PAD4=0  
(AD5端子を設定)

入力チャンネル選択:

CHS1=0, CHS0=0  
(AD4を選択)

上記の設定では選択が一致していませんので、A/D変換結果は意味のないものとなります。

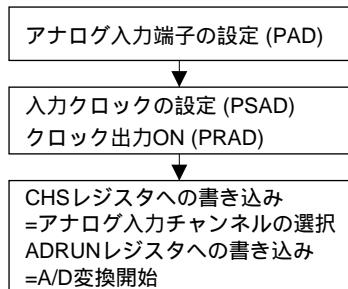


図5.15.4.1 A/D変換開始のフロー

変換結果がADDRレジスタに格納されA/D変換が終了すると、A/D変換器は次項で説明する割り込みを発生します。

A/D変換のタイミングを図5.15.4.2に示します。

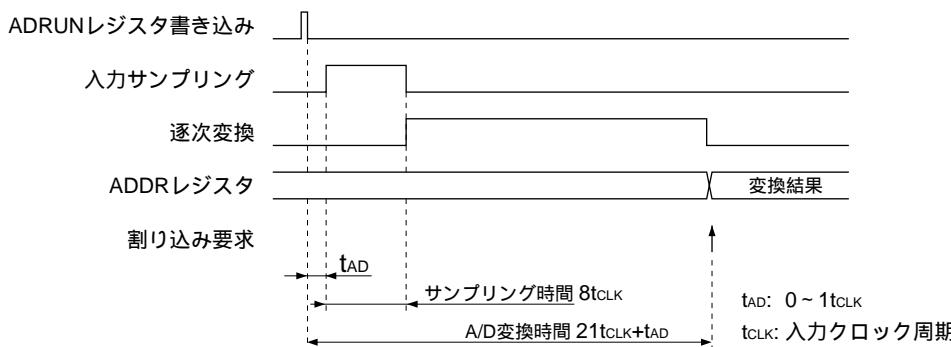


図5.15.4.2 A/D変換のタイミングチャート

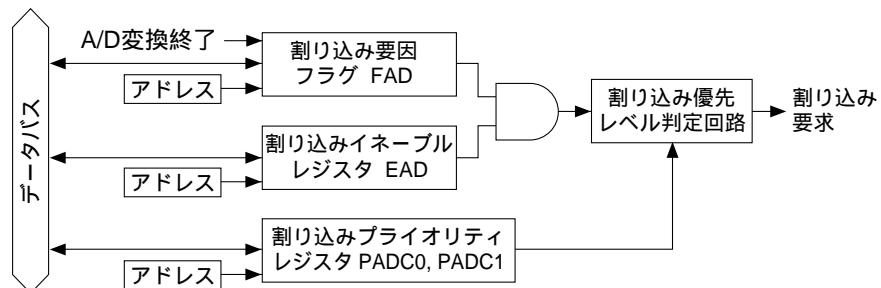


図5.15.5.1 A/D変換器割り込み回路の構成

### 5.15.6 A/D変換器の制御方法

表5.15.6.1にA/D変換器の制御ビットを示します。

表5.15.6.1(a) A/D変換器の制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF80	D7	—	—	—	—	—		読み出し時は常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	PRAD	A/D変換器クロック制御	On	Off	0	R/W	
	D2	PSAD2	A/D変換器クロック分周比			0	R/W	
		PSAD2	PSAD1	PSAD0	分周比			
		1	1	1	fosc1 / 1			
	D1	PSAD1	1	1	0	fosc3 / 64		
		1	0	1	fosc3 / 32			
		1	0	0	fosc3 / 16			
	D0	PSAD0	0	1	1	fosc3 / 8		
		0	1	0	fosc3 / 4			
		0	0	1	fosc3 / 2			
		0	0	0	fosc3 / 1			
00FF81	D7	PAD7	P17 A/D変換器入力制御			0	R/W	読み出し時は常時"0"
	D6	PAD6	P16 A/D変換器入力制御			0	R/W	
	D5	PAD5	P15 A/D変換器入力制御			0	R/W	
	D4	PAD4	P14 A/D変換器入力制御			0	R/W	
	D3	—	—	—	—	—		読み出し時は常時"0"
	D2	—	—	—	—	—		
	D1	—	—	—	—	—		
	D0	—	—	—	—	—		
00FF82	D7	ADRUN	A/D変換開始制御レジスタ	開始	無効	0	W	読み出し時は常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	CHS1	アナログ入力チャンネル選択			0	R/W	読み出し時は常時"0"
		CHS1	CHS0	入力チャンネル				
		1	1	AD7				
	D0	CHS0	1	0	AD6			
		0	1	AD5				
		0	0	AD4				
00FF83	D7	ADDR9	A/D変換結果D9 (MSB)					R
	D6	ADDR8	A/D変換結果D8					
	D5	ADDR7	A/D変換結果D7					
	D4	ADDR6	A/D変換結果D6					
	D3	ADDR5	A/D変換結果D5					R
	D2	ADDR4	A/D変換結果D4					
	D1	ADDR3	A/D変換結果D3					
	D0	ADDR2	A/D変換結果D2					
00FF84	D7	—	—	—	—	—		読み出し時は常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	ADDR1	A/D変換結果D1					
	D0	ADDR0	A/D変換結果D0 (LSB)					

表5.15.6.1(b) A/D変換器の制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF28	D7	PADC1	A/D変換器 割り込みプライオリティレジスタ	PADC1	優先 レベル 1 1 レベル3	0	R/W	読み出し時は 常時"0"
	D6	PADC0		PADC0	0 0 レベル0	0	R/W	
	D5	-	Reserved	禁止	-	0		
	D4	-	Reserved	禁止	-	0		
	D3	-	-	-	-	-		
	D2	-	-	-	-	-		
	D1	-	-	-	-	-		
	D0	-	-	-	-	-		
00FF2A	D7	EAD	A/D変換器 変換完了割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	読み出し時は 常時"0"
	D6	-		-	-	0	R/W	
	D5	-	-	-	-	-		
	D4	-	-	-	-	-		
	D3	-	-	-	-	-		
	D2	-	-	-	-	-		
	D1	-	-	-	-	-		
	D0	-	-	-	-	-		
00FF2C	D7	FAD	A/D変換器 変換完了割り込み要因フラグ	(R)割込みあり (W)リセット	(R)割込みなし (W)無効	0	R/W	読み出し時は 常時"0"
	D6	-		-	-	0	R/W	
	D5	-	-	-	-	-		
	D4	-	-	-	-	-		
	D3	-	-	-	-	-		
	D2	-	-	-	-	-		
	D1	-	-	-	-	-		
	D0	-	-	-	-	-		

**PAD4~PAD7: 00FF81H·D4~D7**

P14 ~ P17端子をそれぞれA/D変換器のアナログ入力端子に設定します。

"1"書き込み: A/D変換器入力  
"0"書き込み: 入出力兼用ポート

読み出し: 可能

PADnに"1"を書き込むとP1n端子がA/D変換器のアナログ入力端子ADnに設定されます。(n=4 ~ 7)

"0"を書き込んだ場合、その端子は入出力兼用ポート端子となります。

イニシャルリセット時、本レジスタは"0"(入出力兼用ポート)に設定されます。

**PSAD0~PSAD2: 00FF80H·D0~D2**

A/D変換器の入力クロックを選択します。

表5.15.6.2 入力クロックの選択

分周比選択レジスタ			分周比	出力制御レジスタ
PSAD2	PSAD1	PSAD0		
1	1	1	fosc1/1	PRAD "1": ON "0": OFF
1	1	0	fosc3/64	
1	0	1	fosc3/32	
1	0	0	fosc3/16	
0	1	1	fosc3/8	
0	1	0	fosc3/4	
0	0	1	fosc3/2	
0	0	0	fosc3/1	

この設定により入力クロックの分周比が制御されます。

イニシャルリセット時、本レジスタは"0"(fosc3/1)に設定されます。

**PRAD: 00FF80H·D3**

クロック入力をON/OFFします。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

PRADレジスタに"1"を書き込むことにより、PSADレジスタで設定されたクロックがA/D変換器に入力されます。

"0"を書き込んだ場合はA/D変換器へのクロック供給が停止します。

イニシャルリセット時、本レジスタは"0"(OFF)に設定されます。

**ADRUN: 00FF82H·D7**

A/D変換を開始させます。

"1"書き込み: A/D変換開始

"0"書き込み: 無効

読み出し: 常時"0"

本レジスタへの書き込みにより、A/D変換器はCHSレジスタで選択されたチャンネルのA/D変換を開始し、変換結果をADDRレジスタに格納します。

**CHS0, CHS1: 00FF82H·D0, D1**

アナログ入力チャンネルを選択します。

表5.15.6.3 アナログ入力チャンネルの選択

CHS1	CHS0	入力チャンネル
1	1	AD7
1	0	AD6
0	1	AD5
0	0	AD4

イニシャルリセット時、本レジスタは"0"(AD4)に設定されます。

**ADDR0~ADDR9: 00FF84H·D0, D1, 00FF83H**

A/D変換結果が格納されます。

ADDR0がLSB、ADDR9がMSBです。ADDR0とADDR1はアドレス00FF84HのD0とD1ビットに割り付けられていますが、D2~D7ビットは読み出し時は常時"0"となります。

イニシャルリセット時、データは不定となります。

**PADC0, PADC1: 00FF28H·D6, D7**

A/D変換完了割り込みの優先レベルを設定します。

PADCレジスタはA/D変換完了割り込みに対応した割り込みプライオリティレジスタで、設定できる割り込み優先レベルは表5.15.6.4のとおりです。

表5.15.6.4 割り込み優先レベルの設定

PADC1	PADC0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

**EAD: 00FF2AH·D7**

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

EADレジスタはA/D変換完了割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定すると割り込みが許可され、"0"に設定すると割り込みが禁止されます。

イニシャルリセット時、本レジスタは"0"(割り込み禁止)に設定されます。

**FAD: 00FF2CH·D7**

A/D変換完了割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

FADはA/D変換完了割り込みに対応する割り込み要因フラグで、A/D変換が終了すると"1"にセットされます。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0, I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、FADフラグは"0"にリセットされます。

### 5.15.7 プログラミング上の注意事項

- (1) OSC3発振クロックを使用する場合は、A/D変換器を使用する以前にOSC3の発振をONさせる必要があります。  
なお、OSC3発振回路をONにしてから発振が安定するまでに数msec～数10msecの時間を必要とします。したがって、A/D変換の開始はOSC3発振ONの後、充分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"8 電気的特性"に発振開始時間の一例を示しますので参照してください。) イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。
- (2) A/D変換中にSLEEPモードに設定すると、OSC3発振回路が停止し、正しいA/D変換結果が得られません。A/D変換中はSLEEPモードに設定しないでください。
- (3) 入力クロックやアナログ入力端子の設定は必ずA/D変換停止中に行ってください。A/D変換開始後の変更は誤動作の原因となります。
- (4) A/D変換クロックは1MHz以下になるように表5.15.4.2を参照して分周比を決めてください。また、使用電圧によりA/D変換クロックの周波数が異なります。その値については"8 電気的特性"を参照してください。
- (5) A/D変換器へのクロック入力がOFFの場合にA/D変換を開始(CHSレジスタへの書き込み)させたり、A/D変換動作中にクロック入力をOFFにしないでください。誤動作の原因となります。
- (6) PADレジスタで設定されたアナログ入力端子(同時複数設定可)とCHSレジスタで選択された入力チャンネルが一致していないと正しいA/D変換が行われません。
- (7) A/D変換器のアナログ入力として使用しないP1n端子をA/D変換動作中に動作させないでください(デジタル信号の入出力等)。A/D変換精度に影響します。
- (8) P14～P17端子はアナログコンパレータの入力とも兼用されており、アナログコンパレータとA/D変換器を併用することはできません。A/D変換器を使用する場合、アナログコンパレータは動作させないでください。
- (9) A/D変換器の制御ビット(FF28H・D5, D4)に"1"を書き込むと、割り込みの誤動作の原因になります。

## 5.16 電源電圧検出(SVD)回路

### 5.16.1 SVD回路の構成

S1C88349は、4ビット逐次比較型A/Dコンバータで構成される電源電圧検出(SVD)回路を内蔵しています。

SVD回路は、電源電圧を16レベル(レベル0～レベル15)に判定できるほか、このためのサンプリング動作をソフトウェアによって制御することができます。また、電源電圧がレベル0以下に低下した場合にインシシャルリセット信号を発生するよう、マスクオプションで機能を選択することもできます。

図5.16.1.1にSVD回路の構成を示します。

## 5.16.2 マスクオプション

## SVD回路によるイニシャルリセット

使用しない

使用する

電源電圧がレベル0("8 電気的特性"参照)以下として連続的に4回検出された場合、SVD回路は電源電圧がレベル2以上に復帰するまでイニシャルリセット信号を発生することができます。

この機能を使用するかどうか、マスクオプションで選択することができます。

### 5.16.3 SVD回路の動作

## SVD回路のサンプリング制御

SVD回路は連続サンプリングと1/4Hzオートサンプリングの2種類の動作モードを持っています。動作モードの選択は、SVD制御レジスタSVDON、SVDSPによって表5.16.3.1に示すとおり行われ、SVDONとSVDSPの2ビットが共に"1"に設定された場合は、連続サンプリングが優先されます。

表5.16.3.1 制御レジスタと動作モードの対応

SVDON	SVDSP	動作モード
0	0	SVD回路 OFF
0	1	1/4Hzオートサンプリング ON
1	×	連続サンプリング ON

どちらの動作モードにおいても、SVD回路が動作(BUSY)中か待機(READY)中かは、SVDONを読み出すことで確認することができ"1"のときにBUSY、"0"のときにREADYをそれぞれ表示します。

SVD回路が動作中にSLP命令を実行した場合は、その時点のサンプリングが終了するまでOSC1発振回路の停止は待たれます。またさらに、このサンプリングの終了を待ってSVDONとSVDSPの2ビットが、ハードウェアによって自動的に"0"にリセットされます。

なお、消費電流を低減させるため、必要なとき以外はSVD回路をOFFにしてください。

## 検出結果

SVD回路は電源電圧( $V_{DD}-V_{SS}$ )を4ビットの分解能でA/D変換し、その結果を検出ビットSVD0～SVD3にセットします。SVD0～SVD3のデータと検出レベルは表5.16.3.2に示すとおり対応しており、次のサンプリングが行われるまで検出データは保持されます。

検出レベルと電源電圧との対応は"8 電気的特性"を参照してください。

SVD回路が電源電圧のサンプリングを開始してから結果をSVD0～SVD3にセットして終了するまで、7.8msec( $fosc1=32.768\text{kHz}$ )の時間を必要とします。したがって、これ以前のSVD0～SVD3の読み出しへ、前回の検出結果を読み出すことになります。

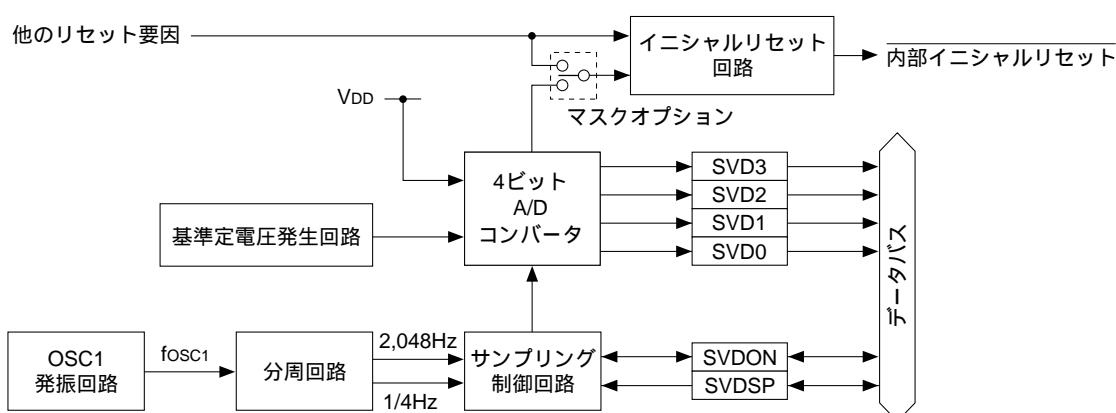


図5.16.1.1 SVD回路の構成

表5.16.3.2 電源電圧検出結果

SVD3	SVD2	SVD1	SVD0	検出レベル
1	1	1	1	レベル15
1	1	1	0	レベル14
1	1	0	1	レベル13
1	1	0	0	レベル12
1	0	1	1	レベル11
1	0	1	0	レベル10
1	0	0	1	レベル9
1	0	0	0	レベル8
0	1	1	1	レベル7
0	1	1	0	レベル6
0	1	0	1	レベル5
0	1	0	0	レベル4
0	0	1	1	レベル3
0	0	1	0	レベル2
0	0	0	1	レベル1
0	0	0	0	レベル0

### サンプリングのタイミング

以下に2種類の動作モードのタイミングについて説明をします。

#### (1) 連続サンプリングモード

SVDONに"1"を書き込んだ場合に本モードが選択され、7.8msec周期で連続的に電源電圧のサンプリングを行います。

SVD回路は内部の2,048Hz信号に同期して動作を開始し、16クロックで1回のサンプリングを行います。

サンプリングは待機時間を設けることなく連続的に行われ、検出結果を16クロック単位でSVD0～SVD3にラッチします。

連続サンプリングの解除は、SVDONに"0"を書き込むことで行います。このとき、SVD回路はその時点のサンプリングの終了までON状態を維持し、サンプリングの継ぎ目でOFFとなります。また、SVDONへの"0"書き込み後、実際にSVD回路がOFFとなるまでは、SVDONの読み出しが"1"となります。

図5.16.3.1に連続サンプリングのタイミングチャートを示します。

#### (2) 1/4Hzオートサンプリング

SVDONに"0"、SVDSPに"1"を書き込んだ場合に本モードが選択され、4秒ごとに電源電圧のサンプリングを行います。

1回のサンプリングは連続サンプリング同様7.8msecで行われ、4秒ごとにSVD0～SVD3の検出結果を更新します。

1/4Hzオートサンプリングの解除は、SVDSPに"0"を書き込むことで行います。このとき、SVD回路がサンプリング中である場合は、その終了までSVD回路のOFFは待たれます。また、SVD回路のサンプリング期間中は、SVDONに"1"が読み出されます。

図5.16.3.2に1/4Hzオートサンプリングのタイミングチャートを示します。

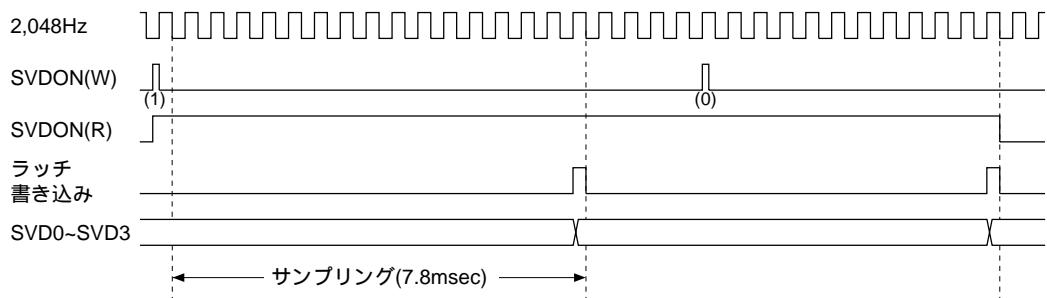


図5.16.3.1 連続サンプリングのタイミングチャート

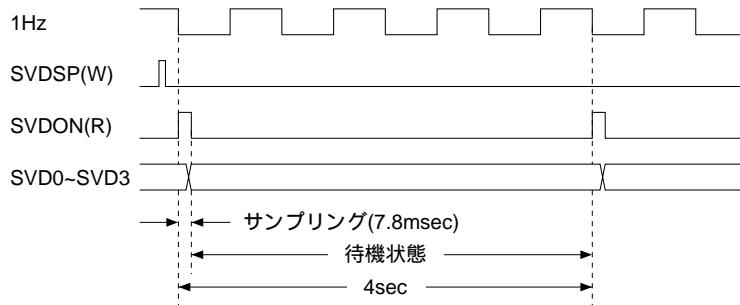


図5.16.3.2 1/4Hzオートサンプリングのタイミングチャート

### 低電圧検出時のリセット機能

電源電圧の低下によるCPUの暴走を回避するため、SVD回路は電源電圧がレベル0以下に低下した場合にイニシャルリセット信号を発生するよう、マスクオプションで機能を選択することができます。

SVD回路は、4回連続してレベル0(SVD3～SVD0=0000B)を検出すると連続サンプリング状態となります。このとき、同時に内部イニシャルリセット信号が発生され、電源電圧がレベル2(SVD3～SVD0=0010B)以上に復帰するまで、リセット状態は継続されます。

電源電圧の復帰によってリセット状態が解除されると、SVD回路は連続サンプリング状態となる前の状態へ復帰(前の状態が連続サンプリングの場合は、そのまま継続)し、CPUはリセット例外処理を開始します。

図5.16.3.3にイニシャルリセット信号発生のタイミングチャートを示します。(1/4Hzオートサンプリング使用時の例)

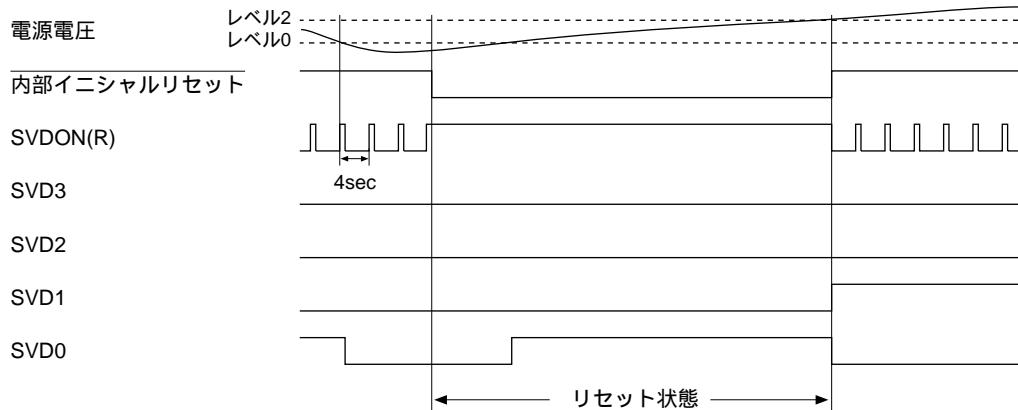


図5.16.3.3 イニシャルリセット信号発生のタイミングチャート

### 5.16.4 SVD回路の制御方法

表5.16.4.1にSVD回路の制御ビットを示します。

表5.16.4.1 SVD回路の制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF12	D7	—	—	—	—	—		読み出し時は常時"0"
	D6	—	—	—	—	—		
	D5	SVDSP	SVDオートサンプリング制御	On	Off	0	R/W	SLP命令実行時
	D4	SVDON	SVD連続サンプリング制御/ステータス	R W	Busy On	Ready Off	1→0 0	
	D3	SVD3	SVD検出レベル			X	R	"0"にリセット
	D2	SVD2	SVD3 SVD2 SVD1 SVD0 検出レベル	1 1 1 1	レベル15	X	R	
	D1	SVD1		1 1 1 0	レベル14	X	R	
	D0	SVD0		0 0 0 0	レベル0	X	R	

\*1 イニシャルリセット時、本ステータスはハードウェアによる初回のサンプリングが終了するまで、"1"に設定されます。

\*2 初期値は、イニシャルリセット後のハードウェアによる初回のサンプリング時に検出される電源電圧に従って設定されます。このサンプリングが終了するまで、SVD0～SVD3のデータは不定となります。

**SVDON: 00FF12H·D4**

連続サンプリングモードのON/OFFを制御します。

"1"書き込み: 連続サンプリング ON

"0"書き込み: 連続サンプリング OFF

"1"読み出し: BUSY

"0"読み出し: READY

連続サンプリングモードは、SVDONに"1"を書き込むとONし、"0"を書き込むとOFFします。

ON状態では7.8msec単位で連続的に電源電圧のサンプリングが行われ、検出結果がSVD0～SVD3にラッピングされます。

SVDONは読み出しも可能で、SVD回路が動作(BUSY)中のときに"1"、待機(READY)中のときに"0"をそれぞれ示します。

イニシャルリセット時、およびSLEEP状態のときSVDONは"0"(連続サンプリングOFF/READY)に設定されます。

**SVDSP: 00FF12H·D5**

オートサンプリングモードのON/OFFを制御します。

"1"書き込み: オートサンプリング ON

"0"書き込み: オートサンプリング OFF

読み出し: 可能

オートサンプリングモードは、SVDSPに"1"を書き込むとONし、"0"を書き込むとOFFします。

ON状態では4秒ごとに1回のサンプリングが行われ、実際のサンプリング期間中(7.8msec)は、SVDONに"1"が読み出されます。

イニシャルリセット時、およびSLEEP状態のときSVDSPは"0"(オートサンプリングOFF)に設定されます。

**SVD0～SVD3: 00FF12H·D0～D3**

SVDの検出結果がセットされます。読み出しデータと検出レベルは表5.16.4.2に示すとおり対応しており、次のサンプリングが行われるまでデータは保持されます。

表5.16.4.2 電源電圧検出結果

SVD3	SVD2	SVD1	SVD0	検出レベル
1	1	1	1	レベル15
1	1	1	0	レベル14
1	1	0	1	レベル13
1	1	0	0	レベル12
1	0	1	1	レベル11
1	0	1	0	レベル10
1	0	0	1	レベル9
1	0	0	0	レベル8
0	1	1	1	レベル7
0	1	1	0	レベル6
0	1	0	1	レベル5
0	1	0	0	レベル4
0	0	1	1	レベル3
0	0	1	0	レベル2
0	0	0	1	レベル1
0	0	0	0	レベル0

検出レベルと電源電圧との対応は"8 電気的特性"を参照してください。

イニシャルリセット時の初期値は、ハードウェアによる初回のサンプリング時に検出される電源電圧にしたがって設定されます。このサンプリングが終了するまで本ビットのデータは不定となります。

**5.16.5 プログラミング上の注意事項**

(1) 消費電流を低減させるため、必要なとき以外はSVD回路をOFF(SVDON=SVdsp="0")にしてください。

(2) SVD回路が動作中にSLP命令を実行した場合は、その時点のサンプリングが終了するまでOSC1発振回路の停止は待たれます。またさらに、このサンプリングの終了を待ってSVDONとSVdspの2ビットが、ハードウェアによって自動的に"0"にリセットされます。

## 5.17 割り込みとスタンバイ状態

### 割り込みの種類

S1C88349には以下に示す7系統16種類の割り込みが用意されています。

#### 外部割り込み

- K00 ~ K07入力割り込み(2種類)
- K10、K11入力割り込み(1種類)

#### 内部割り込み

- 計時タイマ割り込み(4種類)
- ストップウォッチタイマ割り込み(3種類)
- プログラマブルタイマ割り込み(2種類)
- シリアルインタフェース割り込み(3種類)
- A/D変換割り込み(1種類)

それぞれの割り込みには、割り込み要因の発生を示す割り込み要因フラグと割り込み要求の許可/禁止を設定する割り込みイネーブルレジスタが設けられており、個々の要因に対して割り込みの発生を任意に設定することができます。また、割り込みの各系統には割り込みプライオリティレジスタが設けられており、各系統ごとに割り込み処理の優先度を3レベルまで設定することができます。

図5.17.1に割り込み回路の構成を示します。

各割り込みの詳細については、それぞれの周辺回路の説明を参照してください。

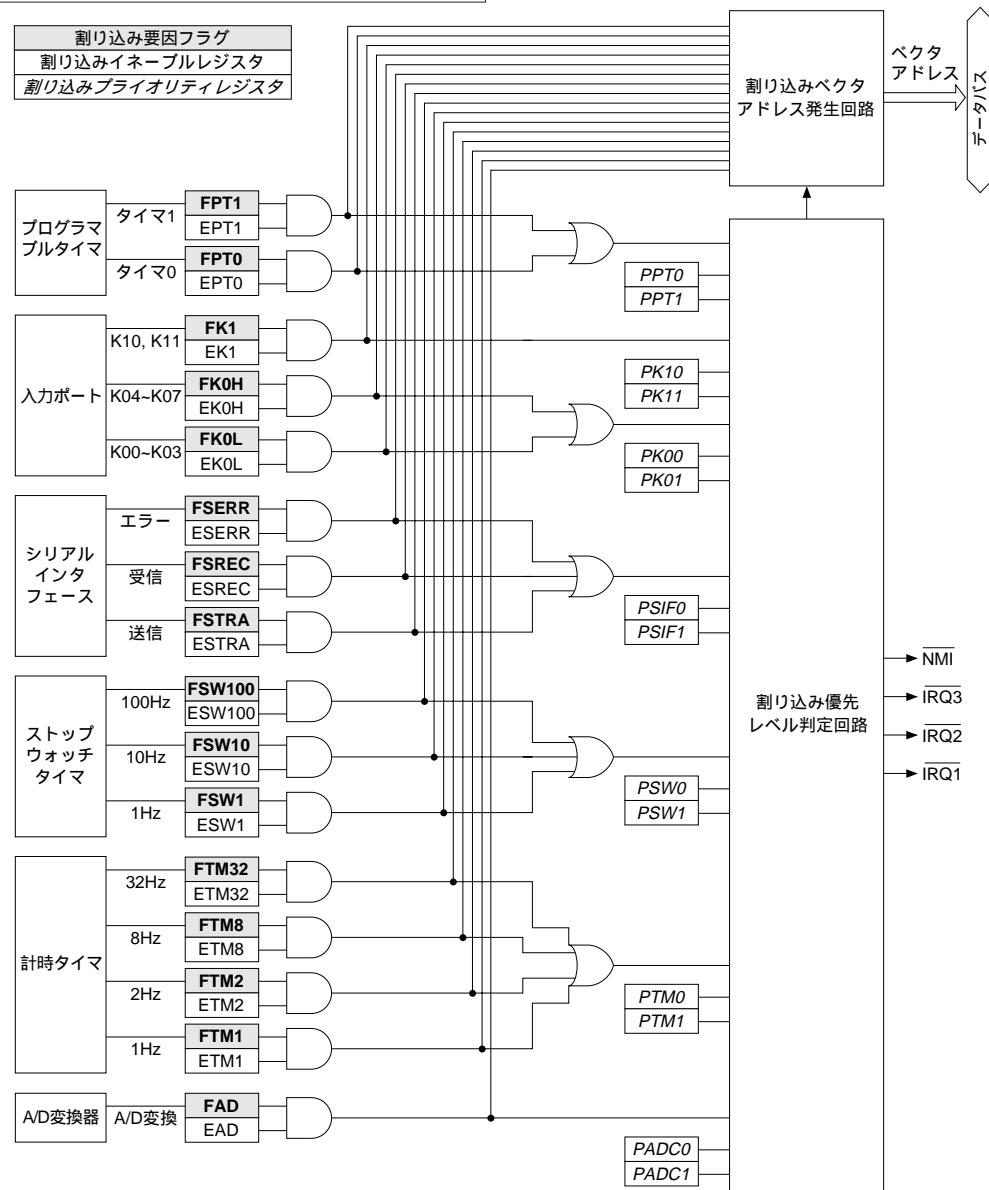


図5.17.1 割り込み回路の構成

### HALT状態

プログラム上でHALT命令を実行することで、S1C88349はHALT状態となります。

HALT状態ではCPUの動作が停止するため、周辺回路のみの動作による低消費電力化が実現できます。

HALT状態の解除はイニシャルリセット、または任意の割り込み要求によって行われ、CPUは例外処理ルーチンからプログラムの実行を再開します。

HALT状態と再起動のシーケンスについては、"S1C88コアCPUマニュアル"を参照してください。

### SLEEP状態

プログラム上でSLP命令を実行することで、S1C88349はSLEEP状態となります。

SLEEP状態ではCPUと周辺回路が完全に動作を停止するため、HALT状態以上の低消費電力が実現できます。

SLEEP状態の解除はイニシャルリセット、または入力ポートからの入力割り込みによって行われ、8,192/fosc1秒の発振安定待ち時間後にCPUが再起動されます。このとき、CPUは例外処理ルーチン(入力割り込みルーチン)からプログラムの実行を再開します。

注! SLEEP状態からの再起動時は、しばらくの間発振が不安定となるため、OSC1発振回路に32.768kHzの水晶振動子を使用しても、待ち時間は必ずしも250msecとはなりません。

### 5.17.1 割り込み発生条件

先に示した7系統16種類の割り込みには、それぞれの割り込み要因の発生を示す割り込み要因フラグが設けられており、要因の発生によって"1"にセットされます。

表5.17.2.1 割り込み要因

割り込み要因	割り込み要因フラグ
プログラマブルタイマ1のアンダーフロー	FPT1 00FF25 D7
プログラマブルタイマ0のアンダーフロー	FPT0 00FF25 D6
K10、K11入力と入力比較レジスタKCP10、KCP11との不一致	FK1 00FF25 D5
K04 ~ K07入力と入力比較レジスタKCP04 ~ KCP07との不一致	FK0H 00FF25 D4
K00 ~ K03入力と入力比較レジスタKCP00 ~ KCP03との不一致	FK0L 00FF25 D3
シリアルインターフェースの受信エラー(調歩同期式モード時)	FSERR 00FF25 D2
シリアルインターフェースの受信完了	FSREC 00FF25 D1
シリアルインターフェースの送信完了	FSTRA 00FF25 D0
ストップウォッチャタイマ100Hz信号の立ち下がりエッジ	FSW100 00FF24 D6
ストップウォッチャタイマ10Hz信号の立ち下がりエッジ	FSW10 00FF24 D5
ストップウォッチャタイマ1Hz信号の立ち下がりエッジ	FSW1 00FF24 D4
計時タイマ32Hz信号の立ち下がりエッジ	FTM32 00FF24 D3
計時タイマ8Hz信号の立ち下がりエッジ	FTM8 00FF24 D2
計時タイマ2Hz信号の立ち下がりエッジ	FTM2 00FF24 D1
計時タイマ1Hz信号の立ち下がりエッジ	FTM1 00FF24 D0
A/D変換器の変換完了	FAD 00FF2C D7

また、各割り込み要因フラグには1対1に対応する割り込みイネーブルレジスタが設けられており、"1"を書き込むと割り込み許可、"0"を書き込むと割り込み禁止となります。

CPUは割り込み要求の許可/禁止を割り込み優先レベルによって管理しています。7系統の各割り込みには優先レベルを設定する割り込みプライオリティレジスタが設けられており、CPUはインタラプトフラグ(I0、I1)が示すレベルより高いレベルの割り込みのみ受け付けます。

したがって、実際にCPUが割り込みを受け付けるには、以下の3条件の成立が必要です。

(1) 割り込み要因の発生によって、割り込み要因フラグが"1"にセットされている。

(2) 先に対応する割り込みイネーブルレジスタが"1"に設定されている。

(3) 先に対応する割り込みプライオリティレジスタが、インタラプトフラグ(I0、I1)より高い割り込み優先レベルに設定されている。

CPUは各命令の第1オペコードフェッチサイクルの最初で割り込みのサンプリングを行います。ここで上記の条件が成立していると、CPUは例外処理に移行します。

例外処理のシーケンスについては"S1C88コアCPUマニュアル"を参照してください。

### 5.17.2 割り込み要因フラグ

割り込みを発生する要因と割り込み要因フラグの対応を表5.17.2.1に示します。

それぞれの割り込み要因の発生によって、対応する割り込み要因フラグが"1"にセットされます。

ソフトウェアによってこのフラグを読み出すことで、発生した割り込み要因の種類を確認することができます。

"1"にセットされた割り込み要因フラグは、"1"を書き込むことで"0"にリセットされます。  
イニシャルリセット時、割り込み要因フラグは"0"にリセットされます。

注! 割り込み発生後、割り込み要因フラグをリセットせずにRETE命令を実行すると、再度同一の割り込みが発生してしまいます。  
したがって、割り込み処理ルーチン内では、そのルーチンに対応する割り込み要因フラグのリセット("1"書き込み)を必ず行ってください。

### 5.17.3 割り込みイネーブルレジスタ

割り込みイネーブルレジスタは各割り込み要因フラグに1対1で対応しており、個々に割り込み要求の許可/禁止を設定することができます。

割り込みイネーブルレジスタに"1"を書き込むと割り込み要求が許可され、"0"を書き込むと禁止されます。このレジスタは読み出しも可能で、その時点の設定状態を確認することもできます。

イニシャルリセット時、割り込みイネーブルレジスタは"0"に設定され、割り込み禁止状態となります。

表5.17.3.1に割り込みイネーブルレジスタと割り込み要因フラグの対応を示します。

表5.17.3.1 割り込みイネーブルレジスタと割り込み要因フラグ

割り込み	割り込み要因フラグ	割り込みイネーブルレジスタ
プログラマブルタイマ1	FPT1 (00FF25 D7)	EPT1 (00FF23 D7)
プログラマブルタイマ0	FPT0 (00FF25 D6)	EPT0 (00FF23 D6)
K10、K11入力	FK1 (00FF25 D5)	EK1 (00FF23 D5)
K04 ~ K07入力	FK0H (00FF25 D4)	EK0H (00FF23 D4)
K00 ~ K03入力	FK0L (00FF25 D3)	EK0L (00FF23 D3)
シリアルI/F受信エラー	FSERR (00FF25 D2)	ESERR (00FF23 D2)
シリアルI/F受信完了	FSREC (00FF25 D1)	ESREC (00FF23 D1)
シリアルI/F送信完了	FSTRA (00FF25 D0)	ESTRA (00FF23 D0)
ストップウォッチタイマ100Hz	FSW100 (00FF24 D6)	ESW100 (00FF22 D6)
ストップウォッチタイマ10Hz	FSW10 (00FF24 D5)	ESW10 (00FF22 D5)
ストップウォッチタイマ1Hz	FSW1 (00FF24 D4)	ESW1 (00FF22 D4)
計時タイマ32Hz	FTM32 (00FF24 D3)	ETM32 (00FF22 D3)
計時タイマ8Hz	FTM8 (00FF24 D2)	ETM8 (00FF22 D2)
計時タイマ2Hz	FTM2 (00FF24 D1)	ETM2 (00FF22 D1)
計時タイマ1Hz	FTM1 (00FF24 D0)	ETM1 (00FF22 D0)
A/D変換完了	FAD (00FF2C D7)	EAD (00FF2A D7)

表5.17.4.1 割り込みプライオリティレジスタ

割り込み	割り込みプライオリティレジスタ
プログラマブルタイマ	PPT0、PPT1 (00FF21 D2、D3)
K10、K11入力	PK10、PK11 (00FF21 D0、D1)
K00 ~ K07入力	PK00、PK01 (00FF20 D6、D7)
シリアルインターフェース	PSIF0、PSIF1 (00FF20 D4、D5)
ストップウォッチタイマ	PSW0、PSW1 (00FF20 D2、D3)
計時タイマ	PTM0、PTM1 (00FF20 D0、D1)
A/D変換器	PADC0、PADC1 (00FF28 D6、D7)

### 5.17.4 割り込みプライオリティ

#### レジスタと割り込み優先レベル

割り込みの各系列には、表5.17.4.1に示す割り込みプライオリティレジスタが設けられており、CPUに対する割り込みの優先レベル(0 ~ 3)を任意に設定することができます。

これによって、割り込みの優先処理順位をシステムに適合させた多重割り込みが可能となります。

各系列間の割り込み優先レベルは、割り込みプライオリティレジスタによって任意に3レベルまで設定できます。ただし、複数の系列を同一の優先レベルに設定した場合は、デフォルトの優先順位にしたがって処理されます。

表5.17.4.2 割り込み優先レベルの設定

P*1	P*0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、割り込みプライオリティレジスタはすべて"0"に設定され、各割り込みはレベル0となります。  
なお、各系列内での優先レベルはあらかじめ決められており、これを変更することはできません。

CPUはインタラプトフラグ(I0, I1)の設定によって各割り込みをマスクすることができます。各系列の割り込み優先レベルとインタラプトフラグの関係は表5.17.4.3のとおりで、CPUはインタラプトフラグが示すレベルより高い優先レベルの割り込みのみ受け付けます。このうち、レベル4の優先度を持っているNMI(ウォッチドッグタイマ)は、インタラプトフラグの設定にかかわらず常時受け付けられます。

表5.17.4.3 CPUの割り込みマスク設定

		受け付け可能な割り込み
I1	I0	
1	1	レベル4 (NMI)
1	0	レベル4、レベル3 (IRQ3)
0	1	レベル4、レベル3、レベル2 (IRQ2)
0	0	レベル4、レベル3、レベル2、レベル1 (IRQ1)

割り込みが受け付けられた後は、表5.17.4.4に示すとおりインタラプトフラグが受け付けた割り込みと同じレベルに書き換えられます。ただし、NMI受け付け後のインタラプトフラグの書き換えはレベル3(I0=I1="1")となります。

表5.17.4.4 割り込み受け付け後のインタラプトフラグ

受け付けた割り込みの優先レベル	I1	I0
レベル4 (NMI)	1	1
レベル3 (IRQ3)	1	1
レベル2 (IRQ2)	1	0
レベル1 (IRQ1)	0	1

インタラプトフラグは、割り込み処理ルーチンからの復帰時に、設定が元の値に戻されます。したがって、3レベルまでの多重割り込みは、割り込みプライオリティレジスタへの初期設定のみで制御することができます。また、それ以上の多重化は、インタラプトフラグと割り込みイネーブルレジスタを割り込み処理ルーチン内で書き換えることで実現できます。

注! 割り込み発生後、割り込み要因フラグをリセットする前にインタラプトフラグを書き換える(低い優先レベルに設定する)と、再度同一の割り込みが発生してしまいますので注意してください。

## 5.17.5 例外処理ベクタ

CPUが割り込みを受け付けると、実行中の命令の終了後に例外処理を開始します。例外処理ではプログラム分岐のために、以下の操作が行われます。

- (1) ミニマムモードではプログラムカウンタ(PC)とシステムコンディションフラグ(SC)を、マキシマムモードではコードバンクレジスタ(CB)とPC、およびSCをスタックに退避。
- (2) 各例外処理(割り込み)要因に対応する例外処理ベクタから分岐先アドレスを読み出し、PCにセット。

例外処理ベクタは、各例外(割り込み)処理ルーチンの先頭アドレスを格納している2バイトのデータで、ベクタアドレスと例外処理要因は表5.17.5.1のとおり対応しています。

表5.17.5.1 ベクタアドレスと例外処理要因の対応

ベクタアドレス	例外処理要因	優先順位
000000H	リセット	高い
000002H	ゼロ除算	
000004H	ウォッチドッグタイマ (NMI)	
000006H	プログラムブルタイマ1割り込み	
000008H	プログラムブルタイマ0割り込み	
00000AH	K10、K11入力割り込み	
00000CH	K04 ~ K07入力割り込み	
00000EH	K00 ~ K03入力割り込み	
000010H	シリアルI/Fエラー割り込み	
000012H	シリアルI/F受信完了割り込み	
000014H	シリアルI/F送信完了割り込み	
000016H	ストップウォッチタイマ100Hz割り込み	
000018H	ストップウォッチタイマ10Hz割り込み	
00001AH	ストップウォッチタイマ1Hz割り込み	
00001CH	計時タイマ32Hz割り込み	
00001EH	計時タイマ8Hz割り込み	
000020H	計時タイマ2Hz割り込み	
000022H	計時タイマ1Hz割り込み	
000024H	A/D変換完了割り込み	低い
000026H	システム予約(使用不可)	
000028H	：	
0000FEH	ソフトウェア割り込み	なし

注! 例外処理ベクタは2バイトに固定されたデータで、分岐先のバンクアドレスを指定することはできません。したがって、複数のバンクから共通の例外処理ルーチンに分岐させるためには、例外処理ルーチンの先頭部分をコモンエリア内(000000H ~ 007FFFFH)に記述しておく必要があります。

### 5.17.6 割り込みの制御

表5.17.6.1に割り込みの制御ビットを示します。

表5.17.6.1(a) 割り込みの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈			
00FF20	D7	PK01	K00～K07割り込み	PK01 PK00 PSIF1 PSIFO PSW1 PSWO PTM1 PTM0	優先 レベル レベル3 レベル2 レベル1 レベル0	0	R/W				
	D6	PK00	プライオリティレジスタ								
	D5	PSIF1	シリアルインタフェース割り込み								
	D4	PSIFO	プライオリティレジスタ								
	D3	PSW1	ストップウォッチタイマ割り込み								
	D2	PSW0	プライオリティレジスタ								
	D1	PTM1	計時タイマ割り込み								
	D0	PTM0	プライオリティレジスタ								
00FF21	D7	—	—	—	—	—	—	読み出し時は常時"0"			
	D6	—	—	—	—	—	—				
	D5	—	—	—	—	—	—				
	D4	—	—	—	—	—	—				
	D3	PPT1	プログラマブルタイマ割り込み	PPT1 PPT0 PK11 PK10	優先 レベル レベル3	0	R/W				
	D2	PPT0	プライオリティレジスタ								
	D1	PK11	K10, K11割り込み	1 1 1 0 0 1 0 0	レベル2 レベル1 レベル0						
	D0	PK10	プライオリティレジスタ								
00FF22	D7	—	—	—	—	—	—	読み出し時は"0"			
	D6	ESW100	ストップウォッチ100Hz割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W				
	D5	ESW10	ストップウォッチ10Hz割り込みイネーブルレジスタ								
	D4	ESW1	ストップウォッチ1Hz割り込みイネーブルレジスタ								
	D3	ETM32	計時タイマ32Hz割り込みイネーブルレジスタ								
	D2	ETM8	計時タイマ8Hz割り込みイネーブルレジスタ								
	D1	ETM2	計時タイマ2Hz割り込みイネーブルレジスタ								
	D0	ETM1	計時タイマ1Hz割り込みイネーブルレジスタ								
00FF23	D7	EPT1	プログラマブルタイマ1割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W				
	D6	EPT0	プログラマブルタイマ0割り込みイネーブルレジスタ								
	D5	EK1	K10, K11割り込みイネーブルレジスタ								
	D4	EKOH	K04～K07割り込みイネーブルレジスタ								
	D3	EKOL	K00～K03割り込みイネーブルレジスタ								
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブルレジスタ								
	D1	ESREC	シリアルI/F(受信)割り込みイネーブルレジスタ								
	D0	ESTRA	シリアルI/F(送信)割り込みイネーブルレジスタ								
00FF24	D7	—	—	—	—	—	—	読み出し時は"0"			
	D6	FSW100	ストップウォッチ100Hz割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W				
	D5	FSW10	ストップウォッチ10Hz割り込み要因フラグ								
	D4	FSW1	ストップウォッチ1Hz割り込み要因フラグ								
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ								
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ	(W) リセット	(W) 無効						
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ								
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ								
00FF25	D7	FPT1	プログラマブルタイマ1割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W				
	D6	FPT0	プログラマブルタイマ0割り込み要因フラグ								
	D5	FK1	K10, K11割り込み要因フラグ								
	D4	FK0H	K04～K07割り込み要因フラグ								
	D3	FK0L	K00～K03割り込み要因フラグ	(W) リセット	(W) 無効						
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ								
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ								
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ								

表5.17.6.1(b) 割り込みの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF28	D7	PADC1	A/D変換器 割り込みプライオリティレジスタ	PADC1 1 1 0 0	PADC0 1 0 1 0	優先 レベル レベル3 レベル2 レベル1 レベル0	0	読み出し時は 常時"0"
	D6	PADC0						
	D5	-	Reserved	-	禁止	-	-	
	D4	-	Reserved	-	禁止	-	-	
	D3	-	-	-	-	-	-	
	D2	-	-	-	-	-	-	
	D1	-	-	-	-	-	-	
	D0	-	-	-	-	-	-	
00FF2A	D7	EAD	A/D変換器 変換完了割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	読み出し時は 常時"0"
	D6	-						
	D5	-	-	-	-	-	-	
	D4	-	-	-	-	-	-	
	D3	-	-	-	-	-	-	
	D2	-	-	-	-	-	-	
	D1	-	-	-	-	-	-	
	D0	-	-	-	-	-	-	
00FF2C	D7	FAD	A/D変換器 変換完了割り込み要因フラグ	(R)割込みあり (W)リセット	(R)割込みなし (W)無効	0	R/W	読み出し時は 常時"0"
	D6	-						
	D5	-	-	-	-	-	-	
	D4	-	-	-	-	-	-	
	D3	-	-	-	-	-	-	
	D2	-	-	-	-	-	-	
	D1	-	-	-	-	-	-	
	D0	-	-	-	-	-	-	

各ビットの設定内容および制御方法については、それぞれの周辺回路の説明を参照してください。

## 5.17.7 プログラミング上の注意事項

- (1) 割り込み発生後、割り込み要因フラグをリセットせずにRETE命令を実行すると、再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、そのルーチンに対応する割り込み要因のリセット("1"書き込み)を必ず行ってください。
- (2) 割り込み発生後、割り込み要因フラグをリセットする前にインタラプトフラグ(I0、I1)を書き換える(低い優先レベルに設定する)と、再度同一の割り込みが発生してしまいますので注意してください。

- (3) 例外処理ベクタは2バイトに固定されたデータで、分岐先のバンクアドレスを指定することはできません。したがって、複数のバンクから共通の例外処理ルーチンに分岐させるためには、例外処理ルーチンの先頭部分をコモンエリア内(000000H ~ 007FFFH)に記述しておく必要があります。
- (4) NMI割り込み発生から2msec以内はSLP命令を実行しないでください。(fosc1=32.768kHzの場合)

# 6 注意事項

## 6.1 低消費電力化のための注意事項

S1C88349は、電力を多く消費する回路系を制御レジスタによってON/OFFすることができます。必要最小限の回路を、この制御レジスタによって動作させるプログラムとすることで、低消費電力化が実現できます。

以下に、プログラムによって動作を制御することのできる回路系とその制御レジスタ(命令)を示しますので、プログラミング上の参考としてください。

消費電流については"8 電気的特性"を参照してください。

その他、各周辺回路の注意事項については、それぞれの項の"プログラミング上の注意事項"を参照してください。

表6.1.1 回路系と制御レジスタ

回路系	制御レジスタ(命令)	イニシャルリセット時の状態
CPU	HALT、SLP命令	動作状態
発振回路	CLKCHG、OSCC	OSC1クロック (CLKCHG="0") OSC3発振OFF (OSCC="0")
動作モード	VDC0、VDC1	通常モード (VDC0=VDC1="0")
LCDコントローラ	LCDC0、LCDC1	駆動OFF (LCDC0=LCDC1="0")
SVD回路	SVDON、SVDSP	OFF状態 (SVDON=SVDSP="0")
アナログコンバーティ	CMP0ON、CMP1ON	OFF状態 (CMP0ON=CMP1ON="0")
A/D変換器	PRAD、ADRUN	OFF状態 (PRAD=ADRUN="0")

## 6.2 実装上の注意事項

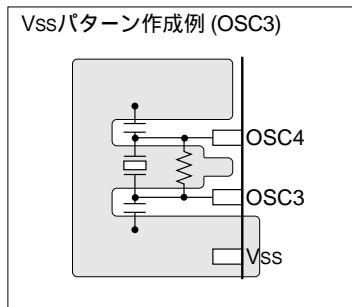
### 発振回路

発振特性は諸条件(使用部品、基板パターン等)により変化します。

特にセラミック発振子または水晶振動子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。

ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1) OSC1、OSC2、OSC3、OSC4端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
  - (2) OSC1、OSC2、OSC3、OSC4端子およびこれらの端子に接続された部品の周辺部は下図のようにVssパターンをできるだけ広く作成してください。
- また、このVssパターンは発振用途以外に使用しないでください。



OSC1(OSC3) - VDD間のリーク電流による発振回路の不安定動作を防止するため、基板パターンにおいて、OSC1(OSC3)はVDD電源や信号線とは十分な距離を確保してください。

### リセット回路

パワーオン時RESET端子に入力されるリセット信号は、諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。

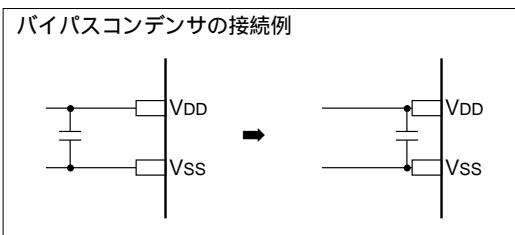
また、マスクオプションによりRESET端子のブルアップ抵抗を付加した場合には、抵抗値のばらつきを十分考慮した定数設定が必要です。

ノイズによる動作中のリセットを防ぐため、RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

### 電源回路

ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1) 電源からVDD、VSS端子およびAVDD、AVSS、AVREF端子へはできるだけ短くかつ太いパターンで接続してください。
- 特にAVDD、AVSS、AVREFの各電源は、A/D変換器に用いるため変換精度に影響を与えます。
- (2) VDD - VSSのバイパスコンデンサを接続する場合、VDD端子とVSS端子をできるだけ最短で接続してください。



- (3) VD1、VC1～VC5端子に接続するコンデンサ、抵抗等の部品はできるだけ最短で接続してください。
- 特にVC1～VC5の各電圧はLCD駆動として用いるため表示品質に影響を与えます。

### A/D変換器

A/D変換器を使用しない場合は、次のように接続してください。

AVDD → VDD

AVSS → VSS

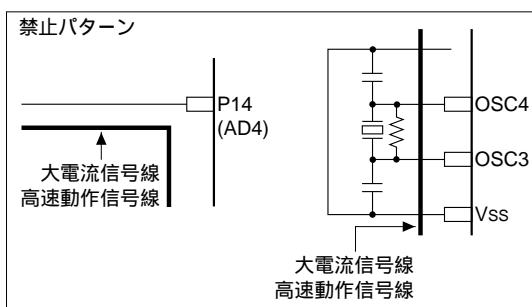
AVREF → VSS

## 信号線の配置

相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部、アナログ入力部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。

高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。

特に、発振部、アナログ入力部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



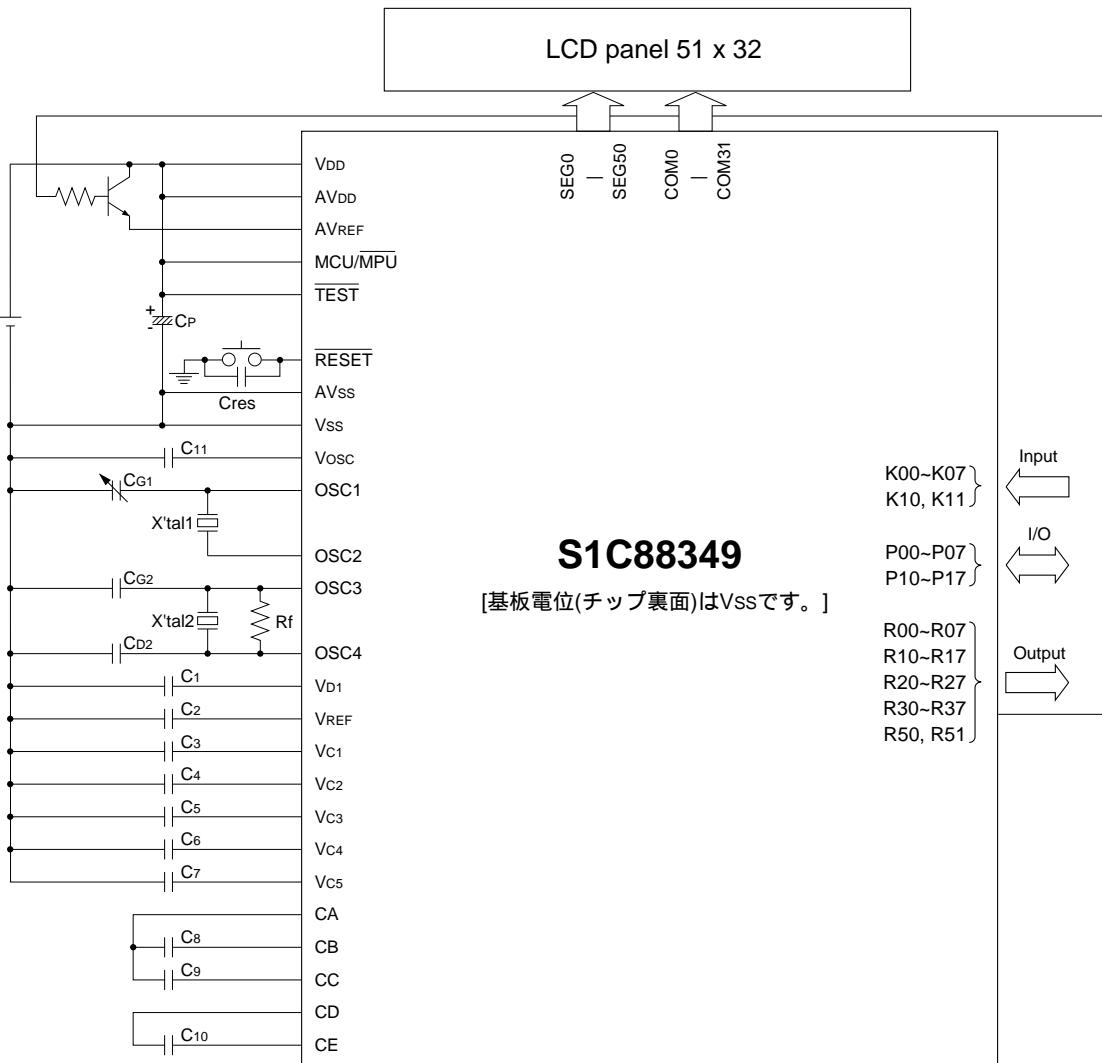
## 光に対する取り扱い(ベアチップ実装の場合)

半導体素子は、光が照射されると特性が変化します。このため、本ICに光が当たると誤動作をおこすことがあります。

光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。

- (1) 実使用時にICの遮光性が考慮された構造となるよう、設計および実装を行ってください。
- (2) 検査工程では、ICの遮光性が考慮された環境設計を行ってください。
- (3) ICの遮光は、ICチップの表面、裏面および側面について考慮してください。

# 7 基本外部結線図



## 外付部品推奨値

シンボル	名称	推奨値
X'tal1	水晶振動子	32.768kHz, C1(Max.)=35kΩ
X'tal2	水晶振動子	4.9152MHz
Rf	帰還抵抗	1MΩ
CG1	トリマキャパシタ	5~25pF
CG2	ゲートキャパシタ	15~30pF
CD2	ドレインキャパシタ	15~30pF
C1	Vss~VD1間キャパシタ	0.1μF
C2	Vss~VREF間キャパシタ	0.1μF
C3	Vss~VC1間キャパシタ	0.1μF

シンボル	名称	推奨値
C4	Vss~VC2間キャパシタ	0.1μF
C5	Vss~VC3間キャパシタ	0.1μF
C6	Vss~VC4間キャパシタ	0.1μF
C7	Vss~VC5間キャパシタ	0.1μF
C8~C10	昇圧キャパシタ	0.1μF
C11	Vss~Vosc間キャパシタ	0.1μF
Cr	電源間キャパシタ	3.3μF
Cres	RESET端子キャパシタ	0.47μF

注! ここに記載されている値は一例です。

# 8 電気的特性

## 8.1 絶対最大定格

(V <sub>SS</sub> = 0V)					
項目	記号	条件	定格値	単位	注
電源電圧	V <sub>DD</sub>		-0.3 ~ +7.0	V	
液晶電源電圧	V <sub>C5</sub>		-0.3 ~ +7.0	V	
入力電圧	V <sub>I</sub>		-0.3 ~ V <sub>DD</sub> + 0.3	V	
出力電圧	V <sub>O</sub>		-0.3 ~ V <sub>DD</sub> + 0.3	V	1
高レベル出力電流	I <sub>OH</sub>	1端子	-5	mA	
		全端子合計	-20	mA	
低レベル出力電流	I <sub>OL</sub>	1端子	5	mA	
		全端子合計	20	mA	
許容損失	P <sub>D</sub>		200	mW	2
動作温度	T <sub>opr</sub>		-40 ~ +85	°C	
保存温度	T <sub>stg</sub>		-65 ~ +150	°C	
半田付け温度・時間	T <sub>sol</sub>		260°C, 10sec (リード部)	—	

注) 1 マスクオプションによりNchオーブンドレイン出力を選択した場合も含まれます。

2 プラスチックパッケージの場合

## 8.2 推奨動作条件

項目	記号	条件	Min.	Typ.	Max.	単位	注
動作電源電圧(通常動作モード)	V <sub>DD</sub>		2.4		5.5	V	
動作電源電圧(低パワー動作モード)	V <sub>DD</sub>		1.8		3.5	V	
動作電源電圧(高速動作モード)	V <sub>DD</sub>		3.5		5.5	V	
動作周波数(通常動作モード)	f <sub>OSC1</sub>	V <sub>DD</sub> = 2.4 ~ 5.5V	30.000	32.768	80.000	kHz	1
	f <sub>OSC3</sub>		0.03		4.2	MHz	1
動作周波数(低パワー動作モード)	f <sub>OSC1</sub>	V <sub>DD</sub> = 1.8 ~ 3.5V	30.000	32.768	80.000	kHz	1
動作周波数(高速動作モード)	f <sub>OSC1</sub>	V <sub>DD</sub> = 3.5 ~ 5.5V	30.000	32.768	80.000	kHz	1
	f <sub>OSC3</sub>		0.03		8.2	MHz	1
液晶電源電圧	V <sub>C5</sub>	V <sub>C5</sub> ≥ V <sub>C4</sub> ≥ V <sub>C3</sub> ≥ V <sub>C2</sub> ≥ V <sub>C1</sub> ≥ V <sub>SS</sub>			7.0	V	2
V <sub>SS</sub> ~ V <sub>D1</sub> 間キャバシタ	C <sub>1</sub>			0.1		μF	
V <sub>SS</sub> ~ V <sub>REF</sub> 間キャバシタ	C <sub>2</sub>			0.1		μF	3
V <sub>SS</sub> ~ V <sub>C1</sub> 間キャバシタ	C <sub>3</sub>			0.1		μF	3
V <sub>SS</sub> ~ V <sub>C2</sub> 間キャバシタ	C <sub>4</sub>			0.1		μF	3
V <sub>SS</sub> ~ V <sub>C3</sub> 間キャバシタ	C <sub>5</sub>			0.1		μF	3
V <sub>SS</sub> ~ V <sub>C4</sub> 間キャバシタ	C <sub>6</sub>			0.1		μF	3
V <sub>SS</sub> ~ V <sub>C5</sub> 間キャバシタ	C <sub>7</sub>			0.1		μF	3
CA ~ CB間キャバシタ	C <sub>8</sub>			0.1		μF	3
CA ~ CC間キャバシタ	C <sub>9</sub>			0.1		μF	3
CD ~ CE間キャバシタ	C <sub>10</sub>			0.1		μF	3
V <sub>SS</sub> ~ V <sub>OSC</sub> 間キャバシタ	C <sub>11</sub>			0.1		μF	

注) 1 マスクオプションによりOSC1から外部クロックを入力する場合はOSC2を開放、OSC3から外部クロックを入力する場合はOSC4を開放としてください。

2 マスクオプションにより外部電源を選択した場合。

3 LCD駆動電源を使用しない場合は、キャバシタは必要ありません。また、V<sub>C1</sub> ~ V<sub>C5</sub>およびCA ~ CEは開放してください。

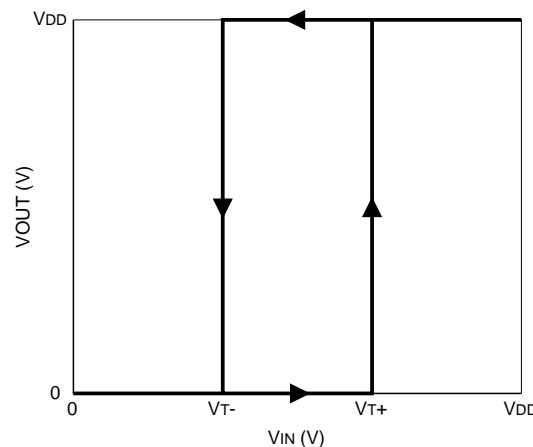
## 8.3 DC特性

特記なき場合の試験条件:  $V_{DD} = 1.8 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = -40 \sim 85$ 

項目	記号	条件	Min.	Typ.	Max.	単位	注
高レベル入力電圧(1)	$V_{IH1}$	$Kxx, Pxx, MCU/MPU$	$0.8V_{DD}$		$V_{DD}$	V	
低レベル入力電圧(1)	$V_{IL1}$	$Kxx, Pxx, MCU/MPU$	0		$0.2V_{DD}$	V	
高レベル入力電圧(2) (通常動作モード)	$V_{IH2}$	$OSC1, OSC3$	1.6		$V_{DD}$	V	1
高レベル入力電圧(2) (低パワー動作モード)	$V_{IH2}$	$OSC1$	1.0		$V_{DD}$	V	1
高レベル入力電圧(2) (高速動作モード)	$V_{IH2}$	$OSC1, OSC3$	2.4		$V_{DD}$	V	1
低レベル入力電圧(2) (通常動作モード)	$V_{IL2}$	$OSC1, OSC3$	0		0.6	V	1
低レベル入力電圧(2) (低パワー動作モード)	$V_{IL2}$	$OSC1$	0		0.3	V	1
低レベル入力電圧(2) (高速動作モード)	$V_{IL2}$	$OSC1, OSC3$	0		0.9	V	1
高レベルシュミット入力電圧	$V_{T+}$	$\overline{RESET}$	$0.5V_{DD}$		$0.9V_{DD}$	V	
低レベルシュミット入力電圧	$V_{T-}$	$\overline{RESET}$	$0.1V_{DD}$		$0.5V_{DD}$	V	
高レベル出力電流	$I_{OH}$	$Pxx, Rxx, V_{OH} = 0.9V_{DD}$			-0.5	mA	
低レベル出力電流	$I_{OL}$	$Pxx, Rxx, V_{OL} = 0.1V_{DD}$	0.5			mA	
入力リーケ電流	$I_{LI}$	$Kxx, Pxx, \overline{RESET}, MCU/MPU$	-1		1	$\mu A$	
出力リーケ電流	$I_{LO}$	$Pxx, Rxx$	-1		1	$\mu A$	
入力プルアップ抵抗	$R_{IN}$	$Kxx, Pxx, \overline{RESET}, MCU/MPU$	100		500	$k\Omega$	2
入力端子容量	$C_{IN}$	$Kxx, Pxx$ $V_{IN} = 0V, f = 1MHz, T_a = 25$			15	pF	
セグメント、コモン出力電流	$I_{SEGH}$	$SEGxx, COMxx, V_{SEGH} = V_{CS}-0.1V$			-5	$\mu A$	
	$I_{SEGL}$	$SEGxx, COMxx, V_{SEGL} = 0.1V$	5			$\mu A$	

注) 1 マスクオプションにより外部クロックを選択した場合。

2 マスクオプションによりプルアップ抵抗付加を選択した場合。



## 8.4 アナログ回路特性

### LCD駆動回路

特記なき場合の試験条件:  $V_{DD} = 1.8 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^{\circ}C$ ,  $C_1 \sim C_{11} = 0.1\mu F$

項目	記号	条件	Min.	Typ.	Max.	単位	注
LCD駆動電圧	$V_{C1}$	*1	$0.19 \bullet V_{C5}$		$0.23 \bullet V_{C5}$	V	
	$V_{C2}$	*2	$0.39 \bullet V_{C5}$		$0.43 \bullet V_{C5}$	V	
	$V_{C3}$	*3	$0.59 \bullet V_{C5}$		$0.63 \bullet V_{C5}$	V	
	$V_{C4}$	*4	$0.78 \bullet V_{C5}$		$0.82 \bullet V_{C5}$	V	
TYPE A (4.5V)	$V_{C5}$	$LCX = 0H$	Typ $\times 0.94$	3.89	Typ $\times 1.06$	V	
		$LCX = 1H$		3.96		V	
		$LCX = 2H$		4.04		V	
		$LCX = 3H$		4.11		V	
		$LCX = 4H$		4.18		V	
		$LCX = 5H$		4.26		V	
		$LCX = 6H$		4.34		V	
		$LCX = 7H$		4.42		V	
		$LCX = 8H$		4.50		V	
		$LCX = 9H$		4.58		V	
		$LCX = AH$		4.66		V	
		$LCX = BH$		4.74		V	
		$LCX = CH$		4.82		V	
		$LCX = DH$		4.90		V	
		$LCX = EH$		4.99		V	
		$LCX = FH$		5.08		V	
TYPE B (5.5V)	$V_{C5}$	$LCX = 0H$	Typ $\times 0.94$	4.73	Typ $\times 1.06$	V	
		$LCX = 1H$		4.83		V	
		$LCX = 2H$		4.92		V	
		$LCX = 3H$		5.02		V	
		$LCX = 4H$		5.11		V	
		$LCX = 5H$		5.21		V	
		$LCX = 6H$		5.30		V	
		$LCX = 7H$		5.40		V	
		$LCX = 8H$		5.50		V	
		$LCX = 9H$		5.60		V	
		$LCX = AH$		5.70		V	
		$LCX = BH$		5.81		V	
		$LCX = CH$		5.93		V	
		$LCX = DH$		6.05		V	
		$LCX = EH$		6.17		V	
		$LCX = FH$		6.29		V	

\*1  $V_{DD} \sim V_{C1}$ 間に $1M\Omega$ の負荷抵抗を接続した場合( $V_{C1}$ は、性質上 $V_{SS}$ 側の負荷に対して能力のない構造になっています)。

\*2  $V_{SS} \sim V_{C2}$ 間に $1M\Omega$ の負荷抵抗を接続した場合。

\*3  $V_{SS} \sim V_{C3}$ 間に $1M\Omega$ の負荷抵抗を接続した場合。

\*4  $V_{SS} \sim V_{C4}$ 間に $1M\Omega$ の負荷抵抗を接続した場合。

\*5  $V_{SS} \sim V_{C5}$ 間に $1M\Omega$ の負荷抵抗を接続した場合。

## SVD回路

特記なき場合の試験条件:  $V_{DD} = 1.8 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = 25$ 

項目	記号	条件	Min.	Typ.	Max.	単位	注
SVD電圧	V <sub>SVD</sub>	レベル1 レベル0		1.83		V	1
		レベル2 レベル1		2.00		V	1
		レベル3 レベル2		2.17		V	1
		レベル4 レベル3		2.33		V	1
		レベル5 レベル4		2.50		V	2
		レベル6 レベル5		2.67		V	2
		レベル7 レベル6		2.83		V	2
		レベル8 レベル7		3.00		V	2
		レベル9 レベル8		3.17		V	2
		レベル10 レベル9		3.33		V	2
		レベル11 レベル10		3.50		V	3
		レベル12 レベル11		3.67		V	3
		レベル13 レベル12		3.83		V	3
		レベル14 レベル13		4.00		V	3
		レベル15 レベル14		4.17		V	3

$V_{SVD}$  (レベル0) <  $V_{SVD}$  (レベル1) <  $V_{SVD}$  (レベル2) <  $V_{SVD}$  (レベル3) <  $V_{SVD}$  (レベル4) <  $V_{SVD}$  (レベル5) <  $V_{SVD}$  (レベル6) <  $V_{SVD}$  (レベル7) <  $V_{SVD}$  (レベル8) <  $V_{SVD}$  (レベル9) <  $V_{SVD}$  (レベル10) <  $V_{SVD}$  (レベル11) <  $V_{SVD}$  (レベル12) <  $V_{SVD}$  (レベル13) <  $V_{SVD}$  (レベル14) <  $V_{SVD}$  (レベル15)

注) 1 低パワー動作モードのみ

2 低パワー動作モードおよび通常動作モードのみ

3 通常動作モードおよび高速動作モードのみ

## アナログコンパレータ回路

特記なき場合の試験条件:  $V_{DD} = 1.8 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = 25$ 

項目	記号	条件	Min.	Typ.	Max.	単位	注
アナログコンパレータ	V <sub>CMIP</sub>	非反転入力(CMPP)	0.7		$V_{DD}-0.7$	V	1
動作入力電圧範囲	V <sub>CMIM</sub>	反転入力(CMPM)	0.7		$V_{DD}-0.7$	V	1
アナログコンパレータ オフセット電圧	V <sub>CMOF</sub>	$V_{CMIP} = 0.7V \sim V_{DD}-0.7V$ $V_{CMIM} = 0.7V \sim V_{DD}-0.7V$			20	mV	1
アナログコンパレータ安定時間	t <sub>CMPI</sub>				1	ms	2
アナログコンパレータ応答時間	t <sub>CMPI</sub>	$V_{CMIP} = 0.7V \sim V_{DD}-0.7V$ $V_{CMIM} = 0.7V \sim V_{DD}-0.7V$ $V_{CMIP} = V_{CMIM} \pm 0.025V$			2	ms	1 3

注) 1 マスクオプションによりプルアップ抵抗なし(コンパレータ入力端子)を選択した場合

2 安定時間とは、回路をオンしてから回路が安定するまでの時間

3 応答時間とは、入力信号に対し出力結果が応答するまでの時間

## A/D変換器特性

特記なき場合の試験条件:  $V_{DD} = AV_{DD} = AV_{REF} = 5.0V$ ,  $V_{SS} = AV_{SS} = 0V$ ,  $f_{osc1} = 32.768kHz$ ,  $f_{osc3} = 4.0MHz$ ,  $T_a = 25^{\circ}C$ 

項目	記号	条件	Min.	Typ.	Max.	単位	注
ゼロスケール誤差	Ezs	$V_{DD} = AV_{DD} = AV_{REF} = 2.4V \sim 5.5V$ , $ADCLK = 1MHz$ , $T_a = 25^{\circ}C$	-1.5		+1.5	LSB	
フルスケール誤差	Efs		-1.5		+1.5	LSB	
非直線性誤差	EI		-5		+5	LSB	
総合誤差	Et		-5		+5	LSB	
A/Dコンバータ 消費電流	IAD	$V_{DD} = AV_{DD} = AV_{REF} = 3.0V$ , $ADCLK = 1MHz$ , $T_a = 25^{\circ}C$ $AV_{REF}$ と $ADCLK$ 用ディバイダ の電流を除く		70	130	$\mu A$	1
		$V_{DD} = AV_{DD} = AV_{REF} = 5.0V$ , $ADCLK = 1MHz$ , $T_a = 25^{\circ}C$ $AV_{REF}$ と $ADCLK$ 用ディバイダ の電流を除く		250	350	$\mu A$	1
A/D変換クロック	f	$V_{DD} = AV_{DD} = AV_{REF} = 2.4V \sim 5.5V$ , $T_a = 25^{\circ}C$	0.03		1	MHz	2

\* ゼロスケール誤差:  $Ezs$  = ゼロ点の理想値からのずれ\* フルスケール誤差:  $Efs$  = フルスケール点の理想値からのずれ\* 非直線性誤差:  $EI$  = エンドポイントラインと実際の変換曲線とのずれ\* 総合誤差:  $Et = \max(Ezs, Efs, Eabs)$ 、  $Eabs$  = 理想直線からのずれ(量子化誤差を含む)

注) 1 変換時の平均電流。

2 A/D変換クロックの設定については、"5.15 A/D変換器"の表5.15.4.2を参照してください。

## 8.5 消費電流

特記なき場合の試験条件:  $V_{DD}$  = 各動作モードの動作電圧範囲,  $V_{SS} = 0V$ ,  $T_a = 25^{\circ}C$ ,  $OSC1 = 32.768kHz$ 水晶発振,  $CG = 25pF$ ,  $C1 \sim C11 = 0.1\mu F$ , パネル負荷なし

項目	記号	条件	Min.	Typ.	Max.	単位	注
電源電流 (通常動作モード)	IDD1	SLP命令実行時	*1		0.3	1.5	μA
	IDD2	HALT命令実行時	*2		1.5	4	μA
	IDD3	CPU動作時(32.768kHz)	*3		9	15	μA
	IDD4	CPU動作時(4MHz)	*4		1.1	1.4	mA
電源電流 (低パワー動作モード)	IDD1	SLP命令実行時	*1		0.2	1	μA
	IDD2	HALT命令実行時	*2		1	3	μA
	IDD3	CPU動作時(32.768kHz)	*3		5	7	μA
電源電流 (高速動作モード)	IDD1	SLP命令実行時	*1		0.6	3	μA
	IDD2	HALT命令実行時	*2		2	6	μA
	IDD3	CPU動作時(32.768kHz)	*3		13	20	μA
	IDD4	CPU動作時(8MHz)	*4		3.7	4.8	mA
LCD駆動回路電流	$I_{LCDN}$				3	5	μA
SVD回路電流	$I_{SVDN}$	$V_{DD} = 3V$ 時			30	60	μA
アナログコンパレータ回路電流	ICMP1	$CMPXDT = "1"$ 時			35	60	μA
	ICMP2	$CMPXDT = "0"$ 時			2	4	μA

\*1  $OSC1$ : 停止、 $OSC3$ : 停止、CPU, ROM, RAM: SLEEP状態、 計時タイマ: 停止、その他: 停止状態。

\*2  $OSC1$ : 発振、 $OSC3$ : 停止、CPU, ROM, RAM: HALT状態、 計時タイマ: 動作、その他: 停止状態。

\*3  $OSC1$ : 発振、 $OSC3$ : 停止、CPU, ROM, RAM: 32.768kHz動作、 計時タイマ: 動作、その他: 停止状態。

\*4  $OSC1$ : 発振、 $OSC3$ : 発振、CPU, ROM, RAM: 1MHz動作、 計時タイマ: 動作、その他: 停止状態。

注) 1  $V_{DD} = xV$ 時の値は、 $I_{SVDN} (V_{DD} = xV) = (x \times 60) - 150$  (MAX.値)により求められます。

## 8.6 AC特性

### 動作範囲

条件:  $V_{DD}$  = 各動作モードの動作電圧範囲,  $V_{SS} = 0V$ ,  $T_a = -40 \sim 85$

項目	記号	条件	Min.	Typ.	Max.	単位	注
動作周波数(通常動作モード)	fosc1	$V_{DD} = 2.4 \sim 5.5V$	30.000	32.768	80.000	kHz	
	fosc3		0.03		4.2	MHz	
動作周波数(低パワー動作モード)	fosc1	$V_{DD} = 1.8 \sim 3.5V$	30.000	32.768	80.000	kHz	
動作周波数(高速動作モード)	fosc1	$V_{DD} = 3.5 \sim 5.5V$	30.000	32.768	80.000	kHz	
	fosc3		0.03		8.2	MHz	
インストラクション実行時間 (OSC1クロック動作時)	t <sub>cy</sub>	1サイクル命令	25	61	67	μs	
		2サイクル命令	50	122	133	μs	
		3サイクル命令	75	183	200	μs	
		4サイクル命令	100	244	267	μs	
		5サイクル命令	125	305	333	μs	
		6サイクル命令	150	366	400	μs	
インストラクション実行時間 通常動作モード (OSC3クロック動作時)	t <sub>cy</sub>	1サイクル命令	0.5		66.7	μs	
		2サイクル命令	1.0		133.3	μs	
		3サイクル命令	1.4		200.0	μs	
		4サイクル命令	1.9		266.7	μs	
		5サイクル命令	2.4		333.3	μs	
		6サイクル命令	2.9		400.0	μs	
インストラクション実行時間 高速動作モード (OSC3クロック動作時)	t <sub>cy</sub>	1サイクル命令	0.2		66.7	μs	
		2サイクル命令	0.5		133.3	μs	
		3サイクル命令	0.7		200.0	μs	
		4サイクル命令	1.0		266.7	μs	
		5サイクル命令	1.2		333.3	μs	
		6サイクル命令	1.5		400.0	μs	

## 外部メモリアクセス

## • リードサイクル (通常動作モード時)

条件:  $V_{DD} = 2.4 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,  $V_{IH1} = 0.8V_{DD}$ ,  $V_{IL1} = 0.2V_{DD}$ ,  $V_{IH2} = 1.6V$ ,  $V_{IL2} = 0.6V$ , $V_{OH} = 0.8V_{DD}$ ,  $V_{OL} = 0.2V_{DD}$ ,  $C_L = 100pF$  (負荷容量)

項目	記号	Min.	Typ.	Max.	単位	注
リード時アドレスセットアップ時間	tras	$tc + tl - 100 + n \cdot tc / 2$			ns	1
リード時アドレスホールド時間	trah	th-80			ns	
リード信号パルス幅	trp	$tc - 50 + n \cdot tc / 2$			ns	1
リード時データ入力セットアップ時間	trds	300			ns	2
リード時データ入力ホールド時間	trdh	0			ns	

注) 1  $n$ には、ウェイトの挿入ステート数を代入します。

2 trdsを満たさない場合は、ウェイトを挿入してください。 ("3.6.5 ウェイト制御"参照)

## • リードサイクル (高速動作モード時)

条件:  $V_{DD} = 3.5 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,  $V_{IH1} = 0.8V_{DD}$ ,  $V_{IL1} = 0.2V_{DD}$ ,  $V_{IH2} = 2.4V$ ,  $V_{IL2} = 0.9V$ , $V_{OH} = 0.8V_{DD}$ ,  $V_{OL} = 0.2V_{DD}$ ,  $C_L = 100pF$  (負荷容量)

項目	記号	Min.	Typ.	Max.	単位	注
リード時アドレスセットアップ時間	tras	$tc + tl - 50 + n \cdot tc / 2$			ns	1
リード時アドレスホールド時間	trah	th-40			ns	
リード信号パルス幅	trp	$tc - 50 + n \cdot tc / 2$			ns	1
リード時データ入力セットアップ時間	trds	150			ns	2
リード時データ入力ホールド時間	trdh	0			ns	

注) 1  $n$ には、ウェイトの挿入ステート数を代入します。

2 trdsを満たさない場合は、ウェイトを挿入してください。 ("3.6.5 ウェイト制御"参照)

## • リードサイクル (低パワー動作モード時)

条件:  $V_{DD} = 1.8 \sim 3.5V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,  $V_{IH1} = 0.8V_{DD}$ ,  $V_{IL1} = 0.2V_{DD}$ ,  $V_{IH2} = 1.0V$ ,  $V_{IL2} = 0.3V$ , $V_{OH} = 0.8V_{DD}$ ,  $V_{OL} = 0.2V_{DD}$ ,  $C_L = 100pF$  (負荷容量)

項目	記号	Min.	Typ.	Max.	単位	注
リード時アドレスセットアップ時間	tras	15			μs	
リード時アドレスホールド時間	trah	5			μs	
リード信号パルス幅	trp	10			μs	
リード時データ入力セットアップ時間	trds	10			μs	
リード時データ入力ホールド時間	trdh	0			μs	

## • ライトサイクル (通常動作モード時)

条件:  $V_{DD} = 2.4 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,  $V_{IH1} = 0.8V_{DD}$ ,  $V_{IL1} = 0.2V_{DD}$ ,  $V_{IH2} = 1.6V$ ,  $V_{IL2} = 0.6V$ , $V_{OH} = 0.8V_{DD}$ ,  $V_{OL} = 0.2V_{DD}$ ,  $C_L = 100pF$  (負荷容量)

項目	記号	Min.	Typ.	Max.	単位	注
ライト時アドレスセットアップ時間	twas	$tc - 180$			ns	
ライト時アドレスホールド時間	twah	th-80			ns	
ライト信号パルス幅	twp	$tl - 40 + n \cdot tc / 2$			ns	1
ライト時データ出力セットアップ時間	twds	$tc - 180 + n \cdot tc / 2$			ns	1
ライト時データ出力ホールド時間	twdh	th-80		th+80	ns	

注) 1  $n$ には、ウェイトの挿入ステート数を代入します。

## • ライトサイクル (高速動作モード時)

条件:  $V_{DD} = 3.5 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,  $V_{IH1} = 0.8V_{DD}$ ,  $V_{IL1} = 0.2V_{DD}$ ,  $V_{IH2} = 2.4V$ ,  $V_{IL2} = 0.9V$ ,  $V_{OH} = 0.8V_{DD}$ ,  $V_{OL} = 0.2V_{DD}$ ,  $C_L = 100pF$  (負荷容量)

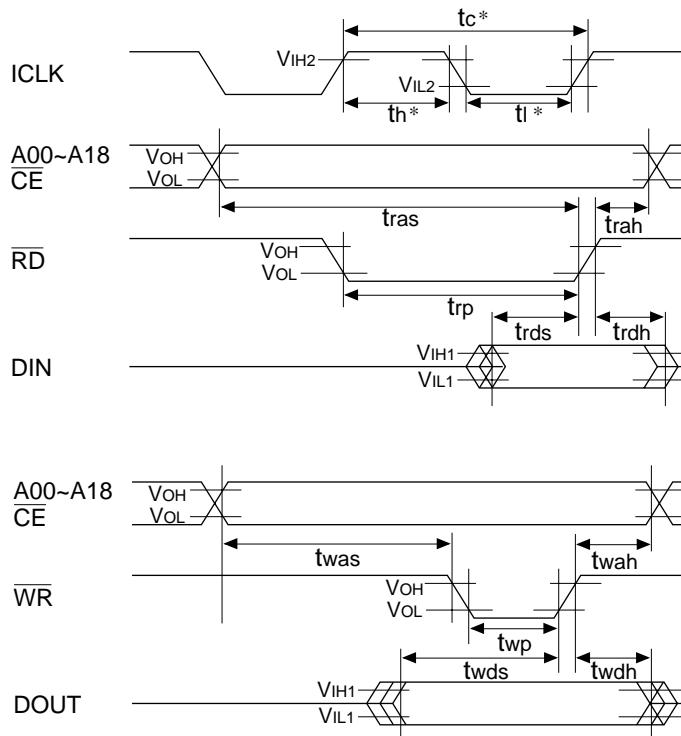
項目	記号	Min.	Typ.	Max.	単位	注
ライト時アドレスセットアップ時間	twas	tc-90			ns	
ライト時アドレスホールド時間	twah	th-40			ns	
ライト信号パルス幅	twp	tl-20+n•tc/2			ns	1
ライト時データ出力セットアップ時間	twds	tc-90+n•tc/2			ns	1
ライト時データ出力ホールド時間	twdh	th-40		th+40	ns	

注) 1 nには、ウェイトの挿入ステート数を代入します。

## • ライトサイクル (低パワー動作モード時)

条件:  $V_{DD} = 1.8 \sim 3.5V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,  $V_{IH1} = 0.8V_{DD}$ ,  $V_{IL1} = 0.2V_{DD}$ ,  $V_{IH2} = 1.0V$ ,  $V_{IL2} = 0.3V$ ,  $V_{OH} = 0.8V_{DD}$ ,  $V_{OL} = 0.2V_{DD}$ ,  $C_L = 100pF$  (負荷容量)

項目	記号	Min.	Typ.	Max.	単位	注
ライト時アドレスセットアップ時間	twas	10			μs	
ライト時アドレスホールド時間	twah	5			μs	
ライト信号パルス幅	twp	5			μs	
ライト時データ出力セットアップ時間	twds	10			μs	
ライト時データ出力ホールド時間	twdh	5		20	μs	



\* 水晶・セラミック発振使用の場合は、 $th = 0.5tc \pm 0.05tc$ ,  $tl = tc - th$  と考えてください。(1/tcは発振周波数)

\* CR発振使用の場合は、 $th = 0.5tc \pm 0.10tc$ ,  $tl = tc - th$  と考えてください。(1/tcは発振周波数)

## シリアルインターフェース

## • クロック同期式マスタモード (通常動作モード時)

条件:  $V_{DD} = 2.4 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,  $V_{IH1} = 0.8V_{DD}$ ,  $V_{IL1} = 0.2V_{DD}$ ,  $V_{OH} = 0.8V_{DD}$ ,  $V_{OL} = 0.2V_{DD}$ 

項目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	tsmd			200	ns	
受信データ入力セットアップ時間	tsms	500			ns	
受信データ入力ホールド時間	tsmh	200			ns	

## • クロック同期式マスタモード (高速動作モード時)

条件:  $V_{DD} = 3.5 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,  $V_{IH1} = 0.8V_{DD}$ ,  $V_{IL1} = 0.2V_{DD}$ ,  $V_{OH} = 0.8V_{DD}$ ,  $V_{OL} = 0.2V_{DD}$ 

項目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	tsmd			100	ns	
受信データ入力セットアップ時間	tsms	250			ns	
受信データ入力ホールド時間	tsmh	100			ns	

## • クロック同期式マスタモード (低パワー動作モード時)

条件:  $V_{DD} = 1.8 \sim 3.5V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,  $V_{IH1} = 0.8V_{DD}$ ,  $V_{IL1} = 0.2V_{DD}$ ,  $V_{OH} = 0.8V_{DD}$ ,  $V_{OL} = 0.2V_{DD}$ 

項目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	tsmd			5	μs	
受信データ入力セットアップ時間	tsms	10			μs	
受信データ入力ホールド時間	tsmh	5			μs	

## • クロック同期式スレーブモード (通常動作モード時)

条件:  $V_{DD} = 2.4 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,  $V_{IH1} = 0.8V_{DD}$ ,  $V_{IL1} = 0.2V_{DD}$ ,  $V_{OH} = 0.8V_{DD}$ ,  $V_{OL} = 0.2V_{DD}$ 

項目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	tssd			500	ns	
受信データ入力セットアップ時間	tsss	200			ns	
受信データ入力ホールド時間	tssh	200			ns	

## • クロック同期式スレーブモード (高速動作モード時)

条件:  $V_{DD} = 3.5 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,  $V_{IH1} = 0.8V_{DD}$ ,  $V_{IL1} = 0.2V_{DD}$ ,  $V_{OH} = 0.8V_{DD}$ ,  $V_{OL} = 0.2V_{DD}$ 

項目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	tssd			250	ns	
受信データ入力セットアップ時間	tsss	100			ns	
受信データ入力ホールド時間	tssh	100			ns	

## • クロック同期式スレーブモード (低パワー動作モード時)

条件:  $V_{DD} = 1.8 \sim 3.5V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,  $V_{IH1} = 0.8V_{DD}$ ,  $V_{IL1} = 0.2V_{DD}$ ,  $V_{OH} = 0.8V_{DD}$ ,  $V_{OL} = 0.2V_{DD}$ 

項目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	tssd			10	μs	
受信データ入力セットアップ時間	tsss	5			μs	
受信データ入力ホールド時間	tssh	5			μs	

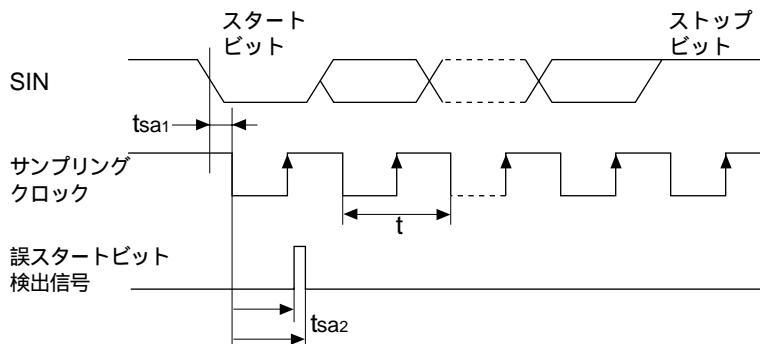
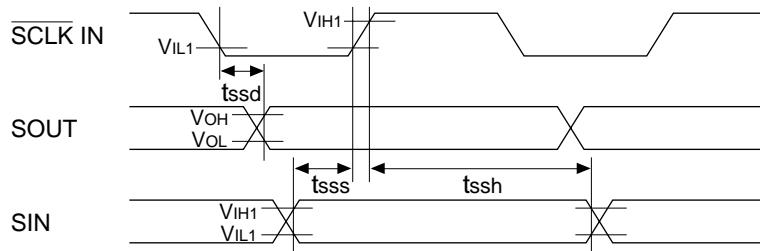
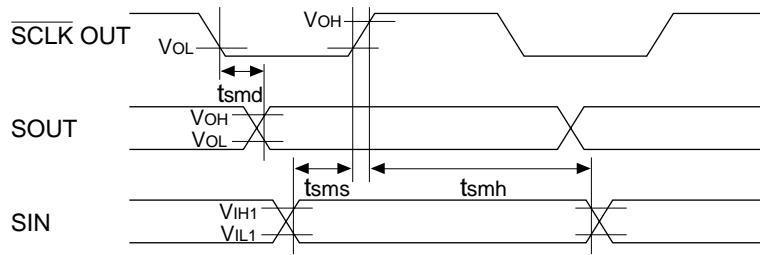
## • 調歩同期式 (全動作モード時)

条件:  $V_{DD} = 1.8 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = 25$ 

項目	記号	Min.	Typ.	Max.	単位	注
スタートビット検出誤差時間	tsa1	0		$t/16$	s	1
誤スタートビット検出範囲時間	tsa2	$9t/16$		$10t/16$	s	2

注) 1 スタートビット検出誤差時間とは、スタートビットが入力されてから内部のサンプリングクロックが動作するまでの論理的遅れ時間。(AC的な時間は含まれません。)

2 誤スタートビット検出とは、スタートビットを検出し内部のサンプリングクロックが動作した後、再度LOWレベル(スタートビット)が入力されているか検出する論理的な範囲時間。HIGHレベルであった場合、スタートビット検出回路がリセットされ、再度スタートビット検出待ちになります。(AC的な時間は含まれません。)



## 入力クロック

- OSC1, OSC3外部クロック (通常動作モード時)

条件:  $V_{DD} = 2.4 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,  $V_{IH2} = 1.6V$ ,  $V_{IL2} = 0.6V$ 

項目	記号	Min.	Typ.	Max.	単位	注
OSC1入力クロック時間	サイクル時間	to1cy	20		32	μs
	"H"パルス幅	to1h	10		16	μs
	"L"パルス幅	to1l	10		16	μs
OSC3入力クロック時間	サイクル時間	to3cy	250		32,000	ns
	"H"パルス幅	to3h	125		16,000	ns
	"L"パルス幅	to3l	125		16,000	ns
入力クロック立ち上がり時間	tosr			25	ns	
入力クロック立ち下がり時間	tosf			25	ns	

- OSC1, OSC3外部クロック (高速動作モード時)

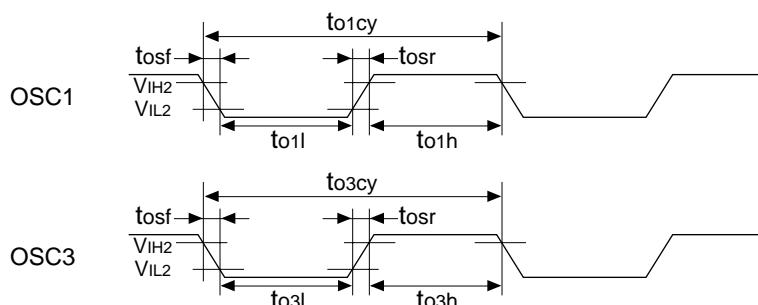
条件:  $V_{DD} = 3.5 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,  $V_{IH2} = 2.4V$ ,  $V_{IL2} = 0.9V$ 

項目	記号	Min.	Typ.	Max.	単位	注
OSC1入力クロック時間	サイクル時間	to1cy	20		32	μs
	"H"パルス幅	to1h	10		16	μs
	"L"パルス幅	to1l	10		16	μs
OSC3入力クロック時間	サイクル時間	to3cy	125		32,000	ns
	"H"パルス幅	to3h	62.5		16,000	ns
	"L"パルス幅	to3l	62.5		16,000	ns
入力クロック立ち上がり時間	tosr			25	ns	
入力クロック立ち下がり時間	tosf			25	ns	

- OSC1外部クロック (低パワー動作モード時)

条件:  $V_{DD} = 1.8 \sim 3.5V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,  $V_{IH2} = 1.0V$ ,  $V_{IL2} = 0.3V$ 

項目	記号	Min.	Typ.	Max.	単位	注
OSC1入力クロック時間	サイクル時間	to1cy	20		32	μs
	"H"パルス幅	to1h	10		16	μs
	"L"パルス幅	to1l	10		16	μs
入力クロック立ち上がり時間	tosr			25	ns	
入力クロック立ち下がり時間	tosf			25	ns	



•  $\overline{\text{SCLK}}$ , EVIN入力クロック (通常動作モード時)条件:  $V_{DD} = 2.4 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,  $V_{IH1} = 0.8V_{DD}$ ,  $V_{IL1} = 0.2V_{DD}$ 

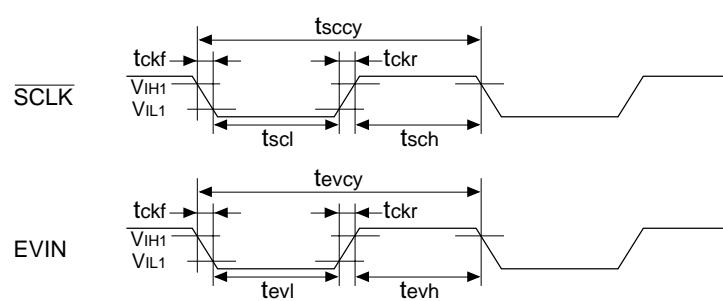
項目	記号	Min.	Typ.	Max.	単位	注
SCLK入力クロック時間	サイクル時間	tsccy	4			μs
	"H"パルス幅	tsch	2			μs
	"L"パルス幅	tscl	2			μs
EVIN入力クロック時間 (ノイズリジエクタあり)	サイクル時間	tevcy	64/fosc1			s
	"H"パルス幅	tevh	32/fosc1			s
	"L"パルス幅	tevl	32/fosc1			s
EVIN入力クロック時間 (ノイズリジエクタなし)	サイクル時間	tevcy	4			μs
	"H"パルス幅	tevh	2			μs
	"L"パルス幅	tevl	2			μs
入力クロック立ち上がり時間	tckr			25	ns	
入力クロック立ち下がり時間	tckf			25	ns	

•  $\overline{\text{SCLK}}$ , EVIN入力クロック (高速動作モード時)条件:  $V_{DD} = 3.5 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,  $V_{IH1} = 0.8V_{DD}$ ,  $V_{IL1} = 0.2V_{DD}$ 

項目	記号	Min.	Typ.	Max.	単位	注
SCLK入力クロック時間	サイクル時間	tsccy	2			μs
	"H"パルス幅	tsch	1			μs
	"L"パルス幅	tscl	1			μs
EVIN入力クロック時間 (ノイズリジエクタあり)	サイクル時間	tevcy	64/fosc1			s
	"H"パルス幅	tevh	32/fosc1			s
	"L"パルス幅	tevl	32/fosc1			s
EVIN入力クロック時間 (ノイズリジエクタなし)	サイクル時間	tevcy	2			μs
	"H"パルス幅	tevh	1			μs
	"L"パルス幅	tevl	1			μs
入力クロック立ち上がり時間	tckr			25	ns	
入力クロック立ち下がり時間	tckf			25	ns	

•  $\overline{\text{SCLK}}$ , EVIN入力クロック (低パワー動作モード時)条件:  $V_{DD} = 1.8 \sim 3.5V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,  $V_{IH1} = 0.8V_{DD}$ ,  $V_{IL1} = 0.2V_{DD}$ 

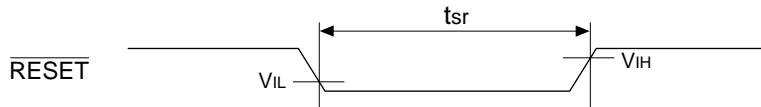
項目	記号	Min.	Typ.	Max.	単位	注
SCLK入力クロック時間	サイクル時間	tsccy	100			μs
	"H"パルス幅	tsch	50			μs
	"L"パルス幅	tscl	50			μs
EVIN入力クロック時間 (ノイズリジエクタあり)	サイクル時間	tevcy	64/fosc1			s
	"H"パルス幅	tevh	32/fosc1			s
	"L"パルス幅	tevl	32/fosc1			s
EVIN入力クロック時間 (ノイズリジエクタなし)	サイクル時間	tevcy	100			μs
	"H"パルス幅	tevh	50			μs
	"L"パルス幅	tevl	50			μs
入力クロック立ち上がり時間	tckr			25	ns	
入力クロック立ち下がり時間	tckf			25	ns	



## • RESET入力クロック (全動作モード時)

条件:  $V_{DD} = 1.8 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,  $V_{IH} = 0.5V_{DD}$ ,  $V_{IL} = 0.1V_{DD}$ 

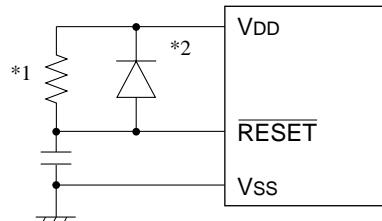
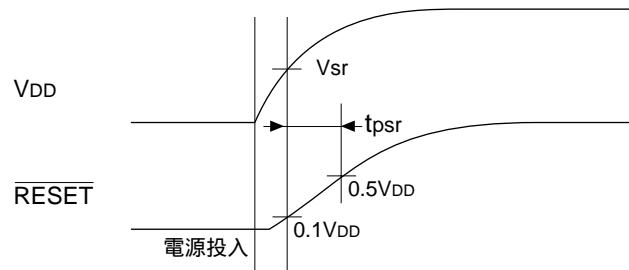
項目	記号	Min.	Typ.	Max.	単位	注
RESET入力時間	$t_{sr}$	100			μs	



## パワーオンリセット

条件:  $V_{DD} = 1.8 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ 

項目	記号	Min.	Typ.	Max.	単位	注
動作電源電圧	$V_{sr}$	2.4			V	
RESET入力時間	$t_{psr}$	10			ms	



\*1 内蔵ブルアップ抵抗を使用しない場合。

\*2 RESET端子の電位が $V_{DD}$ レベル以上にならないため。

## 動作モード切り換え

条件:  $V_{DD} = 1.8 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ 

項目	記号	Min.	Typ.	Max.	単位	注
安定時間	$t_{vdc}$	5			ms	1

注) 1 安定時間とは、動作モードを切り換えてから切り換えた動作モードに安定するまでの時間。たとえば、OSC3発振回路をオンするには、動作モード切り換え後安定時間待つ必要があります。

## 8.7 発振特性

発振特性は諸条件(基板パターン、使用部品など)により変化します。以下の特性は参考値として使用してください。特にOSC3にセラミック発振子または水晶発振子を使用する場合、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。また発振開始時間は、OSC3のクロックを使用する場合の待ち時間となりますので重要な項目です。(発振が安定するまでにCPUクロックとして使用した場合、CPUが誤動作します。)

### OSC1水晶発振

特記なき場合の試験条件:  $V_{DD}$  = 各動作モードの動作電圧範囲,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ , 水晶発振子 = Q12C2\*,  $C_{G1} = 25pF$  外付け,  $C_{D1} =$  内蔵

項目	記号	条件	Min.	Typ.	Max.	単位	注
発振開始時間	tsta				3	s	
外付けゲート容量	$C_{G1}$	基板容量など含む	5		25	pF	1
内蔵ゲート容量	$C_{G1}$	チップの場合		17		pF	2
内蔵ドレイン容量	$C_{D1}$	チップの場合		10		pF	
周波数IC偏差	$\partial f/\partial IC$	$V_{DD}$ = 一定	-10		10	ppm	
周波数電源電圧偏差	$\partial f/\partial V$				1	ppm/V	
周波数調整範囲	$\partial f/\partial CG$	$V_{DD}$ = 一定, $CG = 5 \sim 25pF$	25			ppm	

\* Q12C2 セイコーエプソン(株)製

注) 1 マスクオプションにより水晶発振選択の場合。

2 マスクオプションにより水晶発振(ゲート容量内蔵)選択の場合。

### OSC1 CR発振

特記なき場合の試験条件:  $V_{DD} = 2.4 \sim 5.5V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位	注
発振開始時間	tsta				100	μs	
周波数IC偏差	$\partial f/\partial IC$	$RCR = $ 一定	-25		25	%	

### OSC3水晶発振

特記なき場合の試験条件:  $V_{DD}$  = 各動作モードの動作電圧範囲,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,

水晶発振子 = Q21CA301xxx\*,  $R_F = 1M\Omega$ ,  $C_{G2} = C_{D2} = 15pF$

項目	記号	条件	Min.	Typ.	Max.	単位	注
発振開始時間(通常動作モード)	tsta	4.0MHz水晶発振子			10	ms	1
発振開始時間(高速動作モード)	tsta	8.0MHz水晶発振子			10	ms	1

\* Q21CA301xxx セイコーエプソン(株)製

注) 1 水晶発振開始時間は、使用する水晶発振子および $C_{G2}$ ,  $C_{D2}$ により変化します。

### OSC3セラミック発振

特記なき場合の試験条件:  $V_{DD}$  = 各動作モードの動作電圧範囲,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$ ,

セラミック発振子 = CSA4.00MG/CSA8.00MTZ\*,  $R_F = 1M\Omega$ ,  $C_{G2} = C_{D2} = 30pF$

項目	記号	条件	Min.	Typ.	Max.	単位	注
発振開始時間(通常動作モード)	tsta	4.0MHzセラミック発振子			1	ms	1
発振開始時間(高速動作モード)	tsta	8.0MHzセラミック発振子			1	ms	1

\* CSA4.00MG/CSA8.00MTZ 村田製作所製

注) 1 セラミック発振開始時間は、使用するセラミック発振子および $C_{G2}$ ,  $C_{D2}$ により変化します。

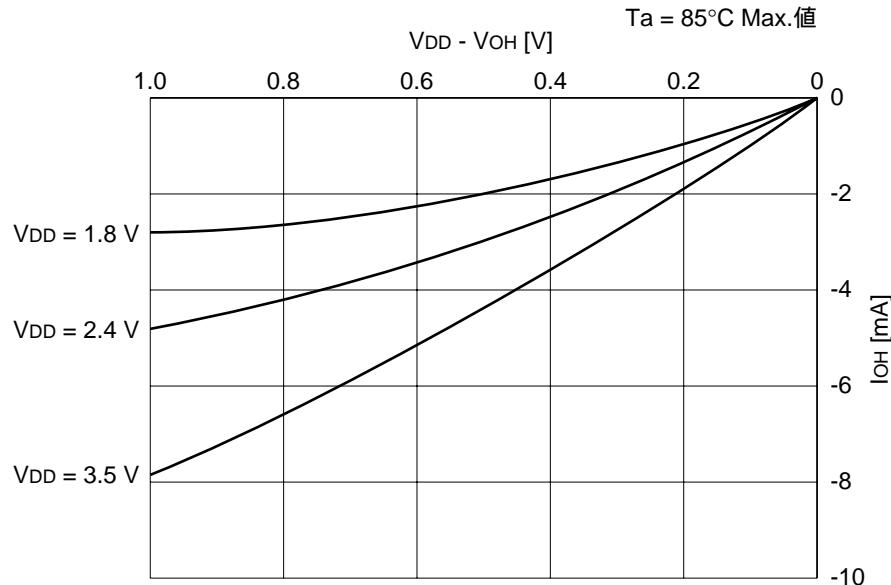
### OSC3 CR発振

特記なき場合の試験条件:  $V_{DD}$  = 各動作モードの動作電圧範囲,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$

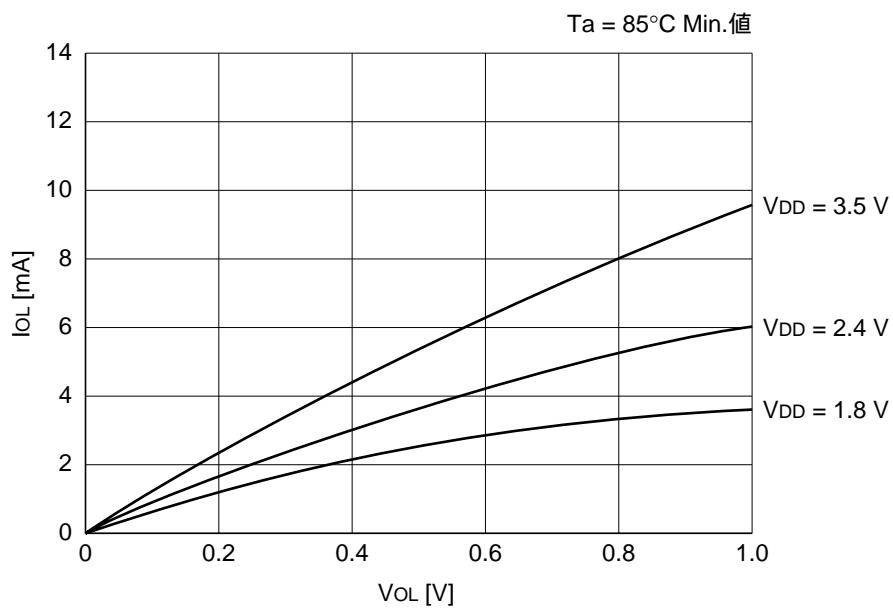
項目	記号	条件	Min.	Typ.	Max.	単位	注
発振開始時間(通常動作モード)	tsta				100	μs	
発振開始時間(高速動作モード)	tsta				100	μs	
周波数IC偏差(通常動作モード)	$\partial f/\partial IC$	$RCR = $ 一定	-25		25	%	
周波数IC偏差(高速動作モード)	$\partial f/\partial IC$	$RCR = $ 一定	-25		25	%	

## 8.8 特性グラフ (参考値)

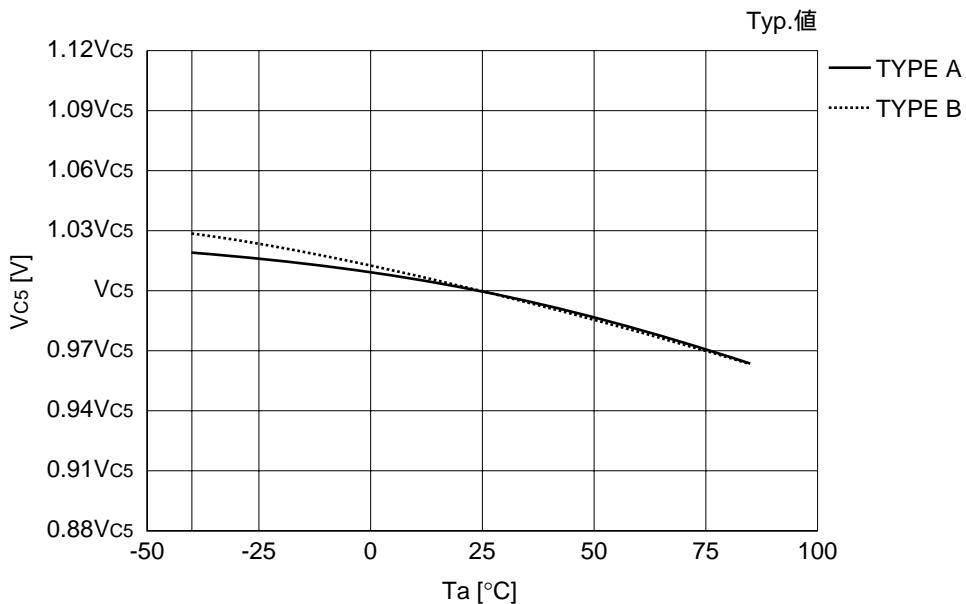
### 高レベル出力電流特性



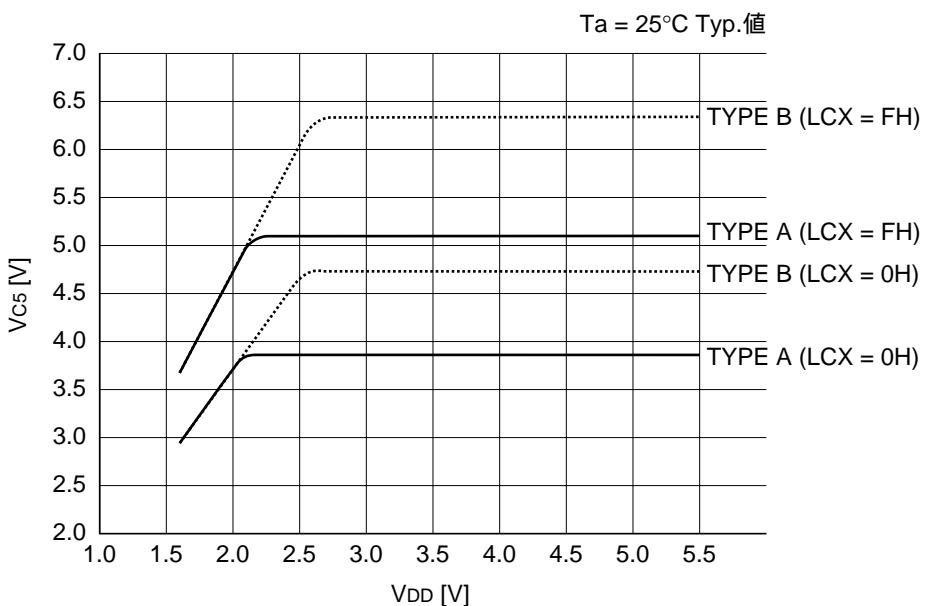
### 低レベル出力電流特性



## LCD駆動電圧温度特性

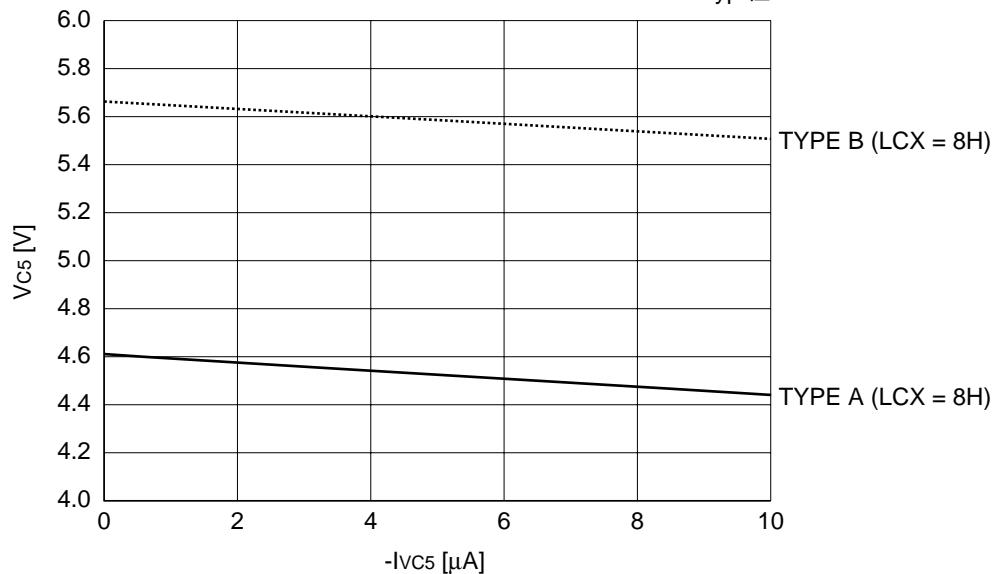


## LCD駆動電圧電源電圧特性



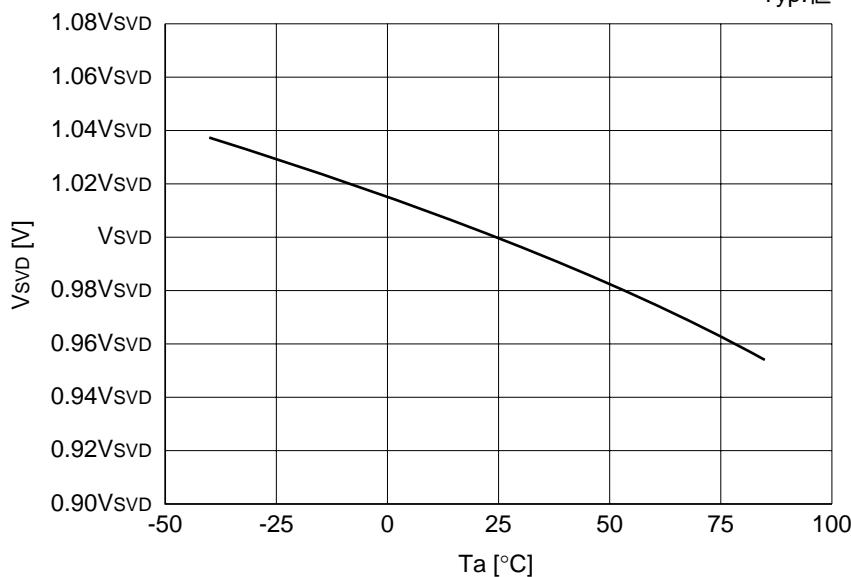
## LCD駕動電壓負荷特性

Ta = 25°C Typ.值

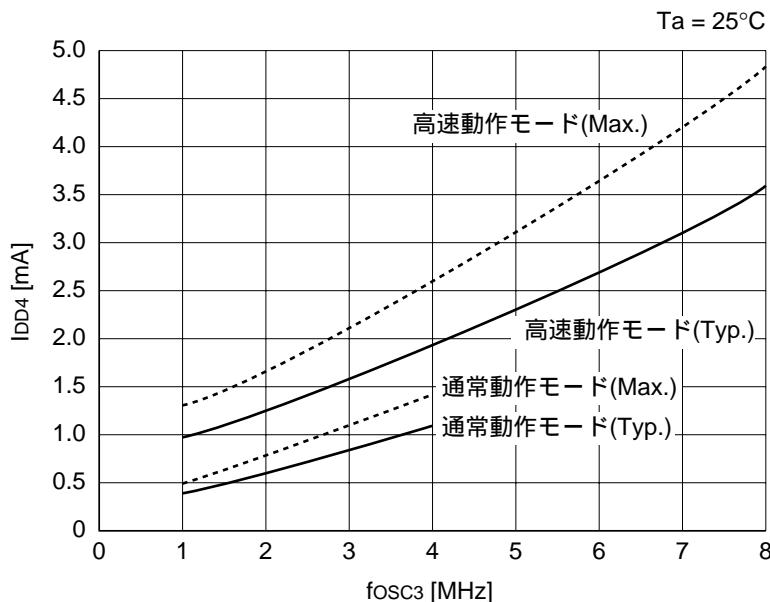


## SVD電壓溫度特性

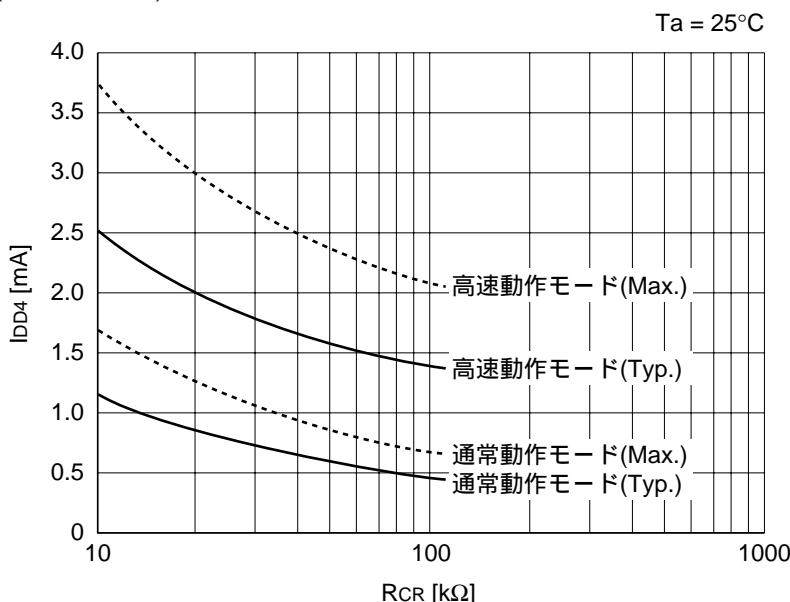
Typ.值



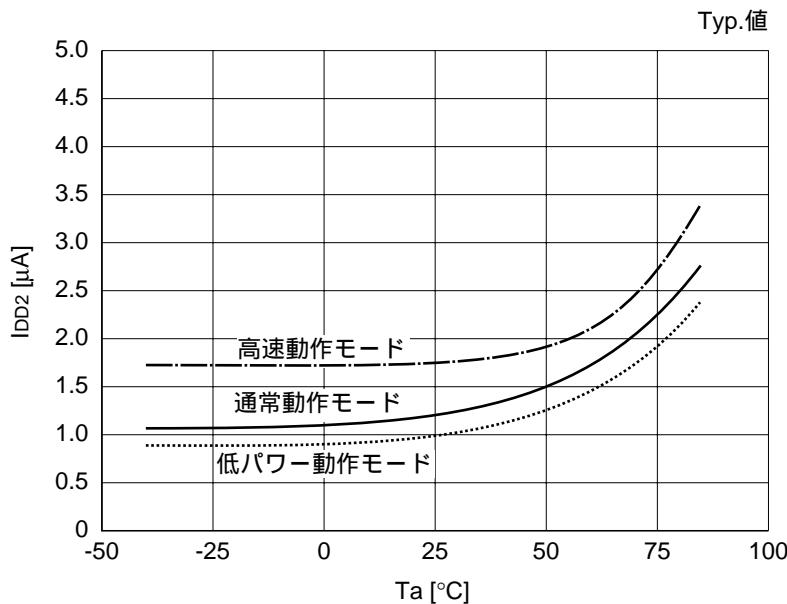
## 電源電流 (OSC3動作時) &lt;水晶/セラミック発振&gt;



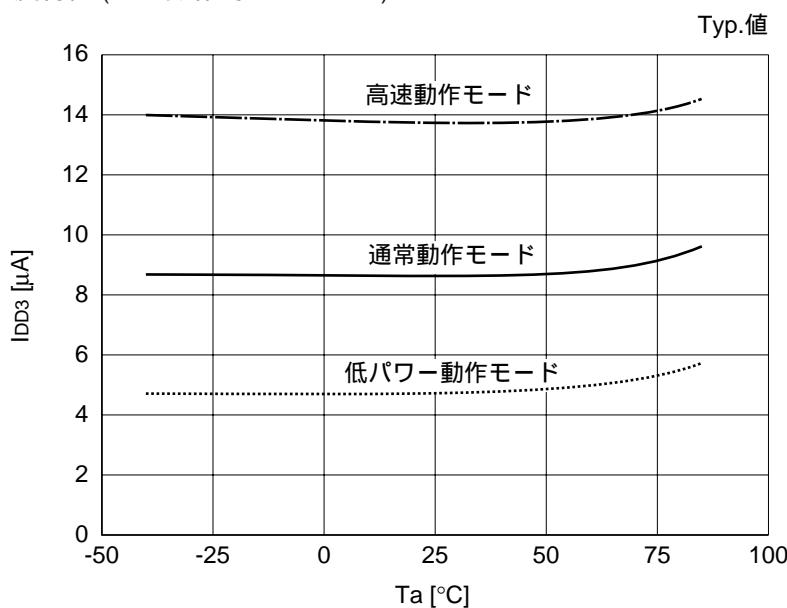
## 電源電流 (OSC3動作時) &lt;CR発振&gt;



## 電源電流温度特性 (HALT命令実行時)



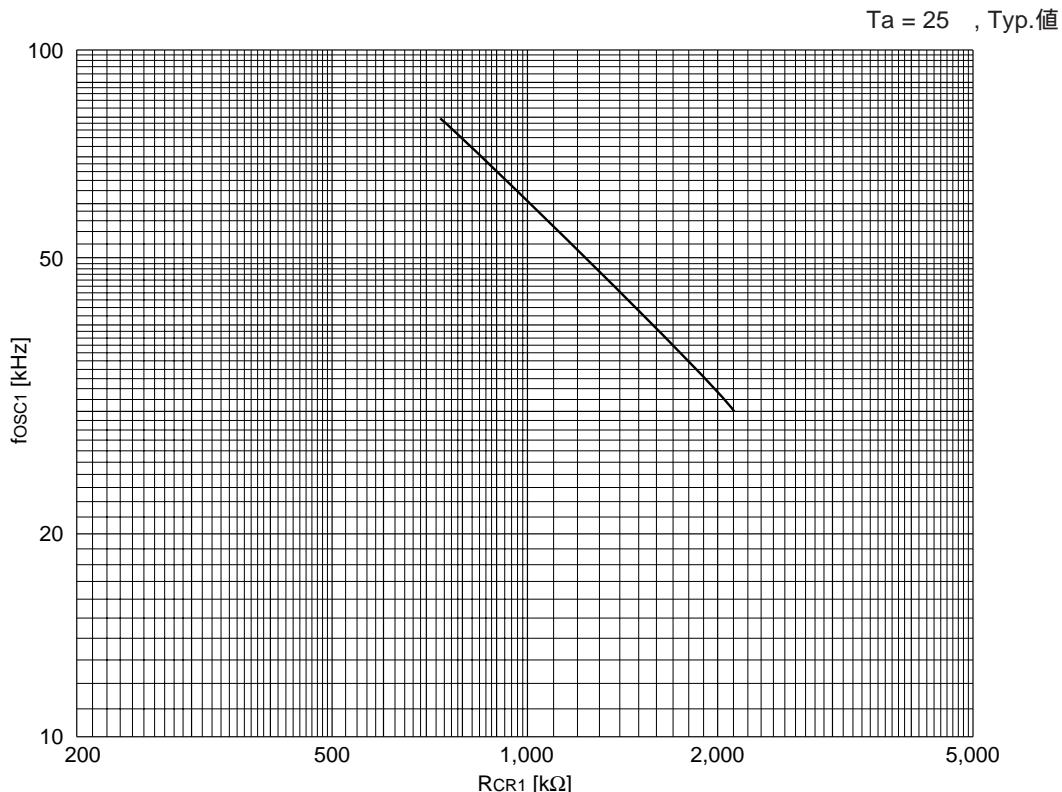
## 電源電流温度特性 (CPU動作時 32.768kHz)



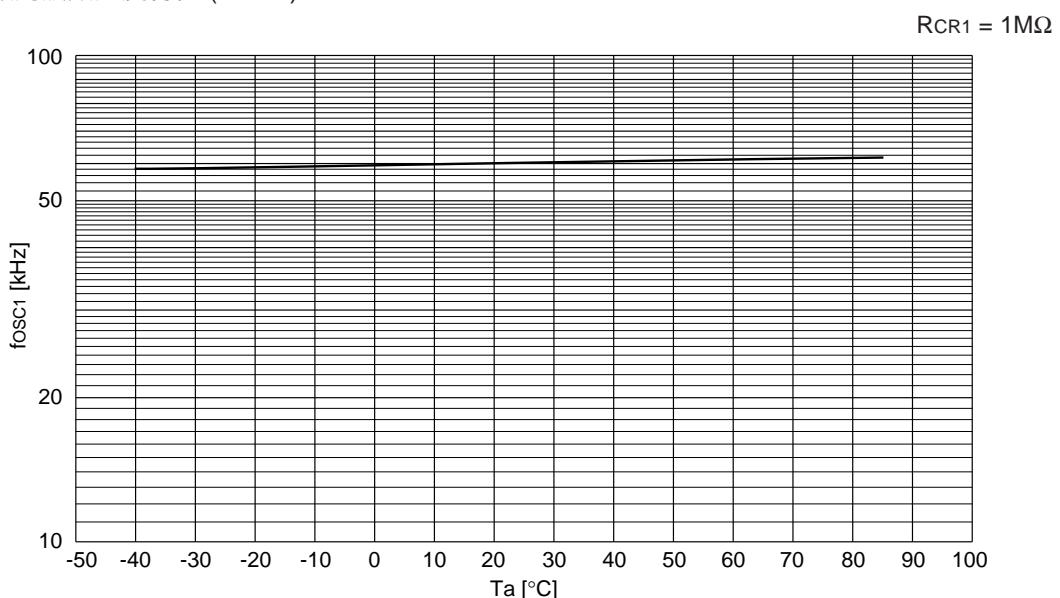
## CR発振周波数特性

注) 発振周波数は、基板パターンおよび使用部品などにより変化します。特にOSC3発振周波数は、製品形状(チップ、プラスチックパッケージ、セラミックパッケージ)および基板容量により大きく変化しますので、以下の特性は参考値とし、実際の製品で評価され、抵抗値をお選びください。(ただし、OSC3の抵抗値は $RCR3 = 15k\Omega$ にしてください。)

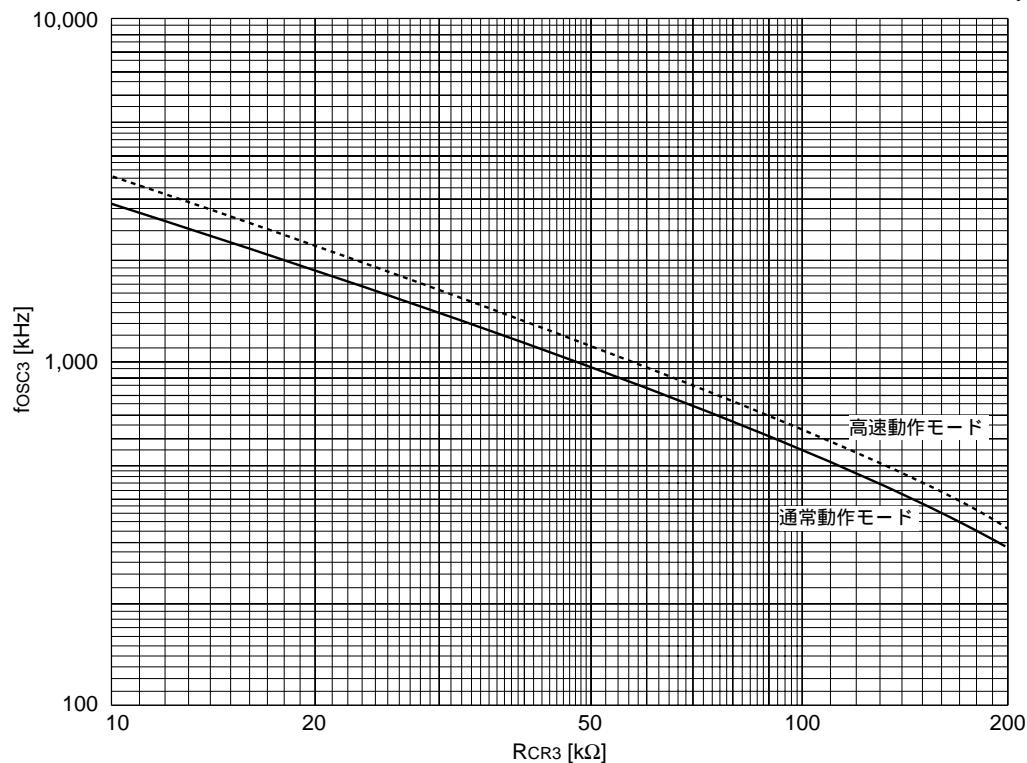
### • 発振周波数抵抗特性 (OSC1)



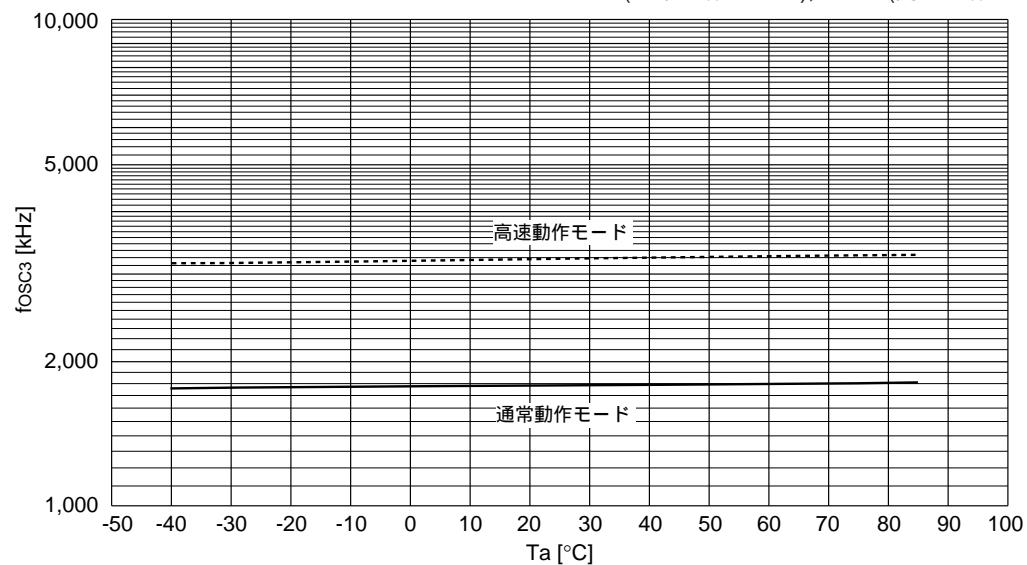
### • 発振周波数温度特性 (OSC1)



## • 発振周波数抵抗特性 (OSC3)

 $T_a = 25$  , Typ. 値

## • 発振周波数温度特性 (OSC3)

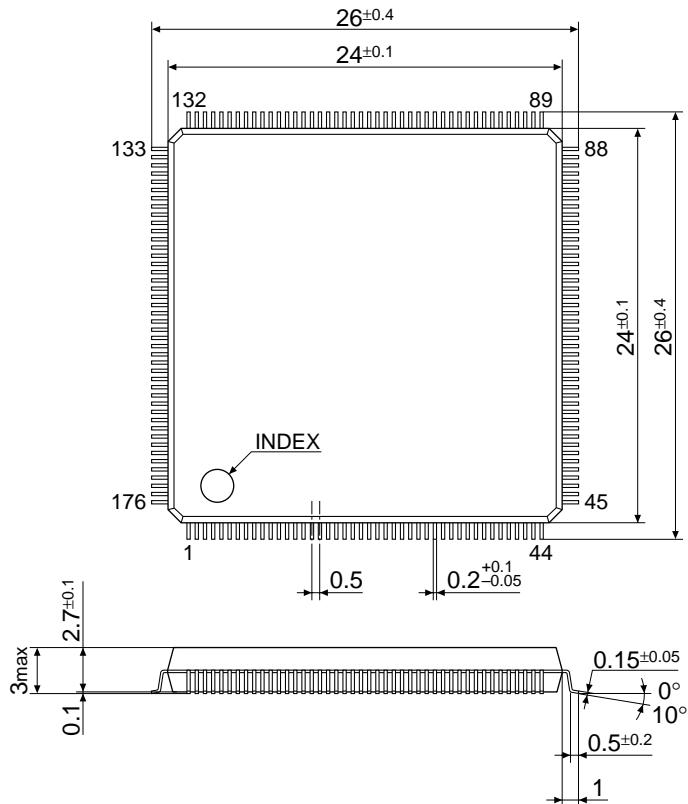
 $RCR3 = 20\text{k}\Omega$ (通常動作モード),  $6.8\text{k}\Omega$ (高速動作モード)

## 9 パッケージ

## 9.1 プラスチックパッケージ

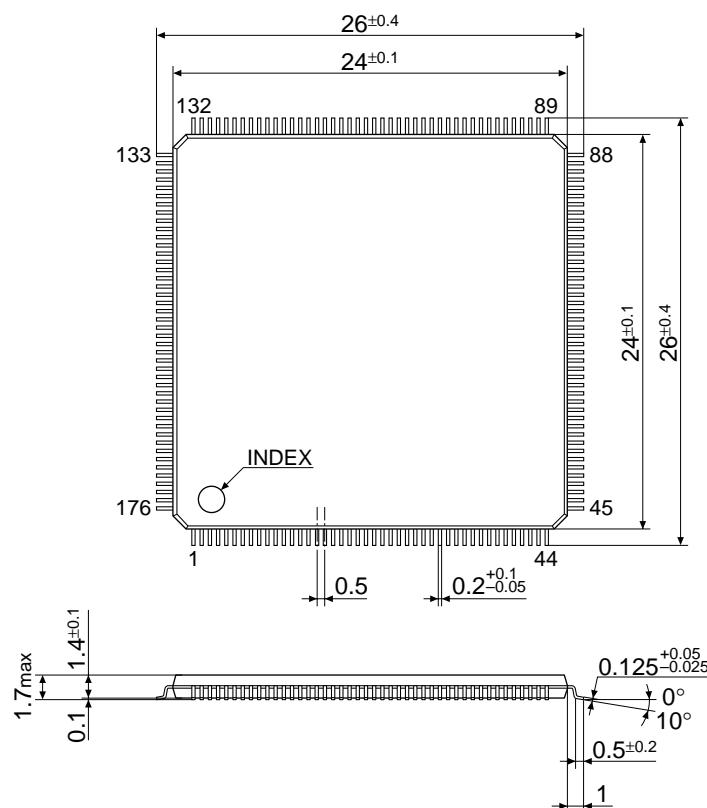
## QFP18-176pin

(单位: mm)



## QFP21-176pin

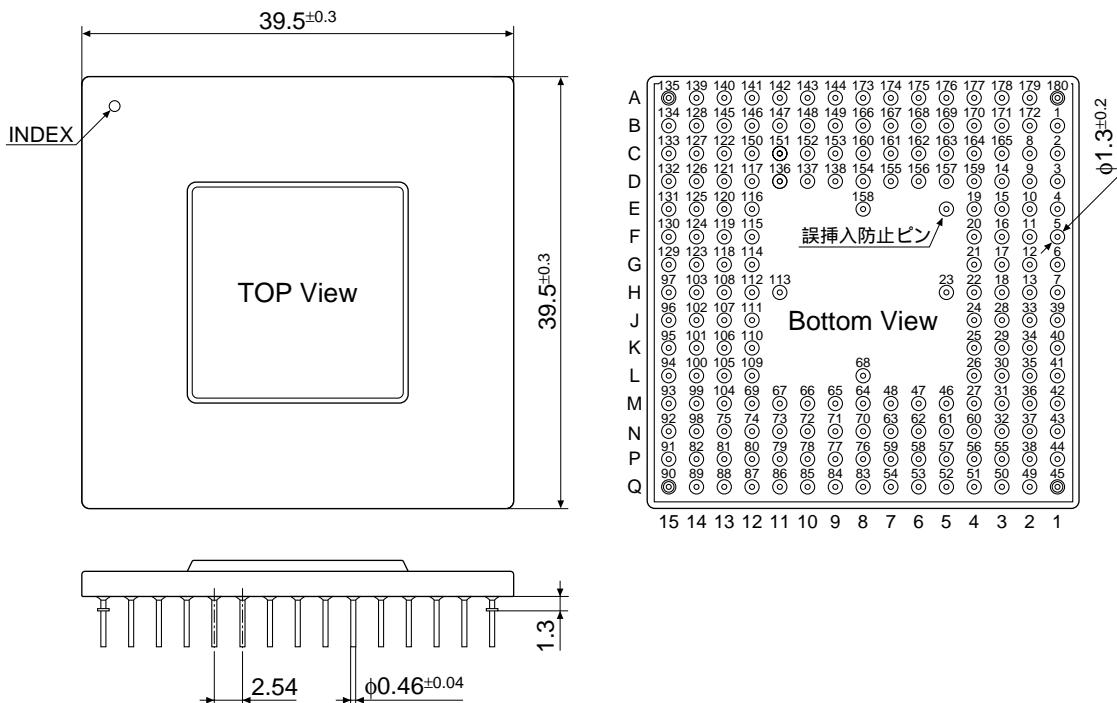
(単位: mm)



## 9.2 テストサンプル用セラミックパッケージ

### PGA-181pin

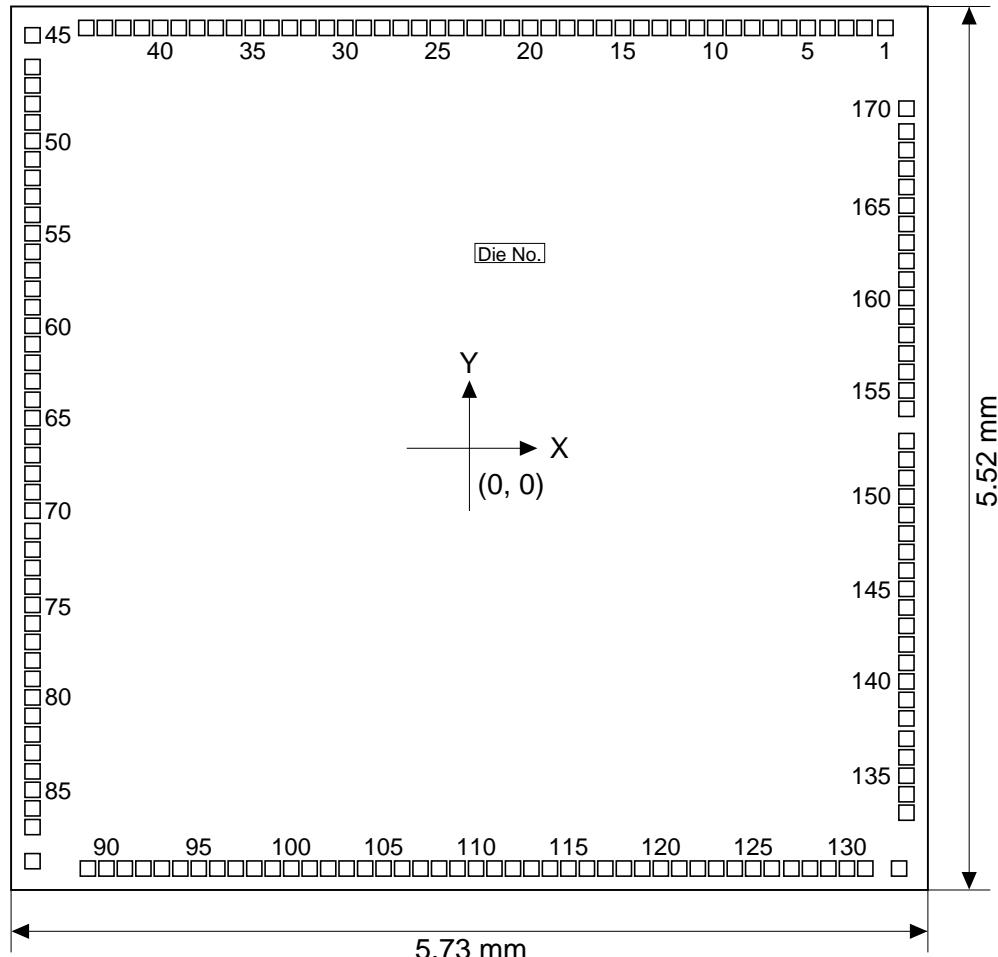
(単位: mm)



端子No.	端子名	端子No.	端子名	端子No.	端子名	端子No.	端子名	端子No.	端子名
1	N.C.	37	SEG37	73	CD	109	P14/CMPP0/AD4	145	R22/A18
2	SEG2	38	SEG38	74	CC	110	P13/SRDY	146	R23/RD
3	SEG3	39	SEG39	75	CB	111	P12/SCLK	147	R24/WR
4	SEG4	40	SEG40	76	CA	112	P11/SOUT	148	R25/CL
5	SEG5	41	SEG41	77	Vc5	113	P10/SIN	149	R26/FR
6	SEG6	42	SEG42	78	Vc4	114	AVDD	150	R27/TOUT
7	SEG7	43	SEG43	79	Vc3	115	AVSS	151	R30/CE0
8	SEG8	44	SEG44	80	Vc2	116	AVREF	152	R31/CE1
9	SEG9	45	SEG45	81	Vc1	117	VDD	153	R32/CE2
10	SEG10	46	N.C.	82	OSC3	118	P07/D7	154	R33/CE3
11	SEG11	47	N.C.	83	OSC4	119	P06/D6	155	R34/FOUT
12	SEG12	48	N.C.	84	Vd1	120	P05/D5	156	R35
13	SEG13	49	N.C.	85	Vdd	121	P04/D4	157	R36
14	SEG14	50	SEG46	86	Vss	122	P03/D3	158	R37
15	SEG15	51	SEG47	87	Vosc	123	P02/D2	159	Vss
16	SEG16	52	SEG48	88	N.C.	124	P01/D1	160	R50/BZ
17	SEG17	53	SEG49	89	N.C.	125	P00/D0	161	R51/BACK
18	SEG18	54	SEG50	90	N.C.	126	R00/A0	162	COM0
19	SEG19	55	COM31/SEG51	91	OSC1	127	R01/A1	163	COM1
20	SEG20	56	COM30/SEG52	92	OSC2	128	R02/A2	164	COM2
21	SEG21	57	COM29/SEG53	93	TEST	129	R03/A3	165	COM3
22	SEG22	58	COM28/SEG54	94	RESET	130	R04/A4	166	COM4
23	SEG23	59	COM27/SEG55	95	MCU/MPU	131	R05/A5	167	COM5
24	SEG24	60	COM26/SEG56	96	K11/BREQ	132	R06/A6	168	COM6
25	SEG25	61	COM25/SEG57	97	K10/EVIN	133	R07/A7	169	COM7
26	SEG26	62	COM24/SEG58	98	K07	134	R10/A8	170	COM8
27	SEG27	63	COM23/SEG59	99	K06	135	N.C.	171	COM9
28	SEG28	64	COM22/SEG60	100	K05	136	R11/A9	172	COM10
29	SEG29	65	COM21/SEG61	101	K04	137	R12/A10	173	COM11
30	SEG30	66	COM20/SEG62	102	K03	138	R13/A11	174	COM12
31	SEG31	67	COM19/SEG63	103	K02	139	R14/A12	175	COM13
32	SEG32	68	COM18/SEG64	104	K01	140	R15/A13	176	COM14
33	SEG33	69	COM17/SEG65	105	K00	141	R16/A14	177	COM15
34	SEG34	70	COM16/SEG66	106	P17/CMPPM1/AD7	142	R17/A15	178	SEG0
35	SEG35	71	VREF	107	P16/CMPP1/AD6	143	R20/A16	179	SEG1
36	SEG36	72	CE	108	P15/CMPPM0/AD5	144	R21/A17	180	N.C.: No Connection

# 10 パッド配置

## 10.1 パッド配置図



## 10.2 パッド座標

表10.2.1 パッド座標

(単位: μm)

パッド		座標		パッド		座標		パッド		座標	
No.	名称	X	Y	No.	名称	X	Y	No.	名称	x	Y
1	OSC1	2,600	2,626	58	R26/FR/TOUT	-2,731	996	115	SEG28	618	-2,626
2	OSC2	2,469	2,626	59	R27/TOUT	-2,731	881	116	SEG29	734	-2,626
3	TEST	2,354	2,626	60	R30/CE0	-2,731	765	117	SEG30	849	-2,626
4	RESET	2,238	2,626	61	R31/CE1	-2,731	650	118	SEG31	965	-2,626
5	MCU/MPU	2,114	2,626	62	R32/CE2	-2,731	534	119	SEG32	1,080	-2,626
6	K11/BREQ	1,998	2,626	63	R33/CE3	-2,731	419	120	SEG33	1,196	-2,626
7	K10/EVIN	1,883	2,626	64	R34/FOUT	-2,731	303	121	SEG34	1,311	-2,626
8	K07	1,767	2,626	65	R35	-2,731	188	122	SEG35	1,427	-2,626
9	K06	1,652	2,626	66	R36	-2,731	72	123	SEG36	1,542	-2,626
10	K05	1,536	2,626	67	R37	-2,731	-43	124	SEG37	1,658	-2,626
11	K04	1,421	2,626	68	Vss	-2,731	-159	125	SEG38	1,773	-2,626
12	K03	1,305	2,626	69	R50/BZ	-2,731	-274	126	SEG39	1,889	-2,626
13	K02	1,190	2,626	70	R51/BACK	-2,731	-390	127	SEG40	2,012	-2,626
14	K01	1,074	2,626	71	COM0	-2,731	-517	128	SEG41	2,128	-2,626
15	K00	959	2,626	72	COM1	-2,731	-633	129	SEG42	2,243	-2,626
16	P17/CMPM1/AD7	841	2,626	73	COM2	-2,731	-748	130	SEG43	2,359	-2,626
17	P16/CMPP1/AD6	726	2,626	74	COM3	-2,731	-864	131	SEG44	2,474	-2,626
18	P15/CMPM0/AD5	610	2,626	75	COM4	-2,731	-979	132	SEG45	2,685	-2,626
19	P14/CMPP0/AD4	495	2,626	76	COM5	-2,731	-1,095	133	SEG46	2,731	-2,277
20	P13/SRDY	379	2,626	77	COM6	-2,731	-1,210	134	SEG47	2,731	-2,162
21	P12/SCLK	264	2,626	78	COM7	-2,731	-1,326	135	SEG48	2,731	-2,046
22	P11/SOUT	148	2,626	79	COM8	-2,731	-1,441	136	SEG49	2,731	-1,931
23	P10/SIN	33	2,626	80	COM9	-2,731	-1,557	137	SEG50	2,731	-1,815
24	AVDD	-83	2,626	81	COM10	-2,731	-1,672	138	COM31/SEG51	2,731	-1,688
25	AVSS	-198	2,626	82	COM11	-2,731	-1,788	139	COM30/SEG52	2,731	-1,572
26	AVREF	-314	2,626	83	COM12	-2,731	-1,903	140	COM29/SEG53	2,731	-1,457
27	VDD	-429	2,626	84	COM13	-2,731	-2,019	141	COM28/SEG54	2,731	-1,341
28	P07/D7	-545	2,626	85	COM14	-2,731	-2,134	142	COM27/SEG55	2,731	-1,226
29	P06/D6	-661	2,626	86	COM15	-2,731	-2,250	143	COM26/SEG56	2,731	-1,110
30	P05/D5	-776	2,626	87	SEG0	-2,731	-2,367	144	COM25/SEG57	2,731	-995
31	P04/D4	-892	2,626	88	SEG1	-2,731	-2,580	145	COM24/SEG58	2,731	-879
32	P03/D3	-1,007	2,626	89	SEG2	-2,385	-2,626	146	COM23/SEG59	2,731	-764
33	P02/D2	-1,123	2,626	90	SEG3	-2,269	-2,626	147	COM22/SEG60	2,731	-648
34	P01/D1	-1,238	2,626	91	SEG4	-2,154	-2,626	148	COM21/SEG61	2,731	-533
35	P00/D0	-1,354	2,626	92	SEG5	-2,038	-2,626	149	COM20/SEG62	2,731	-417
36	R00/A0	-1,471	2,626	93	SEG6	-1,923	-2,626	150	COM19/SEG63	2,731	-302
37	R01/A1	-1,586	2,626	94	SEG7	-1,807	-2,626	151	COM18/SEG64	2,731	-186
38	R02/A2	-1,702	2,626	95	SEG8	-1,692	-2,626	152	COM17/SEG65	2,731	-71
39	R03/A3	-1,817	2,626	96	SEG9	-1,576	-2,626	153	COM16/SEG66	2,731	45
40	R04/A4	-1,933	2,626	97	SEG10	-1,461	-2,626	154	VREF	2,731	246
41	R05/A5	-2,048	2,626	98	SEG11	-1,345	-2,626	155	CE	2,731	361
42	R06/A6	-2,164	2,626	99	SEG12	-1,230	-2,626	156	CD	2,731	477
43	R07/A7	-2,279	2,626	100	SEG13	-1,114	-2,626	157	CC	2,731	592
44	R10/A8	-2,395	2,626	101	SEG14	-999	-2,626	158	CB	2,731	708
45	R11/A9	-2,731	2,580	102	SEG15	-883	-2,626	159	CA	2,731	823
46	R12/A10	-2,731	2,382	103	SEG16	-768	-2,626	160	Vc5	2,731	939
47	R13/A11	-2,731	2,267	104	SEG17	-652	-2,626	161	Vc4	2,731	1,054
48	R14/A12	-2,731	2,151	105	SEG18	-537	-2,626	162	Vc3	2,731	1,170
49	R15/A13	-2,731	2,036	106	SEG19	-421	-2,626	163	Vc2	2,731	1,285
50	R16/A14	-2,731	1,920	107	SEG20	-306	-2,626	164	Vc1	2,731	1,401
51	R17/A15	-2,731	1,805	108	SEG21	-190	-2,626	165	OSC3	2,731	1,516
52	R20/A16	-2,731	1,689	109	SEG22	-75	-2,626	166	OSC4	2,731	1,632
53	R21/A17	-2,731	1,574	110	SEG23	41	-2,626	167	Vd1	2,731	1,747
54	R22/A18	-2,731	1,458	111	SEG24	156	-2,626	168	VDD	2,731	1,863
55	R23/RD	-2,731	1,343	112	SEG25	272	-2,626	169	Vss	2,731	1,979
56	R24/WR	-2,731	1,227	113	SEG26	387	-2,626	170	Vosc	2,731	2,212
57	R25/CL	-2,731	1,112	114	SEG27	503	-2,626	-	-	-	-

# Appendix S5U1C88000P1&S5U1C88816P2 Manual (Peripheral Circuit Board for S1C88349)

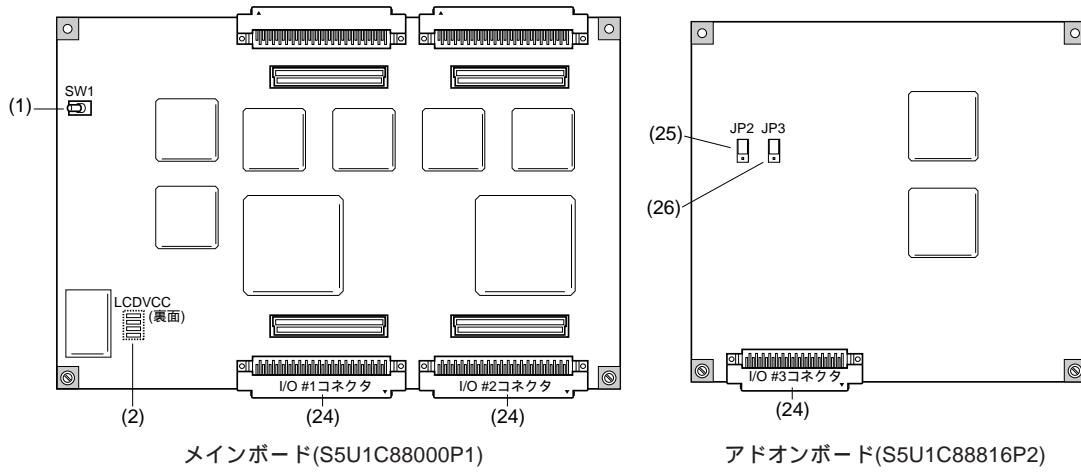
ここでは、8-bit Single Chip Microcomputer S1C88 FamilyのデバッキングツールであるICE (S5U1C88000H5)に装着してエミュレーション機能を提供するPeripheral Circuit Board for S1C88349 (S5U1C88000P1&S5U1C88816P2)の使用方法を説明します。

なお、本文はS1C88 Family Peripheral Circuit Board (S5U1C88000P1)にS1C88349/F360/816用回路データがダウンロードされているものについて適用されます。

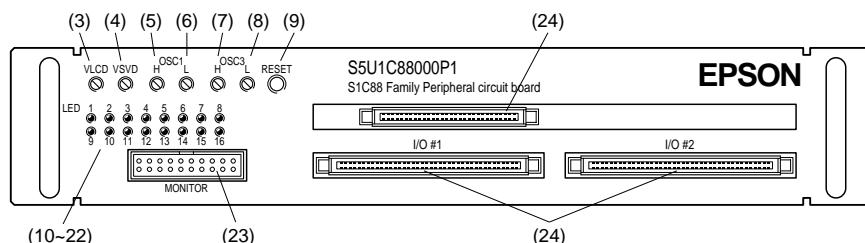
各機種用回路データのダウンロード方法についてはA.4項を、ボードの仕様についてはA.6項を参照してください。ICEの機能および操作などの詳細については、それぞれに用意されたマニュアルを参照してください。

## A.1 各部の名称と機能

以下、S5U1C88000P1&S5U1C88816P2の各部の名称と機能について説明します。



図A.1.1 ボードレイアウト



図A.1.2 パネルレイアウト(S5U1C88000P1)

### (1) SW1

回路データをダウンロードする場合は、"3"側に設定してください。それ以外の場合は、"1"側に設定してください。

### (2) LCDVCC (S5U1C88000P1裏面)

表A.1.1に示すようにDIPスイッチ設定により、LCDドライバ用の内蔵電源(Vc5)の電圧を変更することができます。なお、実ICのVc5電圧はこれと異なりますので、充分ご注意ください。

### (3) VLCDボリューム 未使用

表A.1.1 LCDVCCの設定

LCDVCC				設定
1	2	3	4	
ON	OFF	OFF	OFF	Vc5 = 6V
OFF	ON	OFF	OFF	Vc5 = 5.75V
OFF	OFF	ON	OFF	Vc5 = 5.5V
OFF	OFF	OFF	ON	Vc5 = 5V
その他の組み合わせ				設定禁止

\* LCDコントラスト調整レジスタLC0~LC3が0FHの場合の電圧値です。また、本ボードにおける使用部品の特性上、最大±6%の誤差が見込まれます。

## (4) VSVDボリューム

電源電圧検出(SVD)機能を確認するため、擬似的に電源電圧を変化させるボリュームです。("A.5.2 実際のICとの相違点"を参照してください。)

## (5) OSC1 Hボリューム

OSC1にCR発振回路が選択されている場合に、発振周波数を大まかに調整します。

## (6) OSC1 Lボリューム

OSC1にCR発振回路が選択されている場合に、発振周波数を微調整します。

## (7) OSC3 Hボリューム

OSC3にCR発振回路が選択されている場合に、発振周波数を大まかに調整します。

## (8) OSC3 Lボリューム

OSC3にCR発振回路が選択されている場合に、発振周波数を微調整します。

## (9) RESET

本ボードの回路をリセットし、ICEにリセット信号を与えます。

## (10) LED 1 (VDC0), LED 2 (VDC1), LED 3 (VDC2)

設定された内部動作電圧によりLEDが以下の組み合わせで点灯/消灯します。

表A.1.2 VDC0, VDC1, VDC2 LEDの表示

内部動作電圧	LED		
	VDC0	VDC1	VDC2
1.2V	点灯	消灯	消灯
2.2V	消灯	点灯	消灯
3.1V	消灯	消灯	点灯

## (11) LED 4 (OSCC)

OSCCレジスタが"1"のとき点灯、"0"で消灯します。(OSC3が発振中は点灯)

## (12) LED 5 (LCDC)

LCDC0またはLCDC1レジスタが"1"のとき点灯、両方とも"0"で消灯します。

## (13) LED 6 (SVDON)

SVDONレジスタが"1"のとき点灯、"0"で消灯します。オートサンプリング動作時も点灯します。

## (14) LED 7 (HVLD)

OSCCレジスタまたはBZONレジスタが"1"のときに点灯、"0"で消灯します。BZワンショット出力時も点灯します。ただし、マスクオプションで重負荷保護モードを選択した場合に限られます。(注)

## (15) LED 8 (MODE)

S1C88コアCPUをマキシマムモードで使用すると点灯、ミニマムモードで使用すると消灯します。

## (16) LED 9 (LDTYPA)

LCD電源TYPE A(4.5V)を使用するときに点灯します。

## (17) LED 10 (LDTYPB)

LCD電源TYPE B(5.5V)を使用するときに点灯します。

## (18) LED 11 (EXLCD)

LCD電源を外部電源とした場合に点灯します。

## (19) LED 12 (CMP0ON)

コンパレータ0がONのとき点灯します。

## (20) LED 13 (CMP1ON)

コンパレータ1がONのとき点灯します。

## (21) LED 14 ~ 15 (Reserved)

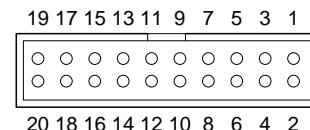
未使用

## (22) LED 16 (FPGA Configuration)

S5U1C88000P1上のFPGAに回路データが書き込まれている状態で電源が投入されると点灯します。消灯している場合は、デバッグ前にFPGAデータの書き込みが必要です(データ書き込み後、電源を入れ直すと点灯します)。

## (23) LED信号モニタ用コネクタ

前記LEDの信号をモニタするためのコネクタです。コネクタ端子より以下の信号が出力されます。LED信号は点灯時がHIGH、消灯時がLOWです。



図A.1.3 LED信号モニタ用コネクタ

1番ピン: LED 1 (電源制御 低パワーモード)

2番ピン: LED 2 (電源制御 通常モード)

3番ピン: LED 3 (電源制御 高速ード)

4番ピン: LED 4 (OSC3発振ON/OFF)

5番ピン: LED 5 (LCD駆動電源回路ON/OFF)

6番ピン: LED 6 (SVD回路ON/OFF)

7番ピン: LED 7 (重負荷保護モードON/OFF) (注)

8番ピン: LED 8 (バスモード)

9番ピン: LED 9 (LCD電源TYPE A(4.5V))

10番ピン: LED 10 (LCD電源TYPE B(5.5V))

11番ピン: LED 11 (外部LCD電源)

12番ピン: LED 12 (コンパレータ0ON/OFF)

13番ピン: LED 13 (コンパレータ1ON/OFF)

18番ピン: OSC1 CR発振周波数モニタ

19番ピン: OSC3 CR発振周波数モニタ

14 ~ 17および20番ピンは未使用です。

18、19番ピンはCR発振クロックが接続されています(水晶発振の選択やOSCCレジスタの設定にかかわらず、CR発振回路は常に動作しています)。CR発振周波数を微調整する場合のモニタ用端子として使用します。

## (24) I/O #1, I/O #2, I/O #3コネクタ

I/OおよびLCD接続用コネクタです。I/O接続ケーブル(80pin/40pin × 2 flat type, 60pin/30pin × 2 flat type)によってターゲットシステムと接続します。

## (25) JP2

J2側に固定します。

## (26) JP3

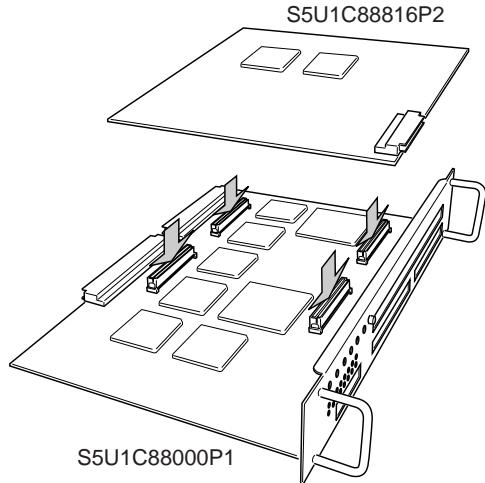
J3側に固定します。

(注) S1C88349は重負荷保護機能がありません。

## A.2 装着方法

### A.2.1 S5U1C88000P1への S5U1C88816P2の装着

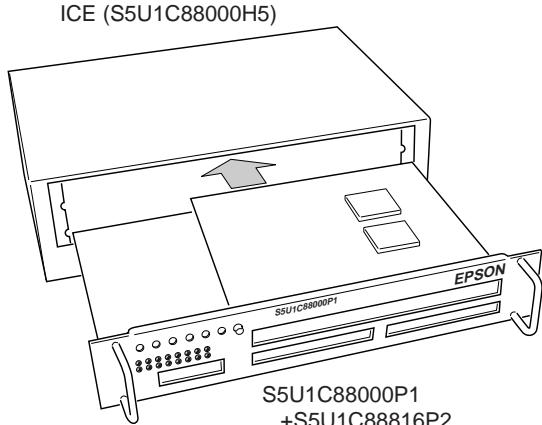
アドオンボード(S5U1C88816P2)のコネクタがメインボード(S5U1C88000P1)の前面パネル側になるようにして、4つのコネクタに差し込みます。



図A.2.1.1 S5U1C88000P1へのS5U1C88816P2の装着

### A.2.2 ICE(S5U1C88000H5) への装着

ICE(S5U1C88000H5)の下部ガイドレールに合わせ、S5U1C88000P1の先端が突き当たるまで挿入してください。



図A.2.2.1 ICE(S5U1C88000H5)への装着

注: 装着の仕方が不十分ですと動作しない可能性がありますので、しっかりと装着してください。

### A.3 ターゲットシステムとの接続

ここではS5U1C88000P1&S5U1C88816P2とターゲットシステムとの接続について説明します。

注: ケーブルの接続、切り離しは接続する機器すべての電源をOFFにして行ってください。

ターゲットシステムは、前面パネルのI/O #1～I/O #3コネクタに添付のI/Oケーブル(80pin/40pin×2 flat type、60pin/30pin×2 flat type)を使用して接続します。

80pin、60pinをI/O #1～I/O #3コネクタに接続し、40pin×2、30pin×2をターゲットシステムに接続します。I/O #1、I/O #2、I/O #3には電源(VDD)が供給されていますので注意してください。

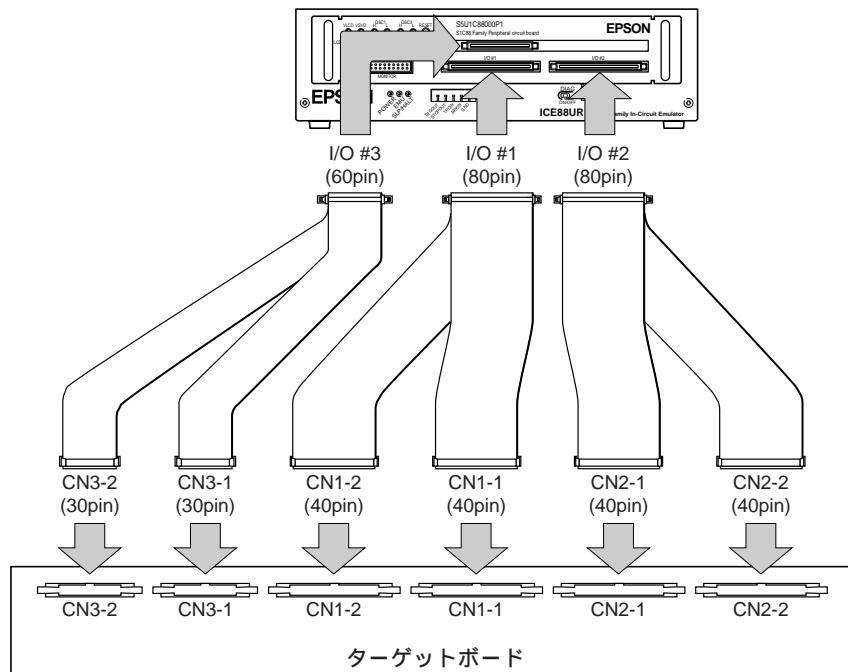
内蔵水晶発振回路の周波数は次のとおりです。

OSC1水晶発振選択時: 32.768kHz

OSC3水晶発振選択時: 4.9152MHz

CR発振を選択した場合は、前面パネルのボリューム(OSC1用がOSC1HとOSC1L、OSC3用がOSC3HとOSC3L)で発振周波数を調整することができます。この場合は、モニタ用コネクタのOSC1 CR発振モニタピン(18番ピン)、またはOSC3 CR発振モニタピン(19番ピン)に周波数カウンタ等を接続し、値を確認しながら必要な周波数に設定してください。CR発振の初期周波数は不定のため、必ず使用前にOSC1 CR、OSC3 CR発振モニタピンで確認してください。

外部入力を使用する場合は、OSC1とOSC3を外部入力に選択し、I/OコネクタCN2-1の7、8番ピンから発振器を用いて、クロック入力をします。



図A.3.1 ターゲットシステムとの接続

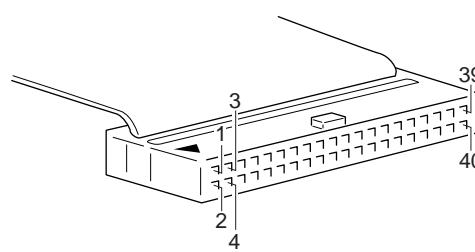
## I/Oコネクタピン配置

表A.3.1 I/O #1コネクタ

40pin CN1-1		40pin CN1-2	
No.	端子名	No.	端子名
1	VDD (3.3V)	1	R12/A10
2	VDD (3.3V)	2	R13/A11
3	Vss	3	R14/A12
4	Vss	4	R15/A13
5	K00	5	R16/A14
6	K01	6	R17/A15
7	K02	7	R20/A16
8	K03	8	R21/A17
9	K04	9	R22/A18
10	K05	10	R23/ <u>RD</u>
11	K06	11	R24/ <u>WR</u>
12	K07	12	R25/CL
13	K10/EVIN	13	R26/FR
14	K11/BREQ	14	R27/TOUT
15	P00/D0	15	R30/CE0
16	P01/D1	16	R31/CE1
17	P02/D2	17	R32/CE2
18	P03/D3	18	R33/CE3
19	P04/D4	19	R34/FOUT
20	P05/D5	20	R35
21	P06/D6	21	R36
22	P07/D7	22	R37
23	P10/SIN	23	R50/BZ
24	P11/SOUT	24	R51/BACK
25	P12/SCLK	25	COM0
26	P13/SRDY	26	COM1
27	P14/CMPP0	27	COM2
28	P15/CMPM0	28	COM3
29	P16/CMPP1	29	COM4
30	P17/CMPM1	30	COM5
31	R00/A0	31	COM6
32	R01/A1	32	COM7
33	R02/A2	33	COM8
34	R03/A3	34	COM9
35	R04/A4	35	COM10
36	R05/A5	36	COM11
37	R06/A6	37	COM12
38	R07/A7	38	COM13
39	R10/A8	39	COM14
40	R11/A9	40	COM15

表A.3.2 I/O #2コネクタ

40pin CN2-1		40pin CN2-2	
No.	端子名	No.	端子名
1	VDD (3.3V)	1	SEG27
2	VDD (3.3V)	2	SEG28
3	Vss	3	SEG29
4	Vss	4	SEG30
5	<u>RESET</u>	5	SEG31
6	MCU/MPU	6	SEG32
7	OSC1	7	SEG33
8	OSC3	8	SEG34
9	VC1	9	SEG35
10	VC2	10	SEG36
11	VC3	11	SEG37
12	VC4	12	SEG38
13	VC5	13	SEG39
14	SEG0	14	SEG40
15	SEG1	15	SEG41
16	SEG2	16	SEG42
17	SEG3	17	SEG43
18	SEG4	18	SEG44
19	SEG5	19	SEG45
20	SEG6	20	SEG46
21	SEG7	21	SEG47
22	SEG8	22	SEG48
23	SEG9	23	SEG49
24	SEG10	24	SEG50
25	SEG11	25	SEG51/COM31
26	SEG12	26	SEG52/COM30
27	SEG13	27	SEG53/COM29
28	SEG14	28	SEG54/COM28
29	SEG15	29	SEG55/COM27
30	SEG16	30	SEG56/COM26
31	SEG17	31	SEG57/COM25
32	SEG18	32	SEG58/COM24
33	SEG19	33	SEG59/COM23
34	SEG20	34	SEG60/COM22
35	SEG21	35	SEG61/COM21
36	SEG22	36	SEG62/COM20
37	SEG23	37	SEG63/COM19
38	SEG24	38	SEG64/COM18
39	SEG25	39	SEG65/COM17
40	SEG26	40	SEG66/COM16



図A.3.2 CN1-1/CN1-2、CN2-1/CN2-2のピン配置

## A.4 S5U1C88000P1への回路データ のダウンロード

表A.3.3 I/O #3コネクタ

30pin CN3-1		30pin CN3-2	
No.	端子名	No.	端子名
1	N.C.	1	N.C.
2	N.C.	2	N.C.
3	N.C.	3	N.C.
4	N.C.	4	N.C.
5	N.C.	5	N.C.
6	N.C.	6	N.C.
7	N.C.	7	N.C.
8	N.C.	8	N.C.
9	N.C.	9	N.C.
10	N.C.	10	N.C.
11	N.C.	11	N.C.
12	N.C.	12	N.C.
13	N.C.	13	N.C.
14	N.C.	14	N.C.
15	N.C.	15	N.C.
16	N.C.	16	N.C.
17	N.C.	17	N.C.
18	N.C.	18	N.C.
19	N.C.	19	N.C.
20	N.C.	20	N.C.
21	N.C.	21	N.C.
22	N.C.	22	N.C.
23	N.C.	23	AD4
24	N.C.	24	AD5
25	N.C.	25	AD6
26	N.C.	26	AD7
27	N.C.	27	N.C.
28	N.C.	28	N.C.
29	N.C.	29	N.C.
30	N.C.	30	N.C.

注: AVREF =AVDD =VDD =3.3Vに固定されます。

OSC1、OSC3、Vc1 ~ Vc5端子は外部から発振クロック、LCD電圧を供給する場合に使用します。

N.C.は接続不可。

本ボード(S5U1C88000P1)は、工場出荷時に出荷検査用回路が書き込まれてありますので、各機種に合わせた回路データをダウンロードしてください。以下に回路データのダウンロード方法を説明します。

- 1) 本ボード上のスイッチSW1<sup>\*1</sup>を"3"側にセットします。
- 2) A.2.2の説明にしたがい、本ボードをICE (S5U1C88000H5)に挿入します。
- 3) ICEをホストPCと接続し、ホストPCの起動とICEの電源投入を行います。
- 4) ICEもしくはアセンブリパッケージに含まれるデバッガを起動します。ICEとデバッガの操作方法については、ICEに添付のマニュアルと、アセンブリパッケージに付属のマニュアルを参照してください。
- 5) 各機種に対応した回路データファイル(~.mcs)を本ボードにダウンロードします。デバッガのコマンドウインドウから以下のように入力してください。

>XFER	(オールイレーズ)
>XFWR <file name>	(指定ファイルのダウンロード) <sup>*2</sup>
>XFCP <file name>	(指定ファイルとダウンロードデータの比較)

- 6) デバッガを終了させ、ICEの電源を切れます。
- 7) 本ボードを一旦ICEから引き出し、ボード上のスイッチSW1を"1"側に戻します。
- 8) 本ボードを再度ICEに挿入します。
- 9) ICEの電源を再投入し、デバッガを起動し直して使用してください。

\*1 SW1の位置については、図A.1.1の"ボードレイアウト"を参照してください。

\*2 ダウンロードは5分程度かかります。

## A.5 使用上の注意

S5U1C88000P1&S5U1C88816P2を正しく使用していただるために、以下の事項に注意してください。

### A.5.1 操作上の注意事項

- (1) ケーブルの接続、切り離しは接続する機器すべての電源をOFFにした状態で行ってください。
- (2) デバッグ起動前に、フロントパネルのVSVDボリュームをカチッと音がするまで右に回してください。
- (3) デバッグは、必ずマスクオプションデータをロードしてから行ってください。

### A.5.2 実際のICとの相違点

実際のICとは機能、特性上、以下の相違がありますので注意が必要です。これらについて考慮を怠った場合、S5U1C88000P1&S5U1C88816P2を装着したICEでは動作しても実ICで動作しない場合があります。

#### (1) I/Oについての相違

##### インターフェース電源

本ボードとターゲットシステムのインターフェース電圧は+3.3Vに固定されています。このため、実際のICと同一のインターフェース電圧が必要な場合は、ターゲットシステム側においてレベルシフト回路などを付加して対応してください。

##### 各出力ポートの駆動能力

本ボードにおける各出力ポートの駆動能力は、実際のICに比べて高くなっていますので、"8電気的特性"を参照し、各出力端子の駆動能力を確認した上で、システムおよびソフトウェアの設計を行ってください。

#### (2) 消費電流についての相違

本ボードの消費電流は実際のICと大きく異なります。S5U1C88000P1前面パネルのLEDを確認することで、およその消費電流を把握することができます。なお、消費電流に大きく影響をおよぼすものとして以下のようなものがあげられます。

##### LED、モニタピンなどで確認が可能なもの

- a) 電源制御 低パワーモード  
(LED1/モニタ1番ピン)
- b) 電源制御 通常モード  
(LED2/モニタ2番ピン)
- c) 電源制御 高速モード  
(LED3/モニタ3番ピン)
- d) OSC3発振On/Off  
(LED4/モニタ4番ピン)
- e) LCD駆動On/Off  
(LED5/モニタ5番ピン)

- f) SVD回路On/Off制御  
(LED6/モニタ6番ピン)
- g) マキシマムモード  
(LED8/モニタ8番ピン)
- h) LCD電源 TYPE A  
(LED9/モニタ9番ピン)
- i) LCD電源 TYPE B  
(LED10/モニタ10番ピン)
- j) LCD外部電源  
(LED11/モニタ11番ピン)
- k) コンパレータ0 On/Off  
(LED12/モニタ12番ピン)
- l) コンパレータ1 On/Off  
(LED13/モニタ13番ピン)

#### (3) 機能上の相違

##### LCD回路

- LCD端子(SEG、COM)の駆動能力および出力電圧は実際のICと異なりますので、充分な注意が必要です。winfogで内蔵LCD電源のオプションを選択した場合、本ボード上では4.5V/5.5Vのどちらを選択してもLCD駆動電圧は同一です。ただし、どちらが選択されているかはLEDで確認できます。LCDのコントラストについては、調整可能となるようにシステムおよびソフトウェアを設計してください。また、S5U1C88000P1ボード裏面スイッチによりLCD駆動電圧を切り換えることが可能です。("A.1各部の名称と機能"参照)
- LCDC0およびLCDC1レジスタが共に"0"(LCD電源制御回路がOFF)の場合、実ICではSEG、COM端子の出力レベルはVssレベルに固定されますが、本ボードにおいてはCOM端子はVC4となり、SEG端子はVC3(1/4バイアス時はVC2)になります。

##### SVD回路

- SVD機能は、S5U1C88000P1前面パネルのVSVDボリュームにより、擬似的に電源電圧を変化させることにより行います。
- SVD回路の電源をONしてから実際に電圧を検出するまでに遅延時間が発生します。本ボードの遅延時間は実際のICと異なりますので、"8電気的特性"を参照して、ソフトウェアにより適切な待ち時間を設定してください。

##### 発振回路

- OSC1水晶発振回路の発振周波数は32.768kHzに固定されています。
- OSC1 CR発振回路の発振周波数は、S5U1C88000P1前面パネルのボリュームにより約20kHz ~ 500kHzの範囲で調整できます。ただし、実ICの動作範囲はこれとは異なりますので、"8電気的特性"を参照して実ICが動作可能な周波数に設定してください。

- OSC3水晶発振回路の発振周波数は4.9152MHzに固定されています。
- OSC3 CR発振回路の発振周波数は、S5U1C88000P1前面パネルのボリュームにより約100kHz～8MHzの範囲で調整できます。ただし、実ICの動作範囲はこれとは異なりますので、"8電気的特性"を参照して実ICが動作可能な周波数に設定してください。
- OSC3セラミック発振回路は内蔵していません。セラミック発振回路のオプションを選択した場合は、代わりにCR発振回路が選択されるようになっていますので、S5U1C88000P1前面パネルのボリュームで周波数を調整してください。
- 外部クロック入力を使用する場合は、振幅を3.3V±5%、デューティを50%±10%以内に調整し、VssをGNDとしてOSC1、OSC3端子から入力してください。
- 本ボードではOSC3発振制御回路をON(OSCC="1")した後、待ち時間を取らずにCPUクロックをOSC3に切り換える(CLKCHG="1")動作してしまいます。実ICでは発振ON後、クロックを切り換える前に発振安定待ち時間が必要ですので、"8電気的特性"を参照の上、適切な待ち時間を設定してください。
- OSC3からOSC1へのクロック切り換えと、OSC3回路の発振停止は別の命令で行ってください。ひとつの命令で同時に処理すると、本ボードで動作しても、実際のICで動作しない場合があります。
- 本ボードにはOSC1とOSC3用の発振回路が内蔵されています。実ICにおいてOSC3の発振子を接続しない場合でも、OSC3クロックによる動作が可能になりますので、注意してください。
- ロジックレベルが高いため発振開始や停止時間などのタイミングが異なります。CR発振回路モニタ端子は、SLP命令実行時も発振は停止しませんので注意してください。

#### 未使用アドレスへのアクセス

S1C88349内蔵のROM/RAM、I/O空間の未定義領域に対して読み出し/書き込みを行った場合は、その値は不定となります。  
また、S5U1C88000P1&S5U1C88816P2と実際のICでは、不定となる状態が異なりますので充分注意してください。

#### リセット回路

本ボードを組み込んだICEに電源を投入してからプログラムが動作するまでのシーケンスは、実際のICと異なりますので注意してください。  
本ボードでは、オプションデータのロード、ユーザプログラムのロードを行ってからデバッガシステムとしての動作が可能になります。

#### 内部電源回路

- 本ボードは内部電源電圧の切り換えを実際には行いませんので(全モードで動作可能な値に固定)、不正な電圧設定でも動作してしまいます。実ICでは内部電源電圧を動作モードに合った値に切り換える必要がありますので、"8電気的特性"を参照して正しい電圧を設定してください。また、制御電圧を切り換える際には、"8電気的特性"を参照の上、適切な待ち時間を設けてください。
- 実ICが動作可能なクロック周波数の範囲は内部動作電圧に依存しますので、"8電気的特性"を参照の上、動作クロック周波数と内部動作電圧の不適切な組み合わせで動作させないように注意してください。
- LCDの駆動電圧は実際のICと異なります。

#### (4) 各機種対応における注意事項

##### パラメータファイル

本ボードを組み込んだICEは、パーソナルコンピュータ上のデバッガを起動した際に、機種ごとに提供されるパラメータファイル(88349.par)に従ってROM、RAM、I/O空間がその機種用に設定されます。お客さまは、実際に使用するROM、RAM空間に合わせてこのパラメータファイルを変更することができますが、シングルチップモード時は以下の領域以外は設定しないでください。

ROM領域: 0000H～BFFFH

RAM領域: F000H～F7FFFH

スタック領域: F000H～F7FFFH

##### アクセス禁止領域

S1C88349の開発で本ボードを使用する場合は、I/OメモリのアドレスFF46H、FF47Hに対しては絶対に読み出しや書き込みをしないでください。

#### (5) S5U1C88816P1からS5U1C88000P1+S5U1C88816P2へ置き換えた場合の注意事項

- S5U1C88816P1ではAD4/P14、AD5/P15、AD6/P16、AD7/P17はそれぞれポートを共有していますが、S5U1C88000P1+S5U1C88816P2はAD4～AD7がI/O #3で、P14～P17がI/O #1となりますので注意してください。
- S5U1C88816P1のI/O電圧は5Vですが、S5U1C88000P1+S5U1C88816P2は3.3Vとなりますので注意してください。

## A.6 製品の仕様

### A.6.1 S5U1C88000P1の仕様

#### S5U1C88000P1

寸法(mm): 247.5(横) × 165(奥行き) × 44.6(高さ)

重量: 約500g

電源: DC5V ± 5%、1A以下  
(ICE本体より供給)

#### I/O接続ケーブル(80pin/40pin × 2, 2本)

本機側コネクタ(80pin):

KEL 8830E-080-170L、または相当品

ケーブル側コネクタ(80pin):

KEL 8822E-080-171

× 1

ケーブル側コネクタ(40pin):

3M 7940-6500SC

× 2

ケーブル:

40芯フラットケーブル

× 2

インターフェース:

CMOSインターフェース(3.3V)

長さ: 約40cm

#### モニタ端子用ケーブル

本機側コネクタ:

3M 7610-5002SC、または相当品

ケーブル側コネクタ(10pin):

3M 7910-6500SC

× 1

インターフェース:

CMOSインターフェース(3.3V)

長さ: 約40cm

#### 付属品

ターゲットシステム接続コネクタ(40pin):

3M 3432-6002LCSC

× 4

### A.6.2 S5U1C88816P2の仕様

#### S5U1C88816P2

寸法(mm): 154.35(横) × 153(奥行き) × 18(高さ)

#### I/O接続ケーブル(60pin/30pin × 2, 1本)

本機側コネクタ(60pin):

KEL 8830E-060-170L

× 1

ケーブル側コネクタ(60pin):

KEL 8822E-060-171

ケーブル側コネクタ(30pin):

コネクタ 3M 7930-6500SC × 2

ストレインリリーフ 3M 3448-7930 × 2

ケーブル:

30芯フラットケーブル

× 2

インターフェース:

CMOSインターフェース(3.3V)

長さ: 約40cm

#### 付属品

ターゲットシステム接続コネクタ(30pin):

3M 3440-6002LCSC

× 2

## セイコーエプソン株式会社 電子デバイス営業本部

### ED東日本営業部

東京

〒191-8501 東京都日野市日野421-8  
TEL (042)587-5313(直通) FAX (042)587-5116

仙台

〒980-0013 宮城県仙台市青葉区花京院1-1-20 花京院スクエア19F  
TEL (022)263-7975(代表) FAX (022)263-7990

### ED西日本営業部

大阪

〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F  
TEL (06)6120-6000(代表) FAX (06)6120-6100

名古屋

〒461-0005 名古屋市東区東桜1-10-24 栄大野ビル4F  
TEL (052)953-8031(代表) FAX (052)953-8041

インターネットによる電子デバイスのご紹介 <http://www.epsondevice.com/domcfg.nsf>