

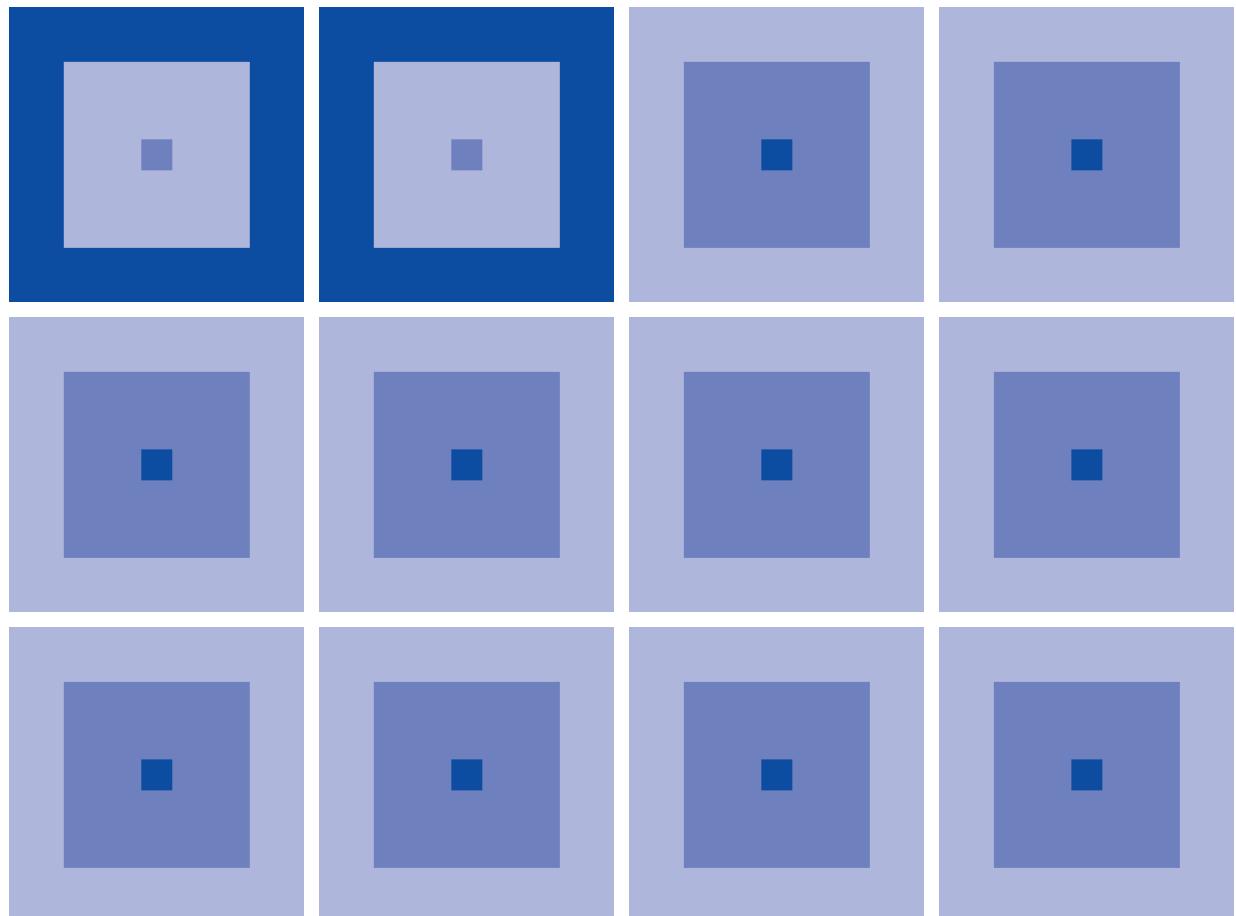
EPSON

CMOS 8-BIT SINGLE CHIP MICROCOMPUTER

S1C88816

テクニカルマニュアル

S1C88816 Technical Hardware



セイコーエプソン株式会社

本資料のご使用につきましては、次の点にご留意願います。

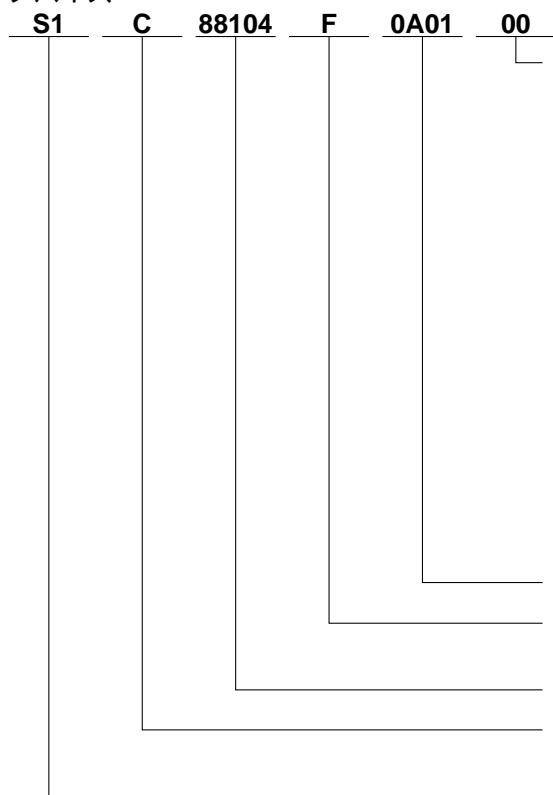
1. 本資料の内容については、予告なく変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利(工業所有権を含む)侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち、「外国為替および外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、一般民生用です。生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合の如何なる責任についても負いかねます。

本版で改訂または追加された箇所

章	節/項	頁	項目	内容
1	1.1	1	表1.1.1 特長	パッケージ変更
	1.3	3	端子配置図	
	1.4	5	マスクオプション	文章追加
5	5.1.1	23	表5.1.1(j) I/Oメモリマップ	表変更
	5.10.12	87	プログラミング上の注意事項	(6)追加
	5.15.6	124	表5.15.6.1(a) A/D変換器の制御ビット	表変更
8	8.1	156	プラスチックパッケージ	パッケージ変更
Appendix		162	Appendix	Appendix追加

製品型番体系

デバイス



梱包仕様

- 00 : テープ&リール以外
- 0A : TCP BL 2方向
- 0B : テープ&リール BACK
- 0C : TCP BR 2方向
- 0D : TCP BT 2方向
- 0E : TCP BD 2方向
- 0F : テープ&リール FRONT
- 0G : TCP BT 4方向
- 0H : TCP BD 4方向
- 0J : TCP SL 2方向
- 0K : TCP SR 2方向
- 0L : テープ&リール LEFT
- 0M : TCP ST 2方向
- 0N : TCP SD 2方向
- 0P : TCP ST 4方向
- 0Q : TCP SD 4方向
- 0R : テープ&リール RIGHT
- 99 : 梱包仕様未定

仕様

[D: ベアチップ、F: QFP]

機種番号

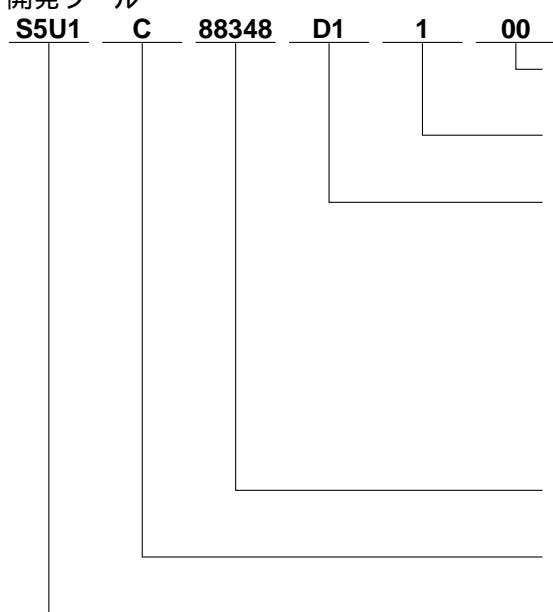
機種名称

[C: マイコン、デジタル製品]

製品分類

[S1: 半導体]

開発ツール



梱包仕様

[00: 標準梱包]

バージョン

[1: Version 1]

ツール種類

- Hx : ICE
- Ex : EVAボード
- Px : ペリフェラルボード
- Wx: FLASHマイコン用ROMライタ
- Xx : ROMライタ周辺ボード
- Cx : Cコンパイラパッケージ
- Ax : アセンブラーパッケージ
- Dx : 機種別ユーティリティツール
- Qx : ソフトシミュレータ

対応機種番号

[88348: S1C88348用]

ツール分類

[C: マイコン用]

製品分類

[S5U1: 半導体用開発ツール]

一 目 次 一

1	概要	1
1.1	特長	1
1.2	ブロック図	2
1.3	端子配置図	3
1.4	オプションリスト	5
2	電源	7
2.1	動作電圧	7
2.2	内部電源回路	7
2.3	重負荷保護モード	8
3	CPUとメモリの構成	9
3.1	CPU	9
3.2	内蔵メモリ	9
3.2.1	ROM	9
3.2.2	RAM	9
3.2.3	I/Oメモリ	9
3.2.4	表示メモリ	9
3.3	例外処理ベクタ	9
3.4	CC(カスタマイズコンディションフラグ)	10
4	イニシャルリセット	11
4.1	イニシャルリセット要因	11
4.1.1	RESET端子	11
4.1.2	入力ポート(K00～K03)の同時LOWレベル入力	11
4.1.3	電源電圧検出(SVD)回路	12
4.1.4	イニシャルリセットシーケンス	12
4.2	イニシャルリセット時の初期設定	13
4.3	プログラミング上の注意事項	13
5	周辺回路と動作	14
5.1	I/Oメモリマップ	14
5.2	ウォッチドッグタイマ	25
5.2.1	ウォッチドッグタイマの構成	25
5.2.2	割り込み機能	25
5.2.3	ウォッチドッグタイマのI/Oメモリ	25
5.2.4	プログラミング上の注意事項	25
5.3	発振回路と動作モード	26
5.3.1	発振回路の構成	26
5.3.2	マスクオプション	26
5.3.3	OSC1発振回路	26
5.3.4	OSC3発振回路	27
5.3.5	動作モード	27
5.3.6	CPUクロックの切り換え	28
5.3.7	発振回路と動作モードのI/Oメモリ	29
5.3.8	プログラミング上の注意事項	29

5.4	入力ポート (Kポート)	30
5.4.1	入力ポートの構成	30
5.4.2	マスクオプション	30
5.4.3	割り込み機能と入力比較レジスタ	31
5.4.4	入力ポートのI/Oメモリ	33
5.4.5	プログラミング上の注意事項	35
5.5	出力ポート (Rポート)	36
5.5.1	出力ポートの構成	36
5.5.2	マスクオプション	36
5.5.3	ハイインピーダンス制御	36
5.5.4	DC出力	36
5.5.5	特殊出力	36
5.5.6	出力ポートのI/Oメモリ	39
5.5.7	プログラミング上の注意事項	42
5.6	入出力兼用ポート (Pポート)	43
5.6.1	入出力兼用ポートの構成	43
5.6.2	マスクオプション	43
5.6.3	I/Oコントロールレジスタと入力/出力モード	44
5.6.4	入出力兼用ポートのI/Oメモリ	44
5.6.5	プログラミング上の注意事項	45
5.7	シリアルインターフェース	46
5.7.1	シリアルインターフェースの構成	46
5.7.2	マスクオプション	47
5.7.3	転送モード	47
5.7.4	クロック源	48
5.7.5	送受信の制御	49
5.7.6	クロック同期式転送の動作	50
5.7.7	調歩同期式転送の動作	54
5.7.8	割り込み機能	58
5.7.9	シリアルインターフェースのI/Oメモリ	60
5.7.10	プログラミング上の注意事項	64
5.8	計時タイマ	65
5.8.1	計時タイマの構成	65
5.8.2	割り込み機能	65
5.8.3	計時タイマのI/Oメモリ	67
5.8.4	プログラミング上の注意事項	69
5.9	ストップウォッチタイマ	70
5.9.1	ストップウォッチタイマの構成	70
5.9.2	カウントアップパターン	70
5.9.3	割り込み機能	71
5.9.4	ストップウォッチタイマのI/Oメモリ	72
5.9.5	プログラミング上の注意事項	74
5.10	プログラマブルタイマ	75
5.10.1	プログラマブルタイマの構成	75
5.10.2	マスクオプション	75
5.10.3	カウント動作と基本モード設定	75
5.10.4	入力クロックの設定	77
5.10.5	タイマモード	77

5.10.6 イベントカウンタモード	78
5.10.7 パルス幅測定タイマモード	78
5.10.8 割り込み機能	79
5.10.9 TOUT出力の設定	79
5.10.10 シリアルインターフェースの転送速度設定	80
5.10.11 プログラマブルタイマのI/Oメモリ	81
5.10.12 プログラミング上の注意事項	86
5.11 LCDコントローラ	88
5.11.1 LCDコントローラの構成	88
5.11.2 マスクオプション	88
5.11.3 LCD電源	90
5.11.4 LCDドライバ	90
5.11.5 表示メモリ	93
5.11.6 表示の制御	100
5.11.7 LCDコントローラのI/Oメモリ	101
5.11.8 プログラミング上の注意事項	102
5.12 サウンドジェネレータ	103
5.12.1 サウンドジェネレータの構成	103
5.12.2 マスクオプション	103
5.12.3 ブザー出力の制御	103
5.12.4 ブザー周波数と音量の設定	104
5.12.5 デジタルエンベロープ	105
5.12.6 ワンショット出力	105
5.12.7 サウンドジェネレータのI/Oメモリ	106
5.12.8 プログラミング上の注意事項	108
5.13 メロディジェネレータ	109
5.13.1 メロディジェネレータの特長と構成	109
5.13.2 メロディのプログラミング	110
5.13.3 演奏の制御	112
5.13.4 割り込み機能	113
5.13.5 メロディジェネレータのI/Oメモリ	114
5.13.6 プログラミング上の注意事項	116
5.14 電源電圧検出(SVD)回路	117
5.14.1 SVD回路の構成	117
5.14.2 SVD回路の動作	117
5.14.3 SVD回路のI/Oメモリ	119
5.14.4 プログラミング上の注意事項	120
5.15 A/D変換器	121
5.15.1 A/D変換器の特長と構成	121
5.15.2 A/D変換器の端子構成	121
5.15.3 マスクオプション	121
5.15.4 A/D変換の制御	122
5.15.5 割り込み機能	123
5.15.6 A/D変換器のI/Oメモリ	124
5.15.7 プログラミング上の注意事項	127

5.16	割り込みとスタンバイ状態	128
5.16.1	割り込み発生条件	129
5.16.2	割り込み要因フラグ	129
5.16.3	割り込みイネーブルレジスタ	130
5.16.4	割り込みプライオリティレジスタと割り込み優先レベル	130
5.16.5	例外処理ベクタ	131
5.16.6	割り込みのI/Oメモリ	132
5.16.7	プログラミング上の注意事項	133
5.17	低消費電力化のための注意事項	134
6	基本外部結線図	135
7	電気的特性	136
7.1	絶対最大定格	136
7.2	推奨動作条件	136
7.3	DC特性	137
7.4	アナログ回路特性	138
7.5	消費電流	140
7.6	AC特性	141
7.7	発振特性	147
7.8	A/D変換器特性	148
7.9	特性グラフ(参考値)	149
8	パッケージ	156
8.1	プラスチックパッケージ	156
8.2	セラミックパッケージ	157
9	パッド配置	158
9.1	パッド配置図	158
9.2	パッド座標	159
10	実装上の注意事項	160
Appendix S5U1C88000P1&S5U1C88816P2 Manual (Peripheral Circuit Board for S1C88816)		162
A.1	各部の名称と機能	162
A.2	装着方法	164
A.2.1	S5U1C88000P1へのS5U1C88816P2の装着	164
A.2.2	ICE(S5U1C88000H5)への装着	164
A.3	ターゲットシステムとの接続	165
A.4	S5U1C88000P1への回路データのダウンロード	167
A.5	使用上の注意	168
A.5.1	操作上の注意事項	168
A.5.2	実際のICとの相違点	168
A.6	製品の仕様	170
A.6.1	S5U1C88000P1の仕様	170
A.6.2	S5U1C88816P2の仕様	170

1 概要

S1C88816は、CMOS 8ビットコアCPU S1C88 (MODEL3)を中心に、116KバイトのROM、8KバイトのRAM、3種類のタイマ、調歩同期/クロック同期が選択可能なシリアルインタフェース、メロディ回路、A/D変換器などを内蔵したマイクロコンピュータです。

大容量のROMとRAMを持ち、しかも動作電圧が広く、低電圧でも高速な動作が可能です。
また、低消費電力というS1C Familyの特長も合わせ持っています。

1.1 特長

表1.1.1にS1C88816の特長を示します。

表1.1.1 特長

コアCPU	CMOS 8ビットコアCPU S1C88 (MODEL3)
OSC1発振回路	水晶発振回路/CR発振回路/外部クロック入力 32.768kHz (Typ.)
OSC3発振回路	水晶発振回路/セラミック発振回路/CR発振回路/外部クロック入力 8.2MHz (Max.)
命令セット	608種類(乗除算命令使用可能)
最小命令実行時間	0.244μsec/8.2MHz (2クロック)
内蔵ROM容量	116Kバイト
内蔵RAM容量	8Kバイト/RAM 4,224ビット/表示メモリ 512バイト/メロディRAM
入力ポート	9ビット(1ビットをイベントカウンタの外部クロック入力端子に設定可能)
出力ポート	7ビット(BZ、BZ、TOUT、TOUT、FOUT信号出力端子に設定可能)
入出力兼用ポート	16ビット(P10～P13をシリアル/I/F入出力、P14～P17をA/D変換器入力に設定可能)
シリアルインタフェース	1ch(クロック同期式/調歩同期式の選択が可能)
タイマ	プログラマブルタイマ(8ビット): 2ch (1chをイベントカウンタとして、または2chを16ビット1chのプログラマブルタイマとして設定可能) 計時タイマ(8ビット): 1ch ストップウォッチタイマ(8ビット): 1ch
液晶駆動用電源回路	内蔵(昇降圧方式、5電位/4電位)
LCDドライバ	ドットマトリクス方式(5×8または5×5ドットフォント対応可能) 72セグメント×32コモン(1/5バイアス) 88セグメント×16コモン(1/5バイアスまたは1/4バイアス) 88セグメント×8コモン(1/5バイアスまたは1/4バイアス)
サウンドジェネレータ	エンベロープ機能、音量調整機能付き
ウォッチドッグタイマ	内蔵
電源電圧検出回路(SVD)	16レベルの検出電圧が読み出し可能
メロディジェネレータ	1音源(音階: 3オクターブ、音符: 8種類、テンポ: 16種類) メロディRAMに音符、音階データを格納(メロディRAMはCPUによりリード/ライト可能)
A/D変換器	分解能: 10ビット(入力4ch: P14～P17で兼用)、逐次比較型
割り込み	外部割り込み: 入力割り込み 2系統(3種類) 内部割り込み: タイマ割り込み 3系統(9種類) シリアルインタフェース割り込み 1系統(3種類) メロディ割り込み 1系統(1種類) A/D変換器割り込み 1系統(1種類)
電源電圧	通常モード: 2.4V～5.5V (Max. 4.2MHz) 低パワーモード: 1.8V～5.5V (Max. 80kHz) 高速モード: 3.5V～5.5V (Max. 8.2MHz)
消費電流	SLEEP時 0.45μA (Typ./通常モード) HALT時(32.768kHz) 1.5μA (Typ./通常モード) 動作時(32.768kHz) 7μA (Typ./通常モード) 動作時(4MHz) 0.9mA (Typ./通常モード)
出荷形態	QFP21-176ピンまたはチップ

1.2 ブロック図

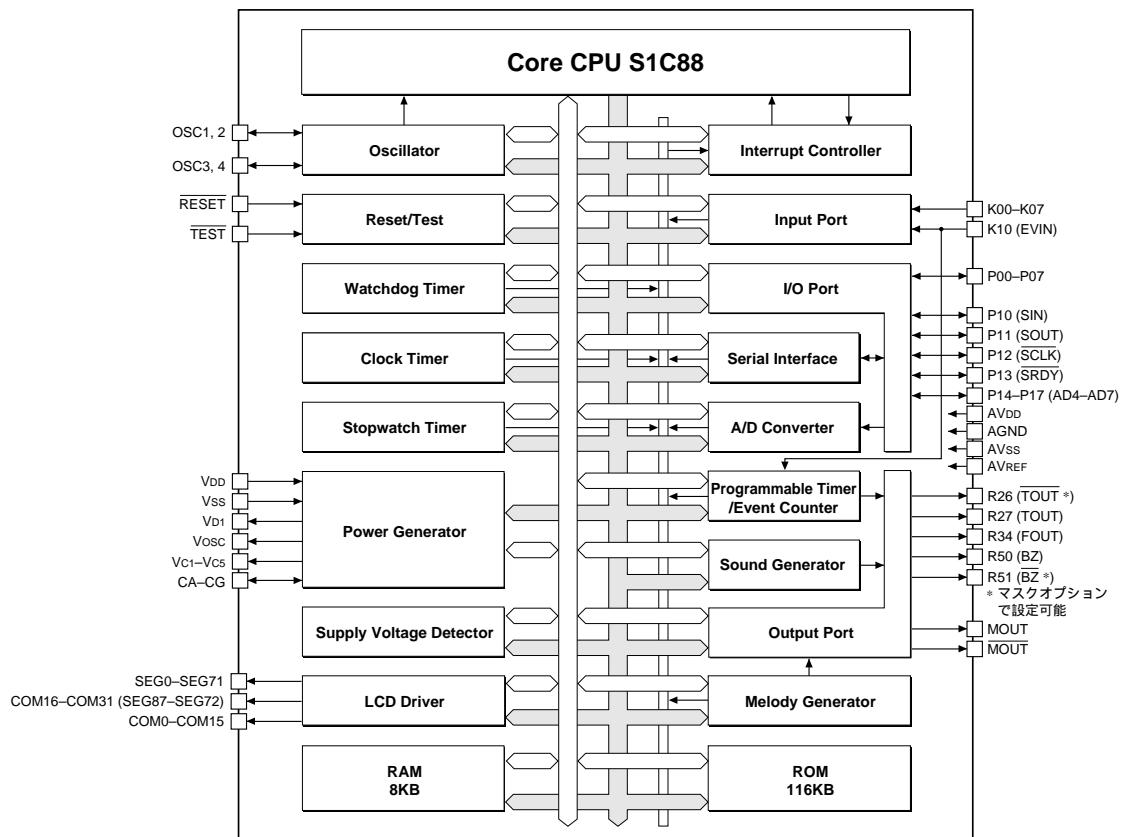
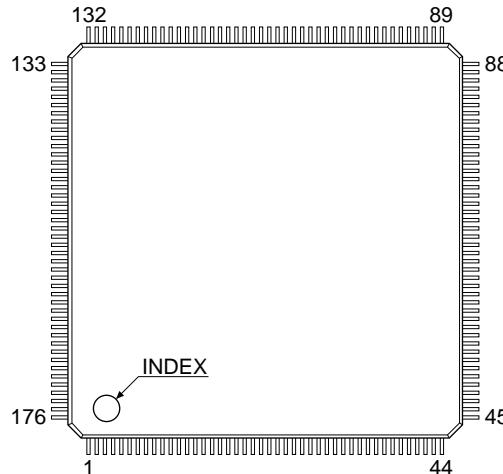


図1.2.1 S1C88816ブロック図

1.3 端子配置図

QFP21-176pin



端子No.	端子名	端子No.	端子名	端子No.	端子名	端子No.	端子名
1	N.C.	45	N.C.	89	N.C.	133	N.C.
2	N.C.	46	SEG56	90	N.C.	134	N.C.
3	SEG16	47	SEG57	91	VC3	135	P01
4	SEG17	48	SEG58	92	VC2	136	P00
5	SEG18	49	SEG59	93	VC1	137	MOUT
6	SEG19	50	SEG60	94	OSC3	138	<u>MOUT</u>
7	SEG20	51	SEG61	95	OSC4	139	R26/TOUT
8	SEG21	52	SEG62	96	V _{D1}	140	R27/TOUT
9	SEG22	53	SEG63	97	V _D	141	R34/FOUT
10	SEG23	54	SEG64	98	V _{SS}	142	R50/BZ
11	SEG24	55	SEG65	99	V _{Osc}	143	R51/BZ
12	SEG25	56	SEG66	100	OSC1	144	COM0
13	SEG26	57	SEG67	101	OSC2	145	COM1
14	SEG27	58	SEG68	102	TEST	146	COM2
15	SEG28	59	SEG69	103	RESET	147	COM3
16	SEG29	60	SEG70	104	K10/EVIN	148	COM4
17	SEG30	61	SEG71	105	K07	149	COM5
18	SEG31	62	COM31/SEG72	106	K06	150	COM6
19	SEG32	63	COM30/SEG73	107	K05	151	COM7
20	SEG33	64	COM29/SEG74	108	K04	152	COM8
21	SEG34	65	COM28/SEG75	109	K03	153	COM9
22	SEG35	66	COM27/SEG76	110	K02	154	COM10
23	SEG36	67	COM26/SEG77	111	K01	155	COM11
24	SEG37	68	COM25/SEG78	112	K00	156	COM12
25	SEG38	69	COM24/SEG79	113	P17/AD7	157	COM13
26	SEG39	70	COM23/SEG80	114	P16/AD6	158	COM14
27	SEG40	71	COM22/SEG81	115	P15/AD5	159	COM15
28	SEG41	72	COM21/SEG82	116	P14/AD4	160	SEG0
29	SEG42	73	COM20/SEG83	117	P13/SRDY	161	SEG1
30	SEG43	74	COM19/SEG84	118	P12/SCLK	162	SEG2
31	SEG44	75	COM18/SEG85	119	P11/SOUT	163	SEG3
32	SEG45	76	COM17/SEG86	120	P10/SIN	164	SEG4
33	SEG46	77	COM16/SEG87	121	AV _{DD}	165	SEG5
34	SEG47	78	CG	122	AGND	166	SEG6
35	SEG48	79	CF	123	AV _{SS}	167	SEG7
36	SEG49	80	CE	124	AV _{REF}	168	SEG8
37	SEG50	81	CD	125	P07	169	SEG9
38	SEG51	82	CC	126	P06	170	SEG10
39	SEG52	83	CB	127	P05	171	SEG11
40	SEG53	84	CA	128	P04	172	SEG12
41	SEG54	85	V _{C5}	129	P03	173	SEG13
42	SEG55	86	V _{C4}	130	P02	174	SEG14
43	N.C.	87	N.C.	131	N.C.	175	SEG15
44	N.C.	88	N.C.	132	N.C.	176	N.C.

N.C.: No Connection

図1.3.1 S1C88816端子配置図

表1.3.1 S1C88816端子説明

端子名	端子No.	In/Out	機能
VDD	97	-	電源(+)端子
VSS	98	-	電源(-)端子
VD1	96	-	内部動作電圧出力端子
VOSC	99	-	OSC1発振系定電圧出力端子
VC1~VC5	93~91,86,85	O	LCD駆動電圧出力端子
CA~CG	84~78	-	LCD系昇降圧コンデンサ接続端子
OSC1	100	I	OSC1発振入力端子(水晶/CR発振/外部クロック入力をマスクオプションで選択)
OSC2	101	O	OSC1発振出力端子
OSC3	94	I	OSC3発振入力端子 (水晶/セラミック/CR発振/外部クロック入力をマスクオプションで選択)
OSC4	95	O	OSC3発振出力端子
K00~K07	112~105	I	入力ポート(K00~K07)端子
K10/EVIN	104	I	入力ポート(K10)端子またはイベントカウンタ外部クロック(EVIN)入力端子
R26/TOUT	139	O	出力ポート(R26)端子またはプログラマブルタイマアンダーフロー反転信号(TOUT)出力端子(マスクオプションで選択)
R27/TOUT	140	O	出力ポート(R27)端子またはプログラマブルタイマアンダーフロー信号(TOUT)出力端子
R34/FOUT	141	O	出力ポート(R34)端子またはクロック(FOUT)出力端子
R50/BZ	142	O	出力ポート(R50)端子またはブザー信号(BZ)出力端子
R51/BZ	143	O	出力ポート(R51)端子またはブザー反転信号(BZ)出力端子 (マスクオプションで選択)
P00~P07	136,135,130~125	I/O	入出力兼用ポート(P00~P07)端子
P10/SIN	120	I/O	入出力兼用ポート(P10)端子またはシリアルI/Fデータ入力(SIN)端子
P11/SOUT	119	I/O	入出力兼用ポート(P11)端子またはシリアルI/Fデータ出力(SOUT)端子
P12/SCLK	118	I/O	入出力兼用ポート(P12)端子またはシリアルI/Fクロック(SCLK)入出力端子
P13/SDRY	117	I/O	入出力兼用ポート(P13)端子またはシリアルI/Fレディ信号(SRDY)出力端子
P14/AD4	116	I/O	入出力兼用ポート(P14)端子またはA/D変換器AD4入力端子
P15/AD5	115	I/O	入出力兼用ポート(P15)端子またはA/D変換器AD5入力端子
P16/AD6	114	I/O	入出力兼用ポート(P16)端子またはA/D変換器AD6入力端子
P17/AD7	113	I/O	入出力兼用ポート(P17)端子またはA/D変換器AD7入力端子
MOUT	137	O	メロディ出力端子
MOUT	138	O	メロディ反転信号出力端子
COM0~COM15	144~159	O	LCDコモン出力端子
COM16~COM31	77~62	O	LCDコモン出力端子(1/32デューティ選択時) またはLCDセグメント出力端子(1/16または1/8デューティ選択時)
SEG0~SEG71	160~175,3~42, 46~61	O	LCDセグメント出力端子
RESET	103	I	イニシャルリセット入力端子
TEST *1	102	I	テスト用入力端子
AVDD	121	-	アナログ電源(+)端子
AVSS	123	-	アナログ電源(-)端子
AGND	122	-	アナロググランド
AVREF	124	I	アナログ基準電圧入力端子

*1 TEST端子はICの出荷検査時に使用する端子です。通常動作時は必ずVDDに接続してください。

1.4 オプションリスト

S1C88816には以下に示すマスクオプションが設定されています。各マスクオプションには複数のハードウェア仕様が用意されており、アプリケーションに合わせて選択することができます。本マニュアルの回路説明を参照してシステムに合った内容を選択し、印をつけてください。

なお、使用しない機能についても解説にしたがって必ず記入してください。

このオプションリストを参照して、マスクオプション選択をファンクションオプションジェネレータwinfogの画面上で行います。winfogによって作成したデータをもとに最終的なICのマスクパターンが生成されます。winfogについては"S5U1C88000C Manual II"を参照してください。

RERIPHERAL CIRCUIT BOARDオプションリスト

ICE (S5U1C88000H5)に組み込むPeripheral Circuit Board (S5U1C88000P1&S5U1C88816P2)に対して設定できるオプションです。ICのマスクオプションには影響ありません。

A OSC1発振回路...OSC1 SYSTEM CLOCK

1. 内部クロック
2. ユーザクロック

ユーザクロックを選択した場合、OSC1端子から任意のクロックを入力してください。また、内部クロックを選択した場合、ICのマスクオプションリストによって選択された発振回路オプションにより、使用できる周波数が異なります。

B OSC3発振回路...OSC3 SYSTEM CLOCK

1. 内部クロック
2. ユーザクロック

ユーザクロックを選択した場合、OSC3端子から任意のクロックを入力してください。また、内部クロックを選択した場合、ICのマスクオプションリストによって選択された発振回路オプションにより、使用できる周波数が異なります。

S1C88816マスクオプションリスト

ICのマスクパターンを生成するためのオプションリストです。ICEに組み込むPeripheral Circuit Boardにおいては一部選択できない項目があります。

1 OSC1発振回路...OSC1 SYSTEM CLOCK

1. 水晶発振回路
2. 外部クロック
3. CR発振回路
4. 水晶発振回路(ゲート容量内蔵)

OSC1発振回路の種類を、水晶発振、CR発振、水晶発振(ゲート容量内蔵)、外部クロック入力から選択できます。詳細については"5.3.3 OSC1発振回路"を参照してください。

2 OSC3発振回路...OSC3 SYSTEM CLOCK

1. 水晶発振回路
2. セラミック発振回路
3. CR発振回路
4. 外部クロック

OSC3発振回路の種類を、水晶発振、セラミック発振、CR発振、外部クロック入力から選択できます。詳細については、"5.3.4 OSC3発振回路"を参照してください。

3 キー同時押しリセット

MULTIPLE KEY ENTRY RESET

- ・組み合わせ ..
- 1. 使用しない
- 2. 使用する K00, K01
- 3. 使用する K00, K01, K02
- 4. 使用する K00, K01, K02, K03

この機能は、複数キーの同時押しによってICをリセットするもので、この機能を使用するかしないかをマスクオプションで選択できます。また、使用する場合は、同時に押すキーを接続する入力ポート(K00～K03)の組み合わせを選択します。詳細については"4.1.2 入力ポート(K00～K03)の同時LOWレベル入力"を参照してください。

4 SVDリセット...SVD RESET

1. 使用しない
2. 使用する

SVD回路は電源電圧がレベル0以下に低下した場合にイニシャルリセット信号を発生する機能を持っています。この機能を使用するかしないかをマスクオプションで選択できます。詳細については"5.14 電源電圧検出(SVD)回路"を参照してください。

5 入力ポート プルアップ抵抗

INPUT PORT PULL UP RESISTOR

- | | | |
|----------------------|-------|-------|
| • K00 | 1. あり | 2. なし |
| • K01 | 1. あり | 2. なし |
| • K02 | 1. あり | 2. なし |
| • K03 | 1. あり | 2. なし |
| • K04 | 1. あり | 2. なし |
| • K05 | 1. あり | 2. なし |
| • K06 | 1. あり | 2. なし |
| • K07 | 1. あり | 2. なし |
| • K10 | 1. あり | 2. なし |
| • <u>RESET</u> | 1. あり | 2. なし |

入力(K)ポートにプルアップ抵抗を付加するかしないか選択できます。この選択は入力ポートの各ビットごとに行えます。詳細については"5.4 入力ポート(Kポート)"を参照してください。また、RESET端子にもプルアップ抵抗を付加するかしないか選択できます。

6 入出力兼用ポート プルアップ抵抗 I/O PORT PULL UP RESISTOR	<ul style="list-style-type: none"> • P00 1.あり 2.なし • P01 1.あり 2.なし • P02 1.あり 2.なし • P03 1.あり 2.なし • P04 1.あり 2.なし • P05 1.あり 2.なし • P06 1.あり 2.なし • P07 1.あり 2.なし • P10 1.あり 2.なし • P11 1.あり 2.なし • P12 1.あり 2.なし • P13 1.あり 2.なし • P14 1.あり 2.なし • P15 1.あり 2.なし • P16 1.あり 2.なし • P17 1.あり 2.なし 	入出力兼用(P)ポートが入力モード時に働くプルアップ抵抗を付加するかしないか選択できます。この選択は入出力兼用ポートの各ビットごとに行えます。詳細については"5.6 入出力兼用ポート(Pポート)"を参照してください。なお、P10～P13はシリアルインターフェースの入出力端子と兼用されており、P10およびP12端子の選択は、それぞれシリアル入力(SIN)端子、シリアルクロック入力(クロック同期式スレーブモード選択時のSCLK)端子にも適用されます。詳細については"5.7 シリアルインターフェース"を参照してください。
7 LCD駆動デューティ...LCD DRIVING DUTY	1. 1/32 & 1/16デューティ 2. 1/8デューティ	内蔵LCDドライバの駆動デューティを1/32と1/16のソフトウェア切り換えとするか、1/8固定とするか選択できます。詳細については"5.11 LCDコントローラ"を参照してください。
8 LCD駆動電源...LCD POWER SUPPLY	<ul style="list-style-type: none"> 1. 内部駆動 タイプA (Vc2基準, 1/5バイアス, 4.5V) 2. 外部駆動 3. 内部駆動 タイプB (Vc2基準, 1/5バイアス, 5.5V) 4. 内部駆動 タイプC (Vc2基準, 1/4バイアス, 4.5V) 5. 内部駆動 タイプD (Vc1基準, 1/4バイアス, 4.5V) 	LCDの駆動に内部電源を使用するか、外部電源を使用するか選択できます。さらに、内部電源を使用する場合は、4.5V LCDパネル用または5.5V LCDパネル用に設定できます。詳細については"5.11 LCDコントローラ"を参照してください。
9 \overline{BZ} 出力(R51)... \overline{BZ} OUTPUT (R51)	<ul style="list-style-type: none"> 1. 使用する 2. 使用しない 	\overline{BZ} ポートを汎用DC出力として使用するか、 \overline{BZ} 出力(ブザー反転信号出力)として使用するか選択できます。詳細については"5.5 出力ポート(Rポート)"を参照してください。
10 \overline{TOUT} 出力(R26)... \overline{TOUT} OUTPUT (R26)	<ul style="list-style-type: none"> 1. 使用する 2. 使用しない 	\overline{TOUT} ポートを、汎用DC出力として使用するか、 \overline{TOUT} 出力(\overline{TOUT} 反転出力)として使用するか選択できます。詳細については"5.5 出力ポート(Rポート)"を参照してください。
11 CPUモード...CPU MODE	<ul style="list-style-type: none"> 1. マキシマムモード 2. ミニマムモード 	S1C8816コアCPUのマキシマムモード/ミニマムモードのどちらかをマスクオプションで選択できます。(固定) S1C88816でマキシマムモードを選択すると、割り込み時にプログラムカウンタ(PC)、システムコンディションフラグ(SC)、コードバンクレジスタ(CB)がスタックに退避されるため、バンクを変更しても元のアドレスに戻ることができます。また、ミニマムモードはEPSON製Cコンパクト・コードを使用し、その中のメモリモデルをコンパクト・コードに指定、かつプログラムコードが52Kbyte以下の場合のみ選択可能です。ミニマムモードではサブルーチンコール時、スタックが2byte(マキシマムモードは3byte)のみの消費となり、RAM効率、処理サイクルの点でマキシマムモードより有利です。
12 ブザー出力時重負荷保護モード SOUND GENERATOR (BZ)	<ul style="list-style-type: none"> 1. ノーマルモード 2. 重負荷保護モード 	ブザー(BZ)出力時に重負荷保護モードに設定するか選択できます。圧電ブザーをダイレクトドライブする場合は消費電流の低減のため"ノーマル"を、外付けバイポーラトランジスタを使用する場合は"重負荷保護モード"を選択してください。詳細については"2.3 重負荷保護モード"を参照してください。
13 メロディ出力時重負荷保護モード...MELODY	<ul style="list-style-type: none"> 1. ノーマルモード 2. 重負荷保護モード 	メロディ(MOUT)出力時に重負荷保護モードに設定するか選択できます。圧電ブザーをダイレクトドライブする場合は消費電流の低減のため"ノーマル"を、外付けバイポーラトランジスタを使用する場合は"重負荷保護モード"を選択してください。詳細については"2.3 重負荷保護モード"を参照してください。

2 電源

ここでは、S1C88816の動作電圧、および内部電源回路の構成について説明します。

2.1 動作電圧

S1C88816の動作電源電圧は次のとあります。

通常モード:	2.4V ~ 5.5V
低パワー モード:	1.8V ~ 5.5V
高速モード:	3.5V ~ 5.5V

電源電圧がレベル0("7 電気的特性"参照)以下に低下した場合、後述の電源電圧検出(SVD)回路によってシステムリセットがかかるよう、マスクオプションで選択することができます。

2.2 内部電源回路

S1C88816は図2.2.1に示す電源回路を内蔵しております。前記の範囲内の電圧をVDD(+)、VsS(GND)間に供給することによって内部回路に必要なすべての電圧をIC内部で発生します。

電源回路は大きく3つに分けられます。

内部定電圧回路は、内部回路とOSC3発振回路の動作電圧<VD1>を発生します。

VD1の電圧値は動作モードに応じ、1.3V(低パワー モード時)/2.2V(通常モード時)/3.3V(高速モード時)の3種類が選択可能で、電源電圧および発振周波数にしたがってプログラムにより切り換えて使用します。

動作モードの切り換えについては"5.3 発振回路と動作モード"を参照してください。

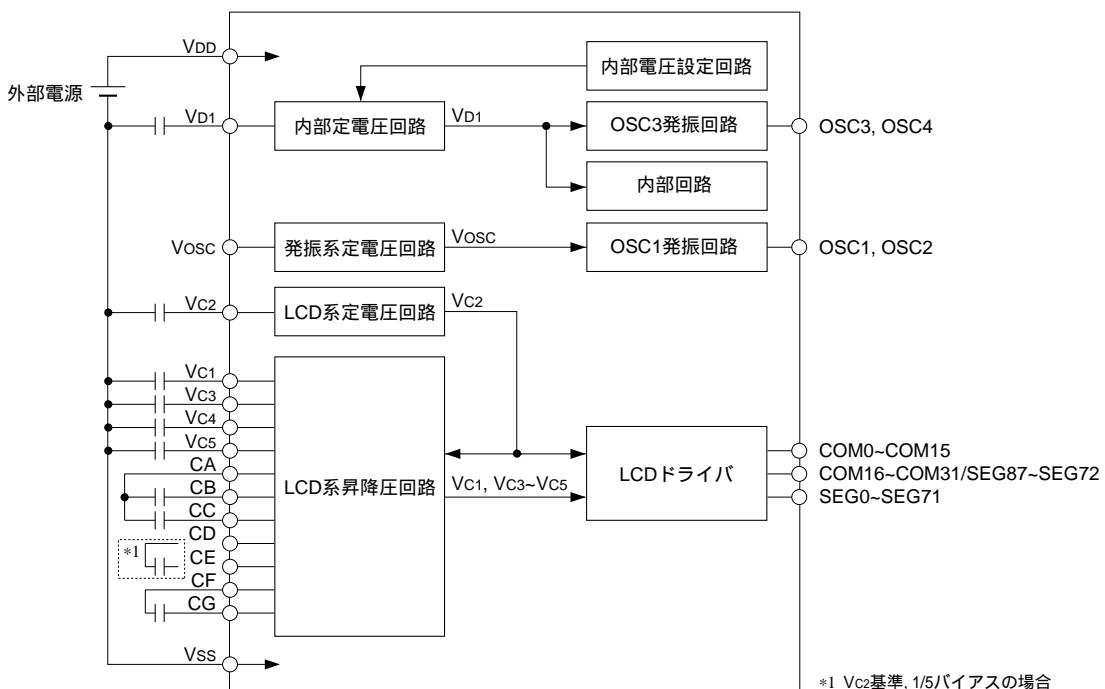
発振系定電圧回路はOSC1発振回路の動作電圧<Vosc>を発生します。

LCD系電源回路はLCDの駆動電圧を発生します。この駆動電圧は1/5バイアス用の<VC1>~<VC5>の5電位で、LCD系定電圧回路の出力VC2を降圧してVC1を、また昇圧してVC3~VC5を発生しています。この5電位はマスクオプションにより外部から供給することも可能です。

各電圧値については"7 電気的特性"を参照してください。

S1C88816では、内蔵されたLCDドライバにこのLCD駆動電圧が供給され、コモン/セグメント端子に接続されたLCDパネルを駆動します。

注! 内部電源回路の出力を外部回路の駆動には絶対に使用しないでください。



2.3 重負荷保護モード

S1C88816は、重負荷駆動による電源電圧の変動に對して安定した動作ができるよう重負荷保護機能を内蔵しています。この重負荷保護機能を動作させている状態を重負荷保護モードといい、周辺回路が次の状態のときに有効となります。

(1) OSC3発振回路がONしているとき

(OSCC="1"、かつ非SLEEP状態)

(2) ブザー出力がONしているとき

(BZON="1"、またはBZSHT="1")

(3) メロディ出力がONしているとき

(MBUSY="1")

(2)と(3)はマスクオプションで選択可能です。

ブザー出力時重負荷保護モード

ノーマル

重負荷保護モード

メロディ出力時重負荷保護モード

ノーマル

重負荷保護モード

ブザー信号(BZ、 \bar{BZ})、メロディ信号(MOUT、 \bar{MOUT})で圧電ブザーをダイレクトドライブする場合は、消費電流の低減のため"ノーマル"を選択します。BZあるいはMOUT信号で外付けバイポーラトランジスタを駆動する場合は"重負荷保護モード"を選択します。

メロディ出力端子(MOUT、 \bar{MOUT})を使用してブザー出力を行う場合は、ブザー/メロディ出力共に同じオプションを選択してください。

OSC3発振回路、ブザー出力、メロディ出力の詳細は"5.3 発振回路と動作モード"、"5.12 サウンドジェネレータ"、"5.13 メロディジェネレータ"をそれぞれ参照してください。

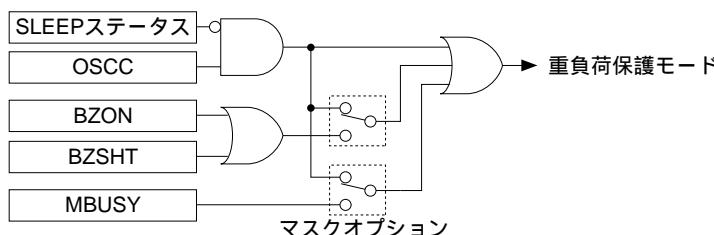


図2.3.1 重負荷保護モード制御回路の構成

3 CPUとメモリの構成

ここでは、CPUとメモリの構成について説明します。

3.1 CPU

S1C88816はCPUとして8ビットコアCPU S1C88を使用しており、レジスタ構成、命令等は他のS1C88を使用したファミリプロセッサとほぼ同様です。S1C88については"S1C88コアCPUマニュアル"を参照してください。

使用しているS1C88のCPUモデルはMODEL3で、物理空間000000Hから01FFFFHまでの領域中、内部メモリが配置されたアドレスのみアクセスの対象として有効となります。

3.2 内蔵メモリ

S1C88816は図3.2.1に示すROMおよびRAMを内蔵しています。

01FFFFH	ROM (64K byte)
010000H	I/Oメモリ
00FFFFH	表示メモリ
00FF00H	
00FD57H	
00F800H	RAM (8K byte)
00F7FFFH	
00D800H	未使用領域
00D7FFFH	
00D200H	
00D1FFFH	メロディ音符RAM
00D100H	
00D0FFFH	メロディ音階RAM
00D000H	
00CFFFFH	ROM (52K byte)
000000H	

図3.2.1 内蔵メモリマップ

3.2.1 ROM

内蔵ROMの容量は次のとおりです。

ROM容量: 116Kバイト
アドレス: 000000H ~ 00CFFFFH
010000H ~ 01FFFFH

3.2.2 RAM

内蔵RAMの容量は次のとおりです。

RAM容量: 8Kバイト
アドレス: 00D800H ~ 00F7FFFH

3.2.3 I/Oメモリ

S1C88816では、内蔵する周辺回路とのインターフェースにメモリマップD/I/O方式を採用しています。各周辺回路の制御ビットやデータレジスタはメモリ空間上に配置され、通常のメモリアクセスによって制御およびデータのやりとりが行えます。I/Oメモリが配置されている領域は00FF00H ~ 00FFFFHです。I/Oメモリの詳細については"5.1 I/Oメモリマップ"を参照してください。

3.2.4 表示メモリ

S1C88816はLCDドライバの表示データを保持する表示メモリを内蔵しています。表示メモリが配置されている領域は00F800H ~ 00FD57H(未使用領域を含む)です。表示メモリの詳細については"5.11 LCDコントローラ"を参照してください。

3.3 例外処理ベクタ

S1C88816ではプログラム領域の000000H ~ 000027Hが例外処理ベクタとして割り当てられています。また、00002AH ~ 0000FFHまでは任意の偶数番地から始まる2バイトにソフトウェア割り込みのベクタを割り付けることができます。

表3.3.1にベクタアドレスと例外処理要因の対応を示します。

表3.3.1 ベクタアドレスと例外処理要因の対応

ベクタアドレス	例外処理要因	優先順位
000000H	リセット	高い
000002H	ゼロ除算	
000004H	ウォッチドッグタイマ(NMI)	
000006H	プログラマブルタイマ1割り込み	
000008H	プログラマブルタイマ0割り込み	
00000AH	K10入力割り込み	
00000CH	K04~K07入力割り込み	
00000EH	K00~K03入力割り込み	
000010H	シリアルI/Fエラー割り込み	
000012H	シリアルI/F受信完了割り込み	
000014H	シリアルI/F送信完了割り込み	
000016H	ストップウォッチタイマ100Hz割り込み	
000018H	ストップウォッチタイマ10Hz割り込み	
00001AH	ストップウォッチタイマ1Hz割り込み	
00001CH	計時タイマ32Hz割り込み	
00001EH	計時タイマ8Hz割り込み	
000020H	計時タイマ2Hz割り込み	
000022H	計時タイマ1Hz割り込み	
000024H	A/D変換完了割り込み	
000026H	メロディ演奏完了割り込み	
000028H	システム予約(使用不可)	なし
00002AH : 0000FEH	ソフトウェア割り込み	

各ベクタアドレスとその次のアドレスに、例外処理ルーチンの先頭アドレスを下位、上位の順に格納しておきます。例外処理要因が発生すると、設定されたアドレスから始まる例外処理ルーチンを実行します。

同時に複数の例外処理が発生した場合は優先順位の高いものから先に実行されます。

なお、表3.3.1に示された割り込みの優先順位は、割り込み優先レベルがすべて同じ場合のものです。各割り込みの優先レベルは系列ごとにソフトウェアで設定することができます。(「5.16 割り込みとスタンバイ状態」参照)

注! リセット以外の例外処理ではSC(システムコンディションフラグ)およびPC(プログラムカウンタ)をスタックに退避させ、各例外処理ルーチンに分岐します。したがって、例外処理ルーチンからメインルーチンに戻す際にはRETE命令を使用してください。

例外処理要因発生時のCPUの動作については「S1C88コアCPUマニュアル」を参照してください。

3.4 CC(カスタマイズコンディションフラグ)

S1C88816ではコアCPU内のカスタマイズコンディションフラグ(CC)を使用していません。したがって、条件付き分岐命令(JRS、CARS)の分岐条件として使用することはできません。

4 イニシャルリセット

S1C88816は回路を初期化するためにイニシャルリセットを必要とします。

ここでは、イニシャルリセットの要因と内部レジスタ等の初期設定について説明します。

4.1 イニシャルリセット要因

S1C88816のイニシャルリセット要因としては以下の3種類があります。

- (1) $\overline{\text{RESET}}$ 端子
- (2) 入力ポート(K00 ~ K03端子)の同時LOWレベル入力
- (3) 電源電圧検出(SVD)回路

図4.1.1にイニシャルリセット回路の構成を示します。

イニシャルリセット要因によってCPUおよび周辺回路が初期化され、要因が解除されるとCPUはリセット例外処理を開始します。("S1C88コアCPU マニュアル"参照)

これによって、バンク0先頭(000000H ~ 000001H)のリセット例外処理ベクタが読み出され、その読み出されたアドレスから始まるプログラム(初期化ルーチン)の実行を開始します。

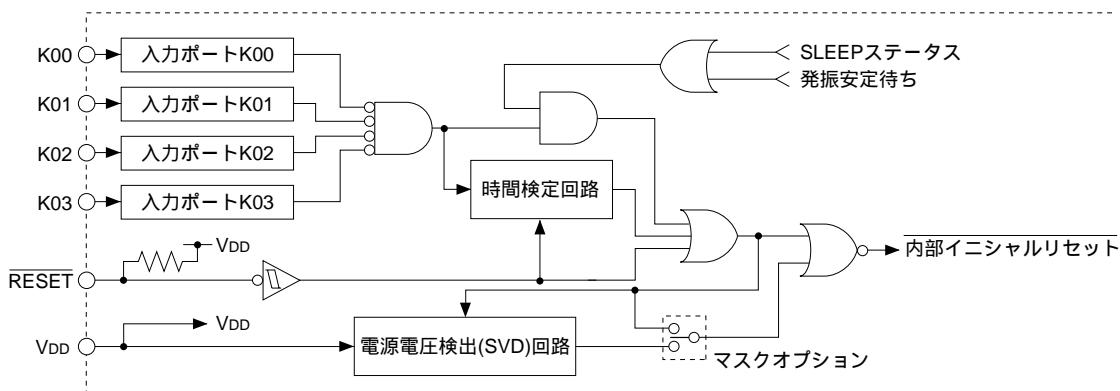


図4.1.1 イニシャルリセット回路の構成

4.1.1 $\overline{\text{RESET}}$ 端子

外部から $\overline{\text{RESET}}$ 端子にLOWレベルを入力することでイニシャルリセットが行えます。

S1C88816を確実に初期化するため、電源電圧立ち上がり後規定の時間 $\overline{\text{RESET}}$ 端子をLOWレベルに保持してください。

また、電源投入時の初回のイニシャルリセットは必ず $\overline{\text{RESET}}$ 端子を使用してください。 $\overline{\text{RESET}}$ 端子の内蔵プルアップ抵抗はマスクオプションで使用するかしないかを選択することができます。

RESET端子プルアップ抵抗	RESET 抵抗あり	ゲート直接
----------------	------------------	-------

4.1.2 入力ポート(K00 ~ K03)の同時LOWレベル入力

マスクオプションで選択された入力ポート(K00 ~ K03)に、外部から同時にLOWレベルを入力することでイニシャルリセットが行えます。本イニシャルリセット手段は時間検定回路を内蔵しているため、2秒(発振周波数 $f_{\text{OSC}1}=32.768\text{kHz}$ の場合)以上、指定入力ポート端子をLOWレベルに保つ必要があります。

ただし、SLEEP(スタンバイ)状態時、および電源投入時の発振安定待ち期間中は時間検定回路がバイパスされるため、指定入力ポートへのLOWレベル同時入力直後にイニシャルリセットがかかります。マスクオプションで選択できる入力ポート(K00 ~ K03)の組合せは次のとおりです。

キー同時押しリセット
使用しない
K00 & K01
K00 & K01 & K02
K00 & K01 & K02 & K03

たとえば、マスクオプションで"K00 & K01 & K02 & K03"を選択した場合、K00～K03の4ポートの入力が同時にLOWレベルになったときにイニシャルリセットがかかります。

この機能を使用する場合、通常動作時に指定入力ポートが同時にLOWレベルにならないように注意してください。

4.1.3 電源電圧検出(SVD)回路

SVD回路によって電源電圧がレベル0("7 電気的特性"参照)以下として連続的に4回検出された場合、SVD回路は電源電圧がレベル2以上に復帰するまでイニシャルリセット信号を発生します。

なお、SVD回路によるイニシャルリセットを使用するかしないかはマスクオプションで選択することができ、使用するとした場合は電源投入時におけるSVD回路の初回サンプリングで、電源電圧がレベル2以上である必要があります。このとき、電源電圧がレベル2未満である場合は、イニシャルリセット状態が解除されず、SVD回路は電源電圧がレベル2以上になるまで連続的にサンプリングを行います。

詳細については"5.14 電源電圧検出(SVD)回路"を参照してください。

4.1.4 イニシャルリセットシーケンス

電源投入時のRESET端子へのLOWレベル入力解除後、発振安定待ち時間($8,192/f_{osc1}$ 秒)が経過するまでCPUの起動は待たれます。

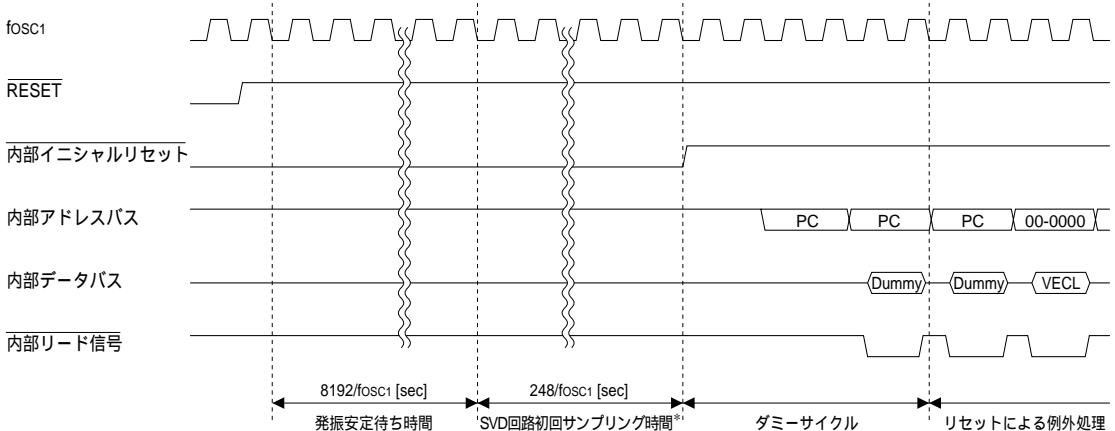
また、SVD回路によるイニシャルリセットを使用するとした場合は、初回のサンプリング時間($248/f_{osc1}$ 秒)がさらに待ち時間として付加されます。

図4.1.4.1にイニシャルリセット解除後の動作シーケンスを示します。

なお、入力ポート(K00～K03)への同時LOWレベル入力によるイニシャルリセット手段を使用する場合は、次の点に注意してください。

(1) SLEEP状態時、および電源投入時の発振安定待ち期間中は時間検定回路がバイパスされるため、LOWレベル同時入力直後にイニシャルリセットがかかります。この場合、LOWレベル同時入力解除後に発振安定時間、SVD回路初回サンプリング時間(マスクオプションで使用するとした場合)を待ってCPUが起動されます。

(2) (1)の状態以外はLOWレベル同時入力1～2秒後にイニシャルリセットがかかります。この場合は、S1C88816内部でリセット微分パルス($64/f_{osc1}$ 秒)が発生されるため、LOWレベル同時入力状態を解除しなくともCPUは起動されます。



* マスクオプションでSVD回路によるイニシャルリセットを使用するとした場合のみ、本サイクルが待ち時間として挿入されます。

図4.1.4.1 イニシャルリセット解除後の動作シーケンス

4.2 イニシャルリセット時の初期設定

イニシャルリセットによりCPUの内部レジスタは以下のように初期化されます。

表4.2.1 初期設定値

レジスタ名称	記号	ビット長	初期値
データレジスタA	A	8	不定
データレジスタB	B	8	不定
インデックス(データ)レジスタL	L	8	不定
インデックス(データ)レジスタH	H	8	不定
インデックスレジスタIX	IX	16	不定
インデックスレジスタIY	IY	16	不定
プログラムカウンタ	PC	16	不定*
スタックポインタ	SP	16	不定
ベースレジスタ	BR	8	不定
ゼロフラグ	Z	1	0
キャリーフラグ	C	1	0
オーバーフロー/フラグ	V	1	0
ネガティブフラグ	N	1	0
デシマルフラグ	D	1	0
アンパックフラグ	U	1	0
インターラプトフラグ0	I0	1	1
インターラプトフラグ1	I1	1	1
ニューコードバンクレジスタ	NB	8	01H
コードバンクレジスタ	CB	8	不定*
エクスパンドページレジスタ	EP	8	00H
IX用エクスパンドページレジスタ	XP	8	00H
IY用エクスパンドページレジスタ	YP	8	00H

* リセット例外処理によって、0バンクのメモリの先頭(000000H ~ 000001H)に格納されている値がPCにロードされます。また、このとき同時にNBの初期値01HがCBにロードされます。

イニシャルリセット時に初期化されない(不定)レジスタはソフトウェアで初期化してください。

内蔵RAMおよび表示メモリについてもイニシャルリセット時に初期化されませんので、同様にソフトウェアで初期化してください。

内蔵の周辺回路については、それぞれ所定の初期化が行われます。必要に応じてソフトウェアで初期化してください。

イニシャルリセット時の初期値については、次章のI/Oメモリマップまたは各周辺回路の説明を参照してください。

4.3 プログラミング上の注意事項

イニシャルリセット後、アドレス"00FF00H"および"00FF01H"に任意の値をそれぞれ書き込むまで、NMIを含めたすべての割り込みはマスクされます。割り込みマスクを解除するためには、アドレス00FF00Hおよび00FF01Hへ初期化ルーチン内で必ず書き込み動作を行ってください。書き込む内容は、00FF00H:D7 = 00FF00H:D6 = "0"にしてください。また、プログラム途中で00FF00HのD6、D7を"0"以外に変更するのもやめてください。00FF01Hの全ビットおよび00FF00HのD6、D7以外のビットの値は任意です。

5 周辺回路と動作

S1C88816の周辺回路はメモリマップI/O方式でCPUとインターフェースされています。このため、他のメモリアクセスと同様にI/Oメモリを操作して周辺回路を制御することができます。以下、各周辺回路別にその動作と制御方法を説明します。

5.1 I/Oメモリマップ

表5.1.1(a) I/Oメモリマップ(00FF00H ~ 00FF10H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF00	D7	BSMD1	汎用レジスタ *2	1	0	0	R/W	予約レジスタ
	D6	BSMD0	汎用レジスタ *2			0	R/W	
	D5	CEMD1	汎用レジスタ			1	R/W	
	D4	CEMD0	汎用レジスタ			1	R/W	
	D3	CE3	汎用レジスタ			0	R/W	
	D2	CE2	汎用レジスタ			0	R/W	
	D1	CE1	汎用レジスタ			0	R/W	
	D0	CE0	汎用レジスタ			0	R/W	
00FF01	D7	SPP7	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D6	SPP6	汎用レジスタ			0	R/W	
	D5	SPP5	汎用レジスタ			0	R/W	
	D4	SPP4	汎用レジスタ			0	R/W	
	D3	SPP3	汎用レジスタ			0	R/W	
	D2	SPP2	汎用レジスタ			0	R/W	
	D1	SPP1	汎用レジスタ			0	R/W	
	D0	SPP0	汎用レジスタ			0	R/W	
00FF02	D7	EBR	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D6	WT2	汎用レジスタ			0	R/W	
	D5	WT1	汎用レジスタ			0	R/W	
	D4	WT0	汎用レジスタ			0	R/W	
	D3	CLKCHG	CPU動作クロック切り換え	OSC3	OSC1	0	R/W	
	D2	OSCC	OSC3発振On/Off制御	On	Off	0	R/W	
	D1	VDC1	動作モード選択			0	R/W	
	D0	VDC0	VDC1 VDC0 動作モード 1 × 高速モード (VD1 = 3.3V) 0 1 低パワーモード (VD1 = 1.3V) 0 0 通常モード (VD1 = 2.2V)			0	R/W	
00FF10	D7	-	-	-	-	-	-	読み出し時は常時"0"
	D6	-	-	-	-	-	-	
	D5	-	-	-	-	-	-	
	D4	LCCLK	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D3	LCFRM	汎用レジスタ			0	R/W	
	D2	DTFNT	LCDドットフォント選択	5x5ドット	5x8ドット	0	R/W	
	D1	LDUTY	LCD駆動デューティ選択	1/16デューティ	1/32デューティ	0	R/W	*1
	D0	SGOUT	汎用レジスタ	1	0	0	R/W	予約レジスタ

*1 マスクオプションで1/8デューティを選択している場合は、本レジスタの設定は無効となります。

*2 常時BSMD1=BSMD0="0"に設定しておいてください。

表5.1.1(b) I/Oメモリマップ(00FF11H ~ 00FF22H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF11	D7	-	-	-	-	-		読み出し時は"0"
	D6	DSPAR	LCD表示メモリ領域選択	表示領域1	表示領域0	0	R/W	
	D5	LCDC1	LCD表示制御	LCD表示 全点灯 通常表示 駆動Off		0	R/W	SLP命令実行時に (0, 0)にリセット
	D4	LCDC0	LCDC1 LCDC0	1 1 1 0 0 1 0 0		0	R/W	
	D3	LC3	LCDコントラスト調整	LC3 LC2 LC1 LC0 コントラスト 濃		0	R/W	
	D2	LC2	LC3 LC2 LC1 LC0	1 1 1 1		0	R/W	
	D1	LC1	LC3 LC2 LC1 LC0	1 1 1 0	:	0	R/W	
	D0	LC0	LC3 LC2 LC1 LC0	0 0 0 0	淡	0	R/W	
	D7	-	-	-	-	-		読み出し時は常時"0"
	D6	-	-	-	-	-		
00FF12	D5	SVDSP	SVDオートサンプリング制御	On	Off	0	R/W	SLP命令実行時 "0"にリセット
	D4	SVDON	SVD連続サンプリング制御/ステータス	R W	Busy On	Ready Off	1→0 0	
	D3	SVD3	SVD検出レベル	SVD3 SVD2 SVD1 SVD0 検出レベル			X	R
	D2	SVD2	SVD3 SVD2 SVD1 SVD0	1 1 1 1	レベル15		X	R
	D1	SVD1	SVD3 SVD2 SVD1 SVD0	1 1 1 0	レベル14		X	R
	D0	SVD0	SVD3 SVD2 SVD1 SVD0	0 0 0 0	レベル0		X	R
	D7	PK01	K00 ~ K07割り込み	PK01 PK00 PSIF1 PSIFO PSW1 PSWO PTM1 PTMO	優先 レベル 1 1 0 0 1 0	0	R/W	*2
	D6	PK00	プライオリティレジスタ			0	R/W	
	D5	PSIF1	シリアルインタフェース割り込み			0	R/W	
	D4	PSIFO	プライオリティレジスタ			0	R/W	
	D3	PSW1	ストップウォッチタイマ割り込み			0	R/W	
	D2	PSW0	プライオリティレジスタ			0	R/W	
	D1	PTM1	計時タイマ割り込み			0	R/W	
	D0	PTM0	プライオリティレジスタ			0	R/W	
00FF21	D7	-	-	-	-	-		読み出し時は常時"0"
	D6	-	-	-	-	-		
	D5	-	-	-	-	-		
	D4	-	-	-	-	-		
	D3	PPT1	プログラマブルタイマ割り込み	PPT1 PPT0 PK11 PK10	優先 レベル 1 1 0 0	0	R/W	*2
	D2	PPT0	プライオリティレジスタ		レベル3	0	R/W	
	D1	PK11	K10割り込み		レベル2	0	R/W	
	D0	PK10	プライオリティレジスタ		レベル1	0	R/W	
00FF22	D7	-	-	-	-	-		読み出し時は"0"
	D6	ESW100	ストップウォッチ100Hz割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	*2
	D5	ESW10	ストップウォッチ10Hz割り込みイネーブルレジスタ			0	R/W	
	D4	ESW1	ストップウォッチ1Hz割り込みイネーブルレジスタ			0	R/W	
	D3	ETM32	計時タイマ32Hz割り込みイネーブルレジスタ			0	R/W	
	D2	ETM8	計時タイマ8Hz割り込みイネーブルレジスタ			0	R/W	
	D1	ETM2	計時タイマ2Hz割り込みイネーブルレジスタ			0	R/W	
	D0	ETM1	計時タイマ1Hz割り込みイネーブルレジスタ			0	R/W	

*1 イニシャルリセット時、本ステータスはハードウェアによる初回のサンプリングが終了するまで、"1"に設定されます。

*2 初期値は、ハードウェアによる初回のサンプリング時に検出される電源電圧にしたがって設定されます。このサンプリングが終了するまで、SVD0 ~ SVD3のデータは不定となります。

表5.1.1(c) I/Oメモリマップ(00FF23H ~ 00FF2CH)

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈	
00FF23	D7	EPT1	プログラマブルタイマ1割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0 0 0 0 0 0 0 0 0	R/W R/W R/W R/W R/W R/W R/W R/W R/W		
	D6	EPT0	プログラマブルタイマ0割り込みイネーブルレジスタ						
	D5	EK1	K10割り込みイネーブルレジスタ						
	D4	EKOH	K04 ~ K07割り込みイネーブルレジスタ						
	D3	EK0L	K00 ~ K03割り込みイネーブルレジスタ						
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブルレジスタ						
	D1	ESREC	シリアルI/F(受信)割り込みイネーブルレジスタ						
	D0	ESTRA	シリアルI/F(送信)割り込みイネーブルレジスタ						
	-	-	-					読み出し時は"0"	
00FF24	D7	-	-	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0 0 0 0	R/W R/W R/W R/W		
	D6	FSW100	ストップウォッチ100Hz割り込み要因フラグ						
	D5	FSW10	ストップウォッチ10Hz割り込み要因フラグ						
	D4	FSW1	ストップウォッチ1Hz割り込み要因フラグ						
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ	(W) リセット	(W) 無効	0 0 0 0	R/W R/W R/W R/W		
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ						
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ						
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ						
00FF25	D7	FPT1	プログラマブルタイマ1割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0 0 0 0	R/W R/W R/W R/W		
	D6	FPT0	プログラマブルタイマ0割り込み要因フラグ						
	D5	FK1	K10割り込み要因フラグ						
	D4	FK0H	K04 ~ K07割り込み要因フラグ						
	D3	FK0L	K00 ~ K03割り込み要因フラグ	(W) リセット	(W) 無効	0 0 0 0	R/W R/W R/W R/W		
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ						
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ						
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ						
00FF28	D7	PADC1	A/D変換器割り込み	PADC1 PADC0 PMDY1 PMDY0	優先 レベル	0 0 0 0	R/W R/W R/W R/W		
	D6	PADC0	プライオリティレジスタ						
	D5	PMDY1	メロディ割り込み						
	D4	PMDY0	プライオリティレジスタ						
	D3	-	-	-	-	-	-		
	D2	-	-						
	D1	-	-						
	D0	-	-						
00FF2A	D7	EAD	A/D変換器割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0 0	R/W R/W		
	D6	EMDY	メロディ割り込みイネーブルレジスタ						
	D5	-	-	-	-	-	-		
	D4	-	-						
	D3	-	-						
	D2	-	-						
	D1	-	-						
	D0	-	-						
00FF2C	D7	FAD	A/D変換器割り込み要因フラグ	(R)割込みあり (W)リセット	(R)割込みなし (W)無効	0 0	R/W R/W		
	D6	FMDY	メロディ割り込み要因フラグ						
	D5	-	-						
	D4	-	-						
	D3	-	-	-	-	-	-		
	D2	-	-						
	D1	-	-						
	D0	-	-						

表5.1.1(d) I/Oメモリマップ(00FF30H ~ 00FF34H)

アドレス	ビット	名称	機能		1	0	SR	R/W	注釈	
00FF30	D7	-	-	-	-	-	-	-	読み出し時は常時"0"	
	D6	-	-	-	-	-	-	-		
	D5	-	-	-	-	-	-	-		
	D4	MODE16	8/16ビットモード選択	16ビットx1	8ビットx2	0	R/W	-		
	D3	CHSEL	TOUT出力チャンネル選択	タイマ1	タイマ0	0	R/W	-		
	D2	PTOUT	TOUT出力制御	On	Off	0	R/W	-		
	D1	CKSEL1	プリスケーラ1原振クロック選択	fosc3	fosc1	0	R/W	-		
00FF31	D0	CKSEL0	プリスケーラ0原振クロック選択	fosc3	fosc1	0	R/W	-		
	D7	EVCNT	タイマ0カウンタモード選択	イベントカウント	タイマ	0	R/W	-		
	D6	FCSEL	タイマ0機能選択	タイマモード時 パルス幅測定	通常モード	0	R/W	-		
				イベントカウンタモード時 ノイズリジエクタ付き	ノイズリジエクタなし	-	-	-		
	D5	PLPOL	タイマ0パルス極性選択	イベントカウンタモードの ダウンカウントタイミング パルス幅測定モード時	K10入力の 立ち上がり K10入力の Highレベル 幅測定	K10入力の 立ち下がり K10入力の Lowレベル 幅測定	0	R/W	-	
	D4	PSC01	タイマ0プリスケーラ分周比選択	PSC01 1 PSC00 1 0 0	プリスケーラ分周比 原振クロック / 64 原振クロック / 16 原振クロック / 4 原振クロック / 1	-	-	0	R/W	-
	D3	PSC00	-	-	-	-	-	0	R/W	-
	D2	CONT0	タイマ0連続/ワンショットモード選択	連続	ワンショット	0	R/W	-	-	-
	D1	PSET0	タイマ0プリセット	プリセット	無効	-	W	読み出し時は"0"		-
00FF32	D0	PRUN0	タイマ0 Run/Stop制御	Run	Stop	0	R/W	-	-	-
	D7	-	-	-	-	-	-	読み出し時は常時"0"		
	D6	-	-	-	-	-	-			
	D5	-	-	-	-	-	-			
	D4	PSC11	タイマ1プリスケーラ分周比選択	PSC11 1 PSC10 1 0 0	プリスケーラ分周比 原振クロック / 64 原振クロック / 16 原振クロック / 4 原振クロック / 1	-	-	0	R/W	
	D3	PSC10	-	-	-	-	-	0	R/W	
	D2	CONT1	タイマ1連続/ワンショットモード選択	連続	ワンショット	0	R/W	-	-	
	D1	PSET1	タイマ1プリセット	プリセット	無効	-	W	読み出し時は"0"		-
	D0	PRUN1	タイマ1Run/Stop制御	Run	Stop	0	R/W	-	-	-
00FF33	D7	RLD07	タイマ0リロードデータD7 (MSB)	-	-	-	-	1	R/W	-
	D6	RLD06	タイマ0リロードデータD6	-	-	-	-	1	R/W	-
	D5	RLD05	タイマ0リロードデータD5	-	-	-	-	1	R/W	-
	D4	RLD04	タイマ0リロードデータD4	-	-	-	-	1	R/W	-
	D3	RLD03	タイマ0リロードデータD3	-	-	-	-	1	R/W	-
	D2	RLD02	タイマ0リロードデータD2	-	-	-	-	1	R/W	-
	D1	RLD01	タイマ0リロードデータD1	-	-	-	-	1	R/W	-
	D0	RLD00	タイマ0リロードデータD0 (LSB)	-	-	-	-	1	R/W	-
00FF34	D7	RLD17	タイマ1リロードデータD7 (MSB)	-	-	-	-	1	R/W	-
	D6	RLD16	タイマ1リロードデータD6	-	-	-	-	1	R/W	-
	D5	RLD15	タイマ1リロードデータD5	-	-	-	-	1	R/W	-
	D4	RLD14	タイマ1リロードデータD4	-	-	-	-	1	R/W	-
	D3	RLD13	タイマ1リロードデータD3	-	-	-	-	1	R/W	-
	D2	RLD12	タイマ1リロードデータD2	-	-	-	-	1	R/W	-
	D1	RLD11	タイマ1リロードデータD1	-	-	-	-	1	R/W	-
	D0	RLD10	タイマ1リロードデータD0 (LSB)	-	-	-	-	1	R/W	-

5 周辺回路と動作(I/Oメモリマップ)

表5.1.1(e) I/Oメモリマップ(00FF35H ~ 00FF43H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF35	D7	PTD07	タイマ0カウンタデータD7 (MSB)	High	Low	1	R	
	D6	PTD06	タイマ0カウンタデータD6			1	R	
	D5	PTD05	タイマ0カウンタデータD5			1	R	
	D4	PTD04	タイマ0カウンタデータD4			1	R	
	D3	PTD03	タイマ0カウンタデータD3			1	R	
	D2	PTD02	タイマ0カウンタデータD2			1	R	
	D1	PTD01	タイマ0カウンタデータD1			1	R	
	D0	PTD00	タイマ0カウンタデータD0 (LSB)			1	R	
00FF36	D7	PTD17	タイマ1カウンタデータD7 (MSB)	High	Low	1	R	
	D6	PTD16	タイマ1カウンタデータD6			1	R	
	D5	PTD15	タイマ1カウンタデータD5			1	R	
	D4	PTD14	タイマ1カウンタデータD4			1	R	
	D3	PTD13	タイマ1カウンタデータD3			1	R	
	D2	PTD12	タイマ1カウンタデータD2			1	R	
	D1	PTD11	タイマ1カウンタデータD1			1	R	
	D0	PTD10	タイマ1カウンタデータD0 (LSB)			1	R	
00FF40	D7	-	-	-	-	-	-	読み出し時は"0"
	D6	FOUT2	FOUT周波数選択			0	R/W	
	D5	FOUT1	FOUT2 FOUT1 FOUT0 周波数			0	R/W	
			0 0 0 fosc1 / 1			0	R/W	
			0 0 1 fosc1 / 2			0	R/W	
			0 1 0 fosc1 / 4			0	R/W	
	D4	FOUT0	0 1 1 fosc1 / 8			0	R/W	
	1 0 0 fosc2 / 1	0	R/W					
	1 0 1 fosc2 / 2	0	R/W					
	1 1 0 fosc2 / 4	0	R/W					
	1 1 1 fosc2 / 8	0	R/W					
	D3	FOUTON	FOUT出力制御	On	Off	0	R/W	
	D2	WDRST	ウォッチドッグタイマリセット			無効	- W	読み出し時は
	D1	TMRST	計時タイマリセット			無効	- W	常時"0"
	D0	TMRUN	計時タイマRun/Stop制御			Run	Stop	0 R/W
00FF41	D7	TMD7	計時タイマデータ 1Hz	High	Low	0	R	
	D6	TMD6	計時タイマデータ 2Hz			0	R	
	D5	TMD5	計時タイマデータ 4Hz			0	R	
	D4	TMD4	計時タイマデータ 8Hz			0	R	
	D3	TMD3	計時タイマデータ 16Hz			0	R	
	D2	TMD2	計時タイマデータ 32Hz			0	R	
	D1	TMD1	計時タイマデータ 64Hz			0	R	
	D0	TMD0	計時タイマデータ128Hz			0	R	
00FF42	D7	-	-	-	-	-	-	読み出し時は 常時"0"
	D6	-	-			-	-	
	D5	-	-			-	-	
	D4	-	-			-	-	
	D3	-	-			-	-	
	D2	-	-			-	-	
	D1	SWRST	ストップウォッチタイマリセット			リセット	無効	- W
	D0	SWRUN	ストップウォッチタイマRun/Stop制御			Run	Stop	0 R/W
00FF43	D7	SWD7	ストップウォッチタイマデータ	-	-	0	R	
	D6	SWD6				0	R	
	D5	SWD5	BCD (1/10sec)			0	R	
	D4	SWD4				0	R	
	D3	SWD3	ストップウォッチタイマデータ			0	R	
	D2	SWD2				0	R	
	D1	SWD1	BCD (1/100 sec)			0	R	
	D0	SWD0				0	R	

表5.1.1(f) I/Oメモリマップ(00FF44H ~ 00FF47H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF44	D7	-	-	-	-	-		読み出し時は常時"0"
	D6	BZSTP	ワンショットブザー強制停止	強制停止	無効	-	W	
	D5	BZSHT	ワンショットブザートリガ/ステータス	R W	Busy トリガ	Ready 無効	0	R/W
	D4	SHTPW	ワンショットブザー時間幅選択	125msec	31.25msec	0	R/W	
	D3	ENRTM	エンベロープ減衰時間	1sec	0.5sec	0	R/W	
	D2	ENRST	エンベロープリセット	リセット	無効	-	W	
	D1	ENON	エンベロープOn/Off制御	On	Off	0	R/W	*1
	D0	BZON	ブザー出力制御	On	Off	0	R/W	
00FF45	D7	-	-	-	-	-		読み出し時は"0"
	D6	DUTY2	ブザー信号デューティ比選択 DUTY2~0 ブザー周波数(Hz)				0	R/W
			2 1 0 4096.0 3276.8 2730.7 2340.6 2048.0 1638.4 1365.3 1170.3					
	D5	DUTY1	0 0 0 8/16 8/20 12/24 12/28 0 0 1 7/16 7/20 11/24 11/28 0 1 0 6/16 6/20 10/24 10/28 0 1 1 5/16 5/20 9/24 9/28				0	R/W
	D4	DUTY0	1 0 0 4/16 4/20 8/24 8/28 1 0 1 3/16 3/20 7/24 7/28 1 1 0 2/16 2/20 6/24 6/28 1 1 1 1/16 1/20 5/24 5/28				0	R/W
	D3	-	-	-	-	-		読み出し時は"0"
	D2	BZFQ2	ブザー周波数選択 BZFQ2 BZFQ1 BZFQ0 周波数(Hz)				0	R/W
			0 0 0 4096.0					
	D1	BZFQ1	0 0 1 3276.8 0 1 0 2730.7 0 1 1 2340.6 1 0 0 2048.0				0	R/W
	D0	BZFQ0	1 0 1 1638.4 1 1 0 1365.3 1 1 1 1170.3				0	R/W
00FF46	D7	MCAD7	音階/音符RAMアドレスD7 (MSB)				0	R/W ADC7
	D6	MCAD6	音階/音符RAMアドレスD6				0	R/W ADC6
	D5	MCAD5	音階/音符RAMアドレスD5				0	R/W ADC5
	D4	MCAD4	音階/音符RAMアドレスD4				0	R/W ADC4
	D3	MCAD3	音階/音符RAMアドレスD3				0	R/W ADC3
	D2	MCAD2	音階/音符RAMアドレスD2				0	R/W ADC2
	D1	MCAD1	音階/音符RAMアドレスD1				0	R/W ADC1
	D0	MCAD0	音階/音符RAMアドレスD0 (LSB)				0	R/W ADC0
00FF47	D7	MTT3	テンポ選択レジスタ MTT3 MTT2 MTT1 MTT0 テンポ				0	R/W TT3
			1 1 1 1 480					
	D6	MTT2	1 1 1 0 240					
			1 1 0 1 160					
			1 1 0 0 120					
			1 0 1 1 96					
			1 0 1 0 80					
	D5	MTT1	1 0 0 1 68.6					
			0 1 1 1 53.3					
			0 1 1 0 48					
			0 1 0 1 43.6					
	D4	MTT0	0 1 0 0 40					
			0 0 1 1 36.9					
			0 0 1 0 34.3					
			0 0 0 1 32					
			0 0 0 0 30					
	D3	MLEV	演奏方式選択	ワンショット	レベルホールド	0	R/W	
	D2	MOSEL	出力選択	MOUT固定	BZ優先	0	R/W	MOUTSEL
	D1	MBUSY	メロディ演奏ステータス	Busy	Ready	0	R	
	D0	MTC	メロディ出力制御	Play	Stop	0	R/W	MT

*1 ワンショット出力時、"0"にリセット

表5.1.1(g) I/Oメモリマップ(00FF48H ~ 00FF51H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈	
00FF48	D7	-	-	-	-	-	-	読み出し時は"0"	
	D6	EPR	パリティイネーブルレジスタ	パリティ付き	パリティなし	0	R/W	調歩同期式のみ	
	D5	PMD	パリティモード選択	奇数	偶数	0	R/W		
	D4	SCS1	クロック源選択	クロック源 SCS1 SCS0 1 1 プログラマブルタイマ 1 0 fosc3 / 4 0 1 fosc3 / 8 0 0 fosc3 / 16	0 0	R/W R/W	クロック同期式 スレーブモード では外部クロック が選択される		
	D3	SCS0							
	D2	SMD1	シリアルI/Fモード選択	モード SMD1 SMD0 1 1 調歩同期式8ビット 1 0 調歩同期式7ビット 0 1 クロック同期式スレーブ 0 0 クロック同期式マスタ	0 0	R/W R/W			
	D1	SMD0							
	D0	ESIF	シリアルI/Fイネーブルレジスタ	シリアルI/F	I/Oポート	0	R/W		
00FF49	D7	-	-	-	-	-	-	読み出し時は"0"	
	D6	FER	フレーミングエラーフラグ	R W	エラー リセット(0)	エラーなし 無効	0	R/W	
	D5	PER	パリティエラーフラグ	R W	エラー リセット(0)	エラーなし 無効	0	R/W	
	D4	OER	オーバーランエラーフラグ	R W	エラー リセット(0)	エラーなし 無効	0	R/W	
	D3	RXTRG	受信トリガ/ステータス	R W	受信中 トリガ	停止中 無効	0	R/W	
	D2	RXEN	受信許可		許可	禁止	0	R/W	
	D1	TXTRG	送信トリガ/ステータス	R W	送信中 トリガ	停止中 無効	0	R/W	
	D0	TXEN	送信許可		許可	禁止	0	R/W	
	D7	TRXD7	送受信データD7 (MSB)	High	Low	X	R/W		
00FF4A	D6	TRXD6	送受信データD6			X	R/W		
	D5	TRXD5	送受信データD5			X	R/W		
	D4	TRXD4	送受信データD4			X	R/W		
	D3	TRXD3	送受信データD3			X	R/W		
	D2	TRXD2	送受信データD2			X	R/W		
	D1	TRXD1	送受信データD1			X	R/W		
	D0	TRXD0	送受信データD0 (LSB)			X	R/W		
	D7	SIK07	K07割り込み選択レジスタ			0	R/W		
00FF50	D6	SIK06	K06割り込み選択レジスタ	割り込み 許可	割り込み 禁止	0	R/W		
	D5	SIK05	K05割り込み選択レジスタ			0	R/W		
	D4	SIK04	K04割り込み選択レジスタ			0	R/W		
	D3	SIK03	K03割り込み選択レジスタ			0	R/W		
	D2	SIK02	K02割り込み選択レジスタ			0	R/W		
	D1	SIK01	K01割り込み選択レジスタ			0	R/W		
	D0	SIK00	K00割り込み選択レジスタ			0	R/W		
	D7	-	-			-	-	読み出し時は 常時"0"	
00FF51	D6	-	-			-	-		
	D5	-	-			-	-		
	D4	-	-			-	-		
	D3	-	-			-	-		
	D2	-	-			-	-		
	D1	SIK11	汎用レジスタ	1	0	0	R/W	予約レジスタ	
	D0	SIK10	K10割り込み選択レジスタ	割り込み許可	割り込み禁止	0	R/W		

表5.1.1(h) I/Oメモリマップ(00FF52H ~ 00FF61H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈	
00FF52	D7	KCP07	K07入力比較レジスタ	立ち下がり エッジで 割り込み 発生	立ち上がり エッジで 割り込み 発生	1 1 1 1 1 1 1 1	R/W R/W R/W R/W R/W R/W R/W R/W		
	D6	KCP06	K06入力比較レジスタ						
	D5	KCP05	K05入力比較レジスタ						
	D4	KCP04	K04入力比較レジスタ						
	D3	KCP03	K03入力比較レジスタ						
	D2	KCP02	K02入力比較レジスタ						
	D1	KCP01	K01入力比較レジスタ						
	D0	KCP00	K00入力比較レジスタ						
00FF53	D7	-	-	-	-	-	-	読み出し時は常時"0"	
	D6	-	-						
	D5	-	-						
	D4	-	-						
	D3	-	-						
	D2	-	-						
	D1	KCP11	汎用レジスタ		1	0	1	R/W	予約レジスタ
	D0	KCP10	K10入力比較レジスタ		立ち下がり	立ち上がり	1	R/W	
00FF54	D7	K07D	K07入力ポートデータ	Highレベル 入力	Lowレベル 入力	- - - - - - - -	R R R R R R R R		
	D6	K06D	K06入力ポートデータ						
	D5	K05D	K05入力ポートデータ						
	D4	K04D	K04入力ポートデータ						
	D3	K03D	K03入力ポートデータ						
	D2	K02D	K02入力ポートデータ						
	D1	K01D	K01入力ポートデータ						
	D0	K00D	K00入力ポートデータ						
00FF55	D7	-	-	-	-	-	-	読み出し時は常時"0"	
	D6	-	-						
	D5	-	-						
	D4	-	-						
	D3	-	-						
	D2	-	-						
	D1	-	-						
	D0	K10D	K10入力ポートデータ		Highレベル	Lowレベル	-	R	
00FF60	D7	IOC07	P07 I/Oコントロールレジスタ	出力	入力	0 0 0 0 0 0 0 0	R/W R/W R/W R/W R/W R/W R/W R/W		
	D6	IOC06	P06 I/Oコントロールレジスタ						
	D5	IOC05	P05 I/Oコントロールレジスタ						
	D4	IOC04	P04 I/Oコントロールレジスタ						
	D3	IOC03	P03 I/Oコントロールレジスタ						
	D2	IOC02	P02 I/Oコントロールレジスタ						
	D1	IOC01	P01 I/Oコントロールレジスタ						
	D0	IOC00	P00 I/Oコントロールレジスタ						
00FF61	D7	IOC17	P17 I/Oコントロールレジスタ	出力	入力	0 0 0 0 0 0 0 0	R/W R/W R/W R/W R/W R/W R/W R/W		
	D6	IOC16	P16 I/Oコントロールレジスタ						
	D5	IOC15	P15 I/Oコントロールレジスタ						
	D4	IOC14	P14 I/Oコントロールレジスタ						
	D3	IOC13	P13 I/Oコントロールレジスタ						
	D2	IOC12	P12 I/Oコントロールレジスタ						
	D1	IOC11	P11 I/Oコントロールレジスタ						
	D0	IOC10	P10 I/Oコントロールレジスタ						

表5.1.1(i) I/Oメモリマップ(00FF62H ~ 00FF75H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF62	D7	P07D	P07 入出力兼用ポートデータ	High	Low		1	R/W
	D6	P06D	P06 入出力兼用ポートデータ				1	R/W
	D5	P05D	P05 入出力兼用ポートデータ				1	R/W
	D4	P04D	P04 入出力兼用ポートデータ				1	R/W
	D3	P03D	P03 入出力兼用ポートデータ				1	R/W
	D2	P02D	P02 入出力兼用ポートデータ				1	R/W
	D1	P01D	P01 入出力兼用ポートデータ				1	R/W
	D0	P00D	P00 入出力兼用ポートデータ				1	R/W
00FF63	D7	P17D	P17 入出力兼用ポートデータ	High	Low		1	R/W
	D6	P16D	P16 入出力兼用ポートデータ				1	R/W
	D5	P15D	P15 入出力兼用ポートデータ				1	R/W
	D4	P14D	P14 入出力兼用ポートデータ				1	R/W
	D3	P13D	P13 入出力兼用ポートデータ				1	R/W
	D2	P12D	P12 入出力兼用ポートデータ				1	R/W
	D1	P11D	P11 入出力兼用ポートデータ				1	R/W
	D0	P10D	P10 入出力兼用ポートデータ				1	R/W
00FF70	D7	HZR51	R51ハイインピーダンス制御	Hi-Z	信号出力	0	R/W	予約レジスタ
	D6	HZR50	R50ハイインピーダンス制御			0	R/W	
	D5	HZR4H	汎用レジスタ	1	0	0	R/W	
	D4	HZR4L	汎用レジスタ			0	R/W	
	D3	HZR1H	汎用レジスタ			0	R/W	
	D2	HZR1L	汎用レジスタ			0	R/W	
	D1	HZR0H	汎用レジスタ			0	R/W	
	D0	HZR0L	汎用レジスタ			0	R/W	
00FF71	D7	HZR27	R27ハイインピーダンス制御	Hi-Z	信号出力	0	R/W	予約レジスタ
	D6	HZR26	R26ハイインピーダンス制御			0	R/W	
	D5	HZR25	汎用レジスタ	1	0	0	R/W	
	D4	HZR24	汎用レジスタ			0	R/W	
	D3	HZR23	汎用レジスタ			0	R/W	
	D2	HZR22	汎用レジスタ			0	R/W	
	D1	HZR21	汎用レジスタ			0	R/W	
	D0	HZR20	汎用レジスタ			0	R/W	
00FF72	D7	HZR37	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D6	HZR36	汎用レジスタ			0	R/W	
	D5	HZR35	汎用レジスタ			0	R/W	
	D4	HZR34	R34ハイインピーダンス制御	Hi-Z	信号出力	0	R/W	
	D3	HZR33	汎用レジスタ			0	R/W	
	D2	HZR32	汎用レジスタ			0	R/W	
	D1	HZR31	汎用レジスタ			0	R/W	
	D0	HZR30	汎用レジスタ			0	R/W	
00FF75	D7	R27D	R27出力ポートデータ	High	Low	1	R/W	予約レジスタ
	D6	R26D	R26出力ポートデータ			1 *1	R/W	
	D5	R25D	汎用レジスタ	1	0	1	R/W	
	D4	R24D	汎用レジスタ			1	R/W	
	D3	R23D	汎用レジスタ			1	R/W	
	D2	R22D	汎用レジスタ			1	R/W	
	D1	R21D	汎用レジスタ			1	R/W	
	D0	R20D	汎用レジスタ			1	R/W	

*1 マスクオプションでTOUT出力選択時は"0"

表5.1.1(j) I/Oメモリマップ(00FF76H ~ 00FF82H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈	
00FF76	D7	R37D	汎用レジスタ	1	0	1	R/W	予約レジスタ	
	D6	R36D	汎用レジスタ			1	R/W		
	D5	R35D	汎用レジスタ			1	R/W		
	D4	R34D	R34出力ポートデータ	High	Low	1	R/W		
	D3	R33D	汎用レジスタ	1	0	1	R/W		
	D2	R32D	汎用レジスタ			1	R/W		
	D1	R31D	汎用レジスタ			1	R/W		
	D0	R30D	汎用レジスタ			1	R/W		
00FF78	D7	-	-	-	-	-	-	読み出し時は常時"0"	
	D6	-	-	-	-	-	-		
	D5	-	-	-	-	-	-		
	D4	-	-	-	-	-	-		
	D3	-	-	-	-	-	-		
	D2	-	-	-	-	-	-		
	D1	R51D	R51出力ポートデータ	High	Low	1	R/W		
	D0	R50D	R50出力ポートデータ			0	R/W		
00FF80	D7	-	-	-	-	-	-	読み出し時は常時"0"	
	D6	-	-	-	-	-	-		
	D5	-	-	-	-	-	-		
	D4	-	-	-	-	-	-		
	D3	PRAD	A/D変換器クロック制御	On	Off	0	R/W	読み出し時は常時"0"	
	D2	PSAD2	A/D変換器クロック分周比			0	R/W		
	D1	PSAD1	PSAD2 PSAD1 PSAD0 分周比						
			1 1 1 fosc1 / 1						
			1 1 0 fosc3 / 64						
			1 0 1 fosc3 / 32						
			1 0 0 fosc3 / 16						
	D0	PSAD0	0 1 1 fosc3 / 8			0	R/W		
			0 1 0 fosc3 / 4						
			0 0 1 fosc3 / 2						
			0 0 0 fosc3 / 1						
00FF81	D7	PAD7	P17 A/D変換器入力制御	A/D変換器 入力	入出力兼用 ポート	0	R/W	読み出し時は常時"0"	
	D6	PAD6	P16 A/D変換器入力制御			0	R/W		
	D5	PAD5	P15 A/D変換器入力制御			0	R/W		
	D4	PAD4	P14 A/D変換器入力制御			0	R/W		
	D3	-	-			-	-	読み出し時は常時"0"	
	D2	-	-			-	-		
	D1	-	-			-	-		
	D0	-	-			-	-		
00FF82	D7	ADRUN	A/D変換開始制御レジスタ	開始	無効	0	W	読み出し時は常時"0"	
	D6	-	-	-	-	-	-		
	D5	-	-	-	-	-	-		
	D4	-	-	-	-	-	-		
	D3	-	-			-	-	読み出し時は常時"0"	
	D2	-	-			-	-		
	D1	CHS1	アナログ入力チャネル選択			0	R/W		
	D0	CHS0	CHS1 CHS0 入力チャネル	1 1 AD7					
	1 0 AD6	0	R/W						
	0 1 AD5								
	0 0 AD4								

5 周辺回路と動作(I/Oメモリマップ)

表5.1.1(k) I/Oメモリマップ(00FF83H ~ 00FF84H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF83	D7	ADDR9	A/D変換結果D9 (MSB)	-	-	-	R	
	D6	ADDR8	A/D変換結果D8					
	D5	ADDR7	A/D変換結果D7					
	D4	ADDR6	A/D変換結果D6					
	D3	ADDR5	A/D変換結果D5					
	D2	ADDR4	A/D変換結果D4					
	D1	ADDR3	A/D変換結果D3					
	D0	ADDR2	A/D変換結果D2					
00FF84	D7	-	-	-	-	-	-	読み出し時は常時"0"
	D6	-	-	-	-	-	-	
	D5	-	-	-	-	-	-	
	D4	-	-	-	-	-	-	
	D3	-	-	-	-	-	-	
	D2	-	-	-	-	-	-	
	D1	ADDR1	A/D変換結果D1	-	-	-	R	
	D0	ADDR0	A/D変換結果D0 (LSB)					

5.2 ウォッチドッグタイマ

5.2.1 ウォッチドッグタイマの構成

S1C88816はOSC1発振回路を原振とするウォッチドッグタイマを内蔵しています。ウォッチドッグタイマはソフトウェアによって周期的にリセットする必要があり、3~4秒(fosc1=32.768kHzの場合)以上リセットが行われない場合、CPUに対してノンマスカブルインタラプトを発生します。

図5.2.1.1にウォッチドッグタイマのブロック図を示します。

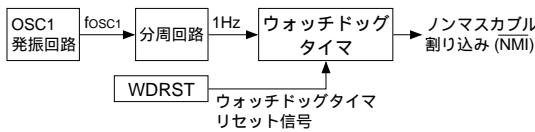


図5.2.1.1 ウォッチドッグタイマのブロック図

プログラムのメインルーチン上でウォッチドッグタイマのリセット処理をすることにより、メインルーチンのウォッチドッグタイマ処理を通らないようなプログラムの暴走を検出することができます。通常はこのルーチンを定期的に処理される箇所に組み込みます。

なお、ウォッチドッグタイマはHALT時も動作しており、HALT状態を3~4秒間続けるとCPUは例外処理に移行します。

SLEEP時はウォッチドッグタイマも停止します。

5.2.2 割り込み機能

ウォッチドッグタイマがソフトウェアによって周期的にリセットされない場合、ウォッチドッグタイマはコアCPUのNMI(レベル4)入力に対して割り込み信号を出力します。この割り込みはマスクが不可能で、他の割り込みに優先して例外処理が発生します。NMI例外処理の詳細については"S1C88コアCPUマニュアル"を参照してください。

本例外処理ベクターアドレスは、000004Hに設定されています。

5.2.3 ウォッチドッグタイマのI/Oメモリ

表5.2.3.1にウォッチドッグタイマの制御ビットを示します。

WDRST: 00FF40H·D2

ウォッチドッグタイマをリセットします。

"1"書き込み: ウォッチドッグタイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

WDRSTに"1"を書き込むことによりウォッチドッグタイマはリセットされ、その直後リスタートします。"0"の書き込みはノーオペレーションとなります。

WDRSTは書き込み専用のため、読み出し時は常時"0"となります。

5.2.4 プログラミング上の注意事項

- (1) ウォッチドッグタイマは、3秒周期以内に必ずソフトウェアでリセットをする必要があります。
- (2) NMI割り込み発生から2msec以内にSLP命令を実行しないでください。(fosc1=32.768kHzの場合)

表5.2.3.1 ウォッチドッグタイマの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF40	D7	-	-	-	-	-		読み出し時は"0"
	D6	FOUT2	FOUT周波数選択					
			FOUT2 FOUT1 FOUT0 周波数	0	0	0	R/W	
			0 0 0 fosc1 / 1					
			0 0 1 fosc1 / 2					
			0 1 0 fosc1 / 4					
			0 1 1 fosc1 / 8					
			1 0 0 fosc3 / 1					
	D5	FOUT1	0 1 1 fosc3 / 2					
			1 0 0 fosc3 / 4					
			1 1 1 fosc3 / 8					
	D4	FOUT0						
	D3	FOUTON	FOUT出力制御	On	Off	0	R/W	
	D2	WDRST	ウォッチドッグタイマリセット	リセット	無効	-	W	読み出し時は
	D1	TMRST	計時タイマリセット	リセット	無効	-	W	常時"0"
	D0	TMRUN	計時タイマRun/Stop制御	Run	Stop	0	R/W	

5.3 発振回路と動作モード

5.3.1 発振回路の構成

S1C88816は2種類の発振回路(OSC1およびOSC3)を内蔵したツインクロック仕様となっています。OSC1発振回路は32.768kHz(Typ.)のメインクロックを、OSC3発振回路はCPUや一部の周辺回路(出力ポート、シリアルインターフェース、プログラマブルタイマ)を高速動作させる場合のサブクロックを発生します。

図5.3.1.1に発振回路の構成を示します。

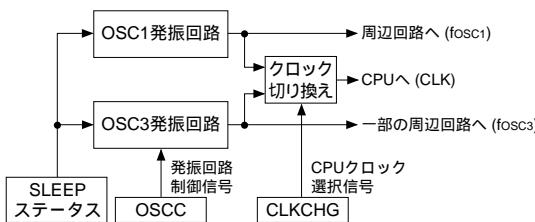


図5.3.1.1 発振回路の構成

イニシャルリセット時、CPUの動作クロックにはOSC1発振回路が選択され、OSC3発振回路は停止状態となります。

OSC3発振回路のON/OFFとシステムクロックの切り替え(OSC1↔OSC3)はソフトウェアによって制御できます。OSC3発振回路はCPUや一部の周辺回路の高速動作が必要な場合に使用します。それ以外の場合は消費電流を低減させるためにOSC3発振を停止させ、OSC1を動作クロックとして使用してください。

5.3.2 マスクオプション

OSC1発振回路

- 水晶発振回路
- 外部クロック入力
- CR発振回路
- 水晶発振回路(ゲート容量内蔵)

OSC3発振回路

- 水晶発振回路
- セラミック発振回路
- CR発振回路
- 外部クロック入力

OSC1発振回路の種類としては水晶発振、CR発振、水晶発振(ゲート容量内蔵)、または外部クロック入力のいずれかがマスクオプションで選択できます。

OSC3発振回路の種類としては水晶発振、セラミック発振、CR発振、または外部クロック入力のいずれかがOSC1同様にマスクオプションで選択できます。

5.3.3 OSC1発振回路

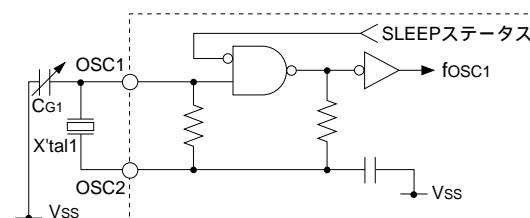
OSC1発振回路は32.768kHz(Typ.)のシステムクロックを発生します。

OSC1発振クロックはCPUおよび周辺回路の低速(低消費電力)動作時のシステムクロックとして使用されます。また、OSC3をシステムクロックとして使用する場合にも、計時タイマやストップウォッチタイマの原振として使用されます。

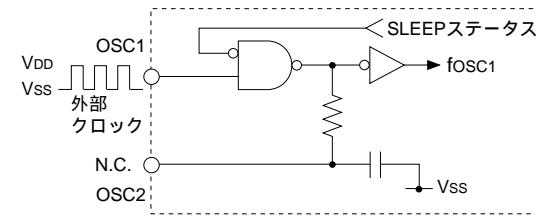
本発振回路は、SLP命令実行時に発振停止状態となります。ただし、SLP命令実行時点でSVD回路("5.14 電源電圧検出回路"参照)が動作中である場合は、サンプリングの完了に同期して発振が停止します。

発振回路の種類としては、水晶発振、CR発振、水晶発振(ゲート容量内蔵)、または外部クロック入力のいずれかがマスクオプションで選択できます。

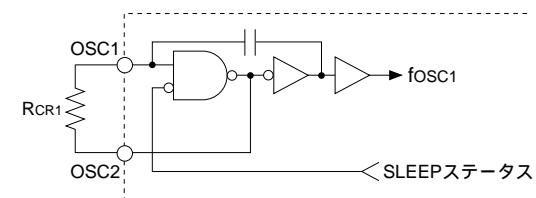
図5.3.3.1にOSC1発振回路の構造を示します。



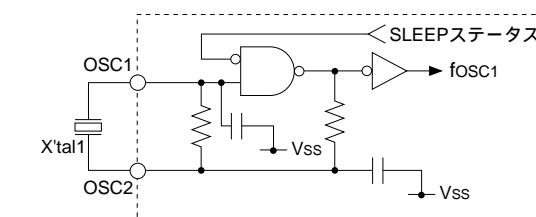
(1) 水晶発振回路



(2) 外部クロック入力



(3) CR発振回路



(4) 水晶発振回路(ゲート容量内蔵)

図5.3.3.1 OSC1発振回路

水晶発振回路を選択した場合は、OSC1端子とOSC2端子間に水晶振動子X'tal1(Typ. 32.768kHz)を、OSC1端子とVss間にトリマキャパシタCG1(5~30pF)をそれぞれ接続することにより、容易に水晶発振回路を構成することができます。また、オプションでゲート容量CG1(15pF)を内蔵することができます。

CR発振回路を選択した場合はOSC1端子とOSC2端子間に抵抗(RCR1)を接続します。

外部クロックを選択した場合はOSC2端子を開放し、OSC1端子に矩形波のクロックを入力して使用します。

5.3.4 OSC3発振回路

OSC3発振回路はCPUや一部の周辺回路(出力ポート、シリアルインターフェース、プログラマブルタイマ)を高速動作させる場合のシステムクロックを発生します。

本発振回路はSLP命令実行時、またはレジスタOSCCに"0"設定時に発振停止状態となります。

発振回路の種類としては水晶発振、セラミック発振、CR発振、または外部クロック入力のいずれかがマスクオプションで選択できます。

図5.3.4.1にOSC3発振回路の構造を示します。

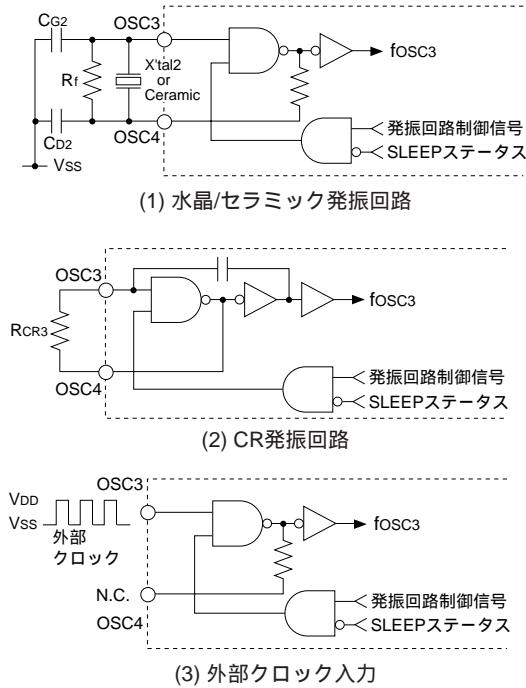


図5.3.4.1 OSC3発振回路

水晶/セラミック発振回路を選択した場合は、OSC3端子とOSC4端子間に水晶振動子(X'tal2)またはセラミック振動子(Ceramic)と帰還抵抗(Rf)を、同OSC3、OSC4端子とVss間にキャパシタを2個(CG2、CD2)それぞれ接続することで水晶またはセラミック発振回路を構成できます。

CR発振を選択した場合はOSC3端子とOSC4端子間に抵抗(RCR3)を接続するだけでCR発振回路を構成できます。

外部クロックを選択した場合はOSC4端子を開放し、OSC3端子に矩形波のクロックを入力して使用します。

5.3.5 動作モード

S1C88816は幅広い動作電圧において安定した動作と良好な特性(動作周波数、消費電流)を得るため、3種類の動作モードをソフトウェアで選択することができます。以下にそれぞれのモードの特徴を示します。

通常モード (VDD=2.4V ~ 5.5V)

本モードはイニシャルリセット後に設定されるモードです。OSC3発振回路(Max. 4.2MHz)が使用でき、かつ比較的低パワー動作が可能なモードです。

低パワーモード (VDD=1.8V ~ 5.5V)

本モードは通常モードよりさらに低パワーなモードです。OSC3発振回路は使用できませんが、OSC1発振回路での動作により超低パワーが実現できます。

高速モード (VDD=3.5V ~ 5.5V)

本モードは通常モードよりさらに高速な動作が可能なモードです。OSC3発振回路(Max. 8.2MHz)が使用できるため、4.2MHz以上での動作が必要な場合に本モードを使用します。ただし、消費電流は通常モードに比べ増加します。

以上3種類のモードを状況に応じソフトウェアで切り換えることによって、低パワーなシステムを実現することができます。たとえば、OSC3をCPUクロックとして使用する場合は通常モード、逆にOSC1をCPUクロックとして使用する場合(OSC3発振回路はOFF)は低パワーモードと切り換えることで、消費電流が低減できます。

注! 低パワーモードではOSC3発振回路をONさせないでください。

OSC3発振回路がONしている状態での動作モードの切り替え(通常モード \leftrightarrow 高速モード)は誤動作につながりますので行わないでください。

動作電圧の関係上、1つのアプリケーションで低パワーモードと高速モードの2つのモードを使用することはできません。

OSC1発振回路にCR発振回路を選択した場合、発振周波数の安定のため動作モードは通常モードに固定となります。よって動作モード選択レジスタVDC0、VDC1の設定は無効となります。

5.3.6 CPUクロックの切り換え

OSC1とOSC3のどちらをCPUのシステムクロックとして使用するかを、ソフトウェアによって切り換えることができます。

OSC1でCPUが動作している間は、OSC3発振回路をOFFさせることでパワーセーブが実現できます。

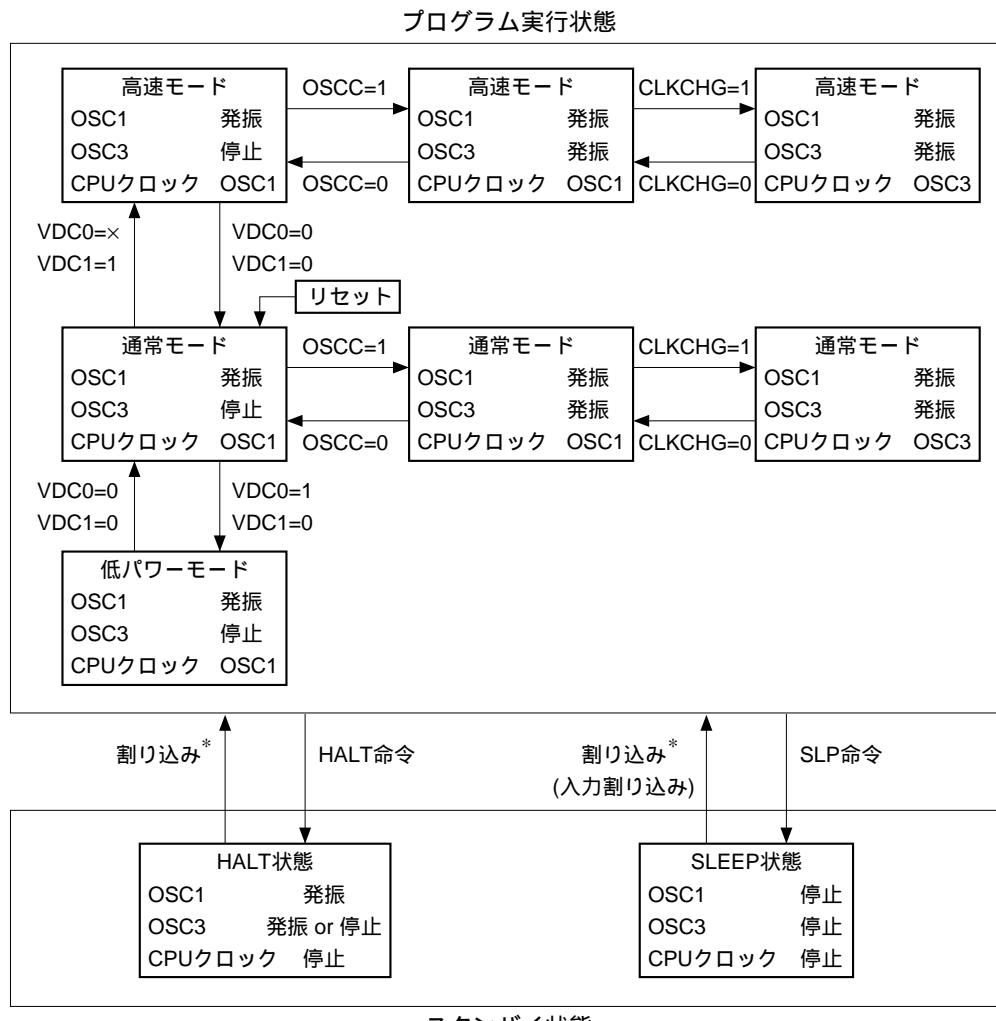
OSC3での動作が必要な場合にOSC3発振回路をONさせ、システムクロックを切り換えることで高速動作が実現できます。この場合、OSC3発振回路をONにしてから発振が安定するまでに数msec～数10msecの時間を必要としますので、その時間が経過した後にクロックの切り換えを行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)

OSC3からOSC1に切り換える場合は、クロック切り換えの直後にOSC3発振回路をOFFしてください。

基本的なクロック切り換えの方法は以上ですが、低消費電力化と高速動作を実現するためには動作モードの切り換えも併せて行う必要があります。

図5.3.6.1に動作モードとクロック切り換えの状態遷移図を示します。

注! 動作モード切り換え後にOSC3発振回路をONさせる場合は、5msec以上の待ち時間をおいてください。



* スタンバイ状態からの復帰先は、スタンバイ状態へ遷移する以前のプログラム実行状態となります。

図5.3.6.1 動作モードとクロック切り換えの状態遷移図

5.3.7 発振回路と動作モードのI/Oメモリ

表5.3.7.1に発振回路と動作モードの制御ビットを示します。

表5.3.7.1 発振回路と動作モードの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF02	D7	EBR	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D6	WT2	汎用レジスタ			0	R/W	
	D5	WT1	汎用レジスタ			0	R/W	
	D4	WT0	汎用レジスタ			0	R/W	
	D3	CLKCHG	CPU動作クロック切り換え	OSC3	OSC1	0	R/W	
	D2	OSCC	OSC3発振On/Off制御	On	Off	0	R/W	
	D1	VDC1	動作モード選択	VDC1 1 0 0	VDC0 × 1 0	動作モード 高速モード(VD1 = 3.3V) 低パワーモード(VD1 = 1.3V) 通常モード(VD1 = 2.2V)	0	R/W
	D0	VDC0					0	R/W

VDC1, VDC0: 00FF02H·D1, D0

電源電圧および動作周波数にしたがって動作モードを選択します。レジスタの設定値と動作モードの対応を表5.3.7.2に示します。

表5.3.7.2 レジスタの設定値と動作モードの対応

動作モード	VDC1	VDC0	Vd1	電源電圧	動作周波数
通常モード	0	0	2.2V	2.4~5.5V	4.2MHz (Max.)
低パワーモード	0	1	1.3V	1.8~5.5V	80kHz (Max.)
高速モード	1	×	3.3V	3.5~5.5V	8.2MHz (Max.)

* Vd1電圧はVssを基準(GND)とした値です。

イニシャルリセット時、本レジスタは"0"(通常モード)に設定されます。

OSCC: 00FF02H·D2

OSC3発振回路の発振ON、OFFを制御します。

"1"書き込み: OSC3発振ON

"0"書き込み: OSC3発振OFF

読み出し: 可能

CPUや一部の周辺回路(出力ポート、シリアルインターフェース、プログラマブルタイマ)を高速動作させる必要のある場合にOSCCを"1"とし、それ以外の場合は、低消費電力化のため"0"としてください。

イニシャルリセット時、OSCCは"0"(OSC3発振OFF)に設定されます。

CLKCHG: 00FF02H·D3

CPUの動作クロックを選択します。

"1"書き込み: OSC3クロック

"0"書き込み: OSC1クロック

読み出し: 可能

CPUの動作クロックはCLKCHGに"1"を設定した場合OSC3、"0"を設定した場合OSC1となります。

イニシャルリセット時、CLKCHGは"0"(OSC1クロック)に設定されます。

5.3.8 プログラミング上の注意事項

(1) CPUの高速動作を必要としない場合は低消費電力化のため、以下に示す設定内容にしたがって周辺回路を動作させてください。

• CPU動作クロック OSC1

• OSC3発振回路 OFF

(一部の周辺回路に対して
OSC3クロックが必要ない
場合)

• 動作モード 低パワーモード
または、通常モード

(2) 低パワーモードではOSC3発振回路をONさせないでください。また、OSC3発振回路がONしている状態での動作モードの切り換え(通常モード↔高速モード)は誤動作につながりますので行わないでください。

(3) 動作モード切り換え後にOSC3発振回路をONさせる場合は、5msec以上の待ち時間をおいてください。

(4) OSC3発振回路をONにしてから発振が安定するまでに、数msec～数10msecの時間を必要とします。したがって、CPUの動作クロック切り換え(OSC1→OSC3)はOSC3発振ONの後、充分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)

(5) OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々の命令で行ってください。1命令で同時に処理すると、CPUの誤動作につながります。

5.4 入力ポート (Kポート)

5.4.1 入力ポートの構成

S1C88816は9ビット(K00～K07、K10)の入力ポートを内蔵しており、これらのポートはすべて割り込み機能を持つ汎用入力ポート端子として使用できます。

K10入力ポート端子はプログラマブルタイマ(イベントカウンタ)の外部クロック(EVIN)入力端子も兼ねており、入力ポート機能はそのままに入力信号が共有されます。(“5.10 プログラマブルタイマ”参照)

各入力ポートにはプルアップ抵抗が内蔵されており、マスクオプションでこれを使用するかしないかを各入力ポートごとに選択できます。

図5.4.1.1に入力ポートの構造を示します。

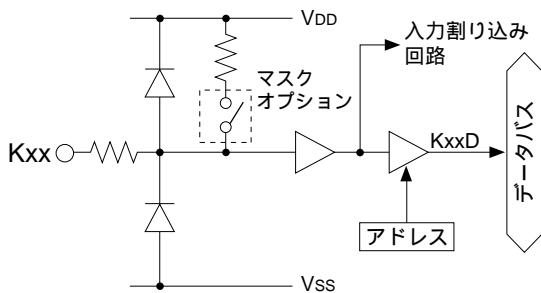


図5.4.1.1 入力ポートの構造

各入力ポート端子は3ステートバッファを通して直接データバスに接続されており、入力ポート読み出し時点での入力信号の状態がそのままデータとして読み込まれます。

5.4.2 マスクオプション

入力ポートプルアップ抵抗		
K00	抵抗あり	ゲート直接
K01	抵抗あり	ゲート直接
K02	抵抗あり	ゲート直接
K03	抵抗あり	ゲート直接
K04	抵抗あり	ゲート直接
K05	抵抗あり	ゲート直接
K06	抵抗あり	ゲート直接
K07	抵抗あり	ゲート直接
K10	抵抗あり	ゲート直接

入力ポートK00～K07、K10にはプルアップ抵抗が内蔵されており、マスクオプションでこれを使用するかしないかを各ポート(1ビット)ごとに選択できます。

“抵抗あり”はプッシュスイッチ、キーマトリクス等の入力に適当です。

内蔵プルアップ抵抗によって、入力端子をLOWレベルからHIGHレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入力ポートの取り込みには適切な待ち時間の設定が必要となります。これについては特に、キーマトリクス構成時のキースキャン等に注意が必要です。待ち時間は以下の式で求められる値以上を設定してください。

$$\text{待ち時間} = R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6 [\text{sec}]$$

R_{IN}: プルアップ抵抗Max.値

C_{IN}: 端子容量Max.値

“ゲート直接”を選択した場合は、プルアップ抵抗が切り離され、スライドスイッチ入力、他LSIとのインターフェースなどに適当となります。この場合は、入力にフローティング状態が発生しないよう注意してください。

使用しない入力ポートについてはデフォルトの“抵抗あり”を選択してください。

5.4.3 割り込み機能と入力比較レジスタ

入力ポートK00～K07、K10は、すべて割り込み機能を持っています。

入力ポートはK00～K03(K0L)、K04～K07(K0H)、K10(K1)の3系統に分けられ、それぞれの端子系列ごとに割り込み発生条件をソフトウェアで設定することができます。

各端子系列ごとに設定した割り込み発生条件が成立すると、それぞれに対応した割り込み要因フラグFK0L、FK0H、FK1が"1"にセットされ、割り込みが発生します。

各割り込み要因フラグに対応した割り込みイネーブルレジスタEK0L、EK0H、EK1の設定により、割り込みを禁止することもできます。

また、CPUに対する入力割り込みの優先レベルをK0x(K00～K07)、K10の2つに対応する割り込みプライオリティレジスタPK00～PK01、PK10～PK11によって、それぞれ任意のレベル(0～3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については"5.16 割り込みとスタンバイ状態"を参照してください。

各割り込み要因の例外処理ベクタは、それぞれ以下のとおり設定されています。

K10入力割り込み: 00000AH

K04～K07入力割り込み: 00000CH

K00～K03入力割り込み: 00000EH

図5.4.3.1に入力割り込み回路の構成を示します。

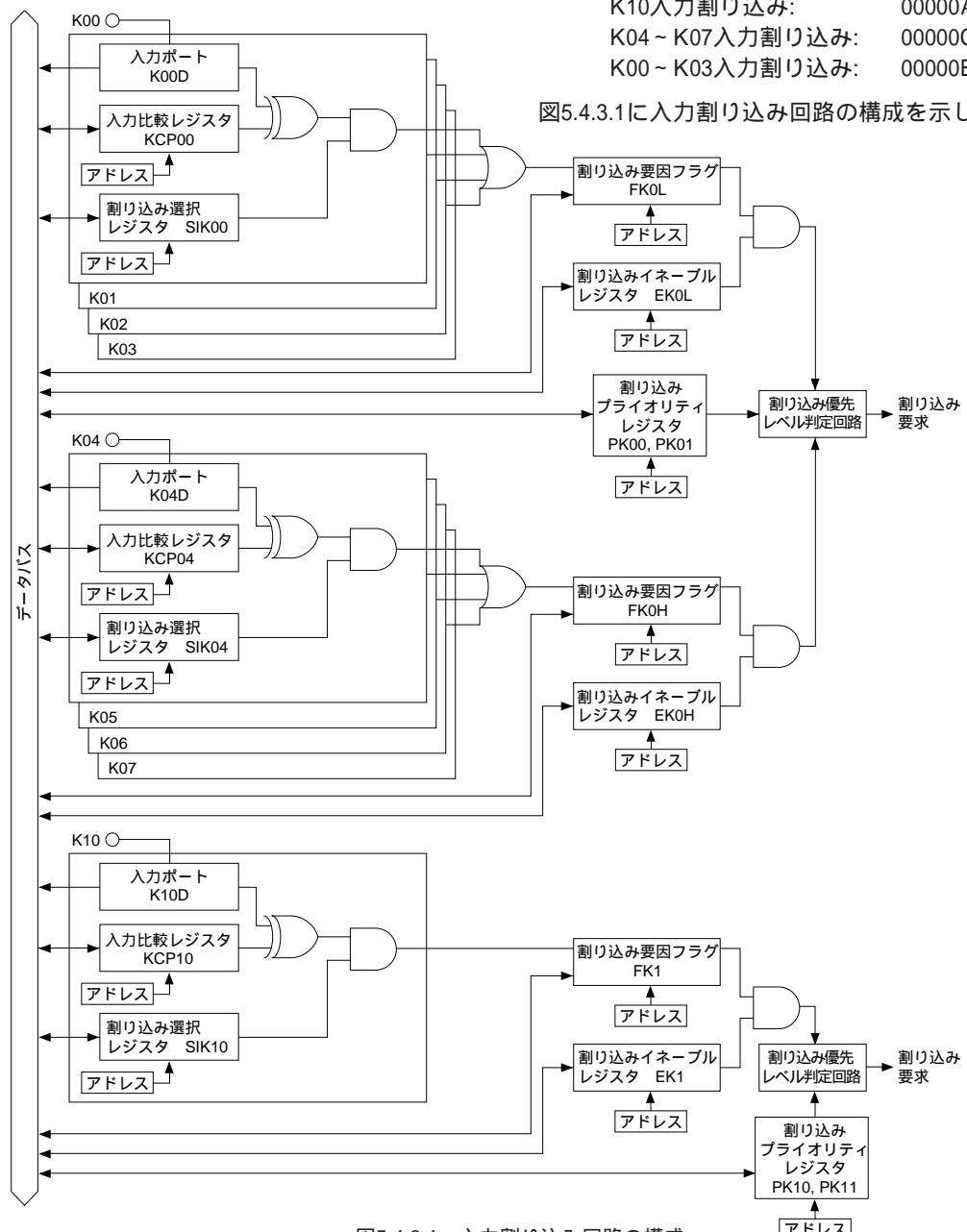


図5.4.3.1 入力割り込み回路の構成

各入力ポートの割り込み選択レジスタSIK00～SIK03、SIK04～SIK07、SIK10と入力比較レジスタKCP00～KCP03、KCP04～KCP07、KCP10は、前記割り込み条件を設定するのに使用します。

割り込み選択レジスタSIKの設定によって、その入力ポートの割り込みを許可、または禁止することができます。割り込みイネーブルレジスタEKが端子系列ごとの割り込み要因をマスクするのに対し、割り込み選択レジスタSIKはビット単位でのマスク設定を行います。

入力比較レジスタKCPは、各入力ポートの割り込みを入力の立ち上がりエッジで発生させるか、立ち下がりエッジで発生させるかを選択します。

割り込み選択レジスタSIKによって割り込みが許可されている入力端子と入力比較レジスタKCPとの内容に一致状態から不一致状態の変化が生じたとき、割り込み要因フラグFKが"1"にセットされ、割り込みが発生します。

図5.4.3.2に端子系列K0L(K00～K03)の割り込み発生例を示します。

K00は割り込み選択レジスタSIK00によって割り込みが禁止されているため、(2)の時点では割り込みは発生しません。

次に(3)でK03が"0"になるため、割り込みが許可されている入力端子K01～K03のデータと入力比較レジスタKCP01～KCP03のデータとの不一致により割り込みが発生します。

前述のとおり、入力データと入力比較レジスタKCPの内容が一致状態から不一致状態に変化することが割り込み発生条件となるため、(4)のように不一致状態から、別の不一致状態に変化しても割り込みは発生しません。したがって、割り込み発生後に再度割り込みを発生させる場合は、入力端子の状態を一度入力比較レジスタKCPと同じ内容に戻すか、入力比較レジスタKCPを再設定する必要があります。なお、割り込みが禁止されている入力端子については割り込み発生条件に影響を与えません。

端子系列K0H(K04～K07)およびK1(K10)についても同様に割り込みが発生します。

割り込み選択レジスタ				入力比較レジスタ			
SIK03	SIK02	SIK01	SIK00	KCP03	KCP02	KCP01	KCP00
1	1	1	0	1	0	1	0

上記の設定において、K0L(K00～K03)の割り込みは、以下のような条件で発生します。

入力ポート								
(1) K03 K02 K01 K00				(初期値)				
<table border="1"> <tr> <td>1</td><td>0</td><td>1</td><td>0</td></tr> </table>				1	0	1	0	
1	0	1	0					
↓								
(2) K03 K02 K01 K00								
<table border="1"> <tr> <td>1</td><td>0</td><td>1</td><td>1</td></tr> </table>				1	0	1	1	
1	0	1	1					
↓								
(3) K03 K02 K01 K00				→ 割り込み発生				
<table border="1"> <tr> <td>0</td><td>0</td><td>1</td><td>1</td></tr> </table>				0	0	1	1	
0	0	1	1					
↓								
(4) K03 K02 K01 K00								
<table border="1"> <tr> <td>0</td><td>1</td><td>1</td><td>1</td></tr> </table>				0	1	1	1	
0	1	1	1					

K00は割り込みが禁止されているため、K01～K03の3ビットと入力比較レジスタKCP01～KCP03の3ビットとの内容に不一致が生じることで、割り込みが発生します。

図5.4.3.2 K0L(K00～K03)割り込み発生例

5.4.4 入力ポートのI/Oメモリ

表5.4.4.1に入力ポートの制御ビットを示します。

表5.4.4.1(a) 入力ポートの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF50	D7	SIK07	K07割り込み選択レジスタ	割り込み許可	割り込み禁止	0	R/W	
	D6	SIK06	K06割り込み選択レジスタ					
	D5	SIK05	K05割り込み選択レジスタ					
	D4	SIK04	K04割り込み選択レジスタ					
	D3	SIK03	K03割り込み選択レジスタ					
	D2	SIK02	K02割り込み選択レジスタ					
	D1	SIK01	K01割り込み選択レジスタ					
	D0	SIK00	K00割り込み選択レジスタ					
00FF51	D7	-	-			-	-	読み出し時は常時"0"
	D6	-	-					
	D5	-	-					
	D4	-	-					
	D3	-	-					
	D2	-	-					
	D1	SIK11	汎用レジスタ		1	0	0	R/W 予約レジスタ
	D0	SIK10	K10割り込み選択レジスタ					
00FF52	D7	KCP07	K07入力比較レジスタ	立ち下がりエッジで割り込み発生	立ち上がりエッジで割り込み発生	1	R/W	
	D6	KCP06	K06入力比較レジスタ					
	D5	KCP05	K05入力比較レジスタ					
	D4	KCP04	K04入力比較レジスタ					
	D3	KCP03	K03入力比較レジスタ					
	D2	KCP02	K02入力比較レジスタ					
	D1	KCP01	K01入力比較レジスタ					
	D0	KCP00	K00入力比較レジスタ					
00FF53	D7	-	-			-	-	読み出し時は常時"0"
	D6	-	-					
	D5	-	-					
	D4	-	-					
	D3	-	-					
	D2	-	-					
	D1	KCP11	汎用レジスタ		1	0	1	R/W 予約レジスタ
	D0	KCP10	K10入力比較レジスタ					
00FF54	D7	K07D	K07入力ポートデータ	Highレベル 入力	Lowレベル 入力	-	R	
	D6	K06D	K06入力ポートデータ					
	D5	K05D	K05入力ポートデータ					
	D4	K04D	K04入力ポートデータ					
	D3	K03D	K03入力ポートデータ					
	D2	K02D	K02入力ポートデータ					
	D1	K01D	K01入力ポートデータ					
	D0	K00D	K00入力ポートデータ					
00FF55	D7	-	-			-	-	読み出し時は常時"0"
	D6	-	-					
	D5	-	-					
	D4	-	-					
	D3	-	-					
	D2	-	-					
	D1	-	-					
	D0	K10D	K10入力ポートデータ		Highレベル 入力	Lowレベル 入力	-	R

表5.4.4.1(b) 入力ポートの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF20	D7	PK01	K00～K07割り込み	PK01 PK00 PSIF1 PSIF0 PSW1 PSW0 PTM1 PTM0	0	R/W		
	D6	PK00	プライオリティレジスタ		0	R/W		
	D5	PSIF1	シリアルインターフェース割り込み		0	R/W		
	D4	PSIF0	プライオリティレジスタ		0	R/W		
	D3	PSW1	ストップウォッチタイマ割り込み		1 1 0 0 1 0	レベル3 レベル2 レベル1 レベル0	0 0 0 0	R/W R/W R/W R/W
	D2	PSW0	プライオリティレジスタ		0	R/W		
	D1	PTM1	計時タイマ割り込み		0	R/W		
	D0	PTM0	プライオリティレジスタ		0	R/W		
00FF21	D7	-	-	-	-	-	読み出し時は常時"0"	
	D6	-	-	-	-	-		
	D5	-	-	-	-	-		
	D4	-	-	-	-	-		
	D3	PPT1	プログラマブルタイマ割り込み	PPT1 PPT0 PK11 PK10	優先	0	R/W	
	D2	PPT0	プライオリティレジスタ		レベル3	0	R/W	
	D1	PK11	K10割り込み		レベル2	0	R/W	
	D0	PK10	プライオリティレジスタ		レベル1 レベル0	0 0	R/W R/W	
00FF23	D7	EPT1	プログラマブルタイマ1割り込みイネーブルレジスタ	割り込み許可	割り込み禁止	0	R/W	
	D6	EPT0	プログラマブルタイマ0割り込みイネーブルレジスタ			0	R/W	
	D5	EK1	K10割り込みイネーブルレジスタ			0	R/W	
	D4	EKOH	K04～K07割り込みイネーブルレジスタ			0	R/W	
	D3	EK0L	K00～K03割り込みイネーブルレジスタ			0	R/W	
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブルレジスタ			0	R/W	
	D1	ESREC	シリアルI/F(受信)割り込みイネーブルレジスタ			0	R/W	
	D0	ESTRA	シリアルI/F(送信)割り込みイネーブルレジスタ			0	R/W	
00FF25	D7	FPT1	プログラマブルタイマ1割り込み要因フラグ	(R) 割り込み要因あり	(R) 割り込み要因なし	0	R/W	
	D6	FPT0	プログラマブルタイマ0割り込み要因フラグ			0	R/W	
	D5	FK1	K10割り込み要因フラグ			0	R/W	
	D4	FK0H	K04～K07割り込み要因フラグ			0	R/W	
	D3	FK0L	K00～K03割り込み要因フラグ	(W) リセット	(W) 無効	0	R/W	
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ			0	R/W	
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ			0	R/W	
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ			0	R/W	

K00D～K07D: 00FF54H**K10D: 00FF55H-D0**

Kxx入力ポート端子の入力データが読み出せます。

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

書き込み: 無効

入力ポートK00～K07、K10の端子電圧がそれぞれHIGH(VDD)レベルのとき"1"、LOW(Vss)レベルのとき"0"として直接読み出せます。

本ビットは読み出し専用のため、書き込み動作は無効となります。

SIK00～SIK07: 00FF50H**SIK10: 00FF51H-D0**

K00～K07、K10入力ポート端子の割り込み発生条件(割り込み許可/禁止)を設定します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

SIKxxは各入力ポートKxxに対応する割り込み選択レジスタで、"1"に設定した入力ポートの割り込みが許可され、"0"に設定した入力ポートの割り込みが禁止されます。割り込み禁止に設定した入力端子の状態変化は、割り込みの発生に影響を与えません。

イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

KCP00~KCP07: 00FF52H**KCP10: 00FF53H·D0**

K00～K07、K10入力ポート端子の割り込み発生条件(割り込み発生タイミング)を設定します。

"1"書き込み: 立ち下がりエッジ

"0"書き込み: 立ち上がりエッジ

読み出し: 可能

KCPxxは各入力ポートKxxに対応する入力比較レジスタで、"1"に設定した入力ポートの割り込みは入力の立ち下がりエッジで、"0"に設定した入力ポートの割り込みは入力の立ち上がりエッジでそれぞれ発生します。
イニシャルリセット時、本レジスタはすべて"1"(立ち下がりエッジ)に設定されます。

PK00, PK01: 00FF20H·D6, D7**PK10, PK11: 00FF21H·D0, D1**

入力割り込みの優先レベルを設定します。

PK00、PK01の2ビットはK00～K07(K0LおよびK0H)の割り込みに対応した割り込みプライオリティレジスタで、PK10、PK11の2ビットは同様にK10(K1)に対応しています。

本レジスタによって設定できる割り込み優先レベルは表5.4.4.2のとおりです。

表5.4.4.2 割り込み優先レベルの設定

PK11 PK01	PK10 PK00	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

EK0L, EK0H, EK1: 00FF23H·D3, D4, D5

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

EK0LはK00～K03、EK0HはK04～K07、EK1はK10にそれぞれ対応する割り込みイネーブルレジスタで、"1"に設定した端子系列の割り込みが許可され、"0"に設定した端子系列の割り込みが禁止されます。

イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

FK0L, FK0H, FK1: 00FF25H·D3, D4, D5

入力割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

FK0LはK00～K03、FK0HはK04～K07、FK1はK10にそれぞれ対応する割り込み要因フラグで、割り込み発生条件の成立により"1"にセットされます。このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、本フラグはすべて"0"にリセットされます。

5.4.5 プログラミング上の注意事項

内蔵プルアップ抵抗によって、入力端子をLOWレベルからHIGHレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入力ポートの取り込みには適切な待ち時間の設定が必要となります。特に、キーマトリクス構成時のキースキャン等に注意が必要です。

待ち時間は以下の式で求められる値以上を設定してください。

$$\text{待ち時間} = R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6 [\text{sec}]$$

R_{IN}: プルアップ抵抗Max.値

C_{IN}: 端子容量Max.値

5.5 出力ポート (Rポート)

5.5.1 出力ポートの構成

S1C88816は5ビット(R26、R27、R34、R50、R51)の出力ポートを内蔵しています。

また、メロディ出力専用ポートとして、MOUTとMOUTの2ビットの出力ポートを内蔵しています。

図5.5.1.1に出力ポートの基本構造(特殊出力回路およびメロディ出力回路を除く)を示します。各ポートの出力仕様はコンプリメンタリ出力に固定されています。

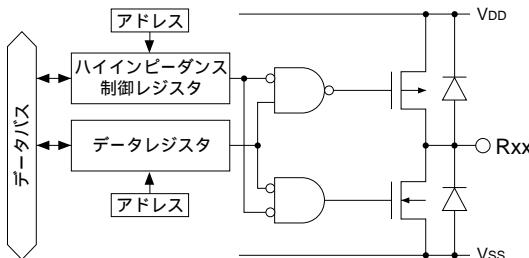


図5.5.1.1 出力ポートの構造

各出力ポートはソフトウェアによってハイインピーダンス制御が可能です。

また、各出力ポートは通常のDC出力のほかに特殊出力機能を持っており、マスクオプションおよびソフトウェアによってどちらを使用するかを選択することができます。

図5.5.1.2には、メロディ出力回路の基本構造を示します。出力仕様はコンプリメンタリ出力に固定されており、ハイインピーダンス制御もできません。また、データレジスタも持たず、メロディ回路から直接駆動されます。

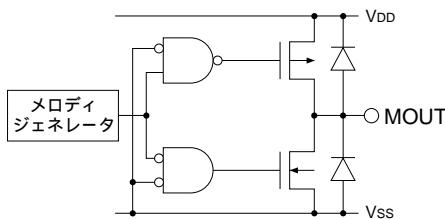


図5.5.1.2 メロディ出力回路の構造

5.5.2 マスクオプション

出力ポートR26, R51出力仕様

R26.....	DC出力	TOUT出力
R51.....	DC出力	BZ出力

R26ポートとR51ポートは、それぞれ汎用DC出力として使用するか、あるいは特殊出力として使用するかをマスクオプションで選択することができます。これにより、R26ポートをTOUT出力(TOUT反転信号出力)、R51ポートをBZ出力(ブザー反転信号出力)に設定できます。

5.5.3 ハイインピーダンス制御

各出力ポートはソフトウェアによってハイインピーダンス制御が可能です。

各出力ポートにはハイインピーダンス制御レジスタが設けられており、このレジスタによってコンプリメンタリ出力、またはハイインピーダンス状態のいずれかが選択できます。

HZR26: R26ハイインピーダンス制御レジスタ

HZR27: R27ハイインピーダンス制御レジスタ

HZR34: R34ハイインピーダンス制御レジスタ

HZR50: R50ハイインピーダンス制御レジスタ

HZR51: R51ハイインピーダンス制御レジスタ

ハイインピーダンス制御レジスタHZRxxに"1"を設定すると対応する出力ポート端子がハイインピーダンス状態となり、"0"を設定するとコンプリメンタリ出力となります。この制御は特殊出力を選択している場合にも有効です。

5.5.4 DC出力

図5.5.1.1に示すように、出力ポートのデータレジスタに"1"を書き込むと出力端子がHIGH(VDD)レベルとなり、"0"を書き込むとLOW(Vss)レベルとなります。

出力がハイインピーダンス状態の場合にデータレジスタに書き込まれたデータは、出力をコンプリメンタリに切り換えた時点で端子から出力されます。

5.5.5 特殊出力

各出力ポートは通常のDC出力の他に表5.5.5.1に示す特殊出力をソフトウェア(R27、R34、R50)またはマスクオプション(R26、R51)によって選択することができます。

表5.5.5.1 特殊出力ポート

出力ポート	特殊出力
R26	TOUT出力(マスクオプション)
R27	TOUT出力(ソフトウェア選択)
R34	FOUT出力(ソフトウェア選択)
R50	BZ出力(ソフトウェア選択)
R51	BZ出力(マスクオプション)

TOUT出力(R27), $\overline{\text{TOUT}}$ 出力(R26)

S1C88816は外部デバイスに対してクロックを供給する場合などのために、TOUT信号(プログラマブルタイマの出力クロック)をR27出力ポート端子から出力させることができます。また、マスクオプションの選択により、R26出力ポート端子からTOUT信号(TOUT反転信号)を出力させることができます。

出力ポートR27、R26の構成を図5.5.5.1に示します。

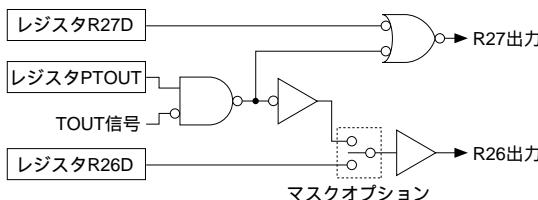


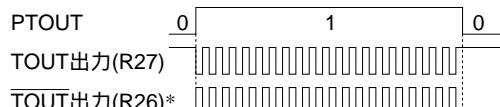
図5.5.5.1 R27とR26の構成

TOUTおよび $\overline{\text{TOUT}}$ 信号はレジスタPTOUTによって出力制御を行います。PTOUTに"1"を設定するとTOUT信号がR27出力ポート端子から、 $\overline{\text{TOUT}}$ 信号がR26出力ポート端子からそれぞれ出力され、"0"を設定するとR27端子はHIGH(VDD)レベル、R26端子はLOW(Vss)レベルとなります。TOUT出力をを行う場合、データレジスタR27Dには常時"1"が設定されている必要があります。 $\overline{\text{TOUT}}$ 出力をを行うにはマスクオプションでR26端子をTOUT出力に設定しておくことが必要です。この場合のR26Dは、TOUT出力には影響を与えません。

TOUTおよび $\overline{\text{TOUT}}$ 信号はプログラマブルタイマのアンダーフローが1/2に分周されたものです。周波数の制御等については"5.10 プログラマブルタイマ"を参照してください。

なお、TOUTおよび $\overline{\text{TOUT}}$ 信号はレジスタPTOUTとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.5.5.2にTOUTおよび $\overline{\text{TOUT}}$ 信号の出力波形を示します。



* マスクオプションにより選択した場合

図5.5.5.2 TOUTおよび $\overline{\text{TOUT}}$ 信号の出力波形

FOUT出力(R34)

S1C88816は外部デバイスに対してクロックを供給する場合などのために、FOUT信号(発振クロックfosc1またはfosc3の分周クロック)をR34出力ポート端子から出力させることができます。出力ポートR34の構成を図5.5.5.3に示します。

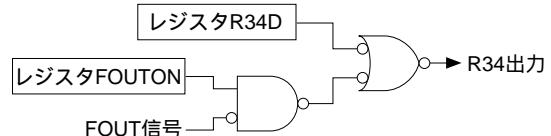


図5.5.5.3 R34の構成

FOUT信号はレジスタFOUTONによって出力制御を行います。FOUTONに"1"を設定するとFOUT信号がR34出力ポート端子から出力され、"0"を設定するとHIGH(VDD)レベルが出力されます。このとき、データレジスタR34Dには常時"1"が設定されている必要があります。FOUT信号の周波数はソフトウェアによるレジスタFOUT0 ~ FOUT2への設定によって、表5.5.5.2に示す8種類の中から1つを選択することができます。

表5.5.5.2 FOUT周波数の設定

FOUT2	FOUT1	FOUT0	FOUT周波数
0	0	0	fosc1 / 1
0	0	1	fosc1 / 2
0	1	0	fosc1 / 4
0	1	1	fosc1 / 8
1	0	0	fosc3 / 1
1	0	1	fosc3 / 2
1	1	0	fosc3 / 4
1	1	1	fosc3 / 8

fosc1: OSC1発振周波数

fosc3: OSC3発振周波数

FOUTの周波数を" $fosc3/n$ "とする場合は、FOUTを出力する以前にOSC3の発振をONさせる必要があります。

なお、OSC3発振回路をONにしてから発振が安定するまでに数msec ~ 数10msecの時間を必要とします。したがって、不安定なFOUT信号が外部に出力されることで不具合が生じる場合はOSC3発振ONの後、充分な待ち時間をおいてからFOUTの出力を行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)

イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

なお、FOUT信号はレジスタFOUTONとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.5.5.4にFOUT信号の出力波形を示します。

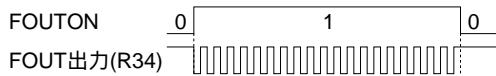


図5.5.5.4 FOUT信号の出力波形

BZ出力(R50), \overline{BZ} 出力(R51)

S1C88816は外付けブザーを駆動する場合のために、BZ信号(サウンドジェネレータの出力)をR50出力ポート端子から出力させることができます。また、マスクオプションの選択により、R51出力ポート端子から \overline{BZ} 信号(BZ反転信号)を出力させることができます。

出力ポートR50、R51の構成を図5.5.5に示します。

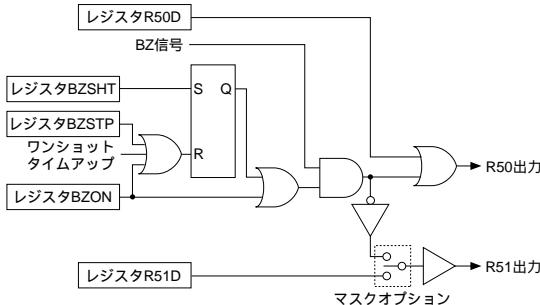


図5.5.5 R50とR51の構成

BZおよび \overline{BZ} 信号の出力はレジスタBZON、BZSHTおよびBZSTPによって制御します。BZONまたはBZSHTに"1"を設定するとBZ信号がR50出力ポート端子から、 \overline{BZ} 信号がR51出力ポート端子からそれぞれ出力され、BZONに"0"またはBZSTPに"1"を設定するとR50端子はLOW(Vss)レベル、R51端子はHIGH(VDD)レベルとなります。

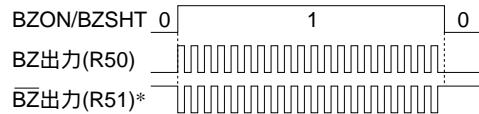
BZ出力を行う場合、データレジスタR50Dには常時"0"が設定されている必要があります。

\overline{BZ} 出力を行うにはマスクオプションでR51端子を \overline{BZ} 出力に設定しておくことが必要です。この場合のR51Dは、 \overline{BZ} 出力には影響を与ません。

BZおよび \overline{BZ} 信号はサウンドジェネレータの出力が用いられます。周波数やエンベロープの制御等については"5.12 サウンドジェネレータ"を参照してください。

なお、BZおよび \overline{BZ} 信号はレジスタBZON、BZSHTおよびBZSTPとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.5.6にBZおよび \overline{BZ} 信号の出力波形を示します。



* マスクオプションにより選択した場合

図5.5.6 BZおよび \overline{BZ} 信号の出力波形

MOUT出力, \overline{MOUT} 出力

メロディ信号により外付けの圧電ブザーをダイレクトドライブするための専用出力ポートです。これらのポートはコンプリメンタリに固定され、ハイインピーダンス制御はできません。また、データレジスタもありません。

イニシャルリセット時はMOUT = \overline{MOUT} = HIGHとなります。

メロディ出力については、"5.13 メロディジェネレータ"を参照してください。

5.5.6 出力ポートのI/Oメモリ

表5.5.6.1に出力ポートの制御ビットを示します。

表5.5.6.1(a) 出力ポートの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF70	D7	HZR51	R51ハイインピーダンス制御	Hi-Z	信号出力	0	R/W	予約レジスタ
	D6	HZR50	R50ハイインピーダンス制御			0	R/W	
	D5	HZR4H	汎用レジスタ	1	0	0	R/W	
	D4	HZR4L	汎用レジスタ			0	R/W	
	D3	HZR1H	汎用レジスタ			0	R/W	
	D2	HZR1L	汎用レジスタ			0	R/W	
	D1	HZR0H	汎用レジスタ			0	R/W	
	D0	HZR0L	汎用レジスタ			0	R/W	
00FF71	D7	HZR27	R27ハイインピーダンス制御	Hi-Z	信号出力	0	R/W	予約レジスタ
	D6	HZR26	R26ハイインピーダンス制御			0	R/W	
	D5	HZR25	汎用レジスタ	1	0	0	R/W	
	D4	HZR24	汎用レジスタ			0	R/W	
	D3	HZR23	汎用レジスタ			0	R/W	
	D2	HZR22	汎用レジスタ			0	R/W	
	D1	HZR21	汎用レジスタ			0	R/W	
	D0	HZR20	汎用レジスタ			0	R/W	
00FF72	D7	HZR37	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D6	HZR36	汎用レジスタ			0	R/W	
	D5	HZR35	汎用レジスタ			0	R/W	
	D4	HZR34	R34ハイインピーダンス制御	Hi-Z	信号出力	0	R/W	
	D3	HZR33	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D2	HZR32	汎用レジスタ			0	R/W	
	D1	HZR31	汎用レジスタ			0	R/W	
	D0	HZR30	汎用レジスタ			0	R/W	
00FF75	D7	R27D	R27出力ポートデータ	High	Low	1	R/W	予約レジスタ
	D6	R26D	R26出力ポートデータ			1 *1	R/W	
	D5	R25D	汎用レジスタ	1	0	1	R/W	
	D4	R24D	汎用レジスタ			1	R/W	
	D3	R23D	汎用レジスタ			1	R/W	
	D2	R22D	汎用レジスタ			1	R/W	
	D1	R21D	汎用レジスタ			1	R/W	
	D0	R20D	汎用レジスタ			1	R/W	
00FF76	D7	R37D	汎用レジスタ	1	0	1	R/W	予約レジスタ
	D6	R36D	汎用レジスタ			1	R/W	
	D5	R35D	汎用レジスタ			1	R/W	
	D4	R34D	R34出力ポートデータ	High	Low	1	R/W	
	D3	R33D	汎用レジスタ	1	0	1	R/W	予約レジスタ
	D2	R32D	汎用レジスタ			1	R/W	
	D1	R31D	汎用レジスタ			1	R/W	
	D0	R30D	汎用レジスタ			1	R/W	
00FF78	D7	-	-	-	-	-	-	読み出し時は常時"0"
	D6	-	-	-	-	-	-	
	D5	-	-	-	-	-	-	
	D4	-	-	-	-	-	-	
	D3	-	-	-	-	-	-	
	D2	-	-	-	-	-	-	
	D1	R51D	R51出力ポートデータ	High	Low	1	R/W	
	D0	R50D	R50出力ポートデータ			0	R/W	

*1 マスクオプションでTOUT出力選択時は"0"

表5.5.6.1(b) 出力ポートの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF30	D7	-	-	-	-	-		読み出し時は常時"0"
	D6	-	-	-	-	-		
	D5	-	-	-	-	-		
	D4	MODE16	8/16ビットモード選択	16ビットx1	8ビットx2	0	R/W	
	D3	CHSEL	TOUT出力チャンネル選択	タイマ1	タイマ0	0	R/W	
	D2	PTOUT	TOUT出力制御	On	Off	0	R/W	
	D1	CKSEL1	プリスケーラ1原振クロック選択	fosc3	fosc1	0	R/W	
00FF40	D0	CKSEL0	プリスケーラ0原振クロック選択	fosc3	fosc1	0	R/W	
	D7	-	-	-	-	-		読み出し時は"0"
	D6	FOUT2	FOUT周波数選択			0	R/W	
				FOUT2	FOUT1	FOUT0	周波数	
				0	0	0	fosc1 / 1	
				0	0	1	fosc1 / 2	
				0	1	0	fosc1 / 4	
	D5	FOUT1		0	1	1	fosc1 / 8	
				1	0	0	fosc3 / 1	
				1	0	1	fosc3 / 2	
				1	1	0	fosc3 / 4	
				1	1	1	fosc3 / 8	
	D4	FOUT0				0	R/W	
	D3	FOUTON	FOUT出力制御	On	Off	0	R/W	
00FF44	D2	WDRST	ウォッヂドッグタイマリセット	リセット	無効	-	W	読み出し時は常時"0"
	D1	TMRST	計時タイマリセット	リセット	無効	-	W	
	D0	TMRUN	計時タイマRun/Stop制御	Run	Stop	0	R/W	
	D7	-	-	-	-	-		読み出し時は常時"0"
	D6	BZSTP	ワンショットブザー強制停止	強制停止	無効	-	W	
	D5	BZSHT	ワンショットブザートリガ/ステータス	R W	Busy トリガ	Ready 無効	0	R/W
	D4	SHTPW	ワンショットブザー時間幅選択	125msec	31.25msec	0	R/W	
	D3	ENRTM	エンベロープ減衰時間	1sec	0.5sec	0	R/W	
	D2	ENRST	エンベロープリセット	リセット	無効	-	W	読み出し時は"0"
	D1	ENON	エンベロープOn/Off制御	On	Off	0	R/W	*1
	D0	BZON	ブザー出力制御	On	Off	0	R/W	

*1 ワンショット出力時、"0"にリセット

ハイインピーダンス制御

HZR26: 00FF71H·D6

HZR27: 00FF71H·D7

HZR34: 00FF72H·D4

HZR50: 00FF70H·D6

HZR51: 00FF70H·D7

各出力端子をハイインピーダンスに設定します。

"1"書き込み: ハイインピーダンス

"0"書き込み: コンプリメンタリ

読み出し: 可能

HZR26、HZR27、HZR34、HZR50およびHZR51は、R26、R27、R34、R50、R51出力ポート端子のハイインピーダンス制御レジスタで、"1"を設定すると対応する出力ポート端子がハイインピーダンス状態となり、"0"を設定するとコンプリメンタリ出力となります。

イニシャルリセット時、本レジスタは"0"(コンプリメンタリ)に設定されます。

DC出力制御

R26D: 00FF75H·D6

R27D: 00FF75H·D7

R34D: 00FF76H·D4

R50D: 00FF78H·D0

R51D: 00FF78H·D1

Rxx出力ポート端子の出力データを設定します。

"1"書き込み: HIGHレベル出力

"0"書き込み: LOWレベル出力

読み出し: 可能

R26D、R27D、R34D、R50DおよびR51DはR26、R27、R34、R50、R51出力ポートのデータレジスタで、"1"を設定すると対応する出力ポート端子がHIGH(V_{DD})レベルとなり、"0"を設定するとLOW(V_{SS})レベルとなります。

イニシャルリセット時、R50Dは"0"(LOWレベル出力)、R26D、R27D、R34DおよびR51Dは"1"(HIGHレベル出力)に設定されます。ただし、マスクオプションでTOUT出力を選択した場合、R26Dは"0"に設定されます。R51DはマスクオプションでBZ出力を選択した場合でも初期値は"1"です。

マスクオプションでTOUT出力、BZ出力を選択した場合のR26D、R51Dは、出力に影響を与えない汎用レジスタとして使用可能です。

特殊出力制御

PTOUT: 00FF30H·D2

TOUT(プログラマブルタイマ出力クロック)信号およびTOUT(TOUT反転)信号の出力制御を行います。

"1"書き込み: TOUTおよびTOUT信号出力

"0"書き込み: HIGHレベル(DC)出力 [R27]

LOWレベル(DC)出力 [R26]

読み出し: 可能

PTOUTはTOUTおよびTOUT信号の出力制御レジスタで、"1"を設定するとTOUT信号がR27出力ポート端子から、TOUT信号がR26出力ポート端子から出力され、"0"を設定するとR27端子はHIGH(V_{DD})レベル、R26端子はLOW(V_{SS})レベルとなります。

TOUT出力を行う場合、データレジスタR27Dには常時"1"が設定されている必要があります。TOUT出力を行うにはマスクオプションでR26端子をTOUT出力に設定しておくことが必要です。

イニシャルリセット時、PTOUTは"0"(DC出力)に設定されます。

FOUTON: 00FF40H·D3

FOUT(fosc1/fosc3分周クロック)信号の出力制御を行います。

"1"書き込み: FOUT信号出力

"0"書き込み: HIGHレベル(DC)出力

読み出し: 可能

FOUTONはFOUT信号の出力制御レジスタで、"1"を設定するとFOUT信号がR34出力ポート端子から出力され、"0"を設定するとHIGH(V_{DD})レベルが出力されます。

このとき、データレジスタR34Dには常時"1"が設定されている必要があります。

イニシャルリセット時、FOUTONは"0"(HIGHレベル出力)に設定されます。

FOUT0, FOUT1, FOUT2: 00FF40H·D4, D5, D6

FOUT信号の周波数を表5.5.6.2のとおり設定します。

表5.5.6.2 FOUT周波数の設定

FOUT2	FOUT1	FOUT0	FOUT周波数
0	0	0	fosc1 / 1
0	0	1	fosc1 / 2
0	1	0	fosc1 / 4
0	1	1	fosc1 / 8
1	0	0	fosc3 / 1
1	0	1	fosc3 / 2
1	1	0	fosc3 / 4
1	1	1	fosc3 / 8

fosc1: OSC1発振周波数

fosc3: OSC3発振周波数

イニシャルリセット時、本レジスタは"0"(fosc1/1)に設定されます。

BZON: 00FF44H·D0

ブザー(BZ、B \bar{Z})信号の出力制御を行います。

- "1"書き込み: BZおよびB \bar{Z} 信号出力
- "0"書き込み: LOWレベル(DC)出力 [R50]
HIGHレベル(DC)出力 [R51]

読み出し: 可能

BZONはBZおよびB \bar{Z} 信号の出力制御レジスタで、"1"を設定するとBZ信号がR50出力ポート端子から、B \bar{Z} 信号がR51出力ポート端子から出力され、"0"を設定するとR50端子はLOW(V_{ss})、R51端子はHIGH(V_{DD})レベルとなります。

BZ出力をを行う場合、データレジスタR50Dには常時"0"が設定されている必要があります。B \bar{Z} 出力をを行うにはマスクオプションでR51端子をB \bar{Z} 出力に設定しておくことが必要です。

イニシャルリセット時、BZONは"0"(DC出力)に設定されます。

BZSHT: 00FF44H·D5

ワンショットブザー出力の制御を行います。

- "1"書き込み: トリガ
- "0"書き込み: ノーオペレーション
- "1"読み出し: BUSY
- "0"読み出し: READY

BZSHTに"1"を書き込むことによってワンショット出力回路が動作し、R50、R51端子からそれぞれBZ、B \bar{Z} 信号が出力されます。このブザー出力はSHTPWによって設定した時間の経過後に自動的にOFFとなります。

BZ出力をを行う場合、データレジスタR50Dには常時"0"が設定されている必要があります。BZ出力をを行うにはマスクオプションでR51端子をBZ出力に設定しておくことが必要です。

ワンショット出力は通常のブザー出力がOFF(BZON="0")の状態でのみ有効で、ON(BZON="1")状態でのトリガは無効となります。ワンショット出力中に再トリガを行った場合は、その時点からSHTPWによって設定した時間を計測し直します。(時間延長)

ワンショット出力回路の動作状態はBZSHTを読み出すことによって確認することができ、ワンショット出力(BUSY)中は"1"、OFF(READY)時は"0"が読み出せます。

イニシャルリセット時、BZSHTは"0"(READY)に設定されます。

BZSTP: 00FF44H·D6

ワンショットブザー出力の強制停止を行います。

- "1"書き込み: 強制停止
- "0"書き込み: ノーオペレーション
- 読み出し: 常時"0"

BZSTPに"1"を書き込むことによって、SHTPWによる設定時間が経過する以前にワンショットブザー出力を強制停止させることができます。

BZSTPへの"0"書き込みおよびワンショットブザー出力中以外の"1"書き込みは無効となります。なお、BZSHTとBZSTPに同時に"1"を書き込んだ場合はBZSTPが優先され、ワンショットブザー出力は停止状態となります。

BZSTPは書き込み専用のため、読み出し時は常時"0"となります。

5.5.7 プログラミング上の注意事項

- (1) 特殊出力(TOUT、T $\bar{O}UT$ 、FOUT、BZ、B \bar{Z})信号は出力制御レジスタ(PTOUT、FOUTON、BZON、BZSHT、BZSTP)とは非同期に発生していますので、出力制御レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- (2) 特殊出力(TOUT、T $\bar{O}UT$ 、FOUT、BZ、B \bar{Z})信号がイネーブルの状態でSLP命令を実行した場合は、SLEEP状態からの復帰時に特殊出力に不安定なクロックが出力されます。したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前に特殊出力信号をディセーブル状態に設定してください。
- (3) FOUTの周波数を" $fosc3/n$ "とする場合は、FOUTを出力する以前にOSC3の発振をONさせる必要があります。
なお、OSC3発振回路をONにしてから発振が安定するまでに数msec～数10msecの時間を必要とします。したがって、不安定なFOUT信号が外部に出力されることで不具合が生じる場合はOSC3発振ONの後、充分な待ち時間をおいてからFOUTの出力を行ってください。(発振開始時間は発振子、外付け部品によって変動します。
"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)
イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

5.6 入出力兼用ポート(Pポート)

5.6.1 入出力兼用ポートの構成

S1C88816は16ビット(P00～P07、P10～P17)の入出力兼用(I/O)ポートを内蔵しています。

図5.6.1.1に入出力兼用ポートの構造を示します。

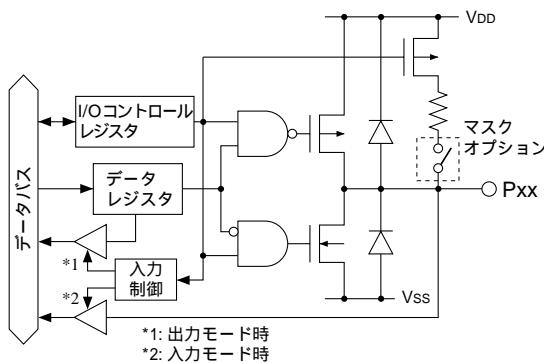


図5.6.1.1 入出力兼用ポートの構造

入出力兼用ポートは1ビットごとにモード、または出力モードを設定することができます。この設定はI/Oコントロールレジスタにデータを書き込むことによって行います。

入出力兼用ポートP10～P13はシリアルインターフェースの入出力端子と、P14～P17はA/D変換器の入力端子共用されており、どちらの用途で使用するかをソフトウェアによって選択することができます。

シリアルインターフェースについては"5.7シリアルインターフェース"を、A/D変換器については"5.15 A/D変換器"を参照してください。

シリアルインターフェースの出力端子に設定される入出力兼用ポートのデータレジスタとI/Oコントロールレジスタは、端子の入出力には影響を与えないリード/ライト可能な汎用レジスタとして使用することができます。また、シリアルインターフェースおよびA/D変換器の入力端子に設定される入出力兼用ポートのI/Oコントロールレジスタも同様に、汎用レジスタとして使用することができます。

5.6.2 マスクオプション

入出力兼用ポートプルアップ抵抗		
P00	抵抗あり	ゲート直接
P01	抵抗あり	ゲート直接
P02	抵抗あり	ゲート直接
P03	抵抗あり	ゲート直接
P04	抵抗あり	ゲート直接
P05	抵抗あり	ゲート直接
P06	抵抗あり	ゲート直接
P07	抵抗あり	ゲート直接
P10	抵抗あり	ゲート直接
P11	抵抗あり	ゲート直接
P12	抵抗あり	ゲート直接
P13	抵抗あり	ゲート直接
P14	抵抗あり	ゲート直接
P15	抵抗あり	ゲート直接
P16	抵抗あり	ゲート直接
P17	抵抗あり	ゲート直接

入出力兼用ポートP00～P07、P10～P17にはモードにおいてONするプルアップ抵抗が内蔵されており、これを使用するかしないかを各ポート(1ビット)ごとに選択することができます。

"抵抗あり"を選択した場合、モード時にプルアップ抵抗がONします。

内蔵プルアップ抵抗によって、ポート端子をLOWレベルからHIGHレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入出力兼用ポートの取り込みには適切な待ち時間の設定が必要となります。待ち時間は以下の式で求められる値以上を設定してください。

$$\text{待ち時間} = R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6 [\text{sec}]$$

R_{IN}: プルアップ抵抗Max.値

C_{IN}: 端子容量Max.値

使用しない入出力兼用ポートについては、デフォルトの"抵抗あり"を選択してください。

A/D変換器の入力に使用するポートには、"ゲート直接"を選択してください。

5.6.3 I/Oコントロールレジスタと 入力/出力モード

入出力兼用ポートP00～P07、P10～P17は、それぞれのビットに対応したI/Oコントロールレジスタ IOC00～IOC07、IOC10～IOC17にデータを書き込むことによって、入力モードあるいは出力モードに設定されます。

入力モードに設定する場合はI/Oコントロールレジスタに"0"を書き込みます。入力モードに設定された入出力兼用ポートは、ハイインピーダンス状態となり入力ポートとして機能します。

入力モード時の読み出しでは入力端子の状態が直接読み込まれ、そのデータは入力端子がHIGH(VDD)レベルのときに"1"、LOW(Vss)レベルのときに"0"となります。

マスクオプションで内蔵ブルアップ"抵抗あり"を選択した場合は、入力モード時にポート端子がブルアップされます。

入力モード時においても、端子の状態に影響を与えることなくデータレジスタに対して書き込みを行えます。

出力モードに設定する場合はI/Oコントロールレジスタに"1"を書き込みます。出力モードに設定された入出力兼用ポートは出力ポートとして機能し、ポート出力データが"1"の場合にHIGH(VDD)レベル、"0"の場合にLOW(Vss)レベルを出力します。出力モード時の読み出しでは、データレジスタの内容が読み込まれます。

イニシャルリセット時、I/Oコントロールレジスタは"0"(入出力兼用ポートは入力モード)に設定されます。

5.6.4 入出力兼用ポートのI/Oメモリ

表5.6.4.1に入出力兼用ポートの制御ビットを示します。

表5.6.4.1 入出力兼用ポートの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF60	D7	IOC07	P07 I/Oコントロールレジスタ	出力	入力	0	R/W	
	D6	IOC06	P06 I/Oコントロールレジスタ			0	R/W	
	D5	IOC05	P05 I/Oコントロールレジスタ			0	R/W	
	D4	IOC04	P04 I/Oコントロールレジスタ			0	R/W	
	D3	IOC03	P03 I/Oコントロールレジスタ			0	R/W	
	D2	IOC02	P02 I/Oコントロールレジスタ			0	R/W	
	D1	IOC01	P01 I/Oコントロールレジスタ			0	R/W	
	D0	IOC00	P00 I/Oコントロールレジスタ			0	R/W	
00FF61	D7	IOC17	P17 I/Oコントロールレジスタ	出力	入力	0	R/W	
	D6	IOC16	P16 I/Oコントロールレジスタ			0	R/W	
	D5	IOC15	P15 I/Oコントロールレジスタ			0	R/W	
	D4	IOC14	P14 I/Oコントロールレジスタ			0	R/W	
	D3	IOC13	P13 I/Oコントロールレジスタ			0	R/W	
	D2	IOC12	P12 I/Oコントロールレジスタ			0	R/W	
	D1	IOC11	P11 I/Oコントロールレジスタ			0	R/W	
	D0	IOC10	P10 I/Oコントロールレジスタ			0	R/W	
00FF62	D7	P07D	P07 入出力兼用ポートデータ	High	Low	1	R/W	
	D6	P06D	P06 入出力兼用ポートデータ			1	R/W	
	D5	P05D	P05 入出力兼用ポートデータ			1	R/W	
	D4	P04D	P04 入出力兼用ポートデータ			1	R/W	
	D3	P03D	P03 入出力兼用ポートデータ			1	R/W	
	D2	P02D	P02 入出力兼用ポートデータ			1	R/W	
	D1	P01D	P01 入出力兼用ポートデータ			1	R/W	
	D0	P00D	P00 入出力兼用ポートデータ			1	R/W	
00FF63	D7	P17D	P17 入出力兼用ポートデータ	High	Low	1	R/W	
	D6	P16D	P16 入出力兼用ポートデータ			1	R/W	
	D5	P15D	P15 入出力兼用ポートデータ			1	R/W	
	D4	P14D	P14 入出力兼用ポートデータ			1	R/W	
	D3	P13D	P13 入出力兼用ポートデータ			1	R/W	
	D2	P12D	P12 入出力兼用ポートデータ			1	R/W	
	D1	P11D	P11 入出力兼用ポートデータ			1	R/W	
	D0	P10D	P10 入出力兼用ポートデータ			1	R/W	

P00D~P07D: 00FF62H**P10D~P17D: 00FF63H**

入出力兼用ポート端子のデータの読み出し、および出力データの設定を行います。

データ書き込み時

"1"書き込み: HIGHレベル

"0"書き込み: LOWレベル

入出力兼用ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力兼用ポート端子に出力されます。ポートデータとして"1"を書き込んだ場合はポート端子はHIGH(VDD)レベルとなり、"0"を書き込んだ場合はLOW(Vss)レベルとなります。入力モードの場合もポートデータの書き込みは行えます。

データ読み出し時

"1"読み出し: HIGHレベル ("1")

"0"読み出し: LOWレベル ("0")

入出力兼用ポートが入力モードの場合はポート端子に入力されている電圧レベルが読み出されます。端子電圧がHIGH(VDD)レベルの場合は"1"、LOW(Vss)レベルの場合は"0"がそれぞれ入力データとして読み出されます。また、出力モードの場合はデータレジスタの内容が読み出されます。イニシャルリセット時、本レジスタはすべて"1"(HIGHレベル)に設定されます。

シリアルインターフェースの出力端子に設定される入出力兼用ポートのデータレジスタは、端子の入出力には影響を与えないリード/ライト可能な汎用レジスタとして使用することができます。

IOC00~IOC07: 00FF60H**IOC10~IOC17: 00FF61H**

入出力兼用ポートの入力/出力モードを設定します。

"1"書き込み: 出力モード

"0"書き込み: 入力モード

読み出し: 可能

IOCは各入出力兼用ポートにビット単位で対応するI/Oコントロールレジスタです。IOCレジスタに"1"を書き込むと対応する入出力兼用ポートが出力モードとなり、"0"を書き込むと入力モードとなります。

イニシャルリセット時、本レジスタはすべて"0"(入力モード)に設定されます。

シリアルインターフェースおよびA/D変換器用の端子に設定される入出力兼用ポートのI/Oコントロールレジスタは、端子の入出力には影響を与えないリード/ライト可能な汎用レジスタとして使用することができます。

5.6.5 プログラミング上の注意事項

内蔵プルアップ抵抗によって、ポート端子をLOWレベルからHIGHレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入出力兼用ポートの取り込みには適切な待ち時間の設定が必要となります。待ち時間は以下の式で求められる値以上を設定してください。

$$\text{待ち時間} = R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6 [\text{sec}]$$

R_{IN} : プルアップ抵抗Max.値

C_{IN} : 端子容量Max.値

5.7 シリアルインターフェース

5.7.1 シリアルインターフェースの構成

S1C88816はクロック同期式または調歩同期式の選択が可能な全二重方式(調歩同期式選択時)のシリアルインターフェースを内蔵しています。

転送方式はソフトウェアによって選択でき、クロック同期式を選択した場合は8ビットのデータ転送が可能です。調歩同期式では7ビットまたは8ビットのデータ転送が可能で、受信データのパリティチェックおよび送信データへのパリティビットの付加もソフトウェア選択によって自動的に行えます。

図5.7.1.1にシリアルインターフェースの構成を示します。

シリアルインターフェースの入出力端子SIN、SOUT、SCLK、SRDYは入出力兼用ポートP10～P13と共に用いており、シリアルインターフェースの入出力端子として用いる場合はレジスタESIF、SMD0およびSMD1によってその設定を行います。(イニシャルリセット時は入出力兼用ポート端子に設定されます。)

シリアルインターフェースの入出力端子に設定される入出力兼用ポート端子はそれぞれの信号と転送モードによって入出力方向が設定され、対応する入出力兼用ポートのI/Oコントロールレジスタの設定は無効となります。

表5.7.1.1 入出力端子の構成

端子	シリアルインターフェース選択時
P10	SIN
P11	SOUT
P12	<u>SCLK</u>
P13	<u>SRDY</u>

* 転送モードにより使用する端子が異なります。

SIN、SOUTはそれぞれシリアルデータの入力、出力端子で、クロック同期式および調歩同期式ともに共通です。SCLKはクロック同期式専用で、同期クロックの入出力端子となります。SRDYはクロック同期式スレーブモード専用で、送受信レディ信号の出力端子となっています。調歩同期式を選択した場合はSCLKおよびSRDYを使用しませんので、P12、P13入出力兼用ポート端子は入出力兼用ポートとして使用することができます。

同様に、クロック同期式マスタモードを選択した場合はSRDYを使用しませんので、P13入出力兼用ポート端子は入出力兼用ポートとして使用することができます。

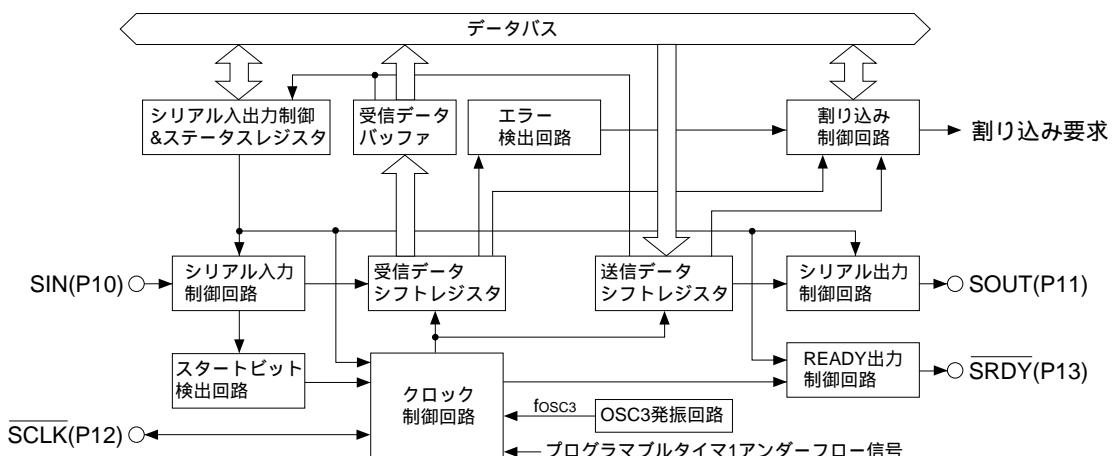


図5.7.1.1 シリアルインターフェースの構成

5.7.2 マスクオプション

シリアルインターフェースの入出力端子は入出力兼用ポートと共用されているため、入出力兼用ポートのマスクオプション設定によってシリアルインターフェースの端子仕様も必然的に決定されます。

入出力兼用ポートプルアップ抵抗		
P10(SIN)	抵抗あり	ゲート直接
P12(SCLK)	抵抗あり	ゲート直接

入出力兼用ポートの各端子には入力モード時においてONするプルアップ抵抗が内蔵されており、これを使用するかしないかを各ポート(1ビット)ごとに選択することができます。シリアルインターフェース使用時に入力端子となるP10(SIN)、P12(SCLK)端子は、入出力兼用ポートのオプション設定によって端子仕様(プルアップを使用するかしないか)が決定されます。

シリアルI/Fモードで"ゲート直接"を選択した場合は、それぞれの入力端子がフローティング状態にならないよう注意してください。

5.7.3 転送モード

シリアルインターフェースの転送モードは、モード選択レジスタSMD0およびSMD1の2ビットの設定によって以下の4種類が選択できます。

表5.7.3.1 転送モード

SMD1	SMD0	モード
1	1	調歩同期式8ビット
1	0	調歩同期式7ビット
0	1	クロック同期式スレーブ
0	0	クロック同期式マスター

表5.7.3.2 転送モードによる端子設定

モード	SIN	SOUT	SCLK	SRDY
調歩同期式8ビット	入力	出力	P12	P13
調歩同期式7ビット	入力	出力	P12	P13
クロック同期式スレーブ	入力	出力	入力	出力
クロック同期式マスター	入力	出力	出力	P13

イニシャルリセット時はクロック同期式マスタモードに設定されます。

クロック同期式マスタモード

本モードでは、内蔵シフトレジスタの同期クロックとして内部クロックを使用する、本シリアルインターフェースをマスターとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックはSCLK端子からも出力され、外部(スレーブ側)のシリアル入出力デバイスを制御することができます。

このモードではSRDY端子を使用しませんので、この端子を入出力兼用ポートとして使用することができます。

図5.7.3.1(a)にクロック同期式マスタモードにおける入出力端子の接続例を示します。

クロック同期式スレーブモード

本モードでは、外部(マスター側)のシリアル入出力デバイスから供給される同期クロックを使用する、本シリアルインターフェースをスレーブとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックはSCLK端子より入力し、本シリアルインターフェースの同期クロックとして使用します。

また、SRDY端子からは送受信レディ状態を示すSRDY信号がシリアルインターフェースの動作状態にしたがって出力されます。

スレーブモードではクロック源を選択するレジスタSCS0、SCS1の設定が無効となります。

図5.7.3.1(b)にクロック同期式スレーブモードにおける入出力端子の接続例を示します。

調歩同期式7ビットモード

このモードでは、調歩同期式7ビット転送が行えます。データ受信時のパリティチェックおよびデータ送信時のパリティビットの付加(奇数/偶数/なし)を指定でき、データをパリティなし7ビットまたはパリティ付き7ビットとして処理できます。このモードでは内部クロックを使用しますので、SCLK端子は使用しません。また、SRDY端子も使用しませんので、この2つの端子は入出力兼用ポートとして使用することができます。

図5.7.3.1(c)に調歩同期式モードにおける入出力端子の接続例を示します。

調歩同期式8ビットモード

このモードでは、調歩同期式8ビット転送が行えます。データ受信時のパリティチェックおよびデータ送信時のパリティビットの付加(奇数/偶数/なし)を指定でき、データをパリティなし8ビットまたはパリティ付き8ビットとして処理できます。このモードでは内部クロックを使用しますので、SCLK端子は使用しません。また、SRDY端子も使用しませんので、この2つの端子は入出力兼用ポートとして使用することができます。

図5.7.3.1(c)に調歩同期式モードにおける入出力端子の接続例を示します。

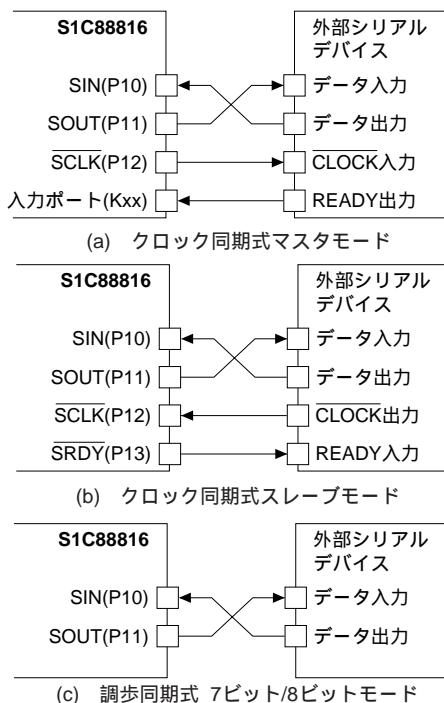


図5.7.3.1 シリアルインターフェース入出力端子の接続例

5.7.4 クロック源

クロック源はクロック選択レジスタSCS0、SCS1の2ビットの設定によって以下の4種類が選択できます。

表5.7.4.1 クロック源

SCS1	SCS0	クロック源
1	1	プログラマブルタイマ
1	0	fosc3 / 4
0	1	fosc3 / 8
0	0	fosc3 / 16

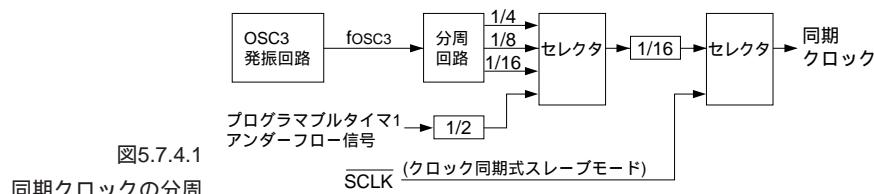


図5.7.4.1 同期クロックの分周

表5.7.4.2 転送速度とOSC3発振周波数

転送速度 (bps)	OSC3発振周波数/プログラマブルタイマの設定					
	fosc3=3.072MHz		fosc3=4.608MHz		fosc3=4.9152MHz	
	PSC1X	RLD1X	PSC1X	RLD1X	PSC1X	RLD1X
9,600	0 (1/1)	09H	0 (1/1)	0EH	0 (1/1)	0FH
4,800	0 (1/1)	13H	0 (1/1)	1DH	0 (1/1)	1FH
2,400	0 (1/1)	27H	0 (1/1)	3BH	0 (1/1)	3FH
1,200	0 (1/1)	4FH	0 (1/1)	77H	0 (1/1)	7FH
600	0 (1/1)	9FH	0 (1/1)	EFH	0 (1/1)	FFH
300	1 (1/4)	4FH	1 (1/4)	77H	1 (1/4)	7FH
150	1 (1/4)	9FH	1 (1/4)	EFH	1 (1/4)	FFH

5.7.5 送受信の制御

以下に送受信の制御を行うレジスタ等を説明します。送受信の制御手順と動作については次項よりモード別に説明しますので、そちらを参照してください。

シフトレジスタと受信データバッファ

本シリアルインタフェースには、送信と受信それぞれに専用のシフトレジスタが設けられています。このため、調歩同期式モード選択時には送信と受信を同時に使う全二重通信が可能です。

TRXD0～TRXD7に書き込まれた送信データはシフトレジスタによってシリアル変換され、SOUT端子から出力されます。

受信部にはシフトレジスタとは別に受信データバッファが設けられています。

受信時には、SIN端子から入力されたデータが、シフトレジスタによってパラレル変換され、受信データバッファに書き込まれます。

受信データバッファの読み出しをシリアル入力とは非同期にその動作中に行えるため、効率のよい連続受信が行えます。

ただし、クロック同期式モードではバッファ機能を使用しませんので、次のデータ受信が始まると前にデータを読み出す必要があります。

送信許可レジスタ、送信制御ビット

送信の制御には、送信許可レジスタTXENと送信制御ビットTXTRGを使用します。

送信許可レジスタTXENは送信の許可/禁止状態を設定するレジスタです。このレジスタに"1"を書き込んで送信を許可状態になると、シフトレジスタへのクロック入力がイネーブルとなり、データの送信が行える状態となります。クロック同期式モードでは、SCLK端子の同期クロック入出力もイネーブルとなります。

送信制御ビットTXTRGは送信開始のトリガとして使用します。

送信シフトレジスタに送信データを書き込み、送信準備ができたところでTXTRGに"1"を書き込み送信を開始させます。

割り込みを許可している場合は、送信が終了した時点で割り込みが発生します。

次の送信データがある場合は、この割り込みを利用してデータの書き込みを行うことができます。

また、TXTRGはステータスとして読み出しが可能で、"1"の場合は送信動作中、"0"の場合は送信停止中を示します。

詳細タイミングについては、各モードのタイミングチャートをそれぞれ参照してください。

なお、送信を行わない場合はTXENを"0"として、送信禁止状態に設定してください。

受信許可レジスタ、受信制御ビット

受信の制御には、受信許可レジスタRXENと受信制御ビットRXTRGを使用します。

受信許可レジスタRXENは受信の許可/禁止状態を設定するレジスタです。このレジスタに"1"を書き込んで受信を許可状態になると、シフトレジスタへのクロック入力がイネーブルとなり、データの受信が行える状態となります。クロック同期式モードでは、SCLK端子の同期クロック入出力もイネーブルとなります。これによって受信を開始し、SIN端子から入力されるシリアルデータをシフトレジスタに取り込みます。

受信制御ビットRXTRGは、クロック同期式と調歩同期式で若干動作が異なります。

クロック同期式でのRXTRGは受信開始のトリガとして使用します。

受信データを読み出し、次の受信準備ができたところでRXTRGに"1"を書き込み受信を開始させます。(スレーブモードではRXTRGに"1"を書き込んだところでSRDYが"0"となります。)

調歩同期式でのRXTRGは、次のデータの受信準備に使用します。受信データバッファにある受信データを読み出し、バッファが空となったことを知らせるためRXTRGに"1"を書き込みます。RXTRGに"1"を書き込まなかった場合は、次の受信が終了した時点でオーバーランエラーフラグOERが"1"にセットされます。(受信データを読み出す動作とRXTRGに"1"を書き込む動作との間に受信を終了した場合は、オーバーランエラーとなります。)

また、RXTRGはステータスとして読み出しが可能で、クロック同期式、調歩同期式どちらのモードでも"1"の場合は受信動作中、"0"の場合は受信停止中を示します。

詳細タイミングについては、各モードのタイミングチャートをそれぞれ参照してください。

なお、受信を行わない場合はRXENを"0"として、受信禁止状態に設定してください。

5.7.6 クロック同期式転送の動作

クロック同期式転送は8ビットデータを8個のクロックに同期させて転送する方式で、送信側、受信側で同じ同期クロックを使用します。本シリアルインターフェースをマスタモードで使用する場合はSCS0、SCS1で選択したクロックを1/16に分周したものが同期クロックとして使用され、さらにSCLK端子を通してスレーブ側(外部のシリアル入出力デバイス)に出力されます。スレーブモードで使用する場合は、マスタ側(外部のシリアル入出力デバイス)からSCLK端子に入力されたクロックを同期クロックとして使用します。

クロック同期式モードでは1本のクロックライン(SCLK)を送受信で共用するため、送信と受信を同時にすることはできません。(クロック同期式モードでは半二重通信となります。)

転送データは8ビット固定で、LSB(ビット0)を先頭として送受信が行われます。

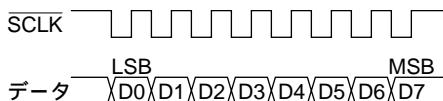


図5.7.6.1 クロック同期式の転送データフォーマット

以下にクロック同期式転送を行う場合の初期化および送受信の制御手順と動作について説明します。シリアルインターフェース割り込みについては"5.7.8 割り込み機能"を参照してください。

シリアルインターフェースの初期化

クロック同期式転送を行う場合には以下の初期設定を行う必要があります。

(1) 送受信禁止に設定

シリアルインターフェースの設定は、送信許可レジスタTXENおよび受信許可レジスタRXENにそれぞれ"0"を書き込んで、送受信を禁止にした状態で行ってください。

なお、この2つのレジスタは実際にデータ転送を開始するまで、禁止状態に固定してください。

(2) ポート選択

イニシャルリセット時、シリアルインターフェースの入出力端子SIN、SOUT、SCLK、SRDYは入出力兼用ポート端子P10～P13に設定されますので、シリアルインターフェースイネーブルレジスタESIFに"1"を書き込んでこれらの端子をシリアルインターフェース用に設定します。

(3) 転送モードの設定

モード選択レジスタSMD0およびSMD1の2ビットに以下のデータを書き込んでクロック同期式モードを選択します。

マスタモード SMD0 = "0"、SMD1 = "0"

スレーブモード SMD0 = "1"、SMD1 = "0"

(4) クロック源の選択

マスタモードの場合はクロック源選択レジスタSCS0、SCS1の2ビットにデータを書き込んで同期クロック源を選択します。(表5.7.4.1参照)
スレーブモードでは、この選択は不要です。

(2)～(4)の各レジスタは同一アドレス上に割り付けられていますので、1命令で一度に設定が可能です。

なお、このアドレスにはパリティイネーブルレジスタEPRも割り付けられていますが、クロック同期式モードではパリティを必要としないため、その設定内容にかかわらずパリティチェックは行われません。

(5) クロック源の制御

マスタモードを選択し、クロック源にプログラマブルタイマを選択した場合は、プログラマブルタイマ側で転送速度の設定を行ってください。("5.10 プログラマブルタイマ"参照)

OSC3発振回路の分周信号をクロック源として選択した場合は、データ転送を開始する以前にOSC3の発振をONさせる必要があります。("5.3 発振回路と動作モード"参照)

データの送信手順

送信時の制御手順と動作は以下のとおりです。

- (1) 送信許可レジスタTXENおよび受信許可レジスタRXENに"0"を書き込み、シリアルインターフェースをリセットします。
- (2) 送信許可レジスタTXENに"1"を書き込み、送信許可状態に設定します。
- (3) 送信するデータをTRXD0～TRXD7に書き込みます。
- (4) マスタモードの場合は、必要に応じてスレーブ側(外部シリアル入出力デバイス)の受信レディ状態を確認してください。受信レディ状態になるまで待ちます。
- (5) 送信制御ビットTXTRGに"1"を書き込み、送信を開始させます。

マスタモードであれば、この制御によって同期クロックがイネーブルとなり、送信用シフトレジスタに供給されるとともにSCLK端子から出力されます。

スレーブモードでは、SCLK端子に同期クロックが入力されるのを待ちます。

シフトレジスタの送信データは同期クロックの各立ち下がりエッジで1ビットずつシフトされ、SOUT端子より出力されます。最後のビット(MSB)が出力されると、次の送信が開始されるまでSOUT端子はそのレベルを保持します。

シフトレジスタのデータ送信が終了したところで、送信完了割り込み要因フラグFSTRAが"1"にセットされます。割り込みが許可されている場合は、この時点で送信完了割り込みが発生します。

本割り込みを利用して次の送信データをセットしてください。

- (6) 送信データのバイト数だけ(3)～(5)を繰り返し、送信が終了した時点で送信許可レジスタTXENに"0"を書き込み、送信禁止状態に設定します。

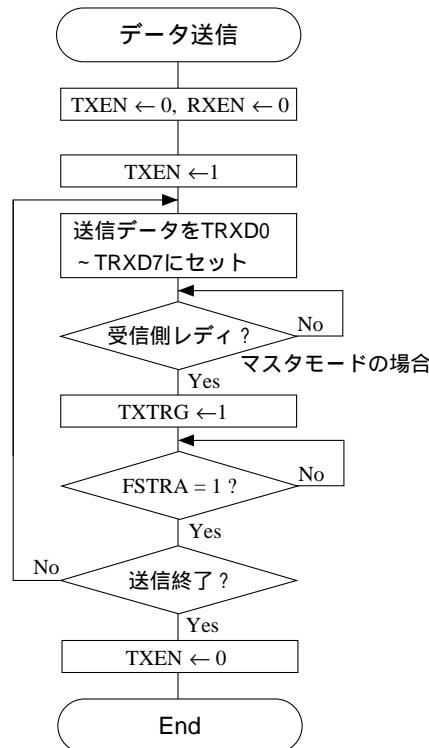


図5.7.6.2 クロック同期式の送信手順

データの受信手順

受信時の制御手順と動作は以下のとおりです。

- (1) 受信許可レジスタRXENおよび送信許可レジスタTXENに"0"を書き込み、シリアルインターフェースをリセットします。
- (2) 受信許可レジスタRXENに"1"を書き込み、受信許可状態に設定します。
- (3) マスタモードの場合は、必要に応じてスレーブ側(外部シリアル入出力デバイス)の送信レディ状態を確認してください。送信レディ状態になるまで待ちます。
- (4) 受信制御ビットRXTRGに"1"を書き込み、受信を開始させます。

マスタモードであれば、この制御によって同期クロックがイネーブルとなり、受信用シフトレジスタに供給されるとともにSCLK端子から出力されます。

スレーブモードでは、SCLK端子に同期クロックが入力されるのを待ちます。

SIN端子から入力される受信データは同期クロックの立ち上がりエッジに同期して順次シフトレジスタ内に取り込まれます。

8ビット目のデータが同期クロック最後(8個目)の立ち上がりエッジで取り込まれたところで、シフトレジスタ内のデータが受信データバッファに転送され、受信完了割り込み要因フラグFSRECが"1"にセットされます。割り込みが許可されている場合は、この時点で受信完了割り込みが発生します。

- (5) 受信完了割り込みを利用して、受信データをTRXD0～TRXD7から読み出します。
- (6) 受信データのバイト数だけ(3)～(5)を繰り返し、受信が終了した時点で受信許可レジスタRXENに"0"を書き込み、受信禁止状態に設定します。

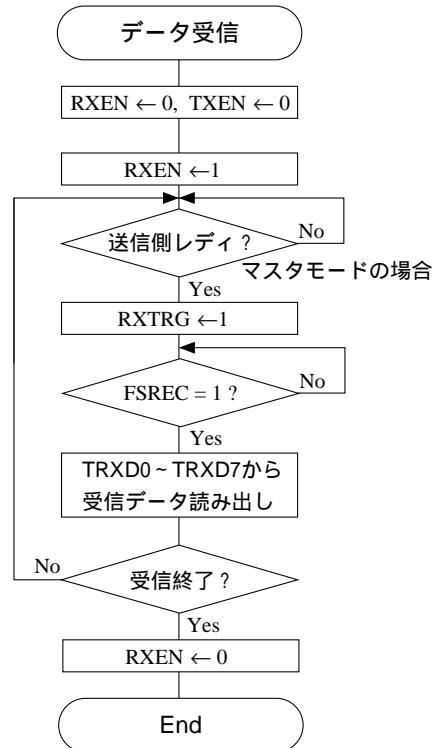


図5.7.6.3 クロック同期式の受信手順

送受信レディ(SRDY)信号

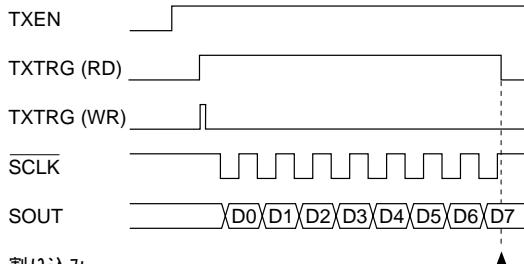
本シリアルインターフェースをクロック同期式スレーブモード(外部クロック入力)で使用する場合は、マスタ側(外部のシリアル入出力デバイス)に対して本シリアルインターフェースが送受信可能かどうかを示すSRDY信号が出力されます。この信号はSRDY端子から出力され、本インターフェースが送信または受信可能なREADY状態のときに"0"(LOWレベル)、送受信動作時などのBUSY状態のときに"1"(HIGHレベル)となります。

SRDY信号は送信制御ビットTXTRG、または受信制御ビットRXTRGに"1"を書き込んだ直後に"1"から"0"に変化し、初の同期クロックが入力された時点(立ち下がりエッジ)で"0"から"1"に戻ります。

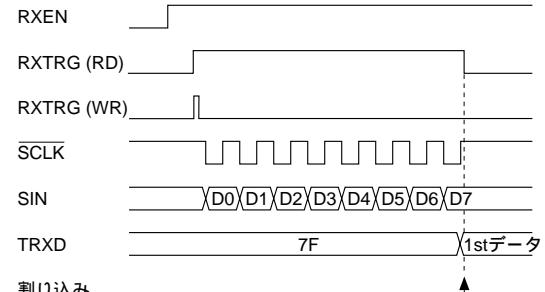
マスタモードに設定した場合は、スレーブ側から同様の信号を入力ポートまたは入出力兼用ポートを使用して取り込み、転送の制御を行ってください。この場合、SRDY端子は設定されずP13端子が入出力兼用ポートとして機能しますので、このポートをその制御にあてるこもできます。

タイミングチャート

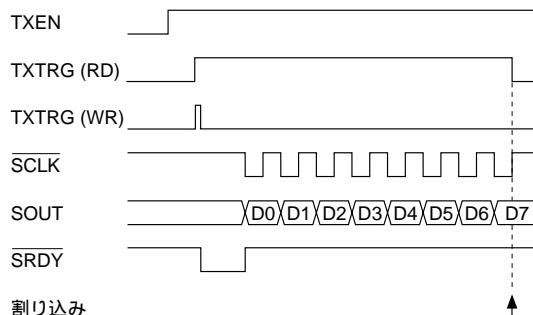
クロック同期式転送のタイミングチャートを図5.7.6.4に示します。



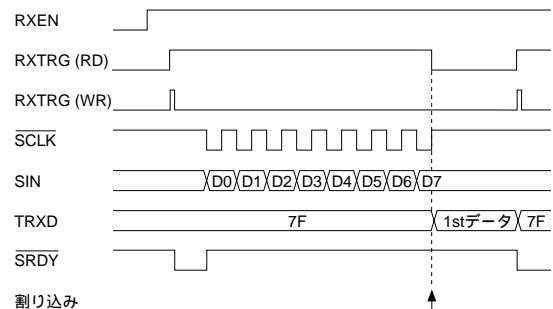
(a) マスタモード送信タイミング



(c) マスタモード受信タイミング



(b) スレーブモード送信タイミング



(d) スレーブモード受信タイミング

図5.7.6.4 タイミングチャート(クロック同期式転送)

5.7.7 調歩同期式転送の動作

調歩同期式転送は、シリアル変換した各データの前後にスタートビットとストップビットを付加して転送を行う方式です。この方式では、送信側、受信側それぞれ完全に同期の一一致したクロックを用いる必要はなく、各データの前後に付けられたスタート/ストップビットで同期をとりながら転送を行います。この転送モードを選択することによって、RS-232Cインターフェース機能などを容易に実現することができます。

本インターフェースは送受信個別にシフトレジスタを持っており、送受信が同時に使える全二重方式の転送が可能となっています。

転送データは、調歩同期式7ビットモードでは7ビットデータ(パリティなし)または7ビットデータ+パリティビットのいずれかが選択できます。調歩同期式8ビットモードでは8ビットデータ(パリティなし)または8ビットデータ+パリティビットのいずれかが同様に選択できます。パリティには偶数または奇数が選択でき、受信データのパリティチェックおよび送信データへのパリティビット付加を自動的に行います。したがって、プログラムでパリティデータそのものを意識する必要はありません。

スタートビット、ストップビットはそれぞれ1ビット固定で、データはLSB(ビット0)を先頭として送受信が行われます。

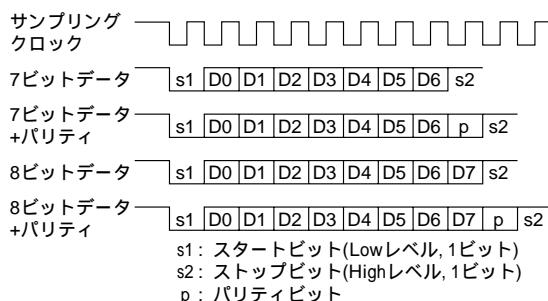


図5.7.7.1 調歩同期式の転送データフォーマット

以下に調歩同期式転送を行う場合の初期化および送受信の制御手順と動作について説明します。

シリアルインターフェース割り込みについては"5.7.8 割り込み機能"を参照してください。

シリアルインターフェースの初期化

調歩同期式転送を行う場合には以下の初期設定を行う必要があります。

(1) 送受信禁止に設定

シリアルインターフェースの設定は、送信許可レジスタTXENおよび受信許可レジスタRXENにそれぞれ"0"を書き込んで、送受信を禁止にした状態で行ってください。

なお、この2つのレジスタは実際にデータ転送を開始するまで、禁止状態に固定してください。

(2) ポート選択

イニシャルリセット時、シリアルインターフェースの入出力端子SIN、SOUTは入出力兼用ポート端子P10、P11に設定されますので、シリアルインターフェースイネーブルレジスタESIFに"1"を書き込んでこれらの端子をシリアルインターフェース用に設定します。

クロック同期式モードにおいて設定されるSCLK、SRDY端子は調歩同期式モードでは使用しません。これらの端子は入出力兼用ポート端子P12、P13として機能します。

(3) 転送モードの設定

モード選択レジスタSMD0およびSMD1の2ビット以下データを書き込んで調歩同期式モードを選択します。

7ビットモード SMD0 = "0"、SMD1 = "1"

8ビットモード SMD0 = "1"、SMD1 = "1"

(4) パリティビットの選択

パリティビットをチェックおよび付加する場合はパリティイネーブルレジスタEPRに"1"を書き込んで"パリティチェックあり"に設定してください。この設定によって、調歩同期式7ビットモードでは7ビットデータ+パリティビットのデータ構成に、調歩同期式8ビットモードでは8ビットデータ+パリティビットのデータ構成にそれぞれ設定されます。この場合、受信時のパリティチェックと送信時のパリティビット付加は、ハードウェアによって自動的に行われます。また、"パリティチェックあり"とした場合は、さらにパリティモード選択レジスタPMDによって、パリティを"奇数"とするか"偶数"とするかを、選択する必要があります。

レジスタPMDに"0"を書き込んで"パリティチェックなし"を選択すると、調歩同期式7ビットモードでは7ビットデータ(パリティなし)のデータ構成に、調歩同期式8ビットモードでは8ビットデータ(パリティなし)のデータ構成にそれぞれ設定され、パリティチェックおよびパリティビットの付加は行われません。

(5) クロック源の選択

クロック源選択レジスタSCS0およびSCS1の2ビットにデータを書き込んでクロック源を選択します。(表5.7.4.1参照)

(2)~(5)の各レジスタは同一アドレス上に割り付けられていますので、1命令で一度に設定が可能です。

(6) クロック源の制御

クロック源にプログラマブルタイマを選択した場合は、プログラマブルタイマ側で転送速度の設定を行ってください。("5.10 プログラマブルタイマ"参照)

OSC3発振回路の分周信号をクロック源として選択した場合は、データ転送を開始する以前にOSC3の発振をONさせる必要があります。("5.3 発振回路と動作モード"参照)

データの送信

送信時の制御手順と動作は以下のとおりです。

- (1) 送信許可レジスタTXENに"0"を書き込み、シリアルインターフェースをリセットします。
- (2) 送信許可レジスタTXENに"1"を書き込み、送信許可状態に設定します。
- (3) 送信するデータをTRXD0～TRXD7に書き込みます。
なお、7ビットデータ選択時は、TRXD7のデータは無効となります。
- (4) 送信制御ビットTXTRGに"1"を書き込み、送信を開始させます。

この制御によってシフトクロックがイネーブルとなり、その立ち下がりエッジに同期してスタートビット(LOW)がSOUT端子に出力されます。シフトレジスタに設定された送信データは、その後のクロックの各立ち下がりエッジで1ビットずつシフトされSOUT端子より出力されます。データ出力後はトップビット(HIGH)が出力され、次のスタートビットの出力までHIGHレベルが保持されます。

送信が終了したところで、送信完了割り込み要因フラグFSTRAが"1"にセットされます。割り込みが許可されている場合は、この時点で送信完了割り込みが発生します。

本割り込みを利用して次の送信データをセットしてください。

- (5) 送信データのバイト数だけ(3)～(4)を繰り返し、送信が終了した時点で送信許可レジスタTXENに"0"を書き込み、送信禁止状態に設定します。

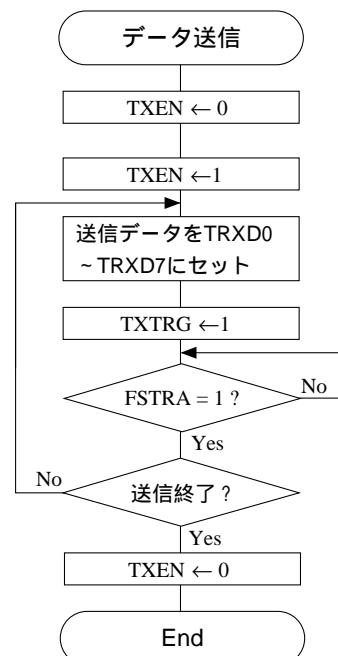


図5.7.7.2 調歩同期式の送信手順

データの受信

受信時の制御手順と動作は以下のとおりです。

- (1) 受信許可レジスタRXENに"0"を書き込んで受信禁止状態に設定し、パリティエラー、オーバーランエラー、フレーミングエラーの発生を示すPERフラグ、OERフラグ、FERフラグをそれぞれリセットします。
- (2) 受信許可レジスタRXENに"1"を書き込み、受信許可状態に設定します。

- (3) SIN端子にスタートビット(LOW)が入力された時点からシフトクロックがイネーブルとなり、受信データが2個目以降のクロックの立ち上がりエッジに同期して順次シフトレジスタ内に取り込まれます。

データビットが取り込まれた後、ストップビットがチェックされ、HIGHレベルでない場合にはフレーミングエラーとなり、エラー割り込み要因フラグFSERRが"1"にセットされます。割り込みが許可されている場合には、この時点でエラー割り込みが発生します。

受信が終了すると、シフトレジスタ内のデータが受信データバッファに転送され、受信完了割り込み要因フラグFSRECが"1"にセットされます。割り込みが許可されている場合には、この時点で受信完了割り込みが発生します。(オーバーランエラー発生時は割り込み要因フラグFSRECは"1"にセットされず、受信完了割り込みも発生しません。)

また、"パリティチェックあり"を選択している場合は、シフトレジスタから受信データバッファにデータが転送される際にパリティチェックが行われ、パリティエラーが検出された場合にはエラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合には、前記フレーミングエラー同様この時点でエラー割り込みが発生します。

- (4) 受信完了割り込みを利用して、受信データをTRXD0～TRXD7から読み出します。

- (5) 受信制御ビットRXTRGに"1"を書き込み、受信データが読み出されたことを知らせます。

RXTRGに"1"を書き込む以前に次のデータを受信すると、オーバーランエラーと認識され、エラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合には、前記フレーミングエラー、パリティエラー同様この時点でエラー割り込みが発生します。

- (6) 受信データのバイト数だけ(3)～(5)を繰り返し、受信が終了した時点で受信許可レジスタRXENに"0"を書き込み、受信禁止状態に設定します。

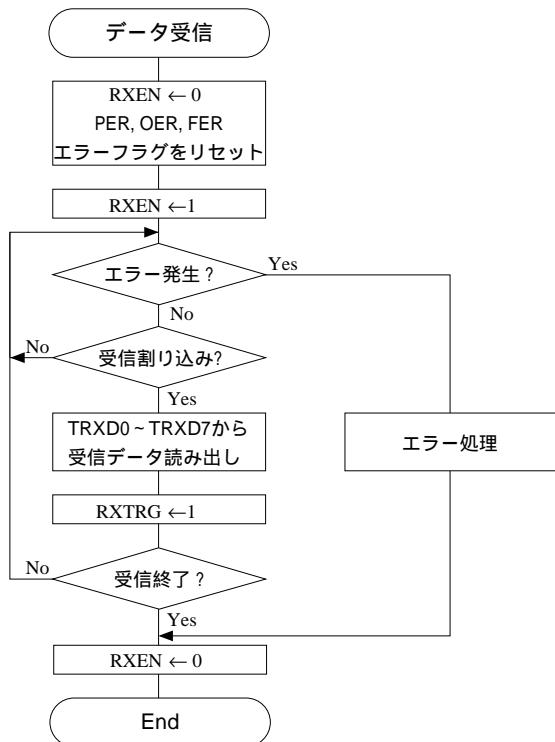


図5.7.7.3 調歩同期式の受信手順

受信エラー

受信時には以下の3種類のエラーを、割り込みによって検出することができます。

(1) パリティエラー

レジスタEPRに"1"を書き込んで"パリティチェックあり"を選択した場合には、受信時にパリティチェック(垂直パリティチェック)が行われます。これは送信データ(1キャラクタ)中の"1"のビット数の合計にパリティを加え、その数が奇数か偶数かをパリティビットにのせて送信し、それを受信側でチェックする方式です。パリティチェックはシフトレジスタに受信されたデータが受信データバッファに転送される際に行われ、データ(パリティビット含)中の"1"のビット数がレジスタPMDで設定した奇数または偶数パリティと整合がとれるかをチェックします。このとき、不整合となった場合にはパリティエラーと認識され、パリティエラーフラグPERおよびエラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグPERは"1"を書き込むことによって"0"にリセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。ただし、その時点での受信データはパリティエラーのため保証されません。

(2) フレーミングエラー

調歩同期式転送ではスタートビット("0")とストップビット("1")で1キャラクタごとに同期をとっています。ストップビットを"0"として受信した場合、シリアルインタフェースは同期ずれと判断してフレーミングエラーを発生します。

本エラーが発生すると、フレーミングエラーフラグFERおよびエラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグFERは"1"を書き込むことによって"0"にリセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。

(3) オーバーランエラー

RXTRGに"1"を書き込む前に次のデータを受信すると、前回の受信データが上書きされるためオーバーランエラーが発生します。

本エラーが発生すると、オーバーランエラーフラグOERおよびエラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグOERは"1"を書き込むことによって"0"にリセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。なお、RXTRGに"1"を書き込むタイミングと受信データが受信データバッファに転送されるタイミングが重なった場合は、オーバーランエラーと認識されます。

タイミングチャート

調歩同期式転送のタイミングチャートを図5.7.7.4に示します。

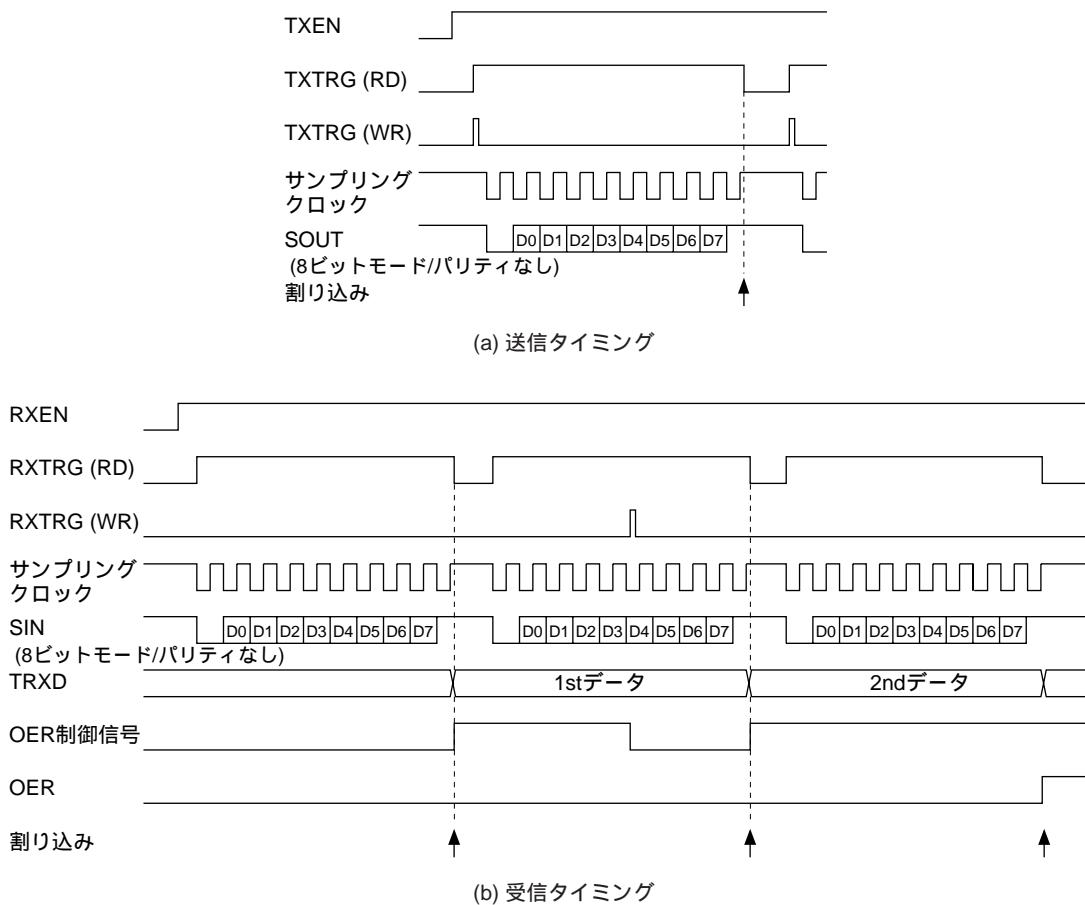


図5.7.7.4 タイミングチャート(調歩同期式転送)

5.7.8 割り込み機能

本シリアルインターフェースには以下に示す3種類の割り込みを発生させる機能があります。

- 送信完了割り込み
- 受信完了割り込み
- エラー割り込み

それぞれの割り込み要因に対して割り込み要因フラグFSxxxと割り込みイネーブルレジスタESxxxが設けられており、割り込みの許可/禁止をソフトウェアによって設定することができます。また、CPUに対するシリアルインターフェース割り込みの優先レベルを割り込みプライオリティレジスタPSIF0、PSIF1によって任意のレベル(0～3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については、“5.16 割り込みとスタンバイ状態”を参照してください。

図5.7.8.1にシリアルインターフェース割り込み回路の構成を示します。

送信完了割り込み

本割り込み要因は、シフトレジスタに書き込んだデータの送信が終了した時点で発生し、割り込み要因フラグFSTRAを“1”にセットします。

このとき、割り込みイネーブルレジスタESTRAが“1”で、かつ割り込みプライオリティレジスタPSIF0、PSIF1がインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込みイネーブルレジスタESTRAに“0”が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグFSTRAは“1”にセットされます。

割り込み要因フラグFSTRAは“1”を書き込むことによって“0”にリセットされます。

本割り込み要因の発生によって、次の送信データのセットと送信開始の制御(TXTRGに“1”を書き込む)を行うことができます。

本割り込み要因の例外処理ベクタアドレスは、000014Hに設定されています。

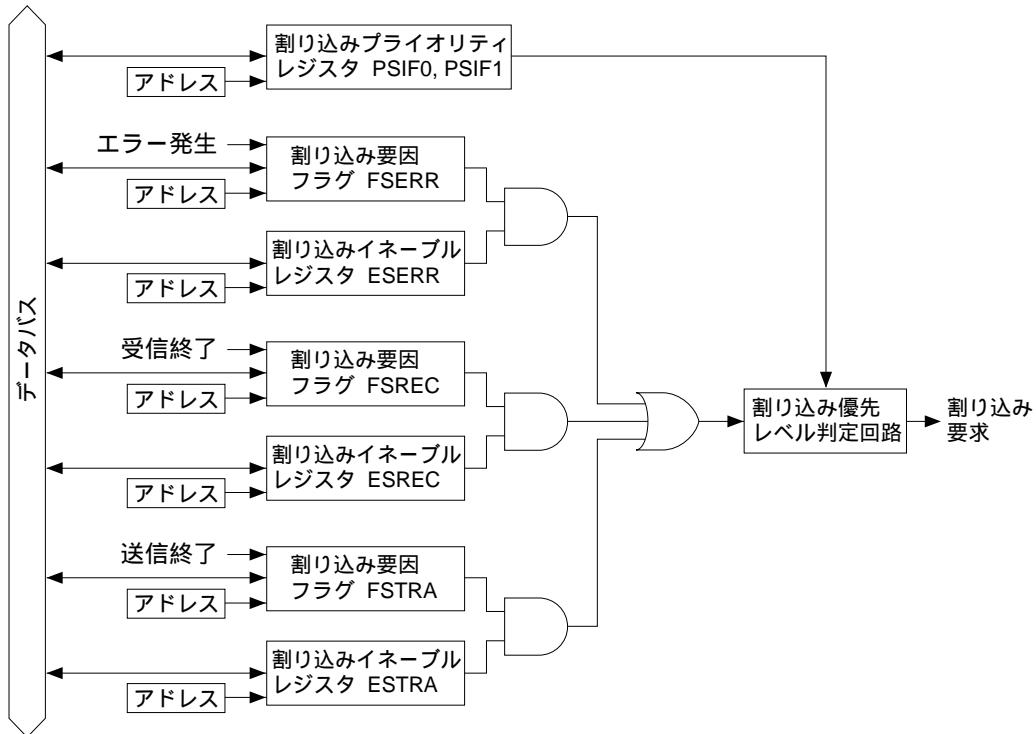


図5.7.8.1 シリアルインタフェース割り込み回路の構成

受信完了割り込み

本割り込み要因は、受信が完了してシフトレジスタに取り込まれた受信データが受信データバッファに転送された時点で発生し、割り込み要因フラグFSRECを"1"にセットします。このとき、割り込みイネーブルレジスタESRECが"1"で、かつ割り込みプライオリティレジスタPSIF0、PSIF1がインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込みイネーブルレジスタESRECに"0"が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグFSRECは"1"にセットされます。

割り込み要因フラグFSRECは"1"を書き込むことによって"0"にリセットされます。

本割り込み要因の発生により、受信データの読み出しが可能となります。

なお、パリティエラーおよびフレーミングエラー発生時にも割り込み要因フラグFSRECは"1"にセットされます。

本割り込み要因の例外処理ベクタアドレスは、000012Hに設定されています。

エラー割り込み

本割り込み要因は、受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された時点で発生し、割り込み要因フラグFSERRを"1"にセットします。このとき、割り込みイネーブルレジスタESERRが"1"で、かつ割り込みプライオリティレジスタPSIF0、PSIF1がインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込みイネーブルレジスタESERRに"0"が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグFSERRは"1"にセットされます。

割り込み要因フラグFSERRは"1"を書き込むことによって"0"にリセットされます。

3種類のエラーとも同一の割り込み要因となっていますので、発生したエラーの識別はエラーフラグPER(パリティエラー)、OER(オーバーランエラー)、FER(フレーミングエラー)で行ってください。

本割り込み要因の例外処理ベクタアドレスは、000010Hに設定されています。

5.7.9 シリアルインターフェースのI/Oメモリ

表5.7.9.1にシリアルインターフェースの制御ビットを示します。

表5.7.9.1(a) シリアルインターフェースの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF48	D7	-	-	-	-	-		読み出し時は"0"
	D6	EPR	パリティイネーブルレジスタ	パリティ付き	パリティなし	0	R/W	調歩同期式のみ
	D5	PMD	パリティモード選択	奇数	偶数	0	R/W	
	D4	SCS1	クロック源選択 SCS1 SCS0 クロック源			0	R/W	クロック同期式 スレーブモード では外部クロック が選択される
	D3	SCS0	1 1 プログラマブルタイム 1 0 fOSC3 / 4 0 1 fOSC3 / 8 0 0 fOSC3 / 16			0	R/W	
	D2	SMD1	シリアルI/Fモード選択 SMD1 SMD0 モード			0	R/W	
	D1	SMD0	1 1 調歩同期式8ビット 1 0 調歩同期式7ビット 0 1 クロック同期式スレーブ 0 0 クロック同期式マスター			0	R/W	
	D0	ESIF	シリアルI/Fイネーブルレジスタ	シリアルI/F	I/Oポート	0	R/W	
	D7	-	-	-	-	-		読み出し時は"0"
	D6	FER	フレーミングエラーフラグ	R W	エラー リセット(0)	エラーなし 無効	0	R/W
00FF49	D5	PER	パリティエラーフラグ	R W	エラー リセット(0)	エラーなし 無効	0	R/W
	D4	OER	オーバーランエラーフラグ	R W	エラー リセット(0)	エラーなし 無効	0	R/W
	D3	RXTRG	受信トリガ/ステータス	R W	受信中 トリガ	停止中 無効	0	R/W
	D2	RXEN	受信許可		許可	禁止	0	R/W
	D1	TXTRG	送信トリガ/ステータス	R W	送信中 トリガ	停止中 無効	0	R/W
	D0	TXEN	送信許可		許可	禁止	0	R/W
	D7	TRXD7	送受信データD7 (MSB)			X	R/W	
	D6	TRXD6	送受信データD6			X	R/W	
00FF4A	D5	TRXD5	送受信データD5			X	R/W	
	D4	TRXD4	送受信データD4			X	R/W	
	D3	TRXD3	送受信データD3			X	R/W	
	D2	TRXD2	送受信データD2			X	R/W	
	D1	TRXD1	送受信データD1			X	R/W	
	D0	TRXD0	送受信データD0 (LSB)			X	R/W	
	D7	PK01	K00 ~ K07割り込み	High Low	PK01 PK00 PSIF1 PSIFO PSW1 PSW0 PTM1 PTM0	0	R/W	
	D6	PK00	プライオリティレジスタ			0	R/W	
	D5	PSIF1	シリアルインターフェース割り込み			0	R/W	
	D4	PSIFO	プライオリティレジスタ			0	R/W	
	D3	PSW1	ストップウォッチタイム割り込み			1 1 レベル3	0	R/W
	D2	PSW0	プライオリティレジスタ			1 0 レベル2	0	R/W
	D1	PTM1	計時タイム割り込み			0 1 レベル1	0	R/W
	D0	PTM0	プライオリティレジスタ			0 0 レベル0	0	R/W

表5.7.9.1(b) シリアルインタフェースの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF23	D7	EPT1	プログラマブルタイム1割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D6	EPT0	プログラマブルタイム0割り込みイネーブルレジスタ			0	R/W	
	D5	EK1	K10割り込みイネーブルレジスタ			0	R/W	
	D4	EKOH	K04 ~ K07割り込みイネーブルレジスタ			0	R/W	
	D3	EK0L	K00 ~ K03割り込みイネーブルレジスタ			0	R/W	
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブルレジスタ			0	R/W	
	D1	ESREC	シリアルI/F(受信)割り込みイネーブルレジスタ			0	R/W	
	D0	ESTRA	シリアルI/F(送信)割り込みイネーブルレジスタ			0	R/W	
00FF25	D7	FPT1	プログラマブルタイム1割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W	
	D6	FPT0	プログラマブルタイム0割り込み要因フラグ			0	R/W	
	D5	FK1	K10割り込み要因フラグ			0	R/W	
	D4	FKOH	K04 ~ K07割り込み要因フラグ			0	R/W	
	D3	FK0L	K00 ~ K03割り込み要因フラグ	(W) リセット	(W) 無効	0	R/W	
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ			0	R/W	
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ			0	R/W	
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ			0	R/W	

ESIF: 00FF48H·D0

シリアルインターフェース用端子(P10 ~ P13)の設定を行います。

- "1"書き込み: シリアル入出力端子
- "0"書き込み: 入出力兼用ポート端子
- 読み出し: 可能

ESIFはシリアルインターフェースイネーブルレジスタで、"1"を書き込んだ場合はP10 ~ P13端子がシリアル入出力端子(SIN、SOUT、SCLK、SRDY)となり、"0"を書き込んだ場合は入出力兼用ポート端子となります。

なお、転送モードによる端子の設定は表5.7.3.2を参照してください。イニシャルリセット時、ESIFは"0"(入出力兼用ポート)に設定されます。

SMD0, SMD1: 00FF48H·D1, D2

転送モードを表5.7.9.2のとおり設定します。

表5.7.9.2 転送モードの設定

モード	SIN	SOUT	SCLK	SRDY
調歩同期式8ビット	入力	出力	P12	P13
調歩同期式7ビット	入力	出力	P12	P13
クロック同期式スレーブ	入力	出力	入力	出力
クロック同期式マスター	入力	出力	出力	P13

SMD0、SMD1は読み出しも可能です。

イニシャルリセット時、本レジスタは"0"(クロック同期式マスター)に設定されます。

SCS0, SCS1: 00FF48H·D3, D4

クロック源を表5.7.9.3のとおり選択します。

表5.7.9.3 クロック源の選択

SCS1	SCS0	クロック源
1	1	プログラマブルタイム
1	0	fosc3 / 4
0	1	fosc3 / 8
0	0	fosc3 / 16

SCS0、SCS1は読み出しも可能です。

クロック同期式スレーブモードでは、本レジスタの設定は無効です。

イニシャルリセット時、本レジスタは"0"(fosc3/16)に設定されます。

EPR: 00FF48H·D6

パリティ機能を選択します。

- "1"書き込み: パリティあり

- "0"書き込み: パリティなし

- 読み出し: 可能

受信データのパリティチェックおよび送信データへのパリティビットの付加を行うか行わないかを選択します。EPRに"1"を書き込むと受信データの最上位ビットがパリティビットと見なされてパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。"0"を書き込んだ場合はチェックおよび付加は行われません。

パリティは調歩同期式モードの場合にのみ有効で、クロック同期式モードではEPRの設定は無効となります。

イニシャルリセット時、EPRは"0"(パリティなし)に設定されます。

PMD: 00FF48H·D5

奇数パリティ/偶数パリティを選択します。

"1"書き込み: 奇数パリティ

"0"書き込み: 偶数パリティ

読み出し: 可能

PMDに"1"を書き込むと奇数パリティが選択され、"0"を書き込むと偶数パリティが選択されます。パリティチェックおよびパリティビットの付加はEPRに"1"が書き込まれている場合にのみ有効で、EPRに"0"が書き込まれている場合は、PMDによる奇数パリティ/偶数パリティの設定は無効となります。
イニシャルリセット時、PMDは"0"(偶数パリティ)に設定されます。

TXEN: 00FF49H·D0

シリアルインターフェースを送信許可状態に設定します。

"1"書き込み: 送信許可

"0"書き込み: 送信禁止

読み出し: 可能

TXENに"1"を書き込むとシリアルインターフェースが送信許可状態となり、"0"を書き込むと送信禁止状態となります。

シリアルインターフェースのモード初期設定等を行う場合は、TXENを"0"に設定してください。

イニシャルリセット時、TXENは"0"(送信禁止)に設定されます。

TXTRG: 00FF49H·D1

送信開始のトリガ/動作状態(送信中/停止中)を示すステータスとして機能します。

"1"読み出し: 送信中

"0"読み出し: 停止中

"1"書き込み: 送信開始

"0"書き込み: 無効

送信データを書き込んだ後、TXTRGに"1"を書き込むことで送信処理を開始します。

TXTRGはステータスとして読み出しが可能で、"1"の場合は送信動作中、"0"の場合は送信停止中を示します。

イニシャルリセット時、TXTRGは"0"(停止中)に設定されます。

RXEN: 00FF49H·D2

シリアルインターフェースを受信許可状態に設定します。

"1"書き込み: 受信許可

"0"書き込み: 受信禁止

読み出し: 可能

RXENに"1"を書き込むとシリアルインターフェースが受信許可状態となり、"0"を書き込むと受信禁止状態となります。

シリアルインターフェースのモード初期設定等を行う場合は、RXENを"0"に設定してください。

イニシャルリセット時、RXENは"0"(受信禁止)に設定されます。

RXTRG: 00FF49H·D3

受信開始のトリガ/次のデータの受信準備/動作状態(受信中/停止中)を示すステータスとして機能します。

"1"読み出し: 受信中

"0"読み出し: 停止中

"1"書き込み: 受信開始/次のデータの受信準備

"0"書き込み: 無効

RXTRGは、クロック同期式と調歩同期式で若干動作が異なります。

クロック同期式でのRXTRGは受信開始のトリガとして使用します。

受信データを読み出し、次の受信準備ができたところでRXTRGに"1"を書き込み受信を開始させます。(スレーブモードではRXTRGに"1"を書き込んだところでSRDYが"0"となります。)

調歩同期式でのRXTRGは、次のデータの受信準備に使用します。受信データバッファにある受信データを読み出し、バッファが空となったことを知らせるためRXTRGに"1"を書き込みます。

RXTRGに"1"を書き込まなかった場合、次の受信が終了した時点でオーバーランエラーフラグOERが"1"にセットされます。(受信データを読み出す動作とRXTRGに"1"を書き込む動作との間に受信を終了した場合はオーバーランエラーとなります。)

また、RXTRGはステータスとして読み出しが可能で、クロック同期式、調歩同期式どちらのモードでも"1"の場合は受信動作中、"0"の場合は受信停止中を示します。

イニシャルリセット時、RXTRGは"0"(停止中)に設定されます。

TRXD0~TRXD7: 00FF4AH**送信時**

送信データを送信シフトレジスタに書き込みます。

- "1"書き込み: HIGHレベル
- "0"書き込み: LOWレベル

送信開始前に送信データを書き込みます。

連続送信の場合、データの書き込みは送信完了割り込みを待ってから行ってください。

調歩同期式7ビットモードにおいてはTRXD7が無効となります。

SOUT端子からはシリアル変換されたデータが、"1"に設定されたビットがHIGH(V_{DD})レベル、"0"に設定されたビットがLOW(V_{SS})レベルとして出力されます。

受信時

受信データを読み出します。

- "1"読み出し: HIGHレベル
- "0"読み出し: LOWレベル

受信データバッファのデータが読み出せます。

シフトレジスタが本バッファとは別に設けられていますので、調歩同期式モードでは受信動作中にデータの読み出しが行えます。(クロック同期式モードではバッファ機能を使用しません。)

データの読み出しがは受信完了割り込みを待ってから行ってください。

調歩同期式7ビットモードにおいてパリティチェックを行っている場合、パリティビットに対応する8ビット目(TRXD7)には"0"がロードされます。

SIN端子から入力されたシリアルデータはHIGH(V_{DD})レベルのビットを"1"、LOW(V_{SS})レベルのビットを"0"としてパラレル変換され、本バッファにロードされます。

イニシャルリセット時、バッファの内容は不定となります。

OER: 00FF49H·D4

オーバーランエラーの発生を示します。

- "1"読み出し: エラーあり
- "0"読み出し: エラーなし
- "1"書き込み: "0"にリセット
- "0"書き込み: 無効

OERはオーバーランエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。オーバーランエラーは調歩同期式モードの受信において、RXTRGに"1"を書き込む前に次のデータの受信を完了した場合に発生します。

OERは"1"を書き込むことで"0"にリセットされます。イニシャルリセット時、およびRXENが"0"のときOERは"0"(エラーなし)に設定されます。

PER: 00FF49H·D5

パリティエラーの発生を示します。

- "1"読み出し: エラーあり
- "0"読み出し: エラーなし
- "1"書き込み: "0"にリセット
- "0"書き込み: 無効

PERはパリティエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。

パリティエラーは調歩同期式モードでパリティチェックを行っている場合に、パリティの合っていないデータを受信すると発生します。

PERは"1"を書き込むことで"0"にリセットされます。イニシャルリセット時、およびRXENが"0"のとき、PERは"0"(エラーなし)に設定されます。

FER: 00FF49H·D6

フレーミングエラーの発生を示します。

- "1"読み出し: エラーあり
- "0"読み出し: エラーなし
- "1"書き込み: "0"にリセット
- "0"書き込み: 無効

FERはフレーミングエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。

フレーミングエラーは調歩同期式モードの受信において、ストップビットが"0"になっていた場合に発生します。

FERは"1"を書き込むことで"0"にリセットされます。イニシャルリセット時、およびRXENが"0"のときFERは"0"(エラーなし)に設定されます。

PSIF0, PSIF1: 00FF20H·D4, D5

シリアルインターフェース割り込みの優先レベルを設定します。

PSIF0、PSIF1はシリアルインターフェース割り込みに対応した割り込みプライオリティレジスタで、設定できる割り込み優先レベルは表5.7.9.4のとおりです。

表5.7.9.4 割り込み優先レベルの設定

PSIF1	PSIF0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

ESTRA, ESREC, ESERR: 00FF23H·D0, D1, D2

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

ESTRA、ESREC、ESERRはそれぞれ送信完了、受信完了、受信エラーの割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

FSTRA, FSREC, FSERR: 00FF25H·D0, D1, D2

シリアルインタフェース割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

FSTRA、FSREC、FSERRはそれぞれ送信完了、受信完了、受信エラーの割り込みに対応する割り込み要因フラグで、それぞれの要因の発生により"1"にセットされます。

送信完了割り込み要因は、シフトレジスタのデータ送信が終了したところで発生します。

受信完了割り込み要因は、受信データが受信データバッファに転送されたところで発生します。

受信エラー割り込み要因は、データ受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された場合に発生します。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0, I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、本フラグはすべて"0"にリセットされます。

5.7.10 プログラミング上の注意事項

(1) シリアルインタフェースのモード初期設定は、送受信が禁止の状態(TXEN=RXEN="0")で行ってください。

(2) シリアルインタフェースが送信(受信)中のときは、TXTRG(RXTRG)に対して二重トリガ("1"書き込み)は行わないでください。また、SLP命令も実行しないでください。(SLP命令を実行する場合はTXEN=RXEN="0"としてください。)

(3) クロック同期式モードでは1本のクロックライン(SCLK)を送受信で共用するため、送信と受信を同時にすることはできません。したがって、TXTRG(RXTRG)が"1"の最中はRXTRG(TXTRG)に"1"は書き込まないでください。

(4) 調歩同期式モードにおいて、受信時にパリティエラーおよびフレーミングエラーが発生した場合は受信エラー割り込み要因フラグFSERRは、受信完了割り込み要因フラグFSRECに対して表5.7.10.1に示す時間早く"1"にセットされます。したがって、エラー処理ルーチン等で待ち時間を設けて、受信完了割り込み要因フラグFSRECを"0"にリセットしてください。

なお、オーバーランエラー発生時には受信完了割り込み要因フラグFSRECは"1"にセットされず、受信完了割り込みも発生しません。

表5.7.10.1 エラー発生時のFSERRとFSRECの時間差

クロック源	時間差
fosc3 / n	fosc3 / n の1/2周期
プログラマブルタイマ	タイマ1アンダーフローの1周期

(5) OSC3発振回路の分周信号をクロック源とする場合は、シリアルインタフェースを使用する以前にOSC3の発振をONさせる必要があります。

なお、OSC3発振回路をONにしてから発振が安定するまでに数msec～数10msecの時間を必要とします。したがって、シリアルインタフェースの送受信開始はOSC3発振ONの後、充分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)

イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

5.8 計時タイマ

5.8.1 計時タイマの構成

S1C88816はOSC1発振回路を原振とする計時タイマを内蔵しています。計時タイマはfosc1を分周した256Hz信号を入力クロックとする8ビットのバイナリカウンタで構成され、各ビット(128～1Hz)のデータをソフトウェアによって読み出すことができます。

通常はこの計時タイマを、時計などの様々な各種の計時機能に使用します。

図5.8.1.1に計時タイマの構成を示します。

5.8.2 割り込み機能

計時タイマは32Hz、8Hz、2Hz、1Hzの各信号によって割り込みを発生させることができます。

図5.8.2.1に計時タイマ割り込み回路の構成を示します。

32Hz、8Hz、2Hz、1Hz信号の立ち下がりエッジで、それぞれに対応する割り込み要因フラグFTM32、FTM8、FTM2、FTM1が"1"にセットされ、割り込みが発生します。各割り込み要因フラグに対応した割り込みマイネーブルレジスタETM32、ETM8、ETM2、ETM1の設定により、割り込みを禁止することもできます。

また、CPUに対する計時タイマ割り込みの優先レベルを割り込みプライオリティレジスタPTM0、PTM1によって任意のレベル(0～3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については"5.16 割り込みとスタンバイ状態"を参照してください。

各割り込み要因の例外処理ベクタアドレスは、それぞれ以下のとおり設定されています。

32Hz割り込み:	00001CH
8Hz割り込み:	00001EH
2Hz割り込み:	000020H
1Hz割り込み:	000022H

図5.8.2.2に計時タイマのタイミングチャートを示します。

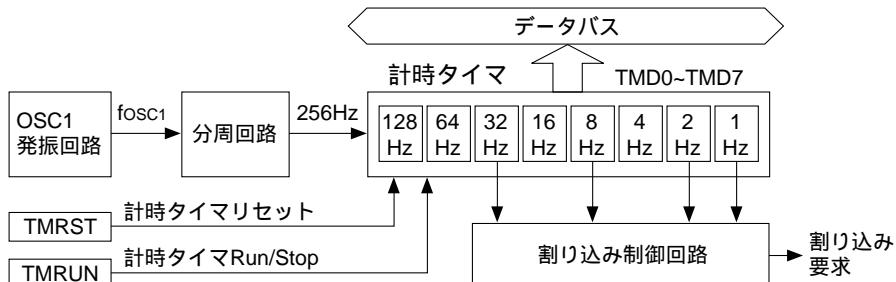


図5.8.1.1 計時タイマの構成

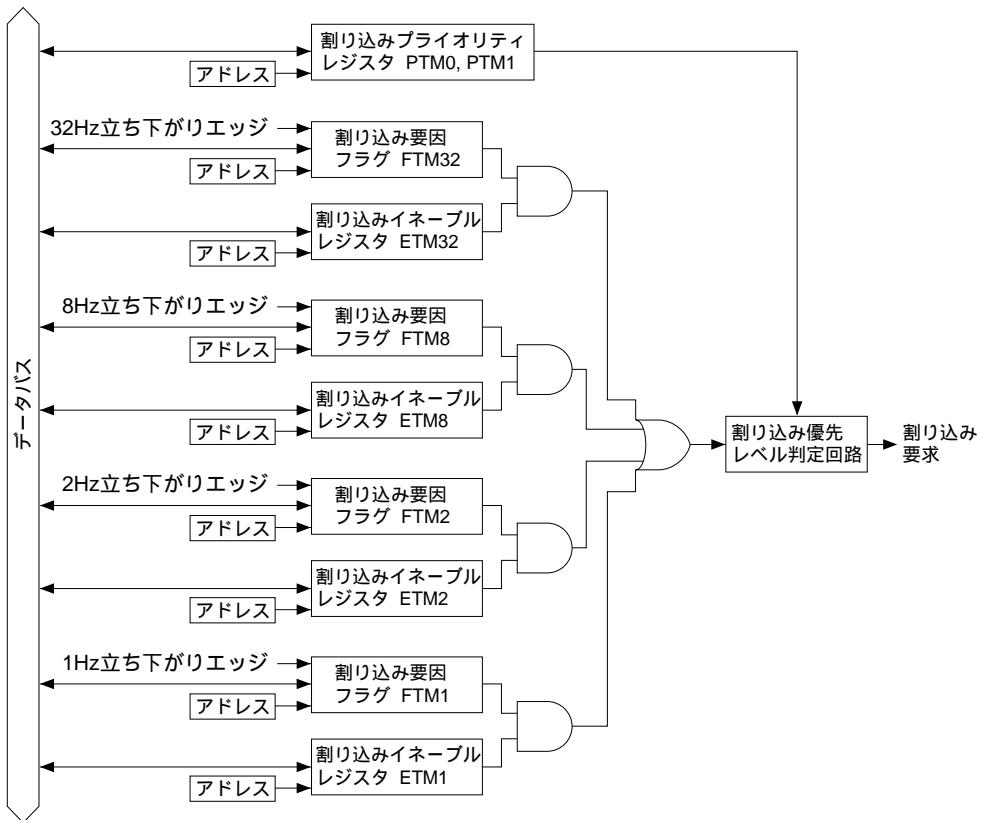


図5.8.2.1 計時タイマ割り込み回路の構成

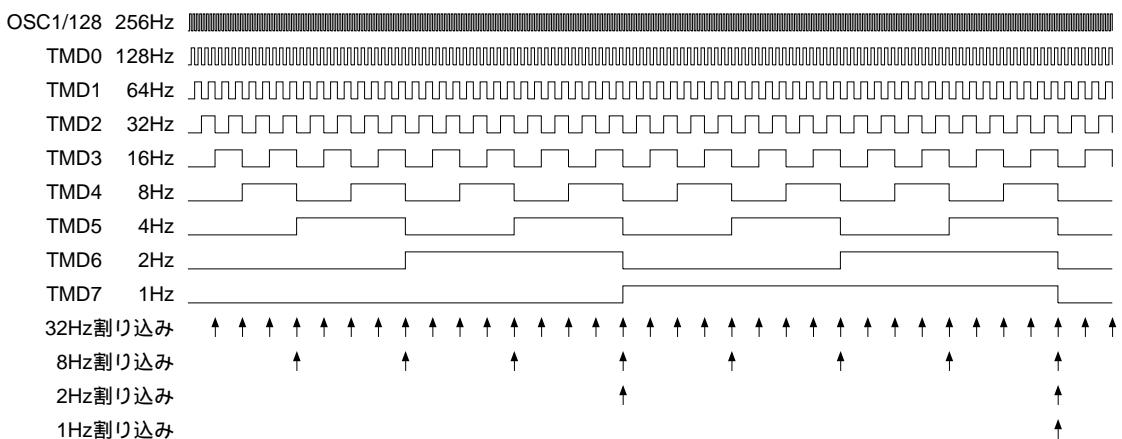


図5.8.2.2 計時タイマのタイミングチャート

5.8.3 計時タイマのI/Oメモリ

表5.8.3.1に計時タイマの制御ビットを示します。

表5.8.3.1 計時タイマの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF40	D7	—	—	—	—	—	—	読み出し時は"0"
	D6	FOUT2	FOUT周波数選択				0 R/W	
			FOUT2 FOUT1 FOUT0 周波数					
			0 0 0 fosc1 / 1					
		D5	FOUT1	0 0 1 fosc1 / 2				
			0 1 0 fosc1 / 4				0 R/W	
			0 1 1 fosc1 / 8					
		D4	FOUT0	1 0 0 fosc3 / 1				
			1 0 1 fosc3 / 2				0 R/W	
		D3	FOUTON	1 1 0 fosc3 / 4				
			1 1 1 fosc3 / 8					
00FF41	D3	FOUTON	FOUT出力制御	On	Off	0	R/W	
	D2	WDRST	ウォッチドッグタイマリセット	リセット	無効	—	W	読み出し時は常時"0"
	D1	TMRST	計時タイマリセット	リセット	無効	—	W	
	D0	TMRUN	計時タイマRun/Stop制御	Run	Stop	0	R/W	
00FF41	D7	TMD7	計時タイマデータ 1Hz			0 R		
	D6	TMD6	計時タイマデータ 2Hz			0 R		
	D5	TMD5	計時タイマデータ 4Hz			0 R		
	D4	TMD4	計時タイマデータ 8Hz			0 R		
	D3	TMD3	計時タイマデータ 16Hz			0 R		
	D2	TMD2	計時タイマデータ 32Hz			0 R		
	D1	TMD1	計時タイマデータ 64Hz			0 R		
	D0	TMD0	計時タイマデータ128Hz			0 R		
00FF20	D7	PK01	K00～K07割り込み			0 R/W		
	D6	PK00	プライオリティレジスタ			0 R/W		
	D5	PSIF1	シリアルインターフェース割り込み	PK01 PK00 PSIF1 PSIFO PSW1 PSW0 PTM1 PTM0	優先	0 R/W		
	D4	PSIFO	プライオリティレジスタ		レベル	0 R/W		
	D3	PSW1	ストップウォッチタイマ割り込み		1 1 レベル3	0 R/W		
	D2	PSW0	プライオリティレジスタ		1 0 レベル2	0 R/W		
	D1	PTM1	計時タイマ割り込み		0 1 レベル1	0 R/W		
	D0	PTM0	プライオリティレジスタ		0 0 レベル0	0 R/W		
00FF22	D7	—	—	—	—	—	—	読み出し時は"0"
	D6	ESW100	ストップウォッチ100Hz割り込みイネーブルレジスタ			0 R/W		
	D5	ESW10	ストップウォッチ10Hz割り込みイネーブルレジスタ			0 R/W		
	D4	ESW1	ストップウォッチ1Hz割り込みイネーブルレジスタ			0 R/W		
	D3	ETM32	計時タイマ32Hz割り込みイネーブルレジスタ	割り込み許可	割り込み禁止	0 R/W		
	D2	ETM8	計時タイマ8Hz割り込みイネーブルレジスタ			0 R/W		
	D1	ETM2	計時タイマ2Hz割り込みイネーブルレジスタ			0 R/W		
	D0	ETM1	計時タイマ1Hz割り込みイネーブルレジスタ			0 R/W		
00FF24	D7	—	—	—	—	—	—	読み出し時は"0"
	D6	FSW100	ストップウォッチ100Hz割り込み要因フラグ	(R)	(R)	0 R/W		
	D5	FSW10	ストップウォッチ10Hz割り込み要因フラグ			0 R/W		
	D4	FSW1	ストップウォッチ1Hz割り込み要因フラグ			0 R/W		
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ		(W)	0 R/W		
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ			0 R/W		
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ			0 R/W		
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ		リセット	0 R/W		

TMD0~TMD7: 00FF41H

計時タイマのデータが読み出せます。

各ビットと周波数との対応は以下のとおりです。

TMD0: 128Hz	TMD4: 8Hz
TMD1: 64Hz	TMD5: 4Hz
TMD2: 32Hz	TMD6: 2Hz
TMD3: 16Hz	TMD7: 1Hz

TMD0~TMD7は読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、タイマデータは"00H"に設定されます。

TMRST: 00FF40H·D1

計時タイマをリセットします。

"1"書き込み: 計時タイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

計時タイマはTMRSTに"1"を書き込むことによってリセットされます。計時タイマがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合はリセットデータ"00H"が保持されます。

"0"の書き込みはノーオペレーションとなります。TMRSTは書き込み専用のため、読み出し時は常時"0"となります。

TMRUN: 00FF40H·D0

計時タイマのRUN/STOPを制御します。

"1"書き込み: RUN

"0"書き込み: STOP

読み出し: 可能

計時タイマはTMRUNに"1"を書き込むことによってアップカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではリセットか次にRUN状態にするまで、タイマのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

イニシャルリセット時、TMRUNは"0"(STOP)に設定されます。

PTM0, PTM1: 00FF20H·D0, D1

計時タイマ割り込みの優先レベルを設定します。

PTM0、PTM1は計時タイマ割り込みに対応した割り込みプライオリティレジスタで、設定できる割り込み優先レベルは表5.8.3.2のとおりです。

表5.8.3.2 割り込み優先レベルの設定

PTM1	PTM0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

ETM1, ETM2, ETM8, ETM32: 00FF22H·D0~D3

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

ETM1、ETM2、ETM8、ETM32はそれぞれ1Hz、2Hz、8Hz、32Hzの割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

FTM1, FTM2, FTM8, FTM32: 00FF24H·D0~D3

計時タイマ割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

FTM1、FTM2、FTM8、FTM32はそれぞれ1Hz、2Hz、8Hz、32Hzの割り込みに対応する割り込み要因フラグで、各信号の立ち下がりエッジに同期して"1"にセットされます。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、本フラグはすべて"0"にリセットされます。

5.8.4 プログラミング上の注意事項

- (1) 計時タイマはレジスタTMRUNへの書き込みに
対して、256Hz信号の立ち下がりエッジに同期
して実際にRUN/STOP状態となります。
したがって、TMRUNに"0"を書き込んだ場合
は、"+1"余分にカウントしたところでタイマが
停止状態となります。また、このときTMRUN
は実際にタイマがSTOP状態となるまで、読み
出しに対して"1"を保持します。
図5.8.4.1にRUN/STOP制御のタイミングチャー
トを示します。

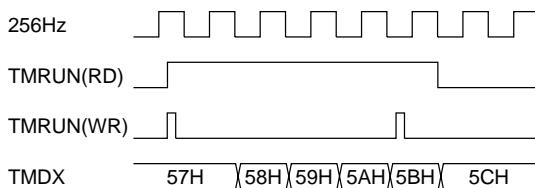


図5.8.4.1 RUN/STOP制御のタイミングチャート

- (2) 計時タイマがRUNしている状態(TMRUN="1")
でSLP命令を実行した場合は、SLEEP状態から
の復帰時に計時タイマが不安定な動作となりま
す。したがって、SLEEP状態へ移行する場合
は、SLP命令の実行以前に計時タイマをSTOP
状態(TMRUN="0")に設定してください。

5.9 ストップウォッチタイマ

5.9.1 ストップウォッチタイマの構成

S1C88816は1/100sec単位と1/10sec単位のストップウォッチタイマを内蔵しています。ストップウォッチタイマはfosc1を分周した256Hz信号を入力クロックとする4ビット2段のBCDカウンタ(1/100sec単位、1/10sec単位)で構成され、カウントデータをソフトウェアによって読み出すことができます。図5.9.1.1にストップウォッチタイマの構成を示します。

ストップウォッチタイマは計時タイマとは別のタイマとして使用することができます。ストップウォッチ機能などをソフトウェアによって容易に実現することができます。

5.9.2 カウントアップパターン

ストップウォッチタイマは、それぞれ4ビットのBCDカウンタSWD0～SWD3とSWD4～SWD7で構成されています。

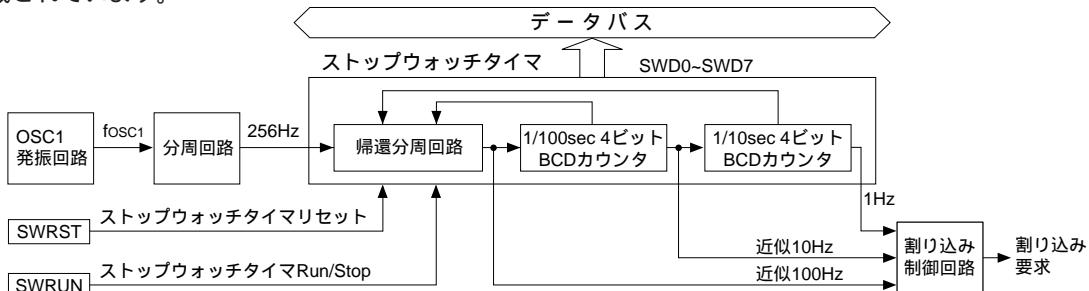


図5.9.1.1 ストップウォッチタイマの構成

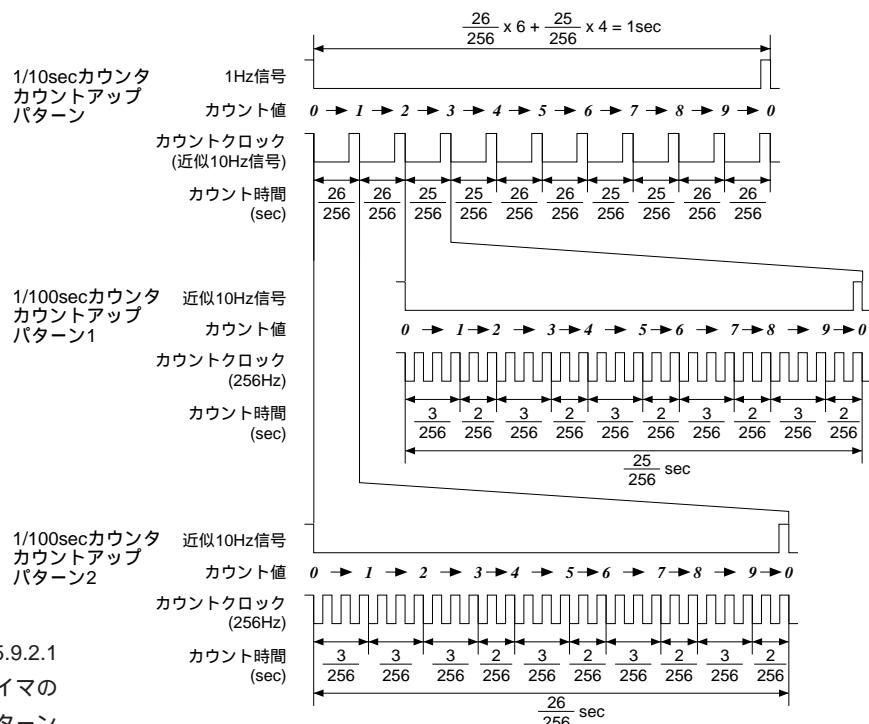


図5.9.2.1にストップウォッチタイマのカウントアップパターンを示します。

帰還分周回路はfosc1を分周した256Hz信号から2/256secと3/256sec間隔の近似100Hz信号を発生します。

1/100secカウンタ(SWD0～SWD3)は、帰還分周回路が2/256secと3/256sec間隔で発生する近似100Hz信号をカウントして、25/256secと26/256sec間隔の近似10Hz信号を発生します。

カウントアップは、2/256secと3/256sec間隔による擬似的な1/100secカウントとなります。

1/10secカウンタ(SWD4～SWD7)は、1/100secカウンタが25/256secと26/256sec間隔で発生する近似10Hz信号を4:6の割合でカウントして、1Hz信号を発生します。

カウントアップは、25/256secと26/256sec間隔による擬似的な1/10secカウントとなります。

5.9.3 割り込み機能

ストップウォッチタイマは100Hz(近似100Hz)、10Hz(近似10Hz)、1Hzの各信号によって割り込みを発生させることができます。

図5.9.3.1にストップウォッチタイマ割り込み回路の構成を示します。

100Hz、10Hz、1Hz信号の立ち下がりエッジで、それぞれに対応する割り込み要因フラグFSW100、FSW10、FSW1が"1"にセットされ、割り込みが発生します。各割り込み要因フラグに対応した割り込みイネーブルレジスタESW100、ESW10、ESW1の設定により、割り込みを禁止することもできます。

また、CPUに対するストップウォッチタイマ割り込みの優先レベルを割り込みプライオリティレジスタPSW0、PSW1によって任意のレベル(0~3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については"5.16 割り込みとスタンバイ状態"を参照してください。

各割り込み要因の例外処理ベクタアドレスは、それぞれ以下のとおり設定されています。

100Hz割り込み: 000016H

10Hz割り込み: 000018H

1Hz割り込み: 00001AH

図5.9.3.2にストップウォッチタイマのタイミングチャートを示します。

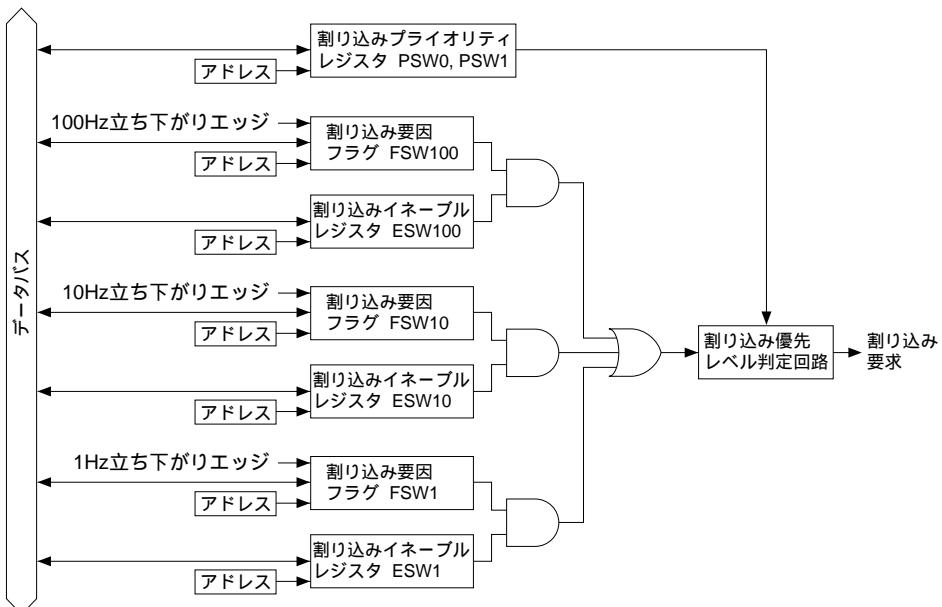


図5.9.3.1 ストップウォッチタイマ割り込み回路の構成

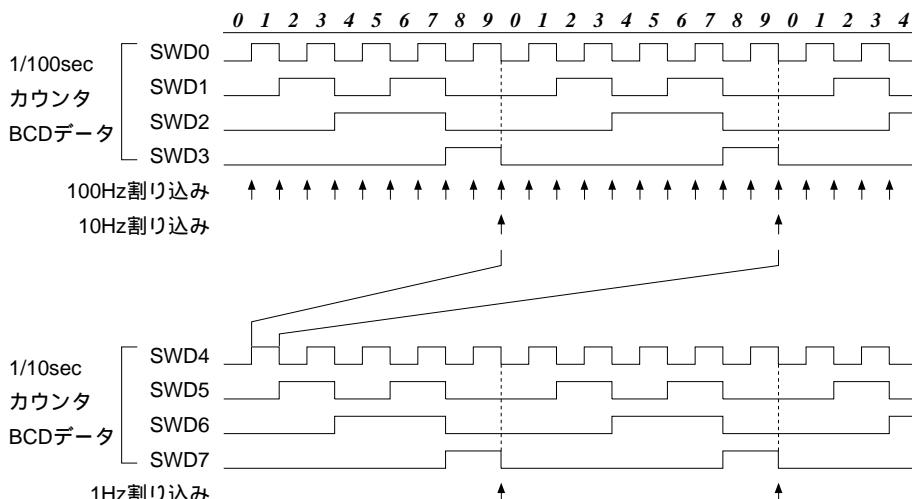


図5.9.3.2 ストップウォッチタイマのタイミングチャート

5.9.4 ストップウォッチタイマのI/Oメモリ

表5.9.4.1にストップウォッチタイマの制御ビットを示します。

表5.9.4.1 ストップウォッチタイマの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF42	D7	-	-	-	-	-		読み出し時は常時"0"
	D6	-	-	-	-	-		
	D5	-	-	-	-	-		
	D4	-	-	-	-	-		
	D3	-	-	-	-	-		
	D2	-	-	-	-	-		
	D1	SWRST	ストップウォッチタイマリセット	リセット	無効	-	W	
	D0	SWRUN	ストップウォッチタイマRun/Stop制御	Run	Stop	0	R/W	
00FF43	D7	SWD7	ストップウォッチタイマデータ			0	R	
	D6	SWD6				0	R	
	D5	SWD5	BCD (1/10sec)			0	R	
	D4	SWD4				0	R	
	D3	SWD3	ストップウォッチタイマデータ			0	R	
	D2	SWD2				0	R	
	D1	SWD1	BCD (1/100 sec)			0	R	
	D0	SWD0				0	R	
00FF20	D7	PK01	K00～K07割り込み	PK01 PK00 PSIF1 PSIF0 PSW1 PSW0 優先 PTM1 PTM0 レベル	0 0 0 0 1 1 レベル3 1 0 レベル2 0 1 レベル1 0 0 レベル0	0	R/W	
	D6	PK00	プライオリティレジスタ			0	R/W	
	D5	PSIF1	シリアルインタフェース割り込み			0	R/W	
	D4	PSIF0	プライオリティレジスタ			0	R/W	
	D3	PSW1	ストップウォッチタイマ割り込み			0	R/W	
	D2	PSW0	プライオリティレジスタ			0	R/W	
	D1	PTM1	計時タイマ割り込み			0	R/W	
	D0	PTM0	プライオリティレジスタ			0	R/W	
00FF22	D7	-	-	割り込み許可	- 割り込み禁止	-	-	読み出し時は"0"
	D6	ESW100	ストップウォッチ100Hz割り込みイネーブルレジスタ			0	R/W	
	D5	ESW10	ストップウォッチ10Hz割り込みイネーブルレジスタ			0	R/W	
	D4	ESW1	ストップウォッチ1Hz割り込みイネーブルレジスタ			0	R/W	
	D3	ETM32	計時タイマ32Hz割り込みイネーブルレジスタ			0	R/W	
	D2	ETM8	計時タイマ8Hz割り込みイネーブルレジスタ			0	R/W	
	D1	ETM2	計時タイマ2Hz割り込みイネーブルレジスタ			0	R/W	
	D0	ETM1	計時タイマ1Hz割り込みイネーブルレジスタ			0	R/W	
00FF24	D7	-	-	(R) 割り込み要因あり	(R) 割り込み要因なし	-	-	読み出し時は"0"
	D6	FSW100	ストップウォッチ100Hz割り込み要因フラグ			0	R/W	
	D5	FSW10	ストップウォッチ10Hz割り込み要因フラグ			0	R/W	
	D4	FSW1	ストップウォッチ1Hz割り込み要因フラグ			0	R/W	
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ	(W) リセット	(W) 無効	0	R/W	
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ			0	R/W	
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ			0	R/W	
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ			0	R/W	

SWD0~SWD7: 00FF43H

ストップウォッチタイマのデータが読み出せます。上位/下位ビブルとBCD桁との対応は以下のとあります。

SWD0 ~ SWD3: BCD (1/100sec)
SWD4 ~ SWD7: BCD (1/10sec)

SWD0 ~ SWD7は読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、タイマデータは"00H"に設定されます。

SWRST: 00FF42H·D1

ストップウォッチタイマをリセットします。

"1"書き込み: ストップウォッチタイマリセット
"0"書き込み: ノーオペレーション
読み出し: 常時"0"

ストップウォッチタイマはSWRSTに"1"を書き込むことによってリセットされます。ストップウォッチタイマがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合はリセットデータ"00H"が保持されます。

"0"の書き込みはノーオペレーションとなります。SWRSTは書き込み専用のため、読み出し時は常時"0"となります。

SWRUN: 00FF42H·D0

ストップウォッチタイマのRUN/STOPを制御します。

"1"書き込み: RUN
"0"書き込み: STOP
読み出し: 可能

ストップウォッチタイマはSWRUNに"1"を書き込むことによってアップカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではリセットか次にRUN状態にするまで、タイマのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

イニシャルリセット時、SWRUNは"0"(STOP)に設定されます。

PSW0, PSW1: 00FF20H·D2, D3

ストップウォッチタイマ割り込みの優先レベルを設定します。PSW0、PSW1はストップウォッチタイマ割り込みに対応した割り込みプライオリティレジスタで、設定できる割り込み優先レベルは表5.9.4.2のとあります。

表5.9.4.2 割り込み優先レベルの設定

PSW1	PSW0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

ESW1, ESW10, ESW100: 00FF22H·D4, D5, D6

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可
"0"書き込み: 割り込み禁止
読み出し: 可能

ESW1、ESW10、ESW100はそれぞれ1Hz、10Hz、100Hzの割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

FSW1, FSW10, FSW100: 00FF24H·D4, D5, D6
タイマ割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり
"0"読み出し: 割り込み要因なし
"1"書き込み: 要因フラグをリセット
"0"書き込み: 無効

FSW1、FSW10、FSW100はそれぞれ1Hz、10Hz、100Hzの割り込みに対応する割り込み要因フラグで、各信号の立ち下がりエッジに同期して"1"にセットされます。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、本フラグはすべて"0"にリセットされます。

5.9.5 プログラミング上の注意事項

(1) ストップウォッチタイマはレジスタSWRUNへの書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRUN/STOP状態となります。

したがって、SWRUNに"0"を書き込んだ場合は、"+1"余分にカウントしたところでタイマが停止状態となる場合があります。また、このときSWRUNは実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。

図5.9.5.1にRUN/STOP制御のタイミングチャートを示します。

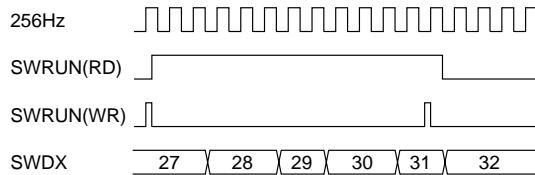


図5.9.5.1 RUN/STOP制御のタイミングチャート

(2) ストップウォッチタイマがRUNしている状態(SWRUN="1")でSLP命令を実行した場合は、SLEEP状態からの復帰時にストップウォッチタイマが不安定な動作となります。

したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前にストップウォッチタイマをSTOP状態(SWRUN="0")に設定してください。

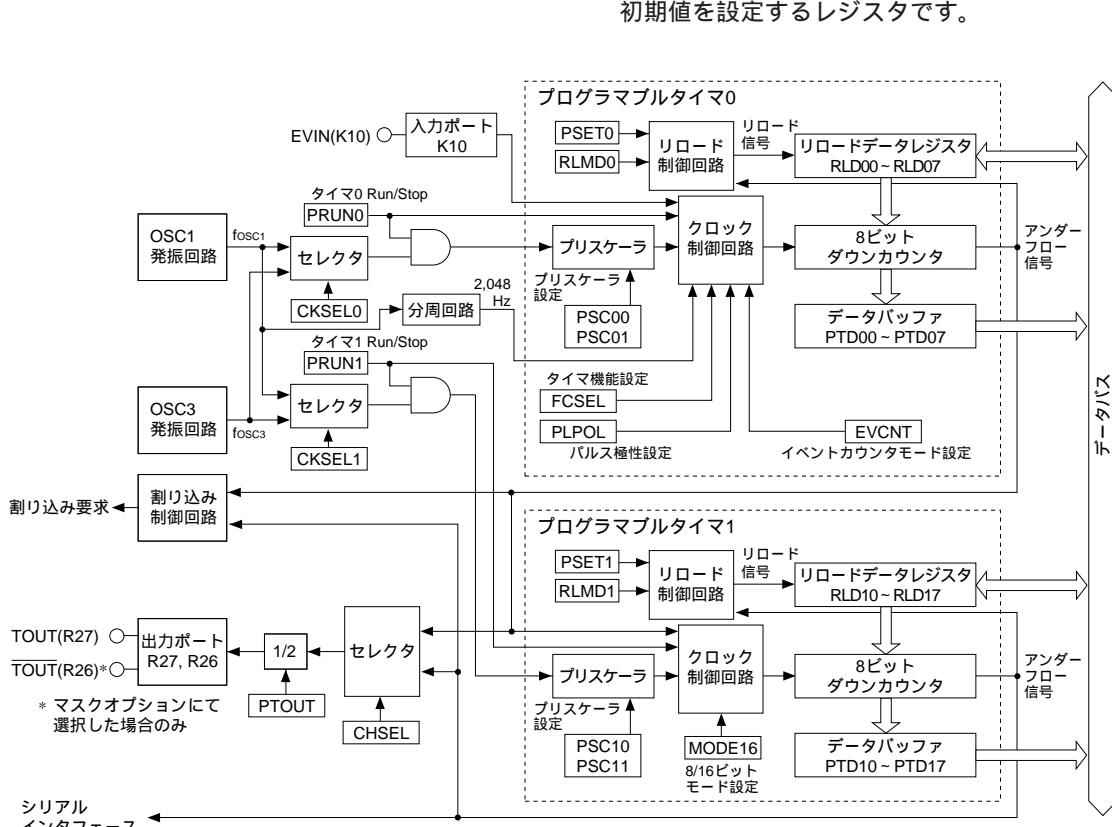
5.10 プログラマブルタイマ

5.10.1 プログラマブルタイマの構成

S1C88816は8ビットのプログラマブルタイマを2系統(タイマ0およびタイマ1)内蔵しています。タイマ0とタイマ1は8ビットプリセッタブルダウンカウンタで構成され、8ビット×2チャンネルあるいは16ビット×1チャンネルのプログラマブルタイマとして使用することができます。また、K10入力ポート端子を使用したイベントカウンタ機能とパルス幅測定タイマ機能も合わせ持っています。

図5.10.1.1にプログラマブルタイマの構成を示します。

プログラマブルタイマのアンダーフロー信号をシリアルインターフェースの同期クロックとして使用できるため、転送速度のプログラマブルな設定が可能です。TOUT信号(アンダーフローの1/2分周信号)をR27出力ポート端子から外部に出力させることもできます。また、マスクオプションの選択により、R26出力ポート端子からTOUT信号(TOUT反転信号)を出力させることができます。



5.10.2 マスクオプション

出力ポートR26出力仕様
R26..... DC出力
TOUT出力

S1C88816では、マスクオプションによりR26出力ポート端子の出力仕様をTOUT出力(TOUT反転信号出力)に設定することができます。本項内のTOUT信号の記述は、R26端子の出力仕様をTOUT出力に設定した場合が対象となります。

5.10.3 カウント動作と基本モード設定

ここでは、プログラマブルタイマの基本動作と設定について説明をします。

初期値の設定とダウンカウント

タイマ0およびタイマ1にはそれぞれ、8ビットのダウンカウンタとリロードデータレジスタが設けられています。

リロードデータレジスタRLD00～RLD07(タイマ0)、RLD10～RLD17(タイマ1)はカウンタの初期値を設定するレジスタです。

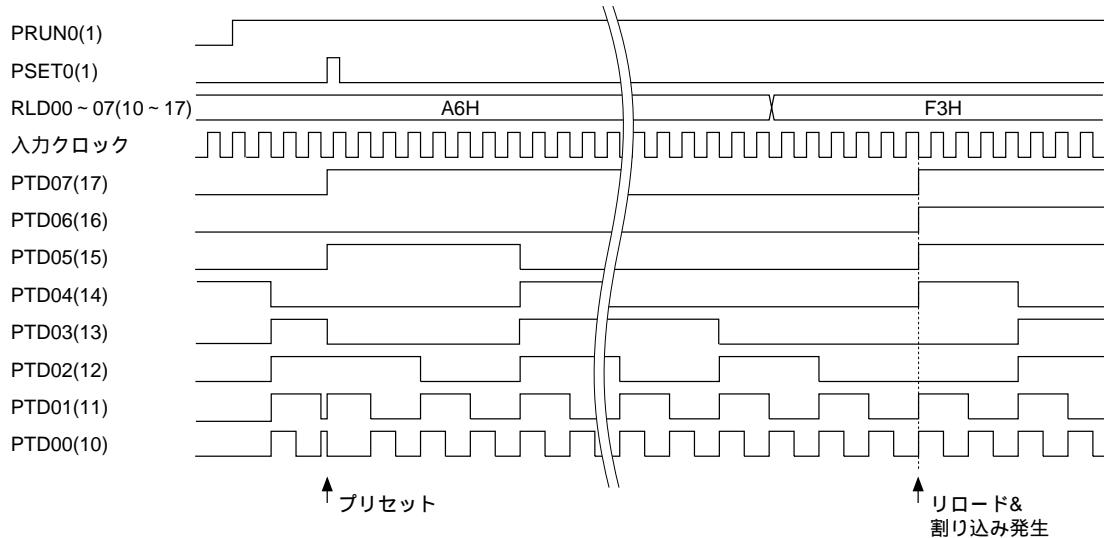


図5.10.3.1 カウンタの基本動作タイミング

ダウンカウンタは、リロードデータレジスタRLDに設定された初期値をプリセット制御ビットPSET0(タイマ0)、PSET1(タイマ1)への"1"書き込みによってロードします。したがって、このロードされた初期値から入力クロックによるダウンカウントが行われます。

タイマ0およびタイマ1にはそれぞれ、RUN/STOPを制御するレジスタPRUN0(タイマ0)、PRUN1(タイマ1)が設けられています。リロードデータをカウンタにプリセットした後、本レジスタに"1"を書き込むことによってダウンカウントが開始されます。"0"を書き込むとクロックの入力が禁止され、カウントは停止します。このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

カウンタのデータの読み出しはデータバッファPTD00～PTD07(タイマ0)、PTD10～PTD17(タイマ1)を介してを行い、任意のタイミングで読み出しが可能です。

カウンタはダウンカウントが進んでアンダーフローが発生すると、リロードデータレジスタRLDに設定された初期値をリロードします。このアンダーフロー信号はカウンタのリロードのほか、割り込みの発生、外部へのパルス(TOUT、TOUT信号)出力、シリアルインターフェースへのクロック供給を制御します。

連続/ワンショットモード設定

連続/ワンショットモード選択レジスタCONT0(タイマ0)、CONT1(タイマ1)に"1"を書き込むことによって、プログラマブルタイマは連続モードに設定されます。連続モードでは、アンダーフロー発生時にカウンタの初期値を自動的にリロードしてダウンカウントを継続します。このモードはプログラマブルなインターバルを必要とする用途(割り込み、シリアルインターフェースの同期クロック等)に適しています。

一方、レジスタCONT0(タイマ0)、CONT1(タイマ1)に"0"を書き込んだ場合はワンショットモードとなり、カウンタはアンダーフロー発生時に初期値をリロードして停止します。このとき、RUN/STOP制御レジスタPRUN0(タイマ0)、PRUN1(タイマ1)は自動的に"0"にリセットされます。カウンタが停止した後、レジスタPRUN0(タイマ0)、PRUN1(タイマ1)に"1"を書き込むことによって再度ワンショットカウントを行うことができます。このモードは単発的な時間計測等に適しています。

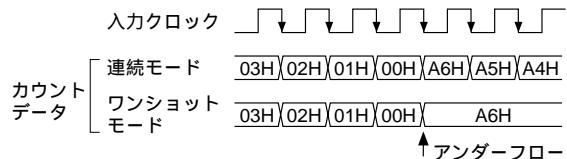


図5.10.3.2 連続モードとワンショットモード

8/16ビットモード設定

8/16ビットモード選択レジスタMODE16に"0"を書き込むことによって、タイマ0およびタイマ1は8ビット×2チャンネルの独立したタイマに設定されます。このモードでは、タイマ0とタイマ1を個別に制御することができ、それぞれはまったく別のタイマとして動作します。一方、レジスタ MODE16に"1"を書き込んだ場合は、タイマ0およびタイマ1は1チャンネルの16ビットタイマに設定されます。このモードでは、タイマ0を下位8ビット、タイマ1を上位8ビットとした16ビットのカウントが行われ、タイマはタイマ0側のレジスタによって制御されます。この場合、タイマ1側のレジスタの制御は無効となります。(PRUN1は"0"に固定されます。)

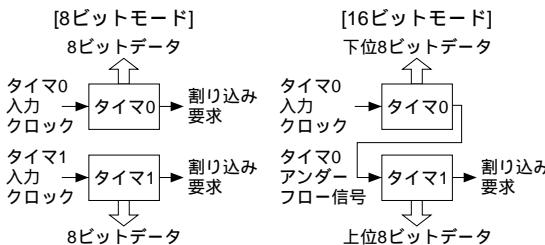


図5.10.3.3 8/16ビットモード設定とカウンタの構成

5.10.4 入力クロックの設定

タイマ0およびタイマ1にはそれぞれ、プリスケーラが設けられています。プリスケーラはOSC1またはOSC3発振回路から供給される原振クロックを分周して、それぞれのタイマへの入力クロックを発生します。

原振クロックとプリスケーラの分周比はタイマ0、タイマ1でそれぞれ個別にソフトウェアで選択することができます。

入力クロックは以下の手順で設定します。

(1) 原振クロックの選択

それぞれのプリスケーラに入力する原振クロックを、OSC1とするかOSC3とするかを選択します。この選択は、原振クロック選択レジスタ CKSEL0(タイマ0)、CKSEL1(タイマ1)によって行われ、"0"を書き込むとOSC1、"1"を書き込むとOSC3が選択されます。16ビットモードを選択している場合は、レジスタ CKSEL0によって原振クロックが選択され、レジスタ CKSEL1の設定は無効となります。

OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3の発振をONさせる必要があります。

なお、OSC3発振回路をONにしてから発振が安定するまでに数msec～数10msecの時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ONの後、充分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)

イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

(2) プリスケーラ分周比の選択

それぞれのプリスケーラの分周比を4種類の中から選択します。この選択は、プリスケーラ分周比選択レジスタPSC00/PSC01(タイマ0)、PSC10/PSC11(タイマ1)によって行われ、設定値と分周比とが表5.10.4.1に示すとおり対応しています。

表5.10.4.1 プリスケーラ分周比の選択

PSC11 PSC01	PSC10 PSC00	プリスケーラ分周比
1	1	原振クロック / 64
1	0	原振クロック / 16
0	1	原振クロック / 4
0	0	原振クロック / 1

レジスタPRUN0(タイマ0)、PRUN1(タイマ1)に"1"を書き込むことによって、原振クロックがプリスケーラに入力されます。これによって、選択した分周比のクロックがタイマに入力され、タイマがダウンカウントを開始します。なお、16ビットモードを選択している場合は、レジスタPSC00/PSC01によって原振クロックの分周比が選択され、レジスタPSC10/PSC11の設定は無効となります。

5.10.5 タイマモード

タイマモードはプリスケーラの出力を入力クロックとしてダウンカウントを行うモードです。

このモードは、OSC1またはOSC3発振回路を原振として一定周期ごとにカウントを行うタイマとして動作します。

タイマの基本的な動作と制御については"5.10.3 カウント動作と基本モード設定"を、原振とプリスケーラの設定については"5.10.4 入力クロックの設定"をそれぞれ参照してください。

5.10.6 イベントカウンタモード

タイマ0には、K10入力ポート端子に外部クロック(EVIN)を入力してカウントを行うイベントカウンタ機能があります。この機能は、タイマ0カウンタモード選択レジスタEVCNTに"1"を書き込むことによって選択されます。

イベントカウンタモードを選択した場合は、8ビットモードではタイマ0がイベントカウンタ、タイマ1が通常のタイマとして動作します。また、16ビットモードではタイマ0とタイマ1が1チャンネルの16ビットイベントカウンタとして動作します。

イベントカウンタモードでは、外部からタイマ0にクロックが供給されるため、レジスタPSC00/PSC01の設定は無効となります。

ダウンカウントのタイミングは、タイマ0パルス極性選択レジスタPLPOLによって、立ち下がりエッジまたは立ち上がりエッジのどちらかが選択できます。レジスタPLPOLに"0"を書き込んだ場合が立ち下がりエッジ、"1"を書き込んだ場合が立ち上がりエッジとなり、図5.10.6.1に示すタイミングでダウンカウントが行われます。

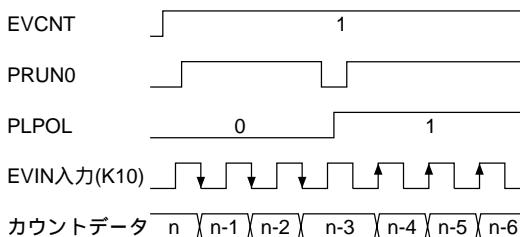


図5.10.6.1 イベントカウンタモードの
タイミングチャート

イベントカウンタモードにはこのほかに、外部クロック(EVIN)入力に対してチャタリング等のノイズを除去するノイズリジェクタ付加機能があります。この機能はタイマ0機能選択レジスタFCSELに"1"を書き込むことによって選択されます。

ノイズリジェクタ付きを選択した場合は確実なカウントを行うために、LOWレベル/HIGHレベル共に0.98msec以上のパルス幅を確保する必要があります。(ノイズリジェクタは、K10入力ポート端子の入力レベルが変化してから2度目の内部2,048Hz信号の立ち下がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msecとなります。)

図5.10.6.2にノイズリジェクタ付加時のダウンカウントタイミングを示します。

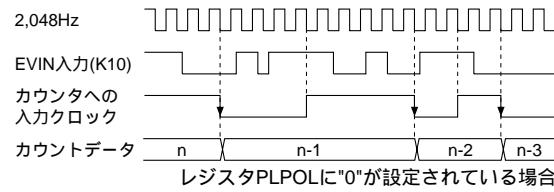


図5.10.6.2 ノイズリジェクタ付加時の
ダウンカウントタイミング

イベントカウンタモードは、入力クロックが外部クロック(EVIN)となること以外はタイマモードと同等です。

カウントの基本的な動作と制御については"5.10.3 カウント動作と基本モード設定"を参照してください。

5.10.7 パルス幅測定タイマモード

タイマ0には、K10入力ポート端子に入力される信号(EVIN)の幅を測定するパルス幅測定タイマ機能があります。この機能はタイマモード(EVCNT="0")において、タイマ機能選択レジスタFCSELに"1"を書き込むことによって選択されます。

パルス幅測定タイマモードを選択した場合は、8ビットモードではタイマ0がパルス幅測定タイマ、タイマ1が通常のタイマとして動作します。また、16ビットモードではタイマ0とタイマ1が1チャンネルの16ビットパルス幅測定タイマとして動作します。

測定対象とする入力信号(EVIN)のレベルは、タイマ0パルス極性選択レジスタPLPOLによって、LOWレベルまたはHIGHレベルのどちらかが選択できます。レジスタPLPOLに"0"を書き込んだ場合がLOWレベル幅測定、"1"を書き込んだ場合がHIGHレベル幅測定となり、図5.10.7.1に示すタイミングでダウンカウントが行われます。

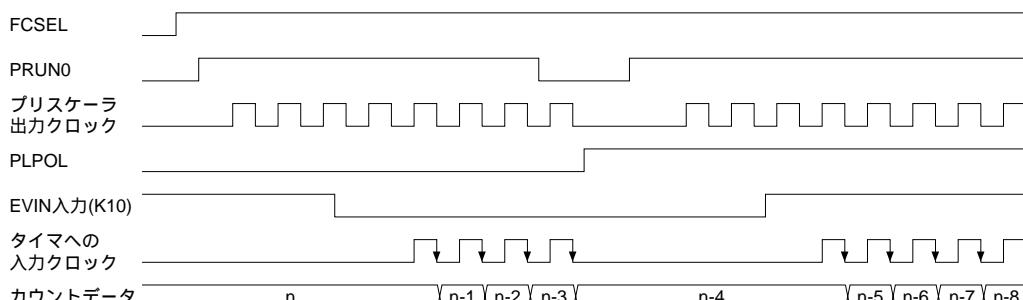


図5.10.7.1 パルス幅測定タイマモードのタイミングチャート

パルス幅測定タイマモードは、入力クロックがK10入力ポート端子に入力される信号(EVIN)のレベルによって制御されること以外はタイマモードと同等です。

カウントの基本的な動作と制御については、“5.10.3 カウント動作と基本モード設定”を参照してください。

5.10.8 割り込み機能

プログラマブルタイマは、タイマ0およびタイマ1の各アンダーフロー信号によって割り込みを発生させることができます。

図5.10.8.1にプログラマブルタイマ割り込み回路の構成を示します。

タイマ0およびタイマ1の各アンダーフロー信号によって、それぞれに対応する割り込み要因フラグFPT0、FPT1が“1”にセットされ、割り込みが発生します。各割り込み要因フラグに対応した割り込みイネーブルレジスタEPT0、EPT1の設定により、割り込みを禁止することもできます。

また、CPUに対するプログラマブルタイマ割り込みの優先レベルを割り込みプライオリティレジスターPPT0、PPT1によって任意のレベル(0～3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については“5.16 割り込みとスタンバイ状態”を参照してください。

各割り込み要因の例外処理ベクタアドレスは、それぞれ以下のとおり設定されています。

プログラマブルタイマ1割り込み: 000006H

プログラマブルタイマ0割り込み: 000008H

なお、16ビットモードを選択している場合は割り込み要因フラグFPT0は“1”にセットされず、タイマ0の割り込みも発生しません。(16ビットモード時は、16ビットカウンタのアンダーフローによって割り込み要因フラグFPT1が“1”にセットされます。)

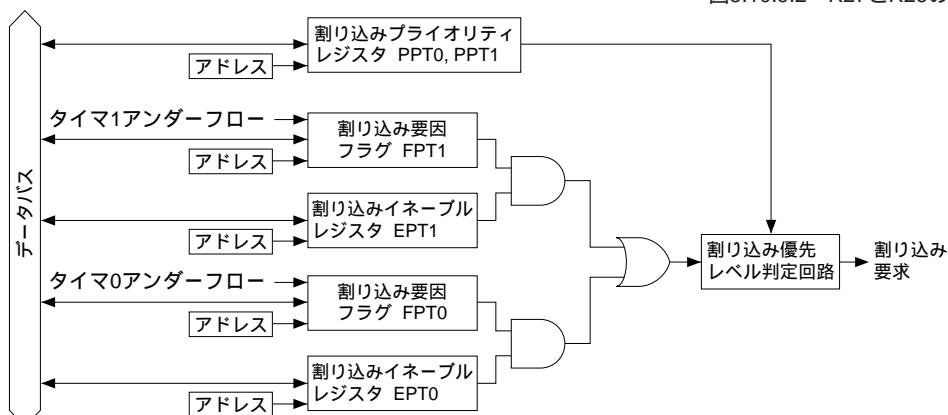


図5.10.8.1 プログラマブルタイマ割り込み回路の構成

5.10.9 TOUT出力の設定

プログラマブルタイマは、タイマ0またはタイマ1のアンダーフローによってTOUT信号およびその反転信号であるTOUT信号を発生させることができます。TOUTおよびTOUT信号はタイマのアンダーフローを1/2周した信号で、TOUT出力チャンネル選択レジスタCHSELによって、どちらのタイマのアンダーフローを使用するかを選択することができます。レジスタCHSELに“0”を書き込んだ場合がタイマ0、“1”を書き込んだ場合がタイマ1となります。ただし、16ビットモードではタイマ1(16ビットタイマのアンダーフロー)固定となり、レジスタCHSELの設定は無効となります。

図5.10.9.1にチャンネル切り換え時のTOUTおよびTOUT信号波形を示します。

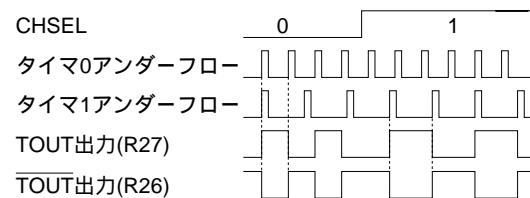


図5.10.9.1 チャンネル切り換え時のTOUT
およびTOUT信号波形

TOUT信号はR27出力ポート端子から、TOUT信号はマスクオプションの選択によりR26出力ポート端子から出力させることができます。外部デバイス等に対してプログラマブルなクロックを供給することができます。

R27およびR26出力ポートの構成を図5.10.9.2に示します。

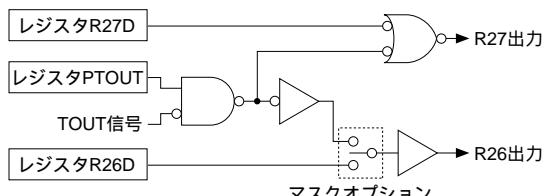


図5.10.9.2 R27とR26の構成

TOUTおよびTOUT信号はレジスタPTOUTによって出力制御を行います。PTOUTに"1"を設定するとTOUT信号がR27出力ポート端子から、TOUT信号がR26出力ポート端子からそれぞれ出力され、"0"を設定するとR27端子はHIGH(VDD)レベル、R26端子はLOW(VSS)レベルとなります。

TOUT出力を行う場合、データレジスタR27Dには常時"1"が設定されている必要があります。TOUT出力を行うにはマスクオプションでR26端子をTOUT出力に設定しておくことが必要です。この場合のR26Dは、TOUT出力には影響を与えません。

なお、TOUTおよびTOUT信号はレジスタPTOUTとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.10.9.3にTOUTおよびTOUT信号の出力波形を示します。

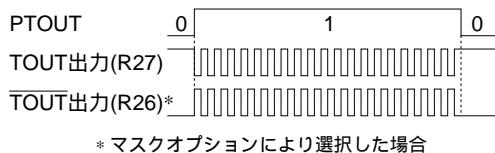


図5.10.9.3 TOUTおよびTOUT信号の出力波形

5.10.10 シリアルインターフェースの 転送速度設定

タイマ1のアンダーフロー信号をシリアルインターフェースのクロック源として使用することができます。

この場合の転送速度の設定はレジスタPSC1X、RLD1Xによって行い、タイマ1のカウントモードをリロードカウントモード(RLMD1="1")に設定して使用します。

タイマ1のアンダーフロー信号はシリアルインターフェース内で1/32分周されるため、転送速度に対するレジスタRLD1Xへの設定値は次式のようになります。

$$\text{RLD1X} = \text{fosc} / (32 * \text{bps} * 4^{\text{PSC1X}}) - 1$$

fosc: 発振周波数 (OSC1/OSC3)

bps: 転送速度

PSC1X: レジスタPSC1X設定値 (0 ~ 3)

(RLD1Xには00Hも設定可能)

表5.10.10.1にOSC3発振回路を原振とした場合の転送速度の設定例を示します。

表5.10.10.1 転送速度の設定例

転送速度 (bps)	OSC3発振周波数/プログラマブルタイマの設定					
	fosc3=3.072MHz		fosc3=4.608MHz		fosc3=4.9152MHz	
	PSC1X	RLD1X	PSC1X	RLD1X	PSC1X	RLD1X
9,600	0 (1/1)	09H	0 (1/1)	0EH	0 (1/1)	0FH
4,800	0 (1/1)	13H	0 (1/1)	1DH	0 (1/1)	1FH
2,400	0 (1/1)	27H	0 (1/1)	3BH	0 (1/1)	3FH
1,200	0 (1/1)	4FH	0 (1/1)	77H	0 (1/1)	7FH
600	0 (1/1)	9FH	0 (1/1)	EFH	0 (1/1)	FFH
300	1 (1/4)	4FH	1 (1/4)	77H	1 (1/4)	7FH
150	1 (1/4)	9FH	1 (1/4)	EFH	1 (1/4)	FFH

5.10.11 プログラマブルタイマのI/Oメモリ

表5.10.11.1にプログラマブルタイマの制御ビットを示します。

表5.10.11.1(a) プログラマブルタイマの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF30	D7	-	-	-	-	-		読み出し時は常時"0"
	D6	-	-	-	-	-		
	D5	-	-	-	-	-		
	D4	MODE16	8/16ビットモード選択	16ビットx1	8ビットx2	0	R/W	
	D3	CHSEL	TOUT出力チャンネル選択	タイマ1	タイマ0	0	R/W	
	D2	PTOUT	TOUT出力制御	On	Off	0	R/W	
	D1	CKSEL1	プリスケーラ1原振クロック選択	fosc3	fosc1	0	R/W	
	D0	CKSEL0	プリスケーラ0原振クロック選択	fosc3	fosc1	0	R/W	
00FF31	D7	EVCNT	タイマ0カウンタモード選択	イベントカウント	タイマ	0	R/W	
	D6	FCSEL	タイマ0 機能選択	タイマモード時 イベントカウンタモード時	パルス幅 測定 ノイズリジ エクタ付き	通常 モード ノイズリジ エクタなし	0	R/W
	D5	PLPOL	タイマ0 パルス 極性選択	イベントカウンタモードの ダウンカウントタイミング パルス幅測定モード時	K10入力の 立ち上がり K10入力の Highレベル 幅測定	K10入力の 立ち下がり K10入力の Lowレベル 幅測定	0	R/W
	D4	PSC01	タイマ0プリスケーラ分周比選択	PSC01 PSC00 1 1	プリスケーラ分周比 原振クロック / 64		0	R/W
	D3	PSC00		1 0 0 0	原振クロック / 16 原振クロック / 4 原振クロック / 1		0	R/W
	D2	CONT0	タイマ0連続/ワンショットモード選択	連続	ワンショット	0	R/W	
	D1	PSET0	タイマ0プリセット	プリセット	無効	-	W	読み出し時は"0"
	D0	PRUN0	タイマ0 Run/Stop制御	Run	Stop	0	R/W	
00FF32	D7	-	-	-	-	-		読み出し時は常時"0"
	D6	-	-	-	-	-		
	D5	-	-	-	-	-		
	D4	PSC11	タイマ1プリスケーラ分周比選択	PSC11 PSC10 1 1	プリスケーラ分周比 原振クロック / 64		0	R/W
	D3	PSC10		1 0 0 0	原振クロック / 16 原振クロック / 4 原振クロック / 1		0	R/W
	D2	CONT1	タイマ1連続/ワンショットモード選択	連続	ワンショット	0	R/W	
	D1	PSET1	タイマ1プリセット	プリセット	無効	-	W	読み出し時は"0"
	D0	PRUN1	タイマ1Run/Stop制御	Run	Stop	0	R/W	
00FF33	D7	RLD07	タイマ0リロードデータD7 (MSB)			1	R/W	
	D6	RLD06	タイマ0リロードデータD6			1	R/W	
	D5	RLD05	タイマ0リロードデータD5			1	R/W	
	D4	RLD04	タイマ0リロードデータD4			1	R/W	
	D3	RLD03	タイマ0リロードデータD3			1	R/W	
	D2	RLD02	タイマ0リロードデータD2			1	R/W	
	D1	RLD01	タイマ0リロードデータD1			1	R/W	
	D0	RLD00	タイマ0リロードデータD0 (LSB)			1	R/W	

表5.10.11.1(b) プログラマブルタイマの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF34	D7	RLD17	タイマ1リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RLD16	タイマ1リロードデータD6			1	R/W	
	D5	RLD15	タイマ1リロードデータD5			1	R/W	
	D4	RLD14	タイマ1リロードデータD4			1	R/W	
	D3	RLD13	タイマ1リロードデータD3	Low	High	1	R/W	
	D2	RLD12	タイマ1リロードデータD2			1	R/W	
	D1	RLD11	タイマ1リロードデータD1			1	R/W	
	D0	RLD10	タイマ1リロードデータD0 (LSB)			1	R/W	
00FF35	D7	PTD07	タイマ0カウンタデータD7 (MSB)	High	Low	1	R	
	D6	PTD06	タイマ0カウンタデータD6			1	R	
	D5	PTD05	タイマ0カウンタデータD5			1	R	
	D4	PTD04	タイマ0カウンタデータD4			1	R	
	D3	PTD03	タイマ0カウンタデータD3	Low	High	1	R	
	D2	PTD02	タイマ0カウンタデータD2			1	R	
	D1	PTD01	タイマ0カウンタデータD1			1	R	
	D0	PTD00	タイマ0カウンタデータD0 (LSB)			1	R	
00FF36	D7	PTD17	タイマ1カウンタデータD7 (MSB)	High	Low	1	R	
	D6	PTD16	タイマ1カウンタデータD6			1	R	
	D5	PTD15	タイマ1カウンタデータD5			1	R	
	D4	PTD14	タイマ1カウンタデータD4			1	R	
	D3	PTD13	タイマ1カウンタデータD3	Low	High	1	R	
	D2	PTD12	タイマ1カウンタデータD2			1	R	
	D1	PTD11	タイマ1カウンタデータD1			1	R	
	D0	PTD10	タイマ1カウンタデータD0 (LSB)			1	R	
00FF21	D7	-	-	-	-	-	-	読み出し時は常時"0"
	D6	-	-	-	-	-	-	
	D5	-	-	-	-	-	-	
	D4	-	-	-	-	-	-	
	D3	PPT1	プログラマブルタイマ割り込み	PPT1 PK11	PPT0 PK10	優先 レベル	0	R/W
	D2	PPT0	プライオリティレジスタ	1 1	1 1	レベル3	0	R/W
	D1	PK11	K10割り込み	1 0	0 1	レベル2 レベル1	0 0	R/W R/W
	D0	PK10	プライオリティレジスタ	0 0	0 0	レベル0	0	R/W
00FF23	D7	EPT1	プログラマブルタイマ1割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D6	EPT0	プログラマブルタイマ0割り込みイネーブルレジスタ			0	R/W	
	D5	EK1	K10割り込みイネーブルレジスタ			0	R/W	
	D4	EKOH	K04 ~ K07割り込みイネーブルレジスタ			0	R/W	
	D3	EK0L	K00 ~ K03割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブルレジスタ			0	R/W	
	D1	ESREC	シリアルI/F(受信)割り込みイネーブルレジスタ			0	R/W	
	D0	ESTRA	シリアルI/F(送信)割り込みイネーブルレジスタ			0	R/W	
00FF25	D7	FPT1	プログラマブルタイマ1割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W	
	D6	FPT0	プログラマブルタイマ0割り込み要因フラグ			0	R/W	
	D5	FK1	K10割り込み要因フラグ			0	R/W	
	D4	FK0H	K04 ~ K07割り込み要因フラグ			0	R/W	
	D3	FK0L	K00 ~ K03割り込み要因フラグ	(W) リセット	(W) 無効	0	R/W	
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ			0	R/W	
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ			0	R/W	
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ			0	R/W	

MODE16: 00FF30H·D4

8/16ビットモードを選択します。

- "1"書き込み: 16ビット×1チャンネル
- "0"書き込み: 8ビット×2チャンネル
- 読み出し: 可能

タイマ0とタイマ1を独立した2チャンネルの8ビットタイマとして使用するか、組み合わせた1チャンネルの16ビットタイマとして使用するかを選択します。MODE16に"0"を書き込んだ場合は8ビット×2チャンネル、"1"を書き込んだ場合は16ビット×1チャンネルがそれぞれ選択されます。
イニシャルリセット時、MODE16は"0"(8ビット×2チャンネル)に設定されます。

CKSEL0, CKSEL1: 00FF30H·D0, D1

プリスケーラの原振クロックを選択します。

- "1"書き込み: OSC3クロック
- "0"書き込み: OSC1クロック
- 読み出し: 可能

プリスケーラ0の原振クロックをOSC1とするかOSC3とするかを選択します。CKSEL0に"0"を書き込んだ場合はOSC1、"1"を書き込んだ場合はOSC3がそれぞれ選択されます。

同様に、プリスケーラ1の原振クロックがCKSEL1によって選択されます。

なお、イベントカウンタモードを選択している場合はCKSEL0の設定は無効となります。また、同様に16ビットモードではCKSEL1の設定が無効となります。

イニシャルリセット時、本レジスタはそれぞれ"0"(OSC1クロック)に設定されます。

PSC00, PSC01: 00FF31H·D3, D4**PSC10, PSC11: 00FF32H·D3, D4**

プリスケーラの分周比を選択します。

PSC00、PSC01の2ビットはタイマ0に対応したプリスケーラ分周比選択レジスタで、PSC10、PSC11の2ビットは同様にタイマ1に対応しています。

本レジスタによって設定できるプリスケーラの分周比は表5.10.11.2のとあります。

表5.10.11.2 プリスケーラ分周比の選択

PSC11 PSC01	PSC10 PSC00	プリスケーラ分周比
1	1	原振クロック / 64
1	0	原振クロック / 16
0	1	原振クロック / 4
0	0	原振クロック / 1

なお、イベントカウンタモードを選択している場合はPSC00、PSC01の設定は無効となります。また、同様に16ビットモードではPSC10、PSC11の設定が無効となります。

イニシャルリセット時、本レジスタは"0"(入力クロック/1)に設定されます。

EVCNT: 00FF31H·D7

タイマ0のカウンタモードを選択します。

- "1"書き込み: イベントカウンタモード
- "0"書き込み: タイマモード
- 読み出し: 可能

タイマ0をイベントカウンタとして使用するか、タイマとして使用するかを選択します。EVCNTに"1"を書き込んだ場合はイベントカウンタモード、"0"を書き込んだ場合はタイマモードがそれぞれ選択されます。

イニシャルリセット時、EVCNTは"0"(タイマモード)に設定されます。

FCSEL: 00FF31H·D6

タイマ0の各カウンタモードに対する機能の選択を行います。

- タイマモード時

- "1"書き込み: パルス幅測定タイマモード
- "0"書き込み: 通常モード
- 読み出し: 可能

タイマモードでは、タイマ0をパルス幅測定タイマとして使用するか、通常のタイマとして使用するかを選択します。

FCSELに"1"を書き込んだ場合はパルス幅測定タイマモードが選択され、K10入力ポート端子に入力される信号(EVIN)のレベルにしたがってカウントが行われます。また、FCSELに"0"を書き込んだ場合は通常モードが選択され、K10入力ポート端子の影響を受けずにカウントが行われます。

- イベントカウンタモード時

- "1"書き込み: ノイズリジェクト付き
- "0"書き込み: ノイズリジェクトなし
- 読み出し: 可能

イベントカウンタモードでは、K10入力ポート端子に対してノイズリジェクタを付加するかしないかを選択します。

FCSELに"1"を書き込んだ場合はノイズリジェクタが付加され、0.98msec以上のパルス幅の外部クロック(EVIN)によってカウントが行われます。(ノイズリジェクタは、K10入力ポート端子の入力レベルが変化してから2度目の内部2,048Hz信号の立ち下がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msecとなります。)

また、FCSELに"0"を書き込んだ場合はノイズリジェクタは付加されず、K10入力ポート端子に入力される外部クロック(EVIN)によって直接カウントが行われます。

イニシャルリセット時、FCSELは"0"に設定されます。

PLPOL: 00FF31H·D5

K10入力ポート端子のパルス極性を選択します。

- イベントカウンタモード時
 - "1"書き込み: 立ち上がりエッジ
 - "0"書き込み: 立ち下がりエッジ
 - 読み出し: 可能

イベントカウンタモードでは、カウントのタイミングをK10入力ポート端子に入力される外部クロック(EVIN)の立ち下がりエッジとするか、立ち上がりエッジとするかを選択します。

PLPOLに"0"を書き込んだ場合は立ち下がりエッジ、"1"を書き込んだ場合は立ち上がりエッジがそれぞれ選択されます。

- パルス幅測定タイマモード時
 - "1"書き込み: HIGHレベル幅測定
 - "0"書き込み: LOWレベル幅測定
 - 読み出し: 可能

パルス幅測定タイマモードでは、K10入力ポート端子に入力される信号(EVIN)のLOWレベル幅を測定するか、HIGHレベル幅を測定するかを選択します。PLPOLに"0"を書き込んだ場合はLOWレベル幅測定、"1"を書き込んだ場合はHIGHレベル幅測定がそれぞれ選択されます。

なお、通常モード(EVCNT=FCSEL="0")ではPLPOLの設定は無効となります。

イニシャルリセット時、PLPOLは"0"に設定されます。

CONT0, CONT1: 00FF31H·D2, 00FF32H·D2

連続/ワンショットモードを選択します。

- "1"書き込み: 連続モード
- "0"書き込み: ワンショットモード
- 読み出し: 可能

タイマ0を連続モードで使用するか、ワンショットモードで使用するかを選択します。

CONT0に"1"を書き込んだ場合は連続モードが選択され、カウンタのアンダーフロー発生時に初期値をリロードしてカウントを継続します。

また、CONT0に"0"を書き込んだ場合はワンショットモードが選択され、カウンタのアンダーフロー発生時に初期値をリロードしてカウントを停止します。このとき、PRUN0は自動的に"0"にリセットされます。

同様に、タイマ1の連続/ワンショットモードがCONT1によって選択されます。(タイマ1のワンショットモードでは、カウンタのアンダーフロー発生時にPRUN1が自動的に"0"にリセットされます。)イニシャルリセット時、本レジスタはそれぞれ"0"(ワンショットモード)に設定されます。

RLD00~RLD07: 00FF33H**RLD10~RLD17: 00FF34H**

カウンタの初期値を設定します。

- RLD00 ~ RLD07: タイマ0リロードデータ
- RLD10 ~ RLD17: タイマ1リロードデータ

本レジスタに設定したリロードデータがそれぞれのカウンタにロードされ、それを初期値としてダウンカウントが行われます。

リロードデータがカウンタにロードされる条件はPSET0、PSET1に"1"を書き込んでプリセットを行う場合と、カウンタのアンダーフローによって自動的にリロードが行われる場合です。

イニシャルリセット時、本レジスタはそれぞれ"FFH"に設定されます。

PTD00~PTD07: 00FF35H**PTD10~PTD17: 00FF36H**

プログラマブルタイマのデータが読み出せます。

- PTD00 ~ PTD07: タイマ0カウンタデータ
- PTD10 ~ PTD17: タイマ1カウンタデータ

本ビットは読み出し時にカウンタのデータが保持されるバッファとなっており、データは任意のタイミングで読み出しが可能です。ただし、16ビットモードでは読み出しエラー(PTD00 ~ PTD07とPTD10 ~ PTD17の読み出しの途中に、タイマ0からタイマ1へのボローが発生した場合のデータエラー)を回避するため、PTD10 ~ PTD17はPTD00 ~ PTD07の読み出しによってタイマ1のカウンタデータをラッチします。

PTD10 ~ PTD17のラッチ状態はPTD10 ~ PTD17の読み出し、または0.73msec ~ 1.22msec(読み出しのタイミングにより異なる)の時間経過によって解除されます。したがって、16ビットモードではPTD00 ~ PTD07、PTD10 ~ PTD17の順でカウンタデータの読み出しを行ってください。

本ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、本ビットはそれぞれ"FFH"に設定されます。

PSET0, PSET1: 00FF31H·D1, 00FF32H·D1

リロードデータをカウンタにプリセットします。

- "1"書き込み: プリセット
- "0"書き込み: ノーオペレーション
- 読み出し: 常時"0"

PSET0に"1"を書き込むことによって、PLD00 ~ PLD07のリロードデータがタイマ0のカウンタにプリセットされます。タイマ0のカウンタがRUN状態のときにプリセットを行うとリロードデータのプリセット直後にリスタートします。

また、STOP状態の場合はプリセットされたリロードデータがそのまま保持されます。
 "0"の書き込みはノーオペレーションとなります。同様に、PLD10～PLD17のリロードデータがPSET1によってタイマ1のカウンタにプリセットされます。なお、16ビットモードを選択している場合はPSET1への"1"書き込みは無効となります。本ビットは書き込み専用のため、読み出しある時"0"となります。

PRUN0, PRUN1: 00FF31H·D0, 00FF32H·D0

カウンタのRUN/STOPを制御します。

"1"書き込み: RUN
 "0"書き込み: STOP
 読み出し: 可能

タイマ0のカウンタはPRUN0に"1"を書き込むことによってダウンカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではプリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

同様に、タイマ1のカウンタがPRUN1によってRUN/STOP制御されます。

なお、16ビットモードを選択している場合はPRUN1は"0"に固定されます。

イニシャルリセット時、およびワンショットモードにおいてアンダーフローが発生したとき、本レジスタはそれぞれ"0"(STOP)に設定されます。

CHSEL: 00FF30H·D3

TOUTおよびTOUT信号のチャンネルを選択します。

"1"書き込み: タイマ1アンダーフロー
 "0"書き込み: タイマ0アンダーフロー
 読み出し: 可能

TOUTおよびTOUT信号にタイマ0のアンダーフローを使用するか、タイマ1のアンダーフローを使用するかを選択します。CHSELに"0"を書き込んだ場合はタイマ0、"1"を書き込んだ場合はタイマ1がそれぞれ選択されます。

なお、16ビットモードを選択している場合はタイマ1(16ビットタイマのアンダーフロー)固定となり、CHSELの設定は無効となります。

イニシャルリセット時、CHSELは"0"(タイマ0アンダーフロー)に設定されます。

PTOUT: 00FF30H·D2

TOUT(プログラマブルタイマ出力クロック)信号およびTOUT(TOUT反転)信号の出力制御を行います。

"1"書き込み: TOUTおよびTOUT信号出力
 "0"書き込み: HIGHレベル(DC)出力 [R27]
 LOWレベル(DC)出力 [R26]
 読み出し: 可能

PTOUTはTOUTおよびTOUT信号の出力制御レジスタで、"1"を設定するとTOUT信号がR27出力ポート端子から、TOUT信号がR26出力ポート端子から出力され、"0"を設定するとR27端子はHIGH(VDD)レベル、R26端子はLOW(VSS)レベルとなります。TOUT出力をを行う場合、データレジスタR27Dには常時"1"が設定されている必要があります。TOUT出力をを行うにはマスクオプションでR26端子をTOUT出力に設定しておくことが必要です。イニシャルリセット時、PTOUTは"0"(DC出力)に設定されます。

PPT0, PPT1: 00FF21H·D2, D3

プログラマブルタイマ割り込みの優先レベルを設定します。

PPT0、PPT1はプログラマブルタイマ割り込みに対応した割り込みプライオリティレジスタで、設定できる割り込み優先レベルは表5.10.11.3のとおりです。

表5.10.11.3 割り込み優先レベルの設定

PPT1	PPT0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

EPT0, EPT1: 00FF23H·D6, D7

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可
 "0"書き込み: 割り込み禁止
 読み出し: 可能

EPT0、EPT1はそれぞれタイマ0、タイマ1の割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

なお、16ビットモードを選択している場合はEPT0の設定は無効となります。

イニシャルリセット時、本レジスタはそれぞれ"0"(割り込み禁止)に設定されます。

FPT0, FPT1: 00FF25H·D6, D7

プログラマブルタイマ割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

FPT0、FPT1はそれぞれタイマ0、タイマ1の割り込みに対応する割り込み要因フラグで、それぞれのカウンタのアンダーフローに同期して"1"にセットされます。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0, I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

なお、16ビットモードを選択している場合は割り込み要因フラグFPT0は"1"にセットされず、タイマ0の割り込みも発生しません。(16ビットモード時は、16ビットカウンタのアンダーフローによって割り込み要因フラグFPT1が"1"にセットされます。) イニシャルリセット時、本フラグはそれぞれ"0"にリセットされます。

5.10.12 プログラミング上の注意事項

- (1) プログラマブルタイマはレジスタPRUN0(1)への書き込みに対して、入力クロックの立ち下がりエッジに同期して実際にRUN/STOP状態となります。したがって、PRUN0(1)に"0"を書き込んだ場合は、"-1"余分にカウントしたところでタイマが停止状態となります。また、このときPRUN0(1)は実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。

図5.10.12.1にRUN/STOP制御のタイミングチャートを示します。

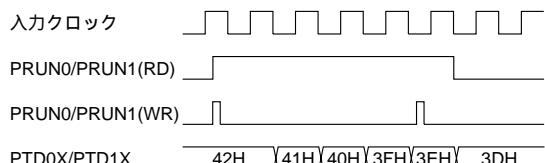


図5.10.12.1 RUN/STOP制御のタイミングチャート

なお、これについてはイベントカウンタモードは対象外です。

- (2) プログラマブルタイマがRUNしている状態(PRUN0(1)="1")でSLP命令を実行した場合は、SLEEP状態からの復帰時にプログラマブルタイマが不安定な動作となります。したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前にプログラマブルタイマをSTOP状態(PRUN0(1)="0")に設定してください。

また、同様にR27、R26出力ポート端子に不安定なクロックが出力されないようTOUT、TOUT信号をディセーブル状態(PTOUT="0")に設定してください。

- (3) TOUTおよびTOUT信号は出力制御レジスタPTOUTとは非同期に発生していますので、PTOUTの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

- (4) OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3の発振をONさせる必要があります。

なお、OSC3発振回路をONにしてから発振が安定するまでに数msec～数10msecの時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ONの後、充分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)

イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

- (5) 16ビットモードを選択している場合はPTD00～PTD07、PTD10～PTD17の順でカウンタデータの読み出しを行ってください。また、PTD00～PTD07とPTD10～PTD17の読み出しの時間差は0.73msec以下としてください。
- (6) プログラマブルタイマ動作中にプログラマブルタイマ割り込み発生間隔を変更する場合、以下の理由によりリロードデータを書き込むタイミングに注意が必要です。

プログラマブルタイマは入力クロックの立ち上がりエッジでダウンカウントを行い、そこでアンダーフローが発生した場合は同時に割り込みを発生します。その後、リロードデータをカウンタにセットする動作を開始し、入力クロックの次の立ち上がりエッジでカウンタデータが確定します(の区間)。

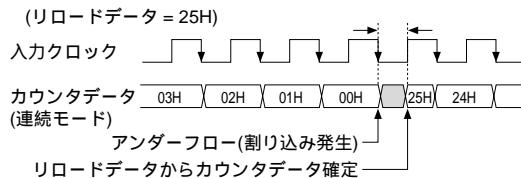


図5.10.12.2 プログラマブルタイマリロードタイミング

リロードデータを正しくカウンタにセットするために、割り込み発生後は の区間を含め、カウンタデータが確定するまではリロードデータの書き換えを行わないでください。入力クロックの源振にOSC1(低速クロック)を使用し、CPUがOSC3(高速クロック)で動作している場合は、特に注意が必要です。

5.11 LCDコントローラ

5.11.1 LCDコントローラの構成

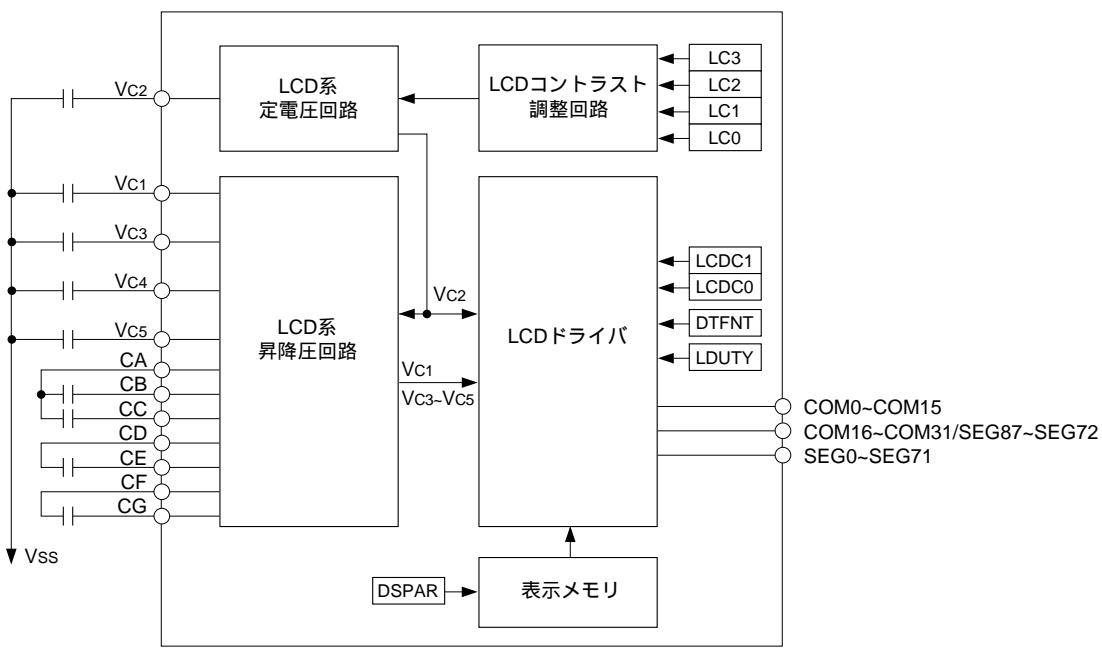
S1C88816は最大2,304ドット(72セグメント×32コモン)のLCDパネルが駆動可能なドットマトリクスLCDコントローラ/ドライバを内蔵しています。図5.11.1.1にLCDコントローラと駆動電源の構成を示します。

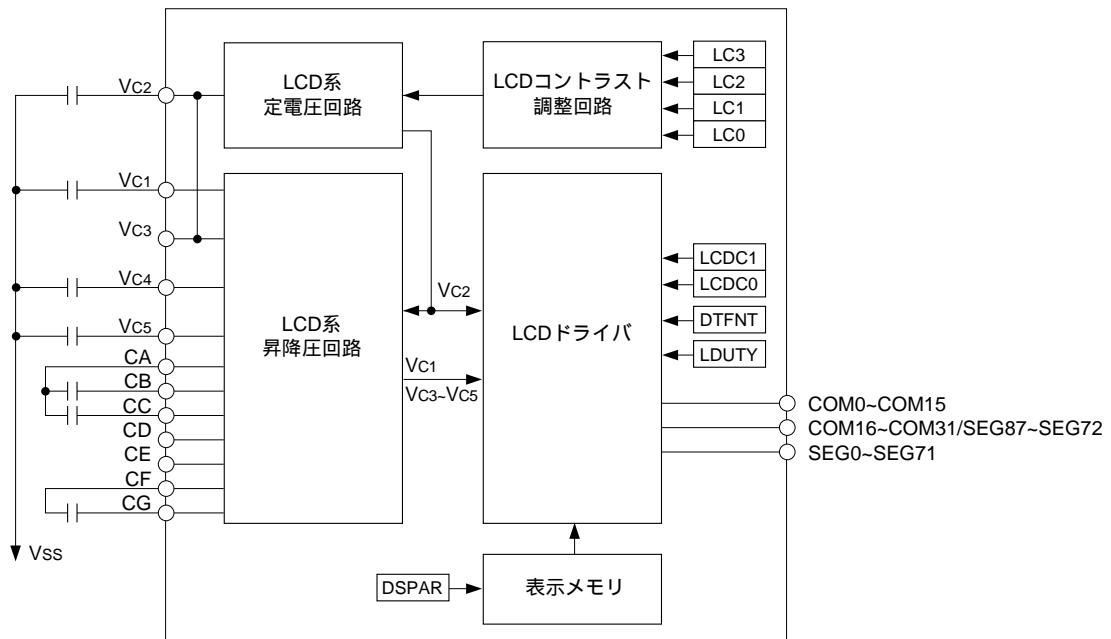
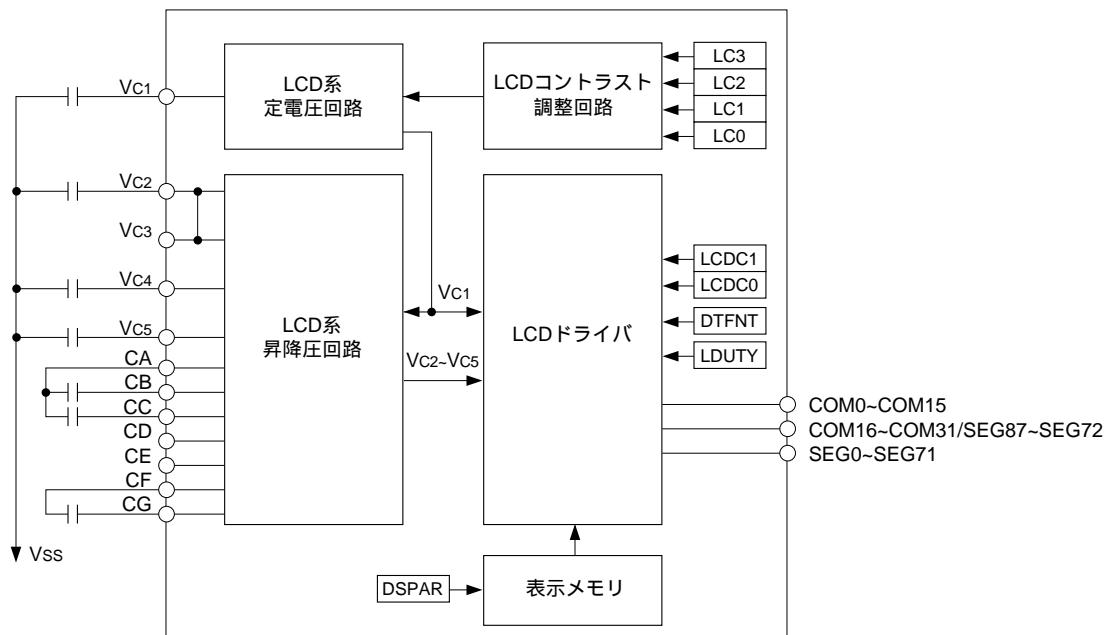
5.11.2 マスクオプション

内蔵LCDドライバの駆動デューティを1/32と1/16のソフトウェア切り換えとするか、1/8固定とするかをマスクオプションで選択することができます。

LCD駆動デューティ
1/32 & 1/16デューティ
1/8デューティ

"1/32 & 1/16デューティ"を選択した場合はソフトウェアで駆動デューティを選択することができます。駆動デューティ選択レジスタLDUTYに"0"を書き込んだ場合は1/32デューティ、"1"を書き込んだ場合は1/16デューティがそれぞれ選択されます。"1/8デューティ"を選択した場合は駆動デューティが1/8に固定され、LDUTYの設定は無効となります。内蔵LCDドライバを使用しない場合はデフォルトの"1/32 & 1/16デューティ"を選択してください。



(b) V_{C2} 基準の場合(1/4パイアス)(c) V_{C1} 基準の場合(1/4パイアス)

注: V_{C1} 基準は1/4パイアス時のみ選択可能です。

図5.11.1.1 LCDコントローラと駆動電源の構成

5.11.3 LCD電源

LCD系の駆動電圧 $V_{C1} \sim V_{C5}$ は、内部の定電圧回路と昇降圧回路によって発生される内部電源と、外部より印加する外部電源のどちらかをマスクオプションで選択することができます。また内部電源は、パネルの特性に合わせTYPE A ~ TYPE Dの4種類から選択可能です。

1/4バイアスでは定電圧回路によって V_{C1} または V_{C2} を発生し(1/5バイアスでは V_{C2} を発生)、その電圧を昇圧または降圧して他の電位を発生します。

表5.11.3.1に V_{C1} 、 V_{C2} 、 V_{C3} 、 V_{C4} 、 V_{C5} の電圧値と昇降圧の状態を示します。 V_{C1} 基準、 V_{C2} 基準のどちらを使用するかは、マスクオプションで選択します。なお、1/5バイアス、1/4バイアスの選択により外付けの部品点数が変わりますので注意してください。

LCD電源

- 内部電源 TYPE A (V_{C2} 基準, 1/5バイアス, 4.5V)
- 内部電源 TYPE B (V_{C2} 基準, 1/5バイアス, 5.5V)
- 内部電源 TYPE C (V_{C2} 基準, 1/4バイアス, 4.5V)
- 内部電源 TYPE D (V_{C1} 基準, 1/4バイアス, 4.5V)
- 外部電源

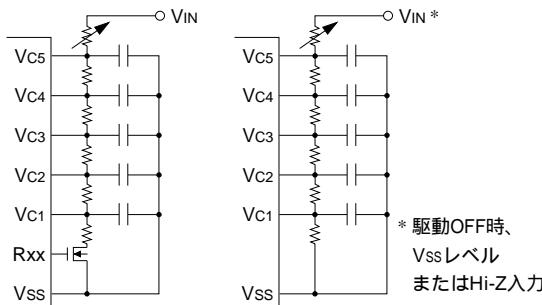


図5.11.3.1 外部電源の回路例

内部電源は、小規模LCDパネル用に設計されているため、表示画素が大きいパネルの駆動には適していません。この場合は外部電源を選択し、外部より規定の電圧を入力してください。図5.11.3.1に外部電源の回路例を示します。なお、外部電源を選択した場合でも、表示中はLCD電源制御レジスタの設定をOFF($LCDC1 = LCDC0 = "0"$)にはしないでください。

5.11.4 LCD ドライバ

内蔵LCDドライバは駆動デューティの選択にしたがって、LCDパネルの最大駆動ドット数が変化します。

1/32デューティ選択時はコモン/セグメント兼用出力端子がコモン端子となり、72セグメント×32コモン(最大2,304ドット)のLCDパネルが駆動可能となります。

1/16デューティ選択時はコモン/セグメント兼用出力端子が逆にセグメント端子となり、88セグメント×16コモン(最大1,408ドット)のLCDパネルが駆動可能となります。

1/8デューティ選択時はコモン/セグメント兼用出力端子が1/16デューティ選択時同様セグメント端子となり、88セグメント×8コモン(最大704ドット)のLCDパネルが駆動可能となります。なお、1/8デューティ選択時はCOM8 ~ COM15端子が常時OFF信号を出力する無効な端子となります。

表5.11.4.1に駆動デューティと最大表示ドット数の対応を示します。

1/32、1/16、1/8デューティいずれも駆動バイアスは1/5($V_{C1} \sim V_{C5}$ による5電位)で、駆動波形はそれぞれ図5.11.4.1 ~ 図5.11.4.3に示すとおりとなります。

表5.11.3.1 LCD駆動電圧

LCD駆動電圧	TYPE A [V]	TYPE B [V]	TYPE C [V]	TYPE D [V]
V_{C1}	$V_{C2} \times 0.5$	0.90	$V_{C2} \times 0.5$	1.10
V_{C2}	V_{C2} (基準)	1.80	V_{C2} (基準)	2.20
V_{C3}	$V_{C2} \times 1.5$	2.70	$V_{C2} \times 1.5$	3.30
V_{C4}	$V_{C2} \times 2$	3.60	$V_{C2} \times 2$	4.40
V_{C5}	$V_{C2} \times 2.5$	4.50	$V_{C2} \times 2.5$	5.50
			$= V_{C2}$	2.25
			$= V_{C2}$	2.25
			$V_{C1} \times 3$	3.38
			$V_{C1} \times 4$	4.50

注: 各LCD駆動電圧はコントラスト調整レジスタ(LCx)の調整によります。

表5.11.4.1 駆動デューティと最大表示ドット数の対応

マスクオプション	LDUTY	デューティ	コモン端子	セグメント端子	最大表示ドット数
1/32 & 1/16 デューティ	0	1/32	COM0~COM31	SEG0~SEG71	2,304ドット
	1	1/16	COM0~COM15	SEG0~SEG71	1,408ドット
1/8デューティ	x	1/8	COM0~COM7	SEG72~SEG87	704ドット

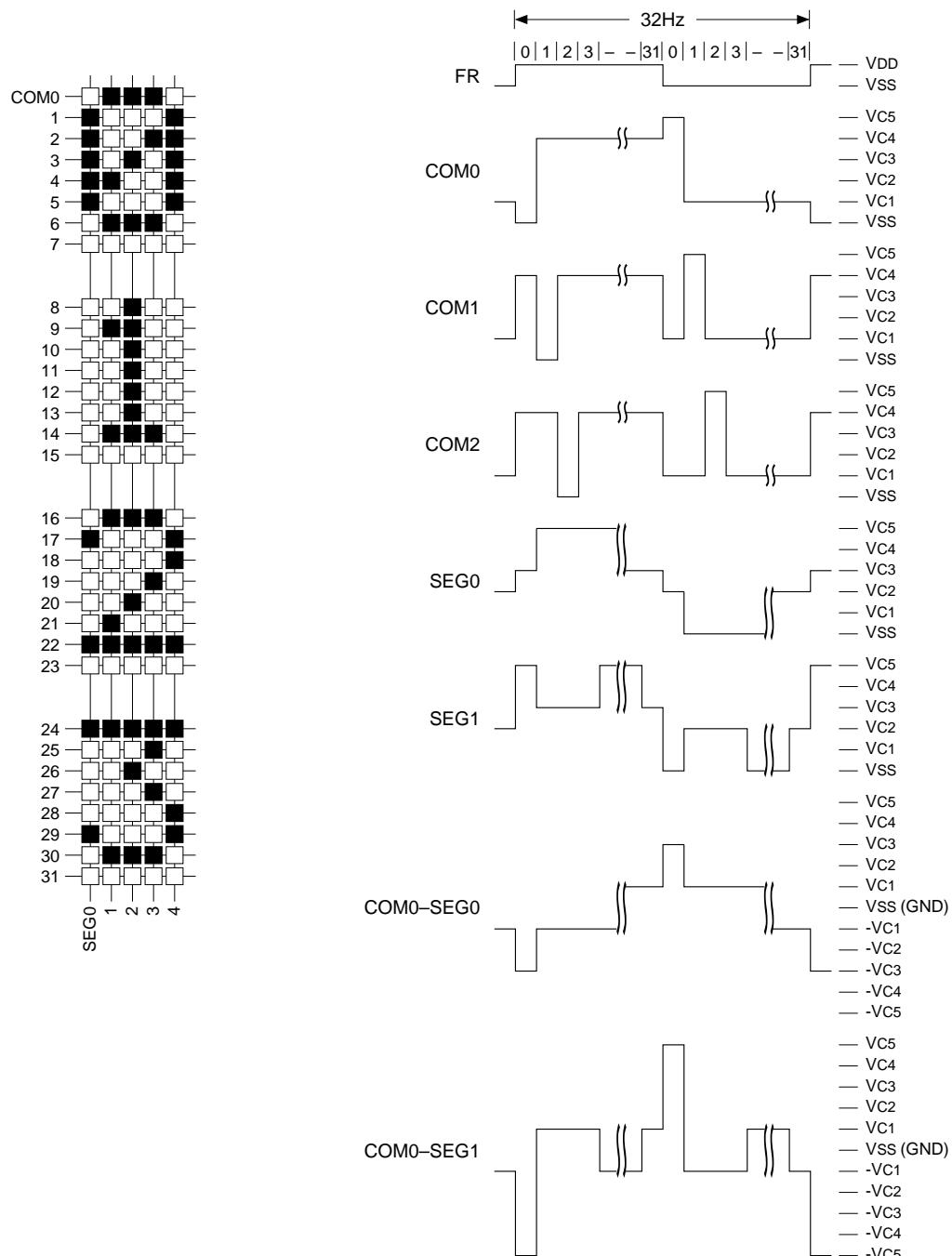


図5.11.4.1 1/32デューティの駆動波形

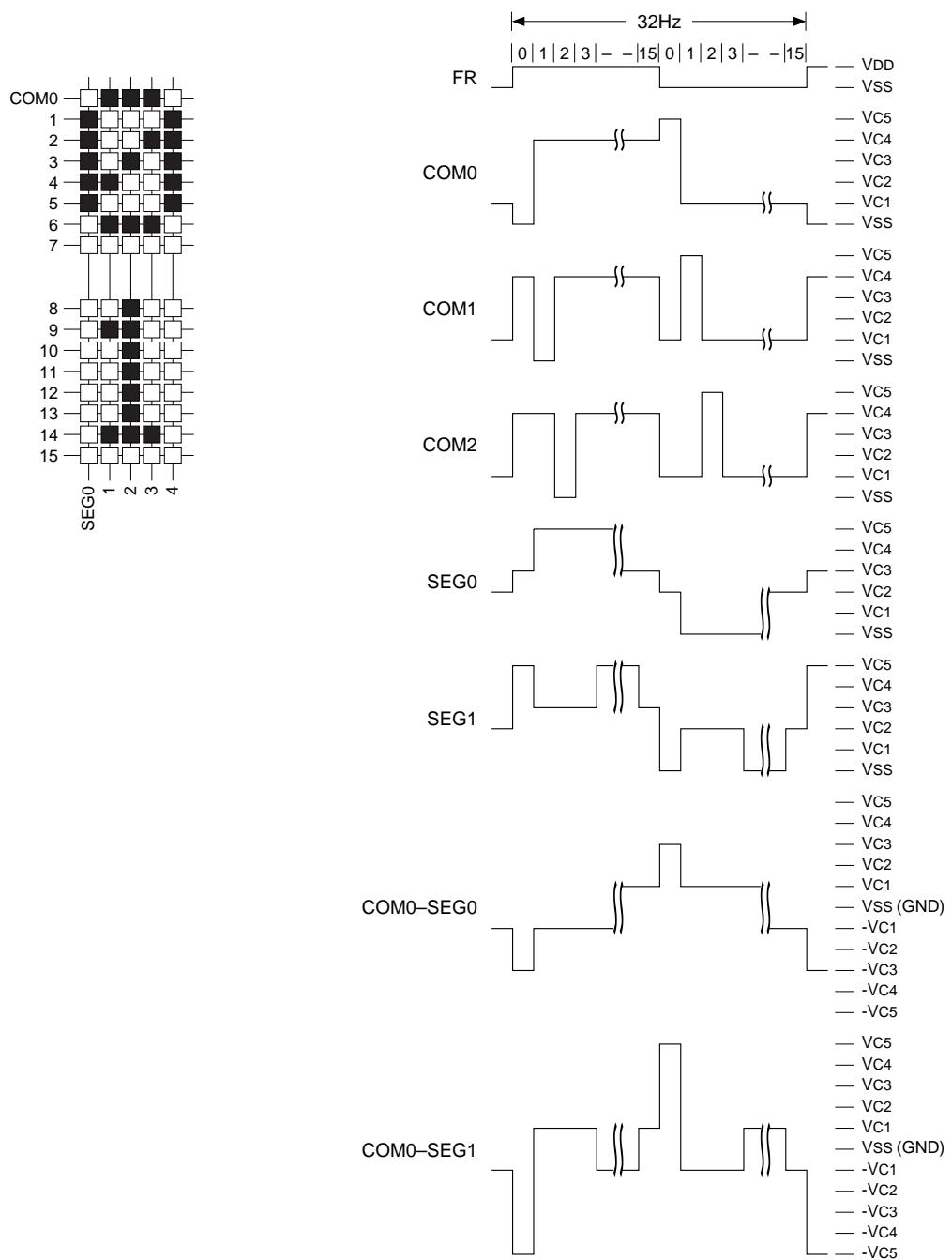


図5.11.4.2 1/16デューティの駆動波形

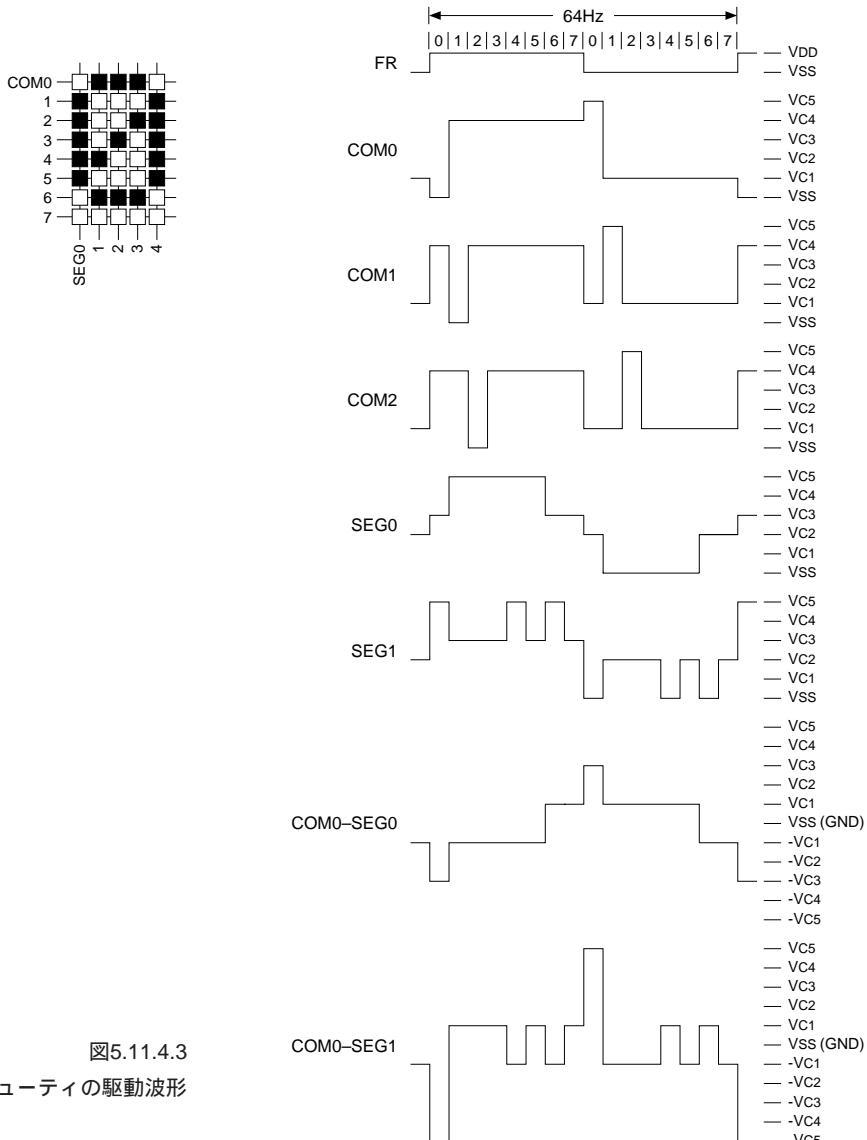


図5.11.4.3

1/8デューティの駆動波形

5.11.5 表示メモリ

S1C88816は528バイトの表示メモリを内蔵しています。表示メモリはアドレスF800H～FD57Hに割り付けられており、メモリビットとコモン/セグメント端子の対応は次に示す項目の選択状態にしたがって変化します。

- (1) 駆動デューティ(1/32、1/16または1/8デューティ)
- (2) ドットフォント(5×8または5×5ドット)

駆動デューティとして1/16または1/8デューティを選択した場合は2画面分のメモリを確保することができ、表示メモリ領域選択レジスタDSPARによって画面の切り換えを行うことができます。DSPARに"0"を書き込んだ場合は表示領域0、"1"を書き込んだ場合は表示領域1がそれぞれ選択されます。また、5×5ドットフォントのLCDパネルにソフトウェアで容易にキャラクタを表示できるよう5×8ドットと5×5ドット間で別々のメモリ配置を選択することができます。

この選択はドットフォント選択レジスタDTFNTによって行われ、DTFNTに"0"を書き込んだ場合は5×8ドット、"1"を書き込んだ場合は5×5ドットがそれぞれ選択されます。

駆動デューティとドットフォントの選択にしたがった表示メモリのビットとコモン/セグメント端子の対応を図5.11.5.1～図5.11.5.6にそれぞれ示します。

LCDパネル上のドットに対応する表示メモリのビットに"1"を書き込むとそのドットがONし、"0"を書き込むとOFFします。表示メモリはリード/ライト可能なRAM構造となっているため、論理演算命令等(リードモディファイライト命令)によるビット単位の制御を行うことができます。

528バイトの表示メモリ中で表示領域に割り当てられないビットは、リード/ライト可能な汎用RAMとして使用することができます。

アドレス/データビット		0	1	2	3	4	5
DD	0123456789ABCDEF						
D1	00F800H `	00F800H `	00F857H `	00F900H `	00F900H `	00FA00H `	00FB00H `
D2	00F800H `	00F857H `	00F957H `	00F900H `	00FA00H `	00FB00H `	00FC00H `
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							
D4							
D5							
D6							
D7							
DO							
D1							
D2							
D3							

図5.11.5.1 1/32デューティ、5×8ドット表示メモリマップ

図5.11.5.2 1/32デューティ、5×5ドット表示メモリマップ

図5.11.5.3 1/16デューティ、5×8ドット表示メモリマップ

図5.11.5.4 1/16デューティ 5×5ドット表示メモリマップ

アドレス/データビット	0	1	2	3	4	5
D0	0123456789ABCDEF	0123456789ABCDEF	0123456789ABCDEF	0123456789ABCDEF	0123456789ABCDEF	0123456789ABCDEF
D1						
D2						
D3						
D4						
D5						
D6						
D7						
D0						
D1						
D2						
D3						
D4						
D5						
D6						
D7						
D0						
D1						
D2						
D3						
D4						
D5						
D6						
D7						
D0						
D1						
D2						
D3						
D4						
D5						
D6						
D7						
D0						
D1						
D2						
D3						
D4						
D5						
D6						
D7						
D0						
D1						
D2						
D3						
D4						
D5						
D6						
D7						

図5.11.5.5 1/8デューティ、5×8ドット表示メモリマップ

図5.11.5.6 1/8デューティ 5×5ドット表示メモリマップ

5.11.6 表示の制御

内蔵LCDドライバの表示状態とコントラストの調整を内蔵のLCDコントローラによって制御することができます。

LCDの表示状態は表示制御レジスタLCDC0、LCDC1によって選択され、設定値と表示状態が表5.11.6.1に示すとおり対応しています。

表5.11.6.1 LCD表示制御

LCDC1	LCDC0	LCD表示
1	1	全点灯(スタティック)
1	0	全消灯(ダイナミック)
0	1	通常表示
0	0	駆動 OFF

全点灯および全消灯はLCDドライバが出力する駆動波形を直接制御するもので、表示メモリのデータは変更されません。また、このときのコモン端子はそれぞれ全点灯ではスタティック駆動、全消灯ではダイナミック駆動となるため、次のような用途にこの機能を使用することができます。

- (1) 全点灯はスタティック駆動による2値(V_{C5} と V_{SS})出力となるため、コモン/セグメント端子をOSC1発振周波数の周波数調整用モニタ端子として使用することができます。
- (2) 全消灯はダイナミック駆動のため、LCD表示全体を点滅させたい場合に表示メモリのデータを変更せずに点滅を実現することができます。

駆動OFFを選択した場合はLCD駆動電源回路がOFFとなり、 $V_{C1} \sim V_{C5}$ 端子はすべて V_{SS} レベルとなります。マスクオプションで外部電源を選択した場合、 $V_{C1} \sim V_{C5}$ をフローティング状態にして外部電源と内部電源がショートしないようにしています。ただし、外部電源を使用する場合も、駆動OFFは選択しないでください。

なお、レジスタLCDC0、LCDC1はSLP命令が実行されることで、自動的にハードウェアによって"0"にリセット("駆動OFF"に設定)されます。

LCDのコントラストは16段階の調整が可能です。この調整はコントラスト調整レジスタLC0～LC3によって行われ、設定値とコントラストの濃淡が表5.11.6.2に示すとおり対応しています。ただし、マスクオプションで外部電源を選択した場合、LCDコントラスト調整レジスタLC0～LC3の設定によるコントラスト調整は無効となります。

表5.11.6.2 LCDのコントラスト調整

LC3	LC2	LC1	LC0	コントラスト
1	1	1	1	濃
1	1	1	0	↑
1	1	0	1	
:	:	:	:	
0	0	1	0	
0	0	0	1	↓
0	0	0	0	淡

5.11.7 LCDコントローラのI/Oメモリ

表5.11.7.1にLCDコントローラの制御ビットを示します。

表5.11.7.1 LCDコントローラの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈																							
00FF10	D7	—	—	—	—	—		読み出し時は常時"0"																							
	D6	—	—	—	—	—																									
	D5	—	—	—	—	—																									
	D4	LCCLK	汎用レジスタ	1	0	0	R/W	予約レジスタ																							
	D3	LCFRM	汎用レジスタ			0	R/W																								
	D2	DTFNT	LCD ドットフォント選択	5×5ドット	5×8ドット	0	R/W																								
	D1	LDUTY	LCD駆動デューティ選択	1/16デューティ	1/32デューティ	0	R/W	*1																							
	D0	SGOUT	汎用レジスタ	1	0	0	R/W	予約レジスタ																							
00FF11	D7	—	—	—	—	—		読み出し時は"0"																							
	D6	DSPAR	LCD表示メモリ領域選択	表示領域1	表示領域0	0	R/W																								
	D5	LCDC1	LCD表示制御	<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>LCDC1</td> <td>LCDC0</td> <td>LCD表示</td> </tr> <tr> <td>1</td> <td>1</td> <td>全点灯</td> </tr> <tr> <td>1</td> <td>0</td> <td>全消灯</td> </tr> <tr> <td>0</td> <td>1</td> <td>通常表示</td> </tr> <tr> <td>0</td> <td>0</td> <td>駆動Off</td> </tr> </table>	LCDC1	LCDC0	LCD表示	1	1	全点灯	1	0	全消灯	0	1	通常表示	0	0	駆動Off	0	R/W	SLP命令実行時に(0, 0)にリセット									
LCDC1	LCDC0	LCD表示																													
1	1	全点灯																													
1	0	全消灯																													
0	1	通常表示																													
0	0	駆動Off																													
D4	LCDC0	0	R/W																												
D3	LC3	LCDコントラスト調整	<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>LC3</td> <td>LC2</td> <td>LC1</td> <td>LC0</td> <td>コントラスト</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>濃</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>0</td> <td>:</td> </tr> <tr> <td>:</td> <td>:</td> <td>:</td> <td>:</td> <td>:</td> </tr> <tr> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>淡</td> </tr> </table>	LC3	LC2	LC1	LC0	コントラスト	1	1	1	1	濃	1	1	1	0	:	:	:	:	:	:	0	0	0	0	淡	0	R/W	
LC3	LC2	LC1	LC0	コントラスト																											
1	1	1	1	濃																											
1	1	1	0	:																											
:	:	:	:	:																											
0	0	0	0	淡																											
D2	LC2	0	R/W																												
D1	LC1	0	R/W																												
D0	LC0	0	R/W																												

*1 マスクオプションで1/8デューティを選択している場合は、本レジスタの設定は無効となります。

LDUTY: 00FF10H·D1

駆動デューティを選択します。

"1"書き込み: 1/16デューティ

"0"書き込み: 1/32デューティ

読み出し: 可能

マスクオプションで"1/32 & 1/16デューティ"を選択した場合の駆動デューティを、1/32とするか1/16とするかを選択します。

LDUTYに"0"を書き込んだ場合は1/32デューティが選択され、コモン/セグメント兼用出力端子はコモン端子に設定されます。

また、LDUTYに"1"を書き込んだ場合は1/16デューティが選択され、コモン/セグメント兼用出力端子はセグメント端子に設定されます。

マスクオプションで"1/8デューティ"を選択した場合はコモン/セグメント兼用出力端子はセグメント端子固定となり、LDUTYの設定は無効となります。

駆動デューティの選択にしたがった表示メモリのビットとコモン/セグメント端子の対応については、図5.11.5.1～図5.11.5.6を参照してください。

イニシャルリセット時、LDUTYは"0"(1/32デューティ)に設定されます。

DTFNT: 00FF10H·D2

ドットフォントを選択します。

"1"書き込み: 5×5ドット

"0"書き込み: 5×8ドット

読み出し: 可能

表示メモリ上の表示領域を5×8ドットに適合させるか、5×5ドットに適合させるかを選択します。DTFNTに"0"を書き込むと5×8ドット、"1"を書き込むと5×5ドットがそれぞれ選択されます。

ドットフォントの選択にしたがった表示メモリのビットとコモン/セグメント端子の対応については、図5.11.5.1～図5.11.5.6を参照してください。

イニシャルリセット時、DTFNTは"0"(5×8ドット)に設定されます。

DSPAR: 00FF11H·D6

表示領域を選択します。

"1"書き込み: 表示領域1

"0"書き込み: 表示領域0

読み出し: 可能

1/16または1/8デューティ選択時に表示メモリ中に2画面分確保される表示領域のどちらを表示させるかを選択します。DSPARに"0"を書き込むと表示領域0、"1"を書き込むと表示領域1がそれぞれ選択されます。

1/32デューティ選択時は1画面分のみの表示領域となるため、DSPARの設定は無効となります。表示領域の選択にしたがった表示メモリのビットとコモン/セグメント端子の対応については、図5.11.5.1～図5.11.5.6を参照してください。

イニシャルリセット時、DSPARは"0"(表示領域0)に設定されます。

LCDC0, LCDC1: 00FF11H·D4, D5

LCDの表示を制御します。

表5.11.7.2 LCDの表示制御

LCDC1	LCDC0	LCD表示
1	1	全点灯(スタティック)
1	0	全消灯(ダイナミック)
0	1	通常表示
0	0	駆動 OFF

上記4種類の状態を表示メモリのデータを変更せずに設定することができます。

イニシャルリセット時、およびSLEEP状態のとき本レジスタは"0"(駆動OFF)に設定されます。

LC0～LC3: 00FF11H·D0～D3

LCDのコントラストを調整します。

表5.11.7.3 LCDのコントラスト調整

LC3	LC2	LC1	LC0	コントラスト
1	1	1	1	濃
1	1	1	0	↑
1	1	0	1	
1	1	0	0	
1	0	1	1	
1	0	1	0	
1	0	0	1	
1	0	0	0	
0	1	1	1	
0	1	1	0	
0	1	0	1	
0	1	0	0	
0	0	1	1	
0	0	1	0	
0	0	0	1	↓
0	0	0	0	淡

コントラストは上記16段階の調整を行うことができます。これによってVC1～VC5端子の駆動電圧が変化します。

イニシャルリセット時、本レジスタは"0"に設定されます。

注! マスクオプションで外部電源を選択した場合、本レジスタの設定は無効となります。

5.11.8 プログラミング上の注意事項

表示制御レジスタLCDC0、LCDC1はSLP命令が実行されることで、自動的にハードウェアによって"0"にリセットされます。

5.12 サウンドジェネレータ

5.12.1 サウンドジェネレータの構成

S1C88816はブザー信号を発生するサウンドジェネレータを内蔵しています。

ここで発生したブザー(BZ、 \bar{BZ})信号はR50、R51出力ポート端子から出力することができます。

また、メロディ出力端子(MOUT、 \bar{MOUT} 端子)から出力することもできます。その方法については"5.13 メロディジェネレータ"を参照してください。

ブザー信号の周波数と音量(デューティ調整)をソフトウェアによってそれぞれ8段階に設定できるほか、デューティ比制御によるデジタルエンベロープを附加することができます。また、キー操作音等を出力するための、ワンショット出力機能も内蔵しています。

図5.12.1.1にサウンドジェネレータの構成を示します。

5.12.2 マスクオプション

出力ポートR51出力仕様
R51..... DC出力 \bar{BZ} 出力

S1C88816では、マスクオプションによりR51出力ポート端子の出力仕様を \bar{BZ} 出力(BZ反転信号出力)に設定することができます。本項内のBZ信号の記述は、R51端子の出力仕様を \bar{BZ} 出力に設定した場合が対象となります。

5.12.3 ブザー出力の制御

ブザー(BZ、 \bar{BZ})信号はR50、R51出力ポート端子から出力することができます。

出力ポートR50およびR51の構成を図5.12.3.1に示します。

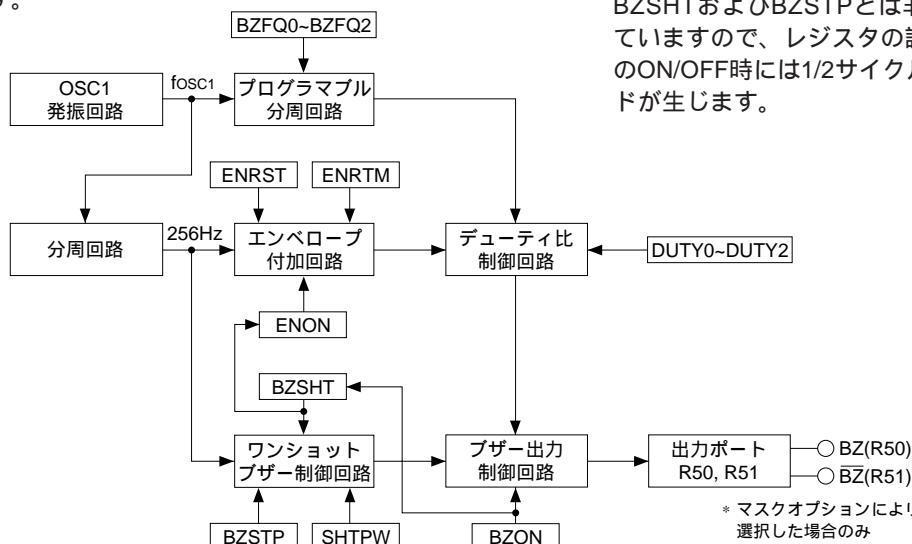


図5.12.1.1 サウンドジェネレータの構成

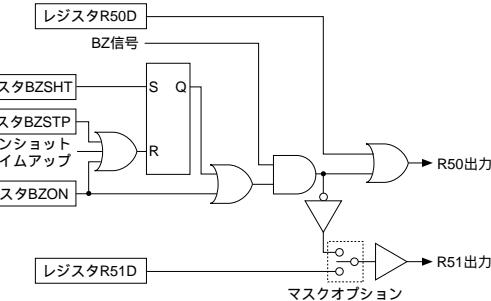


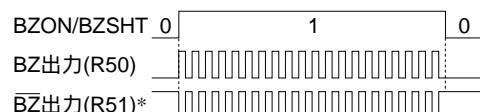
図5.12.3.1 R50とR51の構成

サウンドジェネレータで発生したブザー信号はブザー出力制御レジスタBZON、ワンショットブザートリガビットBZSHTおよびワンショットブザーストップビットBZSTPによって出力制御が行われます。BZONまたはBZSHTに"1"を設定するとBZ信号がR50出力ポート端子から、 \bar{BZ} 信号がR51出力ポート端子からそれぞれ出力され、BZONに"0"またはBZSTPに"1"を設定するとR50端子はLOW(Vss)レベル、R51端子はHIGH(VDD)レベルとなります。

BZ出力をを行う場合、データレジスタR50Dには常時"0"が設定されている必要があります。

\bar{BZ} 出力をを行うにはマスクオプションでR51端子を \bar{BZ} 出力に設定しておく必要があります。この場合のR51Dは、 \bar{BZ} 出力には影響を与えません。

図5.12.3.2にBZおよび \bar{BZ} 信号の出力波形を示します。



* マスクオプションにより選択した場合

図5.12.3.2 BZおよび \bar{BZ} 信号の出力波形

注! BZおよび \bar{BZ} 信号はレジスタBZON、BZSHTおよびBZSTPとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

5.12.4 ブザー周波数と音量の設定

ブザー(BZ, \bar{BZ})信号はOSC1発振回路(32.768kHz)を原振とする分周信号で、8種類の周波数を選択することができます。この選択はブザー周波数選択レジスタBZFQ0～BZFQ2によって行われ、設定値とブザー周波数とが表5.12.4.1に示すとおり対応しています。

ブザー信号のデューティ比を8種類の中から選択することで、ブザーの音量を調整することができます。この選択はデューティ比選択レジスタDUTY0～DUTY2によって行われ、設定値とデューティ比とが表5.12.4.2に示すとおり対応しています。

表5.12.4.1 ブザー周波数の設定

BZFQ2	BZFQ1	BZFQ0	ブザー周波数 (Hz)
0	0	0	4096.0
0	0	1	3276.8
0	1	0	2730.7
0	1	1	2340.6
1	0	0	2048.0
1	0	1	1638.4
1	1	0	1365.3
1	1	1	1170.3

表5.12.4.2 デューティ比の設定

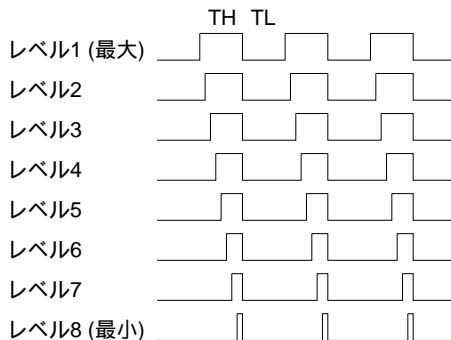
レベル	DUTY2	DUTY1	DUTY0	各ブザー周波数(Hz)におけるデューティ比			
				4096.0	3276.8	2730.7	2340.6
				2048.0	1638.4	1365.3	1170.3
レベル1 (最大)	0	0	0	8/16	8/20	12/24	12/28
レベル2	0	0	1	7/16	7/20	11/24	11/28
レベル3	0	1	0	6/16	6/20	10/24	10/28
レベル4	0	1	1	5/16	5/20	9/24	9/28
レベル5	1	0	0	4/16	4/20	8/24	8/28
レベル6	1	0	1	3/16	3/20	7/24	7/28
レベル7	1	1	0	2/16	2/20	6/24	6/28
レベル8 (最小)	1	1	1	1/16	1/20	5/24	5/28

デューティ比はパルス周期に対するパルス幅の比率のことと、HIGHレベル出力時間をTH、LOWレベル出力時間をTLとした場合、BZ信号は $TH/(TH+TL)$ 、 \bar{BZ} 信号は $TL/(TH+TL)$ となります。

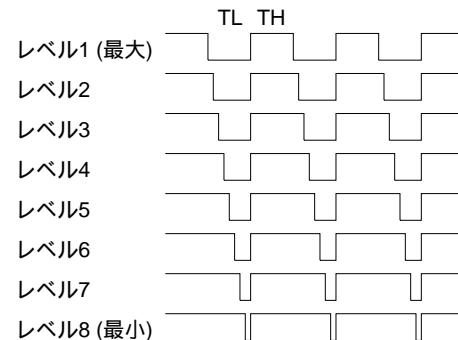
DUTY0～DUTY2をすべて"0"に設定した場合はデューティ比が最大となり、音量も最大となります。逆にDUTY0～DUTY2をすべて"1"に設定した場合はデューティ比が最小となり、音量も最小となります。

なお、設定できるデューティ比は各周波数によって異なりますので、表5.12.4.2を参照してください。

注! デジタルエンベロープを使用する場合、DUTY0～DUTY2の設定は無効となります。



(a) BZ信号



(b) BZ-bar信号

図5.12.4.1 ブザー信号波形のデューティ比

5.12.5 デジタルエンベロープ

ブザー信号に対してデューティ比制御のデジタルエンベロープを附加することができます。

エンベロープは前項の表5.12.4.2と同様に、ブザー信号のデューティ比をレベル1(最大)からレベル8(最小)まで段階的に変化させることで実現されます。

ブザー信号に対するエンベロープの附加は、エンベロープ制御レジスタENONに"1"を書き込むことによって行われ、"0"が書き込まれた場合はDUTY0 ~ DUTY2によって選択されるデューティ比に固定されます。

ENONに"1"を設定してブザー出力をONにする(BZONに"1"を書き込む)と、レベル1のデューティ比のブザー信号が出力され以後レベル8まで段階的に減衰します。減衰したエンベロープは、エンベロープリセットビットENRSTに"1"を書き込むことによってレベル1まで復帰させることができます。一度レベル8まで減衰すると、ブザー出力をOFFにする(BZONに"0"を書き込む)かENRSTに"1"を書き込むまでレベル8のデューティ比は保持されます。なお、エンベロープレベル1段階あたりの変化時間はエンベロープ減衰時間選択レジスタENRTMによって125msec、または62.5msecが選択できます。図5.12.5.1にデジタルエンベロープのタイミングチャートを示します。

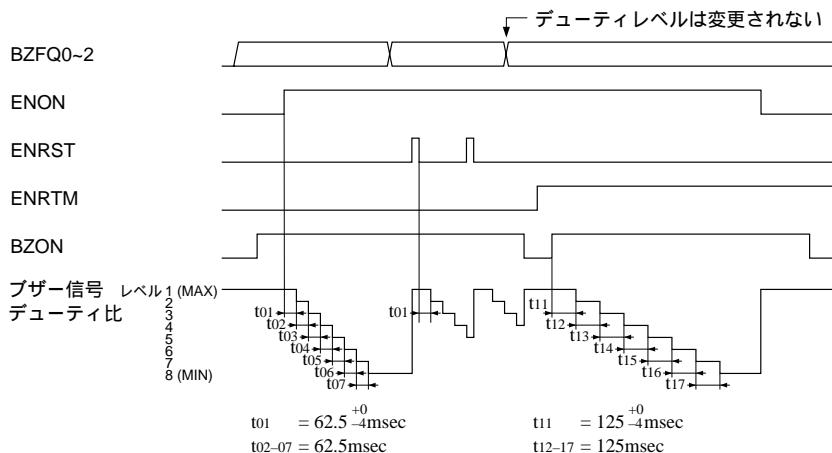


図5.12.5.1 デジタルエンベロープのタイミングチャート

5.12.6 ワンショット出力

キー操作音などのように短い時間ブザー信号を出力させる場合のために、サウンドジェネレータはワンショット出力機能を内蔵しています。ブザー信号の出力時間はワンショットブザー時間幅選択レジスタSHTPWによって125msec、または31.25msecが選択できます。

ワンショットブザーの出力制御はワンショットブザートリガBZSHTに"1"を書き込むことによって行われ、このトリガ後に内部の256Hz信号に同期してR50出力ポート端子からBZ信号が、R51出力ポート端子からBZ信号がそれぞれ出力されます。設定時間経過後、出力開始時同様256Hz信号に同期して、自動的にブザー(BZ, BZ)信号はOFFされます。

BZSHTはステータスとして読み出しが可能で、"1"の場合はBUSY状態(ワンショット出力中)、"0"の場合はREADY状態(停止中)をそれぞれ示します。

設定時間経過前にブザー信号をOFFさせたい場合は、ワンショットブザー強制停止ビットBZSTPに"1"を書き込むことで、直ちにブザー信号を強制停止(この場合256Hzとは非同期にOFF)させることができます。

ワンショット出力は短時間のため、エンベロープを付加することはできません。(BZSHTに"1"を書き込むと自動的にENONが"0"にリセットされます。)したがって、ワンショット出力時は周波数と音量(デューティ比)の設定のみが可能となります。

通常のブザー出力中は、ワンショット出力の制御は無効となります。

図5.12.6.1にワンショット出力のタイミングチャートを示します。

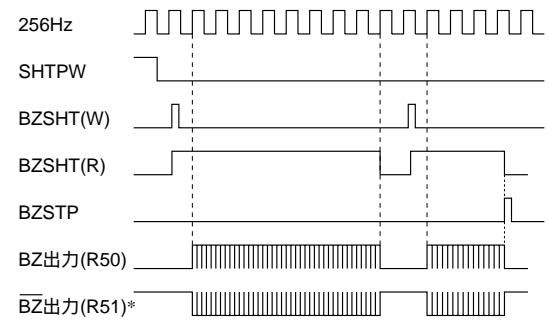


図5.12.6.1 ワンショット出力のタイミングチャート

5.12.7 サウンドジェネレータのI/Oメモリ

表5.12.7.1にサウンドジェネレータの制御ビットを示します。

表5.12.7.1 サウンドジェネレータの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈																																	
00FF44	D7	-	-	-	-	-	-	読み出し時は常時"0"																																	
	D6	BZSTP	ワンショットブザー強制停止	強制停止	無効	-	W																																		
	D5	BZSHT	ワンショットブザートリガ/ステータス	R W	Busy トリガ 無効	0	R/W																																		
	D4	SHTPW	ワンショットブザー時間幅選択	125msec	31.25msec	0	R/W																																		
	D3	ENRTM	エンペロープ減衰時間	1sec	0.5sec	0	R/W																																		
	D2	ENRST	エンペロープリセット	リセット	無効	-	W	読み出し時は"0"																																	
	D1	ENON	エンペロープOn/Off制御	On	Off	0	R/W	*1																																	
	D0	BZON	ブザー出力制御	On	Off	0	R/W																																		
00FF45	D7	-	-	-	-	-	-	読み出し時は"0"																																	
	D6	DUTY2	ブザー信号デューティ比選択	<table border="1"> <tr><th colspan="3">DUTY2-1</th><th colspan="3">ブザー周波数(Hz)</th></tr> <tr><td>2</td><td>1</td><td>0</td><td>4096.0</td><td>3276.8</td><td>2730.7</td></tr> <tr><td>2</td><td>0</td><td>1</td><td>2048.0</td><td>1638.4</td><td>1365.3</td></tr> <tr><td>1</td><td>1</td><td>0</td><td></td><td></td><td>1170.3</td></tr> </table>	DUTY2-1			ブザー周波数(Hz)			2	1	0	4096.0	3276.8	2730.7	2	0	1	2048.0	1638.4	1365.3	1	1	0			1170.3	0	R/W											
DUTY2-1			ブザー周波数(Hz)																																						
2	1	0	4096.0	3276.8	2730.7																																				
2	0	1	2048.0	1638.4	1365.3																																				
1	1	0			1170.3																																				
D5	DUTY1		0	R/W																																					
D4	DUTY0		0	R/W																																					
D3	-	-	-	-	-	読み出し時は"0"																																			
D2	BZFQ2	ブザー周波数選択	<table border="1"> <tr><th>BZFQ2</th><th>BZFQ1</th><th>BZFQ0</th><th>周波数(Hz)</th></tr> <tr><td>0</td><td>0</td><td>0</td><td>4096.0</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>3276.8</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>2730.7</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>2340.6</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>2048.0</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1638.4</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>1365.3</td></tr> <tr><td>1</td><td>1</td><td>1</td><td>1170.3</td></tr> </table>	BZFQ2	BZFQ1	BZFQ0	周波数(Hz)	0	0	0	4096.0	0	0	1	3276.8	0	1	0	2730.7	0	1	1	2340.6	1	0	0	2048.0	1	0	1	1638.4	1	1	0	1365.3	1	1	1	1170.3	0	R/W
BZFQ2	BZFQ1	BZFQ0	周波数(Hz)																																						
0	0	0	4096.0																																						
0	0	1	3276.8																																						
0	1	0	2730.7																																						
0	1	1	2340.6																																						
1	0	0	2048.0																																						
1	0	1	1638.4																																						
1	1	0	1365.3																																						
1	1	1	1170.3																																						
D1	BZFQ1		0	R/W																																					
D0	BZFQ0		0	R/W																																					

*1 ワンショット出力時、"0"にリセット

BZON: 00FF44H·D0

ブザー(BZ、BZ)信号の出力制御を行います。

"1"書き込み: BZおよびBZ信号出力

"0"書き込み: LOWレベル(DC)出力 [R50]

HIGHレベル(DC)出力 [R51]

読み出し: 可能

BZONはBZおよびBZ信号の出力制御レジスタで、"1"を設定するとBZ信号がR50出力ポート端子から、BZ信号がR51出力ポート端子から出力され、"0"を設定するとR50端子はLOW(Vss)、R51端子はHIGH(VDD)レベルとなります。

BZ出力をを行う場合、データレジスタR50Dには常時"0"が設定されている必要があります。BZ出力をを行うにはマスクオプションでR51端子をBZ出力に設定しておくことが必要です。

イニシャルリセット時、BZONは"0"(DC出力)に設定されます。

BZFQ0~BZFQ2: 00FF45H·D0~D2

ブザー(BZ、BZ)信号の周波数を選択します。

表5.12.7.2 ブザー周波数の設定

BZFQ2	BZFQ1	BZFQ0	ブザー周波数 (Hz)
0	0	0	4096.0
0	0	1	3276.8
0	1	0	2730.7
0	1	1	2340.6
1	0	0	2048.0
1	0	1	1638.4
1	1	0	1365.3
1	1	1	1170.3

ブザー周波数はOSC1クロックを分周した上記8種類が選択できます。

イニシャルリセット時、本レジスタは"0"(4096.0Hz)に設定されます。

DUTY0~DUTY2: 00FF45H·D4~D6

ブザー(BZ、 \overline{BZ})信号のデューティ比を選択します。

表5.12.7.3 デューティ比の設定

レベル	DUTY2	DUTY1	DUTY0	各ブザー周波数(Hz)におけるデューティ比			
				4096.0	3276.8	2730.7	2340.6
				2048.0	1638.4	1365.3	1170.3
レベル1 (最大)	0	0	0	8/16	8/20	12/24	12/28
レベル2	0	0	1	7/16	7/20	11/24	11/28
レベル3	0	1	0	6/16	6/20	10/24	10/28
レベル4	0	1	1	5/16	5/20	9/24	9/28
レベル5	1	0	0	4/16	4/20	8/24	8/28
レベル6	1	0	1	3/16	3/20	7/24	7/28
レベル7	1	1	0	2/16	2/20	6/24	6/28
レベル8 (最小)	1	1	1	1/16	1/20	5/24	5/28

上記8種類のデューティ比を選択することによって、ブザーの音量を調整することができます。ただし、エンベロープをON(ENON="1")に設定している場合は、この設定は無効となります。

イニシャルリセット時、本レジスタは"0"(レベル1)に設定されます。

ENRST: 00FF44H·D2

エンベロープをリセットします。

"1"書き込み: リセット
"0"書き込み: ノーオペレーション
読み出し: 常時"0"

エンベロープはENRSTに"1"を書き込むことによってリセットされ、デューティ比がレベル1(最大)まで復帰されます。

ENRSTへの"0"書き込みおよびエンベロープ未使用(ENON="0")時の"1"書き込みは無効となります。

ENRSTは書き込み専用のため、読み出し時は常時"0"となります。

ENON: 00FF44H·D1

ブザー(BZ、 \overline{BZ})信号に対するエンベロープの付加を制御します。

"1"書き込み: ON
"0"書き込み: OFF
読み出し: 可能

ENONに"1"を書き込むことによって、ブザー信号出力時にエンベロープを付加することができます。"0"を書き込んだ場合はエンベロープは付加されず、ブザー信号はDUTY0～DUTY2によって選択されるデューティ比に固定されます。

イニシャルリセット時、およびBZSHTに"1"を書き込んだときENONは"0"(OFF)に設定されます。

ENRTM: 00FF44H·D3

ブザー(BZ、 \overline{BZ})信号に付加されるエンベロープの減衰時間を選択します。

"1"書き込み: 1.0sec (125msec × 7 = 875msec)
"0"書き込み: 0.5sec (62.5msec × 7 = 437.5msec)
読み出し: 可能

デジタルエンベロープの減衰時間はデューティ比の変化する時間で決定されます。ENRTMに"1"を書き込んだ場合は125msec(8Hz)単位、"0"を書き込んだ場合は62.5msec(16Hz)単位でデューティ比が変化します。

エンベロープをOFF(ENON="0")に設定している場合は、この設定は無効です。

イニシャルリセット時、ENRTMは"0"(0.5sec)に設定されます。

SHTPW: 00FF44H·D4

ワンショットブザーの出力時間幅を選択します。

"1"書き込み: 125msec
"0"書き込み: 31.25msec
読み出し: 可能

ワンショットブザーの出力時間幅は、SHTPWに"1"を書き込んだ場合が125msec、"0"を書き込んだ場合が62.5msecにそれぞれ設定されます。

イニシャルリセット時、SHTPWは"0"(31.25msec)に設定されます。

BZSHT: 00FF44H·D5

ワンショットブザー出力の制御を行います。

"1"書き込み: トリガ

"0"書き込み: ノーオペレーション

"1"読み出し: BUSY

"0"読み出し: READY

BZSHTに"1"を書き込むことによってワンショット出力回路が動作し、R50、R51端子からそれぞれBZ、 \overline{BZ} 信号が出力されます。このブザー出力はSHTPWによって設定した時間の経過後に自動的にOFFとなります。

BZ出力をを行う場合、データレジスタR50Dには常時"0"が設定されている必要があります。 \overline{BZ} 出力をを行うにはマスクオプションでR51端子を \overline{BZ} 出力に設定しておくことが必要です。

ワンショット出力は通常のブザー出力がOFF(BZON="0")の状態でのみ有効で、ON(BZON="1")状態でのトリガは無効となります。ワンショット出力中に再トリガを行った場合は、その時点からSHTPWによって設定した時間を計測し直します。(時間延長)

ワンショット出力回路の動作状態はBZSHTを読み出すことによって確認することができ、ワンショット出力(BUSY)中は"1"、OFF(READY)時は"0"が読み出せます。

イニシャルリセット時、BZSHTは"0"(READY)に設定されます。

BZSTP: 00FF44H·D6

ワンショットブザー出力の強制停止を行います。

"1"書き込み: 強制停止

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

BZSTPに"1"を書き込むことによって、SHTPWによる設定時間が経過する以前にワンショットブザー出力を強制停止させることができます。

BZSTPへの"0"書き込みおよびワンショットブザー出力中以外の"1"書き込みは無効となります。

なお、BZSHTとBZSTPに同時に"1"を書き込んだ場合はBZSTPが優先され、ワンショットブザー出力は停止状態となります。

BZSTPは書き込み専用のため、読み出し時は常時"0"となります。

5.12.8 プログラミング上の注意事項

- (1) ブザー(BZ、 \overline{BZ})信号は出力制御レジスタBZONとは非同期に発生していますので、BZONの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- (2) ブザー信号がイネーブルの状態(BZON="1"またはBZSHT="1")でSLP命令を実行した場合は、SLEEP状態からの復帰時にR50、R51出力ポート端子に不安定なクロックが出力されます。したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前にBZおよび \overline{BZ} 信号をディセーブル状態(BZON=BZSHT="0")に設定してください。
- (3) ワンショット出力は通常のブザー出力がOFF(BZON = "0")の状態でのみ有効で、ON(BZON="1")状態でのトリガは無効となります。
- (4) BZ信号で外付けバイポーラトランジスタを駆動してブザーを鳴らす場合は、マスクオプションにてブザー出力時を"重負荷保護モード"に設定してください。
重負荷保護モードに設定すると、LCD駆動回路電流が20 μ Aほど増加します。
圧電ブザーをダイレクトドライブする(BZ/ \overline{BZ} またはMOUT/MOUTを使用する)場合は、消費電流を低減させるためマスクオプションは"ノーマル"を選択してください。

5.13 メロディジェネレータ

5.13.1 メロディジェネレータの特長と構成

S1C88816はメロディ信号を発生するメロディジェネレータを内蔵しています。一般的なメロディジェネレータは音階や音符等のデータをROMに格納するようになっており、書き換えができません。S1C88816では、これにRAMを使用しているため、メロディも含め外部ポートからCPUを介して書き換えが可能になっています。

主な特長を以下に示します。

- ・メロディRAMサイズ:
 - 音階RAM 256ワード×8ビット
(00D000H ~ 00D0FFH)
 - 音符RAM 256ワード×8ビット
(00D100H ~ 00D1FFH)
- ・曲数: メロディRAMサイズ内で任意に設定可能
- ・アドレス制御:
 - 曲ごとのワード配分も任意に設定可能
- ・演奏出力: 1音矩形波
- ・音程(3オクターブ):
 - A4 = 440Hzを基準にした場合、C4 ~ G6
 - C4 = 256Hzを基準にした場合、C4 ~ C7#
- ・音符: 8種(2分音符 ~ 16分音符)
- ・テンポ: 4ビットで16種類から1つを選択
- ・基準信号源周波数: 32.768kHz
- ・圧電ブザー駆動: MOUT、 $\overline{\text{MOUT}}$ を使用
 - イニシャルリセット時は $\text{MOUT} = \overline{\text{MOUT}} = \text{Low}$
- ・サウンドジェネレータ切り換え:
 - ソフトウェアでサウンドジェネレータ出力に切り換え可能

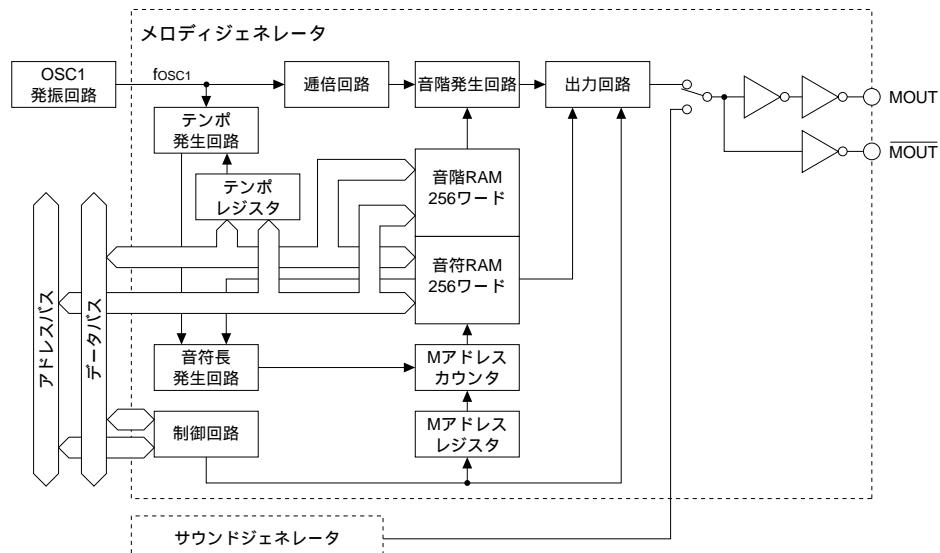


図5.13.1.1にメロディジェネレータの構成を示します。

メロディジェネレータが発生したメロディ信号は、MOUT、 $\overline{\text{MOUT}}$ 出力ポート端子から出力することができます。また、MOUT、 $\overline{\text{MOUT}}$ 端子からはサウンドジェネレータのブザー信号も出力することができます。

イニシャルリセット時は $\text{MOUT} = \overline{\text{MOUT}} = 0$ となります。

MOUTと $\overline{\text{MOUT}}$ の2端子を使用することで、圧電ブザーのダイレクトドライブが可能です。この場合は図5.13.1.2に示すように、MOUT端子、 $\overline{\text{MOUT}}$ 端子に保護抵抗(100Ω)を介して圧電ブザーを接続します。

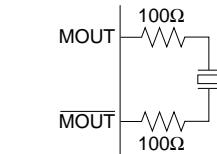


図5.13.1.2 圧電ブザーのダイレクトドライブ

MOUT端子にトランジスタを接続して、1端子でブザーを駆動することもできますが、消費電流等の面から、圧電ブザーのダイレクトドライブを推奨します。

音階RAMと音符RAMはアドレスが異なるため、CPUからのアクセス時は個別にデータがリード/ライトされます。メロディ演奏時は256ワード×16ビット(音階RAM+音符RAM)の形式でアクセスされます。

図5.13.1.1 メロディジェネレータの構成

5.13.2 メロディのプログラミング

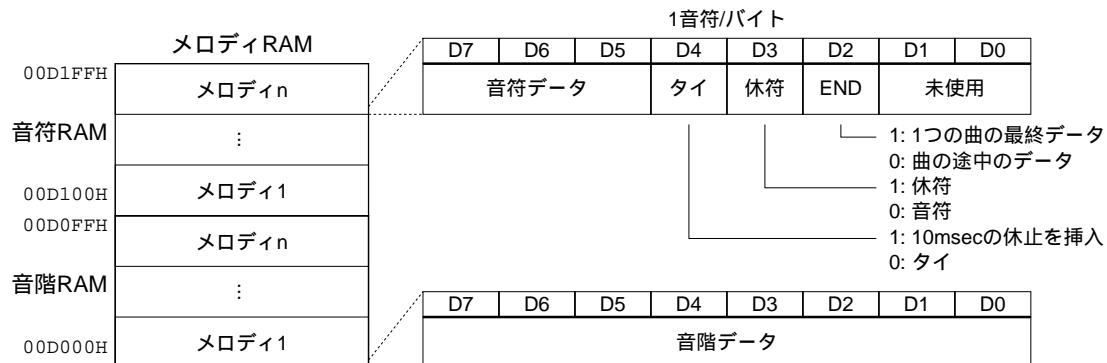


図5.13.2.1 メロディRAMの内容

メロディは音符RAMと音階RAMにデータを書き込んでプログラムします。

音符RAMと音階RAMの各ワードは1つの音符または休符を表します。

また、2つのRAMの各ワードも1対1に対応しており、下位8ビットが同一アドレスのワードは、楽譜上同じ音符を表します。

メロディデータはそれぞれのRAMの先頭アドレスから、1音ごとに連続して設定します。

注： メロディ演奏中にメロディRAMを書き換えることはできません。

音符RAMの設定

はじめに、音符RAMに設定するデータを説明します。

(1) 音符(音符RAM: D7 ~ D5)

音符RAMデータの上位3ビット(D7 ~ D5)で音符または休符の種類を指定します。設定値と音符/休符の対応を表5.13.2.1に示します。

表5.13.2.1 音符/休符の種類

D7	D6	D5	音符	休符	分周比
0	0	0	♩	—	1/8
0	0	1	♩..	♪..	1/7
0	1	0	♩.	♪.	1/6
0	1	1	♩♪	♪♪	1/5
1	0	0	♪	♪	1/4
1	0	1	♪..	♪..	1/3
1	1	0	♪.	♪.	1/2
1	1	1	♪♪	♪♪	1/1

16分音符以上で、上記8種類に含まれない音の長さは2つの音符とタイで指定します。

(2) タイ(音符RAM: D4)

音符RAMのD4ビットに"1"を書き込むと、その前の音符と該当音符の間には約10msecの無音区間が挿入され、音符間を区切って演奏されます。"0"を書き込むとその前の音符と該当音符の間には無音区間が挿入されず、連続して演奏されます。これはタイを指定するもので、連続演奏は音符が同音程の場合に限られます。スラーの指定は行えません。また、曲の先頭音符にタイを設定(音符RAM: D4に"0"を書き込む)すると、その前の音符がないため誤動作します。曲の先頭音符にはタイを設定しないでください。

(3) 休符(音符RAM: D3)

音符RAMのD3ビットに"1"を書き込むと、このデータは休符として扱われ、D7 ~ D5で指定した長さの休止が挿入されます。"0"を書き込むと音符として演奏されます。

休符に対応する音階RAMアドレスには、00Hか存在する音階データを設定してください。FFHを設定すると誤動作します。

(4) END(音符RAM: D2)

1つの曲の最後の音符/休符の場合、音符RAMのD2ビットに"1"を書き込みます。このビットにより、演奏の終了などの制御が行われます。曲の途中のデータについては、D2ビットを必ず"0"にしてください。

音階RAMの設定

音階RAMの各ワードは、音符RAMの各ワードに1対1に対応し、それぞれの音符の音程を表します。

休符に対応するアドレスにもデータを設定する必要があります。他の音階データと区別し易いように、休符には00Hのデータを書き込むことを推奨します。

メロディジェネレータは32.768kHz(fosc1)を基準信号周波数とした、A4=440Hzの等分平均率音階およびC4=256Hzの等分平均率音階をサポートしており、どちらかの音階セットのデータを使用することができます。

表5.13.2.2 A4=440Hzの等分平均率音階

音名	出力周波数	D7	D6	D5	D4	D3	D2	D1	D0	HEX	分周比
C4	262.144	0	0	0	0	1	0	1	0	0A	1/250
C4#	277.695	0	0	0	1	1	0	0	0	18	1/236
D4	293.883	0	0	1	0	0	1	1	1	27	1/223
D4#	310.597	0	0	1	1	0	0	1	1	33	1/211
E4	329.327	0	0	1	1	1	1	1	1	3F	1/199
F4	348.596	0	1	0	0	1	0	0	0	48	1/188
F4#	370.260	0	1	0	1	0	1	0	1	55	1/177
G4	392.431	0	1	0	1	1	1	1	1	5F	1/167
G4#	414.785	0	1	1	0	0	1	1	0	66	1/158
A4	439.839	0	1	1	1	0	0	0	1	71	1/149
A4#	464.794	0	1	1	1	1	0	0	1	79	1/141
B4	492.752	1	0	0	0	0	0	0	1	81	1/133
C5	524.288	1	0	0	0	1	0	0	1	89	1/125
C5#	555.390	1	0	0	0	1	1	1	0	8E	1/118
D5	585.143	1	0	0	1	0	1	0	0	94	1/112
D5#	624.152	1	0	0	1	1	1	0	1	9D	1/105
E5	661.980	1	0	1	0	0	0	1	1	A3	1/99
F5	697.191	1	0	1	0	0	1	1	0	A6	1/94
F5#	736.360	1	0	1	0	1	1	1	0	AD	1/89
G5	780.190	1	0	1	1	0	0	0	0	B0	1/84
G5#	829.570	1	0	1	1	0	1	1	1	B7	1/79
A5	885.622	1	0	1	1	1	0	1	0	BA	1/74
A5#	936.229	1	0	1	1	1	1	1	0	BE	1/70
B5	992.970	1	1	0	0	0	0	1	0	C2	1/66
C6	1040.254	1	1	0	0	0	1	1	1	C7	1/63
C6#	1110.780	1	1	0	0	1	0	1	1	CB	1/59
D6	1170.286	1	1	0	0	1	1	0	0	CC	1/56
D6#	1236.528	1	1	0	1	0	0	0	1	D1	1/53
E6	1310.720	1	1	0	1	0	0	1	0	D2	1/50
F6	1394.383	1	1	0	1	0	1	1	1	D7	1/47
F6#	1489.455	1	1	0	1	1	0	0	0	D8	1/44
G6	1560.381	1	1	0	1	1	0	1	0	DA	1/42

指定可能な音階範囲は次のとあります。

1) A4=440Hzの等分平均率音階:

C4(262.144Hz) ~ G6(1560.381Hz)

2) C4=256Hzの等分平均率音階:

C4(256Hz) ~ C7#(2184.533Hz)

実際の周波数に対する絶対誤差はすべての音程で±1%未満となっています。

注: OSC1発振回路にCR発振を選択した場合、発振周波数のばらつきがメロディの周波数にそのまま影響しますので注意してください。

表5.13.2.2と表5.13.2.3に、A4=440Hzの等分平均率音階およびC4=256Hzの等分平均率音階の出力周波数および指定値を示します。

表5.13.2.3 C4=256Hzの等分平均率音階

音名	出力周波数	D7	D6	D5	D4	D3	D2	D1	D0	HEX	分周比
C4	256.000	0	0	0	0	0	1	0	0	04	1/256
C4#	270.810	0	0	0	1	0	0	1	0	12	1/242
D4	287.439	0	0	1	0	0	0	0	0	20	1/228
D4#	304.819	0	0	1	0	1	1	1	1	2F	1/215
E4	322.837	0	0	1	1	1	0	1	1	3B	1/203
F4	341.333	0	1	0	0	0	1	0	0	44	1/192
F4#	362.077	0	1	0	1	0	0	0	1	51	1/181
G4	383.251	0	1	0	1	1	0	1	1	5B	1/171
G4#	407.056	0	1	1	0	0	1	0	1	65	1/161
A4	431.158	0	1	1	0	1	1	0	0	6C	1/152
A4#	455.111	0	1	1	1	0	1	0	0	74	1/144
B4	481.882	0	1	1	1	1	1	0	0	7C	1/136
C5	512.000	1	0	0	0	0	1	0	0	84	1/128
C5#	541.620	1	0	0	0	1	1	0	1	8D	1/121
D5	574.877	1	0	0	1	0	0	1	0	92	1/114
D5#	606.815	1	0	0	1	1	0	0	0	98	1/108
E5	642.510	1	0	0	1	1	1	1	0	9E	1/102
F5	682.667	1	0	1	0	0	1	0	0	A4	1/96
F5#	720.176	1	0	1	0	1	0	1	1	AB	1/91
G5	771.012	1	0	1	1	0	0	0	1	B1	1/85
G5#	809.086	1	0	1	1	0	1	0	1	B5	1/81
A5	862.316	1	0	1	1	1	0	0	0	B8	1/76
A5#	910.222	1	0	1	1	1	1	0	0	BC	1/72
B5	963.765	1	1	0	0	0	0	0	0	C0	1/68
C6	1024.000	1	1	0	0	0	1	0	0	C4	1/64
C6#	1092.267	1	1	0	0	1	0	0	0	C8	1/60
D6	1149.754	1	1	0	0	1	1	0	1	CD	1/57
D6#	1213.630	1	1	0	0	1	1	1	0	CE	1/54
E6	1285.020	1	1	0	1	0	0	1	1	D3	1/51
F6	1365.333	1	1	0	1	0	1	0	0	D4	1/48
F6#	1456.356	1	1	0	1	1	0	0	1	D9	1/45
G6	1524.093	1	1	0	1	1	0	1	1	DB	1/43
G6#	1638.400	1	1	0	1	1	1	0	0	DC	1/40
A6	1724.632	1	1	0	1	1	1	1	0	DE	1/38
A6#	1820.444	1	1	1	0	0	0	0	0	E0	1/36
B6	1927.529	1	1	1	0	0	0	1	0	E2	1/34
C7	2048.000	1	1	1	0	0	0	1	0	E4	1/32
C7#	2184.533	1	1	1	0	0	1	1	0	E6	1/30

5.13.3 演奏の制御

ここでは、音符RAMと音階RAMのプログラミング終了後の演奏の制御方法を説明します。

曲の選択

演奏を開始する前に演奏させる曲を選択します。次に演奏させる曲の先頭アドレス(0~FFH)を音階/音符RAMアドレスレジスタMCAD0~MCAD7に書き込みます。ここで指定する値は音符および音階RAMの下位8ビットアドレスとなります。

00Hは音階RAMアドレスの00D000H、音符RAMアドレスの00D100Hを指定します。FFHは音階RAMアドレスの00D0FFH、音符RAMアドレスの00D1FFHを指定します。

メロディRAMのデータには曲の先頭を指定する項目はありませんので、本レジスタの設定によって任意の位置から演奏を開始することができます。

テンポの選択

テンポ選択レジスタMTT0~MTT3を使用して演奏のテンポを表5.13.3.1に示す16種類から選択することができます。

表5.13.3.1 テンポの選択

MTT3	MTT2	MTT1	MTT0	テンポ $\text{♩} =$	分周比
1	1	1	1	480	1/1
1	1	1	0	240	1/2
1	1	0	1	160 (Vivace)	1/3
1	1	0	0	120 (Allegro)	1/4
1	0	1	1	96	1/5
1	0	1	0	80 (Andantino)	1/6
1	0	0	1	68.6	1/7
1	0	0	0	60 (Adagio)	1/8
0	1	1	1	53.3 (Lento)	1/9
0	1	1	0	48	1/10
0	1	0	1	43.6 (Largo)	1/11
0	1	0	0	40	1/12
0	0	1	1	36.9	1/13
0	0	1	0	34.3	1/14
0	0	0	1	32	1/15
0	0	0	0	30	1/16

ここで指定したテンポは演奏開始時に演奏制御回路に設定されます。したがって、演奏途中でテンポを変更することはできません。演奏中にMTT0~MTT3レジスタを変更した場合、そのテンポは次回の演奏開始時に有効となります。

演奏方式の選択と演奏開始/停止制御

メロディジェネレータには2種類の演奏方式(レベルホールド演奏とワンショット演奏)が用意されており、演奏開始前に演奏方式選択レジスタMLEVで選択できます。演奏の制御はメロディ出力制御レジスタMTCで行いますが、演奏方式により制御方法も変わります。

なお、MTCの制御の前に出力選択レジスタMOSELに"1"を書き込み、MOUT/MOUT端子からメロディ信号が出力されるように設定しておく必要があります。

(1) レベルホールド演奏の制御

レベルホールド演奏はMLEVに"0"を書き込むことにより選択できます。演奏はMTCに"1"を書き込むことにより開始し、MTCに"0"を書き込むと停止します。MTCが"1"の間に曲が変わっても(音符RAMデータにENDビットが設定されていた場合は曲の先頭に戻って)演奏を継続します。

メロディRAMの最終アドレスを越えた場合は、先頭アドレスに戻って演奏を継続します。

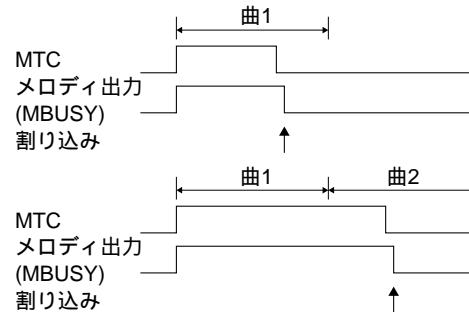


図5.13.3.1 レベルホールド演奏

(2) ワンショット演奏の制御

ワンショット演奏はMLEVに"1"を書き込むことにより選択できます。

演奏はMTCに"1"を書き込むことにより開始し、1曲が終了した時点(音符RAMデータにENDビットが設定されていた場合)で停止します。

1曲の終了前にMTCに"0"を書き込んだ場合は、そこで停止します。

なお、ENDビットにより演奏を停止した場合、MTCは"0"に戻りませんので、演奏停止後に"0"を書き込む必要があります。

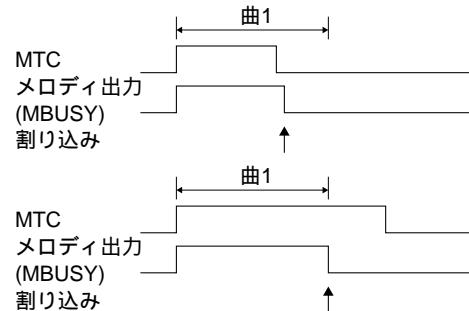


図5.13.3.2 ワンショット演奏

どちらの演奏方式の場合も、演奏中はメロディ演奏ステータスピットMBUSYが"1"になり、演奏が実際に停止したところで"0"に戻ります。また、MBUSYが"0"になると同時に割り込みも発生します。

MTCに"0"を書き込んでも、その時点で演奏中の音符が終了するまで演奏は停止しません。実際に停止したかどうかについては、MBUSYや割り込みにより確認してください。特に演奏終了後にメロディRAMの書き換えを行う場合などは注意が必要です。

メロディ演奏中のサウンドジェネレータ出力
 メロディ出力に使用するMOUTおよびMOUT端子から、サウンドジェネレータで作成したブザー音を出力させることもできます。これには、出力選択レジスタMOSELを使用します。MOSELに"1"を書き込むと、MOUTおよびMOUT端子はメロディ出力専用となります。MOSELに"0"を書き込むと、MOUTおよびMOUT端子はサウンドジェネレータのブザー信号を出力します。

MOSEL = "0"の間も演奏自体は継続します。また、その間サウンドジェネレータのブザー出力がOFFの場合は、無音となります。

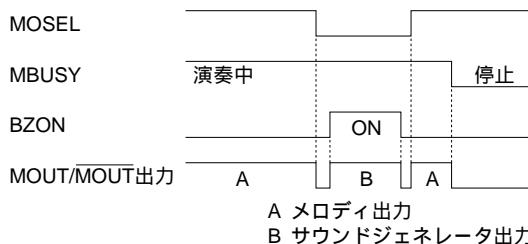


図5.13.3.3 ブザー優先出力

5.13.4 割り込み機能

メロディジェネレータは演奏終了時に割り込みを発生させることができます。

図5.13.4.1にメロディジェネレータ割り込み回路の構成を示します。

メロディジェネレータは演奏が実際に終了したところで割り込み要因フラグFMDYを"1"にセットします。

このときに、割り込みイネーブルレジスタEMDYが"1"で、かつ割り込みプライオリティレジスタPMDY(2ビット)がインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

EMDYレジスタを"0"に設定しておくことにより、CPUへの割り込みを禁止することもできます。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、演奏の終了により"1"にセットされます。

"1"にセットされた割り込み要因フラグは"1"を書き込むことにより"0"にリセットされます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については"5.16 割り込みとスタンバイ状態"を参照してください。

メロディ演奏完了割り込みの例外処理ベクタは次のとおり設定されています。

メロディ演奏完了割り込みベクタ: 000026H

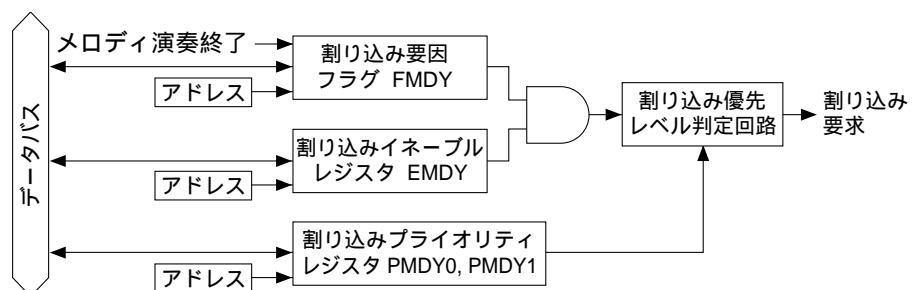


図5.13.4.1 メロディジェネレータ割り込み回路の構成

5.13.5 メロディジェネレータのI/Oメモリ

表5.13.5.1にメロディジェネレータの制御ビットを示します。

表5.13.5.1 メロディジェネレータの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF46	D7	MCAD7	音階/音符RAMアドレスD7 (MSB)				R/W	ADC7
	D6	MCAD6	音階/音符RAMアドレスD6					
	D5	MCAD5	音階/音符RAMアドレスD5					
	D4	MCAD4	音階/音符RAMアドレスD4					
	D3	MCAD3	音階/音符RAMアドレスD3					
	D2	MCAD2	音階/音符RAMアドレスD2					
	D1	MCAD1	音階/音符RAMアドレスD1					
	D0	MCAD0	音階/音符RAMアドレスD0 (LSB)					
00FF47	D7	MTT3	テンポ選択レジスタ				R/W	TT3
	D6	MTT2	MTT3 MTT2 MTT1 MTT0 テンポ					
	D5	MTT1	1 1 1 1 480 1 1 1 0 240 1 1 0 1 160 1 0 1 0 120 1 0 1 1 96 1 0 1 0 80 1 0 0 1 68.6 0 1 1 1 53.3 0 1 1 0 48 0 1 0 1 43.6 0 1 0 0 40					
	D4	MTT0	0 0 1 1 36.9 0 0 1 0 34.3 0 0 0 1 32 0 0 0 0 30					
	D3	MLEV	演奏方式選択					
	D2	MOSEL	出力選択					
	D1	MBUSY	メロディ演奏ステータス					
	D0	MTC	メロディ出力制御					
	D7	PADC1	A/D変換器割り込み	PADC1 PADC0 PMDY1 PMDY0	優先 レベル3	0 0	R/W	
	D6	PADC0	プライオリティレジスタ					
	D5	PMFY1	メロディ割り込み					
	D4	PMFY0	プライオリティレジスタ					
00FF2A	D3	-	-	許可	-	-	-	読み出し時は常時"0"
	D2	-	-		-	-	-	
	D1	-	-		-	-	-	
	D0	-	-		-	-	-	
	D7	EAD	A/D変換器割り込みイネーブルレジスタ		割り込み	0	R/W	読み出し時は常時"0"
00FF2C	D6	EMDY	メロディ割り込みイネーブルレジスタ	許可	割り込み	0	R/W	
	D5	-	-		禁止	0	R/W	
	D4	-	-	-	-	-	-	読み出し時は常時"0"
	D3	-	-	-	-	-	-	
	D2	-	-	-	-	-	-	
	D1	-	-	-	-	-	-	
	D0	-	-	-	-	-	-	
00FF2C	D7	FAD	A/D変換器割り込み要因フラグ	(R)割込みあり (W)リセット	(R)割込みなし (W)無効	0 0	R/W	読み出し時は常時"0"
	D6	FMDY	メロディ割り込み要因フラグ					
	D5	-	-	-	-	-	-	
	D4	-	-	-	-	-	-	
	D3	-	-	-	-	-	-	
	D2	-	-	-	-	-	-	
	D1	-	-	-	-	-	-	
	D0	-	-	-	-	-	-	

MCAD0~MCAD7: 00FF46H

メロディRAMデータの演奏開始アドレス(0 ~ FFH)を設定します。ここで指定する値は音符および音階RAMの下位8ビットアドレスとなります。00Hは音階RAMアドレスの00D000H、音符RAMアドレスの00D100Hを指定します。FFHは音階RAMアドレスの00D0FFH、音符RAMアドレスの00D1FFHを指定します。

メロディRAMのデータには曲の先頭を指定する項目はありませんので、本レジスタの設定によって任意の位置から演奏を開始することができます。イニシャルリセット時、本レジスタは"00H"に設定されます。

MTT0~MTT3: 00FF47H·D4~D7

演奏のテンポを選択します。

表5.13.5.2 テンポの選択

MTT3	MTT2	MTT1	MTT0	テンポ ♩ =	分周比
1	1	1	1	480	1/1
1	1	1	0	240	1/2
1	1	0	1	160 (Vivace)	1/3
1	1	0	0	120 (Allegro)	1/4
1	0	1	1	96	1/5
1	0	1	0	80 (Andantino)	1/6
1	0	0	1	68.6	1/7
1	0	0	0	60 (Adagio)	1/8
0	1	1	1	53.3 (Lento)	1/9
0	1	1	0	48	1/10
0	1	0	1	43.6 (Largo)	1/11
0	1	0	0	40	1/12
0	0	1	1	36.9	1/13
0	0	1	0	34.3	1/14
0	0	0	1	32	1/15
0	0	0	0	30	1/16

ここで指定したテンポは演奏開始時に演奏制御回路に設定されます。したがって、演奏途中でテンポを変更することはできません。演奏中に本レジスタを変更した場合、そのテンポは次回の演奏開始時に有効となります。

イニシャルリセット時、本レジスタは"0"(30)に設定されます。

MLEV: 00FF47H·D3

演奏方式を選択します。

- "1"書き込み: ワンショット演奏
- "0"書き込み: レベルホールド演奏
- 読み出し: 可能

MLEVに"1"を書き込むとワンショット演奏が、"0"を書き込むとレベルホールド演奏が選択されます。イニシャルリセット時、本レジスタは"0"(レベルホールド演奏)に設定されます。

MOSEL: 00FF47H·D2

MOUTとMOUT端子の出力を選択します。

- "1"書き込み: メロディ出力
- "0"書き込み: ブザー出力
- 読み出し: 可能

MOSELに"1"を書き込むと、MOUTおよびMOUT端子はメロディ出力専用となります。MOSELに"0"を書き込むと、MOUTおよびMOUT端子はサウンドジェネレータのブザー信号を出力します。MOSEL = "0"の間も演奏動作は実行されます。イニシャルリセット時、本レジスタは"0"(ブザー出力)に設定されます。

MBUSY: 00FF47H·D1

メロディの演奏状態を示します。

- "1"読み出し: 演奏中
- "0"読み出し: 停止中
- 書き込み: 無効

MBUSYはメロディ演奏中に"1"となります。この間はメロディRAMを書き換えることはできません。MTCにより演奏を停止した場合でも、最後の音符の出力を完了するまで、MBUSYは"1"を保持します。実際の演奏が完全に停止するとMBUSYは"0"に戻ります。

イニシャルリセット時、MBUSYは"0"(停止中)に設定されます。

MTC: 00FF47H·D0

メロディの演奏を制御します。

- "1"書き込み: 演奏開始
- "0"書き込み: 演奏停止
- 読み出し: 無効

レベルホールド演奏では、MTCに"1"を書き込むことにより演奏を開始し、MTCに"0"を書き込むと停止します。MTCが"1"の間に曲が変わっても(音符RAMデータにENDビットが設定されていた場合は曲の先頭に戻って)演奏を継続します。メロディRAMの最終アドレスを越えた場合は、先頭アドレスに戻って演奏を継続します。

ワンショット演奏ではMTCに"1"を書き込むことにより演奏を開始し、1曲が終了した時点(音符RAMデータにENDビットが設定されていた場合)で停止します。1曲の終了前にMTCに"0"を書き込んだ場合は、そこで停止します。なお、ENDビットにより演奏を停止した場合、MTCは"0"に戻りませんので、演奏停止後に"0"を書き込む必要があります。イニシャルリセット時、本レジスタは"0"(演奏停止)に設定されます。

PMDY0, PMDY1: 00FF28H·D4, D5

メロディ割り込みの優先レベルを設定します。PMDY0、PMDY1はメロディ割り込みに対応した割り込みプライオリティレジスタで、設定できる割り込み優先レベルは表5.13.5.3のとあります。

表5.13.5.3 割り込み優先レベルの設定

PMDY1	PMDY0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

EMDY: 00FF2AH·D6

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

EMDYはメロディ割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定すると割り込みが許可され、"0"に設定すると禁止されます。

イニシャルリセット時、本レジスタは"0"(割り込み禁止)に設定されます。

FMDY: 00FF2CH·D6

メロディ割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

FMDYはメロディ割り込みに対応する割り込み要因フラグで、演奏終了時に"1"にセットされます。このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、本フラグは"0"にリセットされます。

5.13.6 プログラミング上の注意事項

- (1) 曲の途中でテンポを変更することはできません。
- (2) メロディ演奏中(MBUSY="1"の間)は、音符RAMおよび音階RAMにCPUからアクセスすることはできません。
MTCに"0"を書き込んでも、その時点で演奏中の音符が終了するまで演奏は停止しません。演奏終了後にメロディRAMにアクセスする場合は、MBUSYあるいは割り込みを利用して、実際の演奏が停止したことを必ず確認してください。
- (3) 曲の先頭音符にタイを設定しないでください。
誤動作します。
- (4) 休符に対応する音階RAMアドレスには、00Hが存在する音階データを設定してください。FFHを設定すると誤動作します。
- (5) メロディ演奏中にSLP命令を実行した場合は、SLEEP状態からの復帰時にMOUT/MOUTポートに不安定なクロックが出力されます。したがって、SLEEP状態へ移行する場合は、MTCを"0"に設定し、MBUSYが"0"になったことを確認してください。
- (6) メロディ演奏は、消費電流等の面から圧電ブザーのダイレクトドライブを推奨します。
外付けバイポーラトランジスタを用いてメロディ出力を行う場合は、マスクオプションにてメロディ出力時を"重負荷保護モード"に設定してください。
重負荷保護モードに設定すると、LCD駆動回路電流が20μAほど増加します。
圧電ブザーをダイレクトドライブする場合は消費電流を低減させるため、マスクオプションは"ノーマル"を選択してください。
- (7) S1C88816のメロディ回路では曲のデータがRAMに格納されるため、演奏する曲の著作権については本ICを使用されるお客様側にて対応してください。

5.14 電源電圧検出(SVD)回路

5.14.1 SVD回路の構成

S1C88816は、4ビット逐次比較型A/Dコンバータで構成される電源電圧検出(SVD)回路を内蔵しています。

SVD回路は、電源電圧を16レベル(レベル0～レベル15)に判定できるほか、このためのサンプリング動作をソフトウェアによって制御することができます。また、電源電圧がレベル0以下に低下した場合にインシシャルリセット信号を発生するよう、マスクオプションで機能を選択することもできます。

図5.14.1.1にSVD回路の構成を示します。

5.14.2 SVD回路の動作

SVD回路のサンプリング制御

SVD回路は連続サンプリングと1/4Hzオートサンプリングの2種類の動作モードを持っています。

動作モードの選択は、SVD制御レジスタSVDON、SVDSPによって表5.14.2.1に示す通り行われ、SVDONとSVDSPの2ビットが共に"1"に設定された場合は、連続サンプリングが優先されます。

表5.14.2.1 制御レジスタと動作モードの対応

SVDON	SVDSP	動作モード
0	0	SVD回路 OFF
0	1	1/4Hzオートサンプリング ON
1	x	連続サンプリング ON

どちらの動作モードにおいても、SVD回路が動作(BUSY)中か待機(READY)中かは、SVDONを読み出すことで確認することができ"1"のときにBUSY、"0"のときにREADYをそれぞれ表示します。

SVD回路が動作中にSLP命令を実行した場合は、その時点のサンプリングが終了するまでOSC1発振回路の停止は待たれます。またさらに、このサンプリングの終了を待ってSVDONとSVDSPの2ビットが、ハードウェアによって自動的に"0"にリセットされます。

なお、消費電流を低減させるため、必要なとき以外はSVD回路をOFFにしてください。

検出結果

SVD回路は電源電圧(VDD-VSS)を4ビットの分解能でA/D変換し、その結果を検出ビットSVD0～SVD3にセットします。SVD0～SVD3のデータと検出レベルは表5.14.2.2に示すとおり対応しており、次のサンプリングが行われるまで検出データは保持されます。

検出レベルと電源電圧との対応は"7 電気的特性"を参照してください。

SVD回路が電源電圧のサンプリングを開始してから結果をSVD0～SVD3にセットして終了するまで、7.8msec(fosc1=32.768kHz)の時間を必要とします。したがって、これ以前のSVD0～SVD3の読み出しは、前回の検出結果を読み出すことになります。

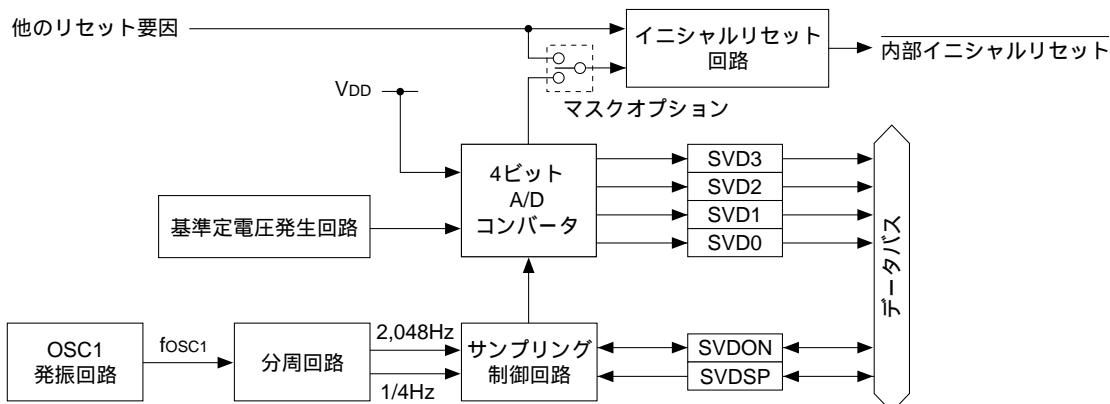


図5.14.1.1 SVD回路の構成

表5.14.2.2 電源電圧検出結果

SVD3	SVD2	SVD1	SVD0	検出レベル
1	1	1	1	レベル15
1	1	1	0	レベル14
1	1	0	1	レベル13
1	1	0	0	レベル12
1	0	1	1	レベル11
1	0	1	0	レベル10
1	0	0	1	レベル9
1	0	0	0	レベル8
0	1	1	1	レベル7
0	1	1	0	レベル6
0	1	0	1	レベル5
0	1	0	0	レベル4
0	0	1	1	レベル3
0	0	1	0	レベル2
0	0	0	1	レベル1
0	0	0	0	レベル0

サンプリングのタイミング

以下に2種類の動作モードのタイミングについて説明をします。

(1) 連続サンプリングモード

SVDONに"1"を書き込んだ場合に本モードが選択され、7.8msec周期で連続的に電源電圧のサンプリングを行います。

SVD回路は内部の2,048Hz信号に同期して動作を開始し、16クロックで1回のサンプリングを行います。

サンプリングは待機時間を設けることなく連続的に行われ、検出結果を16クロック単位でSVD0～SVD3にラッチします。

連続サンプリングの解除は、SVDONに"0"を書き込むことで行います。このとき、SVD回路はその時点のサンプリングの終了までON状態を維持し、サンプリングの継ぎ目でOFFとなります。また、SVDONへの"0"書き込み後、実際にSVD回路がOFFとなるまでは、SVDONの読み出しが"1"となります。

図5.14.2.1に連続サンプリングのタイミングチャートを示します。

(2) 1/4Hzオートサンプリング

SVDONに"0"、SVDSPIに"1"を書き込んだ場合に本モードが選択され、4秒ごとに電源電圧のサンプリングを行います。

1回のサンプリングは連続サンプリング同様7.8msecで行われ、4秒ごとにSVD0～SVD3の検出結果を更新します。

1/4Hzオートサンプリングの解除は、SVDSPIに"0"を書き込むことで行います。このとき、SVD回路がサンプリング中である場合は、その終了までSVD回路のOFFは待たれます。また、SVD回路のサンプリング期間中は、SVDONに"1"が読み出されます。

図5.14.2.2に1/4Hzオートサンプリングのタイミングチャートを示します。

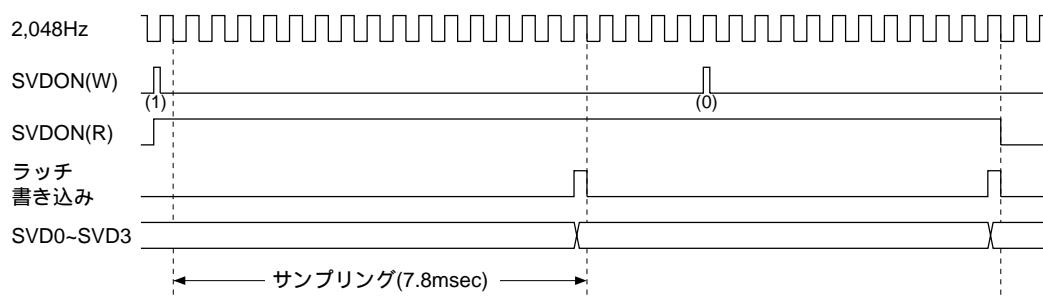


図5.14.2.1 連続サンプリングのタイミングチャート

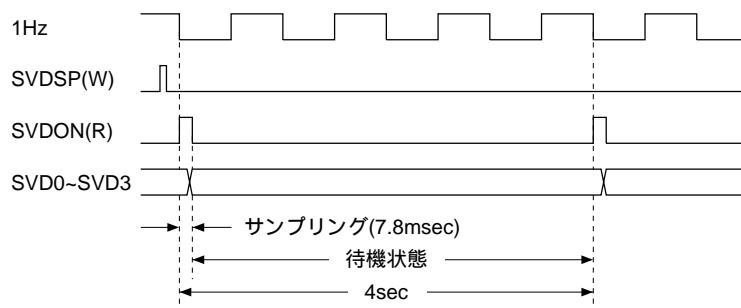


図5.14.2.2 1/4Hzオートサンプリングのタイミングチャート

低電圧検出時のリセット機能

電源電圧の低下によるCPUの暴走を回避するため、SVD回路は電源電圧がレベル0以下に低下した場合にイニシャルリセット信号を発生するよう、マスクオプションで機能を選択することができます。

SVD回路は、4回連続してレベル0(SVD3～SVD0=0000B)を検出すると連続サンプリング状態となります。このとき、同時に内部イニシャルリセット信号が発生され、電源電圧がレベル2(SVD3～SVD0=0010B)以上に復帰するまで、リセット状態は継続されます。

電源電圧の復帰によってリセット状態が解除されると、SVD回路は連続サンプリング状態となる前の状態へ復帰(前の状態が連続サンプリングの場合は、そのまま継続)し、CPUはリセット例外処理を開始します。

図5.14.2.3にイニシャルリセット信号発生のタイミングチャートを示します。(1/4Hzオートサンプリング使用時の例)

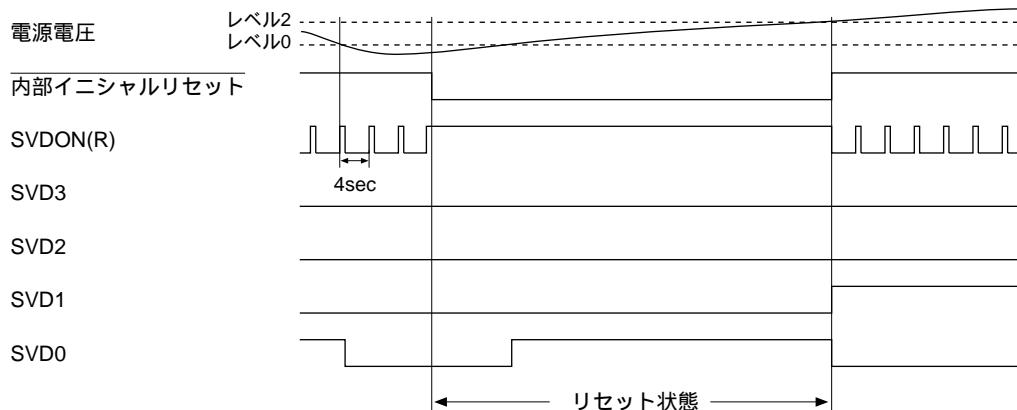


図5.14.2.3 イニシャルリセット信号発生のタイミングチャート

5.14.3 SVD回路のI/Oメモリ

表5.14.3.1にSVD回路の制御ビットを示します。

表5.14.3.1 SVD回路の制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF12	D7	—	—	—	—	—		読み出し時は常時"0"
	D6	—	—	—	—	—		
	D5	SVDSP	SVDオートサンプリング制御	On	Off	0	R/W	SLP命令実行時"0"にリセット
	D4	SVDON	SVD連続サンプリング制御/ステータス	R W	Busy On	Ready Off	1→0 ^{*1} 0	
	D3	SVD3	SVD検出レベル			X	R	*2
	D2	SVD2	SVD3 SVD2 SVD1 SVD0 検出レベル	1 1 1 1	レベル15		X R	
	D1	SVD1		1 1 1 0	レベル14		X R	
	D0	SVD0		0 0 0 0	レベル0		X R	

*1 イニシャルリセット時、本ステータスはハードウェアによる初回のサンプリングが終了するまで、"1"に設定されます。

*2 初期値は、ハードウェアによる初回のサンプリング時に検出される電源電圧にしたがって設定されます。このサンプリングが終了するまで、SVD0～SVD3のデータは不定となります。

SVDON: 00FF12H·D4

連続サンプリングモードのON/OFFを制御します。

"1"書き込み: 連続サンプリング ON

"0"書き込み: 連続サンプリング OFF

"1"読み出し: BUSY

"0"読み出し: READY

連続サンプリングモードは、SVDONに"1"を書き込むとONし、"0"を書き込むとOFFします。

ON状態では7.8msec単位で連続的に電源電圧のサンプリングが行われ、検出結果がSVD0～SVD3にラッピングされます。

SVDONは読み出しも可能で、SVD回路が動作(BUSY)中のときに"1"、待機(READY)中のときに"0"をそれぞれ示します。

イニシャルリセット時、およびSLEEP状態のときSVDONは"0"(連続サンプリングOFF/READY)に設定されます。

SVDSP: 00FF12H·D5

オートサンプリングモードのON/OFFを制御します。

"1"書き込み: オートサンプリング ON

"0"書き込み: オートサンプリング OFF

読み出し: 可能

オートサンプリングモードは、SVDSPに"1"を書き込むとONし、"0"を書き込むとOFFします。

ON状態では4秒ごとに1回のサンプリングが行われ、実際のサンプリング期間中(7.8msec)は、SVDONに"1"が読み出されます。

イニシャルリセット時、およびSLEEP状態のときSVDSPは"0"(オートサンプリングOFF)に設定されます。

SVD0～SVD3: 00FF12H·D0～D3

SVDの検出結果がセットされます。読み出しデータと検出レベルは表5.14.3.2に示すとおり対応しており、次のサンプリングが行われるまでデータは保持されます。

表5.14.3.2 電源電圧検出結果

SVD3	SVD2	SVD1	SVD0	検出レベル
1	1	1	1	レベル15
1	1	1	0	レベル14
1	1	0	1	レベル13
1	1	0	0	レベル12
1	0	1	1	レベル11
1	0	1	0	レベル10
1	0	0	1	レベル9
1	0	0	0	レベル8
0	1	1	1	レベル7
0	1	1	0	レベル6
0	1	0	1	レベル5
0	1	0	0	レベル4
0	0	1	1	レベル3
0	0	1	0	レベル2
0	0	0	1	レベル1
0	0	0	0	レベル0

検出レベルと電源電圧との対応は"7 電気的特性"を参照してください。

イニシャルリセット時の初期値は、ハードウェアによる初回のサンプリング時に検出される電源電圧にしたがって設定されます。このサンプリングが終了するまで本ビットのデータは不定となります。

5.14.4 プログラミング上の注意事項

(1) 消費電流を低減させるため、必要なとき以外はSVD回路をOFF(SVDON=SVdsp="0")にしてください。

(2) SVD回路が動作中にSLP命令を実行した場合は、その時点のサンプリングが終了するまでOSC1発振回路の停止は待たれます。またさらに、このサンプリングの終了を待ってSVDONとSVdspの2ビットが、ハードウェアによって自動的に"0"にリセットされます。

5.15 A/D変換器

5.15.1 A/D変換器の特長と構成

S1C88816は以下の特長を持つA/D変換器を内蔵しています。

- ・変換方式 逐次比較型
- ・分解能 10ビット
- ・入力チャネル 最大4チャネル
- ・変換時間 最小11μsec(2MHz動作時)
- ・アナログ変換電圧範囲が基準電圧端子(AVREF)により設定可能
- ・A/D変換結果は10ビットデータレジスタから読み出し可能
- ・サンプル&ホールド回路内蔵
- ・A/D変換終了時に割り込み発生

図5.15.1.1にA/D変換器の構成を示します。

5.15.2 A/D変換器の端子構成

A/D変換器で使用する端子は以下のとおりです。

AVDD、AGND、AVss(電源入力端子)

AVDD、AGND、AVss端子はA/D変換器の電源端子です。入力電圧はAVDD VDD、AGND AVss=Vssとしてください。

AVREF(基準電圧入力端子)

AVREF端子はアナログ部の基準電圧端子です。A/D変換の入力電圧範囲がこの入力によって決定します(AGND ~ AVREF)。入力電圧はAVREF AVDDとしてください。

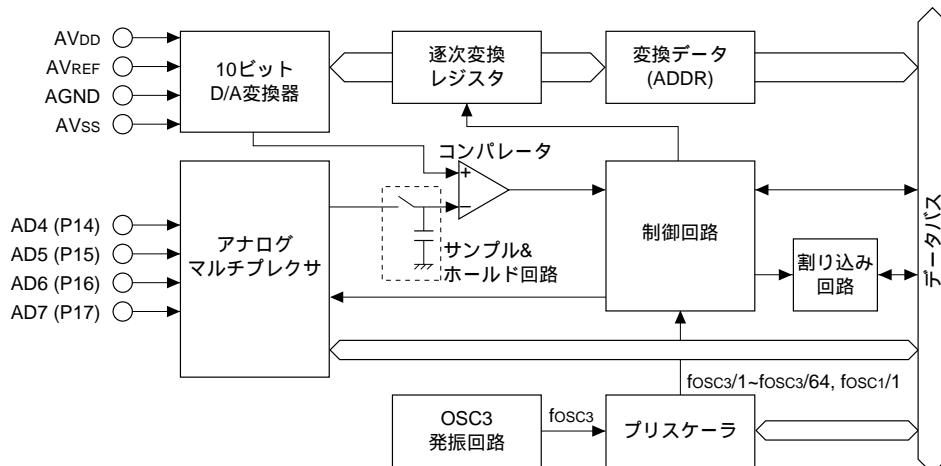


図5.15.1.1 A/D変換器の構成

AD4 ~ AD7(アナログ入力端子)

アナログ入力端子AD4 ~ AD7は入出力兼用ポート端子P14 ~ P17と共に用いています。したがって、アナログ入力端子として用いる場合は、ソフトウェアによりA/D変換器用に設定する必要があります。この設定は1端子ごとに行えます。(設定方法は5.15.4項参照)

イニシャルリセット時はすべての端子が入出力兼用ポート端子に設定されます。

入力可能なアナログ電圧値AVINはAVSS AGND AVIN AVREFの範囲です。

5.15.3 マスクオプション

プルアップ抵抗

入出力兼用ポートプルアップ抵抗		
P14(AD4)	抵抗あり	✓ゲート直接
P15(AD5)	抵抗あり	✓ゲート直接
P16(AD6)	抵抗あり	✓ゲート直接
P17(AD7)	抵抗あり	✓ゲート直接

* 上記"✓"印はすべての入力チャネルを使用する場合の例

A/D変換器のアナログ入力端子は入出力兼用ポート端子P14 ~ P17と兼用されています。このため、入出力兼用ポート端子のプルアップ抵抗のマスクオプションがそのまま適用されます。A/D変換器を使用する場合は、変換精度を確保するため、使用する入力チャネルに対応する入出力兼用ポートのマスクオプションは"ゲート直接"を選択してください。

5.15.4 A/D変換の制御

A/D入力端子の設定

A/D変換器を使用する場合、入出力兼用ポート端子として初期設定されるP14～P17の中でアナログ入力に使用する端子を設定しておく必要があります。4端子すべてをアナログ入力端子として使用可能です。

アナログ入力端子への設定はPAD(PAD4～PAD7)レジスタによって行います。PADレジスタビットを"1"に設定することにより、対応する端子がアナログ入力端子として機能します。

表5.15.4.1 A/D入力端子とPADレジスタの対応

端子	A/D入力制御レジスタ
P14 (AD4)	PAD4
P15 (AD5)	PAD5
P16 (AD6)	PAD6
P17 (AD7)	PAD7

入力クロックの設定

A/D変換クロックを表5.15.4.2に示す8種類から選択することができます。選択はPSADレジスタによって行います。

表5.15.4.2 入力クロックの選択

分周比選択レジスタ			分周比	出力制御レジスタ
PSAD2	PSAD1	PSAD0		
1	1	1	fosc1/1	PRAD "1": ON "0": OFF
1	1	0	fosc3/64	
1	0	1	fosc3/32	
1	0	0	fosc3/16	
0	1	1	fosc3/8	
0	1	0	fosc3/4	
0	0	1	fosc3/2	
0	0	0	fosc3/1	

選択したクロックはPRADレジスタに"1"を書き込むことにより、A/D変換器に入力されます。

- 注!
- OSC3発振クロックを使用する場合は、A/D変換器を使用する以前にOSC3の発振をONさせる必要があります。
なお、OSC3発振回路をONにしてから発振が安定するまでに数msec～数10msecの時間を必要とします。したがって、A/D変換の開始はOSC3発振ONの後、充分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)
イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。
 - 入力クロックの周波数は"7.8 A/D変換器特性"に示されるMAX値を超えないように設定してください。

・ 入力クロックの設定はA/D変換器が停止中に行ってください。A/D変換動作中の変更は誤動作の原因となります。

・ A/D変換器へのクロック入力がOFFの場合にA/D変換を開始(CHSレジスタへの書き込み)させたり、A/D変換動作中にクロック入力をOFFにしないでください。誤動作の原因となります。

入力信号の選択

AD4(P14)～AD7(P17)のアナログ入力はマルチブレクサに入力されており、ソフトウェアによってA/D変換を行うアナログ入力チャネルを選択します。この選択は表5.15.4.3のとおり、CHSレジスタによって行います。

表5.15.4.3 アナログ入力チャネルの選択

CHS1	CHS0	入力チャネル
1	1	AD7
1	0	AD6
0	1	AD5
0	0	AD4

A/D変換動作

A/D変換は、ADRUNレジスタへの書き込み動作によって開始します。たとえば、AD7をアナログ入力チャネルとしてA/D変換を行いたい場合、CHSレジスタ(CHS1、CHS0)に"1"(1, 1)を書き込み後、ADRUNレジスタに"1"を書き込みます。この動作によってA/D入力チャネルの選択とA/D変換開始のトリガの両方が行われます。ただし、P17端子がアナログ入力端子として設定されている必要があります。

内蔵のサンプル&ホールド回路は、この書き込みからtAD時間経過後に指定されたアナログ入力のサンプリングを開始します。サンプリング期間が終了すると、そこでホールドされたアナログ入力電圧が逐次比較方式によりA/D変換されます。

ホールドされているアナログ入力電圧は10ビットの分解能でA/D変換され、その結果はADDR(ADDR0～ADDR9)レジスタに格納されます。ADDR0がLSB、ADDR9がMSBです。

注! PADレジスタで設定されたアナログ入力端子(同時複数設定可)とCHSレジスタで選択された入力チャネルが一致していないと正しいA/D変換が行われません。

例) 端子設定:

PAD5=1, PAD7=PAD6=PAD4=0
(AD5端子を設定)

入力チャネル選択:

CHS1=0, CHS0=0
(AD4を選択)

上記の設定では選択が一致していませんので、A/D変換結果は意味のないものとなります。

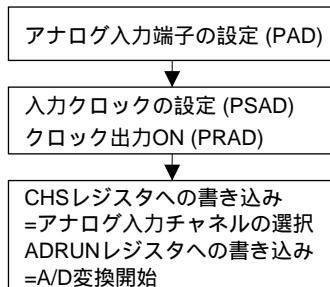


図5.15.4.1 A/D変換開始のフロー

変換結果がADDRレジスタに格納されA/D変換が終了すると、A/D変換器は次項で説明する割り込みを発生します。

A/D変換のタイミングを図5.15.4.2に示します。

5.15.5 割り込み機能

A/D変換器はA/D変換終了時に割り込みを発生させることができます。

図5.15.5.1にA/D変換器割り込み回路の構成を示します。

A/D変換器はA/D変換を終了し、変換結果をADDRレジスタに格納したところで割り込み要因フラグFADを"1"にセットします。

このときに、割り込みイネーブルレジスタEADが"1"で、かつ割り込みプライオリティレジスタPADC(2ビット)がインタラプトフラグ(I0, I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

EADレジスタを"0"に設定しておくことにより、CPUへの割り込みを禁止することもできます。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、A/D変換の終了により"1"にセットされます。

"1"にセットされた割り込み要因フラグは"1"を書き込むことにより"0"にリセットされます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については"5.16 割り込みとスタンバイ状態"を参照してください。

A/D変換完了割り込みの例外処理ベクタは次のとおり設定されています。

A/D変換完了割り込みベクタ: 000024H

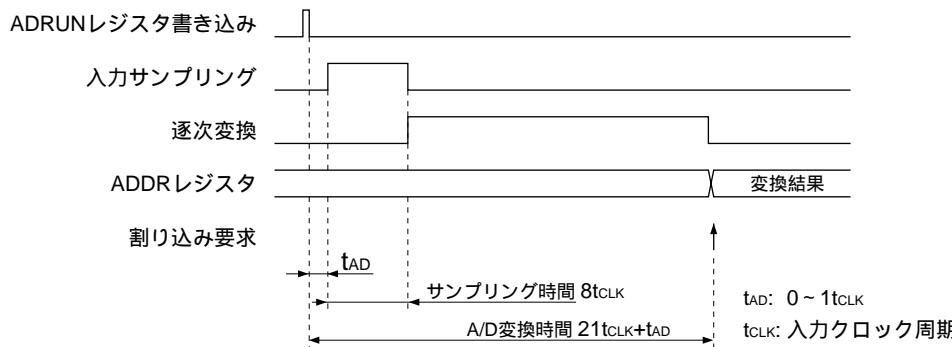


図5.15.4.2 A/D変換のタイミングチャート

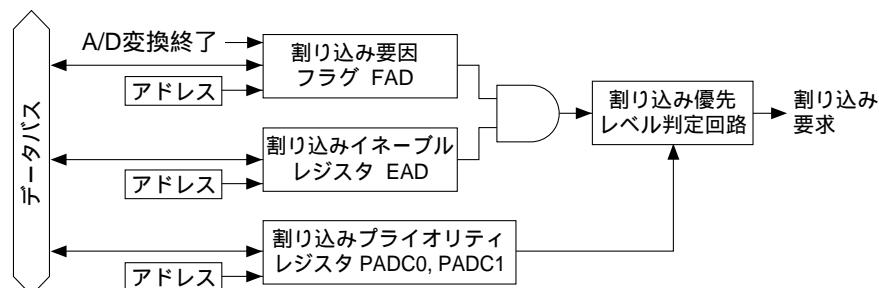


図5.15.5.1 A/D変換器割り込み回路の構成

5.15.6 A/D変換器のI/Oメモリ

表5.15.6.1にA/D変換器の制御ビットを示します。

表5.15.6.1(a) A/D変換器の制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF80	D7	-	-	-	-	-		読み出し時は常時"0"
	D6	-	-	-	-	-		
	D5	-	-	-	-	-		
	D4	-	-	-	-	-		
	D3	PRAD	A/D変換器クロック制御	On	Off	0	R/W	
	D2	PSAD2	A/D変換器クロック分周比			0	R/W	
		PSAD2	PSAD2 PSAD1 PSAD0 分周比	1 1 1 fosc1 / 1				
	D1	PSAD1		1 1 0 fosc3 / 64				
				1 0 1 fosc3 / 32				
	D0	PSAD0		1 0 0 fosc3 / 16		0	R/W	
				0 1 1 fosc3 / 8				
				0 1 0 fosc3 / 4				
				0 0 1 fosc3 / 2				
				0 0 0 fosc3 / 1		0	R/W	
00FF81	D7	PAD7	P17 A/D変換器入力制御			0	R/W	読み出し時は常時"0"
	D6	PAD6	P16 A/D変換器入力制御			0	R/W	
	D5	PAD5	P15 A/D変換器入力制御			0	R/W	
	D4	PAD4	P14 A/D変換器入力制御			0	R/W	
	D3	-	-	-	-	-		
	D2	-	-	-	-	-		
	D1	-	-	-	-	-		
	D0	-	-	-	-	-		
00FF82	D7	ADRUN	A/D変換開始制御レジスタ	開始	無効	0	W	読み出し時は常時"0"
	D6	-	-	-	-	-		
	D5	-	-	-	-	-		
	D4	-	-	-	-	-		
	D3	-	-	-	-	-		
	D2	-	-	-	-	-		
	D1	CHS1	アナログ入力チャネル選択			0	R/W	
		CHS1 CHS0 入力チャネル	1 1 AD7					
00FF83	D0	CHS0		1 0 AD6				読み出し時は常時"0"
				0 1 AD5				
				0 0 AD4		0	R/W	
	D7	ADDR9	A/D変換結果D9 (MSB)			-	R	
	D6	ADDR8	A/D変換結果D8			-	R	
	D5	ADDR7	A/D変換結果D7			-	R	
	D4	ADDR6	A/D変換結果D6			-	R	
	D3	ADDR5	A/D変換結果D5			-	R	
00FF84	D2	ADDR4	A/D変換結果D4			-	R	読み出し時は常時"0"
	D1	ADDR3	A/D変換結果D3			-	R	
	D0	ADDR2	A/D変換結果D2			-	R	
	D7	-	-	-	-	-		
	D6	-	-	-	-	-		
	D5	-	-	-	-	-		
	D4	-	-	-	-	-		
	D3	-	-	-	-	-		
D2	-	-	-	-	-	-		読み出し時は常時"0"
	D1	ADDR1	A/D変換結果D1			-	R	
D0	-	-	-			-	R	読み出し時は常時"0"
	D0	ADDR0	A/D変換結果D0 (LSB)			-	R	

表5.15.6.1(b) A/D変換器の制御ビット

アドレス	ビット	名称	機能	1		0		SR	R/W	注釈
				PADC1	PADC0	PMDY1	PMDY0			
00FF28	D7	PADC1	A/D変換器割り込み	PADC1	PADC0	優先	0	R/W		
	D6	PADC0	プライオリティレジスタ	PMDY1	PMDY0	レベル	0	R/W		
	D5	PMDY1	メロディ割り込み	1	1	レベル3	0	R/W		
	D4	PMDY0	プライオリティレジスタ	1	0	レベル2	0	R/W		
	D3	—	—	0	1	レベル1	0	R/W		
	D2	—	—	0	0	レベル0	0	R/W		
	D1	—	—	—	—	—	—	—		読み出し時は常時"0"
	D0	—	—	—	—	—	—	—		
00FF2A	D7	EAD	A/D変換器割り込みイネーブルレジスタ	割り込み	割り込み	0	R/W			
	D6	EMDY	メロディ割り込みイネーブルレジスタ	許可	禁止	0	R/W			
	D5	—	—	—	—	—	—	—	—	
	D4	—	—	—	—	—	—	—	—	
	D3	—	—	—	—	—	—	—	—	読み出し時は常時"0"
	D2	—	—	—	—	—	—	—	—	
	D1	—	—	—	—	—	—	—	—	
	D0	—	—	—	—	—	—	—	—	
00FF2C	D7	FAD	A/D変換器割り込み要因フラグ	(R)割込みあり	(R)割込みなし	0	R/W			
	D6	FMDY	メロディ割り込み要因フラグ	(W)リセット	(W)無効	0	R/W			
	D5	—	—	—	—	—	—	—	—	
	D4	—	—	—	—	—	—	—	—	
	D3	—	—	—	—	—	—	—	—	読み出し時は常時"0"
	D2	—	—	—	—	—	—	—	—	
	D1	—	—	—	—	—	—	—	—	
	D0	—	—	—	—	—	—	—	—	

PAD4~PAD7: 00FF81H·D4~D7

P14 ~ P17端子をそれぞれA/D変換器のアナログ入力端子に設定します。

"1"書き込み: A/D変換器入力
"0"書き込み: 入出力兼用ポート
読み出し: 可能

PADnに"1"を書き込むとP1n端子がA/D変換器のアナログ入力端子ADnに設定されます。(n=4 ~ 7)

"0"を書き込んだ場合、その端子は入出力兼用ポート端子となります。

イニシャルリセット時、本レジスタは"0"(入出力兼用ポート)に設定されます。

PSAD0~PSAD2: 00FF80H·D0~D2

A/D変換器の入力クロックを選択します。

表5.15.6.2 入力クロックの選択

PSAD2	PSAD1	PSAD0	分周比
1	1	1	fosc1/1
1	1	0	fosc3/64
1	0	1	fosc3/32
1	0	0	fosc3/16
0	1	1	fosc3/8
0	1	0	fosc3/4
0	0	1	fosc3/2
0	0	0	fosc3/1

この設定により入力クロックの分周比が制御されます。

イニシャルリセット時、本レジスタは"0"(fosc3/1)に設定されます。

PRAD: 00FF80H·D3

クロック入力をON/OFFします。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

PRADレジスタに"1"を書き込むことにより、PSADレジスタで設定されたクロックがA/D変換器に入力されます。

"0"を書き込んだ場合はA/D変換器へのクロック供給が停止します。

イニシャルリセット時、本レジスタは"0"(OFF)に設定されます。

ADRUN: 00FF82H·D7

A/D変換を開始させます。

"1"書き込み: A/D変換開始

"0"書き込み: 無効

読み出し: 常時"0"

本レジスタへの書き込みにより、A/D変換器はCHSレジスタで選択されたチャネルのA/D変換を開始し、変換結果をADDRレジスタに格納します。

CHS0, CHS1: 00FF82H·D0, D1

アナログ入力チャネルを選択します。

表5.15.6.3 アナログ入力チャネルの選択

CHS1	CHS0	入力チャネル
1	1	AD7
1	0	AD6
0	1	AD5
0	0	AD4

イニシャルリセット時、本レジスタは"0"(AD4)に設定されます。

ADDR0~ADDR9: 00FF84H·D0, D1, 00FF83H

A/D変換結果が格納されます。

ADDR0がLSB、ADDR9がMSBです。ADDR0とADDR1はアドレス00FF84HのD0とD1ビットに割り付けられていますが、D2~D7ビットは読み出しだ時は常時"0"となります。

イニシャルリセット時、データは不定となります。

PADC0, PADC1: 00FF28H·D6, D7

A/D変換完了割り込みの優先レベルを設定します。

PADCレジスタはA/D変換完了割り込みに対応した割り込みプライオリティレジスタで、設定できる割り込み優先レベルは表5.15.6.4のとおりです。

表5.15.6.4 割り込み優先レベルの設定

PADC1	PADC0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

EAD: 00FF2AH·D7

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

EADレジスタはA/D変換完了割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定すると割り込みが許可され、"0"に設定すると割り込みが禁止されます。

イニシャルリセット時、本レジスタは"0"(割り込み禁止)に設定されます。

FAD: 00FF2CH·D7

A/D変換完了割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

FADはA/D変換完了割り込みに対応する割り込み要因フラグで、A/D変換が終了すると"1"にセットされます。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、FADフラグは"0"にリセットされます。

5.15.7 プログラミング上の注意事項

- (1) OSC3発振クロックを使用する場合は、A/D変換器を使用する以前にOSC3の発振をONさせる必要があります。
なお、OSC3発振回路をONにしてから発振が安定するまでに数msec～数10msecの時間を必要とします。したがって、A/D変換の開始はOSC3発振ONの後、充分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)
イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。
- (2) A/D変換中にSLEEPモードに設定すると、OSC3発振回路が停止し、正しいA/D変換結果が得られません。A/D変換中はSLEEPモードに設定しないでください。
- (3) 入力クロックやアナログ入力端子の設定は必ずA/D変換停止中に行ってください。A/D変換開始後の変更は誤動作の原因となります。
- (4) 入力クロックの周波数は"7.8 A/D変換器特性"に示されるMAX値を超えないように設定してください。
- (5) A/D変換器へのクロック入力がOFFの場合にA/D変換を開始(CHSレジスタへの書き込み)せたり、A/D変換動作中にクロック入力をOFFにしないでください。誤動作の原因となります。
- (6) PADレジスタで設定されたアナログ入力端子(同時複数設定可)とCHSレジスタで選択された入力チャネルが一致していないと正しいA/D変換が行われません。
- (7) A/D変換器のアナログ入力として使用しないP1n端子をA/D変換動作中に動作させないでください(デジタル信号の入出力等)。A/D変換精度に影響します。

5.16 割り込みとスタンバイ状態

割り込みの種類

S1C88816には以下に示す8系統17種類の割り込みが用意されています。

外部割り込み

- K00～K07入力割り込み(2種類)
- K10入力割り込み(1種類)

内部割り込み

- 計時タイマ割り込み(4種類)
- ストップウォッチタイマ割り込み(3種類)
- プログラムブルタイマ割り込み(2種類)
- シリアルインタフェース割り込み(3種類)
- メロディ割り込み(1種類)
- A/D変換割り込み(1種類)

それぞれの割り込みには、割り込み要因の発生を示す割り込み要因フラグと割り込み要求の許可/禁止を設定する割り込みイネーブルレジスタが設けられており、個々の要因に対して割り込みの発生を任意に設定することができます。また、割り込みの各系統には割り込みプライオリティレジスタが設けられており、各系統ごとに割り込み処理の優先度を3レベルまで設定することができます。

図5.16.1に割り込み回路の構成を示します。

各割り込みの詳細については、それぞれの周辺回路の説明を参照してください。

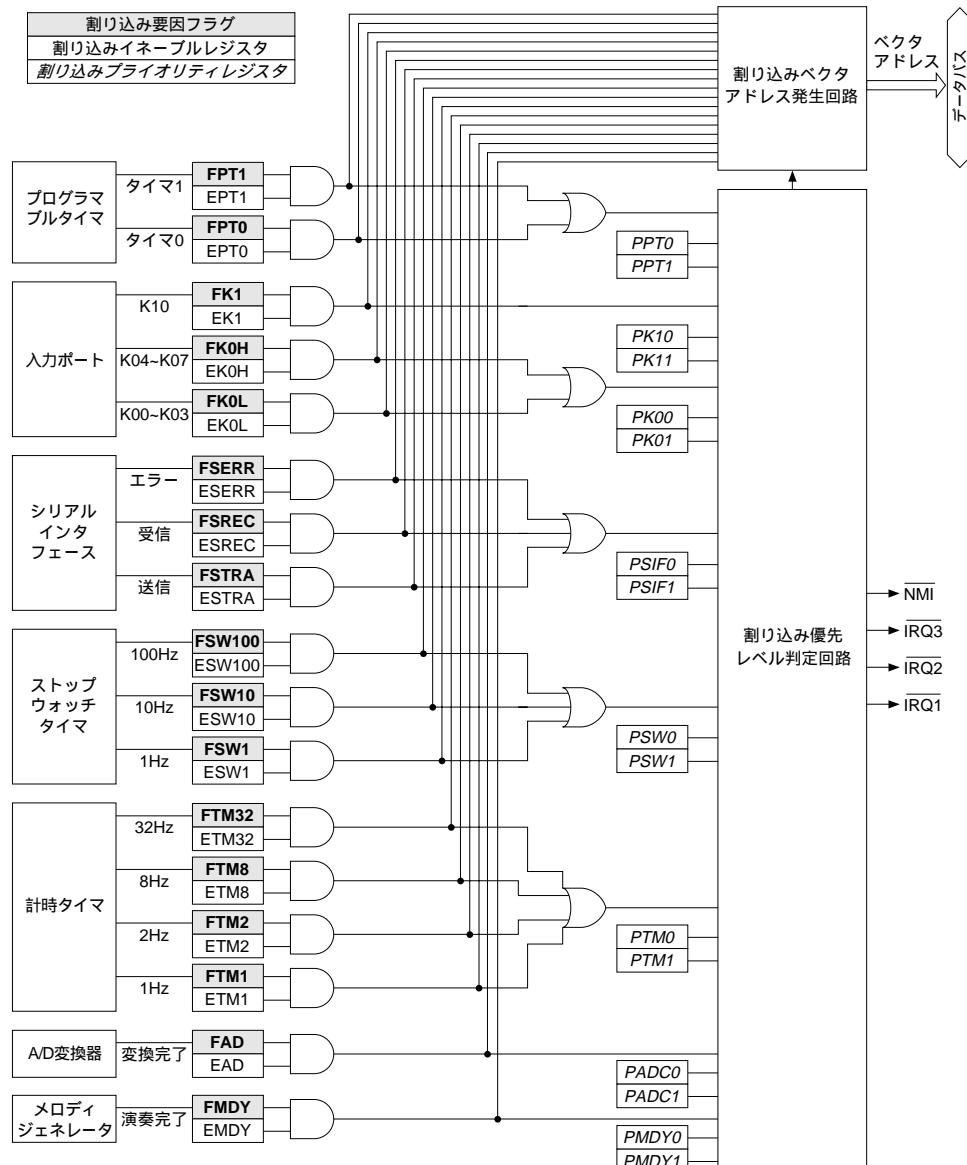


図5.16.1 割り込み回路の構成

HALT状態

プログラム上でHALT命令を実行することで、S1C88816はHALT状態となります。

HALT状態ではCPUの動作が停止するため、周辺回路のみの動作による低消費電力化が実現できます。

HALT状態の解除はイニシャルリセット、または任意の割り込み要求によって行われ、CPUは例外処理ルーチンからプログラムの実行を再開します。

HALT状態と再起動のシーケンスについては、"S1C88コアCPUマニュアル"を参照してください。

SLEEP状態

プログラム上でSLP命令を実行することで、S1C88816はSLEEP状態となります。

SLEEP状態ではCPUと周辺回路が完全に動作を停止するため、HALT状態以上の低消費電力が実現できます。

SLEEP状態の解除はイニシャルリセット、または入力ポートからの入力割り込みによって行われ、8,192/fosc1秒の発振安定待ち時間後にCPUが再起動されます。このとき、CPUは例外処理ルーチン(入力割り込みルーチン)からプログラムの実行を再開します。

注! SLEEP状態からの再起動時は、しばらくの間発振が不安定となるため、OSC1発振回路に32.768kHzの水晶振動子を使用しても、待ち時間は必ずしも250msecとはなりません。

5.16.1 割り込み発生条件

先に示した8系統17種類の割り込みには、それぞれの割り込み要因の発生を示す割り込み要因フラグが設けられており、要因の発生によって"1"にセットされます。

表5.16.2.1 割り込み要因

割り込み要因	割り込み要因フラグ
プログラマブルタイマ1のアンダーフロー	FPT1 00FF25 D7
プログラマブルタイマ0のアンダーフロー	FPT0 00FF25 D6
K10入力と入力比較レジスタKCP10との不一致	FK1 00FF25 D5
K04～K07入力と入力比較レジスタKCP04～KCP07との不一致	FK0H 00FF25 D4
K00～K03入力と入力比較レジスタKCP00～KCP03との不一致	FK0L 00FF25 D3
シリアルインターフェースの受信エラー(調歩同期式モード時)	FSERR 00FF25 D2
シリアルインターフェースの受信完了	FSREC 00FF25 D1
シリアルインターフェースの送信完了	FSTRA 00FF25 D0
ストップウォッチタイマ100Hz信号の立ち下がりエッジ	FSW100 00FF24 D6
ストップウォッチタイマ10Hz信号の立ち下がりエッジ	FSW10 00FF24 D5
ストップウォッチタイマ1Hz信号の立ち下がりエッジ	FSW1 00FF24 D4
計時タイマ32Hz信号の立ち下がりエッジ	FTM32 00FF24 D3
計時タイマ8Hz信号の立ち下がりエッジ	FTM8 00FF24 D2
計時タイマ2Hz信号の立ち下がりエッジ	FTM2 00FF24 D1
計時タイマ1Hz信号の立ち下がりエッジ	FTM1 00FF24 D0
A/D変換器の変換完了	FAD 00FF2C D7
メロディジェネレータの演奏完了	FMDY 00FF2C D6

また、各割り込み要因フラグには1対1に対応する割り込みイネーブルレジスタが設けられており、"1"を書き込むと割り込み許可、"0"を書き込むと割り込み禁止となります。

CPUは割り込み要求の許可/禁止を割り込み優先レベルによって管理しています。8系統の各割り込みには優先レベルを設定する割り込みプライオリティレジスタが設けられており、CPUはインタラプトフラグ(I0、I1)が示すレベルより高いレベルの割り込みのみ受け付けます。

したがって、実際にCPUが割り込みを受け付けるには、以下の3条件の成立が必要です。

- (1) 割り込み要因の発生によって、割り込み要因フラグが"1"にセットされている。
- (2) 先に対応する割り込みイネーブルレジスタが"1"に設定されている。
- (3) 先に対応する割り込みプライオリティレジスタが、インタラプトフラグ(I0、I1)より高い割り込み優先レベルに設定されている。

CPUは各命令の第1オペコードフェッチサイクルの最初で割り込みのサンプリングを行います。ここで上記の条件が成立していると、CPUは例外処理に移行します。

例外処理のシーケンスについては"S1C88コアCPUマニュアル"を参照してください。

5.16.2 割り込み要因フラグ

割り込みを発生する要因と割り込み要因フラグの対応を表5.16.2.1に示します。

それぞれの割り込み要因の発生によって、対応する割り込み要因フラグが"1"にセットされます。

ソフトウェアによってこのフラグを読み出すことで、発生した割り込み要因の種類を確認することができます。

"1"にセットされた割り込み要因フラグは、"1"を書き込むことで"0"にリセットされます。
イニシャルリセット時、割り込み要因フラグは"0"にリセットされます。

注! 割り込み発生後、割り込み要因フラグをリセットせずにRETE命令を実行すると、再度同一の割り込みが発生してしまいます。
したがって、割り込み処理ルーチン内では、そのルーチンに対応する割り込み要因フラグのリセット("1"書き込み)を必ず行ってください。

5.16.3 割り込みイネーブルレジスタ

割り込みイネーブルレジスタは各割り込み要因フラグに1対1で対応しており、個々に割り込み要求の許可/禁止を設定することができます。

割り込みイネーブルレジスタに"1"を書き込むと割り込み要求が許可され、"0"を書き込むと禁止されます。このレジスタは読み出しも可能で、その時点の設定状態を確認することもできます。

イニシャルリセット時、割り込みイネーブルレジスタは"0"に設定され、割り込み禁止状態となります。

表5.16.3.1に割り込みイネーブルレジスタと割り込み要因フラグの対応を示します。

表5.16.3.1 割り込みイネーブルレジスタと割り込み要因フラグ

割り込み	割り込み要因フラグ	割り込みイネーブルレジスタ
プログラマブルタイマ1	FPT1 (00FF25 D7)	EPT1 (00FF23 D7)
プログラマブルタイマ0	FPT0 (00FF25 D6)	EPT0 (00FF23 D6)
K10入力	FK1 (00FF25 D5)	EK1 (00FF23 D5)
K04 ~ K07入力	FK0H (00FF25 D4)	EK0H (00FF23 D4)
K00 ~ K03入力	FK0L (00FF25 D3)	EK0L (00FF23 D3)
シリアルI/F受信エラー	FSERR (00FF25 D2)	ESERR (00FF23 D2)
シリアルI/F受信完了	FSREC (00FF25 D1)	ESREC (00FF23 D1)
シリアルI/F送信完了	FSTRA (00FF25 D0)	ESTRA (00FF23 D0)
ストップウォッチタイマ100Hz	FSW100 (00FF24 D6)	ESW100 (00FF22 D6)
ストップウォッチタイマ10Hz	FSW10 (00FF24 D5)	ESW10 (00FF22 D5)
ストップウォッチタイマ1Hz	FSW1 (00FF24 D4)	ESW1 (00FF22 D4)
計時タイマ32Hz	FTM32 (00FF24 D3)	ETM32 (00FF22 D3)
計時タイマ8Hz	FTM8 (00FF24 D2)	ETM8 (00FF22 D2)
計時タイマ2Hz	FTM2 (00FF24 D1)	ETM2 (00FF22 D1)
計時タイマ1Hz	FTM1 (00FF24 D0)	ETM1 (00FF22 D0)
A/D変換完了	FAD (00FF2C D7)	EAD (00FF2A D7)
メロディジェネレータ演奏完了	FMDY (00FF2C D6)	EMDY (00FF2A D6)

表5.16.4.1 割り込みプライオリティレジスタ

割り込み	割り込みプライオリティレジスタ
プログラマブルタイマ	PPT0, PPT1 (00FF21 D2, D3)
K10入力	PK10, PK11 (00FF21 D0, D1)
K00 ~ K07入力	PK00, PK01 (00FF20 D6, D7)
シリアルインタフェース	PSIFO, PSIF1 (00FF20 D4, D5)
ストップウォッチタイマ	PSW0, PSW1 (00FF20 D2, D3)
計時タイマ	PTM0, PTM1 (00FF20 D0, D1)
A/D変換器	PADC0, PADC1 (00FF28 D6, D7)
メロディジェネレータ	PMDY0, PMDY1 (00FF28 D4, D5)

5.16.4 割り込みプライオリティ

レジスタと割り込み優先レベル

割り込みの各系列には、表5.16.4.1に示す割り込みプライオリティレジスタが設けられており、CPUに対する割り込みの優先レベル(0~3)を任意に設定することができます。

これによって、割り込みの優先処理順位をシステムに適合させた多重割り込みが可能となります。

各系列間の割り込み優先レベルは、割り込みプライオリティレジスタによって任意に3レベルまで設定できます。ただし、複数の系列を同一の優先レベルに設定した場合は、デフォルトの優先順位にしたがって処理されます。

表5.16.4.2 割り込み優先レベルの設定

P*1	P*0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、割り込みプライオリティレジスタはすべて"0"に設定され、各割り込みはレベル0となります。

なお、各系列内の優先レベルはあらかじめ決められており、これを変更することはできません。

CPUはインタラプトフラグ(I0, I1)の設定によって各割り込みをマスクすることができます。各系列の割り込み優先レベルとインタラプトフラグの関係は表5.16.4.3のとおりで、CPUはインタラプトフラグが示すレベルより高い優先レベルの割り込みのみ受け付けます。このうち、レベル4の優先度を持っているNMI(ウォッチドッグタイマ)は、インタラプトフラグの設定にかかわらず常時受け付けられます。

表5.16.4.3 CPUの割り込みマスク設定

I1	I0	受け付け可能な割り込み
1	1	レベル4 (NMI)
1	0	レベル4、レベル3 (IRQ3)
0	1	レベル4、レベル3、レベル2 (IRQ2)
0	0	レベル4、レベル3、レベル2、レベル1 (IRQ1)

割り込みが受け付けられた後は、表5.16.4.4に示すとおりインタラプトフラグが受け付けた割り込みと同じレベルに書き換えられます。ただし、NMI受け付け後のインタラプトフラグの書き換えはレベル3(I0=I1="1")となります。

表5.16.4.4 割り込み受け付け後のインタラプトフラグ

受け付けた割り込みの優先レベル	I1	I0
レベル4 (NMI)	1	1
レベル3 (IRQ3)	1	1
レベル2 (IRQ2)	1	0
レベル1 (IRQ1)	0	1

インタラプトフラグは、割り込み処理ルーチンからの復帰時に、設定が元の値に戻されます。したがって、3レベルまでの多重割り込みは、割り込みプライオリティレジスタへの初期設定のみで制御することができます。また、それ以上の多重化は、インタラプトフラグと割り込みイネーブルレジスタを割り込み処理ルーチン内で書き換えることで実現できます。

注! 割り込み発生後、割り込み要因フラグをリセットする前にインタラプトフラグを書き換える(低い優先レベルに設定する)と、再度同一の割り込みが発生してしまいますので注意してください。

5.16.5 例外処理ベクタ

CPUが割り込みを受け付けると、実行中の命令の終了後に例外処理を開始します。例外処理ではプログラム分岐のために、以下の操作が行われます。

- (1) ミニマムモードではプログラムカウンタ(PC)とシステムコンディションフラグ(SC)を、マキシマムモードではコードバンクレジスタ(CB)とPC、およびSCをスタックに退避。
- (2) 各例外処理(割り込み)要因に対応する例外処理ベクタから分岐先アドレスを読み出し、PCにセット。

例外処理ベクタは、各例外(割り込み)処理ルーチンの先頭アドレスを格納している2バイトのデータで、ベクタアドレスと例外処理要因は表5.16.5.1のとおり対応しています。

表5.16.5.1 ベクタアドレスと例外処理要因の対応

ベクタアドレス	例外処理要因	優先順位
000000H	リセット	高い
000002H	ゼロ除算	
000004H	ウォッチドッグタイマ(NMI)	
000006H	プログラマブルタイマ1割り込み	
000008H	プログラマブルタイマ0割り込み	
00000AH	K10入力割り込み	
00000CH	K04 ~ K07入力割り込み	
00000EH	K00 ~ K03入力割り込み	
000010H	シリアルI/Fエラー割り込み	
000012H	シリアルI/F受信完了割り込み	
000014H	シリアルI/F送信完了割り込み	
000016H	ストップウォッチタイマ100Hz割り込み	
000018H	ストップウォッチタイマ10Hz割り込み	
00001AH	ストップウォッチタイマ1Hz割り込み	
00001CH	計時タイマ32Hz割り込み	
00001EH	計時タイマ8Hz割り込み	
000020H	計時タイマ2Hz割り込み	
000022H	計時タイマ1Hz割り込み	
000024H	A/D変換完了割り込み	
000026H	メロディ演奏完了割り込み	低い
000028H	システム予約(使用不可)	
00002AH	ソフトウェア割り込み	なし
:		
0000FEH		

注! 例外処理ベクタは2バイトに固定されたデータで、分岐先のバンクアドレスを指定することはできません。したがって、複数のバンクから共通の例外処理ルーチンに分岐させるためには、例外処理ルーチンの先頭部分をコモンエリア内(000000H ~ 007FFFFH)に記述しておく必要があります。

5.16.6 割り込みのI/Oメモリ

表5.16.6.1に割り込みの制御ビットを示します。

表5.16.6.1(a) 割り込みの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF20	D7	PK01	K00~K07割り込み			0	R/W	
	D6	PK00	プライオリティレジスタ			0	R/W	
	D5	PSIF1	シリアルインターフェース割り込み	PK01 PSIF1 PSW1	PK00 PSIFO PSW0	優先	0	R/W
	D4	PSIFO	プライオリティレジスタ	PTM1	PTM0	レベル	0	R/W
	D3	PSW1	ストップウォッチタイマ割り込み	1	1	レベル3	0	R/W
	D2	PSW0	プライオリティレジスタ	1	0	レベル2	0	R/W
	D1	PTM1	計時タイマ割り込み	0	1	レベル1	0	R/W
	D0	PTM0	プライオリティレジスタ	0	0	レベル0	0	R/W
00FF21	D7	-	-	-	-	-	-	読み出し時は常時"0"
	D6	-	-	-	-	-	-	
	D5	-	-	-	-	-	-	
	D4	-	-	-	-	-	-	
	D3	PPT1	プログラマブルタイマ割り込み	PPT1 PK11	PPT0 PK10	優先 レベル	0	R/W
	D2	PPT0	プライオリティレジスタ	1	1	レベル3	0	R/W
	D1	PK11	K10割り込み	1	0	レベル2	0	R/W
	D0	PK10	プライオリティレジスタ	0	1	レベル1	0	R/W
				0	0	レベル0	0	R/W
00FF22	D7	-	-	-	-	-	-	読み出し時は"0"
	D6	ESW100	ストップウォッチ100Hz割り込みイネーブルレジスタ	割り込み許可	割り込み禁止		0	R/W
	D5	ESW10	ストップウォッチ10Hz割り込みイネーブルレジスタ				0	R/W
	D4	ESW1	ストップウォッチ1Hz割り込みイネーブルレジスタ				0	R/W
	D3	ETM32	計時タイマ32Hz割り込みイネーブルレジスタ				0	R/W
	D2	ETM8	計時タイマ8Hz割り込みイネーブルレジスタ				0	R/W
	D1	ETM2	計時タイマ2Hz割り込みイネーブルレジスタ				0	R/W
	D0	ETM1	計時タイマ1Hz割り込みイネーブルレジスタ				0	R/W
00FF23	D7	EPT1	プログラマブルタイマ1割り込みイネーブルレジスタ	割り込み許可	割り込み禁止		0	R/W
	D6	EPT0	プログラマブルタイマ0割り込みイネーブルレジスタ				0	R/W
	D5	EK1	K10割り込みイネーブルレジスタ				0	R/W
	D4	EKOH	K04~K07割り込みイネーブルレジスタ				0	R/W
	D3	EK0L	K00~K03割り込みイネーブルレジスタ				0	R/W
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブルレジスタ				0	R/W
	D1	ESREC	シリアルI/F(受信)割り込みイネーブルレジスタ				0	R/W
	D0	ESTRA	シリアルI/F(送信)割り込みイネーブルレジスタ				0	R/W
00FF24	D7	-	-	-	-	-	-	読み出し時は"0"
	D6	FSW100	ストップウォッチ100Hz割り込み要因フラグ	(R) 割り込み要因あり	(R) 割り込み要因なし		0	R/W
	D5	FSW10	ストップウォッチ10Hz割り込み要因フラグ				0	R/W
	D4	FSW1	ストップウォッチ1Hz割り込み要因フラグ				0	R/W
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ				0	R/W
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ	(W) リセット	(W) 無効		0	R/W
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ				0	R/W
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ				0	R/W
00FF25	D7	FPT1	プログラマブルタイマ1割り込み要因フラグ	(R) 割り込み要因あり	(R) 割り込み要因なし		0	R/W
	D6	FPT0	プログラマブルタイマ0割り込み要因フラグ				0	R/W
	D5	FK1	K10割り込み要因フラグ				0	R/W
	D4	EKOH	K04~K07割り込み要因フラグ				0	R/W
	D3	EK0L	K00~K03割り込み要因フラグ				0	R/W
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ	(W) リセット	(W) 無効		0	R/W
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ				0	R/W
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ				0	R/W

表5.16.6.1(b) 割り込みの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注釈
00FF28	D7	PADC1	A/D変換器割り込み	PADC1	PADC0	優先	0	読み出し時は常時"0"
	D6	PADC0	プライオリティレジスタ	PMDY1	PMDY0	レベル	0	
	D5	PMDY1	メロディ割り込み	1	1	レベル3	0	
	D4	PMDY0	プライオリティレジスタ	1	0	レベル2	0	
	D3	—	—	0	1	レベル1	0	
	D2	—	—	0	0	レベル0	0	
	D1	—	—	—	—	—	—	
	D0	—	—	—	—	—	—	
	D7	EAD	A/D変換器割り込みイネーブルレジスタ	割り込み	割り込み	0	R/W	
	D6	EMDY	メロディ割り込みイネーブルレジスタ	許可	禁止	0	R/W	
00FF2A	D5	—	—	—	—	—	—	読み出し時は常時"0"
	D4	—	—	—	—	—	—	
	D3	—	—	—	—	—	—	
	D2	—	—	—	—	—	—	
	D1	—	—	—	—	—	—	
	D0	—	—	—	—	—	—	
	D7	FAD	A/D変換器割り込み要因フラグ	(R)割込みあり	(R)割込みなし	0	R/W	読み出し時は常時"0"
	D6	FMDY	メロディ割り込み要因フラグ	(W)リセット	(W)無効	0	R/W	
00FF2C	D5	—	—	—	—	—	—	読み出し時は常時"0"
	D4	—	—	—	—	—	—	
	D3	—	—	—	—	—	—	
	D2	—	—	—	—	—	—	
	D1	—	—	—	—	—	—	
	D0	—	—	—	—	—	—	

各ビットの設定内容および制御方法については、それぞれの周辺回路の説明を参照してください。

5.16.7 プログラミング上の注意事項

- (1) 割り込み発生後、割り込み要因フラグをリセットせずにRETE命令を実行すると、再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、そのルーチンに 対応する割り込み要因のリセット("1"書き込み)を必ず行ってください。
- (2) 割り込み発生後、割り込み要因フラグをリセットする前にインタラプトフラグ(I0, I1)を書き換える(低い優先レベルに設定する)と、再度同一の割り込みが発生してしまいますので注意してください。

- (3) 例外処理ベクタは2バイトに固定されたデータで、分岐先のバンクアドレスを指定することはできません。したがって、複数のバンクから共通の例外処理ルーチンに分岐させるためには、例外処理ルーチンの先頭部分をコモンエリア内(000000H ~ 007FFFFH)に記述しておく必要があります。
- (4) NMI割り込み発生から2msec以内はSLP命令を実行しないでください。(fosc1=32.768kHzの場合)

5.17 低消費電力化のための注意事項

S1C88816は、電力を多く消費する回路系を制御レジスタによってON/OFFすることができます。必要最小限の回路を、この制御レジスタによって動作させるプログラムとすることで、低消費電力化が実現できます。

以下に、プログラムによって動作を制御することのできる回路系とその制御レジスタ(命令)を示しますので、プログラミング上の参考としてください。

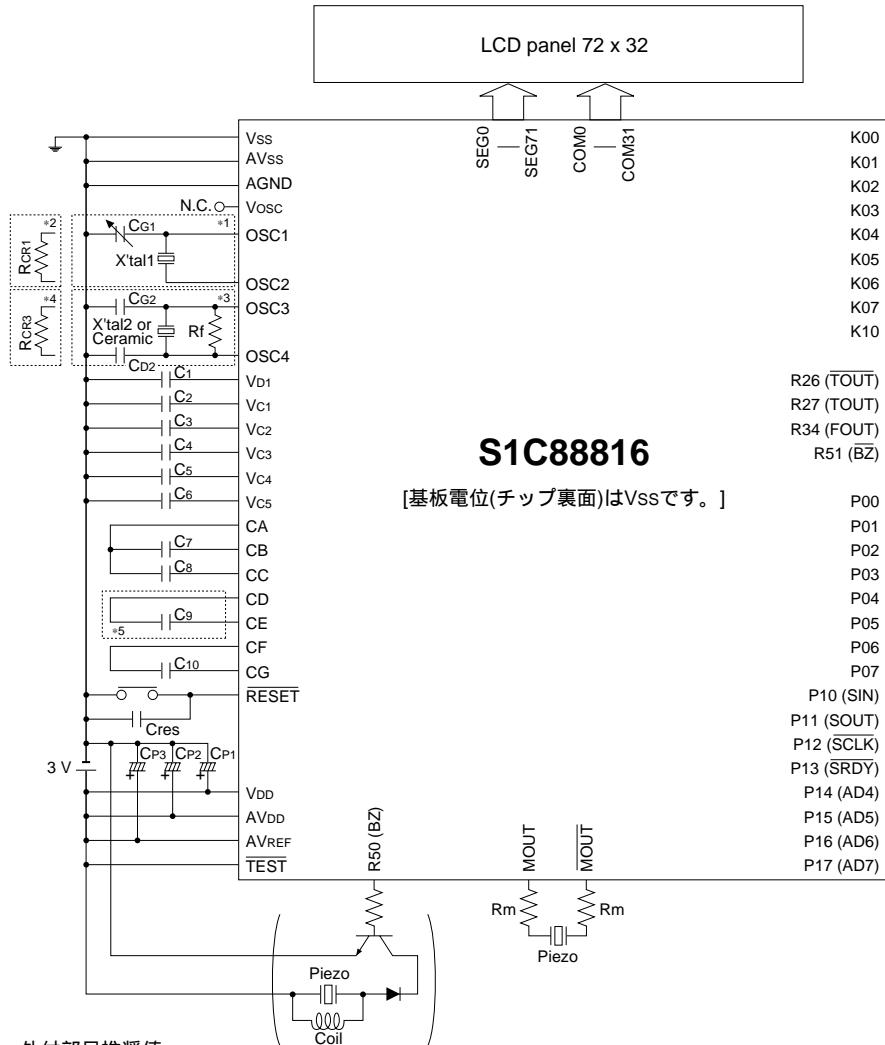
消費電流については"7 電気的特性"を参照してください。

表5.17.1 回路系と制御レジスタ

回路系	制御レジスタ(命令)	イニシャルリセット時の状態
CPU	HALT、SLP命令	動作状態
発振回路	CLKCHG、OSCC	OSC1クロック (CLKCHG="0") OSC3発振OFF (OSCC="0")
動作モード	VDC0、VDC1	通常モード (VDC0=VDC1="0")
LCDコントローラ	LCDC0、LCDC1	駆動OFF (LCDC0=LCDC1="0")
SVD回路	SVDON、SVDSP	OFF状態 (SVDON=SVDSP="0")

6 基本外部結線

VC2基準、1/5バイアスの場合



外付部品推奨値

シンボル	名称	推奨値
X'tal1	水晶振動子	32.768kHz, Clf(Max.)=35kΩ
Cg1	トライキャバシタ	5~30pF
Rcr1	CR発振用抵抗	1MΩ
X'tal2	水晶振動子	4MHz
Ceramic	セラミック振動子	4MHz
Rf	帰還抵抗	1MΩ
Cg2	ゲートキャバシタ	15pF(水晶発振) 30pF(セラミック発振)
Cd2	ドレインキャバシタ	15pF(水晶発振) 30pF(セラミック発振)
Rcr3	CR発振用抵抗	20kΩ

シンボル	名称	推奨値
C1	Vss~V _{D1} 間キャパシタ	0.1μF
C2	Vss~V _{C1} 間キャパシタ	0.1μF
C3	Vss~V _{C2} 間キャパシタ	0.1μF
C4	Vss~V _{C3} 間キャパシタ	0.1μF
C5	Vss~V _{C4} 間キャパシタ	0.1μF
C6	Vss~V _{C5} 間キャパシタ	0.1μF
C _{7~10}	昇降圧キャパシタ	0.1μF
C _{P1~3}	電源間キャパシタ	3.3μF
C _{Res}	RESET端子キャパシタ	0.47μF
R _m	ビエゾ保護抵抗	100Ω

この結線図は以下のマスクオプションを選択した場合の例です。

LCD電源: 内部電源、RESET端子: ブルーアップ抵抗付加、R51仕様: 汎用出力ポート

*1 OSC1 = 水晶発振、*2 OSC1 = CR発振、*3 OSC3 = 水晶発振/セラミック発振、*4 OSC3 = CR発振
 *5 1/4バイアス時は不要

注：ここに記載されている値は一例です。詳細な特性については「電気的特性」を参照してください。

7 電気的特性

7.1 絶対最大定格

項目	記号	条件	定格値	単位	注
電源電圧	VDD		-0.3 ~ +7.0	V	
液晶電源電圧	VCS		-0.3 ~ +7.0	V	
入力電圧	VI		-0.3 ~ VDD + 0.3	V	
出力電圧	VO		-0.3 ~ VDD + 0.3	V	1
高レベル出力電流	I _{OH}	1端子	-5	mA	
		全端子合計	-20	mA	
低レベル出力電流	I _{OL}	1端子	5	mA	
		全端子合計	20	mA	
許容損失	P _D		200	mW	2
動作温度	Topr		-40 ~ +85	°C	
保存温度	Tstg		-65 ~ +150	°C	
半田付け温度・時間	Tsol		260°C, 10sec (リード部)	—	

注) 1 マスクオプションによりNchオープンドレイン出力を選択した場合も含まれます。

2 プラスチックパッケージの場合

7.2 推奨動作条件

項目	記号	条件	Min.	Typ.	Max.	単位	注
動作電源電圧(通常動作モード)	VDD		2.4		5.5	V	
動作電源電圧(低パワー動作モード)	VDD		1.8		5.5	V	
動作電源電圧(高速動作モード)	VDD		3.5		5.5	V	
アナログ電源電圧	AVDD	AVDD ≥ 2.7V	VDD-0.05		VDD+0.05	V	
動作周波数(通常動作モード)	fosc1	VDD = 2.4 ~ 5.5V	30.000	32.768	80.000	kHz	1
	fosc3		0.03		4.2	MHz	1
動作周波数(低パワー動作モード)	fosc1	VDD = 1.8 ~ 5.5V	30.000	32.768	80.000	kHz	1
動作周波数(高速動作モード)	fosc1	VDD = 3.5 ~ 5.5V	30.000	32.768	80.000	kHz	1
	fosc3		0.03		8.2	MHz	1
液晶電源電圧	VCS	VCS ≥ VC4 ≥ VC3 ≥ VC2 ≥ VC1 ≥ VSS			6.0	V	2
VSS ~ VD1間キャパシタ	C1			0.1		μF	
VSS ~ VC1間キャパシタ	C2			0.1		μF	3
VSS ~ VC2間キャパシタ	C3			0.1		μF	3
VSS ~ VC3間キャパシタ	C4			0.1		μF	3
VSS ~ VC4間キャパシタ	C5			0.1		μF	3
VSS ~ VC5間キャパシタ	C6			0.1		μF	3
CA ~ CB間キャパシタ	C7			0.1		μF	3
CA ~ CC間キャパシタ	C8			0.1		μF	3
CD ~ CE間キャパシタ	C9			0.1		μF	3
CF ~ CG間キャパシタ	C10			0.1		μF	3

注) 1 マスクオプションによりOSC1から外部クロックを入力する場合はOSC2を開放、OSC3から外部クロックを入力する場合はOSC4を開放してください。

2 マスクオプションにより外部電源を選択した場合。

3 LCD駆動電源を使用しない場合は、キャパシタは必要ありません。また、VC1 ~ VCSおよびCA ~ CGは開放してください。

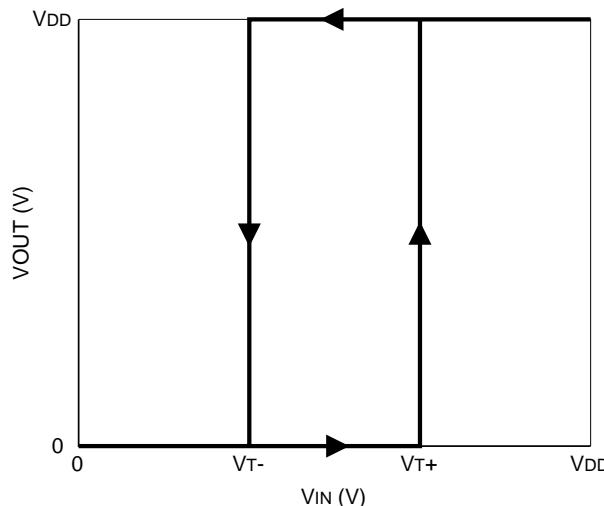
7.3 DC特性

特記なき場合の試験条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$

項目	記号	条件	Min.	Typ.	Max.	単位	注
高レベル入力電圧(1)	V_{IH1}	K_{xx}, P_{xx}	$0.8V_{DD}$		V_{DD}	V	
低レベル入力電圧(1)	V_{IL1}	K_{xx}, P_{xx}	0		$0.2V_{DD}$	V	
高レベル入力電圧(2) (通常動作モード)	V_{IH2}	$OSC3$	1.6		V_{DD}	V	1
高レベル入力電圧(2)	V_{IH2}	$OSC1$	1.0		V_{DD}	V	1
高レベル入力電圧(2) (高速動作モード)	V_{IH2}	$OSC3$	2.4		V_{DD}	V	1
低レベル入力電圧(2) (通常動作モード)	V_{IL2}	$OSC3$	0		0.6	V	1
低レベル入力電圧(2)	V_{IL2}	$OSC1$	0		0.3	V	1
低レベル入力電圧(2) (高速動作モード)	V_{IL2}	$OSC3$	0		0.9	V	1
高レベルシュミット入力電圧	V_{T+}	RESET	$0.5V_{DD}$		$0.9V_{DD}$	V	
低レベルシュミット入力電圧	V_{T-}	RESET	$0.1V_{DD}$		$0.5V_{DD}$	V	
高レベル出力電流	I_{OH}	$P_{xx}, R_{xx}, V_{OH} = 0.9V_{DD}$			-0.5	mA	
低レベル出力電流	I_{OL}	$P_{xx}, R_{xx}, V_{OL} = 0.1V_{DD}$	0.5			mA	
入力リーコンデンサ	I_{LI}	$K_{xx}, P_{xx}, \text{RESET}$	-1		1	μA	
出力リーコンデンサ	I_{LO}	P_{xx}, R_{xx}	-1		1	μA	
入力プルアップ抵抗	R_{IN}	$K_{xx}, P_{xx}, \text{RESET}$	100	300	500	$k\Omega$	2
入力端子容量	C_{IN}	K_{xx}, P_{xx} $V_{IN} = 0V, f = 1MHz, T_a = 25$		7	15	pF	
セグメント、コモン出力電流	I_{SEGH}	$SEG_{xx}, COM_{xx}, V_{SEGH} = V_{C5}-0.1V$			-5	μA	
	I_{SEGL}	$SEG_{xx}, COM_{xx}, V_{SEGL} = 0.1V$	5			μA	

注) 1 マスクオプションにより外部クロックを選択した場合。

2 マスクオプションによりプルアップ抵抗付加を選択した場合。



7.4 アナログ回路特性

LCD駆動回路

LCD駆動電圧は、パネル負荷(パネルの大きさ、駆動デューティ、表示点灯数、表示パターン)の違いによりTyp.値がシフトしますので、実際に使用されるパネルと接続して評価してください。

負荷特性については、"7.9 特性グラフ"を参照してください。

特記なき場合の試験条件: $V_{DD} = V_{C2}$ ($LCX = FH$) + 0.1 ~ 5.5V, $V_{SS} = 0V$, $T_a = 25^\circ C$, $C_1 \sim C_{10} = 0.1\mu F$

項目	記号	条件	Min.	Typ.	Max.	単位	注
LCD駆動電圧 (V_{C2} 基準)	V_{C2}	$V_{SS} \sim V_{C2}$ 間に $1M\Omega$ の負荷抵抗を接続した場合(パネル負荷なし)		0.412 V_{C5}		V	
	V_{C5}	$V_{SS} \sim V_{C5}$ 間に $1M\Omega$ の負荷抵抗を接続した場合(パネル負荷なし)				V	1
	TYPE A (4.5V)	$LCX = 0H$	3.52			V	
		$LCX = 1H$	3.64			V	
		$LCX = 2H$	3.76			V	
		$LCX = 3H$	3.88			V	
		$LCX = 4H$	4.00			V	
		$LCX = 5H$	4.12			V	
		$LCX = 6H$	4.24			V	
		$LCX = 7H$	4.37			V	
		$LCX = 8H$	4.51			V	
		$LCX = 9H$	4.63			V	
		$LCX = AH$	4.75			V	
		$LCX = BH$	4.87			V	
		$LCX = CH$	5.00			V	
		$LCX = DH$	5.12			V	
		$LCX = EH$	5.24			V	
		$LCX = FH$	5.36			V	
	V_{C5}	$V_{SS} \sim V_{C5}$ 間に $1M\Omega$ の負荷抵抗を接続した場合(パネル負荷なし)				V	1
	TYPE B (5.5V)	$LCX = 0H$	4.20			V	
		$LCX = 1H$	4.34			V	
		$LCX = 2H$	4.49			V	
		$LCX = 3H$	4.63			V	
		$LCX = 4H$	4.78			V	
		$LCX = 5H$	4.92			V	
		$LCX = 6H$	5.07			V	
		$LCX = 7H$	5.21			V	
		$LCX = 8H$	5.36			V	
		$LCX = 9H$	5.50			V	
		$LCX = AH$	5.65			V	
		$LCX = BH$	5.80			V	
		$LCX = CH$	5.94			V	
		$LCX = DH$	6.09			V	
		$LCX = EH$	6.23			V	
		$LCX = FH$	6.38			V	
	V_{C5}	$V_{SS} \sim V_{C5}$ 間に $1M\Omega$ の負荷抵抗を接続した場合(パネル負荷なし)				V	1
	TYPE C (4.5V)	$LCX = 0H$	3.34			V	
		$LCX = 1H$	3.54			V	
		$LCX = 2H$	3.66			V	
		$LCX = 3H$	3.78			V	
		$LCX = 4H$	3.90			V	
		$LCX = 5H$	4.02			V	
		$LCX = 6H$	4.14			V	
		$LCX = 7H$	4.26			V	
		$LCX = 8H$	4.38			V	
		$LCX = 9H$	4.49			V	
		$LCX = AH$	4.61			V	
		$LCX = BH$	4.73			V	
		$LCX = CH$	4.85			V	
		$LCX = DH$	4.97			V	
		$LCX = EH$	5.09			V	
		$LCX = FH$	5.21			V	

注) 1 コントラストは固定値とせず、ソフトウェアにより変えられるようにすることを推奨します。

特記なき場合の試験条件: $V_{DD} = V_{C2}$ ($LCX = FH$) + 0.1 ~ 5.5V, $V_{SS} = 0V$, $T_a = 25^\circ C$, $C_1 \sim C_{10} = 0.1\mu F$

項目	記号	条件		Min.	Typ.	Max.	単位	注
LCD駆動電圧 (V_{C1} 基準)	V_{C1}	$V_{SS} \sim V_{C1}$ 間に1MΩの負荷抵抗を接続した場合(パネル負荷なし)		0.260V V_{C5}		V		
TYPE D (4.5V)	V_{C5}	$V_{SS} \sim V_{C5}$ 間に1MΩの負荷抵抗を接続した場合(パネル負荷なし)	$LCX = 0H$	Typ×0.94	3.80	Typ×1.06	V	1
			$LCX = 1H$		3.88		V	
			$LCX = 2H$		3.96		V	
			$LCX = 3H$		4.03		V	
			$LCX = 4H$		4.15		V	
			$LCX = 5H$		4.22		V	
			$LCX = 6H$		4.30		V	
			$LCX = 7H$		4.38		V	
			$LCX = 8H$		4.45		V	
			$LCX = 9H$		4.53		V	
			$LCX = AH$		4.65		V	
			$LCX = BH$		4.72		V	
			$LCX = CH$		4.80		V	
			$LCX = DH$		4.88		V	
			$LCX = EH$		4.95		V	
			$LCX = FH$		5.07		V	

注) 1 コントラストは固定値とせず、ソフトウェアにより変えられるようにすることを推奨します。

SVD回路

特記なき場合の試験条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = 25^\circ C$

項目	記号	条件		Min.	Typ.	Max.	単位	注
SVD電圧	V_{SVD}	レベル1	レベル0	Typ×0.92	1.82	Typ×1.08	V	1
		レベル2	レベル1		2.00		V	1
		レベル3	レベル2		2.18		V	1
		レベル4	レベル3		2.36		V	2
		レベル5	レベル4		2.54		V	2
		レベル6	レベル5		2.72		V	2
		レベル7	レベル6		2.90		V	3
		レベル8	レベル7		3.08		V	3
		レベル9	レベル8		3.26		V	3
		レベル10	レベル9	Typ×0.88	3.45	Typ×1.12	V	4
		レベル11	レベル10		3.65		V	4
		レベル12	レベル11		3.85		V	4
		レベル13	レベル12		4.00		V	4
		レベル14	レベル13		4.15		V	4
		レベル15	レベル14		4.35		V	4

V_{SVD} (レベル0) < V_{SVD} (レベル1) < V_{SVD} (レベル2) < V_{SVD} (レベル3) < V_{SVD} (レベル4) < V_{SVD} (レベル5) < V_{SVD} (レベル6) < V_{SVD} (レベル7)

< V_{SVD} (レベル8) < V_{SVD} (レベル9) < V_{SVD} (レベル10) < V_{SVD} (レベル11) < V_{SVD} (レベル12) < V_{SVD} (レベル13) < V_{SVD} (レベル14) < V_{SVD} (レベル15)

注) 1 低パワー動作モードのみ

2 低パワー動作モードおよび通常動作モードのみ

3 通常動作モードのみ

4 通常動作モードおよび高速動作モードのみ

7.5 消費電流

特記なき場合の試験条件: V_{DD} = 各動作モードの動作電圧範囲, V_{SS} = 0V, T_a = 25°C, OSC1 = 32.768kHz水晶発振, C_G = 25pF, OSC3 = 水晶発振/セラミック発振, 非重負荷保護モード, C₁ ~ C₁₀ = 0.1μF, パネル負荷なし

項目	記号	条件	Min.	Typ.	Max.	単位	注
電源電流 (通常動作モード)	IDD1	SLP命令実行時	*1	0.45	1.6	μA	
	IDD2	HALT命令実行時	*2	1.5	3.5	μA	
	IDD3	CPU動作時(32.768kHz)	*3	7	10	μA	
	IDD4	CPU動作時(4MHz)	*4	0.9	1.1	mA	
電源電流 (低パワー動作モード)	IDD1	SLP命令実行時	*1	0.30	1	μA	
	IDD2	HALT命令実行時	*2	1	2.5	μA	
	IDD3	CPU動作時(32.768kHz)	*3	5	7	μA	
電源電流 (高速動作モード)	IDD1	SLP命令実行時	*1	1	3	μA	
	IDD2	HALT命令実行時	*2	2	5	μA	
	IDD3	CPU動作時(32.768kHz)	*3	12	16	μA	
	IDD4	CPU動作時(8MHz)	*5	3.3	3.9	mA	
LCD駆動回路電流	ILCDN			6	10	μA	1
	ILCDH	重負荷保護モード時		37	45	μA	2
SVD回路電流	ISVDN	V _{DD} = 3.0V時		27	40	μA	3
OSC1 CR発振電流(R _{CR1} = 500kΩ)	ICR1	HALT命令実行時(50kHz)		10	15	μA	4

*1 OSC1: 停止、OSC3: 停止、CPU, ROM, RAM: SLP命令、 計時タイマ: 停止、その他: 停止状態。

*2 OSC1: 発振、OSC3: 停止、CPU, ROM, RAM: HALT命令、 計時タイマ: 動作、その他: 停止状態。

*3 OSC1: 発振、OSC3: 停止、CPU, ROM, RAM: 32.768kHz動作、計時タイマ: 動作、その他: 停止状態。

*4 OSC1: 発振、OSC3: 発振、CPU, ROM, RAM: 4MHz動作、 計時タイマ: 動作、その他: 停止状態。
4MHz以外の消費電流は、"7.9 特性グラフ"を参照してください。

*5 OSC1: 発振、OSC3: 発振、CPU, ROM, RAM: 8MHz動作、 計時タイマ: 動作、その他: 停止状態。
8MHz以外の消費電流は、"7.9 特性グラフ"を参照してください。

注) 1 表示パターンにより電流値は変わります。

2 重負荷保護モード時、重負荷保護回路に流れる電流値。

OSC3発振回路がONの場合は常時重負荷保護モードになります。

ブザー出力時およびメロディ出力時のモードはマスクオプションで選択できます。

"6 基本外部結線図"のR50端子の例のようにバイポーラトランジスタを使用する場合は、"重負荷保護モード"を選択してください。MOUT/MOUT端子の例のように圧電ブザーをダイレクトドライブする場合は、"ノーマル"を選択してください。

3 V_{DD} = xV時の値は、ISVDN (V_{DD} = xV) = (x × 20) - 30 (Typ.値)、ISVDN (V_{DD} = xV) = (x × 30) - 30 (Max.値)により求められます。

4 マスクオプションによりOSC1 CR発振回路を選択した場合。

7.6 AC特性

動作範囲

条件: V_{DD} = 各動作モードの動作電圧範囲, V_{SS} = 0V, T_a = -40 ~ 85

項目	記号	条件	Min.	Typ.	Max.	単位	注
動作周波数(通常動作モード)	fosc1	V _{DD} = 2.4 ~ 5.5V	30.000	32.768	80.000	kHz	
	fosc3		0.03		4.2	MHz	
動作周波数(低パワー動作モード)	fosc1	V _{DD} = 1.8 ~ 5.5V	30.000	32.768	80.000	kHz	
動作周波数(高速動作モード)	fosc1	V _{DD} = 3.5 ~ 5.5V	30.000	32.768	80.000	kHz	
	fosc3		0.03		8.2	MHz	
インストラクション実行時間 (OSC1クロック動作時)	t _{cy}	1サイクル命令	25	61	67	μs	
		2サイクル命令	50	122	133	μs	
		3サイクル命令	75	183	200	μs	
		4サイクル命令	100	244	267	μs	
		5サイクル命令	125	305	333	μs	
		6サイクル命令	150	366	400	μs	
インストラクション実行時間 通常動作モード (OSC3クロック動作時)	t _{cy}	1サイクル命令	0.5		66.7	μs	
		2サイクル命令	1.0		133.3	μs	
		3サイクル命令	1.4		200.0	μs	
		4サイクル命令	1.9		266.7	μs	
		5サイクル命令	2.4		333.3	μs	
		6サイクル命令	2.9		400.0	μs	
インストラクション実行時間 高速動作モード (OSC3クロック動作時)	t _{cy}	1サイクル命令	0.2		66.7	μs	
		2サイクル命令	0.5		133.3	μs	
		3サイクル命令	0.7		200.0	μs	
		4サイクル命令	1.0		266.7	μs	
		5サイクル命令	1.2		333.3	μs	
		6サイクル命令	1.5		400.0	μs	

シリアルインターフェース

• クロック同期式マスタモード (通常動作モード時)

条件: $V_{DD} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$, $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$

項目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	t _{smd}			200	ns	
受信データ入力セットアップ時間	t _{sms}	500			ns	
受信データ入力ホールド時間	t _{smh}	200			ns	

• クロック同期式マスタモード (高速動作モード時)

条件: $V_{DD} = 3.5 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$, $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$

項目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	t _{smd}			100	ns	
受信データ入力セットアップ時間	t _{sms}	250			ns	
受信データ入力ホールド時間	t _{smh}	100			ns	

• クロック同期式マスタモード (低パワー動作モード時)

条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$, $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$

項目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	t _{smd}			5	μs	
受信データ入力セットアップ時間	t _{sms}	10			μs	
受信データ入力ホールド時間	t _{smh}	5			μs	

• クロック同期式スレーブモード (通常動作モード時)

条件: $V_{DD} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$, $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$

項目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	t _{ssd}			500	ns	
受信データ入力セットアップ時間	t _{sss}	200			ns	
受信データ入力ホールド時間	t _{ssh}	200			ns	

• クロック同期式スレーブモード (高速動作モード時)

条件: $V_{DD} = 3.5 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$, $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$

項目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	t _{ssd}			250	ns	
受信データ入力セットアップ時間	t _{sss}	100			ns	
受信データ入力ホールド時間	t _{ssh}	100			ns	

• クロック同期式スレーブモード (低パワー動作モード時)

条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$, $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$

項目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	t _{ssd}			10	μs	
受信データ入力セットアップ時間	t _{sss}	5			μs	
受信データ入力ホールド時間	t _{ssh}	5			μs	

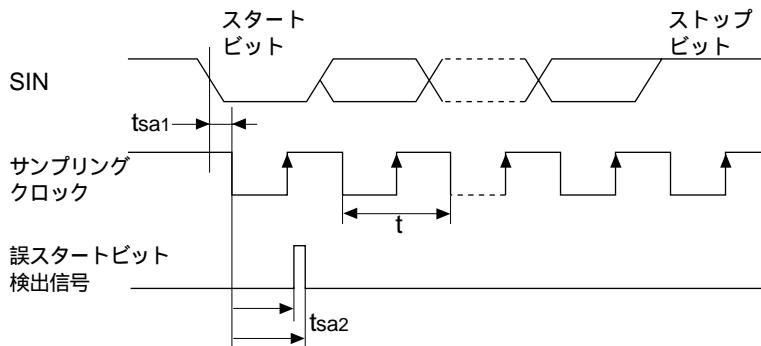
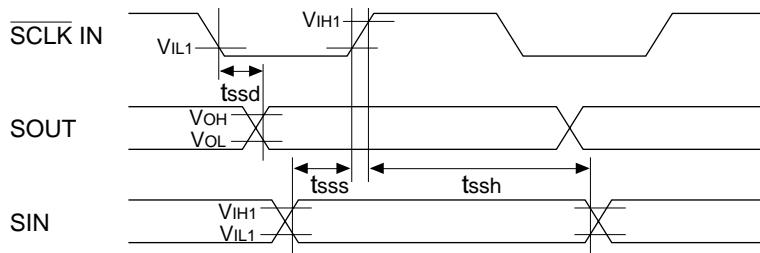
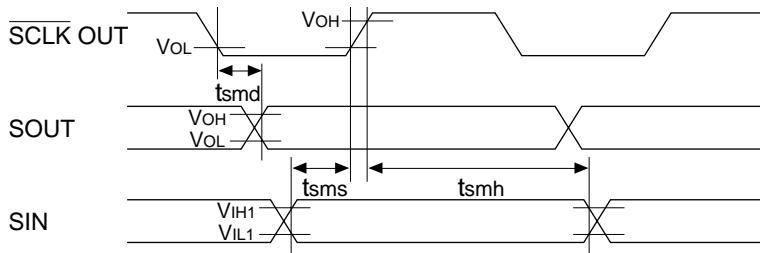
• 調歩同期式（全動作モード時）

条件: V_{DD} = 1.8 ~ 5.5V, V_{SS} = 0V, Ta = -40 ~ 85

項目	記号	Min.	Typ.	Max.	単位	注
スタートビット検出誤差時間	t _{sa1}	0		t/16	s	1
誤スタートビット検出範囲時間	t _{sa2}	9t/16		10t/16	s	2

(注) 1 スタートビット検出誤差時間とは、スタートビットが入力されてから内部のサンプリングクロックが動作するまでの論理的遅れ時間。(AC的な時間は含まれません。)

2 誤スタートビット検出とは、スタートビットを検出し内部のサンプリングクロックが動作した後、再度LOWレベル(スタートビット)が入力されているか検出する論理的な範囲時間。HIGHレベルであった場合、スタートビット検出回路がリセットされ、再度スタートビット検出待ちになります。(AC的な時間は含まれません。)



入力クロック

- OSC1, OSC3外部クロック (通常動作モード時)

条件: V_{DD} = 2.4 ~ 5.5V, V_{SS} = 0V, Ta = -40 ~ 85, V_{IH2} = 1.6V, V_{IL2} = 0.6V

項目	記号	Min.	Typ.	Max.	単位	注
OSC1入力クロック時間	サイクル時間	to1cy	12		32	μs
	"H"パルス幅	to1h	6		16	μs
	"L"パルス幅	to1l	6		16	μs
OSC3入力クロック時間	サイクル時間	to3cy	250		32,000	ns
	"H"パルス幅	to3h	125		16,000	ns
	"L"パルス幅	to3l	125		16,000	ns
入力クロック立ち上がり時間	tosr			25	ns	
入力クロック立ち下がり時間	tosf			25	ns	

- OSC1, OSC3外部クロック (高速動作モード時)

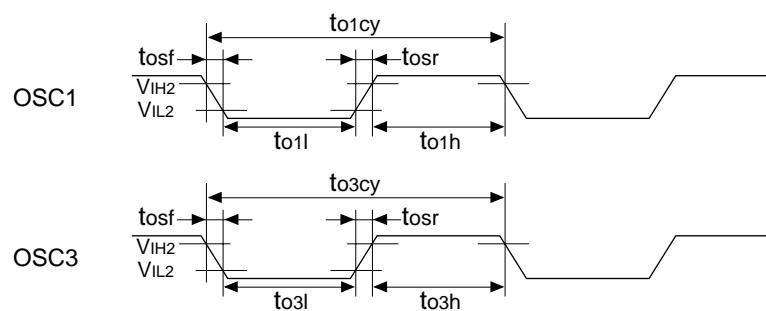
条件: V_{DD} = 3.5 ~ 5.5V, V_{SS} = 0V, Ta = -40 ~ 85, V_{IH2} = 1.6V, V_{IL2} = 0.6V

項目	記号	Min.	Typ.	Max.	単位	注
OSC1入力クロック時間	サイクル時間	to1cy	12		32	μs
	"H"パルス幅	to1h	6		16	μs
	"L"パルス幅	to1l	6		16	μs
OSC3入力クロック時間	サイクル時間	to3cy	125		32,000	ns
	"H"パルス幅	to3h	62.5		16,000	ns
	"L"パルス幅	to3l	62.5		16,000	ns
入力クロック立ち上がり時間	tosr			25	ns	
入力クロック立ち下がり時間	tosf			25	ns	

- OSC1外部クロック (低パワー動作モード時)

条件: V_{DD} = 1.8 ~ 5.5V, V_{SS} = 0V, Ta = -40 ~ 85, V_{IH2} = 1.0V, V_{IL2} = 0.3V

項目	記号	Min.	Typ.	Max.	単位	注
OSC1入力クロック時間	サイクル時間	to1cy	12		32	μs
	"H"パルス幅	to1h	6		16	μs
	"L"パルス幅	to1l	6		16	μs
入力クロック立ち上がり時間	tosr			25	ns	
	tosf			25	ns	



• SCLK, EVIN入力クロック (通常動作モード時)

条件: VDD = 2.4 ~ 5.5V, Vss = 0V, Ta = -40 ~ 85 , VIH1 = 0.8VDD, Vil1 = 0.2VDD

項目	記号	Min.	Typ.	Max.	単位	注
SCLK入力クロック時間	サイクル時間	tsccy	4			μs
	"H"パルス幅	tsch	2			μs
	"L"パルス幅	tscl	2			μs
EVIN入力クロック時間 (ノイズリジエクタあり)	サイクル時間	tevcy	64/fosc1			s
	"H"パルス幅	tevh	32/fosc1			s
	"L"パルス幅	tevl	32/fosc1			s
EVIN入力クロック時間 (ノイズリジエクタなし)	サイクル時間	tevcy	4			μs
	"H"パルス幅	tevh	2			μs
	"L"パルス幅	tevl	2			μs
入力クロック立ち上がり時間	tckr			25	ns	
入力クロック立ち下がり時間	tckf			25	ns	

• SCLK, EVIN入力クロック (高速動作モード時)

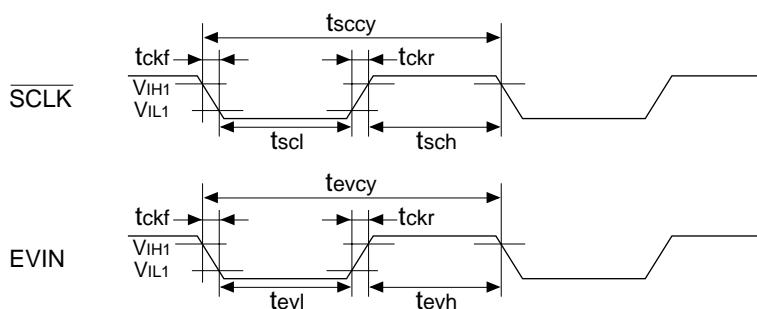
条件: VDD = 3.5 ~ 5.5V, Vss = 0V, Ta = -40 ~ 85 , VIH1 = 0.8VDD, Vil1 = 0.2VDD

項目	記号	Min.	Typ.	Max.	単位	注
SCLK入力クロック時間	サイクル時間	tsccy	2			μs
	"H"パルス幅	tsch	1			μs
	"L"パルス幅	tscl	1			μs
EVIN入力クロック時間 (ノイズリジエクタあり)	サイクル時間	tevcy	64/fosc1			s
	"H"パルス幅	tevh	32/fosc1			s
	"L"パルス幅	tevl	32/fosc1			s
EVIN入力クロック時間 (ノイズリジエクタなし)	サイクル時間	tevcy	2			μs
	"H"パルス幅	tevh	1			μs
	"L"パルス幅	tevl	1			μs
入力クロック立ち上がり時間	tckr			25	ns	
入力クロック立ち下がり時間	tckf			25	ns	

• SCLK, EVIN入力クロック (低パワー動作モード時)

条件: VDD = 1.8 ~ 5.5V, Vss = 0V, Ta = -40 ~ 85 , VIH1 = 0.8VDD, Vil1 = 0.2VDD

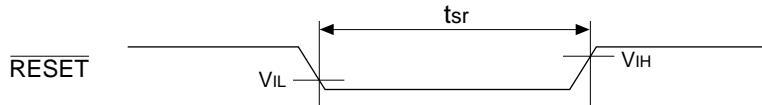
項目	記号	Min.	Typ.	Max.	単位	注
SCLK入力クロック時間	サイクル時間	tsccy	100			μs
	"H"パルス幅	tsch	50			μs
	"L"パルス幅	tscl	50			μs
EVIN入力クロック時間 (ノイズリジエクタあり)	サイクル時間	tevcy	64/fosc1			s
	"H"パルス幅	tevh	32/fosc1			s
	"L"パルス幅	tevl	32/fosc1			s
EVIN入力クロック時間 (ノイズリジエクタなし)	サイクル時間	tevcy	100			μs
	"H"パルス幅	tevh	50			μs
	"L"パルス幅	tevl	50			μs
入力クロック立ち上がり時間	tckr			25	ns	
入力クロック立ち下がり時間	tckf			25	ns	



• RESET入力クロック (全動作モード時)

条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$, $V_{IH} = 0.5V_{DD}$, $V_{IL} = 0.1V_{DD}$

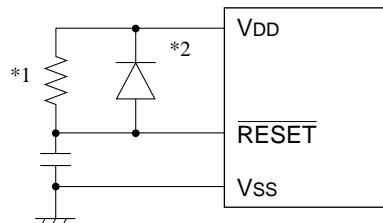
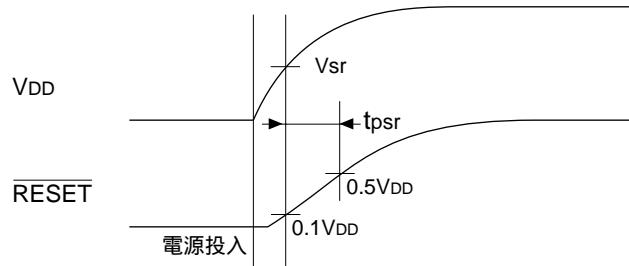
項目	記号	Min.	Typ.	Max.	単位	注
RESET入力時間	t_{sr}	100			μs	



パワーオンリセット

条件: $V_{SS} = 0V$, $T_a = -40 \sim 85$

項目	記号	Min.	Typ.	Max.	単位	注
動作電源電圧	V_{sr}	2.4			V	
RESET入力時間	t_{psr}	10			ms	



*1 内蔵プルアップ抵抗を使用しない場合。

*2 RESET端子の電位が V_{DD} レベル以上にならないため。

動作モード切り換え

条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$

項目	記号	Min.	Typ.	Max.	単位	注
安定時間	t_{vdc}	5			ms	1

注) 1 安定時間とは、動作モードを切り換えてから切り換えた動作モードに安定するまでの時間。たとえば、OSC3発振回路をオンするには、動作モード切り換え後安定時間待つ必要があります。

7.7 発振特性

発振特性は諸条件(基板パターン、使用部品など)により変化します。以下の特性は参考値として使用してください。特にOSC3にセラミック発振子または水晶発振子を使用する場合、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。また発振開始時間は、OSC3のクロックを使用する場合の待ち時間となりますので重要な項目です。(発振が安定するまでにCPUクロックとして使用した場合、CPUが誤動作します。)

OSC1水晶発振

特記なき場合の試験条件: V_{DD} = 各動作モードの動作電圧範囲, $V_{SS} = 0V$, $T_a = 25^\circ C$, 水晶発振子 = Q12C2*, $C_{G1} = 25pF$ 外付け, $C_{D1} =$ 内蔵

項目	記号	条件	Min.	Typ.	Max.	単位	注
発振開始時間	tsta				3	s	
外付けゲート容量	C_{G1}	基板容量など含む	5		30	pF	1
内蔵ゲート容量	C_{G1}	チップの場合		12		pF	2
内蔵ドレイン容量	C_{D1}	チップの場合		12		pF	
周波数IC偏差	$\partial f/\partial IC$	$V_{DD} = $ 一定	-10		10	ppm	
周波数電源電圧偏差	$\partial f/\partial V$				1	ppm/V	
周波数調整範囲	$\partial f/\partial CG$	$V_{DD} = $ 一定, $CG = 5 \sim 30pF$	25	55		ppm	1
周波数動作モード偏差	$\partial f/\partial MD$	$V_{DD} = $ 一定			20	ppm	

* Q12C2 セイコーエプソン(株) 製

注) 1 マスクオプションにより水晶発振(ゲート容量外付けタイプ)選択の場合。

2 マスクオプションにより水晶発振(ゲート容量内蔵タイプ)選択の場合。

OSC1 CR発振

特記なき場合の試験条件: $V_{DD} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位	注
発振開始時間	tsta				3	ms	
周波数IC偏差	$\partial f/\partial IC$	$RCR = $ 一定	-25		25	%	

OSC3水晶発振

特記なき場合の試験条件: $V_{DD} =$ 各動作モードの動作電圧範囲, $V_{SS} = 0V$, $T_a = 25^\circ C$,

水晶発振子 = Q21CA301xxx*, $R_F = 1M\Omega$, $C_{G2} = C_{D2} = 15pF$

項目	記号	条件	Min.	Typ.	Max.	単位	注
発振開始時間(通常動作モード)	tsta	4.0MHz水晶発振子			20	ms	1
発振開始時間(高速動作モード)	tsta	8.0MHz水晶発振子			20	ms	1

* Q21CA301xxx セイコーエプソン(株) 製

注) 1 水晶発振開始時間は、使用する水晶発振子および C_{G2} , C_{D2} により変化します。

OSC3セラミック発振

特記なき場合の試験条件: $V_{DD} =$ 各動作モードの動作電圧範囲, $V_{SS} = 0V$, $T_a = 25^\circ C$,

セラミック発振子 = CSA4.00MG/CSA8.00MTZ*, $R_F = 1M\Omega$, $C_{G2} = C_{D2} = 30pF$

項目	記号	条件	Min.	Typ.	Max.	単位	注
発振開始時間(通常動作モード)	tsta	4.0MHzセラミック発振子			5	ms	
発振開始時間(高速動作モード)	tsta	8.0MHzセラミック発振子			5	ms	

* CSA4.00MG/CSA8.00MTZ 村田製作所製

OSC3 CR発振

特記なき場合の試験条件: $V_{DD} =$ 各動作モードの動作電圧範囲, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位	注
発振開始時間(通常動作モード)	tsta				1	ms	
発振開始時間(高速動作モード)	tsta				1	ms	
周波数IC偏差(通常動作モード)	$\partial f/\partial IC$	$RCR = $ 一定	-25		25	%	
周波数IC偏差(高速動作モード)	$\partial f/\partial IC$	$RCR = $ 一定	-25		25	%	

7.8 A/D変換器特性

出荷形態はプラスチックPKGにかぎります。

特記なき場合の試験条件: VDD=AVDD=AVREF=5.0V, Vss=AVss=AGND=0V, fosc1=32.768kHz, fosc3=4.0MHz, Ta=25°C

項目	記号	条件	Min.	Typ.	Max.	単位	注
ゼロスケール誤差	Ezs	VDD=AVDD=AVREF=2.7V~5.5V, ADCLK=2MHz	-1.50		1.50	LSB	
フルスケール誤差	Efs	Ta=25°C	-1.50		1.50	LSB	
非直線性誤差	El		-1.50		1.50	LSB	
総合誤差	Et		-3.00		3.00	LSB	
A/Dコンバータ 消費電流	IAD	VDD=AVDD=AVREF=3.0V, ADCLK=2MHz, Ta=25°C AVREFとADCLK用ディバイダの電流を除く		0.50	1.00	mA	
		VDD=AVDD=AVREF=5.0V, ADCLK=2MHz, Ta=25°C AVREFとADCLK用ディバイダの電流を除く		1.80	3.50	mA	
入力クロック周波数	f	VDD=AVDD=AVREF=2.7V~3.0V, Ta=25°C			2	MHz	
		VDD=AVDD=AVREF=3.0V~5.5V, Ta=25°C			4	MHz	

* ゼロスケール誤差: Ezs=ゼロ点の理想値からのずれ

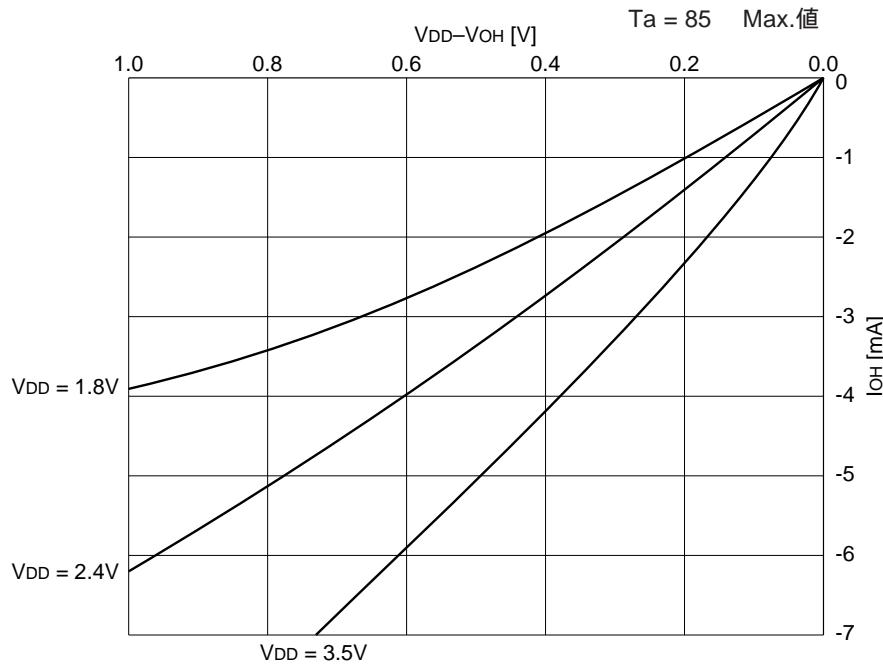
* フルスケール誤差: Efs=フルスケール点の理想値からのずれ

* 非直線性誤差: El=エンドポイントラインと実際の変換曲線とのずれ

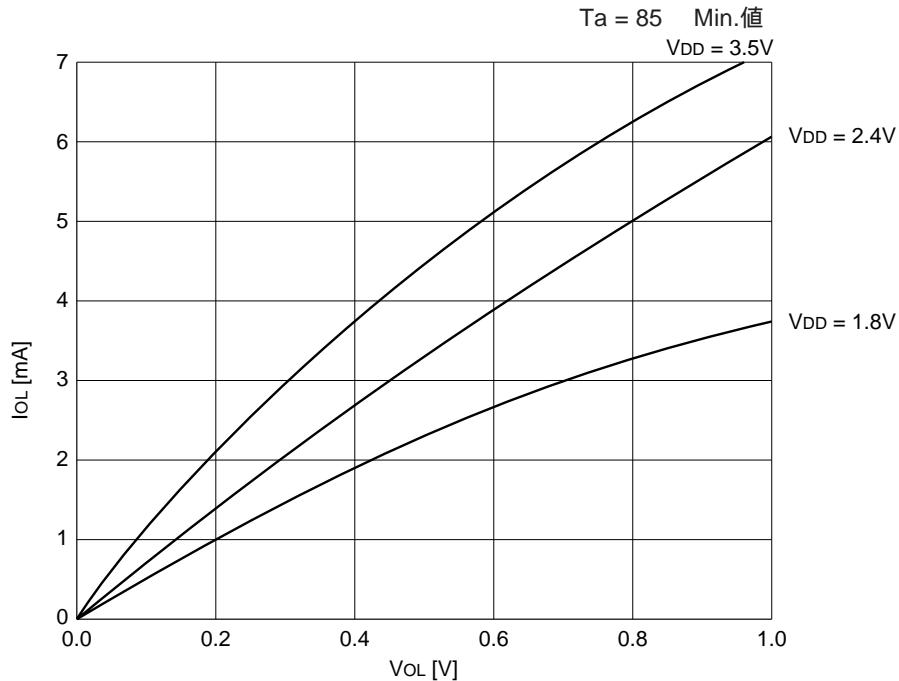
* 総合誤差: Et=max(Ezs, Efs, Eabs)、Eabs=理想直線からのずれ(量子化誤差を含む)

7.9 特性グラフ(参考値)

高レベル出力電流特性

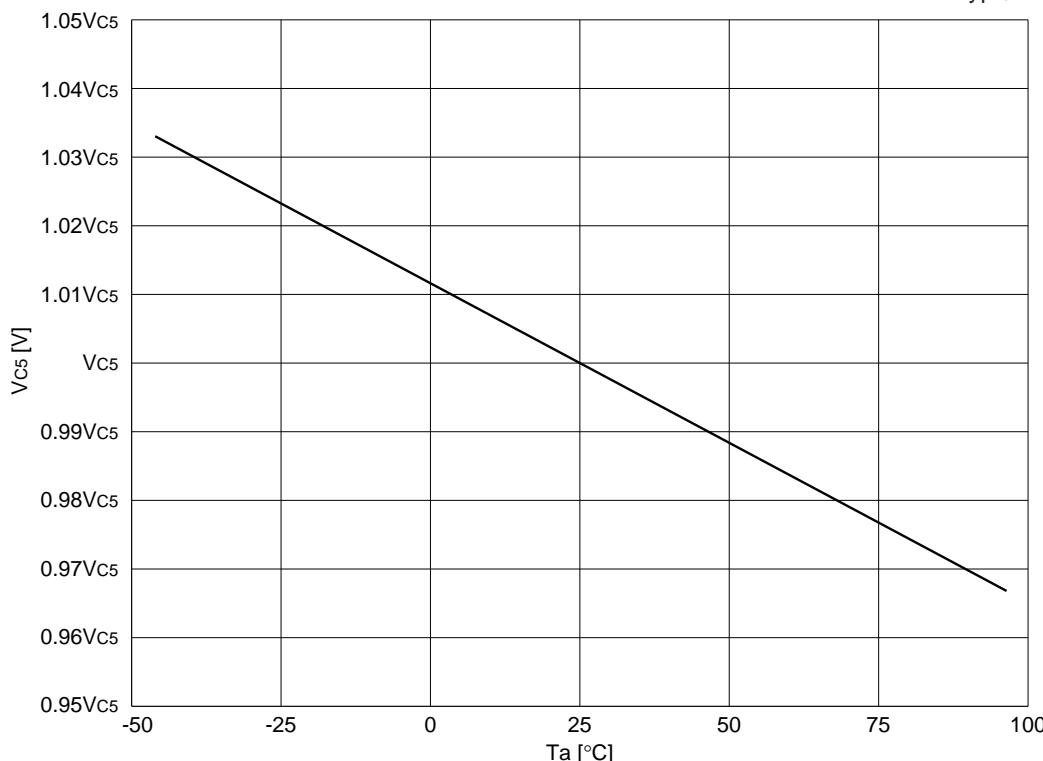


低レベル出力電流特性



LCD駆動電圧温度特性

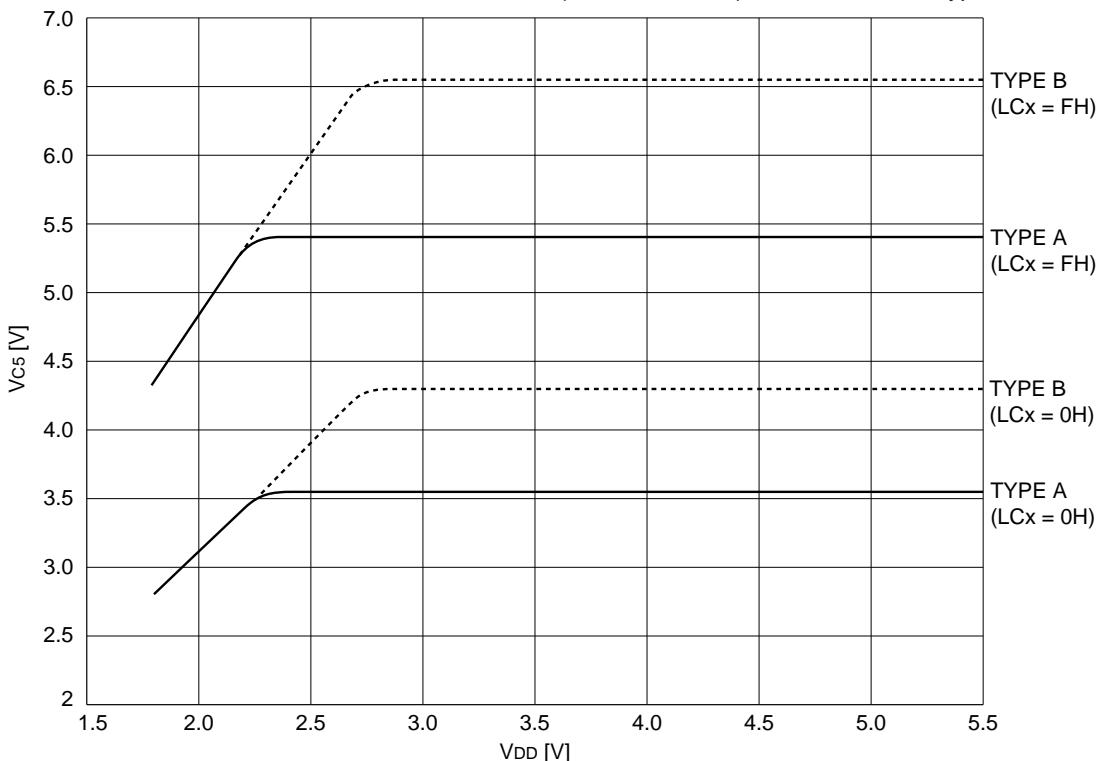
Typ. 値



LCD駆動電圧電源電圧特性

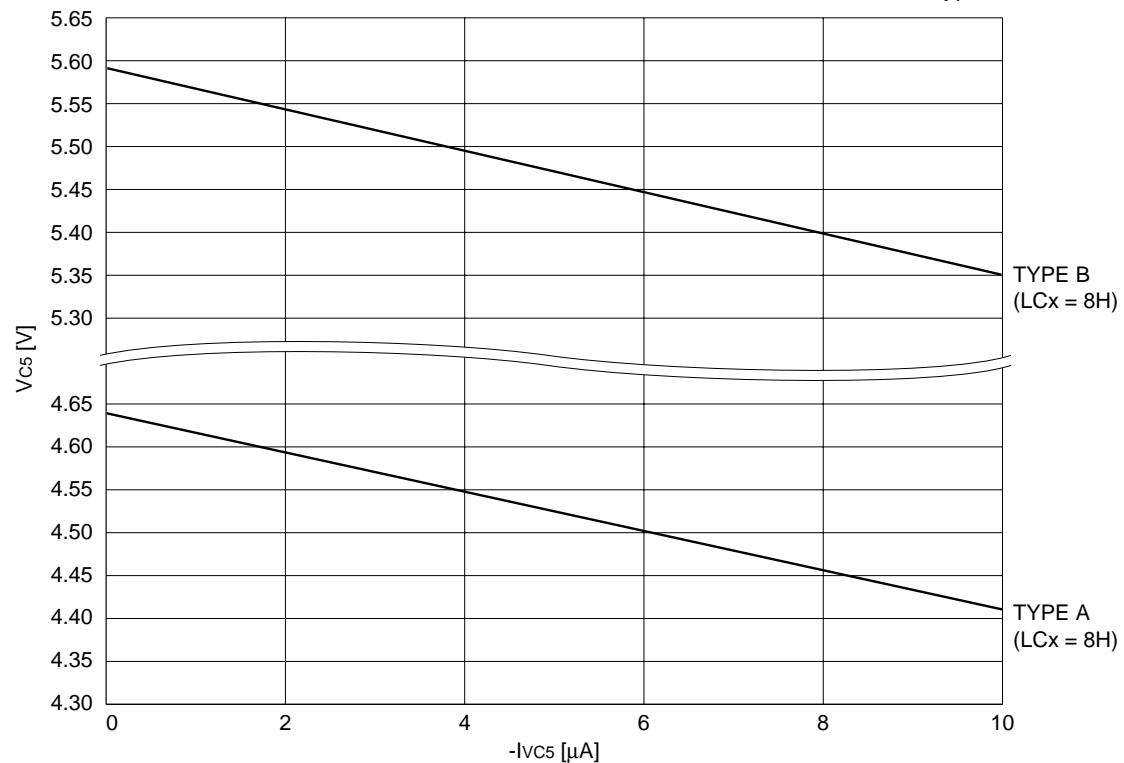
Vss ~ VC5間に1MΩの負荷抵抗を接続した場合(パネル負荷なし)

Ta = 25 Typ. 値



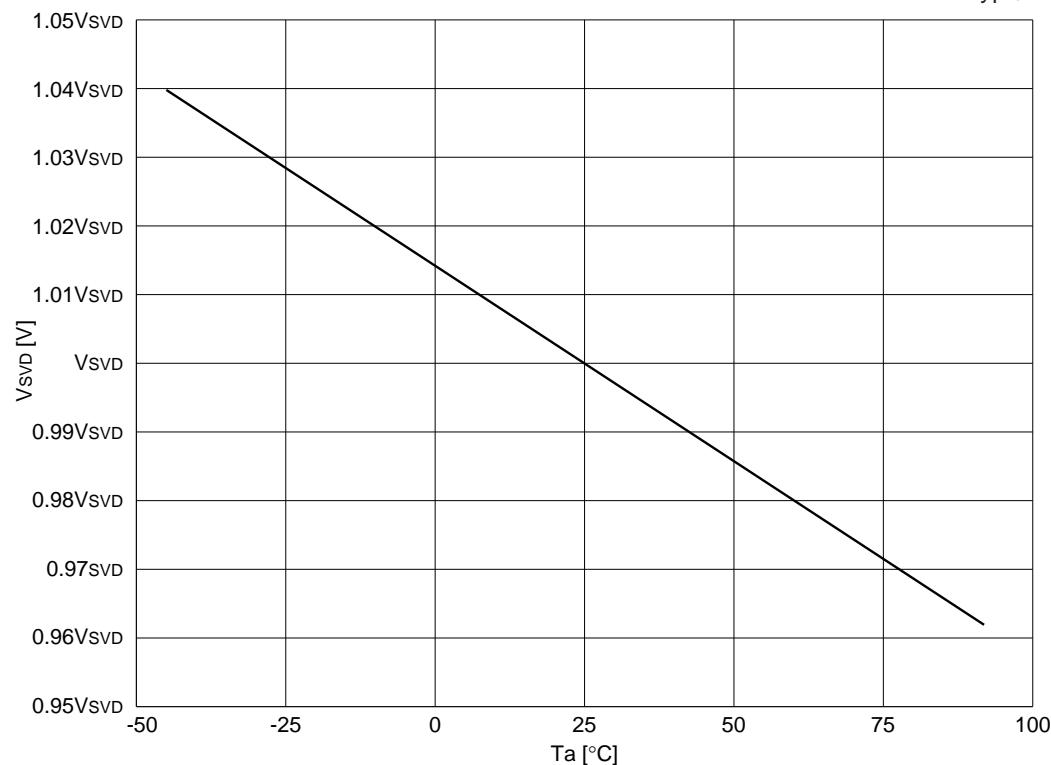
LCD駆動電圧負荷特性

Ta = 25 Typ.値

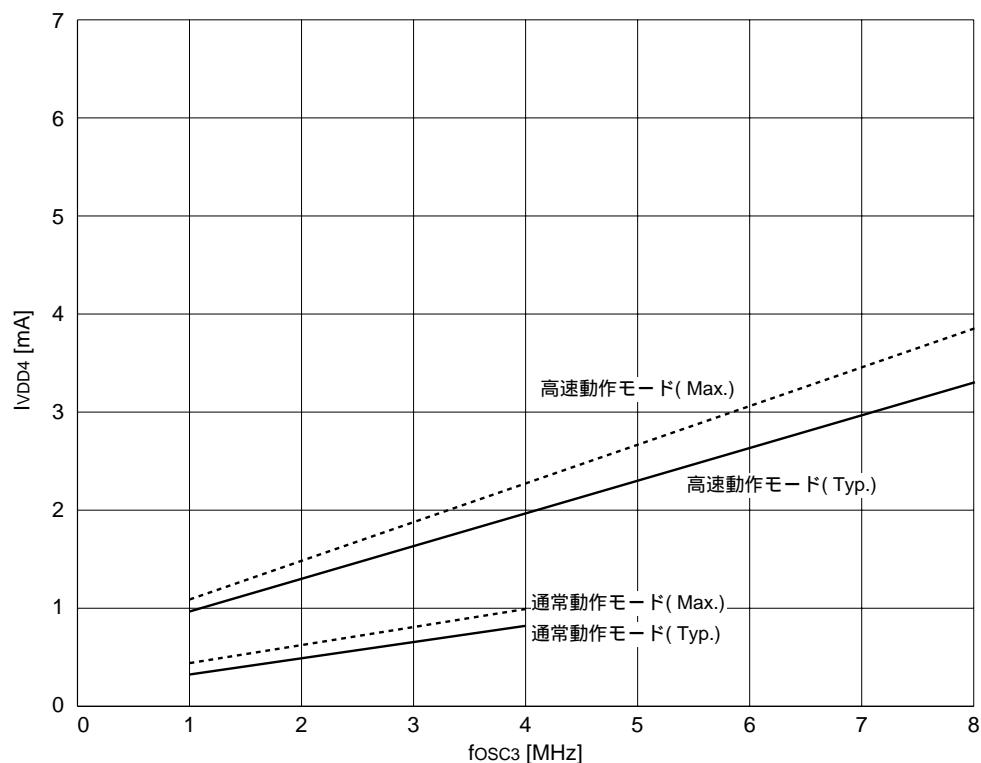


SVD電圧温度特性

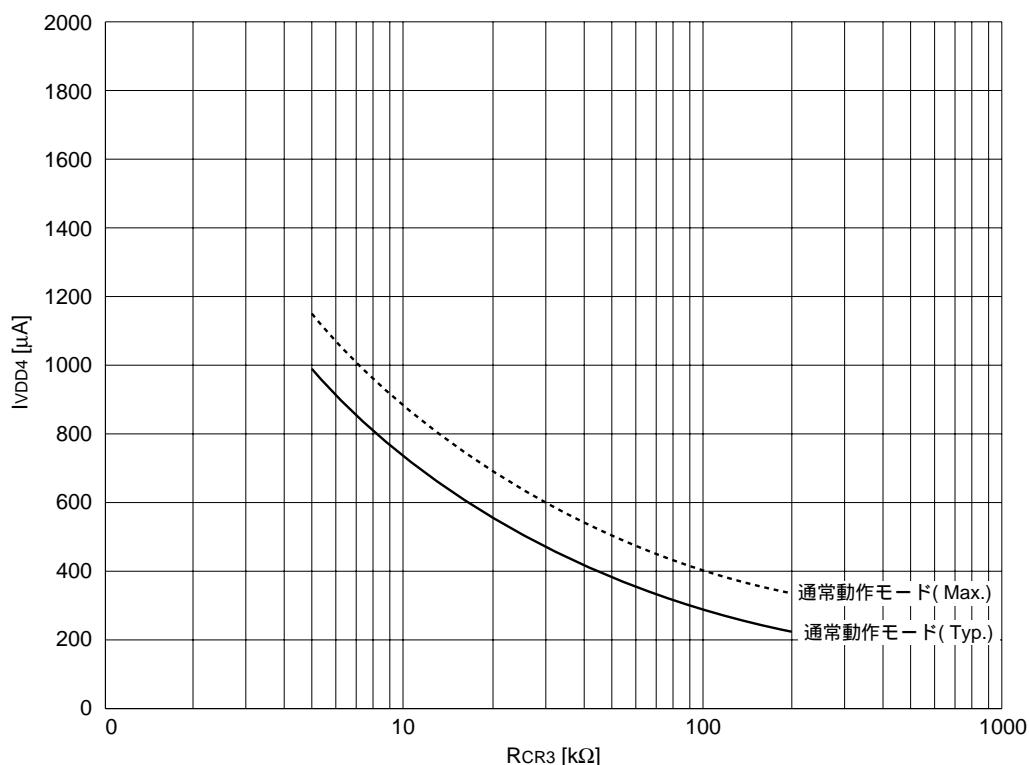
Typ.値



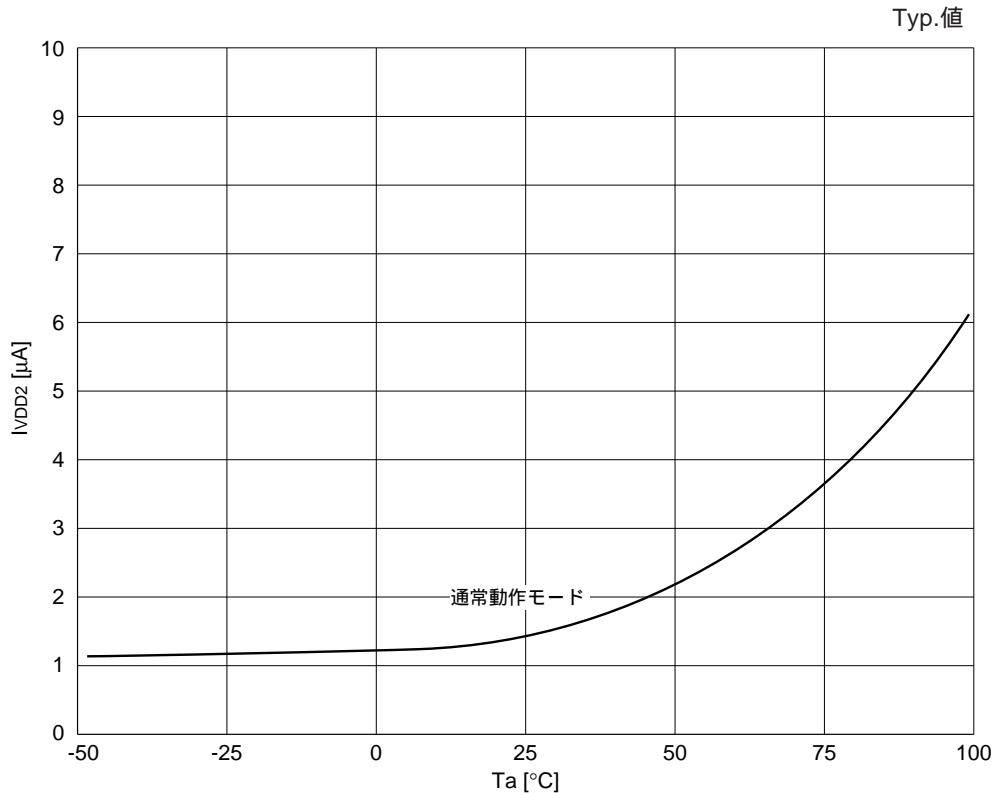
電源電流 (CPU動作時) <OSC3水晶発振/セラミック発振>

 $T_a = 25$ 

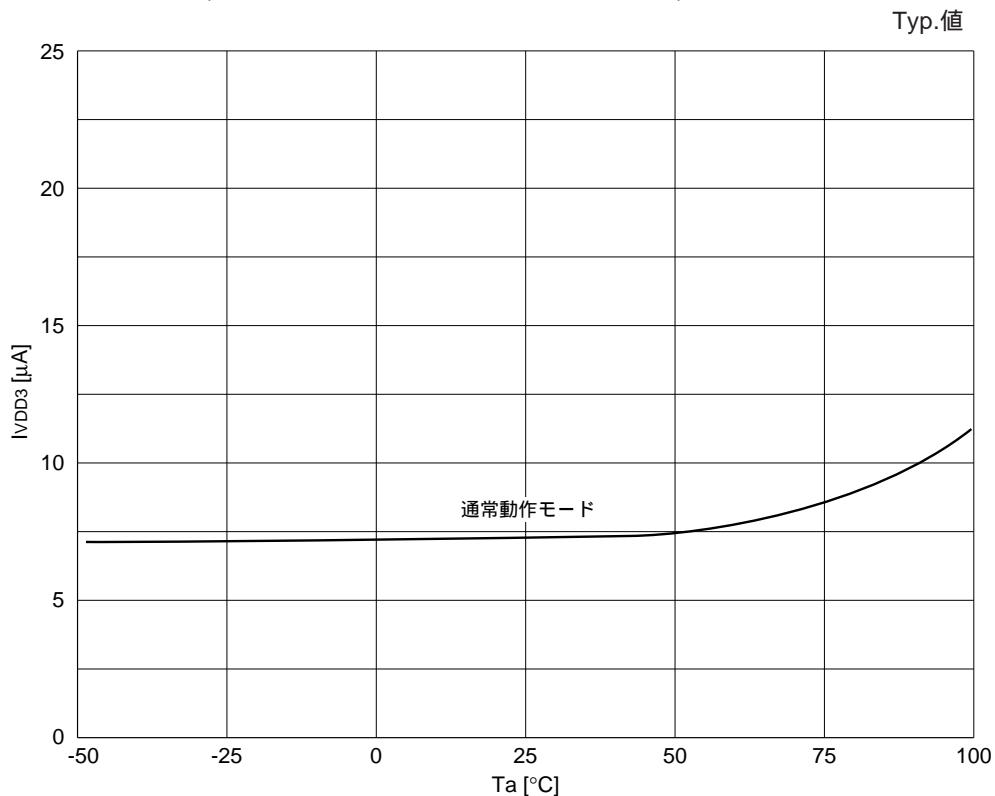
電源電流 (CPU動作時) <OSC3 CR発振>

 $T_a = 25$ 

電源電流温度特性 (HALT命令実行時 通常動作モード 32.768kHz)



電源電流温度特性 (CPU動作時 通常動作モード 32.768kHz)

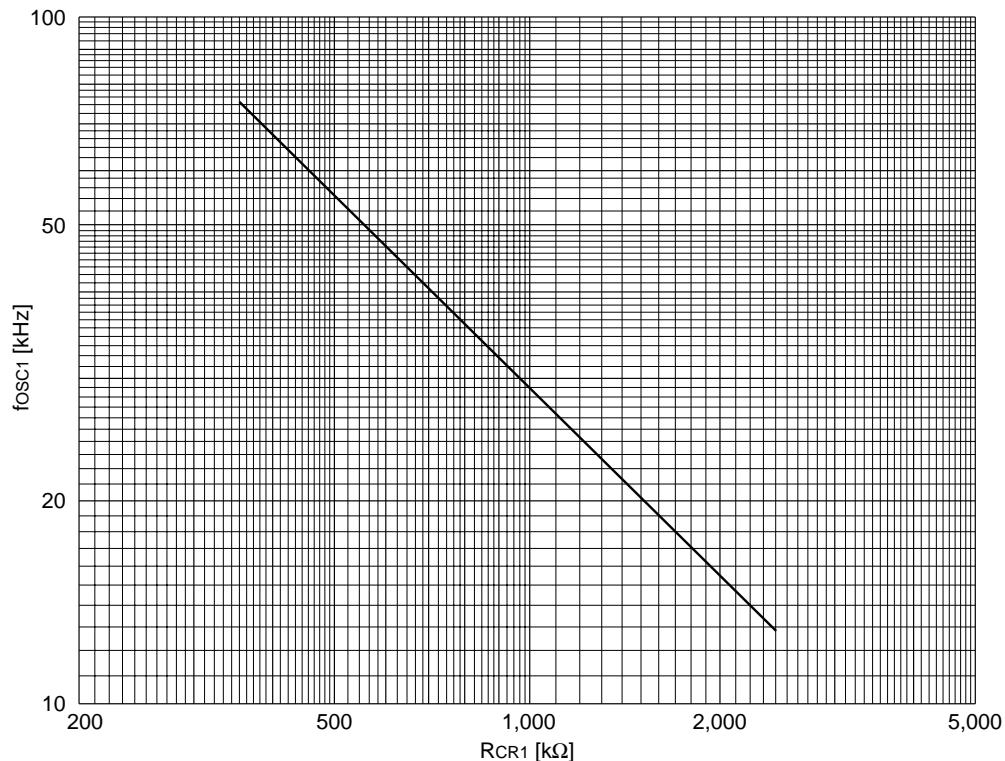


CR発振周波数特性

注) 発振周波数は、基板パターンおよび使用部品などにより変化します。特にOSC3発振周波数は、製品形状(チップ、プラスチックパッケージ、セラミックパッケージ)および基板容量により大きく変化しますので、以下の特性は参考値とし、実際の製品で評価され、抵抗値をお選びください。(ただし、OSC3の抵抗値はRCR3 15kΩにしてください。)

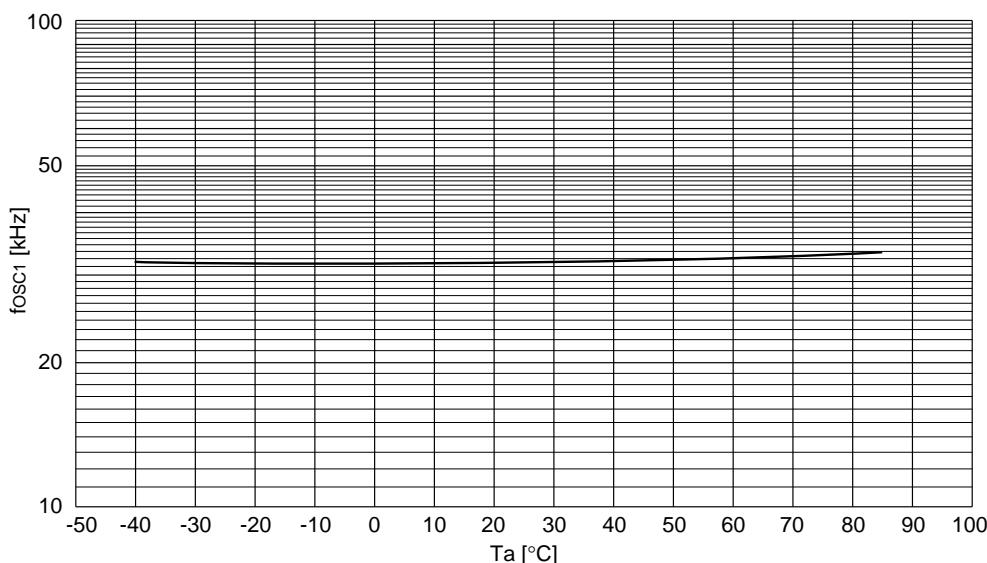
- 発振周波数抵抗特性 (OSC1)

$T_a = 25$, Typ. 値



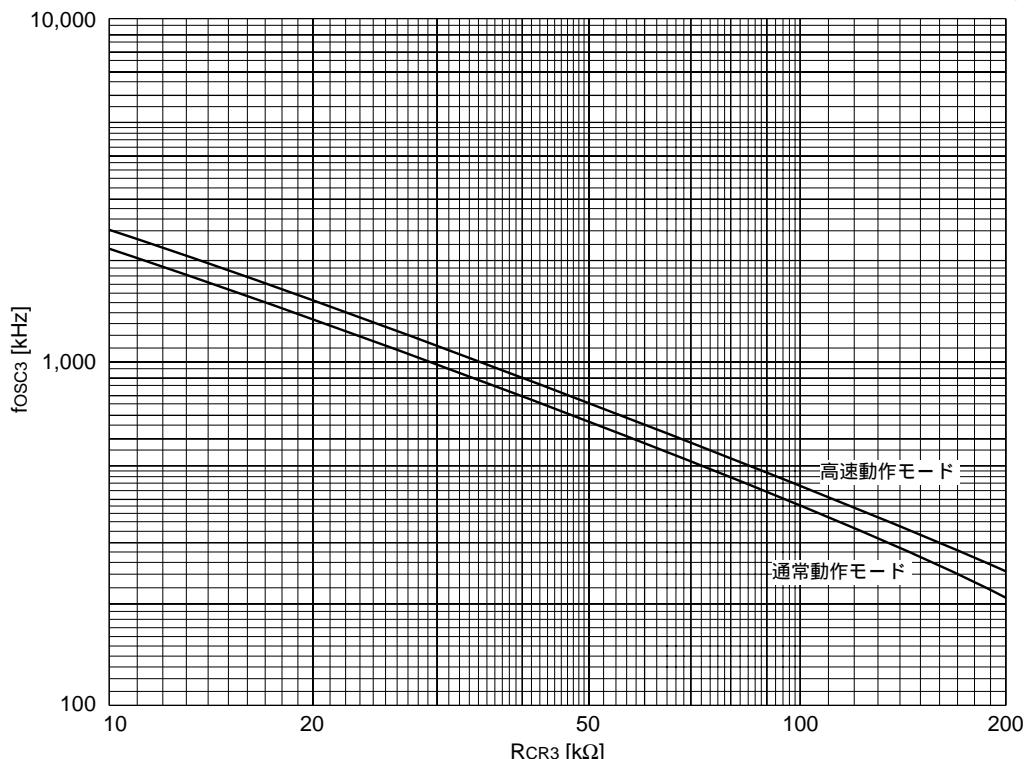
- 発振周波数温度特性 (OSC1)

$RCR1 = 800\text{k}\Omega$



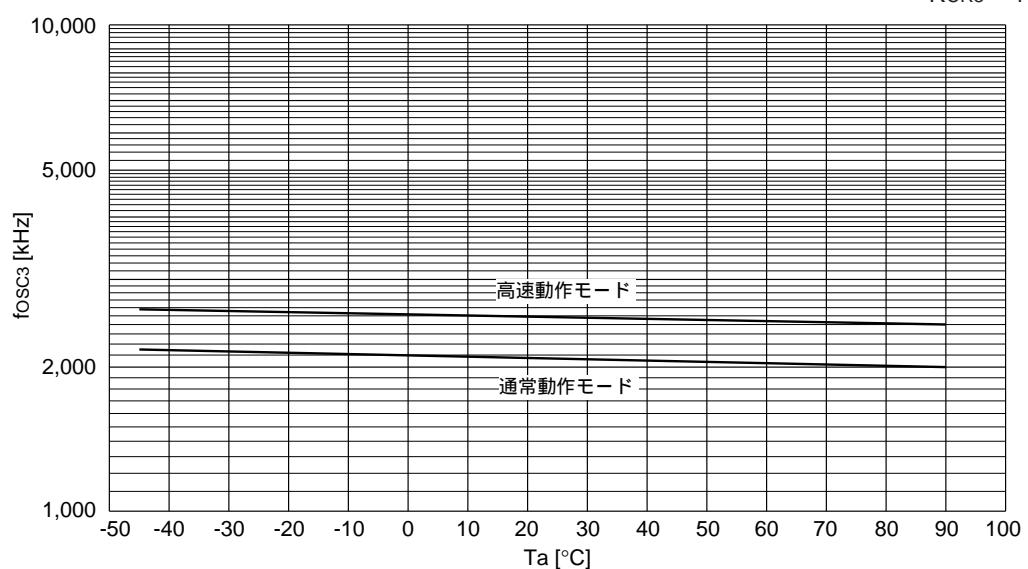
• 発振周波数抵抗特性 (OSC3)

$T_a = 25^\circ\text{C}$, Typ. 値



• 発振周波数温度特性 (OSC3)

$RCR3 = 10\text{k}\Omega$

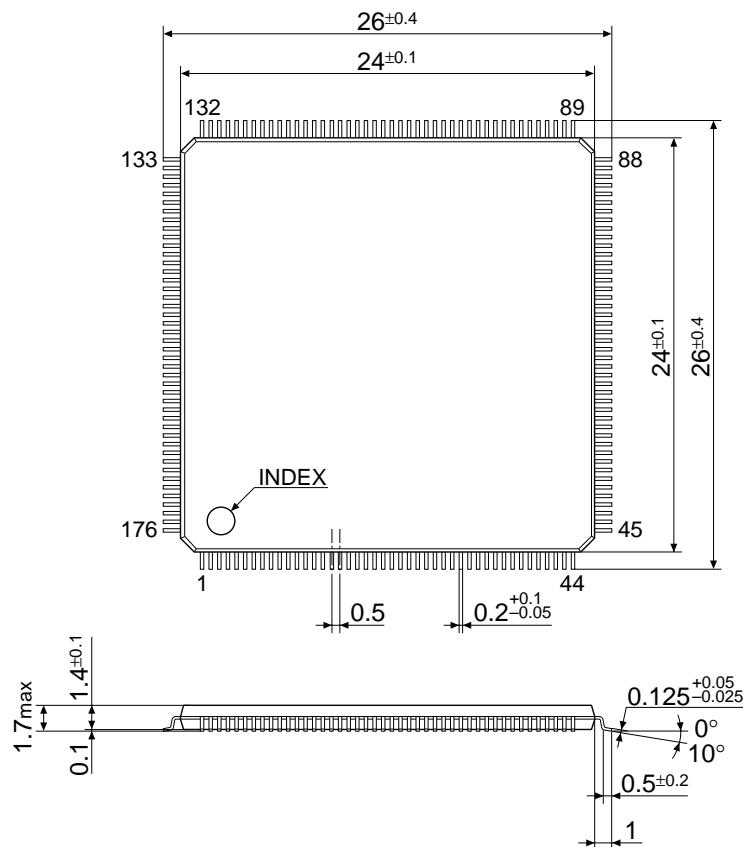


8 パッケージ

8.1 プラスチックパッケージ

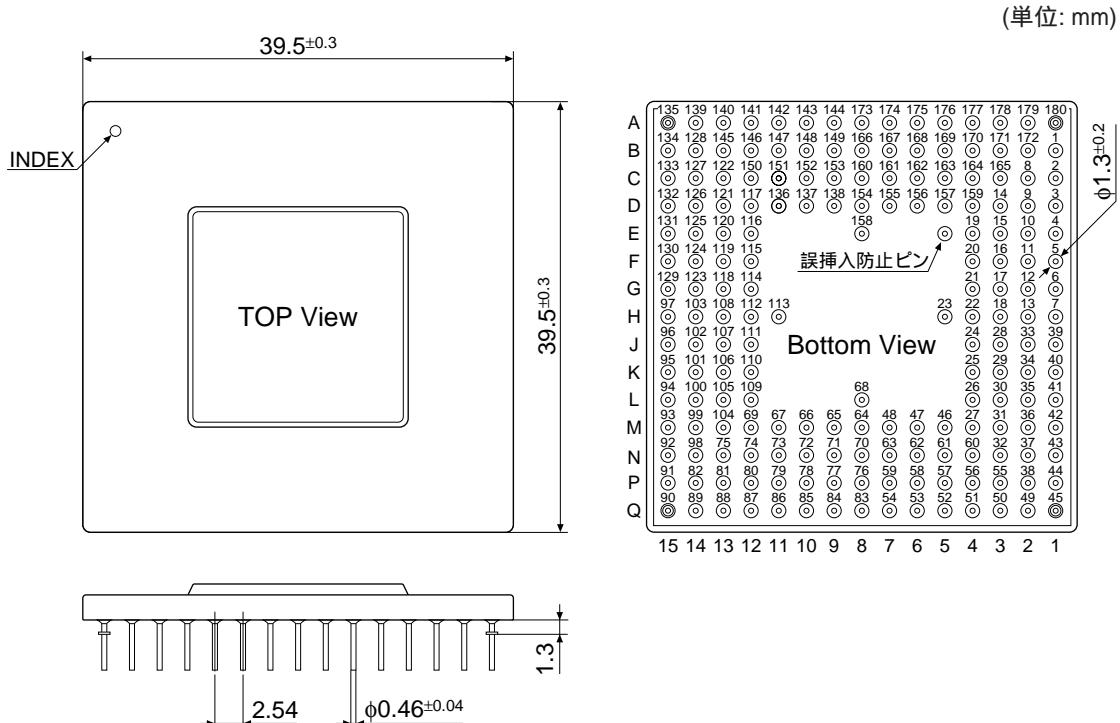
QFP21-176pin

(単位: mm)



8.2 セラミックパッケージ

PGA-181pin

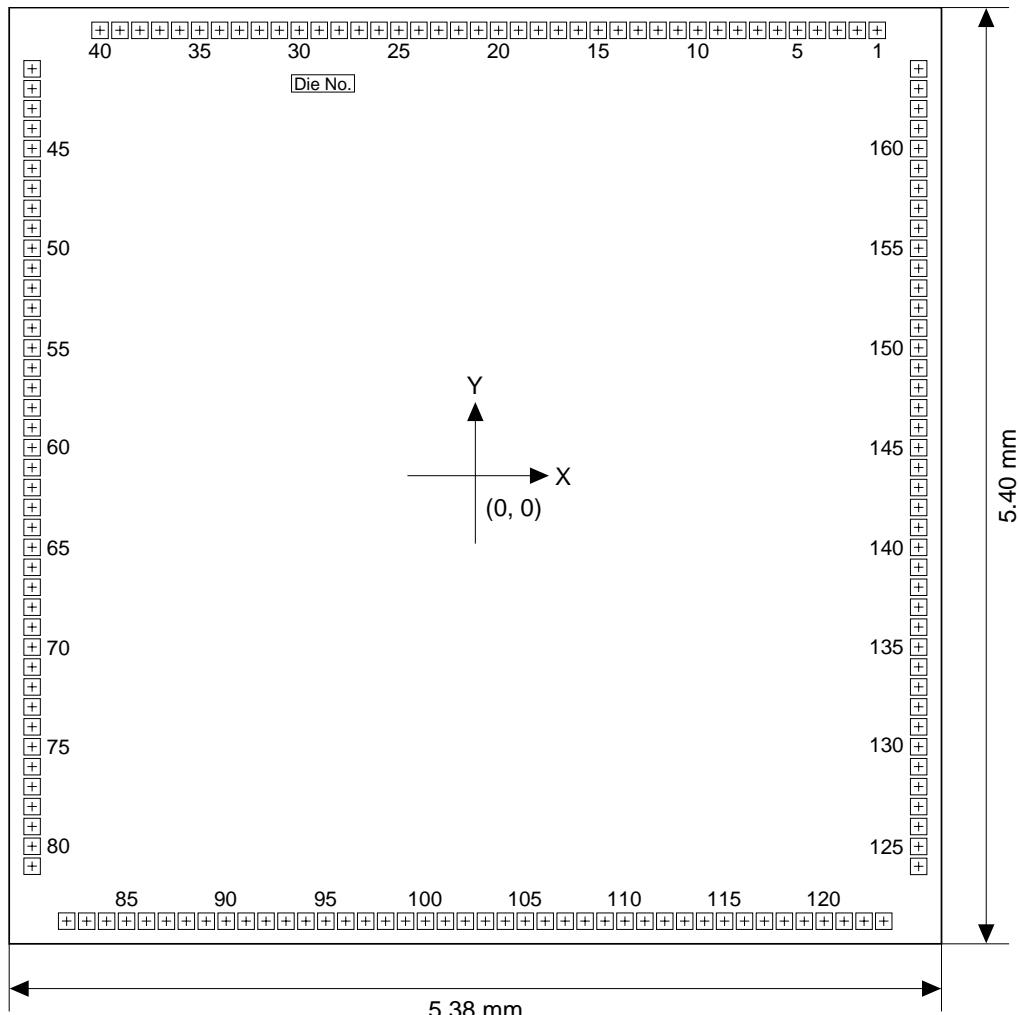


端子No.	端子名	端子No.	端子名	端子No.	端子名	端子No.	端子名	端子No.	端子名
1	N.C.	37	SEG49	73	COM22/SEG81	109	K06	145	R50/BZ
2	N.C.	38	SEG50	74	COM21/SEG82	110	K05	146	R51/BZ
3	N.C.	39	SEG51	75	COM20/SEG83	111	K04	147	COM0
4	SEG16	40	SEG52	76	COM19/SEG84	112	K03	148	COM1
5	SEG17	41	SEG53	77	COM18/SEG85	113	K02	149	COM2
6	SEG18	42	SEG54	78	COM17/SEG86	114	K01	150	COM3
7	SEG19	43	SEG55	79	COM16/SEG87	115	K00	151	COM4
8	SEG20	44	N.C.	80	CG	116	P17/AD7	152	COM5
9	SEG21	45	N.C.	81	CF	117	P16/AD6	153	COM6
10	SEG22	46	N.C.	82	CE	118	P15/AD5	154	COM7
11	SEG23	47	N.C.	83	CD	119	P14/AD4	155	COM8
12	SEG24	48	SEG56	84	CC	120	P13/SRDY	156	COM9
13	SEG25	49	SEG57	85	CB	121	P12/SCLK	157	COM10
14	SEG26	50	SEG58	86	CA	122	P11/SOUT	158	COM11
15	SEG27	51	SEG59	87	Vc5	123	P10/SIN	159	COM12
16	SEG28	52	SEG60	88	Vc4	124	AVDD	160	COM13
17	SEG29	53	SEG61	89	N.C.	125	AGND	161	COM14
18	SEG30	54	SEG62	90	N.C.	126	AVSS	162	COM15
19	SEG31	55	SEG63	91	N.C.	127	AVREF	163	SEG0
20	SEG32	56	SEG64	92	N.C.	128	P07	164	SEG1
21	SEG33	57	SEG65	93	N.C.	129	P06	165	SEG2
22	SEG34	58	SEG66	94	Vc3	130	P05	166	SEG3
23	SEG35	59	SEG67	95	Vc2	131	P04	167	SEG4
24	SEG36	60	SEG68	96	Vc1	132	P03	168	SEG5
25	SEG37	61	SEG69	97	OSC3	133	P02	169	SEG6
26	SEG38	62	SEG70	98	OSC4	134	N.C.	170	SEG7
27	SEG39	63	SEG71	99	Vd1	135	N.C.	171	SEG8
28	SEG40	64	COM31/SEG72	100	Vdd	136	N.C.	172	SEG9
29	SEG41	65	COM30/SEG73	101	Vss	137	N.C.	173	SEG10
30	SEG42	66	COM29/SEG74	102	Vosc	138	P01	174	SEG11
31	SEG43	67	COM28/SEG75	103	OSC1	139	P00	175	SEG12
32	SEG44	68	COM27/SEG76	104	OSC2	140	MOUT	176	SEG13
33	SEG45	69	COM26/SEG77	105	TEST	141	MOUT	177	SEG14
34	SEG46	70	COM25/SEG78	106	RESET	142	R26/TOUT	178	SEG15
35	SEG47	71	COM24/SEG79	107	K10/EVIN	143	R27/TOUT	179	N.C.
36	SEG48	72	COM23/SEG80	108	K07	144	R34/FOUT	180	N.C.

N.C.: No Connection

9 パッド配置

9.1 パッド配置図



チップ厚: 0.4mm
パッド開口部: 95μm

9.2 パッド座標

表9.2.1 パッド座標

(単位: μm)

No.	パッド 名称	X 座標	Y 座標	パッド		X 座標	Y 座標	パッド		X 座標	Y 座標	No.	パッド 名称	X 座標	Y 座標
		No.	名称	X 座標	Y 座標	No.	名称	X 座標	Y 座標	No.	名称			X 座標	Y 座標
1	V _{C3}	2,319	2,569	41	P01	-2,558	2,347	82	*	*	*	124	SEG56	2,558	-2,253
2	V _{C2}	2,204	2,569	42	P00	-2,558	2,232	83	SEG16	-2,243	-2,569	125	SEG57	2,558	-2,138
3	V _{C1}	2,089	2,569	43	MOUT	-2,558	2,117	84	SEG17	-2,128	-2,569	126	SEG58	2,558	-2,023
4	OSC3	1,974	2,569	44	MOUT̄	-2,558	2,002	85	SEG18	-2,013	-2,569	127	SEG59	2,558	-1,908
5	OSC4	1,859	2,569	45	R26/TOUT̄	-2,558	1,887	86	SEG19	-1,898	-2,569	128	SEG60	2,558	-1,793
6	V _{D1}	1,744	2,569	46	R27/TOUT	-2,558	1,772	87	SEG20	-1,783	-2,569	129	SEG61	2,558	-1,678
7	V _{D2}	1,629	2,569	47	R34/FOUT	-2,558	1,657	88	SEG21	-1,668	-2,569	130	SEG62	2,558	-1,563
8	V _{S5}	1,514	2,569	48	R50/BZ	-2,558	1,542	89	SEG22	-1,553	-2,569	131	SEG63	2,558	-1,448
9	V _{O5C}	1,399	2,569	49	R51/BZ̄	-2,558	1,427	90	SEG23	-1,438	-2,569	132	SEG64	2,558	-1,333
10	OSC1	1,284	2,569	50	COM0	-2,558	1,312	91	SEG24	-1,323	-2,569	133	SEG65	2,558	-1,218
11	OSC2	1,169	2,569	51	COM1	-2,558	1,197	92	SEG25	-1,208	-2,569	134	SEG66	2,558	-1,103
12	T _E ST̄	1,054	2,569	52	COM2	-2,558	1,082	93	SEG26	-1,093	-2,569	135	SEG67	2,558	-988
13	R _E SET̄	939	2,569	53	COM3	-2,558	967	94	SEG27	-978	-2,569	136	SEG68	2,558	-873
14	K10/EVIN	824	2,569	54	COM4	-2,558	852	95	SEG28	-863	-2,569	137	SEG69	2,558	-758
15	K07	709	2,569	55	COM5	-2,558	737	96	SEG29	-748	-2,569	138	SEG70	2,558	-643
16	K06	594	2,569	56	COM6	-2,558	622	97	SEG30	-633	-2,569	139	SEG71	2,558	-528
17	K05	479	2,569	57	COM7	-2,558	507	98	SEG31	-518	-2,569	140	COM31/SEG72	2,558	-413
18	K04	364	2,569	58	COM8	-2,558	392	99	SEG32	-403	-2,569	141	COM30/SEG73	2,558	-298
19	K03	249	2,569	59	COM9	-2,558	277	100	SEG33	-288	-2,569	142	COM29/SEG74	2,558	-183
20	K02	134	2,569	60	COM10	-2,558	162	101	SEG34	-173	-2,569	143	COM28/SEG75	2,558	-68
21	K01	19	2,569	61	COM11	-2,558	47	102	SEG35	-58	-2,569	144	COM27/SEG76	2,558	47
22	K00	-96	2,569	62	COM12	-2,558	-68	103	SEG36	58	-2,569	145	COM26/SEG77	2,558	162
23	P17/AD7	-211	2,569	63	COM13	-2,558	-183	104	SEG37	173	-2,569	146	COM25/SEG78	2,558	277
24	P16/AD6	-326	2,569	64	COM14	-2,558	-298	105	SEG38	288	-2,569	147	COM24/SEG79	2,558	392
25	P15/AD5	-441	2,569	65	COM15	-2,558	-413	106	SEG39	403	-2,569	148	COM23/SEG80	2,558	507
26	P14/AD4	-556	2,569	66	SEG0	-2,558	-528	107	SEG40	518	-2,569	149	COM22/SEG81	2,558	622
27	P13/SRDȲ	-671	2,569	67	SEG1	-2,558	-643	108	SEG41	633	-2,569	150	COM21/SEG82	2,558	737
28	P12/SCLK̄	-786	2,569	68	SEG2	-2,558	-758	109	SEG42	748	-2,569	151	COM20/SEG83	2,558	852
29	P11/SOUT	-901	2,569	69	SEG3	-2,558	-873	110	SEG43	863	-2,569	152	COM19/SEG84	2,558	967
30	P10/SIN	-1,016	2,569	70	SEG4	-2,558	-988	111	SEG44	978	-2,569	153	COM18/SEG85	2,558	1,082
31	AVDD	-1,131	2,569	71	SEG5	-2,558	-1,103	112	SEG45	1,093	-2,569	154	COM17/SEG86	2,558	1,197
32	AGND	-1,246	2,569	72	SEG6	-2,558	-1,218	113	SEG46	1,208	-2,569	155	COM16/SEG87	2,558	1,312
33	AVSS	-1,361	2,569	73	SEG7	-2,558	-1,333	114	SEG47	1,323	-2,569	156	CG	2,558	1,427
34	AVREF	-1,476	2,569	74	SEG8	-2,558	-1,448	115	SEG48	1,438	-2,569	157	CF	2,558	1,542
35	P07	-1,591	2,569	75	SEG9	-2,558	-1,563	116	SEG49	1,553	-2,569	158	CE	2,558	1,657
36	P06	-1,706	2,569	76	SEG10	-2,558	-1,678	117	SEG50	1,668	-2,569	159	CD	2,558	1,772
37	P05	-1,821	2,569	77	SEG11	-2,558	-1,793	118	SEG51	1,783	-2,569	160	CC	2,558	1,887
38	P04	-1,936	2,569	78	SEG12	-2,558	-1,908	119	SEG52	1,898	-2,569	161	CB	2,558	2,002
39	P03	-2,051	2,569	79	SEG13	-2,558	-2,023	120	SEG53	2,013	-2,569	162	CA	2,558	2,117
40	P02	-2,166	2,569	80	SEG14	-2,558	-2,137	121	SEG54	2,128	-2,569	163	V _{C5}	2,558	2,232
—				81	SEG15	-2,558	-2,252	122	SEG55	2,243	-2,569	164	V _{C4}	2,558	2,347
—				—				123	*	*	*	—			

* No.82と123はICの出荷検査に使用するパッドですので、ボンディングしないでください。

10 実装上の注意事項

<発振回路>

発振特性は諸条件(使用部品、基板パターン等)により変化します。

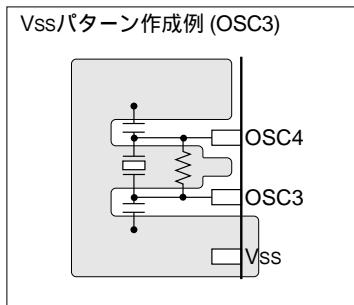
特にセラミック発振子または水晶振動子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。

ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため次の点に配慮してください。

(1) OSC1、OSC2、OSC3、OSC4端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。

(2) OSC1、OSC2、OSC3、OSC4端子およびこれらの端子に接続された部品の周辺部は下図のようにVssパターンをできるだけ広く作成してください。

また、このVssパターンは発振用途以外に使用しないでください。



(3) OSC1(OSC3)端子に外部クロックを入力する場合、クロック源からできるだけ最短で接続してください。また、OSC2(OSC4)端子を開放してください。

OSC1(OSC3)- VDD間のリーク電流による発振回路の不安定動作を防止するため、基板パターンにおいて、OSC1(OSC3)はVDD電源や信号線とは十分な距離を確保してください。

<リセット回路>

パワーオン時RESET端子に入力されるリセット信号は、諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。

また、マスクオプションによりRESET端子のブルアップ抵抗を付加した場合には、抵抗値のばらつきを十分考慮した定数設定が必要です。

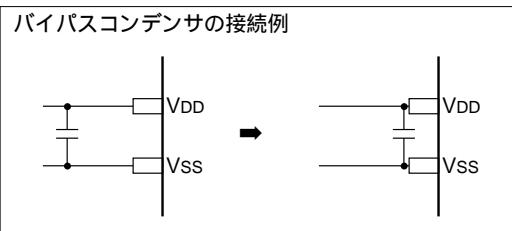
ノイズによる動作中のリセットを防ぐため、RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

<電源回路>

ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

(1) 電源からVDD、VSS端子およびAVDD、AVSS、AGND、AVREF端子へはできるだけ短くかつ太いパターンで接続してください。特にAVDD、AVSS、AGND、AVREFの各電源は、A/D変換器に用いるため変換精度に影響を与えます。

(2)VDD - VSSのバイパスコンデンサを接続する場合、VDD端子とVSS端子をできるだけ最短で接続してください。



(3) VD1、VC1～VC5、CA～CG端子に接続するコンデンサ等の部品はできるだけ最短で接続してください。

特にVC1～VC5の各電圧はLCD駆動として用いるため表示品質に影響を与えます。

LCD駆動電源を使用しない場合は、VC1～VC5およびCA～CG端子を開放としてください。

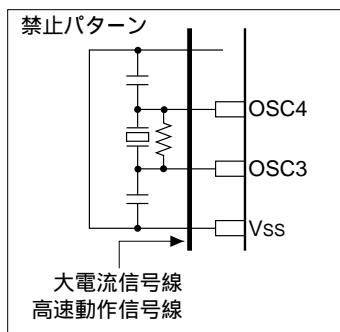
< A/D変換器 >

A/D変換器を使用しない場合は、次のように接続してください。

AVDD	→	VDD
AVSS	→	VSS
AVREF	→	Vss
AGND	→	Vss

< 信号線の配置 >

相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部、アナログ入力部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。



高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。特に、発振部、アナログ入力部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。

< 光に対する取り扱い(ペアチップ実装の場合)>

半導体素子は、光が照射されると特性が変化します。このため、本ICに光が当たると誤動作をおこすことがあります。

光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。

- (1)実使用時にICの遮光性が考慮された構造となるよう、設計および実装を行ってください。
- (2)検査工程では、ICの遮光性が考慮された環境設計を行ってください。
- (3)ICの遮光は、ICチップの表面、裏面および側面について考慮してください。

Appendix S5U1C88000P1&S5U1C88816P2 Manual (Peripheral Circuit Board for S1C88816)

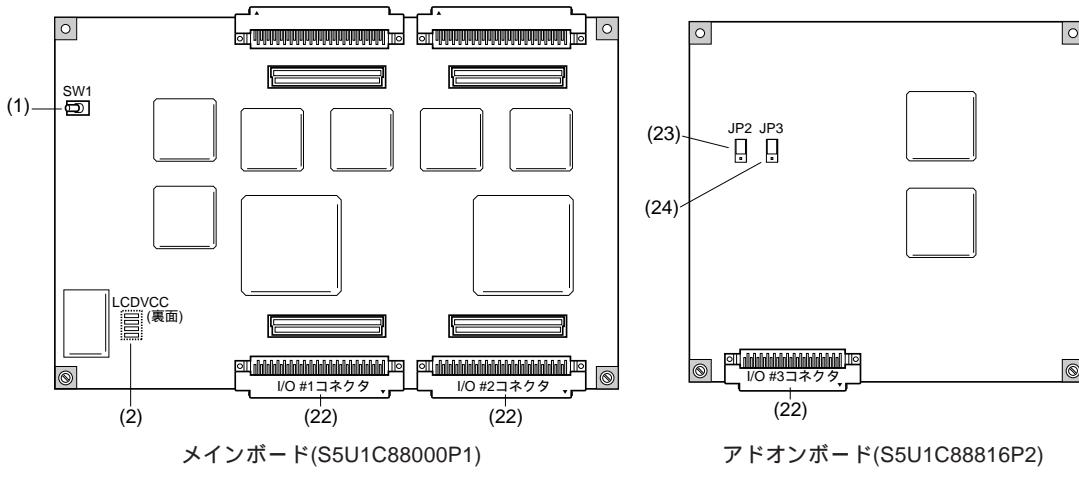
ここでは、8-bit Single Chip Microcomputer S1C88 FamilyのデバッキングツールであるICE (S5U1C88000H5)に装着してエミュレーション機能を提供するPeripheral Circuit Board for S1C88816 (S5U1C88000P1&S5U1C88816P2)の使用方法を説明します。

なお、本文はS1C88 Family Peripheral Circuit Board (S5U1C88000P1)にS1C88349/F360/816用回路データがダウンロードされているものについて適用されます。

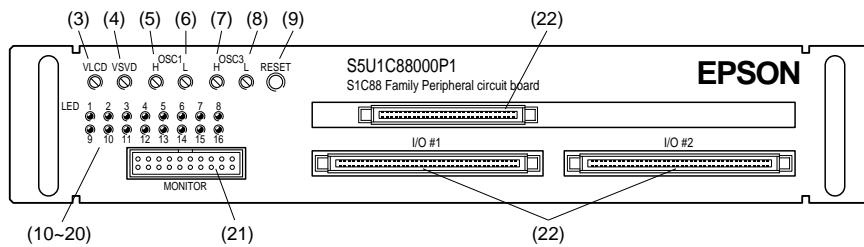
各機種用回路データのダウンロード方法についてはA.4項を、ボードの仕様についてはA.6項を参照してください。ICEの機能および操作などの詳細については、それぞれに用意されたマニュアルを参照してください。

A.1 各部の名称と機能

以下、S5U1C88000P1&S5U1C88816P2の各部の名称と機能について説明します。



図A.1.1 ボードレイアウト



図A.1.2 パネルレイアウト(S5U1C88000P1)

(1) SW1

回路データをダウンロードする場合は、"3"側に設定してください。それ以外の場合は、"1"側に設定してください。

(2) LCDVCC (S5U1C88000P1裏面)

表A.1.1に示すようにDIPスイッチ設定により、LCDドライバ用の内蔵電源(Vc5)の電圧を変更することができます。なお、実ICのVc5電圧はこれと異なりますので、充分ご注意ください。

(3) VLCDボリューム 未使用

表A.1.1 LCDVCCの設定

LCDVCC				設定
1	2	3	4	
ON	OFF	OFF	OFF	Vc5 = 6V
OFF	ON	OFF	OFF	Vc5 = 5.75V
OFF	OFF	ON	OFF	Vc5 = 5.5V
OFF	OFF	OFF	ON	Vc5 = 5V
その他の組み合わせ				設定禁止

* LCDコントラスト調整レジスタLC0～LC3が0FHの場合の電圧値です。また、本ボードにおける使用部品の特性上、最大±6%の誤差が見込まれます。

(4) VSVDボリューム

電源電圧検出(SVD)機能を確認するため、擬似的に電源電圧を変化させるボリュームです。("A.5.2 実際のICとの相違点"を参照してください。)

(5) OSC1 Hボリューム

OSC1にCR発振回路が選択されている場合に、発振周波数を大まかに調整します。

(6) OSC1 Lボリューム

OSC1にCR発振回路が選択されている場合に、発振周波数を微調整します。

(7) OSC3 Hボリューム

OSC3にCR発振回路が選択されている場合に、発振周波数を大まかに調整します。

(8) OSC3 Lボリューム

OSC3にCR発振回路が選択されている場合に、発振周波数を微調整します。

(9) RESET

本ボードの回路をリセットし、ICEにリセット信号を与えます。

(10) LED 1 (VDC0), LED 2 (VDC1), LED 3 (VDC2)

設定された内部動作電圧によりLEDが以下の組み合わせで点灯/消灯します。

表A.1.2 VDC0, VDC1, VDC2 LEDの表示

内部動作電圧	LED		
	VDC0	VDC1	VDC2
1.3V	点灯	消灯	消灯
2.2V	消灯	点灯	消灯
3.3V	消灯	消灯	点灯

(11) LED 4 (OSCC)

OSCCレジスタが"1"のとき点灯、"0"で消灯します。(OSC3が発振中は点灯)

(12) LED 5 (LCDC)

LCDC0またはLCDC1レジスタが"1"のとき点灯、両方とも"0"で消灯します。

(13) LED 6 (SVDON)

SVDONレジスタが"1"のとき点灯、"0"で消灯します。オートサンプリング動作時も点灯します。

(14) LED 7 (HVLD)

OSCCレジスタまたはBZONレジスタが"1"のときに点灯、"0"で消灯します。BZワンショット出力時やメロディ出力時も点灯します。ただし、ブザーおよびメロディ出力時の点灯は、マスクオプションで重負荷保護モードを選択した場合に限られます。

(15) LED 8 (MODE)

S1C88コアCPUをマキシマムモードで使用すると点灯、ミニマムモードで使用すると消灯します。

(16) LED 9 (LDTYPB)

LCD電源TYPE A(4.5V)を使用するときに点灯します。S1C88816の場合はTYPE C、TYPE Dを使用するときも点灯します。

(17) LED 10 (LDTYPB)

LCD電源TYPE B(5.5V)を使用するときに点灯します。

(18) LED 11 (EXLCD)

LCD電源を外部電源とした場合に点灯します。

(19) LED 12 ~ 15 (Reserved)

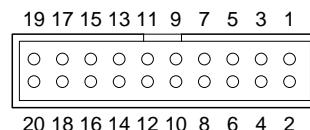
未使用

(20) LED 16 (FPGA Configuration)

S5U1C88000P1上のFPGAに回路データが書き込まれている状態で電源が投入されると点灯します。消灯している場合は、デバッグ前にFPGAデータの書き込みが必要です(データ書き込み後、電源を入れ直すと点灯します)。

(21) LED信号モニタ用コネクタ

前記LEDの信号をモニタするためのコネクタです。コネクタ端子より以下の信号が出力されます。LED信号は点灯時がHIGH、消灯時がLOWです。



図A.1.3 LED信号モニタ用コネクタ

1番ピン: LED 1 (電源制御 低パワーモード)

2番ピン: LED 2 (電源制御 通常モード)

3番ピン: LED 3 (電源制御 高速ード)

4番ピン: LED 4 (OSC3発振ON/OFF)

5番ピン: LED 5 (LCD駆動電源回路ON/OFF)

6番ピン: LED 6 (SVD回路ON/OFF)

7番ピン: LED 7 (重負荷保護モードON/OFF)

8番ピン: LED 8 (バスモード)

9番ピン: LED 9 (LCD電源TYPE A(4.5V), TYPE C(4.5V), TYPE D(5.5V))

10番ピン: LED 10 (LCD電源TYPE B(5.5V))

11番ピン: LED 11 (外部LCD電源)

18番ピン: OSC1 CR発振周波数モニタ

19番ピン: OSC3 CR発振周波数モニタ

12~17および20番ピンは未使用です。

18、19番ピンはCR発振クロックが接続されています(水晶発振の選択やOSCCレジスタの設定にかかわらず、CR発振回路は常に動作しています)。CR発振周波数を微調整する場合のモニタ用端子として使用します。

(22) I/O #1, I/O #2, I/O #3コネクタ

I/OおよびLCD接続用コネクタです。I/O接続ケーブル(80pin/40pin × 2 flat type、60pin/30pin × 2 flat type)によってターゲットシステムと接続します。

(23) JP2

J2側に固定します。

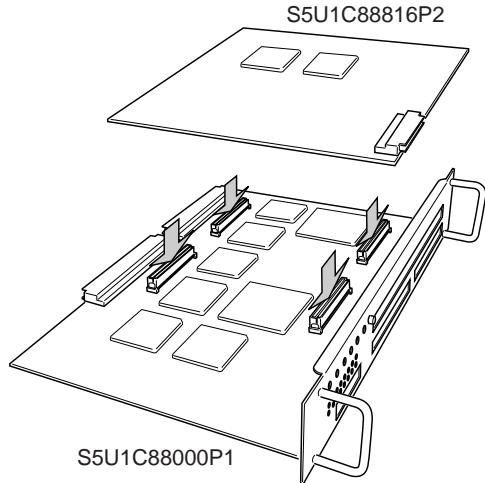
(24) JP3

J3側に固定します。

A.2 装着方法

A.2.1 S5U1C88000P1への S5U1C88816P2の装着

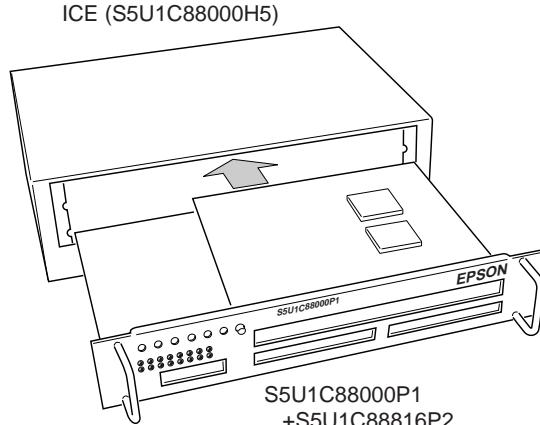
アドオンボード(S5U1C88816P2)のコネクタがメインボード(S5U1C88000P1)の前面パネル側になるようにして、4つのコネクタに差し込みます。



図A.2.1.1 S5U1C88000P1へのS5U1C88816P2の装着

A.2.2 ICE(S5U1C88000H5) への装着

ICE(S5U1C88000H5)の下部ガイドレールに合わせ、S5U1C88000P1の先端が突き当たるまで挿入してください。



図A.2.2.1 ICE(S5U1C88000H5)への装着

注：装着の仕方が不十分ですと動作しない可能性がありますので、しっかりと装着してください。

A.3 ターゲットシステムとの接続

ここではS5U1C88000P1&S5U1C88816P2とターゲットシステムとの接続について説明します。

注: ケーブルの接続、切り離しは接続する機器すべての電源をOFFにして行ってください。

ターゲットシステムは、前面パネルのI/O #1～I/O #3コネクタに添付のI/Oケーブル(80pin/40pin×2 flat type、60pin/30pin×2 flat type)を使用して接続します。

80pin、60pinをI/O #1～I/O #3コネクタに接続し、40pin×2、30pin×2をターゲットシステムに接続します。I/O #1、I/O #2、I/O #3には電源(VDD)が供給されていますので注意してください。

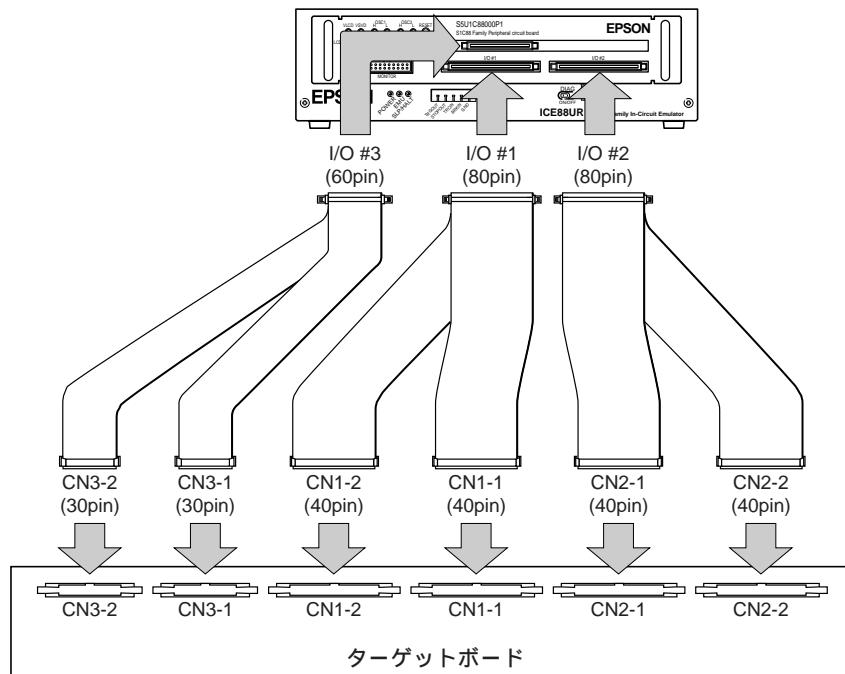
内蔵水晶発振回路の周波数は次のとおりです。

OSC1水晶発振選択時: 32.768kHz

OSC3水晶発振選択時: 4.9152MHz

CR発振を選択した場合は、前面パネルのボリューム(OSC1用がOSC1HとOSC1L、OSC3用がOSC3HとOSC3L)で発振周波数を調整することができます。この場合は、モニタ用コネクタのOSC1 CR発振モニタピン(18番ピン)、またはOSC3 CR発振モニタピン(19番ピン)に周波数カウンタ等を接続し、値を確認しながら必要な周波数に設定してください。CR発振の初期周波数は不定のため、必ず使用前にOSC1 CR、OSC3 CR発振モニタピンで確認してください。

外部入力を使用する場合は、OSC1とOSC3を外部入力に選択し、I/OコネクタCN2-1の7、8番ピンから発振器を用いて、クロック入力をします。



図A.3.1 ターゲットシステムとの接続

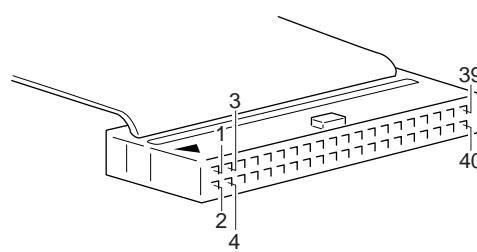
I/Oコネクタピン配置

表A.3.1 I/O #1コネクタ

40pin CN1-1		40pin CN1-2	
No.	端子名	No.	端子名
1	VDD (3.3V)	1	N.C.
2	VDD (3.3V)	2	N.C.
3	Vss	3	N.C.
4	Vss	4	N.C.
5	K00	5	N.C.
6	K01	6	N.C.
7	K02	7	N.C.
8	K03	8	N.C.
9	K04	9	N.C.
10	K05	10	N.C.
11	K06	11	N.C.
12	K07	12	N.C.
13	K10/EVIN	13	R26/TOUT
14	N.C.	14	R27/TOUT
15	P00	15	N.C.
16	P01	16	N.C.
17	P02	17	N.C.
18	P03	18	N.C.
19	P04	19	R34/FOUT
20	P05	20	N.C.
21	P06	21	N.C.
22	P07	22	N.C.
23	P10/SIN	23	R50/BZ
24	P11/SOUT	24	R51/BZ
25	P12/SCLK	25	COM0
26	P13/SRDY	26	COM1
27	P14	27	COM2
28	P15	28	COM3
29	P16	29	COM4
30	P17	30	COM5
31	N.C.	31	COM6
32	N.C.	32	COM7
33	N.C.	33	COM8
34	N.C.	34	COM9
35	N.C.	35	COM10
36	N.C.	36	COM11
37	N.C.	37	COM12
38	N.C.	38	COM13
39	N.C.	39	COM14
40	N.C.	40	COM15

表A.3.2 I/O #2コネクタ

40pin CN2-1		40pin CN2-2	
No.	端子名	No.	端子名
1	VDD (3.3V)	1	SEG27
2	VDD (3.3V)	2	SEG28
3	Vss	3	SEG29
4	Vss	4	SEG30
5	RESET	5	SEG31
6	N.C.	6	SEG32
7	OSC1	7	SEG33
8	OSC3	8	SEG34
9	Vc1	9	SEG35
10	Vc2	10	SEG36
11	Vc3	11	SEG37
12	Vc4	12	SEG38
13	Vc5	13	SEG39
14	SEG0	14	SEG40
15	SEG1	15	SEG41
16	SEG2	16	SEG42
17	SEG3	17	SEG43
18	SEG4	18	SEG44
19	SEG5	19	SEG45
20	SEG6	20	SEG46
21	SEG7	21	SEG47
22	SEG8	22	SEG48
23	SEG9	23	SEG49
24	SEG10	24	SEG50
25	SEG11	25	SEG51
26	SEG12	26	SEG52
27	SEG13	27	SEG53
28	SEG14	28	SEG54
29	SEG15	29	SEG55
30	SEG16	30	SEG56
31	SEG17	31	SEG57
32	SEG18	32	SEG58
33	SEG19	33	SEG59
34	SEG20	34	SEG60
35	SEG21	35	SEG61
36	SEG22	36	SEG62
37	SEG23	37	SEG63
38	SEG24	38	SEG64
39	SEG25	39	SEG65
40	SEG26	40	SEG66



図A.3.2 CN1-1/CN1-2、CN2-1/CN2-2のピン配置

A.4 S5U1C88000P1への回路データ のダウンロード

表A.3.3 I/O #3コネクタ

30pin CN3-1		30pin CN3-2	
No.	端子名	No.	端子名
1	N.C.	1	SEG81/COM22
2	N.C.	2	SEG82/COM21
3	N.C.	3	SEG83/COM20
4	N.C.	4	SEG84/COM19
5	N.C.	5	SEG85/COM18
6	N.C.	6	SEG86/COM17
7	N.C.	7	SEG87/COM16
8	N.C.	8	N.C.
9	N.C.	9	N.C.
10	N.C.	10	N.C.
11	N.C.	11	N.C.
12	N.C.	12	N.C.
13	N.C.	13	N.C.
14	N.C.	14	N.C.
15	N.C.	15	N.C.
16	N.C.	16	N.C.
17	SEG67	17	MOUT
18	SEG68	18	MOUT
19	SEG69	19	N.C.
20	SEG70	20	N.C.
21	SEG71	21	N.C.
22	SEG72/COM31	22	N.C.
23	SEG73/COM30	23	AD4
24	SEG74/COM29	24	AD5
25	SEG75/COM28	25	AD6
26	SEG76/COM27	26	AD7
27	SEG77/COM26	27	N.C.
28	SEG78/COM25	28	N.C.
29	SEG79/COM24	29	N.C.
30	SEG80/COM23	30	N.C.

注: AVREF =AVDD =VDD =3.3Vに固定されます。

OSC1、OSC3、Vc1 ~ Vc5端子は外部から発振クロック、LCD電圧を供給する場合に使用します。

N.C.は接続不可。

本ボード(S5U1C88000P1)は、工場出荷時に出荷検査用回路が書き込まれてありますので、各機種に合わせた回路データをダウンロードしてください。以下に回路データのダウンロード方法を説明します。

- 1) 本ボード上のスイッチSW1^{*1}を"3"側にセットします。
- 2) A.2.2の説明にしたがい、本ボードをICE (S5U1C88000H5)に挿入します。
- 3) ICEをホストPCと接続し、ホストPCの起動とICEの電源投入を行います。
- 4) ICEもしくはアセンブリパッケージに含まれるデバッガを起動します。ICEとデバッガの操作方法については、ICEに添付のマニュアルと、アセンブリパッケージに付属のマニュアルを参照してください。
- 5) 各機種に対応した回路データファイル(~.mot)を本ボードにダウンロードします。デバッガのコマンドウインドウから以下のように入力してください。

>XFER	(オールイレーズ)
>XFWR <file name>	(指定ファイルのダウンロード) ^{*2}
>XFCP <file name>	(指定ファイルとダウンロードデータの比較)

- 6) デバッガを終了させ、ICEの電源を切れます。
- 7) 本ボードを一旦ICEから引き出し、ボード上のスイッチSW1を"1"側に戻します。
- 8) 本ボードを再度ICEに挿入します。
- 9) ICEの電源を再投入し、デバッガを起動し直して使用してください。

*1 SW1の位置については、図A.1.1の"ボードレイアウト"を参照してください。

*2 ダウンロードは5分程度かかります。

A.5 使用上の注意

S5U1C88000P1&S5U1C88816P2を正しく使用していただるために、以下の事項に注意してください。

A.5.1 操作上の注意事項

- (1) ケーブルの接続、切り離しは接続する機器すべての電源をOFFにした状態で行ってください。
- (2) デバッグ起動前に、フロントパネルのVSVDボリュームを右いっぱいに設定してください。
- (3) デバッグは、必ずマスクオプションデータをロードしてから行ってください。

A.5.2 実際のICとの相違点

実際のICとは機能、特性上、以下の相違がありますので注意が必要です。これらについて考慮を怠った場合、S5U1C88000P1&S5U1C88816P2を装着したICEでは動作しても実ICで動作しない場合があります。

(1) I/Oについての相違

インターフェース電源

本ボードとターゲットシステムのインターフェース電圧は+3.3Vに固定されています。このため、実際のICと同一のインターフェース電圧が必要な場合は、ターゲットシステム側においてレベルシフト回路などを附加して対応してください。

各出力ポートの駆動能力

本ボードにおける各出力ポートの駆動能力は、実際のICに比べて高くなっていますので、"7電気的特性"を参照し、各出力端子の駆動能力を確認した上で、システムおよびソフトウェアの設計を行ってください。

(2) 消費電流についての相違

本ボードの消費電流は実際のICと大きく異なります。S5U1C88000P1前面パネルのLEDを確認することで、およその消費電流を把握することができます。なお、消費電流に大きく影響をおよぼすものとして以下のようなものがあげられます。

LED、モニタピンなどで確認が可能なもの

- a) 電源制御 低パワーモード
(LED1/モニタ1番ピン)
- b) 電源制御 通常モード
(LED2/モニタ2番ピン)
- c) 電源制御 高速モード
(LED3/モニタ3番ピン)
- d) OSC3発振On/Off
(LED4/モニタ4番ピン)
- e) LCD駆動On/Off
(LED5/モニタ5番ピン)

- f) SVD回路On/Off制御
(LED6/モニタ6番ピン)
- g) 重負荷保護モード
(LED7/モニタ7番ピン)
- h) マキシマムモード
(LED8/モニタ8番ピン)
- i) LCD電源 TYPE A, TYPE C, TYPE D
(LED9/モニタ9番ピン)
- j) LCD電源 TYPE B
(LED10/モニタ10番ピン)
- k) LCD外部電源
(LED11/モニタ11番ピン)

(3) 機能上の相違

LCD回路

- LCD端子(SEG、COM)の駆動能力および出力電圧は実際のICと異なりますので、充分な注意が必要です。winfogで内蔵LCD電源のオプションを選択した場合、本ボード上では4.5V/5.5Vのどちらを選択してもLCD駆動電圧は同一です。ただし、どちらが選択されているかはLEDで確認できます。LCDのコントラストについては、調整可能となるようにシステムおよびソフトウェアを設計してください。また、S5U1C88000P1ボード裏面スイッチによりLCD駆動電圧を切り換えることが可能です。("A.1 各部の名称と機能"参照)
- LCDC0およびLCDC1レジスタが共に"0"(LCD電源制御回路がOFF)の場合、実ICではSEG、COM端子の出力レベルはVssレベルに固定されますが、本ボードにおいてはCOM端子はVC4となり、SEG端子はVC3(1/4バイアス時はVC2)になります。

SVD回路

- SVD機能は、S5U1C88000P1前面パネルのVSVDボリュームにより、擬似的に電源電圧を変化させることにより行います。
- SVD回路の電源をONしてから実際に電圧を検出するまでに遅延時間が発生します。本ボードの遅延時間は実際のICと異なりますので、"7電気的特性"を参照して、ソフトウェアにより適切な待ち時間を設定してください。

発振回路

- OSC1水晶発振回路の発振周波数は32.768kHzに固定されています。
- OSC1 CR発振回路の発振周波数は、S5U1C88000P1前面パネルのボリュームにより約20kHz ~ 500kHzの範囲で調整できます。ただし、実ICの動作範囲はこれとは異なりますので、"7電気的特性"を参照して実ICが動作可能な周波数に設定してください。
- OSC3水晶発振回路の発振周波数は4.9152MHzに固定されています。

- OSC3 CR発振回路の発振周波数は、S5U1C88000P1前面パネルのボリュームにより約100kHz～8MHzの範囲で調整できます。ただし、実ICの動作範囲はこれとは異なりますので、"7 電気的特性"を参照して実ICが動作可能な周波数に設定してください。
- OSC3セラミック発振回路は内蔵していません。セラミック発振回路のオプションを選択した場合は、代わりにCR発振回路が選択されるようになっていますので、S5U1C88000P1前面パネルのボリュームで周波数を調整してください。
- 外部クロック入力を使用する場合は、振幅を $3.3V \pm 5\%$ 、デューティを $50\% \pm 10\%$ 以内に調整し、VssをGNDとしてOSC1、OSC3端子から入力してください。
- 本ボードではOSC3発振制御回路をON(OSCC="1")した後、待ち時間を取らずにCPUクロックをOSC3に切り換える(CLKCHG="1")動作してしまいます。実ICでは発振ON後、クロックを切り換える前に発振安定待ち時間が必要ですので、"7 電気的特性"を参照の上、適切な待ち時間を設定してください。
- OSC3からOSC1へのクロック切り換えと、OSC3回路の発振停止は別の命令で行ってください。ひとつの命令で同時に処理すると、本ボードで動作しても、実際のICで動作しない場合があります。
- 本ボードにはOSC1とOSC3用の発振回路が内蔵されています。実ICにおいてOSC3の発振子を接続しない場合でも、OSC3クロックによる動作が可能になりますので、注意してください。
- ロジックレベルが高いため発振開始や停止時間などのタイミングが異なります。CR発振回路モニタ端子は、SLP命令実行時も発振は停止しませんので注意してください。

未使用アドレスへのアクセス

S1C88816内蔵のROM/RAM、I/O空間の未定義領域に対して読み出し/書き込みを行った場合、その値は不定となります。

また、S5U1C88000P1&S5U1C88816P2と実際のICでは、不定となる状態が異なりますので充分注意してください。

リセット回路

本ボードを組み込んだICEに電源を投入してからプログラムが動作するまでのシーケンスは、実際のICと異なりますので注意してください。本ボードでは、オプションデータのロード、ユーザプログラムのロードを行ってからデバグシステムとしての動作が可能になります。

内部電源回路

- 本ボードは内部電源電圧の切り替えを実際には行いませんので(全モードで動作可能な値に固定)、不正な電圧設定でも動作してしまいます。実ICでは内部電源電圧を動作モードに合った値に切り換える必要がありますので、"7 電気的特性"を参照して正しい電圧を設定してください。また、制御電圧を切り換える際には、"7 電気的特性"を参照の上、適切な待ち時間を設けてください。
- 実ICが動作可能なクロック周波数の範囲は内部動作電圧に依存しますので、"7 電気的特性"を参照の上、動作クロック周波数と内部動作電圧の不適切な組み合わせで動作させないように注意してください。
- LCDの駆動電圧は実際のICと異なります。

(4) 各機種対応における注意事項

パラメータファイル

本ボードを組み込んだICEは、パーソナルコンピュータ上のデバッガを起動した際に、機種ごとに提供されるパラメータファイル(88816.par)に従ってROM、RAM、I/O空間がその機種用に設定されます。お客様は、実際に使用するROM、RAM空間に合わせてこのパラメータファイルを変更することができますが、以下の領域以外は設定しないでください。

ROM領域: 0000H～CFFFH

10000H～1FFFFH

RAM領域: D000H～D1FFH

D800H～E7FFH

スタック領域: D800H～E7FFH

アクセス禁止領域

S1C88816の開発で本ボードを使用する場合は、I/OメモリのアドレスFF09H、FF13H、FF73H、FF74H、FF77Hに対しては絶対に読み出しや書き込みをしないでください。
また、アドレスFF00HのD6およびD7ビットについては、書き込み時に初期値を変更しないように注意してください。

(5) S5U1C88816P1からS5U1C88000P1+S5U1C88816P2へ置き換えた場合の注意事項

- S5U1C88816P1ではAD4/P14、AD5/P15、AD6/P16、AD7/P17はそれぞれポートを共有していますが、S5U1C88000P1+S5U1C88816P2はAD4～AD7がI/O #3で、P14～P17がI/O #1となりますので注意してください。
- S5U1C88816P1のI/O電圧は5Vですが、S5U1C88000P1+S5U1C88816P2は3.3Vとなりますので注意してください。

A.6 製品の仕様

A.6.1 S5U1C88000P1の仕様

S5U1C88000P1

寸法(mm): 247.5(横) × 165(奥行き) × 44.6(高さ)
重量: 約500g
電源: DC5V ± 5%、1A以下
 (ICE本体より供給)

I/O接続ケーブル(80pin/40pin × 2, 2本)

本機側コネクタ(80pin):
 KEL 8830E-080-170L、または相当品
ケーブル側コネクタ(80pin):
 KEL 8822E-080-171 × 1
ケーブル側コネクタ(40pin):
 3M 7940-6500SC × 2
ケーブル:
 40芯フラットケーブル × 2
インターフェース:
 CMOSインターフェース(3.3V)
長さ: 約40cm

モニタ端子用ケーブル

本機側コネクタ:
 3M 7610-5002SC、または相当品
ケーブル側コネクタ(10pin):
 3M 7910-6500SC × 1
インターフェース:
 CMOSインターフェース(3.3V)
長さ: 約40cm

付属品

ターゲットシステム接続コネクタ(40pin):
 3M 3432-6002LCSC × 4

A.6.2 S5U1C88816P2の仕様

S5U1C88816P2

寸法(mm): 154.35(横) × 153(奥行き) × 18(高さ)

I/O接続ケーブル(60pin/30pin × 2, 1本)

本機側コネクタ(60pin):
 KEL 8830E-060-170L
ケーブル側コネクタ(60pin):
 KEL 8822E-060-171 × 1
ケーブル側コネクタ(30pin):
 コネクタ 3M 7930-6500SC × 2
 ストレインリリーフ 3M 3448-7930 × 2
ケーブル:
 30芯フラットケーブル × 2
インターフェース:
 CMOSインターフェース(3.3V)
長さ: 約40cm

付属品

ターゲットシステム接続コネクタ(30pin):
 3M 3440-6002LCSC × 2

セイコーエプソン株式会社 電子デバイス営業本部

ED東日本営業部

東京

〒191-8501 東京都日野市日野421-8
TEL (042)587-5313(直通) FAX (042)587-5116

仙台

〒980-0013 宮城県仙台市青葉区花京院1-1-20 花京院スクエア19F
TEL (022)263-7975(代表) FAX (022)263-7990

ED西日本営業部

大阪

〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F
TEL (06)6120-6000(代表) FAX (06)6120-6100

名古屋

〒461-0005 名古屋市東区東桜1-10-24 栄大野ビル4F
TEL (052)953-8031(代表) FAX (052)953-8041

インターネットによる電子デバイスのご紹介 <http://www.epsondevice.com/domcfg.nsf>