

「S1L60000」シリーズの資料アーカイブ

ASIC「S1L60000」シリーズのスペック、機種一覧、PKG リスト、入出力バッファ一覧のエクセル表と、特徴や電気特性、開発フローなどを詳細に解説したデザインガイドをまとめて資料請求できます。

[この資料を今後の検討用に申し込みする>>](#)

ASIC「S1L60000」シリーズのスペック、機種一覧、PKG リスト、入出力バッファ一覧のエクセル表

使用可能ゲート数については、回路によって異なりますので目安としてお考えください。

特長	超高集積 (0.25μm CMOS3層/4層配線プロセス採用) 高速動作 (内部ゲート遅延: 2.5V時 107ps 2入力 NAND Typ.) 低消費電力 (内部セル: 2.5V時0.18μW/MHz/gate, 2入力NAND Typ.) 駆動能力 (IOL=0.1, 1, 3, 6, 12, 24mA/3.3V時, IOL=0.1, 1, 3, 6, 9, 18mA/2.5V時, IOL=0.05, 0.3, 1, 2, 3, 6mA/2.0V時, IOL=0.045, 0.27, 0.9, 1.8, 2.7, 5.4mA/1.8V時)										
遅延時間	内部ゲート	tpd=107ps (2.5V時, F/O=1, 標準配線負荷)									
	入力バッファ	tpd=270ps (2.5V時, F/O=2, 標準配線負荷)									
	出力バッファ	tpd=1600ps (2.5V時, CL=15pF)									
I/Oレベル	CMOS, LVTTTL, PCI-3.3V										
入力モード	CMOS, LVTTTL, プルアップ/プルダウン、シュミット、レベルシフト、Fail-safe、Gated										
出力モード	プーナル、オープンドレイン、3ステート、双方向、レベルシフト、Fail-safe、Gated										
機種名	3層AI	S1L60093	S1L60173	S1L60283	S1L60403	S1L60593	S1L60833	S1L61233	S1L61583	S1L61903	S1L62513
	4層AI	S1L60094	S1L60174	S1L60284	S1L60404	S1L60594	S1L60834	S1L61234	S1L61584	S1L61904	S1L62514
搭載ゲート数	3層AI	99.2k	171.8k	284.4k	400.3k	595.4k	831.6k	1,234.9k	1,587.8k	1,903.0k	2,519.6k
	4層AI	59.6k	103.1k	142.2k	200.2k	297.7k	332.7k	494.0k	635.1k	761.2k	1,007.9k
使用可能ゲート数	3層AI	69.5k	120.2k	184.9k	260.2k	387.0k	415.8k	617.5k	793.9k	951.5k	1,259.8k
	Pad数	112	148	188	224	272	284	344	388	424	488
PKG Pin数	PKG Type	パッケージ対応リスト A: 認定済対応可、LQ: リードフレーム・基板作成認定要、N: 組立不可									
48	TQFP12-48	A	A	A	N	N	N	N	N	N	N
48	QFP12-48	A	A	A	N	N	N	N	N	N	N
64	TQFP13-64	A	A	A	A	A	A	N	N	N	N
64	QFP13-64	A	A	A	A	A	A	N	N	N	N
80	TQFP14-80	A	A	A	A	A	A	A	N	N	N
80	QFP14-80	A	A	A	A	A	A	A	N	N	N
100	TQFP14-100	A	A	A	A	A	LQ	LQ	N	N	N
100	TQFP15-100	A	A	A	A	A	LQ	LQ	N	N	N
100	QFP15-100	A	A	A	A	A	A	A	N	N	N
128	TQFP15-128	A	A	A	A	A	A	A	N	N	N
128	QFP15-128	A	A	A	A	A	A	A	N	N	N

ASIC「S1L60000」シリーズのデザインガイド

目次

第1章 概要	1
1.1 特長	1
1.2 マスタ構成	2
1.3 電気的特性・規格 (2電源の場合)	3
1.3.1 絶対最大定格	3
1.3.2 推奨動作条件	4
1.3.3 電気的特性	7
1.3.4 オーバーシュート/アンダーシュート	9
1.3.5 静的消費電流	10
1.4 電気的特性・規格 (単一電源の場合)	11
1.4.1 絶対最大定格	11
1.4.2 推奨動作条件	12
1.4.3 電気的特性	14
1.4.4 オーバーシュート/アンダーシュート	17
1.4.5 静的消費電流	18
1.5 開発フロー	19
1.5.1 サインオフまでの開発フロー	19
1.5.2 基板設計・配置配線作業フロー (セイコーエプソン作業)	20
1.5.3 仮 (トリアル用) データの提出	23
1.5.4 試作から量産制定までのフロー	24
第2章 RTL 設計上の注意 (Verilog-HDL)	25
2.1 基本構成	25
2.1.1 論理合成可能な RTL データの提出	25
2.1.2 ライブラリ・セルの使用	25
2.1.3 ifdef と parameter	25
2.2 端子名の制約	25
2.2.1 外部端子名制約	25
2.2.2 内部端子名制約	25
2.2.3 Verilog 予約語	25

[この資料を今後の検討用に申し込みする>>](#)