

「S1L5V000」シリーズの資料アーカイブ

ASIC「S1L5V000」シリーズのスペック、機種一覧、PKG リスト、入出力バッファ一覧のエクセル表と、特徴や電気特性、開発フローなどを詳細に解説したデザインガイドをまとめて資料請求できます。

[この資料を今後の検討用に申し込みする>>](#)

ASIC「S1L5V000」シリーズのスペック、機種一覧、PKG リスト、入出力バッファ一覧のエクセル表

使用可能ゲート数については、回路によって異なりますので目安としてお考えください。

特長		高集積 (0.35 μm CMOS2層/3層/4層配線プロセス採用) 高速動作 (内部ゲート遅延: 5.0V時 0.19ns 3.3V時 0.29ns 2入力Power-NAND Typ.) 低消費電力 (内部セル: 5.0V時 1.3 μW/MHz/BC、3.3V時 0.54 μW/MHz/BC) 駆動能力 (IOL=0.1, 1, 3, 8, 12mA/5.0V時, IOL=0.1, 1, 2, 6, 10mA/3.3V時) 機種名に**付加した「S1X-」はAnalog PLL入りマスタとなり5V電源対応可							
遅延時間	内部ゲート	tpd=0.19ns (5.0V時, F/O=2, 標準配線負荷)、tpd=0.29ns (3.3V時, F/O=2, 標準配線負荷)							
	入力バッファ	tpd=0.45ns (5.0V時, F/O=2, 標準配線負荷)、tpd=0.55ns (3.3V時, F/O=2, 標準配線負荷)							
	出力バッファ	tpd=2.07ns (5.0V時)、tpd=2.95ns (3.3V時)、CL=15pF							
I/Oレベル		CMOS、TTL、LVTTTL							
入力モード		TTL、LVTTTL、CMOS、プルアップ/プルダウン、シュミット、Fail-safe、Gated							
出力モード		ノーマル、オープンドレイン、3ステート、双方向、Fail-safe、Gated							
機種名	2層AI	S1L5V012	S1L5V042	-	S1L5V112	-	S1L5V252	-	S1L5V482
	3層AI	S1L5V013	S1L5V043	S1X5V513*	S1L5V113	S1X5V523*	S1L5V253	S1X5V533*	S1L5V483
	4層AI	S1L5V014	S1L5V044	S1X5V514*	S1L5V114	S1X5V524*	S1L5V254	S1X5V534*	S1L5V484
搭載ゲート数		8.8k	42.0k	26.0k	109.2k	90.3k	254.3k	235.0k	479.9k
使用可能ゲート数	2層AI	2.6k	12.6k	-	32.7k	-	63.5k	-	119.9k
	3層AI	5.3k	25.2k	14.3k	65.5k	49.7k	139.8k	129.3k	239.9k
	4層AI	6.1k	29.4k	16.9k	76.4k	58.7k	165.3k	152.8k	287.9k
Pad数		48	104		168		256		308
PKG Pin数	PKG Type	パッケージ対応リスト A: 認定済対応品、LQ: リードフレーム・基板作成認定要、N: 組立不可							
48	TQFP12-48	A	A		A				
48	QFP12-48	A	A		A				
64	TQFP13-64	A	A		A		A		N
64	QFP13-64	A	A		A		A		N
80	TQFP14-80	A	A		A		A		A
80	QFP14-80	A	A		A		A		A
100	TQFP14-100	A	A		A		A		N
100	TQFP15-100	A	A		A		A		LQ
100	QFP15-100	A	A		A		A		A
128	TQFP16-128		A (1/04)		A		A		A

ASIC「S1L5V000」シリーズのデザインガイド

目次

第1章 概要	1
1.1 特長	1
1.2 マスタ構成	2
1.2.1 標準マスタ構成	2
1.2.2 PLL 搭載マスタ構成	3
1.3 電気的特性・規格	3
1.3.1 絶対最大定格	3
1.3.2 推奨動作条件	4
1.3.3 電気的特性	5
1.3.4 オーバーシュート/アンダーシュート	7
1.4 静的消費電流	8
1.5 開発フロー	9
1.5.1 サインオフまでの開発フロー	9
1.5.2 論理合成・配置配線作業フロー (セイコーエプソン作業)	9
1.5.3 仮データ (トライアル用) の提出	13
1.5.4 試作から量産制定、製造フロー	14
第2章 RTL 設計上の注意 (Verilog-HDL)	15
2.1 基本構成	15
2.1.1 論理合成可能なRTLデータの提出	15
2.1.2 ライブラリセルの使用	15
2.1.3 ifdef と parameter	15
2.2 端子名の制約	15
2.2.1 外部端子名制約	15
2.2.2 内部端子名制約	15
2.2.3 Verilog 予約語	16
2.3 タイミング制約情報の提出	17
2.3.1 クロック情報	17
2.3.2 外部端子のタイミング制約	20
2.4 入出力バッファの挿入	25
2.5 RAM の記述	25
2.6 発振セルの記述	25

第3章 Verilog-HDL 設計上の注意

[この資料を今後の検討用に申し込みする>>](#)