

「S1L50000」シリーズの資料アーカイブ

ASIC「S1L50000」シリーズのスペック、機種一覧、PKG リスト、入出力バッファ一覧のエクセル表と、特徴や電気特性、開発フローなどを詳細に解説したデザインガイドをまとめて資料請求できます。

[この資料を今後の検討用に申し込みする>>](#)

「S1L50000」スペック、機種一覧、PKG リスト、入出力バッファ一覧のエクセル表

使用可能ゲート数については、回路によって異なりますので目安としてお考えください。		高集積 (0.35μm CMOS2層/3層/4層配線プロセス採用)													
特長		高速動作 (内部ゲート遅延: 3.3V時 0.13ns 2入力 Power-NAND Typ) 低消費電力 (内部セル: 3.3V時 7μW/MHz @0°C) 駆動能力 (IOL=0.1, 1, 3, 8, 12, 24mA; PGI/5.0V時, IOI=0.1, 1, 2, 6, 12mA; PCI/3.3V時, IOL=0.1, 0.5, 1, 3, 6mA /2.5V時, IOI=0.05, 0.3, 0.6, 2, 4mA /2.0V時)													
遅延時間		tpd=0.14ns (3.3V時, F/O=2, 標準配線負荷) / 0.21ns (2.0V時, F/O=2, 標準配線負荷) tpd=0.38ns (5.0V時, F/O=2, 標準配線負荷) / レベルシフタ: 0.4ns (3.3V時, F/O=2, 標準配線負荷) / 1.3ns (2.0V時, F/O=2, 標準配線負荷) tpd=2.12ns (5.0V時) / レベルシフタ: 2.02ns (3.3V時) / 3.9ns (2.0V時) / CL=15pF													
I/Oレベル		CMOS, LVTTL, PCI-5V, PCI-3.3V													
入力モード		LVTTL, CMOS, プルアップ/プルダウン, シュミット, Fail-safe, Gated													
パッケージ		Viermil, オープンダイサイズ, 3x3mm, 両面切, Fall-safe, Gated													
機種名		S1L50002	S1L50122	S1L50282	S1L50552	S1L50752	S1L50992	S1L51252	S1L51772	S1L52902	S1L53352	S1L54422	S1L55062	S1L56682	S1L581
2層AI		S1L50003	S1L50123	S1L50283	S1L50553	S1L50753	S1L50993	S1L51253	S1L51773	S1L52903	S1L53353	S1L54423	S1L55063	S1L56683	S1L581
3層AI		S1L50004	S1L50124	S1L50284	S1L50554	S1L50754	S1L50994	S1L51254	S1L51774	S1L52904	S1L53354	S1L54424	S1L55064	S1L56684	S1L581
4層AI															
使用可能ゲート数		50k	120k	280k	550k	750k	990k	1250k	1770k	2500k	3300k	4420k	5060k	6680k	815k
2層AI		29k	60k	144k	281k	357k	467k	566k	757k	1126k	1445k	1765k	2027k	2675k	3262k
3層AI		5.1k	10.6k	25.3k	47.2k	64.4k	84.4k	100.7k	132.8k	187.7k	251.9k	309.5k	354.7k	468.0k	570.9k
4層AI		5.5k	11.4k	27.3k	52.8k	72.9k	94.3k	119.5k	168.2k	237.7k	319.1k	397.9k	456.1k	601.7k	734.0k
Package (Pin数)		48	64	56	104	98	144	124	168	144	192	168	216	188	224
PKG Pin数	PKG Type	パッケージ対応リスト	A	A	A	A	A	A	A	A	A	A	A	A	A
48	TQFP128-48	A A A A	A	A	A	A	A	A	N	N	N	N	N	N	N
48	QFP128-48	A A A A	A	A	A	A	A	A	N	N	N	N	N	N	N
64	TQFP136-64	A A560	A A	A	A	A	A	A	A	A	LQ	N	N	N	N
64	QFP136-64	A A560	A A	A	A	A	A	A	A	A	A	N	N	N	N
80	TQFP148-80	A A A A	A	A	A	A	A	A	A	A	A	A	N	N	N
80	QFP148-80	A A A A	A	A	A	A	A	A	A	A	A	A	N	N	N
100	TQFP160-100	A A A A	A	A	A	A	A	A	A	A	N	N	N	N	N
100	QFP160-100	A A A A	A	A	A	A	A	A	A	A	A	LQ	LQ	N	N
128	TQFP192-128	A A A A	A	A	A	A	A	A	A	A	A	A	LQ	N	N
128	QFP192-128	A A A A	A	A	A	A	A	A	A	A	A	A	LQ	N	N
144	QFP208-144	A A A A	A	A	A	A	A	A	A	A	A	A	LQ	LQ	N
176	QFP216-176	N N N N N N N N	A(A168)	A	A	A	A	A	A	A	A	A	A	N	N
208	QFP228-208	N N N N N N N N	N	N	N	N	N	N	N	A	A	A	A	N	N
216	QFP216-216	N N N N N N N N	N	N	N	N	N	N	N	A	A	A	LQ	N	N
256	QFP224-256	N N N N N N N N	N	N	N	N	N	N	N	N	N	A	A	LQ	A
	SQFN														

「S1L50000」シリーズデザインガイド

目次

第1章 概要	1
1.1 特長	1
1.2 マスタ構成	2
1.3 電気的特性・規格	3
1.3.1 絶対最大定格	3
1.3.2 推奨動作条件	4
1.3.3 電気的特性	6
1.3.4 オーバーシュート/アンダーシュート	8
1.4 静的消費電流	9
1.5 開発フロー	11
1.5.1 サインオフまでの開発フロー	11
1.5.2 論理合成・配置配線作業フロー (セイコーエプソン作業)	12
1.5.3 仮 (トライアル用) データの提出	15
1.5.4 試作から量産制定までのフロー	16
第2章 RTL 設計上の注意 (Verilog-HDL)	17
2.1 基本構成	17
2.1.1 論理合成可能な RTL データの提出	17
2.1.2 ライブラリセルの使用	17
2.1.3 ifdef と parameter	17
2.2 端子名の制約	17
2.2.1 外部端子名制約	17
2.2.2 内部端子名制約	18
2.2.3 Verilog 予約語	18
2.3 タイミング制約情報の提出	19
2.3.1 クロック情報	19
2.3.2 外部端子のタイミング制約	22
2.4 入出力バッファの挿入	27
2.5 RAM の記述	27
2.6 発振セルの記述	27
第3章 Verilog-HDL 設計上の注意	28

[この資料を今後の検討用に申し込みする>>](#)