

S1C17 マニュアル 正誤表

項目 パッケージ			
対象マニュアル	発行 No.	項目	ページ
S1C17624/604/622/602/621 テクニカルマニュアル	411914803	1.1 特長 表 1.1.1 特長 出荷形態	1-2
		1.3.2 S1C17604 端子配置図	1-7
		1.3.4 S1C17602/621 端子配置図	1-13
		31 パッケージ	31-1
S1C17803 テクニカルマニュアル	411820701	1 概要 表 1.1 ラインアップ	1-1
		1.1 特長 出荷形態	1-6
		1.3.1 端子配置	1-8
		1.3.2 端子機能	1-10~15
		1.3.4 パッケージ	1-18
		4.1 電源端子	4-1

S1C17604/602/621

1-2 ページ 1.1 特長 表 1.1.1 特長 出荷形態 S1C17604/S1C17602/S1C17621

(誤) TQFP14-100 pin (正) QFP14-100 pin

1-7 ページ 1.3.2 S1C17604 端子配置図

(誤) TQFP14-100 pin (正) QFP14-100 pin

1-13 ページ 1.3.4 S1C17602/621 端子配置図

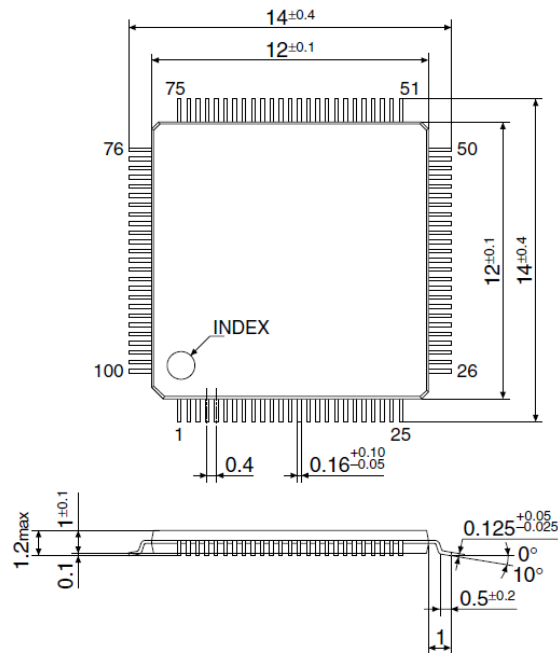
(誤) TQFP14-100 pin (正) QFP14-100 pin

31-1 ページ 31 パッケージ

(誤)

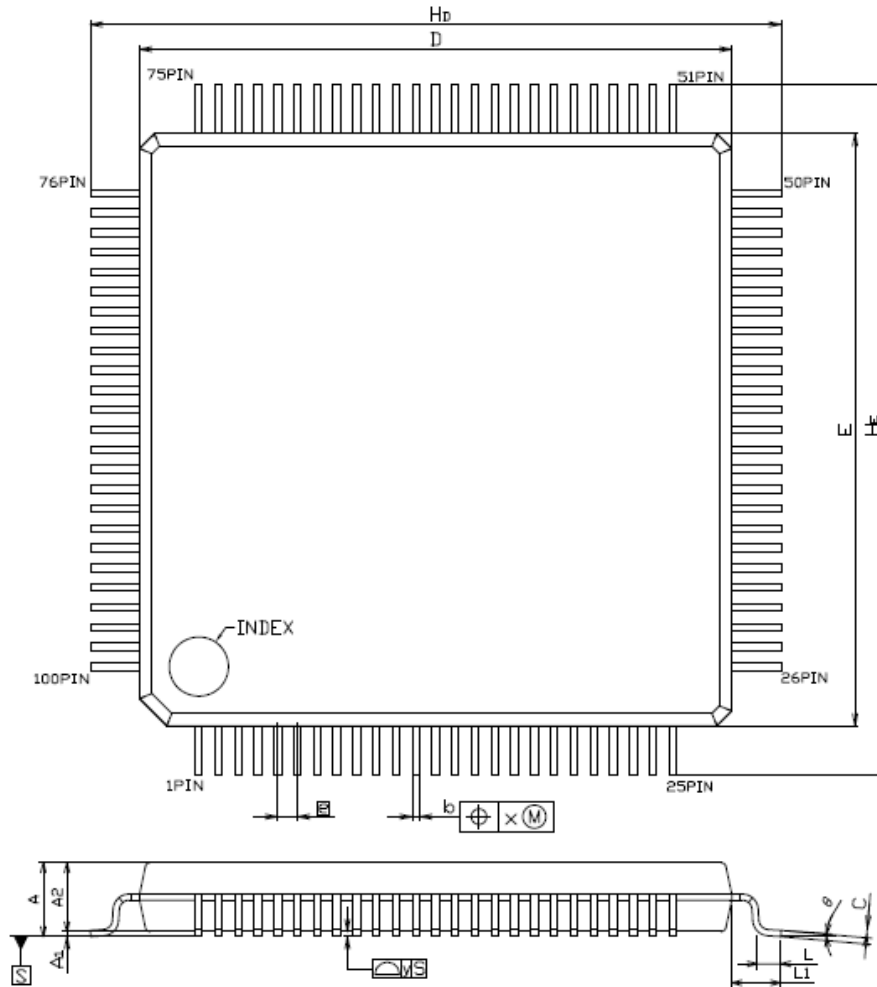
TQFP14-100pinパッケージ

(単位: mm)



(正)

QFP14-100pin パッケージ



Symbol	Dimension In Millimeters		
	Min	Nom	Max
D	11.90	12.00	12.10
E	11.90	12.00	12.10
A	-	-	1.70
A_1	0.00	0.10	0.20
A_2	1.30	1.40	1.50
\square	-	0.40	-
b	0.13	0.18	0.23
c	0.09	0.15	0.20
θ	0°	5°	10°
L	0.30	0.50	0.75
L_1	0.80	1.00	1.20
H_b	13.60	14.00	14.40
H_e	13.60	14.00	14.40
x	-	-	0.08
y	-	-	0.08

1 = 1mm

S1C17803

1-1 ページ 1 概要 表 1.1 ラインアップ

(誤) TQFP14-100 pin (正) QFP14-100 pin

1-6 ページ 1.1 特長 出荷形態

(誤) TQFP14-100 pin (正) QFP14-100 pin

1-8 ページ 1.3.1 端子配置

(誤) TQFP14-100 pin (正) QFP14-100 pin

1-10~15 ページ 1.3.2 端子機能

(誤) TQFP14-100 pin (正) QFP14-100 pin

1-18 ページ 1.3.4 パッケージ

(誤)

TQFP14-100pinパッケージ

(単位:mm)

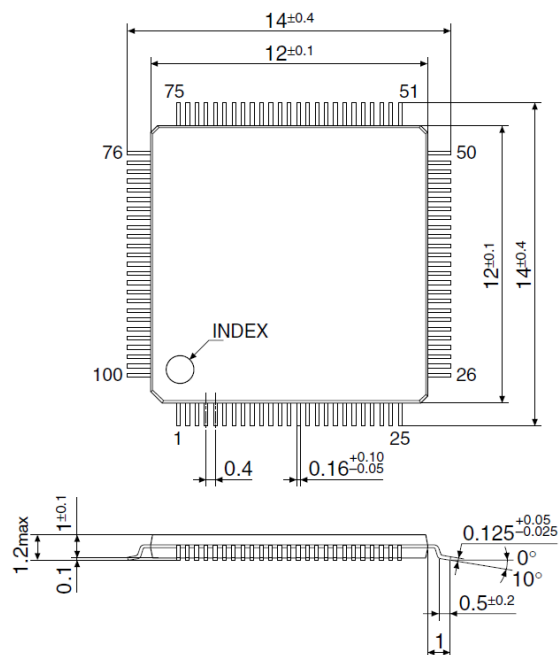
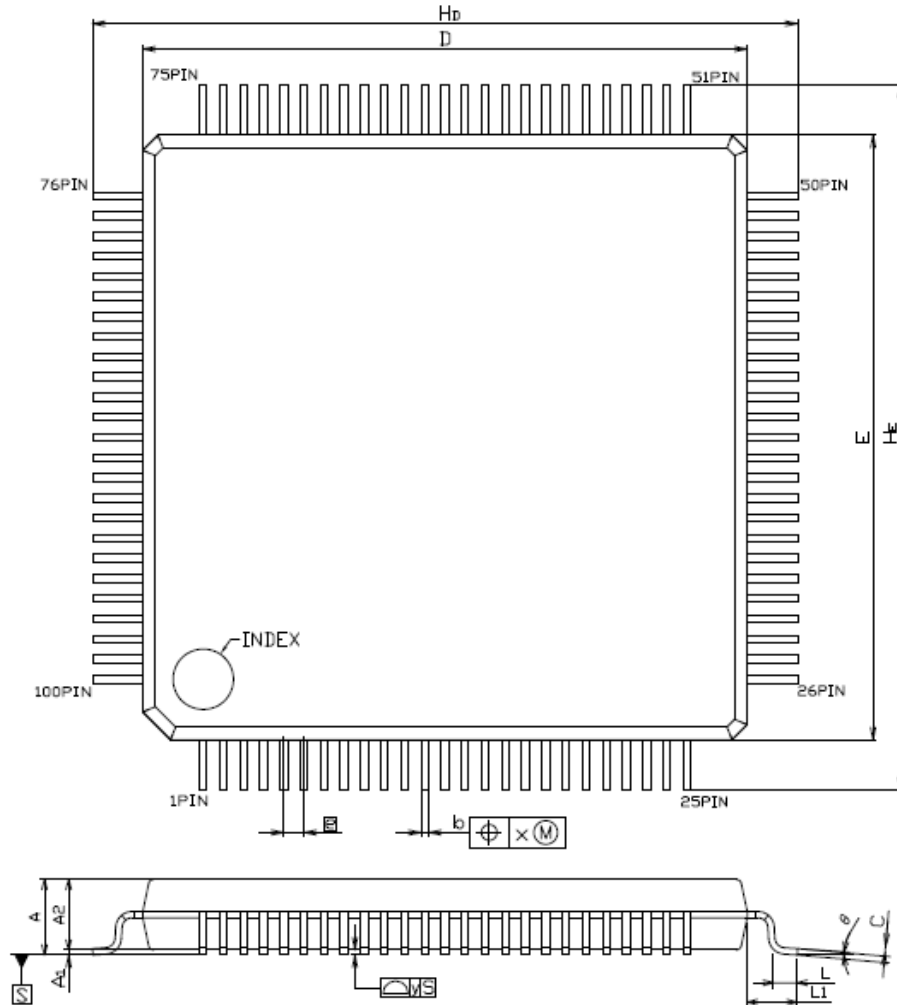


図1.3.4.1 TQFP14-100pinパッケージ寸法

(正)

QFP14-100pin パッケージ



Symbol	Dimension In Millimeters		
	Min	Nom	Max
D	11.90	12.00	12.10
E	11.90	12.00	12.10
A	-	-	1.70
A_1	0.00	0.10	0.20
A_2	1.30	1.40	1.50
\square	-	0.40	-
b	0.13	0.18	0.23
c	0.09	0.15	0.20
θ	0°	5°	10°
L	0.30	0.50	0.75
L_1	0.80	1.00	1.20
H_D	13.60	14.00	14.40
H_E	13.60	14.00	14.40
x	-	-	0.08
y	-	-	0.08

1 = 1mm

4-1 ページ 4.1 電源端子

(誤) TQFP14-100 pin (正) QFP14-100 pin

S1C17 マニュアル正誤表

項目 USI/USIL AC 特性					
対象マニュアル	発行 No.	項目	ページ		
S1C17803 テクニカルマニュアル	411820701	30.7.3 USI AC 特性	30-9		
30-9					
(誤)					
SPI マスタモード(8 または 9 ビット、通常モード時)					
特記なき場合: LVDD = 2.7~3.6V, IO1_VDD/IO2_VDD= 4.5~5.5V, VSS = 0V					
項目	記号	Min.	Typ.	Max.	単位
spi_sck サイクル時間	tSPCK	85 + tPCLK	-	-	ns
spi_sdi セットアップ時間	tSDS	85 + tPCLK	-	-	ns
特記なき場合: LVDD = 2.7~3.6V, IO1_VDD/IO2_VDD= 2.7~3.6V, VSS = 0V					
項目	記号	Min.	Typ.	Max.	単位
spi_sck サイクル時間	tSPCK	85 + tPCLK	-	-	ns
spi_sdi セットアップ時間	tSDS	85 + tPCLK	-	-	ns
SPI マスタモード (8 または 9 ビット、高速モード時)					
特記なき場合: LVDD = 2.7~3.6V, IO1_VDD/IO2_VDD= 4.5~5.5V, VSS = 0V					
項目	記号	Min.	Typ.	Max.	単位
spi_sck サイクル時間	tSPCK	85	-	-	ns
spi_sdi セットアップ時間	tSDS	85	-	-	ns
特記なき場合: LVDD = 2.7~3.6V, IO1_VDD/IO2_VDD= 2.7~3.6V, VSS = 0V					
項目	記号	Min.	Typ.	Max.	単位
spi_sck サイクル時間	tSPCK	85	-	-	ns
spi_sdi セットアップ時間	tSDS	85	-	-	ns
(正)					
SPI マスタモード(8 または 9 ビット、通常モード時)					
特記なき場合: LVDD = 2.7~3.6V, IO1_VDD/IO2_VDD= 4.5~5.5V, VSS = 0V					
項目	記号	Min.	Typ.	Max.	単位
spi_sck サイクル時間	tSPCK	(85 + tPCLK) x 2	-	-	ns
spi_sdi セットアップ時間	tSDS	85 + tPCLK	-	-	ns
特記なき場合: LVDD = 2.7~3.6V, IO1_VDD/IO2_VDD= 2.7~3.6V, VSS = 0V					
項目	記号	Min.	Typ.	Max.	単位
spi_sck サイクル時間	tSPCK	(85 + tPCLK) x 2	-	-	ns
spi_sdi セットアップ時間	tSDS	85 + tPCLK	-	-	ns

SPI マスタモード (8 または 9 ビット、高速モード時)

特記なき場合: LVDD = 2.7~3.6V, IO1_VDD/IO2_VDD= 4.5~5.5V, VSS = 0V

項目	記号	Min.	Typ.	Max.	単位
spi_sck サイクル時間	tSPCK	85 x 2	-	-	ns
spi_sdi セットアップ時間	tSDS	85	-	-	ns

特記なき場合: LVDD = 2.7~3.6V, IO1_VDD/IO2_VDD= 2.7~3.6V, VSS = 0V

項目	記号	Min.	Typ.	Max.	単位
spi_sck サイクル時間	tSPCK	85 x 2	-	-	ns
spi_sdi セットアップ時間	tSDS	85	-	-	ns

S1C17 ファミリテクニカルマニュアル正誤表

項目 I2CS 入出力端子			
対象マニュアル	発行 No.	項目	ページ
S1C17601 テクニカルマニュアル	411806001	21.2 I2C スレーブ入出力端子	21-2
S1C17611 テクニカルマニュアル	411882201	21.2 I2C スレーブ入出力端子	21-2
S1C17706 テクニカルマニュアル	412026301	18.2 I2CS 入出力端子	18-1
S1C17002 テクニカルマニュアル	411554302	V.3.2 I2C スレーブ入出力端子	V-3-2
S1C17003 テクニカルマニュアル	411635002	21.2 I2C スレーブ入出力端子	21-2
S1C17803 テクニカルマニュアル	411820701	21.2 I2CS 入出力端子	21-1

(追加)

注: ポート機能切り換え時は、端子がハイインピーダンスになります。High レベルは出力しませんので、SCL と SDA ラインは外部で VDD レベルにプルアップしてください。なお、VDD を超える電圧値にはプルアップしないでください。

The diagram illustrates the I2C bus configuration. On the left, a box labeled 'I²Cマスタ' (I²C Master) is connected to two horizontal lines representing the SDA and SCL buses. The SDA line is labeled 'SDA1' and the SCL line is labeled 'SCL1'. Below these lines, two boxes represent the 'I2CS' and 'I2Cスレーブ' (I2C Slave). Two pull-up resistors are shown connected to the SDA and SCL lines, with their other ends connected to a supply voltage labeled 'VDD'.

S1C17 ファミリテクニカルマニュアル正誤表

項目 I2CM 入出力端子			
対象マニュアル	発行 No.	項目	ページ
S1C17601 テクニカルマニュアル	411806001	20.2 I2C マスタ入出力端子	20-2
S1C17611 テクニカルマニュアル	411882201	20.2 I2C マスタ入出力端子	20-2
S1C17701 テクニカルマニュアル	411089703	20.2 I2C 入出力端子	20-2
S1C17704 テクニカルマニュアル	411511803	20.2 I2C 入出力端子	20-2
S1C17706 テクニカルマニュアル	412026301	17.2 I2CM 入出力端子	17-1
S1C17001 テクニカルマニュアル	411412002	20.2 I2C 入出力端子	252
S1C17002 テクニカルマニュアル	411554302	V.2.2 I2C マスタ入出力端子	V-2-2
S1C17003 テクニカルマニュアル	411635002	20.2 I2C マスタ入出力端子	20-2
S1C17501 テクニカルマニュアル	411525502	VI.2.2 I2C 入出力端子	VI-2-2
S1C17801 テクニカルマニュアル	411390602	VI.2.2 I2C 入出力端子	VI-2-2
S1C17803 テクニカルマニュアル	411820701	20.2 I2CM 入出力端子	20-1

(追加)

注: ポート機能切り換え時は、端子がハイインピーダンスになります。High レベルは出力しませんので、SCL と SDA ラインは外部で VDD レベルにプルアップしてください。なお、VDD を超える電圧値にはプルアップしないでください。

S1C17 ファミリテクニカルマニュアル正誤表

項目 パワーオンシーケンスについて			
対象マニュアル	発行 No.	項目	ページ
S1C17803 テクニカルマニュアル	411820701	4.7 電源に関する注意事項	4-4

4-4 ページ S1C17803 テクニカルマニュアル

(誤)

4.7 電源に関する注意事項

パワーオンシーケンス

デバイスを正常に動作させるため、以下のタイミングを守って電源を投入してください。

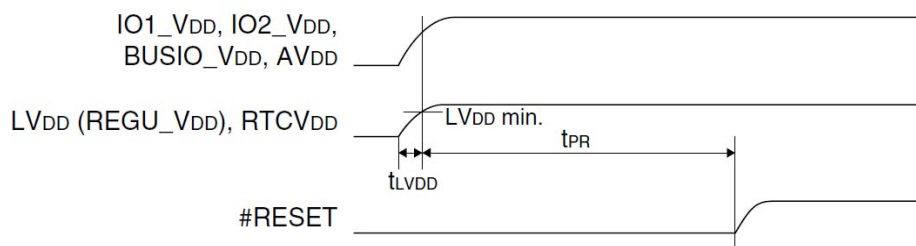


図4.7.1 パワーオンシーケンス

(1) t_{LVDD} : 電源投入時の電源が安定するまでの時間

下記の順序で電源を投入してください。

電源投入時: 1. LV_{DD} (および $RTCV_{DD}$) または $REGU_{V_{DD}}$

2. $BUSIO_{V_{DD}}$, $IO1_{V_{DD}}$, $IO2_{V_{DD}}$, AV_{DD} (上記の1と同時に投入しても可)

3. 入力信号を印加

* $RTCV_{DD}$ はRTCとBBRAMの動作に常時供給可能です。

(2) t_{PR} : 電源リセット時間

この期間に、 $\#RESET$ 信号をLowに維持してください。電源リセット時間については、“電気的特性”を参照してください。

(正)

4.7 電源に関する注意事項

パワーオンシーケンス

デバイスを正常に動作させるため、以下のタイミングを守って電源を投入してください。

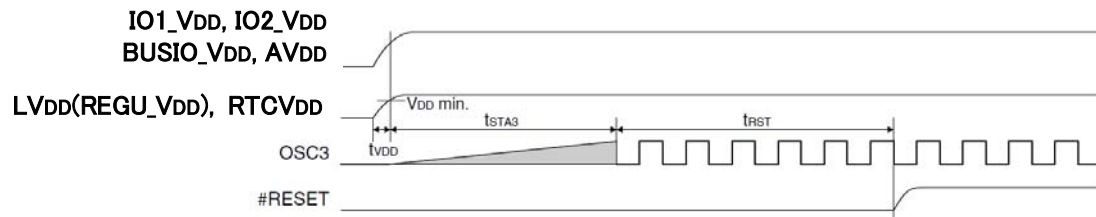


図 4.7.1 パワーオンシーケンス

(1) t_{LVDD} : 電源投入時の電源が安定するまでの時間

下記の順序で電源を投入してください。

電源投入時: 1. LVDD (およびRTCVDD) またはREGU_VDD

2. BUSIO_VDD, IO1_VDD, IO2_VDD, AVDD (上記の1と同時に投入しても可)

3. 入力信号を印加

* RTCVDDはRTCとBBRAMの動作に常時供給可能です。

(2) t_{STA3} : OSC3発振開始時間

(3) t_{RST} : 最小リセットパルス幅

チップに供給されるクロックが安定した状態から最低6クロックの期間、#RESET信号をLowに保持してください。