

S1C17 ファミリテクニカルマニュアル正誤表

項目 LCD 駆動電圧																																															
対象マニュアル	発行 No.	項目	ページ																																												
S1C17701 テクニカルマニュアル	412445600	26.4 アナログ回路特性	26-3																																												
S1C17702 テクニカルマニュアル	411602402	27.4 アナログ回路特性	27-3																																												
S1C17704 テクニカルマニュアル	411511804	26.4 アナログ回路特性	26-3																																												
S1C17705/703 テクニカルマニュアル	411706502	25.9 LCD ドライバ特性	25-10																																												
S1C17706 テクニカルマニュアル	412026301	27.9 LCD ドライバ特性	27-7																																												
<p>(誤)</p> <p>特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, $C_1\sim C_{11} = 0.1\mu F$, 市松模様出力時, パネル負荷なし</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>項目</th> <th>記号</th> <th>条件</th> <th>Min.</th> <th>Typ.</th> <th>Max.</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td rowspan="5">LCD駆動電圧</td> <td>Vc1</td> <td>$V_{SS}\sim V_{C1}$間に1MΩの負荷抵抗を接続</td> <td>0.18V_{C5}</td> <td></td> <td>0.22V_{C5}</td> <td>V</td> </tr> <tr> <td>Vc2</td> <td>$V_{SS}\sim V_{C2}$間に1MΩの負荷抵抗を接続</td> <td>0.39V_{C5}</td> <td></td> <td>0.43V_{C5}</td> <td>V</td> </tr> <tr> <td>Vc3</td> <td>$V_{SS}\sim V_{C3}$間に1MΩの負荷抵抗を接続</td> <td>0.59V_{C5}</td> <td></td> <td>0.63V_{C5}</td> <td>V</td> </tr> <tr> <td>Vc4</td> <td>$V_{SS}\sim V_{C4}$間に1MΩの負荷抵抗を接続</td> <td>0.79V_{C5}</td> <td></td> <td>0.83V_{C5}</td> <td>V</td> </tr> <tr> <td>Vc5</td> <td>$V_{SS}\sim V_{C5}$間に1MΩの負荷抵抗を接続</td> <td>LC[3:0] = 0x0</td> <td></td> <td>4.20</td> <td>V</td> </tr> <tr> <td></td> <td></td> <td>LC[3:0] = 0x1</td> <td></td> <td>4.30</td> <td>V</td> </tr> </tbody> </table>				項目	記号	条件	Min.	Typ.	Max.	単位	LCD駆動電圧	Vc1	$V_{SS}\sim V_{C1}$ 間に1MΩの負荷抵抗を接続	0.18V _{C5}		0.22V _{C5}	V	Vc2	$V_{SS}\sim V_{C2}$ 間に1MΩの負荷抵抗を接続	0.39V _{C5}		0.43V _{C5}	V	Vc3	$V_{SS}\sim V_{C3}$ 間に1MΩの負荷抵抗を接続	0.59V _{C5}		0.63V _{C5}	V	Vc4	$V_{SS}\sim V_{C4}$ 間に1MΩの負荷抵抗を接続	0.79V _{C5}		0.83V _{C5}	V	Vc5	$V_{SS}\sim V_{C5}$ 間に1MΩの負荷抵抗を接続	LC[3:0] = 0x0		4.20	V			LC[3:0] = 0x1		4.30	V
項目	記号	条件	Min.	Typ.	Max.	単位																																									
LCD駆動電圧	Vc1	$V_{SS}\sim V_{C1}$ 間に1MΩの負荷抵抗を接続	0.18V _{C5}		0.22V _{C5}	V																																									
	Vc2	$V_{SS}\sim V_{C2}$ 間に1MΩの負荷抵抗を接続	0.39V _{C5}		0.43V _{C5}	V																																									
	Vc3	$V_{SS}\sim V_{C3}$ 間に1MΩの負荷抵抗を接続	0.59V _{C5}		0.63V _{C5}	V																																									
	Vc4	$V_{SS}\sim V_{C4}$ 間に1MΩの負荷抵抗を接続	0.79V _{C5}		0.83V _{C5}	V																																									
	Vc5	$V_{SS}\sim V_{C5}$ 間に1MΩの負荷抵抗を接続	LC[3:0] = 0x0		4.20	V																																									
		LC[3:0] = 0x1		4.30	V																																										
<p>(正)</p> <p>特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, $C_1\sim C_{11} = 0.1\mu F$, 市松模様出力時, パネル負荷なし</p> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th>項目</th> <th>記号</th> <th>条件</th> <th>Min.</th> <th>Typ.</th> <th>Max.</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td rowspan="5">LCD駆動電圧</td> <td>Vc1</td> <td>$V_{SS}\sim V_{C1}$間に1MΩの負荷抵抗を接続</td> <td>0.18V_{C5}</td> <td></td> <td>0.22V_{C5}</td> <td>V</td> </tr> <tr> <td>Vc2</td> <td>$V_{SS}\sim V_{C2}$間に1MΩの負荷抵抗を接続</td> <td>0.39V_{C5}</td> <td></td> <td>0.43V_{C5}</td> <td>V</td> </tr> <tr> <td>Vc3</td> <td>$V_{SS}\sim V_{C3}$間に1MΩの負荷抵抗を接続</td> <td>0.59V_{C5}</td> <td></td> <td>0.63V_{C5}</td> <td>V</td> </tr> <tr> <td>Vc4</td> <td>$V_{SS}\sim V_{C4}$間に1MΩの負荷抵抗を接続</td> <td>0.79V_{C5}</td> <td></td> <td>0.83V_{C5}</td> <td>V</td> </tr> <tr> <td>Vc5</td> <td>$V_{SS}\sim V_{C5}$間に1MΩの負荷抵抗を接続</td> <td>LC[3:0] = 0x0</td> <td></td> <td>4.20</td> <td>V</td> </tr> <tr> <td></td> <td></td> <td>LC[3:0] = 0x1</td> <td></td> <td>4.30</td> <td>V</td> </tr> </tbody> </table>				項目	記号	条件	Min.	Typ.	Max.	単位	LCD駆動電圧	Vc1	$V_{SS}\sim V_{C1}$間に1MΩの負荷抵抗を接続	0.18V _{C5}		0.22V _{C5}	V	Vc2	$V_{SS}\sim V_{C2}$ 間に1MΩの負荷抵抗を接続	0.39V _{C5}		0.43V _{C5}	V	Vc3	$V_{SS}\sim V_{C3}$ 間に1MΩの負荷抵抗を接続	0.59V _{C5}		0.63V _{C5}	V	Vc4	$V_{SS}\sim V_{C4}$ 間に1MΩの負荷抵抗を接続	0.79V _{C5}		0.83V _{C5}	V	Vc5	$V_{SS}\sim V_{C5}$ 間に1MΩの負荷抵抗を接続	LC[3:0] = 0x0		4.20	V			LC[3:0] = 0x1		4.30	V
項目	記号	条件	Min.	Typ.	Max.	単位																																									
LCD駆動電圧	Vc1	$V_{SS}\sim V_{C1}$間に1MΩの負荷抵抗を接続	0.18V _{C5}		0.22V _{C5}	V																																									
	Vc2	$V_{SS}\sim V_{C2}$ 間に1MΩの負荷抵抗を接続	0.39V _{C5}		0.43V _{C5}	V																																									
	Vc3	$V_{SS}\sim V_{C3}$ 間に1MΩの負荷抵抗を接続	0.59V _{C5}		0.63V _{C5}	V																																									
	Vc4	$V_{SS}\sim V_{C4}$ 間に1MΩの負荷抵抗を接続	0.79V _{C5}		0.83V _{C5}	V																																									
	Vc5	$V_{SS}\sim V_{C5}$ 間に1MΩの負荷抵抗を接続	LC[3:0] = 0x0		4.20	V																																									
		LC[3:0] = 0x1		4.30	V																																										

S1C17 ファミリテクニカルマニュアル正誤表

項目 T16E ファインモードについて			
対象マニュアル	発行 No.	項目	ページ
S1C17001 テクニカルマニュアル	411412003	13.6 クロック出力の制御	13-8
S1C17003 テクニカルマニュアル	411635002	13.6 クロック出力の制御	13-8
S1C17624/604/622/602/621 テクニカルマニュアル	411014802	12.7 クロック出力の制御	12-6
S1C17701 テクニカルマニュアル	411089704	13.6 クロック出力の制御	13-8
S1C17702 テクニカルマニュアル	411602402	13.6 クロック出力の制御	13-8
S1C17704 テクニカルマニュアル	411511804	13.6 クロック出力の制御	13-8
150 ページ S1C17001 テクニカルマニュアル 13-8 ページ S1C17003 テクニカルマニュアル 13-8 ページ S1C17701 テクニカルマニュアル 13-8 ページ S1C17702 テクニカルマニュアル 13-8 ページ S1C17704 テクニカルマニュアル			
「クロック出力ファインモードの設定」 の注意事項に、以下の記載を追加 (3) ファインモードは、T16EDF = 0x0 (PCLK 1/1)のみで使用してください。			
12-6 ページ S1C17624/604/622/602/621 テクニカルマニュアル			
「クロック出力ファインモードの設定」 の注意事項に、以下の記載を追加 (4) ファインモードは、T16EDF = 0x0 (PCLK 1/1)のみで使用してください。			

S1C17 マニュアル 正誤表

項目 SPI クロックについて		
対象マニュアル	発行 No.	項目番号
S1C17121	411790500	P19-3
S1C17702	411602400	P19-3
S1C17003	411635001	P19-3
S1C17601	411806000	P19-3
S1C17705	411706500	P15-2
S1C17621/S1C17602/S1C17622/ S1C17604/S1C17624	411914800	P19-3
P19-3(S1C17121,S1C17702,S1C17003,S1C17601)		
<p>(誤)</p> <p>マスターモードの SPI は、16 ビットタイマ Ch.1 が出力するクロックまたは $PCLK \cdot 1/4$ のクロックを SPI クロックとして使用します。このクロックはシフトレジスタを駆動すると共に、SPICLK 端子からスレーブデバイスへ出力されます。</p> <p>16 ビットタイマ Ch.1 出カクロックと $PCLK \cdot 1/4$ クロックのどちらを使用するかについては MCLK (D9/SPI_CTL レジスタ) で選択します。MCLK を 1 に設定すると 16 ビットタイマ Ch.1 出カクロック、0 に設定すると $PCLK \cdot 1/4$ クロックが選択されます。</p> <p>*MCLK: SPI Clock Source Select Bit in the SPI Control (SPI_CTL) Register (D9/0x4326)</p> <p>16 ビットタイマ Ch.1 を使用すると、転送レートをプログラマブルに設定できます。16 ビットタイマの制御については、”11 16 ビットタイマ(T16)”を参照してください。</p> <div style="text-align: center;"> <p style="margin-left: 100px;">PCLK</p> <p style="margin-left: 100px;">16ビットタイマ Ch.1出カクロック または PCLK・1/4</p> <p style="margin-left: 100px;">SPIクロック(SPICLK出力)</p> </div>		

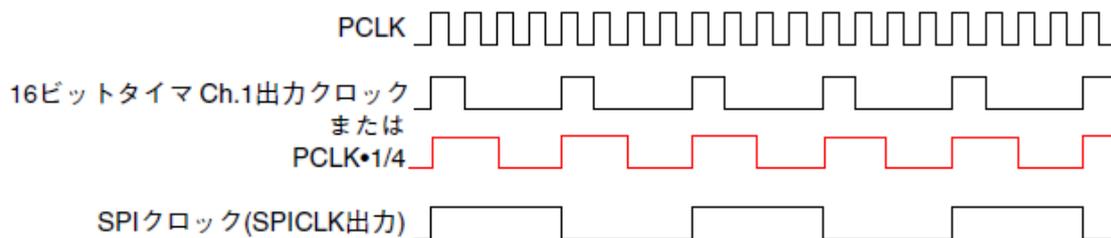
(正)

マスターモードの SPI は、16 ビットタイマ Ch.1 が出力するクロックまたは $PCLK \cdot 1/4$ のクロックを **SPI クロックとして使用し**ず**使用して SPI クロックを生成**します。このクロックはシフトレジスタを駆動すると共に、SPICLK 端子からスレーブデバイスへ出力されます。

16 ビットタイマ Ch.1 出力クロックと $PCLK \cdot 1/4$ クロックのどちらを使用するかについては MCLK (D9/SPI_CTL レジスタ) で選択します。MCLK を 1 に設定すると 16 ビットタイマ Ch.1 出力クロック、0 に設定すると $PCLK \cdot 1/4$ クロックが選択されます。

*MCLK: SPI Clock Source Select Bit in the SPI Control (SPI_CTL) Register (D9/0x4326)

16 ビットタイマ Ch.1 を使用すると、転送レートをプログラマブルに設定できます。16 ビットタイマの制御については、“11 16 ビットタイマ(T16)”を参照してください。



P15-2(S1C17705)

(誤)

マスターモードの SPI は、16 ビットタイマ Ch.2 が出力するクロックまたは $PCLK/4$ のクロックを SPI クロックとして使用します。このクロックはシフトレジスタを駆動すると共に、SPICLK 端子からスレーブデバイスへ出力されます。

16 ビットタイマ Ch.2 出力クロックと $PCLK/4$ クロックのどちらを使用するかについては MCLK (D9/SPI_CTLx レジスタ) で選択します。MCLK を 1 に設定すると 16 ビットタイマ Ch.2 出力クロック、0 に設定すると $PCLK/4$ クロックが選択されます。

16 ビットタイマ Ch.2 を使用すると、転送レートをプログラマブルに設定できます。16 ビットタイマの制御については、“16 ビットタイマ(T16)”の章を参照してください。

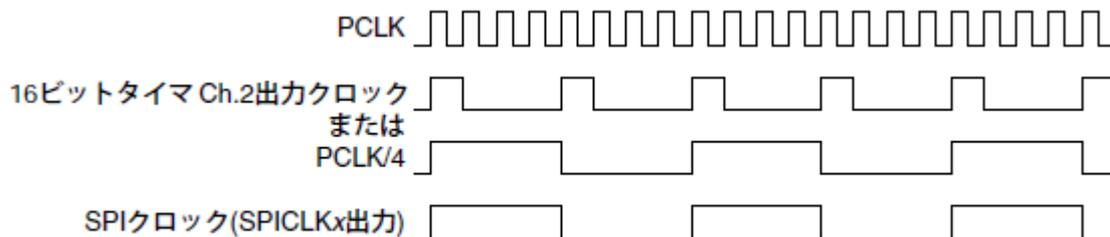


図15.3.1 マスタモードのSPIクロック

(正)

マスターモードのSPIは、16ビットタイマ Ch.2 が出力するクロックまたは PCLK/4 のクロックを **SPI クロック**として使用します使用して SPI クロックを生成します。このクロックはシフトレジスタを駆動すると共に、SPICLK 端子からスレーブデバイスへ出力されます。

16 ビットタイマ Ch.2 出力クロックと PCLK/4 クロックのどちらを使用するかについては MCLK (D9/SPI_GTLx レジスタ)で選択します。MCLK を1に設定すると16ビットタイマ Ch.2 出力クロック、0に設定すると PCLK/4 クロックが選択されます。

16ビットタイマ Ch.2を使用すると、転送レートをプログラマブルに設定できます。16ビットタイマの制御については、“16ビットタイマ(T16)”の章を参照してください。

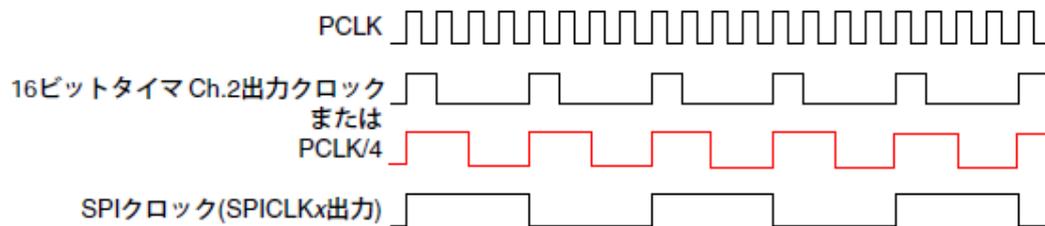


図15.3.1 マスタモードのSPIクロック

P19-3(S1C17621/S1C17602/S1C17622/S1C17604/S1C17624)

(誤)

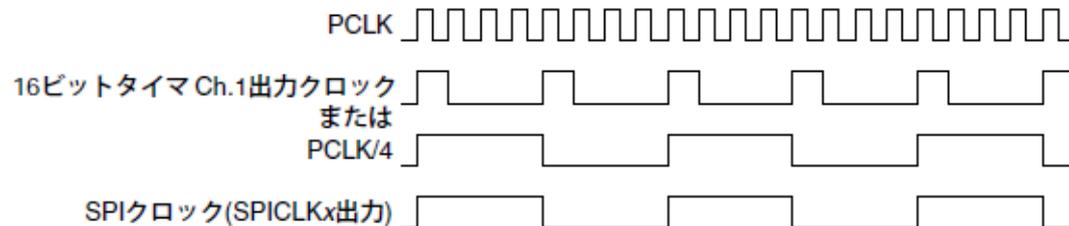


図19.3.1 マスタモードのSPIクロック

(正)

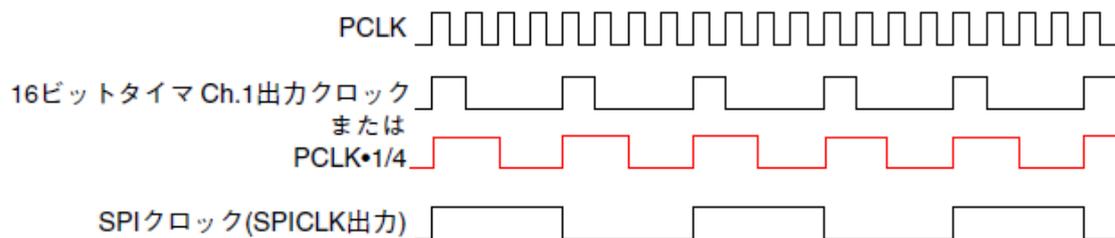


図19.3.1 マスタモードのSPIクロック

S1C17 マニュアル 正誤表

項目 UART 割り込み信号の注釈について			
対象マニュアル	発行 No.	項目	ページ
S1C17704 テクニカルマニュアル	411511802	18.10 注意事項	18-21
S1C17702 テクニカルマニュアル	411602401	18.10 注意事項	18-21
S1C17705 テクニカルマニュアル	411706500	14.9 制御レジスタ詳細	14-11
S1C17601 テクニカルマニュアル	411806000	18.10 注意事項	18-21
S1C17602 テクニカルマニュアル	411620000	18.10 注意事項	18-21
S1C17611 テクニカルマニュアル	411882200	18.10 注意事項	18-21
S1C17121 テクニカルマニュアル	411790501	18.10 注意事項	18-21
S1C17003 テクニカルマニュアル	411790501	18.10 注意事項	18-21
<p>(誤)</p> <p>S1C17705</p> <ul style="list-style-type: none"> ・ UARTの以下のビットは、送受信禁止の状態 (RXEN = 0) で設定してください。 - UART_CTLレジスタの RXEN以外のビットすべて (RBF_I, TIEN, RIEN, REIEN, TEIEN) <p>S1C17704/702/601/602/611/121/003</p> <ul style="list-style-type: none"> ・ UARTの以下のビットは、送受信禁止の状態 (RXEN = 0) で設定してください。 - UART_CTLレジスタの RXEN以外のビットすべて (RBF_I, TIEN, RIEN, REIEN) 			
<p>(正)</p> <ul style="list-style-type: none"> • UARTの以下のビットは、送受信禁止の状態 (RXEN = 0) で設定してください。 - UART_CTLxレジスタのRBF_Iビット 			

S1C17 マニュアル 正誤表

項目 I2CM 割り込み			
対象マニュアル	発行 No.	項目	ページ
S1C17701 テクニカルマニュアル	411089702	I2C 割り込み	20-11
S1C17704 テクニカルマニュアル	411511802	I2C 割り込み	20-11
S1C17702 テクニカルマニュアル	411602401	I2C 割り込み	20-10
S1C17705 テクニカルマニュアル	411706500	I2CM 割り込み	16-6
S1C17601 テクニカルマニュアル	411806000	I2C マスター割り込み	20-10
S1C17602 テクニカルマニュアル	411620000	I2C マスター割り込み	20-10
S1C17611 テクニカルマニュアル	411882200	I2C マスター割り込み	20-10
S1C17121 テクニカルマニュアル	411790501	I2C マスター割り込み	20-10
S1C17001 テクニカルマニュアル	411412001	I2C 割り込み	259
S1C17003 テクニカルマニュアル	411635001	I2C マスター割り込み	20-10
<p>(誤)</p> <p>送信バッファエンプティ割り込み</p> <p>この割り込みを使用するには、TINTE/I2CM_ICTL レジスタを 1 に設定します。TINTE が 0(デフォルト)に設定されていると、この要因による割り込み要求は ITC に送られません。送信バッファエンプティ割り込みが許可されていれば(TINTE=1)、RTDT[7:0]/I2CM_DAT レジスタに設定された送信データがシフトレジスタに転送された時点で割り込み要求が ITC に出力されます。</p> <p>受信バッファフル割り込み</p> <p>この割り込みを使用するには、RINTE/I2CM_ICTL レジスタを 1 に設定します。RINTE が 0(デフォルト)に設定されていると、この要因による割り込み要求は ITC に送られません。受信バッファフル割り込みが許可されていれば(RINTE=1)、シフトレジスタに受信したデータが RTDT[7:0]にロードされた時点で割り込み要求が ITC に出力されます。</p> <p>ITC については、“割り込みコントローラ(ITC)”の章を参照してください</p>			
<p>(正)</p> <p>送信バッファエンプティ割り込み</p> <p>この割り込みを使用するには、TINTE/I2CM_ICTL レジスタを 1 に設定します。TINTE が 0(デフォルト)に設定されていると、この要因による割り込み要求は ITC に送られません。送信バッファエンプティ割り込みが許可されていれば(TINTE=1)、RTDT[7:0]/I2CM_DAT</p>			

レジスタに設定された送信データがシフトレジスタに転送された時点で割り込み要求が ITC に出力されます。

送信バッファEMPTY割り込みは、データ送信時にのみ、発生します。

・送信バッファEMPTY割り込みのクリア方法

RTDT/I2CM_DAT にデータをライトします。

TXE/I2CM_DAT=0 とした場合、データは送信されず、割り込みクリアのみ行います。

受信バッファフル割り込み

この割り込みを使用するには、RINTE/I2CM_ICTL レジスタを 1 に設定します。RINTE が 0 (デフォルト) に設定されていると、この要因による割り込み要求は ITC に送られません。

受信バッファフル割り込みが許可されていれば (RINTE=1)、シフトレジスタに受信したデータが RTDT[7:0] にロードされた時点で割り込み要求が ITC に出力されます。

受信バッファフル割り込みは、データ受信時にのみ、発生します。

・受信バッファフル割り込みのクリア方法

RTDT/I2CM_DAT からデータをリードします。

注: I2CM の割り込み発生時、I2C マスターのシーケンス処理に応じて送信バッファEMPTY割り込みと受信バッファフル割り込みを判断して下さい。送信バッファEMPTY割り込み、または、受信バッファフル割り込みのどちらが発生したかを確認できるレジスタはありません。

ITC については、“割り込みコントローラ (ITC)” の章を参照してください。

S1C17 マニュアル 正誤表

項目 表示の On/Off			
対象マニュアル	発行 No.	項目	ページ
S1C17701 テクニカルマニュアル	411089702	22.6.1 表示の On/Off	22-9
S1C17704 テクニカルマニュアル	411511802	22.6.1 表示の On/Off	22-9
S1C17702 テクニカルマニュアル	411602401	22.6.1 表示の On/Off	22-8
S1C17705 テクニカルマニュアル	411706500	19.7.1 表示の On/Off	19-16
<p>(誤)</p> <p>通常を表示を行うには、DSPC[1:0]を 0x1 に設定します。ただし、クロックが供給されている必要があります(19.4 節参照)。</p>			
<p>(正)</p> <p>通常を表示を行うには、DSPC[1:0]を 0x1 に設定します。ただし、クロックが供給されている必要があります(19.4 節参照)。クロックが供給される前に、DSPC[1:0]=0x0 以外に設定した場合、LCD 電源が正しく生成されない場合があります。このとき、一旦、DSPC[1:0]=0x0 へ戻し、クロックが供給された後に、再度 DSPC[1:0]=0x0 以外に設定してください。</p> <p>注:クロックが供給されている状態とは、発振回路の動作許可後、発振開始時間、発振安定待ち時間が経過し、LCD クロックがイネーブルに設定され、LCD ドライバ回路に伝播している状態のことを指します。</p>			

S1C17 マニュアル 正誤表

項目 重負荷保護機能			
対象マニュアル	発行 No.	項目	ページ
S1C17702 テクニカルマニュアル	411602401	4.4 重負荷保護機能	4-5
S1C17705 テクニカルマニュアル	411706500	4.5 重負荷保護機能	4-4
S1C17601 テクニカルマニュアル	411806000	4.4 重負荷保護機能	4-4
S1C17602 テクニカルマニュアル	411620000	4.4 重負荷保護機能	4-4
S1C17611 テクニカルマニュアル	411882200	4.4 重負荷保護機能	4-4
<p>(誤)</p> <p>内部定電圧回路は HVLD/VD1_CTL レジスタに 1 を書き込むと重負荷保護モードになり、VD1 出力の安定化を図ります。ポート出力によりランプやブザーなどの重負荷を駆動する前に設定してください。</p>			
<p>(正)</p> <p>内部定電圧回路は HVLD/VD1_CTL レジスタに 1 を書き込むと重負荷保護モードになり、VD1 出力の安定化を図ります。ポート出力によりランプやブザーなどの重負荷を駆動する前に設定してください。以下のような動作処理で、不安定な動作が見られる場合は、重負荷保護モードを設定してください。</p> <ul style="list-style-type: none">● ポート出力によりダイオードやブザーなど、大電流が流れるものの駆動をするとき(ダイオードやブザーを駆動中、重負荷保護モードを保持)● システムクロックの高速クロックと低速クロックへの切り替えで大きな消費電流差があるとき(切り替え直前から、切り替え完了の後、数 10usec 経過するまでの間、重負荷保護モードを保持)● HALT/SLEEP モードとその解除で大きな消費電流差があり、その頻繁な繰り返しを実施しているとき(切り替え処理を繰り返している間、重負荷保護モードを保持) <p>注： 重負荷保護モードの解除は、必ず不安定な動作を起こす処理が終了してから行ってください。また、不安定な処理を繰り返し行う場合は、その処理を繰り返す間、重負荷保護モード状態を保持し続けるようプログラミングしてください。</p>			

S1C17 マニュアル 正誤表

項目 UART RXEN=0 時の受信バッファの状態			
対象マニュアル	発行 No.	項目	ページ
S1C17702 テクニカルマニュアル	411602400	18 UART	18-7, 18-19, 18-21
P18-7(S1C17702)			
(誤)			
RXENビットを0に設定すると、送信および受信データバッファは空の状態になります(データが残っていればクリアされます)。また、データの送受信中に RXEN を 0 に設定した場合、転送中のデータは保証されません。			
(正)			
RXENビットを0に設定すると、送信および受信データバッファは空の状態になります(データが残っていればクリアされます)。また、データの送受信中に RXEN を 0 に設定した場合、転送中のデータは保証されません。			
P 18-19(S1C17702)			
(誤)			
D0 RXEN: UART Enable Bit			
UART によるデータ送受信を許可します。			
1(R/W): 許可			
0(R/W): 禁止(デフォルト)			
UART で送受信を始める前に RXEN を 1 に設定してください。RXEN を 0 に設定するとデータ送受信が禁止されます。転送条件の設定は、RXEN が 0 の状態で行ってください。			
RXEN に 0 を書き込んで送受信を禁止すると、送受信データバッファもクリアされます。			
(正)			
D0 RXEN: UART Enable Bit			
UART によるデータ送受信を許可します。			
1(R/W): 許可			
0(R/W): 禁止(デフォルト)			
UART で送受信を始める前に RXEN を 1 に設定してください。RXEN を 0 に設定するとデータ送受信が禁止されます。転送条件の設定は、RXEN が 0 の状態で行ってください。			
RXEN に 0 を書き込んで送受信を禁止すると、送受信データバッファもクリアされます。			
P 18-21(S1C17702)			

(誤)

• RXEN を 0 に設定して送受信を禁止すると、送受信データバッファがクリア(初期化)されます。RXENに0を書き込む前に、バッファ内に送信待ちまたは読み出し前のデータが残っていないことを確認してください。

(正)

• RXEN を 0 に設定して送受信を禁止すると、送受信データバッファがクリア(初期化)されます。RXENに0を書き込む前に、バッファ内に送信待ちまたは読み出し前のデータが残っていないことを確認してください。

S1C17 マニュアル 正誤表

項目 UART 受信エラーフラグのリセット方法			
対象マニュアル	発行 No.	項目	ページ
S1C17702 テクニカルマニュアル	411602400	18 UART	18-14
P 18-14(S1C17702)			
(誤)			
D6 FER: Framing Error Flag Bit			
フレーミングエラーが発生しているか否かを示します。			
1(R): エラー発生			
0(R): エラーなし(デフォルト)			
1(W): 0 にリセット			
0(W): 無効			
FER はフレーミングエラーが発生すると 1 にセットされます。フレーミングエラーは、ストップビットを 0 としてデータを受信した場合に発生します。			
FER は 1 を書き込むか、あるいは RXEN/UART_CTLx レジスタを 0 に設定することによりリセットされます。			
D5 PER: Parity Error Flag Bit			
パリティエラーが発生しているか否かを示します。			
1(R): エラー発生			
0(R): エラーなし(デフォルト)			
1(W): 0 にリセット			
0(W): 無効			
PER はパリティエラーが発生すると 1 にセットされます。パリティチェックは PREN/UART_MODx レジスタが 1 に設定されている場合にのみ有効で、受信データがシフトレジスタから受信データバッファに転送される際に実行されます。			
PER は 1 を書き込むか、あるいは RXEN/UART_CTLx レジスタを 0 に設定することによりリセットされます。			
D4 OER: Overrun Error Flag Bit			
オーバーランエラーが発生しているか否かを示します。			
1(R): エラー発生			

0(R): エラーなし(デフォルト)

1(W): 0 にリセット

0(W): 無効

OER はオーバーランエラーが発生すると 1 にセットされます。オーバーランエラーは、受信データバッファが満杯の状態、次のデータをシフトレジスタに受信し、さらに続くデータが送られてきた場合に発生します。このエラーが発生した場合、受信データバッファは上書きされず、エラーが発生した時点のシフトレジスタが上書きされます。

OER は 1 を書き込むか、あるいは RXEN/UART_CTLx レジスタを 0 に設定することによりリセットされます。

(正)

D6 FER: Framing Error Flag Bit

フレーミングエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0 にリセット

0(W): 無効

FER はフレーミングエラーが発生すると 1 にセットされます。フレーミングエラーは、ストップビットを 0 としてデータを受信した場合に発生します。

FER は 1 を書き込むか、あるいは RXEN/UART_CTLx レジスタを 0 に設定することによりリセットされます。

D5 PER: Parity Error Flag Bit

パリティエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0 にリセット

0(W): 無効

PER はパリティエラーが発生すると 1 にセットされます。パリティチェックは PREN/UART_MODx レジスタが 1 に設定されている場合にのみ有効で、受信データがシフトレジスタから受信データバッファに転送される際に実行されます。

PER は 1 を書き込むか、あるいは RXEN/UART_CTLx レジスタを 0 に設定することによりリセットされます。

D4 OER: Overrun Error Flag Bit

オーバーランエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0 にリセット

0(W): 無効

OER はオーバーランエラーが発生すると 1 にセットされます。オーバーランエラーは、受信データバッファが満杯の状態、次のデータをシフトレジスタに受信し、さらに続くデータが送られてきた場合に発生します。このエラーが発生した場合、受信データバッファは上書きされず、エラーが発生した時点のシフトレジスタが上書きされます。

OER は 1 を書き込むか、あるいは ~~RXEN/UART_CTLxレジスタを 0 に設定する~~ ことによりリセットされます。

S1C17 シリーズ マニュアル 正誤表

項目: HSCLK 切替時の注意点の追加		
対象マニュアル	発行 No.	対象ページ
S1C17702 テクニカルマニュアル	411602400	7-5
S1C17602 テクニカルマニュアル	411620000	7-5
S1C17121 テクニカルマニュアル	411790500	7-5
7-5		
(誤) 注: HSCLKの選択を行なう場合は、IOSCおよびOSC3の両方がOnしている必要があります。両方がOnでない状態でHSCLKSELへの書き込みを行なってもHSCLKの切替は行なわれず、HSCLKSELの値も変化しません。		
(正) 注: HSCLKの選択を行なう場合は、IOSCおよびOSC3の両方がOnしている必要があります。両方がOnでない状態でHSCLKSELへの書き込みを行なってもHSCLKの切替は行なわれず、HSCLKSELの値も変化しません。また、HSCLKの切り替えを行う場合は PCLKEN ビット (D[1:0]/0x5080)を 0x3 に設定してからHSCLKSELビットへの書き込みを行ってください。		

S1C17 シリーズ マニュアル 正誤表

項目: CPU 命令一覧の誤記			
対象マニュアル	発行 No.		対象ページ
S1C17701 テクニカルマニュアル	411089701		2-5
S1C17704 テクニカルマニュアル	411511801		2-5
S1C17702 テクニカルマニュアル	411602400		2-5
S1C17602 テクニカルマニュアル	411620000		2-5
S1C17001 テクニカルマニュアル	411412000		2-5
S1C17003 テクニカルマニュアル	411635000		2-5
S1C17002 テクニカルマニュアル	411554301		I-5-5
S1C17501 テクニカルマニュアル	411525501		I-5-5
S1C17801 テクニカルマニュアル	411390601		I-5-5
2-5 (S1C17701, S1C17704, S1C17702, S1C17602, S1C17001, S1C17003) /			
I-5-5 (S1C17501, S1C17801, S1C17002)			
(誤)			
分岐	jpa	imm7	絶対ジャンプ
	ipa.d	%rb	ディレイド分岐可
(正)			
分岐	jpa	imm7	絶対ジャンプ
	jpa.d	%rb	ディレイド分岐可

S1C17 シリーズ マニュアル 正誤表

項目: 動作温度範囲の修正		
対象マニュアル	発行 No.	対象ページ
S1C17702 テクニカルマニュアル	411602400	1-2
S1C17602 テクニカルマニュアル	411620000	1-2
1-2		
(誤)		
●動作温度	・ -20° C~70° C	
(正)		
●動作温度	・ -25° C ~70° C	

S1C17 シリーズ マニュアル 正誤表

項目: PCLK で動作する周辺回路から ITC を除外		
対象マニュアル	発行 No.	対象ページ
S1C17702 テクニカルマニュアル	411602400	7-1, 8-1, AP-35, 8-3, 8-5, 8-7, AP-36
S1C17602 テクニカルマニュアル	411620000	7-1, 8-1, AP-38, 8-3, 8-5, 8-7, AP-39
S1C17003 テクニカルマニュアル	411635000	7-1, 8-1, AP-31, 8-3, 8-5, 8-7, AP-32
7-1, 8-1, AP-35 (S1C17702) / 7-1, 8-1, AP-38 (S1C17602) / 7-1, 8-1, AP-31 (S1C17003)		
(誤)		
(図中の PCLK が接続されているブロックに ITC が含まれている)		
(正)		
(図中の PCLK が接続されているブロックから ITC を削除)		
8-3, 8-5, 8-7, AP-36 (S1C17702) / 8-3, 8-5, 8-7, AP-39 (S1C17602) / 8-3, 8-5, 8-7, AP-32 (S1C17003)		
(誤)		
<ul style="list-style-type: none"> • 8ビットタイマ Ch.0~1 • 16ビットタイマ Ch.0~2 • 割り込みコントローラ • SPI • I2C 		
(正)		
<ul style="list-style-type: none"> • 8ビットタイマ Ch.0~1 • 16ビットタイマ Ch.0~2 • 割り込みコントローラ • SPI • I2C 		

S1C17702 マニュアル 正誤表

項目: OSC3 外部クロック入力の記述		
対象マニュアル	発行 No.	対象ページ
S1C17702 テクニカルマニュアル	411602400	7-3, 27-7
7-3		
(誤) (OSC3 外部クロック入力に関する記載なし)		
(正) OSC3 の外部クロック入力 OSC3 端子は、外部よりクロック入力が可能です。外部クロックを止める時は、VSS レベルで停止させてください。入力クロック波形は“ 27 電気的特性 ”を参照してください。		
27-7		
(誤)		
Input rising edge time	tCR	80 ns
Input drop-off time	tCF	80 ns
(正)		
Input rising edge time	tCR	80 ns
Input drop-off time	tCF	80 ns
OSC3 clock cycle time	tOSC3	125 ns
OSC3 clock input duty	tOSC3D	46 54 %

S1C17 シリーズ マニュアル 正誤表

項目: SPI スレーブモード時の SPICLK 周波数制限		
対象マニュアル	発行 No.	対象ページ
S1C17001 テクニカルマニュアル	411412000	235
S1C17701 テクニカルマニュアル	411089701	19-3
S1C17602 テクニカルマニュアル	411620000	19-3
S1C17702 テクニカルマニュアル	411602400	19-3
S1C17002 テクニカルマニュアル	411554301	V-4-3, V-5-3
S1C17501 テクニカルマニュアル	411525501	VI-3-3, VI-4-3
S1C17801 テクニカルマニュアル	411390601	VI-3-3, VI-4-3

(誤)

注: SPICLK 端子から入力するクロックの周波数は PCLK の 1/3 以下で、クロックのデューティ比は 50% である必要があります。

(タイミングチャート)

図 19.3.2 スレーブモードの SPI クロック

(正)

注: SPICLK 端子から入力する~~クロックの周波数は PCLK の 1/3 以下で、~~クロックのデューティ比は 50% である必要があります。

(タイミングチャート)

~~図 19.3.2 スレーブモードの SPI クロック~~

S1C17702 マニュアル 正誤表

項目: SVD 比較電圧範囲		
対象マニュアル	発行 No.	対象ページ
S1C17702 テクニカルマニュアル	411602400	1-2, 23-2, 23-7, AP-22
1-2		
(誤) 電源電圧検出(SVD)回路 ・ 16 値プログラマブル(1.7V ~ 3.2V)		
(正) 電源電圧検出(SVD)回路 ・ 15 値プログラマブル(1.8V ~ 3.2V)		
23-2		
(誤)		
0x0	1.7V	
(正)		
0x0	reserved	
23-7		
(誤)		
0x0	1.7V	
(正)		
0x0	reserved	
(誤)		
0x0	1.7V	
(正)		
0x0	reserved	

AP-22									
(誤)									
					0x0	1.7V			
(正)									
					0x0	reserved			

S1C17702 マニュアル 正誤表

項目: DSPC[1:0]レジスタのリセット条件		
対象マニュアル	発行 No.	対象ページ
S1C17702 テクニカルマニュアル	411602400	P22-9, P22-14
<p>(誤) イニシャルリセット時およびslp命令実行時DSPC[1:0]は0x0(表示Off)にリセットされます。</p>		
<p>(正) イニシャルリセット時 DSPC[1:0]は 0x0(表示 Off)にリセットされます。 slp 命令実行時 DSPC[1:0]は 0x0(表示 Off)にリセットされません。 液晶表示時 slp 命令を実行する場合、LCD を劣化させる恐れがあるため、ソフトウェアで DSPC[1:0]を 0x0(表示 Off)にリセットしてから slp 命令を実行してください。</p>		

S1C17702 マニュアル 正誤表

項目: P Port 割り込みの構成および動作		
対象マニュアル	発行 No.	対象ページ
S1C17702 テクニカルマニュアル	411602400	P10-8, P10-9, P10-18
<p>(誤)</p> <p>(図 10.7.1 の回路構成の誤り)</p>		
<p>(正)</p>		
<p>図 10.7.1 ポート入力割り込み回路の構成</p>		

(誤)

割り込みフラグ

ITC は P0 ポート割り込みと P1 ポート割り込みの 2 系統の割り込み要求を受け付け可能ですが、P0[7:0]と P1[7:0]の 16 ポートの割り込みを個々に制御できるよう、P ポートモジュール内には、16 ポートに個々に対応する割り込みフラグ PxIF[7:0]が用意されています。対応する PxIE[7:0]を 1 に設定しておくことにより、PxIF[7:0]は入力信号の指定エッジ（立ち上がりエッジまたは立ち下がりエッジ）で 1 にセットされます。同時に、ITC に対して P0 または P1 ポート割り込み要求信号が出力されます。ITC と S1C17 コアの割り込み条件が成立していれば割り込みが発生します。

(正)

割り込みフラグ

ITC は P0 ポート割り込みと P1 ポート割り込みの 2 系統の割り込み要求を受け付け可能ですが、P0[7:0]と P1[7:0]の 16 ポートの割り込みを個々に制御できるよう、P ポートモジュール内には、16 ポートに個々に対応する割り込みフラグ PxIF[7:0]が用意されています。~~対応する PxIE[7:0]を 1 に設定しておくことにより、~~PxIF[7:0]は入力信号の指定エッジ（立ち上がりエッジまたは立ち下がりエッジ）で 1 にセットされます。~~同時に、対応する PxIE[7:0]を 1 に設定しておくことにより、~~ITC に対して P0 または P1 ポート割り込み要求信号が出力されます。ITC と S1C17 コアの割り込み条件が成立していれば割り込みが発生します。

(誤)

PxIF[7:0]は P0[7:0]と P1[7:0]の 16 ポートに個々に対応する割り込みフラグです。対応する PxIE[7:0] (Px_IMSK レジスタ) を 1 に設定しておくことにより、入力信号の指定エッジ（立ち上がりエッジまたは立ち下がりエッジ）で 1 にセットされます。同時に、ITC に対して P0 または P1 ポート割り込み要求信号が出力されます。ITC と S1C17 コアの割り込み条件が成立していれば割り込みが発生します。

(正)

PxIF[7:0]は P0[7:0]と P1[7:0]の 16 ポートに個々に対応する割り込みフラグです。~~対応する PxIE[7:0] (Px_IMSK レジスタ) を 1 に設定しておくことにより、~~入力信号の指定エッジ（立ち上がりエッジまたは立ち下がりエッジ）で 1 にセットされます。~~同時に、対応する PxIE[7:0] (Px_IMSK レジスタ) を 1 に設定しておくことにより、~~ITC に対して P0 または P1 ポート割り込み要求信号が出力されます。ITC と S1C17 コアの割り込み条件が成立していれば割り込みが発生します。