

Interlace / Progressive Conversion IC

S2S65P10

テクニカルマニュアル

本資料のご使用につきましては、次の点にご留意願います。
本資料の内容については、予告無く変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はいくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

目次

1. 概要	1
2. 特長	1
3. ブロック図	2
4. 端子説明	3
4.1 端子配置	3
4.2 端子機能	4
5. Register Map	6
5.1 Register Table	6
5.2 Register 説明	8
6. 機能説明	41
6.1 初期設定	41
6.2 I ² C	41
6.3 インタレース／プログレッシブ変換	44
6.4 ビデオ出力とインテリジェント・オート・イメージ・スイッチング	45
6.5 ビデオ入力モードとアスペクト比変換	48
6.6 エリアセンサ	50
6.7 GPIO/I ² Cスルー機能	51
7. DC 特性	54
7.1 絶対最大定格	54
7.2 推奨動作条件	54
7.3 DC 特性	55
8. AC 特性	58
8.1 Video入力 Interface	58
8.2 Video出力 Interface	58
8.3 I ² C Interface	59
8.4 Reset	60
9. Application Diagram	61
10. Mechanical Dimensions	62
改訂履歴表	63

1. 概要

S2S65P10 は、Interlace 信号を Progressive 信号に変換する IC です。S2S65P10 を S1S65010（または S2S65A00）と組み合わせることによって、NTSC / PAL Video Decoder からのデジタル信号を JPEG に変換できます。大容量の SRAM を内蔵しているため、外付け RAM は必要ありません。S2S65P10 は、Video 入力を 4 Channel 備えており、固定画面出力、自動 Scan 画面出力、4 入力 Merge 画面出力と、多様な画面出力が可能です。また、S2S65P10 は動体検出機能を内蔵しています。動体検出によって Host CPU へ割り込みを発生しますので、System を省電力化できます。

2. 特長

- Video 入力
 - 4 Channel 入力 (任意の 1 Channel を出力に設定可能)
 - 8 bit 入力
 - ITU-R BT.601 (4:2:2) / ITU-R BT.656 互換
 - NTSC / PAL 対応
 - Interlace 入力 / Progressive 入力対応
- Video 出力
 - 2 Channel 出力(うち 1 Channel は Video 入力と共用)
 - 8 bit 出力
 - ITU-R BT.601 (4:2:2) / ITU-R BT.656 互換
 - Progressive 出力対応
 - VGA 30frame/sec(Max.)
 - 4 - 1 Intelligent Image Switch 機能
 - 4 入力 Merge 画面对応(QVGA x 4 = VGA)
- Host Interface
 - I²C Interface
 - 割り込み端子 (Area Sensor 検出割り込み)
- 画像処理
 - Interlace / Progressive 変換
 - Aspect 変換
 - Area Sensor (動体検出・明るさ検出用)
- I²C Through 機能 (Camera Control or Video Decoder Control) / GPIO
- 外付け RAM 不要
- 動作保証温度 -40 ~ +105°C(Ta)
- CMOS 0.18μm Process
- 電源電圧 IO: 2.4~3.6V / 内部: 1.8±0.15V
- Package QFP15-100pin (0.5mm pitch)

3. ブロック図

3. ブロック図

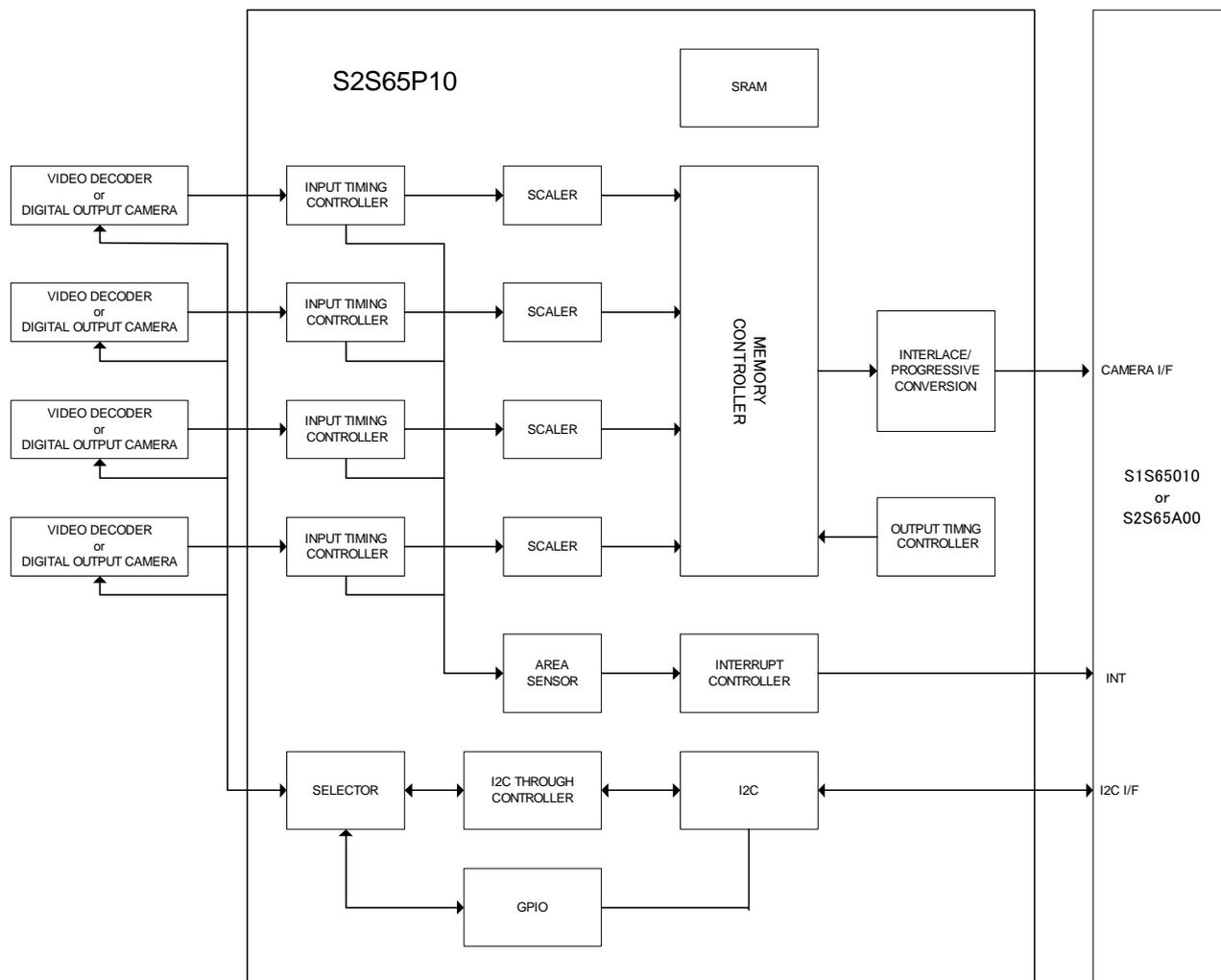


図 3.1 S2S65P10 Block Diagram

4. 端子説明

4.2 端子機能

Reset / Clock

端子名	Pin No.	Type	入力 Level	出力電流	Description
RESETX	77	I	LVC MOS SCHMITT	-	System Reset Input
CLKIN	97	I	LVC MOS	-	System Clock Input(from S1S65010,S2S65A00)

Video Interface

端子名	Pin No.	Type	入力 Level	出力電流	Description
CH1CLK	39	I	LVC MOS SCHMITT	-	Video1 Clock input
CH1VIN CH1VOUT	35	I/O	LVC MOS SCHMITT	2mA	Video1 Vertical Synchronization input/output
CH1HIN CH1HOUT	36	I/O	LVC MOS SCHMITT	2mA	Video1 Horizontal Synchronization input/output
CH1DIN[7:0] CH1DOUT[7:0]	33,32,31,29, 28,27,26,24	I/O	LVC MOS SCHMITT	2mA	Video1 Data input/output
CH1ODD	37	I	LVC MOS SCHMITT	-	Video1 Field Signal input
CH2CLK	23	I	LVC MOS SCHMITT	-	Video2 Clock input
CH2VIN CH2VOUT	20	I/O	LVC MOS SCHMITT	2mA	Video2 Vertical Synchronization input/output
CH2HIN CH2HOUT	21	I/O	LVC MOS SCHMITT	2mA	Video2 Horizontal Synchronization input/output
CH2DIN[7:0] CH2DOUT[7:0]	19,16,15,14, 13,12,11,10	I/O	LVC MOS SCHMITT	2mA	Video2 Data input/output
CH2ODD	22	I	LVC MOS SCHMITT	-	Video2 Field Signal input
CH3CLK	53	I	LVC MOS SCHMITT	-	Video3 Clock input
CH3VIN CH3VOUT	50	I/O	LVC MOS SCHMITT	2mA	Video3 Vertical Synchronization input/output
CH3HIN CH3HOUT	51	I/O	LVC MOS SCHMITT	2mA	Video3 Horizontal Synchronization input/output
CH3DIN[7:0] CH3DOUT[7:0]	49,48,46,45, 44,43,41,40	I/O	LVC MOS SCHMITT	2mA	Video3 Data input/output
CH3ODD	52	I	LVC MOS SCHMITT	-	Video3 Field Signal input
CH4CLK	69	I	LVC MOS SCHMITT	-	Video4 Clock input
CH4VIN CH4VOUT	66	I/O	LVC MOS SCHMITT	2mA	Video4 Vertical Synchronization input/output
CH4HIN CH4HOUT	67	I/O	LVC MOS SCHMITT	2mA	Video4 Horizontal Synchronization input/output
CH4DIN[7:0] CH4DOUT[7:0]	63,62,61,60, 58,57,56,55	I/O	LVC MOS SCHMITT	2mA	Video4 Data input/output
CH4ODD	68	I	LVC MOS SCHMITT	-	Video4 Field Signal input
VOUT	98	O	-	2mA	Video Vertical Synchronization output
HOUT	99	O	-	2mA	Video Horizontal Synchronization output
DOUT[7:0]	96,95,94,93, 92,89,88,87	O	-	2mA	Video Data output

*入出力の切り替えは、I²C を使用し内部レジスタの設定により行います。

Host Interface

端子名	Pin No.	Type	入力 Level	出力電流	Description
SDA	81	I/O	LVC MOS	2mA	I ² C Data I/O
SCL	80	I	LVC MOS	-	I ² C Clock
INTX	82	O	-	2mA	Interrupt Output
ST[1:0]	86,85	O	-	2mA	Status Output

その他

端子名	Pin No.	Type	入力 Level	出力電流	Description
CONF[3:0]	79,78,4,3	I	LVC MOS SCHMITT	-	System configuration input 電源投入時にシステムを構成する機能を設定します。
GPIO0	8	I/O	LVC MOS SCHMITT	2mA	GPIO0 I ² C スルー機能 SCL(Clock)
GPIO1	7	I/O	LVC MOS SCHMITT	2mA	GPIO1 I ² C スルー機能 SDA(Data)
GPIO2	6	I/O	LVC MOS SCHMITT	2mA	GPIO2 I ² C スルー機能 SCL(Clock)
GPIO3	5	I/O	LVC MOS SCHMITT	2mA	GPIO3 I ² C スルー機能 SDA(Data)
GPIO4	70	I/O	LVC MOS SCHMITT	2mA	GPIO4 I ² C スルー機能 SCL(Clock)
GPIO5	71	I/O	LVC MOS SCHMITT	2mA	GPIO5 I ² C スルー機能 SDA(Data)
GPIO6	72	I/O	LVC MOS SCHMITT	2mA	GPIO6 I ² C スルー機能 SCL(Clock)
GPIO7	73	I/O	LVC MOS SCHMITT	2mA	GPIO7 I ² C スルー機能 SDA(Data)

*GPIO 機能の切り替えは、I²C を使用し内部レジスタの設定により行います。

Test

端子名	Pin No.	Type	入力 Level	出力電流	Description
TESTEN	2	I	LVC MOS	-	IC のテストピンです。VSS に接続してください。

電源

端子名	Pin No.	Type	入力 Level	出力電流	Description
HVDD	75,83, 91,100	P	-	-	I/O 電源 (2.4V~3.6V)
HVDD1	9,25, 34,47	P	-	-	Video 入力 1~3 用 I/O 電源 (2.4V~3.6V)
HVDD4	59,65	P	-	-	Video 入力 4 用 I/O 電源 (2.4V~3.6V)
LVDD	17,38, 74,84	P	-	-	内部 Logic 用電源 (1.8V±0.15V)
VSS	1,18,30, 42,54,64, 76,90	P	-	-	GND

5. Register Map

5. Register Map

5.1 Register Table

アドレス (h)	レジスタ名称	レジスタ略号	初期値	R/W	レジスタサイズ (bit)
システム設定関連レジスタ					
0000	Chip ID レジスタ	SYS_CHIPID	1000h	RO	16
0004~000C	予約				
0010	入力画像 1 設定レジスタ	SYS_CH1INMODE	10000xxxb	R/W	8
0014	入力画像 2 設定レジスタ	SYS_CH2INMODE	00000xxxb	R/W	8
0018	入力画像 3 設定レジスタ	SYS_CH3INMODE	00000xxxb	R/W	8
001C	入力画像 4 設定レジスタ	SYS_CH4INMODE	00000xxxb	R/W	8
0020	ビデオ 1 入力設定レジスタ	SYS_CH1INCONFIG	000x0001b	R/W	8
0024	ビデオ 2 入力設定レジスタ	SYS_CH2INCONFIG	000x0001b	R/W	8
0028	ビデオ 3 入力設定レジスタ	SYS_CH3INCONFIG	000x0001b	R/W	8
002C	ビデオ 4 入力設定レジスタ	SYS_CH4INCONFIG	000x0001b	R/W	8
0030	出力画像設定レジスタ	SYS_OUTMODE	80h	R/W	8
0034	ビデオ出力設定レジスタ	SYS_OUTCONFIG	00000011_000x0000b	R/W	16
0038	出力画像選択レジスタ (固定モード)	SYS_OUTCH	00h	R/W	8
003C	予約				
0040	ビデオ 1 出力サイクル設定レジスタ (スキャンモード)	SYS_CH1OUTCYCLE	30h	R/W	8
0044	ビデオ 2 出力サイクル設定レジスタ (スキャンモード)	SYS_CH2OUTCYCLE	30h	R/W	8
0048	ビデオ 3 出力サイクル設定レジスタ (スキャンモード)	SYS_CH3OUTCYCLE	30h	R/W	8
004C	ビデオ 4 出力サイクル設定レジスタ (スキャンモード)	SYS_CH4OUTCYCLE	30h	R/W	8
0050	ビデオ 1 入力プルダウン制御レジスタ	SYS_CH1PCCTRL	0000h	R/W	16
0054	ビデオ 2 入力プルダウン制御レジスタ	SYS_CH2PCCTRL	0000h	R/W	16
0058	ビデオ 3 入力プルダウン制御レジスタ	SYS_CH3PCCTRL	0000h	R/W	16
005C	ビデオ 4 入力プルダウン制御レジスタ	SYS_CH4PCCTRL	0000h	R/W	16
0060	GPIO 端子プルアップ制御レジスタ	SYS_GPIOPCCTRL	00h	R/W	8
0064	CONF 端子プルダウン制御レジスタ	SYS_CONFPCCTRL	00h	R/W	8
I²C 関連レジスタ					
0400	I ² C 設定レジスタ	I2C_CONTROL	00h	R/W	8
0404	I ² C スレーブアドレス設定レジスタ	I2C_SLAVE_ADRS	0011011xb	R/W	8
0408	ソフトウェアリセットレジスタ	I2C_SOFTRESET	00h	WO	8
040C	I ² C バススルー機能制御レジスタ	I2C_THR_ENABLE	00h	R/W	8
0410	I ² C バススルーアドレス設定レジスタ	I2C_THR_ADRS	00h	R/W	8
0414	I ² C バススルーID 設定レジスタ	I2C_THR_DEVID	00h	R/W	8
0418	予約				
041C	I ² C バススルーホールドカウンタ設定レジスタ	I2C_THR_HOLD	00h	R/W	8
ビデオ入力 1 関連レジスタ					
0800~0804	予約				
0808	ビデオ 1 入力取り込み位置設定レジスタ (X)	VIN1_XSTART	xxh	R/W	8
080C	ビデオ 1 入力取り込み位置設定レジスタ (Y ODD)	VIN1_YSTART_O	01h	R/W	8
0810	ビデオ 1 入力取り込み位置設定レジスタ (Y EVEN)	VIN1_YSTART_E	01h	R/W	8
0814	ビデオ 1 入力割り込み設定レジスタ	VIN1_INTSEL	00h	R/W	8
ビデオ入力 2 関連レジスタ					
0C00~0C04	予約				
0C08	ビデオ 2 入力取り込み位置設定レジスタ (X)	VIN2_XSTART	xxh	R/W	8
0C0C	ビデオ 2 入力取り込み位置設定レジスタ (Y ODD)	VIN2_YSTART_O	01h	R/W	8
0C10	ビデオ 2 入力取り込み位置設定レジスタ (Y EVEN)	VIN2_YSTART_E	01h	R/W	8
0C14	ビデオ 2 入力割り込み設定レジスタ	VIN2_INTSEL	00h	R/W	8
ビデオ入力 3 関連レジスタ					
1000~1004	予約				
1008	ビデオ 3 入力取り込み位置設定レジスタ (X)	VIN3_XSTART	xxh	R/W	8
100C	ビデオ 3 入力取り込み位置設定レジスタ (Y ODD)	VIN3_YSTART_O	01h	R/W	8
1010	ビデオ 3 入力取り込み位置設定レジスタ (Y EVEN)	VIN3_YSTART_E	01h	R/W	8
1014	ビデオ 3 入力割り込み設定レジスタ	VIN3_INTSEL	00h	R/W	8

5. Register Map

アドレス (h)	レジスタ名称	レジスタ略号	初期値	R/W	レジスタサイズ (bit)
ビデオ入力 4 関連レジスタ					
1400~1404	予約				
1408	ビデオ 4 入力取り込み位置設定レジスタ (X)	VIN4_XSTART	xxh	R/W	8
140C	ビデオ 4 入力取り込み位置設定レジスタ (Y ODD)	VIN4_YSTART_O	01h	R/W	8
1410	ビデオ 4 入力取り込み位置設定レジスタ (Y EVEN)	VIN4_YSTART_E	01h	R/W	8
1414	ビデオ 4 入力割り込み設定レジスタ	VIN4_INTSEL	01h	R/W	8
ビデオ出力関連レジスタ					
1800	ビデオ出力 HSYNC フロントポーチ設定レジスタ	VOUT_HF	00h	R/W	8
1804	ビデオ出力 HSYNC 幅設定レジスタ	VOUT_HP	01h	R/W	8
1808	ビデオ出力 HSYNC バックポーチ設定レジスタ	VOUT_HB	00h	R/W	8
180C~181C	予約				
1820	ビデオ出力 X 方向長設定レジスタ 1	VOUT_HT1	xxxxh	R/W	16
1824	ビデオ出力 X 方向長設定レジスタ 2	VOUT_HT2	xxxxh	R/W	16
1828	ビデオ出力 X 方向長設定レジスタ 3	VOUT_HT3	xxxxh	R/W	16
182C	ビデオ出力 X 方向長設定レジスタ 4	VOUT_HT4	xxxxh	R/W	16
1830	ビデオ出力 VSYNC フロントポーチ設定レジスタ	VOUT_VF	0Ah	R/W	8
1834	ビデオ出力 VSYNC 幅設定レジスタ	VOUT_VP	0Ah	R/W	8
1838	ビデオ出力 VSYNC バックポーチ設定レジスタ	VOUT_VB	00h	R/W	8
183C~184C	予約				
エリアセンサ関連レジスタ					
1C00	エリアセンサ設定レジスタ 1	ARS_CONTROL1	00h	R/W	8
1C04	エリアセンサ設定レジスタ 2	ARS_CONTROL2	01h	R/W	8
1C08	エリアセンサ設定レジスタ 3	ARS_CONTROL3	08h	R/W	8
1C0C	エリアセンサ設定レジスタ 4	ARS_CONTROL4	00h	R/W	8
1C10~1C14	予約				
1C18	エリアセンサ X 方向サイズ設定レジスタ	ARS_XSIZE	00h	R/W	8
1C1C	エリアセンサ Y 方向サイズ設定レジスタ	ARS_YSIZE	00h	R/W	8
1C20	エリアセンサ制御レジスタ 1	ARS_SELECT1	00h	R/W	8
1C24	エリアセンサ制御レジスタ 2	ARS_SELECT2	00h	R/W	8
1C28	エリアセンサ制御レジスタ 3	ARS_SELECT3	00h	R/W	8
1C2C	エリアセンサ制御レジスタ 4	ARS_SELECT4	00h	R/W	8
1C30	エリアセンサ制御レジスタ 5	ARS_SELECT5	00h	R/W	8
1C34	エリアセンサ制御レジスタ 6	ARS_SELECT6	00h	R/W	8
1C38~1C3C	予約				
1C40	エリアセンサ割り込み制御レジスタ	ARS_INTCTRL	00h	R/W	8
1C44	エリアセンサ割り込みステータスレジスタ	ARS_INTSTAT	00h	RO	8
1C48~1C5C	予約				
1C60	エリアセンサ割り込み詳細ステータスレジスタ 1	ARS_INT1	00h	RO	8
1C64	エリアセンサ割り込み詳細ステータスレジスタ 2	ARS_INT2	00h	RO	8
1C68	エリアセンサ割り込み詳細ステータスレジスタ 3	ARS_INT3	00h	RO	8
1C6C	エリアセンサ割り込み詳細ステータスレジスタ 4	ARS_INT4	00h	RO	8
1C70	エリアセンサ割り込み詳細ステータスレジスタ 5	ARS_INT5	00h	RO	8
1C74	エリアセンサ割り込み詳細ステータスレジスタ 6	ARS_INT6	00h	RO	8
1C78~1CBC	予約				
インタレース/プログレッシブ変換関連レジスタ					
3000	インタレース/プログレッシブ変換モード設定レジスタ	IPC_MODE	80h	R/W	8
3004~3030	予約				
割り込みコントローラ関連レジスタ					
3800	割り込みステータスレジスタ	INTC_STAT	00h	RO	8
3804	割り込みローステータスレジスタ	INTC_RAWSTAT	00h	RO	8
3808	割り込みイネーブル設定レジスタ	INTC_ENABLE	00h	RO	8
380C	割り込みイネーブルクリアレジスタ	INTC_EN_CLEAR	00h	WO	8
3810~387C	予約				

5. Register Map

アドレス (h)	レジスタ名称	レジスタ略号	初期値	R/W	レジスタサイズ (bit)
3880	割り込みトリガ設定レジスタ	INTC_LEVEL	00h	R/W	8
3884	予約				
3888	トリガ割り込み要因クリアレジスタ	INTC_TRIG_CLEAR	00h	WO	8
GPIO 関連レジスタ					
3C00	GPIO データレジスタ	GPIO_DATA	00h	R/W	8
3C04	GPIO 機能切替レジスタ	GPIO_FUNC	0000h	R/W	16

※ 予約レジスタや記載のないレジスタについては、書き込みを行わないでください。

5.2 Register 説明

Chip ID Register (SYS_CHIPID)							
[0000h] 初期値 = 1000h							Read Only
PRODUCT ID [7:0]							
15	14	13	12	11	10	9	8
Reserved				REVISION CODE[2:0]			
7	6	5	4	3	2	1	0

Bits[15:8] : **Product ID Code**
本 IC では 16 進表記で 10h が埋め込まれています。

Bits[7:3] : **予約**

Bits[2:0] : **Revision Code**
本 IC のレビジョンを示します。最初のチップが REV0 で 00h になります。以下、版を変更するごとに 1 ずつ増えてゆきます。

入力画像 1 設定レジスタ (SYS_CH1INMODE)							
[0010h] 初期値 = 10000xxx _b							Read/Write
EN	Reserved			MODE[2:0]			
7	6	5	4	3	2	1	0

入力画像 2 設定レジスタ (SYS_CH2INMODE)							
[0014h] 初期値 = 00000xxx _b							Read/Write
EN	Reserved			MODE[2:0]			
7	6	5	4	3	2	1	0

入力画像 3 設定レジスタ (SYS_CH3INMODE)							
[0018h] 初期値 = 00000xxx _b							Read/Write
EN	Reserved			MODE[2:0]			
7	6	5	4	3	2	1	0

入力画像 4 設定レジスタ (SYS_CH4INMODE)							
[001Ch] 初期値 = 00000xxx _b							Read/Write
EN	Reserved			MODE[2:0]			
7	6	5	4	3	2	1	0

Bit[7] : **Video Input Enable**
 ビデオ入力のオン/オフを制御します。
 リセット後はビデオ 1 のみオン状態になります。
 0 : ビデオ入力オフ
 1 : ビデオ入力オン

Bits[6:3] : **予約**

Bits[2:0] : **Video Input Mode select**
 ビデオ入力のモードを設定します。
 本ビットは、CONF[1:0]端子によりリセット後の状態が変わります。
 000 : NTSC(720)
 001 : NTSC(704)
 010 : PAL
 011 : 予約
 100 : VGA
 101 : 予約
 110 : 予約
 111 : 予約

5. Register Map

ビデオ 1 入力設定レジスタ (SYS_CH1INCONFIG)							
[0020h] 初期値 = 000x0001b						Read/Write	
Reserved	TYPE[1:0]		601 / 656	ODD_POL	HSYNC_POL	VSYNC_POL	CLK_POL
7	6	5	4	3	2	1	0

ビデオ 2 入力設定レジスタ (SYS_CH2INCONFIG)							
[0024h] 初期値 = 000x0001b						Read/Write	
Reserved	TYPE[1:0]		601 / 656	ODD_POL	HSYNC_POL	VSYNC_POL	CLK_POL
7	6	5	4	3	2	1	0

ビデオ 3 入力設定レジスタ (SYS_CH3INCONFIG)							
[0028h] 初期値 = 000x0001b						Read/Write	
Reserved	TYPE[1:0]		601 / 656	ODD_POL	HSYNC_POL	VSYNC_POL	CLK_POL
7	6	5	4	3	2	1	0

ビデオ 4 入力設定レジスタ (SYS_CH4INCONFIG)							
[002Ch] 初期値 = 000x0001b						Read/Write	
Reserved	TYPE[1:0]		601 / 656	ODD_POL	HSYNC_POL	VSYNC_POL	CLK_POL
7	6	5	4	3	2	1	0

Bit[7] : 予約

Bits[6:5] : **Video Input Data Type**
 バイト単位で入力する YUV データの並び順を設定します。
 00 : (1st)Cb-Y0-Cr-Y1(last) (リセット後はこの状態です。)
 01 : (1st)Cr-Y0-Cb-Y1(last)
 10 : (1st)Y0-Cb-Y1-Cr(last)
 11 : (1st)Y0-Cr-Y1-Cb(last)

Bit[4] : **Video Input Data Format Select**
 ビデオ入力形式を設定します。
 本ビットは、CONF[2]端子によりリセット後の状態が変わります。
 0 : BT601 モード
 1 : BT656 モード

Bit[3] : **ODD Input Polarity**
 ODDIN の極性を設定します。
 0 : 負論理 (リセット後はこの状態です。)
 1 : 正論理

Bit[2] : **Hsync Input Polarity**
 HIN の極性を設定します。
 0 : 負論理 (リセット後はこの状態です。)
 1 : 正論理

Bit[1] : **Vsync Input Polarity**
 VIN の極性を設定します。
 0 : 負論理 (リセット後はこの状態です。)
 1 : 正論理

Bit[0] : **Dot Clock Input Polarity**
 入力クロックの有効エッジを設定します。
 0 : クロックが High から Low に変化したときデータを取り込みます。
 1 : クロックが Low から High に変化したときデータを取り込みます。 (リセット後はこの状態です。)

出力画像設定レジスタ (SYS_OUTMODE)						Read/Write	
[0030h] 初期値 = 80h							
EN			Reserved			MODE[1:0]	
7	6	5	4	3	2	1	0

- Bit[7] : **Video Output Enable**
ビデオ出力のオン/オフを制御します。
0 : ビデオ出力オフ
1 : ビデオ出力オン (リセット後はこの状態です。)
- Bit[6] : **予約 (Write Only)**
必ず“1”を設定してください。
- Bits[5:2] : **予約**
- Bits[1:0] : **Video Output Mode**
ビデオ出力のモードを設定します。
00 : 固定モード (リセット後はこの状態です。)
01 : オードスキャンモード
10 : コンプレスモード
11 : マージモード

5. Register Map

ビデオ出力設定レジスタ (SYS_OUTCONFIG)							
[0034h] 初期値 = 00000011_000x0000b							Read/Write
CH4SEL 15	CH3SEL 14	CH2SEL 13	CH1SEL 12	Reserved 11 10		HSYNC_SEL 9	VSYNC_SEL 8
Reserved 7	TYPE[1:0] 6 5		601 / 656 4	Reserved 3	HSYNC_POL 2	VSYNC_POL 1	Reserved 0

- Bit[15] : **Video 4 Input / Output Select**
ビデオ 4 端子の入出力方向を設定します。
0 : ビデオ入力 (リセット後はこの状態です。)
1 : ビデオ出力
- Bit[14] : **Video 3 Input / Output Select**
ビデオ 3 端子の入出力方向を設定します。
0 : ビデオ入力 (リセット後はこの状態です。)
1 : ビデオ出力
- Bit[13] : **Video 2 Input / Output Select**
ビデオ 2 端子の入出力方向を設定します。
0 : ビデオ入力 (リセット後はこの状態です。)
1 : ビデオ出力
- Bit[12] : **Video 1 Input / Output Select**
ビデオ 1 端子の入出力方向を設定します。
0 : ビデオ入力 (リセット後はこの状態です。)
1 : ビデオ出力
- Bits[11:10] : **予約**
必ず“00”を設定してください。
- Bit[9] : **Hsync Output Select**
HOUT 端子から出力する信号を設定します。
0 : HSYNC 信号
1 : HVALID 信号 (リセット後はこの状態です。)
- Bit[8] : **Vsync Output Select**
VOUT 端子から出力する信号を設定します。
0 : VSYNC 信号
1 : VVALID 信号 (リセット後はこの状態です。)
- Bit[7] : **予約**
- Bits[6:5] : **Video Output Data Type**
バイト単位で出力する YUV データの並び順を設定します。
00 : (1st)Cb-Y0-Cr-Y1(last) (リセット後はこの状態です。)
01 : (1st)Cr-Y0-Cb-Y1(last)
10 : (1st)Y0-Cb-Y1-Cr(last)
11 : (1st)Y0-Cr-Y1-Cb(last)
- Bit[4] : **Video Output Data Format Select**
ビデオ出力形式を設定します。
本ビットは、CONF[2]端子によりリセット後の状態が変わります。
0 : BT601 モード
1 : BT656 モード
- Bit[3] : **予約**

Bit[2] : **Hsync Output Polarity**
 HOUT 端子から出力する信号の極性を設定します。
 0 : 負論理 (リセット後はこの状態です。)
 1 : 正論理

Bit[1] : **Vsync Output Polarity**
 VOUT 端子から出力する信号の極性を設定します。
 0 : 負論理 (リセット後はこの状態です。)
 1 : 正論理

Bit[0] : **予約**

出力画像選択レジスタ (SYS_OUTCH)							Read/Write	
[0038h] 初期値 = 00h								
Reserved							OUTCH[1:0]	
7	6	5	4	3	2	1	0	

Bits[7:2] : **予約**

Bits[1:0] : **Output Channel for Fix Mode**
 固定モード時の出力するビデオ入力を設定します。
 00 : ビデオ 1 (リセット後はこの状態です。)
 01 : ビデオ 2
 10 : ビデオ 3
 11 : ビデオ 4

5. Register Map

ビデオ 1 出力サイクル設定レジスタ (SYS_CH1OUTCYCLE)							
[0040h] 初期値 = 30h							
Read/Write							
CYCLE[7:0]							
7	6	5	4	3	2	1	0

ビデオ 2 出力サイクル設定レジスタ (SYS_CH2OUTCYCLE)							
[0044h] 初期値 = 30h							
Read/Write							
CYCLE[7:0]							
7	6	5	4	3	2	1	0

ビデオ 3 出力サイクル設定レジスタ (SYS_CH3OUTCYCLE)							
[0048h] 初期値 = 30h							
Read/Write							
CYCLE[7:0]							
7	6	5	4	3	2	1	0

ビデオ 4 出力サイクル設定レジスタ (SYS_CH4OUTCYCLE)							
[004Ch] 初期値 = 30h							
Read/Write							
CYCLE[7:0]							
7	6	5	4	3	2	1	0

Bits[7:0] :

Video 1(2, 3, 4) Output Cycle for Auto Scan Mode

オートスキャンモード時の、各ビデオ入力のサイクル数を設定します。

Ex.)0 の時・・・1 画面も出力しないで、次のビデオ入力へ。

1 の時・・・1 画面出力し、次のビデオ入力へ。

2 の時・・・2 画面出力し、次のビデオ入力へ。

ビデオ 1 入力プルダウン制御レジスタ (SYS_CH1PCCTRL)							
[0050h] 初期値 = 0000h							Read/Write
Reserved				CH1PCCTRL[11:0]			
15	14	13	12	11	10	9	8
CH1PCCTRL[11:0]							
7	6	5	4	3	2	1	0

ビデオ 2 入力プルダウン制御レジスタ (SYS_CH2PCCTRL)							
[0054h] 初期値 = 0000h							Read/Write
Reserved				CH2PCCTRL[11:0]			
15	14	13	12	11	10	9	8
CH2PCCTRL[11:0]							
7	6	5	4	3	2	1	0

ビデオ 3 入力プルダウン制御レジスタ (SYS_CH3PCCTRL)							
[0058h] 初期値 = 0000h							Read/Write
Reserved				CH3PCCTRL[11:0]			
15	14	13	12	11	10	9	8
CH3PCCTRL[11:0]							
7	6	5	4	3	2	1	0

ビデオ 4 入力プルダウン制御レジスタ (SYS_CH4PCCTRL)							
[005Ch] 初期値 = 0000h							Read/Write
Reserved				CH4PCCTRL[11:0]			
15	14	13	12	11	10	9	8
CH4PCCTRL[11:0]							
7	6	5	4	3	2	1	0

Bits[15:12] : 予約

Bits[11:0] : **Video 1(2, 3, 4) Pull-Down Control**

ビデオ入力端子内蔵のプルダウン抵抗の接続/切り離しを制御します。各ビットはそれぞれ以下の各端子に対応しています。

- [11] CH1CLK, CH2CLK, CH3CLK, CH4CLK
- [10] CH1ODDIN, CH2ODDIN, CH3ODDIN, CH4ODDIN
- [9] CH1HIN, CH2HIN, CH3HIN, CH4HIN
- [8] CH1VIN, CH2VIN, CH3VIN, CH4VIN
- [7:0] CH1DIN[7:0], CH2DIN[7:0], CH3DIN[7:0], CH4DIN[7:0],

0 : プルダウン抵抗イネーブル (リセット後はこの状態です。)

1 : プルダウン抵抗ディセーブル

5. Register Map

GPIO 端子プルアップ制御レジスタ (SYS_GPIOPCCTRL)							
[0060h] 初期値 = 00h							Read/Write
GPIOPCCTRL[7:0]							
7	6	5	4	3	2	1	0

Bits[11:0] : **GPIO Pull-Up Control**
 GPIO 端子内蔵のプルアップ抵抗の接続／切り離しを制御します。各ビットはそれぞれ GPIO[7:0] の各端子に対応しています。
 0 : プルアップ抵抗イネーブル (リセット後はこの状態です。)
 1 : プルアップ抵抗ディセーブル

CONF 端子プルダウン制御レジスタ (SYS_CONFPCCTRL)							
[0064h] 初期値 = 00h							Read/Write
Reserved				CONFPCCTRL[3:0]			
7	6	5	4	3	2	1	0

Bits[8:4] : **予約**

Bits[3:0] : **CONF Pull-Down Control**
 CONF[3:0]端子内蔵のプルダウン抵抗の接続／切り離しを制御します。各ビットはそれぞれ CONF[3:0]の各端子に対応しています。
 0 : プルダウン抵抗イネーブル (リセット後はこの状態です。)
 1 : プルダウン抵抗ディセーブル

I ² C 設定レジスタ (I2C_CONTROL)						Read/Write	
[0400h] 初期値 = 00h							
Reserved		THR_TYPE	THR_HI	I2C_HI	Reserved	STEP[1:0]	
7	6	5	4	3	2	1	0

- Bits[7:6] : **予約**
必ず“00”を設定してください。
- Bit[5] : **Transform Format Type for Through bus**
Through Bus に接続されたデバイスが対応する転送形式を設定します。
0 : 複合フォーマット (リセット後はこの状態です。)
1 : 通常フォーマット
- Bit[4] : **HIGH drive enable to Through bus**
Through Bus の SDA 信号の H 駆動を High 信号で行うか否かを設定します。
0 : Hz 信号 (リセット後はこの状態です。)
1 : High 信号
- Bit[3] : **HIGH drive enable to I²C bus**
I²C bus の SDA 信号の H 駆動を High 信号で行うか否かを設定します。
0 : Hz 信号 (リセット後はこの状態です。)
1 : High 信号
- Bit[2] : **予約**
必ず“0”を設定してください。
- Bits[1:0] : **Access Step**
連続アクセス時のステップを設定します。
00 : 32 ステップ (リセット後はこの状態です。)
01 : 16 ステップ
10 : 8 ステップ
11 : 予約

I ² C スレーブアドレス設定レジスタ (I2C_SLAVE_ADRS)						Read/Write	
[0404 h] 初期値 = 36h or 37h							
Reserved	SLAVE_ADRS[6:0]						
7	6	5	4	3	2	1	0

- Bit[7] : **予約**
- Bits[6:0] : **Slave Device ID**
本 IC の I²C スレーブアドレスを設定します。Bits[6:1]の初期値は 011011b となります。本レジスタの Bit0 は、リセット解除直後に CONF[3]端子を取り込み初期化されるため、“36h”または“37h”が本 IC の I²C スレーブアドレスとなります。

5. Register Map

ソフトウェアリセットレジスタ (I2C_SOFRST)							
[0408h] 初期値 = -							Write Only
SOFRST [7:0]							
7	6	5	4	3	2	1	0

Bits[7:0] : **Software Reset**
ソフトウェアリセットを発生します。“5Ah”の書き込みによりソフトウェアリセットを発生します。

I²C バススルー機能制御レジスタ (I2C_THR_ENABLE)							
[040Ch] 初期値 = 00h							Read/Write
Reserved							THR_EN
7	6	5	4	3	2	1	0

Bits[7:1] : **予約**

Bit[0] : **Through Bus Enable**
Through Bus Access 許可を制御します。本 bit が “0” の時、Through Bus は Hz 出力状態にあります
0 : ディセーブル (リセット後はこの状態です。)
1 : イネーブル

I²C バススルーアドレス設定レジスタ (I2C_THR_ADRS)							
[0410h] 初期値 = 00h							Read/Write
Reserved	THR_ADRS						
7	6	5	4	3	2	1	0

Bit[7] : **予約**

Bits[6:0] : **Through Bus Address**
Through Bus Access 用の ID を格納するレジスタです。I²C バススルー機能制御レジスタ (I2C_THR_ENABLE [040Ch]) の THR_EN ビットをイネーブルにする前に設定してください。

I²C バススルーID 設定レジスタ (I2C_THR_DEVID)							
[0414h] 初期値 = 00h							Read/Write
Reserved	THR_DEVID[6:0]						
7	6	5	4	3	2	1	0

Bit[7] : **予約**

Bits[6:0] : **Through Bus Device ID**
Through Bus に接続するデバイスの ID を格納するレジスタです。I²C バススルー機能制御レジスタ (I2C_THR_ENABLE [040Ch]) の THR_EN ビットをイネーブルにする前に設定してください。

I ² C バススルーホールドカウンタ設定レジスタ (I2C_THR_HOLD)							Read/Write
[041Ch]	初期値 = 00h						
Reserved	THR_HOLD[6:0]						
7	6	5	4	3	2	1	0

Bit[7] : 予約

Bits[6:0] : **Through Bus Hold Count**

Through Bus のホールド時間調整値を格納するレジスタです。本レジスタ値により以下のホールド時間が確保されます。

Hold 時間 = Clock Cycle 時間 × 本レジスタ値

Ex.) f=25MHz(Clock Cycle=40ns)時、以下の様にホールド時間が確保されます。

設定値 0Dh・・・ホールド時間：約 500ns

設定値 19h・・・ホールド時間：約 1μs

設定値 32h・・・ホールド時間：約 2μs

補足)

Through Bus を使用する場合には、接続するデバイスのホールド時間を確認の上、本レジスタの設定を行ってください。Through Bus を使用しない場合には、初期値を推奨します。

ビデオ 1 入力取り込み位置設定レジスタ (VIN1_XSTART)							Read/Write
[0808h]	初期値 = 01h(CONF[1:0] = 00/10/11 の時), 09h(CONF[1:0] = 01 の時)						
XSTART[7:0]							
7	6	5	4	3	2	1	0

Bits[7:0] : **Horizontal Start**

ビデオ 1 入力の、X 方向の取り込み位置を設定します。BT601 モードの場合、HIN 端子が High (負論理設定の時) になってからの Pixel 数を設定します。BT656 モードの場合、SAV 後の Pixel 数を設定します。必ず“1”以上の値を設定してください。

Ex.) 1の時・・・1 Pixel 目から取り込む。

2の時・・・2 Pixel 目から取り込む。

ビデオ 1 入力取り込み位置設定レジスタ (VIN1_YSTART_O)							Read/Write
[080Ch]	初期値 = 01h						
YSTART_O[7:0]							
7	6	5	4	3	2	1	0

Bits[7:0] : **Odd Line Vertical Start**

ビデオ 1 入力の、インタレース奇数フィールド (またはプログレッシブ) の Y 方向の取り込み位置を設定します。BT601 モードの場合、VIN 端子が High (負論理設定の場合) になってからの HSYNC 数を設定します。BT656 モードの場合、V ビット が“0”後の SAV 数を設定します。必ず“1”以上の値を設定してください。

Ex.) 1の時・・・1 Line 目から取り込む

2の時・・・2 Line 目から取り込む

5. Register Map

ビデオ 1 入力取り込み位置設定レジスタ (VIN1_YSTART_E)							
[0810h] 初期値 = 01h							Read/Write
YSTART_E[7:0]							
7	6	5	4	3	2	1	0

Bits[7:0] :

Even Line Vertical Start

ビデオ 1 入力の、インタレース偶数フィールドの Y 方向の取り込み位置を設定します。BT601 モードの場合、VIN 端子が High (負論理設定の場合) になってからの HSYNC 数を設定します。BT656 モードの場合、V ビットが “0” 後の SAV 数を設定します。必ず “1” 以上の値を設定してください。

Ex.) 1 の時・・・1 Line 目から取り込む。
2 の時・・・2 Line 目から取り込む。

ビデオ 1 入力割り込み設定レジスタ (VIN1_INTSEL)							
[0814h] 初期値 = 00h							Read/Write
Reserved						HSYNC	VSYNC
7	6	5	4	3	2	1	0

Bits[8:2] :

予約

必ず “0” を設定してください。

Bit[1] :

Hsync Interrupt Enable

ビデオ 1 入力の、Hsync による割り込みを制御します。BT601 モードの場合、HIN 端子が Low→High (負論理設定の時) のタイミングで割り込みを発生します。BT656 モードの場合、H ビットが “1” → “0” のタイミングで割り込みを発生します。

0 : ディセーブル (リセット後はこの状態です。)
1 : イネーブル

Bit[0] :

Vsync Interrupt Enable

ビデオ 1 入力の、Vsync による割り込みを制御します。BT601 モードの場合、VIN 端子が Low→High (負論理設定の時) のタイミングで割り込みを発生します。BT656 モードの場合、V ビットが “1” → “0” のタイミングで割り込みを発生します。

0 : ディセーブル (リセット後はこの状態です。)
1 : イネーブル

ビデオ 2 入力取り込み位置設定レジスタ (VIN2_XSTART)							
[0C08h] 初期値 = 01h(CONF[1:0] = 00/10/11 の時), 09h(CONF[1:0] = 01 の時)							Read/Write
XSTART[7:0]							
7	6	5	4	3	2	1	0

Bits[7:0] :

Horizontal Start

ビデオ 2 入力の、X 方向の取り込み位置を設定します。BT601 モードの場合、HIN 端子が High (負論理設定の場合) になってからの Pixel 数を設定します。BT656 モードの場合、SAV 後の Pixel 数を設定します。必ず “1” 以上の値を設定してください。

Ex.) 1 の時・・・1 Pixel 目から取り込む。
2 の時・・・2 Pixel 目から取り込む。

ビデオ 2 入力取り込み位置設定レジスタ (VIN2_YSTART_O)							Read/Write
[0C0Ch] 初期値 = 01h							
YSTART_O[7:0]							
7	6	5	4	3	2	1	0

- Bits[7:0] : **Odd Line Vertical Start**
 ビデオ 2 入力の、インタレース奇数フィールドの（またはプログレッシブ）Y 方向の取り込み位置を設定します。BT601 モードの場合、VIN 端子が High（負論理設定の場合）になってからの HSYNC 数を設定します。BT656 モードの場合、V ビットが“0”後の SAV 数を設定します。必ず“1”以上の値を設定してください。
 Ex.) 1 の時・・・1 Line 目から取り込む。
 2 の時・・・2 Line 目から取り込む。

ビデオ 2 入力取り込み位置設定レジスタ (VIN2_YSTART_E)							Read/Write
[0C10h] 初期値 = 01h							
YSTART_E[7:0]							
7	6	5	4	3	2	1	0

- Bits[7:0] : **Even Line Vertical Start**
 ビデオ 2 入力の、インタレース偶数フィールドの Y 方向の取り込み位置を設定します。BT601 モードの場合、VIN 端子が High（負論理設定の場合）になってからの HSYNC 数を設定します。BT656 モードの場合、V ビットが“0”後の SAV 数を設定します。必ず“1”以上の値を設定してください。
 Ex.) 1 の時・・・1 Line 目から取り込む。
 2 の時・・・2 Line 目から取り込む。

ビデオ 2 入力割り込み設定レジスタ (VIN2_INTSEL)							Read/Write	
[0C14h] 初期値 = 00h								
Reserved						HSYNC	VSYNC	
7	6	5	4	3	2	1	0	

- Bits[8:2] : **予約**
 必ず“0”を設定してください。
- Bit[1] : **Hsync Interrupt Enable**
 ビデオ 2 入力の、Hsync による割り込みを制御します。BT601 モードの場合、HIN 端子が Low→High（負論理設定の時）のタイミングで割り込みを発生します。BT656 モードの場合、H ビットが“1”→“0”のタイミングで割り込みを発生します。
 0 : ディセーブル（リセット後はこの状態です。）
 1 : イネーブル
- Bit[0] : **Vsync Interrupt Enable**
 ビデオ 2 入力の、Vsync による割り込みを制御します。BT601 モードの場合、VIN 端子が Low→High（負論理設定の時）のタイミングで割り込みを発生します。BT656 モードの場合、V ビットが“1”→“0”のタイミングで割り込みを発生します。
 0 : ディセーブル（リセット後はこの状態です。）
 1 : イネーブル

5. Register Map

ビデオ 3 入力取り込み位置設定レジスタ (VIN3_XSTART)							
[1008h]	初期値 = 01h(CONF[1:0] = 00/10/11 の時), 09h(CONF[1:0] = 01 の時)						Read/Write
XSTART[7:0]							
7	6	5	4	3	2	1	0

Bits[7:0] : **Horizontal Start**
 ビデオ 3 入力の、X 方向の取り込み位置を設定します。BT601 モードの場合、HIN 端子が High (負論理設定の時) になってからの Pixel 数を設定します。BT656 モードの場合、SAV 後の Pixel 数を設定します。必ず“1”以上の値を設定してください。
 Ex.) 1 の時・・・1 Pixel 目から取り込む。
 2 の時・・・2 Pixel 目から取り込む。

ビデオ 3 入力取り込み位置設定レジスタ (VIN3_YSTART_O)							
[100Ch]	初期値 = 01h						Read/Write
YSTART_O[7:0]							
7	6	5	4	3	2	1	0

Bits[7:0] : **Odd Line Vertical Start**
 ビデオ 3 入力の、インタレース奇数フィールド (またはプログレッシブ) の Y 方向の取り込み位置を設定します。BT601 モードの場合、VIN 端子が High (負論理設定の場合) になってからの HSYNC 数を設定します。BT656 モードの場合、V ビット が“0”後の SAV 数を設定します。必ず“1”以上の値を設定してください。
 Ex.) 1 の時・・・1 Line 目から取り込む。
 2 の時・・・2 Line 目から取り込む。

ビデオ 3 入力取り込み位置設定レジスタ (VIN3_YSTART_E)							
[1010h]	初期値 = 01h						Read/Write
YSTART_E[7:0]							
7	6	5	4	3	2	1	0

Bits[7:0] : **Even Line Vertical Start**
 ビデオ 3 入力の、インタレース偶数フィールドの Y 方向の取り込み位置を設定します。BT601 モードの場合、VIN 端子が High (負論理設定の場合) になってからの HSYNC 数を設定します。BT656 モードの場合、V ビットが“0”後の SAV 数を設定します。必ず“1”以上の値を設定してください。
 Ex.) 1 の時・・・1 Line 目から取り込む。
 2 の時・・・2 Line 目から取り込む。

ビデオ 3 入力割り込み設定レジスタ (VIN3_INTSEL)							Read/Write	
[1014h] 初期値 = 00h							HSYNC	VSYNC
Reserved							1	0
7	6	5	4	3	2			

Bits[8:2] : **予約**
必ず“0”を設定してください。

Bit[1] : **Hsync Interrupt Enable**
ビデオ 3 入力の、Hsync による割り込みを制御します。BT601 モードの場合、HIN 端子が Low→High (負論理設定の時) のタイミングで割り込みを発生します。BT656 モードの場合、H ビットが“1”→“0”のタイミングで割り込みを発生します。
0 : ディセーブル (リセット後はこの状態です。)
1 : イネーブル

Bit[0] : **Vsync Interrupt Enable**
ビデオ 3 入力の、Vsync による割り込みを制御します。BT601 モードの場合、VIN 端子が Low→High (負論理設定の時) のタイミングで割り込みを発生します。BT656 モードの場合、V ビットが“1”→“0”のタイミングで割り込みを発生します。
0 : ディセーブル (リセット後はこの状態です。)
1 : イネーブル

ビデオ 4 入力取り込み位置設定レジスタ (VIN4_XSTART)								Read/Write
[1408h] 初期値 = 01h(CONF[1:0] = 00/10/11 の時), 09h(CONF[1:0] = 01 の時)								
XSTART[7:0]								
7	6	5	4	3	2	1	0	

Bits[7:0] : **Horizontal Start**
ビデオ 4 入力の、X 方向の取り込み位置を設定します。BT601 モードの場合、HIN 端子が High (負論理設定の時) になってからの Pixel 数を設定します。BT656 モードの場合、SAV 後の Pixel 数を設定します。必ず“1”以上の値を設定してください。
Ex.) 1 の時・・・1 Pixel 目から取り込む。
2 の時・・・2 Pixel 目から取り込む。

ビデオ 4 入力取り込み位置設定レジスタ (VIN4_YSTART_O)								Read/Write
[140Ch] 初期値 = 01h								
YSTART_O[7:0]								
7	6	5	4	3	2	1	0	

Bits[7:0] : **Odd Line Vertical Start**
ビデオ 4 入力の、インタレース奇数フィールド (またはプログレッシブ) の Y 方向の取り込み位置を設定します。BT601 モードの場合、VIN 端子が High (負論理設定の場合) になってからの HSYNC 数を設定します。BT656 モードの場合、V ビットが“0”後の SAV 数を設定します。必ず“1”以上の値を設定してください。
Ex.) 1 の時・・・1 Line 目から取り込む。
2 の時・・・2 Line 目から取り込む。

5. Register Map

ビデオ 4 入力取り込み位置設定レジスタ (VIN4_YSTART_E)							
[1410h] 初期値 = 01h							Read/Write
YSTART_E[7:0]							
7	6	5	4	3	2	1	0

Bits[7:0] :

Even Line Vertical Start

ビデオ 4 入力の、インタレース偶数フィールドの Y 方向の取り込み位置を設定します。BT601 モードの場合、VIN 端子が High (負論理設定の場合) になってからの HSYNC 数を設定します。BT656 モードの場合、V ビットが “0” 後の SAV 数を設定します。必ず “1” 以上の値を設定してください。

Ex.) 1 の時・・・1 Line 目から取り込む。
2 の時・・・2 Line 目から取り込む。

ビデオ 4 入力割り込み設定レジスタ (VIN4_INTSEL)							
[1414h] 初期値 = 00h							Read/Write
Reserved						HSYNC	VSYNC
7	6	5	4	3	2	1	0

Bits[8:2] :

予約

必ず “0” を設定してください。

Bit[1] :

Hsync Interrupt Enable

ビデオ 4 入力の、Hsync による割り込みを制御します。BT601 モードの場合、HIN 端子が Low→High (負論理設定の時) のタイミングで割り込みを発生します。BT656 モードの場合、H ビットが “1” → “0” のタイミングで割り込みを発生します。

0 : ディセーブル (リセット後はこの状態です。)
1 : イネーブル

Bit[0] :

Vsync Interrupt Enable

ビデオ 4 入力の、Vsync による割り込みを制御します。BT601 モードの場合、VIN 端子が Low→High (負論理設定の時) のタイミングで割り込みを発生します。BT656 モードの場合、V ビットが “1” → “0” のタイミングで割り込みを発生します。

0 : ディセーブル (リセット後はこの状態です。)
1 : イネーブル

ビデオ出力 HSYNC フロントポーチ設定レジスタ (VOUT_HF)							
[1800h] 初期値 = 00h							Read/Write
HF[7:0]							
7	6	5	4	3	2	1	0

Bits[7:0] :

Hsync Front Porch

ビデオ出力の Hsync フロントポーチを、Pixel 単位で設定します。

ビデオ出力 HSYNC 幅設定レジスタ (VOUT_HP)									
[1804h]	初期値 = 01h						Read/Write		
7	6	5	4	HP[7:0]		3	2	1	0

Bits[7:0] : **Hsync Width**
 ビデオ出力の Hsync 幅を、Pixel 単位で設定します。必ず“1”以上の値を設定してください。

ビデオ出力 HSYNC バックポーチ設定レジスタ (VOUT_HB)									
[1808h]	初期値 = 00h						Read/Write		
7	6	5	4	HB[7:0]		3	2	1	0

Bits[7:0] : **Hsync Back Porch**
 ビデオ出力の、Hsync バックポーチを、Pixel 単位で設定します。

5. Register Map

ビデオ 1 出力 X 方向長設定レジスタ (VOUT_HT1)							
[1820h] 初期値 = 031Ah(CONF[1:0] = 00/01 の時), 0320h (CONF[1:0] = 10/11 の時)							Read/Write
Reserved				HT1[10:0]			
15	14	13	12	11	10	9	8
HT1[10:0]							
7	6	5	4	3	2	1	0

ビデオ 2 出力 X 方向長設定レジスタ (VOUT_HT2)							
[1824h] 初期値 = 031Ah(CONF[1:0] = 00/01 の時), 0320h (CONF[1:0] = 10/11 の時)							Read/Write
Reserved				HT2[10:0]			
15	14	13	12	11	10	9	8
HT2[10:0]							
7	6	5	4	3	2	1	0

ビデオ 3 出力 X 方向長設定レジスタ (VOUT_HT3)							
[1828h] 初期値 = 031Ah(CONF[1:0] = 00/01 の時), 0320h (CONF[1:0] = 10/11 の時)							Read/Write
Reserved				HT3[10:0]			
15	14	13	12	11	10	9	8
HT3[10:0]							
7	6	5	4	3	2	1	0

ビデオ 4 出力 X 方向長設定レジスタ (VOUT_HT4)							
[182Ch] 初期値 = 031Ah(CONF[1:0] = 00/01 の時), 0320h (CONF[1:0] = 10/11 の時)							Read/Write
Reserved				HT4[10:0]			
15	14	13	12	11	10	9	8
HT4[10:0]							
7	6	5	4	3	2	1	0

Bits[15:11] : 予約

Bits[10:0] : **Horizontal Total Pixel**

各ビデオ出力の X 方向長を、Pixel 単位で設定します。ビデオ出力モードごと、以下のことを参考に値を設定してください。

●ビデオ出力モードが、固定モードまたはオートスキャンモードまたはマージモードの時
ビデオ入力からの 1Line 分の入力時間と、同じ時間になる値を設定してください。

Ex.) BT601 NTSC 入力で、CLKIN クロック周波数が 25MHz の場合
 $858[\text{Pixel}] / 27[\text{MHz}] \times 25[\text{MHz}] = 794[\text{Pixel}]$

●ビデオ出力モードが、コンプレスモードの時
ビデオ入力からの 1/2Line 分の入力時間と、同じ時間になる値を設定してください。

Ex.) BT601 PAL 入力で、CLKIN クロック周波数の場合
 $864[\text{Pixel}] / 27[\text{MHz}] / 2 \times 25[\text{MHz}] = 400[\text{Pixel}]$

ビデオ出力 VSYNC フロントポーチ設定レジスタ (VOUT_VF)									
[1830h]	初期値 = 0Ah						Read/Write		
7	6	5	4	VF[7:0]		3	2	1	0

Bits[7:0] : **Vsync Front Porch**
 ビデオ出力の Vsync フロントポーチを、Line 単位で設定します。必ず“1”以上の値を設定してください。

ビデオ出力 VSYNC 幅設定レジスタ (VOUT_VP)									
[1834h]	初期値 = 0Ah						Read/Write		
7	6	5	4	VP[7:0]		3	2	1	0

Bits[7:0] : **Vsync Width**
 ビデオ出力の Vsync 幅を、Line 単位で設定します。必ず“1”以上の値を設定してください。

ビデオ出力 VSYNC バックポーチ設定レジスタ (VOUT_VB)									
[1838h]	初期値 = 00						Read/Write		
7	6	5	4	VB[7:0]		3	2	1	0

Bits[7:0] : **Vsync Back Porch**
 ビデオ出力の Vsync バックポーチを、Line 単位で設定します。

5. Register Map

エリアセンサ設定レジスタ 1 (ARS_CONTROL1)							
[1C00h] 初期値 = 00h							Read/Write
SWRST	Reserved				ARSDS[1:0]		ARSEN
7	6	5	4	3	2	1	0

- Bit[7] : **ARS Software Reset (Write Only)**
 エリアセンサのソフトウェアリセットです。
 0 : 変化なし (リセット後はこの状態です。)
 1 : エリアセンサモジュールをリセット
- Bits[6:3] : **予約**
- Bits[2:1] : **Data select**
 画像イメージの YUV 成分のどの成分を積算に使用するかを設定します。
 00 : Y0 を積算 (リセット後はこの状態です。)
 01 : Y1 を積算
 10 : U を積算
 11 : V を積算
- Bit[0] : **ARS Enable**
 エリアセンサを制御します。このビットに“1”をライトすると次のフレームから積算を開始します。
 00 : エリアセンサディセーブル (リセット後はこの状態です。)
 01 : エリアセンサイネーブル

エリアセンサ設定レジスタ 2 (ARS_CONTROL2)							
[1C04h] 初期値 = 01h							Read/Write
Reserved				ARSMCC[4:0]			
7	6	5	4	3	2	1	0

- Bits[7:5] : **予約**
 必ず“0”を設定してください。
- Bits[4:0] : **ARS Multiplying Compare Cycle**
 積算周期を設定します。ここで設定した周期で、ビデオ入力から送られてくる画像イメージの YUV 成分を積算し、積算レジスタに保存し、新しい画像イメージの YUV 成分の積算値と積算レジスタ内の前の積算値を比較します。
 00000 : 積算しない
 00001 : 毎フレーム積算 (リセット後はこの状態です。)
 00010 : 2 フレームごとに積算
 :
 111111 : 31 フレームごとに積算

エリアセンサ設定レジスタ 3 (ARS_CONTROL3)					Read/Write	
[1C08h] 初期値 = 08h						
ARSFRN	ARSCRT[2:0]			ARSODM	Reserved	ARSCSL[1:0]
7	6	5	4	3	2	1 0

Bit[7] : **ARS Free Run mode**
 動作モードを設定します。
 0 : 検出したら比較を止めます。(リセット後はこの状態です。)
 1 : 比較をしつづけます。

Bits[6:4] : **ARS Change Rate**
 検出する変化量を設定します。
 000 : 1.5% (リセット後はこの状態です。)
 001 : 3%
 010 : 6%
 011 : 13%
 100 : 25%
 101 : 50%
 110 : 予約
 111 : Control Register 4 設定値以上

Bit[3] : **ARS Sampling Field Mode**
 積算するフィールドを設定します。
 0 : 奇数フィールド
 1 : 偶数フィールド (リセット後はこの状態です。)

Bit[2] : **予約**

Bits[1:0] : **ARS In-Timing Module (Camera) Select**
 どの入力の画像データを積算に使用するかを設定します。
 00 : ビデオ 1 (リセット後はこの状態です。)
 01 : ビデオ 2
 10 : ビデオ 3
 11 : ビデオ 4

エリアセンサ設定レジスタ 4 (ARS_CONTROL4)							Read/Write
[1C0Ch] 初期値 = 00h							
ARSCUR[7:0]							
7	6	5	4	3	2	1	0

Bits[7:0] : **ARS Change Upper Rate**
 検出する変化量を設定します。

5. Register Map

エリアセンサ X 方向サイズ設定レジスタ (ARS_XSIZE)							
[1C18h] 初期値 = 00h							Read/Write
ARSXSR[7:0]							
7	6	5	4	3	2	1	0

Bits[7:0] : **ARS Divided Area X Size**
 検出エリアの X 方向サイズを設定します。
 Ex.) NTSC 720/8 = 90(Dec.) = 5A(Hex.)
 PAL 720/8 = 90(Dec.) = 5A(Hex.)
 VGA 640/8 = 80(Dec.) = 50(Hex.)

エリアセンサ Y 方向サイズ設定レジスタ (ARS_YSIZE)							
[1C1Ch] 初期値 = 00h							Read/Write
ARSYSR[7:0]							
7	6	5	4	3	2	1	0

Bits[7:0] : **ARS Divided Area Y Size**
 検出エリアの Y 方向サイズを設定します。
 Ex.) NTSC 480/6 = 80(Dec.) = 50(Hex.)
 PAL 576/6 = 96(Dec.) = 60(Hex.)
 VGA 480/6 = 80(Dec.) = 50(Hex.)

エリアセンサ制御レジスタ 1-6 (ARS_SELECT1-6)							Read/Write
[1C20h]~[1C34h] 初期値 = 00h							
ARSA07	ARSA06	ARSA05	ARSA04	ARSA03	ARSA02	ARSA01	ARSA00
7	6	5	4	3	2	1	0

各分割エリアで検出をするエリアを選択します。複数エリアを選択可能です。

- Bit[7] : **ARS Compare Area07 select (same 17,27,37,47,57)**
 0 : 検出をしない。(リセット後はこの状態です。)
 1 : Area07 の検出をする。
- Bit[6] : **ARS Compare Area06 select (same 16,26,36,46,56)**
 0 : 検出をしない。(リセット後はこの状態です。)
 1 : Area06 の検出をする。
- Bit[5] : **ARS Compare Area05 select (same 15,25,35,45,55)**
 0 : 検出をしない。(リセット後はこの状態です。)
 1 : Area05 の検出をする。
- Bit[4] : **ARS Compare Area04 select (same 14,24,34,44,54)**
 0 : 検出をしない。(リセット後はこの状態です。)
 1 : Area04 の検出をする。
- Bit[3] : **ARS Compare Area03 select (same 13,23,33,43,53)**
 0 : 検出をしない。(リセット後はこの状態です。)
 1 : Area03 の検出をする。
- Bit[2] : **ARS Compare Area02 select (same 12,22,32,42,52)**
 0 : 検出をしない。(リセット後はこの状態です。)
 1 : Area02 の検出をする。
- Bit[1] : **ARS Compare Area01 select (same 11,21,31,41,51)**
 0 : 検出をしない。(リセット後はこの状態です。)
 1 : Area01 の検出をする。
- Bit[0] : **ARS Compare Area00 select (same 10,20,30,40,50)**
 0 : 検出をしない。(リセット後はこの状態です。)
 1 : Area00 の検出をする。

5. Register Map

エリアセンサ割り込み制御レジスタ (ARS_INTCTRL)							Read/Write
[1C40h] 初期値 = 00h							
ARSINE 7	6	5	4	3	2	1	ARSDTC 0

Bit[7] : **ARS Interrupt Enable**
 検出による割り込みの制御をします。
 0 : ディセーブル (リセット後はこの状態です。)
 1 : イネーブル

Bits[6:1] : **予約**

Bit[0] : **ARS Detect signal Clear(Write Only)**
 “1” を書き込むことで、割り込み信号をクリアします。

エリアセンサ割り込みステータスレジスタ (ARS_INTSTAT)							Read Only
[1C44h] 初期値 = 00h							
ARSINT 7	Reserved 6	ARSIH5 5	ARSIH4 4	ARSIH3 3	ARSIH2 2	ARSIH1 1	ARSIH0 0

Bit[7] : **ARS Interrupt**
 全検出エリアの内のどこかで、検出したかどうかを示します。
 0 : 未検出
 1 : 検出

Bit[6] : **予約**

Bit[5] : **ARS Interrupt Horizontal direction 5**
 0 : Area05 又は 15 又は 25 又は 35 又は 45 又は 55 で未検出
 1 : Area05 又は 15 又は 25 又は 35 又は 45 又は 55 で検出

Bit[4] : **ARS Interrupt Horizontal direction 4**
 0 : Area04 又は 14 又は 24 又は 34 又は 44 又は 54 で未検出
 1 : Area04 又は 14 又は 24 又は 34 又は 44 又は 54 で検出

Bit[3] : **ARS Interrupt Horizontal direction 3**
 0 : Area03 又は 13 又は 23 又は 33 又は 43 又は 53 で未検出
 1 : Area03 又は 13 又は 23 又は 33 又は 43 又は 53 で検出

Bit[2] : **ARS Interrupt Horizontal direction 2**
 0 : Area02 又は 12 又は 22 又は 32 又は 42 又は 52 で未検出
 1 : Area02 又は 12 又は 22 又は 32 又は 42 又は 52 で検出

Bit[1] : **ARS Interrupt Horizontal direction 1**
 0 : Area01 又は 11 又は 21 又は 31 又は 41 又は 51 で未検出
 1 : Area01 又は 11 又は 21 又は 31 又は 41 又は 51 で検出

Bit[0] : **ARS Interrupt Horizontal direction 0**
 0 : Area00 又は 10 又は 20 又は 30 又は 40 又は 50 で未検出
 1 : Area00 又は 10 又は 20 又は 30 又は 40 又は 50 で検出

エリアセンサ割り込み詳細ステータスレジスタ 1-6 (ARS_INT1-6)							Read Only
[1C60h]~[1C74h] 初期値 = 00h							
ARSD07	ARSD06	ARSD05	ARSD04	ARSD03	ARSD02	ARSD01	ARSD00
7	6	5	4	3	2	1	0

Bit[7] : **ARS Area07 Interrupt occurred (same 17,27,37,47,57)**

0 : Area07 で未検出

1 : Area07 で検出

Bits[6] : **ARS Area06 Interrupt occurred (same 16,26,36,46,56)**

0 : Area06 で未検出

1 : Area06 で検出

Bit[5] : **ARS Area05 Interrupt occurred (same 15,25,35,45,55)**

0 : Area05 で未検出

1 : Area05 で検出

Bit[4] : **ARS Area04 Interrupt occurred (same 14,24,34,44,54)**

0 : Area04 で未検出

1 : Area04 で検出

Bit[3] : **ARS Area03 Interrupt occurred (same 13,23,33,43,53)**

0 : Area03 で未検出

1 : Area03 で検出

Bit[2] : **ARS Area02 Interrupt occurred (same 12,22,32,42,52)**

0 : Area02 で未検出

1 : Area02 で検出

Bit[1] : **ARS Area01 Interrupt occurred (same 11,21,31,41,51)**

0 : Area01 で未検出

1 : Area01 で検出

Bit[0] : **ARS Area00 Interrupt occurred (same 10,20,30,40,50)**

0 : Area00 で未検出

1 : Area00 で検出

5. Register Map

インタレース/プログレッシブ変換モード設定レジスタ (IPC_MODE)							Read/Write	
[3000h]	初期値 = 80h							
EN	Reserved			MODE[1:0]				
7	6	5	4	3	2	1	0	

Bit[7] : **IPC Enable**
インタレース/プログレッシブ変換のオン/オフを制御します。本 IC では、必ず“1”に設定してください。
0 : オフ
1 : オン (リセット後はこの状態です。)

Bits[6:2] : **予約**

Bits[1:0] : **Mode**
インタレース/プログレッシブ変換モードを設定します。
00 : Weave Mode (リセット後はこの状態です。)
01 : Bob Mode
10 : Interpolation Mode
11 : 予約

割り込みステータスレジスタ (INTC_STAT)						Read Only	
[3800h]		初期値 = 00h					
Reserved		ARSSTAT	VIN4STAT	VIN3STAT	VIN2STAT	VIN1STAT	
7	6	5	4	3	2	1	0

Bits[7:5] : **予約**

Bit[4] : **ARS Interrupt Status**
 エリアセンサからの割り込み要求の発生状態（マスク後）を示します。詳細は、エリアセンサ割り込みステータスレジスタ（ARS_INTSTAT [1C44h]）やエリアセンサ割り込み詳細ステータスレジスタ（ARS_INT1-6 [1C60h]～[1C74h]）で示します。
 0 : 割り込み要求なし
 1 : 割り込み要求あり

Bit[3] : **Video4 Interrupt Status**
 ビデオ4入力からの割り込み要求の発生状態（マスク後）を示します。
 0 : 割り込み要求なし
 1 : 割り込み要求あり

Bit[2] : **Video3 Interrupt Status**
 ビデオ3入力からの割り込み要求の発生状態（マスク後）を示します。
 0 : 割り込み要求なし
 1 : 割り込み要求あり

Bit[1] : **Video2 Interrupt Status**
 ビデオ2入力からの割り込み要求の発生状態（マスク後）を示します。
 0 : 割り込み要求なし
 1 : 割り込み要求あり

Bit[0] : **Video1 Interrupt Status**
 ビデオ1入力からの割り込み要求の発生状態（マスク後）を示します。
 0 : 割り込み要求なし
 1 : 割り込み要求あり

これらのステータスビットは、割り込みイネーブル設定レジスタ (INTC_ENABLE [3808h]) で割り込みを許可されているユニットからの割り込み状態を示します。割り込みを禁止したユニットからの割り込み要求が発生していても、そのビットは“1”にはなりません。“1”にセットされている割り込み要求は、CPUに送られます。これらのビットは、割り込みローステータスレジスタの対応するビットをクリアすることによって“0”に戻ります。

5. Register Map

割り込みローステータスレジスタ (INTC_RAWSTAT)							Read Only
[3804h] 初期値 = 00h							
Reserved			ARSRRAWSTAT	VIN4RAWSTAT	VIN3RAWSTAT	VIN2RAWSTAT	VIN1RAWSTAT
7	6	5	4	3	2	1	0

Bits[7:5] : 予約

Bit[4] : **ARS Interrupt Pre-MASK Status**

エリアセンサからの割り込み要因の発生状態（マスク前）を示します。詳細は、エリアセンサ割り込みステータスレジスタ (ARS_INTSTAT [1C44h]) やエリアセンサ割り込み詳細ステータスレジスタ (ARS_INT1-6 [1C60h]~[1C74h]) で示します。

0 : 割り込み要因なし

1 : 割り込み要因あり

Bit[3] : **Video4 Interrupt Pre-MASK Status**

ビデオ 4 入力からの割り込み要因の発生状態（マスク前）を示します。

0 : 割り込み要因なし

1 : 割り込み要因あり

Bit[2] : **Video3 Interrupt Pre-MASK Status**

ビデオ 3 入力からの割り込み要因の発生状態（マスク前）を示します。

0 : 割り込み要因なし

1 : 割り込み要因あり

Bit[1] : **Video2 Interrupt Pre-MASK Status**

ビデオ 2 入力からの割り込み要因の発生状態（マスク前）を示します。

0 : 割り込み要因なし

1 : 割り込み要因あり

Bit[0] : **Video1 Interrupt Pre-MASK Status**

ビデオ 1 入力からの割り込み要因の発生状態（マスク前）を示します。

0 : 割り込み要因なし

1 : 割り込み要因あり

これらのステータスビットは、割り込みイネーブル設定レジスタ (INTC_ENABLE [3808h]) で割り込みをマスクする前の割り込みを許可されているユニットからの割り込み状態を示します。割り込みを禁止したユニットで割り込み要因が発生している場合も、ビットが“1”になります。レベルトリガ割り込みの場合、これらのビットは各ユニットの割り込みフラグをクリアすることによって“0”に戻ります。エッジトリガ割り込みの場合は、トリガ割り込み要因クリアレジスタ (INTC_TRIG_CLEAR [3888h]) の対応するビットに“1”を書き込むことによって“0”に戻ります。

割り込みイネーブル設定レジスタ (INTC_ENABLE)							Read/Write
[3808h]	初期値 = 00h						
7	Reserved		ARSEN	VIN4EN	VIN3EN	VIN2EN	VIN1EN
	6	5	4	3	2	1	0

- Bits[7:5] : **予約**
必ず“0”を設定してください。
- Bit[4] : **ARS Interrupt Enable**
エリアセンサからの割り込み要求入力を制御します。詳細設定は、エリアセンサ割り込み制御レジスタ (ARS_INTCTRL [1C40h]) で行います。
0 (r) : 割り込み要求禁止状態 (リセット後はこの状態です。)
1 (r) : 割り込み要求許可状態
0 (w) : 無効
1 (w) : 割り込み要求入力を許可
- Bit[3] : **Video4 Interrupt Enable**
ビデオ 4 入力からの割り込み要求入力を制御します。詳細設定は、ビデオ 1 入力割り込み設定レジスタ (VIN4_INTSEL [1414h]) で行います。
0 (r) : 割り込み要求禁止状態 (リセット後はこの状態です。)
1 (r) : 割り込み要求許可状態
0 (w) : 無効
1 (w) : 割り込み要求入力を許可
- Bit[2] : **Video3 Interrupt Enable**
ビデオ 3 入力からの割り込み要求入力を制御します。詳細設定は、ビデオ 1 入力割り込み設定レジスタ (VIN3_INTSEL [1014h]) で行います。
0 (r) : 割り込み要求禁止状態 (リセット後はこの状態です。)
1 (r) : 割り込み要求許可状態
0 (w) : 無効
1 (w) : 割り込み要求入力を許可
- Bit[1] : **Video2 Interrupt Enable**
ビデオ 2 入力からの割り込み要求入力を制御します。詳細設定は、ビデオ 1 入力割り込み設定レジスタ (VIN2_INTSEL [0C14h]) で行います。
0 (r) : 割り込み要求禁止状態 (リセット後はこの状態です。)
1 (r) : 割り込み要求許可状態
0 (w) : 無効
1 (w) : 割り込み要求入力を許可
- Bit[0] : **Video1 Interrupt Enable**
ビデオ 1 入力からの割り込み要求入力を制御します。詳細設定は、ビデオ 1 入力割り込み設定レジスタ (VIN1_INTSEL [0814h]) で行います。
0 (r) : 割り込み要求禁止状態 (リセット後はこの状態です。)
1 (r) : 割り込み要求許可状態
0 (w) : 無効
1 (w) : 割り込み要求入力を許可

このレジスタを読み出すと、各割り込み要求 入力が現在許可 (ビットが“1”) されているか禁止 (ビットが“0”) されているかが分かります。

レジスタへの書き込みでは、“1”を書き込むことによって割り込み要求入力が許可されます。割り込みコントローラはそのビットに対応する割り込み入力を受け付け、CPU に割り込み要求を出力します。“0”の書き込みは無効で、このレジスタへのアクセスによって割り込み要求入力が禁止されることはありません。ビットのクリアは割り込みイネーブルクリアレジスタ (INTC_EN_CLEAR [380Ch]) で行います。

リセット時は、すべての割り込みが禁止状態に設定されます。

5. Register Map

割り込みイネーブルクリアレジスタ (INTC_EN_CLEAR)							Write Only
[380Ch] 初期値 = 00h							
7	6	5	4	3	2	1	0
Reserved			ARSENCL	V4ENCL	V3ENCL	V2ENCL	V1ENCL

Bits[7:5] :

予約

必ず“0”を設定してください。

Bit[4] :

ARS Interrupt Enable Clear

エアセンサからの割り込み要求入力を禁止（マスク）します。

0 : 無効

1 : 割り込み要求入力を禁止

Bit[3] :

Video4 Interrupt Enable Clear

ビデオ4入力からの割り込み要求入力を禁止（マスク）します。

0 : 無効

1 : 割り込み要求入力を禁止

Bit[2] :

Video3 Interrupt Enable Clear

ビデオ3入力からの割り込み要求入力を禁止（マスク）します。

0 : 無効

1 : 割り込み要求入力を禁止

Bit[1] :

Video2 Interrupt Enable Clear

ビデオ2入力からの割り込み要求入力を禁止（マスク）します。

0 : 無効

1 : 割り込み要求入力を禁止

Bit[0] :

Video1 Interrupt Enable Clear

ビデオ1入力からの割り込み要求入力を禁止（マスク）します。

0 : 無効

1 : 割り込み要求入力を禁止

“1”を書き込むことによって、そのビットに対応する割り込みイネーブル設定レジスタ (INTC_ENABLE [3808h]) の割り込みイネーブルビットがクリアされ、割り込み要求入力が禁止されます。“0”の書き込みは無効です。

割り込みトリガ設定レジスタ (INTC_LEVEL)							Read/Write
[3880h] 初期値 = 00h							
Reserved							
7	6	5	4	3	2	1	0

Bits[7:0] : **予約**
必ず“0Fh”を設定してください。

トリガ割り込み要因クリアレジスタ (INTC_TRIG_CLEAR)						Write Only	
[3888h] 初期値 = 00h							
Reserved				V4RAWSTCL	V3RAWSTCL	V2RAWSTCL	V1RAWSTCL
7	6	5	4	3	2	1	0

Bits[7:4] : **予約**
必ず“0”を設定してください。

Bit[3] : **Video4 Interrupt Trigger Set**
ビデオ4入力からの割り込みのマスク前ステータスをクリアします。
0 : 無効
1 : 割り込みステータスをクリア

Bit[2] : **Video3 Interrupt Trigger Set**
ビデオ3入力からの割り込みのマスク前ステータスをクリアします。
0 : 無効
1 : 割り込みステータスをクリア

Bit[1] : **Video2 Interrupt Trigger Set**
ビデオ2入力からの割り込みのマスク前ステータスをクリアします。
0 : 無効
1 : 割り込みステータスをクリア

Bit[0] : **Video1 Interrupt Trigger Set**
ビデオ1入力からの割り込みのマスク前ステータスをクリアします。
0 : 無効
1 : 割り込みステータスをクリア

“1”を書き込むと、割り込みローステータスレジスタ (INTC_RAWSTAT [3804h]) 内の対応するステータスビットをクリアします。

GPIO データレジスタ (GPIO_DATA)							Read/Write
[3C00h] 初期値 = 00h							
GPIODATA [7:0]							
7	6	5	4	3	2	1	0

Bits[7:0] : **GPIO Data**
GPIO のデータレジスタです。書き込みと読出しが可能です。このレジスタのリードについてはGPIOが出力設定時にはこのレジスタの内容が読み出され、GPIOが入力設定時には端子の状態を読むことができます。

5. Register Map

GPIO 端子機能レジスタ (GPIO_FUNC)							
[3C04h] 初期値 = 0000h						Read/Write	
GP7MD [1:0]		GP6MD [1:0]		GP5MD [1:0]		GP4MD [1:0]	
15	14	13	12	11	10	9	8
GP3MD [1:0]		GP2MD [1:0]		GP1MD [1:0]		GP0MD [1:0]	
7	6	5	4	3	2	1	0

Bits[15:14] : **GPIO7 Port Function Select**
 GPIO7 端子の機能を設定します。
 00 : GPIO7 ポート入力
 01 : I²C スルー機能 SDA(Data)
 10 : GPIO7 ポート出力
 11 : 予約

Bits[13:12] : **GPIO6 Port Function Select**
 GPIO6 端子の機能を設定します。
 00 : GPIO6 ポート入力
 01 : I²C スルー機能 SCL(Clock)
 10 : GPIO6 ポート出力
 11 : 予約

Bits[11:10] : **GPIO5 Port Function Select**
 GPIO5 端子の機能を設定します。
 00 : GPIO5 ポート入力
 01 : I²C スルー機能 SDA(Data)
 10 : GPIO5 ポート出力
 11 : 予約

Bits[9:8] : **GPIO4 Port Function Select**
 GPIO4 端子の機能を設定します。
 00 : GPIO4 ポート入力
 01 : I²C スルー機能 SCL(Clock)
 10 : GPIO4 ポート出力
 11 : 予約

Bits[7:6] : **GPIO3 Port Function Select**
 GPIO3 端子の機能を設定します。
 00 : GPIO3 ポート入力
 01 : I²C スルー機能 SDA(Data)
 10 : GPIO3 ポート出力
 11 : 予約

Bits[5:4] : **GPIO2 Port Function Select**
 GPIO2 端子の機能を設定します。
 00 : GPIO2 ポート入力
 01 : I²C スルー機能 SCL(Clock)
 10 : GPIO2 ポート出力
 11 : 予約

Bits[3:2] : **GPIO1 Port Function Select**
 GPIO1 端子の機能を設定します。
 00 : GPIO1 ポート入力
 01 : I²C スルー機能 SDA(Data)
 10 : GPIO1 ポート出力
 11 : 予約

Bits[1:0] : **GPIO0 Port Function Select**
 GPIO0 端子の機能を設定します。
 00 : GPIO0 ポート入力
 01 : I²C スルー機能 SCL(Clock)
 10 : GPIO0 ポート出力
 11 : 予約

6. 機能説明

6.1 初期設定

S2S65P10 は、CONF[3:0]端子でリセット解除後の初期状態を設定することができます。CONF[3:0]端子の機能は以下のとおりです。初期状態により、一部のレジスタの初期値は変わります。

- CONF[3] : **I²C Slave Address Select**
 本 IC の I²C スレーブアドレスを設定します。
 0 : I²C スレーブアドレスを、36h に設定します。
 1 : I²C スレーブアドレスを、37h に設定します。
- CONF[2] : **Video Input / Output Format Select**
 ビデオ入出力の形式を設定します。
 0 : ビデオ入出力の形式を、BT601 モードに設定します。
 1 : ビデオ入出力の形式を、BT656 モードに設定します。
- CONF[1:0] : **Video Input Mode Select**
 ビデオ入力モードを設定します。
 00 : 全ビデオ入力モードを、NTSC(720)に設定します。
 01 : 全ビデオ入力モードを、NTSC(704) に設定します。
 10 : 全ビデオ入力モードを、PAL に設定します。
 11 : 全ビデオ入力モードを、VGA に設定します。

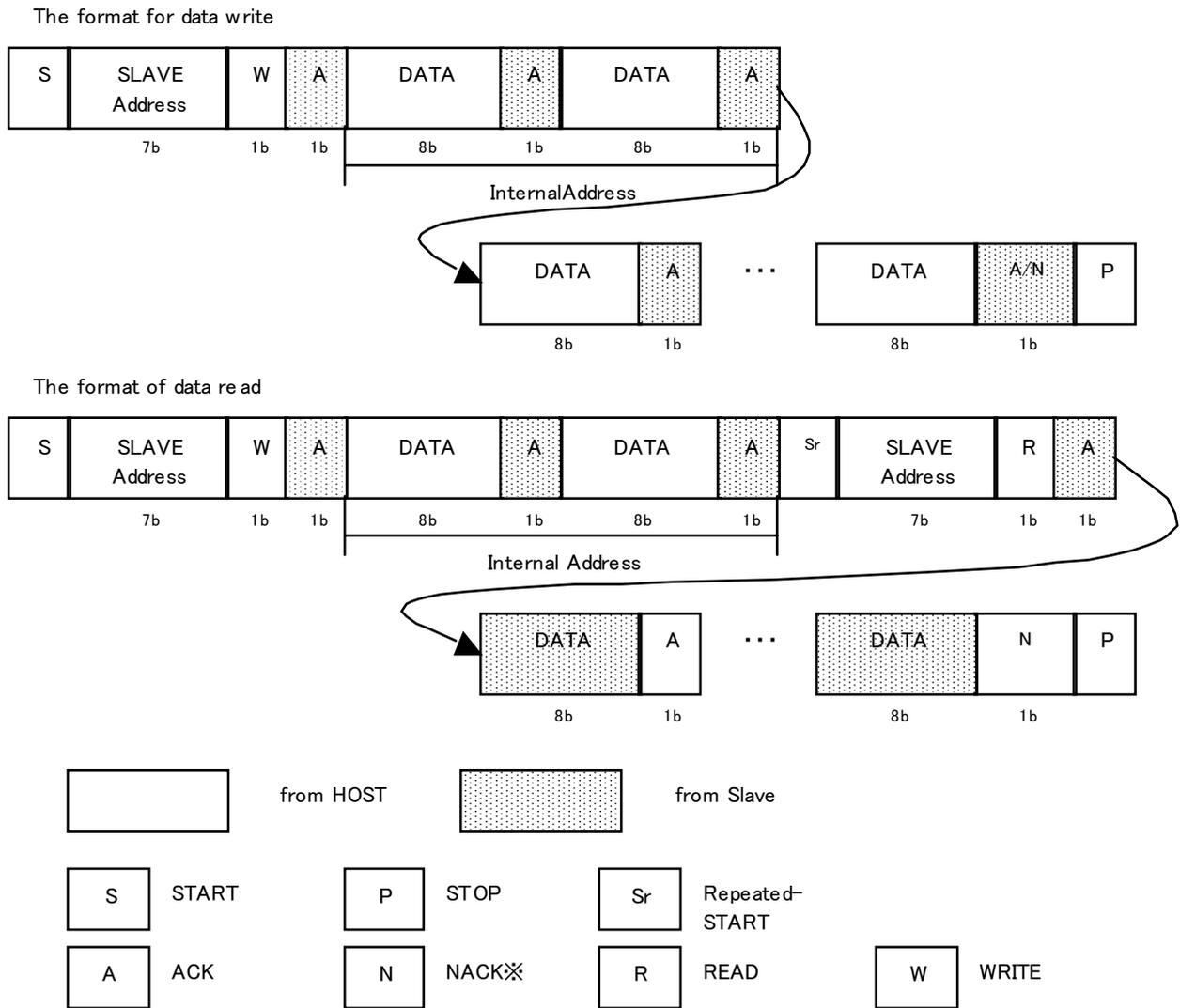
CONF[3:0]端子には、プルダウン抵抗を内蔵しています。必要に応じて、CONF 端子プルダウン制御レジスタ (SYS_CONFPCCTRL [0064h]) でプルダウン抵抗を制御してください。

6.2 I²C

S2S65P10 の内部レジスタは、I²C インタフェースで設定を行います。I²C スレーブアドレスは CONF[3]端子の状態で切り替えられることができ、“36h”または“37h”です。(I²C スレーブアドレス設定レジスタ (I2C_SLAVE_ADRS [0404h]) で任意のアドレスに変更することも可能です。)

内部レジスタへアクセスする時のデータフォーマットを、図 6.1 に示します。最初にスタート・コンディションでバスの使用を開始し、デバイスのスレーブアドレスを指定します。次に、デバイスの内部アドレス (2 バイト) を上位バイト・下位バイトの順に、データとして送信します。ライトの場合は、続けて書き込みデータを送信します。リードの場合は、再度リスタート・コンディションを発行し、デバイスのスレーブアドレスを指定し、データを読み出します。また、連像アクセスすることも可能で、連続アクセス時には、内部アドレスの自動インクリメントを行います。I²C 設定レジスタ (I2C_CONTROL [0400h]) の Access Step の設定により、インクリメント方法が異なります。図 6.2 にアドレスインクリメントのイメージを示します。

6. 機能説明



※ This Slave Transfer will finish by NACK re play from Master Receiver.

図 6.1 I²C データフォーマット

●連続アクセス(ステップ32)時のアドレスインクリメントのイメージ

31	24	23	16	15	8	7	0	
							①	0H
							②	4H
							③	8H
							④	CH
							⑤	10H
							⑥	14H

例：“0000h”から、ステップ32で連続アクセスした場合

“0000h”→“0004h”→“0008h”→“000Ch”→“0010h”→“0014h”の順に8bitアクセスします。

●連続アクセス(ステップ16)時のアドレスインクリメントのイメージ

31	24	23	16	15	8	7	0	
				②			①	0H
				④			③	4H
				⑥			⑤	8H

例：“0000h”から、ステップ16で連続アクセスした場合

“0000h”→“0001h”→“0004h”→“0005h”→“0008h”→“0009h”の順に、8bitアクセスします。

●連続アクセス(ステップ8)時のアドレスインクリメントのイメージ

31	24	23	16	15	8	7	0	
	④		③		②		①	0H
					⑥		⑤	4H

例：“0000h”から、ステップ8で連続アクセスした場合

“0000h”→“0001h”→“0002h”→“0003h”→“0004h”→“0005h”の順に、8bitアクセスします。

図 6.2 アドレスインクリメントのイメージ

6. 機能説明

HOST CPU から I²C-Bus を介して S2S65P10 にアクセスする手順を示します。尚、手順説明中に用いている S、T、R、P の記号については、S2S65A00 を代表とする S65K series の I²C-Master が発行するコマンドで構成された基本フローに準拠しています。詳細は、S65K Series の Technical Manual を参照してください。

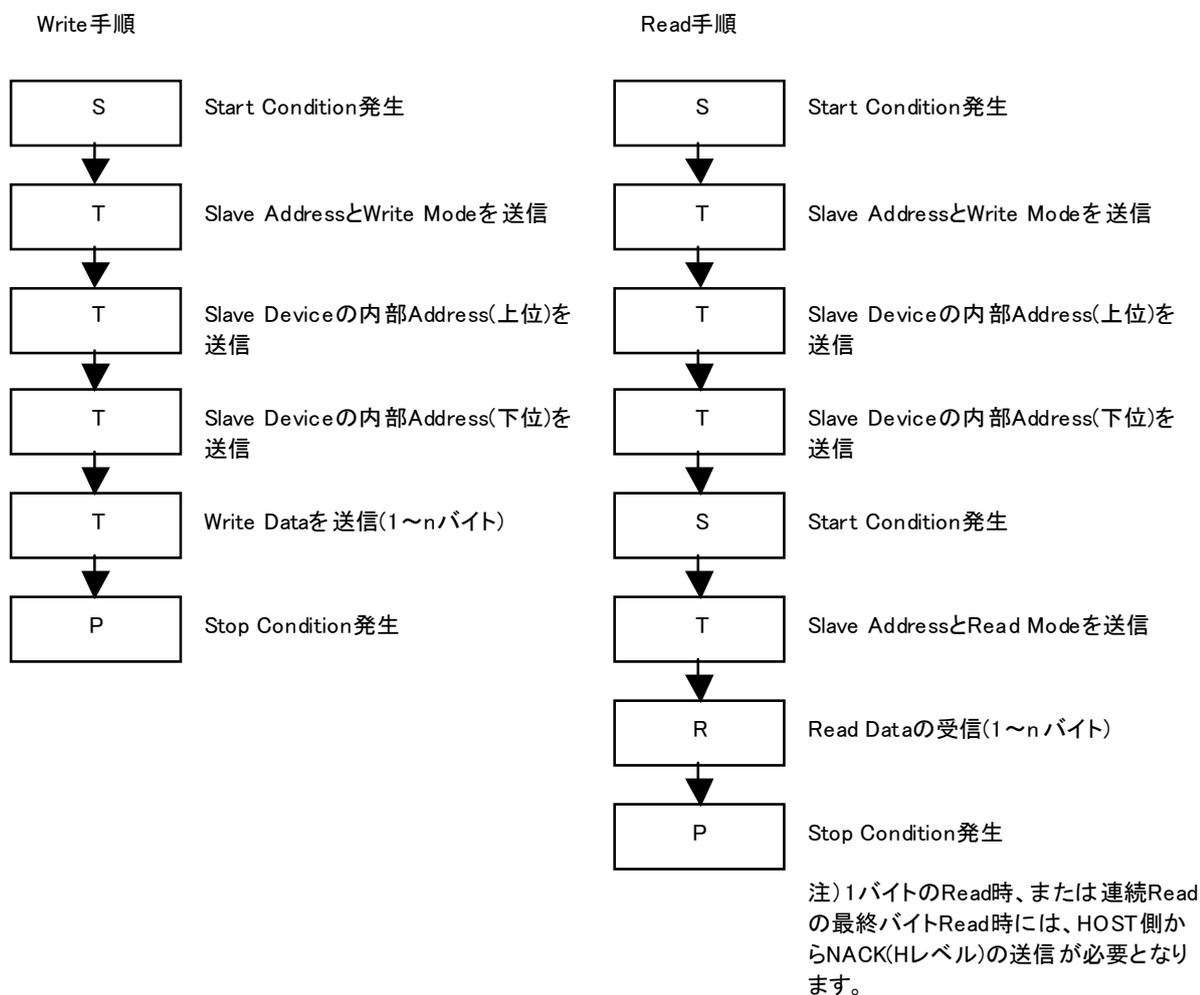


図 6.3 I²C アクセス手順

6.3 インタレース／プログレッシブ変換

S2S65P10 は以下の3種類のインタレース／プログレッシブ変換モードを持っています。設定は、インタレース／プログレッシブ変換モード設定レジスタ (IPC_MODE [3000h]) で行います。

- Weave Mode
奇数フィールドと偶数フィールドを合成して1フレームを作ります。
- Bob Mode
奇数フィールドのみを使用し各ラインを2倍にして1フレームを作ります。
- Interpolation Mode
奇数フィールドのみを使用し上下ラインから線形補間し1フレームを作ります。

6.4 ビデオ出力とインテリジェント・オート・イメージ・スイッチング

S2S65P10 は以下の 4 種類のビデオ出力モードを持っています。設定は、出力画像設定レジスタ (SYS_OUTMODE [0030h]) で行います。

●固定モード

ひとつのビデオ入力を、固定して出力します。ビデオ入力の切り替えは、出力画像選択レジスタ (SYS_OUTCH [0038h]) で行います。ビデオ入力の切り替えは、ビデオ出力オン中に行うことが可能です。



図 6.4 固定モード

●オートスキャンモード

ビデオ入力を 1-2-3-4-1…の順に、切り替えて出力します。各ビデオ入力のサイクル数は、ビデオ 1-4 出力サイクル設定レジスタ (SYS_CH1-4OUTCYCLE [0040h]~[004Ch]) で行います。ビデオ入力がオフの場合は、自動で次のビデオ入力に切り替わります。また、サイクル数が“0”の場合も、自動で次のビデオ入力に切り替わります。ビデオ出力オン中にサイクル数を替えることが可能です。どのビデオ入力が出力されているかは、ST[1:0]端子で確認できます。



図 6.5 オートスキャンモード

●コンプレスマード

ビデオ入力を 1-2-3-4-1…の順に、QVGA にリサイズして出力します。ビデオ入力がオフの場合、そのビデオ入力は出力されません。どのビデオ入力が出力されているかは、ST[1:0]端子で確認できます。



図 6.6 コンプレスマード

●マージモード

各チャンネルの画像を QVGA にリサイズし 4 画面を合成して出力します。マージモードは、入力画像 1-4 設定レジスタ (SYS_CH1-4INMODE [0010h]~[001Ch]) の設定値が等しい場合のみ有効です。それぞれのビデオ入力はオフすることも可能です。



図 6.7 マージモード

ビデオ出力モードを変更する場合は、必ずビデオ出力をオフにしてから行ってください。ビデオ出力モードを変更する場合の手順を以下に示します。

Ex.) マージモードから、固定モードに変更する場合・・・

- ①出力画像選択レジスタ (SYS_OUTMODE[0030h]) に“43h”をライトする。
- ②出力画像選択レジスタ (SYS_OUTMODE[0030h]) に“C3h”をライトする。

6. 機能説明

<フレームレート>

ビデオ出力は、各ビデオ入力に同期して行うため、ビデオ入力切り替え時にはフレームレートが低下する場合があります。各ビデオ出力モードでのフレームレートの最小値・最大値は以下の通りです。

表 6.1 フレームレート

ビデオ出力モード	ビデオ入力	Min[fps]	Max[fps]
固定モード	インタレース	-	30
	プログレッシブ	-	30
オートスキャンモード	インタレース	15	30
	プログレッシブ	15	30
コンプレスモード (QVGA 出力)	インタレース	60	120
	プログレッシブ	30	60
マージモード (QVGAx4 出力)	インタレース	15	30
	プログレッシブ	7.5	15

※ビデオ入力 1-4 のフレームレートが 30fps で等しい場合の値です。

<ST[1:0]端子>

ST [1:0]端子は、ビデオ出力の画面情報を示します。ST[1:0]信号は、VOUT が出力されるタイミングで変化しますので、次の画面が出力されるまで最後に出力した画面情報を保持します。情報は以下の通りです。

- 00：ビデオ 1 を出力しています。
 - 01：ビデオ 2 を出力しています。
 - 10：ビデオ 3 を出力しています。
 - 11：ビデオ 4 を出力しています。
- ※マージモードの時は、“00”を出力します。

<ビデオ出力>

ビデオ出力設定レジスタ (SYS_OUTCONFIG [0034h]) で、以下の設定が可能です。

- ・VOUT 端子から出力する信号の極性切り替え
- ・HOUT 端子から出力する信号の極性切り替え
- ・ビデオ出力形式選択
 - BT601 モード / BT656 モード
- ・YUV データの並び順選択
 - Cb-Y0-Cr-Y1 / Cr-Y0-Cb-Y1 / Y0-Cb-Y1-Cr / Y0-Cr-Y1-Cb
- ・VOUT 端子から出力する信号選択
 - VSYNC 信号 / VVALID 信号
- ・HOUT 端子から出力する信号選択
 - HSYNC 信号 / HVALID 信号
- ・ビデオ 1 端子の入出力方向切り替え
 - ビデオ入力 / ビデオ出力
- ・ビデオ 2 端子の入出力方向切り替え
 - ビデオ入力 / ビデオ出力
- ・ビデオ 3 端子の入出力方向切り替え
 - ビデオ入力 / ビデオ出力
- ・ビデオ 4 端子の入出力方向切り替え
 - ビデオ入力 / ビデオ出力

※ビデオ 1-4 端子を出力にした場合は、ビデオ出力端子と同じ画像が出力されます。

※ビデオ 1-4 端子を出力にする場合は、どれかひとつの端子のみ出力に設定してください。

<ビデオ出力タイミング>

レジスタ設定により、ビデオ出力のタイミングを変更することが可能です。図 6.8 に。設定値と出力タイミングについて示します。また、各設定レジスタは以下のとおりです。

HF	ビデオ 1-4 共通	VOUT_HF [1800h]
HP	ビデオ 1-4 共通	VOUT_HP [1804h]
HB	ビデオ 1-4 共通	VOUT_HB [1808h]
HD	※ビデオ入出力モードに合わせて、自動で設定されます。	
HT	ビデオ 1	VOUT_HT1 [1820h]
	ビデオ 2	VOUT_HT2 [1824h]
	ビデオ 3	VOUT_HT3 [1828h]
	ビデオ 4	VOUT_HT4 [182Ch]
VF	ビデオ 1-4 共通	VOUT_VF [1830h]
VP	ビデオ 1-4 共通	VOUT_VP [1834h]
VB	ビデオ 1-4 共通	VOUT_VB [1838h]
VD	※ビデオ入出力モードに合わせて、自動で設定されます。	

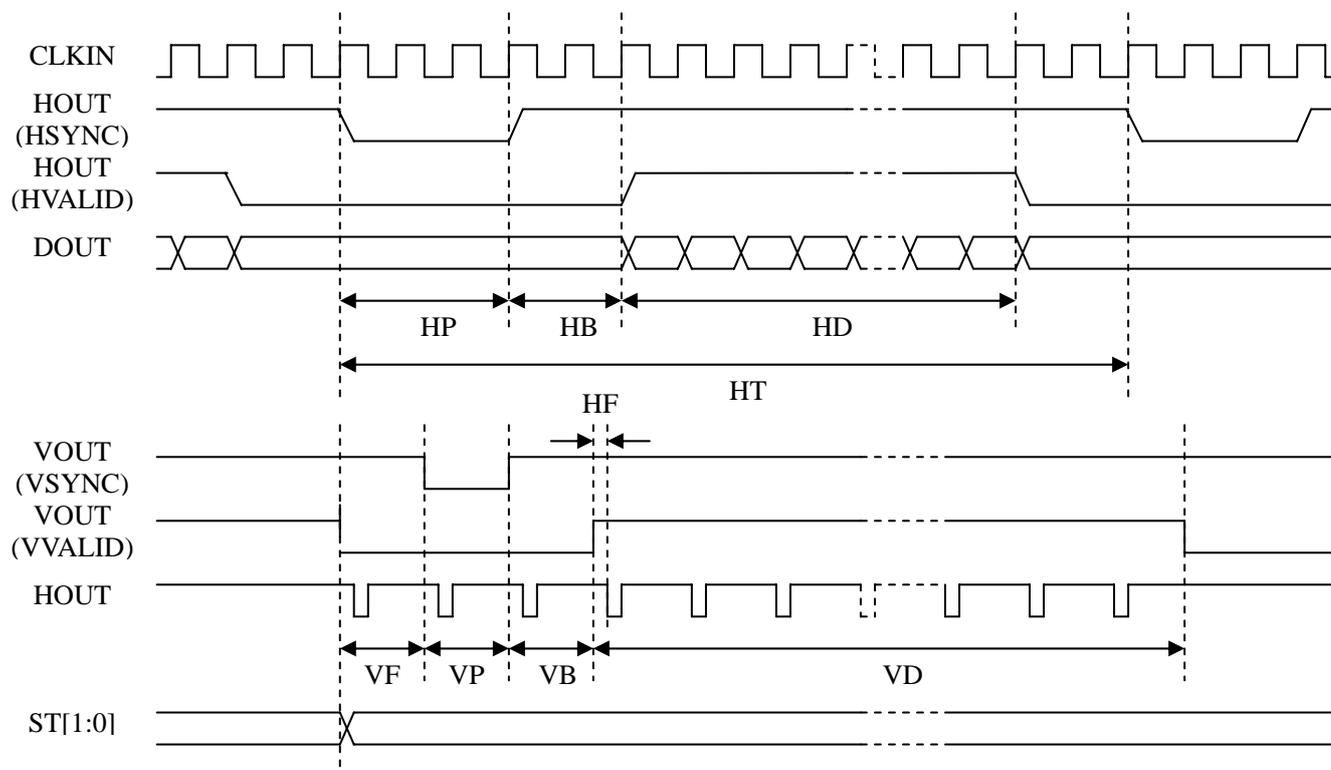


図 6.8 ビデオ出力タイミング

6. 機能説明

<HT について>

HT には、ビデオ出力モードごと以下のことを参考に値を設定してください。

- ビデオ出力モードが、固定モードまたはオートスキャンモードまたはマージモードの時
ビデオ入力からの 1Line 分の入力時間と、同じ時間になる値を設定してください。

Ex.) BT601 NTSC 入力で、CLKIN クロック周波数が 25MHz の場合
 $858[\text{Pixel}] / 27[\text{MHz}] \times 25[\text{MHz}] = 794[\text{Pixel}]$

- ビデオ出力モードが、コンプレスモードの時
ビデオ入力からの 1/2Line 分の入力時間と、同じ時間になる値を設定してください。

Ex.) BT601 PAL 入力で、CLKIN クロック周波数の場合
 $864[\text{Pixel}] / 27[\text{MHz}] / 2 \times 25[\text{MHz}] = 400[\text{Pixel}]$

6.5 ビデオ入力モードとアスペクト比変換

S2S65P10 は、以下のモードを持っています。ビデオ入力モード設定は、入力画像 1-4 設定レジスタ (SYS_CH1-4 INMODE [0010h]~[001Ch]) で行います。アスペクト比変換機能を内蔵していますので、ビデオ入出力モードに合わせて、アスペクト比の変更を自動で行います。

- VGA 変換 (ビデオ出力モードが、固定モードまたはオートスキャンモードの時)

表 6.2 VGA 変換

ビデオ入力モード	ピクセルアスペクト比	ピクセル数		変換後
NTSC(720)	8:9	720:480	-->	640:480
NTSC(704)	10:11	704:480	-->	640:480
PAL	16:15	720:576	-->	768:576
VGA	1:1	640:480	-->	640:480

- QVGA 変換 (ビデオ出力モードが、コンプレスモードまたはマージモードの時)

表 6.3 QVGA 変換

ビデオ入力モード	ピクセルアスペクト比	ピクセル数		変換後
NTSC(720)	8:9	720:480	-->	320:240
NTSC(704)	10:11	704:480	-->	320:240
PAL	16:15	720:576	-->	384:288
VGA	1:1	640:480	-->	320:240

※ビデオ入力インタレースの場合は、どちらかのフィールドのみになります。

※ビデオ入力プログレッシブの場合は、縦方向はライン間引きになります。

<ビデオ入力>

ビデオ入力ごとに、ビデオ 1-4 入力設定レジスタ (SYS_CH1-4INCONFIG [0020h]~[002Ch]) で、以下の設定が可能です。

- ビデオ入力クロックの有効エッジ切り替え
- VIN の極性切り替え
- HIN の極性切り替え
- ODDIN の極性切り替え
- ビデオ入力形式選択
BT601 モード / BT656 モード
- YUV データの並び順選択
Cb-Y0-Cr-Y1 / Cr-Y0-Cb-Y1 / Y0-Cb-Y1-Cr / Y0-Cr-Y1-Cb

各ビデオ入力の同期信号により、割り込みを発生することができます。割り込みの設定は以下のレジスタで行います。

ビデオ 1 入力割り込み設定レジスタ	VIN1_INTSEL [0814h]
ビデオ 2 入力割り込み設定レジスタ	VIN2_INTSEL [0C14h]
ビデオ 3 入力割り込み設定レジスタ	VIN3_INTSEL [1014h]
ビデオ 4 入力割り込み設定レジスタ	VIN4_INTSEL [1414h]

割り込みの制御は、割り込みイネーブル設定レジスタ (INTC_EBABLE [3808h])、割り込みイネーブルクリアレジスタ (INTC_EN_CLEAR [380Ch]) で行い、割り込みの確認は、割り込みステータスレジスタ (INTC_STAT [3800h])、割り込みローステータスレジスタ (INTC_RAWSTAT [3804h]) で行います。

ビデオ入力端子には、プルダウン抵抗を内蔵しています。必要に応じて、ビデオ 1-4 入力プルダウン制御レジスタ (SYS_CH1-4PCCTRL [0050h]~[005Ch]) でプルダウン抵抗を制御してください。

<ビデオ入力取り込み位置>

レジスタ設定により、ビデオ入力ごと取り込み位置を調整することが可能です。X 方向は Pixel 単位に、Y 方向は奇数フィールド/偶数フィールドごと Line 単位で調整が可能です。各設定レジスタは以下のとおりです。また、図 6.9 に、設定値と取り込み位置について示します。

ビデオ 1	X 方向	VIN1_XSTART [0808h]
	Y 方向 (奇数フィールド)	VIN1_YSTART_O [080Ch]
	Y 方向 (偶数フィールド)	VIN1_YSTART_E [0810h]
ビデオ 2	X 方向	VIN2_XSTART [0C08h]
	Y 方向 (奇数フィールド)	VIN2_YSTART_O [0C0Ch]
	Y 方向 (偶数フィールド)	VIN2_YSTART_E [0C10h]
ビデオ 3	X 方向	VIN3_XSTART [1008h]
	Y 方向 (奇数フィールド)	VIN3_YSTART_O [100Ch]
	Y 方向 (偶数フィールド)	VIN3_YSTART_E [1010h]
ビデオ 4	X 方向	VIN4_XSTART [1408h]
	Y 方向 (奇数フィールド)	VIN4_YSTART_O [140Ch]
	Y 方向 (偶数フィールド)	VIN4_YSTART_E [1410h]

6. 機能説明

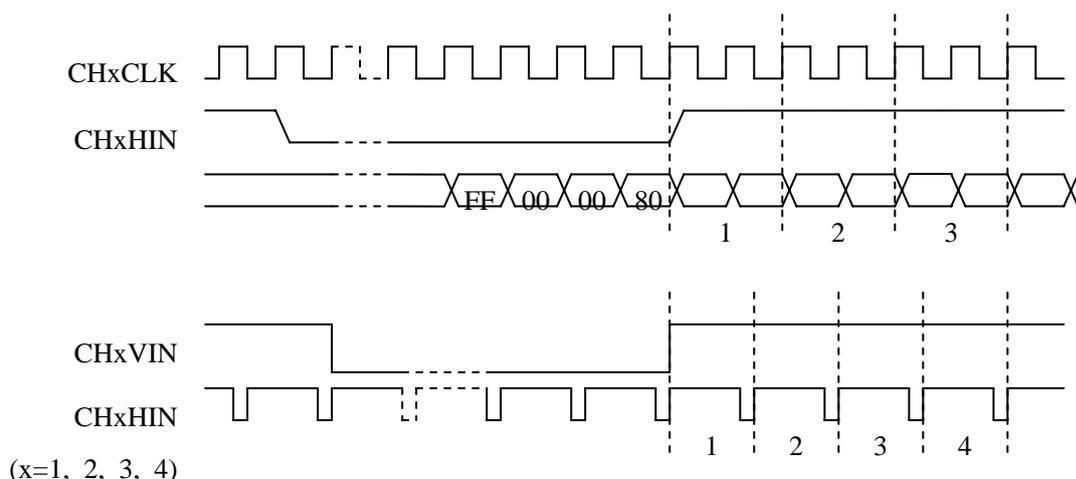


図 6.9 ビデオ入力取り込み位置

6.6 エリアセンサ

S2S65P10 は、動体検出用のエリアセンサを内蔵しています。任意の 1 チャンネルからの画面を 48 分割し、それぞれの矩形エリア毎にフレーム間差分をとります。予め設定された閾値を超えた差分値になると割り込み信号を出力します。

エリアセンサの設定は、エリアセンサ設定レジスタ 1-4 (ARS_CONTROL1-4 [1C00h]~[1C0Ch])、エリアセンサ X 方向サイズ設定レジスタ (ARS_XSIZE [1C18h])、エリアセンサ Y 方向サイズ設定レジスタ (ARS_YSIZE [1C1Ch])、エリアセンサ制御レジスタ 1-6 (ARS_SELECT1-6 [1C20h]~[1C34h])で行います。

また、割り込みの制御は、割り込みイネーブル設定レジスタ (INTC_EBABLE [3808h])、割り込みイネーブルクリアレジスタ (INTC_EN_CLEAR [380Ch])、エリアセンサ割り込み制御レジスタ (ARS_INTCTRL [1C40h])、で行います。

割り込みの確認は、割り込みステータスレジスタ (INTC_STAT [3800h])、割り込みローステータスレジスタ (INTC_RAWSTAT [3804h])、エリアセンサ割り込みステータスレジスタ (ARS_INTSTAT [1C44h])、エリアセンサ割り込み詳細ステータスレジスタ 1 (ARS_INT1-6 [1C60h]~[1C74h])で行います。

Area 01	Area 02	Area 03	Area 04	Area 05	Area 06	Area 07	Area 08
Area 11	Area 12	Area 13	Area 14	Area 15	Area 16	Area 17	Area 18
Area 21	Area 22	Area 23	Area 24	Area 25	Area 26	Area 27	Area 28
Area 31	Area 32	Area 33	Area 34	Area 34	Area 36	Area 37	Area 38
Area 41	Area 42	Area 43	Area 44	Area 45	Area 46	Area 47	Area 48
Area 51	Area 52	Area 53	Area 54	Area 55	Area 56	Area 57	Area 58

図 6.10 エリアセンサ検出エリア (Area 00~57)

6.7 GPIO/I²C スルー機能

GPIO[7:0]端子は、汎用の I/O ポート機能と、Host CPU からの I²C 信号をスルーする機能を持っています。I²C スルー機能を使用すると同じ I²C デバイスアドレスのデバイスを Host CPU から制御することが可能になります。GPIO 端子には、プルアップ抵抗を内蔵しています。必要に応じて、GPIO 端子プルアップ制御レジスタ (SYS_GPIOCTRL [0060h]) でプルアップ抵抗を制御してください。

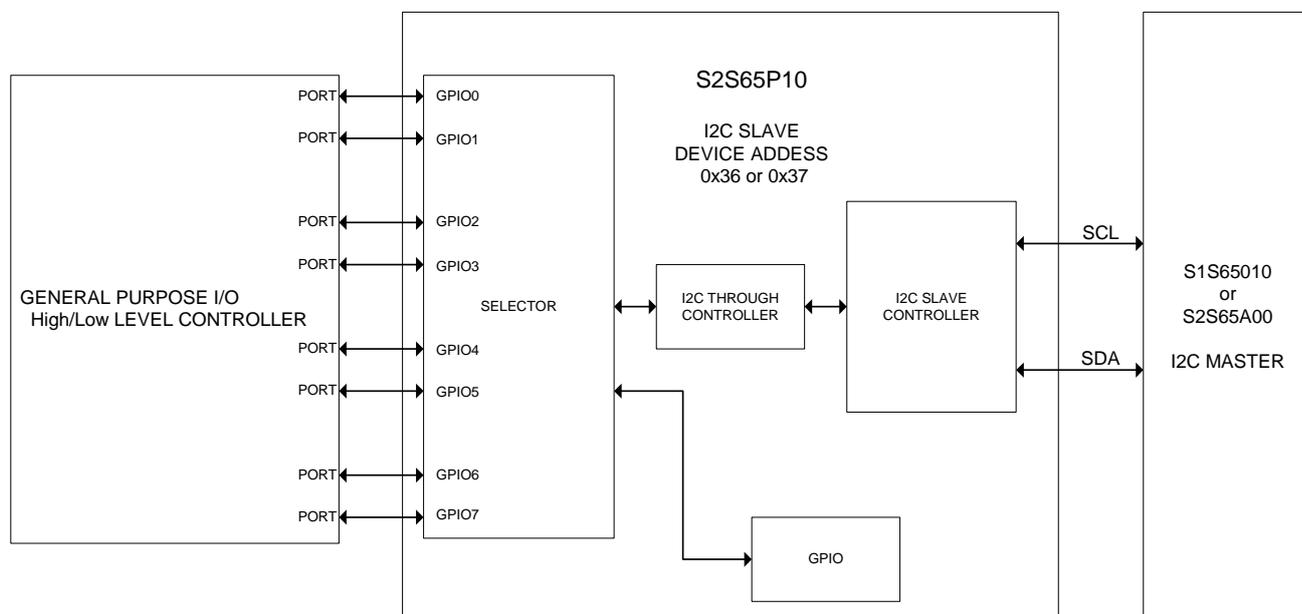
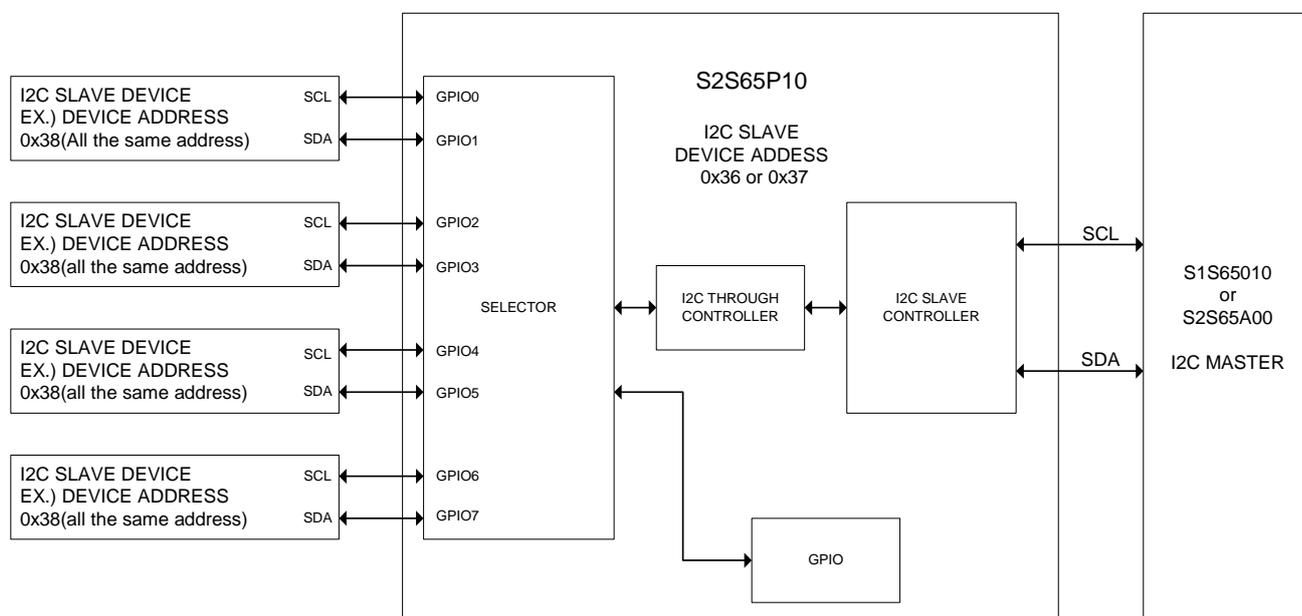
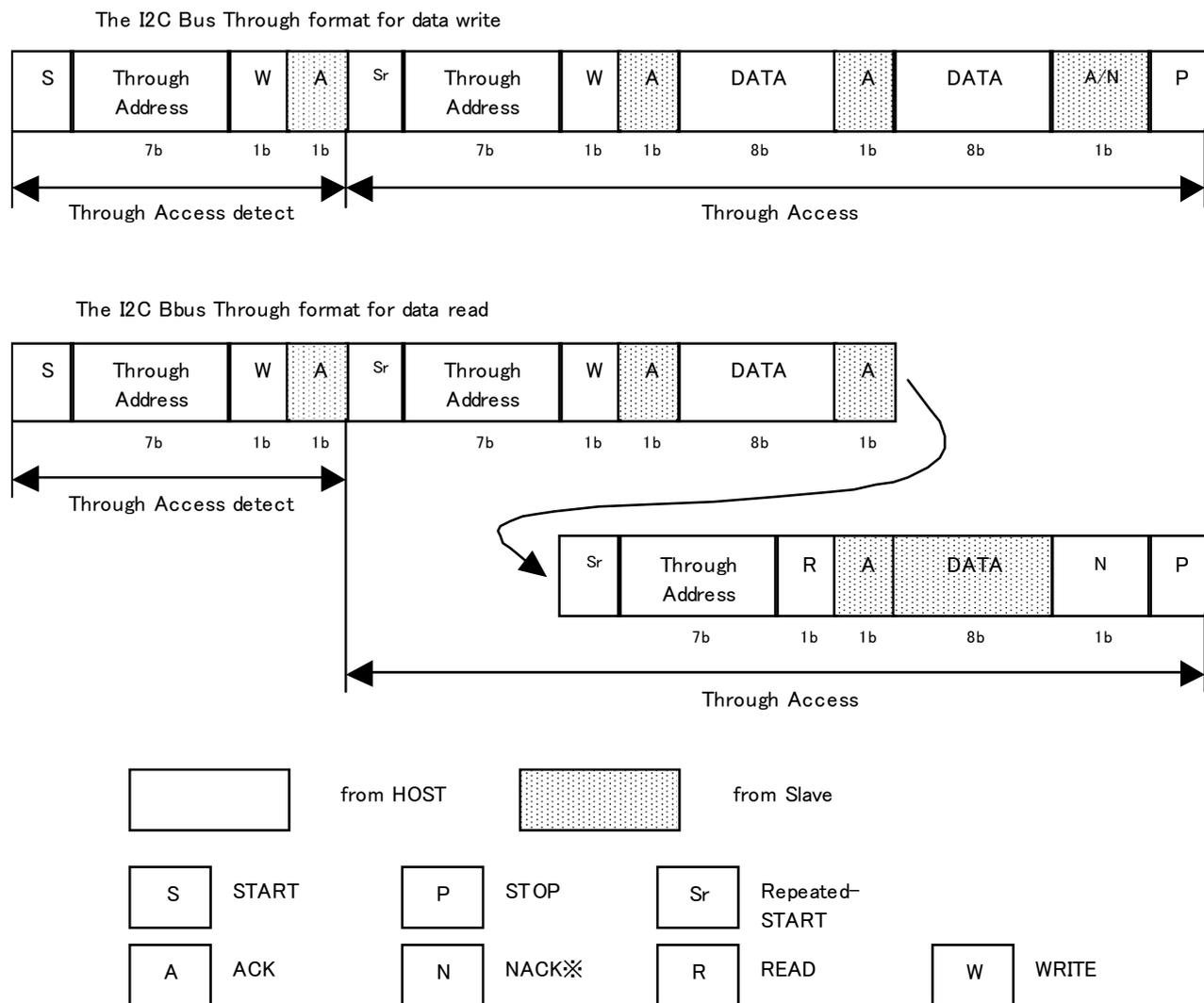


図 6.11 GPIO 機能

図 6.12 I²C スルー機能

6. 機能説明

I²C バススルーアドレス設定レジスタ (I2C_THR_ADRS[0410h])に任意の値、I²C バススルーID 設定レジスタ (I2C_THR_DEVID[0414h])に GPIO 端子に接続した I²C デバイスの ID を設定します。Host CPU から I²C バススルーアドレス設定レジスタ (I2C_THR_ADRS[0410h])に設定したアドレスへ、図 6-25 のフォーマットで I²C のアクセスをすると、S2S65P10 はスルーアクセスと判断し、スルーアドレスを I²C バススルーID 設定レジスタ (I2C_THR_DEVID[0414h])に設定した値に変更し、GPIO 端子へ I²C アクセスを通過させます。



※ This Slave Transfer will finish by NACK replay from Master Receiver.

図 6.13 I²C Bus Through データフォーマット

HOST CPU から I²C-Bus と S2S65P10 を介して、Through-Bus に接続されたデバイスにアクセスする手順を示します。GPIO0、1 に接続されたデバイスにアクセスする場合を例に説明します。

Register設定

GPIOの設定

- Reg: 3C04hを0005hに設定 ...GPIO0~1をI2C機能に設定し、GPIO2~7をGPIO機能に設定する。
- 注)同一のDevice IDを持つDeviceを複数接続する場合には、GPIOを排他的に制御して使用してください。

I2Cの設定 (Through指示Address 2Fh、Through Device Address 38hの場合)

- Reg: 0410hを2Fhに設定 ...Register:【I2C THROUGH ADDRESS】にThrough指示Addressを設定する
- Reg: 0414hを38hに設定 ...Register:【I2C THROUGH DEV ID】にThrough先DeviceのIDを設定する。
- Reg: 040Chを01hに設定 ...I2CをThrough Modelに設定する。

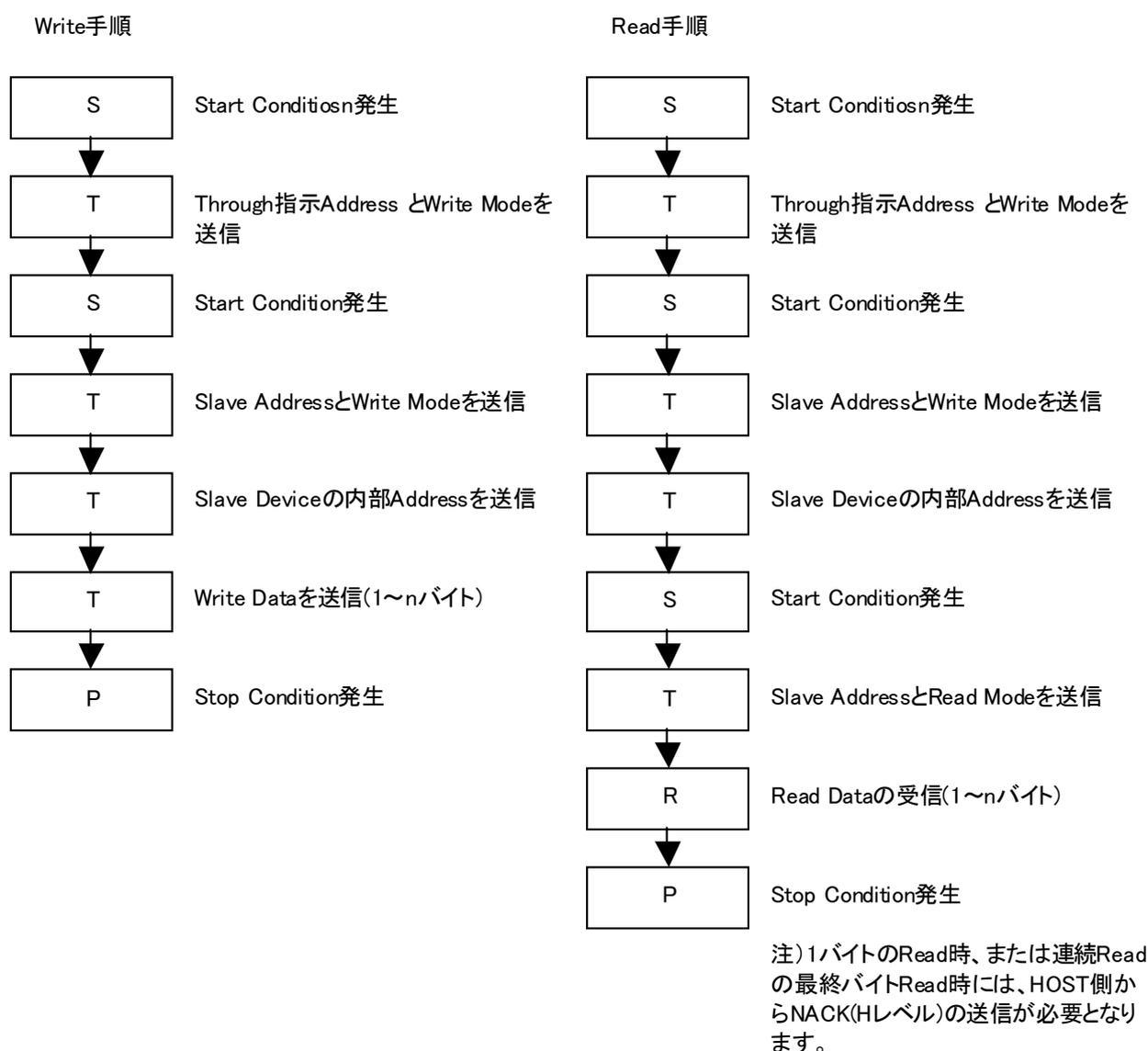


図 6.14 I²C スルー機能設定手順

7. DC 特性

7. DC 特性

7.1 絶対最大定格

表 7.1 絶対最大定格

(VSS=0V)

項目	記号	定格	単位
電源電圧	HVDD*1	VSS-0.3 ~ 4.0	V
	HVDD1*1	VSS-0.3 ~ 4.0	V
	HVDD4*1	VSS-0.3 ~ 4.0	V
	LVDD*1	VSS-0.3 ~ 2.5	V
入力電圧	HVI	VSS-0.3 ~ HVDD,HVDD1,HVDD4+0.5	V
	LVI	VSS-0.3 ~ LVDD+0.5	V
出力電圧	HVO	VSS-0.3 ~ HVDD,HVDD1,HVDD4+0.5	V
	LVO	VSS-0.3 ~ LVDD+0.5	V
出力電流/端子	IOUT	±10	mA
保存温度	Tstg	-65 ~ +150	°C

(注) *1: HVDD、HVDD1、HVDD4 \geq LVDD

7.2 推奨動作条件

表 7.2 推奨動作条件

(2 電源 HVDD、HVDD1、HVDD4/LVDD=3.3/1.8V)

項目	記号	Min.	Typ.	Max.	単位
電源電圧 (高電圧)	HVDD	2.40	3.30	3.60	V
電源電圧 (高電圧 Video 入力 1,2,3 部)	HVDD1	2.40	3.30	3.60	V
電源電圧 (高電圧 Video 入力 4 部)	HVDD4	2.40	3.30	3.60	V
電源電圧 (低電圧)	LVDD	1.65	1.80	1.95	V
入力電圧	HVI	VSS	-	HVDD HVDD1 HVDD4	V
	LVI	VSS	-	LVDD	V
周囲温度	Ta	-40	25	105*1	°C

(注) *1: この温度範囲は、Tj = -40 ~ 125°C を想定した推奨周囲温度です。

7.3 DC 特性

表 7.3 DC 特性

(推奨動作条件による)

項目	記号	条件	Min.	Typ.	Max.	単位
静的消費電流(HVDD~VSS間の静止電流)						
静的消費電流	IDDSH1	V _{IN} =HVDD or HVDD1 or HVDD4 or LVDD or VSS HVDD=Max. HVDD1=Max. HVDD4=Max. LVDD=Max. I _{OH} =I _{OL} =0 T _a (Max.)=105(°C)時 T _a =T _j =105(°C)	-	-	16	μA
静的消費電流(HVDD1~VSS間の静止電流)						
静的消費電流	IDDSH2	V _{IN} =HVDD or HVDD1 or HVDD4 or LVDD or VSS HVDD=Max. HVDD1=Max. HVDD4=Max. LVDD=Max. I _{OH} =I _{OL} =0 T _a (Max.)=105(°C)時 T _a =T _j =105(°C)	-	-	18	μA
静的消費電流(HVDD4~VSS間の静止電流)						
静的消費電流	IDDSH3	V _{IN} =HVDD or HVDD1 or HVDD4 or LVDD or VSS HVDD=Max. HVDD1=Max. HVDD4=Max. LVDD=Max. I _{OH} =I _{OL} =0 T _a (Max.)=105(°C)時 T _a =T _j =105(°C)	-	-	6	μA
静止電流(LVDD~VSS間の静止電流)						
静的消費電流	IDDSL	V _{IN} =HVDD or HVDD1 or HVDD4 or LVDD or VSS HVDD=Max. HVDD1=Max. HVDD4=Max. LVDD=Max. I _{OH} =I _{OL} =0 T _a (Max.)=105(°C)時 T _a =T _j =105(°C)	-	70	900	μA

7. DC 特性

項目	記号	条件	Min.	Typ.	Max.	単位
消費電流(LVDD~VSS間の消費電流)						
動作時消費電流	IDDL	HVDD=3.3V HVDD1=3.3V HVDD4=3.3V LVDD=1.8V Ta=-40~+105°C CHxCLK=27MHz (x=1, 2, 3, 4) CLKIN=25MHz	-	25	40	mA
入力リーク						
入力リーク電流	IL	HVDD=Max. HVDD1=Max. HVDD4=Max. LVDD=Max. HVIH=HVDD,HVDD1, HVDD4 LVIH=LVDD VIL=VSS	-5	-	5	μA
入力特性(H系 LVC MOS) CLKIN, SDA, SDC						
“H”レベル入力電圧	VIH1H	HVDD=Max. HVDD1=Max. HVDD4=Max.	2.2	-	-	V
“L”レベル入力電圧	VIL1H	HVDD=Min. HVDD1=Min. HVDD4=Min.	-	-	0.8	V
入力特性(L系 LVC MOS) TESTEN						
“H”レベル入力電圧	VIH1L	LVDD=Max.	1.27	-	-	V
“L”レベル入力電圧	VIL1L	LVDD=Min.	-	-	0.57	V
シュミット入力特性(H系 LVC MOS) RESETX, CHxCLK, CHxVIN, CHxHIN, CHxDIN[7:0], CHxODD, GPIO[7:0], CONF[3:0] (x=1, 2, 3, 4)						
“H”レベルトリガ電圧	VT1+	HVDD=Max. HVDD1=Max. HVDD4=Max. LVDD=Max.	1.4	-	2.7	V
“L”レベルトリガ電圧	VT1-	HVDD=Min. HVDD1=Min. HVDD2=Min. LVDD=Min.	0.6	-	1.8	V
ヒステリシス電圧	ΔV	HVDD=Min. HVDD1=Min. HVDD4=Min. LVDD=Min.	0.3	-	-	V
入力特性 RESETX, GPIO[7:0]						
プルアップ抵抗	RPLU1H	VI=VSS	25	50	120	kΩ
入力特性 CHxCLK, CHxVIN, CHxHIN, CHxDIN[7:0], CHxODD, CONF[3:0] (x=1, 2, 3, 4)						
プルダウン抵抗	RPLD1H	VI=HVDD,HVDD1, HVDD4	25	50	120	kΩ

項目	記号	条件	Min.	Typ.	Max.	単位
出力特性 CHxVIN, CHxHIN, CHxDIN[7:0], VOUT, HOUT, DOUT[7:0], SDA, INTX, ST[1:0], GPIO[7:0] (x=1, 2, 3, 4)						
“H”レベル出力電圧	VOH1H	HVDD=Min. HVDD1=Min. HVDD4=Min. IOH=-2mA	HVDD-0.4 HVDD1-0.4 HVDD4-0.4	-	-	V
“L”レベル出力電圧	VOL1H	HVDD=Min. HVDD1=Min. HVDD4=Min. IOL=2mA	-	-	VSS+0.4	V
出力特性 CHxVIN, CHxHIN, CHxDIN[7:0], SDA, GPIO[7:0] (x=1, 2, 3, 4)						
OFF-STATE リーク電流	IOZ	HVDD=Max. HVDD1=Max. HVDD4=Max. LVDD=Max. HVOH=HVDD, HVDD1, HVDD4 LVOH=LVDD VOL=VSS	-5	-	5	μA

8. AC 特性

8. AC 特性

8.1 Video 入力 Interface

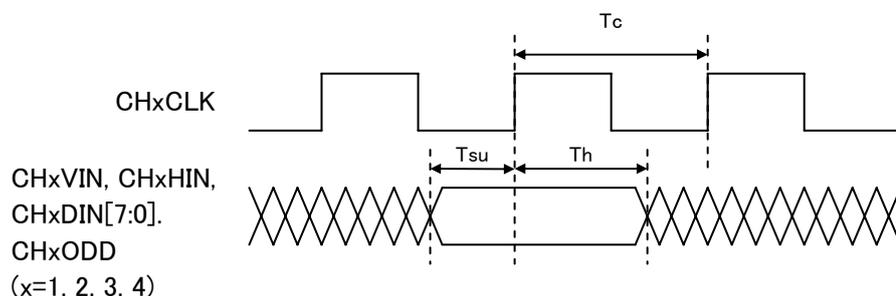


図 8.1 Video Input Interface Timing Chart

表 8.1 Video Input Interface Timing Spec.

$T_a = -40$ to $+105$ °C, HVDD, HVDD1, HVDD4 = 2.4 to 3.6 V, LVDD = 1.65 to 1.95 V, VSS = 0 V, CL = 30 pF (出力)

項目	記号	Min.	Typ.	Max.	単位
Video 入力クロック周波数	Tf	-	27	28.5	MHz
Video 入力クロックサイクル時間	Tc	35	37	-	ns
データセットアップ時間	Tsu	10	-	-	ns
データホールド時間	Th	10	-	-	ns

8.2 Video 出力 Interface

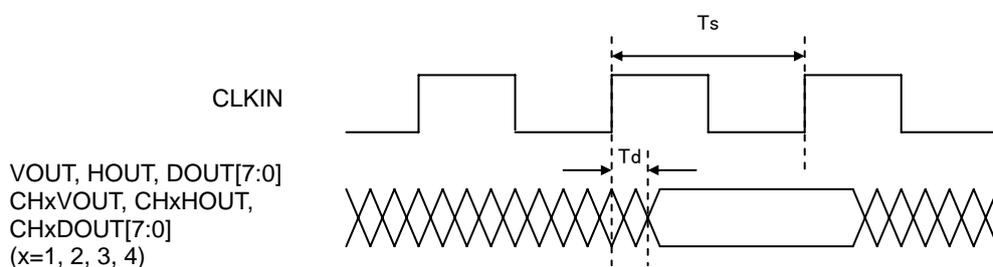
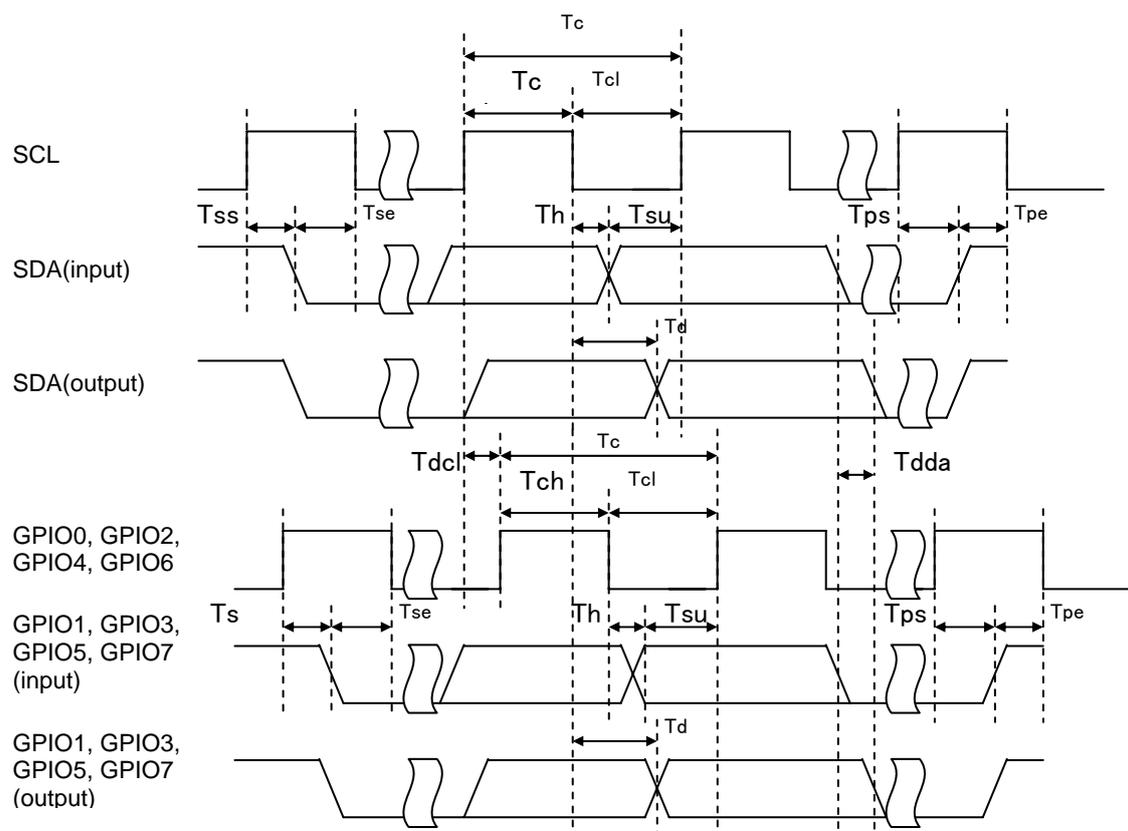


図 8.2 Video Output Interface Timing Chart

表 8.2 Video Output Interface Timing Spec.

$T_a = -40$ to $+105$ °C, HVDD, HVDD1, HVDD4 = 2.4 to 3.6 V, LVDD = 1.65 to 1.95 V, VSS = 0 V, CL = 30 pF (出力)

項目	記号	Min.	Typ.	Max.	単位
CLKIN クロック周波数	fc	20	25	28.5	MHz
CLKIN クロックサイクル時間	Ts	35	40	50	ns
データ出力遅延時間	Td	5	-	20	ns

8.3 I²C Interface図 8.3 I²C Interface Timing Chart表 8.3 I²C Interface Timing Spec.

$T_a = -40$ to $+105$ °C, $HVDD, HVDD1, HVDD4 = 2.4$ to 3.6 V, $LVDD = 1.65$ to 1.95 V, $VSS = 0$ V, $CL = 30$ pF (出力)

項目	記号	Min.	Typ.	Max.	単位
SCL クロック周波数	fc	-	-	$10^9 / (T_c * T_s)$ ※1,4	Hz
SCL クロックサイクル時間	T_c	25 ※3,4	-	-	T_s ※1
SCL クロックパルス幅(High)	T_{ch}	10	-	-	T_s ※1
SCL クロックパルス幅(Low)	T_{cl}	15 ※3,4	-	-	T_s ※1
SDA 入力セットアップ時間	T_{su}	0	-	-	ns
SDA 入力ホールド時間	T_h	0	-	-	ns
SDA 出力遅延時間	T_d	10	-	※2,3	T_s ※1
START 条件開始時間	T_{ss}	5	-	-	T_s ※1
START 条件完了時間	T_{se}	5	-	-	T_s ※1
STOP 条件開始時間	T_{ps}	5	-	-	T_s ※1
STOP 条件完了時間	T_{pe}	5	-	-	T_s ※1

SCL to GPIO 遅延時間	T_{dcl}	5	-	6 ※3	T_s ※1
SDA(input) to GPIO(output) 遅延時間	T_{dda}	5	-	6 ※3	T_s ※1
GPIO(input) to SDA(output) 遅延時間					

8. AC 特性

- ※1 Ts:CLKIN クロックサイクル時間 (例 f=25MHz の場合、Ts=40ns)
- ※2 I2C HOLD COUNTER[041Ch]の設定により、最大 4us 程度まで調整可能です。
- ※3 本数値は、外部バス立ち上がり時間=1Ts(f=25MHz の場合、40ns)以内を前提としています。負荷容量とプルアップ抵抗値によりバス立ち上がり時間が 1Ts を越える場合には、本数値が増加しますのでご注意ください。
参考) f=25MHz の場合、立ち上がり時間 400ns で+10Ts 程度、立ち上がり時間 1000ns で、+25Ts 程度の増加となります。
- ※4 本数値は、I2C HOLD COUNTER[041Ch]の設定値が”0”を前提としています。I2C HOLD COUNTER の設定値による出力遅延時間の増加に伴って、本数値が増加(クロック周波数については減少)しますのでご注意ください。
参考) f=25MHz の場合、I2C HOLD COUNTER 設定 0Ah(約 400ns 設定)時に+10Ts 程度の増加となります。

8.4 Reset

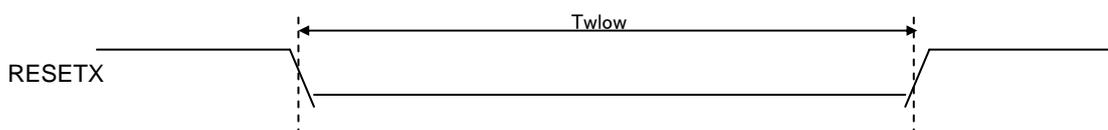


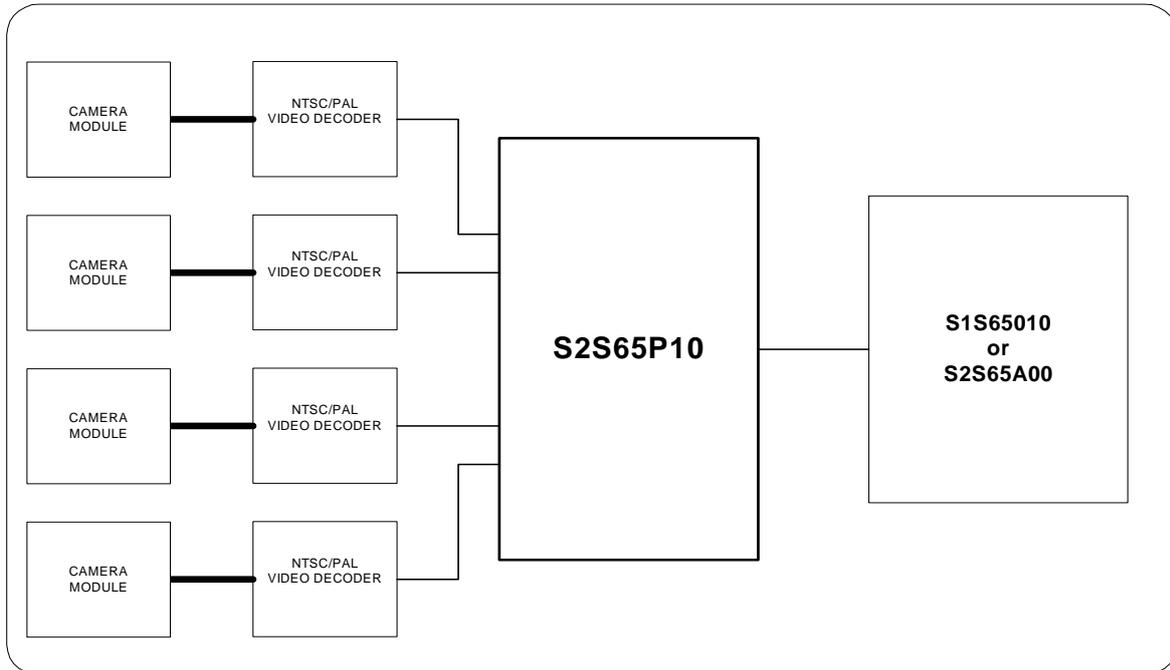
図 8.4 Reset Timing Chart

表 8.4 Reset Timing Spec.

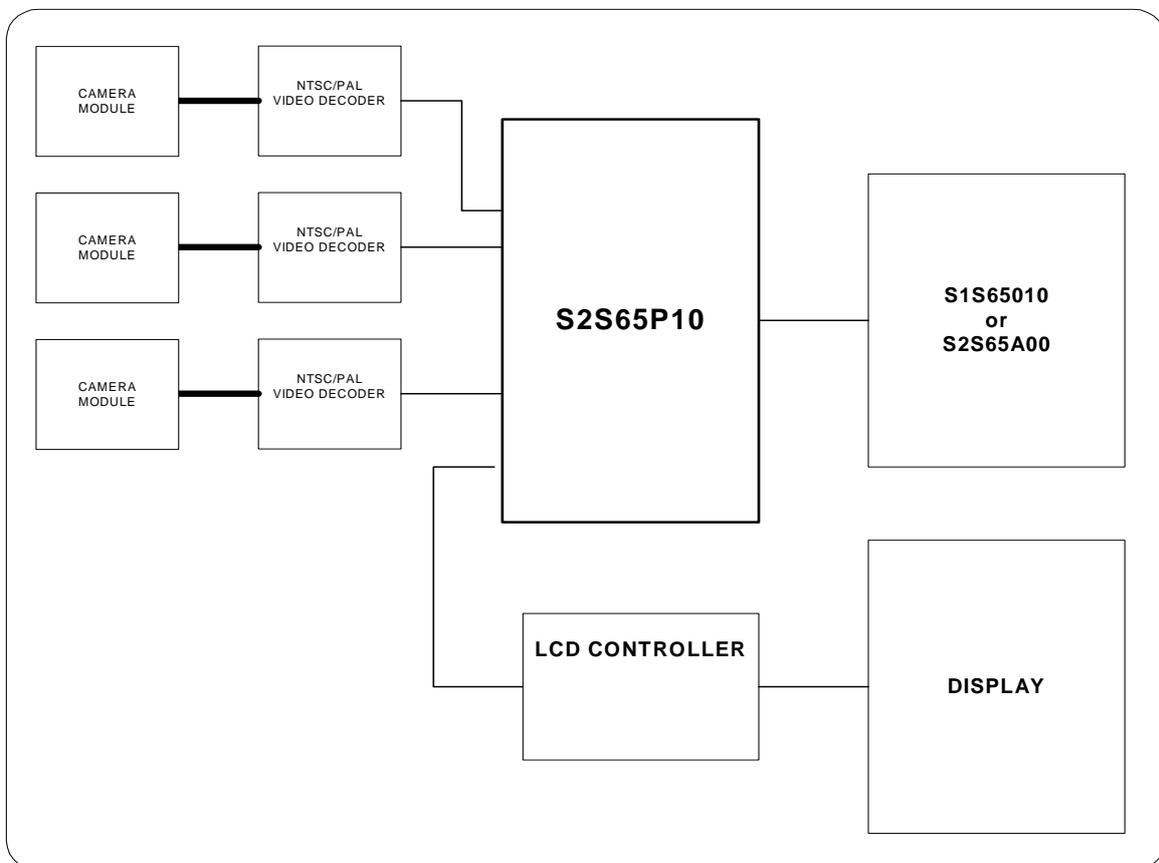
Ta = -40 to +105 °C, HVDD, HVDD1, HVDD4 = 2.4 to 3.6 V, LVDD = 1.65 to 1.95 V, VSS = 0 V, CL = 30 pF (出力)

項目	記号	Min.	Typ.	Max.	単位
リセットパルス幅	Twlow	100	-	-	ns

9. Application Diagram



☒ 9.1 System Example 1

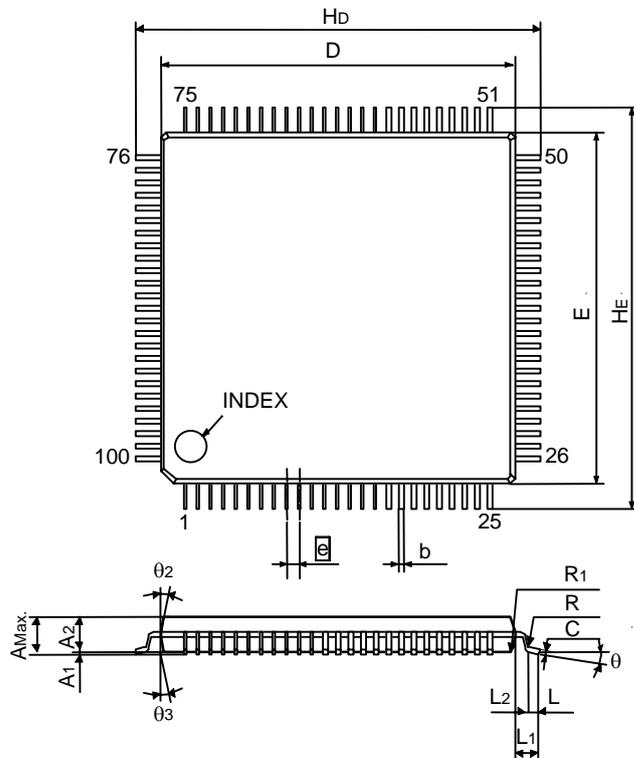


☒ 9.2 System Example 2

10. Mechanical Dimensions

10. Mechanical Dimensions

※改良のため予告なく変更することがあります。



Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
E	13.9	14	14.1
D	13.9	14	14.1
A			1.7
A ₁		0.1	
A ₂	1.3	1.4	1.5
e		0.5	
b	0.13	0.18	0.28
C	0.1	0.125	0.175
θ	0°		10°
L	0.3	0.5	0.7
L ₁		1	
L ₂		0.5	
H _E	15.7	16	16.3
H _D	15.7	16	16.3
θ ₂		12°	
θ ₃		12°	
R		0.2	
R ₁		0.2	

図 10.1 QFP15-100pin PACKAGE

改訂履歴表

Rev. No.	日付	ページ	種別	改訂内容 (旧内容を含む) および改訂理由		
Rev 0.1	2007/04/06	全ページ	新規	新規制定		
Rev 1.0	2007/07/27	全ページ	改訂	全体誤記修正、追記。		
Rev 1.1	2011/10/05		改訂	全体誤記修正、追記。		
		ページ		改定部分	改訂前	改定後
4. 端子説明						
		P.4		CH1CLK	出力電流 2mA	出力電流 -
				CH1HIN CH1HOUT	Type I	Type I/O
				CH1ODD	出力電流 2mA	出力電流 -
				CH2CLK	出力電流 2mA	出力電流 -
				CH2HIN CH2HOUT	Type I	Type I/O
				CH2DIN[7:0] CH2DOUT[7:0]	CH2DIN[7:0]	CH2DIN[7:0] CH2DOUT[7:0]
				CH2ODD	出力電流 2mA	出力電流 -
				CH3CLK	出力電流 2mA	出力電流 -
				CH3ODD	出力電流 2mA	出力電流 -
				CH4CLK	CH4DCLK	CH4CLK
					出力電流 2mA	出力電流 -
				CH4ODD	出力電流 2mA	出力電流 -
				HOUT	Video4 Horizontal Synchronizaion output	Video Horizontal Synchronizaion output
				ST[1:0]	入力 Level LVCMOS	入力 Level -
		P.5		GPIO1	GPIO1 TH_I2C_SDA	GPIO1
				GPIO3	GPIO3 TH_I2C_SDA	GPIO3
				GPIO5	GPIO5 TH_I2C_SDA	GPIO5
				GPIO7	GPIO7 TH_I2C_SDA	GPIO7
					SDAL(Data)	SDA (Data)
5. Register Map						
		P.6		アドレス(h) 0808	初期値 01h	初期値 xxh
				アドレス(h) 0C08	初期値 01h	初期値 xxh
				アドレス(h) 1008	初期値 01h	初期値 xxh
		P.7		アドレス(h) 1408	初期値 01h	初期値 xxh
				アドレス(h) 1820	初期値 31Ah	初期値 xxxh
				アドレス(h) 1824	初期値 31Ah	初期値 xxxh
				アドレス(h) 1828	初期値 31Ah	初期値 xxxh
				アドレス(h) 182C	初期値 31Ah	初期値 xxxh
				アドレス(h) 1830	初期値 01h	初期値 0Ah
				アドレス(h) 1834	初期値 01h	初期値 0Ah
		P.12		ビデオ出力設定レジスタ	Bits[6:5]: Video Input Data Type	Bits[6:5]: Video Output Data Type
					Bit[4]: Video Input Data Format Select	Bit[4]: Video Output Data Format Select
		P.13			Bit[2]: Hsync Input Polarity	Bit[2]: Hsync Output Polarity
					Bit[1]: Vsync Input Polarity	Bit[1]: Vsync Output Polarity

P.15	ビデオ 3 入力プルダウン制御レジスタ	CH3PCCTRL	SYS_CH3PCCTRL
P.17	I ² C 設定レジスタ	DA 信号	SDA 信号
P.19	ビデオ 1 入力取り込み位置設定レジスタ	初期値 = 01h	初期値 = 01h (CONF[1:0] = 00/10/11 の時), 09h (CONF[1:0] = 01 の時)
P.20	ビデオ 2 入力取り込み位置設定レジスタ		
P.22	ビデオ 3 入力取り込み位置設定レジスタ		
P.23	ビデオ 4 入力取り込み位置設定レジスタ		
P.26	ビデオ 1 出力 X 方向長設定レジスタ	[1810h]	[1820h]
	ビデオ 2 出力 X 方向長設定レジスタ	[1814h]	[1824h]
	ビデオ 3 出力 X 方向長設定レジスタ	[1818h]	[1828h]
	ビデオ 4 出力 X 方向長設定レジスタ	[181Ch]	[182Ch]
P.27	ビデオ出力 VSYNC フロントポーチ設定レジスタ	初期値 = 01h	初期値 = 0Ah
		HF_O	VF[7:0]
	ビデオ出力 VSYNC 幅設定レジスタ	初期値 = 01h	初期値 = 0Ah
		VP	VP[7:0]
ビデオ出力 VSYNC バックポーチ設定レジスタ	HB	VB7:0]	
P.40	GPIO 端子機能レジスタ	SDAL(Data)	SDA(Data)
6. 機能説明			
P.45	● マージモード	4 つの入力設定	入力画像 1-4 設定レジスタ (SYS_CH1-4INMODE[0010h]~[001Ch]) の設定値
P.46	表 6.1 フレームレート	マージモード プログレッシブ Min[fps] -	マージモード プログレッシブ Min[fps] 7.5
		(記述なし)	※ビデオ入力 1-4 のフレームレートが 30fps で等しい場合の値です。
P.47	<ビデオ出力 タイミング>	VOUT_HT1[1810h]	VOUT_HT1[1820h]
		VOUT_HT2[1814h]	VOUT_HT2[1824h]
		VOUT_HT3[1818h]	VOUT_HT3[1828h]
		VOUT_HT4[181Ch]	VOUT_HT4[182Ch]
		VOUT_HP[1834h]	VOUT_VP[1834h]
	図 6.8 ビデオ出力タイミング	tHF	HF
P.49	<ビデオ入力 取り込み位置>	VIN2_XSTART[0808h]	VIN2_XSTART[0C08h]
		VIN2_YSTART_O[080Ch]	VIN2_YSTART_O[0C0Ch]
		VIN2_YSTART_E[0810h]	VIN2_YSTART_E[0C10h]
		VIN3_XSTART[0808h]	VIN3_XSTART[1008h]

			VIN3_YSTART_O[080 Ch]	VIN3_YSTART_O[100Ch]
			VIN3_YSTART_E[0810h]	VIN3_YSTART_E[1010h]
			VIN4_XSTART[0808h]	VIN4_XSTART[1408h]
			VIN4_YSTART_O[080 Ch]	VIN4_YSTART_O[140Ch]
			VIN4_YSTART_E[0810h]	VIN4_YSTART_E[1410h]
7. DC 特性				
P.54	表 7.1 絶対最大定格		LVDS_Vss	(削除)
			HVDD3	HVDD4
	表 7.2 推奨動作条件		Tj = -40 ~ 105°C	Tj = -40 ~ 125°C
P.56		表 7.3 DC 特性		プルアップ抵抗
P.57			出力電圧	GPIO[7:0] 追加
			リーク電流	SDA 追加
8. AC 特性				
P.58	表 8.1 Video Input Interface Timing Spec.		Top	Ta
		図 8.2 Video Output Interface Timing Chart	図 8.2 Video Output Interface Timing Cart	図 8.2 Video Output Interface Timing Chart
			表 8.2 Video Output Interface Timing Spec.	Top
P.59	図 8.3 I ² C Interface Timing Chart		Gpio-SCL	GPIO0, GPIO2, GPIO4, GPIO6
			Gpio-SDA	GPIO1, GPIO3, GPIO5, GPIO7
		表 8.3 I ² C Interface Timing Spec.		Top
			Gpio-SCL	GPIO
			Gpio-SDA	GPIO
P.60	表 8.4 Reset Timing Spec.		Top	Ta

セイコーエプソン株式会社

マイクロデバイス事業本部 デバイス営業部

東京 〒191-8501 東京都日野市日野 421-8
TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

ドキュメントコード : 411095301
2007年7月作成
2011年10月改訂