

CMOS 16-BIT SINGLE CHIP MICROCONTROLLER

S1C17601

テクニカルマニュアル

本資料のご使用につきましては、次の点にご留意願います。

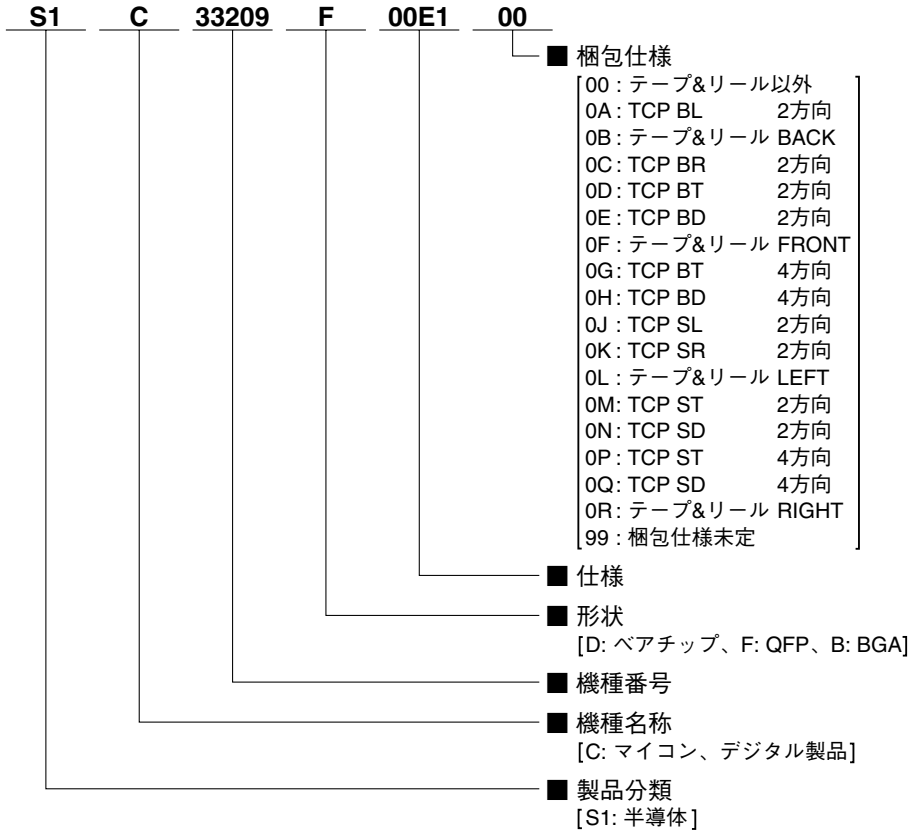
本資料の内容については、予告なく変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これら起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち、「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

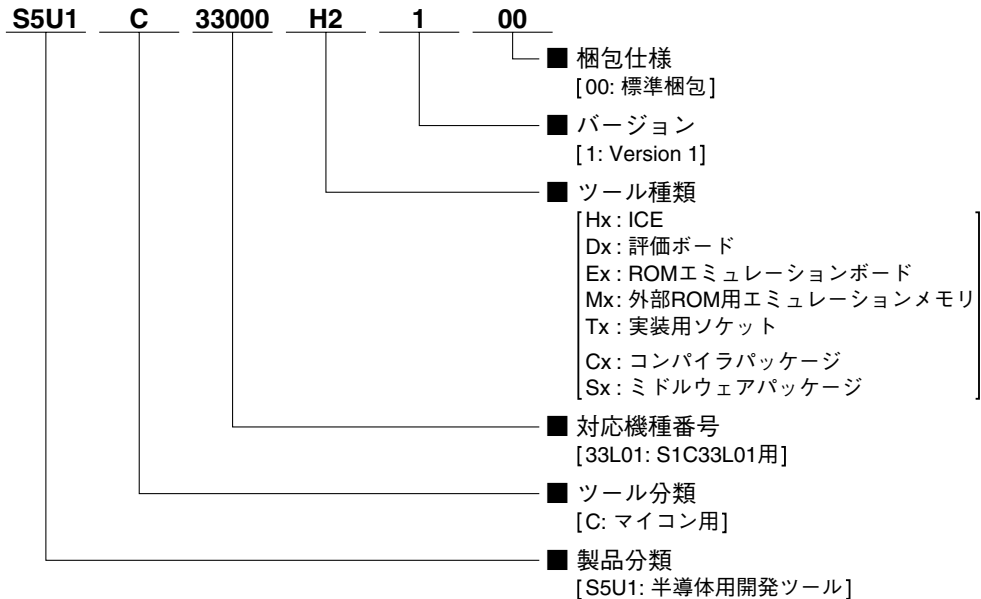
本製品はSilicon Storage Technology, Inc.よりライセンスされたSuperFlash®テクノロジーを使用しています。

製品型番体系

●デバイス



●開発ツール



- 目次 -

1 概要	1-1
1.1 特長.....	1-2
1.2 ブロック図.....	1-3
1.3 端子.....	1-4
1.3.1 端子配置図.....	1-4
1.3.2 端子説明.....	1-8
2 CPU	2-1
2.1 S1C17コアの特長.....	2-1
2.2 CPUレジスタ.....	2-2
2.3 命令セット.....	2-3
2.4 ベクタテーブル.....	2-7
2.5 PSRの読み出し.....	2-8
2.6 プロセッサ情報.....	2-9
3 メモリマップ, バス制御	3-1
3.1 バスサイクル.....	3-2
3.1.1 アクセスサイズ制限.....	3-2
3.1.2 命令実行サイクルの制限.....	3-2
3.2 Flashエリア.....	3-3
3.2.1 内蔵Flashメモリ.....	3-3
3.2.2 Flashプログラミング.....	3-3
3.2.3 プロテクトビット.....	3-3
0xfffc-0xffff: Flash Protect Bits.....	3-4
3.2.4 Flashコントローラのアクセス制御.....	3-4
0x5320: FLASHC Control Register (MISC_FL).....	3-4
3.3 内蔵RAMエリア.....	3-5
3.3.1 内蔵RAM.....	3-5
0x5326: IRAM Size Select Register (MISC_IRAMSZ).....	3-5
3.4 表示RAMエリア.....	3-6
3.4.1 表示RAM.....	3-6
3.5 内蔵周辺回路エリア.....	3-7
3.5.1 内蔵周辺回路エリア1 (0x4000~).....	3-7
3.5.2 内蔵周辺回路エリア2 (0x5000~).....	3-7
3.6 コアI/O予約エリア.....	3-8
4 電源	4-1
4.1 電源電圧.....	4-1
4.2 内部電源回路.....	4-2
4.3 電源回路の制御.....	4-3
4.4 重負荷保護機能.....	4-4
4.5 制御レジスタ詳細.....	4-5
0x5120: VD ₁ Control Register (VD ₁ _CTL).....	4-6
0x50a3: LCD Voltage Regulator Control Register (LCD_VREG).....	4-7
4.6 注意事項.....	4-8
5 イニシャルリセット	5-1
5.1 イニシャルリセット要因.....	5-1
5.1.1 #RESET端子.....	5-1
5.1.2 P0ポートキー入力リセット.....	5-2
5.1.3 ウォッチドッグタイマによるリセット.....	5-2

5.2	イニシャルリセットシーケンス	5-3
5.3	イニシャルリセット時の初期設定	5-4
6	割り込みコントローラ (ITC)	6-1
6.1	ITCの構成	6-1
6.2	ベクタテーブル	6-2
6.3	マスク可能割り込みの制御	6-3
6.3.1	周辺モジュールの割り込み制御ビット	6-3
6.3.2	ITCの割り込み要求処理	6-3
6.3.3	S1C17コアの割り込み処理	6-4
6.4	NMI	6-5
6.5	ソフトウェア割り込み	6-6
6.6	HALT, SLEEPモードの解除	6-7
6.7	制御レジスタ詳細	6-8
	0x4306: Interrupt Level Setup Register 0 (ITC_LV0)	6-9
	0x4308: Interrupt Level Setup Register 1 (ITC_LV1)	6-10
	0x430a: Interrupt Level Setup Register 2 (ITC_LV2)	6-11
	0x430c: Interrupt Level Setup Register 3 (ITC_LV3)	6-12
	0x430e: Interrupt Level Setup Register 4 (ITC_LV4)	6-13
	0x4310: Interrupt Level Setup Register 5 (ITC_LV5)	6-14
	0x4312: Interrupt Level Setup Register 6 (ITC_LV6)	6-15
	0x4314: Interrupt Level Setup Register 7 (ITC_LV7)	6-16
	0x4316: Interrupt Level Setup Register 8 (ITC_LV8)	6-17
	0x4318: Interrupt Level Setup Register 9 (ITC_LV9)	6-18
6.8	注意事項	6-19
7	発振回路 (OSC)	7-1
7.1	OSCモジュールの構成	7-1
7.2	IOSC発振回路	7-2
7.3	OSC3発振回路	7-3
7.4	OSC1発振回路	7-5
7.5	クロックの切り換え	7-6
7.6	LCDクロックの制御	7-8
7.7	8ビットOSC1タイマクロックの制御	7-9
7.8	SVDクロックの制御	7-10
7.9	RFCクロックの制御	7-11
7.10	クロック外部出力 (FOUTH, FOUT1)	7-12
7.11	RESET, NMI入力ノイズフィルタ	7-14
7.12	制御レジスタ詳細	7-15
	0x5060: Clock Source Select Register (OSC_SRC)	7-16
	0x5061: Oscillation Control Register (OSC_CTL)	7-17
	0x5062: Noise Filter Enable Register (OSC_NFEN)	7-19
	0x5063: LCD Clock Setup Register (OSC_LCLK)	7-20
	0x5064: FOUT Control Register (OSC_FOUT)	7-21
	0x5065: T8OSC1 Clock Control Register (OSC_T8OSC1)	7-22
	0x5066: SVD Clock Control Register (OSC_SVD)	7-23
	0x5067: RFC Clock Control Register (OSC_RFC)	7-24
7.13	注意事項	7-25
8	クロックジェネレータ (CLG)	8-1
8.1	クロックジェネレータの構成	8-1
8.2	CPUコアクロック (CCLK) の制御	8-2
8.3	周辺モジュールクロック (PCLK) の制御	8-3
8.4	制御レジスタ詳細	8-4

0x5080: PCLK Control Register (CLG_PCLK)	8-5
0x5081: CCLK Control Register (CLG_CCLK)	8-6
8.5 注意事項	8-7
9 プリスケーラ (PSC)	9-1
9.1 プリスケーラの構成	9-1
9.2 制御レジスタ詳細	9-2
0x4020: Prescaler Control Register (PSC_CTL)	9-2
9.3 注意事項	9-3
10 入出力ポート (P)	10-1
10.1 入出力ポートの構成	10-1
10.2 入出力端子機能の選択 (ポートMUX)	10-2
10.3 データの入出力	10-3
10.4 プルアップ制御	10-5
10.5 入力インタフェースレベル	10-6
10.6 P0/P1ポートのチャタリング除去機能	10-7
10.7 ポート入力割り込み	10-8
10.8 制御レジスタ詳細	10-10
0x5200/0x5210/0x5220: P x Port Input Data Registers (P x _IN)	10-11
0x5201/0x5211/0x5221: P x Port Output Data Registers (P x _OUT)	10-12
0x5202/0x5212/0x5222: P x Port Output Enable Registers (P x _OEN)	10-13
0x5203/0x5213/0x5223: P x Port Pull-up Control Registers (P x _PU)	10-14
0x5204/0x5214/0x5224: P x Port Schmitt Trigger Control Registers (P x _SM)	10-15
0x5205/0x5215: P x Port Interrupt Mask Registers (P x _IMSK)	10-16
0x5206/0x5216: P x Port Interrupt Edge Select Registers (P x _EDGE)	10-17
0x5207/0x5217: P x Port Interrupt Flag Registers (P x _IFLG)	10-18
0x5208/0x5218: P x Port Chattering Filter Control Register (P x _CHAT)	10-19
0x5209: P0 Port Key-Entry Reset Configuration Register (P0_KRST)	10-21
0x520a/0x521a/0x522a: P x Port Input Enable Registers (P x _IEN)	10-22
0x52a0: P0 Port Function Select Register (P0_PMUX)	10-23
0x52a1: P0 Port Function Select Register (P0_PMUX)	10-24
0x52a2: P1 Port Function Select Register (P1_PMUX)	10-25
0x52a3: P1 Port Function Select Register (P1_PMUX)	10-26
0x52a4: P2 Port Function Select Register (P2_PMUX)	10-27
0x52a5: P2 Port Function Select Register (P2_PMUX)	10-28
10.9 注意事項	10-29
11 16ビットタイマ (T16)	11-1
11.1 16ビットタイマの概要	11-1
11.2 16ビットタイマの動作モード	11-2
11.2.1 内部クロックモード	11-2
11.2.2 外部クロックモード	11-3
11.2.3 パルス幅測定モード	11-4
11.3 カウントモード	11-5
11.4 16ビットタイマリロードレジスタとアンダーフロー周期	11-6
11.5 16ビットタイマのリセット	11-7
11.6 16ビットタイマRUN/STOP制御	11-8
11.7 16ビットタイマ出力信号	11-9
11.8 16ビットタイマ割り込み	11-10
11.9 制御レジスタ詳細	11-11
0x4220/0x4240/0x4260: 16-bit Timer Ch. x Input Clock Select Registers (T16_CLK x)	11-12
0x4222/0x4242/0x4262: 16-bit Timer Ch. x Reload Data Registers (T16_TR x)	11-13
0x4224/0x4244/0x4264: 16-bit Timer Ch. x Counter Data Registers (T16_TC x)	11-14
0x4226/0x4246/0x4266: 16-bit Timer Ch. x Control Registers (T16_CTL x)	11-15

0x4228/0x4248/0x4268: 16-bit Timer Ch.x Interrupt Control Registers (T16_INTx)	11-17
11.10 注意事項	11-18
12 8ビットタイマ(T8F)	12-1
12.1 8ビットタイマの概要	12-1
12.2 8ビットタイマのカウントモード	12-2
12.3 カウントクロック	12-3
12.4 8ビットタイマリロードレジスタとアンダーフロー周期	12-4
12.5 8ビットタイマのリセット	12-5
12.6 8ビットタイマRUN/STOP制御	12-6
12.7 8ビットタイマ出力信号	12-7
12.8 ファインモード	12-8
12.9 8ビットタイマ割り込み	12-9
12.10 制御レジスタ詳細	12-10
0x4200: 8-bit Timer Input Clock Select Register (T8F_CLK)	12-11
0x4202: 8-bit Timer Reload Data Register (T8F_TR)	12-12
0x4204: 8-bit Timer Counter Data Register (T8F_TC)	12-13
0x4206: 8-bit Timer Control Register (T8F_CTL)	12-14
0x4208: 8-bit Timer Interrupt Control Register (T8F_INT)	12-16
12.11 注意事項	12-17
13 PWMタイマ(T16E)	13-1
13.1 PWMタイマの概要	13-1
13.2 PWMタイマの動作モード	13-2
13.3 カウンタ値のセット/リセット	13-3
13.4 コンペアデータの設定	13-4
13.5 PWMタイマRUN/STOP制御	13-5
13.6 クロック出力の制御	13-6
13.7 PWMタイマ割り込み	13-9
13.8 制御レジスタ詳細	13-11
0x5300/0x5360: PWM Timer Ch.x Compare Data A Registers (T16E_CA x)	13-12
0x5302/0x5362: PWM Timer Ch.x Compare Data B Registers (T16E_CB x)	13-13
0x5304/0x5364: PWM Timer Ch.x Counter Data Registers (T16E_TC x)	13-14
0x5306/0x5366: PWM Timer Ch.x Control Registers (T16E_CTL x)	13-15
0x5308/0x5368: PWM Timer Ch.x Input Clock Select Registers (T16E_CLK x)	13-17
0x530a/0x536a: PWM Timer Ch.x Interrupt Mask Registers (T16E_IMSK x)	13-18
0x530c/0x536c: PWM Timer Ch.x Interrupt Flag Registers (T16E_IFLG x)	13-19
13.9 注意事項	13-20
14 8ビットOSC1タイマ(T8OSC1)	14-1
14.1 8ビットOSC1タイマの概要	14-1
14.2 8ビットOSC1タイマのカウントモード	14-2
14.3 カウントクロック	14-3
14.4 8ビットOSC1タイマのリセット	14-4
14.5 コンペアデータの設定	14-5
14.6 8ビットOSC1タイマRUN/STOP制御	14-6
14.7 8ビットOSC1タイマ割り込み	14-7
14.8 PWM出力	14-8
14.9 制御レジスタ詳細	14-9
0x50c0: 8-bit OSC1 Timer Control Register (T8OSC1_CTL)	14-10
0x50c1: 8-bit OSC1 Timer Counter Data Register (T8OSC1_CNT)	14-11
0x50c2: 8-bit OSC1 Timer Compare Data Register (T8OSC1_CMP)	14-12
0x50c3: 8-bit OSC1 Timer Interrupt Mask Register (T8OSC1_IMSK)	14-13

0x50c4: 8-bit OSC1 Timer Interrupt Flag Register (T8OSC1_IFLG)	14-14
0x50c5: 8-bit OSC1 Timer PWM Duty Data Register (T8OSC1_DUTY)	14-15
14.10 注意事項	14-16
15 計時タイマ (CT)	15-1
15.1 計時タイマの概要	15-1
15.2 動作クロック	15-2
15.3 計時タイマのリセット	15-3
15.4 計時タイマRUN/STOP制御	15-4
15.5 計時タイマ割り込み	15-5
15.6 制御レジスタ詳細	15-6
0x5000: Clock Timer Control Register (CT_CTL)	15-7
0x5001: Clock Timer Counter Register (CT_CNT)	15-8
0x5002: Clock Timer Interrupt Mask Register (CT_IMSK)	15-9
0x5003: Clock Timer Interrupt Flag Register (CT_IFLG)	15-10
15.7 注意事項	15-11
16 ストップウォッチタイマ (SWT)	16-1
16.1 ストップウォッチタイマの概要	16-1
16.2 BCDカウンタ	16-2
16.3 動作クロック	16-3
16.4 ストップウォッチタイマのリセット	16-4
16.5 ストップウォッチタイマRUN/STOP制御	16-5
16.6 ストップウォッチタイマ割り込み	16-6
16.7 制御レジスタ詳細	16-7
0x5020: Stopwatch Timer Control Register (SWT_CTL)	16-8
0x5021: Stopwatch Timer BCD Counter Register (SWT_BCNT)	16-9
0x5022: Stopwatch Timer Interrupt Mask Register (SWT_IMSK)	16-10
0x5023: Stopwatch Timer Interrupt Flag Register (SWT_IFLG)	16-11
16.8 注意事項	16-12
17 ウォッチドッグタイマ (WDT)	17-1
17.1 ウォッチドッグタイマの概要	17-1
17.2 動作クロック	17-2
17.3 ウォッチドッグタイマの制御	17-3
17.3.1 NMI/リセットモードの選択	17-3
17.3.2 ウォッチドッグタイマのRUN/STOP制御	17-3
17.3.3 ウォッチドッグタイマのリセット	17-3
17.3.4 スタンバイモード時の動作	17-3
17.4 制御レジスタ詳細	17-4
0x5040: Watchdog Timer Control Register (WDT_CTL)	17-5
0x5041: Watchdog Timer Status Register (WDT_ST)	17-6
17.5 注意事項	17-7
18 UART	18-1
18.1 UARTの構成	18-1
18.2 UART端子	18-2
18.3 転送クロック	18-3
18.4 転送データの設定	18-4
18.5 データ送受信の制御	18-5
18.6 受信エラー	18-8
18.7 UART割り込み	18-9
18.8 IrDAインタフェース	18-11

18.9	制御レジスタ詳細	18-13
	0x4100: UART Status Registers (UART_ST)	18-14
	0x4101: UART Transmit Data Registers (UART_TXD)	18-16
	0x4102: UART Receive Data Registers (UART_RXD)	18-17
	0x4103: UART Mode Registers (UART_MOD)	18-18
	0x4104: UART Control Registers (UART_CTL)	18-19
	0x4105: UART Expansion Registers (UART_EXP)	18-20
18.10	注意事項	18-21
19	SPI	19-1
19.1	SPIの構成	19-1
19.2	SPI入出力端子	19-2
19.3	SPIクロック	19-3
19.4	データ転送条件の設定	19-4
19.5	データ送受信の制御	19-5
19.6	SPI割り込み	19-8
19.7	制御レジスタ詳細	19-9
	0x4320: SPI Status Register (SPI_ST)	19-10
	0x4322: SPI Transmit Data Register (SPI_TXD)	19-11
	0x4324: SPI Receive Data Register (SPI_RXD)	19-12
	0x4326: SPI Control Register (SPI_CTL)	19-13
19.8	注意事項	19-15
20	I²Cマスタ (I²CM)	20-1
20.1	I ² Cマスタの構成	20-1
20.2	I ² Cマスタ入出力端子	20-2
20.3	I ² Cマスタクロック	20-3
20.4	データ転送前の設定項目	20-4
20.5	データ送受信の制御	20-5
20.6	I ² Cマスタ割り込み	20-10
20.7	制御レジスタ詳細	20-11
	0x4340: I ² C Enable Register (I2C_EN)	20-12
	0x4342: I ² C Control Register (I2C_CTL)	20-13
	0x4344: I ² C Data Register (I2C_DAT)	20-15
	0x4346: I ² C Interrupt Control Register (I2C_ICTL)	20-17
21	I²Cスレーブ (I²CS)	21-1
21.1	I ² Cスレーブの構成	21-1
21.2	I ² Cスレーブ入出力端子	21-2
21.3	I ² Cスレーブクロック	21-3
21.4	I ² Cスレーブの初期設定	21-4
	21.4.1 リセット	21-4
	21.4.2 スレーブアドレスの設定	21-4
	21.4.3 オプション機能	21-4
21.5	データ送受信の制御	21-6
21.6	I ² Cスレーブ割り込み	21-11
21.7	制御レジスタ詳細	21-13
	0x4360: I ² C Slave Transmit Data Register (I2CS_TRNS)	21-14
	0x4362: I ² C Slave Receive Data Register (I2CS_RECV)	21-15
	0x4364: I ² C Slave Address Setup Register (I2CS_SADRS)	21-16
	0x4366: I ² C Slave Control Register (I2CS_CTL)	21-17
	0x4368: I ² C Slave Status Register (I2CS_STAT)	21-20
	0x436a: I ² C Slave Access Status Register (I2CS_ASTAT)	21-23
	0x436c: I ² C Slave Interrupt Control Register (I2CS_ICTL)	21-24

21.8 注意事項.....	21-25
22 LCDドライバ(LCD8)	22-1
22.1 LCDドライバの構成.....	22-1
22.2 LCD電源.....	22-2
22.3 LCDクロック.....	22-3
22.3.1 LCD動作クロック.....	22-3
22.3.2 フレーム信号.....	22-3
22.4 駆動デューティの切り換え.....	22-4
22.5 表示メモリ.....	22-10
22.6 表示の制御.....	22-12
22.6.1 表示のOn/Off.....	22-12
22.6.2 LCDコントラスト調整.....	22-12
22.6.3 反転表示.....	22-12
22.7 LCD割り込み.....	22-13
22.8 制御レジスタ詳細.....	22-14
0x50a0: LCD Display Control Register (LCD_DCTL).....	22-15
0x50a1: LCD Contrast Adjust Register (LCD_CADJ).....	22-17
0x50a2: LCD Clock Control Register (LCD_CCTL).....	22-18
0x50a3: LCD Voltage Regulator Control Register (LCD_VREG).....	22-19
0x50a5: LCD Interrupt Mask Register (LCD_IMSK).....	22-20
0x50a6: LCD Interrupt Flag Register (LCD_IFLG).....	22-21
22.9 注意事項.....	22-22
23 A/D変換器(ADC10SA)	23-1
23.1 A/D変換器の概要.....	23-1
23.2 ADC端子.....	23-2
23.3 A/D変換器の設定.....	23-3
23.4 A/D変換の制御と動作.....	23-6
23.5 A/D変換器割り込み.....	23-9
23.6 制御レジスタ詳細.....	23-11
0x5380: ADC10 Conversion Result Register (ADC10_ADD).....	23-12
0x5382: ADC10 Trigger/Channel Select Register (ADC10_TRG).....	23-13
0x5384: ADC10 Control/Status Register (ADC10_CTL).....	23-15
0x5386: ADC10 Divided Frequency Register (ADC10_DIV).....	23-17
23.7 注意事項.....	23-18
24 R/F変換器(RFC)	24-1
24.1 R/F変換器の概要.....	24-1
24.2 RFC端子.....	24-2
24.3 動作モード.....	24-3
24.4 変換動作.....	24-6
24.5 R/F変換器割り込み.....	24-9
24.6 制御レジスタ詳細.....	24-11
0x53a0: RFC Control Register (RFC_CTL).....	24-12
0x53a2: RFC Oscillation Start Register (RFC_TRG).....	24-13
0x53a4/0x53a6: RFC measurement Counter Data Register (RFC_MC).....	24-14
0x53a8/0x53aa: RFC Time Base Counter Data Register (RFC_TC).....	24-15
0x53ac: RFC Interrupt Mask Register (RFC_IMSK).....	24-16
0x53ae: RFC Interrupt Flag Register (RFC_IFLG).....	24-17
24.7 注意事項.....	24-18
25 電源電圧検出回路(SVD)	25-1
25.1 SVDモジュールの構成.....	25-1

25.2	SVDクロック	25-2
25.3	比較電圧の設定	25-3
25.4	SVD回路の制御	25-4
25.5	SVD割り込み	25-5
25.6	制御レジスタ詳細	25-6
	0x5100: SVD Enable Register (SVD_EN)	25-7
	0x5101: SVD Compare Voltage Register (SVD_CMP)	25-8
	0x5102: SVD Detection Result Register (SVD_RSLT)	25-9
	0x5103: SVD Interrupt Mask Register (SVD_IMSK)	25-10
	0x5104: SVD Interrupt Flag Register (SVD_IFLG)	25-11
25.7	注意事項	25-12
26	オンチップデバッグ(DBG)	26-1
26.1	リソース要件とデバッグツール	26-1
26.2	デバッグブレイク時の動作状態	26-2
26.3	追加デバッグ機能	26-3
26.4	制御レジスタ詳細	26-4
	0x5322: OSC1 Peripheral Control Register (MISC_OSC1)	26-5
	0x5326: IRAM Size Select Register (MISC_IRAMSZ)	26-6
	0xffff90: Debug RAM Base Register (DBRAM)	26-7
	0xffffa0: Debug Control Register (DCR)	26-8
	0xffffb8: Instruction Break Address Register 2 (IBAR2)	26-10
	0xffffbc: Instruction Break Address Register 3 (IBAR3)	26-11
	0xffffd0: Instruction Break Address Register 4 (IBAR4)	26-12
27	乗除算器	27-1
27.1	概要	27-1
27.2	動作モードと出力モード	27-2
27.3	乗算	27-3
27.4	除算	27-4
27.5	積和演算	27-5
27.6	演算結果の読み出し	27-7
28	電気的特性	28-1
28.1	絶対最大定格	28-1
28.2	推奨動作条件	28-1
28.3	消費電流	28-2
28.4	入出力端子特性	28-4
28.5	LCDドライバ回路特性	28-6
28.6	SVD回路特性	28-9
28.7	A/D変換器特性	28-10
28.8	Flashメモリ特性	28-11
28.9	SPI特性	28-12
28.10	I ² C特性	28-13
28.11	外部クロック入力特性	28-14
28.12	発振回路特性	28-15
28.13	R/F変換器特性	28-16
29	基本外部結線図	29-1
30	パッケージ	30-1
Appendix A	I/Oレジスタ一覧	AP-1
	0x4020 Prescaler	AP-5

0x4100–0x4105	UART (with IrDA).....	AP-6
0x4200–0x4208	8-bit Timer (with Fine Mode).....	AP-7
0x4220–0x4268	16-bit Timer.....	AP-8
0x4306–0x4318	Interrupt Controller.....	AP-10
0x4320–0x4326	SPI.....	AP-11
0x4340–0x4346	I ² C Master.....	AP-12
0x4360–0x436c	I ² C Slave.....	AP-13
0x5000–0x5003	Clock Timer.....	AP-14
0x5020–0x5023	Stopwatch Timer.....	AP-15
0x5040–0x5041	Watchdog Timer.....	AP-16
0x5060–0x5067	Oscillator.....	AP-17
0x5080–0x5081	Clock Generator.....	AP-18
0x50a0–0x50a6	LCD Driver.....	AP-19
0x50c0–0x50c5	8-bit OSC1 Timer.....	AP-20
0x5100–0x5104	SVD Circuit.....	AP-21
0x5120	Power Generator.....	AP-22
0x5200–0x52a5	P Port & Port MUX.....	AP-23
0x5300–0x530c	PWM Timer Ch.0.....	AP-27
0x5320–0x532c	MISC Registers.....	AP-28
0x5360–0x536c	PWM Timer Ch.1.....	AP-29
0x5380–0x5386	ADC10SA.....	AP-30
0x53a0–0x53ae	RFC.....	AP-31
0x53c0–0x53d3	SEGRAM.....	AP-32
0xffff84–0xffffd0	S1C17 Core I/O.....	AP-33
Appendix B Flashプログラミング.....		AP-34
B.1	デバッガによるプログラミング.....	AP-34
B.2	ユーザプログラムによる自己プログラミング.....	AP-35
Appendix C パワーセーブ.....		AP-36
C.1	クロック制御によるパワーセーブ.....	AP-36
C.2	電源制御によるパワーセーブ.....	AP-39
Appendix D 実装上の注意事項.....		AP-40
Appendix E 初期化ルーチン.....		AP-44
Appendix F 推奨振動子.....		AP-46
改訂履歴表		

1 概要

S1C17601は、高速かつ低電力動作、省サイズ、広アドレス空間、オンチップICEを実現した16ビットMCUです。A/D変換器、R/F変換器を内蔵しており、各種アナログI/Fのセンサを接続することが可能です。電池駆動で小規模、高精細な表示を必要とするセンサ付きヘルスケア製品、スポーツウォッチ、メータモジュールなどの機器への応用に適しています。

1.1 特長

以下にS1C17601の主な機能と特長を示します。

- CPU
 - EPSONオリジナル16ビットRISC CPUコア S1C17
16ビット×16ビット+32ビット積和演算器、
16ビット÷16ビット除算器
- IOSC発振回路
 - 2.7MHz(typ.)
 - 発振開始時間 5μS(max.)
 - ブートクロック(外付部品不要)
- OSC3発振回路
 - 水晶発振回路/セラミック発振回路 8.2MHz(max.)または外部クロック入力
- OSC1発振回路
 - 水晶発振回路 32.768kHz(typ.)
- 内蔵Flashメモリ
 - 32Kバイト(命令/データ共用)
 - 1,000回(min.)書き換え
 - 書き込み/読み出し保護機能
 - デバッグツールICD Mini(S5U1C17001H)からのオンボード書き換え、プログラムによる自己書き換え可能
- 内蔵RAM
 - 2Kバイト
- 内蔵表示RAM
 - 20バイト
- A/D変換器
 - 10ビット分解能 4ch.
- RF変換器
 - DC発振/AC発振/外部入力 1ch.
- 入出力ポート
 - 最大24ビットの汎用入出力(周辺回路の入出力と端子を共用)
- シリアルインタフェース
 - SPI(マスタ/スレーブ) 1ch.
 - I²C(マスタ) 1ch.
 - I²C(スレーブ) 1ch.
 - UART(460800bps, IrDA1.0対応) 1ch.
- タイマ
 - 8ビットタイマ(T8F) 1ch.
 - 16ビットタイマ(T16) 3ch.
 - PWMタイマ(T16E) 2ch.
 - 計時タイマ(CT) 1ch.
 - ストップウォッチタイマ(SWT) 1ch.
 - ウォッチドッグタイマ(WDT) 1ch.
 - 8ビットOSC1 PWMタイマ(T8OSC1) 1ch.
- LCDドライバ
 - 16SEG×8COMまたは20SEG×4COM(1/3バイアス)
 - 昇圧電源回路内蔵(コントラスト16値プログラマブル)
- 電源電圧検出(SVD)回路
 - 15値プログラマブル(1.8V~3.2V)
- 割り込み
 - NMI、Pポート入力割り込み 3系統
 - シリアルインタフェース割り込み 4系統
 - タイマ割り込み 9系統
 - LCD割り込み、SVD割り込み、ADC割り込み、RFC割り込み
- 電源電圧
 - 1.8V~3.6V(通常動作時)
 - 2.7V~3.6V(Flash消去/プログラミング時)
 - 内部定電圧回路内蔵(動作電圧2値プログラマブル)
- 動作温度
 - -25°C~70°C
- 消費電流
 - SLEEP時 0.6μA typ. (OSC1=OFF, IOSC=OFF, OSC3=OFF)
 - HALT時 2.0μA typ. (OSC1=32kHz, IOSC=OFF, OSC3=OFF, PCKEN=0x0, LCD OFF)
2.7μA typ. (OSC1=32kHz, IOSC=OFF, OSC3=OFF, PCKEN=0x0, LCD ON(全点灯,コントラスト最大, VC2基準))
 - 動作時 12μA typ. (OSC1=32kHz, IOSC=OFF, OSC3=OFF, LCD OFF)
340μA typ. (OSC1=OFF, IOSC=OFF, OSC3=1MHzセラミック発振)
- 出荷形態
 - TQFP13-64 10mm×10mmボディー、0.5mmピッチ
 - VFPGA8H-81 8mm×8mmボディー、0.8mmピッチ
 - ベアチップ 100μmピッチ

1.2 ブロック図

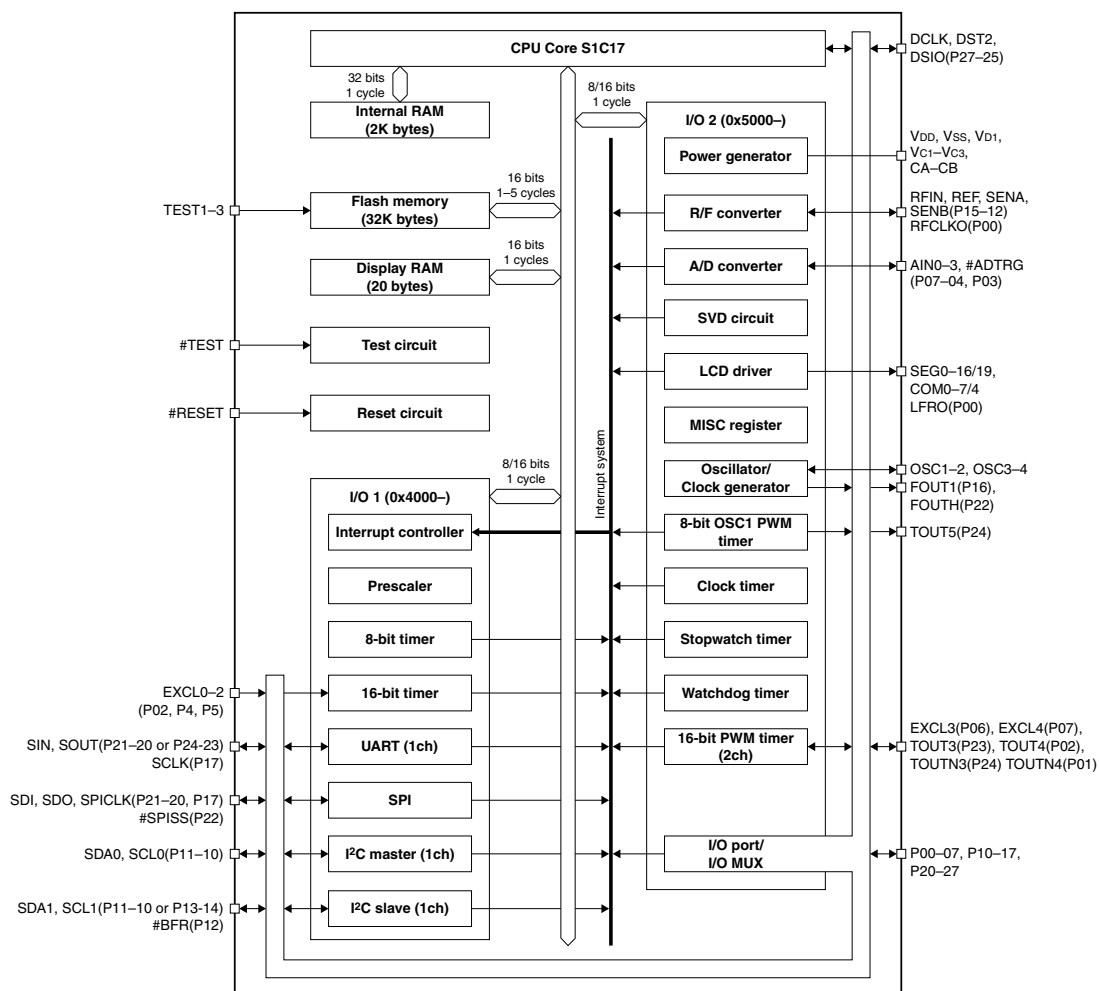


図1.2.1 ブロック図

1.3 端子

1.3.1 端子配置图

TQFP13-64pin

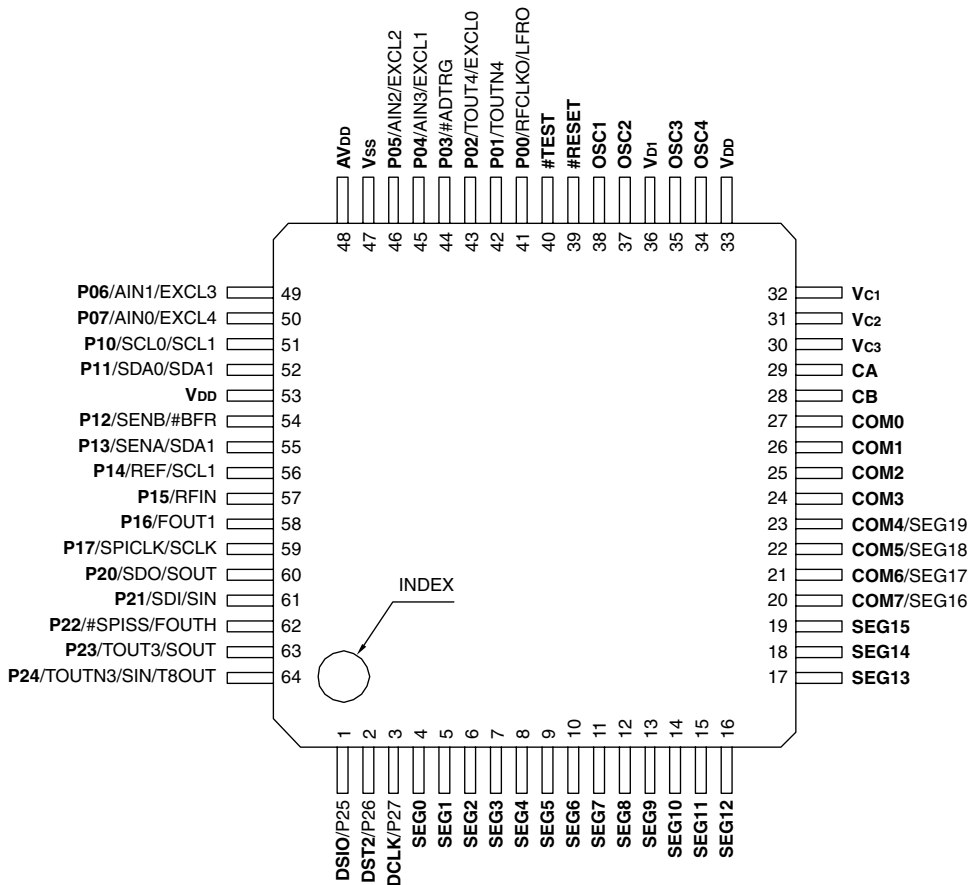


图1.3.1.1 端子配置图(TQFP13-64pin)

VF8GA8H-81

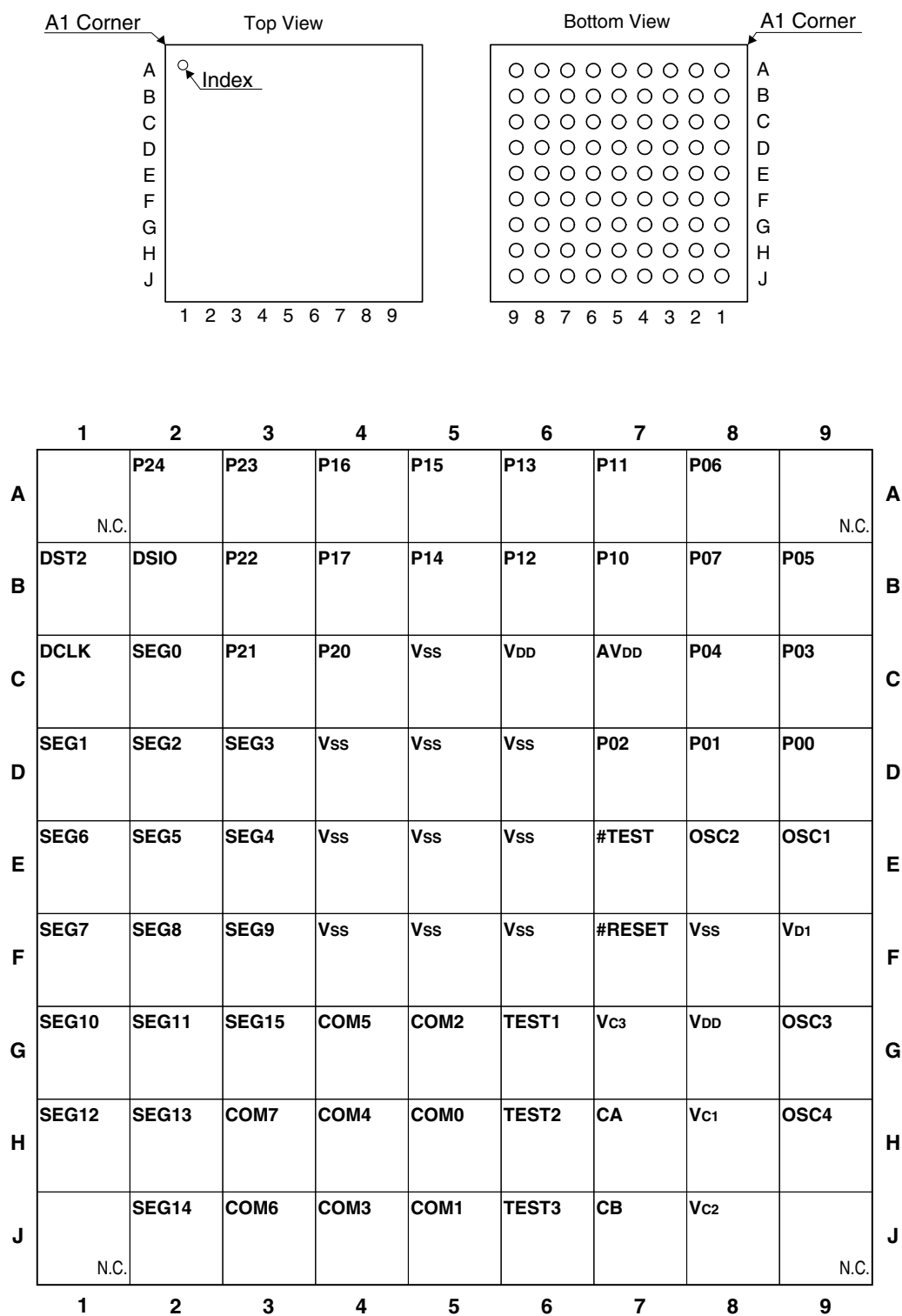
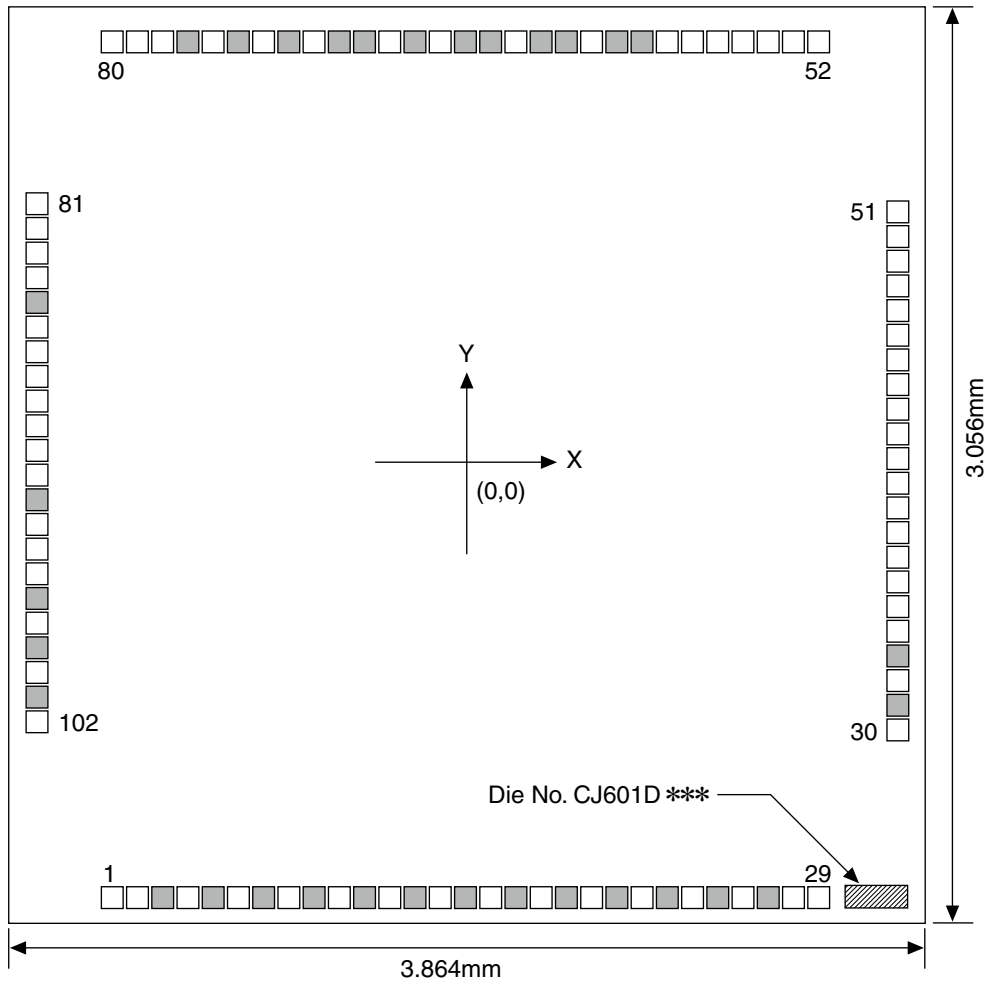


图1.3.1.2 端子配置图(VF8GA8H-81)

CHIP-102pad



注：***は、任意の3文字

- は NC パッド
- ▨ は Die No.

パッド開口部

Pad No. 1~29, 52~80 : 87×85μm

Pad No. 30~51, 81~102 : 85×87μm

チップ厚

400μm

パッド座標

PAD No.	X (mm)	Y (mm)	割り当て	PAD No.	X (mm)	Y (mm)	割り当て	PAD No.	X (mm)	Y (mm)	割り当て
1	-1.418	-1.427	DSIO	51	1.831	1.080	V _{SS}	101	-1.831	-0.930	NC
2	-1.318	-1.427	DST2	52	1.482	1.427	V _{DD}	102	-1.831	-1.030	P24
3	-1.218	-1.427	NC	53	1.382	1.427	OSC4				
4	-1.118	-1.427	DCLK	54	1.282	1.427	OSC3				
5	-1.018	-1.427	NC	55	1.182	1.427	V _{SS}				
6	-0.918	-1.427	SEG0	56	0.982	1.427	V _{D1}				
7	-0.818	-1.427	NC	57	0.882	1.427	OSC2				
8	-0.718	-1.427	SEG1	58	0.782	1.427	OSC1				
9	-0.618	-1.427	NC	59	0.682	1.427	NC				
10	-0.518	-1.427	SEG2	60	0.582	1.427	NC				
11	-0.418	-1.427	NC	61	0.482	1.427	XRESET				
12	-0.318	-1.427	SEG3	62	0.382	1.427	NC				
13	-0.218	-1.427	NC	63	0.282	1.427	NC				
14	-0.118	-1.427	SEG4	64	0.182	1.427	XTEST				
15	-0.018	-1.427	NC	65	0.082	1.427	NC				
16	0.082	-1.427	SEG5	66	-0.018	1.427	NC				
17	0.182	-1.427	NC	67	-0.118	1.427	P00				
18	0.282	-1.427	SEG6	68	-0.218	1.427	NC				
19	0.382	-1.427	NC	69	-0.318	1.427	P01				
20	0.482	-1.427	SEG7	70	-0.418	1.427	NC				
21	0.582	-1.427	NC	71	-0.518	1.427	NC				
22	0.682	-1.427	SEG8	72	-0.618	1.427	P02				
23	0.782	-1.427	NC	73	-0.718	1.427	NC				
24	0.882	-1.427	SEG9	74	-0.818	1.427	P03				
25	0.982	-1.427	NC	75	-0.918	1.427	NC				
26	1.082	-1.427	SEG10	76	-1.018	1.427	P04				
27	1.182	-1.427	NC	77	-1.118	1.427	NC				
28	1.282	-1.427	SEG11	78	-1.218	1.427	P05				
29	1.382	-1.427	SEG12	79	-1.318	1.427	V _{SS}				
30	1.831	-1.030	SEG13	80	-1.418	1.427	AV _{DD}				
31	1.831	-0.930	NC	81	-1.831	1.070	P06				
32	1.831	-0.830	SEG14	82	-1.831	0.970	P07				
33	1.831	-0.730	NC	83	-1.831	0.870	P10				
34	1.831	-0.630	SEG15	84	-1.831	0.770	P11				
35	1.831	-0.530	COM7	85	-1.831	0.670	NC				
36	1.831	-0.430	COM6	86	-1.831	0.570	V _{DD}				
37	1.831	-0.330	COM5	87	-1.831	0.470	P12				
38	1.831	-0.230	COM4	88	-1.831	0.370	P13				
39	1.831	-0.130	COM3	89	-1.831	0.270	P14				
40	1.831	-0.030	COM2	90	-1.831	0.170	P15				
41	1.831	0.070	COM1	91	-1.831	0.070	V _{SS}				
42	1.831	0.170	COM0	92	-1.831	-0.030	P16				
43	1.831	0.270	TEST3	93	-1.831	-0.130	NC				
44	1.831	0.370	TEST2	94	-1.831	-0.230	P17				
45	1.831	0.470	TEST1	95	-1.831	-0.330	P20				
46	1.831	0.570	CB	96	-1.831	-0.430	P21				
47	1.831	0.670	CA	97	-1.831	-0.530	NC				
48	1.831	0.770	V _{C3}	98	-1.831	-0.630	P22				
49	1.831	0.870	V _{C2}	99	-1.831	-0.730	NC				
50	1.831	0.970	V _{C1}	100	-1.831	-0.830	P23				

1.3.2 端子説明

表1.3.2.1 端子説明

PAD/端子/ボールNo.			名称	I/O	初期状態	機能
CHIP	TQFP	VFBGA				
1	1	B2	DSIO/P25	I/O	I(Pull-UP)	オンチップデバッグデータ入出力*1/入出力兼用ポート
2	2	B1	DST2/P26	I/O	O(L)	オンチップデバッグステータス出力*1/入出力兼用ポート
4	3	C1	DCLK/P27	I/O	O(H)	オンチップデバッグクロック出力*1/入出力兼用ポート
*6	4-19	*2	SEG0-15	O	O(L)	LCDセグメント出力
*7	20-23	*3	COM7-4/ SEG16-19	O	O(L)	LCDコモン出力*1/LCDセグメント出力
*7	24-27	*3	COM3-0	O	O(L)	LCDコモン出力
43	-	J6	TEST3	-	-	テスト端子 (OPENにしてください)
44	-	H6	TEST2	-	-	テスト端子 (OPENにしてください)
45	-	G6	TEST1	-	-	テスト端子 (OPENにしてください)
46	28	H7	CB	-	-	LCD昇圧コンデンサ接続
47	29	J7	CA	-	-	LCD昇圧コンデンサ接続
48	30	G7	Vc3	-	-	LCD系駆動電圧出力
49	31	J8	Vc2	-	-	LCD系駆動電圧出力
50	32	H8	Vc1	-	-	LCD系駆動電圧出力
51	-	*4	Vss	-	-	電源(-)
52	33	*5	Vdd	-	-	電源(+)
53	34	H9	OSC4	O	O	OSC3発振出力
54	35	G9	OSC3	I	I	OSC3発振入力 (VDD-VSSレベルの外部クロック入力も可能)
55	-	*4	Vss	-	-	電源(-)
	36	F9	Vd1	-	-	内部ロジックおよび発振系定電圧回路出力
57	37	E8	OSC2	O	O	OSC1発振出力
58	38	E9	OSC1	I	I	OSC1発振入力
61	39	F7	#RESET	I	I(Pull-UP)	イニシャルセット入力
64	40	E7	#TEST	I	I(Pull-UP)	テスト端子 (VDD固定)
67	41	D9	P00/RFCLKO/ LFRO	I/O	I(Pull-UP)	入出力兼用ポート (割り込みあり)*1/RFクロックモニタ/LCDフレーム出力
69	42	D8	P01/TOUTN4	I/O	I(Pull-UP)	入出力兼用ポート (割り込みあり)*1/T16E Ch1PWM信号出力(反転)
72	43	D7	P02/TOUT4/ EXCL0	I/O	I(Pull-UP)	入出力兼用ポート (割り込みあり)*1/T16E Ch1PWM信号出力(非反転)/T16 Ch0外部クロック入力
74	44	C9	P03/#ADTRG	I/O	I(Pull-UP)	入出力兼用ポート (割り込みあり)*1/AD変換外部トリガ
76	45	D8	P04/AIN3/ EXCL1	I/O	I(Pull-UP)	入出力兼用ポート (割り込みあり)*1/AD変換器 Ch3 入力/T16 Ch1外部クロック入力
78	46	B9	P05/AIN2/ EXCL2	I/O	I(Pull-UP)	入出力兼用ポート (割り込みあり)*1/AD変換器 Ch2 入力/T16 Ch2外部クロック入力
79	47	*4	Vss	-	-	電源(-)
80	48	C7	AVdd	-	-	アナログ電源(+)
81	49	A8	P06/AIN1/ EXCL3	I/O	I(Pull-UP)	入出力兼用ポート (割り込みあり)*1/AD変換器 Ch1 入力/T16E Ch0外部クロック入力
82	50	B8	P07/AIN0/ EXCL4	I/O	I(Pull-UP)	入出力兼用ポート (割り込みあり)*1/AD変換器 Ch0 入力/T16E Ch1外部クロック入力
83	51	B7	P10/SCL0/ SCL1	I/O	I(Pull-UP)	入出力兼用ポート (割り込みあり)*1/I ² Cマスタクロック出力/I ² Cスレーブクロック入力
84	52	A7	P11/SDA0/ SDA1	I/O	I(Pull-UP)	入出力兼用ポート (割り込みあり)*1/I ² Cマスタデータ入出力/I ² Cスレーブデータ入出力
86	53	*4	Vdd	-	-	電源(+)
87	54	B6	P12/SENB/ #BFR	I/O	I(Pull-UP)	入出力兼用ポート (割り込みあり)*1/RF変換器用/I ² Cスレーブバス開放
88	55	A6	P13/SENA/ SDA1	I/O	I(Pull-UP)	入出力兼用ポート (割り込みあり)*1/RF変換器用/I ² Cスレーブデータ入出力
89	56	B5	P14/REF/SCL1	I/O	I(Pull-UP)	入出力兼用ポート (割り込みあり)*1/RF変換器用/I ² Cスレーブクロック入力
90	57	A5	P15/RFIN	I/O	I(Pull-UP)	入出力兼用ポート (割り込みあり)*1/RF変換器用
91	-	*4	Vss	-	-	電源(-)
92	58	A4	P16/FOUT1	I/O	I(Pull-UP)	入出力兼用ポート (割り込みあり)*1/OSC1外部クロック出力
94	59	B4	P17/SPICLK/ SCLK	I/O	I(Pull-UP)	入出力兼用ポート (割り込みあり)*1/SPIクロック入出力/UARTクロック入力
95	60	C4	P20/SDO/ SOUT	I/O	I(Pull-UP)	入出力兼用ポート*1/SPIデータ出力/UARTデータ出力
96	61	C3	P21/SDI/SIN	I/O	I(Pull-UP)	入出力兼用ポート*1/SPIデータ入力/UARTデータ入力

PAD/端子/ボールNo.			名称	I/O	初期状態	機能
CHIP	TQFP	VFBGA				
98	62	B3	P22/#SPISS/ FOUTH	I/O	I(Pull-UP)	入出力兼用ポート*1/SPIスレーブセレクト入力/HSCLKクロック出力(分周あり)
100	63	A3	P23/TOUT3/ SOUT	I/O	I(Pull-UP)	入出力兼用ポート*1/T16E Ch0 PWM信号出力(非反転)/UARTデータ出力
102	64	A2	P24/TOUTN3/ SIN/T8OUT	I/O	I(Pull-UP)	入出力兼用ポート*1/T16E Ch0 PWM信号出力(反転)/UARTデータ入力/T8(OSC1) PWM信号出力(非反転)

*1: デフォルト設定の機能です。

*2: SEG0~15のボールNo. (VFBGA)

SEG No.	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
ボールNo.	C2	D1	D2	D3	E3	E2	E1	F1	F2	F3	G1	G2	H1	H2	J2	G3

*3: COM7~0のボールNo. (VFBGA)

COM No.	7	6	5	4	3	2	1	0
ボールNo.	H3	J3	G4	H4	J4	G5	J5	H5

*4: V_{ss}のボールNo.

C5, D4, D5, D6, E4, E5, E6, F4, F5, F6, F8

*5: V_{ss}のボールNo.

B6, G8

*6: SEG0~15のPAD No. (CHIP)

SEG No.	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
PAD No.	6	8	10	12	14	16	18	20	22	24	26	28	29	30	32	34

*7: COM7~0のPAD No. (CHIP)

COM No.	7	6	5	4	3	2	1	0
PAD No.	35	36	37	38	39	40	41	42

注: VFBGA, CHIPのNC pinには何もボンディングをしないでください。

2 CPU

S1C17601はコアプロセッサとしてS1C17コアを搭載しています。

S1C17コアはセイコーエプソンオリジナルの16ビットRISCプロセッサです。

低消費電力、高速動作、広いアドレス空間、主要命令の1クロック実行、省ゲート設計を特長とし、8ビットCPUがよく使われるコントローラやシーケンサ等への組み込み用に最適です。

S1C17コアの詳細については、“S1C17 Family S1C17コアマニュアル”を参照してください。

2.1 S1C17コアの特長

プロセッサ形式

- セイコーエプソンオリジナル16ビットRISCプロセッサ
- 0.35～0.15 μ m低電力CMOSプロセステクノロジー

命令セット

- コード長 16ビット固定長
- 命令数 基本命令111個(全184命令)
- 実行サイクル 主要命令は1サイクルで実行
- 即値拡張命令 即値を24ビットまで拡張
- Cによる開発用に最適化されたコンパクトかつ高速な命令セット

レジスタセット

- 24ビット汎用レジスタ×8
- 24ビット特殊レジスタ×2
- 8ビット特殊レジスタ×1

メモリ空間, バス

- 最大16Mバイトのメモリ空間(24ビットアドレス)
- 命令バス(16ビット)とデータバス(32ビット)を分離したハーバードアーキテクチャ

割り込み

- リセット、NMI、32種類の外部割り込みに対応
- アドレス不整割り込み
- デバッグ割り込み
- ベクタテーブルからベクタを読み込み、割り込み処理ルーチンへ直接分岐
- ベクタ番号によるソフトウェア割り込みを発生可能(全ベクタ番号を指定可能)

パワーセーブ

- HALT(halt命令)
- SLEEP(slp命令)

コプロセッサインタフェース

- 16ビット×16ビット+32ビット積和演算器
- 16ビット÷16ビット除算器

2.2 CPUレジスタ

S1C17コアは、8本の汎用レジスタおよび3本の特殊レジスタを内蔵しています。



図2.2.1 レジスタ

2.3 命令セット

S1C17コアの命令コードはすべて16ビットの固定長で、パイプライン処理を行うことによって主要な命令を1サイクルで実行します。各命令の詳細については“S1C17 Family S1C17コアマニュアル”を参照してください。

表2.3.1 S1C17コア命令一覧

種類	ニーモニック	機能	
データ転送	ld.b	$\%rd, \%rs$	汎用レジスタ(バイト) → 汎用レジスタ(符号拡張)
		$\%rd, [\%rb]$	メモリ(バイト) → 汎用レジスタ(符号拡張)
		$\%rd, [\%rb]+$	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		$\%rd, [\%rb]-$	
		$\%rd, -[\%rb]$	
		$\%rd, [\%sp+imm7]$	スタック(バイト) → 汎用レジスタ(符号拡張)
		$\%rd, [imm7]$	メモリ(バイト) → 汎用レジスタ(符号拡張)
		$[\%rb], \%rs$	汎用レジスタ(バイト) → メモリ
		$[\%rb]+, \%rs$	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		$[\%rb]-, \%rs$	
	$-[\%rb], \%rs$		
	$[\%sp+imm7], \%rs$	汎用レジスタ(バイト) → スタック	
	$[imm7], \%rs$	汎用レジスタ(バイト) → メモリ	
	ld.ub	$\%rd, \%rs$	汎用レジスタ(バイト) → 汎用レジスタ(ゼロ拡張)
		$\%rd, [\%rb]$	メモリ(バイト) → 汎用レジスタ(ゼロ拡張)
		$\%rd, [\%rb]+$	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		$\%rd, [\%rb]-$	
		$\%rd, -[\%rb]$	
		$\%rd, [\%sp+imm7]$	スタック(バイト) → 汎用レジスタ(ゼロ拡張)
	ld	$\%rd, [imm7]$	メモリ(バイト) → 汎用レジスタ(ゼロ拡張)
		$\%rd, \%rs$	汎用レジスタ(16ビット) → 汎用レジスタ
		$\%rd, sign7$	即値 → 汎用レジスタ(符号拡張)
		$\%rd, [\%rb]$	メモリ(16ビット) → 汎用レジスタ
		$\%rd, [\%rb]+$	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		$\%rd, [\%rb]-$	
		$\%rd, -[\%rb]$	
		$\%rd, [\%sp+imm7]$	スタック(16ビット) → 汎用レジスタ
		$\%rd, [imm7]$	メモリ(16ビット) → 汎用レジスタ
		$[\%rb], \%rs$	汎用レジスタ(16ビット) → メモリ
		$[\%rb]+, \%rs$	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		$[\%rb]-, \%rs$	
		$-[\%rb], \%rs$	
		$[\%sp+imm7], \%rs$	汎用レジスタ(16ビット) → スタック
	$[imm7], \%rs$	汎用レジスタ(16ビット) → メモリ	
	ld.a	$\%rd, \%rs$	汎用レジスタ(24ビット) → 汎用レジスタ
		$\%rd, imm7$	即値 → 汎用レジスタ(ゼロ拡張)
		$\%rd, [\%rb]$	メモリ(32ビット) → 汎用レジスタ (*1)
		$\%rd, [\%rb]+$	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		$\%rd, [\%rb]-$	
		$\%rd, -[\%rb]$	
		$\%rd, [\%sp+imm7]$	スタック(32ビット) → 汎用レジスタ (*1)
		$\%rd, [imm7]$	メモリ(32ビット) → 汎用レジスタ (*1)
$[\%rb], \%rs$		汎用レジスタ(32ビット、ゼロ拡張) → メモリ (*1)	
$[\%rb]+, \%rs$		メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能	
$[\%rb]-, \%rs$			
$-[\%rb], \%rs$			
$[\%sp+imm7], \%rs$		汎用レジスタ(32ビット、ゼロ拡張) → スタック (*1)	
$[imm7], \%rs$		汎用レジスタ(32ビット、ゼロ拡張) → メモリ (*1)	
$\%rd, \%sp$		SP → 汎用レジスタ	
$\%rd, \%pc$		PC → 汎用レジスタ	
$\%rd, [\%sp]$		スタック(32ビット) → 汎用レジスタ (*1)	
$\%rd, [\%sp]+$		スタックポインタのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能	
$\%rd, [\%sp]-$			
$\%rd, -[\%sp]$			

種類	ニーモニック	機能		
データ転送	ld.a	[%sp], %rs	汎用レジスタ(32ビット、ゼロ拡張) → スタック (*1)	
		[%sp]+, %rs	スタックポインタのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能	
		[%sp]-, %rs		
		-[%sp], %rs		
		%sp, %rs	汎用レジスタ(24ビット) → SP	
	%sp, imm7	即値 → SP		
整数算術演算	add	%rd, %rs	汎用レジスタ間の16ビット加算	
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
	add/c	%rd, imm7	汎用レジスタと即値の16ビット加算	
	add/nc	%rd, %rs	汎用レジスタ間の24ビット加算	条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	add.a	%rd, %rs	汎用レジスタ間の24ビット加算	条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	add.a/c	%sp, %rs	SPと汎用レジスタの24ビット加算	
	add.a/nc	%rd, imm7	汎用レジスタと即値の24ビット加算	
	add.a	%sp, imm7	SPと即値の24ビット加算	
	adc	%rd, %rs	汎用レジスタ間のキャリー付き16ビット加算	条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	adc/c	%rd, imm7	汎用レジスタと即値のキャリー付き16ビット加算	
	adc/nc	%rd, %rs	汎用レジスタ間の16ビット減算	条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	sub	%rd, %rs	汎用レジスタ間の16ビット減算	条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	sub/c	%rd, imm7	汎用レジスタと即値の16ビット減算	
sub/nc	%rd, %rs	汎用レジスタ間の24ビット減算	条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
sub.a	%sp, %rs	SPと汎用レジスタの24ビット減算		
sub.a/c	%rd, imm7	汎用レジスタと即値の24ビット減算		
sub.a/nc	%sp, imm7	SPと即値の24ビット減算		
sbc	%rd, %rs	汎用レジスタ間のキャリー付き16ビット減算	条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
sbc/c	%rd, imm7	汎用レジスタと即値のキャリー付き16ビット減算		
sbc/nc	%rd, %rs	汎用レジスタ間の16ビット比較	条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
cmp	%rd, %rs	汎用レジスタ間の16ビット比較	条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
cmp/c	%rd, sign7	汎用レジスタと即値の16ビット比較		
cmp/nc	%rd, %rs	汎用レジスタ間の24ビット比較	条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
cmp.a	%rd, imm7	汎用レジスタと即値の24ビット比較		
cmp.a/c	%rd, %rs	汎用レジスタ間のキャリー付き16ビット比較	条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
cmp.a/nc	%rd, imm7	汎用レジスタと即値の24ビット比較		
cmp.a	%rd, %rs	汎用レジスタ間のキャリー付き16ビット比較	条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
cmc/c	%rd, sign7	汎用レジスタと即値のキャリー付き16ビット比較		
cmc/nc	%rd, %rs	汎用レジスタ間の論理積	条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
cmc	%rd, imm7	汎用レジスタと即値の論理積		
and	%rd, %rs	汎用レジスタ間の論理積	条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
and/c	%rd, sign7	汎用レジスタと即値の論理積		
and/nc	%rd, %rs	汎用レジスタ間の論理和	条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
or	%rd, sign7	汎用レジスタと即値の論理和		
or/c	%rd, %rs	汎用レジスタ間の排他的論理和	条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
or/nc	%rd, sign7	汎用レジスタと即値の排他的論理和		
xor	%rd, %rs	汎用レジスタ間の排他的論理和	条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
xor/c	%rd, sign7	汎用レジスタと即値の排他的論理和		
xor/nc	%rd, %rs	汎用レジスタ間の論理否定(1の補数)	条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
not	%rd, sign7	汎用レジスタと即値の論理否定(1の補数)		
not/c	%rd, %rs	汎用レジスタ間の論理否定(1の補数)	条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)	
not/nc	%rd, sign7	汎用レジスタと即値の論理否定(1の補数)		
not	%rd, sign7	汎用レジスタと即値の論理否定(1の補数)		

種類	ニーモニック		機能
シフト&スワップ	sr	$\%rd, \%rs$	右論理シフト(レジスタによるシフトビット数指定)
		$\%rd, imm7$	右論理シフト(即値によるシフトビット数指定)
	sa	$\%rd, \%rs$	右算術シフト(レジスタによるシフトビット数指定)
		$\%rd, imm7$	右算術シフト(即値によるシフトビット数指定)
	sl	$\%rd, \%rs$	左論理シフト(レジスタによるシフトビット数指定)
$\%rd, imm7$		左論理シフト(即値によるシフトビット数指定)	
swap	$\%rd, \%rs$	16ビット境界でバイト単位のスワップ	
即値拡張	ext	$imm13$	直後の命令のオペランドを拡張
コンバージョン	cv.ab	$\%rd, \%rs$	符号付き8ビットデータを24ビットに変換
	cv.as	$\%rd, \%rs$	符号付き16ビットデータを24ビットに変換
	cv.al	$\%rd, \%rs$	32ビットデータを24ビットに変換
	cv.la	$\%rd, \%rs$	24ビットデータを32ビットに変換
	cv.ls	$\%rd, \%rs$	16ビットデータを32ビットに変換
分岐	jpr	$sign10$	PC相対ジャンプ
	jpr.d	$\%rb$	ディレイド分岐可
	jpa	$imm7$	絶対ジャンプ
	jpa.d	$\%rb$	ディレイド分岐可
	jrgt	$sign7$	PC相対条件ジャンプ 分岐条件: !Z & !(N ^ V)
	jrgt.d		ディレイド分岐可
	jrge	$sign7$	PC相対条件ジャンプ 分岐条件: !(N ^ V)
	jrge.d		ディレイド分岐可
	jrlt	$sign7$	PC相対条件ジャンプ 分岐条件: N ^ V
	jrlt.d		ディレイド分岐可
	jrle	$sign7$	PC相対条件ジャンプ 分岐条件: Z ! N ^ V
	jrle.d		ディレイド分岐可
	jrugt	$sign7$	PC相対条件ジャンプ 分岐条件: !Z & !C
	jrugt.d		ディレイド分岐可
	jruge	$sign7$	PC相対条件ジャンプ 分岐条件: !C
	jruge.d		ディレイド分岐可
	jrult	$sign7$	PC相対条件ジャンプ 分岐条件: C
	jrult.d		ディレイド分岐可
	jrule	$sign7$	PC相対条件ジャンプ 分岐条件: Z ! C
	jrule.d		ディレイド分岐可
	jreq	$sign7$	PC相対条件ジャンプ 分岐条件: Z
	jreq.d		ディレイド分岐可
	jrne	$sign7$	PC相対条件ジャンプ 分岐条件: !Z
	jrne.d		ディレイド分岐可
	call	$sign10$	PC相対サブルーチンコール
	call.d	$\%rb$	ディレイド分岐可
	calla	$imm7$	絶対サブルーチンコール
	calla.d	$\%rb$	ディレイド分岐可
	ret		サブルーチンからのリターン
	ret.d		ディレイド分岐可
	int	$imm5$	ソフトウェア割り込み
intl	$imm5, imm3$	割り込みレベル指定付きソフトウェア割り込み	
reti		割り込みからのリターン	
reti.d		ディレイド分岐可	
brk		デバッグ割り込み	
ret.d		デバッグ処理からのリターン	
システム制御	nop		ノーオペレーション
	halt		HALT
	slp		SLEEP
	ei		割り込み許可
	di		割り込み禁止
コプロセッサ制御	ld.cw	$\%rd, \%rs$	コプロセッサへのデータ転送
		$\%rd, imm7$	
	ld.ca	$\%rd, \%rs$	コプロセッサへのデータ転送、結果とフラグ状態の取得
		$\%rd, imm7$	
	ld.cf	$\%rd, \%rs$	コプロセッサへのデータ転送、フラグ状態の取得
$\%rd, imm7$			

*1 ld.a命令は32ビットのメモリアクセスを行います。レジスタからメモリへのデータ転送では上位8ビットを0とした32ビットデータがメモリに書き込まれます。メモリからの読み出し時は、読み出しデータの上位8ビットが無視されます。

2 CPU

表中の記号の意味は次のとおりです。

表2.3.2 記号の意味

記号	説明
<code>%rs</code>	汎用ソースレジスタ
<code>%rd</code>	汎用デスティネーションレジスタ
<code>[%rb]</code>	汎用レジスタで間接指定されるメモリ
<code>[%rb]+</code>	汎用レジスタで間接指定されるメモリ(アドレスポストインクリメント付き)
<code>[%rb]-</code>	汎用レジスタで間接指定されるメモリ(アドレスポストデクリメント付き)
<code>-%rb]</code>	汎用レジスタで間接指定されるメモリ(アドレスプリデクリメント付き)
<code>%sp</code>	スタックポインタ
<code>[%sp], [%sp+imm7]</code>	スタック
<code>[%sp]+</code>	スタック(アドレスポストインクリメント付き)
<code>[%sp]-</code>	スタック(アドレスポストデクリメント付き)
<code>-%sp]</code>	スタック(アドレスプリデクリメント付き)
<code>imm3, imm5, imm7, imm13</code>	符号なし即値(数値はビット長)
<code>sign7, sign10</code>	符号付き即値(数値はビット長)

2.4 ベクタテーブル

ベクタテーブルは、割り込み処理ルーチンへのベクタ(処理ルーチン開始アドレス)を格納します。割り込みが発生すると、S1C17コアは割り込みに対応するベクタを読み出して、その処理ルーチンを実行します。ベクタテーブルの先頭には、リセット後にプログラムの実行を開始するブートアドレスを書き込んでおく必要があります。

ベクタテーブルは“6. 割り込みコントローラ(ITC)”を参照してください。

割り込みベクタを書き込んでおくベクタテーブルのベース(先頭)アドレスは、MISC_TTBRLとMISC_TTBRHレジスタ(0x5328、0x532a)によって設定することができます。表の“TTBR”はこれらのレジスタに設定された値を意味します。イニシャルリセット後、MISC_TTBRL/MISC_TTBRHレジスタは0x8000番地に設定されます。したがって、ベクタテーブルの位置を変更する場合でも、リセットベクタのみは上記のアドレスに書き込んでおく必要があります。MISC_TTBRLレジスタのビット7~0は0に固定されます。このため、ベクタテーブルの先頭アドレスは常に256バイト境界アドレスから始まります。

0x5328–0x532a: Vector Table Address Low/High Registers (MISC_TTBRL, MISC_TTBRH)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Vector Table Address Low Register (MISC_TTBRL)	0x5328 (16 bits)	D15–8	TTBR[15:8]	Vector table base address A[15:8]	0x0–0xff	0x80	R/W	
		D7–0	TTBR[7:0]	Vector table base address A[7:0] (fixed at 0)	0x0	0x0	R	
Vector Table Address High Register (MISC_TTBRH)	0x532a (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TTBR[23:16]	Vector table base address A[23:16]	0x0–0xff	0x0	R/W	

注: MISC_TTBRL/MISC_TTBRHレジスタは書き込み保護されています。これらのレジスタを書き換えるには、MISC Protect Register(0x5324)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、MISC_TTBRL/MISC_TTBRHの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はMISC Protect Register(0x5324)を0x96以外に設定してください。

2.5 PSRの読み出し

S1C17601にはS1C17コアのPSR(Processor Status Register)の内容を読み出すためのPSR Register(0x532c)が設けられています。このレジスタを読み出すことにより、アプリケーションソフトウェアからPSRの内容を確認することができます。ただし、PSRへの書き込みは行えません。

0x532c: PSR Register (MISC_PSR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PSR Register (MISC_PSR)	0x532c (16 bits)	D15-8	-	reserved		-	-	0 when being read.
		D7-5	PSRIL[2:0]	PSR interrupt level (IL) bits		0x0 to 0x7	0x0	R
		D4	PSRIE	PSR interrupt enable (IE) bit	1 1 (enable)	0 0 (disable)	0	R
		D3	PSRC	PSR carry (C) flag	1 1 (set)	0 0 (cleared)	0	R
		D2	PSRV	PSR overflow (V) flag	1 1 (set)	0 0 (cleared)	0	R
		D1	PSRZ	PSR zero (Z) flag	1 1 (set)	0 0 (cleared)	0	R
		D0	PSRN	PSR negative (N) flag	1 1 (set)	0 0 (cleared)	0	R

D[7:5] PSRIL[2:0]: PSR Interrupt Level (IL) Bits

PSRのILビットの値(割り込みレベル)が読み出せます。(デフォルト: 0x0)

D4 PSRIE: PSR Interrup Enable (IE) Bit

PSRのIEビットの値(割り込みイネーブル)が読み出せます。

1(R): 1(割り込み許可)

0(R): 0(割り込み禁止) (デフォルト)

D3 PSRC: PSR Carry (C) Flag

PSRのC(キャリー)フラグの値が読み出せます。

1(R): 1

0(R): 0(デフォルト)

D2 PSRV: PSR Overflow (V) Flag

PSRのV(オーバーフロー)フラグの値が読み出せます。

1(R): 1

0(R): 0(デフォルト)

D1 PSRZ: PSR Zero (Z) Flag

PSRのZ(ゼロ)フラグの値が読み出せます。

1(R): 1

0(R): 0(デフォルト)

D0 PSRN: PSR Negative (N) Flag

PSRのN(ネガティブ)フラグの値が読み出せます。

1(R): 1

0(R): 0(デフォルト)

2.6 プロセッサ情報

S1C17601はProcessor ID Register(0xffff84)を内蔵しており、アプリケーションソフトウェアからCPUコアの種類を特定することができます。

0xffff84: Processor ID Register (IDIR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Processor ID Register (IDIR)	0xffff84 (8 bits)	D7-0	IDIR[7:0]	Processor ID 0x10: S1C17 Core	0x10	0x10	R	

プロセッサの機種を示すIDコードが格納されるリードオンリレジスタです。S1C17コアのIDコードは0x10です。

3 メモリマップ、バス制御

図3.1にS1C17601のメモリマップを示します。

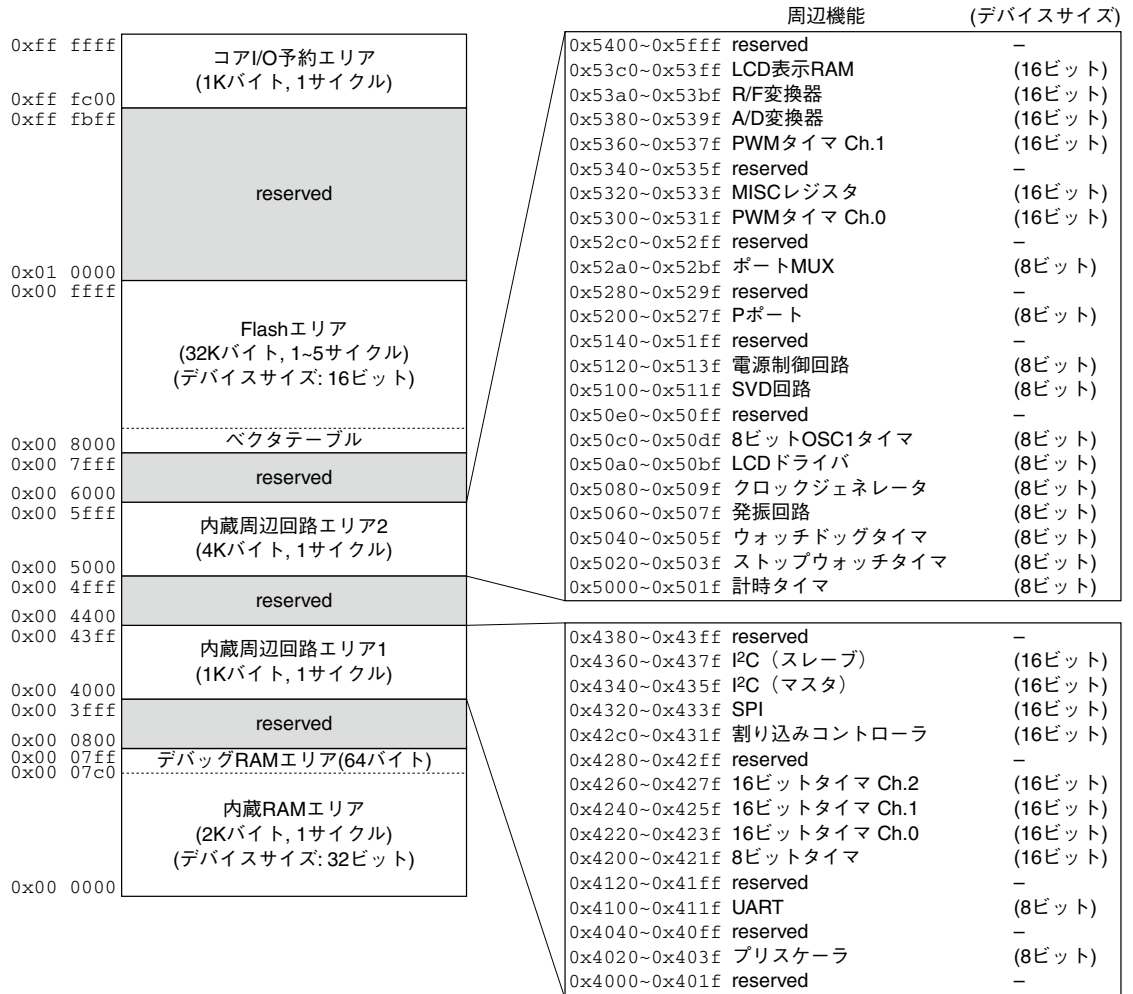


図3.1 S1C17601メモリマップ

3.1 バスサイクル

CPUはCCLKを基準に動作します。CCLKについては、“8.2 CPUコアクロック(CCLK)の制御”を参照してください。

CCLKの立ち上がりから次の立ち上がりまでを1 CCLKとし、これを1バスサイクルとします。図3.1に示したとおり、1回のバスアクセスにかかるサイクル数は、周辺回路やメモリによって異なります。また、CPUの命令(アクセスサイズ)とデバイスサイズによりバスアクセス回数も変わります。

表3.1.1 バスアクセス回数

デバイスサイズ	CPUアクセスサイズ	バスアクセス回数
8ビット	8ビット	1
	16ビット	2
	32ビット*	4
16ビット	8ビット	1
	16ビット	1
	32ビット*	2
32ビット	8ビット	1
	16ビット	1
	32ビット*	1

* 32ビットアクセス時の上位8ビットデータについて

32ビットデータは上位8ビットを0としてメモリに書き込まれます。メモリからの読み出し時は上位8ビットが無視されます。割り込み処理のスタック操作時は、PSRの値を上位8ビットに、戻りアドレスを下位24ビットとした32ビットの書き込み/読み出しを行います。

3.1.1 アクセスサイズ制限

以下に示すモジュールにはアクセスサイズに制限がありますので、プログラミングの際には使用する命令に注意してください。

Flashメモリ

Flashメモリのプログラミングには、16ビットライト命令のみ使用可能です。データの読み出しには特に制限はありません。

上記以外のモジュールは8ビット、16ビット、32ビットのいずれの命令でもアクセス可能です。ただし、必要のないレジスタの読み出しによって周辺回路の状態が変わり、問題が発生する場合がありますので、できるだけデバイスサイズに合わせてアクセスすることを推奨します。

3.1.2 命令実行サイクルの制限

以下のいずれかの条件下では命令のフェッチとデータアクセスが同時に行われず、データの存在するエリアのアクセスサイクル分、命令フェッチのサイクルが長くなります。

- Flashエリアで命令を実行し、Flashエリアのデータにアクセスする場合
- 内蔵RAMエリアで命令を実行し、内蔵RAMエリアのデータにアクセスする場合

3.2 Flashエリア

3.2.1 内蔵Flashメモリ

0x8000番地から0xffff番地までの32Kバイトの領域にはFlashメモリ(4Kバイト × 8セクタ)が内蔵されており、アプリケーションプログラムやデータを書き込んでおくことができます。0x8000番地はベクタテーブルベースアドレスとして定義されていますので、この領域の先頭にベクタテーブル(“2.4 ベクタテーブル”参照)を置く必要があります。ベクタテーブルベースアドレスはMISC_TTBRL/MISC_TTBRLHレジスタ(0x5328、0x532a)で変更可能です。

Flashメモリの読み出しは1~5サイクルで行われます。

3.2.2 Flashプログラミング

S1C17601はFlashメモリのオンボードプログラミングに対応しており、ICD(S5U1C17001H等)を介してデバッグからプログラム/データを書き込むことができます。また、プログラムによる自己書き換えも行えます。プログラミングは16ビット単位で行えます。Flashメモリのプログラミングについては、“Appendix B Flashプログラミング”を参照してください。

消去方法にはチップ消去とセクタ消去の2種類があります。セクタ消去到に用いるアドレスとセクタの対応は下表を参照してください。

注: デバッグはチップ消去到にのみ対応しています。デバッグからのセクタ消去はできません。

表3.2.2.1 メモリアドレスとFlashセクタの対応

S1C17601アドレス	Flashセクタ番号
0xf000~0xffff	7
0xe000~0xffff	6
0xd000~0xffff	5
0xc000~0xffff	4
0xb000~0xffff	3
0xa000~0xffff	2
0x9000~0xffff	1
0x8000~0xffff	0

注: セクタ7の最後尾の32ビット(0xffff~0xffff)はプロテクトビットとしてシステムに予約されています。プロテクトの設定以外のデータが書き込まれないように注意してください。

3.2.3 プロテクトビット

内蔵Flashメモリの内容を保護するため、ライトプロテクトとデータリードプロテクトの2種類を16Kバイトの領域ごとに設定できます。

ライトプロテクトは、設定した領域へのデータ書き込みを禁止します。

データリードプロテクトは、設定した領域からのデータ読み出しを禁止します(読み出し値が常に0x0000になります)。ただし、CPUの命令フェッチ動作はプロテクトしません。

この設定には、以下に示すプロテクトビットを使用します。プロテクトを設定する場合は、設定する領域に対応したプロテクトビットを0にプログラミングします。

0xffff-0xfffe: Flash Protect Bits

Address	Bit	Function	Setting		Init.	R/W	Remarks	
0xffff (16 bits)	D15-2	reserved	-		-	-		
	D1	Flash write-protect bit for 0x0c000-0x0fff	1	Writable	0	Protected	1	R/W
	D0	Flash write-protect bit for 0x08000-0x0bff	1	Writable	0	Protected	1	R/W
0xfffe (16 bits)	D15-2	reserved	-		-	-		
	D1	Flash data-read-protect bit for 0x0c000-0x0fff	1	Readable	0	Protected	1	R/W
	D0	reserved	1		1	R/W	必ず1に設定	

注: • データリードプロテクトを設定する領域を、.dataまたは.rodataセクションに配置しないでください。
• 0xfffeのD0は必ず1に設定してください。0に設定するとプログラムがブートできません。

3.2.4 Flashコントローラのアクセス制御

S1C17601の内蔵Flashメモリは、専用のFlashコントローラを介してアクセスされます。このコントローラへのアクセスに関する設定がMISCレジスタで行えます。

Flashコントローラのリードアクセスサイクルの設定

Flashメモリのデータを正しく読み出すため、CCLK周波数に合わせ、最適なリードアクセスサイクルをFLCYC[2:0](D[2:0]/MISC_FLレジスタ)で設定してください。

0x5320: FLASHC Control Register (MISC_FL)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
FLASHC/ SRAMC Control Register (MISC_FL)	0x5320 (16 bits)	D15-10	-	reserved	-		-	-	0 when being read.
		D9-8	-	reserved	-		0x3	-	
		D7-3	-	reserved	-		-	-	0 when being read.
		D2-0	FLCYC[2:0]	FLASHC read access cycle	FLCYC[2:0]	Read cycle	0x3	R/W	
					0x7-0x5	reserved			
			0x4	1 cycles					
			0x3	5 cycles					
			0x2	4 cycles					
			0x1	3 cycles					
			0x0	2 cycles					

D[2:0] FLCYC[2:0]: FLASHC Read Access Cycle Setup Bits

Flashコントローラのリードアクセスサイクル数を設定します。

表3.2.4.1 Flashコントローラのリードアクセスサイクルの設定

FLCYC[2:0]	リードアクセスサイクル数	CCLK周波数
0x7~0x5	Reserved	-
0x4	1サイクル	8.2MHz max.
0x3	5サイクル	8.2MHz max.
0x2	4サイクル	8.2MHz max.
0x1	3サイクル	8.2MHz max.
0x0	2サイクル	8.2MHz max.

(デフォルト: 0x3)

注: • 誤動作の原因になりますので、CCLKの最大許容周波数を超えるリードアクセスサイクル数は設定しないでください。
• パフォーマンスを最大にするためには、FLCYC[2:0]=0x4に設定してください。

3.3 内蔵RAMエリア

3.3.1 内蔵RAM

0x0番地から0x7ff番地までの2Kバイトの領域にはRAMが内蔵されています。このRAMのリード/ライト時は1サイクルでアクセスされます。変数などの格納以外に、命令コードをコピーしてRAM上で高速に実行させることもできます。

注: 内蔵RAMの最後尾の64バイト(0x7c0~0x7ff)はオンチップデバッグ用に予約されています。アプリケーション開発中などデバッグ機能を使用する場合は、アプリケーションプログラムからはこの領域をアクセスしないでください。

デバッグの不要な量産品ではアプリケーション用に使用可能です。

S1C17601では使用するRAMのサイズを2KB、1KB、512Bに制限することができます。たとえば、S1C17601をROM内蔵機種の開発用に使用する場合などに、RAMサイズをターゲット機種と同じに設定しておくことで、ターゲット機種のRAM領域外をアクセスするようなプログラムを作成してしまうことを回避できます。

この選択はIRAMSZ[2:0](D[2:0]/MISC_IRAMSZレジスタ)で行います。

ただしデバッグモードでは、この設定は反映されずRAMサイズは2KBになります。

0x5326: IRAM Size Select Register (MISC_IRAMSZ)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
IRAM Size Select Register (MISC_IRAMSZ)	0x5326 (16 bits)	D15-3	—	reserved	—	—	—	0 when being read.	
		D8	DBADR	Debug base address select	1 0x0	0 0xffffc00	0	R/W	
		D6-4	IRAMACTSZ [2:0]	IRAM actual size register	0x3:2KB		0x3	R	
		D2-0	IRAMSZ[2:0]	IRAM size select	IRAMSZ[2:0]	Read cycle	0x3	R/W	
					0x7 reserved				
					0x6 reserved				
					0x5 512B				
					0x4 1KB				
					0x3 2KB				
					0x2 reserved				
					0x1 reserved				
					0x0 reserved				

D[6:4] IRAMACTSZ[2:0]: IRAM Actual Size Bits

実装されている内蔵RAMのサイズを示しています。

D[2:0] IRAMSZ[2:0]: IRAM Size Select Bits

使用する内蔵RAMのサイズを選択します。

表3.3.1.1 内蔵RAMサイズの選択

IRAMSZ[2:0]	内蔵RAMサイズ
0x7	reserved
0x6	reserved
0x5	512B
0x4	1KB
0x3	2KB
0x2	reserved
0x1	reserved
0x0	reserved

(デフォルト: 0x3)

注: IRAM Size Select Registerは書き込み保護されています。このレジスタを書き換えるには、MISC Protect Register(0x5324)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、IRAM Size Select Registerの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はMISC Protect Register(0x5324)を0x96以外に設定してください。

3.4 表示RAMエリア

3.4.1 表示RAM

0x53c0番地から0x53d3番地までの20バイトの領域には内蔵LCDドライバ用の表示RAMが16ビットデバイスとして割り付けられています。このRAMは1サイクルでアクセスされます。表示に使用しない領域は汎用RAMとして使用可能です。

表示メモリの詳細については、“22.5 表示メモリ”を参照してください。

3.5 内蔵周辺回路エリア

0x4000番地から始まる1Kバイトと、0x5000番地から始まる4Kバイトのエリアには、内蔵周辺回路のI/Oおよび制御レジスタが割り付けられています。

3.5.1 内蔵周辺回路エリア1(0x4000~)

0x4000番地から始まる内蔵周辺回路エリア1には以下の内蔵周辺機能用I/Oメモリが割り付けられており、1サイクルでアクセス可能です。

- プリスケーラ(PSC, 8ビットデバイス)
- UART(UART, 8ビットデバイス)
- 8ビットタイマ(T8F, 16ビットデバイス)
- 16ビットタイマ(T16, 16ビットデバイス)
- 割り込みコントローラ(ITC, 16ビットデバイス)
- SPI(SPI, 16ビットデバイス)
- I²Cマスタ(I2C, 16ビットデバイス)
- I²Cスレーブ(I2C, 16ビットデバイス)

3.5.2 内蔵周辺回路エリア2(0x5000~)

0x5000番地から始まる内蔵周辺回路エリア2には以下の内蔵周辺機能用I/Oメモリが割り付けられており、1サイクルでアクセス可能です。

- 計時タイマ(CT, 8ビットデバイス)
- ストップウォッチタイマ(SWT, 8ビットデバイス)
- ウォッチドッグタイマ(WDT, 8ビットデバイス)
- 発振回路(OSC, 8ビットデバイス)
- クロックジェネレータ(CLG, 8ビットデバイス)
- LCDドライバ(LCD, 8ビットデバイス)
- 8ビットOSC1 PWMタイマ(T8OSC1, 8ビットデバイス)
- SVD回路(SVD, 8ビットデバイス)
- 電源回路(VD1, 8ビットデバイス)
- 入出力ポート&ポートMUX(P, 8ビットデバイス)
- PWMタイマ(T16E, 16ビットデバイス)
- MISCレジスタ(MISC, 16ビットデバイス)
- A/D変換器(ADC10, 16ビットデバイス)
- R/F変換器(RFC, 16ビットデバイス)
- LCD表示メモリ(SEGRAM, 16ビットデバイス)

3.6 コアI/O予約エリア

0xffffc00~0xfffffffの1KバイトはCPUコアI/Oエリアとして使用され、以下のI/Oレジスタが割り付けられています。

表3.6.1 I/Oマップ(コアI/O予約エリア)

周辺回路	アドレス	レジスタ名		機能
S1C17コアI/O	0xffff84	IDIR	Processor ID Register	プロセッサIDの表示
	0xffff90	DBRAM	Debug RAM Base Register	デバッグRAMベースアドレスの表示
	0xffffa0	DCR	Debug Control Register	デバッグ制御
	0xffffb8	IBAR2	Instruction Break Address Register 2	命令ブレークアドレス#2の設定
	0xffffbc	IBAR3	Instruction Break Address Register 3	命令ブレークアドレス#3の設定
	0xffffd0	IBAR4	Instruction Break Address Register 4	命令ブレークアドレス#4の設定

IDIRについては“2.6 プロセッサ情報”を、その他のレジスタについては“26 オンチップデバッグ(DBG)”を参照してください。

このエリアには、上記以外にもS1C17コア用のレジスタが配置されています。それらのレジスタについては、“S1C17コアマニュアル”を参照してください。

4 電源

4.1 電源電圧

S1C17601の動作電源電圧は次のとおりです。

通常動作時: 1.8V~3.6V

Flashプログラミング時: 2.7V~3.6V

V_{SS}端子をGNDとして、この範囲内の電圧をV_{DD}端子に供給してください。

S1C17601のTQFP13-64pinパッケージには2本のV_{DD}端子と1本のV_{SS}端子があります。VFPGA8H-81パッケージには2本のV_{DD}端子と11本のV_{SS}端子があります。いずれもオープンにせず、必ず+電源とGNDに接続してください。

アナログ回路用電源 (AV_{DD})

内蔵のアナログ回路(A/D変換器)がデジタル回路の影響を受けないように、前記の電源端子とは別にアナログ回路用の電源端子(AV_{DD})が設けられています。

アナログ回路の電源電圧はAV_{DD}端子に供給し、V_{SS}端子をGNDレベルとしてください。

AV_{DD}にはV_{DD}と同じ電圧レベルを供給してください。

AV_{DD} = V_{DDE}, V_{SS} = GND

注: アナログ回路を使用しない場合でも、必ず AV_{DD} 端子に V_{DD} 電圧を供給してください。

アナログ電源ライン上のノイズはA/D変換精度に影響するため、使用する電源と基板パターンの作成には注意が必要です。

4.2 内部電源回路

S1C17601は図4.2.1に示す電源回路を内蔵しており、内部回路に必要なすべての電圧をIC内部で発生します。電源回路は大きく2つに分けられます。

表4.2.1 電源回路

回路系	電源回路	出力電圧
発振回路、内部回路	内部定電圧回路	V_{D1}
LCDドライバ	LCD系定電圧回路	$V_{C1} \sim V_{C3}$

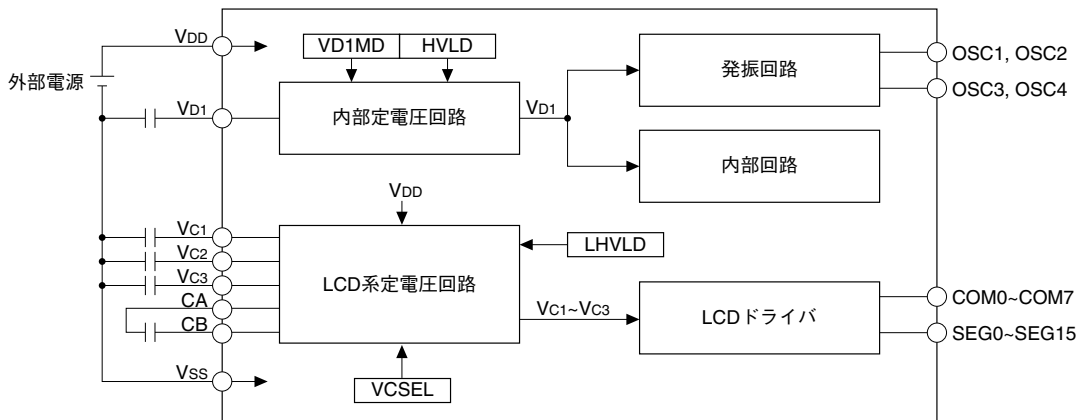


図4.2.1 電源回路の構成

注: V_{D1} 、 $V_{C1} \sim V_{C3}$ 端子の出力を外部回路の駆動には絶対に使用しないでください。

内部定電圧回路

内部定電圧回路は、内部ロジック回路と発振回路の動作電圧 V_{D1} を発生します。 V_{D1} の電圧値はプログラムで切り換えられるようになっており、通常動作時は1.8Vに、Flashプログラミング時は2.5Vに設定します。

LCD系定電圧回路

LCD系定電圧回路はLCDの1/3バイアス用駆動電圧 V_{C1} 、 V_{C2} 、 V_{C3} を発生します。

S1C17601では、内蔵LCDドライバにこれらのLCD駆動電圧が供給され、コモン/セグメント端子に接続されたLCDパネルを駆動します。

電源電圧 V_{DD} に応じて、VCSELを選択します。

表4.2.2 L電源電圧 V_{DD} とVCSELの対応

電源電圧 V_{DD}	VCSELの設定値
1.8~2.5V	0
2.5~3.6V	1

注: V_{DD} が2.5V以下のときにVCSELを1の設定値で使用すると、 $V_{C1} \sim V_{C3}$ の電圧は正しい値になりません。

4.3 電源回路の制御

電源電圧や動作モードに合わせてチップ内の動作電圧を正しく生成するため、あるいは消費電流を低減するため、各電源回路はソフトウェアで制御できるようになっています。

動作モードの切り換え

S1C17601には2種類の動作モードがあります。

1. 通常動作モード

アプリケーションプログラムを実行する通常の動作モードです。

$V_{DD} = 1.8 \sim 3.6V$ 、内部動作電圧 $V_{D1} = 1.8V$

2. Flash消去/プログラミングモード

Flashメモリの消去やプログラム/データの書き込みを行う動作モードです。

$V_{DD} = 2.7 \sim 3.6V$ 、内部動作電圧 $V_{D1} = 2.5V$

上記のとおり、モードに合わせて V_{D1} 電圧値を切り換える必要があり、これをVD1MD(D0/VD1_CTLレジスタ)で行えるようになっています。通常はVD1MDをデフォルト設定の0($V_{D1} = 1.8V$)にして使用します。Flashメモリの消去/プログラミングを行う場合に、VD1MDを1に設定します。

* **VD1MD**: Flash Erase/Program Mode Bit in the V_{D1} Control (VD1_CTL) Register (D0/0x5120)

注: 動作モードを切り換え後、内部動作電圧が安定するまでに5ms(max.)の時間を要します。Flashメモリのプログラミングは、この安定時間が経過した後に開始してください。

LCD電源の制御

LCD駆動電圧 $V_{C1} \sim V_{C3}$ は、DSPC[1:0](D[1:0]/LCD_DCTLレジスタ)を0x0(表示Off)以外に設定するとLCDドライバに供給されます。

* **DSPC[1:0]**: LCD Display Control Bits in the LCD Display Control (LCD_DCTL) Register (D[1:0]/0x50a0)

内蔵LCDドライバを使用しない場合は、消費電流の低減のため、LCD系定電圧回路をOffにしてください。DSPC[1:0]はすべて0(デフォルト)にします。

電源制御ビット設定一覧

表4.3.1に動作条件による電源制御ビットの設定を示します。

表4.3.1 電源制御ビット設定一覧

動作モード	条件		制御ビット		
	V_{DD}	LCDドライバ	VD1MD	VCSEL	DSPC[1:0]
通常動作	1.8~2.5V	使用する	0	0	0x0以外
	2.5~3.6V	使用する	0	1	0x0以外
	1.8~3.6V	使用しない	0	0	0x0
Flash消去/ プログラミング	1.8~2.7V	—	(使用禁止)		
	2.7~3.6V	使用する	1	1	0x0以外
	2.7~3.6V	使用しない	1	0	0x0

DSPC[1:0]の設定については、22.8節内の“0x50a0: LCD Display Control Register (LCD_DCTL)”を参照してください。

4.4 重負荷保護機能

外付け負荷の駆動などによって電源電圧が変動した場合でもできるかぎり安定した動作やLCD表示が行えるように、内部定電圧回路とLCD系定電圧回路はソフトウェアで設定可能な重負荷保護機能を持っています。

内部定電圧回路はHVLD(D5/VD1_CTLレジスタ)に1を書き込むと重負荷保護モードとなり、V_{D1}出力の安定化を図ります。以下のような動作処理で、不安定な動作が見られる場合は、重負荷保護モードを設定してください。

- ポート出力によりダイオードやブザーなど、大電流が流れるものの駆動をするとき(ダイオードやブザーを駆動中、重負荷保護モードを保持)
- システムクロックの高速クロックと低速クロックへの切り替えで大きな消費電流差があるとき(切り替え直前から、切り替え完了の後、数10 μ sec 経過するまでの間、重負荷保護モードを保持)
- HALT/SLEEP モードとその解除で大きな消費電流差があり、その頻繁な繰り返しを実施しているとき(切り替え処理を繰り返している間、重負荷保護モードを保持)

注: 重負荷保護モードの解除は、必ず不安定な動作を起こす処理が終了してから行ってください。また、不安定な処理を繰り返し行う場合は、その処理を繰り返す間、重負荷保護モード状態を保持し続けるようプログラミングしてください。

* HVLD: V_{D1} Heavy Load Protection Mode Bit in the V_{D1} Control (VD1_CTL) Register (D5/0x5120)

LCD系定電圧回路はLHVLD(D4/LCD_VREGレジスタ)に1を書き込むと重負荷保護モードとなり、V_{C1}～V_{C3}出力の安定化を図ります。液晶表示に濃淡が現れる場合などに設定してください。

* LHVLD: LCD Heavy Load Protection Mode Bit in the LCD Voltage Regulator Control (LCD_VREG) Register (D4/0x50a3)

注: 重負荷保護モードでは、通常動作時より消費電流が多くなります。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないでください。

4.5 制御レジスタ詳細

表4.5.1 電源制御レジスタ一覧

アドレス	レジスタ名		機能
0x5120	VD1_CTL	VD1 Control Register	VD1電圧と重負荷保護の制御
0x50a3	LCD_VREG	LCD Voltage Regulator Control Register	LCDドライバ用定電圧回路の制御

以下に電源制御レジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5120: V_{D1} Control Register (VD1_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
V _{D1} Control Register (VD1_CTL)	0x5120 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.	
		D5	HVLD	V _{D1} heavy load protection mode	1 On 0 Off	0	R/W		
		D4	—	reserved	—	—	0	R/W	
		D3-1	—	reserved	—	—	—	—	0 when being read.
		D0	VD1MD	Flash erase/program mode	1 Flash (2.5 V) 0 Norm.(1.8 V)	0	R/W		

D[7:6] Reserved

D5 HVLD: V_{D1} Heavy Load Protection Mode Bit

内部定電圧回路を重負荷保護モードに設定します。

1(R/W): 重負荷保護On

0(R/W): 重負荷保護Off(デフォルト)

内部定電圧回路はHVLDに1を書き込むと重負荷保護モードとなり、V_{D1}出力の安定化を図ります。ポート出力によりランプやブザーなどの重負荷を駆動する前に設定してください。重負荷保護モードでは消費電流が増加しますので、必要なとき以外は設定しないでください。

D[4:1] Reserved

D0 VD1MD: Flash Erase/Program Mode Bit

内部動作電圧V_{D1}の値(動作モード)を選択します。

1(R/W): V_{D1} = 2.5V、Flash消去/プログラミングモード

0(R/W): V_{D1} = 1.8V、通常動作モード(デフォルト)

通常はVD1MDをデフォルト設定の0(V_{D1} = 1.8V)にして使用します。Flashメモリの消去/プログラミングを行う場合に、VD1MDを1に設定します。

注: 動作モードを切り換え後、内部動作電圧が安定するまでに5ms(max.)の時間を要します。Flashメモリのプログラミングは、この安定時間が経過した後に開始してください。

0x50a3: LCD Voltage Regulator Control Register (LCD_VREG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
LCD Voltage Regulator Control Register (LCD_VREG)	0x50a3 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.	
		D4	LHVLD	LCD heavy load protection mode	1 On	0 Off	0	R/W	
		D3-1	—	reserved	—	—	—	—	0 when being read.
		D0	VCSEL	Power source select for LCD voltage regulator	1 V _C = 2V	0 V _C = 1V	0	R/W	

D[7:5] Reserved

D4 LHVLD: LCD Heavy Load Protection Mode Bit

LCD系定電圧回路を重負荷保護モードに設定します。

1 (R/W): 重負荷保護On

0 (R/W): 重負荷保護Off(デフォルト)

LCD系定電圧回路はLHVLDに1を書き込むと重負荷保護モードとなり、V_{C1}～V_{C3}出力の安定化を図ります。液晶表示に濃淡が現れる場合などに設定してください。

重負荷保護モードでは消費電流が増加しますので、必要なとき以外は設定しないでください。

D[3:1] Reserved

D0 VCSEL: Power Source Select for LCD Voltage Regulator

電源電圧V_{DD}に応じて、値を設定します。

1 (R/W): 電源電圧V_{DD} 2.5 ～ 3.6V

0 (R/W): 電源電圧V_{DD} 1.8 ～ 2.5V

4.6 注意事項

- V_{D1} 、 V_{C1} ～ V_{C3} 端子の出力を外部回路の駆動には絶対に使用しないでください。
- V_{DD} が2.5V以下のときにVCSELを1設定で使用すると、 V_{C1} ～ V_{C3} の電圧は正しい値になりません。
- 通常動作モードからFlash消去/プログラミングモードへ切り換え後、内部動作電圧が安定するまでに5ms(max.)の時間を要します。Flashメモリのプログラミングは、この安定時間が経過した後に開始してください。
- 重負荷保護モードでは、通常動作時より消費電流が多くなります。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないでください。

5 イニシャルリセット

5.1 イニシャルリセット要因

S1C17601の内部回路を初期化するイニシャルリセット要因は、以下の3種類です。

- (1) #RESET端子による外部イニシャルリセット
- (2) P0ポート (P00～P03端子)のキー入力による外部イニシャルリセット(ソフトウェアで設定)
- (3) ウォッチドッグタイマによる内部イニシャルリセット(ソフトウェアで設定)

図5.1.1にイニシャルリセット回路の構成を示します。

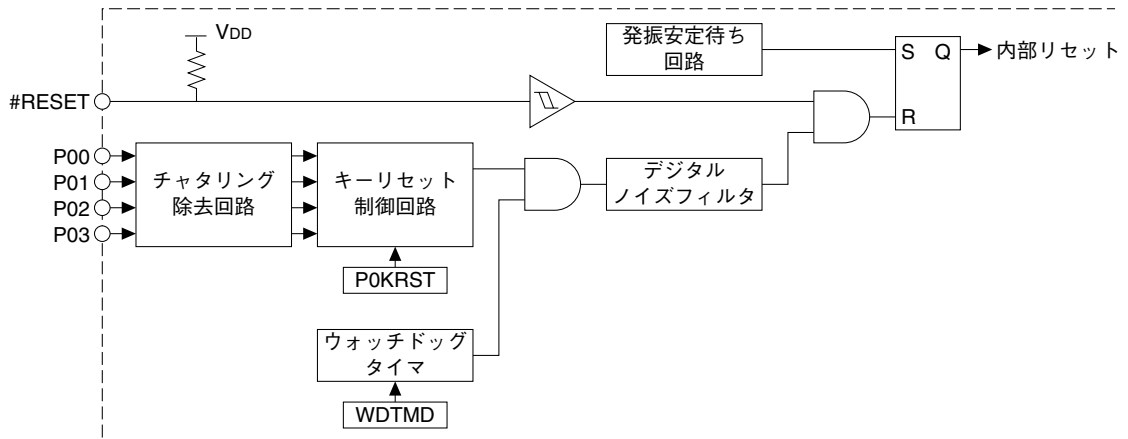


図5.1.1 イニシャルリセット回路の構成

イニシャルリセット要因によってCPUおよび周辺回路が初期化され、要因が解除されるとCPUはリセット処理を開始します。

これによって、ベクタテーブルの先頭からリセットベクタが読み出され、そのアドレスから始まるプログラム(初期化ルーチン)の実行を開始します。

5.1.1 #RESET端子

外部から#RESET端子にLowレベルを入力することでイニシャルリセットが行えます。

S1C17601を確実に初期化するため、電源電圧立ち上がり後、#RESET端子を規定の時間以上Lowレベルに保持してください。(“28.4 入出力端子特性”参照)

#RESET入力がLowからHighになると、イニシャルリセットが解除され、CPUはリセット割り込み処理を開始します

#RESET端子には、プルアップ抵抗が内蔵されています。

5.1.2 P0ポートキー入力リセット

ソフトウェアで選択されたポート(P00~P03)に、外部から同時にLowレベルを入力することでイニシャルリセットが行えます。使用するポートはP0KRST[1:0](D[1:0]/P0_KRSTレジスタ)で選択できます。

* **P0KRST[1:0]**: P0 Port Key-Entry Reset Configuration Bits in the P0 Port Key-Entry Reset Configuration (P0_KRST) Register (D[1:0]/0x5209)

表5.1.2.1 P0ポートキー入力リセットの設定

P0KRST[1:0]	使用するポート
0x3	P00, P01, P02, P03
0x2	P00, P01, P02
0x1	P00, P01
0x0	使用しない

たとえば、P0KRST[1:0]を0x3に設定した場合、P00~P03の4ポートの入力が同時にLowレベルになったときにイニシャルリセットがかかります。

- 注:
- P0ポートキー入力リセット機能を使用する場合、通常動作時に指定ポートが同時にLowレベルにならないように注意してください。
 - P0ポートキー入力リセット機能はソフトウェアで有効にしますので、電源投入時のリセットには使用できません。

5.1.3 ウォッチドッグタイマによるリセット

S1C17601は、CPUの暴走を検出するためのウォッチドッグタイマを内蔵しています。ウォッチドッグタイマは4秒周期以内にソフトウェアによってリセットされない場合(CPUが暴走した場合)、タイマがオーバーフローし、このオーバーフロー信号によりNMIまたはリセットを発生するようになっています。リセットを発生させるにはWDTMD(D1/WDT_STレジスタ)に1を書き込みます(WDTMDが0の場合はNMIを発生します)。

* **WDTMD**: NMI/Reset Mode Select Bit in the Watchdog Timer Status (WDT_ST) Register (D1/0x5041)

ウォッチドッグタイマの詳細については、“17 ウォッチドッグタイマ(WDT)”を参照してください。

- 注:
- ウォッチドッグタイマによるリセット機能を使用する場合は、必ず4秒周期以内にウォッチドッグタイマをリセットし、不要なリセットが発生しないようにプログラムしてください。
 - ウォッチドッグタイマによるリセット機能はソフトウェアで有効にしますので、電源投入時のリセットには使用できません。

5.2 イニシャルリセットシーケンス

電源投入時の#RESET端子によるリセット解除後、発振安定待ち時間が経過するまでCPUの起動は待たされます。図5.2.1にイニシャルリセット解除後の動作シーケンスを示します。CPUはリセット解除後、IOSC(内蔵CR発振回路)クロックに同期して起動します。

* f_{iosc}: IOSCクロック周波数

注: 発振安定待ち時間には、発振開始時間は含まれていません。そのため、電源投入時やSLEEP解除後の命令実行までの時間は、下図よりも長くなる場合があります。

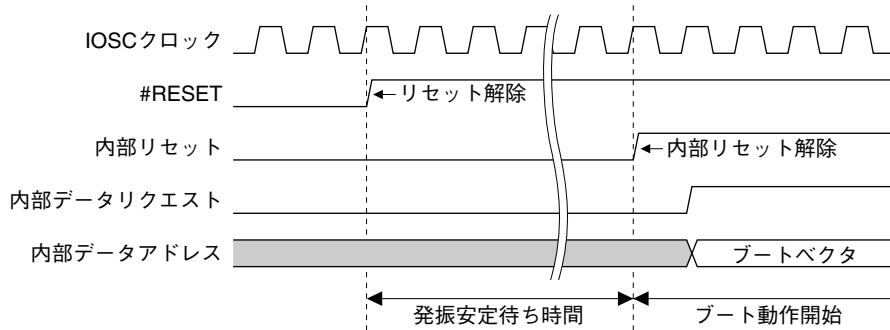


図5.2.1 イニシャルリセット解除後の動作シーケンス

5.3 イニシャルリセット時の初期設定

イニシャルリセットによりCPUの内部レジスタは以下のように初期化されます。

R0～R7: 0x0

PSR: 0x0(割り込みレベル=0、割り込み禁止)

SP: 0x0

PC: リセット処理によりベクタテーブル先頭のリセットベクタがロードされます。

内蔵RAMおよび表示メモリはイニシャルリセット時に初期化されませんので、ソフトウェアで初期化してください。

内蔵の周辺回路については、それぞれ所定の初期化が行われます。必要に応じてソフトウェアで再設定してください。イニシャルリセット時の初期値については、AppendixのI/Oレジスタ一覧または各周辺回路の説明を参照してください。

6 割り込みコントローラ (ITC)

6.1 ITCの構成

ITCではマスク可能な複数の割り込みが同時に発生した場合に、処理する順序を決定する割り込みレベル(優先順位)を割り込み系列ごとに設定することができます。詳細なマスク可能な割り込みの種数は、次ページのベクタテーブルを参照してください。

各割り込み系列には上記の()内に示した数の割り込み要因があり、各要因による割り込みの許可/禁止の設定はそれぞれの周辺モジュールのレジスタで行います。

割り込み要因とその制御の詳細については、各周辺モジュールの説明を参照してください。

図6.1.1に割り込みシステムの構成を示します。

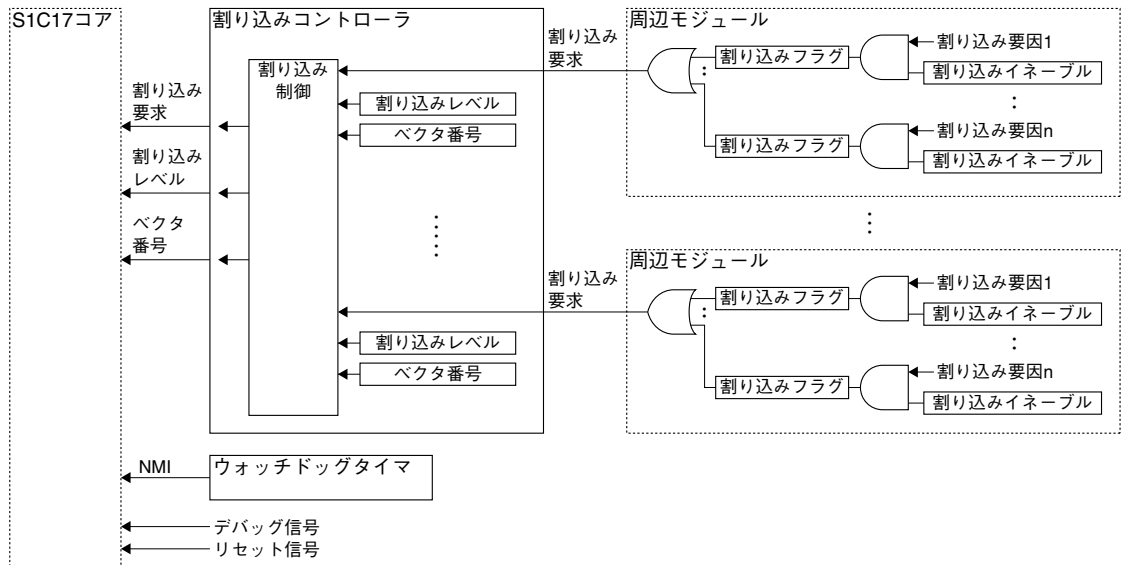


図6.1.1 割り込みシステム

6.2 ベクタテーブル

ベクタテーブルは、割り込み処理ルーチンへのベクタ(処理ルーチン開始アドレス)を格納します。割り込みが発生すると、S1C1701コアは割り込みに対応するベクタを読み出して、その処理ルーチンを実行します。ベクタテーブルのベース(先頭)アドレスは、MISC_TTBRLとMISC_TTBRHレジスタ(0x5328、0x532a)によって設定することができます(“2.4 ベクタテーブル”参照)。表6.2.1の“TTBR”はこれらのレジスタに設定された値を意味します。イニシャルリセット後、MISC_TTBRL/MISC_TTBRHレジスタは0x8000番地に設定されます。表6.2.1にS1C17601のベクタテーブルを示します。

表6.2.1 ベクタテーブル

ベクタNo./ソフトウェア割り込みNo.	ベクタアドレス	ハードウェア割り込み名	ハードウェア割り込み要因	優先順位	マスク可/不可	
0 (0x00)	TTBR + 0x00	リセット	• #RESET端子へのLow入力 • ウォッチドッグタイマオーバーフロー *2	1	不可	
1 (0x01)	TTBR + 0x04	アドレス不整合割り込み	メモリアクセス命令	2		
-	(0xffc00)	デバッグ割り込み	brk命令等	3		
2 (0x02)	TTBR + 0x08	NMI	ウォッチドッグタイマオーバーフロー *2	4		
3 (0x03)	TTBR + 0x0c	Cコンパイラ(reserved)	Cコンパイラのエミュレーションライブラリが使用	-		
4 (0x04)	TTBR + 0x10	P0ポート割り込み	P00~P07ポート入力	高い *1 ↑		可
5 (0x05)	TTBR + 0x14	P1ポート割り込み	P10~P17ポート入力			
6 (0x06)	TTBR + 0x18	ストップウォッチタイマ割り込み	• タイマ100Hz信号 • タイマ10Hz信号 • タイマ1Hz信号			
7 (0x07)	TTBR + 0x1c	計時タイマ割り込み	• タイマ32Hz信号 • タイマ8Hz信号 • タイマ2Hz信号 • タイマ1Hz信号			
8 (0x08)	TTBR + 0x20	8ビットOSC1タイマ割り込み	コンペアマッチ			
9 (0x09)	TTBR + 0x24	SVD割り込み	電源電圧低下検出			
10 (0x0a)	TTBR + 0x28	LCD割り込み	フレーム信号			
11 (0x0b)	TTBR + 0x2c	PWMタイマCh.0 割り込み	• コンペアA • コンペアB			
12 (0x0c)	TTBR + 0x30	8ビットタイマ割り込み	タイマアンダーフロー			
13 (0x0d)	TTBR + 0x34	16ビットタイマCh.0割り込み	タイマアンダーフロー			
14 (0x0e)	TTBR + 0x38	16ビットタイマCh.1割り込み	タイマアンダーフロー			
15 (0x0f)	TTBR + 0x3c	16ビットタイマCh.2割り込み	タイマアンダーフロー			
16 (0x10)	TTBR + 0x40	UART割り込み	• 送信バッファエンプティ • 受信バッファフル • 受信エラー			
17 (0x11)	TTBR + 0x44	I ² C(スレーブ)割り込み	• I ² C(スレーブ)送信バッファエンプティ • I ² C(スレーブ)受信バッファフル • I ² C(スレーブ)バスステータス変化			
18 (0x12)	TTBR + 0x48	SPI割り込み	• 送信バッファエンプティ(マスタモードのみ) • 受信バッファフル			
19 (0x13)	TTBR + 0x4c	I ² C(マスタ)割り込み	• 送信バッファエンプティ • 受信バッファフル			
20 (0x14)	TTBR + 0x50	PWMタイマCh.1割り込み	• コンペアA • コンペアB			
21 (0x15)	TTBR + 0x54	reserved	-			
22 (0x16)	TTBR + 0x58	A/D変換器割り込み	• 変換完了 • 変換結果オーバーライト			
23 (0x17)	TTBR + 0x5c	R/F変換器割り込み	• 基準発振完了 • センサA発振完了 • センサB発振完了 • タイムベースカウンタオーバーフロー • 計測カウンタオーバーフロー			
24 (0x18)	TTBR + 0x60	reserved	-		↓ 低い *1	
:	:	:	:			
31 (0x1f)	TTBR + 0x7c	reserved	-			

*1 同一の割り込みレベルが設定されている場合

*2 ウォッチドッグタイマの割り込みは、ソフトウェアにてリセットまたはNMIのいずれかを選択

ベクタ番号4~20, 22~23に、S1C17601が対応しているマスク可能な割り込みが割り当てられています。

6.3 マスク可能割り込みの制御

6.3.1 周辺モジュールの割り込み制御ビット

割り込み発生源の周辺モジュールには、各割り込み要因ごとに割り込みイネーブルビットと割り込みフラグが設けられています。割り込みイネーブルビットを1(割り込み許可)に設定しておくことで、割り込み要因の発生により割り込みフラグが1にセットされます。このフラグの状態が割り込み要求信号としてITCに送られ、S1C17コアへの割り込み要求を発生させます。割り込みを発生させたくない要因については、対応する割り込みイネーブルビットを0に設定します。これにより、割り込み要因が発生しても割り込みフラグは1にセットされず、ITCへの割り込み要求信号もアクティブになりません。

1にセットされた割り込みフラグは、割り込み発生後の割り込み処理ルーチン内でリセットする必要があります。ITCは割り込み要求を信号のレベルで検出しているため、割り込みフラグが1にセットされたまま割り込み処理ルーチンをret命令で終了すると、再度同じ割り込みが発生してしまいます。

割り込み要因、割り込みフラグ、割り込みイネーブルビットの詳細については、各周辺モジュールの説明を参照してください。

6.3.2 ITCの割り込み要求処理

周辺モジュールからの割り込み信号を受け付けると、ITCは割り込み要求、割り込みレベルおよびベクタ番号の信号をS1C17コアに送ります。

ベクタ番号は表6.2.1に示したとおり、ITC内のハードウェアにより割り込み要因ごとに決められています。

割り込みレベルはS1C17コアがILビット(PSR)と比較するための値です。S1C17コアは、この割り込みレベルを使用して、それ以降に発生する同一あるいはそれ以下のレベルの割り込みを禁止します(6.3.3節参照)。

ITCのデフォルト設定では、すべてのマスク可能割り込みがレベル0になります。割り込みレベルが0の場合、S1C17コアはその割り込み要求を受け付けません。

ITCには割り込みレベルを選択する制御ビットが設けられており、割り込み系列ごとに割り込みレベルを0(低)~7(高)に設定できます。

表6.3.2.1 割り込みレベル設定ビット

ハードウェア割り込み	割り込みレベル設定ビット	レジスタアドレス
P0ポート割り込み	ILV0[2:0] (D[2:0]/ITC_LV0レジスタ)	0x4306
P1ポート割り込み	ILV1[2:0] (D[10:8]/ITC_LV0レジスタ)	0x4306
ストップウォッチタイマ割り込み	ILV2[2:0] (D[2:0]/ITC_LV1レジスタ)	0x4308
計時タイマ割り込み	ILV3[2:0] (D[10:8]/ITC_LV1レジスタ)	0x4308
8ビットOSC1タイマ割り込み	ILV4[2:0] (D[2:0]/ITC_LV2レジスタ)	0x430a
SVD割り込み	ILV5[2:0] (D[10:8]/ITC_LV2レジスタ)	0x430a
LCD割り込み	ILV6[2:0] (D[2:0]/ITC_LV3レジスタ)	0x430c
PWMタイマCh.0割り込み	ILV7[2:0] (D[10:8]/ITC_LV3レジスタ)	0x430c
8ビットタイマ割り込み	ILV8[2:0] (D[2:0]/ITC_LV4レジスタ)	0x430e
16ビットタイマCh.0割り込み	ILV9[2:0] (D[10:8]/ITC_LV4レジスタ)	0x430e
16ビットタイマCh.1割り込み	ILV10[2:0] (D[2:0]/ITC_LV5レジスタ)	0x4310
16ビットタイマCh.2割り込み	ILV11[2:0] (D[10:8]/ITC_LV5レジスタ)	0x4310
UART割り込み	ILV12[2:0] (D[2:0]/ITC_LV6レジスタ)	0x4312
I ² C(スレーブ)割り込み	ILV13[2:0] (D[10:8]/ITC_LV6レジスタ)	0x4312
SPI割り込み	ILV14[2:0] (D[2:0]/ITC_LV7レジスタ)	0x4314
I ² C(マスタ)割り込み	ILV15[2:0] (D[10:8]/ITC_LV7レジスタ)	0x4314
PWMタイマCh.1割り込み	ILV16[2:0] (D[2:0]/ITC_LV8レジスタ)	0x4316
reserved	ILV17[2:0] (D[10:8]/ITC_LV8レジスタ)	0x4316
A/D変換器割り込み	ILV18[2:0] (D[2:0]/ITC_LV9レジスタ)	0x4318
R/F変換器割り込み	ILV19[2:0] (D[10:8]/ITC_LV9レジスタ)	0x4318

6 割り込みコントローラ(ITC)

複数の周辺モジュールから同時に割り込み要求がITCに入力された場合、ITCは以下の条件に従い、最も優先順位の高い割り込み要求をS1C17コアに出力します。

1. 割り込みレベルが最も高く設定されている割り込みを優先します。
2. 同一の割り込みレベルが設定されている複数の割り込み要求が入力された場合は、ベクタ番号の小さい割り込みを優先します。

同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。

ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

保留状態の割り込み要求を出力した周辺モジュール内の割り込みフラグがソフトウェアでリセットされた場合、その割り込みは発生しません。

6.3.3 S1C17コアの割り込み処理

S1C17コアに対するマスク可能な割り込みは、以下のすべての条件が成立している場合に発生します。

- 周辺モジュール内の割り込み制御ビットで割り込みが許可されている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- 発生した割り込み要因が、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

周辺モジュール内で割り込みが許可されている割り込み要因が発生すると、対応する割り込みフラグが1にセットされ、プログラムでリセットするまではその状態を保持します。したがって、割り込み要因の発生時点で上記の条件が満たされていない場合でも発生した割り込み要因がクリアされることはありません。上記の条件が満たされた時点で割り込みが発生します。

同時に複数のマスク可能な割り込み要因が発生した場合は、その中で最も高い割り込みレベルかつ最も小さなベクタ番号を持つ割り込み要因がその時点でのS1C17コアへの割り込み要求の対象となります。優先順位の低い割り込みは、その後、上記の条件が成立するまで保留されます。

S1C17コアは毎サイクル、割り込み要求のサンプリングを行っています。S1C17コアは割り込み要求を受け付けるとその時点の命令の実行終了後、割り込み処理に移行します。

割り込み処理で実行される内容は以下のとおりです。

- (1) PSRおよび現在のプログラムカウンタ(PC)値をスタックに退避
- (2) PSRのIEビットを0にリセット(以降のマスク可能な割り込みを禁止)
- (3) PSRのILを受け付けた割り込みのレベルにセット(NMIは割り込みレベルを変更しない)
- (4) 発生した割り込み要因のベクタをPCにロードして割り込み処理ルーチンを実行

したがって、割り込みを受け付けると、(2)によって以降のマスク可能な割り込みは禁止されます。

割り込み処理ルーチン内でIEビットを1にセットすることで、多重割り込みにも対応できます。その場合、(3)によってILが変更されていますので、現在処理中の割り込みより高いレベルの割り込みのみが受け付けられます。

割り込み処理ルーチンを`reti`命令で終了すると、PSRが割り込み発生前の状態に戻ります。プログラムは割り込み発生時に実行していた命令の次の命令に分岐して処理を再開します。

6.4 NMI

S1C17601では、ウォッチドッグタイマでNMI(ノンマスカブル割り込み)を発生させることができます。NMIのベクタ番号は2で、ベクタアドレスはベクタテーブル先頭アドレス+8バイトに設定されています。この割り込みは他の割り込み要因に優先して、無条件にS1C17コアに受け付けられます。

NMIを発生させる方法については、“17 ウォッチドッグタイマ(WDT)”を参照してください。

6.5 ソフトウェア割り込み

S1C17コアの`int imm5`または`int1 imm5, imm3`命令を使用することによって、ソフトウェアで任意の割り込みを発生させることができます。オペランドの即値`imm5`でベクタテーブルのベクタ番号(0~31)を指定します。`int1`命令では、`imm3`でPSRのILフィールドに設定する割り込みレベル(0~7)を指定することもできます。

プロセッサの割り込み処理の内容は、ハードウェアによる割り込み発生時と同様です。

6.6 HALT, SLEEPモードの解除

HALT、SLEEPモードは以下の信号によって解除され、CPUが起動します。

- ITCからCPUに対する割り込み要求
- ウォッチドッグタイマからのNMI
- デバッグ割り込み
- リセット

注：ITCからCPUに対する割り込み要求によりHALT、SLEEPモードが解除されたときに、CPUが割り込みを受け付けられる状態になっていれば、解除直後に割り込みルーチンに分岐します。そうでない場合はhaltまたはslp命令に続く命令を実行します。

ITCの割り込みレベル設定では、HALT、SLEEPモードの解除のマスクはできません。

詳細は、Appendix Cの“C.1 クロック制御によるパワーセーブ”を参照してください。

6.7 制御レジスタ詳細

表6.7.1 ITCレジスタ

アドレス	レジスタ名		機能
0x4306	ITC_LV0	Interrupt Level Setup Register 0	P0、P1割り込みレベルの設定
0x4308	ITC_LV1	Interrupt Level Setup Register 1	SWT、CT割り込みレベルの設定
0x430a	ITC_LV2	Interrupt Level Setup Register 2	T8OSC1、SVD割り込みレベルの設定
0x430c	ITC_LV3	Interrupt Level Setup Register 3	LCD、T16E Ch.0割り込みレベルの設定
0x430e	ITC_LV4	Interrupt Level Setup Register 4	T8F、T16 Ch.0割り込みレベルの設定
0x4310	ITC_LV5	Interrupt Level Setup Register 5	T16 Ch.1、Ch.2割り込みレベルの設定
0x4312	ITC_LV6	Interrupt Level Setup Register 6	UART、I ² C(スレーブ)割り込みレベルの設定
0x4314	ITC_LV7	Interrupt Level Setup Register 7	SPI、I ² C(マスタ)割り込みレベルの設定
0x4316	ITC_LV8	Interrupt Level Setup Register 8	T16E Ch.1割り込みレベルの設定
0x4318	ITC_LV9	Interrupt Level Setup Register 9	A/D、R/F割り込みレベルの設定

以下、ITCのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x4306: Interrupt Level Setup Register 0 (ITC_LV0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Interrupt Level Setup Register 0 (ITC_LV0)	0x4306 (16 bits)	D15-11	—	reserved	—	—	—	0 when being read.	
		D10-8	ILV1[2:0]	P1 interrupt level	0 to 7	0x0	R/W		
		D7-3	—	reserved	—	—	—	—	0 when being read.
		D2-0	ILV0[2:0]	P0 interrupt level	0 to 7	0x0	R/W		

D[15:11] Reserved**D[10:8] ILV1[2:0]: P1 Port Interrupt Level Bits**

P1ポート割り込みの割り込みレベル(0~7)を設定します。(デフォルト: 0)

S1C17コアは、PSRのILの値より低いレベルに設定された割り込みを受け付けません。

ITC内では、割り込みレベルを複数の割り込み要因が同時に発生した場合に使用します。

割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCはITC_LVxレジスタ(0x4306~0x4318)で設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。

同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。

同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。

ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

D[7:3] Reserved**D[2:0] ILV0[2:0]: P0 Port Interrupt Level Bits**

P0ポート割り込みの割り込みレベル(0~7)を設定します。(デフォルト: 0)

ILV1[2:0](D[10:8])の説明を参照してください。

0x4308: Interrupt Level Setup Register 1 (ITC_LV1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Interrupt Level Setup Register 1 (ITC_LV1)	0x4308 (16 bits)	D15-11	—	reserved	—	—	—	0 when being read.	
		D10-8	ILV3[2:0]	CT interrupt level	0 to 7	0x0	R/W		
		D7-3	—	reserved	—	—	—	—	0 when being read.
		D2-0	ILV2[2:0]	SWT interrupt level	0 to 7	0x0	R/W		

D[15:11] Reserved**D[10:8] ILV3[2:0]: Clock Timer Interrupt Level Bits**

計時タイマ割り込みの割り込みレベル(0~7)を設定します。(デフォルト: 0)
ITC_LV0レジスタ(0x4306)のILV1[2:0](D[10:8])の説明を参照してください。

D[7:3] Reserved**D[2:0] ILV2[2:0]: Stopwatch Timer Interrupt Level Bits**

ストップウォッチタイマ割り込みの割り込みレベル(0~7)を設定します。(デフォルト: 0)
ITC_LV0レジスタ(0x4306)のILV1[2:0](D[10:8])の説明を参照してください。

0x430a: Interrupt Level Setup Register 2 (ITC_LV2)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register 2 (ITC_LV2)	0x430a (16 bits)	D15-11	–	reserved	–	–	–	0 when being read.
		D10-8	ILV5[2:0]	SVD interrupt level	0 to 7	0x0	R/W	
		D7-3	–	reserved	–	–	–	0 when being read.
		D2-0	ILV4[2:0]	T8OSC1 interrupt level	0 to 7	0x0	R/W	

D[15:11] Reserved**D[10:8] ILV5[2:0]: SVD Interrupt Level Bits**

SVD割り込みの割り込みレベル(0~7)を設定します。(デフォルト: 0)
ITC_LV0レジスタ(0x4306)のILV1[2:0](D[10:8])の説明を参照してください。

D[7:3] Reserved**D[2:0] ILV4[2:0]: 8-bit OSC1 Timer Interrupt Level Bits**

8ビットOSC1タイマ割り込みの割り込みレベル(0~7)を設定します。(デフォルト: 0)
ITC_LV0レジスタ(0x4306)のILV1[2:0](D[10:8])の説明を参照してください。

0x430c: Interrupt Level Setup Register 3 (ITC_LV3)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Interrupt Level Setup Register 3 (ITC_LV3)	0x430c (16 bits)	D15-11	—	reserved	—	—	—	0 when being read.	
		D10-8	ILV7[2:0]	T16E Ch.0 interrupt level	0 to 7	0x0	R/W		
		D7-3	—	reserved	—	—	—	—	0 when being read.
		D2-0	ILV6[2:0]	LCD interrupt level	0 to 7	0x0	R/W		

D[15:11] Reserved**D[10:8] ILV7[2:0]: PWM & Capture Timer Ch.0 Interrupt Level Bits**

PWMタイマCh.0割り込みの割り込みレベル(0~7)を設定します。(デフォルト: 0)
ITC_LV0レジスタ(0x4306)のILV1[2:0](D[10:8])の説明を参照してください。

D[7:3] Reserved**D[2:0] ILV6[2:0]: LCD Interrupt Level Bits**

LCD割り込みの割り込みレベル(0~7)を設定します。(デフォルト: 0)
ITC_LV0レジスタ(0x4306)のILV1[2:0](D[10:8])の説明を参照してください。

0x430e: Interrupt Level Setup Register 4 (ITC_LV4)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register 4 (ITC_LV4)	0x430e (16 bits)	D15-11	–	reserved	–	–	–	0 when being read.
		D10-8	ILV9[2:0]	T16 Ch.0 interrupt level	0 to 7	0x0	R/W	
		D7-3	–	reserved	–	–	–	0 when being read.
		D2-0	ILV8[2:0]	T8F interrupt level	0 to 7	0x0	R/W	

D[15:11] Reserved

D[10:8] ILV9[2:0]: 16-bit Timer Ch.0 Interrupt Level Bits

16ビットタイマCh.0割り込みの割り込みレベル(0~7)を設定します。(デフォルト: 0)
ITC_LV0レジスタ(0x4306)のILV1[2:0](D[10:8])の説明を参照してください。

D[7:3] Reserved

D[2:0] ILV8[2:0]: 8-bit Timer Interrupt Level Bits

8ビットタイマ割り込みの割り込みレベル(0~7)を設定します。(デフォルト: 0)
ITC_LV0レジスタ(0x4306)のILV1[2:0](D[10:8])の説明を参照してください。

0x4310: Interrupt Level Setup Register 5 (ITC_LV5)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register 5 (ITC_LV5)	0x4310 (16 bits)	D15-11	-	reserved	-	-	-	0 when being read.
		D10-8	ILV11[2:0]	T16 Ch.2 interrupt level	0 to 7	0x0	R/W	
		D7-3	-	reserved	-	-	-	0 when being read.
		D2-0	ILV10[2:0]	T16 Ch.1 interrupt level	0 to 7	0x0	R/W	

D[15:11] Reserved**D[10:8] ILV11[2:0]: 16-bit Timer Ch.2 Interrupt Level Bits**

16ビットタイマCh.2割り込みの割り込みレベル(0~7)を設定します。(デフォルト: 0)
ITC_LV0レジスタ(0x4306)のILV1[2:0](D[10:8])の説明を参照してください。

D[7:3] Reserved**D[2:0] ILV10[2:0]: 16-bit Timer Ch.1 Interrupt Level Bits**

16ビットタイマCh.1割り込みの割り込みレベル(0~7)を設定します。(デフォルト: 0)
ITC_LV0レジスタ(0x4306)のILV1[2:0](D[10:8])の説明を参照してください。

0x4312: Interrupt Level Setup Register 6 (ITC_LV6)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register 6 (ITC_LV6)	0x4312 (16 bits)	D15-11	–	reserved	–	–	–	0 when being read.
		D10-8	ILV13[2:0]	I ² C (slave) interrupt level	0 to 7	0x0	R/W	
		D7-3	–	reserved	–	–	–	0 when being read.
		D2-0	ILV12[2:0]	UART interrupt level	0 to 7	0x0	R/W	

D[15:11] Reserved**D[10:8] ILV13[2:0]: I²C (slave) Interrupt Level Bits**

I²C (slave) 割り込みの割り込みレベル(0~7)を設定します。(デフォルト: 0)
ITC_LV0レジスタ(0x4306)のILV1[2:0](D[10:8])の説明を参照してください。

D[7:3] Reserved**D[2:0] ILV12[2:0]: UART Interrupt Level Bits**

UART Ch.0 割り込みの割り込みレベル(0~7)を設定します。(デフォルト: 0)
ITC_LV0レジスタ(0x4306)のILV1[2:0](D[10:8])の説明を参照してください。

0x4314: Interrupt Level Setup Register 7 (ITC_LV7)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register 7 (ITC_LV7)	0x4314 (16 bits)	D15-11	-	reserved	-	-	-	0 when being read.
		D10-8	ILV15[2:0]	I ² C (master) interrupt level	0 to 7	0x0	R/W	
		D7-3	-	reserved	-	-	-	0 when being read.
		D2-0	ILV14[2:0]	SPI interrupt level	0 to 7	0x0	R/W	

D[15:11] Reserved**D[10:8] ILV15[2:0]: I²C (master) Interrupt Level Bits**

I²C割り込みの割り込みレベル(0~7)を設定します。(デフォルト: 0)
ITC_LV0レジスタ(0x4306)のILV1[2:0](D[10:8])の説明を参照してください。

D[7:3] Reserved**D[2:0] ILV14[2:0]: SPI Interrupt Level Bits**

SPI割り込みの割り込みレベル(0~7)を設定します。(デフォルト: 0)
ITC_LV0レジスタ(0x4306)のILV1[2:0](D[10:8])の説明を参照してください。

0x4316: Interrupt Level Setup Register 8 (ITC_LV8)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register 8 (ITC_LV8)	0x4316 (16 bits)	D15-3	–	reserved	–	–	–	0 when being read.
		D2-0	ILV16[2:0]	T16E Ch.1 interrupt level	0 to 7	0x0	R/W	

D[15:3] Reserved

D[2:0] ILV16[2:0]: PWM & Capture Timer Ch.1 Interrupt Level Bits

PWMタイマCh.1割り込みの割り込みレベル(0~7)を設定します。(デフォルト: 0)
ITC_LV0レジスタ(0x4306)のILV1[2:0](D[10:8])の説明を参照してください。

0x4318: Interrupt Level Setup Register 9 (ITC_LV9)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register 9 (ITC_LV9)	0x4318 (16 bits)	D15-11	–	reserved	–	–	–	0 when being read.
		D10-8	ILV19[2:0]	R/F converter interrupt level	0 to 7	0x0	R/W	
		D7-3	–	reserved	–	–	–	0 when being read.
		D2-0	ILV18[2:0]	A/D converter interrupt level	0 to 7	0x0	R/W	

D[15:11] Reserved**D[10:8] ILV19[2:0]: R/F Converter Interrupt Level Bits**

R/F 変換器割り込みの割り込みレベル (0 ~ 7) を設定します。(デフォルト: 0)
ITC_LV0レジスタ(0x4306)のILV1[2:0](D[10:8])の説明を参照してください。

D[7:3] Reserved**D[2:0] ILV18[2:0]: A/D Converter Interrupt Level Bits**

A/D変換器割り込みの割り込みレベル(0~7)を設定します。(デフォルト: 0)
ITC_LV0レジスタ(0x4306)のILV1[2:0](D[10:8])の説明を参照してください。

6.8 注意事項

割り込み発生後は、同じ要因による割り込みの再発生を防止するため、割り込みを許可、PSRを再設定またはreti命令を実行する前に必ず周辺モジュール内の割り込みフラグをリセットしてください。

7 発振回路 (OSC)

7.1 OSCモジュールの構成

S1C17601は3種類の発振回路 (IOSC、OSC3、OSC1) を内蔵しています。IOSC発振回路またはOSC3発振回路はS1C17コアや周辺回路を高速動作させるためのメインクロックを、OSC1発振回路はタイマ動作や低電力動作用のサブクロックを発生します。

イニシャルリセット時、システムクロックにはIOSCクロックが選択されます。

発振回路のOn/Offとシステムクロックの切り換え (IOSC/OSC3 \leftrightarrow OSC1) はソフトウェアによって制御できます。

また、外部へのクロック出力も可能となっています。

図7.1.1にクロックシステムとOSCモジュールの構成を示します。

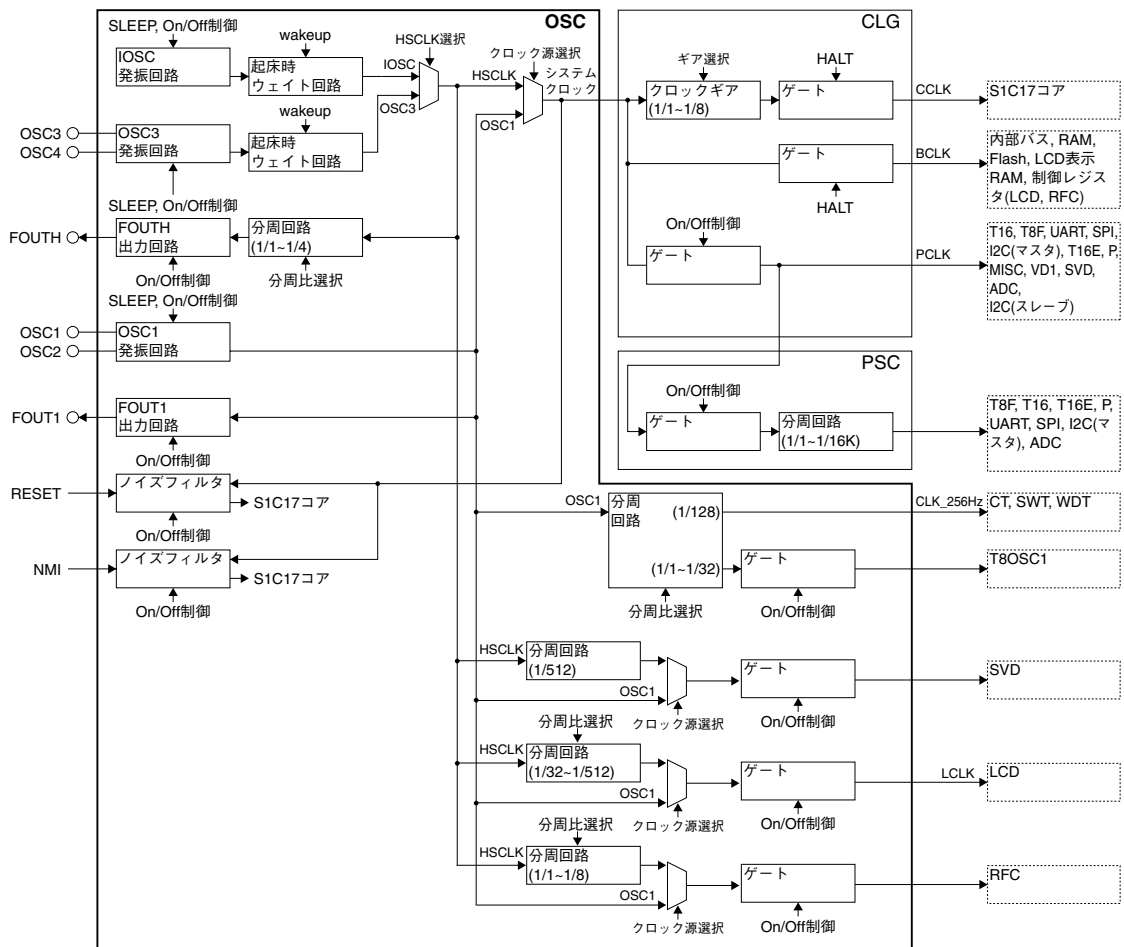


図7.1.1 OSCモジュールの構成

処理に合わせてクロックを制御し、さらにスタンバイモードを組み合わせることで消費電流を抑えることができます。消費電流を抑える手法については、“Appendix C パワーセーブ”を参照してください。

7.2 IOSC発振回路

IOSC発振回路は外付け部品を一切必要とせず、高速な発振開始を実現する発振回路です。電源投入時に発振を開始し、イニシャルリセット後はS1C17コアと周辺回路がこの発振クロックで動作します。

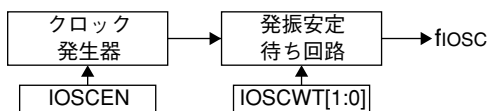


図7.2.1 IOSC発振回路

IOSC発振のOn/Off

IOSC発振回路はIOSCEN(D2/OSC_CTLレジスタ)を0に設定すると発振を停止し、1に設定すると発振を開始します。IOSC発振回路はSLEEPモードでも発振を停止します。

* **IOSCEN**: IOSC Enable Bit in the Oscillation Control (OSC_CTL) Register (D2/0x5061)

イニシャルリセット時はIOSCENが1に設定され、IOSC発振回路はOnします。また、IOSCクロックがシステムクロックとなりますので、S1C17コアはIOSCクロックで動作を開始します。

IOSC発振開始時の安定待ち時間

IOSCクロックを使用する場合、SLEEPからの起床時やソフトウェアでIOSC発振回路をOnにしたときなど、IOSC発振開始時の不安定なクロックによる誤動作を防止するため、IOSC発振回路には発振安定待ち回路が設けられています。図7.2.2に発振開始時間と発振安定待ち時間の関係を示します。

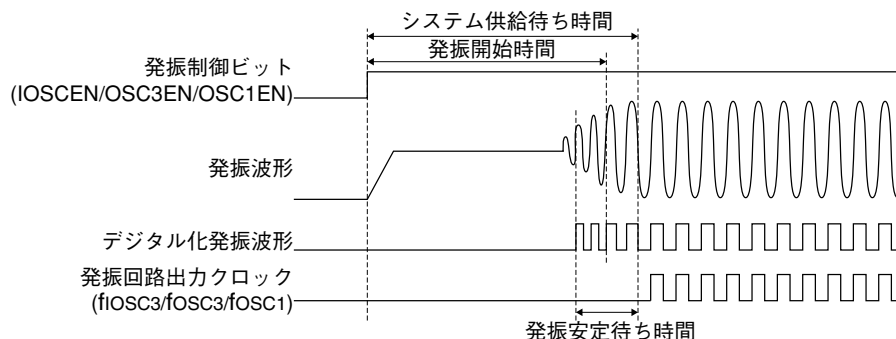


図7.2.2 発振開始時間と発振安定待ち時間

この回路で設定した時間が経過するまで、IOSCクロックはシステムに供給されません。この発振安定待ち時間はIOSCWT[1:0](D[7:6]/OSC_CTLレジスタ)で4種類から選択可能です。

* **IOSCWT[1:0]**: IOSC Wait Cycle Select Bits in the Oscillation Control (OSC_CTL) Register (D[7:6]/0x5061)

表7.2.1 IOSC発振安定待ち時間の設定

IOSCWT[1:0]	発振安定待ち時間
0x3	8サイクル
0x2	16サイクル
0x1	32サイクル
0x0	64サイクル

(デフォルト: 0x0)

イニシャルリセット時は64サイクル(IOSCクロック)に設定されますので、リセット解除後は以下の時間が経過するまでCPUは動作を開始しません。発振開始時間については、“28 電氣的特性”の章を参照してください。

イニシャル時、CPU動作開始時間 ≤ IOSC発振開始時間(max.) + IOSC発振安定待ち時間(64サイクル)

電源電圧V_{DD}が、十分安定した状態では、IOSCWT[1:0]=0x3に設定し、発振安定待ち時間を短くすることが可能です。

IOSCクロックシステム供給待ち時間 ≤ IOSC発振開始時間(max.) + IOSC発振安定待ち時間

7.3 OSC3発振回路

OSC3発振回路は、水晶、もしくはセラミック振動子を使ったの精度の良い高速発振回路です。IOSC発振回路と切り換えて使用することができます。

図7.3.1にOSC3発振回路の構造を示します。

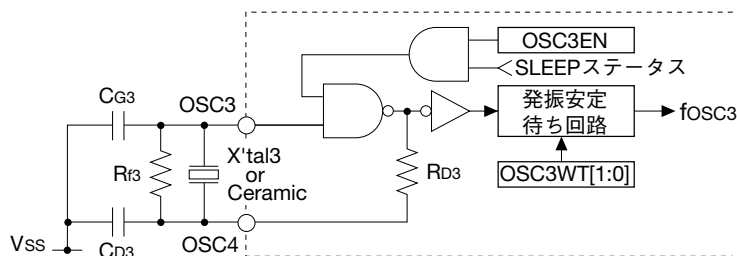


図7.3.1 OSC3発振回路

OSC3端子とOSC4端子間に水晶振動子(X'tal3)またはセラミック振動子(Ceramic)と帰還抵抗(Rf)を、同OSC3、OSC4端子とVss間にキャパシタを2個(Cg3、Cd3)接続します。

OSC3発振のOn/Off

OSC3発振回路はOSC3EN(D0/OSC_CTLレジスタ)を0に設定すると発振を停止し、1に設定すると発振を開始します。OSC3発振回路はSLEEPモードでも発振を停止します。

* **OSC3EN**: OSC3 Enable Bit in the Oscillation Control (OSC_CTL) Register (D0/0x5061)

イニシャルリセット時はOSC3ENが0に設定され、OSC3発振回路は停止状態になります。デフォルト設定ではIOSCクロックが高速クロックとして使用されます。OSC3クロックを使用するには、上記のOn/Off制御以外にクロックの切り換えも必要です。切り換え方法については、“7.5 クロックの切り換え”を参照してください。

OSC3発振開始時の安定待ち時間

OSC3クロックを使用する場合、SLEEPからの起床時やソフトウェアでOSC3発振回路をOnにしたときなど、OSC3発振開始時の不安定なクロックによる誤動作を防止するため、OSC3発振回路には発振安定待ちタイマが設けられています。このタイマで設定した時間が経過するまで、OSC3クロックはシステムに供給されません。

この発振安定待ち時間はOSC3WT[1:0](D[5:4]/OSC_CTLレジスタ)で4種類から選択可能です。

* **OSC3WT[1:0]**: OSC3 Wait Cycle Select Bits in the Oscillation Control (OSC_CTL) Register (D[5:4]/0x5061)

表7.3.1 OSC3発振安定待ち時間の設定

OSC3WT[1:0]	発振安定待ち時間
0x3	128サイクル
0x2	256サイクル
0x1	512サイクル
0x0	1024サイクル

(デフォルト: 0x0)

イニシャルリセット時は1024サイクル(OSC3クロック)に設定されます。

OSC3発振回路をOnにした直後にシステムクロックをOSC3に切り換えた場合は、最大で下記のOSC3クロックシステム供給待ち時間が経過するまでOSC3クロックはシステムに供給されません。発振開始時間については、“28 電気的特性”の章を参照してください。

OSC3クロックシステム供給待ち時間 ≤ OSC3発振開始時間(max.) + OSC3発振安定待ち時間

注: 発振の安定度は振動子などの外付け部品によって変わります。OSC3発振安定待ち時間を短くする場合は、十分評価の上、設定してください。

OSC3の外部クロック入力

OSC3端子は、外部よりクロック入力が可能です。外部クロックを止める時は、Vssレベルで停止させてください。入力クロック波形は“28 電気的特性”を参照してください。

7 発振回路 (OSC)

OSC3未使用時の端子処理

OSC3、OSC4端子はオープン状態にしてください。

注: OSC3、OSC4端子がオープン状態時はOSC3EN (D0/OSC_CTLレジスタ)を0にしてください。

7.4 OSC1発振回路

OSC1発振回路は32.768kHzの水晶振動子による、高精度な低速発振回路です。

通常、OSC1クロックはタイマ(計時タイマ、ストップウォッチタイマ、ウォッチドッグタイマ、8ビットOSC1タイマ)の動作クロックとして使用します。また、高速な処理が不要な場合は、消費電流を低減するため、IOSCまたはOSC3クロックの代わりにシステムクロックとしても使用可能です。

図7.4.1にOSC1発振回路の構造を示します。

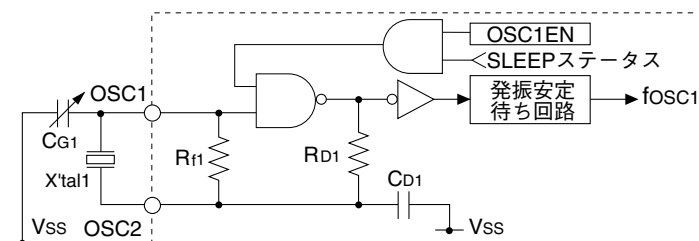


図7.4.1 OSC1発振回路

OSC1端子とOSC2端子間に水晶振動子X'tal1 (Typ. 32.768kHz)を、OSC1端子とVss間にトリマキャパシタCG1(0~25pF)を接続します。

OSC1発振のOn/Off

OSC1発振回路はOSC1EN(D1/OSC_CTLレジスタ)を0に設定すると発振を停止し、1に設定すると発振を開始します。OSC1発振回路はSLEEPモードでも発振を停止します。

* **OSC1EN**: OSC1 Enable Bit in the Oscillation Control (OSC_CTL) Register (D1/0x5061)

イニシャルリセット時はOSC1ENが0に設定され、OSC1発振回路は停止状態になります。

OSC1発振開始時の安定待ち時間

電源投入時、SLEEPからの起床時、ソフトウェアでOSC1発振回路をOnにした場合など、OSC1発振開始時の不安定なクロックによる誤動作を防止するため、OSC1発振回路には発振安定待ちタイマが設けられています。発振開始後、OSC1クロックは256サイクルの期間、システムに供給されません。発振開始時間については、“28 電氣的特性”の章を参照してください。

OSCクロックシステム供給待ち時間 ≤ OSC1発振開始時間 (max.) + OSC1発振安定待ち時間

OSC1未使用時の端子処理

OSC1、OSC2端子はオープン状態にしてください。

注: OSC1、OSC2端子がオープン状態時はOSC1EN(D1/OSC_CTLレジスタ)を0にしてください。

7.5 クロックの切り換え

S1C17601のシステムクロック選択部は、高速クロック(HSCLK)の選択とOSC1-HSCLK選択の2段階の構成となっています。図7.5.1にシステムクロック選択部の構成を示します。

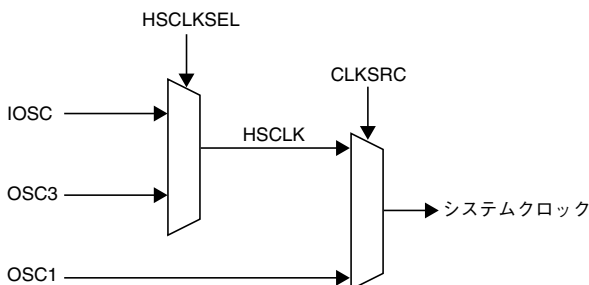


図7.5.1 システムクロック選択部

高速クロック(HSCLK)の選択

S1C17601には高速クロック(HSCLK)を生成するIOSCとOSC3の2つの発振回路が内蔵されています。イニシャルリセット時にはIOSC発振回路がOnし、IOSCクロックがHSCLKとして選択された状態で動作を開始します。

OSC3をHSCLKとして選択する場合は、OSC3発振回路をOnした後(7.3節参照)、HSCLKSEL(D1/OSC_SRCレジスタ)に1を書き込んでください。IOSCをHSCLKとして選択する場合は、IOSC発振回路をOnした後(7.2節参照)HSCLKSELに0を書き込んでください。

* **HSCLKSEL**: High-speed Clock Select Bit in the Clock Source Select (OSC_SRC) Register (D1/0x5060)

注: HSCLKの選択を行う場合は、IOSCおよびOSC3の両方がOnしている必要があります。両方がOnでない状態でHSCLKSELへの書き込みを行ってもHSCLKの切替は行われず、HSCLKSELの値も変化しません。

OSC1 HSCLKの選択

S1C17601には低速クロックを生成するOSC1発振回路が内蔵されており、OSC1とHSCLKのいずれかをシステムクロックとして選択可能です。イニシャルリセット時にはHSCLKが選択された状態で動作を開始します。

OSC1をシステムクロックとして選択する場合は、OSC1発振回路をOnした後(7.4節参照)、CLKSRC(D0/OSC_SRCレジスタ)に1を書き込んでください。HSCLKをシステムクロックとして選択する場合は、HSCLKが動作している状態でSRCSRCに0を書き込んでください。

OSC1からHSCLKへ、またはHSCLKからOSC1へクロックを切り替える場合は、最小でHSCLKの1サイクル、最大でOSC1の1サイクルの切替時間がかかります。

* **CLKSRC**: System Clock Source Select Bit in the Clock Source Select (OSC_SRC) Register (D0/0x5060)

システムクロックとして選択した以外の発振回路のうち、周辺回路の動作クロックとして使用していないものについては、停止することで消費電流を低減できます。

注: • OSC1_HSCLKの選択を行う場合は、OSC1およびHSCLKの両方が動作している必要があります。どちらか一方でも動作していない状態ではCLKSRCへの書き込みを行ってもシステムクロックの切替は行われず、CLKSRCの値も変化しません。

OSC1-HSCLKの選択が可能なレジスタ設定の組合せを表7.5.1に示します。

表7.5.1 OSC1-HSCLK選択可能な設定組合せ

IOSC	OSC3	OSC1	HSCLKSEL
On	On	On	*
On	Off	On	0
Off	On	On	1

- システムクロックとして選択されている発振回路はOffにすることはできません。
- CLKSRCレジスタへのライト、リードの連続アクセスは禁止です。ライトとリードの間に CLKSRCレジスタへのアクセスと関係のない命令を少なくとも1命令入れてください。

7.6 LCDクロックの制御

OSCモジュールには、LCDドライバの動作クロック(LCLK)を生成するLCDクロックジェネレータが組み込まれています。LCDドライバの詳細については、“22 LCDドライバ(LCD8)”を参照してください。

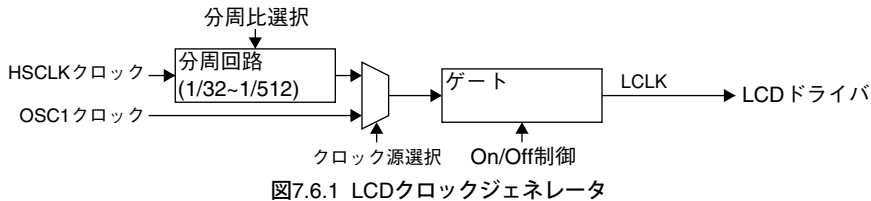


図7.6.1 LCDクロックジェネレータ

原振クロックの選択

LCDクロックをOSC1とHCLKのどちらから生成するか、LCKSRC(D1/OSC_LCLKレジスタ)で選択できます。LCKSRCが1(デフォルト)の場合はOSC1、0に設定するとHCLKが選択されます。

* **LCKSRC**: LCD Clock Source Select Bit in the LCD Clock Setup (OSC_LCLK) Register (D1/0x5063)

クロック分周比の選択

OSC1クロックの場合

原振クロックにOSC1を選択した場合、分周比を選択する操作は不要です。OSC1クロック(Typ. 32.768kHz)がそのままLCDドライバに送られます。

HCLKクロックの場合

原振クロックにHCLKを選択した場合は、LCKDV[2:0](D[4:2]/OSC_LCLKレジスタ)で分周比を選択します。

* **LCKDV[2:0]**: LCD Clock Division Ratio Select Bits in the LCD Clock Setup (OSC_LCLK) Register (D[4:2]/0x5063)

表7.6.1 LCDクロック分周比の選択

LCKDV[2:0]	分周比
0x7~0x5	Reserved
0x4	HCLK•1/512
0x3	HCLK•1/256
0x2	HCLK•1/128
0x1	HCLK•1/64
0x0	HCLK•1/32

(デフォルト: 0x0)

クロック供給の制御

LCDドライバへのクロック供給は、LCKEN(D0/OSC_LCLKレジスタ)で制御します。LCKENのデフォルト設定は0で、クロックの供給は停止しています。LCKENを1に設定すると、上記のとおり生成されたクロックがLCDドライバに送られます。LCDの表示が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

* **LCKEN**: LCD Clock Enable Bit in the LCD Clock Setup (OSC_LCLK) Register (D0/0x5063)

注: 原振クロックの選択(LCKSRC(D1/0x5063))、クロック分周比の選択(LCKDV[2:0](D[4:2]/0x5063))の変更は必ず、LCKEN(D0/0x5063)が0でLCDドライバへのクロックが停止状態で行ってください。

7.7 8ビットOSC1タイマクロックの制御

OSCモジュールには、8ビットOSC1タイマの動作クロックを生成する分周回路と供給を制御する機構が組み込まれています。8ビットOSC1タイマはOSC1分周クロックのみで動作するプログラマブルタイマです。詳細については、“14 8ビットOSC1タイマ(T8OSC1)”を参照してください。

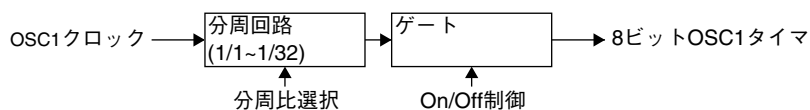


図7.7.1 8ビットOSC1タイマクロック制御回路

クロック分周比の選択

T8O1CK[2:0](D[3:1]/OSC_T8OSC1レジスタ)でOSC1クロックの分周比を選択します。

- * **T8O1CK[2:0]**: T8OSC1 Clock Division Ratio Select Bits in the T8OSC1 Clock Control (OSC_T8OSC1) Register (D[3:1]/0x5065)

表7.7.1 T8OSC1クロック分周比の選択

T8O1CK[2:0]	分周比
0x7~0x6	Reserved
0x5	OSC1•1/32
0x4	OSC1•1/16
0x3	OSC1•1/8
0x2	OSC1•1/4
0x1	OSC1•1/2
0x0	OSC1•1/1

(デフォルト: 0x0)

クロック供給の制御

8ビットOSC1タイマへのクロック供給は、T8O1CE(D0/OSC_T8OSC1レジスタ)で制御します。T8O1CEのデフォルト設定は0で、クロックの供給は停止しています。T8O1CEを1に設定すると、上記のとおり生成されたクロックが8ビットOSC1タイマに送られます。8ビットOSC1タイマの動作が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

- * **T8O1CE**: T8OSC1 Clock Enable Bit in the T8OSC1 Clock Control (OSC_T8OSC1) Register (D0/0x5065)

注: クロック分周比の選択(T8O1CK[2:0](D[3:1]/0x5065))の変更は必ず、T8O1CE(D0/0x5065)が0で8ビットOSC1タイマへのクロックが停止状態で行ってください。

7.8 SVDクロックの制御

OSCモジュールには、SVDの動作クロックを生成する分周回路と供給を制御する機構が組み込まれています。SVDの詳細については、“25 電源電圧検出回路(SVD)”を参照してください。

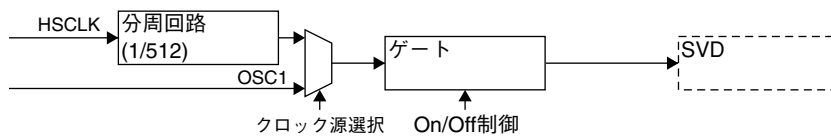


図7.8.1 SVDクロックジェネレータ

クロックの選択

SVDクロックをOSC1とHCLK/512分周のどちらにするか、SVDSRC(D1/OSC_SVDレジスタ)で選択できます。SVDSRCが1(デフォルト)の場合はOSC1、0に設定するとHCLKの1/512分周が選択されます。

* **SVDSRC**: SVD Clock Source Select Bit in the SVD Clock Setup (OSC_SVD) Register (D1/0x5066)

クロック供給の制御

SVDへのクロック供給は、SVDCKEN(D0/OSC_SVDレジスタ)で制御します。SVDCKENのデフォルト設定は0で、クロックの供給は停止しています。SVDCKENを1に設定すると、上記のとおり生成されたクロックがSVDに送られます。SVDの動作が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

* **SVDCKEN**: SVD Clock Enable Bit in the SVD Clock Control (OSC_SVD) Register (D0/0x5066)

注: クロックの選択(SVDSRC(D1/0x5066))の変更は、必ずSVDCKEN(D0/0x5066)が0でSVDへのクロックが停止状態で行ってください。

7.9 RFCクロックの制御

OSCモジュールには、R/F変換器のタイムベースカウンタクロック (TCCLK) を生成する分周回路と供給を制御する機構が組み込まれています。RFCの詳細については、“24 R/F変換器 (RFC)”を参照してください。

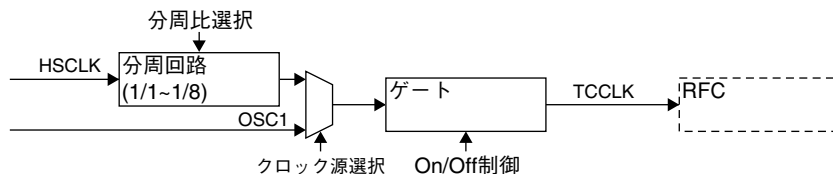


図7.9.1 RFCクロックジェネレータ

原振クロックの選択

RFCクロックをOSC1とHSCLKのどちらから生成するか、RFTCKSRC(D1/OSC_RFCレジスタ)で選択できます。RFTCKSRCが1(デフォルト)の場合はOSC1、0に設定するとHSCLKが選択されます。

* **RFTCKSRC**: RFC Clock Source Select Bit in the RFC Clock Setup (OSC_RFC) Register (D1/0x5067)

クロック分周比の選択

OSC1クロックの場合

原振クロックにOSC1を選択した場合、分周比を選択する操作は不要です。OSC1クロック (Typ. 32.768 kHz) がそのままR/F変換器に送られます。

HSCLKクロックの場合

原振クロックにHSCLKを選択した場合は、RFTCKDV[1:0](D[4:2]/OSC_RFCレジスタ)で分周比を選択します。

* **RFTCKDV[1:0]**: RFC Clock Division Ratio Select Bits in the RFC Clock Setup (OSC_RFC) Register (D[3:2]/0x5067)

表7.9.1 RFCクロック分周比の選択

RFTCKDV[1:0]	分周比
0x3	HSCLK•1/8
0x2	HSCLK•1/4
0x1	HSCLK•1/2
0x0	HSCLK•1/1

(デフォルト: 0x0)

クロック供給の制御

RFCへのクロック供給は、RFTCKEN(D0/OSC_RFCレジスタ)で制御します。RFTCKENのデフォルト設定は0で、クロックの供給は停止しています。RFTCKENを1に設定すると、上記のとおり生成されたクロックがRFCに送られます。RFCの動作が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

* **RFTCKEN**: RFC Clock Enable Bit in the RFC Clock Control (OSC_RFC) Register (D0/0x5067)

注: 原振クロックの選択(RFTCKSRC(D1/0x5067))、クロック分周比の選択(RFTCKDV[1:0](D[3:2]/0x5067))の変更は必ず、RFTCKEN(D0/0x5067)が0で、RFCへのクロックが停止状態で行ってください。

7.10 クロック外部出力(FOUTH, FOUT1)

HSCLKの分周クロック(FOUTH)、OSC1クロック(FOUT1)をチップ外部へ出力することができます。

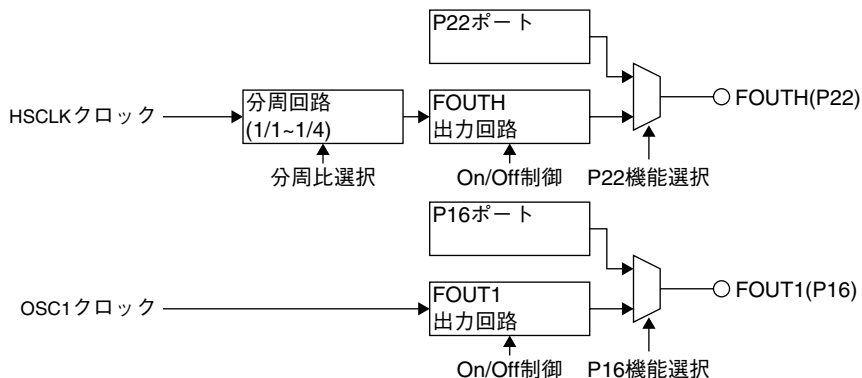


図7.10.1 クロック出力回路

FOUTH出力

FOUTHはHSCLKの分周クロックです。

出力端子の設定

FOUTH出力端子はP22ポート端子を兼ねています。デフォルト設定ではP22ポート端子として機能しますので、FOUTH出力として使用する場合はP22MUX[1:0](D[5:4]/P2_PMUXレジスタ)に1を書き込み、端子機能を変更してください。

- * **P22MUX[1:0]**: P22 Port Function Select Bit in the P2 Port Function Select (P2_PMUX) Register (D[5:4]/0x52a4)

FOUTHクロック周波数の選択

出力するクロック周波数は3種類から選択できます。FOUTHHD[1:0](D[3:2]/OSC_FOUTレジスタ)でHSCLKクロックの分周比を選択してください。

- * **FOUTHHD[1:0]**: FOUTH Clock Division Ratio Select Bits in the FOUT Control (OSC_FOUT) Register (D[3:2]/0x5064)

表7.10.1 FOUTHクロック分周比の選択

FOUTHHD[1:0]	分周比
0x3	Reserved
0x2	HSCLK•1/4
0x1	HSCLK•1/2
0x0	HSCLK•1/1

(デフォルト: 0x0)

クロック出力の制御

クロック出力は、FOUTHE(D1/OSC_FOUTレジスタ)で制御します。FOUTHEを1に設定するとFOUTHクロックがFOUTH端子から出力され、FOUTHEを0に設定すると出力は停止します。

- * **FOUTHE**: FOUTH Output Enable Bit in the FOUT Control (OSC_FOUT) Register (D1/0x5064)

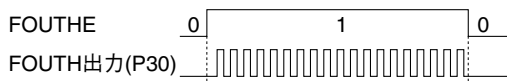


図7.10.2 FOUTH出力

- 注:
- FOUTH信号はFOUTHEの書き込みとは非同期に生成されますので、出力のOn/Off時にはハザードを生じます。
 - FOUTHクロック周波数の1選択(FOUTHHD[1:0]) (D[3:2]/0x5064) の変更は必ず、FOUTHE (D1/0x5064) が0でクロック出力が停止状態で行ってください。

FOUT1出力

FOUT1はOSC1クロックです。

出力端子の設定

FOUT1出力端子はP16ポート端子を兼ねています。デフォルト設定ではP16ポート端子として機能しますので、FOUT1出力として使用する場合はP16MUX(D4/P1_PMUXレジスタ)に1を書き込み、端子機能を変更してください。

* **P16MUX**: P16 Port Function Select Bit in the P1 Port Function Select (P1_PMUX) Register (D4/0x52a3)

クロック出力の制御

クロック出力は、FOUT1E(D0/OSC_FOUTレジスタ)で制御します。FOUT1Eを1に設定するとFOUT1クロックがFOUT1端子から出力され、FOUT1Eを0に設定すると出力は停止します。

* **FOUT1E**: FOUT1 Output Enable Bit in the FOUT Control (OSC_FOUT) Register (D0/0x5064)

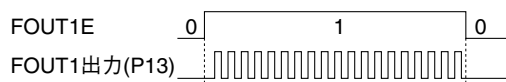


図7.10.3 FOUT1出力

注: FOUT1信号はFOUT1Eの書き込みとは非同期に生成されますので、出力のOn/Off時にはハザードを生じます。

7.11 RESET, NMI入力ノイズフィルタ

RESET、NMIがノイズの影響により誤まってアクティブになると、不要なりセット、NMI処理を実行してしまいます。

これを防ぐため、ノイズフィルタが組み込まれており、ウォッチドッグタイマのNMIまたはRESET要求信号、P0ポートキー入力リセット信号から内部リセット(S1C17コアおよび周辺回路)に入力される前にノイズを除去できるようになっています。

ノイズフィルタは信号ごとに独立しており、個別に有効とするかバイパスさせるか選択できます。

RESET入力ノイズフィルタ: RSTFE(D1/OSC_NFENレジスタ) = 1でノイズ除去、RSTFE = 0でバイパス

NMI入力ノイズフィルタ: NMIFE(D0/OSC_NFENレジスタ) = 1でノイズ除去、NMIFE = 0でバイパス

* **RSTFE**: Reset Noise Filter Enable Bit in the Noise Filter Enable (OSC_NFEN) Register (D1/0x5062)

* **NMIFE**: NMI Noise Filter Enable Bit in the Noise Filter Enable (OSC_NFEN) Register (D0/0x5062)

注: • 通常、RESET入力のノイズフィルタは有効に設定してください。

- S1C17601には外部NMI入力端子はありませんが、ウォッチドッグタイマのNMI要求信号がこのノイズフィルタを通ります。

7.12 制御レジスタ詳細

表7.12.1 OSCレジスタ一覧

アドレス	レジスタ名		機能
0x5060	OSC_SRC	Clock Source Select Register	クロック源の選択
0x5061	OSC_CTL	Oscillation Control Register	発振制御
0x5062	OSC_NFEN	Noise Filter Enable Register	ノイズフィルタのON/OFF
0x5063	OSC_LCLK	LCD Clock Setup Register	LCDクロックの設定
0x5064	OSC_FOUT	FOUT Control Register	クロック外部出力の制御
0x5065	OSC_T8OSC1	T8OSC1 Clock Control Register	8ビットOSC1タイマクロックの設定
0x5066	OSC_SVD	SVD Clock Control Register	SVDクロックの設定
0x5067	OSC_RFC	RF TC Clock Control Register	RFC TCクロックの設定

以下、OSCモジュールのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5060: Clock Source Select Register (OSC_SRC)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
Clock Source Select Register (OSC_SRC)	0x5060 (8 bits)	D7-2	-	reserved	-		-	-	0 when being read.	
		D1	HSCLKSEL	High-speed clock select	1	OSC3	0	IOSC	0	R/W
		D0	CLKSRC	System clock source select	1	OSC1	0	HSCLK	0	R/W

D[7:2] Reserved**D1 HSCLKSEL: High-speed Clock Select Bit**

高速クロック (HSCLK) を選択します。

1 (R/W): OSC3

0 (R/W): IOSC (デフォルト)

D0 CLKSRC: System Clock Source Select Bit

システムのクロックソースを選択します。

1 (R/W): OSC1

0 (R/W): HSCLK (デフォルト)

通常 (高速) 動作時は HSCLK (IOSC または OSC3) を選択します。HSCLK クロックが不要な場合は、OSC1 をシステムクロックに設定し、HSCLK の用発振回路 (IOSC または OSC3) を停止することで消費電流を低減できます。

- 注:
- OSC1 発振開始直後に、システムクロックを HSCLK から OSC1 に切り換えると、OSC1 クロックが立ち上がるまで (OSC1 クロックの 256 サイクルの期間)、システムクロックは停止します。
 - CLKSRC レジスタ (D0/0x5060) へのライト、リードの連続アクセスは禁止です。ライトとリードの間に CLKSRC レジスタへのアクセスと関係のない命令を少なくとも 1 命令入れてください。

0x5061: Oscillation Control Register (OSC_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Oscillation Control Register (OSC_CTL)	0x5061 (8 bits)	D7-6	IOSCWT[1:0]	IOSC wait cycle select	IOSCWT[1:0]	Wait cycle	0x0	R/W	
					0x3	8 cycles			
					0x2	16 cycles			
					0x1	32 cycles			
			0x0	64 cycles					
		D5-4	OSC3WT[1:0]	OSC3 wait cycle select	OSC3WT[1:0]	Wait cycle	0x0	R/W	
					0x3	128 cycles			
0x2	256 cycles								
0x1	512 cycles								
	0x0	1024 cycles							
D3	-	reserved	-	-	-	-	0 when being read.		
D2	IOSCEN	IOSC enable	1	Enable	0	Disable	1	R/W	
D1	OSC1EN	OSC1 enable	1	Enable	0	Disable	0	R/W	
D0	OSC3EN	OSC3 enable	1	Enable	0	Disable	0	R/W	

D[7:6] IOSCWT[1:0]: IOSC Wait Cycle Select Bits

IOSC発振開始時の不安定なクロックによる誤動作を防止するための、発振安定待ち時間を設定します。

電源投入時、SLEEPからの起床時、ソフトウェアでIOSC発振回路をOnにした場合など、IOSC発振開始直後は、ここで設定した時間が経過するまで、IOSCクロックはシステムに供給されません。

表7.12.2 IOSC発振安定待ち時間の設定

IOSCWT[1:0]	発振安定待ち時間
0x3	8サイクル
0x2	16サイクル
0x1	32サイクル
0x0	64サイクル

(デフォルト: 0x0)

イニシャルリセット時は64サイクル(IOSCクロック)に設定されますので、リセット解除後はこの時間が経過するまでCPUは動作を開始しません。

D[5:4] OSC3WT[1:0]: OSC3 Wait Cycle Select Bits

OSC3発振開始時の不安定なクロックによる誤動作を防止するための、発振安定待ち時間を設定します。

電源投入時、SLEEPからの起床時、ソフトウェアでOSC3発振回路をOnにした場合など、OSC3発振開始直後は、ここで設定した時間が経過するまで、OSC3クロックはシステムに供給されません。

表7.12.3 OSC3発振安定待ち時間の設定

OSC3WT[1:0]	発振安定待ち時間
0x3	128サイクル
0x2	256サイクル
0x1	512サイクル
0x0	1024サイクル

(デフォルト: 0x0)

イニシャルリセット時は1024サイクル(OSC3クロック)に設定されます。

注: OSC3発振開始時間は振動子、外付け部品によって変動します。発振安定待ち時間は余裕を持って設定してください。“28 電气的特性”に発振開始時間の一例を示しますので参考にしてください。

D3 Reserved

7 発振回路(OSC)

D2 IOSCEN: IOSC Enable Bit

IOSC発振回路の動作を許可/禁止します。

1(R/W): 許可(On) (デフォルト)

0(R/W): 禁止(Off)

注: IOSCクロックをシステムクロックとして使用している場合、IOSC発振回路を停止することはできません。

D1 OSC1EN: OSC1 Enable Bit

OSC1発振回路の動作を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

注: • OSC1クロックをシステムクロックとして使用している場合、OSC1発振回路を停止することはできません。

• OSC1ENを0から1に設定してOSC1発振を開始させた直後は誤動作を防ぐため、OSC1クロックは256サイクルの期間、システムに供給されません。

D0 OSC3EN: OSC3 Enable Bit

OSC3発振回路の動作を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

注: OSC3クロックをシステムクロックとして使用している場合、OSC3発振回路を停止することはできません。

0x5062: Noise Filter Enable Register (OSC_NFEN)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Noise Filter Enable Register (OSC_NFEN)	0x5062 (8 bits)	D7-2	–	reserved	–			–	–	0 when being read.	
		D1	RSTFE	Reset noise filter enable	1	Enable	0	Disable	1	R/W	
		D0	NMIFE	NMI noise filter enable	1	Enable	0	Disable	0	R/W	

D[7:2] Reserved**D1 RSTFE: Reset Noise Filter Enable Bit**

RESET入力用ノイズフィルタの動作を有効/無効にします。

1(R/W): 有効(ノイズ除去) (デフォルト)

0(R/W): 無効(バイパス)

このノイズフィルタは、システムクロック(HSCLKクロックまたはOSC1クロック)16サイクル以上の幅のRESETパルスのみをS1C17コアに入力します。通常は有効に設定してください。

D0 NMIFE: NMI Noise Filter Enable Bit

NMI入力用ノイズフィルタの動作を有効/無効にします。

1(R/W): 有効(ノイズ除去)

0(R/W): 無効(バイパス) (デフォルト)

このノイズフィルタは、システムクロック(HSCLKクロックまたはOSC1クロック)16サイクル以上の幅のNMIパルスのみをS1C17コアに入力します。パルス幅が16サイクル未満の場合はノイズとして除去されます。

注: S1C17601には外部NMI入力端子はありませんが、ウォッチドッグタイマのNMI要求信号がこのノイズフィルタを通ります。

0x5063: LCD Clock Setup Register (OSC_LCLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
LCD Clock Setup Register (OSC_LCLK)	0x5063 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.	
		D4-2	LCKDV[2:0]	LCD clock division ratio select	LCKDV[2:0]	Division ratio	0x0	R/W	
					0x7-0x5	reserved			
					0x4	HSCLK•1/512			
					0x3	HSCLK•1/256			
					0x2	HSCLK•1/128			
D1	LCKSRC	LCD clock source select	1 OSC1	0 HSCLK	1	R/W			
D0	LCKEN	LCD clock enable	1 Enable	0 Disable	0	R/W			

D[7:5] Reserved**D[4:2] LCKDV[2:0]: LCD Clock Division Ratio Select Bits**

LCDクロック源にHSCLKを選択した場合に、ここで分周比を選択します。

表7.12.4 LCDクロック分周比の選択

LCKDV[2:0]	分周比
0x7~0x5	Reserved
0x4	HSCLK•1/512
0x3	HSCLK•1/256
0x2	HSCLK•1/128
0x1	HSCLK•1/64
0x0	HSCLK•1/32

(デフォルト: 0x0)

LCDクロック源にOSC1を選択した場合、分周比を選択する操作は不要です。

D1 LCKSRC: LCD Clock Source Select Bit

LCDクロック源を選択します。

1(R/W): OSC1(デフォルト)

0(R/W): HSCLK

D0 LCKEN: LCD Clock Enable Bit

LCDドライバへのLCDクロックの供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

LCKENのデフォルト設定は0で、クロックの供給は停止しています。LCKENを1に設定すると、上記のビットで選択されたクロックがLCDドライバに送られます。LCDの表示が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

注: 原振クロックの選択 (LCKSRC (D1/0x5063))、クロック分周比の選択 (LCKDV[2:0] (D[4:2]/0x5063)) の変更は必ず、LCKEN (D0/0x5063) が0でLCDドライバへのクロックが停止状態で行ってください。

0x5064: FOUT Control Register (OSC_FOUT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
FOUT Control Register (OSC_FOUT)	0x5064 (8 bits)	D7-4	–	reserved	–	–	–	0 when being read.	
		D3-2	FOUTH D [1:0]	FOUTH clock division ratio select	FOUTH D [1:0]	Division ratio	0x0	R/W	
					0x3	reserved			
					0x2	HSCLK•1/4			
D1	FOUTHE	FOUTH output enable	1 Enable	0 Disable	0	R/W			
D0	FOUT1E	FOUT1 output enable	1 Enable	0 Disable	0	R/W			

D[7:4] Reserved

D[3:2] FOUTH D [1:0]: FOUTH Clock Division Ratio Select Bits

HSCLKクロックの分周比を選択し、FOUTHクロック周波数を設定します。

表7.12.5 FOUTHクロック分周比の選択

FOUTH D [1:0]	分周比
0x3	Reserved
0x2	HSCLK•1/4
0x1	HSCLK•1/2
0x0	HSCLK•1/1

(デフォルト: 0x0)

D1 FOUTHE: FOUTH Output Enable Bit

FOUTHクロック (HSCLK分周クロック)の外部出力を許可/禁止します。

1 (R/W): 許可 (On)

0 (R/W): 禁止 (Off) (デフォルト)

FOUTHEを1に設定するとFOUTHクロックがFOUTH端子から出力され、FOUTHEを0に設定すると出力は停止します。

D0 FOUT1E: FOUT1 Output Enable Bit

FOUT1クロック (OSC1クロック)の外部出力を許可/禁止します。

1 (R/W): 許可 (On)

0 (R/W): 禁止 (Off) (デフォルト)

FOUT1Eを1に設定するとFOUT1クロックがFOUT1端子から出力され、FOUT1Eを0に設定すると出力は停止します。

注: FOUTHクロック周波数の1選択 (FOUTH D [1:0]) (D[3:2]/0x5064) の変更は必ず、FOUTHE (D1/0x5064) が0でクロック出力が停止状態で行ってください。

0x5065: T8OSC1 Clock Control Register (OSC_T8OSC1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T8OSC1 Clock Control Register (OSC_T8OSC1)	0x5065 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3-1	T8O1CK[2:0]	T8OSC1 clock division ratio select	T8O1CK[2:0] 0x7-0x6 reserved 0x5 OSC1•1/32 0x4 OSC1•1/16 0x3 OSC1•1/8 0x2 OSC1•1/4 0x1 OSC1•1/2 0x0 OSC1•1/1	0x0	R/W	
		D0	T8O1CE	T8OSC1 clock output enable	1 Enable 0 Disable	0	R/W	

D[7:4] Reserved**D[3:1] T8O1CK[2:0]: T8OSC1 Clock Division Ratio Select Bits**

OSC1クロックの分周比を選択し、8ビットOSC1タイマの動作クロックを設定します。

表7.12.6 T8OSC1クロック分周比の選択

T8O1CK[2:0]	分周比
0x7~0x6	Reserved
0x5	OSC1•1/32
0x4	OSC1•1/16
0x3	OSC1•1/8
0x2	OSC1•1/4
0x1	OSC1•1/2
0x0	OSC1•1/1

(デフォルト: 0x0)

D0 T8O1CE: T8OSC1 Clock Output Enable Bit

8ビットOSC1タイマへのクロック供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

T8O1CEのデフォルト設定は0で、クロックの供給は停止しています。T8O1CEを1に設定すると、上記のビットで選択されたクロックが8ビットOSC1タイマに送られます。8ビットOSC1タイマの動作が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

注: クロック分周比の選択(T8O1CK[2:0](D[3:1]/0x5065))の変更は必ず、T8O1CE(D0/0x5065)が0で8ビットOSC1タイマへのクロックが停止状態で行ってください。

0x5066: SVD Clock Control Register (OSC_SVD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SVD Clock Control Register (OSC_SVDCLK)	0x5066 (8 bits)	D7-2	–	reserved	–	–	–	0 when being read.
		D1	SVDSRC	SVD clock source select	1 OSC1	0 HSCLK•1/512	1 R/W	
		D0	SVDCKEN	SVD clock enable	1 Enable	0 Disable	0 R/W	

D[7:2] Reserved

D1 SVDSRC: SVD Clock Source Select Bit

SVDクロック源を選択します。

1(R/W): OSC1(デフォルト)

0(R/W): HSCLK•1/512

D0 SVDCKEN: SVD Clock Enable Bit

SVDへのSVDクロック供給を許可／禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

SVDCKENのデフォルト設定は0で、クロックの供給は停止しています。SVDCKENを1に設定すると、上記のビットで選択されたクロックがSVDに送られます。SVDによる電源電圧検出が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

注: クロックの選択(SVDSRC(D1/0x5066))の変更は、必ずSVDCKEN(D0/0x5066)が0でSVDへのクロックが停止状態で行ってください。

0x5067: RFC Clock Control Register (OSC_RFC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
RFC Clock Control Register (OSC_RFTCK)	0x5067 (8 bits)	D7-4	–	reserved	–	–	–	0 when being read.	
		D3-2	RFTCKDV [1:0]	RFC TC clock division ratio select	RFCSDV[1:0]	Division ratio	0x0	R/W	
					0x3	HSCLK•1/8			
					0x2	HSCLK•1/4			
					0x1	HSCLK•1/2			
D1	RFTCKSRC	RFC TC clock source select	1	OSC1	0	HSCLK		1	R/W
D0	RFTCKEN	RFC TC clock enable	1	Enable	0	Disable	0	R/W	

D[7:4] Reserved

D[3:2] RFTCKDV[1:0]: RFC TC Clock Division Ratio Select Bits

RFC TCクロック源にHSCLKを選択した場合、ここで分周比を選択します。

表7.12.7 RFC TCクロック分周比の選択

RFTCKDV[1:0]	分周比
0x3	HSCLK•1/8
0x2	HSCLK•1/4
0x1	HSCLK•1/2
0x0	HSCLK•1/1

(デフォルト: 0x0)

RFCクロック源にOSC1を選択した場合は分周比を選択する操作は不要です。

D1 RFTCKSRC: RFC TC Clock Source Select Bit

RFC TCクロック源を選択します。

1(R/W): OSC1 (デフォルト)

0(R/W): HSCLK

D0 RFTCKEN: RFC TC Clock Enable Bit

RFCへのRFC TCクロック供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

RFTCKENのデフォルト設定は0で、クロックの供給は停止しています。RFTCKENを1に設定すると、上記のビットで選択されたクロックがRFCに送られます。R/F変換が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

注: 原振クロックの選択(RFTCKSRC(D1/0x5067))、クロック分周比の選択(RFTCKDV[1:0](D[3:2]/0x5067)の変更は必ず、RFTCKEN(D0/0x5067)が0で、RFCへのクロックが停止状態で行ってください。

7.13 注意事項

- 発振開始時間は振動子、外付け部品によって変動します。OSC3発振安定待ち時間は余裕を持って設定してください。“28 電气的特性”に発振開始時間の一例を示しますので参考にしてください。
- OSC1発振開始直後に、システムクロックをHSCLKからOSC1に切り換えると、OSC1クロックが立ち上がるまで(OSC1クロックの256サイクルの期間)、システムクロックは停止します。
- IOSCクロックをシステムクロックとして使用している場合、IOSC発振回路を停止することはできません。
- OSC3クロックをシステムクロックとして使用している場合、OSC3発振回路を停止することはできません。
- OSC1クロックをシステムクロックとして使用している場合、OSC1発振回路を停止することはできません。
- FOUTH/FOUT1信号はFOUTHE/FOUT1Eの書き込みとは非同期に生成されますので、出力のOn/Off時にはハザードを生じます。
- CLKSRCレジスタ(D0/0x5060)へのライト、リードの連続アクセスは禁止です。ライトとリードの間にCLKSRCレジスタへのアクセスと関係のない命令を少なくとも1命令入れてください。
- 原振クロックの選択(LCKSRC(D1/0x5063))、クロック分周比の選択(LCKDV[2:0](D[4:2]/0x5063))の変更は必ず、LCKEN(D0/0x5063)が0でLCDドライバへのクロックが停止状態で行ってください。
- クロック分周比の選択(T8O1CK[2:0](D[3:1]/0x5065))の変更は必ず、T8O1CE(D0/0x5065)が0で8ビットOSC1タイマへのクロックが停止状態で行ってください。
- クロックの選択(SVDSRC(D1/0x5066))の変更は、必ずSVDCKEN(D0/0x5066)が0でSVDへのクロックが停止状態で行ってください。
- 原振クロックの選択(RFTCKSRC(D1/0x5067))、クロック分周比の選択(RFTCKDV[1:0](D[3:2]/0x5067))の変更は必ず、RFTCKEN(D0/0x5067)が0で、RFCへのクロックが停止状態で行ってください。
- FOUTHクロック周波数の1選択(FOUTHHD[1:0](D[3:2]/0x5064))の変更は必ず、FOUTHE(D1/0x5064)が0でクロック出力が停止状態で行ってください。
- 発振の安定度は、振動子、外付け部品によって異なります。発振安定待ち時間を短くする場合は、十分評価のうえ設定してください。
OSC3クロックシステム供給待ち時間 ≤ OSC3発振開始時間(max.) + OSC3発振安定待ち時間
- OSC3、OSC4端子がオープン状態時はOSC3EN(D0/OSC_CTLレジスタ)を0にしてください。
- OSC1、OSC2端子がオープン状態時はOSC1EN(D1/OSC_CTLレジスタ)を0にしてください。

8 クロックジェネレータ (CLG)

8.1 クロックジェネレータの構成

クロックジェネレータは、S1C17コアや周辺モジュールへのシステムクロックの供給を制御します。

図8.1.1にクロックシステムとCLGモジュールの構成を示します。

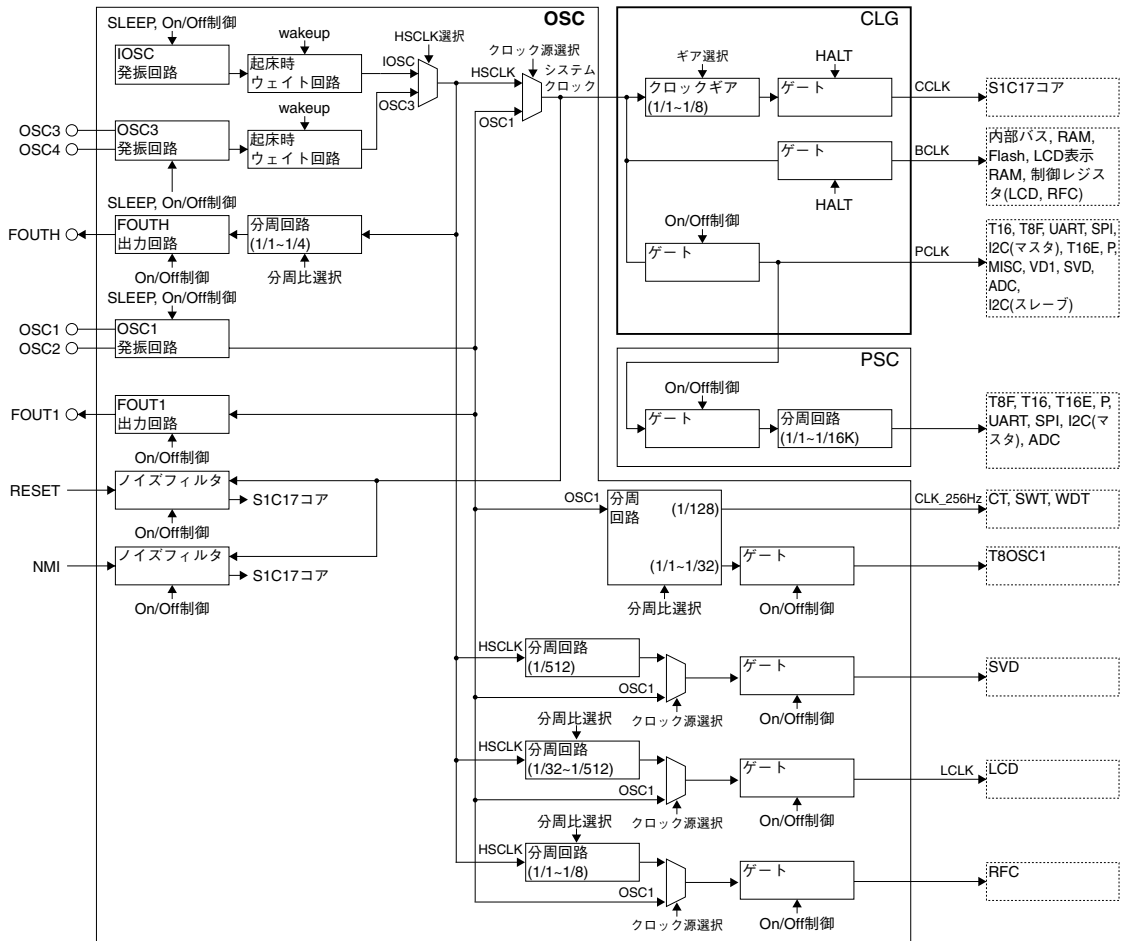


図8.1.1 CLGモジュールの構成

処理に合わせてクロックを制御し、さらにスタンバイモードを組み合わせることで消費電流を抑えることができます。消費電流を抑える手法については、“Appendix C パワーセーブ”を参照してください。

8.2 CPUコアクロック (CCLK) の制御

CLGモジュールには、システムクロックを減速させてS1C17コアに送るためのクロックギアが組み込まれています。できるだけ低速なクロックでS1C17コアを動作させることで消費電流を抑えることができます。また、halt命令が実行されると、CLGはS1C17コアへのクロック供給を停止してパワーセーブを図ります。

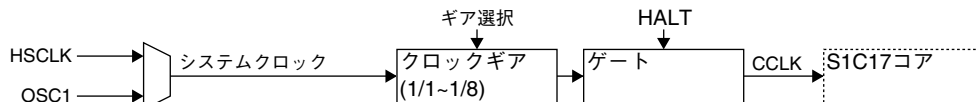


図8.2.1 CCLK供給システム

クロックギアの設定

CCLKGR[1:0] (D[1:0]/CLG_CCLKレジスタ)でシステムクロックを減速するギア比を選択します。

* **CCLKGR[1:0]**: CCLK Clock Gear Ratio Select Bits in the CCLK Control (CLG_CCLK) Register (D[1:0]/0x5081)

表8.2.1 CCLKギア比の選択

CCLKGR[1:0]	ギア比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

クロック供給の制御

CCLKクロックの供給を停止するには、halt命令を実行します。システムクロックは停止しませんので、周辺モジュールは動作します。

HALTモードはリセット、NMI、その他の割り込みで解除され、それと同時にCCLKの供給も再開します。

slp命令を実行した場合はCLGへのシステムクロックの供給が停止しますので、CCLKの供給は停止します。SLEEPモードが外部割り込み等で解除されるとシステムクロックの供給が再開され、CCLKの供給も再開します。

システムクロックの制御については、“7 発振回路(OSC)”を参照してください。

8.3 周辺モジュールクロック (PCLK) の制御

CLGモジュールは、周辺モジュールへのクロック供給も制御します。
周辺モジュールクロック (PCLK) にはシステムクロックがそのまま使用されます。

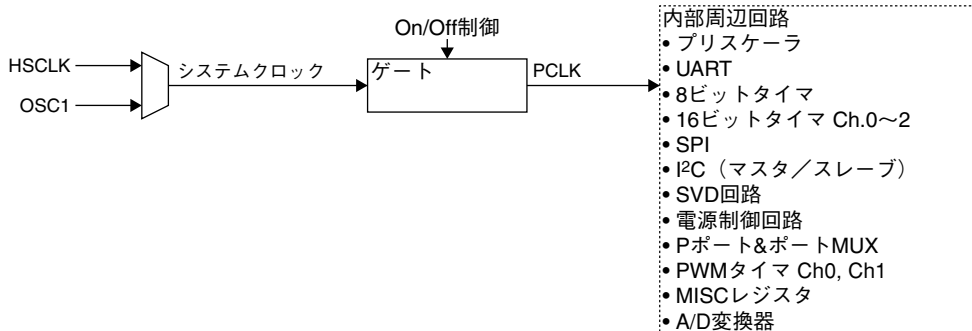


図8.3.1 周辺モジュールクロック制御回路

クロック供給の制御

PCLKの供給はPCKEN[1:0] (D[1:0]/CLG_PCLKレジスタ) で制御します。

* **PCKEN[1:0]**: PCLK Enable Bits in the PCLK Control (CLG_PCLK) Register (D[1:0]/0x5080)

表8.3.1 PCLKの制御

PCKEN[1:0]	PCLKの供給
0x3	許可 (On)
0x2	設定禁止
0x1	設定禁止
0x0	禁止 (Off)

(デフォルト: 0x3)

デフォルト設定は0x3で、クロックが供給されるようになっています。内部周辺回路エリア内の全周辺モジュール (上記のリストにあるモジュール) の動作が不要な場合は、消費電流を抑えるため、クロックの供給を停止してください。

注: 一部の周辺モジュールが動作を停止しますので、PCKEN[1:0] (D[1:0]/CLG_PCLKレジスタ) を0x2または0x1には設定しないでください。

PCLK以外で動作する周辺モジュール

OSC1周辺モジュールは、PCLK以外のクロックで動作します。したがって、PCLKは必要ありません。LCDドライバ、RFCも制御レジスタへのアクセスを含め、PCLK以外のクロックで動作します。

OSC1周辺モジュール

計時タイマ、ストップウォッチタイマ、ウォッチドッグタイマ、8ビットOSC1タイマはOSC1分周クロックで動作します。

LCDドライバ

LCDドライバはOSC1クロックまたはHSCLK分周クロックを原振とするLCLKクロックで動作します。

また、表示メモリへのアクセスはBCLKで行うため、PCLKをONする必要はありません。

RFC

RFCはOSC1クロックまたはHSCLK分周クロックを原振とするTCCLKクロックで動作します。PCLKをONする必要はありません。

8.4 制御レジスタ詳細

表8.4.1 CLGレジスタ一覧

アドレス	レジスタ名		機能
0x5080	CLG_PCLK	PCLK Control Register	PCLK供給制御
0x5081	CLG_CCLK	CCLK Control Register	CCLK分周比の設定

以下、CLGモジュールのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5080: PCLK Control Register (CLG_PCLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
PCLK Control Register (CLG_PCLK)	0x5080 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.	
		D1-0	PCKEN[1:0]	PCLK enable	PCKEN[1:0] PCLK supply	0x3	R/W		
					0x3 Enable				
					0x2 Not allowed				
					0x1 Not allowed				
					0x0 Disable				

D[7:2] Reserved

D[1:0] PCKEN[1:0]: PCLK Enable Bits

内部周辺モジュールへのクロック (PCLK) の供給を許可/禁止します。

表8.4.2 PCLKの制御

PCKEN[1:0]	PCLKの供給
0x3	許可 (On)
0x2	設定禁止
0x1	設定禁止
0x0	禁止 (Off)

(デフォルト: 0x3)

PCKEN[1:0]のデフォルト設定は0x3で、クロックは供給されるようになっています。下記の周辺モジュールを使用しない場合は、消費電流を抑えるため、クロック供給を停止してください。

PCLKで動作する周辺モジュール

- プリスケアラ (PWMタイマ、Pポート)
- UART
- 8ビットタイマ
- 16ビットタイマ Ch.0~2
- SPI
- I²C (マスタ/スレーブ)
- SVD回路
- 電源制御回路
- Pポート&ポートMUX
- PWMタイマ Ch.0~1
- MISCレジスタ
- A/D変換器

以下の周辺モジュールは制御レジスタへのアクセスを含め、PCLK以外のクロックで動作しますので、PCLKをONする必要はありません。

- 計時タイマ
- ストップウォッチタイマ
- ウォッチドッグタイマ
- 8ビットOSC1タイマ
- LCDドライバ
- R/F変換器

注: 一部の周辺モジュールが動作を停止しますので、PCKEN[1:0]を0x2または0x1には設定しないでください。

0x5081: CCLK Control Register (CLG_CCLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
CCLK Control Register (CLG_CCLK)	0x5081 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.	
		D1-0	CCLKGR[1:0]	CCLK clock gear ratio select	CCLKGR[1:0] Gear ratio	0x0	R/W		
					0x3	1/8			
					0x2	1/4			
					0x1	1/2			
				0x0	1/1				

D[7:2] Reserved**D[1:0] CCLKGR[1:0]: CCLK Clock Gear Ratio Select Bits**

システムクロックを減速するギア比を選択し、S1C17コアを動作させるCCLKクロックの速度を設定します。できるだけ低速なクロックでS1C17コアを動作させることで消費電流を抑えることができます。

表8.4.3 CCLKギア比の選択

CCLKGR[1:0]	ギア比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

8.5 注意事項

- (1) デフォルト設定では、周辺モジュールにPCLKが供給されるようになっています。下記の周辺モジュールを使用しない場合は、消費電流を抑えるため、クロック供給を停止してください。

PCLKで動作する周辺モジュール

- プリスケーラ (PWMタイマ、Pポート)
- UART
- 8ビットタイマ
- 16ビットタイマ Ch.0~2
- SPI
- I²C (マスタ/スレーブ)
- SVD回路
- 電源制御回路
- Pポート&ポートMUX
- PWMタイマ Ch.0~1
- MISCレジスタ
- A/D変換器

以下の周辺モジュールは制御レジスタへのアクセスを含め、PCLK以外のクロックで動作しますので、PCLKをONする必要はありません。

- 計時タイマ
- ストップウォッチタイマ
- ウォッチドッグタイマ
- 8ビットOSC1タイマ
- LCDドライバ
- R/F変換器

- (2) 一部の周辺モジュールが動作を停止しますので、PCKEN[1:0] (D[1:0]/CLG_PCLKレジスタ)を0x2または0x1には設定しないでください。

* **PCKEN[1:0]**: PCLK Enable Bits in the PCLK Control (CLG_PCLK) Register (D[1:0]/0x5080)

9 プリスケーラ(PSC)

9.1 プリスケーラの構成

S1C17601はタイマなどの動作クロックを生成するプリスケーラを内蔵しています。プリスケーラはクロックジェネレータから供給されるPCLKクロックを1/1~1/16Kに分周し、15種類の周波数を生成します。クロック供給先の周辺モジュールにはクロック選択レジスタが設けられており、この中の1つをカウントクロックや動作クロックとして選択できるようになっています。

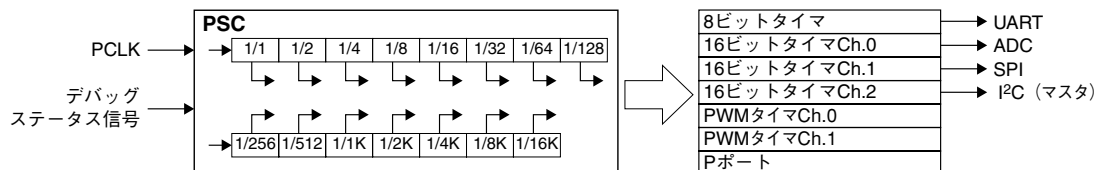


図9.1.1 プリスケーラ

プリスケーラはPRUNビット(D0/PSC_CTLレジスタ)で制御します。プリスケーラを動作させるにはPRUNに1を書き込みます。0を書き込むとプリスケーラは停止します。タイマやインタフェースモジュールが停止中は、プリスケーラを停止させることで消費電流を低減できます。イニシャルリセット後、プリスケーラは停止しています。

* **PRUN**: Prescaler Run/Stop Control Bit in the Prescaler Control (PSC_CTL) Register (D0/0x4020)

注: プリスケーラを使用するには、クロックジェネレータからPCLKが供給されている必要があります。

プリスケーラにはもう一つの制御ビット、PRUND(D1/PSC_CTLレジスタ)が用意されています。このビットはデバッグモード時のプリスケーラの動作を指定します。PRUNDを1に設定すると、プリスケーラはデバッグモード時も動作します。PRUNDを0に設定すると、S1C17コアがデバッグモードになった時点でプリスケーラは停止します。デバッグ中にタイマやインタフェースモジュールを使用する場合は、PRUNDを1に設定してください。

* **PRUND**: Prescaler Run/Stop Setting Bit for Debug Mode in the Prescaler Control (PSC_CTL) Register (D1/0x4020)

9.2 制御レジスタ詳細

表9.2.1 プリスケーラレジスタ

アドレス	レジスタ名		機能
0x4020	PSC_CTL	Prescaler Control Register	プリスケーラのスタート/ストップ制御

プリスケーラのレジスタは8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x4020: Prescaler Control Register (PSC_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Prescaler Control Register (PSC_CTL)	0x4020 (8 bits)	D7-2	—	reserved	—		—	—	0 when being read.
		D1	PRUND	Prescaler run/stop in debug mode	1 Run	0 Stop	0	R/W	
		D0	PRUN	Prescaler run/stop control	1 Run	0 Stop	0	R/W	

D[7:2] Reserved

D1 PRUND: Prescaler Run/Stop Setting Bit for Debug Mode

デバッグモード時のプリスケーラの動作を選択します。

1(R/W): 動作

0(R/W): 停止(デフォルト)

PRUNDを1に設定すると、プリスケーラはデバッグモード時も動作します。PRUNDを0に設定すると、S1C17コアがデバッグモードになった時点でプリスケーラは停止します。デバッグ中にタイマやインタフェースモジュールを使用する場合は、PRUNDを1に設定してください。

D0 PRUN: Prescaler Run/Stop Control Bit

プリスケーラの動作を開始/停止させます。

1(R/W): 動作開始

0(R/W): 停止(デフォルト)

プリスケーラを動作させるにはPRUNに1を書き込みます。0を書き込むとプリスケーラは停止します。タイマやインタフェースモジュールが停止中は、プリスケーラを停止させることで消費電流を低減できます。

9.3 注意事項

プリスケーラを使用するには、クロックジェネレータからPCLKが供給されている必要があります。

10 入出力ポート(P)

10.1 入出力ポートの構成

S1C17601は、ソフトウェアによって入出力方向の切り換えが可能な24の入出力ポート(P0[7:0]、P1[7:0]、P2[7:0])を内蔵しています。一部を除き内部周辺モジュールの入出力端子を兼ねていますが、周辺モジュール用に使用しない端子については、汎用の入出力ポートとして使用することができます。

図10.1.1に入出力ポートの構造を示します。

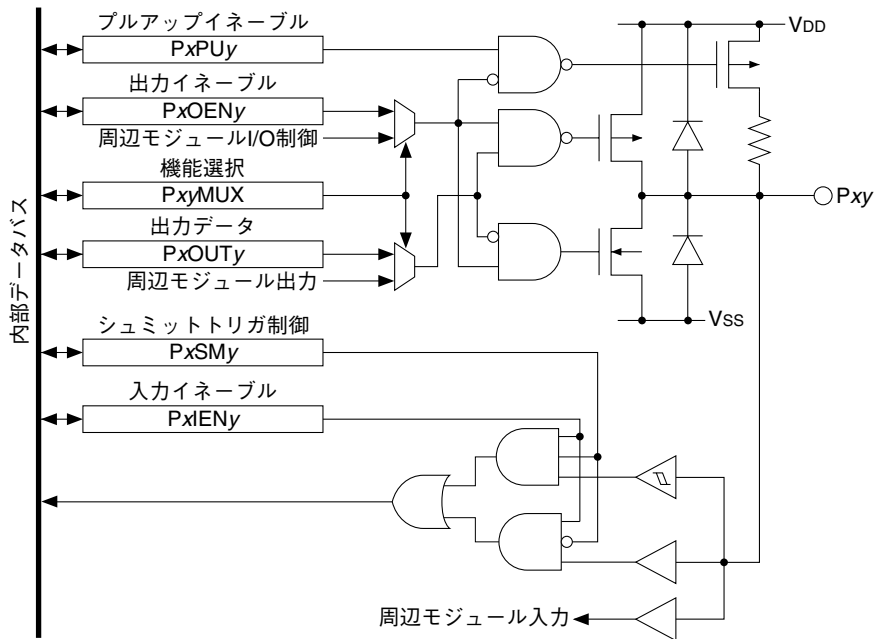


図10.1.1 入出力ポートの構造

P0およびP1ポートは入力割り込みを発生可能です。

また、P0[3:0]ポートはキー入力リセットに使用することもできます(詳細は“5.1.2 P0ポートキー入力リセット”を参照)。

注: 入出力ポートにアクセスするためには、クロックジェネレータからPCLKクロックが供給されている必要があります。

また、P0ポートまたはP1ポートのチャタリングフィルタの動作にはプリスケラ出力クロックも必要です。この機能を使用する場合は、プリスケラもOnにしてください。

10.2 入出力端子機能の選択(ポートMUX)

入出力ポート端子は一部を除いて周辺モジュール用の入出力端子を兼ねており、入出力ポートとして使用するか、周辺モジュール用に使用するかを各ポートに対応するポート機能選択ビットによって設定できるようになっています。周辺モジュール用に使用しない端子は、すべて汎用入出力ポート端子として使用できます。

表10.2.1 入出力端子機能の選択

端子機能1 PxxMUX = 0	端子機能1 PxxMUX = 0	端子機能1 PxxMUX = 0	端子機能1 PxxMUX = 0	ポート機能 選択ビット	制御レジスタ
P00	RFCLKO(RFC)	LFRO(LCD)	—	P00MUX(D1-0)	P0 Port Function Select (P0_PMUX) Register (0x52a0)
P01	TOUTN4(T16E)	—	—	P01MUX(D3-2)	
P02/EXCL0(T16)	TOUT4(T16E)	—	—	P02MUX(D5-4)	
P03	#ADTRG(ADC10SA)	—	—	P03MUX(D7-6)	
P04/EXCL1(T16)	AIN3(ADC10SA)	—	—	P04MUX(D1-0)	P0 Port Function Select (P0_PMUX) Register (0x52a1)
P05/EXCL2(T16)	AIN2(ADC10SA)	—	—	P05MUX(D3-2)	
P06/EXCL3(T16E)	AIN1(ADC10SA)	—	—	P06MUX(D5-4)	
P07/EXCL4(T16E)	AIN0(ADC10SA)	—	—	P07MUX(D7-6)	
P10	SCL0(I ² CM)	SCL1(I ² CS)	—	P10MUX(D1-0)	P1 Port Function Select (P1_PMUX) Register (0x52a2)
P11	SDA0(I ² CM)	SDA1(I ² CS)	—	P11MUX(D3-2)	
P12	SENB(RFC)	#BFR(I ² CS)	—	P12MUX(D5-4)	
P13	SENA(RFC)	SDA1(I ² CS)	—	P13MUX(D7-6)	P1 Port Function Select (P1_PMUX) Register (0x52a3)
P14	REF(RFC)	SCL1(I ² CS)	—	P14MUX(D1-0)	
P15	RFIN(RFC)	—	—	P15MUX(D3-2)	
P16	FOUT1(CLG)	—	—	P16MUX(D5-4)	
P17	SPICLK(SPI)	SCLK(UART)	—	P17MUX(D7-6)	P2 Port Function Select (P2_PMUX) Register (0x52a4)
P20	SDO(SPI)	SOUT(UART)	—	P20MUX(D1-0)	
P21	SDI(SPI)	SIN(UART)	—	P21MUX(D3-2)	
P22	#SPISS(SPI)	FOUTH(CLG)	—	P22MUX(D5-4)	
P23	TOUT3(T16E)	SOUT(UART)	—	P23MUX(D7-6)	P2 Port Function Select (P2_PMUX) Register (0x52a5)
P24	TOUTN3(T16E)	SIN(UART)	TOUT5(T8OSC1)	P24MUX(D1-0)	
DSIO(DBG)	P25	—	—	P25MUX(D3-2)	
DST2(DBG)	P26	—	—	P26MUX(D5-4)	
DCLK(DBG)	P27	—	—	P27MUX(D7-6)	

イニシャルリセットにより、各入出力ポート端子(Pxx)はデフォルト(表10.2.1の端子機能1)の機能に初期化されます。

P02、P04、P05、P06、P07端子は入力モードに設定することで16ビットタイマの外部クロック入力端子としても使用できます。ただし、P04～P07はAINを選択した場合は、16ビットタイマの外部クロックとして使用できません。

入出力ポート以外の機能については、()で示した周辺モジュールの説明を参照してください。以下の節は、端子が汎用入出力ポートに設定されているものとしてポート機能を説明します。

10.3 データの入出力

データ入出力制御

入出力ポートは、PxOEN[7:0](Px_OENレジスタ)とPxIEN[7:0](Px_IEN)によってビットごとにデータの入出力方向を選択できるようになっています。PxOEN[7:0]はデータ出力のon/off制御、PxIEN[7:0]はデータ入力 of/on/off制御を行います。

- * **P0OEN[7:0]**: P0[7:0] Port Output Enable Bits in the P0 Port Output Enable (P0_OEN) Register (D[7:0]/0x5202)
- * **P1OEN[7:0]**: P1[7:0] Port Output Enable Bits in the P1 Port Output Enable (P1_OEN) Register (D[7:0]/0x5212)
- * **P2OEN[7:0]**: P2[7:0] Port Output Enable Bits in the P2 Port Output Enable (P2_OEN) Register (D[7:0]/0x5222)
- * **P0IEN[7:0]**: P0[7:0] Port Input Enable Bits in the P0 Port Input Enable (P0_IEN) Register (D[7:0]/0x520a)
- * **P1IEN[7:0]**: P1[7:0] Port Input Enable Bits in the P1 Port Input Enable (P1_IEN) Register (D[7:0]/0x521a)
- * **P2IEN[7:0]**: P2[7:0] Port Input Enable Bits in the P2 Port Input Enable (P2_IEN) Register (D[7:0]/0x522a)

表10.3.1 データ入出力表

PxOEN[7:0] 出力制御	PxIEN[7:0] 入力制御	PxPU[7:0] プルアップ制御	ポートの状態
0	1	0	入力ポートとして機能します(プルアップOff)。ポート端子(外部入力信号)の値がPxIN[7:0](入力データ)から読み出せません。出力は禁止されます。
0	1	1	入力ポートとして機能します(プルアップOn)。(デフォルト)ポート端子(外部入力信号)の値がPxIN[7:0](入力データ)から読み出せません。出力は禁止されます。
1	0	1または0	出力ポートとして機能します(プルアップOff)。入力は禁止され、PxIN[7:0](入力データ)の読み出し値は0となります。
1	1	1または0	出力ポートとして機能します(プルアップOff)。入力も許可され、PxIN[7:0](入力データ)からポート端子の値(出力値)が読み出せません。
0	0	0	端子が高インピーダンス状態となります(プルアップOff)。出力と入力は禁止され、PxIN[7:0](入力データ)の読み出し値は0となります。
0	0	1	端子が高インピーダンス状態となります(プルアップOn)。出力と入力は禁止され、PxIN[7:0](入力データ)の読み出し値は0となります。

周辺モジュール用の機能を選択したポートの入出力方向は周辺モジュールによって制御され、PxIEN[7:0]、PxOEN[7:0]の設定は無視されます。

データ入力

入力モードに設定する場合はPxIEN[7:0]を1(デフォルト)に設定します。PxOEN[7:0]が0時は入力モードに設定された入出力ポートは、高インピーダンス状態となり入力ポートとして機能します。Px_PUレジスタでプルアップを有効にしている場合は、ポートがプルアップされます。

入力モード時は、入力端子の状態をPxIN[7:0](Px_INレジスタ)から直接読み出すことができます。読み出し値は入力端子がHigh(V_{DD})レベルのときに1、Low(V_{SS})レベルのときに0となります。

- * **P0IN[7:0]**: P0[7:0] Port Input Data Bits in the P0 Port Input Data (P0_IN) Register (D[7:0]/0x5200)
- * **P1IN[7:0]**: P1[7:0] Port Input Data Bits in the P1 Port Input Data (P1_IN) Register (D[7:0]/0x5210)
- * **P2IN[7:0]**: P2[7:0] Port Input Data Bits in the P2 Port Input Data (P2_IN) Register (D[7:0]/0x5220)

データ出力

出力モードに設定する場合はPxOEN[7:0]を1に設定します。出力モードに設定された入出力ポートは出力ポートとして機能し、PxOUT[7:0](Px_OUTレジスタ)に1を書き込むとポート端子はHigh(V_{DD})レベル、0を書き込むとLow(V_{SS})レベルを出力します。なお、Px_PUレジスタでプルアップを有効にした場合でも、ポートが出力モード時はプルアップされません。

- * **P0OUT[7:0]**: P0[7:0] Port Output Data Bits in the P0 Port Output Data (P0_OUT) Register (D[7:0]/0x5201)
- * **P1OUT[7:0]**: P1[7:0] Port Output Data Bits in the P1 Port Output Data (P1_OUT) Register (D[7:0]/0x5211)
- * **P2OUT[7:0]**: P2[7:0] Port Output Data Bits in the P2 Port Output Data (P2_OUT) Register (D[7:0]/0x5221)

入力モード時も、端子の状態に影響を与えることなくPxOUT[7:0]に対して書き込みは行えます。

10.4 プルアップ制御

入出力ポートはプルアップ抵抗を内蔵しており、これを使用するかしないか、PxPU[7:0](Px_PUレジスタ)によってビットごとに選択できるようになっています。

- * **P0PU[7:0]**: P0[7:0] Port Pull-up Enable Bits in the P0 Port Pull-up Control (P0_PU) Register (D[7:0]/0x5203)
- * **P1PU[7:0]**: P1[7:0] Port Pull-up Enable Bits in the P1 Port Pull-up Control (P1_PU) Register (D[7:0]/0x5213)
- * **P2PU[7:0]**: P2[7:0] Port Pull-up Enable Bits in the P2 Port Pull-up Control (P2_PU) Register (D[7:0]/0x5223)

PxPU[7:0]を1(デフォルト)に設定することによりプルアップ抵抗が有効になり、入力モード時にポート端子がプルアップされます。0に設定するとプルアップされません。

出力モード時には、PxPU[7:0]の設定は無効となり、プルアップされません。

使用しない入出力ポートについてはプルアップを有効に設定してください。

周辺モジュール用の機能を選択したポートも、このプルアップ設定は有効です。

内蔵プルアップ抵抗によって、ポート端子をLowレベルからHighレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入出力ポートの取り込みには適切な待ち時間の設定が必要となります。待ち時間は以下の式で求められる値以上を設定してください。

待ち時間 = $R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6$ [秒]

R_{IN}: プルアップ抵抗Max.値

C_{IN}: 端子容量Max.値

10.5 入カインタフェースレベル

入出力ポートの入カインタフェースレベルをPxSM[7:0](Px_SMレジスタ)によってビットごとに選択できるようにになっています。

- * **P0SM[7:0]**: P0[7:0] Port Schmitt Trigger Input Enable Bits in the P0 Port Schmitt Trigger Control (P0_SM) Register (D[7:0]/0x5204)
- * **P1SM[7:0]**: P1[7:0] Port Schmitt Trigger Input Enable Bits in the P1 Port Schmitt Trigger Control (P1_SM) Register (D[7:0]/0x5214)
- * **P2SM[4:0]**: P2[7:0] Port Schmitt Trigger Input Enable Bits in the P2 Port Schmitt Trigger Control (P2_SM) Register (D[7:0]/0x5224)

PxSM[7:0]を1(デフォルト)に設定するとCMOSシュミットレベル、0に設定するとCMOSレベルとなります。P27～25はCMOSシュミットレベルのみとなります。

10.6 P0/P1ポートのチャタリング除去機能

P0およびP1ポートにはキー入力用のチャタリング除去回路が設けられています。この機能を使用するか否か、また、使用する場合は検定時間を、PxCF1/2[2:0](Px_CHATレジスタ)によってP0[3:0]、P0[7:4]、P1[3:0]、P1[7:4]の4ポートごとに選択します。

- * **POCF1[2:0]**: P0[3:0] Chattering Filter Time Select Bits in the P0 Port Chattering Filter Control (P0_CHAT) Register (D[2:0]/0x5208)
- * **POCF2[2:0]**: P0[7:4] Chattering Filter Time Select Bits in the P0 Port Chattering Filter Control (P0_CHAT) Register (D[6:4]/0x5208)
- * **P1CF1[2:0]**: P1[3:0] Chattering Filter Time Select Bits in the P1 Port Chattering Filter Control (P1_CHAT) Register (D[2:0]/0x5218)
- * **P1CF2[2:0]**: P1[7:4] Chattering Filter Time Select Bits in the P1 Port Chattering Filter Control (P1_CHAT) Register (D[6:4]/0x5218)

表10.6.1 チャタリング除去機能の設定

POCFx[2:0]	検定時間 *
0x7	16384/fPCLK (8ms)
0x6	8192/fPCLK (4ms)
0x5	4096/fPCLK (2ms)
0x4	2048/fPCLK (1ms)
0x3	1024/fPCLK (512μs)
0x2	512/fPCLK (256μs)
0x1	256/fPCLK (128μs)
0x0	なし(Off)

(デフォルト: 0x0, * HSCLK = 2MHz, PCLK = HSCLKの場合)

- 注:
- チャタリング除去の検定時間は、除去できる最大パルス幅のことを指します。入力割り込みを発生させるには、最小で検定時間、最大で検定時間の2倍の入力時間が必要になります。
 - P0_CHATレジスタ(0x5208)、P1_CHATレジスタ(0x5218)の設定変更は、必ずP0/P1ポート割り込みが禁止されている状態で行ってください。割り込みが許可されている状態で設定を変更すると、P0/P1ポート割り込みが誤って発生する場合があります。また、チャタリング除去回路の状態が安定するまでには最大で検定時間の2倍の時間が必要であるため、割り込みの許可はこの時間の経過後に行ってください。
 - 入力信号の立ち上がり/立ち下がり時間が遅い場合、信号がしきい値を通過するまでに時間がかかり、内部信号が発振する現象が起こる可能性があります。この場合、入力割り込みは誤動作しますので、入力信号の立ち上がり/立ち下がり時間は25ns以下を目安に設定してください。
 - チャタリング除去機能を有効にしている状態でsleep命令を実行した場合は、SLEEP状態からの復帰後に予期せぬ割り込みが発生する可能性があります。SLEEPモード移行前にチャタリング除去機能を無効にしてください。

10.7 ポート入力割り込み

P0およびP1ポートは入力割り込み機能を持っています。

16ポートの中から割り込みに使用するポートを任意に選択可能です。また、割り込み発生条件についても、入力信号の立ち上がりエッジまたは立ち下がりエッジのどちらかで割り込みを発生させるか選択可能です。

図10.7.1にポート入力割り込み回路の構成を示します。

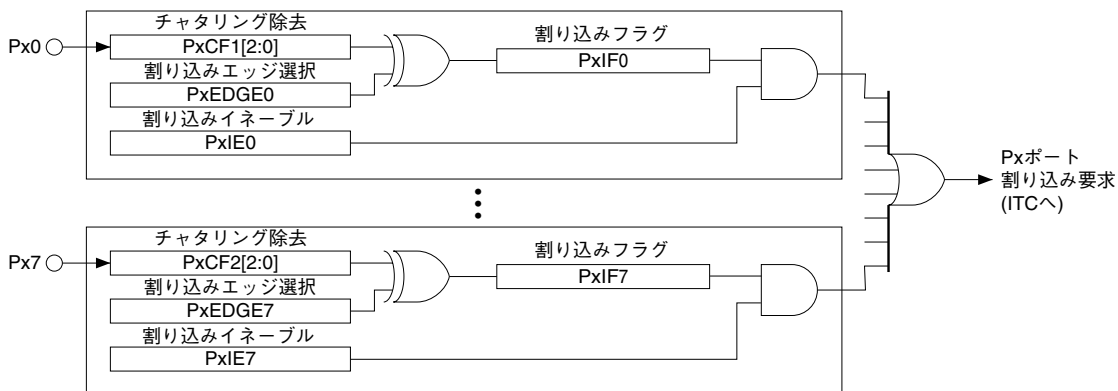


図10.7.1 ポート入力割り込み回路の構成

割り込みポートの選択

割り込みを発生させるポートをPxIE[7:0](Px_IMSKレジスタ)によって選択します。

- * **POIE[7:0]**: P0[7:0] Port Interrupt Enable Bits in the P0 Port Interrupt Mask (P0_IMSK) Register (D[7:0]/0x5205)
- * **P1IE[7:0]**: P1[7:0] Port Interrupt Enable Bits in the P1 Port Interrupt Mask (P1_IMSK) Register (D[7:0]/0x5215)

PxIE[7:0]を1に設定すると、対応するポートが割り込みを発生可能となります。0(デフォルト)に設定すると割り込みを発生しません。

割り込みエッジの選択

ポート入力割り込みは、入力信号の立ち上がりエッジまたは立ち下がりエッジで発生させることができます。どちらのエッジで発生させるかを、PxEDGE[7:0](Px_EDGEレジスタ)によって選択します。

- * **P0EDGE[7:0]**: P0[7:0] Port Interrupt Edge Select Bits in the P0 Port Interrupt Edge Select (P0_EDGE) Register (D[7:0]/0x5206)
- * **P1EDGE[7:0]**: P1[7:0] Port Interrupt Edge Select Bits in the P1 Port Interrupt Edge Select (P1_EDGE) Register (D[7:0]/0x5216)

PxEDGE[7:0]を1に設定するとポート入力割り込みは入力信号の立ち下がりエッジで発生し、0(デフォルト)に設定すると立ち上がりエッジで発生します。

割り込みフラグ

ITCはP0ポート割り込みとP1ポート割り込みの2系統の割り込み要求を受け付け可能ですが、P0[7:0]とP1[7:0]の16ポートの割り込みを個々に制御できるよう、Pポートモジュール内には、16ポートに個々に対応する割り込みフラグPxIF[7:0]が用意されています。PxIF[7:0]は入力信号の指定エッジ(立ち上がりエッジまたは立ち下がりエッジ)で1にセットされます。対応するPxIE[7:0]を1に設定しておくことにより、ITCに対してP0またはP1ポート割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

- * **P0IF[7:0]**: P0[7:0] Port Interrupt Flags in the P0 Port Interrupt Flag (P0_IFLG) Register (D[7:0]/0x5207)
- * **P1IF[7:0]**: P1[7:0] Port Interrupt Flags in the P1 Port Interrupt Flag (P1_IFLG) Register (D[7:0]/0x5217)

PxIF[7:0]は1の書き込みによりリセットされます。

- 注:
- ポート割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、Pポートモジュール内の割り込みフラグPxIF[7:0]をリセットする必要があります。
 - 不要な割り込みの発生を防止するため、PxIE[7:0](Px_IMSKレジスタ)によって必要なポートの割り込みを許可する前に、対応するPxIF[7:0]をリセットしてください。

割り込みベクタ

ポート割り込みのベクタ番号とベクタアドレスは以下のとおりです。

表10.7.1 ポート割り込みベクタ

ポート	ベクタ番号	ベクタアドレス
P0	4 (0x04)	TTBR + 0x10
P1	5 (0x05)	TTBR + 0x14

その他の割り込み設定

ITCではP0ポート割り込みとP1ポート割り込みの優先順位をレベル0(デフォルト)～レベル7に設定可能です。また、実際に割り込みを発生させるにはPSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットを1に設定しておく必要があります。

割り込み処理の詳細については、“6 割り込みコントローラ(ITC)”を参照してください。

10.8 制御レジスタ詳細

表10.8.1 入出力ポート制御レジスタ一覧

アドレス	レジスタ名		機能
0x5200	P0_IN	P0 Port Input Data Register	P0ポート入力データ
0x5201	P0_OUT	P0 Port Output Data Register	P0ポート出力データ
0x5202	P0_OEN	P0 Port Output Enable Register	P0ポート出カインーブル
0x5203	P0_PU	P0 Port Pull-up Control Register	P0ポートのプルアップ制御
0x5204	P0_SM	P0 Port Schmitt Trigger Control Register	P0ポートのシュミットトリガ制御
0x5205	P0_IMSK	P0 Port Interrupt Mask Register	P0ポート割り込みマスクの設定
0x5206	P0_EDGE	P0 Port Interrupt Edge Select Register	P0ポート割り込みエッジの選択
0x5207	P0_IFLG	P0 Port Interrupt Flag Register	P0ポート割り込み発生状態の表示/リセット
0x5208	P0_CHAT	P0 Port Chattering Filter Control Register	P0ポートチャタリング除去制御
0x5209	P0_KRST	P0 Port Key-Entry Reset Configuration Register	P0ポートキー入力リセットの設定
0x520a	P0_IEN	P0 Port Input Enable Register	P0ポート入カインーブル
0x5210	P1_IN	P1 Port Input Data Register	P1ポート入力データ
0x5211	P1_OUT	P1 Port Output Data Register	P1ポート出力データ
0x5212	P1_OEN	P1 Port Output Enable Register	P1ポート出カインーブル
0x5213	P1_PU	P1 Port Pull-up Control Register	P1ポートのプルアップ制御
0x5214	P1_SM	P1 Port Schmitt Trigger Control Register	P1ポートのシュミットトリガ制御
0x5215	P1_IMSK	P1 Port Interrupt Mask Register	P1ポート割り込みマスクの設定
0x5216	P1_EDGE	P1 Port Interrupt Edge Select Register	P1ポート割り込みエッジの選択
0x5217	P1_IFLG	P1 Port Interrupt Flag Register	P1ポート割り込み発生状態の表示/リセット
0x5218	P1_CHAT	P1 Port Chattering Filter Control Register	P1ポートチャタリング除去制御
0x521a	P1_IEN	P1 Port Input Enable Register	P1ポート入カインーブル
0x5220	P2_IN	P2 Port Input Data Register	P2ポート入力データ
0x5221	P2_OUT	P2 Port Output Data Register	P2ポート出力データ
0x5222	P2_OEN	P2 Port Output Enable Register	P2ポート出カインーブル
0x5223	P2_PU	P2 Port Pull-up Control Register	P2ポートのプルアップ制御
0x5224	P2_SM	P2 Port Schmitt Trigger Control Register	P2ポートのシュミットトリガ制御 (P24-P20のみ制御可能)
0x522a	P2_IEN	P2 Port Input Enable Register	P2ポート入カインーブル
0x52a0	P0_PMUX	P0 Port Function Select Register	P0ポート機能の選択
0x52a1	P0_PMUX	P0 Port Function Select Register	P0ポート機能の選択
0x52a2	P1_PMUX	P1 Port Function Select Register	P1ポート機能の選択
0x52a3	P1_PMUX	P1 Port Function Select Register	P1ポート機能の選択
0x52a4	P2_PMUX	P2 Port Function Select Register	P2ポート機能の選択
0x52a5	P2_PMUX	P2 Port Function Select Register	P2ポート機能の選択

以下、入出力ポートのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5200/0x5210/0x5220: Px Port Input Data Registers (Px_IN)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
P0 Port Input Data Register (P0_IN)	0x5200 (8 bits)	D7-0	P0IN[7:0]	P0[7:0] port input data	1	1 (H)	0	0 (L)	×	R
P1 Port Input Data Register (P1_IN)	0x5210 (8 bits)	D7-0	P1IN[7:0]	P1[7:0] port input data	1	1 (H)	0	0 (L)	×	R
P2 Port Input Data Register (P2_IN)	0x5220 (8 bits)	D7-0	P2IN[7:0]	P2[7:0] port input data	1	1 (H)	0	0 (L)	×	R

注: ビット名などの'x'はポート番号の0~2を示します。

D[7:0] PxIN[7:0]: Px[7:0] Port Input Data Bits

Pポート端子の状態が読み出せます。(デフォルト: 外部端子の状態)

1(R): Highレベル

0(R): Lowレベル

PxIN[7:0]はPx[7:0]端子と1対1に対応し、入力/出力モードにかかわらず端子の電圧レベルが読み出せます。端子電圧がHighの場合の読み出し値は1、Lowの場合の読み出し値は0です。

PxIN[7:0]は読み出し専用のため、書き込み操作は無効です。

0x5201/0x5211/0x5221: Px Port Output Data Registers (Px_OUT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P0 Port Output Data Register (P0_OUT)	0x5201 (8 bits)	D7-0	P0OUT[7:0]	P0[7:0] port output data	1 1 (H)	0 0 (L)	0	R/W
P1 Port Output Data Register (P1_OUT)	0x5211 (8 bits)	D7-0	P1OUT[7:0]	P1[7:0] port output data	1 1 (H)	0 0 (L)	0	R/W
P2 Port Output Data Register (P2_OUT)	0x5221 (8 bits)	D7-0	P2OUT[7:0]	P2[7:0] port output data	1 1 (H)	0 0 (L)	0	R/W

注: ビット名などの'x'はポート番号の0~2を示します。

D[7:0] PxOUT[7:0]: Px[7:0] Port Output Data Bits

ポート端子から出力するデータを設定します。

1 (R/W): Highレベル

0 (R/W): Lowレベル(デフォルト)

PxOUT[7:0]はPx[7:0]端子と1対1に対応し、書き込んだデータがそのままポート端子から出力されます。データビットを1に設定するとポート端子はHighとなり、0に設定するとLowになります。

入力モードの場合もポートデータの書き込みは行えます。

0x5202/0x5212/0x5222: Px Port Output Enable Registers (Px_OEN)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P0 Port Output Enable Register (P0_OEN)	0x5202 (8 bits)	D7-0	P0OEN[7:0]	P0[7:0] port output enable select	1 Output Enable 0 Output Disable	0	R/W	
P1 Port Output Enable Register (P1_OEN)	0x5212 (8 bits)	D7-0	P1OEN[7:0]	P1[7:0] port output enable select	1 Output Enable 0 Output Disable	0	R/W	
P2 Port Output Enable Register (P2_OEN)	0x5222 (8 bits)	D7-0	P2OEN[7:0]	P2[7:0] port output enable select	1 Output Enable 0 Output Disable	0	R/W	

注: ビット名などの‘x’はポート番号の0~2を示します。

D[7:0] PxOEN[7:0]: Px[7:0] Port Output Enable Select Bits

ポート出力を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

PxOEN[7:0]はPx[7:0]ポートと1対1に対応する出力イネーブルビットで、1に設定するとポートが出力モードに、0に設定するとハイインピーダンスになります。端子を周辺モジュール用を使用する場合の入出力方向は、周辺モジュールの機能により決まります。各レジスタによる入出力制御は(表10.3.1 データ入出力表)を参照してください。

0x5203/0x5213/0x5223: Px Port Pull-up Control Registers (Px_PU)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
P0 Port Pull-up Control Register (P0_PU)	0x5203 (8 bits)	D7-0	P0PU[7:0]	P0[7:0] port pull-up enable	1	Enable	0	Disable	1 (0xff)	R/W	
P1 Port Pull-up Control Register (P1_PU)	0x5213 (8 bits)	D7-0	P1PU[7:0]	P1[7:0] port pull-up enable	1	Enable	0	Disable	1 (0xff)	R/W	
P2 Port Pull-up Control Register (P2_PU)	0x5223 (8 bits)	D7-0	P2PU[7:0]	P2[7:0] port pull-up enable	1	Enable	0	Disable	1 (0xff)	R/W	

注: ビット名などの'x'はポート番号の0~2を示します。

D[7:0] PxPU[7:0]: Px[7:0] Port Pull-up Enable Bits

各ポートに内蔵されているプルアップ抵抗を有効/無効に設定します。

1(R/W): 有効(デフォルト)

0(R/W): 無効

PxPU[7:0]はPx[7:0]ポートと1対1に対応するプルアップ制御ビットで、1に設定するとプルアップ抵抗が有効になり、入力モード時にポート端子がプルアップされます。0に設定するとプルアップされません。

出力モード時には、PxPU[7:0]の設定は無効となり、プルアップされません。

使用しない入出力ポートについてはプルアップを有効に設定してください。

周辺モジュール用の機能を選択したポートも、このプルアップ設定は有効です。

内蔵プルアップ抵抗によって、ポート端子をLowレベルからHighレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入出力ポートの取り込みには適切な待ち時間の設定が必要となります。待ち時間は以下の式で求められる値以上を設定してください。

待ち時間 = $R_{IN} \times (C_{IN} + \text{基板上的の負荷容量}) \times 1.6$ [秒]

R_{IN} : プルアップ抵抗Max.値

C_{IN} : 端子容量Max.値

0x5204/0x5214/0x5224: Px Port Schmitt Trigger Control Registers (Px_SM)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
P0 Port Schmitt Trigger Control Register (P0_SM)	0x5204 (8 bits)	D7-0	P0SM[7:0]	P0[7:0] port Schmitt trigger input enable	1	Enable (Schmitt)	0	Disable (CMOS)	1 (0xff)	R/W	
P1 Port Schmitt Trigger Control Register (P1_SM)	0x5214 (8 bits)	D7-0	P1SM[7:0]	P1[7:0] port Schmitt trigger input enable	1	Enable (Schmitt)	0	Disable (CMOS)	1 (0xff)	R/W	
P2 Port Schmitt Trigger Control Register (P2_SM)	0x5224 (8 bits)	D7-5	–	reserved	–	–	–	–	–	–	1 when being read.
		D4-0	P2SM[4:0]	P2[4:0] port Schmitt trigger input enable	1	Enable (Schmitt)	0	Disable (CMOS)	1 (0xff)	R/W	

注: ビット名などの'x'はポート番号の0と1を示します。

D[7:0] PxSM[7:0]: Px[7:0] Port Schmitt Trigger Input Enable Bits (P2ポートはP2SM[4:0])

各ポートのシュミットトリガ入力バッファを有効/無効に設定します。

1(R/W): 有効(シュミット入力) (デフォルト)

0(R/W): 無効(CMOSレベル)

PxSM[7:0]はPx[7:0]ポートと1対1に対応するシュミット入力制御ビットで、1に設定するとシュミットトリガ入力バッファが有効になり、0に設定するとCMOSレベルの入力バッファが使用されます。

P25 ~ 27はCMOSシュミットレベルのみとなります。

0x5205/0x5215: Px Port Interrupt Mask Registers (Px_IMSK)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
P0 Port Interrupt Mask Register (P0_IMSK)	0x5205 (8 bits)	D7-0	P0IE[7:0]	P0[7:0] port interrupt enable	1	Enable	0	Disable	0	R/W	
P1 Port Interrupt Mask Register (P1_IMSK)	0x5215 (8 bits)	D7-0	P1IE[7:0]	P1[7:0] port interrupt enable	1	Enable	0	Disable	0	R/W	

注: ビット名などの'x'はポート番号の0と1を示します。

D[7:0] PxIE[7:0]: Px[7:0] Port Interrupt Enable Bits

P0[7:0]とP1[7:0]の各ポートによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

PxIE[7:0]を1に設定すると対応する割り込みが許可され、0に設定すると割り込みが禁止されます。割り込み禁止に設定した入力端子の状態変化は、割り込みの発生に影響を与えません。

0x5206/0x5216: Px Port Interrupt Edge Select Registers (Px_EDGE)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
P0 Port Interrupt Edge Select Register (P0_EDGE)	0x5206 (8 bits)	D7-0	P0EDGE[7:0]	P0[7:0] port interrupt edge select	1	Falling edge	0	Rising edge	0	R/W	
P1 Port Interrupt Edge Select Register (P1_EDGE)	0x5216 (8 bits)	D7-0	P1EDGE[7:0]	P1[7:0] port interrupt edge select	1	Falling edge	0	Rising edge	0	R/W	

注: ビット名などの‘x’はポート番号の0と1を示します。

D[7:0] PxEDGE[7:0]: Px[7:0] Port Interrupt Edge Select Bits

P0[7:0]とP1[7:0]の各ポートの割り込みを発生させる入力信号のエッジを選択します。

1(R/W): 立ち下がりエッジ

0(R/W): 立ち上がりエッジ(デフォルト)

PxEDGE[7:0]を1に設定したポートの割り込みは入力信号の立ち下がりエッジで発生し、0に設定すると立ち上がりエッジで発生します。

0x5207/0x5217: Px Port Interrupt Flag Registers (Px_IFLG)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P0 Port Interrupt Flag Register (P0_IFLG)	0x5207 (8 bits)	D7-0	P0IF[7:0]	P0[7:0] port interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
P1 Port Interrupt Flag Register (P1_IFLG)	0x5217 (8 bits)	D7-0	P1IF[7:0]	P1[7:0] port interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

注: ビット名などの'x'はポート番号の0と1を示します。

D[7:0] PxIF[7:0]: Px[7:0] Port Interrupt Flags

割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

PxIF[7:0]はP0[7:0]とP1[7:0]の16ポートに個々に対応する割り込みフラグです。入力信号の指定エッジ(立ち上がりエッジまたは立ち下がりエッジ)で1にセットされます。対応するPxIE[7:0](Px_IMSKレジスタ)を1に設定しておくことにより、ITCに対してP0またはP1ポート割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

PxIF[7:0]は1の書き込みによりリセットされます。

- 注:
- ポート割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、Pポートモジュール内の割り込みフラグPxIF[7:0]をリセットする必要があります。
 - 不要な割り込みの発生を防止するため、PxIE[7:0](Px_IMSKレジスタ)によって必要なポートの割り込みを許可する前に、対応するPxIF[7:0]をリセットしてください。
 - * **P0IE[7:0]**: P0[7:0] Port Interrupt Enable Bits in the P0 Port Interrupt Mask (P0_IMSK) Register (D[7:0]/0x5205)
 - * **P1IE[7:0]**: P1[7:0] Port Interrupt Enable Bits in the P1 Port Interrupt Mask (P1_IMSK) Register (D[7:0]/0x5215)

0x5208/0x5218: Px Port Chattering Filter Control Register (Px_CHAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P0 Port Chattering Filter Control Register (P0_CHAT)	0x5208 (8 bits)	D7	–	reserved	–	–	–	0 when being read.	
		D6–4	P0CF2[2:0]	P0[7:4] chattering filter time select	P0CF2[2:0]	Filter time	0	R/W	
					0x7	16384/fPCLK	0x0	R/W	
					0x6	8192/fPCLK			
					0x5	4096/fPCLK			
					0x4	2048/fPCLK			
					0x3	1024/fPCLK			
					0x2	512/fPCLK			
					0x1	256/fPCLK			
		0x0	None						
D3	–	reserved	–	–	–	–	0 when being read.		
D2–0	P0CF1[2:0]	P0[3:0] chattering filter time select	P0CF1[2:0]	Filter time	0x0	R/W			
			0x7	16384/fPCLK	0x0	R/W			
			0x6	8192/fPCLK					
			0x5	4096/fPCLK					
			0x4	2048/fPCLK					
			0x3	1024/fPCLK					
			0x2	512/fPCLK					
			0x1	256/fPCLK					
			0x0	None					
P1 Port Chattering Filter Control Register (P1_CHAT)	0x5218 (8 bits)	D7	–	reserved			–	–	–
		D6–4	P1CF2[2:0]	P1[7:4] chattering filter time select	P1CF2[2:0]	Filter time	0	R/W	
					0x7	16384/fPCLK	0x0	R/W	
					0x6	8192/fPCLK			
					0x5	4096/fPCLK			
					0x4	2048/fPCLK			
					0x3	1024/fPCLK			
					0x2	512/fPCLK			
					0x1	256/fPCLK			
		0x0	None						
D3	–	reserved	–	–	–	–	0 when being read.		
D2–0	P1CF1[2:0]	P1[3:0] chattering filter time select	P1CF1[2:0]	Filter time	0x0	R/W			
			0x7	16384/fPCLK	0x0	R/W			
			0x6	8192/fPCLK					
			0x5	4096/fPCLK					
			0x4	2048/fPCLK					
			0x3	1024/fPCLK					
			0x2	512/fPCLK					
			0x1	256/fPCLK					
			0x0	None					

注: ビット名などの'x'はポート番号の0と1を示します。

D7 **Reserved**

D[6:4] **PxCF2[2:0]: P0[7:4] Chattering Filter Time Select Bits**

P0[7:4]ポートに組み込まれているチャタリング除去回路を設定します。

D3 **Reserved**

D[2:0] **PxCF1[2:0]: P0[3:0] Chattering Filter Time Select Bits**

P0[3:0]ポートに組み込まれているチャタリング除去回路を設定します。

P0またはP1ポートにはキー入力またはポート割り込み用のチャタリング除去回路が設けられています。この機能を使用するか否か、また、使用する場合は検定時間を、PxCF1/2[2:0]によってP0[3:0]、P0[7:4]、P1[3:0]、P1[7:4]の4ポートごとに選択します。

表10.8.2 チャタリング除去機能の設定

P0CFx[2:0]	検定時間*
0x7	16384/fPCLK (8ms)
0x6	8192/fPCLK (4ms)
0x5	4096/fPCLK (2ms)
0x4	2048/fPCLK (1ms)
0x3	1024/fPCLK (512μs)
0x2	512/fPCLK (256μs)
0x1	256/fPCLK (128μs)
0x0	なし(Off)

(デフォルト: 0x0, * OSC3=2MHz, PCLK=OSC3の場合)

- 注:
- チャタリング除去の検定時間は、除去できる最大パルス幅のことを指します。入力割り込みを発生させるには、最小で検定時間、最大で検定時間の2倍の入力時間が必要になります。
 - P0_CHATまたはP1_CHATレジスタの設定変更は、必ずP0ポートまたはP1ポート割り込みが禁止されている状態で行ってください。割り込みが許可されている状態で設定を変更すると、P0ポートまたはP1ポート割り込みが誤って発生する場合があります。また、チャタリング除去回路の状態が安定するまでには最大で検定時間の2倍の時間が必要であるため、割り込みの許可はこの時間の経過後に行ってください。
 - 入力信号の立ち上がり/立ち下がり時間が遅い場合、信号がしきい値を通過するまでに時間がかかり、内部信号が発振する現象が起こる可能性があります。この場合、入力割り込みは誤動作しますので、入力信号の立ち上がり/立ち下がり時間は25ns以下を目安に設定してください。
 - チャタリング除去機能を有効にしている状態で`sleep`命令を実行した場合は、SLEEP状態からの復帰後に予期せぬ割り込みが発生する可能性があります。SLEEPモード移行前にチャタリング除去機能を無効にしてください。

0x5209: P0 Port Key-Entry Reset Configuration Register (P0_KRST)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P0 Port Key-Entry Reset Configuration Register (P0_KRST)	0x5209 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.	
		D1-0	P0KRST[1:0]	P0 port key-entry reset configuration	P0KRST[1:0]	Configuration	0x0	R/W	
					0x3	P0[3:0] = 0			
					0x2	P0[2:0] = 0			
					0x1	P0[1:0] = 0			
0x0	Disable								

D[7:2] Reserved

D[1:0] P0KRST[1:0]: P0 Port Key-Entry Reset Configuration Bits

P0ポートキー入力リセットに使用するポートの組み合わせを選択します。

表10.8.3 P0ポートキー入力リセットの設定

P0KRST[1:0]	使用するポート
0x3	P00, P01, P02, P03
0x2	P00, P01, P02
0x1	P00, P01
0x0	使用しない

(デフォルト: 0x0)

キー入力リセットは、ここで選択されたポートに、外部から同時にLowレベルを入力することでイニシャルリセットを行う機能です。

たとえば、P0KRST[1:0]を0x3に設定した場合、P00～P03の4ポートの入力が同時にLowレベルになったときにイニシャルリセットがかかります。

このリセット機能を使用しない場合はP0KRST[1:0]を0x0に設定します。

- 注:
- P0ポートキー入力リセット機能を使用する場合、通常動作時に指定ポートが同時にLowレベルにならないように注意してください。
 - P0ポートキー入力リセット機能はイニシャルリセット時に無効となりますので、電源投入時のリセットには使用できません。
 - SLEEP状態では、P0ポートキー入力リセット機能は使用できません。

0x520a/0x521a/0x522a: Px Port Input Enable Registers (Px_IEN)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
P0 Port Input Enable Register (P0_IEN)	0x520a (8 bits)	D7-0	P0IEN[7:0]	P0[7:0] port input enable	1	Enable	0	Disable	0xff	R/W
P1 Port Input Enable Register (P1_IEN)	0x521a (8 bits)	D7-0	P1IEN[7:0]	P1[7:0] port input enable	1	Enable	0	Disable	0xff	R/W
P2 Port Input Enable Register (P2_IEN)	0x522a (8 bits)	D7-0	P2IEN[7:0]	P2[7:0] port input enable	1	Enable	0	Disable	0xff	R/W

注: ビット名などの'x'はポート番号の0~4を示します。

D[7:0] PxIEN[7:0]: Px[7:0] Port Input Enable Bits

ポート入力を許可/禁止します。

1(R/W): 許可(デフォルト)

0(R/W): 禁止

PxIEN[7:0]はPx[7:0]ポートと1対1に対応する入力イネーブルビットで、1に設定すると入力信号レベルがPx_INレジスタから読み出せます。0に設定すると信号の入力が禁止され、入力データの読み出し値は0に固定されます。

0x52a0: P0 Port Function Select Register (P0_PMUX)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P0 Port Function Select Register (P0_PMUX)	0x52a0 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6	P03MUX	P03 port function select	1 #ADTRG 0 P03	0	R/W	
		D5	–	reserved	–	–	–	0 when being read.
		D4	P02MUX	P02 port function select	1 TOUT4 0 P02/EXCL0	0	R/W	
		D3	–	reserved	–	–	–	0 when being read.
		D2	P01MUX	P01 port function select	1 TOUTN4 0 P01	0	R/W	
		D1-0	P00MUX [1:0]	P00 port function select	P00MUX[1:0] Port	0	R/W	
				0x3 Reserved				
				0x2 LFRO				
				0x1 RFCLKO				
				0x0 P00				

P00～P03入出力ポートは周辺モジュール用端子を兼ねています。このレジスタで、どちらの端子として使用するか選択します。

D7 **Reserved**

D6 **P03MUX: P03 Port Function Select Bit**

1 (R/W): #ADTRG (ADC10SA)

0 (R/W): P03ポート (デフォルト)

D5 **Reserved**

D4 **P02MUX: P02 Port Function Select Bit**

1 (R/W): TOUT4 (T16E Ch.1)

0 (R/W): P02ポート/EXCL0 (T16 Ch.0) (デフォルト) *EXCL0は入力状態PxOEN[7:0]=0、PxIEN=1で選択されます。

D3 **Reserved**

D2 **P01MUX: P01 Port Function Select Bit**

1 (R/W): TOUTN4 (T16E Ch.1)

0 (R/W): P01ポート (デフォルト)

D[1:0] **P00MUX: P00 Port Function Select Bit**

0x3 (R/W): Reserved

0x2 (R/W): LFRO (LCD)

0x1 (R/W): RFCLKO (RFC)

0x0 (R/W): P00ポート (デフォルト)

0x52a1: P0 Port Function Select Register (P0_PMUX)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P0 Port Function Select Register (P0_PMUX)	0x52a1 (8 bits)	D7	–	reserved	–	–	–	0 when being read.	
		D6	P07MUX	P07 port function select	1 AIN0	0 P07/EXCL4	0	R/W	
		D5	–	reserved	–	–	–	–	0 when being read.
		D4	P06MUX	P06 port function select	1 AIN1	0 P06/EXCL3	0	R/W	
		D3	–	reserved	–	–	–	–	0 when being read.
		D2	P05MUX	P05 port function select	1 AIN2	0 P05/EXCL2	0	R/W	
		D1	–	reserved	–	–	–	–	0 when being read.
		D0	P04MUX	P04 port function select	1 AIN3	0 P04/EXCL1	0	R/W	

P04～P07入出力ポートは周辺モジュール用端子を兼ねています。このレジスタで、どちらの端子として使用するか選択します。

D7 **Reserved**

D6 **P07MUX: P07 Port Function Select Bit**

1(R/W): AIN0 (AD Ch.0)

0(R/W): P07ポート/EXCL4 (T16E Ch.1) (デフォルト)

*EXCL4は入力状態PxOEN[7:0]=0、PxIEN=1で選択されます。

D5 **Reserved**

D4 **P06MUX: P06 Port Function Select Bit**

1(R/W): AIN1 (AD Ch.1)

0(R/W): P06ポート/EXCL3 (T16E Ch.0) (デフォルト)

*EXCL3は入力状態PxOEN[7:0]=0、PxIEN=1で選択されます。

D3 **Reserved**

D2 **P05MUX: P05 Port Function Select Bit**

1(R/W): AIN2 (AD Ch.2)

0(R/W): P05ポート/EXCL2 (T16 Ch.2) (デフォルト)

*EXCL2は入力状態PxOEN[7:0]=0、PxIEN=1で選択されます。

D1 **Reserved**

D0 **P04MUX: P04 Port Function Select Bit**

1(R/W): AIN3 (AD Ch.3)

0(R/W): P04ポート/EXCL1 (T16 Ch.1) (デフォルト)

*EXCL1は入力状態PxOEN[7:0]=0、PxIEN=1で選択されます。

0x52a2: P1 Port Function Select Register (P1_PMUX)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P1 Port Function Select Register (P1_PMUX)	0x52a2 (8 bits)	D7-6	P13MUX [1:0]	P13 port function select	P13MUX[1:0]	Port	0	R/W	
					0x3	Reserved			
					0x2	SDA1			
					0x1	SENA			
		0x0	P13						
		D5-4	P12MUX [1:0]	P12 port function select	P12MUX[1:0]	Port	0	R/W	
					0x3	Reserved			
					0x2	#BFR			
					0x1	SENB			
		0x0	P12						
		D3-2	P11MUX [1:0]	P11 port function select	P11MUX[1:0]	Port	0	R/W	
					0x3	Reserved			
					0x2	SDA1			
					0x1	SDA0			
		0x0	P11						
		D1-0	P10MUX [1:0]	P10 port function select	P10MUX[1:0]	Port	0	R/W	
0x3	Reserved								
0x2	SCL1								
0x1	SCL0								
0x0	P10								

P10～P13入出力ポートは周辺モジュール用端子を兼ねています。このレジスタで、どちらの端子として使用するか選択します。

D[7:6] P13MUX: P13 Port Function Select Bit

0x3 (R/W): Reserved
 0x2 (R/W): SDA1 (I²Cスレーブ)
 0x1 (R/W): SENA (RFC)
 0x0 (R/W): P13ポート (デフォルト)

D[5:4] P12MUX: P12 Port Function Select Bit

0x3 (R/W): Reserved
 0x2 (R/W): #BFR (I²Cスレーブ)
 0x1 (R/W): SENB (RFC)
 0x0 (R/W): P12ポート (デフォルト)

D[3:2] P11MUX: P11 Port Function Select Bit

0x3 (R/W): Reserved
 0x2 (R/W): SDA1 (I²Cスレーブ)
 0x1 (R/W): SDA0 (I²Cマスタ)
 0x0 (R/W): P11ポート (デフォルト)

D[1:0] P10MUX: P10 Port Function Select Bit

0x3 (R/W): Reserved
 0x2 (R/W): SDA1 (I²Cスレーブ)
 0x1 (R/W): SDA0 (I²Cマスタ)
 0x0 (R/W): P10ポート (デフォルト)

0x52a3: P1 Port Function Select Register (P1_PMUX)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
P1 Port Function Select Register (P1_PMUX)	0x52a3 (8 bits)	D7-6	P17MUX [1:0]	P17 port function select	P17MUX[1:0]	Port	0	R/W			
					0x3	Reserved					
							0x2	SCLK			
							0x1	SPICLK			
							0x0	P17			
		D5	—	—	reserved	—	—	—		—	0 when being read.
		D4	P16MUX	—	P16 port function select	1 FOUT1	0 P16	0		R/W	
D3	—	—	reserved	—	—	—	—	0 when being read.			
D2	P15MUX	—	P15 port function select	1 RFIN	0 P15	0	R/W				
D1-0	P14MUX [1:0]	—	P14 port function select	P14MUX[1:0]	Port	0	R/W				
					0x3			Reserved			
					0x2			SCL1			
					0x1			REF			
					0x0			P14			

P14～P17入出力ポートは周辺モジュール用端子を兼ねています。このレジスタで、どちらの端子として使用するか選択します。

D[7:6] P17MUX[1:0]: P17 Port Function Select Bit

0x3 (R/W): Reserved
 0x2 (R/W): SCLK (UART)
 0x1 (R/W): SPICLK (SPI)
 0x0 (R/W): P17ポート (デフォルト)

D5 Reserved**D4 P16MUX: P16 Port Function Select Bit**

1 (R/W): FOUT1 (OSC1)
 0 (R/W): P16ポート (デフォルト)

D3 Reserved**D2 P15MUX: P15 Port Function Select Bit**

1 (R/W): RFIN (RFC)
 0 (R/W): P15ポート (デフォルト)

D[1:0] P14MUX[1:0]: P14 Port Function Select Bit

0x3 (R/W): Reserved
 0x2 (R/W): SCL1 (I²Cスレーブ)
 0x1 (R/W): REF (RFC)
 0x0 (R/W): P14ポート (デフォルト)

0x52a4: P2 Port Function Select Register (P2_PMUX)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
P2 Port Function Select Register (P2_PMUX)	0x52a4 (8 bits)	D7-6	P23MUX [1:0]	P23 port function select	P23MUX[1:0]	Port	0	R/W	
					0x3	Reserved			
					0x2	SOUT			
					0x1	TOUT3			
		0x0	P23						
		D5-4	P22MUX [1:0]	P22 port function select	P22MUX[1:0]	Port	0	R/W	
					0x3	Reserved			
					0x2	FOUTH			
					0x1	#SPISS			
		0x0	P22						
		D3-2	P21MUX [1:0]	P21 port function select	P21MUX[1:0]	Port	0	R/W	
					0x3	Reserved			
					0x2	SIN			
					0x1	SDI			
		0x0	P21						
		D1-0	P20MUX [1:0]	P20 port function select	P20MUX[1:0]	Port	0	R/W	
0x3	Reserved								
0x2	SOUT								
0x1	SDO								
0x0	P20								

P20～P23入出力ポートは周辺モジュール用端子を兼ねています。このレジスタで、どちらの端子として使用するか選択します。

D[7:6] P23MUX[1:0]: P23 Port Function Select Bit

0x3 (R/W): Reserved
 0x2 (R/W): SOUT (UART)
 0x1 (R/W): TOUT3 (T16E Ch.0)
 0x0 (R/W): P23ポート (デフォルト)

D[5:4] P22MUX[1:0]: P22 Port Function Select Bit

0x3 (R/W): Reserved
 0x2 (R/W): FOUTH (HSCLK)
 0x1 (R/W): #SPISS (SPI)
 0x0 (R/W): P22ポート (デフォルト)

D[3:2] P21MUX[1:0]: P21 Port Function Select Bit

0x3 (R/W): Reserved
 0x2 (R/W): SIN (UART)
 0x1 (R/W): SDI (SPI)
 0x0 (R/W): P21ポート (デフォルト)

D[1:0] P20MUX[1:0]: P20 Port Function Select Bit

0x3 (R/W): Reserved
 0x2 (R/W): SOUT (UART)
 0x1 (R/W): SDO (SPI)
 0x0 (R/W): P20ポート (デフォルト)

0x52a5: P2 Port Function Select Register (P2_PMUX)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks								
P2 Port Function Select Register (P2_PMUX)	0x52a5 (8 bits)	D7	—	reserved	—	—	—	0 when being read.								
		D6	P27MUX	P27 port function select	1 P27 0 DCLK	0	R/W									
		D5	—	reserved	—	—	—	—	0 when being read.							
		D4	P26MUX	P26 port function select	1 P26 0 DST2	0	R/W									
		D3	—	reserved	—	—	—	—	0 when being read.							
		D2	P25MUX	P25 port function select	1 P25 0 DSIO	0	R/W									
		D1-0	P24MUX [1:0]	P24 port function select	<table border="1" style="display: inline-table; vertical-align: middle;"> <tr> <td>P24MUX[1:0]</td> <td>Port</td> </tr> <tr> <td>0x3</td> <td>TOUT5</td> </tr> <tr> <td>0x2</td> <td>SIN</td> </tr> <tr> <td>0x1</td> <td>TOUTN3</td> </tr> <tr> <td>0x0</td> <td>P24</td> </tr> </table>	P24MUX[1:0]	Port	0x3	TOUT5	0x2	SIN	0x1	TOUTN3	0x0	P24	0
P24MUX[1:0]	Port															
0x3	TOUT5															
0x2	SIN															
0x1	TOUTN3															
0x0	P24															

P24～P27入出力ポートは周辺モジュール用端子を兼ねています。このレジスタで、どちらの端子として使用するか選択します。

D7 **Reserved**

D6 **P27MUX: P27 Port Function Select Bit**

1(R/W): P27ポート

0(R/W): DCLK (DBG) (デフォルト)

D5 **Reserved**

D4 **P26MUX: P26 Port Function Select Bit**

1(R/W): P26ポート

0(R/W): DST2 (DBG) (デフォルト)

D3 **Reserved**

D2 **P25MUX: P25 Port Function Select Bit**

1(R/W): P25ポート

0(R/W): DSIO (DBG) (デフォルト)

D[1:0] **P24MUX[1:0]: P24 Port Function Select Bit**

0x3(R/W):TOUT5 (T8OSC1)

0x2(R/W):SIN (UART)

0x1(R/W):TOUTN3 (T16E Ch.0)

0x0(R/W):P24ポート (デフォルト)

10.9 注意事項

動作クロック

- 入出力ポートをアクセスするためには、クロックジェネレータからPCLKクロックが供給されている必要があります。
また、P0ポートのチャタリングフィルタの動作にはプリスケアラ出力クロックも必要です。この機能を使用する場合は、プリスケアラもOnにしてください。

プルアップ

- 内蔵プルアップ抵抗によって、ポート端子をLowレベルからHighレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入出力ポートの取り込みには適切な待ち時間の設定が必要となります。待ち時間は以下の式で求められる値以上を設定してください。

待ち時間 = $R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6$ [秒]

R_{IN} : プルアップ抵抗Max.値

C_{IN} : 端子容量Max.値

- 使用しない入出力ポートについてはプルアップ抵抗を有効に設定してください。

P0、P1ポート割り込み

- ポート割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、対応する割り込みフラグP0IF[7:0](0x5207)、P1IF[7:0](0x5217)をリセットしてください。
- 不要な割り込みの発生を防止するため、P0_IMSKレジスタ(0x5205)、P1_IMSKレジスタ(0x5215)によって必要なポートの割り込みを許可する前に、対応する割り込みフラグP0IF[7:0](0x5207)、P1IF[7:0](0x5217)をリセットしてください。

P0、P1ポートチャタリング除去回路

- P0_CHATレジスタ(0x5208)、P1_CHATレジスタ(0x5218)の設定変更は、必ずP0、P1ポート割り込みが禁止されている状態で行ってください。割り込みが許可されている状態で設定を変更すると、P0、P1ポート割り込みが誤って発生する場合があります。また、チャタリング除去回路の状態が安定するまでには最大で検定時間の2倍の時間が必要であるため、割り込みの許可はこの時間の経過後に行ってください。
- チャタリング除去の検定時間は、除去できる最大パルス幅のことを指します。入力割り込みを発生させるには、最小で検定時間、最大で検定時間の2倍の入力時間が必要になります。
- 入力信号の立ち上がり/立ち下がり時間が遅い場合、信号がしきい値を通過するまでに時間がかかり、内部信号が発振する現象が起こる可能性があります。この場合、入力割り込みは誤動作しますので、入力信号の立ち上がり/立ち下がり時間は25ns以下を目安に設定してください。
- チャタリング除去機能を有効にしている状態でslp命令を実行した場合は、SLEEP状態からの復帰後に予期せぬ割り込みが発生する可能性があります。SLEEPモード移行前にチャタリング除去機能を無効にしてください。

P0ポートキー入力リセット

- P0ポートキー入力リセット機能を使用する場合、通常動作時に指定ポートが同時にLowレベルにならないように注意してください。
- P0ポートキー入力リセット機能はイニシャルリセット時に無効となりますので、電源投入時のリセットには使用できません。

11 16ビットタイマ(T16)

11.1 16ビットタイマの概要

S1C17601には3チャンネルの16ビットタイマ(T16)が内蔵されています。

16ビットタイマは16ビットプリセッタブルダウンカウンタとプリセット値を保持する16ビットリロードデータレジスタで構成されます。タイマはリロードデータレジスタに設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号は、割り込みの発生や内部シリアルインタフェース用のクロック生成に使用されます。アンダーフロー周期はプリスケールクロックとリロードデータの選択によりプログラム可能なため、アプリケーションプログラムは任意の時間間隔やシリアル転送速度を得ることができます。

また、入出力ポート端子を使用したイベントカウンタ機能と外部入力信号のパルス幅測定機能も合わせて持っています。

図11.1.1に16ビットタイマの構造を示します。

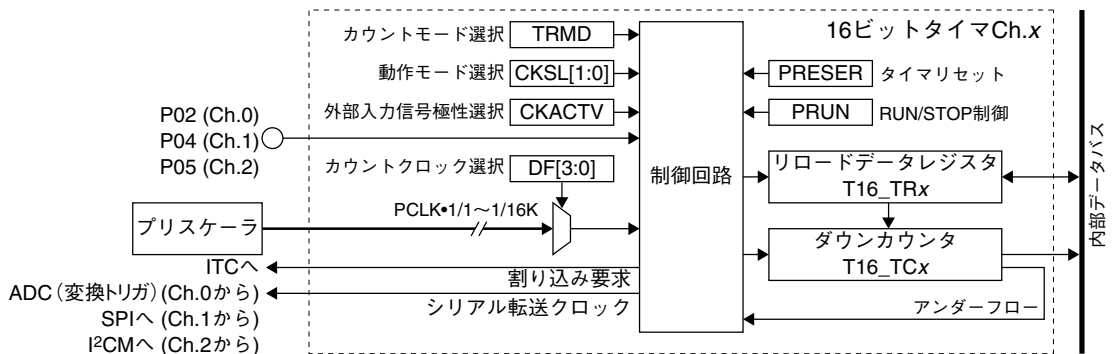


図11.1.1 16ビットタイマの構造(1チャンネル)

注: 3チャンネルの16ビットタイマモジュールは、制御レジスタのアドレスを除きすべて同じ機能を持っていますので、本節内の説明は16ビットタイマの全チャンネルに適用されます。レジスタ名の‘x’はチャンネル番号(0~2)を表します。また、レジスタのアドレスは(Ch.0/Ch.1/Ch.2)のように記述されています。

例: T16_CTLxレジスタ (0x4226/0x4246/0x4266)

Ch.0: T16_CTL0レジスタ (0x4226)

Ch.1: T16_CTL1レジスタ (0x4246)

Ch.2: T16_CTL2レジスタ (0x4266)

11.2 16ビットタイマの動作モード

16ビットタイマには3つの動作モードがあります。

1. 内部クロックモード(内部クロックをカウントする通常のタイマ)
2. 外部クロックモード(イベントカウンタとして機能)
3. パルス幅測定モード(外部入力パルス幅を内部クロックでカウント)

この中の1つをCKSL[1:0](D[9:8]/T16_CTLxレジスタ)で選択します。

* **CKSL[1:0]**: Input Clock and Pulse Width Count Mode Select Bits in the 16-bit Timer Ch.x Control (T16_CTLx) Register (D[9:8]/0x4226/0x4246/0x4266)

表11.2.1 動作モードの選択

CKSL[1:0]	動作モード
0x3	Reserved
0x2	パルス幅測定モード
0x1	外部クロックモード
0x0	内部クロックモード

(デフォルト: 0x0)

11.2.1 内部クロックモード

内部クロックモードでは、プリスケアラ出力クロックをカウントクロックとして使用します。

タイマはリロードデータレジスタに設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号は、割り込みの発生や内部シリアルインタフェース用のクロック生成に使用されます。プリスケアラクロックとカウンタ初期値の選択によってアンダーフロー発生までの時間を細かくプログラム可能なため、シリアル転送クロックの生成や単発的な時間計測等に有効です。

カウントクロックの選択

カウントクロックは、プリスケアラがPCLKクロックを1/1~1/16Kに分周して生成した15種類の中から1つをDF[3:0](D[3:0]/T16_CLKxレジスタ)で選択します。

* **DF[3:0]**: Timer Input Clock Select Bits in the 16-bit Timer Ch.x Input Clock Select (T16_CLKx) Register (D[3:0]/0x4220/0x4240/0x4260)

表11.2.1.1 カウントクロックの選択

DF[3:0]	プリスケアラ出力クロック	DF[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

注: • 16ビットタイマを内部クロックモードで動作させるには、その前にプリスケアラを動作させておく必要があります。

- カウントクロックの設定は、16ビットタイマがカウント停止中に行ってください。

プリスケアラの制御については、“9 プリスケアラ(PSC)”を参照してください。

11.2.2 外部クロックモード

外部クロックモードでは、入出力ポートから入力したクロックやパルスをカウントクロックとして使用します。したがって、イベントカウンタとして使用可能です。入力クロック以外のタイマの動作は内部クロックモードと同じです。

外部クロック入力ポート

外部クロック/パルス入力に使用する入力ポートは次のとおりです。

表11.2.2.1 外部クロック入力ポート

タイマチャンネル	入力信号名	入出力ポート端子
Ch.0	EXCL0	P02
Ch.1	EXCL1	P04
Ch.2	EXCL2	P05

外部クロック/パルス入力に使用する入出力ポートは入力モード(デフォルト)に設定してください。端子機能選択の操作は不要です。入出力ポートは汎用入力として機能しますが、入力信号は16ビットタイマにも送られます。

16ビットタイマCh.0、Ch.1とCh.2が使用するP02、P04とP05ポートにはチャタリング除去回路が組み込まれており、EXCLx入力として使用する場合も有効です。チャタリング除去回路の制御方法については、“10.6 P0/P1ポートのチャタリング除去機能”を参照してください。

外部クロックの入力規定は“28 電気的特性”を参照してください。

信号極性の選択

このモードでは、カウントを入力信号の立ち下がりエッジで行うか、立ち上がりエッジで行うかをCKACTV(D10/T16_CTLxレジスタ)で選択できます。

* **CKACTV**: External Clock Active Level Select Bit in the 16-bit Timer Ch.x Control (T16_CTLx) Register (D10/0x4226/0x4246/0x4266)

CKACTVが1(デフォルト)の場合は立ち上がりエッジでカウントダウン、0に設定すると立ち下がりエッジでカウントダウンします。

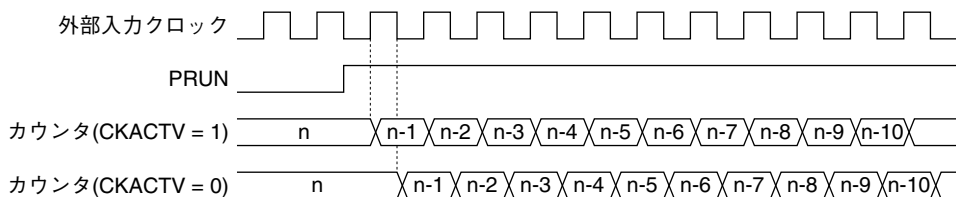


図11.2.2.1 外部クロックモードのカウント

16ビットタイマは、このモードではプリスケラを使用しません。他にプリスケラクロックを使用する周辺モジュールがない場合はプリスケラを停止して消費電流を低減できます。(P0、P1ポートのチャタリング除去にはプリスケラクロックが使用されます。)

11.2.3 パルス幅測定モード

パルス幅測定モードでは、指定極性のパルスが外部クロックポートから入力されると、その信号がアクティブな期間のみ内部クロックが供給され、カウントを行います。これにより、指定幅以上のパルス入力で割り込みを発生させたり、入力パルス幅を測定したりすることができます。

パルス入力ポート

外部パルスの入力に使用する入出力ポートは、外部クロックモードと同様です(表11.2.2.1参照)。使用するタイマチャンネルに対応する入出力ポートを入力モードにして、パルスを入力してください。

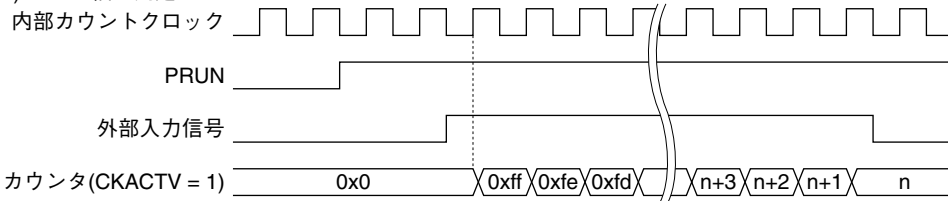
カウントクロックの選択

内部クロックモードと同様に、DF[3:0](D[3:0]/T16_CLK_xレジスタ)で選択したプリスケアラ出力クロックでカウントを行います。入力パルスのおおよその幅や測定精度に合わせてクロックを選択してください(表11.2.1.1参照)。

信号極性の選択

CKACTV(D10/T16_CTL_xレジスタ)で測定するパルスのアクティブレベルを選択します。CKACTVが1(デフォルト)の場合はHigh期間を測定、0に設定するとLow期間を測定します。

例1) パルス幅を測定



例2) 指定幅以上のパルスを検出

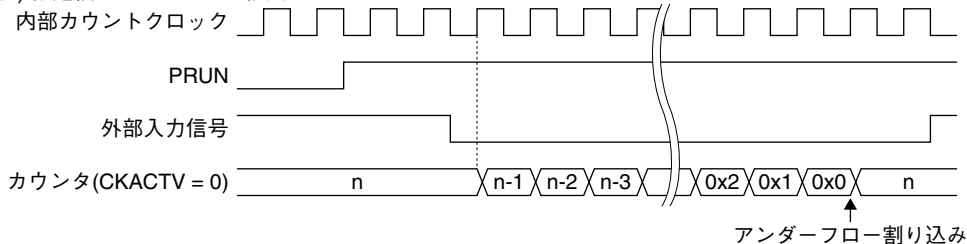


図11.2.3.1 パルス幅測定モードのカウント動作

11.3 カウントモード

16ビットタイマはリピートモードとワンショットモードの2つのカウントモードを持っています。この選択は、TRMD(D4/T16_CTLxレジスタ)で行います。

* **TRMD**: Count Mode Select Bit in the 16-bit Timer Ch.x Control (T16_CTLx) Register (D4/0x4226/0x4246/0x4266)

リピートモード(TRMD = 0、デフォルト)

TRMDを0に設定すると、16ビットタイマはリピートモードに設定されます。

このモードでは、カウントを開始するとアプリケーションプログラムで停止するまで16ビットタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、16ビットタイマをこのモードに設定してください。

ワンショットモード(TRMD = 1)

TRMDを1に設定すると、16ビットタイマはワンショットモードに設定されます。

このモードでは、カウンタがアンダーフローした時点で16ビットタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合やパルス幅測定時などに、16ビットタイマをこのモードに設定してください。

11.4 16ビットタイマリロードレジスタとアンダーフロー周期

リロードデータレジスタT16_TRx(0x4222/0x4242/0x4262)は、ダウンカウンタに初期値をセットするために使用します。

リロードデータレジスタに設定したカウンタ初期値は、16ビットタイマがリセットされるか、カウンタがアンダーフローした時点でダウンカウンタにプリセットされます。16ビットタイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、特定の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

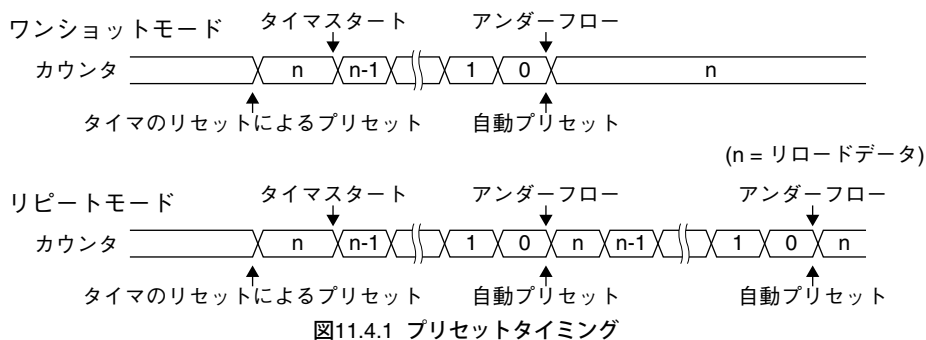


図11.4.1 プリセットタイミング

アンダーフロー周期は次のように計算できます。

$$\text{アンダーフロー期間} = \frac{TR + 1}{\text{clk_in}} \text{ [s]} \quad \text{アンダーフローサイクル} = \frac{\text{clk_in}}{TR + 1} \text{ [Hz]}$$

clk_in: カウントクロック(プリスケアラ出力クロック)周波数 [Hz]

TR: リロードデータ(0~65535)

11.5 16ビットタイマのリセット

16ビットタイマをリセットするには、PRESER(D1/T16_CTLxレジスタ)に1を書き込みます。リロードデータがプリセットされ、カウンタが初期化されます。

* **PRESER**: Timer Reset Bit in the 16-bit Timer Ch.x Control (T16_CTLx) Register (D1/0x4226/0x4246/0x4266)

11.6 16ビットタイマRUN/STOP制御

16ビットタイマの動作を開始させる前に、以下の設定を行ってください。

- (1) 動作モード(内部クロック、外部クロック、パルス幅測定)を選択します。11.2節を参照してください。
- (2) 内部クロックまたはパルス幅測定モードの場合はカウントクロック(プリスケアラ出力クロック)を選択します。11.2.1節を参照してください。
- (3) カウントモード(ワンショットまたはリピート)を設定します。11.3節を参照してください。
- (4) カウンタ初期値を計算してリロードデータレジスタに設定します。11.4節を参照してください。
- (5) タイマをリセットして初期値をカウンタにプリセットします。11.5節を参照してください。
- (6) タイマ割り込みを使用する場合は、割り込みレベルを設定し、該当タイマチャンネルの割り込みを許可します。11.8節を参照してください。

16ビットタイマの動作を開始させるには、PRUN(D0/T16_CTLxレジスタ)に1を書き込みます。

* **PRUN**: Timer Run/Stop Control Bit in the 16-bit Timer Ch.x Control (T16_CTLx) Register (D0/0x4226/0x4246/0x4266)

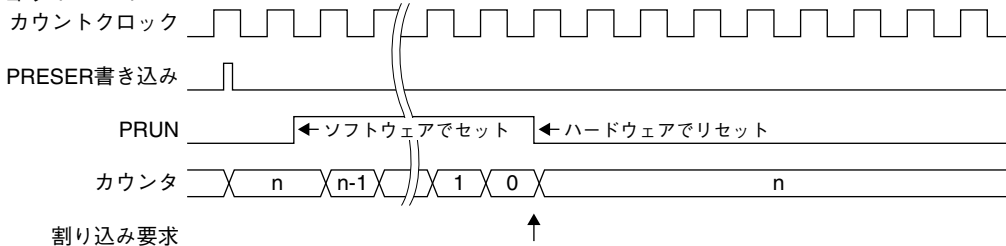
タイマは初期値から、あるいは初期値をプリセットしなかった場合は現在のカウンタ値からカウントダウンを開始します。カウンタがアンダーフローすると、タイマはアンダーフローパルスを出力し、初期値を再びカウンタにプリセットします。これと同時に、割り込み要求が割り込みコントローラ(ITC)に送られます。

ワンショットモードに設定されている場合、タイマはカウントを停止します。

リピートモードに設定されている場合、タイマはリロードされた初期値からカウントを継続します。

アプリケーションプログラムから16ビットタイマを停止させるには、PRUNに0を書き込みます。カウンタはカウント動作を停止し、タイマのリセットまたは再スタートまで、現在のカウンタ値を保持します。初期値からカウントを再スタートさせる場合は、PRUNに1を書き込む前にタイマをリセットしてください。

ワンショットモード



リピートモード

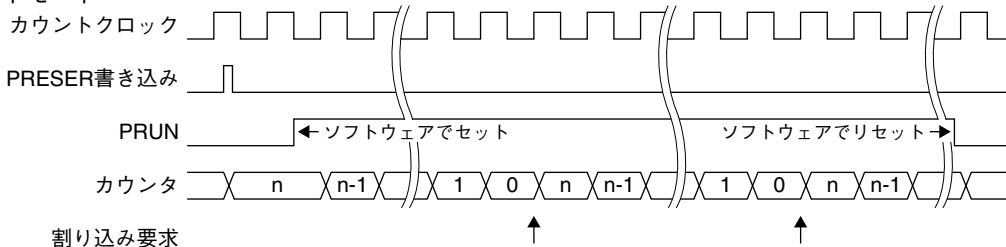


図11.6.1 カウント動作

パルス幅測定モードの場合は、PRUNが1に設定され、かつ外部入力信号が指定したアクティブレベルの間のみカウントを行います。外部入力信号がインアクティブになると、16ビットタイマはカウントを停止し、次のアクティブレベルの入力までカウンタ値を保持します。(図11.2.3.1参照)

11.7 16ビットタイマ出力信号

16ビットタイマはカウンタがアンダーフローするとアンダーフローパルスを出力します。
このパルスは、タイマ割り込み要求に使用されます。
また、内部シリアルインタフェース用のシリアル転送クロックの生成にも使用されます。

生成されたクロックまたはアンダーフロー信号は以下のとおり、内部シリアルインタフェースに送られます。

16ビットタイマCh.0出力アンダーフロー信号 → ADC10SA(変換トリガ)

16ビットタイマCh.1出力クロック → SPI

16ビットタイマCh.2出力クロック → I²C

希望の転送レートを得るためのリロードデータレジスタ値は次の式で計算できます。

$$\text{SPI} \quad \text{TR} = \frac{\text{clk_in}}{\text{bps} \times 2} - 1$$

$$\text{I}^2\text{CM} \quad \text{TR} = \frac{\text{clk_in}}{\text{bps} \times 4} - 1$$

clk_in: カウントクロック(プリスケアラ出力クロック)周波数 [Hz]

TR: リロードデータ(0~65535)

bps: 転送レート(ビット/秒)

11.8 16ビットタイマ割り込み

16ビットタイマは、カウンタのアンダーフローにより、割り込み要求を割り込みコントローラ(ITC)に出力します。

アンダーフロー割り込み

この割り込み要求は、カウンタのアンダーフローにより発生し、チャンネルごとに用意されているT16モジュール内の割り込みフラグT16IF(D0/T16_INTxレジスタ)を1にセットします。

* **T16IF**: 16-bit Timer Interrupt Flag in the 16-bit Timer Ch.x Interrupt Control (T16_INTx) Register (D0/0x4228/0x4248/0x4268)

この割り込みを使用するには、T16IE(D8/T16_INTxレジスタ)を1に設定します。T16IEが0(デフォルト)に設定されているとT16IFは1にセットされず、この要因による割り込み要求はITCに送られません。

* **T16IE**: 16-bit Timer Interrupt Enable Bit in the 16-bit Timer Ch.x Interrupt Control (T16_INTx) Register (D8/0x4228/0x4248/0x4268)

T16IFが1にセットされるとT16モジュールは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

- 注:
- 16ビットタイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T16モジュール内の割り込みフラグT16IFをリセットする必要があります。
 - 不要な割り込みの発生を防止するため、T16IEによって16ビットタイマ割り込みを許可する前に、T16IFをリセットしてください。

割り込みベクタ

タイマ割り込みのベクタ番号とベクタアドレスは以下のとおりです。

表11.8.1 タイマ割り込みベクタ

タイマチャンネル	ベクタ番号	ベクタアドレス
16ビットタイマCh.0	13 (0x0d)	TTBR + 0x34
16ビットタイマCh.1	14 (0x0e)	TTBR + 0x38
16ビットタイマCh.2	15 (0x0f)	TTBR + 0x3c

その他の割り込み設定

ITCでは16ビットタイマ割り込みの優先順位をチャンネルごとにレベル0(デフォルト)～レベル7に設定可能です。また、実際に割り込みを発生させるにはPSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットを1に設定しておく必要があります。

割り込み処理の詳細については、“6 割り込みコントローラ(ITC)”を参照してください。

11.9 制御レジスタ詳細

表11.9.1 16ビットタイマレジスタ一覧

アドレス	レジスタ名		機能
0x4220	T16_CLK0	16-bit Timer Ch.0 Input Clock Select Register	プリスケアラ出力クロックの選択
0x4222	T16_TR0	16-bit Timer Ch.0 Reload Data Register	リロードデータの設定
0x4224	T16_TC0	16-bit Timer Ch.0 Counter Data Register	カウンタデータ
0x4226	T16_CTL0	16-bit Timer Ch.0 Control Register	タイマモードの設定とタイマのRUN/STOP
0x4228	T16_INT0	16-bit Timer Ch.0 Interrupt Control Register	割り込みの制御
0x4240	T16_CLK1	16-bit Timer Ch.1 Input Clock Select Register	プリスケアラ出力クロックの選択
0x4242	T16_TR1	16-bit Timer Ch.1 Reload Data Register	リロードデータの設定
0x4244	T16_TC1	16-bit Timer Ch.1 Counter Data Register	カウンタデータ
0x4246	T16_CTL1	16-bit Timer Ch.1 Control Register	タイマモードの設定とタイマのRUN/STOP
0x4248	T16_INT1	16-bit Timer Ch.1 Interrupt Control Register	割り込みの制御
0x4260	T16_CLK2	16-bit Timer Ch.2 Input Clock Select Register	プリスケアラ出力クロックの選択
0x4262	T16_TR2	16-bit Timer Ch.2 Reload Data Register	リロードデータの設定
0x4264	T16_TC2	16-bit Timer Ch.2 Counter Data Register	カウンタデータ
0x4266	T16_CTL2	16-bit Timer Ch.2 Control Register	タイマモードの設定とタイマのRUN/STOP
0x4268	T16_INT2	16-bit Timer Ch.2 Interrupt Control Register	割り込みの制御

以下、16ビットタイマのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x4220/0x4240/0x4260: 16-bit Timer Ch.x Input Clock Select Registers (T16_CLKx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
16-bit Timer Ch.x Input Clock Select Register (T16_CLKx)	0x4220 0x4240 0x4260 (16 bits)	D15-4 D3-0	- DF[3:0]	reserved Timer input clock select (Prescaler output clock)	- DF[3:0] Clock	- 0x0	- R/W	0 when being read.
					0xf reserved			
					0xe PCLK•1/16384			
					0xd PCLK•1/8192			
					0xc PCLK•1/4096			
					0xb PCLK•1/2048			
					0xa PCLK•1/1024			
					0x9 PCLK•1/512			
					0x8 PCLK•1/256			
					0x7 PCLK•1/128			
					0x6 PCLK•1/64			
					0x5 PCLK•1/32			
					0x4 PCLK•1/16			
					0x3 PCLK•1/8			
					0x2 PCLK•1/4			
					0x1 PCLK•1/2			
					0x0 PCLK•1/1			

注: レジスタ名などの'x'はチャンネル番号の0~2を表します。

0x4220: 16-bit Timer Ch.0 Input Clock Select Register (T16_CLK0)

0x4240: 16-bit Timer Ch.1 Input Clock Select Register (T16_CLK1)

0x4260: 16-bit Timer Ch.2 Input Clock Select Register (T16_CLK2)

D[15:4] Reserved

D[3:0] DF[3:0]: Timer Input Clock Select Bits

15種類のプリスケアラ出カクロックから、16ビットタイマのカウントクロックを選択します。

表11.9.2 カウントクロックの選択

DF[3:0]	プリスケアラ出カクロック	DF[3:0]	プリスケアラ出カクロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

注: カウントクロックの設定は、16ビットタイマがカウント停止中に行ってください。

0x4222/0x4242/0x4262: 16-bit Timer Ch.x Reload Data Registers (T16_TRx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
16-bit Timer Ch.x Reload Data Register (T16_TRx)	0x4222 0x4242 0x4262 (16 bits)	D15-0	TR[15:0]	16-bit timer reload data TR15 = MSB TR0 = LSB	0x0 to 0xffff	0x0	R/W	

注: レジスタ名などの‘x’はチャンネル番号の0~2を表します。

0x4222: 16-bit Timer Ch.0 Reload Data Register (T16_TR0)

0x4242: 16-bit Timer Ch.1 Reload Data Register (T16_TR1)

0x4262: 16-bit Timer Ch.2 Reload Data Register (T16_TR2)

D[15:0] TR[15:0]: 16-bit Timer Reload Data

カウンタの初期値を設定します。(デフォルト: 0x0)

このレジスタに設定したリロードデータは、タイマがリセットされるか、カウンタがアンダーフローした時点でカウンタにプリセットされます。

16ビットタイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、任意の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

0x4224/0x4244/0x4264: 16-bit Timer Ch.x Counter Data Registers (T16_TCx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
16-bit Timer Ch.x Counter Data Register (T16_TCx)	0x4224 0x4244 0x4264 (16 bits)	D15-0	TC[15:0]	16-bit timer counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0xffff	R	

注: レジスタ名などの'x'はチャンネル番号の0~2を表します。

0x4224: 16-bit Timer Ch.0 Counter Data Register (T16_TC0)

0x4244: 16-bit Timer Ch.1 Counter Data Register (T16_TC1)

0x4264: 16-bit Timer Ch.2 Counter Data Register (T16_TC2)

D[15:0] TC[15:0]: 16-bit Timer Counter Data

カウンタデータが読み出せます。(デフォルト: 0xffff)

このレジスタはリードオンリのため、データの書き込みはできません。

0x4226/0x4246/0x4266: 16-bit Timer Ch.x Control Registers (T16_CTLx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
16-bit Timer Ch.x Control Register (T16_CTLx)	0x4226 0x4246 0x4266 (16 bits)	D15-11	–	reserved		–	–	0 when being read.
		D10	CKACTV	External clock active level select	1 High 0 Low	1	R/W	
		D9-8	CKSL[1:0]	Input clock and pulse width measurement mode select	CKSL[1:0] Mode	0x0	R/W	
					0x3 reserved 0x2 Pulse width 0x1 External clock 0x0 Internal clock			
		D7-5	–	reserved		–	–	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3-2	–	reserved		–	–	
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	

注: レジスタ名などの‘x’はチャンネル番号の0~2を表します。

0x4226: 16-bit Timer Ch.0 Control Register (T16_CTL0)

0x4246: 16-bit Timer Ch.1 Control Register (T16_CTL1)

0x4266: 16-bit Timer Ch.2 Control Register (T16_CTL2)

D[15:11] Reserved

D10 **CKACTV: External Clock Active Level Select Bit**

外部入力パルスの極性、または外部クロックのカウントエッジを選択します。

1(R/W): アクティブHigh/立ち上がりエッジ(デフォルト)

0(R/W): アクティブLow/立ち下がりエッジ

外部クロックモード時(CKSL[1:0] = 0x1)は、外部入力クロックの立ち上がりエッジまたは立ち下がりエッジのどちらでカウントを行うか選択します。パルス幅測定モード時(CKSL[1:0] = 0x2)は、外部入力パルスの極性を選択します。

D[9:8] **CKSL[1:0]: Input Clock and Pulse Width Measurement Mode Select Bits**

16ビットタイマの動作モードを選択します。

表11.9.3 動作モードの選択

CKSL[1:0]	動作モード
0x3	Reserved
0x2	パルス幅測定モード
0x1	外部クロックモード
0x0	内部クロックモード

(デフォルト: 0x0)

内部クロックモードでは、プリスケアラ出力クロックをカウントクロックとして使用します。タイマはリロードデータレジスタに設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号は、割り込みの発生や内部シリアルインタフェース用のクロック生成に使用されます。プリスケアラクロックとカウンタ初期値の選択によってアンダーフロー発生までの時間を細かくプログラム可能なため、シリアル転送クロックの生成や単発的な時間計測等に有効です。

外部クロックモードでは、入出力ポート(Ch.0: P02、Ch.1: P13、Ch.2: P14)から入力したクロックやパルスのカウントクロックとして使用します。したがって、イベントカウンタとして使用可能です。入力クロック以外のタイマの動作は内部クロックモードと同じです。

パルス幅測定モードでは、指定極性のパルスが外部クロックポートから入力されると、その信号がアクティブな期間のみ内部クロックが供給され、カウントを行います。これにより、指定幅以上のパルス入力でも割り込みを発生させたり、入力パルス幅を測定したりすることができます。

D[7:5] Reserved

D4 TRMD: Count Mode Select Bit

16ビットタイマのカウンタモードを選択します。

1(R/W): ワンショットモード

0(R/W): リpeatモード(デフォルト)

TRMDを0に設定すると、16ビットタイマはリpeatモードに設定されます。このモードでは、カウンタを開始するとアプリケーションプログラムで停止するまで16ビットタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、16ビットタイマをこのモードに設定してください。

TRMDを1に設定すると、16ビットタイマはワンショットモードに設定されます。このモードでは、カウンタがアンダーフローした時点で16ビットタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合やパルス幅測定時などに、16ビットタイマをこのモードに設定してください。

D[3:2] Reserved**D1 PRESER: Timer Reset Bit**

16ビットタイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、リロードデータがカウンタにプリセットされます。

D0 PRUN: Timer Run/Stop Control Bit

タイマのRUN/STOPを制御します。

1(R/W): RUN

0(R/W): STOP(デフォルト)

タイマはPRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。

0x4228/0x4248/0x4268: 16-bit Timer Ch.x Interrupt Control Registers (T16_INTx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
16-bit Timer	0x4228	D15-9	–	reserved	–	–	–	0 when being read.
Ch.x Interrupt	0x4248	D8	T16IE	16-bit timer interrupt enable	1 Enable 0 Disable	0	R/W	
Control Register	0x4268	D7-1	–	reserved	–	–	–	0 when being read.
(T16_INTx)	(16 bits)	D0	T16IF	16-bit timer interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

注: レジスタ名などの'x'はチャンネル番号の0~2を表します。

0x4228: 16-bit Timer Ch.0 Interrupt Control Register (T16_INT0)

0x4248: 16-bit Timer Ch.1 Interrupt Control Register (T16_INT1)

0x4268: 16-bit Timer Ch.2 Interrupt Control Register (T16_INT2)

D[15:9] Reserved**D8 T16IE: 16-bit Timer Interrupt Enable Bit**

各チャンネルのカウンタアンダーフローによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

T16IEを1に設定するとITCへの16ビットタイマ割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D[7:1] Reserved**D0 T16IF: 16-bit Timer Interrupt Flag**

各チャンネルのカウンタアンダーフロー割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

T16IFはT16モジュールの割り込みフラグです。T16IE(D8)を1に設定しておくことにより、カウント中にカウンタがアンダーフローすると1にセットされます。同時に、ITCに対して16ビットタイマ割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

T16IFは1の書き込みによりリセットされます。

注: • 16ビットタイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T16モジュール内の割り込みフラグT16IFをリセットする必要があります。

- 不要な割り込みの発生を防止するため、T16IEによって16ビットタイマ割り込みを許可する前に、T16IFをリセットしてください。

11.10 注意事項

- 16ビットタイマを動作させるには、その前にプリスケータを動作させておく必要があります。
- カウントクロックとカウントモードの設定は、16ビットタイマがカウント停止中に行ってください。
- 16ビットタイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T16モジュール内の割り込みフラグT16IF(D0/T16_INTxレジスタ)をリセットする必要があります。
 - * **T16IF**: 16-bit Timer Interrupt Flag in the 16-bit Timer Ch.x Interrupt Control (T16_INTx) Register (D0/0x4228/0x4248/0x4268)
- 不要な割り込みの発生を防止するため、T16IE(D8/T16_INTxレジスタ)によって16ビットタイマ割り込みを許可する前に、T16IFをリセットしてください。
 - * **T16IE**: 16-bit Timer Interrupt Enable Bit in the 16-bit Timer Ch.x Interrupt Control (T16_INTx) Register (D8/0x4228/0x4248/0x4268)

12 8ビットタイマ(T8F)

12.1 8ビットタイマの概要

S1C17601はファインモード付き8ビットタイマを1チャンネル内蔵しています。

8ビットタイマは8ビットプリセットアップダウンカウンタとプリセット値を保持する8ビットリロードデータレジスタで構成されます。タイマはリロードデータレジスタに設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号は、割り込みの発生やUART用のクロック生成に使用されます。アンダーフロー周期はプリスケールクロックとリロードデータの選択によりプログラム可能なため、アプリケーションプログラムは任意の時間間隔やシリアル転送速度を得ることができます。ファインモードは、転送レートの誤差を最小限に抑える機能を提供します。

図12.1.1に8ビットタイマの構造を示します。

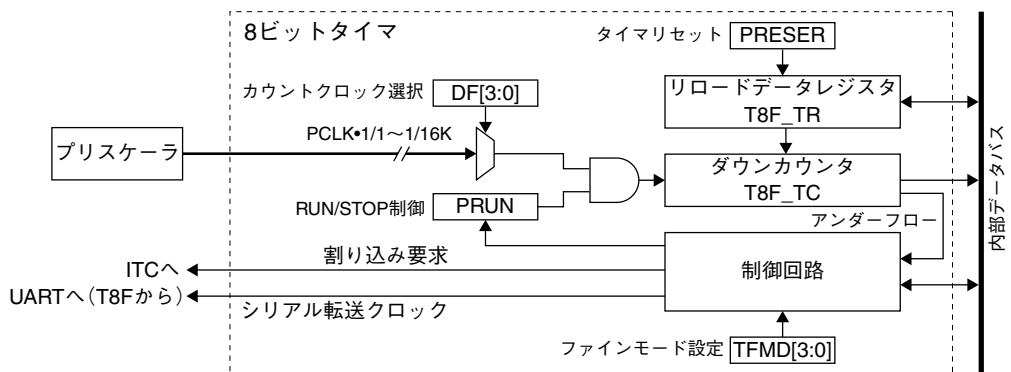


図12.1.1 8ビットタイマの構造

12.2 8ビットタイマのカウントモード

8ビットタイマはリピートモードとワンショットモードの2つのカウントモードを持っています。この選択は、TRMDビット(D4/T8F_CTLレジスタ)で行います。

* **TRMD**: Count Mode Select Bit in the 8-bit Timer Control (T8F_CTL) Register (D4/0x4206)

リピートモード(TRMD = 0、デフォルト)

TRMDを0に設定すると、8ビットタイマはリピートモードに設定されます。

このモードでは、カウントを開始するとアプリケーションプログラムで停止するまで8ビットタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、8ビットタイマをこのモードに設定してください。

ワンショットモード(TRMD = 1)

TRMDを1に設定すると、8ビットタイマはワンショットモードに設定されます。

このモードでは、カウンタがアンダーフローした時点で8ビットタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、8ビットタイマをこのモードに設定してください。

注: カウントモードの設定は、8ビットタイマがカウント停止中に行ってください。

12.3 カウントクロック

8ビットタイマはプリスケアラ出力クロックをカウントクロックとして使用します。プリスケアラはPCLKクロックを1/1~1/16Kに分周して15種類のクロックを生成します。この中の1つをDF[3:0]ビット(D[3:0]/T8F_CLKレジスタ)で選択します。

* **DF[3:0]**: Timer Input Clock Select Bits in the 8-bit Timer Input Clock Select (T8F_CLK) Register (D[3:0]/0x4200)

表12.3.1 カウントクロックの選択

DF[3:0]	プリスケアラ出力クロック	DF[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

注: • 8ビットタイマを動作させるには、その前にプリスケアラを動作させておく必要があります。

- カウントクロックの設定は、8ビットタイマがカウント停止中に行ってください。

プリスケアラの制御については、“9 プリスケアラ(PSC)”を参照してください。

12.4 8ビットタイマリロードレジスタとアンダーフロー周期

リロードデータレジスタT8F_TR(0x4202)は、ダウンカウンタに初期値をセットするために使用します。リロードデータレジスタに設定したカウンタ初期値は、8ビットタイマがリセットされるか、カウンタがアンダーフローした時点でダウンカウンタにプリセットされます。8ビットタイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、特定の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。



アンダーフロー周期は次のように計算できます。

$$\text{アンダーフロー期間} = \frac{T8F_TR + 1}{\text{clk_in}} \text{ [s]} \quad \text{アンダーフローサイクル} = \frac{\text{clk_in}}{T8F_TR + 1} \text{ [Hz]}$$

clk_in: カウントクロック(プリスケアラ出力クロック)周波数 [Hz]

T8F_TR: リロードデータ(0~255)

注: UARTは8ビットタイマの出力を1/16に分周してサンプリングクロックを生成します。転送レートを設定する際には注意してください。

12.5 8ビットタイマのリセット

8ビットタイマをリセットするには、PRESERビット(D1/T8F_CTLレジスタ)に1を書き込みます。リロードデータがプリセットされ、カウンタが初期化されます。

* **PRESER**: Timer Reset Bit in the 8-bit Timer Control (T8F_CTL) Register (D1/0x4206)

12.6 8ビットタイマRUN/STOP制御

8ビットタイマの動作を開始させる前に、以下の設定を行ってください。

- (1) カウントモード(ワンショットまたはリピート)を設定します。12.2節を参照してください。
- (2) カウントクロック(プリスケアラ出力クロック)を選択します。12.3節を参照してください。
- (3) カウンタ初期値を計算してリロードデータレジスタに設定します。12.4節を参照してください。
- (4) タイマをリセットして初期値をカウンタにプリセットします。12.5節を参照してください。
- (5) タイマ割り込みを使用する場合は、割り込みレベルを設定し、割り込みを許可します。12.9節を参照してください。

8ビットタイマの動作を開始させるには、PRUNビット(D0/T8F_CTLレジスタ)に1を書き込みます。

* **PRUN**: Timer Run/Stop Control Bit in the 8-bit Timer Control (T8F_CTL) Register (D0/0x4206)

タイマは初期値から、あるいは初期値をプリセットしなかった場合は現在のカウンタ値からカウントダウンを開始します。カウンタがアンダーフローすると、タイマはアンダーフローパルスを出力し、初期値を再びカウンタにプリセットします。これと同時に、割り込み要求が割り込みコントローラ(ITC)に送られます。

ワンショットモードに設定されている場合、タイマはカウントを停止します。

リピートモードに設定されている場合、タイマはリロードされた初期値からカウントを継続します。

アプリケーションプログラムから8ビットタイマを停止させるには、PRUNビットに0を書き込みます。カウンタはカウント動作を停止し、タイマのリセットまたは再スタートまで、現在のカウンタ値を保持します。初期値からカウントを再スタートさせる場合は、PRUNビットに1を書き込む前にタイマをリセットしてください。

カウント中にタイマのリセットを行うと、リロードレジスタ値がカウンタにロードされ、カウントが継続します。

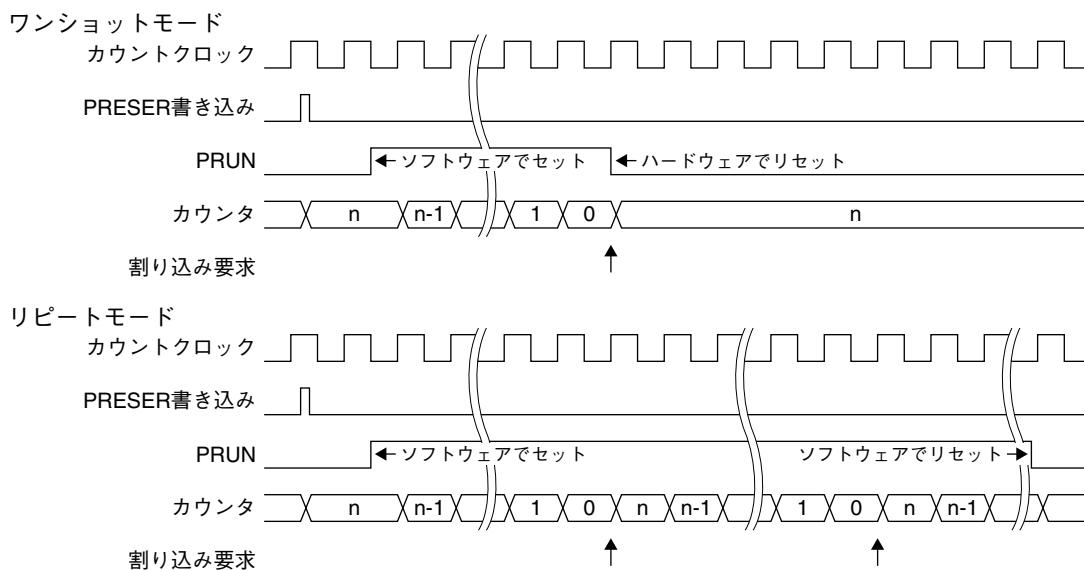


図12.6.1 カウント動作

12.7 8ビットタイマ出力信号

8ビットタイマはカウンタがアンダーフローするとアンダーフローパルスを出力します。
このパルスは、タイマ割り込み要求に使用されます。

また、アンダーフローパルスはシリアル転送クロックの生成にも使用され、UARTに送られます。

8ビットタイマ出力クロック → UART

希望の転送レートを得るためのリロードデータレジスタ値は次の式で計算できます。

$$\text{bps} = \frac{\text{clk_in}}{\{(T8F_TR + 1) \times 16 + \text{TFMD}\}}$$

$$T8F_TR = \left(\frac{\text{clk_in}}{\text{bps}} - \text{TFMD} - 16 \right) \div 16$$

clk_in: カウントクロック(プリスケアラ出力クロック)周波数 [Hz]

T8F_TR: リロードデータ(0~255)

bps: 転送レート(ビット/秒)

TFMD: ファインモード設定値(0~15)

12.8 ファインモード

ファインモードは、転送レートの誤差を最小限に抑える機能を提供します。

8ビットタイマはプログラマブルなクロックを出力可能で、その信号はUART Ch.0のシリアル転送クロックとして使用されます。プリスケアラ出力クロックとリロードデータの適切な選択により、タイマ出力クロックを希望の周波数に設定することができます。ただし、転送レートによっては誤差を生じます。ファインモードでは、カウンタによるアンダーフローパルスの出力を遅らせ、出力クロック周期を延ばします。この遅延量はTFMD[3:0]ビット(D[11:8]/T8F_CTLレジスタ)で指定できます。

* **TFMD[3:0]**: Fine Mode Setup Bits in the 8-bit Timer Control (T8F_CTL) Register (D[11:8]/0x4206)

TFMD[3:0]ビットは16アンダーフロー期間に挿入する遅延パターンを指定します。遅延の挿入1回につき、出力クロック周期はカウントクロック1サイクル分延長されます。この設定により、割り込みタイミングも同様に遅延します。

表12.8.1 TFMD[3:0]で指定する遅延パターン

TFMD[3:0]	アンダーフロー番号															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0x0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
0x1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	D
0x2	-	-	-	-	-	-	-	-	D	-	-	-	-	-	-	D
0x3	-	-	-	-	-	-	-	-	D	-	-	-	D	-	-	D
0x4	-	-	-	D	-	-	-	D	-	-	-	D	-	-	-	D
0x5	-	-	-	D	-	-	-	D	-	-	-	D	-	D	-	D
0x6	-	-	-	D	-	D	-	D	-	-	-	D	-	D	-	D
0x7	-	-	-	D	-	D	-	D	-	D	-	D	-	D	-	D
0x8	-	D	-	D	-	D	-	D	-	D	-	D	-	D	-	D
0x9	-	D	-	D	-	D	-	D	-	D	-	D	-	D	D	D
0xa	-	D	-	D	-	D	D	D	-	D	-	D	-	D	D	D
0xb	-	D	-	D	-	D	D	D	-	D	D	D	-	D	D	D
0xc	-	D	D	D	-	D	D	D	-	D	D	D	-	D	D	D
0xd	-	D	D	D	-	D	D	D	-	D	D	D	D	D	D	D
0xe	-	D	D	D	D	D	D	D	-	D	D	D	D	D	D	D
0xf	-	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D

D: 遅延サイクルが挿入されることを示します。

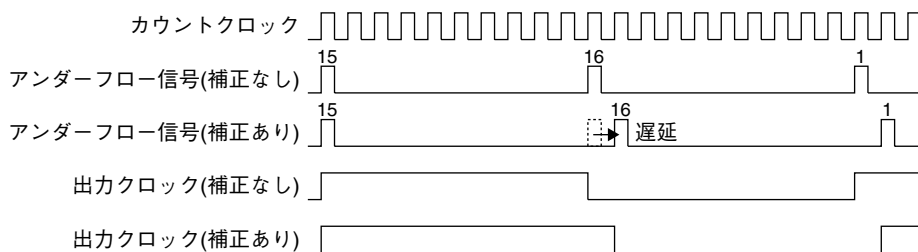


図12.8.1 ファインモードでの遅延サイクルの挿入

イニシャルリセット時、TFMD[3:0]は0x0に設定され、遅延サイクルは挿入されません。

12.9 8ビットタイマ割り込み

8ビットタイマは、カウンタのアンダーフローにより、割り込み要求を割り込みコントローラ(ITC)に出力します。

アンダーフロー割り込み

この割り込み要求は、カウンタのアンダーフローにより発生し、T8Fモジュール内の割り込みフラグT8IF(D0/T8F_INTレジスタ)を1にセットします。

* **T8IF**: 8-bit Timer Interrupt Flag in the 8-bit Timer Interrupt Control (T8F_INT) Register (D0/0x4208)

この割り込みを使用するには、T8IE(D8/T8F_INTレジスタ)を1に設定します。T8IEが0(デフォルト)に設定されているとT8IFは1にセットされず、この要因による割り込み要求はITCに送られません。

* **T8IE**: 8-bit Timer Interrupt Enable Bit in the 8-bit Timer Interrupt Control (T8F_INT) Register (D8/0x4208)

T8IFが1にセットされるとT8Fモジュールは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

注: • 8ビットタイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T8Fモジュール内の割り込みフラグT8IFをリセットする必要があります。

- 不要な割り込みの発生を防止するため、T8IEによって8ビットタイマ割り込みを許可する前に、T8IFをリセットしてください。

割り込みベクタ

8ビットタイマ割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号: 12(0x0c)

ベクタアドレス: TTBR + 0x30

その他の割り込み設定

ITCでは8ビットタイマ割り込みの優先順位をレベル0(デフォルト)～レベル7に設定可能です。また、実際に割り込みを発生させるにはPSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットを1に設定しておく必要があります。

割り込み処理の詳細については、“6 割り込みコントローラ(ITC)”を参照してください。

12.10 制御レジスタ詳細

表12.10.1 8ビットタイマレジスタ一覧

アドレス	レジスタ名		機能
0x4200	T8F_CLK	8-bit Timer Input Clock Select Register	プリスケアラ出カクロックの選択
0x4202	T8F_TR	8-bit Timer Reload Data Register	リロードデータの設定
0x4204	T8F_TC	8-bit Timer Counter Data Register	カウンタデータ
0x4206	T8F_CTL	8-bit Timer Control Register	タイマモードの設定とタイマのRUN/STOP
0x4208	T8F_INT	8-bit Timer Interrupt Control Register	割り込みの制御

以下、8ビットタイマのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x4200: 8-bit Timer Input Clock Select Register (T8F_CLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks		
8-bit Timer Input Clock Select Register (T8F_CLK)	0x4200 (16 bits)	D15-4	–	reserved	–	–	–	0 when being read.		
		D3-0	DF[3:0]	Timer input clock select (Prescaler output clock)	DF[3:0]	Clock	0x0	R/W		
						0xf	reserved			
						0xe	PCLK•1/16384			
						0xd	PCLK•1/8192			
						0xc	PCLK•1/4096			
						0xb	PCLK•1/2048			
						0xa	PCLK•1/1024			
						0x9	PCLK•1/512			
						0x8	PCLK•1/256			
						0x7	PCLK•1/128			
						0x6	PCLK•1/64			
						0x5	PCLK•1/32			
						0x4	PCLK•1/16			
						0x3	PCLK•1/8			
						0x2	PCLK•1/4			
				0x1	PCLK•1/2					
				0x0	PCLK•1/1					

D[15:4] Reserved

D[3:0] DF[3:0]: Timer Input Clock Select Bits

15種類のプリスケアラ出力クロックから、8ビットタイマのカウントクロックを選択します。

表12.10.2 カウントクロックの選択

DF[3:0]	プリスケアラ出力クロック	DF[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

注: カウントクロックの設定は、8ビットタイマがカウント停止中に行ってください。

0x4202: 8-bit Timer Reload Data Register (T8F_TR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
8-bit Timer Reload Data Register (T8F_TR)	0x4202 (16 bits)	D15-8	–	reserved	–	–	–	0 when being read.
		D7-0	TR[7:0]	8-bit timer reload data TR7 = MSB TR0 = LSB	0x0 to 0xff	0x0	R/W	

D[15:8] Reserved**D[7:0] TR[7:0]: 8-bit Timer Reload Data**

カウンタの初期値を設定します。(デフォルト: 0x0)

このレジスタに設定したリロードデータは、タイマがリセットされるか、カウンタがアンダーフローした時点でカウンタにプリセットされます。

8ビットタイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、任意の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

0x4204: 8-bit Timer Counter Data Register (T8F_TC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
8-bit Timer Counter Data Register (T8F_TC)	0x4204 (16 bits)	D15-8	–	reserved	–	–	–	0 when being read.
		D7-0	TC[7:0]	8-bit timer counter data TC7 = MSB TC0 = LSB	0x0 to 0xff	0xff	R	

D[15:8] Reserved**D[7:0] TC[7:0]: 8-bit Timer Counter Data**

カウンタデータが読み出せます。(デフォルト: 0xff)

このレジスタはリードオンリのため、データの書き込みはできません。

0x4206: 8-bit Timer Control Register (T8F_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
8-bit Timer Control Register (T8F_CTL)	0x4206 (16 bits)	D15-12	-	reserved	-	-	-	0 when being read.
		D11-8	TFMD[3:0]	Fine mode setup	0x0 to 0xf	0x0	R/W	Set a number of times to insert delay into a 16-underflow period.
		D7-5	-	reserved	-	-	-	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3-2	-	reserved	-	-	-	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	

D[15:12] Reserved

D[11:8] TFMD[3:0]: Fine Mode Setup Bits

転送レートの誤差を補正します。(デフォルト: 0x0)

TFMD[3:0]ビットは16アンダーフロー期間に挿入する遅延パターンを指定します。遅延の挿入1回につき、出力クロック周期はカウントクロック1サイクル分延長されます。この設定により、割り込みタイミングも同様に遅延します。

表12.10.3 TFMD[3:0]で指定する遅延パターン

TFMD[3:0]	アンダーフロー番号															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0x0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
0x1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	D
0x2	-	-	-	-	-	-	-	D	-	-	-	-	-	-	-	D
0x3	-	-	-	-	-	-	-	D	-	-	-	D	-	-	-	D
0x4	-	-	-	D	-	-	-	D	-	-	-	D	-	-	-	D
0x5	-	-	-	D	-	-	-	D	-	-	-	D	-	D	-	D
0x6	-	-	-	D	-	D	-	D	-	-	-	D	-	D	-	D
0x7	-	-	-	D	-	D	-	D	-	D	-	D	-	D	-	D
0x8	-	D	-	D	-	D	-	D	-	D	-	D	-	D	-	D
0x9	-	D	-	D	-	D	-	D	-	D	-	D	-	D	D	D
0xa	-	D	-	D	-	D	D	D	-	D	-	D	-	D	D	D
0xb	-	D	-	D	-	D	D	D	-	D	D	D	-	D	D	D
0xc	-	D	D	D	-	D	D	D	-	D	D	D	-	D	D	D
0xd	-	D	D	D	-	D	D	D	-	D	D	D	D	D	D	D
0xe	-	D	D	D	D	D	D	D	-	D	D	D	D	D	D	D
0xf	-	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D

D: 遅延サイクルが挿入されることを示します。

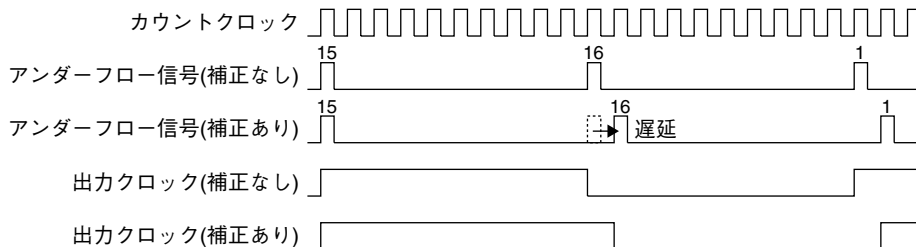


図12.10.1 ファインモードでの遅延サイクルの挿入

D[7:5] Reserved

D4 TRMD: Count Mode Select Bit

8ビットタイマのカウンタモードを選択します。

1(R/W): ワンショットモード

0(R/W): リピートモード(デフォルト)

TRMDを0に設定すると、8ビットタイマはリピートモードに設定されます。このモードでは、カウンタを開始するとアプリケーションプログラムで停止するまで8ビットタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、8ビットタイマをこのモードに設定してください。

TRMDを1に設定すると、8ビットタイマはワンショットモードに設定されます。このモードでは、カウンタがアンダーフローした時点で8ビットタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、8ビットタイマをこのモードに設定してください。

注: カウンタモードの設定は、8ビットタイマがカウンタ停止中に行ってください。

D[3:2] Reserved**D1 PRESER: Timer Reset Bit**

8ビットタイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、リロードデータがカウンタにプリセットされます。

D0 PRUN: Timer Run/Stop Control Bit

タイマのRUN/STOPを制御します。

1(R/W): RUN

0(R/W): STOP(デフォルト)

タイマはPRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。

0x4208: 8-bit Timer Interrupt Control Register (T8F_INT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
8-bit Timer Interrupt Control Register (T8F_INT)	0x4208 (16 bits)	D15-9	—	reserved	—	—	—	0 when being read.
		D8	T8IE	8-bit timer interrupt enable	1 Enable 0 Disable	0	R/W	
		D7-1	—	reserved	—	—	—	0 when being read.
		D0	T8IF	8-bit timer interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

D[15:9] Reserved**D8 T8IE: 8-bit Timer Interrupt Enable Bit**

各チャンネルのカウンタアンダーフローによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

T8IEを1に設定するとITCへの8ビットタイマ割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D[7:1] Reserved**D0 T8IF: 8-bit Timer Interrupt Flag**

各チャンネルのカウンタアンダーフロー割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

T8IFはT8Fモジュールの割り込みフラグです。T8IE(D8)を1に設定しておくことにより、カウント中にカウンタがアンダーフローすると1にセットされます。同時に、ITCに対して8ビットタイマ割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

T8IFは1の書き込みによりリセットされます。

- 注:
- 8ビットタイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T8Fモジュール内の割り込みフラグT8IFをリセットする必要があります。
 - 不要な割り込みの発生を防止するため、T8IEによって8ビットタイマ割り込みを許可する前に、T8IFをリセットしてください。

12.11 注意事項

- 8ビットタイマを動作させるには、その前にプリスケータを動作させておく必要があります。
- カウントクロックとカウントモードの設定は、8ビットタイマがカウント停止中に行ってください。
- 8ビットタイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T8Fモジュール内の割り込みフラグT8IF(D0/T8F_INTレジスタ)をリセットする必要があります。
 - * **T8IF**: 8-bit Timer Interrupt Flag in the 8-bit Timer Interrupt Control (T8F_INT) Register (D0/0x4208)
- 不要な割り込みの発生を防止するため、T8IE(D8/T8F_INTレジスタ)によって8ビットタイマ割り込みを許可する前に、T8IFをリセットしてください。
 - * **T8IE**: 8-bit Timer Interrupt Enable Bit in the 8-bit Timer Interrupt Control (T8F_INT) Register (D8/0x4208)

13 PWMタイマ (T16E)

13.1 PWMタイマの概要

S1C17601はPWMタイマを2チャンネル内蔵しています。

図13.1.1にPWMタイマの構造を示します。

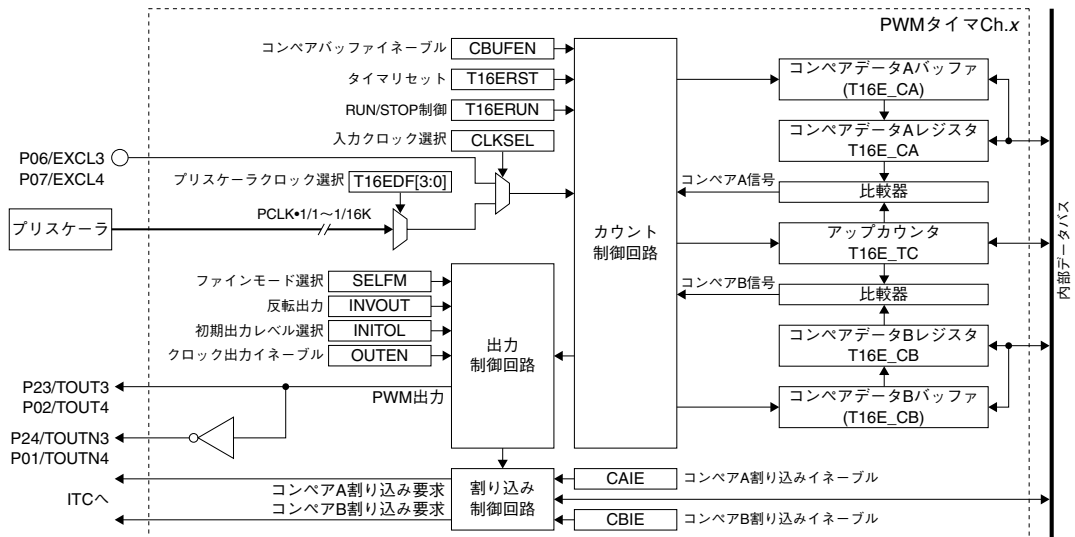


図13.1.1 PWMタイマの構造

PWMタイマの各チャンネルには、16ビットのアップカウンタ (T16E_TCレジスタ)、2つの16ビットコンペアデータレジスタ (T16E_CAレジスタ、T16E_CBレジスタ) とそのバッファが設けられています。

16ビットカウンタはソフトウェアで0にリセットおよびカウンタ値のセットが可能で、プリスケアラ出力クロックまたは入出力ポート端子 (EXCLx) からの外部信号でカウントアップを行います。カウント値はソフトウェアで読み出すことができます。

コンペアデータAおよびBレジスタはアップカウンタの内容と比較するためのデータを格納するレジスタです。コンペアデータレジスタは、直接データの書き込み/読み出しが可能です。また、コンペアデータバッファを使用すると、カウンタがソフトウェアまたはコンペアBマッチ信号によってリセットされた時点で設定した比較値をコンペアデータレジスタにロードすることができます。比較値をコンペアデータレジスタとバッファのどちらに書き込むかについては、ソフトウェアで設定可能です。

カウンタ値が各コンペアデータレジスタの内容に一致すると比較器によって信号が出力され、割り込みや出力信号を制御します。したがって、これらのレジスタにより割り込みの発生周期や出力クロックの周波数とデューティ比をプログラマブルに設定することができます。

注: 2チャンネルのPWMタイマは、制御レジスタのアドレスを除きすべて同じ機能を持っていますので、本節内の説明はPWMタイマの全チャンネルに適用されます。レジスタ名の 'x' はチャンネル番号 (0または1) を表します。また、レジスタのアドレスは (Ch.0/Ch.1) のように記述されています。

例: T16E_CTLxレジスタ (0x5306/0x5366)

Ch.0: T16E_CTL0レジスタ (0x5306)

Ch.1: T16E_CTL1レジスタ (0x5366)

13.2 PWMタイマの動作モード

PWMタイマには2つの動作モードがあります。

1. 内部クロックモード (内部クロックをカウントするタイマ)
2. 外部クロックモード (イベントカウンタとして機能)

いずれか1つをCLKSEL (D3/T16E_CTLxレジスタ)で選択します。

* **CLKSEL**: Input Clock Select Bit in the PWM Timer Ch.x Control (T16E_CTLx) Register (D3/0x5306/0x5366)

CLKSELが0(デフォルト)の場合は内部クロックモード、1に設定すると外部クロックモードになります。

内部クロックモード

内部クロックモードでは、プリスケアラ出力クロックをカウントクロックとして使用します。

カウントクロックは、プリスケアラがPCLKクロックを1/1~1/16Kに分周して生成した15種類の中から1つをT16EDF[3:0] (D[3:0]/T16E_CLKxレジスタ)で選択します。

* **T16EDF[3:0]**: Timer Input Clock Select Bits in the PWM Timer Ch.x Input Clock Select (T16E_CLKx) Register (D[3:0]/0x5308/0x5368)

表13.2.1 プリスケアラクロックの選択

T16EDF[3:0]	プリスケアラ出力クロック	T16EDF[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

注: • PWMタイマを内部クロックモードで動作させるには、その前にプリスケアラを動作させておく必要があります。

- カウントクロックの設定は、PWMタイマがカウント停止中に行ってください。

プリスケアラの制御については“9 プリスケアラ (PSC)”を参照してください。

外部クロックモード

外部クロックモードでは、チャンネル0がP06 (EXCL3)ポート、チャンネル1がP07 (EXCL4)ポートから入力したクロックやパルスのカウントクロックとして使用します。したがって、イベントカウンタとして使用可能です。入力クロック以外のタイマの動作は内部クロックモードと同じです。

P06/07ポートからEXCL3/4クロックを入力するには、P06MUX (D5-4/P0_PMUXレジスタ)または、P07MUX (D7-6/P0_PMUXレジスタ)に0を書き込み、端子の機能を変更しかつ、入力モードにしておく必要があります。

* **P06MUX**: P06 Port Function Select Bit in the P0 Port Function Select (P0_PMUX) Register (D5-4/0x52a1)

* **P07MUX**: P07 Port Function Select Bit in the P0 Port Function Select (P0_PMUX) Register (D7-6/0x52a1)

PWMタイマは入力信号の立ち上がりエッジでカウントアップします。

PWMタイマは、このモードではプリスケアラを使用しません。他にプリスケアラクロックを使用する周辺モジュールがない場合はプリスケアラを停止して消費電流を低減できます。

外部クロックの入力規定は“28.11 外部クロック入力特性”を参照してください。

13.3 カウンタ値のセット/リセット

PWMタイマのカウンタをリセットするには、T16ERSTビット(D1/T16E_CTLxレジスタ)に1を書き込みます。カウンタが0に初期化されます。

* **T16ERST**: Timer Reset Bit in the PWM Timer Ch.x Control (T16E_CTLx) Register (D1/0x5306/0x5366)

通常は、カウントアップを開始する前に、このビットに1を書き込みカウンタをリセットします。カウント開始後は、カウンタがコンペアデータBに一致するとハードウェアによってリセットされます。

また、T16ETC[15:0](D[15:0]/T16E_TCxレジスタ)にデータを書き込むことにより、カウンタに任意の値をセットすることもできます。

* **T16ETC[15:0]**: Counter Data in the PWM Timer Ch.x Counter Data (T16E_TCx) Register (D[15:0]/0x5304/0x5364)

13.4 コンペアデータの設定

コンペアデータレジスタ/バッファの選択

PWMタイマにはデータの比較器が内蔵されており、カウントデータを任意の値と比較することができます。この比較データを格納するレジスタがコンペアデータAレジスタとコンペアデータBレジスタです。コンペアデータレジスタは直接データの書き込み/読み出しが可能です。

また、コンペアデータバッファを使用すると、カウンタがソフトウェア(T16ERSTへの1書き込み)またはコンペアBマッチ信号によってリセットされた時点で、バッファに設定した比較値を自動的にコンペアデータレジスタにロードすることができます。比較値をコンペアデータレジスタとバッファのどちらに書き込むかについては、CBUFEN(D5/T16E_CTLxレジスタ)で設定します。

* **CBUFEN**: Comparison Buffer Enable Bit in the PWM Timer Ch.x Control (T16E_CTLx) Register (D5/0x5306/0x5366)

CBUFENに1を書き込むとコンペアデータバッファ、0を書き込むとコンペアデータレジスタが選択されます。イニシャルリセット時は、コンペアデータレジスタが選択されます。

コンペアデータの書き込み

コンペアデータAはT16ECA[15:0](D[15:0]/T16E_CAxレジスタ)に、コンペアデータBはT16ECB[15:0](D[15:0]/T16E_CBxレジスタ)に書き込みます。

* **T16ECA[15:0]**: Compare Data A in the PWM Timer Ch.x Compare Data A (T16E_CAx) Register (D[15:0]/0x5300/0x5360)

* **T16ECB[15:0]**: Compare Data B in the PWM Timer Ch.x Compare Data B (T16E_CBx) Register (D[15:0]/0x5302/0x5362)

CBUFENが0に設定されている場合、これらのレジスタによりコンペアデータレジスタ値が直接読み出し/書き込み可能です。

CBUFENが1に設定されている場合、これらのレジスタへのデータ書き込み/読み出しはコンペアデータバッファに対して行われます。バッファの内容はカウンタがリセットされた時点でコンペアデータレジスタにロードされます。

イニシャルリセット時、コンペアデータレジスタ/バッファは0x0に設定されます。

タイマはコンペアデータレジスタとカウントデータを比較し、同じ値になったところでコンペアマッチ信号を発生します。このコンペアマッチ信号は割り込みを発生するとともに外部へのクロック(TOUTx/TOUTNx信号)出力を制御します。

コンペアデータBはカウンタのリセット周期も決定します。

カウンタのリセット周期は次のように計算できます。

$$\text{カウンタリセット期間} = \frac{\text{CB} + 1}{\text{clk_in}} \text{ [s]}$$

$$\text{カウンタリセット周期} = \frac{\text{clk_in}}{\text{CB} + 1} \text{ [Hz]}$$

CB: コンペアデータB(T16E_CBxレジスタ値)

clk_in: プリスケアラ出力クロック周波数

13.5 PWMタイマRUN/STOP制御

PWMタイマの動作を開始させる前に、以下の設定を行ってください。

- (1) 動作モード(入力クロック)を設定します。13.2節を参照してください。
- (2) クロック出力の設定を行います。13.6節を参照してください。
- (3) 割り込みを使用する場合は、割り込みレベルを設定し、PWMタイマの割り込みを許可します。13.7節を参照してください。
- (4) カウンタに値をセット、または0にリセットします。13.3節を参照してください。
- (5) コンペアデータを設定します。13.4節を参照してください。

PWMタイマには、Run/Stopを制御するT16ERUN(D0/T16E_CTLxレジスタ)が設けられています。

* **T16ERUN**: Timer Run/Stop Control Bit in the PWM Timer Ch.x Control (T16E_CTLx) Register (D0/0x5306/0x5366)

タイマはT16ERUNに1を書き込むことによってカウントを開始します。T16ERUNに0を書き込むとクロックの入力が禁止され、カウントは停止します。

この制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

T16ERUNとT16ERSTに同時に1を書き込んだ場合、タイマはカウンタをリセット後にカウントを開始します。

カウント中にカウンタがコンペアデータAレジスタの設定値と一致すると、コンペアAマッチ信号が出力され、コンペアA割り込み要因が発生します。

また、カウンタがコンペアデータBレジスタの設定値と一致すると、コンペアBマッチ信号が出力され、コンペアB割り込み要因が発生します。同時にカウンタが0にリセットされます。CBUFENが1に設定されている場合は、コンペアデータバッファに設定してある値がコンペアデータレジスタにロードされます。

割り込みを許可している場合は、割り込み要求が割り込みコントローラ(ITC)に送られます。

どちらの場合もカウント動作はそのまま継続します。コンペアBの場合はカウンタ値0からのカウントとなります。

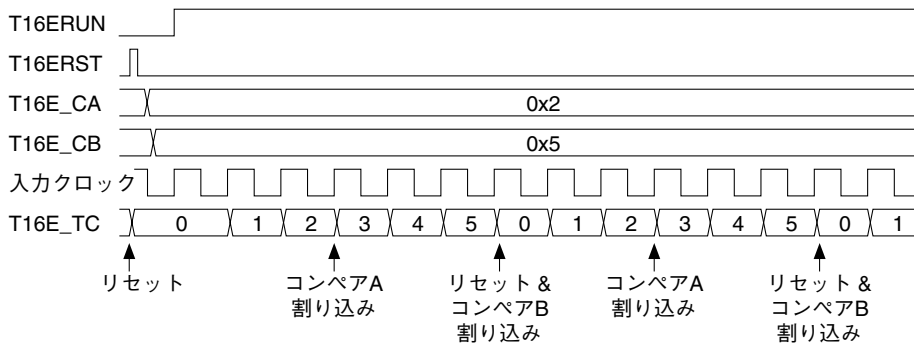


図13.5.1 カウンタの基本動作タイミング

13.6 クロック出力の制御

PWMタイマは、コンペアマッチ信号によってTOUT_x/TOUTN_x信号を発生させることができます。図13.6.1にPWMタイマのクロック出力回路を示します。

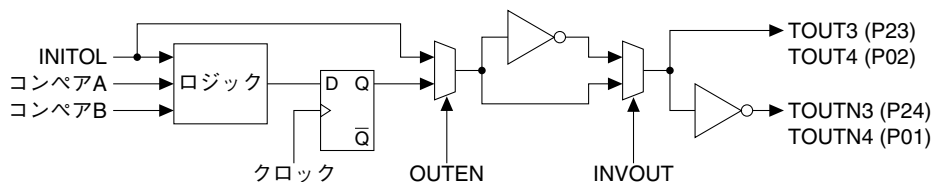


図13.6.1 PWMタイマのクロック出力回路

初期出力レベルの設定

TOUT_xクロック出力がOffの状態でのデフォルト出力レベルは0(Lowレベル)です(TOUTN_x出力はHighレベル)。これをINITOL(D8/T16E_CTL_xレジスタ)で1(TOUT_x = Highレベル、TOUTN_x = Lowレベル)に変更することができます。

* **INITOL**: Initial Output Level Select Bit in the PWM Timer Ch.x Control (T16E_CTL_x) Register (D8/0x5306/0x5366)

INITOLが0(デフォルト)の場合、TOUT_xの初期出力レベルはLow(TOUTN_x出力はHigh)です。1に設定すると、初期出力レベルはHigh(TOUTN_x出力はLow)になります。

出力信号の極性選択

デフォルトでは、アクティブHigh(ノーマルLow)のTOUT_x出力信号が生成されます(TOUTN_x出力信号はアクティブLow)。この論理をINVOUT(D4/T16E_CTL_xレジスタ)で反転させることができます。INVOUTに1を書き込むと、タイマはアクティブLow(ノーマルHigh)のTOUT_x信号(TOUTN_x信号はアクティブHigh)を生成します。

* **INVOUT**: Inverse Output Control Bit in the PWM Timer Ch.x Control (T16E_CTL_x) Register (D4/0x5306/0x5366)

INVOUTを1に設定すると、INITOLで設定した初期出力レベルも反転します。出力波形については図13.6.2を参照してください。

出力端子の設定

ここで発生したTOUT_x/TOUTN_x信号は、以下の端子から出力可能で、外部デバイス等に対してプログラマブルなクロックやPWM信号を供給することができます。

Ch.0: TOUT3出力 → TOUT3 (P23) 端子、TOUTN3出力 → TOUTN3 (P24) 端子

Ch.1: TOUT4出力 → TOUT4 (P02) 端子、TOUTN4出力 → TOUTN4 (P01) 端子

イニシャルリセット時、出力に使用する端子は入出力ポート用に設定され、入力モードとなります。このときの端子の状態はハイインピーダンスとなります。

端子機能をTOUT_x/TOUTN_x出力に切り換えると、INITOLおよびINVOUTの設定に従ったレベルの出力を行います。タイマ出力を開始後、カウンタ値によって変化するまで出力はこのレベルに保たれます。

表13.6.1 初期出力レベル

INITOL	INVOUT	初期出力レベル
1	1	Low
1	0	High
0	1	High
0	0	Low

クロック出力の開始

TOUT_xクロックを出力するには、OUTEN(D2/T16E_CTL_xレジスタ)に1を書き込みます。OUTENに0を書き込むと、出力はINITOLおよびINVOUTの設定値に従った初期出力レベルとなります。

* **OUTEN**: Clock Output Enable Bit in the PWM Timer Ch.x Control (T16E_CTL_x) Register (D2/0x5306/0x5366)

図13.6.2に出力波形を示します。

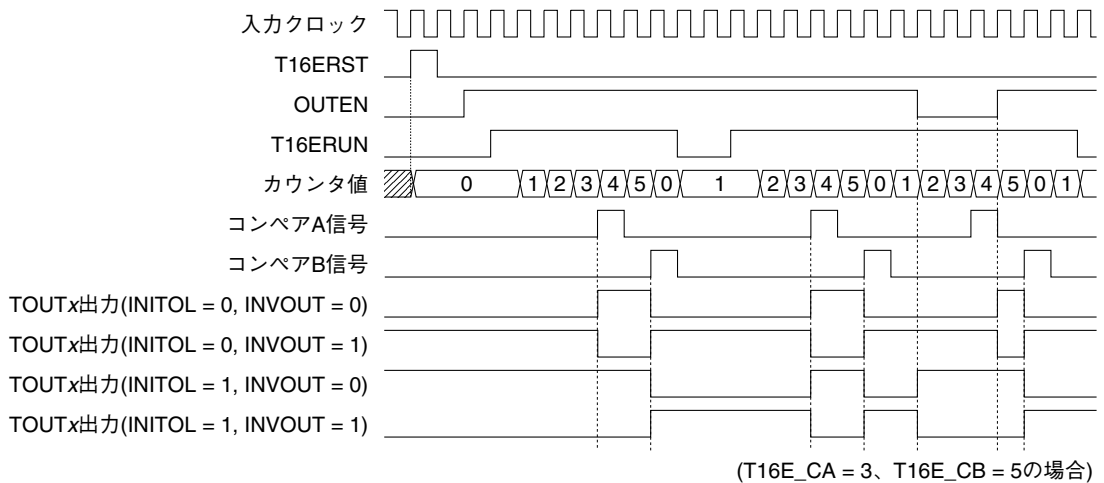


図13.6.2 PWMタイマの出力波形

INVOUT = 0 (アクティブHigh) の場合のTOUT_x出力

タイマは、カウンタがT16E_CA_xレジスタ(0x5300/0x5360)に設定したコンペアデータAに一致するまでLowレベル(出力開始時は初期出力レベル)を出力します。カウンタがコンペアデータAの次の値になると、出力端子はHighレベルとなりコンペアA割り込み要因が発生します。その後、カウンタがT16E_CB_xレジスタ(0x5302/0x5362)に設定したコンペアデータBまでカウントアップされると、カウンタがリセットされ、出力端子はLowレベルに戻ります。同時にコンペアB割り込み要因も発生します。

TOUTN_x端子は、上記の反転信号を出力します。

INVOUT = 1 (アクティブLow) の場合のTOUT_x出力

タイマは、カウンタがT16E_CA_xレジスタ(0x5300/0x5360)に設定したコンペアデータAに一致するまでHighレベル(出力開始時は初期出力レベルの反転値)を出力します。カウンタがコンペアデータAの次の値になると、出力端子はLowレベルとなりコンペアA割り込み要因が発生します。その後、カウンタがT16E_CB_xレジスタ(0x5302/0x5362)に設定したコンペアデータBまでカウントアップされると、カウンタがリセットされ、出力端子はHighレベルに戻ります。同時にコンペアB割り込み要因も発生します。

TOUTN_x端子は、上記の反転信号を出力します。

クロック出力ファインモードの設定

デフォルト設定では、コンペアデータAとカウンタ値が一致した場合、入力クロックの立ち上がりでクロック出力が変化します。

ファインモードのクロック出力は、コンペアデータAレジスタT16ECA0[15:1]とカウンタデータレジスタT16ETC[14:0]が一致した場合に、コンペアデータAのビット0(T16ECA0)の値に従って変化します。

T16ECA0が0の場合: 入力クロックの立ち上がりで変化

T16ECA0が1の場合: 半周期遅れの入力クロックの立ち下がりで変化

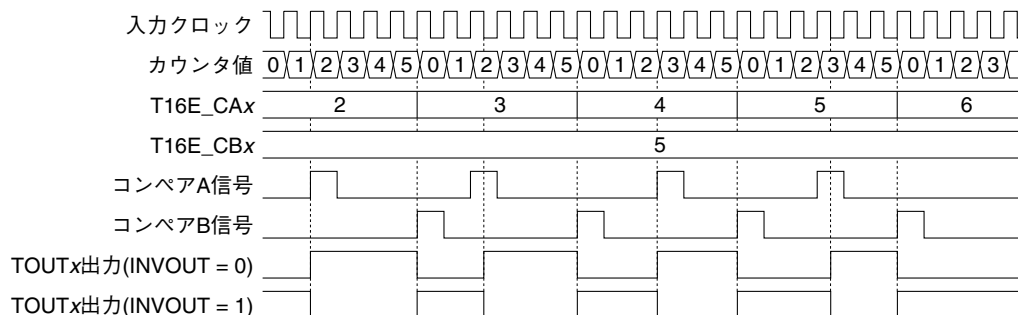


図13.6.3 ファインモードのクロック出力

このように、ファインモードでは入力クロックの半周期きざみで出力デューティを調節することができます。ただし、コンペアデータA = 0の場合は、入力クロックの1周期幅のパルスが出力されます(デフォルトの場合と同様)。ファインモードでのコンペアデータBの最大値は $2^{15} - 1 = 32,767$ 、コンペアデータAの設定範囲は $0 \sim (2 \times \text{コンペアデータB} - 1)$ となります。

ファインモードはSELFM(D6/T16E_CTLxレジスタ)で設定します。

* SELFM: Fine Mode Select Bit in the PWM Timer Ch.x Control (T16E_CTLx) Register (D6/0x5306/0x5366)

SELFMに1を書き込むと、ファインモードが設定されます。イニシャルリセット時はファインモードがディセーブル状態となります。

注意事項

- (1) タイマ出力を使用する場合、コンペアデータは $A \geq 0$ 、 $B \geq 1$ を設定してください。最小設定は $A = 0$ 、 $B = 1$ で、タイマ出力サイクルは入力クロックの1/2となります。
- (2) コンペアデータを $A > B$ (ファインモードの場合は $A > B \times 2$)に設定するとコンペアBマッチ信号のみ発生し、コンペアAマッチ信号は発生しません。この場合、TOUTx出力はLow(INVOUT = 1の場合はHigh)に、TOUTNx出力はHigh(INVOUT = 1の場合はLow)に固定されます。
- (3) ファインモードは、T16EDF = 0x0(PCLK · 1/1)のみで使用してください。

13.7 PWMタイマ割り込み

T16Eモジュールには、以下の2種類の割り込みを発生させる機能があります。

- コンペアAマッチ割り込み
- コンペアBマッチ割り込み

T16Eモジュールの各チャンネルは、上記2種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ (ITC) に対して出力します。(2チャンネルで計2本を出力)発生した割り込み要因を特定するには、T16Eモジュール内の割り込みフラグを読み出してください。

コンペアAマッチ割り込み

この割り込み要求は、カウント中にカウンタがコンペアデータAレジスタの設定値に一致すると発生し、T16Eモジュール内の割り込みフラグCAIF(D0/T16E_INTxレジスタ)を1にセットします。

- * **CAIF:** Compare A Interrupt Flag in the PWM Timer Ch.x Interrupt Flag (T16E_IFLGx) Register (D0/0x530c/0x536c)

この割り込みを使用するには、CAIE(D0/T16E_IMSKxレジスタ)を1に設定します。CAIEが0(デフォルト)に設定されているとCAIFが1にセットされず、この要因による割り込み要求はITCに送られません。

- * **CAIE:** Compare A Interrupt Enable Bit in the PWM Timer Ch.x Interrupt Mask (T16E_IMSKx) Register (D0/0x530a/0x536a)

CAIFが1にセットされるとT16Eモジュールは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

PWMタイマ割り込みがコンペアAマッチによるものかどうかについては、PWMタイマ割り込み処理ルーチンで割り込みを発生したチャンネルのCAIFを読み出して確認してください。

コンペアBマッチ割り込み

この割り込み要求は、カウント中にカウンタがコンペアデータBレジスタの設定値に一致すると発生し、T16Eモジュール内の割り込みフラグCBIF(D1/T16E_INTxレジスタ)を1にセットします。

- * **CBIF:** Compare B Interrupt Flag in the PWM Timer Ch.x Interrupt Flag (T16E_IFLGx) Register (D1/0x530c/0x536c)

この割り込みを使用するには、CBIE(D1/T16E_INTxレジスタ)を1に設定します。CBIEが0(デフォルト)に設定されているとCBIFが1にセットされず、この要因による割り込み要求はITCに送られません。

- * **CBIE:** Compare B Interrupt Enable Bit in the PWM Timer Ch.x Interrupt Mask (T16E_IMSKx) Register (D1/0x530a/0x536a)

CBIFが1にセットされるとT16Eモジュールは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

PWMタイマ割り込みがコンペアBマッチによるものかどうかについては、PWMタイマ割り込み処理ルーチンで割り込みを発生したチャンネルのCBIFを読み出して確認してください。

注: • PWMタイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T16Eモジュール内の割り込みフラグCAIFまたはCBIFをリセットする必要があります。

- 不要な割り込みの発生を防止するため、CAIEまたはCBIEによってコンペアAまたはコンペアB割り込みを許可する前に、対応するCAIFまたはCBIFをリセットしてください。

割り込みベクタ

PWMタイマ割り込みのベクタ番号とベクタアドレスは以下のとおりです。

表13.7.1 PWMタイマ割り込みベクタ

タイマチャンネル	ベクタ番号	ベクタアドレス
T16E Ch.0	11 (0x0b)	TTBR + 0x2c
T16E Ch.1	20 (0x14)	TTBR + 0x50

その他の割り込み設定

ITCではPWMタイマ割り込みの優先順位をチャンネルごとにレベル0(デフォルト)～レベル7に設定可能です。また、実際に割り込みを発生させるにはPSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットを1に設定しておく必要があります。

割り込み処理の詳細については、“6 割り込みコントローラ (ITC)”を参照してください。

13.8 制御レジスタ詳細

表13.8.1 PWMタイマレジスタ一覧

アドレス	レジスタ名		機能
0x5300	T16E_CA0	PWM Timer Ch.0 Compare Data A Register	コンペアデータAの設定
0x5302	T16E_CB0	PWM Timer Ch.0 Compare Data B Register	コンペアデータBの設定
0x5304	T16E_TC0	PWM Timer Ch.0 Counter Data Register	カウンタデータ
0x5306	T16E_CTL0	PWM Timer Ch.0 Control Register	タイマモードの設定とタイマのRUN/STOP
0x5308	T16E_CLK0	PWM Timer Ch.0 Clock Select Register	プリスケアラ出カクロックの選択
0x530a	T16E_IMSK0	PWM Timer Ch.0 Interrupt Mask Register	割り込み要因のマスク選択
0x530c	T16E_IFLG0	PWM Timer Ch.0 Interrupt Flag Register	割り込み要因の確認
0x5360	T16E_CA1	PWM Timer Ch.1 Compare Data A Register	コンペアデータAの設定
0x5362	T16E_CB1	PWM Timer Ch.1 Compare Data B Register	コンペアデータBの設定
0x5364	T16E_TC1	PWM Timer Ch.1 Counter Data Register	カウンタデータ
0x5366	T16E_CTL1	PWM Timer Ch.1 Control Register	タイマモードの設定とタイマのRUN/STOP
0x5368	T16E_CLK1	PWM Timer Ch.1 Clock Select Register	プリスケアラ出カクロックの選択
0x536a	T16E_IMSK1	PWM Timer Ch.1 Interrupt Mask Register	割り込み要因のマスク選択
0x536c	T16E_IFLG1	PWM Timer Ch.1 Interrupt Flag Register	割り込み要因の確認

以下、PWMタイマのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5300/0x5360: PWM Timer Ch.x Compare Data A Registers (T16E_CA_x)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PWM Timer Ch.x Compare Data A Register (T16E_CA _x)	0x5300 0x5360 (16 bits)	D15-0	T16ECA[15:0]	Compare data A T16ECA15 = MSB T16ECA0 = LSB	0x0 to 0xffff	0x0	R/W	

注: レジスタ名などの'x'はチャンネル番号の0または1を表します。

0x5300: PWM Timer Ch.0 Compare Data A Registers (T16E_CA0)

0x5360: PWM Timer Ch.1 Compare Data A Registers (T16E_CA1)

D[15:0] T16ECA[15:0]: Compare Data A

PWMタイマのコンペアデータAを設定します。(デフォルト: 0x0)

CBUFEN(D5/T16E_CTL_xレジスタ)が0に設定されている場合、このレジスタによりコンペアデータAレジスタが直接読み出し/書き込み可能です。

CBUFENが1に設定されている場合、これらのレジスタへのデータ書き込み/読み出しはコンペアデータAバッファに対して行われます。バッファの内容はカウンタがリセットされた時点でコンペアデータAレジスタにロードされます。

設定したデータがカウンタデータと比較され、内容が一致したところでコンペアA割り込み要因が発生します。同時に、タイマ出力波形が変化します (INVOUT(D4/T16E_CTL_xレジスタ) = 0の場合は立ち上がり、INVOUT = 1の場合は立ち下がります)。これらの処理は、カウンタのデータやカウントアップ動作には影響を与えません。

0x5302/0x5362: PWM Timer Ch.x Compare Data B Registers (T16E_CBx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PWM Timer Ch.x Compare Data B Register (T16E_CBx)	0x5302 0x5362 (16 bits)	D15-0	T16ECB[15:0]	Compare data B T16ECB15 = MSB T16ECB0 = LSB	0x0 to 0xffff	0x0	R/W	

注: レジスタ名などの‘x’はチャンネル番号の0または1を表します。

0x5302: PWM Timer Ch.0 Compare Data B Registers (T16E_CB0)

0x5362: PWM Timer Ch.1 Compare Data B Registers (T16E_CB1)

D[15:0] T16ECB[15:0]: Compare Data B

PWMタイマのコンペアデータBを設定します。(デフォルト: 0x0)

CBUFEN(D5/T16E_CTLxレジスタ)が0に設定されている場合、このレジスタによりコンペアデータBレジスタが直接読み出し/書き込み可能です。

CBUFENが1に設定されている場合、これらのレジスタへのデータ書き込み/読み出しはコンペアデータBバッファに対して行われます。バッファの内容はカウンタがリセットされた時点でコンペアデータBレジスタにロードされます。

設定したデータがカウンタデータと比較され、内容が一致したところでコンペアB割り込み要因が発生します。同時に、タイマ出力波形が変化し(INVOUT(D4/T16E_CTLxレジスタ) = 0の場合は立ち上がり、INVOUT = 1の場合は立ち下がります)、カウンタが0にリセットされます。

0x5304/0x5364: PWM Timer Ch.x Counter Data Registers (T16E_TCx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
PWM Timer Ch.x Counter Data Register (T16E_TCx)	0x5304 0x5364 (16 bits)	D15-0	T16ETC[15:0]	Counter data T16ETC15 = MSB T16ETC0 = LSB		0x0 to 0xffff	0x0	R/W	

注: レジスタ名などの'x'はチャンネル番号の0または1を表します。

0x5304: PWM Timer Ch.0 Counter Data Registers (T16E_TC0)

0x5364: PWM Timer Ch.1 Counter Data Registers (T16E_TC1)

D[15:0] T16ETC[15:0]: Counter Data

カウンタデータが読み出せます。(デフォルト: 0x0)

また、このレジスタにデータを書き込むことにより、カウンタ値をセットすることもできます。

0x5306/0x5366: PWM Timer Ch.x Control Registers (T16E_CTLx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
PWM Timer Ch.x Control Register (T16E_CTLx)	0x5306 0x5366 (16 bits)	D15-9	–	reserved	–	–	–	0 when being read.	
		D8	INITOL	Initial output level	1 High	0 Low	0	R/W	
		D7	–	reserved	–	–	–	–	0 when being read.
		D6	SELFM	Fine mode select	1 Fine mode	0 Normal mode	0	R/W	
		D5	CBUFEN	Comparison buffer enable	1 Enable	0 Disable	0	R/W	
		D4	INVOUT	Inverse output	1 Invert	0 Normal	0	R/W	
		D3	CLKSEL	Input clock select	1 External	0 Internal	0	R/W	
		D2	OUTEN	Clock output enable	1 Enable	0 Disable	0	R/W	
		D1	T16ERST	Timer reset	1 Reset	0 Ignored	0	W	0 when being read.
		D0	T16ERUN	Timer run/stop control	1 Run	0 Stop	0	R/W	

注: レジスタ名などの'x'はチャンネル番号の0または1を表します。

0x5306: PWM Timer Ch.0 Control Registers (T16E_CTL0)

0x5366: PWM Timer Ch.1 Control Registers (T16E_CTL1)

D[15:9] Reserved

D8 INITOL: Initial Output Level Bit

タイマ出力の初期出力レベルを設定します。

1 (R/W): TOUTx = High, TOUTNx = Low

0 (R/W): TOUTx = Low, TOUTNx = High (デフォルト)

クロック出力をOUTEN (D2) への0書き込みによりOffした場合、タイマ出力端子はここで設定した初期出力レベルになります。ただし、INVOUT (D4) が1の場合、このレベルは反転します。

D7 Reserved

D6 SELFM: Fine Mode Select Bit

クロック出力をファインモードに設定します。

1 (R/W): ファインモード

0 (R/W): 通常出力 (デフォルト)

SELFMが1に設定されていると、クロック出力がファインモードに設定され、出力クロックのデューティを入力クロックの半周期単位で調整可能となります。

SELFMが0に設定されている場合は、通常のクロック出力が行われます。

D5 CBUFEN: Comparison Buffer Enable Bit

コンペアデータバッファへの書き込みを許可/禁止します。

1 (R/W): 許可

0 (R/W): 禁止 (デフォルト)

CBUFENが1に設定されていると、コンペアデータの書き込み/読み出しがコンペアデータバッファに対して行われます。バッファの内容は、カウンタがソフトウェアまたはコンペアB信号によってリセットされた時点でコンペアデータレジスタにロードされます。

CBUFENが0に設定されている場合は、コンペアデータの書き込み/読み出しがコンペアデータレジスタに対して直接行われます。

D4 INVOUT: Inverse Output Control Bit

タイマ出力信号の極性を選択します。

1 (R/W): 反転 (TOUTx = アクティブLow, TOUTNx = アクティブHigh)

0 (R/W): 通常 (TOUTx = アクティブHigh, TOUTNx = アクティブLow) (デフォルト)

INVOUTに1を書き込むと、TOUTx出力用にアクティブLowの信号 (Offレベル = High) が生成されます。INVOUTが0の場合は、アクティブHighの信号 (Offレベル = Low) が生成されます。

本ビットへの1書き込みはINITOL (D8) で設定した初期出力レベルも反転します。

TOUTNx出力は上記の信号レベルが反転します。

D3 CLKSEL: Input Clock Select Bit

タイマの入力クロックを選択します。

1(R/W): 外部クロック

0(R/W): 内部クロック(デフォルト)

CLKSELに0を書き込んだ場合は、タイマの入力クロックとして内部クロック(プリスケアラ出力)が選択されます。1を書き込んだ場合は外部クロック(Ch.0はEXCL3(P06)端子から、Ch.1はEXCL4(P07)端子から、入力するクロック)が選択され、イベントカウンタとして機能します。

D2 OUTEN: Clock Output Enable Bit

TOUT_x/TOUTN_x信号(タイマ出力クロック)の出力制御を行います。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

OUTENに1を書き込むと、TOUT_x/TOUTN_x信号が対応する出力端子から出力されます。

Ch.0: TOUT3出力 → TOUT3(P23)端子、TOUTN3出力 → TOUTN3(P24)端子

Ch.1: TOUT4出力 → TOUT4(P02)端子、TOUTN4出力 → TOUTN4(P01)端子

OUTENに0を書き込むことによって出力は停止し、INVOUT(D4)の設定値に従ったOffレベルとなります。TOUT_x/TOUTN_x信号を出力する前に、ポート機能選択レジスタで上記の端子をTOUT_x/TOUTN_x出力に設定しておく必要があります。

D1 T16ERST: Timer Reset Bit

カウンタをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

T16ERSTに1を書き込むことによって、PWMタイマのカウンタがリセットされます。

D0 T16ERUN: Timer Run/Stop Control Bit

タイマのRun/Stopを制御します。

1(R/W): Run

0(R/W): Stop(デフォルト)

PWMタイマはT16ERUNに1を書き込むことによってカウントアップを開始し、0の書き込みにより停止します。Stop状態ではリセットか次にRun状態にするまで、カウンタのデータは保持されます。また、Stop状態からRun状態にすることによって、保持していたデータから継続してカウントを進めることができます。

0x5308/0x5368: PWM Timer Ch.x Input Clock Select Registers (T16E_CLKx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PWM Timer Ch.x Input Clock Select Register (T16E_CLKx)	0x5308 0x5368 (16 bits)	D15-4	–	reserved	–	–	–	0 when being read.
		D3-0	T16EDF[3:0]	Timer input clock select (Prescaler output clock)	T16EDF[3:0] Clock	0x0	R/W	
					0xf	reserved		
					0xe	PCLK•1/16384		
					0xd	PCLK•1/8192		
					0xc	PCLK•1/4096		
					0xb	PCLK•1/2048		
					0xa	PCLK•1/1024		
					0x9	PCLK•1/512		
					0x8	PCLK•1/256		
					0x7	PCLK•1/128		
					0x6	PCLK•1/64		
					0x5	PCLK•1/32		
					0x4	PCLK•1/16		
					0x3	PCLK•1/8		
					0x2	PCLK•1/4		
				0x1	PCLK•1/2			
				0x0	PCLK•1/1			

注: レジスタ名などの'x'はチャンネル番号の0または1を表します。

0x5308: PWM Timer Ch.0 Input Clock Select Registers (T16E_CLK0)

0x5368: PWM Timer Ch.1 Input Clock Select Registers (T16E_CLK1)

D[15:4] Reserved

D[3:0] T16EDF[3:0]: Timer Input Clock Select Bits

15種類のプリスケアラ出力クロックから、PWMタイマのカウントクロックを選択します。

表13.8.2 カウントクロックの選択

T16EDF[3:0]	プリスケアラ出力クロック	T16EDF[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

注: カウントクロックの設定は、PWMタイマがカウント停止中に行ってください。

0x530a/0x536a: PWM Timer Ch.x Interrupt Mask Registers (T16E_IMSKx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
PWM Timer Ch.x Interrupt Mask Register (T16E_IMSKx)	0x530a	D15-2	–	reserved	–		–	–	0 when being read.		
	0x536a (16 bits)	D1	CBIE	Compare B interrupt enable	1	Enable	0	Disable		0	R/W
		D0	CAIE	Compare A interrupt enable	1	Enable	0	Disable		0	R/W

注: レジスタ名などの'x'はチャンネル番号の0または1を表します。

0x530a: PWM Timer Ch.0 Interrupt Mask Registers (T16E_IMSK0)

0x536a: PWM Timer Ch.1 Interrupt Mask Registers (T16E_IMSK1)

D[15:2] Reserved**D1 CBIE: Compare B Interrupt Enable Bit**

コンペアBマッチによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CBIEを1に設定するとITCへのコンペアB割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D0 CAIE: Compare A Interrupt Enable Bit

コンペアAマッチによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAIEを1に設定するとITCへのコンペアA割り込み要求が許可され、0に設定すると割り込みが禁止されます。

0x530c/0x536c: PWM Timer Ch.x Interrupt Flag Registers (T16E_IFLGx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PWM Timer Ch.x Interrupt Flag Register (T16E_IFLGx)	0x530c 0x536c (16 bits)	D15-2	--	reserved	--	--	--	0 when being read.
		D1	CBIF	Compare B interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0 R/W	Reset by writing 1.
		D0	CAIF	Compare A interrupt flag			0 R/W	

注: レジスタ名などの'x'はチャンネル番号の0または1を表します。

0x530c: PWM Timer Ch.0 Interrupt Flag Registers (T16E_IFLG0)

0x536c: PWM Timer Ch.1 Interrupt Flag Registers (T16E_IFLG1)

D[15:2] Reserved

D1 CBIF: Compare B Interrupt Flag

コンペアB割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり
- 0(R): 割り込み要因なし(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無効

CBIFはコンペアB割り込みに対応する割り込みフラグです。CBIE(D1/T16E_IMSKxレジスタ)を1に設定しておくことにより、カウント中にカウンタがコンペアデータBレジスタの設定値に一致すると1にセットされます。同時に、ITCに対してPWMタイマ割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。CBIFは1の書き込みによりリセットされます。

D0 CAIF: Compare A Interrupt Flag

コンペアA割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり
- 0(R): 割り込み要因なし(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無効

CAIFはコンペアA割り込みに対応する割り込みフラグです。CAIE(D0/T16E_IMSKxレジスタ)を1に設定しておくことにより、カウント中にカウンタがコンペアデータAレジスタの設定値に一致すると1にセットされます。同時に、ITCに対してPWMタイマ割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。CAIFは1の書き込みによりリセットされます。

- 注:
- PWMタイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T16Eモジュール内の割り込みフラグCAIFまたはCBIFをリセットする必要があります。
 - 不要な割り込みの発生を防止するため、CAIE(D0/T16E_IMSKxレジスタ)またはCBIE(D1/T16E_IMSKxレジスタ)によってコンペアAまたはコンペアB割り込みを許可する前に、対応するCAIFまたはCBIFをリセットしてください。

13.9 注意事項

- PWMタイマを動作させるには、その前にプリスケラを動作させておく必要があります。
- カウントクロックの設定は、PWMタイマがカウント停止中に行ってください。
- タイマ出力を使用する場合、コンペアデータは $A \geq 0$ 、 $B \geq 1$ を設定してください。最小設定は $A = 0$ 、 $B = 1$ で、タイマ出力サイクルは入力クロックの1/2となります。
- コンペアデータを $A > B$ (ファインモードの場合は $A > B \times 2$)に設定するとコンペアBマッチ信号のみ発生し、コンペアAマッチ信号は発生しません。この場合、タイマ出力はLow(INVOUT = 1の場合はHigh)に固定されます。
- PWMタイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T16Eモジュール内の割り込みフラグCAIF(D0/T16E_IFLGxレジスタ)またはCBIF(D1/T16E_IFLGxレジスタ)をリセットする必要があります。
- 不要な割り込みの発生を防止するため、CAIE(D0/T16E_IMSKxレジスタ)またはCBIE(D1/T16E_IMSKxレジスタ)によってコンペアAまたはコンペアB割り込みを許可する前に、対応するCAIF(D0/T16E_IFLGxレジスタ)またはCBIF(D1/T16E_IFLGxレジスタ)をリセットしてください。

14 8ビットOSC1タイマ(T8OSC1)

14.1 8ビットOSC1タイマの概要

S1C17601はOSC1クロックを源振とする8ビットOSC1タイマを1チャンネル内蔵しています。

図14.1.1に8ビットOSC1タイマの構造を示します。

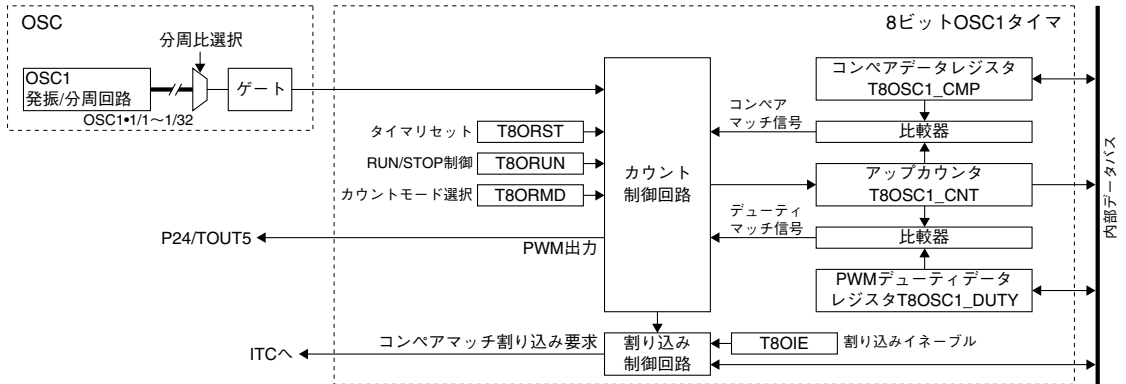


図14.1.1 8ビットOSC1タイマの構造

8ビットOSC1タイマには、8ビットのアップカウンタ(T8OSC1_CNTレジスタ)、8ビットのコンペアデータレジスタ(T8OSC1_CMPレジスタ)および8ビットのPWMデューティデータレジスタ(T8OSC1_DUTYレジスタ)が設けられています。

8ビットカウンタはソフトウェアで0にリセット可能で、OSC1分周クロック(OSC1•1/1~OSC1•1/32)でカウントアップを行います。カウント値はソフトウェアで読み出すことができます。

コンペアデータレジスタとPWMデューティデータレジスタはアップカウンタの内容と比較するためのデータを格納するレジスタです。

カウンタ値が各データレジスタの内容に一致すると比較器によって信号が出力され、割り込みやPWM出力信号を制御します。コンペアデータレジスタにより割り込みの発生周期やPWM出力クロックの周期を、PWMデューティデータレジスタによってPWM出力クロックのデューティ比をそれぞれ設定することができます。

14.2 8ビットOSC1タイマのカウントモード

8ビットOSC1タイマはリピートモードとワンショットモードの2つのカウントモードを持っています。この選択は、T8ORMD(D1/T8OSC1_CTLレジスタ)で行います。

* **T8ORMD**: Count Mode Select Bit in the 8-bit OSC1 Timer Control (T8OSC1_CTL) Register (D1/0x50c0)

リピートモード(T8ORMD = 0、デフォルト)

T8ORMDを0に設定すると、8ビットOSC1タイマはリピートモードに設定されます。

このモードでは、カウントを開始するとアプリケーションプログラムで停止するまで8ビットOSC1タイマは停止しません。カウンタがコンペアデータに一致すると、タイマはカウンタをリセットしてカウントを継続します。同時に割り込み信号を出力します。任意の間隔で周期的な割り込みを発生させる場合やPWM出力を行う場合に、8ビットOSC1タイマをこのモードに設定してください。

ワンショットモード(T8ORMD = 1)

T8ORMDを1に設定すると、8ビットOSC1タイマはワンショットモードに設定されます。

このモードでは、カウンタがコンペアデータに一致した時点で8ビットOSC1タイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、コンペアマッチ発生時に、タイマはカウンタをリセットしてから停止します。特定の待ち時間を作りたい場合などに、8ビットOSC1タイマをこのモードに設定してください。

- 注:
- ・ カウントモードの設定は、8ビットOSC1タイマがカウント停止中に行ってください。
 - ・ カウントモードをワンショットモードに設定した状態でカウント動作を行った場合、CPUがHALT状態に入っているとコンペアマッチが発生してもカウンタが停止せず、ワンショット動作が行われません。

14.3 カウントクロック

8ビットOSC1タイマは、OSCモジュールが出力するOSC1分周クロックをカウントクロックとして使用します。OSCモジュールはOSC1クロックを1/1～1/32に分周して6種類のクロックを生成します。この中の1つをT8O1CK[2:0](D[3:1]/OSC_T8OSC1レジスタ)で選択します。

* **T8O1CK[2:0]**: T8OSC1 Clock Division Ratio Select Bits in the T8OSC1 Clock Control (OSC_T8OSC1) Register (D[3:1]/0x5065)

表14.3.1 カウントクロックの選択

T8O1CK[2:0]	分周比
0x7～0x6	Reserved
0x5	OSC1•1/32
0x4	OSC1•1/16
0x3	OSC1•1/8
0x2	OSC1•1/4
0x1	OSC1•1/2
0x0	OSC1•1/1

(デフォルト: 0x0)

8ビットOSC1タイマへのクロック供給は、T8O1CE(D0/OSC_T8OSC1レジスタ)で制御します。T8O1CEのデフォルト設定は0で、クロックの供給は停止しています。T8O1CEを1に設定すると、上記の中から選択されたクロックが8ビットOSC1タイマに送られます。8ビットOSC1タイマの動作が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

* **T8O1CE**: T8OSC1 Clock Enable Bit in the T8OSC1 Clock Control (OSC_T8OSC1) Register (D0/0x5065)

注: カウントクロックの設定は、8ビットOSC1タイマがカウント停止中に行ってください。

クロック制御の詳細については、“7 発振回路(OSC)”を参照してください。

14.4 8ビットOSC1タイマのリセット

8ビットOSC1タイマをリセットするには、T8ORSTビット (D4/T8OSC1_CTLレジスタ)に1を書き込みます。カウンタが0に初期化されます。

* **T8ORST**: Timer Reset Bit in the 8-bit OSC1 Timer Control (T8OSC1_CTL) Register (D4/0x50c0)

通常は、カウントアップを開始する前に、このビットに1を書き込みカウンタをリセットします。カウント開始後は、カウンタがコンペアデータに一致するとハードウェアによってリセットされます。

14.5 コンペアデータの設定

コンペアデータはT8OCMP[7:0](D[7:0]/T8OSC1_CMPレジスタ)に書き込みます。

* **T8OCMP[7:0]**: Compare Data Bits in the 8-bit OSC1 Timer Compare Data (T8OSC1_CMP) Register (D[7:0]/0x50c2)
 イニシャルリセット時、コンペアデータレジスタは0x0に設定されます。

タイマはコンペアデータレジスタとカウントデータを比較し、同じ値になったところでカウンタをリセットすると共にコンペアマッチ信号を発生します。このコンペアマッチ信号により割り込みを発生可能です。

コンペアマッチ周期は次のように計算できます。

$$\text{コンペアマッチ期間} = \frac{\text{CMP} + 1}{\text{clk_in}} \text{ [s]}$$

$$\text{コンペアマッチ周期} = \frac{\text{clk_in}}{\text{CMP} + 1} \text{ [Hz]}$$

CMP: コンペアデータ (T8OSC1_CMPレジスタ値)

clk_in: 8ビットOSC1タイマカウントクロック周波数

8ビットOSC1タイマでPWM信号を生成する場合は、コンペアデータにより出力信号の周期が決定します。(PWM出力については14.8節を参照してください。)

14.6 8ビットOSC1タイマRUN/STOP制御

8ビットOSC1タイマの動作を開始させる前に、以下の設定を行ってください。

- (1) カウントモード(ワンショットまたはリピート)を設定します。14.2節を参照してください。
- (2) 動作クロックを選択します。14.3節を参照してください。
- (3) 割り込みを使用する場合は、割り込みレベルを設定し、8ビットOSC1タイマの割り込みを許可します。14.7節を参照してください。
- (4) タイマをリセットします。14.4節を参照してください。
- (5) コンペアデータを設定します。14.5節を参照してください。
- (6) PWM出力を行う場合は、PWMデューティデータを設定します。14.8節を参照してください。

8ビットOSC1タイマには、Run/Stopを制御するT8ORUN(D0/T8OSC1_CTLレジスタ)が設けられています。

* **T8ORUN**: Timer Run/Stop Control Bit in the 8-bit OSC1 Timer Control (T8OSC1_CTL) Register (D0/0x50c0)

タイマはT8ORUNに1を書き込むことによってカウントを開始します。T8ORUNに0を書き込むとクロックの入力が禁止され、カウントは停止します。

この制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

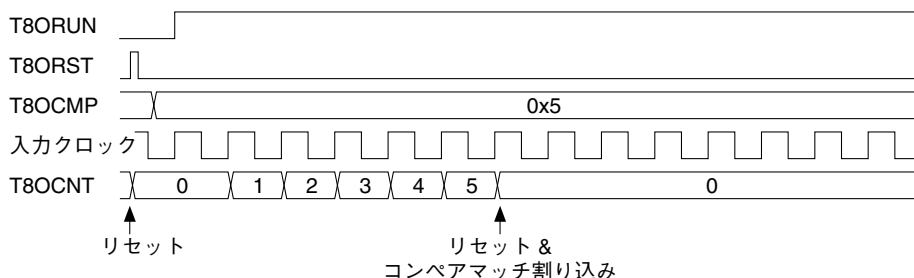
T8ORUNとT8ORSTと同時に1を書き込んだ場合、タイマはカウンタをリセット後にカウントを開始します。

カウント中にカウンタがコンペアデータレジスタの設定値と一致すると、コンペアマッチ信号が出力され、コンペアマッチ割り込み要因が発生します。同時にカウンタが0にリセットされます。割り込みを許可している場合は、割り込み要求が割り込みコントローラ(ITC)に送られます。

ワンショットモードに設定されている場合、タイマはカウントを停止します。

リピートモードに設定されている場合、タイマは0からカウントを継続します。

ワンショットモード



リピートモード

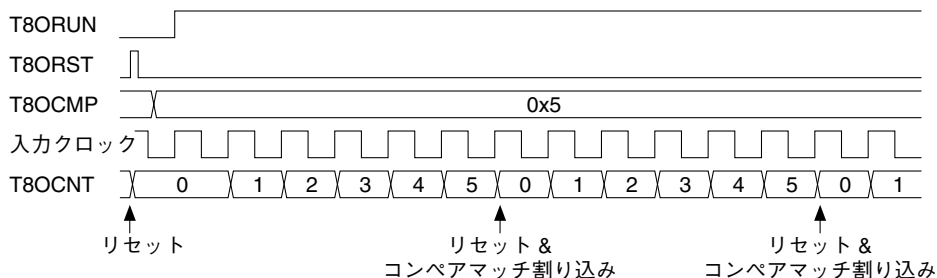


図14.6.1 カウンタの基本動作タイミング

14.7 8ビットOSC1タイマ割り込み

T8OSC1モジュールは、コンペアマッチにより割り込み要求を割り込みコントローラ(ITC)に出力可能です。

コンペアマッチ割り込み

この割り込み要求は、カウント中にカウンタがコンペアデータレジスタの設定値に一致すると発生し、T8OSC1モジュール内の割り込みフラグT8OIF(D0/T8OSC1_IFLGレジスタ)を1にセットします。

* **T8OIF**: 8-bit OSC1 Timer Interrupt Flag in the 8-bit OSC1 Timer Interrupt Flag (T8OSC1_IFLG) Register (D0/0x50c4)

この割り込みを使用するには、T8OIE(D0/T8OSC1_IMSKレジスタ)を1に設定します。T8OIEが0(デフォルト)に設定されているとT8OIFは1にセットされず、この要因による割り込み要求はITCに送られません。

* **T8OIE**: 8-bit OSC1 Timer Interrupt Enable Bit in the 8-bit OSC1 Timer Interrupt Mask (T8OSC1_IMSK) Register (D0/0x50c3)

T8OIFが1にセットされるとT8OSC1モジュールは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

- 注:
- 8ビットOSC1タイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T8OSC1モジュール内の割り込みフラグT8OIFをリセットする必要があります。
 - 不要な割り込みの発生を防止するため、T8OIEによって8ビットOSC1タイマ割り込みを許可する前に、T8OIFをリセットしてください。

割り込みベクタ

8ビットOSC1タイマ割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号: 8(0x08)

ベクタアドレス: TTBR + 0x20

その他の割り込み設定

ITCでは8ビットOSC1タイマ割り込みの優先順位をレベル0(デフォルト)~レベル7に設定可能です。また、実際に割り込みを発生させるにはPSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットを1に設定しておく必要があります。

割り込み処理の詳細については、“6 割り込みコントローラ(ITC)”を参照してください。

14.8 PWM出力

8ビットOSC1タイマは、コンペアデータとPWMデューティデータの設定に従ってPWM信号を生成し、TOUT5(P24)端子から出力することができます。

出力端子の設定

PWM出力端子(TOUT5)は汎用入出力ポート端子(P24)を兼用しており、初期状態では汎用入出力ポート端子に設定されます。PWM出力端子として使用するには、P24MUX(D1-0/P2_PMUXレジスタ)を3に設定して機能を切り換える必要があります。

* P24MUX: P24 Port Function Select Bit in the P2 Port Function Select (P2_PMUX) Register (D1-0/0x52a5)

PWM波形の制御

PWM波形の周期をコンペアデータレジスタ(0x50c2)で(14.5節参照)、デューティ比をPWMデューティデータレジスタ(0x50c5)で設定します。

タイマは、カウンタがPWMデューティデータレジスタの値に一致するまでLowレベルを出力します。カウンタがPWMデューティデータの次の値になると、出力端子はHighレベルとなります。その後、カウンタがコンペアデータレジスタ値までカウントアップされるとカウンタがリセットされ、出力端子はLowレベルに戻ります。

図14.8.1に出力波形を示します。

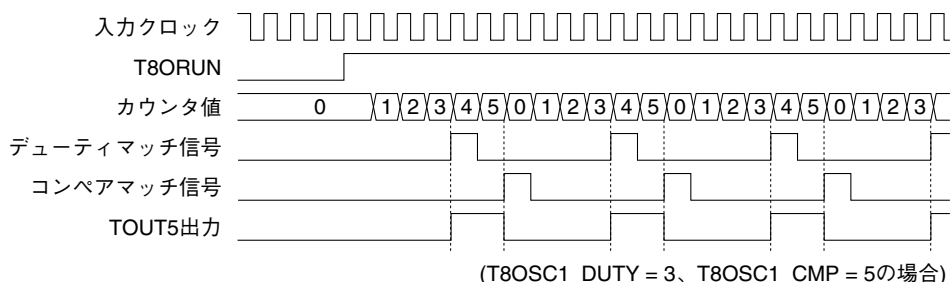


図14.8.1 PWM出力波形

注意事項

- (1) タイマ出力を使用する場合、PWMデューティデータ ≥ 0 、コンペアデータ ≥ 1 を設定してください。最小設定はPWMデューティデータ = 0、コンペアデータ = 1で、タイマ出力サイクルは入力クロックの1/2となります。
- (2) PWMデューティデータ > コンペアデータに設定するとコンペアマッチ信号のみ発生し、デューティマッチ信号は発生しません。この場合、TOUT5出力はLowに固定されます。

14.9 制御レジスタ詳細

表14.9.1 8ビットOSC1タイマレジスタ一覧

アドレス	レジスタ名		機能
0x50c0	T8OSC1_CTL	8-bit OSC1 Timer Control Register	タイマモードの設定とタイマのRUN/STOP
0x50c1	T8OSC1_CNT	8-bit OSC1 Timer Counter Data Register	カウンタデータ
0x50c2	T8OSC1_CMP	8-bit OSC1 Timer Compare Data Register	コンペアデータの設定
0x50c3	T8OSC1_IMSK	8-bit OSC1 Timer Interrupt Mask Register	割り込みマスクの設定
0x50c4	T8OSC1_IFLG	8-bit OSC1 Timer Interrupt Flag Register	割り込み発生状態の表示/リセット
0x50c5	T8OSC1_DUTY	8-bit OSC1 Timer PWM Duty Data Register	PWM出力用データの設定

以下、8ビットOSC1タイマのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x50c0: 8-bit OSC1 Timer Control Register (T8OSC1_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
8-bit OSC1 Timer Control Register (T8OSC1_CTL)	0x50c0 (8 bits)	D7-5	-	reserved		-	-	-	0 when being read.
		D4	T8ORST	Timer reset	1 Reset	0 Ignored	0	W	
		D3-2	-	reserved		-	-	-	
		D1	T8ORMD	Count mode select	1 One shot	0 Repeat	0	R/W	
		D0	T8ORUN	Timer run/stop control	1 Run	0 Stop	0	R/W	

D[7:5] Reserved**D4 T8ORST: Timer Reset Bit**

8ビットOSC1タイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、カウンタが0にリセットされます。

D[3:2] Reserved**D1 T8ORMD: Count Mode Select Bit**

8ビットOSC1タイマのカウントモードを選択します。

1(R/W): ワンショットモード

0(R/W): リピートモード(デフォルト)

T8ORMDを0に設定すると、8ビットOSC1タイマはリピートモードに設定されます。このモードでは、カウントを開始するとアプリケーションプログラムで停止するまで8ビットタイマは停止しません。カウンタがコンペアデータレジスタの値に一致すると、タイマはカウンタをリセットし、カウントを継続します。これにより、タイマは周期的にコンペアマッチ信号を出力します。任意の間隔で周期的な割り込みを発生させる場合やPWM出力を行う場合は、8ビットOSC1タイマをこのモードに設定してください。

T8ORMDを1に設定すると、8ビットOSC1タイマはワンショットモードに設定されます。このモードでは、カウンタがコンペアデータレジスタの値に一致した時点で8ビットOSC1タイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、コンペアマッチ発生時に、タイマはカウンタをリセットしてから停止します。特定の待ち時間を作りたい場合などに、8ビットOSC1タイマをこのモードに設定してください。

注: カウントモードの設定は、8ビットOSC1タイマがカウント停止中に行ってください。

D0 T8ORUN: Timer Run/Stop Control Bit

タイマのRun/Stopを制御します。

1(R/W): Run

0(R/W): Stop(デフォルト)

タイマはT8ORUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。Stop状態ではリセットか次にRun状態にするまで、カウンタのデータは保持されます。

0x50c1: 8-bit OSC1 Timer Counter Data Register (T8OSC1_CNT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
8-bit OSC1 Timer Counter Data Register (T8OSC1_CNT)	0x50c1 (8 bits)	D7-0	T8OCNT[7:0]	Timer counter data T8OCNT7 = MSB T8OCNT0 = LSB	0x0 to 0xff	0x0	R	

D[7:0] T8OCNT[7:0]: Counter Data

カウンタデータが読み出せます。(デフォルト: 0x0)

このレジスタはリードオンリのため、データの書き込みはできません。

注: カウント動作中にこのレジスタを読み出すと、カウンタ値が正しく読み出されない(読み出し値が不定になる)ことがあります。

カウンタ値は、以下のいずれかの方法で取得してください。

- カウンタを停止した状態でカウンタ値を読み出します。
- カウンタ値を2回続けて読み出し、2回とも同じ結果が得られた場合にその値を有効とします。

0x50c2: 8-bit OSC1 Timer Compare Data Register (T8OSC1_CMP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
8-bit OSC1 Timer Compare Data Register (T8OSC1_CMP)	0x50c2 (8 bits)	D7-0	T8OCMP[7:0]	Compare data T8OCMP7 = MSB T8OCMP0 = LSB	0x0 to 0xff	0x0	R/W	

D[7:0] T8OCMP[7:0]: Compare Data

8ビットOSC1タイマのコンペアデータを設定します。(デフォルト: 0x0)

設定したデータがカウンタデータと比較され、内容が一致したところでコンペアマッチ割り込み要因が発生します。同時に、カウンタが0にリセットされます。

0x50c3: 8-bit OSC1 Timer Interrupt Mask Register (T8OSC1_IMSK)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
8-bit OSC1 Timer Interrupt Mask Register (T8OSC1_IMSK)	0x50c3 (8 bits)	D7-1	–	reserved	–		–	–	0 when being read.
		D0	T8OIE	8-bit OSC1 timer interrupt enable	1 Enable	0 Disable	0	R/W	

D[7:1] Reserved

D0 T8OIE: 8-bit OSC1 Timer Interrupt Enable Bit

コンペアマッチによる割り込みを許可または禁止します。

1 (R/W): 割り込み許可

0 (R/W): 割り込み禁止 (デフォルト)

T8OIEを1に設定するとITCへの8ビットOSC1タイマ割り込み要求が許可され、0に設定すると割り込みが禁止されます。

0x50c4: 8-bit OSC1 Timer Interrupt Flag Register (T8OSC1_IFLG)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
8-bit OSC1 Timer Interrupt Flag Register (T8OSC1_IFLG)	0x50c4 (8 bits)	D7-1	—	reserved	—		—	—	0 when being read.
		D0	T8OIF	8-bit OSC1 timer interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

D[7:1] Reserved**D0 T8OIF: 8-bit OSC1 Timer Interrupt Flag**

コンペアマッチ割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

T8OIFはT8OSC1モジュールの割り込みフラグです。T8OIE(D0/T8OSC1_IMSKレジスタ)を1に設定しておくことにより、カウント中にカウンタがコンペアデータレジスタの設定値に一致すると1にセットされます。同時に、ITCに対して8ビットOSC1タイマ割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

T8OIFは1の書き込みによりリセットされます。

- 注:
- 8ビットOSC1タイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T8OSC1モジュール内の割り込みフラグT8OIFをリセットする必要があります。
 - 不要な割り込みの発生を防止するため、T8OIE(D0/T8OSC1_IMSKレジスタ)によってコンペアマッチ割り込みを許可する前に、T8OIFをリセットしてください。

0x50c5: 8-bit OSC1 Timer PWM Duty Data Register (T8OSC1_DUTY)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
8-bit OSC1 Timer PWM Duty Data Register (T8OSC1_DUTY)	0x50c5 (8 bits)	D7-0	T8ODTY[7:0]	PWM output duty data T8ODTY7 = MSB T8ODTY0 = LSB	0x0 to 0xff	0x0	R/W	

D[7:0] T8ODTY[7:0]: PWM Output Duty Data

PWM波形のデューティ比を決定するデータを設定します。(デフォルト: 0x0)

設定したデータがカウンタデータと比較され、内容が一致したところでタイマ出力波形が立ち上がります。その後カウンタデータがコンペアデータに一致するとタイマ出力波形が立ち下がります。これらの処理は、カウンタのデータやカウントアップ動作には影響を与えません。

14.10 注意事項

- 8ビットOSC1タイマを動作させるには、その前にOSCモジュールから8ビットOSC1タイマ用クロックを出力させておく必要があります。
- カウントクロックとカウントモードの設定は、8ビットOSC1タイマがカウント停止中に行ってください。
- 8ビットOSC1タイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T8OSC1モジュール内の割り込みフラグT8OIF(D0/T8OSC1_IFLGレジスタ)をリセットする必要があります。
- 不要な割り込みの発生を防止するため、T8OIE(D0/T8OSC1_IMSKレジスタ)によってコンペアマッチ割り込みを許可する前に、T8OIF(D0/T8OSC1_IFLGレジスタ)をリセットしてください。
- カウント動作中にカウンタデータレジスタを読み出すと、カウンタ値が正しく読み出されない(読み出し値が不定になる)ことがあります。
カウンタ値を取得する場合は、カウンタを停止した状態でカウンタデータレジスタを読み出してください。あるいは、カウンタデータレジスタを2回続けて読み出して、2回とも同じ結果が得られた場合にその値を有効としてください。
- PWM出力を使用する場合、PWMデューティデータ ≥ 0 、コンペアデータ ≥ 1 を設定してください。最小設定はPWMデューティデータ = 0、コンペアデータ = 1で、タイマ出力サイクルは入力クロックの1/2となります。
- PWMデューティデータ > コンペアデータに設定するとコンペアマッチ信号のみ発生し、デューティマッチ信号は発生しません。この場合、TOUT5出力はLowに固定されます。
- カウントモードの設定は、8ビットOSC1タイマがカウント停止中に行ってください。
- カウントモードをワンショットモードに設定した状態でカウント動作を行った場合、CPUがHALT状態に入っているとコンペアマッチが発生してもカウンタが停止せず、ワンショット動作が行われません。

15 計時タイマ(CT)

15.1 計時タイマの概要

S1C17601はOSC1クロックを源振とする計時タイマを1チャンネル内蔵しています。

計時タイマはOSC1クロックを分周した256Hz信号を入力クロックとする8ビットのバイナリカウンタで構成され、各ビット(128~1Hz)のデータをソフトウェアによって読み出すことができます。

また、計時タイマは32Hz、8Hz、2Hz、1Hzの各信号によって割り込みを発生させることができます。

通常はこの計時タイマを、時計などのような各種の計時機能に使用します。

図15.1.1に計時タイマの構造を示します。

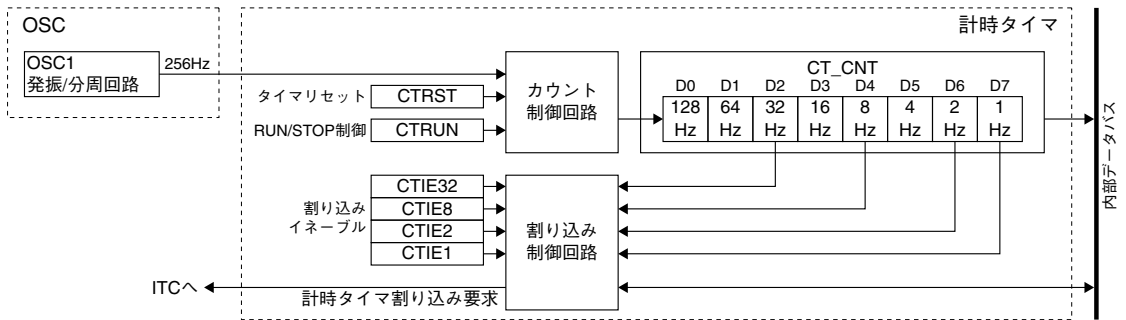


図15.1.1 計時タイマの構造

15.2 動作クロック

計時タイマは、OSCモジュールが出力する256Hzクロックを動作クロックとして使用します。

OSCモジュールはOSC1クロックを1/128に分周してこの動作クロックを生成します。したがって、OSC1クロック周波数が32.768kHzの場合に256Hzとなります。それ以外のOSC1クロック周波数では、本節に記載の周波数が変わります。

OSCモジュールに256Hzクロックの出力制御ビットは設けられていません。OSC1発振がOnの場合は、常に256Hzクロックが計時タイマに供給されます。

OSC1発振回路の制御については、“7 発振回路(OSC)”を参照してください。

15.3 計時タイマのリセット

計時タイマをリセットするには、CTRSTビット(D4/CT_CTLレジスタ)に1を書き込みます。カウンタが0にクリアされます。

* **CTRST**: Clock Timer Reset Bit in the Clock Timer Control (CT_CTL) Register (D4/0x5000)

この操作以外では、イニシャルリセットによりカウンタがクリアされます。

15.4 計時タイマRUN/STOP制御

計時タイマの動作を開始させる前に、以下の設定を行ってください。

- (1) 割り込みを使用する場合は、割り込みレベルを設定し、計時タイマの割り込みを許可します。15.5節を参照してください。
- (2) タイマをリセットします。15.3節を参照してください。

計時タイマには、Run/Stopを制御するCTRUN(D0/CT_CTLレジスタ)が設けられています。

* **CTRUN**: Clock Timer Run/Stop Control Bit in the Clock Timer Control (CT_CTL) Register (D0/0x5000)

計時タイマはCTRUNに1を書き込むことによって動作を開始します。CTRUNに0を書き込むとクロックの入力が禁止され、動作は停止します。

この制御はカウンタ(CT_CNTレジスタ)のデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。CTRUNとCTRSTと同時に1を書き込んだ場合、計時タイマはカウンタをリセット後にカウントを開始します。

カウント中は32Hz、8Hz、2Hz、1Hz信号の立ち下がりがエッジでそれぞれの割り込み要因が発生します。割り込みを許可している場合は、割り込み要求が割り込みコントローラ(ITC)に送られます。

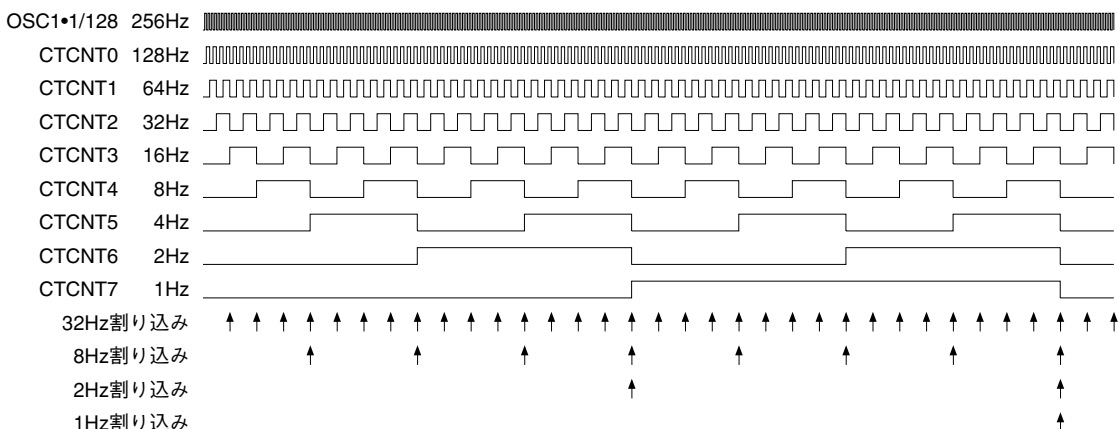


図15.4.1 計時タイマのタイミングチャート

注: 計時タイマはCTRUNへの書き込みに対して、256Hz信号の立ち下がりがエッジに同期して実際にRun/Stop状態となります。したがって、CTRUNに0を書き込んだ場合は、“+1”余分にカウントしたところでタイマが停止状態となります。また、このときCTRUNは実際にタイマがStop状態となるまで、読み出しに対して1を保持します。

図15.4.2にRun/Stop制御のタイミングチャートを示します。

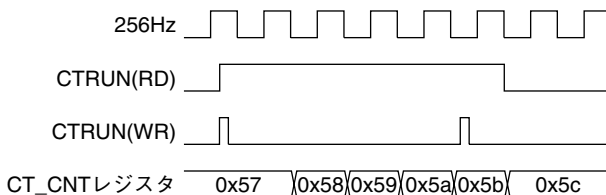


図15.4.2 Run/Stop制御のタイミングチャート

15.5 計時タイマ割り込み

CTモジュールには、以下の4種類の割り込みを発生させる機能があります。

- 32Hz割り込み
- 8Hz割り込み
- 2Hz割り込み
- 1Hz割り込み

CTモジュールは、上記4種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、CTモジュール内の割り込みフラグを読み出してください。

32Hz、8Hz、2Hz、1Hz割り込み

これらの割り込み要求は、32Hz、8Hz、2Hz、1Hz信号の立ち下がりエッジで発生し、CTモジュール内の以下の割り込みフラグを1にセットします。

- * **CTIF32:** 32 Hz Interrupt Flag in the Clock Timer Interrupt Flag (CT_IFLG) Register (D3/0x5003)
- * **CTIF8:** 8 Hz Interrupt Flag in the Clock Timer Interrupt Flag (CT_IFLG) Register (D2/0x5003)
- * **CTIF2:** 2 Hz Interrupt Flag in the Clock Timer Interrupt Flag (CT_IFLG) Register (D1/0x5003)
- * **CTIF1:** 1 Hz Interrupt Flag in the Clock Timer Interrupt Flag (CT_IFLG) Register (D0/0x5003)

これらの割り込みを使用するには、割り込みフラグに対応する以下の割り込みイネーブルビットを1に設定します。割り込みイネーブルビットが0(デフォルト)に設定されていると割り込みフラグは1にセットされず、その要因による割り込み要求はITCに送られません。

- * **CTIE32:** 32 Hz Interrupt Enable Bit in the Clock Timer Interrupt Mask (CT_IMSK) Register (D3/0x5002)
- * **CTIE8:** 8 Hz Interrupt Enable Bit in the Clock Timer Interrupt Mask (CT_IMSK) Register (D2/0x5002)
- * **CTIE2:** 2 Hz Interrupt Enable Bit in the Clock Timer Interrupt Mask (CT_IMSK) Register (D1/0x5002)
- * **CTIE1:** 1 Hz Interrupt Enable Bit in the Clock Timer Interrupt Mask (CT_IMSK) Register (D0/0x5002)

CTIF*が1にセットされるとCTモジュールは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

計時タイマ割り込みがどの周波数によるものかについては、計時タイマ割り込み処理ルーチンでCTIF*を読み出して確認してください。

- 注:
- 計時タイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、CTモジュール内の割り込みフラグCTIF*をリセットする必要があります。
 - 不要な割り込みの発生を防止するため、CTIE*によって計時タイマ割り込みを許可する前に、CTIF*をリセットしてください。

割り込みベクタ

計時タイマ割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号: 7(0x07)
ベクタアドレス: TTBR + 0x1c

その他の割り込み設定

ITCでは計時タイマ割り込みの優先順位をレベル0(デフォルト)～レベル7に設定可能です。また、実際に割り込みを発生させるにはPSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットを1に設定しておく必要があります。

割り込み処理の詳細については、“6 割り込みコントローラ(ITC)”を参照してください。

15.6 制御レジスタ詳細

表15.6.1 計時タイマレジスタ一覧

アドレス	レジスタ名		機能
0x5000	CT_CTL	Clock Timer Control Register	タイマのリセットとRUN/STOP制御
0x5001	CT_CNT	Clock Timer Counter Register	カウンタデータ
0x5002	CT_IMSK	Clock Timer Interrupt Mask Register	割り込みマスクの設定
0x5003	CT_IFLG	Clock Timer Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、計時タイマのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5000: Clock Timer Control Register (CT_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Clock Timer Control Register (CT_CTL)	0x5000 (8 bits)	D7-5	–	reserved	–	–	–	0 when being read.	
		D4	CTRST	Clock timer reset	1 Reset	0 Ignored	0		W
		D3-1	–	reserved	–	–	–		–
		D0	CTRUN	Clock timer run/stop control	1 Run	0 Stop	0		R/W

D[7:5] Reserved**D4 CTRST: Clock Timer Reset Bit**

計時タイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、カウンタが0x0にリセットされます。計時タイマがRun状態でリセットを行うとリセット直後にリスタートします。また、Stop状態の場合はリセットデータ0x0が保持されます。

D[3:1] Reserved**D0 CTRUN: Clock Timer Run/Stop Control Bit**

計時タイマのRun/Stopを制御します。

1(R/W): Run

0(R/W): Stop(デフォルト)

計時タイマはCTRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。Stop状態ではリセットか次にRun状態にするまで、カウンタのデータは保持されます。

0x5001: Clock Timer Counter Register (CT_CNT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Timer Counter Register (CT_CNT)	0x5001 (8 bits)	D7-0	CTCNT[7:0]	Clock timer counter value	0x0 to 0xff	0	R	

D[7:0] CTCNT[7:0]: Clock Timer Counter Value

カウンタデータが読み出せます。(デフォルト: 0xff)

このレジスタはリードオンリのため、データの書き込みはできません。

各ビットと周波数の対応は以下のとおりです。

D7: 1Hz

D6: 2Hz

D5: 4Hz

D4: 8Hz

D3: 16Hz

D2: 32Hz

D1: 64Hz

D0: 128Hz

注: カウント動作中にこのレジスタを読み出すと、カウンタ値が正しく読み出されない(読み出し値が不定になる)ことがあります。

カウンタ値は、以下のいずれかの方法で取得してください。

- カウンタを停止した状態でカウンタ値を読み出します。
- カウンタ値を2回続けて読み出し、2回とも同じ結果が得られた場合にその値を有効とします。

0x5002: Clock Timer Interrupt Mask Register (CT_IMSK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Timer Interrupt Mask Register (CT_IMSK)	0x5002 (8 bits)	D7-4	--	reserved				0 when being read.
		D3	CTIE32	32 Hz interrupt enable	1 Enable	0 Disable	0	R/W
		D2	CTIE8	8 Hz interrupt enable	1 Enable	0 Disable	0	R/W
		D1	CTIE2	2 Hz interrupt enable	1 Enable	0 Disable	0	R/W
		D0	CTIE1	1 Hz interrupt enable	1 Enable	0 Disable	0	R/W

本レジスタは、計時タイマの32Hz、8Hz、2Hz、1Hz信号による割り込み要求を個々に許可または禁止します。CTIE*ビットを1に設定すると、対応する周波数の信号の立ち下がりエッジによる計時タイマ割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D[7:4] Reserved**D3 CTIE32: 32 Hz Interrupt Enable Bit**

32Hz信号による割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

D2 CTIE8: 8 Hz Interrupt Enable Bit

8Hz信号による割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

D1 CTIE2: 2 Hz Interrupt Enable Bit

2Hz信号による割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

D0 CTIE1: 1 Hz Interrupt Enable Bit

1Hz信号による割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

0x5003: Clock Timer Interrupt Flag Register (CT_IFLG)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
Clock Timer Interrupt Flag Register (CT_IFLG)	0x5003 (8 bits)	D7-4	-	reserved	-		-	-	0 when being read.	
		D3	CTIF32	32 Hz interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	Reset by writing 1.	
		D2	CTIF8	8 Hz interrupt flag					0	R/W
		D1	CTIF2	2 Hz interrupt flag					0	R/W
		D0	CTIF1	1 Hz interrupt flag					0	R/W

本レジスタは、計時タイマの32Hz、8Hz、2Hz、1Hz信号による割り込み要因の発生状態を示します。計時タイマ割り込みが発生した場合は、本レジスタの割り込みフラグを読み出して発生した割り込み要因(周波数)を特定してください。CTIF*は32Hz、8Hz、2Hz、1Hz割り込みに個々に対応するCTモジュールの割り込みフラグです。CTIE*(CT_IMSKレジスタ)を1に設定しておくことにより、各信号の立ち下がりエッジで1にセットされます。同時に、ITCに対して計時タイマ割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。CTIF*は1の書き込みによりリセットされます。

- 注:
- 計時タイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、CTモジュール内の割り込みフラグCTIF*をリセットする必要があります。
 - 不要な割り込みの発生を防止するため、CTIE*によって計時タイマ割り込みを許可する前に、CTIF*をリセットしてください。

D[7:4] Reserved**D3 CTIF32: 32 Hz Interrupt Flag**

32Hz割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり
 0(R): 割り込み要因なし(デフォルト)
 1(W): フラグをリセット
 0(W): 無効

CTIF32はCTIE32(D3/CT_IMSKレジスタ)を1に設定しておくことにより、32Hz信号の立ち下がりエッジで1にセットされます。

D2 CTIF8: 8 Hz Interrupt Flag

8Hz割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり
 0(R): 割り込み要因なし(デフォルト)
 1(W): フラグをリセット
 0(W): 無効

CTIF8はCTIE8(D2/CT_IMSKレジスタ)を1に設定しておくことにより、8Hz信号の立ち下がりエッジで1にセットされます。

D1 CTIF2: 2 Hz Interrupt Flag

2Hz割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり
 0(R): 割り込み要因なし(デフォルト)
 1(W): フラグをリセット
 0(W): 無効

CTIF2はCTIE2(D1/CT_IMSKレジスタ)を1に設定しておくことにより、2Hz信号の立ち下がりエッジで1にセットされます。

D0 CTIF1: 1 Hz Interrupt Flag

1Hz割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり
 0(R): 割り込み要因なし(デフォルト)
 1(W): フラグをリセット
 0(W): 無効

CTIF1はCTIE1(D0/CT_IMSKレジスタ)を1に設定しておくことにより、1Hz信号の立ち下がりエッジで1にセットされます。

15.7 注意事項

- 計時タイマを動作させるには、その前にOSC1発振回路をOnさせておく必要があります。
- 計時タイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、CT_IFLGレジスタの割り込みフラグをリセットする必要があります。
- 不要な割り込みの発生を防止するため、CT_IMSKレジスタによって計時タイマ割り込みを許可する前に、CT_IFLGレジスタの割り込みフラグをリセットしてください。
- 計時タイマはCTRUN(D0/CT_CTLレジスタ)への書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRun/Stop状態となります。したがって、CTRUNに0を書き込んだ場合は、“+1”余分にカウントしたところでタイマが停止状態となります。また、このときCTRUNは実際にタイマがStop状態となるまで、読み出しに対して1を保持します。

図15.7.1にRun/Stop制御のタイミングチャートを示します。

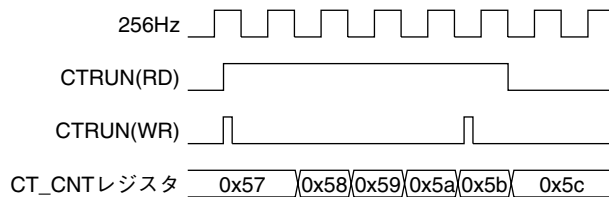


図15.7.1 Run/Stop制御のタイミングチャート

- 計時タイマがRunしている状態(CTRUN = 1)でslp命令を実行した場合は、SLEEP状態からの復帰時に計時タイマが不安定な動作となります。したがって、SLEEP状態へ移行する場合は、slp命令の実行以前に計時タイマをSTOP状態(CTRUN = 0)に設定してください。
- カウント動作中にカウンタレジスタを読み出すと、カウンタ値が正しく読み出されない(読み出し値が不定になる)ことがあります。
カウンタ値を取得する場合は、カウンタを停止した状態でカウンタレジスタを読み出してください。あるいは、カウンタレジスタを2回続けて読み出して、2回とも同じ結果が得られた場合にその値を有効としてください。

16 ストップウォッチタイマ (SWT)

16.1 ストップウォッチタイマの概要

S1C17601は1/100秒と1/10秒のストップウォッチタイマを内蔵しています。ストップウォッチタイマはOSC1クロックを分周した256Hz信号を入力クロックとする4ビット2段のBCDカウンタ(1/100秒単位、1/10秒単位)で構成され、カウントデータをソフトウェアによって読み出すことができます。

また、ストップウォッチタイマは100Hz(近似100Hz)、10Hz(近似10Hz)、1Hzの各信号によって割り込みを発生させることができます。

図16.1.1にストップウォッチタイマの構造を示します。

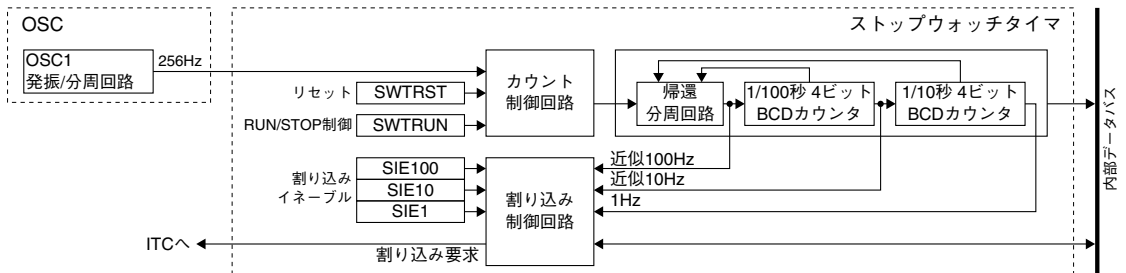


図16.1.1 ストップウォッチタイマの構造

16.2 BCDカウンタ

ストップウォッチタイマは、1/100秒と1/10秒の2個の4ビットBCDカウンタで構成されています。カウント値はSWT_BCNTレジスタから読み出し可能です。

1/100秒カウンタ

- * **BCD100[3:0]**: 1/100 Sec. BCD Counter Value in the Stopwatch Timer BCD Counter (SWT_BCNT) Register (D[3:0]/0x5021)

1/10秒カウンタ

- * **BCD10[3:0]**: 1/10 Sec. BCD Counter Value in the Stopwatch Timer BCD Counter (SWT_BCNT) Register (D[7:4]/0x5021)

カウントアップパターン

256Hzクロックから100Hz信号、10Hz信号、1Hz信号を生成するため、帰還分周回路を使用して図16.2.1のようにカウンタのカウントアップパターンを変化させています。

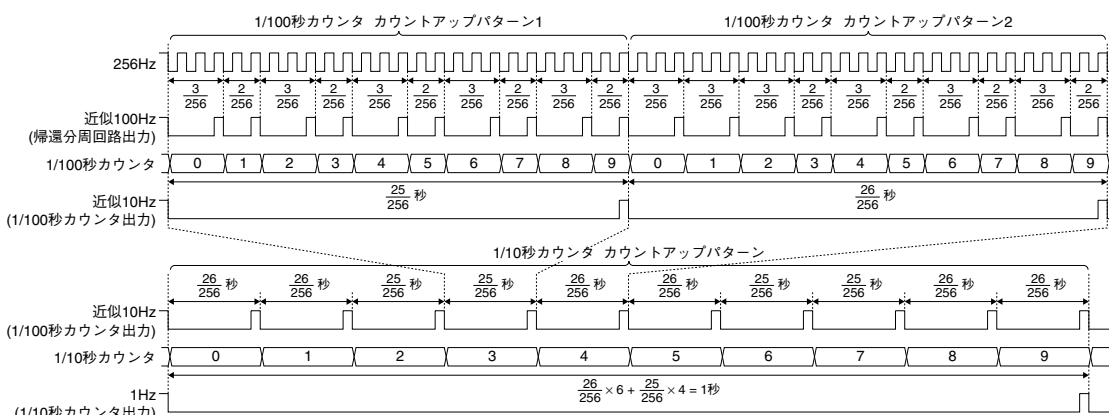


図16.2.1 ストップウォッチタイマのカウントアップパターン

帰還分周回路はOSCモジュールから供給される256Hz信号から2/256秒と3/256秒間隔の近似100Hz信号を発生します。

1/100秒カウンタは帰還分周回路が出力する近似100Hz信号をカウントして、25/256秒と26/256秒間隔の近似10Hz信号を発生します。

カウントアップは、2/256秒と3/256秒間隔による擬似的な1/100秒カウントとなります。

1/10秒カウンタは、1/100秒カウンタが発生する近似10Hz信号を4:6の割合でカウントして、1Hz信号を発生します。

カウントアップは、25/256秒と26/256秒間隔による擬似的な1/10秒カウントとなります。

16.3 動作クロック

ストップウォッチタイマは、OSCモジュールが出力する256Hzクロックを動作クロックとして使用します。OSCモジュールはOSC1クロックを1/128に分周してこの動作クロックを生成します。したがって、OSC1クロック周波数が32.768kHzの場合に256Hzとなります。それ以外のOSC1クロック周波数では、本節に記載の周波数が変わります。

OSCモジュールに256Hzクロックの出力制御ビットは設けられていません。OSC1発振がOnの場合は、常に256Hzクロックがストップウォッチタイマに供給されます。

OSC1発振回路の制御については、“7 発振回路(OSC)”を参照してください。

16.4 ストップウォッチタイマのリセット

ストップウォッチタイマをリセットするには、SWTRSTビット(D4/SWT_CTLレジスタ)に1を書き込みます。カウンタが0にクリアされます。

* **SWTRST**: Stopwatch Timer Reset Bit in the Stopwatch Timer Control (SWT_CTL) Register (D4/0x5020)

この操作以外では、イニシャルリセットによりカウンタがクリアされます。

16.5 ストップウォッチタイマRUN/STOP制御

ストップウォッチタイマの動作を開始させる前に、以下の設定を行ってください。

- (1) 割り込みを使用する場合は、割り込みレベルを設定し、ストップウォッチタイマの割り込みを許可します。16.6節を参照してください。
- (2) タイマをリセットします。16.4節を参照してください。

ストップウォッチタイマには、Run/Stopを制御するSWTRUN(D0/SWT_CTLレジスタ)が設けられています。

* **SWTRUN**: Stopwatch Timer Run/Stop Control Bit in the Stopwatch Timer Control (SWT_CTL) Register (D0/0x5020)

ストップウォッチタイマはSWTRUNに1を書き込むことによって動作を開始します。SWTRUNに0を書き込むとクロックの入力が禁止され、動作は停止します。

この制御はカウンタ(SWT_BCNTレジスタ)のデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。SWTRUNとSWTRSTに同時に1を書き込んだ場合、ストップウォッチタイマはカウンタをリセット後にカウントを開始します。

カウント中は100Hz(近似100Hz)、10Hz(近似10Hz)、1Hz信号の立ち下がりエッジでそれぞれの割り込み要因が発生します。割り込みを許可している場合は、割り込み要求が割り込みコントローラ(ITC)に送られます。

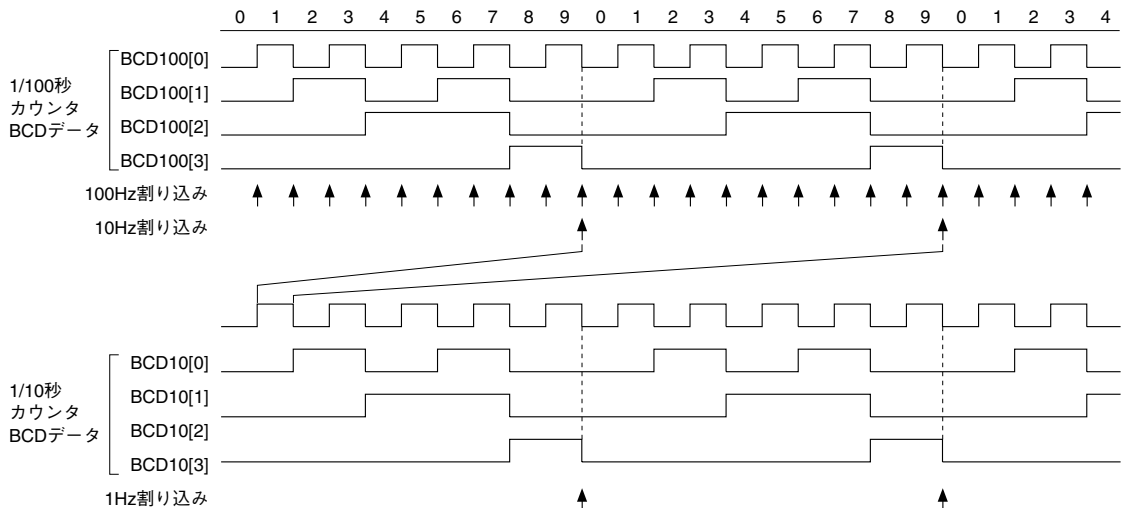


図16.5.1 ストップウォッチタイマのタイミングチャート

注: ストップウォッチタイマはSWTRUNへの書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRun/Stop状態となる場合があります。したがって、SWTRUNに0を書き込んだ場合は、“+1”余分にカウントしたところでタイマが停止状態となります。また、このときSWTRUNは実際にタイマがStop状態となるまで、読み出しに対して1を保持します。

図16.5.2にRun/Stop制御のタイミングチャートを示します。

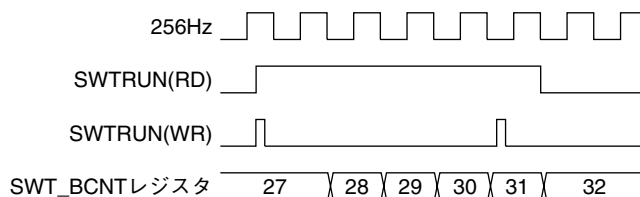


図16.5.2 Run/Stop制御のタイミングチャート

16.6 ストップウォッチタイマ割り込み

SWTモジュールには、以下の3種類の割り込みを発生させる機能があります。

- 100Hz割り込み
- 10Hz割り込み
- 1Hz割り込み

SWTモジュールは、上記3種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、SWTモジュール内の割り込みフラグを読み出してください。

100Hz、10Hz、1Hz割り込み

これらの割り込み要求は、100Hz(近似100Hz)、10Hz(近似10Hz)、1Hz信号の立ち下がりエッジで発生し、SWTモジュール内の以下の割り込みフラグを1にセットします。

- * **SIF1**: 1 Hz Interrupt Flag in the Stopwatch Timer Interrupt Flag (SWT_IFLG) Register (D2/0x5023)
- * **SIF10**: 10 Hz Interrupt Flag in the Stopwatch Timer Interrupt Flag (SWT_IFLG) Register (D1/0x5023)
- * **SIF100**: 100 Hz Interrupt Flag in the Stopwatch Timer Interrupt Flag (SWT_IFLG) Register (D0/0x5023)

これらの割り込みを使用するには、割り込みフラグに対応する以下の割り込みイネーブルビットを1に設定します。割り込みイネーブルビットが0(デフォルト)に設定されていると割り込みフラグが1にセットされず、その要因による割り込み要求はITCに送られません。

- * **SIE1**: 1 Hz Interrupt Enable Bit in the Stopwatch Timer Interrupt Mask (SWT_IMSK) Register (D2/0x5022)
- * **SIE10**: 10 Hz Interrupt Enable Bit in the Stopwatch Timer Interrupt Mask (SWT_IMSK) Register (D1/0x5022)
- * **SIE100**: 100 Hz Interrupt Enable Bit in the Stopwatch Timer Interrupt Mask (SWT_IMSK) Register (D0/0x5022)

SIF*が1にセットされるとSWTモジュールは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

ストップウォッチタイマ割り込みがどの周波数によるものかについては、ストップウォッチタイマ割り込み処理ルーチンでSIF*を読み出して確認してください。

- 注: • ストップウォッチタイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、SWTモジュール内の割り込みフラグSIF*をリセットする必要があります。
- 不要な割り込みの発生を防止するため、SIE*によってストップウォッチタイマ割り込みを許可する前に、SIF*をリセットしてください。

割り込みベクタ

ストップウォッチタイマ割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号: 6(0x06)
ベクタアドレス: TTBR + 0x18

その他の割り込み設定

ITCではストップウォッチタイマ割り込みの優先順位をレベル0(デフォルト)～レベル7に設定可能です。また、実際に割り込みを発生させるにはPSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットを1に設定しておく必要があります。

割り込み処理の詳細については、“6 割り込みコントローラ(ITC)”を参照してください。

16.7 制御レジスタ詳細

表16.7.1 ストップウォッチタイマレジスタ一覧

アドレス	レジスタ名		機能
0x5020	SWT_CTL	Stopwatch Timer Control Register	タイマのリセットとRUN/STOP制御
0x5021	SWT_BCNT	Stopwatch Timer BCD Counter Register	BCDカウンタデータ
0x5022	SWT_IMSK	Stopwatch Timer Interrupt Mask Register	割り込みマスクの設定
0x5023	SWT_IFLG	Stopwatch Timer Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、ストップウォッチタイマのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5020: Stopwatch Timer Control Register (SWT_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Stopwatch Timer Control Register (SWT_CTL)	0x5020 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.	
		D4	SWTRST	Stopwatch timer reset	1 Reset	0 Ignored	0		W
		D3-1	—	reserved	—	—	—		—
		D0	SWTRUN	Stopwatch timer run/stop control	1 Run	0 Stop	0		R/W

D[7:5] Reserved**D4 SWTRST: Stopwatch Timer Reset Bit**

ストップウォッチタイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、カウンタが0x0にリセットされます。ストップウォッチタイマがRun状態でリセットを行うとリセット直後にリスタートします。また、Stop状態の場合はリセットデータ0x0が保持されます。

D[3:1] Reserved**D0 SWTRUN: Stopwatch Timer Run/Stop Control Bit**

ストップウォッチタイマのRun/Stopを制御します。

1(R/W): Run

0(R/W): Stop(デフォルト)

ストップウォッチタイマはSWTRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。Stop状態ではリセットか次にRun状態にするまで、カウンタのデータは保持されます。

0x5021: Stopwatch Timer BCD Counter Register (SWT_BCNT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Stopwatch Timer BCD Counter Register (SWT_BCNT)	0x5021 (8 bits)	D7-4	BCD10[3:0]	1/10 sec. BCD counter value	0 to 9	0	R	
		D3-0	BCD100[3:0]	1/100 sec. BCD counter value	0 to 9	0	R	

D[7:4] BCD10[3:0]: 1/10 Sec. BCD Counter Value

1/10秒カウンタのBCDデータが読み出せます。(デフォルト: 0)

このレジスタはリードオンリのため、データの書き込みはできません。

D[3:0] BCD100[3:0]: 1/100 Sec. BCD Counter Value

1/100秒カウンタのBCDデータが読み出せます。(デフォルト: 0)

このレジスタはリードオンリのため、データの書き込みはできません。

注: カウント動作中にこのレジスタを読み出すと、カウンタ値が正しく読み出されない(読み出し値が不定になる)ことがあります。

カウンタ値は、以下のいずれかの方法で取得してください。

- カウンタを停止した状態でカウンタ値を読み出します。
- カウンタ値を2回続けて読み出し、2回とも同じ結果が得られた場合にその値を有効とします。

0x5022: Stopwatch Timer Interrupt Mask Register (SWT_IMSK)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Stopwatch Timer Interrupt Mask Register (SWT_IMSK)	0x5022 (8 bits)	D7-3	-	reserved	-			-	-	0 when being read.	
		D2	SIE1	1 Hz interrupt enable	1	Enable	0	Disable	0	R/W	
		D1	SIE10	10 Hz interrupt enable	1	Enable	0	Disable	0	R/W	
		D0	SIE100	100 Hz interrupt enable	1	Enable	0	Disable	0	R/W	

本レジスタは、ストップウォッチタイマの100Hz、10Hz、1Hz信号による割り込み要求を個々に許可または禁止します。SIE*ビットを1に設定すると、対応する周波数の信号の立ち下がりエッジによるストップウォッチタイマ割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D[7:3] Reserved**D2 SIE1: 1 Hz Interrupt Enable Bit**

1Hz信号による割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

D1 SIE10: 10 Hz Interrupt Enable Bit

10Hz信号による割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

D0 SIE100: 100 Hz Interrupt Enable Bit

100Hz信号による割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

0x5023: Stopwatch Timer Interrupt Flag Register (SWT_IFLG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Stopwatch Timer Interrupt Flag Register (SWT_IFLG)	0x5023 (8 bits)	D7-3	–	reserved	–	–	–	0 when being read.	
		D2	SIF1	1 Hz interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D1	SIF10	10 Hz interrupt flag			0	R/W	
		D0	SIF100	100 Hz interrupt flag			0	R/W	

本レジスタは、ストップウォッチタイマの100Hz、10Hz、1Hz信号による割り込み要因の発生状態を示します。ストップウォッチタイマ割り込みが発生した場合は、本レジスタの割り込みフラグを読み出して発生した割り込み要因(周波数)を特定してください。

SIF*は100Hz、10Hz、1Hz割り込みに個々に対応するSWTモジュールの割り込みフラグです。SIE* (SWT_IMSKレジスタ)を1に設定しておくことにより、各信号の立ち下がりエッジで1にセットされます。同時に、ITCに対してストップウォッチタイマ割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

SIF*は1の書き込みによりリセットされます。

注: • ストップウォッチタイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、SWTモジュール内の割り込みフラグSIF*をリセットする必要があります。

- 不要な割り込みの発生を防止するため、SIE*によってストップウォッチタイマ割り込みを許可する前に、SIF*をリセットしてください。

D[7:3] Reserved**D2 SIF1: 1 Hz Interrupt Flag**

1Hz割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり
- 0(R): 割り込み要因なし(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無効

SIF1はSIE1(D2/SWT_IMSKレジスタ)を1に設定しておくことにより、1Hz信号の立ち下がりエッジで1にセットされます。

D1 SIF10: 10 Hz Interrupt Flag

10Hz割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり
- 0(R): 割り込み要因なし(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無効

SIF10はSIE10(D1/SWT_IMSKレジスタ)を1に設定しておくことにより、10Hz信号の立ち下がりエッジで1にセットされます。

D0 SIF100: 100 Hz Interrupt Flag

100Hz割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり
- 0(R): 割り込み要因なし(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無効

SIF100はSIE100(D0/SWT_IMSKレジスタ)を1に設定しておくことにより、100Hz信号の立ち下がりエッジで1にセットされます。

16.8 注意事項

- ストップウォッチタイマを動作させるには、その前にOSC1発振回路をOnさせておく必要があります。
- ストップウォッチタイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、SWT_IFLGレジスタの割り込みフラグをリセットする必要があります。
- 不要な割り込みの発生を防止するため、SWT_IMSKレジスタによってストップウォッチタイマ割り込みを許可する前に、SWT_IFLGレジスタの割り込みフラグをリセットしてください。
- ストップウォッチタイマはSWTRUN(D0/SWT_CTLレジスタ)への書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRun/Stop状態となる場合があります。したがって、SWTRUNに0を書き込んだ場合は、“+1”余分にカウントしたところでタイマが停止状態となります。また、このときSWTRUNは実際にタイマがStop状態となるまで、読み出しに対して1を保持します。
図16.8.1にRun/Stop制御のタイミングチャートを示します。

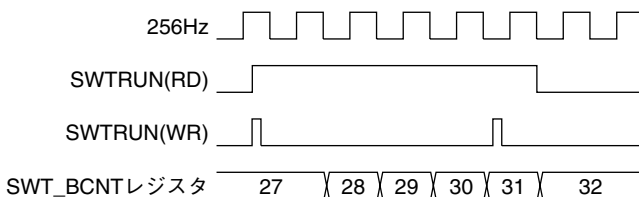


図16.8.1 Run/Stop制御のタイミングチャート

- ストップウォッチタイマがRunしている状態(SWTRUN = 1)でslp命令を実行した場合は、SLEEP状態からの復帰時にストップウォッチタイマが不安定な動作となります。したがって、SLEEP状態へ移行する場合は、slp命令の実行以前にストップウォッチタイマをSTOP状態(SWTRUN = 0)に設定してください。
- カウント動作中にカウンタレジスタを読み出すと、カウンタ値が正しく読み出されない(読み出し値が不定になる)ことがあります。
カウンタ値を取得する場合は、カウンタを停止した状態でカウンタレジスタを読み出してください。あるいは、カウンタレジスタを2回続けて読み出して、2回とも同じ結果が得られた場合にその値を有効とってください。

17 ウォッチドッグタイマ(WDT)

17.1 ウォッチドッグタイマの概要

S1C17601はOSC1発振回路を原振とするウォッチドッグタイマを内蔵しています。ウォッチドッグタイマは $131072/f_{osc1}$ 秒($f_{osc1} = 32.768\text{kHz}$ の場合4秒)以上リセットが行われない場合、CPUに対してNMIまたはリセット(ソフトウェアで選択可能)を発生します。

ソフトウェアによってこの周期以内にウォッチドッグタイマをリセットし、NMI/リセットが発生しないように処理しておくことで、その処理ルーチンを通らないようなプログラムの暴走を検出することができます。

図17.1.1にウォッチドッグタイマのブロック図を示します。

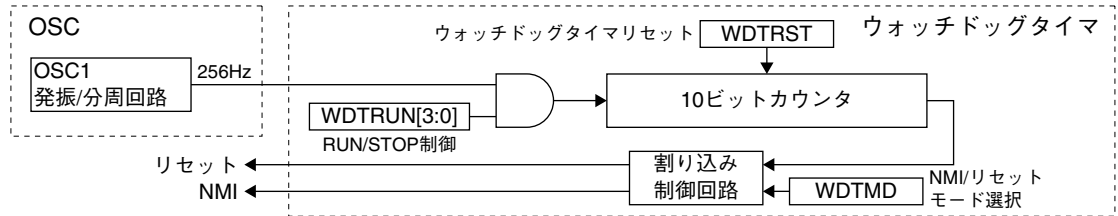


図17.1.1 ウォッチドッグタイマのブロック図

17.2 動作クロック

ウォッチドッグタイマは、OSCモジュールが出力する256Hzクロックを動作クロックとして使用します。OSCモジュールはOSC1クロックを1/128に分周してこの動作クロックを生成します。したがって、OSC1クロック周波数が32.768kHzの場合に256Hzとなります。それ以外のOSC1クロック周波数では、本節に記載の周波数や時間が変わります。

OSCモジュールに256Hzクロックの出力制御ビットは設けられていません。OSC1発振がOnの場合は、常に256Hzクロックがウォッチドッグタイマに供給されます。

OSC1発振回路の制御については、“7 発振回路(OSC)”を参照してください。

17.3 ウォッチドッグタイマの制御

17.3.1 NMI/リセットモードの選択

NMI/リセット発生周期以内にウォッチドッグタイマがリセットされなかった場合に、NMI信号を出力するかリセット信号を出力するかWDTMD(D1/WDT_STレジスタ)で選択できます。

* **WDTMD**: NMI/Reset Mode Select Bit in the Watchdog Timer Status (WDT_ST) Register (D1/0x5041)

NMIを発生させるにはWDTMDを0(デフォルト)に、リセットを発生させるには1に設定します。

17.3.2 ウォッチドッグタイマのRUN/STOP制御

ウォッチドッグタイマはWDTRUN[3:0](D[3:0]/WDT_CTLレジスタ)に0b1010以外の値を書き込むことでカウントを開始し、0b1010を書き込むと停止します。

* **WDTRUN[3:0]**: Watchdog Timer Run/Stop Control Bits in the Watchdog Timer Control (WDT_CTL) Register (D[3:0]/0x5040)

イニシャルリセット時はWDTRUN[3:0]が0b1010に設定され、ウォッチドッグタイマは停止状態となります。カウンタの値によってはRun直後にNMI/リセットが発生する場合がありますので、ウォッチドッグタイマをRunさせる際には次節で説明するウォッチドッグタイマのリセットも同時に行ってください。

17.3.3 ウォッチドッグタイマのリセット

ウォッチドッグタイマをリセットするには、WDRST(D4/WDT_CTLレジスタ)に1を書き込みます。

* **WDRST**: Watchdog Timer Reset Bit in the Watchdog Timer Control (WDT_CTL) Register (D4/0x5040)

ウォッチドッグタイマを使用する場合は、NMI/リセットが発生する前にウォッチドッグタイマをリセットするルーチンを定期的に処理される場所に用意しておきます。このルーチンは131072/fosc1秒(fosc1 = 32.768kHzの場合4秒)周期以内で処理されるようにしてください。

リセット後、ウォッチドッグタイマは新たなNMI/リセット発生周期のカウントを始めます。

何らかの原因によってウォッチドッグタイマがNMI/リセット発生周期以内にリセットされなかった場合、NMIまたはリセットによってCPUは割り込み処理に移行し、割り込みベクタを読み出して割り込み処理ルーチンを実行します。

リセットのベクタアドレスはTTBR + 0x0、NMIのベクタアドレスはTTBR + 0x08です。

ウォッチドッグタイマがリセットされずにカウンタがオーバーフローしてNMIが発生した場合は、WDTST(D0/WDT_STレジスタ)が1に設定されます。

* **WDTST**: NMI Status Bit in the Watchdog Timer Status (WDT_ST) Register (D0/0x5041)

このビットはNMIの発生元がウォッチドッグタイマであることを確認するために設けられています。1にセットされたWDTSTはウォッチドッグタイマをリセットすることで0にクリアされます。

17.3.4 スタンバイモード時の動作

HALTモード時

HALTモード時はクロックが供給されるため、ウォッチドッグタイマは動作します。したがって、NMI/リセット発生周期以上、HALTモードを続けるとNMIまたはリセットによりHALTモードが解除されます。HALTモード時にウォッチドッグタイマを無効にするには、halt命令実行前にWDTRUN[3:0]に0b1010を書き込んでウォッチドッグタイマを停止させてください。HALTモードを解除後は、動作を再開させる前にウォッチドッグタイマをリセットしてください。

SLEEPモード時

SLEEPモード時はOSCモジュールからのクロックの供給が停止します。したがって、ウォッチドッグタイマも動作を停止します。SLEEPモード解除後に不要なNMIまたはリセットが発生することを防ぐため、slp命令の実行前にウォッチドッグタイマをリセットしてください。また、必要に応じWDTRUN[3:0]によってウォッチドッグタイマを停止させてください。

17.4 制御レジスタ詳細

表17.4.1 ウォッチドッグタイマレジスタ一覧

アドレス	レジスタ名		機能
0x5040	WDT_CTL	Watchdog Timer Control Register	タイマのリセットとRUN/STOP制御
0x5041	WDT_ST	Watchdog Timer Status Register	タイマモードの設定とNMI状態表示

以下、ウォッチドッグタイマのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5040: Watchdog Timer Control Register (WDT_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Watchdog Timer Control Register (WDT_CTL)	0x5040 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	WDTRST	Watchdog timer reset	1 Reset	0 Ignored	0	W
		D3-0	WDTRUN[3:0]	Watchdog timer run/stop control	Other than 1010 Run	1010 Stop	1010	R/W

D[7:5] Reserved**D4 WDTRST: Watchdog Timer Reset Bit**

ウォッチドッグタイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

ウォッチドッグタイマを使用する場合は、NMI/リセット発生周期($f_{osc1} = 32.768\text{kHz}$ の場合4秒)以内に本ビットに1を書き込み、ウォッチドッグタイマをリセットする必要があります。この書き込みでアップカウンタは0にリセットされ、そこから新たなNMI/リセット発生周期のカウントを始めます。

D[3:0] WDTRUN[3:0]: Watchdog Timer Run/Stop Control Bits

ウォッチドッグタイマのRun/Stopを制御します。

0b1010以外(R/W): Run

0b1010(R/W): Stop(デフォルト)

ウォッチドッグタイマをRunさせる場合は、不要なNMIまたはリセットの発生を防ぐため、必ずウォッチドッグタイマのリセットも行ってください。

0x5041: Watchdog Timer Status Register (WDT_ST)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
Watchdog Timer Status Register (WDT_ST)	0x5041 (8 bits)	D7-2	—	reserved	—		—	—	0 when being read.
		D1	WDTMD	NMI/Reset mode select	1 Reset	0 NMI	0	R/W	
		D0	WDTST	NMI status	1 NMI occurred	0 Not occurred	0	R	

D[7:2] Reserved**D1 WDTMD: NMI/Reset Mode Select Bit**

カウンタのオーバーフロー時にNMIとリセットのどちらを発生させるか選択します。

1(R/W): リセット

0(R/W): NMI(デフォルト)

本ビットを1に設定すると、カウンタがオーバーフローした時点でリセット信号を出力します。
0に設定した場合はNMI信号を出力します。

D0 WDTST: NMI Status Bit

カウンタがオーバーフローしてNMIが発生したことを示します。

1(R): NMI発生(カウンタオーバーフロー)

0(R): NMI未発生(デフォルト)

このビットはNMIの発生元がウォッチドッグタイマであることを確認するために設けられています。1にセットされたWDTSTはウォッチドッグタイマをリセットすることで0にクリアされます。

リセット出力選択時も、カウンタオーバーフローで一旦セットされますが、イニシャルリセットによりクリアされ確認することはできません。

17.5 注意事項

- ウォッチドッグタイマを使用する場合は、 $131072/f_{osc1}$ 秒($f_{osc1} = 32.768\text{kHz}$ の場合4秒)周期以内に必ずソフトウェアでリセットする必要があります。
- ウォッチドッグタイマをRunさせる場合は、不要なNMIまたはリセットの発生を防ぐため、必ずウォッチドッグタイマのリセットも行ってください。

18 UART

18.1 UARTの構成

S1C17601はUARTを1チャンネル内蔵しています。UARTは150～460800bpsの転送速度で外部シリアルデバイスとの非同期データ転送を行います。2バイトの受信データバッファと1バイトの送信データバッファを内蔵し、全二重通信が可能です。転送クロックにはタイマモジュールによる内部生成クロックと、SCLK端子から入力する外部クロックのいずれかを使用できます。データ長(7ビットまたは8ビット)、ストップビット長(1ビットまたは2ビット)、パリティモード(偶数、奇数、パリティなし)はソフトウェアで選択します。スタートビットは1ビットに固定されています。データ受信時には、オーバーランエラー、フレーミングエラー、パリティエラーが検出可能です。UARTはチャンネルごとに3種類の割り込み(送信バッファエンプティ、受信バッファフル、受信エラー)を発生しますので、シリアルデータ転送を割り込み処理によって効率よく処理することができます。

また、本UARTモジュールにはRZI変調/復調回路が組み込まれており、簡単な外付け回路の追加のみで、IrDA 1.0に対応する赤外線通信回路を構成することができます。

図18.1.1に、UARTの構造を示します。

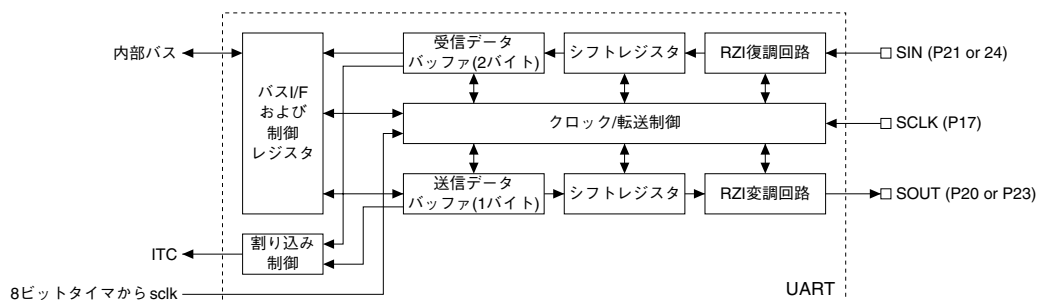


図18.1.1 UARTの構造

18.2 UART端子

表18.2.1にUARTの入出力端子の一覧を示します。

表18.2.1 UART端子一覧

端子名	I/O	本数	機能
SIN (P21 or P24)	I	1	UARTデータ入力端子 外部シリアルデバイスから送られるシリアルデータを入力します。
SOUT (P20 or P23)	O	1	UARTデータ出力端子 外部シリアルデバイスに送るシリアルデータを出力します。
SCLK (P17)	I	1	UARTクロック入力端子 転送クロックに外部クロックを使用する場合に、この端子から入力します。

UARTの入出力端子(SIN、SOUT、SCLK)は汎用入出力ポート端子(P2[1:0]、P2[4:3]、P17)を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをUARTの入出力端子として使用するには、P2_PMUX、P1_PMUXレジスタの設定により機能を切り換える必要があります。以下の制御ビットを2に設定して、端子をシリアルインタフェース用に切り換えてください。

UARTは1chのみ内蔵ですので、SIN(P21)、SOUT(P20)、SCLK(P17)または、SIN(P24)、SOUT(P23)、SCLK(P17)のどちらかの組み合わせで使用してください。

UART Ch.0

P21 → SIN

* **P21MUX**: P21 Port Function Select Bit in the P2 Port Function Select (P2_PMUX) Register (D3-2/0x52a4)

P20 → SOUT

* **P20MUX**: P20 Port Function Select Bit in the P2 Port Function Select (P2_PMUX) Register (D1-0/0x52a4)

P17 → SCLK (外部クロックを使用する場合のみ)

* **P17MUX**: P17 Port Function Select Bit in the P1 Port Function Select (P1_PMUX) Register (D7-6/0x52a3)

P24 → SIN

* **P24MUX**: P24 Port Function Select Bit in the P2 Port Function Select (P2_PMUX) Register (D1-0/0x52a5)

P23 → SOUT

* **P23MUX**: P23 Port Function Select Bit in the P2 Port Function Select (P2_PMUX) Register (D7-6/0x52a4)

端子の機能と切り換えの詳細については、“10.2 入出力端子機能の選択(ポートMUX)”を参照してください。

18.3 転送クロック

UARTの転送クロックは、SSCK(D0/UART_MODレジスタ)を使用して内部クロックまたは外部クロックのいずれかを選択可能です。

* **SSCK**: Input Clock Select Bit in the UART Mode (UART_MOD) Register (D0/0x4103)

注: SSCKの変更は、必ずUARTが動作停止中(RXEN/UART_CTLレジスタ = 0)に行ってください。

* **RXEN**: UART Enable Bit in the UART Control (UART_CTL) Register (D0/0x4104)

内部クロック

SSCKを0(デフォルト)に設定すると、内部クロックが選択されます。UARTは8ビットタイマの出力クロックを転送クロックとして使用します。したがって、転送レートに合ったクロックを出力するようにビットタイマをプログラムしておく必要があります。

8ビットタイマの制御については、“12 8ビットタイマ(T8F)”を参照してください。

外部クロック

SSCKを1に設定すると、外部クロックが選択されます。この場合は、P17をSCLK端子に設定し(18.2節参照)、外部クロックを入力してください。

- 注:
- UARTは8ビットタイマの出力または外部クロックを1/16に分周してサンプリングクロックを生成します。転送レートを設定する際には注意してください。
 - SCLK端子から外部クロックを入力する場合、クロックの周波数はPCLKの1/2以下で、デューティ比は50%である必要があります。

18.4 転送データの設定

以下の条件を選択して転送データ形式を設定できます。

- データ長: 7ビット、または8ビット
- スタートビット: 1ビット固定
- ストップビット: 1ビット、または2ビット
- パリティビット: 偶数、奇数、パリティなし

注: 転送データ形式の設定は、必ずUARTが動作停止中(RXEN/UART_CTLレジスタ = 0)に行ってください。

* **RXEN**: UART Enable Bit in the UART Control (UART_CTL) Register (D0/0x4104)

データ長

データ長は、CHLN(D4/UART_MODレジスタ)で選択します。CHLNを0(デフォルト)に設定すると、データ長は7ビットに設定されます。CHLNを1に設定すると、8ビットに設定されます。

* **CHLN**: Character Length Select Bit in the UART Mode (UART_MOD) Register (D4/0x4103)

ストップビット

ストップビット長はSTPB(D1/UART_MODレジスタ)で選択します。STPBを0(デフォルト)に設定すると、ストップビット長は1ビットに設定されます。STPBを1に設定すると、2ビットに設定されます。

* **STPB**: Stop Bit Select Bit in the UART Mode (UART_MOD) Register (D1/0x4103)

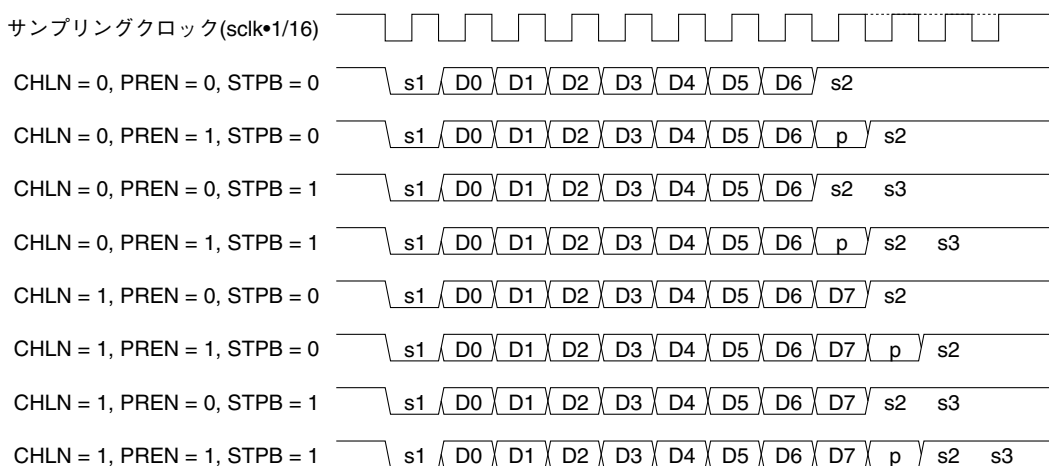
パリティビット

パリティ機能を有効にするか否かについては、PREN(D3/UART_MODレジスタ)で選択します。PRENを0(デフォルト)に設定すると、パリティ機能は無効となります。この場合、転送データにパリティビットは付加されず、データ受信時もパリティチェックは行われません。PRENを1に設定すると、パリティ機能が有効になります。この場合、転送データにパリティビットが付加され、データ受信時はパリティチェックを行います。

パリティ機能を有効にする場合は、PMD(D2/UART_MODレジスタ)でパリティモードを選択します。PMDを0(デフォルト)に設定すると、偶数パリティとしてパリティビットの付加とチェックが行われます。PMDを1に設定すると、奇数パリティとしてパリティビットの付加とチェックが行われます。

* **PREN**: Parity Enable Bit in the UART Mode (UART_MOD) Register (D3/0x4103)

* **PMD**: Parity Mode Select Bit in the UART Mode (UART_MOD) Register (D2/0x4103)



s1: スタートビット, s2 & s3: ストップビット, p: パリティビット

図18.4.1 転送データ形式

18.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) 入力クロックを選択します。18.3節を参照してください。
内部クロックを使用する場合は、転送クロックを出力するように8ビットタイマをプログラムします。12章を参照してください。
- (2) 転送データ形式を設定します。18.4節を参照してください。
- (3) IrDAインタフェースを使用する場合は、IrDAモードを設定します。18.8節を参照してください。
- (4) UART割り込みを使用する場合は、割り込み条件を設定します。18.7節を参照してください。

注: 上記の設定は、必ずUARTが動作停止中(RXEN/UART_CTLレジスタ = 0)に行ってください。

* **RXEN**: UART Enable Bit in the UART Control (UART_CTL) Register (D0/0x4104)

データ送受信を許可

最初にRXENビット(D0/UART_CTLレジスタ)を1に設定してデータの送受信を許可します。これにより、送受信回路が送受信可能な状態になります。

注: UARTが送受信中はRXENビットを0に設定しないでください。

データ送信制御

送信を開始するには、UART_TXDレジスタ(0x4101)に送信データを書き込みます。

* **UART_TXD**: UART Transmit Data Register (0x4101)

データは送信データバッファに書き込まれ、送信回路がデータ送信を開始します。バッファのデータは送信用シフトレジスタに送られ、スタートビットがSOUT端子から出力されます。続いて、シフトレジスタのデータがLSBから出力されます。転送データビットはサンプリングクロックの立ち上がりエッジに同期してシフトし、SOUT端子から順次出力されます。MSBの出力後、パリティビット(パリティ有効時のみ)とストップビットが出力されます。

送信回路にはTDBE(D0/UART_STレジスタ)とTRBS(D2/UART_STレジスタ)の2つのステータスフラグが用意されています。

* **TDBE**: Transmit Data Buffer Empty Flag in the UART Status (UART_ST) Register (D0/0x4100)

* **TRBS**: Transmit Busy Flag in the UART Status (UART_ST) Register (D2/0x4100)

TDBEフラグは送信データバッファの状態を示します。このフラグはアプリケーションプログラムが送信データバッファにデータを書き込むと0になり、バッファのデータが送信用シフトレジスタに送られると1に戻ります。このフラグが1になった時点で割り込みを発生させることができます(18.7節参照)。この割り込みを利用するか、TDBEフラグの読み出しによって送信データバッファが空であることを確認し、次のデータ送信を行います。送信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、1つ前のデータを送信中に、データの書き込みが行えます。ただし、送信データを書き込む前に、送信データバッファが空になっていることを確認してください。TDBEフラグが0の場合にデータを書き込むと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。

TRBSフラグはシフトレジスタの状態を示します。このフラグは送信データが送信データバッファからシフトレジスタにロードされると1になり、データ送信が完了すると0に戻ります。送信回路が動作中か待機中かについては、このフラグを読み出して確認してください。

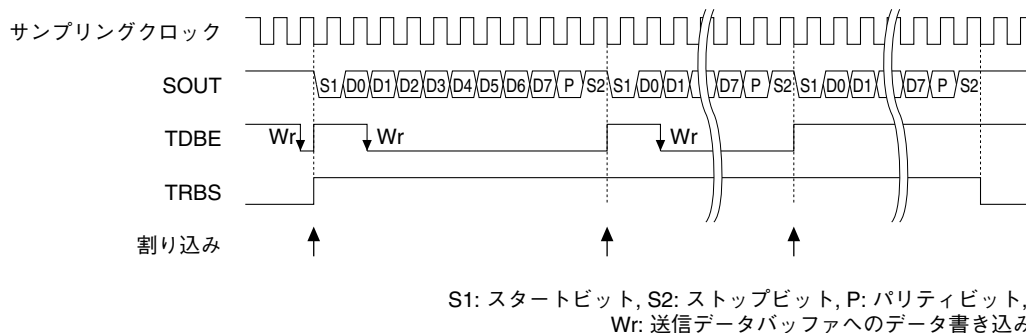


図18.5.1 データ送信タイミングチャート

データ受信制御

受信回路はRXENビットを1に設定すると起動し、外部シリアルデバイスからのデータを受信可能な状態になります。

外部シリアルデバイスがスタートビットを送信すると、受信回路はそのLowレベルを検出して、続くデータビットのサンプリングを開始します。データビットはサンプリングクロックの立ち上がりエッジでサンプリングされ、先頭ビットをLSBとして受信用シフトレジスタに取り込まれます。MSBをシフトレジスタに受信し終わると、受信データは受信データバッファにロードされます。パリティチェックが有効に設定されている場合、これと同時に、受信回路はMSBの直後に受信したパリティビットでパリティチェックを行います。

受信データバッファは2バイトのFIFOで、満杯になるまでデータを受信可能です。

バッファ内の受信データはUART_RXDレジスタ(0x4102)から読み出すことができます。古いデータから先に読み出され、読み出しによりクリアされます。

* **UART_RXD**: UART Receive Data Register (0x4102)

受信回路にはRDRY(D1/UART_STレジスタ)とRD2B(D3/UART_STレジスタ)の2つのバッファステータスフラグが用意されています。

* **RDRY**: Receive Data Ready Flag in the UART Status (UART_ST) Register (D1/0x4100)

* **RD2B**: Second Byte Receive Flag in the UART Status (UART_ST) Register (D3/0x4100)

RDRYフラグは受信データバッファ内に受信データが存在することを示します。RD2Bフラグは受信データバッファが満杯になっていることを示します。

(1) RDRY = 0, RD2B = 0

データを受信していません。したがって、受信データバッファを読み出す必要はありません。

(2) RDRY = 1, RD2B = 0

1個のデータを受信しています。受信データバッファを1回読み出してください。この読み出しによりRDRYフラグがリセットされます。バッファは上記(1)の状態に戻ります。

受信データバッファを2回読み出した場合、2回目の読み出しデータは無効です。

(3) RDRY = 1, RD2B = 1

2個のデータを受信しています。受信データバッファを2回読み出してください。最初の読み出しで、受信データバッファは古い方の受信データを出力します。この読み出しにより、RD2Bフラグがリセットされます。バッファは上記(2)の状態になります。2回目の読み出しで最新の受信データが出力されます。2回の読み出し後、バッファは上記(1)の状態になります。

受信バッファが満杯でも、シフトレジスタは8ビットデータをもう1つ受信開始することができます。受信データバッファの読み出しがなく受信が終了した場合、オーバーランエラーが発生し最後の受信データは読み出すことができません。したがって、受信データバッファはオーバーランエラーが発生する前に読み出してください。オーバーランエラーについては、18.6節を参照してください。

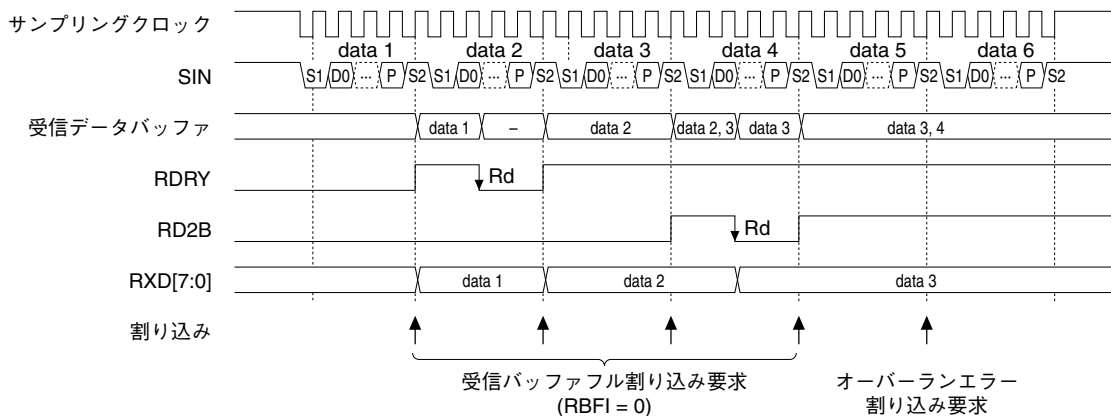
これらのフラグを読み出すことで、受信データ数を確認することができます。

また、UARTは受信データバッファにデータを受信した時点で受信バッファフル割り込みを発生可能で、この割り込みを利用して受信データバッファを読み出すことができます。デフォルト設定では、

受信データバッファが1個のデータを受信すると(前記(2)の状態)、受信バッファフル割り込みが発生するようになっていました。これを、RBFIBIT(D1/UART_CTLレジスタ)を1に設定することで、受信データバッファが2個のデータを受信した時点で割り込みが発生するように変更できます。

* **RBFIBIT**: Receive Buffer Full Interrupt Condition Setup Bit in the UART Control (UART_CTL) Register (D1/0x4104)

前述のフラグの他に、3つのエラーフラグも用意されています。それらのフラグと受信エラーについては、18.6節を参照してください。



S1: スタートビット, S2: ストップビット, P: パリティビット, Rd: RXD[7:0]からのデータリード

図18.5.2 データ受信タイミングチャート

データ送受信を禁止

データ転送(送信と受信の両方)を終了後は、RXENビットに0を書き込んでデータ送受信を禁止します。ただし、データ送受信を禁止する前に、TDBEフラグが1、TRBSとRDRYフラグが0になっていることを確認してください。

RXENビットを0に設定すると、送信データバッファは空の状態になります(データが残っていればクリアされます)。また、データの送受信中にRXENを0に設定した場合、転送中のデータは保証されません。

18.6 受信エラー

データ受信時は、3種類の受信エラーを検出可能です。
受信エラーは割り込み要因のため、割り込みを発生させてエラーを処理することができます。UART割り込みの制御については、18.7節を参照してください。

パリティエラー

PREN(D3/UART_MODレジスタ)が1(パリティ有効)に設定されている場合、受信時にパリティチェックが行われます。

パリティチェックはシフトレジスタに受信したデータが受信データバッファに転送される際に行われ、PMD(D2/UART_MODレジスタ)の設定(奇数または偶数パリティ)との整合をチェックします。この結果が不整合の場合はパリティエラーと判断され、パリティエラーフラグPER(D5/UART_STレジスタ)が1にセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、受信データはパリティエラーのため保証されません。

なお、PERフラグ(D5/UART_STレジスタ)は1を書き込むことによって0にリセットされます。

- * **PREN:** Parity Enable Bit in the UART Mode (UART_MOD) Register (D3/0x4103)
- * **PMD:** Parity Mode Select Bit in the UART Mode (UART_MOD) Register (D2/0x4103)
- * **PER:** Parity Error Flag in the UART Status (UART_ST) Register (D5/0x4100)

フレーミングエラー

ストップビットを0として受信すると、UARTは同期ずれと判断してフレーミングエラーを発生します。ストップビットを2ビットに設定している場合は、最初の1ビットのみチェックします。

本エラーが発生すると、フレーミングエラーフラグFER(D6/UART_STレジスタ)が1にセットされます。本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。

なお、FERフラグ(D6/UART_STレジスタ)は1を書き込むことによって0にリセットされます。

- * **FER:** Framing Error Flag in the UART Status (UART_ST) Register (D6/0x4100)

オーバーランエラー

受信データバッファが満杯(2データ受信済み)の状態でも、次に送られる3番目のデータはシフトレジスタに受信可能です。ただし、その受信が終了した時点で、受信データバッファに空きがなければ(それまでにデータが読み出されていなければ)、シフトレジスタに受信した3番目のデータはバッファに送られず、オーバーランエラーが発生します。

オーバーランエラーが発生するとオーバーランエラーフラグOER(D4/UART_STレジスタ)が1にセットされます。

本エラーが発生した場合でも、受信動作は継続して行われます。

なお、OERフラグ(D4/UART_STレジスタ)は1を書き込むことによって0にリセットされます。

- * **OER:** Overrun Error Flag in the UART Status (UART_ST) Register (D4/0x4100)

18.7 UART割り込み

UARTには、以下の3種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 受信バッファフル割り込み
- 受信エラー割り込み

UARTの各チャンネルは、上記3種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します(2チャンネルで計2本を出力)。発生した割り込み要因を特定するには、ステータスフラグおよびエラーフラグを読み出してください。

送信バッファエンプティ割り込み

この割り込みを使用するには、TIEN(D4/UART_CTLレジスタ)を1に設定します。TIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

* **TIEN**: Transmit Buffer Empty Interrupt Enable Bit in the UART Control (UART_CTL) Register (D4/0x4104)

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、UARTはTDBEビット(D0/UART_STレジスタ)を1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(TIEN = 1)、これと同時に割り込み要求がITCに出力されます。

* **TDBE**: Transmit Data Buffer Empty Flag in the UART Status (UART_ST) Register (D0/0x4100)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

UART割り込みが送信バッファエンプティによるものかどうかについては、UART割り込み処理ルーチンでTDBEフラグを読み出して確認してください。TDBEが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

受信バッファフル割り込み

この割り込みを使用するには、RIEN(D5/UART_CTLレジスタ)を1に設定します。RIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

* **RIEN**: Receive Buffer Full Interrupt Enable Bit in the UART Control (UART_CTL) Register (D5/0x4104)

受信バッファフル割り込みが許可されている場合(RIEN = 1)、指定数の受信データが受信データバッファにロードされると、UARTは割り込み要求をITCに出力します。RBF1(D1/UART_CTLレジスタ)が0の場合、1個の受信データが受信データバッファにロードされた(RDRYフラグ(D1/UART_STレジスタ)が1にセットされた)時点で割り込み要求が出力されます。RBF1(D1/UART_CTLレジスタ)が1の場合、2個の受信データが受信データバッファにロードされた(RD2Bフラグ(D3/UART_STレジスタ)が1にセットされた)時点で割り込み要求が出力されます。

* **RBF1**: Receive Buffer Full Interrupt Condition Setup Bit in the UART Control (UART_CTL) Register (D1/0x4104)

* **RDRY**: Receive Data Ready Flag in the UART Status (UART_ST) Register (D1/0x4100)

* **RD2B**: Second Byte Receive Flag in the UART Status (UART_ST) Register (D3/0x4100)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

UART割り込みが受信バッファフルによるものかどうかについては、UART割り込み処理ルーチンでRDRYとRD2Bフラグを読み出して確認してください。RDRYまたはRD2Bが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。

受信エラー割り込み

この割り込みを使用するには、REIEN(D6/UART_CTLレジスタ)を1に設定します。REIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

* **REIEN**: Receive Error Interrupt Enable Bit in the UART Control (UART_CTL) Register (D6/0x4104)

データ受信時にパリティエラー、フレーミングエラー、またはオーバーランエラーを検出すると、UARTは以下に示すエラーフラグを1に設定します。受信エラー割り込みが許可されていれば(REIEN = 1)、これと同時に割り込み要求がITCに出力されます。

* **PER**: Parity Error Flag in the UART Status (UART_ST) Register (D5/0x4100)

* **FER**: Framing Error Flag in the UART Status (UART_ST) Register (D6/0x4100)

* **OER**: Overrun Error Flag in the UART Status (UART_ST) Register (D4/0x4100)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

UART割り込みが受信エラーによるものかどうかについては、UART割り込み処理ルーチンで上記のエラーフラグを読み出して確認してください。いずれかのエラーフラグが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。

割り込みベクタ

UART割り込みのベクタ番号とベクタアドレスは以下のとおりです。

表18.7.1 UART割り込みベクタ

ベクタ番号	ベクタアドレス
16(0x10)	TTBR + 0x40

その他の割り込み設定

ITCではUART割り込みの優先順位をチャンネルごとにレベル0(デフォルト)～レベル7に設定可能です。また、実際に割り込みを発生させるにはPSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットを1に設定しておく必要があります。

割り込み処理の詳細については、“6 割り込みコントローラ(ITC)”を参照してください。

18.8 IrDAインタフェース

本UARTモジュールにはRZI変調/復調回路が組み込まれており、簡単な外付け回路の追加のみで、IrDA 1.0に対応する赤外線通信回路を構成することができます。

UARTの送信用シフトレジスタから出力された送信データは変調回路に入力され、Lowパルス幅が3 sclkサイクルに変換された後にSOUT端子から出力されます。

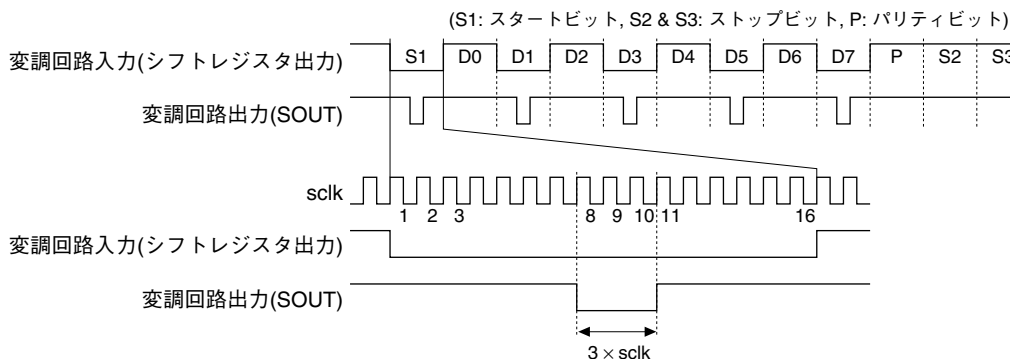


図18.8.1 送信信号波形

受信したIrDA信号は復調回路に入力され、Lowパルス幅が16 sclkサイクルに変換された後に受信用シフトレジスタに入力されます。入力されるLowパルス(最小パルス幅 = 1.41 μ s/115200bps時)を検出するため、復調回路は転送クロックとは別に、プリスケアラ出力クロックから選択したパルス検出クロックを使用します。

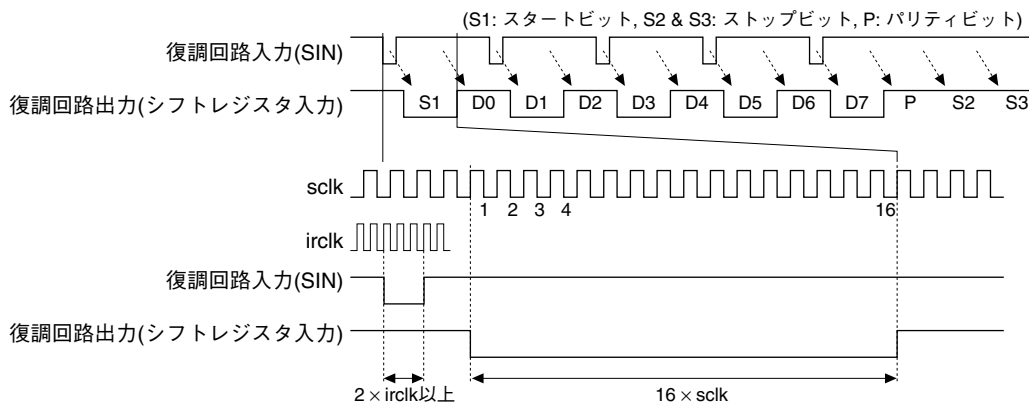


図18.8.2 受信信号波形

IrDAイネーブル

IrDAインタフェース機能を使用するには、IRMD(D0/UART_EXPレジスタ)を1に設定します。これにより、RZI変調/復調回路が有効になります。

* IRMD: IrDA Mode Select Bit in the UART Expansion (UART_EXP) Register (D0/0x4105)

注: この設定は、UARTの他の条件を設定する前に行う必要があります。

IrDA受信検出クロックの選択

入力パルス検出用クロックを、IRCLK[2:0](D[6:4]/UART_EXPレジスタ)を使用してプリスケアラ出力クロックのPCLK•1/1～PCLK•1/128の中から選択します。

* **IRCLK[2:0]**: IrDA Receive Detection Clock Select Bits in the UART Expansion (UART_EXP) Register (D[6:4]/0x4105)

表18.8.1 IrDA受信検出クロックの選択

IRCLK[2:0]	プリスケアラ出力クロック
0x7	PCLK•1/128
0x6	PCLK•1/64
0x5	PCLK•1/32
0x4	PCLK•1/16
0x3	PCLK•1/8
0x2	PCLK•1/4
0x1	PCLK•1/2
0x0	PCLK•1/1

(デフォルト: 0x0)

このクロックには、8ビットタイムまたはSCLK端子から入力される転送クロックsclkよりも高速なクロックを選択する必要があります。

復調回路はIrDA受信検出クロックの2サイクル以上の幅を持つLowパルスを有効と見なし、16 sclkサイクル幅のLowパルスに変換します。最小1.41μs幅の入力パルスが検出できるように、適切なプリスケアラ出力クロックを選択してください。

シリアルデータ転送の制御

IrDAモードの場合も、データ送受信の制御方法は通常のインタフェースと同じです。データ形式の設定やデータ転送、割り込みの制御方法については、前記の説明を参照してください。

18.9 制御レジスタ詳細

表18.9.1 UARTレジスタ一覧

アドレス	レジスタ名		機能
0x4100	UART_ST	UART Status Register	転送、バッファ、エラーステータスの表示
0x4101	UART_TXD	UART Transmit Data Register	送信データ
0x4102	UART_RXD	UART Receive Data Register	受信データ
0x4103	UART_MOD	UART Mode Register	転送データ形式の設定
0x4104	UART_CTL	UART Control Register	データ転送の制御
0x4105	UART_EXP	UART Expansion Register	IrDAモードの設定

以下、UARTのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x4100: UART Status Registers (UART_ST)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
UART Status Register (UART_ST)	0x4100 (8 bits)	D7	–	reserved		–	–	–	0 when being read.		
		D6	FER	Framing error flag	1	Error	0	Normal	0	R/W	Reset by writing 1.
		D5	PER	Parity error flag	1	Error	0	Normal	0	R/W	
		D4	OER	Overrun error flag	1	Error	0	Normal	0	R/W	
		D3	RD2B	Second byte receive flag	1	Ready	0	Empty	0	R	
		D2	TRBS	Transmit busy flag	1	Busy	0	Idle	0	R	Shift register status
		D1	RDRY	Receive data ready flag	1	Ready	0	Empty	0	R	
		D0	TDBE	Transmit data buffer empty flag	1	Empty	0	Not empty	1	R	

D7 Reserved

D6 FER: Framing Error Flag

フレーミングエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

FERはフレーミングエラーが発生すると1にセットされます。フレーミングエラーは、ストップビットを0としてデータを受信した場合に発生します。

FERは1を書き込むことによりリセットされます。

D5 PER: Parity Error Flag

パリティエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

PERはパリティエラーが発生すると1にセットされます。パリティチェックはPREN(D3/UART_MODレジスタ)が1に設定されている場合にのみ有効で、受信データがシフトレジスタから受信データバッファに転送される際に実行されます。

PERは1を書き込むことによりリセットされます。

D4 OER: Overrun Error Flag

オーバーランエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

OERはオーバーランエラーが発生すると1にセットされます。オーバーランエラーは、受信データバッファが満杯の状態、次のデータをシフトレジスタに受信し、さらに続くデータが送られてきた場合に発生します。このエラーが発生した場合、受信データバッファは上書きされず、エラーが発生した時点のシフトレジスタが上書きされます。

OERは1を書き込むことによりリセットされます。

D3 RD2B: Second Byte Received Flag

受信データバッファに2個の受信データがあることを示します。

1(R): 2バイト目が読み出し可

0(R): 2バイト目は未受信(デフォルト)

RD2Bは、受信データバッファに2バイト目のデータがロードされると1にセットされ、受信データバッファから最初のデータが読み出されると0にリセットされます。

D2 TRBS: Transmit Busy Flag

送信シフトレジスタの状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

TRBSは、送信データが送信データバッファからシフトレジスタにロードされると1にセットされ、データ送信が完了すると0にリセットされます。送信回路が動作中か待機中かを確認する際に、読み出してください。

D1 RDRY: Receive Data Ready Flag

受信データバッファに有効な受信データがあることを示します。

1(R): データ読み出し可

0(R): バッファは空(デフォルト)

RDRYは、受信データバッファに受信データがロードされると1にセットされ、受信データバッファからすべてのデータが読み出されると0にリセットされます。

D0 TDBE: Transmit Data Buffer Empty Flag

送信データバッファの状態を示します。

1(R): バッファは空(デフォルト)

0(R): データあり

TDBEは、送信データが送信データバッファに書き込まれると0にリセットされ、そのデータがシフトレジスタに転送されると1にセットされます。

0x4101: UART Transmit Data Registers (UART_TXD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Transmit Data Register (UART_TXD)	0x4101 (8 bits)	D7-0	TXD[7:0]	Transmit data TXD7(6) = MSB TXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R/W	

D[7:0] TXD[7:0]: Transmit Data

送信データバッファにセットする送信データを書き込みます。(デフォルト: 0x0)

このレジスタにデータを書き込むことにより、UARTは送信を開始します。TXD[7:0]に書き込んだデータは送信データバッファに入り送信まで待機します。

送信データバッファ内のデータが送信されると、送信バッファエンプティ割り込み要因が発生します。

7ビットモードでは、TXD7(MSB)が無効となります。

SOUT端子からはシリアル変換されたデータがLSBを先頭に、1に設定されたビットがHighレベル、0に設定されたビットがLowレベルとして出力されます。

このレジスタは読み出しも可能です。

0x4102: UART Receive Data Registers (UART_RXD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Receive Data Register (UART_RXD)	0x4102 (8 bits)	D7-0	RXD[7:0]	Receive data in the receive data buffer RXD7(6) = MSB RXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R	Older data in the buffer is read out first.

D[7:0] RXD[7:0]: Receive Data

受信データバッファのデータが古いものから順に読み出せます。受信したデータは受信データバッファに入ります。受信データバッファは2バイトのFIFOで、これが満杯になるまでは、読み出しを行わなくても正しく受信できます。バッファが満杯でシフトレジスタにもデータが受信されている状態では、次の受信が始まるまでにデータを読み出さないとオーバーランエラーになります。

受信回路にはRDRY(D1/UART_STレジスタ)とRD2B(D3/UART_STレジスタ)の2つの受信バッファステータスフラグが用意されています。RDRYフラグは受信データバッファ内に有効な受信データが存在することを示し、RD2Bフラグは受信データバッファに2個の受信データがあることを示します。

受信データバッファ内の受信データがRBF(D1/UART_CTLレジスタ)で指定した数になると、受信バッファフル割り込み要因が発生します。

7ビットモードでは、RXD7に0がロードされます。

SIN端子から入力されたシリアルデータは先頭をLSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、受信データバッファにロードされます。

このレジスタは読み出し専用で、書き込みは行えません。(デフォルト: 0x0)

0x4103: UART Mode Registers (UART_MOD)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
UART Mode Register (UART_MOD)	0x4103 (8 bits)	D7-5	–	reserved	–		–	–	0 when being read.	
		D4	CHLN	Character length	1	8 bits	0	7 bits	0	R/W
		D3	PREN	Parity enable	1	With parity	0	No parity	0	R/W
		D2	PMD	Parity mode select	1	Odd	0	Even	0	R/W
		D1	STPB	Stop bit select	1	2 bits	0	1 bit	0	R/W
		D0	SSCK	Input clock select	1	External	0	Internal	0	R/W

D[7:5] Reserved

D4 **CHLN: Character Length Select Bit**

シリアル転送データのデータ長を選択します。

1(R/W): 8ビット

0(R/W): 7ビット(デフォルト)

D3 **PREN: Parity Enable Bit**

パリティ機能を有効にします。

1(R/W): パリティ付き

0(R/W): パリティなし(デフォルト)

PRENによって、受信データのパリティチェック、および送信データへのパリティビットの付加を行うかどうかを選択します。PRENを1に設定すると、受信データはパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。PRENを0に設定した場合はパリティビットのチェックおよび付加は行われません。

D2 **PMD: Parity Mode Select Bit**

パリティモードを選択します。

1(R/W): 奇数パリティ

0(R/W): 偶数パリティ(デフォルト)

PMDに1を書き込むと奇数パリティが選択され、0を書き込むと偶数パリティが選択されます。パリティチェックおよびパリティビットの付加はPREN(D3)が1に設定されている場合にのみ有効で、PREN(D3)が0の場合、PMDの設定は無効となります。

D1 **STPB: Stop Bit Select Bit**

ストップビット長を選択します。

1(R/W): 2ビット

0(R/W): 1ビット(デフォルト)

STPBに1を書き込むとストップビットが2ビットに、0を書き込むと1ビットになります。スタートビットは1ビットに固定です。

D0 **SSCK: Input Clock Select Bit**

入力クロックを選択します。

1(R/W): 外部クロック(SCLK)

0(R/W): 内部クロック(デフォルト)

内部クロック(8ビットタイマ出力クロック)を使用するか、外部クロック(SCLK端子から入力)を使用するかを選択します。SSCKに1を書き込むと外部クロック、0を書き込むと内部クロックが選択されます。

0x4104: UART Control Registers (UART_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Control Register (UART_CTL)	0x4104 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6	REIEN	Receive error int. enable	1 Enable 0 Disable	0	R/W	
		D5	RIEN	Receive buffer full int. enable	1 Enable 0 Disable	0	R/W	
		D4	TIEN	Transmit buffer empty int. enable	1 Enable 0 Disable	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	RBFIF	Receive buffer full int. condition	1 2 bytes 0 1 byte	0	R/W	
		D0	RXEN	UART enable	1 Enable 0 Disable	0	R/W	

D7 Reserved

D6 REIEN: Receive Error Interrupt Enable Bit

受信エラー発生時のITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

受信エラーを割り込みによって処理する場合は、このビットを1に設定してください。

D5 RIEN: Receive Buffer Full Interrupt Enable Bit

受信データバッファの受信データ数がRBFIF(D1)の指定値になったことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

受信データを割り込みによって読み出す場合は、このビットを1に設定してください。

D4 TIEN: Transmit Buffer Empty Interrupt Enable Bit

送信データバッファの送信データがシフトレジスタに送られた(データ送信を開始した)ことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

送信データバッファへのデータ書き込みを割り込みによって行う場合は、このビットを1に設定してください。

D[3:2] Reserved

D1 RBFIF: Receive Buffer Full Interrupt Condition Setup Bit

受信バッファフル割り込みを発生させる、受信バッファ内のデータ数を設定します。

1(R/W): 2バイト

0(R/W): 1バイト(デフォルト)

受信バッファフル割り込みが許可されている場合(RIEN = 1)、RBFIFで指定されている数の受信データが受信データバッファにロードされると、UARTは割り込み要求をITCに出力します。RBFIFビットが0の場合、1個の受信データが受信データバッファにロードされた(RDRYフラグ(D1/UART_STレジスタ)が1にセットされた)時点で割り込み要求が出力されます。RBFIFが1の場合、2個の受信データが受信データバッファにロードされた(RD2Bフラグ(D3/UART_STレジスタ)が1にセットされた)時点で割り込み要求が出力されます。

D0 RXEN: UART Enable Bit

UARTによるデータ送受信を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

UARTで送受信を始める前にRXENを1に設定してください。RXENを0に設定するとデータ送受信が禁止されます。転送条件の設定は、RXENが0の状態で行ってください。

RXENに0を書き込んで送受信を禁止すると、送信データバッファもクリアされます。

0x4105: UART Expansion Registers (UART_EXP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
UART Expansion Register (UART_EXP)	0x4105 (8 bits)	D7	–	reserved	–	–	–	0 when being read.	
		D6–4	IRCLK[2:0]	IrDA receive detection clock select	IRCLK[2:0]	Clock	0x0	R/W	
					0x7	PCLK•1/128			
					0x6	PCLK•1/64			
					0x5	PCLK•1/32			
0x4	PCLK•1/16								
0x3	PCLK•1/8								
0x2	PCLK•1/4								
0x1	PCLK•1/2								
0x0	PCLK•1/1								
D3–1	–	reserved	–	–	–	–	0 when being read.		
D0	IRMD	IrDA mode select	1 On	0 Off	0	R/W			

D7 Reserved**D[6:4] IRCLK[2:0]: IrDA Receive Detection Clock Select Bits**

IrDA入力パルス検出クロックとして使用するプリスケアラ出力クロックを選択します。

表18.9.2 IrDA受信検出クロックの選択

IRCLK[2:0]	プリスケアラ出力クロック
0x7	PCLK•1/128
0x6	PCLK•1/64
0x5	PCLK•1/32
0x4	PCLK•1/16
0x3	PCLK•1/8
0x2	PCLK•1/4
0x1	PCLK•1/2
0x0	PCLK•1/1

(デフォルト: 0x0)

このクロックには、8ビットタイマまたはSCLK端子から入力される転送クロックsclkよりも高速なクロックを選択する必要があります。

復調回路はIrDA受信検出クロックの2サイクル以上の幅を持つLowパルスを有効と見なします。最小1.41μs幅の入力パルスが検出できるように、適切なプリスケアラ出力クロックを選択してください。

D[3:1] Reserved**D0 IRMD: IrDA Mode Select Bit**

IrDAインタフェース機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

IrDAインタフェースを使用する場合に1に設定します。0に設定すると、本モジュールはIrDA機能のない通常のUARTとして機能します。

18.10 注意事項

- UARTの以下のビットは、送受信禁止の状態(RXEN = 0)で設定してください。
 - UART_MODレジスタ(0x4103)のビットすべて(SSCK, STPB, PMD, PREN, CHLN)
 - UART_CTLxレジスタのRBFIBIT
 - UART_EXPレジスタ(0x4105)のビットすべて(IRMD, IRCLK[2:0])

* **RXEN**: UART Enable Bit in the UART Control (UART_CTL) Register (D0/0x4104)
- UARTが送信または受信中は、RXENを0に設定しないでください。
- UARTの転送レートは最大460800bpsに制限されています。これ以上の転送レートは設定しないでください。
- RXENを0に設定して送受信を禁止すると、送信データバッファがクリア(初期化)されます。RXENに0を書き込む前に、バッファ内に送信待ちのデータが残っていないことを確認してください。
- IrDA受信検出クロックには、8ビットタイマまたはSCLK端子から入力される転送クロックsclkよりも高速なクロックを選択する必要があります。
- IrDAインタフェースの復調回路はIrDA受信検出クロックの2サイクル以上の幅を持つLowパルスを有効と見なします。最小1.41 μ s幅の入力パルスが検出できるように、適切なプリスケアラ出力クロックをIrDA受信検出クロックとして選択してください。

19 SPI

19.1 SPIの構成

S1C17601は同期式シリアルインタフェースモジュール(以降SPI)を内蔵しています。このSPIモジュールはマスタおよびスレーブの両モードに対応し、8ビットのデータ転送を行います。データ転送のタイミング(クロックの位相と極性)は4種類から選択可能です。

シフトレジスタとは別に送信データバッファと受信データバッファを内蔵し、2種類の割り込み(送信バッファエンプティと受信バッファフル)を発生可能です。これにより、連続したシリアルデータ転送を割り込みによって簡潔に処理することができます。

送信バッファエンプティ割り込みはマスタモードのみ使用可能です。

図19.1.1にSPIモジュールの構造を示します。

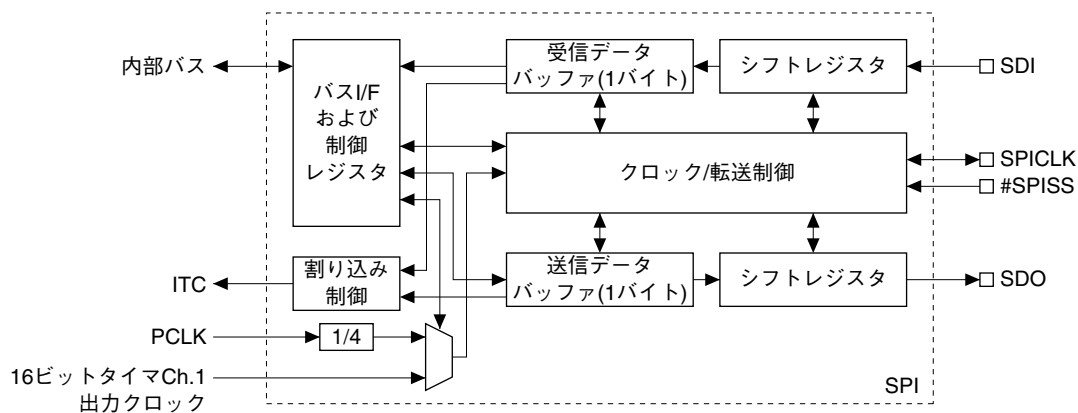


図19.1.1 SPIモジュールの構造

19.2 SPI入出力端子

表19.2.1にSPI端子の一覧を示します。

表19.2.1 SPI端子一覧

端子名	I/O	本数	機能
SDI (P21)	I	1	SPIデータ入力端子 SPIバスからシリアルデータを入力します。
SDO (P20)	O	1	SPIデータ出力端子 シリアルデータをSPIバスに出力します。
SPICLK (P17)	I/O	1	SPI外部クロック入出力端子 本SPIがマスタモードの場合にSPIクロックを出力します。 本SPIをスレーブモードで使用する場合は外部クロックを入力します。
#SPISS (P22)	I	1	SPIスレーブ選択信号(アクティブLow)入力端子 この端子へのLow入力により、本SPI(スレーブモード)がスレーブデバイスとして選択されます。

SPIの入出力端子(SDI、SDO、SPICLK、#SPISS)は汎用入出力ポート端子(P21、P20、P17、P22)を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをSPIの入出力端子として使用するには、P2_PMUX、P1_PMUXレジスタの設定により機能を切り換える必要があります。以下の制御ビットを1に設定して、端子をSPI用に切り換えてください。

P21 → SDI

- * **P21MUX**: P21 Port Function Select Bit in the P2 Port Function Select (P2_PMUX) Register (D3-2/0x52a4)

P20 → SDO

- * **P20MUX**: P20 Port Function Select Bit in the P2 Port Function Select (P2_PMUX) Register (D1-0/0x52a4)

P17 → SPICLK

- * **P17MUX**: P17 Port Function Select Bit in the P1 Port Function Select (P1_PMUX) Register (D7-6/0x52a3)

P22 → #SPISS

- * **P22MUX**: P22 Port Function Select Bit in the P2 Port Function Select (P2_PMUX) Register (D5-4/0x52a4)

端子の機能と切り換えの詳細については、“10.2 入出力端子機能の選択(ポートMUX)”を参照してください。

19.3 SPIクロック

マスタモードのSPIは、16ビットタイマCh.1が出力するクロックまたはPCLK・1/4のクロックを使用してSPIクロックを生成します。このクロックはシフトレジスタを駆動すると共に、SPICLK端子からスレーブデバイスへ出力されます。

16ビットタイマCh.1出力クロックとPCLK・1/4クロックのどちらを使用するかについてはMCLK(D9/SPI_CTLレジスタ)で選択します。MCLKを1に設定すると16ビットタイマCh.1出力クロック、0に設定するとPCLK・1/4クロックが選択されます。

* **MCLK**: SPI Clock Source Select Bit in the SPI Control (SPI_CTL) Register (D9/0x4326)

16ビットタイマCh.1を使用すると、転送レートをプログラマブルに設定できます。16ビットタイマの制御については、“11 16ビットタイマ(T16)”を参照してください。

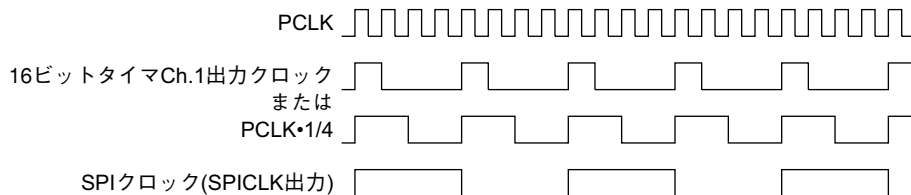


図19.3.1 マスタモードのSPIクロック

スレーブモードでは、SPICLK端子からSPIクロックを入力します。

注: SPICLK端子から入力するクロックのデューティ比は50%である必要があります。

19.4 データ転送条件の設定

SPIモジュールはマスタモードまたはスレーブモードに設定できます。また、SPIクロックの極性と位相、ビット方向(MSB先頭/LSB先頭)をSPI_CTLレジスタで設定可能です。データ長は8ビットに固定されています。

注: マスタ/スレーブモードの選択およびクロック条件の設定は、SPIモジュールが停止中(SPEN/SPI_CTLレジスタ = 0)に行ってください。

* **SPEN**: SPI Enable Bit in the SPI Control (SPI_CTL) Register (D0/0x4326)

マスタ/スレーブモードの選択

MSSL(D1/SPI_CTLレジスタ)を使用して、SPIモジュールをマスタモードまたはスレーブモードに設定します。MSSLを1に設定するとマスタモード、0(デフォルト)に設定するとスレーブモードになります。マスタモードでは、内部クロックを使用してデータ転送を行います。スレーブモードでは、マスタデバイスのクロックを入力してデータ転送を行います。

* **MSSL**: Master/Slave Mode Select Bit in the SPI Control (SPI_CTL) Register (D1/0x4326)

SPIクロック極性と位相の設定

SPIクロックの極性は、CPOL(D2/SPI_CTLレジスタ)で選択します。CPOLを1に設定するとSPIクロックはアクティブLow、0(デフォルト)に設定するとアクティブHighと見なされます。

* **CPOL**: Clock Polarity Select Bit in the SPI Control (SPI_CTL) Register (D2/0x4326)

SPIクロックの位相はCPHA(D3/SPI_CTLレジスタ)で選択します。

* **CPHA**: Clock Phase Select Bit in the SPI Control (SPI_CTL) Register (D3/0x4326)

これらの制御ビットにより、転送タイミングは下図のように設定されます。

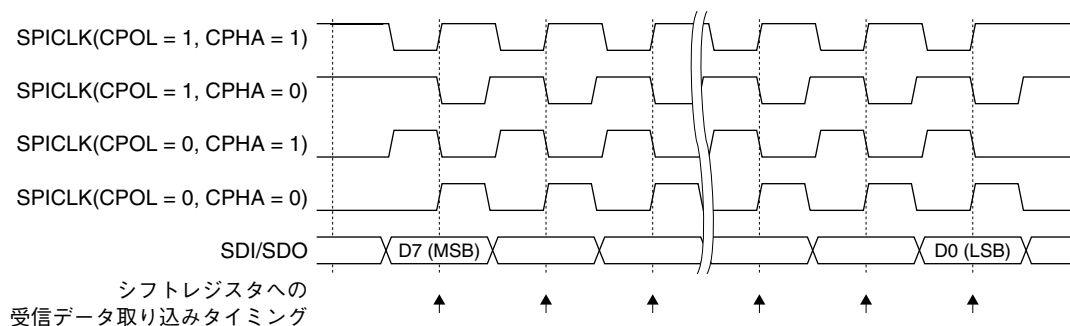


図19.4.1 クロックとデータ転送タイミング

MSB先頭/LSB先頭の設定

データのMSBとLSBのどちらを先に入出力するか、MLSB(D8/SPI_CTLレジスタ)で選択します。MLSBが0(デフォルト)の場合はMSB先頭、1に設定するとLSB先頭になります。

* **MLSB**: LSB/MSB First Mode Select Bit in the SPI Control (SPI_CTL) Register (D8/0x4326)

注: SPIをマスタモードかつCPHA = 0の設定で使用する場合、送信データ1ビット目の変化からクロックの変化までが最短でシステムクロックの1周期の長さになる場合があります。

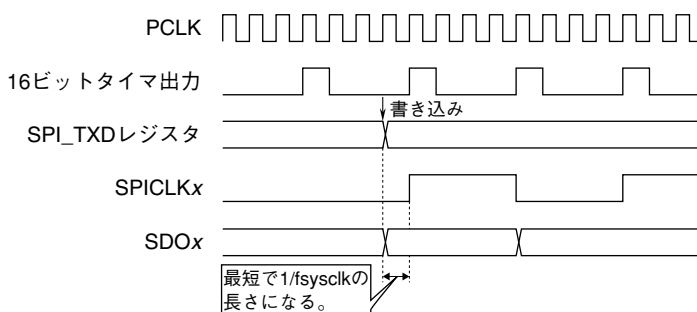


図19.4.2 CPHA = 0 時のSDOxおよびSPICLKxの変化タイミング

送信データの2ビット目以降および連続転送時の2バイト目以降については、データの変化からクロックの変化まではSPICLKx半周期の長さが確保されます。

19.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) SPIクロックが出力されるように16ビットタイマCh.1を設定します。11章を参照してください。
- (2) マスタモードまたはスレーブモードを選択します。19.4節を参照してください。
- (3) クロック条件を設定します。19.4節を参照してください。
- (4) SPI割り込みを使用する場合は、割り込み条件を設定します。19.6節を参照してください。

注: 上記の設定は、必ずSPIが停止中 (SPEN/SPI_CTLレジスタ = 0) に行ってください。

* **SPEN**: SPI Enable Bit in the SPI Control (SPI_CTL) Register (D0/0x4326)

データ送受信を許可

最初にSPEN(D0/SPI_CTLレジスタ)を1に設定してSPIの動作を許可します。これにより、SPIが送受信可能な状態となり、クロックの入出力も許可されます。

注: SPIモジュールが送受信中はSPENを0に設定しないでください。

データ送信制御

送信を開始するには、SPI_TXDレジスタ(0x4322)に送信データを書き込みます。

* **SPI_TXD**: SPI Transmit Data Register (0x4322)

データは送信データバッファに書き込まれ、SPIモジュールはデータ送信を開始します。バッファのデータは送信用シフトレジスタに送られます。マスタモードでは、SPICLK端子からクロックの出力を開始します。スレーブモードではSPICLK端子からのクロック入力を待ちます。シフトレジスタ内のデータはCPHA(D3/SPI_CTLレジスタ)とCPOL(D2/SPI_CTLレジスタ)で決まるクロックの立ち上がりまたは立ち下がりエッジで順次シフトされ(図19.4.1参照)、SDO端子から送信されます。

* **CPHA**: Clock Phase Select Bit in the SPI Control (SPI_CTL) Register (D3/0x4326)

* **CPOL**: Clock Polarity Select Bit in the SPI Control (SPI_CTL) Register (D2/0x4326)

SPIモジュールには送信の制御用にSPTBE(D0/SPI_STレジスタ)とSPBSY(D2/SPI_STレジスタ)の2つのステータスフラグが用意されています。

* **SPTBE**: Transmit Data Buffer Empty Flag in the SPI Status (SPI_ST) Register (D0/0x4320)

* **SPBSY**: Transfer Busy Flag in the SPI Status (SPI_ST) Register (D2/0x4320)

SPTBEフラグは送信データバッファの状態を示します。このフラグはアプリケーションプログラムがSPI_TXDレジスタ(送信データバッファ)にデータを書き込むと0になり、バッファのデータが送信用シフトレジスタに送られると1に戻ります。このフラグが1になった時点で割り込みを発生させることができます(19.6節参照)。この割り込みを利用するか、SPTBEフラグの読み出しによって送信データバッファが空であることを確認し、次のデータ送信を行います。送信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、1つ前のデータを送信中に、データの書き込みが行えます。ただし、送信データを書き込む前に、送信データバッファが空になっていることを

確認してください。SPTBEフラグが0の場合にデータを書き込むと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。

マスタモード時、SPBSYフラグはシフトレジスタの状態を示します。このフラグは送信データが送信データバッファからシフトレジスタにロードされると1になり、データ送信が完了すると0に戻ります。SPIモジュールが動作中か待機中かについては、このフラグを読み出して確認してください。スレーブモードのSPBSYフラグはSPIスレーブ選択信号(#SPISS端子)の状態を示します。本SPIモジュールがスレーブとして選択されている場合に1となり、非選択状態では0になります。

データ受信制御

マスタモードの場合、ダミーデータをSPI_TXDレジスタ(0x4322)に書き込みます。SPI_TXDレジスタへの書き込みは、送信の開始だけではなく受信のトリガにもなります。実際の送信データを書き込んで送受信を同時に行うことも可能です。

これにより、SPICLKからSPIクロック出力を開始します。

スレーブモードの場合は、SPICLKからクロックが入力されるまで待機します。スレーブモードで受信のみを行い、送信が不要の場合はSPI_TXDレジスタへの書き込み操作は必要ありません。受信動作はマスタデバイスからのクロック入力により開始します。送受信を同時に行う場合は、クロックが入力される前に送信データをSPI_TXDレジスタに書き込んでおきます。

データは、CPHA(D3/SPI_CTLレジスタ)とCPOL(D2/SPI_CTLレジスタ)で決まるクロックの立ち上がりまたは立ち下がりエッジで順次シフトレジスタに取り込まれます(図19.4.1参照)。8ビットのデータをシフトレジスタに受信し終わると、受信データは受信データバッファにロードされます。

バッファ内の受信データはSPI_RXDレジスタ(0x4324)から読み出すことができます。

* **SPI_RXD**: SPI Receive Data Register (0x4324)

SPIモジュールには受信の制御用にSPRBFフラグ(D1/SPI_STレジスタ)が用意されています。

* **SPRBF**: Receive Data Buffer Full Flag in the SPI Status (SPI_ST) Register (D1/0x4320)

SPRBFフラグは受信データバッファの状態を示します。このフラグはシフトレジスタに受信したデータが受信データバッファにロードされると1になり、受信データが読み出せることを示します。バッファのデータがSPI_RXDレジスタから読み出されると0に戻ります。このフラグが1になった時点で割り込みを発生させることができます(19.6節参照)。この割り込みを利用するか、SPRBFフラグの読み出しによって受信データバッファに有効な受信データがあることを確認し、受信データを読み出してください。受信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、次のデータを受信中も、バッファ内の受信データは保持されます。ただし、次のデータ受信が終了する前に受信データバッファを読み出してください。受信データバッファを読み出す前に次の受信が終了すると、バッファ内の1つ前の受信データは新たな受信データで上書きされてしまいます。

マスタモードでは、シフトレジスタの状態を示すSPBSYフラグが、データ送信時と同様に使用可能です。

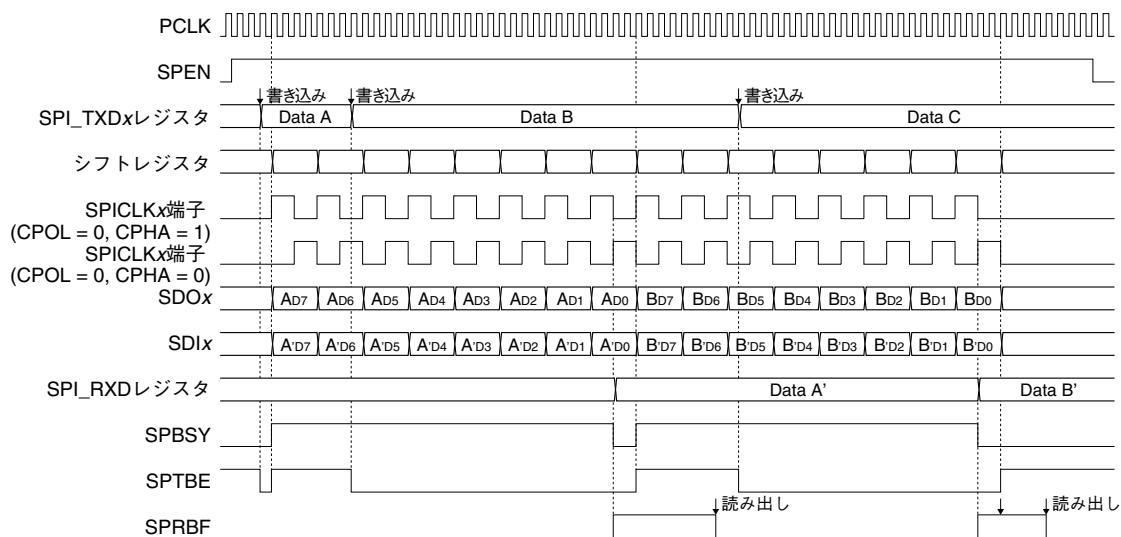


図19.5.1 データ送受信タイミングチャート (MSB先頭)

データ送受信を禁止

データ転送(送信と受信の両方)を終了後は、SPENビットに0を書き込んでデータ送受信を禁止します。ただし、データ送受信を禁止する前に、SPTBEフラグが1、SPBSYフラグが0になっていることを確認してください。

データの送受信中にSPENを0に設定した場合、転送中のデータは保証されません。

19.6 SPI割り込み

SPIモジュールには、以下の2種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 受信バッファフル割り込み

SPIモジュールは、上記2種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、ステータスフラグを読み出してください。

送信バッファエンプティ割り込み

この割り込みを使用するには、SPTIE(D4/SPI_CTLレジスタ)を1に設定します。SPTIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

* **SPTIE**: Transmit Data Buffer Empty Interrupt Enable Bit in the SPI Control (SPI_CTL) Register (D4/0x4326)

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、SPIモジュールはSPTBEビット(D0/SPI_STレジスタ)を1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(SPTIE = 1)、これと同時に割り込み要求がITCに出力されます。

* **SPTBE**: Transmit Data Buffer Empty Flag in the SPI Status (SPI_ST) Register (D0/0x4320)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

SPI割り込みが送信バッファエンプティによるものかどうかについては、SPI割り込み処理ルーチンでSPTBEフラグを読み出して確認してください。SPTBEが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

スリープモードでは送信バッファエンプティ割り込みを使用することはできません。

受信バッファフル割り込み

この割り込みを使用するには、SPRIE(D5/SPI_CTLレジスタ)を1に設定します。SPRIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

* **SPRIE**: Receive Data Buffer Full Interrupt Enable Bit in the SPI Control (SPI_CTL) Register (D5/0x4326)

シフトレジスタに受信したデータが受信データバッファにロードされると、SPIモジュールはSPRBFビット(D1/SPI_STレジスタ)を1にセットして、受信データバッファに読み出し可能な受信データがあることを示します。受信バッファフル割り込みが許可されていれば(SPRIE = 1)、これと同時に割り込み要求がITCに出力されます。

* **SPRBF**: Receive Data Buffer Full Flag in the SPI Status (SPI_ST) Register (D1/0x4320)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

SPI割り込みが受信バッファフルによるものかどうかについては、SPI割り込み処理ルーチンでSPRBFフラグを読み出して確認してください。SPRBFが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。

割り込みベクタ

SPI割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号: 18(0x12)

ベクタアドレス: TTBR + 0x48

その他の割り込み設定

ITCではSPI割り込みの優先順位をレベル0(デフォルト)～レベル7に設定可能です。また、実際に割り込みを発生させるにはPSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットを1に設定しておく必要があります。

割り込み処理の詳細については、“6 割り込みコントローラ(ITC)”を参照してください。

19.7 制御レジスタ詳細

表19.7.1 SPIレジスタ一覧

アドレス	レジスタ名		機能
0x4320	SPI_ST	SPI Status Register	転送、バッファステータスの表示
0x4322	SPI_TXD	SPI Transmit Data Register	送信データ
0x4324	SPI_RXD	SPI Receive Data Register	受信データ
0x4326	SPI_CTL	SPI Control Register	SPIモードとデータ転送許可の設定

以下、SPIのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: • レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x4320: SPI Status Register (SPI_ST)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
SPI Status Register (SPI_ST)	0x4320 (16 bits)	D15-3	–	reserved	–			–	–	0 when being read.	
		D2	SPBSY	Transfer busy flag (master)	1	Busy	0	Idle	0	R	
				ss signal low flag (slave)	1	ss = L	0	ss = H			
		D1	SPRBF	Receive data buffer full flag	1	Full	0	Not full	0	R	
		D0	SPTBE	Transmit data buffer empty flag	1	Empty	0	Not empty	1	R	

D[15:3] Reserved

D2 SPBSY: Transfer Busy Flag (Master Mode)/ss Signal Low Flag (Slave Mode)

マスタモード

SPIの送受信動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

SPBSYはSPIがマスタモードで送受信を開始すると1にセットされ、送受信中は1を保持します。送受信動作が終了すると、0にクリアされます。

スレーブモード

スレーブ選択(#SPISS)信号の状態を示します。

1(R): Lowレベル(本SPIが選択状態)

0(R): Highレベル(本SPIは非選択状態) (デフォルト)

SPBSYは、マスタデバイスが本SPIモジュール(スレーブデバイス)を選択するために#SPISS信号をアクティブにすると1にセットされます。マスタデバイスが#SPISS信号をインアクティブとして本SPIモジュールの選択を解除すると0に戻ります。

D1 SPRBF: Receive Data Buffer Full Flag

受信データバッファの状態を示します。

1(R): データフル

0(R): データなし(デフォルト)

SPRBFはシフトレジスタに受信したデータが受信データバッファに転送されると(受信が完了すると)1となり、そのデータが読み出し可能であることを示します。バッファのデータがSPI_RXDレジスタ(0x4324)から読み出されると0に戻ります。

D0 SPTBE: Transmit Data Buffer Empty Flag

送信データバッファの状態を示します。

1(R): エンプティ(デフォルト)

0(R): データあり

SPTBEはSPI_TXDレジスタ(送信データバッファ、0x4322)に送信データが書き込まれると0となり、そのデータがシフトレジスタに転送されると(送信を開始すると)1となります。SPI_TXDレジスタへの送信データの書き込みは、このビットが1の場合に行います。

0x4322: SPI Transmit Data Register (SPI_TXD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI Transmit Data Register (SPI_TXD)	0x4322 (16 bits)	D15-8	–	reserved	–	–	–	0 when being read.
		D7-0	SPTDB[7:0]	SPI transmit data buffer SPTDB7 = MSB SPTDB0 = LSB	0x0 to 0xff	0x0	R/W	

D[15:8] Reserved

D[7:0] SPTDB[7:0]: SPI Transmit Data Buffer Bits

送信データバッファに書き込む送信データを設定します。(デフォルト: 0x0)

マスタモードでは、このレジスタにデータを書き込むことにより送信を開始します。スレーブモードでは、マスタからクロックが入力されるとこのレジスタの内容がシフトレジスタに送られ、送信を開始します。

このレジスタに書き込んだデータがシフトレジスタに転送された時点で、SPTBE(D0/SPI_STレジスタ)が1(エンプティ)にセットされます。同時に送信バッファエンプティ割り込み要因も発生します。それ以降であれば、データの送信中であっても次の送信データを書き込むことができます。

SDO端子からはシリアル変換されたデータがMSBを先頭に、1に設定されたビットがHighレベル、0に設定されたビットがLowレベルとして出力されます。

注: データの送受信を行う場合、SPI_TXDへの書き込みはSPENを1に設定した後に行ってください。

0x4324: SPI Receive Data Register (SPI_RXD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI Receive Data Register (SPI_RXD)	0x4324 (16 bits)	D15-8	-	reserved	-	-	-	0 when being read.
		D7-0	SPRDB[7:0]	SPI receive data buffer SPRDB7 = MSB SPRDB0 = LSB	0x0 to 0xff	0x0	R	

D[15:8] Reserved**D[7:0] SPRDB[7:0]: SPI Receive Data Buffer Bits**

受信データが格納されます。(デフォルト: 0x0)

受信が終了し、シフトレジスタのデータが受信データバッファに転送された時点でSPRBF(D1/SPI_STレジスタ)が1(データフル)にセットされます。同時に受信バッファフル割り込み要因も発生します。これ以降、次のデータの受信を終了するまで、データの読み出しが可能です。このレジスタを読み出す前に次の受信を終了した場合は、新たな受信データで上書きされます。SDI端子から入力されたシリアルデータは先頭をMSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。

このレジスタは読み出し専用で、書き込みは行えません。

0x4326: SPI Control Register (SPI_CTL)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
SPI Control Register (SPI_CTL)	0x4326 (16 bits)	D15-10	–	reserved		–	–	–	0 when being read.	
		D9	MCLK	SPI clock source select	1 T16 Ch.1	0 PCLK•1/4	0	R/W		
		D8	MSLB	LSB/MSB first mode select	1 LSB	0 MSB	0	R/W		
		D7-6	–	reserved		–	–	–	–	0 when being read.
		D5	SPRIE	Receive data buffer full int. enable	1 Enable	0 Disable	0	R/W		
		D4	SPTIE	Transmit data buffer empty int. enable	1 Enable	0 Disable	0	R/W		
		D3	CPHA	Clock phase select	1 Data out	0 Data in	0	R/W	These bits must be set before setting SPEN to 1.	
		D2	CPOL	Clock polarity select	1 Active L	0 Active H	0	R/W		
		D1	MSSL	Master/slave mode select	1 Master	0 Slave	0	R/W		
		D0	SPEN	SPI enable	1 Enable	0 Disable	0	R/W		

D[15:10] Reserved

D9 **MCLK: SPI Clock Source Select Bit**

SPIクロックのソースを選択します。

1(R/W): 16ビットタイマCh.1

0(R/W): PCLK•1/4(デフォルト)

D8 **MSLB: LSB/MSB First Mode Select Bit**

データの送受信をMSB先頭で行うか、LSB先頭で行うか選択します。

1(R/W): LSB先頭

0(R/W): MSB先頭(デフォルト)

D[7:6] Reserved

D5 **SPRIE: Receive Data Buffer Full Interrupt Enable Bit**

受信データバッファフルによるSPI割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPRIEを1に設定すると、受信データバッファフルによるSPI割り込み要求のITCへの出力を許可します。この割り込み要求は、シフトレジスタに受信したデータが受信データバッファに転送される(受信が完了する)ことにより発生します。

SPRIEを0に設定すると、受信データバッファフルによるSPI割り込みは発生しません。

D4 **SPTIE: Transmit Data Buffer Empty Interrupt Enable Bit**

送信データバッファエンプティによるSPI割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPTIEを1に設定すると、送信データバッファエンプティによるSPI割り込み要求のITCへの出力を許可します。この割り込み要求は、送信データバッファに書き込んだデータがシフトレジスタに転送される(送信を開始する)ことにより発生します。

SPTIEを0に設定すると、送信データバッファエンプティによるSPI割り込みは発生しません。

D3 **CPHA: SPI Clock Phase Select Bit**

SPIクロックの位相を選択します。(デフォルト: 0)

CPOL(D2)と共に、データ転送タイミングを設定します(図19.7.1参照)。

D2 **CPOL: SPI Clock Polarity Select Bit**

SPIクロックの極性を選択します。

1(R/W): アクティブLow

0(R/W): アクティブHigh(デフォルト)

CPHA(D3)と共に、データ転送タイミングを設定します(図19.7.1参照)。

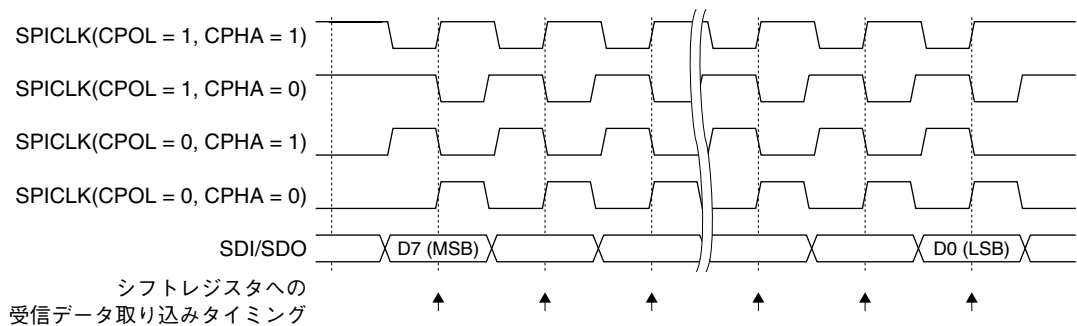


図19.7.1 クロックとデータ転送タイミング

D1 MSSL: Master/Slave Mode Select Bit

SPIモジュールをマスターモードまたはスレーブモードに設定します。

1(R/W): マスタモード

0(R/W): スレーブモード(デフォルト)

MSSLを1に設定するとマスターモード、0に設定するとスレーブモードになります。マスターモードでは、16ビットタイマCh.1で生成したクロックでデータ転送を行います。スレーブモードでは、マスタデバイスからクロックを入力してデータ転送を行います。

D0 SPEN: SPI Enable Bit

SPIモジュールの動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPENを1に設定するとSPIモジュールが動作を開始し、データ転送が行える状態になります。SPENを0に設定すると、SPIモジュールは動作を停止します。

注: CPHA、CPOL、MSSLビットの設定は、SPENビットを0に設定して行ってください。

19.8 注意事項

- SPBSYフラグ(D2/SPI_STレジスタ)が1の間およびSPRBFフラグ(D1/SPI_STレジスタ)が1の間(データの送受信中)は、SPI_CTLレジスタ(0x4326)にアクセスしないでください。
 - * **SPBSY**: Transfer Busy Flag in the SPI Status (SPI_ST) Register (D2/0x4320)
 - * **SPRBF**: Receive Data Buffer Full Flag in the SPI Status (SPI_ST) Register (D1/0x4320)
- スレーブモードでは送信バッファエンプティ割り込みを使用することはできません。

20 I²Cマスタ (I²CM)

20.1 I²Cマスタの構成

S1C17601は高速同期シリアル通信用に、I²Cバスインタフェースモジュールを内蔵しています。I²Cマスタモジュールは16ビットタイマCh.2から供給されるクロックを使用し、マスタデバイスとして動作します(シングルマスタとしてのみ使用可能です)。標準(100kbps)モードおよびファストモード(400kbps)、7ビット/10ビットスレーブアドレスモードに対応しています。また、データ転送の信頼性向上に役立つ、ノイズ除去機能が組み込まれています。

本モジュールは、2種類の割り込み(送信バッファエンプティと受信バッファフル割り込み)を発生可能で、連続したシリアルデータ転送を割り込みによって簡潔に処理することができます。

図20.1.1にI²Cマスタモジュールの構造を示します。

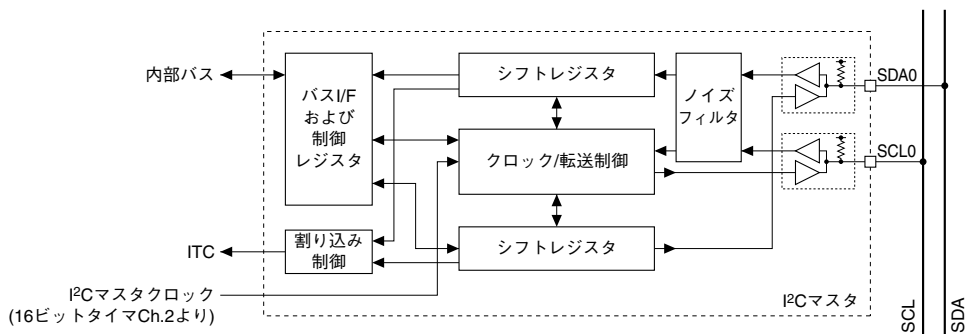


図20.1.1 I²Cマスタモジュールの構造

20.2 I²Cマスタ入出力端子

表20.2.1にI²Cマスタ端子の一覧を示します。

表20.2.1 I²Cマスタ端子一覧

端子名	I/O	本数	機能
SDA0 (P11)	I/O	1	I ² Cマスタデータ入出力端子 I ² Cバスからシリアルデータを入力します。 また、シリアルデータをI ² Cバスに出力します。
SCL0 (P10)	I/O	1	I ² Cマスタクロック入出力端子 SCLラインの状態を入力します。 また、シリアルクロックを出力します。

I²Cマスタの入出力端子(SDA0、SCL0)は汎用入出力ポート端子(P11、P10)を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらにI²Cマスタの入出力端子として使用するには、P1_PMUXレジスタの設定により機能を切り換える必要があります。以下の制御ビットを1に設定して、端子をI²Cマスタ用に切り換えてください。

P11 → SDA0

* **P11MUX**: P11 Port Function Select Bit in the P1 Port Function Select (P1_PMUX) Register (D3-2/0x52a2)

P10 → SCL0

* **P10MUX**: P10 Port Function Select Bit in the P1 Port Function Select (P1_PMUX) Register (D1-0/0x52a2)

端子の機能と切り換えの詳細については、“10.2 入出力端子機能の選択(ポートMUX)”を参照してください。

20.3 I²Cマスタクロック

I²Cマスタモジュールは、16ビットタイマCh.2が出力する内部クロックを同期クロックとして使用します。このクロックはシフトレジスタを駆動すると共に、SCL0端子からスレーブデバイスへ出力されます。16ビットタイマCh.2から転送レートに合ったクロックが出力されるようにプログラムしてください。16ビットタイマの制御については、“11 16ビットタイマ(T16)”を参照してください。

なお、クロックストレッチを行うスレーブデバイスと通信を行う場合、対応する転送レートは標準モード時に50kbps、ファストモード時に200kbpsまでになりますので、ご注意ください。

I²Cマスタモジュールはスレーブデバイスとしては機能しません。SCL0入力端子はI²CバスのSCL信号の状態チェックに使用され、同期クロックの入力用には使用されません。

20.4 データ転送前の設定項目

I²Cマスタモジュールには、アプリケーションプログラムから選択可能なノイズ除去のオプション機能があります。

ノイズ除去機能

I²Cマスタモジュールには、SDA0およびSCL0端子の入力信号からノイズを除去する機能が組み込まれています。この機能は、NSERM(D4/I2C_CTLレジスタ)を1に設定することにより有効となります。ただし、この機能を使用するには、I²Cマスタクロック(16ビットタイマCh.2出力クロック)周波数をPCLKの1/6以下に設定する必要があります。

* **NSERM**: Noise Remove On/Off Bit in the I²C Control (I2C_CTL) Register (D4/0x4342)

20.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) I²Cマスタクロックが出力されるように16ビットタイマCh.2を設定します。11章を参照してください。
- (2) オプション機能を選択します。20.4節を参照してください。
- (3) I²Cマスタ割り込みを使用する場合は、割り込み条件を設定します。20.6節を参照してください。

注: 上記の設定は、必ずI²Cモジュールが停止中(I2CEN/I2C_ENレジスタ = 0)に行ってください。

* I2CEN: I²C Enable Bit in the I²C Enable (I2C_EN) Register (D0/0x4340)

データ送受信を許可

最初にI2CEN(D0/I2C_ENレジスタ)を1に設定してI²Cの動作を許可します。これにより、I²Cマスタが送受信可能な状態となり、クロックの出力も許可されます。

注: I²Cマスタモジュールが送受信中はI2CENを0に設定しないでください。

データ送受信の開始

データの送受信を開始するには、I²Cマスタ(本モジュール)がスタートコンディションを生成する必要があります。それに引き続いてスレーブアドレスを送信し、通信を確立します。

(1) スタートコンディションの生成

SCLラインをHighに保った状態で、SDAラインをLowにすることがスタートコンディションです。

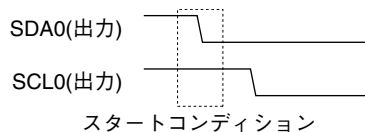


図20.5.1 スタートコンディション

スタートコンディションは、STRT(D0/I2C_CTLレジスタ)を1に設定することで生成されます。

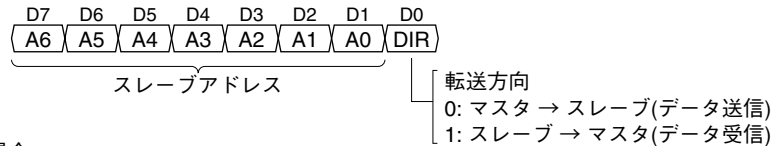
* STRT: Start Control Bit in the I²C Control (I2C_CTL) Register (D0/0x4342)

スタートコンディションが生成されると、STRTは自動的に0にリセットされます。これ以降、I²Cバスはビジー状態になります。

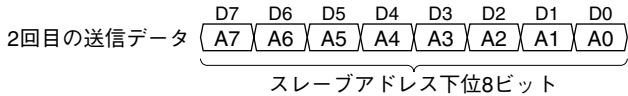
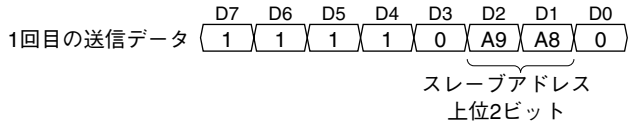
(2) スレーブアドレスの送信

スタートコンディションの生成後、I²Cマスタ(本モジュール)は通信を行うスレーブのアドレスと転送方向を示すビットを送信します。I²Cのスレーブアドレスには7ビットアドレスと10ビットアドレスの2種類があります。本モジュールは8ビットの送受信データレジスタを使用してスレーブアドレスと転送方向ビットを送信しますので、7ビットアドレスモードの場合は1回で送信可能です。10ビットの場合はソフトウェア制御により2回の送信を行います。アドレスデータの構成を図20.5.2に示します。

7ビットアドレスの場合



10ビットアドレスの場合



(データ受信時)

2回目の送信データ後、リピーテッドスタート発行し、以下3回目のデータを送信。

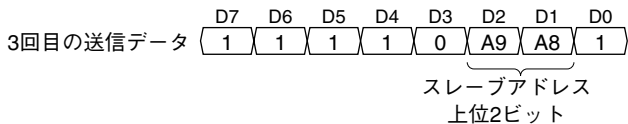


図20.5.2 スレーブアドレスと転送方向を指定する送信データ

転送方向ビットはスレーブアドレスに続くデータ転送の方向を示します。マスタからスレーブへのデータ送信時は転送方向ビットを0に、スレーブからのデータの受信時は1に設定します。

スレーブアドレスを送信するには、送信アドレスをRTD_T[7:0](D[7:0]/I²C_DATレジスタ)に設定します。同時に、アドレスの送信を実行するTXE(D₉/I²C_DATレジスタ)を1に設定します。

* **RTD_T[7:0]**: Receive/Transmit Data Bits in the I²C Data (I²C_DAT) Register (D[7:0]/0x4344)

* **TXE**: Transmit Execution Bit in the I²C Data (I²C_DAT) Register (D₉/0x4344)

スレーブアドレス出力後は、データの送信またはデータの受信を必要な回数行います。スレーブアドレスと共に設定した転送方向のとおり、データ送信またはデータ受信を行う必要があります。

データ送信制御

以下、データの送信方法を説明します。データの送信は、スレーブアドレスの送信と同様の手順で行います。

バイトデータを送信するには、送信データをRTD_T[7:0](D[7:0]/I²C_DATレジスタ)に設定します。同時に、1バイトの送信を実行するTXE(D₉/I²C_DATレジスタ)を1に設定します。

TXEビットが1に設定されると、I²Cマスタモジュールはクロックに同期してデータ送信を開始します。前のデータを送信中の場合は、その完了後に開始します。

まず、I²Cマスタモジュールは書き込まれたデータをシフトレジスタに転送し、SCL0からクロックの出力を開始します。この時点でTXEが0にリセットされると共に割り込み要因が発生しますので、この後、次の送信データとTXEの再設定を行うことができます。

シフトレジスタ内のデータビットはクロックの立ち下がりエッジで順次シフトされ、MSBを先頭にSDA0端子から出力されます。

I²Cマスタモジュールは1回のデータ送信に9個のクロックを出力します。9個目のクロックサイクルでは、SDA0信号をハイインピーダンスにしてスレーブデバイスからのACKまたはNAKを受信します。スレーブデバイスは、データを受信できた場合はマスタにACK(0)を返します。受信できなかったときはSDAラインがプルダウンされませんので、I²CマスタモジュールはこれをNAK(1)と見なします(送信失敗)。

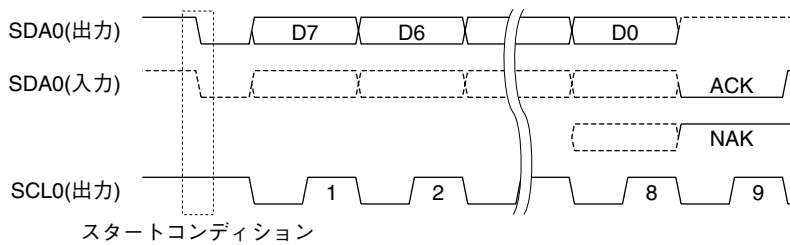


図20.5.3 ACKとNAK

I²Cマスタモジュールには送信の制御用にTBUSY(D8/I2C_CTLレジスタ)とRTACK(D8/I2C_DATレジスタ)の2つのステータスビットが用意されています。

- * **TBUSY**: Transmit Busy Flag in the I²C Control (I2C_CTL) Register (D8/0x4342)
- * **RTACK**: Receive/Transmit ACK Bit in the I²C Data (I2C_DAT) Register (D8/0x4344)

TBUSYフラグはデータ送信状態を示します。このフラグは送信(スレーブアドレスの送信も含む)を開始すると1になり、データ送信が終了すると0に戻ります。I²Cマスタモジュールが送信動作中か待機中かについては、このフラグを読み出して確認してください。

RTACKビットは、前回の送信時にスレーブデバイスがACKを返したかどうかを示します。ACKが返っていればRTACKは0、ACKが返っていなければRTACKは1となります。

データ受信制御

以下、データの受信方法を説明します。データ受信の場合は、転送方向ビットを1としたスレーブアドレスを送信しておく必要があります。

データを受信するには、1バイトの受信を実行するRXE(D10/I2C_DATレジスタ)を1に設定します。スレーブアドレス送信時にTXE(D9/I2C_DATレジスタ)を1に設定しますが、そのとき同時にRXEを1に設定しておくことができます。TXEとRXEが両方共に1の場合はTXEが優先されます。

- * **RXE**: Receive Execution Bit in the I²C Data (I2C_DAT) Register (D10/0x4344)

RXEビットが1に設定され、受信が開始できる状態になると、I²CマスタモジュールはSDAラインをハイインピーダンスにして、SCL0端子からクロックの出力を開始します。データはMSBを先頭に、クロックに同期して順次シフトレジスタに取り込まれます。

RXEはD7の取り込み時に0にリセットされます。

8ビットのデータをシフトレジスタに受信し終わると、受信データはRTDT[7:0]にロードされます。

I²Cマスタモジュールには受信の制御用にRBRDY(D11/I2C_DATレジスタ)とRBUSY(D9/I2C_CTLレジスタ)の2つのステータスビットが用意されています。

- * **RBRDY**: Receive Buffer Ready Bit in the I²C Data (I2C_DAT) Register (D11/0x4344)
- * **RBUSY**: Receive Busy Flag in the I²C Control (I2C_CTL) Register (D9/0x4342)

RBRDYフラグは受信データの状態を示します。このフラグはシフトレジスタに受信したデータがRTDT[7:0]にロードされると1になり、RTDT[7:0]から受信データが読み出されると0に戻ります。このフラグが1になった時点で割り込みを発生させることができます。

RBUSYフラグは受信動作状態を示します。このフラグは受信を開始すると1になり、データ受信が終了すると0に戻ります。I²Cマスタモジュールが受信動作中か待機中かについては、このフラグを読み出して確認してください。

I²Cマスタモジュールは1回のデータ受信に9個のクロックを出力します。9個目のクロックサイクルでは、SDA0端子からスレーブに対してACKまたはNAKを送信します。送信するビットの状態はRTACK(D8/I2C_DATレジスタ)に設定可能です。ACKを送信するにはRTACKを0に設定します。NAKを送信するにはRTACKを1に設定します。

データ送受信の終了(ストップコンディションの生成)

全データの送受信が終了した後、データ転送を終了するには、I²Cマスタ(本モジュール)がストップコンディションを生成する必要があります。SCLラインをHighに保った状態で、SDAラインをLowからHighにすることがストップコンディションとなります。

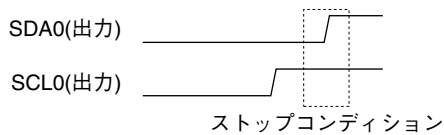


図20.5.4 ストップコンディション

ストップコンディションは、STP(D1/I2C_CTLレジスタ)を1に設定して生成します。

* **STP**: Stop Control Bit in the I²C Control (I2C_CTL) Register (D1/0x4342)

STPを1に設定すると、I²CマスタモジュールはI²CバスのSCLラインをHighに保った状態でSDAラインをLowからHighにしてストップコンディションを生成します。これ以降I²Cバスは、フリー状態になります。STPの1への設定は、TBUSY = 1 または RBUSY = 1 から、TBUSY = RBUSY = 0 への遷移(I²CMモジュールのデータ送受信動作の完了)を確認し、さらに、設定している I²C のクロック周期の 1/4 より長い時間が経過した後に行ってください。また、クロックストレッチ機能を持つスレーブデバイスに対してストップコンディションを生成する場合は、データの送受信(ACK/NAK送受信も含む)が終了し、さらにスレーブデバイスがクロックストレッチを終了するまでの時間が経過した後に、STPへ1を書き込んでください。

ストップコンディションが生成されると、STPは自動的に0にリセットされます。

データ送受信の継続(リピーテッドスタートコンディションの生成)

データの送受信が終了した後、さらに別の送受信を続けて行いたい場合などには、I²Cマスタ(本モジュール)でリピーテッドスタートコンディションを生成することが可能です。

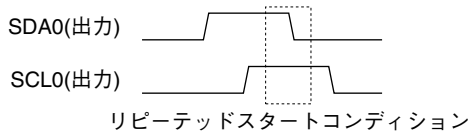


図20.5.5 リピーテッドスタートコンディション

リピーテッドスタートコンディションは、I²Cバスがビジー状態のときにSTRT(D0/I2C_CTLレジスタ)を1に設定することで生成されます。

* **STRT**: Start Control Bit in the I²C Control (I2C_CTL) Register (D0/0x4342)

リピーテッドスタートコンディションが生成されると、STRTは自動的に0にリセットされます。これ以降、I²Cバスはビジー状態を保ったままスレーブアドレスの送信が可能な状態になります。

データ送受信を禁止

ストップコンディションを生成した後は、I2CENビットに0を書き込んでデータ送受信を禁止します。ストップコンディション生成の完了は、STPを1に設定したのちに、0へ自動的にクリアされたことをポーリングすることにより、確認できます。

I²Cバスがビジー状態のときにI2CMENを0に設定した場合、SCL0、SDA0の出力レベル、および転送中のデータは保証されません。

タイミングチャート

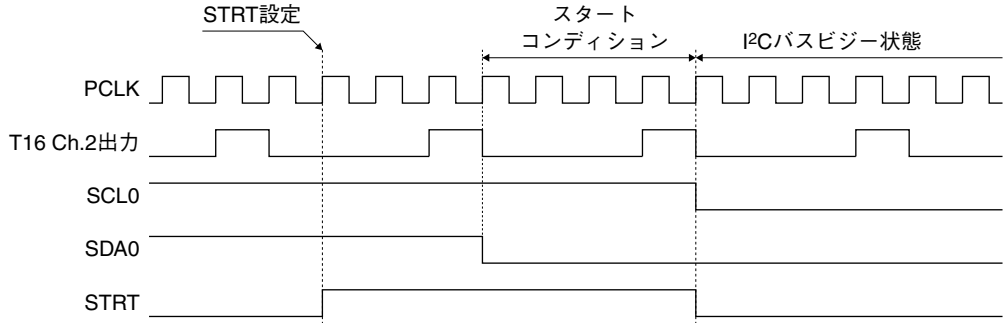


図20.5.6 スタートコンディション生成

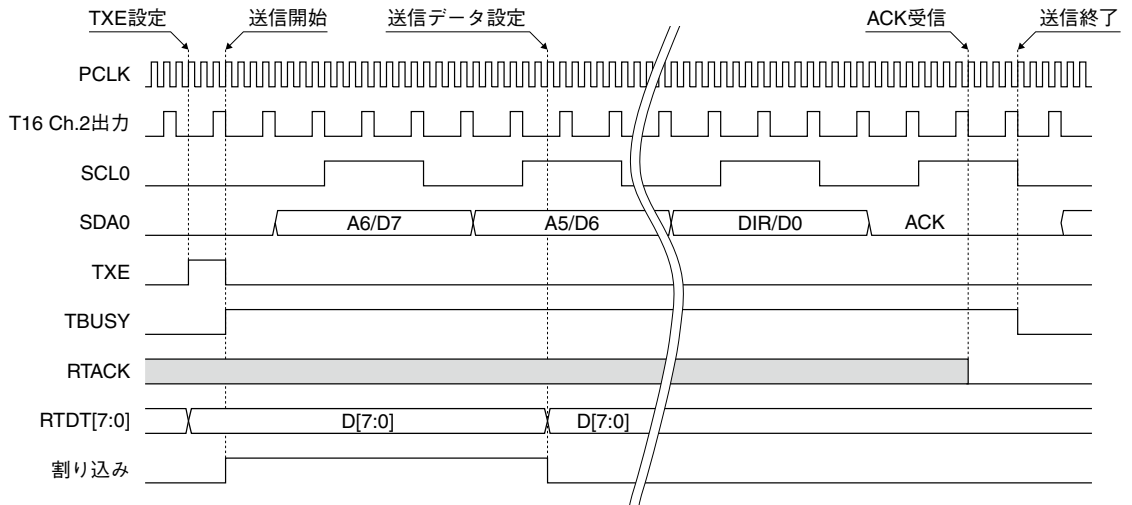


図20.5.7 スレーブアドレス送信 / データ送信

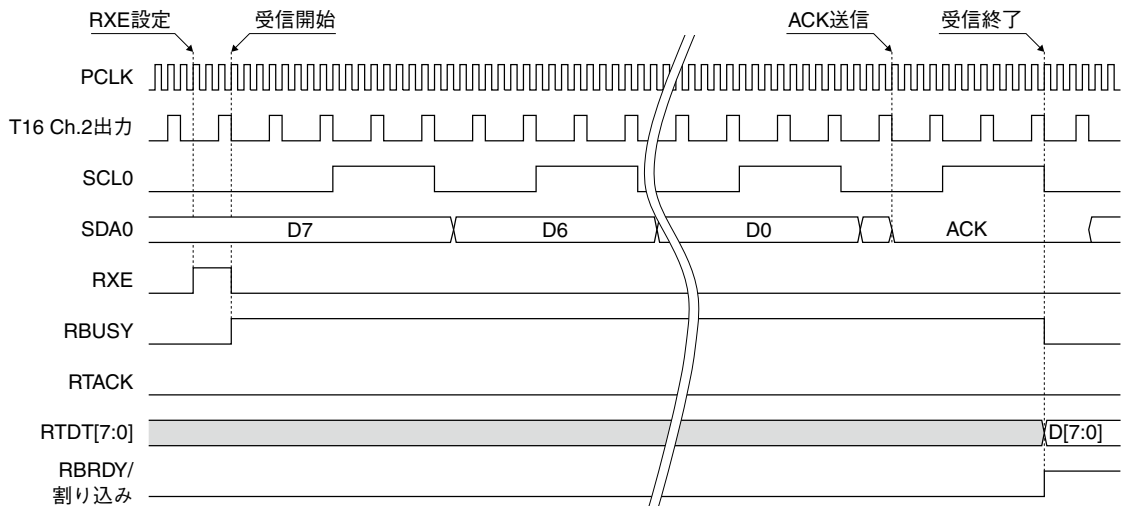


図20.5.8 データ受信

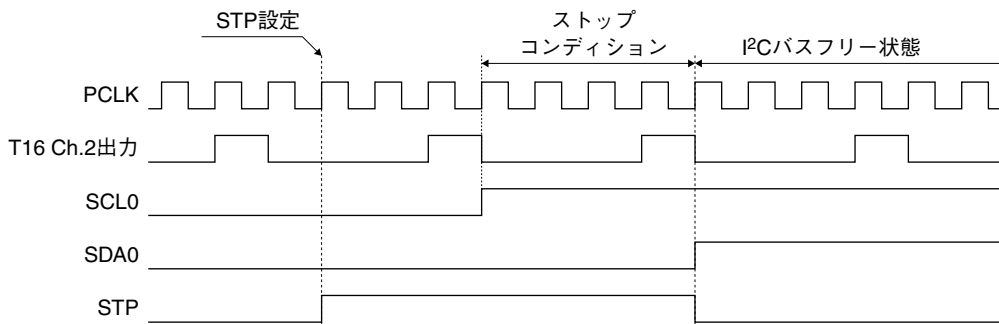


図20.5.9 ストップコンディション生成

20.6 I²Cマスタ割り込み

I²Cマスタモジュールには、以下の2種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 受信バッファフル割り込み

I²Cマスタモジュールは、上記2種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。

送信バッファエンプティ割り込み

この割り込みを使用するには、TINTE(D0/I2C_ICTLレジスタ)を1に設定します。TINTEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

* **TINTE**: Transmit Interrupt Enable Bit in the I²C Interrupt Control (I2C_ICTL) Register (D0/0x4346)

送信バッファエンプティ割り込みが許可されていれば(TINTE = 1)、RTDT[7:0](D[7:0]/I2C_DATレジスタ)に設定された送信データがシフトレジスタに転送された時点で割り込み要求がITCに出力されます。

送信バッファエンプティ割り込みは、データ送信時のみ、発生します。

- 送信バッファエンプティ割り込みのクリア方法

RTDT/I2CM_DATにデータをライトします。

TXE/I2CM_DAT=0とした場合、データは送信されず、割り込みクリアのみ行います。

* **RTDT[7:0]**: Receive/Transmit Data Bits in the I²C Data (I2C_DAT) Register (D[7:0]/0x4344)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

受信バッファフル割り込み

この割り込みを使用するには、RINTE(D1/I2C_ICTLレジスタ)を1に設定します。RINTEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

* **RINTE**: Receive Interrupt Enable Bit in the I²C Interrupt Control (I2C_ICTL) Register (D1/0x4346)

受信バッファフル割り込みが許可されていれば(RINTE = 1)、シフトレジスタに受信したデータがRTDT[7:0]にロードされた時点で割り込み要求がITCに出力されます。

受信バッファフル割り込みは、データ受信時のみ、発生します。

- 受信バッファフル割り込みのクリア方法

RTDT/I2CM_DATからデータをリードします。

注: I2CMの割り込み発生時、I²Cマスタのシーケンス処理に応じて送信バッファエンプティ割り込みと受信バッファフル割り込みを判断してください。送信バッファエンプティ割り込み、または、受信バッファフル割り込みのどちらが発生したかを確認できるレジスタはありません。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

割り込みベクタ

I²Cマスタモジュール割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号: 19(0x13)

ベクタアドレス: TTBR + 0x4c

その他の割り込み設定

ITCではI²Cマスタモジュール割り込みの優先順位をレベル0(デフォルト)～レベル7に設定可能です。また、実際に割り込みを発生させるにはPSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットを1に設定しておく必要があります。

割り込み処理の詳細については、“6 割り込みコントローラ(ITC)”を参照してください。

20.7 制御レジスタ詳細

表20.7.1 I²CMレジスタ一覧

アドレス	レジスタ名		機能
0x4340	I2C_EN	I ² C Enable Register	I ² Cマスタモジュールイネーブル
0x4342	I2C_CTL	I ² C Control Register	I ² Cマスタの制御と転送状態の表示
0x4344	I2C_DAT	I ² C Data Register	送受信データ
0x4346	I2C_ICTL	I ² C Interrupt Control Register	I ² Cマスタ割り込みの制御

以下、I²Cマスタモジュールのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x4340: I²C Enable Register (I2C_EN)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Enable Register (I2C_EN)	0x4340 (16 bits)	D15-1	–	reserved	–	–	–	0 when being read.
		D0	I2CEN	I ² C enable	1 Enable 0 Disable	0	R/W	

D[15:1] Reserved**D0 I2CEN: I²C Enable Bit**

I²CMモジュールの動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I2CENを1に設定するとI²Cマスタモジュールが動作を開始し、データ転送が行える状態になります。

I2CENを0に設定すると、I²Cマスタモジュールは動作を停止します。

0x4342: I²C Control Register (I2C_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Control Register (I2C_CTL)	0x4342 (16 bits)	D15-10	–	reserved	–	–	–	0 when being read.
		D9	RBUSY	Receive busy flag	1 Busy 0 Idle	0	R	
		D8	TBUSY	Transmit busy flag	1 Busy 0 Idle	0	R	
		D7-5	–	reserved	–	–	–	0 when being read.
		D4	NSERM	Noise remove on/off	1 On 0 Off	0	R/W	
		D3-2	–	reserved	–	–	–	0 when being read.
		D1	STP	Stop control	1 Stop 0 Ignored	0	R/W	
		D0	STRT	Start control	1 Start 0 Ignored	0	R/W	

D[15:10] Reserved

D9 **D9 RBUSY: Receive Busy Flag**

I²CMの受信動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

RBUSYはI²Cマスタモジュールがデータ受信を開始すると1にセットされ、受信中は1を保持します。受信動作が終了すると、0にクリアされます。

D8 **D8 TBUSY: Transmit Busy Flag**

I²CMの送信動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

TBUSYはI²Cマスタモジュールがデータ送信を開始すると1にセットされ、送信中は1を保持します。送信動作が終了すると、0にクリアされます。

D[7:5] Reserved

D4 **D4 NSERM: Noise Remove On/Off Bit**

ノイズ除去機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

I²Cマスタモジュールには、SDA0およびSCL0端子の入力信号からノイズを除去する機能が組み込まれており、NSERMを1に設定することにより有効となります。

ただし、この機能を使用するには、I²Cマスタクロック(16ビットタイマCh.2出力クロック)周波数をPCLKの1/6以下に設定する必要があります。

D[3:2] Reserved

D1 **D1 STP: Stop Control Bit**

ストップコンディションを生成します。

1(R/W): ストップコンディションを生成

0(R/W): 無効(デフォルト)

STPを1に設定すると、I²CマスタモジュールはI²CバスのSCLラインをHighに保った状態でSDAラインをLowからHighにしてストップコンディションを生成します。これ以降I²Cバスは、フリー状態になります。

STPの1への設定は、TBUSY = 1 または RBUSY = 1 から、TBUSY = RBUSY = 0 への遷移(I²CMモジュールのデータ送受信動作の完了)を確認し、さらに、設定しているI²Cのクロック周期の1/4より長い時間が経過した後に行ってください。

ストップコンディションが生成されると、STPは自動的に0にリセットされます。

D0 STRT: Start Control Bit

スタートコンディションを生成します。

1(R/W): スタートコンディションを生成

0(R/W): 無効(デフォルト)

STRTを1に設定すると、I²CマスタモジュールはI²CバスのSCLラインをHighに保った状態で、SDAラインをLowにしてスタートコンディションを生成します。これ以降I²Cバスは、ビジー状態になります。

スタートコンディションを生成するには、以下の順序でレジスタを設定してください。

1. RTDT[7:0](D[7:0]/I2C_DATレジスタ)にスレーブアドレスを設定(10ビットアドレスの場合は1回目の送信データ、図20.5.2参照)
2. TXE(D9/I2C_DATレジスタ)を1に設定
3. STRTを1に設定

スタートコンディションが生成されると、STRTは自動的に0にリセットされます。

0x4344: I²C Data Register (I²C_DAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Data Register (I ² C_DAT)	0x4344 (16 bits)	D15-12	–	reserved	–	–	–	0 when being read.
		D11	RBRDY	Receive buffer ready	1 Ready 0 Empty	0	R	
		D10	RXE	Receive execution	1 Receive 0 Ignored	0	R/W	
		D9	TXE	Transmit execution	1 Transmit 0 Ignored	0	R/W	
		D8	RTACK	Receive/transmit ACK	1 Error 0 ACK	0	R/W	
		D7-0	RTDT[7:0]	Receive/transmit data RTDT7 = MSB RTDT0 = LSB	0x0 to 0xff	0x0	R/W	

D[15:12] Reserved**D11 RBRDY: Receive Buffer Ready Flag**

受信バッファの状態を示します。

1(R): 受信データあり

0(R): 受信データなし(デフォルト)

RBRDYフラグはシフトレジスタに受信したデータがRTDT[7:0] (D[7:0])にロードされると1になり、RTDT[7:0]から受信データが読み出されると0に戻ります。このフラグが1になった時点で割り込みを発生させることができます。

D10 RXE: Receive Execution Bit

1バイトのデータ受信を実行します。

1(R/W): データ受信開始

0(R/W): 無効(デフォルト)

RXEを1、TXE(D9)を0に設定することにより、1バイトのデータ受信を開始します。スレーブアドレスの送信中またはデータの受信中であっても、次の受信のためにRXEを1に設定しておくことができます。RXEはD6がシフトレジスタに取り込まれた時点で0にリセットされます。

D9 TXE: Transmit Execution Bit

1バイトのデータ送信を実行します。

1(R/W): データ送信開始

0(R/W): 無効(デフォルト)

送信データをRTDT[7:0] (D[7:0])に設定するとともにTXEに1を書き込んで送信を開始します。スレーブアドレスまたはデータの送信中であっても、次の送信のためにTXEを1に設定しておくことができます。TXEはRTDT[7:0]に設定したデータがシフトレジスタに転送された時点で0にリセットされます。

D8 RTACK: Receive/Transmit ACK Bit**データ送信時**

応答ビットの状態を示します。

1(R/W): エラー (NAK)

0(R/W): ACK(デフォルト)

1バイトのデータを送信後、スレーブからACKが返るとRTACKは0になります。これは、スレーブがデータを正常に受信できたことを示します。RTACKが1の場合、スレーブデバイスが動作していないか、データが正常に受信できなかったことを示します。

データ受信時

スレーブに送信する応答ビットを設定します。

1(R/W): エラー (NAK)

0(R/W): ACK(デフォルト)

データ受信後にACKを返す場合は、I²Cマスタモジュールが応答ビットを送る前にRTACKを0に設定してください。

NAKを返す場合は、RTACKを1に設定します。

D[7:0] RTDT[7:0]: Receive/Transmit Data Bits**データ送信時**

送信データを設定します。(デフォルト: 0x0)

データ送信は、TXE(D9)を1に設定することにより開始します。現在スレーブアドレスまたはデータを送信中の場合は、その終了後に新たな送信を開始します。SDA0端子からはシリアル変換されたデータがMSBを先頭に、0に設定されたビットをLowレベルとして出力されます。このレジスタに書き込んだデータがシフトレジスタに転送された時点で、送信バッファエンピティ割り込み要因が発生します。それ以降であれば、次の送信データを書き込むことができます。

データ受信時

受信データが読み出せます。(デフォルト: 0x0)

データ受信はRXE(D10)を1に設定すると開始します。現在スレーブアドレス送信中またはデータ受信中の場合は、その終了後に新たな受信を開始します。受信が終了し、シフトレジスタのデータがこのレジスタに転送された時点でRBRDYフラグ(D11)がセットされ、受信バッファフル割り込み要因が発生します。これ以降、次のデータの受信を終了するまで、データの読み出しが可能です。このレジスタを読み出す前に次の受信を終了した場合は、新たな受信データで上書きされます。

SDA0端子から入力されたシリアルデータは先頭をMSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。

0x4346: I²C Interrupt Control Register (I2C_ICTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Interrupt Control Register (I2C_ICTL)	0x4346 (16 bits)	D15-2	--	reserved	--		--	0 when being read.
		D1	RINTE	Receive interrupt enable	1 Enable	0 Disable	0	R/W
		D0	TINTE	Transmit interrupt enable	1 Enable	0 Disable	0	R/W

D[15:2] Reserved**D1 RINTE: Receive Interrupt Enable Bit**

I²Cマスタモジュールの受信バッファフル割り込みを許可/禁止します。

1 (R/W): 許可

0 (R/W): 禁止 (デフォルト)

RINTEを1に設定すると、受信バッファフルによるI²Cマスタ割り込み要求のITCへの出力を許可します。この割り込み要求は、シフトレジスタに受信したデータがRTDT[7:0](D[7:0]/I2C_DATレジスタ)に転送される(受信が完了する)ことにより発生します。

RINTEを0に設定すると、I²Cマスタ受信バッファフル割り込みは発生しません。

D0 TINTE: Transmit Interrupt Enable Bit

I²Cマスタモジュールの送信バッファエンプティ割り込みを許可/禁止します。

1 (R/W): 許可

0 (R/W): 禁止 (デフォルト)

TINTEを1に設定すると、送信バッファエンプティによるI²Cマスタモジュール割り込み要求のITCへの出力を許可します。この割り込み要求は、RTDT[7:0](D[7:0]/I2C_DATレジスタ)に書き込んだデータがシフトレジスタに転送されることにより発生します。

TINTEを0に設定すると、I²Cマスタ送信バッファエンプティ割り込みは発生しません。

21 I²Cスレーブ(I²CS)

21.1 I²Cスレーブの構成

S1C17601は高速同期シリアル通信用に、I²Cスレーブモジュールを内蔵しています。I²CスレーブモジュールはI²Cマスタから供給されるクロックを使用し、I²Cバスのスレーブデバイスとして動作します。標準(100kbps)モードおよびファストモード(400kbps)、7ビットスレーブアドレスモード、クロックストレッチに対応しています。また、データ転送の信頼性向上に役立つ、ノイズ除去機能が組み込まれています。本モジュールは、3種類の割り込み(送信割り込み、受信割り込み、およびバスステータス割り込み)を発生可能で、連続したシリアルデータ転送を割り込みによって簡潔に処理することができます。図21.1.1にI²Cスレーブモジュールの構造を示します。

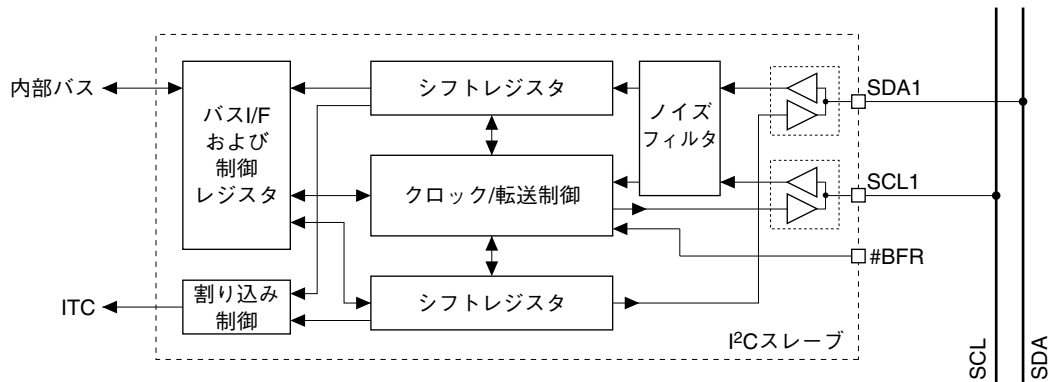


図21.1.1 I²Cスレーブモジュールの構造

注: 本I²Cスレーブはゼネラルコールアドレスおよび10ビットアドレスモードには対応していません。

21.2 I²Cスレーブ入出力端子

表21.2.1にI²Cスレーブ端子の一覧を示します。

表21.2.1 I²Cスレーブ端子一覧

端子名	I/O	本数	機能
SDA1 (P11 or P13)	I/O	1	I ² Cスレーブデータ入出力端子 I ² Cバスからシリアルデータを入力します。 また、シリアルデータをI ² Cバスに出力します。
SCL1 (P10 or P14)	I/O	1	I ² Cスレーブクロック入出力端子 SCLラインの状態を入力します。 また、クロックストレッチ動作時はLowレベルを出力します。
#BFR (P12)	I	1	I ² Cバス解放要求入力端子 Lowパルスの入力により、I ² Cバスの解放を要求します。ソフトウェアによって 要求入力が可能であれば、I ² Cスレーブの通信プロセスが初期化され、SDA1 およびSCL1端子がハイインピーダンスになります。

I²Cスレーブの入出力端子(SDA1、SCL1、#BFR)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらI²Cスレーブの入出力端子として使用するには、Port Function Select Registerの設定により機能を切り換える必要があります。端子機能の切り換えについては、“10.2 入出力端子機能の選択(ポートMUX)”を参照してください。

I²Cスレーブは1chのみ内蔵ですので、SDA1(P11)、SCL1(P10)、#BFR(P12)または、SDA1(P13)、SCL1(P14)、#BFR(P12)のどちらかの組み合わせで使用してください。

P11 → SDA1

* **P11MUX**: P11 Port Function Select Bit in the P1 Port Function Select (P1_PMUX) Register (D3-2/0x52a2)

P10 → SCL1

* **P10MUX**: P10 Port Function Select Bit in the P1 Port Function Select (P1_PMUX) Register (D1-0/0x52a2)

P12 → #BFR

* **P12MUX**: P12 Port Function Select Bit in the P1 Port Function Select (P1_PMUX) Register (D5-4/0x52a2)

P13 → SDA1

* **P13MUX**: P13 Port Function Select Bit in the P1 Port Function Select (P1_PMUX) Register (D7-6/0x52a2)

P14 → SCL1

* **P14MUX**: P14 Port Function Select Bit in the P1 Port Function Select (P1_PMUX) Register (D1-0/0x52a3)

21.3 I²Cスレーブクロック

I²Cスレーブモジュールは、外部I²Cマスタが出力するクロックをSCL1端子から入力して送受信を行います。

I²Cスレーブモジュールの動作にはシステムクロック(PCLK)も使用されます。データ転送時はPCLKをSCL1入力クロック周波数の8倍以上に設定する必要がありますが、転送待機時は非同期アドレス検出機能によりPCLKを低く抑えることができます(消費電流を低減できます)。詳細については、“21.4.3 オプション機能”内の“非同期アドレス検出機能”を参照してください。

21.4 I²Cスレーブの初期設定

21.4.1 リセット

通信プロセスの初期化やI²Cバスを解放状態(ハイインピーダンス)にするため、I²Cスレーブモジュールをリセットする必要があります。モジュールをリセットする方法には、イニシャルリセットの他に以下の2種類があります。

(1) ソフトウェアリセット

SOFTRESET(D6/I2CS_CTLレジスタ)の操作により、I²Cスレーブモジュールをリセットできます。

* **SOFTRESET**: Software Reset Bit in the I²C Slave Control (I2CS_CTL) Register (D6/0x4366)

リセットするには、SOFTRESETに1を書き込んでI²Cスレーブモジュールをリセット状態にし、その後で0を書き込んでリセット状態を解除します。1と0の書き込みの間には、特に待ち時間の挿入は必要ありません。

この操作により、I²Cスレーブモジュールは、スタートコンディションに待機するため、I²Cスレーブの通信プロセスを初期化するとともに、SDA1およびSCL1端子をハイインピーダンスにします。また、SOFTRESETを除くすべてのI²Cスレーブ制御ビットを初期化します。

通信を開始する前の初期設定時に、このリセット処理を行ってください。

(2) #BFR端子入力によるバス解放要求

I²Cスレーブモジュールは、#BFR端子入力によるバス解放要求を受け付け可能です。

本デバイスのデフォルト設定では、バス解放要求受け付け機能が無効です。機能を有効にするには、BFREQ_EN(D4/I2CS_CTLレジスタ)を1に設定してください。

* **BFREQ_EN**: Bus Free Request Enable Bit in the I²C Slave Control (I2CS_CTL) Register (D4/0x4366)

機能を有効にすると、#BFR端子へのLowパルス入力(システムクロック(PCLK)1クロック以上のパルス幅が必要。2クロック以上を推奨。)によりBFREQ(D4/I2CS_STATレジスタ)が1にセットされます。これにより、I²Cスレーブの通信プロセスが初期化され、SDA1およびSCL1端子がハイインピーダンスになります。前述のソフトウェアリセットとは異なり、制御レジスタは初期化されません。

* **BFREQ**: Bus Free Request Bit in the I²C Slave Status (I2CS_STAT) Register (D4/0x4368)

注: BFREQが1にセットされた場合(割り込みにて確認可能)はソフトウェアリセットを行い、再度各レジスタの設定を行ってください。

21.4.2 スレーブアドレスの設定

I²Cスレーブは、各デバイスを識別するために固有のスレーブアドレスを持ちます。

本I²Cスレーブモジュールは7ビットアドレスに対応しており(10ビットアドレスには未対応)、本デバイスのアドレスをI2CS_SADRSレジスタ(0x4364)に設定しておきます。

21.4.3 オプション機能

I²Cスレーブモジュールには、アプリケーションプログラムから選択可能なクロックストレッチ、非同期アドレス検出、ノイズ除去のオプション機能があります。

クロックストレッチ機能

クロックストレッチは、スレーブデバイスが1つのデータとACKの送受信の後、次の送受信の準備が整うまでSCLラインを強制的にLowにプルダウンしてマスタデバイスにウェイトを要求する機能です。マスタはこの要求が解除される(SCLラインがHighになる)まで、送受信を中断して待機します。本デバイスのデフォルト設定では、クロックストレッチ機能が無効です。機能を有効にするには、送受信前にCLKSTR_EN(D3/I2CS_CTLレジスタ)を1に設定してください。

なお、クロックストレッチ動作を行ったときのデータセットアップ時間(SDATA[7:0]のMSBをSDA1端子に出力してからSCL1端子のプルダウンを解除するまで)は、I²Cスレーブモジュールの動作クロック(PCLK)周波数に依存します。

* **CLKSTR_EN**: Clock Stretch On/Off Bit in the I²C Slave Control (I2CS_CTL) Register (D3/0x4366)

非同期アドレス検出機能

データ通信時は、I²Cスレーブモジュールの動作クロック(PCLK)を転送速度の8倍以上の周波数に設定する必要がありますが、通信待機中に他の処理が不要の場合は、PCLKの周波数を下げて消費電流を抑えることができます。非同期アドレス検出機能は、この場合でもマスタが送信する本I²Cスレーブのアドレスを検出するための機能です。

本デバイスのデフォルト設定では、非同期アドレス検出機能が無効です。機能を有効にするには、ASDET_EN(D1/I2CS_CTLレジスタ)を1に設定してください。

* **ASDET_EN**: Async. Address Detection On/Off Bit in the I²C Slave Control (I2CS_CTL) Register (D1/0x4366)

本機能を有効にした場合、マスタが送信したスレーブアドレスが本I²Cスレーブアドレスに一致すると、本モジュールはバスステータス割り込みを発生すると共にI²Cマスタに対してNAKを返し、再送を要求します。この割り込み処理ルーチン内でPCLKを転送速度の8倍以上に設定し、ASDET_ENを0にリセットしてください。この後、マスタからの再送により通常のデータ転送を再開できます。ストップコンディションによりバスがフリー状態になった後は、再度非同期アドレス検出機能を有効にして動作速度を下げるすることができます。

- 注:
- 非同期アドレス検出機能を有効にした場合、I²C信号はノイズフィルタを通さずに入力されます。このため、ノイズが多い環境ではスレーブアドレスを正しく検出できない場合があります。
 - 非同期アドレス検出機能を有効にすると、PCLKの周波数が転送速度の8倍以上あってもデータ転送は行えません。通常動作時は、非同期アドレス検出機能を必ず無効にしてください。

ノイズ除去機能

I²Cスレーブモジュールには、SDA1およびSCL1端子の入力信号からノイズを除去する機能が組み込まれています。この機能は、NF_EN(D2/I2CS_CTLレジスタ)を1に設定することにより有効となります。

* **NF_EN**: Noise Filter On/Off Bit in the I²C Slave Control (I2CS_CTL) Register (D2/0x4366)

21.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) I²Cスレーブモジュールの初期設定を行います。21.4節を参照してください。
- (2) I²Cスレーブ割り込みを使用する場合は、割り込み条件を設定します。21.6節を参照してください。

注: 上記の設定は、必ずI²Cスレーブモジュールが停止中(I2C_EN/I2CS_CTLレジスタ = 0)に行ってください。

* **I2C_EN**: I²C Slave Enable Bit in the I²C Slave Control (I2CS_CTL) Register (D7/0x4366)

データ送受信を許可

最初にI2C_EN(D7/I2CS_CTLレジスタ)を1に設定してI²Cスレーブの動作を許可します。これにより、スタートコンディションの検出によって通信動作を開始できるようになります。

注: I²Cスレーブモジュールが送受信中はI2C_ENを0に設定しないでください。

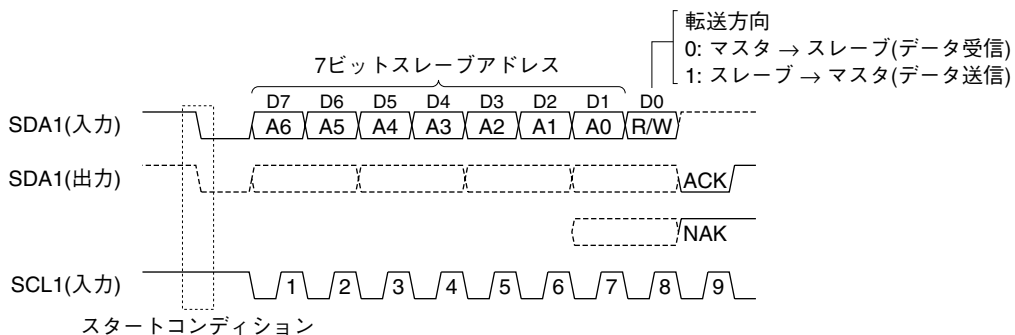
データ送受信の開始

データの送受信を開始するには、COM_MODE(D0/I2CS_CTLレジスタ)を1に設定して通信を許可します。

* **COM_MODE**: I²C Slave Communication Mode Bit in the I²C Slave Control (I2CS_CTL) Register (D0/0x4366)

スタートコンディションに続き、マスタから送られた本デバイスのスレーブアドレスを受信すると、I²CスレーブモジュールはマスタにACK(SDA1 = Low)を返し、アドレスと共に受信した転送方向ビットによりデータ受信またはデータ送信動作を開始します。

COM_MODEが0(デフォルト)の場合、マスタから本デバイスのスレーブアドレスが送信されても応答しません(ホストはNAKが返ったものと見なします)。



スタートコンディションを検出すると、BUSY(D2/I2CS_ASTATレジスタ)が1にセットされ、I²Cバスがビジー状態になったことを示します。また、本デバイスのスレーブアドレスを受信するとSELECTED(D1/I2CS_ASTATレジスタ)が1にセットされ、本モジュールがI²Cスレーブデバイスとして選択されたことを示します。BUSYレジスタは、ストップコンディションを検出するまで1を保持します。SELECTEDレジスタは、ストップコンディションからリピーテッドスタートコンディションを検出するまで1を保持します。また、転送方向ビットの値がR/W(D0/I2CS_ASTATレジスタ)にセットされますので、送信/受信処理の切り換えに利用してください。

* **BUSY**: I²C Bus Status Bit in the I²C Slave Access Status (I2CS_ASTAT) Register (D2/0x436a)

* **SELECTED**: I²C Slave Select Status Bit in the I²C Slave Access Status (I2CS_ASTAT) Register (D1/0x436a)

* **R/W**: Read/Write Direction Bit in the I²C Slave Access Status (I2CS_ASTAT) Register (D0/0x436a)

非同期アドレス検出機能を有効にしている場合に本デバイスのスレーブアドレスを検出すると、ASDET(D2/I2CS_STATレジスタ)が1にセットされます。本モジュールはバスステータス割り込みを発生すると共にI²Cマスタに対してNAKを返し、再送を要求します。この割り込み処理ルーチン内でPCLKを転送速度の8倍以上に設定し、非同期アドレス検出機能を無効にしてください。この後、マスタからの再送により通常のデータ転送を再開できます。ASDETは1の書き込みでクリアされます。

* **ASDET**: Async. Address Detection Status Bit in the I²C Slave Status (I2CS_STAT) Register (D2/0x4368)

データ送信

以下、データの送信方法を説明します。

前述のSELECTEDとR/Wビットがどちらも1になると、I²Cスレーブモジュールはデータ送信動作を開始します。TXEMP(D3/I²CS_ASTATレジスタ)が1にセットされ、送信データの書き込みをアプリケーションに要求します。送信データは、SDATA[7:0](D[7:0]/I²CS_TRNSレジスタ)に書き込みます。

* **TXEMP**: Transmit Data Empty Bit in the I²C Slave Access Status (I²CS_ASTAT) Register (D3/0x436a)

* **SDATA[7:0]**: I²C Slave Transmit Data Bits in the I²C Slave Transmit Data (I²CS_TRNS) Register (D[7:0]/0x4360)

スレーブ選択後に送信する最初のデータは、以下の点に注意して設定してください。

クロックストレッチ機能が無効(デフォルト)の場合

TXEMPが1にセットされてからI²Cスレーブクロック(SCL1)の1サイクル以内に送信データをSDATA[7:0]に書き込む必要があります。この時間が短いため、TXEMPがセットされる前に先行して送信データの書き込みを行っておきます。SDATA[7:0]に前回の送信データが残っていた場合も今回のデータにより上書きされますので、TBUF_CLRによるクリア操作(下記参照)は不要です。非同期アドレス検出機能を使用する場合には、ASDET_ENを0にリセットする前に書き込みを行ったデータは無効となる為、TXEMPが1にセットされてから送信データを書き込む必要があります。

クロックストレッチ機能が有効の場合

クロックストレッチによるウェイト機能が働くため、TXEMPがセットされた後でも送信データの書き込みが可能です。ただし、SDATA[7:0]に前回の送信データが残っているとTXEMPがセットされた時点でそのデータが送信されてしまいますので、本I²Cスレーブが選択される前にTBUF_CLR(D8/I²CS_CTLレジスタ)を使用してI²CS_TRNSレジスタをクリアしておきます。TBUF_CLRに1を書き込んだ後、もう一度0を書き込むことによりI²CS_TRNSレジスタがクリアされます。

* **TBUF_CLR**: I²CS_TRNS Register Clear Bit in the I²C Slave Control (I²CS_CTL) Register (D8/0x4366)

TXEMPがセットされる前に最初の送信データを書き込んでおく場合は、I²CS_TRNSレジスタをクリアする必要はありません。

非同期アドレス検出機能を使用する場合には、ASDET_ENを0にリセットする前に書き込みを行ったデータは無効となる為、TXEMPが1にセットされてから送信データを書き込む必要があります。

最初の送信時以外は、TXEMPがセットされた時点で割り込みを発生させることができますので、この割り込み処理ルーチン内で送信データを書き込んでください。送信中にSDATA[7:0]に書き込んだ送信データがシフトレジスタに送られた場合も、TXEMPが1にセットされます。TXEMPは送信データの書き込みによりクリアされます。

クロックストレッチ機能が無効(デフォルト)の場合

クロックストレッチ機能を無効にしている場合は、TXEMPのセットからI²Cスレーブクロック(SCL1)の7サイクル以内にデータをI²CS_TRNSレジスタに書き込む必要があります。

この時間内に書き込みを行わないと、現在のレジスタ値が送信されてしまいます。この場合、TXUDF(D5/I²CS_STATレジスタ)が1にセットされ、無効なデータが送られたことを示します。TXUDFがセットされた時点で割り込みを発生させることができますので、この割り込み処理ルーチン内でエラー処理が行えます。TXUDFは1の書き込みでクリアされます。

* **TXUDF**: Transmit Data Underflow Bit in the I²C Slave Status (I²CS_STAT) Register (D5/0x4368)

クロックストレッチ機能が有効の場合

クロックストレッチ機能を有効にしている場合は、送信データがI²CS_TRNSレジスタに書き込まれるまでI²CスレーブモジュールはSCL1端子をプルダウンしてクロックストレッチ(ウェイト)状態を生成します。

送信データはマスタから送られるSCL1入力クロックに同期してSDA1端子からMSBを先頭に出力されます。8ビットの送信後、9ビット目のクロックサイクルにマスタからACKまたはNAKが返ります。

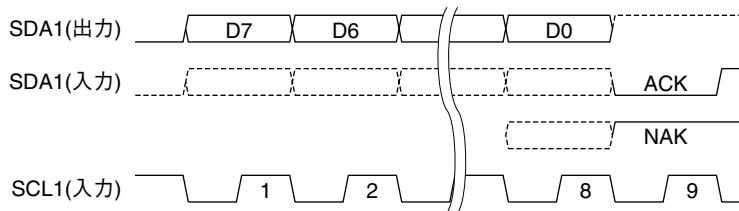


図21.5.2 ACKとNAK

ACKはマスタがデータを受信したことを示します。このACKは続くデータの送信要求でもありますので、次の送信データが書き込まれている必要があります。クロックストレッチ機能を有効にしている場合は、ACKの受信によりクロックストレッチ状態になりますので、ACK受信後にデータを書き込むこともできます。マスタが正しく受信できなかった場合、あるいはマスタが受信を終了する場合はNAKが返ります。NAKが返った場合、クロックストレッチ機能を有効にしている場合でも、クロックストレッチ状態にはなりません。ACKとNAKのどちらが返ったかについては、DA_NAK(D1/I2CS_STATレジスタ)を読み出すことで確認できます。ACKが返るとDA_NAKは0に、NAKが返ると1に設定されます。DA_NAKが1にセットされた時点で割り込みを発生させることができますので、この割り込みを利用してエラー処理や送信終了処理を行うことができます。DA_NAKは1の書き込みでクリアされます。

* **DA_NAK**: NAK Receive Status Bit in the I²C Slave Status (I2CS_STAT) Register (D1/0x4368)

データ送信中はSDA1の状態がモジュール内にも取り込まれ、出力データと比較されます。この結果はDMS(D3/I2CS_STATレジスタ)にセットされます。正しく出力されている場合、DMSは0になります。SDA1の状態が出力データと異なる場合は1にセットされます。この場合、プルアップ抵抗値が低いか、他のI²CデバイスがSDA1ラインを制御していることが考えられます。DMSが1にセットされた時点で割り込みを発生させることができますので、この割り込みを利用してエラー処理を行うことができます。DMSは1の書き込みでクリアされます。

注: 下記の条件がすべて成立している状態で、マスタが送信したアドレスに対して本I²CSがNAKを返信した場合、マスタは異なるスレーブアドレスを送信する前に33μs以上の待ち時間を取る必要があります(本I²CSのスレーブアドレスを送信する場合を除く)。

1. 通信レートを320kbps以上に設定している。
2. 非同期アドレス検出機能を有効にしている。
3. OSC1を動作クロック(PCLK)として、本I²CSが通信待機状態にある。

* **DMS**: Output Data Mismatch Bit in the I²C Slave Status (I2CS_STAT) Register (D3/0x4368)

データ受信

以下、受信データの読み出し方法を説明します。

前述のSELECTEDビットが1、R/Wビットが0になると、I²Cスレーブモジュールはデータ受信動作を開始します。受信データは、マスタから送られるSCL1入力クロックに同期してSDA1端子から入力されます。8ビットのデータ(MSB先頭)がシフトレジスタに取り込まれると、受信データはRDATA[7:0](D[7:0]/I2CS_RECVレジスタ)にロードされます。

* **RDATA[7:0]**: I²C Slave Receive Data Bits in the I²C Slave Receive Data (I2CS_RECV) Register (D[7:0]/0x4362)

受信データがRDATA[7:0]にロードされると、RXRDY(D4/I2CS_ASTATレジスタ)が1にセットされ、RDATA[7:0]の読み出しをアプリケーションに要求します。RXRDYがセットされた時点で割り込みを発生させることができますので、この割り込み処理ルーチン内で受信データを読み出してください。RXRDYは受信データの読み出しによってクリアされます。

* **RXRDY**: Receive Data Ready Bit in the I²C Slave Access Status (I2CS_ASTAT) Register (D4/0x436a)

クロックストレッチ機能が無効(デフォルト)の場合

クロックストレッチ機能を無効にしている場合は、RXRDYのセットからI²Cスレーブクロック(SCL1)の7サイクル以内にデータをI2CS_RECVレジスタから読み出す必要があります。

クロックストレッチ機能が有効の場合

クロックストレッチ機能を有効にしている場合は、受信データがI2CS_RECVレジスタから読み出されるまでI²CスレーブモジュールはSCL1端子をプルダウンしてクロックストレッチ(ウェイ

ト)状態を生成します。

データが読み出されずに次のデータを受信すると、RDATA[7:0]が上書きされてしまいます。この場合、RXOVF(D5/I2CS_STATレジスタ)が1にセットされ、受信データが上書きされたことを示します。RXOVFがセットされた時点で割り込みを発生させることができますので、この割り込み処理ルーチン内でエラー処理が行えます。RXOVFは1の書き込みでクリアされます。

* **RXOVF**: Receive Data Overflow Bit in the I²C Slave Status (I2CS_STAT) Register (D5/0x4368)

データ受信時のNAK応答

データ受信時(マスタ送信時)は、8ビットの受信ごとにI²CスレーブモジュールがマスタにACK(SDA1 = Low)を返します(デフォルト設定)。これをNAK_ANS(D5/I2CS_CTLレジスタ)の設定により、NAK(SDA1 = Hi-Z)を返すように変更可能です。NAK_ANSが0の場合はACKが、1に設定するとNAKが返ります。

* **NAK_ANS**: NAK Answer Bit in the I²C Slave Control (I2CS_CTL) Register (D5/0x4366)

NAK_ANSの設定は、NAKを返す1つ前のデータ受信によるRXRDYのセットからI²Cスレーブクロック(SCL1)の7サイクル以内に行ってください。

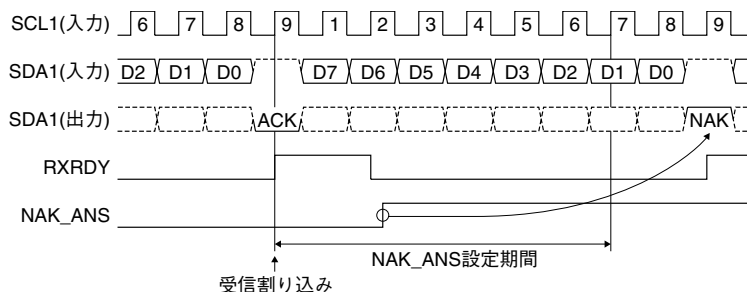


図21.5.3 NAK_ANSの設定とNAK応答タイミング

データ送受信の終了(ストップコンディションの検出)

データ転送はマスタがストップコンディションを生成することで終了します。SCL1ラインをHighに保った状態で、SDA1ラインをLowからHighにすることがストップコンディションとなります。

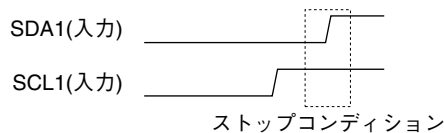


図21.5.4 ストップコンディション

本モジュールがスレーブとして選択されている状態(SELECTED = 1)でストップコンディションを検出すると、I²CスレーブモジュールはDA_STOP(D0/I2CS_STATレジスタ)を1にセットします。同時にSDA1およびSCL1端子をハイインピーダンスにするとともに、次のスタートコンディションに待機するため、I²Cスレーブの通信プロセスを初期化します。この時点でSELECTEDとBUSYが0にリセットされます。

* **DA_STOP**: Stop Condition Detect Bit in the I²C Slave Status (I2CS_STAT) Register (D0/0x4368)

DA_STOPが1にセットされた時点で割り込みを発生させることができますので、この割り込みを利用して通信終了処理を行うことができます。DA_STOPは1の書き込みでクリアされます。

データ送受信を禁止

データ転送を終了後は、COM_MODE(D0/I2CS_CTLレジスタ)に0を書き込んでデータ送受信を禁止します。ただし、データ送受信を禁止する前に、BUSYとSELECTEDが0になっていることを確認してください。

I²Cスレーブ機能を終了させる場合は、I2C_EN(D7/I2CS_CTLレジスタ)を0に設定します。

タイミングチャート



図21.5.5 I²Cスレーブタイミングチャート1(スタートコンディション→データ送信)

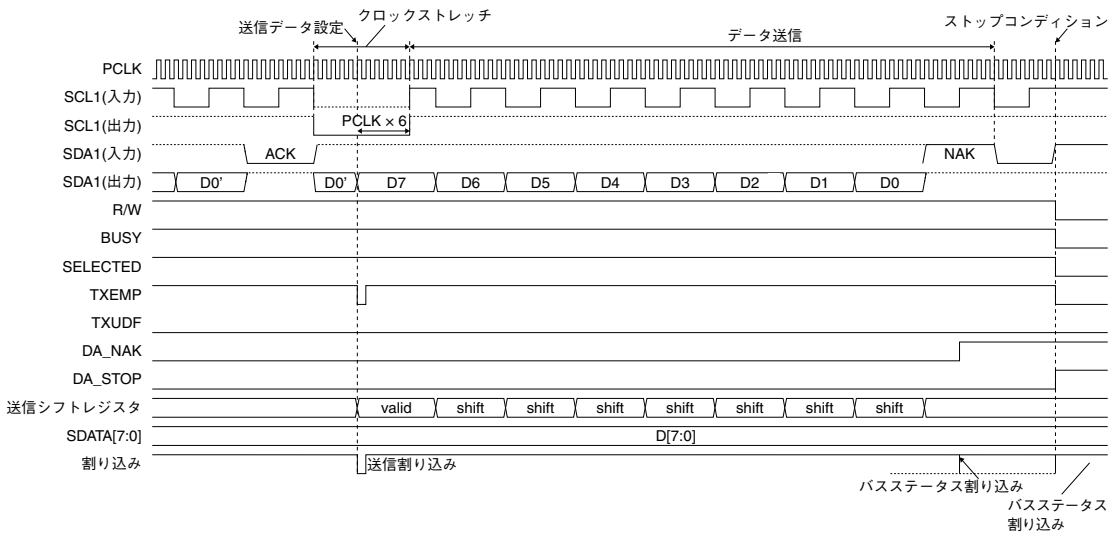


図21.5.6 I²Cスレーブタイミングチャート2(データ送信→ストップコンディション)

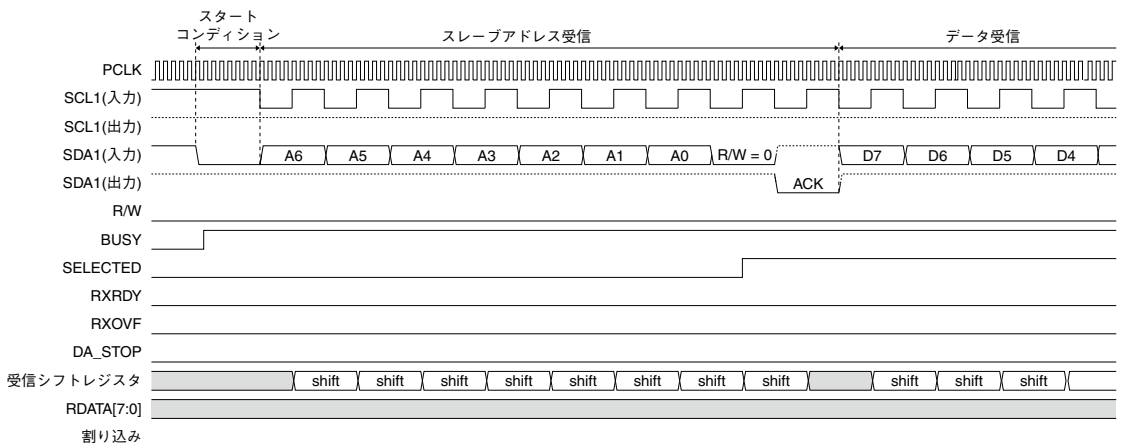
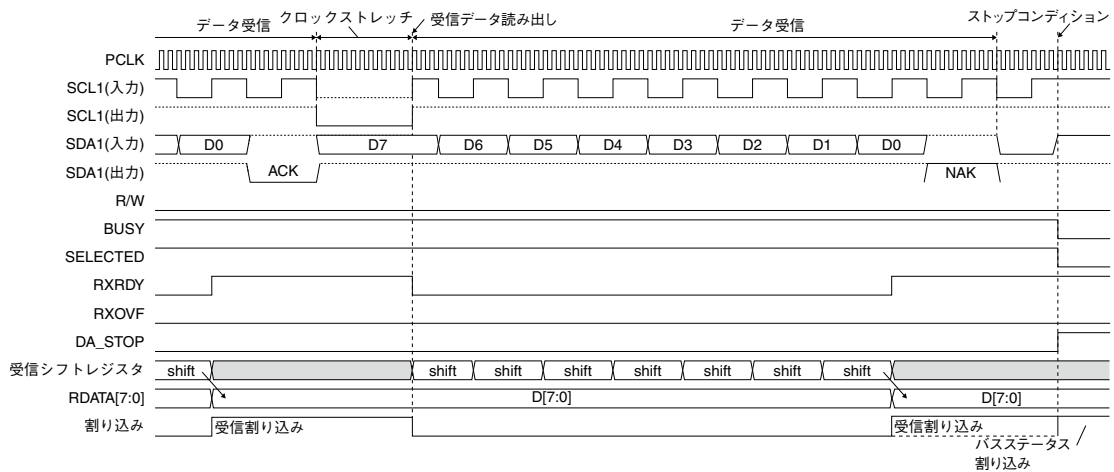


図21.5.7 I²Cスレーブタイミングチャート3(スタートコンディション→データ受信)

図21.5.8 I²Cスレーブタイミングチャート4(データ受信→ストップコンディション)

21.6 I²Cスレーブ割り込み

I²Cスレーブモジュールには、以下の3種類の割り込みを発生させる機能があります。

- 送信割り込み
- 受信割り込み
- バスステータス割り込み

送信割り込み

マスタよりリード要求が来た場合(R/Wビット=1を受信)SDATA[7:0](D[7:0]/I2CS_TRNSレジスタ)に送信データがセットされていなければ(TXEMP(D3/I2CS_ASTATレジスタ)が1ならば)、割り込み信号がITCに出力されます。この割り込みを利用して、送信データをSDATA[7:0]に書き込むことができます。SDATAに送信データを書き込むと、割り込み信号はクリアされます。

- * **SDATA[7:0]**: I²C Slave Transmit Data Bits in the I²C Slave Transmit Data (I2CS_TRNS) Register (D[7:0]/0x4360)
- * **TXEMP**: Transmit Data Empty Bit in the I²C Slave Access Status (I2CS_ASTAT) Register (D3/0x436a)

この割り込みを使用するには、TXEMP_IEN(D0/I2CS_ICTLレジスタ)を1に設定します。TXEMP_IENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

- * **TXEMP_IEN**: Transmit Interrupt Enable Bit in the I²C Slave Interrupt Control (I2CS_ICTL) Register (D0/0x436c)

受信割り込み

受信データがRDATA[7:0](D[7:0]/I2CS_RECVレジスタ)にロードされると、RXRDY(D4/I2CS_ASTATレジスタ)が1にセットされ、割り込み信号がITCに出力されます。この割り込みを利用して、受信データをRDATA[7:0]から読み出すことができます。

- * **RDATA[7:0]**: I²C Slave Receive Data Bits in the I²C Slave Receive Data (I2CS_RECV) Register (D[7:0]/0x4362)
- * **RXRDY**: Receive Data Ready Bit in the I²C Slave Access Status (I2CS_ASTAT) Register (D4/0x436a)

この割り込みを使用するには、RXRDY_IEN(D1/I2CS_ICTLレジスタ)を1に設定します。RXRDY_IENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

- * **RXRDY_IEN**: Receive Interrupt Enable Bit in the I²C Slave Interrupt Control (I2CS_ICTL) Register (D1/0x436c)

バスステータス割り込み

I²Cスレーブモジュールには、送受信やI²Cバスの状態を示す以下のステータスビットが設けられています(機能の詳細は、21.5節を参照してください)。

1. ASDET: 非同期アドレス検出時に1にセット
 - * **ASDET**: Async. Address Detection Status Bit in the I²C Slave Status (I2CS_STAT) Register (D2/0x4368)
2. TXUDF: 送信データ書き込み前に送信動作を開始した場合に1にセット(クロックストレッチが無効の場合)
 - * **TXUDF**: Transmit Data Underflow Bit in the I²C Slave Status (I2CS_STAT) Register (D5/0x4368)

3. DA_NAK: 送信時にマスタデバイスからNAKが返った場合に1にセット
* **DA_NAK**: NAK Receive Status Bit in the I²C Slave Status (I2CS_STAT) Register (D1/0x4368)
4. DMS: 送信データとSDA1ラインの状態が異なる場合に1にセット
* **DMS**: Output Data Mismatch Bit in the I²C Slave Status (I2CS_STAT) Register (D3/0x4368)

DMSは、他のスレーブデバイスが本I²Cスレーブアドレスに対してACK応答を行った場合もセットされます(ASDET_EN(D1/I2CS_CTLレジスタ) = 0の場合)。

注: 本ICを含む複数のスレーブデバイスがI²Cバスに接続されている状態でマスタデバイスと他のスレーブデバイスが通信を開始した場合、スレーブアドレスの送信に対して本I²CスレーブはNAKで応答します。選択されたスレーブデバイスはACKで応答するため、本I²Cスレーブによる出力内容とSDA1ラインが異なる状態となりDMSが発生することがあります。DMSが発生した場合でもSELECTED(D1/I2CS_ASTATレジスタ)が0のときは、他のスレーブデバイスとACK/NAK応答が異なるだけで問題ありませんので無視してください。この場合でも、非同期アドレス検出状態(ASDET_EN = 0)に設定されているときはDMSは発生しません。

5. RXOVF: 受信データを読み出す前に次の受信が完了した(データが上書きされた)場合に1にセット(クロックストレッチが無効の場合)
* **RXOVF**: Receive Data Overflow Bit in the I²C Slave Status (I2CS_STAT) Register (D5/0x4368)
6. BFREQ: バス解放要求を受け付けた場合に1にセット
* **BFREQ**: Bus Free Request Bit in the I²C Slave Status (I2CS_STAT) Register (D4/0x4368)
7. DA_STOP: スレーブ選択状態でストップコンディション、またはリピーテッドスタートコンディションを検出した場合に1にセット
* **DA_STOP**: Stop Condition Detect Bit in the I²C Slave Status (I2CS_STAT) Register (D0/0x4368)

この中のいずれかのビットが1にセットされると、同時にBSTAT(D7/I2CS_STATレジスタ)もセットされ、割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理や終了処理が行えます。

* **BSTAT**: Bus Status Transition Bit in the I²C Slave Status (I2CS_STAT) Register (D7/0x4368)

この割り込みを使用するには、BSTAT_IEN(D2/I2CS_ICTLレジスタ)を1に設定します。BSTAT_IENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

* **BSTAT_IEN**: Bus Status Interrupt Enable Bit in the I²C Slave Interrupt Control (I2CS_ICTL) Register (D2/0x436c)

I²Cスレーブ割り込み用ITCレジスタ

割り込みが許可されている割り込み要因が発生すると、I²Cスレーブモジュールは割り込み信号をITCに出力します。I²Cスレーブ割り込みを発生させるには、ITCレジスタで割り込みレベルの設定を行ってください。表21.6.1に、I²Cスレーブ割り込み用のITC制御レジスタを示します。

表21.6.1 ITCレジスタ

割り込み要因	割り込みレベル設定ビット
バスステータス/送信/受信	ILV13[2:0][D[10:8]/ITC_ILV6)

ITC_ILV6レジスタ (0x4312)

ITCは割り込み要求をS1C17コアに送ります。

ITCの割り込みレベル設定ビットは、I²Cスレーブ割り込みのレベル(0~7)を設定します。S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- I²Cスレーブモジュール(周辺モジュール)の割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- I²Cスレーブ割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“6 割り込みコントローラ(ITC)”を参照してください。

割り込みベクタ

I²Cスレーブ割り込みのベクタ番号とベクタアドレスは以下のとおりです。

表21.6.2 I²Cスレーブ割り込みベクタ

割り込み要因	ベクタ番号	ベクタアドレス
バスステータス/送信/受信	17 (0x11)	TTBR + 0x44

21.7 制御レジスタ詳細

表21.7.1 I²Cスレーブレジスタ一覧

アドレス	レジスタ名		機能
0x4360	I2CS_TRNS	I ² C Slave Transmit Data Write Register	I ² Cスレーブ送信データ
0x4362	I2CS_RECV	I ² C Slave Receive Data Read Register	I ² Cスレーブ受信データ
0x4364	I2CS_SADRS	I ² C Slave Address Setup Register	I ² Cスレーブアドレスの設定
0x4366	I2CS_CTL	I ² C Slave Control Register	I ² Cスレーブの制御
0x4368	I2CS_STAT	I ² C Slave Status Register	I ² Cスレーブのバスステータスの表示
0x436a	I2CS_ASTAT	I ² C Slave Access Status Register	I ² Cスレーブのアクセスステータスの表示
0x436c	I2CS_ICTL	I ² C Slave Interrupt Control Register	I ² Cスレーブ割り込みの制御

以下、I²Cスレーブモジュールのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x4360: I²C Slave Transmit Data Register (I2CS_TRNS)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Slave Transmit Data Register (I2CS_TRNS)	0x4360 (16 bits)	D15-8	—	reserved	—	—	—	0 when being read.
		D7-0	SDATA[7:0]	I ² C slave transmit data	0-0xff	0x0	R/W	

D[15:8] Reserved**D[7:0] SDATA[7:0]: I²C Slave Transmit Data Bits**

送信データを設定します。(デフォルト: 0x0)

SDA1端子からはシリアル変換されたデータがMSBを先頭に、0に設定されたビットをLowレベルとして出力されます。このレジスタに書き込んだデータがシフトレジスタに転送された時点で、送信割り込みが発生します。それ以降であれば、次の送信データを書き込むことができます。

クロックストレッチ機能を無効にしている場合は、送信割り込み発生後、I²Cスレーブクロック(SCL1)の7サイクル以内にデータを本レジスタに書き込む必要があります。

ただし、スレーブ選択後に送信する最初のデータは、以下の点に注意して設定してください。

クロックストレッチ機能が無効(デフォルト)の場合

TXEMPが1にセットされてからI²Cスレーブクロック(SCL1)の1サイクル以内に送信データをSDATA[7:0]に書き込む必要があります。

この時間が短いため、TXEMPがセットされる前に先行して送信データの書き込みを行っておきます。SDATA[7:0]に前回の送信データが残っていた場合も今回のデータにより上書きされますので、TBUF_CLRによるクリア操作(下記参照)は不要です。

クロックストレッチ機能が有効の場合

クロックストレッチによるウェイト機能が働くため、TXEMPがセットされた後でも送信データの書き込みが可能です。ただし、SDATA[7:0]に前回の送信データが残っているとTXEMPがセットされた時点でそのデータが送信されてしまいますので、本I²Cスレーブが選択される前にTBUF_CLR(D8/I2CS_CTLレジスタ)を使用してI2CS_TRNSレジスタをクリアしておきます。TBUF_CLRに1を書き込んだ後、もう一度0を書き込むことによりI2CS_TRNSレジスタがクリアされます。

TXEMPがセットされる前に最初の送信データを書き込んでおく場合は、I2CS_TRNSレジスタをクリアする必要はありません。

0x4362: I²C Slave Receive Data Register (I2CS_RECV)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Slave Receive Data Register (I2CS_RECV)	0x4362 (16 bits)	D15-8	–	reserved	–	–	–	0 when being read.
		D7-0	RDATA[7:0]	I ² C slave receive data	0-0xff	0x0	R	

D[15:8] Reserved

D[7:0] RDATA[7:0]: I²C Slave Receive Data Bits

受信データが読み出せます。(デフォルト: 0x0)

SDA1端子から入力されたシリアルデータは先頭をMSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。

受信が終了し、シフトレジスタのデータがこのレジスタに転送された時点でRXRDY(D4/I2CS_ASTATレジスタ)がセットされ、受信割り込みが発生します。これ以降、データの読み出しが可能です。

クロックストレッチ機能を無効にしている場合は、RXRDYのセットからI²Cスレーブクロック(SCL1)の7サイクル以内にデータを本レジスタから読み出す必要があります。データが読み出されずに次のデータを受信すると、本レジスタは新たな受信データで上書きされてしまいます。

0x4364: I²C Slave Address Setup Register (I2CS_SADRS)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Slave Address Setup Register (I2CS_SADRS)	0x4364 (16 bits)	D15-7	–	reserved	–	–	–	0 when being read.
		D6-0	SADRS[6:0]	I ² C slave address	0-0x7f	0x0	R/W	

D[15:7] Reserved**D[6:0] SADRS[6:0]: I²C Slave Address Bits**本モジュールのI²Cスレーブアドレスを設定します。(デフォルト: 0x0)

0x4366: I²C Slave Control Register (I²CS_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
I ² C Slave Control Register (I ² CS_CTL)	0x4366 (16 bits)	D15-9	–	reserved	–	–	–	0 when being read.	
		D8	TBUF_CLR	I ² C_SLAVE_TRNS register clear	1 Clear state	0 Normal	0	R/W	
		D7	I2C_EN	I ² C slave enable	1 Enable	0 Disable	0	R/W	
		D6	SOFTRESET	Software reset	1 Reset	0 Cancel	0	R/W	
		D5	NAK_ANS	NAK answer	1 NAK	0 ACK	0	R/W	
		D4	BFREQ_EN	Bus free request enable	1 Enable	0 Disable	0	R/W	
		D3	CLKSTR_EN	Clock stretch On/Off	1 On	0 Off	0	R/W	
		D2	NF_EN	Noise filter On/Off	1 On	0 Off	0	R/W	
		D1	ASDET_EN	Async.address detection On/Off	1 On	0 Off	0	R/W	
		D0	COM_MODE	I ² C slave communication mode	1 Active	0 Standby	0	R/W	NAK response when standby

D[15:9] Reserved**D8 TBUF_CLR: I²C_SLAVE_TRNS Register Clear Bit**

I²C_SLAVE_TRNSレジスタ(0x4366)をクリアします。

1(R/W): クリア状態

0(R/W): 通常状態(クリア解除) (デフォルト)

TBUF_CLRに1を書き込むとI²C_SLAVE_TRNSレジスタがクリア状態となり、その後0を書き込むとクリア状態が解除され通常の状態に戻ります。1と0の書き込みの間に待ち時間を挿入する必要はありません。

以前に終了した送信のデータがI²C_SLAVE_TRNSレジスタに残っている状態で新たな送信を開始すると、TXEMP(D3/I²C_SLAVE_STATレジスタ)がセットされた時点でそのデータが送信されてしまいます。これを防ぐため、送信開始前(スレーブ選択の前)に本ビットによりI²C_SLAVE_TRNSレジスタをクリアしてください。TXEMPのセット前に実際の送信データをI²C_SLAVE_TRNSレジスタに書き込む場合、クリア操作は不要です。

I²C_SLAVE_TRNSレジスタがクリア状態(TBUF_CLR = 1)でもI²C_SLAVE_TRNSレジスタへのデータの書き込みは可能です。ただし、この書き込みによってTXEMPは0にリセットされません。また、その後TBUF_CLRを0に戻してもTXEMPは0にリセットされませんので、I²C_SLAVE_TRNSレジスタへのデータの書き込みはTBUF_CLR = 0の状態で行ってください。

D7 I2C_EN: I²C Slave Enable Bit

I²Cスレーブモジュールの動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I2C_ENを1に設定するとI²Cスレーブモジュールが動作を開始し、データ転送が行える状態になります。I2C_ENを0に設定すると、I²Cスレーブモジュールは動作を停止します。

D6 SOFTRESET: Software Reset Bit

I²Cスレーブモジュールをリセットします。

1(R/W): リセット

0(R/W): リセット解除(デフォルト)

I²Cスレーブモジュールをリセットするには、SOFTRESETに1を書き込んでモジュールをリセット状態にし、その後で0を書き込んでリセット状態を解除します。1と0の書き込みの間には、特に待ち時間の挿入は必要ありません。この操作により、I²Cスレーブモジュールは、スタートコンディションに待機するため、I²Cスレーブの通信プロセスを初期化するとともに、SDA1およびSCL1端子をハイインピーダンスにします。また、SOFTRESETを除くすべてのI²Cスレーブ制御ビットを初期化します。通信を開始する前の初期設定時に、このリセット処理を行ってください。

D5 NAK_ANS: NAK Answer Bit

データ受信後の応答ビットを指定します。

1(R/W): NAK

0(R/W): ACK(デフォルト)

8ビットデータの受信が完了後、I²CスレーブモジュールはマスタにACK(SDA1 = Low)またはNAK(SDA1 = Hi-Z)を返します。NAK_ANSでACKとNAKのどちらを返すか、1つ前のデータ受信によるRXRDYのセットからI²Cスレーブクロック(SCL1)の7サイクル以内で指定しておきます。

D4 BFREQ_EN: Bus Free Request Enable Bit

#BFR端子へのLowパルス入力によるI²Cバス解放要求を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I²Cバス解放要求を受け付ける場合に1に設定してください。バス解放要求を受け付けるとBFREQ(D4/I2CS_STATレジスタ)が1にセットされます。これにより、I²CスレーブモジュールはI²Cスレーブの通信プロセスを初期化し、SDA1およびSCL1端子をハイインピーダンスにします。ソフトウェアリセットとは異なり、この処理で制御レジスタは初期化されません。BFREQ_ENを0に設定すると、#BFR端子へのLowパルス入力は無視され、BFREQは1にセットされません。

D3 CLKSTR_EN: Clock Stretch On/Off Bit

クロックストレッチ機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

クロックストレッチは、スレーブデバイスが1つのデータとACKの送受信の後、次の送受信の準備が整うまでSCLラインを強制的にLowにプルダウンしてマスタデバイスにウェイトを要求する機能です。マスタはこの要求が解除される(SCLラインがHighになる)まで、送受信を中断して待機します。この機能を有効にするには、送受信前にCLKSTR_ENを1に設定してください。

D2 NF_EN: Noise Filter On/Off Bit

ノイズ除去機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

I²Cスレーブモジュールには、SDA1およびSCL1端子の入力信号からノイズを除去する機能が組み込まれており、NF_ENを1に設定することにより有効となります。

D1 ASDET_EN: Async. Address Detection On/Off Bit

非同期アドレス検出機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

データ通信時は、I²Cスレーブモジュールの動作クロック(PCLK)を転送速度の8倍以上の周波数に設定する必要がありますが、通信待機中に他の処理が不要の場合は、PCLKの周波数を下げて消費電流を抑えるようにします。非同期アドレス検出機能は、この場合でもマスタが送信する本I²Cスレーブのアドレスを検出するための機能です。ASDET_ENを1に設定すると、この機能が有効になります。本機能を有効にした場合、マスタが送信したスレーブアドレスが本I²Cスレーブアドレスに一致すると、本モジュールはバスステータス割り込みを発生すると共にI²Cマスタに対してNAKを返し、再送を要求します。この割り込み処理ルーチン内でPCLKを転送速度の8倍以上に設定し、ASDET_ENを0にリセットしてください。この後、マスタからの再送により通常のデータ転送を再開できます。ストップコンディションによりバスがフリー状態になった後は、再度非同期アドレス検出機能を有効にして動作速度を下げるすることができます。

- 注:
- 非同期アドレス検出機能を有効にした場合、I²C信号はノイズフィルタを通さずに入力されます。このため、ノイズが多い環境ではスレーブアドレスを正しく検出できない場合があります。
 - 非同期アドレス検出機能を有効にすると、PCLKの周波数が転送速度の8倍以上あってもデータ転送は行えません。通常動作時は、非同期アドレス検出機能を必ず無効にしてください。

D0 COM_MODE: I²C Slave Communication Mode Bit

通信を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I2C_EN(D7)を1に設定してI²Cスレーブの動作を許可した後、COM_MODEを1に設定して通信を許可します。

COM_MODEが0の場合、マスタから本デバイスのスレーブアドレスが送信されても応答しません(ホストはNAKが返ったものと見なします)。

0x4368: I²C Slave Status Register (I2CS_STAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
I ² C Slave Status Register (I2CS_STAT)	0x4368 (16 bits)	D15-8	—	reserved	—	—	—	0 when being read.	
		D7	BSTAT	Bus status transition	1 Changed 0 Unchanged	0	R		
		D6	—	reserved	—	—	—	—	0 when being read.
		D5	TXUDF	Transmit data underflow	1 Occurred 0 Not occurred	0	R/W	Reset by writing 1.	
			RXOVF	Receive data overflow					
		D4	BFREQ	Bus free request	1 Occurred 0 Not occurred	0	R/W		
		D3	DMS	Output data mismatch	1 Error 0 Normal	0	R/W		
		D2	ASDET	Async. address detection status	1 Detected 0 Not detected	0	R/W		
		D1	DA_NAK	NAK receive status	1 NAK 0 ACK	0	R/W		
		D0	DA_STOP	STOP condition detect	1 Detected 0 Not detected	0	R/W		

D[15:8] Reserved

D7 **BSTAT: Bus Status Transition Bit**

バスの状態変化を示します。

1(R): 変化あり

0(R): 変化なし(デフォルト)

TXUDF/RXOVF(D5)、BFREQ(D4)、DMS(D3)、ASDET(D2)、DA_NAK(D1)、DA_STOP(D0)のいずれかのビットが1にセットされるとBSTATもセットされ、BSTAT_IEN(D2/I2CS_ICTLレジスタ)によって割り込みが許可されていれば割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理や終了処理が行えます。

TXUDF/RXOVF(D5)、BFREQ(D4)、DMS(D3)、ASDET(D2)、DA_NAK(D1)、DA_STOP(D0)のすべてのビットが0にリセットされることによりBSTATもリセットされます。

D6 Reserved

D5 **TXUDF: Transmit Data Underflow Bit (送信時)****RXOVF: Receive Data Overflow Bit (受信時)**

送信/受信データレジスタの状態を示します。

1(R/W): データアンダーフロー/オーバーフローあり

0(R/W): データアンダーフロー/オーバーフローなし(デフォルト)

このビットはクロックストレッチ機能を無効にして送信/受信を行っている場合にのみ有効です。I2CS_TRNSレジスタに送信データを書き込む前に次の送信が始まった場合、送信データアンダーフローとしてTXUDFが1にセットされます。または、I2CS_RECVレジスタの受信データを読み出す前に次の受信が終了し、新たな受信データによってI2CS_RECVレジスタが上書きされると、データオーバーフローとしてRXOVFが1にセットされます。

BSTAT_IEN(D2/I2CS_ICTLレジスタ)によって割り込みが許可されていれば、同時に割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理が行えます。

1にセットされたTXUDF/RXOVFは1の書き込みによりリセットできます。

D4 **BFREQ: Bus Free Request Bit**

I²Cバス解放要求の状態を示します。

1(R/W): 要求あり

0(R/W): 要求なし(デフォルト)

BFREQ_EN(D4/I2CS_CTLレジスタ)が1(バス解放要求受け付け機能が有効)に設定されている場合、#BFR端子からシステムクロック(PCLK)5クロック以上のパルス幅を持つLowパルスが入力されるとBFREQが1にセットされ、バス解放要求が受け付けられます。バス解放要求を受け付けると、I²CスレーブモジュールはI²Cの通信プロセスを初期化し、SDA1およびSCL1端子をハイインピーダンスにします。この処理でI²Cスレーブの制御レジスタは初期化されません。

BSTAT_IEN(D2/I2CS_ICTLレジスタ)によって割り込みが許可されていれば、BFREQのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理が行えます。

1にセットされたBFREQは1の書き込みによりリセットできます。

BFREQ_ENが0に設定されていると、#BFR端子へのLowパルス入力は無視され、BFREQは1にセットされません。

D3 DMS: Output Data Mismatch Bit

出力データとSDA1ラインの状態の比較結果を示します。

1(R/W): エラーあり

0(R/W): エラーなし(デフォルト)

データ送信中はSDA1の状態がモジュール内にも取り込まれ、出力データと比較されます。この結果がDMSにセットされます。正しく出力されている場合、DMSは0になります。SDA1の状態が出力データと異なる場合は1にセットされます。この場合、プルアップ抵抗値が低いか、他のI²CデバイスがSDA1ラインを制御していることが考えられます。

BSTAT_IEN(D2/I2CS_ICTLレジスタ)によって割り込みが許可されていれば、DMSのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理が行えます。1にセットされたDMSは1の書き込みによりリセットできます。

注: 本ICを含む複数のスレーブデバイスがI²Cバスに接続されている状態でマスタデバイスと他のスレーブデバイスが通信を開始した場合、スレーブアドレスの送信に対して本I²CスレーブはNAKで応答します。選択されたスレーブデバイスはACKで応答するため、本I²Cスレーブによる出力内容とSDA1ラインが異なる状態となりDMSが発生することがあります。DMSが発生した場合でもSELECTED(D1/I2CS_ASTATレジスタ)が0のときは、他のスレーブデバイスとACK/NAK応答が異なるだけで問題ありませんので無視してください。この場合でも、非同期アドレス検出状態(ASDET_EN = 1)に設定されているときはDMSは発生しません。

D2 ASDET: Async. Address Detection Status Bit

非同期アドレス検出の状態を示します。

1(R/W): 検出

0(R/W): 未検出(デフォルト)

データ通信時は、I²Cスレーブモジュールの動作クロック(PCLK)を転送速度の8倍以上の周波数に設定する必要がありますが、通信待機中に他の処理が不要の場合は、PCLKの周波数を下げて消費電流を抑えることができます。非同期アドレス検出機能は、この場合でもマスタが送信する本I²Cスレーブのアドレスを検出するための機能です。ASDET_EN(D1/I2CS_CTLレジスタ)によって非同期アドレス検出機能を有効にしている場合に本デバイスのスレーブアドレスを検出すると、ASDETが1にセットされます。本モジュールはI²Cマスタに対してNAKを返し、再送を要求します。BSTAT_IEN(D2/I2CS_ICTLレジスタ)によって割り込みが許可されていれば、ASDETのセットと同時に割り込み信号がITCに出力されます。この割り込み処理ルーチン内でPCLKを転送速度の8倍以上に設定し、非同期アドレス検出機能を無効にしてください。この後、マスタからの再送により通常のデータ転送を再開できます。

1にセットされたASDETは1の書き込みによりリセットできます。

D1 DA_NAK: NAK Receive Status Bit

マスタの応答ビットを示します。

1(R/W): NAK

0(R/W): ACK(デフォルト)

8ビットのデータを送信後、マスタからACKが返るとDA_NAKは0になります。これは、マスタがデータを正常に受信できたことを示します。DA_NAKが1の場合、マスタが正しく受信できなかったか、あるいはマスタが受信を終了することを示します。

BSTAT_IEN(D2/I2CS_ICTLレジスタ)によって割り込みが許可されていれば、DA_NAKのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理が行えます。

1にセットされたDA_NAKは1の書き込みによりリセットできます。

D0 DA_STOP: Stop Condition Detect Bit

ストップコンディション、またはリピーテッドスタートコンディションを検出したことを示します。

1(R/W): 検出

0(R/W): 未検出(デフォルト)

本モジュールがスレーブとして選択されている状態(SELECTED(D1/I2CS_ASTATレジスタ) = 1)でストップコンディション、またはリピーテッドスタートコンディションを検出すると、I²CスレーブモジュールはDA_STOPを1にセットします。同時にI²Cの通信プロセスを初期化します。

BSTAT_IEN(D2/I2CS_ICTLレジスタ)によって割り込みが許可されていれば、DA_STOPのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、終了処理が行えます。1にセットされたDA_STOPは1の書き込みによりリセットできます。

0x436a: I²C Slave Access Status Register (I2CS_ASTAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Slave Access Status Register (I2CS_ASTAT)	0x436a (16 bits)	D15-5	–	reserved	–	–	–	0 when being read.
		D4	RXRDY	Receive data ready	1 Ready	0 Not ready	0	R
		D3	TXEMP	Transmit data empty	1 Empty	0 Not empty	0	R
		D2	BUSY	I ² C bus status	1 Busy	0 Free	0	R
		D1	SELECTED	I ² C slave select status	1 Selected	0 Not selected	0	R
		D0	R/W	Read/write direction	1 Output	0 Input	0	R

D[15:5] Reserved**D4 RXRDY: Receive Data Ready Bit**

受信データが読み出し可能であることを示します。

1(R): 受信データあり

0(R): 受信データなし(デフォルト)

受信データがI2CS_RECVレジスタにロードされるとRXRDYが1にセットされます。

RXRDY_IEN(D1/I2CS_IOCTLレジスタ)によって割り込みが許可されていれば、RXRDYのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、受信データを読み出すことができます。

1にセットされたRXRDYは、I2CS_RECVレジスタの読み出しによってリセットされます。

D3 TXEMP: Transmit Data Empty Bit

送信データが書き込み可能であることを示します。

1(R): 送信データなし

0(R): 送信データあり(デフォルト)

I2CS_TRNSレジスタのデータが送信されるとTXEMPが1にセットされます。

TXEMP_IEN(D0/I2CS_IOCTLレジスタ)によって割り込みが許可されていれば、TXEMPのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、次の送信データを書き込むことができます。

1にセットされたTXEMPは、I2CS_TRNSレジスタへのデータ書き込みによってリセットされます。

D2 BUSY: I²C Bus Status Bit

I²Cバスの状態を示します。

1(R): 使用中

0(R): バスフリー状態(デフォルト)

スタートコンディションを検出、またはSCL1もしくはSDA1がLowレベルになったことを検出するとBUSYが1にセットされ、I²Cバスがビジー状態になったことを示します。本モジュールがスレーブデバイスとして選択されたか否かは、本ビットの状態には影響しません。1にセットされたBUSYはストップコンディションの検出によりリセットされます。

D1 SELECTED: I²C Slave Select Status Bit

本モジュールがI²Cスレーブデバイスとして選択されていることを示します。

1(R): 選択状態

0(R): 非選択状態(デフォルト)

本モジュールに設定したスレーブアドレスを受信するとSELECTEDが1にセットされ、本モジュールがI²Cスレーブデバイスとして選択されたことを示します。1にセットされたSELECTEDはストップコンディションもしくはリピーテッドスタートコンディションの検出によりリセットされます。

D0 R/W: Read/Write Direction Bit

転送方向ビットの値を示します。

1(R): 出力(マスタによるリード)

0(R): 入力(マスタによるライト) (デフォルト)

スレーブアドレスと共に受信した転送方向ビットの値がセットされますので、送信/受信処理の切り換えに利用してください。

0x436c: I²C Slave Interrupt Control Register (I2CS_ICTL)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
I ² C Slave Interrupt Control Register (I2CS_ICTL)	0x436c (16 bits)	D15-3	-	reserved		-			-	-	0 when being read.
		D2	BSTAT_IEN	Bus status interrupt enable	1	Enable	0	Disable	0	R/W	
		D1	RXRDY_IEN	Receive interrupt enable	1	Enable	0	Disable	0	R/W	
		D0	TXEMP_IEN	Transmit interrupt enable	1	Enable	0	Disable	0	R/W	

D[15:3] Reserved**D2 BSTAT_IEN: Bus Status Interrupt Enable Bit**

バスステータス割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

BSTAT_IENを1に設定すると、バスの状態変化によるI²Cスレーブ割り込み要求のITCへの出力を許可します。この割り込み要求は、BSTAT(D7/I2CS_STATレジスタ)が1にセットされることにより発生します。(BSTATの説明を参照してください。)

BSTAT_IENを0に設定すると、バスステータス割り込みは発生しません。

D1 RXRDY_IEN: Receive Interrupt Enable Bit

I²Cスレーブの受信割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

RXRDY_IENを1に設定すると、受信によるI²Cスレーブ割り込み要求のITCへの出力を許可します。この割り込み要求は、シフトレジスタに受信したデータがI2CS_RECVレジスタに転送される(受信が完了する)ことにより発生します。

RXRDY_IENを0に設定すると、受信割り込みは発生しません。

D0 TXEMP_IEN: Transmit Interrupt Enable Bit

I²Cスレーブの送信割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

TXEMP_IENを1に設定すると、送信によるI²Cスレーブ割り込み要求のITCへの出力を許可します。この割り込み要求は、I2CS_TRNSレジスタに書き込んだデータがシフトレジスタに転送されることにより発生します。

TXEMP_IENを0に設定すると、送信割り込みは発生しません。

21.8 注意事項

- データ通信時は、I²Cスレーブモジュールの動作クロック(PCLK)を転送速度の8倍以上の周波数に設定する必要があります。
- 非同期アドレス検出機能を有効にした場合、I²C信号はノイズフィルタを通さずに入力されます。このため、ノイズが多い環境ではスレーブアドレスを正しく検出できない場合があります。
- 非同期アドレス検出機能を有効にすると、PCLKの周波数が転送速度の8倍以上であってもデータ転送は行えません。通常動作時は、非同期アドレス検出機能を必ず無効にしてください。
- 本ICを含む複数のスレーブデバイスがI²Cバスに接続されている状態でマスタデバイスと他のスレーブデバイスが通信を開始した場合、スレーブアドレスの送信に対して本I²CスレーブはNAKで応答します。選択されたスレーブデバイスはACKで応答するため、本I²Cスレーブによる出力内容とSDA1ラインが異なる状態となりDMSが発生することがあります。
DMSが発生した場合でもSELECTED(D1/I2CS_ASTATレジスタ)が0のときは、他のスレーブデバイスとACK/NAK応答が異なるだけで問題ありませんので無視してください。
この場合でも、非同期アドレス検出状態(ASDET_EN=0)に設定されているときはDMSは発生しません。
- スレーブ選択後に送信する最初のデータは、以下の点に注意して設定してください。

クロックストレッチ機能が無効(デフォルト)の場合

TXEMPが1にセットされてからI²Cスレーブクロック(SCL1)の1サイクル以内に送信データをSDATA[7:0]に書き込む必要があります。

この時間が短いため、TXEMPがセットされる前に先行して送信データの書き込みを行っておきます。SDATA[7:0]に前回の送信データが残っていた場合も今回のデータにより上書きされますので、TBUF_CLRによるクリア操作(下記参照)は不要です。

クロックストレッチ機能が有効の場合

クロックストレッチによるウェイト機能が働くため、TXEMPがセットされた後も送信データの書き込みが可能ですが、ただし、SDATA[7:0]に前回の送信データが残っているとTXEMPがセットされた時点でそのデータが送信されてしまいますので、本I²Cスレーブが選択される前にTBUF_CLR(D8/I2CS_CTLレジスタ)を使用してI2CS_TRNSレジスタをクリアしておきます。TBUF_CLRに1を書き込んだ後、もう一度0を書き込むことによりI2CS_TRNSレジスタがクリアされます。

TXEMPがセットされる前に最初の送信データを書き込んでおく場合は、I2CS_TRNSレジスタをクリアする必要はありません。

- クロックストレッチ機能を無効にしている場合の送信データの書き込みと受信データの読み出しは、以下に示す時間内に行ってください。

データ送信時: TXEMPのセット(送信割り込みの発生)からI²Cスレーブクロック(SCL1)の7サイクル以内(スレーブ選択後、最初のデータ送信時については上記の注意を参照)

データ受信時: RXRDYのセット(受信割り込みの発生)からI²Cスレーブクロック(SCL1)の7サイクル以内

NAK_ANS(D5/I2CS_CTLレジスタ)によるNAK送信の設定もこの時間内に行ってください。

- 下記の条件がすべて成立している状態で、マスタが送信したアドレスに対して本I²CSがNAKを返信した場合、マスタは異なるスレーブへアドレスを送信する前に33 μ s以上の待ち時間を取る必要があります(本I²CSのスレーブアドレスを送信する場合を除く)。

- 通信レートを320kbps以上に設定している。
- 非同期アドレス検出機能を有効にしている。
- OSC1を動作クロック(PCLK)として、本I²CSが通信待機状態にある。

22 LCDドライバ(LCD8)

22.1 LCDドライバの構成

S1C17601は最大128セグメント(16セグメント×8コモン)のLCDパネルが駆動可能なLCDドライバを内蔵しています。図22.1.1にLCDドライバと駆動電源の構成を示します。

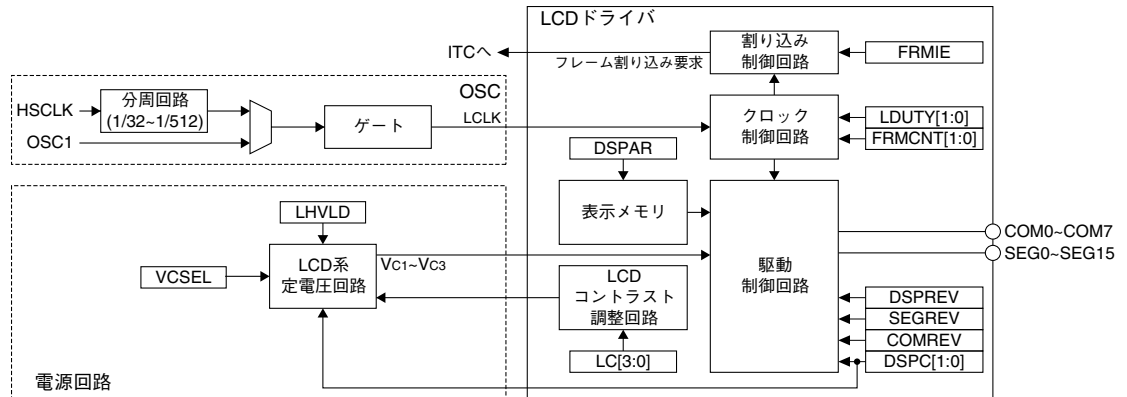


図22.1.1 LCDドライバと駆動電源の構成

22.2 LCD電源

LCD系の駆動電圧 V_{c1} ～ V_{c3} は、チップ内部のLCD系定電圧回路を使用して発生します。外部より印加する必要はありません。LCD電源の詳細については、“4 電源”を参照してください。

22.3 LCDクロック

LCDクロックの供給システムを図22.3.1に示します。

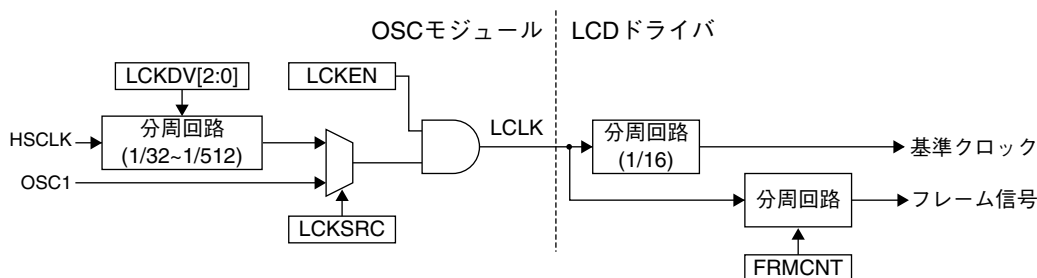


図22.3.1 LCDクロックシステム

22.3.1 LCD動作クロック

LCDドライバの動作クロック(LCLK)は、OSCモジュール内のLCDクロックジェネレータが生成します。OSCモジュールの詳細については、“7 発振回路(OSC)”を参照してください。

22.3.2 フレーム信号

フレーム信号はLCLKをFRMCNTの値に応じて分周して生成されます。フレーム周波数は以下のようになります。図22.4.1～22.4.5に示す1フレームの時間をフレーム周波数とします。

LCDクロックの原振にOSC1 (32.768kHz typ.)を選択した場合

表22.3.2.1 LCDクロックの原振にOSC1 (32.768 kHz Typ.)を選択した場合のフレーム周波数

分周設定 (FRMCNT) Duty設定 (LDUTY)	0x0	0x1	0x2	0x3
0x4 (1/8 duty)	128Hz	64Hz	48.19Hz	32Hz
0x3 (1/4 duty)	128Hz	64Hz	48.19Hz	32Hz
0x2 (1/3 duty)	130.04Hz	65.02Hz	48.12Hz	32.5Hz
0x1 (1/2 duty)	128Hz	64Hz	48.19Hz	32Hz
0x0 (Static)	128Hz	64Hz	48.19Hz	32Hz

(デフォルト：LDUTY=0x4、FRMCNT=0x1)

LCDクロックの原振にHCLKを選択した場合

表22.3.2.2 LCDクロックの原振にHCLKを選択した場合のフレーム周波数

分周設定 (FRMCNT) Duty設定 (LDUTY)	0x0	0x1	0x2	0x3
0x4 (1/8 duty)	$f_{HCLK}/256 \times$ LCKDV Hz	$f_{HCLK}/512 \times$ LCKDV Hz	$f_{HCLK}/680 \times$ LCKDV Hz	$f_{HCLK}/1024 \times$ LCKDV Hz
0x3 (1/4 duty)	$f_{HCLK}/256 \times$ LCKDV Hz	$f_{HCLK}/512 \times$ LCKDV Hz	$f_{HCLK}/680 \times$ LCKDV Hz	$f_{HCLK}/1024 \times$ LCKDV Hz
0x2 (1/3 duty)	$f_{HCLK}/252 \times$ LCKDV Hz	$f_{HCLK}/504 \times$ LCKDV Hz	$f_{HCLK}/681 \times$ LCKDV Hz	$f_{HCLK}/1008 \times$ LCKDV Hz
0x1 (1/2 duty)	$f_{HCLK}/256 \times$ LCKDV Hz	$f_{HCLK}/512 \times$ LCKDV Hz	$f_{HCLK}/680 \times$ LCKDV Hz	$f_{HCLK}/1024 \times$ LCKDV Hz
0x0 (Static)	$f_{HCLK}/256 \times$ LCKDV Hz	$f_{HCLK}/512 \times$ LCKDV Hz	$f_{HCLK}/680 \times$ LCKDV Hz	$f_{HCLK}/1024 \times$ LCKDV Hz

(デフォルト：LDUTY=0x4、FRMCNT=0x1)

f_{HCLK} : HCLK (IOSCまたはOSC3)クロック周波数[Hz]

LCKDV: HCLK分周比1/32～1/512

22.4 駆動デューティの切り換え

駆動デューティはLDUTY[2:0](D[2:0]/LCD_CCTLレジスタ)により1/8、1/4、1/3、1/2、Staticの5種類に切り換えることができます。表22.4.1にLDUTY[2:0]の設定と駆動デューティ、最大表示セグメント数の対応を示します。

* **LDUTY[2:0]**: LCD Duty Select Bits in the LCD Clock Control (LCD_CCTL) Register (D[2:0]/0x50a2)

表22.4.1 駆動デューティの設定

LDUTY[2:0]	デューティ	有効コモン端子	有効セグメント端子	最大表示セグメント数
0x7~0x5	Reserved	—	—	—
0x4	1/8	COM0~COM7	SEG0~SEG15	128セグメント
0x3	1/4	COM0~COM3	SEG0~SEG19	80セグメント
0x2	1/3	COM0~COM2	SEG0~SEG19	60セグメント
0x1	1/2	COM0~COM1	SEG0~SEG19	40セグメント
0x0	Static	COM0	SEG0~SEG19	20セグメント

(デフォルト: 0x4)

COM4~COM7/SEG19~SEG16端子は、1/8デューティ選択時はコモン出力端子、1/4、1/3、1/2、Staticデューティ選択時はセグメント出力端子に設定されます。

1/8、1/4、1/3、1/2、Staticデューティいずれも駆動バイアスは1/3(V_{C1} 、 V_{C2} 、 V_{C3} の3電位)で、駆動波形はそれぞれ図22.4.1~図22.4.5のようになります。

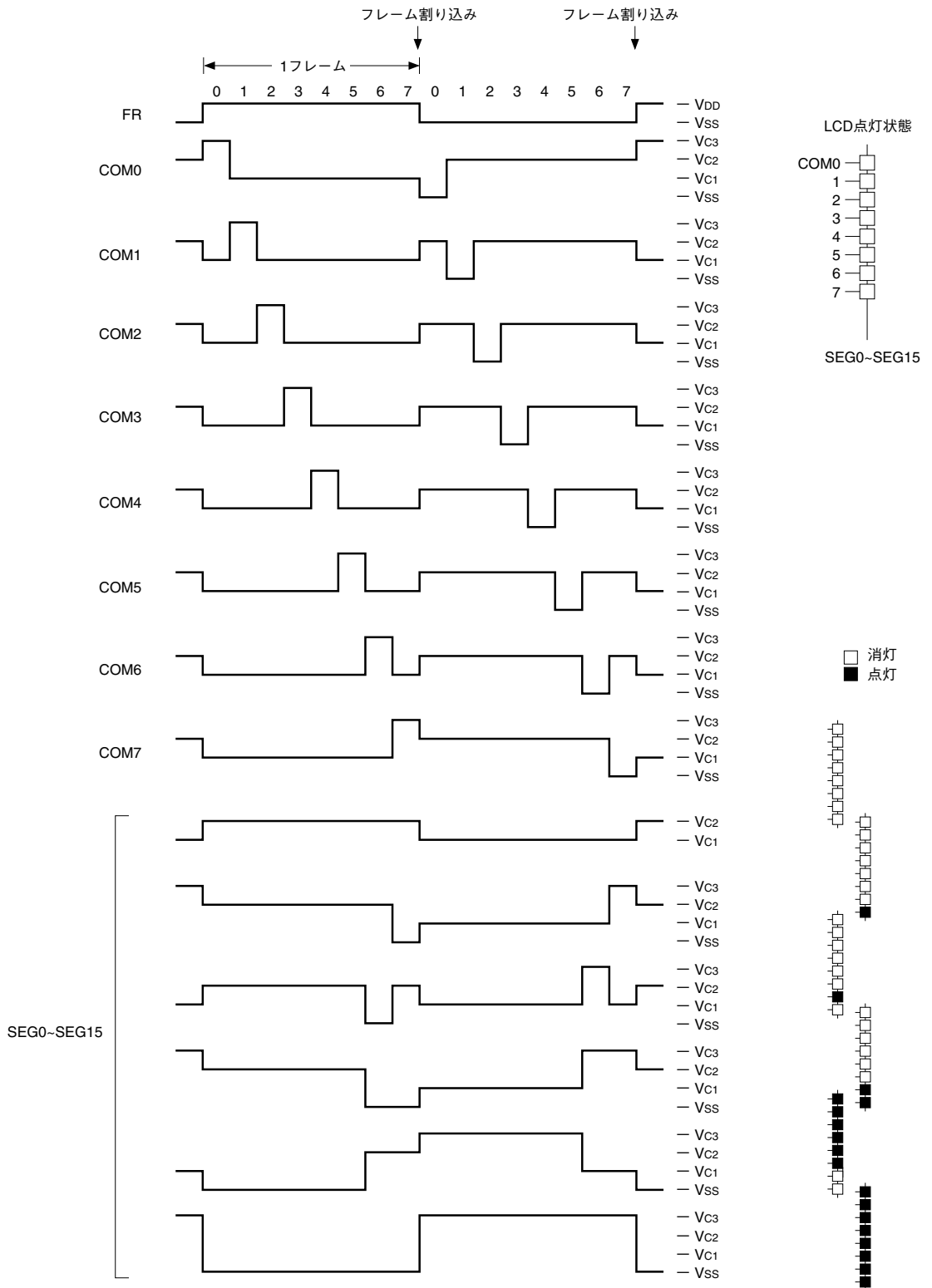


図22.4.1 1/8デューティの駆動波形

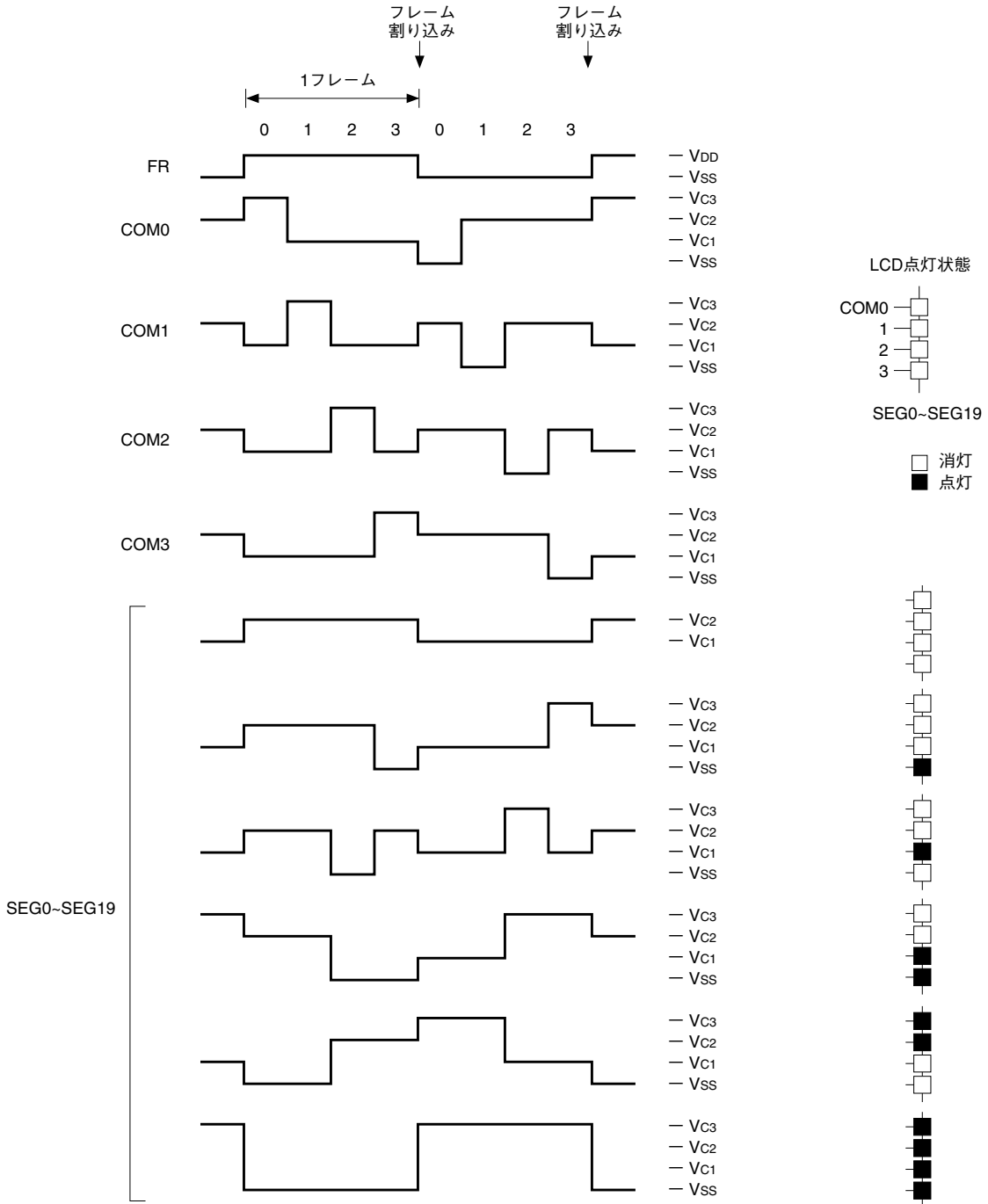


図22.4.2 1/4デューティの駆動波形

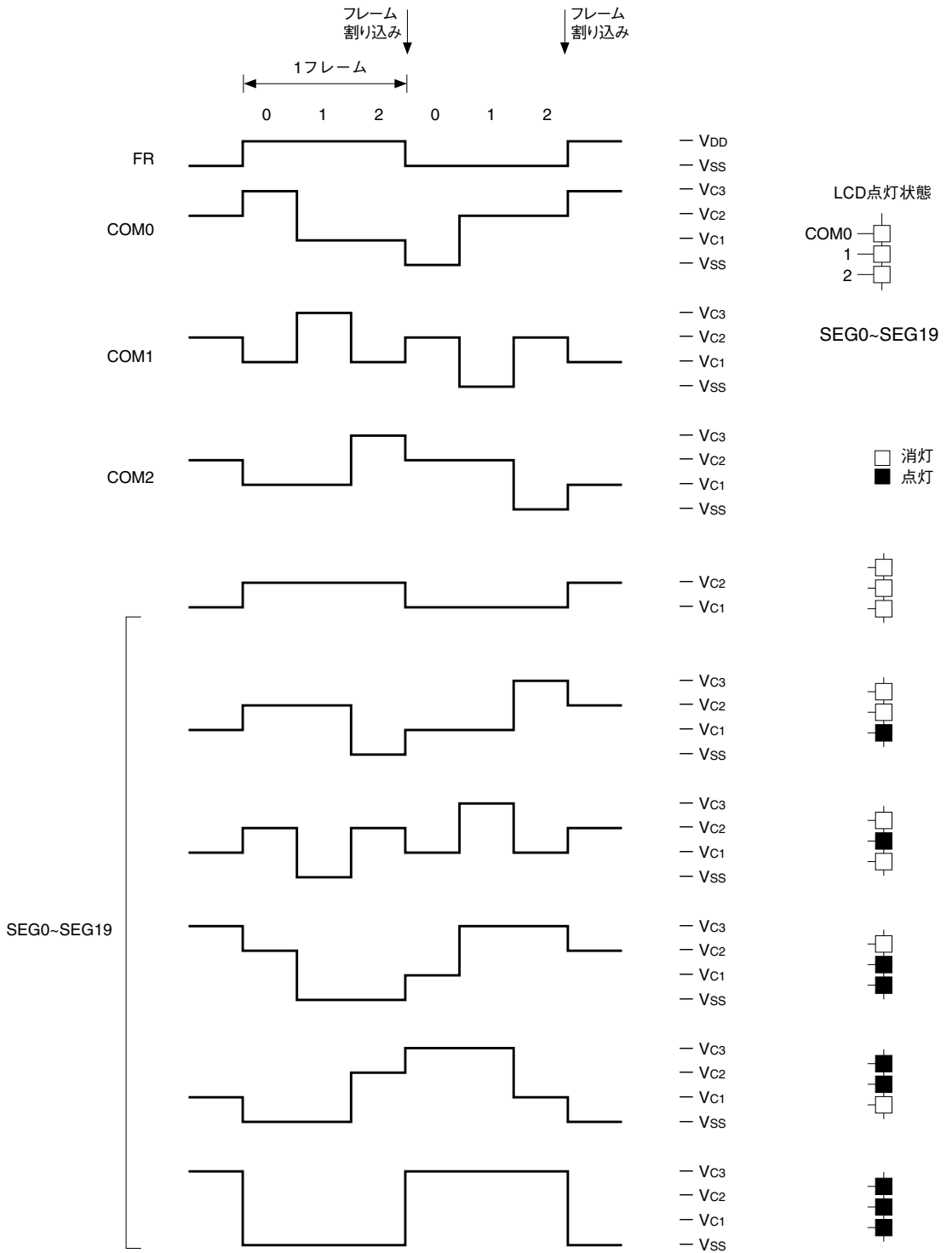


図22.4.3 1/3デューティの駆動波形

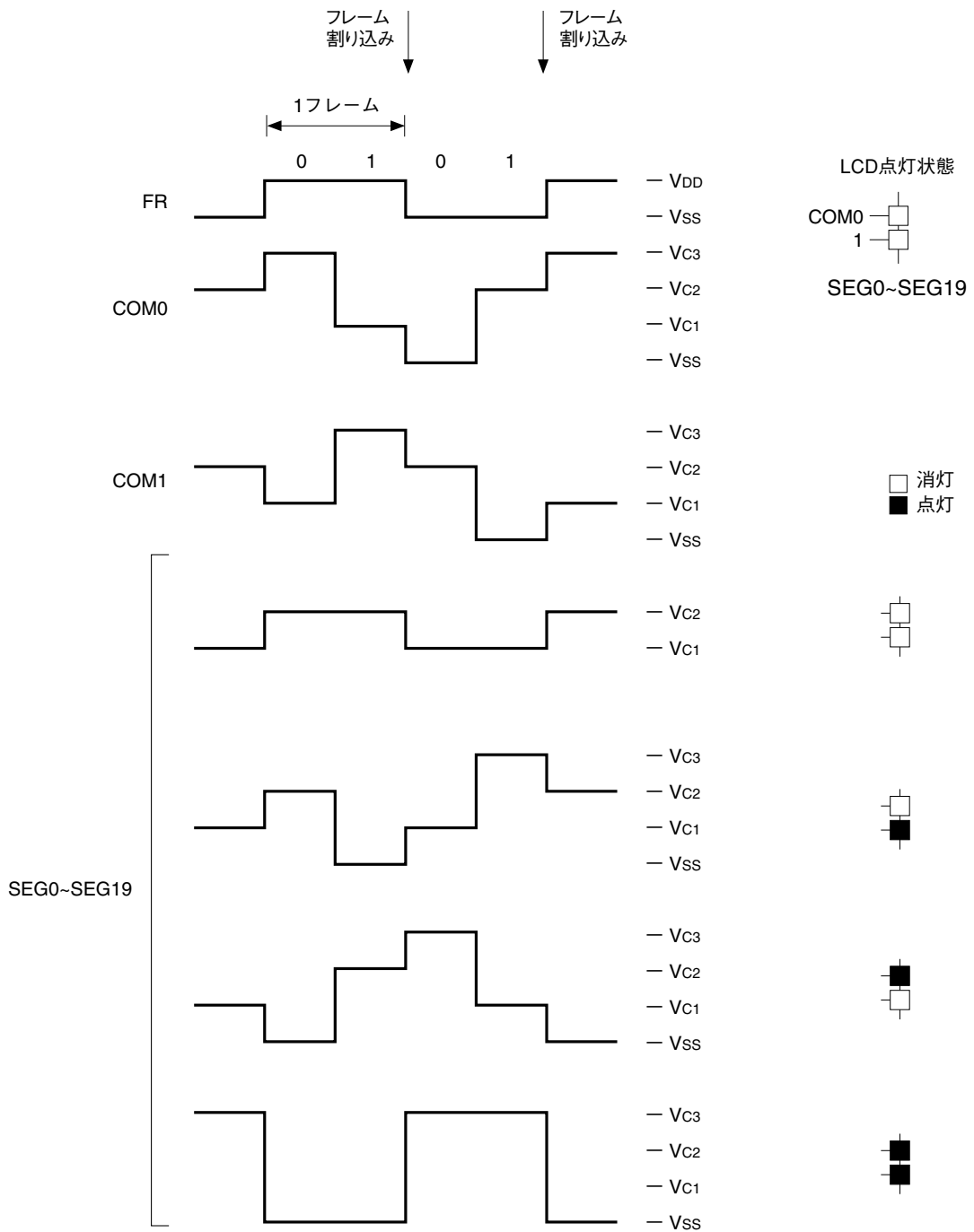


図22.4.4 1/2デューティの駆動波形

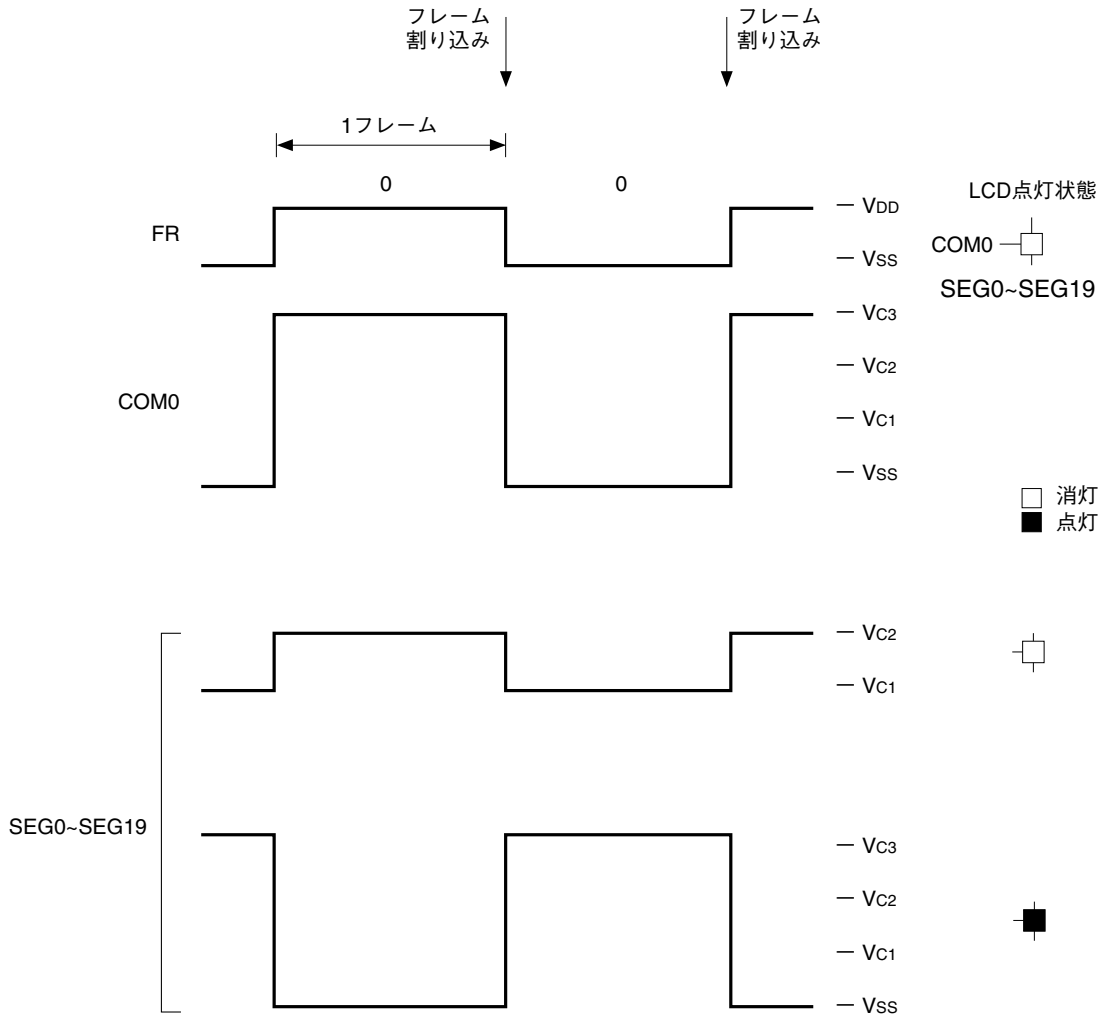


図22.4.5 Staticデューティの駆動波形

22.5 表示メモリ

S1C17601は20バイトの表示メモリを内蔵しています。表示メモリはアドレス0x53c0～0x53d3に割り付けられており、メモリビットとCOMMON/セグメント端子の対応は次に示す項目の選択状態にしたがって変化します。

- (1) 駆動デューティ(1/8、1/4、1/3、1/2またはStaticデューティ)
- (2) SEG端子割り付け(通常または反転)
- (3) COM端子割り付け(通常または反転)

駆動デューティごとの表示メモリとCOMMON/セグメント端子の対応を図22.5.1と図22.5.2に示します。LCDパネル上のドットに対応する表示メモリのビットに1を書き込むとそのドットがONし、0を書き込むとOFFします。表示メモリはリード/ライト可能なRAM構造となっているため、論理演算命令等(リードモディファイライト命令)によるビット単位の制御を行うことができます。

20バイトの表示メモリ中で表示領域に割り当てられないビットは、リード/ライト可能な汎用RAMとして使用することができます。

アドレス	bit	0x00	...	0x0f	0x10	...	0x13	0x14	...	0xff	COM (正転)	COM (反転)	
	0xxH	D0	表示領域						非表示領域		未実装領域		0
D1		表示領域						非表示領域		未実装領域		1	6
D2		表示領域						非表示領域		未実装領域		2	5
D3		表示領域						非表示領域		未実装領域		3	4
D4		表示領域						非表示領域		未実装領域		4	3
D5		表示領域						非表示領域		未実装領域		5	2
D6		表示領域						非表示領域		未実装領域		6	1
D7		表示領域						非表示領域		未実装領域		7	0
SEG(正転)		0	...	15									
SEG(反転)		15	...	0									

図22.5.1 表示メモリマップ(1/8デューティ選択時)

アドレス	bit	0x00	...	0x0f	0x10	...	0x13	0x14	...	0xff	1/4Duty		1/3Duty		1/2Duty		Static		
											COM (正転)	COM (反転)	COM (正転)	COM (反転)	COM (正転)	COM (反転)	COM (正転)	COM (反転)	
0xxH	D0	表示領域0						未実装領域		0	3	0	2	0	1	0	1	0	0
	D1	表示領域0						未実装領域		1	2	1	1	1	0	*	*	*	*
	D2	表示領域0						未実装領域		2	1	2	0	*	*	*	*	*	*
	D3	表示領域0						未実装領域		3	0	*	*	*	*	*	*	*	*
	D4	表示領域0						未実装領域		0	3	0	2	0	1	0	0	0	0
	D5	表示領域1						未実装領域		1	2	1	1	1	0	*	*	*	*
	D6	表示領域1						未実装領域		2	1	2	0	*	*	*	*	*	*
	D7	表示領域1						未実装領域		3	0	*	*	*	*	*	*	*	*
SEG(正転)		0	...	15	16	...	19												
SEG(反転)		19	...	4	3	...	0												

*: don't care

図22.5.2 表示メモリマップ(1/4、1/3、1/2、Staticデューティ選択時)

表示領域の選択(1/4、1/3、1/2、Staticデューティ選択時)

駆動デューティとして1/4、1/3、1/2、Staticデューティを選択した場合は表示メモリ内に2画面分の領域を確保することができ、DSPAR(D5/LCD_DCTLレジスタ)によって画面の切り換えを行うことができます。DSPARを0に設定した場合は表示領域0、1に設定した場合は表示領域1が選択されます。

* DSPAR: Display Memory Area Control Bit in the LCD Display Control (LCD_DCTL) Register (D5/0x50a0)

SEG端子割り付け

SEG端子に対する表示メモリアドレスの割り当てを、SEGREV(D7/LCD_DCTLレジスタ)で反転することができます。SEGREVが1(デフォルト)の場合、SEG端子に対してメモリアドレスが昇順に割り当てられます。SEGREVを0に設定すると、SEG端子に対してメモリアドレスが降順に割り当てられます。(図22.5.1、22.5.2参照)

* SEGREV: Segment Output Assignment Control Bit in the LCD Display Control (LCD_DCTL) Register (D7/0x50a0)

COM端子割り付け

COM端子に対する表示メモリビットの割り当てを、COMREV(D6/LCD_DCTLレジスタ)で反転することができます。COMREVが1(デフォルト)の場合、COM端子に対してメモリビットが昇順に割り当てられます。COMREVを0に設定すると、COM端子に対してメモリビットが降順に割り当てられます。(図22.5.1、22.5.2参照)

* **COMREV**: Common Output Assignment Control Bit in the LCD Display Control (LCD_DCTL) Register (D6/0x50a0)

22.6 表示の制御

22.6.1 表示のOn/Off

LCDの表示状態はDSPC[1:0](D[1:0]/LCD_DCTLレジスタ)によって制御します。

* **DSPC[1:0]**: LCD Display Control Bits in the LCD Display Control (LCD_DCTL) Register (D[1:0]/0x50a0)

表22.6.1.1 LCD表示制御

DSPC[1:0]	LCD表示
0x3	全消灯(スタティック)
0x2	全点灯(ダイナミック)
0x1	通常表示
0x0	表示Off

(デフォルト: 0x0)

通常の表示を行うには、DSPC[1:0]を0x1に設定します。ただし、クロックが供給されている必要があります(22.3節参照)。

表示Offを選択した場合、LCD系定電圧回路からの駆動電圧の供給が停止し、V_{C1}~V_{C3}端子はすべてV_{SS}レベルとなります。

全点灯および全消灯はLCDドライバが出力する駆動波形を直接制御するもので、表示メモリのデータは変更されません。また、コモン端子は全点灯ではダイナミック駆動、全消灯ではスタティック駆動となります。この機能を使用することにより、表示メモリを変更せずに表示を点滅させることができます。

イニシャルリセット時、DSPC[1:0]は0x0(表示Off)にリセットされます。

s1p命令実行時、実行中はDSPC[1:0]は0x0(表示Off)となり、復帰後は設定値に戻ります。

22.6.2 LCDコントラスト調整

LCDのコントラストは、LC[3:0](D[3:0]/LCD_CADJレジスタ)によって16段階に調整できます。これは内蔵のLCD系電圧回路が出力するV_{C1}~V_{C3}の電圧を制御することによって実現しています。

* **LC[3:0]**: LCD Contrast Adjustment Bits in the LCD Contrast Adjust (LCD_CADJ) Register (D[3:0]/0x50a1)

表22.6.2.1 LCDコントラスト調整

LC[3:0]	コントラスト
0xf	高い(濃)
0xe	↑
:	:
0x1	↓
0x0	低い(淡)

(デフォルト: 0x7)

イニシャルリセット時、LC[3:0]は0x7になります。希望のコントラストを得るにはソフトウェアによる初期化が必要です。

22.6.3 反転表示

表示メモリを変更せずに制御ビットの操作のみでLCDの表示を反転(白黒反転)させることができます。DSPREV(D4/LCD_DCTLレジスタ)を0に設定すると表示が反転し、1にすると通常の表示に戻ります。

* **DSPREV**: Reverse Display Control Bit in the LCD Display Control (LCD_DCTL) Register (D4/0x50a0)

ただし、DSPC[1:0](D[1:0]/LCD_DCTLレジスタ)で全消灯を選択している場合は、表示が反転しません。全点灯選択時はDSPREVにより表示が反転します。

22.7 LCD割り込み

LCDモジュールには、フレーム信号によって割り込みを発生させる機能があります。

フレーム割り込み

この割り込み要求は、1フレームごとに発生し、LCDモジュール内の割り込みフラグFRMIF(D0/LCD_IFLGレジスタ)を1にセットします。

割り込みのタイミングは図22.4.1～22.4.5を参照してください。

* **FRMIF**: Frame Signal Interrupt Flag in the LCD Interrupt Flag (LCD_IFLG) Register (D0/0x50a6)

この割り込みを使用するには、FRMIE(D0/LCD_IMSKレジスタ)を1に設定します。FRMIEが0(デフォルト)に設定されていると、この要因による割り込み要求は割り込みコントローラ(ITC)に送られません。

* **FRMIE**: Frame Signal Interrupt Enable Bit in the LCD Interrupt Mask (LCD_IMSK) Register (D0/0x50a5)

FRMIEが1(割り込み許可)に設定されている状態で、FRMIFが1にセットされるとLCDモジュールは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

割り込み処理ルーチン内では、ITCのLCD割り込みフラグではなくLCDモジュールのFRMIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

- 注:
- LCD割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、LCDモジュール内の割り込みフラグFRMIFをリセットする必要があります。
 - 不要な割り込みの発生を防止するため、FRMIEによってLCD割り込みを許可する前に、FRMIFをリセットしてください。

割り込みベクタ

LCD割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号: 10(0x0a)

ベクタアドレス: TTBR + 0x28

その他の割り込み設定

ITCではLCD割り込みの優先順位をレベル0(デフォルト)～レベル7に設定可能です。また、実際に割り込みを発生させるにはPSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットを1に設定しておく必要があります。

割り込み処理の詳細については、“6 割り込みコントローラ(ITC)”を参照してください。

22.8 制御レジスタ詳細

表22.8.1 LCDレジスタ一覧

アドレス	レジスタ名		機能
0x50a0	LCD_DCTL	LCD Display Control Register	LCD表示の制御
0x50a1	LCD_CADJ	LCD Contrast Adjust Register	コントラストの制御
0x50a2	LCD_CCTL	LCD Clock Control Register	LCDクロックデューティ選択
0x50a3	LCD_VREG	LCD Voltage Regulator Control Register	LCDドライバ用定電圧回路の制御
0x50a5	LCD_IMSK	LCD Interrupt Mask Register	割り込みマスクの設定
0x50a6	LCD_IFLG	LCD Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、LCDモジュールのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x50a0: LCD Display Control Register (LCD_DCTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks		
LCD Display Control Register (LCD_DCTL)	0x50a0 (8 bits)	D7	SEGREV	Segment output assignment control	1 Normal	0 Reverse	1	R/W		
		D6	COMREV	Common output assignment control	1 Normal	0 Reverse	1	R/W		
		D5	DSPAR	Display memory area control	1 Area 1	0 Area 0	0	R/W		
		D4	DSPREV	Reverse display control	1 Normal	0 Reverse	1	R/W		
		D3-2	—	reserved	—	—	—	—		0 when being read.
		D1-0	DSPC[1:0]	LCD display control	DSPC[1:0]	Display	0x0	R/W		
				0x3	All off					
				0x2	All on					
				0x1	Normal display					
				0x0	Display off					

D7 SEGREV: Segment Output Assignment Control Bit

SEG端子に対するメモリの割り当てを反転します。

1(R/W): 通常(デフォルト)

0(R/W): 反転

SEGREVが1(デフォルト)の場合、SEG端子に対してメモリアドレスが昇順に割り当てられます。SEGREVを0に設定すると、SEG端子に対してメモリアドレスが降順に割り当てられます。(図22.5.1、22.5.2参照)

D6 COMREV: Common Output Assignment Control Bit

COM端子に対するメモリの割り当てを反転します。

1(R/W): 通常(デフォルト)

0(R/W): 反転

COMREVが1(デフォルト)の場合、COM端子に対してメモリビットが昇順に割り当てられます。COMREVを0に設定すると、COM端子に対してメモリビットが降順に割り当てられます。(図22.5.1、22.5.2参照)

D5 DSPAR: Display Memory Area Control Bit

1/4、1/3、1/2またはStaticデューティで駆動する場合に、表示領域を選択します。

1(R/W): 表示領域1

0(R/W): 表示領域0(デフォルト)

1/4、1/3、1/2またはStaticデューティ駆動の場合に、表示メモリ中に2画面分確保される表示領域のどちらを表示させるかを選択します。DSPARを0に設定すると表示領域0、1に設定すると表示領域1が選択されます。表示領域については、図22.5.2を参照してください。

1/8デューティ時は表示領域の選択はできません。図22.5.1を参照してください。

D4 DSPREV: Reverse Display Control Bit

LCD上の表示を反転(ネガ表示)します。

1(R/W): 通常表示(デフォルト)

0(R/W): 反転表示

DSPREVを0に設定するとLCDパネル上の表示が白黒反転します。1に設定すると通常の表示を行います。この操作は、表示メモリには影響を与えません。

D[3:2] Reserved

D[1:0] DSPC[1:0]: LCD Display Control Bits

LCDの表示を制御します。

表22.8.2 LCD表示制御

DSPC[1:0]	LCD表示
0x3	全消灯(スタティック)
0x2	全点灯(ダイナミック)
0x1	通常表示
0x0	表示Off

(デフォルト: 0x0)

通常の実行を行うには、DSPC[1:0]を0x1に設定します。ただし、クロックが供給されている必要があります(22.3節参照)。

表示Offを選択した場合、LCD系定電圧回路からの駆動電圧の供給が停止し、Vc1~Vc3端子はすべてVssレベルとなります。

全点灯および全消灯はLCDドライバが出力する駆動波形を直接制御するもので、表示メモリのデータは変更されません。また、コモン端子は全点灯ではダイナミック駆動、全消灯ではスタティック駆動となります。この機能を使用することにより、表示メモリを変更せずに表示を点滅させることができます。

イニシャルリセット時、DSPC[1:0]は0x0(表示Off)にリセットされます。

s1p命令実行時、実行中はDSPC[1:0]は0x0(表示Off)となり、復帰後は設定値に戻ります。

0x50a1: LCD Contrast Adjust Register (LCD_CADJ)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
LCD Contrast Adjust Register (LCD_CADJ)	0x50a1 (8 bits)	D7-4	–	reserved	–	–	–	0 when being read.
		D3-0	LC[3:0]	LCD contrast adjustment	LC[3:0] Display	0x7	R/W	
					0xf Dark : : 0x0 Light			

D[7:4] Reserved**D[3:0] LC[3:0]: LCD Contrast Adjustment Bits**

LCDのコントラストを調整します。これは内蔵のLCD系電圧回路が出力するV_{C1}~V_{C3}の電圧を制御することによって実現しています。

表22.8.3 LCDコントラスト調整

LC[3:0]	コントラスト
0xf	高い(濃)
0xe	↑
:	:
0x1	↓
0x0	低い(淡)

(デフォルト: 0x7)

イニシャルリセット時、LC[3:0]は0x7になります。希望のコントラストを得るにはソフトウェアによる初期化が必要です。

0x50a2: LCD Clock Control Register (LCD_CCTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
LCD Clock Control Register (LCD_CCTL)	0x50a2 (8 bits)	D7-6	FRMCNT [1:0]	Frame frequency control	FRMCNT[1:0]	Division ratio	0x1	R/W	
					0x3	LCDclock*1/1024			
					0x2	LCDclock*1/680			
					0x1	LCDclock*1/512			
					0x0	LCDclock*1/256			
		D5	LFROUT	LFR output control	1 P00 output	0 Off	0x0	R/W	
		D4-3	-	reserved	-	-	-	-	0 when being read.
		D2-0	LDUTY [2:0]	LCD duty select	LDUTY[2:0]	Duty	0x4	R/W	
					0x5-0x7	reserved			
					0x4	1/8			
					0x3	1/4			
					0x2	1/3			
					0x1	1/2			
					0x0	Static			

D[7:6] FRMCNT[1:0]: Frame Frequency Control

フレーム周波数を選択します。

表22.8.4 LCDクロックの原振にOSC1 (32.768 kHz Typ.)を選択した場合

分周設定 (FRMCNT) Duty設定 (LDUTY)	0x0	0x1	0x2	0x3
0x4 (1/8 duty)	128Hz	64Hz	48.19Hz	32Hz
0x3 (1/4 duty)	128Hz	64Hz	48.19Hz	32Hz
0x2 (1/3 duty)	130.04Hz	65.02Hz	48.12Hz	32.5Hz
0x1 (1/2 duty)	128Hz	64Hz	48.19Hz	32Hz
0x0 (Static)	128Hz	64Hz	48.19Hz	32Hz

(デフォルト: LDUTY=0x4、FRMCNT=0x1)

表22.8.5 LCDクロックの原振にHSCLKを選択した場合

分周設定 (FRMCNT) Duty設定 (LDUTY)	0x0	0x1	0x2	0x3
0x4 (1/8 duty)	fhscclk/256 × LCKDV Hz	fhscclk/512 × LCKDV Hz	fhscclk/680 × LCKDV Hz	fhscclk/1024 × LCKDV Hz
0x3 (1/4 duty)	fhscclk/256 × LCKDV Hz	fhscclk/512 × LCKDV Hz	fhscclk/680 × LCKDV Hz	fhscclk/1024 × LCKDV Hz
0x2 (1/3 duty)	fhscclk/252 × LCKDV Hz	fhscclk/504 × LCKDV Hz	fhscclk/681 × LCKDV Hz	fhscclk/1008 × LCKDV Hz
0x1 (1/2 duty)	fhscclk/256 × LCKDV Hz	fhscclk/512 × LCKDV Hz	fhscclk/680 × LCKDV Hz	fhscclk/1024 × LCKDV Hz
0x0 (Static)	fhscclk/256 × LCKDV Hz	fhscclk/512 × LCKDV Hz	fhscclk/680 × LCKDV Hz	fhscclk/1024 × LCKDV Hz

(デフォルト: LDUTY=0x4、FRMCNT=0x1)

D5 LFROUT: LFR Output Control

フレーム信号を出力します。

1(R/W): P00に出力

0(R/W): 出力なし

D[4:3] Reserved

D[2:0] LDUTY[2:0]: LCD Duty Select Bits

駆動デューティを選択します。

表22.8.6 駆動デューティの設定

LDUTY[2:0]	デューティ	有効コモン端子	有効セグメント端子	最大表示セグメント数
0x5-0x7	Reserved	-	-	-
0x4	1/8	COM0~COM7	SEG0~SEG15	128セグメント
0x3	1/4	COM0~COM3	SEG0~SEG19	80セグメント
0x2	1/3	COM0~COM2	SEG0~SEG19	60セグメント
0x1	1/2	COM0~COM1	SEG0~SEG19	40セグメント
0x0	Static	COM0	SEG0~SEG19	20セグメント

(デフォルト: 0x4)

0x50a3: LCD Voltage Regulator Control Register (LCD_VREG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
LCD Voltage Regulator Control Register (LCD_VREG)	0x50a3 (8 bits)	D7-5	–	reserved	–	–	–	0 when being read.	
		D4	LHVLD	LCD heavy load protection mode	1 On	0 Off	0	R/W	
		D3-1	–	reserved	–	–	–	–	0 when being read.
		D0	VCSEL	Power source select for LCD voltage regulator	1 V _C =2V	0 V _C =1V	0	R/W	

制御ビットの詳細については、4.5節内の“0x50a3: LCD Voltage Regulator Control Register (LCD_VREG)”を参照してください。

0x50a5: LCD Interrupt Mask Register (LCD_IMSK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
LCD Interrupt Mask Register (LCD_IMSK)	0x50a5 (8 bits)	D7-1	–	reserved	–		–	–	0 when being read.
		D0	FRMIE	Frame signal interrupt enable	1 Enable	0 Disable	0	R/W	

D[7:1] Reserved**D0 FRMIE: Frame Signal Interrupt Enable Bit**

フレーム割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

FRMIEを1に設定するとITCへのLCD割り込み要求が許可され、0に設定すると割り込みが禁止されます。

0x50a6: LCD Interrupt Flag Register (LCD_IFLG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
LCD Interrupt Flag Register (LCD_IFLG)	0x50a6 (8 bits)	D7-1	–	reserved	–			–	0 when being read.
		D0	FRMIF	Frame signal interrupt flag	1	Occurred	0	Not occurred	0

D[7:1] Reserved

D0 FRMIF: Frame Signal Interrupt Flag

フレーム割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり
- 0(R): 割り込み要因なし(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無効

FRMIFはLCDモジュールの割り込みフラグで、フレーム信号の立ち上がりエッジ1にセットされます。このとき、FRMIE(D0/LCD_IMSKレジスタ)が1に設定されていれば、ITCに対してLCD割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

FRMIFは1の書き込みによりリセットされます。

- 注:
- LCD割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、LCDモジュール内の割り込みフラグFRMIFをリセットする必要があります。
 - 不要な割り込みの発生を防止するため、FRMIEによってLCD割り込みを許可する前に、FRMIFをリセットしてください。

22.9 注意事項

- LCD割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、LCDモジュール内の割り込みフラグFRMIF(D0/LCD_IFLGレジスタ)をリセットする必要があります。
- 不要な割り込みの発生を防止するため、FRMIE(D0/LCD_IMSKレジスタ)によってLCD割り込みを許可する前に、FRMIF(D0/LCD_IFLGレジスタ)をリセットしてください。
- LCD電源に関する注意については“4.6 注意事項”を参照してください。

23 A/D変換器(ADC10SA)

23.1 A/D変換器の概要

S1C17601は以下の特長を持つA/D変換器を内蔵しています。

- 変換方式： 逐次比較型
- 分解能： 10ビット
- 入力チャンネル： 最大4チャンネル
- A/D変換クロック： 最大2MHz
- アナログ入力電圧範囲： $V_{SS} \sim AV_{DD} (=V_{DD})$
- サンプリング&ホールド回路内蔵
- 変換モード(4種類)：
 - 単一チャンネルの1回変換
 - 複数チャンネルの1回変換
 - 単一チャンネルの連続変換(ソフト制御で終了)
 - 複数チャンネルの連続変換(ソフト制御で終了)
- 変換トリガ(3種類)：
 - ソフトウェアトリガ
 - 外部端子(#ADTRG)トリガ
 - 16bitタイマCh0アンダーフロートリガ
- 変換結果10bitを上位/下位側に詰めて読み出す事が可能
- 割り込み：
 - 変換完了割り込み
 - 変換結果オーバーライトエラー割り込み

図23.1.1に、A/D変換器の構成を示します。

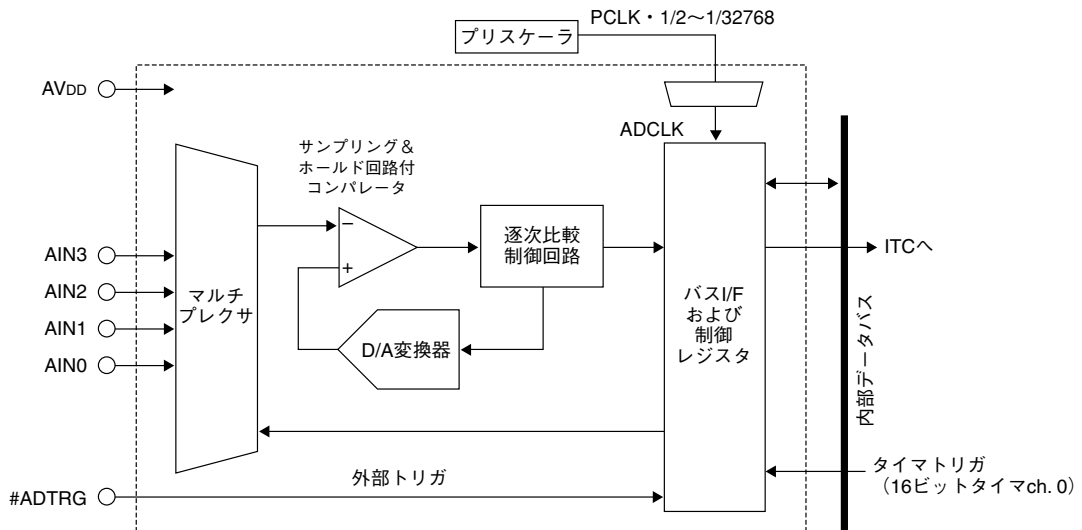


図23.1.1 A/D変換器の構成

23.2 ADC端子

表23.2.1に、A/D変換器の入出力端子の一覧を示します。

表23.2.1 A/D変換器の入出力端子

端子名	I/O	本数	機能
#ADTRG (P03)	I	1	A/D変換器外部トリガー端子
AIN3 (P04)	I	1	A/D変換器Ch.3アナログ入力端子
AIN2 (P05)	I	1	A/D変換器Ch.2アナログ入力端子
AIN1 (P06)	I	1	A/D変換器Ch.1アナログ入力端子
AIN0 (P07)	I	1	A/D変換器Ch.0アナログ入力端子
AVDD	—	1	アナログ電源 AVDD=VDDとしてください。A/D変換器未使用時でも、AVDD=VDDにしてください。

P03 → #ADTRG

* **P03MUX**: P03 Port Function Select Bit in the P0 Port Function Select (P0_PMUX) Register (D2/0x52a0)

P04 → AIN3

* **P04MUX**: P04 Port Function Select Bit in the P0 Port Function Select (P0_PMUX) Register (D0/0x52a1)

P05 → AIN2

* **P05MUX**: P05 Port Function Select Bit in the P0 Port Function Select (P0_PMUX) Register (D2/0x52a1)

P06 → AIN1

* **P06MUX**: P06 Port Function Select Bit in the P0 Port Function Select (P0_PMUX) Register (D4/0x52a1)

P07 → AIN0

* **P07MUX**: P07 Port Function Select Bit in the P0 Port Function Select (P0_PMUX) Register (D6/0x52a1)

端子の機能と切り換えの詳細については、“10.2 入出力端子機能の選択(ポートMUX)”を参照してください。

23.3 A/D変換器の設定

A/D変換器を使用する場合は、A/D変換開始前に以下の設定が必要です。

1. アナログ入力端子の設定 ... 23.2節参照
2. A/D変換クロックの設定
3. アナログ変換開始チャンネル/終了チャンネルの選択
4. A/D変換モードの設定
5. トリガの選択
6. サンプリング時間の設定
7. 変換結果格納モードの設定
8. 割り込みの設定 ... 23.5節参照

注: これらの設定は、必ずA/D変換器をディセーブル状態(ADEN(D0/ADC10_CTLレジスタ) = 0)にして行ってください。イネーブル状態の設定変更は誤動作の原因となります。

* **ADEN**: A/D Enable Bit in the A/D Control/Status (ADC10_CTL) Register (D0/0x5384)

A/D変換クロックの設定

A/D変換器を使用する場合は、クロックジェネレータ(CLG)から供給される周辺モジュールクロック(PCLK)とプリスケアラ(PSC)から供給されるPCLKの分周クロックをONにする必要があります。制御の詳細は“8.3 周辺モジュールクロック(PCLK)の制御、9.1 プリスケアラの構成”を参照してください。

A/D変換器はプリスケアラから供給される分周クロックを表23.3.1に示す15種類から選択することができます。選択はADDF[3:0](D[3:0]/ADC10_DIVレジスタ)によって行います。

* **ADDF[3:0]**: A/D Converter Clock Divided Frequency Selection Bits in the ADC10 Divided Frequency (ADC10_DIV) Register (D[3:0]/0x5386)

表23.3.1 A/D変換クロックの選択

ADDF[3:0]	A/Dクロック
0xf	reserved
0xe	PCLK•1/32768
0xd	PCLK•1/16384
0xc	PCLK•1/8192
0xb	PCLK•1/4096
0xa	PCLK•1/2048
0x9	PCLK•1/1024
0x8	PCLK•1/521
0x7	PCLK•1/256
0x6	PCLK•1/128
0x5	PCLK•1/64
0x4	PCLK•1/32
0x3	PCLK•1/16
0x2	PCLK•1/8
0x1	PCLK•1/4
0x0	PCLK•1/2

(デフォルト: 0x0)

注: • 入力クロックの周波数の制限は“28.7 A/D変換器特性”を参照してください。

- プリスケアラからA/D変換器へのクロック出力がOffの場合にA/D変換を開始させたり、A/D変換動作中にプリスケアラのクロック出力をOffにしないでください。誤動作の原因となります。

アナログ変換開始チャンネル/終了チャンネルの選択

アナログ入力に設定した端子(チャンネル)の中から、A/D変換を行うチャンネルを選択します。1回の変換動作で複数のチャンネルのA/D変換を連続的に行えるようになっているため、ADCS[2:0](D[10:8]/ADC10_TRGレジスタ)とADCE[2:0](D[13:11]/ADC10_TRGレジスタ)によって変換開始チャンネルと変換終了チャンネルをそれぞれ指定します。

- * **ADCS[2:0]**: A/D Converter Start Channel Selection Bits in the ADC10 Trigger/Channel Select (ADC10_TRG) Register (D[10:8]/0x5382)
- * **ADCE[2:0]**: A/D Converter End Channel Selection Bits in the ADC10 Trigger/Channel Select (ADC10_TRG) Register (D[13:11]/0x5382)

表23.3.2 ADCS/ADCEと入力チャンネルの関係

ADCS[2:0]/ADCE[2:0]	選択チャンネル
0x7	-
0x6	-
0x5	-
0x4	-
0x3	AIN3
0x2	AIN2
0x1	AIN1
0x0	AIN0

(デフォルト: 0x0)

注: 0x4~0x7が選択された場合、変換データは不定となります。ADCE[2:0]はADCS[2:0]以上の値に設定してください。

例: 1回のA/D変換の動作

ADCS[2:0] = 0, ADCE[2:0] = 0: AIN0のみ変換

ADCS[2:0] = 0, ADCE[2:0] = 3: AIN0→AIN1→AIN2→AIN3の順に変換

A/D変換モードの設定

A/D変換器はADMS(D5/ADC10_TRGレジスタ)で1回変換か連続変換かの選択が可能です。

- * **ADMS**: A/D Conversion Mode Selection Bit in the ADC10 Trigger/Channel Select (ADC10_TRG) Register (D6/0x5382)

1. 1回変換モード (ADMS = 0)

ADCS[2:0](D[10:8]/ADC10_TRGレジスタ)とADCE[2:0](D[13:11]/ADC10_TRGレジスタ)で選択したチャンネル範囲のすべての入力を1回A/D変換して停止します。

2. 連続変換モード (ADMS = 1)

ソフトウェアで停止させるまで、ADCS[2:0]およびADCE[2:0]で選択したチャンネル範囲のA/D変換を連続的に実行します。

イニシャルリセット時は1回変換モードに設定されます。

トリガの選択

A/D変換を開始させるトリガ方式を、ADTS[1:0](D[5:4]/ADC10_TRGレジスタ)で表23.3.2に示す3種類の中から選択します。

- * **ADTS[1:0]**: A/D Conversion Trigger Selection Bits in the ADC10 Trigger/Channel Select (ADC10_TRG) Register (D[5:4]/0x5382)

表23.3.3 トリガの選択

ADTS[1:0]	トリガソース
0x3	外部トリガ(#ADTRG端子)
0x2	reserved
0x1	16ビットプログラマブルタイマCh0
0x0	ソフトウェアトリガ

(デフォルト: 0x0)

1. 外部トリガ(#ADTRG)

#ADTRG端子への入力信号をトリガとして使用します。

このトリガ方式を使用する場合は、Port Function Select Registerで#ADTRG端子を設定しておく必要があります。A/D変換は、#ADTRG信号の立ち下がりエッジを検出して開始します。

2. 16ビットタイマ(T16)CH.0

16ビットタイマ(T16)CH.0のアンダーフロー信号をトリガとして使用します。その周期がタイマでプログラマブルに設定できますので、周期的なA/D変換が必要な場合に有効です。タイマの設定については“11 16ビットタイマ(T16)”を参照してください。

3. ソフトウェアトリガ

ソフトウェアによるADCTL(D1/AD_CTLレジスタ)への1書き込みをトリガとしてA/D変換を開始します。

* **ADCTL**: A/D Conversion Control/Status Bit in the ADC10 Control/Status (ADC10_CTL) Register (D1/0x5382)

サンプリング時間の設定

本A/D変換器には、アナログ信号の入力サンプリング時間を8段階(変換クロックの2~9)に設定可能なADST[2:0](D[2:0]/ADC10_TRGレジスタ)が設けられています。

* **ADST[2:0]**: Sampling Clock Count Bits in the ADC10 Control/Status (AD_CTL) Register (D[2:0]/0x5382)

サンプリング時間は、入力電圧の取り込みに必要な時間(t_{ACQ} 、アキュイジション時間)を満たす必要があります。アナログ入力の等価回路を図23.3.1へ示します。

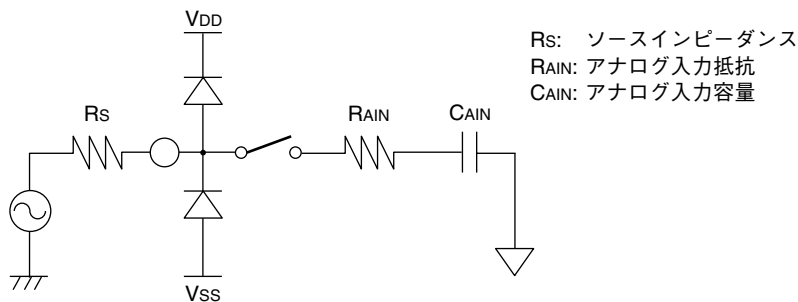


図23.3.1 アナログ入力の等価回路

このとき、 t_{ACQ} は以下の式を満たすように f_{ADCLK} 、ADST[2:0]を設定してください。

$$t_{ACQ} = 8 \times (R_s + R_{AIN}) \times C_{AIN} \quad (R_{AIN}, C_{AIN} \text{ に関しては“28 電気的特性”を参照してください。})$$

$$\frac{1}{f_{ADCLK}} \times (\text{ADST}[2:0] \text{ で設定したサイクル数}) > t_{ACQ}$$

f_{ADCLK} : A/D変換クロック周波数[Hz]

サンプリング時間とサンプリングレートの関係を以下に示します。

$$\text{サンプリングレート [sps]} = \frac{f_{ADCLK}}{\text{ADST}[2:0] \text{ で設定したサイクル数} + 11}$$

変換結果格納モードの設定

本10ビットA/D変換器では、A/D変換が終了するとA/D変換結果格納レジスタADD[15:0](D[15:0]/ADC10_ADDレジスタ)に10ビットの変換結果を格納します。

* **ADD[15:0]**: A/D Converted Data Bits in the ADC10 Conversion Result (ADC10_ADD) Register (D[15:0]/0x5380)

変換結果格納モードでは、STMD(D[7]/ADC10_TRGレジスタ)の設定を行い、10ビットのA/D変換結果を上詰め下詰めどちらでADD[15:0]に格納するかを選択することができます。

* **STMD**: Converted Data Store Mode Bits in the ADC10 Trigger/Channel Select (ADC10_TRG) Register

(D[7]/0x5382)

STMD=0: ADD[15:10]=0、ADD[9]=変換結果[MSB]、ADD[0]=変換結果[LSB]

STMD=1: ADD[15]=[MSB]、ADD[6]=変換結果[LSB]、ADD[5:0]=0

23.4 A/D変換の制御と動作

A/D変換器の動作は以下の手順となります。

1. A/D変換回路の起動
2. A/D変換の開始
3. A/D変換結果の読み出し
4. A/D変換の終了

A/D変換回路の起動

前節に示した設定を終了後、ADEN(D0/ADC10_CTLレジスタ)に1を書き込んでA/D変換器をイネーブル状態に設定します。これにより、A/D変換器はA/D変換開始のトリガを受け付け可能な状態となります。A/D変換器を再設定する場合、あるいは使用しない場合はADENを0に設定してください。

* **ADEN**: A/D Enable Bit in the ADC10 Control/Status (ADC10_CTL) Register (D0/0x5384)

A/D変換の開始

A/D変換器はADENが1の状態ではトリガが入力されると、A/D変換を開始します。ソフトウェアトリガを選択した場合は、ADCTL(D1/ADC10_CTLレジスタ)に1を書き込むことにより開始します。

* **ADCTL**: A/D Conversion Control Bit in the ADC10 Control/Status (ADC10_CTL) Register (D1/0x5384)

トリガはADTS[1:0](D[5:4]/ADC10_TRGレジスタ)で選択されている内容が有効で、それ以外のトリガは受け付けません。

* **ADTS[1:0]**: A/D Conversion Trigger Selection Bits in the ADC10 Trigger/Channel Select (ADC10_TRG) Register (D[5:4]/0x5382)

トリガが入力されると、A/D変換器はADCS[2:0](D[10:8]/ADC10_TRGレジスタ)で選択した変換開始チャンネルからアナログ入力信号のサンプリングとA/D変換を行います。

* **ADCS[2:0]**: A/D Converter Start Channel Selection Bits in the ADC10 Trigger/Channel Select (ADC10_TRG) Register (D[10:8]/0x5382)

ソフトウェアトリガに使用するADCTLは、他のトリガによる場合でもA/D変換中は1となり、A/D変換のステータスピットとして使用することができます。

また、変換中のチャンネルはADICH[2:0](D[2:0]/ADC10_CTLレジスタ)を読み出すことで確認できます。

* **ADICH[2:0]**: Internal Conversion Channel Status Bits in the ADC10 Control/Status (ADC10_CTL) Register (D[14:12]/0x5384)

A/D変換結果の読み出し

変換開始チャンネルのA/D変換が終了すると、A/D変換器は変換結果を10ビットのデータレジスタADD[15:0](D[15:0]/ADC10_ADDレジスタ)に格納し、変換終了フラグADCF(D8/ADC10_CTLレジスタ)をセットします。ADCS[2:0](D[10:8]/ADC10_TRGレジスタ)とADCE[2:0](D[13:11]/ADC10_TRGレジスタ)によって複数のチャンネルを指定している場合は、その後も続くチャンネルのA/D変換を継続します。

* **ADD[15:0]**: A/D Converted Data Bits in the ADC10 Conversion Result (ADC10_ADD) Register (D[15:0]/0x5380)

* **ADCF**: Conversion-Complete Flag Bit in the ADC10 Control/Status (ADC10_CTL) Register (D8/0x5384)

* **ADCE[2:0]**: End Channel Selection Bits in the ADC10 Trigger/Channel Select (ADC10_TRG) Register (D[13:11]/0x5382)

A/D変換結果は1つのチャンネルの変換が終了するごとにADD[15:0]に格納されます。格納と同時に変換終了割り込みも発生させることができますので、通常はその割り込みを利用して変換データの読み出しを行います。変換終了割り込みを使用しない場合は、変換終了要因のADCF(D8/ADC10_CTL

レジスタ)が1にセットされていることを確認した後、ADD[15:0]から変換結果をリードしてください。変換終了割り込みおよびADCFは、ADD[15:0]の値をリードすると自動で0がセットされます。連続変換モードを選択した場合、次の変換が終了する前に変換結果をADD[15:0]から読み出す必要があります。変換結果が間に合わず、変換終了フラグADCF(D8/ADC10_CTLレジスタ)が1にセットされている状態で(変換データを読み出す前に)ADD[15:0]が更新された場合、オーバーライトエラーフラグADOWE(D9/ADC10_CTLレジスタ)が1にセットされ、変換結果が上書きされたことを知ることができます。またオーバーライトと同時に変換データ上書き割り込みを発生させることも可能です。ADD[15:0]から変換結果をリードした後は、ADOWEも読み出すかまたは変換データ上書き割り込みが発生しておらず、読み出しデータが有効であることを確認してください。ADOWEは一度セットされると、ソフトウェアで1を書き込むまでリセットされません。変換データ上書き割り込みはADOWEをリセットすると発生を停止することが可能です。また、ADOWEに1がセットされている場合はADCFもセットされていますので、変換データを読み出してADCFを0リセットしてください。

* **ADOWE**: Overwrite Error Flag Bit in the ADC10 Control/Status (ADC10_CTL) Register (D9/0x5384)

注：オーバーライトエラーが発生しても連続変換は止まりません。

A/D変換の終了

• 1回変換モード(ADMS = 0)の場合

1回変換モードでは、ADCS[2:0](D[10:8]/ADC10_TRGレジスタ)で指定した変換開始チャンネルからADCE[2:0](D[13:11]/ADC10_TRGレジスタ)で指定した変換終了チャンネルまでのA/D変換を連続的に1回実行したところで終了します。終了すると、ADCTL(D1/ADC10_CTLレジスタ)は0に戻ります。

* **ADMS**: Conversion Mode Selection bit in the ADC10 Trigger/Channel Select (ADC10_TRG) Register (D6/0x5382)

• 連続変換モード(ADMS = 1)の場合

連続変換モードでは、変換開始チャンネルから変換終了チャンネルまでのA/D変換を繰り返し実行し、ハードウェアはA/D変換を停止しません。終了させるにはソフトウェアでADCTL(D1/ADC10_CTLレジスタ)に0を書き強制終了させた後、ADEN(D0/ADC10_CTLレジスタ)を0に設定します。強制終了時にA/D変換中であるデータは得ることはできません。

図23.4.1に、A/D変換器の動作を示します。

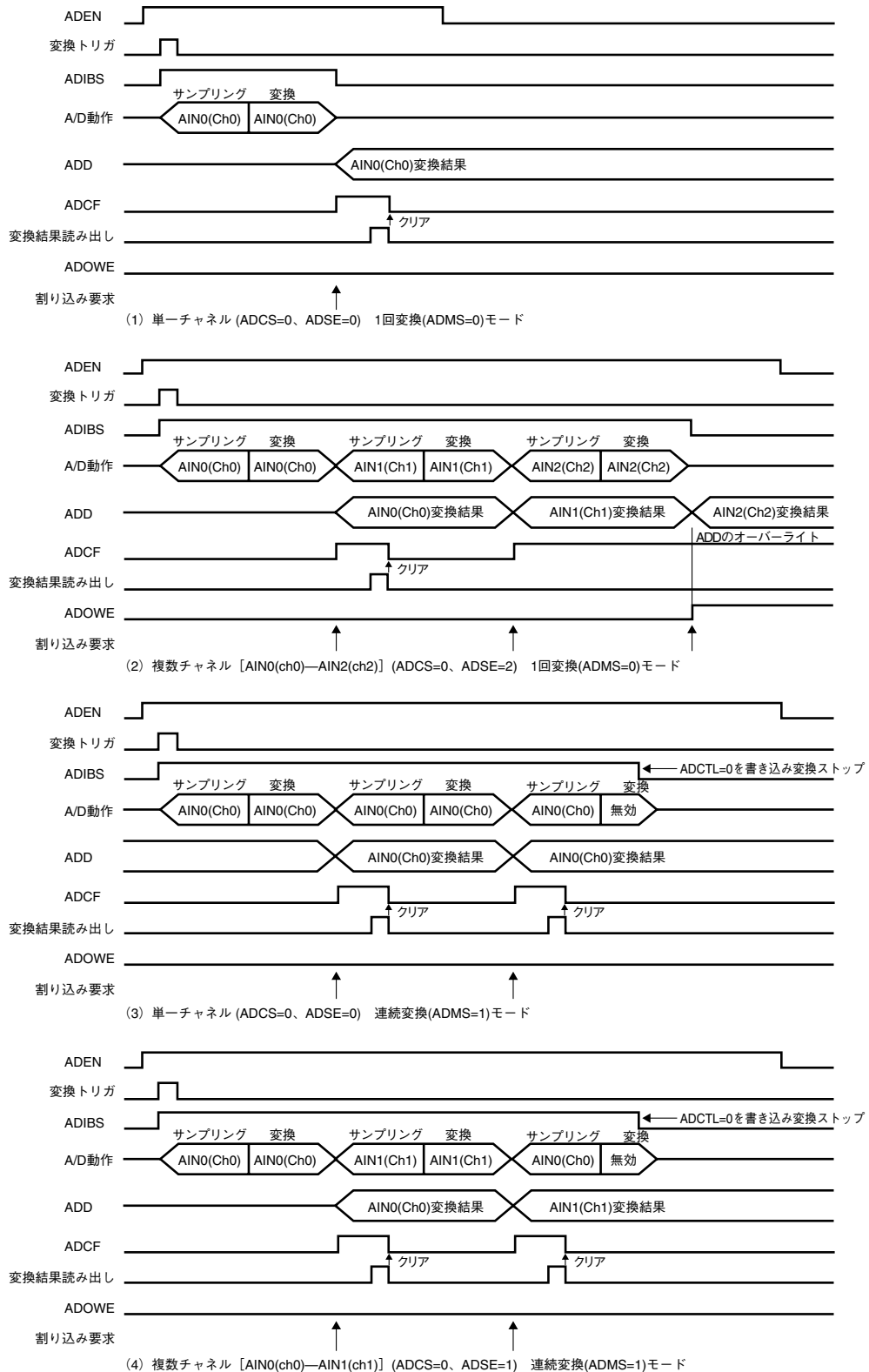


図23.4.1 A/D変換器の動作

23.5 A/D変換器割り込み

A/D変換器には、以下の2種類の割り込みを発生させる機能があります。

- 変換終了割り込み
- 変換データ上書き割り込み

A/D変換器は上記の2種類の割り込み要因を共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込みの要因を特定するには、各割り込み要因レジスタを読み出してください。

変換終了割り込み

A/D変換器は1つのチャンネルのA/D変換を終了すると、ADCIE(D4/ADC10_CTLレジスタ)に1(初期値0)が設定された状態ならば、変換終了割り込み信号をコントローラ(ITC)に出力して割り込み要求を行います。

- * **ADCIE**: Conversion-Complete Interrupt Enable Bit in the ADC10 Control/Status (ADC10_CTL) Register (D4/0x5384)

変換終了割り込み要因は、ADD[15:0](D[15:0]/ADC10_ADDレジスタ)をリードすると自動クリアされADCF(D8/ADC10_CTLレジスタ)も1から0にリセットされます。変換終了割り込みの発生を禁止したい場合は、ADCIEを0に設定してください。

変換データ上書き割り込み

A/D変換器はADD[15:0]レジスタがリードされず、次のA/D変換結果を上書きした場合、ADOIE(D5/ADC10_CTLレジスタ)に1(初期値0)が設定されていると、変換データ上書き割り込み信号をコントローラ(ITC)に出力して割り込み要求を行います。

- * **ADOIE**: Overwrite Interrupt Enable Bit in the ADC10 Control/Status (ADC10_CTL) Register (D5/0x5384)

変換データ上書き割り込み要因は、ADOWE(D9/ADC10_CTLレジスタ)に1を書き込むとリセットされます。

- * **ADOWE**: Overwrite Error Flag Bit in the ADC10 Control/Status (ADC10_CTL) Register (D9/0x5384)

変換データ上書き割り込みの発生を禁止したい場合は、ADOIEを0に設定してください。

A/D変換器割り込み用ITCレジスタ

表23.5.1に、各A/D変換器割り込み要因に対応するのITC制御レジスタを示します。

表23.5.1 ITCレジスタ

割り込み要因	割り込みレベル設定ビット
変換終了/変換データ上書き	ILV18[2:0](D[2:0]/ITC_LV9)

ITC_LV9レジスタ (0x4318)

割り込みレベル設定ビットは、A/D変換器割り込みのレベル(0~7)を設定します。S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- A/D変換器モジュールの割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- A/D変換器割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“6 割り込みコントローラ(ITC)”を参照してください。

割り込みベクタ

A/D変換器割り込みのベクタ番号とベクタアドレスは以下のとおりです。

表23.5.2 A/D変換器割り込みベクタ

割り込み要因	ベクタ番号	ベクタアドレス
変換終了/変換データ上書き	22(0x16)	TTBR + 0x58

23.6 制御レジスタ詳細

表23.6.1 ADC10SAレジスタ一覧

アドレス	レジスタ名		機能
0x5380	ADC10_ADD	ADC10 Conversion Result Register	A/D変換結果
0x5382	ADC10_TRG	ADC10 Trigger/Channel Select Register	変換トリガ/変換チャンネルの設定
0x5384	ADC10_CTL	ADC10 Control/Status Register	変換制御, 変換ステータス
0x5386	ADC10_DIV	ADC10 Divided Frequency Register	A/D変換クロック分周設定

以下、ADC10SAモジュールのレジスタを個々に説明します。これらは16ビットレジスタです

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5380: ADC10 Conversion Result Register (ADC10_ADD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Conversion Result Register (ADC10_ADD)	0x5380 (16 bits)	D15-0	ADD[15:0]	A/D converted data @STMD=0 ADD[15:10]=0, ADD9=MSB, ADD0=LSB @STMD=1 ADD15=MSB, ADD6=LSB, ADD[5:0]=0	0-1023	0	R	

D[15:0] ADD[15:0]: A/D Converted Data Bits

A/D変換結果が格納されます。

STMDレジスタの設定により格納方法を変更できます。

STMD=0 ADD[15:10]=0、ADD[9]=MSB、ADD[0]=LSB

STMD=1 ADD[15]=MSB、ADD[6]=LSB、ADD[5:0]=0

このレジスタは読み出し専用で、書き込みは無効です。

イニシャルリセット時、データは0となります。

0x5382: ADC10 Trigger/Channel Select Register (ADC10_TRG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
A/D Trigger/ Channel Select (ADC10_TRG)	0x5382 (16 bits)	D15-14	–	reserved	–	–	–	0 when being read.	
		D13-11	ADCE[2:0]	End channel selection	0x0-0x7	0	R/W		
		D10-8	ADCS[2:0]	Start channel selection	0x0-0x7	0	R/W		
		D7	STMD	Converted data store mode	1 {AD[9:0], 6'b0}	0 {6'b0, AD[9:0]}	0	R/W	
		D6	ADMS	Conversion mode selection	1 continuous	0 Single	0	R/W	
		D5-4	ADTS[1:0]	Conversion trigger selection	ADTS[1:0]	trigger	0	R/W	
						0x3 0x2 0x1 0x0	#ADTRG pin reserved 16bit timer software		
		D3	–	reserved	–	–	–	–	0 when being read.
		D2-0	ADST[2:0]	Sampling clock count	ADST[2:0]	count clock	0x7	R/W	
						0x7 0x6 0x5 0x4 0x3 0x2 0x1 0x0	9clocks 8clocks 7clocks 6clocks 5clocks 4clocks 3clocks 2clocks		

D[15:14] Reserved**D[13:11] ADCE[2:0]: End Channel Selection Bits**

変換終了チャンネルをチャンネル番号(0~3)で設定します。

1回のA/D変換で、ADCSレジスタで設定したチャンネルからこのレジスタで設定したチャンネルまでのアナログ入力を連続的に変換できます。1つのチャンネルのみをA/D変換する場合は、ADCSレジスタとADCEレジスタに同じチャンネル番号を設定してください。

イニシャルリセット時、ADCEは0(AIN0)に設定されます。

D[10:8] ADCS[2:0]: Start Channel Selection Bits

変換開始チャンネルをチャンネル番号(0~3)で設定します。

1回のA/D変換で、このレジスタで設定したチャンネルからADCEレジスタで設定したチャンネルまでのアナログ入力を連続的に変換できます。1つのチャンネルのみをA/D変換する場合は、ADCSレジスタとADCEレジスタに同じチャンネル番号を設定してください。

イニシャルリセット時、ADCSは0(AIN0)に設定されます。

D7 STMD: Converted Data Store Mode Bit

ADDレジスタへの変換結果の格納方法を選択します。

詳細はADDレジスタを参照してください。

イニシャルリセット時、STMDは0(ADD[15:10]=6'b0、ADD[9]=MSB、ADD[0]=LSB)に設定されます。

D6 ADMS: Conversion Mode Selection Bit

A/D変換モードを選択します。

1(R/W)：連続変換モード

0(R/W)：1回変換モード

ADMSに1を書き込むことによりA/D変換器は連続モードに設定され、ADCSおよびADCEレジスタで選択したチャンネル範囲のA/D変換を、ソフトウェアで停止させるまで連続的に実行します。

ADMSが0の場合は1回変換モードで動作し、ADCSおよびADCEレジスタで選択したチャンネル範囲の全ての入力を1回A/D変換して停止します。

イニシャルリセット時、ADMSは0(1回変換モード)に設定されます。

D[5:4] ADTS[1:0]: Conversion Trigger Selection Bits

A/D変換を開始させるトリガ方法を選択します。

表23.6.2 トリガの選択

ADTS1	ADTS0	トリガ
1	1	外部トリガ(#ADTRG)
1	0	Reserved
0	1	16ビットプログラマブルタイムch0
0	0	ソフトウェア

外部トリガを使用する場合は、ポートMUXにより#ADTRGを選択してください(詳細は入出力ポートの章、ポートMUXの節を参照してください)。

16ビットプログラマブルタイムch0を使用する場合は、アンダーフロー信号がトリガとなりますので、プログラマブルタイムで周期およびその他の設定を行ってください。イニシャルリセット時、ADTSは0(ソフトウェアトリガ)に設定されます。

D3 Reserved**D[2:0] ADST[2:0]: Sampling Clock Count Bits**

アナログ入力のサンプリング時間を設定します。

表23.6.3 トリガの選択

ADST2	ADST1	ADST0	サンプリング時間
1	1	1	9クロック
1	1	0	8クロック
1	0	1	7クロック
1	0	0	6クロック
0	1	1	5クロック
0	1	0	4クロック
0	0	1	3クロック
0	0	0	2クロック

クロック数はA/D変換器の入力クロック数です。

イニシャルリセット時、ADSTは111(9クロック)に設定されます。

0x5384: ADC10 Control/Status Register (ADC10_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Control/ Status Register (ADC10_CTL)	0x5384 (16 bits)	D15	—	reserved	—	—	—	0 when being read.
		D14–12	ADICH	Internal conversion channel status	0x0–0x7	0	R	
		D11	—	reserved	—	—	—	0 when being read.
		D10	ADIBS	Internal busy status	1 busy 0 idle	0	R	
		D9	ADOWE	Overwrite error flag	1 Error 0 Normal	0	R/W	Reset by writing 1
		D8	ADCF	Conversion-complete flag	1 Completed 0 Not completed	0	R	Reset when ADADD is read.
		D7–6	—	reserved	—	—	—	0 when being read.
		D5	ADOIE	Overwrite interrupt enable	1 Enable 0 Disable	0	R/W	
		D4	ADCIE	Conversion-complete interrupt enable	1 Enable 0 Disable	0	R/W	
		D3–2	—	reserved	—	—	—	0 when being read.
		D1	ADCTL	conversion control	1 Start/Run 0 Stop	0	R/W	Stop by writing 0
		D0	ADEN	A/D enable	1 Enable 0 Disable	0	R/W	

D15 Reserved**D[14:12] ADICH[2:0]: Internal Conversion Channel Status Bits**

A/D変換中のチャンネル番号(0~7)を示します。

複数のチャンネルをA/D変換している場合、このビットを読み出すことによって現在変換中のチャンネルを確認できます。

イニシャルリセット時、ADICHは0(AIN0)に設定されます。

D11 Reserved**D10 ADIBS: Internal Busy Status Bits**

A/D変換器の状態を示します。

1 (R/W) : 変換中

0 (R/W) : 変換終了

A/D変換中は1が出力され、A/D変換終了後は0が出力されます。

D9 ADOWE: Overwrite Error Flag Bit

変換データ上書き(オーバーライト)要因の発生状態を示す割り込みフラグです。

1 (R) : 割り込み要因あり

0 (R) : 割り込み要因なし(デフォルト)

1 (W) : フラグをリセット

0 (W) : 無効

複数のチャンネルをA/D変換している場合に、前のチャンネルの変換によってセットされた変換終了フラグADCFが変換データの読み出しによってリセットされる前に次のチャンネルの変換結果が変換データレジスタに書き込まれる(上書きされる)とADOWEが1にセットされます。このとき、ADOIE(D5/ADC10_CTLレジスタ)が1に設定されていれば、ITCに対してオーバーライト割り込み要求信号が出力されます。ITCとSIC17コアの割り込み条件が成立していれば割り込みが発生します。

ADOWEは1の書き込みによりリセットされます。

注: ・オーバーライト割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、ADOWEをリセットする必要があります。

・不要な割り込みの発生を防止するため、ADOIEによってオーバーライト割り込みを許可する前に、ADOWEをリセットしてください。

D8 ADCF: Conversion Complete Flag Bit

変換終了要因の発生状態を示す割り込みフラグです。

1 (R) : 割り込み要因あり

0 (R) : 割り込み要因なし(デフォルト)

1 (W) : 無効

0 (W) : 無効

A/D変換が終了し、変換データがADD(D[15:0]/ADC10_ADDレジスタ)に格納されると1にセットされます。このとき、ADCIE(D4/ADC10_CTLレジスタ)が1に設定されていれば、ITCに対して変換終了割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

ADDを読み出すと0にリセットされます。

複数のチャンネルをA/D変換している場合、ADCFが1の状態(変換データを読み出す前に)次のA/D変換が終了すると、データレジスタは新たな変換結果で上書きされオーバーライトエラーとなります。したがって、次のA/D変換が終了する前に変換データを読み出してADCFをリセットする必要があります。

D[7:6] Reserved

D5 ADOIE: Overwrite Interrupt Enable Bit

CPUに対するA/D変換結果のオーバーライト割り込みの発生を許可または禁止します。

1 (R/W) : 割り込み許可

0 (R/W) : 割り込み禁止

ADOIEはA/D変換結果のオーバーライト割り込みを制御する割り込みイネーブルビットで、1に設定すると割り込みが許可され、0に設定すると割り込みが禁止されます。イニシャルリセット時、ADOIEは0(割り込み禁止)に設定されます。

D4 ADCIE: Conversion-complete Interrupt Enable Bit

CPUに対するA/D変換終了割り込みの発生を許可または禁止します。

1 (R/W) : 割り込み許可

0 (R/W) : 割り込み禁止

ADCIEはA/D変換終了割り込みを制御する割り込みイネーブルビットで、1に設定すると割り込みが許可され、0に設定すると割り込みが禁止されます。イニシャルリセット時、ADCIEは0(割り込み禁止)に設定されます。

D[3:2] Reserved

D1 ADCTL: Conversion Control Bit

A/D変換を制御します。

1 (R/W) : ソフトウェアトリガ

0 (R/W) : A/D変換停止

ソフトウェアトリガによりA/D変換を開始させる場合、ADCTLに1を書き込みます。他のトリガ方式の場合は、ハードウェアがADCTLを1にセットします。

A/D変換中、ADCTLは1を保持します。

1回変換モード時は、指定のチャンネルのA/D変換が終了するとADCTLは0に戻り、A/D変換回路が停止します。連続モードのA/D変換を停止させる場合はADCTLに0を書き込んでください。ADENが0の場合は、トリガは受け付けません。

イニシャルリセット時、ADCTLは0(A/D変換停止)に設定されます。

D0 ADEN: A/D Enable Bit

A/D変換器をイネーブル(変換可能状態)に設定します。

1 (R/W) : イネーブル

0 (R/W) : ディセーブル

ADENに1を書き込むことによってA/D変換器がイネーブルとなり、A/D変換を開始できる(トリガを受け付け可能な)状態となります。ADENが0の場合、A/D変換器はディセーブル状態に置かれ、トリガを受け付けません。

ただし、A/D変換中にADENを0にしてもA/D変換は停止しません。A/D変換を停止させる場合はADCTLに0を書き込んでください。

なお、モードや開始/終了チャンネルなどのA/D変換器の設定を行う場合は、誤動作を避けるため、ADENを0に設定してから行ってください。

イニシャルリセット時、ADENは0(ディセーブル)に設定されます。

0x5386: ADC10 Divided Frequency Register (ADC10_DIV)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks		
A/D Divided Frequency Register (ADC_DIV)	0x5386 (16 bits)	D15-4	—	reserved	—	—	—	0 when being read.		
		D3-0	ADDF[3:0]	A/D converter clock divided frequency select	ADDF[3:0]	clock	0	R/W		
						0xf	Reserved			
						0xe	PCLK•1/32768			
						0xd	PCLK•1/16384			
						0xc	PCLK•1/8192			
						0xb	PCLK•1/4096			
						0xa	PCLK•1/2048			
						0x9	PCLK•1/1024			
						0x8	PCLK•1/512			
						0x7	PCLK•1/256			
						0x6	PCLK•1/128			
						0x5	PCLK•1/64			
						0x4	PCLK•1/32			
						0x3	PCLK•1/16			
						0x2	PCLK•1/8			
				0x1	PCLK•1/4					
				0x0	PCLK•1/2					

D[15:4] Reserved

D[3:0] ADCTL: A/D Converter Clock Divided Frequency Select Bits

A/D変換クロックを上記に示す16種類から選択することができます

- 注:
- A/D変換器の動作はプリスケラが動作していることが条件です。詳細はCLGの章、PCLKの制御の節、PSCの章、プリスケラの構成の節を参照してください。
 - 入力クロックの周波数の制限は“28.7 A/D変換器特性”を参照してください。
 - プリスケラからのA/D変換器へのクロック出力がOFFの場合にA/D変換を開始させたり、A/D変換動作中にプリスケラのクロック出力をOFFにしないでください。誤動作の原因となります。

23.7 注意事項

- モードや開始/終了チャンネルなどA/D変換器の設定を行う場合は、必ずA/D変換器をディセーブル状態 (ADEN(D0/ADC10_CTLレジスタ)を0)にして行ってください。イネーブル状態の設定変更は誤動作の原因となります。
- A/D変換クロックの周波数制限は“28.7 A/D変換器特性”を参照してください。
- プリスケータからA/D変換器へのクロック出力がOFFの場合にA/D変換を開始させたり、A/D変換動作中にプリスケータのクロック出力をOFFにしないでください。誤動作の原因となります。
- イニシャルリセット後、ADCF(D8/ADC_CTLレジスタ)とADOWE(D9/ADOWE)は不定となります。不要な割り込み発生を防止するため、必ずプログラムでリセットしてください。
- 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。
- A/D変換のトリガとして外部トリガを使用する場合、#ADTRG端子への入力のLow期間は、S1C17コアの動作クロック2サイクル以上の長さを確保してください。
- ADCS(D10-8/ADC10_TRGレジスタ)とADCE(D13-11/ADC10_TRGレジスタ)に0x4~0x7が選択された場合、変換データは不定となります。
- ADCE(D13-11/ADC10_TRGレジスタ)はADCS(D10-8/ADC10_TRGレジスタ)以上の値に設定してください。

24 R/F変換器 (RFC)

24.1 R/F変換器の概要

S1C17601には、CR発振方式のA/D変換器である、R/F変換器 (RFC) が内蔵されています。R/F変換器は、サーミスタや湿度センサと、少ない受動部品 (抵抗容量) だけで簡単に温湿度計を実現することができます。R/F変換器に接続されたセンサは、CR発振回路によって周波数 (RFCLK) に変換されます。この周波数は、内部クロック (TCCLK) で動作するタイムベースカウンタに設定された時間だけ、計測カウンタでカウントされます。この計測カウンタのカウント値がセンサをデジタル変換した値になります。また、センサをCR発振させるセンサ発振の他に、外的要因による変化の少ない基準素子をCR発振させる基準発振を行うことで、電圧変化や製造ばらつきといった誤差要因を取り除き、高精度の計測を実現します。CR発振回路は、通常のDC駆動に加え、AC駆動、外部クロック入力をサポートしており、多くのセンサへ対応することができます。

図 24.1.1 に、R/F変換器の構造を示します。

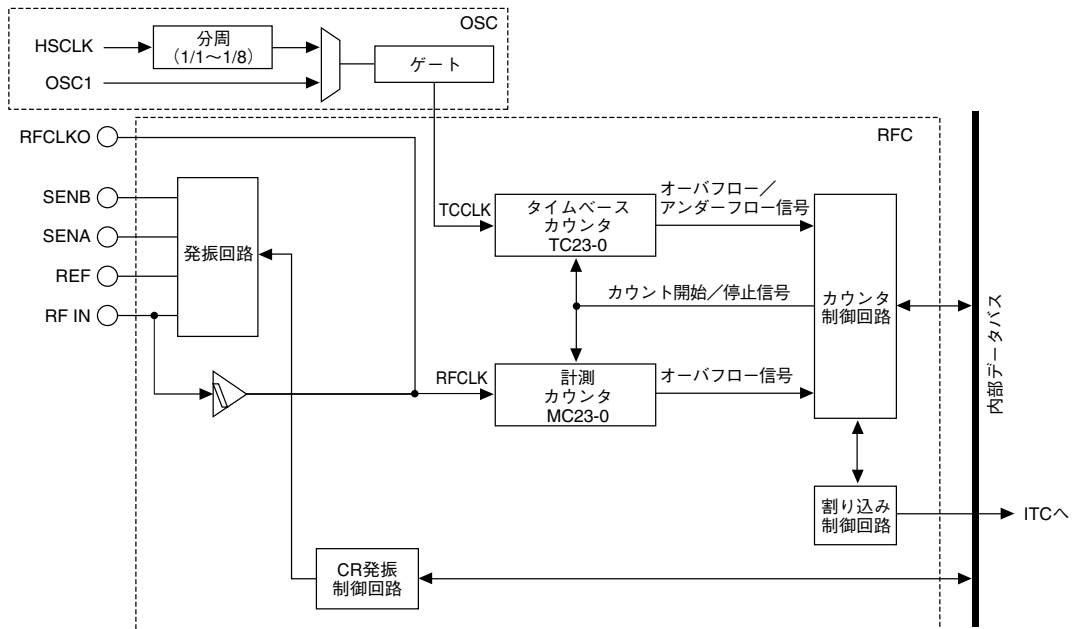


図24.1.1 R/F変換器の構造

24.2 RFC端子

表24.2.1に、R/F変換器の入出力端子の一覧を示します。

表24.2.1 RFC端子一覧

端子名	I/O	本数	機能
SENB (P12)	I/O	2	RFCセンサB発振制御端子 機能切り替え時、イニシャル状態は、HI-Zです。
SENA (P13)	I/O	2	RFCセンサA発振制御端子 機能切り替え時、イニシャル状態は、HI-Zです。
REF (P14)	I/O	2	RFC基準発振制御端子 機能切り替え時、イニシャル状態は、HI-Zです。
RFIN (P15)	I/O	2	RFCLK入力および発振制御端子 機能切り替え時、イニシャル状態は、V _{SS} です。
RFCLKO (P00)	O	1	PFCLKモニタ用出力端子 RFCLKが出力され、周波数をモニタすることができます。

注：RFINは、機能切り替え時V_{SS}になるため、外部からバイアスされている場合、大電流が流れる可能性があります。

RFC端子は汎用入出力ポート端子と兼用されており、初期状態では、汎用入出力ポート端子に設定されます。これらをR/F変換器の端子として使用するには、P0_PMUX、P1_PMUXレジスタの設定により機能を切り替える必要があります。以下の制御ビットを設定して、端子をR/F変換器用に切り替えてください。

P12 → SENB

* **P12MUX**: P12 Port Function Select Bit in the P1 Port Function Select (P1_PMUX) Register (D5-4/0x52a2)

P13 → SENA

* **P13MUX**: P13 Port Function Select Bit in the P1 Port Function Select (P1_PMUX) Register (D7-6/0x52a2)

P14 → REF

* **P14MUX**: P14 Port Function Select Bit in the P1 Port Function Select (P1_PMUX) Register (D1-0/0x52a3)

P15 → RFIN

* **P15MUX**: P15 Port Function Select Bit in the P1 Port Function Select (P1_PMUX) Register (D3-2/0x52a3)

P00 → RFCLKO

* **P00MUX**: P00 Port Function Select Bit in the P0 Port Function Select (P0_PMUX) Register (D1-0/0x52a0)

端子の機能と切り換えの詳細については、“10.2 入出力端子機能の選択(ポートMUX)”を参照してください。

24.3 動作モード

R/F変換器は、3つの自己発振による測定モードと、外部クロック入力を測定するモードがあります。また、自己発振させた周波数を確認するための機能として、CR発振クロック(RFCLK)のモニタ機能および、変換条件にかかわらずCR発振を自動停止させない連続発振機能を有しています。これらのモードは、チャンネル毎に設定することが可能です。

抵抗性センサ測定用DC発振モード

基準抵抗と、抵抗性センサの発振周期の差分を見ることができるモードです。抵抗センサおよび基準抵抗はDC駆動されます。1チャンネル辺り、基準抵抗1つ、抵抗性センサを最大2つまで接続可能です。抵抗性センサを1つしか使用しない場合、使用しない端子をオープンに設定します。

この機能を有効にするためには、SMODEレジスタを0に設定します。またチャンネルごとに、必要な端子の機能をR/F変換器に設定してください(“10.2 入出力端子機能の選択(ポートMUX)”参照)。基準発振の開始はSREFレジスタ、センサA発振の開始はSENAレジスタ、センサB発振の開始はSENBレジスタで設定します。

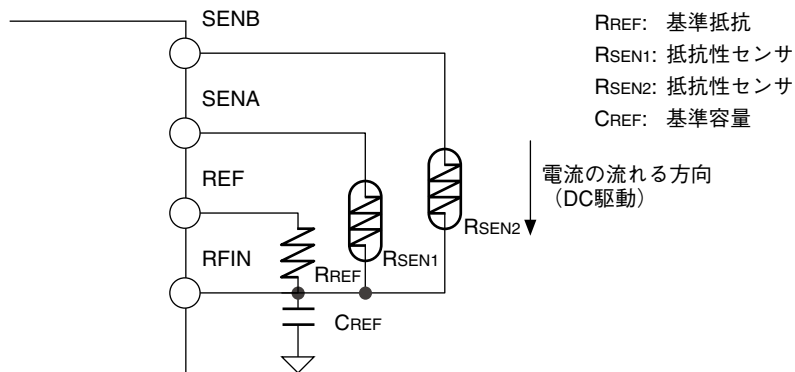


図24.3.1 抵抗性センサ測定用DC発振モード接続例

抵抗性センサ測定用AC発振モード

基準抵抗と、抵抗性センサの発振周期の差分を見ることができるモードです。抵抗センサおよび基準抵抗はAC駆動されます。基準抵抗1つ、抵抗性センサを1つ接続可能です。

この機能を有効にするためには、SMODEレジスタを1に設定します。またチャンネルごとに、必要な端子の機能をR/F変換器に設定してください(“10.2 入出力端子機能の選択(ポートMUX)”参照)。基準発振の開始はSREFレジスタ、センサ発振の開始はSENAレジスタで設定します。

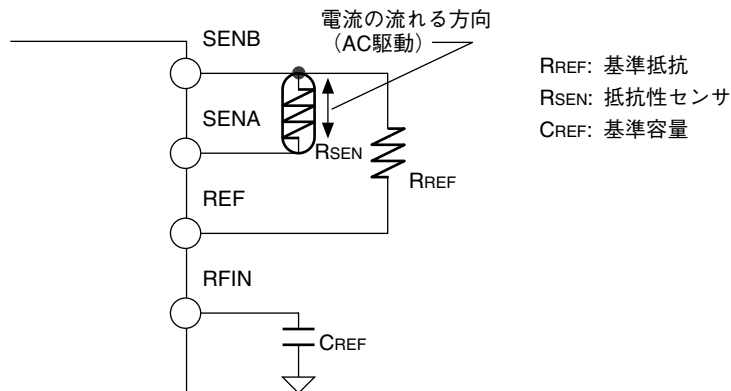


図24.3.2 抵抗性センサ測定用AC発振モード接続例

容量性センサ測定用DC発振モード

基準容量と、容量性センサの発振周期の差分を見ることができるモードです。容量性センサおよび、基準容量はDC駆動されます。基準容量1つ、抵抗性容量を1つ接続可能です。

この機能を有効にするためには、SMODEレジスタを2に設定します。またチャンネルごとに、必要な端子の機能をR/F変換器に設定してください(“10.2 入出力端子機能の選択(ポートMUX)”参照)。基準発振の開始はSREFレジスタ、センサ発振の開始はSENAレジスタで設定します。

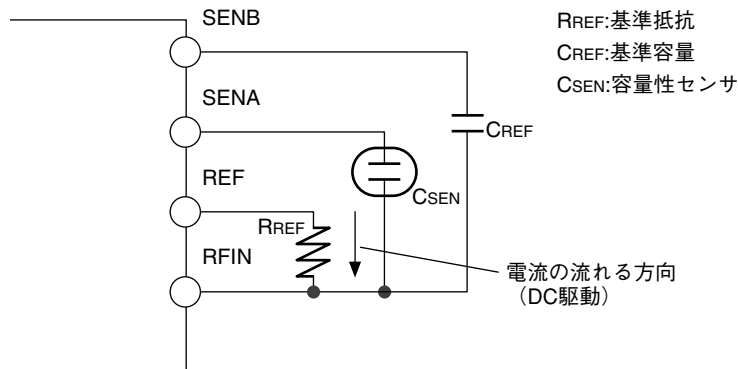


図24.3.3 容量性センサ測定用DC発振モード接続例

外部クロック入力モード(イベントカウンタモード)

外部発振回路からのパルスをカウントすることができるモードです。矩形波だけでなく、三角波、サイン波の入力が可能です(シュミット入力のしきい値の範囲は、“28 電気的特性”参照)。使用しない端子はオープンに設定します。

この機能を有効にするためには、EVTENレジスタを1に設定します。変換動作はSMODEレジスタで設定されたモードに従います。またチャンネルごとに、必要な端子の機能をR/F変換器に設定してください(“10.2 入出力端子機能の選択(ポートMUX)”参照)。

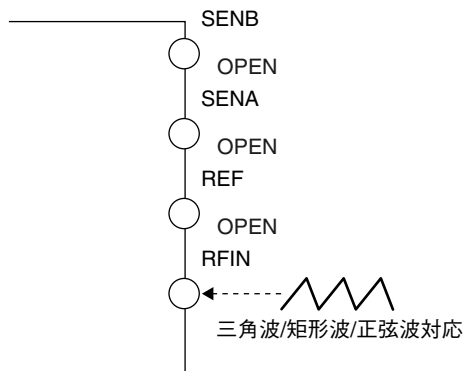


図24.3.4 外部クロック入力モード接続例

CR発振クロック(RFCLK)モニタ機能

変換動作中のCR発振クロック(RFCLK)をモニタのために、端子へ出力することができます。この機能は、自己発振の周波数測定に使用します。

この機能を有効にするためには、ポートMUXレジスタで、端子の機能をRFCLKOに設定してください(“10.2 入出力端子機能の選択(ポートMUX)”参照)。

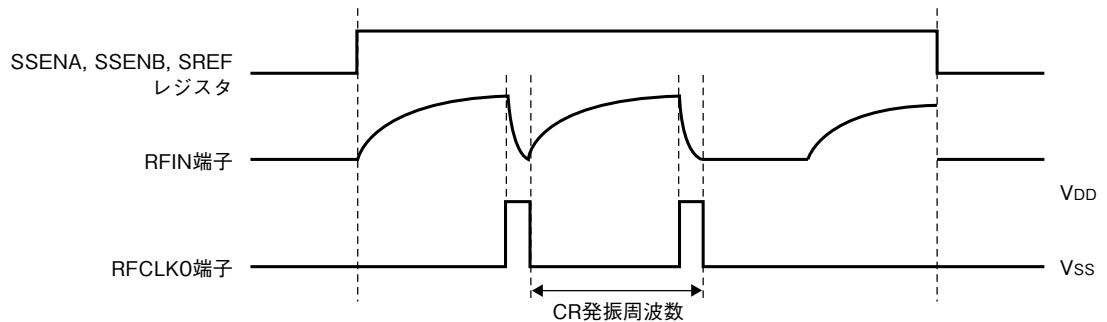


図24.3.5 CR発振クロック(RFCLK)波形

連続発振機能

センサおよび基準抵抗のCR発振は、停止条件で自動的に停止します。この機能を使用することで、停止条件にかかわらずCR発振を停止させないようにすることができます。この機能は、CR発振クロックモニタ機能と併用することで、自己発振の周波数測定を容易にします。

この機能を有効するためには、CONENレジスタを1に設定します。

24.4 変換動作

R/F変換器の変換動作は、動作モードにかかわらず、初期設定→基準発振→センサ発振のシーケンスで行います。以下に、それらのシーケンスを示します。

初期設定

- (1) タイムベースカウンタのカウントクロックであるTCCLKの周波数を選択します。“7.9 RFCクロックの制御”を参照してください。
- (2) TCCLKを有効にする。“7.9 RFCクロックの制御”を参照してください。
- (3) R/F変換器で使用するポートを有効にする。“10.2 入出力端子機能の選択(ポートMUX)”を参照してください。

注: TCCLKを有効にしてからR/F変換器の設定を行ってください。TCCLKが供給されないと、R/F変換器は正常に動作しません。

R/F変換器のモード設定

- (1) RFCENレジスタ=1に設定して、R/F変換器を有効にしてください。
- (2) SMODEレジスタで、変換モードを設定してください。

- * **RFCEN**: RFC Enable Bit in the RFC Control (RFC_CTL) Register (D0/0x53a0)
- * **SMODE**: Sensor Oscillation Mode Select in the RFC Control (RFC_CTL) Register (D4-5/0x53a0)

基準発振の設定と変換

- (1) MC23-0レジスタ(計測カウンタ)に初期値を設定します。計測カウンタはアップカウンタのため、カウントしたい値nの2の補数(0x000000-n)の値をセットします。
- (2) TC23-0レジスタ(タイムベースカウンタ)の値を0x000000に初期化します。
- (3) OVTCIF,EREFIFレジスタに1を書き込み割り込みフラグをクリアします。

注: 割り込みフラグレジスタがクリアされていない場合、発振開始できません。

- (4) SREFレジスタを1にセットし、基準発振を開始します。

注: • TC23-0に値をセットしてから、TCCLK 3周期分の時間を待った後に発振を開始してください。

- レジスタ設定に関する注意点は、制御レジスタ詳細内を参照してください。正しく値がセットされない可能性があります。

- (5) 計測カウンタがオーバーフローもしくは、タイムベースカウンタがオーバーフローするとSREFレジスタが0になり、基準発振が自動的に終了します。
- (6-1) 計測カウンタがオーバーフロー時は、正常終了で、EREFIFレジスタが1にセットされます。このときのタイムベースカウンタの値xを保存します。
- (6-2) タイムベースカウンタがオーバーフロー時は、エラー終了で、OVTCIFレジスタが1にセットされます。

- * **MC23-0** : Measurement Counter Data D23-0 in the RFC Measurement Counter Data (RFC_MC) Register (D23-0/0x53a4/0x53a6)
- * **TC23-0** : Time Base Counter Data D23-0 in the RFC Time Base Counter Data (RFC_TC) Register (D23-0/0x53a8/0x53aa)
- * **SREF** : Reference Oscillation Start Trigger in the RFC Oscillation Start (RFC_TRG) Register (D0/0x53a2)
- * **OVTCIF** : Time Base Counter Over Flow Error Int Enable in the RFC Interrupt Mask (RFC_IMSK) Register (D4/0x53ac)
- * **EREFIF** : Reference Oscillation End Flag in the RFC Interrupt Flag (RFC_IFLG) Register (D0/0x53ae)

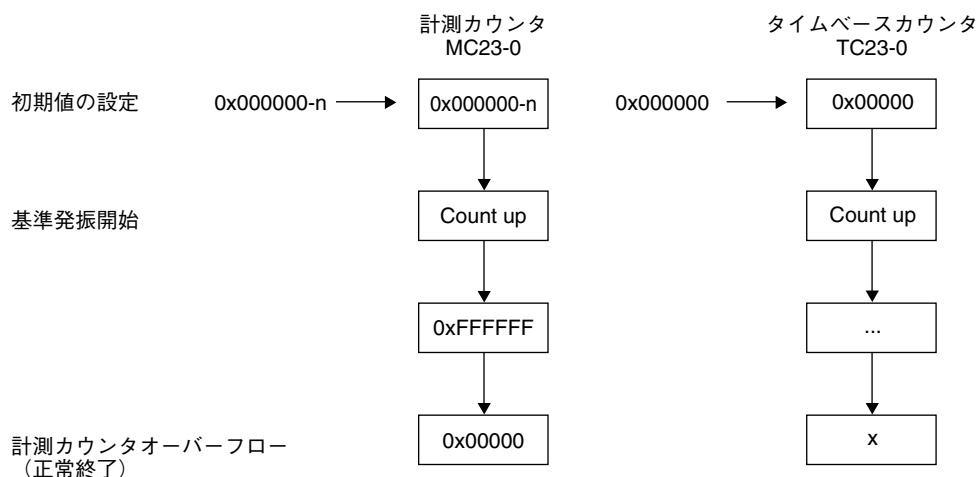


図24.4.1 基準発振の変換動作

センサ発振の設定と変換

- (1) MC23-0レジスタ(計測カウンタ)の値を $0x000000$ に初期化します。基準発振直後の場合は、特に設定する必要はありません。
- (2) TC23-0レジスタ(タイムベースカウンタ)の値を基準発振でカウントされたタイムベースカウンタの値 x に初期化します。基準発振直後の場合は、特に設定する必要はありません。
- (3) OVMCIF, ESENBIF, ESENAIFレジスタに1を書き込み割り込みフラグをクリアします。

注: 割り込みフラグレジスタがクリアされていない場合、発振開始できません。

- (4) SENAもしくは、SENBレジスタを1にセットし、センサ発振を開始します。

注: ・TC23-0に値をセットしてから、TCCLK 3周期分の時間を待った後に発振を開始してください。
 ・レジスタ設定に関する注意点は、制御レジスタ詳細内を参照してください。正しく値がセットされない可能性があります。

- (5) 計測カウンタがオーバーフローもしくは、タイムベースカウンタがアンダーフローするとSENAもしくはSENBレジスタが0になり、センサ発振が自動的に終了します。
- (6-1) 計測カウンタがオーバーフロー時は、エラー終了で、OVMCIFレジスタが1にセットされます。このときの計測カウンタの値 m をプログラムで処理します。
- (6-2) タイムベースカウンタがアンダーフロー時は、正常終了で、ESENAIFもしくはESENBIFレジスタが1にセットされます。

- * **OVMCIF** : Measurement Counter Over Flow Error Flag in the RFC Interrupt Flag (RFC_IFLG) Register (D3/0x53ae)
- * **ESENBIF** : Sensor B Oscillation End Flag in the RFC Interrupt Mask (RFC_IFLG) Register (D2/0x53ae)
- * **ESENAIF** : Sensor A Oscillation End Flag in the RFC Interrupt Flag (RFC_IFLG) Register (D1/0x53ae)

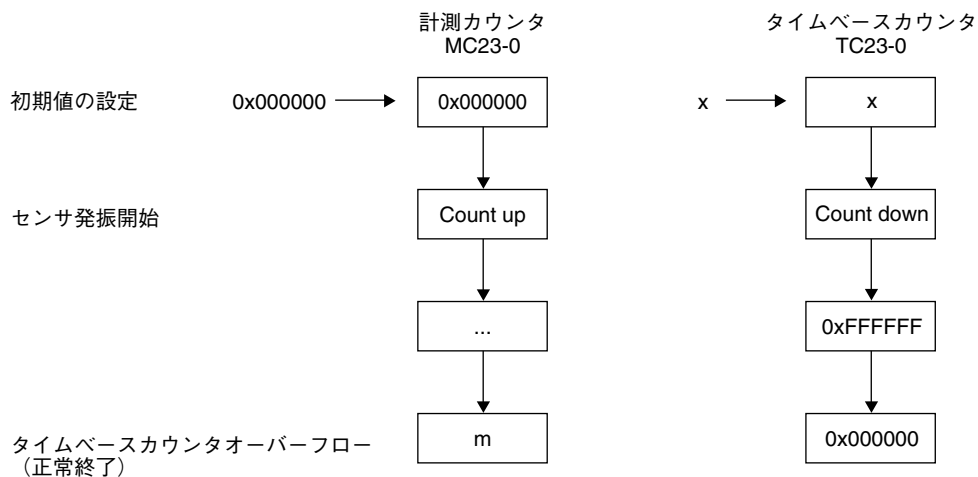


図24.4.2 センサ発振の変換動作

変換の誤差について

基準発振とセンサ発振において、同じ抵抗&容量で測定した場合、 $n \approx m$ になります。このとき、 n と m の差分が誤差になります。誤差要因は、外付け部品、基板の寄生素子の影響の他に温度、電圧、ICの製造ばらつきにより、影響を受けます。これらの誤差の目安に関しては、“28 電気的特性”を参照してください。

24.5 R/F変換器割り込み

R/F変換器は、以下の5種類の割り込みを発生させる機能があります

- 基準発振完了割り込み
- センサA発振完了割り込み
- センサB発振完了割り込み
- 計測カウンタオーバーフロー割り込み
- タイムベースカウンタオーバーフロー割り込み

R/F変換器は上記の5種類の割り込み要因を共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込みの要因を特定するには、各割り込み要因レジスタを読み出してください。

基準発振完了割り込み

この割り込みを使用するには、EREFIE(D0/RFC_IMSKレジスタ)を1に設定します。EREFIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

- * **EREFIE**: Reference Oscillation End Int Enable D0 in the RFC Interrupt Enable (RFC_IMSK) Register (D0/0x53ac)

基準発振がエラーなく終了、つまり、タイムベースカウンタがオーバーフローせずに、計測カウンタがオーバーフローして停止すると、EREFIF(D0/RFC_IFLGレジスタ)が1にセットされます。

- * **EREFIF**: Reference Oscillation End Int Flag D0 in the RFC Interrupt Flag (RFC_IFLG) Register (D0/0x53ae)

センサA発振完了割り込み

この割り込みを使用するには、ESENAIE(D1/RFC_IMSKレジスタ)を1に設定します。ESENAIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

- * **ESENAIE**: Sensor A Oscillation End Int Enable D1 in the RFC Interrupt Enable (RFC_IMSK) Register (D1/0x53ac)

センサA発振がエラーなく終了、つまり、計測カウンタがオーバーフローせずに、タイムベースカウンタがアンダーフローして停止すると、ESENAIF(D1/RFC_IFLGレジスタ)が1にセットされます。

- * **ESENAIF**: Sensor A Oscillation End Int Flag D1 in the RFC Interrupt Flag (RFC_IFLG) Register (D1/0x53ae)

センサB発振完了割り込み

この割り込みを使用するには、ESENBIIE(D2/RFC_IMSKレジスタ)を1に設定します。ESENBIIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

- * **ESENBIIE**: Sensor B Oscillation End Int Enable D2 in the RFC Interrupt Enable (RFC_IMSK) Register (D2/0x53ac)

センサB発振がエラーなく終了、つまり、計測カウンタがオーバーフローせずに、タイムベースカウンタがアンダーフローして停止すると、ESENBIIF(D2/RFC_IFLGレジスタ)が1にセットされます。

- * **ESENBIIF**: Sensor B Oscillation End Int Flag D2 in the RFC Interrupt Flag (RFC_IFLG) Register (D2/0x53ae)

計測カウンタオーバーフローエラー割り込み

この割り込みを使用するには、OVMCIE(D3/RFC_IMSKレジスタ)を1に設定します。OVMCIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

- * **OVMCIE**: Measurement Counter Over Flow Error Interrupt Enable D3 in the RFC Interrupt Enable (RFC_IMSK) Register (D3/0x53ac)

センサ発振中に、計測カウンタがオーバーフローして停止した場合、エラーとして、OVMCIF(D3/RFC_IFLGレジスタ)が1にセットされます。

- * **OVMCIF**: Measurement Counter Over Flow Error Int Flag D3 in the RFC Interrupt Flag (RFC_IFLG) Register (D3/0x53ae)

タイムベースカウンタオーバーフローエラー割り込み

この割り込みを使用するには、OVTCIE(D4/RFC_IMSKレジスタ)を1に設定します。OVTCIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

- * **OVTCIE:** Time Base Counter Over Flow Error Int Enable D4 in the RFC Interrupt Enable (RFC_IMSK) Register (D4/0x53ac)

基準発振中に、タイムベースカウンタがオーバーフローして停止した場合、エラーとして、OVTCIF(D4/RFC_IFLGレジスタ)が1にセットされます。

- * **OVTCIF:** Time Base Counter Over Flow Error Int Flag D4 in the RFC Interrupt Flag (RFC_IFLG) Register (D4/0x53ae)

24.6 制御レジスタ詳細

表24.6.1 RFCレジスタ一覧

周辺回路	アドレス	レジスタ名		機能
R/F変換器 (16ビットデバイス)	0x53a0	RFC_CTL	RFC Control Register	R/F変換器設定
	0x53a2	RFC_TRG	RFC Oscillation Start Register	R/F発振開始トリガ
	0x53a4	RFC_MCL	RFC Measurement Counter Data Register (LSB)	測定カウンタ(下位)
	0x53a6	RFC_MCH	RFC Measurement Counter Data Register (MSB)	測定カウンタ(上位)
	0x53a8	RFC_TCL	RFC Time Base Counter Data Register (LSB)	タイムベースカウンタ(下位)
	0x53aa	RFC_TCH	RFC Time Base Counter Data Register (MSB)	タイムベースカウンタ(上位)
	0x53ac	RFC_IMSK	RFC Interrupt Mask Register	割り込みマスクの設定
	0x53ae	RFC_IFLG	RFC Interrupt Flag Register	割り込みフラグ
	0x53b0~0x53bf	-	-	Reserved

以下、RFCモジュールのレジスタを個々に説明します。これらは16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み1は書き込まないでください。

0x53a0: RFC Control Register (RFC_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks				
RFC Control Register (RFC_CTL)	0x53a0 (16 bits)	D15-8	–	Reserved	1	–	0	–	R	0 Read		
		D7	CONEN	Continuous oscillation enable	1	Enable	0	Disable	0	R/W		
		D6	EVTEN	Event counter mode enable	1	Enable	0	Disable	0	R/W		
		D5-4	SMODE	Sensor oscillation mode select 0:Resistive sensor DC oscillation 1:Resistive sensor AC oscillation 2:Capacitive sensor DC oscillation			0:RDC mode 1:RAC mode 2:CDC mode 3:Reserved			0	R/W	
		D3-1	–	Reserved	1	–	0	–	–	R	0 Read	
		D0	RFCEN	RFC enable	1	Enable	0	Disable	0	R/W		

D7 CONEN: Continuous Oscillation Enable

CR発振の自動停止を禁止して、連続発振を可能にします。

1 (R/W) : 連続発振許可

0 (R/W) : 通常(デフォルト)

CONENを1に設定すると、停止条件にかかわらずCR発振を停止させないようにすることができます。ただし、発振開始は、SREF/SSENA/SSENBレジスタを発振開始に設定してください。

D6 EVTEN: Event Counter Mode Enable

外部クロック入力モード(イベントカウンタモード)を設定します。

1 (R/W) : 外部クロック入力モード

0 (R/W) : 通常(デフォルト)

EVTENを1に設定すると、RFIN端子に外部クロック入力が可能になります。ただし、変換動作を行うためには、SREF/SSENA/SSENBレジスタで発振開始に設定する必要があります。

注: EVTENを1に設定する前に外部からクロックを入力しないでください。RFIN端子は、イニシャル状態でVSSへプルダウンされています。

D[5:4] SMODE[1:0]: Sensor Oscillation Mode Select

発振モードを設定します。

0x3 (R/W) : Reserved

0x2 (R/W) : 容量性センサDC発振モード

0x1 (R/W) : 抵抗性センサAC発振モード

0x0 (R/W) : 抵抗性センサDC発振モード(デフォルト)

D[3:1] Reserved**D0 RFCEN: RFC Enable**

R/F変換器を許可/禁止します。

1 (R/W) : 許可

0 (R/W) : 禁止(デフォルト)

RFCENを1に設定すると変換動作が行える状態になります。RFCENが0のとき、SREF/SSENA/SSENBレジスタの動作は無効になります。

0x53a2: RFC Oscillation Start Register (RFC_TRG)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
RFC Oscillation Start Register (RFC_TRG)	0x53a2 (16 bits)	D15-3	–	Reserved	1	–	0	–	R	0 Read	
		D2	SSENB	Sensor B oscillation	1	R: Run W: Start	0	R: Stop W: Stop	0	R/W	*1*2*3*4
		D1	SSENA	Sensor A oscillation Start Trigger	1	R: Run W: Start	0	R: Stop W: Stop	0	R/W	*1*3*4
		D0	SREF	Reference oscillation Start Trigger	1	R: Run W: Start	0	R: Stop W: Stop	0	R/W	*1*3*4

D2 SSENB: Sensor B Oscillation Start Trigger

センサBのCR発振を開始させます。

- 1(R) : 発振中
- 1(W) : 発振開始
- 0(R/W) : 停止(デフォルト)

抵抗性センサAC発振モード、容量性センサDC発振モードでは使用しません。

D1 SSENA: Sensor A Oscillation Start Trigger

センサAのCR発振を開始させます。

- 1(R) : 発振中
- 1(W) : 発振開始
- 0(R/W) : 停止(デフォルト)

D0 SREF: Reference Oscillation Start Trigger

基準素子のCR発振を開始させます。

- 1(R) : 発振中
- 1(W) : 発振開始
- 0(R/W) : 停止(デフォルト)

注: *1 RFCEN = 0(Disable)時、SREF/SSENA/SSENBは無効になりますので注意してください。

*2 SMODE = 1(RAC MODE)、2(CDC MODE)時、SSENBに1を書き込んでも発振をしませんので注意してください。

*3 SREF/SSENA/SSENBを同時に1にしないでください。必ず1ビットのみに書き込みを行って発振を開始してください。

*4 完了フラグ(EREFIF/ESENAIF/ESENBIF)、オーバーフローフラグ(OVMCIF/OVTCIF)をクリアしたあとに発振を開始してください。

0x53a4/0x53a6: RFC measurement Counter Data Register (RFC_MC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RFC Measurement Counter Data Register (RFC_MC)	0x53a4 (16 bits)	D15-0	MC15-0	Measurement counter data D15-0	0x0 to 0xffff	0	R/W	
		D15-8	—	reserved			R	0 when being read.
	0x53a6 (16 bits)	D7-0	MC23-16	Measurement counter data D23-16	0x0 to 0xff	0	R/W	

D[15:0] MC[23:0]: Measurement Counter Data

計測カウンタのデータの書き込み/読み出しができます(デフォルト0x000000)。

注: 計測カウンタは、下位の値からセットしてください。桁上がりにより上位の値が変化することがあります。

0x53a8/0x53aa: RFC Time Base Counter Data Register (RFC_TC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RFC Time Base Counter Data Register (RFC_TC)	0x53a8 (16 bits)	D15-0	TC15-0	Time base counter data D15-0	0x0 to 0xffff	0	R/W	
		D15-8	—	reserved		0	R	0 when being read.
	0x53aa (16 bits)	D7-0	TC23-16	Time base counter data D23-16	0x0 to 0xff	0	R/W	

D[15:0] TC[23:0]: Time Base Counter Data

タイムベースカウンタのデータの書き込み/読み出しができます(デフォルト0x000000)。

注: 計測カウンタは、下位の値からセットしてください。桁上がりにより上位の値が変化する場合があります。

0x53ac: RFC Interrupt Mask Register (RFC_IMSK)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
RFC Interrupt Enable Register (RFC_IMSK)	0x53ac (16 bits)	D15-5	–	Reserved	1	–	0	–	–	R	0 Read
		D4	OVTCIE	Time base Counter over flow error int Enable	1	Enable	0	Disable	0	R/W	
		D3	OVMCIE	Measurement counter over flow error int Enable	1	Enable	0	Disable	0	R/W	
		D2	ESENBIE	Sensor B oscillation End int Enable	1	Enable	0	Disable	0	R/W	
		D1	ESENAIE	Sensor A oscillation end int Enable	1	Enable	0	Disable	0	R/W	
		D0	EREFIE	Reference oscillation end flag int Enable	1	Enable	0	Disable	0	R/W	

D4 OVTCIE: Timer Base Counter Over Flow Error Interrupt Enable

タイムベースカウンタオーバーフローエラー割り込みの許可/禁止を設定します。

1 (R/W) : 許可

0 (R/W) : 禁止(デフォルト)

D3 OVMCIE: Measurement Counter Over Flow Error Interrupt Enable

計測カウンタオーバーフローエラー割り込みの許可/禁止を設定します。

1 (R/W) : 許可

0 (R/W) : 禁止(デフォルト)

D2 ESENBIE: Sensor B Oscillation End Interrupt Enable

センサB発振完了割り込みの許可/禁止を設定します。

1 (R/W) : 許可

0 (R/W) : 禁止(デフォルト)

D1 ESENAIE: Sensor A Oscillation End Interrupt Enable

センサA発振完了割り込みの許可/禁止を設定します。

1 (R/W) : 許可

0 (R/W) : 禁止(デフォルト)

D0 EREFIE: Reference Oscillation End Interrupt Enable

基準発振完了割り込みの許可/禁止を設定します。

1 (R/W) : 許可

0 (R/W) : 禁止(デフォルト)

0x53ae: RFC Interrupt Flag Register (RFC_IFLG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
RFC Interrupt Flag Register (RFC_IFLG)	0x53ae (16 bits)	D15-5	–	Reserved	–	–	–	0 when being read.	
		D4	OVTCIF	Time base counter over flow error int flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1
		D3	OVMCIF	Measurement counter over flow error int flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1
		D2	ESENBIF	Sensor B oscillation end int flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1
		D1	ESENAIF	Sensor A oscillation end int flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1
		D0	EREFIF	Reference oscillation end flag int flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1

D4 OVTCIF: Time Base Counter Over Flow Error Flag

タイムベースカウンタオーバーフローエラーフラグ。

- 1 (R) : エラー発生
- 1 (W) : 0にリセット
- 0 (R) : エラーなし(デフォルト)
- 0 (W) : 無効

D3 OVMCIF: Measurement Counter Over Flow Error Flag

計測カウンタオーバーフローエラーフラグ。

- 1 (R) : エラー発生
- 1 (W) : 0にリセット
- 0 (R) : エラーなし(デフォルト)
- 0 (W) : 無効

D2 ESENBIF: Sensor B Oscillation End Flag

センサB発振完了フラグ。

- 1 (R) : 発振完了
- 1 (W) : 0にリセット
- 0 (R) : 待機中(デフォルト)
- 0 (W) : 無効

D1 ESENAIF: Sensor A Oscillation End Flag

センサA発振完了フラグ。

- 1 (R) : 発振完了
- 1 (W) : 0にリセット
- 0 (R) : 待機中(デフォルト)
- 0 (W) : 無効

D0 EREFIF: Reference Oscillation End Flag

基準発振完了フラグ。

- 1 (R) : 発振完了
- 1 (W) : 0にリセット
- 0 (R) : 待機中(デフォルト)
- 0 (W) : 無効

24.7 注意事項

- TCCLKを有効にしてからR/F変換器の設定を行ってください。TCCLKが供給されないと、R/F変換器は正常に動作しません。
- 割り込みフラグレジスタがクリアされていない場合、発振開始できません。
- TC23-0に値をセットしてから、TCCLK 3周期分の時間を待った後に発振を開始してください。
- レジスタ設定に関する注意点は、制御レジスタ詳細内を参照してください。

25 電源電圧検出回路(SVD)

25.1 SVDモジュールの構成

S1C17601は電源電圧の低下を検出するSVD(電源電圧検出)回路を内蔵しています。SVD回路のOn/Off、比較電圧の設定、検出結果の読み出しはソフトウェアによって行えます。また、電圧低下を検出した場合に割り込みを発生させることもできます。

図25.1.1にSVD回路の構成を示します。

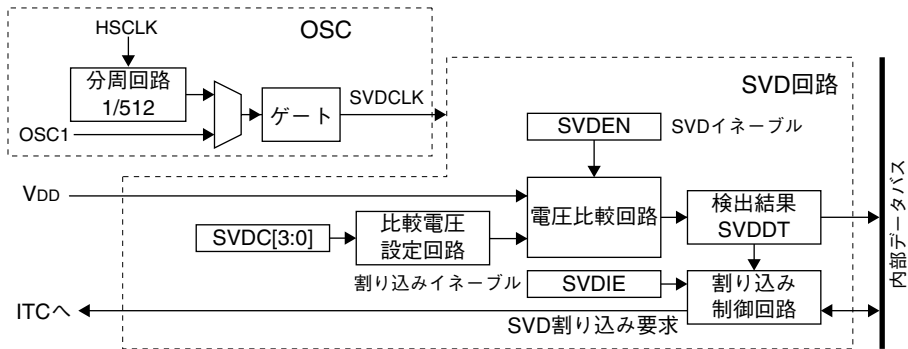


図25.1.1 SVD回路の構成

SVDクロックの供給システムを図25.1.2に示します。

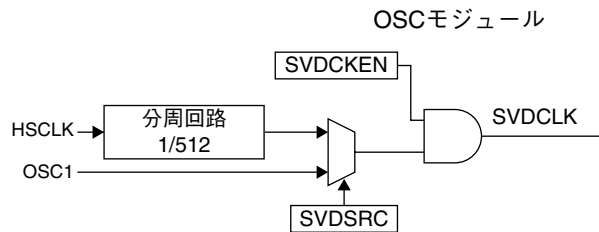


図25.1.2 SVDクロックの供給システム

25.2 SVDクロック

SVDの動作クロック(SXDCLK)は、OSCモジュール内のSVDクロックジェネレータが生成します。OSCモジュールの詳細については、“7 発振回路(OSC)”を参照してください。

SVDモジュール内へのレジスタ書き込み、割り込みの発生には周辺モジュールクロック(PCLK)が必要になります。PCLKの詳細は“8 クロックジェネレータ(CLG)”の章、周辺モジュールクロック(PCLK)の制御の節を参照してください。

25.3 比較電圧の設定

SVD回路はソフトウェアによって設定した比較電圧と電源電圧(V_{DD})の比較を行い、電源電圧が比較電圧以上あるか否かを結果として出力します。比較電圧はSVDC[3:0](D[3:0]/SVD_CMPレジスタ)によって表25.3.1の13種類から選択できます。

* **SVDC[3:0]**: SVD Compare Voltage Select Bits in the SVD Compare Voltage (SVD_CMP) Register (D[3:0]/0x5101)

表25.3.1 比較電圧の設定

SVDC[3:0]	比較電圧
0xf	3.2V
0xe	3.1V
0xd	3.0V
0xc	2.9V
0xb	2.8V
0xa	2.7V
0x9	2.6V
0x8	2.5V
0x7	2.4V
0x6	2.3V
0x5	2.2V
0x4	2.1V
0x3	2.0V
0x2	1.9V
0x1	1.8V
0x0	reserved

(デフォルト: 0x0)

25.4 SVD回路の制御

SVD回路による電源電圧の検出動作はSVDEN(D0/SVD_ENレジスタ)に1を書き込むことによって開始し、0を書き込むことによって停止します。

* **SVDEN**: SVD Enable Bit in the SVD Enable (SVD_EN) Register (D0/0x5100)

検出結果はSVDDT(D0/SVD_RSLTレジスタ)から読み出すことができます。

* **SVDDT**: SVD Detection Result Bit in the SVD Detection Result (SVD_RSLT) Register (D0/0x5102)

検出結果とSVDDTの読み出し値は次のとおりです。

- 電源電圧(V_{DD}) \geq 比較電圧の場合、SVDDT = 0
- 電源電圧(V_{DD}) $<$ 比較電圧の場合、SVDDT = 1

また、SVD割り込みを許可してSVDENを1に設定した場合、電源電圧が比較電圧を下回り、検出結果が1となった時点で割り込みが発生します。この割り込みを利用して、電池消耗の表示や重負荷保護の設定を行うことが可能です。割り込みの制御については次節を参照してください。

なお、一時的な電圧低下で割り込みが発生した場合、その後電圧が比較値以上に戻っても割り込みは解除されません。割り込み処理ルーチン内で、SVDDTを読み出して確認してください。

- 注:
- SVDEN(D0/SVD_ENレジスタ)を0から1に変更後、安定した検出結果が得られるまでにはSVD回路イネーブル時応答時間が必要です。また、SVDC[3:0](D3-0/SVD_CMPレジスタ)を変更した場合も、安定した検出結果が得られるまでにはSVD回路応答時間が必要です。これらの応答時間については“28.6 SVD回路特性”を参照してください。
 - SVD回路を動作させると消費電流が増加します。電源電圧の検出が不要な場合は、SVDENを0に設定してSVD動作を停止してください。

25.5 SVD割り込み

SVDモジュールには、電源電圧の低下を検出した場合に割り込みを発生させる機能があります。

電源電圧低下検出割り込み

この割り込み要求は、SVD動作中(SVDEN(D0/SVD_ENレジスタ) = 1)に電源電圧(V_{DD})の検出値が比較電圧より低くなった時点で発生し、SVDモジュール内の割り込みフラグSVDIF(D0/SVD_IFLGレジスタ)を1にセットします。セットされたSVDIFは、その後電源電圧が比較値以上に戻ってもリセットされません。

* **SVDIF**: SVD Interrupt Flag in the SVD Interrupt Flag (SVD_IFLG) Register (D0/0x5104)

この割り込みを使用するには、SVDIE(D0/SVD_IMSKレジスタ)を1に設定します。SVDIEが0(デフォルト)に設定されていると、この要因による割り込み要求は割り込みコントローラ(ITC)に送られません。

* **SVDIE**: SVD Interrupt Enable Bit in the SVD Interrupt Mask (SVD_IMSK) Register (D0/0x5103)

SVDIEが1(割り込み許可)に設定されている状態で、SVDIFが1にセットされるとSVDモジュールは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

- 注:
- SVD割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、SVDモジュール内の割り込みフラグSVDIFをリセットする必要があります。
 - 不要な割り込みの発生を防止するため、SVDIEによってSVD割り込みを許可する前に、SVDIFをリセットしてください。

割り込みベクタ

SVD割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号: 9(0x09)

ベクタアドレス: TTBR + 0x24

その他の割り込み設定

ITCではSVD割り込みの優先順位をレベル0(デフォルト)～レベル7に設定可能です。また、実際に割り込みを発生させるにはPSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットを1に設定しておく必要があります。

割り込み処理の詳細については、“6 割り込みコントローラ(ITC)”を参照してください。

25.6 制御レジスタ詳細

表25.6.1 SVDレジスタ一覧

アドレス	レジスタ名		機能
0x5100	SVD_EN	SVD Enable Register	SVD動作の許可
0x5101	SVD_CMP	SVD Compare Voltage Register	比較電圧の設定
0x5102	SVD_RSLT	SVD Detection Result Register	電圧検出結果
0x5103	SVD_IMSK	SVD Interrupt Mask Register	割り込みマスクの設定
0x5104	SVD_IFLG	SVD Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、SVDモジュールのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5100: SVD Enable Register (SVD_EN)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SVD Enable Register (SVD_EN)	0x5100 (8 bits)	D7-1	–	reserved	–	–	–	0 when being read.
		D0	SVDEN	SVD enable	1 Enable 0 Disable	0	R/W	

D[7:1] Reserved**D0 SVDEN: SVD Enable Bit**

SVD回路の動作を許可/禁止します。

1 (R/W): 許可

0 (R/W): 禁止 (デフォルト)

SVDENを1に設定すると電源電圧の検出を開始し、0に設定すると停止します。

- 注:
- SVDENを0から1に変更後、安定した検出結果が得られるまでにはSVD回路イネーブル時応答時間が必要です。また、SVDC[3:0] (D3-0/SVD_CMPレジスタ)を変更した場合も、安定した検出結果が得られるまでにはSVD回路応答時間が必要です。これらの応答時間については“28.6 SVD回路特性”を参照してください。
 - SVD回路を動作させると消費電流が増加します。電源電圧の検出が不要な場合は、SVDENを0に設定してSVD動作を停止してください。

0x5101: SVD Compare Voltage Register (SVD_CMP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
SVD Compare Voltage Register (SVD_CMP)	0x5101 (8 bits)	D7-4	–	reserved	–	–	–	0 when being read.	
		D3-0	SVDC[3:0]	SVD compare voltage	SVDC[3:0]	Voltage	0x0		R/W
					0xf	3.2 V			
					0xe	3.1 V			
					0xd	3.0 V			
					0xc	2.9 V			
					0xb	2.8 V			
					0xa	2.7 V			
					0x9	2.6 V			
					0x8	2.5 V			
					0x7	2.4 V			
					0x6	2.3 V			
					0x5	2.2 V			
					0x4	2.1 V			
					0x3	2.0 V			
					0x2	1.9 V			
			0x1	1.8 V					
			0x0	reserved					

D[7:4] Reserved

D[3:0] SVDC[3:0]: SVD Compare Voltage Select Bits

電圧低下を検出するための比較電圧を15種類から選択します。

表25.6.2 比較電圧の設定

SVDC[3:0]	比較電圧
0xf	3.2V
0xe	3.1V
0xd	3.0V
0xc	2.9V
0xb	2.8V
0xa	2.7V
0x9	2.6V
0x8	2.5V
0x7	2.4V
0x6	2.3V
0x5	2.2V
0x4	2.1V
0x3	2.0V
0x2	1.9V
0x1	1.8V
0x0	reserved

(デフォルト: 0x0)

SVD回路はSVDC[3:0]によって設定した比較電圧と電源電圧(V_{DD})の比較を行い、電源電圧が比較電圧以上あるか否かを結果として出力します。

0x5102: SVD Detection Result Register (SVD_RSLT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
SVD Detection Result Register (SVD_RSLT)	0x5102 (8 bits)	D7-1	–	reserved	–		–	–	0 when being read.
		D0	SVDDT	SVD detection result	1 Low	0 Normal	×	R	

D[7:1] Reserved**D0 SVDDT: SVD Detection Result Bit**

電源電圧の検出結果が読み出せます。

1(R): 電源電圧(V_{DD}) < 比較電圧

0(R): 電源電圧(V_{DD}) ≥ 比較電圧

SVDEN(D0/SVD_ENレジスタ) = 1の間、SVD回路は電源電圧(V_{DD})をSVDC[3:0](D[3:0]/SVD_CMPレジスタ)で設定した電圧値と比較します。SVDDTを読み出すことにより、現在の電源電圧の状態を確認できます。

0x5103: SVD Interrupt Mask Register (SVD_IMSK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SVD Interrupt Mask Register (SVD_IMSK)	0x5103 (8 bits)	D7-1	—	reserved	—	—	—	0 when being read.
		D0	SVDIE	SVD interrupt enable	1 Enable 0 Disable	0	R/W	

D[7:1] Reserved**D0 SVDIE: SVD Interrupt Enable Bit**

電源電圧低下検出時の割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

SVDIEを1に設定するとITCへのSVD割り込み要求が許可され、0に設定すると割り込みが禁止されます。

0x5104: SVD Interrupt Flag Register (SVD_IFLG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SVD Interrupt Flag Register (SVD_IFLG)	0x5104 (8 bits)	D7-1	–	reserved	–	–	–	0 when being read.
		D0	SVDIF	SVD interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

D[7:1] **Reserved**

D0 SVDIF: SVD Interrupt Flag

電源電圧低下検出割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり
- 0(R): 割り込み要因なし(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無効

SVDIFはSVDモジュールの割り込みフラグで、電源電圧の低下を検出すると1にセットされます。このとき、SVDIE(D0/SVD_IMSKレジスタ)が1に設定されていれば、ITCに対してSVD割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

SVDIFは1の書き込みによりリセットされます。

- 注:
- SVD割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、SVDモジュール内の割り込みフラグSVDIFをリセットする必要があります。
 - 不要な割り込みの発生を防止するため、SVDIE(D0/SVD_IMSKレジスタ)によってSVD割り込みを許可する前に、SVDIFをリセットしてください。

25.7 注意事項

- SVD回路が動作を開始後、安定した検出結果が得られるまでに最大500 μ sの時間が必要です。割り込みを使用せずに検出結果を読み出す場合は、SVDEN(D0/SVD_ENレジスタ)に1を書き込み後、SVDDT(D0/SVD_RSLTレジスタ)を読み出す前にこの安定待ち時間を取ってください。
- SVD回路を動作させると消費電流が増加します。電源電圧の検出が不要な場合は、SVDEN(D0/SVD_ENレジスタ)を0に設定してSVD動作を停止してください。
- SVD割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、SVDモジュール内の割り込みフラグSVDIF(D0/SVD_IFLGレジスタ)をリセットする必要があります。
- 不要な割り込みの発生を防止するため、SVDIE(D0/SVD_IMSKレジスタ)によってSVD割り込みを許可する前に、SVDIF(D0/SVD_IFLGレジスタ)をリセットしてください。
- SVD動作のためには、SVDCLKクロックが供給されている必要があります。SVDCLK供給元のOSC1, OSC3, IOSCの内必要な発振が停止している場合は発振を開始させ、発振開始時間と発振安定時間が経過した後にSVD回路を動作させてください。

26 オンチップデバッガ(DBG)

26.1 リソース要件とデバッグツール

デバッグ用ワークエリア

デバッグを行うには、64バイトのデバッグ用ワークエリアが必要です。S1C17601ではRAM内のアドレス0x0007c0～0x0007ffがデバッグ用ワークエリアに設定されています。デバッグ機能を使用する場合、この領域をユーザプログラムからは使用しないでください。

このデバッグ用ワークエリアのスタートアドレスはDBRAMレジスタ(0xffff90)から読み出すことができます。

デバッグツール

デバッグは、S1C17601のデバッグ端子にS5U1C17001H(ICD Mini)等のICD(In-Circuit Debugger)を接続し、パソコン上のデバッガからデバッグコマンドを入力して行います。このため、以下のツールが必要です。

- S1C17 Family In-Circuit Debugger(S5U1C17001H等)
- S1C17 Family Cコンパイラパッケージ(S5U1C17001C等)

デバッグ端子

ICD(S5U1C17001H等)との接続に以下のデバッグ端子を使用します。

表26.1.1 デバッグ端子一覧

端子名	I/O	本数	機能
DCLK(P27)	O	1	オンチップデバッグクロック出力端子 ICD Mini(S5U1C17001H)にクロックを出力します。
DSIO(P25)	I/O	1	オンチップデバッグデータ入出力端子 デバッグ用データの入出力およびブレイク信号の入力に使用します。
DST2(P26)	O	1	オンチップデバッグステータス信号出力端子 デバッグ中のプロセッサの状態を出力します。

オンチップデバッガの入出力端子(DCLK、DST2、DSIO)は汎用入出力ポート端子(P27、P26、P25)を兼用しており、初期状態ではデバッグ端子に設定されます。デバッグ機能を使用しない場合は、P2_PMUXレジスタの設定により、これらの端子を汎用入出力ポート端子に切り換えることができます。以下の制御ビットを1に設定することにより、端子が汎用入出力ポート用に切り換わります。

DCLK → P27

- * **P27MUX**: P27 Port Function Select Bit in the P2 Port Function Select (P2_PMUX) Register (D6/0x52a5)

DST2 → P26

- * **P26MUX**: P26 Port Function Select Bit in the P2 Port Function Select (P2_PMUX) Register (D4/0x52a5)

DSIO → P25

- * **P25MUX**: P25 Port Function Select Bit in the P2 Port Function Select (P2_PMUX) Register (D2/0x52a5)

端子の機能と切り換えの詳細については、“10.2 入出力端子機能の選択(ポートMUX)”を参照してください。

26.2 デバッグブ레이크時の動作状態

brk命令の実行、またはDSIO端子へのブ레이크信号(Low)入力によりデバッグ割り込みが発生すると、S1C17コアはデバッグモードに入ります。この状態はreted命令が実行されるまで続きます。

この間、ハードウェア割り込みおよびNMIは受け付けられません。

デフォルト設定では、周辺回路の動作は停止します。これをデバッグ中でも動作するように変更することができます。

LCDドライバ、R/Fコンバータ、SVDはデバッグ割り込み発生時の状態を継続します。

プリスケアラ出力クロックで動作する周辺回路

- 8ビットタイマ
- 16ビットタイマ
- PWMタイマ
- Pポート
- UART
- SPI
- PC(マスタ/スレーブ)
- ADC

デフォルト設定では、デバッグモード時にプリスケアラが停止します。そのため、プリスケアラ出力クロックを使用する上記の周辺回路も停止します。プリスケアラには、デバッグモード時のプリスケアラの動作を指定するPRUND(D1/PSC_CTLレジスタ)が用意されています。PRUNDを1に設定すると、プリスケアラはデバッグモード時も動作します。これにより、上記の周辺回路も動作可能となります。PRUNDが0(デフォルト)の場合、S1C17コアがデバッグモードになった時点でプリスケアラおよび上記の周辺回路は停止します。

* **PRUND**: Prescaler Run/Stop Setting (in Debug Mode) Bit in the Prescaler Control (PSC_CTL) Register (D1/0x4020)

OSC1クロックで動作する周辺回路

- 計時タイマ
- ウォッチドッグタイマ
- ストップウォッチタイマ
- 8ビットOSC1タイマ

MISCレジスタに、デバッグモード時のOSC1周辺回路(上記)の動作を指定するO1DBG(D0/MISC_OSC1レジスタ)が用意されています。O1DBGを1に設定すると、OSC1周辺回路はデバッグモード時も動作します。O1DBGが0(デフォルト)の場合、S1C17コアがデバッグモードになった時点でOSC1周辺回路は停止します。

* **O1DBG**: OSC1 Peripheral Control (in Debug Mode) Bit in the OSC1 Peripheral Control (MISC_OSC1) Register (D0/0x5322)

26.3 追加デバッグ機能

S1C17コアが持つオンチップデバッグ機能に対し、S1C17601では以下の機能拡張を行っています。

デバッグモード時の分岐先

デバッグ割り込みが発生するとS1C17コアはデバッグモードに入り、デバッグ処理ルーチンに分岐します。このとき、S1C17コアは0xffffc00番地に分岐するように設計されています。S1C17601ではこの分岐先に加え、0x0番地(内蔵RAM先頭アドレス)をデバッグモード時の分岐先に指定することが可能です。どちらのアドレスに分岐させるかについては、DBADR(D8/MISC_IRAMSZレジスタ)で選択します。DBADRが"0"(デフォルト)の場合は0xffffc00番地、"1"に設定すると0x0番地が選択されます。

* **DBADR**: Debug Base Address Select Bit in the IRAM Size Select (MISC_IRAMSZ) Register (D8/0x5326)

命令ブレーク本数の追加

S1C17コアは2本の命令ブレーク(ハードウェアPCブレーク)に対応しています。S1C17601ではこれを5本に増やしています。このため、以下の制御ビットとレジスタが追加されています。

- * **IBE2**: Instruction Break #2 Enable Bit in the Debug Control (DCR) Register (D5/0xffffa0)
- * **IBE3**: Instruction Break #3 Enable Bit in the Debug Control (DCR) Register (D6/0xffffa0)
- * **IBE4**: Instruction Break #4 Enable Bit in the Debug Control (DCR) Register (D7/0xffffa0)
- * **IBAR2[23:0]**: Instruction Break Address #2 Bits in the Instruction Break Address (IBAR2) Register 2 (D[23:0]/0xffffb8)
- * **IBAR3[23:0]**: Instruction Break Address #3 Bits in the Instruction Break Address (IBAR3) Register 3 (D[23:0]/0xffffbc)
- * **IBAR4[23:0]**: Instruction Break Address #4 Bits in the Instruction Break Address (IBAR4) Register 4 (D[23:0]/0xffffd0)

なお、5本のハードウェアPCブレーク(ユーザー 4本、予約1本)を使用するには、S1C17ソフトウェア統合開発環境GNU17(Ver 1.2.1)以降をインストールする必要があります。

26.4 制御レジスタ詳細

表26.4.1 デバッグ用レジスタ一覧

アドレス	レジスタ名		機能
0x5322	MISC_OSC1	OSC1 Peripheral Control Register	デバッグ時のOSC1動作周辺機能の設定
0x5326	MISC_IRAMSZ	IRAM Size Select Register	IRAMサイズの選択
0xffff90	DBRAM	Debug RAM Base Register	デバッグRAMベースアドレスの表示
0xffffa0	DCR	Debug Control Register	デバッグ制御
0xffffb8	IBAR2	Instruction Break Address Register 2	命令ブレークアドレス#2の設定
0xffffbc	IBAR3	Instruction Break Address Register 3	命令ブレークアドレス#3の設定
0xffffd0	IBAR4	Instruction Break Address Register 4	命令ブレークアドレス#4の設定

以下、デバッグ用のレジスタを個々に説明します。

- 注:
- レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。
 - ここに記載されていないデバッグ用レジスタについては、“S1C17コアマニュアル”を参照してください。

0x5322: OSC1 Peripheral Control Register (MISC_OSC1)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
OSC1 Peripheral Control Register (MISC_OSC1)	0x5322 (16 bits)	D15-1	—	reserved	—			—	—	0 when being read.
		D0	O1DBG	OSC1 peripheral control in debug mode	1	Run	0	Stop	0	R/W

D[7:1] Reserved**D0 O1DBG: OSC1 Peripheral Control in Debug Mode Bit**

デバッグモード時のOSC1周辺回路の動作を設定します。

1 (R/W): 動作

0 (R/W): 停止 (デフォルト)

OSC1周辺回路はOSC1クロックで動作する以下の周辺回路のことです。

- 計時タイマ
- ウォッチドッグタイマ
- ストップウォッチタイマ
- 8ビットOSC1タイマ

0x5326: IRAM Size Select Register (MISC_IRAMSZ)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
IRAM Size Select Register (MISC_IRAMSZ)	0x5326 (16 bits)	D15-3	–	reserved	–	–	–	0 when being read.
		D8	DBADR	Debug base address select	1 0x0 0 0xffc00	0	R/W	
		D6-4	IRAMACTSZ [2:0]	IRAM actual size register	0x3:2KB	0x3	R	
		D2-0	IRAMSZ[2:0]	IRAM size select	IRAMSZ[2:0] Read cycle 0x7 reserved 0x6 reserved 0x5 512B 0x4 1KB 0x3 2KB 0x2 reserved 0x1 reserved 0x0 reserved	0x3	R/W	

D[15:9] Reserved**D8 DBADR: Debug Base Address Select Bit**

デバッグ割り込み発生時の分岐先アドレスを選択します。

1(R/W): 0x0

0(R/W): 0xffc00(デフォルト)

D7 Reserved**D[6:4] IRAMACTSZ[2:0]: IRAM Actual Size Bits**

実装されている内蔵RAMのサイズを示しています。

D3 Reserved**D[2:0] IRAMSZ[2:0]: IRAM Size Select Bits**

使用する内蔵RAMのサイズを選択します。

表26.4.2 内蔵RAMサイズの選択

IRAMSZ[2:0]	内蔵RAMサイズ
0x7	reserved
0x6	reserved
0x5	512B
0x4	1KB
0x3	2KB
0x2	reserved
0x1	reserved
0x0	reserved

(デフォルト: 0x3)

注: IRAM Size Select Registerは書き込み保護されています。このレジスタを書き換えるには、MISC Protect Register(0x5324)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、IRAM Size Select Registerの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はMISC Protect Register(0x5324)を0x96以外に設定してください。

0xffff90: Debug RAM Base Register (DBRAM)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Debug RAM Base Register (DBRAM)	0xffff90 (32 bits)	D31-24	–	Unused (fixed at 0)	0x0	0x0	R	
		D23-0	DBRAM[23:0]	Debug RAM base address	0x07c0	0x07c0	R	

D[31:24] 未使用(0固定)

D[23:0] **DBRAM[23:0]: Debug RAM Base Address Bits**

デバッグ用ワークエリア(64バイト)の先頭アドレスが格納されるリードオンリレジスタです。

0xffffa0: Debug Control Register (DCR)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Debug Control Register (DCR)	0xffffa0 (8 bits)	D7	IBE4	Instruction break #4 enable	1	Enable	0	Disable	0	R/W	Reset by writing 1.
		D6	IBE3	Instruction break #3 enable	1	Enable	0	Disable	0	R/W	
		D5	IBE2	Instruction break #2 enable	1	Enable	0	Disable	0	R/W	
		D4	DR	Debug request flag	1	Occurred	0	Not occurred	0	R/W	
		D3	IBE1	Instruction break #1 enable	1	Enable	0	Disable	0	R/W	
		D2	IBE0	Instruction break #0 enable	1	Enable	0	Disable	0	R/W	
		D1	SE	Single step enable	1	Enable	0	Disable	0	R/W	
		D0	DM	Debug mode	1	Debug mode	0	User mode	0	R	

D7 IBE4: Instruction Break #4 Enable Bit

命令ブレイク#4を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとInstruction Break Address Register 4 (0xffffd0)の設定値が比較され、一致すると命令ブレイクが発生します。このビットを0に設定すると、比較は行われません。

D6 IBE3: Instruction Break #3 Enable Bit

命令ブレイク#3を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとInstruction Break Address Register 3 (0xffffbc)の設定値が比較され、一致すると命令ブレイクが発生します。このビットを0に設定すると、比較は行われません。

D5 IBE2: Instruction Break #2 Enable Bit

命令ブレイク#2を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとInstruction Break Address Register 2 (0xffffb8)の設定値が比較され、一致すると命令ブレイクが発生します。このビットを0に設定すると、比較は行われません。

D4 DR: Debug Request Flag

外部からのデバッグ要求の有無を示します。

1(R): 発生

0(R): なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

このフラグは、1の書き込みでクリア(0にリセット)されます。デバッグ処理ルーチンをretd命令で終了する前にクリアしておく必要があります。

D3 IBE1: Instruction Break #1 Enable Bit

命令ブレイク#1を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとInstruction Break Address Register 1 (0xffffb4)の設定値が比較され、一致すると命令ブレイクが発生します。このビットを0に設定すると、比較は行われません。

D2 IBE0: Instruction Break #0 Enable Bit

命令ブレーク#0を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとInstruction Break Address Register 0 (0xffffb0)の設定値が比較され、一致すると命令ブレークが発生します。このビットを0に設定すると、比較は行われません。

D1 SE: Single Step Enable Bit

シングルステップ動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

D0 DM: Debug Mode Bit

プロセッサの動作モード(デバッグモードまたはユーザモード)を示します。

1(R): デバッグモード

0(R): ユーザモード(デフォルト)

0xffffb8: Instruction Break Address Register 2 (IBAR2)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Instruction Break Address Register 2 (IBAR2)	0xffffb8 (32 bits)	D31-24	-	reserved		-	-	0 when being read.
		D23-0	IBAR2[23:0]	Instruction break address #2 IBAR223 = MSB IBAR20 = LSB	0x0 to 0xffff	0x0	R/W	

D[31:24] Reserved**D[23:0] IBAR2[23:0]: Instruction Break Address #2 Bits**

命令ブレークアドレス#2を設定します。(デフォルト: 0x000000)

0xffffbc: Instruction Break Address Register 3 (IBAR3)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Instruction Break Address Register 3 (IBAR3)	0xffffbc (32 bits)	D31-24	–	reserved	–	–	–	0 when being read.
		D23-0	IBAR3[23:0]	Instruction break address #3 IBAR323 = MSB IBAR30 = LSB	0x0 to 0xfffff	0x0	R/W	

D[31:24] Reserved**D[23:0] IBAR3[23:0]: Instruction Break Address #3 Bits**

命令ブレイクアドレス#3を設定します。(デフォルト: 0x000000)

0xffffd0: Instruction Break Address Register 4 (IBAR4)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Instruction Break Address Register 4 (IBAR4)	0xffffd0 (32 bits)	D31-24	–	reserved	–	–	–	0 when being read.
		D23-0	IBAR4[23:0]	Instruction break address #4 IBAR423 = MSB IBAR40 = LSB	0x0 to 0xffff	0x0	R/W	

D[31:24] Reserved**D[23:0] IBAR4[23:0]: Instruction Break Address #4 Bits**

命令ブレークアドレス#4を設定します。(デフォルト: 0x000000)

27 乗除算器

27.1 概要

S1C17601は、符号付き/符号なし16×16ビット乗算機能、16÷16ビット除算機能、オーバーフロー検出が可能な符号付き16×16ビット+32ビット積和演算(MAC, Multiply and Accumulator)機能を提供するコプロセッサを内蔵しています。

ここでは、これらの機能の使用方法について説明します。

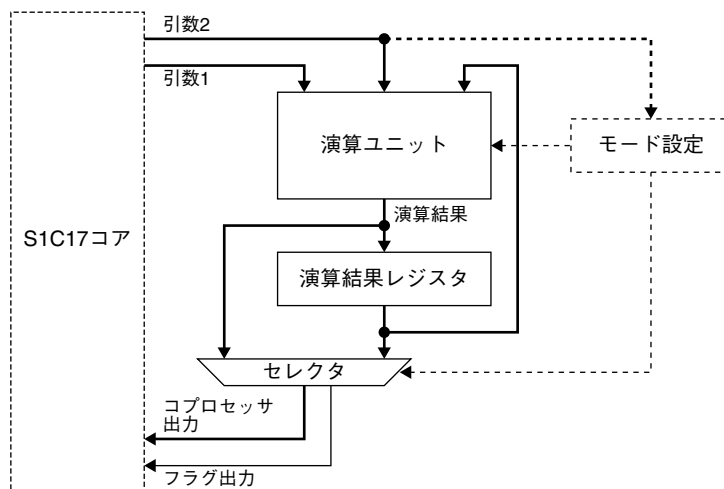


図27.1.1 乗除算器ブロック図

表27.1.1 演算サイクル数

演算	サイクル数
乗算	1サイクル
積和演算	1サイクル
除算	17~20サイクル

27.2 動作モードと出力モード

乗除算器はアプリケーションプログラムによって指定される動作モードに従って動作します。表27.2.1に示すとおり、乗除算器は9種類の動作に対応しています。

乗算、除算、積和演算の演算結果は32ビットデータです。このため、S1C17コアは1回のアクセスで結果を読み出すことができません。出力モードは、乗除算器から演算結果の上位16ビットを読み出すか、下位16ビットを読み出すかを指定するために用意されています。

動作モードと出力モードは、7ビットのデータを乗除算器内のモード設定レジスタに書き込むことにより指定します。書き込みには“ld.cw”命令を使用してください。

```
ld.cw  %rd,%rs      %rs[6:0]がモード設定レジスタに書き込まれます。( %rd: 未使用)
ld.cw  %rd,imm7    imm7[6:0]がモード設定レジスタに書き込まれます。( %rd: 未使用)
```

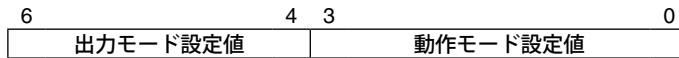


図27.2.1 モード設定レジスタ

表27.2.1 モード設定

設定値 (D[6:4])	出力モード	設定値 (D[3:0])	動作モード
0x0	下位16ビット出力モード コプロセッサ出力として、演算結果の下位16ビットが読み出せます。	0x0	初期化モード0 演算結果レジスタを0x0にクリアします。
0x1	上位16ビット出力モード コプロセッサ出力として、演算結果の上位16ビットが読み出せます。	0x1	初期化モード1 演算用の16ビット被加数を演算結果レジスタの下位16ビットにロードします。
0x2~0x7	Reserved	0x2	初期化モード2 演算用の32ビット被加数を演算結果レジスタにロードします。
		0x3	演算結果読み出しモード 演算は行わずに、演算結果レジスタのデータを出力します。
		0x4	符号なし乗算モード 符号なし乗算を実行します。
		0x5	符号付き乗算モード 符号付き乗算を実行します。
		0x6	Reserved
		0x7	符号付き積和演算モード 符号付き積和演算を実行します。
		0x8	符号なし除算モード 符号なし除算を実行します。
		0x9	符号付き除算モード 符号付き除算を実行します。
		0xa~0xf	Reserved

27.3 乗算

乗算機能は、“ $A(32\text{ビット}) = B(16\text{ビット}) \times C(16\text{ビット})$ ”を実行します。

乗算を実行するには、動作モードを0x4(符号なし乗算)または0x5(符号付き乗算)に設定します。その後、16ビット被乗数(B)と16ビット乗数(C)を、“ld.ca”命令を使用して乗除算器に転送します。演算結果の1/2(出力モードに従った16ビット、A[15:0]またはA[31:16])とフラグの状態がCPUレジスタに返ります。演算結果の残りの1/2は、乗除算器を演算結果読み出しモードに設定して読み出します。

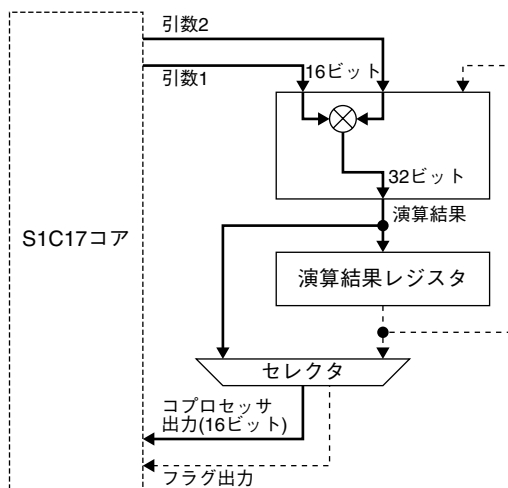


図27.3.1 乗算モードのデータ経路

表27.3.1 乗算モードの動作

モード設定値	命令	動作	フラグ	備考
0x04 または 0x05	ld.ca %rd, %rs	res[31:0] ← %rd × %rs %rd ← res[15:0]	psr (CVZN) ← 0b0000	演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。
	(ext imm9) ld.ca %rd, imm7	res[31:0] ← %rd × imm7/16 %rd ← res[15:0]		
0x14 または 0x15	ld.ca %rd, %rs	res[31:0] ← %rd × %rs %rd ← res[31:16]		
	(ext imm9) ld.ca %rd, imm7	res[31:0] ← %rd × imm7/16 %rd ← res[31:16]		

res: 演算結果レジスタ

例:

```
ld.cw %r0, 0x4 ; モード設定(符号なし乗算モード & 下位16ビット出力モード)
ld.ca %r0, %r1 ; “res = %r0 × %r1”を実行し、結果の下位16ビットを%r0レジスタにロード
ld.cw %r0, 0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード)
ld.ca %r1, %r0 ; 結果の上位16ビットを%r1レジスタにロード
```

27.4 除算

除算機能は、“ $A(16\text{ビット}) = B(16\text{ビット}) \div C(16\text{ビット}), D(16\text{ビット}) = \text{余り}$ ”を実行します。除算を実行するには、動作モードを0x8(符号なし除算)または0x9(符号付き除算)に設定します。その後、16ビット被除数(B)と16ビット除数(C)を、“ld.ca”命令を使用して乗除算器に転送します。商が演算結果レジスタの下位16ビットに、余りが上位16ビットに入ります。演算が終了すると、出力モードで指定した商または余りの16ビットとフラグの状態がCPUレジスタに戻ります。演算結果の残りの16ビットは、乗除算器を演算結果読み出しモードに設定して読み出します。

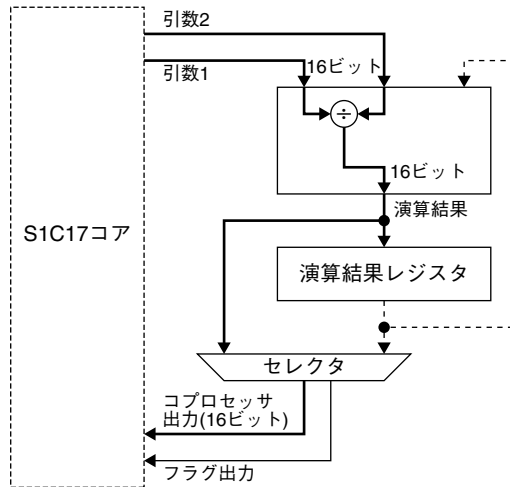


図27.4.1 除算モードのデータ経路

表27.4.1 除算モードの動作

モード設定値	命令	動作	フラグ	備考
0x08 または 0x09	ld.ca %rd, %rs (ext imm9) ld.ca %rd, imm7	res[31:0] ← %rd ÷ %rs %rd ← res[15:0](商) %rd ← res[15:0](商)	psr (CVZN) ← 0b0000	演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。
0x18 または 0x19	ld.ca %rd, %rs (ext imm9) ld.ca %rd, imm7	res[31:0] ← %rd ÷ %rs %rd ← res[31:16](余り) res[31:0] ← %rd ÷ imm7/16 %rd ← res[31:16](余り)		

res: 演算結果レジスタ

例:

- ld.cw %r0, 0x8 ; モード設定(符号なし除算モード & 下位16ビット出力モード)
- ld.ca %r0, %r1 ; “res = %r0 ÷ %r1”を実行し、結果の下位16ビット(商)を%r0レジスタにロード
- ld.cw %r0, 0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード)
- ld.ca %r1, %r0 ; 結果の上位16ビット(余り)を%r1レジスタにロード

27.5 積和演算

積和演算機能は、“ $A(32\text{ビット}) = B(16\text{ビット}) \times C(16\text{ビット}) + A(32\text{ビット})$ ”を実行します。積和演算を実行する前に初期値(A)を演算結果レジスタに設定しておく必要があります。演算結果レジスタをクリアするには(A = 0)、動作モードを0x0に設定します。別の命令で乗除算器に0x0を送る必要はありません。

16ビット値または32ビット値を演算結果レジスタにロードするには、動作モードを0x1(16ビット)または0x2(32ビット)に設定します。その後、“ld.cf”命令で初期値を乗除算器に送ります。

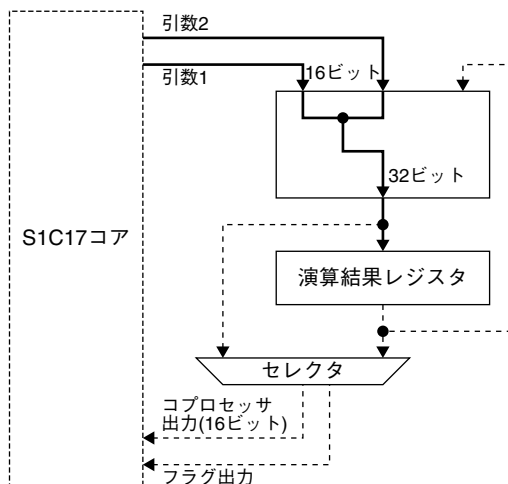


図27.5.1 初期化モード時のデータ経路

表27.5.1 演算結果レジスタの初期化

モード設定値	命令	動作	備考
0x0	—	res[31:0] ← 0x0	動作モードの設定のみ(データの送信なし)で初期化を行います。
0x1	ld.cf %rd,%rs	res[31:16] ← 0x0 res[15:0] ← %rs	
	(ext imm9) ld.cf %rd,imm7	res[31:16] ← 0x0 res[15:0] ← imm7/16	
0x2	ld.cf %rd,%rs	res[31:16] ← %rd res[15:0] ← %rs	
	(ext imm9) ld.cf %rd,imm7	res[31:16] ← %rd res[15:0] ← imm7/16	

res: 演算結果レジスタ

積和演算を実行するには、動作モードを0x7(符号付き積和演算)に設定します。その後、16ビット被乗数(B)と16ビット乗数(C)を、“ld.ca”命令を使用して乗除算器に転送します。演算結果の1/2(出力モードに従った16ビット、A[15:0]またはA[31:16])とフラグの状態がCPUレジスタに戻ります。演算結果の残りの1/2は、乗除算器を演算結果読み出しモードに設定して読み出します。

演算結果により、PSRのオーバーフローフラグ(V)が1にセットされます。その他のフラグは0にクリアされます。

演算結果読み出しモードに移行せずに積和演算を継続する場合は、被乗数と乗数を必要な回数分送ります。この場合、データ送信のたびに積和演算モードに設定する必要はありません。

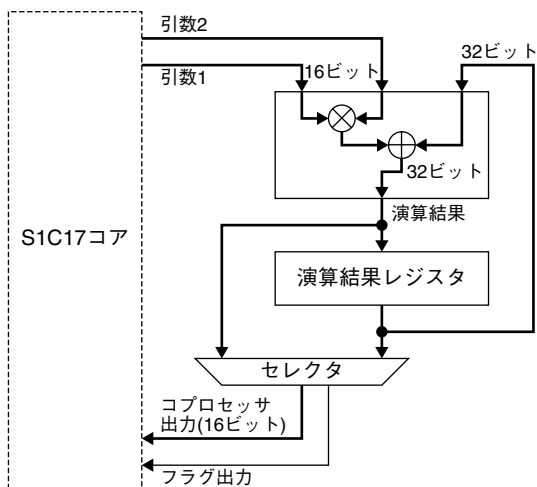


図27.5.2 積和演算モード時のデータ経路

表27.5.2 積和演算モードの動作

モード設定値	命令	動作	フラグ	備考
0x07	ld.ca %rd,%rs	res[31:0] ← %rd × %rs + res[31:0] %rd ← res[15:0]	オーバーフローが発生した場合 psr (CVZN) ← 0b0100	演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。
	(ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd × imm7/16 + res[31:0] %rd ← res[15:0]		
0x17	ld.ca %rd,%rs	res[31:0] ← %rd × %rs + res[31:0] %rd ← res[31:16]	それ以外 psr (CVZN) ← 0b0000	
	(ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd × imm7/16 + res[31:0] %rd ← res[31:16]		

res: 演算結果レジスタ

例:

```
ld.cw %r0,0x7 ; モード設定(符号付き積和演算モード & 下位16ビット出力モード)
ld.ca %r0,%r1 ; “res = %r0 × %r1 + res”を実行し、結果の下位16ビットを%r0レジスタにロード
ld.cw %r0,0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード)
ld.ca %r1,%r0 ; 結果の上位16ビットを%r1レジスタにロード
```

オーバーフローフラグ(V)のセット条件

積和演算で乗算結果の符号、演算結果レジスタの符号、および 演算結果の符号が以下の条件に合うとオーバーフローが発生し、オーバーフローフラグ(V)フラグが1にセットされます。

表27.5.3 オーバーフローフラグ(V)のセット条件

モード設定値	乗算結果の符号	演算結果レジスタの符号	演算結果の符号
0x07	0(正)	0(正)	1(負)
0x07	1(負)	1(負)	0(正)

積和演算で正と正の加算を行い、結果が負になる場合、または負と負の加算を行い、結果が正になる場合にオーバーフローが発生します。オーバーフローフラグ(V)フラグがクリアされるまで、結果はコプロセッサ内に保持されます。

オーバーフローフラグ(V)のクリア条件

セットされたオーバーフローフラグ(V)フラグは、積和演算のために“ld.ca”命令を実行し、オーバーフローが発生しなかった場合、あるいは演算結果読み出しモード以外で“ld.ca”命令または“ld.cf”命令を実行した場合にクリアされます。

27.6 演算結果の読み出し

“ld.ca”命令は32ビットの演算結果をCPUレジスタにロードできません。このため、乗算と積和演算は演算結果の1/2(出力モードに従った16ビット、A[15:0]またはA[31:16])とフラグの状態をCPUレジスタに返します。演算結果の残りの1/2は、乗除算器を演算結果読み出しモードに設定して読み出します。演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。

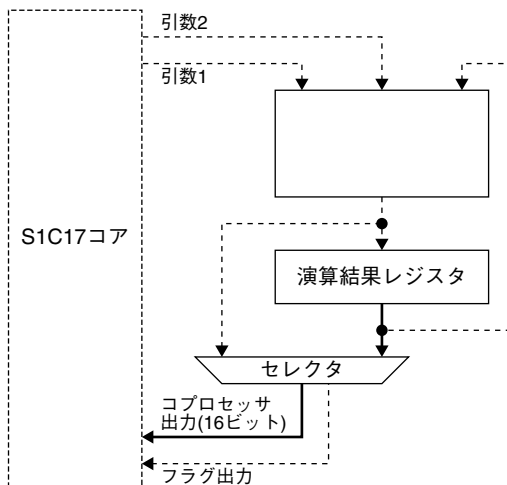


図27.6.1 演算結果読み出しモードのデータ経路

表27.6.1 演算結果読み出しモードの動作

モード 設定値	命令	動作	フラグ	備考
0x03	ld.ca %rd, %rs	%rd ← res[15:0]	psr (CVZN) ← 0b0000	この動作モードは演算結果レジスタに影響を与えません。
	ld.ca %rd, imm7	%rd ← res[15:0]		
0x13	ld.ca %rd, %rs	%rd ← res[31:16]		
	ld.ca %rd, imm7	%rd ← res[31:16]		

res: 演算結果レジスタ

28 電気的特性

28.1 絶対最大定格

(V_{SS} = 0V)

項目	記号	条件	定格値	単位
電源電圧	V _{DD}		-0.3~4.0	V
アナログ電源電圧	AV _{DD}	V _{DD} = AV _{DD}	-0.3~4.0	V
液晶電源電圧	V _{C3}		-0.3~4.0	V
入力電圧	V _I		-0.3~V _{DD} + 0.3	V
出力電圧	V _O		-0.3~V _{DD} + 0.3	V
高レベル出力電流	I _{OH}	1端子	-5	mA
		全端子合計	-20	mA
低レベル出力電流	I _{OL}	1端子	5	mA
		全端子合計	20	mA
許容損失 *1	V _O		200	mW
動作温度	T _a		-25~70	°C
保存温度	T _{stg}		-65~150	°C
半田付け温度・時間	T _{sol}		260°C, 10秒 (リード部)	-

*1 プラスチックパッケージの場合

28.2 推奨動作条件

項目	記号	条件	Min.	Typ.	Max.	単位
動作電源電圧	V _{DD}	通常動作モード	1.8		3.6	V
		Flashプログラミングモード	2.7		3.6	V
アナログ動作電源電圧	AV _{DD}	V _{DD} = AV _{DD}	1.8		3.6	V
動作周波数	f _{OSC3}	水晶/セラミック発振	0.2		8.2	MHz
	f _{OSC1}	水晶発振		32.768	100	kHz
V _{SS} ~V _{D1} 間キャパシタ *1	C ₁			0.1		μF
V _{SS} ~V _{C1} 間キャパシタ *1	C ₂			0.1		μF
V _{SS} ~V _{C2} 間キャパシタ *1	C ₃			0.1		μF
V _{SS} ~V _{C3} 間キャパシタ *1	C ₄			0.1		μF
CA~CB間キャパシタ *1	C ₅			0.1		μF

*1 LCDドライバを使用しない場合、キャパシタは必要ありません。また、V_{C1}~V_{C3}およびCA~CBは開放としてください。

28.3 消費電流

特記なき場合の試験条件: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, $C_1\sim C_5 = 0.1\mu F$, LCDパネル負荷なし, $PCKEN = 0x3$ (ON), $VD1MD=0x0$, $FLCYC[2:0] = 0x4$ (1サイクル), $CCKGR[1:0] = 0x0$ (ギア比1/1)

項目	記号	条件	Min.	Typ.	Max.	単位
SLEEP時消費電流	ISLP	OSC1=OFF, OSC3=OFF		0.6	2.0	μA
HALT時消費電流	IHALT1	OSC1=32kHz, IOSC=OFF, OSC3=OFF, PCKEN=0x0(OFF)		2.0	4.0	μA
		OSC1=32kHz, IOSC=OFF, OSC3=OFF		3.0	6	μA
	IHALT2	OSC1=32kHz, IOSC=OFF, OSC3=8MHz(セラミック)		350	500	μA
動作時消費電流 *1	IHALT3	OSC1=32kHz, IOSC=ON, OSC3=OFF		170	250	μA
		OSC1=32kHz, IOSC=OFF, OSC3=OFF, CPU=OSC1		12	20	μA
	IEXE1	OSC1=32kHz, IOSC=OFF, OSC3=OFF, CCKGR=0x2(ギア比1/4), CPU=OSC1		6	10	μA
		OSC1=32kHz, IOSC=OFF, OSC3=1MHz(セラミック), CPU=OSC3		340	480	μA
		OSC1=32kHz, IOSC=OFF, OSC3=8MHz(セラミック), CPU=OSC3		2400	3400	μA
	IEXE2	OSC1=32kHz, IOSC=OFF, OSC3=8MHz(セラミック), CCKGR=0x2(ギア比1/4), CPU=OSC3		1000	1400	μA
		OSC1=32kHz, IOSC=ON, OSC3=OFF, CPU=IOSC		850	1200	μA
	IEXE3	OSC1=32kHz, IOSC=OFF, OSC3=OFF, VD1MD=0x1, CPU=OSC1		27	38	μA
		OSC1=32kHz, IOSC=OFF, OSC3=1MHz(セラミック), VD1MD=0x1, CPU=OSC3		660	1000	μA
		OSC1=32kHz, IOSC=OFF, OSC3=8MHz(セラミック), VD1MD=0x1, CPU=OSC3		4100	6000	μA
OSC1=32kHz, IOSC=ON, OSC3=OFF, VD1MD=0x1, CPU=IOSC			1600	2300	μA	
IEXE1H	OSC1=32kHz, IOSC=OFF, OSC3=OFF, CPU=OSC1, HVLD=0x1		19	27	μA	

*1 “ALU命令60.5%, 分岐命令17%, メモリリード12%, メモリライト10.5%”のプログラムをFlashメモリからフェッチしながら連続動作させた値です。

HALT時消費電流温度特性 (OSC1動作時)

OSC1= 32.768kHz, IOSC = OFF, OSC3 = OFF
PCKEN = 0x0(OFF), CCKGR = 0, Typ.値

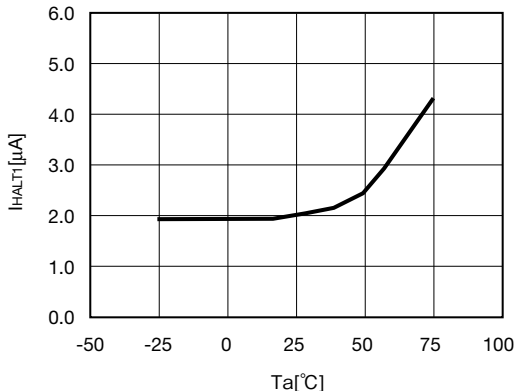


図28.3.1

動作消費電流温度特性 (OSC1動作時)

OSC1= 32.768kHz, IOSC = OFF, OSC3 = OFF
PCKEN = 0x3(ON), CCKGR = 0, Typ.値

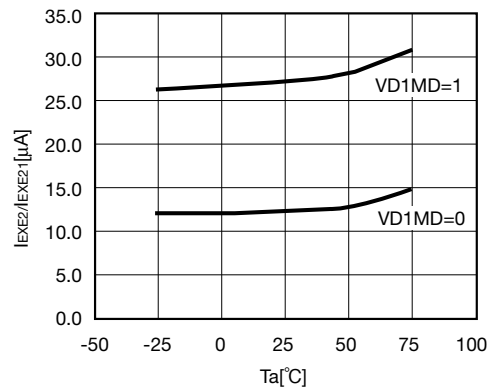


図28.3.2

動作消費電流温度+クロックギア特性 (OSC1動作時)

OSC1 = 32.768kHz, IOSC = OFF, OSC3 = OFF
PCKEN = 0x3(ON), Typ.値

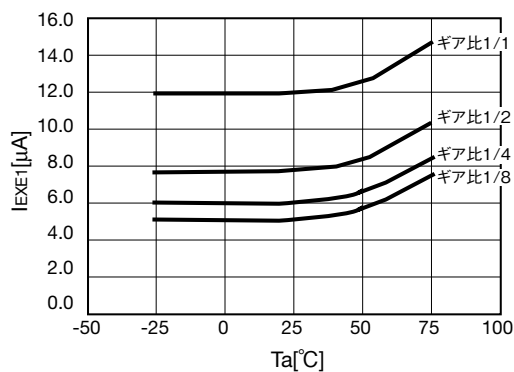


図28.3.3

動作消費電流周波数特性 (OSC3動作時)

OSC1 = OFF, IOSC = OFF,
PCKEN = 0x3(ON), CCKGR = 0, Ta = 25°C, Typ.値

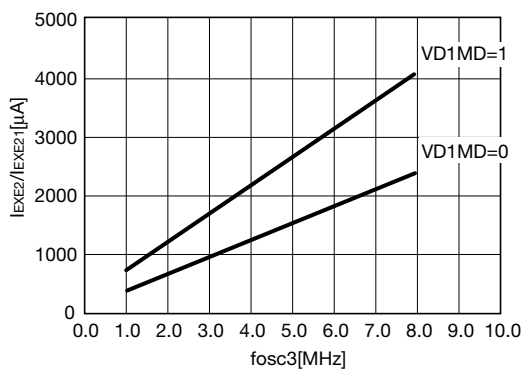


図28.3.4

動作消費電流周波数+クロックギア特性 (OSC3動作時)

OSC1 = OFF, IOSC = OFF
PCKEN = 0x3(ON), Ta = 25°C, Typ.値

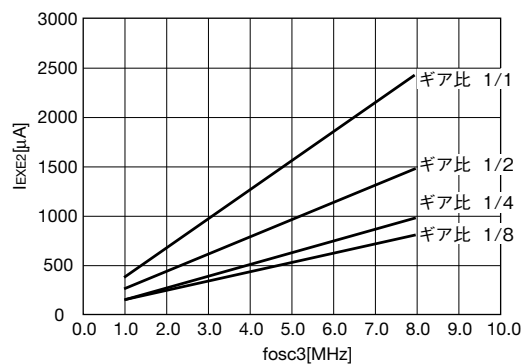


図28.3.5

動作消費電流温度+クロックギア特性 (IOSC動作時)

OSC1 = OFF, OSC3 = OFF
PCKEN = 0x3(ON), Typ.値

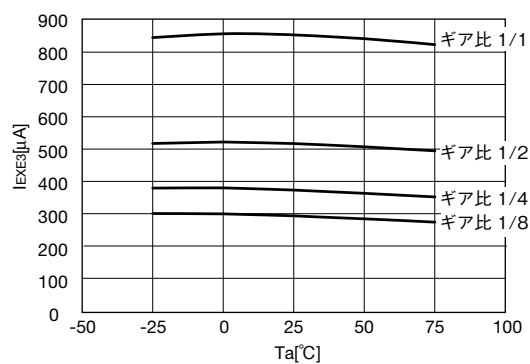


図28.3.6

28.4 入出力端子特性

特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = -25\sim 70^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
高レベル入力電圧	V_{IH}	Pxx	$0.8V_{DD}$		V_{DD}	V
低レベル入力電圧	V_{IL}	Pxx	0		$0.2V_{DD}$	V
高レベルシュミット入力電圧(1)	V_{T1+}	#RESET	$0.5V_{DD}$		$0.9V_{DD}$	V
低レベルシュミット入力電圧(1)	V_{T1-}	#RESET	$0.1V_{DD}$		$0.5V_{DD}$	V
高レベルシュミット入力電圧(2) *1	V_{T2+}	Pxx	$0.5V_{DD}$		$0.9V_{DD}$	V
低レベルシュミット入力電圧(2) *1	V_{T2-}	Pxx	$0.1V_{DD}$		$0.5V_{DD}$	V
高レベル出力電流	I_{OH}	Pxx, $V_{OH} = 0.9V_{DD}$			-0.5	mA
低レベル出力電流	I_{OL}	Pxx, $V_{OL} = 0.1V_{DD}$	0.5			mA
入力リーク電流	I_{LI}	Pxx, #RESET	-1		1	μA
出力リーク電流	I_{LO}	Pxx	-1		1	μA
入力プルアップ抵抗	R_{IN}	Pxx, #RESET	100		500	k Ω
入力端子容量	C_{IN}	Pxx, $V_{IN} = 0V$, $f = 1MHz$, $T_a = 25^\circ C$			15	pF
リセットLowパルス幅	t_{SR}	$V_{IH} = 0.8V_{DD}$, $V_{IL} = 0.2V_{DD}$	100			μs
動作電源電圧	V_{SR}		1.8			V
パワーオンリセット	t_{PSR}		1.0			μs

*1 シュミット入力を有効にした場合

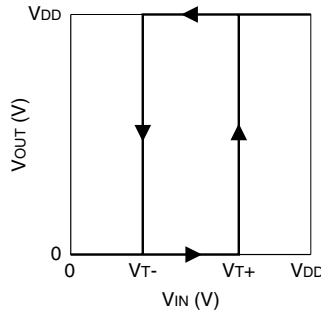


図28.4.1 シュミット入力電圧

高レベル出力電流特性

$T_a = 70^\circ C$, Max. 値

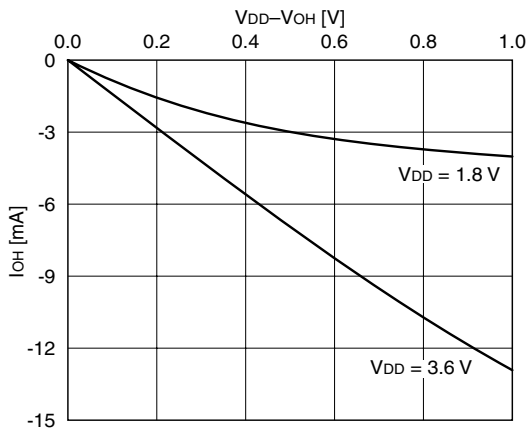


図28.4.2

低レベル出力電流特性

$T_a = 70^\circ C$, Min. 値

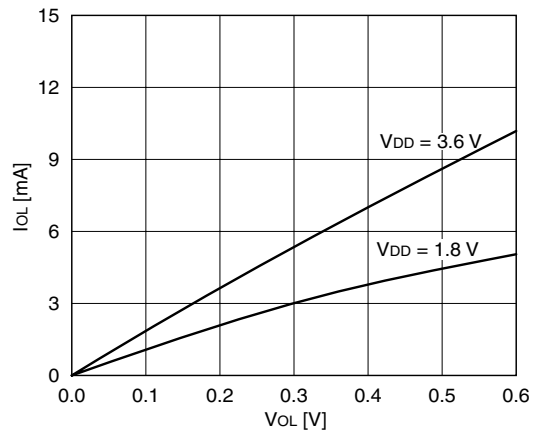


図28.4.3

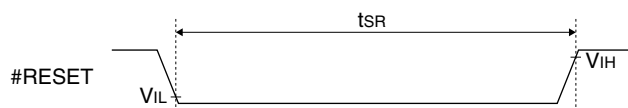


図28.4.4 リセットタイミング

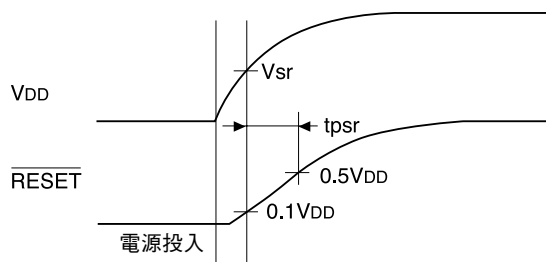


図28.4.5 パワーオンリセットタイミング

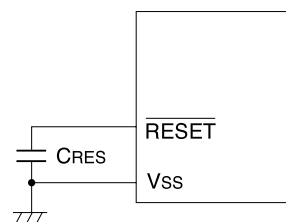


図28.4.6 パワーオンリセット回路例

28.5 LCDドライバ回路特性

LCD駆動電圧特性

LCDドライバは、パネル負荷(パネルの大きさ、駆動デューティ、表示点灯数、表示パターン)によってTyp.値がシフトしますので、実際に使用するパネルを接続して評価してください。

特記なき場合: $V_{DD} = 2.5 \sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, $C_1 \sim C_5 = 0.1\mu F$, 市松模様出力時, パネル負荷なし,
VCSELレジスタ = 0x1 (VC2基準)

項目	記号	条件	Min.	Typ.	Max.	単位	
LCD駆動電圧 (VC2基準選択時)	VC1	$V_{SS} \sim VC1$ 間に1M Ω の負荷抵抗を接続	$0.324 \cdot V_{C3} (typ)$		$0.350 \cdot V_{C3} (typ)$	V	
	VC2	$V_{SS} \sim VC2$ 間に1M Ω の負荷抵抗を接続	$0.649 \cdot V_{C3} (typ)$		$0.701 \cdot V_{C3} (typ)$	V	
	VC3	$V_{SS} \sim VC3$ 間に1M Ω の負荷抵抗を接続	LC[3:0] = 0x0	Typ×0.96	2.56	Typ×1.04	V
			LC[3:0] = 0x1		2.62		V
			LC[3:0] = 0x2		2.68		V
			LC[3:0] = 0x3		2.74		V
			LC[3:0] = 0x4		2.80		V
			LC[3:0] = 0x5		2.86		V
			LC[3:0] = 0x6		2.92		V
			LC[3:0] = 0x7		2.98		V
			LC[3:0] = 0x8		3.04		V
			LC[3:0] = 0x9		3.10		V
			LC[3:0] = 0xa		3.15		V
			LC[3:0] = 0xb		3.22		V
			LC[3:0] = 0xc		3.27		V
LC[3:0] = 0xd	3.33	V					
LC[3:0] = 0xe	3.39	V					
LC[3:0] = 0xf	3.45	V					

特記なき場合: $V_{DD} = 1.8 \sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, $C_1 \sim C_5 = 0.1\mu F$, 市松模様出力時, パネル負荷なし,
VCSELレジスタ = 0x0 (VC1基準)

項目	記号	条件	Min.	Typ.	Max.	単位
LCD駆動電圧 (VC1基準選択時)	VC1	$V_{SS} \sim VC1$ 間に1M Ω の負荷抵抗を接続	$0.333 \cdot V_{C3} (typ)$		$0.360 \cdot V_{C3} (typ)$	V
	VC2	$V_{SS} \sim VC2$ 間に1M Ω の負荷抵抗を接続	$0.645 \cdot V_{C3} (typ)$		$0.696 \cdot V_{C3} (typ)$	V
VC3	$V_{SS} \sim VC3$ 間に1M Ω の負荷抵抗を接続	LC[3:0] = 0x0	Typ×0.96	2.50	Typ×1.04	V
		LC[3:0] = 0x1		2.56		V
		LC[3:0] = 0x2		2.61		V
		LC[3:0] = 0x3		2.67		V
		LC[3:0] = 0x4		2.73		V
		LC[3:0] = 0x5		2.79		V
		LC[3:0] = 0x6		2.85		V
		LC[3:0] = 0x7		2.90		V
		LC[3:0] = 0x8		2.96		V
		LC[3:0] = 0x9		3.02		V
		LC[3:0] = 0xa		3.08		V
		LC[3:0] = 0xb		3.14		V
		LC[3:0] = 0xc		3.19		V
		LC[3:0] = 0xd		3.25		V
		LC[3:0] = 0xe		3.31		V
LC[3:0] = 0xf	3.37	V				

LCD駆動電圧電源電圧特性 (VC2基準選択時)

$V_{SS} \sim V_{C3}$ 間に1M Ω の負荷抵抗を接続した場合
(パネル負荷なし), $T_a = 25^\circ\text{C}$, Typ値

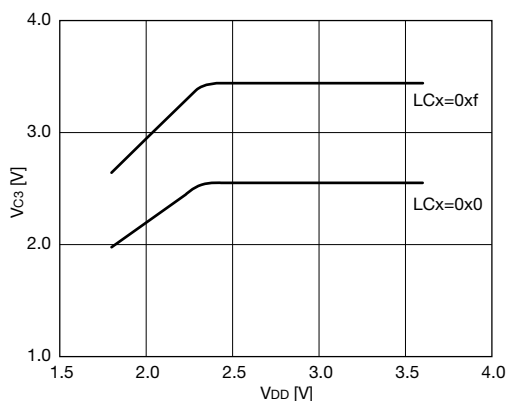


図28.5.1

LCD駆動電圧電源電圧特性 (VC1基準選択時)

$V_{SS} \sim V_{C3}$ 間に1M Ω の負荷抵抗を接続した場合
(パネル負荷なし), $T_a = 25^\circ\text{C}$, Typ値

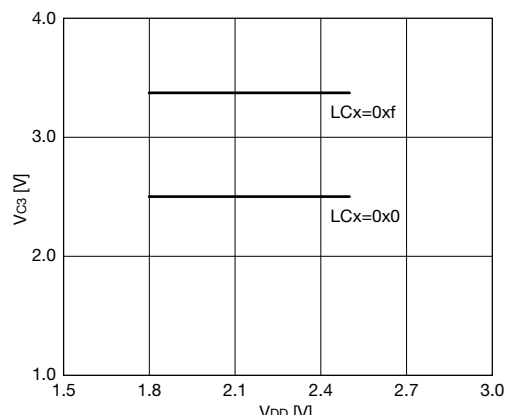


図28.5.2

LCD駆動電圧温度特性

Typ値 (V_{C2} , V_{C1} 基準)

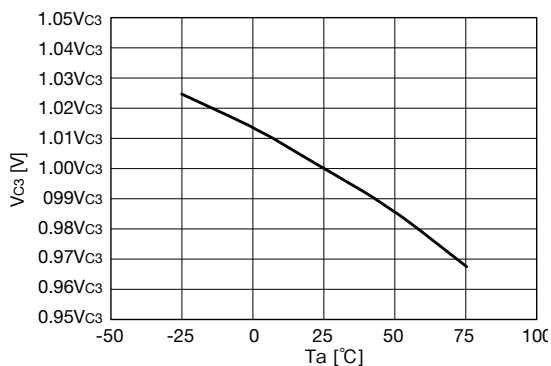


図28.5.3

LCD駆動電圧負荷特性

V_{C3} 端子のみに負荷を接続した場合
 $LCx = 0xf$, $T_a = 25^\circ\text{C}$, Typ値

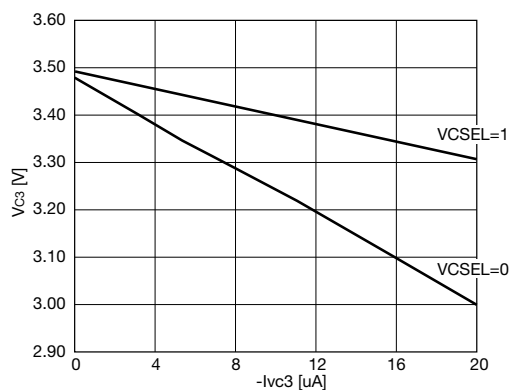


図28.5.4

SEG/COM IO特性

特記なき場合: $V_{DD} = 1.8 \sim 3.6\text{V}$, $V_{SS} = 0\text{V}$, $T_a = -25 \sim 70^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
セグメント, コモン出力電流	ISEGH	SEGxx, COMxx, VSEGH = $V_{C3} - 0.1\text{V}$			-5	μA
	ISEGL	SEGxx, COMxx, VSEGL = 0.1V	5			μA

LCDドライバ回路消費電流

特記なき場合: $V_{DD}=1.8\sim 3.6V$, $V_{SS}=0V$, $T_a=25^\circ C$, $C_1\sim C_5=0.1\mu F$, パネル負荷無し、 $PCKEN=0$ (OFF)
 $FLCYC=4$ (1サイクル), $CCLKGR=0$ (ギア比1/1)

項目	記号	条件	Min.	Typ.	Max.	単位
V_{C2} 基準 LCD回路電流*1	ILCD2	DSPC[1:0]=1(市松模様), LC[3:0]=0xf, OSC1=32kHz, $V_{DD}=2.5\sim 3.6V$, VCSEL=1		1	3	μA
重負荷保護モード V_{C2} 基準 LCD回路電流*1	ILCD2H	DSPC[1:0]=1(市松模様), LC[3:0]=0xf, OSC1=32kHz, $V_{DD}=2.5\sim 3.6V$, LHVLD=1 VCSEL=1		21	32	μA
V_{C1} 基準 LCD回路電流*1	ILCD1	DSPC[1:0]=1(市松模様), LC[3:0]=0xf, OSC1=32kHz, $V_{DD}=1.8\sim 3.6V$, VCSEL=0		1.5	5	μA
重負荷保護モード V_{C1} 基準 LCD回路電流*1	ILCD1H	DSPC[1:0]=1(市松模様), LC[3:0]=0xf, OSC1=32kHz, $V_{DD}=1.8\sim 3.6V$, LHVLD=1 VCSEL=0		13	20	μA

*1 LCD回路動作時にHALT時/動作消費電流に加算されます。
 消費電流は表示パターン、パネル負荷によって増加します。

LCD消費電流負荷特性

V_{C3} 端子のみに負荷を接続した場合
 $V_{DD} = 3.6V$, $T_a = 25^\circ C$, Typ値

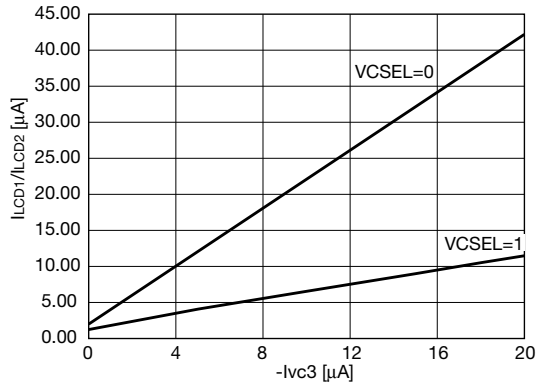


図28.5.5

28.6 SVD回路特性

アナログ特性

特記なき場合: $V_{DD} = 1.8 \sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
SVD電圧	V _{svd}	SVDC[3:0] = 0x0	×Typ. 0.96		×Typ. 1.04	V
		SVDC[3:0] = 0x1		1.8		V
		SVDC[3:0] = 0x2		1.9		V
		SVDC[3:0] = 0x3		2.0		V
		SVDC[3:0] = 0x4		2.1		V
		SVDC[3:0] = 0x5		2.2		V
		SVDC[3:0] = 0x6		2.3		V
		SVDC[3:0] = 0x7		2.4		V
		SVDC[3:0] = 0x8		2.5		V
		SVDC[3:0] = 0x9		2.6		V
		SVDC[3:0] = 0xa		2.7		V
		SVDC[3:0] = 0xb		2.8		V
		SVDC[3:0] = 0xc		2.9		V
		SVDC[3:0] = 0xd		3.0		V
		SVDC[3:0] = 0xe		3.1		V
SVDC[3:0] = 0xf	3.2	V				
SVD回路イネーブル応答時間*1	t _{svDEN}				500	μs
SVD回路応答時間*2	t _{svD}				60	μs

*1 SVDENを0から1に変更後、安定した検出結果が得られるまでに必要な時間です。

*2 SVDC[3:0]を変更後、安定した検出結果が得られるまでに必要な時間です。

SVD電圧温度特性

SVDC[3:0] = 0xf, Typ値

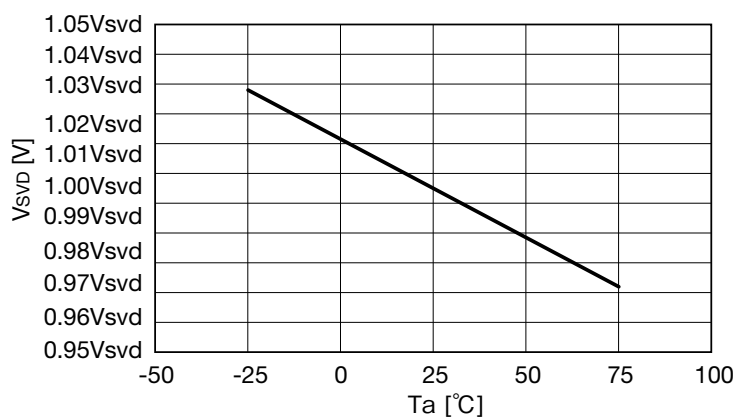


図28.6.1

SVD回路消費電流

特記なき場合: $V_{DD} = 1.8 \sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
SVD回路電流*1	ISVD	$V_{DD} = 3.6V$, SVDS[3:0] = 1		8	15	μA

*1 SVD回路動作時に動作消費電流に加算されます。

28.7 A/D変換器特性

アナログ特性

特記なき場合: $V_{DD} = AV_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = -25\sim 70^\circ C$, $ADST[2:0] = 111$ (9サイクル)

項目	記号	条件	Min.	Typ.	Max.	単位
分解能	—			10		bit
A/D変換クロック	f_{ADCLK}		16		2000	kHz
サンプリングレート *1	f_{SMP}		0.8		100	kSPS
ゼロスケール誤差	E _{ZS}				±3	LSB
フルスケール誤差	E _{FS}				±3	LSB
積分直線性誤差 *2	E _{INL}	$AV_{DD} = 2.7\sim 3.6V$			±1.5	LSB
		$AV_{DD} = 1.8\sim 2.7V$			±2.0	LSB
微分直線性誤差	E _{DNL}				±1.0	LSB
アナログ入力抵抗	R _{AIN}				11	kΩ
アナログ入力容量	C _{AIN}				20	pF

*1 Min.値はA/D変換器クロック入力 $f_{ADCLK} = 16kHz$ の場合。Max.値はA/D変換器クロック入力 $f_{ADCLK} = 2MHz$ の場合

*2 積分直線性誤差は、エンド・ポイント・ラインで測定されています。

A/D変換器消費電流

特記なき場合: $V_{DD} = AV_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, $ADST[2:0] = 111$ (9サイクル),
PCKEN = 0x3 (ON), $A_{IN} = AV_{DD}/2V$

項目	記号	条件	Min.	Typ.	Max.	単位
A/D変換器動作電流*3	I _{ADC}	$V_{DD} = AV_{DD} = 3.6V$, $f_{SMP} = 100ksps$		200	350	μA

*3 A/D変換動作時にHALT (PCKEN=3 (ON)のみ)/動作消費電流に加算されます。

A/D変換器消費電流電圧特性

$T_a = 25^\circ C$, Typ値, $A_{IN} = AV_{DD}/2 [V]$

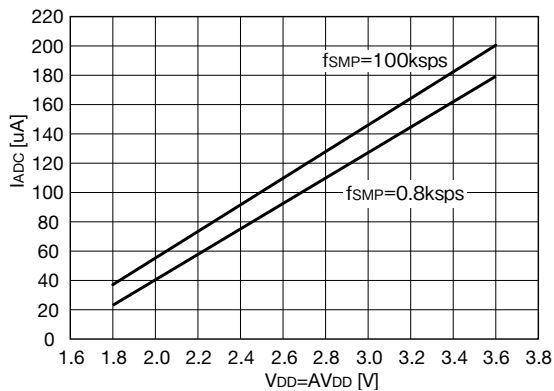


図28.7.1

28.8 Flashメモリ特性

アナログ特性

特記なき場合: $V_{DD} = 2.7\sim 3.6V$ ($VD1MD = 1$), $V_{SS} = 0V$, $T_a = 25^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
消去時間	tSE	4Kバイト消去			25	ms
書き込み時間	tBP	16ビット書き込み			20	μs
書き換え回数	C _{FEP}	データ保持10年保証時	1000			回

消去+書き込み、または書き込みのみを1回とする

Flashメモリ消費電流

特記なき場合の試験条件: $V_{DD} = 2.7\sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, $VD1MD = 0x1$
 $FLCYC[2:0] = 0x4$ (1サイクル), $CCKGR[1:0] = 0x1$ (ギア比1/1)

項目	記号	条件	Min.	Typ.	Max.	単位
Flashメモリ消去電流 *1	I _{FERS}	8MHz CPU動作時, $VD1MD=1$		7	14	mA
Flashメモリ書き込み電流 *2	I _{FPRG}	8MHz CPU動作時, $VD1MD=1$		7	14	mA

*1 自己プログラミングの消去動作時、動作消費電流に加算されます。

*2 自己プログラミングの書き込み時、動作消費電流に加算されます。

28.9 SPI特性

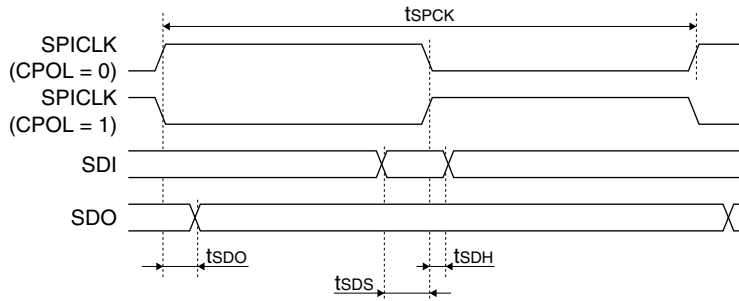


図28.9.1 SPIタイミング

マスターモード時

特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = -25\sim 70^{\circ}C$

項目	記号	Min.	Typ.	Max.	単位
SPICLKサイクル時間	t_{SPCK}	500			ns
SDIセットアップ時間	t_{SDS}	120			ns
SDIホールド時間	t_{SDH}	10			ns
SDO出力遅延時間	t_{SDO}			20	ns

スレーブモード時

特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = -25\sim 70^{\circ}C$

項目	記号	Min.	Typ.	Max.	単位
SPICLKサイクル時間	t_{SPCK}	500			ns
SDIセットアップ時間	t_{SDS}	10			ns
SDIホールド時間	t_{SDH}	10			ns
SDO出力遅延時間	t_{SDO}			130	ns

28.10 I²C特性

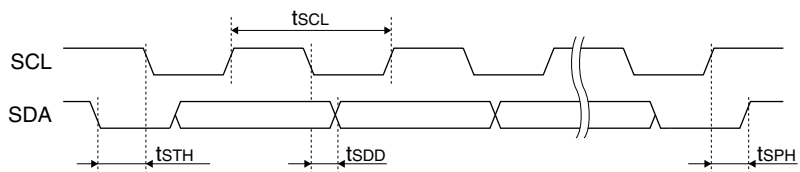


図28.10.1 I²Cタイミング

特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = -25\sim 70^{\circ}C$

項目	記号	Min.	Typ.	Max.	単位
SCLサイクル時間	t_{sCL}	2500			ns
スタートコンディションホールド時間	t_{sTH}	$1/f_{sys}$			ns
データ出力遅延時間	t_{sDD}	$1/f_{sys}$			ns
ストップコンディションホールド時間	t_{sPH}	$1/f_{sys}$			ns

* f_{sys} : システム動作クロック周波数

28.11 外部クロック入力特性

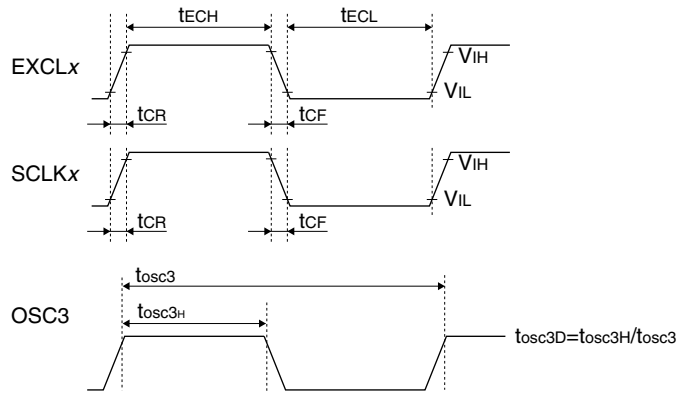


図28.11.1 外部クロック入力タイミング

特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $V_{IH} = 0.8V_{DD}$, $V_{IL} = 0.2V_{DD}$, $T_a = -25\sim 70^\circ C$

項目	記号	Min.	Typ.	Max.	単位
EXCLx入力Highパルス幅	tECH	2/fsys			s
EXCLx入力Lowパルス幅	tECL	2/fsys			s
UART転送レート	Ru			460800	bps
UART転送レート (IrDAモード)	RuIrDA			115200	bps
入力立ち上がり時間	tCR			80	ns
入力立ち下がり時間	tCF			80	ns
OSC3クロックサイクル時間	tosc3	125			ns
OSC3クロック入力デューティ	tosc3D	46		54	%

* fsys: システム動作クロック周波数

28.12 発振回路特性

発振特性は諸条件(基板パターン、使用部品など)により変化します。以下の特性は参考値として使用してください。推奨振動子はAppendixFを参照してください。

OSC1水晶発振

特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, $C_{G1} = 5pF$ 外付け, $C_{D1} =$ 内蔵、帰還抵抗 = 内蔵

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間*1	t_{sta}				3	s
外付けゲート容量	C_{G1}	基板容量など含む	0		25	pF
内蔵ドレイン容量	C_{D1}	チップの場合		10		pF

*1 MC-146: エプソントヨコム製($R_1=65k\Omega$ Max、 $CL=12.5pF$)

OSC3水晶発振

特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, $R_{f3} = 1M\Omega$, $C_{G3} = C_{D3} = 2pF$

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間 *1*2	t_{sta}				20	ms

*1 MA-406 エプソントヨコム製($R_1=150\Omega$ Max、 $CL=8.0pF$)

*2 水晶発振開始時間は、使用する水晶振動子および C_{G3} , C_{D3} により変化します。

OSC3セラミック発振

特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, $R_{f3} = 1M\Omega$

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間 *1*2	t_{sta}				1	ms

*1 CSTCR4M00G53095-R0:村田製作所製($C_G = C_D = 15pF$ 内蔵)

*2 セラミック発振開始時間は、使用するセラミック振動子および C_{G3} , C_{D3} により変化します。

IOSC発振

特記なき場合: $V_{DD} = 1.8\sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間	t_{sta}				5	μs
発振周波数	f_{IOSC}	$V_{D1} = 1.8V$	2.16	2.70	3.24	MHz

発振周波数温度特性(IOSC) <内蔵発振>

Typ値

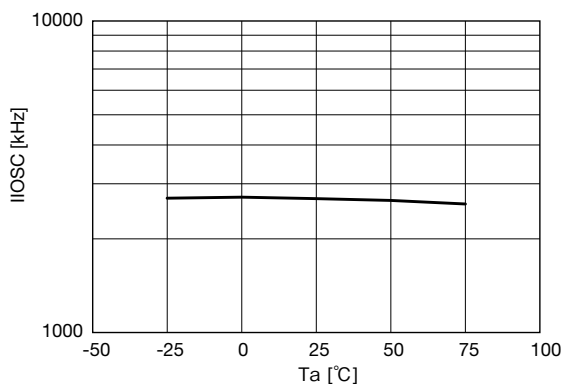


図28.12.1

28.13 R/F変換器特性

アナログ特性

特記なき場合: $V_{DD} = 1.8 \sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
基準発振/センサ発振周波数*1	f _{RFCLK}		1		4,000	kHz
基準発振/センサ発振周波数IC偏差*2	∂ f _{RFCLK} / ∂ IC	抵抗性センサ DC/AC発振モード [Ⓒ]	V _{DD} =3.6V	-25	25	%
			V _{DD} =1.8V	-40	40	%
		容量性センサ DC発振モード [Ⓓ]	V _{DD} =3.6V	-25	25	%
			V _{DD} =1.8V	-50	50	%
基準抵抗/抵抗性センサ抵抗値*3	R _{REF} , R _{SEN}	抵抗性センサDC/容量性センサ DC発振モード	1			kΩ
		抵抗性センサAC発振モード [Ⓒ]	10			kΩ
		基準容量/容量性センサ容量値*3	C _{REF} , C _{SEN}	抵抗性センサDC/AC発振モード [Ⓒ]	100	
		容量性センサDC発振モード [Ⓓ]	100	2000		pF
タイムベースカウンタクロック 周波数	f _{TCCLK}				8.2	MHz
RFIN端子高レベルシュミット 入力電圧	V _{T+}		0.5 · V _{DD}		0.9 · V _{DD}	V
RFIN端子低レベルシュミット 入力電圧	V _{T-}		0.1 · V _{DD}		0.5 · V _{DD}	V

*1 1kHz以下の周波数に設定すると、リークによるばらつきの影響により、周波数IC偏差が大きくなる可能性があります。

*2 IC製造ばらつき、電圧ばらつき、測定環境の基板、抵抗、容量ばらつきを含む(温度によるばらつきは除く)

*3 この範囲外の抵抗・容量でもCR発振はします(グラフ参照)が、基板やICの寄生素子の影響により、周波数IC偏差が大きくなる可能性があります。

RFC基準発振/センサ発振周波数抵抗特性

抵抗性センサDC/AC発振モード, C_{REF}/C_{SEN} = 1000pF,
T_a = 25° C, Typ.値

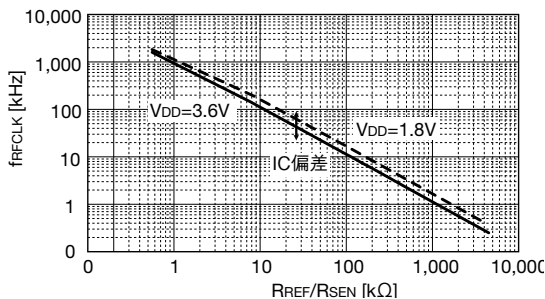


図28.13.1

RFC基準発振/センサ発振周波数容量特性

容量性センサDC発振モード, R_{REF}/R_{SEN} = 100kΩ,
T_a = 25° C, Typ.値

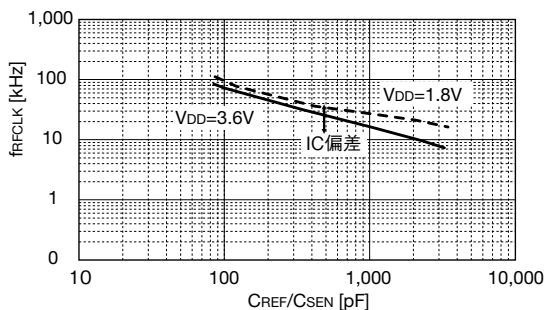


図28.13.2

RFC基準発振/センサ発振周波数温度特性 (抵抗性センサDC/AC発振モード)

R_{REF}/R_{SEN} = 100kΩ, C_{REF}/C_{SEN} = 1000pF, Typ.値

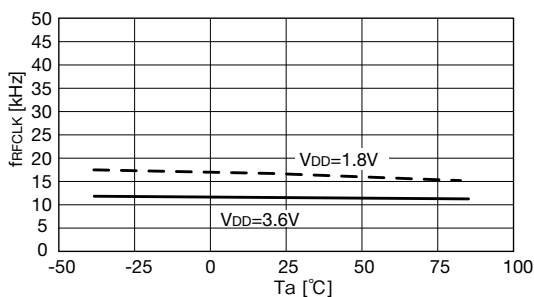


図28.13.3

RFC基準発振/センサ発振周波数温度特性 (容量性センサDC発振モード)

R_{REF}/R_{SEN} = 100kΩ, C_{REF}/C_{SEN} = 1000pF, Typ.値

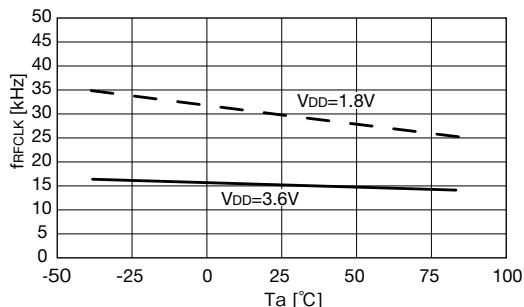


図28.13.4

R/F変換器消費電流

特記なき場合: $V_{DD} = 1.8 \sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, $TCCLK = 8MHz$, $PCKEN = 0x0$ (OFF)

項目	記号	条件	Min.	Typ.	Max.	単位	
R/F変換器動作電流*4	IRFC	$V_{DD}=3.6V$, $C_{REF}=C_{SEN}=1000pF$ $R_{REF}=R_{SEN}=100k\Omega$	抵抗性センサDC/AC 発振モード		240	300	μA
			容量性センサDC発振 モード		270	350	μA

*4 R/F変換器使用時に、HALT/動作時消費電流に加算されます。

V_{DD} , 基準容量/センサ容量, 基準/センサ発振周波数によって、消費電流は異なります。

RFC基準発振/センサ発振消費電流周波数特性
(抵抗性センサDC/AC発振モード)

$C_{REF}/C_{SEN} = 1000pF$, Typ. 値

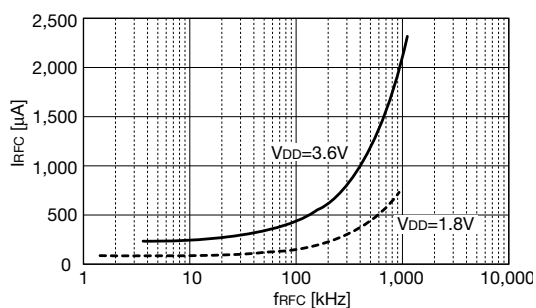


図28.13.5

RFC基準発振/センサ発振消費電流周波数特性
(容量性センサDC発振モード)

$C_{REF}/C_{SEN} = 1000pF$, Typ. 値

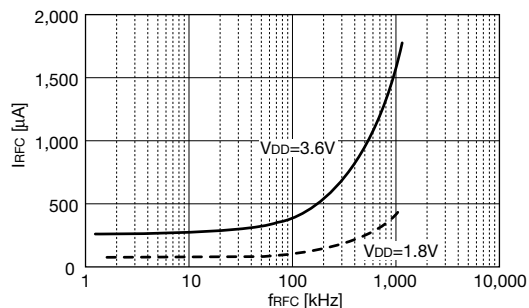
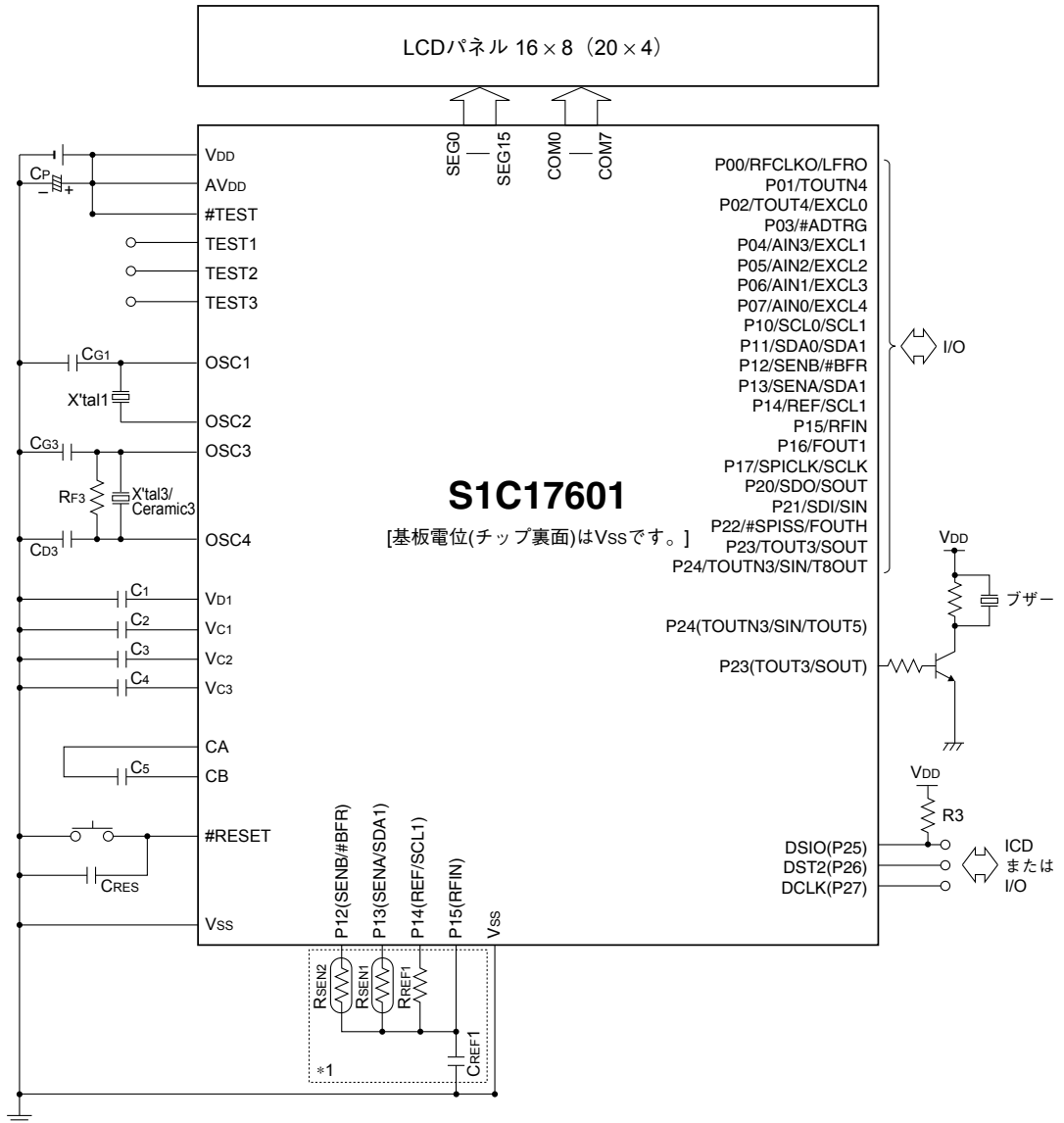


図28.13.6

29 基本外部結線図



*1: 抵抗センサDC発振接続例

外付部品例

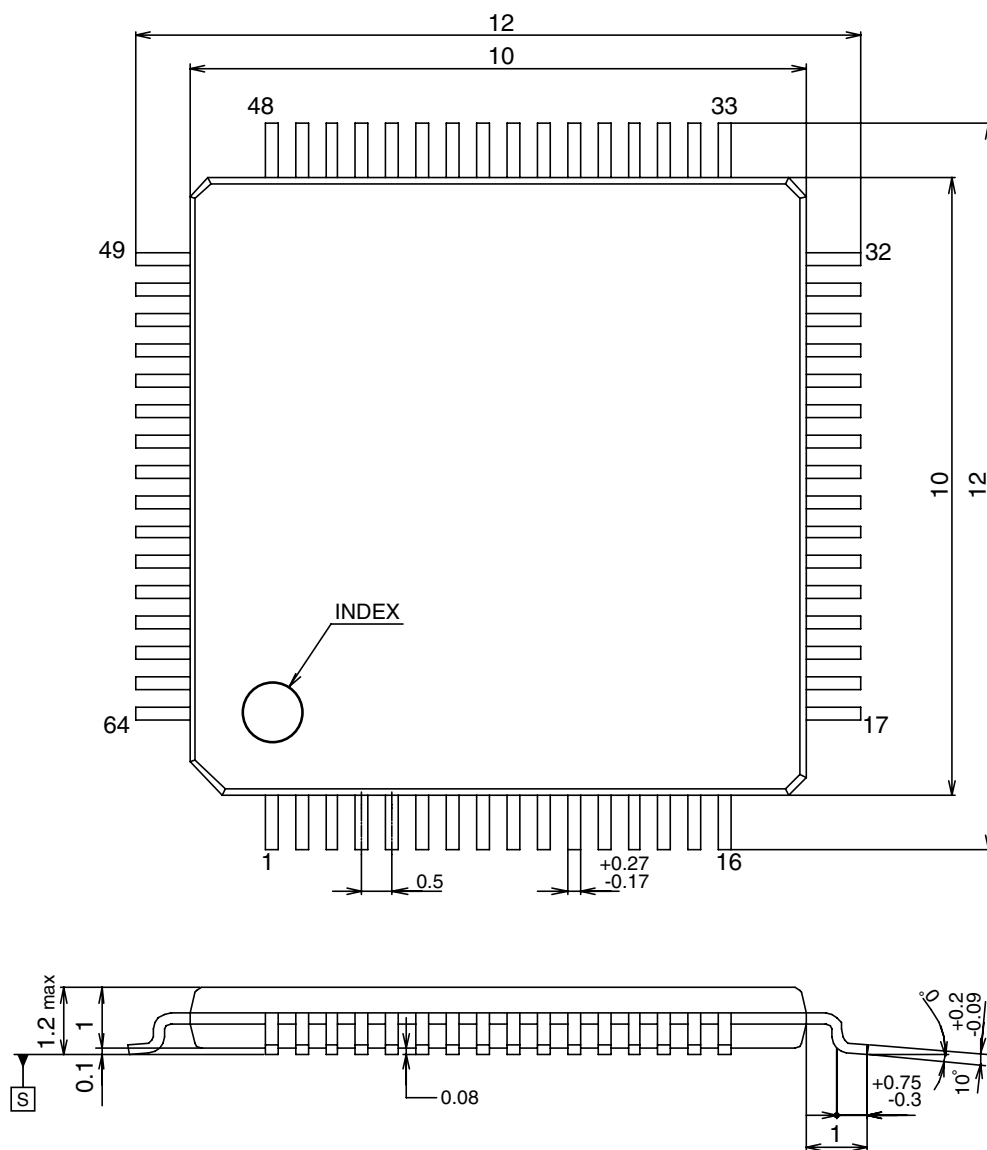
シンボル	名称	推奨値
X'tal1	水晶振動子	32.768kHz
Cg1	トリマキャパシタまたは固定キャパシタ	0~25pF
X'tal3	水晶振動子	0.2~8MHz
Ceramic3	セラミック振動子	0.2~8MHz
Rf3	帰還抵抗	1MΩ
Cg3	ゲートキャパシタ	15pF~30p
Cd3	ドレインキャパシタ	15pF~30pF
CRES	パワーオンリセット用キャパシタ	0.47μF

シンボル	名称	推奨値
Cp	バイパスキャパシタ	3.3μF
C1	Vd1安定化キャパシタ	0.1μF
C2~4	Vc1~Vc3安定化キャパシタ	0.1μF
C5	LCD昇圧キャパシタ	0.1μF
CREF1	基準キャパシタ	—
RREF1	基準抵抗	—
RSEN1~2	抵抗性センサ	—
R3	プルアップ抵抗	10kΩ

30 パッケージ

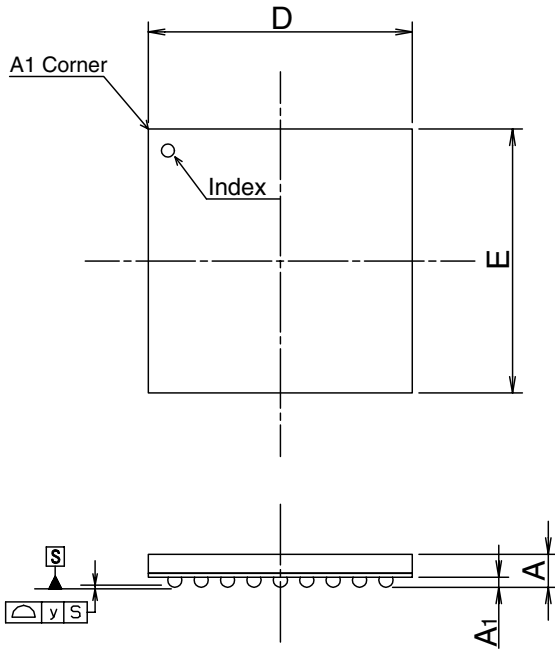
TQFP13-64pinパッケージ

(単位: mm)

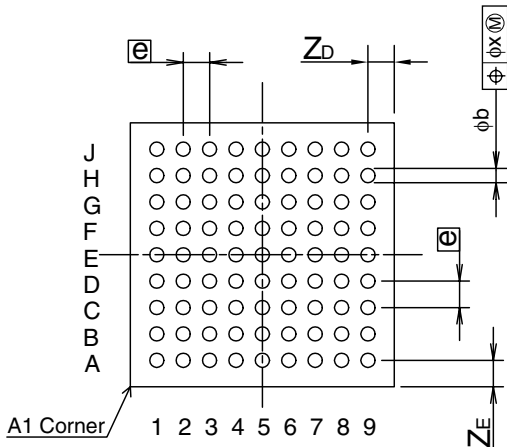


VFBGA8H-81パッケージ

Top View



Bottom View



Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	-	8	-
E	-	8	-
A	-	-	1
A ₁	-	0.3	-
e	-	0.8	-
b	0.38	-	0.48
x	-	-	0.08
y	-	-	0.1
Z _D	-	0.8	-
Z _E	-	0.8	-

Appendix A I/Oレジスタ一覧

周辺回路	アドレス	レジスタ名		機能
プリスケアラ (8ビットデバイス)	0x4020	PSC_CTL	Prescaler Control Register	プリスケアラのスタート/ストップ制御
	0x4021~0x403f	—	—	Reserved
UART (IrDA付き) (8ビットデバイス)	0x4100	UART_ST	UART Status Register	転送、バッファ、エラーステータスの表示
	0x4101	UART_TXD	UART Transmit Data Register	送信データ
	0x4102	UART_RXD	UART Receive Data Register	受信データ
	0x4103	UART_MOD	UART Mode Register	転送データ形式の設定
	0x4104	UART_CTL	UART Control Register	データ転送の制御
	0x4105	UART_EXP	UART Expansion Register	IrDAモードの設定
	0x4106~0x411f	—	—	Reserved
8ビットタイマ (Fモード付き) (16ビットデバイス)	0x4200	T8F_CLK	8-bit Timer Input Clock Select Register	プリスケアラ出力クロックの選択
	0x4202	T8F_TR	8-bit Timer Reload Data Register	リロードデータの設定
	0x4204	T8F_TC	8-bit Timer Counter Data Register	カウンタデータ
	0x4206	T8F_CTL	8-bit Timer Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4208	T8F_INT	8-bit Timer Interrupt Control Register	割り込みの制御
	0x420a~0x421f	—	—	Reserved
16ビットタイマ Ch.0 (16ビットデバイス)	0x4220	T16_CLK0	16-bit Timer Ch.0 Input Clock Select Register	プリスケアラ出力クロックの選択
	0x4222	T16_TR0	16-bit Timer Ch.0 Reload Data Register	リロードデータの設定
	0x4224	T16_TC0	16-bit Timer Ch.0 Counter Data Register	カウンタデータ
	0x4226	T16_CTL0	16-bit Timer Ch.0 Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4228	T16_INT0	16-bit Timer Ch.0 Interrupt Control Register	割り込みの制御
	0x422a~0x423f	—	—	Reserved
16ビットタイマ Ch.1 (16ビットデバイス)	0x4240	T16_CLK1	16-bit Timer Ch.1 Input Clock Select Register	プリスケアラ出力クロックの選択
	0x4242	T16_TR1	16-bit Timer Ch.1 Reload Data Register	リロードデータの設定
	0x4244	T16_TC1	16-bit Timer Ch.1 Counter Data Register	カウンタデータ
	0x4246	T16_CTL1	16-bit Timer Ch.1 Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4248	T16_INT1	16-bit Timer Ch.1 Interrupt Control Register	割り込みの制御
	0x424a~0x425f	—	—	Reserved
16ビットタイマ Ch.2 (16ビットデバイス)	0x4260	T16_CLK2	16-bit Timer Ch.2 Input Clock Select Register	プリスケアラ出力クロックの選択
	0x4262	T16_TR2	16-bit Timer Ch.2 Reload Data Register	リロードデータの設定
	0x4264	T16_TC2	16-bit Timer Ch.2 Counter Data Register	カウンタデータ
	0x4266	T16_CTL2	16-bit Timer Ch.2 Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4268	T16_INT2	16-bit Timer Ch.2 Interrupt Control Register	割り込みの制御
	0x426a~0x427f	—	—	Reserved
割り込み コントローラ (16ビットデバイス)	0x4300~0x4304	—	—	Reserved
	0x4306	ITC_LV0	Interrupt Level Setup Register 0	P0、P1割り込みレベルの設定
	0x4308	ITC_LV1	Interrupt Level Setup Register 1	SWT、CT割り込みレベルの設定
	0x430a	ITC_LV2	Interrupt Level Setup Register 2	T8OSC1、SVD割り込みレベルの設定
	0x430c	ITC_LV3	Interrupt Level Setup Register 3	LCD、T16E Ch.0割り込みレベルの設定
	0x430e	ITC_LV4	Interrupt Level Setup Register 4	T8F、T16 Ch.0割り込みレベルの設定
	0x4310	ITC_LV5	Interrupt Level Setup Register 5	T16 Ch.1、Ch.2割り込みレベルの設定
	0x4312	ITC_LV6	Interrupt Level Setup Register 6	UART、I ² C割り込みレベルの設定
	0x4314	ITC_LV7	Interrupt Level Setup Register 7	SPI、I ² C M割り込みレベルの設定
	0x4316	ITC_LV8	Interrupt Level Setup Register 8	T16E Ch.1割り込みレベルの設定
	0x4318	ITC_LV9	Interrupt Level Setup Register 9	ADC10SA、RFC割り込みレベルの設定
	0x431a~0x431f	—	—	Reserved
	SPI (16ビットデバイス)	0x4320	SPI_ST	SPI Status Register
0x4322		SPI_TXD	SPI Transmit Data Register	送信データ
0x4324		SPI_RXD	SPI Receive Data Register	受信データ
0x4326		SPI_CTL	SPI Control Register	SPIモードとデータ転送許可の設定
0x4328~0x433f		—	—	Reserved
I ² C(master) (16ビットデバイス)		0x4340	I2C_EN	I ² C Enable Register
	0x4342	I2C_CTL	I ² C Control Register	I ² Cの制御と転送状態の表示
	0x4344	I2C_DAT	I ² C Data Register	送受信データ
	0x4346	I2C_ICTL	I ² C Interrupt Control Register	I ² C割り込みの制御
	0x4348~0x435f	—	—	Reserved

Appendix A I/Oレジスタ一覧

周辺回路	アドレス	レジスタ名		機能
I ² C(slave) (16ビットデバイス)	0x4360	I2CS_TRNS	I ² C Slave Transfer Data Write Register	送信データ
	0x4362	I2CS_RECV	I ² C Slave Receive Data Read Register	受信データ
	0x4364	I2CS_SADRS	I ² C Slave Address Set Register	スレーブアドレスデータ
	0x4366	I2CS_CTL	I ² C Slave Control Register	I ² Cスレーブの制御
	0x4368	I2CS_STAT	I ² C Slave Status Register	I ² Cスレーブの状態表示
	0x436a	I2CS_ASTAT	I ² C Slave Access Status Register	I ² Cスレーブの転送状態表示
	0x436c	I2CS_ICTL	I ² C Slave Interrupt Control Register	I ² Cスレーブの割り込みの制御
	0x4370-0x437f	-	-	Reserved
計時タイマ (8ビットデバイス)	0x5000	CT_CTL	Clock Timer Control Register	タイマのリセットとRUN/STOP制御
	0x5001	CT_CNT	Clock Timer Counter Register	カウンタデータ
	0x5002	CT_IMSK	Clock Timer Interrupt Mask Register	割り込みマスクの設定
	0x5003	CT_IFLG	Clock Timer Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x5004-0x501f	-	-	Reserved
ストップ ウォッチタイマ (8ビットデバイス)	0x5020	SWT_CTL	Stopwatch Timer Control Register	タイマのリセットとRUN/STOP制御
	0x5021	SWT_BCNT	Stopwatch Timer BCD Counter Register	BCDカウンタデータ
	0x5022	SWT_IMSK	Stopwatch Timer Interrupt Mask Register	割り込みマスクの設定
	0x5023	SWT_IFLG	Stopwatch Timer Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x5024-0x503f	-	-	Reserved
ウォッチドッグ タイマ (8ビットデバイス)	0x5040	WDT_CTL	Watchdog Timer Control Register	タイマのリセットとRUN/STOP制御
	0x5041	WDT_ST	Watchdog Timer Status Register	タイマモードの設定とNMI状態表示
	0x5042-0x505f	-	-	Reserved
発振回路 (8ビットデバイス)	0x5060	OSC_SRC	Clock Source Select Register	クロック源の選択
	0x5061	OSC_CTL	Oscillation Control Register	発振制御
	0x5062	OSC_NFEN	Noise Filter Enable Register	ノイズフィルタのON/OFF
	0x5063	OSC_LCLK	LCD Clock Setup Register	LCDクロックの設定
	0x5064	OSC_FOUT	FOUT Control Register	クロック外部出力の制御
	0x5065	OSC_T8OSC1	T8OSC1 Clock Control Register	8ビットOSC1タイマクロックの設定
	0x5066	OSC_SVD	SVD Clock Control Register	SVDクロックの設定
	0x5067	OSC_RFC	RFC TC Clock Control Register	RFC TCクロックの設定
	0x5068-0x507f	-	-	Reserved
クロック ジェネレータ (8ビットデバイス)	0x5080	CLG_PCLK	PCLK Control Register	PCLK供給制御
	0x5081	CLG_CCLK	CCLK Control Register	CCLK分周比の設定
	0x5082-0x509f	-	-	Reserved
LCDドライバ (8ビットデバイス)	0x50a0	LCD_DCTL	LCD Display Control Register	LCD表示の制御
	0x50a1	LCD_CADJ	LCD Contrast Adjust Register	コントラストの制御
	0x50a2	LCD_CCTL	LCD Clock Control Register	LCDクロックデューティ選択
	0x50a3	LCD_VREG	LCD Voltage Regulator Control Register	LCDドライバ用定電圧回路の制御
	0x50a4	-	-	Reserved
	0x50a5	LCD_IMSK	LCD Interrupt Mask Register	割り込みマスクの設定
	0x50a6	LCD_IFLG	LCD Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x50a7-0x50bf	-	-	Reserved
8ビットOSC1 タイマ (8ビットデバイス)	0x50c0	T8OSC1_CTL	8-bit OSC1 Timer Control Register	タイマモードの設定とタイマのRUN/STOP
	0x50c1	T8OSC1_CNT	8-bit OSC1 Timer Counter Data Register	カウンタデータ
	0x50c2	T8OSC1_CMP	8-bit OSC1 Timer Compare Data Register	コンペアデータの設定
	0x50c3	T8OSC1_IMSK	8-bit OSC1 Timer Interrupt Mask Register	割り込みマスクの設定
	0x50c4	T8OSC1_IFLG	8-bit OSC1 Timer Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x50c5	T8OSC1_DUTY	8-bit OSC1 Timer PWM Data Register	PWM出力用データの設定
	0x50c6-0x50df	-	-	Reserved
SVD回路 (8ビットデバイス)	0x5100	SVD_EN	SVD Enable Register	SVD動作の許可/禁止
	0x5101	SVD_CMP	SVD Compare Voltage Register	比較電圧の設定
	0x5102	SVD_RSLT	SVD Detection Result Register	電圧検出結果
	0x5103	SVD_IMSK	SVD Interrupt Mask Register	割り込みマスクの設定
	0x5104	SVD_IFLG	SVD Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x5105-0x511f	-	-	Reserved
電源回路 (8ビットデバイス)	0x5120	VD1_CTL	VD1 Control Register	VD1電圧と重負荷保護の制御
	0x5121-0x513f	-	-	Reserved

周辺回路	アドレス	レジスタ名	機能		
Pポート& ポートMUX (8ビットデバイス)	0x5200	P0_IN	P0 Port Input Data Register	P0ポート入力データ	
	0x5201	P0_OUT	P0 Port Output Data Register	P0ポート出力データ	
	0x5202	P0_OEN	P0 Port Output Enable Register	P0ポート出カインープル	
	0x5203	P0_PU	P0 Port Pull-up Control Register	P0ポートのプルアップ制御	
	0x5204	P0_SM	P0 Port Schmitt Trigger Control Register	P0ポートのシュミットトリガ制御	
	0x5205	P0_IMSK	P0 Port Interrupt Mask Register	P0ポート割り込みマスクの設定	
	0x5206	P0_EDGE	P0 Port Interrupt Edge Select Register	P0ポート割り込みエッジの選択	
	0x5207	P0_IFLG	P0 Port Interrupt Flag Register	P0ポート割り込み発生状態の表示/リセット	
	0x5208	P0_CHAT	P0 Port Chattering Filter Control Register	P0ポートチャタリング除去制御	
	0x5209	P0_KRST	P0 Port Key-Entry Reset Configuration Register	P0ポートキー入力リセットの設定	
	0x520a	P0_IEN	P0 Port Input Enable Register	P0ポート入力カインープル	
	0x520b~0x520f	–	–	Reserved	
	0x5210	P1_IN	P1 Port Input Data Register	P1ポート入力データ	
	0x5211	P1_OUT	P1 Port Output Data Register	P1ポート出力データ	
	0x5212	P1_OEN	P1 Port Output Enable Register	P1ポート出カインープル	
	0x5213	P1_PU	P1 Port Pull-up Control Register	P1ポートのプルアップ制御	
	0x5214	P1_SM	P1 Port Schmitt Trigger Control Register	P1ポートのシュミットトリガ制御	
	0x5215	P1_IMSK	P1 Port Interrupt Mask Register	P1ポート割り込みマスクの設定	
	0x5216	P1_EDGE	P1 Port Interrupt Edge Select Register	P1ポート割り込みエッジの選択	
	0x5217	P1_IFLG	P1 Port Interrupt Flag Register	P1ポート割り込み発生状態の表示/リセット	
	0x5218	P1_CHAT	P1 Port Chattering Filter Control Register	P1ポートチャタリング除去制御	
	0x5219	–	–	Reserved	
	0x521a	P1_IEN	P1 Port Input Enable Register	P1ポート入力カインープル	
	0x521b~0x521f	–	–	Reserved	
	0x5220	P2_IN	P2 Port Input Data Register	P2ポート入力データ	
	0x5221	P2_OUT	P2 Port Output Data Register	P2ポート出力データ	
	0x5222	P2_OEN	P2 Port Output Enable Register	P2ポート出カインープル	
	0x5223	P2_PU	P2 Port Pull-up Control Register	P2ポートのプルアップ制御	
	0x5224	P2_SM	P2 Port Schmitt Trigger Control Register	P2ポートのシュミットトリガ制御 P24-20のみ制御可能	
	0x5225~0x5229	–	–	Reserved	
	0x522a	P2_IEN	P2 Port Input Enable Register	P2ポート入力カインープル	
	0x522b~0x522f	–	–	Reserved	
0x52a0~0x52a1	P0_PMUX	P0 Port Function Select Register	P0ポート機能の選択		
0x52a2~0x52a3	P1_PMUX	P1 Port Function Select Register	P1ポート機能の選択		
0x52a4~0x52a5	P2_PMUX	P2 Port Function Select Register	P2ポート機能の選択		
0x52a6~0x52bf	–	–	Reserved		
PWMタイマ Ch.0 (16ビットデバイス)	0x5300	T16E_CA0	PWM Timer Ch.0 Compare Data A Register	コンペアデータAの設定	
	0x5302	T16E_CB0	PWM Timer Ch.0 Compare Data B Register	コンペアデータBの設定	
	0x5304	T16E_TC0	PWM Timer Ch.0 Counter Data Register	カウンタデータ	
	0x5306	T16E_CTL0	PWM Timer Ch.0 Control Register	タイマモードの設定とタイマのRUN/STOP	
	0x5308	T16E_CLK0	PWM Timer Ch.0 Input Clock Select Register	プリスケアラ出力クロックの選択	
	0x530a	T16E_IMSK0	PWM Timer Ch.0 Interrupt MASK Register	割り込み要因のマスク選択	
	0x530c	T16E_IFLG0	PWM Timer Ch.0 Interrupt Flag Register	割り込み要因の確認	
	0x530e~0x531f	–	–	Reserved	
	MISCレジスタ (16ビットデバイス)	0x5320	MISC_FL	FLASHC/GRAMC Control Register	FLASHC/GRAMCアクセス条件設定
		0x5322	MISC_OSC1	OSC1 Peripheral Control Register	デバッグ時のOSC1動作周辺機能の設定
0x5324		MISC_PROT	MISC Protect Register	MISCレジスタ書き込み保護	
0x5326		MISC_IRAMSZ	IRAM Size Select Register	IRAMサイズの選択	
0x5328		MISC_TTBRL	Vector Table Address Low Register	ベクタテーブルアドレスの設定	
0x532a		MISC_TTBRLH	Vector Table Address High Register	ベクタテーブルアドレスの設定	
0x532c		MISC_PSR	PSR Register	PSRの読み出し	
0x532e~0x533f		–	–	Reserved	
PWMタイマ Ch.1 (16ビットデバイス)	0x5360	T16E_CA1	PWM Timer Ch.1 Compare Data A Register	コンペアデータAの設定	
	0x5362	T16E_CB1	PWM Timer Ch.1 Compare Data B Register	コンペアデータBの設定	
	0x5364	T16E_TC1	PWM Timer Ch.1 Counter Data Register	カウンタデータ	
	0x5366	T16E_CTL1	PWM Timer Ch.1 Control Register	タイマモードの設定とタイマのRUN/STOP	
	0x5368	T16E_CLK1	PWM Timer Ch.1 Input Clock Select Register	プリスケアラ出力クロックの選択	
	0x536a	T16E_IMSK1	PWM Timer Ch.1 Interrupt MASK Register	割り込み要因のマスク選択	
	0x536c	T16E_IFLG1	PWM Timer Ch.1 Interrupt Flag Register	割り込み要因の確認	
	A/D変換器 (16ビットデバイス)	0x5380	ADC10_ADD	ADC10 Conversion Result Register	A/D変換結果
0x5382		ADC10_TRG	ADC10 Trigger/Channel Select Register	変換トリガ/変換チャネルの設定	
0x5384		ADC10_CTL	ADC10 Control/Status Register	変換制御, 変換ステータス	
0x5386		ADC10_DIV	ADC10 divided frequency Register	A/D変換クロック分周設定	
0x5388~0x539f		–	–	Reserved	

Appendix A I/Oレジスタ一覧

周辺回路	アドレス	レジスタ名		機能
R/F変換器 (16ビットデバイス)	0x53a0	RFC_CTL	RFC Control Register	R/F変換器設定
	0x53a2	RFC_TRG	RFC Oscillation Trigger Register	R/F発振開始トリガ
	0x53a4	RFC_MCL	RFC Measurement Counter Register (LSB)	測定カウンタ(下位)
	0x53a6	RFC_MCH	RFC Measurement Counter Register (MSB)	測定カウンタ(上位)
	0x53a8	RFC_TCL	RFC Time Base Counter Register (LSB)	タイムベースカウンタ(下位)
	0x53aa	RFC_TCH	RFC Time Base Counter Register (MSB)	タイムベースカウンタ(上位)
	0x53ac	RFC_IMSK	RFC Interrupt Mask Register	割り込みマスクの設定
	0x53ae	RFC_IFLG	RFC Interrupt Flag Register	割り込みフラグ
	0x53b0-0x53bf	-	-	Reserved
SEGRAM (16ビットデバイス)	0x53c0-0x53d3	SEGRAM	SEGRAM Data	Segramデータ
	0x53d4-0x53ff	-	-	Reserved
S1C17コアI/O	0xffff84	IDIR	Processor ID Register	プロセッサIDの表示
	0xffff90	DBRAM	Debug RAM Base Register	デバッグRAMベースアドレスの表示
	0xffffa0	DCR	Debug Control Register	デバッグ制御
	0xffffb8	IBAR2	Instruction Break Address Register 2	命令ブレークアドレス#2の設定
	0xffffbc	IBAR3	Instruction Break Address Register 3	命令ブレークアドレス#3の設定
	0xffffd0	IBAR4	Instruction Break Address Register 4	命令ブレークアドレス#4の設定

注: 表中の“Reserved”で示されたアドレス、および表に記載のない周辺回路エリアの未使用領域は、アプリケーションプログラムからアクセスしないでください。

0x4020**Prescaler**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Prescaler Control Register (PSC_CTL)	0x4020 (8 bits)	D7-2	-	reserved		-	-	0 when being read.
		D1	PRUND	Prescaler run/stop in debug mode	1 Run	0 Stop	0	R/W
		D0	PRUN	Prescaler run/stop control	1 Run	0 Stop	0	R/W

0x4100–0x4105

UART (with IrDA)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
UART Status Register (UART_ST)	0x4100 (8 bits)	D7	–	reserved	–		–	–	0 when being read.		
		D6	FER	Framing error flag	1	Error	0	Normal	0	R/W	Reset by writing 1.
		D5	PER	Parity error flag	1	Error	0	Normal	0	R/W	
		D4	OER	Overrun error flag	1	Error	0	Normal	0	R/W	
		D3	RD2B	Second byte receive flag	1	Ready	0	Empty	0	R	
		D2	TRBS	Transmit busy flag	1	Busy	0	Idle	0	R	Shift register status
		D1	RDRY	Receive data ready flag	1	Ready	0	Empty	0	R	
D0	TDBE	Transmit data buffer empty flag	1	Empty	0	Not empty	1	R			
UART Transmit Data Register (UART_TXD)	0x4101 (8 bits)	D7–0	TXD[7:0]	Transmit data TXD7(6) = MSB TXD0 = LSB	0x0 to 0xff (0x7f)		0x0	R/W			
UART Receive Data Register (UART_RXD)	0x4102 (8 bits)	D7–0	RXD[7:0]	Receive data in the receive data buffer RXD7(6) = MSB RXD0 = LSB	0x0 to 0xff (0x7f)		0x0	R	Older data in the buffer is read out first.		
UART Mode Register (UART_MOD)	0x4103 (8 bits)	D7–5	–	reserved	–		–	–	0 when being read.		
		D4	CHLN	Character length	1	8 bits	0	7 bits	0	R/W	
		D3	PREN	Parity enable	1	With parity	0	No parity	0	R/W	
		D2	PMD	Parity mode select	1	Odd	0	Even	0	R/W	
		D1	STPB	Stop bit select	1	2 bits	0	1 bit	0	R/W	
		D0	SSCK	Input clock select	1	External	0	Internal	0	R/W	
UART Control Register (UART_CTL)	0x4104 (8 bits)	D7	–	reserved	–		–	–	0 when being read.		
		D6	REIEN	Receive error int. enable	1	Enable	0	Disable	0	R/W	
		D5	RIEN	Receive buffer full int. enable	1	Enable	0	Disable	0	R/W	
		D4	TIEN	Transmit buffer empty int. enable	1	Enable	0	Disable	0	R/W	
		D3–2	–	reserved	–		–	–	–	0 when being read.	
		D1	RBF1	Receive buffer full int. condition	1	2 bytes	0	1 byte	0	R/W	
D0	RXEN	UART enable	1	Enable	0	Disable	0	R/W			
UART Expansion Register (UART_EXP)	0x4105 (8 bits)	D7	–	reserved	–		–	–	0 when being read.		
		D6–4	IRCLK[2:0]	IrDA receive detection clock select	IRCLK[2:0]		Clock		0x0	R/W	
					0x7	PCLK•1/128					
					0x6	PCLK•1/64					
					0x5	PCLK•1/32					
					0x4	PCLK•1/16					
					0x3	PCLK•1/8					
0x2	PCLK•1/4										
0x1	PCLK•1/2										
0x0	PCLK•1/1										
D3–1	–	reserved	–		–	–	–	0 when being read.			
D0	IRMD	IrDA mode select	1	On	0	Off	0	R/W			

0x4200–0x4208

8-bit Timer (with Fine Mode)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
8-bit Timer Input Clock Select Register (T8F_CLK)	0x4200 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.	
		D3–0	DF[3:0]	8-bit timer input clock select (Prescaler output clock)	DF[3:0] Clock	0x0	R/W		
					0xf reserved				
					0xe PCLK•1/16384				
					0xd PCLK•1/8192				
					0xc PCLK•1/4096				
					0xb PCLK•1/2048				
					0xa PCLK•1/1024				
					0x9 PCLK•1/512				
					0x8 PCLK•1/256				
					0x7 PCLK•1/128				
					0x6 PCLK•1/64				
					0x5 PCLK•1/32				
			0x4 PCLK•1/16						
			0x3 PCLK•1/8						
			0x2 PCLK•1/4						
			0x1 PCLK•1/2						
			0x0 PCLK•1/1						
8-bit Timer Reload Data Register (T8F_TR)	0x4202 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.	
		D7–0	TR[7:0]	8-bit timer reload data TR7 = MSB TR0 = LSB	0x0 to 0xff	0x0	R/W		
8-bit Timer Counter Data Register (T8F_TC)	0x4204 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.	
		D7–0	TC[7:0]	8-bit timer counter data TC7 = MSB TC0 = LSB	0x0 to 0xff	0xff	R		
8-bit Timer Control Register (T8F_CTL)	0x4206 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.	
		D11–8	TFMD[3:0]	Fine mode setup	0x0 to 0xf	0x0	R/W	Set a number of times to insert delay into a 16-underflow period.	
		D7–5	–	reserved	–	–	–	0 when being read.	
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W		
		D3–2	–	reserved	–	–	–	0 when being read.	
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W		
	D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W			
8-bit Timer Interrupt Control Register (T8F_INT)	0x4208 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.	
		D8	T8IE	8-bit timer interrupt enable	1 Enable 0 Disable	0	R/W		
		D7–1	–	reserved	–	–	–	0 when being read.	
		D0	T8IF	8-bit timer interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.	

0x4220–0x4244

16-bit Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
16-bit Timer Ch.0 Input Clock Select Register (T16_CLK0)	0x4220 (16 bits)	D15–4	–	reserved		–	–	–	0 when being read.
		D3–0	DF[3:0]	Timer input clock select (Prescaler output clock)	DF[3:0] Clock	0x0	R/W		
					0xf	reserved			
					0xe	PCLK•1/16384			
					0xd	PCLK•1/8192			
					0xc	PCLK•1/4096			
					0xb	PCLK•1/2048			
					0xa	PCLK•1/1024			
					0x9	PCLK•1/512			
					0x8	PCLK•1/256			
					0x7	PCLK•1/128			
					0x6	PCLK•1/64			
					0x5	PCLK•1/32			
			0x4	PCLK•1/16					
			0x3	PCLK•1/8					
			0x2	PCLK•1/4					
			0x1	PCLK•1/2					
			0x0	PCLK•1/1					
16-bit Timer Ch.0 Reload Data Register (T16_TR0)	0x4222 (16 bits)	D15–0	TR[15:0]	16-bit timer reload data TR15 = MSB TR0 = LSB	0x0 to 0xffff	0x0	R/W		
16-bit Timer Ch.0 Counter Data Register (T16_TC0)	0x4224 (16 bits)	D15–0	TC[15:0]	16-bit timer counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0xffff	R		
16-bit Timer Ch.0 Control Register (T16_CTL0)	0x4226 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.	
		D10	CKACTV	External clock active level select	1 High 0 Low	1	R/W		
		D9–8	CKSL[1:0]	Input clock and pulse width measurement mode select	CKSL[1:0] Mode	0x0	R/W		
					0x3	reserved			
					0x2	Pulse width			
					0x1	External clock			
					0x0	Internal clock			
		D7–5	–	reserved	–	–	–	–	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W		
		D3–2	–	reserved	–	–	–	–	0 when being read.
D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W				
D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W				
16-bit Timer Ch.0 Interrupt Control Register (T16_INT0)	0x4228 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.	
		D8	T16IE	16-bit timer interrupt enable	1 Enable 0 Disable	0	R/W		
		D7–1	–	reserved	–	–	–	0 when being read.	
		D0	T16IF	16-bit timer interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.	
16-bit Timer Ch.1 Input Clock Select Register (T16_CLK1)	0x4240 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.	
		D3–0	DF[3:0]	Timer input clock select (Prescaler output clock)	DF[3:0] Clock	0x0	R/W		
					0xf	reserved			
					0xe	PCLK•1/16384			
					0xd	PCLK•1/8192			
					0xc	PCLK•1/4096			
					0xb	PCLK•1/2048			
					0xa	PCLK•1/1024			
					0x9	PCLK•1/512			
					0x8	PCLK•1/256			
					0x7	PCLK•1/128			
					0x6	PCLK•1/64			
					0x5	PCLK•1/32			
			0x4	PCLK•1/16					
			0x3	PCLK•1/8					
			0x2	PCLK•1/4					
			0x1	PCLK•1/2					
			0x0	PCLK•1/1					
16-bit Timer Ch.1 Reload Data Register (T16_TR1)	0x4242 (16 bits)	D15–0	TR[15:0]	16-bit timer reload data TR15 = MSB TR0 = LSB	0x0 to 0xffff	0x0	R/W		
16-bit Timer Ch.1 Counter Data Register (T16_TC1)	0x4244 (16 bits)	D15–0	TC[15:0]	16-bit timer counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0xffff	R		

0x4246–0x4268

16-bit Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
16-bit Timer Ch.1 Control Register (T16_CTL1)	0x4246 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.	
		D10	CKACTV	External clock active level select	1 High 0 Low	1	R/W	0 when being read.	
		D9–8	CKSL[1:0]	Input clock and pulse width measurement mode select	CKSL[1:0] Mode	0x0	R/W		
					0x3 reserved 0x2 Pulse width 0x1 External clock 0x0 Internal clock				
		D7–5	–	reserved	–	–	–	–	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W		
		D3–2	–	reserved	–	–	–	–	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W		
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W		
16-bit Timer Ch.1 Interrupt Control Register (T16_INT1)	0x4248 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.	
		D8	T16IE	16-bit timer interrupt enable	1 Enable 0 Disable	0	R/W		
		D7–1	–	reserved	–	–	–	0 when being read.	
		D0	T16IF	16-bit timer interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.	
16-bit Timer Ch.2 Input Clock Select Register (T16_CLK2)	0x4260 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.	
		D3–0	DF[3:0]	Timer input clock select (Prescaler output clock)	DF[3:0] Clock	0x0	R/W	0 when being read.	
					0xf reserved 0xe PCLK•1/16384 0xd PCLK•1/8192 0xc PCLK•1/4096 0xb PCLK•1/2048 0xa PCLK•1/1024 0x9 PCLK•1/512 0x8 PCLK•1/256 0x7 PCLK•1/128 0x6 PCLK•1/64 0x5 PCLK•1/32 0x4 PCLK•1/16 0x3 PCLK•1/8 0x2 PCLK•1/4 0x1 PCLK•1/2 0x0 PCLK•1/1				
16-bit Timer Ch.2 Reload Data Register (T16_TR2)	0x4262 (16 bits)	D15–0	TR[15:0]	16-bit timer reload data TR15 = MSB TR0 = LSB	0x0 to 0xffff	0x0	R/W		
16-bit Timer Ch.2 Counter Data Register (T16_TC2)	0x4264 (16 bits)	D15–0	TC[15:0]	16-bit timer counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0xffff	R		
16-bit Timer Ch.2 Control Register (T16_CTL2)	0x4266 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.	
		D10	CKACTV	External clock active level select	1 High 0 Low	1	R/W	0 when being read.	
		D9–8	CKSL[1:0]	Input clock and pulse width measurement mode select	CKSL[1:0] Mode	0x0	R/W		
					0x3 reserved 0x2 Pulse width 0x1 External clock 0x0 Internal clock				
		D7–5	–	reserved	–	–	–	–	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W		
		D3–2	–	reserved	–	–	–	–	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W		
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W		
16-bit Timer Ch.2 Interrupt Control Register (T16_INT2)	0x4268 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.	
		D8	T16IE	16-bit timer interrupt enable	1 Enable 0 Disable	0	R/W		
		D7–1	–	reserved	–	–	–	0 when being read.	
		D0	T16IF	16-bit timer interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.	

0x4306–0x4318

Interrupt Controller

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register 0 (ITC_LV0)	0x4306 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV1[2:0]	P1 interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV0[2:0]	P0 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 1 (ITC_LV1)	0x4308 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV3[2:0]	CT interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV2[2:0]	SWT interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 2 (ITC_LV2)	0x430a (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV5[2:0]	SVD interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV4[2:0]	T8OSC1 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 3 (ITC_LV3)	0x430c (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV7[2:0]	T16E Ch.0 interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV6[2:0]	LCD interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 4 (ITC_LV4)	0x430e (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV9[2:0]	T16 Ch.0 interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV8[2:0]	T8F interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 5 (ITC_LV5)	0x4310 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV11[2:0]	T16 Ch.2 interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV10[2:0]	T16 Ch.1 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 6 (ITC_LV6)	0x4312 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV13[2:0]	i ² C slave interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV12[2:0]	UART interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 7 (ITC_LV7)	0x4314 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV15[2:0]	i ² C Master interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV14[2:0]	SPI interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 8 (ITC_LV8)	0x4316 (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV16[2:0]	T16E Ch.1 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 9 (ITC_LV9)	0x4318 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV19[2:0]	RFC interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV18[2:0]	ADC10SA interrupt level	0 to 7	0x0	R/W	

0x4320–0x4326

SPI

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI Status Register (SPI_ST)	0x4320 (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.
		D2	SPBSY	Transfer busy flag (master)	1 Busy 0 Idle	0	R	
		D1	SPRBF	Receive data buffer full flag	1 ss = L 0 ss = H	0	R	
		D0	SPTBE	Transmit data buffer empty flag	1 Full 0 Not full	0	R	
SPI Transmit Data Register (SPI_TXD)	0x4322 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SPTDB[7:0]	SPI transmit data buffer SPTDB7 = MSB SPTDB0 = LSB	0x0 to 0xff	0x0	R/W	
SPI Receive Data Register (SPI_RXD)	0x4324 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SPRDB[7:0]	SPI receive data buffer SPRDB7 = MSB SPRDB0 = LSB	0x0 to 0xff	0x0	R	
SPI Control Register (SPI_CTL)	0x4326 (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.
		D9	MCLK	SPI clock source select	1 T16 Ch.1 0 PCLK*1/4	0	R/W	
		D8	MLSB	LSB/MSB first mode select	1 LSB 0 MSB	0	R/W	
		D7–6	–	reserved	–	–	–	0 when being read.
		D5	SPRIE	Receive data buffer full int. enable	1 Enable 0 Disable	0	R/W	
		D4	SPTIE	Transmit data buffer empty int. enable	1 Enable 0 Disable	0	R/W	
		D3	CPHA	Clock phase select	1 Data out 0 Data in	0	R/W	These bits must be set before setting SPEN to 1.
		D2	CPOL	Clock polarity select	1 Active L 0 Active H	0	R/W	
		D1	MSSL	Master/slave mode select	1 Master 0 Slave	0	R/W	
D0	SPEN	SPI enable	1 Enable 0 Disable	0	R/W			

0x4340–0x4346

I²C Master

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Enable Register (I2C_EN)	0x4340 (16 bits)	D15–1	–	reserved	–	–	–	0 when being read.
		D0	I2CEN	I ² C enable	1 Enable 0 Disable	0	R/W	
I ² C Control Register (I2C_CTL)	0x4342 (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.
		D9	RBUSY	Receive busy flag	1 Busy 0 Idle	0	R	
		D8	TBUSY	Transmit busy flag	1 Busy 0 Idle	0	R	
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	NSERM	Noise remove on/off	1 On 0 Off	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	STP	Stop control	1 Stop 0 Ignored	0	R/W	
D0	STRT	Start control	1 Start 0 Ignored	0	R/W			
I ² C Data Register (I2C_DAT)	0x4344 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11	RBRDY	Receive buffer ready	1 Ready 0 Empty	0	R	
		D10	RXE	Receive execution	1 Receive 0 Ignored	0	R/W	
		D9	TXE	Transmit execution	1 Transmit 0 Ignored	0	R/W	
		D8	RTACK	Receive/transmit ACK	1 Error 0 ACK	0	R/W	
		D7–0	RTDT[7:0]	Receive/transmit data RTDT7 = MSB RTDT0 = LSB	0x0 to 0xff	0x0	R/W	
I ² C Interrupt Control Register (I2C_ICTL)	0x4346 (16 bits)	D15–2	–	reserved	–	–	–	0 when being read.
		D1	RINTE	Receive interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	TINTE	Transmit interrupt enable	1 Enable 0 Disable	0	R/W	

0x4360–0x436c

I²C Slave

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
I ² C Slave Transmit Data Register (I2CS_TRNS)	0x4360 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.	
		D7–0	SDATA[7:0]	I ² C slave transmit data	0–0xff	0x0	R/W		
I ² C Slave Receive Data Register (I2CS_RECV)	0x4362 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.	
		D7–0	RDATA[7:0]	I ² C slave receive data	0–0xff	0x0	R		
I ² C Slave Address Setup Register (I2CS_SADRS)	0x4364 (16 bits)	D15–7	–	reserved	–	–	–	0 when being read.	
		D6–0	SADRS[6:0]	I ² C slave address	0–0x7f	0x0	R/W		
I ² C Slave Control Register (I2CS_CTL)	0x4366 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.	
		D8	TBUF_CLR	I2CS_TRNS register clear	1 Clear state	0 Normal	0	R/W	
		D7	I2C_EN	I ² C slave enable	1 Enable	0 Disable	0	R/W	
		D6	SOFTRESET	Software reset	1 Reset	0 Cancel	0	R/W	
		D5	NAK_ANS	NAK answer	1 NAK	0 ACK	0	R/W	
		D4	BFREQ_EN	Bus free request enable	1 Enable	0 Disable	0	R/W	
		D3	CLKSTR_EN	Clock stretch On/Off	1 On	0 Off	0	R/W	
		D2	NF_EN	Noise filter On/Off	1 On	0 Off	0	R/W	
		D1	ASDET_EN	Async.address detection On/Off	1 On	0 Off	0	R/W	
D0	COM_MODE	I ² C slave communication mode	1 Active	0 Standby	0	R/W	NAK response when standby		
I ² C Slave Status Register (I2CS_STAT)	0x4368 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.	
		D7	BSTAT	Bus status transition	1 Changed	0 Unchanged	0	R	
		D6	–	reserved	–	–	–	–	0 when being read.
		D5	TXUDF	Transmit data underflow	1 Occurred	0 Not occurred	0	R/W	Reset by writing 1.
			RXOVF	Receive data overflow					
		D4	BFREQ	Bus free request	1 Occurred	0 Not occurred	0	R/W	
		D3	DMS	Output data mismatch	1 Error	0 Normal	0	R/W	
		D2	ASDET	Async. address detection status	1 Detected	0 Not detected	0	R/W	
D1	DA_NAK	NAK receive status	1 NAK	0 ACK	0	R/W			
D0	DA_STOP	STOP condition detect	1 Detected	0 Not detected	0	R/W			
I ² C Slave Access Status Register (I2CS_ASTAT)	0x436a (16 bits)	D15–5	–	reserved	–	–	–	0 when being read.	
		D4	RXRDY	Receive data ready	1 Ready	0 Not ready	0	R	
		D3	TXEMP	Transmit data empty	1 Empty	0 Not empty	0	R	
		D2	BUSY	I ² C bus status	1 Busy	0 Free	0	R	
		D1	SELECTED	I ² C slave select status	1 Selected	0 Not selected	0	R	
		D0	R/W	Read/write direction	1 Output	0 Input	0	R	
I ² C Slave Interrupt Control Register (I2CS_ICTL)	0x436c (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.	
		D2	BSTAT_IEN	Bus status interrupt enable	1 Enable	0 Disable	0	R/W	
		D1	RXRDY_IEN	Receive interrupt enable	1 Enable	0 Disable	0	R/W	
		D0	TXEMP_IEN	Transmit interrupt enable	1 Enable	0 Disable	0	R/W	

0x5000–0x5003

Clock Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Clock Timer Control Register (CT_CTL)	0x5000 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.	
		D4	CTRST	Clock timer reset	1 Reset	0 Ignored	0		W
		D3–1	–	reserved	–	–	–	–	
		D0	CTRUN	Clock timer run/stop control	1 Run	0 Stop	0	R/W	
Clock Timer Counter Register (CT_CNT)	0x5001 (8 bits)	D7–0	CTCNT[7:0]	Clock timer counter value	0x0 to 0xff	0	R		
Clock Timer Interrupt Mask Register (CT_IMSK)	0x5002 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.	
		D3	CTIE32	32 Hz interrupt enable	1 Enable	0 Disable	0		R/W
		D2	CTIE8	8 Hz interrupt enable	1 Enable	0 Disable	0	R/W	
		D1	CTIE2	2 Hz interrupt enable	1 Enable	0 Disable	0	R/W	
		D0	CTIE1	1 Hz interrupt enable	1 Enable	0 Disable	0	R/W	
Clock Timer Interrupt Flag Register (CT_IFLG)	0x5003 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.	
		D3	CTIF32	32 Hz interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0		R/W
		D2	CTIF8	8 Hz interrupt flag			0	R/W	
		D1	CTIF2	2 Hz interrupt flag			0	R/W	
		D0	CTIF1	1 Hz interrupt flag			0	R/W	

0x5020–0x5023

Stopwatch Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Stopwatch Timer Control Register (SWT_CTL)	0x5020 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.	
		D4	SWTRST	Stopwatch timer reset	1 Reset	0 Ignored	0		W
		D3–1	–	reserved	–	–	–		–
		D0	SWTRUN	Stopwatch timer run/stop control	1 Run	0 Stop	0		R/W
Stopwatch Timer BCD Counter Register (SWT_BCNT)	0x5021 (8 bits)	D7–4	BCD10[3:0]	1/10 sec. BCD counter value	0 to 9	0	R		
		D3–0	BCD100[3:0]	1/100 sec. BCD counter value	0 to 9	0	R		
Stopwatch Timer Interrupt Mask Register (SWT_IMSK)	0x5022 (8 bits)	D7–3	–	reserved	–	–	–	0 when being read.	
		D2	SIE1	1 Hz interrupt enable	1 Enable	0 Disable	0		R/W
		D1	SIE10	10 Hz interrupt enable	1 Enable	0 Disable	0		R/W
		D0	SIE100	100 Hz interrupt enable	1 Enable	0 Disable	0		R/W
Stopwatch Timer Interrupt Flag Register (SWT_IFLG)	0x5023 (8 bits)	D7–3	–	reserved	–	–	–	0 when being read. Reset by writing 1.	
		D2	SIF1	1 Hz interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0		R/W
		D1	SIF10	10 Hz interrupt flag			0		R/W
		D0	SIF100	100 Hz interrupt flag			0		R/W

0x5040–0x5041

Watchdog Timer

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Watchdog Timer Control Register (WDT_CTL)	0x5040 (8 bits)	D7–5	–	reserved	–		–	–	0 when being read.		
		D4	WDRST	Watchdog timer reset	1	Reset	0	Ignored		0	W
		D3–0	WDTRUN[3:0]	Watchdog timer run/stop control	Other than 1010 Run		1010 Stop	1010		R/W	
Watchdog Timer Status Register (WDT_ST)	0x5041 (8 bits)	D7–2	–	reserved	–		–	–	0 when being read.		
		D1	WDTMD	NMI/Reset mode select	1	Reset	0	NMI		0	R/W
		D0	WDTST	NMI status	1	NMI occurred	0	Not occurred		0	R

0x5060–0x5067

Oscillator

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks					
Clock Source Select Register (OSC_SRC)	0x5060 (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.					
		D1	HSCLKSEL	High-speed clock select	1 OSC3	0 IOSC	0	R/W					
		D0	CLKSRC	System clock source select	1 OSC1	0 HSCLK	0	R/W					
Oscillation Control Register (OSC_CTL)	0x5061 (8 bits)	D7–6	IOSCWT[1:0]	IOSC wait cycle select	IOSCWT[1:0]	Wait cycle	0x0	R/W					
					0x3	8 cycles							
					0x2	16 cycles							
					0x1	32 cycles							
		D5–4	OSC3WT[1:0]	OSC3 wait cycle select	OSC3WT[1:0]	Wait cycle	0x0	R/W					
					0x3	128 cycles							
					0x2	256 cycles							
D3	–	reserved	–	–	–	–	0 when being read.						
D2	IOSCEN	IOSC enable	1 Enable	0 Disable	1	R/W							
D1	OSC1EN	OSC1 enable	1 Enable	0 Disable	0	R/W							
D0	OSC3EN	OSC3 enable	1 Enable	0 Disable	0	R/W							
Noise Filter Enable Register (OSC_NFEN)	0x5062 (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.					
		D1	RSTFE	Reset noise filter enable	1 Enable	0 Disable	1	R/W					
		D0	NMIFE	NMI noise filter enable	1 Enable	0 Disable	0	R/W					
LCD Clock Setup Register (OSC_LCLK)	0x5063 (8 bits)	D7–5	–	reserved	–	–	–	–	0 when being read.				
					D4–2	LCKDVK[2:0]	LCD clock division ratio select	LCKDVK[2:0]		Division ratio	0x0	R/W	注 LCKDV、LCKSRCの操作はLCKENがDisableのときに行ってください。
								0x7–0x5		reserved			
								0x4		HSCLK•1/512			
								0x3		HSCLK•1/256			
		0x2	HSCLK•1/128										
0x1	HSCLK•1/64												
D1	LCKSRC	LCD clock source select	1 OSC1	0 HSCLK	1	R/W							
D0	LCKEN	LCD clock enable	1 Enable	0 Disable	0	R/W							
FOUT Control Register (OSC_FOUT)	0x5064 (8 bits)	D7–4	–	reserved	–	–	–	–	0 when being read.				
					D3–2	FOUTHD[1:0]	FOUTH clock division ratio select	FOUTHD[1:0]		Division ratio	0x0	R/W	注 FOUTHの操作はFOUT1E、FOUT1EがDisableのときに行ってください。
								0x3		reserved			
								0x2		HSCLK•1/4			
		0x1	HSCLK•1/2										
D1	FOUTHE	FOUTH output enable	1 Enable	0 Disable	0	R/W							
D0	FOUT1E	FOUT1 output enable	1 Enable	0 Disable	0	R/W							
T8OSC1 Clock Control Register (OSC_T8OSC1)	0x5065 (8 bits)	D7–4	–	reserved	–	–	–	–	0 when being read.				
					D3–1	T8O1CK[2:0]	T8OSC1 clock division ratio select	T8O1CK[2:0]		Division ratio	0x0	R/W	注 T8O1CKの操作はT8O1CEがDisableのときに行ってください。
								0x7–0x6		reserved			
								0x5		OSC1•1/32			
								0x4		OSC1•1/16			
		0x3	OSC1•1/8										
0x2	OSC1•1/4												
0x1	OSC1•1/2												
0x0	OSC1•1/1												
D0	T8O1CE	T8OSC1 clock output enable	1 Enable	0 Disable	0	R/W							
SVD Clock Control Register (OSC_SVDCLK)	0x5066 (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.					
		D1	SVDSRC	SVD clock source select	1 OSC1	0 HSCLK•1/512	1	R/W	注 SVDSRCの操作はSVDENがDisableのときに行ってください。				
		D0	SVDCKEN	SVD clock source select	1 Enable	0 Disable	0	R/W					
RFC Clock Control Register (OSC_RFTCK)	0x5067 (8 bits)	D7–4	–	reserved	–	–	–	–	0 when being read.				
					D3–2	RFTCKDV[1:0]	RFC TC clock division ratio select	RFTCKDV[1:0]		Division ratio	0x0	R/W	注 RFTCKDV、RFTCKSRCの操作はRFTCKENがDisableのときに行ってください。
								0x3		HSCLK•1/8			
								0x2		HSCLK•1/4			
		0x1	HSCLK•1/2										
D1	RFTCKSRC	RFC TC clock source select	1 OSC1	0 HSCLK	1	R/W							
D0	RFTCKEN	RFC TC clock output enable	1 Enable	0 Disable	0	R/W							

0x5080–0x5081

Clock Generator

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PCLK Control Register (CLG_PCLK)	0x5080 (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1–0	PCKEN[1:0]	PCLK enable	PCKEN[1:0]	PCLK supply	0x3	R/W
					0x3	Enable		
					0x2	Not allowed		
			0x1	Not allowed				
			0x0	Disable				
CCLK Control Register (CLG_CCLK)	0x5081 (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1–0	CCLKGR[1:0]	CCLK clock gear ratio select	CCLKGR[1:0]	Gear ratio	0x0	R/W
					0x3	1/8		
					0x2	1/4		
					0x1	1/2		
			0x0	1/1				

0x50a0–0x50a6

LCD Driver

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
LCD Display Control Register (LCD_DCTL)	0x50a0 (8 bits)	D7	SEGREV	Segment output assignment control	1 Normal	0 Reverse	1	R/W	
		D6	COMREV	Common output assignment control	1 Normal	0 Reverse	1	R/W	
		D5	DSPAR	Display memory area control	1 Area 1	0 Area 0	0	R/W	
		D4	DSPREV	Reverse display control	1 Normal	0 Reverse	1	R/W	
		D3–2	–	reserved	–	–	–	–	–
		D1–0	DSPC[1:0]	LCD display control	DSPC[1:0] Display	0x0	R/W		
					0x3 All off 0x2 All on 0x1 Normal display 0x0 Display off				
LCD Contrast Adjust Register (LCD_CADJ)	0x50a1 (8 bits)	D7–4	–	reserved	–	–	–	–	0 when being read.
		D3–0	LC[3:0]	LCD contrast adjustment	LC[3:0] Display	0x7	R/W		
					0xf Dark : : 0x0 Light				
LCD Clock Control Register (LCD_CCTL)	0x50a2 (8 bits)	D7–6	FRMCNT [1:0]	Frame frequency control	FRMCNT[1:0] Division ratio	0x1	R/W		
					0x3 LCDclock•1/1024 0x2 LCDclock•1/680 0x1 LCDclock•1/512 0x0 LCDclock•1/256				
		D5	LFROUT	LFR output control	1 P00 output	0 Off	0x0	R/W	
		D4–3	–	reserved	–	–	–	–	0 when being read.
				D2–0	LDUTY[2:0]	LCD duty select	LDUTY[2:0] Duty	0x4	R/W
					0x5–0x7 reserved 0x4 1/8 0x3 1/4 0x2 1/3 0x1 1/2 0x0 Static				
LCD Voltage Regulator Control Register (LCD_VREG)	0x50a3 (8 bits)	D7–5	–	reserved	–	–	–	–	0 when being read.
		D4	LHVLD	LCD heavy load protection mode	1 On	0 Off	0	R/W	
		D3–1	–	reserved	–	–	–	–	0 when being read.
		D0	VCSEL	Power source select for LCD voltage regulator	1 Vc = 2V	0 Vc = 1V	0	R/W	
LCD Interrupt Mask Register (LCD_IMSK)	0x50a5 (8 bits)	D7–1	–	reserved	–	–	–	–	0 when being read.
		D0	FRMIE	Frame signal interrupt enable	1 Enable	0 Disable	0	R/W	
LCD Interrupt Flag Register (LCD_IFLG)	0x50a6 (8 bits)	D7–1	–	reserved	–	–	–	–	0 when being read.
		D0	FRMIF	Frame signal interrupt flag	1 Occurred	0 Not occurred	0	R/W	Reset by writing 1.

0x50c0–0x50c5

8-bit OSC1 Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
8-bit OSC1 Timer Control Register (T8OSC1_CTL)	0x50c0 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.	
		D4	T8ORST	Timer reset	1 Reset	0 Ignored	0		W
		D3–2	–	reserved	–	–	–		–
		D1	T8ORMD	Count mode select	1 One shot	0 Repeat	0		R/W
		D0	T8ORUN	Timer run/stop control	1 Run	0 Stop	0	R/W	
8-bit OSC1 Timer Counter Data Register (T8OSC1_CNT)	0x50c1 (8 bits)	D7–0	T8OCNT[7:0]	Timer counter data T8OCNT7 = MSB T8OCNT0 = LSB	0x0 to 0xff	0x0	R		
8-bit OSC1 Timer Compare Data Register (T8OSC1_CMP)	0x50c2 (8 bits)	D7–0	T8OCMP[7:0]	Compare data T8OCMP7 = MSB T8OCMP0 = LSB	0x0 to 0xff	0x0	R/W		
8-bit OSC1 Timer Interrupt Mask Register (T8OSC1_IMSK)	0x50c3 (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.	
		D0	T8OIE	8-bit OSC1 timer interrupt enable	1 Enable	0 Disable	0		R/W
8-bit OSC1 Timer Interrupt Flag Register (T8OSC1_IFLG)	0x50c4 (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.	
		D0	T8OIF	8-bit OSC1 timer interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0		R/W
8-bit OSC1 Timer PWM Duty Data Register (T8OSC1_DUTY)	0x50c5 (8 bits)	D7–0	T8ODTY[7:0]	PWM output duty data T8ODTY7 = MSB T8ODTY0 = LSB	0x0 to 0xff	0x0	R/W		

0x5100–0x5104

SVD Circuit

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SVD Enable Register (SVD_EN)	0x5100 (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	SVDEN	SVD enable	1 Enable 0 Disable	0	R/W	
SVD Compare Voltage Register (SVD_CMP)	0x5101 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3–0	SVDC[3:0]	SVD compare voltage	SVDC[3:0] Voltage	0x0	R/W	
					0xf	3.2 V		
					0xe	3.1 V		
					0xd	3.0 V		
					0xc	2.9 V		
					0xb	2.8 V		
					0xa	2.7 V		
					0x9	2.6 V		
					0x8	2.5 V		
					0x7	2.4 V		
					0x6	2.3 V		
					0x5	2.2 V		
					0x4	2.1 V		
			0x3	2.0 V				
			0x2	1.9 V				
			0x1	1.8 V				
			0x0	reserved				
SVD Detection Result Register (SVD_RSLT)	0x5102 (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	SVDDT	SVD detection result	1 Low 0 Normal	×	R	
SVD Interrupt Mask Register (SVD_IMSK)	0x5103 (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	SV DIE	SVD interrupt enable	1 Enable 0 Disable	0	R/W	
SVD Interrupt Flag Register (SVD_IFLG)	0x5104 (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	SV DIF	SVD interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

0x5120**Power Generator**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks		
VD1 Control Register (VD1_CTL)	0x5120 (8 bits)	D7-6	-	reserved		-	-	0 when being read.		
		D5	HVLD	VD1 heavy load protection mode	1 On	0 Off	0	R/W		
		D4	-	reserved			-	0	R/W	
		D3-1	-	reserved			-	-	0 when being read.	
		D0	VD1MD	Flash erase/program mode	1 Flash (2.5 V)	0 Norm.(1.8 V)	0	R/W		

0x5200–0x5213

P Port & Port MUX

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
P0 Port Input Data Register (P0_IN)	0x5200 (8 bits)	D7–0	P0IN[7:0]	P0[7:0] port input data	1	1 (H)	0 0 (L)	×	R	
P0 Port Output Data Register (P0_OUT)	0x5201 (8 bits)	D7–0	P0OUT[7:0]	P0[7:0] port output data	1	1 (H)	0 0 (L)	0	R/W	
P0 Port Output Enable Register (P0_OEN)	0x5202 (8 bits)	D7–0	P0OEN[7:0]	P0[7:0] port output enable select	1	Enable	0 Disable	0	R/W	
P0 Port Pull-up Control Register (P0_PU)	0x5203 (8 bits)	D7–0	P0PU[7:0]	P0[7:0] port pull-up enable	1	Enable	0 Disable	1 (0xff)	R/W	
P0 Port Schmitt Trigger Control Register (P0_SM)	0x5204 (8 bits)	D7–0	P0SM[7:0]	P0[7:0] port Schmitt trigger input enable	1	Enable (Schmitt)	0 Disable (CMOS)	1 (0xff)	R/W	
P0 Port Interrupt Mask Register (P0_IMSK)	0x5205 (8 bits)	D7–0	P0IE[7:0]	P0[7:0] port interrupt enable	1	Enable	0 Disable	0	R/W	
P0 Port Interrupt Edge Select Register (P0_EDGE)	0x5206 (8 bits)	D7–0	P0EDGE[7:0]	P0[7:0] port interrupt edge select	1	Falling edge	0 Rising edge	0	R/W	
P0 Port Interrupt Flag Register (P0_IFLG)	0x5207 (8 bits)	D7–0	P0IF[7:0]	P0[7:0] port interrupt flag	1	Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
P0 Port Chattering Filter Control Register (P0_CHAT)	0x5208 (8 bits)	D7	–	reserved	–		–	–	–	0 when being read.
		D6–4	P0CF2[2:0]	P0[7:4] chattering filter time select	P0CF2[2:0]	Filter time	0x0	R/W		
						0x7	16384/fPCLK			
						0x6	8192/fPCLK			
				0x5	4096/fPCLK					
				0x4	2048/fPCLK					
				0x3	1024/fPCLK					
				0x2	512/fPCLK					
				0x1	256/fPCLK					
				0x0	None					
		D3	–	reserved	–		–	–	0 when being read.	
		D2–0	P0CF1[2:0]	P0[3:0] chattering filter time select	P0CF1[2:0]	Filter time	0x0	R/W		
						0x7	16384/fPCLK			
						0x6	8192/fPCLK			
						0x5	4096/fPCLK			
						0x4	2048/fPCLK			
						0x3	1024/fPCLK			
						0x2	512/fPCLK			
						0x1	256/fPCLK			
						0x0	None			
P0 Port Key-Entry Reset Configuration Register (P0_KRST)	0x5209 (8 bits)	D7–2	–	reserved	–		–	–	0 when being read.	
		D1–0	P0KRST[1:0]	P0 port key-entry reset configuration	P0KRST[1:0]	Configuration	0x0	R/W		
						0x3	P0[3:0] = 0			
						0x2	P0[2:0] = 0			
				0x1	P0[1:0] = 0					
				0x0	Disable					
P0 Port Input Enable Register (P0_IEN)	0x520a (8 bits)	D7–0	P0IEN[7:0]	P0[7:0] port input enable	1	Enable	0 Disable	0xff	R/W	
P1 Port Input Data Register (P1_IN)	0x5210 (8 bits)	D7–0	P1IN[7:0]	P1[7:0] port input data	1	1 (H)	0 0 (L)	×	R	
P1 Port Output Data Register (P1_OUT)	0x5211 (8 bits)	D7–0	P1OUT[7:0]	P1[7:0] port output data	1	1 (H)	0 0 (L)	0	R/W	
P1 Port Output Enable Register (P1_OEN)	0x5212 (8 bits)	D7–0	P1OEN[7:0]	P1[7:0] port output enable select	1	Enable	0 Disable	0	R/W	
P1 Port Pull-up Control Register (P1_PU)	0x5213 (8 bits)	D7–0	P1PU[7:0]	P1[7:0] port pull-up enable	1	Enable	0 Disable	1 (0xff)	R/W	

0x5214–0x522a

P Port & Port MUX

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P1 Port Schmitt Trigger Control Register (P1_SM)	0x5214 (8 bits)	D7–0	P1SM[7:0]	P1[7:0] port Schmitt trigger input enable	1 Enable (Schmitt)	0 Disable (CMOS)	1 (0xff)	R/W	
P1 Port Interrupt Mask Register (P1_IMSK)	0x5215 (8 bits)	D7–0	P1IE[7:0]	P1[7:0] port interrupt enable	1 Enable	0 Disable	0	R/W	
P1 Port Interrupt Edge Select Register (P1_EDGE)	0x5216 (8 bits)	D7–0	P1EDGE[7:0]	P1[7:0] port interrupt edge select	1 Falling edge	0 Rising edge	0	R/W	
P1 Port Interrupt Flag Register (P1_IFLG)	0x5217 (8 bits)	D7–0	P1IF[7:0]	P1[7:0] port interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
P1 Port Chattering Filter Control Register (P1_CHAT)	0x5218 (8 bits)	D7	–	reserved	–		–	–	0 when being read.
		D6–4	P1CF2[2:0]	P1[7:4] chattering filter time	P0CF2[2:0]	Filter time	0	R/W	
					0x7	16384/fPCLK	0x0	R/W	
					0x6	8192/fPCLK			
			0x5	4096/fPCLK					
			0x4	2048/fPCLK					
			0x3	1024/fPCLK					
			0x2	512/fPCLK					
			0x1	256/fPCLK					
			0x0	None					
		D3	–	reserved	–		–	–	0 when being read.
		D2–0	P1CF1[2:0]	P1[3:0] chattering filter time	P0CF1[2:0]	Filter time	0x0	R/W	
					0x7	16384/fPCLK			
					0x6	8192/fPCLK			
					0x5	4096/fPCLK			
					0x4	2048/fPCLK			
					0x3	1024/fPCLK			
					0x2	512/fPCLK			
					0x1	256/fPCLK			
					0x0	None			
P1 Port Input Enable Register (P1_IEN)	0x521a (8 bits)	D7–0	P1IEN[7:0]	P1[7:0] port input enable	1 Enable	0 Disable	0xff	R/W	
P2 Port Input Data Register (P2_IN)	0x5220 (8 bits)	D7–0	P2IN[7:0]	P2[7:0] port input data	1 1 (H)	0 0 (L)	×	R	
P2 Port Output Data Register (P2_OUT)	0x5221 (8 bits)	D7–0	P2OUT[7:0]	P2[7:0] port output data	1 1 (H)	0 0 (L)	0	R/W	
P2 Port Output Enable Register (P2_OEN)	0x5222 (8 bits)	D7–0	P2OEN[7:0]	P2[7:0] port output enable	1 Enable	0 Disable	0	R/W	
P2 Port Pull-up Control Register (P2_PU)	0x5223 (8 bits)	D7–0	P2PU[7:0]	P2[7:0] port pull-up enable	1 Enable	0 Disable	1 (0xff)	R/W	
P2 Port Schmitt Trigger Control Register (P2_SM)	0x5224 (8 bits)	D7–5	–	reserved	–		–	–	1 when being read.
		D4–0	P2SM[4:0]	P2[4:0] port Schmitt trigger input enable	1 Enable (Schmitt)	0 Disable (CMOS)	1 (0xff)	R/W	
P2 Port Input Enable Register (P2_IEN)	0x522a (8 bits)	D7–0	P2IEN[7:0]	P2[7:0] port input enable	1 Enable	0 Disable	0xff	R/W	

0x52a0–0x52a4

P Port & Port MUX

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P0 Port Function Select Register (P0_PMUX)	0x52a0 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6	P03MUX	P03 port function select	1 #ADTRG 0 P03	0	R/W	
		D5	–	reserved	–	–	–	0 when being read.
		D4	P02MUX	P02 port function select	1 TOUT4 0 P02/EXCL0	0	R/W	
		D3	–	reserved	–	–	–	0 when being read.
		D2	P01MUX	P01 port function select	1 TOUTN4 0 P01	0	R/W	
		D1-0	P00MUX [1:0]	P00 port function select	P00MUX[1:0] Port 0x3 Reserved 0x2 LFRO 0x1 RFCLKO 0x0 P00	0	R/W	
P0 Port Function Select Register (P0_PMUX)	0x52a1 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6	P07MUX	P07 port function select	1 AIN0 0 P07/EXCL4	0	R/W	
		D5	–	reserved	–	–	–	0 when being read.
		D4	P06MUX	P06 port function select	1 AIN1 0 P06/EXCL3	0	R/W	
		D3	–	reserved	–	–	–	0 when being read.
		D2	P05MUX	P05 port function select	1 AIN2 0 P05/EXCL2	0	R/W	
		D1	–	reserved	–	–	–	0 when being read.
P1 Port Function Select Register (P1_PMUX)	0x52a2 (8 bits)	D7-6	P13MUX [1:0]	P13 port function select	P13MUX[1:0] Port	0	R/W	
					0x3 Reserved			
					0x2 SDA1			
					0x1 SENA 0x0 P13			
		D5-4	P12MUX [1:0]	P12 port function select	P12MUX[1:0] Port	0	R/W	
					0x3 Reserved 0x2 #BFR 0x1 SENB 0x0 P12			
		D3-2	P11MUX [1:0]	P11 port function select	P11MUX[1:0] Port	0	R/W	
0x3 Reserved 0x2 SDA1 0x1 SDA0 0x0 P11								
D1-0	P10MUX [1:0]	P10 port function select	P10MUX[1:0] Port	0	R/W			
			0x3 Reserved					
			0x2 SCL1					
			0x1 SCL0 0x0 P10					
P1 Port Function Select Register (P1_PMUX)	0x52a3 (8 bits)	D7-6	P17MUX [1:0]	P17 port function select	P17MUX[1:0] Port	0	R/W	
					0x3 Reserved			
					0x2 SCLK			
					0x1 SPICLK 0x0 P17			
		D5	–	reserved	–	–	–	0 when being read.
		D4	P16MUX	P16 port function select	1 FOUT1 0 P16	0	R/W	
		D3	–	reserved	–	–	–	0 when being read.
D2	P15MUX	P15 port function select	1 RFIN 0 P15	0	R/W			
D1-0	P14MUX [1:0]	P14 port function select	P14MUX[1:0] Port	0	R/W			
			0x3 Reserved					
			0x2 SCL1					
			0x1 REF					
			0x0 P14					
P2 Port Function Select Register (P2_PMUX)	0x52a4 (8 bits)	D7-6	P23MUX [1:0]	P23 port function select	P23MUX[1:0] Port	0	R/W	
					0x3 Reserved			
					0x2 SOUT			
					0x1 TOUT3 0x0 P23			
		D5-4	P22MUX [1:0]	P22 port function select	P22MUX[1:0] Port	0	R/W	
					0x3 Reserved			
					0x2 FOUTH 0x1 #SPISS 0x0 P22			
		D3-2	P21MUX [1:0]	P21 port function select	P21MUX[1:0] Port	0	R/W	
					0x3 Reserved			
					0x2 SIN 0x1 SDI 0x0 P21			
D1-0	P20MUX [1:0]	P20 port function select	P20MUX[1:0] Port	0	R/W			
			0x3 Reserved					
			0x2 SOUT					
			0x1 SDO 0x0 P20					

0x52a5

P Port & Port MUX

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P2 Port Function Select Register (P2_PMUX)	0x52a5 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6	P27MUX	P27 port function select	1 P27 0 DCLK	0	R/W	
		D5	–	reserved	–	–	–	0 when being read.
		D4	P26MUX	P26 port function select	1 P26 0 DST2	0	R/W	
		D3	–	reserved	–	–	–	0 when being read.
		D2	P25MUX	P25 port function select	1 P25 0 DSIO	0	R/W	
		D1-0	P24MUX [1:0]	P24 port function select	P24MUX[1:0] Port	0	R/W	
				0x3 TOUT5 0x2 SIN 0x1 TOUTN3 0x0 P24				

0x5300–0x530c

PWM Timer Ch.0

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
PWM Timer Ch.0 Compare Data A Register (T16E_CA0)	0x5300 (16 bits)	D15–0	T16ECA[15:0]	Compare data A T16ECA15 = MSB T16ECA0 = LSB	0x0 to 0xffff	0x0	R/W		
PWM Timer Ch.0 Compare Data B Register (T16E_CB0)	0x5302 (16 bits)	D15–0	T16ECB[15:0]	Compare data B T16ECB15 = MSB T16ECB0 = LSB	0x0 to 0xffff	0x0	R/W		
PWM Timer Ch.0 Counter Data Register (T16E_TC0)	0x5304 (16 bits)	D15–0	T16ETC[15:0]	Counter data T16ETC15 = MSB T16ETC0 = LSB	0x0 to 0xffff	0x0	R/W		
PWM Timer Ch.x Control Register (T16E_CTL0)	0x5306 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.	
		D8	INITOL	Initial output level	1 High 0 Low	0	R/W		
		D7	–	reserved	–	–	–	–	0 when being read.
		D6	SELFM	Fine mode select	1 Fine mode 0 Normal mode	0	R/W		
		D5	CBUFEN	Comparison buffer enable	1 Enable 0 Disable	0	R/W		
		D4	INVOUT	Inverse output	1 Invert 0 Normal	0	R/W		
		D3	CLKSEL	Input clock select	1 External 0 Internal	0	R/W		
		D2	OUTEN	Clock output enable	1 Enable 0 Disable	0	R/W		
		D1	T16ERST	Timer reset	1 Reset 0 Ignored	0	W		0 when being read.
D0	T16ERUN	Timer run/stop control	1 Run 0 Stop	0	R/W				
PWM Timer Ch.0 Input Clock Select Register (T16E_CLK0)	0x5308 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.	
		D3–0	T16EDF[3:0]	Timer input clock select (Prescaler output clock)	T16EDF[3:0]	Clock	0x0	R/W	
					0xf	reserved			
					0xe	PCLK•1/16384			
					0xd	PCLK•1/8192			
					0xc	PCLK•1/4096			
					0xb	PCLK•1/2048			
					0xa	PCLK•1/1024			
					0x9	PCLK•1/512			
					0x8	PCLK•1/256			
0x7	PCLK•1/128								
0x6	PCLK•1/64								
0x5	PCLK•1/32								
0x4	PCLK•1/16								
0x3	PCLK•1/8								
0x2	PCLK•1/4								
0x1	PCLK•1/2								
0x0	PCLK•1/1								
PWM Timer Ch.0 Interrupt Mask Register (T16E_IMSK0)	0x530a (16 bits)	D15–2	–	reserved	–	–	–	0 when being read.	
		D1	CBIE	Compare B interrupt enable	1 Enable 0 Disable	0	R/W		
		D0	CAIE	Compare A interrupt enable	1 Enable 0 Disable	0	R/W		
PWM Timer Ch.0 Interrupt Flag Register (T16E_IFLG0)	0x530c (16 bits)	D15–2	–	reserved	–	–	–	0 when being read.	
		D1	CBIF	Compare B interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.	
		D0	CAIF	Compare A interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W		

0x5320–0x532c

MISC Registers

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
FLASHC/ SRAMC Control Register (MISC_FL)	0x5320 (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.	
		D9–8	–	reserved	–	0x3	–		
		D7–3	–	reserved	–	–	–	0 when being read.	
		D2–0	FLCYC[2:0]	FLASHC read access cycle	FLCYC[2:0]	Read cycle	0x3	R/W	
					0x7–0x5 0x4 0x3 0x2 0x1 0x0	reserved 1 cycles 5 cycles 4 cycles 3 cycles 2 cycles			
OSC1 Peripheral Control Register (MISC_OSC1)	0x5322	D15–1	–	reserved	–	–	–	0 when being read.	
		D0	O1DBG	OSC1 peripheral control in debug mode	1 Run	0 Stop	0	R/W	
MISC Protect Register (MISC_PROT)	0x5324 (16 bits)	D15–0	PROT[15:0]	MISC register write protect	Writing 0x96 removes the write protection of the MISC registers (0x5326–0x532a). Writing another value set the write protection.		0x0	R/W	
IRAM Size Select Register (MISC_IRAMSZ)	0x5326 (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.	
		D8	DBADR	Debug base address select	1 0x0	0 0xffc00	0	R/W	
		D6–4	IRAMACTSZ [2:0]	IRAM actual size register	0x3:2KB		0x3	R	
		D2–0	IRAMSZ[2:0]	IRAM size select	IRAMSZ[2:0]	Read cycle	0x3	R/W	
					0x7 0x6 0x5 0x4 0x3 0x2 0x1 0x0	reserved reserved 512B 1KB 2KB reserved reserved reserved			
Vector Table Address Low Register (MISC_TTBRL)	0x5328 (16 bits)	D15–8	TTBR[15:8]	Vector table base address A[15:8]	0x0–0xff		0x80	R/W	
		D7–0	TTBR[7:0]	Vector table base address A[7:0] (fixed at 0)	0x0		0x0	R	
Vector Table Address High Register (MISC_TTBRLH)	0x532a (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.	
		D7–0	TTBR[23:16]	Vector table base address A[23:16]	0x0–0xff		0x0	R/W	
PSR Register (MISC_PSR)	0x532c (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.	
		D7–5	PSRIL[2:0]	PSR interrupt level (IL) bits	0x0 to 0x7		0x0	R	
		D4	PSRIE	PSR interrupt enable (IE) bit	1 1 (enable)	0 0 (disable)	0	R	
		D3	PSRC	PSR carry (C) flag	1 1 (set)	0 0 (cleared)	0	R	
		D2	PSRV	PSR overflow (V) flag	1 1 (set)	0 0 (cleared)	0	R	
		D1	PSRZ	PSR zero (Z) flag	1 1 (set)	0 0 (cleared)	0	R	
		D0	PSRN	PSR negative (N) flag	1 1 (set)	0 0 (cleared)	0	R	

0x5360–0x536c

PWM Timer Ch.1

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
PWM Timer Ch.1 Compare Data A Register (T16E_CA1)	0x5360 (16 bits)	D15–0	T16ECA[15:0]	Compare data A T16ECA15 = MSB T16ECA0 = LSB	0x0 to 0xffff	0x0	R/W		
PWM Timer Ch.1 Compare Data B Register (T16E_CB1)	0x5362 (16 bits)	D15–0	T16ECB[15:0]	Compare data B T16ECB15 = MSB T16ECB0 = LSB	0x0 to 0xffff	0x0	R/W		
PWM Timer Ch.1 Counter Data Register (T16E_TC1)	0x5364 (16 bits)	D15–0	T16ETC[15:0]	Counter data T16ETC15 = MSB T16ETC0 = LSB	0x0 to 0xffff	0x0	R/W		
PWM Timer Ch.1 Control Register (T16E_CTL1)	0x5366 (16 bits)	D15–7	–	reserved	–	–	–	0 when being read.	
		D6	SELFM	Fine mode select	1 Fine mode	0 Normal mode	0	R/W	
		D5	CBUFEN	Comparison buffer enable	1 Enable	0 Disable	0	R/W	
		D4	INVOUT	Inverse output	1 Invert	0 Normal	0	R/W	
		D3	CLKSEL	Input clock select	1 External	0 Internal	0	R/W	
		D2	OUTEN	Clock output enable	1 Enable	0 Disable	0	R/W	
		D1	T16ERST	Timer reset	1 Reset	0 Ignored	0	W	0 when being read.
D0	T16ERUN	Timer run/stop control	1 Run	0 Stop	0	R/W			
PWM Timer Ch.1 Input Clock Select Register (T16E_CLK1)	0x5368 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.	
		D3–0	T16EDF[3:0]	Timer input clock select (Prescaler output clock)	T16EDF[3:0]	Clock	0x0	R/W	
					0xf	reserved			
					0xe	PCLK*1/16384			
					0xd	PCLK*1/8192			
					0xc	PCLK*1/4096			
					0xb	PCLK*1/2048			
					0xa	PCLK*1/1024			
					0x9	PCLK*1/512			
					0x8	PCLK*1/256			
					0x7	PCLK*1/128			
					0x6	PCLK*1/64			
					0x5	PCLK*1/32			
0x4	PCLK*1/16								
0x3	PCLK*1/8								
0x2	PCLK*1/4								
0x1	PCLK*1/2								
0x0	PCLK*1/1								
PWM Timer Ch.1 Interrupt Mask Register (T16E_IMSK1)	0x536a (16 bits)	D15–2	–	reserved	–	–	–	0 when being read.	
		D1	CBIE	Compare B interrupt enable	1 Enable	0 Disable	0	R/W	
		D0	CAIE	Compare A interrupt enable	1 Enable	0 Disable	0	R/W	
PWM Timer Ch.1 Interrupt Flag Register (T16E_IFLG1)	0x536c (16 bits)	D15–2	–	reserved	–	–	–	0 when being read.	
		D1	CBIF	Compare B interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
D0	CAIF	Compare A interrupt flag				0	R/W		

0x5380–0x5386

ADC10SA

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
A/D Conversion Result Register (ADC10_ADD)	0x5380 (16 bits)	D15–0	ADD[15:0]	A/D converted data @STMD=0 ADD[15:10]=6'b0, ADD9=MSB, ADD0=LSB @STMD=1 ADD15=MSB, ADD6=LSB, ADD[5:0]=6'b0	0-1023	0	R		
A/D Trigger/ Channel Select (ADC10_TRG)	0x5382 (16 bits)	D15–14	–	reserved	–	–	–	0 when being read.	
		D13–11	ADCE[2:0]	End channel selection	0x0-0x7	0	R/W		
		D10–8	ADCS[2:0]	Start channel selection	0x0-0x7	0	R/W		
		D7	STMD	Converted data store mode	1 {AD[9:0], 6'b0}	0 {6'b0, AD[9:0]}	0	R/W	
		D6	ADMS	Conversion mode selection	1 continuous	0 Single	0	R/W	
		D5–4	ADTS	Conversion trigger selection	ADTS[2:0]	trigger	0	R/W	
					0x3	#ADTRG pin			
					0x2	reserved			
					0x1	16bit timer software			
					0x0				
		D3	–	reserved	–	–	–	0 when being read.	
		D2–0	ADST[2:0]	Sampling clock count	ADST[2:0]	count clock	0x7	R/W	
					0x7	9clocks			
					0x6	8clocks			
					0x5	7clocks			
					0x4	6clocks			
					0x3	5clocks			
					0x2	4clocks			
					0x1	3clocks			
					0x0	2clocks			
A/D Control/ Status Register (ADC10_CTL)	0x5384 (16 bits)	D15	–	reserved	–	–	–	0 when being read.	
		D14–12	ADICH	Internal conversion channel status	0x0-0x7	0	R		
		D11	–	reserved	–	–	–	0 when being read.	
		D10	ADIBS	Internal busy status	1 busy	0 idle	0	R	
		D9	ADOWE	Overwrite error flag	1 Error	0 Normal	0	R/W	Reset by writing 1
		D8	ADCF	Conversion-complete flag	1 Completed	0 Not completed	0	R	Reset when ADC10_ADD is read.
		D7–6	–	reserved	–	–	–	–	0 when being read.
		D5	ADOIE	Overwrite interrupt enable	1 Enable	0 Disable	0	R/W	
		D4	ADCIE	Conversion-complete interrupt enable	1 Enable	0 Disable	0	R/W	
		D3–2	–	reserved	–	–	–	–	0 when being read.
		D1	ADCTL	conversion control	1 Start/Run	0 Stop	0	R/W	Stop by writing 0
D0	ADEN	A/D enable	1 Enable	0 Disable	0	R/W			
A/D divided frequency Register (ADC_DIV)	0x5386 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.	
		D3–0	ADD[3:0]	A/D converter clock divided frequency select	ADD[3:0]	clock	0	R/W	
					0xf	Reserved			
					0xe	PCLK•1/32768			
					0xd	PCLK•1/16384			
					0xc	PCLK•1/8192			
					0xb	PCLK•1/4096			
					0xa	PCLK•1/2048			
					0x9	PCLK•1/1024			
					0x8	PCLK•1/512			
			0x7	PCLK•1/256					
			0x6	PCLK•1/128					
			0x5	PCLK•1/64					
			0x4	PCLK•1/32					
			0x3	PCLK•1/16					
			0x2	PCLK•1/8					
			0x1	PCLK•1/4					
			0x0	PCLK•1/2					

0x53a0–0x53ae

RFC

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
RFC Control Register (RFC_CTL)	0x53a0 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.	
		D7	CONEN	Continuous oscillation enable	1 Enable	0 Disable	0	R/W	
		D6	EVTEN	Event counter mode enable	1 Enable	0 Disable	0	R/W	
		D5–4	SMODE [1:0]	Sensor oscillation mode select 0:Resistive sensor DC oscillation 1:Resistive sensor AC oscillation 2:Capacitive sensor DC oscillation	SMODE[1:0] mode	0x3 Reserced 0x2 CDC mode 0x1 RAC mode 0x0 RDC mode	0	R/W	
		D3–1	–	reserved	–	–	–	–	0 when being read.
	D0	RFCEN	RFC Enable	1 Enable	0 Disable	0	R/W		
RFC Oscillation trigger (RFC_TRG)	0x53a2 (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.	
		D2	SSENB	Sensor B oscillation Start trigger	1 Read: Run Write: Start	0 Read: Run Write: Start	0	R/W	*1*2*3*4
		D1	SSENA	Sensor A oscillation Start trigger	1 Read: Run Write: Start	0 Read: Run Write: Start	0	R/W	*1*3*4
		D0	SREF	Reference dc oscillation Start trigger	1 Read: Run Write: Start	0 Read: Run Write: Start	0	R/W	*1*3*4
RFC Measurement Counter LSB (RFC_MCL)	0x53a4 (16 bits)	D15–0	MC[15:0]	Measurement Counter data D15-0	0x0 to 0xffff	0	R/W		
RFC Measurement Counter MSB (RFC_MCH)	0x53a6 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.	
		D7–0	MC[23:16]	Measurement Counter data D23-16	0x0 to 0xff	0	R/W		
RFC Time Base Counter LSB (RFC_TCL)	0x53a8 (16 bits)	D15–0	TC[15:0]	Time base Counter data D15-0	0x0 to 0xffff	0	R/W		
RFC Time Base Counter MSB (RFC_MCH)	0x53aa (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.	
		D7–0	TC[23:16]	Time base Counter data D23-16	0x0 to 0xff	0	R/W		
RFC Interrupt Mask Register (RFC_IMSK)	0x53ac (16 bits)	D15–5	–	reserved	–	–	–	0 when being read.	
		D4	OVTICIE	Time base Counter Over flow error interrupt enable	1 Enable	0 Disable	0	R/W	
		D3	OVMCIE	Measurement Counter Over flow error interrupt enable	1 Enable	0 Disable	0	R/W	
		D2	ESENBIE	Sensor B oscillation end interrupt Enable	1 Enable	0 Disable	0	R/W	
		D1	ESENAIE	Sensor A oscillation end interrupt Enable	1 Enable	0 Disable	0	R/W	
	D0	EREFIE	Reference oscillation end Interrupt Enable	1 Enable	0 Disable	0	R/W		
RFC Interrupt Flag Register (RFC_IFLG)	0x53ae (16 bits)	D15–5	–	reserved	–	–	–	0 when being read.	
		D4	OVTICIE	Time base Counter Over flow error interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1
		D3	OVMCIE	Measurement Counter Over flow error interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1
		D2	ESENBIE	Sensor B oscillation end interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1
		D1	ESENAIE	Sensor A oscillation end interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1
	D0	EREFIE	Reference oscillation end Interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1	

0x53c0–0x53d3

SEGRAM

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SEGRAM	0x53c0 ~ 0x53d3 (16 bits)	D15– 0*10	SEGRAM [159:0]	Segram Data 20byte		x	R/W	

0xffff84–0xffffd0

S1C17 Core I/O

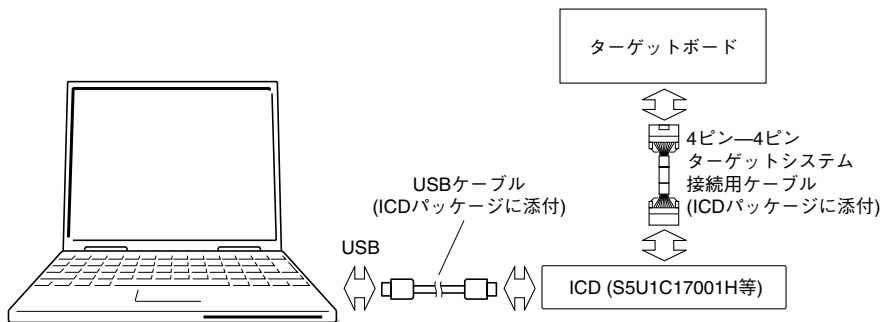
Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
Processor ID Register (IDIR)	0xffff84 (8 bits)	D7–0	IDIR[7:0]	Processor ID 0x10: S1C17 Core	0x10	0x10	R		
Debug RAM Base Register (DBRAM)	0xffff90 (32 bits)	D31–24	–	Unused (fixed at 0)	0x0	0x0	R		
		D23–0	DBRAM[23:0]	Debug RAM base address	0x07c0	0x07c0	R		
Debug Control Register (DCR)	0xffffa0 (8 bits)	D7	IBE4	Instruction break #4 enable	1 Enable	0 Disable	0	R/W	Reset by writing 1.
		D6	IBE3	Instruction break #3 enable	1 Enable	0 Disable	0	R/W	
		D5	IBE2	Instruction break #2 enable	1 Enable	0 Disable	0	R/W	
		D4	DR	Debug request flag	1 Occurred	0 Not occurred	0	R/W	
		D3	IBE1	Instruction break #1 enable	1 Enable	0 Disable	0	R/W	
		D2	IBE0	Instruction break #0 enable	1 Enable	0 Disable	0	R/W	
		D1	SE	Single step enable	1 Enable	0 Disable	0	R/W	
		D0	DM	Debug mode	1 Debug mode	0 User mode	0	R	
Instruction Break Address Register 2 (IBAR2)	0xffffb8 (32 bits)	D31–24	–	reserved	–	–	–	0 when being read.	
		D23–0	IBAR2[23:0]	Instruction break address #2 IBAR223 = MSB IBAR20 = LSB	0x0 to 0xfffff	0x0	R/W		
Instruction Break Address Register 3 (IBAR3)	0xffffbc (32 bits)	D31–24	–	reserved	–	–	–	0 when being read.	
		D23–0	IBAR3[23:0]	Instruction break address #3 IBAR323 = MSB IBAR30 = LSB	0x0 to 0xfffff	0x0	R/W		
Instruction Break Address Register 4 (IBAR4)	0xffffd0 (32 bits)	D31–24	–	reserved	–	–	–	0 when being read.	
		D23–0	IBAR4[23:0]	Instruction break address #4 IBAR423 = MSB IBAR40 = LSB	0x0 to 0xfffff	0x0	R/W		

Appendix B Flashプログラミング

Flashメモリのプログラミングには、S5U1C17001H(ICD Mini)等のICD(In-Circuit Debugger)が持つFlashライター機能を使用してデバッガからプログラムする方法と、ユーザプログラムからの自己プログラミングの2種類の方法があります。

B.1 デバッガによるプログラミング

S1C17 Family Cコンパイラパッケージに含まれるデバッガには、ICD(S5U1C17001H等)をFlashライターとして使用する機能があります。



図B.1.1 デバッガを使用するFlashプログラミングシステム

この機能を使用してS1C17601のFlashメモリをプログラムするには、ターゲットボード上にICD (S5U1C17001H等)を接続する4ピンコネクタを設ける必要があります。

S1C17601のDCLK(P25)、DST2(P26)、DSIO(P27)端子をデバッグ端子として使用し、4ピンコネクタに接続します。そのため、P25～P27汎用入出力ポートを使用することはできません。

このシステムを用いたFlashプログラミング方法については、S1C17 Family Cコンパイラパッケージ (S5U1C17001C等)のマニュアルを、4ピンコネクタのピン配置についてはICD (S5U1C17001H等)のマニュアルをそれぞれ参照してください。

B.2 ユーザプログラムによる自己プログラミング

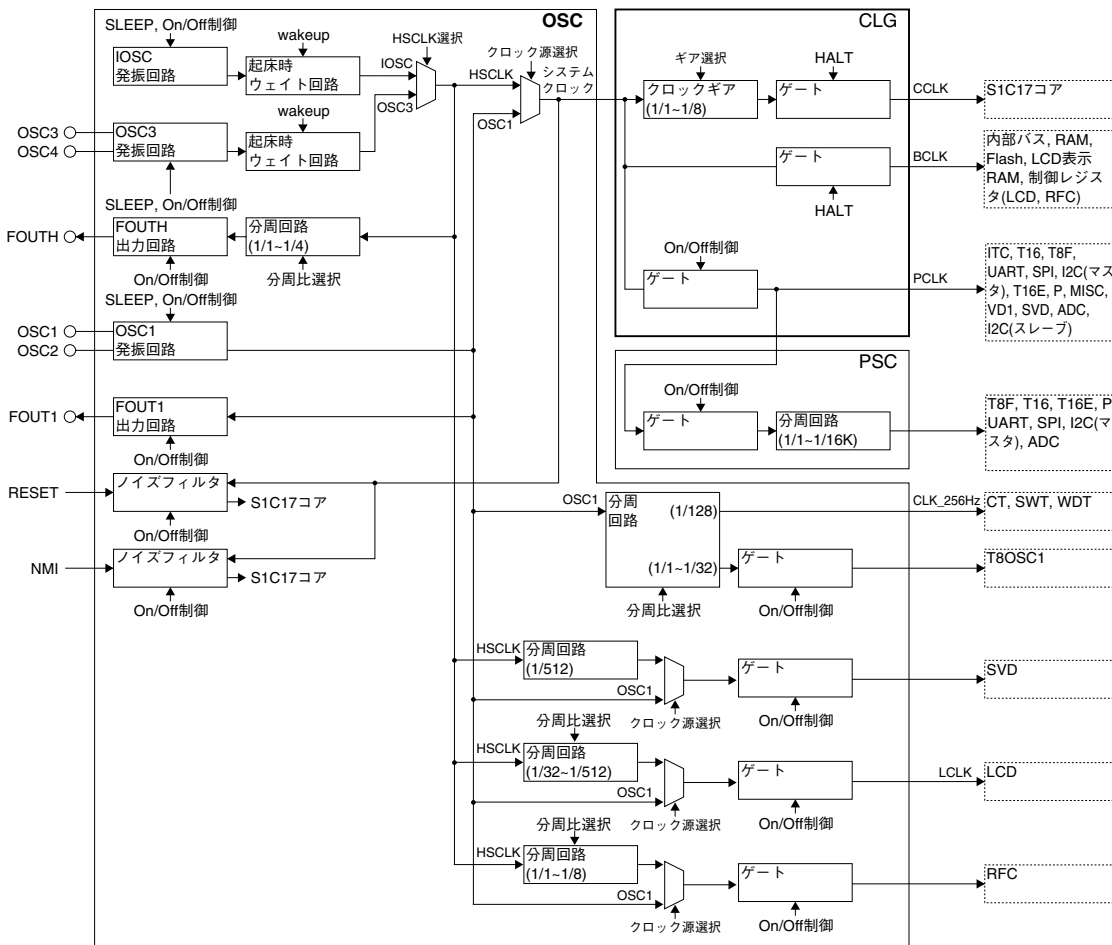
S1C17601は、ターゲットボード上で動作中に実行中のユーザプログラムによってFlashメモリの消去/書き換えを行う、自己プログラミング機能を搭載しています。自己プログラミングのための各種機能ルーチンをオブジェクトファイルとして提供する、自己プログラミングパッケージが別途用意されています。ユーザアプリケーションプログラムにこのオブジェクトをリンクすることで、容易に自己プログラミング機能を実装することができます。その詳細については、自己プログラミングパッケージのマニュアルを参照してください。

Appendix C パワーセーブ

消費電流はCPUの動作モード、動作クロック周波数、動作させる周辺回路により大きく変わります。以下に、省電力化のための制御方法をまとめます。

C.1 クロック制御によるパワーセーブ

図C.1.1にS1C17601のクロックシステムを示します。



図C.1.1 クロックシステム

ソフトウェアによって制御可能なクロック系とパワーセーブのための制御内容を以下に示します。制御レジスタや制御方法の詳細については、それぞれのモジュールの章を参照してください。

システムのスリープ(全クロックの停止)

- `slp`命令の実行
システム全体を停止可能な場合は、`slp`命令を実行します。CPUはSLEEPモードとなり、すべての発振回路が停止します。これにより、クロックを使用する周辺回路はすべて停止します。このため、SLEEPモードからのCPUの起動方法はポートによる起動(後述)に限られます。

システムクロック

- クロック源の選択(OSCモジュール)
システムクロック源をIOSC/OSC3とするかOSC1とするか選択できます。低速動作で処理可能な際にはOSC1クロックを選択することで消費電流を低減できます。
- IOSC/OSC3発振回路の停止(OSCモジュール)
システムクロック源としている発振回路を動作させ、可能であればもう一方を停止します。OSC1をシステムクロックとし、IOSC/OSC3発振回路を停止することで、消費電流をより低減できます。

CPUクロック(CCLK)

- `halt`命令の実行
表示のみ必要な場合や割り込み待ちなど、CPUによるプログラムの実行が不要な場合は、`halt`命令を実行します。CPUはHALTモードとなり動作を停止しますが、周辺回路は`halt`命令実行時の状態を維持します。このため、LCDドライバや、割り込みに使用する周辺回路を動作させておくことができます。また、不要な発振回路と周辺回路を停止してから`halt`命令を実行することで、パワーセーブの効果は高まります。HALTモードからは、ポートまたはHALTモード時に動作させている周辺回路からの割り込みによりCPUが起動します。
- 低速クロックギアを選択(CLGモジュール)
CLGモジュールは、クロックギアの設定により、CPUクロックをシステムクロックの1/1~1/8に減速することができます。アプリケーションに必要最低限の速度でCPUを動作させることにより、消費電流を低減できます。

周辺クロック(PCLK)

- PCLKの停止(CLGモジュール)
以下の周辺回路の動作がすべて不要な場合は、CLGから周辺回路へのPCLKクロックの供給を停止することができます。

PCLKで動作する周辺モジュール

- プリスケアラ(PWMタイマ、リモートコントローラ、Pポート)
- UART
- 8ビットタイマ
- 16ビットタイマ Ch.0~2
- 割り込みコントローラ
- SPI
- I²Cマスタ/スレーブ
- 電源制御回路
- Pポート&ポートMUX(制御レジスタ、チャタリング除去)
- PWMタイマ
- MISCレジスタ
- A/D変換器
- SVD回路

以下の周辺モジュールは、PCLK以外のクロックで動作します。したがって、PCLKは必要ありません。

- 計時タイマ
- ストップウォッチタイマ
- ウォッチドッグタイマ
- 8ビットOSC1タイマ
- LCDドライバ
- R/F変換器

クロック制御とCPUの起動/停止方法の一覧を表C.1.1に示します。

表C.1.1 クロック制御一覧

消費電流	OSC1	IOSC/OSC3	CPU(CCLK)	PCLK周辺	OSC1周辺	CPU停止方法	CPU起動方法
↑ 低	停止	停止	停止	停止	停止	slp命令実行	1
	発振 (システムCLK)	停止	停止	停止	動作	halt命令実行	1, 2
	発振 (システムCLK)	停止	停止	動作	動作	halt命令実行	1, 2, 3
	発振 (システムCLK)	停止	動作(1/1)	動作	動作		
	発振	発振 (システムCLK)	停止	動作	動作	halt命令実行	1, 2, 3
	発振	発振 (システムCLK)	動作(低ギア)	動作	動作		
高 ↓	発振	発振 (システムCLK)	動作(1/1)	動作	動作		

HALT, SLEEPモードの解除方法(CPU起動方法)

1. ポートによる起動
入出力ポート割り込み、デバッグ割り込み(ICD強制ブレーク発行)により起動します。
2. OSC1周辺回路による起動
計時タイマ、ストップウォッチタイマ、ウォッチドッグタイマ、8ビットOSC1タイマLCDドライバの割り込みにより起動します。
3. PCLK周辺回路による起動
PCLK周辺回路の割り込みにより起動します。

C.2 電源制御によるパワーセーブ

パワーセーブに有効な電源の制御を以下に示します。

内部定電圧回路

- 内部動作電圧 V_{DI} を2.5Vに設定すると消費電流が増加します。
通常動作時は V_{DI} を1.8Vに設定し、Flashプログラミング時のみ2.5Vに切り換えてください。
- 内部定電圧回路の重負荷保護をOnすると消費電流が増加します。
通常動作時は重負荷保護をOffにします。動作が安定しない場合のみOnにしてください。

LCD系定電圧回路

- VCSEL=0設定は消費電流が増加します。
電源電圧が2.5Vより大きいときはVCSEL=1設定にしてください。
- LCD系定電圧回路の重負荷保護をOnすると消費電流が増加します。
通常動作時は重負荷保護をOffにします。表示が安定しない場合のみOnにしてください。
- LCDの表示を行わないときはLCDの駆動をOffにしてください。

電源電圧検出(SVD)回路

- SVD回路を動作させると消費電流が増加します。
電源電圧の検出が不要な場合はOffにしてください。

Appendix D 実装上の注意事項

基板の設計およびICを実装する際の注意事項を以下に示します。

発振回路

- 発振特性は使用部品(振動子、 R_f 、 C_G 、 C_D)や基板パターンなどにより変化します。特にセラミック振動子または水晶振動子を使用する場合、外付けの抵抗(R_f)や容量(C_G 、 C_D)の値は、実際の基板上に各部品を実装した状態で十分評価を行って適切なものを選んでください。
- ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため以下の点に配慮してください。特に最新機種は、より微細なプロセスで製造されており、ノイズに敏感になっています。

最もノイズ対策が必要となるのは、OSC2端子とその回路構成部品および配線です。OSC1端子の処理もこれらと同様に重要です。以下、OSC1、OSC2端子のノイズ対策を記載します。

なお、OSC3、OSC4端子や配線等、高速発振回路系についても、これに準じたノイズ対策を施すことを推奨します。

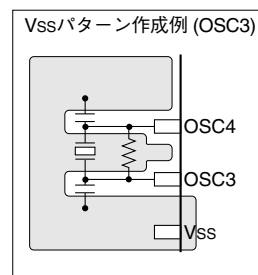
- OSC1(OSC3)、OSC2(OSC4)端子に接続する振動子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
- OSC1(OSC3)、OSC2(OSC4)端子とこれらの回路構成部品、および配線から3mm以内の領域には、できるだけデジタル信号線を配置しないでください。特に、スイッチングが激しい信号を近くに配置することは避けてください。多層プリント基板の各層の間隔は0.1~0.2mm程度しかありませんので、デジタル信号線を他のどの層に配置する場合でも同様です。
また、これらの部品や配線とデジタル信号線を絶対に並走させないでください。3mm以上の距離がある場合や基板の他の層であっても禁止します。配線を交差させることも避けてください。

- OSC1(OSC3)、OSC2(OSC4)端子と配線は、基板の隣接する層も含めVssでシールドしてください。

配線する層は、右の図のように広めにシールドしてください。

隣接する層についてはできれば全面をグラウンド層に、最低でも上記端子と配線の周囲を5mm以上カバーするようにシールドしてください。

この対策を施した場合でも、(2)に記載したようにデジタル信号線との並走は禁止します。他の層での交差についても、スイッチング頻度の低い信号以外はできるだけ避けてください。



- 上記の対策を施した後は、実機で実際のアプリケーションプログラムを動作させた状態での出力クロック波形も確認してください。

FOUT1/FOURTH端子の出力をオシロスコープなどで確認します。

OSC3の出力波形の品質は、FOUT4出力で確認します。設計どおりの周波数でノイズが乗っていないかどうか、およびジッタがほとんどないことを確認してください。

OSC1波形の品質はFOUT1出力で確認します。特にクロックの立ち上がり/立ち下がりの両エッジの前後を拡大し、前後100ns程度の範囲にクロック状のノイズやスパイクノイズなどが乗っていないか注意して見てください。

(1)~(3)の対応が不十分な場合、OSC3出力にはジッタが発生し、OSC1出力にはノイズが乗ることがあります。OSC3出力にジッタが発生するとその分、動作周波数が低下します。OSC1出力にノイズが乗ると、OSC1クロックで動作するタイマや、システムクロックをOSC1に切り換えた際のCPUコアの動作が不安定になります。

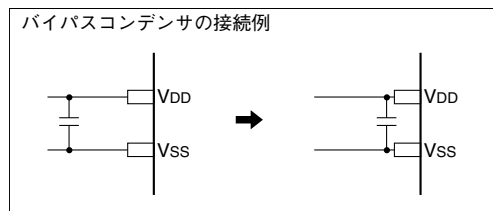
リセット回路

- 電源投入時、#RESET端子に入力されるリセット信号は、諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。#RESET端子のプルアップ抵抗については、抵抗値のばらつきを十分考慮した定数設定が必要です。
- ノイズによる動作中のリセットを防ぐため、#RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

電源回路

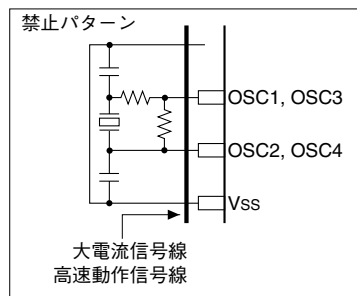
ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

- 電源からVDDおよびVSS端子へはできるだけ短くかつ太いパターンで接続してください。
- VDD-VSSのバイパスコンデンサを接続する場合、VDD端子とVSS端子をできるだけ最短で接続してください。



信号線の配置

- 相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。
- 高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。特に、発振部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



ノイズによる誤動作について

ノイズによるICの誤動作が考えられる場合、以下の3点について確認してみてください。

(1) DSIO端子

この端子にLowレベルのノイズが入るとデバッグモードになります。デバッグモードになったことは、DCLKからクロックが出力され、DST2端子がHighになっていることで確認できます。製品版では、DSIO端子をV_{DD}に直結、もしくは10k Ω 以下の抵抗でプルアップすることを推奨します。IC内にプルアップ抵抗が付いていますが、100~500k Ω 程度と高インピーダンスなため、ノイズには強くありません。

(2) #RESET端子

この端子にLowレベルのノイズが入るとICがリセットされます。ただし、入力波形によっては正常なりセット動作が行えない場合があります。回路設計上、リセット入力が高レベル状態でのインピーダンスが高いときに起こりやすくなります。

(3) V_{DD}、V_{SS}電源

規定の電圧を下回るようなノイズが入った場合、その瞬間にICが誤動作します。基板の電源系のベタパターン化、ノイズ除去用デカップリングコンデンサの追加、電源ラインへのサージノイズ対策部品の追加など、基板上での対策をお願いします。

上記の確認作業は、200MHz以上の波形が観測できるオシロスコープを使用して行ってください。低速なオシロスコープでは、高速なノイズの発生を観測できない場合があります。

ノイズによる誤動作の可能性をオシロスコープの波形観測で発見した場合は、その端子をGNDまたは電源に低インピーダンス(1k Ω 以下)で接続して再確認してください。誤動作しなくなる、頻度が低くなる、あるいは症状が変わるなどの変化が見受けられる場合、その端子での誤動作が確実に考えられます。

上記のDSIO、#RESET入力の回路は入力信号のエッジを検出しているため、ひげ状のノイズでも誤動作しやすく、デジタル信号の中では最もノイズに弱い端子です。ノイズが乗りにくいように、基板設計の際には以下の2点を考慮してください。

(A) まず、上記の各項目にあるように、信号を駆動するインピーダンスを低くすることが重要です。目安としては1k Ω 以下、できれば0 Ω となるように電源やGNDに接続してください。また、接続する信号線長は5cm程度以下としてください。

(B) 基板上で他のデジタル線と並走したために、その信号の1→0、0→1の変化点で発生するノイズの影響を受ける場合があります。特に、同時変化する複数の信号線に両側から挟まれると、最も大きなノイズが乗ります。並走距離を短くする(数cm以下に抑える)、信号を離す(2mm以上離す)、といった対策が有効です。

光に対する取り扱い(ベアチップ実装の場合)

半導体素子は、光が照射されると特性が変化します。このため、ICに光が当たると誤動作を起したり、不揮発性メモリのデータが消去される可能性があります。光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。

(1) 実使用時にICの遮光性が考慮された構造となるよう、設計および実装を行ってください。

(2) 検査工程では、ICの遮光性が考慮された環境設計を行ってください。

(3) ICの遮光は、ICチップの表面、裏面および側面について考慮してください。

(4) ICチップ状態での保管は開封後1週間以内とし、この期限までに実装をお願いします。ICチップ状態での保管の必要がある場合は、必ず遮光の措置を講じてください。

(5) 実装工程において通常のリフロー条件を超えるような熱ストレスが印加される場合、製品出荷前に不揮発性メモリのデータ保持に関して十分な評価をお願いします。

その他

本製品シリーズは微細プロセスにより製造されています。

ICの基本信頼性に関してはEIAJ、MIL規格を満足するように設計されていますが、実装段階においては機械的ダメージの他、

- (1) 実装時リフロー工程、実装後のリワーク、個別特性評価(実験確認)の各工程における商用電源からの電磁誘導ノイズ
- (2) 半田ごて使用時のこて先からの電磁誘導ノイズ

など、緩やかな時間的変化を伴う絶対最大定格以上の電圧となる外乱が、電氣的損傷につながる可能性があります。

特に半田ごて使用時には、ICのGNDと半田ごてのGND(こて先の電位)を同電位として作業を行ってください。

Appendix E 初期化ルーチン

ベクタテーブルと初期化ルーチンの例を以下に示します。

boot.s

```
.org 0x8000
.section .rodata
; =====
; Vector table
; =====
; interrupt vector interrupt
; number offset source
.long BOOT ; 0x00 0x00 reset
.long unalign_handler ; 0x01 0x04 unalign
.long nmi_handler ; 0x02 0x08 NMI
.long int03_handler ; 0x03 0x0c -
.long p0_handler ; 0x04 0x10 P0 port
.long p1_handler ; 0x05 0x14 P1 port
.long swt_handler ; 0x06 0x18 SWT
.long ct_handler ; 0x07 0x1c CT
.long t8osci_handler ; 0x08 0x20 T8OSCI
.long svd_handler ; 0x09 0x24 SVD
.long lcd_handler ; 0x0a 0x28 LCD
.long t16e_0_handler ; 0x0b 0x2c T16E ch0
.long t8f_handler ; 0x0c 0x30 T8F
.long t16_0_handler ; 0x0d 0x34 T16 ch0
.long t16_1_handler ; 0x0e 0x38 T16 ch1
.long t16_2_handler ; 0x0f 0x3c T16 ch2
.long uart_0_handler ; 0x10 0x40 UART ch0
.long i2cs_handler ; 0x11 0x44 I2CS
.long spi_handler ; 0x12 0x48 SPI
.long i2c_handler ; 0x13 0x4c I2CM
.long t16e_1_handler ; 0x14 0x50 T16E ch1
.long int15_handler ; 0x15 0x54 -
.long adc_handler ; 0x16 0x58 ADC
.long rfc_handler ; 0x17 0x5c RFC
.long int18_handler ; 0x18 0x60 -
.long int19_handler ; 0x19 0x64 -
.long int1a_handler ; 0x1a 0x68 -
.long int1b_handler ; 0x1b 0x6c -
.long int1c_handler ; 0x1c 0x70 -
.long int1d_handler ; 0x1d 0x74 -
.long int1e_handler ; 0x1e 0x78 -
.long int1f_handler ; 0x1f 0x7c -
; =====
; Program code
; =====
.text
.align 1
BOOT:
; ===== Initialize =====
; ----- Stack pointer -----
xld.a %sp, 0x07c0
; ----- Memory controller -----
xld.a %r1, 0x5320 ; MISC register base address
; FLASHC
xld.a %r0, 0x04 ; 1 cycle access, under 8.2 MHz system clock
ld.b [%r1], %r0 ; [0x5320] <= 0x04
; ===== Main routine =====
...
```

```

; =====
;      Interrupt handler
; =====
; ----- Address unalign -----
unalign_handler:
    ...

; ----- NMI -----
nmi_handler:
    ...

```

- (1) ベクタテーブルを .vector セクションに配置するために .rodata セクションを宣言します。
- (2) 割り込み処理ルーチンのアドレスをベクタとして定義します。
intXX_handler はソフトウェア割り込みとして使用可能です。
- (3) プログラムコードは .text セクションに記述します。
- (4) スタックポインタを設定します。
- (5) Flash コントローラのアクセスサイクル数を設定します。
システムクロックが 8.2MHz 以下の場合は 1 サイクルアクセスに設定可能です。
(“3 メモリマップ, バス制御”参照)

Appendix F 推奨振動子

最適な各発振回路定数は実装条件、使用する電圧条件等により変化いたします。実装回路上での評価を各振動子メーカーに依頼してください。

(1) OSC1水晶振動子

発振周波数(kHz)	メーカー	型名
32.768	エプソントヨコム株式会社	MC-146 (表面実装)

(2) OSC3水晶振動子

発振周波数(MHz)	メーカー	型名
4.0	エプソントヨコム株式会社	MA-406 (表面実装)
8.0	エプソントヨコム株式会社	MA-406 (表面実装)

(3) OSC3セラミック振動子

発振周波数(MHz)	メーカー	型名
4.0	株式会社村田製作所	CSTCR4M00G53-R0 (表面実装)
4.0	株式会社村田製作所	CSTCR4M00G53095-R0 (表面実装)
4.0	株式会社村田製作所	CSTLS4M00G53095-B0 (リード)
8.0	株式会社村田製作所	CSTLS8M00G53095-B0 (リード)

改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む)および改訂理由
411806000	全ページ	新規制定
411806001	4-4	説明変更 内部定電圧回路はHVLD(D5/VD1_CTLレジスタ)に1を書き込むと重負荷保護モードとなり、V _{D1} 出力の安定...その処理を繰り返す間、重負荷保護モード状態を保持し続けるようプログラミングしてください。
	7-12, 7-13	図7.10.2、図7.10.3変更
	10-7, 10-20, 10-29	説明追加 • チャタリング除去機能を有効にしている状態でslp命令を実行した場合は...に予期せぬ割り込みが発生する可能性があります。SLEEPモード移行前にチャタリング除去機能を無効にしてください。
	18-6	説明変更 (2)RD _{RY} = 1, RD _{2B} = 0...したがって、受信データバッファはオーバーランエラーが発生する前に読み出してください。
	18-7	説明変更 RXENビットを0に設定すると、送信データバッファは空の状態になります(データが残っていればクリアされます)。
	18-8	説明削除 バッファに送られません。その状態でさらに4番目のデータが送られてくると、シフトレジスタ(3番目のデータ)はそのデータで上書きされ、
	18-14	説明変更 FERは1を書き込むことによりリセットされます。 PERは1を書き込むことによりリセットされます。 OERは1を書き込むことによりリセットされます。
	18-19	説明変更 RXENに0を書き込んで送受信を禁止すると、送信データバッファもクリアされます。
	18-21	説明変更 UART_CTL _r レジスタのRBF _I ビット • RXENを0に設定して送受信を禁止すると、送信データバッファがクリア(初期化)されます。RXENに0を書き込む前に、バッファ内に送信待ちのデータが残っていないことを確認してください。
	19-3	説明変更 マスタモードのSPIは、16ビットタイマCh.1が出力するクロックまたはPCLK _r の1/4のクロックを使用してSPIクロックを生成します。 図19.3.1変更、図19.3.2削除 説明削除 内部回路はPCLK _r クロックに同期して動作するため、入力クロックは微分されPCLK _r クロックとの同期用に使用されます。 説明変更 注: SPICLK _r 端子から入力するクロックのデューティ比は50%である必要があります。
	19-4, 19-5	説明追加 注: SPIをマスタモードかつCPHA = 0..変化まではSPICLK _r 半周期の長さが確保されます。 図19.4.2追加
	19-6, 19-7	図19.5.1、図19.5.2削除 図19.5.1追加
	19-7	説明変更 データ転送(送信と受信の両方)を終了後は...を0に設定した場合、転送中のデータは保証されません。
	19-8	説明変更 SPTBEが0であれば、→SPTBEが1であれば、
	19-11	説明追加 注: データの送受信を行う場合、SPI_TXDへの書き込みはSPENを1に設定した後に行ってください。
	20-3	説明追加 なお、クロックストレッチを行うスレーブデバイス...200kbpsまでになりますので、ご注意ください。
	20-6	図20.5.2変更
	20-7	説明変更 データはMSBを先頭に、クロックに同期して順次...RXEはD7の取り込み時に0にリセットされます。
	20-8	説明変更 STPの1への設定は、T _{BUSY} = 1 またはR _{BUSY} ...時間が経過した後に、STPへ1を書き込んでください。 説明変更 ストップコンディションを生成した後は...出力レベル、および転送中のデータは保証されません。
	20-9	図20.5.6、図20.5.7、図20.5.8変更
	20-10	図20.5.9変更 説明変更 送信バッファエンプティ割り込みが許可されていれば(TINTE = 1)、RTDT[7:0](D[7:0]/I2C_DATレジスタ)に...または、受信バッファフル割り込みのどちらが発生したかを確認できるレジスタはありません。
	20-13	説明追加 STPの1への設定は、T _{BUSY} = 1 またはR _{BUSY} ...の 1/4 より長い時間が経過した後に行ってください。
	21-1	図21.1.1変更

改訂履歴表

21-2	説明変更 I ² Cスレーブクロック入力端子...また、クロックストレッチ動作時はLowレベルを出力します。
21-4	説明変更 (システムクロック(PCLK)1クロック以上のパルス幅が必要。2クロック以上を推奨。) 説明追加 なお、クロックストレッチ動作を行ったときの...ジュールの動作クロック(PCLK)周波数に依存します。
21-6	説明変更 BUSYレジスタは、ストップコンディションを検出するまで1を保持します。SELECTEDレジスタは、ストップコンディションからリピーテッドスタートコンディションを検出するまで1を保持します。
21-7	説明追加 非同期アドレス検出機能を使用する場合には、ASDET_ENを0にリセットする前に書き込みを行ったデータは無効となる為、TXEMPが1にセットされてから送信データを書き込む必要があります。
21-8	説明追加 注:下記の条件がすべて成立している状態で...クロック(PCLK)として、本I ² CSが通信待機状態にある。
21-10, 21-11	図21.5.5、図21.5.6、図21.5.7、図21.5.8変更
21-12	説明変更 7.DA_STOP: スレーブ選択状態でストップコンディション、またはリピーテッドスタートコンディションを検出した場合に1にセット
21-22	説明変更 DA_STOP: Stop Condition Detect Bit...ストップコンディション、またはリピーテッドスタートコンディションを検出したことを示します。...同時にI ² Cの通信プロセスを初期化します。
21-23	説明変更 1にセットされたSELECTEDはストップコンディションもしくはリピーテッドスタートコンディションの検出によりリセットされます。
21-25	説明追加 ・下記の条件がすべて成立している状態で...クロック(PCLK)として、本I ² CSが通信待機状態にある。
23-1	説明削除 ・サンプリングレート：最大100ksps
23-5	説明変更 このとき、t _{ACQ} は以下の式を満たすようにf _{ADCLK} 、...ADST[2:0]で設定したサイクル数 + 11
23-16	説明変更 ADENが0の場合は、トリガは受け付けません。
29-1	基本外部結線図変更

セイコーエプソン株式会社
マイクロデバイス事業本部 デバイス営業部

<IC国内営業グループ>

東京 〒191-8501 東京都日野市日野421-8
TEL(042)587-5313(直通) FAX(042)587-5116

大阪 〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F
TEL(06)6120-6000(代表) FAX(06)6120-6100

ドキュメントコード：411806001
2009年9月 作成
2011年4月 改訂 ㊤