

S1V3G340

ハードウェア仕様書

本資料のご使用につきましては、次の点にご留意願います。
本資料の内容については、予告無く変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これら起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

目次

1. 概要.....	1
2. 特長.....	2
3. ピン配置.....	3
3.1 QFP13-52.....	3
3.2 QFP12-48/SQFN7-48	4
4. 端子説明.....	5
5. 機能説明.....	8
5.1 標準アプリケーションシステム.....	8
5.2 システムクロック.....	9
5.3 シリアルインタフェース.....	10
6. 電气的特性.....	12
6.1 絶対最大定格.....	12
6.2 推奨動作条件.....	12
6.3 DC 特性.....	13
6.3.1 電源電圧 5.0±0.5V における DC 特性.....	13
6.3.2 電源電圧 3.3±0.3V における DC 特性.....	15
6.3.3 電源電圧 2.4±0.2V における DC 特性.....	17
6.4 AC 特性.....	19
6.4.1 システムクロックタイミング (32.768kHz)	19
6.4.2 システムクロックタイミング (12.288MHz)	20
6.4.3 電源投入/リセットタイミング.....	21
6.4.4 コマンド受付タイミング.....	22
6.4.5 シリアルインタフェース (クロック同期式)	23
6.4.6 シリアルインタフェース (I2C)	24
6.4.7 SPI-FLASH メモリーインタフェースタイミング.....	25
6.4.7.1 S1V3G340 リードタイミング.....	25
6.4.7.2 ホスト FLASH アクセス・タイミング.....	26
7. 外部接続例.....	27
7.1 システムクロック.....	27
7.1.1 直接入力.....	27
7.1.2 振動子 (32.768kHz)	28
7.2 シリアルインタフェース.....	29
7.2.1 クロック同期式.....	29
7.2.2 調歩同期式 (UART)	30
7.2.3 I2C.....	31

8. 外形寸法図	32
8.1 QFP13-52.....	32
8.2 QFP12-48.....	33
8.3 SQFN7-48.....	34
9. 参考資料	35
9.1 応用回路例.....	35
9.2 応用回路例（音声出力部）.....	36
9.3 ミュート開始／解除タイミング.....	37
9.3.1 システムリセット有効⇒解除.....	37
9.3.2 スタンバイモード.....	37
9.4 電源に関する注意事項.....	38
9.5 クロック直接入力時の注意.....	39
9.6 実装上の注意事項.....	40
9.6.1 発振回路.....	40
9.6.2 リセット回路.....	41
9.6.3 電源回路.....	41
9.6.4 信号線の配置.....	41
9.6.5 ノイズによる誤動作.....	42
9.6.6 その他.....	42
9.7 製品型番体系.....	43
改訂履歴表	44

1. 概要

S1V3G340 は、高圧縮高音質オーディオデコード機能、外付け SPI-FLASH メモリー・インタフェース及び DA コンバータを内蔵した音声ガイダンス製品に最適な LSI です。S1V3034x シリーズ専用の音声ガイド作成ツールを使用する事で、スタジオ録音の手間無く容易に高品質な音声データが作成可能となります。外付け SPI-FLASH メモリーを使用することにより、音声データの差し替えを容易に行うことができます。追加音声必要時にはホストから音声データを転送することで対応可能です。また、汎用の出力ポートを用意していますので、柔軟なシステム設計が可能です。全ての機能はシリアルインタフェースによるコマンド制御で行うため、ホストを内蔵したあらゆる既存システムに容易に Add-On 可能です。S1V3G340 は、S1V3034x シリーズ、S1V3S344 とピンコンパチとなっているためシステムの構成に合わせ置換えが可能です。

S1V3G340 を使用することで、音声ガイダンス機能内蔵製品の Time-to-Market が実現可能となります。

2. 特長

2. 特長

- 音声再生
 - 高圧縮高音質オーディオデコーダ（EPSON オリジナルデータフォーマット）
 - ビットレート：40kbps、32kbps、24kbps、16kbps
 - サンプリングレート：16kHz
- シーケンサ機能
 - 最大 64 フレーズのシーケンス設定可能（組み合わせ制限なし）
 - フレーズ間のディレイ設定可能時間：0ms または 20-2047ms (1ms ステップ)
- 外付け SPI-FLASH メモリー・インタフェース
 - クロック同期式シリアル・インタフェース（SPI）
- GPO
 - 7本
- ホストインタフェース
 - 同期式シリアルインタフェース
 - 調歩同期式シリアルインタフェース（UART）
（システムクロック周波数が 32.768kHz の場合のみ対応）
 - I2C インタフェース
 - コマンド制御
- 高品質 16-bit DA コンバータ
 - サンプリングレート (f_s)：16kHz
 - 入力ビット：16bits
- システムクロック
 - 周波数（直接入力）：32.768kHz または 12.288MHz
 - 周波数（振動子）：32.768kHz
- パッケージ
 - QFP 52pin（10mm×10mm）0.65mm Pin ピッチ
 - QFP 48pin（7mm×7mm）0.5mm Pin ピッチ
 - SQFN 48pin（7mm×7mm）0.5mm Pin ピッチ
- 電源電圧
 - 2.2V ～ 5.5V（I/O and Core Power Supply）

3. ピン配置

3.1 QFP13-52

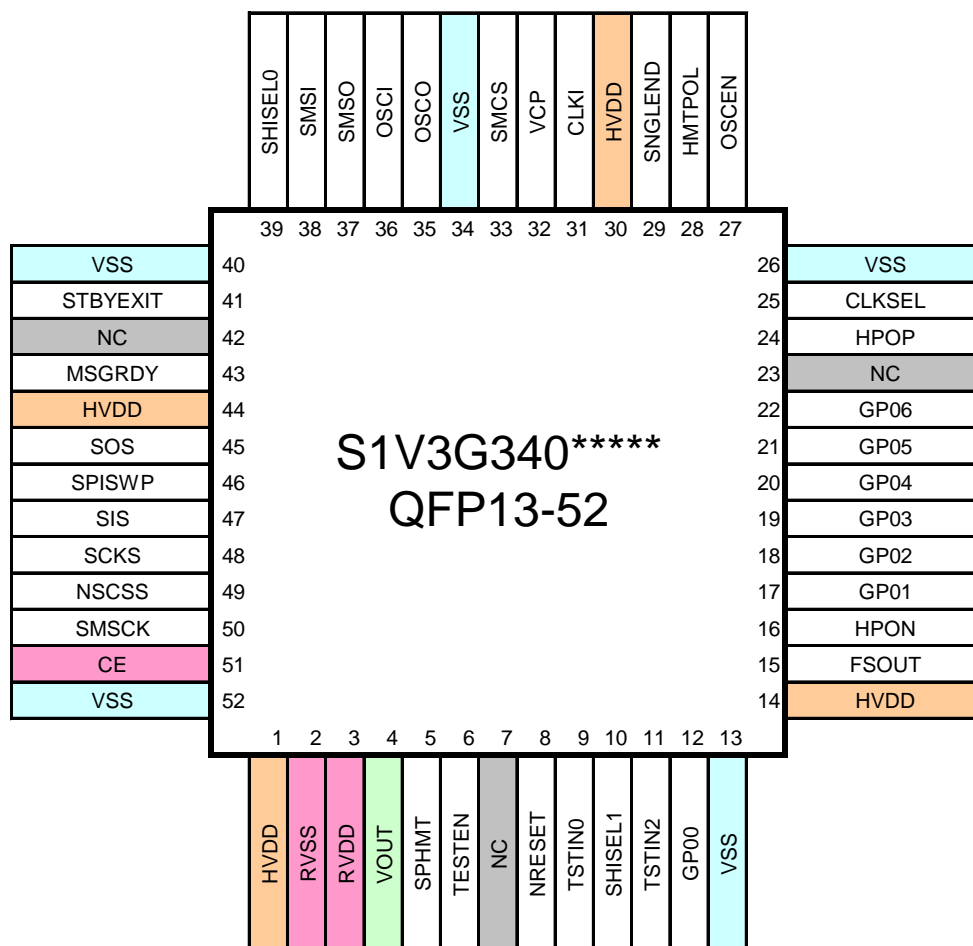


図 3.1 ピン配置 (QFP13-52)

3. ピン配置

3.2 QFP12-48/SQFN7-48

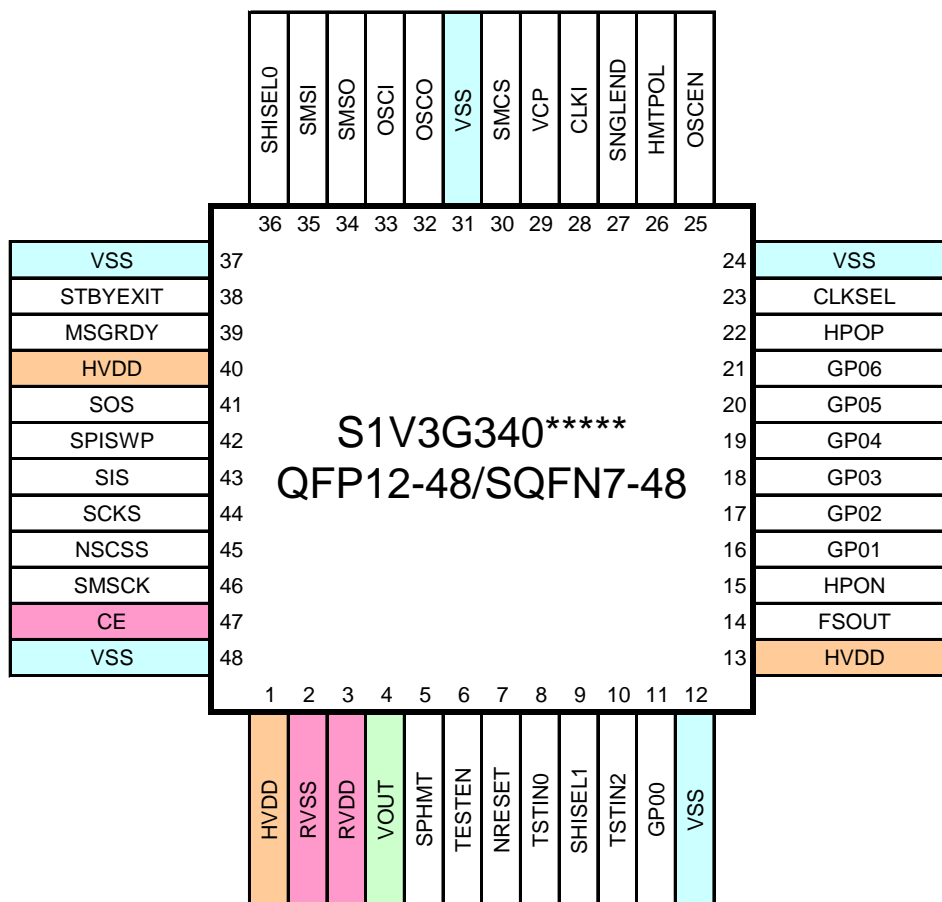


図 3.2 ピン配置 (QFP12-48/SQFN7-48)

4. 端子説明

- 凡例
 - I = 入力端子
 - O = 出力端子
 - IO = 双方向端子
 - P = 電源端子
 - Z = ハイインピーダンス
- I/O セル種類

記号	機能
IC	LVC MOS 入力
IH	LVC MOS シュミット入力
O1	出力バッファ (出力電流 2.0mA / -2.0mA@5.0V(typ.))
O2	出力バッファ (出力電流 4.0mA / -4.0mA@5.0V(typ.))
T1	3-state 出力バッファ (出力電流 2.0mA / -2.0mA@5.0V(typ.))
T2	3-state 出力バッファ (出力電流 4.0mA / -4.0mA@5.0V(typ.))
BC1	双方向バッファ (出力電流 2.0mA / -2.0mA@5.0V(typ.))
LLIN	Transparent Input (1.8V)
LLOT	Transparent Output (1.8V)
HLIN	Transparent Input (HVDD)
ITST1	プルダウン抵抗 (120kΩ @1.8V(typ.)) 付きテスト入力

端子名称	QFP13-52	QFP12-48 SQFN7-48	I/O	I/O セル 種類	NRESET=L における 状態	I/O 電源	機能
シリアルインタフェース							
SIS/RXD/SDA	47	43	IO	BC1	Z	HVDD	【クロック同期式】 シリアルデータ入力 【調歩同期式】 シリアルデータ入力 【I2C】 データ入出力
SCK/SCL	48	44	I	IC	Z	HVDD	【クロック同期式】 シリアルクロック入力 【調歩同期式】 H レベル固定 【I2C】 シリアルクロック入力
SOS/TXD	45	41	O	T2	5.3 項参照	HVDD	【クロック同期式】 シリアルデータ出力 【調歩同期式】 シリアルデータ出力 【I2C】 Open
NSCSS	49	45	I	IC	Z	HVDD	【クロック同期式】 スレーブ選択入力 (Lアクティブ) 【調歩同期式】 L 固定 【I2C】 L 固定
MSGRDY	43	39	O	O1	L	HVDD	シリアルデータ出力 READY (Hアクティブ)
SHISEL0	39	36	I	IC	Z	HVDD	シリアルインタフェース選択 SHISEL[1:0] = LL : クロック同期式
SHISEL1	10	9	I	IC	Z	HVDD	SHISEL[1:0] = *H : 調歩同期式 SHISEL[1:0] = HL : I2C

4. 端子説明

スタンバイモード制御							
STBYEXIT	41	38	I	IC	Z	HVDD	スタンバイモード終了制御入力 (L: スタンバイモード終了、 H: スタンバイモード)
音声出力							
HPOP	24	22	O	T2	Z	HVDD	オーディオ出力
HPON	16	15	O	T2	Z	HVDD	オーディオ出力 (SNGLEND=H で出力停止 (L レベル) と することができます。)
SPHMT	5	5	O	O1	機能欄参照	HVDD	PWM 出力期間出力 (出力端子 HPO から PWM 波形が出力され ている期間のみアクティブとなります。 NRESET=L では、インアクティブです。 入力端子 HMTPOL の設定に応じ、アクティ ブレベルの極性を定義できます。 HMTPOL=L の場合、L アクティブ、 HMTPOL=H の場合、H アクティブ)
汎用 GPO 端子							
GP00	12	11	O	O1	L	HVDD	汎用出力
GP01	17	16	O	O1	L	HVDD	汎用出力
GP02	18	17	O	O1	L	HVDD	汎用出力
GP03	19	18	O	O1	L	HVDD	汎用出力
GP04	20	19	O	O1	L	HVDD	汎用出力
GP05	21	20	O	O1	L	HVDD	汎用出力
GP06	22	21	O	O1	L	HVDD	汎用出力
外付け SPI-FLASH メモリー・インタフェース							
SMCS	33	30	O	O1	L	HVDD	SPI-FLASH メモリー・チップセレクト
SMCK	50	46	O	O2	L	HVDD	SPI-FLASH メモリー・シリアルクロック
SMSI	38	35	I	IC	Z	HVDD	SPI-FLASH メモリー・シリアルデータイン
SMSO	37	34	O	O1	L	HVDD	SPI-FLASH メモリー・シリアルデータアウト
システムクロック							
CLKI	31	28	I	IC	Z	HVDD	クロック入力 (5.2 項を参照)
OSCI	36	33	I	LLIN	Z	-	振動子接続端子 (5.2 項を参照)
OSCO	35	32	O	LLOT	-	-	振動子接続端子 (5.2 項を参照)
CLKSEL	25	23	I	IC	Z	HVDD	システムクロック周波数選択 (L: 32.768kHz, H: 12.288MHz) (5.2 項を参照)
OSCEN	27	25	I	IC	Z	HVDD	システムクロック源選択 (L: CLKI 入力, H: 振動子(OSCI/OSCO)) (5.2 項を参照)
ハードウェアリセット							
NRESET	8	7	I	IH	Z	HVDD	ハードウェアリセット入力 (L アクティブ)
モード設定							
SNGLEND	29	27	I	IC	Z	HVDD	音声出力モード選択 (L: 差動出力, H: シングルエンド出力)
HMPOL	28	26	I	IC	Z	HVDD	SPHMT の極性選択 (L: SPHMT は L アクティブ、 H: SPHMT は H アクティブ)

4. 端子説明

テスト入出力							
TESTEN	6	6	I	ITST1	Pull-down	-	テスト端子（通常使用時は VSS に接続）
VCP	32	29	O	LLOT	-	-	テスト端子（通常使用時は Open）
TSTIN2	11	10	I	IC	Z	HVDD	テスト端子（通常使用時は VSS に接続）
TSTIN0	9	8	I	IC	Z	HVDD	テスト端子（通常使用時は VSS に接続）
FSOUT	15	14	O	T1	Z	HVDD	テスト端子（通常使用時は Open）
SPISWP	46	42	I	IC	Z	HVDD	テスト端子（通常使用時は VSS に接続）
内蔵降圧レギュレータ							
CE	51	47	I	HLIN	Z	HVDD	テスト端子（通常使用時は HVDD に接続）
VOUT	4	4	O	-	-	-	内蔵降圧レギュレータ出力端子（1.8V） （VOUT - RVSS 間に 1 μ F のコンデンサを接続して下さい。）

端子名	QFP13-52	QFP12-48/SQNF7-48	I/O	機能
電源				
HVDD	1, 14, 30, 44	1,13,40	P	IO セル 電源
VSS	13, 26, 34, 40, 52	12, 24, 31, 37, 48	P	内部領域及び IO セル GND
RVDD	3	3	P	内蔵降圧レギュレータ 電源
RVSS	2	2	P	内蔵降圧レギュレータ GND
未使用端子				
NC	7, 23, 42,	-	NC	未使用端子

5. 機能説明

5. 機能説明

5.1 標準アプリケーションシステム

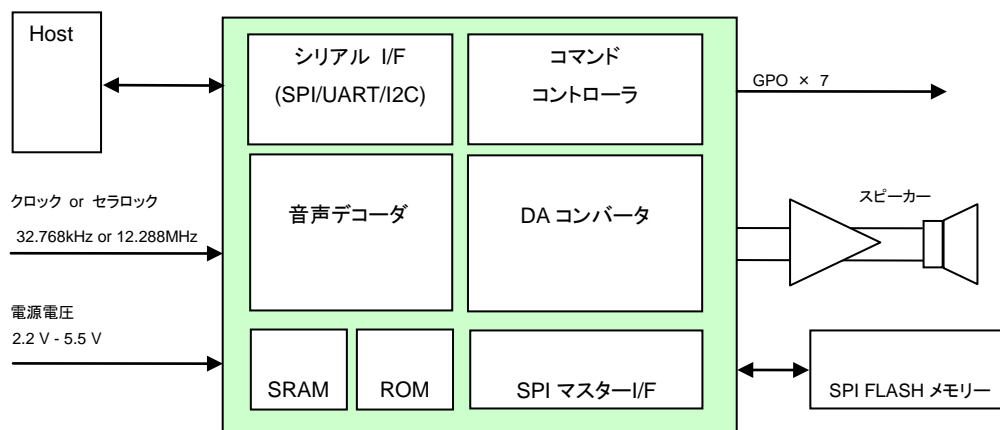


図 5.1 標準アプリケーションシステム

S1V3G340 の標準アプリケーションシステムを図 5.1 に示します。ホストはシリアルインタフェースを介したコマンド制御（メッセージプロトコル）により S1V3G340 を制御します。S1V3G340 は Power On Reset 後、SPI-FLASH メモリーの音声データまたはホストから送信される圧縮音声データを、順次デコード等の内部処理を行いながら、内蔵の DA コンバータから音声を出力します。

コマンドの詳細は、『S1V3034x シリーズ メッセージプロトコル仕様書』を参照願います。

音声ガイド作成ツールの詳細は、『EPSON Speech IC 音声ガイド作成ツールユーザーガイド』を参照願います。

5.2 システムクロック

S1V3G340 のシステムクロック周波数は、32.768kHz または 12.288MHz のいずれかを選択することができます。また、クロック源として、直接入力（CLKI 端子より入力）または振動子（OSCI/OSCO 端子に接続）のいずれかを選択することができます。ただし、振動子は 32.768kHz のみ使用可能です。周波数及びクロック源の設定は、入力端子 CLKSEL 及び OSCEN の設定により定義されます。表 5.1 に、システムクロックのモード設定を示します。

表 5.1 システムクロック モード設定

モード設定		クロック 周波数	クロック系端子の設定		
CLKSEL	OSCEN		CLKI	OSCI	OSCO
0	0	32.768kHz	32.768kHz 入力	L レベル入力	Open
0	1	32.768kHz	L レベル入力	32.768kHz 振動子を接続	
1	0	12.288MHz	12.288MHz 入力	L レベル入力	Open
1	1	12.288MHz	選択禁止		

5. 機能説明

5.3 シリアルインタフェース

S1V3G340 のシリアルインタフェースは、クロック同期式、調歩同期式（UART）及び I2C のいずれかを選択することができます。

- クロック同期式
スレーブモードに対応
データ長：8 ビット固定、MSB ファースト
- 調歩同期式（UART）
データ長：8 ビット固定、LSB ファースト
スタートビット：1 ビット固定
ストップビット：1 ビットまたは 2 ビットを選択可能（初期値：1 ビット）
パリティビット：偶数、奇数、または なし を選択可能（初期値：なし）
ボーレート[bps]：460k, 230k, 115k, 57.6k, 38.4k, 19.2k, 9.6k を選択可能（初期値：9.6kbps）
- I2C
I2C スレーブモードに対応
最大転送速度：83.3kHz（I2C バスの立ち上がり時間が 480ns 以内の場合）

シリアルインタフェースの選択は、入力端子 SHISEL[1:0] の設定により定義されます。
表 5.2 に、シリアルインタフェースのモード設定を示します。

表 5.2 シリアルインタフェース モード設定

SHISEL		インタフェース	シリアルインタフェース系端子の設定			
1	0		SCKS	SIS	SOS	NSCSS
0	0	クロック同期式	シリアルクロック 入力	データ入力	データ出力	スレーブ 選択入力
0	1	UART	H レベル入力	データ入力	データ出力	L レベル入力
1	1					
1	0	I2C	シリアルクロック 入力	データ入出力	(Open)	L レベル入力

表 5.3 に、各端子のハードウェアリセット有効時 (NRESET=L) における状態を示します。

表 5.3 ハードウェアリセット有効時における状態 (シリアルインタフェース)

SHISEL		インタフェース	NRESET=L における状態 (L: L レベル出力, H: H レベル出力, Z: ハイインピーダンス)			
1	0		SCKS	SIS	SOS	NSCSS
0	0	クロック同期式	Z	Z	NSCSS の入力レベルに依存 (NSCSS=L の場合) L (NSCSS=H の場合) Z	Z
0	1	UART	Z	Z	H	Z
1	1					
1	0	I2C	Z	Z	Z	Z

注意)

- システムクロックの周波数を 12.288MHz とした場合、調歩同期式シリアルインタフェース (UART) は使用できません。
- I2C インタフェースの最大転送速度は、83.3kHz となります。この最大転送速度は I2C バスの立ち上がり時間が 480ns 以内を前提としております。負荷容量とプルアップ抵抗値により、I2C バスの立ち上がり時間が 480ns を超える場合は、最大転送速度が下回りますのでご注意ください。
- I2C インタフェースを御使用の場合は、シーケンス再生での使用をお勧めします。

6. 電気的特性

6. 電気的特性

6.1 絶対最大定格

(VSS = 0V)

項目	記号	定格値	単位
電源電圧	HVDD	VSS-0.3 ~ 7.0	V
	RVDD	VSS-0.3 ~ 7.0	V
入力電圧	HVI	VSS-0.3 ~ HVDD+0.5	V
出力電圧	HVO	VSS-0.3 ~ HVDD+0.5	V
出力電流／端子	IOUT	±10	mA
保存温度	Tstg	-65 ~ +150	°C

6.2 推奨動作条件

(VSS = 0V)

項目	記号	Min.	Typ.	Max.	単位
電源電圧	HVDD	2.2	-	5.5	V
	RVDD	2.2	-	5.5	V
入力電圧	HVI	VSS	-	HVDD	V
出力電圧	HVO	VSS	-	HVDD	V
周囲温度	Ta	-40	25	85	°C

6.3 DC 特性

6.3.1 電源電圧 5.0±0.5V における DC 特性

(HVDD / RVDD = 5.0±0.5V, VSS = 0V, Ta = -40°C~85°C)

項目	記号	条件	Min.	Typ.	Max.	単位
電源供給電圧						
電源電流 ※1 (無負荷時)	IDDH	HVDD=5.5V	-	0.3	-	mA
	IDDR	RVDD=5.5V	-	3.5	-	mA
静止電流						
電源電流 ※2	IDDSH	VIN = HVDD or VSS HVDD=5.5V	-	0.1	-	μA
	IDDSR	RVDD=5.5V	-	19.8	-	μA
入力リーク電流						
入力リーク電流		HVDD=5.5V RVDD=5.5V VIH=HVDD VIL=VSS	-5	-	5	μA
入力特性 (LVCMOS) 端子名: SIS, SCKS, NSCSS, SHISEL[1:0], STBYEXIT, CLKI, CLKSEL, SNGLEND, HMTPOL, OSCEN, TSTIN2, TSTIN0, SMSI, SPISWP						
H レベル入力電圧	VIH1	HVDD=5.5V	3.5	-	-	V
L レベル入力電圧	VIL1	HVDD=4.5V	-	-	1.0	V
シュミット入力特性 (LVCMOS) 端子名: NRESET						
H レベル入力電圧	VIH2	HVDD=5.5V	2.0	-	4.0	V
L レベル入力電圧	VIL2	HVDD=4.5V	0.8	-	3.1	V
ヒステリシス電圧	ΔV	HVDD=4.5V	0.3	-	-	V
出力特性 端子名: SIS, MSGRDY, SPHMT, FSOUT, GP00-6, SMCS, SMSO						
H レベル出力電流	VOH1	HVDD=4.5V IOH=-2mA	HVDD-0.4	-	-	V
L レベル出力電流	VOL1	HVDD=4.5V IOL=2mA	-	-	VSS+0.4	V
出力特性 端子名: SOS, HPOP, HPON, SMSCK						
H レベル出力電流	VOH2	HVDD=4.5V IOH=-4mA	HVDD-0.4	-	-	V
L レベル出力電流	VOL2	HVDD=4.5V IOL=4mA	-	-	VSS+0.4	V
出力特性 端子名: SIS, SOS, HPOP, HPON, FSOUT						
オフステートリーク電流	IOZ	-	-5	-	5	μA
端子容量 端子名: 全入力端子						
入力端子容量	CI	f=1MHz HVDD=RVDD=0V	-	-	8	pF

6. 電気的特性

端子容量		端子名: 全出力端子				
出力端子容量	CO	f=1MHz HVDD=RVDD=0V	-	-	8	pF
端子容量		端子名: 全入出力端子				
入出力端子容量	CIO	f=1MHz HVDD=RVDD=0V	-	-	8	pF

※1 推奨動作条件 (Ta=25°C) におけるデコード動作時の概算電流値 (音声出力は無負荷)

※2 推奨動作条件 (Ta=25°C) における静止電流

6.3.2 電源電圧 3.3±0.3V における DC 特性

(HVDD / RVDD = 3.3±0.3V, VSS = 0V, Ta = -40°C~85°C)

項目	記号	条件	Min.	Typ.	Max.	単位
電源供給電圧						
電源電流 ※1 (無負荷時)	IDDH	HVDD=3.3V	-	0.2	-	mA
	IDDR	RVDD=3.3V	-	3.5	-	mA
静止電流						
電源電流 ※2	IDDSH	VIN = HVDD or VSS	-	0.1	-	μA
	IDDSR	HVDD=3.3V RVDD=3.3V	-	17.9	-	μA
入力リーク電流						
入力リーク電流		HVDD=3.6V RVDD=3.6V VIH=HVDD VIL=VSS	-5	-	5	μA
入力特性 (LVCMOS) 端子名: SIS, SCKS, NSCSS, SHISEL[1:0], STBYEXIT, CLKI, CLKSEL, SNGLEND, HMTPOL, OSCEN, TSTIN2, TSTIN0, SMSI, SPISWP						
H レベル入力電圧	VIH1	HVDD=3.6V	2.2	-	-	V
L レベル入力電圧	VIL1	HVDD=3.0V	-	-	0.8	V
シュミット入力特性 (LVCMOS) 端子名: NRESET						
H レベル入力電圧	VIH2	HVDD=3.6V	1.2	-	2.52	V
L レベル入力電圧	VIL2	HVDD=3.0V	0.75	-	1.98	V
ヒステリシス電圧	ΔV	HVDD=3.0V	0.3	-	-	V
出力特性 端子名: SIS, MSGRDY, SPHMT, FSOUT, GP00-6, SMCS, SMSO						
H レベル出力電流	VOH1	HVDD=3.0V IOH=-1.4mA	HVDD-0.4	-	-	V
L レベル出力電流	VOL1	HVDD=3.0V IOL=1.4mA	-	-	VSS+0.4	V
出力特性 端子名: SOS, HPOP, HPON, SMSCK						
H レベル出力電流	VOH2	HVDD=3.0V IOH=-2.8mA	HVDD-0.4	-	-	V
L レベル出力電流	VOL2	HVDD=3.0V IOL=2.8mA	-	-	VSS+0.4	V
出力特性 端子名: SIS, SOS, HPOP, HPON, FSOUT						
オフステートリーク電流	IOZ	-	-5	-	5	μA
端子容量 端子名: 全入力端子						
入力端子容量	CI	f=1MHz HVDD=RVDD=0V	-	-	8	pF
端子容量 端子名: 全出力端子						
出力端子容量	CO	f=1MHz HVDD=RVDD=0V	-	-	8	pF

6. 電気的特性

端子容量		端子名: 全入出力端子				
入出力端子容量	CIO	f=1MHz HVDD=RVDD=0V	-	-	8	pF

※1 推奨動作条件 (Ta=25°C) におけるデコード動作時の概算電流値 (音声出力は無負荷)

※2 推奨動作条件 (Ta=25°C) における静止電流

6.3.3 電源電圧 2.4±0.2V における DC 特性

(HVDD / RVDD = 2.4±0.2V, VSS = 0V, Ta = -40°C~85°C)

項目	記号	条件	Min.	Typ.	Max.	単位
電源供給電圧						
電源電流 ※1 (無負荷時)	IDDH	HVDD=2.2V	-	0.1	-	mA
	IDDR	RVDD=2.2V	-	3.5	-	mA
静止電流						
電源電流 ※2	IDDSH	VIN = HVDD or VSS	-	0.1	-	μA
	IDDSR	HVDD=2.2V RVDD=2.2V	-	17.5	-	μA
入力リーク電流						
入力リーク電流		HVDD=2.4V RVDD=2.4V VIH=HVDD VIL=VSS	-5	-	5	μA
入力特性 (LVCMOS) 端子名: SIS, SCKS, NSCSS, SHISEL[1:0], STBYEXIT, CLKI, CLKSEL, SNGLEND, HMTPOL, OSCEN, TSTIN2, TSTIN0, SMSI, SPISWP						
H レベル入力電圧	VIH1	HVDD=2.6V	1.6	-	-	V
L レベル入力電圧	VIL1	HVDD=2.2V	-	-	0.6	V
シュミット入力特性 (LVCMOS) 端子名: NRESET						
H レベル入力電圧	VIH2	HVDD=2.6V	0.88	-	1.82	V
L レベル入力電圧	VIL2	HVDD=2.2V	0.55	-	1.43	V
ヒステリシス電圧	ΔV	HVDD=2.2V	0.22	-	-	V
出力特性 端子名: SIS, MSGRDY, SPHMT, FSOUT, GP00-GP06, SMCS, SMSO						
H レベル出力電流	VOH1	HVDD=2.2V IOH=-1.0mA	HVDD-0.4	-	-	V
L レベル出力電流	VOL1	HVDD=2.2V IOL=1.0mA	-	-	VSS+0.4	V
出力特性 端子名: SOS, HPOP, HPON, SMSCK						
H レベル出力電流	VOH2	HVDD=2.2V IOH=-2.0mA	HVDD-0.4	-	-	V
L レベル出力電流	VOL2	HVDD=2.2V IOL=2.0mA	-	-	VSS+0.4	V
出力特性 端子名: SIS, SOS, HPOP, HPON, FSOUT						
オフステートリーク電流	IOZ	-	-5	-	5	μA
端子容量 端子名: 全入力端子						
入力端子容量	CI	f=1MHz HVDD=RVDD=0V	-	-	8	pF
端子容量 端子名: 全出力端子						
出力端子容量	CO	f=1MHz HVDD=RVDD=0V	-	-	8	pF

6. 電気的特性

端子容量		端子名: 全入出力端子				
入出力端子容量	CIO	f=1MHz HVDD=RVDD=0V	-	-	8	pF

※1 推奨動作条件 (Ta=25°C) におけるデコード動作時の概算電流値 (音声出力は無負荷)

※2 推奨動作条件 (Ta=25°C) における静止電流

6.4 AC 特性

6.4.1 システムクロックタイミング (32.768kHz)

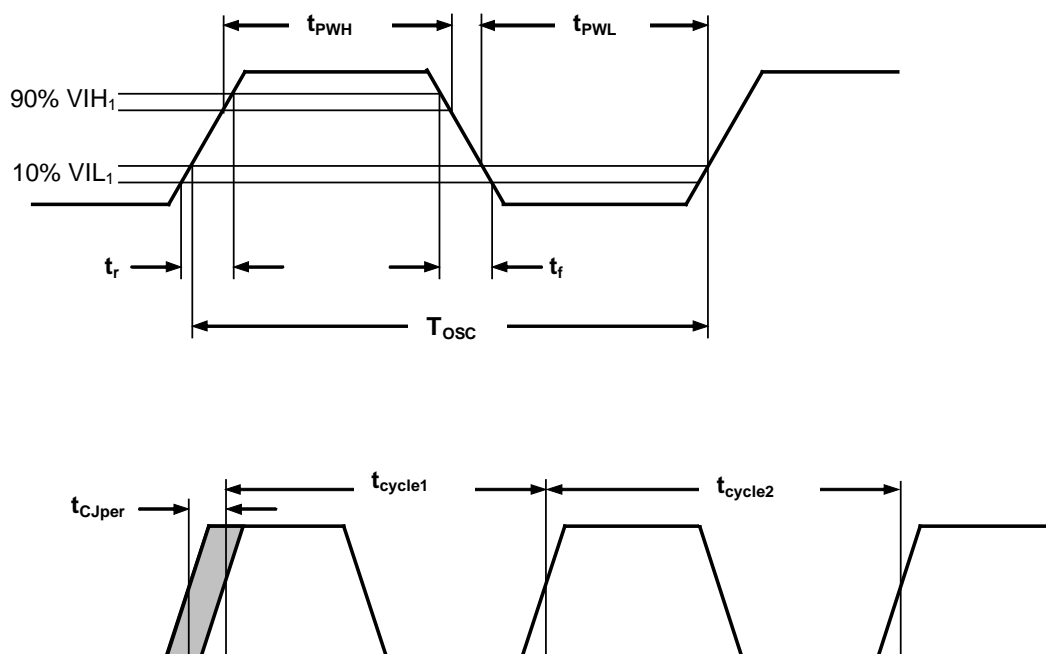


図 6.1 システムクロックタイミング (32.768kHz)

記号	項目	Min.	Typ.	Max.	単位
f_{osc}	入力クロック周波数	-	32.768	-	kHz
T_{osc}	入力クロック周期	-	$1/f_{osc}$	-	ms
t_{pwh}	入力クロック H レベルパルス幅	$0.45 \cdot T_{osc}$	-	$0.55 \cdot T_{osc}$	ms
t_{pwl}	入力クロック L レベルパルス幅	$0.45 \cdot T_{osc}$	-	$0.55 \cdot T_{osc}$	ms
t_r	入力クロック立ち上がり時間 (10%→90%)	-	-	5.0	μs
t_f	入力クロック立ち下がり時間 (90%→10%)	-	-	5.0	μs
t_{Cjper}	入力クロック周期ジッタ (※2, 4)	-5.0	-	5.0	ns
$t_{Cjcycle}$	入力クロックサイクルジッタ (※1, 3, 4)	-5.0	-	5.0	ns
※1	$t_{Cjcycle} = t_{cycle1} - t_{cycle2}$				
※2	入力クロック周期ジッタは、中心周期 (中心周波数の逆数) からの変化です。				
※3	入力クロックサイクルジッタは、隣接するサイクル間における周期の差分です。				
※4	ジッタ特性は t_{Cjper} 及び $t_{Cjcycle}$ の両方を満たす必要があります。				
※	クロックは極力オーバーシュート/アンダーシュートがないようにしてください。				

6. 電気的特性

6.4.2 システムクロックタイミング (12.288MHz)

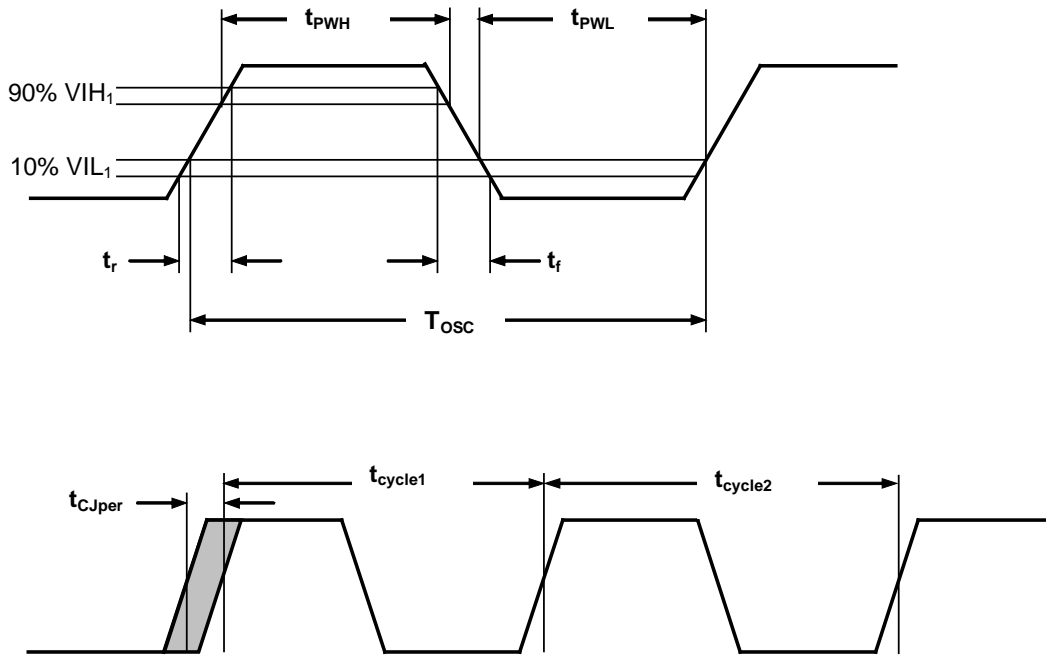


図 6.2 システムクロックタイミング (12.288MHz)

記号	項目	Min.	Typ.	Max.	単位
f_{osc}	入力クロック周波数	-	12.288	-	MHz
T_{osc}	入力クロック周期	-	$1/f_{osc}$	-	μs
t_{pwh}	入力クロック H レベルパルス幅	$0.45 \cdot T_{osc}$	-	$0.55 \cdot T_{osc}$	μs
t_{pwl}	入力クロック L レベルパルス幅	$0.45 \cdot T_{osc}$	-	$0.55 \cdot T_{osc}$	μs
t_r	入力クロック立ち上がり時間 (10%→90%)	-	-	5.0	ns
t_f	入力クロック立ち下がり時間 (90%→10%)	-	-	5.0	ns
t_{CJper}	入力クロック周期ジッタ (※2, 4)	-400	-	400	ps
$t_{CJcycle}$	入力クロックサイクルジッタ (※1, 3, 4)	-400	-	400	ps
※1	$t_{CJcycle} = t_{cycle1} - t_{cycle2}$				
※2	入力クロック周期ジッタは、中心周期 (中心周波数の逆数) からの変化です。				
※3	入力クロックサイクルジッタは、隣接するサイクル間における周期の差分です。				
※4	ジッタ特性は t_{CJper} 及び $t_{CJcycle}$ の両方を満たす必要があります。				
※	クロックは極力オーバーシュート/アンダーシュートがないようにしてください。				

6.4.3 電源投入／リセットタイミング

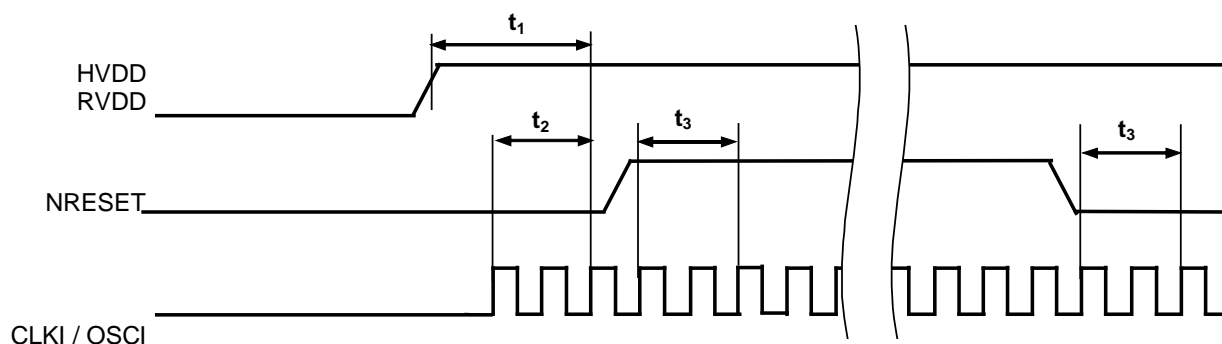


図 6.3 電源投入／リセットタイミング

記号	項目	Min.	Typ.	Max.	単位	
t ₁	HVDD 系電源の投入から、NRESET 解除直前における CLKI/OSCI 立ち上がりエッジまでの時間	入力クロック:CLKI	100	-	-	μs
		入力クロック:OSCI (※2)	-	1	-	s
t ₂	電源投入時における最小リセット幅	2	-	-	T _{osc} (※1)	
t ₃	NRESET 内部同期時間 (リセット信号が内部回路に適用されるまでの時間)	2	-	-	T _{osc} (※1)	
※1	T _{osc} は CLKI / OSCI の周期です。					
※2	発振特性は使用部品（振動子、Rf、Rd、Cg、Cd）や基板パターン、電源電圧の立ち上がり時間などにより変化します。本特性は参考値として御使用願います。					

注意)

HVDD をオフ状態からオン状態へ復帰させる場合には、電源ノイズ等の影響により、内部回路の状態を保証できませんので、電源投入後は必ず NRESET により回路の初期化を行って下さい。

6. 電気的特性

6.4.4 コマンド受付タイミング

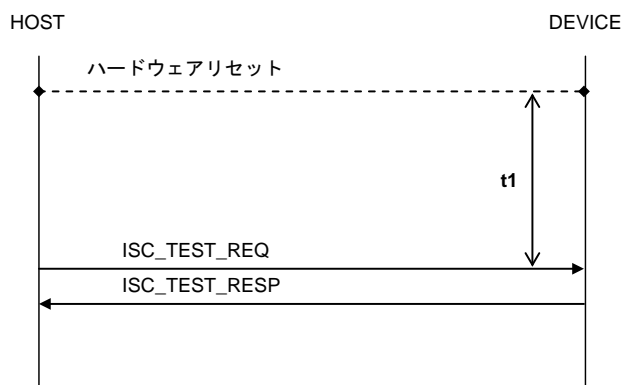


図 6.4 コマンド受付タイミング

ハードウェアリセット後、 t_1 時間を経過してからシステムが立ち上がります。
この後、ISC_TEST_REQ/RESP メッセージフローを使用することができます。

記号	項目	Min.	Max.	単位
t_1	初期化からメッセージ受付可能となるまでの時間 (※1)	120	-	ms
※1	t_1 時間にパディングバイトを送信しても問題はありません。			

6.4.5 シリアルインタフェース（クロック同期式）

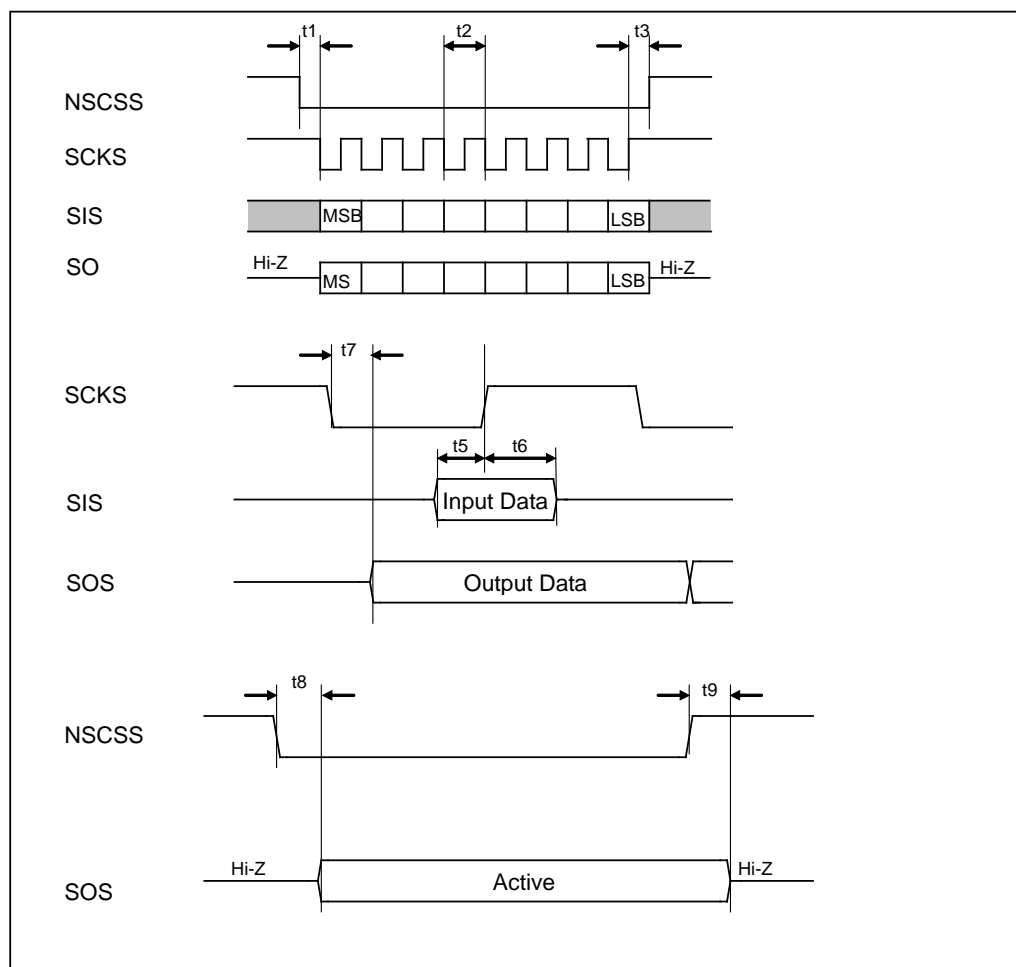


図 6.5 クロック同期式シリアルインタフェース タイミング

記号	項目	Min.	Max.	単位
t_1	NSCSS 立ち下がりから SCKS 立ち下がりまでの時間	100	-	ns
t_2	SCKS の周期	1.0	-	μ s
t_3	SCKS 立ち上がりから NSCSS 立ち上がりまでの時間	100	-	ns
t_5	SIS セットアップ時間	30	-	ns
t_6	SIS ホールド時間	30	-	ns
t_7	SCKS 立ち下がりから SOS が有効になるまでの期間	-	50	ns
t_8	NSCSS 立ち下がりから SOS が有効になるまでの期間	-	50	ns
t_9	NSCSS 立ち上がりから SOS が Hi-Z になるまでの期間	-	50	ns

6. 電気的特性

6.4.6 シリアルインタフェース (I2C)

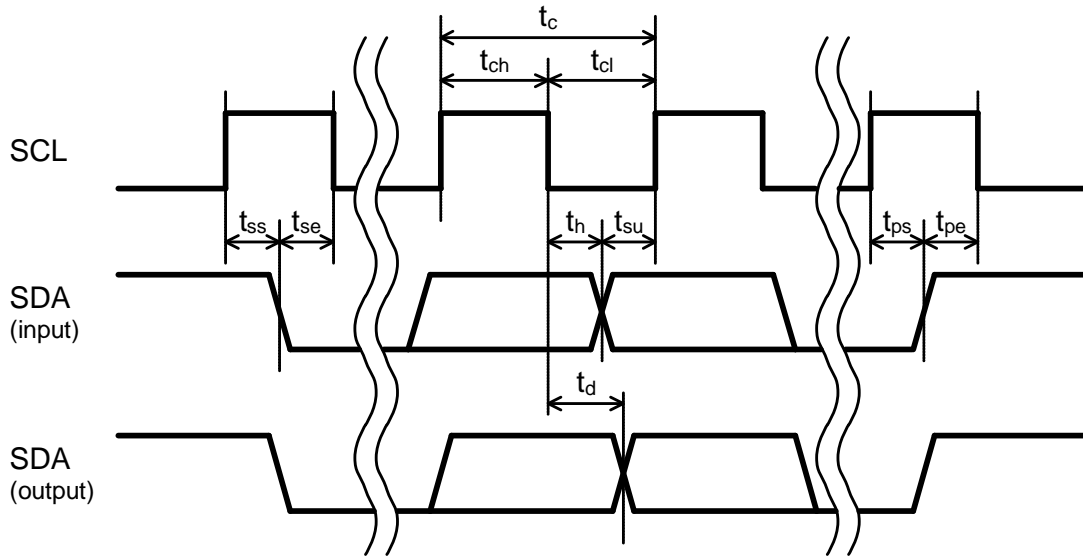


図 6.6 I2C タイミング

記号	項目	Min.	Max.	単位
t_c	SCL クロック周期 (※1)	12.0	-	μs
t_{ch}	SCL クロック High パルス幅	6.0	-	μs
t_{cl}	SCL クロック Low パルス幅 (※1)	6.0	-	μs
t_{su}	SDA 入力セットアップ時間	0.5	-	μs
t_h	SDA 入力ホールド時間	0	-	μs
t_d	SDA 出力遅延時間 (※1)	-	5.5	μs
t_{ss}	START 条件開始時間	2.5	-	μs
t_{se}	START 条件完了時間	2.5	-	μs
t_{ps}	STOP 条件開始時間	2.5	-	μs
t_{pe}	STOP 条件完了時間	2.5	-	μs
※1	本数値は I2C バスの立ち上がり時間を 480ns 以内を前提としております。 負荷容量とプルアップ抵抗値により、I2C バスの立ち上がり時間が 480ns を超える場合は、本数値が増加しますのでご注意ください。			

6.4.7 SPI-FLASH メモリーインタフェースタイミング

6.4.7.1 S1V3G340 リードタイミング

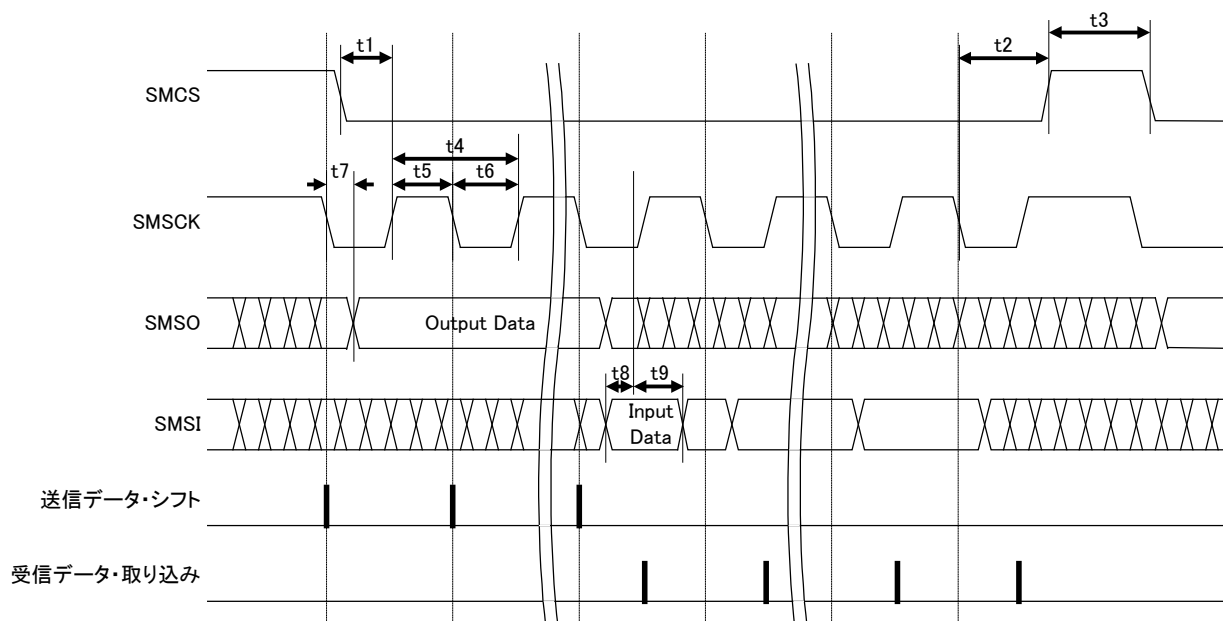


図 6.7 リードタイミング

記号	項目	Min.	Typ.	Max.	単位
t ₁	SMCS の立ち下がりから SMSCK の立ち上がりまでの時間	470	-	-	ns
t ₂	SMSCK の立ち下がりまで SMCS の立ち上がりまでの時間	240	-	-	ns
t ₃	SMCS 待機/パルス時間	900	-	-	ns
t ₄	SMSCK サイクル時間	-	488	-	ns
t ₅	SMSCK 論理高レベルパルス幅	-	244	-	ns
t ₆	SMSCK 論理低レベルパルス幅	-	244	-	ns
t ₇	SMSO 出力遅延時間	-	-	30	ns
t ₈	SMSI セットアップ時間	60	-	-	ns
t ₉	SMSI ホールド時間	30	-	-	ns

6. 電气的特性

6.4.7.2 ホスト FLASH アクセス・タイミング

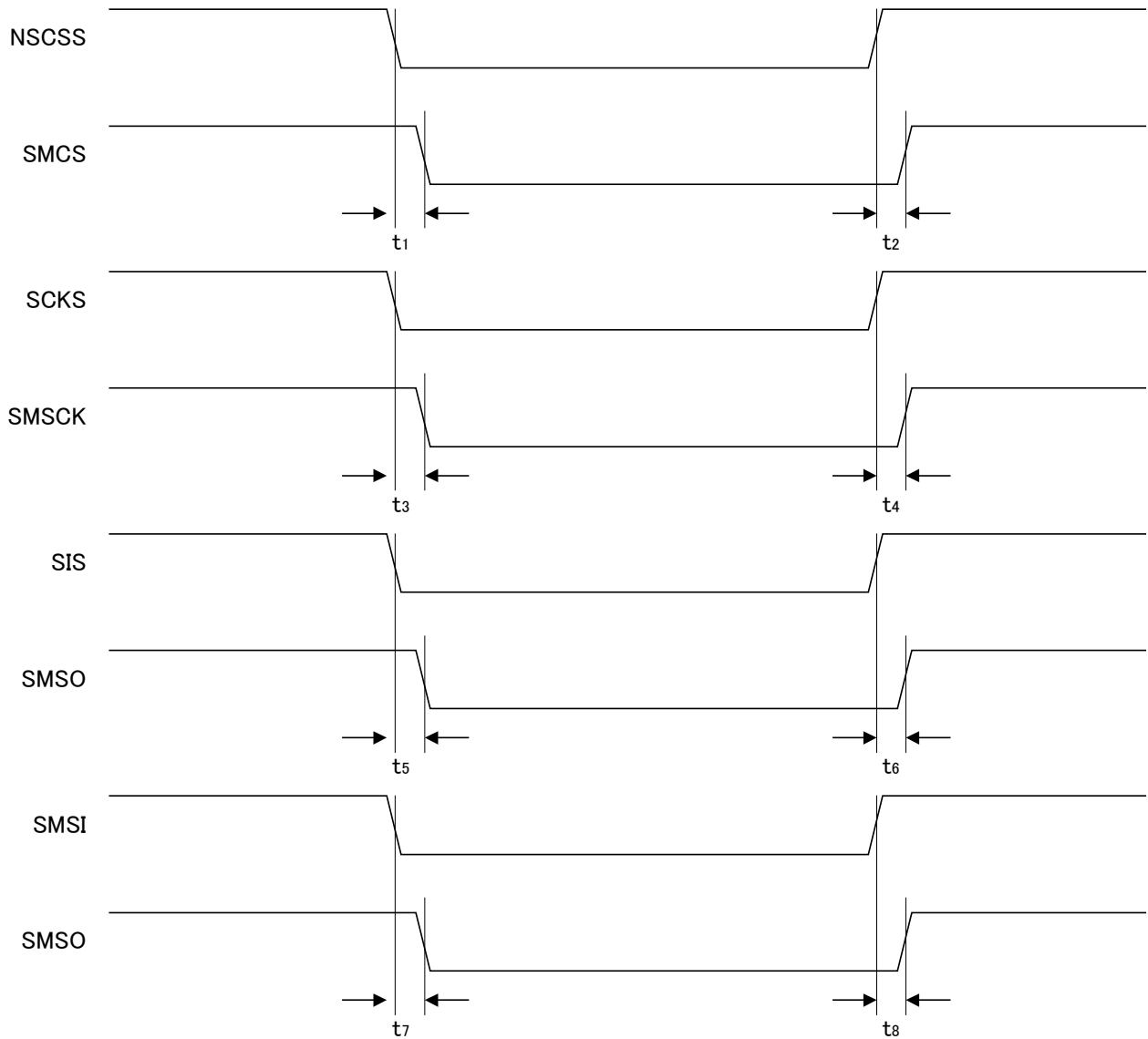


図 6.8 ホスト FLASH アクセス・タイミング

記号	項目	Min.	Max.	単位
t_1	NSCSS 入力から SMCS 出力までの遅延時間	-	50	ns
t_2	NSCSS 入力から SMCS 出力までの遅延時間	-	50	ns
t_3	SCKS 入力から SMSCK 出力までの遅延時間	-	50	ns
t_4	SCKS 入力から SMSCK 出力までの遅延時間	-	50	ns
t_5	SIS 入力から SMSO 出力までの遅延時間	-	50	ns
t_6	SIS 入力から SMSO 出力までの遅延時間	-	50	ns
t_7	SMSI 入力から SMSO 出力までの遅延時間	-	50	ns
t_8	SMSI 入力から SMSO 出力までの遅延時間	-	50	ns
FLASH アクセスモードでは、シリアル通信インターフェースの信号は SPI-FLASH メモリーインターフェースへ接続されます。FLASH アクセスモードの詳細に関しては「FLASH アクセス仕様書」をご参照ください。				

7. 外部接続例

7.1 システムクロック

S1V3G340 のシステムクロック周波数は、32.768kHz または 12.288MHz のいずれかを選択することができます。また、クロック源として、直接入力 (CLKI 端子より入力) または振動子 (OSCI/OSCO 端子に接続) のいずれかを選択することができます。ただし、振動子は 32.768kHz のみ使用可能です。各クロック供給形態における外部接続例を以下に示します。

7.1.1 直接入力

CLKI 端子に入力したクロック信号をクロック源とする場合の外部接続例を図 7.1 に示します。

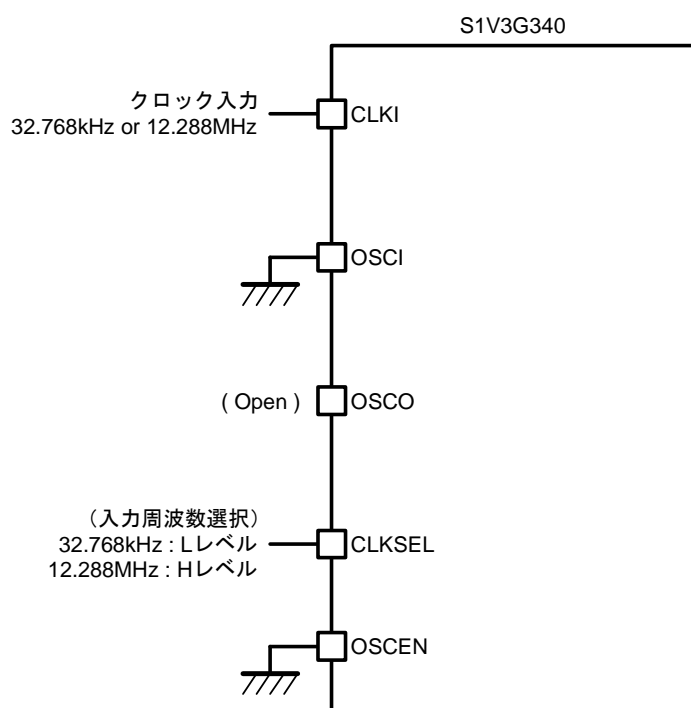


図 7.1 システムクロック外部接続例 (CLKI 端子)

CLKI 端子には、発振器などで生成した 32.768kHz または 12.288MHz のクロック信号を入力します。

CLKSEL 端子は、32.768kHz の場合 Low レベル、12.288MHz の場合 High レベルに設定して下さい。

OSCEN 端子は、Low レベルに設定して下さい。

OSCI 端子は、Low レベルに設定して下さい。

OSCO 端子は、何も接続しないで下さい。

なお、システムクロックの周波数を 12.288MHz とした場合、調歩同期式シリアルインタフェース (UART) は使用できません。

7. 外部接続例

7.1.2 振動子 (32.768kHz)

32.768kHz の振動子をクロック源とする場合の外部接続例を図 7.2 に示します。

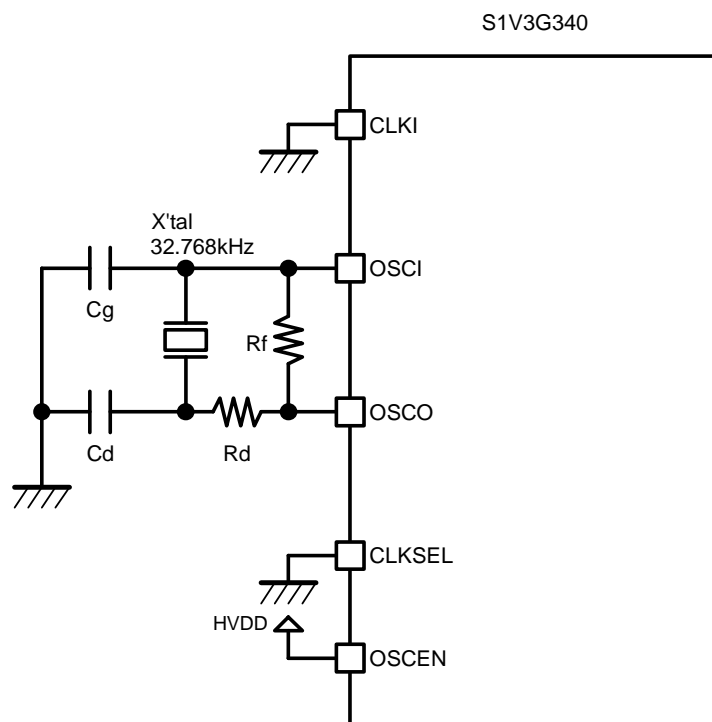


図 7.2 システムクロック外部接続例 (32.768kHz 振動子)

OSCI, OSCO 端子に図 7.2 の通り 32.768kHz の振動子と発振回路を接続します。

CLKSEL 端子は、Low レベルに設定して下さい。

OSCEN 端子は、High レベルに設定して下さい。

CLKI 端子は、Low レベルに設定して下さい。

表 7.1 に 32.768kHz 振動子の外部回路定数例を示します。発振特性は諸条件（使用部品・基板パターンなど）により変化します。表 7.1 に示した値は一例であり、特に動作を保証するものではありません。

表 7.1 32.768kHz 振動子 外部回路定数例

X'tal	32.768kHz 振動子	水晶 (エプソントヨコム FC-135)
Cg	ゲート容量	10pF
Cd	ドレイン容量	10pF
Rf	帰還抵抗	10M Ω
Rd	ドレイン抵抗	200k Ω

7.2 シリアルインタフェース

7.2.1 クロック同期式

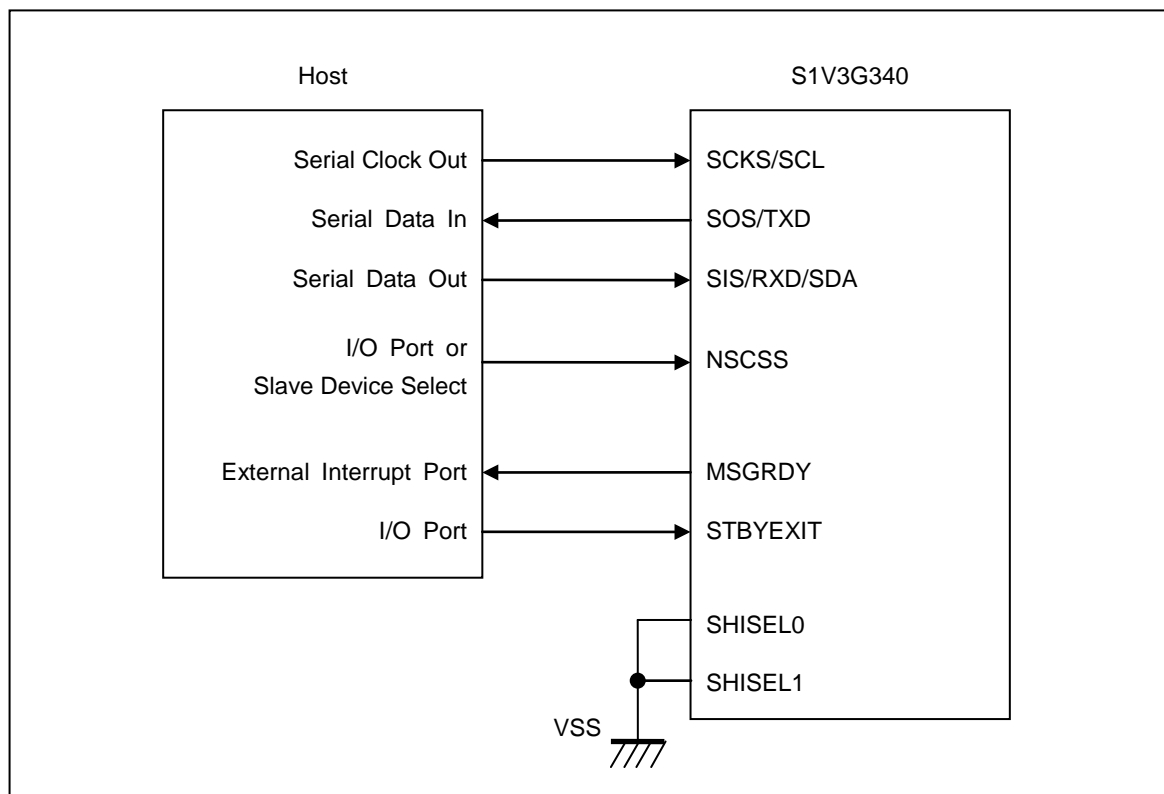


図 7.3 シリアルインタフェース外部接続例（クロック同期式）

クロック同期式シリアルインタフェースをお使いになる場合は、入力端子 SHISEL0、SHISEL1 を共に Low レベルに設定して下さい。

NSCSS が Low レベルの場合、SOS はアクティブとなります。NSCSS が High レベルの場合、SOS はハイインピーダンスとなります。NSCSS を図 7.3 のように、汎用出力ポートまたはホスト側シリアルインタフェースのスレーブデバイス選択信号により制御することで、複数のスレーブデバイスの接続が可能となります。NSCSS 端子をホストの汎用ポート等で制御する場合は、メッセージの送信直前に Low レベルに設定し、メッセージの受信が完了したら High レベルに設定して下さい。

MSGRDY は、S1V3G340 から送信されるコマンドが送信可能な状態であることを示す出力信号です。この信号をホストに対する割り込み信号として用いることで、メッセージの受信に関わる負荷の低減を図ることができます。MSGRDY の出力タイミングについては、『S1V3034x シリーズ メッセージプロトコル仕様書』を参照ください。

STBYEXIT は、スタンバイモードから通常動作モードに復帰するための入力信号です。STBYEXIT の入力タイミングについては、『S1V3034x シリーズ メッセージプロトコル仕様書』を参照ください。

7. 外部接続例

7.2.2 調歩同期式 (UART)

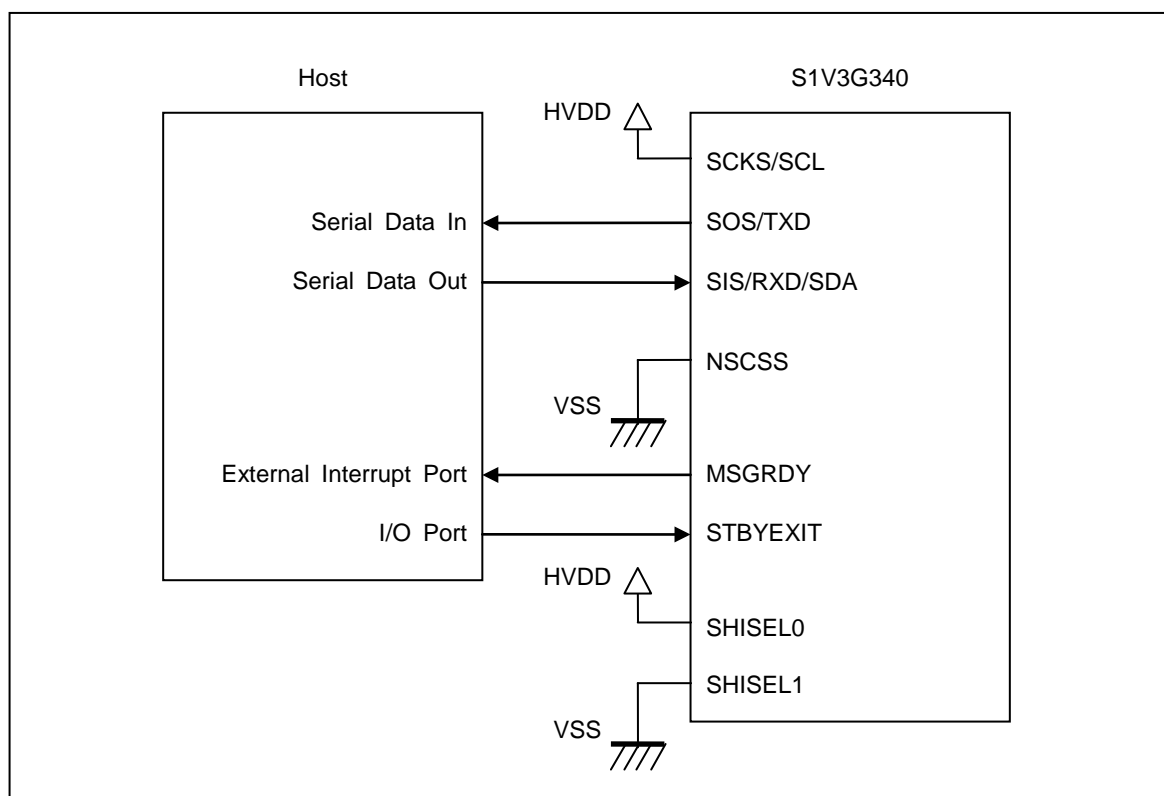


図 7.4 シリアルインタフェース外部接続例 (調歩同期式)

調歩同期式シリアルインタフェース (UART) をお使いになる場合は、入力端子 SHISEL0 を High レベル、SHISEL1 を Low レベルに設定して下さい。なお、システムクロックの周波数が 12.288MHz の場合、UART インタフェースを使用することはできません。

通信設定の初期値は、以下の通りです。

スタートビット長： 1bit

ストップビット長： 1bit

パリティビット： なし

ボーレート： 9.6kbps

通信設定は ISC_UART_CONFIG_REQ メッセージで変更することができます。同メッセージで設定した通信設定はハードウェアリセットを実行するまで維持されます。ハードウェアリセットを実行した場合、通信設定は上記の初期値となりますので、必要に応じ ISC_UART_CONFIG_REQ メッセージを実行して下さい。詳細は『S1V3034x シリーズ メッセージプロトコル仕様書』を参照ください。

MSGRDY は、S1V3G340 から送信されるコマンドが送信可能な状態であることを示す出力信号です。ホスト側のデータ受信フロー、及び MSGRDY の出力タイミングについては、『S1V3034x シリーズ メッセージプロトコル仕様書』を参照ください。

STBYEXIT は、スタンバイモードから通常動作モードに復帰するための入力信号です。STBYEXIT の入力タイミングについては、『S1V3034x シリーズ メッセージプロトコル仕様書』を参照ください。

7.2.3 I2C

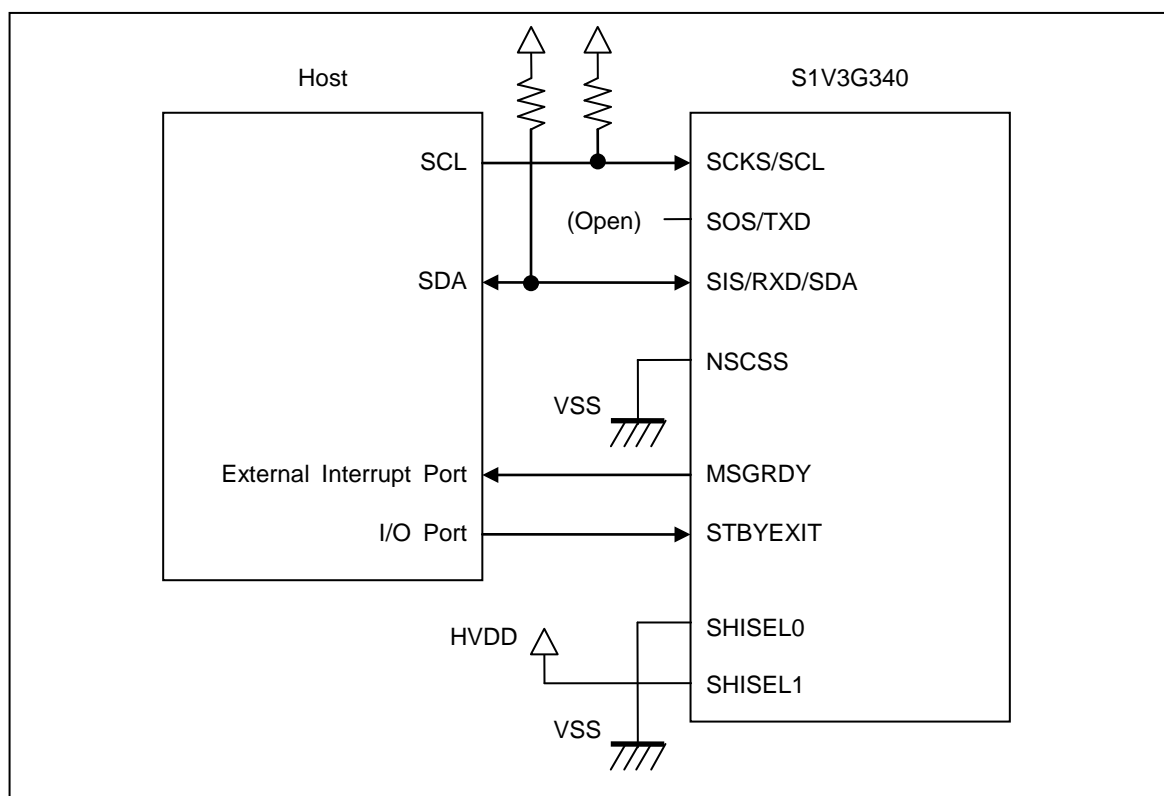


図 7.5 シリアルインタフェース外部接続例 (I2C)

I2C をお使いになる場合は、入力端子 SHISEL0 を Low レベル、SHISEL1 を High レベルに設定して下さい。

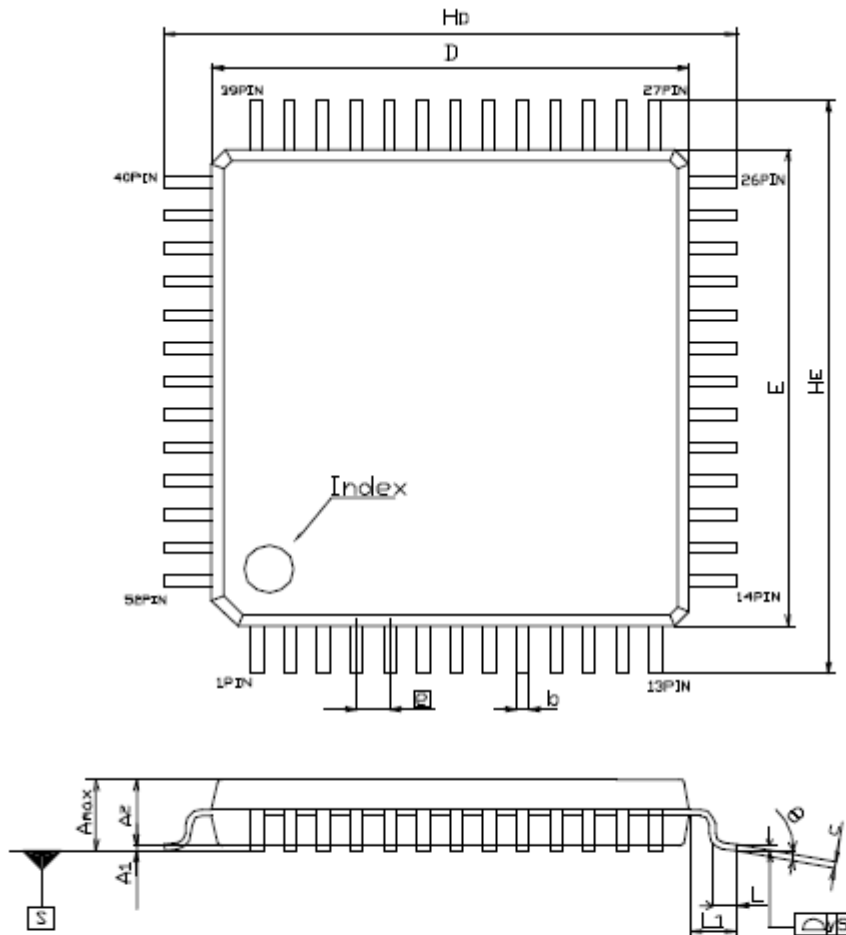
MSGRDY は、S1V3G340 から送信されるコマンドが送信可能な状態であることを示す出力信号です。ホスト側のデータ受信フロー、及び MSGRDY の出力タイミングについては、『S1V3034x シリーズ メッセージプロトコル仕様書』を参照ください。

STBYEXIT は、スタンバイモードから通常動作モードに復帰するための入力信号です。STBYEXIT の入力タイミングについては、『S1V3034x シリーズ メッセージプロトコル仕様書』を参照ください。

8. 外形寸法図

8. 外形寸法図

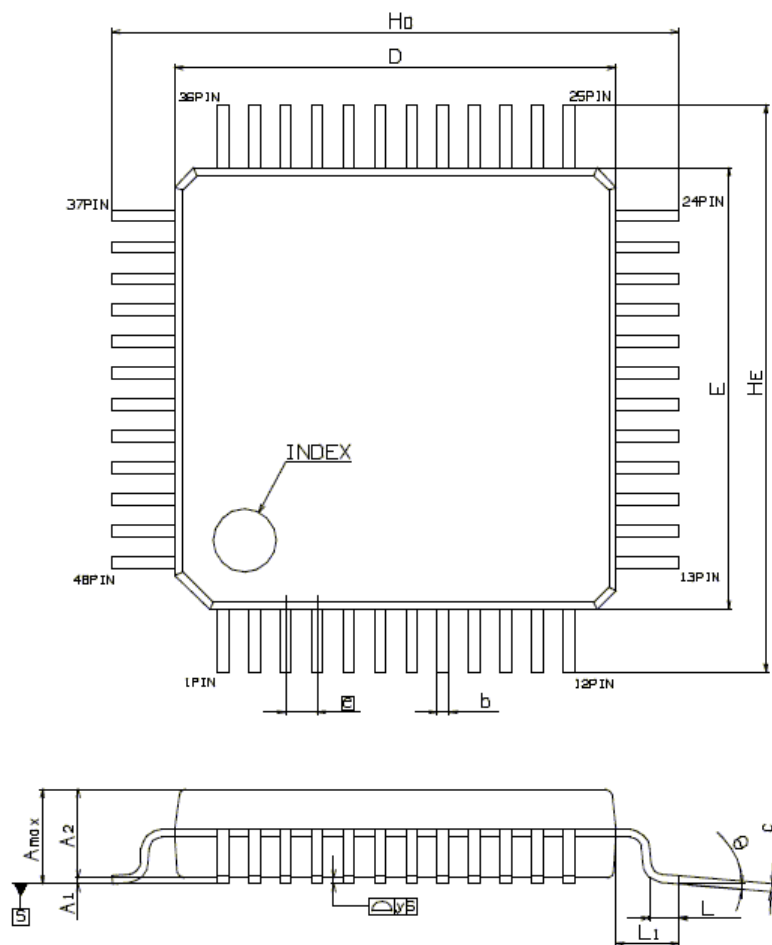
8.1 QFP13-52



Symbol	Dimension in Millimeters		
	Min	Nom	Max
F	-	1.0	-
D	-	1.0	-
A_{max}	-	-	1.7
A_1	-	0.1	-
b	-	1.4	-
a	-	0.65	-
b	0.2	-	0.4
a	0.09	-	0.2
p	0*	-	10*
L	0.3	-	0.75
L_1	-	1.2	-
H_E	-	1.2	-
H_D	-	-	-
y	-	-	0.1

1 - 1mm

8.2 QFP12-48



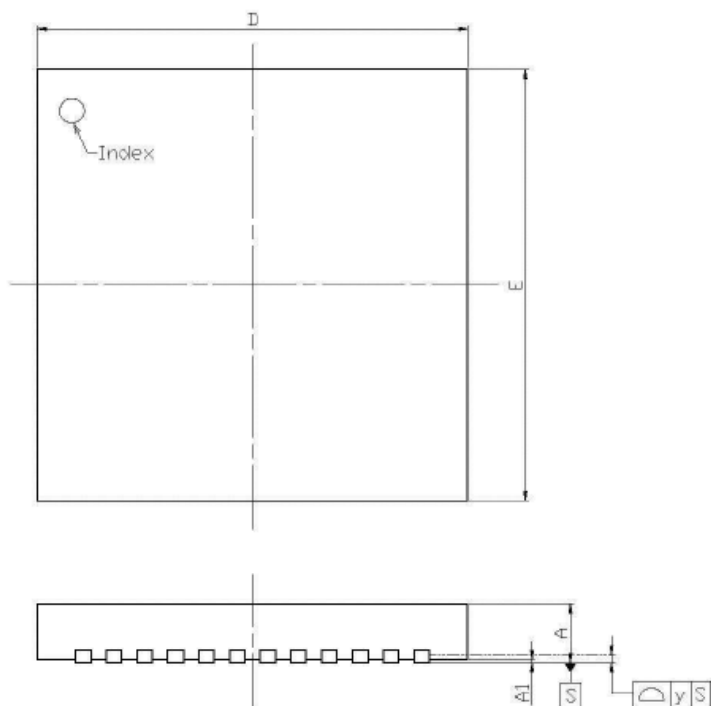
Symbol	Dimension in Millimeters		
	Min	Nom	Max
F	-	7	-
D	-	7	-
A_{max}	-	-	1.7
A_1	-	0.1	-
A_2	-	1.4	-
θ	-	0.5	-
b	0.13	-	0.27
ϕ	0.09	-	0.2
ϕ	0.1	-	1.0
L	0.3	-	0.7
L_1	-	1	-
H_E	-	5	-
H_D	-	5	-
y	-	-	0.08

1 - 1mm

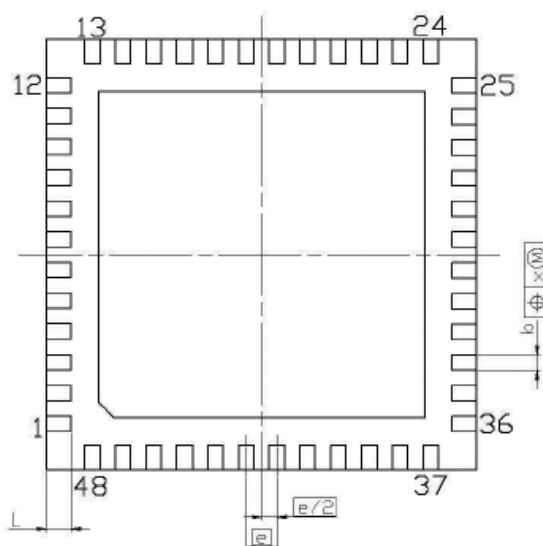
8. 外形寸法図

8.3 SQFN7-48

Top View



Bottom View



Symbol	Dimension: in Millimeters		
	Min	Nom	Max
D	-	7	-
E	-	7	-
A	-	-	1
A_1	0	-	-
b	0.2	-	0.3
ϕ	-	0.5	-
L	0.35	-	0.45
x	-	-	0.1
y	-	-	0.08

1 = 1mm

9. 参考資料

9.1 応用回路例

図 9.1 に、S1V3G340 の応用回路例を示します。

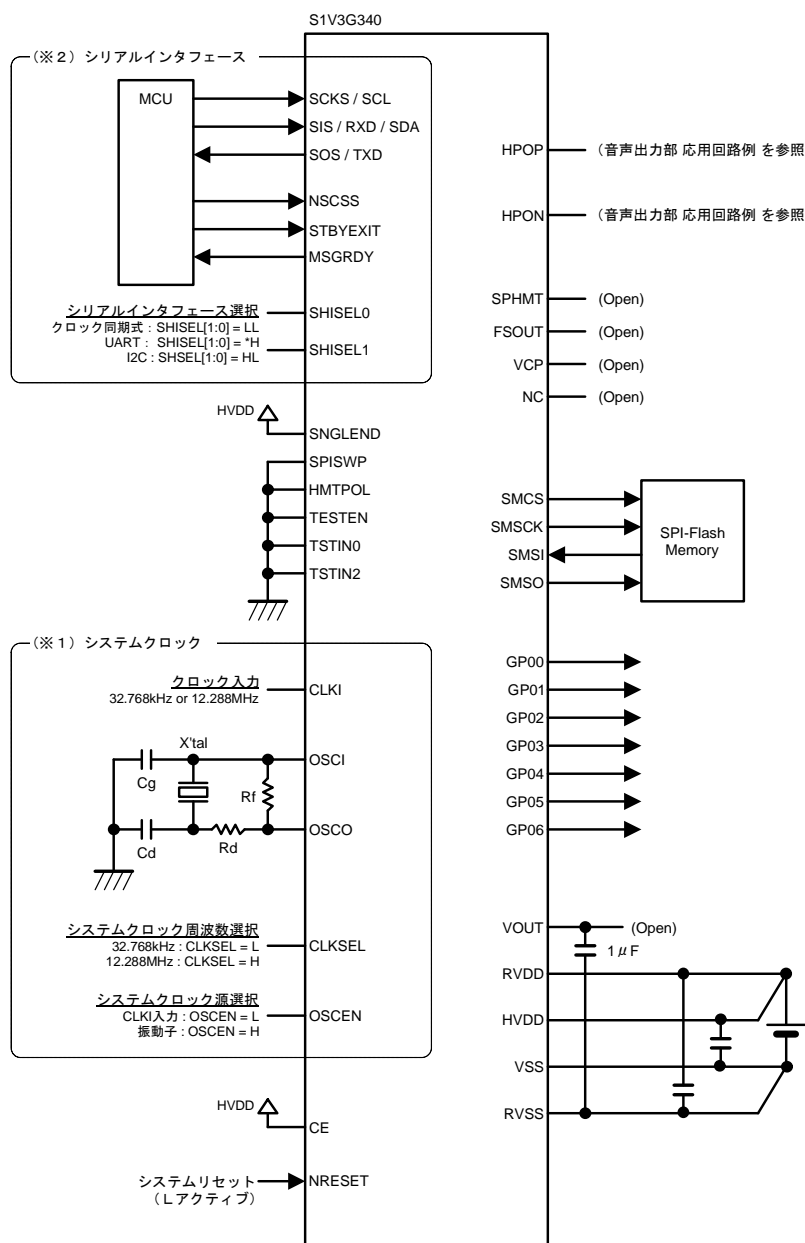


図 9.1 S1V3G340 応用回路例

- (※1) システムクロック入力部は、お使いになるクロックの周波数、及びクロック源により接続形態が異なります。詳細を 7.1 項に記しておりますので、こちらも必ずご参照下さい。
- (※2) シリアルインタフェース部は、お使いになるインタフェースの種類により接続形態が異なります。詳細を 7.2 項に記しておりますので、こちらも必ずご参照下さい。
- (※3) 電源間のバイパスコンデンサは、システムによって異なりますが、数 μF ～数十 μF を目安としてください。

9. 参考資料

9.2 応用回路例（音声出力部）

図 9.2 に、音声出力部の応用回路例を示します。

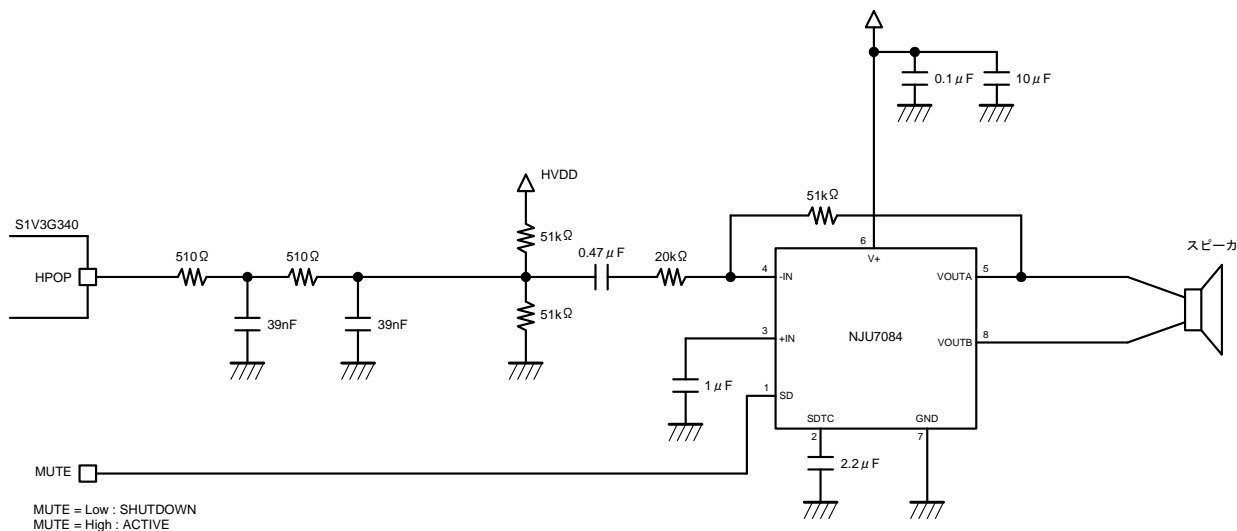


図 9.2 S1V3G340 応用回路例（音声出力部）

HPOP/HPON 端子から、二次 LPF (510Ω、39nF) までの配線は最短距離で行ってください。

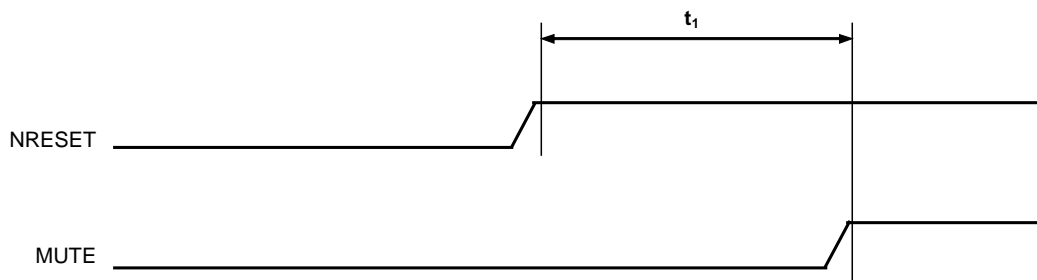
二次 LPF のコンデンサ (39nF) の GND 側の配線は最短距離で VSS と接続してください。

図 9.2 に示したスピーカアンプの周辺回路及び定数はあくまで一例であり、特に動作を保証するものではありません。

9.3 ミュート開始／解除タイミング

電源 ON/OFF 時及びスタンバイ時のノイズを抑えるため、汎用入出力ポート等によりスピーカアンプのミュート機能を制御することを推奨します。各動作状態におけるミュート制御タイミングの例を以下に示します。

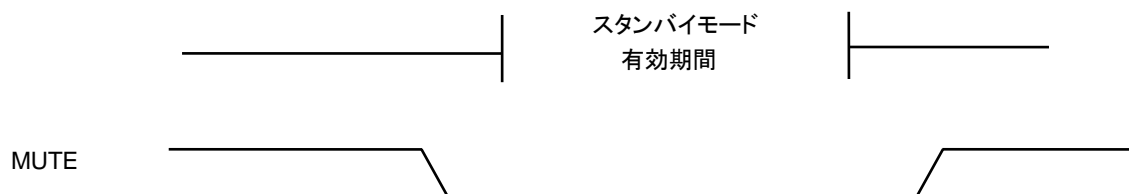
9.3.1 システムリセット有効⇒解除



記号	項目	Min.	Max.	単位
t_1	NRESET 解除から MUTE 解除までの時間	150	-	ms

(注) 上記タイミングチャートは、MUTE 端子が Low レベルで MUTE が有効な場合です。

9.3.2 スタンバイモード



スタンバイモード前後の MUTE 制御について以下にフロー例を示します。

- スタンバイモードに移行
MUTE イネーブル → STANDBY_ENTRY_REQ 発行 → STBYEXIT : High
- スタンバイモードを終了
STBYEXIT : Low → STANDBY_EXIT_IND 受信 → MUTE 解除

(注) 上記タイミングチャートは、MUTE 端子が Low レベルで MUTE が有効な場合です。

※ スタンバイモードの詳細は、メッセージプロトコル仕様書を御参照ください。

9.4 電源に関する注意事項

HVDD をオフ状態からオン状態へ復帰させる場合には、電源ノイズ等の影響により、内部回路の状態を保証できませんので、電源投入後は必ず NRESET により回路の初期化を行って下さい。

CMOS 構造のデバイスは、ラッチアップと呼ばれる状態になることがあります。これは、CMOS IC が内蔵する PNPN 接合（サイリスタ構造）が導通し、VDD – VSS 間に大電流が流れて破壊に至る現象です。

ラッチアップは、入力・出力端子への電圧印加が定格を超えて、内部素子に大きな電流が流れた場合、あるいは VDD 端子の電圧が定格を超えて内部素子が降伏状態となったときに起こります。この場合、定格外の電圧印加が瞬間的なものであっても、一旦ラッチアップ状態になると VDD – VSS 間の大電流が保持され、発熱や発煙のおそれもあるため、次の点に注意して下さい。

- (1) 入出力端子の電圧レベルを電気的特性に指定された範囲を超えて電源電圧より上げない、または VSS より下げないで下さい。
- (2) 異常ノイズがデバイスに加わらないようにして下さい。
- (3) 未使用の入力端子の電位を VDD または VSS に固定して下さい。
- (4) 出力を短絡しないで下さい。

9.5 クロック直接入力時の注意

外部からの直接クロック入力時、クロックにオーバーシュート／アンダーシュートが大きいと、電源にノイズが入ります。結果として内部レギュレータ出力が変動し、内部回路の破壊や誤動作につながる可能性があります。

オーバーシュート／アンダーシュートは「6.1 絶対最大定格」で示す「入力電圧」の範囲内に収めていただく必要があります。オーバーシュート／アンダーシュートがある場合には、ダンピング抵抗や Low Pass Filter を付けるなどの対策をとってください。

なお、クロック以外の外部信号についても同様の配慮が必要になりますが、特にクロックは周波数が高いため、最も注意が必要となります。

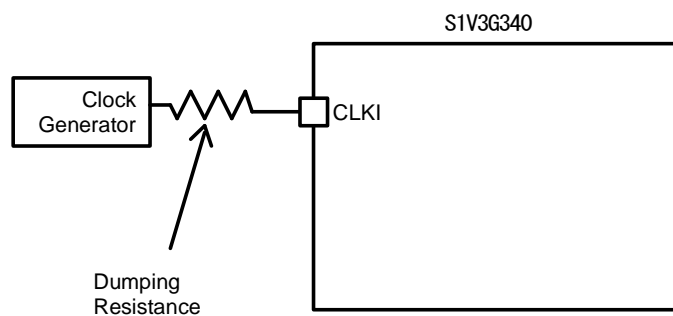


図 9.3 クロック入力 オーバーシュート／アンダーシュート対策例

9.6 実装上の注意事項

基板の設計、及び IC を実装する際の注意事項を以下に示します。

9.6.1 発振回路

発振特性は使用部品（振動子、 R_f , R_d , C_g , C_d ）や基板パタンなどにより変化します。特にセラミック発振子または水晶振動子を使用する場合、外付けの抵抗（ R_f , R_d ）や容量（ C_g , C_d ）の値は、実際の基板上に各部品を実装した状態で、十分に評価を行って適切なものを選んでください。

ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するために、以下の点に配慮してください。

- OSCI, OSCO 端子に接続する振動子、抵抗、容量等の部品は、できるだけ最短で接続してください。
- OSCI, OSCO 端子とこれらの回路構成部品、および配線から 3mm 以内の領域には、できるだけデジタル信号線を配置しないでください。特に、スイッチングが激しい信号を近くに配置することは避けてください。多層プリント基板の各層の間隔は 0.1mm~0.2mm 程度しかありませんので、デジタル信号線を他のどの層に配置する場合でも同様です。また、これらの部品や配線とデジタル信号線を絶対に並走させないでください。3mm 以上の距離がある場合や、基板の他の層であっても禁止します。配線を交差させることも避けてください。
- OSCI, OSCO 端子と配線は、基板の隣接する層も含め、VSS でシールドしてください。配線する層は、図 9.3 のように広めにシールドしてください。隣接する層については、できれば全面をグラウンド層に、最低でも上記端子と配線の周囲を 5mm 以上カバーするようにシールドしてください。この対策を施した場合でも、前述の通りデジタル信号線との並走は禁止します。他の層での交差についても、スイッチング頻度の低い信号以外はできるだけ避けてください。

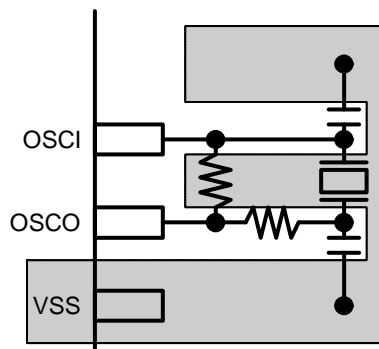


図 9.4 発振回路 VSS パタン例

9.6.2 リセット回路

電源投入時、NRESET 端子に入力されるリセット信号は、諸条件（電源の立ち上がり時間、使用部品、基板パターン等）により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、適切なものを選んでください。NRESET 端子のプルアップ抵抗については、インピーダンスが高い場合ノイズによる誤動作が生じることがありますので、抵抗値のばらつきを十分考慮した定数設定が必要です。

9.6.3 電源回路

ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため、以下の点に配慮してください。

- 電源から HVDD/RVDD/VSS/RVSS 端子へはできるだけ短く太いパタンで接続してください。
- HVDD/RVDD - VSS/RVSS 間のバイパスコンデンサを接続する場合、HVDD/RVDD 端子と VSS/RVSS 端子をできるだけ最短で接続してください。なお、バイパスコンデンサは、システムによって異なりますが、数 μF ～数十 μF を目安としてください。
- VOUT - RVSS 間に $1\mu\text{F}$ のバイパスコンデンサを接続し、VOUT 端子と RVSS 端子をできるだけ最短で接続してください。

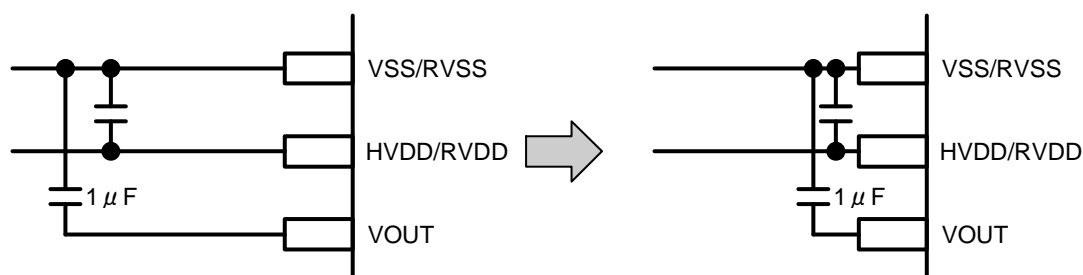


図 9.5 バイパスコンデンサ 接続例

9.6.4 信号線の配置

相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部などのノイズに弱い回路の近くには、大電流信号線を配置しないでください。

高速動作する信号線と、長くかつ平行に、または交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因になります。特に、発振部などのノイズに弱い回路の近くには、高速に動作する信号線を配置しないでください。

9.6.5 ノイズによる誤動作

ノイズによる IC の誤動作が考えられる場合、以下の点について確認してみてください。

- **NRESET 端子**
この端子に **Low** レベルのノイズが入ると、**IC** がリセットされます。ただし、入力波形によっては正常なリセット動作が行えない場合があります。回路設計上、リセット入力が高レベル状態でのインピーダンスが高いときに起こりやすくなります。
- **SCKS 端子**
この端子は、クロック同期式シリアルインタフェースの同期クロック入力端子です。この端子にノイズが入ると、入力波形によっては有効なデータと認識し、誤動作の原因となります。シリアルインタフェース (**SCKS, SIS, SOS, NSCSS**) の配線はできるだけ最短で接続してください。
- **電源**
規定の電圧を下回るようなノイズが入った場合、その瞬間に **IC** が誤動作します。基板の電源系のベタパタン化、ノイズ除去用デカップリングコンデンサの追加、電源ラインへのサージ/ノイズ対策部品の追加など、基板上の対策をお願いします。

9.6.6 その他

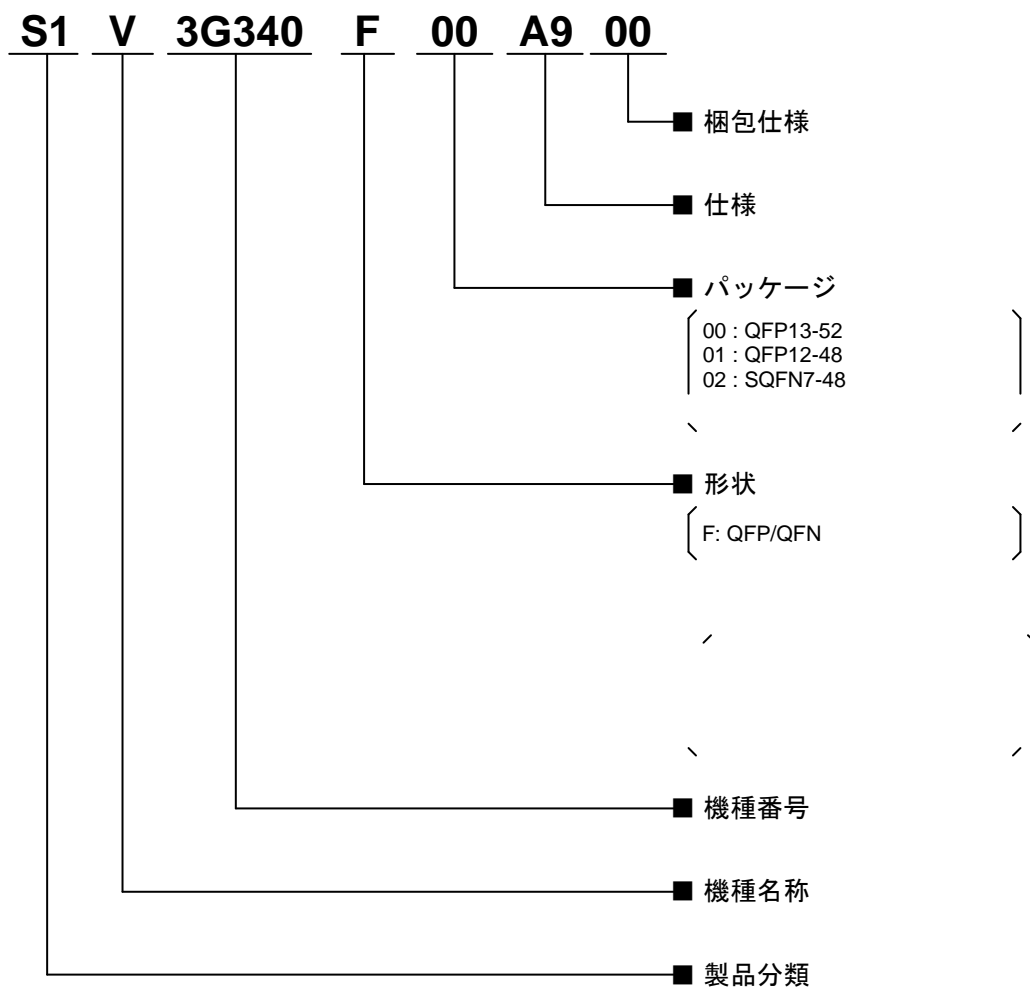
S1V3G340 の基本信頼性は、**EIAJ, MIL** 規格を満足するように設計されていますが、実装段階においては以下の点に十分注意してください。

OSCI, OSCO 端子は、内部のトランジスタを直接使用する構造となっていますので、実装時の機械的ダメージのほか、

- 実装時リフロー工程、実装後のリワーク、個別特性評価（実験確認）の各工程における商用電源からの電磁誘導ノイズ
- 半田ごて使用時のこて先からの電磁誘導ノイズ

など、緩やかな時間的変化を伴う絶対最大定格（**2.5V**）以上の電圧となる外乱が、電氣的損傷につながる可能性があります。特に、半田ごて使用時には、**IC** の **GND** と半田ごての **GND**（こて先の電位）を同電位として作業を行ってください。

9.7 製品型番体系



改訂履歴表

改訂履歴表

年月日	改訂内容			
	Rev.	頁	種別	内容
2009/03/03	1.0	全頁	新規	初版
2010/01/22	1.1	20	変更	6.4.3 項 : t1 (入力クロック:OSCI) Typ=1s
		20	変更	6.4.3 項 : 注釈 (※2) を追加
		32	変更	9.1 項 : 図 9.1 誤記訂正 (SPOP→HPOP, SPON→HPON)
		32	追加	9.1 項 : 注釈 (※3) を追加
2017/02/20	1.2	P2 P4-7 P33-34 P43	追加	QFP12-48, SQFN7-48 パッケージ追加

セイコーエプソン株式会社

半導体事業部 IC 営業部

<IC 国内営業グループ>

東京 〒191-8501 東京都日野市日野 421-8
TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町 3-5-1 御堂筋グランタワー15F
TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

ドキュメントコード : 411689003
2009年3月 作成 ©
2017年3月 改訂