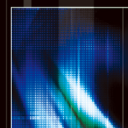
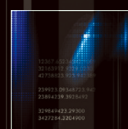
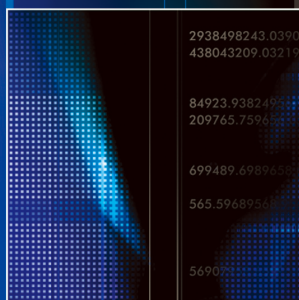
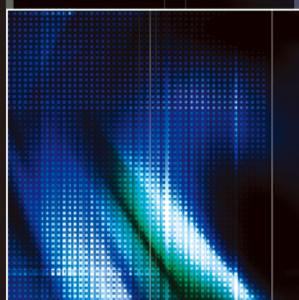
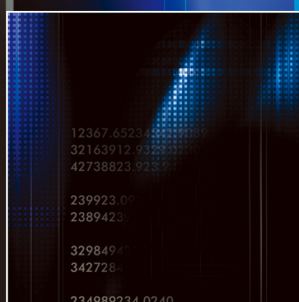


# ASIC

Gate Array / Embedded Array / Standard Cell

2024



## 半導体領域コンセプト

スマートフォン、タブレットの普及に始まりブロードバンドや無線通信が整備され、高度情報通信ネットワーク社会が現実のものとなりました。その中で携帯機器や情報端末、車載機器、FA 機器分野での半導体には限られた電力での長時間稼働、薄型化と軽量化におけるより高い性能がもたらされています。私たちは、1969年に時計用 CMOS LSI の開発に着手したその時から、小型・低電力で動作する半導体の開発に注力してきました。その解決を通じてパワーセービング、スペース・セービング、タイム・セービングのノウハウを蓄積。結果として、高度情報通信ネットワーク社会に求められる半導体の開発技術をいち早く手にしました。そのコンセプトは、消費電力、開発工数、スペースを減らす、「省の技術」の発想です。私たちは、今まで培ってきた「省の技術」とアナデジ混載技術、お客様のご要望にきめ細かく対応できる設計力、製造力、安定供給を強みにお客様の顧客価値創造に戦略的に貢献できる真のパートナーを目指します。

## 環境への取り組み

エプソンは、環境配慮した製品の創出・ものづくりによって、お客様へ環境価値を提供します。

① Eu-RoHS 指令 (2011/65/EU) へ、確実に対応しています。

② ウェブサイトで、製品含有化学物質情報を公開しています。

パッケージ製品の環境情報 (成分表、Eu-RoHS 指令適合証明、REACH\_SVHC 含有情報、LCI、ハロゲンフリー情報等) を、下記に公開しています。

[www.epson.jp/prod/semicon/information/package\\_lineup.htm](http://www.epson.jp/prod/semicon/information/package_lineup.htm) ※一部製品を除く

環境マネジメントシステムの第三者認証取得状況

### ■ ISO14001

認証の種類：ISO 14001: 2015, JIS Q 14001: 2015

認証された事業所 / 工場：東北エプソン株式会社、

セイコーエプソン株式会社 (富士見事業所、諏訪南事業所)

認証登録機関：Bureau Veritas Certification

認証年月日：1999年4月3日

認証の種類：ISO 14001: 2015

認証された事業所 / 工場：Singapore Epson Industrial Pte. Ltd.

認証登録機関：SGS

認証年月日：1999年1月12日



## 品質向上への取り組み

エプソンは、常にお客様の視点で商品 / サービスの品質を最優先に考え、世界中の社員一人ひとりが仕事に取り組んでいます。お客様に喜ばれ信頼される商品 / サービスを創りつづけるため、エプソンの半導体領域では、ISO9001、IATF16949 の認証を取得し、お客様の使用目的に適合した高品質な製品の開発・設計・製造に取り組んでいます。

品質マネジメントシステムの第三者認証取得状況

### ■ ISO9001

認証の種類：ISO 9001: 2015, JIS Q 9001: 2015

認証された事業所 / 工場：東北エプソン株式会社、セイコーエプソン株式会社 (富士見事業所、諏訪南事業所、本店、広丘事業所)

認証登録機関：Bureau Veritas Certification

初回認証年月日：1993年10月10日

認証の種類：ISO 9001: 2015

認証された事業所 / 工場：Singapore Epson Industrial Pte. Ltd.

認証登録機関：SGS

認証年月日：2003年2月4日



### ■ IATF16949

認証の種類：IATF16949: 2016

認証された事業所 / 工場：東北エプソン株式会社、

セイコーエプソン株式会社 (富士見事業所、本店、広丘事業所)

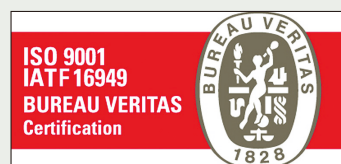
Epson Europe Electronics GmbH, Epson America, Inc.,

Epson Canada Ltd. (Vancouver Design Center),

Epson (China) Co., Ltd., Epson Hong Kong Ltd.

認証登録機関：Bureau Veritas Certification

初回認証年月日：2017年12月9日



認証の種類：IATF16949: 2016

認証された事業所 / 工場：Singapore Epson Industrial Pte. Ltd.

認証登録機関：SGS

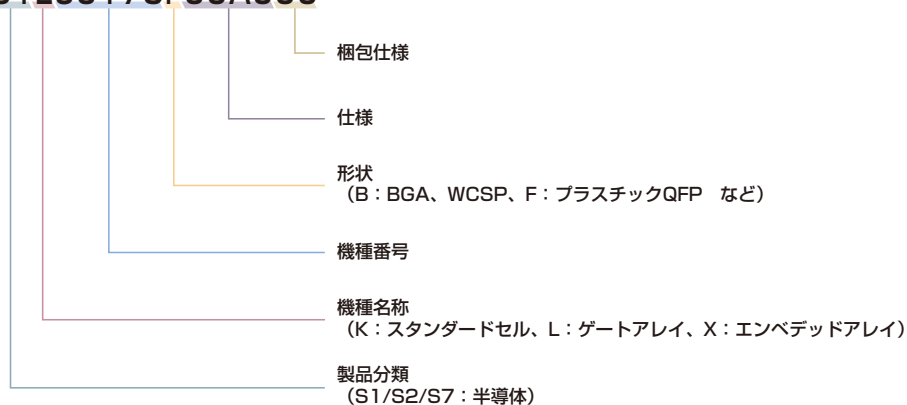
認証年月日：2018年5月2日



## 製品型番体系

### ●デバイス

S1L60173F00A000

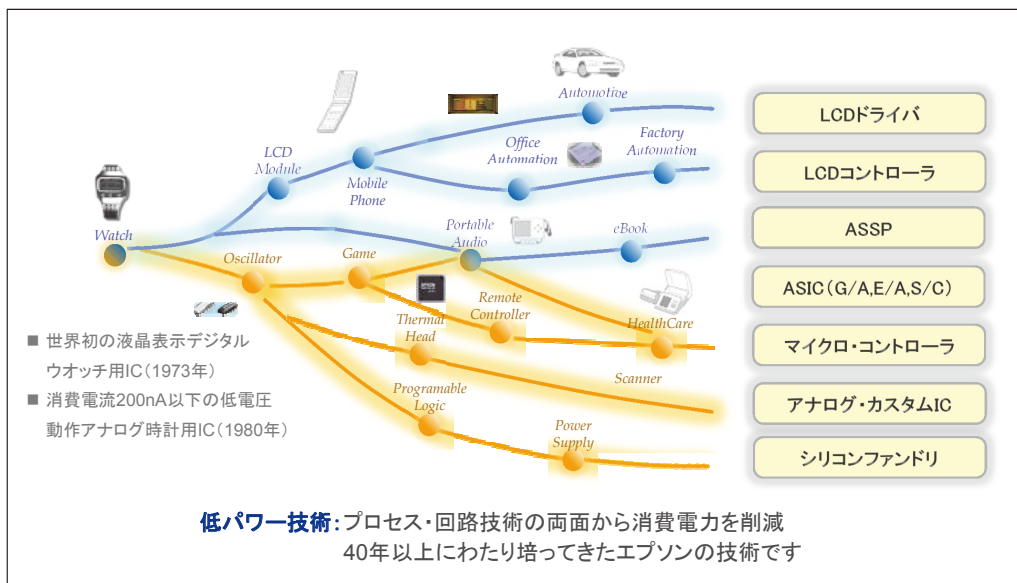


## C O N T E N T S

<u>エプソン半導体の歩み</u>	<u>4-5</u>	<u>パッケージラインアップ</u>	<u>17-19</u>
<u>ASIC製品ラインアップ</u>	<u>6-7</u>	<u>ゲートアレイパッケージリスト</u>	<u>20-22</u>
<u>ゲートアレイ</u>	<u>8-9</u>	<u>パッケージ熱抵抗</u>	<u>23</u>
<u>エンベデッドアレイ</u>	<u>10</u>	<u>ユーザインタフェース</u>	<u>24</u>
<u>スタンダードセル</u>	<u>11</u>	<u>開発フロー</u>	<u>25</u>
<u>マクロセル</u>	<u>12-13</u>	<u>エプソンASICホームページ紹介</u>	<u>26</u>
<u>エプソンユニーク</u>	<u>14-16</u>		

## 半導体技術の系譜

「世界の時計セイコー」の製造会社における半導体部門として、スタートウオッチ用ICをルーツとし、LCDドライバ、ASIC、マイクロコントローラ等半導体領域を拡大させる中、一貫して「低パワー技術」に取り組んでまいりました



## エプソン半導体の歴史



- 1969年 時計用CMOS ICの開発に着手
- 1973年 CMOS IC量産工場完成、操業開始 (本社)
- 1980年 富士見事業所 操業開始 (B棟・4インチ)
- 1984年 A棟 (5インチ) 操業開始
- 1985年 D棟 (6インチ) 操業開始
- 1991年 S棟 (6インチ、酒田) 操業開始
- 1993年 ISO9000シリーズ認証取得
- 1994年 シンガポール組立工場 (SEP) 操業開始
- 1997年 T棟 (8インチ、酒田) 操業開始  
ISO14001認証取得
- 2001年 T棟ライン拡張
- 2006年 ISO/TS16949認証取得
- 2010年 マイクロデバイス事業本部発足  
(2012年4月よりマイクロデバイス事業部)
- 2017年 IATF16949認証取得

## ビジョンと事業分野

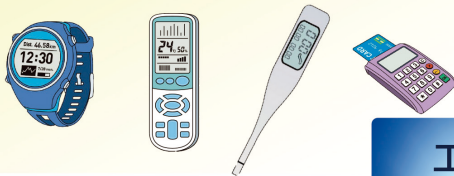
省・小・精の技術をコアに、特徴ある技術・製品で、  
お客様のビジネスをサポートする半導体デバイスメーカーを目指しています



## エプソン半導体ラインアップ

### マイクロコントローラ

- バッテリー駆動に最適 低消費電流
- 幅広い液晶表示もサポート

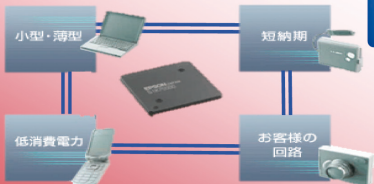


### LCDドライバ / LCD Controller

- 実績ある車載対応
- 特徴ある機能を搭載



### エプソン 半導体



- 1982年ビジネス開始
- 産業機器向け等、多くのお客様にお届け

### ASIC



USB-HUB

無接点充電用IC

- エプソンの強みを生かした、特徴ある製品をご提供

### 特徴ある製品群

エプソンASICは、ゲートアレイ、エンベデッドアレイ、スタンダードセルをラインアップしています。  
これらのシリーズを採用していただくことにより、お客様に最適なソリューションをご提供します。

- 1982年から続く豊富なサポート実績
- 自社設計、関連工場生産による一貫オペレーション
- ISO9001、IATF16949認証

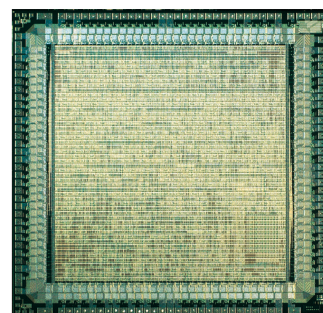
エプソン  
ASIC



## ゲートアレイ

S1L60000	0.25μm	Core 1.8V, 2.0V, 2.5V 3.3Vインタフェース対応
S1L50000	0.35μm	Core 2.0V, 2.5V, 3.3V 5Vインタフェース対応
S1L5V000	0.35μm	Core 3.3V, 5.0V 5V単一電源対応

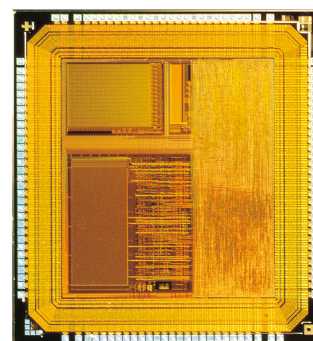
ゲートアレイは、トランジスタ(ベーシックセル)をあらかじめ規則正しくアレイ(列)状に配置されたベースバルクを用意して、配線工程のみで LSI を構成します。一般的に、開発期間が短いことが特長です。また、ゲート数や端子数に応じたベースバルクを選択することが可能です。



## エンベデッド アレイ

S1X80000	0.15 $\mu$ m	Core 1.8V LDOで3.3V単一電源対応
S1X60000	0.25 $\mu$ m	Core 1.8V, 2.0V, 2.5V 5Vインタフェース対応
S1X50000	0.35 $\mu$ m	Core 2.0V, 2.5V, 3.3V 5Vインタフェース対応
S1X5V000	0.35 $\mu$ m	Core 3.3V, 5V単一電源対応

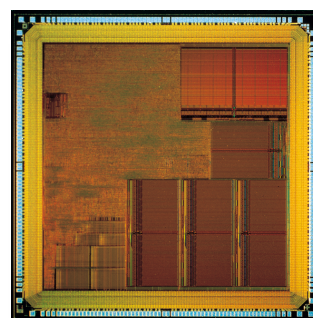
エンベデッドアレイは、スタンダードセルマクロ、ASSP等の特定用途向けハードマクロを機能ブロックとして搭載し、かつ、お客様の回路をSea of Gateで構成するセミカスタムICです。スタンダードセル並みの機能を混載しながら、ロジック部のSea of Gate化によりゲートアレイと同等の開発期間を実現します。また、回路変更が比較的容易なため、製品修正のリスク回避に役立てることができます。



## スタンダード セル

S1K80000	0.15 $\mu$ m	Core 1.8V LDOで3.3V単一電源対応
----------	--------------	--------------------------

スタンダードセルは、最適設計された内部ロジックセルとROM・RAMなどのメモリ、CPUやアナログ回路の1チップ化を可能にするセミカスタムICです。ゲートアレイに比べて設計の自由度が高く、高機能・高集積であり、お客様の求める最適化されたシステムLSIを実現します。これによって製品の高機能化、低消費電力化を実現することができます。



エプソンのゲートアレイは電源、信号配置を自由に設定できるため、既存品の置換えにも最適です。2012年にはお客様の要求にお応えし、0.35 $\mu$ mプロセスで5V単一電源を対応するS1L5V000シリーズを新規に開発、集積度と消費電力の改善にも貢献します。

## S1L50000 Series

シリーズ名		S1L50000シリーズ														
特長	機種名	2層AI	S1L50062	S1L50122	S1L50282	S1L50552	S1L50752	S1L50992	S1L51252	S1L51772	S1L52502	S1L53352	S1L54422	S1L55062	S1L56682	S1L58152
	3層AI	S1L50063	S1L50123	S1L50283	S1L50553	S1L50753	S1L50993	S1L51253	S1L51773	S1L52503	S1L53353	S1L54423	S1L55063	S1L56683	S1L58153	
	4層AI	S1L50064	S1L50124	S1L50284	S1L50554	S1L50754	S1L50994	S1L51254	S1L51774	S1L52504	S1L53354	S1L54424	S1L55064	S1L56684	S1L58154	
特長	搭載ゲート数	5.8k	12.0k	28.8k	55.5k	75.8k	99.2k	125.8k	177.1k	250.2k	335.9k	442.2k	506.7k	668.6k	815.5k	
使用可能ゲート数	2層AI	2.9k	6.0k	14.4k	26.1k	35.7k	46.7k	56.6k	79.7k	112.6k	144.5k	176.9k	202.7k	267.5k	326.2k	
	3層AI	5.1k	10.6k	25.3k	47.2k	64.4k	84.4k	100.7k	132.8k	187.7k	251.9k	309.5k	354.7k	468.0k	570.9k	
	4層AI	5.5k	11.4k	27.3k	52.8k	72.0k	94.3k	119.5k	168.2k	237.7k	319.1k	397.9k	456.1k	601.7k	734.0k	
トータル端子数 微細ピッチ	80 $\mu$ m	—	56	88	124	144	168	188	224	264	308	352	376	432	480	
	70 $\mu$ m	48	64	104	144	168	192	216	—	—	—	—	—	—	—	
遅延時間	内部ゲート	tpd=0.14ns (3.3V時, F/O=2, 標準配線負荷)、0.21ns (2.0V時, F/O=2, 標準配線負荷)														
	入力バッファ	tpd=0.38ns (5.0V時, F/O=2, 標準配線負荷) レベルシフタ、0.4ns (3.3V時, F/O=2, 標準配線負荷)、1.3ns (2.0V時, F/O=2, 標準配線負荷)														
	出力バッファ	tpd=2.12ns (5.0V時) レベルシフタ、2.02ns (3.3V時)、3.9ns (2.0V時)、CL=15pF														
I/Oレベル	CMOS、LVTTTL、PCI-5V、PCI-3.3V															
入力モード	LVTTTL、CMOS、プルアップ/プルダウン、シュミット、Fail-safe、Gated															
出力モード	ノーマル、オープンドレイン、3ステート、双方向、Fail-safe、Gated															

使用可能ゲート数については、回路によって異なりますので目安としてお考えください。

## S1L5V000 Series

シリーズ名		S1L5V000シリーズ								
特長	機種名	2層AI	S1L5V012	S1L5V042	—	S1L5V112	—	S1L5V252	—	S1L5V482
	3層AI	S1L5V013	S1L5V043	S1X5V513*	S1L5V113	S1X5V523*	S1L5V253	S1X5V533*	S1L5V483	
	4層AI	S1L5V014	S1L5V044	S1X5V514*	S1L5V114	S1X5V524*	S1L5V254	S1X5V534*	S1L5V484	
	搭載ゲート数	8.8k	42.0k	26.0k	109.2k	90.3k	254.3k	235.0k	479.9k	
使用可能ゲート数	2層AI	2.6k	12.6k	—	32.7k	—	63.5k	—	119.9k	
	3層AI	5.3k	25.2k	14.3k	65.5k	49.7k	139.8k	129.3k	239.9k	
	4層AI	6.1k	29.4k	16.9k	76.4k	58.7k	165.3k	152.8k	287.9k	
遅延時間	内部ゲート	tpd=0.19ns (5.0V時, F/O=2, 標準配線負荷)、tpd=0.29ns (3.3V時, F/O=2, 標準配線負荷)								
	入力バッファ	tpd=0.45ns (5.0V時, F/O=2, 標準配線負荷)、tpd=0.55ns (3.3V時, F/O=2, 標準配線負荷)								
	出力バッファ	tpd=2.07ns (5.0V時)、tpd=2.95ns (3.3V時)、CL=15pF								
I/Oレベル	CMOS、TTL、LVTTTL									
入力モード	TTL、LVTTTL、CMOS、プルアップ/プルダウン、シュミット、Fail-safe、Gated									
出力モード	ノーマル、オープンドレイン、3ステート、双方向、Fail-safe、Gated									

使用可能ゲート数については、回路によって異なりますので目安としてお考えください。

\*: Analog PLL入りマスタ



# ゲートアレイ

# ASIC

## S1L60000 Series

シリーズ名	S1L60000シリーズ										
特長	<ul style="list-style-type: none"> <li>● 超高集積 (0.25μm CMOS3層/4層配線プロセス採用)</li> <li>● 高速動作 (内部ゲート遅延: 2.5V時 107ps 2入力 NAND Typ.)</li> <li>● 低消費電力 (内部セル: 2.5V時0.18μW/MHz/gate、2入力NAND Typ.)</li> <li>● 駆動能力 (I<sub>OL</sub>=0.1, 1, 3, 6, 12, 24mA/3.3V時, I<sub>OL</sub>=0.1, 1, 3, 6, 9, 18mA/2.5V時, I<sub>OL</sub>=0.05, 0.3, 1, 2, 3, 6mA/2.0V時, I<sub>OL</sub>=0.045, 0.27, 0.9, 1.8, 2.7, 5.4mA/1.8V時)</li> </ul>										
機種名	3層AI	S1L60093	S1L60173	S1L60283	S1L60403	S1L60593	S1L60833	S1L61233	S1L61583	S1L61903	S1L62513
特長	4層AI	S1L60094	S1L60174	S1L60284	S1L60404	S1L60594	S1L60834	S1L61234	S1L61584	S1L61904	S1L62514
搭載ゲート数		99.2k	171.8k	284.4k	400.3k	595.4k	831.6k	1,234.9k	1,587.8k	1,903.0k	2,519.6k
使用可能ゲート数	3層AI	59.6k	103.1k	142.2k	200.2k	297.7k	332.7k	494.0k	635.1k	761.2k	1,007.9k
	4層AI	69.5k	120.2k	184.9k	260.2k	387.0k	415.8k	617.5k	793.9k	951.5k	1,259.8k
トータル端子数	80μm	—	—	—	—	—	284	344	388	424	488
微細ピッチ	70μm	112	148	188	224	272	—	—	—	—	—
遅延時間	内部ゲート	tpd=107ps (2.5V時, F/O=1, 標準配線負荷)									
	入力バッファ	tpd=270ps (2.5V時, F/O=2, 標準配線負荷)									
	出力バッファ	tpd=1600ps (2.5V時, CL=15pF)									
I/Oレベル		CMOS、LVTTTL、PCI-3.3V									
入力モード		CMOS、LVTTTL、プルアップ/プルダウン、シュミット、レベルシフタ、Fail-safe、Gated									
出力モード		ノーマル、オーブンドレイン、3ステート、双方向、レベルシフタ、Fail-safe、Gated									

Core	I/O
1.8V	1.8V
	3.3V
2.0V	2.0V
	3.3V
2.5V	2.5V
	3.3V

使用可能ゲート数については、回路によって異なりますので目安としてお考えください。

## S1L80000 Series 開発中

シリーズ名	S1L80000シリーズ			
特長	<ul style="list-style-type: none"> <li>● 高集積 (0.15μm CMOS4層/5層配線プロセス採用)</li> <li>● 高速動作 (内部ゲート遅延: 34.5ps/1.8V 2入力NAND Typ.)</li> <li>● 低消費電力 (内部セル: 0.063μW/MHz/gate 2入力NAND Typ.)</li> <li>● 駆動能力 (I<sub>OL</sub>=2, 4, 8, 12mA/3.3V)</li> </ul>			
機種名	4層AI	S1L80104	S1L80204	S1L80304
	5層AI	S1L80105	S1L80205	S1L80305
使用可能ゲート数	4層AI	120k	230k	650k
	5層AI	135k	255k	720k
トータル端子数		100	144	280
LDO (外付け容量が必要)		1	—	—
PLL		1	2	2
Dual Port SRAM (2R+2W)		—	256w x 16b x 4	256w x 16b x 4
開発状況		チップ仕様検討中	チップ仕様検討中	チップ仕様検討中

Core	I/O
1.8V	3.3V
LDO	3.3V

使用可能ゲート数については、回路によって異なりますので目安としてお考えください。

エンベデッドアレイは、スタンダードセル、ASSP等の特定用途向ハードマクロを搭載し、かつ、お客様の回路をSea of Gateで実現、混載可能なセミカスタムLSIです。高集積・高機能セルのハードマクロ化により、システム・オン・チップが可能であり、ロジック部のSea of Gate化により配線工程以後は、ゲートアレイと同等の開発期間を実現します。

また、LSIの下地（ベースバルク）の再利用が可能で、ロジック部のみの変更であれば、ゲートアレイと同等の開発期間で改変が行えます。

## S1X5V000 Series

シリーズ名	S1X5V000シリーズ	Core	I/O
特長	<ul style="list-style-type: none"> <li>● 0.35μm CMOS 2/3/4層配線プロセス採用</li> <li>● 内部ゲート遅延: 0.19ns/5.0V、0.29ns/3.3V 2入力Power NAND Typ.</li> <li>● 内部セル消費電力: 1.3μW/MHz/gate/5.0V、0.54μW/MHz/gate/3.3V 2入力NAND Typ.</li> <li>● 駆動能力: I<sub>OL</sub>=0.1, 1, 3, 8, 12mA/5.0V時、0.1, 1, 2, 6, 10mA/3.3V時</li> </ul>	3.3V	3.3V
		5.0V	5.0V

## S1X50000 Series

シリーズ名	S1X50000シリーズ	Core	I/O
特長	<ul style="list-style-type: none"> <li>● 0.35μm CMOS 3/4層配線プロセス採用</li> <li>● 内部ゲート遅延: 150ps/3.3V 2入力 Power NAND Typ.</li> <li>● 内部セル消費電力: 0.37μW/MHz/gate 2入力NAND標準/3.3V</li> <li>● 駆動能力: I<sub>OL</sub>=0.1,1,3,8,12,24mA/5.0V時、I<sub>OL</sub>=0.1,1,2,6,12mA/3.3V時、I<sub>OL</sub>=0.1,0.5,1,3,6mA/2.5V時 I<sub>OL</sub>=0.05,0.3,0.6,2,4mA/2.0V時</li> </ul>	2.0V	2.0V
			3.3V
		2.5V	2.5V
			3.3V
		3.3V	3.3V
			5.0V

## S1X60000 Series

シリーズ名	S1X60000シリーズ	Core	I/O
特長	<ul style="list-style-type: none"> <li>● 0.25μm CMOS 3/4/5層配線プロセス採用、搭載ゲート数: 最大250万ゲート</li> <li>● 内部ゲート遅延: 107ps/2.5V 2入力 Power NAND Typ.</li> <li>● 内部セル消費電力: 0.18μW/MHz/gate 2入力NAND標準/2.5V</li> <li>● 駆動能力: I<sub>OL</sub>=0.1,1,3,6,12,24mA/3.3V時、I<sub>OL</sub>=0.1,1,3,6,12,24mA/2.5V時、I<sub>OL</sub>=0.05,0.3,1,2,4,8mA/2.0V時</li> </ul>	2.0V	2.0V
			3.3V
		2.5V	2.5V
			3.3V

## S1X80000 Series

シリーズ名	S1X80000シリーズ	Core	I/O
特長	<ul style="list-style-type: none"> <li>● 0.15μm CMOS 4/5層配線プロセス採用</li> <li>● 内部ゲート遅延: 34.5ps/1.8V 2入力NAND Typ.</li> <li>● 内部セル消費電力: 0.063μW/MHz/gate 2入力NAND Typ.</li> <li>● 駆動能力: I<sub>OL</sub>=2,4,8,12mA/3.3V</li> </ul>	1.8V	3.3V
			5.0V
		LDO	3.3V

# スタンダードセル

# ASIC

スタンダードセルは、最適設計された内部ロジックセルとROM・RAMなどのメモリ、CPU周辺やアナログ回路の1チップ化を可能にするセミカスタムICです。ゲートアレイに比べて設計の自由度が高く、高機能・高集積であり、お客様の求める最適化されたシステムLSIを実現します。これによって製品の小型化、低消費電力化に大きく貢献しております。

## S1K80000 Series

シリーズ名	S1K80000シリーズ
特長	<ul style="list-style-type: none"><li>● 0.15<math>\mu</math>m CMOS 4/5層配線プロセス採用</li><li>● 内部ゲート遅延：42.9ps/1.8V 2入力NAND Typ.</li><li>● 内部セル消費電力：0.039<math>\mu</math>W/MHz/gate 2入力NAND Typ.</li><li>● 駆動能力：<math>I_{OL}</math>=2,4,8,12mA/3.3V</li></ul>

Core	I/O
1.8V	3.3V
1.8V	5.0V
LDO	3.3V

## 1. PLL

Series	S1X5V000	S1X50000	
Macro Type	A35M	A35K	A35M
Operation Voltage	4.5 to 5.5V	3.0 to 3.6V	
Input Frequency	5MHz to 40MHz	32kHz	5MHz to 40MHz
Multiplication Ratio	x2 to x26	x610 to x4096	x2 to x26
Output Frequency	20MHz to 135MHz	20MHz to 135MHz	
Period Jitter	±3%	±3%	±2%
Output Duty	50%±10%	50%±10%	
Lock Up Time	100µs	100msec	100µs
Low Pass Filter	On chip	On chip	
Temperature Range	-40 to 110°C	-40 to 85°C	
Layer	3	3	

Series	S1X60000		S1X80000/S1K80000	
Macro Type	A25K	A25M	A15K	A15M
Operation Voltage	2.3 to 2.7V		1.65 to 1.95V	
Input Frequency	32kHz	5MHz to 150MHz	32kHz	5MHz to 150MHz
Multiplication Ratio	Max. 16000	x1 to x16	x571 to x6667	x1 to x16
Output Frequency	20MHz to 200MHz		20MHz to 200MHz	
Period Jitter	±2%	±200ps	POUT≤100MHz ±2% POUT>100MHz ±200ps	
Output Duty	50%±5%		50%±400ps	
Lock Up Time	100msec	100µs	100msec	200µs
Low Pass Filter	On chip		On chip	
Temperature Range	-40 to 85°C		-40 to 110°C	
Layer	3		4	

## 2. ROM

Series	S1X50000	S1X60000	S1X80000/S1K80000
Macro Type	Standard	Standard	Standard
Memory Size/Module	1k to 256K-bit	1k to 256K-bit	1k to 512K-bit
Data Bus Width	x1 to x64 1-bit step	x1 to x64 1-bit step	x1 to x64 1-bit step
Operate Voltage	2.0V, 2.5V, 3.0V, 3.3V	2.0V, 2.5V	1.8V
Operate Frequency (Max.)	50MHz	66MHz	56MHz
Layer	3	3	3

## 3. SRAM

Series	S1X5V000	
Macro Type	Standard	
Port	1-port	2-port (1R+1W)
Memory Size/Module	128 to 16K-bit	
Data Bus Width (bit)	x1 to x32 1-bit step	
Operating Voltage	3.3V, 5.0V	
Operation Frequency (Max.)	50MHz/5.0V	
Layer	3	

Series	S1X50000					
Macro Type	Standard		High-Density	High Speed		
Port	1-port	Dual port (2R+2W)	1-port	1-port	2-port (1R+1W)	Dual port (2R+2W)
Memory Size/Module	128 to 64K-bit	1K to 64K-bit	32K to 512K-bit	32K to 72K-bit		
Data Bus Width (bit)	x1 to x32 1-bit step	x8, x16, x24, x32	x8, x16, x32	x1 to x144 1-bit step		
Write Option	Byte Write		–	Byte Write		
Operating Voltage	2.0V, 2.5V, 3.0V, 3.3V		2.0V, 3.0V, 3.3V	3.3V		
Operation Frequency (Max.)	71MHz		76MHz	125MHz	110MHz	
Layer	3		3	3		

Series	S1X60000				
Macro Type	Standard		High-Density	High Speed	
Port	1-port	Dual port (2R+2W)	1-port	1-port	2-port (1R+1W)
Memory Size/Module	128 to 64K-bit	1K to 64K-bit	32K to 512K-bit	128 to 64K-bit	
Data Bus Width (bit)	x1 to x32 1-bit step	x8, x16, x24, x32	x8, x16, x32	x4 to x64 1-bit step	
Write Option	Byte Write		Byte Write	Byte Write	
Operating Voltage	2.0V, 2.5V		2.0V, 2.5V	2.5V	
Operation Frequency (Max.)	125MHz	119MHz	71MHz	179MHz	
Layer	3		3	3	

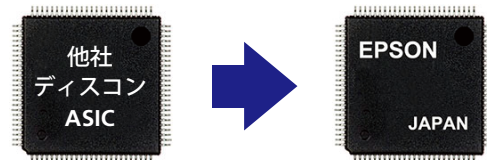
Series	S1X80000/S1K80000			
Macro Type	Standard			Large Scale
Port	1-port	2-port (1R+1W)	Dual port (2R+2W)	1-port
Memory Size/Module	128 to 64K-bit	64 to 16K-bit	1K to 32K-bit	128K to 1M-bit
Data Bus Width (bit)	x1 to x32 1-bit step	x1 to x32 1-bit step	x8, x16, x24, x32	x8, x16, x32
Write Option	Byte Write	–	Byte Write	1-bit Write
Operating Voltage	1.8V			1.8V
Operation Frequency (Max.)	125MHz	119MHz	116MHz	74MHz
Layer	3	4	3	3

ゲートアレイSRAMについては、弊社営業までお問い合わせ下さい。

## エプソンユニーク ① 既存品の置換え

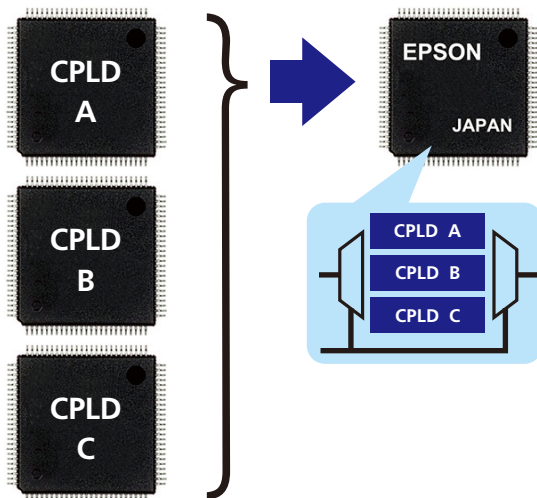
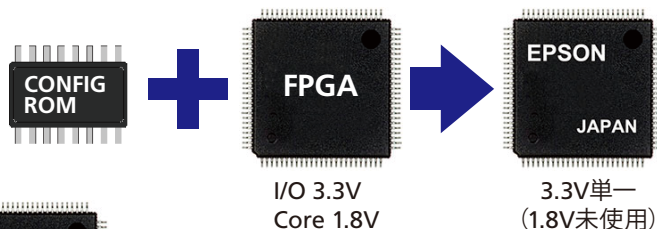
### ディスコン品の置換え

- ・電源電圧、端子配列、ファンクション互換
- ・I/O特性をオリジナル品と同等に調整
- ・低消費電力の設計、実機で実測して確認
- ・再生だけでなく、機能追加の再開発



### PLD製品の置換え

FPGAが微細プロセスで電源が異なる場合でも、ASIC側をI/O電源のみで動作させることでフットプリント互換が可能



回路の選択は外部からの信号供給やパッケージ内でのボンディング切替えで対応可能

### PLL内蔵ゲートアレイ 開発中

S1L80000シリーズ 開発中  
低開発費でPLD置換えを実現するラインアップ

- ・ゲートアレイでPLL、SRAM内蔵
- ・パッケージ互換でのPLD置換え
- ・必要なユーザI/O数に最適なパッケージへのシュリンク

S1L8010		S1L8020		S1L8030	
電源電圧	Pad 数	電源電圧	Pad 数	電源電圧	Pad 数
Core 1.8V I/O 3.3V	100	Core 1.8V I/O 3.3V	144	Core 1.8V I/O 3.3V	280
LDO による 3.3V 単一					
LDO には外付け容量が必要					

## エプソンユニーク ② 多様な信号レベルのインタフェース

### レベルシフタ

特にASICにおいては複数のICと接続されるケースが多いため5V/3.3Vといった2種類のレベル信号を扱うことが要求されます。

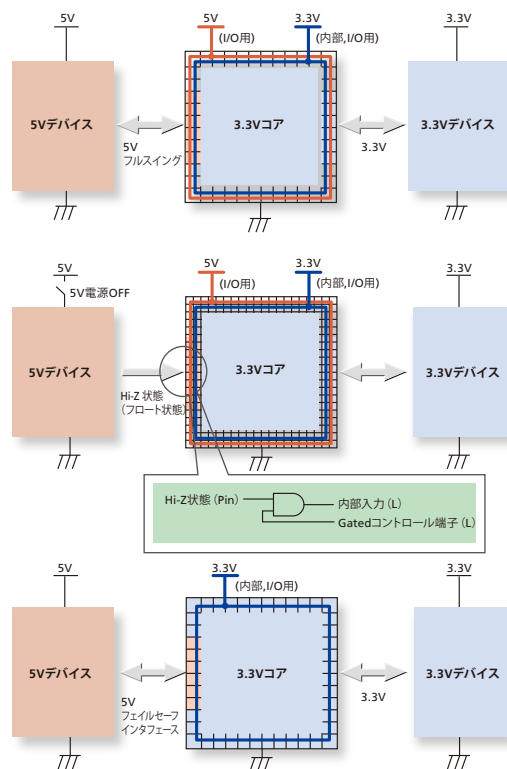
S1L50000/S1X50000シリーズ等は2系統の電源（5V/3.3V等）を供給することで入出力バッファごとに5Vまたは3.3V信号とのインタフェースが可能です。高速な信号処理、高駆動電流必要時に最適です。

### Gated 入出力バッファ

Gated入力バッファを使用することで、通常バッファで不可能であったHi-Z状態の入力を可能にします。また2系統の電源を使用するシステムにおいては、高電位側（HV<sub>DD</sub>）の電源をCut-Offすることも可能です。この機能を使うことで、PCカードの活線挿抜やPDA等のバックアップモード時の低消費電力化を実現することが可能です。

### フェイルセーフ 入出力バッファ

システムの制約で電源電圧以上の信号レベルと接続する場合、インタフェース用の電源を設けることなくインタフェースできるフェイルセーフ用入出力セルを用意しています。



## エプソンユニーク ③ フレキシブルな電源インタフェース

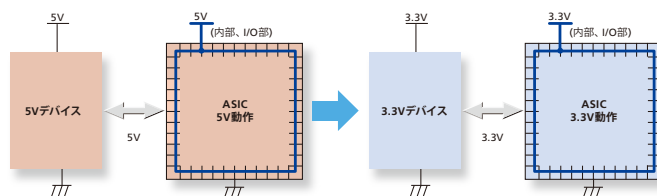
ASICにつながるデバイスの電源は全て同じ電圧とは限らず、複数の電源系が存在することがあります。

以下のような対応も可能です。

### 複数の電圧範囲での動作

#### ワイドレンジ動作

- 事前に複数の電源電圧でASICの動作や特性が問題ないことを確認する事で、周辺のデバイスやシステムの電源電圧が変わっても、ICを作り変えることなく、そのままASICを使う事が可能。

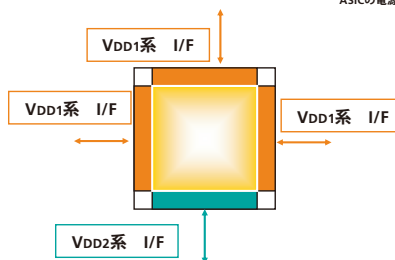


周辺デバイスが5Vから3.3Vに変更になった場合でも、ASICの電源電圧を3.3Vにすることで使用できます。

### 異なる電源系のデバイスとのインタフェース

#### IO電源分離

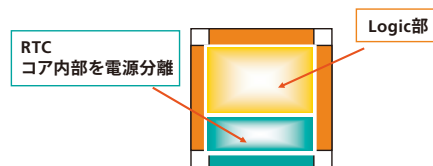
- IOセルエリアの電源分離を行う事で、異なる電源系のデバイスとのインタフェースが可能。（ゲートアレイ、エンベデッドアレイ、スタンダードセル）



### 低消費電力化に適した電源分離

#### Core電源分離

- RTCを搭載した際に、RTC部分とLOGIC部分の電源分離が可能。（ゲートアレイ）  
RTC以外の部分は電源OFFが可能に。
- 多電源分離に対応。（IO/Core/RTC）  
（エンベデッドアレイ、スタンダードセル）

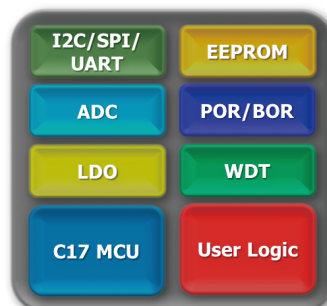


## エプソンユニーク ④ エプソン IC製品のマクロを用いたASICの作成

エプソンのIC製品に使われているマクロを用いてカスタムマイコンやカスタムTCONなどのASICを作成することが可能です。詳しくは弊社までお問合せください。

### MCU マクロ例

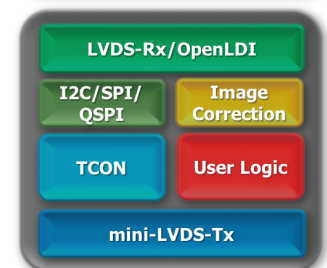
LDO	電圧レギュレータ
POR/BOR	パワーオンリセット
ADC	ADコンバータ
WDT	ウォッチドッグタイマ
I <sup>2</sup> C/SPI/UART	シリアルI/F
EEPROM	



### ディスプレイ コントローラ マクロ例

LVDS-Rx  
LVDS-Tx  
OpenLDI-Rx  
OpenLDI-Tx  
mini-LVDS-Tx

車載対応実績あり



## エプソンユニーク ⑤ EMI対策

### EMI対策

エプソンASICでは、多くのお客様からご要求のありますEMI低減対策として必要に応じて下記の対応をおこないます。

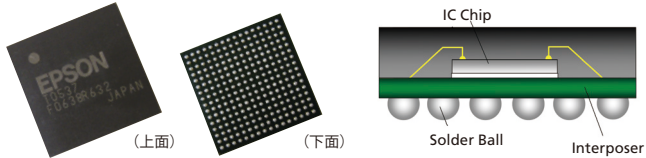
✓	Clock gating	✓	電源分離
✓	SS(Spread Spectrum)	✓	ドライブ能力の最適化
✓	多相遅延クロック	✓	PIN配置の最適化
✓	入力のシュミット化	✓	パスキコンの内蔵
✓	スルーレート制御	✓	Low noise F/F



# パッケージラインアップ

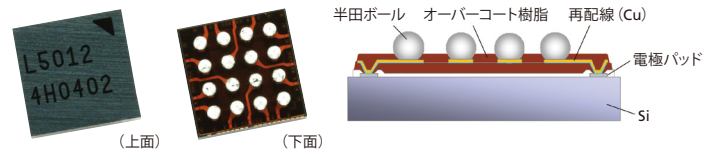
# ASIC

## プラスチック BGA(PBGA)



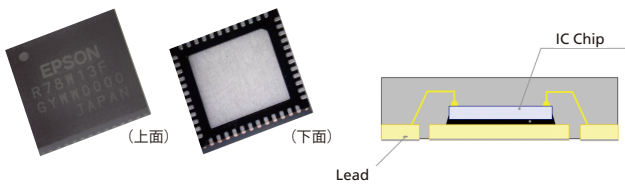
PKGタイプ (JEITA PKG名称)	ボールピッチ (mm)	ボディサイズ (mm)
PBGA1UE256 (P-LBGA-0256-1717-1.00)	1.0	17 X 17 X 1.7 (PBGA1UE)
PBGA1UC256 (P-LBGA-0256-1717-1.00)		17 X 17 X 1.3 (PBGA1UC)

## WL-CSP



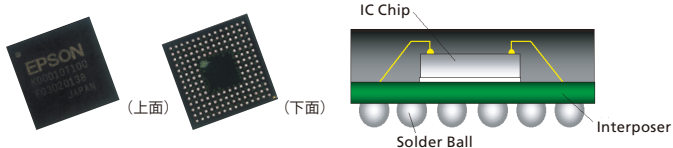
PKGタイプ (対象機種)	ボール数	ボディサイズ (mm)	ボールピッチ (mm)
WL-CSP (S1L5012)	16	2.4 X 2.4 X 0.8	0.5
WL-CSP (S1L5028)	25	3.0 X 3.0 X 0.8	0.5
WL-CSP (S1L5075)	49	4.2 X 4.2 X 0.8	0.5
WL-CSP (S1L5125)	81	5.0 X 5.0 X 0.8	0.5
WL-CSP (S1L60093)	49	3.0 X 3.0 X 0.8	0.4

## SQFN



PKGタイプ (JEITA PKG名称)	リードピッチ (mm)	ボディサイズ (mm)
SQFN4-24 (P-VQFN024-0404-0.50)	0.5	4 X 4 X 1.0
SQFN5-32 (P-VQFN032-0505-0.50)	0.5	5 X 5 X 1.0
SQFN7-48 (P-VQFN048-0707-0.50)	0.5	7 X 7 X 1.0
SQFN9-64 (P-VQFN064-0909-0.50)	0.5	9 X 9 X 1.0

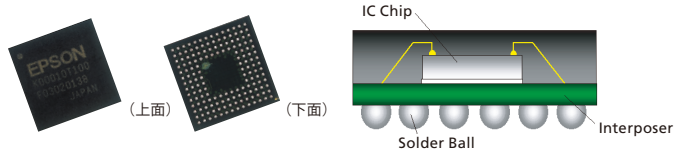
## 小型 BGA(PFBGA)



PKGタイプ (JEITA PKG名称)	ボディサイズ (mm)	ボールピッチ (mm)
PFBGA5U-60 (P-TFBGA-060-0505-0.50)	5 X 5 X 1.2	0.5
PFBGA6U-96 (P-TFBGA-096-0606-0.50)	6 X 6 X 1.2	0.5
PFBGA7U-144 (P-TFBGA-144-0707-0.50)	7 X 7 X 1.2	0.5
PFBGA8U-161 (P-TFBGA-161-0808-0.50)	8 X 8 X 1.2	0.5
PFBGA8U-181 (P-TFBGA-181-0808-0.50)	8 X 8 X 1.2	0.5
PFBGA7U-100 (P-TFBGA-100-0707-0.65)	7 X 7 X 1.2	0.65
PFBGA8U-112 (P-TFBGA-112-0808-0.65)	8 X 8 X 1.2	0.65
PFBGA8U-121 (P-TFBGA-121-0808-0.65)	8 X 8 X 1.2	0.65
PFBGA10U-160 (P-TFBGA-160-1010-0.65)	10 X 10 X 1.2	0.65
PFBGA10U-180 (P-TFBGA-180-1010-0.65)	10 X 10 X 1.2	0.65
PFBGA12U-208 (P-TFBGA-208-1212-0.65)	12 X 12 X 1.2	0.65
PFBGA7U-48 (P-TFBGA-048-0707-0.80)	7 X 7 X 1.2	0.8
PFBGA8U-81 (P-TFBGA-081-0808-0.80)	8 X 8 X 1.2	0.8
PFBGA10U-121 (P-TFBGA-121-1010-0.80)	10 X 10 X 1.2	0.8
PFBGA10U-144 (P-TFBGA-144-1010-0.80)	10 X 10 X 1.2	0.8
PFBGA12U-180 (P-TFBGA-180-1212-0.80)	12 X 12 X 1.2	0.8

PKGタイプ (JEITA PKG名称)	ボディサイズ (mm)	ボールピッチ (mm)
PFBGA14U-220 (P-TFBGA-220-1414-0.80)	14 X 14 X 1.2	0.8
PFBGA14U-256 (P-TFBGA-256-1414-0.80)	14 X 14 X 1.2	0.8
PFBGA16U-280 (P-TFBGA-280-1616-0.80)	16 X 16 X 1.2	0.8

## 薄型 BGA(VFBGA)






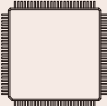
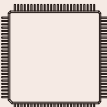




PKGタイプ (JEITA PKG名称)	ボディサイズ (mm)	ボールピッチ (mm)
VFBGA4H-49 (P-VFBGA-049-0404-0.50)	4 X 4 X 1.0	0.5
VFBGA5H-81 (P-VFBGA-081-0505-0.50)	5 X 5 X 1.0	0.5
VFBGA6H-96 (P-VFBGA-096-0606-0.50)	6 X 6 X 1.0	0.5
VFBGA6H-121 (P-VFBGA-121-0606-0.50)	6 X 6 X 1.0	0.5
VFBGA7H-144 (P-VFBGA-144-0707-0.50)	7 X 7 X 1.0	0.5
VFBGA7H-161 (P-VFBGA-161-0707-0.50)	7 X 7 X 1.0	0.5
VFBGA8H-181 (P-VFBGA-181-0808-0.50)	8 X 8 X 1.0	0.5
VFBGA10H-240 (P-VFBGA-240-1010-0.50)	10 X 10 X 1.0	0.5
VFBGA10H-121 (P-VFBGA-121-1010-0.80)	10 X 10 X 1.0	0.8
VFBGA10H-144 (P-VFBGA-144-1010-0.80)	10 X 10 X 1.0	0.8

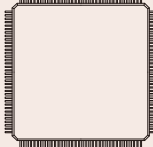
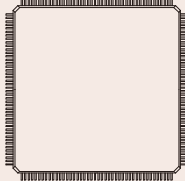
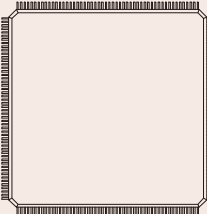
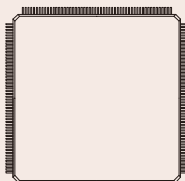
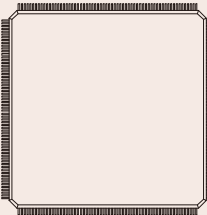
# パッケージラインアップ

# ASIC

## QFP & TQFP

PKGタイプ (JEITA PKG名称)	ボディサイズ (mm)	リードピッチ (mm)
TQFP12-48 (P-TQFP048-0707-0.50)	 7 X 7 X 1.2	0.5
* QFP12-48 (P-LQFP048-0707-0.50)	 7 X 7 X 1.7	0.5
TQFP13-64 (P-TQFP064-1010-0.50)	 10 X 10 X 1.2	0.5
* QFP13-64 (P-LQFP064-1010-0.50)	 10 X 10 X 1.7	0.5
* QFP14-80 (P-LQFP080-1212-0.50)	 12 X 12 X 1.7	0.5
* TQFP15-100 (P-TQFP100-1414-0.50)	 14 X 14 X 1.2	0.5
* QFP15-100 (P-LQFP100-1414-0.50)	 14 X 14 X 1.7	0.5
* TQFP15-128 (P-TQFP128-1414-0.40)	 14 X 14 X 1.2	0.4
* QFP15-128 (P-LQFP128-1414-0.40)	 14 X 14 X 1.7	0.4

\*: 車載対応可

PKGタイプ (JEITA PKG名称)	ボディサイズ (mm)	リードピッチ (mm)
* QFP20-144 (P-LQFP144-2020-0.50)	 20 X 20 X 1.7	0.5
* QFP21-176 (P-LQFP176-2424-0.50)	 24 X 24 X 1.7	0.5
* QFP22-208 (P-LQFP208-2828-0.50)	 28 X 28 X 1.7	0.5
QFP21-216 (P-LQFP216-2424-0.40)	 24 X 24 X 1.7	0.4
QFP22-256 (P-LQFP256-2828-0.40)	 28 X 28 X 1.7	0.4

エプソンのゲートアレイシリーズには、各バルクごとに各種パッケージが用意されています。

回路仕様・入出力端子数から最適なパッケージを選択してください。

■ゲートアレイパッケージリストは、リードフレーム準備状況・生産効率向上のため、予告なく変更する可能性があります。  
パッケージ選択の際には、弊社営業までお問い合わせください。

## S1L5V000シリーズ

AL2-Series		S1L5V012	S1L5V042	—	S1L5V112	—	S1L5V252	—	S1L5V482
AL3-Series		S1L5V013	S1L5V043	S1X5V513*	S1L5V113	S1X5V523*	S1L5V253	S1X5V533*	S1L5V483
AL4-Series		S1L5V014	S1L5V044	S1X5V514*	S1L5V114	S1X5V524*	S1L5V254	S1X5V534*	S1L5V484
Raw Gates		8.9k	42.0k	26.0k	109.3k	90.3k	254.4k	235.0k	479.9k
AL2-Usable Gates		2.7k	12.6k	—	32.8k	—	63.6k	—	119.9k
AL3-Usable Gates		5.4k	25.2k	14.3k	65.6k	49.7k	139.9k	129.3k	239.9k
AL4-Usable Gates		6.2k	29.4k	16.9k	76.5k	58.7k	165.4k	152.8k	287.9k
Pads		48	104		168		256		308
PKG	Pin	PKG Type							
TQFP	48	TQFP12-48	A	A	A				
QFP	48	QFP12-48	A	A	A				
TQFP	64	TQFP13-64		A	A		A		N
QFP	64	QFP13-64		A	A		A		N
QFP	80	QFP14-80		A	A		A		A
TQFP	100	TQFP15-100		A	A		A		LQ
QFP	100	QFP15-100		A	A		A		A
TQFP	128	TQFP15-128		A (104)	A		A		A
QFP	128	QFP15-128		A (104)	A		A		A
QFP	144	QFP20-144			A		A		A
QFP	176	QFP21-176	N	N	A (168)		A		A
QFP	208	QFP22-208	N	N	N		A		A
QFP	216	QFP21-216	N	N	N		A		A
QFP	256	QFP22-256	N	N	N		LQ		A
QFN	24	SQFN4-24	A	N	N		N		N
QFN	32	SQFN5-32	A	A	N		N		N
QFN	48	SQFN7-48	N	A	A		N		N
QFN	64	SQFN9-64	N	A	A		A		N

<記号説明>

A: 量産中 LQ: 信頼性評価必要 (リードフレーム開発要) N: 対応不可 A ( ): 括弧内のピン数まで使用可能

\* : Analog PLL入りマスタ

# ゲートアレイパッケージリスト

# ASIC

## S1L50000 Series

AL2-Series		S1L50062	S1L50122	S1L50282	S1L50552	S1L50752	S1L50992	S1L51252	S1L51772	S1L52502	S1L53352	S1L54422	S1L55062	S1L56682	S1L58152							
AL3-Series		S1L50063	S1L50123	S1L50283	S1L50553	S1L50753	S1L50993	S1L51253	S1L51773	S1L52503	S1L53353	S1L54423	S1L55063	S1L56683	S1L58153							
AL4-Series		S1L50064	S1L50124	S1L50284	S1L50554	S1L50754	S1L50994	S1L51254	S1L51774	S1L52504	S1L53354	S1L54424	S1L55064	S1L56684	S1L58154							
Raw Gates		5.8k	12.0k	28.8k	55.5k	75.8k	99.2k	125.8k	177.1k	250.2k	335.9k	442.2k	506.7k	668.6k	815.5k							
AL2-Usable Gates		2.9k	6.0k	14.4k	26.1k	35.7k	46.7k	56.6k	79.7k	112.6k	144.5k	176.9k	202.7k	267.5k	326.2k							
AL3-Usable Gates		5.1k	10.6k	25.3k	47.2k	64.4k	84.4k	100.7k	132.8k	187.7k	251.9k	309.5k	354.7k	468.0k	570.9k							
AL4-Usable Gates		5.5k	11.4k	27.3k	52.8k	72.0k	94.3k	119.5k	168.2k	237.7k	319.1k	397.9k	456.1k	601.7k	734.0k							
Pads		48	64	56	104	88	144	124	168	144	192	168	216	188	224	264	308	352	376	432	480	
Pad Pitch		70μ	70μ	80μ	70μ	80μ	70μ	80μ	70μ	80μ	70μ	80μ	70μ	80μ	80μ	80μ	80μ	80μ	80μ	80μ	80μ	
PKG	Pin	PKG Type																				
TQFP	48	TQFP12-48	A	A	A		A		A		A	N	N	N	N	N	N	N	N	N	N	
QFP	48	QFP12-48	A	A	A		A		A		A	N	N	N	N	N	N	N	N	N	N	
TQFP	64	TQFP13-64		A	A(56)		A	A	A		A	A	LQ	N	N	N	N	N	N	N	N	
QFP	64	QFP13-64		A	A(56)		A	A	A		A	A	A	N	N	N	N	N	N	N	N	
QFP	80	QFP14-80				A	A	A	A		A	A	A	A	N	N	N	N	N	N	N	
TQFP	100	TQFP15-100				A		A	A		A	LQ	A	LQ	LQ	N	N	N	N	N	N	
QFP	100	QFP15-100				A		A	A		A	A	A	A	A	N	N	N	N	N	N	
TQFP	128	TQFP15-128					A		A		A	A	A	A	LQ	N	N	N	N	N	N	
QFP	128	QFP15-128					A		A		A	A	A	A	A	N	N	N	N	N	N	
QFP	144	QFP20-144					A		A		A	A	A	A	A	A	A	A	LQ	N	N	
QFP	176	QFP21-176	N	N	N	N	N	N	A(168)		A		A	A	A	A	A	A	A	N	N	
QFP	208	QFP22-208	N	N	N	N	N	N		N	N	N		A	A	A	A	A	N	N	N	
QFP	216	QFP21-216	N	N	N	N	N	N		N	N	N	N	A		A	A	A	LQ	N	N	
QFP	256	QFP22-256	N	N	N	N	N	N		N	N	N	N			A	A	A	LQ	LQ	N	
QFN	24	SQFN4-24	A	A	A	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N
QFN	32	SQFN5-32	A	A	A	A	A	N	N	N	N	N	N	N	N	N	N	N	N	N	N	N
QFN	48	SQFN7-48	A	A	A	A	A	A	A	A	A	A	A	A	N	N	N	N	N	N	N	N
QFN	64	SQFN9-64		A		A	A	A	A	A	A	A	A	A	N	N	N	N	N	N	N	N

<記号説明>

A: 量産中 LQ: 信頼性評価必要 (リードフレーム開発要) N: 対応不可 A ( ): 括弧内のピン数まで使用可能

## S1L60000シリーズ

			S1L60093	S1L60173	S1L60283	S1L60403	S1L60593	S1L60833	S1L61233	S1L61583	S1L61903	S1L62513
			S1L60094	S1L60174	S1L60284	S1L60404	S1L60594	S1L60834	S1L61234	S1L61584	S1L61904	S1L62514
Raw Gates			99.2k	171.8k	284.4k	400.3k	595.4k	831.6k	1,234.9k	1,587.8k	1,903.0k	2,519.6k
AL3-Usable Gates			59.6k	103.1k	142.2k	200.2k	297.7k	332.7k	494.0k	635.1k	761.2k	1,007.9k
AL4-Usable Gates			69.5k	120.2k	184.9k	260.2k	387.0k	415.8k	617.5k	793.9k	951.5k	1,259.8k
70μm Pads			112	148	188	224	272	-	-	-	-	-
80μm Pads			-	-	-	-	-	284	344	388	424	488
PKG	Pin	PKG Type										
TQFP	48	TQFP12-48	A	A	A	N	N	N	N	N	N	N
QFP	48	QFP12-48	A	A	A	N	N	N	N	N	N	N
TQFP	64	TQFP13-64	A	A	A	A	A	A	N	N	N	N
QFP	64	QFP13-64	A	A	A	A	A	A	N	N	N	N
QFP	80	QFP14-80	A	A	A	A	A	A	A	N	N	N
TQFP	100	TQFP15-100	A	A	A	A	A	LQ	LQ	N	N	N
QFP	100	QFP15-100	A	A	A	A	A	A	A	N	N	N
TQFP	128	TQFP15-128	A(112)	A	A	A	A	A	A	N	N	N
QFP	128	QFP15-128	A(112)	A	A	A	A	A	A	N	N	N
QFP	144	QFP20-144	N	A	A	A	A	A	A	A	N	N
QFP	176	QFP21-176	N	A	A	A	A	A	A	A	A	LQ
QFP	208	QFP22-208	N	N	A	A	A	A	A	LQ	LQ	N
QFP	216	QFP21-216	N	N	N	A	A	A	LQ	LQ	LQ	N
QFP	256	QFP22-256	N	N	N	N	A	A	A	LQ	LQ	N
QFN	24	SQFN4-24	N	N	N	N	N	N	N	N	N	N
QFN	32	SQFN5-32	A	N	N	N	N	N	N	N	N	N
QFN	48	SQFN7-48	A	A	A	A	N	N	N	N	N	N
QFN	64	SQFN9-64	A	A	A	A	A	A	N	N	N	N

<記号説明>

A: 量産中 LQ: 信頼性評価必要 (リードフレーム開発要) N: 対応不可 A ( ): 括弧内のピン数まで使用可能

# パッケージ熱抵抗

# ASIC

LSIは消費電力にしたがってLSIのチップ温度 ( $T_j$ )が上昇します。パッケージされた状態のLSIチップ温度はその周囲温度 $T_a$ 、パッケージの熱抵抗 $\theta_{j-a}$ および消費電力 $P_D$ から計算できます。

$$\text{チップ温度 } (T_j) = T_a + (P_D \times \theta_{j-a}) \text{ (}^\circ\text{C)}$$

通常の使用においてのチップ温度 ( $T_j$ ) は125 $^\circ\text{C}$ 以下を目安にして使用してください。

各パッケージの熱抵抗は、チップサイズやパッケージ基板の仕様、2次実装の状態や強制空冷の方法によっても大きく変動するため、参考値としてお取り扱いください。

## QFP

パッケージタイプ	$\theta_{j-a}$ ( $^\circ\text{C}/\text{W}$ )		
	0m/sec	1m/sec	2m/sec
QFP12	51	46	44
QFP13	48	45	43
QFP14	44	41	39
QFP15	41	39	37
QFP20	36	33	31
QFP21	34	31	29
QFP22	27	24	23
TQFP12	53	47	45
TQFP13	47	44	42
TQFP15	42	36	34

## PFBGA

パッケージタイプ	$\theta_{j-a}$ ( $^\circ\text{C}/\text{W}$ )		
	0m/sec	1m/sec	2m/sec
PFBGA5	60	55	54
PFBGA6	54	49	48
PFBGA7	49	44	43
PFBGA8	44	39	38
PFBGA10	37	32	30
PFBGA12	33	29	27
PFBGA13	30	26	24
PFBGA14	24	20	19
PFBGA16	21	18	17

## SQFN

パッケージタイプ	$\theta_{j-a}$ ( $^\circ\text{C}/\text{W}$ )		
	0m/sec	1m/sec	2m/sec
SQFN4	42	39	37
SQFN5	40	37	35
SQFN7	31	28	25
SQFN9	26	23	21

## VFBGA

パッケージタイプ	$\theta_{j-a}$ ( $^\circ\text{C}/\text{W}$ )		
	0m/sec	1m/sec	2m/sec
VFBGA4	66	61	60
VFBGA5	60	55	54
VFBGA6	54	49	48
VFBGA7	49	44	43
VFBGA8	44	39	38
VFBGA10	37	32	30

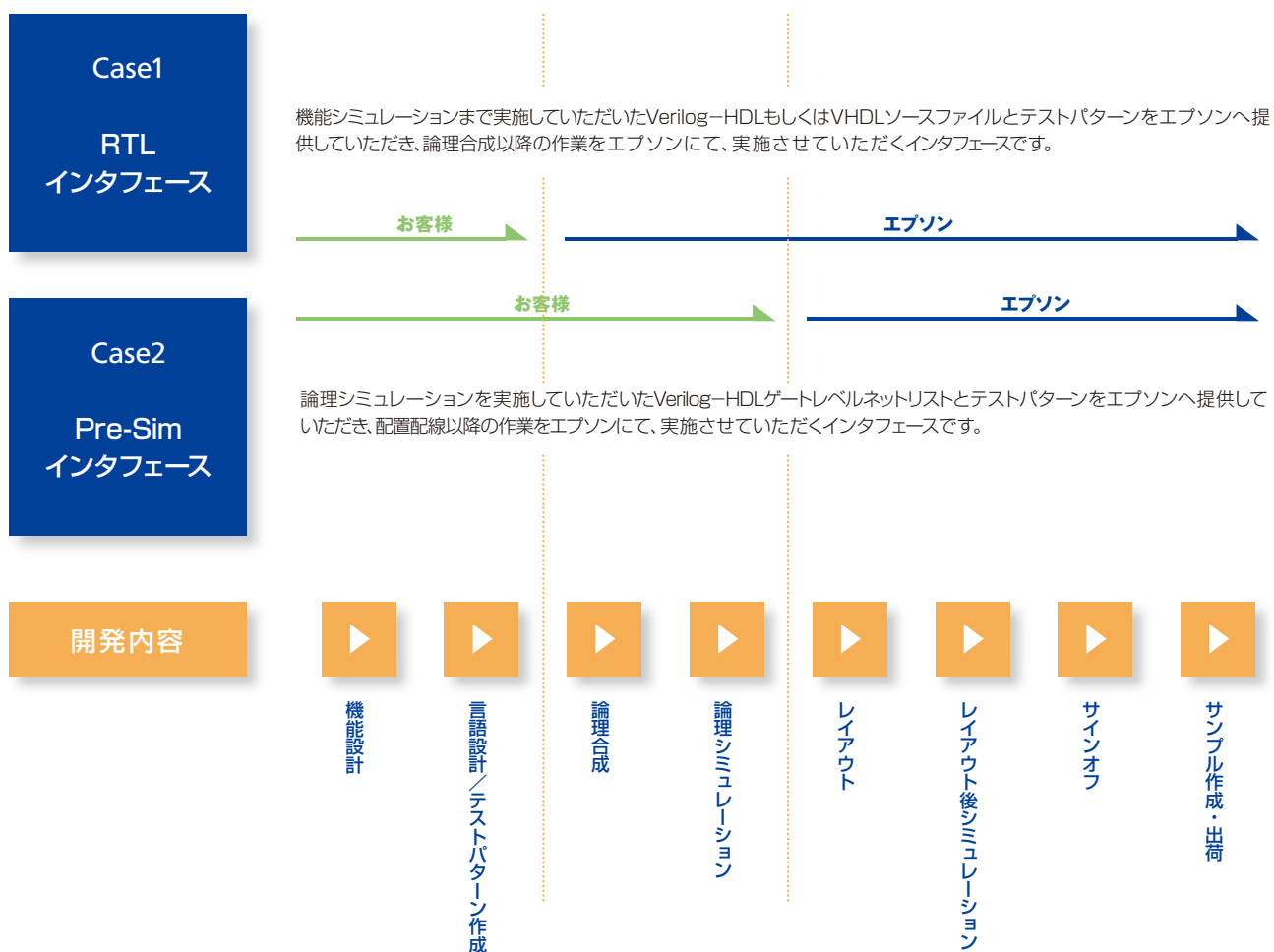
## PBGA

パッケージタイプ	$\theta_{j-a}$ ( $^\circ\text{C}/\text{W}$ )		
	0m/sec	1m/sec	2m/sec
PBGA1U	24	21	20

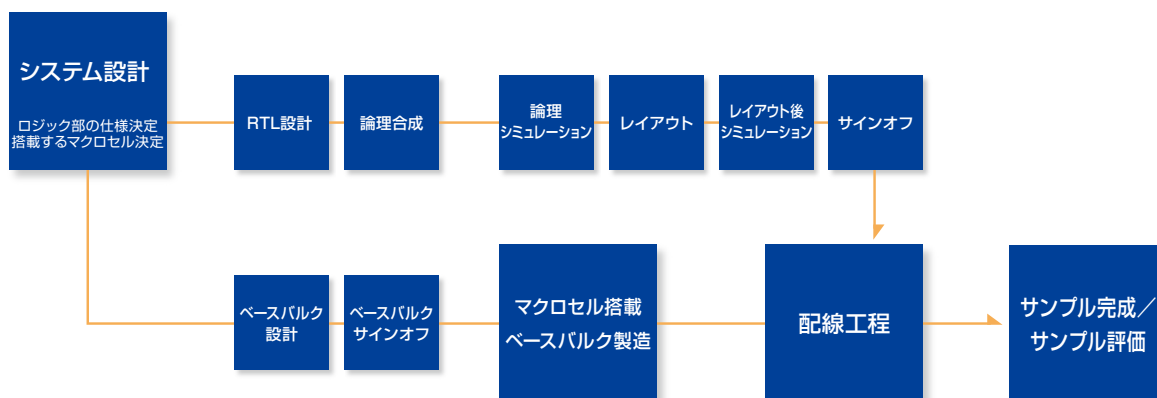
上表の各数値は、以下の基板実装後における代表製品(チップサイズ、ボール配置)の熱抵抗です。

- 実装基板(QFP, SQFN, PBGA): JEDEC STDボード(114.3x76.2x1.6mm 4layer)
- 実装基板(PFBGA, VFBGA): JEDEC STDボード(114.5x101.5x1.6mm 4layer)

エプソンでは、お客様の各設計段階において、柔軟にさせていただくために2つのユーザインタフェースを提案しております。お客様ご希望のインタフェースによって、開発期間と開発費が決まります。

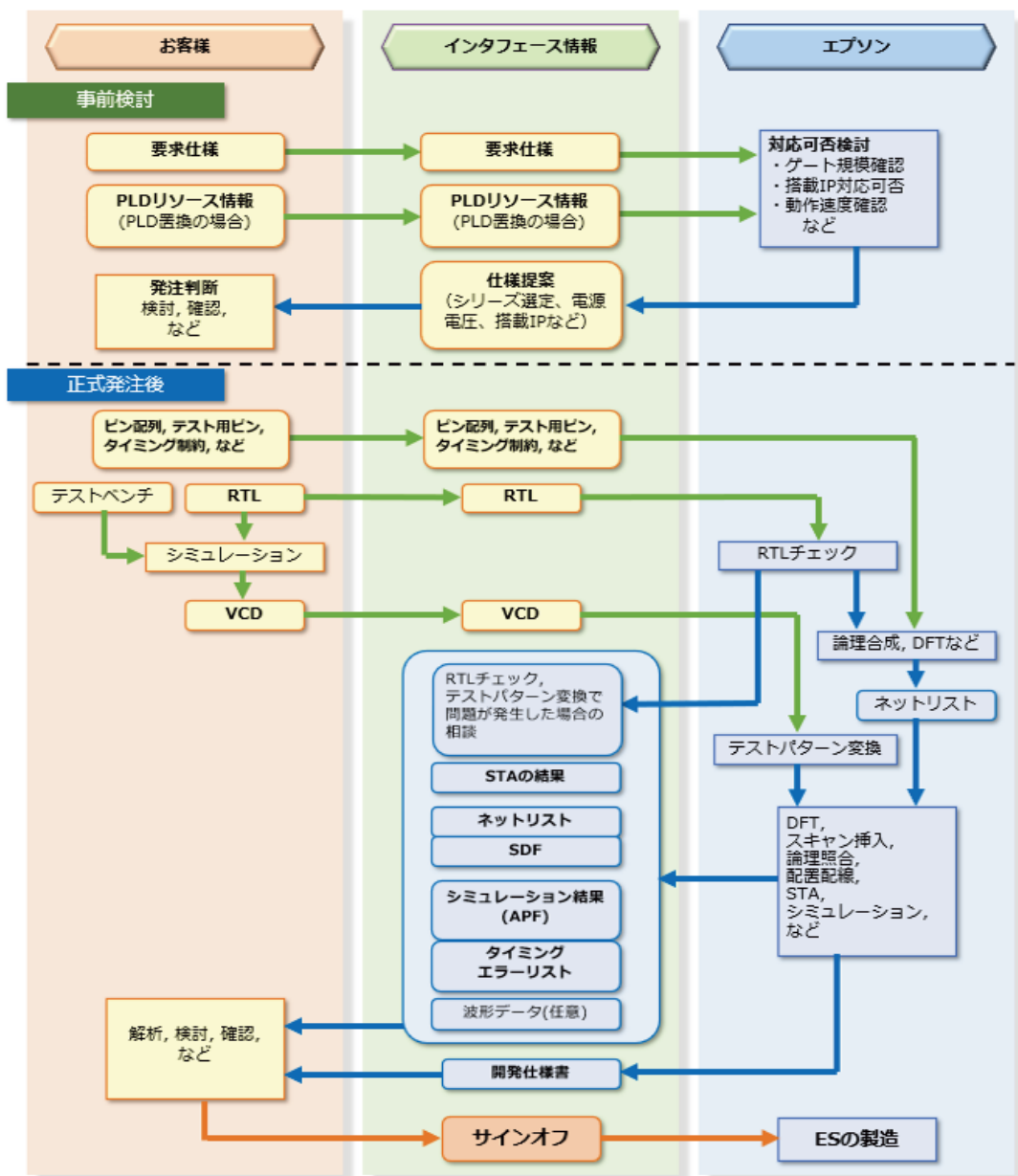


## エンベデッドアレイ設計方法





## インターフェース フロー



## ライブラリパック

### サポートシリーズ

テクノロジー	0.35μm	0.25μm	0.15μm
ゲートアレイ	S1L50000 S1L5V000	S1L60000	-
エンベデッドアレイ	S1X5V000 S1X50000	S1X60000	S1X80000
スタンダードセル	-	-	S1K80000

### サポートツール

種類	ツール名
Synthesis	Design Compiler
Formal verification	Formality
RTL check	SpyGlass
Static timing analysis	Primitime
Simulation	Verilog-XL, NC-Verilog, ModelSim(Verilog), ModelSim(VHDL)*

\* : S1L5V000, S1X5V000, S1X80000, S1K80000シリーズはサポートしていません。

■エプソンのHPにて、ASICの製品情報を提供しています。  
<[www.epson.jp/prod/semicon/products/asic/](http://www.epson.jp/prod/semicon/products/asic/)>

## <ASIC HP>

## ■ゲートアレイ便利ツール

- ・マスター選択ツール
- ・G/A 速度の目安表示ツール
- ・G/A 消費電力見積りツール
- ・G/A RAMライブラリ作成ツール

<[www.epson.jp/prod/semicon/products/asic/tool/](http://www.epson.jp/prod/semicon/products/asic/tool/)>

### <ゲートアレイ速度の目安表示ツール>

シリーズ:  S1L50000  S1L5V000  S1L60000

LVdd=3.3±0.3[V], HVdd=5.0±0.5[V]

出カバッファ動作周波数目安 (注3)

LVdd 系出カバッファ タイプ:  S  K HVdd 系出カバッファ タイプ:  S  K

LVdd 系 Iol=0.1mA HVdd 系 Iol=0.1mA

( S1L5000 LVdd=3.3±0.3[V] )

最大動作周波数の目安 周 波 数 (注1)

<個別回路の最大周波数の目安(注2)>

2入力 NAND (F0=2, Max.)	195	ps
カウンタ 8bit	150	MHz
加算器 8bit	125	MHz
乗算器 8x8bit	80	MHz
乗算器 16x16bit	35	MHz
同期 RAM 128x 8bit V(注4,5)	75	MHz
同期 RAM 128x 8bit R(注4,5)	70	MHz
同期 RAM 256x32bit V(注4,5)	50	MHz
同期 RAM 256x32bit R(注4,5)	50	MHz

(注1) 最大動作周波数の目安は、一般的な制御回路の目安です。限定された回路であれば、これよりも早く動作する可能性があります。しかし、演算回路やRAMなどが含まれる場合などは、この速度では動作しない可能性があります。

(注2) 個別回路の最大周波数の目安は、現実的な速度の目安です。規定された使いかたであれば、2入力NANDの機能を除いて、これらの値よりも早く動作する可能性があります。ただし、レイアウトの状況によりましては、この速度で動作しない可能性もあります。例えば、RAMなどでクロックによって、ロジックのエリアが狭い場合や、演算回路が多く、レイアウトの配線が難しく遅延するよう場合などです。

(注3) グラフのライン以下の周波数で、ご確認ください。

ここで、「出カバッファの最大動作周波数」は、クロックを出力する場合(1サイクルに、変化が2回の場合)の値です。下図のように、データ出力を、1サイクル1変化とする場合は、2回の周波数まで出力可能であることをご注意ください。

また、他の信号とのタイミング関係を調整する場合は、この値は目安にならないことにご注意ください。

(注4) S1L50000シリーズには、同期RAMはございません。この目安は、非同期RAM(CD-FF)を接続するなどして、同期RAMと同様な動作をする回路を作成した場合の動作速度の目安となります。

(注5) RAMは、1ポート・タイプと2ポート・タイプがありますが、どちらも、この値を目安にしてください。

本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告なく変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
2. 弊社製品のご購入およびご使用にあたりましては、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページなどを通じて公開される最新情報に常にご注意ください。
3. 本資料に掲載されている応用回路、プログラム、使用方法などはあくまでも参考情報です。お客様の機器・システムの設計において、応用回路、プログラム、使用方法などを使用する場合には、お客様の責任において行ってください。これらに起因する第三者の知的財産権およびその他の権利侵害ならびに損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
4. 弊社は常に品質、信頼性の向上に努めていますが、一般的に半導体製品は誤作動または故障する場合があります。弊社製品のご使用にあたりましては、弊社製品の誤作動や故障により生命・身体に危害を及ぼすこと又は財産が侵害されることのないように、お客様の責任において、お客様のハードウェア、ソフトウェア、システムに必要な安全設計を行うようお願いいたします。なお、設計および使用に際しては、弊社製品に関する最新の情報(本資料、仕様書、データシート、マニュアル、弊社ホームページなど)をご確認いただき、それに従ってください。また、上記資料などに掲載されている製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、お客様の製品単独およびシステム全体で十分に評価を行い、お客様の責任において適用可否の判断をお願いします。
5. 弊社は、正確さを期すために慎重に本資料およびプログラムを作成しておりますが、本資料およびプログラムに掲載されている情報に誤りがないことを保証するものではありません。万一、本資料およびプログラムに掲載されている情報の誤りによってお客様に損害が生じた場合においても、弊社は一切その責任を負いかねます。
6. 弊社製品の分解、解析、リバースエンジニアリング、改造、改変、翻案、複製などは堅くお断りします。
7. 弊社製品は、一般的な電子機器(事務機器、通信機器、計測機器、家電製品など)に使用されること(一般用途)、および本資料に個別に掲載または弊社が個別に指定する用途に使用されること(指定用途)を意図して設計、開発、製造されています。これら一般用途および指定用途以外の用途(特別な品質、信頼性が要求され、その誤動作や故障により生命・身体に危害を及ぼす恐れ、膨大な財産侵害を引き起こす恐れ、もしくは社会に深刻な影響を及ぼす恐れのある用途。以下、特定用途といえます)に使用されることを意図していません。お客様に置かれましては、弊社製品を一般用途および指定用途に使用されることを推奨いたします。もし特定用途で弊社製品のご使用およびご購入を希望される場合、弊社はお客様が弊社製品を使用されることへの商品性、適合性、安全性について、明示的・黙示的に関わらずいかなる保証を行うものではありません。お客様が特定用途での弊社製品の使用を希望される場合は、弊社営業窓口まで事前にご連絡の上、承諾を得てください。

#### 【特定用途(例)】

宇宙機器(人工衛星・ロケットなど)/輸送車両並びにその制御機器(自動車・航空機・列車・船舶など)

医療機器/海底中継機器/発電所制御機器/防災・防犯装置/交通用機器/金融関連機器

上記と同等の信頼性を必要とする用途。詳細は、弊社営業窓口までお問い合わせください。

8. 本資料に掲載されている弊社製品および当該技術を国内外の法令および規制により製造・使用・販売が禁止されている機器・システムに使用することはできません。また、弊社製品および当該技術を大量破壊兵器等の開発および軍事利用の目的その他軍事用途等に使用しないでください。弊社製品または当該技術を輸出または海外に提供の場合は、「外国為替及び外国為替法」、「米国輸出管理規則(EAR)」、その他輸出関連法令を遵守し、係る法令の定めるところにより必要な手続きを行ってください。
9. お客様が本資料に掲載されている諸条件に反したことに起因して生じたいかなる損害(直接・間接を問わず)に関して、弊社は一切その責任を負いかねます。
10. お客様が弊社製品を第三者に譲渡、貸与などをしたことにより、損害が発生した場合、弊社は一切その責任を負いかねます。
11. 本資料についての詳細に関するお問合せ、その他お気付きの点などがありましたら、弊社営業窓口までご連絡ください。
12. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

#### 評価ボード・キット、開発ツールご使用上の注意事項

1. 弊社評価ボード・キット、開発ツールは、お客様での技術的評価、動作の確認および開発のみに用いられることを想定し設計されています。それらの技術評価・開発等の目的以外には使用しないでください。本品は、完成品に対する設計品質に適合していません。
2. 弊社評価ボード・キット、開発ツールは、電子エンジニア向けであり、消費者向け製品ではありません。お客様において、適切な使用と安全に配慮願います。弊社は、本品を用いることで発生する損害や火災に対し、いかなる責も負いかねます。通常の使用においても、異常がある場合は使用を中止してください。
3. 弊社評価ボード・キット、開発ツールに用いられる部品は、予告なく変更されることがあります。

©Seiko Epson Corporation 2024, All rights reserved.

#### 〔登録商標、商標、社名一覧〕

Design Compiler® : 米国 Synopsys Inc.

NC-Verilog® : 米国 Cadence Design Systems Inc.

SuperFlash® : 米国 Silicon Storage Technology, Inc.

Arm および Cortex は Arm Limited (またはその子会社) の US またはその他の国における登録商標です。

その他ブランド名または製品名はそれらの所有者の商標もしくは登録商標です。

#### MMP 技術について

TPL グループ社 MMP 技術を使用した半導体製品の供給は、エンドユーザー向け完成品またはすぐに使用可能な最終製品において、この半導体製品を使用するに必要なとされる TPL 社によるいかなるライセンス権の譲渡を意味するものでもなく、また、同社のいかなる特許であれ、その中のいずれかの権利を示唆したり、その他のいかなる工業権または知的財産権を示唆するものでもない。そのような使用においては、TPL 社からのライセンスが必要であることをここに通知する。

連絡先: mmp-licensing@tplgroup.net



# セイコーエプソン株式会社

営業本部 MD営業部

東京：  
〒160-8801 東京都新宿区新宿4-1-6 JR新宿ミライナタワー

大阪：  
〒530-6122 大阪市北区中之島3-3-23 中之島ダイビル22F

エプソン半導体のご紹介

[www.epson.jp/prod/semicon/](http://www.epson.jp/prod/semicon/)

●代理店