

GATE ARRAY

S1L50000 シリーズ デザインガイド

本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告無く変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 製品および弊社が提供する技術を輸出等するにあたっては「外国為替および外国貿易法」を遵守し、当該法令の定める手続きが必要です。大量破壊兵器の開発等およびその他の軍事用途に使用する目的をもって製品および弊社が提供する技術を費消、再販売または輸出等しないで下さい。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

目 次

第 1 章 概要	1
1.1 特長.....	1
1.2 マスタ構成.....	2
1.3 電気的特性・規格.....	3
1.3.1 絶対最大定格.....	3
1.3.2 推奨動作条件.....	4
1.3.3 電気的特性.....	6
1.3.4 オーバーシュート／アンダーシュート.....	8
1.4 静的消費電流.....	9
1.5 開発フロー.....	11
1.5.1 サインオフまでの開発フロー.....	11
1.5.2 論理合成・配置配線作業フロー（セイコーエプソン作業）.....	12
1.5.3 仮（トライアル用）データの提出.....	15
1.5.4 試作から量産制定までのフロー.....	16
第 2 章 RTL 設計上の注意（Verilog-HDL）	17
2.1 基本構成.....	17
2.1.1 論理合成可能な RTL データの提出.....	17
2.1.2 ライブラリセルの使用.....	17
2.1.3 ifdef と parameter.....	17
2.2 端子名の制約.....	17
2.2.1 外部端子名制約.....	17
2.2.2 内部端子名制約.....	18
2.2.3 Verilog 予約語.....	18
2.3 タイミング制約情報の提出.....	19
2.3.1 クロック情報.....	19
2.3.2 外部端子のタイミング制約.....	22
2.4 入出力バッファの挿入.....	27
2.5 RAM の記述.....	27
2.6 発振セルの記述.....	27
第 3 章 テスト回路設計上の注意	28
3.1 推奨 DC・AC テスト回路の挿入.....	28
3.1.1 推奨テスト回路 テスト回路付き入出力バッファを使用.....	28
3.1.2 テスト回路付き出力バッファおよび双方向バッファのセル名.....	28
3.1.3 お客さま設計によりテスト回路挿入される場合.....	28
3.2 スキャン（SCAN）回路の挿入.....	29
3.2.1 スキャン（SCAN）回路.....	29
3.3 バウンダリースキャン（JTAG）回路の挿入.....	30
3.3.1 インストラクション.....	30
3.3.2 ゲート数の見積り.....	30
3.3.3 お客さま設計にてバウンダリースキャン（JTAG）回路挿入される場合.....	31
3.4 RAM のテスト回路：メモリ BIST (Built in Self Test).....	33
第 4 章 テストパターン作成上の注意	34

4.1	サインオフ・シミュレーション向けテストパターンの作成	34
4.1.1	テストパターンの形式	34
4.1.2	テストパターンの制約	36
4.1.3	外部双方向端子のイネーブル信号	37
4.2	製品出荷テスト向けのテストパターン作成	38
4.2.1	使用可能な入力波形	38
4.2.2	テストパターンの各種制限	39
4.2.3	DC・AC テストパターンについて	40
4.2.4	ハイインピーダンス状態の扱いに関する注意点	41
第5章	回路設計上の注意	42
5.1	発振回路	42
5.1.1	発振回路の構成	42
5.1.2	発振回路を使用する場合の注意	43
5.1.3	発振セルの RTL 記述について	43
5.2	内部バスの構成	44
5.3	メタステーブル (Metastable)	46
第6章	入出力バッファの種類と使用上の注意	47
6.1	入出力バッファの種類及び選択	47
6.1.1	入出力バッファの選択	47
6.1.2	バスホールド機能つき入出力バッファ	47
6.2	2電源使用上の注意	48
6.2.1	2電源対応の方法	48
6.2.2	2電源使用時の電源	48
6.2.3	電源の投入・切断について	49
6.3	2電源対応の入出力バッファ	50
6.3.1	入力バッファ	51
6.3.2	出力バッファ	54
6.3.3	双方向バッファ	60
6.4	単一電源対応の入出力バッファ	68
6.4.1	入力バッファ	68
6.4.2	出力バッファ	70
6.4.3	双方向バッファ	73
6.5	Fail-Safe 入出力バッファ	76
6.5.1	概要	76
6.5.2	特長	76
6.5.3	使用上の注意点	76
6.5.4	セル一覧	77
6.6	Gated 入出力バッファ	81
6.6.1	概要	81
6.6.2	特長	81
6.6.3	使用上の注意点	81
6.6.4	セル一覧	82
第7章	端子配置の注意	85
7.1	電源端子数の見積り	85
7.1.1	単一電源の場合	85

7.1.2	2電源の場合	85
7.2	同時動作と電源追加	86
7.2.1	2電源使用上の注意 (HV _{DD} =5.0V/LV _{DD} =3.3V)	86
7.2.2	単一電源使用上の注意	87
7.3	端子配置上の注意点	88
7.3.1	固定電源端子	88
7.3.2	端子配列上の注意事項	88
7.3.3	推奨端子配列例	93
第8章	RAM仕様	95
8.1	特長	95
8.1.1	1ポートRAM	95
8.1.2	2ポートRAM	95
8.2	ワードビット構成とシミュレーションモデルとの対応	95
8.3	RAMサイズ	96
8.3.1	1ポートRAM	96
8.3.2	2ポートRAM	96
8.4	RAMの搭載可否判断	97
8.5	機能説明	98
8.5.1	1ポートRAM	98
8.5.2	2ポートRAM	99
8.6	非存在アドレスへのアクセス禁止	100
8.7	遅延パラメータ	101
8.7.1	3.3V仕様 (V _{DD} =3.3±0.3V、T _a = -40~85°C)	101
8.8	タイミングチャート	105
8.8.1	1ポートRAM	105
8.8.2	2ポートRAM	106
第9章	消費電力の見積り	107
9.1	消費電力計算	107
9.1.1	2電源の場合の消費電力計算	107
9.1.2	単一電源の場合の消費電力の計算	110
9.1.3	ローパワーセル	111
9.1.4	ローノイズセル	111
9.2	消費電力制限	112
付録		113
A1.	シミュレーション結果例	113
A1.1	シミュレーション結果と期待値とのコンペアファイル例	113
A1.2	タイミングエラーリスト	115
A2.	RTL設計上の注意 (VHDL)	118
A2.1	論理合成可能なRTLの提出	118
A2.2	階層設計図の提出	118
A2.3	RAMの記述	118
A2.4	入力ポートへの定数割り当て	118
A2.5	端子名の制約	119
A2.6	ポートのデータ型	120

目次

A2.7 integer の使用について	120
A2.8 入出力バッファ	121
A2.9 プリミティブセルの使用	122
A3. DC・AC テストパターン	123
A3.1 DC テストパターン	123
A3.2 AC テストパターン.....	125
A4. 入出力バッファ特性グラフ	126
A4.1 5.0V 動作時	126
A4.2 3.3V 動作時	135
A4.3 シュミット入力バッファの電気的特性について	144
改訂履歴表.....	145

第1章 概要

S1L50000 シリーズは 0.35 μ m CMOS プロセスを採用した Sea of Gates タイプのゲートアレイシリーズです。

1.1 特長

- プロセス 0.35 μ m CMOS 2/3/4 層 配線
- 集積度 最大 815,468 ゲート (2 入力 NAND ゲート換算)
- 動作速度 内部ゲート : 140ps (3.3V Typ.)
(2 入力 Power NAND、F/0=2、標準配線負荷)
 入力バッファ :
 380ps (5.0V Typ.) レベルシフト使用
 400ps (3.3V Typ.)
 (F/0=2、標準配線負荷)
 出力バッファ :
 2.12ns (5.0V Typ.) レベルシフト使用
 2.02ns (3.3V Typ.)
 ($C_L=15$ pF)
- I/F レベル TTL 入力、CMOS 入出力、LVTTTL コンパチブル
- 入力モード TTL、CMOS、LVTTTL、TTL シュミット、CMOS シュミット、LVTTTL シュミット、PCI、Fail-Safe 入力
プルアップ、プルダウン抵抗内蔵可能 (抵抗値各 2 種)
- 出力モード ノーマル、3-ステート、双方向、PCI、Fail-Safe 出力
- 駆動出力 $I_{OL}=0.1, 1, 3, 8, 12, 24$ mA 選択可能 (5.0V 時)
 $I_{OL}=0.1, 1, 2, 6, 12$ mA 選択可能 (3.3V 時)
- RAM 非同期 1 ポート、非同期 2 ポート
(同期型 RAM ご要望のお客様は弊社営業担当までご連絡下さい)
- レベルシフト内蔵による 2 電源動作対応
 入出力バッファ : 5.0V \pm 0.5V/3.3V \pm 0.3V インタフェース混在可能
 内部ロジック : 3.3V \pm 0.3V 動作
- 単一電源電圧 3.3V \pm 0.3V 動作対応

以下の電源仕様をご要望のお客様は弊社営業担当までご連絡下さい。

- 単一電源 : 2.5V \pm 0.25V、2.0V \pm 0.2V
- 2 電源 : 3.3V \pm 0.3V/2.5V \pm 0.25V、3.3V \pm 0.3V/2.0V \pm 0.2V

第1章 概要

1.2 マスタ構成

S1L50000 シリーズは、14 種類のマスタを用意しています。ゲート規模、入出力端子数（電源端子を含む）および使用するパッケージにより、最適なマスタを表 1-1 より選択下さい。

なお、表 1-1 は RAM セル等を搭載しない場合の値です。RAM を回路に含む場合の見積りは「[第 8 章 RAM 仕様](#)」を参照して下さい。RAM セルの形状は固定されており、BC 数からの概算式が適用できなくなる場合がありますのでご注意下さい。

表 1-1 S1L50000 シリーズ マスタ

マスタ	BC 総数*1	PAD 数*3	BC 配列数		セル使用率 U: (%) *2		
			X 方向	Y 方向	2 層	3 層	4 層
S1L50062/50063/50064	5,760	48	144	40	50	88	95
S1L50122/50123/50124	11,948	56/64	206	58	50	88	95
S1L50282/50283/50284	28,710	88/104	319	90	50	88	95
S1L50552/50553/50554	55,500	124/144	444	125	47	85	95
S1L50752/50753/50754	75,774	144/168	519	146	47	85	95
S1L50992/50993/50994	99,198	168/192	594	167	47	85	95
S1L51252/51253/51254	125,772	188/216	669	188	45	80	95
S1L51772/51773/51774	177,062	224	794	223	45	75	95
S1L52502/52503/52504	250,160	264	944	265	45	75	95
S1L53352/53353/53354	335,858	308	1094	307	43	75	95
S1L54422/54423/54424	442,112	352	1256	352	40	70	90
S1L55062/55063/55064	506,688	376	1344	377	40	70	90
S1L56682/56683/56684	668,552	432	1544	433	40	70	90
S1L58152/58153/58154	815,468	480	1706	478	40	70	90

注) *1: 使用可能な BC (ベーシックセル) 数は、各マスタごとの BC 総数 (BC_G) とセル使用効率 (U) を用い次の式で計算します。

$$\text{使用可能 BC 数 (BC}_A\text{) の概算式} \quad BC_A = BC_G \times U$$

その際、弊社推奨テスト回路用として 350BC 程度、見積りを加えて下さい。

*2: セル使用効率は回路規模だけでなく信号線数、1 信号当たりの分岐数等によっても変わりますので、表中の値は目安としてご参照ください。

*3: 一部のマスタは、2 種類の PAD 数を選択できます。

1.3 電気的特性・規格

1.3.1 絶対最大定格

表 1-2 絶対最大定格（2電源の場合）

(V_{SS}=0V)

項目	記号	定格値	単位
電源電圧*3	HV _{DD}	V _{SS} -0.3~7.0	V
	LV _{DD}	V _{SS} -0.3~4.0	V
入力電圧*1	HV _I	V _{SS} -0.3~HV _{DD} +0.5	V
	LV _I	V _{SS} -0.3~LV _{DD} +0.5	V
出力電圧*1	HV _O	V _{SS} -0.3~HV _{DD} +0.5	V
	LV _O	V _{SS} -0.3~LV _{DD} +0.5	V
出力電流／端子	I _{OUT}	±30 (±50*2)	mA
保存温度	T _{stg}	-65~+150	°C

注) *1 : Nチャンネルオープンドレイン、セル名が“LID”または“HID”で始まる入力バッファと、Fail-Safe バッファについては、7.0V までです。

*2 : 出力電流 24mA のバッファに適用します。

*3 : HV_{DD} ≥ LV_{DD} として下さい。

表 1-3 絶対最大定格（単一電源の場合）

(V_{SS}=0V)

項目	記号	定格値	単位
電源電圧	V _{DD}	V _{SS} -0.3~4.0	V
入力電圧*1	V _I	V _{SS} -0.3~V _{DD} +0.5	V
出力電圧*1	V _O	V _{SS} -0.3~V _{DD} +0.5	V
出力電流／端子	I _{OUT}	±30	mA
保存温度	T _{stg}	-65~+150	°C

注) *1 : Nチャンネルオープンドレイン、セル名が“ID”で始まる入力バッファと、Fail-Safe バッファについては、7.0V までです。

第1章 概要

1.3.2 推奨動作条件

表 1-4 推奨動作条件 (2 電源 $HV_{DD}=5.0V/LV_{DD}=3.3V$ の場合)

($V_{SS}=0V$)

項目	記号	Min.	Typ.	Max.	単位
電源電圧 (高電圧)	HV_{DD}	4.5	5.0	5.5	V
電源電圧 (低電圧)	LV_{DD}	3.0	3.3	3.6	V
入力電圧*1	HV_I	-0.3	—	$HV_{DD}+0.3$	V
	LV_I	-0.3	—	$LV_{DD}+0.3$	V
周囲温度*2	T_a	-40	25	85	°C
入力立ち上がり時間 (ノーマル入力) *3	t_{r1}	—	—	50	ns
入力立ち下がり時間 (ノーマル入力) *3	t_{f1}	—	—	50	ns
入力立ち上がり時間 (シュミット入力) *3	t_{r2}	—	—	5	ms
入力立ち下がり時間 (シュミット入力) *3	t_{f2}	—	—	5	ms

注) *1 : N チャンネルオープンドレインと、セル名が“LID”で始まる入力バッファについては、5.8V まで入力可能です。Fail-Safe バッファについては 5.8V まで入力可能です。ただし、“HIGH”レベル出力時に、外部より出力電圧以上の電圧を印加しないでください。

*2 : この温度範囲は、 $T_j=-40\sim 125$ [°C] を想定した推奨周囲温度です。

*3 : この時間は、電源電圧の 10%~90% の変化時間です。

表 1-5 推奨動作条件（単一電源 $V_{DD}=3.3V$ の場合） $(V_{SS}=0V)$

項目	記号	Min.	Typ.	Max.	単位
電源電圧	V_{DD}	3.0	3.3	3.6	V
入力電圧*1	V_I	-0.3	—	$V_{DD}+0.3$	V
周囲温度*2	T_a	-40	25	85	°C
入力立ち上がり時間（ノーマル入力）*3	t_{r1}	—	—	50	ns
入力立ち下がり時間（ノーマル入力）*3	t_{f1}	—	—	50	ns
入力立ち上がり時間（シュミット入力）*3	t_{r2}	—	—	5	ms
入力立ち下がり時間（シュミット入力）*3	t_{f2}	—	—	5	ms

注) *1 : Nチャンネルオープンドレインと、セル名が“LID”で始まる入力バッファについては、5.8Vまで入力可能です。Fail-Safe バッファについては5.8Vまで入力可能です。ただし、“HIGH”レベル出力時に、外部より出力電圧以上の電圧を印加しないでください。

*2 : この温度範囲は、 $T_j=-40\sim 125$ [°C] を想定した推奨周囲温度です。

*3 : この時間は、電源電圧の10%~90%の変化時間です。

第1章 概要

1.3.3 電気的特性

表 1-6 電気的特性

($HV_{DD}=5.0V\pm 0.5V$ 、 $V_{SS}=0V$ 、 $T_a=-40\sim 85^\circ C$)

項目	記号	条件	Min.	Typ.	Max.	単位	
入力リーク電流	I_{LI}	—	-1	—	1	μA	
オフステートリーク電流	I_{OZ}	—	-1	—	1	μA	
高レベル出力電圧	V_{OH}	$I_{OH}=-0.1mA$ (Type S) 、 $-1mA$ (Type M) $-3mA$ (Type 1) 、 $-8mA$ (Type 2) $-12mA$ (Type 3, Type 4) $HV_{DD}=\text{Min.}$	HV_{DD} -0.4	—	—	V	
低レベル出力電圧	V_{OL}	$I_{OL}=0.1mA$ (Type S) 、 $1mA$ (Type M) $3mA$ (Type 1) 、 $8mA$ (Type 2) $12mA$ (Type 3) 、 $24mA$ (Type 4) $HV_{DD}=\text{Min.}$	—	—	0.4	V	
高レベル入力電圧	V_{IH1}	CMOS レベル、 $HV_{DD}=\text{Max.}$	3.5	—	HV_{DD} +0.3	V	
低レベル入力電圧	V_{IL1}	CMOS レベル、 $HV_{DD}=\text{Min.}$	-0.3	—	1.0	V	
高レベル入力電圧	V_{T1+}	CMOS シュミット	2.0	—	4.0	V	
低レベル入力電圧	V_{T1-}	CMOS シュミット	0.8	—	3.1	V	
ヒステリシス電圧	ΔV	CMOS シュミット	0.3	—	—	V	
高レベル入力電圧	V_{IH2}	TTL レベル、 $HV_{DD}=\text{Max.}$	2.0	—	HV_{DD} +0.3	V	
低レベル入力電圧	V_{IL2}	TTL レベル、 $HV_{DD}=\text{Min.}$	-0.3	—	0.8	V	
高レベル入力電圧	V_{T2+}	TTL シュミット	1.2	—	2.4	V	
低レベル入力電圧	V_{T2-}	TTL シュミット	0.6	—	1.8	V	
ヒステリシス電圧	V_{H2}	TTL シュミット	0.1	—	—	V	
高レベル入力電圧*1	V_{IH3}	PCI レベル、 $HV_{DD}=\text{Max.}$	2.0	—	HV_{DD} +0.3	V	
低レベル入力電圧*1	V_{IL3}	PCI レベル、 $HV_{DD}=\text{Min.}$	-0.3	—	0.8	V	
プルアップ抵抗	P_{PU}	$V_I=0V$	Type 1	30	60	144	$k\Omega$
			Type 2	60	120	288	$k\Omega$
プルダウン抵抗	P_{PD}	$V_I=HV_{DD}$	Type 1	30	60	144	$k\Omega$
			Type 2	60	120	288	$k\Omega$
高レベル出力電流*1	I_{OH3}	PCI 対応、 $V_{OH}=1.4V$ 、 $HV_{DD}=\text{Min.}$ $V_{OH}=3.1V$ 、 $HV_{DD}=\text{Max.}$	-44	—	—	mA	
			—	—	-142		
低レベル出力電流*1	I_{OL3}	PCI 対応、 $V_{OL}=2.20V$ 、 $HV_{DD}=\text{Min.}$ $V_{OL}=0.71V$ 、 $HV_{DD}=\text{Max.}$	95	—	—	mA	
			—	—	206		
高レベル保持電流	I_{BHH}	バスホールド対応、 $V_{IN}=2.0V$ 、 $HV_{DD}=\text{Min.}$	—	—	-80	μA	
低レベル保持電流	I_{BHL}	バスホールド対応、 $V_{IN}=0.8V$ 、 $HV_{DD}=\text{Min.}$	—	—	33	μA	
高レベル反転電流	I_{BHH0}	バスホールド対応、 $V_{IN}=0.8V$ 、 $HV_{DD}=\text{Max.}$	-550	—	—	μA	
低レベル反転電流	I_{BHL0}	バスホールド対応、 $V_{IN}=2.0V$ 、 $HV_{DD}=\text{Max.}$	330	—	—	μA	
入力端子容量	C_I	$f=1MHz$ 、 $HV_{DD}=0V$	—	—	10	pF	
出力端子容量	C_O	$f=1MHz$ 、 $HV_{DD}=0V$	—	—	10	pF	
入出力端子容量	C_{IO}	$f=1MHz$ 、 $HV_{DD}=0V$	—	—	10	pF	

注) *1 : PCI 規格に準拠。

表 1-7 電気的特性

(V_{DD} or LV_{DD}=3.3±0.3V、V_{SS}=0V、T_a=-40~85°C)

項目	記号	条件	Min.	Typ.	Max.	単位	
入力リーク電流	I _{LI}	—	-1	—	1	μA	
オフステートリーク電流	I _{OZ}	—	-1	—	1	μA	
高レベル出力電圧	V _{OH}	I _{OH} =-0.1mA (Type S)、-1mA (Type M) -2mA (Type 1)、-6mA (Type 2) -12mA (Type 3) V _{DD} =Min.	V _{DD} -0.4	—	—	V	
低レベル出力電圧	V _{OL}	I _{OL} =0.1mA (Type S)、1mA (Type M) 2mA (Type 1)、6mA (Type 2) 12mA (Type 3) V _{DD} =Min.	—	—	0.4	V	
高レベル入力電圧	V _{IH2}	LVTTL レベル、V _{DD} =Max.	2.0	—	V _{DD} +0.3	V	
低レベル入力電圧	V _{IL2}	LVTTL レベル、V _{DD} =Min.	-0.3	—	0.8	V	
高レベル入力電圧	V _{T2+}	LVTTL シュミット	1.1	—	2.4	V	
低レベル入力電圧	V _{T2-}	LVTTL シュミット	0.6	—	1.8	V	
ヒステリシス電圧	V _{H2}	LVTTL シュミット	0.1	—	—	V	
高レベル入力電圧*1	V _{IH3}	PCI レベル、V _{DD} =Max.	1.8	—	V _{DD} +0.3	V	
低レベル入力電圧*1	V _{IL3}	PCI レベル、V _{DD} =Min.	-0.3	—	0.9	V	
プルアップ抵抗	P _{PU}	V _I =0V	Type 1	20	50	120	kΩ
			Type 2	40	100	240	kΩ
プルダウン抵抗	P _{PD}	V _I =V _{DD}	Type 1	20	50	120	kΩ
			Type 2	40	100	240	kΩ
高レベル出力電流*1	I _{OH3}	PCI 対応、V _{OH} =0.90V、V _{DD} =Min. V _{OH} =2.52V、V _{DD} =Max.	-36 —	— —	— -115	mA	
低レベル出力電流*1	I _{OL3}	PCI 対応、V _{OL} =1.80V、V _{DD} =Min. V _{OL} =0.65V、V _{DD} =Max.	48 —	— —	— 137	mA	
高レベル保持電流	I _{BHH}	バスホールド対応、V _{IN} =2.0V、V _{DD} =Min.	—	—	-20	μA	
低レベル保持電流	I _{BHL}	バスホールド対応、V _{IN} =0.8V、V _{DD} =Min.	—	—	17	μA	
高レベル反転電流	I _{BHHO}	バスホールド対応、V _{IN} =0.8V、V _{DD} =Max.	-350	—	—	μA	
低レベル反転電流	I _{BHLO}	バスホールド対応、V _{IN} =2.0V、V _{DD} =Max.	210	—	—	μA	
入力端子容量	C _I	f=1MHz、V _{DD} =0V	—	—	10	pF	
出力端子容量	C _O	f=1MHz、V _{DD} =0V	—	—	10	pF	
入出力端子容量	C _{I0}	f=1MHz、V _{DD} =0V	—	—	10	pF	

注) *1 : PCI 規格に準拠。

第1章 概要

1.3.4 オーバーシュート／アンダーシュート

入力バッファ、双方向バッファへの入力波形に関して、用途によってオーバーシュート、アンダーシュートが表1-4、表1-5の推奨動作条件の最大入力電圧を超える場合、下記のような時間内でのオーバーシュート／アンダーシュートを規定しています。

(1) $HV_{DD} = 5.0 \pm 0.5V$ 条件でオーバーシュート／アンダーシュートを許容できる電圧と時間

オーバーシュート 最大ピーク電圧 : $V_{DD} + 1.5V$ *1

オーバーシュート 最大時間*2 : 50 ns

アンダーシュート 最小ピーク電圧 : $V_{SS} - 1.5V$

アンダーシュート 最大時間*2 : 50 ns

注) *1 : Nチャンネルオープンドレインの双方向バッファと、セル名が“HID”または“LID”から始まる入力バッファと、Fail-Safeセルについては、7.0Vまで許容できます。

*2 : 時間とは、入力電圧が V_{DD} を上回っている時間、または、 V_{SS} より下回っている時間を指します。ただし、上記*1の場合は、5.8Vより上回っている時間になります。

(2) HV_{DD} or $V_{DD} = 3.3 \pm 0.3V$ 条件でオーバーシュート／アンダーシュートを許容できる電圧と時間

オーバーシュート 最大ピーク電圧 : $V_{DD} + 1.0V$ *1

オーバーシュート 最大時間*2 : 50 ns

アンダーシュート 最小ピーク電圧 : $V_{SS} - 1.0V$

アンダーシュート 最大時間*2 : 50 ns

注) *1 : Nチャンネルオープンドレインの双方向バッファと、セル名が“ID”で始まる入力バッファと、Fail-Safeセルについては、7.0Vまで許容できます。

*2 : 時間とは、入力電圧が V_{DD} 上回っている時間、または、 V_{SS} より下回っている時間を指します。ただし、上記*1の場合は、5.8Vより上回っている時間になります。

(補足)

オーバーシュート、アンダーシュートの大きな波形では、反射波が入力の V_{IH}/V_{IL} の規格を満足しているかどうかを確認して下さい。たとえ上記規格を満足していても、反射波が V_{IH}/V_{IL} の規格を満足しない範囲まで到達していた場合は、誤動作を起こす危険性があります。(オシロスコープ等で、入力波形を直接確認することをお奨めします。)

1.4 静的消費電流

表 1-8 静的消費電流 (2電源の場合)

(T_j = 85°C)

マスタ	5V ± 0.5V HI _{DDs} Max.	3.3V ± 0.3V LI _{DDs} Max. *1	3.3V ± 0.3V HI _{DDs} Max. *1	単位
S1L50062/50063/50064 S1L50122/50123/50124	11	5	9	μA
S1L50282/50283/50284 S1L50552/50553/50554 S1L50752/50753/50754 S1L50992/50993/50994	30	35	25	μA
S1L51252/51253/51254 S1L51772/51773/51774 S1L52502/52503/52504	45	90	35	μA
S1L53352/53353/53354 S1L54422/54423/54424 S1L55062/55063/55064	65	170	50	μA
S1L56682/56683/56684 S1L58152/58153/58154	80	260	60	μA

注*1) HI_{DDs} : HV_{DD} ~ V_{SS}間の静的消費電流です。LI_{DDs} : LV_{DD} ~ V_{SS}間の静的消費電流です。

表 1-9 静的消費電流 (単一電源の場合)

(T_j = 85°C)

マスタ	3.3V ± 0.3V I _{DDs} Max. *1	単位
S1L50062/50063/50064 S1L50122/50123/50124	5	μA
S1L50282/50283/50284 S1L50552/50553/50554 S1L50752/50753/50754 S1L50992/50993/50994	35	μA
S1L51252/51253/51254 S1L51772/51773/51774 S1L52502/52503/52504	90	μA
S1L53352/53353/53354 S1L54422/54423/54424 S1L55062/55063/55064	170	μA
S1L56682/56683/56684 S1L58152/58153/58154	260	μA

注*1) I_{DDs} : V_{DD} ~ V_{SS}間の静的消費電流です。

第1章 概要

Tj=85°C以外での静的消費電流に関しては、以下の式を用いることで概算値を求めることができます。（ただし、Tj=-40~85°Cの間のみとなります。Tj=125°Cの場合は、温度係数=12として計算してください。Tj=85°C~125°Cの場合は、別途弊社営業担当までお問合せください。）

$$\begin{aligned} I_{\text{DDS}}(T_j) &= I_{\text{DDS}}(T_j=85^\circ\text{C}) \times \text{温度係数} \\ &= I_{\text{DDS}}(T_j=85^\circ\text{C}) \times 10^{\frac{T_j-85}{60}} \end{aligned}$$

（例）S1L55062 で、VDD=3.3V±0.3V、Tj=50°Cでの IDDS の概算値は以下のとおりです。

$$\begin{aligned} I_{\text{DDS}}(T_j=50^\circ\text{C}) &= I_{\text{DDS}}(T_j=85^\circ\text{C}) \times 10^{\frac{50-85}{60}} \\ &= 170 \times 0.261 \\ &= 44.37 (\mu\text{A}) \end{aligned}$$

となります。

2 電源の場合には、使用する電圧に対応した静的消費電流の和が[†]トータルの静的消費電流となります。

(HI_{DDS}+LI_{DDS})

1.5 開発フロー

開発手順でのお客様からの開発着手依頼およびデータ提出、セイコーエプソンでの論理合成・配置配線作業フロー、試作から量産制定までのフローを示します。

1.5.1 サインオフまでの開発フロー

図 1-1 は、サインオフまでの開発フローです。RTL インタフェースが前提となっています。

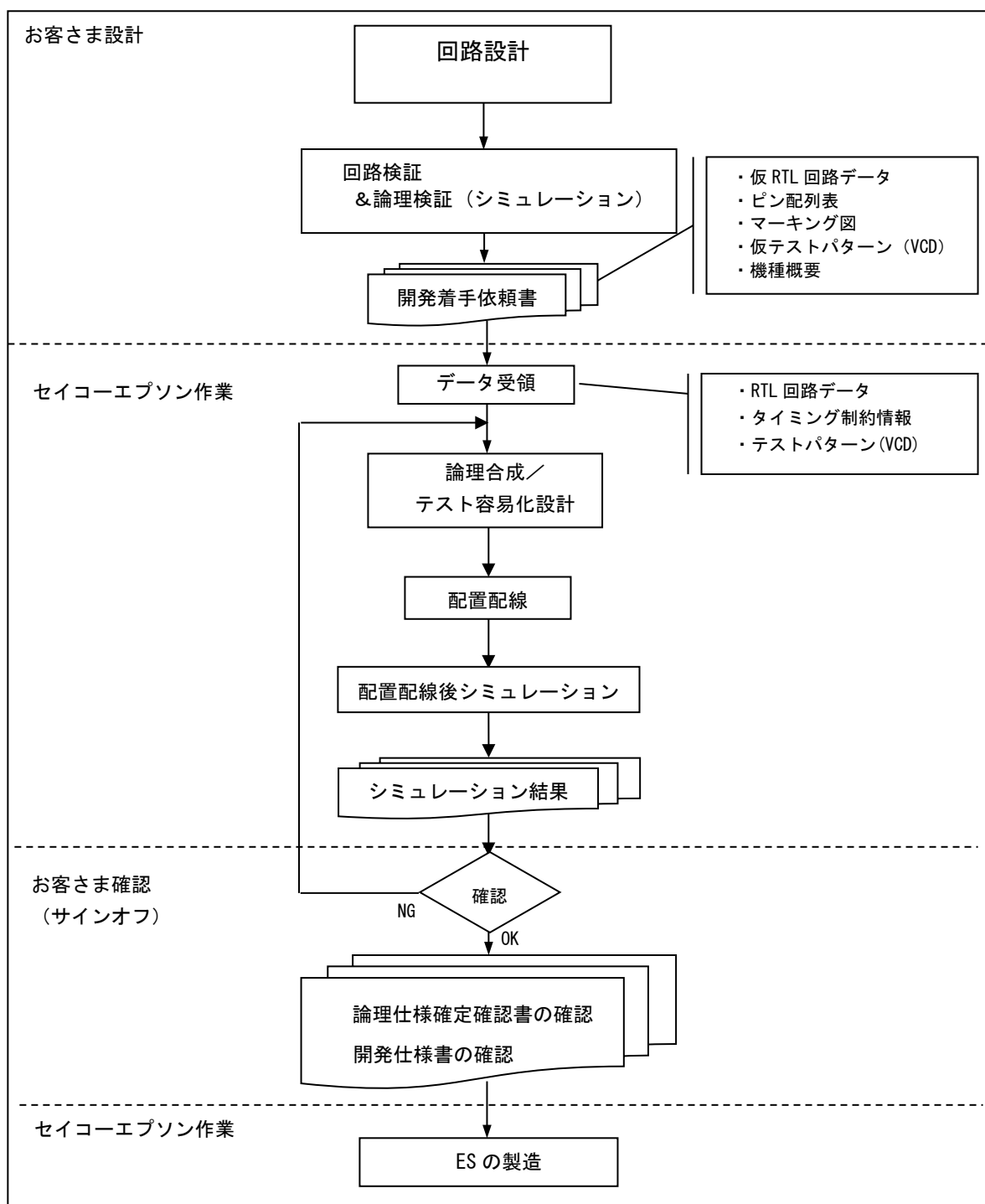


図 1-1 サインオフまでの開発フロー

1.5.2 論理合成・配置配線作業フロー（セイコーエプソン作業）

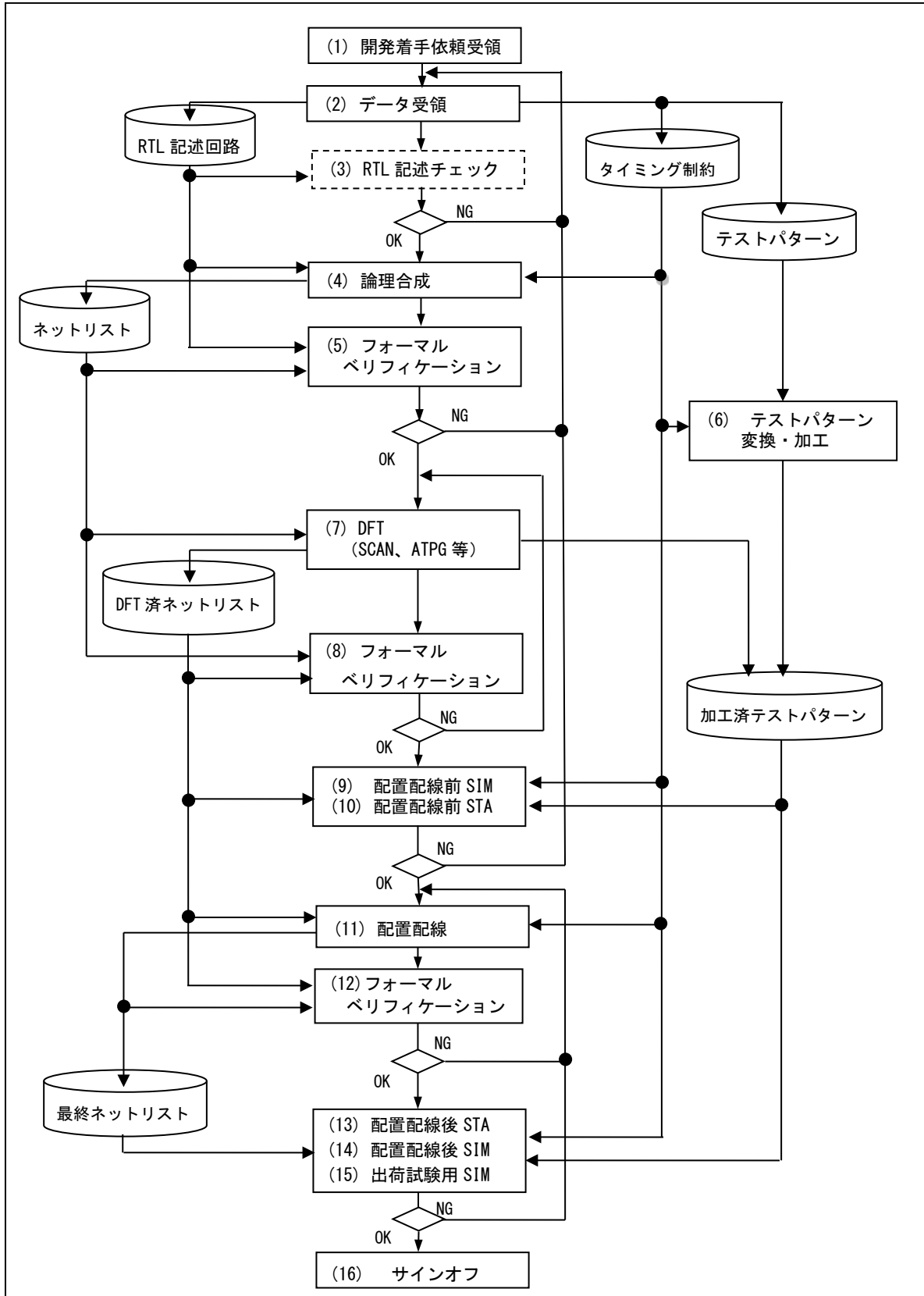


図 1-2 セイコーエプソンでの論理合成・配置配線作業フロー

図 1-2 は、データ受領から、サインオフまでの論理合成・配置配線作業フローを示しています。各作業の概要を以下に説明します。

(1) 開発着手依頼受領

お客さまからセイコーエプソン帳票「開発着手依頼書」を代理店またはセイコーエプソンに送付いただきます。受領後、セイコーエプソン内で設計作業の着手を行います。開発着手依頼書と共に、お客さまより送付いただくデータは以下の通りです。

- ① 仮 RTL 回路データ。「[1.5.3 仮（トライアル用）データの提出](#)」を参照して下さい。
- ② 端子配列表
- ③ マーキング図（セイコーエプソン作成フォーマット帳票）
- ④ 仮テストパターン（VCD 形式）
- ⑤ 機種概要

(2) データ受領

お客さまより送付いただくデータとしては以下の通りです。

- ① 正式 RTL 回路データ
- ② タイミング制約情報
- ③ 正式テストパターン（VCD 形式）

(3) RTL 記述チェック

必要に応じて、RTL チェッカーを使用して、文法エラーなどの確認を行います。

(4) 論理合成

初期段階で、ゲート数の確認やクロックの解析などのために、最小限の制約による仮の論理合成を行います。問題がなければ、タイミング制約などを付けて、実際の論理合成を行います。

(5) フォーマルベリフィケーション（等価性チェック）

お客さまの RTL 記述と、論理合成後のネットリストとの、フォーマルベリフィケーション（等価性チェック）を行います。

(6) テストパターンの変換

お客さまから受領したテストパターン：VCD（Value Change Dump）ファイルを、セイコーエプソン独自フォーマット APF（Advanced Press Format）ファイル（サイクルベース、テーブル形式のテストパターン）に変換します。

(7) DFT（スキャン挿入、ATPG など）

DFT（Design For Test:故障検出率を上げるためのテスト専用回路の追加）を実施し、スキャンテスト回路などを挿入します。また、ATPG（Automatic Test Pattern Generation）によるテストパターン生成を行います。故障検出率の目標値については、開発着手時に連絡下さい。

(8) フォーマルベリフィケーション（等価性チェック）

DFT 前と DFT 後でのネットリストに対するフォーマルベリフィケーションを行います。

第1章 概要

(9) 配置配線前シミュレーション

ゲートレベルのネットリストにおいて、必要なファンクションが得られていることを確認するために、上記(6)(7)のテストパターンと、仮想遅延データによるシミュレーションを行います。結果に問題などがあった場合は、解析を実施します。

(10) 配置配線前 STA

お客さまより受領したタイミング制約を基に、STA（静的タイミング解析）によるタイミング確認を行います。明らかに問題となるタイミングエラーを発見した場合は、お客さまに連絡すると共に、再度の論理合成などの対応を行います。

(11) 配置配線

上記(10)のデータを使い配置配線を実施します。その結果から、実配線後の遅延時間データを算出します。

(12) フォーマルベリフィケーション（等価性チェック）

配置配線前と後でのネットリストに対するフォーマルベリフィケーションを行います。

(13) 配置配線後 STA

配置配線後のデータについて、実配線後の遅延時間データを用いて、タイミングを確認します。明らかに問題となるタイミングエラーを発見した場合は、ECO（局所レイアウト変更）などで、調整を行います。

(14) 配置配線後シミュレーション（リアルレート）

配置配線後のデータについて、ICを実際に使用する条件で、シミュレーションを行います。結果をお客さまに送付し内容をご確認いただきます。

(15) 出荷試験用シミュレーション（テストレート）

テストパターンのタイミング条件を、出荷試験向けに変更させていただき、配置配線後データのシミュレーションを行います。結果をお客さまに送付し内容をご確認いただきます。また、出荷試験の条件を満たしていることを確認いただきます。

<シミュレーション結果の送付>

シミュレーションの結果はAPF(Advanced Press Format セイコーエプソン独自フォーマット：*.sammax, *.sammin)形式で送付します。要望に応じてVCD(Value Change Dump)、の波形ファイルを添付します。

<シミュレーション結果とのコンペアの送付>

シミュレーション結果と期待値とのコンペアを行い、コンペアファイル(*.exp_max, *.exp_min)が出力されます。同様に、min結果とmax結果のコンペアファイル(*.min_max)の出力を送付します。

出力例について、付録A1.1「[シミュレーション結果と期待値とのコンペアファイル例](#)」を参照して下さい。

<タイミングエラーリストの送付>

シミュレーション中にタイミングエラーが発生した場合、リスト(*.errmax, *.errmin)出力を送付します。

タイミングエラーリストの見方については、付録A1.2「[タイミングエラーリスト](#)」を参照して下さい。

(16) サインオフ

セイコーエプソン作成帳票（論理仕様確定確認書）を送付します。内容をご確認いただき、問題なければ帳票への確認結果の記載および署名・捺印いただきセイコーエプソンに送付下さい。帳票受領後、ES（エンジニアリングサンプル）の製造を開始します。

1.5.3 仮（トライアル用）データの提出

正式なRTL回路データ提出前にあらかじめ、仮（トライアル用）データを提出していただくよう、お願いします。

仮データを用いて、正式なデータ受領後の作業をスムーズにするための準備を行います。なお、タイミング条件が厳しい場合、仮RTL回路データ提出時にご連絡下さい。

(1) ゲート規模の見積り

お客さまから受領した仮RTL回路データから、概略のゲート規模を見積もることが可能です。

(2) 仮RTLデータのチェック

お客さまから受領した仮RTL回路データに対して、論理合成を行います。文法上の問題や、合成後の問題を事前に知ることができます。チェックで問題のあった箇所を、お客様に報告いたします。

また、仮RTLデータと、論理合成後のネットリストとの、フォーマルベリフィケーション（等価性チェック）を行います。論理の不一致が現われた場合は、お客様に報告いたします。

(3) 論理合成における制約条件設定

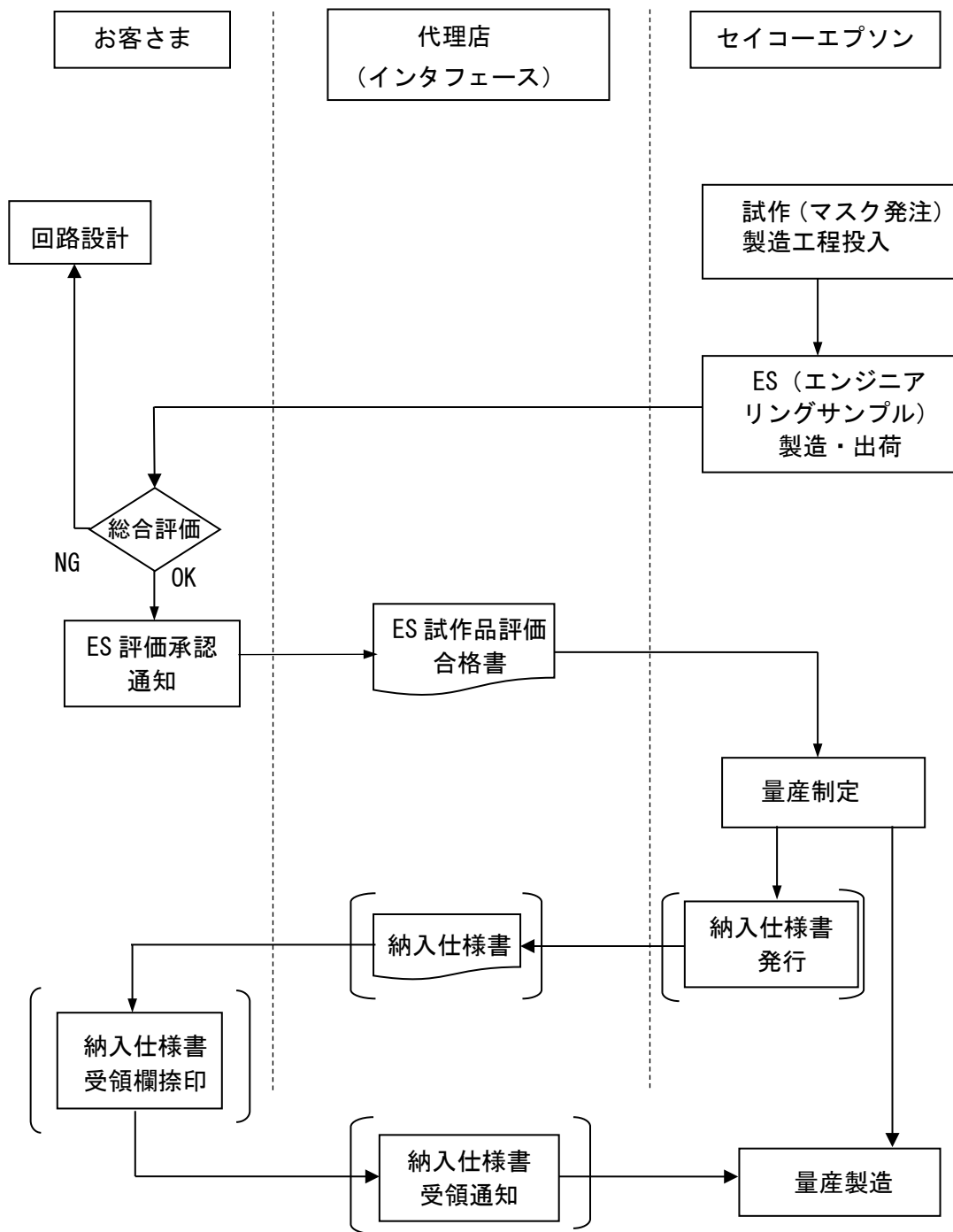
最低限の制約条件を用いて、論理合成を行います。その際、タイミング制約情報を提出していただくことで、論理合成の制約条件をあらかじめ調整します。また、STA（静的タイミング検証）の制約条件を作成することも可能です。

(4) ファンクションの確認

仮のテストパターンを提出していただくことで、APFパターンへの変換チェック、テストパターンの整合性チェック、及びゲートレベルシミュレーションによるファンクションの確認が可能です。

1.5.4 試作から量産制定までのフロー

図1-3は、セイコーエプソンにての試作から量産制定までのフローです。



() 内はお客様からの要望がある場合行います。

図1-3 試作から量産制定までのフロー

第 2 章 RTL 設計上の注意 (Verilog-HDL)

セイコーエプソンにて論理合成を行うにあたり、お客さまでの RTL 設計における留意点について説明します。本章では言語を Verilog-HDL として説明しています。VHDL を使用されるお客さまは、付録「[A2 RTL 設計上の注意 \(VHDL\)](#)」を参照下さい。また、開発着手依頼時に VHDL で設計を行うことを弊社営業までご連絡下さい。

2.1 基本構成

2.1.1 論理合成可能な RTL データの提出

提出する RTL データは、論理合成可能な記述のみにして下さい。ビヘイビアレベルの記述が含まれていると、論理合成ができません。論理合成可能であれば、複数個のファイルにわかれていても問題ありません。

2.1.2 ライブラリセルの使用

RTL 内で、セイコーエプソンのライブラリセルを呼び出しているモジュール名と、ライブラリセル名を連絡下さい。ライブラリセルが論理合成時に消されないための設定を行います。

2.1.3 ifdef と parameter

ifdef 文や parameter 文で、RTL の外部や別ファイルから値を設定する必要がある場合は、その旨を連絡下さい。

2.2 端子名の制約

外部端子、および内部端子の名前に制限・制約があります。制限・制約に沿っていただくことを推奨します。制限・制約の名前が使われている場合は、論理合成時にお客様の意図しない名前に付け替えられることがありますことを、ご了承下さい。

2.2.1 外部端子名制約

外部端子名には、以下の制約があります。

- (1) 全て大文字にて記述。
- (2) 使用可能文字は、英数字とアンダーバー ‘_’ のみ。
ただし、先頭文字は英字のみ。
- (3) ‘[’ と ‘]’ は使用不可、バスの記述も使用不可。
- (4) ‘_’ の 2 つ連続使用は不可。
- (5) 文字数は、2~32 文字の範囲内。

第 2 章 RTL 設計上の注意 (Verilog-HDL)

2.2.2 内部端子名制約

- (1) 大文字・小文字の混合は可能。ただし、大文字小文字混在の同一名は使用不可。
例：“ABC”と”Abc”の混在は禁止。
- (2) 使用可能文字は、英数字、アンダーバー ‘_’、バス記述用のカッコ ‘[’、 ‘]’ のみ。
- (3) 文字数は、2～32 文字の範囲内。

2.2.3 Verilog 予約語

以下の文字列は、Verilog の予約語ですので、ユーザー定義名として使用できません。

always	and	assign	begin	buf	bufif0	bufif1
case	casex	casez	cmos	deassign	default	defparam
disable	edge	else	end	endcase	endmodule	endfunction
endprimitive	endspecify	endtable	endtask	event	for	force
forever	fork	function	highz0	highz1	if	ifnone
initial	inout	input	integer	join	large	macromodule
medium	module	nand	negedge	nmos	nor	not
notif0	notif1	or	output	parameter	pmos	posedge
primitive	pull0	pull1	pullup	pulldown	rcmos	real
realtime	reg	release	repeat	rnmos	rpmos	rtranif0
rtranif1	scalared	small	specify	specparam	strong0	strong1
supply0	supply1	table	task	time	tran	tranif0
tranif1	tri	tri0	triand	trior	triereg	vectored
wait	wand	weak0	weak1	while	wire	wor
xnor	xor					

2.3 タイミング制約情報の提出

お客様から、クロックや入力遅延、外部遅延に関するタイミング制約情報を RTL データ送付時に一緒に送付していただきます。この情報をもとに、論理合成や STA におけるタイミング制約の作成などの挿入を行います。

2.3.1 クロック情報

(1) 外部クロック

すべての外部クロックについて、以下の事項を指定して下さい。

- ① 端子名
- ② クロックの基準周期
- ③ 基準周期の開始から、クロックの立ち上がりエッジ・立下りエッジまでの遅延
- ④ Duty およびその変動量
- ⑤ クロックジッタの有無
- ⑥ スキュー調整必要の有無
- ⑦ 用途 (メイン、テスト用など)

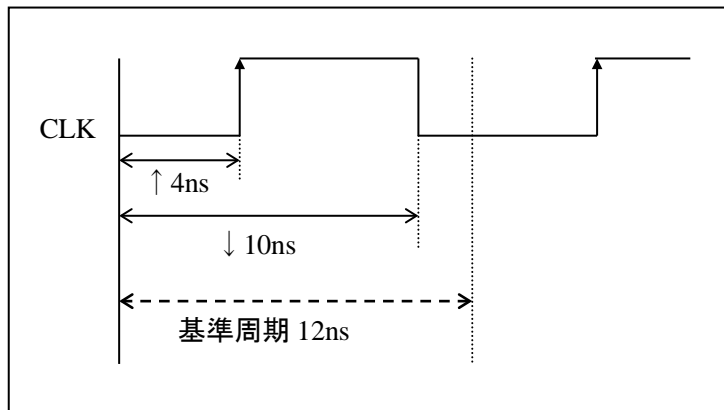


図 2-1 外部クロック波形図

例えば図 2-1 の場合、外部クロック端子名は CLK、クロック基準周期 12ns、立ち上がりエッジ遅延 4ns、立下りエッジ遅延 10ns、Duty50±0%になります。

(2) 内部生成クロック

PLL、分周などによって回路内部で生成されるクロックを指します。すべての内部生成クロックについて、以下の事項を指定して下さい。

- ① 内部生成クロックの信号名、及び生成されるモジュール名
- ② マスタクロックの信号名 (外部クロックならば、端子名)
- ③ マスタクロックとの関係 (分周数、または逡倍数)
- ④ スキュー調整必要の有無

第 2 章 RTL 設計上の注意 (Verilog-HDL)

図 2-2 は、マスタクロック CLK を D-FF で 2 分周して、内部クロック DCLK を生成する RTL 記述の例です。これを論理合成すると、図 2-3 のような回路となります。ここで、CLK と DCLK は、タイミングの異なるクロックとなることにご注意して下さい。これは、CLK から FF の出力端子までの伝播遅延分のスキューが生じるためです。図 2-4 を参照して下さい。

```
always @(posedge CLK or negedge RST)
begin
  if(!RST)
    Q <= 1' b0;
  else
    Q <= ~Q;
end

assign DCLK = Q;

always @(posedge DCLK or negedge RST)
  .
  .
```

図 2-2 分周による内部クロック生成の記述例

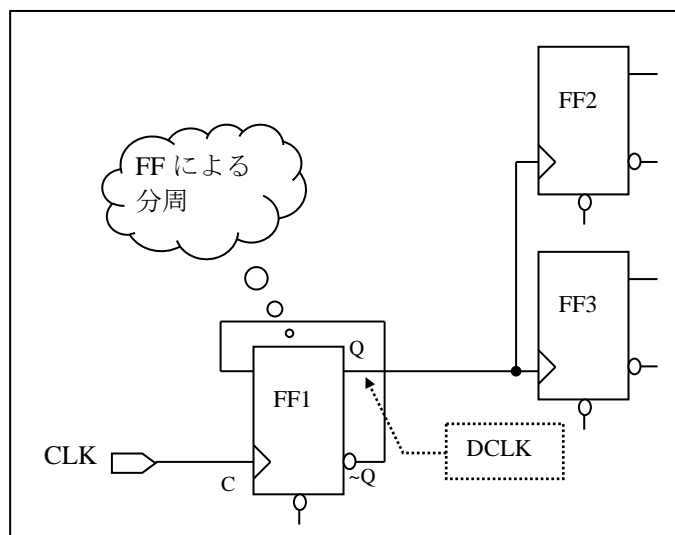


図 2-3 図 2-2 より合成される回路例

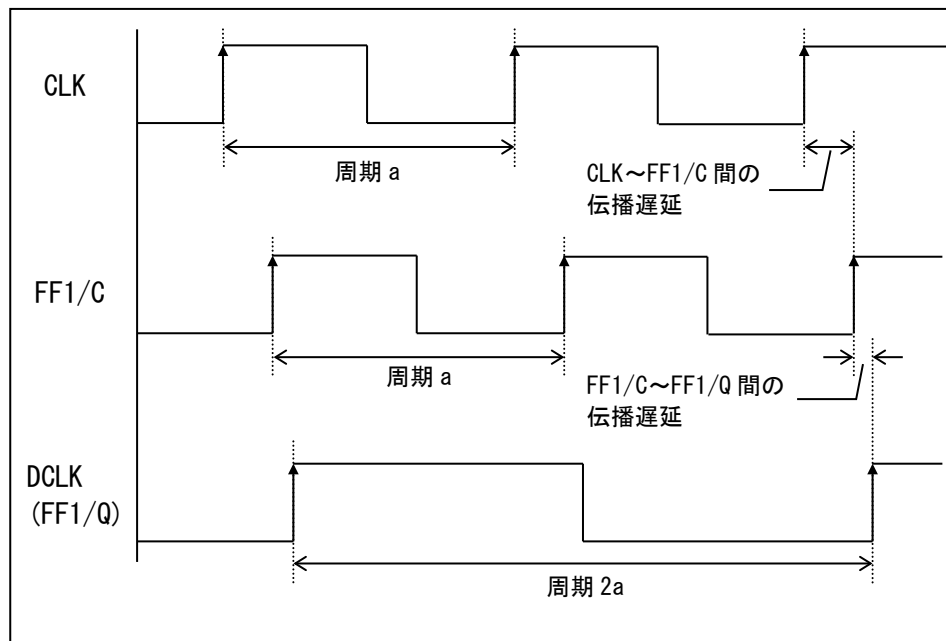


図 2-4 図 2-3 の回路の波形図

(3) 複数クロックの組み合わせ

複数のクロックと組み合わせ回路から、パルスを作ることは避けて下さい。各クロックのスキューにより意図しないパルスとなる可能性があります。

(4) 異なるクロックで動作するレジスタ間のデータパスについて

異なるクロックで動作するレジスタ間にデータパスがある場合、そのタイミングを保証することは困難ですので、非同期でデータの受け渡しができるような設計を行って下さい。また、同クロックであってもエッジが異なる場合は、異なるクロックとして扱ってよいかをご指示下さい。

第 2 章 RTL 設計上の注意 (Verilog-HDL)

2.3.2 外部端子のタイミング制約

(1) 外部入力タイミング

外部入力端子に、基準クロックに対するセットアップタイム、ホールドタイムを指定して下さい。

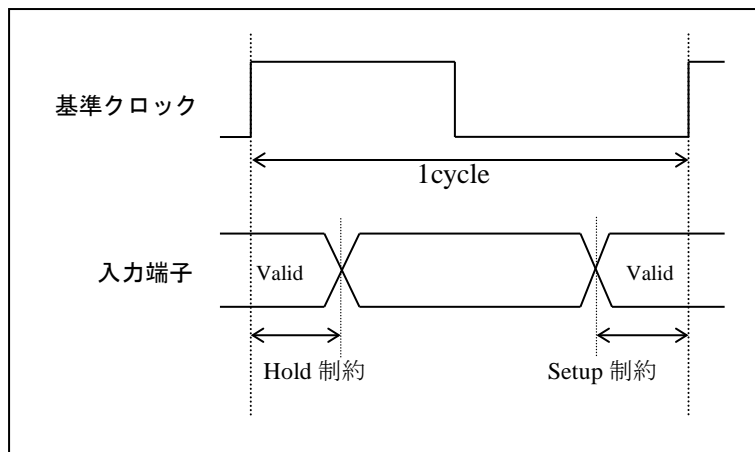


図 2-5 外部入力タイミング

(2) 外部出力タイミング

外部出力端子に、定義したクロックに対する出力遅延を設定します。基準クロックに対する遅延の最小値と最大値を指定して下さい。基準クロックが回路内に存在しないときは、仮想クロックの制約を指定して下さい。

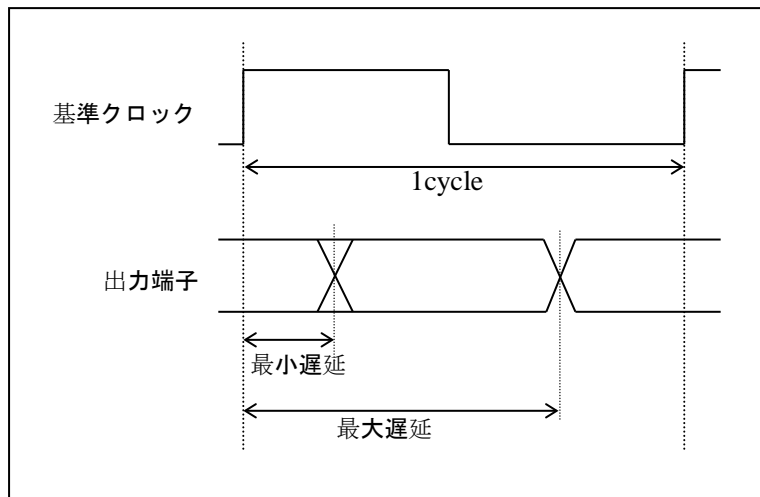


図 2-6 外部出力タイミング

(3) マルチサイクルパス

図 2-7 は、乗算器などの大規模回路を通るパスの例です。FF1/Q~FF2/D 間のタイミングに複数サイクルを必要とする（もしくは、必要としても構わない）場合は、FF1/Q~FF2/D 間のパスに対して、マルチサイクルパスを指定します。

データの受け渡しに複数サイクルが必要なパスと、サイクル数を指定して下さい。

例えば、FF1/Q~FF2/D 間のパスのデータ伝播に 2 サイクルを必要とする場合は、図 2-8 のように FF1/Q~FF2/D 間に 2 サイクルのマルチサイクルパスを指定して下さい。

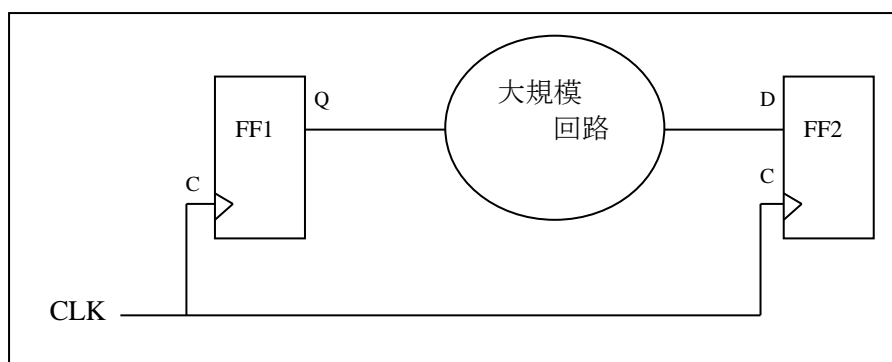


図 2-7 大規模回路を通るパスの例

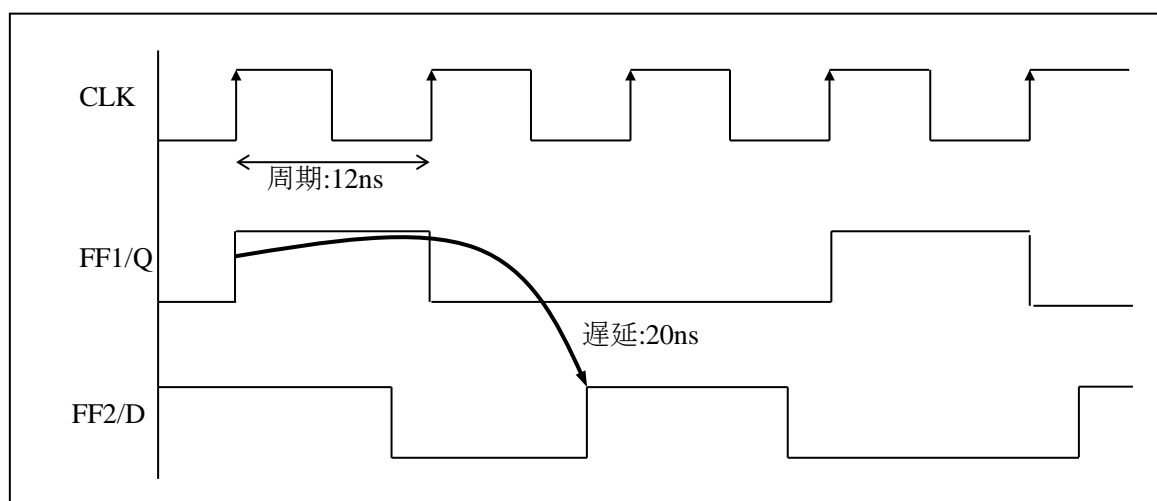


図 2-8 マルチサイクルパス

第2章 RTL 設計上の注意 (Verilog-HDL)

(4) フォルスパス

論理的、仕様のにありえないパスを、わかるかぎり指定して下さい。フォルスパスは、最適化の対象外となります。例えば、図 2-9 において、B~X 間のパスは論理的にありえませんが、フォルスパスになります。

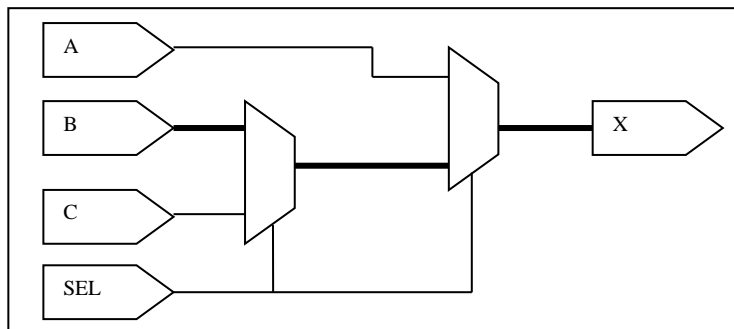


図 2-9 フォルスパス

(5) クロックゲーティング

消費電力削減などのため、クロックゲーティングを行う場合は、できるだけ上位階層で行うようにして下さい。

クロックツリー構築時にスキュー調整が必要となる場合がありますので、クロックゲーティングを行った箇所を指定して下さい。また、ラッチベース方式のクロックゲーティングセルを使用する場合は、あわせて指定して下さい。

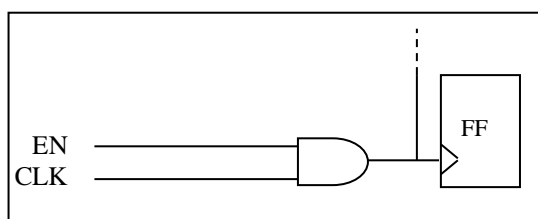


図 2-10 クロックゲーティングの例

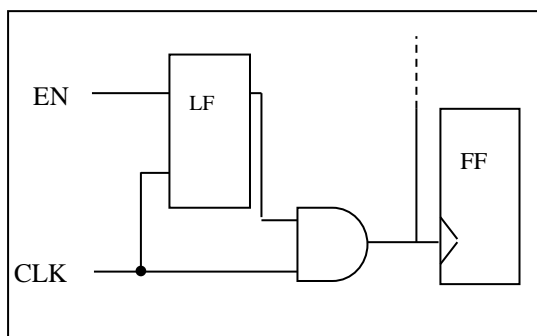


図 2-11 ラッチベース方式のクロックゲーティングの例

(6) クロックゲーティングした RTL でのシミュレーション実施時の注意点

RTL シミュレーションにおいて、図 2-12 のようにゲーティングされたクロックは、ゲーティングされる前のクロックとは非同期の扱いとなります。2 段の非同期 FF 両方にゼロ遅延でクロックが入った場合は、どちらが先に処理されるかは、シミュレータ依存となります。これを回避するには、RTL 中に遅延の記述を付加して、意図通りの順番で処理が行われるようにして下さい。RTL 中の遅延記述は、論理合成時には無視されます。

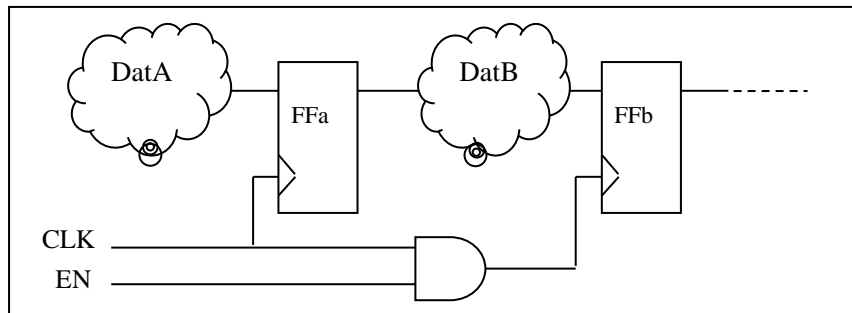


図 2-12 ゲーティングされたクロックとの接続例

```
parameter DELAY = 10;
.....
always @(posedge CLK ) begin
    FFa <= #(DELAY) DatA;
end
assign ENCLK = CLK & EN;
always @(posedge ENCLK ) begin
    FFb <= DatB;
end
```

図 2-13 遅延記述の付加

第2章 RTL 設計上の注意 (Verilog-HDL)

(7) 論理合成時のクロックゲーティングセル自動挿入

セイコーエプソンでの論理合成時に、消費電力とゲートサイズの削減のため、ラッチベース方式のクロックゲーティングセルを自動挿入することが可能です。

しかし、これによりクロックスキューが増大するため、タイミング制約が厳しい場合は、調整に数日の日数を必要と致しますことをご了解下さい。

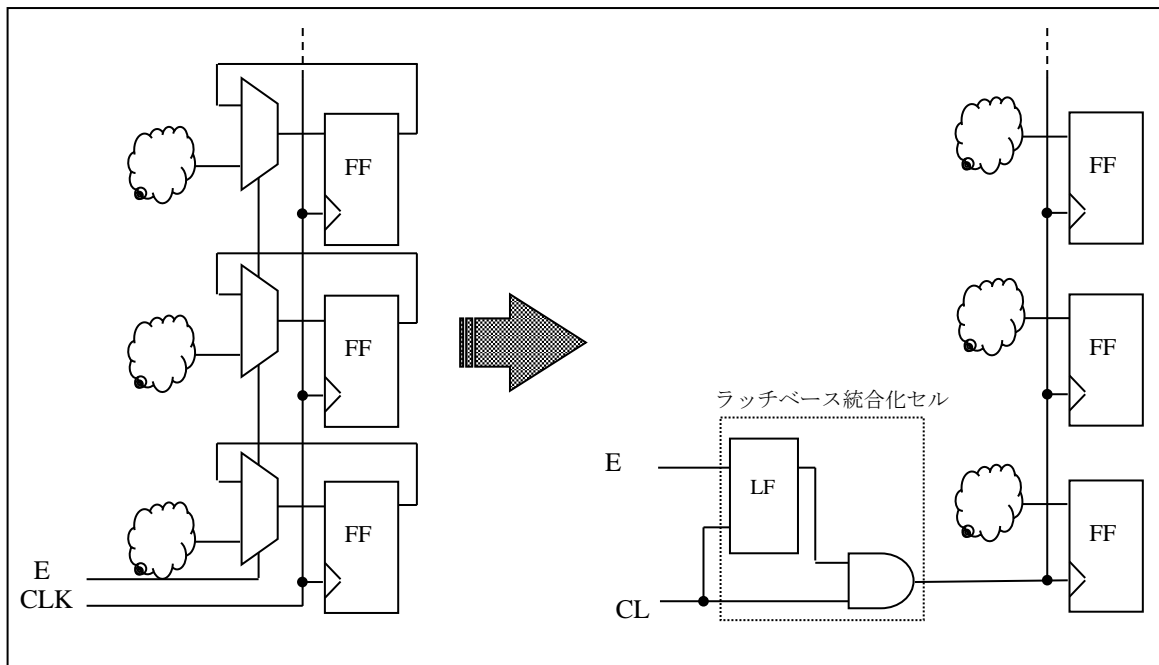


図 2-14 クロックゲーティングセル自動挿入の例

(8) セット、リセット信号について

図 2-15 のような、非同期セットとリセットの両端子を持つフリップフロップの有無をお知らせ下さい。非同期セット、リセット両端子を持つフリップフロップのセットーリセット間のリカバリータイムやリムーバルタイムは解析できません。また、クロック端子を持たないセルのセット、リセットは解析できません。

```
always @(posedge CLK or negedge SET or negedge RST) begin
  if (!SET)
    Q <= 1' b1;
  else if (!RST)
    Q <= 1' b0;
  else
    Q <= D;
end
```

図 2-15 セット、リセット両端子を持つフリップフロップの記述例

2.4 入出力バッファの挿入

- (1) 送付いただいた「端子配列表」でのバッファの種類にしたがって、セイコーエプソンにて、入出力バッファを挿入いたします。
 バッファの種類および構成については、「[第 6 章 入出力バッファの種類と使用上の注意](#)」を参照して下さい。
- (2) 入出力バッファは、トップモジュールを RTL 用からゲート用に置き換える方法が安全で簡単です。セイコーエプソンでゲート用のトップモジュールを作成いたしますので、RTL 用のトップモジュールには、入出力に関する記述のみとして下さい。具体的には、単方向ポートは、下位モジュールと 1 対 1 に接続するだけにして下さい。そして、双方向ポートの記述は、下位階層から入力信号ポートと出力信号ポートとイネーブル信号ポートを引き出して、トップモジュール内で双方向信号を記述して下さい。

```

module TOP ( IN1, OUT1, BID1);
  input IN1 ;
  output OUT1 ;
  inout BID1 ;
  assign BID1 = (en) ? 1'bz : bid1_out ;
  CORE U_CORE( .in1(IN1),
    .out1(OUT1), .bid1_in(BID1),
    .bid1_out(bid1_out), .en(en) );
endmodule
    
```

図 2-16 トップモジュールの RTL 例

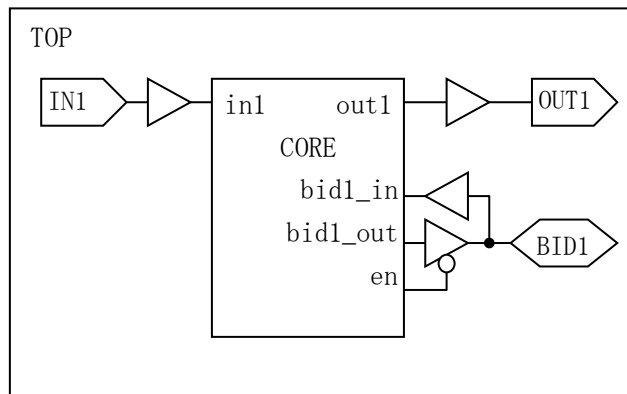


図 2-17 トップモジュール イメージ

2.5 RAM の記述

- (1) RAM を搭載される場合、RAM の仕様の確認をして下さい。仕様の詳細は「[第 8 章 RAM 仕様](#)」を参照して下さい。
- (2) RAM のライブラリはセイコーエプソンにて提供いたします。必要な RAM のサイズおよび個数を開発着手依頼書へ記入して下さい。なお、RAM の (モデル) ライブラリ提供には日数が掛る場合がございます。 ご了承下さい。
- (3) お客様にて RAM を記述する場合は、そのモデルのモジュール名を連絡して下さい。

2.6 発振セルの記述

- (1) 発振セルを搭載される場合、発振セルの詳細、「[第 5 章 5.1 発振回路](#)」を参照して下さい。
- (2) RTL 記述時には、発振セルはインスタンス化して記述して下さい。
- (3) お客様が論理合成をする場合、発振セルの外部端子接続ネットにバッファが挿入されないように、入力および出力ネットに対して、set_dont_touch コマンドで dont_touch 属性を付けて下さい。

第3章 テスト回路設計上の注意

テスト回路設計推奨として、セイコーエプソンにてテスト容易化設計、テスト回路挿入を行います。挿入手順については「[第1章 1.5 開発フロー](#)」を参照下さい。

3.1 推奨 DC・AC テスト回路の挿入

セイコーエプソンでは、DC および AC テスト等の出荷時の試験を効率良く行えるように、推奨のテスト回路を用意し、お客様の回路に挿入させていただきます。

3.1.1 推奨テスト回路 テスト回路付き入出力バッファを使用

セイコーエプソン推奨 DC および AC テスト回路については、送付いただいたお客様回路にセイコーエプソンにて挿入させていただきます。推奨テスト回路を構成する為に、テスト回路付き入出力バッファを選択いたします。

DC・AC テスト専用端子として入力端子を最低 1 本用意をお願いします。

3.1.2 テスト回路付き出力バッファおよび双方向バッファのセル名

推奨テスト回路を構成する為に選択したテスト回路付き出力バッファおよび双方向バッファのセル名は、出力バッファでは「0***T」または「TB***T」、双方向バッファでは「B***T」とセル名の末尾が「T」となります。

3.1.3 お客様設計によりテスト回路挿入される場合

お客様にて、テスト回路を設計される場合、またお客様の回路設計の構成上の理由で、セイコーエプソン推奨のテスト回路をご使用いただけない場合、または、テスト機能付き出力バッファをご使用いただけない場合には、開発着手依頼時に連絡をお願いします。

3.2 スキャン (SCAN) 回路の挿入

スキャン回路の挿入の可否については、開発着手依頼時に連絡をお願いします。スキャン回路の挿入は、セイコーエプソンにて行ないます。

その際、スキャンテスト専用端子2本を回路の入力端子として用意していただくこととなります。

3.2.1 スキャン (SCAN) 回路

セイコーエプソンでのスキャン挿入は、設計されたデザインに存在するすべてのレジスタ (D-FF、JK-FF) をスキャンタイプレジスタに置換し、スキャンパスを構築します (フルスキャン設計)。このデザインを用いて ATPG (Auto Test Pattern Generation) を実施することにより高故障検出率のテストパターンを生成します。

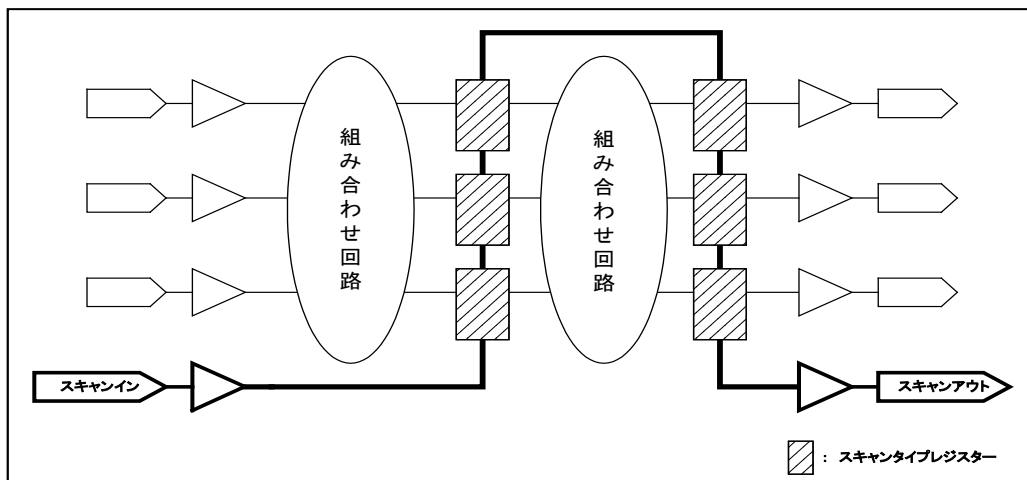


図 3-1 スキャン回路の例

- [注意] ATPG (Auto Test Pattern Generation) が生成するテストパターンは仕様を確認するものではありません。
トランスペアレントラッチはスキャンタイプレジスタに置換されません。

3.3 バウンダリースキャン (JTAG) 回路の挿入

バウンダリースキャン (JTAG) 回路の挿入の有無については、開発着手依頼時に連絡をお願いします。バウンダリースキャン (JTAG) 回路挿入は、セイコーエプソンにて行ないます。

バウンダリースキャン (JTAG) 回路挿入に際しては、論理回路の外周に、IEEE 1149.1 に準拠したバウンダリースキャン回路、および、その制御回路 (TAP コントローラ) の挿入を実施します。同時にその回路の情報を記した BSDL ファイルを提供します。

また、挿入したバウンダリースキャン用ファンクションパターンはセイコーエプソンにて作成しますので、お客さま側でのバウンダリースキャンに関するパターン作成は必要はありません。

3.3.1 インストラクション

以下のバウンダリースキャンインストラクションに対応します。

表 3-1 対応可能なインストラクションコード一覧

インストラクション	コード
SAMPLE/PRELOAD	0...10
BYPASS	1...11
EXTEST	0...00
CLAMP	任意選択可能 *1
HIGHZ	任意選択可能 *1
IDCODE	0...01

注) *1 : 特に要求のない場合は弊社でアサインします。また他コードとの重複はできません。

また、インストラクションのビット幅は 2~32 ビットの範囲で選択可能です。

特に要求のない場合は、セイコーエプソンにて決定します。

3.3.2 ゲート数の見積り

バウンダリースキャン回路挿入によるゲート数の増加に関しては、対応するインストラクションやビット幅などにより前後します。ゲート数の見積りには以下の情報を用いて概算して下さい。

表 3-2 ゲート数見積り (BC : ベーシックセル換算)

バウンダリースキャンブロック	ゲート数
TAP コントローラ+雑ゲート	約 1000 (BC)
入力端子	ノーマルセル使用時 : 約 30 (BC/端子) オブザーブ専用セル使用時 : 約 15 (BC/端子)
2-state 出力端子	約 35 (BC/端子)
3-ステート出力端子	約 65 (BC/端子)
双方向端子	約 95 (BC/端子)

3.3.3 お客さま設計にてバウンダリースキャン (JTAG) 回路挿入される場合

お客さまにて JTAG 回路挿入する場合、以下の設計ルールを考慮いただくようお願いします。

(1) DC テスト・AC テスト容易回路との共存禁止

セイコーエプソン推奨のテスト容易回路との共存はできません。バウンダリースキャンに対応する場合には、推奨 DC テスト・AC テスト回路の挿入はできません。

外部端子に使用できる文字列

外部端子名は、BSDL フォーマットのルールにより、以下の制約があります。

- ① 使用可能なキャラクタは、英数字 (a~z、A~Z、0~9) と “_” (アンダーバー) のみ。
- ② 大文字と小文字の区別はされない。(CLK と clk は同一と見なされます)
- ③ 先頭文字は英字にする。(悪い例 OCLK、_CLK)
- ④ アンダーバーは続けて使用しない。(悪い例 SYS_CLK)
- ⑤ 文字列がアンダーバーで終了しない。(悪い例 CLK_)

(2) 専用外部端子の準備

バウンダリースキャン回路には、必ず 5 本の専用外部端子が必須です。以下のルールに基づいた外部端子挿入を行ってください。

① クロック (TCK)

バウンダリースキャン回路用のクロック用端子。入力バッファを用意し、その出力ポートは、どこにも接続しない。

② モードセレクト (TMS)

バウンダリースキャン回路用のモードセレクト用端子。入力バッファを使用し、その出力ポートは、どこにも接続しない。また、この時使用する入力バッファは、プルアップ付き入力バッファを使用する。

③ データ入力 (TDI)

バウンダリースキャン回路用のスキャンデータ入力端子。入力バッファを使用し、その出力ポートは、どこにも接続しない。また、この時の入力バッファはプルアップ付き入力バッファを使用する。

④ データ出力 (TDO)

バウンダリースキャン回路用のスキャンデータ出力端子。3-ステート出力バッファを使用し、その入力ポートは、プルダウンしておく。

⑤ リセット (TRST)

バウンダリースキャン回路用の非同期リセット用端子。入力バッファを使用し、その出力ポートは、どこにも接続しない。また、この時使用する入力バッファは、プルアップ付き入力バッファを使用する。

第3章 テスト回路設計上の注意

```
IBC U1 (.PAD(TCK)); // IBC: ノーマル入力セル
IBCP1 U2 (.PAD(TMS)); // IBCP1: プルアップ付き入力セル
IBCP1 U3 (.PAD(TDI));
IBCP1 U4 (.PAD(TRST));
TB1 U5 (.PAD(TDO), .A(1'b0), .E(1'b0)); // TB1: 3-state 出力セル
```

図 3-2 専用端子記述の例 (verilog 記述)

(3) 階層ブロックについて

ネットリストの階層ブロックは、以下のような構成としてください。また、バウンダリースキャン挿入後は TAP コントローラ等の階層ブロックが追加されます。

- I/O セルはトップブロックに配置してください。
- その他の論理は、できるだけ一階層下のサブブロックに納めてください。

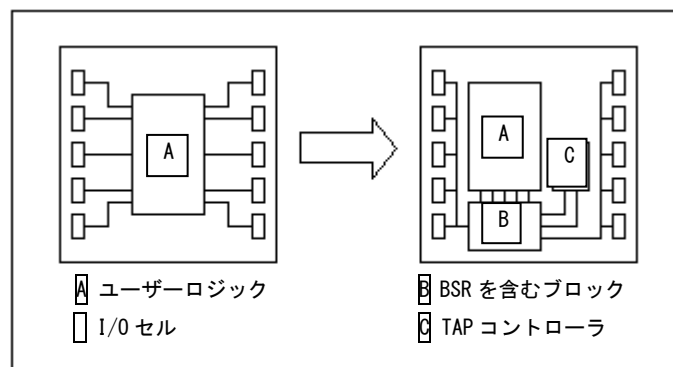


図 3-3 階層ブロック構成イメージ

(4) I/O セル種について

下記 I/O セル種を使用している場合、対応できません。

- テストモード付き I/O バッファ
- Gated 入力バッファ
- オープンドレイン出力バッファ

(5) アナログ信号を扱う外部端子

発振回路用入出力端子やアナログ信号を扱う外部端子にはバウンダリースキャンセルを挿入しません。

(6) パッケージのピンとパッドの制約

パッケージのピンとチップ上のパッドが一対一に接続されている必要があります。パッケージの一つのピンとチップ上の複数個のパッドを接続した場合（マルチボンディング）や複数個のパッド同士を接続した場合（マルチパッド）は対応できません。

3.4 RAM のテスト回路：メモリ BIST (Built in Self Test)

セイコーエプソンでは内蔵メモリのテスト回路として自己診断回路であるメモリ BIST (Built In Self Test) を用意しています。

セイコーエプソンでは、お客さまより提出していただいた RTL またはゲートレベルのネットリストに対してメモリ BIST を挿入します。

第4章 テストパターン作成上の注意

テストパターン作成の留意点について記述しています。

4.1 サインオフ・シミュレーション向けテストパターンの作成

4.1.1 テストパターンの形式

RTL シミュレーションにて、結果が得られましたら、その ASIC のプライマリ入出力信号の波形を VCD (Value Change Dump) で提出していただきます。なお、VCD の形式につきまして、Extended VCD などの拡張された VCD は扱えません。外部双方向端子を使用する場合は、イネーブル信号の波形も出力して下さい。なお、セイコーエプソンのサインオフ・シミュレーションでは、HDL で記述されたテストベンチを使うことはできません。

セイコーエプソンでは、VCD を APF (Advanced Press Format : セイコーエプソン独自テストパターン形式) に変換して、シミュレーションを行います。図 4-1 は、VCD から APF への変換イメージです。各波形を基準となるサイクルタイム毎にサンプリングした信号値に置き換えます。APF のサンプルを図 4-2 に示します。

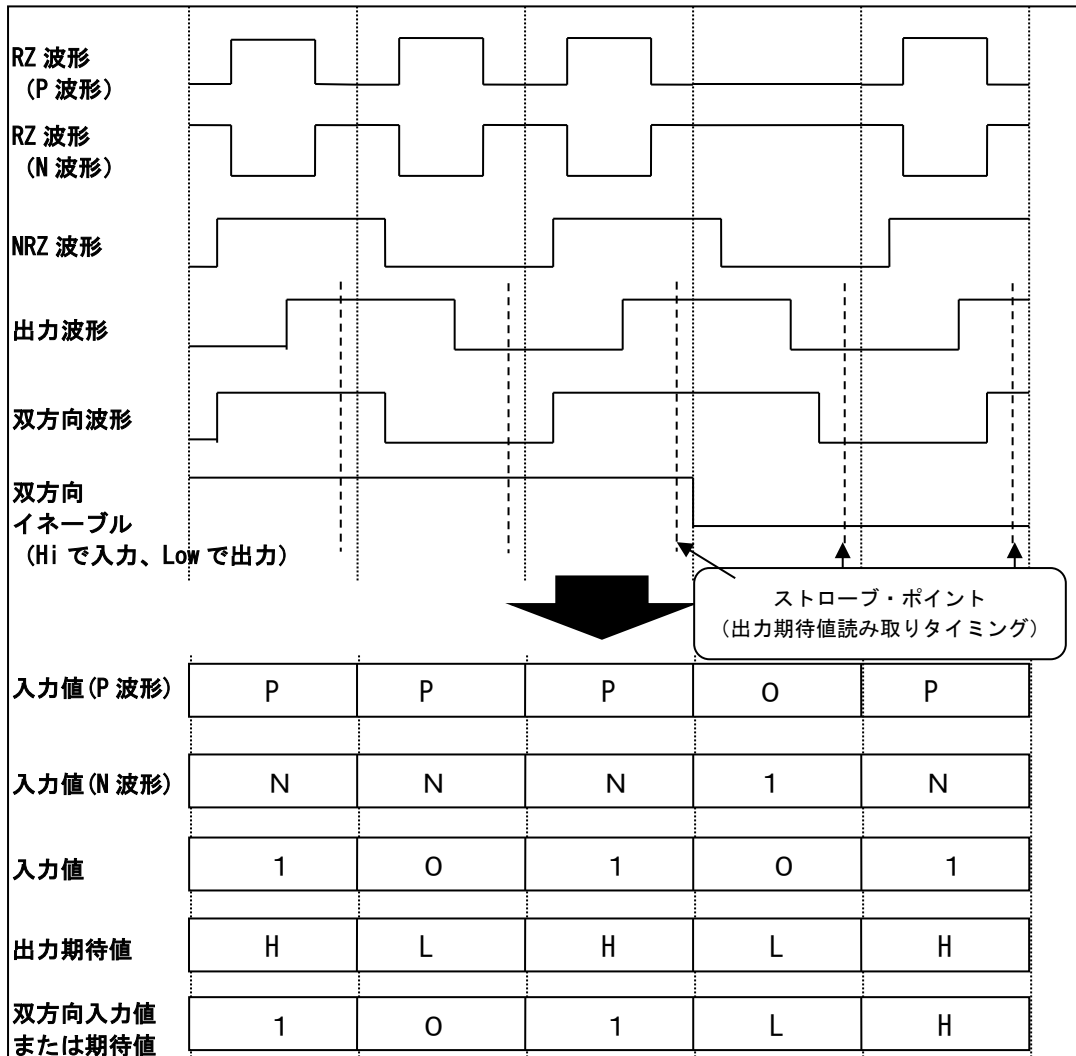


図 4-1 波形から APF への変換イメージ


```

# Create by Netlist Rule Check Utility at Fri Oct 6 11:42:55
$DESIGN SAMPLE

$RATE 100000 ← レート (サイクル) 100ns
$RESOLUTION 0.001ns
$STOROB 85000 ← ストロブ・ポイント 85ns

#$HEX
#$ENDHEX

$IIOCONT
inst01.ZO E0 BID1
inst02.ZO E0 BID2 ← 双方向信号をコントロールしている内部ノード
$ENDIIOCONT

$NODE
RST I 10000 ← 入力遅延 10ns の入力端子
CLK P 50000 90000 ← 入力遅延 50ns、幅 40ns の R Z 波形 (P 波形) 入力端子
XCLK N 50000 90000 ← 入力遅延 50ns、幅 40ns の R Z 波形 (N 波形) 入力端子
INPUTB IU 0
INPUTC IU 0 ← 入力遅延 0ns のプルアップ付き入力端子
#
OUTA 0 ← 出力端子
OUTB 0
#
BID1 B 0 ← 入力遅延 0ns の双方向端子
BID2 B 30000
#
$ENDNODE

$PATTERN
# RCXII00BB
# SLCNNUUII
# TKLPPTDD ← 入力/出力信号名 (コメント行)
# KUKAB12
# TT
# BC
#
# IPNII0BB
#
# 0 ← イベント番号 (パターンの周期番号)
# 1 ← 信号値
# 2
# 3
# 4
$ENDPATTERN

注: 信号中に使える文字
O: 入力 Low 1: 入力 High P: P型 R Z 波形入力 N: N型 R Z 波形入力
L: 出力 Low H: 出力 High Z: 出力ハイインピーダンス X: Unknown

```

図 4-2 APF のサンプル

第4章 テストパターン作成上の注意

4.1.2 テストパターンの制約

セイコーエプソンでは、サイクルベースでのシミュレーションを行っています。つきましては、以下の制限を満足するようにして下さい。入力信号および出力信号のタイミングを厳密にチェックしたいときは、STAによる解析が必要となります。

- (1) 同一VCD内では、クロックの周期やパルス幅を変化させないで下さい。
- (2) 同一VCD内では、クロック間のスキューや、クロックと入力信号の関係を変化させないで下さい。サイクル単位における入力遅延を一定にして下さい。
- (3) 同一VCD内に、周期の異なるクロックが存在する場合、もっとも早いクロックの周期を基準サイクルタイムとし、他クロックの周期は基準サイクルタイムの倍数となるようにして下さい。
- (4) P波形クロックを止めるときは0入力状態にして下さい。
- (5) N波形クロックを止めるときは1入力状態にして下さい。
- (6) 不定(X)や、ハイインピーダンス状態(Z)を入力することはできません。

図4-3に使用できない入力波形の例を示します。

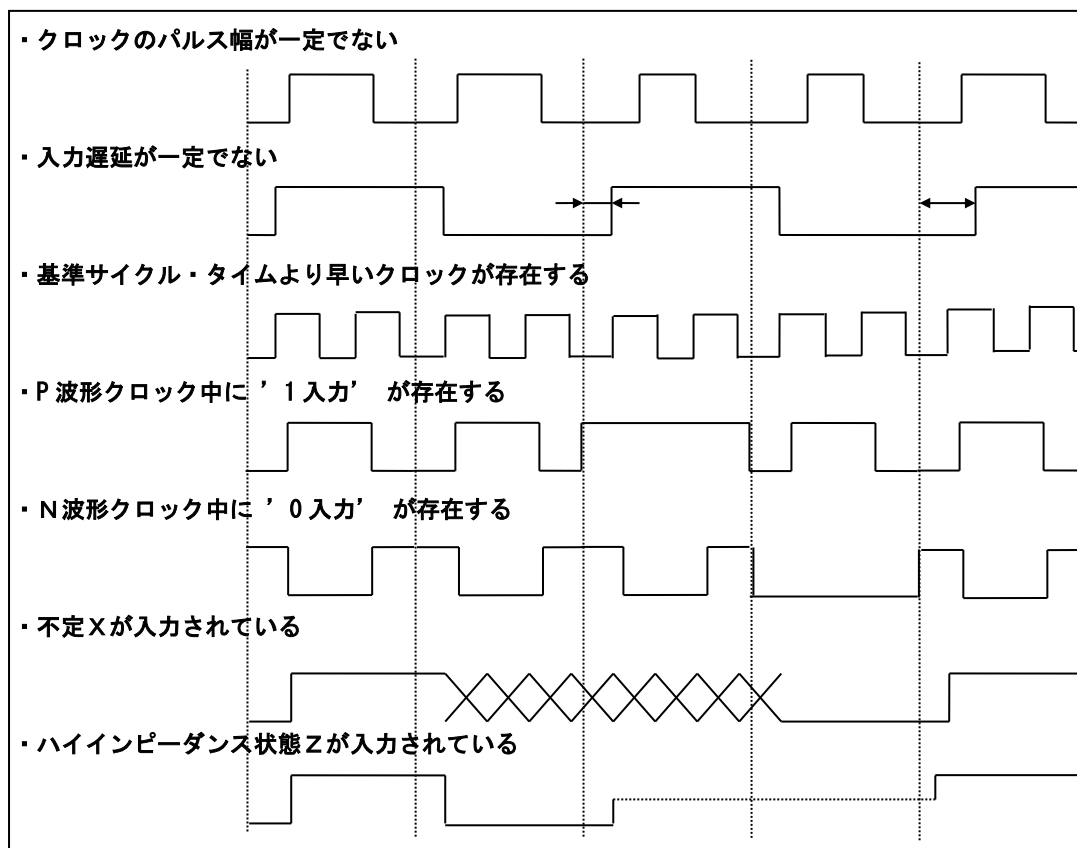


図4-3 使用できない入力波形の例

4.1.3 外部双方向端子のイネーブル信号

外部双方向端子を使用する場合は、イネーブル信号の波形を合わせて出力して下さい。その際、一つの外部双方向端子は、必ず一つのイネーブル信号で動作するようにして下さい。RTL内の双方向イネーブル信号が複数信号の論理で構成されている場合（図4-4）は、一つの信号に置き換えて下さい（図4-5）。

```
inout data;
wire data, cs, rd;
.....
assign data = (cs & rd) ? outdata : 1'bz;
```

図4-4 複数信号の論理で構成された双方向イネーブル

```
inout data;
wire data, cs, rd, dataen;
.....
assign dataen = cs & rd;
assign data = dataen ? outdata : 1'bz;
```

図4-5 一つの信号に置き換える

4.2 製品出荷テスト向けのテストパターン作成

お客さまより受領したテストパターンを基に、セイコーエプソンにて製品の出荷テスト用のテストパターンを作成します。IC テスタの能力などによって制約があり、IC の仕様確認用のテストパターンを以下の制約に合うよう、変更して作成いたします。この際、テストパターンが非常に長い場合や、テストパターンの本数が非常に多い場合など、IC テスタへの適用が困難な場合には、テストパターンの調整を行うことがありますのでご了承ください。

製品出荷テスト向けに変換する必要が無いテストパターンや、製品出荷テスト専用のテストパターンがある場合は、弊社営業担当までご連絡下さい。

4.2.1 使用可能な入力波形

テストパターンは、通常 0/1 の集まりですが、シミュレーション実行時や IC テスタでのテスト時においては、入力波形に遅延を与えたり、パルスを作成したりすることができます。テストパターン作成時に使用できる波形には次の 2 つがあります。

(1) NRZ (Non Return to Zero)

通常はクロック以外の信号に使用します。1 レート内で 1 回変化することができ、遅延を与えることができます。

(2) RZ (Return to Zero)

クロック信号などに使用します。1 レート内で正または負のパルスを発生することができるので、効率よくクロック信号を作ることができます。NRZ 同様、遅延を与えることができます。

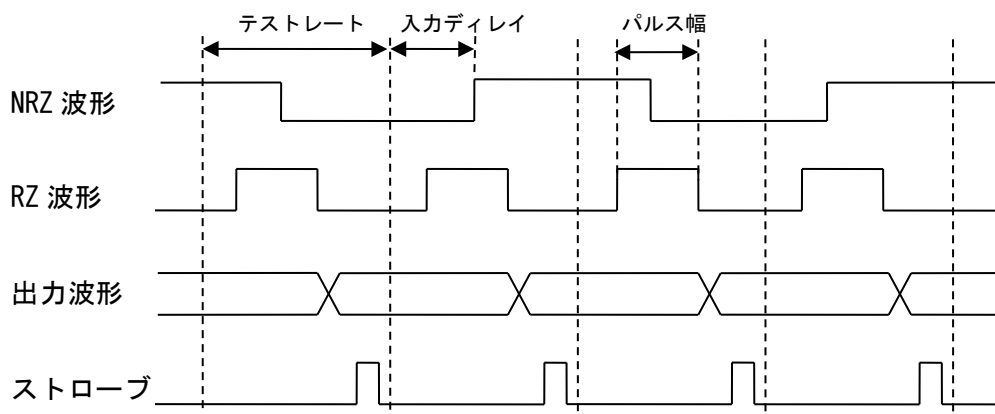


図 4-6 タイミング設定上の制限

4.2.2 テストパターンの各種制限

(1) テストレートおよびイベント数

以下に、テストレートと、イベント数の制限を記します。

テストレート： 100ns 以上、1ns 単位（標準：200ns）

テストパターン1本あたりのイベント数： 256K イベント以内

テストパターンの本数： 30本以内

テストパターンの総イベント数： 1M イベント以内

(2) 入力ディレイ

以下に、入力ディレイに関する制約を記します。

① 入力ディレイの範囲

入力ディレイの値は、以下の範囲で与えて下さい。また、ストロブ・ポイントの制限については「4.2.2 (5) ストロブ」を参照して下さい。

$0\text{ns} \leq \text{入力ディレイ値} < \text{ストロブ・ポイント}$

② 入力ディレイの位相差

入力ディレイに位相差を設ける場合は、3ns 以上の差をつけて下さい。

③ 入力ディレイの種類

入力ディレイの値は、ひとつのテストパターンで、8種類以内にして下さい。ここで、0ns 遅延も1種類と数えます。また、ディレイ値が同じでも、波形 (RZ と NRZ) やパルス幅が異なれば、異なる種類として数えます。

(3) パルス幅

RZ 波形のパルス幅は、15ns 以上取って下さい。

(4) 入力波形フォーマット

入力波形は、0、1、P、N の値を取ることができます。ここで、P と N は、RZ 波形におけるパルスの入力を表しています。また、P と N の値はひとつのテストパターン内で、同一の端子に対して 0 と P または、1 と N の組み合わせ以外を扱うことができません。

さらに、双方向端子におきましては、ひとつのテストパターン内で、出力状態が存在しない場合のみ、RZ 波形を入力することができます。

(5) ストロブ

ストロブに関する制限は以下のとおりです。

① ストロブはテストパターンごとに1種類のみ定義可能。

② ストロブの最小値は、すべてのイベントにおいて、与えられた入力信号によってすべての出力信号が変化し終わってから、30ns 以上後にする。

③ ストロブの最大値は、(テストレート-15ns) よりも小さくする。

④ ストロブは、1ns 単位で設定する。

第 4 章 テストパターン作成上の注意

4.2.3 DC・AC テストパターンについて

DC および AC テストについては、挿入させていただいたセイコーエプソン推奨テスト回路に対して DC および AC テストパターン作成を、セイコーエプソンにて行います。

お客さまにて DC・AC テスト回路挿入される場合は、「[付録 A3. DC・AC テストパターン](#)」を参照いただき、テストパターン作成をお願いします。

4.2.4 ハイインピーダンス状態の扱いに関する注意点

入力端子のハイインピーダンス状態は、動作を保証できないため、シミュレーション時に禁止事項としています。

また、ハイインピーダンスに関する対策としまして、プルアップ／プルダウン抵抗付きの I/O セルをリリースしています。ただし、下記の理由からシミュレーションにおいてプルアップ／プルダウン抵抗については伝播遅延を考慮していません。したがって、正確な動作をシミュレーションできないことから、プルアップ／プルダウン抵抗付きの双方向端子の入力モードにおける未入力状態も、シミュレーション時に禁止事項としています。

〈プルアップ／プルダウン抵抗の伝播遅延を考慮していない理由について〉

- (1) 外部負荷容量により遅延が大きく変動するため
- (2) プルアップ／プルダウン抵抗は、ハイインピーダンス状態によるフローティングゲートを回避することのみを目的としているため

上記内容を、シミュレーション前にツールによりテストパターンのチェックを行います。ハイインピーダンス状態を表す“Z”が検出された場合には、テストパターンの修正が必要です。

この時、前記理由からプルアップ／プルダウン抵抗付きの双方向端子での“Z”も警告しています。また、オープンドレインの双方向端子も同様です。

〈対策〉

テストパターンのチェックで双方向端子のすべての“Z”をエラーで警告します。(3-ステート、オープンドレイン等の出力端子で表現される“Z”は除きます)

このエラーを回避する手段として、前記双方向端子の“Z”はプルアップ抵抗付きであれば“1”を、プルダウン抵抗付きであれば“0”に置き換えるユーティリティプログラムをご用意しています。

双方向端子において、“X”が表現されている時間に入力モードとなった場合は、プルアップ／プルダウン抵抗の有無に関わらず、シミュレーションでは“X”を入力信号として伝播し、シミュレーション結果には“?”を表示します。この“?”は修正いただき、改めてシミュレーションを行います。

表 4-1 シミュレーションにおける双方向端子の信号の扱いについて

入力パターン	入出力モード	シミュレーション	シミュレーション結果 (出力パターン)
“X”	入力モード	“X”	“?”
“1”、“H”	入力モード	“1”	“1”
“0”、“L”	入力モード	“0”	“0”

第 5 章 回路設計上の注意

発振回路、外部バスとの競合防止、メタステーブル対策での留意点について記述しています。

5.1 発振回路

5.1.1 発振回路の構成

S1L50000 シリーズでは、発振回路を構成するための発振専用セルに、水晶発振用と CR 発振用を用意しています。水晶発振用には常時発振タイプと間欠発振タイプがあります。発振回路構成は使用する発振セルにより以下ようになります。

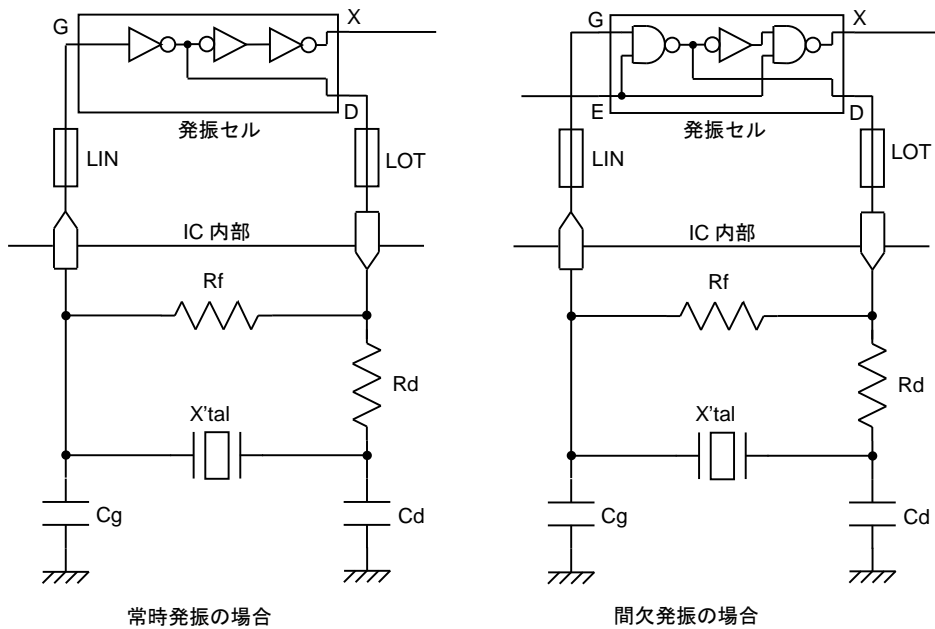


図 5-1 水晶発振回路（内部セルタイプ）

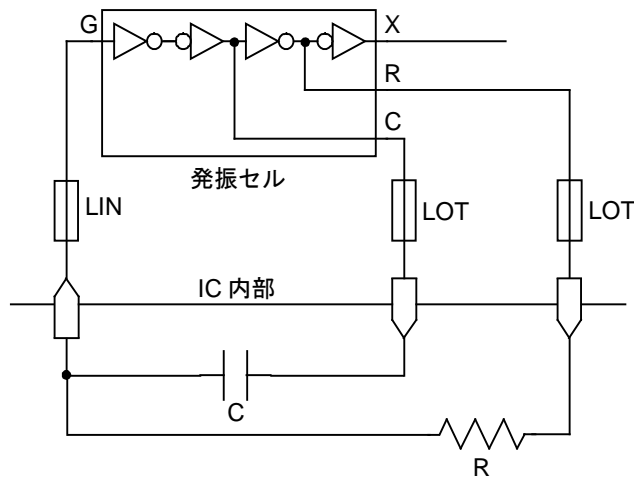


図 5-2 CR 発振回路

5.1.2 発振回路を使用する場合の注意

(1) 端子配列

- ① 発振回路の入出力端子は隣接させて配置し、その両側を電源端子 (V_{DD} 、 V_{SS}) で挟んで下さい。
- ② 発振回路の入出力端子は、他の出力端子から離して配置して下さい。特に、発振波形と同相あるいは逆相の出力からは離して配置して下さい。このような出力はパッケージの対辺に配置するようにして下さい。
- ③ 発振回路の入出力端子は、クロックなど高速で動作する入力端子から離して配置して下さい。
- ④ 発振回路の入出力端子はできるだけパッケージの辺の中心に配置して下さい。
- ⑤ 発振回路を複数搭載する場合は、干渉を避けるために発振回路は離して配置して下さい。
- ⑥ BGA 等エリアレイパッケージを使用する場合の端子配列は弊社営業担当までお問い合わせ下さい。

(2) 発振セル選択の目安

発振可能周波数は、およそ数十 kHz～数十 MHz 程度です。詳細は弊社営業担当までお問い合わせ下さい。

(3) 外付け抵抗、コンデンサー値の設定

発振特性は、その回路の構成要素 (IC、 X' tal、 R_f 、 R_d 、 C_g 、 C_d 、基板) に依存します。したがって、外付けの R_f 、 R_d や C_g 、 C_d の値は、実際の基板上に各部品を実装させた状態で十分な評価を行い最適なものを選んで下さい。

(4) 保証のレベル

発振特性は、その回路の構成要素 (IC、 X' tal、 R_f 、 R_d 、 C_g 、 C_d 、基板) に依存します。したがって、発振動作・特性についてはセイコーエプソンでは保証できません。発振特性についてはお客さまにおいて ES サンプルで十分な評価を行って確認していただく必要があります。

(5) IC 内部回路へのクロック信号について

生成されるクロック信号 (発振セル X の信号) の波形を予め特定することは困難であるため、クロックの周波数以外は論理シミュレータで正確に扱うことができません。例えば、実際の IC でのクロックデューティはシミュレーション結果と異なります。

よって、生成されたクロック信号の立ち上がりと立下りの両方を利用した回路を使用することは避けて下さい。シミュレータでの検証結果と一致しないような不具合を持った回路ができる可能性があります。生成されたクロック信号の立ち上がりあるいは立下りのいずれか一方を利用した回路を使用して下さい。

5.1.3 発振セルの RTL 記述について

発振セルの RTL 記述については、「[第 2 章 2.6 発振セルの記述](#)」を参照して下さい。

5.2 内部バスの構成

バス回路は 3-ステート論理回路で構成され、バスの制御信号を操作することによって、バスに接続されている出力の 1 つをアクティブ状態にして（他の出力はハイインピーダンス状態）、1 本の伝送信号線を時間ごとに分割して共有するものです。

ここでは、内部 3-ステートバッファを使用し、構築する内部バス回路の注意点について記します。

- (1) バスセルはバス回路以外に使用できません。（バスセルは表 5-1 を参照して下さい）
- (2) バス回路を構成する場合は、バスラッチセル BLT* をバスに付加して下さい。
- (3) 1 本のバスに接続されるバスセルの中で、アクティブ状態（0 または 1）にできるものは 1 出力だけで他のバスセルの出力は必ずハイインピーダンス状態（Z）でなければなりません。^{*1}
- (4) 1 本のバスに接続できるバスセルはファンアウト制限値以内として下さい。^{*2}
- (5) バス回路はファンアウトの関係からも伝播遅延時間が大きくなる傾向にあり、高速動作には不向きとなります。^{*2}
- (6) バスラッチセルにより保持されるデータは、フローティング防止のみとし、論理信号として使用しないで下さい。^{*3}
- (7) テストパターン作成時においてバスの初期状態が容易に定まるように作成して下さい。^{*4}
- (8) 1 サイクル内で、バスの制御信号切り換えは 1 回のみとして下さい。

注) *1： 1 本のバスに接続されるバスセルの中で、同時に複数のバスセルがアクティブ状態（0 または 1）になる状態では、出力の電位が不安定な状態になるとともに、 $V_{DD} \sim GND$ 間に定常的に貫通電流が流れてしまいますので、この制限事項を必ず守って下さい。

*2： 内部バス上の負荷が過大すぎますと配線長の増大、接続先の増加により、信号の立ち上がり、立ち下がり時間が増加し、論理シミュレーションでの遅延時間と実デバイスの遅延時間に差が生じやすくなります。

*3： 1 本のバスに接続されるバスセルが、すべてハイインピーダンス状態（Z）となっても、バスラッチセルによりデータは保持されますが、動作時に影響を与えぬように保持能力は抑えてあります。保持されているデータ出力を有効なデータとして使用しないで下さい。

*4： バスの制御性が高まるようテスト端子を付加するなどし、テスト性を向上するように構成して下さい。

表 5-1 バスセル一覧

セルタイプ	セル名		
	1BIT	4BIT	8BIT
Bus latches	BLT1	BLT4	BLT8
Bus driver	TSB、TSBP	T244H	T244
Inverting bus driver	TSV、TSVP	T240H	T240
Transparent latches with reset and 3-state output	—	T373H	T373
D-flip flops with reset and 3-state output	—	T374H	T374
1-bit RAM	RM1	—	—

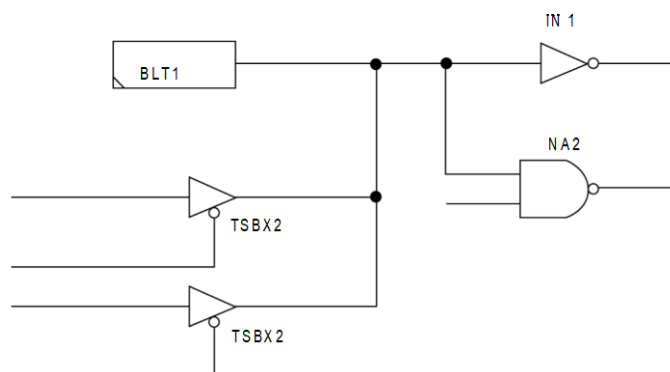


図 5-3 バスセル回路構成例

5.3 メタステーブル (Metastable)

FF やラッチセルの入力信号において、クロックとデータのセットアップ、ホールドタイム、クロックとセットあるいはリセットのリカバリー、リムーバルタイムのタイミング規格に違反している場合、FF やラッチセルの出力信号は、ある一定の時間、発振または、“HIGH” レベルでも “LOW” レベルでもない中間電位になる可能性があります。このような出力信号の不安定な状態をメタステーブル (Metastable) と呼びます。

メタステーブル状態は、ある時間経過後に終了し、出力は “HIGH” レベルあるいは “LOW” レベルの状態に確定します。しかし、確定したレベルはデータの入力のレベルには依存しませんので、出力は不定状態となります。

セットアップ／ホールド、リカバリー／リムーバルのタイミングの規格が満足できない場合は、回路全体にこのような不安定な状態が伝播しないような回路上の対策をとって下さい。

セットアップ／ホールド、リカバリー／リムーバルタイムの規格値を満足できなかった場合のメタステーブル時間の目安値を、次のように定義しています。

$$\text{メタステーブル時間} = T_{pd} \times 6$$

T_{pd} : FF、ラッチセルのクロック、セット、リセット信号のアクティブエッジから出力変化までの遅延時間

なお、論理シミュレーションではこのようなメタステーブル状態での遅延値は考慮されませんので、必ずタイミング規格を満足した設計をして下さい。

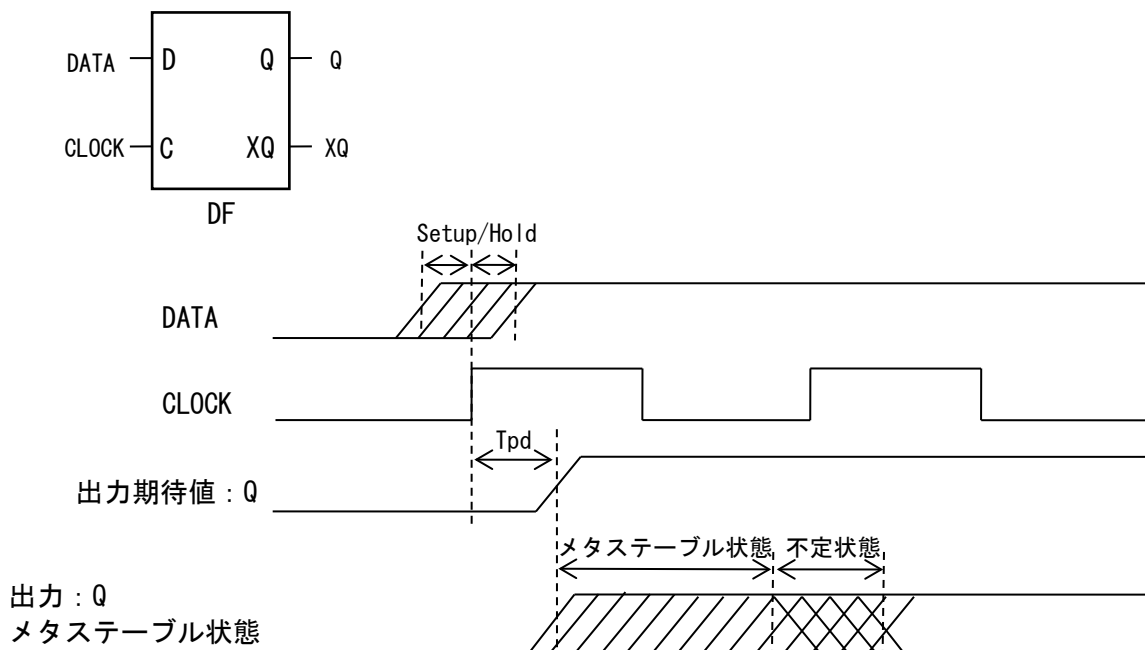


図 5-4 DF のメタステーブル状態

第 6 章 入出力バッファの種類と使用上の注意

S1L50000 シリーズの入力バッファ、出力バッファ、双方向バッファの構成方法を記述していません。S1L50000 シリーズでの入出力バッファは、2 電源で使用方法と、単一電源で使用方法の 2 通りの使用方法がありますので注意して下さい。

6.1 入出力バッファの種類及び選択

入カインタフェースレベル、シュミットトリガ入力の有無、プルアップ／プルダウン抵抗の有無、出力駆動能力、ノイズ対策対応の有無等によって、多種多様な入出力バッファを用意しています。また、電源電圧よりも高い電圧の信号を入力可能な、入力レベルシフトと Fail-Safe バッファも用意しています。

出力駆動能力およびプルアップ／プルダウン抵抗の電気的特性については、「[第 1 章 1.3 電気的特性・規格](#) 表 1-6～表 1-7」および「[付録 A4 入出力バッファ特性グラフ](#)」を参照して下さい。

6.1.1 入出力バッファの選択

S1L50000 シリーズでは、入出力バッファ選択の為のツールを用意しています。以下 URL を参照して下さい。

デザインガイド補足資料：S1L50000 シリーズ入出力バッファの一覧表
www.epson.jp/prod/semicon/products/asic/gatearray/s1l50k_io.htm

6.1.2 バスホールド機能つき入出力バッファ

出力端子あるいは双方向端子がハイインピーダンス状態にならないよう、出力端子のデータを保持するバスホールド機能付きの入出力バッファを用意しています。

ただし、通常の動作に影響を与えないようにバスホールド回路の保持能力は抑えてありますので、保持されているデータ出力を有効なデータとして使用しないで下さい。外部から何らかのデータが供給された場合には容易にデータは変化します。

バスホールド回路の出力保持電流につきましては、「[第 1 章 1.3 電気的特性・規格](#) 表 1-8～表 1-10」を参照して下さい。

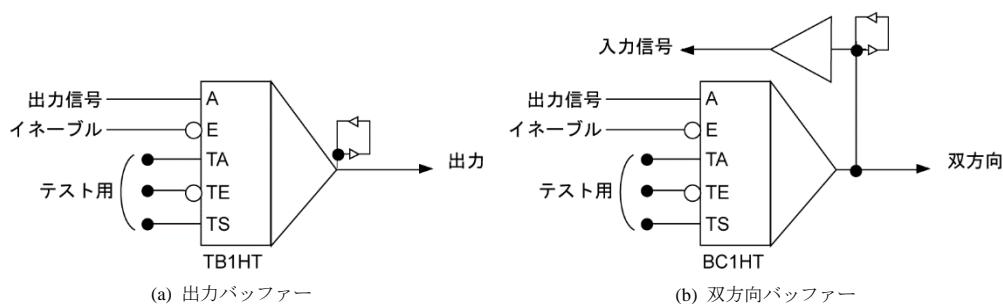


図 6-1 バスホールド回路シンボルの一例

6.2 2 電源使用上の注意

2 電源を供給することにより、入出力バッファごとに 5.0V、3.3V のいずれかの信号とのインタフェースを可能にしています。内部セル領域は 3.3V の単一電源で動作します。

6.2.1 2 電源対応の方法

内部動作電圧と異なる電圧の信号をインタフェースすることが可能です。異電源系とインタフェースする方法は以下の 2 通りがあります。

- 単一電源の場合

単一電源では、N チャンネルオープンドレインタイプのバッファまたは、Fail-Safe バッファを使用することにより、電源電圧より高い電圧の信号を入力することができます。しかし、電源電圧より高い電圧の信号を出力することはできません。この場合 N チャンネルオープンドレインタイプのバッファと外付けのプルアップ抵抗を組み合わせることで対応します。

- 2 電源を供給する場合

専用の 2 電源対応入力バッファを使用することにより、内部動作電圧より高い電圧の信号を入力することができます。2 電源用出力バッファを使うことにより内部動作電圧より高い電圧の信号を出力することも可能です。

6.2.2 2 電源使用時の電源

異なる 2 種類の電源を与える場合には、 HV_{DD} と LV_{DD} の 2 つの電源セルを用います。 HV_{DD} は HV_{DD} 系の入出力バッファの電源として使い、 LV_{DD} は LV_{DD} 系入出力バッファと内部セル用に使用します。電源電圧は常に次式を満たす必要があります。

$$HV_{DD} \geq LV_{DD}$$

$HV_{DD} < LV_{DD}$ となった場合の動作保証はできませんので注意して下さい。動作条件として次の条件を推奨します。

$$HV_{DD} = 5.0V、LV_{DD} = 3.3V$$

6.2.3 電源の投入・切断について

(1) 電源の投入・切断順序

2 電源使用チップの場合の電源投入・切断の順序は以下のとおりです。

電源投入時： $LV_{DD} \rightarrow HV_{DD}$ (I/O 内部) \rightarrow 入力信号印加
電源切断時： 入力信号印加 $\rightarrow HV_{DD}$ (I/O 内部) $\rightarrow LV_{DD}$

(2) 注意事項

注意 1： LV_{DD} が切断されている状態で HV_{DD} のみを継続的（1 秒以上）に印加することは、チップの信頼性上の問題と誤動作の原因となることがありますので避けて下さい。

また、1 秒以内であっても、下記のような問題を引き起こす事があります。

- ① この期間は端子状態が不定となり、動作を保証することができません。そのため、その端子に接続された外部デバイスとの出力ショートや外部デバイスの誤動作を起こす原因となりますので、ご注意ください。
- ② この期間は HV_{DD} 系の回路が不定状態となり、 HV_{DD} 系に定義できない貫通電流が流れる事があります。そのため、外部電源の電流容量不足によって起動できない原因となる場合がありますのでご注意ください。

注意 2： HV_{DD} をオフ状態からオン状態へ復帰させる場合には、電源ノイズ等の影響により、内部回路の状態を保証できませんので、電源投入後は必ず回路の初期化を行って下さい。

6.3 2 電源対応の入出力バッファ

S1L50000 シリーズで 2 電源を供給する場合には 2 電源対応専用の入出力バッファを使用してください。（単一電源用の入出力バッファは使用できません。）

また、単一電源用の入出力バッファと 2 電源対応専用の入出力バッファを混在で使用することはできません。

(1) HV_{DD} 系の入出力バッファ

HV_{DD} 系の入出力バッファには 5.0V（または 3.3V）の信号を入力する入力バッファ、5.0V（または 3.3V）振幅の信号を出力する出力バッファ、および 5.0V（または 3.3V）の信号を入力し、5.0V（または 3.3V）振幅の信号を出力することのできる双方向バッファがあります。

(2) LV_{DD} 系の入出力バッファ

LV_{DD} 系の入出力バッファには 3.3V の信号を入力する入力バッファ、3.3V 振幅の信号を出力する出力バッファ、および 3.3V の信号を入力し、3.3V 振幅の信号を出力することのできる双方向バッファがあります。

LV_{DD} 系の双方向バッファには HV_{DD} 系の信号を入力すると LV_{DD} 系のバッファ内の保護ダイオードに過大な電流が流れ、品質を低下させることとなりますので LV_{DD} 以上の電圧を印加しないでください。（この場合は、「[6.5 Fail-Safe 入出力バッファ](#)」で述べる Fail-Safe 入出力バッファを使用してください。）

6.3.1 入力バッファ

(1) HV_{DD} 系の入力バッファ

HV_{DD} 系の入力バッファは、HV_{DD} 系の信号を LV_{DD} 系の信号に変換してから MSI セル（内部セル領域）へ信号を供給します。

表 6-1 に HV_{DD} 系の入力バッファのプルアップ、プルダウン抵抗値を示します。

表 6-1 HV_{DD} 系プルアップ、プルダウン抵抗値

プルアップ/プルダウン抵抗の種類	抵抗値		単位
	HV _{DD} =5.0V	HV _{DD} =3.3V	
Type 1	60	100	kΩ
Type 2	120	200	kΩ

表 6-2 に HV_{DD} 系の入力バッファの一覧を示します。

表 6-2-1 HV_{DD} 系入力バッファ一覧 (HV_{DD}=5.0V)

セル名*1	入力レベル	プルアップ/プルダウン抵抗*2 *3の有無
HIBC HIBCP# HIBCD#	CMOS	なし プルアップ抵抗 (60kΩ、120kΩ) プルダウン抵抗 (60kΩ、120kΩ)
HIBT *4 HIBTP# *4 HIBTD# *4	TTL	なし プルアップ抵抗 (60kΩ、120kΩ) プルダウン抵抗 (60kΩ、120kΩ)
HIBH HIBHP# HIBHD#	CMOS シュミット	なし プルアップ抵抗 (60kΩ、120kΩ) プルダウン抵抗 (60kΩ、120kΩ)
HIBS *4 HIBSP# *4 HIBSD# *4	TTL シュミット	なし プルアップ抵抗 (60kΩ、120kΩ) プルダウン抵抗 (60kΩ、120kΩ)
HIBPA *4 HIBPAP# *4 HIBPAD# *4	PCI-5V	なし プルアップ抵抗 (60kΩ、120kΩ) プルダウン抵抗 (60kΩ、120kΩ)

注) *1 : 「#」は 1 または 2 で、1 は Type 1、2 は Type 2 の抵抗値に対応しています。

*2 : プルアップ/プルダウンの抵抗値の詳細は「[表 1-7](#)」および「[付録 A4.1.6](#)」を参照下さい。

*3 : 入力バッファ特性のグラフは「[付録 A4.1.2](#)」を参照下さい。

*4 : V_{DD}=5.0V 専用です。

第6章 入出力バッファの種類と使用上の注意

表 6-2-2 HV_{DD}系入力バッファ一覧 (HV_{DD}=3.3V)

セル名 ^{*1}	入力レベル	プルアップ/プルダウン抵抗 ^{*2} ^{*3} の有無
HIBC HIBCP# HIBCD#	LVTTTL	なし プルアップ抵抗 (100kΩ、200kΩ) プルダウン抵抗 (100kΩ、200kΩ)
HIBH HIBHP# HIBHD#	LVTTTL シュミット LVTTTL シュミット LVTTTL シュミット	なし プルアップ抵抗 (100kΩ、200kΩ) プルダウン抵抗 (100kΩ、200kΩ)
HIBPB HIBPBP# HIBPBD#	PCI-3V PCI-3V PCI-3V	なし プルアップ抵抗 (100kΩ、200kΩ) プルダウン抵抗 (100kΩ、200kΩ)

注) *1: 「#」は1または2で、1はType 1、2はType 2の抵抗値に対応します。

*2: プルアップ/プルダウンの抵抗値の詳細は「[表 1-7](#)」および「[付録 A4.2.7](#)」を参照下さい。

*3: 入力バッファ特性グラフは「[付録 A4.2.2](#)」を参照下さい。

表 6-2-3 HV_{DD}系入力レベルシフター一覧 (HV_{DD}=5.0V)

セル名 ^{*1}	入力レベル	プルアップ/プルダウン抵抗 ^{*2} の有無
HIDC HIDCD#	CMOS CMOS	なし プルダウン抵抗 (60kΩ、120kΩ)
HIDH HIDHD#	CMOS シュミット CMOS シュミット	なし プルダウン抵抗 (60kΩ、120kΩ)

注) *1: 「#」は1または2で、1はType 1、2はType 2の抵抗値に対応します。

*2: プルダウンの抵抗値の詳細は「[表 1-7](#)」および「[付録 A4.1.6](#)」を参照下さい。

表 6-2-4 HV_{DD}系入力レベルシフター一覧 (HV_{DD}=3.3V) (5Vを入力可能)

セル名 ^{*1}	入力レベル	プルアップ/プルダウン抵抗 ^{*2} の有無
HIDC HIDCD#	LVTTTL LVTTTL	なし プルダウン抵抗 (100kΩ、200kΩ)
HIDH HIDHD#	LVTTTL シュミット LVTTTL シュミット	なし プルダウン抵抗 (100kΩ、200kΩ)

注) *1: 「#」は1または2で、1はType 1、2はType 2の抵抗値に対応します。

*2: プルダウンの抵抗値の詳細は「[表 1-7](#)」および「[付録 A4.2.7](#)」を参照下さい。

(2) LV_{DD}系の入力バッファ

表 6-3 に LV_{DD}系の入力バッファのプルアップ、プルダウン抵抗値を示します。

表 6-3 LV_{DD}系プルアップ、プルダウン抵抗値

プルアップ/プルダウン抵抗の種類	抵抗値	単位
	LV _{DD} =3.3V	
Type 1	50	kΩ
Type 2	100	kΩ

表 6-4 に LV_{DD}系の入力バッファの一覧を示します。

表 6-4-1 LV_{DD}系入力バッファ一覧 (LV_{DD}=3.3V)

セル名*1	入力レベル	プルアップ/プルダウン抵抗*2 *3の有無
LIBC LIBCP# LIBCD#	LVTTTL	なし プルアップ抵抗 (50kΩ、100kΩ) プルダウン抵抗 (50kΩ、100kΩ)
LIBH LIBHP# LIBHD#	LVTTTL シュミット	なし プルアップ抵抗 (50kΩ、100kΩ) プルダウン抵抗 (50kΩ、100kΩ)
LIBPB LIBBP# LIBPD#	PCI-3V	なし プルアップ抵抗 (50kΩ、100kΩ) プルダウン抵抗 (50kΩ、100kΩ)

注) *1: 「#」は1または2で、1はType 1、2はType 2の抵抗値に対応します。

*2: プルアップ/プルダウンの抵抗値の詳細は「[表 1-7](#)」および「[付録 A4.2.7](#)」を参照下さい。

*3: 入力バッファ特性グラフは「[付録 A4.2.2](#)」を参照下さい。

表 6-4-2 LV_{DD}系入力レベルシフター一覧 (LV_{DD}=3.3V) (5V を入力可能)

セル名*1	入力レベル	プルアップ/プルダウン抵抗*2の有無
LIDC LIDCD#	LVTTTL	なし プルダウン抵抗 (50kΩ、100kΩ)
LIDH LIDHD#	LVTTTL シュミット	なし プルダウン抵抗 (50kΩ、100kΩ)

注) *1: 「#」は1または2で、1はType 1、2はType 2の抵抗値に対応します。

*2: プルダウンの抵抗値の詳細は「[表 1-7](#)」および「[付録 A4.2.7](#)」を参照下さい。

6.3.2 出力バッファ

「[3.1.2 テスト回路付き出力バッファおよび双方向バッファのセル名](#)」で説明しているように、テスト回路付き出力バッファのセル名の末尾は「T」となっています。

(1) HV_{DD} 系の出力バッファ

表 6-5 に HV_{DD} 系の出力バッファにおける I_{OL}、I_{OH} の規格値を示します。

表 6-5 HV_{DD} 系の出力バッファの I_{OL}、I_{OH} の各電圧における規格値

出力電流の種類	I _{OL} *1/I _{OH} *2		単位
	HV _{DD} =5.0V	HV _{DD} =3.3V	
Type S	0.1/-0.1	0.1/-0.1	mA
Type M	1/-1	1/-1	mA
Type 1	3/-3	2/-2	mA
Type 2	8/-8	6/-6	mA
Type 3	12/-12	12/-12	mA
Type 4	24/-12	-	mA

注) *1 : V_{OL}=0.4V です。

*2 : V_{OH}=HV_{DD}-0.4V です。

表 6-6 に HV_{DD} 系の出力バッファの一覧を示します。

表 6-6-1 HV_{DD} 系出力バッファ一覧 (HV_{DD}=5.0V)

Function	I _{OL} /I _{OH} *1 *2	セル名
Normal output	0.1mA/-0.1mA	HOBST
	1mA/-1mA	HOBMT
	3mA/-3mA	HOB1T
	8mA/-8mA	HOB2T
	12mA/-12mA	HOB3T
	24mA/-12mA	HOB4T
Normal Output for PCI	PCI-5V	HOBPAT
Normal output for high speed	12mA/-12mA	HOB3AT
	24mA/-12mA	HOB4AT
Normal output for low noise	12mA/-12mA	HOB3BT
	24mA/-12mA	HOB4BT
3-state output	0.1mA/-0.1mA	HTBST
	1mA/-1mA	HTBMT
	3mA/-3mA	HTB1T
	8mA/-8mA	HTB2T
	12mA/-12mA	HTB3T
	24mA/-12mA	HTB4T
3-state output for high speed	12mA/-12mA	HTB3AT
	24mA/-12mA	HTB4AT
3-state output for low noise	12mA/-12mA	HTB3BT
	24mA/-12mA	HTB4BT
3-state output for PCI	PCI-5V	HTBPAT
3-state output (バスホールド機能付き)	1mA/-1mA	HTBMHT
	3mA/-3mA	HTB1HT
	8mA/-8mA	HTB2HT
	12mA/-12mA	HTB3HT
	24mA/-12mA	HTB4HT
3-state output for high speed (バスホールド機能付き)	12mA/-12mA	HTB3AHT
	24mA/-12mA	HTB4AHT
3-state output for low noise (バスホールド機能付き)	12mA/-12mA	HTB3BHT
	24mA/-12mA	HTB4BHT

注) *1 : V_{OL}=0.4V、V_{OH}=HV_{DD}-0.4V です。

*2 : 出力電流の特性は、A4.1.3 出カドライバ特性グラフを参照下さい。

第6章 入出力バッファの種類と使用上の注意

表 6-6-2 HV_{DD}系出力バッファ一覧 (HV_{DD}=3.3V)

Function	I _{OL} /I _{OH} *1 *2	セル名
Normal output	0.1mA/-0.1mA	HOBST
	1mA/-1mA	HOBMT
	2mA/-2mA	HOB1T
	6mA/-6mA	HOB2T
	12mA/-12mA	HOB3T
Normal output for high speed	12mA/-12mA	HOB3AT
Normal output for low noise	12mA/-12mA	HOB3BT
Normal output for PCI	PCI-3V	HOBPBT
3-state output	0.1mA/-0.1mA	HTBST
	1mA/-1mA	HTBMT
	2mA/-2mA	HTB1T
	6mA/-6mA	HTB2T
	12mA/-12mA	HTB3T
3-state output for high speed	12mA/-12mA	HTB3AT
3-state output for low noise	12mA/-12mA	HTB3BT
3-state output for PCI	PCI-3V	HTBPBT
3-state output (バスホールド機能付き)	1mA/-1mA	HTBMHT
	2mA/-2mA	HTB1HT
	6mA/-6mA	HTB2HT
	12mA/-12mA	HTB3HT
3-state output for high speed (バスホールド機能付き)	12mA/-12mA	HTB3AHT
3-state output for low noise (バスホールド機能付き)	12mA/-12mA	HTB3BHT

注) *1 : V_{OL}=0.4V、V_{OH}=HV_{DD}-0.4V です。

*2 : 出力電流の特性は、「[A4.2.4 出力ドライバ特性グラフ](#)」を参照下さい。

表 6-6-3 HV_{DD}系 N チャンネルオープンドレイン出力バッファ一覧 (HV_{DD}=5.0V)

Function	I _{OL} *1 *2	セル名
Normal output	3mA	HOD1T
	8mA	HOD2T
	12mA	HOD3T
	24mA	HOD4T

注) *1 : V_{OL}=0.4V です。

*2 : 出力電流の特性は、「[A4.1.3 出力ドライバ特性グラフ](#)」を参照下さい。

表 6-6-4 HV_{DD}系 N チャンネルオープンドレイン出力バッファ一覧 (HV_{DD}=3.3V)

Function	I _{OL} *1*2	セル名
Normal output	2mA	HOD1T
	6mA	HOD2T
	12mA	HOD3T

注) *1 : V_{OL}=0.4V です。

*2 : 出力電流の特性は、「[A4.2.4 出力ドライバ特性グラフ](#)」を参照下さい。

(2) LV_{DD}系出力バッファ

表 6-7 に LV_{DD}系出力バッファにおける I_{OL}、I_{OH} の規格値を示します。

表 6-7 LV_{DD}系出力バッファの I_{OL}、I_{OH} の各電圧における規格値

出力電流の種類	I _{OL} *1/I _{OH} *2	単位
	LV _{DD} =3.3V	
Type S	0.1/-0.1	mA
Type M	1/-1	mA
Type 1	2/-2	mA
Type 2	6/-6	mA
Type 3	12/-12	mA

注) *1 : V_{OL}=0.4V です。

*2 : V_{OH}=LV_{DD}-0.4V です。

第6章 入出力バッファの種類と使用上の注意

表 6-8 に LV_{DD} 系の出力バッファの一覧を示します。

表 6-8-1 LV_{DD} 系出力バッファ一覧 (LV_{DD}=3.3V)

Function	I _{OL} /I _{OH} *1 *2	セル名
Normal output	0.1mA/-0.1mA	LOBST
	1mA/-1mA	LOBMT
	2mA/-2mA	LOB1T
	6mA/-6mA	LOB2T
	12mA/-12mA	LOB3T
Normal output for high speed	12mA/-12mA	LOB3AT
Normal output for low noise	12mA/-12mA	LOB3BT
Normal output for PCI	PCI-3V	LOBPBT
3-state output	0.1mA/-0.1mA	LTBST
	1mA/-1mA	LTBMT
	2mA/-2mA	LTB1T
	6mA/-6mA	LTB2T
	12mA/-12mA	LTB3T
3-state output for high speed	12mA/-12mA	LTB3AT
3-state output for low noise	12mA/-12mA	LTB3BT
3-state output for PCI	PCI-3V	LTPBPT
3-state output (バスホールド機能付き)	1mA/-1mA	LTMHT
	2mA/-2mA	LTB1HT
	6mA/-6mA	LTB2HT
	12mA/-12mA	LTB3HT
3-state output for high speed (バスホールド機能付き)	12mA/-12mA	LTB3AHT
3-state output for low noise (バスホールド機能付き)	12mA/-12mA	LTB3BHT

注) *1 : V_{OL}=0.4V、V_{OH}=LV_{DD}-0.4V です。

*2 : 出力電流の特性は、「[A4.2.4 出力ドライバ特性グラフ](#)」を参照下さい。

表 6-8-2 LV_{DD}系 N チャンネルオープンドレイン出力バッファ一覧 (LV_{DD}=3.3V)

Function	I _{OL} *1 *2	セル名
Normal output	2mA	LOD1T
	6mA	LOD2T
	12mA	LOD3T
High speed output	2mA	LOD1CT
	6mA	LOD2CT

注) *1 : V_{OL}=0.4V です。

*2 : 出力電流の特性は、「[A4.2.4 出カドライバ特性グラフ](#)」を参照下さい。

表 6-8-3 LV_{DD}系 Fail-Safe 出力バッファ一覧 (LV_{DD}=3.3V)

Function	I _{OL} *1 *2	セル名
Normal output	2mA	LTBF1
	6mA	LTBF2
High speed output	2mA	LTBF1C
	6mA	LTBF2C
	12mA	LTBF3A

注) *1 : V_{OL}=0.4V です。

*2 : 出力電流の特性は、「[A4.2.4 出カドライバ特性グラフ](#)」を参照下さい。

第 6 章 入出力バッファの種類と使用上の注意

6.3.3 双方向バッファ

(1) HV_{DD} 系の双方向バッファ

表 6-9 に HV_{DD} 系の双方向バッファの一覧を示します。

表 6-9-1 HV_{DD}系双方向バッファ一覧 (1/3) (HV_{DD}=5.0V)

入力レベル	Function	I _{OL} /I _{OH} *1 *2	抵抗なし	プルダウン 抵抗付*3	プルアップ 抵抗付*3
TTL	Bi-directional output	0.1mA/-0.1mA	HBTST	HBTSD#T	HBTSP#T
		1mA/-1mA	HBTMT	HBTMD#T	HBTMP#T
		3mA/-3mA	HBT1T	HBT1D#T	HBT1P#T
		8mA/-8mA	HBT2T	HBT2D#T	HBT2P#T
		12mA/-12mA	HBT3T	HBT3D#T	HBT3P#T
		24mA/-12mA	HBT4T	HBT4D#T	HBT4P#T
	Bi-directional output for high speed	12mA/-12mA	HBT3AT	HBT3AD#T	HBT3AP#T
		24mA/-12mA	HBT4AT	HBT4AD#T	HBT4AP#T
	Bi-directional output for low noise	12mA/-12mA	HBT3BT	HBT3BD#T	HBT3BP#T
24mA/-12mA		HBT4BT	HBT4BD#T	HBT4BP#T	
CMOS	Bi-directional output	0.1mA/-0.1mA	HBCST	HBCSD#T	HBCSP#T
		1mA/-1mA	HBCMT	HBCMD#T	HBCMP#T
		3mA/-3mA	HBC1T	HBC1D#T	HBC1P#T
		8mA/-8mA	HBC2T	HBC2D#T	HBC2P#T
		12mA/-12mA	HBC3T	HBC3D#T	HBC3P#T
		24mA/-12mA	HBC4T	HBC4D#T	HBC4P#T
	Bi-directional output for high speed	12mA/-12mA	HBC3AT	HBC3AD#T	HBC3AP#T
		24mA/-12mA	HBC4AT	HBC4AD#T	HBC4AP#T
	Bi-directional output for low noise	12mA/-12mA	HBC3BT	HBC3BD#T	HBC3BP#T
24mA/-12mA		HBC4BT	HBC4BD#T	HBC4BP#T	
PCI	Bi-directional output for PCI	PCI-5V	HBPAT	HBPAD#T	HBPAP#T

注) *1 : V_{OL}=0.4V、V_{OH}=HV_{DD}-0.4V です。

*2 : 出力電流の特性は、「[A4.1.3 出カドライバ特性グラフ](#)」を参照下さい。

*3 : #は 1 または 2 で、抵抗値 1:60kΩ、2:120kΩに対応しています。

表 6-9-2 HV_{DD}系双方向バッファ一覧 (2/3) (HV_{DD}=5.0V)

入力レベル	Function	I _{OL} /I _{OH} *1 *2	抵抗なし	プルダウン 抵抗付*3	プルアップ 抵抗付*3		
TTL シュミット	Bi-directional output	0.1mA/-0.1mA	HBSST	HBSSD*T	HBSSP*T		
		1mA/-1mA	HBSMT	HBSMD*T	HBSMP*T		
		3mA/-3mA	HBS1T	HBS1D*T	HBS1P*T		
		8mA/-8mA	HBS2T	HBS2D*T	HBS2P*T		
		12mA/-12mA	HBS3T	HBS3D*T	HBS3P*T		
		24mA/-12mA	HBS4T	HBS4D*T	HBS4P*T		
CMOS シュミット	Bi-directional output	0.1mA/-0.1mA	HBHST	HBHSD*T	HBHSP*T		
		1mA/-1mA	HBHMT	HBHMD*T	HBHMP*T		
		3mA/-3mA	HBH1T	HBH1D*T	HBH1P*T		
CMOS シュミット	Bi-directional output	8mA/-8mA	HBH2T	HBH2D*T	HBH2P*T		
		12mA/-12mA	HBH3T	HBH3D*T	HBH3P*T		
		24mA/-12mA	HBH4T	HBH4D*T	HBH4P*T		
		CMOS シュミット	Bi-directional output for high speed	12mA/-12mA	HBH3AT	HBH3AD*T	HBH3AP*T
				24mA/-12mA	HBH4AT	HBH4AD*T	HBH4AP*T
				CMOS シュミット	Bi-directional output for low noise	12mA/-12mA	HBH3BT
CMOS シュミット	Bi-directional output for low noise	24mA/-12mA	HBH4BT			HBH4BD*T	HBH4BP*T

注) *1 : V_{OL}=0.4V、V_{OH}=HV_{DD}-0.4V です。

*2 : 出力電流の特性は、「[A4.1.3 出力ドライバ特性グラフ](#)」を参照下さい。

*3 : *は 1 または 2 で、抵抗値 1:60kΩ、2:120kΩ に対応しています。

第6章 入出力バッファの種類と使用上の注意

表 6-9-3 HV_{DD}系双方向バッファ一覧 (3/3) (HV_{DD}=5.0V)

入力レベル	Function	I _{OL} /I _{OH} *1 *2	抵抗なし	プルダウン抵抗付	プルアップ抵抗付
TTL	Bi-directional output (バスホールド機能付き)	1mA/-1mA 3mA/-3mA 8mA/-8mA 12mA/-12mA 24mA/-12mA	HBTMHT HBT1HT HBT2HT HBT3HT HBT4HT	なし	なし
	Bi-directional output for high speed (バスホールド機能付き)	12mA/-12mA 24mA/-12mA	HBT3AHT HBT4AHT	なし	なし
	Bi-directional output for low noise (バスホールド機能付き)	12mA/-12mA 24mA/-12mA	HBT3BHT HBT4BHT	なし	なし
CMOS	Bi-directional output (バスホールド機能付き)	1mA/-1mA 3mA/-3mA 8mA/-8mA 12mA/-12mA 24mA/-12mA	HBCMHT HBC1HT HBC2HT HBC3HT HBC4HT	なし	なし
	Bi-directional output for high speed (バスホールド機能付き)	12mA/-12mA 24mA/-12mA	HBC3AHT HBC4AHT	なし	なし
	Bi-directional output for low noise (バスホールド機能付き)	12mA/-12mA 24mA/-12mA	HBC3BHT HBC4BHT	なし	なし
TTL シュミット	Bi-directional output (バスホールド機能付き)	1mA/-1mA 3mA/-3mA 8mA/-8mA 12mA/-12mA 24mA/-12mA	HBSMHT HBS1HT HBS2HT HBS3HT HBS4HT	なし	なし
	Bi-directional output for high speed (バスホールド機能付き)	12mA/-12mA 24mA/-12mA	HBS3AHT HBS4AHT	なし	なし
	Bi-directional output for low noise (バスホールド機能付き)	12mA/-12mA 24mA/-12mA	HBS3BHT HBS4BHT	なし	なし
CMOS シュミット	Bi-directional output (バスホールド機能付き)	1mA/-1mA 3mA/-3mA 8mA/-8mA 12mA/-12mA 24mA/-12mA	HBHMHT HBH1HT HBH2HT HBH3HT HBH4HT	なし	なし
	Bi-directional output for high speed (バスホールド機能付き)	12mA/-12mA 24mA/-12mA	HBH3AHT HBH4AHT	なし	なし
	Bi-directional output for low noise (バスホールド機能付き)	12mA/-12mA 24mA/-12mA	HBH3BHT HBH4BHT	なし	なし

注) *1 : V_{OL}=0.4V、V_{OH}=HV_{DD}-0.4Vです。

*2 : 出力電流の特性は、「[A4.1.3 出カドライバ特性グラフ](#)」を参照下さい。

表 6-9-4 HV_{DD}系双方向バッファ一覧 (HV_{DD}=3.3V)

入力レベル	Function	I _{OL} /I _{OH} *1 *2	抵抗なし	プルダウン 抵抗付*3	プルアップ 抵抗付*3
LVTTL	Bi-directional output	0.1mA/-0.1mA	HBCST	HBCSD*T	HBCSP*T
		1mA/-1mA	HBCMT	HBCMD*T	HBCMP*T
		2mA/-2mA	HBC1T	HBC1D*T	HBC1P*T
6mA/-6mA		HBC2T	HBC2D*T	HBC2P*T	
12mA/-12mA		HBC3T	HBC3D*T	HBC3P*T	
	Bi-directional output for high speed	12mA/-12mA	HBC3AT	HBC3AD*T	HBC3AP*T
	Bi-directional output for low noise	12mA/-12mA	HBC3BT	HBC3BD*T	HBC3BP*T
PCI	Bi-directional output for PCI	PCI-3V	HBPBT	HBPBD*T	HBPBP*T
LVTTL シュミット	Bi-directional output	0.1mA/-0.1mA	HBHST	HBHSD*T	HBHSP*T
		1mA/-1mA	HBHMT	HBHMD*T	HBHMP*T
		2mA/-2mA	HBH1T	HBH1D*T	HBH1P*T
6mA/-6mA		HBH2T	HBH2D*T	HBH2P*T	
12mA/-12mA		HBH3T	HBH3D*T	HBH3P*T	
	Bi-directional output for high speed	12mA/-12mA	HBH3AT	HBH3AD*T	HBH3AP*T
	Bi-directional output for low noise	12mA/-12mA	HBH3BT	HBH3BD*T	HBH3BP*T
LVTTL	Bi-directional output (バスホールド機能付き)	1mA/-1mA	HBCMHT	なし	なし
		2mA/-2mA	HBC1HT		
		6mA/-6mA	HBC2HT		
12mA/-12mA		HBC3HT			
	Bi-directional output for high speed (バスホールド機能付き)	12mA/-12mA	HBC3AHT	なし	なし
	Bi-directional output for low noise (バスホールド機能付き)	12mA/-12mA	HBC3BHT	なし	なし
LVTTL シュミット	Bi-directional output (バスホールド機能付き)	1mA/-1mA	HBHMHT	なし	なし
		2mA/-2mA	HBH1HT		
		6mA/-6mA	HBH2HT		
12mA/-12mA		HBH3HT			
	Bi-directional output for high speed (バスホールド機能付き)	12mA/-12mA	HBH3AHT	なし	なし
	Bi-directional output for low noise (バスホールド機能付き)	12mA/-12mA	HBH3BHT	なし	なし

注) *1: V_{OL}=0.4V、V_{OH}=HV_{DD}-0.4Vです。

*2: 出力電流の特性は、「[A4.2.4 出力ドライバ特性グラフ](#)」を参照下さい

*3: *は1または2で、抵抗値 1:100kΩ、2:200kΩに対応しています。

第6章 入出力バッファの種類と使用上の注意

表 6-9-5 HV_{DD}系 N チャンネルオープンドレイン双方向バッファ一覧 (HV_{DD}=5.0V)

入力レベル	Function	I _{OL} *1 *2	セル名
TTL	Bi-directional output	3mA	HBDT1T
		8mA	HBDT2T
		12mA	HBDT3T
		24mA	HBDT4T
CMOS	Bi-directional output	3mA	HBDC1T
		8mA	HBDC2T
		12mA	HBDC3T
		24mA	HBDC4T
TTL シュミット	Bi-directional output	3mA	HBDS1T
		8mA	HBDS2T
		12mA	HBDS3T
		24mA	HBDS4T
CMOS シュミット	Bi-directional output	3mA	HBDH1T
		8mA	HBDH2T
		12mA	HBDH3T
		24mA	HBDH4T

注) *1 : V_{OL}=0.4V です。

*2 : 出力電流の特性は、「[A4.1.3 出カドライバ特性グラフ](#)」を参照下さい。

表 6-9-6 HV_{DD}系 N チャンネルオープンドレイン双方向バッファ一覧 (HV_{DD}=3.3V)

入力レベル	Function	I _{OL} *1 *2	セル名
LVTTTL	Bi-directional output	2mA	HBDC1T
		6mA	HBDC2T
		12mA	HBDC3T
LVTTTL シュミット	Bi-directional output	2mA	HBDH1T
		6mA	HBDH2T
		12mA	HBDH3T

注) *1 : V_{OL}=0.4V です。

*2 : 出力電流の特性は、「[A4.2.4 出カドライバ特性グラフ](#)」を参照下さい。

(2) LV_{DD}系の双方向バッファ

表 6-10 に LV_{DD}系の双方向バッファの一覧を示します。

表 6-10-1 LV_{DD}系双方向バッファ一覧 (1/2) (LV_{DD}=3.3V)

入力レベル	Function	I _{OL} /I _{OH} *1 *2	抵抗なし	プルダウン 抵抗付*3	プルアップ 抵抗付*3
LVTTTL	Bi-directional output	0.1mA/-0.1mA	LBCST	LBCSD*T	LBCSP*T
		1mA/-1mA	LBCMT	LBCMD*T	LBCMP*T
		2mA/-2mA	LBC1T	LBC1D*T	LBC1P*T
6mA/-6mA		LBC2T	LBC2D*T	LBC2P*T	
12mA/-12mA		LBC3T	LBC3D*T	LBC3P*T	
	Bi-directional output for high speed	12mA/-12mA	LBC3AT	LBC3AD*T	LBC3AP*T
	Bi-directional output for low noise	12mA/-12mA	LBC3BT	LBC3BD*T	LBC3BP*T
PCI	Bi-directional output for PCI	PCI-3V	LBPBT	LBPBD*T	LBPBP*T
LVTTTL シュミット	Bi-directional for low noise output	0.1mA/-0.1mA	LBHST	LBHSD*T	LBHSP*T
		1mA/-1mA	LBHMT	LBHMD*T	LBHMP*T
		2mA/-2mA	LBH1T	LBH1D*T	LBH1P*T
6mA/-6mA		LBH2T	LBH2D*T	LBH2P*T	
12mA/-12mA		LBH3T	LBH3D*T	LBH3P*T	
	Bi-directional output for high speed	12mA/-12mA	LBH3AT	LBH3AD*T	LBH3AP*T
	Bi-directional output for low noise	12mA/-12mA	LBH3BT	LBH3BD*T	LBH3BP*T

注) *1 : V_{OL}=0.4V、V_{OH}=LV_{DD}-0.4V です。

*2 : 出力電流の特性は、「[A4.2.4 出カドライバ特性グラフ](#)」を参照下さい。

*3 : *は 1 または 2 で、抵抗値 1:50kΩ、2:100kΩに対応しています。

表 6-10-2 LV_{DD}系双方向バッファ一覧 (2/2) (LV_{DD}=3.3V)

入力レベル	Function	I _{OL} /I _{OH} *1 *2	抵抗なし	プルダウン抵抗付	プルアップ抵抗付
LV TTL	Bi-directional output (バスホールド機能付き)	1mA/-1mA 2mA/-2mA 6mA/-6mA 12mA/-12mA	LBCMHT LBC1HT LBC2HT LBC3HT	なし	なし
	Bi-directional output for high speed (バスホールド機能付き)	12mA/-12mA	LBC3AHT	なし	なし
	Bi-directional output for low noise (バスホールド機能付き)	12mA/-12mA	LBC3BHT	なし	なし
LV TTL シュミット	Bi-directional output (バスホールド機能付き)	1mA/-1mA 2mA/-2mA 6mA/-6mA 12mA/-12mA	LBHMHT LBH1HT LBH2HT LBH3HT	なし	なし
	Bi-directional output for high speed (バスホールド機能付き)	12mA/-12mA	LBH3AHT	なし	なし
	Bi-directional output for low noise (バスホールド機能付き)	12mA/-12mA	LBH3BHT	なし	なし

注) *1 : V_{OL}=0.4V、V_{OH}=LV_{DD}-0.4Vです。

*2 : 出力電流の特性は、「[A4.2.4 出カドライバ特性グラフ](#)」を参照下さい。

表 6-10-3 LV_{DD}系 N チャンネルオープンドレイン双方向バッファ一覧 (LV_{DD}=3.3V)

(5V を入力可能)

入力レベル	Function	I _{OL} *1 *2	セル名
LVTTL	Bi-directional output	2mA 6mA 12mA	LBDC1T LBDC2T LBDC3T
	Bi-directional output for high speed	2mA 6mA	LBDC1CT LBDC2CT
LVTTL シュミット	Bi-directional output	2mA 6mA 12mA	LBDH1T LBDH2T LBDH3T
	Bi-directional output for high speed	2mA 6mA	LBDH1CT LBDH2CT

注) *1 : V_{OL}=0.4V です。

*2 : 出力電流の特性は、「[A4.2.4 出力ドライバ特性グラフ](#)」を参照下さい。

表 6-10-4 LV_{DD}系 Fail-Safe 双方向バッファ一覧 (LV_{DD}=3.3V) (5V を入力可能)

入力レベル	Function	I _{OL} *1 *2	セル名
LVTTL *2	Bi-directional output	2mA 6mA	LBB1 LBB2
	Bi-directional output for high speed	2mA 6mA 12mA	LBB1C LBB2C LBB3A
LVTTL シュミット *3	Bi-directional output	2mA 6mA	LBG1 LBG2
	Bi-directional output for high speed	2mA 6mA 12mA	LBG1C LBG2C LBG3A

注) *1 : V_{OL}=0.4V です。

*2 : 出力電流の特性は、「[A4.2.4 出力ドライバ特性グラフ](#)」を参照下さい。

第6章 入出力バッファの種類と使用上の注意

6.4 単一電源対応の入出力バッファ

S1L50000 シリーズで単一電源を供給する場合には単一電源対応専用の入出力バッファを使用してください。

6.4.1 入力バッファ

表 6-11 に単一電源での入力バッファのプルアップ、プルダウン抵抗値を示します。

表 6-11 単一電源 プルアップ、プルダウン抵抗値

プルアップ/プルダウン抵抗の種類	抵抗値 (Typ.)	単位
	$V_{DD}=3.3V$	
Type 1	50	k Ω
Type 2	100	k Ω

表 6-12 に単一電源での入力バッファの一覧を示します。

表 6-12-1 単一電源 入力バッファ一覧 ($V_{DD}=3.3V$)

セル名*1	入力レベル	プルアップ/プルダウン抵抗*2 *3の有無
IBC IBCP# IBCD#	LVTTTL LVTTTL LVTTTL	なし プルアップ抵抗 (50k Ω 、100k Ω) プルダウン抵抗 (50k Ω 、100k Ω)
IBH IBHP# IBHD#	LVTTTL シュミット LVTTTL シュミット LVTTTL シュミット	なし プルアップ抵抗 (50k Ω 、100k Ω) プルダウン抵抗 (50k Ω 、100k Ω)
IBPB IBPBP# IBPBD#	PCI-3V PCI-3V PCI-3V	なし プルアップ抵抗 (50k Ω 、100k Ω) プルダウン抵抗 (50k Ω 、100k Ω)

注) *1: 「#」は1または2で、1はType 1、2はType 2の抵抗値に対応しています。

*2: プルアップ/プルダウンの抵抗値の詳細は「[表 1-7](#)」および「[付録 A4.2.7](#)」を参照下さい。

*3: 入力バッファ特性のグラフは「[付録 A4.2.2](#)」を参照下さい。

表 6-12-2 入力レベルシフター一覧 ($V_{DD}=3.3V$) (5V を入力可能)

セル名*1	入力レベル	プルアップ/プルダウン抵抗*2の有無
IDC IDCD#	LVTTTL LVTTTL	なし プルダウン抵抗 (50k Ω 、100k Ω)
IDH IDHD#	LVTTTL シュミット LVTTTL シュミット	なし プルダウン抵抗 (50k Ω 、100k Ω)

注) *1 : 「#」は1または2で、1はType 1、2はType 2の抵抗値に対応します。

*2 : プルダウンの抵抗値の詳細は「[表 1-7](#)」および「[付録 A4.2.7](#)」を参照下さい。

6.4.2 出力バッファ

表 6-13 に単一電源での出力バッファにおける I_{OL} 、 I_{OH} の規格値を示します。

表 6-13 単一電源 I_{OL} 、 I_{OH} の各電圧における規格値

出力電流の種類	I_{OL}^{*1}/I_{OH}^{*2}	単位
	$V_{DD}=3.3V$	
Type S	0.1/-0.1	mA
Type M	1/-1	mA
Type 1	2/-2	mA
Type 2	6/-6	mA
Type 3	12/-12	mA

注) *1 : $V_{OL}=0.4V$ です。

*2 : $V_{OH}=V_{DD}-0.4V$ です。

表 6-14 に単一電源での出力バッファの一覧を示します。

表 6-14-1 単一電源 出力バッファ一覧 ($V_{DD}=3.3V$)

Function	$I_{OL}/I_{OH}^{*1 *2}$	セル名
Normal output	0.1mA/-0.1mA	OBST
	1mA/-1mA	OBMT
	2mA/-2mA	OB1T
	6mA/-6mA	OB2T
	12mA/-12mA	OB3T
Output for PCI	PCI-3V	OBPBT
Normal output for high speed	2mA/-2mA	OB1CT
	6mA/-6mA	OB2CT
	12mA/-12mA	OB3AT
Normal output for low noise	12mA/-12mA	OB3BT
3-state output	0.1mA/-0.1mA	TBST
	1mA/-1mA	TBMT
	2mA/-2mA	TB1T
	6mA/-6mA	TB2T
	12mA/-12mA	TB3T
3-state output for PCI	PCI-3V	TBPBT
3-state output for high speed	2mA/-2mA	TB1CT
	6mA/-6mA	TB2CT
	12mA/-12mA	TB3AT
3-state output for low noise	-12mA/12mA	TB3BT

注) *1 : $V_{OL}=0.4V$ 、 $V_{OH}=V_{DD}-0.4V$ です。

*2 : 出力電流の特性は、「[A4.2.4 出力ドライバ特性グラフ](#)」を参照下さい。

第6章 入出力バッファの種類と使用上の注意

表 6-14-2 単一電源 N チャンネルオープンドレイン出力バッファ一覧 ($V_{DD}=3.3V$)

Function	I_{OL} *1 *2	セル名
Normal output	2mA	OD1T
	6mA	OD2T
	12mA	OD3T
High speed output	2mA	OD1CT
	6mA	OD2CT

注) *1 : $V_{OL}=0.4V$ です。

*2 : 出力電流の特性は、[「A4.2.4 出力ドライバ特性グラフ」](#)を参照下さい。

6.4.3 双方向バッファ

(1) 双方向バッファ

表 6-15 に単一電源での双方向バッファの一覧を示します。

表 6-15-1 単一電源 双方向バッファ一覧 (1/2) ($V_{DD}=3.3V$)

入力レベル	Function	$I_{OL}/I_{OH}^{*1 *2}$	抵抗なし	プルダウン 抵抗付 ^{*3}	プルアップ 抵抗付 ^{*3}
LVTTTL	Bi-directional output	0.1mA/-0.1mA 1mA/-1mA 2mA/-2mA 6mA/-6mA 12mA/-12mA	BCST BCMT BC1T BC2T BC3T	BCSD*T BCMD*T BC1D*T BC2D*T BC3D*T	BCSP*T BCMP*T BC1P*T BC2P*T BC3P*T
	Bi-directional output for high speed	2mA/-2mA 6mA/-6mA 12mA/-12mA	BC1CT BC2CT BC3AT	BC1CD*T BC2CD*T BC3AD*T	BC1CP*T BC2CP*T BC3AP*T
	Bi-directional output for low noise	12mA/-12mA	BC3BT	BC3BD*T	BC3BP*T
PCI-3V	Bi-directional output for PCI	PCI-3V	BPBT	BPBD*T	BPBP*T
LVTTTL シュミット	Bi-directional output	0.1mA/-0.1mA 1mA/-1mA 2mA/-2mA 6mA/-6mA 12mA/-12mA	BHST BHMT BH1T BH2T BH3T	BHSD*T BHMD*T BH1D*T BH2D*T BH3D*T	BHSP*T BHMP*T BH1P*T BH2P*T BH3P*T
	Bi-directional output for high speed	2mA/-2mA 6mA/-6mA 12mA/-12mA	BH1CT BH2CT BH3AT	BH1CD*T BH2CD*T BH3AD*T	BH1CP*T BH2CP*T BH3AP*T
	Bi-directional output for low noise	12mA/-12mA	BH3BT	BH3BD*T	BH3BP*T

注) *1 : $V_{OL}=0.4V$ 、 $V_{OH}=V_{DD}-0.4V$ です。

*2 : 出力電流の特性は、「[A4.2.4 出力ドライバ特性グラフ](#)」を参照下さい。

*3 : *は 1 または 2 で、抵抗値 1:50k Ω 、2:100k Ω に対応しています。

第6章 入出力バッファの種類と使用上の注意

表 6-15-2 単一電源 双方向バッファ一覧 (2/2) ($V_{DD}=3.3V$)

入力レベル	Function	$I_{OL}/I_{OH}^{*1 *2}$	抵抗なし	プルダウン抵抗付	プルアップ抵抗付
LVTTL	Bi-directional output (バスホールド機能付き)	1mA/-1mA 2mA/-2mA 6mA/-6mA 12mA/-12mA	BCMHT BC1HT BC2HT BC3HT	なし	なし
	Bi-directional output for high speed (バスホールド機能付き)	2mA/-2mA 6mA/-6mA 12mA/-12mA	BC1CHT BC2CHT BC3AHT	なし	なし
	Bi-directional output for low noise (バスホールド機能付き)	12mA/-12mA	BC3BHT	なし	なし
LVTTL シュミット	Bi-directional output (バスホールド機能付き)	1mA/-1mA 2mA/-2mA 6mA/-6mA 12mA/-12mA	BHMHT BH1HT BH2HT BH3HT	なし	なし
	Bi-directional output for high speed (バスホールド機能付き)	2mA/-2mA 6mA/-6mA 12mA/-12mA	BH1CHT BH2CHT BH3AHT	なし	なし
	Bi-directional output for low noise (バスホールド機能付き)	12mA/-12mA	BH3BHT	なし	なし

注) *1 : $V_{OL}=0.4V$ 、 $V_{OH}=V_{DD}-0.4V$ です。

*2 : 出力電流の特性は、「[A4.2.4 出力ドライバ特性グラフ](#)」を参照下さい。

表 6-15-3 単一電源 N チャンネルオープンドレイン双方向バッファ一覧 ($V_{DD}=3.3V$)

入力レベル	Function	$I_{OL}^{*1 *2}$	セル名
LVTTL	Bi-directional output	2mA 6mA 12mA	BDC1T BDC2T BDC3T
	Bi-directional output for high speed	2mA 6mA	BDC1CT BDC2CT
LVTTL シュミット	Bi-directional output	2mA 6mA 12mA	BDH1T BDH2T BDH3T
	Bi-directional output for high speed	2mA 6mA	BDH1CT BDH2CT

注) *1 : $V_{OL}=0.4V$ です。

*2 : 出力電流の特性は、[「A4.2.4 出カドライバ特性グラフ」](#) を参照下さい。

6.5 Fail-Safe 入出力バッファ

6.5.1 概要

S1L50000 シリーズの Fail-Safe バッファは、単一電源のデザインにおいて、電源電圧以上の信号を、インタフェース専用の電源を設けることなくインタフェースすることが可能です。

6.5.2 特長

- ① 使用数や配置に制限はなく、必要に応じて配置することができます。
- ② 電源が印加されている状態で、電源電圧以上の入力信号が印加されても、Fail-Safe バッファでの入力リーク電流以外の大きな電流は流れません。
- ③ 電源カットオフした状態で、外部から入力信号が印加されても、Fail-Safe バッファでの入力リーク電流以外の大きな電流は流れません。
- ④ 入力レベルは LVTTTL/LVTTTL シュミットレベル ($V_{DD}=3.3V$) をリリースしています。

6.5.3 使用上の注意点

- ① High 出力時に電源電圧以上の信号が入力された場合は、通常の入出力バッファと同様に比較的大きな電流が流れます。これは外部に電源電圧以上のプルアップ抵抗が存在している場合も同様ですので注意してください。
- ② Fail-Safe バッファに印加できる信号電圧は、絶対最大定格を超えることはできませんので注意してください。

6.5.4 セル一覧

(1) Fail-Safe 入力バッファ

表 6-16 に Fail-Safe 入力バッファ一覧を示します。

プルアップの無い 5V 入力可能な入力バッファは、入力レベルシフトになります。

① 単一電源対応の場合

表 6-16-1 Fail-Safe 入力バッファ一覧 ($V_{DD}=3.3V$) (5V を入力可能)

セル名*1	入力レベル	プルアップ/プルダウン抵抗*2 *3 の有無
IBBP#	LVTTTL	プルアップ抵抗 (50k Ω 、100k Ω)

注) *1: 「#」は 1 または 2 で、1 は Type 1、2 は Type 2 の抵抗値に対応しています。

*2: プルアップ/プルダウンの抵抗値の詳細は「[表 1-7](#)」および「[付録 A4.2.7](#)」を参照下さい。

*3: 入力バッファ特性のグラフは「[付録 A4.2.2](#)」を参照下さい。

② 2 電源対応の場合

表 6-16-2 Fail-Safe 入力バッファ一覧 ($LV_{DD}=3.3V$) (5V を入力可能)

セル名*1	入力レベル	プルアップ/プルダウン抵抗*2 *3 の有無
LIBBP#	LVTTTL	プルアップ抵抗 (50k Ω 、100k Ω)

注) *1: 「#」は 1 または 2 で、1 は Type 1、2 は Type 2 の抵抗値に対応しています。

*2: プルアップ/プルダウンの抵抗値の詳細は「[表 1-7](#)」および「[付録 A4.2.7](#)」を参照下さい。

*3: 入力バッファ特性のグラフは「[付録 A4.2.2](#)」を参照下さい。

第6章 入出力バッファの種類と使用上の注意

(2) Fail-Safe 出力バッファ

表 6-17 に Fail-Safe 出力バッファの一覧を示します。

① 単一電源の場合

表 6-17-1 Fail-Safe 出力バッファ一覧 ($V_{DD}=3.3V$)

Function	$I_{OL}/I_{OH}^{*1 *2}$	セル名
3-state output	2mA/-2mA	TBF1
	6mA/-6mA	TBF2
3-state output for high speed	2mA/-2mA	TBF1C
	6mA/-6mA	TBF2C
	12mA/-12mA	TBF3A

注) *1 : $V_{OL}=0.4V$ 、 $V_{OH}=V_{DD}-0.4V$ です。

*2 : 出力電流の特性は、「[A4.2.4 出カドライバ特性グラフ](#)」を参照下さい。

② 2電源対応の場合

表 6-17-2 Fail-Safe 出力バッファ一覧 ($LV_{DD}=3.3V$)

Function	$I_{OL}/I_{OH}^{*1 *2}$	セル名
3-state output	2mA/-2mA	LTBF1
	6mA/-6mA	LTBF2
3-state output for high speed	2mA/-2mA	LTBF1C
	6mA/-6mA	LTBF2C
	12mA/-12mA	LTBF3A

注) *1 : $V_{OL}=0.4V$ 、 $V_{OH}=V_{DD}-0.4V$ です。

*2 : 出力電流の特性は、「[A4.2.4 出カドライバ特性グラフ](#)」を参照下さい。

(3) Fail-Safe 双方向バッファ

表 6-18 に Fail-Safe 双方向バッファの一覧を示します。

① 単一電源の場合

表 6-18-1 Fail-Safe 双方向バッファ一覧 ($V_{DD}=3.3V$)

入力レベル	Function	I_{OL}/I_{OH} *1 *2	抵抗なし	プルダウン 抵抗付*3	プルアップ 抵抗付*3
LVTTTL	Bi-directional output	2mA/-2mA 6mA/-6mA	BB1 BB2	BB1D* BB2D*	BB1P* BB2P*
	Bi-directional output for high speed	2mA/-2mA 6mA/-6mA 12mA/-12mA	BB1C BB2C BB3A	BB1CD* BB2CD* BB3AD*	BB1CP* BB2CP* BB3AP*
LVTTTL シュミット	Bi-directional output	2mA/-2mA 6mA/-6mA	BG1 BG2	BG1D* BG2D*	BG1P* BG2P*
	Bi-directional output for high speed	2mA/-2mA 6mA/-6mA 12mA/-12mA	BG1C BG2C BG3A	BG1CD* BG2CD* BG3AD*	BG1CP* BG2CP* BG3AP*

注) *1 : $V_{OL}=0.4V$ 、 $V_{OH}=V_{DD}-0.4V$ です。

*2 : 出力電流の特性は、「[A4.2.4 出カドライバ特性グラフ](#)」を参照下さい。

*3 : *は 1 または 2 で、抵抗値 1:50k Ω 、2:100k Ω に対応しています。

② 2 電源の場合

表 6-18-2 Fail-Safe 双方向バッファ一覧 ($LV_{DD}=3.3V$)

入力レベル	Function	I_{OL}/I_{OH} *1 *2	抵抗なし	プルダウン 抵抗付*3	プルアップ 抵抗付*3
LVTTTL	Bi-directional output	2mA/-2mA 6mA/-6mA	LBB1 LBB2	LBB1D* LBB2D*	LBB1P* LBB2P*
	Bi-directional output for high speed	2mA/-2mA 6mA/-6mA 12mA/-12mA	LBB1C LBB2C LBB3A	LBB1CD* LBB2CD* LBB3AD*	LBB1CP* LBB2CP* LBB3AP*
LVTTTL シュミット	Bi-directional output	2mA/-2mA 6mA/-6mA	LBG1 LBG2	LBG1D* LBG2D*	LBG1P* LBG2P*
	Bi-directional output for high speed	2mA/-2mA 6mA/-6mA 12mA/-12mA	LBG1C LBG2C LBG3A	LBG1CD* LBG2CD* LBG3AD*	LBG1CP* LBG2CP* LBG3AP*

注) *1 : $V_{OL}=0.4V$ 、 $V_{OH}=V_{DD}-0.4V$ です。

*2 : 出力電流の特性は、「[A4.2.4 出カドライバ特性グラフ](#)」を参照下さい。

*3 : *は 1 または 2 で、抵抗値 1:50k Ω 、2:100k Ω に対応しています。

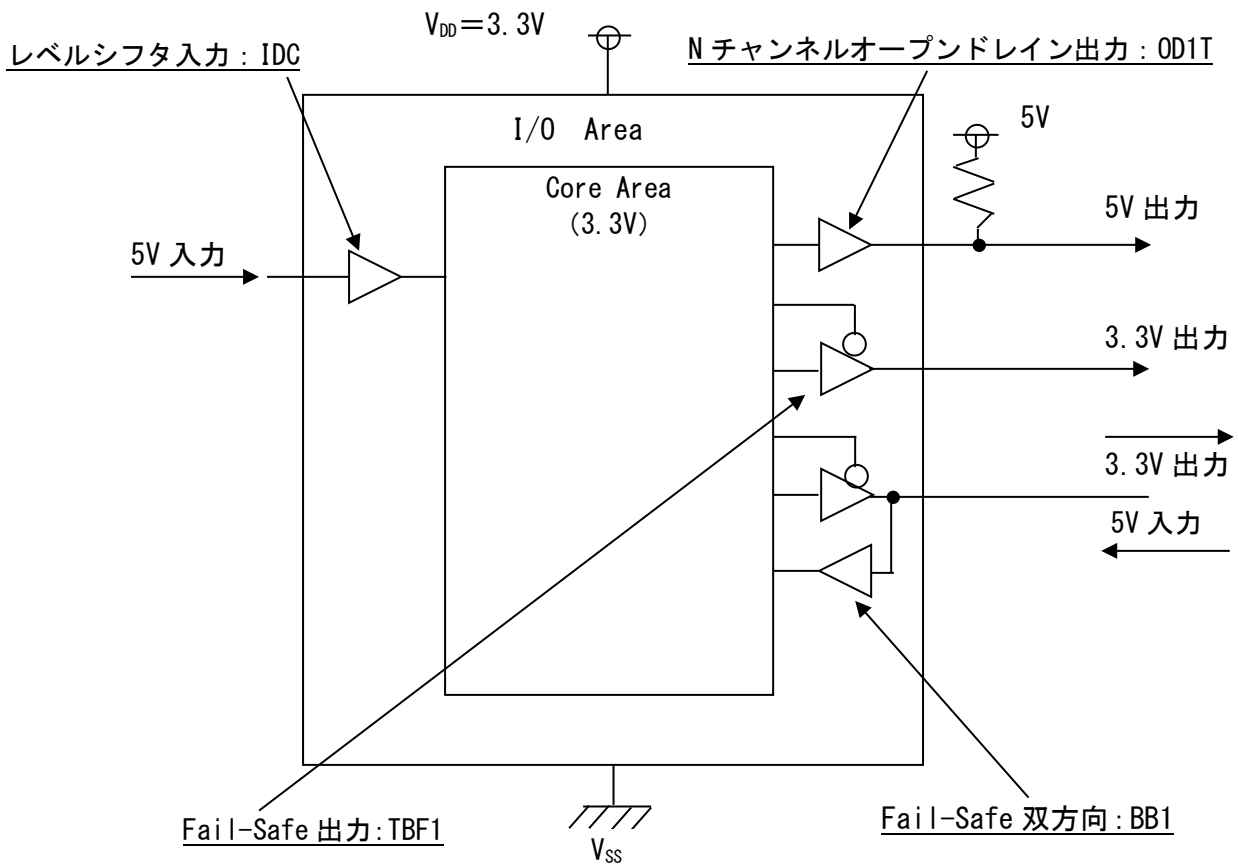


図 6-2 $V_{DD}=3.3V$ Fail-Safe 構成例

6.6 Gated 入出力バッファ

6.6.1 概要

S1L50000 シリーズの Gated 入出力バッファは、プルアップまたはプルダウン回路を使用することなく、端子への入力をフローティング状態、すなわちハイインピーダンス状態とすることを可能とします。また、2 電源のデザインで高電位側の電源 (HV_{DD}) をカットオフすることも可能です。コントロール信号が“HIGH”レベルで遮断処理を行うタイプと“LOW”レベルで遮断処理を行うタイプを用意しています。

6.6.2 特長

- (1) 使用数や配置に制限はなく、必要に応じて配置することができますので、デザインに自由度があります。
- (2) 2 電源のデザインで高電位側 (HV_{DD}) の電源をカットオフすることも可能です。ただし、弊社で特殊な処理が必要になるため、カットオフする場合は、弊社営業担当までお問い合わせください。
- (3) プルアップまたはプルダウン回路を使用することなく、入力をハイインピーダンス状態とすることができます。
- (4) コントロール信号が“HIGH”レベルで遮断処理を行うタイプと、“LOW”レベルで遮断処理を行うタイプを用意しています。

6.6.3 使用上の注意点

- (1) 入力がハイインピーダンス状態になる場合は、その前にコントロール信号で入力信号を遮断してください。また、ハイインピーダンス状態から 0 や 1 の入力状態になる場合は、その変化の後で入力信号の遮断を解除してください。これを行わない場合は、貫通電流が流れることがあります。
- (2) HV_{DD} をカットオフする場合も、その前にコントロール信号で入力信号を遮断してください。また、HV_{DD} がカットオフの状態からオンになる場合は、電源電圧が定格になって、入力信号が 0 や 1 に安定した後で入力信号の遮断を解除してください。
- (3) Gated 入出力バッファは回路の構成上、2 電源仕様での入力レベルは HV_{DD} 系ではなく LV_{DD} 系の CMOS レベルになります。

第6章 入出力バッファの種類と使用上の注意

6.6.4 セル一覧

(1) Gated 入力バッファ

表 6-19 に Gated 入力バッファ一覧を示します。

① 単一電源の場合

表 6-19-1 Gated 入力バッファ一覧 ($V_{DD}=3.3V$)

セル名*1	入力レベル	プルアップ/プルダウン抵抗*2 *3の有無
IBA IBAP# IBAD#	AND Type LVTTTL	なし プルアップ抵抗 (50k Ω 、100k Ω) プルダウン抵抗 (50k Ω 、100k Ω)
IBO IBOP# IBOD#	OR Type LVTTTL	なし プルアップ抵抗 (50k Ω 、100k Ω) プルダウン抵抗 (50k Ω 、100k Ω)

注) *1:「#」は1または2で、1はType 1、2はType 2の抵抗値に対応しています。

*2: プルアップ/プルダウンの抵抗値の詳細は「[表 1-7](#)」および「[付録 A4.2.7](#)」を参照下さい。

*3: 入力バッファ特性のグラフは「[付録 A4.2.2](#)」を参照下さい。

② 2電源の場合

表 6-19-2 Gated 入力バッファ一覧 ($HV_{DD}=5.0V/LV_{DD}=3.3V$)

セル名*1	入力レベル	プルアップ/プルダウン抵抗*2 *3の有無
HIBA HIBAP# HIBAD#	AND Type TTL	なし プルアップ抵抗 (60k Ω 、120k Ω) プルダウン抵抗 (60k Ω 、120k Ω)
HIBO HIBOP# HIBOD#	OR Type TTL	なし プルアップ抵抗 (60k Ω 、120k Ω) プルダウン抵抗 (60k Ω 、120k Ω)

注) *1:「#」は1または2で、1はType 1、2はType 2の抵抗値に対応しています。

*2: プルアップ/プルダウンの抵抗値の詳細は「[表 1-6](#)」および「[付録 A4.2.7](#)」を参照下さい。

*3: 入力バッファ特性のグラフは「[付録 A4.2.2](#)」を参照下さい。

(2) Gated 双方向バッファ

表 6-20 に Gated 双方向バッファの一覧を示します。

① 単一電源の場合

表 6-20-1 Gated 双方向バッファ一覧 (VDD=3.3V)

入力レベル		Function	$I_{OL}/I_{OH}^{*1 *2}$	抵抗なし	プルダウン 抵抗付 ^{*3}	プルアップ 抵抗付 ^{*3}
LVTTTL	AND Type	Bi-directional output	2mA/-2mA 6mA/-6mA 12mA/-12mA	BA1T BA2T BA3T	BA1D*T BA2D*T BA3D*T	BA1P*T BA2P*T BA3P*T
		Bi-directional output for high speed	2mA/-2mA 6mA/-6mA 12mA/-12mA	BA1CT BA2CT BA3AT	BA1CD*T BA2CD*T BA3AD*T	BA1CP*T BA2CP*T BA3AP*T
		Bi-directional output for low noise	12mA/-12mA	BA3BT	BA3BD*T	BA3BP*T
	OR Type	Bi-directional output	2mA/-2mA 6mA/-6mA 12mA/-12mA	B01T B02T B03T	B01D*T B02D*T B03D*T	B01P*T B02P*T B03P*T
		Bi-directional output for high speed	2mA/-2mA 6mA/-6mA 12mA/-12mA	B01CT B02CT B03AT	B01CD*T B02CD*T B03AD*T	B01CP*T B02CP*T B03AP*T
		Bi-directional output for low noise	12mA/-12mA	B03BT	B03BD*T	B03BP*T

注) *1 : $V_{OL}=0.4V$ 、 $V_{OH}=V_{DD}-0.4V$ です。

*2 : 出力電流の特性は、「[A4.2.4 出力ドライバ特性グラフ](#)」を参照下さい。

*3 : *は 1 または 2 で、抵抗値 1:50k Ω 、2:100k Ω に対応しています。

第6章 入出力バッファの種類と使用上の注意

② 2電源の場合

表 6-20-2 Gated 双方向バッファ一覧 (HV_{DD}=5.0V/LV_{DD}=3.3V)

入力レベル		Function	I _{OL} /I _{OH} *1 *2	抵抗なし	プルダウン 抵抗付*3	プルアップ 抵抗付*3
TTL	AND Type	Bi-directional output	3mA/-3mA	HBA1T	HBA1D*T	HBA1P*T
			8mA/-8mA	HBA2T	HBA2D*T	HBA2P*T
			12mA/-12mA	HBA3T	HBA3D*T	HBA3P*T
			24mA/-12mA	HBA4T	HBA4D*T	HBA4P*T
		Bi-directional output for high speed	12mA/-12mA	HBA3AT	HBA3AD*T	HBA3AP*T
			24mA/-12mA	HBA4AT	HBA4AD*T	HBA4AP*T
	Bi-directional output for low noise	12mA/-12mA	HBA3BT	HBA3BD*T	HBA3BP*T	
		24mA/-12mA	HBA4BT	HBA4BD*T	HBA4BP*T	
		OR Type	Bi-directional output	3mA/-3mA	HB01T	HB01D*T
8mA/-8mA	HB02T			HB02D*T	HB02P*T	
12mA/-12mA	HB03T			HB03D*T	HB03P*T	
24mA/-12mA	HB04T			HB04D*T	HB04P*T	
Bi-directional output for high speed	12mA/-12mA		HB03AT	HB03AD*T	HB03AP*T	
	24mA/-12mA		HB04AT	HB04AD*T	HB04AP*T	
Bi-directional output for low noise	12mA/-12mA	HB03BT	HB03BD*T	HB03BP*T		
	24mA/-12mA	HB04BT	HB04BD*T	HB04BP*T		

注) *1 : V_{OL}=0.4V、V_{OH}=HV_{DD}-0.4Vです。

*2 : 出力電流の特性は、「[A4.1.3 出カドライバ特性グラフ](#)」を参照下さい。

*3 : *は1または2で、抵抗値 1:60kΩ、2:120kΩに対応しています。

第7章 端子配置の注意

この章では、端子配置の注意点および、出力バッファ動作時の電源追加について説明します。

7.1 電源端子数の見積り

電源端子は IC の消費電力、出力バッファ数によって、必要な本数を見積る必要があります。特に出力バッファは、スイッチング時に大きな過渡電流が流れます。この過渡電流は、出力バッファの駆動能力が大きいタイプのものほど大きくなります。

ICに必要な電源端子の数を消費電流との関係で見積ると以下ようになります。

7.1.1 単一電源の場合

消費電流を I_{DD} [mA] とすると、この消費電流との関係で電源端子数を見積ると、以下のようになります。

$$N_{IDD} \geq I_{DD} \div 50 \text{ (対)} : V_{DD} \text{ 端子と } V_{SS} \text{ 端子を 1 対として、1 対あたり 50mA の供給が可能}$$

注) 1 : 電源端子対は最低でも各辺 1 対の 4 対以上は挿入してください。

I_{DD} …「[第9章 9.1 消費電力計算](#)」で求めた消費電力を動作電圧で割った値となります。

2 : 出力バッファに直流負荷を接続し、定常的に電流が流れる場合には、電源端子を追加する必要があります。詳細は弊社営業担当までお問い合わせください。

7.1.2 2電源の場合

2電源仕様の場合も電源 (HV_{DD} 系、 LV_{DD} 系の電源両方) 1対あたりに流せる許容電流の大きさは単一電源の場合と同様です。必要な電源対の数は HV_{DD} 系と LV_{DD} 系で分けて求めてください。

(1) HV_{DD} 電源端子数

HV_{DD} 系の消費電流を $I_{DD}(HV_{DD})$ [mA] とすると、この消費電流 $I_{DD}(HV_{DD})$ のための電源端子数 $N_{IDD}(HV_{DD})$ は、

$$N_{IDD}(HV_{DD}) \geq I_{DD}(HV_{DD}) / 50 \quad \text{※1 端子あたり 50mA の供給が可能}$$

(2) LV_{DD} 電源端子数

LV_{DD} 系の消費電流を $I_{DD}(LV_{DD})$ [mA] とすると、この消費電流 $I_{DD}(LV_{DD})$ のための電源端子数 $N_{IDD}(LV_{DD})$ は、

$$N_{IDD}(LV_{DD}) \geq I_{DD}(LV_{DD}) / 50 \quad \text{※1 端子あたり 50mA の供給が可能}$$

(3) V_{SS} 電源端子数

$$N_{IDD}(V_{SS}) \geq \{I_{DD}(HV_{DD}) + I_{DD}(LV_{DD})\} / 50 \quad \text{※1 端子あたり 50mA の供給が可能}$$

注) 1 : 電源端子 HV_{DD} 、 LV_{DD} 、 V_{SS} はいずれも、最低でも各辺 1 端子の 4 端子以上は挿入してください。

I_{DD} …「[第9章 9.1 消費電力計算](#)」で求めた消費電力を動作電圧で割った値となります。

2 : 出力バッファに直流負荷を接続し、定常的に電流が流れる場合には、電源端子を追加する必要があります。詳細は弊社営業担当までお問い合わせください。

3 : 出力の同時変化に対する電源追加は HV_{DD} 系出力バッファと LV_{DD} 系出力バッファとで区別し、各々の電源系に対し HV_{DD} 、 LV_{DD} 、 V_{SS} 端子の追加を行ってください。

7.2 同時動作と電源追加

7.2.1 2電源使用上の注意 (HV_{DD}=5.0V/LV_{DD}=3.3V)

出力バッファが複数同時に動作することによって、大きなノイズが発生することがあります。

出力バッファを同時に多数動作させる場合には、このノイズによる誤動作を防ぐために表 7-1～表 7-4 に示すように、電源を追加して下さい。

表 7-1 出力バッファ同時動作による V_{SS} 電源追加数 (HV_{DD}=5.0V)

出力駆動能力 (I _{OL})	同時動作数	追加電源数		
		CL ≤ 50pF	CL ≤ 100pF	CL ≤ 200pF
8mA	≤ 8	0	1	2
	≤ 16	1	2	4
	≤ 24	1	3	6
	≤ 32	2	4	8
12mA	≤ 8	1	2	3
	≤ 16	2	3	5
	≤ 24	2	5	7
	≤ 32	3	6	12
24mA & PCI	≤ 8	2	3	4
	≤ 16	3	4	6
	≤ 24	5	6	8
	≤ 32	6	8	16

表 7-2 出力バッファ同時動作による HV_{DD} 電源追加数 (HV_{DD}=5.0V)

出力駆動能力 (I _{OL})	同時動作数	追加電源数		
		CL ≤ 50pF	CL ≤ 100pF	CL ≤ 200pF
8mA	≤ 8	0	1	1
	≤ 16	1	1	3
	≤ 24	1	2	4
	≤ 32	1	3	5
12mA & PCI	≤ 8	1	2	3
	≤ 16	2	3	4
	≤ 24	3	4	5
	≤ 32	4	6	10

7.2.2 単一電源使用上の注意

表 7-3 出力バッファ同時動作による V_{SS} 電源追加数 ($V_{DD}=3.3V$)

出力駆動能力 (I_{OL})	同時動作数	追加電源数		
		$CL \leq 50pF$	$CL \leq 100pF$	$CL \leq 200pF$
6mA	≤ 8	0	1	2
	≤ 16	1	2	3
	≤ 24	1	2	4
	≤ 32	2	3	5
12mA	≤ 8	1	2	2
	≤ 16	2	2	3
	≤ 24	2	3	5
	≤ 32	2	4	8
PCI	≤ 8	1	2	3
	≤ 16	2	3	4
	≤ 24	3	4	5
	≤ 32	4	5	10

表 7-4 出力バッファ同時動作による V_{DD} 電源追加数 ($V_{DD}=3.3V$)

出力駆動能力 (I_{OL})	同時動作数	追加電源数		
		$CL \leq 50pF$	$CL \leq 100pF$	$CL \leq 200pF$
6mA	≤ 8	0	1	1
	≤ 16	1	1	2
	≤ 24	1	2	3
	≤ 32	1	2	3
12mA & PCI	≤ 8	1	2	2
	≤ 16	2	2	3
	≤ 24	2	3	3
	≤ 32	3	3	6

7.3 端子配置上の注意点

使用するパッケージが決まりましたら、端子配置を決定します。電源端子、使用可能入出力端子数を見積ります。

端子配置については、開発着手依頼書と一緒に、端子配列を記述した“端子配列表”（フォーマットはフリー）をセイコーエプソンに提出して下さい。弊社でお客さまより受領した“端子配列表”にしたがって配置配線を行います。

7.3.1 固定電源端子

パッケージの組み合わせにより、電源にしか使用できない端子があります。詳細は弊社営業担当までお問い合わせ下さい。

7.3.2 端子配列上の注意事項

端子配列は IC の論理機能や電気的特性に影響をおよぼすことがあります。更に IC の組立上あるいはセルやマスタの構成上等によって、端子の配置に制約があることがあります。そこで端子配列を検討する上で注意を必要とする下記の項目について説明します。

(1) 電源電流 (I_{DD} 、 I_{SS})

電源電流 (I_{DD} 、 I_{SS}) は、動作状態において電源端子に流れる電源の許容値を規定しています。この許容値を超えた電流が流れると、IC 内部の電源配線の電流密度が高くなりすぎ、IC の信頼性の低下や破壊を起こすことがあります。また、IC 内部の電圧が電流と配線抵抗により発生する電圧分だけ上昇または下降してしまいます。これによりファンクションの誤動作を招いたり、DC、AC 特性の悪影響をおよぼします。

これらの問題を避けるために電流密度や電源配線のインピーダンスを下げる必要があります。そのためには、回路設計時に消費電力を見積り、各電源端子に流れる電流が許容値を超えないような電源端子数を確保する必要があります。電源端子については、「[第7章 7.1 電源端子数の見積り](#)」を参照して下さい。また、この電源端子は一箇所に集中させず、分散させて配置します。

ただし、最終的な電源端子数は上記による電源端子に加えて、ノイズ対策等のための追加電源端子数を合わせた電源端子数が必要となります。追加電源端子数については「[第7章 7.2 同時動作と電源追加](#)」を参照して下さい。

(2) 出力バッファの動作によって発生するノイズ

出力バッファの動作によって発生するノイズは大きく分けて以下の二つに分類されます。これらのノイズを低減させるには、できるだけ多くの電源を設けることが対策となります。

① 電源ラインに発生するノイズ

電源ラインに発生するノイズは出力が多数動作した場合に問題となり、IC の入カスレッシュホールドレベルの変化を起こし、誤動作の原因となります。この電源ラインのノイズは、出力バッファの同時動作によって大きな電流が電源ラインに流れることによって発生します。

電源ノイズは特にインダクタンス成分が影響します。よって、ICの等価回路は図7-1のように表すことができます。この回路図で出力が“HIGH”→“LOW”に変化したときには出力端子から電流がIC内部に流れ込み、ICのパッケージ等による等価インダクタンスL2を通じて電流が流れます。このとき、等価インダクタンスL2によってIC内部の V_{SS} 電源ラインの電圧が変化します。この V_{SS} 電源ラインの電圧変動が電源ラインに発生するノイズです。この電源ラインに発生するノイズは、主に等価インダクタンスL2によって発生するので、電源電流が急激であるほど大きなノイズが発生します。

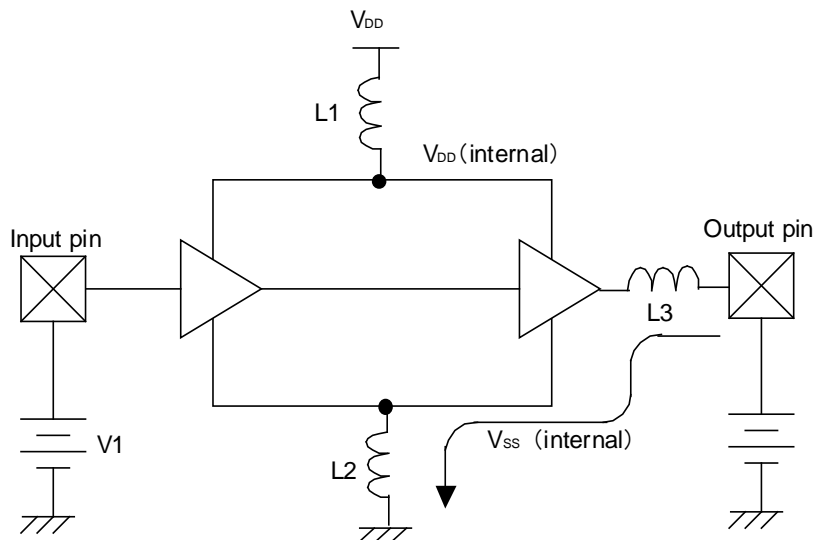


図7-1 ICの等価回路

② オーバーシュート、アンダーシュートおよびリングング

オーバーシュート、アンダーシュートおよびリングングといったノイズは出力端子についている等価インダクタンスによって発生します。図7-1のL3がこの等価インダクタンスです。インダクタンスはエネルギーを蓄える性質があるため、出力が“LOW”または“HIGH”になっても蓄えられたエネルギーによってオーバーシュート、アンダーシュートは流れる電流の大きさ、および電流の変化率に比例します。

オーバーシュート、アンダーシュートを小さくするには駆動能力の小さい出力バッファを使用するのが最も効果的で、負荷容量が大きくなるとオーバーシュート、アンダーシュートは小さくなる傾向にあります。よって、特に駆動能力の大きいセルを使用するときには注意が必要です。

(3) 入力端子、出力端子の分離

端子配列上で入力端子のグループを出力端子のグループから分離することは、ノイズの影響を軽減させるための手法です。

入力端子および入力状態の双方向はノイズの影響を受けやすいので、できる限り出力端子と混在させず、入力端子群 (Input pins)、出力端子群 (Output pins)、双方向端子群 (Bid pins) それぞれを電源端子 (V_{DD} 、 V_{SS}) で分けて配置して下さい。(図7-2)

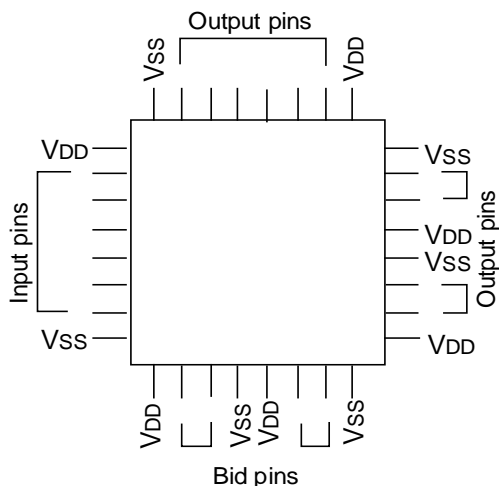


図 7-2 入力端子、出力端子の分離例

(4) クリティカル信号

クロックの入力端子や高速で動作する出力端子などのクリティカル信号については、以下の点に注意して端子の配置を行って下さい。

- ① クロック系、リセット系などのノイズの影響を小さくする必要のある端子は、出力端子から離し電源端子の近くに配置して下さい。（図 7-3）
- ② 発振回路の入出力端子（OSCIN、OSCOU）はお互い近くに配置し、電源端子（V_{DD}、V_{SS}）で挟んで下さい。また、発振回路と同期する出力端子を近くに配置しないで下さい。（図 7-4）
- ③ 高速で動作する入力、出力端子は IC（パッケージ）辺中央付近に配置して下さい。（図 7-3）
- ④ 特定の入力端子から出力端子までの遅延値がお客さまの仕様に対し余裕がない場合には、これらの入出力端子を近傍に配置して下さい。（図 7-3）

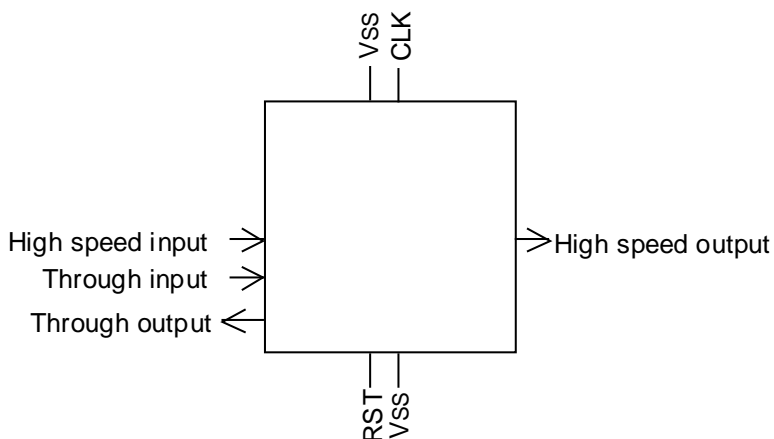


図 7-3 クリティカル信号配置例 1

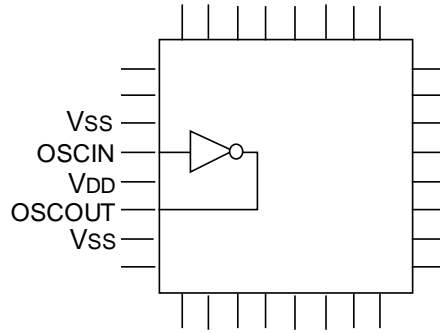


図 7-4 クリティカル信号配置例 2

(5) プルアップ／プルダウン抵抗入力

プルアップ／プルダウン抵抗値は、約数十 k Ω ～数百 k Ω と比較的大きく、その構造上電源電圧に依存性があります。

したがって、解放状態で使用する場合、例えばテスト端子としての使用目的等には、電源ノイズ等の影響を受けやすくなり、誤動作の原因の1つとなる場合がありますので、次の点に注意して下さい。

- ① 高速入力信号端子（クロック入力端子等）からなるべく離して配置して下さい。（図 7-5）
- ② 出力信号端子（特に大電流出力端子）から離して配置して下さい。（図 7-6）

なお、配置上の注意と併せて、次の点に関してもご検討下さい。

- 可能な限り基板（PCB）上でプルアップ／プルダウンの処理を行って下さい。
- なるべく抵抗値の小さいものを選択して下さい。



図 7-5 プルアップ端子、プルダウン端子配置例 1

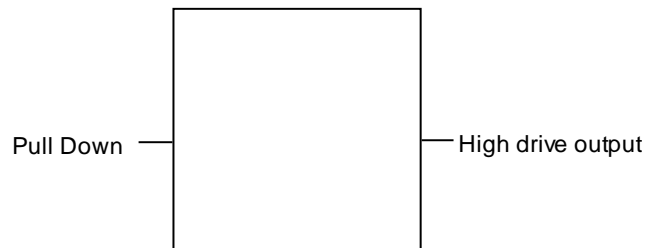


図 7-6 プルアップ、プルダウン配置例 2

第7章 端子配置の注意

(6) 出力同時動作

複数の出力端子の同時変化時にノイズが発生し、ICが誤動作を起こすことがあります。出力端子を同時に多数動作させる場合には、このノイズによる誤動作を防ぐために同時変化をする出力端子群に電源端子を追加して下さい。追加に必要な電源端子の数、および追加電源端子の配置方法は、「[7.2 同時動作と電源追加](#)」を参照して下さい。(図7-7)

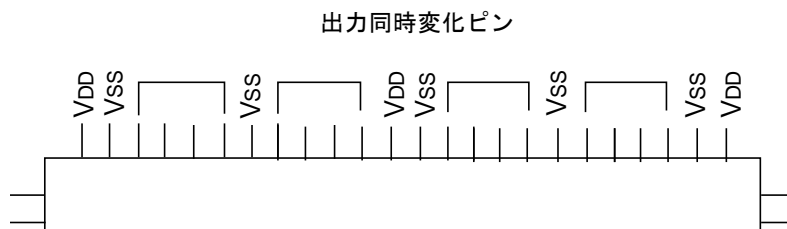


図7-7 電源端子の追加例

そのノイズを低減するために、一方の出力バッファ群の前段にディレイ用のセルを追加することにより、出力バッファの同時変化を減らすことができノイズも低減できます。(図7-8)

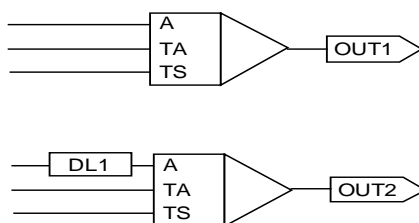


図7-8 ディレイセルの追加例

(7) 大電流ドライバ

大電流ドライバを使用する場合は、以下の制約を守り端子の配置を行って下さい。

① 電源強化の制約

大電流ドライバはドライブ能力が大きいため、出力バッファの動作時に発生するノイズの量も大きくなります。このノイズによりICが誤動作することがあります。

大電流ドライバを使用する場合には、その端子付近に電源端子を配置し、大電流ドライバ用の電源を確保して下さい。(図7-9)

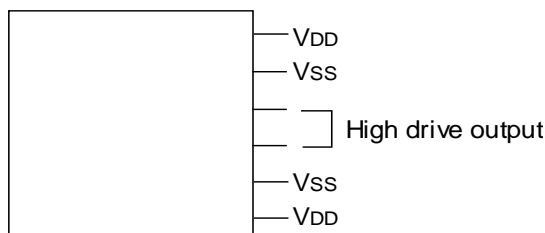


図7-9 電源強化例

(8) その他の注意事項

① NC 端子 (non connection)

NC 端子には、何も接続をしないで下さい。

7.3.3 推奨端子配列例

端子配列は、IC を正常に動作させるうえで重要なポイントとなります。以下に、この章で説明した内容を総合的に考慮した端子配列の図 (図 7-10) を示しますので、参考にして端子配列を決定して下さい。

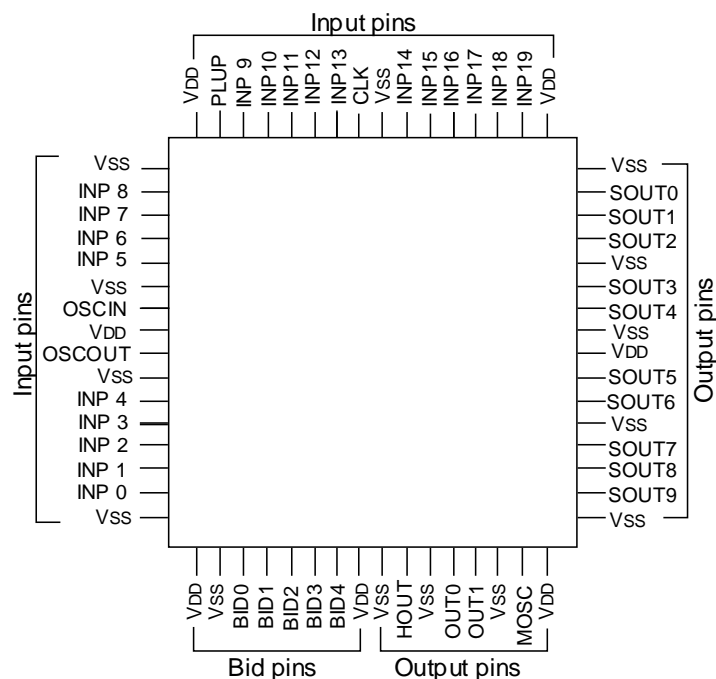


図 7-10 推奨端子配列例

パッケージの上辺、左辺には入力端子、右辺には同時変化をする出力端子、下辺には双方向端子およびその他の出力端子を配置してあります。

表 7-5 端子配列例の説明

配置	端子名	端子名の説明	各端子配置の詳細説明
上辺	PLUP	プルアップ用入力端子	ノイズの影響の少ない位置に配置
	CLK	クロック用入力端子	パッケージ中央付近、電源端子の近くに配置
左辺	OSCIN	発振用端子	パッケージ中央付近、電源端子の近くに配置
	OSCOU		パッケージ中央付近、電源端子の近くに配置
	INP0~19	入力端子	電源端子で他端子と分離して配置
右辺	SOUT0~9	同時変化出力端子	電源端子で他端子と分離し、電源端子を追加
下辺	BID0~4	双方向端子	電源端子で他端子と分離して配置
	MOSC	発振モニター用出力端子	発振用端子から離し、電源端子の近くに配置
	HOUT	高駆動出力端子	電源端子を近くに配置
	OUT01	出力端子	電源端子で他端子と分離して配置
全体	V _{DD}	V _{DD} 電源端子	
	V _{SS}	V _{SS} (GND) 電源端子	

第 8 章 RAM 仕様

S1L50000 シリーズでは、非同同期型 1 ポート RAM/2 ポート RAM 及び同期型 1 ポート RAM/2 ポート RAM をサポートしています。同期型 RAM ご要望のお客様は弊社営業担当までご連絡下さい。

8.1 特長

8.1.1 1 ポート RAM

- (1) クロック非同同期型
- (2) 完全スタティック動作
- (3) 1 アドレスポート（リード/ライト共通）、1 入力データポート、1 出力データポート
- (4) ワード数は 4 ワード刻みで 8Word~256Word、ビット数は 1 ビット刻みで 1Bit~32Bit の範囲で構成可能
- (5) 最大構成：8Kbits/module

8.1.2 2 ポート RAM

- (1) クロック非同同期型
- (2) 完全スタティック動作
- (3) 2 アドレスポート（リード/ライト独立）、1 入力データポート、1 出力データポート
- (4) ワード数は 4 ワード刻みで 8Word~256Word、ビット数は 1 ビット刻みで 1Bit~32Bit の範囲で構成可能
- (5) 最大構成：8Kbits/module

8.2 ワードビット構成とシミュレーションモデルとの対応

RAM の遅延パラメータは、ワードビット構成により変化します。したがって、ワードビット構成に対応したシミュレーションモデルを用意しています。

1 ポート RAM および 2 ポート RAM のワードビット構成に対応するシミュレーションモデルをそれぞれ表 8-1、表 8-2 に示します。

ワードビットの構成可能範囲を越える RAM が必要な場合は、複数個の RAM を組み合わせて構成してください。

表 8-1 1 ポート RAM のワードビット構成によるシミュレーションモデル対応表

ワード数 ビット数	8~32	36~64	68~96	100~128	132~160	164~192	196~224	228~256
1~16	RAM1P1	RAM1P3	RAM1P5	RAM1P7	RAM1P9	RAM1P11	RAM1P13	RAM1P15
17~32	RAM1P2	RAM1P4	RAM1P6	RAM1P8	RAM1P10	RAM1P12	RAM1P14	RAM1P16

表 8-2 2 ポート RAM のワードビット構成によるシミュレーションモデル対応表

ワード数 ビット数	8~32	36~64	68~96	100~128	132~160	164~192	196~224	228~256
1~16	RAM2P1	RAM2P3	RAM2P5	RAM2P7	RAM2P9	RAM2P11	RAM2P13	RAM2P15
17~32	RAM2P2	RAM2P4	RAM2P6	RAM2P8	RAM2P10	RAM2P12	RAM2P14	RAM2P16

第8章 RAM仕様

8.3 RAMサイズ

RAMのX方向サイズ、Y方向サイズおよび使用するBC数は、次の各々の式で計算します。

8.3.1 1ポートRAM

X方向サイズ： $RX = \text{Word} + \text{Bit}/2 + 13$

Y方向サイズ： $RY = 2 \times \text{Bit} + 10$

BC数： $\text{RAMBCS} = RX \times RY$

表 8-3 1ポートRAMの構成例とBC数

ビット数 ワード数	4	8	16	32
32	846 (47×18)	1,274 (49×26)	2,226 (53×42)	4,514 (61×74)
64	1,422 (79×18)	2,106 (81×26)	3,570 (85×42)	6,882 (93×74)
128	2,574 (143×18)	3,770 (145×26)	6,258 (149×42)	11,618 (157×74)
256	4,878 (271×18)	7,098 (273×26)	11,634 (277×42)	21,090 (285×74)

8.3.2 2ポートRAM

X方向サイズ： $RX = \text{Word} + \text{Bit}/2 + 13$

Y方向サイズ： $RY = 2 \times \text{Bit} + 14$

BC数： $\text{RAMBCS} = RX \times RY$

表 8-4 2ポートRAMの構成例とBC数

ビット数 ワード数	4	8	16	32
32	1,034 (47×22)	1,470 (49×30)	2,438 (53×46)	4,758 (61×78)
64	1,738 (79×22)	2,430 (81×30)	3,910 (85×46)	7,254 (93×78)
128	3,146 (143×22)	4,350 (145×30)	6,854 (149×46)	12,246 (157×78)
256	5,962 (271×22)	8,190 (273×30)	12,742 (277×46)	22,230 (285×78)

8.4 RAM の搭載可否判断

RAM を搭載する場合には、搭載しようとするマスタのベーシックセル配列数が X 方向、Y 方向ともに RAM のサイズを上回っていることが必要です。

RAM を複数個使用する場合には RAM ブロックどうしを上下左右に隣り合わせるレイアウトになります。前節の計算式には、RAM 周りの配線領域を含めてありますので、単純に RXSIZE、RYSIZE をそれぞれに足した値で搭載可否を判断することができます。各マスタごとのベーシックセルの X 方向、Y 方向の配列数は表 1-1 を参照してください。

例として、256 ワード×8 ビットの 1 ポート RAM を 4 個使用する場合の S1L50282 もしくは S1L50752 への搭載可否を考えます。

図 8-1 に示すように RAM のレイアウトサイズとしては、

X 方向： 273BC

Y 方向： 104BC

が必要となるため、

S1L50282 は (X, Y)=(319, 90) で搭載不可

S1L50752 は (X, Y)=(519, 146) で搭載可

となります。

また、RAM を除くランダムロジック使用可能 BC 数は、以下の式で算出することができます。

$$0.9 \times \text{セル使用率} \times (\text{マスタごとの搭載 BC 総数} - \text{RAM の BC 数})$$

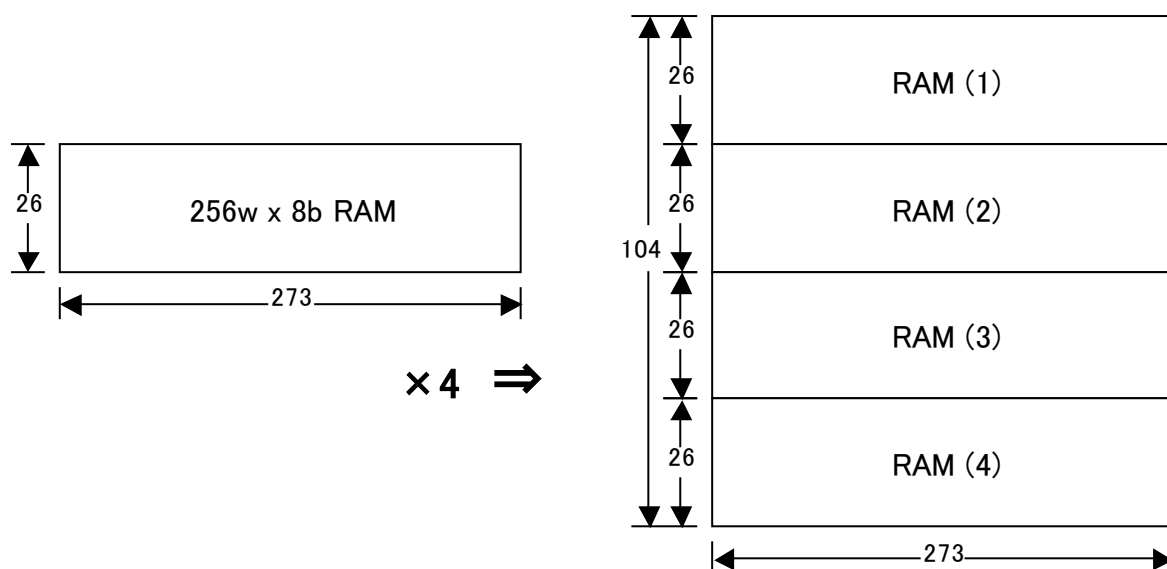


図 8-1 RAM レイアウト例

8.5 機能説明

8.5.1 1ポートRAM

表 8-5 1ポートRAMの信号説明

信号名	I/O	FUNCTION
CS	IN	チップセレクト信号、H: RAM アクティブ
RW	IN	リード/ライト信号、H: リード、L: ライト
A0, A1, ..., A (m-1)	IN	リード/ライトアドレスポート、A0: LSB
D0, D1, ..., D (n-1)	IN	データ入力ポート、D0: LSB
Y0, Y1, ..., Y (n-1)	OUT	データ出力ポート、Y0: LSB

表 8-6 1ポートRAM 真理値表

CS	RW	A0, A1, ..., A (m-1)	Y0, Y1, ..., Y (n-1)	モード
0	X	X	Unknown	待機
1	0	ステータブル	Unknown	書き込み
1	1	ステータブル	読み出しデータ	読み出し

X: HIGH または LOW

- データの読み出し

データは、CS を “HIGH”、RW を “HIGH” に保ち、アドレスをセットすることにより読み出せます。

- データの書き込み

データを書き込むには、次の 2 とおりの方法があります。

- (1) CS を “HIGH” に保ち、アドレスをセットし、RW に “LOW” レベルパルスを加える。
- (2) RW を “LOW” に保ち、アドレスをセットし、CS に “HIGH” レベルパルスを加える。

いずれの場合も、パルスの後エッジにて RAM 内にラッチされます。

- 待機状態

CS が “LOW” の場合には 1 ポート RAM は待機状態になり、データを保持するだけになります。RAM 内での消費電流はリーク電流のみになり、ほぼゼロになります。

8.5.2 2ポート RAM

表 8-7 2ポート RAM の信号説明

信号名	I/O	Function
CS	IN	チップセレクト信号、H: RAM アクティブ
RD	IN	リード信号、H: リードイネーブル
WR	IN	ライト信号、H: ライトイネーブル
RA0, ... RA (m-1)	IN	リードアドレスポート、RA0: LSB
WA0, ... WA (m-1)	IN	ライトアドレスポート、WA0: LSB
DO, D1, ... D (n-1)	IN	データ入力ポート、D0: LSB
Y0, Y1, ... Y (n-1)	OUT	データ出力ポート、Y0: LSB

表 8-8 2ポート RAM 真理値表

CS	RD	WR	RA0, ..., RA (n-1)	WA0, ..., WA (m-1)	Y0, ..., Y (n-1)	モード
0	X	X	X	X	Unknown	待機
1	0	0	X	X	Unknown	待機
1	0	1	X	ステータブル	Unknown	書き込み
1	1	0	ステータブル	X	読み出しデータ	読み出し
1	1	1	ステータブル	ステータブル	読み出しデータ	読み書き

X: HIGH または LOW

(1) データの読み出し

データは、CS を “HIGH”、RD を “HIGH” に保ちアドレスをセットすることにより読み出せます。

(2) データの書き込み

データを書き込むには、次の 2 とおりの方法があります。

- ① CS を “HIGH” に保ち、アドレスをセットし、WR に “HIGH” レベルパルスを加える。
- ② WR を “HIGH” に保ち、アドレスをセットし、CS に “HIGH” レベルパルスを加える。

(3) データの読み書き

リードアドレスとライトアドレスを用いて、読み出しと書き込みを同時に行うことができます。ただし、同一アドレスへの読み出しと書き込みの同時動作は禁止です。また、「8.7 遅延パラメータ」に記載されているリードサイクルのアクセスタイムは、すでに書き込みが終了しているデータを対象としています。

(4) 待機状態

次の 2 とおりの場合には 2 ポート RAM は待機状態になりデータを保持するだけになります。RAM 内での消費電流はリーク電流のみになり、ほぼゼロになります。

- ① CS が “LOW” のとき。
- ② CS が “HIGH”、RD が “LOW”、WR が “LOW” のとき。

8.6 非存在アドレスへのアクセス禁止

RAM の構成において、48 ワード、88 ワードといった中間ワード構成の RAM を使用する場合、非存在アドレスへのアクセスの可能性が考えられます。

実際の IC では、非存在アドレスに読み出し動作を行なった場合は、対象となるワード線が存在せず、すべてのワード線が OFF 状態になってしまうため、全ビット線がフローティング状態になってしまいます。そのため、以下の理由により、非存在アドレスへのアクセス動作を禁止します。

- (1) すべてのビット線がフローティング状態のまま読み出し動作が行われてしまうため、RAM の出力が全ビット “不定” となってしまう。
- (2) すべてのビット線がフローティング状態のまま読み出し動作が行われてしまうため、回路の一部で電流が流れる経路が発生してしまう。この電流値は RAM の構成・規模によって異なりますが、IC 全体の動作電流・静止時電流にバラツキを発生させてしまう。

論理シミュレーションにおいては、Read/Write オペレーション時のクロックの立ち上がりタイミングで、非存在アドレスチェックを行い、非存在アドレスのアクセス時にタイミングエラーを出力します。

8.7 遅延パラメータ

8.7.1 3.3V 仕様 ($V_{DD}=3.3\pm 0.3V$ 、 $T_a=-40\sim 85^\circ C$)

表 8-9-1 1ポート/2ポート RAM リードサイクル (1/4)

パラメータ	記号	RAM1P1/ RAM2P1		RAM1P2/ RAM2P2		RAM1P3/ RAM2P3		RAM1P4/ RAM2P4		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	4.35	–	4.77	–	5.19	–	5.61	–	ns
アドレスアクセスタイム	t_{ACC}	–	4.35	–	4.77	–	5.19	–	5.61	
CS アクセスタイム	t_{ACS}	–	4.35	–	4.77	–	5.19	–	5.61	
RW アクセスタイム	t_{ARW}	–	4.35	–	4.77	–	5.19	–	5.61	
CS アクティブタイム	t_{RCS}	4.35	–	4.77	–	5.19	–	5.61	–	
アドレス変化後 出力ホールドタイム	t_{OH}	0.08	–	0.14	–	0.08	–	0.14	–	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.08	–	0.14	–	0.08	–	0.14	–	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.08	–	0.14	–	0.08	–	0.14	–	

表 8-9-2 1ポート/2ポート RAM リードサイクル (2/4)

パラメータ	記号	RAM1P5/ RAM2P5		RAM1P6/ RAM2P6		RAM1P7/ RAM2P7		RAM1P8/ RAM2P8		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	6.03	–	6.45	–	6.86	–	7.29	–	ns
アドレスアクセスタイム	t_{ACC}	–	6.03	–	6.45	–	6.86	–	7.29	
CS アクセスタイム	t_{ACS}	–	6.03	–	6.45	–	6.86	–	7.29	
RW アクセスタイム	t_{ARW}	–	6.03	–	6.45	–	6.86	–	7.29	
CS アクティブタイム	t_{RCS}	6.03	–	6.45	–	6.86	–	7.29	–	
アドレス変化後 出力ホールドタイム	t_{OH}	0.08	–	0.14	–	0.08	–	0.14	–	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.08	–	0.14	–	0.08	–	0.14	–	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.08	–	0.14	–	0.08	–	0.14	–	

第8章 RAM仕様

表 8-9-3 1ポート/2ポートRAMリードサイクル (3/4)

パラメータ	記号	RAM1P9/ RAM2P9		RAM1P10/ RAM2P10		RAM1P11/ RAM2P11		RAM1P12/ RAM2P12		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	7.70	-	8.12	-	8.54	-	8.96	-	ns
アドレスアクセスタイム	t_{ACC}	-	7.70	-	8.12	-	8.54	-	8.96	
CS アクセスタイム	t_{ACS}	-	7.70	-	8.12	-	8.54	-	8.96	
RW アクセスタイム	t_{ARW}	-	7.70	-	8.12	-	8.54	-	8.96	
CS アクティブタイム	t_{RCS}	7.70	-	8.12	-	8.54	-	8.96	-	
アドレス変化後 出力ホールドタイム	t_{OH}	0.08	-	0.14	-	0.08	-	0.14	-	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.08	-	0.14	-	0.08	-	0.14	-	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.08	-	0.14	-	0.08	-	0.14	-	

表 8-9-4 1ポート/2ポートRAMリードサイクル (4/4)

パラメータ	記号	RAM1P13/ RAM2P13		RAM1P14/ RAM2P14		RAM1P15/ RAM2P15		RAM1P16/ RAM2P16		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
リードサイクル	t_{RC}	9.38	-	9.80	-	10.22	-	10.64	-	ns
アドレスアクセスタイム	t_{ACC}	-	9.38	-	9.80	-	10.22	-	10.64	
CS アクセスタイム	t_{ACS}	-	9.38	-	9.80	-	10.22	-	10.64	
RW アクセスタイム	t_{ARW}	-	9.38	-	9.80	-	10.22	-	10.64	
CS アクティブタイム	t_{RCS}	9.38	-	9.80	-	10.22	-	10.64	-	
アドレス変化後 出力ホールドタイム	t_{OH}	0.08	-	0.14	-	0.08	-	0.14	-	
CS ディスエーブル後 出力ホールドタイム	t_{OHCS}	0.08	-	0.14	-	0.08	-	0.14	-	
RW ディスエーブル後 出力ホールドタイム	t_{OHRW}	0.08	-	0.14	-	0.08	-	0.14	-	

表 8-10-1 1ポート/2ポートRAMライトサイクル (1/4)

パラメータ	記号	RAM1P1/ RAM2P1		RAM1P2/ RAM2P2		RAM1P3/ RAM2P3		RAM1P4/ RAM2P4		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	3.82	–	5.07	–	3.93	–	5.17	–	ns
ライトパルス幅	t_{WP}	1.87	–	3.11	–	1.91	–	3.16	–	
CS アクティブタイム	t_{WCS}	1.87	–	3.11	–	1.91	–	3.16	–	
アドレスセットアップタイム	t_{AS}	0.63	–	0.63	–	0.68	–	0.68	–	
アドレスホールドタイム	T_{AH}	1.33	–	1.33	–	1.33	–	1.33	–	
データセットアップタイム	t_{DS}	0.00	–	0.00	–	0.00	–	0.00	–	
データホールドタイム	t_{DH}	2.33	–	3.33	–	2.37	–	3.37	–	

表 8-10-2 1ポート/2ポートRAMライトサイクル (2/4)

パラメータ	記号	RAM1P5/ RAM2P5		RAM1P6/ RAM2P6		RAM1P7/ RAM2P7		RAM1P8/ RAM2P8		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	4.04	–	5.28	–	4.15	–	5.40	–	ns
ライトパルス幅	t_{WP}	1.97	–	3.21	–	2.02	–	3.27	–	
CS アクティブタイム	t_{WCS}	1.97	–	3.21	–	2.02	–	3.27	–	
アドレスセットアップタイム	t_{AS}	0.74	–	0.74	–	0.80	–	0.80	–	
アドレスホールドタイム	T_{AH}	1.33	–	1.33	–	1.33	–	1.33	–	
データセットアップタイム	t_{DS}	0.00	–	0.00	–	0.00	–	0.00	–	
データホールドタイム	t_{DH}	2.42	–	3.42	–	2.46	–	3.46	–	

第 8 章 RAM 仕様

表 8-10-3 1ポート/2ポートRAMライトサイクル (3/4)

パラメータ	記号	RAM1P9/ RAM2P9		RAM1P10/ RAM2P10		RAM1P11/ RAM2P11		RAM1P12/ RAM2P12		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	4.27	–	5.51	–	4.39	–	5.64	–	ns
ライトパルス幅	t_{WP}	2.08	–	3.33	–	2.15	–	3.39	–	
CS アクティブタイム	t_{WCS}	2.08	–	3.33	–	2.15	–	3.39	–	
アドレスセットアップタイム	t_{AS}	0.85	–	0.85	–	0.91	–	0.91	–	
アドレスホールドタイム	T_{AH}	1.33	–	1.33	–	1.33	–	1.33	–	
データセットアップタイム	t_{DS}	0.00	–	0.00	–	0.00	–	0.00	–	
データホールドタイム	t_{DH}	2.50	–	3.50	–	2.54	–	3.54	–	

表 8-10-4 1ポート/2ポートRAMライトサイクル (4/4)

パラメータ	記号	RAM1P13/ RAM2P13		RAM1P14/ RAM2P14		RAM1P15/ RAM2P15		RAM1P16/ RAM2P16		単位
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
ライトサイクル	t_{WC}	4.52	–	5.76	–	4.65	–	5.89	–	ns
ライトパルス幅	t_{WP}	2.22	–	3.46	–	2.29	–	3.54	–	
CS アクティブタイム	t_{WCS}	2.22	–	3.46	–	2.29	–	3.54	–	
アドレスセットアップタイム	t_{AS}	0.97	–	0.97	–	1.02	–	1.02	–	
アドレスホールドタイム	T_{AH}	1.33	–	1.33	–	1.33	–	1.33	–	
データセットアップタイム	t_{DS}	0.00	–	0.00	–	0.00	–	0.00	–	
データホールドタイム	t_{DH}	2.59	–	3.59	–	2.63	–	3.63	–	

8.8 タイミングチャート

8.8.1 1ポートRAM

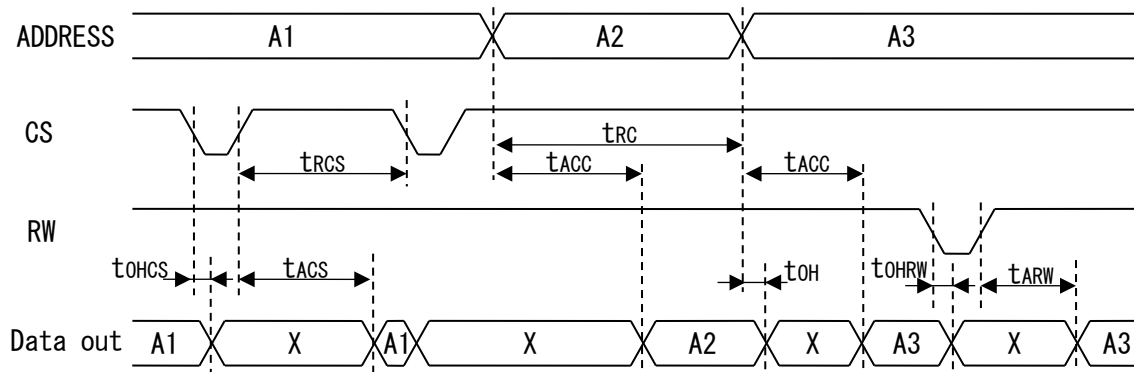


図 8-2 リードサイクル

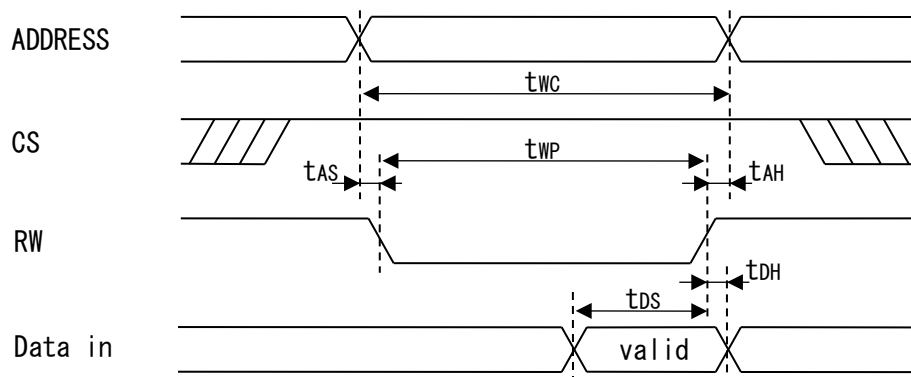


図 8-3 ライトサイクル (RW 制御)

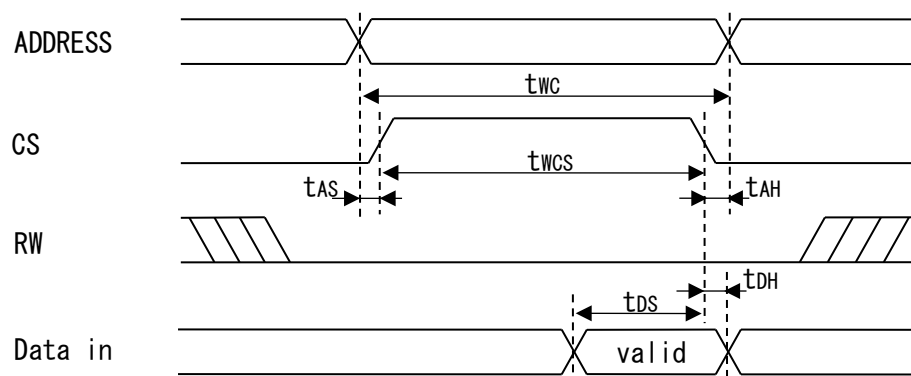


図 8-4 ライトサイクル (CS 制御)

8.8.2 2ポートRAM

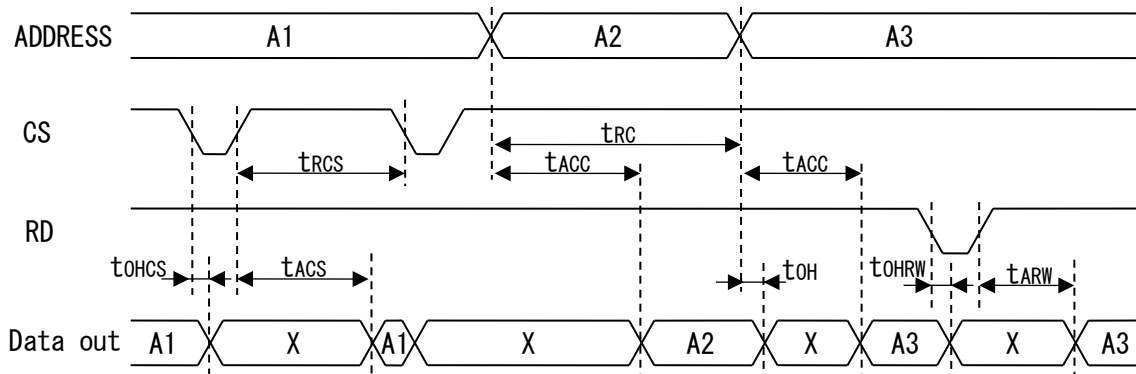


図 8-5 リードサイクル

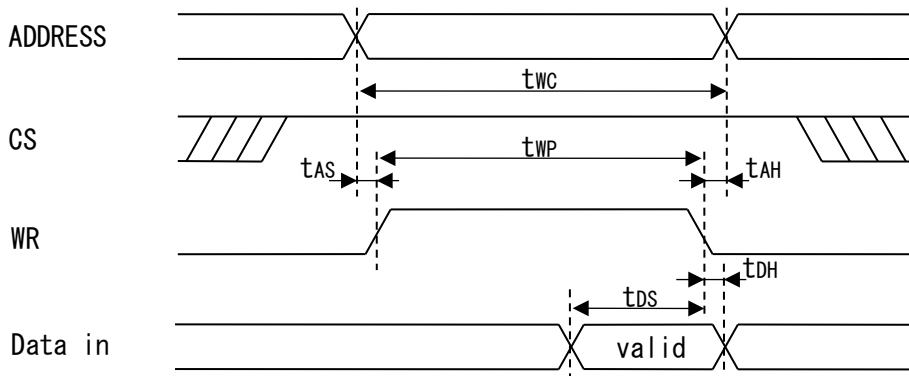


図 8-6 ライトサイクル (WR 制御)

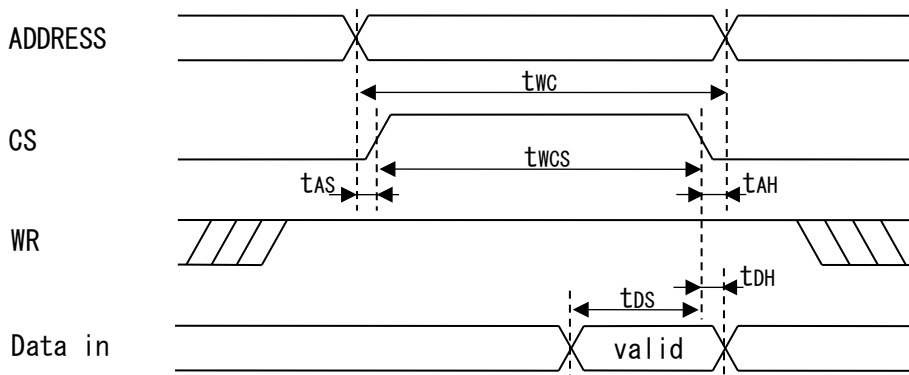


図 8-7 ライトサイクル (CS 制御)

第9章 消費電力の見積り

本章での消費電力計算値については、あくまでも参考値であり、保証値ではありません。消費電力を計算して、許容消費電力に収まっているかどうかの参考として下さい。

9.1 消費電力計算

消費電力は、動作周波数、負荷容量、電源電圧に依存します。（定常電流が流れる特殊なもの は除きます。）

IC 全体の消費電力の算出にあたっては、まず内部回路のそれぞれブロックごとの消費電力を求め、その総和を求めます。次に入力バッファ、出力バッファの消費電力を求め、それらを合計したものが求める総消費電力となります。

9.1.1 2電源の場合の消費電力計算

2電源対応での消費電力の計算は、HV_{DD}系とLV_{DD}系に分けて消費電力を求める必要があります。

求める総消費電力 P_{total} は、以下の式で求めます。

$$P_{total} = P_{int} + P_i(HV_{DD}) + P_i(LV_{DD}) + P_o(HV_{DD}) + P_o(LV_{DD})$$

P_{int} : 内部回路の消費電力

P_i : 入力バッファの消費電力

P_o : 出力バッファの消費電力

(1) 内部セルの消費電力 (P_{int})

$$P_{int} = \sum_{i=1}^K \{ (Nb \times U) \times f_i \times Spi \times K_{pint} \} [W]$$

Nb : 回路の総 BC 数

U : セル使用効率

K : 内部セルの総数

f_i : I 番目の動作周波数 [MHz]

Spi : 全セル中、動作周波数 f_i [MHz] で動作する BC の割合

(システムの内容にもよりますが、20~30%を目安としてください)

K_{pint} : 1BC あたりの消費電力

(LV_{DD}の該当する値を表 9-1 に示します)

表 9-1 S1L50000 シリーズ 2 電源 1 BC あたりの K_{pint}

LV _{DD} (TYP)	K _{pi}
3.3V	0.70 μW/MHz

第9章 消費電力の見積り

(2) 入力バッファ (Pi) の消費電力 (Pi (HV_{DD}) と Pi (LV_{DD}))

HV_{DD} 系の消費電力を Pi (HV_{DD})、LV_{DD} 系の消費電力を Pi (LV_{DD}) とすると、入力バッファに消費電力は各バッファに入力される信号の周波数 f [MHz] に Kpi [μW/MHz] を乗じたものの総和になります。

$$P_i (HV_{DD}) = \sum_{i=1}^K (Kpi \times f_i) \quad [\mu W]、P_i (LV_{DD}) = \sum_{i=1}^K (Kpi \times f_i) \quad [\mu W]$$

K : 内部セルの総数

f_i : i 番目の入力バッファの動作周波数 [MHz]

Kpi : 入力バッファの電圧係数 (表 9-2 を参照してください。)

上式の P_i (HV_{DD}) と P_i (LV_{DD}) の合計が入力バッファの消費電力となります。HV_{DD} 系の入力バッファは 5.0V (あるいは 3.3V) の Kpi を LV_{DD} 系の場合は 3.3V の Kpi を代入して計算して下さい。Kpi の値は表 9-2 を参照して下さい。

表 9-2 S1L50000 シリーズ 2 電源入力バッファ Kpi

V _{DD} (TYP)	Kpi
HV _{DD} =5.0V	17.7 μW/MHz
HV _{DD} (or LV _{DD}) =3.3V	6.2 μW/MHz

(3) 出力バッファの消費電力 (Po (HV_{DD}) と Po (LV_{DD}))

HV_{DD} 系の消費電力を Po (HV_{DD})、LV_{DD} 系の消費電力を Po (LV_{DD}) とすると、

$$P_o(\text{total}) = P_o(HV_{DD}) + P_o(LV_{DD})$$

出力バッファの交流消費電力を P_{AC}、直流消費電力を P_{DC} とすると、

$$P_o(HV_{DD}) = \sum \{P_{AC}(HV_{DD}) + P_{DC}(HV_{DD})\}$$

$$P_o(LV_{DD}) = \sum \{P_{AC}(LV_{DD}) + P_{DC}(LV_{DD})\}$$

① 交流消費電力 (P_{AC})

交流負荷での出力バッファ消費電力の総量は、以下の式で概略値を求めることができます。

$$P_{AC} = \sum_{i=1}^K \{f_i \times C_{Li} \times (V_{DD})^2\}$$

K : 内部セルの総数

f_i : i 番目の出力バッファの動作周波数 [Hz]

C_L : 出力負荷容量 [F]

V_{DD} : 電源電圧 [V]

② 直流消費電力 (P_{DC})

直流消費電力は、次の式で概略値を求めます。

$$P_{DC} = P_{DCH} + P_{DCL}$$

$$P_{DCH} = |I_{OH}| \times (V_{DD} - V_{OH})$$

$$P_{DCL} = I_{OL} \times V_{OL}$$

P_{DCH} と P_{DCL} の比は出力信号の Duty 比で決まります。

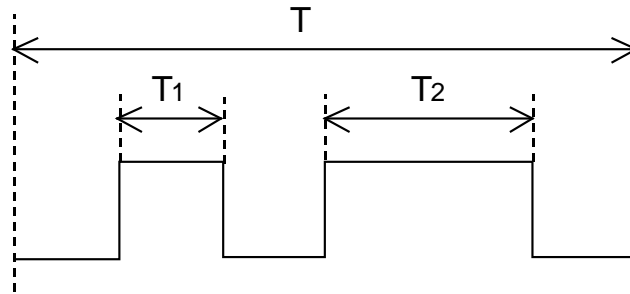


図 9-1 Duty Cycle の例

図 9-1 を例にとると、

$$\text{Duty H} = (T_1 + T_2) \div T$$

$$\text{Duty L} = (T - T_1 - T_2) \div T$$

従って

$$P_{DC} = P_{DCH} + P_{DCL} \\ = \sum_{i=1}^K \{ (V_{DD} - V_{OHi}) \times I_{OHi} \times \text{Duty H} \} + \sum_{i=1}^K \{ V_{OLi} \times I_{OLi} \times \text{Duty L} \}$$

求める出力バッファの消費電力 P_o は

$$P_o(HV_{DD}) = \sum_{i=1}^K \{ f_i \times C_{Li} \times (HV_{DD})^2 \} + \sum_{i=1}^K \{ f_i \times C_{Li} \times (HV_{DD} - V_{OHi}) \times |I_{OHi}| \times \text{Duty H} \} \\ + \sum_{i=1}^K \{ V_{OLi} \times I_{OLi} \times \text{Duty L} \}$$

$$P_o(LV_{DD}) = \sum_{i=1}^K \{ f_i \times C_{Li} \times (LV_{DD})^2 \} + \sum_{i=1}^K \{ f_i \times C_{Li} \times (LV_{DD} - V_{OHi}) \times |I_{OHi}| \times \text{Duty H} \} \\ + \sum_{i=1}^K \{ V_{OLi} \times I_{OLi} \times \text{Duty L} \}$$

第9章 消費電力の見積り

9.1.2 単一電源の場合の消費電力の計算

(1) 内部セル (P_{int})

内部セルの消費電力は、使用ゲート数、セル使用効率、動作周波数およびその動作周波数で動作するセルの割合によって異なり、次のように計算されます。

$$P_{int} = \sum_{i=1}^K \{ (Nb \times U) \times f_i \times S_{pi} \times K_{pint} \} \text{ [}\mu\text{W]}$$

Nb : 回路の総 BC 数

U : セル使用効率

f_i : I 番目の動作周波数 [MHz]

S_{pi} : 全セル中、動作周波数 f_i [MHz] で動作する BC の割合
(システムの内容にもよりますが、20~30%を目安としてください。)

K_{pint} : 1BCあたりの消費電力、表 9-3 を参照してください。

表 9-3 S1L50000 シリーズ単一電源 1 BC あたりの K_{pint}

V _{DD} (TYP)	K _{pi}
3.3V	0.70 μW/MHz

(2) 入力バッファ (P_i)

入力バッファに消費電力は各バッファに入力される信号の周波数 f [MHz] に K_{pi} [μW/MHz] を乗じたものの総和になります。

$$P_i = \sum_{i=1}^K (K_{pi} \times f_i) \text{ [}\mu\text{W]}$$

f_i : I 番目の入力バッファの動作周波数 [MHz]

K_{pi} : 入力バッファの電圧係数 (表 9-4 を参照してください。)

表 9-4 S1L50000 シリーズ単一電源入力バッファ K_{pi}

V _{DD} (TYP)	K _{pi}
3.3V	6.2 μW/MHz

(3) 出力バッファ (P_o)

出力バッファの消費電力は、直流負荷の場合 (抵抗性の負荷、接続先が TTL デバイスの場合など) と、交流負荷の場合 (容量性の負荷、接続先が CMOS デバイスの場合など) で異なります。

出力バッファの直流消費電力を P_{DC}、交流消費電力を P_{AC} とすると、求める出力バッファの総消費電力 P_o は次の式で表されます。

$$P_o = P_{AC} + P_{DC}$$

① 交流消費電力 (P_{AC})

交流負荷での消費電力は、以下の式で概略値を求めることができます。

$$P_{AC} = \sum_{i=1}^K \{ f_i \times C_{Li} \times (V_{DD})^2 \}$$

f_i : i 番目の出力バッファの動作周波数 [Hz]
 G_L : 出力負荷容量 [F]
 V_{DD} : 電源電圧 [V]

② 直流消費電力 (P_{DC})

直流消費電力は、次の式で概略値を求めます。

$$P_{DC} = P_{DCH} + P_{DCL}$$

$$P_{DCH} = |I_{OH}| \times (V_{DD} - V_{OH})$$

$$P_{DCL} = I_{OL} \times V_{OL}$$

このとき、 P_{DCH} と P_{DCL} の比は出力信号の Duty 比で決まります。

図 9-1 を例にとると、

$$\text{Duty H} = (T_1 + T_2) \div T$$

$$\text{Duty L} = (T - T_1 - T_2) \div T$$

となります。これにより、

$$P_{DC} = P_{DCH} + P_{DCL}$$

$$= \sum_{i=1}^K \{ (V_{DD} - V_{OH}i) \times I_{OH}i \times \text{Duty H} \} + \sum_{i=1}^K (V_{OL}i \times I_{OL}i \times \text{Duty L})$$

9.1.3 ローパワーセル

低消費電力動作を実現するために、低消費電力タイプのローパワーセルを用意しています。これらを使用するとノーマルセルと比較して伝播遅延は増加しますが、ゲート当たりの消費電力は約 8 割程度まで軽減することが可能です。

ローパワーセルを使用した場合の消費電力は、表 9-1 、表 9-3 の $K_{pint} \times 0.8$ として計算してください。表 9-5 にローパワーセルの一例を示します。

9.1.4 ローノイズセル

フリップフロップセルの構成を伝播遅延時間への影響を可能な限り押さえつつ、フリップフロップセルの動作による動作電流のピーク電流値を低減することで、ローノイズを実現したセルで、お客様の製品において EMI 低減に効果的なセルです。

ローノイズセルを使用した場合の消費電力は、表 9-1 、表 9-3 の K_{pint} 値 $\times 0.7$ となります。表 9-5 にローノイズセルの一例を示します。

表 9-5 S1L50000 シリーズ ローパワー/ローノイズセル名の例

種類	ノーマルタイプ	ローパワーセル	ローノイズセル
D-Flip Flop*1	DF	DFL	DFLQ
JK-Flip Flop*1	JKR	JKRL	-
Latch	LF	LFL	-

注) *1: 上記セル以外にスキャン用セルなども用意しております。

第9章 消費電力の見積り

ローノイズセルの EMI 低減効果を示すデータを図 9-2 に示します。なお、このデータは弊社テストサンプルによる評価結果の一例であり、お客様の開発される製品においては回路条件の差異により、同一の結果とならない場合があります。

詳細については弊社営業担当までお問い合わせください。

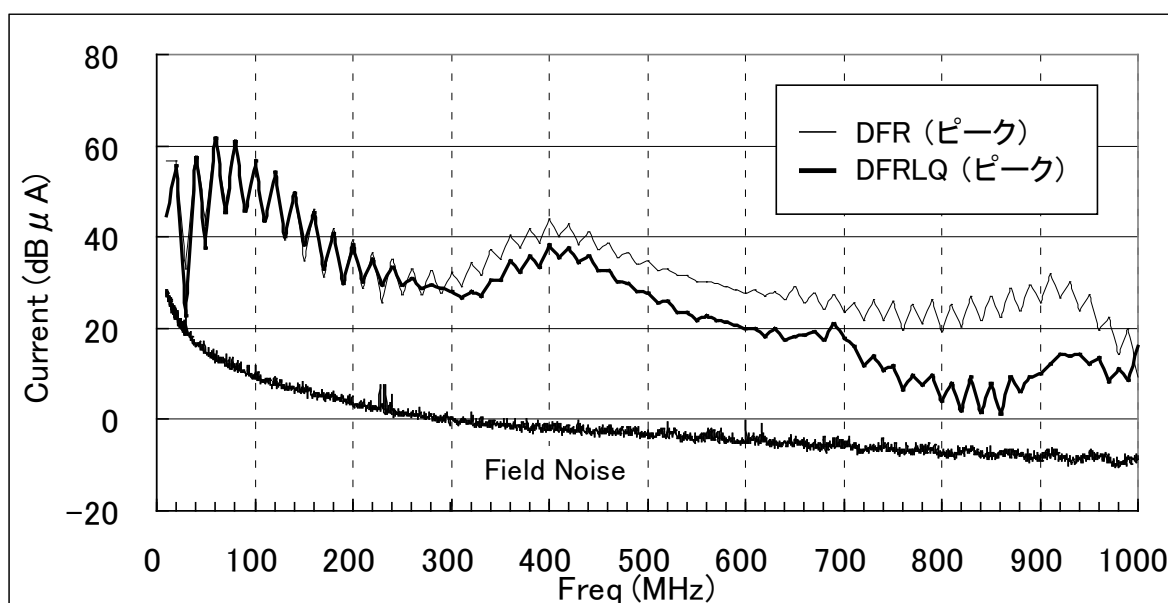


図 9-2 IEC 61967-1, 6 (MP 法) による V_{DD} 電流のスペクトラム

9.2 消費電力制限

消費電力の量により IC のチップ温度 (T_j) は変化し、IC の特性に影響します。そのため IC を使用する条件で消費電力を求め、チップ温度 (T_j) が $-40 \sim 125 [^{\circ}\text{C}]$ の範囲になることをご確認ください。(*1)

チップ温度 (T_j) は、消費電力 (PD)、周囲温度 (T_a)、パッケージの熱抵抗 (θ_{j-a}) から以下の式で求めることができます。

$$\text{チップ温度}(T_j) = T_a + (PD \times \theta_{j-a}) \quad [^{\circ}\text{C}]$$

パッケージの熱抵抗値は、以下 Web “LSI チップ温度について” を参照ください。

Web : www.epson.jp/prod/semicon/products/asic/package_list.htm#ac06

(*1) 一般的に IC の仕様は周囲温度 (T_a) で規定されますが、本シリーズでは

周囲温度 (T_a) = $-40 \sim 85 [^{\circ}\text{C}]$ を推奨周囲温度とした

チップ温度 (T_j) = $-40 \sim 125 [^{\circ}\text{C}]$ で特性の保証をしています。

付録

A1. シミュレーション結果例

A1.1 シミュレーション結果と期待値とのコンペアファイル例

```

# APF file comparison program (apfcomp)
# version 2.70 Copyright (c) 1995-2003. SEIKO EPSON CORPORATION
#   EXPECT      : samp.apf          ← 比較する期待値ファイル名
#   COMPARE     : samp.samax        ← 比較するAPFファイル名
#   RESULT      : samp.expmax       ← 比較結果ファイル
#   RUN DATE    : Wed Feb 13 15:03:14 2008 ← プログラム実行 日付/時間
#   DON'T CARE  :                   ← オプション-noxcareが指定された場合'X'、-nodotcareが指定された場合'.'
#   IGNORE RZ   : NO                ← オプション-norzcareが指定された場合 YES
#
$DESIGN sample

$RATE 100000
$STROBE 98000
$RESOLUTION 0.001ns

$IIOCONT
I_14.E EO DATA3
I_15.E EO DATA2
I_16.E EO DATA1
$ENDIIOCONT

$NODE
SEL I 0
CK N 0 50000
RESET I 0
DATA1 BU 0
DATA2 BU 0
DATA3 BU 0
$ENDNODE
# Compared .....

$PATTERN
#   SCRDDD
#   EKEAAA
#   L STTT
#   EAAA
#   T123
#
#   INIBBB
#   UUU
#
#   3 ONLLLL
#Mismatch H ← ミスマッチ行およびミスマッチの値
#   10 ON1LLH ← ミスマッチ行およびミスマッチの値
#Mismatch HX ← ミスマッチ行およびミスマッチの値
#   12 ON1LHL ← ミスマッチ行およびミスマッチの値
#Mismatch H ?
$ENDPATTERN
#   3 Mismatch lines found. 93.2% Matched ← パターン中の一致しなかった行数、および割合
# End event of EXPECT_file = 43 ← 期待値ファイルの最終イベント
# End event of COMPARE_file = 43 ← APFファイルの最終イベント
# MISMATCH SIGNAL Actual / Total number of mismatches at each node.
# * Actual = Total number of mismatches at each node minus (-) number of "?".
# << DATA1 >> COUNT = 3/3 ← 一致しなかった信号名とミスマッチ件数
# << DATA2 >> COUNT = 1/1 ← COUNT = ?を除いたミスマッチ数/ミスマッチ数
# << DATA3 >> COUNT = 0/1

```

コンペアファイルにミスマッチがある場合、以下の原因が考えられます。

- (1) フリップフロップのミスラッチ
セットアップタイムやホールドタイムの制約を超えていると、タイミングエラーリストに現れないことに注意して下さい。
- (2) 出力遅延によるストロブ・ポイント超え
1つの出力端子からの出力結果が、出力期待値より常に1サイクル分遅れて変化しているように見えるときに考えられます。L出力のみ、またはH出力のみ遅れている場合もあります。
- (3) 出力最終段の組み合わせ回路のハザード
組み合わせ回路で生じたハザード（ヒゲパルス）が外部に出る場合があります。タイミングエラーリストのNARROW レポートで確認できます。これを回避するためには、組み合わせ回路からの信号を一度フリップフロップで受けたものを出力するようにして下さい。
- (4) 不定値(X)の伝播
初期化前のRAM、フリップフロップの出力は不定です。
クロックライン上に組み合わせ回路がある場合、入力同時変化で生じたハザードがフリップフロップのクロック端子に入力されると、そのフリップフロップの出力は不定になります。
また、PowerCompiler等でクロックゲーティング用の複合セル（例えばCLPSAD2V）を挿入した場合、イネーブル端子に不定が入力されていると、出力クロックが不定になります。

A1.2 タイミングエラーリスト

シミュレーション中にタイミングエラーが発生した場合、図 A1-1 のようなリスト(*. errmax, *. errmin) が出力されます。ここでは、そのタイミングエラーリストの見方について、図 A1-2 を交えて説明します。図 A1-1 (a) ~ (g) は、タイミング図 A1-2 (a) ~ (g) に対応。

```

*
*OUTPUT NAME VALUE OFFSET/EVENT NUMBER
**-----
I=top. ffreg1_reg(a) (D ->posedge C &&& (VM6 != 0))(b) ==SETUP TIME ERROR(c) ... SPEC =325(d) )
323(e) 471(f) / 3 35 120 185(g)
**-----SUB_TOT 4(h)
I=top. ffreg5_reg (posedge C ->D ==HOLD TIME ERROR ... SPEC =106 )
93 474/ 3
**-----SUB_TOT 1
I=top. sub1. flag_a_0 (negedge R ->posedge C &&& (D !=0) ==SETUP TIME ERROR ... SPEC =334 )
320 482/ 3 276
309 482/ 405
309 419/ 797 961 1221 1477 1649 3017
309 447/ 2722
**-----SUB_TOT 10
*-----TOTAL 15(i)

```

図 A1-1 タイミングエラーリストの例

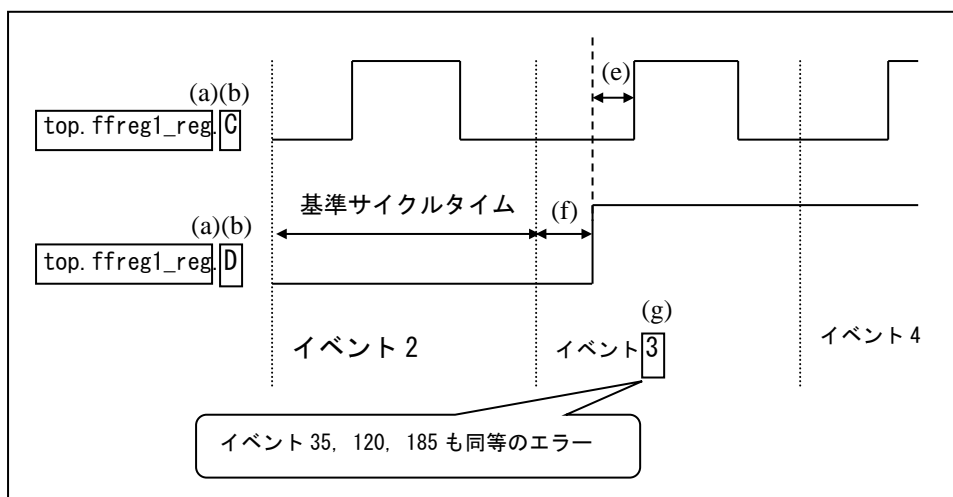


図 A1-2 波形でのイメージ

例 図A1-1の (a) ~ (i) 説明

(a) タイミングエラー発生インスタンス名

タイミングエラーが発生しているインスタンス名をフルパスで表しています。

図A1-1の場合、FFである「top. ffreg1_reg」がエラー発生のインスタンス名です。インスタンス名から、タイミングエラーが問題となる箇所かどうかを判断して下さい。なお、論理合成時にインスタンス名が変わることがあります。

(b) タイミングエラー検出条件

タイミングエラーが発生する際の具体的な条件です。

「A ->B&&&(C)」と表示されている場合、「条件Cにおいて、Aが変化した後にBが変化すること」を表します。

図A1-1の場合、「フラグVM6が0以外の状態において、D端子の信号が変化した後に、C端子に立ち上がり信号が入る」という条件を示しています。「VM*」はセル（この場合はFF）のシミュレーションモデル内における、タイミングエラー検出フラグを表しています。条件文が「VM*」となっている場合は無視して下さい。この例では、D端子とC端子の関係にのみ注目して確認して下さい。

また、「NARROW*」が表示されている場合は、下記(c)の「MINIMUM PULSE WIDTH」以下をご参照して下さい。

(c) タイミング制約種別

エラーとなった、タイミング制約の種別です。

主な制約として、以下のものがあります。

SETUP TIME . . . セットアップタイム制約

HOLD TIME . . . ホールドタイム制約

MINIMUM PULSE WIDTH . . . 最小パルス幅制約

(b) 部に「NARROW*」が表示されることがあります。これは、シミュレーションの結果を、サンプリングしたデータ(apf)にてご確認いただく場合、出力波形の詳細確認が困難であることから、レート（基準サイクルタイム）の75%以下の長さであるパルスを報告しているものです。「NARROW*」が表示されている場合、このエラーを必ずしも改善する必要はありません。回路仕様上、問題が無いかをご確認下さい。

(d) タイミングエラー検出規格（単位:ps）

エラーが発生しない最小の値です。

図A1-2の場合、SETUPエラーを発生させないためには、「D」の変化から「posedge C」まで、325ps以上の間隔を空ける必要があります。

(e) 実際のタイミング値（単位:ps）

図A1-2の場合、SETUP制約に2ps (=325ps-323ps) 不足していたこととなります。

(f) タイミングエラー発生オフセット (単位:ps)

イベント開始から、エラー発生までの時間です。

図A1-1の場合、イベント開始から471ps後にタイミングエラーが発生したことを示します。

(g) タイミングエラー発生イベント (サイクル) 番号

タイミングエラーが発生しているイベント番号を列挙しています。図A1-1の場合、3、35、120、185、の各イベントでエラーが発生しています。シミュレーション結果と合わせて、回路仕様上問題が無いかをご確認下さい。

(h) タイミングエラー小計

インスタンス名、エラー検出条件、タイミング制約が同値であるタイミングエラーの個数です。

(i) タイミングエラー合計

タイミングエラーの総数です。

A2. RTL 設計上の注意 (VHDL)

1.5.3 で説明した通り、仮の回路データを提出していただくことで、RTL 記述上の問題を事前に検出することが可能ですが、記述によっては、お客様の意図していない箇所で異常が検出される可能性もございます。そのような問題を防ぐため、RTL 設計の一般的なスタイルガイドに沿った設計を行ってください。

A2.1 論理合成可能な RTL の提出

送付いただく RTL は、論理合成可能な記述のみにしてください。ビヘイビアレベルの記述が含まれていると、論理合成ができません。論理合成可能であれば、複数のファイルにわかれていても問題ありません。

A2.2 階層設計図の提出

モジュールが階層設計であっても問題ありません。階層設計を行った場合は、階層構造図（ツリー図）もしくは、モジュールの親子関係を示す資料の送付をお願いいたします。

A2.3 RAM の記述

弊社にて、RAM の VITAL モデルを提供することが可能です。必要な RAM のサイズ及び個数を指定してください。なお、RAM の VITAL モデル提供には日数がかかる場合がございます。

お客様にて RAM のモデルを記述する場合は、デザインガイド「[第 8 章 RAM 仕様](#)」記載の仕様に従ってください。また、そのモデルのモジュール名をお知らせください。

A2.4 入力ポートへの定数割り当て

port_map 文において、入力ポートに定数を直接割り当てることはできません。また同様に、“open” を割り当てたり、記述を省略したりすることもできません。これらは、論理合成時にエラーとなります。これを回避するためには、定数値を持つ signal をマッピングしてください。

```
Architecture BEHAVIOR of example3_4
signal dummy0 std_logic;
signal dummy1 std_logic;
begin
  dummy0 <= 0;
  dummy1 <= 1;
  port map abcx ( a => dummy0, b=> dummy1, c=> data_in, x => data_out )
end BEHAVIOR;
```

図 A2-1 定数値を持つ signal をマッピングする

A2.5 端子名の制約

外部端子、および内部端子の名前は、デザインガイド記載の制限・制約にそっていただくことを推奨します。もし、制限・制約外の名前が使われている場合は、論理合成時にお客様の意図しない名前に付け替えられることがありますことを、ご了承ください。

(1) 外部端子名制約

- ① 全て大文字で記述。
- ② 使用可能文字英数字とアンダーバー‘_’のみ使用可能。
ただし、先頭文字は英字のみ、末端文字は英数字のみ使用可能。
- ③ ‘_’が2つ連続した端子名は不可。
- ④ 文字数は、2～32文字の範囲内。
- ⑤ read、writeは、使用不可。（システム使用のため）

(2) 内部端子名制約

- ① 大文字・小文字の混合は可能。ただし、大文字小文字混在の同一名は使用不可。
例：“ABC”と”Abc”の混在は禁止
- ② 使用可能文字は、英数字とアンダーバー‘_’、バス記述用のカッコ‘(’、‘)’のみ。
- ③ 文字数は、2～32文字の範囲内。

(3) VHDL 予約語

以下の文字列はユーザー定義名として使用できません。

abs	access	after	alias	all	and	architecture
array	assert	attribute	begin	block	body	buffer
bus	case	component	configuration	constant	disconnect	downto
else	elsif	end	entity	exit	file	for
function	generate	generic	guarded	if	in	inout
is	label	library	linkage	loop	map	mod
nand	new	next	nor	not	null	of
on	open	or	others	out	package	port
procedure	process	range	record	register	rem	report
return	select	severity	signal	subtype	then	to
transport	type	units	until	use	variable	wait
when	while	with	xor			

(4) Verilog-HDL 予約語

セイコーエプソンでの作業において、使用ツールの関係上、VHDL-RTL を Verilog ネットリストに変換する必要があります。

そのため、以下の文字列はユーザ一定義名として使用できません。

always	and	assign	begin	buf	bufif0	bufif1
case	casex	casez	cmos	deassign	default	defparam
disable	edge	else	end	endcase	endmodule	endfunction
endprimitive	endspecify	endtable	endtask	event	for	force
forever	fork	function	highz0	highz1	if	ifnone
initial	inout	input	integer	join	large	macromodule
medium	module	nand	negedge	nmos	nor	not
notif0	notif1	or	output	parameter	pmos	posedge
primitive	pull0	pull1	pullup	pulldown	rcmos	real
realtime	reg	release	repeat	rnmos	rpmos	rtranif0
rtranif1	scalared	small	specify	specparam	strong0	strong1
supply0	supply1	table	task	time	tran	tranif0
tranif1	tri	tri0	triand	trior	triereg	vectored
wait	wand	weak0	weak1	while	wire	wor
xnor	xor					

A2.6 ポートのデータ型

最上位モジュールのポートに使用できるデータ型は、std_logic のみです。バス記述は禁止しています。それ以外のモジュールのポートは、std_logic、std_logic_vector を使用してください。弊社にて論理合成時に、バス記述を展開することがあります。

A2.7 integer の使用について

integer の使用時は、ビット幅に注意してください。signal 宣言は std_logic_vector で行い、演算の際に conv_integer で型変換する方法を推奨します。

A2.8 入出力バッファ

セイコーエプソンで、入出力バッファを付加いたします。バッファの種類および、出力負荷容量を指定した端子配列表を提出してください。タイミング条件が厳しい場合、または Fail-Safe バッファなどの特殊バッファを使用する場合は、仮データ提出時に指定してください。

入出力バッファは、トップモジュールを RTL 用からゲート用に置き換える方法が安全で簡単です。弊社でゲート用のトップモジュールを作成いたしますので、RTL 用のトップモジュールには、入出力に関する記述のみをお願いします。具体的には、単方向ポートは、下位モジュールと 1 対 1 に接続するだけにしてください。そして、双方向ポートの記述は、下位階層から入力信号ポートと出力信号ポートとイネーブル信号ポートを引き出して、トップモジュール内で双方向信号を記述してください。

```

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;
entity TOP is
    port( IN1 : in std_logic;  OUT1 : out std_logic;  BID1 : inout std_logic);
end TOP;

architecture rtl of TOP is
    signal en, bid1_out : std_logic;
    component CORE
        port( in1, bid1_in      : in  std_logic ;
              out1, bid1_out, en : out std_logic );
    end component;

begin
    U_CORE : CORE port map( in1 => IN1, out1 => OUT1, bid1_in => BID1,
                           bid1_out => bid1_out, en => en);
    BID1 <= 'Z' when en = '1' else bid1_out ;
end rtl;

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;

entity CORE is
    port( in1, bid1_in      : in  std_logic ;
          out1, bid1_out, en : out std_logic );
end CORE;

architecture rtl of CORE is
begin
end rtl;

```

図 A2-2 トップモジュールの RTL 例

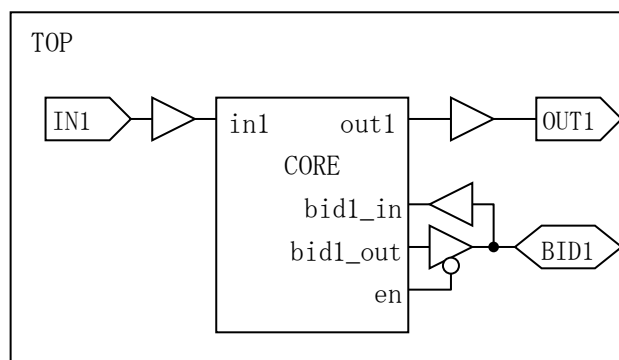


図 A2-3 トップモジュール イメージ

A2.9 プリミティブセルの使用

RTL 内で、セイコーエプソンのプリミティブセルを呼び出しているモジュール名と、プリミティブセル名をお知らせください。プリミティブセルが論理合成時に消されないための設定を行います。また、シミュレーションの際に記述した、セイコーエプソンのライブラリに関する宣言を、削除してください。非同期 RAM モデルのライブラリ宣言も削除してください。

```

library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_unsigned.all;

---- comment out ----
-- library S1L50000_TYP,S1L50000_RAM;
-- use S1L50000_TYP.all;
-- use S1L50000_TYP.all;
---- comment out ----
    
```

図 A2-4 セイコーエプソンのライブラリ宣言をコメントアウト

A3. DC・AC テストパターン

A3.1 DC テストパターン

DC テスト回路をお客さまにて作成される場合、以下のテスト項目を考慮頂くようお願いいたします。

DC テストは IC の DC 特性を検証するために行うテストです。DC テストは測定イベントの終端で測定されます。このため、被測定端子は測定イベントにおいてストロブ以後状態が変化してはいけません。

測定する DC 特性は以下の項目です。

(1) 静的消費電流テスト (I_{DDs})

静的消費電流とは、入力が定常状態にあるときの IC の電源に流れるリーク電流です。この電流は一般的に非常に小さい値であるために、このリーク電流以外に他の電流が流れないように測定しなければなりません。このためには、以下に挙げる条件がすべて満たされていることが必要になります。また、静的消費電流が測定可能なイベントは少なくとも 2 箇所以上必要です。

- ① 入力端子がすべて定常状態であること。
- ② 双方向端子に“HIGH”レベルまたは“LOW”レベルが与えられているかまたは出力されていること。
- ③ 回路の中で発振等、動作部分がないこと。
- ④ 内部 3-ステートバッファ（内部バス）がフローティングまたはコンテンツンしていないこと。
- ⑤ RAM 等、機能セルが電流の流れる状態になっていないこと。
- ⑥ プルアップ抵抗付き入力端子に“HIGH”レベルが与えられていること。
- ⑦ プルアップ抵抗付き双方向端子に“HIGH”レベルが与えられているかまたは“HIGH”レベルを出力していること。

(2) 入力電流テスト

入力バッファの入力に関する測定を行います。この測定項目には、入力リーク電流、プルアップ/プルダウン電流測定が含まれます。この測定項目のテストは、被測定端子に V_{DD} レベルまたは V_{SS} レベルの電圧を印加して、そのときに流れる電流値を測定することによって行われます。つまり、測定時に“HIGH”レベルまたは“LOW”レベルの電圧が被測定端子に与えられていることとなります。

たとえば、被測定端子が“LOW”レベルを与えられている状態で、 V_{DD} レベル（“HIGH”レベル）を与えてこのテストを行うと、被測定端子には“LOW”から“HIGH”への状態変化が起こり、IC が意図しない動作を起こしてしまう可能性があります。

入力電流テストを測定するためには、テストパターンにおいて被測定端子に“HIGH”が入力されているイベントで V_{DD} レベルを印加するテストを行い、“LOW”が印加されているイベントで V_{SS} レベルを印加するテストを行います。したがって、テストパターン中に被測定端子にこれらの状態がないとこのテストを行うことができません。

(3) 入力リーク電流テスト (I_{IH} 、 I_{IL})

プルアップ／プルダウン抵抗が付いていない入力バッファの入力電流に関する測定を行います。

入力バッファに“HIGH”レベルの電圧を印加したときに流れる電流を I_{IH} と呼び、最大電流値で保証します。このテストを行うためにはテストパターンの中に被測定端子に“HIGH”レベルを入力しているようなイベントがなければなりません。双方向端子は、入力状態で“HIGH”レベルを入力していなければなりません。

入力バッファに“LOW”レベルの電圧を印加したときに流れる電流を I_{IL} と呼び、最大電流値で保証します。このテストを行うためにはテストパターンの中に被測定端子に“LOW”レベルを入力しているようなイベントがなければなりません。双方向端子は、入力状態で“LOW”レベルを入力していなければなりません。

(4) プルアップ電流テスト (I_{PU})

プルアップ抵抗付き入力バッファに“LOW”レベルの電圧を印加したときに流れる電流を測定します。このテストを行うためにはテストパターンの中に被測定端子に“LOW”レベルを入力しているようなイベントがなければなりません。双方向端子の場合は、入力状態で“LOW”レベルを入力していなければなりません。

(5) プルダウン電流テスト (I_{PD})

プルダウン抵抗付き入力バッファに“HIGH”レベルの電圧を印加したときに流れる電流を測定します。このテストを行うためにはテストパターンの中に被測定端子に“HIGH”レベルを入力しているようなイベントがなければなりません。双方向端子の場合は、入力状態で“HIGH”レベルを入力していなければなりません。

(6) 出力電圧テスト (V_{OH} 、 V_{OL})

出力バッファの電流駆動能力を測定します。被測定端子を測定対象となる出力レベルになるように動作させて、仕様上の電流負荷を与えたときの電圧降下の値を測定します。

出力特性テストを行うためには、テストパターン中に対象となる端子が動作し得るすべての状態が存在しなければなりません。また、その状態は、測定するイベントにおいてテストレートを無限に延ばしても変化がないようなものでなければなりません。

(7) オフステートリーク電流 (I_{OZ})

オープンドレインおよび 3-ステート出力バッファにおいて、出力の状態がハイインピーダンスのときに流れるリーク電流を測定します。実際の測定は、ハイインピーダンス状態の被測定端子に V_{DD} レベルの電圧を与えたとき、 V_{SS} レベルの電圧を与えたとき各々の電流値を測定します。したがって、テストパターンの中に被測定端子がハイインピーダンス状態になるイベントがなければなりません。

A3.2 AC テストパターン

AC テストは、入力端子の変化が起こってからそれが出力端子に伝播するまでの時間を測定します。AC テスト回路をお客さまにて作成される場合、AC テストの測定パスはお客さまに選択していただきます。

(1) 測定イベントに関する制約

このテストは通常バイナリサーチ法と呼ばれるテスト方法で行われますので、測定イベント内での被測定端子（変化のあった出力端子）の変化点は一箇所だけである必要があります。（RZ 波形が出力されている端子での測定はできません。また測定イベントでハザードが出力されている場合も測定できません）また、測定する信号の状態変化は、“HIGH” → “LOW” または “LOW” → “HIGH” でなければいけません。（Z が関係する変化は測定できません）

その他注意事項として、測定イベントで多数の出力端子の同時変化や、双方向端子と IC テスタとの信号のコンテンションがないようなイベントを選択する必要があります。これは、同時変化や信号のコンテンションがあると、IC の電源が振られて被測定端子の出力波形に影響が出てしまい正確な測定を行うことができなくなるからです。

(2) AC テストの測定箇所に関する制約

AC テストの測定箇所は、4 種類以内にして下さい。

(3) 測定するパスの遅延に関する制約

AC 測定パスは遅延の大きいパスを測定するほど測定精度が上がります。測定パスの遅延時間はテストシミュレーションの Max 条件で 30ns 以上かつストロブ・ポイント以下に設定して下さい。

(4) その他の制約

- ① 発振回路からのパスは、指定しないで下さい。
- ② 内部 3-ステートの回路（内部バス）を通らないパスを指定して下さい。
- ③ 測定パスの入力バッファから出力バッファの間に他の双方向バッファを通るパスを指定しないで下さい。
- ④ 使用電圧範囲が 2 種類以上ある場合、AC テストの測定電圧は 1 種類に統一して下さい。

(5) 双方向端子のテストパターン制限

双方向端子はテスタの制限によって 1 イベント内では入力モードと出力モードの切り替えを複数回（2 回以上）行うことができません。したがって双方向バッファの入出力モードの切り替え制御に RZ 波形が使われないようにテストパターンの作成をして下さい。

A4. 入出力バッファ特性グラフ

A4.1 5.0V 動作時

A4.1.1 出力電流特性 (5.0V±0.5V)

表 A4-1 出力電流特性 (5.0V±0.5V)

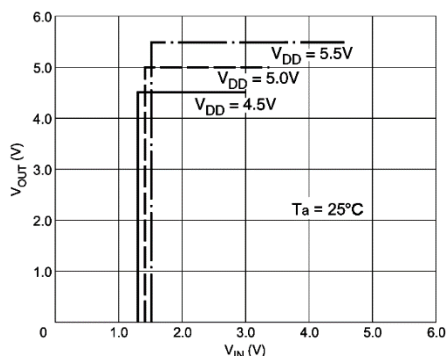
TYPE 番号	出力電流	
	I_{α} (mA)	I_{OH} (mA)
TYPE S	0.1	-0.1
TYPE M	1	-1
TYPE 1	3	-3
TYPE 2	8	-8
TYPE 3	12	-12
TYPE 4	24	-12
PCI	PCI 規格に準ずる	

TYPE * の S、M、1~4 の英数字は、出力 Cell 名の × × * × に記載されている数字を表わします。

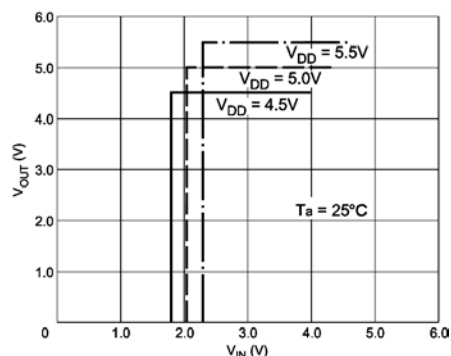
例： 0B3T → TYPE3 を表わします。

A4.1.2 入力バッファ特性 (5.0V±0.5V)

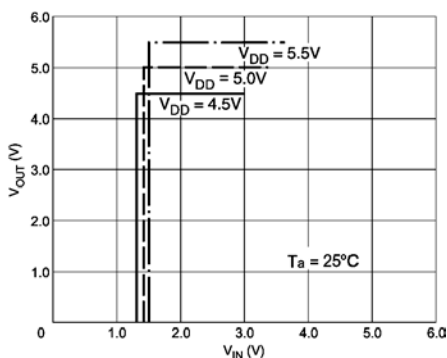
● 標準セル入力バッファ



図A4.1-1 入力特性 (TTLレベル)

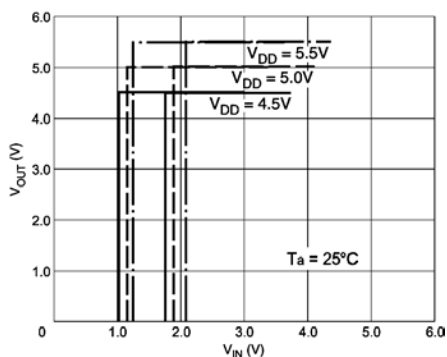


図A4.1-2 入力特性 (CMOSレベル)

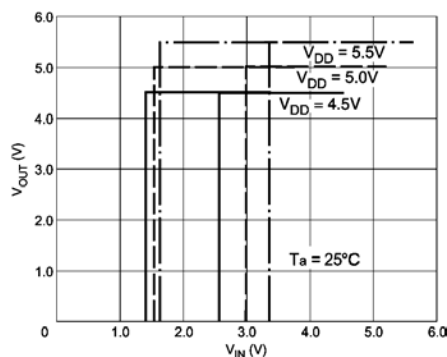


図A4.1-3 入力特性 (5V PCIレベル)

● シュミット入力バッファ



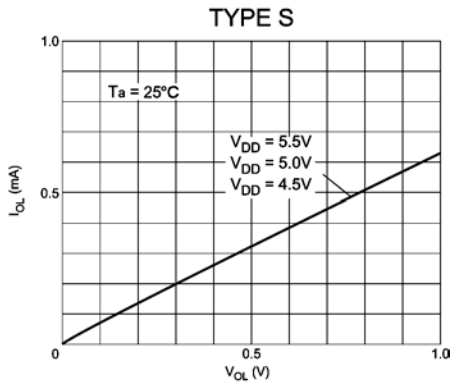
図A4.1-4 入力特性 (TTLレベル)



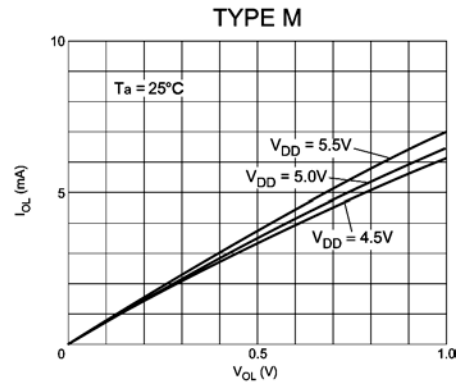
図A4.1-5 入力特性 (CMOSレベル)

A4.1.3 出力ドライバ特性

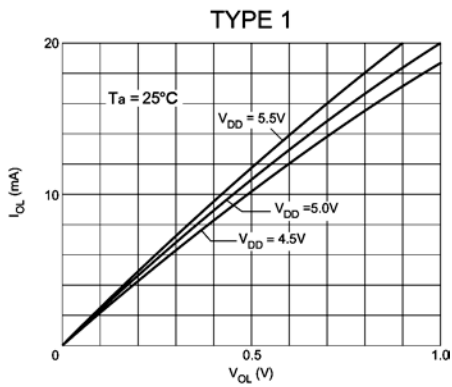
- 低レベル出力電流



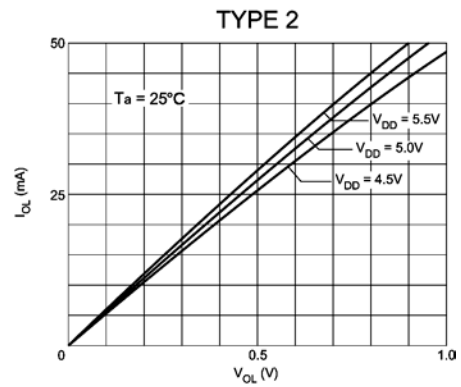
図A4.1-6



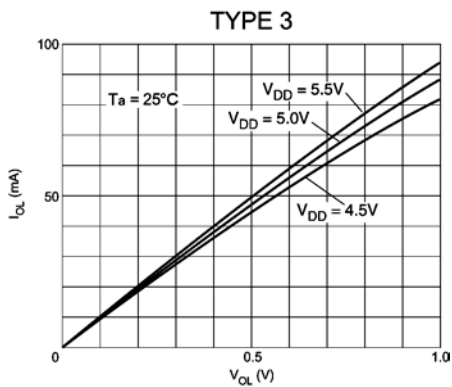
図A4.1-7



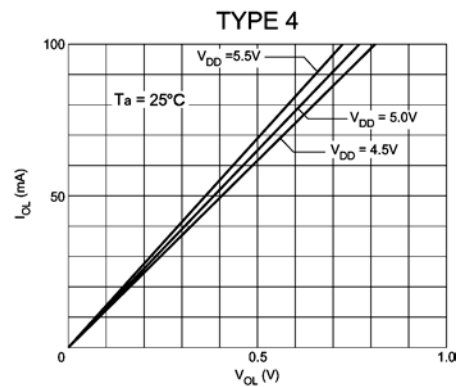
図A4.1-8



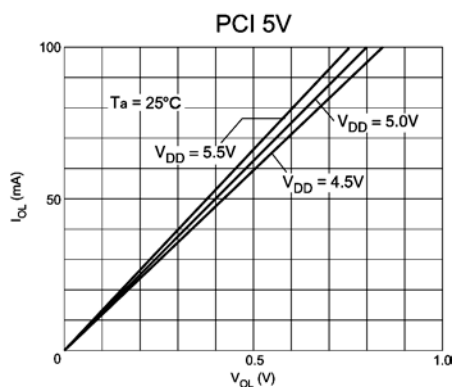
図A4.1-9



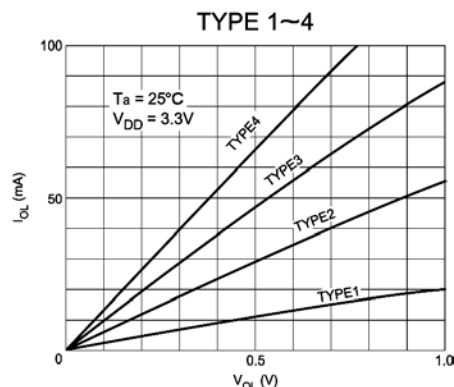
図A4.1-10



図A4.1-11

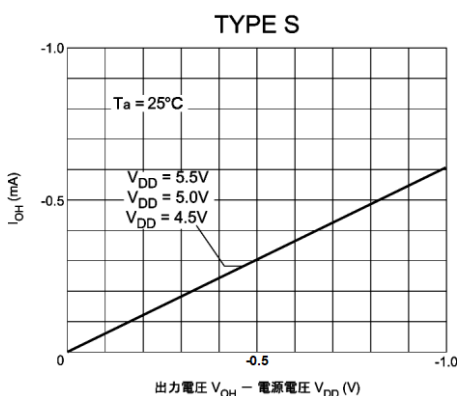


図A4.1-12

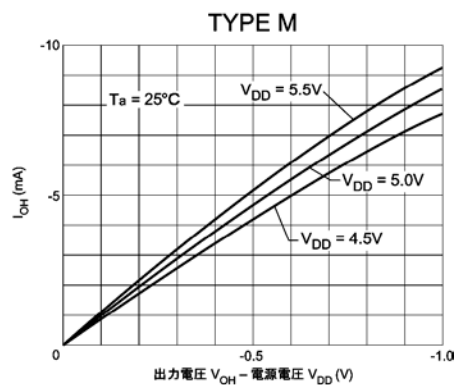


図A4.1-13

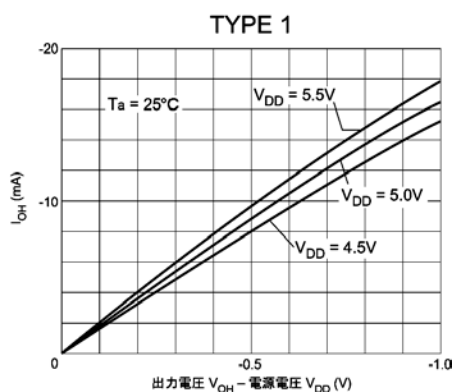
● 高レベル出力電流



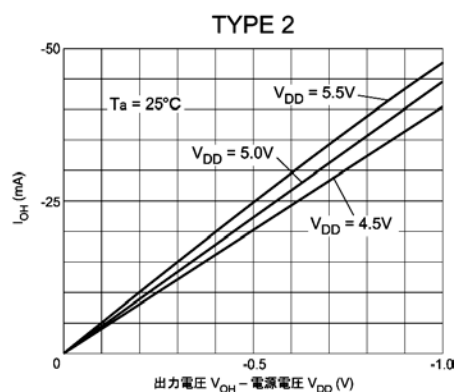
図A4.1-14



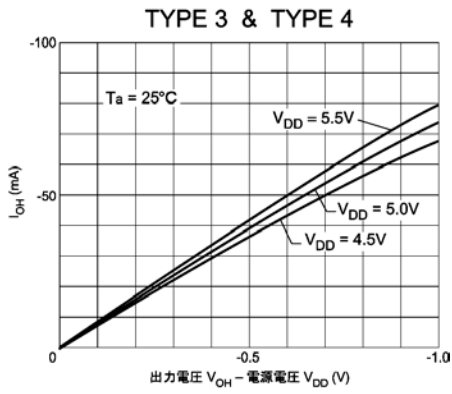
図A4.1-15



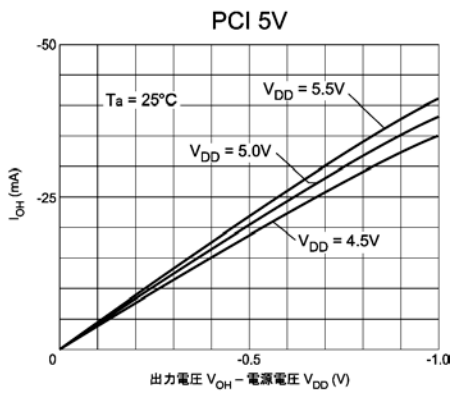
図A4.1-16



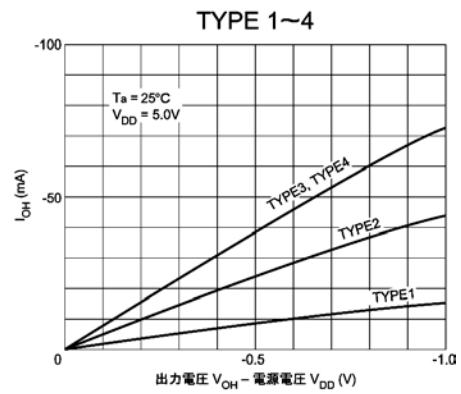
図A4.1-17



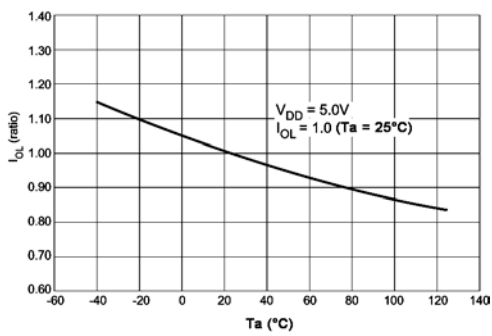
図A4. 1-18



図A4. 1-19

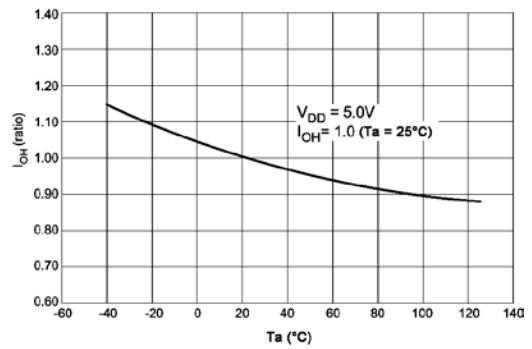


図A4. 1-20



周囲温度 T_a - 出力電流 I_{OH}

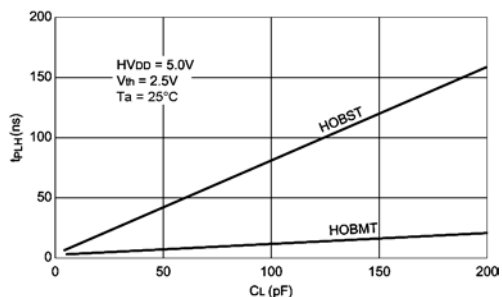
図A4. 1-21



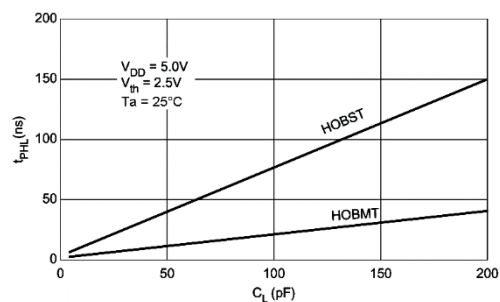
周囲温度 T_a - 出力電流 I_{OH}

図A4. 1-22

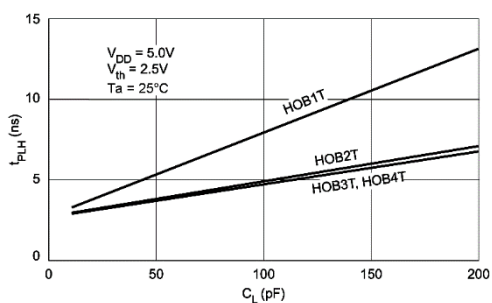
A4. 1. 4 出力遅延時間対出力負荷容量 (CL)



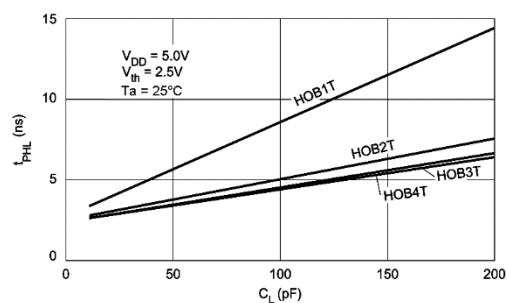
図A4. 1-23 出力遅延時間 (t_{PLH}) 対出力負荷容量 (C_L)



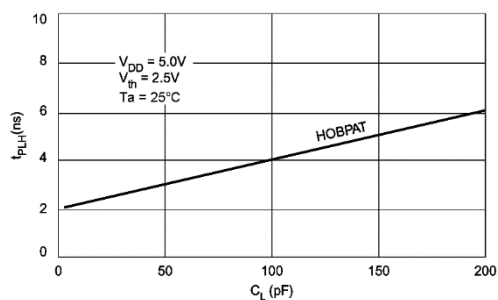
図A4. 1-24 出力遅延時間 (t_{PHL}) 対出力負荷容量 (C_L)



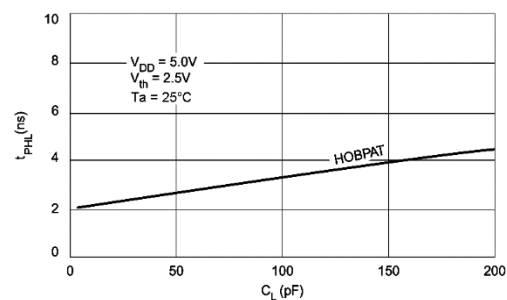
図A4. 1-25 出力遅延時間 (t_{PLH}) 対出力負荷容量 (C_L)



図A4. 1-26 出力遅延時間 (t_{PHL}) 対出力負荷容量 (C_L)

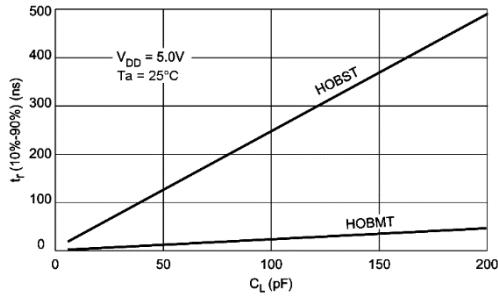


図A4. 1-27 出力遅延時間 (t_{PLH}) 対出力負荷容量 (C_L)

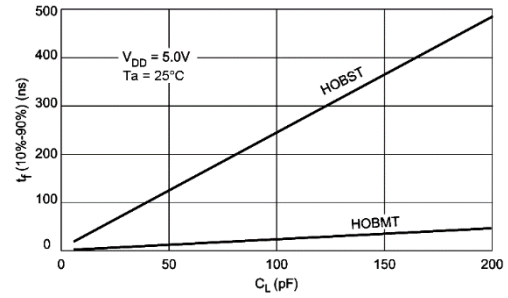


図A4. 1-28 出力遅延時間 (t_{PHL}) 対出力負荷容量 (C_L)

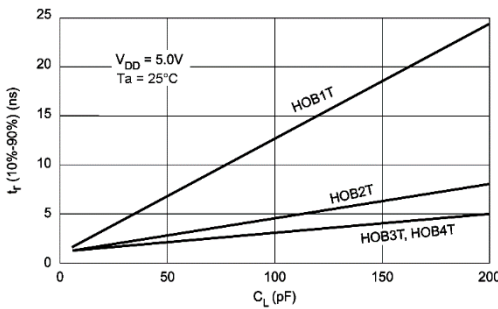
A4.1.5 出力バッファ立ち上がり／立ち下がり時間対出力負荷容量 (CL)



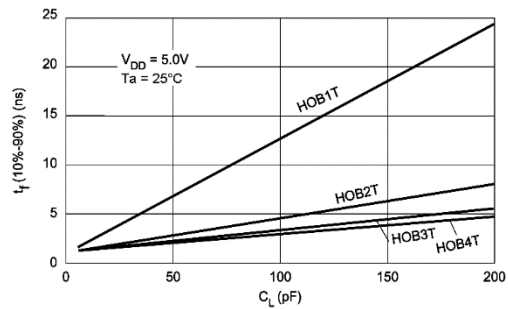
図A4.1-29 立ち上がり時間(t_r) 対出力負荷容量 (C_L)



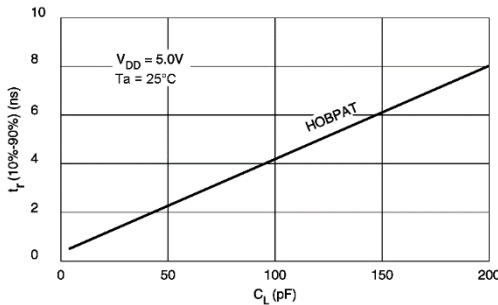
図A4.1-30 立ち下がり時間(t_f) 対出力負荷容量 (C_L)



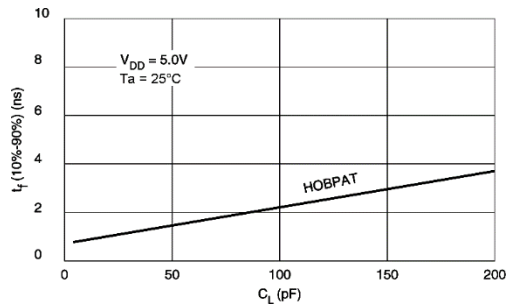
図A4.1-31 立ち上がり時間(t_r) 対出力負荷容量 (C_L)



図A4.1-32 立ち下がり時間(t_f) 対出力負荷容量 (C_L)



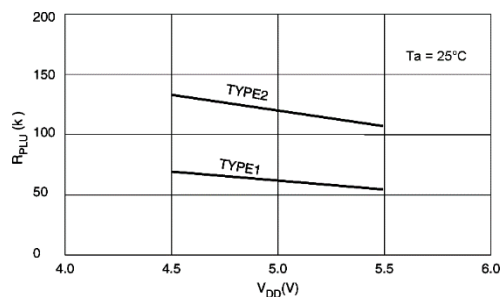
図A4.1-33 立ち上がり時間(t_r) 対出力負荷容量 (C_L)



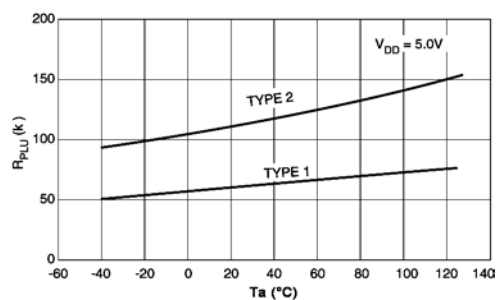
図A4.1-34 立ち下がり時間(t_f) 対出力負荷容量 (C_L)

A4.1.6 プルアップ・プルダウン抵抗

- プルアップ特性

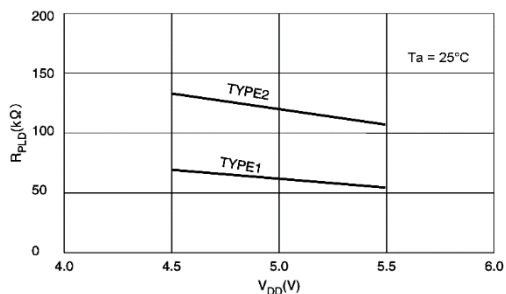


図A4.1-35 プルアップ抵抗
電源電圧依存性

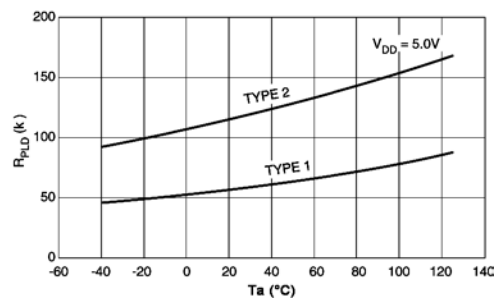


図A4.1-36 プルアップ抵抗
周囲温度依存性

- プルダウン特性



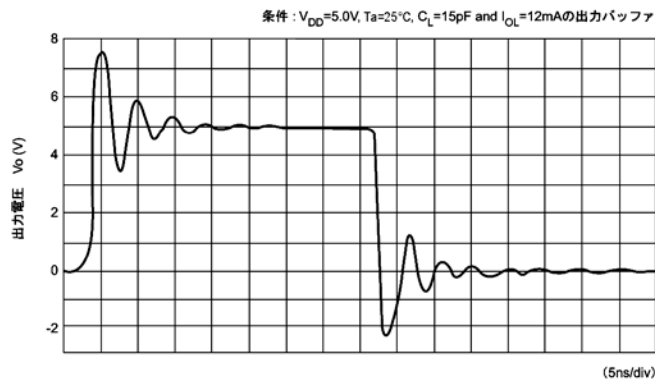
図A4.1-37 プルダウン抵抗
電源電圧依存性



図A4.1-38 プルダウン抵抗
周囲温度依存性

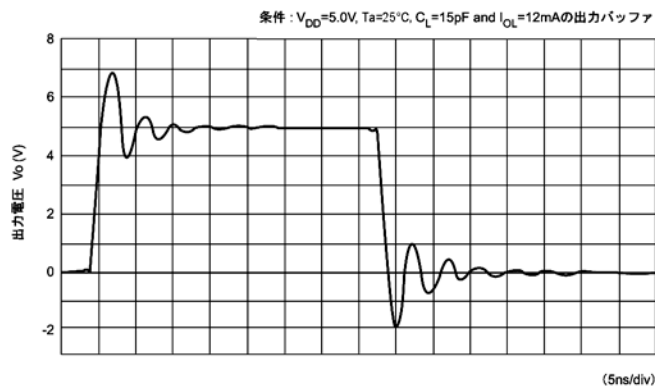
A4.1.7 出力波形

- High speed Type の出力バッファの出力波形 (H0B3AT)



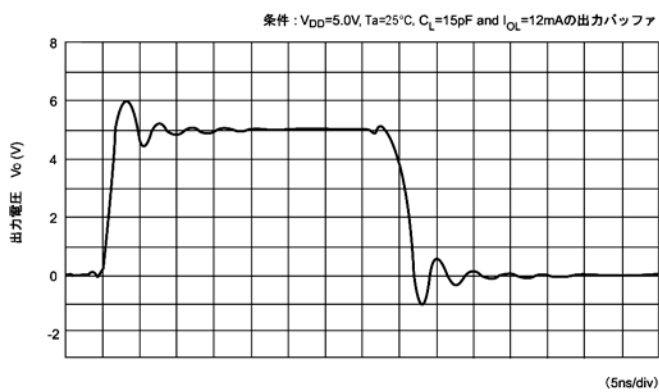
図A4.1-39

- Normal Type の出力バッファの出力波形 (H0B3T)



図A4.1-40

- Low Noise Type の出力バッファの出力波形 (H0B3BT)



図A4.1-41

A4.2 3.3V 動作時

A4.2.1 出力電流特性 (3.3V±0.3V)

表 A4-2 出力電流特性 (3.3V±0.3V)

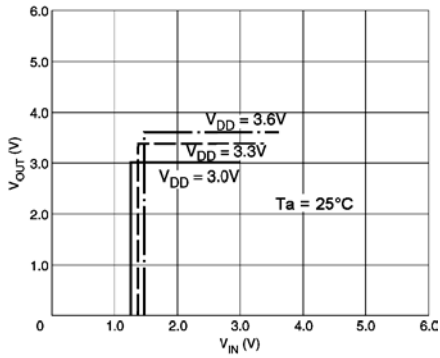
TYPE 番号	出力電流	
	I_{α} (mA)	I_{on} (mA)
TYPE S	0.1	-0.1
TYPE M	1	-1
TYPE 1	2	-2
TYPE 2	6	-6
TYPE 3	12	-12
PCI	PCI 規格に準ずる	

TYPE*のS、M、1～3の英数字は、出力Cell名の××*×に記載されている数字を表わします。

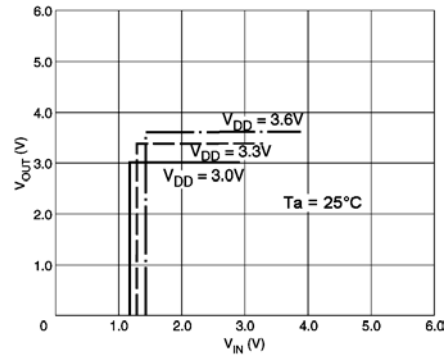
例： OB3T → TYPE3 を表わします。

A4. 2. 2 入力バッファ特性 (3.3V±0.3V)

- 標準セルバッファ

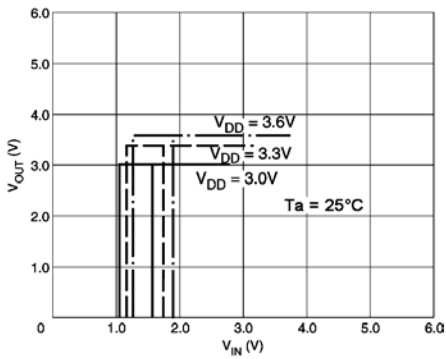


図A4. 2-1 入力特性 (LVTTTLレベル)



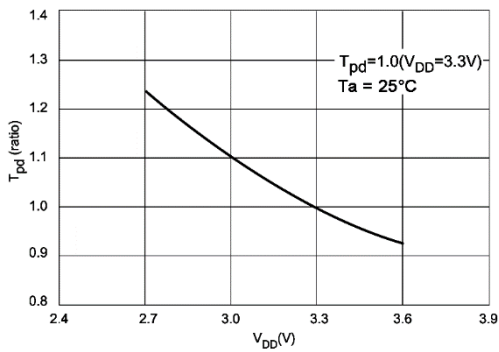
図A4. 2-2 入力特性 (3V PCIレベル)

- シュミット入力バッファ

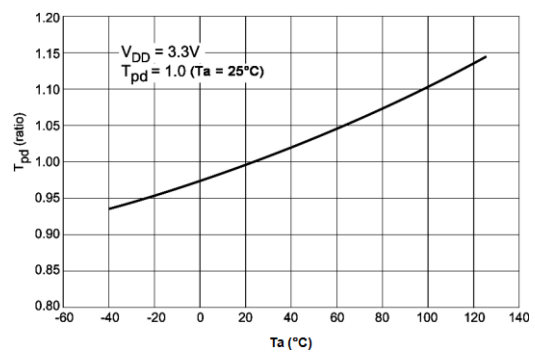


図A4. 2-3 入力特性 (LVTTTLレベル)

A4. 2. 3 遅延特性



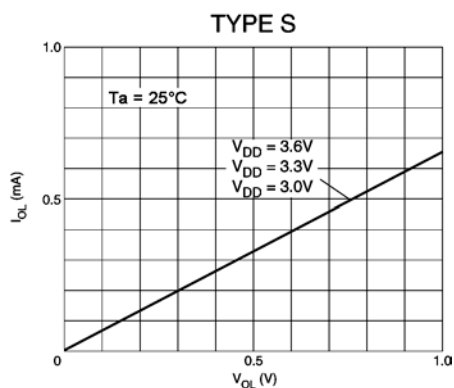
図A4. 2-4 伝播時間 — 電源電圧特性



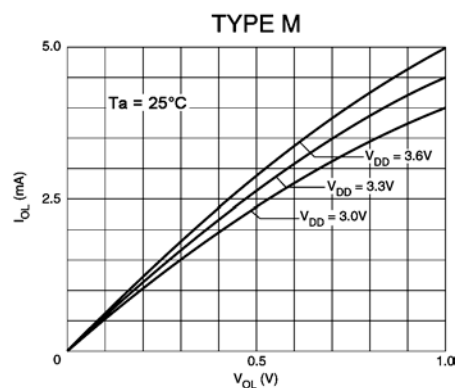
図A4. 2-5 伝播時間 — 周囲温度特性

A4. 2. 4 出力ドライバ特性

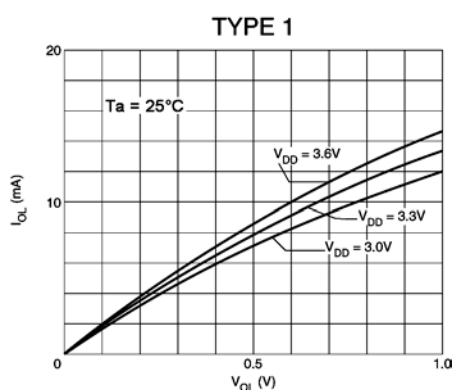
- 低レベル出力電流



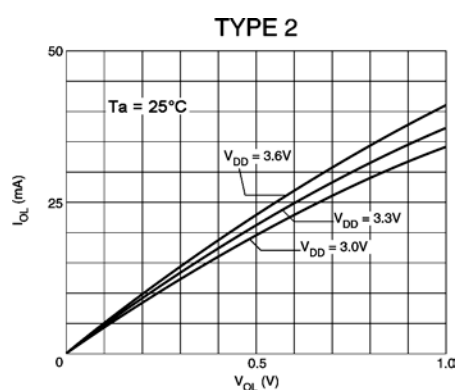
図A4. 2-6



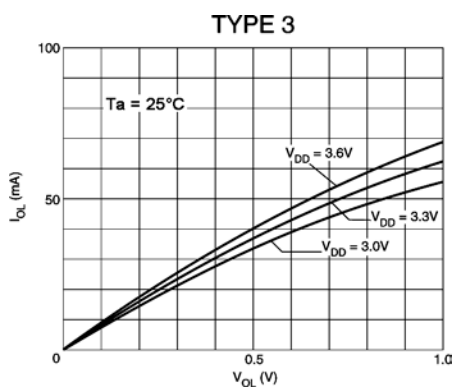
図A4. 2-7



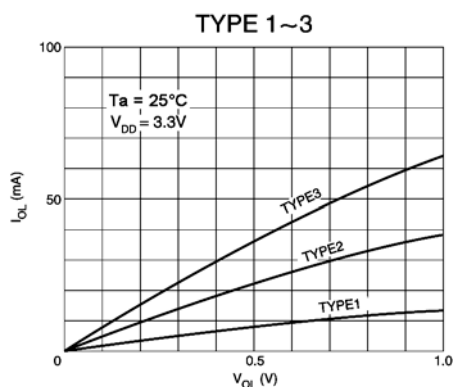
図A4. 2-8



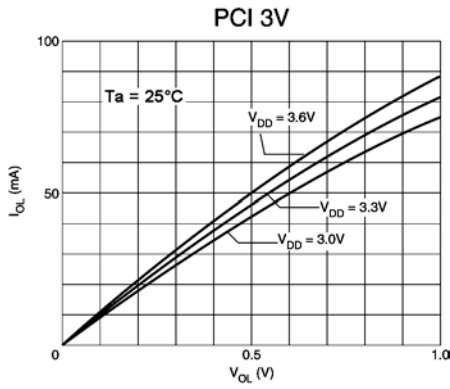
図A4. 2-9



図A4. 2-10

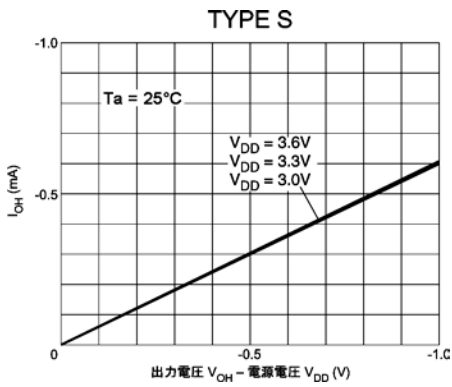


図A4. 2-11

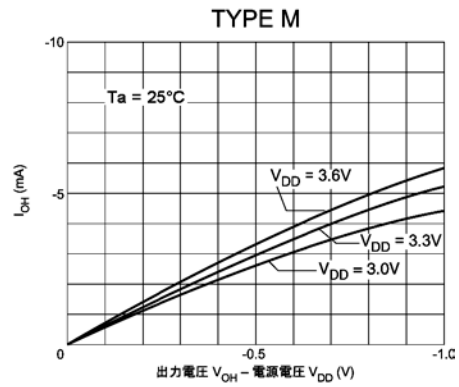


図A4. 2-12

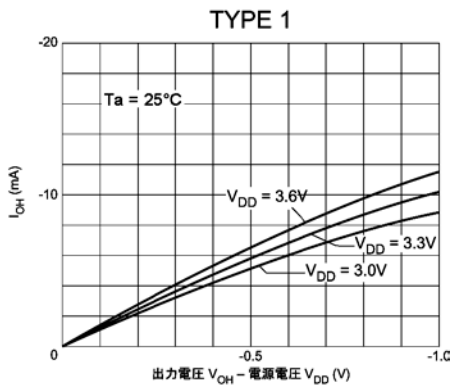
- 高レベル出力電流



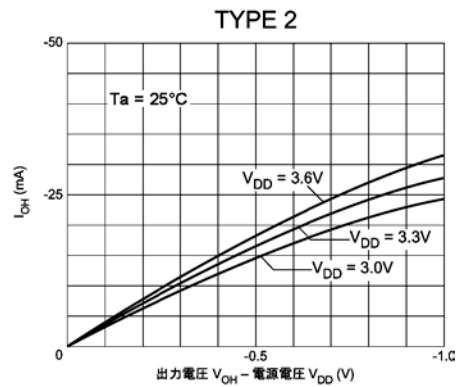
図A4. 2-13



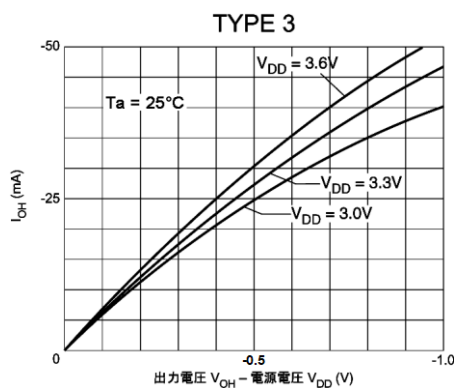
図A4. 2-14



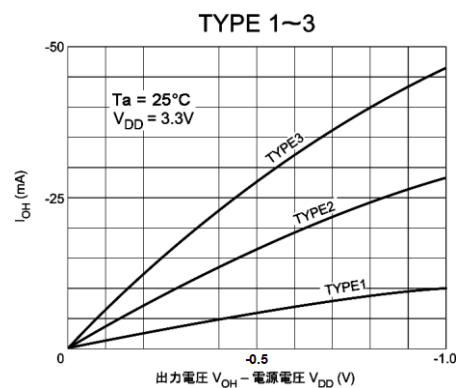
図A4. 2-15



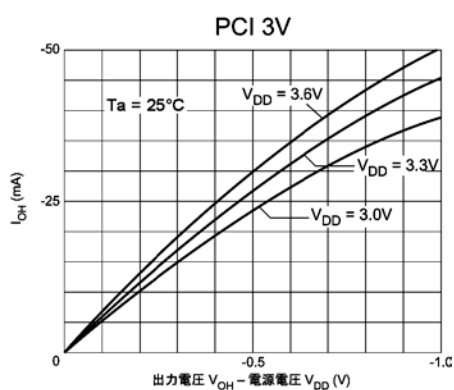
図A4. 2-16



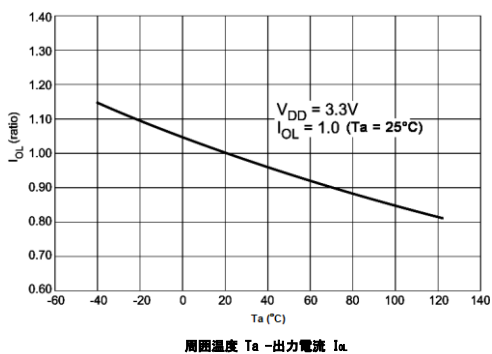
図A4. 2-17



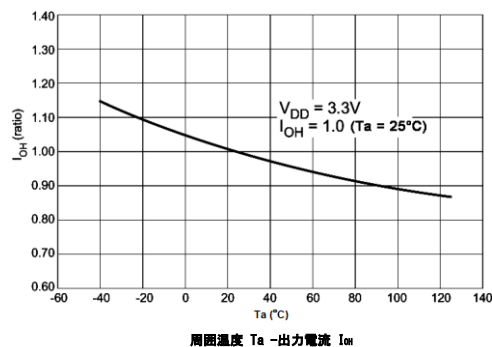
図A4. 2-18



図A4. 2-19

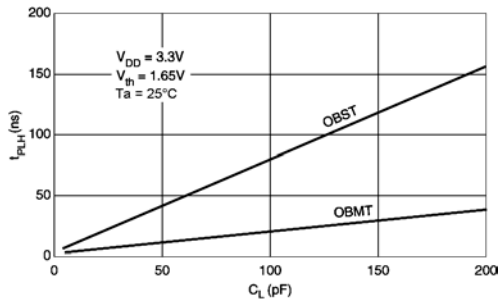


図A4. 2-20

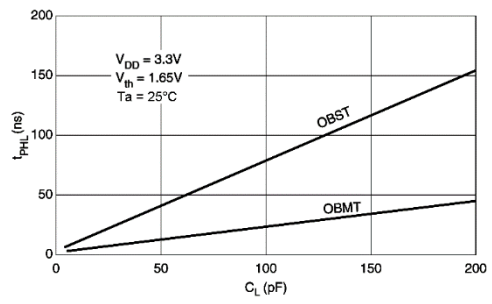


図A4. 2-21

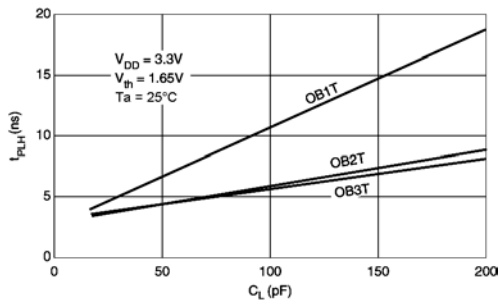
A4. 2. 5 出力遅延時間対出力負荷容量 (CL)



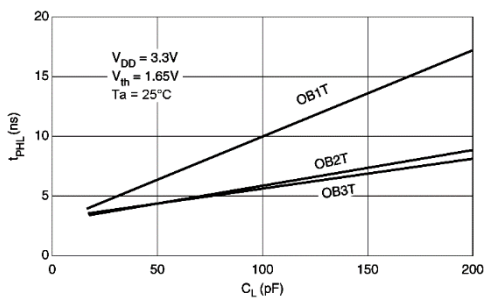
図A4. 2-22 出力遅延時間 (t_{PHL}) 対出力負荷容量 (C_L)



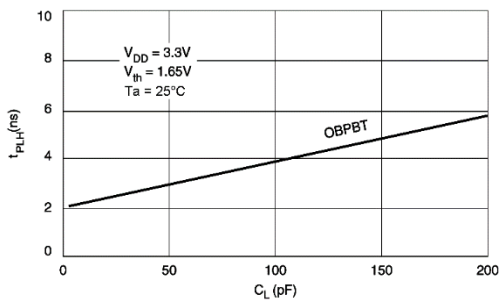
図A4. 2-23 出力遅延時間 (t_{PHL}) 対出力負荷容量 (C_L)



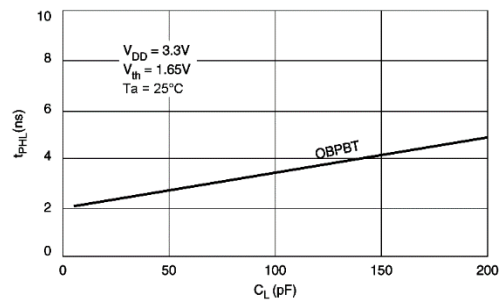
図A4. 2-24 出力遅延時間 (t_{PHL}) 対出力負荷容量 (C_L)



図A4. 2-25 出力遅延時間 (t_{PHL}) 対出力負荷容量 (C_L)

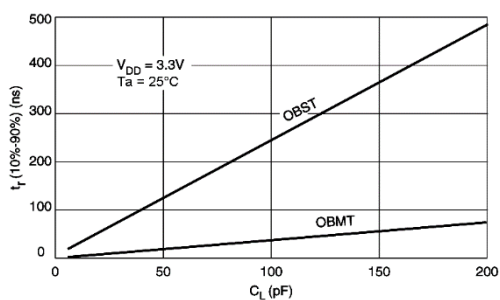


図A4. 2-26 出力遅延時間 (t_{PHL}) 対出力負荷容量 (C_L)

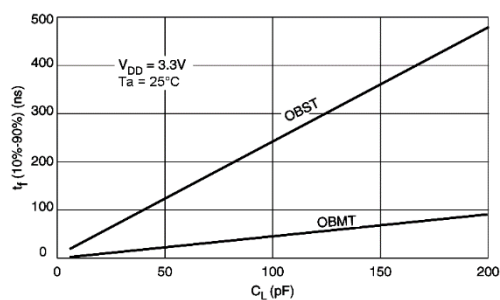


図A4. 2-27 出力遅延時間 (t_{PHL}) 対出力負荷容量 (C_L)

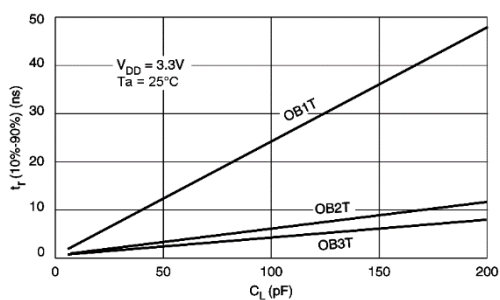
A4.2.6 出力バッファ立ち上がり／立ち下がり時間対出力負荷容量 (CL)



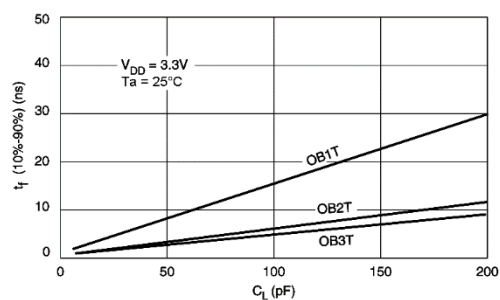
図A4.2-28 立ち上がり時間 (t_r) 対出力負荷容量 (C_L)



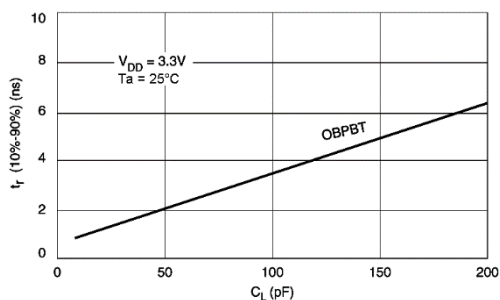
図A4.2-29 立ち下がり時間 (t_f) 対出力負荷容量 (C_L)



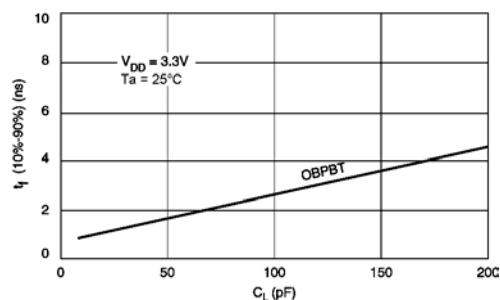
図A4.2-30 立ち上がり時間 (t_r) 対出力負荷容量 (C_L)



図A4.2-31 立ち下がり時間 (t_f) 対出力負荷容量 (C_L)



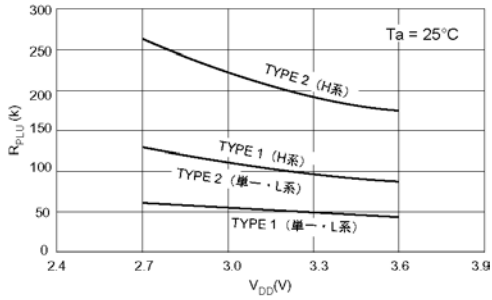
図A4.2-32 立ち上がり時間 (t_r) 対出力負荷容量 (C_L)



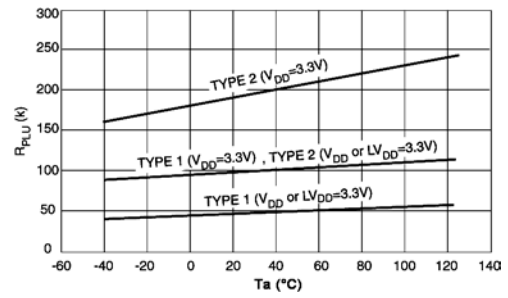
図A4.2-33 立ち下がり時間 (t_f) 対出力負荷容量 (C_L)

A4.2.7 プルアップ・プルダウン抵抗

- プルアップ特性

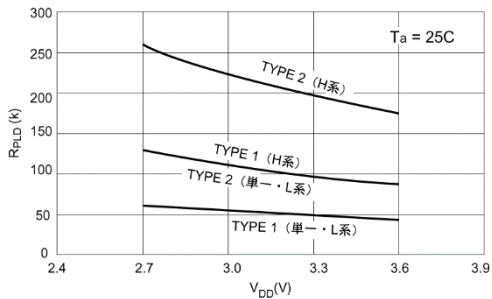


図A4.2-34 プルアップ抵抗
電源電圧依存性

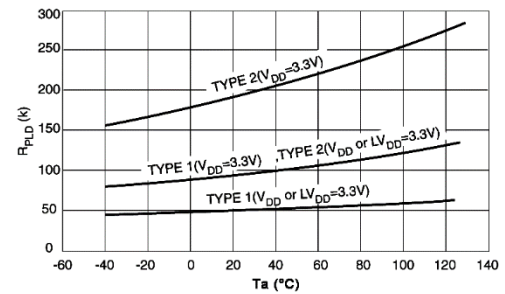


図A4.2-35 プルアップ抵抗
周囲温度依存性

- プルダウン特性

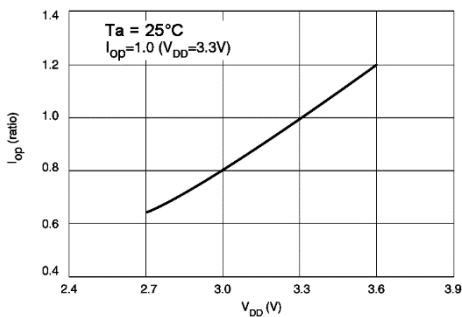


図A4.2-36 プルダウン抵抗
電源電圧依存性

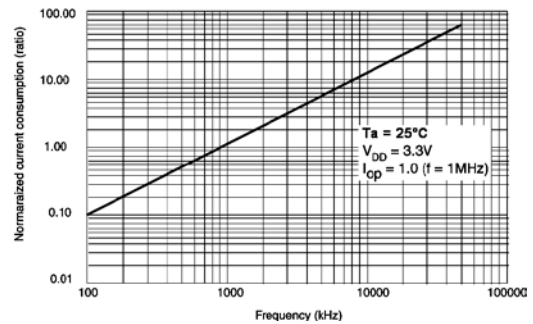


図A4.2-37 プルダウン抵抗
周囲温度依存性

A4.2.8 消費電力特性



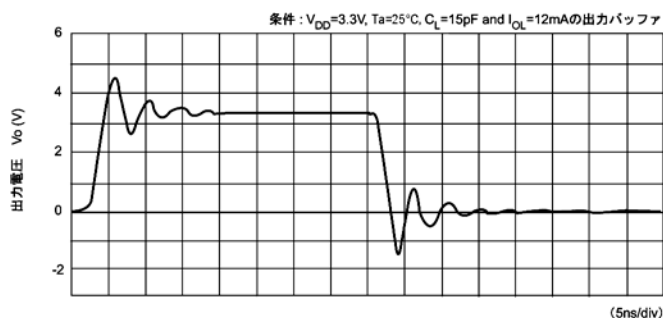
図A4.2-38 消費電力
電源電圧依存性



図A4.2-39 消費電力
動作周波数依存性

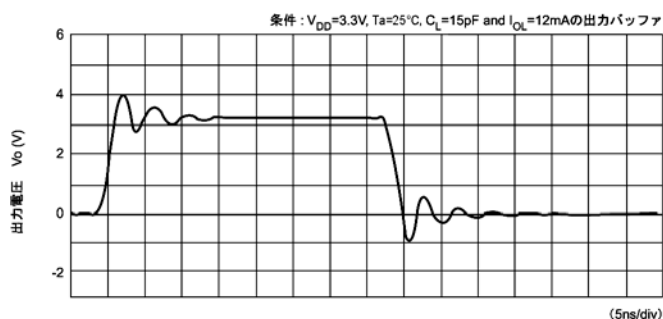
A4. 2. 9 出力波形

- High speed Type のバッファの出力波形 (OB3AT)



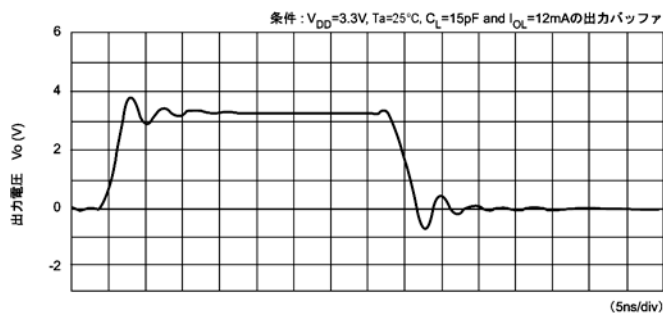
図A4. 2-40

- Normal Type のバッファの出力波形 (OB3T)



図A4. 2-41

- Low Noise Type のバッファの出力波形 (OB3BT)



図A4. 2-42

A4.3 シュミット入力バッファの電气的特性について

図 A4-3 は、シュミット入力バッファの電气的特性を表したものです。VT+と VT-は、それぞれの min. と max. の規格内にあり、個体や環境条件によって異なります。また、その差は、VH の min. 以上あります。

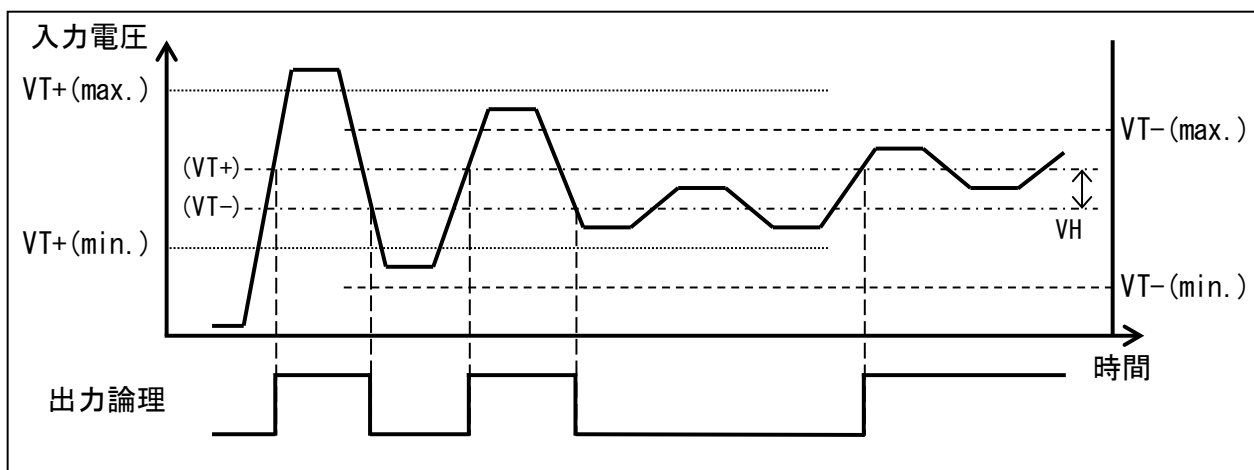


図 A4-3 シュミット入力バッファの入力電圧と論理値の関係

- VT+ : 入力信号が Low から High へ変化する場合に High と判断する電圧
- VT- : 入力信号が High から Low へ変化する場合に Low と判断する電圧
- VH : High (または Low) と判断された入力信号が次に Low (または High) と判断されるために必要な電圧差

改訂履歴表

付-1

Rev. No.	年/月	ページ	種別	改訂内容（旧内容を含む） および改訂理由
Rev. 1.0	1998/04	全ページ	新規	新規制定
Rev. 1.1	2006/09	全ページ	改訂	全体構成変更、S1X60000 シリーズと整合 404486609 冊子最終版
Rev. 1.2	2007/09	特定ページ	改訂	付録 入出力バッファ特性グラフ追加など 404486610
Rev. 2.0	2015/04	全ページ	改訂	全体構成変更、S1X50000 シリーズと整合（RTL-I/F） 404486611
Rev. 2.1	2015/06	第1章 第6章	改訂	表 1-8 プルアップ抵抗/プルダウン抵抗 値の誤記修正 表 6-32 プルダウン抵抗値の誤記修正 404486612
Rev. 2.2	2016/04	付録	改訂	A2 RTL 設計上の注意 VHDL 追記 A3.1 スキャン (SCAN) 誤記訂正 404486613
Rev. 2.3	2017/06	P. 7-9	改訂	表 1-8~10 電気的特性 規格値等誤記修正
Rev. 2.4	2017/06	P. 3-6	改訂	1.3.1 絶対最大定格、1.3.2 推奨動作条件の注記を修正、追加
Rev. 2.5	2017/12	P. 86	改訂	6.5.3 使用上の注意点②の Fail-Safe に関する表現を訂正
		P. 89-90	改訂	表 6-21-2, 表 6-22-1, 表 6-22-2 セル名誤記修正
Rev. 2.6	2019/04	付録	改訂	A5.1, 2 の図表の誤記訂正 A5.4 シュミット入力バッファの電気的特性について 追記
Rev. 3.0	2019/09	全ページ	改訂	全体構成変更
Rev. 3.1	2020/05	全ページ	改訂	誤記修正
Rev. 3.2	2020/07	全ページ	改訂	表記のゆれ統一
Rev. 3.3	2020/09	全ページ	改訂	誤記修正
Rev. 3.4	2021/03	P. 112	改訂	9.2 消費電力制限の修正

セイコーエプソン株式会社

営業本部 デバイス営業部

東京 〒160-8801 東京都新宿区新宿 4-1-6 JR 新宿ミライナタワー29F

大阪 〒530-6122 大阪市北区中之島 3-3-23 中之島ダイビル 22F

ドキュメントコード : 404486621

1998年4月 作成

2021年3月 改訂