

# S2R72A21

## データシート

本資料のご使用につきましては、次の点にご留意願います。  
本資料の内容については、予告無く変更することがあります。

---

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はいくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 製品および弊社が提供する技術を輸出等するにあたっては「外国為替および外国貿易法」を遵守し、当該法令の定める手続きが必要です。大量破壊兵器の開発等およびその他の軍事用途に使用する目的をもって製品および弊社が提供する技術を費消、再販売または輸出等しないでください。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

# 目次

1. 概要	1
2. 特長	2
3. 端子配置図	3
4. 端子機能説明	4
4.1 リセット端子 (HVDD 系 I/O)	4
4.2 制御端子 (HVDD 系 I/O)	4
4.3 USB 端子	5
4.4 リファレンス端子	5
4.5 電源端子	5
4.5.1 外部電源端子	5
4.5.2 内蔵電源端子	5
4.6 テスト端子	5
4.7 NC 端子	6
5. ブロック図	7
6. 機能説明	8
6.1 動作概要	8
6.1.1 状態遷移	8
6.1.2 各ステートと回路動作	9
6.1.3 動作の流れ	11
6.2 動作タイミング	16
6.2.1 リセット解除	16
6.2.2 接続 / 切断	16
6.2.3 FS_LS ステートから HS ステートへの遷移	17
6.2.4 HS ステートから FS_LS ステートへの遷移	18
6.3 HS Synchronizer	19
6.4 送信波形整形	19
6.4.1 HS 送信電流調整	20
6.5 I2C	22
6.5.1 I2C プロトコル	22
6.5.2 I2C レジスタマップ	23
6.6 STAT 端子出力	24
7. 電気的特性	26
7.1 絶対最大定格	26
7.2 推奨動作条件	26
7.3 DC 特性	27
7.3.1 消費電流	27
7.3.2 入力特性	28
7.3.3 出力特性	29
7.3.4 端子容量	29
7.3.5 Bus Switch 特性	29
7.4 AC 特性	30
7.4.1 RESET タイミング	30

7.4.2	クロックタイミング .....	30
7.4.3	I2C タイミング .....	31
<b>8.</b>	<b>外形寸法図 .....</b>	<b>32</b>
	<b>改訂履歴表 .....</b>	<b>33</b>

---

## 1. 概要

S2R72A21 は USB 2.0 (Universal Serial Bus Specification Revision 2.0) HS Packet を再同期する Re-Synchronization IC です。

S2R72A21 をメイン SoC の USB ポートと USB Type-A レセプタクルの間の Bus に挿入すると、Bus 状態を USB 2.0 規格に基づいて監視し、HS 通信時は HS Synchronizer、HS 通信時以外は Bus Switch に自動的に Bus 経路を切り替えます。Hub のように Upstream/Downstream といった方向性の制約がないため、S2R72A21 のいずれのポートに Host が接続されても Bus 経路が確保されます。

HS Synchronizer は、一方のポートより HS Packet を確実に受信し、自らのクロックにより再同期して、他方のポートから送信します。これにより HS 信号波形の開口調整と共にジッタの低減を行います。結果として様々な USB 機器同士がケーブルを延長しても安定して通信できるようになり、カーナビゲーションやディスプレイオーディオ等と、スマートフォン、携帯音楽プレーヤを始めとした USB デバイスとの接続性が向上します。

S2R72A21 は車載向けの厳しい品質要求に対応し、Max.105°C の動作温度に対応しています。

## 2. 特長

---

### 2. 特長

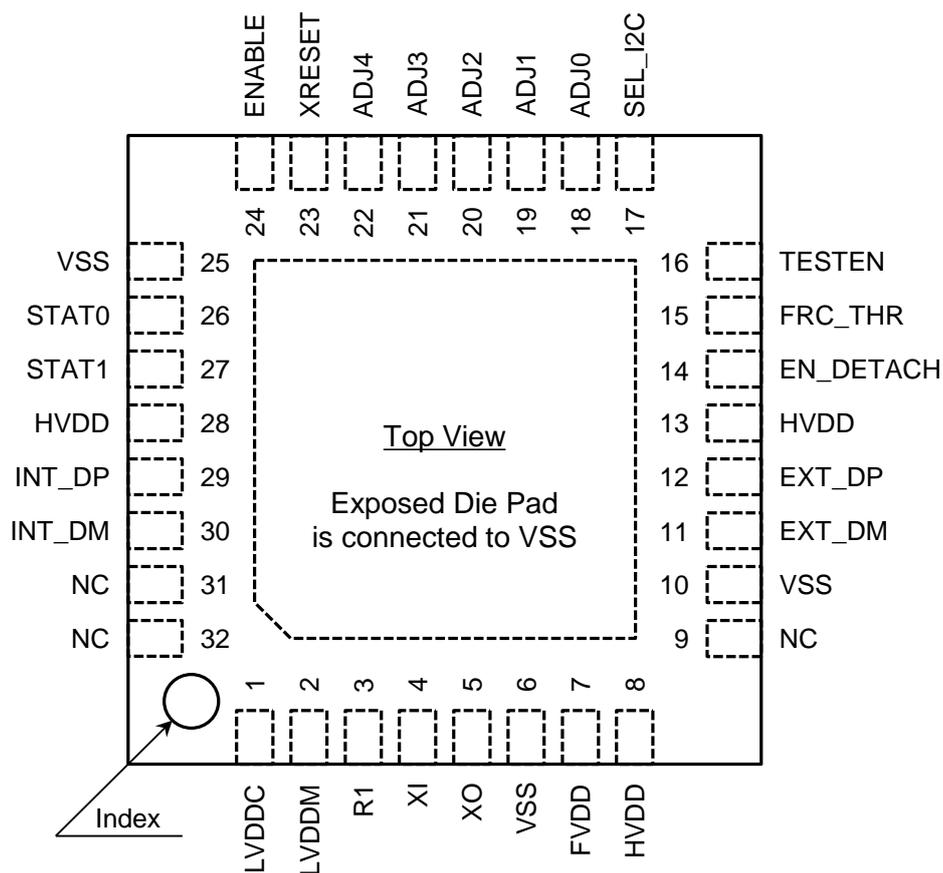
- AEC-Q100 対応
- 良好な HS (480Mbps) 送受信特性
  - HS 送信: 低ジッタの送信波形
    - ◇ HS 送信電流調整に対応
  - HS 受信: 高い受信耐性
- 自動 USB ライン監視・制御機能
  - HS 通信: HS Synchronizer にて再同期
  - HS 通信以外: アナログスイッチにて通過
- 広温度範囲
  - 動作温度範囲: -40°C~105°C に対応
  
- その他仕様
  - 24MHz の水晶発振子対応 (発振回路、帰還抵抗内蔵)
  - 電源電圧: 3.3V
    - 内部コア電圧 (1.8V)、PLL/OSC 用電圧 (1.8V) 生成用のレギュレータ内蔵
    - アナログスイッチ電源用のチャージポンプ内蔵

表 2.1 機種構成

製品型番	パッケージ	梱包仕様
S2R72A21F05E600	SQFN5-32PIN-W*	トレイ
S2R72A21F05E60B		テープ&リール

\*: SQFN5-32PIN-W (Wettable Flank, 32pin, 5mm□, 0.5mm pitch)

3. 端子配置図



Note: Exposed Die pad は VSS に接続してください。

図 3.1 端子配置図

## 4. 端子機能説明

### 4. 端子機能説明

#### 4.1 リセット端子 (HVDD 系 I/O)

Pin	名称	I/O	端子説明
23	XRESET	IN	リセット信号端子 0: リセット 1: リセット解除

#### 4.2 制御端子 (HVDD 系 I/O)

Pin	名称	I/O	端子説明	
24	ENABLE	IN	Bus 接続状態通知端子 0: 切断 1: 接続 ENABLE=0 時: Bus Monitor がリセットされ、 Bus Switch により INT_DP/DM - EXT_DP/DM 間が接続されます。 ENABLE=1 時: Bus Monitor が有効となり、Bus の状態を監視して自動的に Bus Switch および HS Synchronizer の経路切り替えを行います。	
14	EN_DETACH	IN	DETACH ステート有効化端子 0: DETACH ステート無効 1: DETACH ステート有効 基板上で 0 または 1 に固定してください。	
15	FRC_THR	IN	強制スルー設定端子 0: 通常 1: 強制スルー FRC_THR=1 時は、強制的に Bus Switch が INT-EXT 間を接続します。 基板上で 0 または 1 に固定してください。	
17	SEL_I2C	IN	I2C 有効化設定端子 0: I2C 無効 1: I2C 有効 本端子設定は、以下のように送信波形整形機能の設定方法に影響します。 SEL_I2C=0 時: ADJ0-4 端子により設定します。 SEL_I2C=1 時: I2C レジスタにより設定します。 基板上で 0 または 1 に固定してください。	
22	ADJ4	IN/OUT	SEL_I2C=0 時: <u>RSV1</u> Reserved 端子 1 です。 基板上で 0 に固定してください。	SEL_I2C=1 時: <u>I2C_SDA</u> I2C のデータ端子(双方向)です。 HVDD 間にプルアップ抵抗を接続してください。
21	ADJ3	IN	SEL_I2C=0 時: <u>RSV0</u> Reserved 端子 0 です。 基板上で 0 に固定してください。	SEL_I2C=1 時: <u>I2C_SCL</u> I2C のクロック端子です。 HVDD 間にプルアップ抵抗を接続してください。
20	ADJ2	IN	SEL_I2C=0 時: <u>EXT_CUR[3]</u> EXT ポートの HS 送信電流設定端子 3bit 目(MSB)です。 基板上で 0 または 1 に固定してください。	SEL_I2C=1 時: <u>I2C_OADR[2]</u> I2C スレーブアドレス設定端子 2bit 目(MSB)です。 基板上で 0 または 1 に固定してください。
19	ADJ1	IN	SEL_I2C=0 時: <u>EXT_CUR[2]</u> EXT ポートの HS 送信電流設定端子 2bit 目です。 基板上で 0 または 1 に固定してください。	SEL_I2C=1 時: <u>I2C_OADR[1]</u> I2C スレーブアドレス設定端子 1bit 目です。 基板上で 0 または 1 に固定してください。
18	ADJ0	IN	SEL_I2C=0 時: <u>EXT_CUR[1]</u> EXT ポートの HS 送信電流設定端子 1bit 目です。 基板上で 0 または 1 に固定してください。	SEL_I2C=1 時: <u>I2C_OADR[0]</u> I2C スレーブアドレス設定端子 0bit 目(LSB)です。 基板上で 0 または 1 に固定してください。
27	STAT1	OUT	ステータス信号出力端子 1bit 目です。 この端子はデフォルトではオープンドレイン出力です。初期状態は HiZ です。 I2C レジスタにより、出力する信号を選択することができます。	

26	STAT0	OUT	ステータス信号出力端子 0bit 目です。 この端子はデフォルトではオープンドレイン出力です。初期状態は HiZ です。 I2C レジスタにより、出力する信号を選択することができます。
----	-------	-----	--

### 4.3 USB 端子

Pin	名称	I/O	端子説明
29	INT_DP	IN/OUT	Internal 側 USB データライン (INT ポート) Data+接続端子
30	INT_DM	IN/OUT	Internal 側 USB データライン (INT ポート) Data-接続端子
12	EXT_DP	IN/OUT	External 側 USB データライン (EXT ポート) Data+接続端子
11	EXT_DM	IN/OUT	External 側 USB データライン (EXT ポート) Data-接続端子

### 4.4 リファレンス端子

Pin	名称	I/O	端子説明
4	XI	IN	内部発振回路用入力端子 (24MHz)
5	XO	OUT	内部発振回路用出力端子 (24MHz)
3	R1	IN	基準電圧設定端子 6.04k $\Omega$ $\pm$ 1%を VSS 間に接続してください。

### 4.5 電源端子

#### 4.5.1 外部電源端子

Pin	名称	電圧	端子説明
8, 13, 28	HVDD	3.3V	S2R72A21 の外部電源接続端子 基板上で全端子を外部電源に接続してください。
6, 10, 25, EP	VSS	0V	GND 端子 EP は Exposed Die Pad を示します。Exposed Die Pad は基板上で VSS に接続してください。

#### 4.5.2 内蔵電源端子

Pin	名称	電圧	端子説明
7	FVDD	2.2V	中間電源 10 $\mu$ F + 0.1 $\mu$ F を VSS 間に接続してください。
1	LVDDC	1.8V	内部コア 1.8V 電源 10 $\mu$ F + 0.1 $\mu$ F を VSS 間に接続してください。
2	LVDDM	1.8V	USB 1.8V 電源 10 $\mu$ F + 0.1 $\mu$ F を VSS 間に接続してください。

### 4.6 テスト端子

Pin	名称	I/O	端子説明
16	TESTEN	IN	テスト端子 基板上で VSS に接続してください。

## 4. 端子機能説明

---

### 4.7 NC 端子

Pin	名称	I/O	端子説明
9, 31, 32	NC	-	不使用 基板上で OPEN にしてください。

## 5. ブロック図

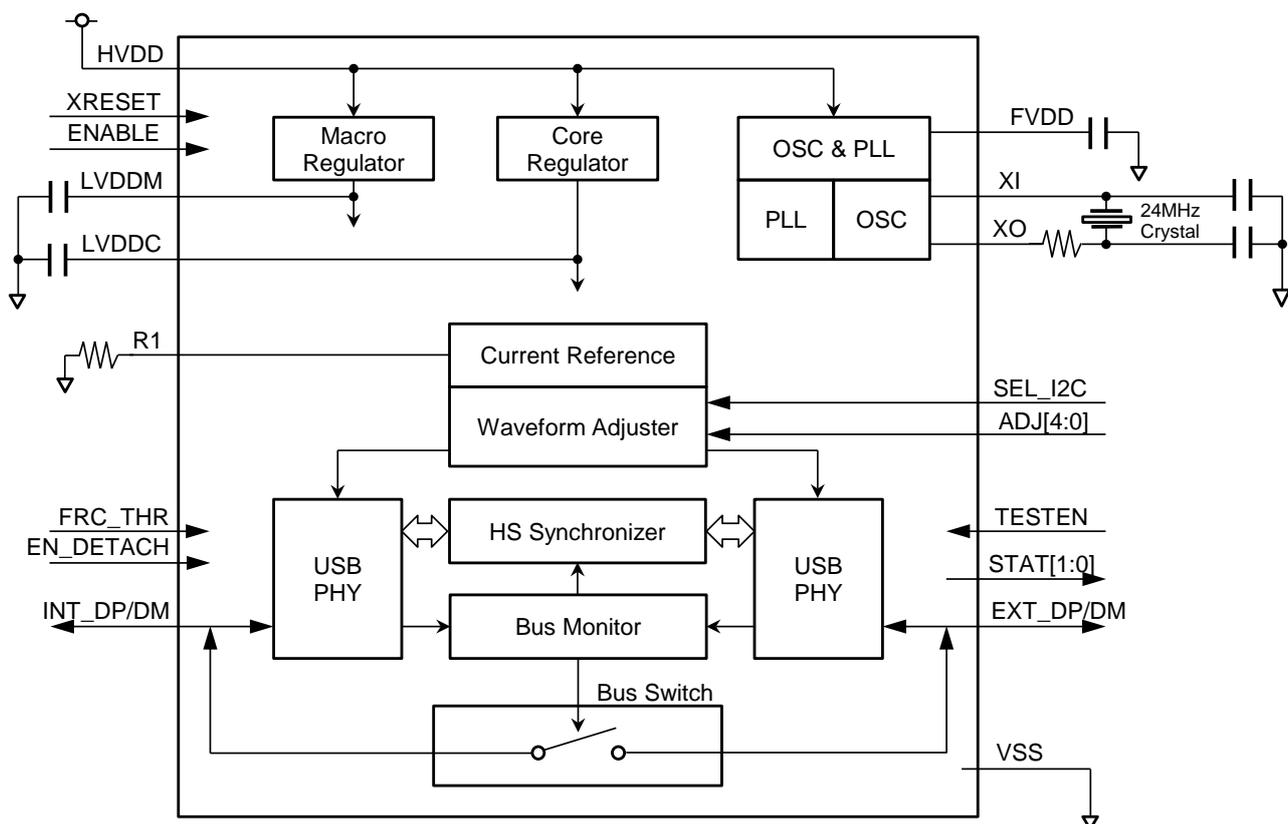


図 5.1 ブロック図

## 6. 機能説明

### 6. 機能説明

#### 6.1 動作概要

S2R72A21 は、USB の信号経路として Bus Switch と HS Synchronizer の二つの経路を備えています。

Bus Switch は、INT\_DP/DM と EXT\_DP/DM を電氣的に接続し、LS/FS や BC の信号をそのまま通過させます。

HS Synchronizer は、INT\_DP/DM または EXT\_DP/DM の一方より受信した HS 信号を再同期し、他方のポートから送信します。

二つの経路の切り替えは、内蔵の Bus Monitor が自動的に行います。

#### 6.1.1 状態遷移

図 6.1.1.1 に、S2R72A21 の状態遷移図を示します。

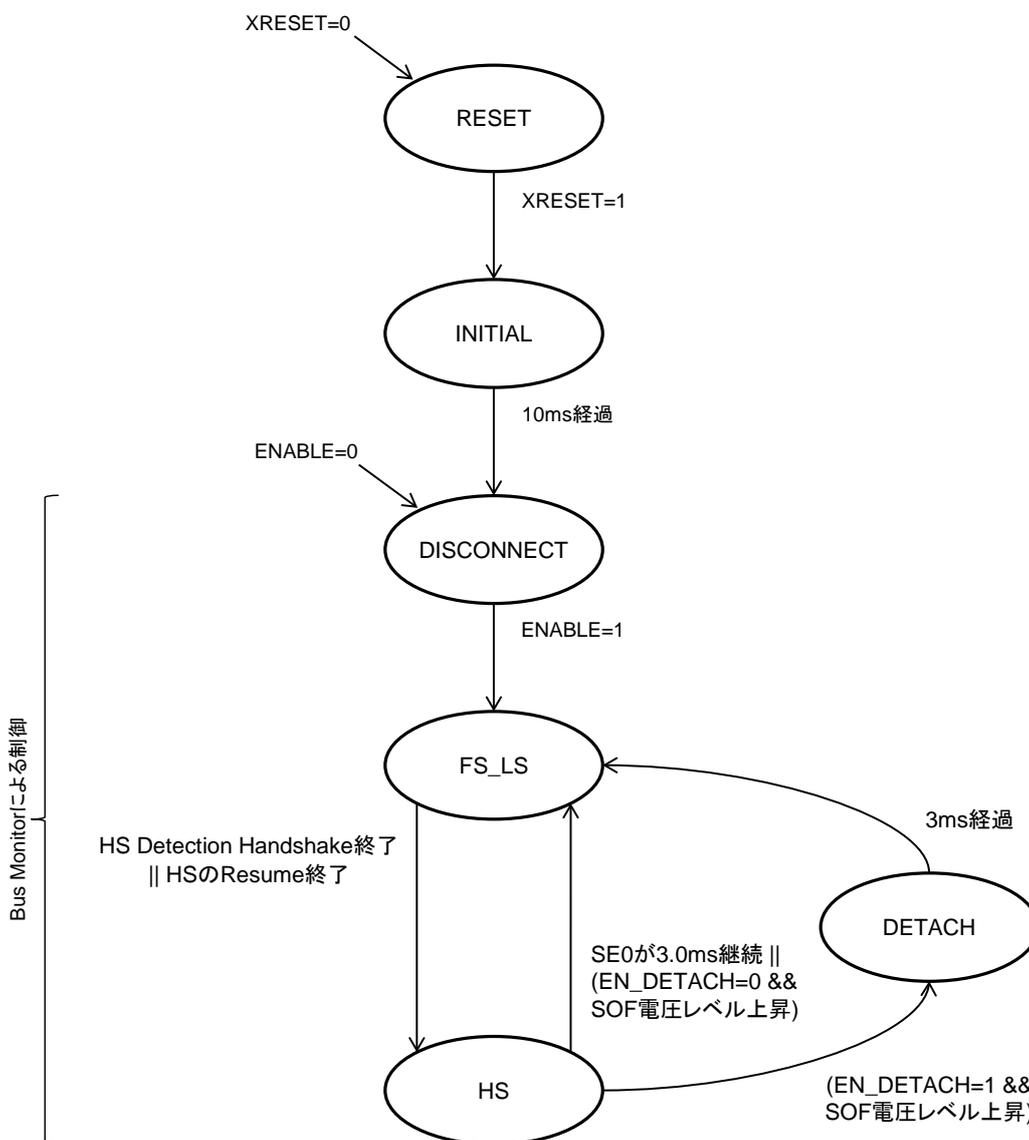


図 6.1.1.1

S2R72A21 状態遷移図

### 6.1.2 各ステートと回路動作

表 6.1.2.1 に FRC\_THR=0 時における各ステートでの回路動作状況を示します。HS ステート以外で HS 信号の通過は保証されません。

表 6.1.2.1 各状態における回路動作 (FRC\_THR=0 時)

ステート	Bus Switch	HS Synchronizer	Regulator	OSC / PLL
RESET	OFF	停止	起動	停止
INITIAL	ON <sup>Note</sup>	停止	起動	起動
DISCONNECT	ON	停止	起動	起動
FS_LS	ON	停止	起動	起動
HS	OFF	起動	起動	起動
DETACH	OFF	停止	起動	起動

Note: INITIAL ステート時には Bus Switch は ON になりますが、BC の信号のみ通過します。

なお、FRC\_THR=1 時は HS Synchronizer は無効となり、以下のように Bus Switch にて INT - EXT ポート間が接続されます。HS 信号の通過は保証されません。

表 6.1.2.2 各状態における回路動作 (FRC\_THR=1 時)

ステート	Bus Switch	HS Synchronizer	Regulator	OSC / PLL
RESET	OFF	停止	起動	停止
INITIAL	ON <sup>Note</sup>	停止	起動	起動
上記以外	ON	停止	起動	起動

Note: INITIAL ステート時には Bus Switch は ON になりますが、BC の信号のみ通過します。

#### 6.1.2.1 RESET ステート

RESET ステートは、S2R72A21 のリセット状態(XRESET=0)です。Regulator のみが起動している状態であり、Bus Switch は OFF となっています。

この状態から XRESET を 1 に立ち上げると INITIAL ステートに遷移します。

#### 6.1.2.2 INITIAL ステート

INITIAL ステートは、S2R72A21 のリセット後の初期状態です。Bus Switch は完全に起動していませんが、INT ポート-EXT ポート間が接続されており、BC の信号が通過します。

この状態から 10ms が経過すると DISCONNECT ステートに遷移します。

#### 6.1.2.3 DISCONNECT ステート

DISCONNECT ステートは、S2R72A21 を介した USB 接続が切断されている状態です。Bus Switch により、INT ポート-EXT ポート間が接続されています。

この状態から、ENABLE=1 を検出すると FS\_LS ステートに遷移します。

#### 6.1.2.4 FS\_LS ステート

FS\_LS ステートは、INT ポートと EXT ポートにそれぞれ接続された Host と Device が FS または LS で接続された状態です。Bus Switch により INT ポートと EXT ポートが接続されています。

この状態から、HS Detection Handshake が終了する、または HS の Resume が終了すると HS ステートに遷移します。また、ENABLE 端子を 0 とすると DISCONNECT ステートに遷移します。

## 6. 機能説明

---

### 6.1.2.5 HS ステート

HS ステートは、INT ポートと EXT ポートにそれぞれ接続された Host と Device が HS で接続された状態です。HS Synchronizer により一方のポートから受信した HS パケットを他方のポートへ再同期して送信します。

EN\_DETACH=0 の場合、この状態から SOF の電圧レベル上昇(HS Device 切断)を検出、または SE0 の 3ms 以上継続(HS Reset/Suspend)を検出すると、FS\_LS ステートに遷移します。

EN\_DETACH=1 の場合、この状態から SOF の電圧レベル上昇(HS Device 切断)を検出すると、DETACH ステートに遷移します。また、この状態から SE0 の 3ms 以上継続(HS Reset/Suspend)を検出すると、FS\_LS ステートに遷移します。

切断検出は Host の切断検出回路や、ケーブル長などのシステムに依存しますので、実機にて評価してください。

### 6.1.2.6 DETACH ステート

DETACH ステートは、S2R72A21 が HS Device 切断を検出した状態です。EN\_DETACH=1 の場合のみ本ステートに遷移します。HS Device 切断を検出すると、S2R72A21 は HS Synchronizer を停止し、かつ Bus Switch を OFF に制御します。これにより、INT ポート側と EXT ポート側に接続されるケーブル長の合計が長い場合、Host が Detach をより検出しやすくなります。

この状態で 3ms 経過すると、FS\_LS ステートに遷移します。

切断検出は Host の切断検出回路や、ケーブル長などのシステムに依存しますので、実機にて評価してください。

### 6.1.3 動作の流れ

Device の Attach から Detach までの S2R72A21 の動作の流れを、DETACH ステート有効の場合 (EN\_DETACH=1 の場合) と DETACH ステート無効の場合 (EN\_DETACH=0 の場合) の 2 つの場合に分けて説明します。

#### 6.1.3.1 DETACH ステート有効の場合 (EN\_DETACH=1 の場合)

ENABLE 端子を制御する場合と、1 固定にする場合に分けて説明します。

- ENABLE 端子を制御する場合

図 6.1.3.1.1 に DETACH ステート有効 (EN\_DETACH=1) かつ ENABLE 端子を制御する場合の動作の流れを示します。



図 6.1.3.1.1 DETACH ステート有効かつ ENABLE 端子を制御する場合の動作の流れ

図 6.1.3.1.1 a) は、リセットから Attach、HS 通信状態までの流れを示しています。XRESET=0 とすると、S2R72A21 は RESET ステートとなり、Bus Switch は OFF となっています。XRESET を 1 に立ち上げると INITIAL ステートとなり、Bus Switch により INT ポート-EXT ポート間が接続されます。この間 BC の信号を通過させます。この状態から 10ms が経過すると DISCONNECT ステートとなります。さらに ENABLE=1 を検出すると、FS\_LS ステートに遷移し、Attach を受付可能となります。この状態で Reset から始まる HS Detection Handshake が終了すると、HS ステートになり HS Synchronizer が ON しますので、HS 通信が可能な状態となります。

図 6.1.3.1.1 b) は、HS 通信状態からの Device の Detach と再 Attach までの流れを示しています。S2R72A21 が HS ステートにおいて Device の Detach を検出すると、DETACH ステートに遷移して HS Synchronizer を OFF するとともに、Bus Switch が OFF の状態を 3ms 継続します。この状態で外部で Detach を検出してください。3ms 経過後、FS\_LS ステートに遷移して Bus Switch が INT ポート-EXT ポート間を接続し

## 6. 機能説明

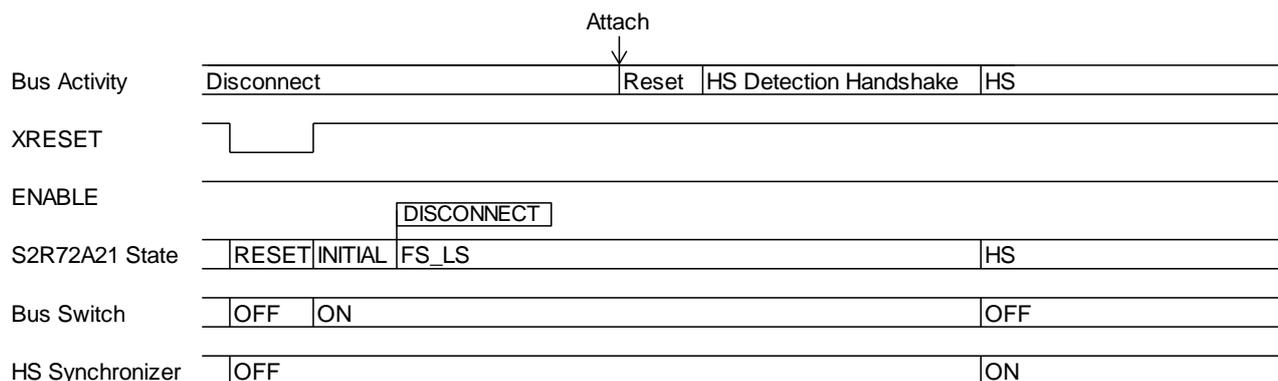
まず、Detach を検出したら、ENABLE=0 とすることで S2R72A21 へ Detach 検出を通知します。すると S2R72A21 は DISCONNECT ステートへ遷移します。ここで ENABLE=1 とすると S2R72A21 は FS\_LS ステートへ遷移し、再 Attach を受け付けることができるようになります。ここで、ENABLE 信号の Low パルス幅は 1us 以上を確保してください。

ENABLE 端子の制御については、「S2R72A21 アプリケーションノート」を参照してください。

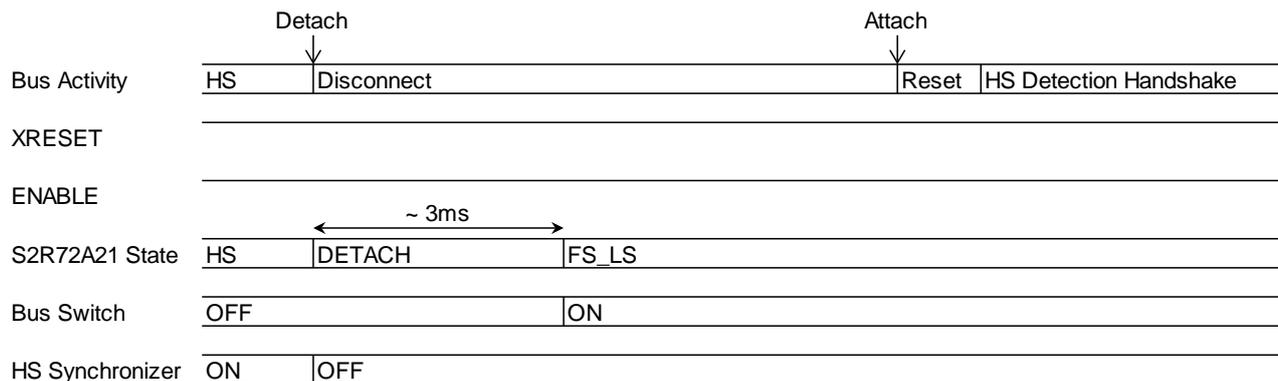
各動作の詳細なタイミングについては、6.2 節で説明します。

### • ENABLE 端子を 1 固定にする場合

図 6.1.3.1.2 に DETACH ステート有効(EN\_DETACH=1)かつ ENABLE 端子を 1 固定にする場合の動作の流れを示します。



#### a) リセットから Attach、HS 通信状態まで



#### b) HS 通信状態からの Detach、再 Attach まで

図 6.1.3.1.2 DETACH ステート有効かつ ENABLE 端子を 1 固定にする場合の動作の流れ

図 6.1.3.1.2 a)は、リセットから Attach、HS 通信状態までの流れを示しています。XRESET=0 とすると、S2R72A21 は RESET ステートとなり、Bus Switch は OFF となっています。XRESET を 1 に立ち上げると INITIAL ステートとなり、Bus Switch により INT ポート-EXT ポート間が接続されます。この間 BC の信号を通過させます。この状態から 10ms が経過すると DISCONNECT ステートとなりますが、直ちに ENABLE=1 が検出されるため、FS\_LS ステートに遷移し、Attach を受付可能となります。この状態で Reset から始まる HS Detection Handshake が終了すると、HS ステートになり HS Synchronizer が ON しますので、HS 通信が可能な状態となります。

図 6.1.3.1.2 b)は、HS 通信状態からの Device の Detach と再 Attach までの流れを示しています。S2R72A21 が HS ステートにおいて Device の Detach を検出すると、DETACH ステートに遷移して HS Synchronizer を OFF するとともに、Bus Switch が OFF の状態を 3ms 継続します。この状態で外部で Detach を検出し

てください。3ms 経過後、FS\_LS ステートに遷移して Bus Switch が INT ポート-EXT ポート間を接続します。この状態で、再 Attach を受け付けることができますようになります。

ENABLE 端子を 1 固定にする場合について詳細は、”S2R72A21 アプリケーションノート”を参照してください。

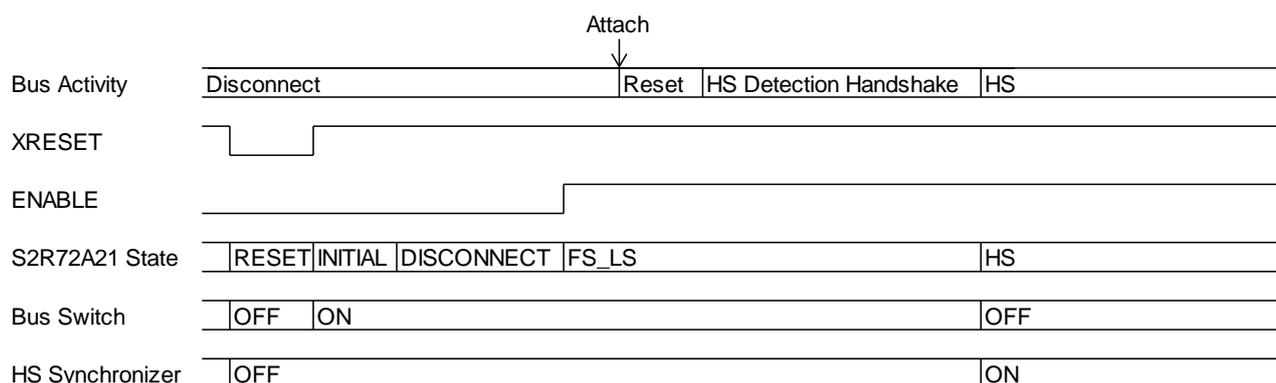
各動作の詳細なタイミングについては、6.2 節で説明します。

### 6.1.3.2 DETACH ステート無効の場合 (EN\_DETACH=0 の場合)

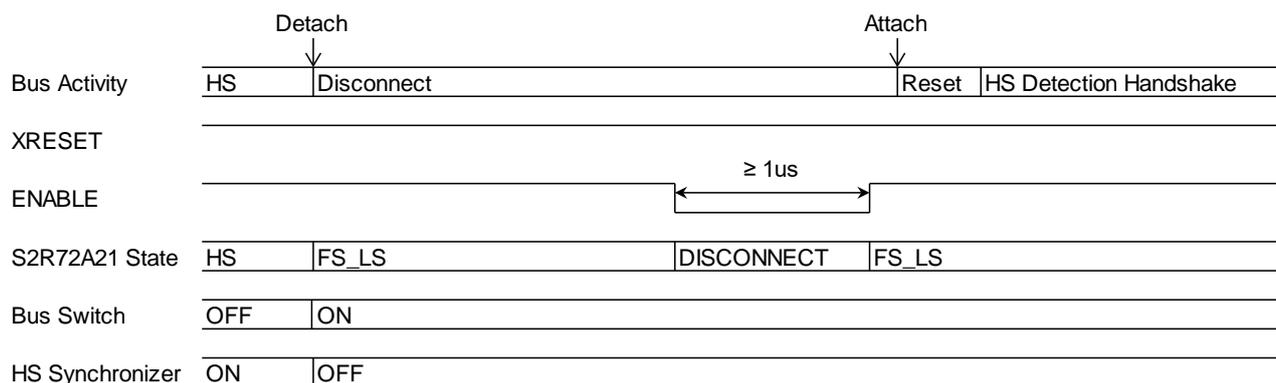
ENABLE 端子を制御する場合と、1 固定にする場合に分けて説明します。

- ENABLE 端子を制御する場合

図 6.1.3.2.1 に DETACH ステート無効(EN\_DETACH=0)かつ ENABLE 端子を制御する場合の動作の流れを示します。



a) リセットから Attach、HS 通信状態まで



b) HS 通信状態からの Detach、再 Attach まで

図 6.1.3.2.1 DETACH ステート無効かつ ENABLE 端子を制御する場合の動作の流れ

図 6.1.3.2.1 a)は、リセットから Attach、HS 通信状態までの流れを示しています。XRESET=0 とすると、S2R72A21 は RESET ステートとなり、Bus Switch は OFF となっています。XRESET を 1 に立ち上げると INITIAL ステートとなり、Bus Switch により INT ポート-EXT ポート間が接続されます。この間 BC の信号を通過させます。この状態から 10ms が経過すると DISCONNECT ステートとなります。さらに ENABLE=1 を検出すると、FS\_LS ステートに遷移し、Attach を受付可能となります。この状態で Reset から始まる HS Detection Handshake が終了すると、HS ステートになり HS Synchronizer が ON しますので、HS 通信が可能な状態となります。

## 6. 機能説明

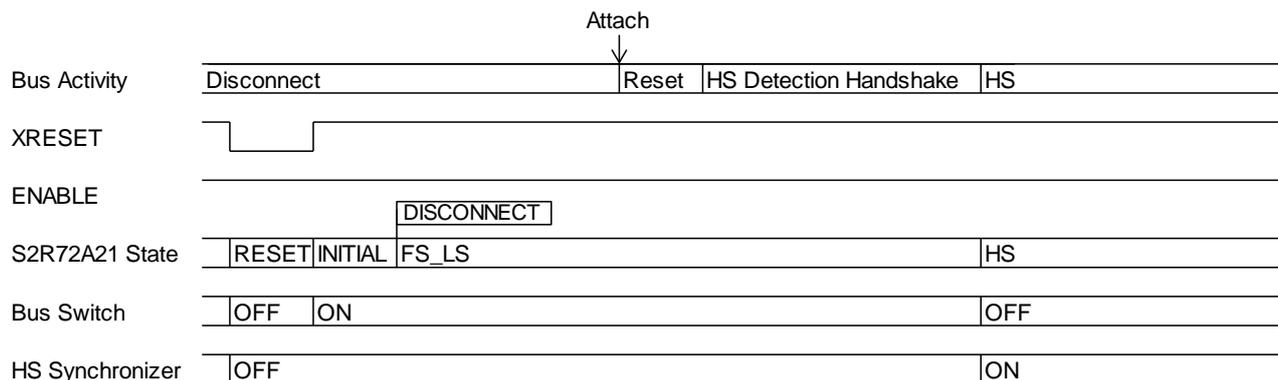
図 6.1.3.2.1 b)は、HS 通信状態からの Device の Detach と再 Attach までの流れを示しています。S2R72A21 が HS ステートにおいて Device の Detach を検出すると、FS\_LS ステートに遷移して Bus Switch が INT ポート-EXT ポート間を接続します。これにより外部で Detach を検出できるようになります。Detach を検出したら、ENABLE=0 とすることで S2R72A21 へ Detach 検出を通知します。すると S2R72A21 は DISCONNECT ステートへ遷移します。ここで ENABLE=1 とすると S2R72A21 は FS\_LS ステートへ遷移し、再 Attach を受け付けることができるようになります。ここで、ENABLE 信号の Low パルス幅は 1 $\mu$ s 以上を確保してください。

ENABLE 端子の制御について詳細は、「S2R72A21 アプリケーションノート」を参照してください。

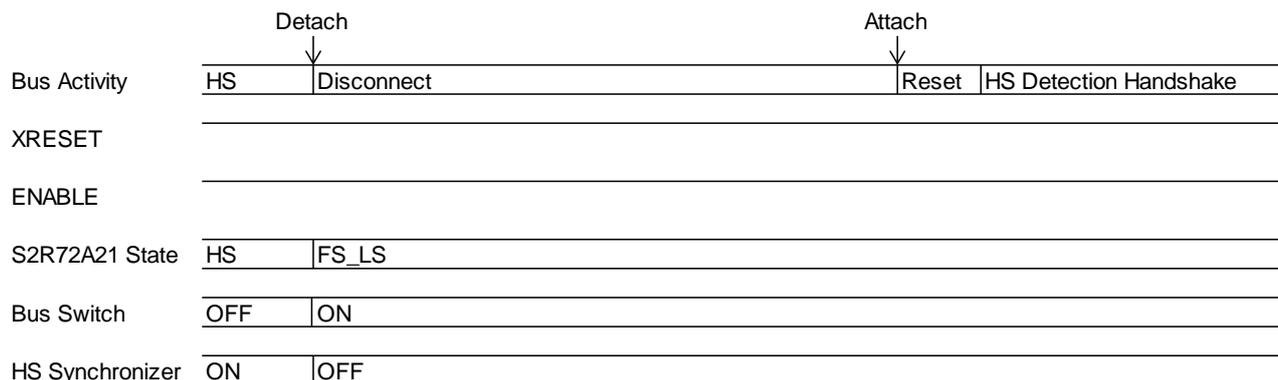
各動作の詳細なタイミングについては、6.2 節で説明します。

### • ENABLE 端子を 1 固定にする場合

図 6.1.3.2.2 に DETACH ステート無効(EN\_DETACH=0)かつ ENABLE 端子を 1 固定にする場合の動作の流れを示します。



a) リセットから Attach、HS 通信状態まで



b) HS 通信状態からの Detach、再 Attach まで

図 6.1.3.2.2 DETACH ステート無効かつ ENABLE 端子を 1 固定にする場合の動作の流れ

図 6.1.3.2.2 a)は、リセットから Attach、HS 通信状態までの流れを示しています。XRESET=0 とすると、S2R72A21 は RESET ステートとなり、Bus Switch は OFF となっています。XRESET を 1 に立ち上げると INITIAL ステートとなり、Bus Switch により INT ポート-EXT ポート間が接続されます。この間 BC の信号を通過させます。この状態から 10ms が経過すると DISCONNECT ステートとなりますが、直ちに ENABLE=1 が検出されるため、FS\_LS ステートに遷移し、Attach を受付可能となります。この状態で Reset から始まる HS Detection Handshake が終了すると、HS ステートになり HS Synchronizer が ON しますので、HS 通信が可能な状態となります。

図 6.1.3.2.2 b)は、HS 通信状態からの Device の Detach と再 Attach までの流れを示しています。S2R72A21 が HS ステートにおいて Device の Detach を検出すると、FS\_LS ステートに遷移して Bus Switch が INT ポート-EXT ポート間を接続します。これにより外部で Detach を検出できるようになります。この状態で、再 Attach を受け付けることができますようになります。

ENABLE 端子を 1 固定にする場合について詳細は、”S2R72A21 アプリケーションノート”を参照してください。

各動作の詳細なタイミングについては、6.2 節で説明します。

## 6. 機能説明

### 6.2 動作タイミング

#### 6.2.1 リセット解除

リセットが解除されて Bus Switch が完全に起動されるまでは 10 ms の時間を要します。この間は BC の信号のみ通過します。10 ms 経過後、USB の FS/LS の信号が通過するようになります。

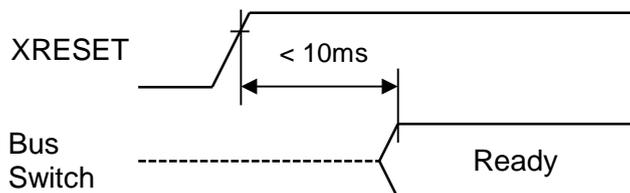


図 6.2.1.1 リセット解除

#### 6.2.2 接続 / 切断

S2R72A21 を介した USB 接続を接続、切断するには、ENABLE 端子を制御します。USB 接続を開始するには、ENABLE 端子を 1 にしてください。Host が USB 接続の Detach を検出した場合には、ENABLE 端子を 0 にします。

ENABLE 端子の状態を変更してから Bus Switch の状態が変更されるまでのタイミングは下図の通りです。

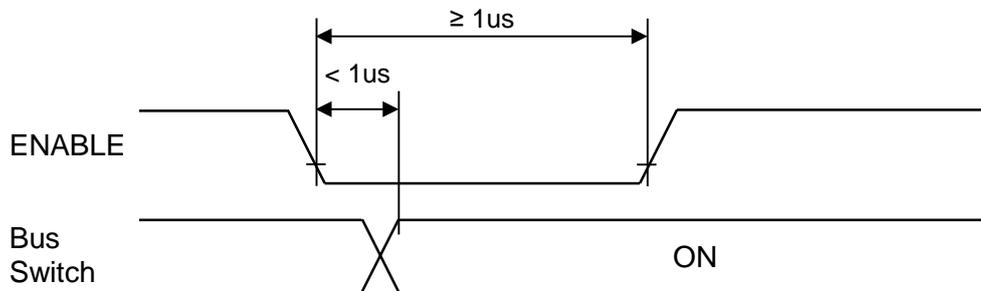


図 6.2.2.1 ENABLE 端子による Bus Switch の切り替え

ENABLE 端子の制御については、「S2R72A21 アプリケーションノート」を参照してください。

HS Device 切断検出について、DETACH ステート有効の場合(EN\_DETACH=1 の場合)と DETACH ステート無効の場合(EN\_DETACH=0 の場合)に分けて説明します。

##### 6.2.2.1 DETACH ステート有効の場合 (EN\_DETACH=1 の場合)

HS からの Device 切断検出は、以下のステップで行われます。

1. S2R72A21 が Device 側のポートに流れる SOF の電圧レベル上昇により Device 切断を検出(HS ステートから DETACH ステートに遷移)
2. HS Synchronizer 停止  
Host が切断を検出
3. 3ms 後、Bus Switch が INT ポートと EXT ポートを接続 (DETACH ステートから FS\_LS ステートに遷移)

タイミングは以下の通りです。

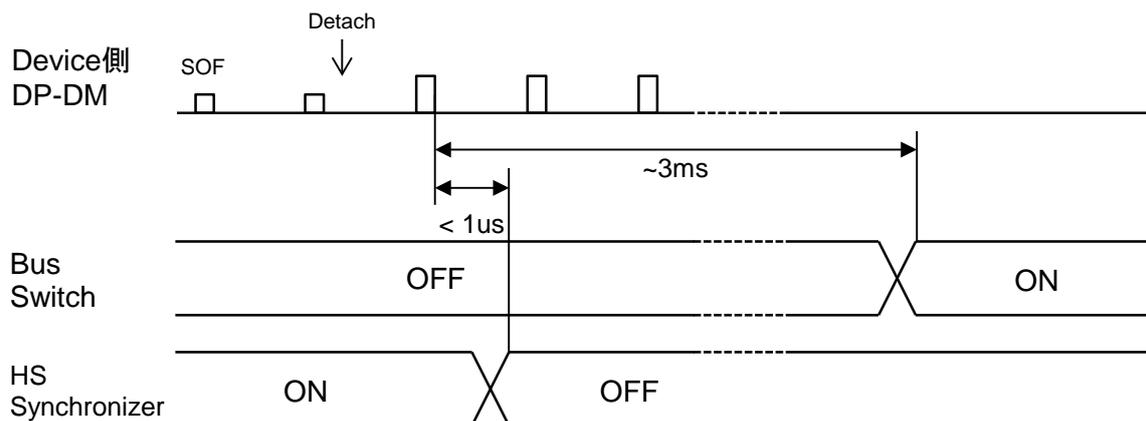


図 6.2.2.1.1 HS からの Device 切断検出 (DETACH ステート有効の場合)

### 6.2.2.2 DETACH ステート無効の場合 (EN\_DETACH=0 の場合)

HS からの Device 切断検出は、以下のステップで行われます。

1. S2R72A21 が Device 側のポートに流れる SOF の電圧レベル上昇により切断を検出(HS ステートから FS\_LS ステートに遷移)
2. HS Synchronizer 停止、Bus Switch が INT ポートと EXT ポートを接続  
Host が切断を検出

タイミングは下図の通りです。

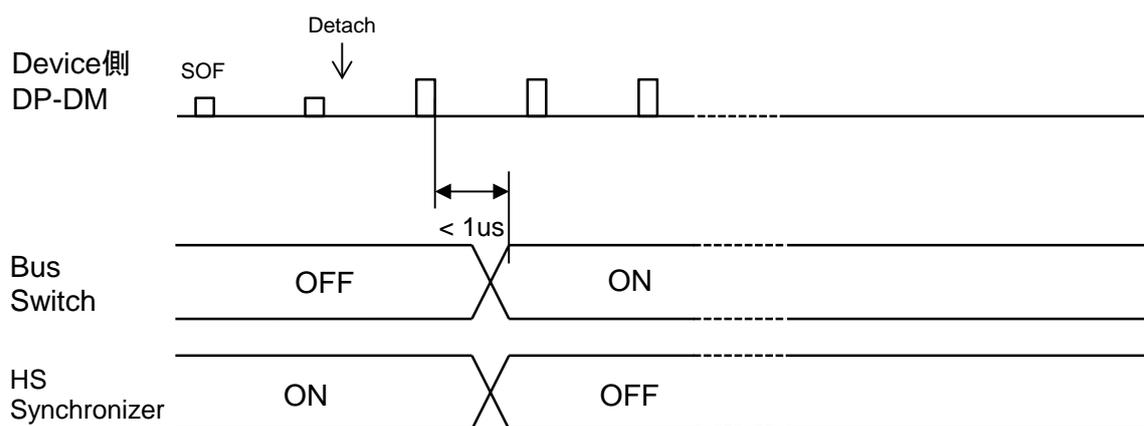


図 6.2.2.2.1 HS からの Device 切断検出 (DETACH ステート無効の場合)

### 6.2.3 FS\_LS ステートから HS ステートへの遷移

6.1.2.4 節で説明した FS\_LS ステートから、6.1.2.5 節で説明した HS ステートへの遷移について説明します。

FS\_LS ステートにおいて、HS Detection Handshake の終了または HS の Resume 終了を検出すると、HS ステートへ遷移します。詳細なタイミングは下図を参照してください。

なお、Hub chirp 終了から SOF 送信開始までは、5 $\mu\text{s}$  以上待ってください。また、HS の Resume 終了から SOF の送信開始までは、5 $\mu\text{s}$  以上待ってください。

## 6. 機能説明

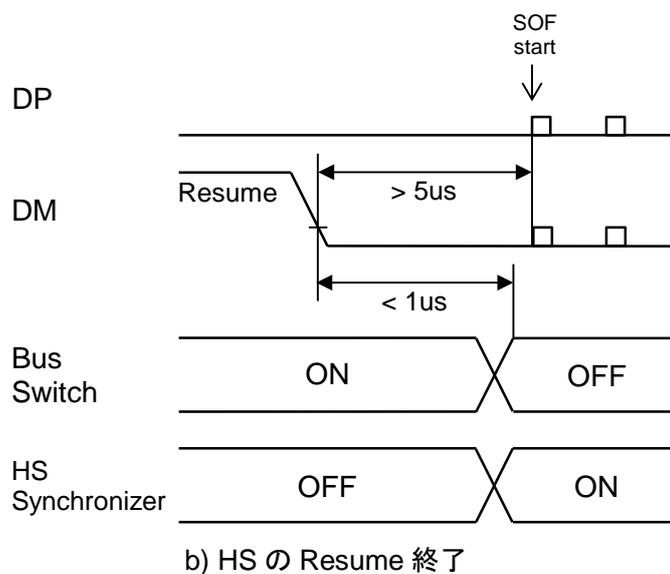
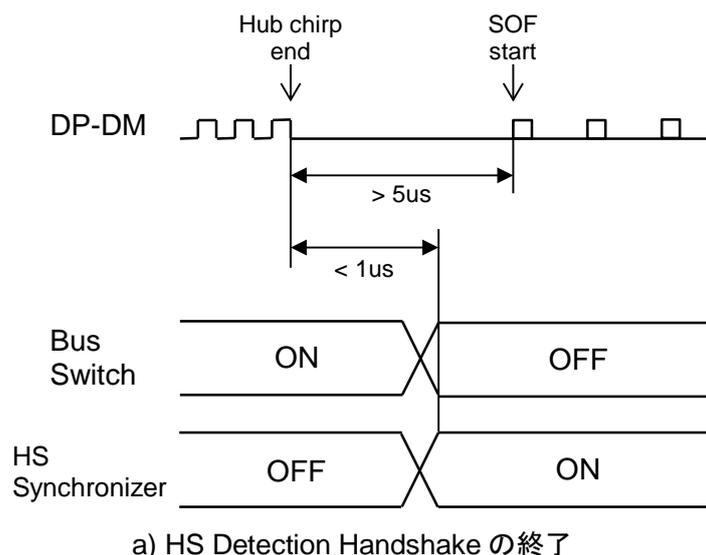


図 6.2.3.1 FS\_LS ステートから HS ステートへの遷移

### 6.2.4 HS ステートから FS\_LS ステートへの遷移

6.1.2.5 節で説明した HS ステートから、6.1.2.4 節で説明した FS\_LS ステートへの遷移について、Reset もしくは Suspend (SE0 が 3ms 継続) の場合を説明します。HS Device 切断検出 (DETACH ステート無効) の場合については、6.2.2.2 節を参照してください。

HS ステートにおいて、INT ポートまたは EXT ポートにて SE0 を 3ms 検出 (Reset または Suspend を検出) すると、FS\_LS ステートに遷移します。遷移タイミングは下図を参照してください。Bus activity の停止から 3.0ms 後までには Bus Switch が ON となります。なお、Bus activity の停止から 2.95ms 経過後はパケットの送付を行わないでください。

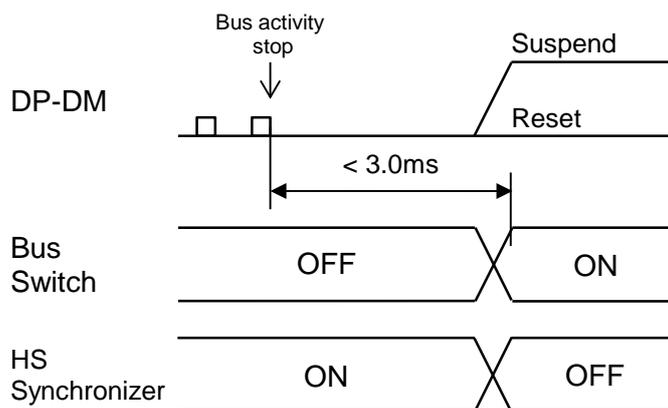


図 6.2.4.1 HS からの Reset / Suspend

### 6.3 HS Synchronizer

HS Synchronizer は、S2R72A21 が HS ステートの時に ON になり、INT ポートまたは EXT ポートの一方より受信した HS パケットを再同期して他方のポートより送信します。

この際 HS Synchronizer は、SYNC フィールドを 32bit に補って送信します。

受信から送信までのパケット遅延は下図のようになります。

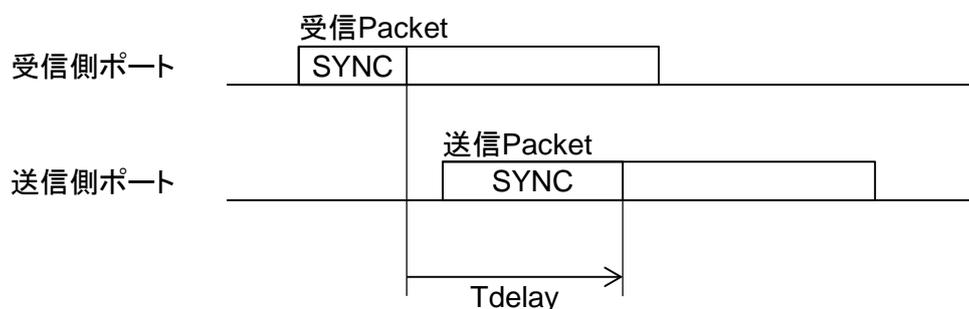


図 6.3.1 HS Synchronizer によるパケット遅延

Tdelay の最大値は、以下のようになります。

受信パケットが 32bit SYNC の場合: 40 bit time

受信パケットが 12bit SYNC\* の場合: 60 bit time

\*: S2R72A21 が挿入されるバスライン上に接続可能な Hub の段数は、最大でも 4 段までとなります。サポート可能な Hub の段数は、Host に依存します。

### 6.4 送信波形整形

S2R72A21 は、送信波形整形機能として HS 送信電流調整機能を備えており、HS 送信電流値を調整することで、USB 送信信号品質(アイパターン)を改善することができます。

本機能の設定には、ADJ 端子もしくは I2C レジスタを用います。I2C レジスタを用いると、INT/EXT ポート両方の電流設定値を細かく設定することができます。ADJ 端子による設定では、EXT ポートの電流設定値の上位 bit のみを調整することができます。SEL\_I2C 端子のレベルは、ADJ 端子による設定時は 0 に、I2C レジスタによる設定時は 1 に設定してください。

## 6. 機能説明

表 6.4.1 送信波形整形機能の設定

機能	ポート	ADJ 端子設定時 SEL_I2C=0	I2C レジスタ設定時 SEL_I2C=1
HS 送信電流調整	INT	基準電流値(レベル 0)に固定	細かく調整可能
	EXT	調整可能	

本機能を使用する際は、お客様のシステムにて十分に実機評価を行ってください。

### 6.4.1 HS 送信電流調整

HS 送信電流調整機能は、HS 接続時に INT ポートおよび EXT ポートから送信する電流を調整する機能です。本機能により、USB 信号の振幅を調整することができます。調整値は内部的に INT ポート、EXT ポートに対応したそれぞれ 4bit の値を持っています。

I2C レジスタによる調整では、INT ポート側、EXT ポート側の内部調整値それぞれ 4bit 全ての値を設定することができます。INT ポート側は INT\_ADJ レジスタの INT\_CUR ビットを、EXT ポート側は EXT\_ADJ レジスタの EXT\_CUR ビットを使用して設定してください。I2C レジスタマップは 6.5.2 節を参照してください。

ADJ 端子による調整では、EXT ポート側の内部調整値 4bit のうち上位 3bit を ADJ2, ADJ1, ADJ0 の 3 端子により設定することができます。最下位 bit は 0 に固定されます。INT ポート側の調整値は 0(レベル 0)に固定されます。

設定値と HS 送信電流レベルの関係については、表 6.4.1.1 および表 6.4.1.2 を参照してください。1 レベル当たりの電流増分は、約 0.5mA です。HS 送信電流レベルを上げすぎると切断検出レベルに到達する可能性があります。このため推奨される最大 HS 送信電流レベルは EXT ポート側でレベル 6 まで、INT ポート側でレベル 2 までに制限されます。

表 6.4.1.1 EXT ポート側 HS 送信電流設定値と送信電流

ADJ 端子設定時 (SEL_I2C=0) {ADJ2, ADJ1, ADJ0}	I2C レジスタ設定時 (SEL_I2C=1) EXT_CUR[3:0]	HS 送信電流レベル
{0, 0, 0}	0x0	レベル 0 最小 (基準)
-	0x1	レベル 1
{0, 0, 1}	0x2	レベル 2
-	0x3	レベル 3
{0, 1, 0}	0x4	レベル 4
-	0x5	レベル 5
{0, 1, 1}	0x6	レベル 6 推奨最大
-	0x7	設定注意 <small>Note1</small>
{1, 0, 0}	0x8	
-	0x9	
{1, 0, 1}	0xA	
-	0xB	
{1, 1, 0}	0xC	
-	0xD	
{1, 1, 1}	0xE	
-	0xF	

表 6.4.1.2 INT ポート側 HS 送信電流設定値と送信電流

I2C レジスタ設定時 (SEL_I2C=1) <sup>Note2</sup>	HS 送信電流レベル
INT_CUR[3:0]	
0x0	レベル 0 最小 (基準)
0x1	レベル 1
0x2	レベル 2 推奨最大
0x3	設定注意 <sup>Note1</sup>
0x4	
0x5	
0x6	
0x7	
0x8	
0x9	
0xA	
0xB	
0xC	
0xD	
0xE	
0xF	

Note1: 本設定の場合、HS 切断検出レベルを超える可能性があります。そのため、実際には USB デバイスが接続されているにも関わらず、切断検出される恐れがあります。お客様のシステムにて十分ご確認ください。HS 信号振幅も規定のテンプレート禁止枠に触れる可能性があります。”S2R72A21 アプリケーションノート”を参照してください。

Note2: ADJ 端子設定時(SEL\_I2C=0)は、ADJ 端子設定に関わらずレベル 0 に固定されます。

## 6. 機能説明

### 6.5 I2C

S2R72A21 は I2C スレーブインターフェースを備えており、各種機能の設定に使用します。

7bit アドレスに対応しています。10bit アドレス、ジェネラルコールアドレス、リピーテッドスタートコンディション、クロックストレッチには非対応です。バスの速度は Standard-mode (最大 100kbps) および Fast-mode (最大 400kbps) に対応しています。

I2C を使用する場合は、SEL\_I2C=1 としてください。

以下に I2C のプロトコルおよびレジスタマップを示します。

#### 6.5.1 I2C プロトコル

##### 6.5.1.1 スレーブアドレス

S2R72A21 のスレーブアドレス(I2C\_OADR) 7bit のうち、上位 4bit は 4'b1010 に固定されています。下位 3bit は、ADJ2/1/0 端子にて設定可能です。下表を参照してください。

表 6.5.1.1.1 スレーブアドレス

	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
I2C_OADR	1	0	1	0	ADJ2	ADJ1	ADJ0

##### 6.5.1.2 書き込みタイミング

I2C レジスタへの書き込みは以下の手順で行います。

1. スタートコンディションを発行
2. S2R72A21 のスレーブアドレス OADR[6:0]に R/W bit=1'b0 (WRITE)を付加して送信
3. 書き込む I2C レジスタのアドレス RADR[7:0]を送信
4. I2C レジスタに書き込む値 DATA[7:0]を送信
5. ストップコンディションを発行

書き込みのタイミングは下図を参照してください。

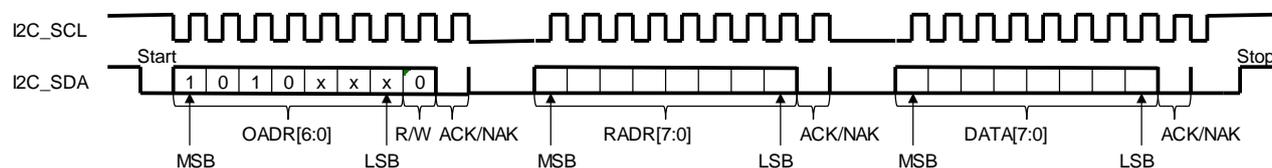


図 6.5.1.2.1 書き込みタイミング

##### 6.5.1.3 読み取りタイミング

I2C レジスタからの読み取りは 2 段階で行います。第 1 段階として、読み取りたい I2C レジスタのアドレス RADR を書き込みます(WRITE)。次に第 2 段階として、レジスタの値を読み取ります(READ)。それぞれの手順を以下に示します。

第 1 段階: RADR 書き込み

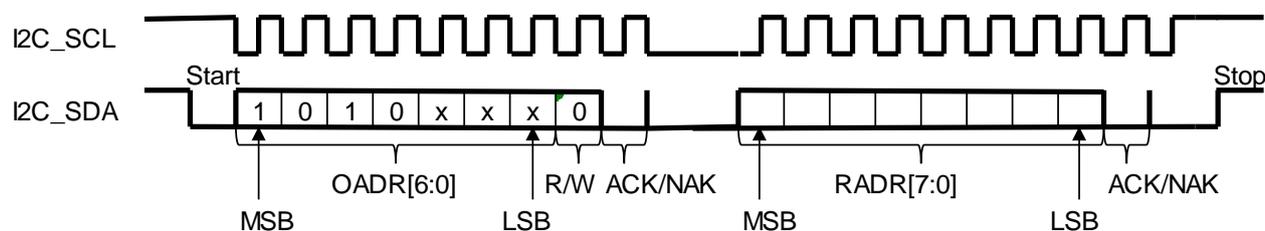
1. スタートコンディションを発行
2. S2R72A21 のスレーブアドレス OADR[6:0]に R/W bit=1'b0 (WRITE)を付加して送信

3. 読み取る I2C レジスタのアドレス RADR[7:0]を送信
4. ストップコンディションを発行

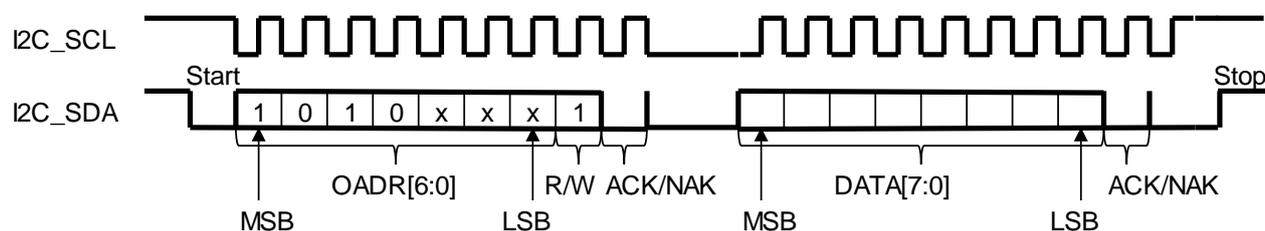
第2段階: レジスタ値読み取り

1. スタートコンディションを発行
2. S2R72A21 のスレーブアドレス OADR[6:0]に R/W bit=1'b1 (READ)を付加して送信
3. レジスタ値 DATA[7:0]を受信
4. ストップコンディションを発行

それぞれのタイミングは下図を参照してください。



a) 第1段階: RADR 書き込み



b) 第2段階: レジスタ値読み取り

図 6.5.1.3.1 読み取りタイミング

#### 6.5.1.4 ACK / NAK

マスターから OADR, RADR, DATA の送信後、S2R72A21 は ACK または NAK を返します。

S2R72A21 が NAK を返すのは以下の場合です。

- 送信した OADR がスレーブアドレスと一致しなかったとき、OADR 送信後に NAK を返します。
- RADR が定義された範囲を超えているとき、RADR 送信後に NAK を返します。

それ以外の場合は ACK を返します。

マスターが DATA を受信後(読み取り第2段階のステップ3の後)、S2R72A21 に ACK または NAK を送信してください。

#### 6.5.2 I2C レジスタマップ

以下に I2C レジスタマップを示します。

全てのレジスタは、XRESET=0 により初期値にリセットされます。全てのレジスタは、SEL\_I2C=1 時に読み書き可能です。

## 6. 機能説明

これらのレジスタ設定は、動的に変更することができません。S2R72A21 のリセット解除直後から、S2R72A21 が HS ステートに遷移するまでに、初期設定としてレジスタに書き込み、以降は値を変更しないでください。また Reserved Bit には、必ず初期値を書き込んでください。

表 6.5.2.1 I2C レジスタマップ

RADR	Reg name	Bit	Bit name	Init	R/W	説明
0x00	EXT_ADJ	7	-	0x0	R	-
		6-4	Reserved	0x0	R/W	Reserved
		3-0	EXT_CUR[3:0]	0x0	R/W	EXT ポート側 HS 送信電流値設定
0x01	INT_ADJ	7	-	0x0	R	-
		6-4	Reserved	0x0	R/W	Reserved
		3-0	INT_CUR[3:0]	0x0	R/W	INT ポート側 HS 送信電流値設定
0x02	STAT_SEL	7	STAT1_MODE	0x1	R/W	STAT1 端子の出力モード設定 0: プッシュプル 1: オープンドレイン
		6	STAT1_INV	0x1	R/W	STAT1 端子の出力反転設定 0: 反転しない 1: 反転する
		5-4	STAT1_SEL[1:0]	0x1	R/W	STAT1 端子に出力する内部ステータス選択 0: HS 1: HostExt 2: State[0] 3: State[1]
		3	STAT0_MODE	0x1	R/W	STAT0 端子の出力モード設定 0: プッシュプル 1: オープンドレイン
		2	STAT0_INV	0x1	R/W	STAT0 端子の出力反転設定 0: 反転しない 1: 反転する
		1-0	STAT0_SEL[1:0]	0x0	R/W	STAT0 端子に出力する内部ステータス選択 0: HS 1: HostExt 2: State[0] 3: State[1]
0x03	REV_NO	7-0	-	-	R	IC の Revision 0xE4: S2R72A21F05E6

STAT1\_SEL および STAT0\_SEL レジスタにて選択する信号については、6.6 節で説明します。

### 6.6 STAT 端子出力

STAT1 端子および STAT0 端子は、S2R72A21 の内部ステータスを出力します。

出力できるステータスは、以下の 3 種です。

表 6.6.1 STAT 端子より出力されるステータス

ステータス	説明
HS	S2R72A21 を介した USB 接続の接続状態を示します。 0: HS 接続以外の状態 (HS ステート以外) 1: HS 接続状態 (HS ステート)
HostExt	Host が接続されているポートを示します。 0: INT ポート (HS で INT ポートに SOF を検出) 1: EXT ポート (HS で EXT ポートに SOF を検出)
State[1:0]	S2R72A21 のステートを示します。 0: DISCONNECT 1: DETACH 2: FS_LS 3: HS

I2C の STAT0\_SEL レジスタにより、STAT0 端子から出力させる信号を選択できます。同様に STAT1\_SEL レジスタにより、STAT1 端子から出力させる信号を選択できます。

STAT 端子より出力する信号は、I2C の STATx\_MODE レジスタによりプッシュプル(VSS または HVDD レベルを出力)、またはオープンドレインから選択することができます。また、STATx\_INV レジスタにより出力レベルを反転させることができます。それぞれの設定において、ステータス値に対する STAT 端子の出力レベルは次表のように決定されます。

表 6.6.2 STAT 端子より出力される信号レベル

STATx_MODE	STATx_INV	ステータス値	STATx 端子出力
0	0	0	VSS レベル
		1	HVDD レベル
	1	0	HVDD レベル
		1	VSS レベル
1 (default)	0	0	VSS レベル
		1	HiZ
	1 (default)	0	HiZ
		1	VSS レベル

I2C を使用しない場合(SEL\_I2C=0 時)は、STAT1、STAT0 端子共にオープンドレインの反転出力となります(上表の default 設定と同様)。この時ステータス信号として、STAT1 端子からは HostExt が、STAT0 端子からは HS が出力されます。

## 7. 電気的特性

---

### 7. 電気的特性

#### 7.1 絶対最大定格

(V<sub>SS</sub>=0V)

項目	記号	定格値	単位
電源電圧	HVDD	V <sub>SS</sub> -0.3 ~ 4.0	V
入力電圧	HVI	V <sub>SS</sub> -0.3 ~ HVDD+0.5	V
	LVJ <sup>Note1</sup>	V <sub>SS</sub> -0.3 ~ 2.35	V
出力電圧	HVO	V <sub>SS</sub> -0.3 ~ HVDD+0.5	V
	LVO <sup>Note2</sup>	V <sub>SS</sub> -0.3 ~ 2.35	V
保存温度	Tstg	-65 ~ 150	°C

Note1: XI

Note2: XO

#### 7.2 推奨動作条件

(V<sub>SS</sub>=0V)

項目	記号	MIN	TYP	MAX	単位
電源電圧	HVDD	3.00	3.30	3.60	V
入力電圧	HVI	V <sub>SS</sub> -0.3	-	HVDD+0.3	V
	LVJ <sup>Note1</sup>	V <sub>SS</sub> -0.3	-	2.15	V
周囲温度	Ta	-40	25	105	°C

Note1: XI

## 7.3 DC 特性

以下特記なき場合、HVDD=3.3V を条件とします。

## 7.3.1 消費電流

項目	記号	条件	MIN	TYP	MAX	単位
スタンバイ電流 <small>Note1</small>						
スタンバイ電流	HVDD	IDD1	Ta=25°C	-	20	30 mA
HS_IDLE 電流 <small>Note2</small>						
HS_IDLE 電流	HVDD	IDD2	Ta=25°C	-	32	- mA
動作電流 <small>Note3</small>						
動作電流	HVDD	IDD3	Ta=25°C	-	65	100 mA
入力リーク <small>端子: INT_DP / INT_DM, EXT_DP / EXT_DM</small>						
入力リーク電流		IL		-	-	10 μA

Note1: 弊社測定環境における、XRESET 立ち上げ後の平均消費電流を示します。消費電力を見積る参考にして下さい。

Note2: 弊社測定環境において、HS ステートにて INT ポートから EXT ポートに向けて SOF を 125us 周期で連続的に再同期させた際の平均消費電流を示します。HS 送信電流は、レベル 0 です。

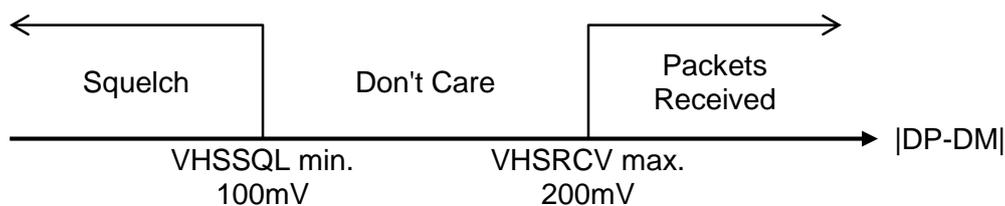
Note3: 弊社測定環境において、HS ステートにて INT ポートから EXT ポートに向けて Test\_Packet (バス占有率: 85.6%)を連続的に再同期させた際の平均消費電流を示します。HS 送信電流は、レベル 0 です。電源回路の電流供給能力を見積る参考にして下さい。

## 7. 電気的特性

### 7.3.2 入力特性

(V<sub>SS</sub>=0V)

項目	記号	条件	MIN	TYP	MAX	単位
入力特性 (シュミット)	端子 :	XRESET, ENABLE, EN_DETACH, FRC_THR, SEL_I2C, ADJ4, ADJ3, ADJ2, ADJ1, ADJ0, TESTEN				
ポジティブ・トリガ電圧	VT1+	HVDD = 3.6V	1.2	-	2.52	V
ネガティブ・トリガ電圧	VT1-	HVDD = 3.0V	0.75	-	1.98	V
ヒステリシス電圧	ΔV1	HVDD = 3.0V	0.30	-	-	V



(V<sub>SS</sub>=0V)

項目	記号	条件	MIN	TYP	MAX	単位
USB 入力特性 (HS スケルチ)	端子 :	INT_DP / INT_DM のペア, EXT_DP / EXT_DM のペア				
HS スケルチ検出閾値電圧	VHSSQL		100	-	-	mV
USB 入力特性 (HS 受信)	端子 :	INT_DP / INT_DM のペア, EXT_DP / EXT_DM のペア				
HS 受信感度閾値電圧	VHSRCV		-	-	200	mV
USB 入力特性 (HS 切断検出)	端子 :	INT_DP / INT_DM のペア, EXT_DP / EXT_DM のペア				
切断検出	VHSDSC		525	-	-	mV

## 7.3.3 出力特性

(V<sub>SS</sub>=0V)

項目	記号	条件	MIN	TYP	MAX	単位
出力特性	端子 :	STAT1, STAT0				
“L”レベル出力電圧	VOL1	HVDD = 3.0V IOL = 4mA	-	-	V <sub>SS</sub> +0.4	V
出力特性	端子 :	ADJ4 (I2C_SDA)				
“L”レベル出力電圧	VOL2	HVDD = 3.0V IOL = 1mA	-	-	V <sub>SS</sub> +0.4	V

(V<sub>SS</sub>=0V)

項目	記号	条件	MIN	TYP	MAX	単位
USB 出力特性(HS)	端子 :	EXT_DP / EXT_DM				
送信電流(GND 基準) <sup>Note</sup>	IOUHE		-19.5	-	-17.5	mA
USB 出力特性(HS)	端子 :	INT_DP / INT_DM				
送信電流(GND 基準) <sup>Note</sup>	IOUHI		-21.5		-19.5	mA
USB 出力特性(HS)	端子 :	INT_DP / INT_DM, EXT_DP / EXT_DM				
ターミネーション抵抗 (GND 基準)	ROUH		40.5	-	49.5	Ω

Note: HS 送信電流調整機能を使用しない(HS 送信電流レベル 0)場合

## 7.3.4 端子容量

項目	記号	条件	MIN	TYP	MAX	単位
端子容量	端子名 :	USB を除く入力端子				
入力端子容量	CI	f = 1MHz	-	-	15	pF
端子容量	端子名 :	USB を除く出力端子				
出力端子容量	CO	f = 1MHz	-	-	15	pF
端子容量	端子名 :	INT_DP / INT_DM, EXT_DP / EXT_DM				
入出力端子容量 (USB)	CBUH	f = 1MHz	-	-	20	pF

## 7.3.5 Bus Switch 特性

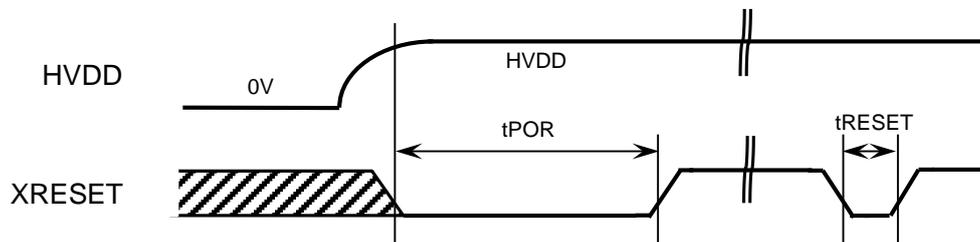
項目	記号	条件	MIN	TYP	MAX	単位
Bus Switch 特性	端子 :	INT_DP-EXT_DP 間, INT_DM-EXT_DM 間				
ON 抵抗	RON	HVDD = 3.3V	-	6	-	Ω

## 7. 電気的特性

### 7.4 AC 特性

以下特記なき場合、HVDD=3.3V を条件とします。

#### 7.4.1 RESET タイミング



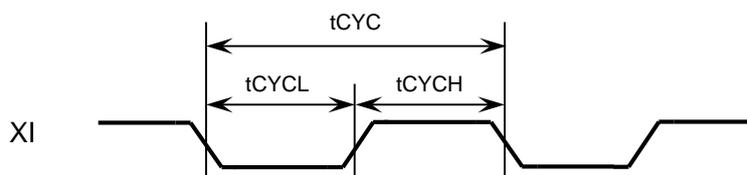
記号	説明	MIN	TYP	MAX	単位
tPOR	電源投入時のリセット解除 Note1	100	-	-	us
tRESET	リセットパルス幅 Note2	400	-	-	ns

Note1: HVDD が 90% まで立ち上がった時間から、XRESET を Low から High に解除する時間

Note2: tRESET が最小値未満のとき、リセットの有効/無効は保証されません。

基準となる XRESET 端子のレベルは、HVDD-VSS の 20% に規定。

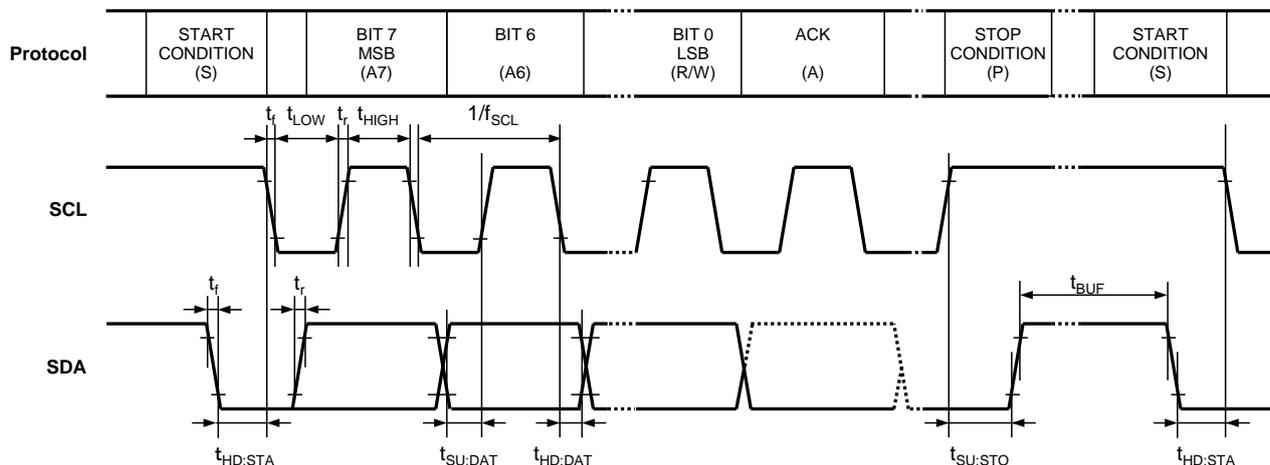
#### 7.4.2 クロックタイミング



記号	説明	MIN	TYP	MAX	単位
tCYC	クロックサイクル	-	24.000	-	MHz
tCYCL	クロックデューティ	-	50	-	%

Note: 水晶振動子の周波数精度は、±100ppm 以下のものを推奨します。

## 7.4.3 I2C タイミング



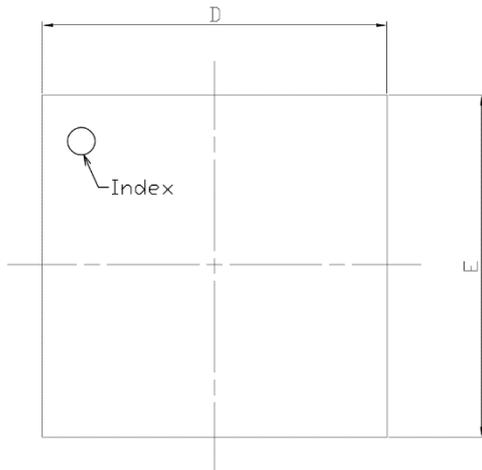
記号	説明	100 kHz access (Standard-Mode)		400 kHz access (Fast-Mode)		Unit
		Min	Max	Min	Max	
$f_{SCL}$	SCL クロック周波数	-	100	-	400	kHz
$t_{HD:STA}$	ホールド時間 スタートコンディション	4.0	-	0.6	-	us
$t_{LOW}$	SCL クロックの LOW 期間	4.7	-	1.3	-	us
$t_{HIGH}$	SCL クロックの HIGH 期間	4.0	-	0.6	-	us
$t_{HD:DAT}$	データホールド時間	0	-	0	-	us
$t_{SU:DAT}$	データセットアップ時間	250	-	100	-	ns
$t_r$	SCL 信号と SDA 信号の立上り時間	-	1000	-	300	ns
$t_f$	SCL 信号と SDA 信号の立下り時間	-	300	-	300	ns
$t_{SU:STO}$	ストップコンディションの セットアップ時間	4.0	-	0.6	-	us
$t_{BUF}$	ストップおよびスタートコンディ ション間のバスのフリー時間	4.7	-	1.3	-	us

基準となる SCL 端子および SDA 端子のレベルは、HVDD-VSS の 30% および 70% に規定。

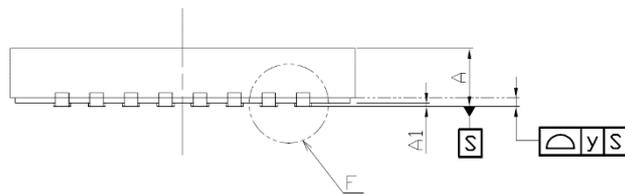
## 8. 外形寸法図

### 8. 外形寸法図

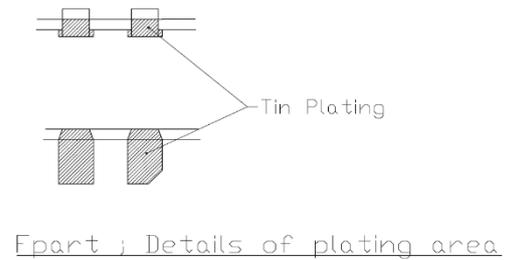
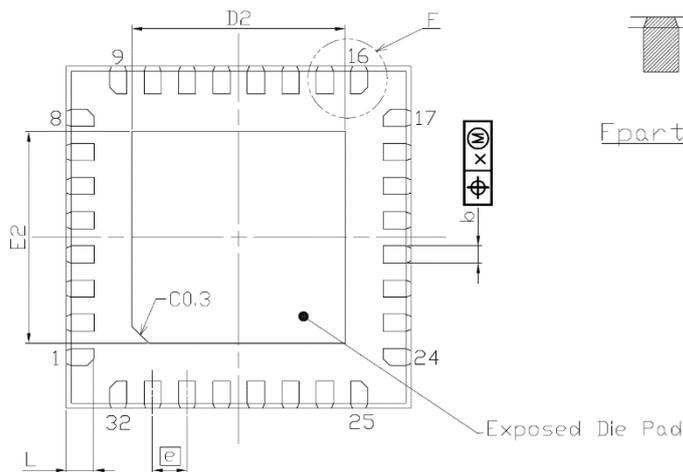
Top View



Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	4.90	5.00	5.10
E	4.90	5.00	5.10
A	0.80	0.85	1.00
A <sub>1</sub>	0.00	0.035	0.05
b	0.20	0.25	0.30
e	0.45	0.50	0.55
L	0.35	0.40	0.45
D2	3.00	3.10	3.20
E2	3.00	3.10	3.20
x	-	-	0.10
y	-	-	0.08



Bottom View



1 = 1mm

Note1: 本図面は改良のため予告なく変更することがあります。

Note2: Exposed Die pad は VSS に接続してください。

図 8.1 SQFN5-32PIN-W 外形寸法図



## セイコーエプソン株式会社

営業本部 デバイス営業部

---

東京 〒160-8801 東京都新宿区新宿 4-1-6 JR 新宿ミライナタワー29F

大阪 〒530-6122 大阪市北区中之島 3-3-23 中之島ダイビル 22F

---

ドキュメントコード : 414120500

3240-1138

2020年12月作成