

CMOS 16-BIT SINGLE CHIP MICROCONTROLLER

S1C17M01

テクニカルマニュアル

評価ボード・キット、開発ツールご使用上の注意事項

1. 本評価ボード・キット、開発ツールは、お客様での技術的評価、動作の確認および開発のみに用いられることを想定し設計されています。それらの技術評価・開発等の目的以外には使用しないで下さい。本品は、完成品に対する設計品質に適合していません。
2. 本評価ボード・キット、開発ツールは、電子エンジニア向けであり、消費者向け製品ではありません。お客様において、適切な使用と安全に配慮願います。弊社は、本品を用いることで発生する損害や火災に対し、いかなる責も負いかねます。通常の使用においても、異常がある場合は使用を中止して下さい。
3. 本評価ボード・キット、開発ツールに用いられる部品は、予告無く変更されることがあります。

本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告なく変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 製品および弊社が提供する技術を輸出等するにあたっては「外国為替および外国貿易法」を遵守し、当該法令の定める手続きが必要です。大量破壊兵器の開発等およびその他の軍事用途に使用する目的をもって製品および弊社が提供する技術を費消、再販売または輸出等しないでください。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

はじめに

本書はS1C17M01を使用する製品を開発される設計者、プログラマを対象とした技術マニュアルで、ICの機能、内蔵周辺回路の動作、およびその制御方法を説明します。

CPUの機能と命令については“S1C17 Family S1C17コアマニュアル”を、デバッグツールの機能と操作方法については各ツールのマニュアルを参照してください。(マニュアルは、弊社WEBサイト“製品情報:ドキュメントダウンロード”からダウンロード可能です。)

本書内の表記や記号について

レジスタのアドレス

各周辺回路の説明には制御レジスタのアドレスは記載されておりません。レジスタのアドレスは“メモリ、バス”の章の“周辺回路エリア”、またはAppendixの“周辺回路制御レジスタ一覧”を参照してください。

レジスタと制御ビットの表記

説明の中では、レジスタや制御ビットを信号名や端子名と区別するため、次のように記載します。

XXXレジスタ: 1つのレジスタの全体を示します。

XXX.YYYビット: XXXレジスタ内にある1ビットの制御ビットYYYを示します。

XXX.ZZZ[1:0]ビット: XXXレジスタ内にある2ビットの制御ビットZZZ1とZZZ0を示します。

レジスタ表の内容と記号

Initial: 初期化時の値

Reset: 初期化条件。初期化条件はリセットグループ(H0、H1、S0)により決まります。リセットグループについては、“電源、リセット、クロック”の章の“初期化条件(リセットグループ)”を参照してください。

R/W: R = 読み出し可能

W = 書き込み可能

WP = 書き込み可能(MSCPROT.PROT[15:0]ビットによる書き込み保護あり)

R/W = 読み書き可能

R/WP = 読み書き可能(MSCPROT.PROT[15:0]ビットによる書き込み保護あり)

制御ビットの読み出し/書き込み値

本書では1ビット値を除き、制御ビットの値を16進数で記載します(説明上、10進数や2進数が必要な場合を除く)。制御ビットのビット幅により次のように記載します。

1ビット: 0または1

2~4ビット: 0x0~0xf

5~8ビット: 0x00~0xff

9~12ビット: 0x000~0xffff

13~16ビット: 0x0000~0xffff

10進数: 0~9999...

2進数: 0b0000...~0b1111...

チャンネル番号

周辺回路によっては複数チャンネルの機能を搭載可能な場合があります(例: 16ビットタイマなど)。これらの周辺回路の章は実装されているチャンネル数にかかわらず、レジスタ名や端子名などに付いているチャンネル番号を表す数値を‘n’と記述しています。基本的に、説明は全チャンネルに適用されます。機能が異なるチャンネルについてはチャンネル番号を明記しています。

例) 16ビットタイマのT16_nCTLレジスタ

1チャンネル搭載機種(Ch.0のみ): T16_nCTL = T16_0CTLのみ

2チャンネル搭載機種(Ch.0とCh.1): T16_nCTL = T16_0CTLとT16_1CTL

本ICの周辺回路の搭載チャンネル数は、“概要”の章の“特長”を参照してください。

- 目次 -

はじめに.....	i
本書内の表記や記号について	i
1 概要	1-1
1.1 特長.....	1-1
1.2 ブロック図.....	1-3
1.3 端子.....	1-4
1.3.1 端子配置図 (TQFP13-64PIN).....	1-4
1.3.2 パッド配置図(チップ).....	1-5
1.3.3 端子説明	1-6
2 電源, リセット, クロック.....	2-1
2.1 パワージェネレータ(PWG).....	2-1
2.1.1 概要.....	2-1
2.1.2 端子.....	2-1
2.1.3 V _{D1} レギュレータの動作モード	2-1
2.2 システムリセットコントローラ(SRC).....	2-2
2.2.1 概要.....	2-2
2.2.2 入力端子	2-2
2.2.3 リセットソース.....	2-3
2.2.4 初期化条件(リセットグループ)	2-3
2.3 クロックジェネレータ(CLG).....	2-3
2.3.1 概要.....	2-3
2.3.2 入出力端子.....	2-4
2.3.3 クロックソース.....	2-4
2.3.4 動作.....	2-6
2.4 動作モード	2-10
2.4.1 イニシャル起動シーケンス.....	2-10
2.4.2 動作モードの遷移	2-10
2.5 割り込み.....	2-11
2.6 制御レジスタ.....	2-12
PWG V _{D1} Regulator Control Register	2-12
CLG System Clock Control Register.....	2-12
CLG Oscillation Control Register	2-13
CLG IOSC Control Register	2-14
CLG OSC1 Control Register	2-15
CLG Interrupt Flag Register	2-16
CLG Interrupt Enable Register	2-17
CLG FOUT Control Register.....	2-17
3 CPU, デバッグ	3-1
3.1 概要.....	3-1
3.2 CPUコア	3-2
3.2.1 CPUレジスタ	3-2
3.2.2 命令セット	3-2
3.2.3 PSRの読み出し.....	3-2
3.2.4 S1C17コア予約I/Oエリア	3-2
3.3 デバッグ.....	3-2
3.3.1 デバッグ機能	3-2
3.3.2 必要リソースとデバッグツール.....	3-3
3.3.3 デバッグ入出力端子一覧	3-3
3.3.4 外部接続	3-3

3.4 制御レジスタ.....	3-4
MISC PSR Register.....	3-4
Debug RAM Base Register.....	3-4
4 メモリ, バス.....	4-1
4.1 概要.....	4-1
4.2 バスアクセスサイクル.....	4-1
4.3 Flashメモリ.....	4-2
4.3.1 Flashメモリ端子.....	4-2
4.3.2 Flashバスアクセスサイクルの設定.....	4-2
4.3.3 Flashプログラミング.....	4-3
4.3.4 Flashセキュリティ機能.....	4-3
4.4 RAM.....	4-3
4.5 表示データRAM.....	4-4
4.6 周辺回路制御レジスタ.....	4-4
4.6.1 システムプロテクト機能.....	4-7
4.7 制御レジスタ.....	4-7
MISC System Protect Register.....	4-7
MISC IRAM Size Register.....	4-7
FLASHC Flash Read Cycle Register.....	4-8
5 割り込みコントローラ(ITC).....	5-1
5.1 概要.....	5-1
5.2 ベクタテーブル.....	5-1
5.2.1 ベクタテーブルベースアドレス(TTBR).....	5-2
5.3 初期設定.....	5-3
5.4 マスク可能割り込みの制御と動作.....	5-3
5.4.1 周辺回路の割り込み制御.....	5-3
5.4.2 ITCの割り込み要求処理.....	5-3
5.4.3 CPUの割り込み要求受領条件.....	5-4
5.5 NMI.....	5-4
5.6 ソフトウェア割り込み.....	5-4
5.7 CPUによる割り込み処理.....	5-4
5.8 制御レジスタ.....	5-5
MISC Vector Table Address Low Register.....	5-5
MISC Vector Table Address High Register.....	5-5
ITC Interrupt Level Setup Register x.....	5-5
6 入出力ポート(PPORT).....	6-1
6.1 概要.....	6-1
6.2 I/Oセルの構造と機能.....	6-2
6.2.1 シュミット入力.....	6-2
6.2.2 トレラント・フェイルセーフ.....	6-2
6.2.3 プルアップ/プルダウン.....	6-2
6.2.4 CMOS出力とハイインピーダンス状態.....	6-3
6.3 クロック設定.....	6-3
6.3.1 PPORTの動作クロック.....	6-3
6.3.2 SLEEPモード時のクロック供給.....	6-3
6.3.3 DEBUGモード時のクロック供給.....	6-3
6.4 動作.....	6-3
6.4.1 初期設定.....	6-3
6.4.2 ポートの入出力制御.....	6-5
6.5 割り込み.....	6-6

6.6 制御レジスタ.....	6-6
Px Port Data Register.....	6-6
Px Port Enable Register.....	6-7
Px Port Pull-up/down Control Register.....	6-7
Px Port Interrupt Flag Register.....	6-8
Px Port Interrupt Control Register.....	6-8
Px Port Chattering Filter Enable Register.....	6-8
Px Port Mode Select Register.....	6-8
Px Port Function Select Register.....	6-9
P Port Clock Control Register.....	6-9
P Port Interrupt Flag Group Register.....	6-10
6.7 本ICの制御レジスタ/ポート機能の構成.....	6-11
6.7.1 P0ポートグループ.....	6-11
6.7.2 P1ポートグループ.....	6-12
6.7.3 P2ポートグループ.....	6-12
6.7.4 P3ポートグループ.....	6-13
6.7.5 P4ポートグループ.....	6-14
6.7.6 P5ポートグループ.....	6-15
6.7.7 Pdポートグループ.....	6-16
6.7.8 ポートグループ共通.....	6-16
7 ウォッチドッグタイマ(WDT).....	7-1
7.1 概要.....	7-1
7.2 クロック設定.....	7-1
7.2.1 WDTの動作クロック.....	7-1
7.2.2 DEBUGモード時のクロック供給.....	7-2
7.3 動作.....	7-2
7.3.1 WDTの制御.....	7-2
7.3.2 HALT, SLEEPモード時の動作.....	7-2
7.4 制御レジスタ.....	7-3
WDT Clock Control Register.....	7-3
WDT Control Register.....	7-3
8 リアルタイムクロック(RTCA).....	8-1
8.1 概要.....	8-1
8.2 出力端子と外部接続.....	8-1
8.2.1 出力端子.....	8-1
8.3 クロック設定.....	8-2
8.3.1 RTCAの動作クロック.....	8-2
8.3.2 論理緩急機能.....	8-2
8.4 動作.....	8-3
8.4.1 RTCAの制御.....	8-3
8.4.2 リアルタイムクロックカウンタの動作.....	8-4
8.4.3 ストップウォッチの制御.....	8-4
8.4.4 ストップウォッチのカウントアップパターン.....	8-4
8.5 割り込み.....	8-5
8.6 制御レジスタ.....	8-6
RTC Control Register.....	8-6
RTC Second Alarm Register.....	8-7
RTC Hour/Minute Alarm Register.....	8-8
RTC Stopwatch Control Register.....	8-8
RTC Second/1Hz Register.....	8-9
RTC Hour/Minute Register.....	8-10
RTC Month/Day Register.....	8-11
RTC Year/Week Register.....	8-11

RTC Interrupt Flag Register.....	8-12
RTC Interrupt Enable Register	8-13
9 電源電圧検出回路(SVD)	9-1
9.1 概要	9-1
9.2 入力端子と外部接続.....	9-2
9.2.1 入力端子	9-2
9.2.2 外部との接続	9-2
9.3 クロック設定.....	9-2
9.3.1 SVDの動作クロック.....	9-2
9.3.2 SLEEPモード時のクロック供給	9-2
9.3.3 DEBUGモード時のクロック供給.....	9-3
9.4 動作.....	9-3
9.4.1 SVDの制御.....	9-3
9.4.2 SVDの動作.....	9-4
9.5 SVD割り込みとリセット.....	9-4
9.5.1 SVD割り込み	9-4
9.5.2 SVDリセット	9-5
9.6 制御レジスタ.....	9-5
SVD Clock Control Register	9-5
SVD Control Register	9-6
SVD Status and Interrupt Flag Register	9-7
SVD Interrupt Enable Register	9-8
10 16ビットタイマ(T16).....	10-1
10.1 概要.....	10-1
10.2 入力端子.....	10-1
10.3 クロック設定.....	10-2
10.3.1 T16の動作クロック.....	10-2
10.3.2 SLEEPモード時のクロック供給	10-2
10.3.3 DEBUGモード時のクロック供給.....	10-2
10.3.4 イベントカウンタクロック.....	10-2
10.4 動作.....	10-2
10.4.1 初期設定	10-2
10.4.2 カウンタのアンダーフロー.....	10-3
10.4.3 リピートモードの動作.....	10-3
10.4.4 ワンショットモードの動作.....	10-3
10.4.5 カウンタ値のリード.....	10-4
10.5 割り込み.....	10-4
10.6 制御レジスタ.....	10-4
T16 Ch. <i>n</i> Clock Control Register	10-4
T16 Ch. <i>n</i> Mode Register	10-5
T16 Ch. <i>n</i> Control Register.....	10-5
T16 Ch. <i>n</i> Reload Data Register.....	10-6
T16 Ch. <i>n</i> Counter Data Register	10-6
T16 Ch. <i>n</i> Interrupt Flag Register	10-6
T16 Ch. <i>n</i> Interrupt Enable Register.....	10-7
11 UART(UART).....	11-1
11.1 概要.....	11-1
11.2 入出力端子と外部接続	11-2
11.2.1 入出力端子一覧.....	11-2
11.2.2 外部との接続	11-2
11.2.3 入力端子のプルアップ機能.....	11-2
11.2.4 出力端子のオープンドレイン出力機能.....	11-2

11.3	クロック設定.....	11-2
11.3.1	UARTの動作クロック	11-2
11.3.2	SLEEPモード時のクロック供給	11-2
11.3.3	DEBUGモード時のクロック供給.....	11-3
11.3.4	ボーレートジェネレータ	11-3
11.4	データフォーマット	11-3
11.5	動作.....	11-4
11.5.1	初期設定	11-4
11.5.2	データ送信.....	11-4
11.5.3	データ受信.....	11-5
11.5.4	IrDAインタフェース.....	11-6
11.6	受信エラー	11-7
11.6.1	フレーミングエラー.....	11-7
11.6.2	パリティエラー.....	11-8
11.6.3	オーバーランエラー.....	11-8
11.7	割り込み.....	11-8
11.8	制御レジスタ.....	11-9
	UART Ch. <i>n</i> Clock Control Register	11-9
	UART Ch. <i>n</i> Mode Register.....	11-9
	UART Ch. <i>n</i> Baud-Rate Register	11-10
	UART Ch. <i>n</i> Control Register	11-11
	UART Ch. <i>n</i> Transmit Data Register	11-11
	UART Ch. <i>n</i> Receive Data Register	11-11
	UART Ch. <i>n</i> Status and Interrupt Flag Register	11-12
	UART Ch. <i>n</i> Interrupt Enable Register.....	11-13
12	同期式シリアルインタフェース(SPIA).....	12-1
12.1	概要.....	12-1
12.2	入出力端子と外部接続	12-2
12.2.1	入出力端子一覧.....	12-2
12.2.2	外部との接続	12-2
12.2.3	マスタモードとスレーブモードの端子機能.....	12-3
12.2.4	入力端子のプルアップ/プルダウン機能.....	12-3
12.3	クロック設定.....	12-3
12.3.1	SPIAの動作クロック	12-3
12.3.2	DEBUGモード時のクロック供給.....	12-4
12.3.3	SPIクロック(SPICLK _{<i>n</i>})の位相と極性.....	12-4
12.4	データフォーマット	12-5
12.5	動作.....	12-5
12.5.1	初期設定	12-5
12.5.2	マスタモードのデータ送信.....	12-5
12.5.3	マスタモードのデータ受信.....	12-7
12.5.4	マスタモードのデータ送受信終了.....	12-8
12.5.5	スレーブモードのデータ送受信.....	12-8
12.5.6	スレーブモードのデータ送受信終了	12-10
12.6	割り込み.....	12-10
12.7	制御レジスタ.....	12-11
	SPIA Ch. <i>n</i> Mode Register	12-11
	SPIA Ch. <i>n</i> Control Register.....	12-12
	SPIA Ch. <i>n</i> Transmit Data Register	12-13
	SPIA Ch. <i>n</i> Receive Data Register	12-13
	SPIA Ch. <i>n</i> Interrupt Flag Register	12-13
	SPIA Ch. <i>n</i> Interrupt Enable Register.....	12-14

13 I²C(I2C)	13-1
13.1 概要.....	13-1
13.2 入出力端子と外部接続.....	13-2
13.2.1 入出力端子一覧.....	13-2
13.2.2 外部との接続.....	13-2
13.3 クロック設定.....	13-3
13.3.1 I2Cの動作クロック.....	13-3
13.3.2 DEBUGモード時のクロック供給.....	13-3
13.3.3 ボーレートジェネレータ.....	13-3
13.4 動作.....	13-4
13.4.1 初期設定.....	13-4
13.4.2 マスタモードのデータ送信.....	13-5
13.4.3 マスタモードのデータ受信.....	13-7
13.4.4 マスタモードでの10ビットアドレス指定.....	13-9
13.4.5 スレーブモードのデータ送信.....	13-10
13.4.6 スレーブモードのデータ受信.....	13-12
13.4.7 10ビットアドレスモードのスレーブ動作.....	13-14
13.4.8 自動バスクリア動作.....	13-14
13.4.9 エラー検出.....	13-15
13.5 割り込み.....	13-16
13.6 制御レジスタ.....	13-17
I2C Ch.n Clock Control Register.....	13-17
I2C Ch.n Mode Register.....	13-18
I2C Ch.n Baud-Rate Register.....	13-18
I2C Ch.n Own Address Register.....	13-18
I2C Ch.n Control Register.....	13-19
I2C Ch.n Transmit Data Register.....	13-20
I2C Ch.n Receive Data Register.....	13-20
I2C Ch.n Status and Interrupt Flag Register.....	13-20
I2C Ch.n Interrupt Enable Register.....	13-21
14 LCDドライバ(LCD8A)	14-1
14.1 概要.....	14-1
14.2 出力端子と外部接続.....	14-2
14.2.1 出力端子一覧.....	14-2
14.2.2 外部との接続.....	14-2
14.3 クロック設定.....	14-2
14.3.1 LCD8Aの動作クロック.....	14-2
14.3.2 SLEEPモード時のクロック供給.....	14-3
14.3.3 DEBUGモード時のクロック供給.....	14-3
14.3.4 フレーム周波数.....	14-3
14.4 LCD電源.....	14-3
14.4.1 内部生成モード.....	14-4
14.4.2 外部印加モード1.....	14-4
14.4.3 外部印加モード2.....	14-4
14.4.4 LCD用定電圧回路の設定.....	14-4
14.4.5 LCD用昇圧回路の設定.....	14-5
14.4.6 LCDコントラスト調整.....	14-5
14.5 動作.....	14-5
14.5.1 初期設定.....	14-5
14.5.2 表示のON/OFF.....	14-6
14.5.3 反転表示.....	14-6
14.5.4 駆動デューティの切り換え.....	14-6
14.5.5 駆動波形.....	14-7

14.5.6	コモン出力パーシャル駆動.....	14-9
14.5.7	セグメント出力nライン反転交流駆動.....	14-9
14.6	表示データRAM.....	14-9
14.6.1	表示領域の選択.....	14-9
14.6.2	セグメント端子割り付け.....	14-10
14.6.3	コモン端子割り付け.....	14-10
14.7	割り込み.....	14-11
14.8	制御レジスタ.....	14-12
LCD8A	Clock Control Register.....	14-12
LCD8A	Control Register.....	14-12
LCD8A	Timing Control Register.....	14-13
LCD8A	Power Control Register.....	14-13
LCD8A	Display Control Register.....	14-14
LCD8A	Interrupt Flag Register.....	14-15
LCD8A	Interrupt Enable Register.....	14-16
15	R/F変換器(RFC).....	15-1
15.1	概要.....	15-1
15.2	入出力端子と外部接続.....	15-2
15.2.1	入出力端子一覧.....	15-2
15.2.2	外部との接続.....	15-2
15.3	クロック設定.....	15-3
15.3.1	RFCの動作クロック.....	15-3
15.3.2	SLEEPモード時のクロック供給.....	15-3
15.3.3	DEBUGモード時のクロック供給.....	15-3
15.4	動作.....	15-3
15.4.1	初期設定.....	15-3
15.4.2	動作モード.....	15-4
15.4.3	RFCカウンタ.....	15-4
15.4.4	変換動作と制御手順.....	15-5
15.4.5	CR発振周波数モニタ機能.....	15-7
15.5	割り込み.....	15-7
15.6	制御レジスタ.....	15-8
RFC Ch.n	Clock Control Register.....	15-8
RFC Ch.n	Control Register.....	15-8
RFC Ch.n	Oscillation Trigger Register.....	15-9
RFC Ch.n	Measurement Counter Low and High Registers.....	15-10
RFC Ch.n	Time Base Counter Low and High Registers.....	15-10
RFC Ch.n	Interrupt Flag Register.....	15-11
RFC Ch.n	Interrupt Enable Register.....	15-11
16	MRセンサコントローラ(AMRC).....	16-1
16.1	概要.....	16-1
16.2	入出力端子と外部接続.....	16-2
16.2.1	入出力端子一覧.....	16-2
16.2.2	外部との接続.....	16-2
16.3	クロック設定.....	16-3
16.3.1	AMRCの動作クロック.....	16-3
16.3.2	SLEEPモード時のクロック供給.....	16-3
16.3.3	DEBUGモード時のクロック供給.....	16-3
16.4	動作.....	16-3
16.4.1	初期設定.....	16-3
16.4.2	計測の制御と動作.....	16-4
16.4.3	パルス出力機能.....	16-6
16.4.4	ヒステリシス制御機能.....	16-7

16.5	割り込み.....	16-7
16.6	制御レジスタ.....	16-8
	AMRC Clock Control Register.....	16-8
	AMRC AFE Control Register.....	16-8
	AMRC Pulse Control Register.....	16-9
	AMRC Control Register.....	16-9
	AMRC Normal Rotation Counter Register.....	16-11
	AMRC Reverse/Stop Counter Register.....	16-11
	AMRC Event Counter Ch.x Register.....	16-11
	AMRC Unit Counter Compare Setting Register.....	16-12
	AMRC Unit Counter Register.....	16-12
	AMRC Status Register.....	16-12
	AMRC Interrupt Flag Register.....	16-13
	AMRC Interrupt Enable Register.....	16-14
17	電気的特性.....	17-1
17.1	絶対最大定格.....	17-1
17.2	推奨動作条件.....	17-1
17.3	消費電流.....	17-2
17.4	システムリセットコントローラ(SRC)特性.....	17-3
17.5	クロックジェネレータ(CLG)特性.....	17-3
17.6	Flashメモリ特性.....	17-4
17.7	入出力ポート(PPORT)特性.....	17-5
17.8	電源電圧検出回路(SVD)特性.....	17-6
17.9	UART(UART)特性.....	17-7
17.10	同期式シリアルインタフェース(SPIA)特性.....	17-7
17.11	I ² C(I2C)特性.....	17-8
17.12	LCDドライバ(LCD8A)特性.....	17-9
17.13	R/F変換器(RFC)特性.....	17-11
17.14	MRセンサコントローラ(AMRC)特性.....	17-12
18	基本外部結線図.....	18-1
19	パッケージ.....	19-1
Appendix A	周辺回路制御レジスタ一覧.....	AP-A-1
	0x4000–0x4008 Misc Registers (MISC).....	AP-A-1
	0x4020 Power Generator (PWG).....	AP-A-1
	0x4040–0x404e Clock Generator (CLG).....	AP-A-1
	0x4080–0x408e Interrupt Controller (ITC).....	AP-A-2
	0x40a0–0x40a2 Watchdog Timer (WDT).....	AP-A-3
	0x40c0–0x40d2 Real-time Clock (RTCA).....	AP-A-4
	0x4100–0x4106 Supply Voltage Detector (SVD).....	AP-A-5
	0x4160–0x416c 16-bit Timer (T16) Ch.0.....	AP-A-6
	0x41b0 Flash Controller (FLASHC).....	AP-A-6
	0x4200–0x42e2 I/O Ports (PPORT).....	AP-A-6
	0x4380–0x438e UART (UART).....	AP-A-9
	0x43a0–0x43ac 16-bit Timer (T16) Ch.1.....	AP-A-10
	0x43b0–0x43ba Synchronous Serial Interface (SPIA) Ch.0.....	AP-A-11
	0x43c0–0x43d2 I ² C (I2C).....	AP-A-12
	0x5100–0x510c 16-bit Timer (T16) Ch.2.....	AP-A-13
	0x5120–0x512c 16-bit Timer (T16) Ch.3.....	AP-A-13
	0x5260–0x526c 16-bit Timer (T16) Ch.4.....	AP-A-14
	0x5270–0x527a Synchronous Serial Interface (SPIA) Ch.1.....	AP-A-14
	0x5400–0x540c LCD Driver (LCD8A).....	AP-A-15

目次

0x5440–0x5450	R/F Converter (RFC).....	AP-A-16
0x5480–0x549e	MR Sensor Controller (AMRC).....	AP-A-17
0xffff90	Debugger (DBG).....	AP-A-18
Appendix B	パワーセーブ	AP-B-1
B.1	パワーセーブを考慮した動作状態の設定例	AP-B-1
B.2	その他のパワーセーブ方法.....	AP-B-2
Appendix C	実装上の注意事項	AP-C-1
Appendix D	ノイズ対策	AP-D-1
Appendix E	初期化ルーチン	AP-E-1
改訂履歴表		

1 概要

S1C17M01は、流量計測用に最適化して配列されたMRセンサ(浜松光電株式会社製KG1205-61を推奨)を直結可能なMR(magnetoiresistive)センサコントローラを持つ、超低消費電力MCUです。流量カウントおよびインディケータを表示するためのLCDドライバや、無線による遠隔検針システムとの通信インタフェースとして、同期式シリアルインタフェース、UARTおよびPCが内蔵されています。また、R/F変換器による温湿度計測や、電源電圧検出回路による電源電圧計測により、環境状態検出が可能です。

1.1 特長

表1.1.1 特長

機種	S1C17M01
CPU	
CPUコア	EPSONオリジナル16ビットRISC CPUコアS1C17
その他	デバッグを内蔵
内蔵Flashメモリ	
容量	32K/バイト (命令/データ共用)
書き換え回数	50回 (min.) *デバッグツールICDminiからの書き換え時
その他	ICDminiからの読み出し/書き換えを禁止するセキュリティ機能 ICDminiによるオンボード書き換えが可能
内蔵RAM	
容量	4K/バイト
内蔵表示RAM	
容量	32/バイト
クロックジェネレータ (CLG)	
システムクロックソース	3種類 (IOSC/OSC1/EXOSC)
システムクロック周波数 (動作周波数)	16.3 MHz (max.)
IOSC発振回路 (起動クロックソース)	7.37 MHz (typ.) 内蔵発振回路 5 μ s (max.)の起動時間 (SLEEP状態からCPUがベクタテーブルを読み出すまでの時間)
OSC1発振回路	32.768 kHz (typ.) 水晶発振回路 発振停止検出回路内蔵
EXOSCクロック入力	16.3 MHz (max.) 矩形波またはサイン波入力
その他	システムクロックの分周比を設定可能 SLEEP復帰時のシステムクロックを任意に設定可能 CPUとすべての周辺回路が、任意に選択されたクロック周波数で動作可能
入出力ポート (PPORT)	
汎用入出力ポート数	19ビット (max.) (周辺回路の入出力端子と共用)
入力割り込み対応ポート数	8ビット
タイマ	
ウォッチドッグタイマ (WDT)	ウォッチドッグタイマリセットを生成
リアルタイムクロック (RTCA)	128~1 Hzカウンタ, 秒/分/時/日/曜日/月/年カウンタ 1秒補正のための論理緩急機能 アラーム機能, ストップウォッチ機能
16ビットタイマ (T16)	5チャンネル 2チャンネルはSPIAのマスタクロックを生成
電源電圧検出回路 (SVD)	
検出レベル	20値 (1.8~3.7 V)
その他	間欠動作モード 検出レベル判定で割り込み, またはリセットを発生
シリアルインタフェース	
UART (UART)	1チャンネル ボーレート生成回路内蔵, IrDA1.0対応
同期式シリアルインタフェース (SPIA)	2チャンネル マスタモードのボーレート生成回路として16ビットタイマ(T16)を使用可能
I ² C (I2C)	1チャンネル ボーレート生成回路内蔵
LCDドライバ (LCD8A)	
LCD出力	32SEG \times 1~4COM (max.), 28SEG \times 5~8COM (max.)
LCDコントラスト	16値(2.55~3.44 V)
その他	1/3バイアス電源内蔵, 外部電圧を印加可能

1 概要

R/F変換器 (RFC)	
変換方式	CR発振型, 24ビットカウンタ
変換チャンネル数	1チャンネル (最大2個のセンサを接続可能)
対応センサ	DCバイアス抵抗性センサ, ACバイアス抵抗性センサ
MRセンサコントローラ (AMRC)	
MRセンサインタフェース	MRセンサに直結可能
計測機能	MRセンサからアナログ回転位相信号を入力して、正転、逆転、静止、フェーズ抜けを判定
外部インタフェース	パルス出力機能 外部ヒステリシス抵抗制御機能
リセット	
#RESET端子	リセット端子Lowレベル検出時
ウォッチドッグタイマリセット	ウォッチドッグタイマオーバーフロー時 (レジスタでON/OFF設定可能)
電源電圧検出回路リセット	電源電圧検出回路による設定電圧検出時 (レジスタでON/OFF設定可能)
割り込み	
ノンマスクابل割り込み	4本 (リセット, アドレス不整, デバッグ, NMI)
プログラマブル割り込み	外部割り込み: 1本 (8レベル) 内部割り込み: 15本 (8レベル)
電源電圧	
V _{DD} 動作電圧	1.8~5.5 V
AMRC動作時V _{DD} 動作電圧	2.0~5.5 V
Flash書き換え時V _{DD} 動作電圧	1.8~5.5 V (V _{PP} = 7.5 Vの外部印加が必要)
動作温度	
動作温度範囲	-40~85 °C
消費電流	
SLEEPモード	0.35 μA I _{OSC} = OFF, OSC1 = OFF, V _{DD} = 3.6 V
HALTモード	0.8 μA I _{OSC} = OFF, OSC1 = 32 kHz, RTC = ON, V _{DD} = 3.6 V
	1.3 μA I _{OSC} = OFF, OSC1 = 32 kHz, RTC = ON, CPU = OSC1, LCD = ON (パネル負荷なし, V _{C2} 基準)
RUNモード	12.5 μA I _{OSC} = OFF, OSC1 = 32 kHz, RTC = ON, CPU = OSC1, LCD = ON (パネル負荷なし, V _{C2} 基準)
	2.5 mA @ 1/1分周 I _{OSC} = ON, OSC1 = 32 kHz, RTC = ON, CPU = I _{OSC} , LCD = OFF (パネル負荷なし)
	500 μA @ 1/8分周 I _{OSC} = ON, OSC1 = 32 kHz, RTC = ON, CPU = I _{OSC} , LCD = OFF (パネル負荷なし)
出荷形態	
1	*1 QFP13-64PIN (P-LQFP064-1010-0.50, 10 × 10 mm, t = 1.7 mm, 0.5 mm pitch)
2	チップ (パッドピッチ: 100 μm)

*1 ()内はJEITAのパッケージ名称です。

1.2 ブロック図

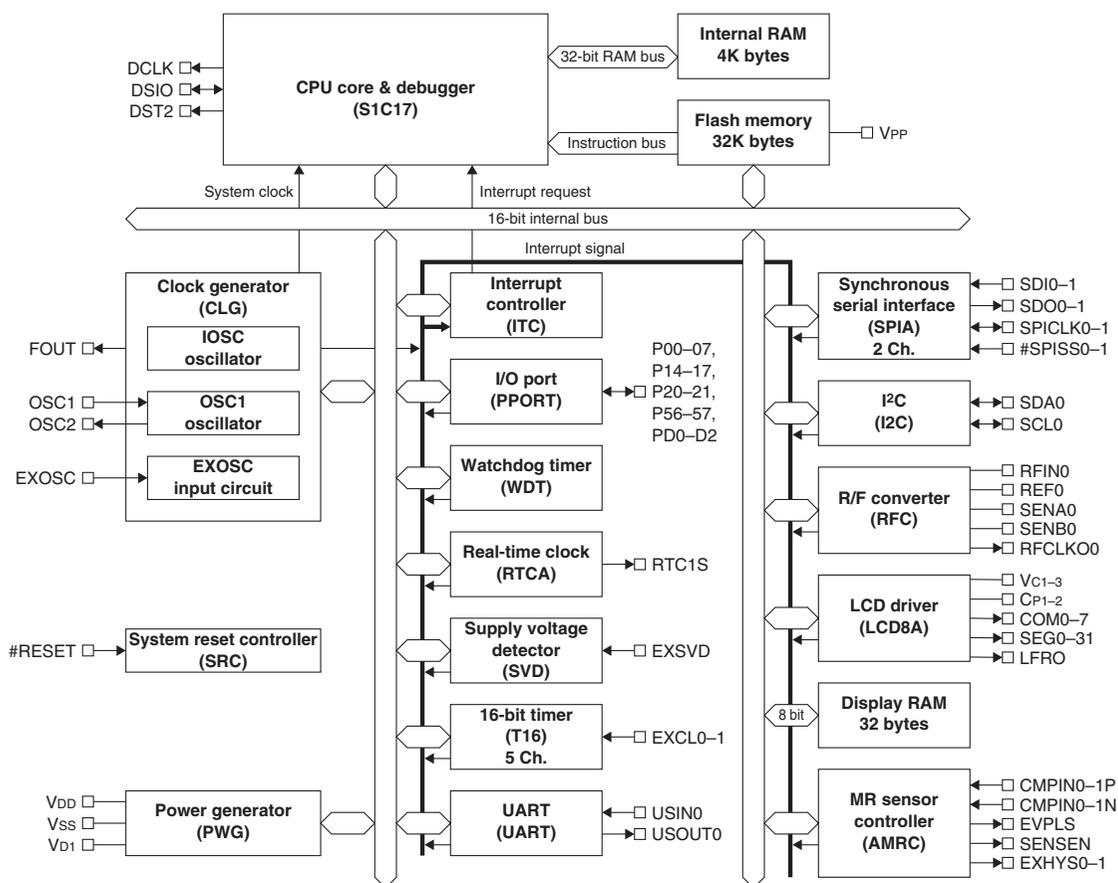


図1.2.1 S1C17M01ブロック図

1.3 端子

1.3.1 端子配置図 (TQFP13-64PIN)

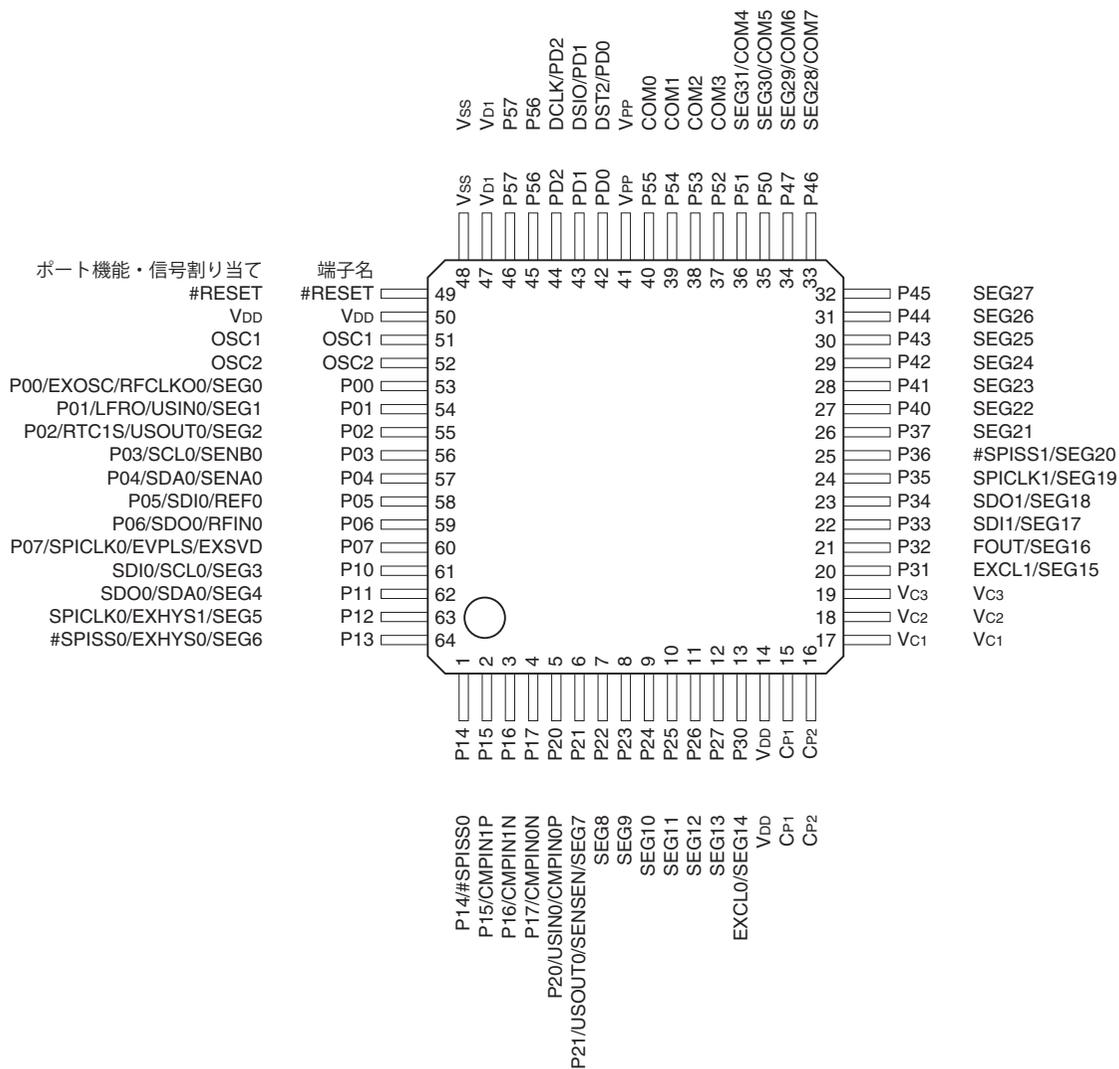


図1.3.1.1 S1C17M01端子配置図 (TQFP13-64PIN)

1.3.2 パッド配置図(チップ)

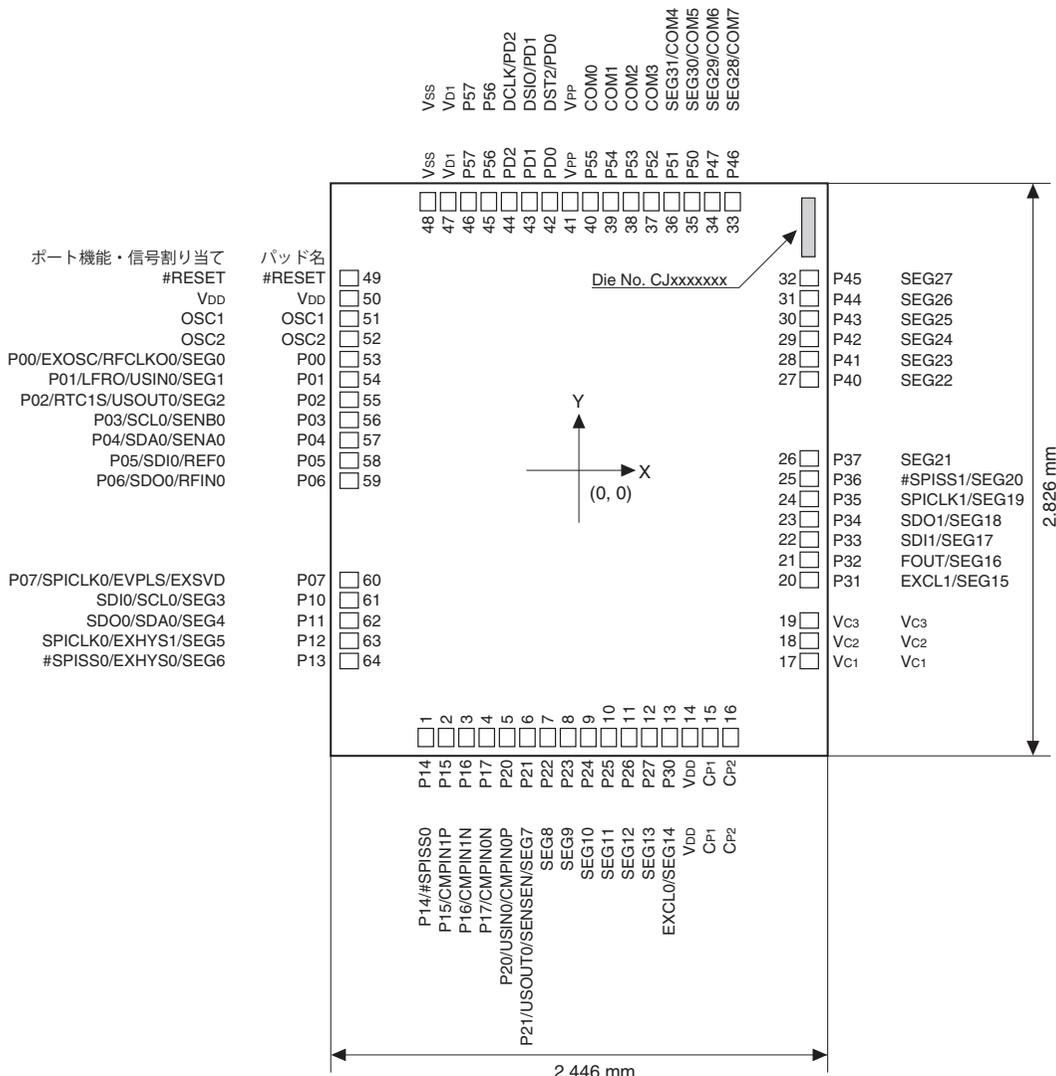


図1.3.2.1 S1C17M01パッド配置図(チップ)

パッド開口部 No. 1~16, 33~48: X = 76 μ m, Y = 90 μ m
 No. 17~32, 49~64: X = 90 μ m, Y = 76 μ m
 チップ厚 400 μ m

表1.3.2.1 パッド座標

No.	X μ m	Y μ m	No.	X μ m	Y μ m	No.	X μ m	Y μ m	No.	X μ m	Y μ m
1	-755.0	-1,322.3	17	1,132.3	-945.0	33	755.0	1,322.3	49	-1,132.3	945.0
2	-655.0	-1,322.3	18	1,132.3	-845.0	34	655.0	1,322.3	50	-1,132.3	845.0
3	-555.0	-1,322.3	19	1,132.3	-745.0	35	555.0	1,322.3	51	-1,132.3	745.0
4	-455.0	-1,322.3	20	1,132.3	-645.0	36	455.0	1,322.3	52	-1,132.3	645.0
5	-355.0	-1,322.3	21	1,132.3	-545.0	37	355.0	1,322.3	53	-1,132.3	545.0
6	-245.0	-1,322.3	22	1,132.3	-445.0	38	255.0	1,322.3	54	-1,132.3	445.0
7	-145.0	-1,322.3	23	1,132.3	-345.0	39	155.0	1,322.3	55	-1,132.3	345.0
8	-45.0	-1,322.3	24	1,132.3	-245.0	40	55.0	1,322.3	56	-1,132.3	245.0
9	55.0	-1,322.3	25	1,132.3	-145.0	41	-55.0	1,322.3	57	-1,132.3	145.0
10	155.0	-1,322.3	26	1,132.3	-45.0	42	-155.0	1,322.3	58	-1,132.3	45.0
11	255.0	-1,322.3	27	1,132.3	45.0	43	-255.0	1,322.3	59	-1,132.3	-55.0
12	355.0	-1,322.3	28	1,132.3	445.0	44	-355.0	1,322.3	60	-1,132.3	-545.0
13	455.0	-1,322.3	29	1,132.3	645.0	45	-455.0	1,322.3	61	-1,132.3	-645.0
14	555.0	-1,322.3	30	1,132.3	745.0	46	-555.0	1,322.3	62	-1,132.3	-745.0
15	655.0	-1,322.3	31	1,132.3	845.0	47	-655.0	1,322.3	63	-1,132.3	-845.0
16	755.0	-1,322.3	32	1,132.3	945.0	48	-755.0	1,322.3	64	-1,132.3	-945.0

1 概要

1.3.3 端子説明

記号説明

割り当て信号: 各端子の最上部に記載されている信号が、イニシャル状態で端子に割り当てられる信号です。その他の信号にはソフトウェアで切り換えます (“入出力ポート”の章を参照)。

I/O: I = 入力
O = 出力
I/O = 入出力
P = 電源
A = アナログ信号
Hi-Z = ハイインピーダンス状態

イニシャル状態: I (Pull-up) = プルアップ入力
I (Pull-down) = プルダウン入力
Hi-Z = ハイインピーダンス状態
O (H) = HIGHレベル出力
O (L) = LOWレベル出力

表1.3.3.1 端子説明

端子/ パッド名	割り当て 信号	I/O	イニシャル 状態	トレラント・ フェイルセーフ対応	機能
VDD	VDD	P	-	-	電源 (+)
VSS	VSS	P	-	-	GND
VPP	VPP	P	-	-	Flashプログラミング電源
VD1	VD1	A	-	-	内蔵レギュレータ出力
VC1	VC1	P	-	-	LCDパネル駆動電源
VC2	VC2	P	-	-	LCDパネル駆動電源
VC3	VC3	P	-	-	LCDパネル駆動電源
CP1	CP1	A	-	-	LCD昇圧コンデンサ接続端子
CP2	CP2	A	-	-	LCD昇圧コンデンサ接続端子
#RESET	#RESET	I	I (Pull-up)	-	リセット入力
P00	P00	I/O	Hi-Z	✓	入出力兼用ポート
	EXOSC	I			クロックジェネレータ外部クロック入力
	RFCLK00	O			R/F変換器Ch.0クロックモニタ出力
	SEG0	O			LCDセグメント出力
P01	P01	I/O	Hi-Z	✓	入出力兼用ポート
	LFRO	O			LCDフレーム信号モニタ出力
	USIN0	I			UART Ch.0データ入力
	SEG1	O			LCDセグメント出力
P02	P02	I/O	Hi-Z	✓	入出力兼用ポート
	RTC1S	O			リアルタイムクロック1秒周期パルス出力
	USOUT0	O			UART Ch.0データ出力
	SEG2	O			LCDセグメント出力
P03	P03	I/O	Hi-Z	-	入出力兼用ポート
	SCL0	I/O			I ² C Ch.0クロック入出力
	SEN0	A			R/F変換器Ch.0センサB発振端子
P04	P04	I/O	Hi-Z	-	入出力兼用ポート
	SDA0	I/O			I ² C Ch.0データ入出力
	SENA0	A			R/F変換器Ch.0センサA発振端子
P05	P05	I/O	Hi-Z	-	入出力兼用ポート
	SDI0	I			同期式シリアルインタフェースCh.0データ入力
	REF0	A			R/F変換器Ch.0リファレンス発振端子
P06	P06	I/O	Hi-Z	-	入出力兼用ポート
	SDO0	O			同期式シリアルインタフェースCh.0データ出力
	RFIN0	A			R/F変換器Ch.0発振入力
P07	P07	I/O	Hi-Z	-	入出力兼用ポート
	SPICK0	I/O			同期式シリアルインタフェースCh.0クロック入出力
	EVPLS	O			MRセンサコントローラパルス出力
	EXSVD	A			外部電源電圧検出入力

端子/ パッド名	割り当て 信号	I/O	イニシャル 状態	トレラント・ フェイルセーフ対応	機能
P10	–	Hi-Z	Hi-Z	✓	–
	SDI0	I			同期式シリアルインタフェースCh.0データ入力
	SCL0	I/O			I ² C Ch.0クロック入出力
	SEG3	A			LCDセグメント出力
P11	–	Hi-Z	Hi-Z	✓	–
	SDO0	O			同期式シリアルインタフェースCh.0データ出力
	SDA0	I/O			I ² C Ch.0データ入出力
	SEG4	A			LCDセグメント出力
P12	–	Hi-Z	Hi-Z	✓	–
	SPICLK0	I/O			同期式シリアルインタフェースCh.0クロック入出力
	EXHYS1	O			MRセンサコントローラ外部ヒステリシス制御出力Ch.1
	SEG5	A			LCDセグメント出力
P13	–	Hi-Z	Hi-Z	✓	–
	#SPISS0	I			同期式シリアルインタフェースCh.0スレーブ選択入力
	EXHYS0	O			MRセンサコントローラ外部ヒステリシス制御出力Ch.0
	SEG6	A			LCDセグメント出力
P14	P14	I/O	Hi-Z	–	入出力兼用ポート
	#SPISS0	I			同期式シリアルインタフェースCh.0スレーブ選択入力
P15	P15	I/O	Hi-Z	–	入出力兼用ポート
	CMPIN1P	A			MRセンサコントローラコンパレータCh.1入力+
P16	P16	I/O	Hi-Z	–	入出力兼用ポート
	CMPIN1N	A			MRセンサコントローラコンパレータCh.1入力-
P17	P17	I/O	Hi-Z	–	入出力兼用ポート
	CMPIN0N	A			MRセンサコントローラコンパレータCh.0入力-
P20	P20	I/O	Hi-Z	–	入出力兼用ポート
	USIN0	I			UART Ch.0データ入力
	CMPIN0P	A			MRセンサコントローラコンパレータCh.0入力+
P21	P21	I/O	Hi-Z	✓	入出力兼用ポート
	USOUT0	O			UART Ch.0データ出力
	SENSEN	O			MRセンサコントローラ磁気センサインエーブル出力
	SEG7	A			LCDセグメント出力
P22	–	Hi-Z	Hi-Z	✓	–
	SEG8	A			LCDセグメント出力
P23	–	Hi-Z	Hi-Z	✓	–
	SEG9	A			LCDセグメント出力
P24	–	Hi-Z	Hi-Z	✓	–
	SEG10	A			LCDセグメント出力
P25	–	Hi-Z	Hi-Z	✓	–
	SEG11	A			LCDセグメント出力
P26	–	Hi-Z	Hi-Z	✓	–
	SEG12	A			LCDセグメント出力
P27	–	Hi-Z	Hi-Z	✓	–
	SEG13	A			LCDセグメント出力
P30	–	Hi-Z	Hi-Z	✓	–
	EXCL0	I			16ビットタイマCh.2外部クロック入力
	SEG14	A			LCDセグメント出力
P31	–	Hi-Z	Hi-Z	✓	–
	EXCL1	I			16ビットタイマCh.3外部クロック入力
	SEG15	A			LCDセグメント出力
P32	–	Hi-Z	Hi-Z	✓	–
	FOUT	O			クロック外部出力
	SEG16	A			LCDセグメント出力
P33	–	Hi-Z	Hi-Z	✓	–
	SDI1	I			同期式シリアルインタフェースCh.1データ入力
	SEG17	A			LCDセグメント出力
P34	–	Hi-Z	Hi-Z	✓	–
	SDO1	O			同期式シリアルインタフェースCh.1データ出力
	SEG18	A			LCDセグメント出力

1 概要

端子/ パッド名	割り当て 信号	I/O	イニシャル 状態	トレラント・ フェイルセーフ対応	機能
P35	–	Hi-Z	Hi-Z	✓	–
	SPICLK1	I/O			同期式シリアルインタフェースCh.1クロック入出力
	SEG19	A			LCDセグメント出力
P36	–	Hi-Z	Hi-Z	✓	–
	#SPISS1	I			同期式シリアルインタフェースCh.1スレーブ選択入力
	SEG20	A			LCDセグメント出力
P37	–	Hi-Z	Hi-Z	✓	–
	SEG21	A			LCDセグメント出力
P40	–	Hi-Z	Hi-Z	✓	–
	SEG22	A			LCDセグメント出力
P41	–	Hi-Z	Hi-Z	✓	–
	SEG23	A			LCDセグメント出力
P42	–	Hi-Z	Hi-Z	✓	–
	SEG24	A			LCDセグメント出力
P43	–	Hi-Z	Hi-Z	✓	–
	SEG25	A			LCDセグメント出力
P44	–	Hi-Z	Hi-Z	✓	–
	SEG26	A			LCDセグメント出力
P45	–	Hi-Z	Hi-Z	✓	–
	SEG27	A			LCDセグメント出力
P46	–	Hi-Z	Hi-Z	✓	–
	COM7	A			LCDコモン出力
	SEG28	A			LCDセグメント出力
P47	–	Hi-Z	Hi-Z	✓	–
	COM6	A			LCDコモン出力
	SEG29	A			LCDセグメント出力
P50	–	Hi-Z	Hi-Z	✓	–
	COM5	A			LCDコモン出力
	SEG30	A			LCDセグメント出力
P51	–	Hi-Z	Hi-Z	✓	–
	COM4	A			LCDコモン出力
	SEG31	A			LCDセグメント出力
P52	–	Hi-Z	Hi-Z	✓	–
	COM3	A			LCDコモン出力
P53	–	Hi-Z	Hi-Z	✓	–
	COM2	A			LCDコモン出力
P54	–	Hi-Z	Hi-Z	✓	–
	COM1	A			LCDコモン出力
P55	–	Hi-Z	Hi-Z	✓	–
	COM0	A			LCDコモン出力
P56	P56	I/O	Hi-Z	✓	入出力兼用ポート
P57	P57	I/O	Hi-Z	✓	入出力兼用ポート
PD0	DST2	O	O (L)	✓	オンチップデバッグステータス出力
	PD0	I/O			入出力兼用ポート
PD1	DSIO	I/O	I (pull-up)	✓	オンチップデバッグデータ入出力
	PD1	I/O			入出力兼用ポート
PD2	DCLK	O	O (H)	✓	オンチップデバッグクロック出力
	PD2	O			出力ポート
	–	–			–
OSC1	OSC1	A	–	–	OSC1発振回路入力
OSC2	OSC2	A	–	–	OSC1発振回路出力

注: 各周辺回路の説明では、割り当て信号名を端子名として使用します。

2 電源, リセット, クロック

本ICの電源、リセット、クロックは、それぞれ内蔵のパワージェネレータ、システムリセットコントローラ、クロックジェネレータによって管理されています。

2.1 パワージェネレータ(PWG)

2.1.1 概要

PWGは内部の電源システムを制御し、本ICを安定した状態で、かつ省電力に動作させるパワージェネレータです。主な機能と特長を以下に示します。

- V_{D1} レギュレータを内蔵
 - V_{D1} レギュレータは、内部回路を動作させる電圧 V_{D1} を生成し、 V_{DD} の電圧レベルに依存しない一定の消費電流を実現
 - V_{D1} レギュレータは、ノーマルモード/エコノミーモードの2つの動作モードを搭載しており、低負荷時にエコノミーモードに設定することで省電力動作を実現

図2.1.1.1にPWGの構成を示します。

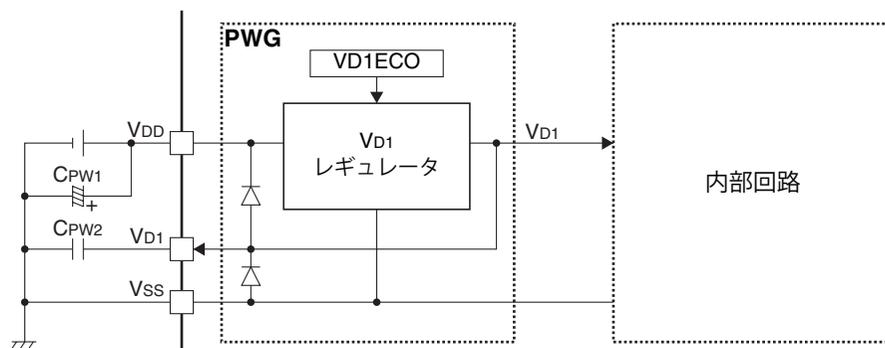


図2.1.1.1 PWGの構成

2.1.2 端子

表2.1.2.1にPWGの端子一覧を示します。

表2.1.2.1 PWG端子一覧

端子名	I/O	イニシャル状態	機能
V_{DD}	P	-	電源(+)
V_{SS}	P	-	GND
V_{D1}	A	-	内蔵レギュレータ出力端子

V_{DD} の動作電圧範囲は、“電気的特性”の章の“推奨動作条件、電源電圧 V_{DD} ”を参照してください。また、推奨外付け部品については、“基本外部結線図”の章を参照してください。

2.1.3 V_{D1} レギュレータの動作モード

V_{D1} レギュレータは、ノーマルモードとエコノミーモードの2つの動作モードを持っています。低負荷状態の場合はエコノミーモードにすることで、 V_{D1} レギュレータが省電力動作になります。エコノミーモードに設定できる低負荷状態の例を、表2.1.3.1に示します。

表2.1.3.1 エコノミーモードに設定可能な低負荷状態の例

低負荷状態のモード	例外条件
SLEEPモード(全発振停止またはOSC1のみ動作)	OSC1以外のクロックソースが動作している場合
HALTモード(OSC1のみ動作)	
RUNモード(OSC1のみ動作)	

2 電源, リセット, クロック

また、ハードウェアによって低負荷状態を検出し、ノーマルモードとエコノミーモードを自動的に切り換える機能として、オートマチックモードがあります。特別な制御を必要としない場合は、オートマチックモードで使用してください。

2.2 システムリセットコントローラ(SRC)

2.2.1 概要

SRCは、各種リセットソースの要求に応じて、内部回路をリセットし、ICの安定した動作を実現するシステムリセットコントローラです。主な機能と特長を以下に示します。

- 電源投入時の内部電源が不安定な間やクロックソースの起動直後で発振周波数が不安定な間、リセット状態を保持し続けるリセット保持回路を内蔵し、安全な起動動作を実現
- 複数のリセットソースからのリセット要求に対応
 - #RESET端子
 - ウォッチドッグタイマリセット
 - 電源電圧検出回路リセット
 - 周辺回路ソフトウェアリセット(一部の周辺回路のみ)
- CPUのレジスタや周辺回路の制御ビットは、個々に初期化条件が設定されており、状態変化に応じた最適なりセット動作を実現

図2.2.1.1にSRCの構成を示します。

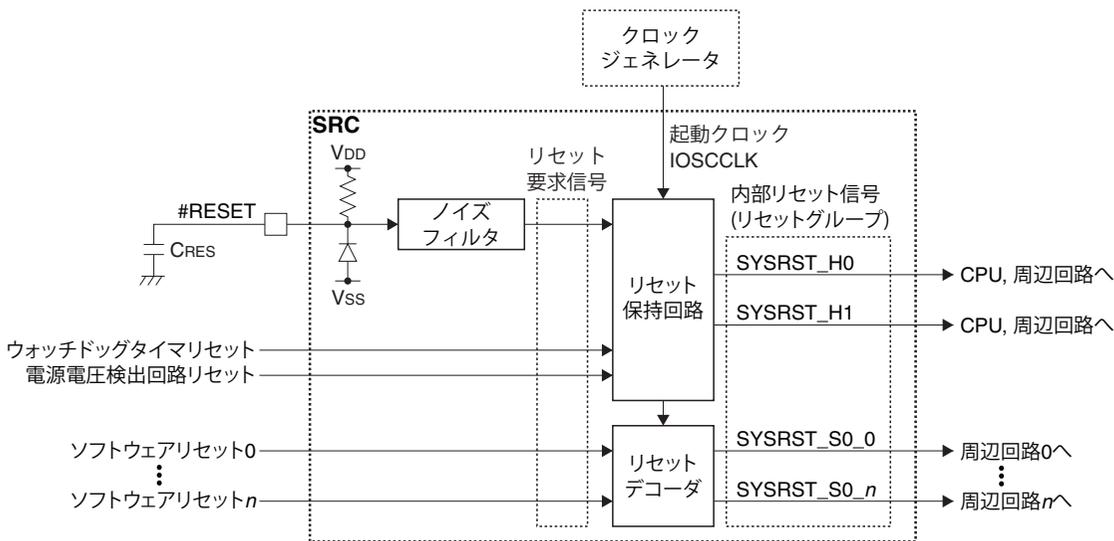


図2.2.1.1 SRCの構成

2.2.2 入力端子

表2.2.2.1にSRCの端子一覧を示します。

表2.2.2.1 SRC端子

端子名	I/O	イニシャル状態	機能
#RESET	I	I (Pull-up)	リセット入力

#RESET端子にはノイズフィルタが内蔵されており、要件を満たさないパルスを除きます。また、プルアップ抵抗を内蔵していますので、端子をオープン状態にすることができます。#RESET端子特性については、“電気的特性”の章の“#RESET端子特性”を参照してください。

2.2.3 リセットソース

システムの初期化を要求する要因をリセットソースと呼びます。以下にリセットソースを示します。

#RESET端子

#RESET端子に一定時間のLOWレベル信号を入力することで、リセット要求を発行します。また、#RESET端子に外部容量を接続することで、パワーオンリセット機能が実現可能です。

ウォッチドッグタイマリセット

ウォッチドッグタイマは、カウンタがオーバーフローした時点でリセット要求を発行します。この機能は、CPU暴走時に正常な状態への復帰を実現します。詳細は“ウォッチドッグタイマ”の章を参照してください。

電源電圧検出回路リセット

電源電圧検出回路で電源電圧低下検出リセット機能をイネーブルにすると、電源電圧の低下を検出した時点で、リセット要求を発行します。これにより、一定電圧以下でICを動作させたくないような場合に、リセット状態にすることができます。詳細は“電源電圧検出回路”の章を参照してください。

周辺回路ソフトウェアリセット

一部の周辺回路には、ソフトウェアリセット用の制御ビット(MODENやSFTRST)が用意されており、値を書き込むことで、周辺回路制御ビットの初期化が行えます。ただし、ソフトウェアリセットの動作は周辺回路ごとに異なります。詳細は各周辺回路の“制御レジスタ”を参照してください。

注: 周辺回路によっては、MODENビットでソフトウェアリセットは発生しません。

2.2.4 初期化条件(リセットグループ)

CPUのレジスタや周辺回路の制御ビットは、個々に初期化条件が設定されています。この初期化条件をリセットグループと呼びます。リセットグループに属するリセットソースからのリセット要求があった場合に、初期化を行います。リセットグループの一覧を表2.2.4.1に示します。実際にどのレジスタや制御ビットが初期化されるかについては、“CPU, デバッグ”の章、または各周辺回路の“制御レジスタ”を参照してください。

表2.2.4.1 リセットグループ一覧

リセットグループ	リセットソース	リセット解除タイミング
H0	#RESET端子 電源電圧検出回路リセット ウォッチドッグタイマリセット	リセット要求解除後、リセット保持時間 <trsttrの間、リセットを保持< td=""> </trsttrの間、リセットを保持<>
H1	#RESET端子	
S0	周辺回路ソフトウェアリセット (MODENやSFTRSTビット。周辺回路ごとにリセット動作は異なる)	リセット要求解除後、即時リセット解除

2.3 クロックジェネレータ(CLG)

2.3.1 概要

CLGは、クロックソースを制御し、CPUや周辺回路へのクロック供給を管理するクロックジェネレータです。主な機能と特長を以下に示します。

- 複数のクロックソースに対応
 - 外付け部品なしで動作し、高速な起動を行うIOSC発振回路
 - 32.768 kHzの水晶振動子で高精度かつ低パワー動作を実現するOSCI発振回路
 - 矩形波、サイン波の入力に対応するEXOSCクロック入力
- CPUやバスの動作クロックであるシステムクロック(SYSCLK)、および、周辺回路の動作クロックは、最適なクロックソースと分周比を選択して個別に設定可能
- 起動時のクロックにはIOSC発振回路のIOSCCLKが選択され、高速な立ち上がりを実現
- RUN、SLEEPモードに合わせて発振回路やクロック入力のON/OFFを制御

2 電源, リセット, クロック

- SLEEPモード解除時に、フレキシブルなシステムクロックの切り換えが可能
 - SLEEPモード時に停止させるクロックソースを選択可能
 - SLEEPモード解除時のSYSCLKをクロックソースから選択可能
 - SLEEPモード解除時の発振回路、クロック入力のON/OFF状態の保持または変更を設定可能
- 外部ICの駆動や状態モニタのため、内部クロックを出力するFOUT機能を搭載

図2.3.1.1にCLGの構成を示します。

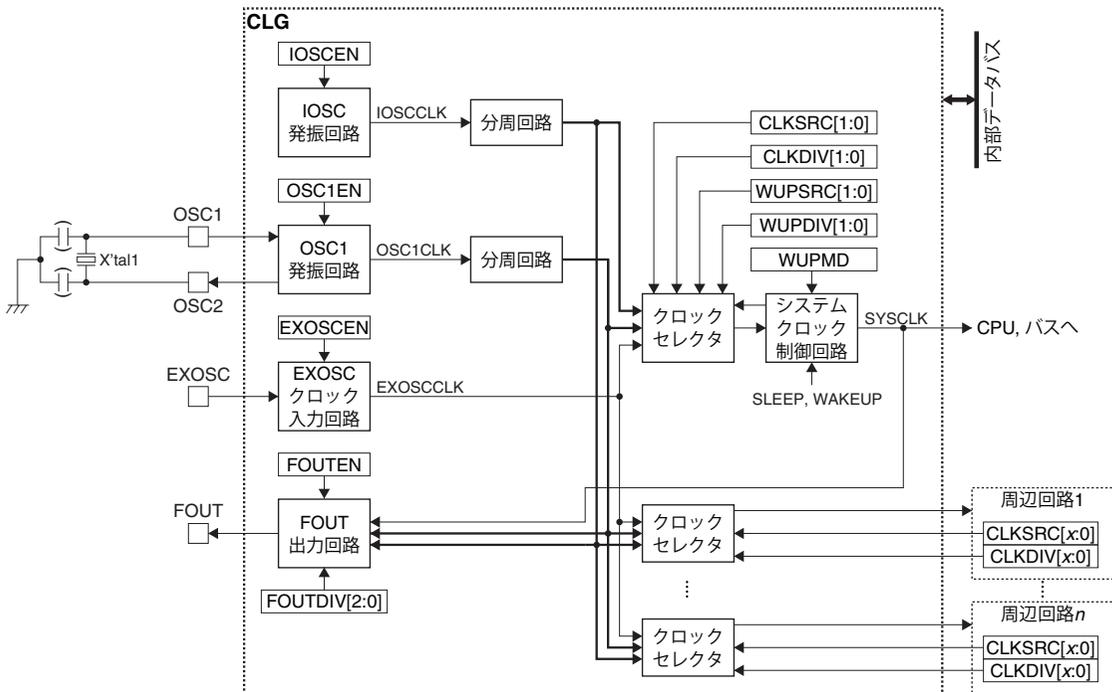


図2.3.1.1 CLGの構成

2.3.2 入出力端子

図2.3.2.1にCLGの端子一覧を示します。

表2.3.2.1 CLG端子一覧

端子名	I/O*	イニシャル状態*	機能
OSC1	A	-	OSC1発振回路入力
OSC2	A	-	OSC1発振回路出力
EXOSC	I	I	EXOSCクロック入力
FOUT	O	O (L)	FOUTクロック出力

* 端子機能をCLGに切り換えた時点の状態

CLGの入出力機能と他の機能がポートを共有している場合、CLGの機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

2.3.3 クロックソース

IOSC発振回路

IOSC発振回路は外付け部品なしで動作し、高速に起動します。図2.3.3.1に、IOSC発振回路の構成を示します。

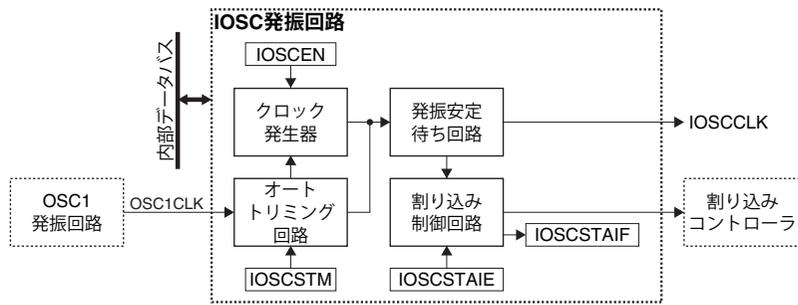


図2.3.3.1 IOSC発振回路の構成

起動時のSYSCLKには、IOSC発振回路の出力クロックIOSCCLKが選択されます。IOSC発振回路には、自動的に周波数を調整するオートトリミング機能が搭載されており、製造バラツキや、温度、電圧変化による周波数偏差を低減します。オートトリミング機能については、“IOSC発振オートトリミング機能”を参照してください。発振特性については、“電気的特性”の章の“IOSC発振回路特性”を参照してください。

OSC1発振回路

OSC1発振回路は、32.768 kHz水晶振動子を使用する高精度な低パワー発振回路です。図2.3.3.2に、OSC1発振回路の構成を示します。

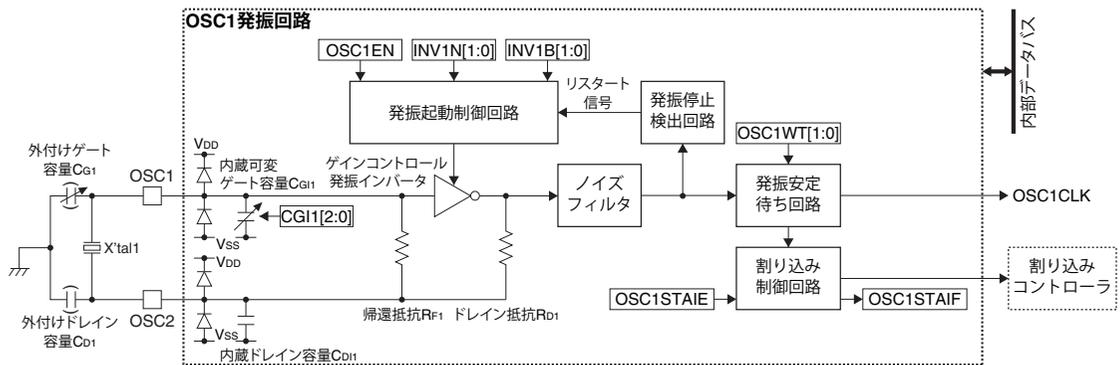


図2.3.3.2 OSC1発振回路の構成

ゲインコントロール発振インバータや可変ゲート容量を内蔵しており、シリンダータイプから表面実装タイプまで、様々な水晶振動子に対応可能です。

また、帰還抵抗、ドレイン抵抗などの部品も内蔵していますので、水晶振動子以外の外付け部品は必要ありません。発振停止を検出して再起動を行う発振停止検出回路を搭載し、発振が停止してしまうような悪条件下でも安全に動作させることが可能です。加えて、発振イネーブル後の一定期間、発振開始を補助する発振起動制御回路を搭載しており、発振開始が難しい低パワー振動子にも対応します。推奨部品に関しては“基本外部結線図”の章、発振特性については“電気的特性”の章の“OSC1発振回路特性”を参照してください。

注: 実装基板や、使用する振動子の種類により、外付けのゲート容量 C_{G1} 、ドレイン容量 C_{D1} が必要になる場合があります。

EXOSCクロック入力

EXOSCクロック入力は、矩形波またはサイン波のクロックに対応した外部クロック入力回路です。図2.3.3.3にEXOSCクロック入力回路の構成を示します。

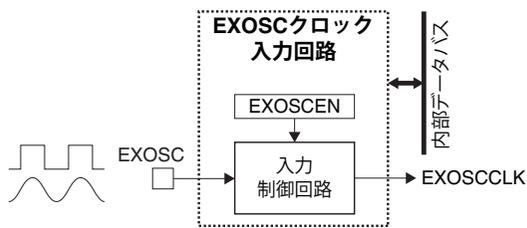


図2.3.3.3 EXOSCクロック入力回路

EXOSCは発振安定待ち回路を持ちませんので、必ず安定したクロックが供給されている状態で、イネーブルにする必要があります。入力クロック特性については、“電気的特性”の章の“EXOSC外部クロック入力特性”を参照してください。

2.3.4 動作

発振開始時間と発振安定待ち時間

発振開始時間とは、発振回路をイネーブルにしてから実際に発振波形がIC内部へ伝播するまでの時間のことです。発振安定待ち時間は、発振開始後のクロックが安定するまでの待ち時間のことです。発振回路には発振安定待ち回路が内蔵されており、この間の不安定なクロックによる内部回路の誤動作を防止するため、指定の時間が経過するまでシステムへのクロック供給を停止できるようになっています。図2.3.4.1に、発振開始時間と発振安定待ち時間の関係を示します。

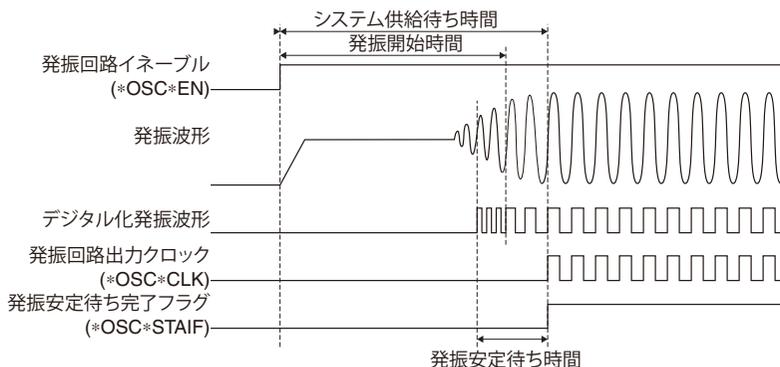


図2.3.4.1 発振開始と発振安定待ち時間

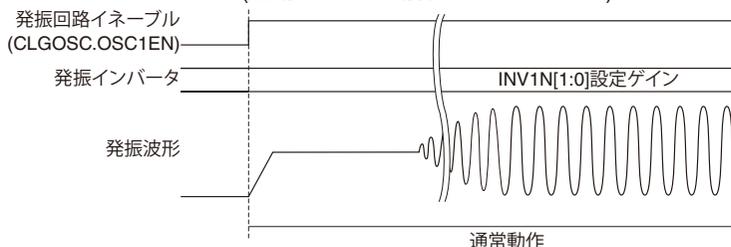
OSC1発振回路の発振安定待ち時間は、CLGOSC1.OSC1WT[1:0]ビットによって設定できます。設定の際は、振動子の種類に応じて十分なマージンを取ってください。設定した発振安定時間が適切で、発振開始直後のクロックが安定しているか否かについては、FOUT出力を行い、発振クロックをモニタすることで確認できます。IOSC発振回路の発振安定待ち時間は、IOSCCLK 16クロックに固定されています。OSC1発振回路の発振安定待ち時間は、OSC1CLK 16,384クロック以上に設定してください。

発振安定待ちが完了すると、発振回路は発振安定待ち完了フラグをセットし、内部回路へのクロック供給を開始します。

注: 発振安定待ち完了フラグが0にクリアされない場合でも、発振開始時には必ず発振安定待ち時間が設定されます。

OSC1発振回路はCLGOSC1.OSC1BUPビットを1に設定して発振起動制御回路を有効にすることで、発振回路をイネーブルに設定(CLGOSC.OSC1ENビットを1に設定)してから一定時間、高ゲインの発振インバータで発振動作をさせて(起動ブースト動作)、発振開始時間を縮めることができます。ただし、通常動作時と起動ブースト動作時のゲインの差が大きいと、発振動作が不安定になる可能性があります。また、実際に発振開始時間が短縮されるかどうかは使用する振動子の特性によって異なります。発振起動制御回路使用時の動作例を図2.3.4.2に示します。

(1) CLGOSC1.OSC1BUPビット = 0 (起動ブースト動作ディセーブル)



(2) CLGOSC1.OSC1BUPビット = 1 (起動ブースト動作イネーブル)

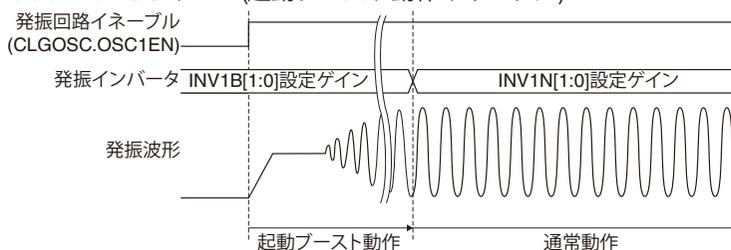


図2.3.4.2 発振起動制御回路使用時の動作例

IOSC発振回路の発振開始手順

IOSC発振回路の発振動作は、以下の手順により開始します。

1. CLGINTF.IOSCSTAIFビットに1を書き込む。(割り込みフラグをクリア)
2. CLGINTF.IOSCSTAIEビットに1を書き込む。(割り込みをイネーブル)
3. CLGOSC.IOSCENビットに1を書き込む。(発振を開始)
4. 割り込みが発生し、CLGINTF.IOSCSTAIFビット = 1ならば、IOSCCLKを使用可能。

OSC1発振回路の発振開始手順

OSC1発振回路の発振動作は、以下の手順により開始します。

1. CLGINTF.OSC1STAIFビットに1を書き込む。(割り込みフラグをクリア)
2. CLGINTF.OSC1STAIEビットに1を書き込む。(割り込みをイネーブル)
3. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。(システムプロテクトを解除)
4. 使用する振動子に合わせ、CLGOSC1レジスタの以下のビットを設定する。
 - CLGOSC1.INV1N[1:0]ビット (発振インバータのゲインを設定)
 - CLGOSC1.CG1I[2:0]ビット (内蔵ゲート容量を設定)
 - CLGOSC1.OSC1WT[1:0]ビット (発振安定待ち時間を設定)

発振起動制御回路を使用する場合は、以下のビットも併せて設定する。(図2.3.4.2参照)

- CLGOSC1.INV1B[1:0]ビット (起動ブースト動作時の発振インバータゲインを設定)
 - CLGOSC1.OSC1BUPビットを1に設定 (発振起動制御回路をイネーブル)
5. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)
 6. CLGOSC.OSC1ENビットに1を書き込む。(発振を開始)
 7. 割り込みが発生し、CLGINTF.OSC1STAIFビット = 1ならば、OSC1CLKを使用可能。

CLGOSC1.INV1N[1:0]ビット、CLGOSC1.CG1I[2:0]ビット、CLGOSC1.OSC1WT[1:0]ビット、CLGOSC1.INV1B[1:0]ビットの設定値は、実装基板で評価を行い決定してください。

システムクロック切り換え

起動時はIOSCCLKをSYSCLKとして動作を開始します。その後、処理内容に応じてSYSCLKのクロックソースを切り換えることが可能です。また、クロックソースの分周比を指定してSYSCLK周波数を設定可能で、実行する処理に合わせ最適なパフォーマンスで動作させることができます。これらの制御は、CLGSCLK.CLKSRC[1:0]ビットとCLGSCLK.CLKDIV[1:0]ビットで行います。CLGSCLKレジスタの各ビットはシステムプロテクトの保護対象のため、設定を変更する際は、あらかじめMSCPROT.PROT[15:0]ビットに0x0096を書き込み、システムプロテクトを解除する必要があります。システムクロック切り換えを含む動作モードの遷移については、“動作モード”を参照してください。

SLEEP時のクロック制御

slp命令を実行すると、CPUはSLEEPモードへ移行します。このときに動作中のクロックソースを停止させるか否かをソースごとに選択することが可能です。これにより、CPUを素早くSLEEPモードまたはRUNモードに遷移させると共に、周辺回路はSLEEP中もクロックを止めることなく動作させることができます。この制御は、CLGOSC.IOSCSLPCビット、CLGOSC.OSC1SLPCビット、CLGOSC.EXOSCSLPCビットで行います。制御の例を図2.3.4.3に示します。

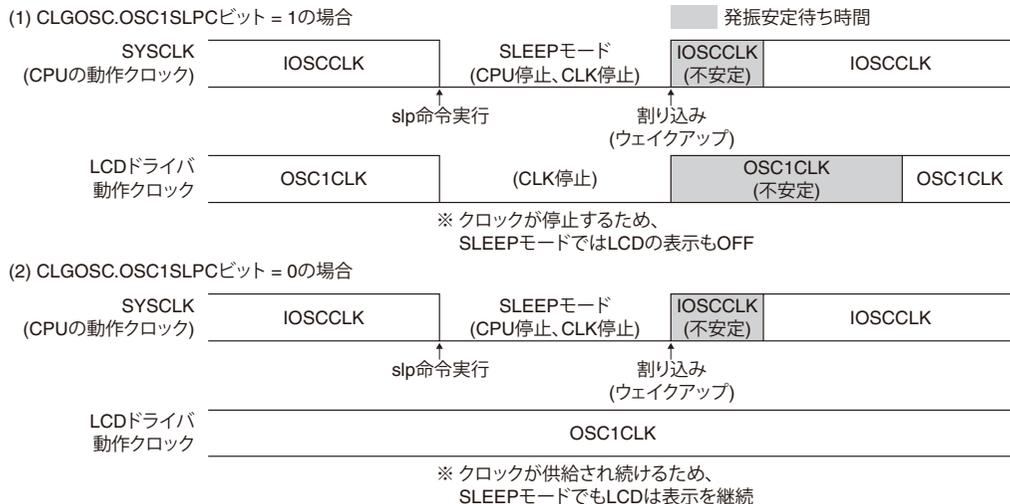


図2.3.4.3 SLEEPモード時のクロック制御例

また、SLEEPモードからRUNモードへ移行するウェイクアップ時のSYSCLKの設定(クロックソースと分周比の選択)も可能です。これにより、起動処理に合わせたフレキシブルなクロック制御が可能です。このクロック設定はCLGSCLK.WUPSRC[1:0]ビットとCLGSCLK.WUPDIV[1:0]ビットで行い、CLGSCLK.WUPMDビットに1を書き込んでこの機能をイネーブルにします。

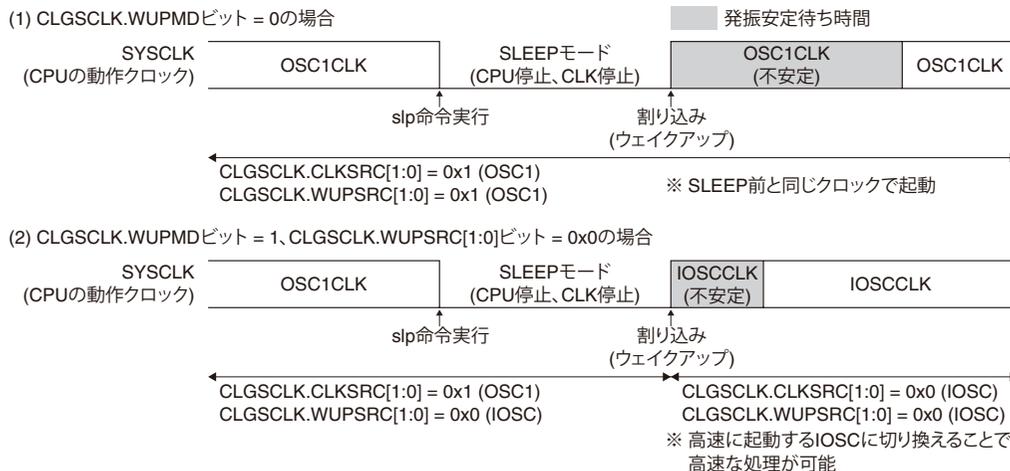


図2.3.4.4 SLEEP解除時のクロック制御例

クロック外部出力(FOUT)

各クロックソースの出力クロックまたはその分周クロックをFOUT端子から外部へ出力することができます。これにより、発振回路の発振周波数のモニタや、外部ICへの動作クロックの供給が可能です。クロックの外部出力は以下の手順で行います。

1. FOUT機能をポートに割り当てる。(“入出力ポート”の章を参照)
2. CLGFOUTレジスタの以下のビットを設定する。
 - CLGFOUT.FOUTSRC[1:0]ビット (クロックソースを選択)
 - CLGFOUT.FOUTDIV[2:0]ビット (クロック分周比を設定)
 - CLGFOUT.FOUTENビットを1に設定 (クロック外部出力カインェブル)

IOSC発振オートトリミング機能

オートトリミング機能は、OSC1発振回路の高精度なOSC1CLKクロックを基準にIOSCCLKクロックをトリミングして周波数を調整する機能です。オートトリミング機能は以下の手順でイネーブルにします。

1. OSC1発振イネーブル後、クロックが安定供給されていること(CLGINTF.OSC1STAIFビット = 1)を確認する。
2. IOSC発振イネーブル後、クロックが安定供給されていること(CLGINTF.IOSCSTAIFビット = 1)を確認する。
3. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。(システムプロテクトを解除)
4. SYSCLKのクロックソースがIOSCの場合は、CLGSCLK.CLKSRC[1:0]ビットを0x0(IOSC)以外の値に設定する。
5. CLGINTF.IOSCTEDIFビットに1を書き込む。(割り込みフラグをクリア)
6. CLGINTF.IOSCTEDIEビットに1を書き込む。(割り込みをイネーブル)
7. CLGIOSC.IOSCSTMビットに1を書き込む。(IOSC発振オートトリミングをイネーブル)
8. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)
9. 割り込みが発生し、CLGINTF.IOSCTEDIFビット = 1ならば、トリミングされたIOSCCLKを使用可能。

トリミングが終了すると、CLGIOSC.IOSCSTMビットは、自動的に0になります。トリミングにかかる時間は温度によって変化しますが、平均して数10 ms必要です。システムクロックや周辺回路クロックにIOSCCLKを使用している間は、オートトリミング機能を使用しないでください。

OSC1発振停止検出機能

発振停止検出機能は、OSC1の発振が停止してしまうような悪条件下でも、発振停止を検出してOSC1発振回路を再起動させる機能です。発振停止検出機能は以下の手順でイネーブルにします。

1. OSC1発振イネーブル後、クロックが安定供給されていること(CLGINTF.OSC1STAIFビット = 1)を確認する。
2. CLGINTF.OSC1STPIFビットに1を書き込む。(割り込みフラグをクリア)
3. CLGINTF.OSC1STPIEビットに1を書き込む。(割り込みをイネーブル)
4. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。(システムプロテクトを解除)
5. CLGOSC1レジスタの以下のビットを設定する。
 - CLGOSC1.OSDRBビットを1に設定 (OSC1リスタート機能をイネーブル)
 - CLGOSC1.OSDENビットを1に設定 (発振停止検出機能をイネーブル)
6. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)
7. 割り込みが発生し、CLGINTF.OSC1STPIFビット = 1のとき、OSC1発振停止。
CLGOSC1.OSDRBビット = 1のときは、ハードウェアがOSC1発振回路を再起動。

注: 発振停止検出機能をイネーブルにすると、発振停止検出回路電流(IosD1)が増加します。

2.4 動作モード

2.4.1 イニシャル起動シーケンス

電源投入時のイニシャル起動シーケンスを図2.4.1.1に示します。

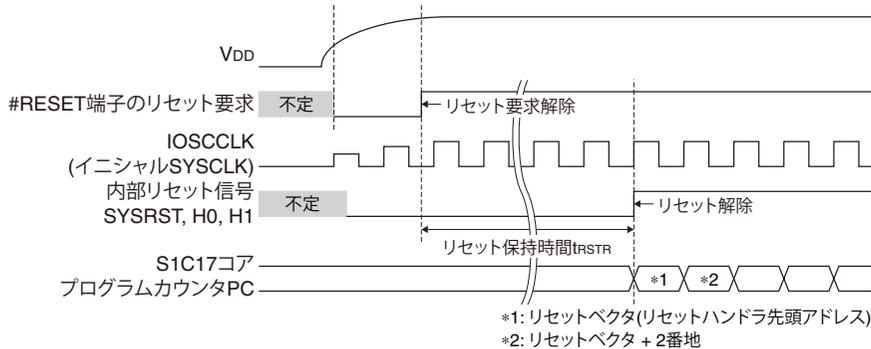


図2.4.1.1 イニシャル起動シーケンス

注: 電源投入時のリセット解除時間は、電源の立ち上がり時間、リセット要求解除時間によって変わります。

リセット保持時間 $trSTR$ については、“電気的特性”の章の“リセット保持回路特性”を参照してください。

2.4.2 動作モードの遷移

本ICでは、図2.4.2.1に示すような動作モード間の状態遷移が起きます。

RUNモード

CPUがプログラムを実行するモードをRUNモードと呼びます。システムリセットコントローラからのシステムリセット要求が解除されると、このモードへ遷移します。RUNモードは、SYSCLKのクロックソースの違いによって、“IOSC RUN”、“OSCI RUN”、“EXOSC RUN”に分けられます。

HALTモード

halt命令が実行されると、その時点のプログラムの実行が中断され、CPUの動作が停止します。この状態をHALTモードと呼びます。このモードでは、クロックソースや周辺回路は動作を続けます。ソフトウェア処理が必要ないときに設定することで、RUNモードよりも消費電力を低減できます。HALTモードは、SYSCLKのクロックソースの違いによって、“IOSC HALT”、“OSCI HALT”、“EXOSC HALT”に分けられます。

SLEEPモード

slp命令が実行されると、その時点のプログラムの実行が中断され、CPUの動作が停止します。このモードをSLEEPモードと呼びます。このモードではクロックソースも停止します。ただし、CLGOSC.IOSCSLPC/OSC1SLPC/EXOSCSLPCビット = 0に設定されているクロックソースは動作を継続し、クロックの供給されている周辺回路は動作し続けます。ソフトウェア処理が必要なく、周辺回路の動作も停止したいときに設定することで、HALTモードよりも消費電力を低減できます。

注: CLGOSC.IOSCSLPC/OSC1SLPC/EXOSCSLPCビット = 0の設定により、SLEEPモード時にクロックソースを動作させているときの消費電流は、同条件のHALTモード時と同等です(“電気的特性”の章の“消費電流、HALTモード時消費電流 I_{HALT1} 、 I_{HALT2} ”を参照してください)。

DEBUGモード

デバッグ割り込みが発生すると、CPUはDEBUGモードへ移行します。DEBUGモードは、ret命令によって解除されます。DEBUGモードの詳細は、“CPU, デバッガ”の章の“デバッガ”を参照してください。

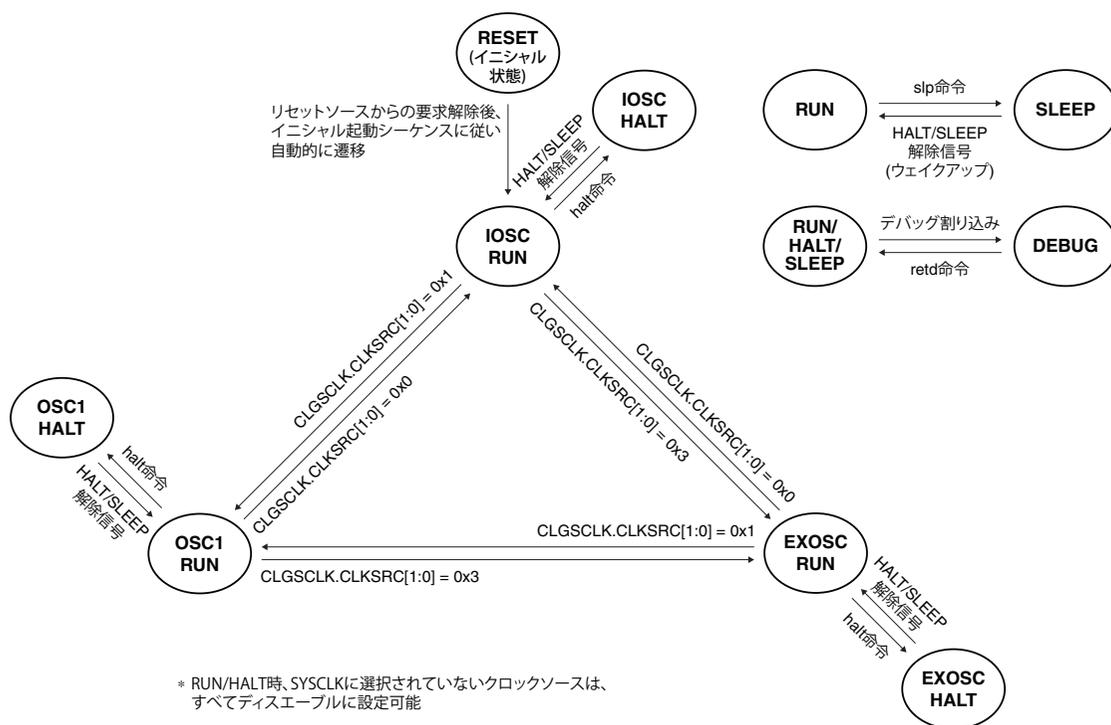


図2.4.2.1 動作モード間の状態遷移図

HALT, SLEEPモードの解除

下記の条件によってHALT/SLEEP解除信号が生成され、HALTまたはSLEEPモードからRUNモードへ移行します。この移行はCPUが割り込み要求を受領しなくても実行されます。

- 周辺回路からの割り込み要求
- NMI
- デバッグ割り込み
- リセット要求

2.5 割り込み

CLGには、表2.5.1に示す割り込みを発生させる機能があります。

表2.5.1 CLGの割り込み機能

割り込み	割り込みフラグ	セット	クリア
IOSC発振安定待ち完了	CLGINTF.IOSCSTAIF	発振開始後、IOSC発振安定待ちが完了したとき	1書き込み
OSC1発振安定待ち完了	CLGINTF.OSC1STAIF	発振開始後、OSC1発振安定待ちが完了したとき	1書き込み
OSC1発振停止	CLGINTF.OSC1STPIF	OSC1CLKが停止したとき、またはCLGOSC.OSC1ENビットもしくはCLGOSC.OSC1SDENビットの設定を1から0へ変更したとき	1書き込み
IOSC発振オートトリミング終了	CLGINTF.IOSCTEDIF	IOSC発振オートトリミングが終了したとき	1書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

2.6 制御レジスタ

PWG V_{D1} Regulator Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PWGVD1CTL	15-8	-	0x00	-	R	-
	7-2	-	0x00	-	R	
	1-0	REGMODE[1:0]	0x0	H0	R/WP	

Bits 15-2 Reserved

Bits 1-0 REGMODE[1:0]

これらのビットは、内部定電圧回路の動作モードを制御します。

表2.6.1 内部定電圧回路動作モード

PWGVD1CTL.REGMODE[1:0]ビット	動作モード
0x3	エコノミーモード
0x2	ノーマルモード
0x1	Reserved
0x0	オートマチックモード

CLG System Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGSCLK	15	WUPMD	0	H0	R/WP	-
	14	-	0	-	R	
	13-12	WUPDIV[1:0]	0x0	H0	R/WP	
	11-10	-	0x0	-	R	
	9-8	WUPSRC[1:0]	0x0	H0	R/WP	
	7-6	-	0x0	-	R	
	5-4	CLKDIV[1:0]	0x0	H0	R/WP	
	3-2	-	0x0	-	R	
1-0	CLKSRC[1:0]	0x0	H0	R/WP		

Bit 15 WUPMD

このビットは、ウェイクアップ時のSYSCLK切り換え機能をイネーブルにします。

1 (R/WP): イネーブル

0 (R/WP): ディスエーブル

CLGSCLK.WUPMDビット = 1の場合、SLEEPモードからのウェイクアップ時にCLGSCLK.WUPSRC[1:0]ビットの設定値がCLGSCLK.CLKSRC[1:0]ビットに、また、CLGSCLK.WUPDIV[1:0]ビットの設定値がCLGSCLK.CLKDIV[1:0]ビットにロードされ、SYSCLKが切り換えられます。CLGSCLK.WUPMDビット = 0の場合は、ウェイクアップ時にCLGSCLK.CLKSRC[1:0]とCLGSCLK.CLKDIV[1:0]の設定は変更されません。

- 注:
- CLGSCLK.WUPMDビット = 1 でウェイクアップした後は、CLGSCLK.CLKSRC[1:0]ビットで選択されているSYSCLKソース以外のクロックソースのイネーブルビット(CLGOSC.EXOSCEN, CLGOSC.OSC1EN, CLGOSC.OSC3BEN)は自動的に0にクリアされ、それらのクロックが停止します。ただし、CLGOSC.****SLPCビットの設定によりSLEEP時に動作していたクロックソースのイネーブルビットは、ウェイクアップ後も1を保持します。
 - CLGSCLK.WUPMDビット = 1の場合、CLGSCLK.WUPSRC[1:0]ビットとCLGSCLK.CLKSRC[1:0]ビットを同じ設定、かつCLGSCLK.WUPDIV[1:0]ビットとCLGSCLK.CLKDIV[1:0]ビットを同じ設定にすることは禁止します。SLEEP移行前と同じクロックソースおよび分周比でウェイクアップさせる場合は、CLGSCLK.WUPMDビットを0に設定してください。

Bit 14 Reserved

Bits 13–12 WUPDIV[1:0]

これらのビットは、ウェイクアップ時にCLGSCLK.CLKDIV[1:0]ビットを再設定するための、SYSCLKの分周比を選択します。
CLGSCLK.WUPMDビット = 0のとき、この設定は無効です。

Bits 11–10 Reserved**Bits 9–8 WUPSRC[1:0]**

これらのビットは、ウェイクアップ時にCLGSCLK.CLKSRC[1:0]ビットを再設定するための、SYSCLKのクロックソースを選択します。ただし、CLGSCLK.WUPMDビット = 0のとき、この設定は無効です。

注: 停止しているクロックソースを選択しないでください。選択する場合は、slp命令を実行する前に必ず、クロックソースの発振イネーブルビットを1に設定してください。

表2.6.2 ウェイクアップ時のSYSCLKクロックソースと分周比の設定

CLGSCLK. WUPDIV[1:0]ビット	CLGSCLK.WUPSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSCCLK	OSC1CLK	–	EXOSCCLK
0x3	1/8	Reserved	Reserved	Reserved
0x2	1/4	Reserved	Reserved	Reserved
0x1	1/2	1/2	Reserved	Reserved
0x0	1/1	1/1	Reserved	1/1

Bits 7–6 Reserved**Bits 5–4 CLKDIV[1:0]**

これらのビットは、SYSCLK周波数を決めるクロックソースの分周比を設定します。

Bits 3–2 Reserved**Bits 1–0 CLKSRC[1:0]**

これらのビットは、SYSCLKのクロックソースを選択します。
停止しているクロックソースが選択された場合、自動的に発振またはクロック入力を開始します。

表2.6.3 SYSCLKクロックソースと分周比の設定

CLGSCLK. CLKDIV[1:0]ビット	CLGSCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSCCLK	OSC1CLK	–	EXOSCCLK
0x3	1/8	Reserved	Reserved	Reserved
0x2	1/4	Reserved	Reserved	Reserved
0x1	1/2	1/2	Reserved	Reserved
0x0	1/1	1/1	Reserved	1/1

CLG Oscillation Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGOSC	15–12	–	0x0	–	R	–
	11	EXOSCSLPC	1	H0	R/W	
	10	–	1	–	R	
	9	OSC1SLPC	1	H0	R/W	
	8	IOSCSLPC	1	H0	R/W	
	7–4	–	0x0	–	R	
	3	EXOSCEN	0	H0	R/W	
	2	–	0	–	R	
	1	OSC1EN	0	H0	R/W	
0	IOSCEN	1	H0	R/W		

Bits 15–12 Reserved

2 電源, リセット, クロック

Bit 11 **EXOSCSLPC**

Bit 9 **OSC1SLPC**

Bit 8 **IOSCSLPC**

これらのビットは、SLEEP時のクロックソースの動作を制御します。

1 (R/W): SLEEP時にクロックソースを停止

0 (R/W): SLEEP前の動作を継続

各ビットとクロックソースの対応は以下のとおりです。

CLGOSC.EXOSCSLPCビット: EXOSCクロック入力

CLGOSC.OSC1SLPCビット: OSC1発振回路

CLGOSC.IOSCSLPCビット: IOSC発振回路

Bit 10 **Reserved**

Bits 7–4 **Reserved**

Bit 3 **EXOSCEN**

Bit 1 **OSC1EN**

Bit 0 **IOSCEN**

これらのビットは、クロックソースの動作を制御します。

1(R/W): 発振またはクロック入力を開始

0(R/W): 発振またはクロック入力を停止

各ビットとクロックソースの対応は以下のとおりです。

CLGOSC.EXOSCENビット: EXOSCクロック入力

CLGOSC.OSC1ENビット: OSC1発振回路

CLGOSC.IOSCENビット: IOSC発振回路

Bit 2 **Reserved**

CLG IOSC Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGIOSC	15–8	–	0x00	–	R	–
	7–5	–	0x0	–	R	
	4	IOSCSTM	0	H0	R/WP	
	3–0	–	0x0	–	R	

Bits 15–5 **Reserved**

Bit 4 **IOSCSTM**

このビットは、IOSCCLKのオートトリミング機能を制御します。

1 (WP): トリミング開始

0 (WP): トリミング停止

1 (R): トリミング実行中

0 (R): トリミング終了(トリミング動作停止中)

トリミングが終了すると、自動的に0にクリアされます。

注: • CLGIOSC.IOSCSTMビット = 1の間は、IOSCCLKをシステムクロックや周辺回路クロックとして使用しないでください。

• オートトリミング機能はOSC1発振回路が停止していると正しく動作しません。CLGINTF.OSC1STAIFビットが1になっていることを確認してから実行してください。

Bits 3–0 **Reserved**

CLG OSC1 Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGOSC1	15	–	0	–	R	–
	14	OSDRB	0	H0	R/WP	
	13	OSDEN	0	H0	R/WP	
	12	OSC1BUP	0	H0	R/WP	
	11	–	0	–	R	
	10–8	CGI1[2:0]	0x0	H0	R/WP	
	7–6	INV1B[1:0]	0x3	H0	R/WP	
	5–4	INV1N[1:0]	0x1	H0	R/WP	
	3–2	–	0x0	–	R	
1–0	OSC1WT[1:0]	0x2	H0	R/WP		

Bit 15 **Reserved**

Bit 14 **OSDRB**

このビットは、OSC1発振停止検出時の発振停止検出回路によるOSC1発振回路リスタート機能をイネーブルにします。

1 (R/WP): イネーブル(発振停止検出時にOSC1発振回路をリスタート)

0 (R/WP): デイスエーブル

Bit 13 **OSDEN**

このビットは、OSC1発振回路の発振停止検出回路を制御します。

1 (R/WP): OSC1発振停止検出回路ON

0 (R/WP): OSC1発振停止検出回路OFF

注: OSC1CLKが安定供給される前に、CLGOSC1.OSDENビットに1を書き込まないでください。また、CLGOSC.OSC1ENビットを0にしたときは、CLGOSC1.OSDENビットも0にしてください。

Bit 12 **OSC1BUP**

このビットは、OSC1発振回路の発振起動制御回路をイネーブルにします。

1 (R/WP): イネーブル(起動時にブースト動作実行)

0 (R/WP): デイスエーブル

Bit 11 **Reserved**

Bits 10–8 **CGI1[2:0]**

これらのビットは、OSC1発振回路の内蔵ゲート容量を設定します。

表2.6.4 OSC1内蔵ゲート容量の設定

CLGOSC1.CGI1[2:0]ビット	容量
0x7	Max.
0x6	↑
0x5	
0x4	
0x3	
0x2	
0x1	↓
0x0	Min.

詳細は、“電気的特性”の章の“OSC1発振回路特性、内蔵ゲート容量CG11”を参照してください。

Bits 7–6 **INV1B[1:0]**

これらのビットは、OSC1発振回路のブースト起動時に適用される発振インバータのゲインを設定します。

2 電源, リセット, クロック

表2.6.5 OSC1ブースト起動時の発振インバータゲインの設定

CLGOSC1.INV1B[1:0]ビット	インバータゲイン
0x3	Max.
0x2	↑
0x1	↓
0x0	Min.

注: CLGOSC1.INV1B[1:0]ビットは、CLGOSC1.INV1N[1:0]ビット以上の値に設定してください。

Bits 5–4 INV1N[1:0]

これらのビットは、OSC1発振回路の通常動作時に適用される発振インバータのゲインを設定します。

表2.6.6 OSC1通常動作時の発振インバータゲインの設定

CLGOSC1.INV1N[1:0]ビット	インバータゲイン
0x3	Max.
0x2	↑
0x1	↓
0x0	Min.

Bits 3–2 Reserved

Bits 1–0 OSC1WT[1:0]

これらのビットは、OSC1発振回路の発振安定待ち時間を設定します。

表2.6.7 OSC1発振安定待ち時間の設定

CLGOSC1.OSC1WT[1:0]ビット	発振安定待ち時間
0x3	65,536クロック
0x2	16,384クロック
0x1	4,096クロック
0x0	Reserved

CLG Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGINTF	15–8	–	0x00	–	R	–
	7–6	–	0x0	–	R	–
	5	OSC1STPIF	0	H0	R/W	Cleared by writing 1.
	4	IOSCTEDIF	0	H0	R/W	–
	3–2	–	0x0	–	R	–
	1	OSC1STAIF	0	H0	R/W	Cleared by writing 1.
	0	IOSCSTAIF	0	H0	R/W	–

Bits 15–6 Reserved

Bit 5 OSC1STPIF

Bit 4 IOSCTEDIF

これらのビットは、OSC1発振停止割り込み要因、IOSC発振オートトリミング終了割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

CLGINTF.OSC1STPIFビット: OSC1発振停止割り込み

CLGINTF.IOSCTEDIFビット: IOSC発振オートトリミング終了割り込み

Bits 3–2 Reserved

Bit 1 OSC1STAIF**Bit 0 IOSCSTAIF**

これらのビットは、クロックソースの発振安定待ち完了割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットとクロックソースの対応は以下のとおりです。

CLGINTF.OSC1STAIFビット: OSC1発振回路

CLGINTF.IOSCSTAIFビット: IOSC発振回路

注: システムリセットが解除された時点のCLGINTF.IOSCSTAIFビットは0ですが、IOSCCLKは安定状態になっています。

CLG Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGINTE	15-8	-	0x00	-	R	-
	7-6	-	0x0	-	R	
	5	OSC1STPIE	0	H0	R/W	
	4	IOSCTEDIE	0	H0	R/W	
	3-2	-	0x0	-	R	
	1	OSC1STAIE	0	H0	R/W	
	0	IOSCSTAIE	0	H0	R/W	

Bits 15-6 Reserved**Bit 5 OSC1STPIE****Bit 4 IOSCTEDIE**

これらのビットは、OSC1発振停止割り込み、IOSC発振オートトリミング終了割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

CLGINTE.OSC1STPIEビット: OSC1発振停止割り込み

CLGINTE.IOSCTEDIEビット: IOSC発振オートトリミング終了割り込み

Bits 3-2 Reserved**Bit 1 OSC1STAIE****Bit 0 IOSCSTAIE**

これらのビットは、クロックソースの発振安定待ち完了割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットとクロックソースの対応は以下のとおりです。

CLGINTE.OSC1STAIEビット: OSC1発振回路

CLGINTE.IOSCSTAIEビット: IOSC発振回路

CLG FOUT Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
CLGFOUT	15-8	-	0x00	-	R	-
	7	-	0	-	R	
	6-4	FOUTDIV[2:0]	0x0	H0	R/W	
	3-2	FOUTSRC[1:0]	0x0	H0	R/W	
	1	-	0	-	R	
	0	FOUTEN	0	H0	R/W	

2 電源, リセット, クロック

Bits 15–7 Reserved

Bits 6–4 FOUTDIV[2:0]

これらのビットは、FOUTのクロック分周比を設定します。

Bits 3–2 FOUTSRC[1:0]

これらのビットは、FOUTのクロックソースを選択します。

表2.6.8 FOUTクロックソースと分周比の設定

CLGFOUT. FOUTDIV[2:0]ビット	CLGFOUT.FOUTSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSCCLK	OSC1CLK	–	SYSCCLK
0x7	1/128	1/32,768	Reserved	Reserved
0x6	1/64	1/4,096	Reserved	Reserved
0x5	1/32	1/1,024	Reserved	Reserved
0x4	1/16	1/256	Reserved	Reserved
0x3	1/8	1/8	Reserved	Reserved
0x2	1/4	1/4	Reserved	Reserved
0x1	1/2	1/2	Reserved	Reserved
0x0	1/1	1/1	Reserved	1/1

注: CLGFOUT.FOUTSRC[1:0]ビットを0x3に設定した場合、SLEEP/HALTモードではSYSCCLKが停止するため、FOUT出力も停止します。

Bit 1 Reserved

Bit 0 FOUTEN

このビットは、FOUTのクロック外部出力を制御します。

1 (R/W): 外部出力イネーブル

0 (R/W): 外部出力ディスエーブル

注: FOUT信号は、CLGFOUT.FOUTENビットと非同期に生成されますので、出力のイネーブル/ディスエーブル時にはグリッチを生じます。

3 CPU, デバッガ

3.1 概要

本ICは、デバッガを内蔵したセイコーエプソンオリジナル16ビットCPUコア(S1C17)を搭載しています。主な機能と特長を以下に示します。

- セイコーエプソンオリジナル16ビットRISCプロセッサ
 - 24ビット汎用レジスタ: 8
 - 24ビット特殊レジスタ: 2
 - 8ビット特殊レジスタ: 1
 - 最大16Mバイトのメモリ空間(24ビットアドレス)
 - 命令バスとデータバスを分離したハーバードアーキテクチャ
- C言語による開発用に最適化されたコンパクトかつ高速な命令セット
 - コード長: 16ビット固定長
 - 命令数: 基本命令111個(全184命令)
 - 実行サイクル: 主要命令は1サイクルで実行
 - 即値拡張命令: 即値を24ビットまで拡張
- リセット、NMI、アドレス不整割り込み、デバッグ割り込み、外部割り込みを搭載
 - ベクタテーブルからベクタを読み込み、割り込みルーチンへ直接分岐
 - ベクタ番号によるソフトウェア割り込みを発生可能(全ベクタ番号を指定可能)
- スタンバイ機能として、HALTモード(halt命令)、SLEEPモード(slp命令)を搭載
- 3線で通信可能な、プログラム開発を支援するデバッガを搭載

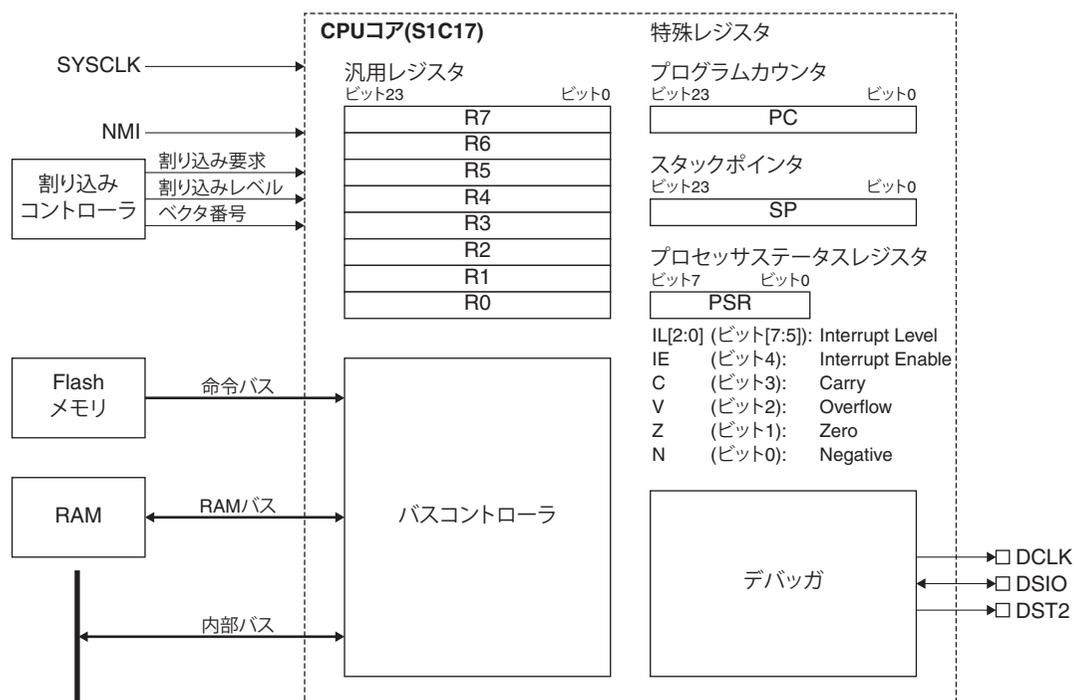


図3.1.1 S1C17の構成

3.2 CPUコア

3.2.1 CPUレジスタ

CPUは8本の汎用レジスタおよび3本の特殊レジスタを内蔵しています(表3.2.1.1)。

表3.2.1.1 CPUレジスタの初期化

CPU register name			Initial	Reset
汎用レジスタ		R0~R7	0x000000	H0
特殊レジスタ	プログラムカウンタ	PC	リセットベクタを自動的にロード	H0
	スタックポインタ	SP	0x000000	H0
	プロセッサステータスレジスタ	PSR	0x00	H0

各レジスタの詳細については“S1C17 Family S1C17コアマニュアル”を参照してください。また、リセットベクタについては“割り込みコントローラ”の章を参照してください。

3.2.2 命令セット

CPUの命令コードはすべて16ビットの固定長で、パイプライン処理を行うことによって主要な命令を1サイクルで実行します。各命令の詳細については“S1C17 Family S1C17コアマニュアル”を参照してください。

3.2.3 PSRの読み出し

PSRの内容は、MSCPSRレジスタを介して読み出すことができます。ただし、MSCPSRレジスタを介して、PSRへデータを書き込むことはできません。

3.2.4 S1C17コア予約I/Oエリア

0xffffc00~0xfffffff番地はS1C17コアの予約I/Oエリアです。必要のない場合はアクセスしないでください。

3.3 デバッグ

3.3.1 デバッグ機能

デバッグがサポートしている機能は以下のとおりです。

- 命令ブレーク: 設定した命令のアドレスを実行する前にデバッグ割り込みを発生。最大4ヶ所のアドレスに命令ブレークを設定可能
- シングルステップ: 命令ごとにデバッグ割り込みを発生
- 強制ブレーク: 外部入力信号でデバッグ割り込みを発生
- ソフトウェアブレーク: brk命令の実行によりデバッグ割り込みを発生

デバッグ割り込みが発生すると、CPUはDEBUGモードに入ります。DEBUGモード時の周辺回路は、各周辺回路のクロック制御レジスタに設けられたDBRUNビットの設定に応じた動作を行います。DBRUNビットに関しては、周辺回路の“DEBUGモード時のクロック供給”を参照してください。DEBUGモードは、パソコンから解除コマンドを送るか、CPUがretd命令を実行するまで続きます。DEBUGモード中は、ハードウェア割り込みおよびNMIは受け付けられません。

3.3.2 必要リソースとデバッグツール

デバッグ用ワークエリア

デバッグを行うには、64バイトのデバッグ用ワークエリアが必要です。ワークエリアの配置アドレスは“メモリ、バス”の章を参照してください。このデバッグ用ワークエリアのスタートアドレスは、DBRAMレジスタから読み出すことができます。

デバッグツール

デバッグは、本ICのデバッグの入出力端子にICDmini(S5U1C17001H)を接続し、パソコンから制御します。これには、以下のツールが必要です。

- S1C17 Family In-Circuit Debugger ICDmini(S5U1C17001H)
- S1C17 Family Cコンパイラパッケージ(S5U1C17001C等)

3.3.3 デバッグ入出力端子一覧

表3.3.3.1にデバッグ端子一覧を示します。

表3.3.3.1 デバッグ端子一覧

端子名	I/O	イニシャル状態	機能
DCLK	O	O	オンチップデバッグクロック出力端子 ICDmini(S5U1C17001H)にクロックを出力します。
DSIO	I/O	I	オンチップデバッグデータ入出力端子 デバッグ用データの入出力およびブレイク信号の入力に使用します。
DST2	O	O	オンチップデバッグステータス出力端子 デバッグ中のプロセッサの状態を出力します。

デバッグの入出力は汎用入出力ポート端子を兼用しており、イニシャル状態ではデバッグ端子に設定されます。デバッグ機能を使用しない場合は、これらの端子を汎用入出力ポート端子に切り換えることができます。詳細は“入出力ポート”の章を参照してください。

注: ・ DCLK端子は、外部からHIGHレベルで駆動しないでください(例: 端子を抵抗でプルアップする等)。また、DCLK端子とその他の汎用入出力ポートを短絡結線しないでください。いずれの場合も、電源投入時の不定入出力の影響で、ICが正常に起動しない可能性があります。

- DSIO端子は、外部からLOWレベルで駆動しないでください。デバッグ割り込みが発生し、CPUがDEBUGモードに入ります。

3.3.4 外部接続

デバッグを行う際のICDminiとの接続例を図3.3.4.1に示します。

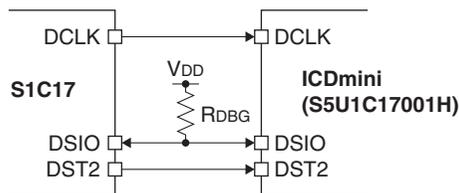


図3.3.4.1 外部接続

プルアップ抵抗の推奨値は、“電気的特性”の章の“推奨動作条件、DSIO用プルアップ抵抗RDBG”を参照してください。DSIO端子を汎用入出力ポート端子として使用する場合、RDBGは必要ありません。

3.4 制御レジスタ

MISC PSR Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MSCPSR	15-8	–	0x00	–	R	–
	7-5	PSRIL[2:0]	0x0	H0	R	
	4	PSRIE	0	H0	R	
	3	PSRC	0	H0	R	
	2	PSRV	0	H0	R	
	1	PSRZ	0	H0	R	
	0	PSRN	0	H0	R	

Bits 15-8 Reserved

Bits 7-5 PSRIL[2:0]

これらのビットからPSRのIL[2:0](割り込みレベル)ビットの値(0~7)が読み出せます。

Bit 4 PSRIE

このビットからPSRのIE(割り込みイネーブル)ビットの値(0または1)が読み出せます。

Bit 3 PSRC

このビットからPSRのC(キャリー)フラグの値(0または1)が読み出せます。

Bit 2 PSRV

このビットからPSRのV(オーバーフロー)フラグの値(0または1)が読み出せます。

Bit 1 PSRZ

このビットからPSRのZ(ゼロ)フラグの値(0または1)が読み出せます。

Bit 0 PSRN

このビットからPSRのN(ネガティブ)フラグの値(0または1)が読み出せます。

Debug RAM Base Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
DBRAM	31-24	–	0x00	–	R	–
	23-0	DBRAM[23:0]	*1	H0	R	

*1 デバッグ用ワークエリアの先頭アドレス

Bits 31-24 Reserved

Bits 23-0 DBRAM[23:0]

これらのビットからデバッグ用ワークエリア(64バイト)の先頭アドレスが読み出せます。

4 メモリ, バス

4.1 概要

本ICは、命令、データ共に最大16Mバイトのメモリ空間をアクセスすることができます。主な機能と特長を以下に示します。

- オンボード書き換え可能なFlashメモリを搭載
- ほとんどのメモリや制御レジスタを16ビットかつ1サイクルでアクセス可能
- システム制御に関係するレジスタには、書き込み保護機能を搭載

図4.1.1にメモリマップを示します。



図4.1.1 メモリマップ

4.2 バスアクセスサイクル

CPUはシステムクロックを基準にバスアクセスを行います。ここで、バスアクセスサイクル、デバイスサイズ、アクセスサイズについて、以下のように定義します。

- バスアクセスサイクル: システムクロックの1クロック = 1サイクル
- デバイスサイズ: 1サイクルでアクセスできるメモリ、周辺回路のビット幅
- アクセスサイズ: CPU命令が要求するアクセスサイズ(例: `ld %rd, [%rb]` → 16ビットデータ転送)

デバイスサイズとアクセスサイズの違いによるバスアクセスサイクル数の一覧を表4.2.1に示します。周辺回路は8ビット、16ビット、32ビットのいずれの命令でもアクセス可能です。

表4.2.1 バスアクセスサイクル数

デバイスサイズ	アクセスサイズ	バスアクセスサイクル数
8ビット	8ビット	1
	16ビット	2
	32ビット	4
16ビット	8ビット	1
	16ビット	1
	32ビット	2
32ビット	8ビット	1
	16ビット	1
	32ビット	1

注: 32ビットアクセスによりデータをメモリに転送するときは、S1C17コアの汎用レジスタが24ビットのため、上位8ビットは0x00としてメモリに書き込まれます。逆にメモリからレジスタへ転送するときは、上位8ビットが無視されます。

割り込み処理のスタック操作時もCPUは32ビットアクセスを行います。このときはPSRの値を上位8ビット、戻りアドレスを下位24ビットとした32ビットの書き込み/読み出しを行います。詳しくは、“S1C17 Family S1C17コアマニュアル”を参照してください。

また、CPUはハーバードアーキテクチャを採用しており、命令フェッチとデータアクセスを同時に行うことが可能です。ただし、以下の条件では同時に行われず、データが存在するエリアのバスサイクル分、命令フェッチのサイクルが長くなります。

- Flashエリアで命令を実行し、Flashエリアのデータにアクセスする場合
- Flashエリアで命令を実行し、表示データRAMエリアのデータにアクセスする場合
- 内蔵RAM/表示データRAMエリアで命令を実行し、内蔵RAM/表示データRAMエリアのデータにアクセスする場合

4.3 Flashメモリ

Flashメモリには、アプリケーションプログラムやデータを書き込んでおくことができます。また、Flashエリアの0x8000番地はデフォルトのベクタテーブルベースアドレスとして定義されていますので、このアドレスを先頭にベクタテーブルを置く必要があります。詳細は、“割り込みコントローラ”の章の“ベクタテーブル”を参照してください。

4.3.1 Flashメモリ端子

表4.3.1.1にFlashメモリ用の端子を示します。

表4.3.1.1 Flashメモリ端子

端子名	I/O	イニシャル状態	機能
V _{PP}	P	-	Flashプログラミング電源

V_{PP}電圧に関しては“電気的特性”の章の“推奨動作条件、Flashプログラミング電圧V_{PP}”を参照してください。

注: Flashプログラミング時以外は、V_{PP}端子をオープンにしてください。

4.3.2 Flashバスアクセスサイクルの設定

Flashメモリをノーウェイトでアクセス可能な周波数には制限があるため、システムクロック周波数に応じて、リード時のバスアクセスサイクル数を変更する必要があります。リード時バスアクセスサイクル数は、FLASHWAIT.RDWAIT[1:0]ビットで設定します。動作しているシステムクロック周波数以上に対応した設定を選択してください。

4.3.3 Flashプログラミング

Flashメモリは、オンボードプログラミングに対応しており、ICDminiを介してデバッガからROMデータをプログラミングすることができます。オンボードプログラミング時の接続図を図4.3.3.1に示します。

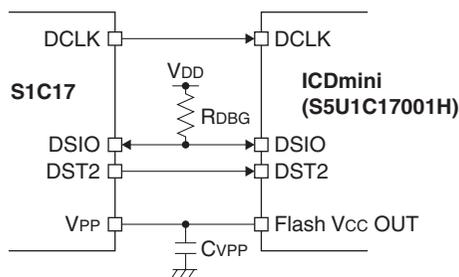


図4.3.3.1 外部接続

Flashプログラミング時以外は、VPP端子をオープンにする必要があります。ただし、ICDminiからVPP電源を供給する場合、Flashプログラミング時のみ供給するように制御されているため、接続したままでも問題ありません。VPP電源供給時は電圧安定用に、CVPPを必ず接続してください。

ROMデータのプログラミング方法の詳細は、“(S1C17 Family Cコンパイラパッケージ) S5U1C17001Cマニュアル”を参照してください。また、開発したROMデータを、工場にICにプログラミングして出荷することも可能です。ROMデータのプログラミング出荷がご希望の場合は、サポート窓口までお問い合わせください。

4.3.4 Flashセキュリティ機能

ICDminiを介したデバッガからの内蔵Flashメモリの読み出しや改ざんを防ぐため、本ICにはセキュリティ機能が設けられています。図4.3.4.1にFlashセキュリティ機能設定の流れを示します。

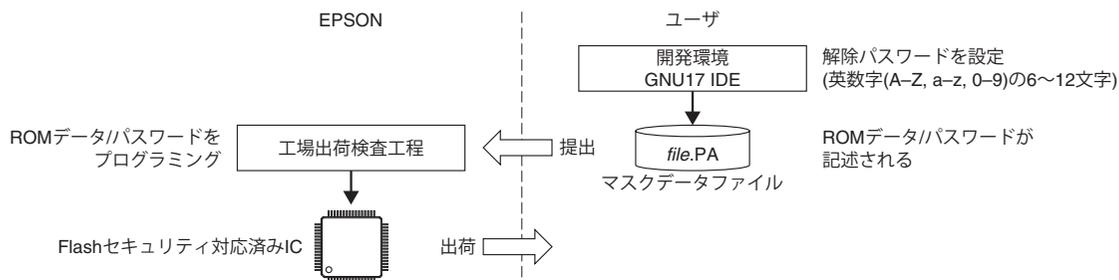


図4.3.4.1 ROMデータプログラム出荷とFlashセキュリティ機能設定の流れ

Flashセキュリティ対応済みのICは以下の状態になります。

- デバッガから読み出すFlashメモリの値は不定値になる
- ICDminiを介したFlashプログラミングを行うとエラーになる

ただし、あらかじめ設定してある解除パスワードをGNU17 IDE上で入力することで、Flashセキュリティ機能を解除することができます(リセット後は、再度セキュリティ機能が有効になります)。パスワードの設定方法については、“(S1C17 Family Cコンパイラパッケージ) S5U1C17001Cマニュアル”を参照してください。

注: Flashセキュリティ対応済みICをICDminiを介してデバッグする場合は、その前にFlashセキュリティ機能を解除してください。Flashセキュリティ機能が有効な状態では、正しく動作しない可能性があります。

4.4 RAM

RAMは、変数などの格納以外に、命令コードをコピーして実行させることにも使用可能です。これにより、Flashメモリよりも高速かつ省電力な処理を実現できます。

4 メモリ、バス

注: RAMの最後尾の64バイトはデバッグRAMエリアとして予約されています。アプリケーション開発中などデバッグ機能を使用する場合は、アプリケーションプログラムからこの領域をアクセスしないでください。デバッグの不要な量産品ではアプリケーション用に使用可能です。

本ICでは、アプリケーションで使用するRAMのサイズを、実装されているサイズ以下に制限することができます。この機能は、MSCIRAMSZ.IRAMSZ[2:0]ビットで設定でき、RAMサイズが本ICよりも小さい機種の開発時に、搭載しているRAMの領域外をアクセスするようなプログラムの作成を回避するという用途などに利用できます。制限後のRAM領域外にアクセスすると、Reserved領域と同じ動作(読み出し値 = 不定)になります。

4.5 表示データRAM

LCDドライバの表示データ格納用に表示データRAMが内蔵されています。表示データRAM内の表示データ用に使用しない領域は汎用RAMとして使用可能です。表示データRAMの詳細については、“LCDドライバ”の章の“表示データRAM”を参照してください。

4.6 周辺回路制御レジスタ

0x4000番地から始まる8Kバイトのエリアには、周辺回路の制御レジスタが割り付けられています。この制御レジスタマップを表4.6.1に示します。各制御レジスタの詳細についてはAppendixの“周辺回路制御レジスタ一覧”、または各周辺回路の章の“制御レジスタ”を参照してください。

表4.6.1 周辺回路制御レジスタマップ

周辺回路	アドレス	レジスタ名		
MISCレジスタ(MISC)	0x4000	MSCPROT	MISC System Protect Register	
	0x4002	MSCIRAMSZ	MISC IRAM Size Register	
	0x4004	MSCTTBRL	MISC Vector Table Address Low Register	
	0x4006	MSCTTBRLH	MISC Vector Table Address High Register	
	0x4008	MSCPSR	MISC PSR Register	
パワージェネレータ(PWG)	0x4020	PWGVD1CTL	PWG V _{D1} Regulator Control Register	
クロックジェネレータ(CLG)	0x4040	CLGCLK	CLG System Clock Control Register	
	0x4042	CLGOSC	CLG Oscillation Control Register	
	0x4044	CLGIOSC	CLG IOSC Control Register	
	0x4046	CLGOSC1	CLG OSC1 Control Register	
	0x404a	CLGINTF	CLG Interrupt Flag Register	
	0x404c	CLGINTE	CLG Interrupt Enable Register	
	0x404e	CLGFOUT	CLG FOUT Control Register	
割り込みコントローラ(ITC)	0x4080	ITCLV0	ITC Interrupt Level Setup Register 0	
	0x4082	ITCLV1	ITC Interrupt Level Setup Register 1	
	0x4084	ITCLV2	ITC Interrupt Level Setup Register 2	
	0x4086	ITCLV3	ITC Interrupt Level Setup Register 3	
	0x4088	ITCLV4	ITC Interrupt Level Setup Register 4	
	0x408a	ITCLV5	ITC Interrupt Level Setup Register 5	
	0x408c	ITCLV6	ITC Interrupt Level Setup Register 6	
	0x408e	ITCLV7	ITC Interrupt Level Setup Register 7	
ウォッチドッグタイマ(WDT)	0x40a0	WDTCLK	WDT Clock Control Register	
	0x40a2	WDTCTL	WDT Control Register	
リアルタイムクロック(RTCA)	0x40c0	RTCCTL	RTC Control Register	
	0x40c2	RTCALM1	RTC Second Alarm Register	
	0x40c4	RTCALM2	RTC Hour/Minute Alarm Register	
	0x40c6	RTCSWCTL	RTC Stopwatch Control Register	
	0x40c8	RTCSEC	RTC Second/1Hz Register	
	0x40ca	RTCHUR	RTC Hour/Minute Register	
	0x40cc	RTCMON	RTC Month/Day Register	
	0x40ce	RTCYAR	RTC Year/Week Register	
	0x40d0	RTCINTF	RTC Interrupt Flag Register	
	0x40d2	RTCINTE	RTC Interrupt Enable Register	
	電源電圧検出回路(SVD)	0x4100	SVDCLK	SVD Clock Control Register
		0x4102	SVDCTL	SVD Control Register

周辺回路	アドレス	レジスタ名	
電源電圧検出回路(SVD)	0x4104	SVDINTF	SVD Status and Interrupt Flag Register
	0x4106	SVDINTE	SVD Interrupt Enable Register
16ビットタイマ(T16) Ch.0	0x4160	T16_0CLK	T16 Ch.0 Clock Control Register
	0x4162	T16_0MOD	T16 Ch.0 Mode Register
	0x4164	T16_0CTL	T16 Ch.0 Control Register
	0x4166	T16_0TR	T16 Ch.0 Reload Data Register
	0x4168	T16_0TC	T16 Ch.0 Counter Data Register
	0x416a	T16_0INTF	T16 Ch.0 Interrupt Flag Register
	0x416c	T16_0INTE	T16 Ch.0 Interrupt Enable Register
Flashコントローラ(FLASHC)	0x41b0	FLASHCWAIT	FLASHC Flash Read Cycle Register
入出力ポート(PPORT)	0x4200	P0DAT	P0 Port Data Register
	0x4202	P0IOEN	P0 Port Enable Register
	0x4204	P0RCTL	P0 Port Pull-up/down Control Register
	0x4206	P0INTF	P0 Port Interrupt Flag Register
	0x4208	P0INTCTL	P0 Port Interrupt Control Register
	0x420a	P0CHATEN	P0 Port Chattering Filter Enable Register
	0x420c	P0MODESEL	P0 Port Mode Select Register
	0x420e	P0FNCSEL	P0 Port Function Select Register
	0x4210	P1DAT	P1 Port Data Register
	0x4212	P1IOEN	P1 Port Enable Register
	0x4214	P1RCTL	P1 Port Pull-up/down Control Register
	0x421c	P1MODESEL	P1 Port Mode Select Register
	0x421e	P1FNCSEL	P1 Port Function Select Register
	0x4220	P2DAT	P2 Port Data Register
	0x4222	P2IOEN	P2 Port Enable Register
	0x4224	P2RCTL	P2 Port Pull-up/down Control Register
	0x422c	P2MODESEL	P2 Port Mode Select Register
	0x422e	P2FNCSEL	P2 Port Function Select Register
	0x423a	P3CHATEN	P3 Port Chattering Filter Enable Register
	0x423c	P3MODESEL	P3 Port Mode Select Register
	0x423e	P3FNCSEL	P3 Port Function Select Register
	0x424c	P4MODESEL	P4 Port Mode Select Register
	0x424e	P4FNCSEL	P4 Port Function Select Register
	0x4250	P5DAT	P5 Port Data Register
	0x4252	P5IOEN	P5 Port Enable Register
	0x4254	P5RCTL	P5 Port Pull-up/down Control Register
	0x4256	P5INTF	P5 Port Interrupt Flag Register
	0x4258	P5INTCTL	P5 Port Interrupt Control Register
	0x425a	P5CHATEN	P5 Port Chattering Filter Enable Register
	0x425c	P5MODESEL	P5 Port Mode Select Register
	0x425e	P5FNCSEL	P5 Port Function Select Register
	0x42d0	PDDAT	Pd Port Data Register
	0x42d2	PDIOEN	Pd Port Enable Register
	0x42d4	PDRCTL	Pd Port Pull-up/down Control Register
0x42dc	PDMODESEL	Pd Port Mode Select Register	
0x42de	PDFNCSEL	Pd Port Function Select Register	
0x42e0	PCLK	P Port Clock Control Register	
0x42e2	PINTFGRP	P Port Interrupt Flag Group Register	
UART(UART)	0x4380	UA0CLK	UART Ch.0 Clock Control Register
	0x4382	UA0MOD	UART Ch.0 Mode Register
	0x4384	UA0BR	UART Ch.0 Baud-Rate Register
	0x4386	UA0CTL	UART Ch.0 Control Register
	0x4388	UA0TXD	UART Ch.0 Transmit Data Register
	0x438a	UA0RXD	UART Ch.0 Receive Data Register
	0x438c	UA0INTF	UART Ch.0 Status and Interrupt Flag Register
	0x438e	UA0INTE	UART Ch.0 Interrupt Enable Register
16ビットタイマ(T16) Ch.1	0x43a0	T16_1CLK	T16 Ch.1 Clock Control Register
	0x43a2	T16_1MOD	T16 Ch.1 Mode Register
	0x43a4	T16_1CTL	T16 Ch.1 Control Register
	0x43a6	T16_1TR	T16 Ch.1 Reload Data Register

4 メモリ、バス

周辺回路	アドレス	レジスタ名	
16ビットタイマ(T16) Ch.1	0x43a8	T16_1TC	T16 Ch.1 Counter Data Register
	0x43aa	T16_1INTF	T16 Ch.1 Interrupt Flag Register
	0x43ac	T16_1INTE	T16 Ch.1 Interrupt Enable Register
同期式シリアルインタフェース (SPIA) Ch.0	0x43b0	SPI0MOD	SPIA Ch.0 Mode Register
	0x43b2	SPI0CTL	SPIA Ch.0 Control Register
	0x43b4	SPI0TXD	SPIA Ch.0 Transmit Data Register
	0x43b6	SPI0RXD	SPIA Ch.0 Receive Data Register
	0x43b8	SPI0INTF	SPIA Ch.0 Interrupt Flag Register
	0x43ba	SPI0INTE	SPIA Ch.0 Interrupt Enable Register
I ² C(I2C)	0x43c0	I2C0CLK	I2C Ch.0 Clock Control Register
	0x43c2	I2C0MOD	I2C Ch.0 Mode Register
	0x43c4	I2C0BR	I2C Ch.0 Baud-Rate Register
	0x43c8	I2C0OADR	I2C Ch.0 Own Address Register
	0x43ca	I2C0CTL	I2C Ch.0 Control Register
	0x43cc	I2C0TXD	I2C Ch.0 Transmit Data Register
	0x43ce	I2C0RXD	I2C Ch.0 Receive Data Register
	0x43d0	I2C0INTF	I2C Ch.0 Status and Interrupt Flag Register
	0x43d2	I2C0INTE	I2C Ch.0 Interrupt Enable Register
	16ビットタイマ(T16) Ch.2	0x5100	T16_2CLK
0x5102		T16_2MOD	T16 Ch.2 Mode Register
0x5104		T16_2CTL	T16 Ch.2 Control Register
0x5106		T16_2TR	T16 Ch.2 Reload Data Register
0x5108		T16_2TC	T16 Ch.2 Counter Data Register
0x510a		T16_2INTF	T16 Ch.2 Interrupt Flag Register
0x510c		T16_2INTE	T16 Ch.2 Interrupt Enable Register
16ビットタイマ(T16) Ch.3	0x5120	T16_3CLK	T16 Ch.3 Clock Control Register
	0x5122	T16_3MOD	T16 Ch.3 Mode Register
	0x5124	T16_3CTL	T16 Ch.3 Control Register
	0x5126	T16_3TR	T16 Ch.3 Reload Data Register
	0x5128	T16_3TC	T16 Ch.3 Counter Data Register
	0x512a	T16_3INTF	T16 Ch.3 Interrupt Flag Register
	0x512c	T16_3INTE	T16 Ch.3 Interrupt Enable Register
16ビットタイマ(T16) Ch.4	0x5260	T16_4CLK	T16 Ch.4 Clock Control Register
	0x5262	T16_4MOD	T16 Ch.4 Mode Register
	0x5264	T16_4CTL	T16 Ch.4 Control Register
	0x5266	T16_4TR	T16 Ch.4 Reload Data Register
	0x5268	T16_4TC	T16 Ch.4 Counter Data Register
	0x526a	T16_4INTF	T16 Ch.4 Interrupt Flag Register
	0x526c	T16_4INTE	T16 Ch.4 Interrupt Enable Register
同期式シリアルインタフェース (SPIA) Ch.1	0x5270	SPI1MOD	SPIA Ch.1 Mode Register
	0x5272	SPI1CTL	SPIA Ch.1 Control Register
	0x5274	SPI1TXD	SPIA Ch.1 Transmit Data Register
	0x5276	SPI1RXD	SPIA Ch.1 Receive Data Register
	0x5278	SPI1INTF	SPIA Ch.1 Interrupt Flag Register
	0x527a	SPI1INTE	SPIA Ch.1 Interrupt Enable Register
LCDドライバ(LCD8A)	0x5400	LCD8CLK	LCD8A Clock Control Register
	0x5402	LCD8CTL	LCD8A Control Register
	0x5404	LCD8TIM	LCD8A Timing Control Register
	0x5406	LCD8PWR	LCD8A Power Control Register
	0x5408	LCD8DSP	LCD8A Display Control Register
	0x540a	LCD8INTF	LCD8A Interrupt Flag Register
	0x540c	LCD8INTE	LCD8A Interrupt Enable Register
	R/F変換器(RFC)	0x5440	RFC0CLK
0x5442		RFC0CTL	RFC Ch.0 Control Register
0x5444		RFC0TRG	RFC Ch.0 Oscillation Trigger Register
0x5446		RFC0MCL	RFC Ch.0 Measurement Counter Low Register
0x5448		RFC0MCH	RFC Ch.0 Measurement Counter High Register
0x544a		RFC0TCL	RFC Ch.0 Time Base Counter Low Register
0x544c		RFC0TCH	RFC Ch.0 Time Base Counter High Register
0x544e		RFC0INTF	RFC Ch.0 Interrupt Flag Register

周辺回路	アドレス	レジスタ名	
R/F変換器(RFC)	0x5450	RFCOINTE	RFC Ch.0 Interrupt Enable Register
MRセンサコントローラ(AMRC)	0x5480	AMRCCLK	AMRC Clock Control Register
	0x5482	AMRCACCTL	AMRC AFE Control Register
	0x5484	AMRCVPLS	AMRC Pulse Control Register
	0x5486	AMRCCTL	AMRC Control Register
	0x5488	AMRCNMLCNT	AMRC Normal Rotation Counter Register
	0x548a	AMRCREVSTPCNT	AMRC Reverse/Stop Counter Register
	0x548c	AMRCECNT0	AMRC Event Counter Ch.0 Register
	0x548e	AMRCECNT1	AMRC Event Counter Ch.1 Register
	0x5490	AMRCECNT2	AMRC Event Counter Ch.2 Register
	0x5492	AMRCUCMP	AMRC Unit Counter Compare Setting Register
	0x5494	AMRCUCNT	AMRC Unit Counter Register
	0x549a	AMRCSTAT	AMRC Status Register
	0x549c	AMRCINTF	AMRC Interrupt Flag Register
	0x549e	AMRCINTE	AMRC Interrupt Enable Register

4.6.1 システムプロテクト機能

システムプロテクトは、制御レジスタやビットを書き込み保護する機能です。MSCPROT.PROT[15:0]ビットに0x0096を書き込んで書き込み保護を解除しない限り、書き換えることができません。この機能は、CPU暴走時に、システム関係のレジスタを書き換えてしまうことによるデッドロックを防ぐために設けられています。書き込み保護されているレジスタやビットについては、周辺回路の“制御レジスタ”で確認してください。

注: MSCPROT.PROT[15:0]ビットで書き込み保護を解除すると、再度、書き込み保護を設定するまで、解除された状態に維持されます。必要なレジスタ/ビットの書き換えを終了後は、書き込み保護に再設定してください。

4.7 制御レジスタ

MISC System Protect Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MSCPROT	15-0	PROT[15:0]	0x0000	H0	R/W	-

Bits 15-0 PROT[15:0]

これらのビットは、システム関連の制御レジスタを書き込み保護します。

0x0096 (R/W): システムプロテクト無効

0x0096以外 (R/W): システムプロテクト有効

システムプロテクト状態では、書き込み保護対応のビット(R/W欄にWPまたはR/WPが記載されているビット)には書き込みできません。

MISC IRAM Size Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MSCIRAMSZ	15-9	-	0x00	-	R	-
	8	(reserved)	0	H0	R/WP	Always set to 0.
	7	-	0	-	R	
	6-4	(reserved)	0x3	-	R	
	3	-	0	-	R	
	2-0	IRAMSZ[2:0]	0x3	H0	R/WP	

Bits 15-3 Reserved

Bits 2-0 IRAMSZ[2:0]

これらのビットは、使用できる内蔵RAMのサイズを設定します。

表4.7.1 内蔵RAMサイズの選択

MSCIRAMSZ.IRAMSZ[2:0]ビット	内蔵RAMのサイズ
0x7	Reserved
0x6	(16KB)*
0x5	(12KB)*
0x4	(8KB)*
0x3	4KB
0x2	2KB
0x1	1KB
0x0	512B

* 本ICでは設定禁止

FLASHC Flash Read Cycle Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
FLASHCWAIT	15-8	-	0x00	-	R	-
	7	XBUSY	0	H0	R	
	6-2	-	0x00	-	R	
	1-0	RDWAIT[1:0]	0x0	H0	R/WP	

Bits 15-8 Reserved

Bit 7 XBUSY

このビットは、Flashメモリへのアクセスが可能か否かを示します。

1 (R): Flashアクセス可能

0 (R): Flashアクセス禁止

通常動作時は、常にアクセス可能です。

Bits 6-2 Reserved

Bits 1-0 RDWAIT[1:0]

これらのビットは、Flashメモリリード時のバスアクセスサイクル数を設定します。

表4.7.2 Flashリード時バスアクセスサイクル数の設定

FLASHCWAIT.RDWAIT[1:0]ビット	バスアクセスサイクル数	システムクロック周波数
0x3	4	16.3 MHz (max.)
0x2	3	16.3 MHz (max.)
0x1	2	16.3 MHz (max.)
0x0	1	8.2 MHz (max.)

注: FLASHCWAIT.RDWAIT[1:0]ビットの設定は、システムクロックを変更する前に行ってください。

5 割り込みコントローラ(ITC)

5.1 概要

ITCの主な機能と特長を以下に示します。

- 周辺回路からの割り込み要求を受け付け、CPUへ割り込み要求、割り込みレベル、ベクタ番号を出力
- 割り込みソースごとに8段階の割り込みレベルを設定可能
- 複数の割り込みが同時に発生した場合、割り込みレベルにより優先順位を決定
- 割り込みレベルが同レベルであれば、ベクタ番号の小さい割り込みを優先

図5.1.1にITCの構成を示します。

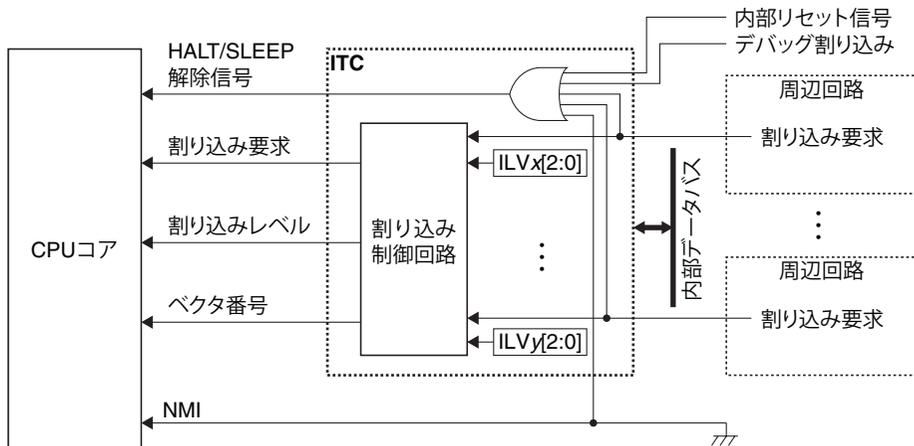


図5.1.1 ITCの構成

5.2 ベクタテーブル

ベクタテーブルは、割り込みハンドルーチンへのベクタ(ハンドルーチン開始アドレス)を格納します。割り込みが発生すると、CPUは割り込みに対応するベクタを読み出して、そのハンドルーチンを実行します。表5.2.1にベクタテーブルを示します。

表5.2.1 ベクタテーブル

TTBR初期値 = 0x8000

ベクタ番号/ソフトウェア割り込み番号	ベクタアドレス	ハードウェア割り込み名	ハードウェア割り込み要因	優先順位
0 (0x00)	TTBR + 0x00	リセット	<ul style="list-style-type: none"> • #RESET端子へのLow入力 • ウォッチドッグタイマオーバーフロー • 電源電圧検出回路リセット 	1
1 (0x01)	TTBR + 0x04	アドレス不整合割り込み	メモリアクセス命令	2
-	(0xffc00)	デバッグ割り込み	brk命令等	3
2 (0x02)	TTBR + 0x08	NMI	-	4
3 (0x03)	TTBR + 0x0c	Cコンパイラ予約	-	-

5 割り込みコントローラ(ITC)

ベクタ番号/ソフトウェア割り込み番号	ベクタアドレス	ハードウェア割り込み名	ハードウェア割り込みフラグ	優先順位
4 (0x04)	TTBR + 0x10	電源電圧検出回路割り込み	電源電圧低下検出	高い*1 ↑
5 (0x05)	TTBR + 0x14	ポート割り込み	ポート入力	
6 (0x06)	TTBR + 0x18	クロックジェネレータ割り込み	<ul style="list-style-type: none"> • IOSC発振安定待ち完了 • OSC1発振安定待ち完了 • OSC1発振停止 • IOSC発振オートトリミング終了 	
7 (0x07)	TTBR + 0x1c	リアルタイムクロック割り込み	<ul style="list-style-type: none"> • 1日、1時間、1分、1秒 • 1/32秒、1/8秒、1/4秒、1/2秒信号 • ストップウォッチ1 Hz、10 Hz、100 Hz • アラーム • 論理緩急終了 	
8 (0x08)	TTBR + 0x20	16ビットタイマCh.0割り込み	アンダーフロー	
9 (0x09)	TTBR + 0x24	UART割り込み	<ul style="list-style-type: none"> • 送信完了 • フレーミングエラー • パリティエラー • オーバーランエラー • 受信バッファ2バイトフル • 受信バッファ1バイトフル • 送信バッファエンブティ 	
10 (0x0a)	TTBR + 0x28	16ビットタイマCh.1割り込み	アンダーフロー	
11 (0x0b)	TTBR + 0x2c	同期式シリアルインタフェースCh.0割り込み	<ul style="list-style-type: none"> • 送信完了 • 受信バッファフル • 送信バッファエンブティ • オーバーランエラー 	
12 (0x0c)	TTBR + 0x30	I ² C割り込み	<ul style="list-style-type: none"> • 送受信完了 • ジェネラルコールアドレス受信 • NACK受信 • ストップコンディション • スタートコンディション • エラー検出 • 受信バッファフル • 送信バッファエンブティ 	
13 (0x0d)	TTBR + 0x34	16ビットタイマCh.2割り込み	アンダーフロー	
14 (0x0e)	TTBR + 0x38	16ビットタイマCh.3割り込み	アンダーフロー	
15 (0x0f)	TTBR + 0x3c	16ビットタイマCh.4割り込み	アンダーフロー	
16 (0x10)	TTBR + 0x40	同期式シリアルインタフェースCh.1割り込み	<ul style="list-style-type: none"> • 送信完了 • 受信バッファフル • 送信バッファエンブティ • オーバーランエラー 	
17 (0x11)	TTBR + 0x44	LCDドライバ割り込み	フレーム	
18 (0x12)	TTBR + 0x48	R/F変換器割り込み	<ul style="list-style-type: none"> • 基準発振完了 • センサA発振完了 • センサB発振完了 • 計測カウンタオーバーフローエラー • タイムベースカウンタオーバーフローエラー 	
19 (0x13)	TTBR + 0x4c	MRセンサコントローラ割り込み	<ul style="list-style-type: none"> • 単位カウンタコンペアマッチ • イベントカウンタCh.0/1/2アンダーフロー • コンパレータCh.0/1変化 • フェーズ抜け • 静止 • 逆転 • 正転 	
20 (0x14)	TTBR + 0x50	reserved	-	↓ 低い*1
:	:	:	:	
31 (0x1f)	TTBR + 0x7c	reserved	-	

*1 同一の割り込みレベルが設定されている場合

5.2.1 ベクタテーブルベースアドレス(TTBR)

割り込みベクタを書き込んでおくベクタテーブルのベース(先頭)アドレスは、MSCTTBRLレジスタとMSCTTBRHレジスタによって設定することができます。表5.2.1の“TTBR”はこれらのレジスタに設定された値を意味します。イニシャルリセット後、MSCTTBRL/MSCTTBRHレジスタは0x8000番地に設定されます。したがって、ベクタテーブルの位置を変更する場合でも、リセットベクタは上記のアドレスに書き込んでおくことが必要です。MSCTTBRLレジスタのビット7~0は0に固定されます。このため、ベクタテーブルは常に256バイト境界アドレスから始まります。

5.3 初期設定

割り込みに関する初期設定手順の例を以下に示します。

1. di命令を実行し、CPUを割り込みディスエーブルに設定する。
2. ベクタテーブルをデフォルトアドレス以外に配置している場合は、MSCPROT.PROT[15:0]ビットに0x0096を書き込んでシステムプロテクトを解除した後に、MSCTTBRL/MSCTTBRLHレジスタにそのアドレスを設定する。その後、MSCPROT.PORT[15:0]ビットに0x0096以外の値を書き込んで、システムプロテクトを設定する。
3. 周辺回路の割り込みイネーブルビットを0(割り込みディスエーブル)に設定する。
4. ITCのITCLVx.ILVx[2:0]ビットで周辺回路の割り込みレベルを設定する。
5. 周辺回路を設定し、動作を開始させる。
6. 周辺回路の割り込みフラグをクリアする。
7. 周辺回路の割り込みイネーブルビットを1(割り込みイネーブル)に設定する。
8. ei命令を実行し、CPUを割り込みイネーブルに設定する。

5.4 マスク可能割り込みの制御と動作

5.4.1 周辺回路の割り込み制御

割り込みを発生する周辺回路には、割り込み要因ごとに割り込みイネーブルビットと割り込みフラグが設けられています。

割り込みフラグ: 割り込み要因の発生により1にセットされます。クリア条件は、周辺回路によって異なります。

割り込みイネーブルビット: このビットを1(割り込みイネーブル)に設定しておく、と、割り込みフラグが1になった時点でITCに割り込み要求が送信されます。0(割り込みディスエーブル)に設定しておく、と、割り込みフラグが1になってもITCに割り込み要求は送信されません。割り込みフラグが1の状態、割り込みイネーブルに変更するとその時点でITCに割り込み要求が送信されます。

割り込み要因、割り込みフラグ、割り込みイネーブルビットの詳細については、各周辺回路の説明を参照してください。

注: 不要な割り込みの発生を防ぐため、割り込みイネーブルビットを1(割り込みイネーブル)に設定する前、および割り込みハンドルーチンを終了する前に、対応する割り込みフラグをクリアしてください。

5.4.2 ITCの割り込み要求処理

周辺回路からの割り込み信号を受け付けると、ITCは割り込み要求、割り込みレベルおよびベクタ番号をCPUに送ります。ベクタ番号は表5.2.1に示したとおり、ITC内のハードウェアにより割り込み要因ごとに決められています。割り込みレベルは割り込みの優先順位を決める値で、割り込みごとに設けられているITCLVx.ILVx[2:0]ビットで0(低)~7(高)に設定できます。ITCのデフォルト設定では、すべてのマスク可能割り込みがレベル0になります。割り込みレベルが0の場合、CPUはその割り込み要求を受け付けません。

ITCでは、複数の周辺回路から同時に割り込み要求が入力された場合、以下の条件に従い、最も優先順位の高い割り込み要求をCPUに出力します。

- 割り込みレベルが最も高く設定されている割り込みを優先
- 同一の割り込みレベルが設定されている複数の割り込み要求が入力された場合は、ベクタ番号の小さい割り込みを優先

同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてCPUに受け付けられるまで保留されます。

5 割り込みコントローラ(ITC)

ITCが割り込み要求信号をCPUに出力中(CPUに受け付けられる前に)、より高い優先順位を持つ割り込み要求が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

保留状態の割り込み要求を出力した周辺回路内の割り込みフラグがソフトウェアでクリアされた場合、その割り込みは発生しません。

注: 割り込みレベルの変更は、変更する割り込みが発生しない状態(周辺回路の割り込みイネーブルビットが0に設定されている、または周辺回路が停止している状態)で行ってください。

5.4.3 CPUの割り込み要求受領条件

CPUは以下のすべての条件が成立している場合に、ITCからの割り込み要求を受け付けます。

- PSRのIE(割り込みイネーブル)ビットが1にセットされている。
- 発生した割り込み要求が、PSRのIL[2:0](割り込みレベル)ビットに設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要求が発生していない。

5.5 NMI

本ICでは、NMI(ノンマスクابل割り込み)を発生させることはできません。

5.6 ソフトウェア割り込み

CPUの“*int imm5*”または“*intl imm5, imm3*”命令を使用することによって、ソフトウェアで任意の割り込みを発生させることができます。オペランドの即値*imm5*でベクタテーブルのベクタ番号(0~31)を指定します。*intl*命令では、*imm3*でPSRのIL[2:0]ビットに設定する割り込みレベル(0~7)を指定することもできます。ソフトウェア割り込みをディスエーブルにすることはできません(ノンマスクابل割り込み)。プロセッサの割り込み処理の動作は、ハードウェアによる割り込みと同様です。

5.7 CPUによる割り込み処理

CPUは毎サイクル、割り込み要求のサンプリングを行っており、各種の割り込み要求を受け付けるとその時点で実行中の命令を終了後、割り込み処理に移行します。

CPUの割り込み処理で実行される内容は以下のとおりです。

1. PSRおよび現在のプログラムカウンタ(PC)値をスタックに退避
2. PSRのIEビットを0にクリア(以降のマスク可能な割り込みを禁止)
3. PSRのIL[2:0]ビットを受け付けた割り込みのレベルにセット(NMIは割り込みレベルを変更しない)
4. 発生した割り込みのベクタをPCにロードして割り込みハンドルーチンを実行

したがって、CPUが割り込みを受け付けると、ステップ2によって以降のマスク可能な割り込みは禁止されます。割り込みハンドルーチン内でIEビットを1にセットすることで、多重割り込みにも対応できます。その場合、ステップ3によってIL[2:0]ビットが変更されていますので、現在処理中の割り込みより高いレベルの割り込みのみが受け付けられます。割り込み処理ルーチンを*reti*命令で終了すると、PSRが割り込み発生前の状態に戻ります。プログラムは割り込み発生時に実行していた命令の次の命令に分岐して処理を再開します。

注: HALTまたはSLEEPモード解除時は、1命令を実行してから割り込みハンドルーチンにジャンプします。ウェイクアップ直後に割り込みハンドルーチンを実行させるには、*halt/slp*命令の後に*nop*命令を置いてください。

5.8 制御レジスタ

MISC Vector Table Address Low Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MSCTTBRL	15-8	TTBR[15:8]	0x80	H0	R/WP	-
	7-0	TTBR[7:0]	0x00	H0	R	

Bits 15-0 TTBR[15:0]

これらのビットは、ベクタテーブルベースアドレス(下位16ビット)を設定します。

MISC Vector Table Address High Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
MSCTTBRH	15-8	-	0x00	-	R	-
	7-0	TTBR[23:16]	0x00	H0	R/WP	

Bits 15-8 Reserved

Bits 7-0 TTBR[23:16]

これらのビットは、ベクタテーブルベースアドレス(上位8ビット)を設定します。

ITC Interrupt Level Setup Register x

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
ITCLVx	15-11	-	0x00	-	R	-
	10-8	ILVy ₁ [2:0]	0x0	H0	R/W	
	7-3	-	0x00	-	R	
	2-0	ILVy ₀ [2:0]	0x0	H0	R/W	

Bits 15-11 Reserved

Bits 7-3 Reserved

Bits 10-8 ILVy₁[2:0] ($y_1 = 2x + 1$)

Bits 2-0 ILVy₀[2:0] ($y_0 = 2x$)

これらのビットは、各割り込みの割り込みレベルを設定します。

表5.8.1 割り込みレベルと優先度の設定

ITCLVx.ILVy[2:0]ビット	割り込みレベル	優先度
0x7	7	高
0x6	6	↑
...	...	
0x1	1	↓
0x0	0	低

以下、本ICに搭載しているITCLVxレジスタの構成を示します。

表5.8.2 ITCLVxレジスタ一覧

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
ITCLV0 (ITC Interrupt Level Setup Register 0)	15-11	-	0x00	-	R	-
	10-8	ILV1[2:0]	0x0	H0	R/W	Port interrupt (ILVPPORT)
	7-3	-	0x00	-	R	-
	2-0	ILV0[2:0]	0x0	H0	R/W	Supply voltage detector interrupt (ILVSVD)
ITCLV1 (ITC Interrupt Level Setup Register 1)	15-11	-	0x00	-	R	-
	10-8	ILV3[2:0]	0x0	H0	R/W	Real-time clock interrupt (ILVRTCA_0)
	7-3	-	0x00	-	R	-
	2-0	ILV2[2:0]	0x0	H0	R/W	Clock generator interrupt (ILVCLG)
ITCLV2 (ITC Interrupt Level Setup Register 2)	15-11	-	0x00	-	R	-
	10-8	ILV5[2:0]	0x0	H0	R/W	UART interrupt (ILVUART_0)
	7-3	-	0x00	-	R	-
	2-0	ILV4[2:0]	0x0	H0	R/W	16-bit timer Ch.0 interrupt (ILVT16_0)

5 割り込みコントローラ(ITC)

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
ITCLV3 (ITC Interrupt Level Setup Register 3)	15-11	–	0x00	–	R	–
	10-8	ILV7[2:0]	0x0	H0	R/W	Synchronous serial interface Ch.0 interrupt (ILVSPIA_0)
	7-3	–	0x00	–	R	–
	2-0	ILV6[2:0]	0x0	H0	R/W	16-bit timer Ch.1 interrupt (ILVT16_1)
ITCLV4 (ITC Interrupt Level Setup Register 4)	15-11	–	0x00	–	R	–
	10-8	ILV9[2:0]	0x0	H0	R/W	16-bit timer Ch.2 interrupt (ILVT16_2)
	7-3	–	0x00	–	R	–
	2-0	ILV8[2:0]	0x0	H0	R/W	I ² C interrupt (ILVI2C_0)
ITCLV5 (ITC Interrupt Level Setup Register 5)	15-11	–	0x00	–	R	–
	10-8	ILV11[2:0]	0x0	H0	R/W	16-bit timer Ch.4 interrupt (ILVT16_4)
	7-3	–	0x00	–	R	–
	2-0	ILV10[2:0]	0x0	H0	R/W	16-bit timer Ch.3 interrupt (ILVT16_3)
ITCLV6 (ITC Interrupt Level Setup Register 6)	15-11	–	0x00	–	R	–
	10-8	ILV13[2:0]	0x0	H0	R/W	LCD driver interrupt (ILVLCD8A)
	7-3	–	0x00	–	R	–
	2-0	ILV12[2:0]	0x0	H0	R/W	Synchronous serial interface Ch.1 interrupt (ILVSPIA_1)
ITCLV7 (ITC Interrupt Level Setup Register 7)	15-11	–	0x00	–	R	–
	10-8	ILV15[2:0]	0x0	H0	R/W	MR sensor controller interrupt (ILVAMRC)
	7-3	–	0x00	–	R	–
	2-0	ILV14[2:0]	0x0	H0	R/W	R/F converter interrupt (ILVRFC_0)

6 入出力ポート (PPORT)

6.1 概要

PPORTは入出力ポートを制御する回路です。主な機能と特長を以下に示します。

- 各ポートの機能を個々に設定可能
 - プルアップまたはプルダウン抵抗の有無をポートごとに設定可能
 - チャタリングフィルタの有無をポートごとに設定可能
 - 端子に割り付ける機能(汎用入出力ポート(GPIO)機能、最大4種類の周辺回路用入出力機能)をポートごとに選択可能
- デバッグ端子兼用ポート以外のイニシャル状態はHi-Z
(この状態では、フローティングであっても端子に電流は流れません。)
- V_{DD}以上の電圧印加時にも不要な電流を流さずに信号のインタフェースが可能な、トレラント・フェイルセーフに対応

注: ポート名P_{xy}、レジスタ名、ビット名のxはポートグループ(x = 0, 1, 2, ..., d)を、yはポート番号(y = 0, 1, 2, ..., 7)を表します。

図6.1.1にPPORTの構成を示します。

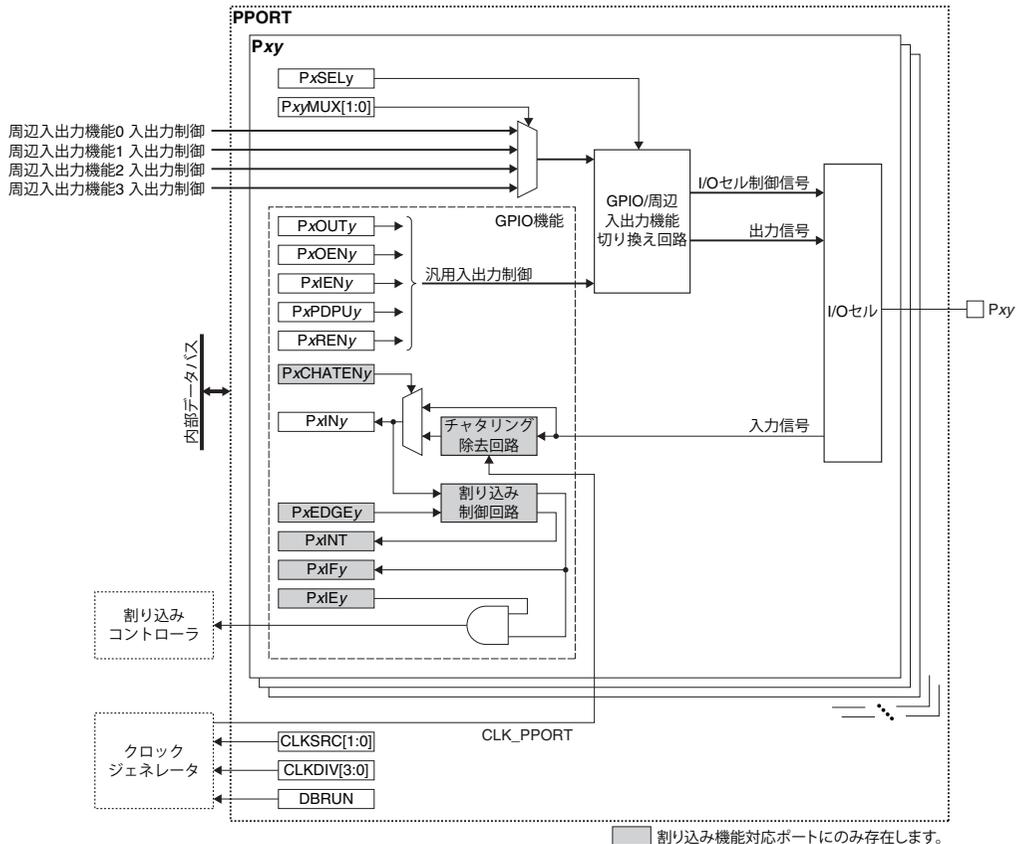
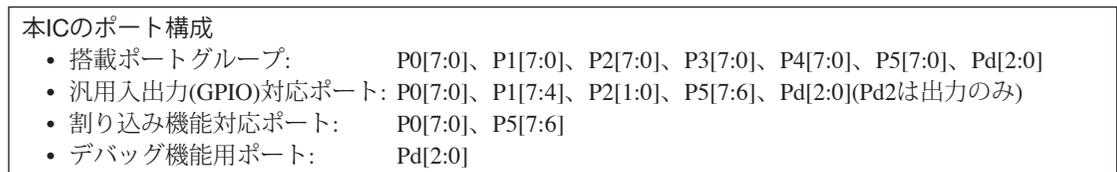


図6.1.1 PPORTの構成

6.2 I/Oセルの構造と機能

I/Oセルの構成を図6.2.1に示します。

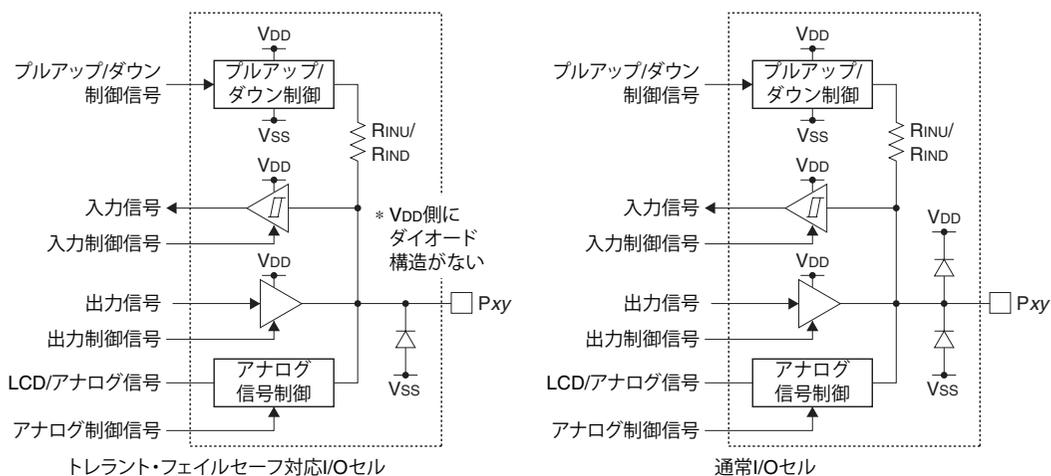


図6.2.1 I/Oセルの構成

各ポートがトレラント・フェイルセーフ対応I/Oセルと通常のI/Oセルのどちらを搭載しているかについては、“概要”の章の“端子説明”を参照してください。

6.2.1 シュミット入力

すべての入力機能は、シュミットインタフェースレベルで設定されています。入力ディスエーブル(PxIOEN.PxIENyビット = 0)に設定されているときは、Pxy端子がフローティング状態でも、不要な電流は流れません。

6.2.2 トレラント・フェイルセーフ

トレラント・フェイルセーフ対応I/Oセルは、ポートにVDD以上の電圧が印加された場合でも、不要な電流が流れることなくインタフェースを可能とします。また、VDDが供給されていない状態で、外部バイアスがかかっても、不要な電流は流れません。ただし、推奨最大動作電源電圧を超える電圧を印加することはできません。

6.2.3 プルアップ/プルダウン

GPIOにはプルアップ/プルダウン機能があります。制御レジスタによって、ポートごとにプルアップまたはプルダウンが選択可能です。また、プルアップ/プルダウンが不要なポートについては、この機能を無効にすることができます。

I/Oセルに内蔵されているプルアップ抵抗によってポートのレベルをLOWからHIGHに変化させる場合、またはプルダウン抵抗によってHIGHからLOWに変化させる場合、プルアップ/プルダウン抵抗と端子の負荷容量の時定数によって、波形の立ち上がり/立ち下がりに遅延が生じます。この立ち上がり/立ち下がり時間は、一般的に以下の式で表されます。

$$t_{PR} = -R_{INU} \times (C_{IN} + C_{BOARD}) \times \ln(1 - V_{T+}/V_{DD}) \quad (式6.1)$$

$$t_{PF} = -R_{IND} \times (C_{IN} + C_{BOARD}) \times \ln(1 - V_{T-}/V_{DD})$$

ここで

t_{PR}: 立ち上がり時間(ポートレベル LOW → HIGH) [秒]

t_{PF}: 立ち下がり時間(ポートレベル HIGH → LOW) [秒]

V_{T+}: 高レベルシュミット入力スレシヨルド電圧 [V]

V_{T-}: 低レベルシュミット入力スレシヨルド電圧 [V]

R_{INU}/R_{IND}: プルアップ/プルダウン抵抗値 [Ω]

C_{IN}: 端子容量 [F]

C_{BOARD}: 基板の寄生容量 [F]

6.2.4 CMOS出力とハイインピーダンス状態

アナログ出力用以外のI/Oセルは、V_{DD}またはV_{SS}レベルを出力可能です。また、GPIOはハイインピーダンス(Hi-Z)状態を設定可能です。

6.3 クロック設定

6.3.1 PPORTの動作クロック

PPORTの外部入力信号に対してチャタリング除去機能を使用する場合、クロックジェネレータからPPORT動作クロックCLK_PPORTをPPORTに供給する必要があります。

CLK_PPORTの供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
2. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。(システムプロテクトを解除)
3. PCLKレジスタの以下のビットを設定する。
 - PCLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - PCLK.CLKDIV[3:0]ビット (クロック分周比の選択 = クロック周波数の設定)
4. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)

3の設定により、チャタリング除去機能の入力検定時間が決定します。

6.3.2 SLEEPモード時のクロック供給

SLEEPモード時にチャタリング除去機能を使用する場合は、PPORT動作クロックCLK_PPORTのクロックソースに対応したCLGOSC.xxxxSLPCビットに0を書き込み、CLK_PPORTを供給し続ける必要があります。

SLEEPモード時に、CLK_PPORTのクロックソースに対応したCLGOSC.xxxxSLPCビットが1の場合は、CLK_PPORTのクロックソースが停止し、PxCHATEN.PxCHATENyビット(チャタリング除去機能 有効/無効の設定にかかわらず、チャタリング除去機能が無効になります)。

6.3.3 DEBUGモード時のクロック供給

DEBUGモード時のCLK_PPORTの供給はPCLK.DBRUNビットで制御します。

PCLK.DBRUNビット = 0の場合、DEBUGモードに移行するとPPORTへのCLK_PPORTの供給が停止します。その後通常モードに戻ると、CLK_PPORTの供給が再開します。CLK_PPORTの供給が停止するとPPORT内のチャタリング除去回路の動作は停止します。GPIOポートでチャタリング除去機能を使用している場合、入力ポート機能は動作しなくなります。ただし、制御レジスタへの書き込みは可能です。PCLK.DBRUNビット = 1の場合、DEBUGモード時もCLK_PPORTの供給は停止せず、チャタリング除去回路は動作を継続します。

6.4 動作

6.4.1 初期設定

デバッグ機能用以外のポートは、リセット後に下記の状態になります。

- ポート入力: ディスエーブル
- ポート出力: ディスエーブル
- プルアップ: OFF
- プルダウン: OFF
- ポート端子: ハイインピーダンス状態
- ポート機能: GPIO機能を選択

6 入出力ポート(PPORT)

この状態はソフトウェアでポートの設定が行われるまで続きます。
デバッグ機能用ポートはデバッグ信号の入出力用に設定されます。

周辺入出力機能を使用する場合の初期設定

Px_{xy}ポートを周辺入出力機能に使用する場合は、ソフトウェアで以下の初期設定を行います。

1. PxIOENレジスタの以下のビットを設定する。
 - PxIOEN.PxIEN_yビットを0に設定 (入力ディスエーブル)
 - PxIOEN.PxOEN_yビットを0に設定 (出力ディスエーブル)
2. PxMODSEL.PxSEL_yビットを0に設定する。(周辺入出力機能ディスエーブル)
3. 端子を使用する周辺回路を初期化する。
4. PxFNCSEL.PxMUX[1:0]ビットを設定する。(周辺入出力機能を選択)
5. PxMODSEL.PxSEL_yビットを1に設定する。(周辺入出力機能イネーブル)

本ICの各ポートに割り付け可能な周辺入出力機能の一覧は、“本ICの制御レジスタ/ポート機能の構成”を参照してください。また、周辺入出力機能の詳細については該当する周辺回路の章を参照してください。

汎用出力ポートとして使用する場合の初期設定(GPIO対応ポートのみ)

Px_{xy}ポート端子を汎用出力端子として使用する場合は、ソフトウェアで以下の初期設定を行います。

1. PxIOEN.PxOEN_yビットを1に設定する。(出力イネーブル)
2. PxMODSEL.PxSEL_yビットを0に設定する。(GPIO機能イネーブル)

汎用入力ポートとして使用する場合の初期設定(GPIO対応ポートのみ)

Px_{xy}ポート端子を汎用入力端子として使用する場合は、ソフトウェアで以下の初期設定を行います。

1. PxINTCTL.PxIE_yビットに0を書き込む。* (割り込みディスエーブル)
2. チャタリング除去機能を使用する場合は、PPORT動作クロックを設定し(“PPORTの動作クロック”参照)、PxCHATEN.PxCHATEN_yビットを1に設定する。*
チャタリング除去機能を使用しない場合は、PxCHATEN.PxCHATEN_yビットを0に設定する(PPORT動作クロックの供給は不要)。
3. ポートを内蔵プルアップまたはプルダウン抵抗でプルアップ/ダウンする場合は、PxRCTLレジスタの以下のビットを設定する。
 - PxRCTL.PxPDU_yビット (プルアップ抵抗またはプルダウン抵抗の選択)
 - PxRCTL.PxREN_yビットを1に設定 (プルアップ/プルダウンイネーブル)内蔵プルアップ/プルダウン抵抗を使用しない場合は、PxRCTL.PxREN_yビットを0に設定する。
4. PxMODSEL.PxSEL_yビットを0に設定する。(GPIO機能をイネーブル)
5. ポート入力割り込みを使用する場合は以下のビットを設定する。*
 - PxINTF.PxIF_yビットに1を書き込み (割り込みフラグをクリア)
 - PxINTCTL.PxEDGE_yビット (割り込みエッジ(入力立ち下がり/立ち上がり)の選択)
 - PxINTCTL.PxIE_yビットを1に設定 (割り込みイネーブル)
6. PxIOENレジスタの以下のビットを設定する。
 - PxIOEN.PxOEN_yビットを0に設定 (出力ディスエーブル)
 - PxIOEN.PxIEN_yビットを1に設定 (入力イネーブル)

* 1と5は割り込み機能対応ポート、2はチャタリング除去機能対応ポートにのみ必要な操作

データ入出力制御とプルアップ/プルダウン制御の組み合わせによるポートの状態を表6.4.1.1に示します。

表6.4.1.1 GPIOポートの制御

PxIOEN. PxIENyビット	PxIOEN. PxOENyビット	PxRCTL. PxRENyビット	PxRCTL. PxPDUyビット	入力	出力	プルアップ/ダウン の状態
0	0	0	x	ディスエーブル		OFF(Hi-Z) *1
0	0	1	0	ディスエーブル		プルダウン
0	0	1	1	ディスエーブル		プルアップ
1	0	0	x	イネーブル	ディスエーブル	OFF(Hi-Z) *2
1	0	1	0	イネーブル	ディスエーブル	プルダウン
1	0	1	1	イネーブル	ディスエーブル	プルアップ
0	1	0	x	ディスエーブル	イネーブル	OFF
0	1	1	0	ディスエーブル	イネーブル	OFF
0	1	1	1	ディスエーブル	イネーブル	OFF
1	1	1	0	イネーブル	イネーブル	OFF
1	1	1	1	イネーブル	イネーブル	OFF

*1: イニシャル状態。フローティングであっても端子に電流は流れません。

*2: ポート入力がフローティングになると不要な電流が流れるため、プルアップまたはプルダウン機能を使用することを推奨します。

注: GPIO機能を持っていないポートのPxMODESEL.PxSELyビットを0に設定した場合、ポートはイニシャル状態(“初期設定”参照)となり、GPIO用の制御ビットはすべて、常に0が読み出されるリードオンリビットになります。

6.4.2 ポートの入出力制御

周辺入出力機能の制御

周辺入出力機能を選択したポートの制御は、すべて周辺回路が行います。詳細は、各周辺回路の章を参照してください。

GPIOポート出力データの設定

Pxy端子から出力するデータ(1 = HIGH出力、0 = LOW出力)をPxDAT.PxOUTyビットに書き込みます。

GPIOポート入力データの読み出し

Pxy端子から入力したデータ(1 = HIGH入力、0 = LOW入力)はPxDAT.PxINyビットから読み出します。

注: PxDAT.PxINyビットは、CPUが読み出す1クロック前の入力ポートの状態を保持しています。

チャタリング除去機能

一部のポートにはチャタリング除去機能があり、ポートごとに制御できるようになっています。この機能はPxCHATEN.PxCHATENyビットを1に設定することにより有効になります。チャタリングを除去するための入力検定時間は、全ポート共通にPCLKレジスタで設定されるCLK_PPORT周波数によって決まります。入力検定時間未満のパルスは除去されます。

$$\text{入力検定時間} = \frac{2 \sim 3}{\text{CLK_PPORT周波数 [Hz]}} \text{ [秒]} \quad (\text{式6.2})$$

PCLKレジスタおよびPxCHATEN.PxCHATENyビットの設定変更は、必ずPxyポート割り込みをディスエーブルにして行ってください。割り込みイネーブルの状態を設定を変更すると、Pxyポート割り込みが誤って発生する場合があります。また、チャタリング除去機能を有効にしてから、CLK_PPORTの4周期分以上の時間が経過したのちに、割り込みをイネーブルに設定してください。

クロックジェネレータにてSLEEP時もPPORTにCLK_PPORTが供給されるように設定されている場合、SLEEP状態であってもポートのチャタリング除去機能は有効となっています。CLK_PPORTが停止するように設定されている場合、PPORTはSLEEP状態になるとチャタリング除去機能を無効にして、端子の状態変化が直接内部に取り込まれるようにします。

6.5 割り込み

割り込み機能を持つポートでGPIO機能を選択した場合、ポート入力割り込み機能を使用できます。

表6.5.1 ポート入力割り込み機能

割り込み	割り込みフラグ	セット	クリア
ポート入力割り込み	PxINTF.PxIFy	入力信号の立ち上がりまたは立ち下がりエッジ	1書き込み
	PINTFGRP.PxINT	ポートグループ内の割り込みフラグのセット	PxINTF.PxIFyのクリア

割り込みエッジの選択

ポート入力割り込みは、PxINTCTL.PxEDGEyビットを1に設定すると入力信号の立ち下がりエッジで、0に設定すると立ち上がりエッジで発生します。

割り込みイネーブル

割り込みフラグには、それぞれに対応する割り込みイネーブルビット(PxINTCTL.PxIEyビット)があります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

ポートグループ単位の割り込み確認

複数のポートグループで割り込みをイネーブルにした場合、PINTFGRP.PxINTビットを割り込みハンドラ内で先にチェックすると効率よく割り込みを発生したポートを調べることができます。このビットが1になっている場合、割り込みはそのポートグループ内で発生していることになります。次に、そのポートグループ内で1になっているPxINTF.PxIFyビットを調べ、割り込みを発生したポートを特定します。PxINTF.PxIFyビットをクリアすることで、PINTFGRP.PxINTビットもクリアされます。PxINTCTL.PxIEyビットによって割り込みディスエーブルに設定されている場合、PxINTF.PxIFyビットが1になってもPINTFGRP.PxINTビットはセットされません。

6.6 制御レジスタ

本節では、全ポートグループの制御レジスタを一括して説明します。個々のポートグループのレジスタ/ビットの構成と初期値については、“本ICの制御レジスタ/ポート機能の構成”を参照してください。

Px Port Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxDAT	15-8	PxOUT[7:0]	0x00	H0	R/W	-
	7-0	PxIN[7:0]	0x00	H0	R	

*1: 本レジスタはGPIO機能選択時に有効です。

*2: ビット構成はポートグループによって異なります。

*3: 初期値はポートによって変わることがあります。

Bits 15-8 PxOUT[7:0]

GPIOポート端子から出力するデータをこれらのビットに設定します。

1 (R/W): ポート端子からHIGHレベルを出力

0 (R/W): ポート端子からLOWレベルを出力

出力をイネーブル(PxIOEN.PxOENyビット = 1)にすると、ここに設定したデータがポート端子から出力されます。出力ディスエーブル(PxIOEN.PxOENyビット = 0)時もポートデータの書き込みは行えますが、端子の状態には影響を与えません。

これらのビットはポートを周辺入出力機能用に使用する場合の出力には影響を与えません。

Bits 7-0 PxIN[7:0]

これらのビットからGPIOポート端子の状態が読み出せます。

1 (R): ポート端子 = HIGHレベル

0 (R): ポート端子 = LOWレベル

入力をイネーブル(PxIOEN.PxIENyビット = 1)にすることで、ポート端子の状態を読み出すことができます。入力ディスエーブル(PxIOEN.PxIENyビット = 0)時は読み出し値が常に0となります。

ポートを周辺入出力機能用に使用する場合の入力値は、これらのビットから読み出すことはできません。

Px Port Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxIOEN	15-8	PxIEN[7:0]	0x00	H0	R/W	-
	7-0	PxOEN[7:0]	0x00	H0	R/W	

*1: 本レジスタはGPIO機能選択時に有効です。

*2: ビット構成はポートグループによって異なります。

Bits 15-8 PxIEN[7:0]

これらのビットはGPIOポート入力をイネーブル/ディスエーブルにします。

1 (R/W): イネーブル(ポート端子状態を入力)

0 (R/W): ディスエーブル(入力データを0に固定)

データ出力とデータ入力を共にイネーブルにした場合は、本ICが出力している端子の状態を読み出すことができます。

これらのビットはポートを周辺入出力機能用に使用する場合の入力制御には影響を与えません。

Bits 7-0 PxOEN[7:0]

これらのビットはGPIOポート出力をイネーブル/ディスエーブルにします。

1 (R/W): イネーブル(ポート端子からデータを出力)

0 (R/W): ディスエーブル(ポートをHi-Z)

これらのビットはポートを周辺入出力機能用に使用する場合の出力制御には影響を与えません。

Px Port Pull-up/down Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxRCTL	15-8	PxPDP[7:0]	0x00	H0	R/W	-
	7-0	PxREN[7:0]	0x00	H0	R/W	

*1: 本レジスタはGPIO機能選択時に有効です。

*2: ビット構成はポートグループによって異なります。

Bits 15-8 PxPDP[7:0]

これらのビットはポートに内蔵されたプルアップ抵抗とプルダウン抵抗のどちらを使用するか選択します。

1 (R/W): プルアップ抵抗

0 (R/W): プルダウン抵抗

選択したプルアップ/ダウン抵抗は、PxRCTL.PxRENyビット = 1の場合に有効になります。

Bits 7-0 PxREN[7:0]

これらのビットはポートのプルアップ/ダウン制御をイネーブル/ディスエーブルにします。

1 (R/W): イネーブル(内蔵プルアップ/ダウン抵抗を使用)

0 (R/W): ディスエーブル(プルアップ/ダウン制御なし)

イネーブルにすると、出力ディスエーブル(PxIOEN.PxOENyビット = 0)時にポート端子がプルアップまたはプルダウンされます。出力イネーブル(PxIOEN.PxOENyビット = 1)時は、PxIOEN.PxIENyビットの設定にかかわらずPxRCTL.PxRENyビットの設定が無効となり、プルアップ/ダウンされません。

これらのビットはポートを周辺入出力機能用に使用する場合のプルアップ/ダウン制御には影響を与えません。

Px Port Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxINTF	15-8	—	0x00	—	R	—
	7-0	PxIF[7:0]	0x00	H0	R/W	Cleared by writing 1.

*1: 本レジスタはGPIO機能選択時に有効です。

*2: ビット構成はポートグループによって異なります。

Bits 15-8 Reserved

Bits 7-0 PxIF[7:0]

これらのビットは、ポート入力割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

Px Port Interrupt Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxINTCTL	15-8	PxEDGE[7:0]	0x00	H0	R/W	—
	7-0	PxIE[7:0]	0x00	H0	R/W	—

*1: 本レジスタはGPIO機能選択時に有効です。

*2: ビット構成はポートグループによって異なります。

Bits 15-8 PxEDGE[7:0]

これらのビットでポート入力割り込みを発生させる入力信号のエッジを選択します。

1 (R/W): 立ち下がりエッジで割り込み発生

0 (R/W): 立ち上がりエッジで割り込み発生

Bits 7-0 PxIE[7:0]

これらのビットは、ポート入力割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

注: 不要な割り込みの発生を防ぐため、割り込みをイネーブルにする前に対応する割り込みフラグをクリアしてください。

Px Port Chattering Filter Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxCHATEN	15-8	—	0x00	—	R	—
	7-0	PxCHATEN[7:0]	0x00	H0	R/W	—

*1: ビット構成はポートグループによって異なります。

Bits 15-8 Reserved

Bits 7-0 PxCHATEN[7:0]

これらのビットは、チャタリング除去機能をイネーブル/ディスエーブルにします。

1 (R/W): イネーブル(チャタリング除去回路を使用)

0 (R/W): ディスエーブル(チャタリング除去回路をバイパス)

Px Port Mode Select Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxMODESEL	15-8	—	0x00	—	R	—
	7-0	PxSEL[7:0]	0x00	H0	R/W	—

*1: ビット構成はポートグループによって異なります。

*2: 初期値はポートによって変わることがあります。

Bits 15-8 Reserved

Bits 7–0 PxSEL[7:0]

これらのビットは、各ポートでGPIO機能を使用するか、周辺入出力機能を使用するか選択します。

1 (R/W): 周辺入出力機能を使用

0 (R/W): GPIO機能を使用

Px Port Function Select Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PxFNCSEL	15–14	Px7MUX[1:0]	0x0	H0	R/W	–
	13–12	Px6MUX[1:0]	0x0	H0	R/W	
	11–10	Px5MUX[1:0]	0x0	H0	R/W	
	9–8	Px4MUX[1:0]	0x0	H0	R/W	
	7–6	Px3MUX[1:0]	0x0	H0	R/W	
	5–4	Px2MUX[1:0]	0x0	H0	R/W	
	3–2	Px1MUX[1:0]	0x0	H0	R/W	
	1–0	Px0MUX[1:0]	0x0	H0	R/W	

*1: ビット構成はポートグループによって異なります。

*2: 初期値はポートによって変わることがあります。

Bits 15–14 Px7MUX[1:0]

⋮

Bits 1–0 Px0MUX[1:0]

これらのビットは、各ポート端子に割り付ける周辺入出力機能を選択します。

表6.6.1 周辺入出力機能の選択

PxFNCSEL.PxyMUX[1:0]ビット	周辺入出力機能
0x3	機能3
0x2	機能2
0x1	機能1
0x0	機能0

この選択は、PxMODSEL.PxSELyビット = 1の場合に有効です。

P Port Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PCLK	15–9	–	0x00	–	R	–
	8	DBRUN	0	H0	R/WP	
	7–4	CLKDIV[3:0]	0x0	H0	R/WP	
	3–2	–	0x0	–	R	
	1–0	CLKSRC[1:0]	0x0	H0	R/WP	

Bits 15–9 Reserved**Bit 8 DBRUN**

このビットは、DEBUGモード時にPPORT動作クロックを供給するか否か設定します。

1 (R/WP): DEBUGモード時にクロックを供給

0 (R/WP): DEBUGモード時はクロック供給を停止

Bits 7–4 CLKDIV[3:0]

これらのビットは、PPORT動作クロック(チャタリング除去機能用クロック)の分周比を選択します。

Bits 3–2 Reserved**Bits 1–0 CLKSRC[1:0]**

これらのビットは、PPORT(チャタリング除去機能)のクロックソースを選択します。

PPORT動作クロックは表6.6.2に示すとおり、PCLK.CLKSRC[1:0]ビットによるクロックソースの選択、およびPCLK.CLKDIV[3:0]ビットによるクロック分周比の選択によって設定されます。この設定によりチャタリング除去回路の入力検定時間が決定します。

6 入出力ポート(PPORT)

表6.6.2 クロックソースと分周比の設定

PCLK.CLKDIV[3:0]ビット	PCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC
0xf		1/32,768		1/1
0xe		1/16,384		
0xd		1/8,192		
0xc		1/4,096		
0xb		1/2,048		
0xa		1/1,024		
0x9		1/512		
0x8		1/256		
0x7		1/128		
0x6		1/64		
0x5		1/32		
0x4		1/16		
0x3		1/8		
0x2		1/4		
0x1		1/2		
0x0		1/1		

(注) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

P Port Interrupt Flag Group Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PINTFGRP	15–13	–	0x0	–	R	–
	12	PcINT	0	H0	R	
	11	PbINT	0	H0	R	
	10	PaINT	0	H0	R	
	9	P9INT	0	H0	R	
	8	P8INT	0	H0	R	
	7	P7INT	0	H0	R	
	6	P6INT	0	H0	R	
	5	P5INT	0	H0	R	
	4	P4INT	0	H0	R	
	3	P3INT	0	H0	R	
	2	P2INT	0	H0	R	
	1	P1INT	0	H0	R	
	0	P0INT	0	H0	R	

*1: 割り込みに対応しているポートグループのビットのみ有効です。

Bits 15–13 Reserved

Bits 12–0 PxINT

これらのビットは、Pxポートグループ内に割り込みを発生したポートがあることを示します。

1 (R): 割り込み発生ポートあり

0 (R): 割り込み発生ポートなし

割り込みを発生したポートの割り込みフラグをクリアすると、PINTFGRP.PxINTビットもクリアされます。

6.7 本ICの制御レジスタ/ポート機能の構成

ここでは、本ICに搭載しているPPORTの制御レジスタ/ビットの構成と、各ポート端子で選択可能な周辺入出力機能の一覧を示します。

6.7.1 P0ポートグループ

P0ポートグループはGPIO機能と割り込み機能を持っています。

表6.7.1.1 P0ポートグループの制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PODAT (P0 Port Data Register)	15-8	POOUT[7:0]	0x00	H0	R/W	-
	7-0	POIN[7:0]	0x00	H0	R	
PIOEN (P0 Port Enable Register)	15-8	POIEN[7:0]	0x00	H0	R/W	-
	7-0	POOEN[7:0]	0x00	H0	R/W	
PORCTL (P0 Port Pull-up/down Control Register)	15-8	PODPDU[7:0]	0x00	H0	R/W	-
	7-0	POREN[7:0]	0x00	H0	R/W	
POINTF (P0 Port Interrupt Flag Register)	15-8	-	0x00	-	R	-
	7-0	POIF[7:0]	0x00	H0	R/W	
POINTCTL (P0 Port Interrupt Control Register)	15-8	POEDGE[7:0]	0x00	H0	R/W	-
	7-0	POIE[7:0]	0x00	H0	R/W	
POCHATEN (P0 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	-
	7-0	POCHATEN[7:0]	0x00	H0	R/W	
P0MODESEL (P0 Port Mode Select Register)	15-8	-	0x00	-	R	-
	7-0	POSEL[7:0]	0x00	H0	R/W	
POFNCSSEL (P0 Port Function Select Register)	15-14	P07MUX[1:0]	0x0	H0	R/W	-
	13-12	P06MUX[1:0]	0x0	H0	R/W	
	11-10	P05MUX[1:0]	0x0	H0	R/W	
	9-8	P04MUX[1:0]	0x0	H0	R/W	
	7-6	P03MUX[1:0]	0x0	H0	R/W	
	5-4	P02MUX[1:0]	0x0	H0	R/W	
	3-2	P01MUX[1:0]	0x0	H0	R/W	
	1-0	P00MUX[1:0]	0x0	H0	R/W	

表6.7.1.2 P0ポートグループ機能割り付け

ポート名	POSELy = 0		POSELy = 1						
	GPIO	P0yMUX = 0x0 (機能0)		P0yMUX = 0x1 (機能1)		P0yMUX = 0x2 (機能2)		P0yMUX = 0x3 (機能3)	
		周辺回路	端子	周辺回路	端子	周辺回路	端子	周辺回路	端子
P00	P00	-	EXOSC	RFC	RFCLK00	-	-	LCD8A	SEG0
P01	P01	UART	USIN0	LCD8A	LFRO	-	-	LCD8A	SEG1
P02	P02	UART	USOUT0	RTCA	RTC1S	-	-	LCD8A	SEG2
P03	P03	I2C	SCL0	RFC	SENB0	-	-	-	-
P04	P04	I2C	SDA0	RFC	SENA0	-	-	-	-
P05	P05	SPIA Ch.0	SDIO	RFC	REF0	-	-	-	-
P06	P06	SPIA Ch.0	SDO0	RFC	RFIN0	-	-	-	-
P07	P07	SPIA Ch.0	SPICLK0	AMRC	EVPLS	SVD	EXSVD	-	-

6 入出力ポート(PPORT)

6.7.2 P1ポートグループ

P1ポートグループのP14～P17はGPIO機能を持っています。ただし、割り込みおよびチャタリング除去機能は実装されていません。P10～P13にはGPIO機能はありません。

表6.7.2.1 P1ポートグループの制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P1DAT (P1 Port Data Register)	15-12	P1OUT[7:4]	0x0	H0	R/W	-
	11-8	-	0x0	-	R	
	7-4	P1IN[7:4]	0x0	H0	R	
	3-0	-	0x0	-	R	
P1IOEN (P1 Port Enable Register)	15-12	P1IEN[7:4]	0x0	H0	R/W	-
	11-8	-	0x0	-	R	
	7-4	P1OEN[7:4]	0x0	H0	R/W	
	3-0	-	0x0	-	R	
P1RCTL (P1 Port Pull-up/down Control Register)	15-12	P1PDPUP[7:4]	0x0	H0	R/W	-
	11-8	-	0x0	-	R	
	7-4	P1REN[7:4]	0x0	H0	R/W	
	3-0	-	0x0	-	R	
P1INTF P1INTCTL P1CHATEN	15-0	-	0x0000	-	R	-
P1MODESEL (P1 Port Mode Select Register)	15-8	-	0x00	-	R	-
	7-0	P1SEL[7:0]	0x00	H0	R/W	
P1FNCSSEL (P1 Port Function Select Register)	15-14	P17MUX[1:0]	0x0	H0	R/W	-
	13-12	P16MUX[1:0]	0x0	H0	R/W	
	11-10	P15MUX[1:0]	0x0	H0	R/W	
	9-8	P14MUX[1:0]	0x0	H0	R/W	
	7-6	P13MUX[1:0]	0x0	H0	R/W	
	5-4	P12MUX[1:0]	0x0	H0	R/W	
	3-2	P11MUX[1:0]	0x0	H0	R/W	
	1-0	P10MUX[1:0]	0x0	H0	R/W	

表6.7.2.2 P1ポートグループ機能割り付け

ポート名	P1SELY = 0		P1SELY = 1						
	GPIO	P1yMUX = 0x0 (機能0)		P1yMUX = 0x1 (機能1)		P1yMUX = 0x2 (機能2)		P1yMUX = 0x3 (機能3)	
		周辺回路	端子	周辺回路	端子	周辺回路	端子	周辺回路	端子
P10	-	SPIA Ch.0	SDI0	I2C	SCL0	-	-	LCD8A	SEG3
P11	-	SPIA Ch.0	SDO0	I2C	SDA0	-	-	LCD8A	SEG4
P12	-	SPIA Ch.0	SPICLK0	AMRC	EXHYS1	-	-	LCD8A	SEG5
P13	-	SPIA Ch.0	#SPISS0	AMRC	EXHYS0	-	-	LCD8A	SEG6
P14	P14	SPIA Ch.0	#SPISS0	-	-	-	-	-	-
P15	P15	-	-	-	-	AMRC	CMPIN_P1	-	-
P16	P16	-	-	-	-	AMRC	CMPIN_N1	-	-
P17	P17	-	-	-	-	AMRC	CMPIN_N0	-	-

6.7.3 P2ポートグループ

P2ポートグループのP20とP21はGPIO機能を持っています。ただし、割り込みおよびチャタリング除去機能は実装されていません。P22～P27にはGPIO機能はありません。

表6.7.3.1 P2ポートグループの制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P2DAT (P2 Port Data Register)	15-10	-	0x00	-	R	-
	9-8	P2OUT[1:0]	0x0	H0	R/W	
	7-2	-	0x00	-	R	
	1-0	P2IN[1:0]	0x0	H0	R	

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P2IOEN (P2 Port Enable Register)	15-10	–	0x00	–	R	–
	9-8	P2IEN[1:0]	0x0	H0	R/W	
	7-2	–	0x00	–	R	
	1-0	P2OEN[1:0]	0x0	H0	R/W	
P2RCTL (P2 Port Pull-up/down Control Register)	15-10	–	0x00	–	R	–
	9-8	P2PDU[1:0]	0x0	H0	R/W	
	7-2	–	0x00	–	R	
	1-0	P2REN[1:0]	0x0	H0	R/W	
P2INTF P2INTCTL P2CHATEN	15-0	–	0x0000	–	R	–
P2MODSEL (P2 Port Mode Select Register)	15-8	–	0x00	–	R	–
	7-0	P2SEL[7:0]	0x00	H0	R/W	
P2FNCSEL (P2 Port Function Select Register)	15-14	P27MUX[1:0]	0x3	H0	R	–
	13-12	P26MUX[1:0]	0x3	H0	R	
	11-10	P25MUX[1:0]	0x3	H0	R	
	9-8	P24MUX[1:0]	0x3	H0	R	
	7-6	P23MUX[1:0]	0x3	H0	R	
	5-4	P22MUX[1:0]	0x3	H0	R	
	3-2	P21MUX[1:0]	0x0	H0	R/W	
	1-0	P20MUX[1:0]	0x0	H0	R/W	

表6.7.3.2 P2ポートグループ機能割り付け

ポート名	P2SELY = 0		P2SELY = 1						
	GPIO	P2yMUX = 0x0 (機能0)		P2yMUX = 0x1 (機能1)		P2yMUX = 0x2 (機能2)		P2yMUX = 0x3 (機能3)	
		周辺回路	端子	周辺回路	端子	周辺回路	端子	周辺回路	端子
P20	P20	UART Ch.0	USIN0	–	–	AMRC	CMPIN_P0	–	–
P21	P21	UART Ch.0	USOUT0	AMRC	SENSEN	–	–	LCD8A	SEG7
P22	–	–	–	–	–	–	–	LCD8A	SEG8
P23	–	–	–	–	–	–	–	LCD8A	SEG9
P24	–	–	–	–	–	–	–	LCD8A	SEG10
P25	–	–	–	–	–	–	–	LCD8A	SEG11
P26	–	–	–	–	–	–	–	LCD8A	SEG12
P27	–	–	–	–	–	–	–	LCD8A	SEG13

6.7.4 P3ポートグループ

P3ポートグループにはGPIO機能はありません。ただし、16ビットタイマCh.2/Ch.3で外部クロック(EXCL0/EXCL1)を使用する場合のためにP30/P31ポートにはチャタリング除去機能が実装されています。

表6.7.4.1 P3ポートグループの制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P3DAT P3IOEN P3RCTL P3INTF P3INTCTL	15-0	–	0x0000	–	R	–
P3CHATEN (P3 Port Chattering Filter Enable Register)	15-8	–	0x00	–	R	–
	7-2	–	0x00	–	R	
	1-0	P3CHATEN[1:0]	0x0	H0	R/W	
P3MODSEL (P3 Port Mode Select Register)	15-8	–	0x00	–	R	–
	7-0	P3SEL[7:0]	0x00	H0	R/W	

6 出力ポート(PPORT)

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P3FNCSSEL (P3 Port Function Select Register)	15-14	P37MUX[1:0]	0x3	H0	R	-
	13-12	P36MUX[1:0]	0x0	H0	R/W	
	11-10	P35MUX[1:0]	0x0	H0	R/W	
	9-8	P34MUX[1:0]	0x0	H0	R/W	
	7-6	P33MUX[1:0]	0x0	H0	R/W	
	5-4	P32MUX[1:0]	0x0	H0	R/W	
	3-2	P31MUX[1:0]	0x0	H0	R/W	
	1-0	P30MUX[1:0]	0x0	H0	R/W	

表6.7.4.2 P3ポートグループ機能割り付け

ポート名	P3SELY = 0		P3SELY = 1						
	GPIO	P3yMUX = 0x0 (機能0)		P3yMUX = 0x1 (機能1)		P3yMUX = 0x2 (機能2)		P3yMUX = 0x3 (機能3)	
		周辺回路	端子	周辺回路	端子	周辺回路	端子	周辺回路	端子
P30	-	T16 Ch.2	EXCL0	-	-	-	-	LCD8A	SEG14
P31	-	T16 Ch.3	EXCL1	-	-	-	-	LCD8A	SEG15
P32	-	CLG	FOUT	-	-	-	-	LCD8A	SEG16
P33	-	SPIA Ch.1	SDI1	-	-	-	-	LCD8A	SEG17
P34	-	SPIA Ch.1	SDO1	-	-	-	-	LCD8A	SEG18
P35	-	SPIA Ch.1	SPICLK1	-	-	-	-	LCD8A	SEG19
P36	-	SPIA Ch.1	#SPISS1	-	-	-	-	LCD8A	SEG20
P37	-	-	-	-	-	-	-	LCD8A	SEG21

6.7.5 P4ポートグループ

P4ポートグループにはGPIO機能はありません。

表6.7.5.1 P4ポートグループの制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
P4DAT P4IOEN P4RCTL P4INTF P4INTCTL P4CHATEN	15-0	-	0x0000	-	R	-
P4MODSEL (P4 Port Mode Select Register)	15-8	-	0x00	-	R	-
	7-0	P4SEL[7:0]	0x00	H0	R/W	
P4FNCSSEL (P4 Port Function Select Register)	15-14	P47MUX[1:0]	0x3	H0	R	-
	13-12	P46MUX[1:0]	0x3	H0	R	
	11-10	P45MUX[1:0]	0x3	H0	R	
	9-8	P44MUX[1:0]	0x3	H0	R	
	7-6	P43MUX[1:0]	0x3	H0	R	
	5-4	P42MUX[1:0]	0x3	H0	R	
	3-2	P41MUX[1:0]	0x3	H0	R	
	1-0	P40MUX[1:0]	0x3	H0	R	

表6.7.5.2 P4ポートグループ機能割り付け

ポート名	P4SELY = 0		P4SELY = 1						
	GPIO	P4yMUX = 0x0 (機能0)		P4yMUX = 0x1 (機能1)		P4yMUX = 0x2 (機能2)		P4yMUX = 0x3 (機能3)	
		周辺回路	端子	周辺回路	端子	周辺回路	端子	周辺回路	端子
P40	-	-	-	-	-	-	-	LCD8A	SEG22
P41	-	-	-	-	-	-	-	LCD8A	SEG23
P42	-	-	-	-	-	-	-	LCD8A	SEG24
P43	-	-	-	-	-	-	-	LCD8A	SEG25
P44	-	-	-	-	-	-	-	LCD8A	SEG26
P45	-	-	-	-	-	-	-	LCD8A	SEG27
P46	-	-	-	-	-	-	-	LCD8A	SEG28/COM7
P47	-	-	-	-	-	-	-	LCD8A	SEG29/COM6

6.7.6 P5ポートグループ

P5ポートグループのP56とP57はGPIO機能と割り込み機能を持っています。P50～P55にはGPIO機能はありません。

表6.7.6.1 P5ポートグループの制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
P5DAT (P5 Port Data Register)	15-14	P5OUT[7:6]	0x0	H0	R/W	-	
	13-8	-	0x00	-	R		
	7-6	P5IN[7:6]	x	H0	R		
	5-0	-	0x00	-	R		
P5IOEN (P5 Port Enable Register)	15-14	P5IEN[7:6]	0x0	H0	R/W	-	
	13-8	-	0x00	-	R		
	7-6	P5OEN[7:6]	0x0	H0	R/W		
	5-0	-	0x00	-	R		
P5RCTL (P5 Port Pull-up/down Control Register)	15-14	P5PDU[7:6]	0x0	H0	R/W	-	
	13-8	-	0x00	-	R		
	7-6	P5REN[7:6]	0x0	H0	R/W		
	5-0	-	0x00	-	R		
P5INTF (P5 Port Interrupt Flag Register)	15-8	-	0x00	-	R	-	
	7-6	P5IF[7:6]	0x0	H0	R/W		Cleared by writing 1.
	5-0	-	0x00	-	R		-
P5INTCTL (P5 Port Interrupt Control Register)	15-14	P5EDGE[7:6]	0x0	H0	R/W	-	
	13-8	-	0x00	-	R		
	7-6	P5IE[7:6]	0x0	H0	R/W		
	5-0	-	0x00	-	R		
P5CHATEN (P5 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	-	
	7-6	P5CHATEN[7:6]	0x0	H0	R/W		
	5-0	-	0x00	-	R		
P5MODESEL (P5 Port Mode Select Register)	15-8	-	0x00	-	R	-	
	7-0	P5SEL[7:0]	0x00	H0	R/W		
P5FNCSSEL (P5 Port Function Select Register)	15-14	P57MUX[1:0]	0x2	H0	R	-	
	13-12	P56MUX[1:0]	0x2	H0	R		
	11-10	P55MUX[1:0]	0x3	H0	R		
	9-8	P54MUX[1:0]	0x3	H0	R		
	7-6	P53MUX[1:0]	0x3	H0	R		
	5-4	P52MUX[1:0]	0x3	H0	R		
	3-2	P51MUX[1:0]	0x3	H0	R		
	1-0	P50MUX[1:0]	0x3	H0	R		

表6.7.6.2 P5ポートグループ機能割り付け

ポート名	P5SELY = 0 GPIO	P5SELY = 1							
		P5yMUX = 0x0 (機能0)		P5yMUX = 0x1 (機能1)		P5yMUX = 0x2 (機能2)		P5yMUX = 0x3 (機能3)	
		周辺回路	端子	周辺回路	端子	周辺回路	端子	周辺回路	端子
P50	-	-	-	-	-	-	-	LCD8A	SEG30/COM5
P51	-	-	-	-	-	-	-	LCD8A	SEG31/COM4
P52	-	-	-	-	-	-	-	LCD8A	COM3
P53	-	-	-	-	-	-	-	LCD8A	COM2
P54	-	-	-	-	-	-	-	LCD8A	COM1
P55	-	-	-	-	-	-	-	LCD8A	COM0
P56	P56	-	-	-	-	-	-	-	-
P57	P57	-	-	-	-	-	-	-	-

6 入出力ポート(PPORT)

6.7.7 Pdポートグループ

PdポートグループはPd0～Pd2の3ポートで構成され、初期設定でデバッグ機能用ポートに設定されます。これらの3ポートはGPIO機能を持っています。Pd2ポートのGPIO機能は出力専用で、プルアップ/ダウン機能は使用できません。

表6.7.7.1 Pdポートグループの制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PDDAT (Pd Port Data Register)	15-11	-	0x00	-	R	-
	10-8	PDOOUT[2:0]	0x0	H0	R/W	
	7-2	-	0x00	-	R	
	1-0	PDIN[1:0]	x	H0	R	
PDIOEN (Pd Port Enable Register)	15-11	-	0x00	-	R	-
	10	reserved	0	H0	R/W	
	9-8	PDIEN[1:0]	0x0	H0	R/W	
	7-3	-	0x00	-	R	
	2-0	PDOEN[2:0]	0x0	H0	R/W	
PDRCTL (Pd Port Pull-up/down Control Register)	15-11	-	0x00	-	R	-
	10	reserved	0	H0	R/W	
	9-8	PDPDPU[1:0]	0x0	H0	R/W	
	7-3	-	0x00	-	R	
	2	reserved	0	H0	R/W	
	1-0	PDREN[1:0]	0x0	H0	R/W	
PDINTF PDINTCTL PDCHATEN	15-0	-	0x0000	-	R	-
PDMODESEL (Pd Port Mode Select Register)	15-8	-	0x00	-	R	-
	7-3	-	0x00	-	R	
	2-0	PDSEL[2:0]	0x7	H0	R/W	
PDFNCSEL (Pd Port Function Select Register)	15-8	-	0x00	-	R	-
	7-6	-	0x0	-	R	
	5-4	PD2MUX[1:0]	0x0	H0	R/W	
	3-2	PD1MUX[1:0]	0x0	H0	R/W	
	1-0	PD0MUX[1:0]	0x0	H0	R/W	

表6.7.7.2 Pdポートグループ機能割り付け

ポート名	PdSELY = 0		PdSELY = 1						
	GPIO	PdyMUX = 0x0 (機能0)		PdyMUX = 0x1 (機能1)		PdyMUX = 0x2 (機能2)		PdyMUX = 0x3 (機能3)	
		周辺回路	端子	周辺回路	端子	周辺回路	端子	周辺回路	端子
Pd0	Pd0	DBG	DST2	-	-	-	-	-	-
Pd1	Pd1	DBG	DSIO	-	-	-	-	-	-
Pd2	Pd2	DBG	DCLK	-	-	-	-	-	-

6.7.8 ポートグループ共通

表6.7.8.1 ポートグループ共通の制御レジスタ

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
PCLK (P Port Clock Control Register)	15-9	-	0x00	-	R	-
	8	DBRUN	0	H0	R/WP	
	7-4	CLKDIV[3:0]	0x0	H0	R/WP	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/WP	
PINTGRP (P Port Interrupt Flag Group Register)	15-8	-	0x00	-	R	-
	7-6	-	0x0	-	R	
	5	P5INT	0	H0	R	
	4-1	-	0x0	-	R	
	0	POINT	0	H0	R	

7 ウォッチドッグタイマ(WDT)

7.1 概要

WDTは、プログラムが正常に実行できないような問題が発生したときにシステムを再起動させるための回路です。WDTの主な機能と特長を以下に示します。

- リセット発生周期をカウントする10ビットアップカウンタを搭載
- カウンタのクロックソースとクロック分周比を選択可能
- カウンタのオーバーフローによりリセットを発生

図7.1.1にWDTの構成を示します。

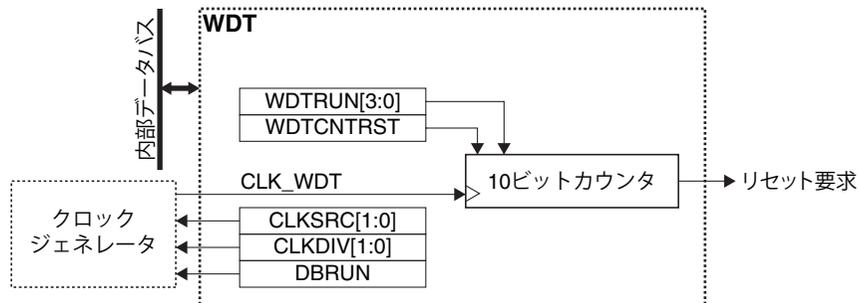


図7.1.1 WDTの構成

7.2 クロック設定

7.2.1 WDTの動作クロック

WDTを使用する場合、クロックジェネレータからWDT動作クロックCLK_WDTをWDTに供給する必要があります。

CLK_WDTの供給は以下の手順で制御してください。

1. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。(システムプロテクトを解除)
2. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
3. WDTCLKレジスタの以下のビットを設定する。
WDTCLK.CLKSRC[1:0]ビット (クロックソースの選択)
WDTCLK.CLKDIV[1:0]ビット (クロック分周比の選択 = クロック周波数の設定)
4. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)

WDTのカウンタオーバーフロー周期(リセット発生周期)は次の式で計算できます。

$$t_{\text{WDT}} = \frac{1,024}{\text{CLK_WDT}} \quad (\text{式7.1})$$

ここで

t_{WDT} : カウンタオーバーフロー周期 [秒]
CLK_WDT: WDT動作クロック周波数 [Hz]

例) CLK_WDT = 256 Hzのとき、 $t_{\text{WDT}} = 4$ 秒

7.2.2 DEBUGモード時のクロック供給

DEBUGモード時のCLK_WDTの供給はWDTCLK.DBRUNビットで制御します。

WDTCLK.DBRUNビット = 0の場合、DEBUGモードに移行するとWDTへのCLK_WDTの供給が停止します。その後通常モードに戻ると、CLK_WDTの供給が再開します。CLK_WDTの供給が停止するとWDTの動作は停止しますが、レジスタはDEBUGモードへ移行前の状態に保持されます。

WDTCLK.DBRUNビット = 1の場合、DEBUGモード時もCLK_WDTの供給は停止せず、WDTは動作を継続します。

7.3 動作

7.3.1 WDTの制御

WDTのRUN

WDTは、以下の手順により初期設定を行い、起動します。

1. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。 (システムプロテクトを解除)
2. WDT動作クロックを設定する。
3. WDTCTL.WDTCNTRSTビットに1を書き込む。 (WDTカウンタをリセット)
4. WDTCTL.WDTRUN[3:0]ビットに0xa以外の任意の値を書き込む。 (WDTを起動)
5. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。 (システムプロテクトを設定)

WDTのリセット

WDTは、カウンタがオーバーフローすると、システムリセットを生成します。この再起動を防ぐため、WDT動作中は内蔵されているカウンタをソフトウェアによって定期的リセットする必要があります。

1. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。 (システムプロテクトを解除)
2. WDTCTL.WDTCNTRSTビットに1を書き込む。 (WDTカウンタをリセット)
3. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。 (システムプロテクトを設定)

このルーチンを定期的に処理される場所に用意しておきます。このルーチンはtwdtの周期以内で処理されるようにしてください。リセット後、WDTは新たなリセット発生周期のカウントを始めます。何らかの原因によってtwdt周期以内にリセットされなかった場合、システムリセットが発生します。

7.3.2 HALT, SLEEPモード時の動作

HALTモード時

HALTモード時であっても、WDTは動作します。したがって、リセット発生周期以上HALTモードを続けると、リセットによりHALTモードが解除され、リセット処理が実行されます。

HALTモード時にWDTを無効にするには、halt命令実行前にWDTCTL.WDTRUN[3:0]ビットに0xaを書き込んでWDTを停止させてください。HALTモードを解除した後は、動作を再開させる前にWDTをリセットしてください。

SLEEPモード時

SLEEPモード時も選択されたクロックソースがONしている場合はWDTが動作します。この状態でリセット発生周期以上SLEEPモードを続けると、リセットによりSLEEPモードは解除され、リセット処理が実行されます。したがって、slp命令の実行前にWDTCTL.WDTRUN[3:0]ビットによってWDTを停止させてください。

クロックソースがOFFの場合、WDTは停止しますが、SLEEPモード解除後に不要なリセットが発生することを防ぐため、slp命令の実行前にWDTをリセットしてください。また、必要に応じWDTCTL.WDTRUN[3:0]ビットによってWDTを停止させてください。

7.4 制御レジスタ

WDT Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
WDTCLK	15-9	–	0x00	–	R	–
	8	DBRUN	0	H0	R/WP	
	7-6	–	0x0	–	R	
	5-4	CLKDIV[1:0]	0x0	H0	R/WP	
	3-2	–	0x0	–	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/WP	

Bits 15–9 Reserved

Bit 8 DBRUN

このビットは、DEBUGモード時にWDT動作クロックを供給するか否か設定します。

1 (R/WP): DEBUGモード時にクロックを供給

0 (R/WP): DEBUGモード時はクロック供給を停止

Bits 7–6 Reserved

Bits 5–4 CLKDIV[1:0]

これらのビットは、WDT動作クロック(カウンタクロック)の分周比を選択します。クロック周波数は256 Hz近辺に設定してください。

Bits 3–2 Reserved

Bits 1–0 CLKSRC[1:0]

これらのビットは、WDTのクロックソースを選択します。

表7.4.1 クロックソースと分周比の設定

WDTCLK. CLKDIV[1:0]ビット	WDTCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC
0x3	1/65,536	1/128	1/65,536	1/1
0x2	1/32,768		1/32,768	
0x1	1/16,384		1/16,384	
0x0	1/8,192		1/8,192	

(注) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

WDT Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
WDTCTL	15-8	–	0x00	–	R	–
	7-5	–	0x0	–	R	
	4	WDTCNTRST	0	H0	WP	Always read as 0.
	3-0	WDTRUN[3:0]	0xa	H0	R/WP	–

Bits 15–5 Reserved

Bit 4 WDTCNTRST

このビットは、WDTをリセットします。

1 (WP): リセット

0 (WP): 無効

0 (R): 読み出し時は常時0

7 ウォッチドッグタイマ(WDT)

Bits 3-0 WDTRUN[3:0]

これらのビットは、WDTのRUN/STOPを制御します。

0xa (WP): STOP

0xa以外 (WP): RUN

0xa (R): 停止中

0x0 (R): 動作中

0xa以外を書き込んだ場合の読み出し値は常に0x0になります。

カウンタの値によってはRUN直後にリセットが発生する場合がありますので、WDTをRUNさせる際にはWDTのリセットも同時に行ってください。

8 リアルタイムクロック(RTCA)

8.1 概要

RTCAは、パーペチュアルカレンダー機能を備えたリアルタイムクロックです。主な機能と特長を以下に示します。

- BCDコードで表された、時計(秒、分、時)、およびカレンダー(日、曜日、月、年、うるう年対応)を実現するリアルタイムクロックカウンタを搭載
- リアルタイムクロックカウンタはホールド機能を搭載しており、カウンタを変化させずに読み出すことが可能
- 24時間制/12時間制の選択が可能
- 時計のスタート/ストップ制御が可能
- 時報などで時刻を調整するための機能として、30秒補正機能を搭載
- 128~1 Hzをカウントする1Hzカウンタを搭載
- BCDコードで表された、1/100秒カウントを実現するストップウォッチカウンタを搭載
- 発振周波数偏差による時計の誤差を外付け部品の変更なしに補正する論理緩急機能を搭載

図8.1.1にRTCAの構成を示します。

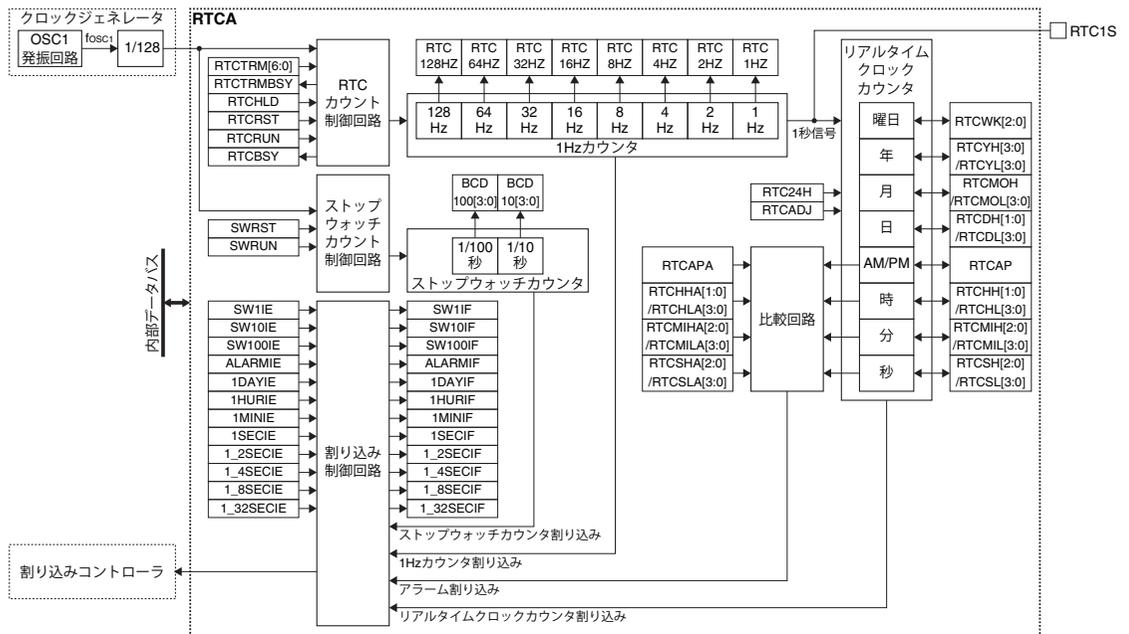


図8.1.1 RTCAの構成

8.2 出力端子と外部接続

8.2.1 出力端子

表8.2.1.1にRTCAの端子を示します。

表8.2.1.1 RTCAの端子

端子名	I/O*	イニシャル状態*	機能
RTC1S	O	O (L)	1秒信号モニタ出力端子

* 端子機能をRTCAに切り換えた時点の状態

RTCAの出力機能と他の機能がポートを共有している場合、RTCAの機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

8.3 クロック設定

8.3.1 RTCAの動作クロック

RTCAは、クロックジェネレータでOSC1をクロックソースとして生成されるCLK_RTCAを動作クロックとして使用します。OSC1がイネーブルであれば、RTCAは使用可能です。

SLEEPモード中にOSC1を停止させずにRTCAを継続して動作させるためには、CLGOSC.OSC1SLPCビットに0を書き込む必要があります。

8.3.2 論理緩急機能

OSC1周波数 f_{osc1} が、32.768 kHzに対して発振周波数偏差を持つ場合、時計は誤差を生じます。RTCAは、この誤差を外付け部品の変更なしに補正する論理緩急機能を搭載しています。論理緩急は、以下の手順で行います。

1. f_{osc1} を測定し、発振周波数偏差の補正值 m [ppm] = $-(f_{osc1} - 32,768 \text{ [Hz]}) / 32,768 \text{ [Hz]} \times 10^6$ を求める。
2. 論理緩急実行間隔 n 秒を決める。
3. 1と2からRTCCTL.RTCTRM[6:0]ビットへ書き込む値を決定する。
4. RTCAのアラーム割り込みや秒割り込みを利用し、 n 秒間隔でRTCCTL.RTCTRM[6:0]ビットへ3で決めた値を書き込む。
5. RTC1S信号をモニタし、 n 秒の周期が、誤差のない周期になっているかを確認する。

論理緩急の調整値は-64~+63の範囲で設定可能で、RTCCTL.RTCTRM[6:0]ビットには2の補数として書き込みます。調整値は式8.1で計算できます。

$$RTCTRM[6:0] = \frac{m}{10^6} \times 256 \times n \quad (\text{ただし、RTCTRM[6:0]は-64~+63の整数へ四捨五入した値}) \quad (\text{式8.1})$$

ここで

n : 論理緩急実行間隔 [秒](ソフトウェアで定期的にRTCCTL.RTCTRM[6:0]ビットに書き込む間隔)

m : OSC1発振周波数偏差の補正值 [ppm]

RTC1S信号の波形を図8.3.2.1に示します。

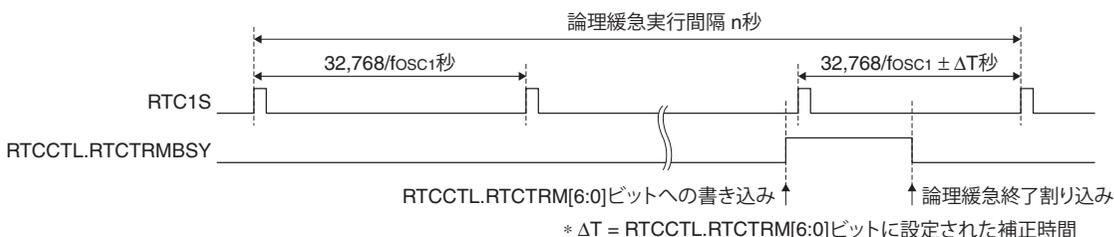


図8.3.2.1 RTC1S信号波形

例として、論理緩急実行間隔 $n = 4,096$ 秒のときの、発振周波数偏差の補正率を表8.3.2.1に示します。

表8.3.2.1 論理緩急実行間隔 $n = 4,096$ 秒時の補正率

RTCCTL.RTCTRM[6:0] ビット(2の補数)	補正值(10進数)	補正率 [ppm]	RTCCTL.RTCTRM[6:0] ビット(2の補数)	補正值(10進数)	補正率 [ppm]
0x00	0	0.0	0x40	-64	-61.0
0x01	1	1.0	0x41	-63	-60.1
0x02	2	1.9	0x42	-62	-59.1
0x03	3	2.9	0x43	-61	-58.2
...
0x3e	62	59.1	0x7e	-2	-1.9
0x3f	63	60.1	0x7f	-1	-1.0

最小分解能: 1 ppm, 補正率幅: -61.0~60.1 ppm

注: ・ 論理緩急は、リアルタイムクロックカウンタと1Hzカウンタのみに影響を与え、ストップウォッチカウンタには影響を与えません。

- ・ 値がRTCCTL.RTCTRM[6:0]ビットに書き込まれると、1Hzカウンタが0x7fに変わるタイミングで1Hzカウンタのカウンタ値が論理緩急を反映した値に変化します。また、カウンタ値に応じた割り込みが発生します。

8.4 動作

8.4.1 RTCAの制御

RTCAの時刻設定、時刻読み出し、アラーム設定は、以下の手順により行います。

時刻設定

1. RTCCTL.RTC24Hビットで12Hモード/24Hモードを設定する。
2. RTCCTL.RTCRUNビットに1を書き込み、リアルタイムクロックカウンタのカウントアップを開始する。
3. RTCCTL.RTCBSYビット = 0になっているかどうかでカウンタが書き換え可能なことを確認する。RTCCTL.RTCBSYビット = 1ならば、0になるまで待つ。
4. 以下のビットに、現在の日付と時刻をBCDコードで書き込む。
 RTCSEC.RTCSH[2:0]/RTCSL[3:0]ビット(秒)
 RTCHUR.RTCMIH[2:0]/RTCMIL[3:0]ビット(分)
 RTCHUR.RTCHH[1:0]/RTCHL[3:0]ビット(時)
 RTCHUR.RTCAPビット(AM/PM) (RTCCTL.RTC24Hビット = 0の場合)
 RTCMON.RTCDH[1:0]/RTCDL[3:0]ビット(日)
 RTCMON.RTCMOH/RTCMOL[3:0]ビット(月)
 RTCYAR.RTCYH[3:0]/RTCYL[3:0]ビット(年)
 RTCYAR.RTCWK[2:0]ビット(曜日)
5. 時報に合わせてRTCCTL.RTCADJビットに1を書き込み(30秒補正を実行)、時刻を合わせる。(30秒補正については、“リアルタイムクロックカウンタの動作”参照)
6. RTCINTFレジスタ内の割り込みフラグに1を書き込み、それらをクリアする。
7. RTCINTEレジスタの割り込みイネーブルビットに1を書き込み、RTCA割り込みをイネーブルにする。

時刻読み出し

1. RTCCTL.RTCBSYビット = 0を確認する。RTCCTL.RTCBSYビット = 1ならば、0になるまで待つ。
2. RTCCTL.RTCHLDビットに1を書き込み、リアルタイムクロックカウンタのカウントアップを一時停止させる。
3. 上記“時刻設定の4”に示したビットから日時を読み出す。
4. RTCCTL.RTCHLDビットに0を書き込み、リアルタイムクロックカウンタのカウントアップを再開させる。カウントホールド中に秒のカウントアップタイミングになっていた場合は、ハードウェアにより+1秒補正が行われる(+1秒補正については、“リアルタイムクロックカウンタの動作”参照)。

アラーム設定

1. RTCINTE.ALARMIEビットに0を書き込み、アラーム割り込みをディスエーブルにする。
2. 以下のビットに、アラーム時刻(現在時刻から24時間先までの範囲で指定可能)をBCDコードで書き込む。
 RTCALM1.RTCSHA[2:0]/RTCSLA[3:0]ビット(秒)
 RTCALM2.RTCMIHA[2:0]/RTCMILA[3:0]ビット(分)
 RTCALM2.RTCHHA[1:0]/RTCHLA[3:0]ビット(時)
 RTCALM2.RTCAPAビット(AM/PM) (RTCCTL.RTC24Hビット = 0の場合)
3. RTCINTF.ALARMIFビットに1を書き込み、アラーム割り込みフラグをクリアする。
4. RTCINTE.ALARMIEビットに1を書き込み、アラーム割り込みをイネーブルにする。2で設定した時刻になるとアラーム割り込みが発生する。

8.4.2 リアルタイムクロックカウンタの動作

リアルタイムクロックカウンタは、秒、分、時、AM/PM、日、月、年、曜日カウンタで構成され、RTCIS信号でカウントアップを行います。また、リアルタイムクロックカウンタには、以下の機能もあります。

うるう年検出

うるう年検出は西暦専用です。0~99年の中で、4で割り切れる年はうるう年と判定します。年カウンタ = 0x00の場合は平年と判断します。うるう年と判定された場合、2月の日カウンタのカウント範囲が変わります。

有効範囲外の値をセットした場合の補正動作

年、曜日、時(24Hモード時)カウンタに、有効範囲外の値をセットすると、カウンタの次のカウントアップで0にクリアされます。月、日、時(12Hモード時)カウンタに、有効範囲外の値をセットすると、カウンタの次のカウントアップタイミングで1にセットされます。

注: RTCMON.RTCMOHビット = 0 & RTCMON.RTCMOL[3:0]ビット = 0x00の設定を禁止します。

30秒補正

時報合わせを想定した機能です。RTCCTL.RTCADJビットに1が書き込まれると、秒カウンタが30~59秒までの場合は分カウンタに1を加算し、0~29秒の場合は分カウンタをそのまま秒カウンタを0にします。

+1秒補正

RTCCTL.RTCHLDビット = 1の間(カウントホールド中)に1秒のカウントアップタイミングが来ていた場合は、このビットに0を書き込んでカウントを再開した時点で、リアルタイムクロックカウンタを+1秒カウントアップ(+1秒補正)します。

注: RTCCTL.RTCHLDビット = 1の間に2回以上1秒のカウントアップタイミングが来ていた場合でも、+1秒しか補正されません。

8.4.3 ストップウォッチの制御

ストップウォッチのカウント開始とカウンタの読み出しは、以下の手順により行います。

カウント開始

1. RTCSWCTL.SWRSTビットに1を書き込み、ストップウォッチカウンタをリセットする。
2. RTCINTFレジスタ内のストップウォッチ割り込みフラグに1を書き込み、それらをクリアする。
3. RTCINTEレジスタの割り込みイネーブルビットに1を書き込み、ストップウォッチ割り込みをイネーブルにする。
4. RTCSWCTL.SWRUNビットに1を書き込み、ストップウォッチカウンタのカウントアップを開始する。

カウンタ読み出し

1. RTCSWCTL.BCD10[3:0]/BCD100[3:0]ビットからカウント値を読み出す。
2. もう一度読み出す。
 - i. 値が同じ場合は正しく読み出せたと判断する。
 - ii. 値が異なる場合は更にもう一度読み出し、前の値と比較する。

8.4.4 ストップウォッチのカウントアップパターン

ストップウォッチは、1/100秒と1/10秒のカウンタを搭載しており、図8.4.4.1で示すようなカウントアップパターンで疑似的な1/100秒と1/10秒カウントアップを行います。

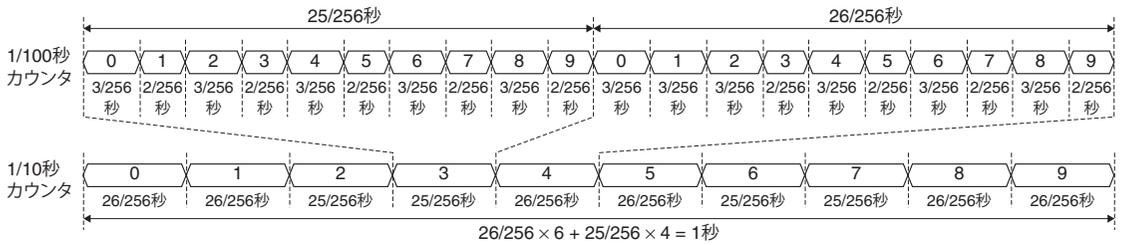


図8.4.4.1 ストップウォッチのカウントアップパターン

8.5 割り込み

RTCAには、表8.5.1に示す割り込みを発生させる機能があります。

表8.5.1 RTCAの割り込み機能

割り込み	割り込みフラグ	セット	クリア
アラーム	RTCINTF.ALARMIF	RTCALM1~2レジスタとリアルタイムクロックカウンタの内容が一致したとき	1書き込み
1日	RTCINTF.1DAYIF	日カウンタがカウントアップしたとき	1書き込み
1時間	RTCINTF.1HURIF	時カウンタがカウントアップしたとき	1書き込み
1分	RTCINTF.1MINIF	分カウンタがカウントアップしたとき	1書き込み
1秒	RTCINTF.1SECIF	秒カウンタがカウントアップしたとき	1書き込み
1/2秒	RTCINTF.1_2SECIF	図8.5.1参照	1書き込み
1/4秒	RTCINTF.1_4SECIF	図8.5.1参照	1書き込み
1/8秒	RTCINTF.1_8SECIF	図8.5.1参照	1書き込み
1/32秒	RTCINTF.1_32SECIF	図8.5.1参照	1書き込み
ストップウォッチ 1 Hz	RTCINTF.SW1IF	1/10秒カウンタがオーバーフローしたとき	1書き込み
ストップウォッチ 10 Hz	RTCINTF.SW10IF	1/10秒カウンタがカウントアップしたとき	1書き込み
ストップウォッチ 100 Hz	RTCINTF.SW100IF	1/100秒カウンタがカウントアップしたとき	1書き込み
論理緩急終了	RTCINTF.RTCTRMIF	論理緩急が終了したとき	1書き込み

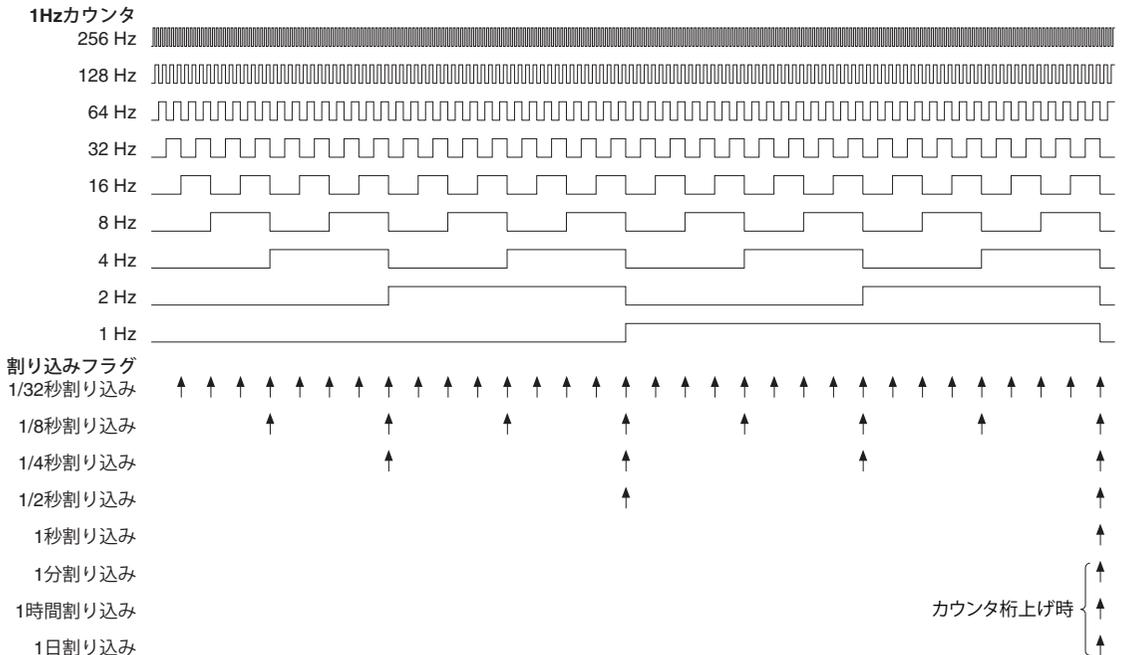


図8.5.1 RTCA割り込みタイミング

注: ・ 1秒~1/32秒割り込みは、1Hzカウンタのカウント値の変化から1/256秒後に発生します。

- ・ アラーム割り込みは、AM/PM(12Hモード時)、時、分、秒カウンタの値とアラーム設定値が一致してから1/256秒後に発生します。

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

8.6 制御レジスタ

RTC Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCCTL	15	RTCTRMBSY	0	H0	R	–
	14–8	RTCTRM[6:0]	0x00	H0	W	Read as 0x00.
	7	–	0	–	R	–
	6	RTCBSY	0	H0	R	–
	5	RTCHLD	0	H0	R/W	Cleared by setting the RTCCTL.RTCRST bit to 1.
	4	RTC24H	0	H0	R/W	–
	3	–	0	–	R	–
	2	RTCADJ	0	H0	R/W	Cleared by setting the RTCCTL.RTCRST bit to 1.
	1	RTCST	0	H0	R/W	–
0	RTCUN	0	H0	R/W	–	

Bit 15 RTCTRMBSY

このビットは、論理緩急を実行中かどうかを示します。

1 (R): 論理緩急実行中

0 (R): 論理緩急終了(実行中以外)

RTCCTL.RTCTRM[6:0]ビットに値が書き込まれると、1になります。論理緩急の実行には、最大で1秒の時間がかかります。論理緩急が終了すると、自動的に0にクリアされます。

Bits 14–8 RTCTRM[6:0]

1 Hzの周波数を調整するための補正値をここに書き込み、論理緩急を実行します。

補正値の計算方法は、“論理緩急機能”を参照してください。

注: ・ RTCCTL.RTCTRMBSYビット = 1の場合、これらのビットに値を書き込むことはできません。

- ・ RTCCTL.RTCTRM[6:0]ビットに0x00を書き込んだ場合、RTCCTL.RTCTRMBSYビットは1になりますが、補正は行われません。

Bit 7 Reserved

Bit 6 RTCBSY

このビットは、カウンタが桁上げ動作中かどうかを示します。

1 (R): 桁上げ中

0 (R): 待機中(リアルタイムクロックカウンタ書き換え可能)

このビットは、1秒カウントアップ、+1秒補正、30秒補正動作時に1となり、1/256秒の間1を保持した後に0に戻ります。

Bit 5 RTCHLD

このビットは、リアルタイムクロックカウンタのカウントアップを停止します。

1 (R/W): リアルタイムクロックカウンタのカウントアップ停止

0 (R/W): 通常動作

このビットに1を書き込むとリアルタイムクロックカウンタのカウントアップが停止し、カウンタを変化させずに値を正しく読み出すことができます。カウンタ読み出し後は速やかに0を書き込んでカウントアップを再開させます。

これらの操作のタイミングによっては、カウントアップ再開後に+1秒補正が発生します。
+1秒補正については、“リアルタイムクロックカウンタの動作”を参照してください。

注: RTCCTL.RTCTRMBSYビット = 1の場合、このビットに1を書き込むことはできません(0に固定されます)。

Bit 4 RTC24H

このビットは、時カウンタを24Hモードまたは12Hモードに設定します。

1 (R/W): 24Hモード

0 (R/W): 12Hモード

この選択により、時カウンタのカウント範囲が変わります。ただし、カウンタの値は自動的に更新されませんので、プログラムで設定し直す必要があります。

注: RTCCTL.RTCRUNビット = 1のときの書き込みは禁止します。

Bit 3 Reserved

Bit 2 RTCADJ

このビットは、時刻調整機能の30秒補正を実行します。

1 (W): 30秒補正実行

0 (W): 無効

1 (R): 30秒補正実行中

0 (R): 30秒補正終了(通常動作中)

RTCCTL.RTCRUNビット = 0のときでも、1が書き込まれると30秒補正は実行され、該当する割り込みが発生します。補正には最大2/256秒の時間がかかり、終了すると自動的に0にクリアされます。30秒補正については、“リアルタイムクロックカウンタの動作”を参照してください。

注 ・ RTCCTL.RTCBSYビット = 1のときの書き込みは禁止します。

・ RTCCTL.RTCADJビット = 1のときは、再度1を書き込まないでください。

Bit 1 RTCRST

このビットは、1Hzカウンタ、RTCCTL.RTCADJビット、RTCCTL.RTCHLDビットを初期化します。

1 (W): リセット実行

0 (W): 無効

1 (R): リセット実行中

0 (R): リセット終了(通常動作中)

リセットが終了すると、自動的に0にクリアされます。

Bit 0 RTCRUN

このビットは、リアルタイムクロックカウンタの開始/停止を制御します。

1 (R/W): 動作中/開始制御

0 (R/W): 停止中/停止制御

0書き込みによって動作中のリアルタイムクロックカウンタを停止させた場合、カウンタは停止時の値を保持します。再度1を書き込むことで、カウンタは保持している値からカウントを再開します。

RTC Second Alarm Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCALM1	15	–	0	–	R	–
	14–12	RTCASHA[2:0]	0x0	H0	R/W	
	11–8	RTCSLA[3:0]	0x0	H0	R/W	
	7–0	–	0x00	–	R	

Bit 15 Reserved

8 リアルタイムクロック(RTCA)

Bits 14–12 RTCSHA[2:0]

Bits 11–8 RTCSLA[3:0]

RTCALM1.RTCSHA[2:0]ビットでアラームの10秒桁を、RTCALM1.RTCSLA[3:0]ビットで1秒桁を設定します。表8.6.1に示すとおり、0から59秒までの値をBCDコードで設定可能です。

表8.6.1 BCDコードの設定例

BCDコードの設定値		アラーム(秒)設定
RTCALM1.RTCSHA[2:0]ビット	RTCALM1.RTCSLA[3:0]ビット	
0x0	0x0	00秒
0x0	0x1	01秒
...
0x0	0x9	09秒
0x1	0x0	10秒
...
0x5	0x9	59秒

Bits 7–0 Reserved

RTC Hour/Minute Alarm Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCALM2	15	–	0	–	R	–
	14	RTCAPA	0	H0	R/W	
	13–12	RTCHHA[1:0]	0x0	H0	R/W	
	11–8	RTCHLA[3:0]	0x0	H0	R/W	
	7	–	0	–	R	
	6–4	RTCMIHA[2:0]	0x0	H0	R/W	
	3–0	RTCMILA[3:0]	0x0	H0	R/W	

Bit 15 Reserved

Bit 14 RTCAPA

このビットは、12Hモード(RTCCTL.RTC24Hビット = 0)時にアラームの午前/午後を設定します。

1 (R/W): 午後

0 (R/W): 午前

24Hモード(RTCCTL.RTC24Hビット = 1)の場合、この設定は無効です。

Bits 13–12 RTCHHA[1:0]

Bits 11–8 RTCHLA[3:0]

RTCALM2.RTCHHA[1:0]ビットでアラームの10時桁を、RTCALM2.RTCHLA[3:0]ビットで1時桁を設定します。12Hモード時は1から12時まで、24Hモード時は0から23時までの値をBCDコードで設定可能です。

Bit 7 Reserved

Bits 6–4 RTCMIHA[2:0]

Bits 3–0 RTCMILA[3:0]

RTCALM2.RTCMIHA[2:0]ビットでアラームの10分桁を、RTCALM2.RTCMILA[3:0]ビットで1分桁を設定します。0から59分までの値をBCDコードで設定可能です。

RTC Stopwatch Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCSWCTL	15–12	BCD10[3:0]	0x0	H0	R	–
	11–8	BCD100[3:0]	0x0	H0	R	
	7–5	–	0x0	–	R	
	4	SWRST	0	H0	W	Read as 0.
	3–1	–	0x0	–	R	–
	0	SWRUN	0	H0	R/W	

Bits 15–12 BCD10[3:0]**Bits 11–8 BCD100[3:0]**

RTCSWCTL.BCD10[3:0]ビットからストップウォッチカウンタの1/10秒桁が、RTCSWCTL.BCD100[3:0]ビットから1/100秒桁がBCDコードとして読み出せます。

注: ストップウォッチカウンタの動作中はカウント値が正しく読みだせないことがあります。RTCSWCTL.BCD10[3:0]/BCD100[3:0]ビットを2回連続して読み出し、同じ結果が得られたときに正しく読み出せたと判断してください。

Bits 7–5 Reserved**Bit 4 SWRST**

このビットは、ストップウォッチカウンタを0x00にリセットします。

1 (W): リセット

0 (W): 無効

0 (R): 読み出し時は常時0

動作状態でリセットすると、ストップウォッチカウンタは0x00からカウントを継続します。停止状態の場合は0x00が保持されます。

Bits 3–1 Reserved**Bit 0 SWRUN**

このビットは、ストップウォッチカウンタの開始/停止を制御します。

1 (R/W): 動作中/開始制御

0 (R/W): 停止中/停止制御

0書き込みによって動作中のストップウォッチカウンタを停止させた場合、カウンタは停止時の値を保持します。再度1を書き込むことで、カウンタは保持している値からカウントを再開します。

注: ストップウォッチカウンタは、RTCSWCTL.SWRUNビットに0を書き込み後、ストップウォッチのクロックに同期して停止します。そのため、0を書き込んだ時点のカウント値から、更に+1カウントして停止する場合があります。

RTC Second/1Hz Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCSEC	15	–	0	–	R	–
	14–12	RTCSH[2:0]	0x0	H0	R/W	
	11–8	RTCSL[3:0]	0x0	H0	R/W	
	7	RTC1HZ	0	H0	R	Cleared by setting the RTCCTL.RTCRST bit to 1.
	6	RTC2HZ	0	H0	R	
	5	RTC4HZ	0	H0	R	
	4	RTC8HZ	0	H0	R	
	3	RTC16HZ	0	H0	R	
	2	RTC32HZ	0	H0	R	
	1	RTC64HZ	0	H0	R	
0	RTC128HZ	0	H0	R		

Bit 15 Reserved**Bits 14–12 RTCSH[2:0]****Bits 11–8 RTCSL[3:0]**

RTCSEC.RTCSH[2:0]ビットで秒カウンタの10秒桁、RTCSEC.RTCSL[3:0]ビットで1秒桁の設定または読み出しを行います。設定/読み出し値は0から59までのBCDコードです。

注: RTCCTL.RTCBSYビット = 1のときは、RTCSEC.RTCSH[2:0]/RTCSL[3:0]ビットへの書き込みを禁止します。

8 リアルタイムクロック(RTCA)

Bit 7	RTC1HZ
Bit 6	RTC2HZ
Bit 5	RTC4HZ
Bit 4	RTC8HZ
Bit 3	RTC16HZ
Bit 2	RTC32HZ
Bit 1	RTC64HZ
Bit 0	RTC128HZ

これらのビットにより、1Hzカウンタのデータが読み出せます。
各ビットと周波数の対応は以下のとおりです。

RTCSEC.RTC1HZビット:	1 Hz
RTCSEC.RTC2HZビット:	2 Hz
RTCSEC.RTC4HZビット:	4 Hz
RTCSEC.RTC8HZビット:	8 Hz
RTCSEC.RTC16HZビット:	16 Hz
RTCSEC.RTC32HZビット:	32 Hz
RTCSEC.RTC64HZビット:	64 Hz
RTCSEC.RTC128HZビット:	128 Hz

注: 1Hzカウンタの動作中はカウント値が正しく読みだせないことがあります。これらのビットを2回連続して読み出し、同じ結果が得られたときに正しく読み出せたかと判断してください。

RTC Hour/Minute Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCHUR	15	-	0	-	R	-
	14	RTCAP	0	H0	R/W	
	13-12	RTCHH[1:0]	0x1	H0	R/W	
	11-8	RTCHL[3:0]	0x2	H0	R/W	
	7	-	0	-	R	
	6-4	RTCMIH[2:0]	0x0	H0	R/W	
	3-0	RTCMIL[3:0]	0x0	H0	R/W	

Bit 15 **Reserved**

Bit 14 **RTCAP**

12Hモード(RTCCTL.RTC24Hビット = 0)時は、このビットを使用して午前/午後の設定または読み出しを行います。

1 (R/W): 午後

0 (R/W): 午前

24Hモード(RTCCTL.RTC24Hビット = 1)時は0に固定され、1書き込みは無視されます。ただし、1が設定されている状態で24Hモードに変更した場合は、時カウンタの桁上がり時に0となります。

Bits 13-12 **RTCHH[1:0]**

Bits 11-8 **RTCHL[3:0]**

RTCHUR.RTCHH[1:0]ビットで時カウンタの10時桁、RTCHUR.RTCHL[3:0]ビットで1時桁の設定または読み出しを行います。設定/読み出し値は12Hモード時は1から12まで、24Hモード時は0から23までのBCDコードです。

注: RTCCTL.RTCBSYビット = 1のときは、RTCHUR.RTCHH[1:0]/RTCHL[3:0]ビットへの書き込みを禁止します。

Bit 7 **Reserved**

Bits 6–4 RTCMIH[2:0]**Bits 3–0 RTCMIL[3:0]**

RTCHUR.RTCMIH[2:0]ビットで分カウンタの10分桁、RTCHUR.RTCMIL[3:0]ビットで1分桁の設定または読み出しを行います。設定/読み出し値は0から59までのBCDコードです。

注: RTCCTL.RTCBSYビット = 1のときは、RTCHUR.RTCMIH[2:0]/RTCMIL[3:0]ビットへの書き込みは禁止します。

RTC Month/Day Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCMON	15–13	–	0x0	–	R	–
	12	RTCMOH	0	H0	R/W	
	11–8	RTCMOL[3:0]	0x1	H0	R/W	
	7–6	–	0x0	–	R	
	5–4	RTCDH[1:0]	0x0	H0	R/W	
	3–0	RTCDL[3:0]	0x1	H0	R/W	

Bits 15–13 Reserved**Bit 12 RTCMOH****Bits 11–8 RTCMOL[3:0]**

RTCMON.RTCMOHビットで月カウンタの10月桁、RTCMON.RTCMOL[3:0]ビットで1月桁の設定または読み出しを行います。設定/読み出し値は1から12までのBCDコードです。

注: • RTCCTL.RTCBSYビット = 1のときは、RTCMON.RTCMOH/RTCMOL[3:0]ビットへの書き込みを禁止します。

• RTCMON.RTCMOH/RTCMOL[3:0]ビットを0x00に設定することは禁止します。

Bits 7–6 Reserved**Bits 5–4 RTCDH[1:0]****Bits 3–0 RTCDL[3:0]**

RTCMON.RTCDH[1:0]ビットで日カウンタの10日桁、RTCMON.RTCDL[3:0]ビットで1日桁の設定または読み出しを行います。設定/読み出し値は1から31まで(ただし、平年の2月は28まで、うるう年の2月は29まで、4/6/9/11月は30まで)のBCDコードです。

注: RTCCTL.RTCBSYビット = 1のときは、RTCMON.RTCDH[1:0]/RTCDL[3:0]ビットへの書き込みを禁止します。

RTC Year/Week Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCYAR	15–11	–	0x00	–	R	–
	10–8	RTCWK[2:0]	0x0	H0	R/W	
	7–4	RTCYH[3:0]	0x0	H0	R/W	
	3–0	RTCYL[3:0]	0x0	H0	R/W	

Bits 15–11 Reserved**Bits 10–8 RTCWK[2:0]**

これらのビットで、曜日の設定と読み出しを行います。

曜日カウンタは7進カウンタで、設定/読み出し値は0x0から0x6までです。カウント値と曜日の対応を表8.6.2に示します。

表8.6.2 カウント値と曜日の対応

RTCYAR.RTCWK[2:0]ビット	曜日
0x6	土曜日
0x5	金曜日
0x4	木曜日
0x3	水曜日
0x2	火曜日
0x1	月曜日
0x0	日曜日

注: RTCCTL.RTCBSYビット = 1のときは、RTCYAR.RTCWK[2:0]ビットへの書き込みを禁止します。

Bits 7–4 RTCYH[3:0]

Bits 3–0 RTCYL[3:0]

RTCYAR.RTCYH[3:0]ビットで年カウンタの10年桁、RTCYAR.RTCYL[3:0]ビットで1年桁の設定または読み出しを行います。設定/読み出し値は0から99までのBCDコードです。

注: RTCCTL.RTCBSYビット = 1のときは、RTCYAR.RTCYH[3:0]/RTCYL[3:0]ビットへの書き込みを禁止します。

RTC Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCINTF	15	RTCTRMIF	0	H0	R/W	Cleared by writing 1.
	14	SW1IF	0	H0	R/W	
	13	SW10IF	0	H0	R/W	
	12	SW100IF	0	H0	R/W	
	11–9	–	0x0	–	R	–
	8	ALARMIF	0	H0	R/W	Cleared by writing 1.
	7	1DAYIF	0	H0	R/W	
	6	1HURIF	0	H0	R/W	
	5	1MINIF	0	H0	R/W	
	4	1SECIF	0	H0	R/W	
	3	1_2SECIF	0	H0	R/W	
	2	1_4SECIF	0	H0	R/W	
	1	1_8SECIF	0	H0	R/W	
	0	1_32SECIF	0	H0	R/W	

Bit 15 RTCTRMIF

Bit 14 SW1IF

Bit 13 SW10IF

Bit 12 SW100IF

これらのビットは、リアルタイムクロック割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

RTCINTF.RTCTRMIFビット: 論理緩急終了割り込み

RTCINTF.SW1IFビット: ストップウォッチ1 Hz割り込み

RTCINTF.SW10IFビット: ストップウォッチ10 Hz割り込み

RTCINTF.SW100IFビット: ストップウォッチ100 Hz割り込み

Bits 11–9 Reserved

Bit 8	ALARMIF
Bit 7	1DAYIF
Bit 6	1HURIF
Bit 5	1MINIF
Bit 4	1SECIF
Bit 3	1_2SECIF
Bit 2	1_4SECIF
Bit 1	1_8SECIF
Bit 0	1_32SECIF

これらのビットは、リアルタイムクロック割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

RTCINTF.ALARMIFビット: アラーム割り込み

RTCINTF.1DAYIFビット: 1日割り込み

RTCINTF.1HURIFビット: 1時間割り込み

RTCINTF.1MINIFビット: 1分割り込み

RTCINTF.1SECIFビット: 1秒割り込み

RTCINTF.1_2SECIFビット: 1/2秒割り込み

RTCINTF.1_4SECIFビット: 1/4秒割り込み

RTCINTF.1_8SECIFビット: 1/8秒割り込み

RTCINTF.1_32SECIFビット: 1/32秒割り込み

RTC Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RTCINTE	15	RTCTRMIE	0	H0	R/W	-
	14	SW1IE	0	H0	R/W	
	13	SW10IE	0	H0	R/W	
	12	SW100IE	0	H0	R/W	
	11-9	-	0x0	-	R	
	8	ALARMIE	0	H0	R/W	
	7	1DAYIE	0	H0	R/W	
	6	1HURIE	0	H0	R/W	
	5	1MINIE	0	H0	R/W	
	4	1SECIE	0	H0	R/W	
	3	1_2SECIE	0	H0	R/W	
	2	1_4SECIE	0	H0	R/W	
	1	1_8SECIE	0	H0	R/W	
0	1_32SECIE	0	H0	R/W		

Bit 15 RTCTRMIE

Bit 14 SW1IE

Bit 13 SW10IE

Bit 12 SW100IE

これらのビットは、リアルタイムクロックの割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

RTCINTE.RTCTRMIEビット: 論理緩急終了割り込み

RTCINTE.SW1IEビット: ストップウォッチ1 Hz割り込み

RTCINTE.SW10IEビット: ストップウォッチ10 Hz割り込み

RTCINTE.SW100IEビット: ストップウォッチ100 Hz割り込み

8 リアルタイムクロック(RTCA)

Bits 11–9 Reserved

Bit 8 ALARMIE

Bit 7 1DAYIE

Bit 6 1HURIE

Bit 5 1MINIE

Bit 4 1SECIE

Bit 3 1_2SECIE

Bit 2 1_4SECIE

Bit 1 1_8SECIE

Bit 0 1_32SECIE

これらのビットは、リアルタイムクロックの割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

RTCINTE.ALARMIEビット: アラーム割り込み

RTCINTE.1DAYIEビット: 1日割り込み

RTCINTE.1HURIEビット: 1時間割り込み

RTCINTE.1MINIEビット: 1分割り込み

RTCINTE.1SECIEビット: 1秒割り込み

RTCINTE.1_2SECIEビット: 1/2秒割り込み

RTCINTE.1_4SECIEビット: 1/4秒割り込み

RTCINTE.1_8SECIEビット: 1/8秒割り込み

RTCINTE.1_32SECIEビット: 1/32秒割り込み

9 電源電圧検出回路(SVD)

9.1 概要

SVDは、 V_{DD} 端子に供給される電源電圧または外部端子に供給されている電源電圧を監視する電源電圧検出回路です。主な機能と特長を以下に示します。

- 検出する電源電圧: V_{DD} または外部電源(EXSVD)を選択可能
- 検出電圧レベル: 20レベル(1.8~3.7 V)から選択可能
- 検出結果:
 - 電源電圧が検出電圧レベル未満か否かを読み出し可能
 - 電源電圧低下検出により割り込みまたはリセットを発生可能
- 割り込み: 1系統(電源電圧低下検出割り込み)
- 間欠動作対応:
 - 検出周期を3種類から選択可能
 - 指定回数の連続電源電圧低下検出により割り込み/リセットを発生する電源電圧低下検出カウンタ機能
 - 連続動作も可能

図9.1.1にSVDの構成を示します。

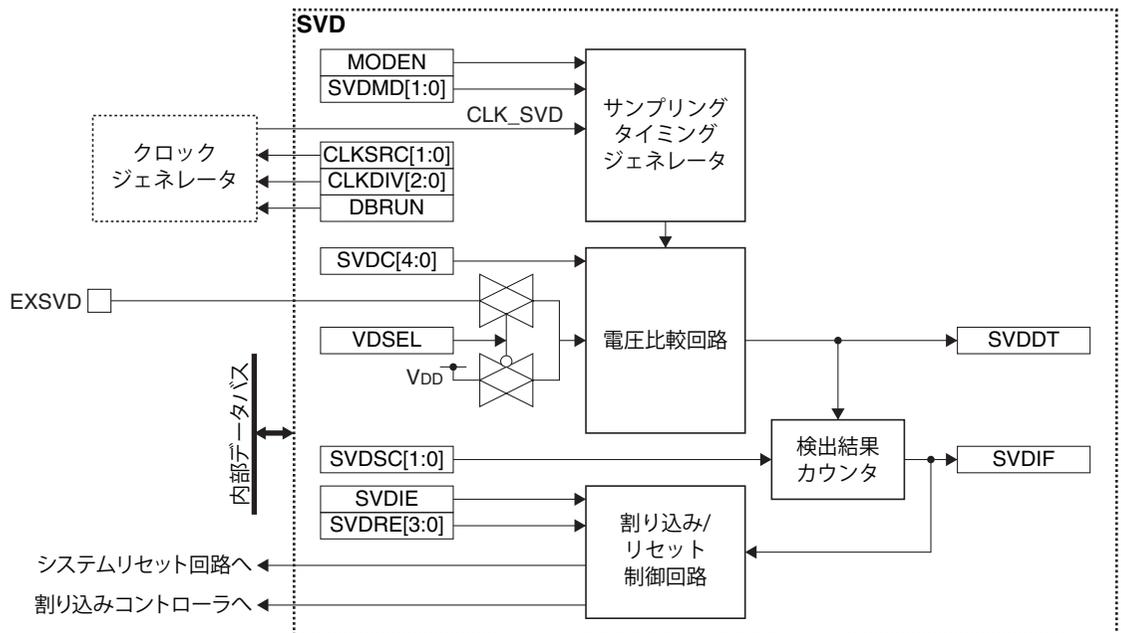


図9.1.1 SVDの構成

9.2 入力端子と外部接続

9.2.1 入力端子

表9.2.1.1にSVDの入力端子を示します。

表9.2.1.1 SVD入力端子

端子名	I/O*	イニシャル状態*	機能
EXSVD	A	A (Hi-Z)	外部電源電圧検出用端子

* 端子機能をSVDに切り換えた時点の状態

EXSVD端子と他の機能がポートを共有している場合、SVDを動作させる前にEXSVDをポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

9.2.2 外部との接続

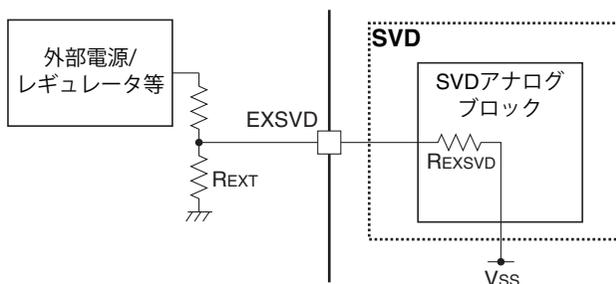


図9.2.2.1 EXSVD端子と外部電源との接続

R_{EXT} は、EXSVD入力インピーダンス R_{EXSVD} よりも十分小さくなるように設定してください。EXSVD端子の入力電圧範囲およびEXSVD入力インピーダンスについては、“電気的特性”の章の“電源電圧検出回路特性”を参照してください。

9.3 クロック設定

9.3.1 SVDの動作クロック

SVDを使用する場合、クロックジェネレータからSVD動作クロックCLK_SVDをSVDに供給する必要があります。

CLK_SVDの供給は以下の手順で制御してください。

1. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。(システムプロテクトを解除)
2. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
3. SVDCLKレジスタの以下のビットを設定する。
 - SVDCLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - SVDCLK.CLKDIV[2:0]ビット (クロック分周比の選択 = クロック周波数の設定)
4. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定)

CLK_SVD周波数は32 kHz近辺に設定してください。

9.3.2 SLEEPモード時のクロック供給

SLEEPモード時にSVDを使用する場合は、SVD動作クロックCLK_SVDのクロックソースに対応したCLGOSC.xxxxSLPCビットに0を書き込み、CLK_SVDを供給し続ける必要があります。

SLEEPモード時に、CLK_SVDのクロックソースに対応したCLGOSC.xxxxSLPCビットが1の場合は、CLK_SVDのクロックソースが停止し、SLEEPモードへ移行する前の設定レジスタの内容を保持したまま、SVDが停止します。その後通常モードに戻ると、CLK_SVDが供給され、SVDの動作が再開します。

9.3.3 DEBUGモード時のクロック供給

DEBUGモード時のCLK_SVDの供給はSVDCLK.DBRUNビットで制御します。

SVDCLK.DBRUNビット = 0の場合、DEBUGモードに移行するとSVDへのCLK_SVDの供給が停止します。その後通常モードに戻ると、CLK_SVDの供給が再開します。CLK_SVDの供給が停止するとSVDの動作は停止しますが、レジスタはDEBUGモードへ移行前の状態に保持されます。

SVDCLK.DBRUNビット = 1の場合、DEBUGモード時もCLK_SVDの供給は停止せず、SVDは動作を継続します。

9.4 動作

9.4.1 SVDの制御

検出開始

以下の手順により初期設定を行い、SVD動作を開始させます。

1. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。 (システムプロテクトを解除)
2. SVDCLK.CLKSRC[1:0]ビットとSVDCLK.CLKDIV[2:0]ビットで動作クロックを設定する。
3. SVDCTLレジスタの以下のビットを設定する。
 - SVDCTL.VDSELビット (検出電圧(V_{DD}またはEXSVD)の選択)
 - SVDCTL.SVDSC[1:0]ビット (電源電圧低下検出カウンタの設定)
 - SVDCTL.SVDC[4:0]ビット (SVD検出電圧V_{SVD}の設定)
 - SVDCTL.SVDRE[3:0]ビット (リセット/割り込みの選択)
 - SVDCTL.SVDM[1:0]ビット (間欠動作モードの設定)
4. 割り込みを使用する場合は以下のビットを設定する。
 - SVDINTF.SVDIFビットに1を書き込み (割り込みフラグをクリア)
 - SVDINTE.SVDIEビットを1に設定 (SVD割り込みイネーブル)
5. SVDCTL.MODENビットを1に設定する。 (SVD検出イネーブル)
6. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。 (システムプロテクトを設定)

検出停止

SVDの動作は以下の手順で終了させます。

1. MSCPROT.PROT[15:0]ビットに0x0096を書き込む。 (システムプロテクトを解除)
2. SVDCTL.MODENビットに0を書き込む。 (SVD検出ディスイネーブル)
3. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。 (システムプロテクトを設定)

検出結果の読み出し

検出結果は次の2種類となり、SVDINTF.SVDDTビットから読み出すことができます。

- SVDINTF.SVDDTビット = 0の場合: 電源電圧(V_{DD}またはEXSVD) ≥ SVD検出電圧V_{SVD}
- SVDINTF.SVDDTビット = 1の場合: 電源電圧(V_{DD}またはEXSVD) < SVD検出電圧V_{SVD}

SVDCTL.MODENビットに1を書き込んでからSVDINTF.SVDDTビットを読み出すまでに、SVD回路イネーブル時応答時間以上の待ち時間が必要です(“電気的特性”の章の“電源電圧検出回路特性、SVD回路イネーブル時応答時間t_{SVDEN}”参照)。また、SVDCTL.MODENビット = 1の状態、SVDCTL.SVDC[4:0]ビットの設定値を変更してSVD検出電圧V_{SVD}を変化させたときは、その時点からSVDINTF.SVDDTビットを読み出すまでに、SVD回路応答時間以上の待ち時間が必要です(“電気的特性”の章の“電源電圧検出回路特性、SVD回路応答時間t_{SVD}”参照)。

9.4.2 SVDの動作

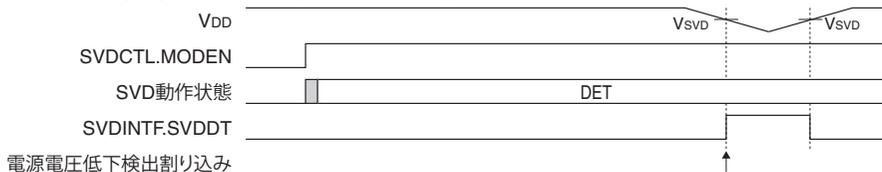
連続動作モード

デフォルト設定(SVDCTL.SVDMMD[1:0]ビット = 0x0)のSVDは連続動作モードで動作します。このモードでは、SVDCTL.MODENビットが1の間、SVDが連続的に動作し検出結果をSVDINTF.SVDDTビットにセットし続けます。この間、必要に応じてSVDINTF.SVDDTビットを読み出し、その時点の検出結果を確認することができます。また、SVDINTF.SVDDTビット = 1になった(電源電圧低下を検出した)時点で割り込み(SVDCTL.SVDRE[3:0]ビット = 0xa以外の場合)、またはリセット(SVDCTL.SVDRE[3:0]ビット = 0xaの場合)を発生させることもできます。このモードでは、電圧検出マスク時間経過後であれば、SLEEP実行や不慮のクロック停止が発生した場合でも、電源電圧低下を検出し続けることができます。

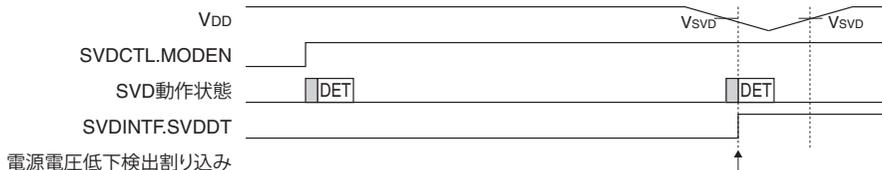
間欠動作モード

SVDCTL.SVDMMD[1:0]ビットを0x1~0x3に設定すると、SVDは間欠動作モードで動作します。このモードでは、SVDCTL.MODENビットが1の間、SVDCTL.SVDMMD[1:0]ビットの値で決まる周期ごとにSVDがONし、検出動作を実行した後にOFFします。この間、必要に応じてSVDINTF.SVDDTビットを読み出し、直前の検出結果を確認することができます。また、電源電圧低下をSVDCTL.SVDSI[1:0]ビットで指定した回数続けて検出した場合に割り込みまたはリセットを発生させることもできます。

(1) SVDCTL.SVDMMD[1:0]ビット = 0x0 (連続動作モード)時



(2) SVDCTL.SVDMMD[1:0]ビット ≠ 0x0 (間欠動作モード)時



V_{SVD}: SVDCTL.SVDC[4:0]ビットで設定したレベル
 []: 電圧検出マスク時間
 [DET]: 電圧検出動作

図9.4.2.1 SVD動作

9.5 SVD割り込みとリセット

9.5.1 SVD割り込み

SVDCTL.SVDRE[3:0]ビットを0xa以外に設定することにより、電源電圧低下検出割り込み機能が使用できます。

表9.5.1.1 電源電圧低下検出割り込み機能

割り込み	割り込みフラグ	セット	クリア
電源電圧低下検出	SVDINTF.SVDIF	連続動作モード時 SVDINTF.SVDDTビットが1のとき 間欠動作モード時 電源電圧低下を指定回数続けて検出した場合	1書き込み

割り込みフラグ(SVDINTF.SVDIFビット)には、対応する割り込みイネーブルビット(SVDINTE.SVDIEビット)があります。SVDINTE.SVDIEビットによって割り込みをイネーブルにした状態でSVDINTF.SVDIFビットがセットされた場合のみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

セットされたSVDINTF.SVDIFビットは、その後電源電圧がSVD検出電圧 V_{SVD} 以上に戻ってもクリアされません。一時的な電源電圧低下で割り込みが発生することもありますので、割り込みハンドルーチン内でSVDINTF.SVDDTビットを読み出して電源電圧の状態を確認してください。

9.5.2 SVDリセット

SVDCTL.SVDRE[3:0]ビットを0xaに設定することにより、SVDのリセット発行機能を使用できます。リセット発行のタイミングは、電源電圧低下の検出によってSVDINTF.SVDIFビットがセットされるタイミングと同じです。

SVDはリセットを発行すると、間欠動作モードで動作していた場合でも連続動作モードに切り換えて動作を続けます。SVDのリセット発行によりポート割り当てが初期化されますが、EXSVD検出時は、EXSVD端子となるポートの入力がSVDに送られ、EXSVDの検出動作が継続して行われます。

電源電圧が復帰し、SVDINTF.SVDDTビット=0の状態になるとリセットが解除されます。リセット解除後、初期化ルーチンを経て再びSVDは元のモードで動作を再開します。

リセット中、SVDの制御ビットは表9.5.2.1のように設定されます。

表9.5.2.1 リセット中のSVD制御ビット

制御レジスタ	制御ビット	設定
SVDCLK	DBRUN	初期値にリセットされる。
	CLKDIV[2:0]	
	CLKSRC[1:0]	
SVDCTL	VDSEL	設定値を保持する。
	SVDS[1:0]	0クリアされる(連続検出モードになるため、設定値無効)。
	SVDC[4:0]	設定値を保持する。
	SVDRE[3:0]	設定値(0xa)を保持する。
	SVDMD[1:0]	0クリアされ、連続検出モードになる。
	MODEN	設定値(1)を保持する。
SVDINTF	SVDIF	リセット前の状態(1)を保持する。
SVDINTE	SVDIE	0クリアされる。

9.6 制御レジスタ

SVD Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SVDCLK	15-9	-	0x00	-	R	-
	8	DBRUN	1	H0	R/WP	
	7	-	0	-	R	
	6-4	CLKDIV[2:0]	0x0	H0	R/WP	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/WP	

Bits 15-9 Reserved

Bit 8 DBRUN

このビットは、DEBUGモード時にSVD動作クロックを供給するか否か設定します。

1 (R/WP): DEBUGモード時にクロックを供給

0 (R/WP): DEBUGモード時はクロック供給を停止

Bit 7 Reserved

Bits 6-4 CLKDIV[2:0]

これらのビットは、SVD動作クロックの分周比を選択します。

Bits 3-2 Reserved

Bits 1-0 CLKSRC[1:0]

これらのビットは、SVDのクロックソースを選択します。

9 電源電圧検出回路(SVD)

表9.6.1 クロックソースと分周比の設定

SVDCLK. CLKDIV[2:0]ビット	SVDCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC
0x6, 0x7	Reserved	1/1	Reserved	1/1
0x5	1/512		1/512	
0x4	1/256		1/256	
0x3	1/128		1/128	
0x2	1/64		1/64	
0x1	1/32		1/32	
0x0	1/16		1/16	

(注) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

注: クロック周波数は32 kHz近辺に設定してください。

SVD Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SVDCTL	15	VDSEL	0	H1	R/WP	–
	14–13	SVDSC[1:0]	0x0	H0	R/WP	Writing takes effect when the SVDCTL.SVDMD[1:0] bits are not 0x0.
	12–8	SVDC[4:0]	0x00	H1	R/WP	–
	7–4	SVDRE[3:0]	0x0	H1	R/WP	–
	3	–	0	–	R	–
	2–1	SVDMD[1:0]	0x0	H0	R/WP	–
	0	MODEN	0	H1	R/WP	–

Bit 15 VDSEL

このビットは、SVDで検出する電源電圧を選択します。

1 (R/WP): EXSVD端子印加電圧

0 (R/WP): V_{DD}

Bits 14–13 SVDSC[1:0]

これらのビットは、間欠動作モード時(SVDCTL.SVDMD[1:0]ビット = 0x1~0x3)に割り込みリセットを発生させる条件(連続して電源電圧低下を検出した回数)を設定します。

表9.6.2 間欠動作モードの割り込み/リセット発生条件

SVDCTL.SVDSC[1:0]ビット	割り込み/リセット発生条件
0x3	電源電圧低下を連続8回検出
0x2	電源電圧低下を連続4回検出
0x1	電源電圧低下を連続2回検出
0x0	電源電圧低下を連続1回検出

この設定は、連続動作モード(SVDCTL.SVDMD[1:0]ビット = 0x0)では無効です。

Bits 12–8 SVDC[4:0]

これらのビットは、電源電圧低下を検出するためのSVD検出電圧V_{SVD}を20種類から選択します。

表9.6.3 SVD検出電圧V_{SVD}の設定

SVDCTL.SVDC[4:0]ビット	SVD検出電圧V _{SVD} [V]
0x1f	High
0x1e	↑
⋮	
0x0d	↓
0x0c	Low
0x0b–0x00	使用禁止

詳細は、“電気的特性”の章の“電源電圧検出回路特性、SVD検出電圧V_{SVD}”を参照してください。

Bits 7–4 SVDRE[3:0]

これらのビットは、電源電圧低下検出時のリセット発行機能をイネーブル/ディスエーブルにします。

0xa (R/W): イネーブル(リセットを発行)

0xa以外 (R/W): ディスエーブル(割り込みを発生)

SVDリセット発行機能の詳細は、“SVDリセット”を参照してください。

Bit 3 Reserved**Bits 2–1 SVDMD[1:0]**

これらのビットは、間欠動作モードと検出周期を選択します。

表9.6.4 間欠動作モードの検出周期選択

SVDCTL.SVDMD[1:0]ビット	動作モード(検出周期)
0x3	間欠動作モード(CLK_SVD/512)
0x2	間欠動作モード(CLK_SVD/256)
0x1	間欠動作モード(CLK_SVD/128)
0x0	連続動作モード

間欠動作モードと連続動作モードについては、“SVDの動作”を参照してください。

Bit 0 MODEN

このビットはSVD回路の動作をイネーブル/ディスエーブルにします。

1 (R/W): イネーブル(検出動作開始)

0 (R/W): ディスエーブル(検出動作停止)

本ビットを変更した場合は、書き込んだ値が本ビットから読み出されるまで次の操作を行わずに待機してください。

注: • SVDCTL.MODENビットに0を書き込むことにより、SVD内のハードウェアがリセットされます。ただし、レジスタの設定値や割り込みフラグはクリアされません。SVDCTL.MODENビットはこの処理が終了後に、実際に0に設定されます。このとき、同ビットから0が読み出されることを確認せずに続けてSVDCTL.MODENビットに1を書き込むと、タイミングによっては0の書き込みが無視され、ハードウェアがリセットされずに再起動し、誤動作を起こすことがあります。

- SVDCTL.MODENビットに1を書き込み後のSVD動作中にSVDCTL.SVDSC[1:0]ビット、SVDCTL.SVDRE[3:0]ビット、またはSVDCTL.SVDMD[1:0]ビットを変更すると、SVD内部が初期化されます。

SVD Status and Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SVDINTF	15–9	–	0x00	–	R	–
	8	SVDDT	x	–	R	
	7–1	–	0x00	–	R	
	0	SVDIF	0	H1	R/W	Cleared by writing 1.

Bits 15–9 Reserved**Bit 8 SVDDT**

このビットから電源電圧検出結果が読み出せます。

1 (R): 電源電圧(V_{DD}またはEXSVD) < SVD検出電圧V_{SVD}

0 (R): 電源電圧(V_{DD}またはEXSVD) ≥ SVD検出電圧V_{SVD}

Bits 7–1 Reserved**Bit 0 SVDIF**

このビットは、電源電圧低下検出割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

9 電源電圧検出回路(SVD)

注: SVDCTL.MODENビットに1を書き込み後のSVD動作中に割り込みフラグをクリアすると、SVD内部が初期化されます。

SVD Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SVDINTE	15-8	-	0x00	-	R	-
	7-1	-	0x00	-	R	
	0	SVDIE	0	H0	R/W	

Bits 15-1 Reserved

Bit 0 SVDIE

このビットは、電源電圧低下検出割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

- 注:
- SVDCTL.SVDRE[3:0]ビットを0xaに設定した場合は割り込みタイミングでリセットが発行されるため、本ビットの設定にかかわらず電源電圧低下検出割り込みは発生しません。
 - 不要な割り込みの発生を防ぐため、割り込みをイネーブルにする前に対応する割り込みフラグをクリアしてください。

10 16ビットタイマ(T16)

10.1 概要

T16は16ビットタイマです。主な機能と特長を以下に示します。

- 16ビットのプリセッタブルダウンカウンタ
- プリセット値設定用のリロードデータレジスタを搭載
- カウントクロックを生成するクロックソースとクロック分周比を選択可能
- リpeatモードとワンショットモードを選択可能
- カウンタのアンダーフロー割り込みを発生可能

図10.1.1にT16チャンネルの構成を示します。

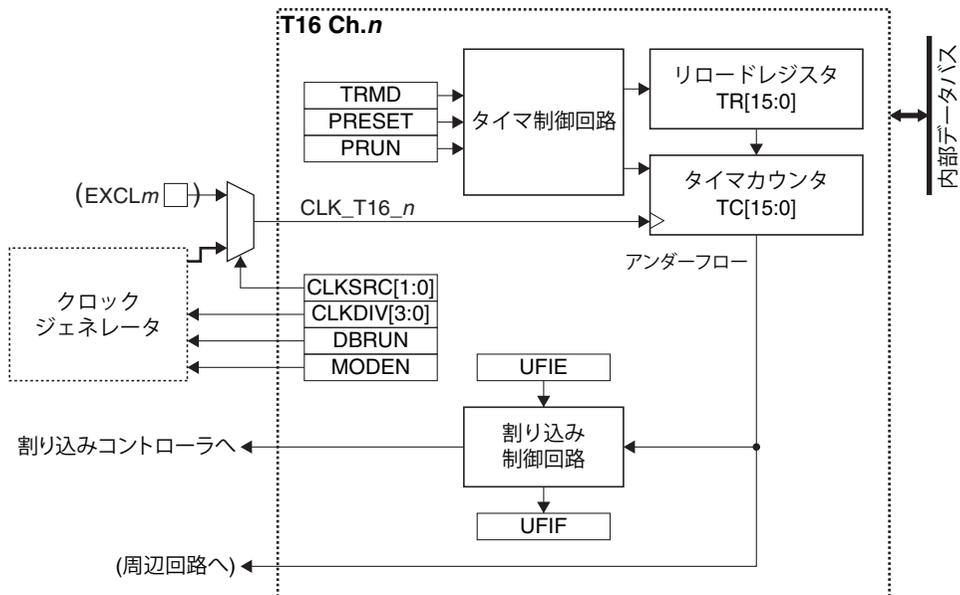
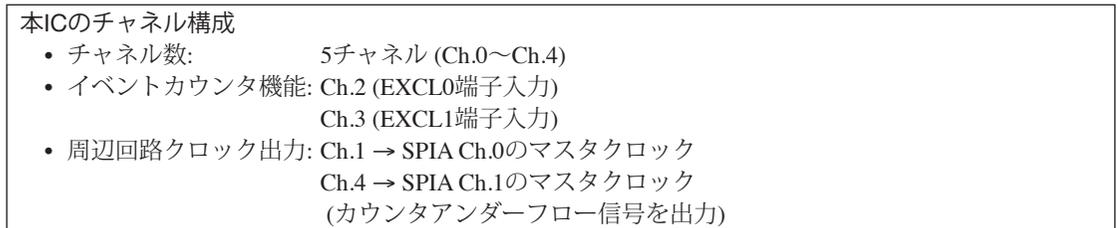


図10.1.1 T16チャンネルの構成

10.2 入力端子

表10.2.1にT16の入力端子を示します。

表10.2.1 T16入力端子

端子名	I/O*	イニシャル状態*	機能
EXCL m	I	I (Hi-Z)	外部イベント信号入力端子

* 端子機能をT16に切り換えた時点の状態

EXCL m 端子と他の機能がポートを共有している場合、イベントカウンタ機能を使用する前にEXCL m 入力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

10.3 クロック設定

10.3.1 T16の動作クロック

T16 Ch.*n*を使用する場合、クロックジェネレータからT16 Ch.*n*動作クロックCLK_T16_*n*をT16 Ch.*n*に供給する必要があります。

CLK_T16_*n*の供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
2. T16_*n*CLKレジスタの以下のビットを設定する。
 - T16_*n*CLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - T16_*n*CLK.CLKDIV[3:0]ビット (クロック分周比の選択 = クロック周波数の設定)

10.3.2 SLEEPモード時のクロック供給

SLEEPモード時にT16を使用する場合は、T16動作クロックCLK_T16_*n*のクロックソースに対応したCLGOSC.*xxxx*SLPCビットに0を書き込み、CLK_T16_*n*を供給し続ける必要があります。

SLEEPモード時に、CLK_T16_*n*のクロックソースに対応したCLGOSC.*xxxx*SLPCビットが1の場合は、CLK_T16_*n*のクロックソースが停止し、SLEEPモードへ移行する前の設定レジスタやカウンタの内容を保持したまま、T16が停止します。その後通常モードに戻ると、CLK_T16_*n*が供給され、T16の動作が再開します。

10.3.3 DEBUGモード時のクロック供給

DEBUGモード時のCLK_T16_*n*の供給はT16_*n*CLK.DBRUNビットで制御します。

T16_*n*CLK.DBRUNビット = 0の場合、DEBUGモードに移行するとT16 Ch.*n*へのCLK_T16_*n*の供給が停止します。その後通常モードに戻ると、CLK_T16_*n*の供給が再開します。CLK_T16_*n*の供給が停止するとT16 Ch.*n*の動作は停止しますが、カウンタやレジスタはDEBUGモードへ移行前の状態に保持されます。T16_*n*CLK.DBRUNビット = 1の場合、DEBUGモード時もCLK_T16_*n*の供給は停止せず、T16 Ch.*n*は動作を継続します。

10.3.4 イベントカウンタクロック

イベントカウンタ機能に対応したチャンネルでは、T16_*n*CLK.CLKSRC[1:0]ビットを0x3に設定すると、EXCL*m*端子から入力される信号の立ち上がりエッジでカウントダウンを行います。

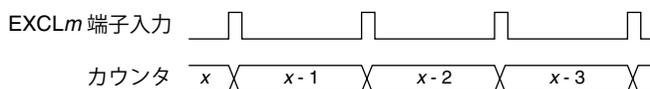


図10.3.4.1 カウントダウンタイミング

イベントカウンタ機能に非対応のチャンネルでは、EXOSCクロックが選択されます。

10.4 動作

10.4.1 初期設定

T16 Ch.*n*は、以下の手順により初期設定を行い、カウントを開始させます。

1. T16 Ch.*n*動作クロックを設定する(“T16の動作クロック”参照)。
2. T16_*n*CTL.MODENビットを1に設定する。(カウント動作クロックイネーブル)
3. T16_*n*MOD.TRMDビットを設定する。(動作モード(リピートモード/ワンショットモード)の設定)
4. T16_*n*TRレジスタを設定する。(リロードデータ(カウンタプリセットデータ)の設定)

5. 割り込みを使用する場合は以下のビットを設定する。
 - T16_nINTF.UFIFビットに1を書き込み (割り込みフラグをクリア)
 - T16_nINTE.UFIEビットを1に設定 (アンダーフロー割り込みイネーブル)
6. T16_nCTLレジスタの以下のビットを設定する。
 - T16_nCTL.PRESETビットを1に設定 (リロードデータをカウンタにプリセット)
 - T16_nCTL.PRUNビットを1に設定 (カウントスタート)

10.4.2 カウンタのアンダーフロー

通常、T16のカウンタはプリセットされたリロードデータの値からカウントダウンを行い、アンダーフローが発生するとアンダーフロー信号を生成します。この信号は割り込みを発生させ、また特定の周辺回路へも出力され、クロックとして使用されます(クロックとして使用する場合は、T16 Ch.nをリピートモードに設定する必要があります)。アンダーフロー周期は、T16 Ch.nの動作クロックの設定、およびT16_nTRレジスタに設定するリロードデータ(カウンタの初期値)によって決まり、次の式で計算できます。

$$T = \frac{TR + 1}{f_{CLK_T16_n}} \quad f_T = \frac{f_{CLK_T16_n}}{TR + 1} \quad (\text{式10.1})$$

ここで

T:	アンダーフロー周期 [s]
f _T :	アンダーフロー周波数 [Hz]
TR:	T16_nTRレジスタの設定値
f _{CLK_T16_n} :	T16 Ch.nの動作クロックの周波数 [Hz]

10.4.3 リピートモードの動作

T16_nMOD.TRMDビットを0に設定すると、T16 Ch.nはリピートモードになります。リピートモードでは、T16_nCTL.PRUNビットに1を書き込み後、0を書き込むまでカウント動作を続けます。カウンタがアンダーフローした時点でT16_nTRレジスタの設定値がプリセットされますので、一定の周期でアンダーフローを発生させることができます。周期的なアンダーフロー割り込みを発生させる場合、あるいは周辺回路へのトリガ/クロック出力に使用するタイマにはこのモードを選択します。

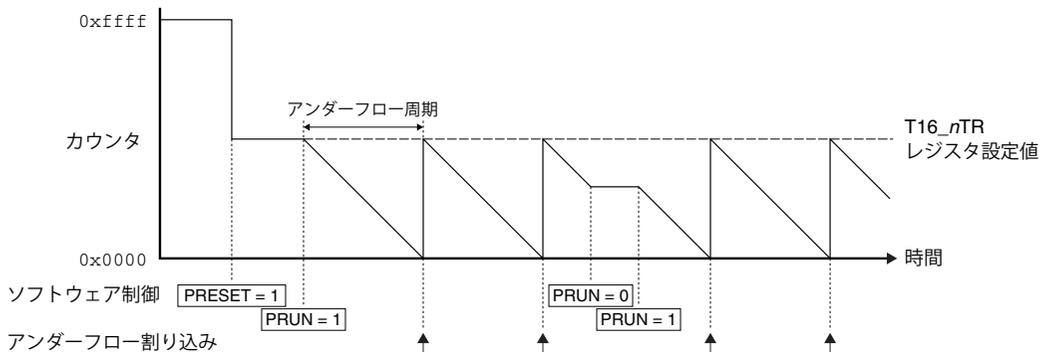


図10.4.3.1 リピートモードのカウント動作

10.4.4 ワンショットモードの動作

T16_nMOD.TRMDビットを1に設定すると、タイマはワンショットモードになります。ワンショットモードでは、T16_nCTL.PRUNビットへの1書き込みによりカウント動作を開始後、カウンタがアンダーフローした時点で、T16_nTRレジスタの設定値をプリセットしてカウント動作を停止します。これと同時に、T16_nCTL.PRUNビットは自動的にクリアされます。特定の時間経過を確認するときなど、1度の割り込みで停止させる場合はこのモードを選択します。

10 16ビットタイマ(T16)

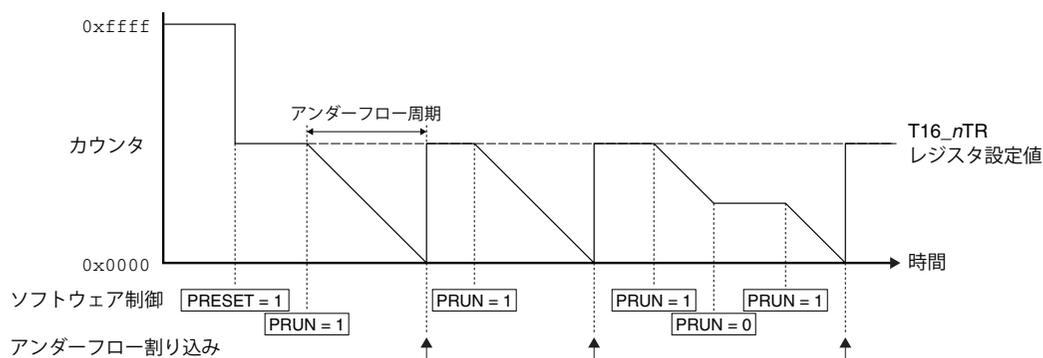


図10.4.4.1 ワンショットモードのカウンタ動作

10.4.5 カウンタ値のリード

カウンタ値は、T16_nTC.TC[15:0]ビットから読み出せます。ただし、CLK_T16_nで動作しているため、CPUで正しく読み出すためには、下記のいずれかの操作が必要です。

- 2回以上読み出して、カウンタ値が一致していることを確認する。
- タイマを停止させてから読み出す。

10.5 割り込み

T16の各チャンネルには、表10.5.1に示す割り込みを発生させる機能があります。

表10.5.1 T16の割り込み機能

割り込み	割り込みフラグ	セット	クリア
アンダーフロー	T16_nINTE.UFIF	カウンタにアンダーフローが発生したとき	1書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

10.6 制御レジスタ

T16 Ch.n Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nCLK	15-9	-	0x00	-	R	-
	8	DBRUN	0	H0	R/W	
	7-4	CLKDIV[3:0]	0x0	H0	R/W	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

Bits 15-9 Reserved

Bit 8 DBRUN

このビットは、DEBUGモード時にT16 Ch.n動作クロックを供給するか否か設定します。
 1 (R/W): DEBUGモード時にクロックを供給
 0 (R/W): DEBUGモード時はクロック供給を停止

Bits 7-4 CLKDIV[3:0]

これらのビットは、T16 Ch.n動作クロック(カウンタクロック)の分周比を選択します。

Bits 3-2 Reserved

Bits 1-0 CLKSRC[1:0]

これらのビットは、T16 Ch.nのクロックソースを選択します。

表10.6.1 クロックソースと分周比の設定

T16_nCLK. CLKDIV[3:0]ビット	T16_nCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC/EXCLm
0xf	1/32,768	1/1	1/32,768	1/1
0xe	1/16,384		1/16,384	
0xd	1/8,192		1/8,192	
0xc	1/4,096		1/4,096	
0xb	1/2,048		1/2,048	
0xa	1/1,024		1/1,024	
0x9	1/512		1/512	
0x8	1/256		1/256	
0x7	1/128	1/128	1/128	
0x6	1/64	1/64	1/64	
0x5	1/32	1/32	1/32	
0x4	1/16	1/16	1/16	
0x3	1/8	1/8	1/8	
0x2	1/4	1/4	1/4	
0x1	1/2	1/2	1/2	
0x0	1/1	1/1	1/1	

(注1) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

(注2) T16_nCLK.CLKSRC[1:0]ビット = 0x3の設定は、イベント機能付きのチャンネルにはEXCLmが、それ以外のチャンネルにはEXOSCが選択されます。

T16 Ch.n Mode Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nMOD	15–8	–	0x00	–	R	–
	7–1	–	0x00	–	R	
	0	TRMD	0	H0	R/W	

Bits 15–1 Reserved

Bit 0 TRMD

このビットは、T16の動作モードを選択します。

1 (R/W): ワンショットモード

0 (R/W): リピートモード

動作モードの詳細は、“ワンショットモードの動作”および“リピートモードの動作”を参照してください。

T16 Ch.n Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nCTL	15–9	–	0x00	–	R	–
	8	PRUN	0	H0	R/W	
	7–2	–	0x00	–	R	
	1	PRESET	0	H0	R/W	
	0	MODEN	0	H0	R/W	

Bits 15–9 Reserved

Bit 8 PRUN

このビットはタイマをスタート/ストップします。

1 (W): タイマをスタート

0 (W): タイマをストップ

1 (R): タイマ動作中

0 (R): タイマ停止中

10 16ビットタイマ(T16)

このビットに1を書き込むことにより、タイマはカウント動作を開始します。ただし、このビットと共にT16_nCTL.MODENビットも1に設定するか、あるいはすでに設定されている必要があります。タイマが動作中はこのビットへの0書き込みにより、カウント動作を停止させることができます。ワンショットモード時にカウンタのアンダーフローによってカウントを停止したときは、このビットが自動的に0にクリアされます。

Bits 7–2 Reserved

Bit 1 PRESET

このビットは、T16_nTRレジスタに設定されているリロードデータをカウンタにプリセットします。

1 (W): プリセット

0 (W): 無効

1 (R): プリセットの実行中

0 (R): プリセットを終了または通常動作中

このビットに1を書き込むと、タイマはT16_nTRレジスタの値をカウンタにプリセットします。ただし、このビットと共にT16_nCTL.MODENビットも1に設定するか、あるいはすでに設定されている必要があります。プリセット動作実行中は1を保持し、プリセットが完了すると自動的に0にクリアされます。

Bit 0 MODEN

このビットは、T16 Ch.nの動作をイネーブルにします。

1 (R/W): イネーブル(動作クロックを供給)

0 (R/W): ディスエーブル(動作クロックの供給を停止)

T16 Ch.n Reload Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nTR	15–0	TR[15:0]	0xffff	H0	R/W	–

Bits 15–0 TR[15:0]

これらのビットには、カウンタにプリセットする初期値を設定しておきます。

T16_nCTL.PRESETビットに1を書き込んだ場合や、カウンタがアンダーフローした時点で、このレジスタの値がカウンタにプリセットされます。

注: ・ タイマ動作中(T16_nCTL.PRUNビット = 1)は、誤った初期値がカウンタにプリセットされる恐れがあるため、T16_nTRレジスタを変更することはできません。

・ ワンショットモードのときは、T16_nTR.TR[15:0]ビットを0x0001以上の値に設定してください。

T16 Ch.n Counter Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nTC	15–0	TC[15:0]	0xffff	H0	R	–

Bits 15–0 TC[15:0]

これらのビットから、現在のカウンタの値が読み出せます。

T16 Ch.n Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_nINTF	15–8	–	0x00	–	R	–
	7–1	–	0x00	–	R	
	0	UFIF	0	H0	R/W	Cleared by writing 1.

Bits 15–1 Reserved

Bit 0 UFIF

このビットは、T16 Ch.*n*アンダーフロー割り込み要因の発生状況を示します。

- 1 (R): 割り込み要因あり
- 0 (R): 割り込み要因なし
- 1 (W): フラグをクリア
- 0 (W): 無効

T16 Ch.*n* Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
T16_ <i>n</i> INTE	15-8	-	0x00	-	R	-
	7-1	-	0x00	-	R	
	0	UFIE	0	H0	R/W	

Bits 15-1 Reserved**Bit 0 UFIE**

このビットは、T16 Ch.*n*アンダーフロー割り込みをイネーブルにします。

- 1 (R/W): 割り込みイネーブル
- 0 (R/W): 割り込みディスエーブル

注: 不要な割り込みの発生を防ぐため、割り込みをイネーブルにする前に対応する割り込みフラグをクリアしてください。

11 UART(UART)

11.1 概要

UARTは非同期式シリアルインタフェースです。主な機能と特長を以下に示します。

- 転送クロックを生成するためのボーレートジェネレータを内蔵
- 7ビットまたは8ビットのデータ長に対応(LSB先頭)
- 偶数パリティ、奇数パリティ、パリティなしが選択可能
- スタートビット長は1ビット固定
- 1ビットまたは2ビットのストップビット長が選択可能
- 全二重通信に対応
- 2バイトの受信データバッファと1バイトの送信データバッファを内蔵
- 内蔵RZI変調/復調回路によりIrDA1.0赤外線通信に対応
- パリティエラー、フレーミングエラー、オーバーランエラーを検出可能
- 受信バッファフル(1バイト/2バイト)、送信バッファエンpty、送信完了、パリティエラー、フレーミングエラー、オーバーランエラーにて割り込みを発生可能
- 入力端子のプルアップ制御が可能
- 出力端子のオープンドレイン制御が可能

図11.1.1にUARTの構成を示します。

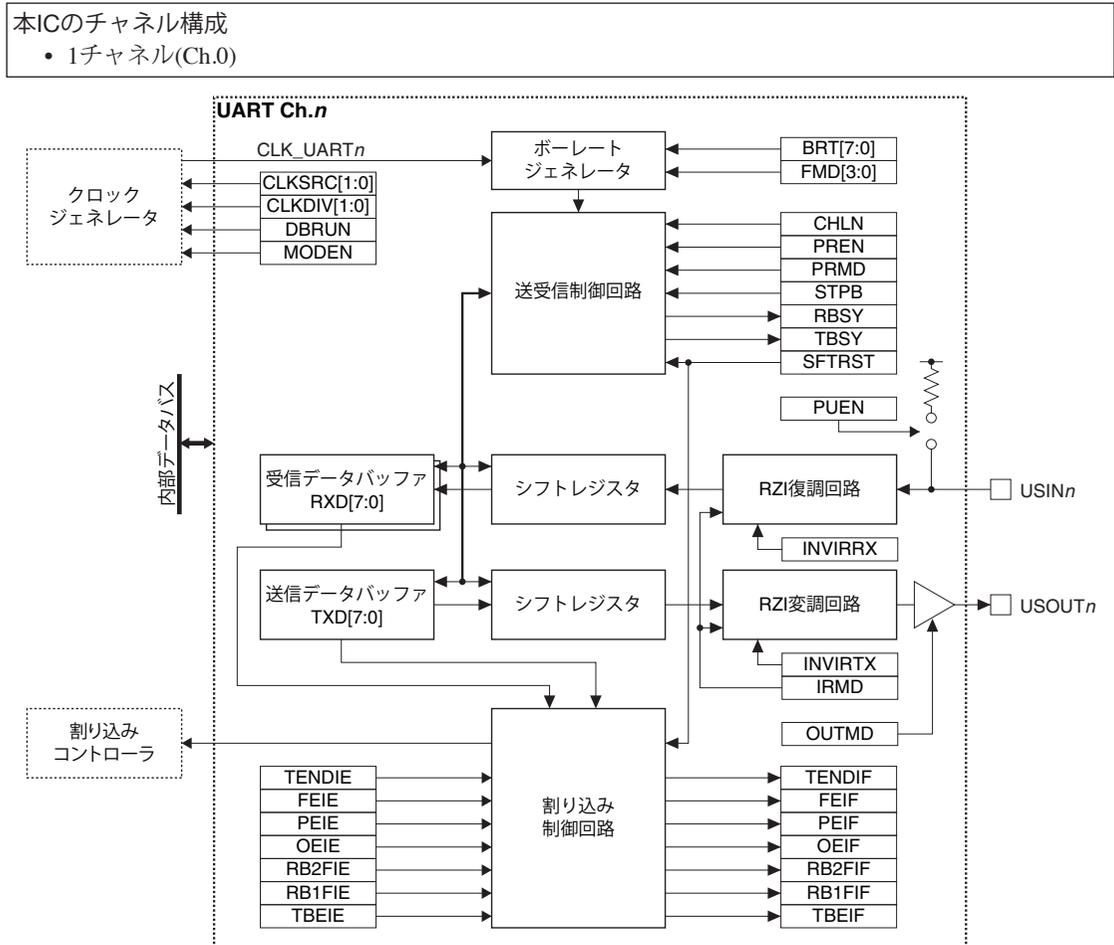


図11.1.1 UARTの構成

11.2 入出力端子と外部接続

11.2.1 入出力端子一覧

表11.2.1.1にUARTの端子一覧を示します。

表11.2.1.1 UART端子一覧

端子名	I/O*	イニシャル状態*	機能
USIN n	I	I (Hi-Z)	UART Ch. n データ入力端子
USOUT n	O	O (High)	UART Ch. n データ出力端子

* 端子機能をUARTに切り換えた時点の状態

これらのUART端子と他の機能がポートを共有している場合、UARTを動作させる前にUARTの入出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

11.2.2 外部との接続

本ICのUARTと外部UART機器との接続を図11.2.2.1に示します。

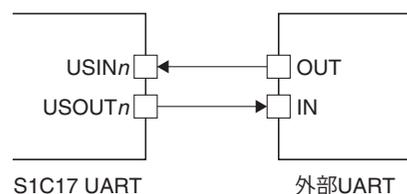


図11.2.2.1 UARTと外部UART機器との接続

11.2.3 入力端子のプルアップ機能

USIN n 端子にはプルアップ抵抗が内蔵されています。UAnMOD.PUENビットを1に設定すると、この抵抗が有効になり、USIN n 端子がプルアップされます。

11.2.4 出力端子のオープンドレイン出力機能

USOUT n 端子にはオープンドレイン出力機能があります。デフォルト設定はプッシュプル出力ですが、UAnMOD.OUTMDビットを1に設定するとオープンドレイン出力になります。

11.3 クロック設定

11.3.1 UARTの動作クロック

UART Ch. n を使用する場合、クロックジェネレータからUART Ch. n 動作クロックCLK_UART n をUART Ch. n に供給する必要があります。CLK_UART n の供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
2. UAnCLKレジスタの以下のビットを設定する。
 - UAnCLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - UAnCLK.CLKDIV[1:0]ビット (クロック分周比の選択 = クロック周波数の設定)

UARTの動作クロックは、ボーレートジェネレータで設定しやすいクロックを選択してください。

11.3.2 SLEEPモード時のクロック供給

SLEEPモード時にUARTを使用する場合は、UART動作クロックCLK_UART n のクロックソースに対応したCLGOSC.xxxxSLPCビットに0を書き込み、CLK_UART n を供給し続ける必要があります。

11.3.3 DEBUGモード時のクロック供給

DEBUGモード時のCLK_UART n の供給はUANCLK.DBRUNビットで制御します。

UANCLK.DBRUNビット = 0の場合、DEBUGモードに移行するとUART Ch. n へのCLK_UART n の供給が停止します。その後通常モードに戻ると、CLK_UART n の供給が再開します。CLK_UART n の供給が停止するとUART Ch. n の動作は停止しますが、出力端子やレジスタはDEBUGモードへ移行前の状態に保持されます。

UANCLK.DBRUNビット = 1の場合、DEBUGモード時もCLK_UART n の供給は停止せず、UART Ch. n は動作を継続します。

11.3.4 ボーレートジェネレータ

UARTは転送(サンプリング)クロックを生成するボーレートジェネレータを内蔵しています。転送レートはUANBR.BRT[7:0]ビットと、UANBR.FMD[3:0]ビットの設定により決まります。

希望の転送レートを求めるための設定値は次の式で計算できます。

$$\text{bps} = \frac{\text{CLK_UART}}{\{(\text{BRT} + 1) \times 16 + \text{FMD}\}} \quad \text{BRT} = \left(\frac{\text{CLK_UART}}{\text{bps}} - \text{FMD} - 16 \right) \div 16 \quad (\text{式11.1})$$

ここで

CLK_UART: UART動作クロック周波数 [Hz]

bps: 転送レート [bit/s]

BRT: UANBR.BRT[7:0]設定値(0~255)

FMD: UANBR.FMD[3:0]設定値(0~15)

UARTで設定可能な転送レートの範囲は、“電気的特性”の章の“UART特性、送受信ボーレートUBRT1、UBRT2”を参照してください。

11.4 データフォーマット

本UARTでは、データ長、ストップビット長、パリティ機能の設定が可能です。スタートビット長は1ビットに固定です。

データ長

データ長は、UANMOD.CHLNビットで7ビット(UANMOD.CHLNビット = 0)、または8ビット(UANMOD.CHLNビット = 1)に設定可能です。

ストップビット長

ストップビット長はUANMOD.STPBビットで1ビット(UANMOD.STPBビット = 0)または2ビット(UANMOD.STPBビット = 1)に設定可能です。

パリティ機能

パリティ機能はUANMOD.PRENビットとUANMOD.PRMDビットで設定します。

表11.4.1 パリティ機能の設定

UANMOD.PRENビット	UANMOD.PRMDビット	パリティ機能
1	1	奇数パリティ
1	0	偶数パリティ
0	*	パリティなし

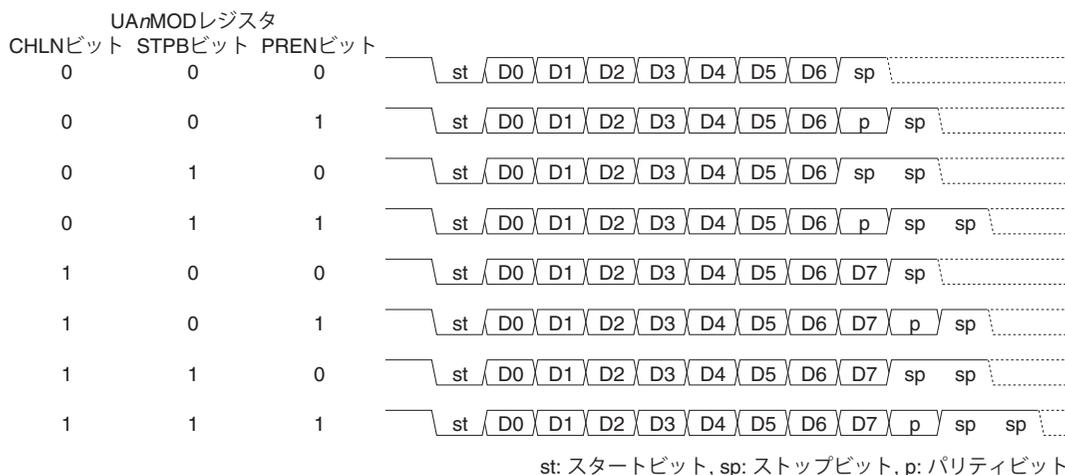


図11.4.1 データフォーマット

11.5 動作

11.5.1 初期設定

UART Ch.nは、以下の手順により初期設定を行います。

- UART Ch.n入出力機能をポートに割り当てる。(“入出力ポート”の章を参照)
- UARTnCLK.CLKSRC[1:0]ビットとUARTnCLK.CLKDIV[1:0]ビットを設定する。(動作クロックを設定)
- UARTnMODレジスタの以下のビットを設定する。
 - UARTnMOD.PUENビット (USINn端子のプルアップイネーブル/ディスエーブル)
 - UARTnMOD.OUTMDビット (USOUTn端子のオープンドレイン出力イネーブル/ディスエーブル)
 - UARTnMOD.IRMDビット (IrDAインタフェースイネーブル/ディスエーブル)
 - UARTnMOD.CHLNビット (7/8ビットデータ長設定)
 - UARTnMOD.PRENビット (パリティイネーブル/ディスエーブル)
 - UARTnMOD.PRMDビット (偶数/奇数パリティ選択)
 - UARTnMOD.STPBビット (1/2ビットストップビット長設定)
- UARTnBR.BRT[7:0]ビットとUARTnBR.FMD[3:0]ビットを設定する。(転送レートを設定)
- UARTnCTLレジスタの以下のビットを設定する。
 - UARTnCTL.SFTRSTビットを1に設定 (ソフトウェアリセットを実行)
 - UARTnCTL.MODENビットを1に設定 (UART Ch.nの動作をイネーブル)
- 割り込みを使用する場合は以下のビットを設定する。
 - UARTnINTFレジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
 - UARTnINTEレジスタの割り込みイネーブルビットを1に設定* (割り込みイネーブル)

* UARTnINTF.TBEIFビットの初期値が1のため、UARTnINTE.TBEIEビットを1に設定すると、その直後に割り込みが発生します。

11.5.2 データ送信

UART Ch.nのデータ送信手順と動作を以下に示します。また、タイミングチャートとフローチャートをそれぞれ図11.5.2.1と図11.5.2.2に示します。

送信手順

- UARTnINTF.TBEIFビットが1(送信バッファエンプティ)になっていることを確認する。
- UARTnTXDレジスタに送信データを書き込む。
- 割り込みを使用する場合はUART割り込みを待つ。
- 送信データ終了まで、1~3(または1と2)を繰り返す。

UARTの送信動作

UAnTXDレジスタに送信データを書き込むことにより、UART Ch.nは送信動作を開始します。

UAnTXDレジスタの送信データは自動的にシフトレジスタへ転送され、UAnINTF.TBEIFビットが1(送信バッファエンプティ)にセットされます。

次にスタートビットがUSOUTn端子から出力され、UAnINTF.TBSYビットが1(送信ビジー)にセットされます。続いて、シフトレジスタのデータがLSBから順次出力されます。MSBの出力後、パリティビット(パリティ機能有効時のみ)とストップビットが出力されます。

USOUTn端子から送信データが出力されている最中であっても、UAnINTF.TBEIFビット = 1を確認した後に、UAnTXDレジスタへ次の送信データを書き込むことができます。

USOUTn端子からストップビットが出力されたときに、UAnTXDレジスタに送信データが書き込まれていなかった場合、UAnINTF.TBSYビットが0にクリアされ、UAnINTF.TENDIFビットが1(送信完了)にセットされます。

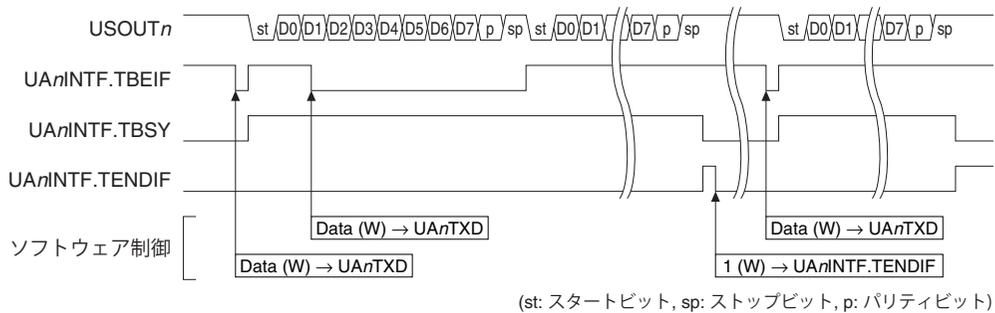


図11.5.2.1 データ送信動作例

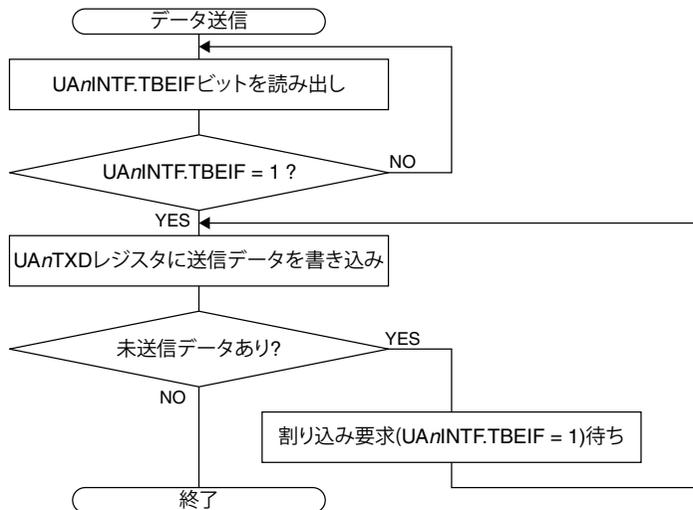


図11.5.2.2 データ送信フローチャート

11.5.3 データ受信

UART Ch.nのデータ受信手順と動作を以下に示します。また、タイミングチャートを図11.5.3.1に、フローチャートを図11.5.3.2に示します。

受信手順(1バイトずつ読み出し)

1. 割り込みを使用する場合はUART割り込みを待つ。
2. UAnINTF.RB1FIFビットが1(受信バッファ1バイトフル)になっていることを確認する。
3. UAnRXDレジスタから受信データを読み出す。
4. 受信終了まで、1~3(または2と3)を繰り返す。

受信手順(2バイトずつ読み出し)

1. 割り込みを使用する場合はUART割り込みを待つ。
2. $UAnINTF.RB2FIF$ ビットが1(受信バッファ 2バイトフル)になっていることを確認する。
3. $UAnRXD$ レジスタから受信データを2回読み出す。
4. 受信終了まで、1~3(または2と3)を繰り返す。

UARTの受信動作

$USINn$ 端子にスタートビットが入力されると、UART Ch. n は受信動作を開始します。

受信回路はスタートビットのLOWレベルを検出して続くデータビットのサンプリングを開始し、受信シフトレジスタに受信データを取り込みます。また、スタートビットを検出した時点で $UAnINTF.RBSY$ ビットを1にセットします。

ストップビットを受信するタイミングで、 $UAnINTF.RBSY$ ビットを0にクリアし、受信シフトレジスタのデータを受信データバッファに転送します。

受信データバッファは2バイトのFIFOで構成されており、満杯になるまで受信することが可能です。

受信データバッファが1つ目のデータを受信すると、 $UAnINTF.RB1FIF$ ビットが1(受信バッファ 1バイトフル)にセットされます。1つ目のデータを読み出さずに2つ目のデータを受信すると、 $UAnINTF.RB2FIF$ ビットが1(受信バッファ 2バイトフル)にセットされます。

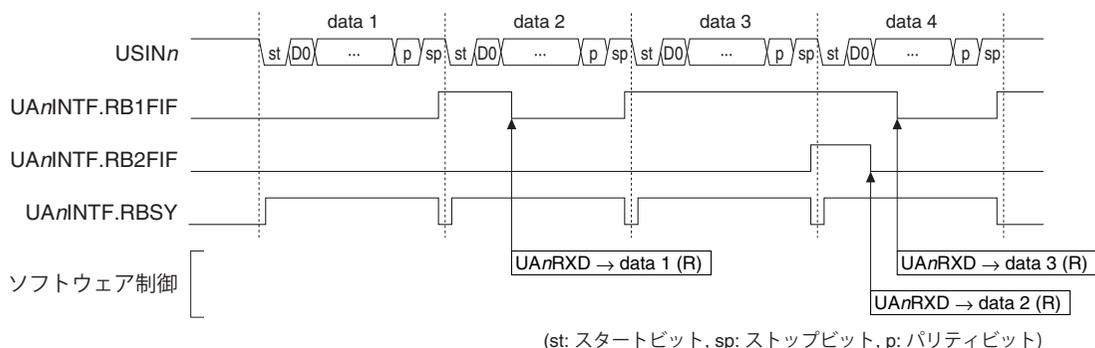


図11.5.3.1 データ受信動作例

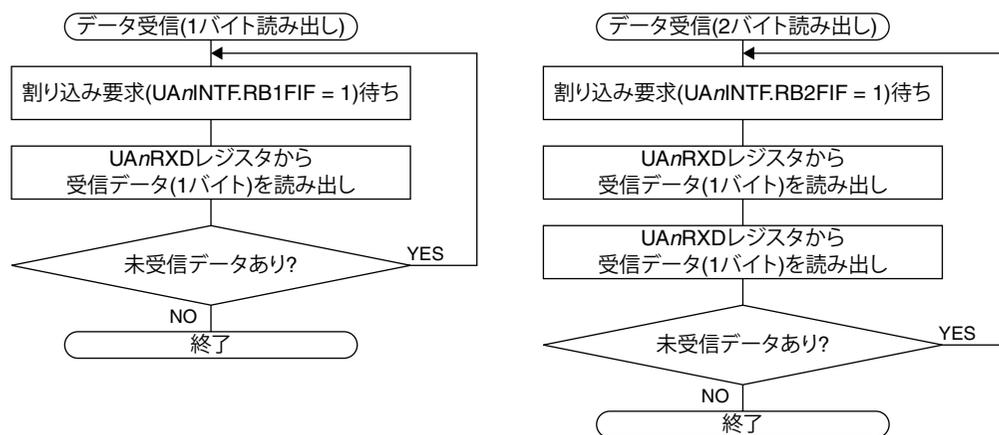


図11.5.3.2 データ受信フローチャート

11.5.4 IrDAインタフェース

UARTにはRZI変調/復調回路が組み込まれており、簡単な外付け回路の追加のみで、IrDA1.0に対応する赤外線通信回路を構成することができます。

IrDAインタフェース機能を使用するには、 $UAnMOD.IRMD$ ビットを1に設定します。

IrDAインタフェース機能が有効の場合も、データ送受信の制御方法は通常のインタフェースと同じです。

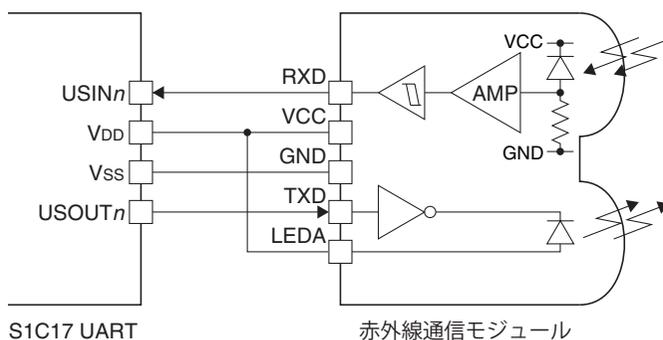


図11.5.4.1 赤外線通信モジュールとの接続例

UART Ch.*n*の送信用シフトレジスタから出力された送信データは、SIR方式のRZI変調回路にてLOW出力が通常の3/16のパルス幅に変調された後、反転されたものがUSOUT*n*端子から出力されます。なお、UANMOD.INVIRTXビットを1に設定することで、USOUT*n*端子の出力を反転することができます。

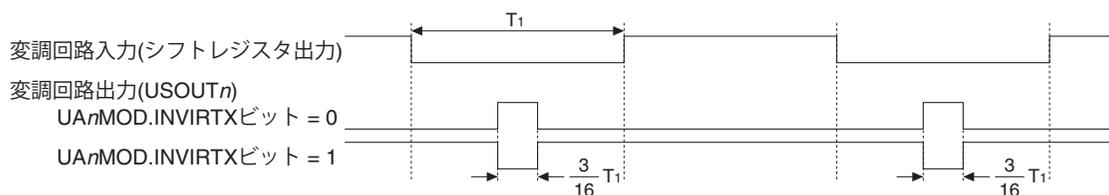


図11.5.4.2 IrDA送信信号波形

受信したIrDA信号はRZI復調回路に入力され、通常のLOWパルス幅に変換された後、受信用シフトレジスタに入力されます。なお、UANMOD.INVIRRXビットを1に設定することで、USIN*n*端子からの入力を反転して復調することができます。



図11.5.4.3 IrDA受信信号波形

注: 入力するIrDA信号のLOWパルス T_2 は $CLK_UART \times 3$ 周期以上の幅としてください。

11.6 受信エラー

UARTはデータ受信時に、フレーミングエラー、パリティエラー、オーバーランエラーの3種類の受信エラーを検出可能です。受信エラーは割り込み要因のため、割り込みを発生させてエラーを処理することができます。

11.6.1 フレーミングエラー

ストップビットが検出できなかったとき(ストップビットを0として受信したとき)、UARTは同期ずれと判断して、フレーミングエラーが発生したものと見なします。エラーが発生したデータも受信データバッファに転送され、UANRXDレジスタから読み出せる状態になった時点でUANINTF.FEIFビット(フレーミングエラー割り込みフラグ)が1にセットされます。

注: フレーミングエラー/パリティエラー割り込みフラグのセットタイミング

割り込みフラグはエラーとなったデータが受信データバッファに転送後にセットされますが、その時点のバッファの状態によりセットされるタイミングが異なります。

- ・ 受信データバッファが空の場合
エラーが発生したデータを受信データバッファに転送した時点で割り込みフラグがセットされます。

- 受信データバッファに1バイトの空きがある場合
エラーが発生したデータを受信データバッファの2バイト目に転送した後、ロード済みの1バイト目のデータが読み出された時点で割り込みフラグがセットされます。

11.6.2 パリティエラー

パリティ機能が有効に設定されている場合、受信時にパリティチェックが行われます。UARTは、シフトレジスタに受信したデータとパリティビットとの整合をチェックし、結果が不整合の場合パリティエラーと判断します。エラーが発生したデータも受信データバッファに転送され、UANRXDレジスタから読み出せる状態になった時点でUANINTF.PEIFビット(パリティエラー割り込みフラグ)が1にセットされます(フレーミングエラーの注を参照)。

11.6.3 オーバーランエラー

シフトレジスタにデータを受信し終わった時点で受信データバッファが満杯(2バイトの受信データが読み出されていない)の場合、データを受信データバッファに転送することができないため、オーバーランエラーが発生します。

オーバーランエラーが発生するとUANINTF.OEIFビット(オーバーランエラー割り込みフラグ)が1にセットされます。

11.7 割り込み

UARTには、表11.7.1に示す割り込みを発生させる機能があります。

表11.7.1 UARTの割り込み機能

割り込み	割り込みフラグ	セット	クリア
送信完了	UANINTF.TENDIF	ストップビット送信後にUANINTF.TBEIFビット = 1のとき	1書き込み、ソフトリセット
フレーミングエラー	UANINTF.FEIF	“受信エラー”を参照	1書き込み、エラーが発生した受信データの読み出し、ソフトリセット
パリティエラー	UANINTF.PEIF	“受信エラー”を参照	1書き込み、エラーが発生した受信データの読み出し、ソフトリセット
オーバーランエラー	UANINTF.OEIF	“受信エラー”を参照	1書き込み、ソフトリセット
受信バッファ 2バイトフル	UANINTF.RB2FIF	1バイト受信済みの受信データバッファに2バイト目の受信データがロードされたとき	受信データの読み出し、ソフトリセット
受信バッファ 1バイトフル	UANINTF.RB1FIF	空の受信データバッファに1バイト目の受信データがロードされたとき	受信データバッファを空にする読み出し、ソフトリセット
送信バッファエンプティ	UANINTF.TBEIF	送信データバッファに書き込まれた送信データがシフトレジスタに転送されたとき	送信データ書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

11.8 制御レジスタ

UART Ch.n Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UAnCLK	15-9	–	0x00	–	R	–
	8	DBRUN	0	H0	R/W	
	7-6	–	0x0	–	R	
	5-4	CLKDIV[1:0]	0x0	H0	R/W	
	3-2	–	0x0	–	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

Bits 15–9 Reserved

Bit 8 DBRUN

このビットは、DEBUGモード時にUART動作クロックを供給するか否か設定します。

1 (R/W): DEBUGモード時にクロックを供給

0 (R/W): DEBUGモード時はクロック供給を停止

Bits 7–6 Reserved

Bits 5–4 CLKDIV[1:0]

これらのビットは、UART動作クロックの分周比を選択します。

Bits 3–2 Reserved

Bits 1–0 CLKSRC[1:0]

これらのビットは、UARTのクロックソースを選択します。

表11.8.1 クロックソースと分周比の設定

UAnCLK. CLKDIV[1:0]ビット	UAnCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC
0x3	1/8	1/1	1/8	1/1
0x2	1/4		1/4	
0x1	1/2		1/2	
0x0	1/1		1/1	

(注) 本ICが対応していない発振回路/外部入力クロックソースとして選択することはできません。

注: UAnCLKレジスタは、UAnCTL.MODENビット = 0のときのみ設定変更が可能です。

UART Ch.n Mode Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UAnMOD	15-10	–	0x00	–	R	–
	9	INVIRRX	0	H0	R/W	
	8	INVIRTX	0	H0	R/W	
	7	–	0	–	R	
	6	PUEN	0	H0	R/W	
	5	OUTMD	0	H0	R/W	
	4	IRMD	0	H0	R/W	
	3	CHLN	0	H0	R/W	
	2	PREN	0	H0	R/W	
	1	PRMD	0	H0	R/W	
	0	STPB	0	H0	R/W	

Bits 15–10 Reserved

11 UART(UART)

Bit 9 INVIRRX

このビットは、IrDAインタフェース機能イネーブル時にUSIN n の入力反転機能を有効にします。

1 (R/W): 入力反転機能イネーブル

0 (R/W): 入力反転機能ディスエーブル

Bit 8 INVIRTX

このビットは、IrDAインタフェース機能イネーブル時にUSOUT n の出力反転機能を有効にします。

1 (R/W): 出力反転機能イネーブル

0 (R/W): 出力反転機能ディスエーブル

Bit 7 Reserved

Bit 6 PUEN

このビットは、USIN n 端子のプルアップをイネーブルにします。

1 (R/W): プルアップイネーブル

0 (R/W): プルアップディスエーブル

Bit 5 OUTMD

このビットは、USOUT n 端子の出力モードを設定します。

1 (R/W): オープンドレイン出力

0 (R/W): プッシュプル出力

Bit 4 IRMD

このビットは、IrDAインタフェース機能をイネーブルにします。

1 (R/W): IrDAインタフェース機能イネーブル

0 (R/W): IrDAインタフェース機能ディスエーブル

Bit 3 CHLN

このビットは、データ長を設定します。

1 (R/W): 8ビット

0 (R/W): 7ビット

Bit 2 PREN

このビットは、パリティ機能をイネーブルにします。

1 (R/W): パリティ機能イネーブル

0 (R/W): パリティ機能ディスエーブル

Bit 1 PRMD

このビットは、パリティ機能を使用する場合に奇数パリティ/偶数パリティを選択します。

1 (R/W): 奇数パリティ

0 (R/W): 偶数パリティ

Bit 0 STPB

このビットは、ストップビット長を設定します。

1 (R/W): 2ビット

0 (R/W): 1ビット

注: UAnMODレジスタは、UAnCTL.MODENビット = 0のときのみ設定変更が可能です。

UART Ch. n Baud-Rate Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UAnBR	15-12	–	0x0	–	R	–
	11-8	FMD[3:0]	0x0	H0	R/W	
	7-0	BRT[7:0]	0x00	H0	R/W	

Bits 15-12 Reserved

Bits 11–8 FMD[3:0]**Bits 7–0 BRT[7:0]**

これらのビットは、UARTの転送レートを設定します。詳細は“ボーレートジェネレータ”を参照してください。

注: UAnBRレジスタは、UAnCTL.MODENビット = 0のときのみ設定変更が可能です。

UART Ch.n Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UAnCTL	15–8	–	0x00	–	R	–
	7–2	–	0x00	–	R	
	1	SFTRST	0	H0	R/W	
	0	MODEN	0	H0	R/W	

Bits 15–2 Reserved**Bit 1 SFTRST**

このビットは、UARTをソフトウェアリセットします。

1 (W): ソフトウェアリセットを要求

0 (W): 無効

1 (R): ソフトウェアリセットの実行中

0 (R): ソフトウェアリセット終了(通常動作中)

UARTの送受信制御回路および割り込みフラグがリセットされます。このビットは、リセット処理が終了すると、自動的にクリアされます。

Bit 0 MODEN

このビットは、UARTの動作をイネーブルにします。

1 (R/W): UART動作イネーブル(動作クロックが供給されます。)

0 (R/W): UART動作ディスエーブル(動作クロックが停止します。)

注: データの送受信中にUAnCTL.MODENビットを1から0に変更した場合は、送受信途中のデータは保証されません。この操作の後、UAnCTL.MODENビットを再度1に設定する場合は、必ずUAnCTL.SFTRSTビットにも1を書き込んでください。

UART Ch.n Transmit Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UAnTXD	15–8	–	0x00	–	R	–
	7–0	TXD[7:0]	0x00	H0	R/W	

Bits 15–8 Reserved**Bits 7–0 TXD[7:0]**

これらのビットを介して、送信データバッファへデータを書き込むことができます。データを書き込む前に、UAnINTF.TBEIF = 1になっていることを確認してください。

UART Ch.n Receive Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UAnRXD	15–8	–	0x00	–	R	–
	7–0	RXD[7:0]	0x00	H0	R	

Bits 15–8 Reserved**Bits 7–0 RXD[7:0]**

これらのビットを介して、受信データバッファが読み出せます。受信データバッファは2バイトのFIFOで構成されており、受信データは古いものから順に読み出されます。

UART Ch.n Status and Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UANINTF	15–10	–	0x00	–	R	–
	9	RBSY	0	H0/S0	R	
	8	TBSY	0	H0/S0	R	
	7	–	0	–	R	
	6	TENDIF	0	H0/S0	R/W	Cleared by writing 1.
	5	FEIF	0	H0/S0	R/W	Cleared by writing 1 or reading the UAnRXD register.
	4	PEIF	0	H0/S0	R/W	
	3	OEIF	0	H0/S0	R/W	Cleared by writing 1.
	2	RB2FIF	0	H0/S0	R	Cleared by reading the UAnRXD register.
	1	RB1FIF	0	H0/S0	R	
0	TBEIF	1	H0/S0	R	Cleared by writing to the UAnTXD register.	

Bits 15–10 Reserved

Bit 9 RBSY

このビットは、受信状態を示します。(図11.5.3.1参照)

1 (R): 受信中

0 (R): 待機中

Bit 8 TBSY

このビットは、送信状態を示します。(図11.5.2.1参照)

1 (R): 送信中

0 (R): 待機中

Bit 7 Reserved

Bit 6 TENDIF

Bit 5 FEIF

Bit 4 PEIF

Bit 3 OEIF

Bit 2 RB2FIF

Bit 1 RB1FIF

Bit 0 TBEIF

これらのビットは、UART割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

UANINTF.TENDIFビット: 送信完了割り込み

UANINTF.FEIFビット: フレーミングエラー割り込み

UANINTF.PEIFビット: パリティエラー割り込み

UANINTF.OEIFビット: オーバーランエラー割り込み

UANINTF.RB2FIFビット: 受信バッファ 2バイトフル割り込み

UANINTF.RB1FIFビット: 受信バッファ 1バイトフル割り込み

UANINTF.TBEIFビット: 送信バッファエンプティ割り込み

UART Ch.n Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
UA _n INTE	15-8	–	0x00	–	R	–
	7	–	0	–	R	
	6	TENDIE	0	H0	R/W	
	5	FEIE	0	H0	R/W	
	4	PEIE	0	H0	R/W	
	3	OEIE	0	H0	R/W	
	2	RB2FIE	0	H0	R/W	
	1	RB1FIE	0	H0	R/W	
0	TBEIE	0	H0	R/W		

Bits 15–7 Reserved

Bit 6 TENDIE

Bit 5 FEIE

Bit 4 PEIE

Bit 3 OEIE

Bit 2 RB2FIE

Bit 1 RB1FIE

Bit 0 TBEIE

これらのビットは、UARTの割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

UA_nINTE.TENDIEビット: 送信完了割り込み

UA_nINTE.FEIEビット: フレーミングエラー割り込み

UA_nINTE.PEIEビット: パリティエラー割り込み

UA_nINTE.OEIEビット: オーバーランエラー割り込み

UA_nINTE.RB2FIEビット: 受信バッファ 2バイトフル割り込み

UA_nINTE.RB1FIEビット: 受信バッファ 1バイトフル割り込み

UA_nINTE.TBEIEビット: 送信バッファエンプティ割り込み

12 同期式シリアルインタフェース(SPIA)

12.1 概要

SPIAは同期式シリアルインタフェースです。主な機能と特長を以下に示します。

- マスタモード、スレーブモードに対応
- データ長: 2~16ビットに設定可能
- MSB先頭、LSB先頭のデータフォーマットを選択可能
- クロックの極性と位相を選択可能
- 全二重通信に対応
- 独立した送信バッファレジスタと受信バッファレジスタを内蔵
- 受信バッファフル、送信バッファエンpty、送信完了、オーバーラン割り込みを発生可能
- マスタモードでは、16ビットタイマを使用してボーレートを設定可能
- スレーブモードでは、外部入力クロックSPICLK_nのみで動作可能
- スレーブモードはSLEEPモード時も動作し、SPIA割り込みによるウェイクアップが可能
- 内部で入力端子のプルアップまたはプルダウンが可能

図12.1.1にSPIAの構成を示します。

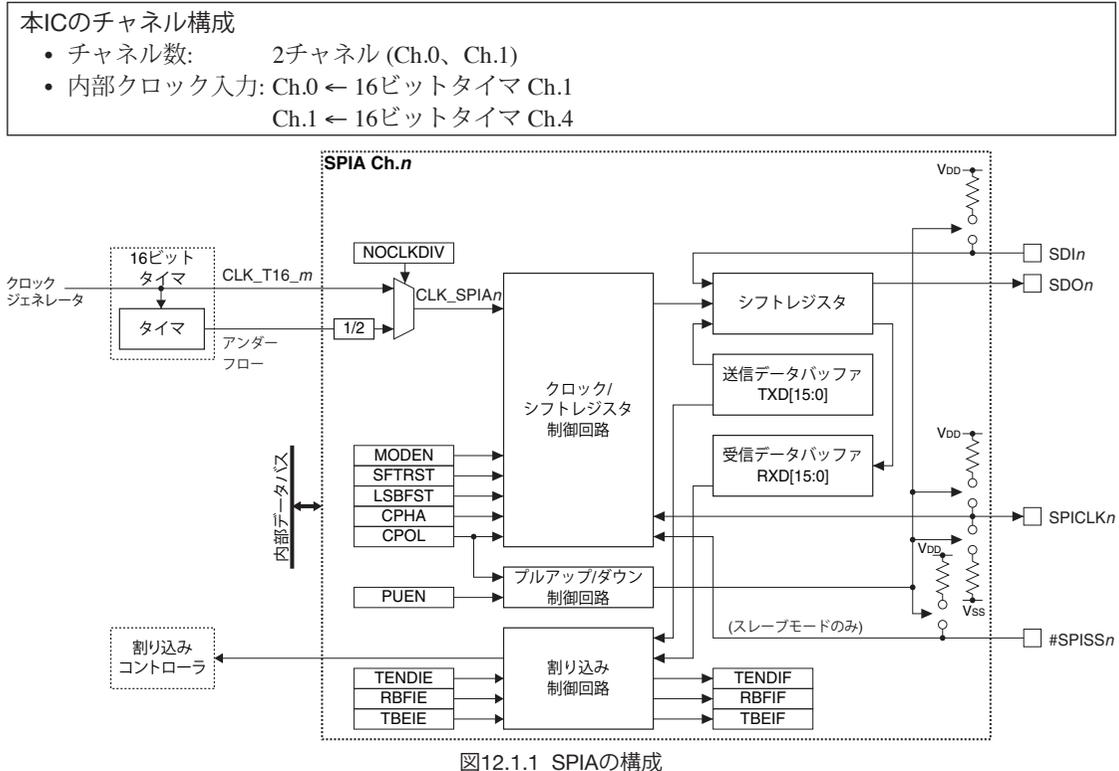


図12.1.1 SPIAの構成

12.2 入出力端子と外部接続

12.2.1 入出力端子一覧

表12.2.1.1にSPIAの端子一覧を示します。

表12.2.1.1 SPIA端子一覧

端子名	I/O*	イニシャル状態*	機能
SDIn	I	I (Hi-Z)	SPIA Ch.nデータ入力端子
SDOn	OまたはHi-Z	Hi-Z	SPIA Ch.nデータ出力端子
SPICLK _n	IまたはO	I (Hi-Z)	SPIA Ch.n外部クロック入出力端子
#SPISS _n	I	I (Hi-Z)	SPIA Ch.nスレーブセレクト信号入力端子

* 端子機能をSPIAに切り換えた時点の状態

これらのSPIA端子と他の機能がポートを共有している場合、SPIAを動作させる前にSPIAの入出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

12.2.2 外部との接続

SPIAにはマスタモードとスレーブモードがあります。それぞれのモードにおける外部SPIデバイスとの接続を、図12.2.2.1と図12.2.2.2に示します。

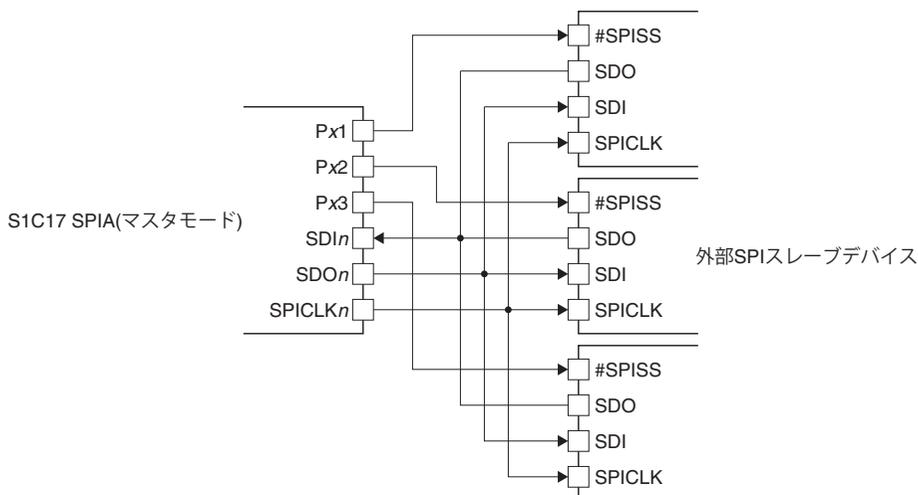


図12.2.2.1 マスタモードのSPIAと外部SPIスレーブデバイスとの接続

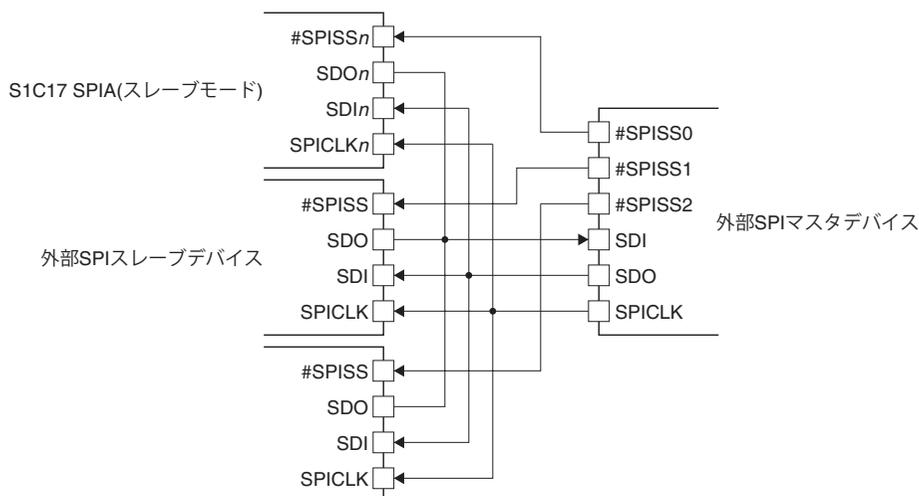


図12.2.2.2 スレーブモードのSPIAと外部SPIマスタデバイスとの接続

12.2.3 マスタモードとスレーブモードの端子機能

端子機能はマスタモードとスレーブモードの選択により切り換わります。モードによる端子機能の相違点を表12.2.3.1に示します。

表12.2.3.1 モードによる端子機能の相違点

端子	マスタモード時の機能	スレーブモード時の機能
SDIn	常に入力状態になります。	
SDOn	常に出力状態になります。	#SPISSn端子にLOWレベルが入力されている期間は出力状態になります。#SPISSn端子にHIGHレベルが入力されている期間はHi-Z状態になります。
SPICLK _n	SPIクロックを外部に出力します。 出力するクロックの極性、および位相を任意に選択できます。	外部SPIクロックを入力します。 入力するクロックの極性、および位相を任意に選択できます。
#SPISS _n	使用しません。 ポートにこの入力機能を割り当てる必要はありません。マスタモードでスレーブセレクト信号を出力するには、ポートの汎用入出力機能を使用してください。	#SPISSn端子へのLOWレベル入力により、データの送受信ができるようになります。この端子にHIGHレベルが入力されている期間はスレーブデバイスとして選択されず、SDIn端子およびSPICLK _n 端子に入力されるデータとクロックはすべて無効です。また、HIGHレベルが入力された時点で送受信ビット数のカウントがクリアされ、それまで受信していたビットは、すべて破棄されます。

12.2.4 入力端子のプルアップ/プルダウン機能

SPIAの入力端子(マスタモードのSDIn、スレーブモードのSDIn、SPICLK_n、および#SPISS_n)には、表12.2.4.1に示すプルアップ機能またはプルダウン機能があります。この機能は、SPI_nMOD.PUENビットを1に設定するとイネーブルになります。

表12.2.4.1 入力端子のプルアップ/プルダウン

端子	マスタモード	スレーブモード
SDIn	プルアップ	プルアップ
SPICLK _n	-	SPI _n MOD.CPOLビット = 1: プルアップ SPI _n MOD.CPOLビット = 0: プルダウン
#SPISS _n	-	プルアップ

12.3 クロック設定

12.3.1 SPIAの動作クロック

マスタモード時の動作クロック

マスタモード時のSPIA動作クロックは16ビットタイマから供給されます。これには以下に示す2つのオプションが用意されています。

16ビットタイマの動作クロックをそのまま使用

SPI_nMOD.NOCLKDIVビットを1に設定すると、クロックソースとその分周比を選択して設定された、SPIAチャンネルに対応する16ビットタイマチャンネルの動作クロックCLK_T16_mが、CLK_SPIAnとしてSPIAにも供給されます。このクロックはそのままSPIクロックSPICLK_nとしても使用されますので、CLK_SPIAn周波数がそのままボーレートになります。

SPIAにCLK_SPIAnを供給するには、クロックジェネレータで16ビットタイマのクロックソースをイネーブルにしておく必要があります。また、対応する16ビットタイマチャンネルのT16_mCTL.MODENビットも1にする必要があります。T16_mCTL.PRUNビットは1でも0でも構いません。このモードでは、対応する16ビットタイマチャンネルのタイマ機能を別の目的に使用可能です。

16ビットタイマをボーレートジェネレータとして使用

SPI_nMOD.NOCLKDIVビットを0に設定すると、対応する16ビットタイマチャンネルで生成されたアンダーフロー信号をSPIAに入力してSPICLK_nを生成します。この場合は、適切なリロードデータを設定して16ビットタイマを動作させる必要があります。この場合のSPICLK_n周波数(ボーレート)、16ビットタイマのリロードデータは以下の式で求められます。

$$f_{\text{SPICLK}} = \frac{f_{\text{CLK_SPIA}}}{2 \times (\text{RLD} + 1)} \quad \text{RLD} = \frac{f_{\text{CLK_SPIA}}}{f_{\text{SPICLK}} \times 2} - 1 \quad (\text{式12.1})$$

ここで

f_{SPICLK} : SPICLK n 周波数[Hz] (=ボーレート[bps])

$f_{\text{CLK_SPIA}}$: SPIA動作クロック周波数[Hz]

RLD: 16ビットタイマリロードデータ値

16ビットタイマの制御方法については、“16ビットタイマ”の章を参照してください。

スレーブモード時の動作クロック

スレーブモードのSPIAは、外部のSPIマスタからSPICLK n 端子に供給されるクロックで動作します。SPIAチャンネルに対応する16ビットタイマチャンネル(クロックソースセレクトと分周器を含む)は使用しません。また、SPI n MOD.NOCLKDIVビットの設定は無効になります。

SLEEPモードですべてのクロックが停止している状態でも、SPIAは外部のSPIマスタから供給されるクロックで動作するため、データを受信し、受信バッファフル割り込みを発生させることができます。

12.3.2 DEBUGモード時のクロック供給

マスタモードでは、DEBUGモード時の動作クロックの供給をT16 $_m$ CLK.DBRUNビットで制御します。T16 $_m$ CLK.DBRUNビット = 0の場合、DEBUGモードに移行するとSPIA Ch. n へのCLK_T16 $_m$ の供給が停止します。その後通常モードに戻ると、CLK_T16 $_m$ の供給が再開します。CLK_T16 $_m$ の供給が停止するとSPIA Ch. n の動作は停止しますが、出力端子やレジスタはDEBUGモードへ移行前の状態に保持されます。T16 $_m$ CLK.DBRUNビット = 1の場合、DEBUGモード時もCLK_T16 $_m$ の供給は停止せず、SPIA Ch. n は動作を継続します。

スレーブモード時は、DEBUGモードか通常モードかにかかわらず、外部のSPIマスタからSPICLK n 端子に供給されるクロックで動作します。

12.3.3 SPIクロック(SPICLK n)の位相と極性

SPICLK n の位相と極性は、SPI n MOD.CPHAビットとSPI n MOD.CPOLビットで個々に設定できます。各設定におけるクロック波形とデータ入出力タイミングを図12.3.3.1に示します。

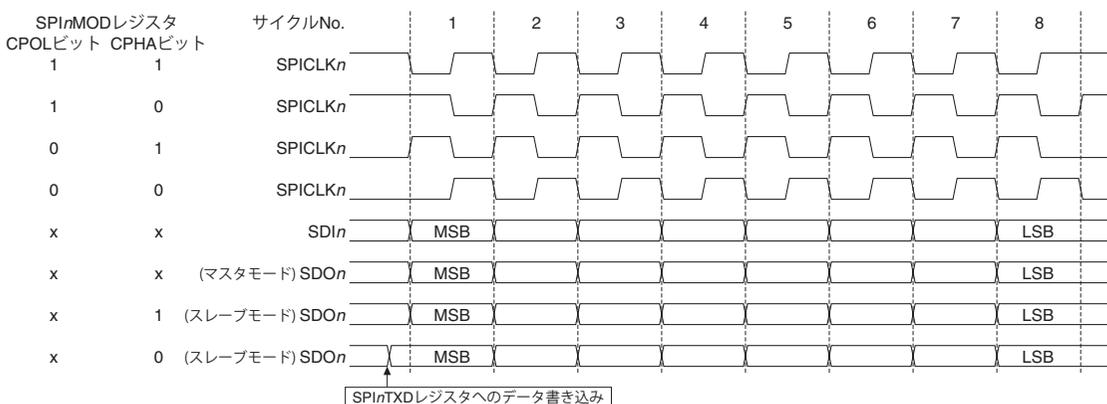


図12.3.3.1 SPIクロックの位相と極性(SPI n MOD.LSFBFSTビット = 0, SPI n MOD.CHNLN[3:0]ビット = 0x7)

12.4 データフォーマット

SPIAのデータ長は、SPI n MOD.CHLN[3:0]ビットの設定により、2ビット～16ビットの中から選択できます。入出力の順列は、SPI n MOD.LSBFSTビットにてMSB先頭、またはLSB先頭を選択できます。SPI n MOD.CHLN[3:0]ビット = 0x7、SPI n MOD.CPOLビット = 0、SPI n MOD.CPHAビット = 0のときのデータフォーマットの例を、図12.4.1に示します。

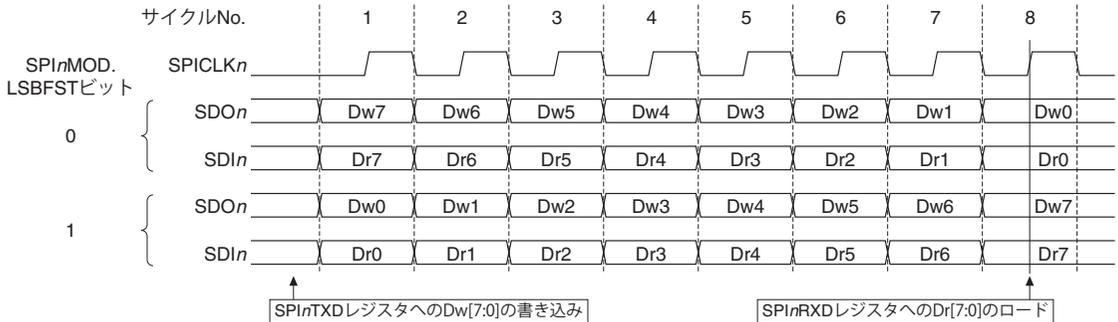


図12.4.1 SPI n MOD.LSBFSTビットによるデータフォーマットの選択

(SPI n MOD.CHLN[3:0]ビット = 0x7, SPI n MOD.CPOLビット = 0, SPI n MOD.CPHAビット = 0)

12.5 動作

12.5.1 初期設定

SPIA Ch. n は、以下の手順により初期設定を行います。

1. <マスタモードで使用する場合のみ>16ビットタイマを制御してクロックを生成し、SPIA Ch. n に供給する。
2. SPI n MODレジスタの以下のビットを設定する。
 - SPI n MOD.PUENビット (入力端子のプルアップ/ダウンイネーブル)
 - SPI n MOD.NOCLKDIVビット (マスタモード動作クロック選択)
 - SPI n MOD.LSBFSTビット (MSB先頭/LSB先頭選択)
 - SPI n MOD.CPHAビット (クロック位相選択)
 - SPI n MOD.CPOLビット (クロック極性選択)
 - SPI n MOD.MSTビット (マスタ/スレーブモード選択)
3. SPIA Ch. n 入出力機能をポートに割り当てる(“入出力ポート”の章を参照)。
4. SPI n CTLレジスタの以下のビットを設定する。
 - SPI n CTL.SFTRSTビットを1に設定 (ソフトウェアリセットを実行)
 - SPI n CTL.MODENビットを1に設定 (SPIA Ch. n の動作をイネーブル)
5. 割り込みを使用する場合は以下のビットを設定する。
 - SPI n INTFレジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
 - SPI n INTEレジスタの割り込みイネーブルビットを1に設定* (割り込みイネーブル)

* SPI n INTF.TBEIFビットの初期値が1のため、SPI n INTE.TBEIEビットを1に設定すると、その直後に割り込みが発生します。

12.5.2 マスタモードのデータ送信

マスタモード時のデータ送信手順と動作を以下に示します。また、タイミングチャートとフローチャートをそれぞれ図12.5.2.1と図12.5.2.2に示します。

送信手順

1. 汎用出力ポートを制御して、スレーブセレクト信号出力をアクティブにする(必要な場合のみ)。
2. SPI n INTF.TBEIFビットが1(送信バッファエンプティ)になっていることを確認する。
3. SPI n TXDレジスタに送信データを書き込む。

4. 割り込みを使用する場合はSPIA割り込みを待つ。
5. 送信データ終了まで、2~4(または2と3)を繰り返す。
6. 汎用出力ポートを制御して、スレーブセレクト信号出力をインアクティブにする(必要な場合のみ)。

送信動作

SPI n TXDレジスタに送信データを書き込むことにより、SPIA Ch. n は送信動作を開始します。SPI n TXDレジスタの送信データは、自動的にシフトレジスタへ転送され、SPI n INTF.TBEIFビットが1にセットされます。SPI n INTE.TBEIEビット = 1(送信バッファエンプティ割り込みイネーブル)の場合、これと同時に送信バッファエンプティ割り込み要求が発生します。

次に、SPICLK n 端子からSPI n MOD.CHLN[3:0]ビットによって定義されたビット数分のクロックが出力されます。このクロックに同期して、SDO n 端子から送信データが順次出力されます。

SPICLK n 端子からクロックが出力されている最中であっても、SPI n INTF.TBEIFビット = 1を確認した後に、SPI n TXDレジスタへ次の送信データを書き込むことができます。

SPICLK n 端子から最後のクロックが出力されたときに、SPI n TXDレジスタに送信データが書き込まれていなかった場合、クロックの出力が停止し、SPI n INTF.TENDIFビットが1にセットされます。このとき、SPI n INTE.TENDIEビット = 1であれば、送信完了割り込み要求が発生します。

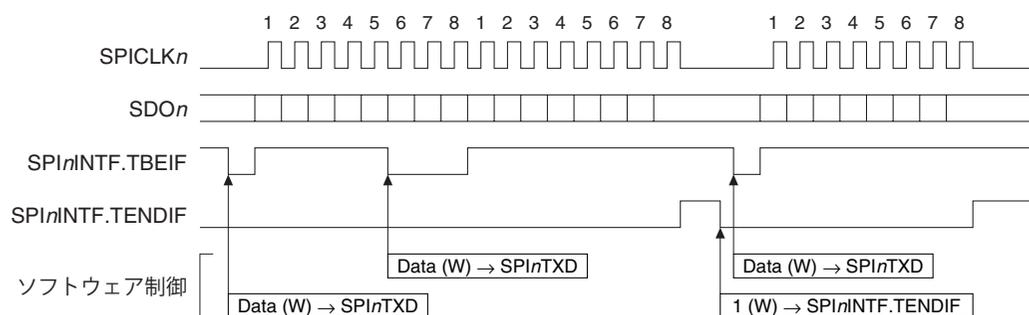


図12.5.2.1 マスタモードのデータ送信動作例(SPI n MOD.CHLN[3:0]ビット = 0x7)

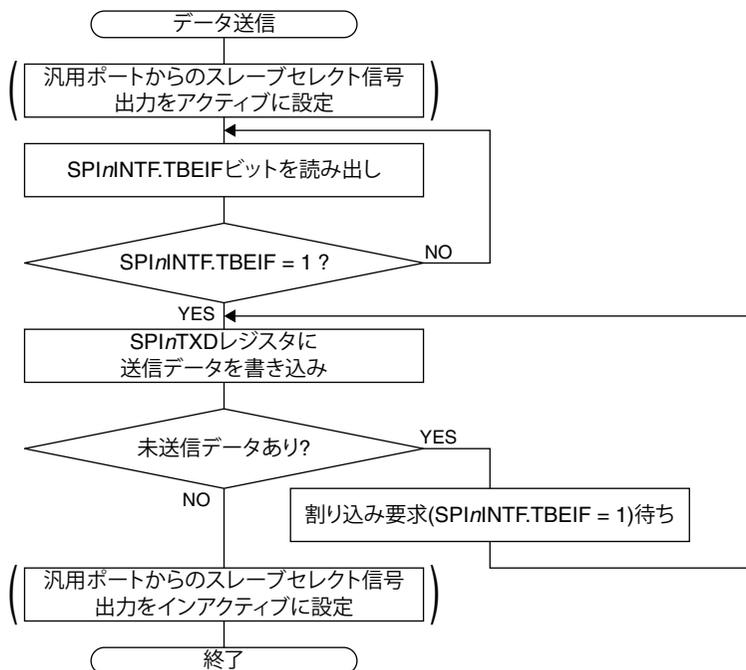


図12.5.2.2 マスタモードのデータ送信フローチャート

12.5.3 マスタモードのデータ受信

マスタモード時のデータ受信手順と動作を以下に示します。また、タイミングチャートとフローチャートをそれぞれ図12.5.3.1と図12.5.3.2に示します。

受信手順

1. 汎用出力ポートを制御して、スレーブセレクト信号出力をアクティブにする(必要な場合のみ)。
2. $SPI_nINTF.TBEIF$ ビットが1(送信バッファEMPTY)になっていることを確認する。
3. SPI_nTXD レジスタに任意のデータ(または送信データ)を書き込む。
4. 送信バッファEMPTY割り込み($SPI_nINTF.TBEIF$ ビット = 1)を待つ。
5. SPI_nTXD レジスタに任意のデータ(または送信データ)を書き込む。
6. 受信バッファFULL割り込み($SPI_nINTF.RBFIF$ ビット = 1)を待つ。
7. SPI_nRXD レジスタから受信データを読み出す。
8. 受信終了まで、5~7を繰り返す。
9. 汎用出力ポートを制御して、スレーブセレクト信号出力をインアクティブにする(必要な場合のみ)。

注: $SPICLK_n$ を停止させずに連続的にデータを受信するためには、6の後、7と5の操作を“データビット長 - 1”に相当する $SPICLK_n$ 周期以内に完了させる必要があります。

受信動作

SPI_nTXD レジスタに送信データ(送信が不要の場合は任意の値で可)を書き込むことにより、SPIA $Ch.n$ は送信動作と同時に受信動作も開始します。

$SPICLK_n$ 端子から $SPI_nMOD.CHLN[3:0]$ ビットによって定義されたビット数分のクロックが出力されます。このクロックに同期して、 SDO_n 端子から送信データが順次出力されると共に、 SDI_n 端子から受信データがシフトレジスタへ取り込まれます。

$SPICLK_n$ 端子から最後のクロックが出力され、受信データビットがすべてシフトレジスタに取り込まれると、そのデータは受信データバッファに転送され、 $SPI_nINTF.RBFIF$ ビットが1にセットされます。このとき、 $SPI_nINTE.RBFIE$ ビット = 1であれば、受信バッファFULL割り込み要求が発生します。これ以降、受信データバッファ内の受信データは SPI_nRXD レジスタから読み出すことができます。

注: $SPI_nINTF.RBFIF$ ビットが1にセットされている状態で $SPI_nMOD.CHLN[3:0]$ ビットによって定義されるビット数分のデータを受信すると、 SPI_nRXD レジスタは新しく受信したデータによって上書きされ、前に受信したデータは失われます。このときは、 $SPI_nINTF.OEIF$ ビットがセットされます。

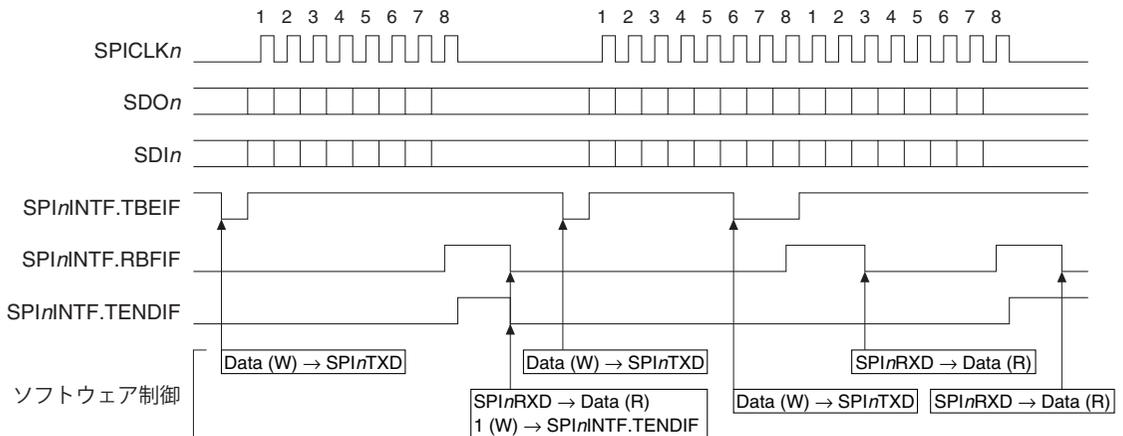
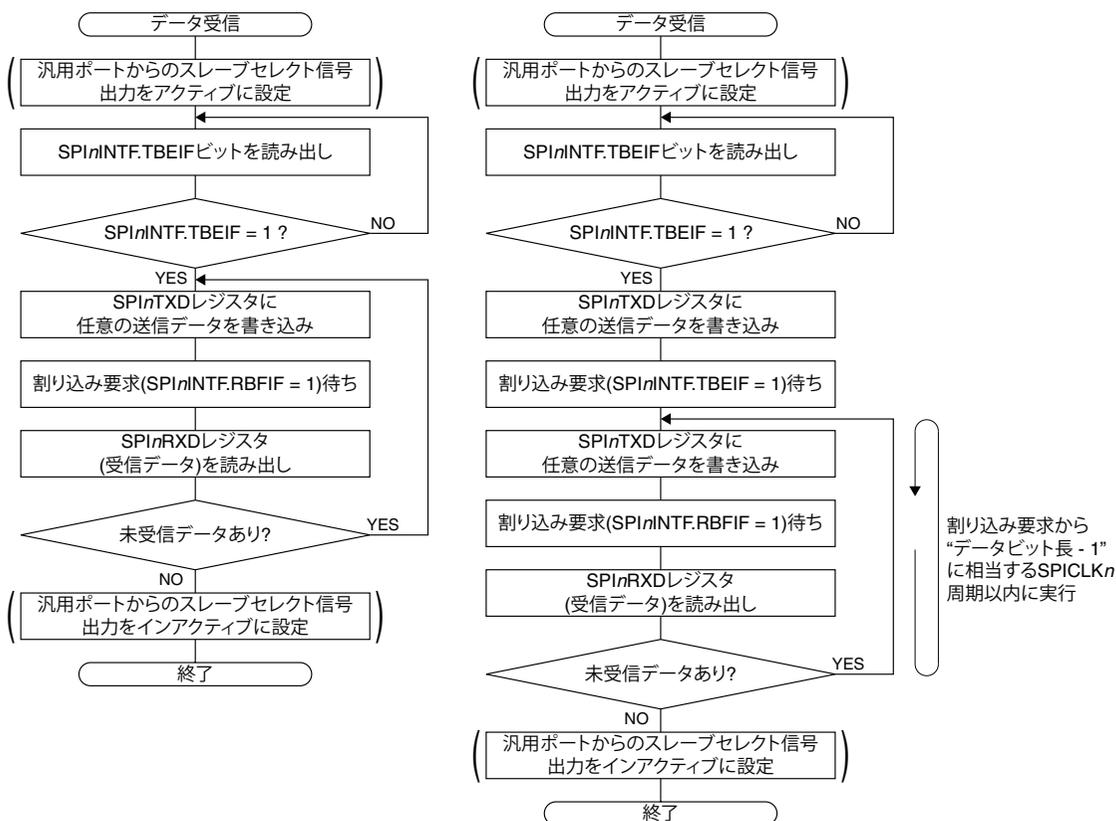


図12.5.3.1 マスタモードのデータ受信動作例($SPI_nMOD.CHLN[3:0]$ ビット = 0x7)



(A)断続的にデータを受信する場合

(B)連続的にデータを受信する場合

図12.5.3.2 マスタモードのデータ受信フローチャート

12.5.4 マスタモードのデータ送受信終了

マスタモード時にデータ送受信を終了する手順を以下に示します。

1. 送信完了割り込み(SPI_nINTF.TENDIFビット = 1)を待つ。
2. SPI_nCTL.MODENビットを0に設定し、SPIA Ch.*n*の動作をディスエーブルにする。
3. 16ビットタイマを停止させ、SPIA Ch.*n*へのクロック供給を止める。

12.5.5 スレーブモードのデータ送受信

スレーブモード時のデータ送受信手順と動作を以下に示します。また、タイミングチャートとフローチャートをそれぞれ図12.5.5.1と図12.5.5.2に示します。

送信手順

1. SPI_nINTF.TBEIFビットが1(送信バッファエンプティ)になっていることを確認する。
2. SPI_nTXDレジスタに送信データを書き込む。
3. 送信バッファエンプティ割り込み(SPI_nINTF.TBEIFビット = 1)を待つ。
4. 送信データ終了まで、2と3を繰り返す。

注: SPI_nINTF.TBEIFビットが1にセットされてからSPI_nTXDレジスタに書き込んだデータが送出完了するまでの間に、送信データをSPI_nTXDレジスタへ書き込む必要があります。もし、この間に送信データが書き込まれなかった場合は、SD_n端子から入力されたデータがそのままシフトアウトされます。

受信手順

1. 受信バッファフル割り込み(SPI n INTF.RBFIFビット = 1)を待つ。
2. SPI n RXDレジスタから受信データを読み出す。
3. 受信終了まで、1と2を繰り返す。

送受信動作

スレーブモードの動作は、マスタモードとは以下の点が異なります。

- 外部SPIマスタからSPICLK n 端子に供給されるSPIクロックで動作します。
データ転送レートはSPICLK n の周波数によって決まります。16ビットタイマの制御は不要です。
- 外部SPIマスタから#SPISS n 端子に入力されるスレーブセレクト信号がアクティブ(LOW)な場合にのみスレーブデバイスとして動作します。
#SPISS n = HIGHの場合、送受信操作、およびSPICLK n とSDIn端子入力がすべて無効になります。また、送受信の途中で#SPISS n がHIGHになった場合は、転送ビット数カウンタがクリアされ、シフトレジスタ内のデータは破棄されます。
- データの送受信は外部SPIマスタによって#SPISS n がアクティブになり、SPICLK n が入力されることで開始します。送信データの書き込みは、送受信開始のトリガにはなりません。したがって、受信のみを行う場合、送信データバッファへのダミーデータの書き込みは不要です。
- SLEEPモードでもデータの送受信動作が可能で、SPIAの割り込みによってCPUをウェイクアップさせることができます。

上記以外の動作はマスタモードと同様です。

- 注: • SPI n INTF.RBFIFビットが1にセットされている状態で、SPI n MOD.CHLN[3:0]ビットによって定義されるビット数分のデータを受信すると、SPI n RXDレジスタは新しく受信したデータによって上書きされ、前に受信したデータは失われます。このときは、SPI n INTF.OEIFビットがセットされます。
- SPI n INTF.TBEIFビットが1にセットされている状態でも、SPICLK n 端子から1ビット目のクロックが入力されると、SPIAはその時点でシフトレジスタに保存されているデータの送信を開始します。

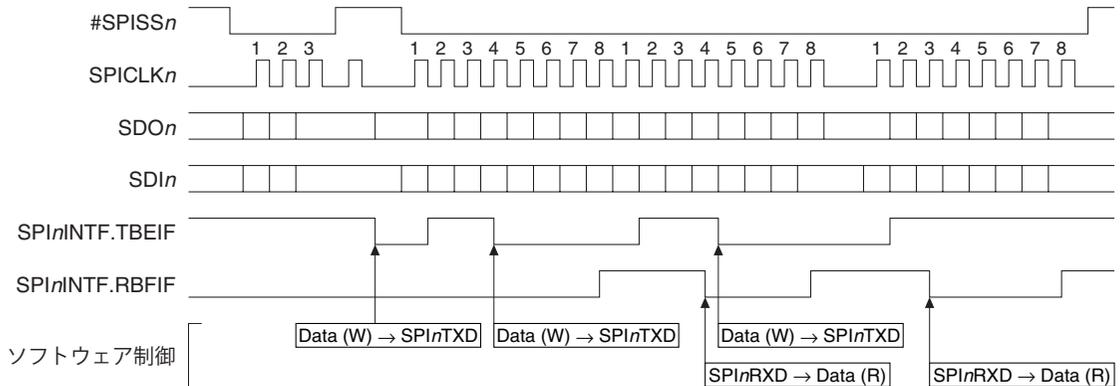


図12.5.5.1 スレーブモード時の送受信動作例(SPI n MOD.CHLN[3:0]ビット = 0x7)

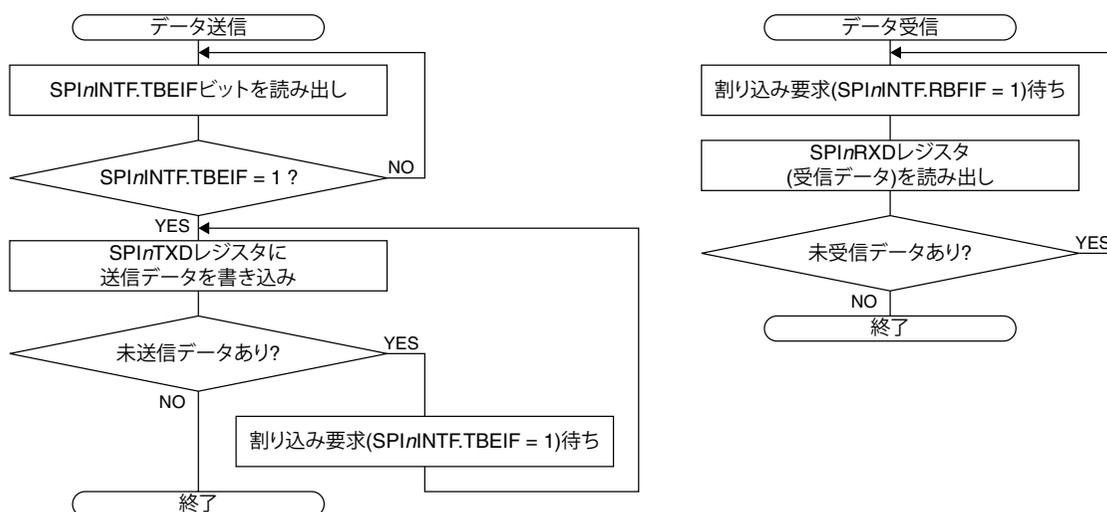


図12.5.5.2 スレーブモード時の送受信フローチャート

12.5.6 スレーブモードのデータ送受信終了

スレーブモード時にデータ送受信を終了する手順を以下に示します。

1. 送信完了割り込み(SPI_nINTF.TENDIFビット = 1)を待つ。または受信データなどで終了を判断する。
2. SPI_nCTL.MODENビットを0に設定し、SPIA Ch.*n*の動作をディスエーブルにする。

12.6 割り込み

SPIAには、表12.6.1に示す割り込みを発生させる機能があります。

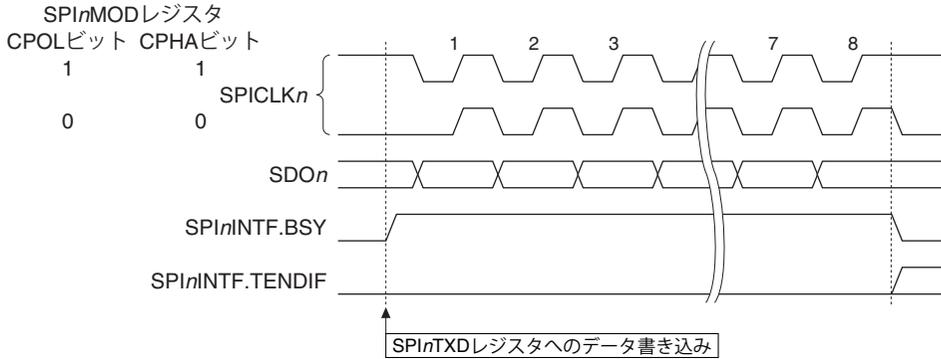
表12.6.1 SPIAの割り込み機能

割り込み	割り込みフラグ	セット	クリア
送信完了	SPI _n INTF.TENDIF	指定ビット数(SPI _n MOD.CHLN[3:0]ビットによって定義)のデータ送信後にSPI _n INTF.TBEIFビット = 1のとき	1書き込み
受信バッファフル	SPI _n INTF.RBFIF	指定ビット数のデータを受信し、受信データがシフトレジスタから受信データバッファに転送されたとき	SPI _n RXDレジスタの読み出し
送信バッファエンプティ	SPI _n INTF.TBEIF	送信データバッファに書き込まれた送信データがシフトレジスタに転送されたとき	SPI _n TXDレジスタへの書き込み
オーバーランエラー	SPI _n INTF.OEIF	シフトレジスタにデータを受信し終わった時点で、受信データバッファが満杯(受信データが読み出されていない)のとき	1書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。また、SPI_nINTFレジスタにはSPIAの動作状態を示すBSYビットも設けられています。

図12.6.1に、SPI_nINTF.BSYビットおよびSPI_nINTF.TENDIFビットがセットされるタイミングを示します。

マスタモード



スレーブモード

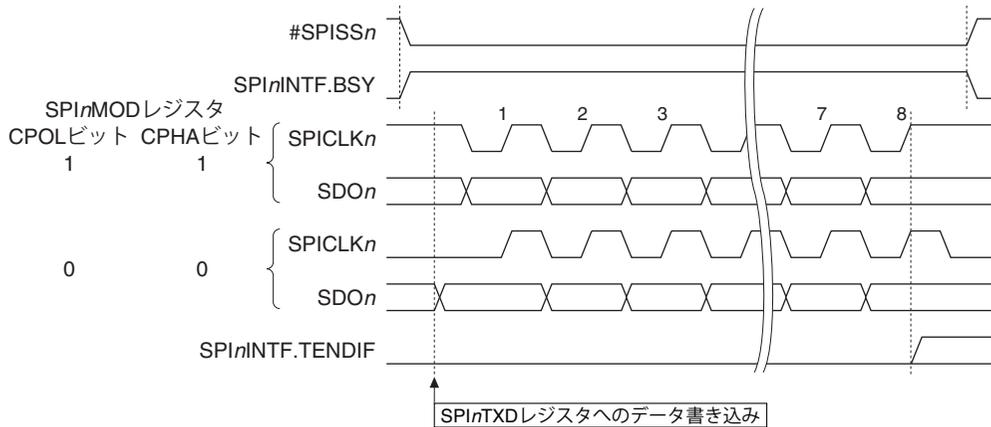


図12.6.1 SPI_nINTF.BSYビットおよびSPI_nINTF.TENDIFビットのセットタイミング
(SPI_nMOD.CHLN[3:0]ビット = 0x7の場合)

12.7 制御レジスタ

SPIA Ch.*n* Mode Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPI _n MOD	15-12	-	0x0	-	R	-
	11-8	CHLN[3:0]	0x7	H0	R/W	
	7-6	-	0x0	-	R	
	5	PUEN	0	H0	R/W	
	4	NOCLKDIV	0	H0	R/W	
	3	LSBFST	0	H0	R/W	
	2	CPHA	0	H0	R/W	
	1	CPOL	0	H0	R/W	
0	MST	0	H0	R/W		

Bits 15-12 Reserved

Bits 11-8 CHLN[3:0]

これらのビットは、送受信データのビット長を設定します。

表12.7.1 データビット長の設定

SPI n MOD.CHNLN[3:0]ビット	データビット長
0xf	16ビット
0xe	15ビット
0xd	14ビット
0xc	13ビット
0xb	12ビット
0xa	11ビット
0x9	10ビット
0x8	9ビット
0x7	8ビット
0x6	7ビット
0x5	6ビット
0x4	5ビット
0x3	4ビット
0x2	3ビット
0x1	2ビット
0x0	設定禁止

Bits 7–6 Reserved

Bit 5 PUEN

このビットは、入力端子のプルアップ/プルダウンをイネーブルにします。

1 (R/W): プルアップ/プルダウンイネーブル

0 (R/W): プルアップ/プルダウンディスエーブル

詳細は、“入力端子のプルアップ/プルダウン機能”を参照してください。

Bit 4 NOCLKDIV

このビットは、マスタモード時のSPICLK n を選択します。スレーブモードでは無効です。

1 (R/W): SPICLK n 周波数 = CLK_SPIA n 周波数 (= 16ビットタイマ動作クロック周波数)

0 (R/W): SPICLK n 周波数 = 16ビットタイマ出力周波数 / 2

詳細は、“SPIAの動作クロック”を参照してください。

Bit 3 LSBFST

このビットは、データフォーマット(入出力順列)を設定します。

1 (R/W): LSB先頭

0 (R/W): MSB先頭

Bit 2 CPHA

Bit 1 CPOL

これらのビットは、SPIクロックの位相および極性を設定します。詳細は、“SPIクロック (SPICLK n)の位相と極性”を参照してください。

Bit 0 MST

このビットは、SPIAの動作モード(マスタモードまたはスレーブモード)を設定します。

1 (R/W): マスタモード

0 (R/W): スレーブモード

注: SPI n MODレジスタは、SPI n CTL.MODENビット = 0のときのみ設定変更が可能です。

SPIA Ch. n Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPI n CTL	15–8	–	0x00	–	R	–
	7–2	–	0x00	–	R	
	1	SFTRST	0	H0	R/W	
	0	MODEN	0	H0	R/W	

Bits 15–2 Reserved

Bit 1 SFTRST

このビットは、SPIAをソフトウェアリセットします。

1 (W): ソフトウェアリセットを要求

0 (W): 無効

1 (R): ソフトウェアリセットの実行中

0 (R): ソフトウェアリセット終了(通常動作中)

SPIAのシフトレジスタ、および転送ビット数カウンタがリセットされます。このビットは、リセット処理が終了すると、自動的にクリアされます。

Bit 0 MODEN

このビットは、SPIAの動作をイネーブルにします。

1 (R/W): SPIA動作イネーブル(マスタモードでは、動作クロックが供給されます。)

0 (R/W): SPIA動作ディスエーブル(マスタモードでは、動作クロックが停止します。)

注: データの送受信中にSPInCTL.MODENビットを1から0に変更した場合は、送受信途中のデータは保証されません。この操作の後、SPInCTL.MODENビットを再度1に設定する場合は、必ずSPInCTL.SFTRSTビットにも1を書き込んでください。

SPIA Ch.n Transmit Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPInTXD	15-0	TXD[15:0]	0x0000	H0	R/W	-

Bits 15-0 TXD[15:0]

これらのビットを介して、送信データバッファヘデータを書き込むことができます。

マスタモードでは、この書き込みにより送受信動作を開始します。

SDOn端子からデータが出力されている期間でも、SPInINTF.TBEIFビット = 1のときは送信データを書き込むことができます。

SPInMOD.CHLN[3:0]ビットで設定されているデータビット長を超える上位ビットのデータは、SDOn端子から出力されません。

注: SPInINTF.TBEIFビット = 0のときは、SPInTXDレジスタへの書き込みを禁止します。この操作を行った場合、送信データは保証されません。

SPIA Ch.n Receive Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPInRXD	15-0	RXD[15:0]	0x0000	H0	R	-

Bits 15-0 RXD[15:0]

これらのビットを介して、受信データバッファが読み出せます。SDIn端子からデータが入力されている期間でも、SPInINTF.RBFIFビット = 1のときには受信データを読み出すことができます。SPInMOD.CHLN[3:0]ビットで設定されているデータビット長を超える上位のビットは0になります。

注: SPInCTL.MODENビット、またはSPInCTL.SFTRSTビットに1を書き込むと、SPInRXD.RXD[15:0]ビットは0x0000にクリアされます。

SPIA Ch.n Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPInINTF	15-8	-	0x00	-	R	-
	7	BSY	0	H0	R	
	6-4	-	0x0	-	R	
	3	OEIF	0	H0/S0	R/W	Cleared by writing 1.
	2	TENDIF	0	H0/S0	R/W	
	1	RBFIF	0	H0/S0	R	Cleared by reading the SPInRXD register.
0	TBEIF	1	H0/S0	R	Cleared by writing to the SPInTXD register.	

12 同期式シリアルインタフェース(SPIA)

Bits 15–8 Reserved

Bit 7 BSY

このビットは、SPIAの動作状態を示します。

1 (R): 送受信ビジー (マスターモード)、#SPISSn = LOWレベル(スレーブモード)

0 (R): 待機中

Bits 6–4 Reserved

Bit 3 OEIF

Bit 2 TENDIF

Bit 1 RBFIF

Bit 0 TBEIF

これらのビットは、SPIA割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア(OEIF, TENDIF)

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

SPI_nINTF.OEIFビット: オーバーランエラー割り込み

SPI_nINTF.TENDIFビット: 送信完了割り込み

SPI_nINTF.RBFIFビット: 受信バッファフル割り込み

SPI_nINTF.TBEIFビット: 送信バッファエンプティ割り込み

SPIA Ch.n Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
SPI _n INTE	15–8	–	0x00	–	R	–
	7–4	–	0x0	–	R	
	3	OEIE	0	H0	R/W	
	2	TENDIE	0	H0	R/W	
	1	RBFIE	0	H0	R/W	
	0	TBEIE	0	H0	R/W	

Bits 15–4 Reserved

Bit 3 OEIE

Bit 2 TENDIE

Bit 1 RBFIE

Bit 0 TBEIE

これらのビットは、SPIAの割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

SPI_nINTE.OEIEビット: オーバーランエラー割り込み

SPI_nINTE.TENDIEビット: 送信完了割り込み

SPI_nINTE.RBFIEビット: 受信バッファフル割り込み

SPI_nINTE.TBEIEビット: 送信バッファエンプティ割り込み

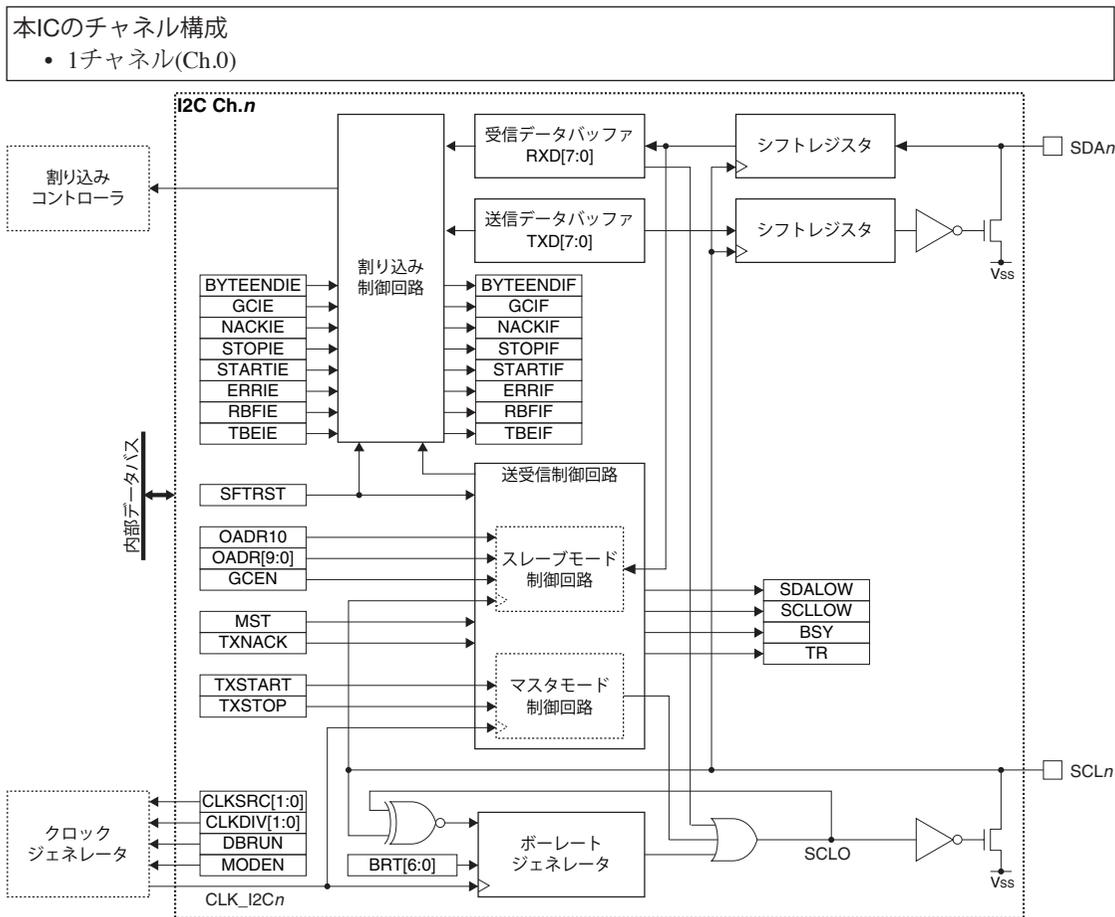
13 I²C(I2C)

13.1 概要

I2Cは、I²Cバスインタフェースのサブセットです。主な機能と特長を以下に示します。

- I²Cバスのマスタ(シングルマスタ)、またはスレーブデバイスとして動作
- 標準モード(最大100 kbit/s)、およびファースト・モード(最大400 kbit/s)に対応
- 7ビット、および10ビットアドレスモードに対応
- クロックストレッチに対応
- マスタモード時にクロックを生成するためのポーレートジェネレータを内蔵
- スレーブモード時は、I²Cバス上の信号のみで動作するため、他のクロックソースが不要
- スレーブモードはSLEEPモード時も動作し、アドレス一致検出時の割り込みによるウェイクアップが可能
- 自動バスクリア送出機能(マスタモード)
- 受信バッファフル、送信バッファエンpty、その他の割り込みを発生可能

図13.1.1にI2Cの構成を示します。



13.2 入出力端子と外部接続

13.2.1 入出力端子一覧

表13.2.1.1にI²C端子の一覧を示します。

表13.2.1.1 I²C端子一覧

端子名	I/O*	イニシャル状態*	機能
SDA _n	I/O	I	I ² Cバスのシリアルデータ入出力端子
SCL _n	I/O	I	I ² Cバスのクロック入出力端子

* 端子機能をI²Cに切り換えた時点の状態

これらのI²C端子と他の機能がポートを共有している場合、I²Cを動作させる前にI²Cの入出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

13.2.2 外部との接続

I²Cと外部I²C機器との接続例を図13.2.2.1に示します。

I²Cバスのシリアルデータ(SDA)とシリアルクロック(SCL)は、外部抵抗によってプルアップする必要があります。

I²Cがマスターモードのとき、I²Cバス上には、ユニークなアドレスを持つ複数のスレーブデバイスを接続することができます。I²Cがスレーブモードのとき、I²Cバス上には、ユニークなアドレスを持つ複数または1つのマスターデバイスとスレーブデバイスを接続することができます。

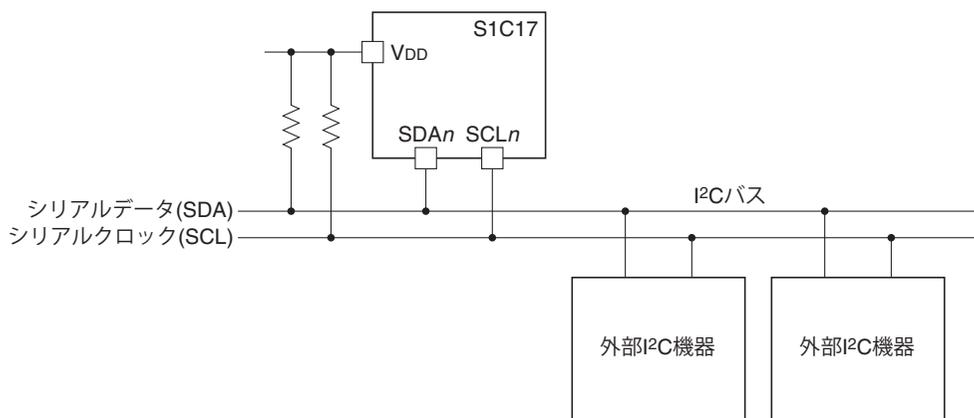


図13.2.2.1 I²Cと外部I²C機器との接続

注: • SDAとSCLは、必ず本ICのV_{DD}以下の電圧にプルアップしてください。ただし、I²Cの入出力ポートがトレラント・フェイルセーフ対応I/Oの場合は、本ICの推奨動作電圧の範囲内で、本ICのV_{DD}以上の電圧にプルアップすることが可能です。

- SDAとSCLのプルアップに、本ICの入出力ポートに内蔵されたプルアップ抵抗を使用することはできません。
- I²Cがマスターモードのときは、I²Cバス上に他のマスターデバイスを接続することはできません。

13.3 クロック設定

13.3.1 I2Cの動作クロック

マスタモードの動作クロック

I2C Ch.*n*をマスタモードで使用する場合、クロックジェネレータからI2C Ch.*n*動作クロックCLK_I2C*n*をI2C Ch.*n*に供給する必要があります。

CLK_I2C*n*の供給は以下の手順で制御してください。

- 1 クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
2. I2C*n*CLKレジスタの以下のビットを設定する。
 - I2C*n*CLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - I2C*n*CLK.CLKDIV[1:0]ビット (クロック分周比の選択 = クロック周波数の設定)

SLEEPモード時にマスタモードのI2Cを使用する場合は、I2C Ch.*n*動作クロックCLK_I2C*n*のクロックソースに対応したCLGOSC.*xxxx*SLPCビットに0を書き込み、CLK_I2C*n*を供給し続ける必要があります。I2Cの動作クロックは、ポーレートジェネレータで設定しやすいクロックを選択してください。

スレーブモードの動作クロック

スレーブモードのI2Cは、I²Cマスタから供給されるSCLを動作クロックとして使用します。

I2C*n*CLKレジスタによるクロックの設定は無効になります。

SLEEPモードですべてのクロックが停止している状態でも、I2Cは外部のI²Cマスタから供給されるクロックで動作するため、データを受信し、受信バッファフル割り込みを発生させることができます。

13.3.2 DEBUGモード時のクロック供給

マスタモードでは、DEBUGモード時のCLK_I2C*n*の供給はI2C*n*CLK.DBRUNビットで制御します。

I2C*n*CLK.DBRUNビット = 0の場合、DEBUGモードに移行するとI2C Ch.*n*へのCLK_I2C*n*の供給が停止します。その後通常モードに戻ると、CLK_I2C*n*の供給が再開します。CLK_I2C*n*の供給が停止するとI2C Ch.*n*の動作は停止しますが、出力端子やレジスタはDEBUGモードへ移行前の状態に保持されます。

I2C*n*CLK.DBRUNビット = 1の場合、DEBUGモード時もCLK_I2C*n*の供給は停止せず、I2C Ch.*n*は動作を継続します。

スレーブモードでは、DEBUGモードか通常モードかにかかわらず、外部のI²CマスタからSCL*n*端子に供給されるクロックで動作します。

13.3.3 ポーレートジェネレータ

I2Cは、マスタモードでの動作時にシリアルクロックSCLを生成する、ポーレートジェネレータを内蔵しています。スレーブモード時はSCL*n*端子から入力されるシリアルクロックで動作しますので、ポーレートジェネレータは使用しません。

データ転送レートの設定(マスタモード時)

転送レートはI2C*n*BR.BRT[6:0]ビットの設定により決まります。

希望の転送レートを得るための設定値は次の式で計算できます。

$$\text{bps} = \frac{f_{\text{CLK_I2C}n}}{(\text{BRT} + 3) \times 2} \qquad \text{BRT} = \frac{f_{\text{CLK_I2C}n}}{\text{bps} \times 2} - 3 \qquad (\text{式13.1})$$

ここで

bps: データ転送レート [bit/s]

f_{CLK_I2C*n*}: I2Cの動作クロック周波数 [Hz]

BRT: I2C*n*BR.BRT[6:0]ビットの設定値(1~127)

※ 上記の式は、SCLの立ち上がり/立ち下がり時間やクロックストレッチによる遅延時間(図13.3.3.1参照)を含んでいません。

注: I²Cバスの転送レートは標準モードで最大100 kbit/s、ファースト・モードで最大400 kbit/sに制限されています。制限以上の転送レートは設定しないでください。

ボーレートジェネレータのクロック出力とクロックストレッチへの対応

ボーレートジェネレータが生成するクロックとI²Cバス上のクロック波形を図13.3.3.1に示します。

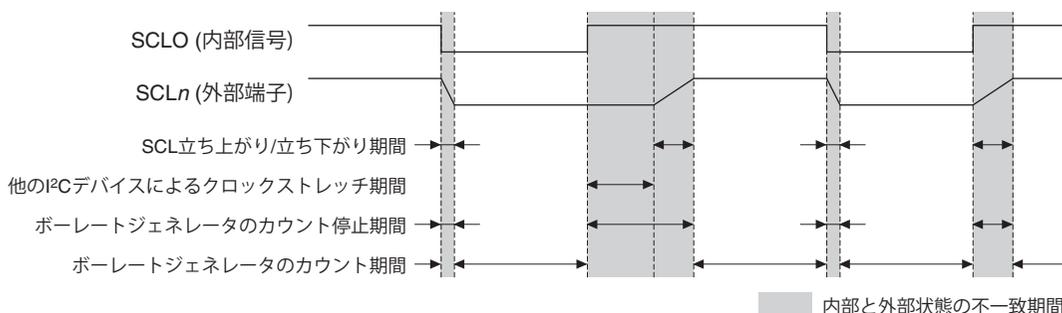


図13.3.3.1 ボーレートジェネレータ出力クロックとSCLn出力波形

ボーレートジェネレータが生成するSCLOはSCLn端子の状態と比較され、その結果がフィードバックされます。SCLOとSCLn端子の状態に不一致が発生している場合は、ボーレートジェネレータのカウンタ動作が停止します。これにより、SCL信号の立ち上がり/立ち下がり期間や、外部スレーブデバイスによってSCLがLOWに固定されるクロックストレッチの期間はクロックが延長され、データ送受信が制御されるようになっています。

13.4 動作

13.4.1 初期設定

I2C Ch.*n*は、以下の手順により初期設定を行います。

マスターモードで使用する場合

- I2CnCLKレジスタとI2CnBRレジスタで動作クロックとボーレートジェネレータを設定する。
- I2C Ch.*n*入出力機能をポートに割り当てる。(“入出力ポート”の章を参照)
- 割り込みを使用する場合は以下のビットを設定する。
 - I2CnINTFレジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
 - I2CnINTEレジスタの割り込みイネーブルビットを1に設定 (割り込みイネーブル)
- I2CnCTLレジスタの以下のビットを設定する。
 - I2CnCTL.MSTビットを1に設定 (マスターモードに設定)
 - I2CnCTL.SFTRSTビットを1に設定 (ソフトウェアリセットを実行)
 - I2CnCTL.MODENビットを1に設定 (I2C Ch.*n*の動作をイネーブル)

スレーブモードで使用する場合

- I2CnMODレジスタの以下のビットを設定する。
 - I2CnMOD.OADR10ビット (10/7ビットアドレスモード設定)
 - I2CnMOD.GCENビット (ジェネラルコールアドレス応答イネーブル)
- I2CnOADR.OADR[9:0][またはOADR[6:0]]ビットで自己アドレスを設定する。
- I2C Ch.*n*入出力機能をポートに割り当てる。(“入出力ポート”の章を参照)
- 割り込みを使用する場合は以下のビットを設定する。
 - I2CnINTFレジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
 - I2CnINTEレジスタの割り込みイネーブルビットを1に設定 (割り込みイネーブル)
- I2CnCTLレジスタの以下のビットを設定する。
 - I2CnCTL.MSTビットを0に設定 (スレーブモードに設定)
 - I2CnCTL.SFTRSTビットを1に設定 (ソフトウェアリセットを実行)
 - I2CnCTL.MODENビットを1に設定 (I2C Ch.*n*の動作をイネーブル)

13.4.2 マスタモードのデータ送信

マスタモード時のデータ送信手順と動作を以下に示します。また、動作例とフローチャートをそれぞれ図13.4.2.1と図13.4.2.2に示します。

送信手順

1. I2CnCTL.TXSTARTビットを1に設定し、スタートコンディションを生成する。
2. 送信バッファエンプティ割り込み(I2CnINTF.TBEIFビット = 1)またはスタートコンディション割り込み(I2CnINTF.STARTIFビット = 1)を待つ。
割り込み発生後、I2CnINTF.STARTIFビットは1を書き込んでクリアする。
3. I2CnTXD.TXD[7:1]ビットに7ビットのスレーブアドレス、I2CnTXD.TXD0ビットにデータ転送方向がWRITEであることを示す0を書き込む。
4. ACK受信時の送信バッファエンプティ割り込み(I2CnINTF.TBEIFビット = 1)、またはNACK受信時のNACK受信割り込み(I2CnINTF.NACKIFビット = 1)を待つ。
 - i. 送信バッファエンプティ割り込みが発生し、送信データがある場合は5へ
 - ii. NACK受信割り込み発生時は、I2CnINTF.NACKIFビットをクリアした後、7または1へ
5. I2CnTXDレジスタに送信データを書き込む。
6. 送信データ終了まで、4と5を繰り返す。
7. I2CnCTL.TXSTOPビットを1に設定し、ストップコンディションを生成する。
8. ストップコンディション割り込み(I2CnINTF.STOPIFビット = 1)を待つ。
割り込み発生後、I2CnINTF.STOPIFビットは1を書き込んでクリアする。

送信動作

スタートコンディションの生成

I2CnCTL.TXSTARTビットを1に設定すると、I2C Ch.nはスタートコンディションの生成を開始します。これが完了するとI2CnCTL.TXSTARTビットは0にクリアされ、I2CnINTF.STARTIFビットとI2CnINTF.TBEIFビットが1にセットされます。

スレーブアドレス、データの送信

I2CnINTF.TBEIFビット = 1であれば、I2CnTXDレジスタにスレーブアドレスやデータを書き込むことができます。なお、I2CnTXDレジスタへの書き込みが行われるまで、I2C Ch.nはSCLをLOWに固定して待機します。この書き込み操作をトリガとして、そのデータは自動的にシフトレジスタに転送され、8個のクロックとデータビットがPCバスに出力されます。

この応答としてスレーブデバイスからACKが返ると、I2CnINTF.TBEIFビットが1にセットされます。この割り込み要求が発生後、続くデータの送信や、送信を終了するストップコンディション/リピーテッドスタートコンディションの生成が行えます。NACKが返った場合は、I2CnINTF.TBEIFビットはセットされず、代わりにI2CnINTF.NACKIFビットが1にセットされます。

ストップコンディション/リピーテッドスタートコンディションの生成

I2CnINTF.TBEIFビット = 1(送信バッファエンプティ)またはI2CnINTF.NACKIFビット = 1(NACK受信)となった後にI2CnCTL.TXSTOPビットを1に設定すると、I2C Ch.nはストップコンディションを生成します。ストップコンディションの生成からバスフリー時間(I²C規格におけるt_{BUF})が経過した時点で、I2CnCTL.TXSTOPビットが0にクリアされ、I2CnINTF.STOPIFビットが1にセットされます。

I2CnINTF.TBEIFビット = 1(送信バッファエンプティ)、またはI2CnINTF.NACKIFビット = 1(NACK受信)の状態ではI2CnCTL.TXSTARTビットを1に設定すると、I2C Ch.nはリピーテッドスタートコンディションを生成します。リピーテッドスタートコンディションの生成が完了すると、スタートコンディション生成時と同様に、I2CnINTF.STARTIFビットとI2CnINTF.TBEIFビットが1にセットされます。

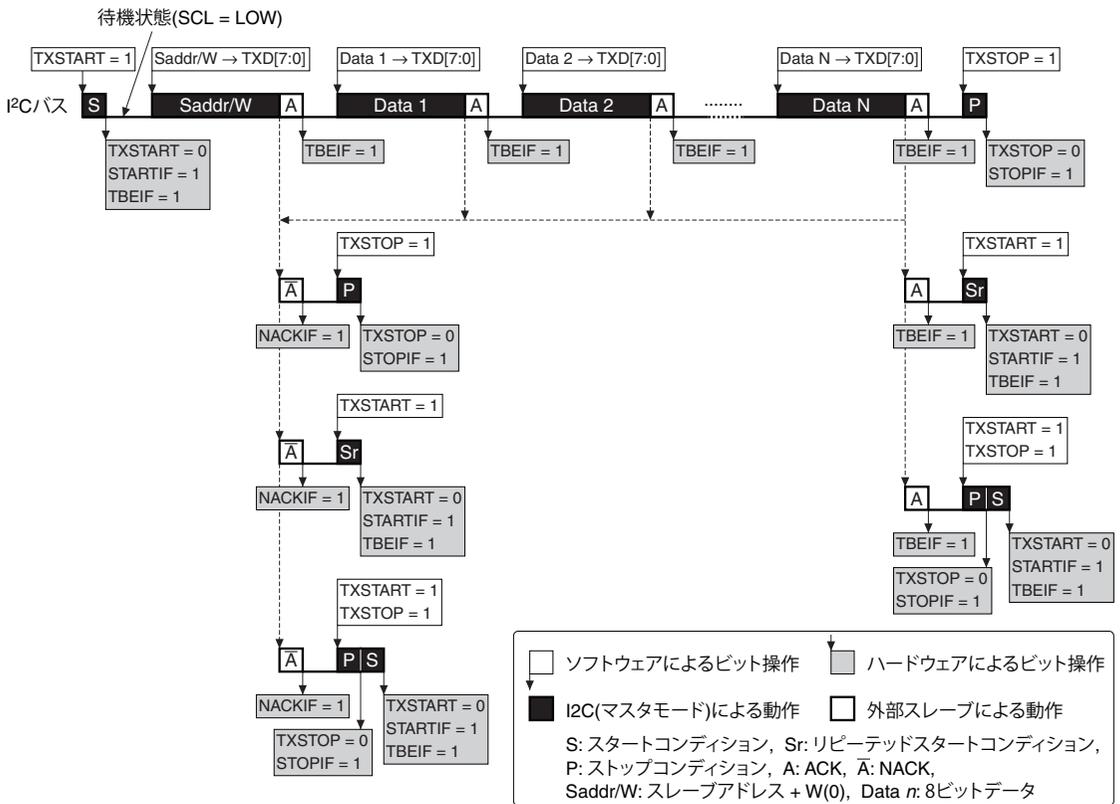


図13.4.2.1 マスターモードのデータ送信動作例

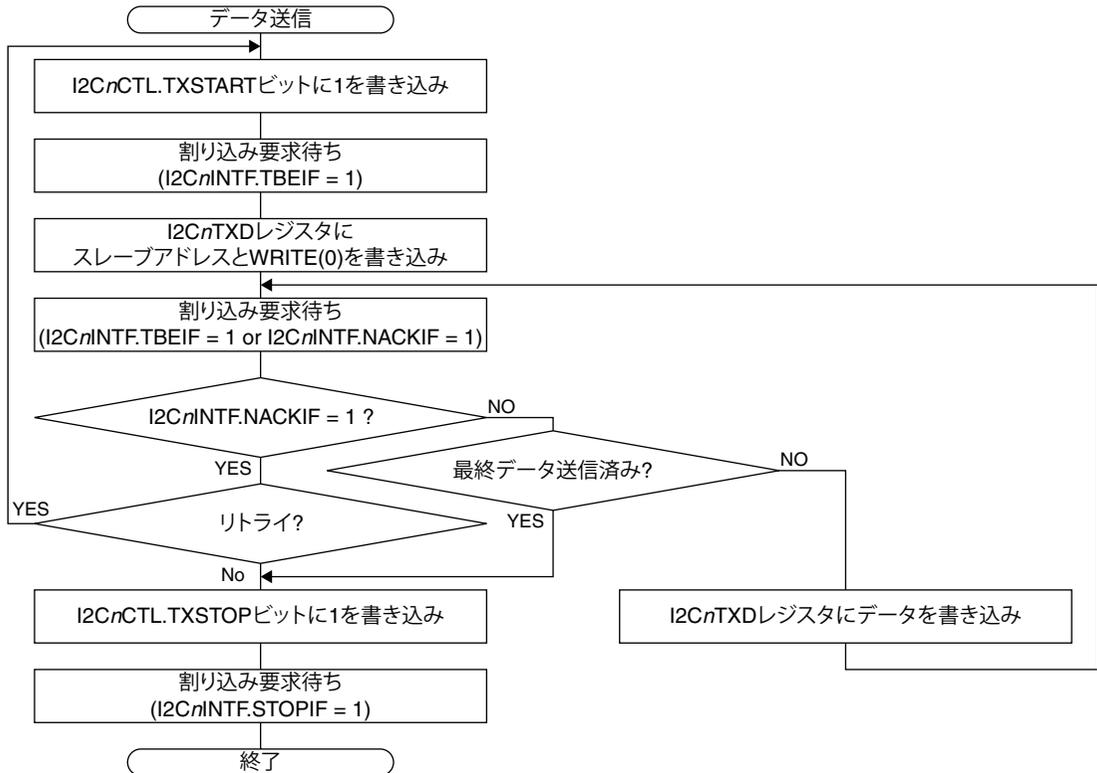


図13.4.2.2 マスターモードのデータ送信フローチャート

13.4.3 マスタモードのデータ受信

マスタモード時のデータ受信手順と動作を以下に示します。また、動作例とフローチャートをそれぞれ図13.4.3.1と図13.4.3.2に示します。

受信手順

1. 受信するデータの長さが1バイトの場合はI2CnCTL.TXNACKビットに1を書き込む。
2. I2CnCTL.TXSTARTビットを1に設定し、スタートコンディションを生成する。
3. 送信バッファエンPTY割り込み(I2CnINTF.TBEIFビット = 1)またはスタートコンディション割り込み(I2CnINTF.STARTIFビット = 1)を待つ。
割り込み発生後、I2CnINTF.STARTIFビットは1を書き込んでクリアする。
4. I2CnTXD.TXD[7:1]ビットに7ビットのスレーブアドレス、I2CnTXD.TXD0ビットにデータ転送方向がREADであることを示す1を書き込む。
5. 1バイト受信完了時の受信バッファフル割り込み(I2CnINTF.RBFIFビット = 1)、またはNACK受信時のNACK受信割り込み(I2CnINTF.NACKIFビット = 1)を待つ。
 - i. 受信バッファフル割り込みが発生した場合は6へ
 - ii. NACK受信割り込み発生時は、I2CnINTF.NACKIFビットをクリアした後、I2CnCTL.TXSTOPビットを1に設定してストップコンディションを生成する。その後、9へ。リトライする場合は2へ
6. 今回または次回の受信データが最終データとなる場合は、以下の処理を行う。
 - i. 次に受信するデータが最終データの場合は、I2CnCTL.TXNACKビットに1を書き込み、その受信後にNACKが送信されるようにする。その後、7へ。
 - ii. 今回受信したデータが最終データの場合は、I2CnRXDレジスタから受信データを読み出し後、I2CnCTL.TXSTOPビットを1に設定してストップコンディションを生成する。その後、9へ。
7. I2CnRXDレジスタから受信データを読み出す。
8. 受信データ終了まで、5~7を繰り返す。
9. ストップコンディション割り込み(I2CnINTF.STOPIFビット = 1)を待つ。
割り込み発生後、I2CnINTF.STOPIFビットは1を書き込んでクリアする。

受信動作

スタートコンディションの生成

マスタモードのデータ送信の場合と同様です。

スレーブアドレスの送信

マスタモードのデータ送信の場合と同様です。ただし、I2CnTXD.TXD0ビットはデータ転送方向がREADであることを示す1に設定してスレーブにデータの送信を要求する必要があります。

データの受信

スレーブアドレスの送信後、スレーブデバイスからはACKと最初のデータが送られてきます。このデータを受信し終わると、I2C Ch.nはI2CnINTF.RBFIFビットを1にセットします。また、I2C Ch.nはスレーブデバイスにACKを返します。最終データ受信後の応答など、NACKを返すときはI2CnINTF.RBFIFビットが1にセットされる前にI2CnCTL.TXNACKビットに1を書き込んでおきます。

受信バッファフル割り込み要求の発生後は、I2CnRXDレジスタから受信データを読み出すことができます。なお、I2CnRXDレジスタが読み出されるまで、I2C Ch.nはSCLをLOWに固定して待機します。

この読み出しがトリガとなり、I2C Ch.nは次のデータ受信を開始します。

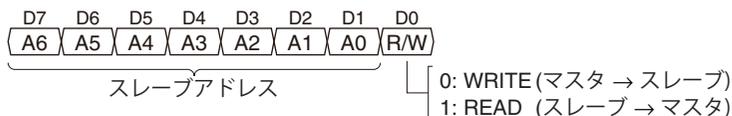
ストップコンディション/リピーテッドスタートコンディションの生成

マスタモードのデータ送信の場合と同様です。

13.4.4 マスタモードでの10ビットアドレス指定

10ビットアドレスは上位2ビットと下位8ビットに分け、第1アドレスと第2アドレスを構成します。

7ビットアドレス



10ビットアドレス



図13.4.4.1 10ビットアドレスの構成

マスタモード時に、10ビットアドレスモードで送受信を開始する手順を以下に示します(NACK受信時やデータ送受信の制御手順は、前述の7ビットモードの説明を参照してください)。また、動作例を図13.4.4.2に示します。

10ビットアドレスモードの送信開始手順

1. I2CnCTL.TXSTARTビットを1に設定し、スタートコンディションを生成する。
2. 送信バッファエンプティ割り込み(I2CnINTF.TBEIFビット = 1)またはスタートコンディション割り込み(I2CnINTF.STARTIFビット = 1)を待つ。
割り込み発生後、I2CnINTF.STARTIFビットは1を書き込んでクリアする。
3. I2CnTXD.TXD[7:1]ビットに第1アドレス、I2CnTXD.TXD0ビットにデータ転送方向がWRITEであることを示す0を書き込む。
4. 送信バッファエンプティ割り込み(I2CnINTF.TBEIFビット = 1)を待つ。
5. I2CnTXD.TXD[7:0]ビットに第2アドレスを書き込む。
6. 送信バッファエンプティ割り込み(I2CnINTF.TBEIFビット = 1)を待つ。
7. データ送信を行う。

10ビットアドレスモードの受信開始手順

- 1～6. 上記送信開始手順と同じ。
7. I2CnCTL.TXSTARTビットを1に設定し、リピーテッドスタートコンディションを生成する。
8. 送信バッファエンプティ割り込み(I2CnINTF.TBEIFビット = 1)またはスタートコンディション割り込み(I2CnINTF.STARTIFビット = 1)を待つ。
割り込み発生後、I2CnINTF.STARTIFビットは1を書き込んでクリアする。
9. I2CnTXD.TXD[7:1]ビットに第1アドレス、I2CnTXD.TXD0ビットにデータ転送方向がREADであることを示す1を書き込む。
10. データ受信を行う。

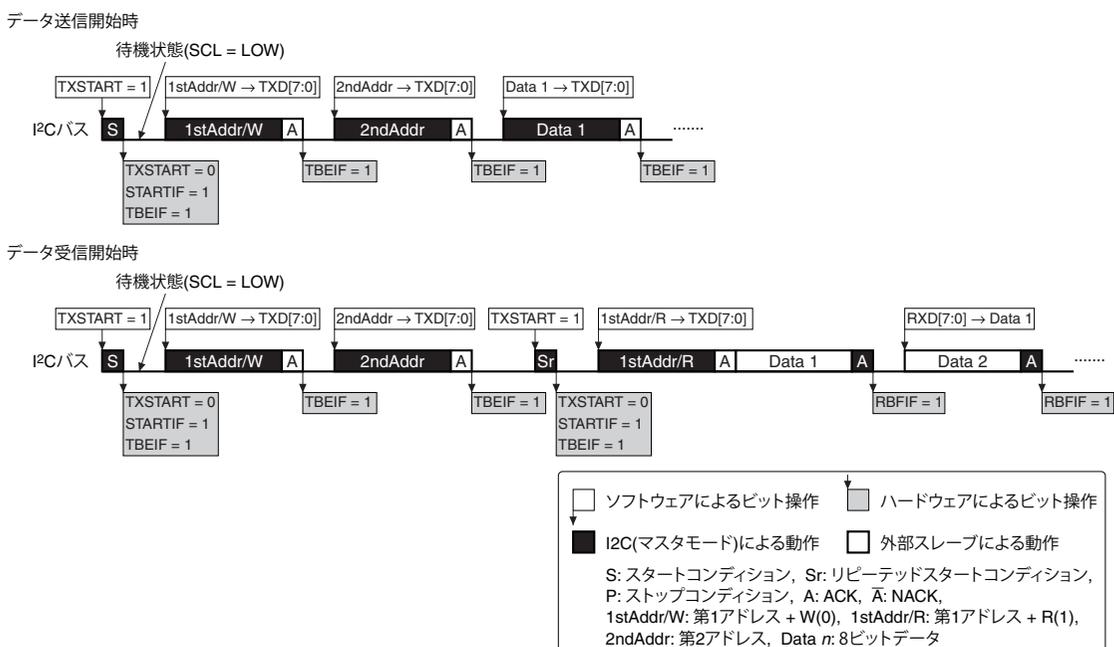


図13.4.4.2 10ビットアドレスモードのデータ送受信開始動作例(マスターモード)

13.4.5 スレーブモードのデータ送信

スレーブモード時のデータ送信手順と動作を以下に示します。また、動作例とフローチャートをそれぞれ図13.4.5.1と図13.4.5.2に示します。

送信手順

1. スタートコンディション割り込み(I2CnINTF.STARTIFビット = 1)を待つ。
割り込み発生後、I2CnINTF.STARTIFビットは1を書き込んでクリアする。
2. I2CnINTF.TRビット = 1(送信モード)を確認する。
(I2CnINTF.TRビット = 0の場合は、受信手順を開始する。)
3. I2CnTXDレジスタに送信データを書き込む。
4. 送信バッファエンプティ割り込み(I2CnINTF.TBEIFビット = 1)、NACK受信割り込み(I2CnINTF.NACKIFビット = 1)、またはストップコンディション割り込み(I2CnINTF.STOPIFビット = 1)を待つ。
 - i. 送信バッファエンプティ割り込みが発生した場合は3へ
 - ii. NACK受信割り込み発生時は、I2CnINTF.NACKIFビットをクリアした後、5へ
 - iii. ストップコンディション割り込み発生時は、6へ
5. ストップコンディション割り込み(I2CnINTF.STOPIFビット = 1)またはスタートコンディション割り込み(I2CnINTF.STARTIFビット = 1)を待つ。
 - i. ストップコンディション割り込み発生時は、6へ
 - ii. スタートコンディション割り込み発生時は、2へ
6. I2CnINTF.STOPIFビットをクリアし、送信動作を終了する。

送信動作

スタートコンディションの検出とスレーブアドレスのチェック

I2CnCTL.MODENビット = 1、I2CnCTL.MSTビット = 0(スレーブモード)の場合、I2C Ch.nはI²Cバスをモニタし、スタートコンディションを検出すると、続いてマスタから送られるスレーブアドレスの受信動作を開始します。受信したアドレスが、I2CnOADR.OADR[6:0]ビット(I2CnMOD.OADR10ビット = 0(7ビットアドレスモード)の場合)、またはI2CnOADR.OADR[9:0]ビット(I2CnMOD.OADR10ビット = 1(10ビットアドレスモード)の場合)に設定した自己アドレスに一致すると、I2CnINTF.STARTIFビット、I2CnINTF.BSYビットが1にセットされます。また、I2C Ch.nは受信したアドレス内のR/Wビットの値をI2CnINTF.TRビットにセットし、これが1だった場合はI2CnINTF.TBEIFビットも1にセットしてデータ送信動作を開始します。

第1バイトのデータ送信

有効なスレーブアドレスを受信後、I2C Ch.nはI2CnTXDレジスタへの書き込みが行われるまで、SCLをLOWに固定して待機します。これにより、I²Cバスがクロックストレッチ状態となり、外部マスタも待機状態になります。送信データがI2CnTXDレジスタに書き込まれると、I2C Ch.nはI2CnINTF.TBEIFビットをクリアし、マスタに対してACKを送信します。I2CnTXDレジスタに書き込んだ送信データは自動的にシフトレジスタに転送され、I2CnINTF.TBEIFビットが1にセットされます。シフトレジスタのデータビットは順次I²Cバスに出力されます。

2バイト目以降のデータ送信

I2CnINTF.TBEIFビット = 1であれば、送信動作中であっても続く送信データの書き込みが可能です。シフトレジスタからの送信データ出力が完了したときにI2CnINTF.TBEIF = 1であった場合は、I2CnTXDレジスタに送信データが書き込まれるまで、I2C Ch.nはSCLをLow(クロックストレッチ状態)に固定します。

I2CnTXDレジスタに次の送信データが書き込まれている場合あるいは書き込まれると、外部マスタからACKを受信した時点で、次の8ビットデータ送信を行います。このときに、I2CnINTF.BYTEENDIFビットが1にセットされます。NACKを受信したときは、I2CnINTF.NACKIFビットがセットされ、データの送信は行われません。

ストップコンディション/リピーテッドスタートコンディションの検出

I2CnCTL.MSTビット = 0(スレーブモード)、I2CnINTF.BSYビット = 1の場合、I2C Ch.nはI²Cバスをモニタしており、ストップコンディションを検出するとデータ送信動作を終了します。この時点で、I2CnINTF.BSYビットは0にクリアされ、I2CnINTF.STOPIFビットが1にセットされます。リピーテッドスタートコンディションを検出した場合も、I2C Ch.nはI2CnINTF.BSYビットをクリアしてデータ送信動作を終了します。この場合は、I2CnINTF.STARTIFビットが1にセットされます。

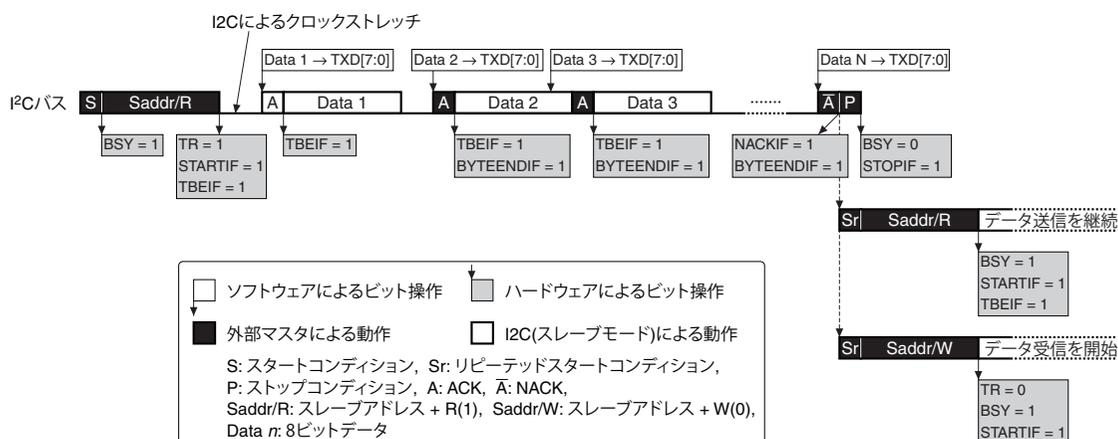


図13.4.5.1 スレーブモードのデータ送信動作例

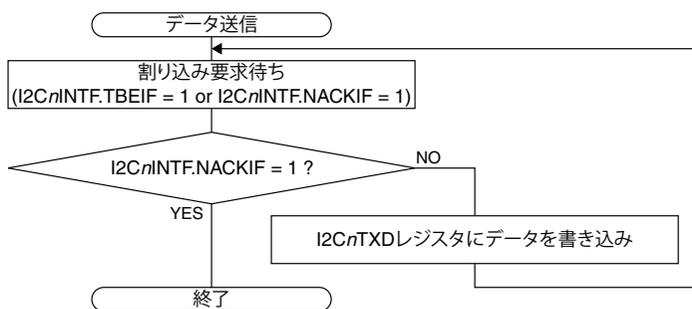


図13.4.5.2 スレーブモードのデータ送信フローチャート

13.4.6 スレーブモードのデータ受信

スレーブモード時のデータ受信手順と動作を以下に示します。また、動作例とフローチャートをそれぞれ図13.4.6.1と図13.4.6.2に示します。

受信手順

1. 受信するデータの長さが1バイトの場合はI2CnCTL.TXNACKビットに1を書き込む。
2. スタートコンディション割り込み(I2CnINTF.STARTIFビット = 1)を待つ。
3. I2CnINTF.TRビット = 0(受信モード)を確認する。
(I2CnINTF.TRビット = 1の場合は、送信手順を開始する。)
4. I2CnINTF.STARTIFビットに1を書き込んでクリアする。
5. 1バイト受信完了時の受信バッファフル割り込み(I2CnINTF.RBFIFビット = 1)、または送受信完了割り込み(I2CnINTF.BYTEENDIFビット = 1)を待つ。
割り込み発生後、I2CnINTF.BYTEENDIFビットは1を書き込んでクリアする。
6. 次に受信するデータが最終データの場合は、I2CnCTL.TXNACKビットに1を書き込み、その受信後にNACKが送信されるようにする。
7. I2CnRXDレジスタから受信データを読み出す。
8. 受信データ終了まで、5~7を繰り返す。
9. ストップコンディション割り込み(I2CnINTF.STOPIFビット = 1)またはスタートコンディション割り込み(I2CnINTF.STARTIFビット = 1)を待つ。
 - i. ストップコンディション割り込み発生時は、10へ
 - ii. スタートコンディション割り込み発生時は、3へ
10. I2CnINTF.STOPIFビットをクリアし、受信動作を終了する。

受信動作

スタートコンディションの検出とスレーブアドレスのチェック

スレーブモードのデータ送信の場合と同様です。

ただし、I2CnINTF.TRビットは0にクリアされ、I2CnINTF.TBEIFビットはセットされません。

また、I2CnMOD.GCENを1(ジェネラルコールアドレス応答イネーブル)に設定してある場合は、ジェネラルコールアドレスを受信した場合も受信動作を開始します。

SLEEPモードでもスレーブモードの動作は可能で、アドレス一致検出時の割り込みによってCPUをウェイクアップさせることができます。

第1バイトのデータ受信

有効なスレーブアドレスを受信後、I2C Ch.nはACKを送信し、I2CnINTF.STARTIFビットに1が書き込まれるまで、SCLをLOWに固定します。これにより、I²Cバスがクロックストレッチ状態となり、外部マスタも待機状態になります。I2CnINTF.STARTIFビットに1が書き込まれるとSCLが解放され、外部マスタから送られるデータをシフトレジスタに受信します。8ビットのデータを受信し終わると、I2C Ch.nはACKを送信し、SCLをLOWに固定します。シフトレジスタの受信データは受信データバッファに転送され、I2CnINTF.RBFIFビットおよびI2CnINTF.BYTEENDIFビットが1にセットされます。これ以降、I2CnRXDレジスタから受信データを読み出すことができます。

2バイト目以降のデータ受信

I2CnINTF.RBFIFビットが1にセットされた後、I2CnRXDレジスタから受信データを読み出すと、I2CnINTF.RBFIFビットが0にクリアされるとともに、SCLが解放され、外部マスタから送られる次のデータを受信します。8ビットのデータを受信し終わると、I2C Ch.nはACKを送信し、SCLをLOWに固定します。シフトレジスタの受信データは受信データバッファに転送され、I2CnINTF.RBFIFビットおよびI2CnINTF.BYTEENDIFビットが1にセットされます。

受信を終了させるときなど、8ビットデータの受信終了時にNACKを返すには、その受信が終了する前にI2CnCTL.TXNACKビットに1を書き込んでおきます。NACKを送信すると、I2CnCTL.TXNACKビットは自動的に0にクリアされます。

ストップコンディション/リピーテッドスタートコンディションの検出

スレーブモードのデータ送信の場合と同様です。

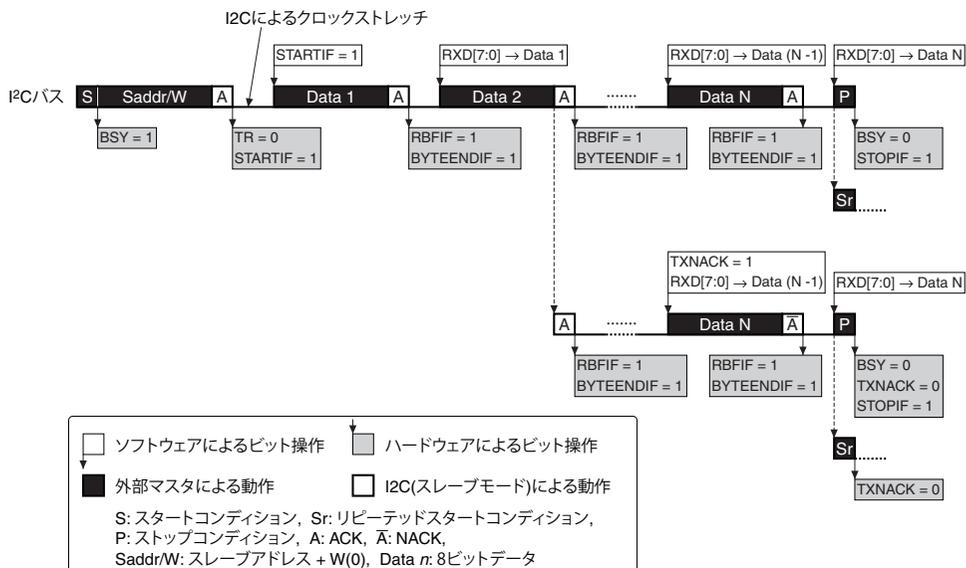


図13.4.6.1 スレーブモードのデータ受信動作例

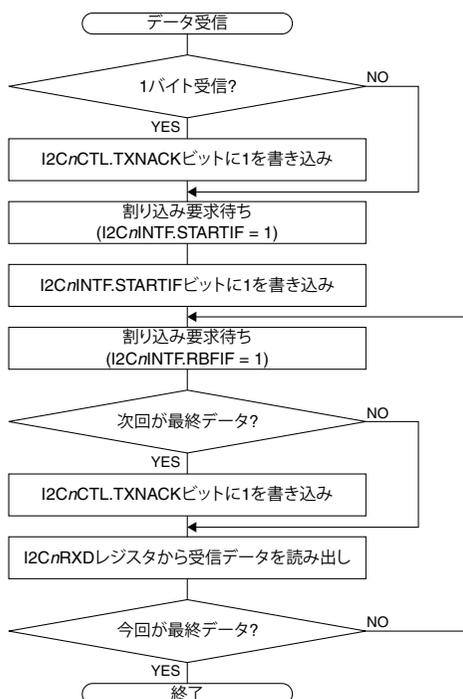


図13.4.6.2 スレーブモードのデータ受信フローチャート

13.4.7 10ビットアドレスモードのスレーブ動作

I2CnCTL.MSTビット = 0、かつI2CnMOD.OADR10ビット = 1のときは、I2C Ch.nは10ビットアドレスモードのスレーブとして動作します。このときのアドレス受信動作を以下に示します。また、動作例を図13.4.7.1に示します。10ビットアドレスの構成は、図13.4.4.1を参照してください。

10ビットアドレスの受信動作

スタートコンディションの後、マスタからスレーブアドレスの上位2ビットとR/Wビット(= 0)を含む第1アドレスが送信されます。このアドレスの上位2ビットとI2CnOADR.OADR[9:8]ビットが一致した場合、I2C Ch.nはACKを返します。このときは、上位2ビットが一致した他のスレーブからもACKが送信されます。

次に、マスタから第2アドレスとしてスレーブアドレスの下位8ビットが送信されます。このアドレスとI2CnOADR.OADR[7:0]ビットが一致した場合、I2C Ch.nはACKを返した後、データの受信動作を開始します。

マスタがデータ受信(スレーブからのデータ送信)を要求する場合は、この後さらにマスタからリピーテッドスタートコンディションとR/Wビットを1にした第1アドレスが送信されます。すると、I2C Ch.nは動作をデータ送信に切り換えます。

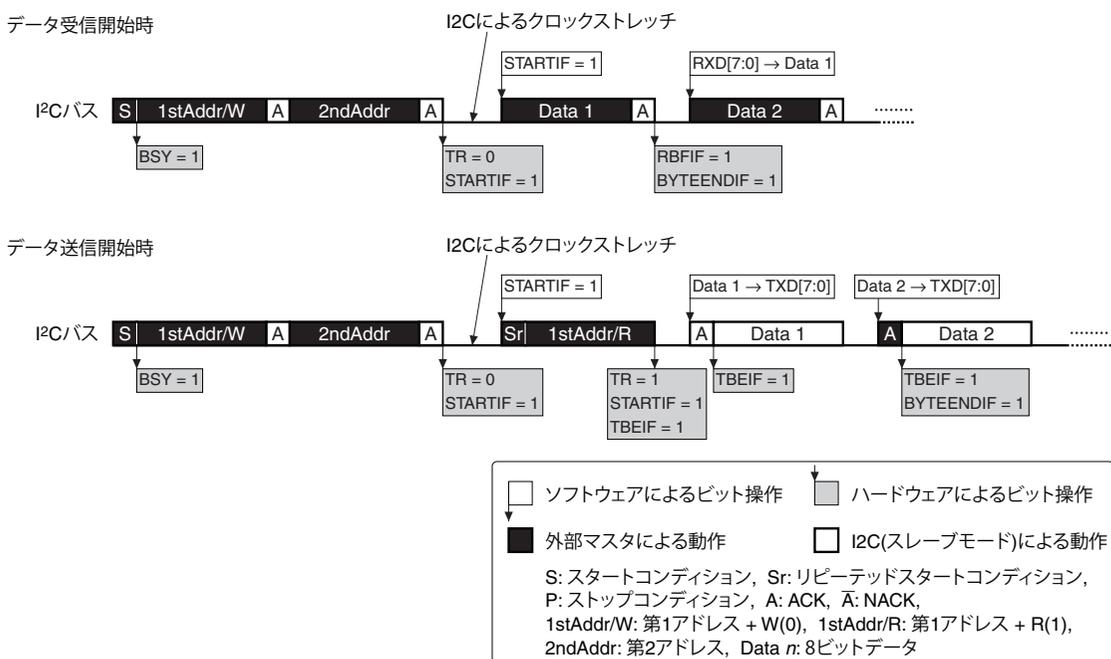


図13.4.7.1 10ビットアドレスモードのデータ送受信開始動作例(スレーブモード)

13.4.8 自動バスクリア動作

マスタモードで動作するI2C Ch.nは、スタートコンディションを生成する直前にSDAの状態をチェックします。このとき、SDAがLOWレベルだった場合は、SDAを解放したまま最大10発のクロックをSCLn端子から送出する、バスクリア動作を自動的に実行します。

9発以内のクロックの送信によってSDAがLOWレベルからHIGHレベルとなり、スタートコンディションを発行できたときは、通常の動作に移ります。I2C Ch.nがクロックを9発送出してもSDAがLOWのままだった場合は、自動バスクリアが失敗したものと判断して、I2C Ch.nはI2CnCTL.TXSTARTビットを0にクリアし、I2CnINTF.ERRIFビットとI2CnINTF.STARTIFビットを1にセットします。

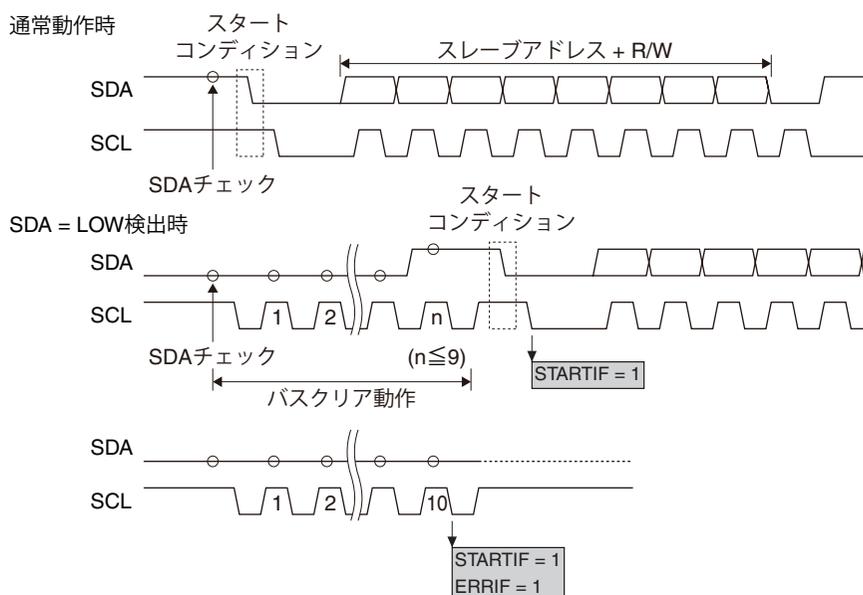


図13.4.8.1 自動バスクリア動作

13.4.9 エラー検出

I²Cには、ハードウェアによるエラー検出機能が搭載されています。

また、I2CnINTF.SDALOWビットとI2CnINTF.SCLLOWビットをソフトウェアで監視することにより、SDAやSCLがLOWに固定されているかどうかを調べることができます。意図しないSDAやSCLのLOWへの固定が検出された場合、I2C Ch.nをソフトウェアリセットするなどの対応を取ることができます。

ハードウェアによるエラー検出と通知方法は、以下のとおりです。

表13.4.9.1 ハードウェアによるエラー検出機能

No.	エラー検出期間/タイミング	監視するI ² Cバスラインとエラー発生条件	通知方法
1	アドレス送付、データ送付、またはNACK送付で、I2C Ch.nがSDAをHIGHに制御している期間	SDA = Low	I2CnINTF.ERRIF = 1
2	【マスターモードのみ】I2CnINTF.BSYビット = 0の期間中にI2C-nCTL.TXSTARTビットに1を書き込んだとき	SCL = Low	I2CnINTF.ERRIF = 1 I2CnCTL.TXSTART = 0 I2CnINTF.STARTIF = 1
3	【マスターモードのみ】I2CnINTF.BSYビット = 0の期間中にI2C-nCTL.TXSTOPビットに1を書き込んだとき	SCL = Low	I2CnINTF.ERRIF = 1 I2CnCTL.TXSTOP = 0 I2CnINTF.STOPIF = 1
4	【マスターモードのみ】I2CnINTF.BSYビット = 0の期間中にI2C-nCTL.TXSTARTビットに1を書き込んだとき(“自動バスクリア動作”を参照)	SDA 自動バスクリアの失敗	I2CnINTF.ERRIF = 1 I2CnCTL.TXSTART = 0 I2CnINTF.STARTIF = 1

13.5 割り込み

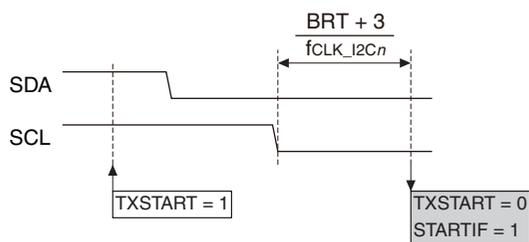
I2Cには、表13.5.1に示す割り込みを発生させる機能があります。

表13.5.1 I2Cの割り込み機能

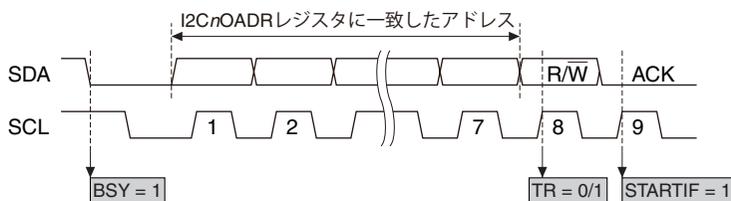
割り込み	割り込みフラグ	セット	クリア
送受信完了	I2CnINTF.BYTEENDIF	8ビットのデータ送受信と、それに続くACK/NACKの送受信が完了したとき	1書き込み ソフトリセット
ジェネラルコールアドレス受信	I2CnINTF.GCIF	スレーブモードのみ: ジェネラルコールアドレスを受信したとき	1書き込み ソフトリセット
NACK受信	I2CnINTF.NACKIF	NACKを受信したとき	1書き込み ソフトリセット
ストップコンディション	I2CnINTF.STOPIF	マスタモード: ストップコンディションの送出を完了し、ストップコンディションとスタートコンディションの間のバスフリー時間 (t _{BUF}) が経過したとき スレーブモード: I2C Ch.nがスレーブとして選択されている場合にストップコンディションを検出したとき	1書き込み ソフトリセット
スタートコンディション	I2CnINTF.STARTIF	マスタモード: スタートコンディションの送出を完了したとき スレーブモード: アドレス一致が検出されたとき (ジェネラルコールを含む)	1書き込み ソフトリセット
エラー検出	I2CnINTF.ERRIF	“エラー検出”を参照	1書き込み ソフトリセット
受信バッファフル	I2CnINTF.RBFIF	受信データバッファに受信データがロードされたとき	受信データ読み出し (受信データバッファを空にする) ソフトリセット
送信バッファエンプティ	I2CnINTF.TBEIF	マスタモード: スタートコンディションの送出を完了したとき、またはスレーブからACKを受信したとき スレーブモード: 送信データバッファに書き込まれた送信データがシフトレジスタに転送されたとき、またはR/Wビット = 1でアドレス一致が検出されたとき	送信データ書き込み

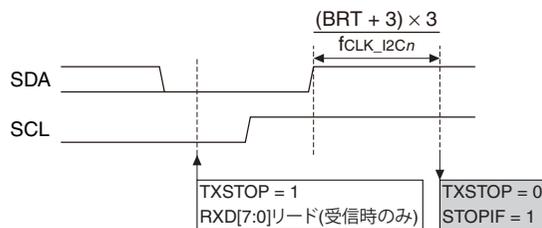
割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

(1) スタートコンディション割り込み マスタモード

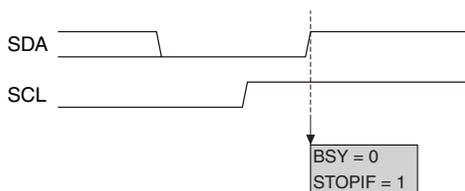


スレーブモード



(2) ストップコンディション割り込み
マスタモード

スレーブモード



(fCLK_I2Cn: I2Cの動作クロック周波数 [Hz], BRT: I2CnBR.BRT[6:0]ビットの設定値(1~127))

図13.5.1 スタート/ストップコンディション割り込みタイミング

13.6 制御レジスタ

I2C Ch.n Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnCLK	15-9	-	0x00	-	R	-
	8	DBRUN	0	H0	R/W	
	7-6	-	0x0	-	R	
	5-4	CLKDIV[1:0]	0x0	H0	R/W	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

Bits 15-9 Reserved

Bit 8 DBRUN

このビットは、DEBUGモード時にI2C動作クロックを供給するか否か設定します。
 1 (R/W): DEBUGモード時にクロックを供給
 0 (R/W): DEBUGモード時はクロック供給を停止

Bits 7-6 Reserved

Bits 5-4 CLKDIV[1:0]

これらのビットは、I2C動作クロックの分周比を選択します。

Bits 3-2 Reserved

Bits 1-0 CLKSRC[1:0]

これらのビットは、I2Cのクロックソースを選択します。

表13.6.1 クロックソースと分周比の設定

I2CnCLK. CLKDIV[1:0]ビット	I2CnCLK.CLKSRC[1:0]ビット			
	0x0 IOSC	0x1 OSC1	0x2 OSC3	0x3 EXOSC
0x3	1/8	1/1	1/8	1/1
0x2	1/4		1/4	
0x1	1/2		1/2	
0x0	1/1		1/1	

(注) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

注: I2CnCLKレジスタは、I2CnCTL.MODENビット = 0のときのみ設定変更が可能です。

I2C Ch.n Mode Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnMOD	15-8	-	0x00	-	R	-
	7-3	-	0x00	-	R	
	2	OADR10	0	H0	R/W	
	1	GCEN	0	H0	R/W	
	0	-	0	-	R	

Bits 15-3 Reserved

Bit 2 OADR10

このビットは、スレーブモード時の自己アドレスのビット数を設定します。

1 (R/W): 10ビットアドレス

0 (R/W): 7ビットアドレス

Bit 1 GCEN

このビットは、スレーブモード時に、マスタからのジェネラルコールに応答するか否かを設定します。

1 (R/W): ジェネラルコールに応答する

0 (R/W): ジェネラルコールに応答しない

Bit 0 Reserved

注: I2CnMODレジスタは、I2CnCTL.MODENビット = 0のときのみ設定変更が可能です。

I2C Ch.n Baud-Rate Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnBR	15-8	-	0x00	-	R	-
	7	-	0	-	R	
	6-0	BRT[6:0]	0x7f	H0	R/W	

Bits 15-7 Reserved

Bits 6-0 BRT[6:0]

これらのビットは、マスタモードにおけるI2C Ch.nの転送レートを設定します。詳細は“ポーレートジェネレータ”を参照してください。

注: ・ I2CnBRレジスタは、I2CnCTL.MODENビット = 0のときのみ設定変更が可能です。

- ・ I2CnBRレジスタを0に設定することを禁止します。

I2C Ch.n Own Address Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnOADR	15-10	-	0x00	-	R	-
	9-0	OADR[9:0]	0x000	H0	R/W	

Bits 15-10 Reserved

Bits 9-0 OADR[9:0]

これらのビットは、スレーブモード時の自己アドレスを設定します。

10ビットアドレスモード(I2CnMOD.OADR10ビット = 1)のときは、I2CnOADR.OADR[9:0]ビットが有効です。7ビットアドレスモード(I2CnMOD.OADR10ビット = 0)のときは、I2CnOADR.OADR[6:0]ビットが有効です。

注: I2CnOADRレジスタは、I2CnCTL.MODENビット = 0のときのみ設定変更が可能です。

I2C Ch.n Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnCTL	15-8	-	0x00	-	R	
	7-6	-	0x0	-	R	
	5	MST	0	H0	R/W	
	4	TXNACK	0	H0/S0	R/W	
	3	TXSTOP	0	H0/S0	R/W	
	2	TXSTART	0	H0/S0	R/W	
	1	SFTRST	0	H0	R/W	
	0	MODEN	0	H0	R/W	

Bits 15-6 Reserved**Bit 5 MST**

このビットは、I2C Ch.nの動作モードを選択します。

1 (R/W): マスタモード

0 (R/W): スレーブモード

Bit 4 TXNACK

このビットは、次回の応答時にNACKの送出を要求します。

1 (W): NACKによる応答を要求

0 (W): 無効

1 (R): NACK送出待機中/送出中

0 (R): NACK送出完了

NACKを送出後、このビットは自動的にクリアされます。

Bit 3 TXSTOP

このビットは、マスタモード時にストップコンディションの生成を要求します。スレーブモードでは無効です。

1 (W): ストップコンディションの生成を要求

0 (W): 無効

1 (R): ストップコンディション送出待機中/送出中

0 (R): ストップコンディション送出完了

ストップコンディションを送出し、バスフリー時間(I2C規格におけるt_{BUF})時間が経過した後、このビットは自動的にクリアされます。

Bit 2 TXSTART

このビットは、マスタモード時にスタートコンディションの生成を要求します。スレーブモードでは無効です。

1 (W): スタートコンディションの生成を要求

0 (W): 無効

1 (R): スタートコンディション送出待機中/送出中

0 (R): スタートコンディション送出完了

スタートコンディションの送出が完了すると、このビットは自動的にクリアされます。

Bit 1 SFTRST

このビットは、I2Cをソフトウェアリセットします。

1 (W): ソフトウェアリセットを要求

0 (W): 無効

1 (R): ソフトウェアリセットの実行中

0 (R): ソフトウェアリセット終了(通常動作中)

I2Cの送受信制御回路および割り込みフラグがリセットされます。このビットは、リセット処理が終了すると、自動的にクリアされます。

Bit 0 MODEN

このビットは、I2Cの動作をイネーブルにします。

1 (R/W): I2C動作イネーブル(動作クロックが供給されます。)

0 (R/W): I2C動作ディスエーブル(動作クロックが停止します。)

注: データの送受信中にI2CnCTL.MODENビットを1から0に変更した場合は、送受信途中のデータは保証されません。この操作の後、I2CnCTL.MODENビットを再度1に設定する場合は、必ずI2CnCTL.SFTRSTビットにも1を書き込んでください。

I2C Ch.n Transmit Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnTXD	15-8	-	0x00	-	R	-
	7-0	TXD[7:0]	0x00	H0	R/W	

Bits 15-8 Reserved**Bits 7-0 TXD[7:0]**

これらのビットを介して、送信データバッファへデータを書き込むことができます。データを書き込む前に、I2CnINTF.TBEIFビット = 1になっていることを確認してください。

注: I2CnINTF.TBEIFビット = 0 のときは、I2CnTXDレジスタへの書き込みを禁止します。この操作を行った場合、送信データは保証されません。

I2C Ch.n Receive Data Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnRXD	15-8	-	0x00	-	R	-
	7-0	RXD[7:0]	0x00	H0	R	

Bits 15-8 Reserved**Bits 7-0 RXD[7:0]**

これらのビットを介して、受信データバッファが読み出せます。

I2C Ch.n Status and Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2CnINTF	15-13	-	0x0	-	R	-
	12	SDALOW	0	H0	R	
	11	SCLLOW	0	H0	R	
	10	BSY	0	H0/S0	R	
	9	TR	0	H0	R	
	8	-	0	-	R	
	7	BYTEENDIF	0	H0/S0	R/W	
	6	GCIF	0	H0/S0	R/W	
	5	NACKIF	0	H0/S0	R/W	
	4	STOPIF	0	H0/S0	R/W	
	3	STARTIF	0	H0/S0	R/W	
	2	ERRIF	0	H0/S0	R/W	Cleared by reading the I2CnRXD register.
1	RBFIF	0	H0/S0	R		
0	TBEIF	0	H0/S0	R	Cleared by writing to the I2CnTXD register.	

Bits 15-13 Reserved**Bit 12 SDALOW**

このビットは、SDAがLOWレベルであることを示します。

1 (R): SDA = LOWレベル

0 (R): SDA = HIGHレベル

Bit 11 SCLLOW

このビットは、SCLがLOWレベルであることを示します。

1 (R): SCL = LOWレベル

0 (R): SCL = HIGHレベル

Bit 10 BSY

このビットは、I²Cバスがビジー状態であることを示します。

1 (R): I²Cバスビジー

0 (R): I²Cバスフリー

Bit 9 TR

このビットは、I2Cが送信モードか否かを示します。

1 (R): 送信モード

0 (R): 受信モード

Bit 8 Reserved**Bit 7 BYTEENDIF****Bit 6 GCIF****Bit 5 NACKIF****Bit 4 STOPIF****Bit 3 STARTIF****Bit 2 ERRIF****Bit 1 RBFIF****Bit 0 TBEIF**

これらのビットは、I2C割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

I2C_nINTF.BYTEENDIFビット: 送受信完了割り込み

I2C_nINTF.GCIFビット: ジェネラルコールアドレス受信割り込み

I2C_nINTF.NACKIFビット: NACK受信割り込み

I2C_nINTF.STOPIFビット: ストップコンディション割り込み

I2C_nINTF.STARTIFビット: スタートコンディション割り込み

I2C_nINTF.ERRIFビット: エラー検出割り込み

I2C_nINTF.RBFIFビット: 受信バッファフル割り込み

I2C_nINTF.TBEIFビット: 送信バッファエンプティ割り込み

I2C Ch.n Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
I2C _n INTE	15-8	-	0x00	-	R	-
	7	BYTEENDIE	0	H0	R/W	
	6	GCIE	0	H0	R/W	
	5	NACKIE	0	H0	R/W	
	4	STOPIE	0	H0	R/W	
	3	STARTIE	0	H0	R/W	
	2	ERRIE	0	H0	R/W	
	1	RBFIE	0	H0	R/W	
	0	TBEIE	0	H0	R/W	

Bits 15-8 Reserved

Bit 7	BYTEENDIE
Bit 6	GCIE
Bit 5	NACKIE
Bit 4	STOPIE
Bit 3	STARTIE
Bit 2	ERRIE
Bit 1	RBFIE
Bit 0	TBEIE

これらのビットは、I2Cの割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

I2CnINTE.BYTEENDIEビット: 送受信完了割り込み

I2CnINTE.GCIEビット: ジェネラルコールアドレス受信割り込み

I2CnINTE.NACKIEビット: NACK受信割り込み

I2CnINTE.STOPIEビット: ストップコンディション割り込み

I2CnINTE.STARTIEビット: スタートコンディション割り込み

I2CnINTE.ERRIEビット: エラー検出割り込み

I2CnINTE.RBFIEビット: 受信バッファフル割り込み

I2CnINTE.TBEIEビット: 送信バッファエンプティ割り込み

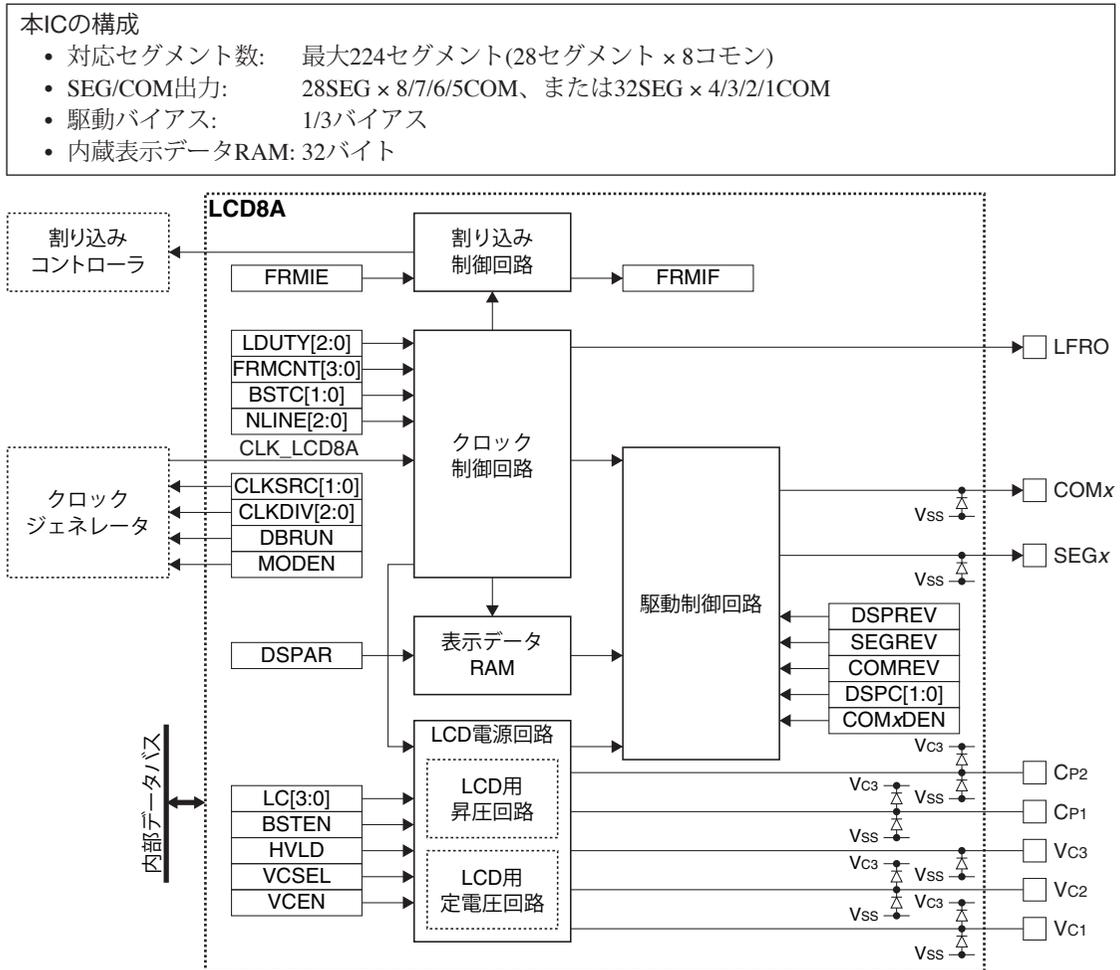
14 LCDドライバ(LCD8A)

14.1 概要

LCD8Aは、LCDパネルを駆動するLCDドライバです。主な機能と特長を以下に示します。

- フレーム周波数を16段階に設定可能
- 通常表示の他、全点灯、全消灯、白黒反転表示機能を搭載
- セグメント端子、コモン端子の反転割り当てが可能
- コモン出力のパーシャル駆動機能を搭載
- セグメント出力のnライン反転交流駆動機能を搭載
- LCDコントラストを16段階に調整可能
- フレーム信号モニタ出力端子を搭載
- 1フレームごとに割り込みを発生可能

図14.1.1にLCD8Aの構成を示します。



14.2 出力端子と外部接続

14.2.1 出力端子一覧

表14.2.1.1にLCD8A端子の一覧を示します。

表14.2.1.1 LCD8A端子一覧

端子名	I/O*	イニシャル状態*	機能
SEG31-0	A	O (L)	セグメントデータ出力端子
COM7-0	A	O (L)	コモンデータ出力端子
LFRO	O	O (L)	フレーム信号モニタ出力端子
VC1	P	-	LCDパネル駆動電源端子
VC2	P	-	LCDパネル駆動電源端子
VC3	P	-	LCDパネル駆動電源端子
CP1	A	-	LCD昇圧コンデンサ接続端子
CP2	A	-	LCD昇圧コンデンサ接続端子

* 端子機能をLCD8Aに切り換えた時点の状態

これらのLCD8A端子と他の機能がポートを共有している場合、LCD8Aを動作させる前にLCD8Aの出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

SEG31-28とCOM4-7は端子を共有しており、駆動デューティの選択によりSEG端子またはCOM端子に切り換わります。詳細は、“駆動デューティの切り換え”を参照ください。

14.2.2 外部との接続

LCD8AとLCDパネルとの接続を、図14.2.2.1に示します。

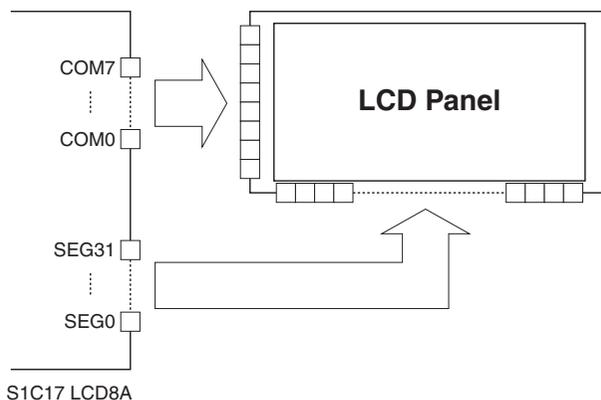


図14.2.2.1 LCD8AとLCDパネルの接続例

14.3 クロック設定

14.3.1 LCD8Aの動作クロック

LCD8Aを使用する場合、クロックジェネレータからLCD8A動作クロックCLK_LCD8AをLCD8Aに供給する必要があります。

CLK_LCD8Aの供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
2. LCD8CLKレジスタの以下のビットを設定する。
 - LCD8CLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - LCD8CLK.CLKDIV[2:0]ビット (クロック分周比の選択 = クロック周波数の設定)

CLK_LCD8A周波数は32 kHz近辺に設定してください。

14.3.2 SLEEPモード時のクロック供給

SLEEPモード時にLCD8Aを使用する場合は、LCD8A動作クロックCLK_LCD8Aのクロックソースに対応したCLGOSC.xxxxSLPCビットに0を書き込み、CLK_LCD8Aを供給し続ける必要があります。

14.3.3 DEBUGモード時のクロック供給

DEBUGモード時のCLK_LCD8Aの供給はLCD8CLK.DBRUNビットで制御します。

LCD8CLK.DBRUNビット = 0の場合、DEBUGモードに移行するとLCD8AへのCLK_LCD8Aの供給が停止します。その後通常モードに戻ると、CLK_LCD8Aの供給が再開します。CLK_LCD8Aの供給が停止するとLCD8Aの動作は停止し、表示OFFになりますが、レジスタはDEBUGモードへ移行前の状態に保持されます。

LCD8CLK.DBRUNビット = 1の場合、DEBUGモード時もCLK_LCD8Aの供給は停止せず、LCD8Aは動作を継続します。

14.3.4 フレーム周波数

LCD8Aのフレーム信号は、CLK_LCD8Aを分周して生成します。この分周比を、駆動デューティごとに異なる16種類からLCD8TIM.FRMCNT[3:0]ビットで選択することにより、フレーム周波数を設定することができます。フレーム周波数は次の式で求められます。

$$f_{FR} = \frac{f_{CLK_LCD8A}}{16 \times (FRMCNT + 1) \times (LDUTY + 1)} \quad (\text{式14.1})$$

ここで

f_{FR} : フレーム周波数 [Hz]

f_{CLK_LCD8A} : LCD8A動作クロック周波数 [Hz]

FRMCNT: LCD8TIM.FRMCNT[3:0]ビット設定値(0~15)

LDUTY: LCD8TIM.LDUTY[2:0]ビット設定値(0~7)

$f_{CLK_LCD8A} = 32,768$ Hzの場合を例に、設定可能なフレーム周波数の一覧を表14.3.4.1に示します。

表14.3.4.1 フレーム周波数の設定($f_{CLK_LCD8A} = 32,768$ Hzの場合)

LCD8TIM. FRMCNT[3:0]ビット	フレーム周波数 [Hz]							スタティック
	1/8 デューティ	1/7 デューティ	1/6 デューティ	1/5 デューティ	1/4 デューティ	1/3 デューティ	1/2 デューティ	
15	16.0	18.3	21.3	25.6	32.0	42.7	64.0	128.0
14	17.1	19.5	22.8	27.3	34.1	45.5	68.3	136.5
13	18.3	20.9	24.4	29.3	36.6	48.8	73.1	146.3
12	19.7	22.5	26.3	31.5	39.4	52.5	78.8	157.5
11	21.3	24.4	28.4	34.1	42.7	56.9	85.3	170.7
10	23.3	26.6	31.0	37.2	46.5	62.1	93.1	186.2
9	25.6	29.3	34.1	41.0	51.2	68.3	102.4	204.8
8	28.4	32.5	37.9	45.5	56.9	75.9	113.8	227.6
7	32.0	36.6	42.7	51.2	64.0	85.3	128.0	256.0
6	36.6	41.8	48.8	58.5	73.1	97.5	146.3	292.6
5	42.7	48.8	56.9	68.3	85.3	113.8	170.7	341.3
4	51.2	58.5	68.3	81.9	102.4	136.5	204.8	409.6
3	64.0	73.1	85.3	102.4	128.0	170.7	256.0	512.0
2	85.3	97.5	113.8	136.5	170.7	227.6	341.3	682.7
1	128.0	146.3	170.7	204.8	256.0	341.3	512.0	1,024.0
0	256.0	292.6	341.3	409.6	512.0	682.7	1,024.0	2,048.0

フレーム信号はLFRO端子からモニタ可能です。

14.4 LCD電源

LCD駆動用電圧 $V_{C1} \sim V_{C3}$ は、内蔵のLCD電源回路(LCD用定電圧回路とLCD用昇圧回路)で生成可能です。また、外部からひとつまたはすべてを供給することもできます。

14.4.1 内部生成モード

LCD駆動用電圧 V_{C1} ~ V_{C3} をすべてチップ内部で生成するモードです。

内部生成モードにするには、LCD8PWR.VCENビットとLCD8PWR.BSTENビットを1に設定し、内蔵のLCD用定電圧回路とLCD用昇圧回路を両方ONします。

内部生成モードの外部結線例を図14.4.1.1に示します。

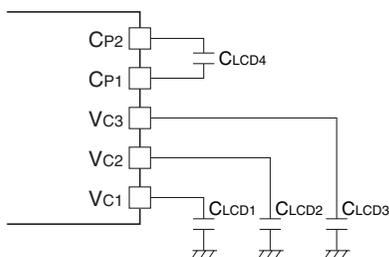


図14.4.1.1 内部生成モード外部結線例

14.4.2 外部印加モード1

LCD駆動用電圧 V_{C1} ~ V_{C3} をすべて外部から印加するモードです。

外部印加モード1にするには、LCD8PWR.VCENビットとLCD8PWR.BSTENビットを0に設定し、内蔵のLCD用定電圧回路とLCD用昇圧回路を両方OFFします。

外部印加モード1の外部結線例を図14.4.2.1に示します。

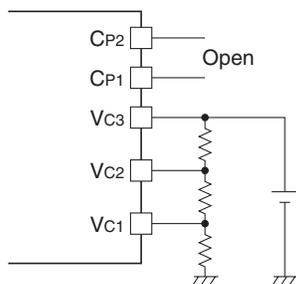


図14.4.2.1 外部印加モード1外部結線例(抵抗分割)

14.4.3 外部印加モード2

LCD駆動用電圧 V_{C1} ~ V_{C2} のうち1つを外部から印加し、残りを内部で生成するモードです。

外部印加モード2にするには、LCD8PWR.VCENビットを0に設定して内蔵のLCD用定電圧回路はOFFし、LCD8PWR.BSTENビットを1に設定してLCD用昇圧回路をONします。

外部印加モード2の外部結線例を図14.4.3.1に示します。

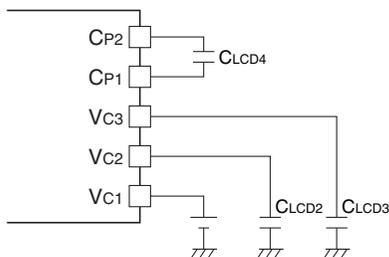


図14.4.3.1 外部印加モード2外部結線例(V_{C1} 印加時)

14.4.4 LCD用定電圧回路の設定

内部生成モードを使用する場合は、LCD用定電圧回路で生成する昇圧用基準電圧を、電源電圧 V_{DD} に応じて選択します。表14.4.4.1を参考にLCD8PWR.VCSELビットを設定してください。基準電圧 V_{C2} の方が、基準電圧 V_{C1} よりも消費電流が少なくなります。

表14.4.4.1 電源電圧V_{DD}と昇圧用基準電圧の選択

LCD8PWR.VCSELビット	電源電圧V _{DD}	昇圧用基準電圧
0	1.8~5.5 V	V _{C1}
1	2.5~5.5 V	V _{C2}

また、LCD用定電圧回路はLCD8PWR.HVLDビットを1に設定すると重負荷保護モードになり、V_{C1}~V_{C3}出力の安定化を図ります。液晶表示に濃淡が現れる場合などに設定してください。重負荷保護モードでは、通常動作時より消費電流が多くなります。したがって、必要なとき以外は重負荷保護モードに設定しないでください。

14.4.5 LCD用昇圧回路の設定

LCD用昇圧回路が使用する昇圧用クロックの周波数を、LCD8TIM.BSTC[1:0]ビットで設定します。実機にて評価を行い、V_{C1}~V_{C3}出力が最も安定する周波数に設定してください。

14.4.6 LCDコントラスト調整

LCDパネルのコントラストは、LCD8PWR.LC[3:0]ビットによって16段階に調整できます。コントラスト調整は内蔵のLCD用定電圧回路が出力する電圧を制御することによって実現しているため、外部印加モード1および2ではLCD8PWR.LC[3:0]ビットでのコントラスト調整はできません。

14.5 動作

14.5.1 初期設定

LCD8Aは、以下の手順により初期設定を行います。

- LCD8Aの出力機能をポートに割り当てる。(“入出力ポート”の章を参照)
- LCD8CLK.CLKSRC[1:0]ビットとLCD8CLK.CLKDIV[2:0]ビットを設定する。(動作クロックを設定)
- LCD8CTL.MODENビットに1を書き込む。(LCD8A動作クロックイネーブル)
- LCD8TIMレジスタの以下のビットを設定する。
 - LCD8TIM.LDUTY[2:0]ビット (駆動デューティの設定)
 - LCD8TIM.FRMCNT[3:0]ビット (フレーム周波数の設定)
 - LCD8TIM.NLINE[2:0]ビット (nライン反転交流駆動の設定)
 - LCD8TIM.BSTC[1:0]ビット (昇圧クロック周波数の設定)
- LCD8PWRレジスタの以下のビットを設定する。
 - LCD8PWR.VCENビット (LCD用定電圧回路イネーブル)
 - LCD8PWR.VCSELビット (昇圧用基準電圧の設定)
 - LCD8PWR.BSTENビット (LCD用昇圧回路イネーブル)
 - LCD8PWR.LC[3:0]ビット (LCDコントラスト初期値)
- LCD8DSPレジスタの以下のビットを設定する。
 - LCD8DSP.DSPARビット (表示領域の選択)
 - LCD8DSP.COMREVビット (COM端子割り付け方向選択)
 - LCD8DSP.SEGREVビット (SEG端子割り付け方向選択)
- 表示データを表示データRAMに書き込む。
- 割り込みを使用する場合は以下のビットを設定する。
 - LCD8INTF.FRMIFビットに1を書き込み (割り込みフラグをクリア)
 - LCD8INTE.FRMIEビットを1に設定 (LCD8A割り込みイネーブル)

14.5.2 表示のON/OFF

LCDの表示状態はLCD8DSP.DSPC[1:0]ビットによって制御します。

表14.5.2.1 LCD表示制御

LCD8DSP.DSPC[1:0]ビット	LCD表示
0x3	全消灯(スタティック駆動)
0x2	全点灯
0x1	通常表示
0x0	表示OFF

表示OFFを選択した場合、LCD駆動電圧の供給が停止し、LCDドライバ端子の出力はすべてV_{SS}レベルとなります。

全点灯および全消灯はLCDドライバが出力する駆動波形を直接制御するもので、表示データRAMのデータは変更されません。また、コモン端子は全点灯ではダイナミック駆動、全消灯ではスタティック駆動となります。この機能を使用することにより、表示データメモリを変更せずに表示を点滅させることができます。

注: 表示OFFを選択したときは、V_{C4}(またはV_{C3})の電荷を以下の手順によりディスチャージする必要があります。

〈LCD駆動用電圧を内部生成モードで生成している場合〉

1. LCD8DSP.DSPC[1:0]ビットを0x0に設定する。 (LCD表示OFF)
2. LCDパネルの電荷がディスチャージされるまでウェイトする。
3. LCD8PWR.VCENビットを0に設定する。 (LCD用定電圧回路OFF)
4. LCD8PWR.HVLDビットを1に設定する。 (LCD用定電圧回路重負荷保護モードON)
5. CLK_LCD8Aを停止する場合は、V_{C4}(またはV_{C3})の電位がV_{DD} - 1 V以下になるまで待つてから停止する。

〈LCD駆動用電圧を外部生成モードで生成している場合〉

1. LCD8DSP.DSPC[1:0]ビットを0x0に設定する。 (LCD表示OFF)
2. LCDパネルの電荷がディスチャージされるまでウェイトする。
3. 外部電源をOFFする。
4. LCD8PWR.HVLDビットを1に設定する。 (LCD用定電圧回路重負荷保護モードON)
5. CLK_LCD8Aを停止する場合は、V_{C4}(またはV_{C3})の電位がV_{DD} - 1 V以下になるまで待つてから停止する。

再度表示をONする場合は、上記の逆の手順を行ってください。

14.5.3 反転表示

表示データRAMのデータを変更せずに、制御ビットの操作のみでLCDパネルの表示を反転(白黒反転)させることができます。LCD8DSP.DSPREVビットを0に設定すると表示が反転し、1にすると通常の表示に戻ります。ただし、LCD8DSP.DSPC[1:0]ビット = 0x3(全消灯)の場合、表示は反転しません。

14.5.4 駆動デューティの切り換え

駆動デューティはLCD8TIM.LDUTY[2:0]ビットにより1/8~1/2、またはスタティック駆動に切り換えることができます。表14.5.4.1にLCD8TIM.LDUTY[2:0]ビットの設定と駆動デューティ、最大表示セグメント数の対応を示します。

表14.5.4.1 駆動デューティの設定

LCD8TIM.LDUTY[2:0]ビット	デューティ	有効コモン端子	有効セグメント端子	最大表示セグメント数
0x7	1/8	COM0~COM7	SEG0~SEG27	224セグメント
0x6	1/7	COM0~COM6	SEG0~SEG27	196セグメント
0x5	1/6	COM0~COM5	SEG0~SEG27	168セグメント
0x4	1/5	COM0~COM4	SEG0~SEG27	140セグメント
0x3	1/4	COM0~COM3	SEG0~SEG31	128セグメント
0x2	1/3	COM0~COM2	SEG0~SEG31	96セグメント
0x1	1/2	COM0~COM1	SEG0~SEG31	64セグメント
0x0	スタティック	COM0	SEG0~SEG31	32セグメント

14.5.5 駆動波形

図14.5.5.1～図14.5.5.3に、いくつかの駆動波形の例を示します。

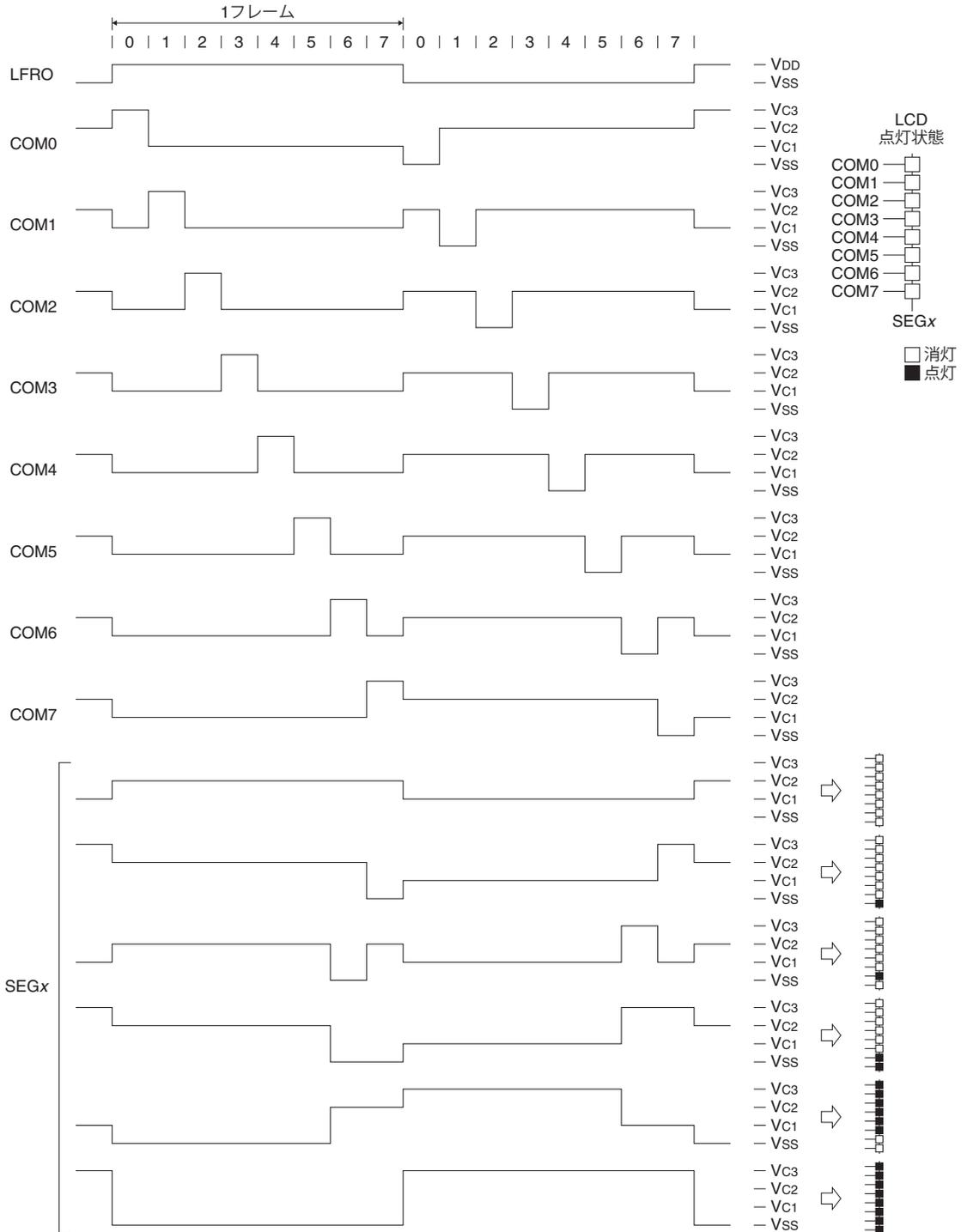


図14.5.5.1 1/8デューティの駆動波形

14 LCDドライバ(LCD8A)

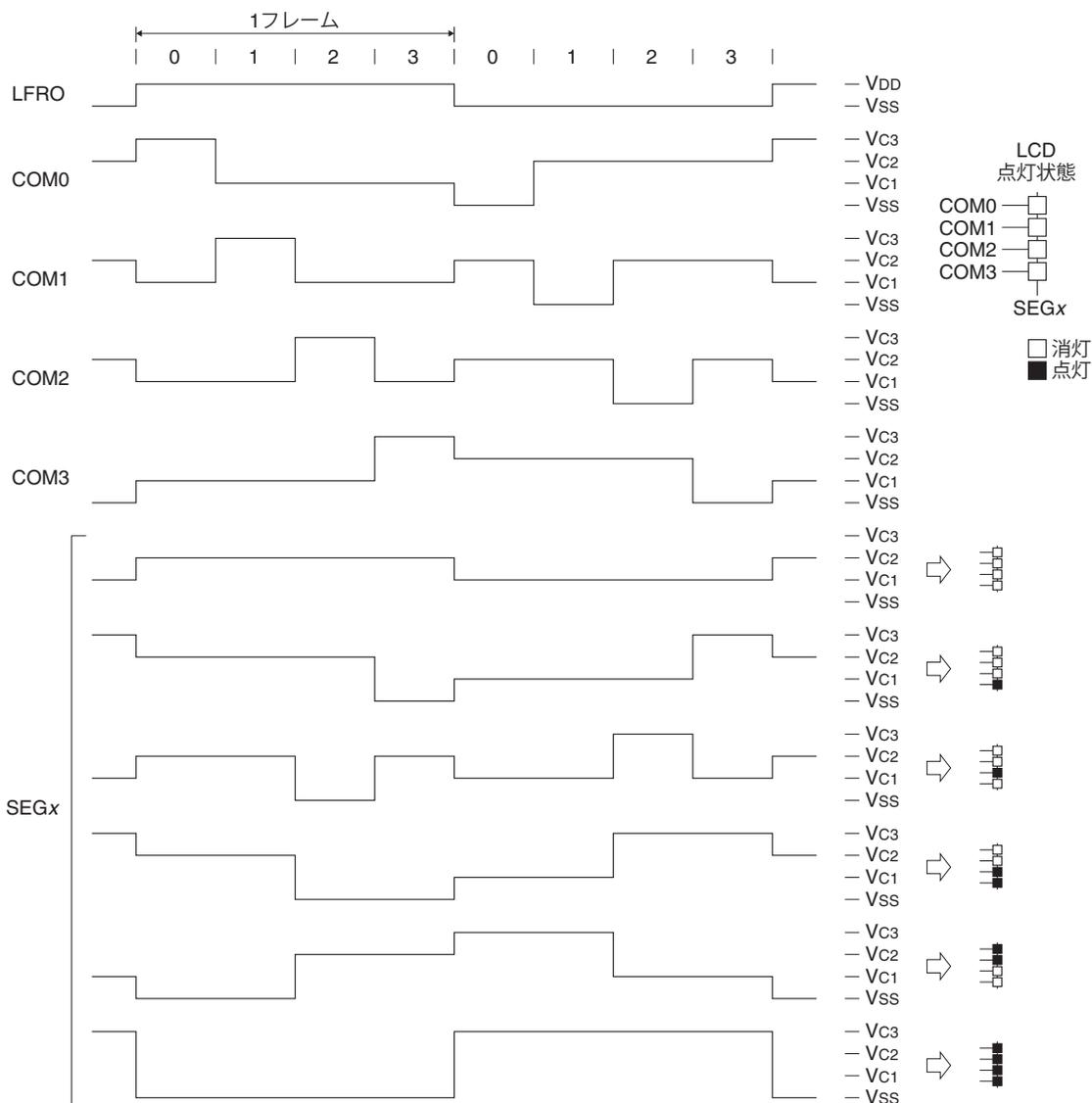


図14.5.5.2 1/4デューティの駆動波形

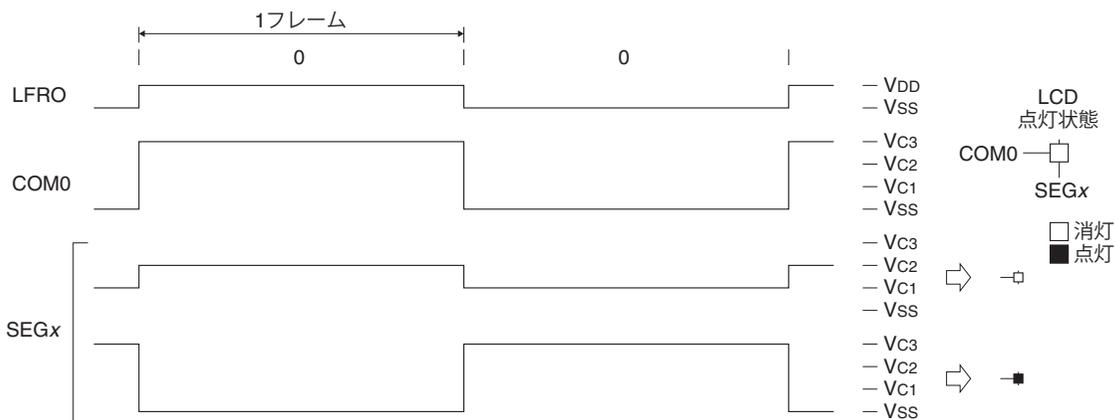


図14.5.5.3 スタティック駆動波形

14.5.6 コモン出力パルシャル駆動

LCD8DSP.COMxDENビット($x = \text{COM No.}$)を0に設定することによって、表示データRAMの内容にかかわらず、任意のコモン出力をOFF波形(消灯波形)にすることができます。コモン出力パルシャル駆動機能は、表示を必要な箇所に制限し、消費電力を低減できます。

14.5.7 セグメント出力nライン反転交流駆動

クロストークなどの表示品質低下が生じたときに、 n ライン反転交流駆動機能を使用することで、表示品質を改善できることがあります。 n ライン反転交流駆動機能を使用するには、LCD8TIM.NLINE[2:0]ビットで反転するライン数を選択します。設定値は、実機評価を行い、決定してください。ただし、 n ライン反転交流駆動機能を使用すると、消費電流が増加します。

表14.5.7.1 反転ライン数の選択

LCD8TIM.NLINE[2:0]ビット	反転ライン数
0x7	7ライン
:	:
0x1	1ライン
0x0	通常駆動

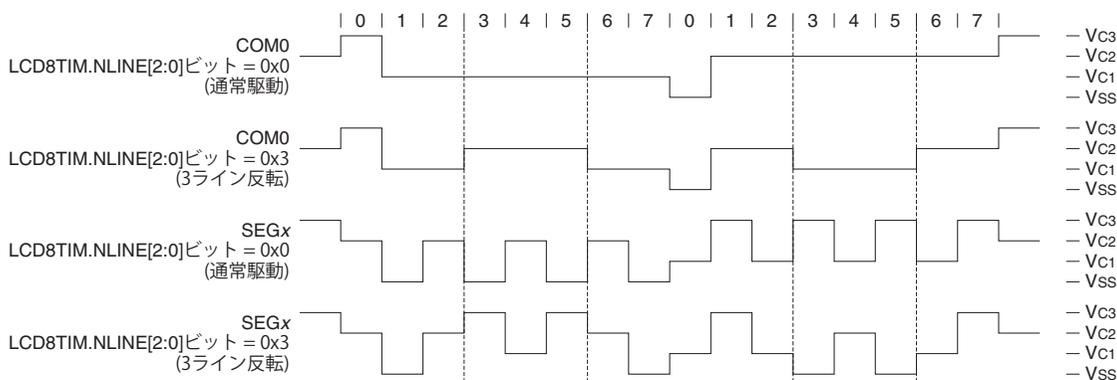


図14.5.7.1 1/8デューティの通常駆動時と3ライン反転時の駆動波形

14.6 表示データRAM

表示データRAMはアドレス0x7000を先頭として割り付けられています。表示データRAMのメモリビットとコモン/セグメント端子の対応は以下の選択条件により変わります。

- 駆動デューティ(1/8~1/2、またはスタティック駆動)
- セグメント端子割り付け(通常または反転)
- コモン端子割り付け(通常または反転)

いくつかの駆動デューティにおける、表示データRAMとコモン/セグメント端子の対応を図14.6.3.1~図14.6.3.4に示します。

LCDパネル上のセグメントに対応する表示データRAMのビットに1を書き込むと、そのセグメントが点灯し、0を書き込むと消灯します。

表示データRAMは、リード/ライト可能なRAM構造となっているため、論理演算命令(リードモディファイライト命令)等によるビット単位の制御を行うことができます。

また、表示に使用しない領域は、汎用RAMとして使用することができます。

14.6.1 表示領域の選択

駆動デューティとして1/4~1/2デューティ、またはスタティック駆動を選択した場合は表示データRAM内に2画面分の領域を確保することができ、LCD8DSP.DSPARビットによって画面の切り換えを行うことができます。LCD8DSP.DSPARビットを0に設定した場合は表示領域0、1に設定した場合は表示領域1が選択されます。

14.6.2 セグメント端子割り付け

セグメント端子に対する表示データRAMアドレスの割り当てをLCD8DSP.SEGREVビットで反転することができます。LCD8DSP.SEGREVビットを1に設定すると、セグメント端子に対してメモリアドレスが昇順に割り当てられます。0に設定するとセグメント端子に対してメモリアドレスが降順に割り当てられます。

14.6.3 コモン端子割り付け

コモン端子に対する表示データRAMビットの割り当てをLCD8DSP.COMREVビットで反転することができます。LCD8DSP.COMREVビットを1に設定すると、コモン端子に対してメモリビットが昇順に割り当てられます。0に設定するとコモン端子に対してメモリビットが降順に割り当てられます。

ビット	アドレス					LCD8DSP. COMREV ビット = 1	LCD8DSP. COMREV ビット = 0		
	0x7000			0x701b			0x701c
D0	表示領域					未使用領域 (汎用RAM)		COM0	COM7
D1								COM1	COM6
D2								COM2	COM5
D3								COM3	COM4
D4								COM4	COM3
D5								COM5	COM2
D6								COM6	COM1
D7								COM7	COM0
LCD8DSP.SEGREV ビット = 1	SEGO			SEG27				
LCD8DSP.SEGREV ビット = 0	SEG27			SEGO				

図14.6.3.1 表示データRAMマップ(1/8デューティ)

ビット	アドレス					LCD8DSP. COMREV ビット = 1	LCD8DSP. COMREV ビット = 0		
	0x7000			0x701b			0x701c
D0	表示領域					未使用領域 (汎用RAM)		COM0	COM4
D1								COM1	COM3
D2								COM2	COM2
D3								COM3	COM1
D4								COM4	COM0
D5								-	-
D6								-	-
D7								-	-
LCD8DSP.SEGREV ビット = 1	SEGO			SEG27				
LCD8DSP.SEGREV ビット = 0	SEG27			SEGO				

図14.6.3.2 表示データRAMマップ(1/5デューティ)

ビット	アドレス		LCD8DSP.COMREV ビット = 1	LCD8DSP.COMREV ビット = 0
	0x7000	0x701f		
D0	表示領域0		COM0	COM3
D1			COM1	COM2
D2			COM2	COM1
D3			COM3	COM0
D4	表示領域1		COM0	COM3
D5			COM1	COM2
D6			COM2	COM1
D7			COM3	COM0
LCD8DSP.SEGREV ビット = 1	SEGO	SEG31	
LCD8DSP.SEGREV ビット = 0	SEG31	SEGO	

図14.6.3.3 表示データRAMマップ(1/4デューティ)

ビット	アドレス		LCD8DSP.COMREV ビット = 1	LCD8DSP.COMREV ビット = 0	
	0x7000	0x701f			
D0	表示領域0		COM0	COM0	
D1			-	-	
D2			未使用領域(汎用RAM)	-	-
D3			-	-	
D4	表示領域1		COM0	COM0	
D5			-	-	
D6			未使用領域(汎用RAM)	-	-
D7			-	-	
LCD8DSP.SEGREV ビット = 1	SEGO	SEG31		
LCD8DSP.SEGREV ビット = 0	SEG31	SEGO		

図14.6.3.4 表示データRAMマップ(スタティック駆動)

14.7 割り込み

LCD8Aには、表14.7.1に示す割り込みを発生させる機能があります。

表14.7.1 LCD8Aの割り込み機能

割り込み	割り込みフラグ	セット	クリア
フレーム	LCD8INTF.FRMIF	フレームの切り換わり	1書き込み

割り込みフラグには、対応する割り込みイネーブルビットがあります。割り込みがイネーブルになっているときに割り込みフラグがセットされた場合にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

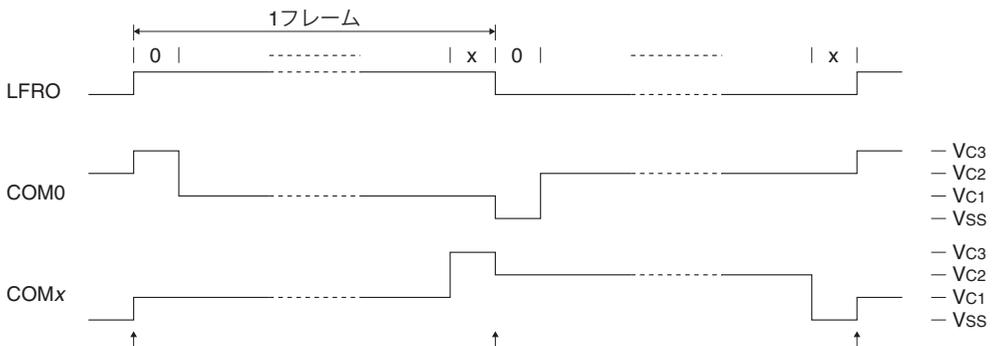


図14.7.1 フレーム割り込みタイミング(1/xデューティ)

14.8 制御レジスタ

LCD8A Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
LCD8CLK	15-9	-	0x00	-	R	-
	8	DBRUN	1	H0	R/W	
	7	-	0	-	R	
	6-4	CLKDIV[2:0]	0x0	H0	R/W	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

Bits 15-9 Reserved

Bit 8 DBRUN

このビットは、DEBUGモード時にLCD8A動作クロックを供給するか否か設定します。

1 (R/W): DEBUGモード時にクロックを供給

0 (R/W): DEBUGモード時はクロック供給を停止

Bit 7 Reserved

Bits 6-4 CLKDIV[2:0]

これらのビットは、LCD8A動作クロックの分周比を選択します。

Bits 3-2 Reserved

Bits 1-0 CLKSRC[1:0]

これらのビットは、LCD8Aのクロックソースを選択します。

表14.8.1 クロックソースと分周比の設定

LCD8CLK. CLKDIV[2:0]ビット	LCD8CLK.CLKSRC[1:0]ビット				
	0x0	0x1	0x2	0x3	
	IOSC	OSC1	OSC3	EXOSC	
0x7	Reserved	1/1	Reserved	1/1	
0x6					
0x5					1/512
0x4					1/256
0x3					1/128
0x2					1/64
0x1					1/32
0x0					1/16

(注) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

注: LCD8CLKレジスタは、LCD8CTL.MODENビット = 0のときのみ設定変更が可能です。

LCD8A Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
LCD8CTL	15-8	-	0x00	-	R	-
	7-1	-	0x00	-	R	
	0	MODEN	0	H0	R/W	

Bits 15-1 Reserved

Bit 0 MODEN

このビットは、LCD8Aの動作をイネーブルにします。

1 (R/W): LCD8A動作イネーブル(動作クロックが供給されます。)

0 (R/W): LCD8A動作ディスエーブル(動作クロックが停止します。)

注: LCDパネル表示中にLCD8CTL.MODENビットを1から0に変更すると、LCD表示が自動的にOFFし、LCD8DSP.DSPC[1:0]ビットも0x0になります。

LCD8A Timing Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
LCD8TIM	15-14	–	0x0	–	R	–
	13-12	BSTC[1:0]	0x1	H0	R/W	
	11	–	0	–	R	
	10-8	NLINE[2:0]	0x0	H0	R/W	
	7-4	FRMCNT[3:0]	0x3	H0	R/W	
	3	–	0	–	R	
	2-0	LDUTY[2:0]	0x7	H0	R/W	

Bits 15-14 Reserved

Bits 13-12 BSTC[1:0]

これらのビットは、LCD昇圧回路の昇圧用クロック周波数を選択します。

表14.8.2 昇圧用クロック周波数

LCD8TIM.BSTC[1:0]ビット	昇圧用クロック周波数 [Hz]
0x3	fCLK_LCD8A/64
0x2	fCLK_LCD8A/32
0x1	fCLK_LCD8A/16
0x0	fCLK_LCD8A/4

fCLK_LCD8A: LCD8A動作クロック周波数 [Hz]

Bit 11 Reserved

Bits 10-8 NLINE[2:0]

これらのビットは、nライン反転交流駆動機能をイネーブルにすると共に、反転ライン数を設定します。詳細は“セグメント出力nライン反転交流駆動”を参照してください。

Bits 7-4 FRMCNT[3:0]

これらのビットは、フレーム周波数を設定します。詳細は“フレーム周波数”を参照してください。

Bit 3 Reserved

Bits 2-0 LDUTY[2:0]

これらのビットは、駆動デューティを設定します。詳細は“駆動デューティの切り換え”を参照してください。

LCD8A Power Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
LCD8PWR	15-12	LC[3:0]	0x0	H0	R/W	–
	11-9	–	0x0	–	R	
	8	BSTEN	0	H0	R/W	
	7-3	–	0x00	–	R	
	2	HVLD	0	H0	R/W	
	1	VCSEL	0	H0	R/W	
	0	VCEN	0	H0	R/W	

Bits 15-12 LC[3:0]

これらのビットは、LCDパネルのコントラストを設定します。

表14.8.3 LCDコントラスト調整

LCD8PWR.LC[3:0]ビット	コントラスト
0xf	高い(濃)
0xe	↑
:	⋮
0x1	↓
0x0	低い(淡)

Bits 11-9 Reserved

14 LCDドライバ(LCD8A)

Bit 8 **BSTEN**

このビットは、LCD用昇圧回路をON/OFFします。

1 (R/W): LCD用昇圧回路ON

0 (R/W): LCD用昇圧回路OFF

詳細は“LCD電源”を参照してください。

Bits 7–3 **Reserved**

Bit 2 **HVLD**

このビットは、LCD用定電圧回路を重負荷保護モードに設定します。

1 (R/W): 重負荷保護モード

0 (R/W): 通常モード

詳細は“LCD用定電圧回路の設定”を参照してください。

Bit 1 **VCSEL**

このビットは、LCD定電圧回路の出力(昇圧用基準電圧)を設定します。

1 (R/W): V_{C2}

0 (R/W): V_{C1}

詳細は“LCD用定電圧回路の設定”を参照してください。

Bit 0 **VCEN**

このビットは、LCD用定電圧回路をON/OFFします。

1 (R/W): LCD用定電圧回路ON

0 (R/W): LCD用定電圧回路OFF

詳細は“LCD電源”を参照してください。

LCD8A Display Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
LCD8DSP	15	COM7DEN	1	H0	R/W	-
	14	COM6DEN	1	H0	R/W	
	13	COM5DEN	1	H0	R/W	
	12	COM4DEN	1	H0	R/W	
	11	COM3DEN	1	H0	R/W	
	10	COM2DEN	1	H0	R/W	
	9	COM1DEN	1	H0	R/W	
	8	COM0DEN	1	H0	R/W	
	7	-	0	-	R	
	6	SEGREV	1	H0	R/W	
	5	COMREV	1	H0	R/W	
	4	DSPREV	1	H0	R/W	
	3	-	0	-	R	
	2	DSPAR	0	H0	R/W	
1-0	DSPC[1:0]	0x0	H0	R/W		

Bit 15 **COM7DEN**

Bit 14 **COM6DEN**

Bit 13 **COM5DEN**

Bit 12 **COM4DEN**

Bit 11 **COM3DEN**

Bit 10 **COM2DEN**

Bit 9 **COM1DEN**

Bit 8 **COM0DEN**

これらのビットは、コモン出力端子のパーシャル駆動を設定します。

1 (R/W): 通常出力

0 (R/W): OFF波形出力

各ビットとコモン出力端子の対応は以下のとおりです。

COM7DEN: COM7端子
 COM6DEN: COM6端子
 COM5DEN: COM5端子
 COM4DEN: COM4端子
 COM3DEN: COM3端子
 COM2DEN: COM2端子
 COM1DEN: COM1端子
 COM0DEN: COM0端子

Bit 7 **Reserved**

Bit 6 **SEGREV**

このビットは、セグメント端子の割り付け方向を選択します。

1 (R/W): 通常割り付け

0 (R/W): 反転割り付け

詳細は図14.6.3.1～図14.6.3.4を参照してください。

Bit 5 **COMREV**

このビットは、コモン端子の割り付け方向を選択します。

1 (R/W): 通常割り付け

0 (R/W): 反転割り付け

詳細は図14.6.3.1～図14.6.3.4を参照してください。

Bit 4 **DSPREV**

このビットは、LCD表示の白黒反転を制御します。

1 (R/W): 通常表示

0 (R/W): 反転表示

Bit 3 **Reserved**

Bit 2 **DSPAR**

このビットは、表示データRAMの表示領域を切り換えます。

1 (R/W): 表示領域1

0 (R/W): 表示領域0

注: 表示領域の切り換えは1/4デューティ～1/2デューティ、またはスタティック駆動時のみ有効です。

Bits 1–0 **DSPC[1:0]**

これらのビットは、LCD表示のON/OFF制御、および表示モードの選択に使用します。詳細は“表示のON/OFF”を参照してください。

LCD8A Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
LCD8INTF	15–8	–	0x00	–	R	–
	7–1	–	0x00	–	R	
	0	FRMIF	0	H0	R/W	Cleared by writing 1.

Bits 15–1 **Reserved**

Bit 0 **FRMIF**

このビットは、フレーム割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

LCD8A Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
LCD8INTE	15-8	-	0x00	-	R	-
	7-1	-	0x00	-	R	
	0	FRMIE	0	H0	R/W	

Bits 15-1 Reserved**Bit 0 FRMIE**

このビットは、フレーム割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

15 R/F変換器(RFC)

15.1 概要

RFCはCR発振方式のA/D変換器(R/F変換器)です。

RFCの主な機能と特長を以下に示します。

- センサの抵抗値をCR発振させ、発振クロックをカウントしてデジタル値に変換
- 基準抵抗とセンサを同一条件で発振させてその差を得ることにより、誤差の少ない高精度な計測を実現
- 発振クロックをカウントする24ビットの計測カウンタを搭載
- 基準抵抗とセンサの計測時間を同一にするために内部クロックをカウントする24ビットのタイムベースカウンタを搭載
- DCバイアス抵抗性センサとACバイアス抵抗性センサに対応
(サーミスタや湿度センサおよび少数の受動部品(容量、抵抗)を接続するだけで、簡単に温度/湿度計を実現可能)
- 外部からクロックを入力して測定(カウント)することも可能
- 発振周波数をモニタするための出力と連続発振機能を搭載
- 基準発振完了、センサ(A、B)発振完了、計測カウンタオーバーフローエラー、タイムベースカウンタオーバーフローエラーにより割り込みを発生可能

図15.1.1にRFCの構成を示します。

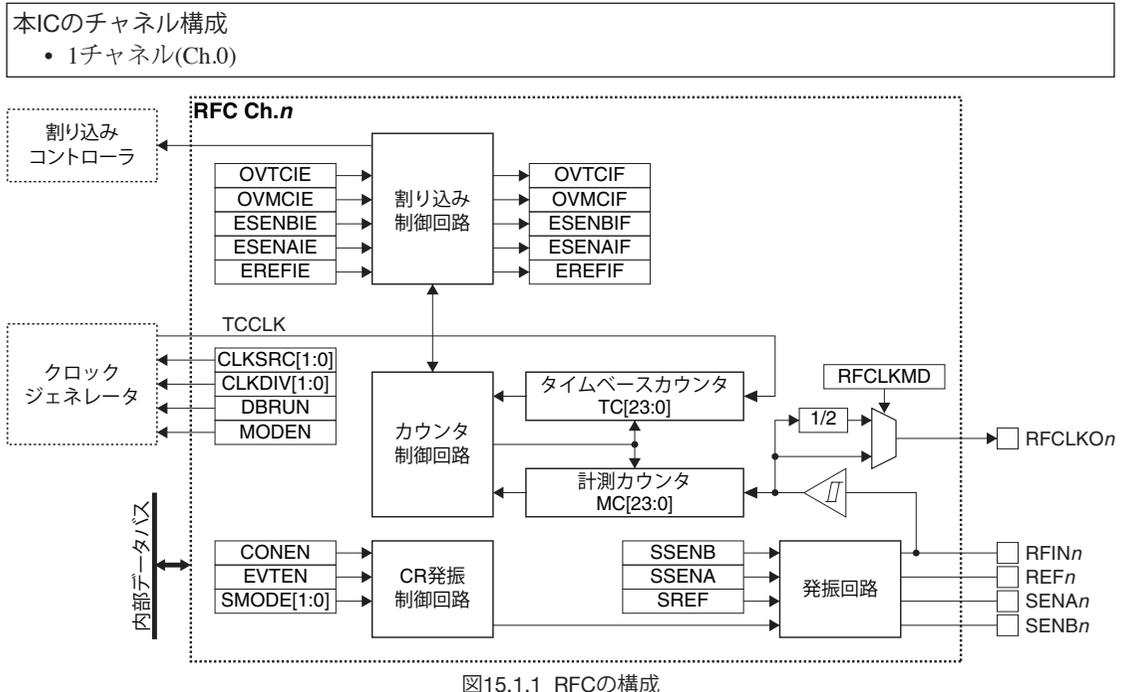


図15.1.1 RFCの構成

15.2 入出力端子と外部接続

15.2.1 入出力端子一覧

表15.2.1.1にRFC端子の一覧を示します。

表15.2.1.1 RFC端子一覧

端子名	I/O*	イニシャル状態*	機能
SENB n	A	Hi-Z	センサB発振制御端子
SENA n	A	Hi-Z	センサA発振制御端子
REF n	A	Hi-Z	基準発振制御端子
RFIN n	A	V _{ss}	RFCLK入力および発振制御端子
RFCLKOn	O	Hi-Z	RFCLKモニタ用出力端子 RFCLKが出力され、発振周波数をモニタすることができます。

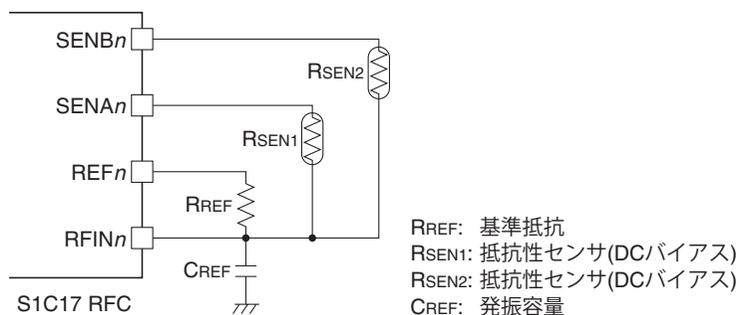
* 端子機能をRFCに切り換えた時点の状態

これらのRFC端子と他の機能がポートを共有している場合、RFCを動作させる前にRFCの入出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

注: RFIN n 端子はポート切り換え時にV_{ss}になるため、外部からバイアスされている場合、大電流が流れる可能性があります。

15.2.2 外部との接続

RFCと外部センサの接続例を以下に示します。発振モードと外部クロック入力モードについては、“動作モード”を参照してください。



* 抵抗性センサを1つしか使用しない場合、使用しない端子(SENA n またはSENB n)をオープンにしてください。

図15.2.2.1 抵抗性センサ測定用DC発振モードの接続例

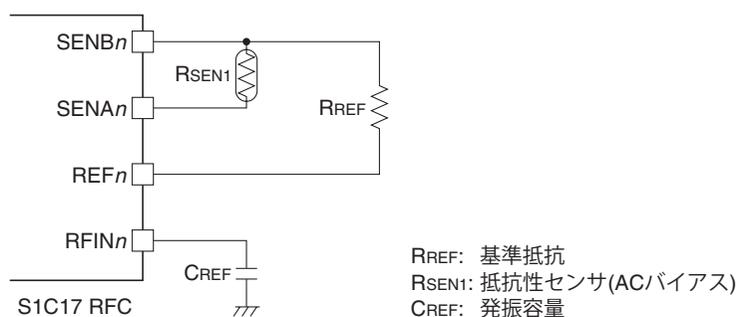
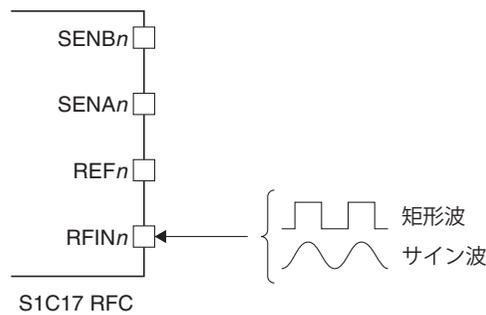


図15.2.2.2 抵抗性センサ測定用AC発振モードの接続例



* 使用しない端子はオープンにしてください。

図15.2.2.3 外部クロック入力モード時の外部クロック入力

15.3 クロック設定

15.3.1 RFCの動作クロック

RFCを使用する場合、クロックジェネレータからRFC動作クロックTCCLKをRFCに供給する必要があります。

TCCLKの供給は以下の手順で制御してください。

1. クロックソースが停止している場合は、クロックジェネレータでイネーブルにする(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。
2. RFCnCLKレジスタの以下のビットを設定する。
 - RFCnCLK.CLKSRC[1:0]ビット (クロックソースの選択)
 - RFCnCLK.CLKDIV[1:0]ビット (クロック分周比の選択 = クロック周波数の設定)

タイムベースカウンタはここで設定したTCCLKでカウントを行います。高速なクロックを選択すると変換精度が上がりますが、基準発振中にタイムベースカウンタがオーバーフローすることのないように周波数を決定してください。

15.3.2 SLEEPモード時のクロック供給

SLEEPモード時にRFCを使用する場合は、RFC動作クロックTCCLKのクロックソースに対応したCLGOSC.xxxxSLPCビットに0を書き込み、TCCLKを供給し続ける必要があります。

15.3.3 DEBUGモード時のクロック供給

DEBUGモード時のTCCLKの供給はRFCnCLK.DBRUNビットで制御します。

RFCnCLK.DBRUNビット = 0の場合、DEBUGモードに移行するとRFCへのTCCLKの供給が停止します。その後通常モードに戻ると、TCCLKの供給が再開します。TCCLKの供給が停止するとRFCの動作は停止しますが、出力端子やレジスタはDEBUGモードへ移行前の状態に保持されます。RFCnCLK.DBRUNビット = 1の場合、DEBUGモード時もTCCLKの供給は停止せず、RFCは動作を継続します。

15.4 動作

15.4.1 初期設定

RFCは、以下の手順により初期設定を行います。

1. RFCnCLK.CLKSRC[1:0]ビットとRFCnCLK.CLKDIV[1:0]ビットを設定する。(動作クロックを設定)
2. 割り込みを使用する場合は以下のビットを設定する。
 - RFCnINTFレジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
 - RFCnINTEレジスタの割り込みイネーブルビットを1に設定 (割り込みイネーブル)
3. RFCの入出力機能をポートに割り当てる。(“入出力ポート”の章を参照)

4. RFC_nCTLレジスタの以下のビットを設定する。
- RFC_nCTL.EVTENビット (外部クロック入力モードイネーブル/ディスエーブル)
 - RFC_nCTL.SMODE[1:0]ビット (発振モードを選択)
 - RFC_nCTL.MODENビットを1に設定 (RFCの動作をイネーブル)

15.4.2 動作モード

RFCには、RFC内部の発振回路を使用する2つの発振モードと、外部入力クロックで測定を行う外部クロック入力モードがあります。これらのモードは、チャンネルごとに設定可能です。

発振モード

発振モードはRFC_nCTL.SMODE[1:0]ビットで選択します。

抵抗性センサ測定用DC発振モード

DC駆動によって基準抵抗と抵抗性センサを発振させて測定を行うモードです。DC印加が可能な抵抗性センサを接続した場合は、このモードに設定してください。このモードに設定すると、1つのチャンネルに抵抗性センサを2つ接続可能です。

抵抗性センサ測定用AC発振モード

AC駆動によって基準抵抗と抵抗性センサを発振させて測定を行うモードです。AC印加が必要な抵抗性センサを接続した場合は、このモードに設定してください。このモードでは、1つのチャンネルに抵抗性センサを1つのみ接続可能です。

外部クロック入力モード(イベントカウンタモード)

このモードでは、外部からクロックパルスを入力して内部発振クロックと同様にカウントすることができます。矩形波以外に、サイン波の入力も可能です(シュミット入力のしきい値については“電気的特性”の章の“R/F変換器特性、高レベルシュミット入力スレシヨルド電圧V_{Tr+}、および低レベルシュミット入力スレシヨルド電圧V_{T-}”を参照してください)。この機能は、RFC_nCTL.EVTENビットを1に設定するとイネーブルになります。測定制御手順は内部発振回路使用時と同様です。

15.4.3 RFCカウンタ

RFCには以下のとおり2種類のカウンタが内蔵されています。

計測カウンタ(MC)

計測カウンタは初期値のプリセットが可能な24ビットアップカウンタです。このカウンタで基準発振クロックとセンサ発振クロックを同じ時間カウントすることによって、外付け部品や基板の寄生素子、電圧、ICの製造ばらつきの影響を排除することができます。基準発振、センサ発振後の計測カウンタの値をセンサ特性に合わせてソフトウェアにより補正することで、現在センサが検出している値を求めることができます。

タイムベースカウンタ(TC)

タイムベースカウンタは初期値のプリセットが可能な24ビットアップ/ダウンカウンタです。タイムベースカウンタは基準発振を行っている間にTCCLKによるカウントアップを行い、基準発振時間を計測します。センサ発振時は基準発振時間から逆にカウントダウンを行い、カウンタが0x000000になった時点でセンサ発振を停止します。これにより、基準発振時間とセンサ発振時間を同じにできます。基準発振中にカウントした値をメモリに格納しておき、以降のセンサ発振時に再利用することで基準発振を省略することもできます。

カウンタ初期値

計測カウンタから基準発振とセンサ発振のクロックカウント値の差を得るため、基準発振を開始する前に、計測カウンタには適切な初期値を設定しておきます。基準素子とセンサの抵抗値がまったく同じ場合、<初期値: n> = <センサ発振終了時のカウント値: m> となります(誤差 = 0の場合)。<初期値: n>を大きくすると測定の分解能が上がります。

ただし、センサ値が基準素子の値よりも小さくなるとセンサ発振中に計測カウンタがオーバーフローする可能性があります(測定は無効となります)。したがって、センサ値の範囲を考慮して計測カウンタの初期値を決定してください。

タイムベースカウンタは、基準発振を開始する前に0x000000に設定しておきます。

カウンタ値のリード

計測カウンタはRFCCLK、タイムベースカウンタはTCCLKで動作しているため、カウント動作中にCPUで正しく読み出すためには、2回以上読み出して、カウンタ値が一致していることを確認してください。

15.4.4 変換動作と制御手順

以下にR/F変換手順とRFCの動作を説明します。説明は内部発振回路を使用するものとして行いますが、外部クロック入力モードの場合も制御手順は同じです。

R/F変換手順

1. RFC n MCHとRFC n MCLレジスタ(計測カウンタ)に初期値(0x000000 - n)を設定する。
2. RFC n TCHとRFC n TCLレジスタ(タイムベースカウンタ)を0x000000にクリアする。
3. RFC n INTF.EREFIFビットとRFC n INTF.OVTCIFビットに1を書き込んでクリアする。
4. RFC n TRG.SREFビットを1に設定し、基準発振を開始させる。
5. RFC割り込みを待つ。
 - i. RFC n INTF.EREFIFビット = 1(基準発振完了)の場合は、RFC n INTF.EREFIFビットをクリアした後、6へ
 - ii. RFC n INTF.OVTCIFビット = 1(タイムベースカウンタオーバーフローエラー)の場合は、RFC n INTF.OVTCIFビットをクリアした後、エラーとして終了するか、計測カウンタの初期値を変更して再計測する。
6. RFC n INTF.ESENAIFビット、RFC n INTF.ESENBIFビット、RFC n INTF.OVMCIFビットに1を書き込んでクリアする。
7. 計測するセンサに対応するRFC n TRG.SSENAビット(センサA)またはRFC n TRG.SSENBビット(センサB)を1に設定し、センサ発振を開始させる(AC発振モードの場合は、RFC n TRG.SSENAビットで制御)。
8. RFC割り込みを待つ。
 - i. RFC n INTF.ESENAIFビット = 1(センサA発振完了)またはRFC n INTF.ESENBIFビット = 1(センサB発振完了)の場合は、RFC n INTF.ESENAIFビットまたはRFC n INTF.ESENBIFビットをクリアした後、9へ
 - ii. RFC n INTF.OVMCIFビット = 1(計測カウンタオーバーフローエラー)の場合は、RFC n INTF.OVMCIFビットをクリアした後、エラーとして終了するか、計測カウンタの初期値を変更して再計測する。
9. RFC n MCHとRFC n MCLレジスタ(計測カウンタ)を読み出し、センサに対応した補正処理を行って検出値を算出する。

R/F変換動作

基準発振

変換手順のステップ4でRFC n TRG.SREFビットを1に設定すると、RFC Ch. n は基準抵抗によるCR発振を開始します。計測カウンタは設定された初期値からCR発振クロックでカウントアップを開始し、タイムベースカウンタは0x000000からTCCLKでカウントアップを開始します。

計測カウンタまたはタイムベースカウンタがオーバーフロー(0xfffff → 0x000000)すると、RFC n TRG.SREFビットが0になり、基準発振が自動的に終了します。

計測カウンタがオーバーフローした場合は正常終了で、RFC n INTF.EREFIFビットが1にセットされます。このとき、RFC n INTE.EREFIEビット = 1であれば、基準発振完了割り込み要求が発生します。

タイムベースカウンタがオーバーフローした場合は異常終了で、RFCnINTF.OVTCIFビットが1にセットされます。このとき、RFCnINTE.OVTCIEビット = 1であれば、タイムベースカウンタオーバーフローエラー割り込み要求が発生します。

センサ発振

変換手順のステップ7でRFCnTRG.SSENAビット(センサA)またはRFCnTRG.SSENBビット(センサB)を1に設定すると、RFC Ch.nはセンサによるCR発振を開始します。

計測カウンタは0x000000からCR発振クロックでカウントアップを開始し、タイムベースカウンタは基準発振終了時の値からTCCLKでカウントダウンを開始します。

タイムベースカウンタが0x000000になるか、あるいは計測カウンタがオーバーフローすると(0xfffff → 0x000000)、発振を開始させたRFCnTRG.SSENAビットまたはRFCnTRG.SSENBビットが0になり、センサ発振が自動的に終了します。

タイムベースカウンタが0x000000になった場合は正常終了で、RFCnINTF.ESENAIFビット(センサA)またはRFCnINTF.ESENBIFビット(センサB)が1にセットされます。このとき、RFCnINTE.ESENAIEビット = 1またはRFCnINTE.ESENBIEビット = 1であれば、センサAまたはセンサB発振完了割り込み要求が発生します。

計測カウンタがオーバーフローした場合は異常終了で、RFCnINTF.OVMCIFビットが1にセットされます。このとき、RFCnINTE.OVMCIEビット = 1であれば、計測カウンタオーバーフローエラー割り込み要求が発生します。

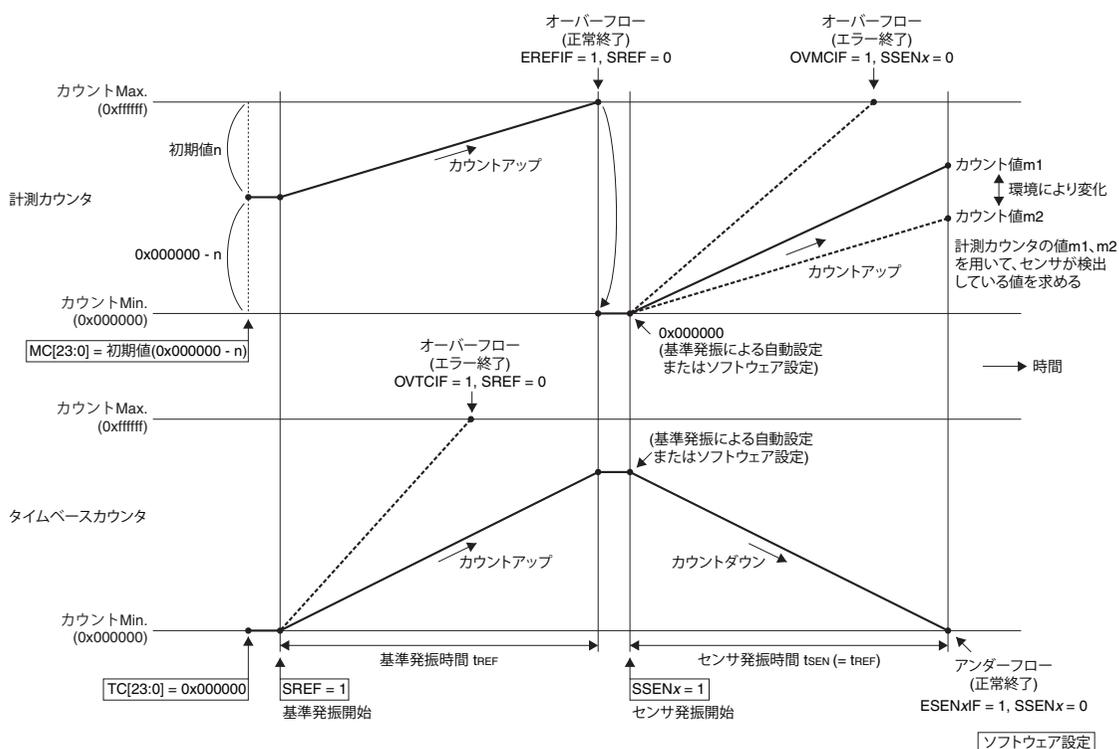


図15.4.4.1 基準発振/センサ発振によるカウンタの動作

強制終了

基準発振中、センサ発振中に処理を中止するには、発振を開始させたRFCnTRG.SREFビット(基準発振)、RFCnTRG.SSENAビット(センサA発振)、またはRFCnTRG.SSENBビット(センサB発振)に0を書き込んでください。カウンタはその時点の値を保持しますが、その値から発振を再開した場合の変換結果は保証できません。再開する場合は、カウンタの初期化から再実行してください。

変換誤差について

基準発振とセンサ発振をまったく同じ抵抗と容量で行った場合、 $n \approx m$ になります。このときの、 n と m との差が誤差になります。誤差要因を表15.4.4.1に示します。(n: 計測カウンタ初期値、m: センサ発振終了時の計測カウンタ値)

表15.4.4.1 誤差要因

誤差要因	影響度
外付け部品の公差	大
電源電圧変動	大
基板の寄生容量と抵抗	中
温度	小
IC製造ばらつき	小

15.4.5 CR発振周波数モニタ機能

変換動作中のCR発振クロック(RFCLK)を外部モニタのためにRFCLK_n端子から出力することができます。このとき、RFC_nCTL.CONENを1に設定しておくことで連続発振モードになり、発振停止条件を無視して連続的に発振動作を行います。この場合も発振を開始するには、RFC_nTRG.SREFビット(基準発振)、RFC_nTRG.SSENAビット(センサA発振)、またはRFC_nTRG.SSENBビット(センサB発振)を1に設定してください。発振を停止するにはこれらのビットを0に設定します。この機能により、CR発振クロック周波数を容易に測定することができます。また、RFC_nCTL.RFCLKMDビットを1に設定すると、RFCLKを1/2分周したクロックの出力を行うことができます。

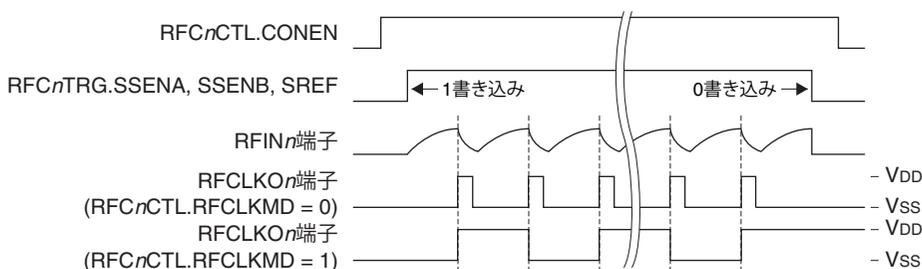


図15.4.5.1 CR発振クロック(RFCLK)の波形

15.5 割り込み

RFCには、表15.5.1に示す割り込みを発生させる機能があります。

表15.5.1 RFCの割り込み機能

割り込み	割り込みフラグ	セット	クリア
基準発振完了	RFC _n INTF.EREFIF	計測カウンタのオーバーフローにより基準発振が正常終了	1書き込み
センサA発振完了	RFC _n INTF.ESENAIF	タイムベースカウンタが0x000000になり、センサA発振が正常終了	1書き込み
センサB発振完了	RFC _n INTF.ESENBIF	タイムベースカウンタが0x000000になり、センサB発振が正常終了	1書き込み
計測カウンタ オーバーフローエラー	RFC _n INTF.OVMCIF	計測カウンタのオーバーフローによりセンサ発振が異常終了	1書き込み
タイムベースカウンタ オーバーフローエラー	RFC _n INTF.OVTCIF	タイムベースカウンタのオーバーフローにより基準発振が異常終了	1書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

15.6 制御レジスタ

RFC Ch.n Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RFCnCLK	15-9	-	0x00	-	R	-
	8	DBRUN	1	H0	R/W	
	7-6	-	0x0	-	R	
	5-4	CLKDIV[1:0]	0x0	H0	R/W	
	3-2	-	0x0	-	R	
	1-0	CLKSRC[1:0]	0x0	H0	R/W	

Bits 15-9 Reserved

Bit 8 DBRUN

このビットは、DEBUGモード時にRFC動作クロックを供給するか否か設定します。

1 (R/W): DEBUGモード時にクロックを供給

0 (R/W): DEBUGモード時はクロック供給を停止

Bits 7-6 Reserved

Bits 5-4 CLKDIV[1:0]

これらのビットは、RFC動作クロックの分周比を選択します。

Bits 3-2 Reserved

Bits 1-0 CLKSRC[1:0]

これらのビットは、RFCのクロックソースを選択します。

表15.6.1 クロックソースと分周比の設定

RFCnCLK. CLKDIV[1:0]ビット	RFCnCLK.CLKSRC[1:0]ビット			
	0x0	0x1	0x2	0x3
	IOSC	OSC1	OSC3	EXOSC
0x3	1/8			1/1
0x2	1/4			
0x1	1/2			
0x0	1/1			

(注) 本ICが対応していない発振回路/外部入力をクロックソースとして選択することはできません。

注: RFCnCLKレジスタは、RFCnCTL.MODENビット = 0のときのみ設定変更が可能です。(TBD)

RFC Ch.n Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RFCnCTL	15-9	-	0x00	-	R	-
	8	RFCLKMD	0	H0	R/W	
	7	CONEN	0	H0	R/W	
	6	EVTEN	0	H0	R/W	
	5-4	SMODE[1:0]	0x0	H0	R/W	
	3-1	-	0x0	-	R	
	0	MODEN	0	H0	R/W	

Bits 15-9 Reserved

Bit 8 RFCLKMD

このビットは、RFCLKOn端子の出力を、発振クロックを1/2に分周したクロックに設定します。

1 (R/W): 1/2分周クロック出力

0 (R/W): 発振クロックを出力

詳細は、“CR発振周波数モニタ機能”を参照してください。

Bit 7 CONEN

このビットは、CR発振の自動停止を禁止して、連続発振をイネーブルにします。

1 (R/W): 連続発振イネーブル

0 (R/W): 連続発振ディスエーブル

詳細は、“CR発振周波数モニタ機能”を参照してください。

Bit 6 EVTEN

このビットは、外部クロック入力モード(イベントカウンタモード)をイネーブルにします。

1 (R/W): 外部クロック入力モード

0 (R/W): 通常モード

詳細は“動作モード”を参照してください。

注: RFCnCTL.EVTENビットを1に設定する前に、外部クロックを入力しないでください。RFINn端子は、端子機能をR/F変換器用に切り換えた時点でVsslにプルダウンされます。

Bits 5–4 SMODE[1:0]

これらのビットは、発振モードを設定します。詳細は“動作モード”を参照してください。

表15.6.2 発振モードの選択

RFCnCTL.SMODE[1:0]ビット	発振モード
0x3, 0x2	Reserved
0x1	抵抗性センサ測定用AC発振モード
0x0	抵抗性センサ測定用DC発振モード

Bits 3–1 Reserved**Bit 0 MODEN**

このビットは、RFCの動作をイネーブルにします。

1 (R/W): RFC動作イネーブル(動作クロックが供給されます。)

0 (R/W): RFC動作ディスエーブル(動作クロックが停止します。)

注: R/F変換中にRFCnCTL.MODENビットを1から0に変更した場合は、変換途中のカウンタ値は保証されません。そこからR/F変換を再開することはできません。

RFC Ch.n Oscillation Trigger Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RFCnTRG	15–8	–	0x00	–	R	–
	7–3	–	0x00	–	R	
	2	SSENB	0	H0	R/W	
	1	SSENA	0	H0	R/W	
	0	SREF	0	H0	R/W	

Bits 15–3 Reserved**Bit 2 SSENB**

このビットは、センサBのCR発振を制御します。また、CR発振の状態を示します。

1 (W): 発振開始

0 (W): 発振停止

1 (R): 発振中

0 (R): 停止中

注: RFCnCTL.SMODE[1:0]ビットが0x1(抵抗性センサ測定用AC発振モード)の場合、RFCnTRG.SSENBビットに1を書き込んでも発振を開始しません。

Bit 1 SSENA

このビットは、センサAのCR発振を制御します。また、CR発振の状態を示します。

1 (W): 発振開始

0 (W): 発振停止

1 (R): 発振中

0 (R): 停止中

15 R/F変換器(RFC)

Bit 0 SREF

このビットは、基準抵抗のCR発振を制御します。また、CR発振の状態を示します。

1 (W): 発振開始

0 (W): 発振停止

1 (R): 発振中

0 (R): 停止中

注: • RFCnCTL.MODENビット = 0(RFC動作ディスエーブル)の場合、本レジスタの設定はすべて無効になります。

• 発振を開始させる場合は必ずRFCnTRG.SREFビット、RFCnTRG.SSENAビット、RFCnTRG.SSENBビットの1つにのみ1を書き込むものとし、2つ以上を同時に1に設定しないでください。

• 本レジスタで発振を開始させる前に、必ず割り込みフラグ(RFCnINTF.EREFIFビット、RFCnINTF.ESENAIFビット、RFCnINTF.ESENBIFビット、RFCnINTF.OVMCIFビット、RFCnINTF.OVTCIFビット)をクリアしてください。

RFC Ch.n Measurement Counter Low and High Registers

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RFCnMCL	15-0	MC[15:0]	0x0000	H0	R/W	-
RFCnMCH	15-8	-	0x00	-	R	-
	7-0	MC[23:16]	0x00	H0	R/W	

または

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RFCnMCL	31-24	-	0x00	-	R	-
RFCnMCH	23-0	MC[23:0]	0x000000	H0	R/W	-

Bits 31-24 Reserved

Bits 23-0 MC[23:0]

これらのビットにより、計測カウンタのデータの書き込み/読み出しができます。

注: 計測カウンタに16ビットアクセス命令を使用してデータを設定する場合は、必ず下位の値(RFCnMCL.MC[15:0]ビット)から先に書き込んでください。上位の値(RFCnMCH.MC[23:16]ビット)を先に書き込むと、正しい値に設定されない場合があります。

RFC Ch.n Time Base Counter Low and High Registers

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RFCnTCL	15-0	TC[15:0]	0x0000	H0	R/W	-
RFCnTCH	15-8	-	0x00	-	R	-
	7-0	TC[23:16]	0x00	H0	R/W	

または

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RFCnTCL	31-24	-	0x00	-	R	-
RFCnTCH	23-0	TC[23:0]	0x000000	H0	R/W	-

Bits 31-24 Reserved

Bits 23-0 TC[23:0]

これらのビットにより、タイムベースカウンタのデータの書き込み/読み出しができます。

注: タイムベースカウンタに16ビットアクセス命令を使用してデータを設定する場合は、必ず下位の値(RFCnTCL.TC[15:0]ビット)から先に書き込んでください。上位の値(RFCnTCH.TC[23:16]ビット)を先に書き込むと、正しい値に設定されない場合があります。

RFC Ch.n Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RFCnINTF	15-8	-	0x00	-	R	-
	7-5	-	0x0	-	R	
	4	OVTCIF	0	H0	R/W	Cleared by writing 1.
	3	OVMCIF	0	H0	R/W	
	2	ESENBIF	0	H0	R/W	
	1	ESENAIF	0	H0	R/W	
	0	EREFIF	0	H0	R/W	

Bits 15-5 Reserved

Bit 4	OVTCIF
Bit 3	OVMCIF
Bit 2	ESENBIF
Bit 1	ESENAIF
Bit 0	EREFIF

これらのビットは、RFC割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

RFCnINTF.OVTCIFビット: タイムベースカウンタオーバーフローエラー割り込み

RFCnINTF.OVMCIFビット: 計測カウンタオーバーフローエラー割り込み

RFCnINTF.ESENBIFビット: センサB発振完了割り込み

RFCnINTF.ESENAIFビット: センサA発振完了割り込み

RFCnINTF.EREFIFビット: 基準発振完了割り込み

RFC Ch.n Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
RFCnINTE	15-8	-	0x00	-	R	-
	7-5	-	0x0	-	R	
	4	OVTCIE	0	H0	R/W	
	3	OVMCIE	0	H0	R/W	
	2	ESENBIE	0	H0	R/W	
	1	ESENAIE	0	H0	R/W	
	0	EREFIE	0	H0	R/W	

Bits 15-5 Reserved

Bit 4	OVTCIE
Bit 3	OVMCIE
Bit 2	ESENBIE
Bit 1	ESENAIE
Bit 0	EREFIE

これらのビットは、RFCの割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

RFCnINTE.OVTCIEビット: タイムベースカウンタオーバーフローエラー割り込み

RFCnINTE.OVMCIEビット: 計測カウンタオーバーフローエラー割り込み

RFCnINTE.ESENBIEビット: センサB発振完了割り込み

RFCnINTE.ESENAIEビット: センサA発振完了割り込み

RFCnINTE.EREFIEビット: 基準発振完了割り込み

16 MRセンサコントローラ(AMRC)

16.1 概要

AMRCは、流量計などを実現するMRセンサコントローラです。主な機能と特長を以下に示します。

- MRセンサを直結可能
- MRセンサからアナログ回転位相信号を入力して、正転、逆転、静止、フェーズ抜けを判定
- センサの検出周期を16種類から選択可能
- 正転、逆転、静止検出回数をカウントする各種カウンタを搭載
 - 指定回数の正転または逆転検出の発生を通知する3個のイベントカウンタCh.0~Ch.2 (イベントカウンタCh.0とCh.2はコンパレータ変化もカウント可能)
 - イベントカウンタCh.0による上記通知発生回数をカウントする単位カウンタ
 - 正転検出回数をカウントする正転カウンタ
 - 逆転または静止検出回数をカウントする逆転/静止カウンタ
- パルス幅を指定可能なパルス出力機能を搭載
- 単位カウンタコンペアマッチ、イベントカウンタアンダーフロー、コンパレータ変化、フェーズ抜け、静止、逆転、正転割り込みを発生可能

図16.1.1にAMRCの構成を示します。

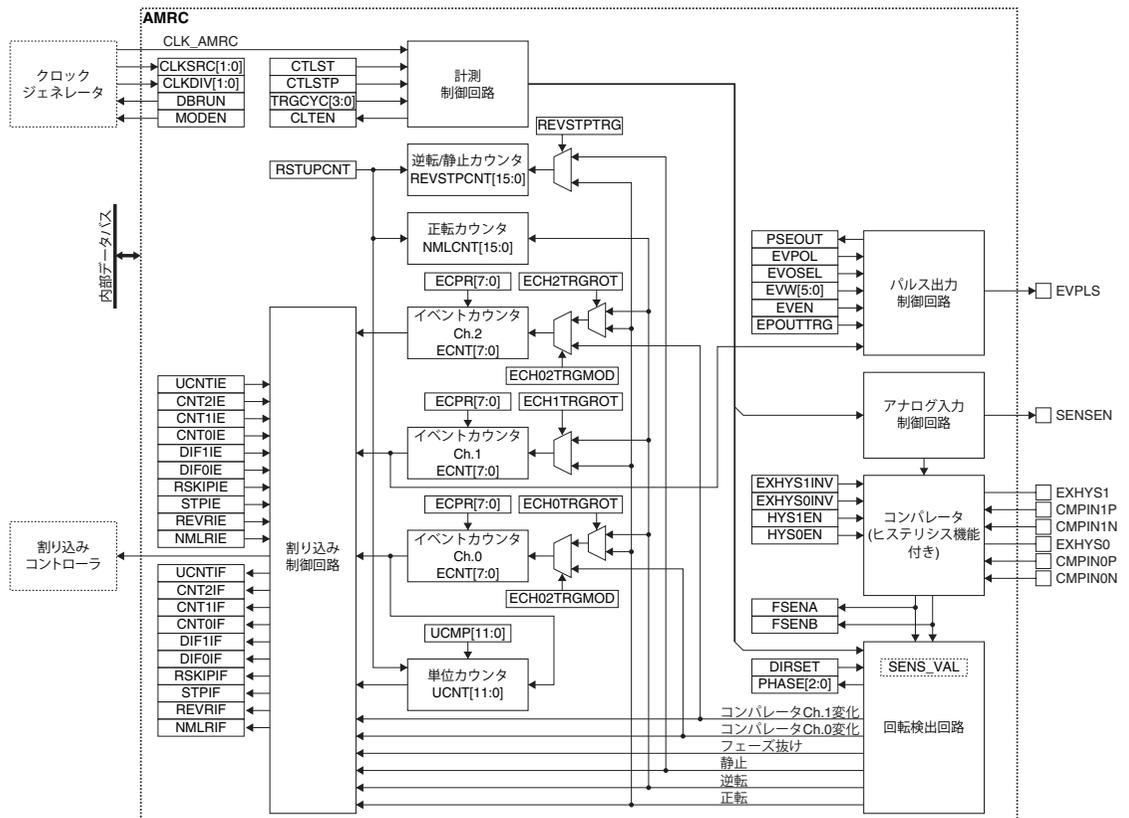


図16.1.1 AMRCの構成

16.2 入出力端子と外部接続

16.2.1 入出力端子一覧

表16.2.1.1にAMRC端子の一覧を示します。

表16.2.1.1 AMRC端子一覧

端子名	I/O*	イニシャル状態*	機能
CMPIN0P	A	Hi-Z	コンパレータCh.0入力+
CMPIN0N	A	Hi-Z	コンパレータCh.0入力-
CMPIN1P	A	Hi-Z	コンパレータCh.1入力+
CMPIN1N	A	Hi-Z	コンパレータCh.1入力-
SENSEN	O	Hi-Z	MRセンサイネーブル出力
EVPLS	O	Hi-Z	パルス出力
EXHYS0	O	Hi-Z	外部ヒステリシス制御出力Ch.0
EXHYS1	O	Hi-Z	外部ヒステリシス制御出力Ch.1

* 端子機能をAMRCに切り換えた時点の状態

これらのAMRC端子と他の機能がポートを共有している場合、AMRCを動作させる前にAMRCの入出力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。

16.2.2 外部との接続

AMRCとMRセンサとの接続例を、図16.2.2.1と図16.2.2.2に示します。

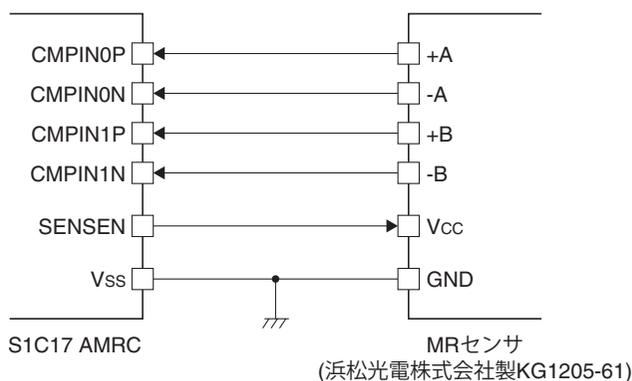


図16.2.2.1 浜松光電株式会社製MRセンサとの接続

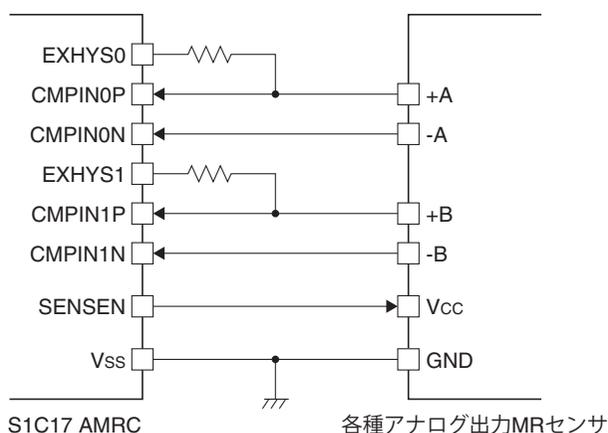


図16.2.2.2 外部ヒステリシス抵抗を使用する場合のMRセンサとの接続

16.3 クロック設定

16.3.1 AMRCの動作クロック

AMRCを使用する場合、クロックジェネレータからAMRC動作クロックCLK_AMRCをAMRCに供給する必要があります。AMRCはOSC1発振クロックを動作クロック(CLK_AMRC = OSC1クロック)として使用しますので、OSC1発振回路をクロックジェネレータでイネーブルにしておく必要があります。(“電源、リセット、クロック”の章の“クロックジェネレータ”を参照)。

16.3.2 SLEEPモード時のクロック供給

SLEEPモード時にAMRCを使用する場合は、CLGOSC.OSC1SLPCビットに0を書き込み、AMRC動作クロックCLK_AMRCを供給し続ける必要があります。

16.3.3 DEBUGモード時のクロック供給

DEBUGモード時のCLK_AMRCの供給はAMRCCLK.DBRUNビットで制御します。

AMRCCLK.DBRUNビット = 0の場合、DEBUGモードに移行するとAMRCへのCLK_AMRCの供給が停止します。その後通常モードに戻ると、CLK_AMRCの供給が再開します。CLK_AMRCの供給が停止するとAMRCの動作は停止しますが、出力端子やレジスタはDEBUGモードへ移行前の状態に保持されます。AMRCCLK.DBRUNビット = 1の場合、DEBUGモード時もCLK_AMRCの供給は停止せず、AMRCは動作を継続します。

16.4 動作

16.4.1 初期設定

AMRCは、以下の手順により初期設定を行います。

1. AMRC入出力機能をポートに割り当てる(“入出力ポート”の章を参照)。
2. AMRCCTLレジスタの以下のビットを設定する。
 - AMRCCTL.DIRSETビット (正転方向の設定)
 - AMRCCTL.ECHxTRGROTビット (イベントカウンタCh.xの回転検出イベント選択(正転/逆転))
 - AMRCCTL.ECH02TRGMODビット (イベントカウンタCh.0/2トリガ選択
(コンパレータ変化/回転検出))
 - AMRCCTL.TRGCYC[3:0]ビット (計測トリガ周期の設定)
 - AMRCCTL.REVSTPTRGビット (逆転/静止カウンタのトリガ選択)
 - AMRCCTL.RSTUPCNTビットを1に設定(逆転/静止、正転、単位カウンタリセット)
3. AMRCECNTx.ECPR[7:0]ビットにイベントカウンタCh.xのプリセット値を設定する。
4. パルスを出力する場合は、AMRCEVPLSレジスタの以下のビットを設定する。
 - AMRCEVPLS.EVPOLビット (パルス極性選択)
 - AMRCEVPLS.EVOSELビット (パルス出力トリガ選択)
 - AMRCEVPLS.EVENビットを1に設定(パルス出力機能イネーブル)
 - AMRCEVPLS.EVW[5:0]ビット (パルス幅の設定)
5. ヒステリシス機能を制御する場合は、AMRCACTLレジスタの以下のビットを設定する。
 - AMRCACTL.EXHYSxINVビット (外部ヒステリシス電圧反転)
 - AMRCACTL.HYSxENビット (内部ヒステリシスイネーブル/ディスエーブル)
6. 単位カウンタコンペアマッチ割り込みを使用する場合は、AMRCUCMP.UCMP[11:0]ビットに比較値を設定する。
7. 割り込みを使用する場合は以下のビットを設定する。
 - AMRCINTFレジスタの割り込みフラグに1を書き込む (割り込みフラグをクリア)
 - AMRCINTEレジスタの割り込みイネーブルビットを1に設定 (割り込みイネーブル)
8. AMRCCTL.MODENビットに1を書き込む。 (AMRC動作イネーブル)

16.4.2 計測の制御と動作

AMRCによる計測開始/停止手順と動作を以下に示します。

計測制御手順

1. AMRCCTL.CTLSTビットに1を書き込み、計測を開始する。
2. AMRC割り込み(単位カウンタコンペアマッチ、イベントカウンタアンダーフロー、コンパレータ変化、フェーズ抜け、静止、逆転、正転)を待ち、発生した割り込みに応じた処理を行う。
3. 計測を終了するには、AMRCCTL.CTLSTPビットに1を書き込む。

AMRCの動作

AMRCCTL.CTLSTビットに1が書き込まれると、AMRCは動作を開始します。AMRCCTL.CTLSTビットは計測が開始されると、自動的に0にクリアされます。

AMRCCTL.TRGCYC[3:0]ビットで設定した計測トリガ周期で、AMRCはSENSEN出力をアクティブ(MRセンサをON)に、計測アナログ部の電源をONにして、MRセンサの出力をCMPIN_xPとCMPIN_xN端子から入力します。この入力信号から正転、逆転、静止、フェーズ抜けを以下のように検出します。

正転、逆転、静止、フェーズ抜け状態の検出

MRセンサに対向させた磁石が回転すると、図16.4.2.1のようにセンサ出力が変化します。

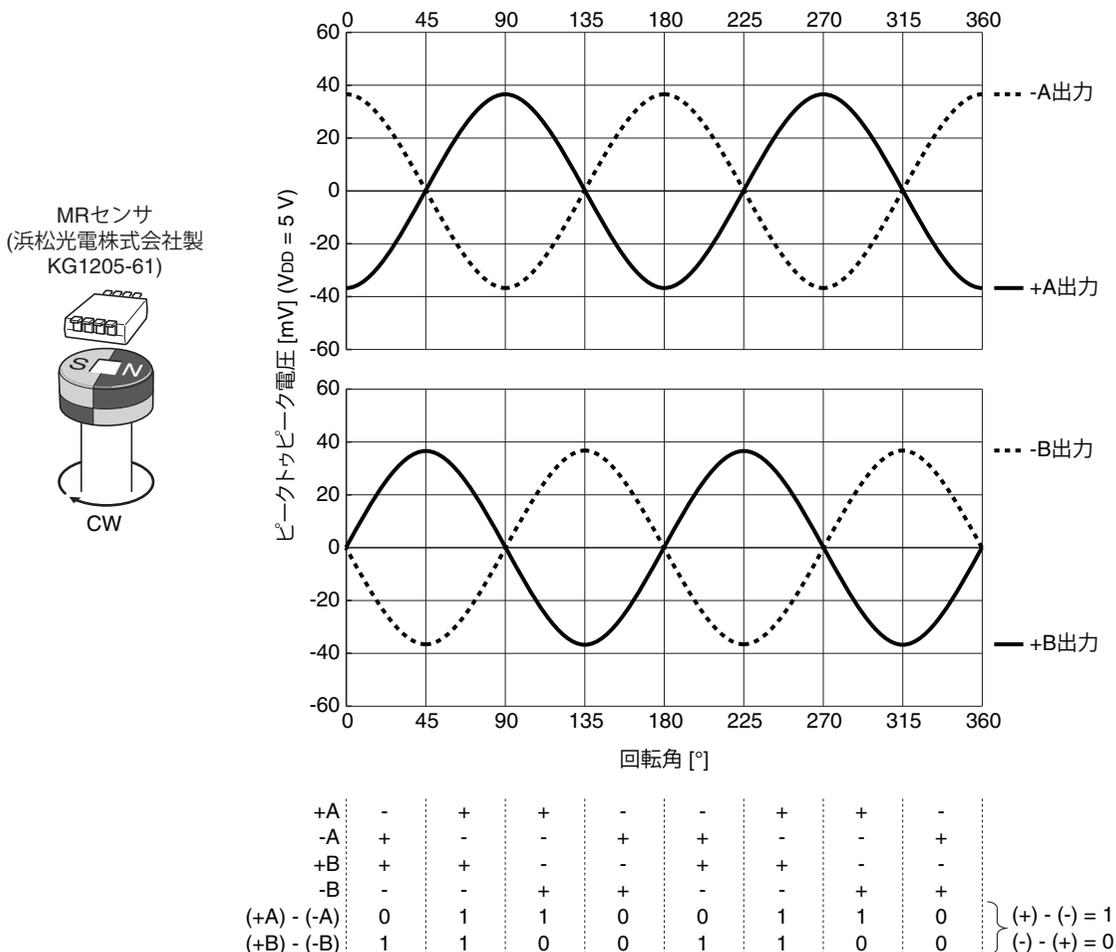


図16.4.2.1 MRセンサ出力波形

AMRCは内蔵のコンパレータでセンサ出力の(+A)と(-A)、(+B)と(-B)を比較することで、表16.4.2.1のように45度単位の回転角を検出します。

表16.4.2.1 コンパレータ出力と回転角

コンパレータ出力	回転角							
	0°~45°	45°~90°	90°~135°	135°~180°	180°~225°	225°~270°	270°~315°	315°~360°
FSENA = (+A) - (-A)	0	1	1	0	0	1	1	0
FSENB = (+B) - (-B)	1	1	0	0	1	1	0	0
SENS_VAL	2	3	1	0	2	3	1	0
PHASE	0	1	2	3	4	5	6	7

FSENAとFSENBがコンパレータ出力で、この2つを合わせた結果がSENS_VALです。SENS_VALは45度ごとに変化します。

SENS_VALの変化から下記のように回転状態を検出します。

正転: SENS_VALの変化が2 → 3、3 → 1、1 → 0、または0 → 2となった場合

逆転: SENS_VALの変化が0 → 1、1 → 3、3 → 2、または2 → 0となった場合

静止: SENS_VALが変化しない場合 2 → 2、3 → 3、1 → 1、または0 → 0
(検出間隔が十分短く、かつ検出が追従している場合にも出現します。)

フェーズ抜け: 上記のSENS_VAL変化以外が発生した場合

正転と逆転の方向は、AMRCCTL.DIRSETビットにより変更可能です。

AMRCがセンサ信号を入力して計測中は、AMRCSTAT.CTLENビットが1にセットされます。検出したフェーズ番号は、AMRCSTAT.PHASE[2:0]ビットにセットされます。入力信号から正転、逆転、静止、フェーズ抜けの何れかの状態を検出すると、AMRCはそれぞれAMRCINTF.NMLRIFビット、AMRCINTF.REVRIFビット、AMRCINTF.STPIFビット、またはAMRCINTF.RSKIPIFビットを1にセットします。

AMRCは自動的に計測トリガを発生できます。計測トリガ周期とPHASEの変化、AMRCINTF.NMLRIFビットがセットされるタイミングの一例を図16.4.2.2に示します。計測トリガ周期は動的に変更可能であり、切り換えに必要な最大時間は、“切り換え前トリガサイクル時間/2 + 切り換え後トリガサイクル時間/2”となります。

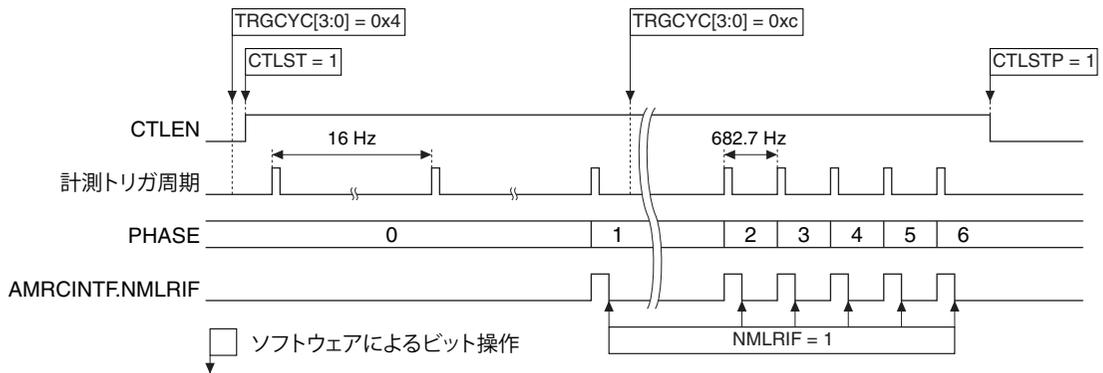


図16.4.2.2 計測動作タイミング例

また、AMRCは検出状態に応じて以下のカウンタをカウントアップ/ダウンします。

イベントカウンタCh.0~Ch.2

3個あるイベントカウンタは8ビットプリセットアップ/ダウンカウンタで、個々にカウント初期値とカウントダウントリガ要因となるイベント(表16.4.2.2参照)を設定可能です。イベントカウンタCh.xはAMRCECNTx.ECPR[7:0]ビットに設定した初期値から、選択したイベントが発生するたびにカウントダウンを行います。カウンタにアンダーフローが発生すると、再度初期値をプリセットすると共にAMRCINTF.CNTxIFビットを1にセットします。このとき、AMRCINTE.CNTxIEビット = 1であれば、イベントカウンタCh.xアンダーフロー割り込み要求を発生します。

表16.4.2.2 イベント選択

AMRCCTL. ECH02TRGMODビット	AMRCCTL. ECHxTRGROTビット	イベント(カウントダウトリガ要因)		
		Ch.0	Ch.1	Ch.2
1	1	コンパレータCh.0変化	逆転検出	コンパレータCh.1変化
1	0		正転検出	
0	1		逆転検出	
0	0		正転検出	

単位カウンタ

単位カウンタは12ビットアップカウンタで、イベントカウンタCh.0のアンダーフロー発生回数をカウントします。単位カウンタは、AMRCCTL.RSTUPCNTビットへの1書き込みによって0x000にクリアされます。

AMRCUCMP.UCMP[11:0]ビットに比較値を設定しておくことができます。カウンタ値が比較値に一致すると、AMRCは単位カウンタを0x000にクリアすると共にAMRCINTF.UCNTIFビットを1にセットします。このとき、AMRCINTE.UCNTIEビット = 1であれば、単位カウンタコンペアマッチ割り込み要求を発生します。

正転カウンタ

正転カウンタは16ビットのアップカウンタで、正転検出回数をカウントします。正転カウンタは、AMRCCTL.RSTUPCNTビットへの1書き込みによって0x0000にクリアされます。

逆転/静止カウンタ

逆転/静止カウンタは16ビットのアップカウンタで、逆転検出回数または静止検出回数(AMRCCTL.REVSTPTRGビットで選択)をカウントします。逆転/静止カウンタは、AMRCCTL.RSTUPCNTビットへの1書き込みによって0x0000にクリアされます。

図16.4.2.3にカウンタ動作例を示します。

条件) イベントカウンタCh.0: プリセット値 = 3、イベント = 正転検出
 イベントカウンタCh.2: プリセット値 = 10、イベント = 逆転検出
 単位カウンタ: 比較値 = 1

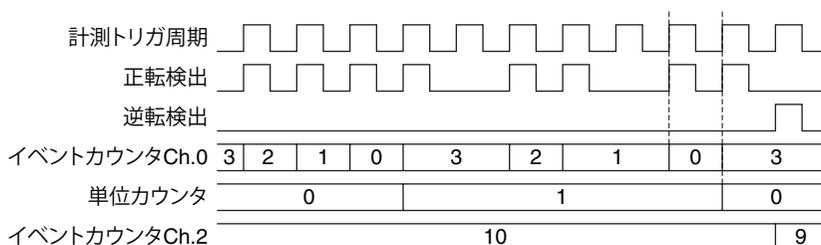


図16.4.2.3 カウンタ動作例

16.4.3 パルス出力機能

ソフトウェア制御により、またはイベントカウンタCh.1アンダーフロー発生時に、EVPLS端子からパルスを出力することができます。この機能を使用するには、AMRCEVPLS.EVENビットを1に設定します。出力するパルスの極性は、AMRCEVPLS.EVPOLビット = 0の場合は正極性、1の場合は負極性になります。また、AMRCEVPLS.EVW[5:0]ビットにより、以下のとおりパルス幅を設定できます。

$$t_{EVW} = \frac{(EVW + 1) \times 512}{f_{OSC1}} \quad EVW = \frac{t_{EVW} \times f_{OSC1}}{512} - 1 \quad (\text{式16.1})$$

ここで

t_{EVW} : パルス幅 [s]

f_{OSC1} : OSC1発振周波数 [Hz]

EVW: AMRCEVPLS.EVW[5:0]ビット設定値(0~63)

たとえば、 $f_{OSC1} = 32,768$ Hzの場合、15.6 ms(AMRCEVPLS.EVW[5:0]ビット = 0)~1,000 ms(AMRCEVPLS.EVW[5:0]ビット = 63)のパルス幅に設定できます。

パルス出力トリガ要因はAMRCEVPLS.EVOSELビットで選択します。AMRCEVPLS.EVOSELビット = 0の場合はソフトウェアトリガのみ、AMRCEVPLS.EVOSELビット = 1の場合はソフトウェアトリガに加え、イベントカウンタCh.1のアンダーフローもトリガになります。ソフトウェアトリガは、AMRCCTL.EPOUTTRGビットに1を書き込むことにより発行されます。

パルス出力中に発生したソフトウェアトリガ、イベントカウンタCh.1のアンダーフローはすべて無視されます。

パルス出力中に出力を中止したいときは、AMRCCTL.CTLSTPビットに1を書き込みます。

EVPLS端子の状態はAMRCSTAT.PSEOUTビットを読み出すことで確認できます。AMRCSTAT.PSEOUTビット = 0のとき、EVPLS端子はLOWレベル、AMRCSTAT.PSEOUTビット = 1のとき、EVPLS端子はHIGHレベルを出力しています。

16.4.4 ヒステリシス制御機能

内蔵コンパレータにはヒステリシス機能があり、AMRCACTL.HYS0ENビット(CMPIN0P入力)、AMRCACTL.HYS1ENビット(CMPIN1P入力)を1に設定することにより有効になります。

また、EXHYS0端子(CMPIN0P入力)、EXHYS1端子(CMPIN1P入力)に抵抗を接続し(図16.2.2.2参照)、コンパレータ入力信号に合わせてヒステリシスを制御することができます。AMRCACTL.EXHYS0INV/EXHYS1INVビットにより、ヒステリシスの極性を反転することもできます。

16.5 割り込み

AMRCには、表16.5.1に示す割り込みを発生させる機能があります。

表16.5.1 AMRCの割り込み機能

割り込み	割り込みフラグ	セット	クリア
単位カウンタコンペアマッチ	AMRCINTF.UCNTIF	単位カウンタがAMRCUCMP.UCMP[11:0]ビットに一致したとき	1書き込み
イベントカウンタCh.2アンダーフロー	AMRCINTF.CNT2IF	イベントカウンタCh.2がアンダーフローしたとき	1書き込み
イベントカウンタCh.1アンダーフロー	AMRCINTF.CNT1IF	イベントカウンタCh.1がアンダーフローしたとき	1書き込み
イベントカウンタCh.0アンダーフロー	AMRCINTF.CNT0IF	イベントカウンタCh.0がアンダーフローしたとき	1書き込み
コンパレータCh.1変化	AMRCINTF.DIF1IF	コンパレータCh.1の出力が変化したとき	1書き込み
コンパレータCh.0変化	AMRCINTF.DIF0IF	コンパレータCh.0の出力が変化したとき	1書き込み
フェーズ抜け	AMRCINTF.RSKIPIF	フェーズ抜け検出時	1書き込み
静止	AMRCINTF.STPIF	静止検出時	1書き込み
逆転	AMRCINTF.REVRIF	逆転検出時	1書き込み
正転	AMRCINTF.NMLRIF	正転検出時	1書き込み

割り込みフラグには、それぞれに対応する割り込みイネーブルビットがあります。それらのビットによって割り込みをイネーブルにした割り込みフラグのセット時にのみ、割り込みコントローラへ割り込み要求が出力されます。割り込み発生時の制御については、“割り込みコントローラ”の章を参照してください。

16.6 制御レジスタ

注: 制御レジスタに書き込みを行う場合、“(reserved)”ビットは“Initial”の値から変更しないでください。

AMRC Clock Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
AMRCCLK	15-9	–	0x00	–	R	–
	8	DBRUN	1	H0	R/W	
	7-6	–	0x0	–	R	
	5-4	CLKDIV[1:0]	0x0	H0	R	
	3-2	–	0x0	–	R	
	1-0	CLKSRC[1:0]	0x1	H0	R	

Bits 15-9 Reserved

Bit 8 DBRUN

このビットは、DEBUGモード時にAMRC動作クロックを供給するか否か設定します。

1 (R/W): DEBUGモード時にクロックを供給

0 (R/W): DEBUGモード時はクロック供給を停止

Bits 7-6 Reserved

Bits 5-4 CLKDIV[1:0]

これらのビットは、AMRC動作クロックの分周比を示します。0x0(1/1分周)に固定されています。

Bits 3-2 Reserved

Bits 1-0 CLKSRC[1:0]

これらのビットは、AMRCのクロックソースを示します。0x1(OSC1)に固定されています。

AMRC AFE Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
AMRCACTL	15	(reserved)	0	H0	R/W	–
	14-8	–	0x00	–	R	
	7-6	(reserved)	0x0	H0	R/W	
	5-4	–	0x0	–	R	
	3	EXHYS1INV	0	H0	R/W	
	2	EXHYS0INV	0	H0	R/W	
	1	HYS1EN	1	H0	R/W	
	0	HYS0EN	1	H0	R/W	

Bits 15-4 Reserved

Bit 3 EXHYS1INV

Bit 2 EXHYS0INV

これらのビットは、外部ヒステリシスの極性を反転します。

1 (R/W): 外部ヒステリシス極性を反転

0 (R/W): 外部ヒステリシス極性を反転しない

ビットと外部ヒステリシスの対応は以下のとおりです。

AMRCACTL.EXHYS1INVビット: 外部ヒステリシス1(CMPIN1P端子)

AMRCACTL.EXHYS0INVビット: 外部ヒステリシス0(CMPIN0P端子)

Bit 1 HYS1EN

Bit 0 HYS0EN

これらのビットは、内部ヒステリシスをイネーブルにします。

1 (R/W): 内部ヒステリシスをイネーブル

0 (R/W): 内部ヒステリシスをディスエーブル

ビットと内部ヒステリシスの対応は以下のとおりです。

AMRCTL.HYS1ENビット: 内部ヒステリシス1(CMPIN1P端子)

AMRCTL.HYS0ENビット: 内部ヒステリシス0(CMPIN0P端子)

AMRC Pulse Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
AMRCEVPLS	15	EVPOL	0	H0	R/W	-
	14	EVOSEL	0	H0	R/W	
	13-9	-	0x00	-	R	
	8	EVEN	0	H0	R/W	
	7-6	-	0x0	-	R	
	5-0	EVW[5:0]	0x00	H0	R/W	

Bit 15 EVPOL

このビットは、パルス出力の極性を設定します。

1 (R/W): 負極性

0 (R/W): 正極性

Bit 14 EVOSEL

このビットは、パルスを出力するトリガ要因を選択します。

1 (R/W): ソフトウェアトリガ(AMRCTL.EPOUTTRGビット)と
イベントカウンタCh.1アンダーフロー

0 (R/W): ソフトウェアトリガ(AMRCTL.EPOUTTRGビット)

パルス出力中に発生したトリガは無視されます。

Bits 13-9 Reserved

Bit 8 EVEN

このビットは、パルス出力機能をイネーブルにします。

1 (R/W): パルス出力機能イネーブル

0 (R/W): パルス出力機能ディスエーブル

Bits 7-6 Reserved

Bits 5-0 EVW[5:0]

これらのビットは、パルスの出力幅を設定します。

詳細は“パルス出力機能”を参照してください。

AMRC Control Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
AMRCTL	15	DIRSET	0	H0	R/W	-
	14	ECH2TRGROT	0	H0	R/W	
	13	ECH1TRGROT	0	H0	R/W	
	12	ECH0TRGROT	0	H0	R/W	
	11	ECH02TRGMOD	0	H0	R/W	
	10	MODEN	0	H0	R/W	
	9	CTLSTP	0	H0	R/W	
	8	CTLST	0	H0	R/W	
	7	-	0	-	R	
	6	RSTUPCNT	0	H0	R/W	
	5	REVSTPTRG	0	H0	R/W	
	4	EPOUTTRG	0	H0	R/W	
	3-0	TRGCYC[3:0]	0xa	H0	R/W	

Bit 15 DIRSET

このビットは、正転方向を指定します。

1 (R/W): 正転 = 反時計回り

0 (R/W): 正転 = 時計回り

Bit 14 ECH2TRGROT**Bit 13 ECH1TRGROT****Bit 12 ECH0TRGROT**

これらのビットは、イベントカウンタCh.2、Ch.1、Ch.0のカウンタダウントリガ要因となる回転方向を選択します。イベントカウンタCh.2とCh.0では、AMRCCTL.ECH02TRGMODビットが0のときに有効になります。

1 (R/W): 逆転検出

0 (R/W): 正転検出

Bit 11 ECH02TRGMOD

このビットは、イベントカウンタCh.2、Ch.0のカウンタダウントリガ要因を選択します。

1 (R/W): コンパレータCh.1変化(イベントカウンタCh.2)

コンパレータCh.0変化(イベントカウンタCh.0)

0 (R/W): AMRCCTL.ECH2TRGROTビットで指定される回転検出(イベントカウンタCh.2)

AMRCCTL.ECH0TRGROTビットで指定される回転検出(イベントカウンタCh.0)

Bit 10 MODEN

このビットは、AMRCの動作をイネーブルにします。

1 (R/W): AMRC動作イネーブル(動作クロックが供給されます。)

0 (R/W): AMRC動作ディスエーブル(動作クロックが停止します。)

注: 計測中、パルス出力中にAMRCCTL.MODENビットを0に設定すると、AMRC動作クロックが強制的に停止し、それ以降の動作は保証できません。計測、パルス出力を終了する場合は、必ずAMRCCTL.CTLSTPビットへの1書き込みによって動作を停止させ、AMRCEVPLS.EVENを0に設定した後に、AMRCCTL.MODENビットを0に設定してください。

Bit 9 CTLSTP

このビットは、計測を停止します。

1 (W): 計測停止

0 (W): 無効

1 (R): 停止処理中

0 (R): 停止中

このビットの1書き込みにより、パルス出力も停止します。

Bit 8 CTLST

このビットは、計測を開始します。

1 (W): 計測開始

0 (W): 無効

1 (R): 開始処理中

0 (R): 計測中/停止中

Bit 7 Reserved**Bit 6 RSTUPCNT**

このビットは、逆転/静止カウンタ、正転カウンタ、単位カウンタをリセットします。

1 (W): リセット

0 (W): 無効

1 (R): リセット動作中

0 (R): リセット終了/通常動作中

Bit 5 REVSTPTRG

このビットは、逆転/静止カウンタのカウンタ要因を選択します。

1 (R/W): 逆転検出

0 (R/W): 静止検出

Bit 4 EPOUTTRG

このビットは、パルスを出力するソフトウェアトリガです。

- 1 (W): 出力トリガ
 0 (W): 無効
 1 (R): 出力開始動作中
 0 (R): 出力開始動作終了

Bits 3–0 TRGCYC[3:0]

これらのビットは、計測トリガの周期を設定します。

表16.6.1 計測トリガの周期の設定

設定値	トリガ周期 [Hz]	設定値	トリガ周期 [Hz]
0xf	1,365.3	0x7	128
0xe	682.7	0x6	64
0xd	341.3	0x5	32
0xc	4,096	0x4	16 (低速トリガ)
0xb	2,048	0x3	8
0xa	1,024 (高速トリガ)	0x2	4
0x9	512	0x1	2
0x8	256	0x0	1

低消費電力化のため、磁石の回転がない場合は16 Hz程度の低速トリガとし、磁石が回転を始めたときに1,024 Hz程度の高速トリガを選択する使い方を推奨します。

AMRC Normal Rotation Counter Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
AMRCNMLCNT	15–0	NMLCNT[15:0]	0x0000	–	R	Cleared by writing 1 to the AMRCCTL.RSTUPCNT bit.

Bits 15–0 NMLCNT[15:0]

これらのビットから、正転カウンタのカウンタ値が読み出せます。

カウンタ動作中は正しい値が読み出せないことがあります。AMRCNMLCNTレジスタを2回続けて読み出し、同じ結果が得られた場合に正しく読み出せたものと判断してください。正転カウンタの詳細については、“計測の制御と動作”の節を参照してください。

AMRC Reverse/Stop Counter Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
AMRCREVSTPCNT	15–0	REVSTPCNT[15:0]	0x0000	–	R	Cleared by writing 1 to the AMRCCTL.RSTUPCNT bit.

Bits 15–0 REVSTPCNT[15:0]

これらのビットから、逆転/静止カウンタのカウンタ値が読み出せます。

カウンタ動作中は正しい値が読み出せないことがあります。AMRCREVSTPCNTレジスタを2回続けて読み出し、同じ結果が得られた場合に正しく読み出せたものと判断してください。逆転/静止カウンタの詳細については、“計測の制御と動作”の節を参照してください。

AMRC Event Counter Ch.x Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
AMRCECNTx	15–8	ECNT[7:0]	0xff	H0	R	–
	7–0	ECPR[7:0]	0xff	H0	R/W	

Bits 15–8 ECNT[7:0]

これらのビットから、イベントカウンタCh.x (x = 0~2)のカウンタ値が読み出せます。

カウンタ動作中は正しい値が読み出せないことがあります。AMRCECNTx.ECNT[7:0]ビットを2回続けて読み出し、同じ結果が得られた場合に正しく読み出せたものと判断してください。イベントカウンタの詳細については、“計測の制御と動作”を参照してください。

Bits 7–0 ECPR[7:0]

これらのビットは、イベントカウンタCh.xにプリセットするカウンタ初期値を設定します。イベントカウンタCh.xへのプリセットは、ここに初期値を書き込んだ時点、およびイベントカウンタCh.xがアンダーフローした時点で行われます。

AMRC Unit Counter Compare Setting Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
AMRCUCMP	15–12	–	0x0	–	R	–
	11–0	UCMP[11:0]	0x000	H0	R/W	

Bits 15–12 Reserved**Bits 11–0 UCMP[11:0]**

これらのビットには、単位カウンタとの比較値を設定しておきます。ここへのデータ書き込みにより、単位カウンタは0x000にクリアされます。単位カウンタがこの設定値になると、単位カウンタコンペアマッチ割り込み要求が発生します。

AMRC Unit Counter Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
AMRCUCNT	15–12	–	0x0	–	R	–
	11–0	UCNT[11:0]	0x000	H0	R	

Bits 15–12 Reserved**Bits 11–0 UCNT[11:0]**

これらのビットから、単位カウンタのカウント値が読み出せます。カウント動作中は正しい値が読み出せないことがあります。AMRCUCNT.UCNT[11:0]ビットを2回続けて読み出し、同じ結果が得られた場合に正しく読み出せたものと判断してください。単位カウンタの詳細については、“計測の制御と動作”の節を参照してください。

AMRC Status Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
AMRCSTAT	15–12	–	0x0	–	R	–
	11	FSENB	0	H0	R	
	10	FSENA	0	H0	R	
	9–8	(reserved)	0x0	H0	R	
	7–6	(reserved)	0x0	H0	R	
	5	PSEOUT	0	H0	R	
	4	CTLEN	0	H0	R	
	3	–	0	–	R	
2–0	PHASE[2:0]	0x0	H0	R		

Bits 15–12 Reserved**Bit 11 FSENB**

コンパレータCh.1の出力状態を示します。

1 (R): 1を出力

0 (R): 0を出力

Bit 10 FSENA

コンパレータCh.0の出力状態を示します。

1 (R): 1を出力

0 (R): 0を出力

Bits 9–6 Reserved

Bit 5 PSEOUT

このビットは、パルス出力(EVPLS端子)の状態を示します。

1 (R): HIGHレベル出力

0 (R): LOWレベル出力

Bit 4 CTLEN

このビットは、計測の状態を示します。

1 (R): 計測中

0 (R): 待機中

Bit 3 Reserved**Bits 2–0 PHASE[2:0]**

これらのビットは、現在のフェーズ番号を表示します。

計測動作中は正しい値が読み出せないことがあります。AMRCSTAT.PHASE[2:0]ビットを2回続けて読み出し、同じ結果が得られた場合に正しく読み出せたものと判断してください。

AMRC Interrupt Flag Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
AMRCINTF	15–13	–	0x0	–	R	–
	12	UCNTIF	0	H0	R/W	Cleared by writing 1.
	11	(reserved)	0	H0	R	–
	10	CNT2IF	0	H0	R/W	Cleared by writing 1.
	9	CNT1IF	0	H0	R/W	
	8	CNT0IF	0	H0	R/W	
	7	DIF1IF	0	H0	R/W	
	6	(reserved)	0	H0	R	
	5	DIF0IF	0	H0	R/W	Cleared by writing 1.
	4	(reserved)	0	H0	R	–
	3	RSKIPIF	0	H0	R/W	Cleared by writing 1.
	2	STPIF	0	H0	R/W	
	1	REVRIF	0	H0	R/W	
0	NMLRIF	0	H0	R/W		

Bits 15–13 Reserved

Bit 11 Reserved

Bit 6 Reserved

Bit 4 Reserved

Bit 12 UCNTIF

Bit 10 CNT2IF

Bit 9 CNT1IF

Bit 8 CNT0IF

Bit 7 DIF1IF

Bit 5 DIF0IF

Bit 3 RSKIPIF

Bit 2 STPIF

Bit 1 REVRIF

Bit 0 NMLRIF

これらのビットは、AMRC割り込み要因の発生状況を示します。

1 (R): 割り込み要因あり

0 (R): 割り込み要因なし

1 (W): フラグをクリア

0 (W): 無効

各ビットと割り込みの対応は以下のとおりです。

AMRCINTF.UCNTIFビット: 単位カウンタコンペアマッチ割り込み

AMRCINTF.CNT2IFビット: イベントカウンタCh.2アンダーフロー割り込み

AMRCINTF.CNT1IFビット: イベントカウンタCh.1アンダーフロー割り込み
 AMRCINTF.CNT0IFビット: イベントカウンタCh.0アンダーフロー割り込み
 AMRCINTF.DIF1IFビット: コンパレータCh.1変化割り込み
 AMRCINTF.DIF0IFビット: コンパレータCh.0変化割り込み
 AMRCINTF.RSKIPIFビット: フェーズ抜け割り込み
 AMRCINTF.STPIFビット: 静止割り込み
 AMRCINTF.REVRIFビット: 逆転割り込み
 AMRCINTF.NMLRIFビット: 正転割り込み

AMRC Interrupt Enable Register

Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
AMRCINTE	15-13	–	0x0	–	R	–
	12	UCNTIE	0	H0	R/W	
	11	(reserved)	0	H0	R/W	Always set to 0.
	10	CNT2IE	0	H0	R/W	–
	9	CNT1IE	0	H0	R/W	
	8	CNT0IE	0	H0	R/W	
	7	DIF1IE	0	H0	R/W	
	6	(reserved)	0	H0	R/W	Always set to 0.
	5	DIF0IE	0	H0	R/W	–
	4	(reserved)	0	H0	R/W	Always set to 0.
	3	RSKIPIE	0	H0	R/W	–
	2	STPIE	0	H0	R/W	
	1	REVRIE	0	H0	R/W	
	0	NMLRIE	0	H0	R/W	

Bits 15–13 Reserved

Bit 11 Reserved (常時0に設定してください。)

Bit 6 Reserved (常時0に設定してください。)

Bit 4 Reserved (常時0に設定してください。)

Bit 12 UCNTIE

Bit 10 CNT2IE

Bit 9 CNT1IE

Bit 8 CNT0IE

Bit 7 DIF1IE

Bit 5 DIF0IE

Bit 3 RSKIPIE

Bit 2 STPIE

Bit 1 REVRIE

Bit 0 NMLRIE

これらのビットは、AMRCの割り込みをイネーブルにします。

1 (R/W): 割り込みイネーブル

0 (R/W): 割り込みディスエーブル

各ビットと割り込みの対応は以下のとおりです。

AMRCINTE.UCNTIEビット: 単位カウンタコンペアマッチ割り込み

AMRCINTE.CNT2IEビット: イベントカウンタCh.2アンダーフロー割り込み

AMRCINTE.CNT1IEビット: イベントカウンタCh.1アンダーフロー割り込み

AMRCINTE.CNT0IEビット: イベントカウンタCh.0アンダーフロー割り込み

AMRCINTE.DIF1IEビット: コンパレータCh.1変化割り込み

AMRCINTE.DIF0IEビット: コンパレータCh.0変化割り込み

AMRCINTE.RSKIPIEビット: フェーズ抜け割り込み

AMRCINTE.STPIEビット: 静止割り込み

AMRCINTE.REVRIEビット: 逆転割り込み

AMRCINTE.NMLRIEビット: 正転割り込み

17 電気的特性

17.1 絶対最大定格

(V_{SS} = 0 V)

項目	記号	条件	定格値	単位	
電源電圧	V _{DD}		-0.3~7.0	V	
Flashプログラミング電圧	V _{PP}		-0.3~8.0	V	
液晶電源電圧	V _{C1}		-0.3~7.0	V	
	V _{C2}		-0.3~7.0	V	
	V _{C3}		-0.3~7.0	V	
入力電圧	V _I	P03-07, P14-17, P20, #RESET	-0.3~V _{DD} + 0.5	V	
		P00-02, P10-13, P21-27, P30-37, P40-47, P50-57, PD0-D1	-0.3~7.0	V	
出力電圧	V _O	P00-07, P10-17, P20-21, P32, P34-35, P56-57, PD0-D2	-0.3~V _{DD} + 0.5	V	
高レベル出力電流	I _{OH}	1端子	P00-07, P10-17, P20-21, P32, P34-35, P56-57, PD0-D2	-10	mA
		全端子合計		-20	mA
低レベル出力電流	I _{OL}	1端子	P00-07, P10-17, P20-21, P32, P34-35, P56-57, PD0-D2	10	mA
		全端子合計		20	mA
動作温度	T _a		-40~85	°C	
保存温度	T _{stg}		-65~125	°C	

17.2 推奨動作条件

項目	記号	条件	Min.	Typ.	Max.	単位	
電源電圧	V _{DD}	通常動作時, Flashプログラミング時	1.8	-	5.5	V	
		AMRC使用時	2.0	-	5.5	V	
Flashプログラミング電圧	V _{PP}		7.3	7.5	7.7	V	
液晶電源電圧	V _{C1}	外部印加時, V _{C1} ≤ V _{C2} ≤ V _{DD} ≤ V _{C3}	-	1.0	2.0	V	
			*1	-	2.0	4.0	V
			-	3.0	6.0	V	
OSC1発振回路発振周波数	f _{OSC1}	水晶振動子	-	32.768	-	kHz	
EXOSC外部クロック周波数	f _{EXOSC}	外部発振器から入力	0.016	-	16.3	MHz	
V _{SS} ~V _{DD} 間バイパスキャパシタ	CPW1		-	3.3	-	μF	
V _{SS} ~V _{D1} 間キャパシタ	CPW2		-	1.0	-	μF	
V _{SS} ~V _{C1} 間キャパシタ	CLCD1	*2	-	0.1	-	μF	
V _{SS} ~V _{C2} 間キャパシタ	CLCD2	*2	-	0.1	-	μF	
V _{SS} ~V _{C3} 間キャパシタ	CLCD3	*2	-	0.1	-	μF	
C _{P1} ~C _{P2} 間キャパシタ	CLCD4	*2	-	0.1	-	μF	
OSC1発振回路用ゲートキャパシタ	CG1	*3	0	-	25	pF	
OSC1発振回路用ドレインキャパシタ	CD1	*3	-	0	-	pF	
DSIO用プルアップ抵抗	R _{DBG}		-	10	-	kΩ	
#RESETパワーオンリセットキャパシタ	C _{RES}	*4	-	0.47	-	μF	
V _{SS} ~V _{PP} 間キャパシタ	CV _{PP}		-	0.1	-	μF	

*1 LCDドライバを使用する場合、V_{DD} ≥ 4.6 Vのときは|V_{C3} - V_{DD}| ≥ 0.4 Vになるように設定してください。

*2 LCDドライバを使用しない場合、V_{C1}~V_{C3}、およびC_{P1}~C_{P2}はオープンにすることが可能です。

*3 実際の基板上で振動子のマッチング評価を行い、最終的な値を決めてください。

*4 パワーオンリセットを使用しない場合、接続の必要はありません。

17.3 消費電流

特記なき場合: $V_{DD} = 1.8 \sim 5.5$ V, $V_{SS} = 0$ V, $T_a = 25$ °C, EXOSC = OFF, PWGVD1CTL.REGMODE[1:0]ビット = 0x0 (オートマッチックモード), FLASHCWAIT.RDWAIT[1:0]ビット = 0x0 (1サイクル)

項目	記号	条件	V_{DD}	T_a	Min.	Typ.	Max.	単位
SLEEPモード時 消費電流	ISLP	OSC1 = OFF, IOSC = OFF	3.6 V	25 °C	-	0.35	0.95	μ A
				85 °C	-	1.2	9	μ A
			5.5 V	25 °C	-	0.45	1.2	μ A
				85 °C	-	1.5	13	μ A
HALTモード時 消費電流	IHALT1	OSC1 = 32 kHz ^{*1} , IOSC = ON	-	-	-	200	250	μ A
	IHALT2	OSC1 = 32 kHz ^{*1} , IOSC = OFF	3.6 V	25 °C	-	0.8	1.5	μ A
				85 °C	-	0.9	1.75	μ A
			5.5 V	-	-	-	-	-
RUNモード時 消費電流	IRUN10	OSC1 = 32 kHz ^{*1} , IOSC = ON, SYSCLK = IOSC, Flash実行 ^{*2}	-	-	-	2,500	2,800	μ A
		OSC1 = 32 kHz ^{*1} , IOSC = ON, SYSCLK = IOSC/8, Flash実行 ^{*2}	-	-	-	500	550	μ A
	IRUN20	OSC1 = 32 kHz ^{*1} , IOSC = OFF, SYSCLK = OSC1, Flash実行 ^{*2}	-	-	-	12	14	μ A
		OSC1 = 32 kHz ^{*1} , IOSC = OFF, SYSCLK = OSC1, Flash実行 ^{*2} , PWGVD1CTL.REGMODE[1:0]ビット = 0x2 (ノーマルモード)	-	-	-	22	26	μ A
		OSC1 = 32 kHz ^{*1} , IOSC = OFF, SYSCLK = OSC1/2, Flash実行 ^{*2}	-	-	-	6	8	μ A
	IRUN11	OSC1 = 32 kHz ^{*1} , IOSC = ON, SYSCLK = IOSC, RAM実行 ^{*3}	-	-	-	1,500	1,800	μ A
IRUN21	OSC1 = 32 kHz ^{*1} , IOSC = OFF, SYSCLK = OSC1, RAM実行 ^{*3}	-	-	-	7	9	μ A	

*1 OSC1発振回路: CLGOSC1.INV1N[1:0]ビット = 0x0, CLGOSC1.CGI1[2:0]ビット = 0x0, CLGOSC1.OSDENビット = 0,

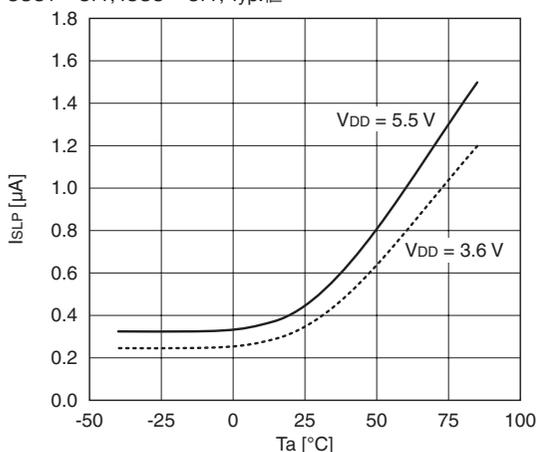
$C_{G1} = C_{D1} = 0$ pF, 水晶振動子 = C-002RX (エプソントヨコム(株)製, $R_1 = 50$ k Ω (Max.), $C_L = 7$ pF)

*2 “ALU命令60.5%, 分岐命令17%, RAMリード12%, RAMライト10.5%”のプログラムをFlashメモリからフェッチしながら連続動作させた値

*3 “ALU命令60.5%, 分岐命令17%, RAMリード12%, RAMライト10.5%”のプログラムをRAMからフェッチしながら連続動作させた値

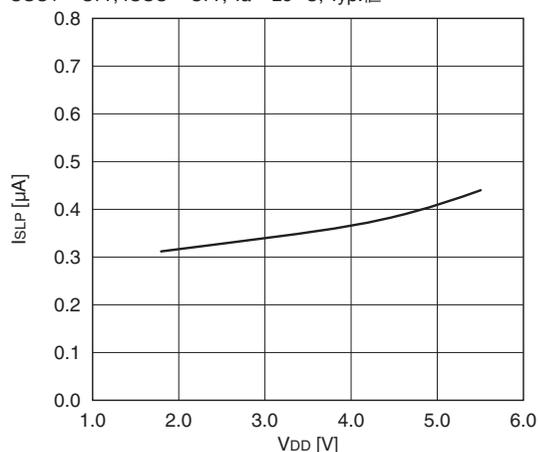
SLEEP時消費電流 温度特性

OSC1 = OFF, IOSC = OFF, Typ.値



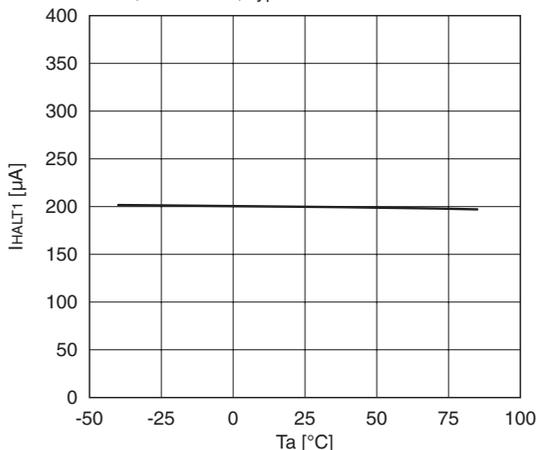
SLEEP時消費電流 電源電圧特性

OSC1 = OFF, IOSC = OFF, $T_a = 25$ °C, Typ.値



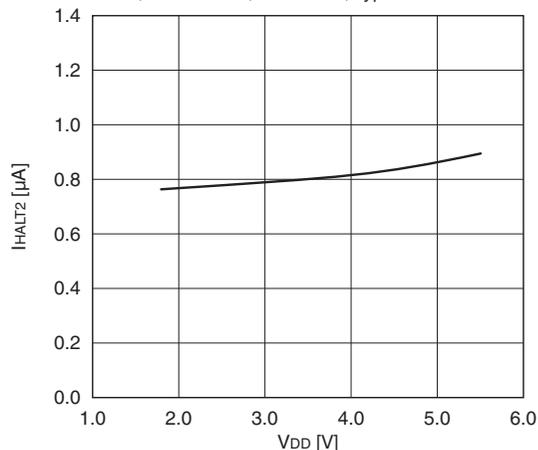
HALT時消費電流 温度特性 (IOSC動作時)

OSC1 = 32 kHz, IOSC = ON, Typ.値



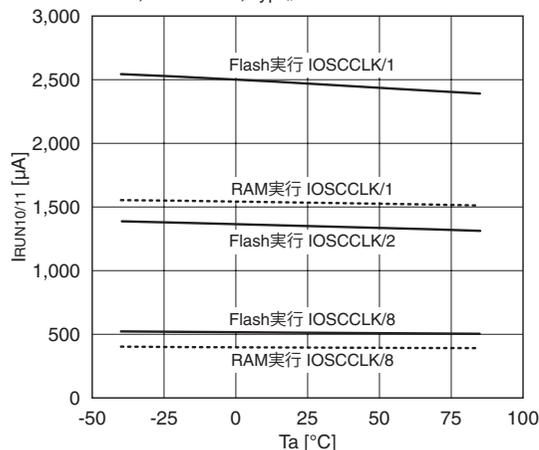
HALT時消費電流 電源電圧特性 (OSC1動作時)

OSC1 = 32 kHz, IOSC = OFF, $T_a = 25$ °C, Typ.値



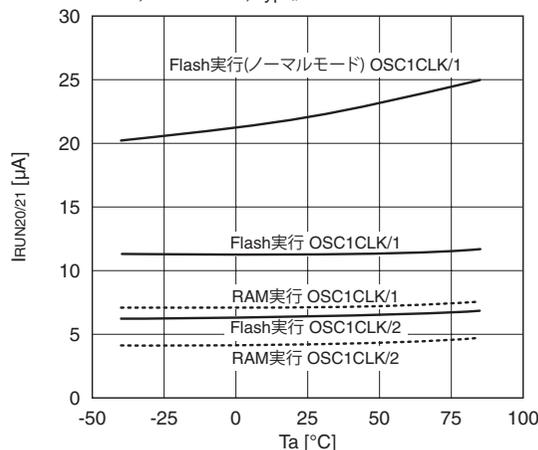
RUN時消費電流 温度特性(IOSC動作時)

OSC1 = 32 kHz, IOISC = ON, Typ.値



RUN時消費電流 温度特性(OSC1動作時)

OSC1 = 32 kHz, IOISC = OFF, Typ.値

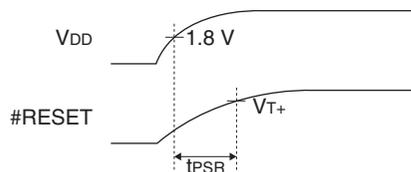
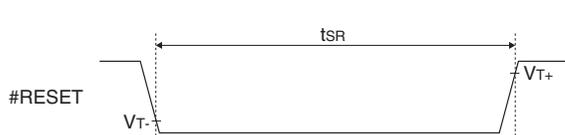


17.4 システムリセットコントローラ(SRC)特性

#RESET端子特性

特記なき場合: $V_{DD} = 1.8 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85 \text{ }^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
高レベルシュミット入力スレショルド電圧	V_{T+}		$0.5 \times V_{DD}$	-	$0.9 \times V_{DD}$	V
低レベルシュミット入力スレショルド電圧	V_{T-}		$0.1 \times V_{DD}$	-	$0.5 \times V_{DD}$	V
シュミット入力ヒステリシス電圧	ΔV_T		180	-	-	mV
入力プルアップ抵抗	R_{IN}		100	270	500	k Ω
端子容量	C_{IN}		-	-	15	pF
リセットLow/パルス幅	t_{SR}		2	-	-	μs
#RESETパワーオンリセット時間	t_{PSR}		1	-	-	ms



注: 電源OFF後に再度パワーオンリセットを行う場合は、#RESET端子を $0.1 \times V_{DD}$ 以下に落としてください。

リセット保持回路特性

特記なき場合: $V_{DD} = 1.8 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85 \text{ }^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
リセット保持時間*1	t_{RSTR}		-	-	150	μs

*1 リセット要求解除後、内部リセット信号が解除されるまでの時間

17.5 クロックジェネレータ(CLG)特性

振動子を含む発振回路の特性は諸条件(基板パターン、使用部品など)により変化します。これらの特性値は参考とし、実際の基板上でマッチング評価を行ってください。

IOISC発振回路特性

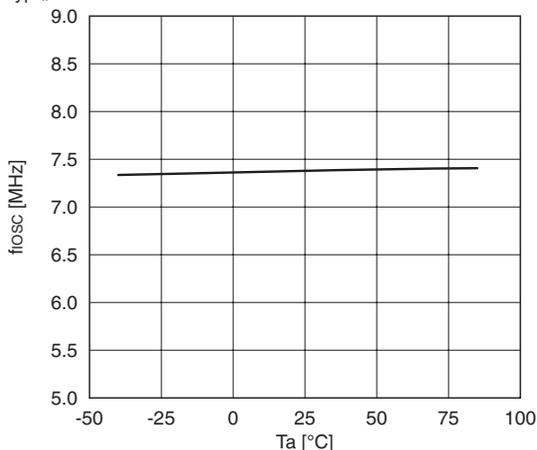
特記なき場合: $V_{DD} = 1.8 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85 \text{ }^\circ\text{C}$

項目	記号	条件	T_a	Min.	Typ.	Max.	単位
発振開始時間	t_{stal}			-	-	3	μs
発振周波数	f_{osc}		25 $^\circ\text{C}$	7.23	7.37	7.52	MHz
			-40 \sim 85 $^\circ\text{C}$	7.00	7.37	7.74	MHz

17 電気的特性

IOSC発振周波数 温度特性

Typ.値



OSC1発振回路特性

特記なき場合: VDD = 1.8~5.5 V, VSS = 0 V, Ta = 25 °C

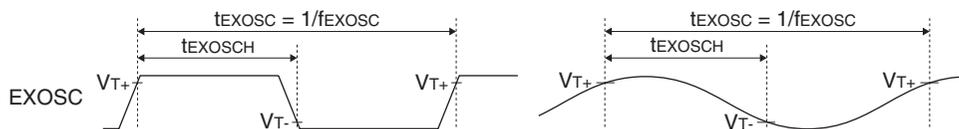
項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間 *1	tsta1	CLGOSC1.OSC1BUPビット = 0	-	-	3	s
内蔵ゲート容量	CGI1	CLGOSC1.CGI1[2:0]ビット = 0x0	-	12	-	pF
		CLGOSC1.CGI1[2:0]ビット = 0x1	-	14	-	pF
		CLGOSC1.CGI1[2:0]ビット = 0x2	-	16	-	pF
		CLGOSC1.CGI1[2:0]ビット = 0x3	-	18	-	pF
		CLGOSC1.CGI1[2:0]ビット = 0x4	-	19	-	pF
		CLGOSC1.CGI1[2:0]ビット = 0x5	-	21	-	pF
		CLGOSC1.CGI1[2:0]ビット = 0x6	-	23	-	pF
内蔵ドレイン容量	CDI1		-	8	-	pF
			-	8	-	pF
発振回路電流 発振インパクタ能力比 *1	IOSC1R	CLGOSC1.INV1N/INV1B[1:0]ビット = 0x0	-	70	-	%
		CLGOSC1.INV1N/INV1B[1:0]ビット = 0x1(基準)	-	100	-	%
		CLGOSC1.INV1N/INV1B[1:0]ビット = 0x2	-	130	-	%
		CLGOSC1.INV1N/INV1B[1:0]ビット = 0x3	-	300	-	%
発振停止検出回路電流	Iosd1	CLGOSC1.OSDENビット = 1	-	0.025	0.1	μA

*1 水晶振動子 = C-002RX (エプソントヨコム(株)製, R1 = 50 kΩ (Max.), CL = 7 pF)

EXOSC外部クロック入力特性

特記なき場合: VDD = 1.8~5.5 V, VSS = 0 V, Ta = -40~85 °C

項目	記号	条件	Min.	Typ.	Max.	単位
EXOSC外部クロックデューティ	texoscd	texoscd = texosch/texosc	46	-	54	%
高レベルシュミット入力スレシヨルド電圧	VT+		0.5 × VDD	-	0.9 × VDD	V
低レベルシュミット入力スレシヨルド電圧	VT-		0.1 × VDD	-	0.5 × VDD	V
シュミット入力ヒステリシス電圧	ΔVT		180	-	-	mV



17.6 Flashメモリ特性

特記なき場合: VDD = 1.8~5.5 V, VSS = 0 V, Ta = -40~85 °C

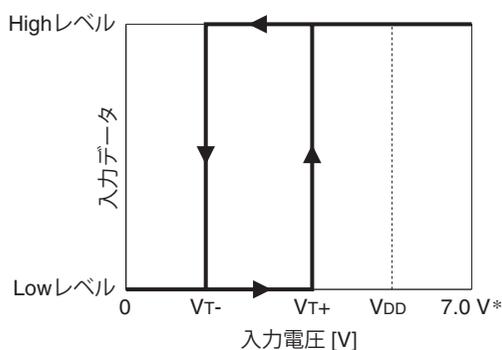
項目	記号	条件	Min.	Typ.	Max.	単位
書き換え回数 *1	CFEP	データ保持10年保証時	50	-	-	回

*1 消去 + 書き込みを1回とする。ROMデータプログラミング出荷の場合、工場での書き込みも回数に含む。

17.7 入出力ポート(PPORT)特性

特記なき場合: $V_{DD} = 1.8 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85 \text{ }^\circ\text{C}$

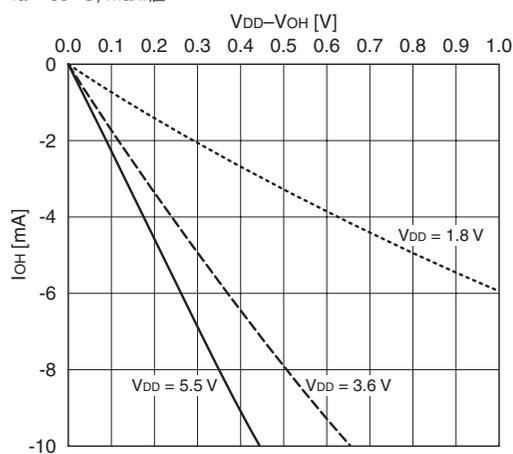
項目	記号	条件	Min.	Typ.	Max.	単位
高レベルシュミット入力スレシヨルド電圧	V_{T+}	P00-07, P10-17, P20-21, P30-31, P33, P35-36, P56-57, PD0-D1	$0.5 \times V_{DD}$	-	$0.9 \times V_{DD}$	V
低レベルシュミット入力スレシヨルド電圧	V_{T-}	P00-07, P10-17, P20-21, P30-31, P33, P35-36, P56-57, PD0-D1	$0.1 \times V_{DD}$	-	$0.5 \times V_{DD}$	V
シュミット入力ヒステリシス電圧	ΔV_T	P00-07, P10-17, P20-21, P30-31, P33, P35-36, P56-57, PD0-D1	180	-	-	mV
高レベル出力電流	I_{OH}	P00-07, P10-17, P20-21, P32, P34-35, P56-57, PD0-D2, $V_{OH} = 0.9 \times V_{DD}$	-	-	-0.5	mA
低レベル出力電流	I_{OL}	P00-07, P10-17, P20-21, P32, P34-35, P56-57, PD0-D2, $V_{OL} = 0.1 \times V_{DD}$	0.5	-	-	mA
リーク電流	I_{LEAK}	P00-07, P10-17, P20-27, P30-37, P40-47, P50-57, PD0-D1	-150	-	150	nA
入力プルアップ抵抗	R_{INU}	P00-07, P10, P12-17, P20-21, P33, P35-36, P56-57, PD0-D1	75	150	300	k Ω
入力プルダウン抵抗	R_{IND}	P00-07, P12, P14-17, P20-21, P35, P56-57, PD0-D1	75	150	300	k Ω
端子容量	C_{IN}	P00-07, P10-17, P20-27, P30-37, P40-47, P50-57, PD0-D2	-	-	15	pF



(* トレラント・フェイルセーフ対応ポートの場合)

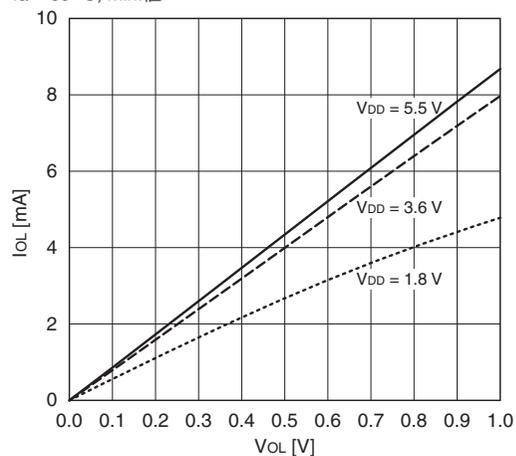
高レベル出力電流特性

$T_a = 85 \text{ }^\circ\text{C}$, Max.値



低レベル出力電流特性

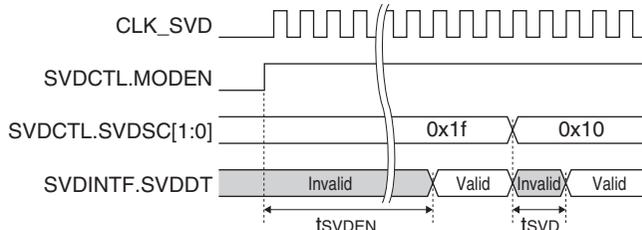
$T_a = 85 \text{ }^\circ\text{C}$, Min.値



17.8 電源電圧検出回路(SVD)特性

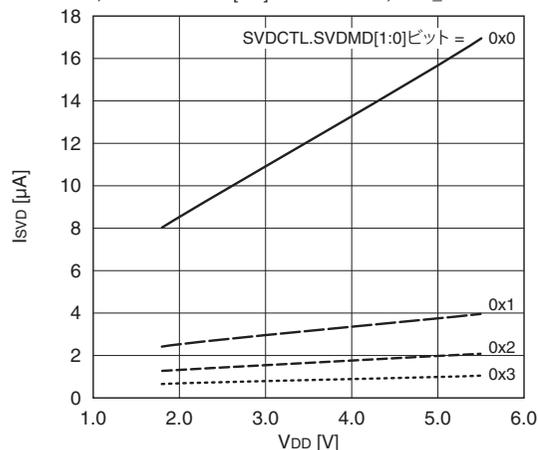
特記なき場合: $V_{DD} = 1.8 \sim 5.5$ V, $V_{SS} = 0$ V, $T_a = -40 \sim 85$ °C

項目	記号	条件	Min.	Typ.	Max.	単位
EXSVD端子入力電圧範囲	V_{EXSVD}		0	-	V_{DD}	V
EXSVD入力インピーダンス	R_{EXSVD}	SVDCTL.SVDC[4:0]ビット = 0x0c	309	442	575	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x0d	327	467	607	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x0e	344	492	640	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x0f	362	517	672	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x10	379	542	705	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x11	397	567	737	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x12	414	592	770	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x13	432	617	802	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x14	449	642	835	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x15	467	667	867	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x16	484	692	900	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x17	502	717	932	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x18	519	742	965	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x19	537	767	997	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x1a	554	792	1,030	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x1b	572	817	1,062	k Ω
		SVDCTL.SVDC[4:0]ビット = 0x1c	589	842	1,095	k Ω
SVDCTL.SVDC[4:0]ビット = 0x1d	607	867	1,127	k Ω		
SVDCTL.SVDC[4:0]ビット = 0x1e	624	892	1,160	k Ω		
SVDCTL.SVDC[4:0]ビット = 0x1f	642	917	1,192	k Ω		
SVD検出電圧	V_{SVD}	SVDCTL.SVDC[4:0]ビット = 0x0c	1.76	1.80	1.85	V
		SVDCTL.SVDC[4:0]ビット = 0x0d	1.85	1.90	1.95	V
		SVDCTL.SVDC[4:0]ビット = 0x0e	1.95	2.00	2.05	V
		SVDCTL.SVDC[4:0]ビット = 0x0f	2.05	2.10	2.15	V
		SVDCTL.SVDC[4:0]ビット = 0x10	2.15	2.20	2.26	V
		SVDCTL.SVDC[4:0]ビット = 0x11	2.24	2.30	2.36	V
		SVDCTL.SVDC[4:0]ビット = 0x12	2.34	2.40	2.46	V
		SVDCTL.SVDC[4:0]ビット = 0x13	2.44	2.50	2.56	V
		SVDCTL.SVDC[4:0]ビット = 0x14	2.54	2.60	2.67	V
		SVDCTL.SVDC[4:0]ビット = 0x15	2.63	2.70	2.77	V
		SVDCTL.SVDC[4:0]ビット = 0x16	2.73	2.80	2.87	V
		SVDCTL.SVDC[4:0]ビット = 0x17	2.83	2.90	2.97	V
		SVDCTL.SVDC[4:0]ビット = 0x18	2.93	3.00	3.08	V
		SVDCTL.SVDC[4:0]ビット = 0x19	3.02	3.10	3.18	V
		SVDCTL.SVDC[4:0]ビット = 0x1a	3.12	3.20	3.28	V
		SVDCTL.SVDC[4:0]ビット = 0x1b	3.22	3.30	3.38	V
		SVDCTL.SVDC[4:0]ビット = 0x1c	3.32	3.40	3.49	V
SVDCTL.SVDC[4:0]ビット = 0x1d	3.41	3.50	3.59	V		
SVDCTL.SVDC[4:0]ビット = 0x1e	3.51	3.60	3.69	V		
SVDCTL.SVDC[4:0]ビット = 0x1f	3.61	3.70	3.79	V		
SVD回路イネーブル時 応答時間	t_{SVDEN}	*1	-	-	500	μ s
SVD回路応答時間	t_{SVD}		-	-	60	μ s
SVD回路電流	I_{SVD}	SVDCTL.SVDM[1:0]ビット = 0x0, SVDCTL.SVDC[4:0]ビット = 0x0c, CLK_SVD = 32 kHz, $T_a = 25$ °C	-	17	30	μ A
		SVDCTL.SVDM[1:0]ビット = 0x1, SVDCTL.SVDC[4:0]ビット = 0x0c, CLK_SVD = 32 kHz, $T_a = 25$ °C	-	4	6	μ A
		SVDCTL.SVDM[1:0]ビット = 0x2, SVDCTL.SVDC[4:0]ビット = 0x0c, CLK_SVD = 32 kHz, $T_a = 25$ °C	-	2	4	μ A
		SVDCTL.SVDM[1:0]ビット = 0x3, SVDCTL.SVDC[4:0]ビット = 0x0c, CLK_SVD = 32 kHz, $T_a = 25$ °C	-	1	3	μ A

*1 CLK_SVD = 32 kHz近辺に設定されている場合、 t_{SVDEN} の時間はマスクされ、SVDINTF.SVDDTビットの値は前の値を保持します。

SVD回路電流 電源電圧特性

Ta = 25 °C, SVDCTL.SVDC[4:0]ビット = 0x0c, CLK_SVD = 32 kHz, Typ.値



17.9 UART(UART)特性

特記なき場合: V_{DD} = 1.8~5.5 V, V_{SS} = 0 V, Ta = -40~85 °C

項目	記号	条件	Min.	Typ.	Max.	単位
送受信ボーレート	UBRT1	通常動作時	150	-	460,800	bps
	UBRT2	IrDA使用時	150	-	115,200	bps

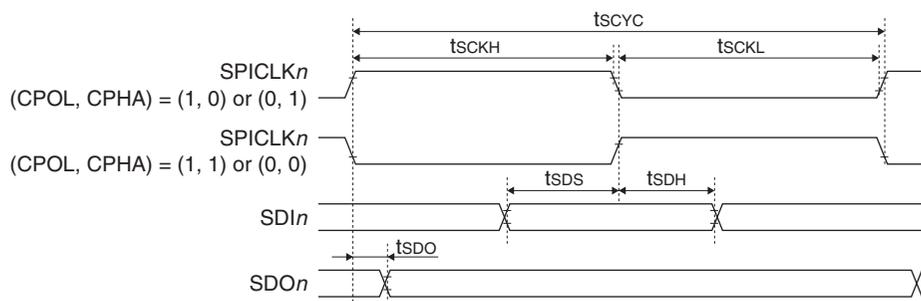
17.10 同期式シリアルインタフェース(SPIA)特性

特記なき場合: V_{DD} = 1.8~5.5 V, V_{SS} = 0 V, Ta = -40~85 °C

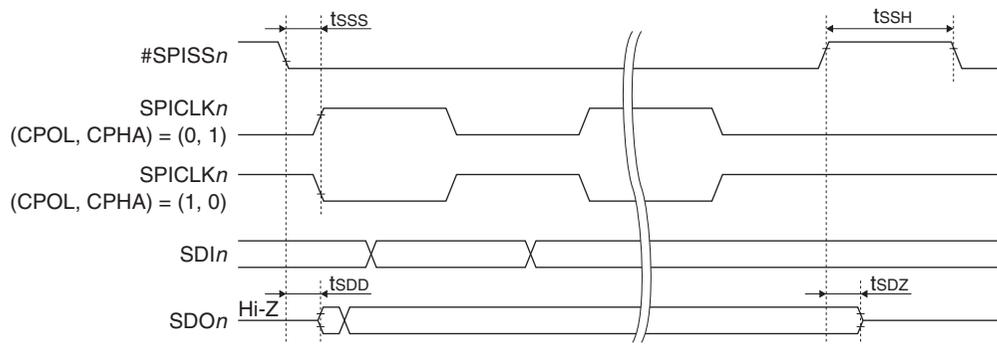
項目	記号	条件	Min.	Typ.	Max.	単位
SPICLK _n サイクル時間	t _{SCYC}		500	-	-	ns
SPICLK _n High/パルス幅	t _{SCKH}		200	-	-	ns
SPICLK _n Low/パルス幅	t _{SCKL}		200	-	-	ns
SDInセットアップ時間	t _{SDS}		70	-	-	ns
SDInホールド時間	t _{SDH}		10	-	-	ns
SDOn出力遅延時間	t _{SDO}	CL = 30 pF *1	-	-	100	ns
#SPISS _n セットアップ時間	t _{SSS}		70	-	-	ns
#SPISS _n High/パルス幅	t _{SSH}		80	-	-	ns
SDOn出力開始時間	t _{SDD}	CL = 30 pF *1	-	-	100	ns
SDOn出力停止時間	t _{SDZ}	CL = 30 pF *1	-	-	80	ns

*1 CL = 端子負荷

マスタ/スレーブモード共通



スレーブモード

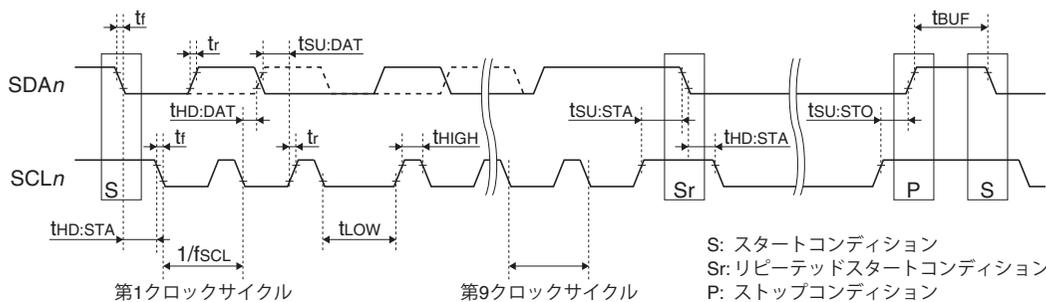


17.11 I²C(I2C)特性

特記なき場合: V_{DD} = 1.8~5.5 V, V_{SS} = 0 V, Ta = -40~85 °C

項目	記号	条件	標準モード			ファースト・モード			単位
			Min.	Typ.	Max.	Min.	Typ.	Max.	
SCL _n 周波数	f _{SCL}		0	-	100	0	-	400	kHz
ホールド時間(リピーテッドスタートコンディション)*	t _{HD:STA}		4.0	-	-	0.6	-	-	μs
SCL _n Lowパルス幅	t _{LOW}		4.7	-	-	1.3	-	-	μs
SCL _n Highパルス幅	t _{HIGH}		4.0	-	-	0.6	-	-	μs
リピーテッドスタートコンディションセットアップ時間	t _{SU:STA}		4.7	-	-	0.6	-	-	μs
データホールド時間	t _{HD:DAT}		0	-	-	0	-	-	μs
データセットアップ時間	t _{SU:DAT}		250	-	-	100	-	-	ns
SDA _n , SCL _n 立ち上がり時間	t _r		-	-	1,000	-	-	300	ns
SDA _n , SCL _n 立ち下がり時間	t _f		-	-	300	-	-	300	ns
ストップコンディションセットアップ時間	t _{SU:STO}		4.0	-	-	0.6	-	-	μs
バスフリー時間	t _{BUF}		4.7	-	-	1.3	-	-	μs

* この期間の後、最初のクロックパルスを生成



S: スタートコンディション
 Sr: リピーテッドスタートコンディション
 P: ストップコンディション

17.12 LCDドライバ(LCD8A)特性

LCDドライバは、パネル負荷(パネルの大きさ、駆動デューティ、表示点灯数、表示パターン)によって特性がシフトしますので、実際に使用するパネルを接続して評価してください。

特記なき場合: $V_{DD} = 1.8 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = 25 \text{ }^\circ\text{C}$, LCD8TIM.BSTC[1:0]ビット = 0x1(昇圧用クロック = 2 kHz), パネル負荷なし

項目	記号	条件	Min.	Typ.	Max.	単位	
LCD駆動電圧 (V_{C2} 基準選択時) $V_{DD} = 2.5 \sim 5.5 \text{ V}$	V_{C1}	$V_{SS} \sim V_{C1}$ 間に1 M Ω の負荷抵抗を接続	$0.32 \times V_{C3} (\text{Typ.})$	-	$0.35 \times V_{C3} (\text{Typ.})$	V	
	V_{C2}	$V_{SS} \sim V_{C2}$ 間に1 M Ω の負荷抵抗を接続	$0.66 \times V_{C3} (\text{Typ.})$	-	$0.69 \times V_{C3} (\text{Typ.})$	V	
	V_{C3}	$V_{SS} \sim V_{C3}$ 間に1 M Ω の負荷抵抗を接続	LCD8PWR.LC[3:0]ビット = 0x0	2.47	2.55	2.63	V
			LCD8PWR.LC[3:0]ビット = 0x1	2.53	2.61	2.69	V
			LCD8PWR.LC[3:0]ビット = 0x2	2.59	2.67	2.75	V
			LCD8PWR.LC[3:0]ビット = 0x3	2.65	2.73	2.81	V
			LCD8PWR.LC[3:0]ビット = 0x4	2.71	2.79	2.87	V
			LCD8PWR.LC[3:0]ビット = 0x5	2.75	2.84	2.93	V
			LCD8PWR.LC[3:0]ビット = 0x6	2.81	2.90	2.99	V
			LCD8PWR.LC[3:0]ビット = 0x7	2.87	2.96	3.05	V
			LCD8PWR.LC[3:0]ビット = 0x8	2.93	3.02	3.11	V
			LCD8PWR.LC[3:0]ビット = 0x9	2.99	3.08	3.17	V
			LCD8PWR.LC[3:0]ビット = 0xa	3.05	3.14	3.23	V
			LCD8PWR.LC[3:0]ビット = 0xb	3.10	3.20	3.30	V
LCD8PWR.LC[3:0]ビット = 0xc	3.16	3.26	3.36	V			
LCD8PWR.LC[3:0]ビット = 0xd	3.22	3.32	3.42	V			
LCD8PWR.LC[3:0]ビット = 0xe	3.28	3.38	3.48	V			
LCD8PWR.LC[3:0]ビット = 0xf	3.34	3.44	3.54	V			
LCD駆動電圧 (V_{C1} 基準選択時) $V_{DD} = 1.8 \sim 5.5 \text{ V}$	V_{C1}	$V_{SS} \sim V_{C1}$ 間に1 M Ω の負荷抵抗を接続	$0.33 \times V_{C3} (\text{Typ.})$	-	$0.36 \times V_{C3} (\text{Typ.})$	V	
	V_{C2}	$V_{SS} \sim V_{C2}$ 間に1 M Ω の負荷抵抗を接続	$0.66 \times V_{C3} (\text{Typ.})$	-	$0.69 \times V_{C3} (\text{Typ.})$	V	
	V_{C3}	$V_{SS} \sim V_{C3}$ 間に1 M Ω の負荷抵抗を接続	LCD8PWR.LC[3:0]ビット = 0x0	2.41	2.48	2.55	V
			LCD8PWR.LC[3:0]ビット = 0x1	2.46	2.54	2.62	V
			LCD8PWR.LC[3:0]ビット = 0x2	2.51	2.59	2.67	V
			LCD8PWR.LC[3:0]ビット = 0x3	2.57	2.65	2.73	V
			LCD8PWR.LC[3:0]ビット = 0x4	2.63	2.71	2.79	V
			LCD8PWR.LC[3:0]ビット = 0x5	2.68	2.76	2.84	V
			LCD8PWR.LC[3:0]ビット = 0x6	2.74	2.82	2.90	V
			LCD8PWR.LC[3:0]ビット = 0x7	2.79	2.88	2.97	V
			LCD8PWR.LC[3:0]ビット = 0x8	2.85	2.94	3.03	V
			LCD8PWR.LC[3:0]ビット = 0x9	2.90	2.99	3.08	V
			LCD8PWR.LC[3:0]ビット = 0xa	2.96	3.05	3.14	V
			LCD8PWR.LC[3:0]ビット = 0xb	3.02	3.11	3.20	V
LCD8PWR.LC[3:0]ビット = 0xc	3.07	3.17	3.27	V			
LCD8PWR.LC[3:0]ビット = 0xd	3.13	3.23	3.33	V			
LCD8PWR.LC[3:0]ビット = 0xe	3.18	3.28	3.38	V			
LCD8PWR.LC[3:0]ビット = 0xf	3.24	3.34	3.44	V			
セグメント、コモン出力電流	ISEGH	SEG0-31, COM0-7 $V_{SEGH} = V_{C3}/V_{C2}/V_{C1} - 0.1 \text{ V}$, $T_a = -40 \sim 85 \text{ }^\circ\text{C}$	-	-	-10	μA	
	ISEGL	SEG0-31, COM0-7 $V_{SEGL} = V_{SS}/V_{C2}/V_{C1} + 0.1 \text{ V}$, $T_a = -40 \sim 85 \text{ }^\circ\text{C}$	10	-	-	μA	
LCD回路電流 (V_{C2} 基準選択時)	ILCD2	LCD8DSP.DSPC[1:0]ビット = 0x1(市松), LCD8PWR.VCSELビット = 1 ^{*1} *2	-	1.8	5	μA	
		LCD8DSP.DSPC[1:0]ビット = 0x2(全点灯), LCD8PWR.VCSELビット = 1 ^{*1} *2	-	0.5	3.5	μA	
LCD回路電流 (V_{C1} 基準選択時)	ILCD1	LCD8DSP.DSPC[1:0]ビット = 0x1(市松), LCD8PWR.VCSELビット = 0 ^{*1} *2	-	3.6	9	μA	
		LCD8DSP.DSPC[1:0]ビット = 0x2(全点灯), LCD8PWR.VCSELビット = 0 ^{*1} *2	-	0.8	6	μA	
重負荷保護時LCD回路電流 (V_{C2} 基準選択時)	ILCD2H	LCD8DSP.DSPC[1:0]ビット = 0x2(全点灯), LCD8PWR.VCSELビット = 1, LCD8PWR.HVLDビット = 1 ^{*1} *2	-	10	20	μA	
重負荷保護時LCD回路電流 (V_{C1} 基準選択時)	ILCD1H	LCD8DSP.DSPC[1:0]ビット = 0x2(全点灯), LCD8PWR.VCSELビット = 0, LCD8PWR.HVLDビット = 1 ^{*1} *2	-	5	15	μA	

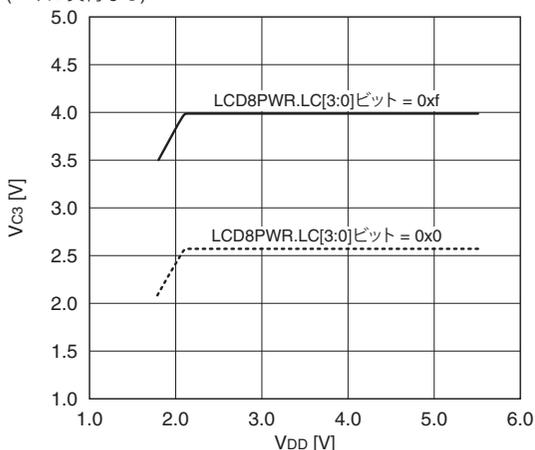
*1 その他のLCDドライバ設定: LCD8PWR.LC[3:0]ビット = 0xf, CLK_LCD8A = 32 kHz, LCD8TIM.FRMCNT[3:0]ビット = 0x3(フレーム周波数 = 64 Hz)

*2 HALTモード/RUNモード時消費電流に加算されます。表示パターン、パネル負荷により消費電流は増加します。

17 電気的特性

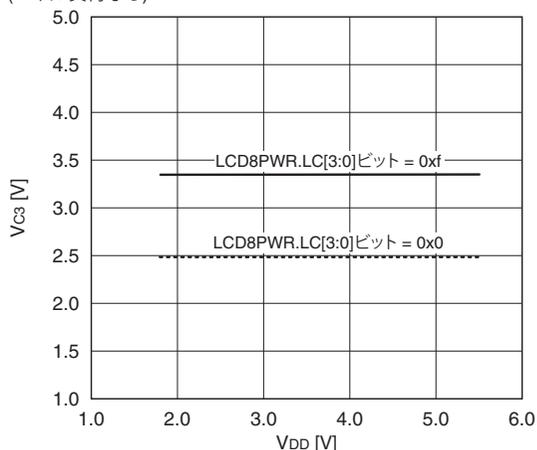
LCD駆動電圧 電源電圧特性(V_{C2} 基準)

$T_a = 25^\circ\text{C}$, Typ.値, $V_{SS} \sim V_{C3}$ 間に1 M Ω の負荷抵抗を接続 (パネル負荷なし)



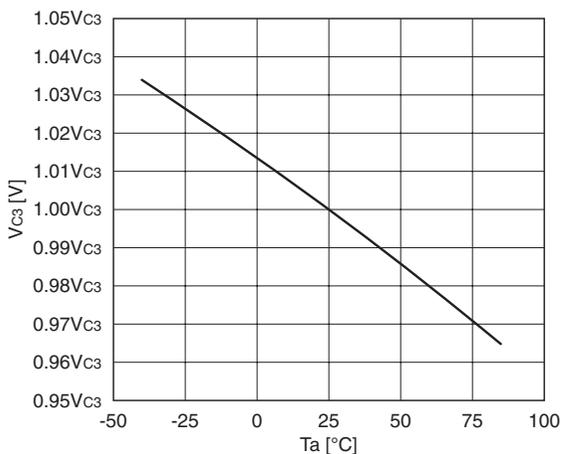
LCD駆動電圧 電源電圧特性(V_{C1} 基準)

$T_a = 25^\circ\text{C}$, Typ.値, $V_{SS} \sim V_{C3}$ 間に1 M Ω の負荷抵抗を接続 (パネル負荷なし)



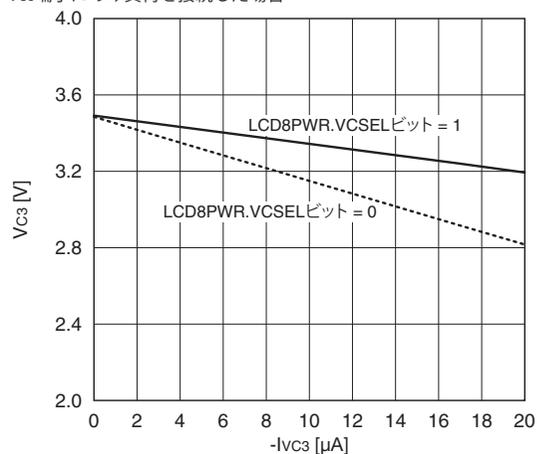
LCD駆動電圧 温度特性(V_{C1}/V_{C2} 基準)

Typ.値, V_{C3} 端子にのみ負荷を接続した場合



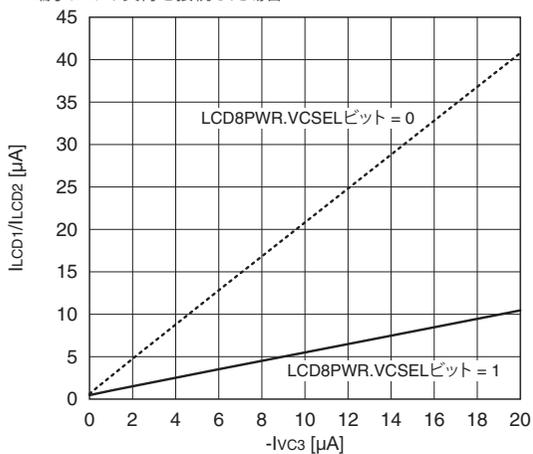
LCD駆動電圧 負荷特性

$T_a = 25^\circ\text{C}$, Typ.値, LCD8PWR.LC[3:0]ビット = 0xf, V_{C3} 端子にのみ負荷を接続した場合



LCD回路電流 負荷特性

$T_a = 25^\circ\text{C}$, Typ.値, LCD8PWR.LC[3:0]ビット = 0xf, V_{C3} 端子にのみ負荷を接続した場合



17.13 R/F変換器(RFC)特性

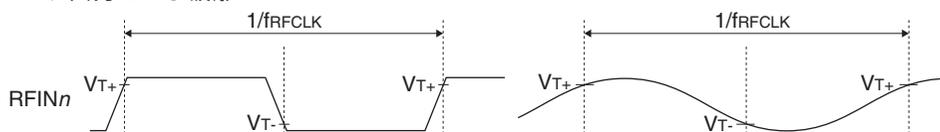
R/F変換器特性は諸条件(基板パターン、使用部品など)により変化します。これらの特性値は参考とし、実際の基板上で評価を行ってください。

特記なき場合: $V_{DD} = 1.8 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85 \text{ }^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
基準/センサ発振周波数	f_{RFCLK}		1	-	4,000	kHz
基準/センサ発振周波数IC偏差	$\Delta f_{RFCLK}/\Delta IC$	$T_a = 25 \text{ }^\circ\text{C}$ *1	$V_{DD} = 1.8 \text{ V}$ -30 $V_{DD} = 5.5 \text{ V}$ -40	-	30 40	%
基準抵抗/抵抗性センサ抵抗値	R_{REF}, R_{SEN}		10	-	-	k Ω
基準容量	C_{REF}		100	-	-	pF
タイムベースカウンタクロック周波数	f_{TCCLK}		-	-	8.2	MHz
高レベルシュミット入力スレショルド電圧	V_{T+}		$0.5 \times V_{DD}$	-	$0.9 \times V_{DD}$	V
低レベルシュミット入力スレショルド電圧	V_{T-}		$0.1 \times V_{DD}$	-	$0.5 \times V_{DD}$	V
シュミット入力ヒステリシス電圧	ΔV_T		180	-	-	mV
R/F変換器動作電流	I_{RFC}	$C_{REF} = 1000 \text{ pF}$, $R_{REF}/R_{SEN} = 100 \text{ k}\Omega$, $T_a = 25 \text{ }^\circ\text{C}$	-	0.9	1.5	mA
		DC発振モード	-	2	3.5	mA
		AC発振モード	-	-	-	-

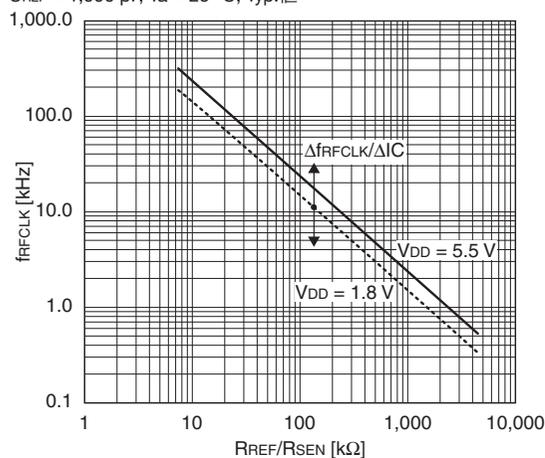
*1 IC製造、計測基板、抵抗、容量のばらつきを含む

外部クロック入力モード波形



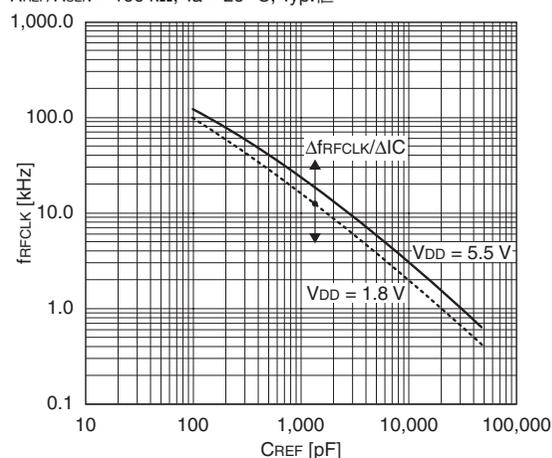
RFC基準/センサ発振周波数 抵抗特性

$C_{REF} = 1,000 \text{ pF}$, $T_a = 25 \text{ }^\circ\text{C}$, Typ.値



RFC基準/センサ発振周波数 容量特性

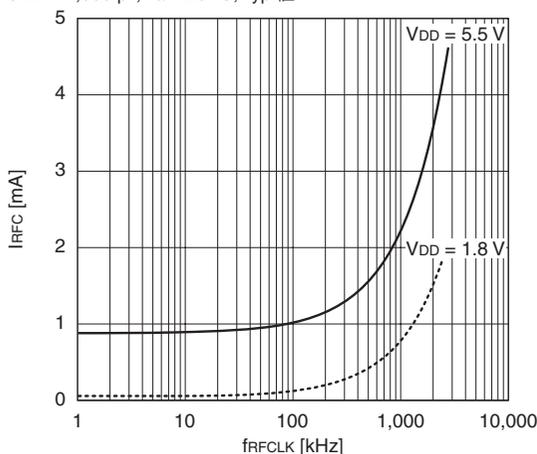
$R_{REF}/R_{SEN} = 100 \text{ k}\Omega$, $T_a = 25 \text{ }^\circ\text{C}$, Typ.値



17 電気的特性

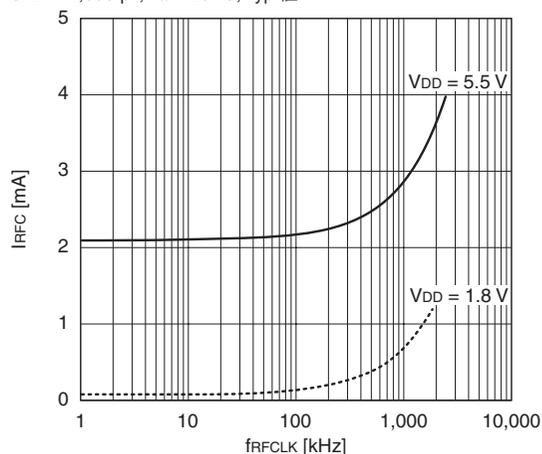
RFC基準/センサ発振消費電流 周波数特性 (DC発振モード)

$C_{REF} = 1,000 \text{ pF}$, $T_a = 25 \text{ }^\circ\text{C}$, Typ.値



RFC基準/センサ発振消費電流 周波数特性 (AC発振モード)

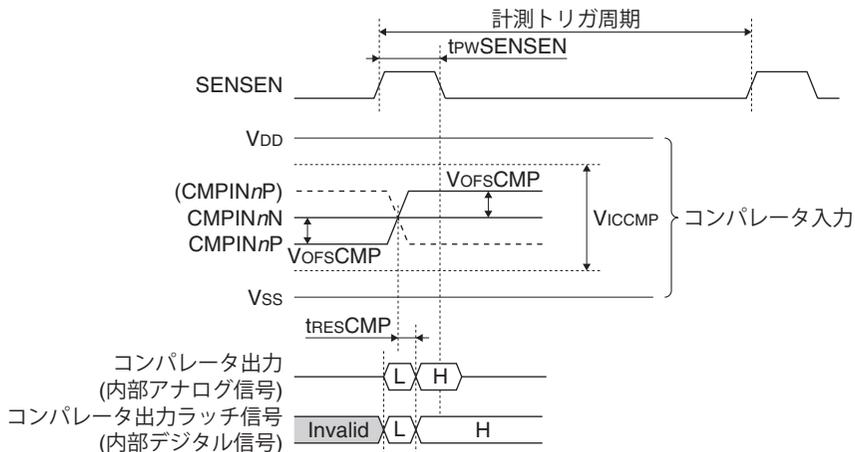
$C_{REF} = 1,000 \text{ pF}$, $T_a = 25 \text{ }^\circ\text{C}$, Typ.値



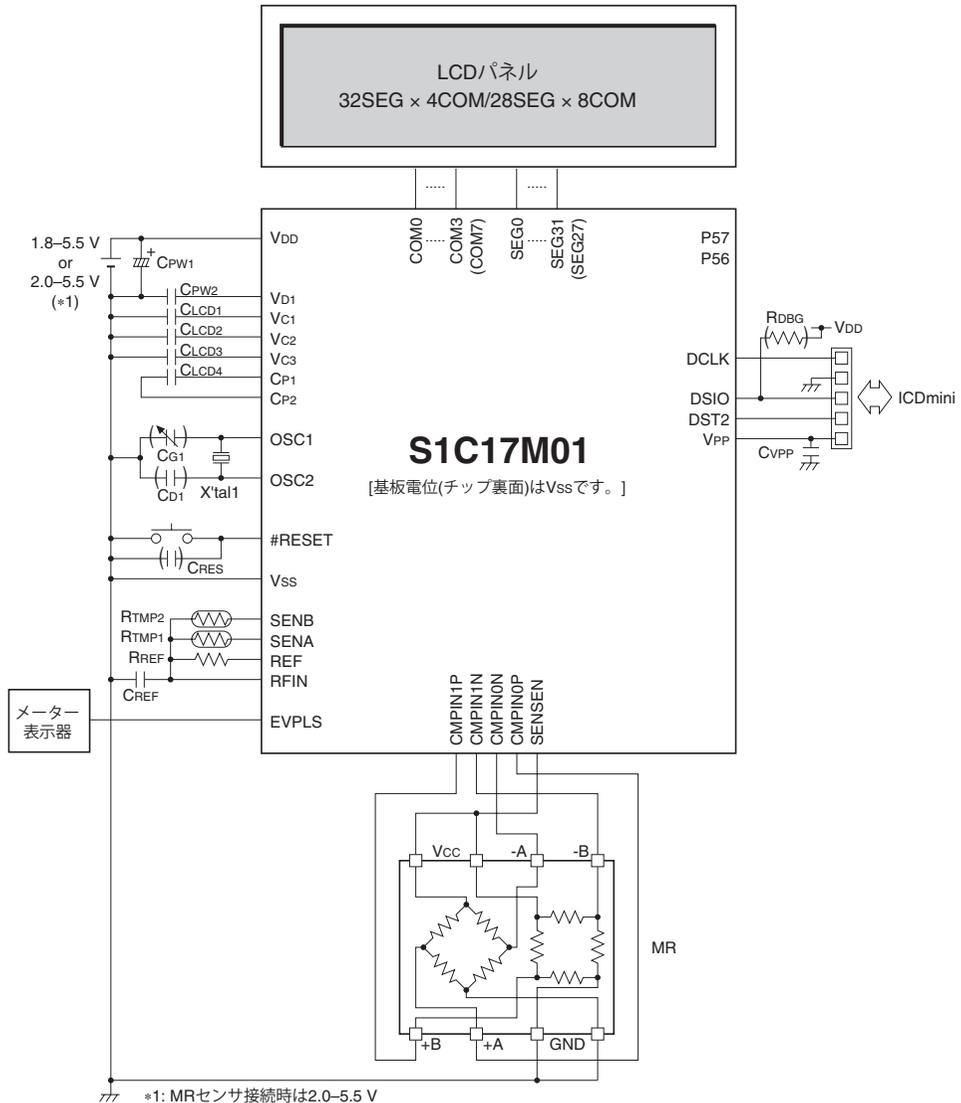
17.14 MRセンサコントローラ (AMRC) 特性

特記なき場合: $V_{DD} = 2.0 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$, $T_a = -40 \sim 85 \text{ }^\circ\text{C}$

項目	記号	条件	Min.	Typ.	Max.	単位
高レベル出力電流	I_{OH}	SENSEN, EVPLS, EXHYSn, $V_{OH} = 0.9 \times V_{DD}$	-	-	-0.5	mA
低レベル出力電流	I_{OL}	SENSEN, EVPLS, EXHYSn, $V_{OL} = 0.1 \times V_{DD}$	0.5	-	-	mA
リーク電流	I_{LEAK}	CMPINnP, CMPINnN	-150	-	150	nA
端子容量	C_{IN}	CMPINnP, CMPINnN	-	-	15	pF
コンパレータ入力電圧範囲	V_{ICMP}	CMPINnP, CMPINnN	0	-	$V_{DD} - 1.0$	V
コンパレータ入力オフセット電圧	V_{OFSCMP}	$T_a = 25 \text{ }^\circ\text{C}$	-	3	24	mV
コンパレータ入力ヒステリシス電圧	ΔV_{TCMP}	$T_a = 25 \text{ }^\circ\text{C}$	-	$1.25 \times 10^{-3} \times V_{DD}$	-	V
SENSENトリガパルス幅	$t_{PWSENSEN}$		5	-	-	μs
コンパレータ応答時間	$t_{RESCMPHL}$	コンパレータ出力H→L変化時	0.5	0.75	1	μs
	$t_{RESCMPH}$	コンパレータ出力L→H変化時	0.5	0.75	1	μs
MRセンサコントローラ回路電流	I_{AMRC}	$T_a = 25 \text{ }^\circ\text{C}$, $V_{DD} = 3.3 \text{ V}$, $R_{SENSEN} = 5 \text{ k}\Omega$, サンプリング周期 = 682.7 Hz, MRセンサ電流, I_{HALT2} , I_{LCD2} 電流を含む	-	6.5	-	μA



18 基本外部結線図



外付け部品例

シンボル	名称	推奨部品
X'tal1	32 kHz水晶振動子	エプソントヨコム(株)製 C-002RX (R1 = 50 kΩ (Max.), Cl = 7 pF)
CG1	OSC1用ゲートキャパシタ	トリマーコンデンサ or セラミックコンデンサ
CD1	OSC1用ドレインキャパシタ	セラミックコンデンサ
CPW1	VDD-Vss間バイパスキャパシタ	セラミックコンデンサ or 電解コンデンサ
CPW2	VD1安定化キャパシタ	セラミックコンデンサ
CLCD1-3	VC1-3安定化キャパシタ	セラミックコンデンサ
CLCD4	LCD用昇圧キャパシタ	セラミックコンデンサ
RDBG	DSIO用プルアップ抵抗	厚膜チップ抵抗
CRES	#RESET/パワーオンリセット キャパシタ	セラミックコンデンサ
MR	MRセンサ	浜松光電(株)製 KG1205-61
RREF	RFC用基準抵抗	厚膜チップ抵抗
RTMP1, 2	抵抗性センサ	SEMITEC(株)製温度センサ 103AP-2 神栄テクノロジー (株)製湿度センサ C15-M53R (* 抵抗性センサ測定用AC発振モード時)
CREF	RFC用基準容量	セラミックコンデンサ
CVPP	VSS~VPP間キャパシタ	セラミックコンデンサ

* 推奨部品の定数については、“電気的特性”の章の“推奨動作条件”を参照してください。

19 パッケージ

QFP13-64PIN (P-LQFP064-1010-0.50)

(単位: mm)

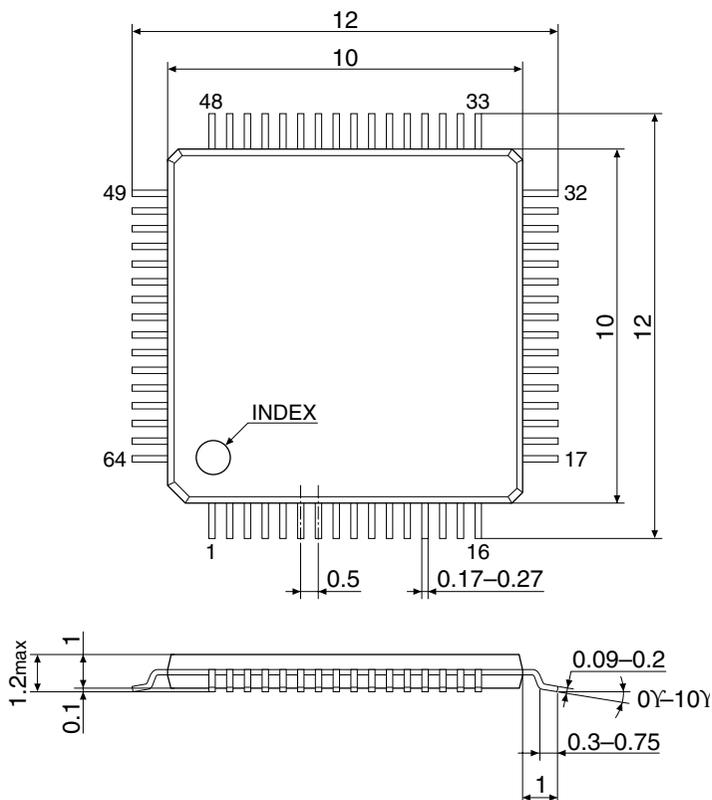


図19.1 TQFP13-64PIN/パッケージ寸法

Appendix A 周辺回路制御レジスタ一覧

0x4000–0x4008

Misc Registers (MISC)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4000	MSCPROT (MISC System Protect Register)	15–0	PROT[15:0]	0x0000	H0	R/W	–
0x4002	MSCIRAMSZ (MISC IRAM Size Register)	15–9	–	0x00	–	R	Always set to 0.
		8	(reserved)	0	H0	R/WP	
		7	–	0	–	R	
		6–4	(reserved)	0x3	–	R	
		3	–	0	–	R	
0x4004	MSCTTBRL (MISC Vector Table Address Low Register)	15–8	TTBR[15:8]	0x80	H0	R/WP	–
		7–0	TTBR[7:0]	0x00	H0	R	
0x4006	MSCTTBRH (MISC Vector Table Address High Register)	15–8	–	0x00	–	R	–
		7–0	TTBR[23:16]	0x00	H0	R/WP	
0x4008	MSCPSR (MISC PSR Register)	15–8	–	0x00	–	R	–
		7–5	PSRIL[2:0]	0x0	H0	R	
		4	PSRIE	0	H0	R	
		3	PSRC	0	H0	R	
		2	PSRV	0	H0	R	
		1	PSRZ	0	H0	R	
		0	PSRN	0	H0	R	

0x4020

Power Generator (PWG)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4020	PWGVD1CTL (PWG V _{D1} Regulator Control Register)	15–8	–	0x00	–	R	–
		7–2	–	0x00	–	R	
		1–0	REGMODE[1:0]	0x0	H0	R/WP	

0x4040–0x404e

Clock Generator (CLG)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4040	CLGSCLK (CLG System Clock Control Register)	15	WUPMD	0	H0	R/WP	–
		14	–	0	–	R	
		13–12	WUPDIV[1:0]	0x0	H0	R/WP	
		11–10	–	0x0	–	R	
		9–8	WUPSRC[1:0]	0x0	H0	R/WP	
		7–6	–	0x0	–	R	
		5–4	CLKDIV[1:0]	0x0	H0	R/WP	
		3–2	–	0x0	–	R	
0x4042	CLGOSC (CLG Oscillation Control Register)	15–12	–	0x0	–	R	–
		11	EXOSCSLPC	1	H0	R/W	
		10	–	1	–	R	
		9	OSC1SLPC	1	H0	R/W	
		8	IOSCSLPC	1	H0	R/W	
		7–4	–	0x0	–	R	
		3	EXOSCEN	0	H0	R/W	
		2	–	0	–	R	
		1	OSC1EN	0	H0	R/W	
0	IOSCEN	1	H0	R/W			

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x4044	CLGIOSC (CLG IOSC Control Register)	15–8	–	0x00	–	R	–	
		7–5	–	0x0	–	R		
		4	IOSCSTM	0	H0	R/WP		
		3–0	–	0x0	–	R		
0x4046	CLGOSC1 (CLG OSC1 Control Register)	15	–	0	–	R	–	
		14	OSDRB	0	H0	R/WP		
		13	OSDEN	0	H0	R/WP		
		12	OSC1BUP	0	H0	R/WP		
		11	–	0	–	R		
		10–8	CGI1[2:0]	0x0	H0	R/WP		
		7–6	INV1B[1:0]	0x3	H0	R/WP		
		5–4	INV1N[1:0]	0x1	H0	R/WP		
		3–2	–	0x0	–	R		
1–0	OSC1WT[1:0]	0x2	H0	R/WP				
0x404a	CLGINTF (CLG Interrupt Flag Register)	15–8	–	0x00	–	R	–	
		7–6	–	0x0	–	R		
		5	OSC1STPIF	0	H0	R/W		Cleared by writing 1.
		4	IOSCTEDIF	0	H0	R/W		
		3–2	–	0x0	–	R		–
		1	OSC1STAIF	0	H0	R/W		
		0	IOSCSTAIF	0	H0	R/W		
0x404c	CLGINTE (CLG Interrupt Enable Register)	15–8	–	0x00	–	R	–	
		7–6	–	0x0	–	R		
		5	OSC1STPIE	0	H0	R/W		
		4	IOSCTEDIE	0	H0	R/W		
		3–2	–	0x0	–	R		
		1	OSC1STAIE	0	H0	R/W		
0	IOSCSTAIE	0	H0	R/W				
0x404e	CLGFOUT (CLG FOUT Control Register)	15–8	–	0x00	–	R	–	
		7	–	0	–	R		
		6–4	FOUTDIV[2:0]	0x0	H0	R/W		
		3–2	FOUTSRC[1:0]	0x0	H0	R/W		
		1	–	0	–	R		
		0	FOUTEN	0	H0	R/W		

0x4080–0x408e

Interrupt Controller (ITC)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4080	ITCLV0 (ITC Interrupt Level Setup Register 0)	15–11	–	0x00	–	R	–
		10–8	ILV1[2:0]	0x0	H0	R/W	Port interrupt (ILVPPORT)
		7–3	–	0x00	–	R	–
		2–0	ILV0[2:0]	0x0	H0	R/W	Supply voltage detector interrupt (ILVSVD)
0x4082	ITCLV1 (ITC Interrupt Level Setup Register 1)	15–11	–	0x00	–	R	–
		10–8	ILV3[2:0]	0x0	H0	R/W	Real-time clock interrupt (ILVRTCA_0)
		7–3	–	0x00	–	R	–
		2–0	ILV2[2:0]	0x0	H0	R/W	Clock generator interrupt (ILVCLG)
0x4084	ITCLV2 (ITC Interrupt Level Setup Register 2)	15–11	–	0x00	–	R	–
		10–8	ILV5[2:0]	0x0	H0	R/W	UART interrupt (ILVUART_0)
		7–3	–	0x00	–	R	–
		2–0	ILV4[2:0]	0x0	H0	R/W	16-bit timer Ch.0 interrupt (ILVT16_0)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4086	ITCLV3 (ITC Interrupt Level Setup Register 3)	15–11	–	0x00	–	R	–
		10–8	ILV7[2:0]	0x0	H0	R/W	Synchronous serial interface Ch.0 interrupt (ILVSPIA_0)
		7–3	–	0x00	–	R	–
		2–0	ILV6[2:0]	0x0	H0	R/W	16-bit timer Ch.1 interrupt (ILVT16_1)
0x4088	ITCLV4 (ITC Interrupt Level Setup Register 4)	15–11	–	0x00	–	R	–
		10–8	ILV9[2:0]	0x0	H0	R/W	16-bit timer Ch.2 interrupt (ILVT16_2)
		7–3	–	0x00	–	R	–
		2–0	ILV8[2:0]	0x0	H0	R/W	I ² C interrupt (ILVI2C_0)
0x408a	ITCLV5 (ITC Interrupt Level Setup Register 5)	15–11	–	0x00	–	R	–
		10–8	ILV11[2:0]	0x0	H0	R/W	16-bit timer Ch.4 interrupt (ILVT16_4)
		7–3	–	0x00	–	R	–
		2–0	ILV10[2:0]	0x0	H0	R/W	16-bit timer Ch.3 interrupt (ILVT16_3)
0x408c	ITCLV6 (ITC Interrupt Level Setup Register 6)	15–11	–	0x00	–	R	–
		10–8	ILV13[2:0]	0x0	H0	R/W	LCD driver interrupt (ILVLCD8A)
		7–3	–	0x00	–	R	–
		2–0	ILV12[2:0]	0x0	H0	R/W	Synchronous serial interface Ch.1 interrupt (ILVSPIA_1)
0x408e	ITCLV7 (ITC Interrupt Level Setup Register 7)	15–11	–	0x00	–	R	–
		10–8	ILV15[2:0]	0x0	H0	R/W	MR sensor controller interrupt (ILVAMRC)
		7–3	–	0x00	–	R	–
		2–0	ILV14[2:0]	0x0	H0	R/W	R/F converter interrupt (ILVRFC_0)

0x40a0–0x40a2**Watchdog Timer (WDT)**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x40a0	WDTCLK (WDT Clock Control Register)	15–9	–	0x00	–	R	–	
		8	DBRUN	0	H0	R/WP		
		7–6	–	0x0	–	R		
		5–4	CLKDIV[1:0]	0x0	H0	R/WP		
		3–2	–	0x0	–	R		
0x40a2	WDTCTL (WDT Control Register)	15–8	–	0x00	–	R	–	
		7–5	–	0x0	–	R		
		4	WDTCTRST	0	H0	WP		Always read as 0.
		3–0	WDTRUN[3:0]	0xa	H0	R/WP		–

0x40c0–0x40d2

Real-time Clock (RTCA)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x40c0	RTCCTL (RTC Control Register)	15	RTCTRMBSY	0	H0	R	–	
		14–8	RTCTRM[6:0]	0x00	H0	W	Read as 0x00.	
		7	–	0	–	R	–	
		6	RTCBSY	0	H0	R	–	
		5	RTCHLD	0	H0	R/W	Cleared by setting the RTCCTL.RTCRST bit to 1.	
		4	RTC24H	0	H0	R/W	–	
		3	–	0	–	R	–	
		2	RTCADJ	0	H0	R/W	Cleared by setting the RTCCTL.RTCRST bit to 1.	
		1	RTCST	0	H0	R/W	–	
0	RTCUN	0	H0	R/W	–			
0x40c2	RTCALM1 (RTC Second Alarm Register)	15	–	0	–	R	–	
		14–12	RTCSHA[2:0]	0x0	H0	R/W	–	
		11–8	RTCSLA[3:0]	0x0	H0	R/W	–	
		7–0	–	0x00	–	R	–	
0x40c4	RTCALM2 (RTC Hour/Minute Alarm Register)	15	–	0	–	R	–	
		14	RTCAPA	0	H0	R/W	–	
		13–12	RTCHHA[1:0]	0x0	H0	R/W	–	
		11–8	RTCHLA[3:0]	0x0	H0	R/W	–	
		7	–	0	–	R	–	
		6–4	RTCMIHA[2:0]	0x0	H0	R/W	–	
3–0	RTCMILA[3:0]	0x0	H0	R/W	–			
0x40c6	RTCSWCTL (RTC Stopwatch Control Register)	15–12	BCD10[3:0]	0x0	H0	R	–	
		11–8	BCD100[3:0]	0x0	H0	R	–	
		7–5	–	0x0	–	R	–	
		4	SWRST	0	H0	W	Read as 0.	
		3–1	–	0x0	–	R	–	
0	SWRUN	0	H0	R/W	–			
0x40c8	RTCSEC (RTC Second/1Hz Register)	15	–	0	–	R	–	
		14–12	RTCSH[2:0]	0x0	H0	R/W	–	
		11–8	RTCSL[3:0]	0x0	H0	R/W	–	
		7	RTC1HZ	0	H0	R	Cleared by setting the RTCCTL.RTCRST bit to 1.	
		6	RTC2HZ	0	H0	R		
		5	RTC4HZ	0	H0	R		
		4	RTC8HZ	0	H0	R		
		3	RTC16HZ	0	H0	R		
		2	RTC32HZ	0	H0	R		
		1	RTC64HZ	0	H0	R		
0	RTC128HZ	0	H0	R				
0x40ca	RTCHUR (RTC Hour/Minute Register)	15	–	0	–	R		–
		14	RTCAP	0	H0	R/W		–
		13–12	RTCHH[1:0]	0x1	H0	R/W	–	
		11–8	RTCHL[3:0]	0x2	H0	R/W	–	
		7	–	0	–	R	–	
		6–4	RTCMIH[2:0]	0x0	H0	R/W	–	
		3–0	RTCMIL[3:0]	0x0	H0	R/W	–	
0x40cc	RTCMON (RTC Month/Day Register)	15–13	–	0x0	–	R	–	
		12	RTCMOH	0	H0	R/W	–	
		11–8	RTCMOL[3:0]	0x1	H0	R/W	–	
		7–6	–	0x0	–	R	–	
		5–4	RTCDH[1:0]	0x0	H0	R/W	–	
		3–0	RTCDL[3:0]	0x1	H0	R/W	–	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x40ce	RTCYAR (RTC Year/Week Register)	15–11	–	0x00	–	R	–
		10–8	RTCWK[2:0]	0x0	H0	R/W	
		7–4	RTCYH[3:0]	0x0	H0	R/W	
		3–0	RTCYL[3:0]	0x0	H0	R/W	
0x40d0	RTCINTF (RTC Interrupt Flag Register)	15	RTCTRMIF	0	H0	R/W	Cleared by writing 1.
		14	SW1IF	0	H0	R/W	
		13	SW10IF	0	H0	R/W	
		12	SW100IF	0	H0	R/W	
		11–9	–	0x0	–	R	–
		8	ALARMIF	0	H0	R/W	
		7	1DAYIF	0	H0	R/W	
		6	1HURIF	0	H0	R/W	
		5	1MINIF	0	H0	R/W	
		4	1SECFIF	0	H0	R/W	
		3	1_2SECFIF	0	H0	R/W	
		2	1_4SECFIF	0	H0	R/W	
		1	1_8SECFIF	0	H0	R/W	
0	1_32SECFIF	0	H0	R/W			
0x40d2	RTCINTE (RTC Interrupt Enable Register)	15	RTCTRMIE	0	H0	R/W	–
		14	SW1IE	0	H0	R/W	
		13	SW10IE	0	H0	R/W	
		12	SW100IE	0	H0	R/W	
		11–9	–	0x0	–	R	
		8	ALARMIE	0	H0	R/W	
		7	1DAYIE	0	H0	R/W	
		6	1HURIE	0	H0	R/W	
		5	1MINIE	0	H0	R/W	
		4	1SECIE	0	H0	R/W	
		3	1_2SECIE	0	H0	R/W	
		2	1_4SECIE	0	H0	R/W	
		1	1_8SECIE	0	H0	R/W	
0	1_32SECIE	0	H0	R/W			

0x4100–0x4106**Supply Voltage Detector (SVD)**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4100	SVDCLK (SVD Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	1	H0	R/WP	
		7	–	0	–	R	
		6–4	CLKDIV[2:0]	0x0	H0	R/WP	
		3–2	–	0x0	–	R	
		1–0	CLKSRC[1:0]	0x0	H0	R/WP	
0x4102	SVDCTL (SVD Control Register)	15	VDSEL	0	H1	R/WP	–
		14–13	SVDSC[1:0]	0x0	H0	R/WP	
		12–8	SVDC[4:0]	0x00	H1	R/WP	
		7–4	SVDRE[3:0]	0x0	H1	R/WP	
		3	–	0	–	R	
		2–1	SVDMD[1:0]	0x0	H0	R/WP	
		0	MODEN	0	H1	R/WP	
0x4104	SVDINTF (SVD Status and Interrupt Flag Register)	15–9	–	0x00	–	R	–
		8	SVDDT	x	–	R	
		7–1	–	0x00	–	R	
		0	SVDIF	0	H1	R/W	
0x4106	SVDINTE (SVD Interrupt Enable Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	SVDIE	0	H0	R/W	

0x4160–0x416c

16-bit Timer (T16) Ch.0

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4160	T16_0CLK (T16 Ch.0 Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	0	H0	R/W	
		7–4	CLKDIV[3:0]	0x0	H0	R/W	
		3–2	–	0x0	–	R	
		1–0	CLKSRC[1:0]	0x0	H0	R/W	
0x4162	T16_0MOD (T16 Ch.0 Mode Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	TRMD	0	H0	R/W	
0x4164	T16_0CTL (T16 Ch.0 Control Register)	15–9	–	0x00	–	R	–
		8	PRUN	0	H0	R/W	
		7–2	–	0x00	–	R	
		1	PRESET	0	H0	R/W	
		0	MODEN	0	H0	R/W	
0x4166	T16_OTR (T16 Ch.0 Reload Data Register)	15–0	TR[15:0]	0xffff	H0	R/W	–
0x4168	T16_OTC (T16 Ch.0 Counter Data Register)	15–0	TC[15:0]	0xffff	H0	R	–
0x416a	T16_OINTF (T16 Ch.0 Interrupt Flag Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	UFIF	0	H0	R/W	
0x416c	T16_OINTE (T16 Ch.0 Interrupt Enable Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	UFIE	0	H0	R/W	

0x41b0

Flash Controller (FLASHC)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x41b0	FLASHCWAIT (FLASHC Flash Read Cycle Register)	15–8	–	0x00	–	R	–
		7	XBUSY	0	H0	R	
		6–2	–	0x00	–	R	
		1–0	RDWAIT[1:0]	0x0	H0	R/WP	

0x4200–0x42e2

I/O Ports (PPORT)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4200	PODAT (P0 Port Data Register)	15–8	P0OUT[7:0]	0x00	H0	R/W	–
		7–0	P0IN[7:0]	0x00	H0	R	
0x4202	POIOEN (P0 Port Enable Register)	15–8	P0IEN[7:0]	0x00	H0	R/W	–
		7–0	P0OEN[7:0]	0x00	H0	R/W	
0x4204	PORCTL (P0 Port Pull-up/down Control Register)	15–8	P0PDU[7:0]	0x00	H0	R/W	–
		7–0	P0REN[7:0]	0x00	H0	R/W	
0x4206	POINTF (P0 Port Interrupt Flag Register)	15–8	–	0x00	–	R	–
		7–0	P0IF[7:0]	0x00	H0	R/W	
0x4208	POINTCTL (P0 Port Interrupt Control Register)	15–8	P0EDGE[7:0]	0x00	H0	R/W	–
		7–0	P0IE[7:0]	0x00	H0	R/W	
0x420a	POCHATEN (P0 Port Chattering Filter Enable Register)	15–8	–	0x00	–	R	–
		7–0	POCHATEN[7:0]	0x00	H0	R/W	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x420c	P0MODESEL (P0 Port Mode Select Register)	15-8	-	0x00	-	R	
		7-0	P0SEL[7:0]	0x00	H0	R/W	
0x420e	P0FNCSSEL (P0 Port Function Select Register)	15-14	P07MUX[1:0]	0x0	H0	R/W	
		13-12	P06MUX[1:0]	0x0	H0	R/W	
		11-10	P05MUX[1:0]	0x0	H0	R/W	
		9-8	P04MUX[1:0]	0x0	H0	R/W	
		7-6	P03MUX[1:0]	0x0	H0	R/W	
		5-4	P02MUX[1:0]	0x0	H0	R/W	
		3-2	P01MUX[1:0]	0x0	H0	R/W	
1-0	P00MUX[1:0]	0x0	H0	R/W			
0x4210	P1DAT (P1 Port Data Register)	15-12	P1OUT[7:4]	0x0	H0	R/W	
		11-8	-	0x0	-	R	
		7-4	P1IN[7:4]	0x0	H0	R	
		3-0	-	0x0	-	R	
0x4212	P1IOEN (P1 Port Enable Register)	15-12	P1IEN[7:4]	0x0	H0	R/W	
		11-8	-	0x0	-	R	
		7-4	P1OEN[7:4]	0x0	H0	R/W	
		3-0	-	0x0	-	R	
0x4214	P1RCTL (P1 Port Pull-up/down Control Register)	15-12	P1PDPU[7:4]	0x0	H0	R/W	
		11-8	-	0x0	-	R	
		7-4	P1REN[7:4]	0x0	H0	R/W	
		3-0	-	0x0	-	R	
0x421c	P1MODESEL (P1 Port Mode Select Register)	15-8	-	0x00	-	R	
		7-0	P1SEL[7:0]	0x00	H0	R/W	
0x421e	P1FNCSSEL (P1 Port Function Select Register)	15-14	P17MUX[1:0]	0x0	H0	R/W	
		13-12	P16MUX[1:0]	0x0	H0	R/W	
		11-10	P15MUX[1:0]	0x0	H0	R/W	
		9-8	P14MUX[1:0]	0x0	H0	R/W	
		7-6	P13MUX[1:0]	0x0	H0	R/W	
		5-4	P12MUX[1:0]	0x0	H0	R/W	
		3-2	P11MUX[1:0]	0x0	H0	R/W	
1-0	P10MUX[1:0]	0x0	H0	R/W			
0x4220	P2DAT (P2 Port Data Register)	15-10	-	0x00	-	R	
		9-8	P2OUT[1:0]	0x0	H0	R/W	
		7-2	-	0x00	-	R	
		1-0	P2IN[1:0]	0x0	H0	R	
0x4222	P2IOEN (P2 Port Enable Register)	15-10	-	0x00	-	R	
		9-8	P2IEN[1:0]	0x0	H0	R/W	
		7-2	-	0x00	-	R	
		1-0	P2OEN[1:0]	0x0	H0	R/W	
0x4224	P2RCTL (P2 Port Pull-up/down Control Register)	15-10	-	0x00	-	R	
		9-8	P2PDPU[1:0]	0x0	H0	R/W	
		7-2	-	0x00	-	R	
		1-0	P2REN[1:0]	0x0	H0	R/W	
0x422c	P2MODESEL (P2 Port Mode Select Register)	15-8	-	0x00	-	R	
		7-0	P2SEL[7:0]	0x00	H0	R/W	
0x422e	P2FNCSSEL (P2 Port Function Select Register)	15-14	P27MUX[1:0]	0x3	H0	R	
		13-12	P26MUX[1:0]	0x3	H0	R	
		11-10	P25MUX[1:0]	0x3	H0	R	
		9-8	P24MUX[1:0]	0x3	H0	R	
		7-6	P23MUX[1:0]	0x3	H0	R	
		5-4	P22MUX[1:0]	0x3	H0	R	
		3-2	P21MUX[1:0]	0x0	H0	R/W	
1-0	P20MUX[1:0]	0x0	H0	R/W			

Appendix A 周辺回路制御レジスター一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x423a	P3CHATEN (P3 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	-
		7-2	-	0x00	-	R	
		1-0	P3CHATEN[1:0]	0x0	H0	R/W	
0x423c	P3MODESEL (P3 Port Mode Select Register)	15-8	-	0x00	-	R	-
		7-0	P3SEL[7:0]	0x00	H0	R/W	
0x423e	P3FNCSEL (P3 Port Function Select Register)	15-14	P37MUX[1:0]	0x3	H0	R	-
		13-12	P36MUX[1:0]	0x0	H0	R/W	
		11-10	P35MUX[1:0]	0x0	H0	R/W	
		9-8	P34MUX[1:0]	0x0	H0	R/W	
		7-6	P33MUX[1:0]	0x0	H0	R/W	
		5-4	P32MUX[1:0]	0x0	H0	R/W	
		3-2	P31MUX[1:0]	0x0	H0	R/W	
		1-0	P30MUX[1:0]	0x0	H0	R/W	
0x424c	P4MODESEL (P4 Port Mode Select Register)	15-8	-	0x00	-	R	-
		7-0	P4SEL[7:0]	0x00	H0	R/W	
0x424e	P4FNCSEL (P4 Port Function Select Register)	15-14	P47MUX[1:0]	0x3	H0	R	-
		13-12	P46MUX[1:0]	0x3	H0	R	
		11-10	P45MUX[1:0]	0x3	H0	R	
		9-8	P44MUX[1:0]	0x3	H0	R	
		7-6	P43MUX[1:0]	0x3	H0	R	
		5-4	P42MUX[1:0]	0x3	H0	R	
		3-2	P41MUX[1:0]	0x3	H0	R	
		1-0	P40MUX[1:0]	0x3	H0	R	
0x4250	P5DAT (P5 Port Data Register)	15-14	P5OUT[7:6]	0x0	H0	R/W	-
		13-8	-	0x00	-	R	
		7-6	P5IN[7:6]	x	H0	R	
		5-0	-	0x00	-	R	
0x4252	P5IOEN (P5 Port Enable Register)	15-14	P5IEN[7:6]	0x0	H0	R/W	-
		13-8	-	0x00	-	R	
		7-6	P5OEN[7:6]	0x0	H0	R/W	
		5-0	-	0x00	-	R	
0x4254	P5RCTL (P5 Port Pull-up/ down Control Regis- ter)	15-14	P5PDPUP[7:6]	0x0	H0	R/W	-
		13-8	-	0x00	-	R	
		7-6	P5REN[7:6]	0x0	H0	R/W	
		5-0	-	0x00	-	R	
0x4256	P5INTF (P5 Port Interrupt Flag Register)	15-8	-	0x00	-	R	-
		7-6	P5IF[7:6]	0x0	H0	R/W	
		5-0	-	0x00	-	R	
0x4258	P5INTCTL (P5 Port Interrupt Control Register)	15-14	P5EDGE[7:6]	0x0	H0	R/W	-
		13-8	-	0x00	-	R	
		7-6	P5IE[7:6]	0x0	H0	R/W	
		5-0	-	0x00	-	R	
0x425a	P5CHATEN (P5 Port Chattering Filter Enable Register)	15-8	-	0x00	-	R	-
		7-6	P5CHATEN[7:6]	0x0	H0	R/W	
		5-0	-	0x00	-	R	
0x425c	P5MODESEL (P5 Port Mode Select Register)	15-8	-	0x00	-	R	-
		7-0	P5SEL[7:0]	0x00	H0	R/W	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x425e	P5FNCSEL (P5 Port Function Select Register)	15-14	P57MUX[1:0]	0x2	H0	R	-
		13-12	P56MUX[1:0]	0x2	H0	R	
		11-10	P55MUX[1:0]	0x3	H0	R	
		9-8	P54MUX[1:0]	0x3	H0	R	
		7-6	P53MUX[1:0]	0x3	H0	R	
		5-4	P52MUX[1:0]	0x3	H0	R	
		3-2	P51MUX[1:0]	0x3	H0	R	
		1-0	P50MUX[1:0]	0x3	H0	R	
0x42d0	PDDAT (Pd Port Data Register)	15-11	-	0x00	-	R	-
		10-8	PDOOUT[2:0]	0x0	H0	R/W	
		7-2	-	0x00	-	R	
		1-0	PDIN[1:0]	x	H0	R	
0x42d2	PDIOEN (Pd Port Enable Register)	15-11	-	0x00	-	R	-
		10	reserved	0	H0	R/W	
		9-8	PDIEN[1:0]	0x0	H0	R/W	
		7-3	-	0x00	-	R	
		2-0	PDOEN[2:0]	0x0	H0	R/W	
0x42d4	PDRCTL (Pd Port Pull-up/down Control Register)	15-11	-	0x00	-	R	-
		10	reserved	0	H0	R/W	
		9-8	PDPDPU[1:0]	0x0	H0	R/W	
		7-3	-	0x00	-	R	
		2	reserved	0	H0	R/W	
		1-0	PDREN[1:0]	0x0	H0	R/W	
0x42dc	PDMODSEL (Pd Port Mode Select Register)	15-8	-	0x00	-	R	-
		7-3	-	0x00	-	R	
		2-0	PDSEL[2:0]	0x7	H0	R/W	
0x42de	PDFNCSEL (Pd Port Function Select Register)	15-8	-	0x00	-	R	-
		7-6	-	0x0	-	R	
		5-4	PD2MUX[1:0]	0x0	H0	R/W	
		3-2	PD1MUX[1:0]	0x0	H0	R/W	
		1-0	PD0MUX[1:0]	0x0	H0	R/W	
0x42e0	PCLK (P Port Clock Control Register)	15-9	-	0x00	-	R	-
		8	DBRUN	0	H0	R/WP	
		7-4	CLKDIV[3:0]	0x0	H0	R/WP	
		3-2	-	0x0	-	R	
		1-0	CLKSRC[1:0]	0x0	H0	R/WP	
0x42e2	PINTFRP (P Port Interrupt Flag Group Register)	15-8	-	0x00	-	R	-
		7-6	-	0x0	-	R	
		5	P5INT	0	H0	R	
		4-1	-	0x0	-	R	
		0	P0INT	0	H0	R	

0x4380-0x438e**UART (UART)**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x4380	UA0CLK (UART Ch.0 Clock Control Register)	15-9	-	0x00	-	R	-
		8	DBRUN	0	H0	R/W	
		7-6	-	0x0	-	R	
		5-4	CLKDIV[1:0]	0x0	H0	R/W	
		3-2	-	0x0	-	R	
		1-0	CLKSRC[1:0]	0x0	H0	R/W	

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x4382	UA0MOD (UART Ch.0 Mode Register)	15-10	-	0x00	-	R	-	
		9	INVIRRX	0	H0	R/W		
		8	INVIRTX	0	H0	R/W		
		7	-	0	-	R		
		6	PUEN	0	H0	R/W		
		5	OUTMD	0	H0	R/W		
		4	IRMD	0	H0	R/W		
		3	CHLN	0	H0	R/W		
		2	PREN	0	H0	R/W		
1	PRMD	0	H0	R/W				
0	STPB	0	H0	R/W				
0x4384	UA0BR (UART Ch.0 Baud-Rate Register)	15-12	-	0x0	-	R	-	
		11-8	FMD[3:0]	0x0	H0	R/W		
		7-0	BRT[7:0]	0x00	H0	R/W		
0x4386	UA0CTL (UART Ch.0 Control Register)	15-8	-	0x00	-	R	-	
		7-2	-	0x00	-	R		
		1	SFTRST	0	H0	R/W		
		0	MODEN	0	H0	R/W		
0x4388	UA0TXD (UART Ch.0 Transmit Data Register)	15-8	-	0x00	-	R	-	
		7-0	TXD[7:0]	0x00	H0	R/W		
0x438a	UA0RXD (UART Ch.0 Receive Data Register)	15-8	-	0x00	-	R	-	
		7-0	RXD[7:0]	0x00	H0	R		
0x438c	UA0INTF (UART Ch.0 Status and Interrupt Flag Register)	15-10	-	0x00	-	R	-	
		9	RBSY	0	H0/S0	R		
		8	TBSY	0	H0/S0	R		
		7	-	0	-	R		
		6	TENDIF	0	H0/S0	R/W		Cleared by writing 1.
		5	FEIF	0	H0/S0	R/W		Cleared by writing 1 or reading the UA0RXD register.
		4	PEIF	0	H0/S0	R/W		Cleared by writing 1.
		3	OEIF	0	H0/S0	R/W		Cleared by reading the UA0RXD register.
		2	RB2FIF	0	H0/S0	R		Cleared by writing to the UA0TXD register.
1	RB1FIF	0	H0/S0	R				
0	TBEIF	1	H0/S0	R				
0x438e	UA0INTE (UART Ch.0 Interrupt Enable Register)	15-8	-	0x00	-	R	-	
		7	-	0	-	R		
		6	TENDIE	0	H0	R/W		
		5	FEIE	0	H0	R/W		
		4	PEIE	0	H0	R/W		
		3	OEIE	0	H0	R/W		
		2	RB2FIE	0	H0	R/W		
		1	RB1FIE	0	H0	R/W		
		0	TBEIE	0	H0	R/W		

0x43a0-0x43ac

16-bit Timer (T16) Ch.1

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x43a0	T16_1CLK (T16 Ch.1 Clock Control Register)	15-9	-	0x00	-	R	-
		8	DBRUN	0	H0	R/W	
		7-4	CLKDIV[3:0]	0x0	H0	R/W	
		3-2	-	0x0	-	R	
		1-0	CLKSRC[1:0]	0x0	H0	R/W	
0x43a2	T16_1MOD (T16 Ch.1 Mode Register)	15-8	-	0x00	-	R	-
		7-1	-	0x00	-	R	
		0	TRMD	0	H0	R/W	

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x43a4	T16_1CTL (T16 Ch.1 Control Register)	15-9	-	0x00	-	R	-
		8	PRUN	0	H0	R/W	
		7-2	-	0x00	-	R	
		1	PRESET	0	H0	R/W	
		0	MODEN	0	H0	R/W	
0x43a6	T16_1TR (T16 Ch.1 Reload Data Register)	15-0	TR[15:0]	0xffff	H0	R/W	-
0x43a8	T16_1TC (T16 Ch.1 Counter Data Register)	15-0	TC[15:0]	0xffff	H0	R	-
0x43aa	T16_1INTF (T16 Ch.1 Interrupt Flag Register)	15-8	-	0x00	-	R	-
		7-1	-	0x00	-	R	
		0	UFIF	0	H0	R/W	
0x43ac	T16_1INTE (T16 Ch.1 Interrupt Enable Register)	15-8	-	0x00	-	R	-
		7-1	-	0x00	-	R	
		0	UFIE	0	H0	R/W	

0x43b0-0x43ba**Synchronous Serial Interface (SPIA) Ch.0**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x43b0	SPIOMOD (SPIA Ch.0 Mode Register)	15-12	-	0x0	-	R	-	
		11-8	CHLN[3:0]	0x7	H0	R/W		
		7-6	-	0x0	-	R		
		5	PUEN	0	H0	R/W		
		4	NOCLKDIV	0	H0	R/W		
		3	LSBFST	0	H0	R/W		
		2	CPHA	0	H0	R/W		
		1	CPOL	0	H0	R/W		
0x43b2	SPIOCTL (SPIA Ch.0 Control Register)	15-8	-	0x00	-	R	-	
		7-2	-	0x00	-	R		
		1	SFTRST	0	H0	R/W		
		0	MODEN	0	H0	R/W		
0x43b4	SPIOTXD (SPIA Ch.0 Transmit Data Register)	15-0	TXD[15:0]	0x0000	H0	R/W	-	
0x43b6	SPIORXD (SPIA Ch.0 Receive Data Register)	15-0	RXD[15:0]	0x0000	H0	R	-	
0x43b8	SPIOINTF (SPIA Ch.0 Interrupt Flag Register)	15-8	-	0x00	-	R	-	
		7	BSY	0	H0	R		
		6-4	-	0x0	-	R		
		3	OEIF	0	H0/S0	R/W		Cleared by writing 1.
		2	TENDIF	0	H0/S0	R/W		
		1	RBFIF	0	H0/S0	R		Cleared by reading the SPIORXD register.
0x43ba	SPIOINTE (SPIA Ch.0 Interrupt Enable Register)	15-8	-	0x00	-	R	-	
		7-4	-	0x0	-	R		
		3	OEIE	0	H0	R/W		
		2	TENDIE	0	H0	R/W		
		1	RBFIE	0	H0	R/W		
		0	TBEIE	0	H0	R/W		Cleared by writing to the SPIOTXD register.

0x43c0–0x43d2

I²C (I2C)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x43c0	I2C0CLK (I2C Ch.0 Clock Control Register)	15–9	–	0x00	–	R	–	
		8	DBRUN	0	H0	R/W		
		7–6	–	0x0	–	R		
		5–4	CLKDIV[1:0]	0x0	H0	R/W		
		3–2	–	0x0	–	R		
		1–0	CLKSRC[1:0]	0x0	H0	R/W		
0x43c2	I2C0MOD (I2C Ch.0 Mode Register)	15–8	–	0x00	–	R	–	
		7–3	–	0x00	–	R		
		2	OADR10	0	H0	R/W		
		1	GCEN	0	H0	R/W		
		0	–	0	–	R		
0x43c4	I2C0BR (I2C Ch.0 Baud-Rate Register)	15–8	–	0x00	–	R	–	
		7	–	0	–	R		
		6–0	BRT[6:0]	0x7f	H0	R/W		
0x43c8	I2C0OADR (I2C Ch.0 Own Address Register)	15–10	–	0x00	–	R	–	
		9–0	OADR[9:0]	0x000	H0	R/W		
0x43ca	I2C0CTL (I2C Ch.0 Control Register)	15–8	–	0x00	–	R	–	
		7–6	–	0x0	–	R		
		5	MST	0	H0	R/W		
		4	TXNACK	0	H0/S0	R/W		
		3	TXSTOP	0	H0/S0	R/W		
		2	TXSTART	0	H0/S0	R/W		
		1	SFTRST	0	H0	R/W		
0	MODEN	0	H0	R/W				
0x43cc	I2C0TXD (I2C Ch.0 Transmit Data Register)	15–8	–	0x00	–	R	–	
		7–0	TXD[7:0]	0x00	H0	R/W		
0x43ce	I2C0RXD (I2C Ch.0 Receive Data Register)	15–8	–	0x00	–	R	–	
		7–0	RXD[7:0]	0x00	H0	R		
0x43d0	I2C0INTF (I2C Ch.0 Status and Interrupt Flag Register)	15–13	–	0x0	–	R	–	
		12	SDALLOW	0	H0	R		
		11	SCLLOW	0	H0	R		
		10	BSY	0	H0/S0	R		
		9	TR	0	H0	R		
		8	–	0	–	R		
		7	BYTEENDIF	0	H0/S0	R/W		Cleared by writing 1.
		6	GCIF	0	H0/S0	R/W		
		5	NACKIF	0	H0/S0	R/W		
		4	STOPIF	0	H0/S0	R/W		
		3	STARTIF	0	H0/S0	R/W		
		2	ERRIF	0	H0/S0	R/W		
		1	RBFIF	0	H0/S0	R		Cleared by reading the I2C0RXD register.
0	TBEIF	0	H0/S0	R	Cleared by writing to the I2C0TXD register.			
0x43d2	I2C0INTE (I2C Ch.0 Interrupt Enable Register)	15–8	–	0x00	–	R	–	
		7	BYTEENDIE	0	H0	R/W		
		6	GCIE	0	H0	R/W		
		5	NACKIE	0	H0	R/W		
		4	STOPIE	0	H0	R/W		
		3	STARTIE	0	H0	R/W		
		2	ERRIE	0	H0	R/W		
		1	RBFIE	0	H0	R/W		
0	TBEIE	0	H0	R/W				

0x5100–0x510c

16-bit Timer (T16) Ch.2

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5100	T16_2CLK (T16 Ch.2 Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	0	H0	R/W	
		7–4	CLKDIV[3:0]	0x0	H0	R/W	
		3–2	–	0x0	–	R	
		1–0	CLKSRC[1:0]	0x0	H0	R/W	
0x5102	T16_2MOD (T16 Ch.2 Mode Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	TRMD	0	H0	R/W	
0x5104	T16_2CTL (T16 Ch.2 Control Register)	15–9	–	0x00	–	R	–
		8	PRUN	0	H0	R/W	
		7–2	–	0x00	–	R	
		1	PRESET	0	H0	R/W	
		0	MODEN	0	H0	R/W	
0x5106	T16_2TR (T16 Ch.2 Reload Data Register)	15–0	TR[15:0]	0xffff	H0	R/W	–
0x5108	T16_2TC (T16 Ch.2 Counter Data Register)	15–0	TC[15:0]	0xffff	H0	R	–
0x510a	T16_2INTF (T16 Ch.2 Interrupt Flag Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	UFIF	0	H0	R/W	
0x510c	T16_2INTE (T16 Ch.2 Interrupt Enable Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	UFIE	0	H0	R/W	

0x5120–0x512c

16-bit Timer (T16) Ch.3

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5120	T16_3CLK (T16 Ch.3 Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	0	H0	R/W	
		7–4	CLKDIV[3:0]	0x0	H0	R/W	
		3–2	–	0x0	–	R	
		1–0	CLKSRC[1:0]	0x0	H0	R/W	
0x5122	T16_3MOD (T16 Ch.3 Mode Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	TRMD	0	H0	R/W	
0x5124	T16_3CTL (T16 Ch.3 Control Register)	15–9	–	0x00	–	R	–
		8	PRUN	0	H0	R/W	
		7–2	–	0x00	–	R	
		1	PRESET	0	H0	R/W	
		0	MODEN	0	H0	R/W	
0x5126	T16_3TR (T16 Ch.3 Reload Data Register)	15–0	TR[15:0]	0xffff	H0	R/W	–
0x5128	T16_3TC (T16 Ch.3 Counter Data Register)	15–0	TC[15:0]	0xffff	H0	R	–
0x512a	T16_3INTF (T16 Ch.3 Interrupt Flag Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	UFIF	0	H0	R/W	
0x512c	T16_3INTE (T16 Ch.3 Interrupt Enable Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	UFIE	0	H0	R/W	

0x5260–0x526c

16-bit Timer (T16) Ch.4

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5260	T16_4CLK (T16 Ch.4 Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	0	H0	R/W	
		7–4	CLKDIV[3:0]	0x0	H0	R/W	
		3–2	–	0x0	–	R	
		1–0	CLKSRC[1:0]	0x0	H0	R/W	
0x5262	T16_4MOD (T16 Ch.4 Mode Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	TRMD	0	H0	R/W	
0x5264	T16_4CTL (T16 Ch.4 Control Register)	15–9	–	0x00	–	R	–
		8	PRUN	0	H0	R/W	
		7–2	–	0x00	–	R	
		1	PRESET	0	H0	R/W	
		0	MODEN	0	H0	R/W	
0x5266	T16_4TR (T16 Ch.4 Reload Data Register)	15–0	TR[15:0]	0xffff	H0	R/W	–
0x5268	T16_4TC (T16 Ch.4 Counter Data Register)	15–0	TC[15:0]	0xffff	H0	R	–
0x526a	T16_4INTF (T16 Ch.4 Interrupt Flag Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	UFIF	0	H0	R/W	
0x526c	T16_4INTE (T16 Ch.4 Interrupt Enable Register)	15–8	–	0x00	–	R	–
		7–1	–	0x00	–	R	
		0	UFIE	0	H0	R/W	

0x5270–0x527a

Synchronous Serial Interface (SPIA) Ch.1

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5270	SPI1MOD (SPIA Ch.1 Mode Register)	15–12	–	0x0	–	R	–
		11–8	CHLN[3:0]	0x7	H0	R/W	
		7–6	–	0x0	–	R	
		5	PUEN	0	H0	R/W	
		4	NOCLKDIV	0	H0	R/W	
		3	LSBFST	0	H0	R/W	
		2	CPHA	0	H0	R/W	
		1	CPOL	0	H0	R/W	
		0	MST	0	H0	R/W	
0x5272	SPI1CTL (SPIA Ch.1 Control Register)	15–8	–	0x00	–	R	–
		7–2	–	0x00	–	R	
		1	SFTRST	0	H0	R/W	
		0	MODEN	0	H0	R/W	
0x5274	SPI1TXD (SPIA Ch.1 Transmit Data Register)	15–0	TXD[15:0]	0x0000	H0	R/W	–
0x5276	SPI1RXD (SPIA Ch.1 Receive Data Register)	15–0	RXD[15:0]	0x0000	H0	R	–

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5278	SPI1INTF (SPIA Ch.1 Interrupt Flag Register)	15-8	-	0x00	-	R	-
		7	BSY	0	H0	R	
		6-4	-	0x0	-	R	
		3	OEIF	0	H0/S0	R/W	Cleared by writing 1.
		2	TENDIF	0	H0/S0	R/W	
		1	RBFIF	0	H0/S0	R	Cleared by reading the SPI1RXD register.
0x527a	SPI1INTE (SPIA Ch.1 Interrupt Enable Register)	15-8	-	0x00	-	R	-
		7-4	-	0x0	-	R	
		3	OEIE	0	H0	R/W	
		2	TENDIE	0	H0	R/W	
		1	RBFIE	0	H0	R/W	
		0	TBEIE	0	H0	R/W	

0x5400-0x540c**LCD Driver (LCD8A)**

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5400	LCD8CLK (LCD8A Clock Control Register)	15-9	-	0x00	-	R	-
		8	DBRUN	1	H0	R/W	
		7	-	0	-	R	
		6-4	CLKDIV[2:0]	0x0	H0	R/W	
		3-2	-	0x0	-	R	
		1-0	CLKSRC[1:0]	0x0	H0	R/W	
0x5402	LCD8CTL (LCD8A Control Register)	15-8	-	0x00	-	R	-
		7-1	-	0x00	-	R	
		0	MODEN	0	H0	R/W	
0x5404	LCD8TIM (LCD8A Timing Control Register)	15-14	-	0x0	-	R	-
		13-12	BSTC[1:0]	0x1	H0	R/W	
		11	-	0	-	R	
		10-8	NLINE[2:0]	0x0	H0	R/W	
		7-4	FRMCNT[3:0]	0x3	H0	R/W	
		3	-	0	-	R	
0x5406	LCD8PWR (LCD8A Power Control Register)	15-12	LC[3:0]	0x0	H0	R/W	-
		11-9	-	0x0	-	R	
		8	BSTEN	0	H0	R/W	
		7-3	-	0x00	-	R	
		2	HVLD	0	H0	R/W	
		1	VCSEL	0	H0	R/W	
0x5408	LCD8DSP (LCD8A Display Control Register)	15	COM7DEN	1	H0	R/W	-
		14	COM6DEN	1	H0	R/W	
		13	COM5DEN	1	H0	R/W	
		12	COM4DEN	1	H0	R/W	
		11	COM3DEN	1	H0	R/W	
		10	COM2DEN	1	H0	R/W	
		9	COM1DEN	1	H0	R/W	
		8	COMODEN	1	H0	R/W	
		7	-	0	-	R	
		6	SEGREV	1	H0	R/W	
		5	COMREV	1	H0	R/W	
		4	DSPREV	1	H0	R/W	
		3	-	0	-	R	
		2	DSPAR	0	H0	R/W	
1-0	DSPC[1:0]	0x0	H0	R/W			

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x540a	LCD8INTF (LCD8A Interrupt Flag Register)	15-8	-	0x00	-	R	-
		7-1	-	0x00	-	R	
		0	FRMIF	0	H0	R/W	Cleared by writing 1.
0x540c	LCD8INTE (LCD8A Interrupt Enable Register)	15-8	-	0x00	-	R	-
		7-1	-	0x00	-	R	
		0	FRMIE	0	H0	R/W	

0x5440-0x5450

R/F Converter (RFC)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks	
0x5440	RFC0CLK (RFC Ch.0 Clock Control Register)	15-9	-	0x00	-	R	-	
		8	DBRUN	1	H0	R/W		
		7-6	-	0x0	-	R		
		5-4	CLKDIV[1:0]	0x0	H0	R/W		
		3-2	-	0x0	-	R		
		1-0	CLKSRC[1:0]	0x0	H0	R/W		
0x5442	RFC0CTL (RFC Ch.0 Control Register)	15-9	-	0x00	-	R	-	
		8	RFCLKMD	0	H0	R/W		
		7	CONEN	0	H0	R/W		
		6	EVTEN	0	H0	R/W		
		5-4	SMODE[1:0]	0x0	H0	R/W		
		3-1	-	0x0	-	R		
0	MODEN	0	H0	R/W				
0x5444	RFC0TRG (RFC Ch.0 Oscillation Trigger Register)	15-8	-	0x00	-	R	-	
		7-3	-	0x00	-	R		
		2	SSENB	0	H0	R/W		
		1	SSENA	0	H0	R/W		
		0	SREF	0	H0	R/W		
0x5446	RFC0MCL (RFC Ch.0 Measurement Counter Low Register)	15-0	MC[15:0]	0x0000	H0	R/W	-	
0x5448	RFC0MCH (RFC Ch.0 Measurement Counter High Register)	15-8	-	0x00	-	R	-	
		7-0	MC[23:16]	0x00	H0	R/W		
0x544a	RFC0TCL (RFC Ch.0 Time Base Counter Low Register)	15-0	TC[15:0]	0x0000	H0	R/W	-	
0x544c	RFC0TCH (RFC Ch.0 Time Base Counter High Register)	15-8	-	0x00	-	R	-	
		7-0	TC[23:16]	0x00	H0	R/W		
0x544e	RFC0INTF (RFC Ch.0 Interrupt Flag Register)	15-8	-	0x00	-	R	-	
		7-5	-	0x0	-	R		
		4	OVTCIF	0	H0	R/W		Cleared by writing 1.
		3	OVMCIF	0	H0	R/W		
		2	ESENBIF	0	H0	R/W		
		1	ESENAIF	0	H0	R/W		
0	EREFIF	0	H0	R/W				
0x5450	RFC0INTE (RFC Ch.0 Interrupt Enable Register)	15-8	-	0x00	-	R	-	
		7-5	-	0x0	-	R		
		4	OVTICIE	0	H0	R/W		
		3	OVMCIE	0	H0	R/W		
		2	ESENBIE	0	H0	R/W		
		1	ESENAIE	0	H0	R/W		
		0	EREFIE	0	H0	R/W		

0x5480–0x549e

MR Sensor Controller (AMRC)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x5480	AMRCCLK (AMRC Clock Control Register)	15–9	–	0x00	–	R	–
		8	DBRUN	1	H0	R/W	
		7–6	–	0x0	–	R	
		5–4	CLKDIV[1:0]	0x0	H0	R	
		3–2	–	0x0	–	R	
		1–0	CLKSRC[1:0]	0x1	H0	R	
0x5482	AMRCACTL (AMRC AFE Control Register)	15	(reserved)	0	H0	R/W	–
		14–8	–	0x00	–	R	
		7–6	(reserved)	0x0	H0	R/W	
		5–4	–	0x0	–	R	
		3	EXHYS1INV	0	H0	R/W	
		2	EXHYS0INV	0	H0	R/W	
		1	HYS1EN	1	H0	R/W	
0	HYS0EN	1	H0	R/W			
0x5484	AMRCEVPLS (AMRC Pulse Control Register)	15	EVPOL	0	H0	R/W	–
		14	EVOSEL	0	H0	R/W	
		13–9	–	0x00	–	R	
		8	EVEN	0	H0	R/W	
		7–6	–	0x0	–	R	
		5–0	EVW[5:0]	0x00	H0	R/W	
0x5486	AMRCCTL (AMRC Control Register)	15	DIRSET	0	H0	R/W	–
		14	ECH2TRGROT	0	H0	R/W	
		13	ECH1TRGROT	0	H0	R/W	
		12	ECH0TRGROT	0	H0	R/W	
		11	ECH02TRGMOD	0	H0	R/W	
		10	MODEN	0	H0	R/W	
		9	CTLSTP	0	H0	R/W	
		8	CTLST	0	H0	R/W	
		7	–	0	–	R	
		6	RSTUPCNT	0	H0	R/W	
		5	REVSTPTRG	0	H0	R/W	
		4	EPOUTTRG	0	H0	R/W	
3–0	TRGCYC[3:0]	0xa	H0	R/W			
0x5488	AMRCNMLCNT (AMRC Normal Rotation Counter Register)	15–0	NMLCNT[15:0]	0x0000	–	R	Cleared by writing 1 to the AMRCCTL.RSTUPCNT bit.
0x548a	AMRCREVSTPCNT (AMRC Reverse/Stop Counter Register)	15–0	REVSTPCNT[15:0]	0x0000	–	R	Cleared by writing 1 to the AMRCCTL.RSTUPCNT bit.
0x548c	AMRCECNT0 (AMRC Event Counter Ch.0 Register)	15–8	ECNT[7:0]	0xff	H0	R	–
		7–0	ECPR[7:0]	0xff	H0	R/W	
0x548e	AMRCECNT1 (AMRC Event Counter Ch.1 Register)	15–8	ECNT[7:0]	0xff	H0	R	–
		7–0	ECPR[7:0]	0xff	H0	R/W	
0x5490	AMRCECNT2 (AMRC Event Counter Ch.2 Register)	15–8	ECNT[7:0]	0xff	H0	R	–
		7–0	ECPR[7:0]	0xff	H0	R/W	
0x5492	AMRCUCMP (AMRC Unit Counter Compare Setting Register)	15–12	–	0x0	–	R	–
		11–0	UCMP[11:0]	0x000	H0	R/W	
0x5494	AMRCUCNT (AMRC Unit Counter Register)	15–12	–	0x0	–	R	–
		11–0	UCNT[11:0]	0x000	H0	R	

Appendix A 周辺回路制御レジスタ一覧

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0x549a	AMRCSTAT (AMRC Status Register)	15-12	–	0x0	–	R	–
		11	FSENB	0	H0	R	
		10	FSENA	0	H0	R	
		9-8	(reserved)	0x0	H0	R	
		7-6	(reserved)	0x0	H0	R	
		5	PSEOUT	0	H0	R	
		4	CTLEN	0	H0	R	
		3	–	0	–	R	
		2-0	PHASE[2:0]	0x0	H0	R	
0x549c	AMRCINTF (AMRC Interrupt Flag Register)	15-13	–	0x0	–	R	–
		12	UCNTIF	0	H0	R/W	Cleared by writing 1.
		11	(reserved)	0	H0	R	–
		10	CNT2IF	0	H0	R/W	Cleared by writing 1.
		9	CNT1IF	0	H0	R/W	
		8	CNT0IF	0	H0	R/W	
		7	DIF1IF	0	H0	R/W	
		6	(reserved)	0	H0	R	–
		5	DIF0IF	0	H0	R/W	Cleared by writing 1.
		4	(reserved)	0	H0	R	–
		3	RSKIPIF	0	H0	R/W	Cleared by writing 1.
		2	STPIF	0	H0	R/W	
1	REVRIF	0	H0	R/W			
0	NMLRIF	0	H0	R/W			
0x549e	AMRCINTE (AMRC Interrupt Enable Register)	15-13	–	0x0	–	R	–
		12	UCNTIE	0	H0	R/W	
		11	(reserved)	0	H0	R/W	Always set to 0.
		10	CNT2IE	0	H0	R/W	–
		9	CNT1IE	0	H0	R/W	
		8	CNT0IE	0	H0	R/W	
		7	DIF1IE	0	H0	R/W	
		6	(reserved)	0	H0	R/W	Always set to 0.
		5	DIF0IE	0	H0	R/W	–
		4	(reserved)	0	H0	R/W	Always set to 0.
		3	RSKIPIE	0	H0	R/W	–
		2	STPIE	0	H0	R/W	
1	REVRIE	0	H0	R/W			
0	NMLRIE	0	H0	R/W			

0xffff90

Debugger (DBG)

Address	Register name	Bit	Bit name	Initial	Reset	R/W	Remarks
0xffff90	DBRAM (Debug RAM Base Register)	31-24	–	0x00	–	R	–
		23-0	DBRAM[23:0]	0x00 0fc0	H0	R	

Appendix B パワーセーブ

消費電流はCPU動作モード、動作クロック周波数、動作させる周辺回路、V_{D1}レギュレータ動作モード等により大きく変化します。以下に、省電力化のための制御方法をまとめます。

B.1 パワーセーブを考慮した動作状態の設定例

パワーセーブを考慮した代表的な動作状態設定例を表B.1.1に示します。

表B.1.1 代表的な動作状態設定

動作状態設定	消費電流	V _{D1}	OSC1	IOSC/ EXOSC	RTCA	CPU	電気的特性記載 の消費電流
スタンバイ	↑ 低	Economy	OFF	OFF	OFF	SLEEP	ISLP
時計カウント			ON			SLEEP or HALT	IHALT2
低速処理						OSC1 RUN	IRUN20
周辺回路動作	高 ↓	Normal	ON	ON	SLEEP or HALT	IHALT1	
高速処理					IOSC/EXOSC RUN	IRUN10	

表B.1.1の動作モード設定時、“電気的特性”の消費電流項目と差異がある場合は、以下の項目を確認してください。

パワージェネレータのPWGVD1CTL.REGMODE[1:0]ビット

パワージェネレータのPWGVD1CTL.REGMODE[1:0]ビットを0x2(ノーマルモード)のまま、SLEEPモードへ遷移した場合、“電気的特性”のSLEEP時消費電流ISLPよりも大きな値になります。slp命令実行前に、PWGVD1CTL.REGMODE[1:0]ビットを0x3(エコノミーモード)または0x0(オートマチックモード)に設定してください。

クロックジェネレータのCLGOSC.IOSCSLPC/OSC1SLPC/EXOSCSLPCビット

クロックジェネレータのCLGOSC.IOSCSLPC/OSC1SLPC/EXOSCSLPCビットを0にすると、slp命令実行時に発振回路を停止する制御が禁止されます。SLEEPモード時に発振回路を停止させたい場合は、これらのビットを1に設定してください。

周辺回路のMODENビット

各周辺回路のMODENビットを1にすると、周辺回路に動作クロックが供給され、動作可能な状態になります。動作が不要な周辺回路は、MODENビットを0に設定することで、消費電流を抑えることができます。リアルタイムクロックは、MODENビットを備えておらず、カウント中も停止中も消費電流は変わりません。

OSC1発振回路の設定

OSC1発振回路は、シリンダータイプから表面実装タイプまで、様々な水晶振動子に対応するため、いくつかの設定が可能です。これらの設定は以下のような消費電流とのトレードオフがあります。

- 発振インバータのゲイン設定(CLGOSC1.INV1B[1:0]/INV1N[1:0]ビット)で、インバータのゲインを小さくするほど、消費電流も小さくなります。
- OSC1内蔵ゲート容量の設定(CLGOSC1.CG1[2:0]ビット)で、容量値を小さくするほど、消費電流も小さくなります。
- OSC1外付けゲート容量、ドレイン容量の容量値を小さくするほど、消費電流も小さくなります。
- 水晶振動子のC_L値が小さいものほど、消費電流も小さくなります。

ただし、これらの設定により、発振余裕度の不足や周波数の誤差を生じますので、必ず実基板上でのマッチング評価を行ってください。

B.2 その他のパワーセーブ方法

電源電圧検出回路の設定

連続動作モード(SVDCTL.SVDMD[1:0]ビット = 0x0)の場合、電圧を常時検出しているため消費電流は大きくなります。間欠動作モードに設定するか、あるいは必要なときのみ電源電圧検出回路をONしてください。

LCDドライバの設定

- LCD定電圧回路を V_{C1} 基準(LCD8PWR.VCSELビット = 0)に設定すると、消費電流が増加します。電源電圧 V_{DD} が2.2 V以上のときは、 V_{C2} 基準(LCD8PWR.VCSELビット = 1)に設定してください。
- LCD用昇圧回路の昇圧用クロック周波数の設定(LCD8TIM.BSTC[1:0]ビット)で、周波数を低くするほど、消費電流が小さくなります。ただし、負荷特性が悪化します。
- LCD用定電圧回路を重負荷保護モード(LCD8PWR.HVLDビット = 1)に設定すると、消費電流が増加します。表示が安定しない場合のみ、重負荷保護モードにしてください。

Appendix C 実装上の注意事項

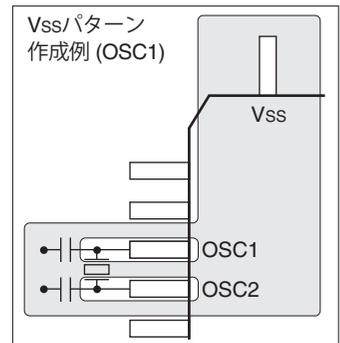
基板の設計およびICを実装する際の注意事項を以下に示します。

OSC1発振回路

- 発振特性は使用部品(振動子、 C_G 、 C_D)や基板パターンなどにより変化します。特に水晶振動子を使用する場合、外付けの容量(C_G 、 C_D)の値は、実際の基板上に各部品を実装した状態で十分評価を行って適切なものを選んでください。
- ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため以下の点に配慮してください。

- (1) OSC1、OSC2端子に接続する振動子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
- (2) OSC1、OSC2端子とこれらの回路構成部品、および配線から3 mm以内の領域には、できるだけデジタル信号線を配置しないでください。特に、スイッチングが激しい信号を近くに配置することは避けてください。多層プリント基板の各層の間隔は0.1~0.2 mm程度しかありませんので、デジタル信号線を他のどの層に配置する場合でも同様です。
また、これらの部品や配線とデジタル信号線を絶対に並走させないでください。3 mm以上の距離がある場合や基板の他の層であっても禁止します。配線を交差させることも避けてください。

- (3) OSC1、OSC2端子と配線は、基板の隣接する層も含めVssでシールドしてください。
配線する層は、右の図のように広めにシールドしてください。
隣接する層についてはできれば全面をグラウンド層に、最低でも上記端子と配線の周囲を5 mm以上カバーするようにシールドしてください。
この対策を施した場合でも、(2)に記載したようにデジタル信号線との並走は禁止します。他の層での交差についても、スイッチング頻度の低い信号以外はできるだけ避けてください。



- (4) 上記の対策を施した後は、実機で実際のアプリケーションプログラムを動作させた状態でのクロック波形をFOUT端子から出力して確認してください。
特にクロックの立ち上がり/立ち下りの両エッジの前後を拡大し、前後100 ns程度の範囲にクロック状のノイズやスパイクノイズなどが乗っていないか注意して見てください。

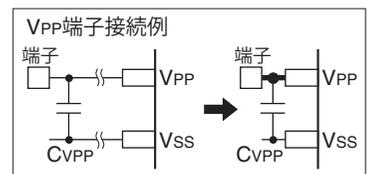
(1)~(3)の対応が不十分な場合、OSC1CLKにはノイズが乗ることがあります。OSC1CLKにノイズが乗ると、OSC1CLKを使用するタイマや、CPUコアの動作が不安定になります。

#RESET端子

ノイズによる動作中のリセットを防ぐため、#RESET端子に接続するスイッチ、抵抗等の部品は、できるだけ最短で接続してください。

VPP端子

Flashプログラミング電圧 V_{PP} が大きく変動する場合、 V_{SS} ~ V_{PP} 間キャパシタ C_{VPP} を接続して、 $V_{PP} \pm 1$ V以下の変動に抑えてください。このとき、 C_{VPP} は可能な限り V_{PP} 端子の近くに配置し、数十mAが流せるように十分な太さを持つパターンを用いて配線してください。

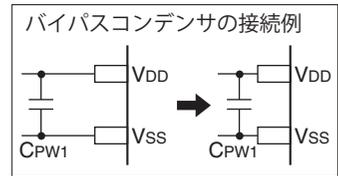


電源回路

ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

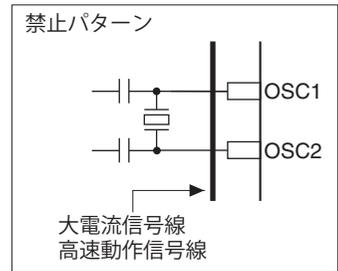
- (1) 電源から V_{DD} および V_{SS} 端子へはできるだけ短くかつ太いパターンで接続してください。

- (2) $V_{DD}-V_{SS}$ のバイパスコンデンサを接続する場合、 V_{DD} 端子と V_{SS} 端子をできるだけ最短で接続してください。



信号線の配置

- 相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振やアナログ計測等のノイズに弱い端子近くには、大電流信号線を配置しないでください。
- 高速動作する信号線と、長かつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。
- SEG/COMラインや昇圧/降圧用コンデンサを駆動するラインは、ノイズを発生しやすいため、ノイズに弱い端子からは離してください。



光に対する取り扱い(ベアチップ実装の場合)

半導体素子は、光が照射されると特性が変化します。このため、ICに光が当たると誤動作を起こしたり、不揮発性メモリのデータが消去される可能性があります。光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。

- 実使用時にICの遮光性が考慮された構造となるよう、設計および実装を行ってください。
- 検査工程では、ICの遮光性が考慮された環境設計を行ってください。
- ICの遮光は、ICチップの表面、裏面および側面について考慮してください。
- ICチップ状態での保管は開封後1週間以内とし、この期限までに実装をお願いします。ICチップ状態での保管の必要がある場合は、必ず遮光の措置を講じてください。
- 実装工程において通常のリフロー条件を超えるような熱ストレスが印加される場合、製品出荷前に不揮発性メモリのデータ保持に関して十分な評価をお願いします。

未使用端子の処理

- 入出力ポート(P)端子
未使用端子はオープンにしてください。制御レジスタはイニシャル状態にしてください。
- OSC1、OSC2、EXOSC端子
OSC1発振回路またはEXOSC入力回路を使用しない場合、OSC1とOSC2端子、またはEXOSC端子はオープンにしてください。制御レジスタはイニシャル状態(ディスエーブル)にしてください。
- $V_{C1\sim3}$ 、 C_{P1} 、 C_{P2} 、 SEG_x 、 COM_x 端子
LCDドライバを使用しない場合はオープンにしてください。制御レジスタはイニシャル状態(表示Off)にしてください。また、LCDドライバを使用する場合も、結線の必要がない SEG_x 端子と COM_x 端子はオープンにしてください。

その他

実装段階においては、機械的ダメージのほか、

- 実装時リフロー工程、実装後のリワーク、個別特性評価(実験確認)の各工程における商用電源からの電磁誘導ノイズ
- 半田ごて使用時のこて先からの電磁誘導ノイズ

など、緩やかな時間的変化を伴う絶対最大定格以上の電圧となる外乱が、電氣的損傷につながる可能性があります。

特に半田ごて使用時には、ICのGNDと半田ごてのGND(こて先の電位)を同電位として作業を行ってください。

Appendix D ノイズ対策

ノイズ耐性を向上させるための対策を以下に示します。

V_{DD}, V_{SS}電源のノイズ対策

規定の電圧を下回るようなノイズが入った場合、リセットがかかる可能性があります。期待する動作とならない場合は、基板の電源系のベタパターン化、ノイズ除去用デカップリングコンデンサの追加、電源ラインへのサージノイズ対策部品の追加など、基板上での対策をお願いします。推奨される基板パターンについては、Appendix内の“実装上の注意事項”を参照してください。

#RESET端子のノイズ対策

#RESET端子にノイズが入ることにより、ICがリセットされる可能性があります。このノイズ対策には、適切な基板設計が必要です。

推奨される基板パターンについては、Appendix内の“実装上の注意事項”を参照してください。

発振端子のノイズ対策

発振入力端子は小振幅の信号が伝播するため、ノイズに対して非常に敏感な構造になっています。このノイズ対策には、適切な基板設計が必要です。

推奨される基板パターンについては、Appendix内の“実装上の注意事項”を参照してください。

デバッグ端子のノイズ対策

本製品はデバッグ用にICDmini(S5U1C17001H)を接続するための入出力端子(DCLK、DST2、DSIO)を備えています。デバッグ用入出力機能を有効にした状態でこれらの端子にノイズが入ると、S1C17コアがDEBUGモードへ移行してしまう可能性があります。外来ノイズによる予期せぬDEBUGモードへの移行を防ぐため、デバッグの必要がない場合は、初期化ルーチン内でDCLK、DST2、DSIO端子を汎用入出力ポート端子に切り換えてください。

端子の機能と切り換えの詳細は、“入出力ポート”の章を参照してください。

注: アプリケーション開発中など、デバッグ機能を使用する場合は上記の処理を行わないでください。端子機能を切り換えた時点からデバッグが行えなくなります。

アプリケーション開発終了後など、デバッグが不要になってから上記の処理を追加してください。

デバッグ用端子を有効しておく場合には、DSIO端子を10k Ω の抵抗でプルアップすることを推奨します。

割り込み入力端子のノイズ対策

本製品は入力信号の変化によりポート入力割り込みを発生可能です。入力信号のエッジを検出して割り込みを発生させるため、外来ノイズによって信号が変化した場合でも割り込みが発生する可能性があります。外来ノイズによる予期せぬ割り込みの発生を防ぐため、ポート入力割り込みを使用する場合はチャタリング除去回路を有効にしてください。

ポート入力割り込みおよびチャタリング除去回路の詳細は、“入出力ポート”の章を参照してください。

UART端子のノイズ対策

本製品は非同期通信用にUARTを備えています。UARTはSIN_n端子でLOWレベルの入力を検出すると受信動作を開始するため、外来ノイズによってSIN_n端子がLOWになった場合でも受信動作を開始してしまうことがあります。この場合は受信エラーが発生したり、不正なデータの受信が起こります。外来ノイズによるUARTの誤動作を防ぐために、以下の対策を講じてください。

- 非同期通信を行っていない間はUARTの動作を停止してください。
- パリティビットの使用を含む受信エラー処理を実施し、ソフトウェアによる再送処理を行ってください。

端子の機能と切り換えの詳細は“入出力ポート”の章を、UARTの動作制御および受信エラーの詳細は“UART”の章を参照してください。

Appendix E 初期化ルーチン

ベクタテーブルと初期化ルーチンの例を以下に示します。

boot.s

```

.org      0x8000
.section .rodata                                     ...(1)
; =====
;          Vector table
; =====
;          ; interrupt  vector  interrupt
;          ; number    offset  source
;
.long BOOT          ; 0x00    0x00    reset          ...(2)
.long unalign_handler ; 0x01    0x04    unalign
.long nmi_handler   ; 0x02    0x08    NMI
.long int03_handler ; 0x03    0x0c    -
.long svd_handler   ; 0x04    0x10    SVD
.long pport_handler ; 0x05    0x14    PPORT
.long clg_handler   ; 0x06    0x18    CLG
.long rtca_handler  ; 0x07    0x1c    RTCA
.long t16_0_handler ; 0x08    0x20    T16 ch0
.long uart_handler  ; 0x09    0x24    UART
.long t16_1_handler ; 0x0a    0x28    T16 ch1
.long spia_0_handler ; 0x0b    0x2c    SPIA ch0
.long i2c_handler   ; 0x0c    0x30    I2C
.long t16_2_handler ; 0x0d    0x34    T16 ch2
.long t16_3_handler ; 0x0e    0x38    T16 ch3
.long t16_4_handler ; 0x0f    0x3c    T16 ch4
.long spia_1_handler ; 0x10    0x40    SPIA ch1
.long lcd8a_handler ; 0x11    0x44    LCD8A
.long rfc_handler   ; 0x12    0x48    RFC
.long amrc_handler  ; 0x13    0x4c    AMRC
.long int14_handler ; 0x14    0x50    -
.long int15_handler ; 0x15    0x54    -
.long int16_handler ; 0x16    0x58    -
.long int17_handler ; 0x17    0x5c    -
.long int18_handler ; 0x18    0x60    -
.long int19_handler ; 0x19    0x64    -
.long int1a_handler ; 0x1a    0x68    -
.long int1b_handler ; 0x1b    0x6c    -
.long int1c_handler ; 0x1c    0x70    -
.long int1d_handler ; 0x1d    0x74    -
.long int1e_handler ; 0x1e    0x78    -
.long int1f_handler ; 0x1f    0x7c    -
; =====
;          Program code
; =====
.text                                             ...(3)
.align 1

BOOT:
; ===== Initialize =====
; ----- Stack pointer -----
xld.a  %sp, 0x0fc0                               ...(4)
; ----- Memory controller -----
xld.a  %r1, 0x41b0 ; FLASHC register address
; Flash read wait cycle
xld.a  %r0, 0x00 ; 0x00 = No wait or 0x01 = 1 wait
ld.b   [%r1], %r0 ; [0x41b0] <= 0x00          ...(5)
; ===== Main routine =====
...

```

Appendix E 初期化ルーチン

```
; =====  
;      Interrupt handler  
; =====  
; ----- Address unalign -----  
unalign_handler:  
    ...  
  
; ----- NMI -----  
nmi_handler:  
    ...
```

- (1) ベクタテーブルを `.vector` セクションに配置するために `.rodata` セクションを宣言します。
- (2) 割り込み処理ルーチンのアドレスをベクタとして定義します。
`intXX_handler` はソフトウェア割り込みとして使用可能です。
- (3) プログラムコードは `.text` セクションに記述します。
- (4) スタックポインタを設定します。
- (5) Flashメモリリード時のアクセスサイクル数を設定します。
(“メモリ, バス”の章を参照)

改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
412361600	全ページ	新規制定
412361600c	2-10	2.4.1 イニシャル起動シーケンス (旧) - (新) リセット保持時間 t_{RSSTR} については、“電気的特性”の章の“リセット保持回路特性”を参照してください。
	3-3	3.3.4 外部接続 (旧) ブルアップ抵抗の推奨値は、“電気的特性”の章の“推奨動作条件、DSIO用ブルアップ抵抗 R_{DBG} ”を参照してください。 (新) ブルアップ抵抗の推奨値は、“電気的特性”の章の“推奨動作条件、DSIO用ブルアップ抵抗 R_{DBG} ”を参照してください。DSIO端子を汎用入出力ポート端子として使用する場合、 R_{DBG} は必要ありません。
	4-3	4.3.4 Flashセキュリティ機能 (旧) - (新) 注: Flashセキュリティ対応済みICをICDminiを介してデバッグする場合は、その前にFlashセキュリティ機能を解除してください。Flashセキュリティ機能が有効な状態では、正しく動作しない可能性があります。
	7-1	7.2.1 WDTの動作クロック (旧) CLK_WDT周波数は256 Hz近辺に設定してください。 (新) WDTのカウンタオーバーフロー周期(NMI/リセット発生周期)は次の式で計算できます。 $t_{WDT} = 1,024 / CLK_WDT$ (式7.1) ここで t_{WDT} : カウンタオーバーフロー周期 [秒] CLK_WDT : WDT動作クロック周波数 [Hz] 例) $CLK_WDT = 256$ Hzのとき、 $t_{WDT} = 4$ 秒
	7-2	7.3.1 WDTの制御 (旧) WDTのリセット ...このルーチンを定期的に処理される場所に用意しておきます。このルーチンは $1,024 / CLK_WDT$ クロック周波数 [秒](例: $CLK_WDT = 256$ Hzの場合4秒)周期以内で処理されるようにしてください。... 何らかの原因によってWDTがNMI/リセット発生周期以内にリセットされなかった場合、NMIまたはリセットによってCPUは割り込み処理に移行し、割り込みベクタを読み出して割り込み処理ルーチンを実行します。 (新) WDTのリセット ...このルーチンを定期的に処理される場所に用意しておきます。このルーチンは t_{WDT} の周期以内で処理されるようにしてください。... 何らかの原因によって t_{WDT} 周期以内にリセットされなかった場合、NMIまたはリセットによってCPUは割り込み処理に移行し、割り込みベクタを読み出して割り込み処理ルーチンを実行します。
	9-2	9.2.2 外部との接続 (旧) 図9.2.2.1 EXSVD端子の入力電圧範囲については、“電気的特性”の章の“電源電圧検出回路特性、EXSVD端子入力電圧範囲 V_{EXSVD} ”を参照してください。 (新) 図修正(抵抗追加) R_{EXT} は、EXSVD入力インピーダンス R_{EXSVD} よりも十分小さくなるように設定してください。EXSVD端子の入力電圧範囲およびEXSVD入力インピーダンスについては、“電気的特性”の章の“電源電圧検出回路特性”を参照してください。
	9-4	9.4.2 SVDの動作 (旧) 連続動作モード ...また、SVDINTF.SVDDTビット = 1になった(電源電圧低下を検出した)時点で割り込み(SVDCTL.SVDRE[3:0]ビット = 0xa以外の場合)、またはリセット(SVDCTL.SVDRE[3:0]ビット = 0xaの場合)を発生させることもできます。 (新) 連続動作モード ...また、SVDINTF.SVDDTビット = 1になった(電源電圧低下を検出した)時点で割り込み(SVDCTL.SVDRE[3:0]ビット = 0xa以外の場合)、またはリセット(SVDCTL.SVDRE[3:0]ビット = 0xaの場合)を発生させることもできます。このモードでは、電圧検出マスク時間経過後であれば、SLEEP実行や不慮のクロック停止が発生した場合でも、電源電圧低下を検出し続けることができます。
	13-5	13.4.2 マスタモードのデータ送信 (旧) ストップコンディション/リピーテッドスタートコンディションの生成 $I2CnINTF.TBEIF$ ビット = 1(送信バッファエンプティ)、または $I2CnINTF.NACKIF$ ビット = 1(NACK受信)の状態では $I2CnCTL.TXSTOP$ ビットを1に設定すると、I2C Ch.nはストップコンディションを生成します。 (新) ストップコンディション/リピーテッドスタートコンディションの生成 $I2CnINTF.TBEIF$ ビット = 1(送信バッファエンプティ)または $I2CnINTF.NACKIF$ ビット = 1(NACK受信)となった後に $I2CnCTL.TXSTOP$ ビットを1に設定すると、I2C Ch.nはストップコンディションを生成します。

改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
412361600c	13-12	<p>13.4.6 スレープモードのデータ受信 (旧) 受信手順 ... 7. 受信データ終了まで、4～6を繰り返す。 (新) 受信手順 ... 7. 受信データ終了まで、4～6を繰り返す。 8. ストップコンディション割り込み(I2CnINTF.STOPIFビット = 1)またはスタートコンディション割り込み(I2CnINTF.STARTIFビット = 1)を待つ。 i. ストップコンディション割り込み発生時は、9へ ii. スタートコンディション割り込み発生時は、2へ 9. I2CnINTF.STOPIFビットをクリアし、受信動作を終了する。</p>
	17-6	<p>17.8 電源電圧検出回路(SVD)特性 (旧) - (新) 表修正(EXSVD入力インピーダンス追加)</p>
412361601	1-1	<p>概要: 表1.1.1 特長 (旧) ウォッチドッグタイマ(WDT) NMI, またはウォッチドッグタイマリセットを生成 (新) ウォッチドッグタイマ(WDT) ウォッチドッグタイマリセットを生成</p>
	2-3	<p>電源, リセット, クロック: ウォッチドッグタイマリセット (旧) ウォッチドッグタイマをリセットモードに設定しておく、カウンタがオーバーフローした時点で、リセット要求を発行します。 (新) ウォッチドッグタイマは、カウンタがオーバーフローした時点でリセット要求を発行します。</p>
	2-11	<p>電源, リセット, クロック: 図2.4.2.1 動作モード間の状態遷移図 図修正(割り込み → HALT/SLEEP解除信号) 電源, リセット, クロック: HALT, SLEEPモードの解除 (旧) HALTおよびSLEEPモードは下記の条件によって解除され、RUNモードへ移行します。 ・割り込みコントローラからの割り込み要求 ・ウォッチドッグタイマからのNMI ・デバッグ割り込み、アドレス不正割り込み (新) 下記の条件によってHALT/SLEEP解除信号が生成され、HALTまたはSLEEPモードからRUNモードへ移行します。この移行はCPUが割り込み要求を受領しなくても実行されます。 ・周辺回路からの割り込み要求 ・NMI ・デバッグ割り込み</p>
	2-12	<p>電源, リセット, クロック: CLG System Clock Control Register - Bit 15 WUPMD (旧) なし (新) 注: ... ・CLKSCLK.WUPMDビット = 1の場合、CLGSCLK.WUPSRC[1:0]ビットとCLGSCLK.CLKSRC[1:0]ビットを同じ設定、かつCLGSCLK.WUPDIV[1:0]ビットとCLGSCLK.CLKDIV[1:0]ビットを同じ設定にすることは禁止します。SLEEP移行前と同じクロックソースおよび分周比でウェイクアップさせる場合は、CLKSCLK.WUPMDビットを0に設定してください。</p>
	2-13	<p>電源, リセット, クロック: CLG System Clock Control Register - Bits 9-8 WUPSRC[1:0] (旧) これらのビットは、ウェイクアップ時にCLGSCLK.CLKSRC[1:0]ビットを再設定するための、SYSCLKのクロックソースを選択します。停止しているクロックソースが選択された場合、ウェイクアップ時に自動的に発振またはクロック入力を開始します。ただし、CLGSCLK.WUPMDビット = 0のとき、この設定は無効です。 (新) これらのビットは、ウェイクアップ時にCLGSCLK.CLKSRC[1:0]ビットを再設定するための、SYSCLKのクロックソースを選択します。ただし、CLGSCLK.WUPMDビット = 0のとき、この設定は無効です。 注: 停止しているクロックソースを選択しないでください。選択する場合は、slp命令を実行する前に必ず、クロックソースの発振イネーブルビットを1に設定してください。</p>
	5-1	<p>ITC: 図5.1.1 ITCの構成 図修正(HALT/SLEEP解除信号追加、ウォッチドッグタイマブロック(削除) → GND)</p>
	5-1, 5-2	<p>ITC: 表5.2.1 ベクターテーブル (旧) TTBR + 0x00 ウォッチドッグタイマオーバーフロー *2 TTBR + 0x08 ウォッチドッグタイマオーバーフロー *2 *2 ウォッチドッグタイマの割り込みは、ソフトウェアにてリセットまたはNMIのいずれかを選択 (新) TTBR + 0x00 ウォッチドッグタイマオーバーフロー TTBR + 0x08 - (*2注釈削除)</p>
5-3	<p>ITC: 周辺回路の割り込み制御 (旧) 注: 不要な割り込みの発生を防ぐため、割り込みイネーブルビットを1(割り込みイネーブル)に設定する前、および割り込みハンドラルーチンを終了する前に、必ず対応する割り込みフラグをクリアしてください。 (新) 注: 不要な割り込みの発生を防ぐため、割り込みイネーブルビットを1(割り込みイネーブル)に設定する前、および割り込みハンドラルーチンを終了する前に、対応する割り込みフラグをクリアしてください。</p>	

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
412361601	5-3	ITC: ITCの割り込み要求処理 (旧) 注: 割り込みレベルを0にしても、その割り込みによるウェイクアップ動作(SLEEP解除)を禁止することはできません。 (新) 削除
	5-4	ITC: NMI (旧) 本ICでは、ウォッチドッグタイマでNMI(ノンマスカブル割り込み)を発生させることができます。この割り込みは他の割り込み要因に優先して、無条件にCPUに受け付けられます。 NMIを発生させる方法については“ウォッチドッグタイマ”の章を参照してください。 (新) 本ICでは、NMI(ノンマスカブル割り込み)を発生させることはできません。 ITC: CPUによる割り込み処理 (旧) 注: HALTまたはSLEEPモードからのウェイクアップ時は、1命令を実行してから割り込みハンドラルーチンにジャンプします。 (新) 注: HALTまたはSLEEPモード解除時は、1命令を実行してから割り込みハンドラルーチンにジャンプします。
	6-5	PPORT: GPIOポート入力データの読み出し (旧) なし (新) 注: PxDAT.PxINyビットは、CPUが読み出す1クロック前の入力ポートの状態を保持しています。 PPORT: チャタリング除去機能 (旧) 入力検定時間 [秒] = 2 / CLK_PPORT周波数 [Hz] (式6.2) (新) 入力検定時間 [秒] = 2~3 / CLK_PPORT周波数 [Hz] (式6.2)
	6-8	PPORT: Px Port Interrupt Control Register (旧) 注: 不要な割り込みの発生を防ぐため、割り込みをイネーブルにする前に必ず対応する割り込みフラグをクリアしてください。 (新) 注: 不要な割り込みの発生を防ぐため、割り込みをイネーブルにする前に対応する割り込みフラグをクリアしてください。
	7-1	WDT: 概要 (旧) ・NMI/リセット発生周期をカウントする10ビットアップカウンタを搭載 ... ・カウンタのオーバーフローによりリセットまたはNMIを発生 (新) ・リセット発生周期をカウントする10ビットアップカウンタを搭載 ... ・カウンタのオーバーフローによりリセットを発生 WDT: 図7.1.1 WDTの構成 図修正(NMIXRST、STATNMI、NMI出力を削除) WDT: WDTの動作クロック (旧) WDTのカウンタオーバーフロー周期(NMI/リセット発生周期)は次の式で計算できます。 (新) WDTのカウンタオーバーフロー周期(リセット発生周期)は次の式で計算できます。
	7-2	WDT: WDTのRUN (旧) 3. WDTCTL.NMIXRSTビットを設定する。(NMI/リセットモードを選択) 4. WDTCTL.WDTCNTRSTビットに1を書き込む。(WDTカウンタをリセット) 5. WDTCTL.WDTRUN[3:0]ビットに0xa以外の任意の値を書き込む。(WDTを起動) 6. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定) (新) 3. WDTCTL.WDTCNTRSTビットに1を書き込む。(WDTカウンタをリセット) 4. WDTCTL.WDTRUN[3:0]ビットに0xa以外の任意の値を書き込む。(WDTを起動) 5. MSCPROT.PROT[15:0]ビットに0x0096以外の値を書き込む。(システムプロテクトを設定) WDT: WDTのリセット (旧) WDTは、カウンタがオーバーフローすると、システムリセット(WDTCTL.NMIXRSTビット = 0)またはNMI(WDTCTL.NMIXRSTビット = 1)を生成します。... リセット後、WDTは新たなNMI/リセット発生周期のカウントを始めます。何らかの原因によってtwdt周期以内にリセットされなかった場合、NMIまたはリセットによってCPUは割り込み処理に移行し、割り込みベクタを読み出して割り込み処理ルーチンを実行します。WDTがリセットされずにカウンタがオーバーフローしてNMIが発生した場合は、WDTCTL.STATNMIビットが1に設定されます。 (新) WDTは、カウンタがオーバーフローすると、システムリセットを生成します。... リセット後、WDTは新たなリセット発生周期のカウントを始めます。何らかの原因によってtwdt周期以内にリセットされなかった場合、システムリセットが発生します。 WDT: HALTモード時 (旧) HALTモード時であっても、WDTは動作します。したがって、NMI/リセット発生周期以上、HALTモードを続けるとNMIまたはリセットによりHALTモードが解除され、NMIの割り込み処理、またはリセット処理が実行されます。 (新) HALTモード時であっても、WDTは動作します。したがって、リセット発生周期以上HALTモードを続けると、リセットによりHALTモードが解除され、リセット処理が実行されます。

改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
412361601	7-2	<p>WDT: SLEEPモード時</p> <p>(旧) SLEEPモード時も選択されたクロックソースがONしている場合はWDTが動作します。この状態でNMI/リセット発生周期以上SLEEPモードを続けるとNMIまたはリセットによりSLEEPモードは解除され、NMIの割り込み処理、またはリセット処理が実行されます。... クロックソースがOFFの場合、WDTは停止しますが、SLEEPモード解除後に不要なNMIまたはリセットが発生することを防ぐため、slp命令の実行前にWDTをリセットしてください。</p> <p>(新) SLEEPモード時も選択されたクロックソースがONしている場合はWDTが動作します。この状態でリセット発生周期以上SLEEPモードを続けると、リセットによりSLEEPモードは解除され、リセット処理が実行されます。... クロックソースがOFFの場合、WDTは停止しますが、SLEEPモード解除後に不要なリセットが発生することを防ぐため、slp命令の実行前にWDTをリセットしてください。</p>
	7-3	<p>WDT: WDT Control Register レジスタ表修正(NMIXRST、STATNMI → Reserved)</p> <p>WDT: WDT Control Register (旧) Bits 15–10 Reserved Bit 9 N MIXRST ... Bit 8 STATNMI ... Bits 7–5 Reserved (新) Bits 15–5 Reserved</p>
	7-4	<p>WDT: WDT Control Register - Bits 3–0 WDRUN[3:0]</p> <p>(旧) カウンタの値によってはRUN直後にNMI/リセットが発生する場合がありますので、WDTをRUNさせる際にはWDTのリセットも同時に行ってください。</p> <p>(新) カウンタの値によってはRUN直後にリセットが発生する場合がありますので、WDTをRUNさせる際にはWDTのリセットも同時に行ってください。</p>
	9-3	<p>SVD: 検出開始</p> <p>(旧) 3. SVDCTLレジスタの以下のビットを設定する。 ... - SVDCTL.SVDC[4:0]ビット (比較電圧の設定)</p> <p>(新) 3. SVDCTLレジスタの以下のビットを設定する。 ... - SVDCTL.SVDC[4:0]ビット (SVD検出電圧V_{SVD}の設定)</p> <p>SVD: 検出結果の読み出し</p> <p>(旧) ・ SVDINTF.SVDDTビット = 0の場合: 電源電圧(V_{DD}またはEXVSVD) ≥ 比較電圧 ・ SVDINTF.SVDDTビット = 1の場合: 電源電圧(V_{DD}またはEXVSVD) < 比較電圧 ...また、SVDCTL.MODENビット = 1の状態、SVDCTL.SVDC[4:0]ビットの設定値を変更して比較電圧を変化させたときは、その時点からSVDINTF.SVDDTビットを読み出すまでに、SVD回路応答時間以上の待ち時間が必要です。</p> <p>(新) ・ SVDINTF.SVDDTビット = 0の場合: 電源電圧(V_{DD}またはEXVSVD) ≥ SVD検出電圧V_{SVD} ・ SVDINTF.SVDDTビット = 1の場合: 電源電圧(V_{DD}またはEXVSVD) < SVD検出電圧V_{SVD} ...また、SVDCTL.MODENビット = 1の状態、SVDCTL.SVDC[4:0]ビットの設定値を変更してSVD検出電圧V_{SVD}を変化させたときは、その時点からSVDINTF.SVDDTビットを読み出すまでに、SVD回路応答時間以上の待ち時間が必要です</p>
	9-5	<p>SVD: SVD割り込み</p> <p>(旧) セットされたSVDINTF.SVDIFビットは、その後電源電圧が比較値以上に戻ってもクリアされません。</p> <p>(新) セットされたSVDINTF.SVDIFビットは、その後電源電圧がSVD検出電圧V_{SVD}以上に戻ってもクリアされません。</p>
	9-6	<p>SVD: SVD Control Register - Bits 12–8 SVDC[4:0]</p> <p>(旧) これらのビットは、電源電圧低下を検出するための比較電圧を20種類から選択します。 表9.6.3 比較電圧の設定 SVDCTL.SVDC[4:0]ビット 比較電圧 [V]</p> <p>(新) これらのビットは、電源電圧低下を検出するためのSVD検出電圧V_{SVD}を20種類から選択します。 表9.6.3 SVD検出電圧V_{SVD}の設定 SVDCTL.SVDC[4:0]ビット SVD検出電圧V_{SVD} [V]</p>
	9-7	<p>SVD: SVD Status and Interrupt Flag Register - Bit 8 SVDDT</p> <p>(旧) 1 (R): 電源電圧(V_{DD}またはEXVSVD) < 比較電圧 0 (R): 電源電圧(V_{DD}またはEXVSVD) ≥ 比較電圧</p> <p>(新) 1 (R): 電源電圧(V_{DD}またはEXVSVD) < SVD検出電圧V_{SVD} 0 (R): 電源電圧(V_{DD}またはEXVSVD) ≥ SVD検出電圧V_{SVD}</p>
	9-8	<p>SVD: SVD Interrupt Enable Register - Bit 0 SVDIE</p> <p>(旧) 注: ... ・ 不要な割り込みの発生を防ぐため、割り込みをイネーブルにする前に必ず対応する割り込みフラグをクリアしてください。</p> <p>(新) 注: ... ・ 不要な割り込みの発生を防ぐため、割り込みをイネーブルにする前に対応する割り込みフラグをクリアしてください。</p>

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
412361601	10-1	T16: 図10.1.1 T16チャンネルの構成 図修正(入出力ポート(チャタリング除去回路)削除) T16: 入力端子 (旧) EXCLm端子と他の機能がポートを共有している場合、イベントカウンタ機能を使用する前にEXCLm入力機能をポートに割り当てる必要があります。また、EXCLm信号はチャタリング除去回路を通して入力することが可能です。これらの詳細は“入出力ポート”の章を参照してください。 (新) EXCLm端子と他の機能がポートを共有している場合、イベントカウンタ機能を使用する前にEXCLm入力機能をポートに割り当てる必要があります。詳細は“入出力ポート”の章を参照してください。
	10-6	T16: T16 Ch.n Reload Data Register (旧) 注: タイマ動作中(T16_nCTL.PRUNビット = 1)は、誤った初期値がカウンタにプリセットされる恐れがあるため、T16_nTRレジスタを変更することはできません。 (新) 注: ・ タイマ動作中(T16_nCTL.PRUNビット = 1)は、誤った初期値がカウンタにプリセットされる恐れがあるため、T16_nTRレジスタを変更することはできません。 ・ ワンショットモードのときは、T16_nTR.TR[15:0]ビットを0x0001以上の値に設定してください。
	10-7	T16: T16 Ch.n Interrupt Enable Register - Bit 0 UFIE (旧) 注: 不要な割り込みの発生を防ぐため、割り込みをイネーブルにする前に必ず対応する割り込みフラグをクリアしてください。 (新) 注: 不要な割り込みの発生を防ぐため、割り込みをイネーブルにする前に対応する割り込みフラグをクリアしてください。
	13-14	I2C: 図13.4.7.1 10ビットアドレスモードのデータ送受信開始動作例(スレープモード) (旧) I2C(マスタモード)による動作 外部スレープによる動作 (新) 外部マスタによる動作 I2C(スレープモード)による動作
	AP-A-3	周辺回路制御レジスタ一覧: WDT Control Register レジスタ表修正(NMIXRST、STATNMI → Reserved)
	AP-C-1	実装上の注意事項: Vpp端子 (旧) なし (新) Flashプログラミング電圧Vppが大きく変動する場合、Vss~Vpp間キャパシタCvppを接続して、Vpp ± 1V以下の変動に抑えてください。 このとき、Cvppは可能な限りVpp端子の近くに配置し、数十mAが流せるように十分な太さを持つパターンを用いて配線してください。 図追加(Vpp端子接続例)
412361602	1-2	1.1 特長 表1.1を修正 出荷形態: パッケージ名にJEITA名称を追加
	2-6	2.3.4 動作 発振開始時間と発振安定待ち時間 IOSCC振回路の発振安定待ち時間 → IOSCCCLK 16クロック 下記説明を追加 OSC1発振回路の発振安定待ち時間は、OSC1CLK 16,384クロック以上に設定してください。
	3-3	3.3.3 デバッグ入出力端子一覧 注を追加 注: ・ DCLK端子は、外部からHIGHレベルで駆動しないでください(例: 端子を抵抗でプルアップする等)。 また、DCLK端子とその他の汎用入出力ポートを短絡結線しないでください。いずれの場合も、電源投入時の不定入出力の影響で、ICが正常に起動しない可能性があります。 ・ DSI0端子は、外部からLOWレベルで駆動しないでください。デバッグ割り込みが発生し、CPUがDEBUGモードに入ります。
	4-3	4.3.3 Flashプログラミング 図4.3.3.1修正 Cvppを追加 下記説明を追加 Vpp電源供給時は電圧安定用に、Cvppを必ず接続してください。
	6-16	6.7.7 Pdポートグループ 表6.7.7.1修正 PDIOENレジスタ: PDOEN[1:0] → PDOEN[2:0]
	7-4	7.4 制御レジスタ WDT Control Register WDTRUN[3:0]ビットの説明を修正 Bits 3-0 WDTRUN[3:0] これらのビットは、WDTのRUN/STOPを制御します。 0xa (WP): STOP 0xa以外 (WP): RUN 0xa (R): 停止中 0x0 (R): 動作中

改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
412361602	8-2	8.3.2 論理緩急機能 手順1を修正 1. f_{osc1} を測定し、発振周波数偏差の補正值 m [ppm] = $-(f_{osc1} - 32,768 \text{ [Hz]}) / 32,768 \text{ [Hz]} \times 10^6$ を求める。 (式8.1) m : OSC1発振周波数偏差の補正值 [ppm]
	8-4	8.4.2 リアルタイムクロックカウンタの動作 有効範囲外の値をセットした場合の補正動作 説明を修正、注を追加 年、曜日、時(24Hモード時)カウンタに、有効範囲外の値をセットすると、カウンタの次のカウントアップで0にクリアされます。月、日、時(12Hモード時)カウンタに、有効範囲外の値をセットすると、カウンタの次のカウントアップタイミングで1にセットされます。 注: RTCMON.RTCMOHビット = 0 & RTCMON.RTCMOL[3:0]ビット = 0x0の設定を禁止します。
	8-6	8.6 制御レジスタ RTC Control Register Bits 14–8 RTCTRM[6:0] 注を追加 注: ... ・ RTCTCTL.RTCTRM[6:0]ビットに0x00を書き込んだ場合、RTCCTL.RTCTRMBSYビットは1になりませんが、補正は行われません。
	8-11	8.6 制御レジスタ RTC Month/Day Register Bit 12 RTCMOH Bits 11–8 RTCMOL[3:0] 注を追加 注: ... ・ RTCMON.RTCMOH/RTCMOL[3:0]ビットを0x00に設定することは禁止します。
	9-3	9.4.1 SVDの制御 検出開始 手順4を修正 4. ... - SVDINTE.SVDIEビットを1に設定
	13-7~8	13.4.3 マスタモードのデータ受信 受信手順 手順1を追加(旧手順番号をインクリメント) 1. 受信するデータの長さが1バイトの場合はI2CnCTL.TXNACKビットに1を書き込む。 図13.4.3.2修正 手順1のフローを追加
	13-12~13	13.4.6 スレープモードのデータ受信 受信手順 手順1を追加(旧手順番号をインクリメント) 1. 受信するデータの長さが1バイトの場合はI2CnCTL.TXNACKビットに1を書き込む。 図13.4.6.2修正 手順1のフローを追加
	14-2	14.2.1 出力端子一覧 表14.2.1.1修正 SEGxx/COMxx端子のI/O: O → A
	14-4	14.4.3 外部印加モード2 説明を修正 LCD駆動用電圧 V_{C1} ~ V_{C2} のうち1つを外部から印加し、残りを内部で生成するモードです。
	14-6	14.5.2 表示のON/OFF 注を追加 注: 表示OFFを選択したときは、 V_{C4} (または V_{C3})の電荷を以下の手順によりディスチャージする必要があります。 ... 再度表示をONする場合は、上記の逆の手順を行ってください。
	17-1	17.2 推奨動作条件 特性表修正 CvPP追加 注意(*1)を追加 *1 LCDドライバを使用する場合、 $V_{DD} \geq 4.6 \text{ V}$ のときは $ V_{C3} - V_{DD} \geq 0.4 \text{ V}$ になるように設定してください。
	18-1	18 基本外部結線図 図修正 CvPPを追加
19-1	19 パッケージ パッケージ名にJEITA名称を追加	

改訂履歴表

コードNo.	ページ	改訂内容 (旧内容を含む) および改訂理由
412361602	AP-A-9	Appendix A 周辺回路制御レジスタ一覧 PDIOEN (Pd Port Enable Register) レジスタ表修正 PDOEN[1:0] → PDOEN[2:0]

セイコーエプソン株式会社

営業本部 デバイス営業部

東京 〒160-8801 東京都新宿区新宿4-1-6 JR新宿ミライナタワー 29階

大阪 〒530-6122 大阪市北区中之島3-3-23 中之島ダイビル22F

ドキュメントコード：412361602
2012年 10月 作成 ①
2021年 5月 改訂 ①