

CMOS 16-BIT SINGLE CHIP MICROCONTROLLER

S1C17554/564

テクニカルマニュアル

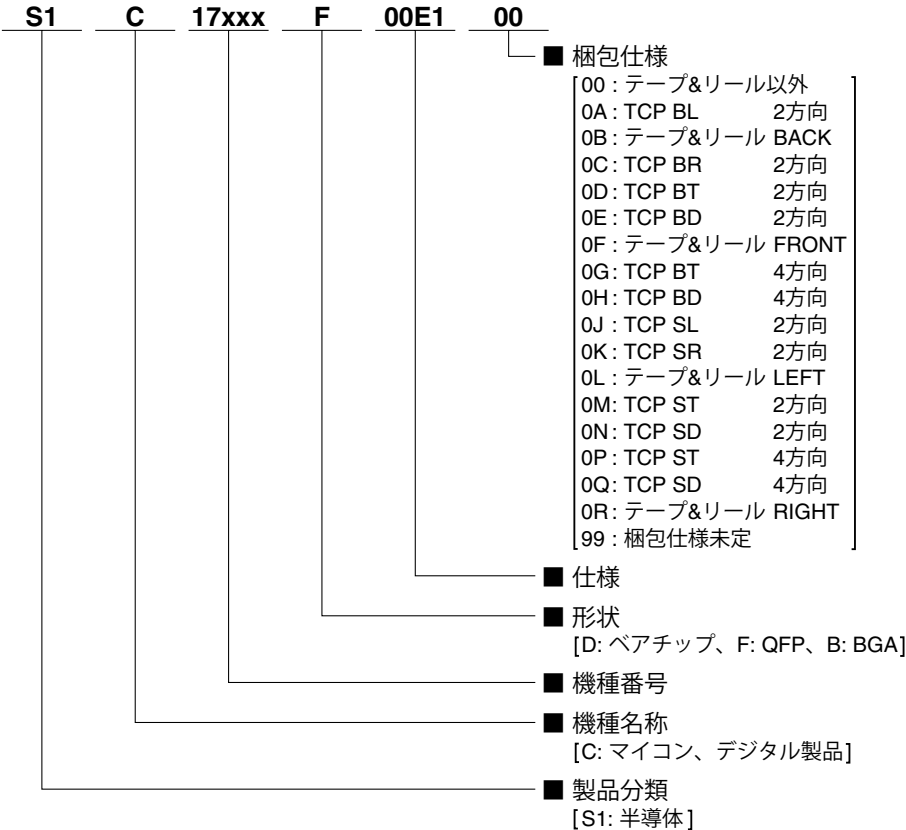
本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告なく変更することがあります。

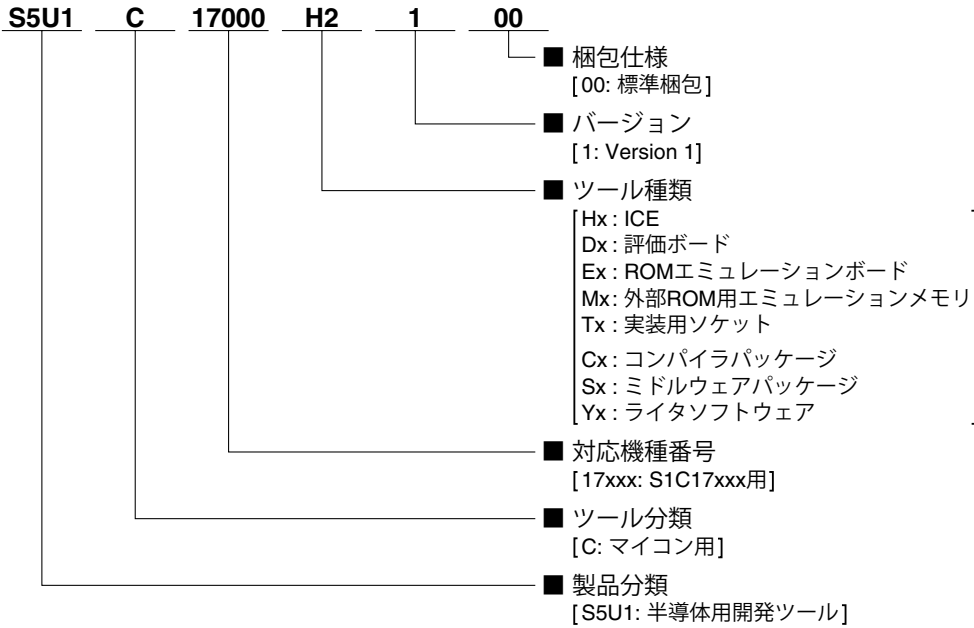
1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち、「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

製品型番体系

●デバイス



●開発ツール



- 目 次 -

1 概要	1-1
1.1 特長	1-1
1.2 ブロック図	1-3
1.3 端子	1-5
1.3.1 S1C17554端子配置図	1-5
1.3.2 S1C17564端子配置図	1-9
1.3.3 端子説明	1-12
2 CPU	2-1
2.1 S1C17コアの特長	2-1
2.2 CPUレジスタ	2-2
2.3 命令セット	2-2
2.4 PSRの読み出し	2-5
2.5 プロセッサ情報	2-6
3 メモリマップ, バス制御	3-1
3.1 バスサイクル	3-1
3.1.1 アクセスサイズ制限	3-2
3.1.2 命令実行サイクルの制限	3-2
3.2 Flashエリア	3-2
3.2.1 内蔵Flashメモリ	3-2
3.2.2 Flashプログラミング	3-2
3.2.3 プロテクトビット	3-2
3.2.4 Flashメモリリードウェイト数の設定	3-3
FLASHC Read Wait Control Register (FLASHC_WAIT)	3-3
3.3 内蔵RAMエリア	3-3
3.3.1 内蔵RAM	3-3
IRAM Size Register (MISC_IRAMSZ)	3-4
3.4 内蔵周辺回路エリア	3-4
3.4.1 内蔵周辺回路エリア1 (0x4000~)	3-5
3.4.2 内蔵周辺回路エリア2 (0x5000~)	3-5
3.5 S1C17コアI/O予約エリア	3-5
4 電源	4-1
4.1 コア電源電圧 (LV _{DD})	4-1
4.2 I/O電源電圧 (HV _{DD})	4-1
4.3 アナログ回路用電源電圧 (AV _{DD})	4-1
4.4 Flashプログラミング用電源電圧 (V _{PP})	4-1
4.5 内蔵レギュレータ (S1C17564)	4-2
4.6 制御レジスタ詳細 (S1C17564)	4-2
V _{D1} Control Register (VD1_CTL)	4-2
4.7 電源に関する注意事項	4-3
5 イニシャルリセット	5-1
5.1 イニシャルリセット要因	5-1
5.1.1 #RESET端子	5-1
5.1.2 P0ポートキー入力リセット	5-1
5.1.3 ウォッチドッグタイマによるリセット	5-1
5.2 イニシャルリセットシーケンス	5-2
5.3 イニシャルリセット時の初期設定	5-2

6 割り込みコントローラ (ITC)	6-1
6.1 ITCモジュールの概要	6-1
6.2 ベクタテーブル	6-2
Vector Table Address Low/High Registers (MISC_TTBRL, MISC_TTBRLH)	6-4
6.3 マスク可能割り込みの制御	6-4
6.3.1 周辺モジュールの割り込み制御ビット	6-4
6.3.2 ITCの割り込み要求処理	6-4
6.3.3 S1C17コアの割り込み処理	6-5
6.4 NMI	6-6
6.5 ソフトウェア割り込み	6-6
6.6 HALT, SLEEPモードの解除	6-6
6.7 制御レジスタ詳細	6-6
Interrupt Level Setup Register x (ITC_LVx)	6-7
7 クロックジェネレータ (CLG)	7-1
7.1 CLGモジュールの概要	7-1
7.2 CLG入出力端子	7-2
7.3 発振回路	7-2
7.3.1 OSC3発振回路	7-2
7.3.2 OSC1発振回路	7-4
7.3.3 IOSC発振回路 (S1C17564)	7-5
7.4 システムクロックの切り換え	7-6
7.5 CPUコアクロック (CCLK) の制御	7-7
7.6 周辺モジュールクロック (PCLK) の制御	7-8
7.7 クロック外部出力 (FOUTA, FOUTB)	7-9
7.8 制御レジスタ詳細	7-10
Clock Source Select Register (CLG_SRC)	7-10
Oscillation Control Register (CLG_CTL)	7-11
Noise Filter Enable Register (CLG_NFEN)	7-13
FOUTA Control Register (CLG_FOUTA)	7-14
FOUTB Control Register (CLG_FOUTB)	7-15
IOSC Control Register (CLG_IOSC)	7-16
PCLK Control Register (CLG_PCLK)	7-16
CCLK Control Register (CLG_CCLK)	7-17
8 入出力ポート (P)	8-1
8.1 Pモジュールの概要	8-1
8.2 入出力端子機能の選択 (ポートMUX)	8-2
8.3 データの入出力	8-3
8.4 プルアップ制御	8-3
8.5 チャタリング除去機能	8-4
8.6 ポート入力割り込み	8-4
8.7 P0ポートキー入力リセット	8-5
8.8 制御レジスタ詳細	8-5
Px Port Input Data Registers (Px_IN)	8-7
Px Port Output Data Registers (Px_OUT)	8-7
Px Port Output Enable Registers (Px_OEN)	8-7
Px Port Pull-up Control Registers (Px_PU)	8-8
Px Port Interrupt Mask Registers (Px_IMSK)	8-8
Px Port Interrupt Edge Select Registers (Px_EDGE)	8-9
Px Port Interrupt Flag Registers (Px_IFLG)	8-9
Px Port Chattering Filter Control Registers (Px_CHAT)	8-10
P0 Port Key-Entry Reset Configuration Register (P0_KRST)	8-11

Px Port Input Enable Registers (Px_IEN)	8-11
P0[3:0] Port Function Select Register (P00_03PMUX)	8-12
P1[3:0] Port Function Select Register (P10_13PMUX)	8-13
P1[7:4] Port Function Select Register (P14_17PMUX)	8-14
P2[3:0] Port Function Select Register (P20_23PMUX)	8-15
P2[7:4] Port Function Select Register (P24_27PMUX)	8-16
P3[3:0] Port Function Select Register (P30_33PMUX)	8-17
P3[7:4] Port Function Select Register (P34_37PMUX)	8-18
P4[3:0] Port Function Select Register (P40_43PMUX)	8-19
P4[5:4] Port Function Select Register (P44_45PMUX)	8-19
P5[3:0] Port Function Select Register (P50_53PMUX)	8-20
P5[5:4] Port Function Select Register (P54_55PMUX)	8-21
9 16ビットタイマ (T16)	9-1
9.1 T16モジュールの概要	9-1
9.2 カウントクロック	9-2
9.3 カウントモード	9-2
9.4 リロードデータレジスタとアンダーフロー周期	9-2
9.5 タイマのリセット	9-3
9.6 タイマRUN/STOP制御	9-3
9.7 T16出力信号	9-4
9.8 T16割り込み	9-4
9.9 制御レジスタ詳細	9-5
T16 Ch.x Count Clock Select Registers (T16_CLKx)	9-5
T16 Ch.x Reload Data Registers (T16_TRx)	9-6
T16 Ch.x Counter Data Registers (T16_TCx)	9-6
T16 Ch.x Control Registers (T16_CTLx)	9-6
T16 Ch.x Interrupt Control Registers (T16_INTx)	9-7
10 ファインモード16ビットタイマ (T16F)	10-1
10.1 T16Fモジュールの概要	10-1
10.2 カウントクロック	10-2
10.3 カウントモード	10-2
10.4 リロードデータレジスタとアンダーフロー周期	10-2
10.5 タイマのリセット	10-3
10.6 タイマRUN/STOP制御	10-3
10.7 T16F出力信号	10-4
10.8 ファインモード	10-4
10.9 T16F割り込み	10-5
10.10 制御レジスタ詳細	10-6
T16F Ch.x Count Clock Select Registers (T16F_CLKx)	10-6
T16F Ch.x Reload Data Registers (T16F_TRx)	10-6
T16F Ch.x Counter Data Registers (T16F_TCx)	10-7
T16F Ch.x Control Registers (T16F_CTLx)	10-7
T16F Ch.x Interrupt Control Registers (T16F_INTx)	10-8
11 16ビットPWMタイマ (T16A)	11-1
11.1 T16Aモジュールの概要	11-1
11.2 T16A入出力端子	11-2
11.3 カウントクロック	11-3
11.4 T16Aの動作モード	11-4
11.4.1 コンパレータモードとキャプチャモード	11-4
11.4.2 リピートモードとワンショットモード	11-6
11.4.3 ノーマルチャネルモードとマルチコンパレータ/キャプチャモード	11-6

11.5 カウンタの制御	11-8
11.5.1 カウンタのリセット	11-8
11.5.2 カウンタRUN/STOP制御	11-8
11.5.3 カウンタ値の読み出し	11-8
11.5.4 タイミングチャート	11-9
11.6 タイマ出力の制御	11-9
11.7 T16A割り込み	11-11
11.8 制御レジスタ詳細	11-12
T16A Clock Control Register Ch.x (T16A_CLKx)	11-13
T16A Counter Ch.x Control Registers (T16A_CTLx)	11-14
T16A Counter Ch.x Data Registers (T16A_TCx)	11-15
T16A Comparator/Capture Ch.x Control Registers (T16A_CCCTLx)	11-16
T16A Comparator/Capture Ch.x A Data Registers (T16A_CCAx)	11-18
T16A Comparator/Capture Ch.x B Data Registers (T16A_CCBx)	11-18
T16A Comparator/Capture Ch.x Interrupt Enable Registers (T16A_IENx)	11-19
T16A Comparator/Capture Ch.x Interrupt Flag Registers (T16A_IFLGx)	11-20
12 計時タイマ(CT)	12-1
12.1 CTモジュールの概要	12-1
12.2 動作クロック	12-1
12.3 タイマのリセット	12-1
12.4 タイマRUN/STOP制御	12-1
12.5 CT割り込み	12-2
12.6 制御レジスタ詳細	12-3
Clock Timer Control Register (CT_CTL)	12-3
Clock Timer Counter Register (CT_CNT)	12-4
Clock Timer Interrupt Mask Register (CT_IMSK)	12-4
Clock Timer Interrupt Flag Register (CT_IFLG)	12-5
13 ストップウォッチタイマ(SWT)	13-1
13.1 SWTモジュールの概要	13-1
13.2 動作クロック	13-1
13.3 BCDカウンタ	13-1
13.4 タイマのリセット	13-2
13.5 タイマRUN/STOP制御	13-2
13.6 SWT割り込み	13-3
13.7 制御レジスタ詳細	13-4
Stopwatch Timer Control Register (SWT_CTL)	13-4
Stopwatch Timer BCD Counter Register (SWT_BCNT)	13-5
Stopwatch Timer Interrupt Mask Register (SWT_IMSK)	13-5
Stopwatch Timer Interrupt Flag Register (SWT_IFLG)	13-5
14 ウォッチドッグタイマ(WDT)	14-1
14.1 WDTモジュールの概要	14-1
14.2 動作クロック	14-1
14.3 WDTの制御	14-1
14.3.1 NMI/リセットモードの選択	14-1
14.3.2 WDTのRUN/STOP制御	14-1
14.3.3 WDTのリセット	14-2
14.3.4 HALT, SLEEPモード時の動作	14-2
14.4 制御レジスタ詳細	14-2
Watchdog Timer Control Register (WDT_CTL)	14-2
Watchdog Timer Status Register (WDT_ST)	14-3

15 UART	15-1
15.1 UARTモジュールの概要	15-1
15.2 UART入出力端子	15-2
15.3 ボーレートジェネレータ	15-2
15.4 転送データの設定	15-4
15.5 データ送受信の制御	15-5
15.6 受信エラー	15-8
15.7 UART割り込み	15-8
15.8 IrDAインタフェース	15-9
15.9 制御レジスタ詳細	15-10
UART Ch.x Status Registers (UART_STx)	15-11
UART Ch.x Transmit Data Registers (UART_TXDx)	15-12
UART Ch.x Receive Data Registers (UART_RXDx)	15-13
UART Ch.x Mode Registers (UART_MODx)	15-13
UART Ch.x Control Registers (UART_CTLx)	15-14
UART Ch.x Expansion Registers (UART_EXPx)	15-15
UART Ch.x Baud Rate Registers (UART_BRx)	15-15
UART Ch.x Fine Mode Registers (UART_FMDx)	15-15
UART Ch.x Clock Control Registers (UART_CLKx)	15-16
16 SPI	16-1
16.1 SPIモジュールの概要	16-1
16.2 SPI入出力端子	16-1
16.3 SPIクロック	16-2
16.4 データ転送条件の設定	16-2
16.5 データ送受信の制御	16-3
16.6 SPI割り込み	16-5
16.7 制御レジスタ詳細	16-6
SPI Ch.x Status Registers (SPI_STx)	16-6
SPI Ch.x Transmit Data Registers (SPI_TXDx)	16-7
SPI Ch.x Receive Data Registers (SPI_RXDx)	16-7
SPI Ch.x Control Registers (SPI_CTLx)	16-8
17 I²Cマスタ (I2CM)	17-1
17.1 I2CMモジュールの概要	17-1
17.2 I2CM入出力端子	17-1
17.3 同期クロック	17-2
17.4 データ転送前の設定項目	17-2
17.5 データ送受信の制御	17-2
17.6 I2CM割り込み	17-6
17.7 制御レジスタ詳細	17-7
I ² C Master Enable Register (I2CM_EN)	17-8
I ² C Master Control Register (I2CM_CTL)	17-8
I ² C Master Data Register (I2CM_DAT)	17-9
I ² C Master Interrupt Control Register (I2CM_ICTL)	17-10
18 I²Cスレーブ (I2CS)	18-1
18.1 I2CSモジュールの概要	18-1
18.2 I2CS入出力端子	18-1
18.3 動作クロック	18-2
18.4 I2CSの初期設定	18-2
18.4.1 リセット	18-2
18.4.2 スレーブアドレスの設定	18-3

18.4.3 オプション機能	18-3
18.5 データ送受信の制御	18-3
18.6 I2CS割り込み	18-8
18.7 制御レジスタ詳細	18-9
I2C Slave Transmit Data Register (I2CS_TRNS)	18-9
I2C Slave Receive Data Register (I2CS_RECV)	18-10
I2C Slave Address Setup Register (I2CS_SADRS)	18-10
I2C Slave Control Register (I2CS_CTL)	18-10
I2C Slave Status Register (I2CS_STAT)	18-13
I2C Slave Access Status Register (I2CS_ASTAT)	18-15
I2C Slave Interrupt Control Register (I2CS_ICTL)	18-16
19 ユニバーサルシリアルインタフェース(USI) [S1C17564]	19-1
19.1 USIモジュールの概要	19-1
19.2 USI端子	19-2
19.3 USIのクロックソース	19-2
19.4 USIモジュールの設定	19-3
19.4.1 USIモジュールのソフトウェアリセット	19-4
19.4.2 インタフェースモード	19-4
19.4.3 モード共通項目の設定	19-4
19.4.4 UARTモード時の設定	19-4
19.4.5 SPIマスタモード時の設定	19-5
19.4.6 I2Cモード時の設定	19-6
19.5 データ送受信の制御	19-6
19.5.1 UARTモードのデータ転送	19-6
19.5.2 SPIマスタモードのデータ転送	19-7
19.5.3 I2Cモードのデータ転送	19-9
19.6 受信エラー	19-19
19.7 USI割り込み	19-20
19.7.1 UARTモードの割り込み	19-20
19.7.2 SPIマスタモードの割り込み	19-21
19.7.3 I2Cマスタモードの割り込み	19-22
19.7.4 I2Cスレーブモードの割り込み	19-22
19.8 制御レジスタ詳細	19-23
USI Ch.x Global Configuration Registers (USI_GCFGx)	19-24
USI Ch.x Transmit Data Buffer Registers (USI_TDx)	19-24
USI Ch.x Receive Data Buffer Registers (USI_RDx)	19-25
USI Ch.x UART Mode Configuration Registers (USI_UCFGx)	19-25
USI Ch.x UART Mode Interrupt Enable Registers (USI_UIEx)	19-26
USI Ch.x UART Mode Interrupt Flag Registers (USI_UIFx)	19-26
USI Ch.x SPI Master Mode Configuration Registers (USI_SCFGx)	19-28
USI Ch.x SPI Master Mode Interrupt Enable Registers (USI_SIEx)	19-29
USI Ch.x SPI Master Mode Interrupt Flag Registers (USI_SIFx)	19-30
USI Ch.x I2C Master Mode Trigger Registers (USI_IMTGx)	19-31
USI Ch.x I2C Master Mode Interrupt Enable Registers (USI_IMIEx)	19-32
USI Ch.x I2C Master Mode Interrupt Flag Registers (USI_IMIFx)	19-32
USI Ch.x I2C Slave Mode Trigger Registers (USI_ISTGx)	19-33
USI Ch.x I2C Slave Mode Interrupt Enable Registers (USI_ISIEx)	19-34
USI Ch.x I2C Slave Mode Interrupt Flag Registers (USI_ISIFx)	19-35
19.9 注意事項	19-36
20 IRリモートコントローラ(REMC)	20-1
20.1 REMCモジュールの概要	20-1
20.2 REMC入出力端子	20-1
20.3 キャリアの生成	20-1

20.4	データ長カウンタのクロック設定	20-2
20.5	データ送受信の制御	20-3
20.6	REMC割り込み	20-5
20.7	制御レジスタ詳細	20-6
	REMC Configuration Register (REMC_CFG)	20-6
	REMC Carrier Length Setup Register (REMC_CAR)	20-7
	REMC Length Counter Register (REMC_LCNT)	20-8
	REMC Interrupt Control Register (REMC_INT)	20-9
21	A/D変換器(ADC10)	21-1
21.1	ADC10モジュールの概要	21-1
21.2	ADC10入力端子	21-2
21.3	A/D変換器の設定	21-2
	21.3.1 A/D変換クロックの設定	21-2
	21.3.2 A/D変換開始チャネル/終了チャネルの選択	21-3
	21.3.3 A/D変換モードの設定	21-3
	21.3.4 トリガの選択	21-4
	21.3.5 サンプリング時間の設定	21-4
	21.3.6 変換結果格納モードの設定	21-5
21.4	A/D変換の制御と動作	21-5
	21.4.1 A/D変換器の起動	21-5
	21.4.2 A/D変換の開始	21-5
	21.4.3 A/D変換結果の読み出し	21-6
	21.4.4 A/D変換の終了	21-6
	21.4.5 タイミングチャート	21-6
21.5	A/D変換器割り込み	21-8
21.6	制御レジスタ詳細	21-8
	A/D Conversion Result Register (ADC10_ADD)	21-9
	A/D Trigger/Channel Select Register (ADC10_TRG)	21-9
	A/D Control/Status Register (ADC10_CTL)	21-11
	A/D Clock Control Register (ADC10_CLK)	21-12
	A/D Comparator Setting Register (ADC10_COM)	21-13
22	オンチップデバッグ(DBG)	22-1
22.1	リソース要件とデバッグツール	22-1
22.2	デバッグブレイク時の動作状態	22-1
22.3	追加デバッグ機能	22-2
22.4	制御レジスタ詳細	22-2
	Debug Mode Control Register 1 (MISC_DMODE1)	22-2
	Debug Mode Control Register 2 (MISC_DMODE2)	22-3
	IRAM Size Select Register (MISC_IRAMSZ)	22-3
	Debug RAM Base Register (DBRAM)	22-4
	Debug Control Register (DCR)	22-4
	Instruction Break Address Register 2 (IBAR2)	22-5
	Instruction Break Address Register 3 (IBAR3)	22-5
	Instruction Break Address Register 4 (IBAR4)	22-6
23	乗除算器(COPRO)	23-1
23.1	概要	23-1
23.2	動作モードと出力モード	23-1
23.3	乗算	23-2
23.4	除算	23-3
23.5	積和演算	23-4
23.6	演算結果の読み出し	23-6

24 電気的特性	24-1	
24.1 絶対最大定格	24-1	
24.2 推奨動作条件	24-1	
24.3 消費電流	24-2	
24.4 DCレギュレータ特性	24-3	
24.5 発振特性	24-3	
24.6 外部クロック入力特性	24-4	
24.7 システムクロック特性	24-5	
24.8 入出力端子特性	24-5	
24.9 SPI特性	24-7	
24.10 I ² C特性	24-7	
24.11 USI特性(S1C17564)	24-8	
24.12 A/D変換器特性	24-9	
24.13 Flashメモリ特性	24-10	
25 基本外部結線図	25-1	
26 パッケージ	26-1	
Appendix A I/Oレジスタ一覧	AP-A-1	
0x4100–0x4107, 0x506c	UART (with IrDA) Ch.0	AP-A-5
0x4120–0x4127, 0x506d	UART (with IrDA) Ch.1	AP-A-6
0x4200–0x4208	Fine Mode 16-bit Timer Ch.0	AP-A-7
0x4220–0x4228	16-bit Timer Ch.0	AP-A-7
0x4240–0x4248	16-bit Timer Ch.1	AP-A-8
0x4260–0x4268	16-bit Timer Ch.2	AP-A-8
0x4280–0x4288	Fine Mode 16-bit Timer Ch.1	AP-A-9
0x4306–0x431c	Interrupt Controller	AP-A-9
0x4320–0x4326	SPI Ch.0	AP-A-10
0x4340–0x4346	I ² C Master	AP-A-11
0x4360–0x436c	I ² C Slave	AP-A-11
0x4380–0x4386	SPI Ch.1	AP-A-12
0x43a0–0x43a6	SPI Ch.2	AP-A-12
0x5000–0x5003	Clock Timer	AP-A-12
0x5020–0x5023	Stopwatch Timer	AP-A-13
0x5040–0x5041	Watchdog Timer	AP-A-13
0x5060–0x5081	Clock Generator	AP-A-13
0x50c0–0x50cf	USI Ch.0	AP-A-15
0x50e0–0x50ef	USI Ch.1	AP-A-17
0x5121	Power Generator	AP-A-18
0x5200–0x52ab	P Port & Port MUX	AP-A-18
0x4020, 0x5322–0x532c	MISC Registers	AP-A-26
0x5340–0x5346	IR Remote Controller	AP-A-27
0x5380–0x5388	A/D Converter	AP-A-27
0x5068, 0x5400–0x540c	16-bit PWM Timer Ch.0	AP-A-28
0x5069, 0x5420–0x542c	16-bit PWM Timer Ch.1	AP-A-30
0x506a, 0x5440–0x544c	16-bit PWM Timer Ch.2	AP-A-31
0x506b, 0x5460–0x546c	16-bit PWM Timer Ch.3	AP-A-33
0x54b0	Flash Controller	AP-A-34
0xffff84–0xffffd0	S1C17 Core I/O	AP-A-34
Appendix B パワーセーブ	AP-B-1	
B.1 クロック制御によるパワーセーブ	AP-B-1	
B.2 電源制御によるパワーセーブ	AP-B-2	

Appendix C 実装上の注意事項..... AP-C-1

Appendix D 初期化ルーチン AP-D-1

Appendix E 推奨振動子..... AP-E-1

改訂履歴表

1 概要

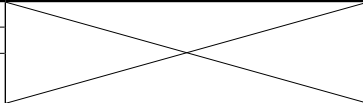

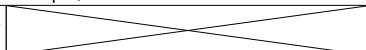
1.1 特長

以下にS1C17554/564の主な機能と特長を示します。

表1.1.1 特長

機種	S1C17554		S1C17564
CPU			
CPUコア	EPSONオリジナル16ビットRISC CPUコア S1C17		
乗除算器 (COPRO)	• 16ビット × 16ビット乗算器 • 16ビット × 16ビット + 32ビット積和演算器 • 16ビット ÷ 16ビット除算器		
内蔵Flashメモリ			
容量	128Kバイト (命令/データ共用)		
書き換え回数	10回 (min.) (FLSはV1.0以降を使用した場合に限る)		
その他	• 書き込み/読み出し保護機能 • 消去/プログラミング用電源 (V _{PP}) が必要 • デバッグツールICDminiからのオンボード書き込みが可能		
内蔵RAM			
容量	16Kバイト		
クロックジェネレータ			
システムクロックソース	2種類 (OSC3/OSC1)	3種類 (IOSC/OSC3/OSC1)	
IOSC発振回路			2/4/8/12 MHz (typ.) 内蔵発振回路
OSC3発振回路	24MHz (max.) 水晶発振回路/セラミック発振回路 外部クロック入力にも対応		
OSC1発振回路	32.768kHz (typ.) 水晶発振回路 外部クロック入力にも対応		
その他	• コアクロック周波数制御 • 周辺モジュールクロック供給制御		
入出力ポート			
汎用入出力ポート数	最大40ビット (TQFP13-64pin/パッケージ) 最大34ビット (WCSP-48/パッケージ) (周辺回路の入出力と端子を共用)	最大40ビット (周辺回路の入出力と端子を共用)	
シリアルインタフェース			
SPI	3チャンネル		
I ² Cマスタ (I2CM)	1チャンネル		
I ² Cスレーブ (I2CS)	1チャンネル		
UART	2チャンネル (IrDA1.0対応)		
IRリモートコントローラ (REMC)	1チャンネル		
ユニバーサルシリアルインタフェース (USI)			2チャンネル (UART/SPI/I ² Cとして使用可能)
タイマ			
16ビットタイマ (T16)	3チャンネル		
ファインモード16ビットタイマ (T16F)	2チャンネル		
16ビットPWMタイマ (T16A)	4チャンネル		
計時タイマ (CT)	1チャンネル		
ストップウォッチタイマ (SWT)	1チャンネル		
ウォッチドッグタイマ (WDT)	1チャンネル		
A/D変換器			
変換方式	逐次比較型		
アナログ入力チャンネル	4チャンネル (max.)		
分解能	10ビット		
割り込み			
リセット割り込み	#RESET端子		
NMI	ウォッチドッグタイマ		
プログラマブル割り込み	23本 (8レベル)		
電源電圧			
コア電圧 (LV _{DD})	1.65V~1.95V	1.65V~1.95V (レギュレータ使用時は不要)	
I/O電圧 (HV _{DD})	1.65V~5.5V	2.0V~5.5V (レギュレータ使用時) 1.65V~5.5V (レギュレータ未使用時)	
アナログ電圧 (AV _{DD})	2.7V~5.5V		
Flashプログラミング/消去電圧 (V _{PP})	7V/7.5V		

1 概要

機種	S1C17554		S1C17564
レギュレータ			
入力電圧			2.0V～5.5V
出力電圧			1.8V
その他			3.3Vまたは5.0Vの単一電源によるシステム動作が可能
動作温度			
動作温度範囲	-40°C～85°C		
消費電流 (Typ値、LV _{DD} = HV _{DD} = 1.8V)			
SLEEP時	0.8μA (OSC1 = Off, OSC3 = Off)	1.2μA (OSC1 = Off, IOSC = Off, OSC3 = Off)	
HALT時	2.7μA (OSC1 = 32kHz, OSC3 = Off)	3.1μA (OSC1 = 32kHz, IOSC = Off, OSC3 = Off)	
動作時	16μA (OSC1 = 32kHz, OSC3 = Off)	16μA (OSC1 = 32kHz, IOSC = Off, OSC3 = Off)	
	3000μA (OSC1 = Off, OSC3 = 8MHzセラミック)	3000μA (OSC1 = Off, IOSC = Off, OSC3 = 8MHzセラミック)	
		4500μA (OSC1 = Off, IOSC = 12MHz, OSC3 = Off)	
A/D変換電流	380μA (AV _{DD} = 3.6V, 100kHzサンプリング, FSEL[1:0] = 0x0, XPD[1:0] = 0x3)		
出荷形態			
1	TQFP13-64pin (10mm × 10mm × 1.0mm, 端子ピッチ: 0.5mm)		
2	チップ (3.137mm × 3.137mm, パッドピッチ: 140μm)		
3	WCSP-48 (3.137mm × 3.137mm × 0.72mm, ボールピッチ: 0.4mm)		

1.2 ブロック図

S1C17554

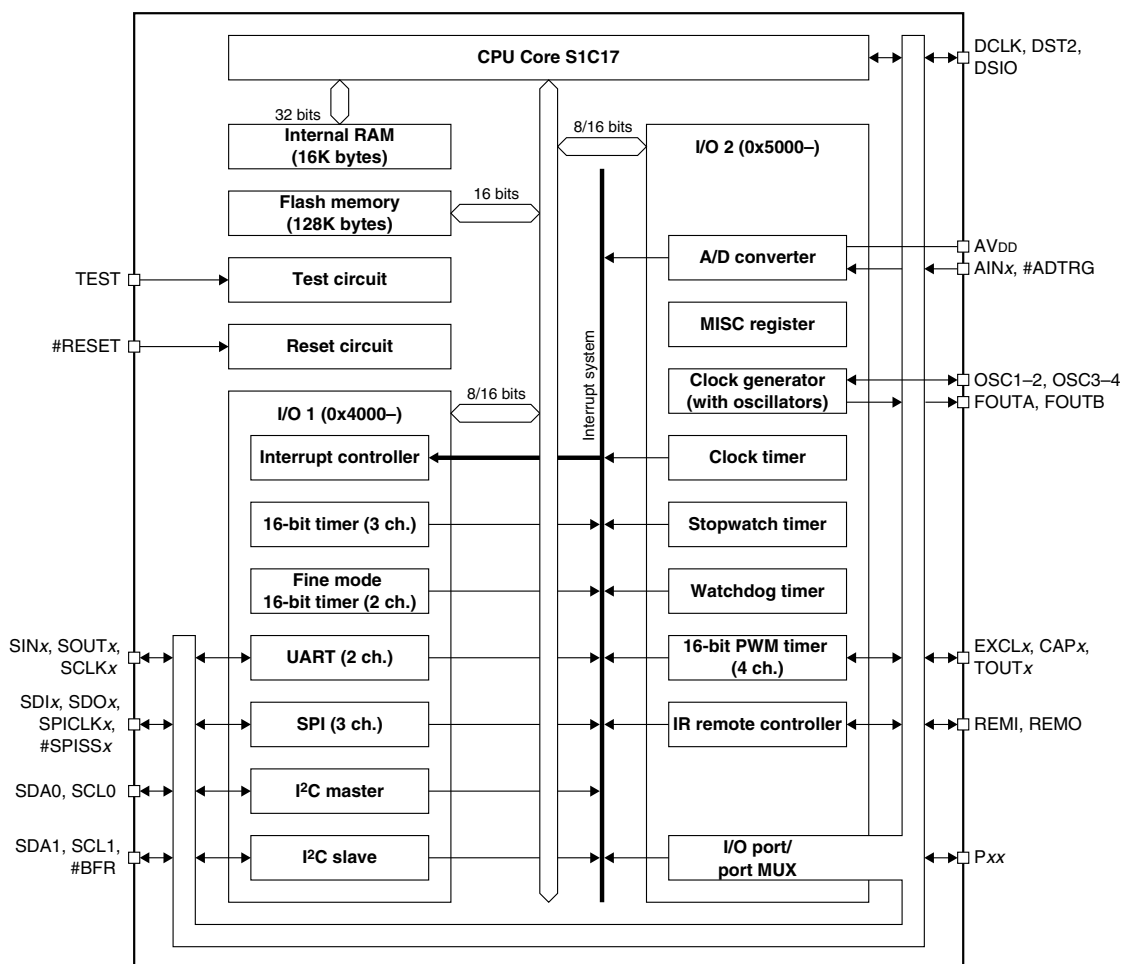


図1.2.1 S1C17554ブロック図

S1C17564

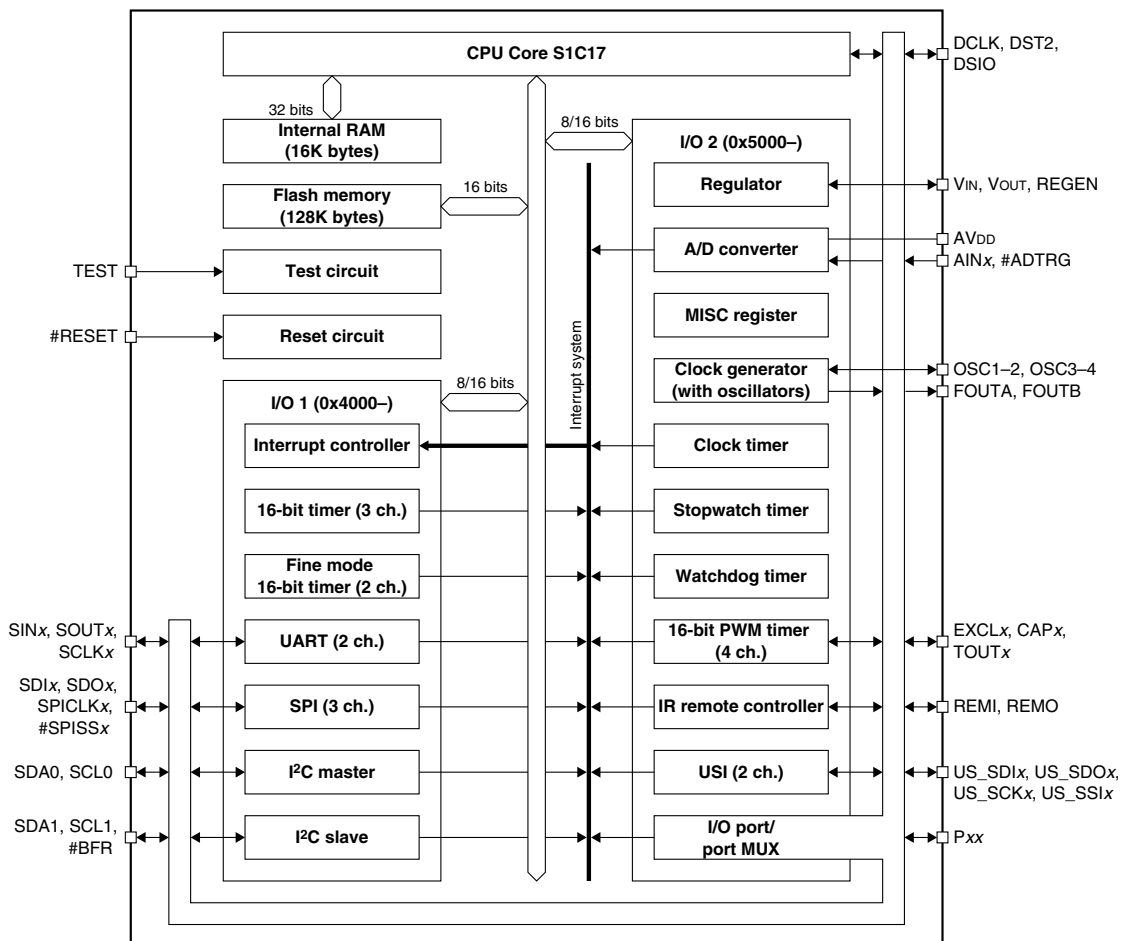


図1.2.2 S1C17564ブロック図

1.3 端子

1.3.1 S1C17554端子配置図

WCSP-48(S1C17554)

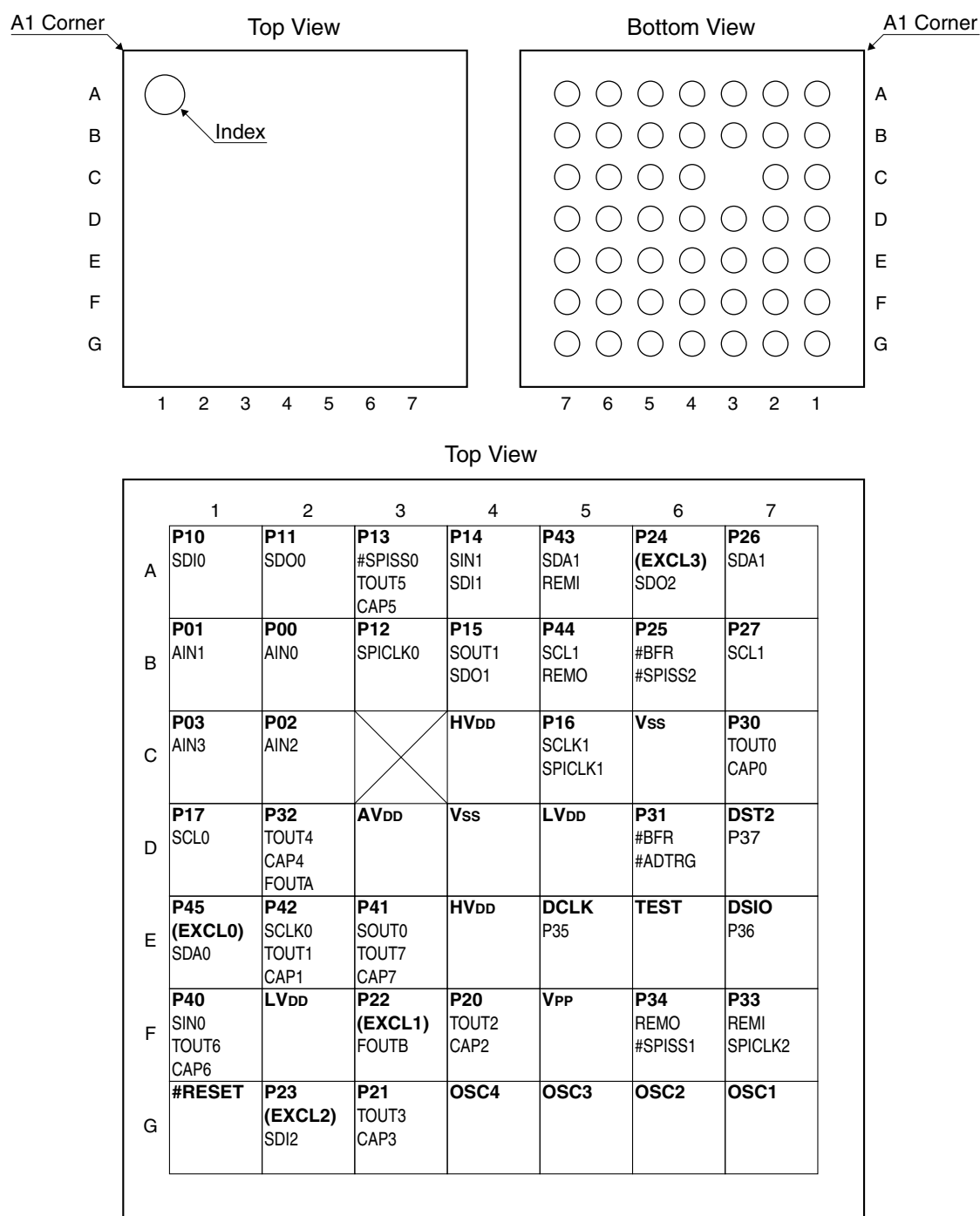


図1.3.1.1 S1C17554端子配置図(WCSP-48)

TQFP13-64pin (S1C17554)

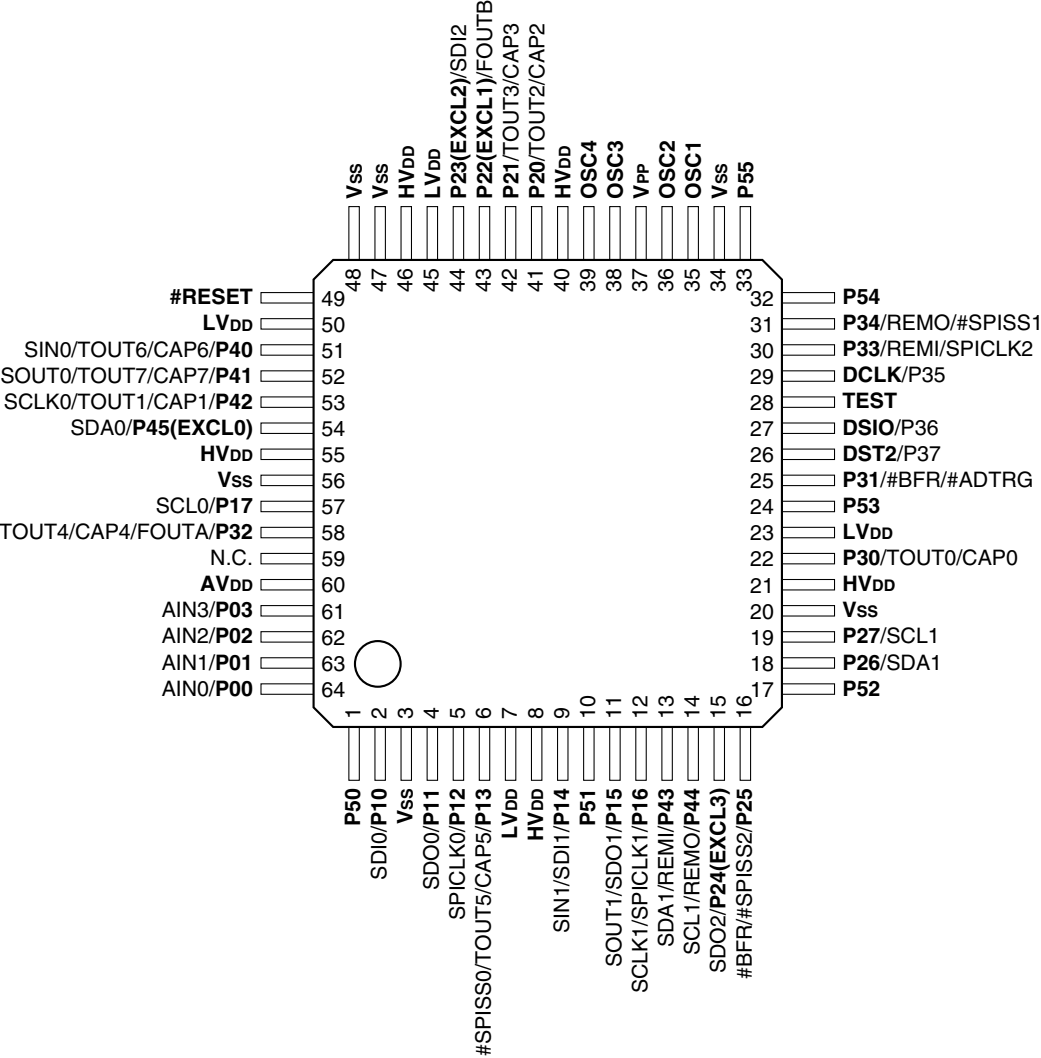


図1.3.1.2 S1C17554端子配置図(TQFP13-64pin)

チップ(S1C17554)

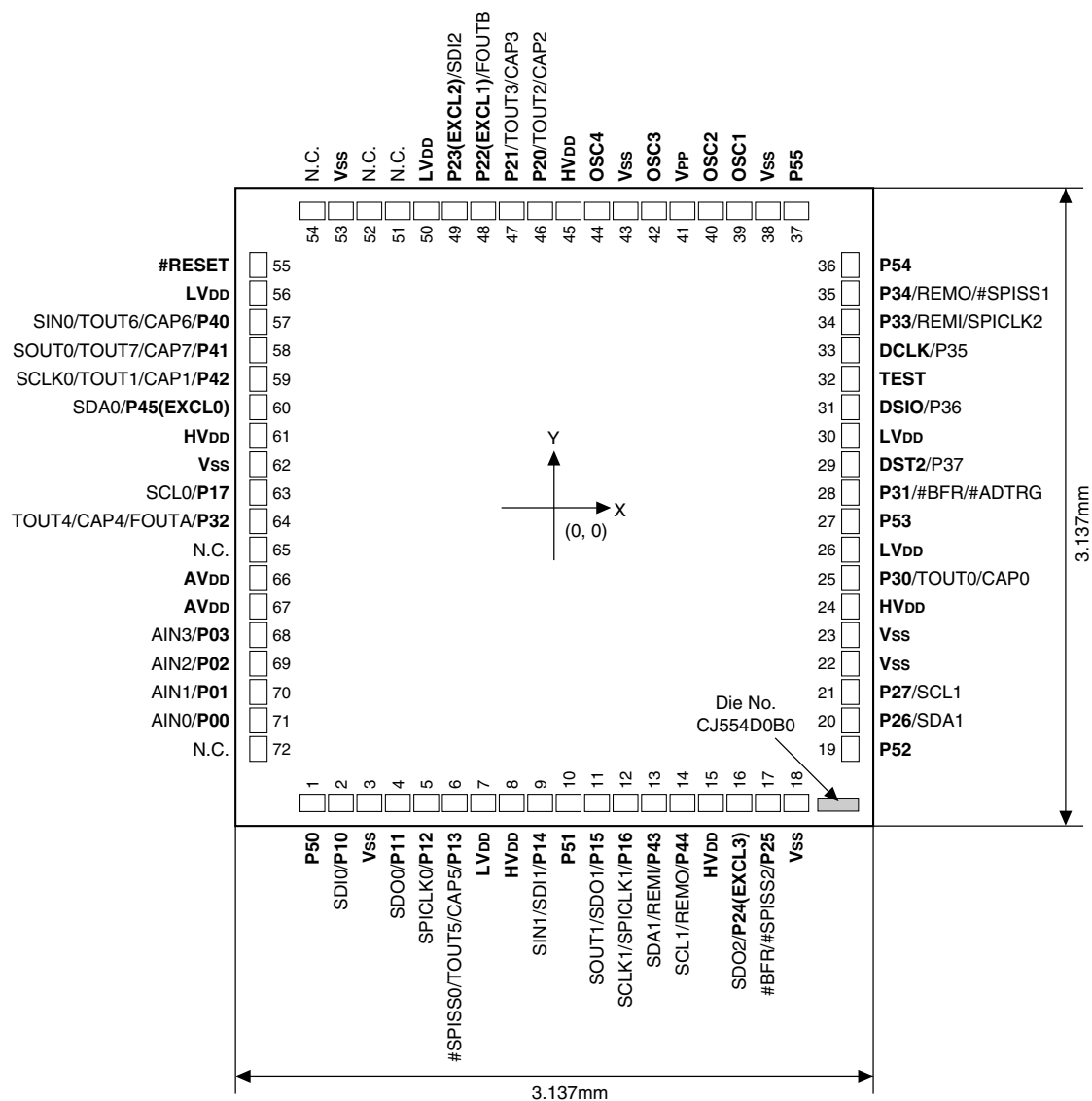


図1.3.1.3 S1C17554パッド配置図

チップサイズ X = 3.137mm, Y = 3.137mm

パッド開口部 No. 1~18, 37~54: X = 122μm, Y = 85μm

No. 19~36, 55~72: X = 85μm, Y = 122μm

チップ厚 400μm

表1.3.1.1 S1C17554/パッド座標

No.	名称	X (mm)	Y (mm)	No.	名称	X (mm)	Y (mm)
1	P50	-1190	-1455.5	37	P55	1190	1455.5
2	P10 /SDI0	-1050	-1455.5	38	Vss	1050	1455.5
3	Vss	-910	-1455.5	39	OSC1	910	1455.5
4	P11 /SDO0	-770	-1455.5	40	OSC2	770	1455.5
5	P12 /SPICLK0	-630	-1455.5	41	Vpp	630	1455.5
6	P13 /#SPISS0/TOUT5/CAP5	-490	-1455.5	42	OSC3	490	1455.5
7	LVdd	-350	-1455.5	43	Vss	350	1455.5
8	HVdd	-210	-1455.5	44	OSC4	210	1455.5
9	P14 /SIN1/SDI1	-70	-1455.5	45	HVdd	70	1455.5
10	P51	70	-1455.5	46	P20 /TOUT2/CAP2	-70	1455.5
11	P15 /SOUT1/SDO1	210	-1455.5	47	P21 /TOUT3/CAP3	-210	1455.5
12	P16 /SCLK1/SPICLK1	350	-1455.5	48	P22(EXCL1) /FOUTB	-350	1455.5
13	P43 /SDA1/REMI	490	-1455.5	49	P23(EXCL2) /SDI2	-490	1455.5
14	P44 /SCL1/REMO	630	-1455.5	50	LVdd	-630	1455.5
15	HVdd	770	-1455.5	51	N.C.	-770	1455.5
16	P24(EXCL3) /SDO2	910	-1455.5	52	N.C.	-910	1455.5
17	P25 /#BFR/SPISS2	1050	-1455.5	53	Vss	-1050	1455.5
18	Vss	1190	-1455.5	54	N.C.	-1190	1455.5
19	P52	1455.5	-1190	55	#RESET	-1455.5	1190
20	P26 /SDA1	1455.5	-1050	56	LVdd	-1455.5	1050
21	P27 /SCL1	1455.5	-910	57	P40 /SIN0/TOUT6/CAP6	-1455.5	910
22	Vss	1455.5	-770	58	P41 /SOUT0/TOUT7/CAP7	-1455.5	770
23	Vss	1455.5	-630	59	P42 /SCLK0/TOUT1/CAP1	-1455.5	630
24	HVdd	1455.5	-490	60	P45(EXCL0) /SDA0	-1455.5	490
25	P30 /TOUT0/CAP0	1455.5	-350	61	HVdd	-1455.5	350
26	LVdd	1455.5	-210	62	Vss	-1455.5	210
27	P53	1455.5	-70	63	P17 /SCL0	-1455.5	70
28	P31 /#BFR/ADTRG	1455.5	70	64	P32 /TOUT4/CAP4/FOUTA	-1455.5	-70
29	DST2 /P37	1455.5	210	65	N.C.	-1455.5	-210
30	LVdd	1455.5	350	66	AVdd	-1455.5	-350
31	DSIO /P36	1455.5	490	67	AVdd	-1455.5	-490
32	TEST	1455.5	630	68	P03 /AIN3	-1455.5	-630
33	DCLK /P35	1455.5	770	69	P02 /AIN2	-1455.5	-770
34	P33 /REMI/SPICLK2	1455.5	910	70	P01 /AIN1	-1455.5	-910
35	P34 /REMO/#SPISS1	1455.5	1050	71	P00 /AIN0	-1455.5	-1050
36	P54	1455.5	1190	72	N.C.	-1455.5	-1190

1.3.2 S1C17564端子配置図

TQFP13-64pin(S1C17564)

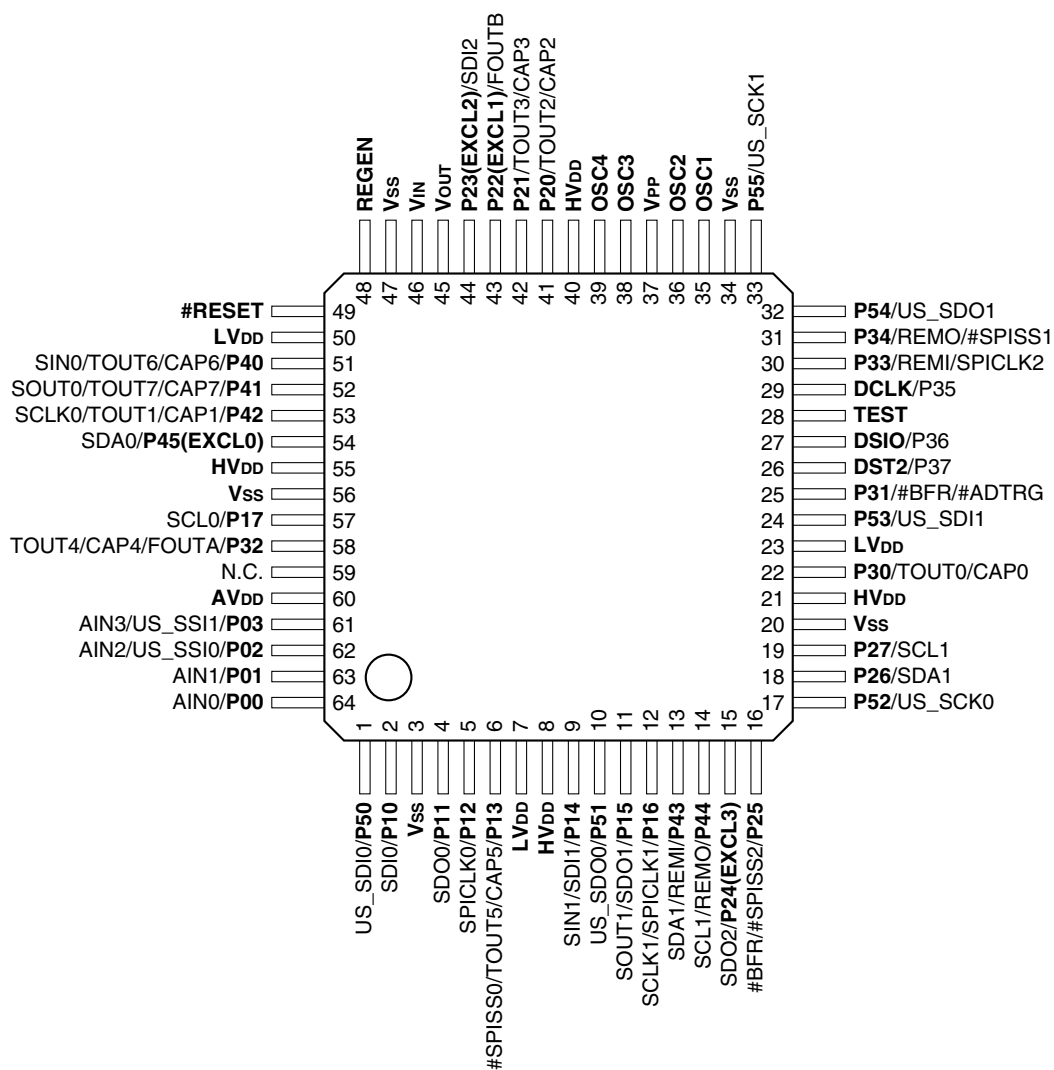


図1.3.2.1 S1C17564端子配置図(TQFP13-64pin)

1 概要

チップ(S1C17564)

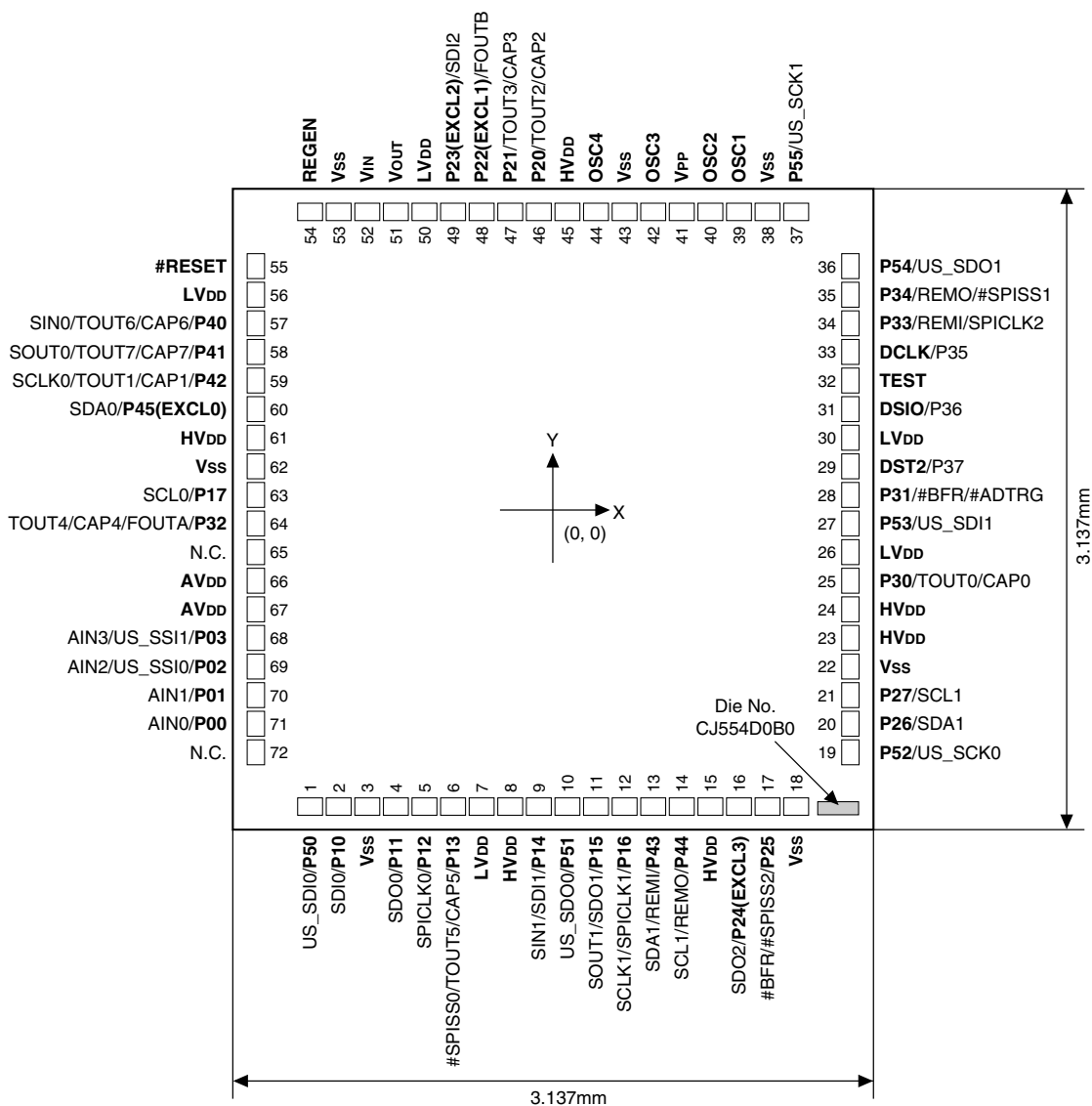


図1.3.2.2 S1C17564/パッド配置図

チップサイズ X = 3.137mm, Y = 3.137mm

パッド開口部 No. 1~18, 37~54: X = 122μm, Y = 85μm

No. 19~36, 55~72: X = 85μm, Y = 122μm

チップ厚 400μm

表1.3.2.1 S1C17564/パッド座標

No.	名称	X (mm)	Y (mm)	No.	名称	X (mm)	Y (mm)
1	P50/US_SDI0	-1190	-1455.5	37	P55/US_SCK1	1190	1455.5
2	P10/SDI0	-1050	-1455.5	38	Vss	1050	1455.5
3	Vss	-910	-1455.5	39	OSC1	910	1455.5
4	P11/SDO0	-770	-1455.5	40	OSC2	770	1455.5
5	P12/SPICLK0	-630	-1455.5	41	Vpp	630	1455.5
6	P13/#SPISS0/TOUT5/CAP5	-490	-1455.5	42	OSC3	490	1455.5
7	LVDD	-350	-1455.5	43	Vss	350	1455.5
8	HVDD	-210	-1455.5	44	OSC4	210	1455.5
9	P14/SIN1/SDI1	-70	-1455.5	45	HVDD	70	1455.5
10	P51/US_SDO0	70	-1455.5	46	P20/TOUT2/CAP2	-70	1455.5
11	P15/SOUT1/SDO1	210	-1455.5	47	P21/TOUT3/CAP3	-210	1455.5
12	P16/SCLK1/SPICLK1	350	-1455.5	48	P22(EXCL1)/FOUTB	-350	1455.5
13	P43/SDA1/REMI	490	-1455.5	49	P23(EXCL2)/SDI2	-490	1455.5
14	P44/SCL1/REMO	630	-1455.5	50	LVDD	-630	1455.5
15	HVDD	770	-1455.5	51	Vout	-770	1455.5
16	P24(EXCL3)/SDO2	910	-1455.5	52	Vin	-910	1455.5
17	P25/#BFR/SPISS2	1050	-1455.5	53	Vss	-1050	1455.5
18	Vss	1190	-1455.5	54	REGEN	-1190	1455.5
19	P52/US_SCK0	1455.5	-1190	55	#RESET	-1455.5	1190
20	P26/SDA1	1455.5	-1050	56	LVDD	-1455.5	1050
21	P27/SCL1	1455.5	-910	57	P40/SIN0/TOUT6/CAP6	-1455.5	910
22	Vss	1455.5	-770	58	P41/SOUT0/TOUT7/CAP7	-1455.5	770
23	HVDD	1455.5	-630	59	P42/SCLK0/TOUT1/CAP1	-1455.5	630
24	HVDD	1455.5	-490	60	P45(EXCL0)/SDA0	-1455.5	490
25	P30/TOUT0/CAP0	1455.5	-350	61	HVDD	-1455.5	350
26	LVDD	1455.5	-210	62	Vss	-1455.5	210
27	P53/US_SDI1	1455.5	-70	63	P17/SCL0	-1455.5	70
28	P31/#BFR/ADTRG	1455.5	70	64	P32/TOUT4/CAP4/FOUTA	-1455.5	-70
29	DST2/P37	1455.5	210	65	N.C.	-1455.5	-210
30	LVDD	1455.5	350	66	AVDD	-1455.5	-350
31	DSIO/P36	1455.5	490	67	AVDD	-1455.5	-490
32	TEST	1455.5	630	68	P03/AIN3/US_SSI1	-1455.5	-630
33	DCLK/P35	1455.5	770	69	P02/AIN2/US_SSI0	-1455.5	-770
34	P33/REMI/SPICLK2	1455.5	910	70	P01/AIN1	-1455.5	-910
35	P34/REMO/#SPISS1	1455.5	1050	71	P00/AIN0	-1455.5	-1050
36	P54/US_SDO1	1455.5	1190	72	N.C.	-1455.5	-1190

1.3.3 端子説明

注: 太字の端子名が初期状態の機能です。

表1.3.3.1 端子説明

名称	I/O	初期状態	機 能	端子あり(○)/なし(–)		
				S1C17554		S1C17564
				WCSP	TQFP/ チップ	TQFP/ チップ
HVDD	–	–	I/O電源端子 (1.65～5.5V)	○	○	○
LVDD	–	–	コア電源端子 (1.65～1.95V)	○	○	○
VSS	–	–	GND端子	○	○	○
VPP	–	–	Flashプログラミング/消去電源端子 (7/7.5V) (通常動作時はオープン)	○	○	○
AVDD	–	–	アナログ電源端子 (2.7～5.5V)	○	○	○
VIN	–	–	レギュレータ入力端子 (2.0～5.5V)	–	–	○
VOU	–	–	レギュレータ出力端子 (1.8V)	–	–	○
REGEN	I	I	レギュレータイネーブル入力端子	–	–	○
OSC3	I	I	OSC3発振入力端子/外部クロック (LVDDレベル) 入力端子	○	○	○
OSC4	O	O	OSC3発振出力端子	○	○	○
OSC1	I	I	OSC1発振入力端子/外部クロック (LVDDレベル) 入力端子	○	○	○
OSC2	O	O	OSC1発振出力端子	○	○	○
#RESET	I	I(Pull-up)	イニシャルリセット入力端子	○	○	○
TEST	I	I(Pull-down)	テスト用入力端子 (通常動作時はVssに接続)	○	○	○
P00	I/O	I(Pull-up)	入出力ポート端子	○	○	○
AIN0	I		A/D変換器Ch.0アナログ信号入力端子			
P01	I/O	I(Pull-up)	入出力ポート端子	○	○	○
AIN1	I		A/D変換器Ch.1アナログ信号入力端子			
P02	I/O	I(Pull-up)	入出力ポート端子	○	○	○
AIN2	I		A/D変換器Ch.2アナログ信号入力端子			
US_SSI0	I/O		USI Ch.0データ入出力端子 (S1C17564)	–	–	
P03	I/O	I(Pull-up)	入出力ポート端子	○	○	○
AIN3	I		A/D変換器Ch.3アナログ信号入力端子			
US_SSI1	I/O		USI Ch.1データ入出力端子 (S1C17564)	–	–	
P10	I/O	I(Pull-up)	入出力ポート端子	○	○	○
SDI0	I		SPI Ch.0データ入力端子			
P11	I/O	I(Pull-up)	入出力ポート端子	○	○	○
SDO0	O		SPI Ch.0データ出力端子			
P12	I/O	I(Pull-up)	入出力ポート端子	○	○	○
SPICLK0	I/O		SPI Ch.0クロック入出力端子			
P13	I/O	I(Pull-up)	入出力ポート端子	○	○	○
#SPISS0	I		SPI Ch.0スレーブセレクト信号入力端子			
TOUT5	O		T16A Ch.2 TOUT B信号出力端子			
CAP5	I		T16A Ch.2キャプチャ Bトリガ信号入力端子			
P14	I/O	I(Pull-up)	入出力ポート端子	○	○	○
SIN1	I		UART Ch.1データ入力端子			
SDI1	I		SPI Ch.1データ入力端子			
P15	I/O	I(Pull-up)	入出力ポート端子	○	○	○
SOUT1	O		UART Ch.1データ出力端子			
SDO1	O		SPI Ch.1データ出力端子			
P16	I/O	I(Pull-up)	入出力ポート端子	○	○	○
SCLK1	I		UART Ch.1外部クロック入力端子			
SPICLK1	I/O		SPI Ch.1クロック入出力端子			
P17	I/O	I(Pull-up)	入出力ポート端子	○	○	○
SCL0	I/O		I ² CマスタSCL入出力端子			
P20	I/O	I(Pull-up)	入出力ポート端子	○	○	○
TOUT2	O		T16A Ch.1 TOUT A信号出力端子			
CAP2	I		T16A Ch.1キャプチャ Aトリガ信号入力端子			
P21	I/O	I(Pull-up)	入出力ポート端子	○	○	○
TOUT3	O		T16A Ch.1 TOUT B信号出力端子			
CAP3	I		T16A Ch.1キャプチャ Bトリガ信号入力端子			
P22 (EXCL1)	I/O	I(Pull-up)	入出力ポート端子 (T16A Ch.1外部クロック入力端子)	○	○	○
FOUTB	O		クロック出力端子			
P23 (EXCL2)	I/O	I(Pull-up)	入出力ポート端子 (T16A Ch.2外部クロック入力端子)	○	○	○
SDI2	I		SPI Ch.2データ入力端子			
P24 (EXCL3)	I/O	I(Pull-up)	入出力ポート端子 (T16A Ch.3外部クロック入力端子)	○	○	○
SDO2	O		SPI Ch.2データ出力端子			

名称	I/O	初期状態	機 能	端子あり(○)/なし(ー)		
				S1C17554		S1C17564
				WCSP	TQFP/ チップ	TQFP/ チップ
P25	I/O	I (Pull-up)	入出力ポート端子	○	○	○
#BFR	I		I ² Cスレーブバス解放要求入力端子			
#SPISS2	I		SPI Ch.2スレーブセレクト信号入力端子			
P26	I/O	I (Pull-up)	入出力ポート端子	○	○	○
SDA1	I/O		I ² Cスレーブデータ入出力端子			
P27	I/O	I (Pull-up)	入出力ポート端子	○	○	○
SCL1	I/O		I ² CスレーブSCL入出力端子			
P30	I/O	I (Pull-up)	入出力ポート端子	○	○	○
TOUT0	O		T16A Ch.0 TOUT A信号出力端子			
CAP0	I		T16A Ch.0キャプチャ Aトリガ信号入力端子			
P31	I/O	I (Pull-up)	入出力ポート端子	○	○	○
#BFR	I		I ² Cスレーブバス解放要求入力端子			
#ADTRG	I		A/D変換器外部トリガ入力端子			
P32	I/O	I (Pull-up)	入出力ポート端子	○	○	○
TOUT4	O		T16A Ch.2 TOUT A信号出力端子			
CAP4	I		T16A Ch.2キャプチャ Aトリガ信号入力端子			
FOUTA	O		クロック出力端子			
P33	I/O	I (Pull-up)	入出力ポート端子	○	○	○
REMI	I		REMC入力端子			
SPICLK2	I/O		SPI Ch.2クロック入出力端子			
P34	I/O	I (Pull-up)	入出力ポート端子	○	○	○
REMO	O		REMC出力端子			
#SPISS1	I		SPI Ch.1スレーブセレクト信号入力端子			
DCLK	O	O (H)	オンチップデバッグクロック出力端子	○	○	○
P35	I/O		入出力ポート端子			
DSIO	I/O	I (Pull-up)	オンチップデバッグデータ入出力端子	○	○	○
P36	I/O		入出力ポート端子			
DST2	O	O (L)	オンチップデバッグステータス出力端子	○	○	○
P37	I/O		入出力ポート端子			
P40	I/O	I (Pull-up)	入出力ポート端子	○	○	○
SIN0	I		UART Ch.0データ入力端子			
TOUT6	O		T16A Ch.3 TOUT A信号出力端子			
CAP6	I		T16A Ch.3キャプチャ Aトリガ信号入力端子			
P41	I/O	I (Pull-up)	入出力ポート端子	○	○	○
SOUT0	O		UART Ch.0データ出力端子			
TOUT7	O		T16A Ch.3 TOUT B信号出力端子			
CAP7	I		T16A Ch.3キャプチャ Bトリガ信号入力端子			
P42	I/O	I (Pull-up)	入出力ポート端子	○	○	○
SCLK0	I		UART Ch.0外部クロック入力端子			
TOUT1	O		T16A Ch.0 TOUT B信号出力端子			
CAP1	I		T16A Ch.0キャプチャ Bトリガ信号入力端子			
P43	I/O	I (Pull-up)	入出力ポート端子	○	○	○
SDA1	I/O		I ² Cスレーブデータ入出力端子			
REMI	I		REMC入力端子			
P44	I/O	I (Pull-up)	入出力ポート端子	○	○	○
SCL1	I/O		I ² CスレーブSCL入出力端子			
REMO	O		REMC出力端子			
P45 (EXCL0)	I/O	I (Pull-up)	入出力ポート端子 (T16A Ch.0外部クロック入力端子)	○	○	○
SDA0	I/O		I ² Cマスターデータ入出力端子			
P50	I/O	I (Pull-up)	入出力ポート端子	ー	○	○
US_SDIO	I/O		USI Ch.0データ入出力端子 (S1C17564)		ー	
P51	I/O	I (Pull-up)	入出力ポート端子	ー	○	○
US_SDO0	O		USI Ch.0データ出力端子 (S1C17564)		ー	
P52	I/O	I (Pull-up)	入出力ポート端子	ー	○	○
US_SCK0	I/O		USI Ch.0クロック入出力端子 (S1C17564)		ー	
P53	I/O	I (Pull-up)	入出力ポート端子	ー	○	○
US_SD1	I/O		USI Ch.1データ入出力端子 (S1C17564)		ー	
P54	I/O	I (Pull-up)	入出力ポート端子	ー	○	○
US_SDO1	O		USI Ch.1データ出力端子 (S1C17564)		ー	
P55	I/O	I (Pull-up)	入出力ポート端子	ー	○	○
US_SCK1	I/O		USI Ch.1クロック入出力端子 (S1C17564)		ー	

2 CPU

S1C17554/564はコアプロセッサとしてS1C17コアを搭載しています。

S1C17コアはセイコーエプソンオリジナルの16ビットRISCプロセッサです。

低消費電力、高速動作、広いアドレス空間、主要命令の1クロック実行、省ゲート設計を特長とし、8ビットCPUがよく使われるコントローラやシーケンサ等への組み込み用に最適です。

S1C17コアの詳細については、“S1C17 Family S1C17コアマニュアル”を参照してください。

2.1 S1C17コアの特長

プロセッサ形式

- セイコーエプソンオリジナル16ビットRISCプロセッサ
- 0.35～0.15 μ m低電力CMOSプロセステクノロジー

命令セット

- コード長 16ビット固定長
- 命令数 基本命令111個(全184命令)
- 実行サイクル 主要命令は1サイクルで実行
- 即値拡張命令 即値を24ビットまで拡張
- C言語による開発用に最適化されたコンパクトかつ高速な命令セット

レジスタセット

- 24ビット汎用レジスタ×8
- 24ビット特殊レジスタ×2
- 8ビット特殊レジスタ×1

メモリ空間, バス

- 最大16Mバイトのメモリ空間(24ビットアドレス)
- 命令バス(16ビット)とデータバス(32ビット)を分離したハーバードアーキテクチャ

割り込み

- リセット、NMI、32種類の外部割り込みに対応
- アドレス不整割り込み
- デバッグ割り込み
- ベクタテーブルからベクタを読み込み、割り込み処理ルーチンへ直接分岐
- ベクタ番号によるソフトウェア割り込みを発生可能(全ベクタ番号を指定可能)

パワーセーブ

- HALT(halt命令)
- SLEEP(slp命令)

コプロセッサインタフェース

- 16ビット×16ビット乗算器
- 16ビット×16ビット+32ビット積和演算器
- 16ビット÷16ビット除算器

2.2 CPUレジスタ

S1C17コアは、8本の汎用レジスタおよび3本の特殊レジスタを内蔵しています。



図2.2.1 レジスタ

2.3 命令セット

S1C17コアの命令コードはすべて16ビットの固定長で、パイプライン処理を行うことによって主要な命令を1サイクルで実行します。各命令の詳細については“S1C17 Family S1C17コアマニュアル”を参照してください。

表2.3.1 S1C17コア命令一覧

種類	二ーモニック	機能
データ転送	1d.b	$\%rd, \%rs$ 汎用レジスタ(バイト) → 汎用レジスタ(符号拡張)
		$\%rd, [\%rb]$ メモリ(バイト) → 汎用レジスタ(符号拡張)
		$\%rd, [\%rb] +$ メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		$\%rd, [\%rb] -$ プリデクリメント機能を使用可能
		$\%rd, -[\%rb]$ プリデクリメント機能を使用可能
		$\%rd, [\%sp + imm7]$ スタック(バイト) → 汎用レジスタ(符号拡張)
		$\%rd, [imm7]$ メモリ(バイト) → 汎用レジスタ(符号拡張)
		$[\%rb], \%rs$ 汎用レジスタ(バイト) → メモリ
		$[\%rb] +, \%rs$ メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		$[\%rb] -, \%rs$ プリデクリメント機能を使用可能
	1d.ub	$-\%rb, \%rs$ プリデクリメント機能を使用可能
		$[\%sp + imm7], \%rs$ 汎用レジスタ(バイト) → スタック
		$[imm7], \%rs$ 汎用レジスタ(バイト) → メモリ
		$\%rd, \%rs$ 汎用レジスタ(バイト) → 汎用レジスタ(ゼロ拡張)
		$\%rd, [\%rb]$ メモリ(バイト) → 汎用レジスタ(ゼロ拡張)
		$\%rd, [\%rb] +$ メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		$\%rd, [\%rb] -$ プリデクリメント機能を使用可能
		$\%rd, -[\%rb]$ プリデクリメント機能を使用可能
		$\%rd, [\%sp + imm7]$ スタック(バイト) → 汎用レジスタ(ゼロ拡張)
		$\%rd, [imm7]$ メモリ(バイト) → 汎用レジスタ(ゼロ拡張)
	1d	$\%rd, \%rs$ 汎用レジスタ(16ビット) → 汎用レジスタ
		$\%rd, sign7$ 即値 → 汎用レジスタ(符号拡張)
		$\%rd, [\%rb]$ メモリ(16ビット) → 汎用レジスタ
		$\%rd, [\%rb] +$ メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		$\%rd, [\%rb] -$ プリデクリメント機能を使用可能
		$\%rd, -[\%rb]$ プリデクリメント機能を使用可能
		$\%rd, [\%sp + imm7]$ スタック(16ビット) → 汎用レジスタ
		$\%rd, [imm7]$ メモリ(16ビット) → 汎用レジスタ
		$[\%rb], \%rs$ 汎用レジスタ(16ビット) → メモリ
		$[\%rb] +, \%rs$ メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
	1d.a	$[\%rb] -, \%rs$ プリデクリメント機能を使用可能
		$-\%rb, \%rs$ プリデクリメント機能を使用可能
		$[\%sp + imm7], \%rs$ 汎用レジスタ(16ビット) → スタック
		$[imm7], \%rs$ 汎用レジスタ(16ビット) → メモリ
		$\%rd, \%rs$ 汎用レジスタ(24ビット) → 汎用レジスタ
		$\%rd, imm7$ 即値 → 汎用レジスタ(ゼロ拡張)

種 類	ニーモニック		機 能
データ転送	ld.a	<code>%rd, [%rb]</code>	メモリ(32ビット) → 汎用レジスタ (*1)
		<code>%rd, [%rb]+</code>	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		<code>%rd, [%rb]-</code>	
		<code>%rd, -[%rb]</code>	
		<code>%rd, [%sp+imm7]</code>	スタック(32ビット) → 汎用レジスタ (*1)
		<code>%rd, [imm7]</code>	メモリ(32ビット) → 汎用レジスタ (*1)
		<code>[%rb], %rs</code>	汎用レジスタ(32ビット、ゼロ拡張) → メモリ (*1)
		<code>[%rb]+, %rs</code>	メモリアドレスのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		<code>[%rb]-, %rs</code>	
		<code>-%rb], %rs</code>	
		<code>[%sp+imm7], %rs</code>	汎用レジスタ(32ビット、ゼロ拡張) → スタック (*1)
		<code>[imm7], %rs</code>	汎用レジスタ(32ビット、ゼロ拡張) → メモリ (*1)
		<code>%rd, %sp</code>	SP → 汎用レジスタ
		<code>%rd, %pc</code>	PC → 汎用レジスタ
		<code>%rd, [%sp]</code>	スタック(32ビット) → 汎用レジスタ (*1)
		<code>%rd, [%sp]+</code>	スタックポインタのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		<code>%rd, [%sp]-</code>	
		<code>%rd, -[%sp]</code>	
		<code>[%sp], %rs</code>	汎用レジスタ(32ビット、ゼロ拡張) → スタック (*1)
		<code>[%sp]+, %rs</code>	スタックポインタのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		<code>[%sp]-, %rs</code>	
		<code>-%sp], %rs</code>	
		<code>%sp, %rs</code>	汎用レジスタ(24ビット) → SP
		<code>%sp, imm7</code>	即値 → SP
整数算術演算	add	<code>%rd, %rs</code>	汎用レジスタ間の16ビット加算 条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
		add/c	
		add/nc	
	add.a	<code>%rd, imm7</code>	汎用レジスタと即値の16ビット加算
		<code>%rd, %rs</code>	汎用レジスタ間の24ビット加算 条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
		add.a/c	
	add.a	<code>%sp, %rs</code>	SPと汎用レジスタの24ビット加算
		<code>%rd, imm7</code>	汎用レジスタと即値の24ビット加算
		<code>%sp, imm7</code>	SPと即値の24ビット加算
	adc	<code>%rd, %rs</code>	汎用レジスタ間のキャリー付き16ビット加算 条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
		adc/c	
		adc/nc	
	adc	<code>%rd, imm7</code>	汎用レジスタと即値のキャリー付き16ビット加算
		<code>%rd, %rs</code>	汎用レジスタ間の16ビット減算 条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
		sub/c	
	sub	<code>%rd, %rs</code>	汎用レジスタ間の16ビット減算 条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
		sub/c	
		sub/nc	
	sub	<code>%rd, imm7</code>	汎用レジスタと即値の16ビット減算
		<code>%rd, %rs</code>	汎用レジスタ間の24ビット減算 条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
		sub.a/c	
	sub.a	<code>%sp, %rs</code>	SPと汎用レジスタの24ビット減算
		<code>%rd, imm7</code>	汎用レジスタと即値の24ビット減算
		<code>%sp, imm7</code>	SPと即値の24ビット減算
	sbc	<code>%rd, %rs</code>	汎用レジスタ間のキャリー付き16ビット減算 条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
		sbc/c	
		sbc/nc	
	sbc	<code>%rd, imm7</code>	汎用レジスタと即値のキャリー付き16ビット減算
		<code>%rd, %rs</code>	汎用レジスタ間の16ビット比較 条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
		cmp/c	
	cmp	<code>%rd, %rs</code>	汎用レジスタ間の16ビット比較 条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
		cmp/c	
		cmp/nc	
	cmp	<code>%rd, sign7</code>	汎用レジスタと即値の16ビット比較
		<code>%rd, %rs</code>	汎用レジスタ間の24ビット比較 条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
		cmp.a/c	
	cmp.a	<code>%rd, %rs</code>	汎用レジスタ間の24ビット比較 条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
		cmp.a/c	
		cmp.a/nc	
	cmp.a	<code>%rd, imm7</code>	汎用レジスタと即値の24ビット比較
		<code>%rd, %rs</code>	汎用レジスタ間のキャリー付き16ビット比較 条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
		cmc/c	
	cmc	<code>%rd, %rs</code>	汎用レジスタ間のキャリー付き16ビット比較 条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
		cmc/c	
		cmc/nc	
	cmc	<code>%rd, sign7</code>	汎用レジスタと即値のキャリー付き16ビット比較

種 類	ニーモニック		機 能
論理演算	and	$\%rd, \%rs$	汎用レジスタ間の論理積 条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	and/c		
	and/nc		
	and	$\%rd, sign7$	汎用レジスタと即値の論理積
	or	$\%rd, \%rs$	汎用レジスタ間の論理和 条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	or/c		
	or/nc		
	or	$\%rd, sign7$	汎用レジスタと即値の論理和
	xor	$\%rd, \%rs$	汎用レジスタ間の排他的論理和 条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	xor/c		
	xor/nc		
	xor	$\%rd, sign7$	汎用レジスタと即値の排他的論理和
	not	$\%rd, \%rs$	汎用レジスタ間の論理否定(1の補数) 条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	not/c		
	not/nc		
	not	$\%rd, sign7$	汎用レジスタと即値の論理否定(1の補数)
シフト&スワップ	sr	$\%rd, \%rs$ $\%rd, imm7$	右論理シフト(レジスタによるシフトビット数指定) 右論理シフト(即値によるシフトビット数指定)
	sa	$\%rd, \%rs$ $\%rd, imm7$	右算術シフト(レジスタによるシフトビット数指定) 右算術シフト(即値によるシフトビット数指定)
	sl	$\%rd, \%rs$ $\%rd, imm7$	左論理シフト(レジスタによるシフトビット数指定) 左論理シフト(即値によるシフトビット数指定)
	swap	$\%rd, \%rs$	16ビット境界でバイト単位のスワップ
	ext	$imm13$	直後の命令のオペランドを拡張
	コンバージョン		
コンバージョン	cv.ab	$\%rd, \%rs$	符号付き8ビットデータを24ビットに変換
	cv.as	$\%rd, \%rs$	符号付き16ビットデータを24ビットに変換
	cv.al	$\%rd, \%rs$	32ビットデータを24ビットに変換
	cv.la	$\%rd, \%rs$	24ビットデータを32ビットに変換
	cv.ls	$\%rd, \%rs$	16ビットデータを32ビットに変換
分岐	jpr	$sign10$	PC相対ジャンプ
	jpr.d	$\%rb$	ディレイド分岐可
	jpa	$imm7$	絶対ジャンプ
	jpa.d	$\%rb$	ディレイド分岐可
	jrgt	$sign7$	PC相対条件ジャンプ 分岐条件: $!Z \ \& \ !(N \wedge V)$
	jrgt.d		ディレイド分岐可
	jrge	$sign7$	PC相対条件ジャンプ 分岐条件: $!(N \wedge V)$
	jrge.d		ディレイド分岐可
	jrlt	$sign7$	PC相対条件ジャンプ 分岐条件: $N \wedge V$
	jrlt.d		ディレイド分岐可
	jrle	$sign7$	PC相対条件ジャンプ 分岐条件: $Z \mid N \wedge V$
	jrle.d		ディレイド分岐可
	jrugt	$sign7$	PC相対条件ジャンプ 分岐条件: $!Z \ \& \ !C$
	jrugt.d		ディレイド分岐可
	jruge	$sign7$	PC相対条件ジャンプ 分岐条件: $!C$
	jruge.d		ディレイド分岐可
	jrult	$sign7$	PC相対条件ジャンプ 分岐条件: C
	jrult.d		ディレイド分岐可
	jrule	$sign7$	PC相対条件ジャンプ 分岐条件: $Z \mid C$
	jrule.d		ディレイド分岐可
	jreq	$sign7$	PC相対条件ジャンプ 分岐条件: Z
	jreq.d		ディレイド分岐可
	jrne	$sign7$	PC相対条件ジャンプ 分岐条件: $!Z$
	jrne.d		ディレイド分岐可
	call	$sign10$	PC相対サブルーチンコール
	call.d	$\%rb$	ディレイド分岐可
	calla	$imm7$	絶対サブルーチンコール
	calla.d	$\%rb$	ディレイド分岐可
	ret		サブルーチンからのリターン
	ret.d		ディレイド分岐可
	int	$imm5$	ソフトウェア割り込み
	intl	$imm5, imm3$	割り込みレベル指定付きソフトウェア割り込み
	reti		割り込みからのリターン
	reti.d		ディレイド分岐可
	brk		デバッグ割り込み

種 類	ニーモニック		機 能
分岐	ret		デバッグ処理からのリターン
システム制御	nop		ノーオペレーション
	halt		HALT
	slp		SLEEP
	ei		割り込み許可
	di		割り込み禁止
コプロセッサ制御	ld.cw	%rd, %rs	コプロセッサへのデータ転送
		%rd, imm7	
	ld.ca	%rd, %rs	コプロセッサへのデータ転送、結果とフラグ状態の取得
		%rd, imm7	
	ld.cf	%rd, %rs	コプロセッサへのデータ転送、フラグ状態の取得
		%rd, imm7	

*1 ld.a命令は32ビットのメモリアクセスを行います。レジスタからメモリへのデータ転送では上位8ビットを0とした32ビットデータがメモリに書き込まれます。メモリからの読み出し時は、読み出しデータの上位8ビットが無視されます。

表中の記号の意味は次のとおりです。

表2.3.2 記号の意味

記 号	説 明
%rs	汎用ソースレジスタ
%rd	汎用デスティネーションレジスタ
[%rb]	汎用レジスタで間接指定されるメモリ
[%rb] +	汎用レジスタで間接指定されるメモリ(アドレスポストインクリメント付き)
[%rb] -	汎用レジスタで間接指定されるメモリ(アドレスポストデクリメント付き)
~ [%rb]	汎用レジスタで間接指定されるメモリ(アドレスプリデクリメント付き)
%sp	スタックポインタ
[%sp], [%sp+imm7]	スタック
[%sp] +	スタック(アドレスポストインクリメント付き)
[%sp] -	スタック(アドレスポストデクリメント付き)
~ [%sp]	スタック(アドレスプリデクリメント付き)
imm3, imm5, imm7, imm13	符号なし即値(数値はビット長)
sign7, sign10	符号付き即値(数値はビット長)

2.4 PSRの読み出し

S1C17554/564にはS1C17コアのPSR(Processor Status Register)の内容を読み出すためのMISC_PSRレジスタが設けられています。このレジスタを読み出すことにより、アプリケーションソフトウェアからPSRの内容を確認することができます。ただし、PSRへの書き込みは行えません。

PSR Register (MISC_PSR)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PSR Register (MISC_PSR)	0x532c (16 bits)	D15–8	—	reserved	—		—	—	0 when being read.
		D7–5	PSRIL[2:0]	PSR interrupt level (IL) bits	0x0 to 0x7		0x0	R	
		D4	PSRIE	PSR interrupt enable (IE) bit	1 1 (enable)	0 0 (disable)	0	R	
		D3	PSRC	PSR carry (C) flag	1 1 (set)	0 0 (cleared)	0	R	
		D2	PSRV	PSR overflow (V) flag	1 1 (set)	0 0 (cleared)	0	R	
		D1	PSRZ	PSR zero (Z) flag	1 1 (set)	0 0 (cleared)	0	R	
		D0	PSRN	PSR negative (N) flag	1 1 (set)	0 0 (cleared)	0	R	

D[15:8] Reserved

D[7:5] PSRIL[2:0]: PSR Interrupt Level (IL) Bits

PSRのILビットの値(割り込みレベル)が読み出せます。(デフォルト: 0x0)

D4 PSRIE: PSR Interrupt Enable (IE) Bit

PSRのIEビットの値(割り込みイネーブル)が読み出せます。

1(R): 1(割り込み許可)

0(R): 0(割り込み禁止) (デフォルト)

- D3 PSRC: PSR Carry (C) Flag Bit**
PSRのC(キャリー)フラグの値が読み出せます。
1(R): 1
0(R): 0(デフォルト)
- D2 PSRV: PSR Overflow (V) Flag Bit**
PSRのV(オーバーフロー)フラグの値が読み出せます。
1(R): 1
0(R): 0(デフォルト)
- D1 PSRZ: PSR Zero (Z) Flag Bit**
PSRのZ(ゼロ)フラグの値が読み出せます。
1(R): 1
0(R): 0(デフォルト)
- D0 PSRN: PSR Negative (N) Flag Bit**
PSRのN(ネガティブ)フラグの値が読み出せます。
1(R): 1
0(R): 0(デフォルト)

2.5 プロセッサ情報

S1C17554/564はIDIRレジスタを内蔵しており、アプリケーションソフトウェアからCPUコアの種類を特定することができます。

Processor ID Register (IDIR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Processor ID Register (IDIR)	0xffff84 (8 bits)	D7-0	IDIR[7:0]	Processor ID 0x10: S1C17 Core	0x10	0x10	R	

プロセッサの機種を示すIDコードが格納されるリードオンリレジスタです。S1C17コアのIDコードは0x10です。

3 メモリマップ、バス制御

図3.1にS1C17554/564のメモリマップを示します。

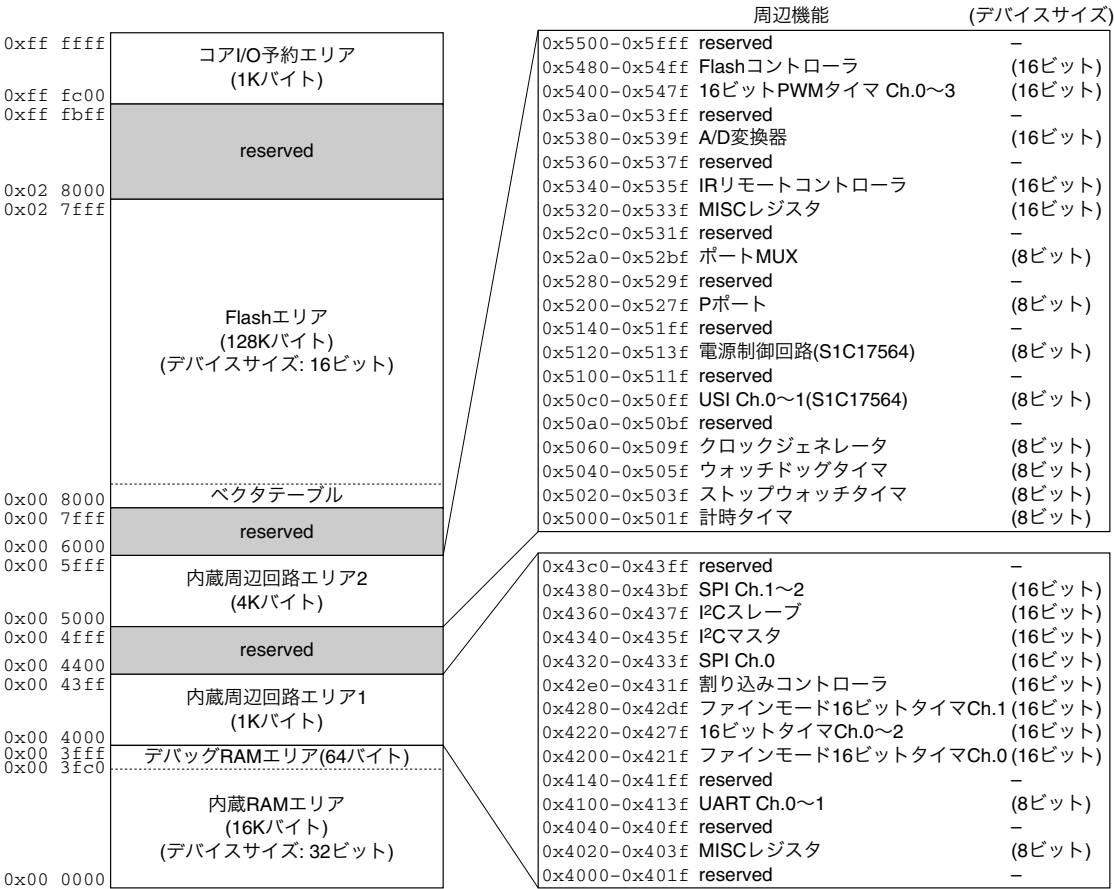


図3.1 S1C17554/564メモリマップ

3.1 バスサイクル

CPUはシステムクロックを基準にバスアクセスを行います。システムクロックについては、“クロックジェネレータ(CLG)”の章内、“システムクロックの切り換え”を参照してください。
Flashエリアとそれ以外のエリアでは、1バスサイクルに必要なシステムクロック数が異なります。

- Flashエリア以外からの命令/データリード: 1バスサイクル = 1システムクロック
Flashエリアからの命令リード: 1バスサイクル = 1~3システムクロック相当
Flashエリアからのデータリード: 1バスサイクル = 2~4システムクロック

また、バスアクセス回数は、CPUの命令(アクセスサイズ)とデバイスサイズにより変わります。

表3.1.1 バスアクセス回数

デバイスサイズ	CPUアクセスサイズ	バスアクセス回数
8ビット	8ビット	1
	16ビット	2
	32ビット*	4
16ビット	8ビット	1
	16ビット	1
	32ビット*	2
32ビット	8ビット	1
	16ビット	1
	32ビット*	1

* 32ビットアクセス時の上位8ビットデータについて

S1C17コアの汎用レジスタは24ビットです。

32ビットデータは上位8ビットを0としてメモリに書き込まれます。メモリからの読み出し時は上位8ビットが無視されます。割り込み処理のスタック操作時は、PSRの値を上位8ビットに、戻りアドレスを下位24ビットとした32ビットの書き込み/読み出しを行います。

詳しくは、“S1C17コアマニュアル”を参照してください。

3.1.1 アクセスサイズ制限

周辺モジュールは8ビット、16ビット、32ビットのいずれの命令でもアクセス可能です。ただし、必要のないレジスタの読み出しによって周辺回路の状態が変わり、問題が発生する場合がありますので、できるだけデバイスサイズに合わせてアクセスすることを推奨します。

3.1.2 命令実行サイクルの制限

以下のいずれかの条件下では命令のフェッチとデータアクセスが同時に行われず、データの存在するエリアのバスサイクル分、命令フェッチのサイクルが長くなります。

- Flashエリアで命令を実行し、Flashエリアのデータにアクセスする場合
- 内蔵RAMエリアで命令を実行し、内蔵RAMエリアのデータにアクセスする場合

3.2 Flashエリア

3.2.1 内蔵Flashメモリ

0x8000番地から0x27fff番地までの128Kバイトの領域にはFlashメモリ(4Kバイト × 32セクタ)が内蔵されており、アプリケーションプログラムやデータを書き込んでおくことができます。0x8000番地はベクタテーブルベースアドレスとして定義されていますので、この領域の先頭にベクタテーブル(“割り込みコントローラ(ITC)”の章内の“ベクタテーブル”参照)を置く必要があります。ベクタテーブルベースアドレスはMISC_TTBRL/MISC_TTBRLHレジスタで変更可能です。

3.2.2 Flashプログラミング

S1C17554/564はFlashメモリのオンボードプログラミングに対応しており、ICDminiを介してデバグガからプログラム/データを書き込むことができます。

3.2.3 プロテクトビット

内蔵Flashメモリの内容を保護するため、ライトプロテクトとデータリードプロテクトの2種類を16Kバイトの領域ごとに設定できます。ライトプロテクトは、設定した領域へのデータ書き込みとセクタ消去(プロテクトビットのあるセクタを除く)を禁止します。

データリードプロテクトは、設定した領域からのデータ読み出しを禁止します(読み出し値が常に0x0000になります)。ただし、CPUの命令フェッチ動作はプロテクトしません。この設定には、以下に示すプロテクトビットを使用します。プロテクトを設定する場合は、設定する領域に対応したプロテクトビットを0にプログラミングします。

プロテクトの解除にはデバッグを使用します。

Flash Protect Bits

Address	Bit	Function	Setting	Init.	R/W	Remarks
0x27ffc (16 bits)	D15–8	reserved	–	–	–	
	D7	reserved	1	1	R/W	Always set to 1.
	D6	Flash write-protect bit for 0x20000–0x23fff	1 Writable 0 Protected	1	R/W	
	D5	Flash write-protect bit for 0x1c000–0x1ffff	1 Writable 0 Protected	1	R/W	
	D4	Flash write-protect bit for 0x18000–0x1bfff	1 Writable 0 Protected	1	R/W	
	D3	Flash write-protect bit for 0x14000–0x17fff	1 Writable 0 Protected	1	R/W	
	D2	Flash write-protect bit for 0x10000–0x13fff	1 Writable 0 Protected	1	R/W	
	D1	Flash write-protect bit for 0xc000–0xffff	1 Writable 0 Protected	1	R/W	
	D0	Flash write-protect bit for 0x8000–0xbfff	1 Writable 0 Protected	1	R/W	
0x27ffe (16 bits)	D15–8	reserved	–	–	–	
	D7	Flash data-read-protect bit for 0x24000–0x27fff	1 Readable 0 Protected	1	R/W	
	D6	Flash data-read-protect bit for 0x20000–0x23fff	1 Readable 0 Protected	1	R/W	
	D5	Flash data-read-protect bit for 0x1c000–0x1ffff	1 Readable 0 Protected	1	R/W	
	D4	Flash data-read-protect bit for 0x18000–0x1bfff	1 Readable 0 Protected	1	R/W	
	D3	Flash data-read-protect bit for 0x14000–0x17fff	1 Readable 0 Protected	1	R/W	
	D2	Flash data-read-protect bit for 0x10000–0x13fff	1 Readable 0 Protected	1	R/W	
	D1	Flash data-read-protect bit for 0xc000–0xffff	1 Readable 0 Protected	1	R/W	
	D0	reserved	1	1	R/W	Always set to 1.

注: • プロテクトはプロテクトビットのあるセクタを消去することによって解除できます。

- データリードプロテクトを設定する領域を、.dataまたは.rodataセクションに配置しないでください。
- 0x27ffeのD0は必ず1に設定してください。0に設定するとプログラムがブートできません。

3.2.4 Flashメモリリードウェイト数の設定

Flashメモリのデータを正しく読み出すため、システムクロック周波数に合わせてウェイト数の設定が必要です。RDWAIT[1:0]/FLASHC_WAITレジスタで設定してください。

FLASHC Read Wait Control Register (FLASHC_WAIT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FLASHC Read Wait Control Register (FLASHC_WAIT)	0x54b0 (16 bits)	D15–2	–	reserved	–	–	–	0 when being read.
		D1–0	RDWAIT [1:0]	Flash read wait cycle	RDWAIT[1:0] Wait	0x3	R/W	
					0x2 2 wait			
					0x1 1 wait			
					0x0 No wait reserved			

D[1:0] RDWAIT[1:0]: Flash Read Wait Cycle Bits

Flashメモリリード時のウェイト数を設定します。バスサイクルは、1ウェイトの挿入につき1システムクロック増加します。設定可能なウェイト数は、“電気的特性”の章を参照してください。

“no wait”設定時のバスサイクル

命令リード: 1バスサイクル=1システムクロック相当

データリード: 1バスサイクル=2システムクロック

注: 誤動作の原因になりますので、システムクロックの最大許容周波数を超えるウェイト数は設定しないでください。

3.3 内蔵RAMエリア

3.3.1 内蔵RAM

0x0番地から0x3fff番地までの16Kバイトの領域にはRAMが内蔵されています。変数などの格納以外に、命令コードをコピーしてRAM上で高速に実行させることもできます。

注: 内蔵RAMの最後尾の64バイト (0x3fc0～0x3fff) はオンチップデバッグ用に予約されています。アプリケーション開発中などデバッグ機能を使用する場合は、アプリケーションプログラムからはこの領域をアクセスしないでください。
デバッグの不要な量産品ではアプリケーション用に使用可能です。

S1C17554/564では使用するRAMのサイズを16KB、12KB、8KB、4KB、2KB、1KB、512バイトに制限することができます。たとえば、S1C17554/564をROM内蔵機種の開発用に使用する場合などに、RAMサイズをターゲット機種と同じに設定しておくことで、ターゲット機種のRAM領域外をアクセスするようなプログラムを作成してしまうことを回避できます。この選択はIRAMSZ[2:0]/MISC_IRAMSZレジスタで行います。

IRAM Size Register (MISC_IRAMSZ)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
IRAM Size Register (MISC_IRAMSZ)	0x5326 (16 bits)	D15-9	—	reserved	—	—	—	0 when being read.
		D8	DBADR	Debug base address select	1 0x0 0 0xffc00	0	R/W	
		D7	—	reserved	—	—	—	0 when being read.
		D6-4	IRAMACTSZ[2:0]	IRAM actual size	0x6 (= 16KB)	0x6	R	
		D3	—	reserved	—	—	—	0 when being read.
		D2-0	IRAMSZ[2:0]	IRAM size select	IRAMSZ[2:0] Size	0x6	R/W	
					0x7 reserved 0x6 16KB 0x5 512B 0x4 1KB 0x3 2KB 0x2 4KB 0x1 8KB 0x0 12KB			

D[6:4] IRAMACTSZ[2:0]: IRAM Actual Size Bits

実装されている内蔵RAMのサイズを示します。(デフォルト: 0x6)

D[2:0] IRAMSZ[2:0]: IRAM Size Select Bits

使用する内蔵RAMのサイズを選択します。

表3.3.1.1 内蔵RAMサイズの選択

IRAMSZ[2:0]	内蔵RAMサイズ
0x7	Reserved
0x6	16KB
0x5	512B
0x4	1KB
0x3	2KB
0x2	4KB
0x1	8KB
0x0	12KB

(デフォルト: 0x6)

注: MISC_IRAMSZレジスタには書き込み保護が設定されています。このレジスタを書き換えるには、MISC_PROTレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。なお、MISC_IRAMSZレジスタの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はMISC_PROTレジスタに0x96以外の値を書き込み、書き込み保護を設定してください。

3.4 内蔵周辺回路エリア

0x4000番地から始まる1Kバイトと、0x5000番地から始まる4Kバイトのエリアには、内蔵周辺回路のI/Oおよび制御レジスタが割り付けられています。

各制御レジスタの詳細については、“Appendix”のI/Oレジスタ一覧、または各周辺モジュールの説明を参照してください。

3.4.1 内蔵周辺回路エリア1(0x4000~)

0x4000番地から始まる内蔵周辺回路エリア1には、以下の内蔵周辺機能用I/Oメモリが割り付けられています。

- MISCレジスタ(MISC, 8ビットデバイス)
- UART(UART, 8ビットデバイス)
- ファインモード16ビットタイマ(T16F, 16ビットデバイス)
- 16ビットタイマ(T16, 16ビットデバイス)
- 割り込みコントローラ(ITC, 16ビットデバイス)
- SPI(SPI, 16ビットデバイス)
- I²Cマスタ(I2CM, 16ビットデバイス)
- I²Cスレーブ(I2CS, 16ビットデバイス)

3.4.2 内蔵周辺回路エリア2(0x5000~)

0x5000番地から始まる内蔵周辺回路エリア2には、以下の内蔵周辺機能用I/Oメモリが割り付けられています。

- 計時タイマ(CT, 8ビットデバイス)
- ストップウォッチタイマ(SWT, 8ビットデバイス)
- ウォッチドッグタイマ(WDT, 8ビットデバイス)
- クロックジェネレータ(CLG, 8ビットデバイス)
- ユニバーサルシリアルインタフェース(USI, 8ビットデバイス) S1C17564のみ
- 電源回路(VD1, 8ビットデバイス) S1C17564のみ
- 入出力ポート&ポートMUX(P, 8ビットデバイス)
- MISCレジスタ(MISC, 16ビットデバイス)
- IRリモートコントローラ(REMC, 16ビットデバイス)
- A/D変換器(ADC10, 16ビットデバイス)
- 16ビットPWMタイマ(T16A, 16ビットデバイス)
- Flashコントローラ(FLASHC, 16ビットデバイス)

3.5 S1C17コアI/O予約エリア

0xffffc00~0xfffffffの1KバイトはCPUコアI/Oエリアとして使用され、以下のI/Oレジスタが割り付けられています。

表3.5.1 I/Oマップ(S1C17コアI/O予約エリア)

周辺回路	アドレス	レジスタ名		機 能
S1C17コアI/O	0xffff84	IDIR	Processor ID Register	プロセッサIDの表示
	0xffff90	DBRAM	Debug RAM Base Register	デバッグRAMベースアドレスの表示
	0xffffa0	DCR	Debug Control Register	デバッグ制御
	0xffffb4	IBAR1	Instruction Break Address Register 1	命令ブレークアドレス#1の設定
	0xffffb8	IBAR2	Instruction Break Address Register 2	命令ブレークアドレス#2の設定
	0xffffbc	IBAR3	Instruction Break Address Register 3	命令ブレークアドレス#3の設定
	0xffffd0	IBAR4	Instruction Break Address Register 4	命令ブレークアドレス#4の設定

IDIRについては“CPU”の章内の“プロセッサ情報”を、その他のレジスタについては“オンチップデバッグ(DBG)”の章を参照してください。

このエリアには、上記以外にもS1C17コア用のレジスタが配置されています。それらのレジスタについては、“S1C17コアマニュアル”を参照してください。

4 電源

4.1 コア電源電圧 (LV_{DD})

CPUコアおよび内部ロジック回路は、LV_{DD}～V_{SS}間に供給される電源電圧によって動作します。V_{SS}端子をGNDレベルとして、下記の範囲内の電圧をLV_{DD}端子に供給してください。

$$LV_{DD} = 1.65V \sim 1.95V (V_{SS} = GND)$$

本製品にはそれぞれ複数のLV_{DD}端子とV_{SS}端子があります。いずれもオープンにせず、必ず+電源とGNDに接続してください。

S1C17564は2.0V以上(3.3V、5V等)の単一電源による動作が可能です。この場合は内蔵のレギュレータで1.8Vを生成し、LV_{DD}に供給することができます。

4.2 I/O電源電圧 (HV_{DD})

HV_{DD}電圧は外部信号とのインタフェースに使用します。V_{SS}端子をGNDレベルとして、下記の範囲内の電圧をHV_{DD}端子に供給してください。

$$HV_{DD} = 1.65V \sim 5.5V (V_{SS} = GND)$$

本製品には複数のHV_{DD}端子があります。いずれもオープンにせず、必ず電源に接続してください。

注: • OSC3またはOSC1端子に外部クロックを入力する場合、クロックの電圧レベルはLV_{DD}としてください。

- P00～P03 (AIN0～AIN3) ポートの電源にはAV_{DD}が供給されています(4.3節参照)。

4.3 アナログ回路用電源電圧 (AV_{DD})

内蔵のアナログ回路(A/D変換器)がデジタル回路の影響を受けないように、HV_{DD}端子とは別にアナログ回路用の電源端子(AV_{DD})が設けられています。V_{SS}端子をGNDレベルとして、下記の範囲内の電圧をAV_{DD}端子に供給してください。

$$AV_{DD} = 2.7V \sim 5.5V (V_{SS} = GND) \quad \text{A/D変換器を使用する場合}$$

または

$$AV_{DD} = 1.65V \sim 5.5V (V_{SS} = GND) \quad \text{A/D変換器を使用しない場合}$$

注: • A/D変換器を使用しない場合、AV_{DD}の下限電圧はHV_{DD}と同じ1.65Vとなります。AV_{DD}端子にHV_{DD}と同じ電圧を供給してください。

- P00～P03 (AIN0～AIN3) ポートの電源にはAV_{DD}が供給されています。A/D変換器とP00～P03ポートを同時に使用する場合、A/D変換結果がデジタル回路の影響を受けないように、ポートのスイッチングは極力抑えてください。

アナログ電源ライン上のノイズはA/D変換精度に影響するため、使用する電源と基板パターンの作成には注意が必要です。

4.4 Flashプログラミング用電源電圧 (V_{PP})

内蔵のFlashメモリを消去/プログラムするための電源です。Flashメモリのプログラミング/消去時はV_{SS}端子をGNDレベルとして、下記の電圧をV_{PP}端子に供給してください。

$$V_{PP} = 7V (V_{SS} = GND) \quad \text{プログラミング時}$$

$$V_{PP} = 7.5V (V_{SS} = GND) \quad \text{消去時}$$

注: 通常動作時は、V_{PP}端子をオープンとしてください。

4.5 内蔵レギュレータ (S1C17564)

S1C17564は2V以上の単一電源による動作を可能とするレギュレータを内蔵しています。

レギュレータ入力(V_{IN}): 2.0V~5.5V

レギュレータ出力(V_{OUT}): 1.8V

単一電源を使用する場合は上記範囲内の電圧を V_{IN} 、 HV_{DD} 、 AV_{DD} 端子に供給します。さらに同じ電圧を $REGEN$ 端子にも入力してレギュレータを動作させます。レギュレータは1.8V(Typ.)の電圧を生成して V_{OUT} 端子に出力しますので、これを LV_{DD} 端子に入力することで、コアおよび内部回路が動作します。

電源の接続例については、“基本外部結線図”の章を参照してください。

本レギュレータは、低速(32kHz)動作時またはスタンバイモード(HALT、SLEEP)時にレギュレータ自体の消費電流を低減するエコモードを持っています。

4.6 制御レジスタ詳細 (S1C17564)

表4.6.1 電源制御レジスタ

アドレス	レジスタ名	機能
0x5121	VD1_CTL VD1 Control Register	レギュレータ動作モードの制御

以下にS1C17564の電源制御レジスタを説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

VD1 Control Register (VD1_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
VD1 Control Register (VD1_CTL) S1C17564	0x5121 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1-0	VD1ECO [1:0]	Regulator operation mode select	VD1ECO[1:0] Mode 0x3 reserved 0x2 Auto-control 0x1 Economy 0x0 Normal	0x0	R/W	

D[7:2] Reserved

D[1:0] VD1ECO[1:0]: Regulator Operation Mode Select Bits

内部レギュレータの動作モードを設定します。

表4.6.2 レギュレータ動作モード

VD1ECO[1:0]	動作モード
0x3	Reserved
0x2	自動制御モード
0x1	エコモード
0x0	通常モード

(デフォルト: 0x0)

通常動作時(OSC1以外のクロックによる動作時)はVD1ECO[1:0]を0x0(デフォルト)に設定しておきます。

VD1ECO[1:0]を0x1に設定するとレギュレータがエコモードになります。エコモードは消費電流を抑えることが可能ですが、負荷変動に追従できない場合があり、動作が不安定になる可能性があります。エコモードはslp命令の実行直前に設定してください。

VD1ECO[1:0]を0x2にすると自動制御モードになります。自動制御モードでは負荷変動を考慮し、エコモードと通常モードの切り換えをハードウェアが自動的に行います。IOSCとOSC3の両方が停止しているとき、あるいはSLEEP状態でエコモードになります。それ以外の状態では通常モードになります。

高速クロック(OSC1以外)による動作時は、レギュレータの出力電圧を安定させるため、エコモードには設定しないでください。また、OSC1動作時においても、ポート出力によりランプやブザーなどの重負荷を駆動する場合は通常モードに設定してください。

4.7 電源に関する注意事項

パワーオンシーケンス

デバイスを正常に動作させるため、下記の順序で電源を投入してください。

電源投入時: $LV_{DD} \rightarrow HV_{DD}(I/O), AV_{DD}(A/D) \rightarrow$ 入力信号印加

または、 $LV_{DD}, HV_{DD}(I/O), AV_{DD}(A/D) \rightarrow$ 入力信号印加

(下記、“パワーオフシーケンスの注”参照)

注: HV_{DD} をオフ状態からオン状態へ復帰させる場合、電源ノイズ等の影響により内部回路の状態を保証できません。したがって、電源投入後は必ず回路を初期化(リセット)してください。

パワーオフシーケンス

下記の順序で電源を切断してください。

電源切断時: 入力信号オフ $\rightarrow HV_{DD}(I/O), AV_{DD}(A/D) \rightarrow LV_{DD}$

または、入力信号オフ $\rightarrow HV_{DD}(I/O), AV_{DD}(A/D), LV_{DD}$ (下記の注を参照)

注: LV_{DD} だけが供給された状態になると、 HV_{DD} 系の回路が不安定な状態となり、I/Oセル内部で不安定電流が発生します。 LV_{DD} だけを継続的に(1秒以上)印加することは避けてください。

- LV_{DD} が切断されている状態で HV_{DD} または AV_{DD} のみを継続的に(1秒以上)印加することは、絶対に避けてください。 HV_{DD} または AV_{DD} の貫通電流によりデバイスの破壊や特性劣化を引き起こす可能性があります。

■ラッチアップ

CMOS構造のデバイスは、ラッチアップと呼ばれる状態になることがあります。これは、CMOS ICが内蔵する寄生のPNPN接合(サイリスタ構造)が導通し、 $HV_{DD}-V_{SS}$ 間に大電流が流れて破壊に至る現象です。

ラッチアップは、入力・出力端子への電圧印加が定格を超えて、内部素子に大きな電流が流れた場合、あるいは HV_{DD} 端子の電圧が定格を超えて内部素子が降伏状態になったときに起こります。この場合、定格外の電圧印加が瞬間的なものであっても、一旦ラッチアップ状態になると $HV_{DD}-V_{SS}$ 間の大電流が保持され、発熱や発煙のおそれもあるため、次の点に注意してください。

- (1) 入出力端子の電圧レベルを電気的特性に指定された範囲を超えて電源電圧より上げない、または V_{SS} より下げないでください。電源投入時のタイミングも考慮してください。
- (2) 異常ノイズがデバイスに加わらないようにしてください。
- (3) 未使用の入力端子の電位を HV_{DD} 、 AV_{DD} または V_{SS} に固定してください。
- (4) 出力を短絡しないでください。

5 イニシャルリセット

5.1 イニシャルリセット要因

S1C17554/564の内部回路を初期化するイニシャルリセット要因は、以下の3種類です。

- (1) #RESET端子による外部イニシャルリセット
- (2) P0ポート(P00～P03端子)のキー入力による外部イニシャルリセット(ソフトウェアで設定)
- (3) ウォッチドッグタイマによる内部イニシャルリセット(ソフトウェアで設定)

図5.1.1にイニシャルリセット回路の構成を示します。

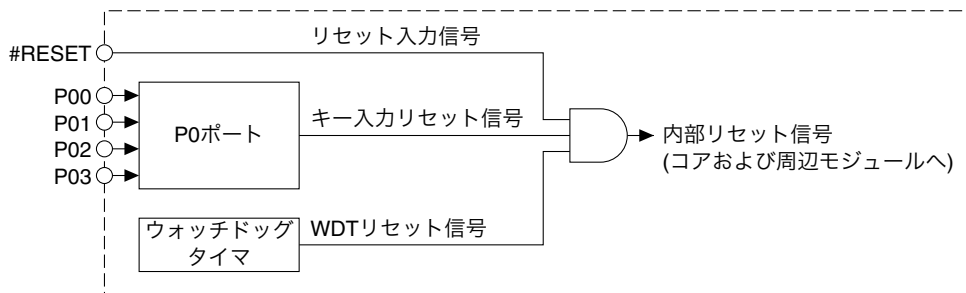


図5.1.1 イニシャルリセット回路の構成

イニシャルリセット要因によってCPUおよび周辺回路が初期化され、要因が解除されるとCPUはリセット処理を開始します。

これによって、ベクタテーブルの先頭からリセットベクタ(リセット処理開始アドレス)が読み出され、そのアドレスから始まるプログラム(初期化ルーチン)の実行を開始します。

5.1.1 #RESET端子

外部から#RESET端子にLowレベルを入力することでイニシャルリセットが行えます。

S1C17554/564を確実に初期化するため、電源電圧立ち上がり後、#RESET端子を規定の時間以上Lowレベルに保持してください。（“電気的特性”の章内の“AC特性”参照）

#RESET入力がLowからHighになると、イニシャルリセットが解除され、CPUはリセット割り込み処理を開始します。

#RESET端子には、プルアップ抵抗が内蔵されています。

5.1.2 P0ポートキー入力リセット

ソフトウェアで選択されたポート(P00～P03)に、外部から同時にLowレベルを入力することでイニシャルリセットが行えます。キー入力リセットの詳細については、“入出力ポート(P)”の章を参照してください。

注: P0ポートキー入力リセット機能はソフトウェアで有効にしますので、電源投入時のリセットには使用できません。

5.1.3 ウォッチドッグタイマによるリセット

S1C17554/564は、CPUの暴走を検出するためのウォッチドッグタイマを内蔵しています。ウォッチドッグタイマは4秒周期以内にソフトウェアによってリセットされない場合(CPUが暴走した場合)、タイマがオーバーフローし、このオーバーフロー信号によりNMIまたはリセットを発生するようになっていきます。リセットを発生させるにはWDTMD/WDT_STレジスタに1を書き込みます(WDTMDが0の場合はNMIを発生します)。

ウォッチドッグタイマの詳細については、“ウォッチドッグタイマ(WDT)”の章を参照してください。

5 イニシャルリセット

- 注: • ウォッチドッグタイマによるリセット機能を使用する場合は、必ず4秒周期以内にウォッチドッグタイマをリセットし、不要なリセットが発生しないようにプログラムしてください。
- ウォッチドッグタイマによるリセット機能はソフトウェアで有効にしますので、電源投入時のリセットには使用できません。

5.2 イニシャルリセットシーケンス

電源投入時の#RESET端子によるリセット解除後、発振安定待ち時間(*)、システムクロック供給開始時間(8サイクル)およびFlashリセット解除時間(16サイクル)が経過するまでCPUの起動は待たされます。図5.2.1にイニシャルリセット解除後の動作シーケンスを示します。CPUはリセット解除後、OSC3またはIOSC(S1C17564内蔵発振回路)クロック(*)に同期して起動します。

注: 発振安定待ち時間には、発振開始時間は含まれていません。そのため、電源投入時やSLEEP解除後の命令実行までの時間は、下図よりも長くなる場合があります。

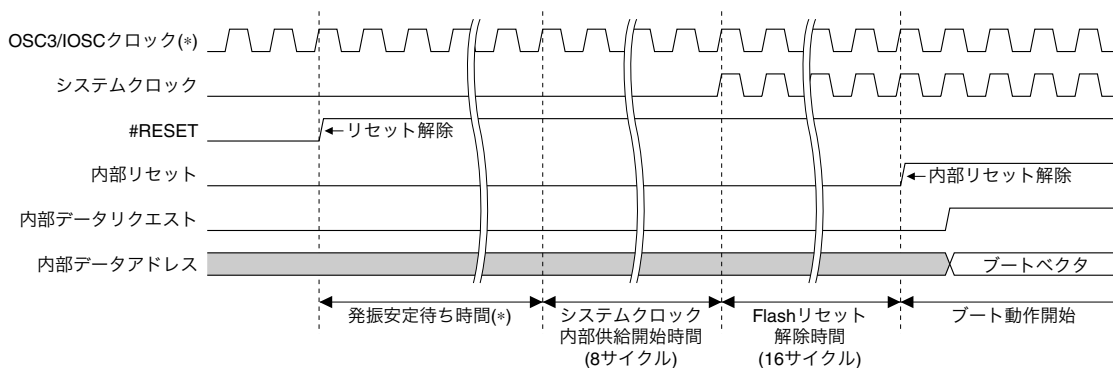


図5.2.1 イニシャルリセット解除後の動作シーケンス

* 起動クロックと発振安定待ち時間

S1C17554: OSC3クロックにより起動します。発振安定待ち時間は1,024サイクル(OSC3クロック)に設定されています。

S1C17564: IOSCクロックで起動します。発振安定待ち時間は64サイクル(IOSCクロック)に設定されています。

5.3 イニシャルリセット時の初期設定

イニシャルリセットによりCPUの内部レジスタは以下のように初期化されます。

R0～R7: 0x0

PSR: 0x0(割り込みレベル = 0、割り込み禁止)

SP: 0x0

PC: リセット処理によりベクタテーブル先頭のリセットベクタがロードされます。

内蔵RAMおよび表示メモリはイニシャルリセット時に初期化されませんので、ソフトウェアで初期化してください。

内蔵の周辺回路については、それぞれ所定の初期化が行われます。必要に応じてソフトウェアで再設定してください。イニシャルリセット時の初期値については、AppendixのI/Oレジスタ一覧または各周辺回路の説明を参照してください。

6 割り込みコントローラ (ITC)

6.1 ITCモジュールの概要

割り込みコントローラ (ITC) は周辺モジュールからの割り込み要求を受け付け、設定されている優先順位と割り込みレベルに従って S1C17 コアへ割り込み要求、割り込みレベル、ベクタ番号を指定する信号を出力します。

ITCモジュールの主な機能は以下のとおりです。

- 23系統のマスク可能割り込み (以下に示す26種類の割り込みソース) に対応
 1. P00～P03入力割り込み (4種類)
 2. P10～P17入力割り込み (8種類)
 3. P20～P27入力割り込み (8種類)
 4. P30～P37入力割り込み (8種類)
 5. P40～P45入力割り込み (6種類)
 6. P50～P55入力割り込み (6種類) * S1C17554 WCSP-48パッケージでは使用不可
 7. ストップウォッチタイマ割り込み (3種類)
 8. 計時タイマ割り込み (4種類)
 9. 16ビットPWMタイマCh.0割り込み (6種類)
 10. 16ビットPWMタイマCh.1割り込み (6種類)
 11. 16ビットPWMタイマCh.2割り込み (6種類)
 12. 16ビットPWMタイマCh.3割り込み (6種類)
 13. ファインモード16ビットタイマCh.0&Ch.1割り込み (2種類)
 14. 16ビットタイマCh.0割り込み (1種類)
 15. 16ビットタイマCh.1割り込み (1種類)
 16. 16ビットタイマCh.2割り込み (1種類)
 17. USI Ch.0&Ch.1割り込み (6種類) * S1C17554では使用不可
 18. UART Ch.0割り込み (4種類)
 19. UART Ch.1割り込み (4種類)
 20. IRリモートコントローラ割り込み (3種類)
 21. SPI Ch.0割り込み (2種類)
 22. SPI Ch.1割り込み (2種類)
 23. SPI Ch.2割り込み (2種類)
 24. I²Cマスタ割り込み (2種類)
 25. I²Cスレーブ割り込み (3種類)
 26. A/D変換器割り込み (2種類)
 - 割り込みソースの優先順位を決定する8段階の割り込みレベルに対応
- ITCでは複数の割り込みが同時に発生した場合に、処理する順序を決定する割り込みレベル (優先順位) を割り込み系列ごとに設定することができます。
- 各割り込み系列には上記の () 内に示した数の割り込み要因があり、各要因による割り込みの許可/禁止の設定はそれぞれの周辺モジュールのレジスタで行います。
- 割り込み要因とその制御の詳細については、各周辺モジュールの説明を参照してください。
- 図6.1.1に割り込みシステムの構成を示します。

6 割り込みコントローラ (ITC)

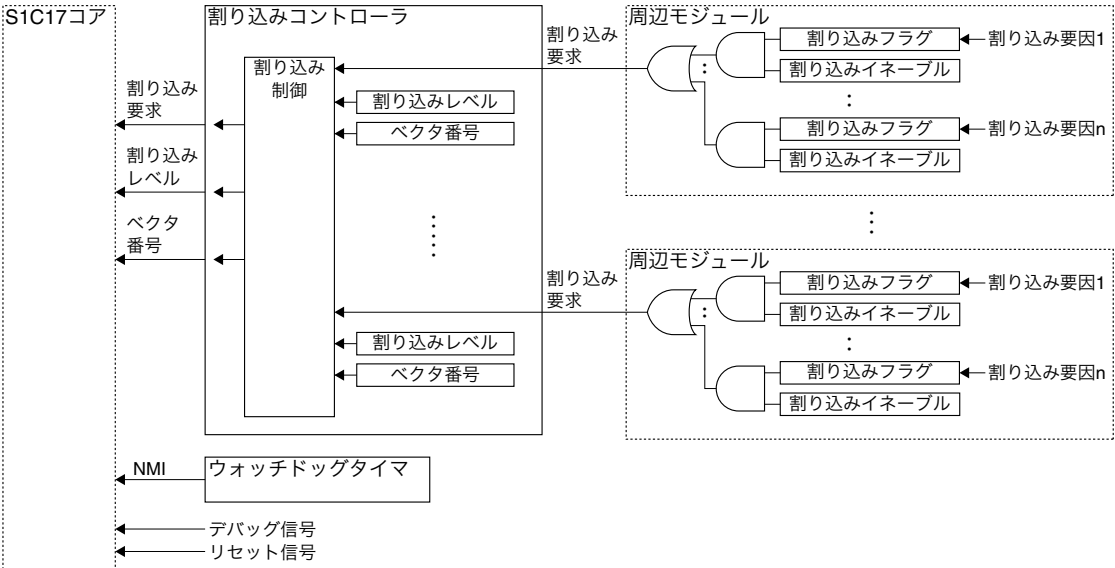


図6.1.1 割り込みシステム

6.2 ベクタテーブル

ベクタテーブルは、割り込み処理ルーチンへのベクタ(処理ルーチン開始アドレス)を格納します。割り込みが発生すると、S1C17コアは割り込みに対応するベクタを読み出して、その処理ルーチンを実行します。表6.2.1にS1C17554/564のベクタテーブルを示します。

表6.2.1 ベクタテーブル

ベクタNo./ソフト ウェア割り込みNo.	ベクタアドレス	ハードウェア割り込み名	ハードウェア割り込み要因	優先順位
0 (0x00)	TTBR + 0x00	リセット	• #RESET端子へのLow入力 • ウォッチドッグタイマオーバーフロー *2	1
1 (0x01)	TTBR + 0x04	アドレス不整割り込み	メモリアクセス命令	2
—	(0xffffc00)	デバッグ割り込み	brk命令等	3
2 (0x02)	TTBR + 0x08	NMI	ウォッチドッグタイマオーバーフロー *2	4
3 (0x03)	TTBR + 0x0c	Cコンパイラ予約	—	—
4 (0x04)	TTBR + 0x10	P0ポート割り込み	P00~P03ポート入力	高い *1 ↑
5 (0x05)	TTBR + 0x14	P1ポート割り込み	P10~P17ポート入力	
6 (0x06)	TTBR + 0x18	ストップウォッチタイマ割り込み	• タイマ100Hz信号 • タイマ10Hz信号 • タイマ1Hz信号	
7 (0x07)	TTBR + 0x1c	計時タイマ割り込み	• タイマ32Hz信号 • タイマ8Hz信号 • タイマ2Hz信号 • タイマ1Hz信号	
8 (0x08)	TTBR + 0x20	16ビットPWMタイマCh.2割り込み	• コンペアA/B • キャプチャ A/B • キャプチャ A/Bオーバーライト	
9 (0x09)	TTBR + 0x24	P4ポート割り込み	P40~P45ポート入力	
10 (0x0a)	TTBR + 0x28	SPI Ch.2割り込み	• 送信バッファエンプティ • 受信バッファフル	
11 (0x0b)	TTBR + 0x2c	16ビットPWMタイマCh.0割り込み	• コンペアA/B • キャプチャ A/B • キャプチャ A/Bオーバーライト	
12 (0x0c)	TTBR + 0x30	ファインモード16ビットタイマ Ch.0&Ch.1割り込み	• Ch.0アンダーフロー • Ch.1アンダーフロー	
		USI Ch.0&Ch.1割り込み	• Ch.0送信バッファエンプティ • Ch.0受信バッファフル • Ch.0受信エラー • Ch.1送信バッファエンプティ • Ch.1受信バッファフル • Ch.1受信エラー	
13 (0x0d)	TTBR + 0x34	16ビットタイマCh.0割り込み	タイマアンダーフロー	

ベクタNo./ソフトウェア割り込みNo.	ベクタアドレス	ハードウェア割り込み名	ハードウェア割り込み要因	優先順位
14 (0x0e)	TTBR + 0x38	16ビットタイマCh.1割り込み	タイマアンダーフロー	↓ 低い*1
15 (0x0f)	TTBR + 0x3c	16ビットタイマCh.2割り込み 16ビットPWMタイマCh.3割り込み	タイマアンダーフロー ・コンペアA/B ・キャプチャ A/B ・キャプチャ A/Bオーバーライト	
16 (0x10)	TTBR + 0x40	UART Ch.0割り込み	・送信バッファエンプティ ・転送終了 ・受信バッファフル ・受信エラー	
17 (0x11)	TTBR + 0x44	UART Ch.1割り込み	・送信バッファエンプティ ・転送終了 ・受信バッファフル ・受信エラー	
18 (0x12)	TTBR + 0x48	SPI Ch.0割り込み	・送信バッファエンプティ ・受信バッファフル	
19 (0x13)	TTBR + 0x4c	I ² Cマスタ割り込み	・送信バッファエンプティ ・受信バッファフル	
20 (0x14)	TTBR + 0x50	IRリモートコントローラ割り込み SPI Ch.1割り込み	・データ長カウンタアンダーフロー ・入力立ち上がりエッジ検出 ・入力立ち下がりエッジ検出 ・送信バッファエンプティ ・受信バッファフル	
21 (0x15)	TTBR + 0x54	16ビットPWMタイマCh.1割り込み	・コンペアA/B ・キャプチャ A/B ・キャプチャ A/Bオーバーライト	
22 (0x16)	TTBR + 0x58	A/D変換器割り込み	・変換終了 ・変換結果オーバーライト	
23 (0x17)	TTBR + 0x5c	P5ポート割り込み	P50~P55ポート入力	
24 (0x18)	TTBR + 0x60	P2ポート割り込み	P20~P27ポート入力	
25 (0x19)	TTBR + 0x64	P3ポート割り込み	P30~P37ポート入力	
26 (0x1a)	TTBR + 0x68	I ² Cスレーブ割り込み	・送信バッファエンプティ ・受信バッファフル ・バスステータス	
27 (0x1b)	TTBR + 0x6c	reserved	—	
⋮	⋮	⋮	⋮	
31 (0x1f)	TTBR + 0x7c	reserved	—	

*1 同一の割り込みレベルが設定されている場合

*2 ウォッチドッグタイマの割り込みは、ソフトウェアにてリセットまたはNMIのいずれかを選択

ベクタ番号4~26に、S1C17554/564が対応しているマスク可能な割り込みが割り当てられています。

割り込みベクタを共有する割り込み

割り込みベクタ番号12、15、20はそれぞれ2つの割り込みモジュールにより共有されます。

割り込みベクタ12: ファインモード16ビットタイマCh.0/Ch.1とUSI Ch.0/Ch.1

割り込みベクタ15: 16ビットタイマCh.2と16ビットPWMタイマCh.3

割り込みベクタ20: IRリモートコントローラとSPI Ch.1

それぞれのモジュールからの割り込み信号はORゲートを通してITCに入力されますので、両方の割り込みを使用する場合は、それぞれのモジュール内の割り込みフラグを読み出して発生した割り込みを判定してください。また、同じ割り込みベクタを使用するため、それぞれに異なる割り込みレベルを設定することはできません。

ベクタテーブルベースアドレス

割り込みベクタを書き込んでおくベクタテーブルのベース(先頭)アドレスは、MISC_TTBRLとMISC_TTBRLHレジスタによって設定することができます。表6.2.1の“TTBR”はこれらのレジスタに設定された値を意味します。イニシャルリセット後、MISC_TTBRL/MISC_TTBRLHレジスタは0x8000番地に設定されます。したがって、ベクタテーブルの位置を変更する場合でも、リセットベクタのみは上記のアドレスに書き込んでおく必要があります。MISC_TTBRLレジスタのビット7~0は0に固定されます。このため、ベクタテーブルの先頭アドレスは常に256バイト境界アドレスから始まります。

Vector Table Address Low/High Registers (MISC_TTBRL, MISC_TTBRLH)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Vector Table Address Low Register (MISC_TTBRL)	0x5328 (16 bits)	D15–8	TTBR[15:8]	Vector table base address A[15:8]	0x0–0xff	0x80	R/W	
		D7–0	TTBR[7:0]	Vector table base address A[7:0] (fixed at 0)	0x0	0x0	R	
Vector Table Address High Register (MISC_TTBRLH)	0x532a (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TTBR[23:16]	Vector table base address A[23:16]	0x0–0xff	0x0	R/W	

注: MISC_TTBRL/MISC_TTBRLHレジスタには書き込み保護が設定されています。これらのレジスタを書き換えるには、MISC_PROTレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。なお、MISC_TTBRL/MISC_TTBRLHの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はMISC_PROTレジスタに0x96以外の値を書き込み、書き込み保護を設定してください。

6.3 マスク可能割り込みの制御

6.3.1 周辺モジュールの割り込み制御ビット

割り込み発生源の周辺モジュールには、各割り込み要因ごとに割り込みイネーブルビットと割り込みフラグが設けられています。割り込みフラグは割り込み要因の発生により1にセットされます。割り込みイネーブルビットを1(割り込み許可)に設定しておく、このフラグの状態が割り込み要求信号としてITCに送られ、S1C17コアへの割り込み要求を発生させます。

割り込みを発生させたくない要因については、対応する割り込みイネーブルビットを0に設定します。割り込み要因が発生すると割り込みフラグは1にセットされますが、ITCへの割り込み要求信号はアクティブになりません。

割り込み要因、割り込みフラグ、割り込みイネーブルビットの詳細については、各周辺モジュールの説明を参照してください。

注: 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、割り込みを許可、PSRを再設定またはreti命令を実行する前に必ず周辺モジュール内の割り込みフラグをリセットしてください。

6.3.2 ITCの割り込み要求処理

周辺モジュールからの割り込み信号を受け付けると、ITCは割り込み要求、割り込みレベルおよびベクタ番号の信号をS1C17コアに送ります。ベクタ番号は表6.2.1に示したとおり、ITC内のハードウェアにより割り込み要因ごとに決められています。割り込みレベルはS1C17コアがILビット(PSR)と比較するための値です。S1C17コアは、この割り込みレベルを使用して、それ以降に発生する同一あるいはそれ以下のレベルの割り込みを禁止します(6.3.3節参照)。ITCのデフォルト設定では、すべてのマスク可能割り込みがレベル0になります。割り込みレベルが0の場合、S1C17コアはその割り込み要求を受け付けません。ITCには割り込みレベルを選択する制御ビットが設けられており、割り込み系列ごとに割り込みレベルを0(低)～7(高)に設定できます。

複数の周辺モジュールから同時に割り込み要求がITCに入力された場合、ITCは以下の条件に従い、最も優先順位の高い割り込み要求をS1C17コアに出力します。

1. 割り込みレベルが最も高く設定されている割り込みを優先します。
2. 同一の割り込みレベルが設定されている複数の割り込み要求が入力された場合は、ベクタ番号の小さい割り込みを優先します。

同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。

ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

保留状態の割り込み要求を出力した周辺モジュール内の割り込みフラグがソフトウェアでリセットされた場合、その割り込みは発生しません。

表6.3.2.1 割り込みレベル設定ビット

ハードウェア割り込み	割り込みレベル設定ビット	レジスタアドレス
P0ポート割り込み	ILV0[2:0] (D[2:0]/ITC_LV0レジスタ)	0x4306
P1ポート割り込み	ILV1[2:0] (D[10:8]/ITC_LV0レジスタ)	0x4306
ストップウォッチタイマ割り込み	ILV2[2:0] (D[2:0]/ITC_LV1レジスタ)	0x4308
計時タイマ割り込み	ILV3[2:0] (D[10:8]/ITC_LV1レジスタ)	0x4308
16ビットPWMタイマCh.2割り込み	ILV4[2:0] (D[2:0]/ITC_LV2レジスタ)	0x430a
P4ポート割り込み	ILV5[2:0] (D[10:8]/ITC_LV2レジスタ)	0x430a
SPI Ch.2割り込み	ILV6[2:0] (D[2:0]/ITC_LV3レジスタ)	0x430c
16ビットPWMタイマCh.0割り込み	ILV7[2:0] (D[10:8]/ITC_LV3レジスタ)	0x430c
ファインモード16ビットタイマCh.0 & Ch.1割り込み / USI Ch.0 & Ch.1割り込み	ILV8[2:0] (D[2:0]/ITC_LV4レジスタ)	0x430e
16ビットタイマCh.0割り込み	ILV9[2:0] (D[10:8]/ITC_LV4レジスタ)	0x430e
16ビットタイマCh.1割り込み	ILV10[2:0] (D[2:0]/ITC_LV5レジスタ)	0x4310
16ビットタイマCh.2割り込み / 16ビットPWMタイマCh.3割り込み	ILV11[2:0] (D[10:8]/ITC_LV5レジスタ)	0x4310
UART Ch.0割り込み	ILV12[2:0] (D[2:0]/ITC_LV6レジスタ)	0x4312
UART Ch.1割り込み	ILV13[2:0] (D[10:8]/ITC_LV6レジスタ)	0x4312
SPI Ch.0割り込み	ILV14[2:0] (D[2:0]/ITC_LV7レジスタ)	0x4314
I ² Cマスタ割り込み	ILV15[2:0] (D[10:8]/ITC_LV7レジスタ)	0x4314
IRリモートコントローラ割り込み / SPI Ch.1割り込み	ILV16[2:0] (D[2:0]/ITC_LV8レジスタ)	0x4316
16ビットPWMタイマCh.1割り込み	ILV17[2:0] (D[10:8]/ITC_LV8レジスタ)	0x4316
A/D変換器割り込み	ILV18[2:0] (D[2:0]/ITC_LV9レジスタ)	0x4318
P5ポート割り込み	ILV19[2:0] (D[10:8]/ITC_LV9レジスタ)	0x4318
P2ポート割り込み	ILV20[2:0] (D[2:0]/ITC_LV10レジスタ)	0x431a
P3ポート割り込み	ILV21[2:0] (D[10:8]/ITC_LV10レジスタ)	0x431a
I ² Cスレーブ割り込み	ILV22[2:0] (D[2:0]/ITC_LV11レジスタ)	0x431c

6.3.3 S1C17コアの割り込み処理

S1C17コアに対するマスク可能な割り込みは、以下のすべての条件が成立している場合に発生します。

- 周辺モジュール内の割り込み制御ビットで割り込みが許可されている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- 発生した割り込み要因が、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

周辺モジュール内で割り込みが許可されている割り込み要因が発生すると、対応する割り込みフラグが1にセットされ、プログラムでリセットするまではその状態を保持します。したがって、割り込み要因の発生時点で上記の条件が満たされていない場合でも発生した割り込み要因がクリアされることはありません。上記の条件が満たされた時点で割り込みが発生します。

同時に複数のマスク可能な割り込み要因が発生した場合は、その中で最も高い割り込みレベルかつ最も小さなベクタ番号を持つ割り込み要因がその時点でのS1C17コアへの割り込み要求の対象となります。優先順位の低い割り込みは、その後、上記の条件が成立するまで保留されます。

S1C17コアは毎サイクル、割り込み要求のサンプリングを行っています。S1C17コアは割り込み要求を受け付けるとその時点の命令の実行終了後、割り込み処理に移行します。

割り込み処理で実行される内容は以下のとおりです。

- (1) PSRおよび現在のプログラムカウンタ(PC)値をスタックに退避
- (2) PSRのIEビットを0にリセット(以降のマスク可能な割り込みを禁止)
- (3) PSRのILを受け付けた割り込みのレベルにセット(NMIは割り込みレベルを変更しない)
- (4) 発生した割り込み要因のベクタをPCにロードして割り込み処理ルーチンを実行

したがって、割り込みを受け付けると、(2)によって以降のマスク可能な割り込みは禁止されます。

6 割り込みコントローラ (ITC)

割り込み処理ルーチン内でIEビットを1にセットすることで、多重割り込みにも対応できます。その場合、(3)によってILが変更されていますので、現在処理中の割り込みより高いレベルの割り込みのみが受け付けられます。割り込み処理ルーチンをreti命令で終了すると、PSRが割り込み発生前の状態に戻ります。プログラムは割り込み発生時に実行していた命令の次の命令に分岐して処理を再開します。

6.4 NMI

S1C17554/564では、ウォッチドッグタイマでNMI(ノンマスクابل割り込み)を発生させることができます。NMIのベクタ番号は2で、ベクタアドレスはベクタテーブル先頭アドレス+8バイトに設定されています。この割り込みは他の割り込み要因に優先して、無条件にS1C17コアに受け付けられます。NMIを発生させる方法については、“ウォッチドッグタイマ(WDT)”の章を参照してください。

6.5 ソフトウェア割り込み

S1C17コアのint imm5またはint1 imm5, imm3命令を使用することによって、ソフトウェアで任意の割り込みを発生させることができます。オペランドの即値imm5でベクタテーブルのベクタ番号(0~31)を指定します。int1命令では、imm3でPSRのILフィールドに設定する割り込みレベル(0~7)を指定することもできます。プロセッサの割り込み処理の内容は、ハードウェアによる割り込み発生時と同様です。

6.6 HALT, SLEEPモードの解除

HALT、SLEEPモードは以下の信号によって解除され、CPUが起動します。

- ITCからCPUに対する割り込み要求
- ウォッチドッグタイマからのNMI
- デバッグ割り込み
- リセット

注: • ITCからCPUに対する割り込み要求によりHALT、SLEEPモードが解除されたときに、CPUが割り込みを受け付けられる状態になっていれば、解除直後に割り込み処理ルーチンに分岐します。それ以外の場合は、halt、slp命令に続く命令を実行します。

- ITCの割り込みレベルの設定では、割り込み要求によるHALT、SLEEPモードの解除をマスク(禁止)することはできません。

詳細は、“Appendix”内の“クロック制御によるパワーセーブ”を参照してください。また、HALT、SLEEPモード解除後の発振回路およびシステムクロックの状態については、“クロックジェネレータ(CLG)”の章を参照してください。

6.7 制御レジスタ詳細

表6.7.1 ITCレジスタ一覧

アドレス	レジスタ名		機 能
0x4306	ITC_LV0	Interrupt Level Setup Register 0	P0、P1割り込みレベルの設定
0x4308	ITC_LV1	Interrupt Level Setup Register 1	SWT、CT割り込みレベルの設定
0x430a	ITC_LV2	Interrupt Level Setup Register 2	T16A Ch.2、P4割り込みレベルの設定
0x430c	ITC_LV3	Interrupt Level Setup Register 3	SPI Ch.2、T16A Ch.0割り込みレベルの設定
0x430e	ITC_LV4	Interrupt Level Setup Register 4	T16F Ch.0 & Ch.1/USI Ch.0 & Ch.1、T16 Ch.0割り込みレベルの設定
0x4310	ITC_LV5	Interrupt Level Setup Register 5	T16 Ch.1、T16 Ch.2/T16A Ch.3割り込みレベルの設定
0x4312	ITC_LV6	Interrupt Level Setup Register 6	UART Ch.0、Ch.1割り込みレベルの設定
0x4314	ITC_LV7	Interrupt Level Setup Register 7	SPI Ch.0、I2CM割り込みレベルの設定
0x4316	ITC_LV8	Interrupt Level Setup Register 8	REMC/SPI Ch.1、T16A Ch.1割り込みレベルの設定
0x4318	ITC_LV9	Interrupt Level Setup Register 9	ADC10、P5割り込みレベルの設定
0x431a	ITC_LV10	Interrupt Level Setup Register 10	P2、P3割り込みレベルの設定
0x431c	ITC_LV11	Interrupt Level Setup Register 11	I2CS割り込みレベルの設定

以下、ITCのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

Interrupt Level Setup Register x (ITC_LVx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register x (ITC_LVx)	0x4306	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILVn[2:0]	/INTn (1, 3, ... 21) interrupt level	0 to 7	0x0	R/W	
	0x431c (16 bits)	D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILVn[2:0]	/INTn (0, 2, ... 22) interrupt level	0 to 7	0x0	R/W	

D[15:11], D[7:3]
Reserved

D[10:8], D[2:0]

ILVn[2:0]: /INTn Interrupt Level Bits (n = 0~22)

各割り込みの割り込みレベル(0~7)を設定します。(デフォルト: 0x0)

S1C17コアは、PSRのILの値より低いレベルに設定された割り込みを受け付けません。

ITC内では、割り込みレベルを複数の割り込み要求が同時に発生した場合に使用します。

割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCはITC_LVxレジスタ(0x4306~0x431c)で設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。

同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。

同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。

ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

表6.7.2 割り込みレベル設定ビット

レジスタ	ビット	割り込み
ITC_LV0 (0x4306)	ILV0[2:0] (D[2:0])	P0ポート割り込み
	ILV1[2:0] (D[10:8])	P1ポート割り込み
ITC_LV1 (0x4308)	ILV2[2:0] (D[2:0])	ストップウォッチタイマ割り込み
	ILV3[2:0] (D[10:8])	計時タイマ割り込み
ITC_LV2 (0x430a)	ILV4[2:0] (D[2:0])	16ビットPWMタイマCh.2割り込み
	ILV5[2:0] (D[10:8])	P4ポート割り込み
ITC_LV3 (0x430c)	ILV6[2:0] (D[2:0])	SPI Ch.2割り込み
	ILV7[2:0] (D[10:8])	16ビットPWMタイマCh.0割り込み
ITC_LV4 (0x430e)	ILV8[2:0] (D[2:0])	ファインモード16ビットタイマCh.0 & Ch.1割り込み / USI Ch.0 & Ch.1割り込み
	ILV9[2:0] (D[10:8])	16ビットタイマCh.0割り込み
ITC_LV5 (0x4310)	ILV10[2:0] (D[2:0])	16ビットタイマCh.1割り込み
	ILV11[2:0] (D[10:8])	16ビットタイマCh.2割り込み / 16ビットPWMタイマCh.3割り込み
ITC_LV6 (0x4312)	ILV12[2:0] (D[2:0])	UART Ch.0割り込み
	ILV13[2:0] (D[10:8])	UART Ch.1割り込み
ITC_LV7 (0x4314)	ILV14[2:0] (D[2:0])	SPI Ch.0割り込み
	ILV15[2:0] (D[10:8])	I ² Cマスタ割り込み
ITC_LV8 (0x4316)	ILV16[2:0] (D[2:0])	IRリモートコントローラ割り込み / SPI Ch.1割り込み
	ILV17[2:0] (D[10:8])	16ビットPWMタイマCh.1割り込み
ITC_LV9 (0x4318)	ILV18[2:0] (D[2:0])	A/D変換器割り込み
	ILV19[2:0] (D[10:8])	P5ポート割り込み
ITC_LV10 (0x431a)	ILV20[2:0] (D[2:0])	P2ポート割り込み
	ILV21[2:0] (D[10:8])	P3ポート割り込み
ITC_LV11 (0x431c)	ILV22[2:0] (D[2:0])	I ² Cスレーブ割り込み
	(ILV23[2:0] (D[10:8]))	Reserved

7 クロックジェネレータ (CLG)

注: 本章内のIOSC関係の記述はS1C17564にのみ適用されます。S1C17554ではIOSCクロックを使用することはできません。

7.1 CLGモジュールの概要

クロックジェネレータは、内蔵発振回路を制御してクロックを生成すると共に、S1C17コア、内蔵周辺モジュール、外部デバイスへのシステムクロック供給を制御します。

CLGモジュールの主な機能を以下に示します。

- 内蔵発振回路により動作クロックを生成
 - IOSC発振回路: 2/4/8/12MHz(typ.)*
 - OSC3発振回路: 24MHz(max.)水晶発振回路/セラミック発振回路、外部クロック入力にも対応
 - OSC1発振回路: 32.768kHz(typ.)水晶発振回路、外部クロック入力にも対応
- システムクロックの切り換え
システムのクロックソースをソフトウェアにてIOSC*、OSC3、OSC1から選択可能
- CPUコアクロック(CCLK)の生成と、コアブロックへのクロック供給を制御
CCLK周波数をシステムクロック×1/1、1/2、1/4および1/8から選択可能
- 周辺モジュールへのクロック供給を制御
- CPUの動作状態(RUN、HALT、SLEEP)に合わせ、クロックをOn/Off
- SLEEPモードからの高速な復帰処理を実現
SLEEPモード解除時に強制的にIOSCをOnし、システムクロックをIOSCに切り換え*
- 外部デバイスへの2系統のクロック出力を制御

* S1C17564のみ

図7.1.1にクロックシステムとCLGモジュールの構成を示します。

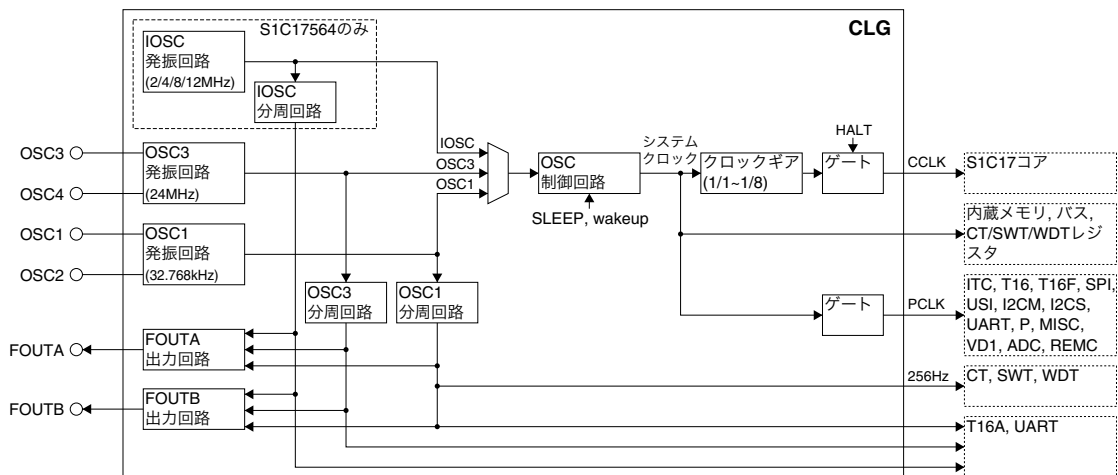


図7.1.1 CLGモジュールの構成

処理に合わせてクロックを制御し、さらにHALT、SLEEPモードを組み合わせることで消費電流を抑えることができます。消費電流を抑える手法については、Appendixの“パワーセーブ”を参照してください。

7.2 CLG入出力端子

表7.2.1にCLGモジュールの入出力端子の一覧を示します。

表7.2.1 CLG端子一覧

端子名	I/O	本数	機 能
OSC1	I	1	OSC1発振入力端子 水晶振動子 (32.768kHz) とゲート容量を接続します。 外部クロックをOSC1クロックとして使用する場合は、この端子から入力します。
OSC2	O	1	OSC1発振出力端子 水晶振動子 (32.768kHz) を接続します。
OSC3	I	1	OSC3発振入力端子 水晶またはセラミック振動子 (max. 24MHz)、帰還抵抗、ゲート容量を接続します。 外部クロックをOSC3クロックとして使用する場合は、この端子から入力します。
OSC4	O	1	OSC3発振出力端子 水晶またはセラミック振動子 (max. 24MHz)、帰還抵抗、ドレイン容量を接続します。
FOUTA	O	1	FOUTAクロック出力端子 IOSC/OSC3分周クロックまたはOSC1クロックを出力します。
FOUTB	O	1	FOUTBクロック出力端子 IOSC/OSC3分周クロックまたはOSC1クロックを出力します。

CLGの出力端子(FOUTA、FOUTB)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをCLGの出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。機能の切り換え方法については“入出力ポート(P)”の章を参照してください。

7.3 発振回路

S1C17554のCLGモジュールは2種類の発振回路(OSC3、OSC1)を、S1C17564のCLGモジュールは3種類の発振回路(IOSC、OSC3、OSC1)を内蔵しています。OSC3発振回路とIOSC発振回路はS1C17コアや周辺回路を高速動作させるためのメインクロックを、OSC1発振回路はタイマ動作や低電力動作のサブクロックを発生します。

イニシャルリセット時、S1C17554のシステムクロックにはOSC3クロックが、S1C17564ではIOSCクロックが選択されます。発振回路のOn/Offとシステムクロックの切り換え(IOSC、OSC3、またはOSC1)はソフトウェアによって制御できます。

表7.3.1 発振回路の構成

機種	IOSC発振回路	OSC3発振回路	OSC1発振回路	デフォルトシステムクロック
S1C17554	使用不可	使用可能 (デフォルト: On)	使用可能 (デフォルト: Off)	OSC3
S1C17564	使用可能 (デフォルト: On)	使用可能 (デフォルト: Off)	使用可能 (デフォルト: Off)	IOSC

7.3.1 OSC3発振回路

OSC3発振回路は水晶あるいはセラミック振動子を使用する高精度な高速発振回路です。図7.3.1.1にOSC3発振回路の構造を示します。

OSC3端子とOSC4端子間に水晶振動子(X'tal3)またはセラミック振動子(Ceramic)と帰還抵抗(R_f)を、同OSC3、OSC4端子とV_{ss}間にキャパシタを2個(C_{G3}、C_{D3})接続します。

外部クロックを使用する場合はOSC4端子を開放し、LV_{DD}レベルでデューティ比が50%のクロックをOSC3端子に入力してください。

有効周波数範囲、発振特性、外部クロックの入力特性については“電氣的特性”を参照してください。

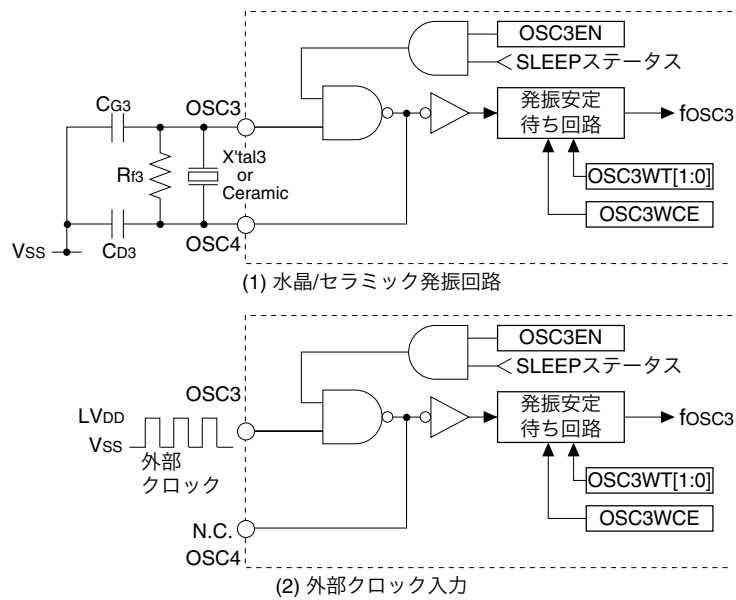


図7.3.1.1 OSC3発振回路

OSC3発振のOn/Off

OSC3発振回路はOSC3EN/CLG_CTLレジスタを1に設定すると発振を開始し、0に設定すると発振を停止します。SLEEPモード時はOSC3発振回路も発振を停止します。

イニシャルリセット時はOSC3ENが次のように初期設定されます。

表7.3.1.1 OSC3発振回路の初期状態

機種	OSC3EN の初期設定値	OSC3発振回路 の初期状態
S1C17554	1	On
S1C17564	0	Off

OSC3発振開始時の安定待ち時間

ソフトウェアでOSC3発振回路をOnにしたときなど、OSC3発振開始時の不安定なクロックによる誤動作を防止するため、OSC3発振回路には発振安定待ち回路が設けられています。図7.3.1.2に発振開始時間と発振安定待ち時間の関係を示します。

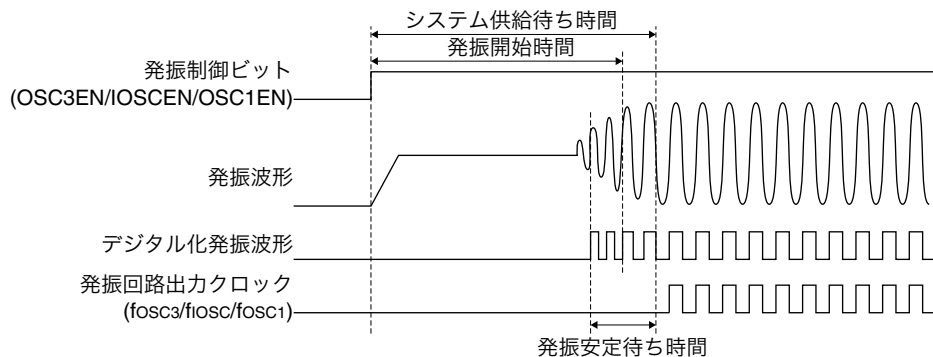


図7.3.1.2 発振開始時間と発振安定待ち時間

この回路で設定した時間が経過するまで、OSC3クロックはシステムに供給されません。

この発振安定待ち時間はOSC3WT[1:0]/CLG_CTLレジスタで4種類から選択可能です。

表7.3.1.2 OSC3発振安定待ち時間の設定

OSC3WT[1:0]	発振安定待ち時間
0x3	128サイクル
0x2	256サイクル
0x1	512サイクル
0x0	1024サイクル

(デフォルト: 0x0)

イニシャルリセット時は1024サイクル(OSC3クロック)に設定されます。

OSC3発振回路をOnにした直後にシステムクロックをOSC3に切り換えた場合は、最大で下記のOSC3クロックシステム供給待ち時間が経過するまでOSC3クロックはシステムに供給されません。発振開始時間については、“電気的特性”の章を参照してください。

OSC3クロックシステム供給待ち時間 ≤ OSC3発振開始時間(max.) + OSC3発振安定待ち時間

注: 発振の安定度は振動子などの外付け部品によって変わります。OSC3発振安定待ち時間を短くする場合は、十分評価の上、設定してください。

OSC3発振安定待ち回路を使用するか否かについて、OSC3WCE/CLG_NFENレジスタで設定できるようになっています。イニシャルリセット時、OSC3発振安定待ち回路は有効な状態(OSC3WCE = 1)に設定され、システムへのクロック供給が制御されます。安定した外部クロックをOSC3端子から入力する場合はOSC3WCEを0に設定することで、安定待ち時間なしにシステムの動作を開始することができます。

7.3.2 OSC1発振回路

OSC1発振回路は32.768kHzの水晶振動子を使用する高精度な低速発振回路です。通常、OSC1クロックはタイマ(計時タイマ、ストップウォッチタイマ、ウォッチドッグタイマ、16ビットPWMタイマ)の動作クロックとして使用します。また、高速な処理が不要な場合は、消費電流を低減するため、OSC3またはIOSCクロックの代わりにシステムクロックとしても使用可能です。

図7.3.2.1にOSC1発振回路の構造を示します。

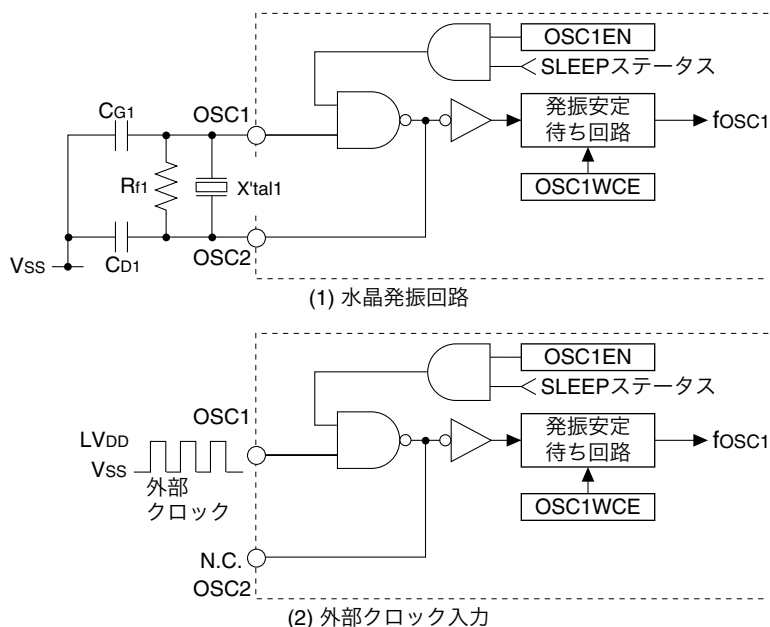


図7.3.2.1 OSC1発振回路

OSC1端子とOSC2端子間に水晶振動子(X'tal1, Typ. 32.768kHz)と帰還抵抗(Rf1)を、同OSC1、OSC2端子とVSS間にキャパシタを2個(Cg1、Cd1)接続します。

外部クロックを使用する場合はOSC2端子を開放し、LV_{DD}レベルでデューティ比が50%のクロックをOSC1端子に入力してください。

発振特性、外部クロックの入力特性については“電気的特性”を参照してください。

OSC1発振のOn/Off

OSC1発振回路はOSC1EN/CLG_CTLレジスタを0に設定すると発振を停止し、1に設定すると発振を開始します。SLEEPモード時はOSC1発振回路も発振を停止します。

イニシャルリセット時はOSC1ENが0に設定され、OSC1発振回路は停止状態になります。

OSC1発振開始時の安定待ち時間

ソフトウェアでOSC1発振回路をOnにした場合など、OSC1発振開始時の不安定なクロックによる誤動作を防止するため、OSC1発振回路には発振安定待ち回路(256サイクル固定)が設けられています。OSC1発振回路をOnにした直後にシステムクロックをOSC1に切り換えた場合は、最大で下記のOSC1クロックシステム供給待ち時間が経過するまでOSC1クロックはシステムに供給されません。発振開始時間については、“電気的特性”の章を参照してください。

$$\text{OSC1クロックシステム供給待ち時間} \leq \text{OSC1発振開始時間(max.)} + \text{OSC1発振安定待ち時間(256サイクル)}$$

OSC1発振安定待ち回路を使用するか否かについて、OSC1WCE/CLG_NFENレジスタで設定できるようになっています。イニシャルリセット時、OSC1発振安定待ち回路は有効な状態(OSC1WCE = 1)に設定され、システムへのクロック供給が制御されます。安定した外部クロックをOSC1端子から入力する場合はOSC1WCEを0に設定することで、安定待ち時間なしにシステムの動作を開始することができます。

7.3.3 IOSC発振回路 (S1C17564)

IOSC発振回路は外付け部品を一切必要とせず、高速な発振開始を実現する発振回路です。電源投入時に発振を開始し、イニシャルリセット後はS1C17コアと周辺回路がこの発振クロックで動作します。

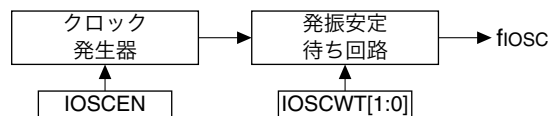


図7.3.3.1 IOSC発振回路

IOSC発振周波数

IOSC発振周波数をIOSCSEL[1:0]/CLG_IOSCレジスタによって以下の4種類から選択できるようになっています。

表7.3.3.1 IOSC発振周波数の設定

IOSCSEL[1:0]	IOSC発振周波数 (typ.)
0x3	2MHz
0x2	4MHz
0x1	12MHz
0x0	8MHz

(デフォルト: 0x1)

IOSC発振のOn/Off

IOSC発振回路はIOSCEN/CLG_CTLレジスタを0に設定すると発振を停止し、1に設定すると発振を開始します。SLEEPモード時はIOSC発振回路も発振を停止します。

イニシャルリセット時はIOSCENが1に設定され、IOSC発振回路はOnします。また、IOSCクロックがシステムクロックとなりますので、S1C17コアはIOSCクロックで動作を開始します。

SLEEPモード解除時も、SLEEP移行前の状態にかかわらず、IOSC発振回路がOnし、システムクロックがIOSCになります。

IOSC発振開始時の安定待ち時間

ソフトウェアでIOSC発振回路をOnにしたときなど、IOSC発振開始時の不安定なクロックによる誤動作を防止するため、IOSC発振回路には発振安定待ち回路が設けられています。この回路で設定した時間が経過するまで、IOSCクロックはシステムに供給されません。

この発振安定待ち時間はIOSCWT[1:0]/CLG_CTLレジスタで4種類から選択可能です。

表7.3.3.2 IOSC発振安定待ち時間の設定

IOSCWT[1:0]	発振安定待ち時間
0x3	8サイクル
0x2	16サイクル
0x1	32サイクル
0x0	64サイクル

(デフォルト: 0x0)

イニシャルリセット時は64サイクル(IOSCクロック)に設定されますので、リセット解除後は最大で下記のイニシャルリセット時CPU動作開始時間が経過するまでCPUは動作を開始しません。発振開始時間については、“電気的特性”の章を参照してください。

イニシャルリセット時CPU動作開始時間 ≤ IOSC発振開始時間(max.) + IOSC発振安定待ち時間(64サイクル)

IOSC発振回路をOnにした直後にシステムクロックをIOSCに切り換えた場合は、最大で下記のIOSCクロックシステム供給待ち時間が経過するまでIOSCクロックはシステムに供給されません。電源電圧LV_{DD}が十分安定した状態では、IOSCWT[1:0] = 0x3に設定し、発振安定待ち時間を短くすることが可能です。

IOSCクロックシステム供給待ち時間 ≤ IOSC発振開始時間(max.) + IOSC発振安定待ち時間

7.4 システムクロックの切り換え

システムクロックセレクトを下図に示します。

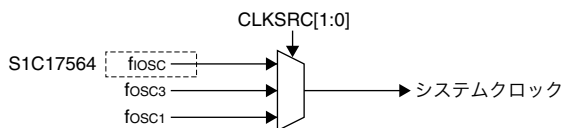


図7.4.1 システムクロックセレクト

S1C17554は2つのシステムクロックソース(OSC3、OSC1)、S1C17564は3つのシステムクロックソース(IOSC、OSC3、OSC1)を持ち、CLKSRC[1:0]/CLG_SRCレジスタによって切り換えが可能です。

イニシャルリセット後、S1C17554はOSC3を、S1C17564はIOSCをシステムクロックとして動作を開始します。高速処理が不要な場合にはシステムクロックをOSC1に切り換え、更に高速発振回路の動作を停止させることで消費電流を低減できます。

表7.4.1 システムクロックの選択

CLKSRC[1:0]	システムクロックソース	
	S1C17554	S1C17564
0x3	Reserved	
0x2	OSC3(デフォルト)	OSC3
0x1	OSC1	OSC1
0x0	Reserved	IOSC(デフォルト)

システムクロックの切り換え手順を以下に示します。

IOSCまたはOSC1からOSC3への切り換え

1. 必要に応じてOSC3発振安定待ち時間を設定します。(OSC3WT[1:0])
2. 安定した外部クロックをOSC3端子に入力している場合は、OSC3発振安定待ち回路を無効にします。(OSC3WCE = 0)
3. OSC3発振回路がOffの場合はOnにします。(OSC3EN = 1)
4. OSC3クロックをシステムクロックとして選択します。(CLKSRC[1:0] = 0x2)

5. 周辺モジュールとFOUTA/B出力回路がIOSCまたはOSC1クロックを使用していない場合は、IOSCまたはOSC1発振回路をOffにします。

IOSCまたはOSC3からOSC1への切り換え

1. 安定した外部クロックをOSC1端子に入力している場合は、OSC1発振安定待ち回路を無効にします。(OSC1WCE = 0)
2. OSC1発振回路をOnにします。(OSC1EN = 1)
3. OSC1クロックをシステムクロックとして選択します。(CLKSRC[1:0] = 0x1)
4. 周辺モジュールとFOUTA/B出力回路がIOSCまたはOSC3クロックを使用していない場合は、IOSCまたはOSC3発振回路をOffにします。

OSC3またはOSC1からIOSCへの切り換え (S1C17564)

1. 必要に応じてIOSC発振安定待ち時間を設定します。(IOSCWT[1:0])
2. IOSC発振回路がOffの場合はOnにします。(IOSCEN = 1)
3. IOSCクロックをシステムクロックとして選択します。(CLKSRC[1:0] = 0x0)
4. 周辺モジュールとFOUTA/B出力回路がOSC3またはOSC1クロックを使用していない場合は、OSC3またはOSC1発振回路をOffにします。

注: システムクロックを切り換える前に、システムクロックソースにする発振回路を動作させておく必要があります。発振回路が動作していない状態ではCLKSRC[1:0]への書き込みを行ってもシステムクロックの切り換えは行われず、CLKSRC[1:0]の値も変化しません。
システムクロックの選択が可能なクロックの動作状態とレジスタ設定の組み合わせを下表に示します。

表7.4.2 システムクロック切り換え条件 (S1C17554)

OSC3EN	OSC1EN	システムクロック
1	1	OSC3またはOSC1

表7.4.3 システムクロック切り換え条件 (S1C17564)

IOSCEN	OSC3EN	OSC1EN	システムクロック
1	1	1	IOSC、OSC3、またはOSC1
1	1	0	IOSCまたはOSC3
1	0	1	IOSCまたはOSC1
0	1	1	OSC3またはOSC1

- ・システムクロックとして選択されている発振回路をOffにすることはできません。
- ・CLKSRC[1:0]のライト→リードの連続アクセスは禁止します。ライトとリードの間にCLKSRC[1:0]へのアクセスと無関係の命令を少なくとも1命令入れてください。
- ・S1C17564のSLEEPモード解除時は、SLEEP移行前の状態によらずIOSC発振回路がOnし (IOSCEN = 1)、システムクロックがIOSC (CLKSRC[1:0] = 0x0) になります。
HALTモード解除時は、HALT移行前の状態を継続します。

7.5 CPUコアクロック (CCLK) の制御

CLGモジュールには、システムクロックを減速させてS1C17コアに送るためのクロックギアが組み込まれています。できるだけ低速なクロックでS1C17コアを動作させることで消費電流を抑えることができます。また、halt命令が実行されると、CLGはS1C17コアへのクロック供給を停止して消費電力の削減を図ります。

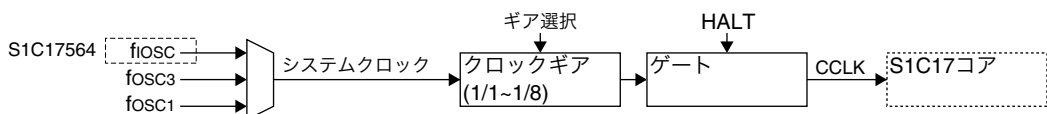


図7.5.1 CCLK供給システム

クロックギアの設定

CCLKGR[1:0]/CLG_CCLKレジスタでシステムクロックを減速するギア比を選択します。

表7.5.1 CCLKギア比の選択

CCLKGR[1:0]	ギア比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

クロック供給の制御

CCLKクロックの供給を停止するには、halt命令を実行します。システムクロックは停止しませんので、周辺モジュールは動作します。

HALTモードはリセット、NMI、その他の割り込みで解除され、それと同時にCCLKの供給も再開します。

slp命令を実行した場合はCLGへのシステムクロックの供給が停止しますので、CCLKの供給は停止します。SLEEPモードが外部割り込み等で解除されるとシステムクロックの供給が再開され、CCLKの供給も再開します。

7.6 周辺モジュールクロック(PCLK)の制御

CLGモジュールは、周辺モジュールへのクロック供給も制御します。

周辺モジュールクロック(PCLK)にはシステムクロックがそのまま使用されます。

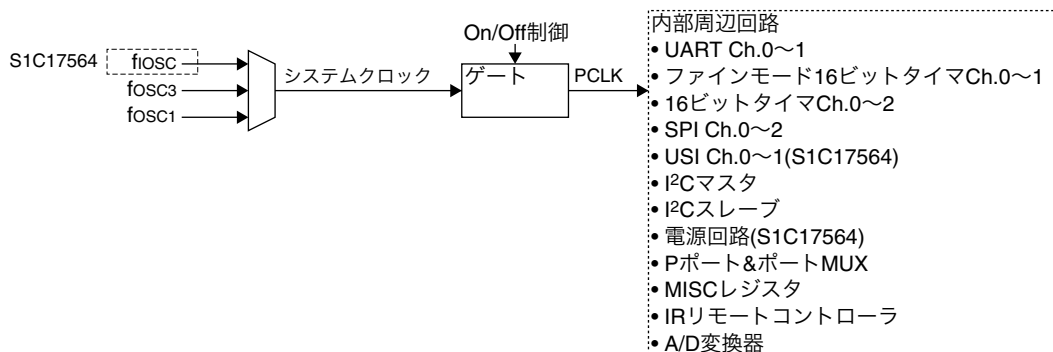


図7.6.1 周辺モジュールクロック制御回路

クロック供給の制御

PCLKの供給はPCKEN[1:0]/CLG_PCLKレジスタで制御します。

表7.6.1 PCLKの制御

PCKEN[1:0]	PCLKの供給
0x3	許可 (On)
0x2	設定禁止
0x1	設定禁止
0x0	禁止 (Off)

(デフォルト: 0x3)

デフォルト設定は0x3で、クロックが供給されるようになっています。内部周辺回路エリア内の全周辺モジュール(下記のリストにあるモジュール)の動作が不要な場合は、消費電流を抑えるため、クロックの供給を停止してください。

注: 一部の周辺モジュールが動作を停止しますので、PCKEN[1:0]/CLG_PCLKレジスタを0x2または0x1には設定しないでください。

表7.6.2 周辺モジュールと動作クロック

周辺モジュール	動作クロック	備考
UART Ch.0~1 ファインモード 16ビットタイマCh.0~1 16ビットタイマCh.0~2 SPI Ch.0~2 USI Ch.0~1 (S1C17564) I ² Cマスタ I ² Cスレーブ 電源回路 (S1C17564) Pポート&ポートMUX MISCレジスタ IRリモートコントローラ A/D変換器	PCLK	この一覧内の周辺モジュールを1つ以上動作させる場合、PCLKの供給を停止することはできません。一覧内のすべての周辺モジュールが停止可能な場合は、PCLKの供給を停止することができます。
計時タイマ ストップウォッチタイマ ウォッチドッグタイマ	OSC1分周クロック	この一覧内の周辺モジュールを1つ以上動作させる場合、OSC1発振回路を停止することはできません。PCLKの供給は停止可能です。
16ビットPWMタイマ Ch.0~3 FOUTA/FOUTB出力	ソフトウェアで選択 (IOSC/OSC3/OSC1分周クロック)	クロックソースとして使用する発振回路を停止することはできません(7.7節または各周辺モジュールの章を参照)。PCLKの供給は停止可能です。

7.7 クロック外部出力(FOUTA, FOUTB)

IOSC/OSC3の分周クロックまたはOSC1クロックを外部デバイスへ出力することができます。

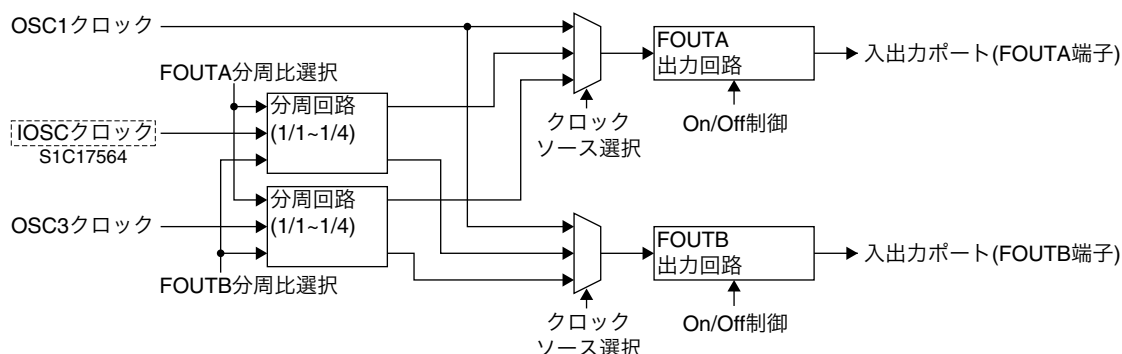


図7.7.1 クロック出力回路

CLGモジュールは、FOUTAとFOUTBの2系統の出力回路を内蔵しています。FOUTAとFOUTBの機能はまったく同じです。

出力端子の設定

FOUTA、FOUTB出力端子は入出力ポート端子を兼ねています。デフォルト設定では入出力ポート端子として機能しますので、クロック出力として使用する場合はポート機能選択ビットで端子機能を変更してください。FOUTA、FOUTB端子と端子機能の選択方法については、“入出力ポート(P)”の章を参照してください。

クロックソースの選択

クロックソースはFOUTASRC[1:0]/CLG_FOUTAレジスタまたはFOUTBSRC[1:0]/CLG_FOUTBレジスタを使用して、IOSC(S1C17564)、OSC3、OSC1から選択可能です。

表7.7.1 クロックソースの選択

FOUTASRC[1:0]/ FOUTBSRC[1:0]	クロックソース	
	S1C17554	S1C17564
0x3	Reserved	
0x2	OSC3	OSC3
0x1	OSC1	OSC1
0x0	Reserved	IOSC

(デフォルト: 0x0)

クロック周波数の選択

OSC3またはIOSCをクロックソースとして使用する場合、出力するクロック周波数を3種類から選択できます。FOUTAD[1:0]/CLG_FOUTAレジスタまたはFOUTBD[1:0]/CLG_FOUTBレジスタでソースクロックの分周比を選択してください。

表7.7.2 IOSC/OSC3分周比の選択

FOUTAD[1:0]/FOUTBD[1:0]	分周比
0x3	Reserved
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

クロック出力の制御

クロック出力は、FOUTAE/CLG_FOUTAレジスタまたはFOUTBE/CLG_FOUTBレジスタで制御します。FOUTAE/FOUTBEを1に設定するとFOUTA/FOUTBクロックがFOUTA/FOUTB端子から出力され、0に設定すると出力は停止します。

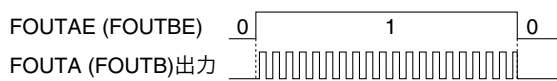


図7.7.2 FOUTA/FOUTB出力

注: FOUTA/FOUTB信号はFOUTAE/FOUTBEの書き込みとは非同期に生成されますので、出力のOn/Off時にはハザードを生じます。

7.8 制御レジスタ詳細

表7.8.1 CLGレジスタ一覧

アドレス	レジスタ名		機能
0x5060	CLG_SRC	Clock Source Select Register	クロックソースの選択
0x5061	CLG_CTL	Oscillation Control Register	発振制御
0x5062	CLG_NFEN	Noise Filter Enable Register	発振安定待ち回路/ノイズフィルタのON/OFF
0x5064	CLG_FOUTA	FOUTA Control Register	FOUTAクロック出力の制御
0x5065	CLG_FOUTB	FOUTB Control Register	FOUTBクロック出力の制御
0x506e	CLG_IOSC	IOSC Control Register	IOSC発振周波数の設定
0x5080	CLG_PCLK	PCLK Control Register	PCLK供給制御
0x5081	CLG_CCLK	CCLK Control Register	CCLK分周比の設定

以下、CLGモジュールのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

Clock Source Select Register (CLG_SRC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Source Select Register (CLG_SRC) S1C17554	0x5060 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1-0	CLKSRC[1:0]	System clock source select	CLKSRC[1:0] Clock source	0x2	R/W	
					0x3 reserved			
					0x2 OSC3			
					0x1 OSC1			
Clock Source Select Register (CLG_SRC) S1C17564	0x5060 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1-0	CLKSRC[1:0]	System clock source select	CLKSRC[1:0] Clock source	0x0	R/W	
					0x3 reserved			
					0x2 OSC3			
					0x1 OSC1			
					0x0 IOSC			

D[7:2] Reserved

D[1:0] CLKSRC[1:0]: System Clock Source Select Bits

システムのクロックソースを選択します。

表7.8.2 システムクロックの選択

CLKSRC[1:0]	システムクロックソース	
	S1C17554	S1C17564
0x3	Reserved	
0x2	OSC3(デフォルト)	OSC3
0x1	OSC1	OSC1
0x0	Reserved	IOSC(デフォルト)

通常(高速)動作時はIOSCまたはOSC3を選択します。高速クロックが不要な場合は、OSC1をシステムクロックに設定し、IOSCとOSC3を停止することで消費電流を低減できます。

- 注: システムクロックを切り換える前に、システムクロックソースにする発振回路を動作させておく必要があります。発振回路が動作していない状態ではCLKSRC[1:0]への書き込みを行ってもシステムクロックの切り換えは行われず、CLKSRC[1:0]の値も変化しません。システムクロックの選択が可能なクロックの動作状態とレジスタ設定の組み合わせを下表に示します。

表7.8.3 システムクロック切り換え条件(S1C17554)

OSC3EN	OSC1EN	システムクロック
1	1	OSC3またはOSC1

表7.8.4 システムクロック切り換え条件(S1C17564)

IOSCEN	OSC3EN	OSC1EN	システムクロック
1	1	1	IOSC、OSC3、またはOSC1
1	1	0	IOSCまたはOSC3
1	0	1	IOSCまたはOSC1
0	1	1	OSC3またはOSC1

- システムクロックとして選択されている発振回路をOffにすることはできません。
- CLKSRC[1:0]のライト→リードの連続アクセスは禁止します。ライトとリードの間にCLKSRC[1:0]へのアクセスと無関係の命令を少なくとも1命令入れてください。
- S1C17564のSLEEPモード解除時は、SLEEP移行前の状態によらずIOSC発振回路がOnし(IOSCEN = 1)、システムクロックがIOSC(CLKSRC[1:0] = 0x0)になります。HALTモード解除時は、HALT移行前の状態を継続します。

Oscillation Control Register (CLG_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Oscillation Control Register (CLG_CTL) S1C17554	0x5061 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5-4	OSC3WT[1:0]	OSC3 wait cycle select	OSC3WT[1:0] Wait cycle 0x3 128 cycles 0x2 256 cycles 0x1 512 cycles 0x0 1024 cycles	0x0	R/W	
		D3-2	—	reserved	—	—	—	0 when being read.
		D1	OSC1EN	OSC1 enable	1 Enable 0 Disable	0	R/W	
		D0	OSC3EN	OSC3 enable	1 Enable 0 Disable	1	R/W	
Oscillation Control Register (CLG_CTL) S1C17564	0x5061 (8 bits)	D7-6	IOSCWT[1:0]	IOSC wait cycle select	IOSCWT[1:0] Wait cycle 0x3 8 cycles 0x2 16 cycles 0x1 32 cycles 0x0 64 cycles	0x0	R/W	
		D5-4	OSC3WT[1:0]	OSC3 wait cycle select	OSC3WT[1:0] Wait cycle 0x3 128 cycles 0x2 256 cycles 0x1 512 cycles 0x0 1024 cycles	0x0	R/W	
		D3	—	reserved	—	—	—	0 when being read.
		D2	IOSCEN	IOSC enable	1 Enable 0 Disable	1	R/W	
		D1	OSC1EN	OSC1 enable	1 Enable 0 Disable	0	R/W	
		D0	OSC3EN	OSC3 enable	1 Enable 0 Disable	0	R/W	

D[7:6] Reserved (S1C17554)**IOSCWT[1:0]: IOSC Wait Cycle Select Bits (S1C17564)**

IOSC発振開始時の不安定なクロックによる誤動作を防止するための、発振安定待ち時間を設定します。

IOSC発振開始直後は、ここで設定した時間が経過するまで、IOSCクロックはシステムに供給されません。

表7.8.5 IOSC発振安定待ち時間の設定

IOSCWT[1:0]	発振安定待ち時間
0x3	8サイクル
0x2	16サイクル
0x1	32サイクル
0x0	64サイクル

(デフォルト: 0x0)

イニシャルリセット時は64サイクル(IOSCクロック)に設定されますので、リセット解除後は最大で下記のイニシャルリセット時CPU動作開始時間が経過するまでCPUは動作を開始しません。

イニシャルリセット時CPU動作開始時間 ≤ IOSC発振開始時間(max.) + IOSC発振安定待ち時間(64サイクル)

IOSC発振回路をOnにした直後にシステムクロックをIOSCに切り換えた場合は、最大で下記のIOSCクロックシステム供給待ち時間が経過するまでIOSCクロックはシステムに供給されません。電源電圧LV_{DD}が十分安定した状態では、IOSCWT[1:0] = 0x3に設定し、発振安定待ち時間を短くすることが可能です。

IOSCクロックシステム供給待ち時間 ≤ IOSC発振開始時間(max.) + IOSC発振安定待ち時間

D[5:4] OSC3WT[1:0]: OSC3 Wait Cycle Select Bits

OSC3発振開始時の不安定なクロックによる誤動作を防止するための、発振安定待ち時間を設定します。

ソフトウェアでOSC3発振回路をOnにした場合など、OSC3発振開始直後は、ここで設定した時間が経過するまで、OSC3クロックはシステムに供給されません。

表7.8.6 OSC3発振安定待ち時間の設定

OSC3WT[1:0]	発振安定待ち時間
0x3	128サイクル
0x2	256サイクル
0x1	512サイクル
0x0	1024サイクル

(デフォルト: 0x0)

イニシャルリセット時は1024サイクル(OSC3クロック)に設定されます。

OSC3発振回路をOnにした直後にシステムクロックをOSC3に切り換えた場合は、最大で下記のOSC3クロックシステム供給待ち時間が経過するまでOSC3クロックはシステムに供給されません。

OSC3クロックシステム供給待ち時間 ≤ OSC3発振開始時間(max.) + OSC3発振安定待ち時間

注: 発振の安定度は振動子などの外付け部品によって変わります。OSC3発振安定待ち時間を短くする場合は、十分評価の上、設定してください。

OSC3発振安定待ち回路はOSC3WCE/CLG_NFENレジスタを1(デフォルト)に設定した場合に有効です。

D3 Reserved**D2 Reserved (S1C17554)****IOSCEN: IOSC Enable Bit (S1C17564)**

IOSC発振回路の動作を許可/禁止します。

1(R/W): 許可(On) (デフォルト)

0(R/W): 禁止(Off)

注: IOSCクロックをシステムクロックとして使用している場合、IOSC発振回路を停止することはできません。

D1 OSC1EN: OSC1 Enable Bit

OSC1発振回路の動作を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

OSC1発振回路をOnにした直後にシステムクロックをOSC1に切り換えた場合は、最大で下記のOSC1クロックシステム供給待ち時間が経過するまでOSC1クロックはシステムに供給されません。

OSC1クロックシステム供給待ち時間 ≤ OSC1発振開始時間(max.) + OSC1発振安定待ち時間 (256サイクル)

注: OSC1クロックをシステムクロックとして使用している場合、OSC1発振回路を停止することはできません。

D0 OSC3EN: OSC3 Enable Bit

OSC3発振回路の動作を許可/禁止します。

1(R/W): 許可(On) (S1C17554のデフォルト設定)

0(R/W): 禁止(Off) (S1C17564のデフォルト設定)

注: OSC3クロックをシステムクロックとして使用している場合、OSC3発振回路を停止することはできません。

Noise Filter Enable Register (CLG_NFEN)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Noise Filter Enable Register (CLG_NFEN)	0x5062 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5	OSC1WCE	OSC1 wait cycle enable	1 Enable 0 Disable	1	R/W	
		D4	OSC3WCE	OSC3 wait cycle enable	1 Enable 0 Disable	1	R/W	
		D3-0	—	reserved	—	—	—	0 when being read.

D[7:6] Reserved

D5 OSC1WCE: OSC1 Wait Cycle Enable Bit

OSC1発振安定待ち回路の動作を有効/無効にします。

1(R/W): 有効(デフォルト)

0(R/W): 無効

内蔵のOSC1発振回路を使用する場合は、OSC1発振安定待ち回路を有効(OSC1WCE = 1)に設定してください。OSC1発振開始直後は、256サイクルの発振安定時間が経過した後にクロックがシステムに供給されます。

安定した外部クロックをOSC1端子から入力する場合はOSC1WCEを0に設定することで、安定待ち時間なしにシステムの動作を開始することができます。

D4 OSC3WCE: OSC3 Wait Cycle Enable Bit

OSC3発振安定待ち回路の動作を有効/無効にします。

1(R/W): 有効(デフォルト)

0(R/W): 無効

内蔵のOSC3発振回路を使用する場合は、OSC3発振安定待ち回路を有効(OSC3WCE = 1)に設定してください。OSC3発振開始直後は、OSC3WT[1:0]/CLG_CTLレジスタで設定した発振安定時間が経過した後にクロックがシステムに供給されます。

安定した外部クロックをOSC3端子から入力する場合はOSC3WCEを0に設定することで、安定待ち時間なしにシステムの動作を開始することができます。

D[3:0] Reserved

FOUTA Control Register (CLG_FOUTA)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FOUTA Control Register (CLG_FOUTA) S1C17554	0x5064 (8 bits)	D7–6	–	reserved	–	–	–	0 when being read.
		D5–4	FOUTAD [1:0]	FOUTA clock division ratio select	FOUTAD[1:0]	Division ratio	0x0	R/W
					0x3	reserved		
					0x2	1/4		
					0x1	1/2		
S1C17554		D3–2	FOUTASRC [1:0]	FOUTA clock source select	FOUTASRC[1:0]	Clock source	0x0	R/W
					0x3	reserved		
					0x2	OSC3		
					0x1	OSC1		
					0x0	reserved		
S1C17554		D1	–	reserved	–	–	–	0 when being read.
		D0	FOUTAE	FOUTA output enable	1 Enable 0 Disable	0	R/W	

FOUTA Control Register (CLG_FOUTA) S1C17564	0x5064 (8 bits)	D7–6	–	reserved	–	–	–	0 when being read.
		D5–4	FOUTAD [1:0]	FOUTA clock division ratio select	FOUTAD[1:0]	Division ratio	0x0	R/W
					0x3	reserved		
					0x2	1/4		
					0x1	1/2		
S1C17564		D3–2	FOUTASRC [1:0]	FOUTA clock source select	FOUTASRC[1:0]	Clock source	0x0	R/W
					0x3	reserved		
					0x2	OSC3		
					0x1	OSC1		
					0x0	IOSC		
S1C17564		D1	–	reserved	–	–	–	0 when being read.
		D0	FOUTAE	FOUTA output enable	1 Enable 0 Disable	0	R/W	

D[7:6] Reserved**D[5:4] FOUTAD[1:0]: FOUTA Clock Division Ratio Select Bits**

クロックソースにOSC3またはIOSCを使用する場合に、クロックの分周比を選択してFOUTAクロック周波数を設定します。

表7.8.7 OSC3/IOSC分周比の選択

FOUTAD[1:0]	分周比
0x3	Reserved
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

クロックソースにOSC1を使用する場合、FOUTAD[1:0]は無効となり、OSC1クロックが分周されずに出力されます。

D[3:2] FOUTASRC[1:0]: FOUTA Clock Source Select Bits

FOUTAのクロックソースを選択します。

表7.8.8 FOUTAクロックソースの選択

FOUTASRC[1:0]	クロックソース	
	S1C17554	S1C17564
0x3	Reserved	
0x2	OSC3	OSC3
0x1	OSC1	OSC1
0x0	Reserved	IOSC

(デフォルト: 0x0)

D1 Reserved**D0 FOUTAE: FOUTA Output Enable Bit**

FOUTAクロックの外部出力を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

FOUTAEを1に設定するとFOUTAクロックがFOUTA端子から出力され、FOUTAEを0に設定すると出力は停止します。

FOUTB Control Register (CLG_FOUTB)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FOUTB Control Register (CLG_FOUTB) S1C17554	0x5065 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5-4	FOUTBD [1:0]	FOUTB clock division ratio select	FOUTBD[1:0]	Division ratio	0x0	R/W
					0x3	reserved		
					0x2	1/4		
					0x1	1/2		
FOUTB Control Register (CLG_FOUTB) S1C17564	0x5065 (8 bits)	D3-2	FOUTBSRC [1:0]	FOUTB clock source select	FOUTBSRC[1:0]	Clock source	0x0	R/W
					0x3	reserved		
					0x2	OSC3		
					0x1	OSC1		
					0x0	reserved		
FOUTB Control Register (CLG_FOUTB) S1C17554	0x5065 (8 bits)	D1	—	reserved	—	—	—	0 when being read.
		D0	FOUTBE	FOUTB output enable	1 Enable 0 Disable	0	R/W	
FOUTB Control Register (CLG_FOUTB) S1C17564	0x5065 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5-4	FOUTBD [1:0]	FOUTB clock division ratio select	FOUTBD[1:0]	Division ratio	0x0	R/W
					0x3	reserved		
					0x2	1/4		
					0x1	1/2		
FOUTB Control Register (CLG_FOUTB) S1C17564	0x5065 (8 bits)	D3-2	FOUTBSRC [1:0]	FOUTB clock source select	FOUTBSRC[1:0]	Clock source	0x0	R/W
					0x3	reserved		
					0x2	OSC3		
					0x1	OSC1		
					0x0	IOSC		
FOUTB Control Register (CLG_FOUTB) S1C17564	0x5065 (8 bits)	D1	—	reserved	—	—	—	0 when being read.
		D0	FOUTBE	FOUTB output enable	1 Enable 0 Disable	0	R/W	

D[7:6] **Reserved**D[5:4] **FOUTBD[1:0]: FOUTB Clock Division Ratio Select Bits**

クロックソースにOSC3またはIOSCを使用する場合に、クロックの分周比を選択してFOUTBクロック周波数を設定します。

表7.8.9 OSC3/IOSC分周比の選択

FOUTBD[1:0]	分周比
0x3	Reserved
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

クロックソースにOSC1を使用する場合、FOUTBD[1:0]は無効となり、OSC1クロックが分周されずに出力されます。

D[3:2] **FOUTBSRC[1:0]: FOUTB Clock Source Select Bits**

FOUTBのクロックソースを選択します。

表7.8.10 FOUTBクロックソースの選択

FOUTBSRC[1:0]	クロックソース	
	S1C17554	S1C17564
0x3	Reserved	
0x2	OSC3	OSC3
0x1	OSC1	OSC1
0x0	Reserved	IOSC

(デフォルト: 0x0)

D1 **Reserved**D0 **FOUTBE: FOUTB Output Enable Bit**

FOUTBクロックの外部出力を許可/禁止します。

1 (R/W): 許可 (On)

0 (R/W): 禁止 (Off) (デフォルト)

FOUTBEを1に設定するとFOUTBクロックがFOUTB端子から出力され、FOUTBEを0に設定すると出力は停止します。

IOSC Control Register (CLG_IOSC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
IOSC Control Register (CLG_IOSC) S1C17564	0x506e (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1-0	IOSCSEL[1:0]	IOSC frequency select	IOSCSEL[1:0] Frequency	0x1	R/W	
					0x3 2 MHz			
					0x2 4 MHz			
					0x1 12 MHz			
					0x0 8 MHz			

D[7:2] Reserved

D[1:0] Reserved (S1C17554)

IOSCSEL[1:0]: IOSC Frequency Select Bits (S1C17564)

IOSC発振周波数を選択します。

表7.8.11 IOSC発振周波数の設定

IOSCSEL[1:0]	IOSC発振周波数 (typ.)
0x3	2MHz
0x2	4MHz
0x1	12MHz
0x0	8MHz

(デフォルト: 0x1)

PCLK Control Register (CLG_PCLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PCLK Control Register (CLG_PCLK)	0x5080 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1-0	PCKEN[1:0]	PCLK enable	PCKEN[1:0] PCLK supply	0x3	R/W	
					0x3 Enable			
					0x2 Not allowed			
					0x1 Not allowed			
					0x0 Disable			

D[7:2] Reserved

D[1:0] PCKEN[1:0]: PCLK Enable Bits

内部周辺モジュールへのクロック (PCLK) の供給を許可/禁止します。

表7.8.12 PCLKの制御

PCKEN[1:0]	PCLKの供給
0x3	許可 (On)
0x2	設定禁止
0x1	設定禁止
0x0	禁止 (Off)

(デフォルト: 0x3)

PCKEN[1:0]のデフォルト設定は0x3で、クロックは供給されるようになっています。

PCLKを使用する周辺モジュール

- UART Ch.0～1
- ファインモード16ビットタイマ Ch.0～1
- 16ビットタイマ Ch.0～2
- SPI Ch.0～2
- USI Ch.0～1 (S1C17564)
- I²Cマスタ
- I²Cスレーブ
- 電源制御回路 (S1C17564)
- Pポート&ポートMUX
- MISCレジスタ
- IRリモートコントローラ
- A/D変換器

上記一覧内の周辺モジュールを1つ以上動作させる場合、PCLKの供給を停止することはできません。一覧内のすべての周辺モジュールが停止可能な場合は、PCLKの供給を停止することができます。

上記のすべての周辺モジュールを使用しない場合は、消費電流を抑えるため、クロック供給を停止してください。

PCLKを使用しない周辺モジュール/機能

- 計時タイマ
- ストップウォッチタイマ
- ウォッチドッグタイマ
- 16ビットPWMタイマ Ch.0～3
- FOUTA/FOUTB出力

これらの周辺モジュール/機能はPCLKを停止しても動作します。

注: 一部の周辺モジュールが動作を停止しますので、PCKEN[1:0]を0x2または0x1には設定しないでください。

CCLK Control Register (CLG_CCLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CCLK Control Register (CLG_CCLK)	0x5081 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1-0	CCLKGR[1:0]	CCLK clock gear ratio select	CCLKGR[1:0]	Gear ratio	0x0	R/W
					0x3	1/8		
					0x2	1/4		
					0x1	1/2		
					0x0	1/1		

D[7:2] Reserved

D[1:0] CCLKGR[1:0]: CCLK Clock Gear Ratio Select Bits

システムクロックを減速するギア比を選択し、S1C17コアを動作させるCCLKクロックの速度を設定します。できるだけ低速なクロックでS1C17コアを動作させることで消費電流を抑えることができます。

表7.8.13 CCLKギア比の選択

CCLKGR[1:0]	ギア比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

8 入出力ポート(P)

8.1 Pモジュールの概要

Pポートは、ソフトウェアで入出力方向、プルアップ抵抗、入力インタフェースレベルを制御可能な汎用入出力です。入力信号の変化により割り込みを発生可能です。これらのポートは周辺モジュールの入出力を兼用しており、レジスタの設定によって端子機能を切り換えられるようになっています。

Pモジュールの主な機能と特長を以下に示します。

- S1C17564, S1C17554(TQFPパッケージ)
最大40の入出力ポート(P0[3:0]、P1[7:0]、P2[7:0]、P3[7:0]、P4[5:0]、P5[5:0])を使用可能
- S1C17554(WCSPパッケージ)
最大34の入出力ポート(P0[3:0]、P1[7:0]、P2[7:0]、P3[7:0]、P4[5:0])を使用可能
- * 汎用入出力として使用可能なポート数は使用する周辺機能により変わります。
- ソフトウェアで有効となるプルアップ抵抗を各ポートに内蔵
- 各ポートは、ソフトウェアで選択した信号エッジで入力割り込みを発生可能
- 各ポートにチャタリングフィルタを内蔵
- ソフトウェアで選択した複数のP0ポートへの同時Lowレベル入力によりイニシャルリセットを発生可能
- すべてのポートに用意されたポート機能選択ビットにより、端子機能(汎用入出力または周辺機能に使用)を設定可能

図8.1.1に入出力ポートの構成を示します。

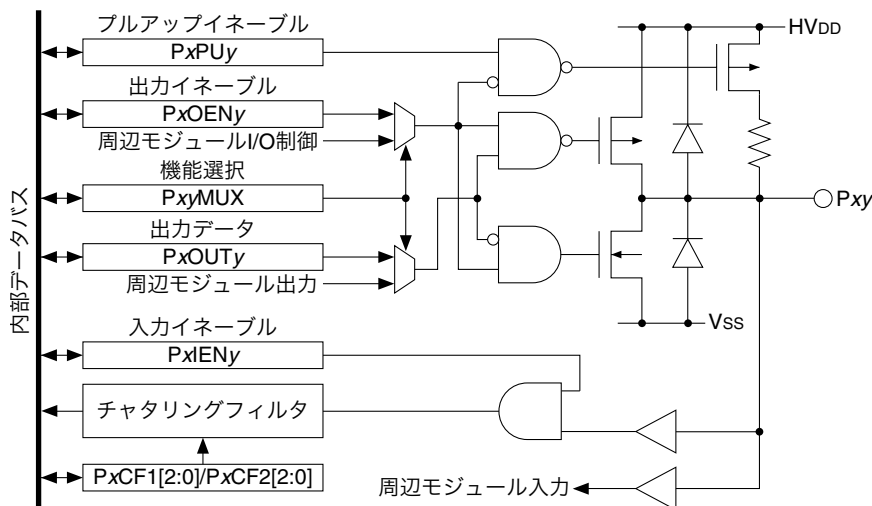


図8.1.1 入出力ポートの構成

注: 入出力ポートをアクセスするためには、クロックジェネレータからPCLKクロックが供給されている必要があります。また、チャタリングフィルタの動作にもPCLKが必要です。

- レジスタやビット名の“xy”はポート番号(Pxy, x=0~5, y=0~7)を表します。

例: PxiNy/Px_INレジスタ

P00: P0IN0/P0_INレジスタ

P17: P1IN7/P1_INレジスタ

8.2 入出力端子機能の選択 (ポートMUX)

入出力ポート端子は周辺モジュール用の入出力端子を兼ねており、入出力ポートとして使用するか、周辺モジュール用に使用するかを各ポートに対応するポート機能選択ビットによって設定できるようになっています。周辺モジュール用に使用しない端子は、すべて汎用入出力ポート端子として使用できます。

表8.2.1 入出力端子機能の選択

端子機能1 PxyMUX[1:0] = 0x0	端子機能2 PxyMUX[1:0] = 0x1	端子機能3 PxyMUX[1:0] = 0x2	端子機能4 PxyMUX[1:0] = 0x3	ポート機能選択ビット
P00	AIN0 (ADC10)	—	—	P00MUX[1:0]/P00_03PMUXレジスタ
P01	AIN1 (ADC10)	—	—	P01MUX[1:0]/P00_03PMUXレジスタ
P02	AIN2 (ADC10)	US_SSI0 (USI)*	—	P02MUX[1:0]/P00_03PMUXレジスタ
P03	AIN3 (ADC10)	US_SSI1 (USI)*	—	P03MUX[1:0]/P00_03PMUXレジスタ
P10	SDI0 (SPI)	—	—	P10MUX[1:0]/P10_13PMUXレジスタ
P11	SDO0 (SPI)	—	—	P11MUX[1:0]/P10_13PMUXレジスタ
P12	SPICLK0 (SPI)	—	—	P12MUX[1:0]/P10_13PMUXレジスタ
P13	#SPISS0 (SPI)	TOUT5/CAP5 (T16A)	—	P13MUX[1:0]/P10_13PMUXレジスタ
P14	SIN1 (UART)	SDI1 (SPI)	—	P14MUX[1:0]/P14_17PMUXレジスタ
P15	SOUT1 (UART)	SDO1 (SPI)	—	P15MUX[1:0]/P14_17PMUXレジスタ
P16	SCLK1 (UART)	SPICLK1 (SPI)	—	P16MUX[1:0]/P14_17PMUXレジスタ
P17	SCL0 (I2CM)	—	—	P17MUX[1:0]/P14_17PMUXレジスタ
P20	TOUT2/CAP2 (T16A)	—	—	P20MUX[1:0]/P20_23PMUXレジスタ
P21	TOUT3/CAP3 (T16A)	—	—	P21MUX[1:0]/P20_23PMUXレジスタ
P22/EXCL1 (T16A)	FOUTB (CLG)	—	—	P22MUX[1:0]/P20_23PMUXレジスタ
P23/EXCL2 (T16A)	SDI2 (SPI)	—	—	P23MUX[1:0]/P20_23PMUXレジスタ
P24/EXCL3 (T16A)	SDO2 (SPI)	—	—	P24MUX[1:0]/P24_27PMUXレジスタ
P25	#BFR (I2CS)	#SPISS2 (SPI)	—	P25MUX[1:0]/P24_27PMUXレジスタ
P26	SDA1 (I2CS)	—	—	P26MUX[1:0]/P24_27PMUXレジスタ
P27	SCL1 (I2CS)	—	—	P27MUX[1:0]/P24_27PMUXレジスタ
P30	TOUT0/CAP0 (T16A)	—	—	P30MUX[1:0]/P30_33PMUXレジスタ
P31	#BFR (I2CS)	#ADTRG (ADC10)	—	P31MUX[1:0]/P30_33PMUXレジスタ
P32	TOUT4/CAP4 (T16A)	FOUTA (CLG)	—	P32MUX[1:0]/P30_33PMUXレジスタ
P33	REMI (REMC)	SPICLK2 (SPI)	—	P33MUX[1:0]/P30_33PMUXレジスタ
P34	REMO (REMC)	#SPISS1 (SPI)	—	P34MUX[1:0]/P34_37PMUXレジスタ
DCLK (DBG)	P35	—	—	P35MUX[1:0]/P34_37PMUXレジスタ
DSIO (DBG)	P36	—	—	P36MUX[1:0]/P34_37PMUXレジスタ
DST2 (DBG)	P37	—	—	P37MUX[1:0]/P34_37PMUXレジスタ
P40	SIN0 (UART)	TOUT6/CAP6 (T16A)	—	P40MUX[1:0]/P40_43PMUXレジスタ
P41	SOUT0 (UART)	TOUT7/CAP7 (T16A)	—	P41MUX[1:0]/P40_43PMUXレジスタ
P42	SCLK0 (UART)	TOUT1/CAP1 (T16A)	—	P42MUX[1:0]/P40_43PMUXレジスタ
P43	SDA1 (I2CS)	REMI (REMC)	—	P43MUX[1:0]/P40_43PMUXレジスタ
P44	SCL1 (I2CS)	REMO (REMC)	—	P44MUX[1:0]/P44_45PMUXレジスタ
P45/EXCL0 (T16A)	SDA0 (I2CM)	—	—	P45MUX[1:0]/P44_45PMUXレジスタ
P50	US_SDI0 (USI)*	—	—	P50MUX[1:0]/P50_53PMUXレジスタ
P51	US_SDO0 (USI)*	—	—	P51MUX[1:0]/P50_53PMUXレジスタ
P52	US_SCK0 (USI)*	—	—	P52MUX[1:0]/P50_53PMUXレジスタ
P53	US_SDI1 (USI)*	—	—	P53MUX[1:0]/P50_53PMUXレジスタ
P54	US_SDO1 (USI)*	—	—	P54MUX[1:0]/P54_55PMUXレジスタ
P55	US_SCK1 (USI)*	—	—	P55MUX[1:0]/P54_55PMUXレジスタ

* S1C17564のみ

イニシャルリセットにより、各入出力ポート端子(Pxy)はデフォルト(表8.2.1の端子機能1)の機能に初期化されます。

P22、P23、P24、P45端子は入力モードに設定することで16ビットPWMタイマの外部クロック入力端子としても使用できます。汎用入力ポートとしての機能も同時に有効です。

入出力ポート以外の機能については、()で示した周辺モジュールの説明を参照してください。
以下の節は、端子が汎用入出力ポートに設定されているものとしてポート機能を説明します。

8.3 データの入出力

データ入出力制御

入出力ポートは、PxOENy/Px_OENレジスタとPxIENy/Px_IENレジスタによってビットごとにデータの入出力方向を選択できるようになっています。PxOENyはデータ出力を許可/禁止し、PxIENyはデータ入力を許可/禁止します。

表8.3.1 データ入出力表

PxOENy 出力制御	PxIENy 入力制御	PxPUy プルアップ制御	ポートの状態
0	1	0	入力ポートとして機能します(プルアップOff)。ポート端子(外部入力信号)の値がPxINy(入力データ)から読み出せます。出力は禁止されます。
0	1	1	入力ポートとして機能します(プルアップOn)。(デフォルト)ポート端子(外部入力信号)の値がPxINy(入力データ)から読み出せます。出力は禁止されます。
1	0	1または0	出力ポートとして機能します(プルアップOff)。入力は禁止され、PxINy(入力データ)の読み出し値は0となります。
1	1	1または0	出力ポートとして機能します(プルアップOff)。入力も許可され、PxINy(入力データ)からポート端子の値(出力値)が読み出せます。
0	0	0	端子がハイインピーダンス状態となります(プルアップOff)。出力と入力は禁止され、PxINy(入力データ)の読み出し値は0となります。
0	0	1	端子がハイインピーダンス状態となります(プルアップOn)。出力と入力は禁止され、PxINy(入力データ)の読み出し値は0となります。

周辺モジュール用の機能を選択したポートの入出力方向は周辺モジュールによって制御され、PxOENyとPxIENyの設定は無視されます。

データ入力

ポート端子の状態を入力してその値を読み出すためにはPxIENyを1(デフォルト)に設定し、入力を許可します。外部信号を入力する場合はこれに加え、PxOENyを0(デフォルト)に設定します。この設定により入出力ポートはハイインピーダンス状態となり、入力ポートとして機能します(入力モード)。PxPUyでプルアップを有効にしている場合は、ポートがプルアップされます。

入力モード時は、入力端子の状態をPxINy/Px_INレジスタから直接読み出すことができます。読み出し値は入力端子がHigh(HV_{DD})レベルのときに1、Low(V_{SS})レベルのときに0となります。

出力許可(PxOENy = 1)の状態(出力モード)でも、PxIENyが1の場合はポート端子の状態を入力します。この場合、PxINyからはポートが実際に出力している値を読み出すことができます。

PxIENyを0に設定した場合は入力が禁止され、PxINyの読み出し値は0となります。

データ出力

ポート端子からデータを出力するためには、PxOENyを1に設定し、出力を許可(出力モードに設定)します。これにより入出力ポートは出力ポートとして機能し、PxOUTy/Px_OUTレジスタの設定値をポート端子から出力します。PxOUTyに1を書き込むとポート端子はHigh(HV_{DD})レベル、0を書き込むとLow(V_{SS})レベルを出力します。なお、PxPUyでプルアップを有効にした場合でも、ポートが出力モード時はプルアップされません。

入力モード時も、端子の状態に影響を与えることなくPxOUTyに対して書き込みは行えます。

8.4 プルアップ制御

入出力ポートはプルアップ抵抗を内蔵しており、これを使用するか否かをPxPUy/Px_PUレジスタによってビットごとに選択できるようになっています。PxPUyを1(デフォルト)に設定することによりプルアップ抵抗が有効になり、入力モード時にポート端子がプルアップされます。0に設定するとプルアップされません。出力モード時にはPxIENyの設定にかかわらずPxPUyの設定は無効となり、プルアップされません。使用しない入出力ポートについてはプルアップを有効に設定してください。

8 入出力ポート(P)

周辺モジュール用の機能を選択したポートも、このプルアップ設定は有効です。
内蔵プルアップ抵抗によって、ポート端子をLowレベルからHighレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入出力ポートの取り込みには適切な待ち時間の設定が必要となります。待ち時間は以下の式で求められる値以上を設定してください。

$$\text{待ち時間} = R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6 \text{ [秒]}$$

R_{IN} : プルアップ抵抗Max.値、 C_{IN} : 端子容量Max.値

8.5 チャタリング除去機能

入出力ポートにはキー入力用のチャタリング除去回路が設けられています。この機能を使用するか否か、また、使用する場合は検定時間を、PxCF1[2:0]/Px_CHATレジスタ、PxCF2[2:0]/Px_CHATレジスタによってPx[3:0]、Px[7:4]の4ポートごとに選択します。

表8.5.1 チャタリング除去機能の設定

PxCF1[2:0]/PxCF2[2:0]	検定時間 *
0x7	16384/fPCLK (8ms)
0x6	8192/fPCLK (4ms)
0x5	4096/fPCLK (2ms)
0x4	2048/fPCLK (1ms)
0x3	1024/fPCLK (512μs)
0x2	512/fPCLK (256μs)
0x1	256/fPCLK (128μs)
0x0	なし(Off)

(デフォルト: 0x0, * PCLK = 2MHzの場合)

- 注:
- チャタリング除去機能を有効にしている状態でslp命令を実行した場合は、SLEEP状態からの復帰後に予期せぬ割り込みが発生する可能性があります。SLEEPモード移行前にチャタリング除去機能を無効にしてください。
 - チャタリング除去の検定時間は、除去できる最大パルス幅のことを指します。入力割り込みを発生させるには、最小で検定時間、最大で検定時間の2倍の入力時間が必要になります。
 - Px_CHATレジスタの設定変更は、必ずPxポート割り込みが禁止されている状態で行ってください。割り込みが許可されている状態で設定を変更すると、Pxポート割り込みが誤って発生する場合があります。また、チャタリング除去回路の状態が安定するまでには最大で検定時間の2倍の時間が必要です。割り込み許可の設定はこの時間の経過後に行ってください。

8.6 ポート入力割り込み

入出力ポートは入力割り込み機能を持っています。
40ポートの中から割り込みに使用するポートを任意に選択可能です。また、割り込み発生条件についても、入力信号の立ち上がりエッジまたは立ち下がりエッジのどちらで割り込みを発生させるか選択可能です。
図8.6.1にポート入力割り込み回路の構成を示します。

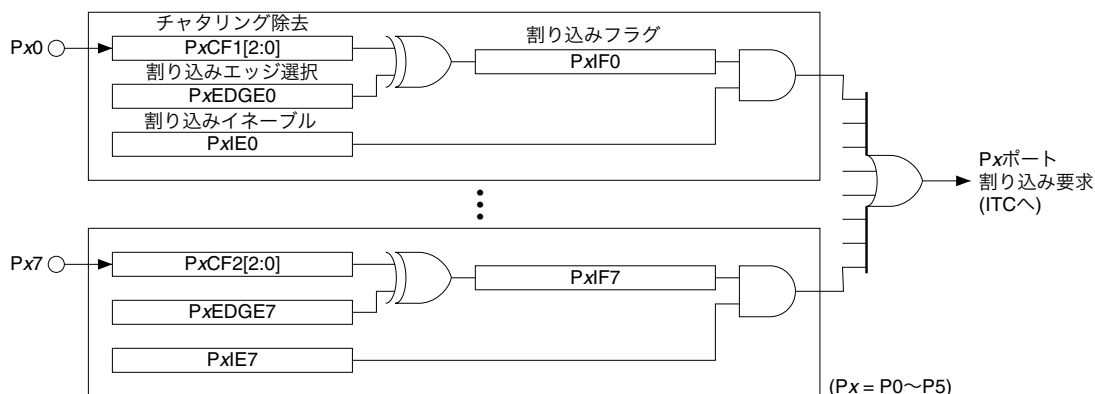


図8.6.1 ポート入力割り込み回路の構成

割り込みポートの選択

割り込みを発生させるポートをPxIEy/Px_IMSKレジスタによって選択します。

PxIEyを1に設定すると、対応するポートが割り込みを発生可能となります。0(デフォルト)に設定すると割り込みを発生しません。

割り込みエッジの選択

ポート入力割り込みは、入力信号の立ち上がりエッジまたは立ち下がりエッジで発生させることができます。どちらのエッジで発生させるかを、PxEDGEy/Px_EDGEレジスタによって選択します。

PxEDGEyを1に設定するとポート入力割り込みは入力信号の立ち下がりエッジで発生し、0(デフォルト)に設定すると立ち上がりエッジで発生します。

割り込みフラグ

ITCはP0～P5ポート割り込みの6系統の割り込み要求を受け付け可能ですが、Pxyの40ポートの割り込みを個々に制御できるよう、Pポートモジュール内には、40ポートに個々に対応する割り込みフラグPxIFy/Px_IFLGレジスタが用意されています。PxIFyは入力信号の指定エッジ(立ち上がりエッジまたは立ち下がりエッジ)で1にセットされます。対応するPxIEyを1に設定しておくことにより、同時にITCへ割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

PxIFyは1の書き込みによりリセットされます。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

- 注:
- ポート割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、Pポートモジュール内の割り込みフラグPxIFyをリセットする必要があります。
 - 不要な割り込みの発生を防止するため、PxIEy/Px_IMSKレジスタによって必要なポートの割り込みを許可する前に、対応するPxIFyをリセットしてください。

8.7 P0ポートキー入力リセット

ソフトウェアで選択されたポート(P00～P03)に、外部から同時にLowレベルを入力することでイニシャルリセットが行えます。使用するポートはP0KRST[1:0]/P0_KRSTレジスタで選択できます。

表8.7.1 P0ポートキー入力リセットの設定

P0KRST[1:0]	使用するポート
0x3	P00, P01, P02, P03
0x2	P00, P01, P02
0x1	P00, P01
0x0	使用しない

(デフォルト: 0x0)

たとえば、P0KRST[1:0]を0x3に設定した場合、P00～P03の4ポートの入力が同時にLowレベルになったときにイニシャルリセットがかかります。

注: P0ポートキー入力リセット機能はソフトウェアで有効にしますので、電源投入時のリセットには使用できません。

8.8 制御レジスタ詳細

表8.8.1 入出力ポート制御レジスタ一覧

アドレス	レジスタ名		機能
0x5200	P0_IN	P0 Port Input Data Register	P0ポート入力データ
0x5201	P0_OUT	P0 Port Output Data Register	P0ポート出力データ
0x5202	P0_OEN	P0 Port Output Enable Register	P0ポート出力イネーブル
0x5203	P0_PU	P0 Port Pull-up Control Register	P0ポートのプルアップ制御
0x5205	P0_IMSK	P0 Port Interrupt Mask Register	P0ポート割り込みマスクの設定
0x5206	P0_EDGE	P0 Port Interrupt Edge Select Register	P0ポート割り込みエッジの選択
0x5207	P0_IFLG	P0 Port Interrupt Flag Register	P0ポート割り込み発生状態の表示/リセット
0x5208	P0_CHAT	P0 Port Chattering Filter Control Register	P0ポートチャタリング除去制御

8 入出力ポート(P)

アドレス	レジスタ名		機 能
0x5209	P0_KRST	P0 Port Key-Entry Reset Configuration Register	P0ポートキー入力リセットの設定
0x520a	P0_IEN	P0 Port Input Enable Register	P0ポート入力カインーブル
0x5210	P1_IN	P1 Port Input Data Register	P1ポート入力データ
0x5211	P1_OUT	P1 Port Output Data Register	P1ポート出力データ
0x5212	P1_OEN	P1 Port Output Enable Register	P1ポート出カインーブル
0x5213	P1_PU	P1 Port Pull-up Control Register	P1ポートのプルアップ制御
0x5215	P1_IMSK	P1 Port Interrupt Mask Register	P1ポート割り込みマスクの設定
0x5216	P1_EDGE	P1 Port Interrupt Edge Select Register	P1ポート割り込みエッジの選択
0x5217	P1_IFLG	P1 Port Interrupt Flag Register	P1ポート割り込み発生状態の表示/リセット
0x5218	P1_CHAT	P1 Port Chattering Filter Control Register	P1ポートチャタリング除去制御
0x521a	P1_IEN	P1 Port Input Enable Register	P1ポート入力カインーブル
0x5220	P2_IN	P2 Port Input Data Register	P2ポート入力データ
0x5221	P2_OUT	P2 Port Output Data Register	P2ポート出力データ
0x5222	P2_OEN	P2 Output Enable Register	P2ポート出カインーブル
0x5223	P2_PU	P2 Port Pull-up Control Register	P2ポートのプルアップ制御
0x5225	P2_IMSK	P2 Port Interrupt Mask Register	P2ポート割り込みマスクの設定
0x5226	P2_EDGE	P2 Port Interrupt Edge Select Register	P2ポート割り込みエッジの選択
0x5227	P2_IFLG	P2 Port Interrupt Flag Register	P2ポート割り込み発生状態の表示/リセット
0x5228	P2_CHAT	P2 Port Chattering Filter Control Register	P2ポートチャタリング除去制御
0x522a	P2_IEN	P2 Port Input Enable Register	P2ポート入力カインーブル
0x5230	P3_IN	P3 Port Input Data Register	P3ポート入力データ
0x5231	P3_OUT	P3 Port Output Data Register	P3ポート出力データ
0x5232	P3_OEN	P3 Port Output Enable Register	P3ポート出カインーブル
0x5233	P3_PU	P3 Port Pull-up Control Register	P3ポートのプルアップ制御
0x5235	P3_IMSK	P3 Port Interrupt Mask Register	P3ポート割り込みマスクの設定
0x5236	P3_EDGE	P3 Port Interrupt Edge Select Register	P3ポート割り込みエッジの選択
0x5237	P3_IFLG	P3 Port Interrupt Flag Register	P3ポート割り込み発生状態の表示/リセット
0x5238	P3_CHAT	P3 Port Chattering Filter Control Register	P3ポートチャタリング除去制御
0x523a	P3_IEN	P3 Port Input Enable Register	P3ポート入力カインーブル
0x5240	P4_IN	P4 Port Input Data Register	P4ポート入力データ
0x5241	P4_OUT	P4 Port Output Data Register	P4ポート出力データ
0x5242	P4_OEN	P4 Port Output Enable Register	P4ポート出カインーブル
0x5243	P4_PU	P4 Port Pull-up Control Register	P4ポートのプルアップ制御
0x5245	P4_IMSK	P4 Port Interrupt Mask Register	P4ポート割り込みマスクの設定
0x5246	P4_EDGE	P4 Port Interrupt Edge Select Register	P4ポート割り込みエッジの選択
0x5247	P4_IFLG	P4 Port Interrupt Flag Register	P4ポート割り込み発生状態の表示/リセット
0x5248	P4_CHAT	P4 Port Chattering Filter Control Register	P4ポートチャタリング除去制御
0x524a	P4_IEN	P4 Port Input Enable Register	P4ポート入力カインーブル
0x5250	P5_IN	P5 Port Input Data Register	P5ポート入力データ
0x5251	P5_OUT	P5 Port Output Data Register	P5ポート出力データ
0x5252	P5_OEN	P5 Port Output Enable Register	P5ポート出カインーブル
0x5253	P5_PU	P5 Port Pull-up Control Register	P5ポートのプルアップ制御
0x5255	P5_IMSK	P5 Port Interrupt Mask Register	P5ポート割り込みマスクの設定
0x5256	P5_EDGE	P5 Port Interrupt Edge Select Register	P5ポート割り込みエッジの選択
0x5257	P5_IFLG	P5 Port Interrupt Flag Register	P5ポート割り込み発生状態の表示/リセット
0x5258	P5_CHAT	P5 Port Chattering Filter Control Register	P5ポートチャタリング除去制御
0x525a	P5_IEN	P5 Port Input Enable Register	P5ポート入力カインーブル
0x52a0	P00_03PMUX	P0[3:0] Port Function Select Register	P0[3:0]ポート機能の選択
0x52a2	P10_13PMUX	P1[3:0] Port Function Select Register	P1[3:0]ポート機能の選択
0x52a3	P14_17PMUX	P1[7:4] Port Function Select Register	P1[7:4]ポート機能の選択
0x52a4	P20_23PMUX	P2[3:0] Port Function Select Register	P2[3:0]ポート機能の選択
0x52a5	P24_27PMUX	P2[7:4] Port Function Select Register	P2[7:4]ポート機能の選択
0x52a6	P30_33PMUX	P3[3:0] Port Function Select Register	P3[3:0]ポート機能の選択
0x52a7	P34_37PMUX	P3[7:4] Port Function Select Register	P3[7:4]ポート機能の選択
0x52a8	P40_43PMUX	P4[3:0] Port Function Select Register	P4[3:0]ポート機能の選択
0x52a9	P44_45PMUX	P4[5:4] Port Function Select Register	P4[5:4]ポート機能の選択
0x52aa	P50_53PMUX	P5[3:0] Port Function Select Register	P5[3:0]ポート機能の選択
0x52ab	P54_55PMUX	P5[5:4] Port Function Select Register	P5[5:4]ポート機能の選択

以下、入出力ポートのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

Px Port Input Data Registers (Px_IN)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
Px Port Input Data Register (Px_IN)	0x5200	D7-0	PxIN[7:0]	Px[7:0] port input data	1	1 (H)	0	0 (L)	×	R	
	0x5210										
	0x5220										
	0x5230										
	0x5240										
	0x5250 (8 bits)										

注: P0ポートはP0IN[3:0]のみ、P4、P5ポートはPxIN[5:0]のみ使用可能です。それ以外は予約ビットで、読み出し値は常に0となります。

D[7:0] PxIN[7:0]: Px[7:0] Port Input Data Bits

ポート端子の状態が読み出せます。(デフォルト: 外部入力状態)

1(R): Highレベル

0(R): Lowレベル

PxINyはPx_y端子と1対1に対応し、入力許可時(PxIENy = 1)は(出力許可状態(PxOENy = 1)でも)、端子の電圧レベルが読み出せます。端子電圧がHighの場合の読み出し値は1、Lowの場合の読み出し値は0です。入力禁止時(PxIENy = 0)の読み出し値は0となります。

PxINyは読み出し専用のため、書き込み操作は無効です。

Px Port Output Data Registers (Px_OUT)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Px Port Output Data Register (Px_OUT)	0x5201	D7-0	PxOUT[7:0]	Px[7:0] port output data	1	1 (H)	0	0 (L)	0	R/W	
	0x5211										
	0x5221										
	0x5231										
	0x5241										
	0x5251										
	(8 bits)										

注: P0ポートはP0OUT[3:0]のみ、P4、P5ポートはPxOUT[5:0]のみ使用可能です。それ以外は予約ビットで、読み出し値は常に0となります。

D[7:0] PxOUT[7:0]: Px[7:0] Port Output Data Bits

ポート端子から出力するデータを設定します。

1(R/W): Highレベル

0(R/W): Lowレベル(デフォルト)

PxOUTyはPx_y端子と1対1に対応し、出力許可時(PxOENy = 1)は書き込んだデータがそのままポート端子から出力されます。データビットを1に設定するとポート端子はHighとなり、0に設定するとLowになります。

出力禁止時(PxOENy = 0)もポートデータの書き込みは行えます(端子の状態には影響を与えません)。

Px Port Output Enable Registers (Px_OEN)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Px Port Output Enable Register (Px_OEN)	0x5202	D7-0	PxOEN[7:0]	Px[7:0] port output enable	1	Enable	0	Disable	0	R/W	
	0x5212										
	0x5222										
	0x5232										
	0x5242										
	0x5252										
	(8 bits)										

注: P0ポートはP0OEN[3:0]のみ、P4、P5ポートはPxOEN[5:0]のみ使用可能です。それ以外は予約ビットで、読み出し値は常に0となります。

8 入出力ポート (P)

D[7:0] PxOEN[7:0]: Px[7:0] Port Output Enable Bits

ポート出力を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

PxOEN_yはPx_yポートと1対1に対応する出力イネーブルビットで、1に設定すると出力が許可され、対応するPxOUT_yの設定値がポート端子から出力されます。0に設定した場合は出力が禁止され、ポート端子はハイインピーダンスになります。ポートを周辺モジュール用に使用する場合は出力許可/禁止の状態は、周辺モジュールの機能により決まります。

PxOENレジスタ以外の設定も含めたポートの入出力状態については、表8.3.1を参照してください。

Px Port Pull-up Control Registers (Px_PU)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
Px Port Pull-up Control Register (Px_PU)	0x5203	D7-0	PxPU[7:0]	Px[7:0] port pull-up enable	1	Enable	0	1 (0xff)	R/W
	0x5213								
	0x5223								
	0x5233								
	0x5243								
	0x5253								
	(8 bits)								

注: P0ポートはP0PU[3:0]のみ、P4、P5ポートはPxPU[5:0]のみ使用可能です。それ以外は予約ビットで、読み出し値は常に0となります。

D[7:0] PxPU[7:0]: Px[7:0] Port Pull-up Enable Bits

各ポートに内蔵されているプルアップ抵抗を有効/無効に設定します。

1(R/W): 有効(デフォルト)

0(R/W): 無効

PxPU_yはPx_yポートと1対1に対応するプルアップ制御ビットで、1に設定するとプルアップ抵抗が有効になり、出力禁止時(PxOEN_y = 0)にポート端子がプルアップされます。0に設定するとプルアップされません。

出力許可時(PxOEN_y = 1)には、PxPU_yの設定は無効となり、プルアップされません。

使用しない入出力ポートについてはプルアップを有効に設定してください。

周辺モジュール用の入力機能を選択したポートも、このプルアップ設定は有効です。

Px Port Interrupt Mask Registers (Px_IMSK)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
Px Port Interrupt Mask Register (Px_IMSK)	0x5205	D7-0	PxIE[7:0]	Px[7:0] port interrupt enable	1	Enable	0		R/W
	0x5215								
	0x5225								
	0x5235								
	0x5245								
	0x5255								
	(8 bits)								

注: P0ポートはP0IE[3:0]のみ、P4、P5ポートはPxIE[5:0]のみ使用可能です。それ以外は予約ビットで、読み出し値は常に0となります。

D[7:0] PxIE[7:0]: Px[7:0] Port Interrupt Enable Bits

各ポートによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

PxIE_yを1に設定すると対応する割り込みが許可され、0に設定すると割り込みが禁止されます。割り込み禁止に設定した入力端子の状態変化は、割り込みの発生に影響を与えません。

Px Port Interrupt Edge Select Registers (Px_EDGE)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Px Port Interrupt Edge Select Register (Px_EDGE)	0x5206	D7-0	PxEDGE[7:0]	Px[7:0] port interrupt edge select	1	Falling edge	0	Rising edge	0	R/W	
	0x5216										
	0x5226										
	0x5236										
	0x5246										
	0x5256										
	(8 bits)										

注: P0ポートはP0EDGE[3:0]のみ、P4、P5ポートはPxEDGE[5:0]のみ使用可能です。それ以外は予約ビットで、読み出し値は常に0となります。

D[7:0] PxEDGE[7:0]: Px[7:0] Port Interrupt Edge Select Bits

各ポートの割り込みを発生させる入力信号のエッジを選択します。

1(R/W): 立ち下がりエッジ

0(R/W): 立ち上がりエッジ(デフォルト)

PxEDGE_yを1に設定したポートの割り込みは入力信号の立ち下がりエッジで発生し、0に設定すると立ち上がりエッジで発生します。

Px Port Interrupt Flag Registers (Px_IFLG)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Px Port Interrupt Flag Register (Px_IFLG)	0x5207	D7-0	PxIF[7:0]	Px[7:0] port interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.
	0x5217										
	0x5227										
	0x5237										
	0x5247										
	0x5257 (8 bits)										

注: P0ポートはP0IF[3:0]のみ、P4、P5ポートはPxIF[5:0]のみ使用可能です。それ以外は予約ビットで、読み出し値は常に0となります。

D[7:0] PxIF[7:0]: Px[7:0] Port Interrupt Flag Bits

割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

PxIF_yはPx_yポートに個々に対応する割り込みフラグです。入力信号の指定エッジ(立ち上がりエッジまたは立ち下がりエッジ)で1にセットされます。対応するPxIE_y/Px_IMSKレジスタを1に設定しておくことにより、同時にITCに対してポート割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

PxIF_yは1の書き込みによりリセットされます。

- 注:
- ポート割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、Pポートモジュール内の割り込みフラグPxIF_yをリセットする必要があります。
 - 不要な割り込みの発生を防止するため、PxIE_y/Px_IMSKレジスタによって必要なポートの割り込みを許可する前に、対応するPxIF_yをリセットしてください。

Px Port Chattering Filter Control Registers (Px_CHAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Px Port Chattering Filter Control Register (Px_CHAT)	0x5208	D7	—	reserved	—	—	—	0 when being read.
	0x5218	D6–4	PxCF2[2:0]	Px[7:4] chattering filter time select	PxCF2[2:0]	Filter time	0x0	R/W
	0x5228				0x7			
	0x5238				0x6			
	0x5248				0x5			
	0x5258				0x4			
	(8 bits)				0x3			
					0x2			
					0x1			
					0x0			
		D3	—	reserved	—	—	—	0 when being read.
		D2–0	PxCF1[2:0]	Px[3:0] chattering filter time select	PxCF1[2:0]	Filter time	0x0	R/W
					0x7			
					0x6			
					0x5			
					0x4			
					0x3			
					0x2			
					0x1			
					0x0			

注: P0ポートはP0CF1[2:0]のみ使用可能です。それ以外は予約ビットで、読み出し値は常に0となります。

D7 Reserved**D[6:4] PxCF2[2:0]: Px[7:4] Chattering Filter Time Select Bits**

Px[7:4]ポートに組み込まれているチャタリング除去回路を設定します。

D3 Reserved**D[2:0] PxCF1[2:0]: Px[3:0] Chattering Filter Time Select Bits**

Px[3:0]ポートに組み込まれているチャタリング除去回路を設定します。

入出力ポートにはキー入力用のチャタリング除去回路が設けられています。この機能を使用するか否か、また、使用する場合は検定時間を、PxCF1[2:0]、PxCF2[2:0]によってPx[3:0]、Px[7:4]の4ポートごとに選択します。

表8.8.2 チャタリング除去機能の設定

PxCF1[2:0]/PxCF2[2:0]	検定時間 *
0x7	16384/fPCLK (8ms)
0x6	8192/fPCLK (4ms)
0x5	4096/fPCLK (2ms)
0x4	2048/fPCLK (1ms)
0x3	1024/fPCLK (512μs)
0x2	512/fPCLK (256μs)
0x1	256/fPCLK (128μs)
0x0	なし(Off)

(デフォルト: 0x0, * PCLK = 2MHzの場合)

注: • チャタリング除去機能を有効にしている状態でslp命令を実行した場合は、SLEEP状態からの復帰後に予期せぬ割り込みが発生する可能性があります。SLEEPモード移行前にチャタリング除去機能を無効にしてください。

- チャタリング除去の検定時間は、除去できる最大パルス幅のことを指します。入力割り込みを発生させるには、最小で検定時間、最大で検定時間の2倍の入力時間が必要になります。
- Px_CHATレジスタの設定変更は、必ずPxポート割り込みが禁止されている状態で行ってください。割り込みが許可されている状態で設定を変更すると、Pxポート割り込みが誤って発生する場合があります。また、チャタリング除去回路の状態が安定するまでには最大で検定時間の2倍の時間が必要です。割り込み許可の設定はこの時間の経過後に行ってください。

P0 Port Key-Entry Reset Configuration Register (P0_KRST)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P0 Port Key-Entry Reset Configuration Register (P0_KRST)	0x5209 (8 bits)	D7-2	—	reserved	—		—	—	0 when being read.
		D1-0	P0KRST[1:0]	P0 port key-entry reset configuration	P0KRST[1:0]	Configuration	0x0	R/W	
					0x3	P0[3:0]			
					0x2	P0[2:0]			
					0x1	P0[1:0]			
					0x0	Disable			

D[7:2] Reserved

D[1:0] P0KRST[1:0]: P0 Port Key-Entry Reset Configuration Bits

P0ポートキー入力リセットに使用するポートの組み合わせを選択します。

表8.8.3 P0ポートキー入力リセットの設定

P0KRST[1:0]	使用するポート
0x3	P00, P01, P02, P03
0x2	P00, P01, P02
0x1	P00, P01
0x0	使用しない

(デフォルト: 0x0)

キー入力リセットは、ここで選択されたポートに、外部から同時にLowレベルを入力することでイニシャルリセットを行う機能です。

たとえば、P0KRST[1:0]を0x3に設定した場合、P00～P03の4ポートの入力が同時にLowレベルになったときにイニシャルリセットがかかります。

このリセット機能を使用しない場合はP0KRST[1:0]を0x0に設定します。

注: P0ポートキー入力リセット機能はイニシャルリセット時に無効となりますので、電源投入時のリセットには使用できません。

Px Port Input Enable Registers (Px_IEN)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
Px Port Input Enable Register (Px_IEN)	0x520a	D7-0	PxIEN[7:0]	Px[7:0] port input enable	1	Enable	0	Disable	1 (0xff) R/W
	0x521a								
	0x522a								
	0x523a								
	0x524a								
	0x525a (8 bits)								

注: P0ポートはP0IEN[3:0]のみ、P4、P5ポートはPxIEN[5:0]のみ使用可能です。それ以外は予約ビットで、読み出し値は常に0となります。

D[7:0] PxiEN[7:0]: Px[7:0] Port Input Enable Bits

ポート入力を許可/禁止します。

1 (R/W): 許可 (デフォルト)

0 (R/W): 禁止

PxIENyはPxyポートと1対1に対応する入力イネーブルビットで、1に設定すると入力が許可され、対応するポート端子の入力または出力信号レベルがPx_INレジスタから読み出せます。0に設定した場合は入力が禁止されます。Px_IENレジスタ以外の設定も含めたポートの入出力状態については、表8.3.1を参照してください。

P0[3:0] Port Function Select Register (P00_03PMUX)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P0[3:0] Port Function Select Register (P00_03PMUX)	0x52a0 (8 bits)	D7–6	P03MUX[1:0]	P03 port function select	P03MUX[1:0]	Function	0x0	R/W	* S1C17564 only
					0x3	reserved			
					0x2	US_SSI1*			
					0x1	AIN3			
					0x0	P03			
		D5–4	P02MUX[1:0]	P02 port function select	P02MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	US_SSI0*			
					0x1	AIN2			
					0x0	P02			
		D3–2	P01MUX[1:0]	P01 port function select	P01MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	AIN1			
					0x0	P01			
		D1–0	P00MUX[1:0]	P00 port function select	P00MUX[1:0]	Function	0x0	R/W	
0x3	reserved								
0x2	reserved								
0x1	AIN0								
0x0	P00								

P00～P03入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] P03MUX[1:0]: P03 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): USI_SSI1 (S1C17564 USI Ch.1)

0x1 (R/W): AIN3 (ADC10)

0x0 (R/W): P03ポート (デフォルト)

D[5:4] P02MUX[1:0]: P02 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): USI_SSI0 (S1C17564 USI Ch.0)

0x1 (R/W): AIN2 (ADC10)

0x0 (R/W): P02ポート (デフォルト)

D[3:2] P01MUX[1:0]: P01 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): AIN1 (ADC10)

0x0 (R/W): P01ポート (デフォルト)

D[1:0] P00MUX[1:0]: P00 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): AIN0 (ADC10)

0x0 (R/W): P00ポート (デフォルト)

P1[3:0] Port Function Select Register (P10_13PMUX)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P1[3:0] Port Function Select Register (P10_13PMUX)	0x52a2 (8 bits)	D7–6	P13MUX[1:0]	P13 port function select	P13MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	TOUT5/CAP5			
					0x1	#SPISS0			
					0x0	P13			
		D5–4	P12MUX[1:0]	P12 port function select	P12MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	SPICLK0			
					0x0	P12			
		D3–2	P11MUX[1:0]	P11 port function select	P11MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	SDO0			
					0x0	P11			
		D1–0	P10MUX[1:0]	P10 port function select	P10MUX[1:0]	Function	0x0	R/W	
0x3	reserved								
0x2	reserved								
0x1	SDI0								
0x0	P10								

P10～P13入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] P13MUX[1:0]: P13 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): TOUT5 (T16A Ch.2コンパレータモード) または CAP5 (T16A Ch.2キャプチャモード)

0x1 (R/W): #SPISS0 (SPI Ch.0)

0x0 (R/W): P13ポート (デフォルト)

D[5:4] P12MUX[1:0]: P12 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): SPICLK0 (SPI Ch.0)

0x0 (R/W): P12ポート (デフォルト)

D[3:2] P11MUX[1:0]: P11 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): SDO0 (SPI Ch.0)

0x0 (R/W): P11ポート (デフォルト)

D[1:0] P10MUX[1:0]: P10 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): SDI0 (SPI Ch.0)

0x0 (R/W): P10ポート (デフォルト)

P1[7:4] Port Function Select Register (P14_17PMUX)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P1[7:4] Port Function Select Register (P14_17PMUX)	0x52a3 (8 bits)	D7–6	P17MUX[1:0]	P17 port function select	P17MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	SCL0			
					0x0	P17			
		D5–4	P16MUX[1:0]	P16 port function select	P16MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	SPICLK1			
					0x1	SCLK1			
					0x0	P16			
		D3–2	P15MUX[1:0]	P15 port function select	P15MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
0x2	SDO1								
0x1	SOUT1								
0x0	P15								
D1–0	P14MUX[1:0]	P14 port function select	P14MUX[1:0]	Function	0x0	R/W			
			0x3	reserved					
			0x2	SDI1					
			0x1	SIN1					
			0x0	P14					

P14～P17入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] P17MUX[1:0]: P17 Port Function Select Bits

0x3 (R/W): Reserved
0x2 (R/W): Reserved
0x1 (R/W): SCL0 (I2CM)
0x0 (R/W): P17ポート (デフォルト)

D[5:4] P16MUX[1:0]: P16 Port Function Select Bits

0x3 (R/W): Reserved
0x2 (R/W): SPICLK1 (SPI Ch.1)
0x1 (R/W): SCLK1 (UART Ch.1)
0x0 (R/W): P16ポート (デフォルト)

D[3:2] P15MUX[1:0]: P15 Port Function Select Bits

0x3 (R/W): Reserved
0x2 (R/W): SDO1 (SPI Ch.1)
0x1 (R/W): SOUT1 (UART Ch.1)
0x0 (R/W): P15ポート (デフォルト)

D[1:0] P14MUX[1:0]: P14 Port Function Select Bits

0x3 (R/W): Reserved
0x2 (R/W): SDI1 (SPI Ch.1)
0x1 (R/W): SIN1 (UART Ch.1)
0x0 (R/W): P14ポート (デフォルト)

P2[3:0] Port Function Select Register (P20_23PMUX)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P2[3:0] Port Function Select Register (P20_23PMUX)	0x52a4 (8 bits)	D7-6	P23MUX[1:0]	P23 port function select	P23MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	SDI2			
					0x0	P23/EXCL2			
		D5-4	P22MUX[1:0]	P22 port function select	P22MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	FOUTB			
					0x0	P22/EXCL1			
		D3-2	P21MUX[1:0]	P21 port function select	P21MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	TOUT3/CAP3			
					0x0	P21			
		D1-0	P20MUX[1:0]	P20 port function select	P20MUX[1:0]	Function	0x0	R/W	
0x3	reserved								
0x2	reserved								
0x1	TOUT2/CAP2								
0x0	P20								

P20～P23入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] P23MUX[1:0]: P23 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): SDI2 (SPI Ch.2)

0x0 (R/W): P23ポート/EXCL2 (T16A Ch.2) (デフォルト)

P23端子をEXCL2入力に使用するには、P2OEN3/P2_OENレジスタを0、P2IEN3/P2_IENレジスタを1に設定する必要があります。

D[5:4] P22MUX[1:0]: P22 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): FOUTB (CLG)

0x0 (R/W): P22ポート/EXCL1 (T16A Ch.1) (デフォルト)

P22端子をEXCL1入力に使用するには、P2OEN2/P2_OENレジスタを0、P2IEN2/P2_IENレジスタを1に設定する必要があります。

D[3:2] P21MUX[1:0]: P21 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): TOUT3 (T16A Ch.1コンパレータモード) または CAP3 (T16A Ch.1キャプチャモード)

0x0 (R/W): P21ポート (デフォルト)

D[1:0] P20MUX[1:0]: P20 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): TOUT2 (T16A Ch.1コンパレータモード) または CAP2 (T16A Ch.1キャプチャモード)

0x0 (R/W): P20ポート (デフォルト)

P2[7:4] Port Function Select Register (P24_27PMUX)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P2[7:4] Port Function Select Register (P24_27PMUX)	0x52a5 (8 bits)	D7–6	P27MUX[1:0]	P27 port function select	P27MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	SCL1			
					0x0	P27			
		D5–4	P26MUX[1:0]	P26 port function select	P26MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	SDA1			
					0x0	P26			
		D3–2	P25MUX[1:0]	P25 port function select	P25MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	#SPISS2			
					0x1	#BFR			
					0x0	P25			
		D1–0	P24MUX[1:0]	P24 port function select	P24MUX[1:0]	Function	0x0	R/W	
0x3	reserved								
0x2	reserved								
0x1	SDO2								
0x0	P24/EXCI 3								

P24～P27入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] P27MUX[1:0]: P27 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): SCL1 (I2CS)
 0x0 (R/W): P27ポート (デフォルト)

D[5:4] P26MUX[1:0]: P26 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): SDA1 (I2CS)
 0x0 (R/W): P26ポート (デフォルト)

D[3:2] P25MUX[1:0]: P25 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): #SPISS2 (SPI Ch.2)
 0x1 (R/W): #BFR (I2CS)
 0x0 (R/W): P25ポート (デフォルト)

D[1:0] P24MUX[1:0]: P24 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): SDO2 (SPI Ch.2)
 0x0 (R/W): P24ポート/EXCL3 (T16A Ch.3) (デフォルト)

P24端子をEXCL3入力に使用するには、P2OEN4/P2_OENレジスタを0、P2IEN4/P2_IENレジスタを1に設定する必要があります。

P3[3:0] Port Function Select Register (P30_33PMUX)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P3[3:0] Port Function Select Register (P30_33PMUX)	0x52a6 (8 bits)	D7-6	P33MUX[1:0]	P33 port function select	P33MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	SPICLK2			
					0x1	REMI			
					0x0	P33			
		D5-4	P32MUX[1:0]	P32 port function select	P32MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	FOUTA			
					0x1	TOUT4/CAP4			
					0x0	P32			
		D3-2	P31MUX[1:0]	P31 port function select	P31MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	#ADTRG			
					0x1	#BFR			
					0x0	P31			
		D1-0	P30MUX[1:0]	P30 port function select	P30MUX[1:0]	Function	0x0	R/W	
0x3	reserved								
0x2	reserved								
0x1	TOUT0/CAP0								
0x0	P30								

P30～P33入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] P33MUX[1:0]: P33 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): SPICLK2 (SPI Ch.2)
 0x1 (R/W): REMI (REMC)
 0x0 (R/W): P33ポート (デフォルト)

D[5:4] P32MUX[1:0]: P32 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): FOUTA (CLG)
 0x1 (R/W): TOUT4 (T16A Ch.2コンパレータモード) または CAP4 (T16A Ch.2キャプチャモード)
 0x0 (R/W): P32ポート (デフォルト)

D[3:2] P31MUX[1:0]: P31 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): #ADTRG (ADC10)
 0x1 (R/W): #BFR (I2CS)
 0x0 (R/W): P31ポート (デフォルト)

D[1:0] P30MUX[1:0]: P30 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): TOUT0 (T16A Ch.0コンパレータモード) または CAP0 (T16A Ch.0キャプチャモード)
 0x0 (R/W): P30ポート (デフォルト)

P3[7:4] Port Function Select Register (P34_37PMUX)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P3[7:4] Port Function Select Register (P34_37PMUX)	0x52a7 (8 bits)	D7–6	P37MUX[1:0]	P37 port function select	P37MUX[1:0]	Function	0x0	R/W
					0x3	reserved		
					0x2	reserved		
					0x1	P37		
					0x0	DST2		
		D5–4	P36MUX[1:0]	P36 port function select	P36MUX[1:0]	Function	0x0	R/W
					0x3	reserved		
					0x2	reserved		
					0x1	P36		
		D3–2	P35MUX[1:0]	P35 port function select	P35MUX[1:0]	Function	0x0	R/W
					0x3	reserved		
					0x2	reserved		
					0x1	P35		
					0x0	DCLK		
		D1–0	P34MUX[1:0]	P34 port function select	P34MUX[1:0]	Function	0x0	R/W
					0x3	reserved		
					0x2	#SPISS1		
					0x1	REMO		
					0x0	P34		

P34～P37入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] P37MUX[1:0]: P37 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): P37ポート
 0x0 (R/W): DST2 (DBG) (デフォルト)

D[5:4] P36MUX[1:0]: P36 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): P36ポート
 0x0 (R/W): DSIO (DBG) (デフォルト)

D[3:2] P35MUX[1:0]: P35 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): Reserved
 0x1 (R/W): P35ポート
 0x0 (R/W): DCLK (DBG) (デフォルト)

D[1:0] P34MUX[1:0]: P34 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): #SPISS1 (SPI Ch.1)
 0x1 (R/W): REMO (REMC)
 0x0 (R/W): P34ポート (デフォルト)

P4[3:0] Port Function Select Register (P40_43PMUX)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P4[3:0] Port Function Select Register (P40_43PMUX)	0x52a8 (8 bits)	D7–6	P43MUX[1:0]	P43 port function select	P43MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	REMI			
					0x1	SDA1			
					0x0	P43			
		D5–4	P42MUX[1:0]	P42 port function select	P42MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	TOUT1/CAP1			
					0x1	SCLK0			
					0x0	P42			
		D3–2	P41MUX[1:0]	P41 port function select	P41MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	TOUT7/CAP7			
					0x1	SOUT0			
					0x0	P41			
		D1–0	P40MUX[1:0]	P40 port function select	P40MUX[1:0]	Function	0x0	R/W	
0x3	reserved								
0x2	TOUT6/CAP6								
0x1	SIN0								
0x0	P40								

P40～P43入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] P43MUX[1:0]: P43 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): REMI (REMC)
 0x1 (R/W): SDA1 (I2CS)
 0x0 (R/W): P43ポート (デフォルト)

D[5:4] P42MUX[1:0]: P42 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): TOUT1 (T16A Ch.0コンパレータモード) または CAP1 (T16A Ch.0キャプチャモード)
 0x1 (R/W): SCLK0 (UART Ch.0)
 0x0 (R/W): P42ポート (デフォルト)

D[3:2] P41MUX[1:0]: P41 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): TOUT7 (T16A Ch.3コンパレータモード) または CAP7 (T16A Ch.3キャプチャモード)
 0x1 (R/W): SOUT0 (UART Ch.0)
 0x0 (R/W): P41ポート (デフォルト)

D[1:0] P40MUX[1:0]: P40 Port Function Select Bits

0x3 (R/W): Reserved
 0x2 (R/W): TOUT6 (T16A Ch.3コンパレータモード) または CAP6 (T16A Ch.3キャプチャモード)
 0x1 (R/W): SIN0 (UART Ch.0)
 0x0 (R/W): P40ポート (デフォルト)

P4[5:4] Port Function Select Register (P44_45PMUX)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P4[5:4] Port Function Select Register (P44_45PMUX)	0x52a9 (8 bits)	D7–4	–	reserved	–		–	–	0 when being read.
		D3–2	P45MUX[1:0]	P45 port function select	P45MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	SDA0			
					0x0	P45/EXCL0			
		D1–0	P44MUX[1:0]	P44 port function select	P44MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	REMO			
					0x1	SCL1			
0x0	P44								

P44およびP45入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

8 入出力ポート (P)

D[7:4] Reserved

D[3:2] P45MUX[1:0]: P45 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): SDA0 (I2CM)

0x0 (R/W): P45ポート/EXCL0 (T16A Ch.0) (デフォルト)

P45端子をEXCL0入力に使用するには、P4OEN5/P4_OENレジスタを0、P4IEN5/P4_IENレジスタを1に設定する必要があります。

D[1:0] P44MUX[1:0]: P44 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): REMO (REMC)

0x1 (R/W): SCL1 (I2CS)

0x0 (R/W): P44ポート (デフォルト)

P5[3:0] Port Function Select Register (P50_53PMUX)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P5[3:0] Port Function Select Register (P50_53PMUX)	0x52aa (8 bits)	D7–6	P53MUX[1:0]	P53 port function select	P53MUX[1:0]	Function	0x0	R/W	* S1C17564 only
					0x3	reserved			
					0x2	reserved			
					0x1	US_SDI1*			
					0x0	P53			
		D5–4	P52MUX[1:0]	P52 port function select	P52MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	US_SCK0*			
					0x0	P52			
D3–2	P51MUX[1:0]	P51 port function select	P51MUX[1:0]	Function	0x0	R/W			
			0x3	reserved					
			0x2	reserved					
			0x1	US_SDO0*					
			0x0	P51					
D1–0	P50MUX[1:0]	P50 port function select	P50MUX[1:0]	Function	0x0	R/W			
			0x3	reserved					
			0x2	reserved					
			0x1	US_SDI0*					
			0x0	P50					

注: このレジスタはS1C17564でのみ使用可能です。

S1C17564のP50～P53入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:6] P53MUX[1:0]: P53 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): US_SDI1 (S1C17564 USI Ch.1)

0x0 (R/W): P53ポート (デフォルト)

D[5:4] P52MUX[1:0]: P52 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): US_SCK0 (S1C17564 USI Ch.0)

0x0 (R/W): P52ポート (デフォルト)

D[3:2] P51MUX[1:0]: P51 Port Function Select Bits

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): US_SDO0 (S1C17564 USI Ch.0)

0x0 (R/W): P51ポート (デフォルト)

D[1:0] P50MUX[1:0]: P50 Port Function Select Bits

0x3(R/W): Reserved

0x2(R/W): Reserved

0x1(R/W): US_SDI0(S1C17564 USI Ch.0)

0x0(R/W): P50ポート(デフォルト)

P5[5:4] Port Function Select Register (P54_55PMUX)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P5[5:4] Port Function Select Register (P54_55PMUX)	0x52ab (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3-2	P55MUX[1:0]	P55 port function select	P55MUX[1:0] Function	0x0	R/W	* S1C17564 only
					0x3 reserved			
					0x2 reserved			
					0x1 US_SCK1*			
					0x0 P55			
		D1-0	P54MUX[1:0]	P54 port function select	P54MUX[1:0] Function	0x0	R/W	
					0x3 reserved			
					0x2 reserved			
					0x1 US_SDO1*			
					0x0 P54			

注: このレジスタはS1C17564でのみ使用可能です。

S1C17564のP54およびP55入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どの端子として使用するか選択します。

D[7:4] Reserved**D[3:2] P55MUX[1:0]: P55 Port Function Select Bits**

0x3(R/W): Reserved

0x2(R/W): Reserved

0x1(R/W): US_SCK1(S1C17564 USI Ch.1)

0x0(R/W): P55ポート(デフォルト)

D[1:0] P54MUX[1:0]: P54 Port Function Select Bits

0x3(R/W): Reserved

0x2(R/W): Reserved

0x1(R/W): US_SDO1(S1C17564 USI Ch.1)

0x0(R/W): P54ポート(デフォルト)

9 16ビットタイマ(T16)

9.1 T16モジュールの概要

S1C17554/564は3チャンネルの16ビットタイマモジュール(T16)を内蔵しています。

T16モジュールの主な機能と特長を以下に示します。

- 16ビットプリセッタブルダウンカウンタ(プリセット値設定用16ビットリロードデータレジスタ付き)
- カウンタのアンダーフローから、SPIとI²Cマスタの動作クロック、およびA/D変換トリガ信号を生成
- 割り込みコントローラ(ITC)へのアンダーフロー割り込み信号を生成
- カウントクロックとプリセット値を選択して、任意の時間間隔やシリアル転送速度をプログラム可能

図9.1.1にT16の構成を示します。

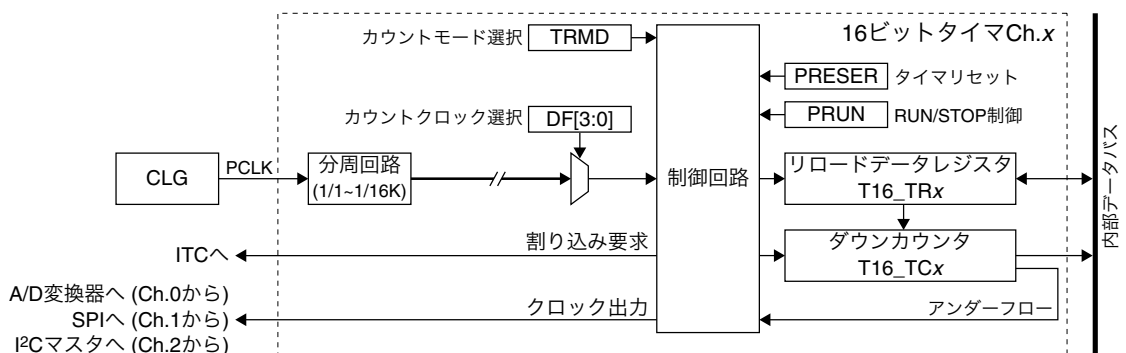


図9.1.1 T16モジュールの構成(1チャンネル)

T16モジュールの各チャンネルは16ビットプリセッタブルダウンカウンタとプリセット値を保持する16ビットリロードデータレジスタで構成されます。タイマはリロードデータレジスタに設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号は、割り込みの発生や内部シリアルインタフェースのクロック生成、およびA/D変換トリガ信号の生成に使用されます。アンダーフロー周期はカウントクロックとリロードデータの選択によりプログラム可能なため、アプリケーションプログラムは任意の時間間隔やシリアル転送速度を得ることができます。

注: 3チャンネルの16ビットタイマモジュールは、制御レジスタのアドレスを除きすべて同じ機能を持っていますので、本節内の説明は16ビットタイマの全チャンネルに適用されます。レジスタ名の'x'はチャンネル番号(0~2)を表します。

例: T16_CTLxレジスタ

Ch.0: T16_CTL0レジスタ

Ch.1: T16_CTL1レジスタ

Ch.2: T16_CTL2レジスタ

9.2 カウントクロック

カウントクロックは、PCLKクロックを1/1～1/16Kに分周して生成します。この分周比をDF[3:0]/T16_CLKxレジスタで下表に示す15種類から選択します。

表9.2.1 PCLK分周比の選択

DF[3:0]	分周比	DF[3:0]	分周比
0xf	Reserved	0x7	1/128
0xe	1/16384	0x6	1/64
0xd	1/8192	0x5	1/32
0xc	1/4096	0x4	1/16
0xb	1/2048	0x3	1/8
0xa	1/1024	0x2	1/4
0x9	1/512	0x1	1/2
0x8	1/256	0x0	1/1

(デフォルト: 0x0)

注: • タイマを動作させるには、周辺モジュールにPCLKが供給されるようにクロックジェネレータ (CLG)を設定しておく必要があります。

- カウントクロックの設定は、カウント停止中に行ってください。

CLGの制御については、“クロックジェネレータ (CLG)”の章を参照してください。

9.3 カウントモード

T16モジュールはリピートモードとワンショットモードの2つのカウントモードを持っています。この選択は、TRMD/T16_CTLxレジスタで行います。

リピートモード (TRMD = 0、デフォルト)

TRMDを0に設定すると、T16はリピートモードに設定されます。

このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出します。任意の間隔で周期的な割り込みやA/D変換トリガを発生させる場合や、シリアル転送クロックを生成する場合は、T16をこのモードに設定してください。

ワンショットモード (TRMD = 1)

TRMDを1に設定すると、T16はワンショットモードに設定されます。

このモードでは、カウンタがアンダーフローした時点でタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、T16をこのモードに設定してください。

9.4 リロードデータレジスタとアンダーフロー周期

リロードデータレジスタT16_TRxは、ダウンカウンタに初期値をセットするために使用します。

リロードデータレジスタに設定したカウンタ初期値は、タイマがリセットされるか、カウンタがアンダーフローした時点でダウンカウンタにプリセットされます。タイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、特定の待ち時間、周期的な割り込みやA/D変換トリガの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

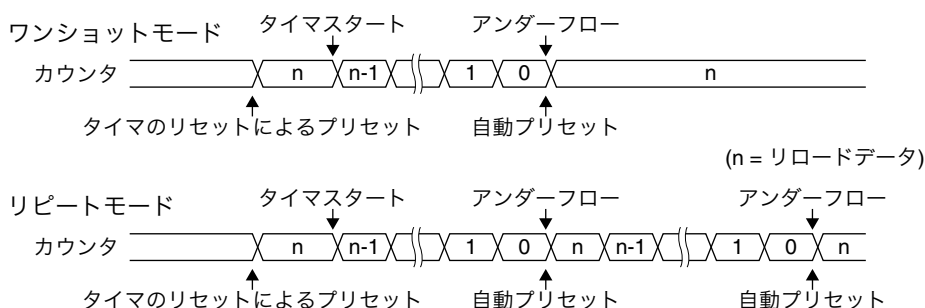


図9.4.1 プリセットタイミング

アンダーフロー周期は次のように計算できます。

$$\text{アンダーフロー期間} = \frac{TR + 1}{ct_clk} [s] \quad \text{アンダーフローサイクル} = \frac{ct_clk}{TR + 1} [Hz]$$

ct_clk: カウントクロック周波数 [Hz]

TR: リロードデータ (0~65535)

9.5 タイマのリセット

タイマをリセットするには、PRESER/T16_CTLxレジスタに1を書き込みます。リロードデータがプリセットされ、カウンタが初期化されます。

9.6 タイマRUN/STOP制御

タイマの動作を開始させる前に、以下の設定を行ってください。

- (1) カウントクロックを選択します。9.2節を参照してください。
- (2) カウントモード(ワンショットまたはリピート)を設定します。9.3節を参照してください。
- (3) カウンタ初期値を計算してリロードデータレジスタに設定します。9.4節を参照してください。
- (4) タイマをリセットして初期値をカウンタにプリセットします。9.5節を参照してください。
- (5) タイマ割り込みを使用する場合は、割り込みレベルを設定し、該当タイマチャンネルの割り込みを許可します。9.8節を参照してください。

タイマの動作を開始させるには、PRUN/T16_CTLxレジスタに1を書き込みます。

タイマは初期値から、あるいは初期値をプリセットしなかった場合は現在のカウンタ値からカウントダウンを開始します。カウンタがアンダーフローすると、タイマはアンダーフローパルスを出力し、初期値を再びカウンタにプリセットします。これと同時に、割り込み要求が割り込みコントローラ(ITC)に送られます。

ワンショットモードに設定されている場合、タイマはカウントを停止します。

リピートモードに設定されている場合、タイマはリロードされた初期値からカウントを継続します。

アプリケーションプログラムからタイマを停止させるには、PRUNに0を書き込みます。カウンタはカウント動作を停止し、タイマのリセットまたは再スタートまで、現在のカウンタ値を保持します。初期値からカウントを再スタートさせる場合は、PRUNに1を書き込む前にタイマをリセットしてください。

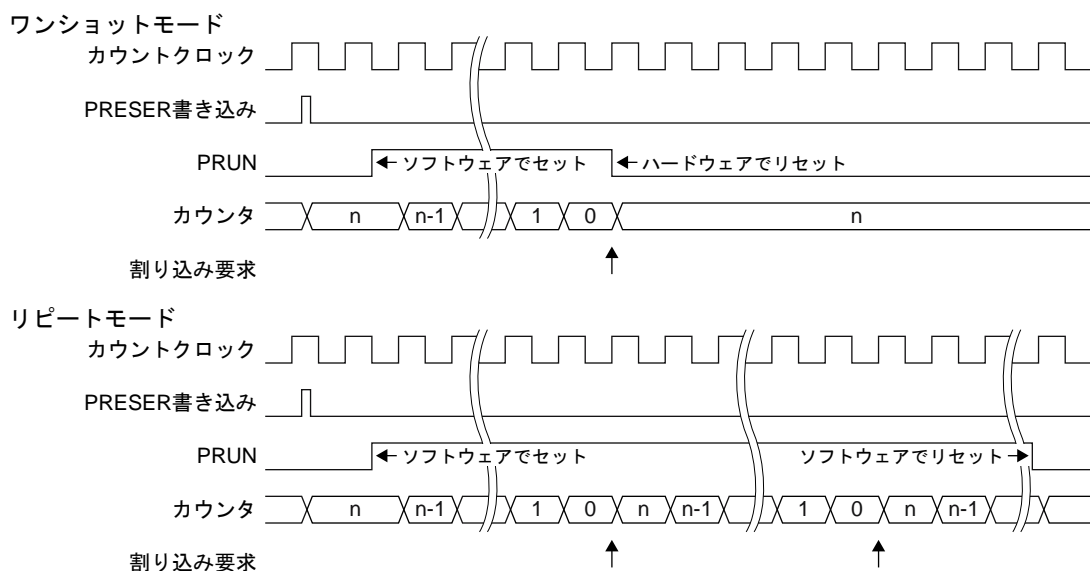


図9.6.1 カウント動作

9.7 T16出力信号

T16モジュールはカウンタがアンダーフローするとアンダーフローパルスを出力します。

このパルスは、タイマ割り込み要求に使用されます。

また、内部シリアルインタフェース用のシリアル転送クロックやA/D変換トリガ信号の生成にも使用されます。

生成されたクロックは以下のとおり、内部周辺モジュールに送られます。

16ビットタイマCh.0出力クロック → A/D変換器

16ビットタイマCh.1出力クロック → SPI

16ビットタイマCh.2出力クロック → I²Cマスタ

希望の転送レートやA/D変換トリガ周期を得るためのリロードデータレジスタ値は次の式で計算できます。

$$\text{SPI} \quad \text{TR} = \frac{\text{ct_clk}}{\text{bps} \times 2} - 1$$

$$\text{I}^2\text{Cマスタ} \quad \text{TR} = \frac{\text{ct_clk}}{\text{bps} \times 4} - 1$$

$$\text{A/D変換器} \quad \text{TR} = (\text{ct_clk} \times \text{adi}) - 1$$

ct_clk: カウントクロック周波数 [Hz]

TR: リロードデータ (0~65535)

bps: 転送レート (ビット/秒)

adi: A/D変換間隔 (秒)

9.8 T16割り込み

T16モジュールの各チャネルは、カウンタのアンダーフローにより、割り込み要求を割り込みコントローラ(ITC)に出力します。

アンダーフロー割り込み

カウンタがアンダーフローすると、T16モジュール内のチャネルごとに用意されている割り込みフラグT16IF/T16_INTxレジスタが1にセットされます。T16IE/T16_INTxレジスタが1(割り込み許可)に設定されていれば、同時に割り込み要求がITCに送られます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

T16IEが0(割り込み禁止、デフォルト)に設定されていると、割り込み要求はITCに送られません。
割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

- 注: • T16割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T16モジュール内の割り込みフラグT16IFをリセットする必要があります。
- 不要な割り込みの発生を防止するため、T16IEによってT16割り込みを許可する前に、T16IFをリセットしてください。T16IFは1の書き込みによりリセットされます。

9.9 制御レジスタ詳細

表9.9.1 T16レジスター一覧

アドレス	レジスタ名		機 能
0x4220	T16_CLK0	T16 Ch.0 Count Clock Select Register	カウントクロックの選択
0x4222	T16_TR0	T16 Ch.0 Reload Data Register	リロードデータの設定
0x4224	T16_TC0	T16 Ch.0 Counter Data Register	カウンタデータ
0x4226	T16_CTL0	T16 Ch.0 Control Register	タイマモードの設定とタイマのRUN/STOP
0x4228	T16_INT0	T16 Ch.0 Interrupt Control Register	割り込みの制御
0x4240	T16_CLK1	T16 Ch.1 Count Clock Select Register	カウントクロックの選択
0x4242	T16_TR1	T16 Ch.1 Reload Data Register	リロードデータの設定
0x4244	T16_TC1	T16 Ch.1 Counter Data Register	カウンタデータ
0x4246	T16_CTL1	T16 Ch.1 Control Register	タイマモードの設定とタイマのRUN/STOP
0x4248	T16_INT1	T16 Ch.1 Interrupt Control Register	割り込みの制御
0x4260	T16_CLK2	T16 Ch.2 Count Clock Select Register	カウントクロックの選択
0x4262	T16_TR2	T16 Ch.2 Reload Data Register	リロードデータの設定
0x4264	T16_TC2	T16 Ch.2 Counter Data Register	カウンタデータ
0x4266	T16_CTL2	T16 Ch.2 Control Register	タイマモードの設定とタイマのRUN/STOP
0x4268	T16_INT2	T16 Ch.2 Interrupt Control Register	割り込みの制御

以下、T16モジュールのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

T16 Ch.x Count Clock Select Registers (T16_CLKx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
T16 Ch.x Count Clock Select Register (T16_CLKx)	0x4220 0x4240 0x4260 (16 bits)	D15-4 D3-0	— DF[3:0]	reserved Count clock division ratio select	—		—	—	0 when being read.
					DF[3:0]	Division ratio	0x0	R/W	Source clock = PCLK
					0xf	reserved			
					0xe	1/16384			
					0xd	1/8192			
					0xc	1/4096			
					0xb	1/2048			
					0xa	1/1024			
					0x9	1/512			
					0x8	1/256			
					0x7	1/128			
					0x6	1/64			
					0x5	1/32			
					0x4	1/16			
					0x3	1/8			
					0x2	1/4			
					0x1	1/2			
					0x0	1/1			

D[15:4] Reserved

D[3:0] DF[3:0]: Count Clock Division Ratio Select Bits

カウントクロックを生成するための、PCLKの分周比を選択します。

表9.9.2 PCLK分周比の選択

DF[3:0]	分周比	DF[3:0]	分周比
0xf	Reserved	0x7	1/128
0xe	1/16384	0x6	1/64
0xd	1/8192	0x5	1/32
0xc	1/4096	0x4	1/16
0xb	1/2048	0x3	1/8
0xa	1/1024	0x2	1/4
0x9	1/512	0x1	1/2
0x8	1/256	0x0	1/1

(デフォルト: 0x0)

注: カウントクロックの設定は、カウント停止中に行ってください。

T16 Ch.x Reload Data Registers (T16_TRx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16 Ch.x Reload Data Register (T16_TRx)	0x4222 0x4242 0x4262 (16 bits)	D15-0	TR[15:0]	Reload data TR15 = MSB TR0 = LSB	0x0 to 0xffff	0x0	R/W	

D[15:0] TR[15:0]: Reload Data Bits

カウンタの初期値を設定します。(デフォルト: 0x0)

このレジスタに設定したリロードデータは、タイマがリセットされるか、カウンタがアンダーフローした時点でカウンタにプリセットされます。

タイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、任意の待ち時間、周期的な割り込みやA/D変換トリガの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

T16 Ch.x Counter Data Registers (T16_TCx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16 Ch.x Counter Data Register (T16_TCx)	0x4224 0x4244 0x4264 (16 bits)	D15-0	TC[15:0]	Counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0xffff	R	

D[15:0] TC[15:0]: Counter Data Bits

カウンタデータが読み出せます。(デフォルト: 0xffff)

このレジスタはリードオンリのため、データの書き込みはできません。

T16 Ch.x Control Registers (T16_CTLx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16 Ch.x Control Register (T16_CTLx)	0x4226 0x4246 0x4266 (16 bits)	D15-5	—	reserved	—	—	—	Do not write 1.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3-2	—	reserved	—	—	—	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	

D[15:5] Reserved (1書き込み禁止)**D4 TRMD: Count Mode Select Bit**

16ビットタイマのカウントモードを選択します。

1(R/W): ワンショットモード

0(R/W): リピートモード(デフォルト)

TRMDを0に設定すると、T16はリピートモードに設定されます。このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みやA/D変換トリガを発生させる場合や、シリアル転送クロックを生成する場合は、T16をこのモードに設定してください。

TRMDを1に設定すると、T16はワンショットモードに設定されます。このモードでは、カウンタがアンダーフローした時点でタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、T16をこのモードに設定してください。

D[3:2] Reserved

D1 PRESER: Timer Reset Bit

タイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、リロードデータがカウンタにプリセットされます。

D0 PRUN: Timer Run/Stop Control Bit

タイマのRUN/STOPを制御します。

1(R/W): RUN

0(R/W): STOP(デフォルト)

タイマはPRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。

T16 Ch.x Interrupt Control Registers (T16_INTx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16 Ch.x Interrupt Control Register (T16_INTx)	0x4228	D15-9	—	reserved	—	—	—	0 when being read.
	0x4248	D8	T16IE	T16 interrupt enable	1 [Enable] 0 [Disable]	0	R/W	
	0x4268	D7-1	—	reserved	—	—	—	0 when being read.
	(16 bits)	D0	T16IF	T16 interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

D[15:9] Reserved

D8 T16IE: T16 Interrupt Enable Bit

各チャネルのカウンタアンダーフローによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

T16IEを1に設定するとITCへのT16割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D[7:1] Reserved

D0 T16IF: T16 Interrupt Flag Bit

各チャネルのカウンタアンダーフロー割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

T16IFはT16モジュールの割り込みフラグで、カウント中にカウンタがアンダーフローすると1にセットされます。T16IFは1の書き込みによりリセットされます。

10 ファインモード16ビットタイマ (T16F)

10.1 T16Fモジュールの概要

S1C17554/564は2チャンネルのファインモード16ビットタイマモジュール(T16F)を内蔵しています。T16Fモジュールの主な機能と特長を以下に示します。

- 16ビットプリセッタブルダウンカウンタ(プリセット値設定用16ビットリロードデータレジスタ付き)
- カウンタのアンダーフローから、USIの動作クロックを生成(S1C17564)
- 割り込みコントローラ(ITC)へのアンダーフロー割り込み信号を生成
- カウントクロックとプリセット値を選択して、任意の時間間隔やシリアル転送速度をプログラム可能
- 転送レートの誤差を最小限に抑えるファインモードに対応

図10.1.1にT16Fの構成を示します。

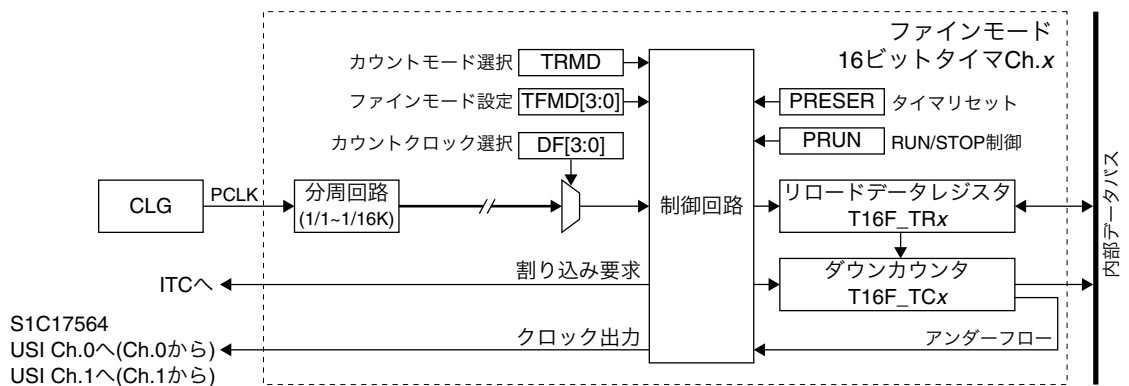


図10.1.1 T16Fモジュールの構成(1チャンネル)

T16Fモジュールの各チャンネルは16ビットプリセッタブルダウンカウンタとプリセット値を保持する16ビットリロードデータレジスタで構成されます。タイマはリロードデータレジスタに設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号は、割り込みの発生や内部シリアルインタフェースのクロック生成に使用されます。アンダーフロー周期はカウントクロックとリロードデータの選択によりプログラム可能なため、アプリケーションプログラムは任意の時間間隔やシリアル転送速度を得ることができます。

注: 2チャンネルのファインモード16ビットタイマは、制御レジスタのアドレスを除きすべて同じ機能を持っていますので、本節内の説明はタイマの全チャンネルに適用されます。レジスタ名の'x'はチャンネル番号(0と1)を表します。

例: T16F_CTLxレジスタ

Ch.0: T16F_CTL0レジスタ

Ch.1: T16F_CTL1レジスタ

10.2 カウントクロック

カウントクロックは、PCLKクロックを1/1～1/16Kに分周して生成します。この分周比をDF[3:0]/T16F_CLKxレジスタで下表に示す15種類から選択します。

表10.2.1 PCLK分周比の選択

DF[3:0]	分周比	DF[3:0]	分周比
0xf	Reserved	0x7	1/128
0xe	1/16384	0x6	1/64
0xd	1/8192	0x5	1/32
0xc	1/4096	0x4	1/16
0xb	1/2048	0x3	1/8
0xa	1/1024	0x2	1/4
0x9	1/512	0x1	1/2
0x8	1/256	0x0	1/1

(デフォルト: 0x0)

注: • タイマを動作させるには、周辺モジュールにPCLKが供給されるようにクロックジェネレータ (CLG)を設定しておく必要があります。

- カウントクロックの設定は、カウント停止中に行ってください。

CLGの制御については、“クロックジェネレータ (CLG)”の章を参照してください。

10.3 カウントモード

T16Fモジュールはリピートモードとワンショットモードの2つのカウントモードを持っています。この選択は、TRMD/T16F_CTLxレジスタで行います。

リピートモード (TRMD = 0、デフォルト)

TRMDを0に設定すると、T16Fはリピートモードに設定されます。

このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、T16Fをこのモードに設定してください。

ワンショットモード (TRMD = 1)

TRMDを1に設定すると、T16Fはワンショットモードに設定されます。

このモードでは、カウンタがアンダーフローした時点でタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、T16Fをこのモードに設定してください。

10.4 リロードデータレジスタとアンダーフロー周期

リロードデータレジスタT16F_TRxは、ダウンカウンタに初期値をセットするために使用します。

リロードデータレジスタに設定したカウンタ初期値は、タイマがリセットされるか、カウンタがアンダーフローした時点でダウンカウンタにプリセットされます。タイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、特定の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

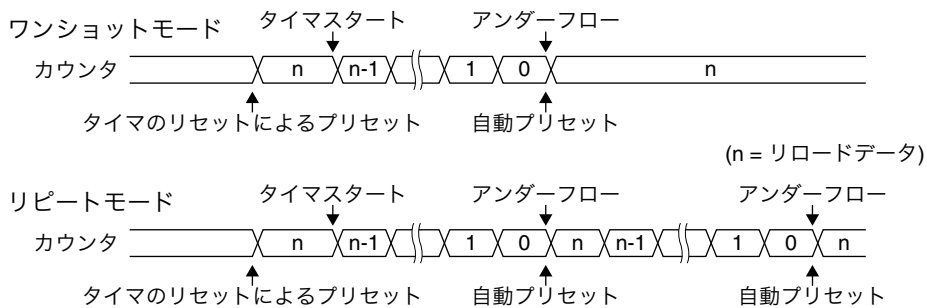


図10.4.1 プリセットタイミング

アンダーフロー周期は次のように計算できます。

$$\text{アンダーフロー期間} = \frac{TR + 1}{ct_clk} [s] \quad \text{アンダーフローサイクル} = \frac{ct_clk}{TR + 1} [Hz]$$

ct_clk: カウントクロック周波数 [Hz]

TR: リロードデータ (0~65535)

10.5 タイマのリセット

タイマをリセットするには、PRESER/T16F_CTLxレジスタに1を書き込みます。リロードデータがプリセットされ、カウンタが初期化されます。

10.6 タイマRUN/STOP制御

タイマの動作を開始させる前に、以下の設定を行ってください。

- (1) カウントクロックを選択します。10.2節を参照してください。
- (2) カウントモード(ワンショットまたはリピート)を設定します。10.3節を参照してください。
- (3) カウンタ初期値を計算してリロードデータレジスタに設定します。10.4節を参照してください。
- (4) タイマをリセットして初期値をカウンタにプリセットします。10.5節を参照してください。
- (5) タイマ割り込みを使用する場合は、割り込みレベルを設定し、該当タイマチャンネルの割り込みを許可します。10.9節を参照してください。

タイマの動作を開始させるには、PRUN/T16F_CTLxレジスタに1を書き込みます。

タイマは初期値から、あるいは初期値をプリセットしなかった場合は現在のカウンタ値からカウントダウンを開始します。カウンタがアンダーフローすると、タイマはアンダーフローパルスを出力し、初期値を再びカウンタにプリセットします。これと同時に、割り込み要求が割り込みコントローラ(ITC)に送られます。

ワンショットモードに設定されている場合、タイマはカウントを停止します。

リピートモードに設定されている場合、タイマはリロードされた初期値からカウントを継続します。

アプリケーションプログラムからタイマを停止させるには、PRUNに0を書き込みます。カウンタはカウント動作を停止し、タイマのリセットまたは再スタートまで、現在のカウンタ値を保持します。初期値からカウントを再スタートさせる場合は、PRUNに1を書き込む前にタイマをリセットしてください。

10 ファインモード16ビットタイマ(T16F)

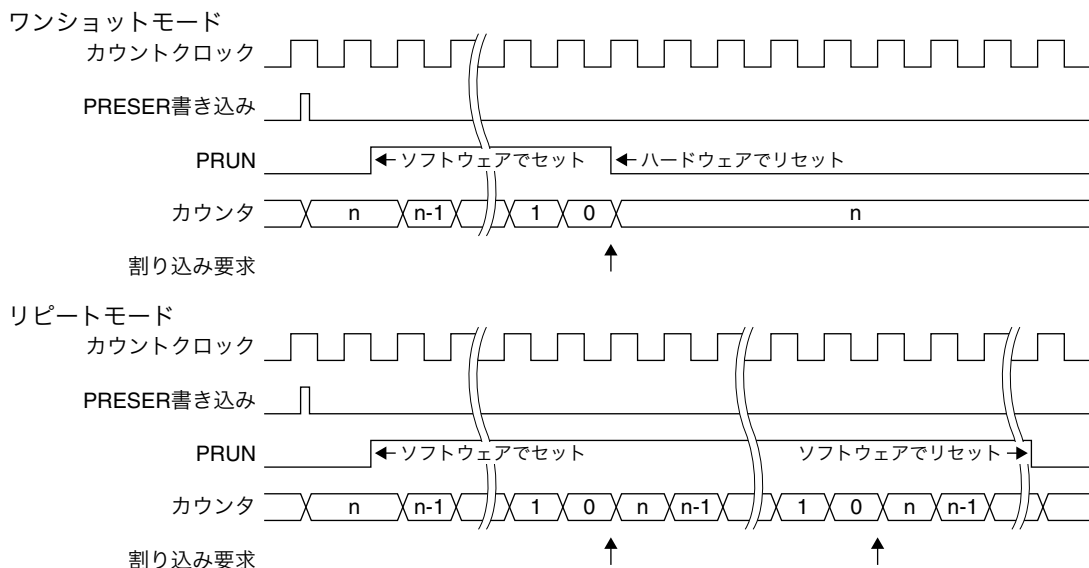


図10.6.1 カウント動作

10.7 T16F出力信号

T16Fモジュールはカウンタがアンダーフローするとアンダーフローパルスを出力します。

このパルスは、タイマ割り込み要求に使用されます。

また、S1C17564ではUSIのクロック生成にも使用されます。

生成されたクロックは以下のとおり、内部周辺モジュールに送られます。

T16F Ch.0出力クロック → USI Ch.0

T16F Ch.1出力クロック → USI Ch.1

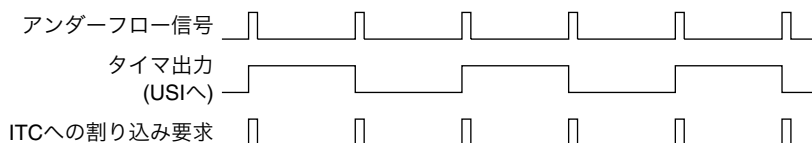


図10.7.1 T16F出力クロック

10.8 ファインモード

ファインモードは、転送レートの誤差を最小限に抑える機能を提供します。

ファインモード16ビットタイマはプログラマブルなクロックを出力可能で、その信号はUSIのシリアル転送クロック等にも使用されます。カウントクロックとリロードデータの適切な選択により、タイマ出力クロックを希望の周波数に設定することができます。ただし、転送レートによっては誤差を生じます。ファインモードでは、カウンタによるアンダーフローパルスの出力を遅らせ、出力クロック周期を延ばします。この遅延量はTFMD[3:0]/T16F_CTLxレジスタで指定できます。

TFMD[3:0]ビットは16アンダーフロー期間に挿入する遅延パターンを指定します。遅延の挿入1回につき、出力クロック周期はカウントクロック1サイクル分延長されます。この設定により、割り込みタイミングも同様に遅延します。

表10.8.1 TFMD[3:0]で指定する遅延パターン

TFMD[3:0]	アンダーフロー番号															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0x0	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
0x1	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	D
0x2	–	–	–	–	–	–	–	D	–	–	–	–	–	–	–	D
0x3	–	–	–	–	–	–	–	D	–	–	–	D	–	–	–	D
0x4	–	–	–	D	–	–	–	D	–	–	–	D	–	–	–	D
0x5	–	–	–	D	–	–	–	D	–	–	–	D	–	D	–	D
0x6	–	–	–	D	–	D	–	D	–	–	–	D	–	D	–	D
0x7	–	–	–	D	–	D	–	D	–	D	–	D	–	D	–	D
0x8	–	D	–	D	–	D	–	D	–	D	–	D	–	D	–	D
0x9	–	D	–	D	–	D	–	D	–	D	–	D	–	D	D	D
0xa	–	D	–	D	–	D	D	D	–	D	–	D	–	D	D	D
0xb	–	D	–	D	–	D	D	D	–	D	D	D	–	D	D	D
0xc	–	D	D	D	–	D	D	D	–	D	D	D	–	D	D	D
0xd	–	D	D	D	–	D	D	D	–	D	D	D	D	D	D	D
0xe	–	D	D	D	D	D	D	D	–	D	D	D	D	D	D	D
0xf	–	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D

D: 遅延サイクルが挿入されることを示します。

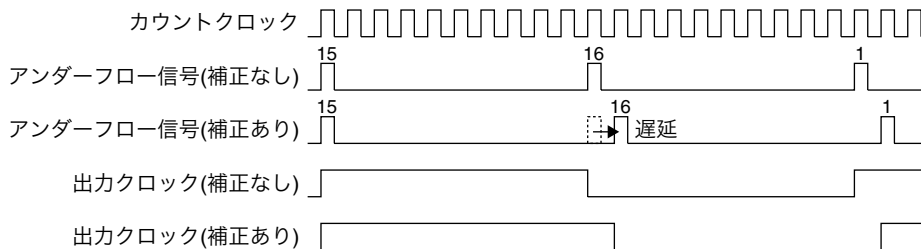


図10.8.1 ファインモードでの遅延サイクルの挿入

イニシャルリセット時、TFMD[3:0]は0x0に設定され、遅延サイクルは挿入されません。

10.9 T16F割り込み

T16Fモジュールの各チャネルは、カウンタのアンダーフローにより、割り込み要求を割り込みコントローラ(ITC)に出力します。

アンダーフロー割り込み

カウンタがアンダーフローすると、T16Fモジュール内のチャネルごとに用意されている割り込みフラグT16FIF/T16F_INTxレジスタが1にセットされます。T16FIE/T16F_INTxレジスタが1(割り込み許可)に設定されていれば、同時に割り込み要求がITCに送られます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

T16FIEが0(割り込み禁止、デフォルト)に設定されていると、割り込み要求はITCに送られません。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

注: • T16F割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T16Fモジュール内の割り込みフラグT16FIFをリセットする必要があります。

- 不要な割り込みの発生を防止するため、T16FIEによってT16F割り込みを許可する前に、T16FIFをリセットしてください。T16FIFは1の書き込みによりリセットされます。

10.10 制御レジスタ詳細

表10.10.1 T16Fレジスタ一覧

アドレス	レジスタ名		機 能
0x4200	T16F_CLK0	T16F Ch.0 Count Clock Select Register	カウントクロックの選択
0x4202	T16F_TR0	T16F Ch.0 Reload Data Register	リロードデータの設定
0x4204	T16F_TC0	T16F Ch.0 Counter Data Register	カウンタデータ
0x4206	T16F_CTL0	T16F Ch.0 Control Register	タイマモードの設定とタイマのRUN/STOP
0x4208	T16F_INT0	T16F Ch.0 Interrupt Control Register	割り込みの制御
0x4280	T16F_CLK1	T16F Ch.1 Count Clock Select Register	カウントクロックの選択
0x4282	T16F_TR1	T16F Ch.1 Reload Data Register	リロードデータの設定
0x4284	T16F_TC1	T16F Ch.1 Counter Data Register	カウンタデータ
0x4286	T16F_CTL1	T16F Ch.1 Control Register	タイマモードの設定とタイマのRUN/STOP
0x4288	T16F_INT1	T16F Ch.1 Interrupt Control Register	割り込みの制御

以下、T16Fモジュールのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

T16F Ch.x Count Clock Select Registers (T16F_CLKx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16F Ch.x Count Clock Select Register (T16F_CLKx)	0x4200	D15–4	–	reserved	–	–	–	0 when being read.
	0x4280	D3–0	DF[3:0]	Count clock division ratio select	DF[3:0] Division ratio	0x0	R/W	Source clock = PCLK
					0xf reserved			
					0xe 1/16384			
					0xd 1/8192			
					0xc 1/4096			
					0xb 1/2048			
					0xa 1/1024			
					0x9 1/512			
					0x8 1/256			
					0x7 1/128			
					0x6 1/64			
					0x5 1/32			
					0x4 1/16			
					0x3 1/8			
					0x2 1/4			
					0x1 1/2			
					0x0 1/1			

D[15:4] Reserved

D[3:0] DF[3:0]: Count Clock Division Ratio Select Bits

カウントクロックを生成するための、PCLKの分周比を選択します。

表10.10.2 PCLK分周比の選択

DF[3:0]	分周比	DF[3:0]	分周比
0xf	Reserved	0x7	1/128
0xe	1/16384	0x6	1/64
0xd	1/8192	0x5	1/32
0xc	1/4096	0x4	1/16
0xb	1/2048	0x3	1/8
0xa	1/1024	0x2	1/4
0x9	1/512	0x1	1/2
0x8	1/256	0x0	1/1

(デフォルト: 0x0)

注: カウントクロックの設定は、カウント停止中に行ってください。

T16F Ch.x Reload Data Registers (T16F_TRx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16F Ch.x Reload Data Register (T16F_TRx)	0x4202 0x4282 (16 bits)	D15–0	TR[15:0]	Reload data TR15 = MSB TR0 = LSB	0x0 to 0xffff	0x0	R/W	

D[15:0] TR[15:0]: Reload Data Bits

カウンタの初期値を設定します。(デフォルト: 0x0)

このレジスタに設定したリロードデータは、タイマがリセットされるか、カウンタがアンダーフローした時点でカウンタにプリセットされます。

タイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、任意の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

T16F Ch.x Counter Data Registers (T16F_TCx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16F Ch.x Counter Data Register (T16F_TCx)	0x4204 0x4284 (16 bits)	D15–0	TC[15:0]	Counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0xffff	R	

D[15:0] TC[15:0]: Counter Data Bits

カウンタデータが読み出せます。(デフォルト: 0xffff)

このレジスタはリードオンリのため、データの書き込みはできません。

T16F Ch.x Control Registers (T16F_CTLx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16F Ch.x Control Register (T16F_CTLx)	0x4206 0x4286 (16 bits)	D15–12	—	reserved	—	—	—	0 when being read.
		D11–8	TFMD[3:0]	Fine mode setup	0x0 to 0xf	0x0	R/W	Set a number of times to insert delay into a 16-underflow period.
		D7–5	—	reserved	—	—	—	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	—	reserved	—	—	—	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	

D[15:12] Reserved**D[11:8] TFMD[3:0]: Fine Mode Setup Bits**

転送レートの誤差を補正します。(デフォルト: 0x0)

TFMD[3:0]ビットは16アンダーフロー期間に挿入する遅延パターンを指定します。遅延の挿入1回につき、出力クロック周期はカウントクロック1サイクル分延長されます。この設定により、割り込みタイミングも同様に遅延します。

表10.10.3 TFMD[3:0]で指定する遅延パターン

TFMD[3:0]	アンダーフロー番号															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0x0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
0x1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	D
0x2	—	—	—	—	—	—	—	D	—	—	—	—	—	—	—	D
0x3	—	—	—	—	—	—	—	D	—	—	—	D	—	—	—	D
0x4	—	—	—	D	—	—	—	D	—	—	—	D	—	—	—	D
0x5	—	—	—	D	—	—	—	D	—	—	—	D	—	D	—	D
0x6	—	—	—	D	—	D	—	D	—	—	—	D	—	D	—	D
0x7	—	—	—	D	—	D	—	D	—	D	—	D	—	D	—	D
0x8	—	D	—	D	—	D	—	D	—	D	—	D	—	D	—	D
0x9	—	D	—	D	—	D	—	D	—	D	—	D	—	D	D	D
0xa	—	D	—	D	—	D	D	D	—	D	—	D	—	D	D	D
0xb	—	D	—	D	—	D	D	D	—	D	D	D	—	D	D	D
0xc	—	D	D	D	—	D	D	D	—	D	D	D	—	D	D	D
0xd	—	D	D	D	—	D	D	D	—	D	D	D	D	D	D	D
0xe	—	D	D	D	D	D	D	D	—	D	D	D	D	D	D	D
0xf	—	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D

D: 遅延サイクルが挿入されることを示します。

10 ファインモード16ビットタイマ(T16F)

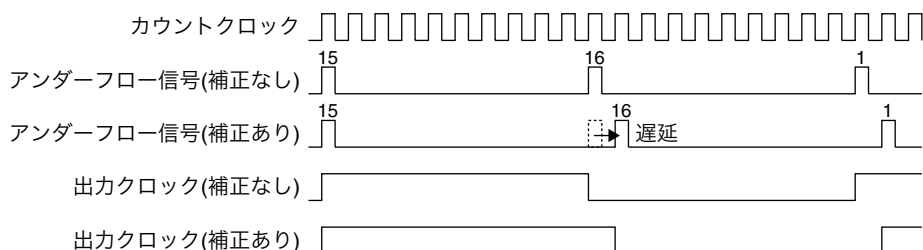


図10.10.1 ファインモードでの遅延サイクルの挿入

D[7:5] Reserved

D4 TRMD: Count Mode Select Bit

T16Fのカウントモードを選択します。

1(R/W): ワンショットモード

0(R/W): リピートモード(デフォルト)

TRMDを0に設定すると、T16Fはリピートモードに設定されます。このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、T16Fをこのモードに設定してください。

TRMDを1に設定すると、T16Fはワンショットモードに設定されます。このモードでは、カウンタがアンダーフローした時点でタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、T16Fをこのモードに設定してください。

D[3:2] Reserved

D1 PRESER: Timer Reset Bit

タイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、リロードデータがカウンタにプリセットされます。

D0 PRUN: Timer Run/Stop Control Bit

タイマのRUN/STOPを制御します。

1(R/W): RUN

0(R/W): STOP(デフォルト)

タイマはPRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。

T16F Ch.x Interrupt Control Registers (T16F_INTx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16F Ch.x Interrupt Control Register (T16F_INTx)	0x4208 0x4288 (16 bits)	D15-9	—	reserved	—	—	—	0 when being read.
		D8	T16FIE	T16F interrupt enable	1 Enable 0 Disable	0	R/W	0 when being read.
		D7-1	—	reserved	—	—	—	0 when being read.
		D0	T16FIF	T16F interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

D[15:9] Reserved

D8 T16FIE: T16F Interrupt Enable Bit

各チャネルのカウンタアンダーフローによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

T16FIEを1に設定するとITCへのT16F割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D[7:1] Reserved**D0 T16FIF: T16F Interrupt Flag Bit**

各チャネルのカウンタアンダーフロー割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

T16FIFはT16Fモジュールの割り込みフラグで、カウント中にカウンタがアンダーフローすると1にセットされます。T16FIFは1の書き込みによりリセットされます。

11 16ビットPWMタイマ(T16A)

11.1 T16Aモジュールの概要

S1C17554/564は、4チャンネルのカウンタブロックとコンパレータ/キャプチャブロックで構成される16ビットPWMタイマモジュール(T16A)を内蔵しています。このタイマは、インターバルタイマ、PWM波形ジェネレータ、外部イベントカウンタ、あるいは外部イベント期間/周期を測定するカウントキャプチャユニットとして使用可能です。

T16Aモジュールの主な機能と特長を以下に示します。

- 4チャンネルの16ビットアップカウンタブロック
- 接続するカウンタブロックを選択可能な4チャンネルのコンパレータ/キャプチャブロック
- CPUクロックとは非同期のカウントクロックを選択可能
- 外部クロックを使用するイベントカウンタ機能に対応
- コンパレータはカウンタ値と2つの指定値を比較し、割り込み信号やPWM波形を生成
- キャプチャユニットは2つの外部トリガ信号によってカウンタ値をキャプチャし、割り込みを発生

図11.1.1にT16Aの構成を示します。

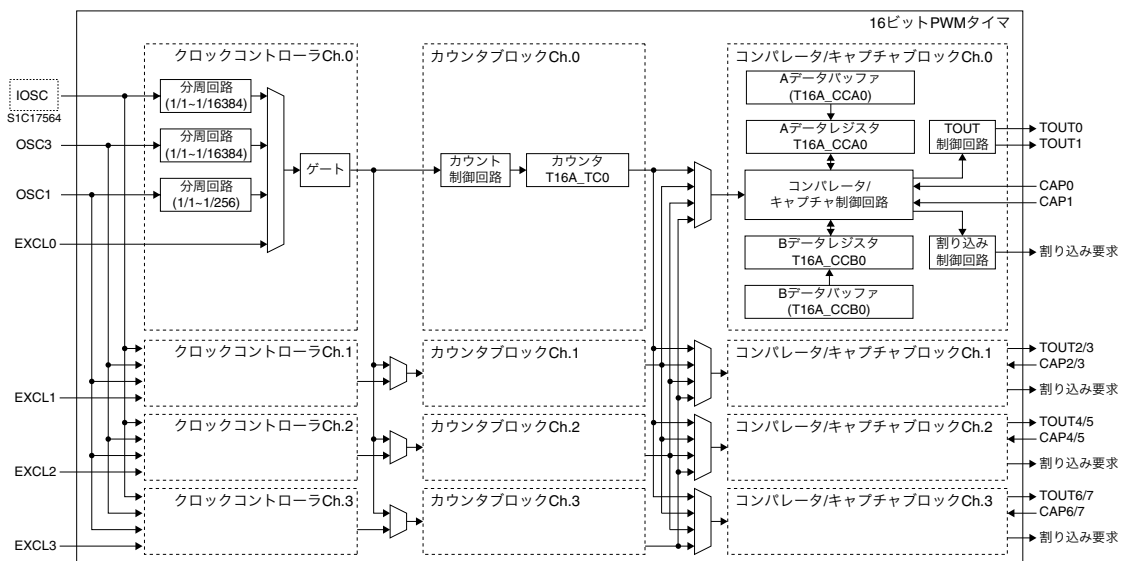


図11.1.1 T16Aの構成

クロックコントローラ

T16Aは、カウンタのカウントクロックを生成するクロックコントローラを4チャンネル内蔵しています。ソフトウェアにより、クロックソースと分周比が選択可能です。

カウンタブロック

カウンタブロックは16ビットアップカウンタで構成されます。カウンタはIOSC(S1C17564のみ)、OSC3、またはOSC1の分周クロック、もしくは外部から入力したカウントクロックで動作します。このクロック選択のほか、ソフトウェアによってチャンネル個別にカウント開始と停止の制御、およびカウンタ値のリセット(0クリア)が行えます。また、コンパレータ/キャプチャブロックから出力されるコンペアB信号によってもカウンタがリセットされるようになっています。

コンパレータ/キャプチャブロック

コンパレータ/キャプチャブロックには、カウンタ値と指定値を比較するコンパレータと、カウンタ値を外部トリガ信号によってレジスタに取り込むキャプチャ回路がそれぞれ2系統(A系統とB系統)組み込まれています。ただし、各系統でコンパレータとキャプチャ機能を同時に使用することはできません。どちらか一方にソフトウェアで切り換えて使用します。

コンパレータとして使用する場合は、カウンタ値と比較する値をコンペアA、コンペアBレジスタに設定しておきます。カウンタ値がそれぞれのレジスタの設定値に一致すると、コンパレータはコンペアA、コンペアB信号を出力します。これらの信号により割り込みを発生可能です。また、これらの信号はタイマ出力波形の周期やデューティの制御にも使用され、PWM波形なども出力できるようになっています。コンペアB信号はカウンタのリセットにも使用されます。

コンペアAおよびコンペアBレジスタは、直接データの書き込み/読み出しが可能です。別途コンペアバッファも設けられており、コンペアB信号によって自動的にコンペアAおよびコンペアBレジスタにデータをロードすることもできます。比較値をコンペアレジスタとバッファのどちらに書き込むかについては、ソフトウェアで選択可能です。

キャプチャ機能を使用する場合は、コンペアA、コンペアBレジスタがキャプチャ A、キャプチャ B レジスタとなります。

キャプチャ Aおよびキャプチャ B用それぞれにトリガ信号を入力可能で、選択した信号エッジでカウンタ値がそれぞれのレジスタに取り込まれます。この時点で割り込みを発生可能ですので、割り込み処理ルーチン内でキャプチャデータを読み出すことができます。また、読み出し前に新たなキャプチャが行われた場合のエラー処理のためにオーバーライト割り込みも発生可能です。

カウンタブロックチャネルとコンパレータ/キャプチャブロックチャネルの組み合わせ

通常は同じチャネル番号のカウンタブロックとコンパレータ/キャプチャブロックを接続して使用します。また、各コンパレータ/キャプチャブロックには別の番号のカウンタブロックを指定することができます。これにより、1つのカウンタで複数のコンパレータ/キャプチャブロックが使用可能となり、2系統の比較/キャプチャ機能を最大8系統に拡張することができます(詳細は後述)。

注: T16Aの各チャネルは、制御レジスタのアドレスを除き同じ機能を持っていますので、特定チャネル番号の記述がない限り、本節内の説明はT16Aの全チャネルに適用されます。レジスタ名等の'x'はチャネル番号(0~3)を表します。

例: T16A_CTLxレジスタ

Ch.0: T16A_CTL0レジスタ

Ch.1: T16A_CTL1レジスタ

Ch.2: T16A_CTL2レジスタ

Ch.3: T16A_CTL3レジスタ

11.2 T16A入出力端子

表11.2.1にT16Aモジュールの入出力端子を示します。

表11.2.1 T16A端子一覧

端子名	I/O	本数	機 能
EXCL0 (Ch.0) EXCL1 (Ch.1) EXCL2 (Ch.2) EXCL3 (Ch.3)	I	4	外部クロック入力端子 イベントカウンタ用の外部クロックを入力します。
CAP0, CAP1 (Ch.0) CAP2, CAP3 (Ch.1) CAP4, CAP5 (Ch.2) CAP6, CAP7 (Ch.3)	I	8	カウンタキャプチャトリガ信号入力端子(キャプチャモード時に有効) CAP0/2/4/6端子に入力される信号の指定エッジ(立ち下がリエッジ、立ち上がりエッジ、または両エッジ)で、カウンタデータがキャプチャAレジスタに取り込まれます。CAP1/3/5/7の入力信号ではカウンタデータがキャプチャBレジスタに取り込まれます。
TOUT0, TOUT1 (Ch.0) TOUT2, TOUT3 (Ch.1) TOUT4, TOUT5 (Ch.2) TOUT6, TOUT7 (Ch.3)	O	8	タイマ生成信号出力端子(コンパレータモード時に有効) 各チャネルは2本の出力端子を持ち、それぞれ異なる条件で生成された信号を出力できます。

T16Aの入出力端子(EXCLx、CAPx、TOUTx)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをT16Aの入出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。
端子の機能と切り換えの詳細については、“入出力ポート(P)”の章を参照してください。

11.3 カウントクロック

クロックコントローラはカウントクロックを制御するクロックソースセクタ、分周回路、ゲート回路で構成されます。カウントクロックはチャンネルごとに制御可能です。

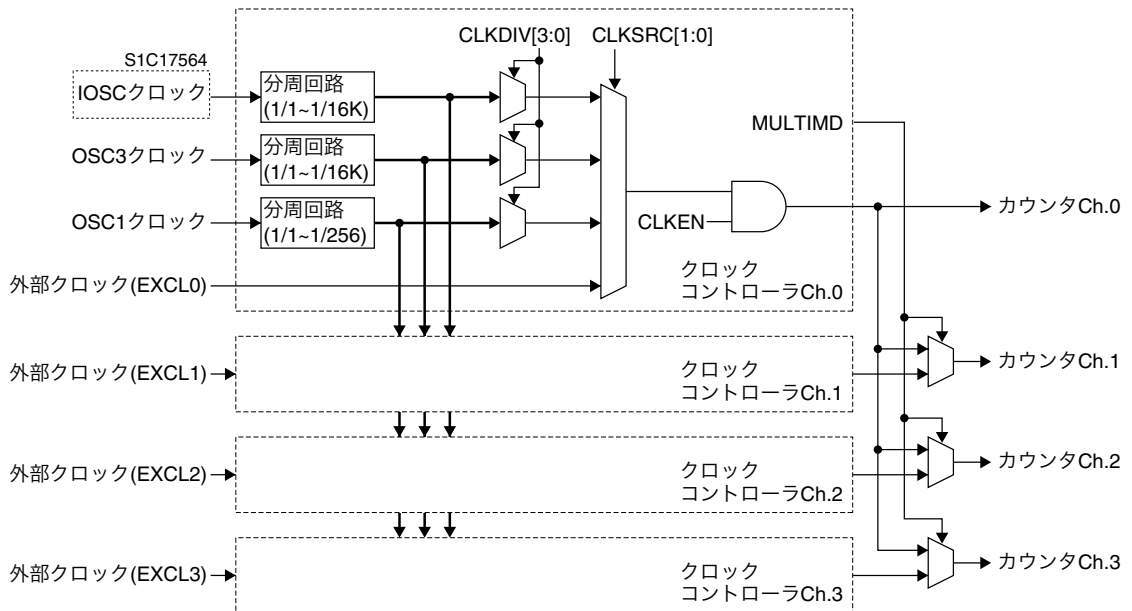


図11.3.1 クロックコントローラ

クロックソースの選択

クロックソースは、CLKSRC[1:0]/T16A_CLKxレジスタを使用してIOSC(S1C17564)、OSC3、OSC1、外部クロックから選択します。

表11.3.1 クロックソースの選択

CLKSRC[1:0]	クロックソース
0x3	外部クロック (EXCLx)
0x2	OSC3
0x1	OSC1
0x0	IOSC (S1C17564)

(デフォルト: 0x0)

外部クロックを選択すると、外部クロックやパルスを入力して、タイマをイベントカウンタやパルス幅測定などにも使用可能です。外部クロック入力端子は下表のとおりです。汎用入出力ポートのままで、端子機能を切り換える必要はありません。ただし、対応する入出力ポートを出力モードには設定しないでください。

表11.3.2 外部クロック入力端子

チャンネル	外部クロック入力端子
T16A Ch.0	EXCL0
T16A Ch.1	EXCL1
T16A Ch.2	EXCL2
T16A Ch.3	EXCL3

内部クロック分周比の選択

内部クロック(IOSC、OSC3、OSC1)を使用する場合は、CLKDIV[3:0]/T16A_CLKxレジスタで分周比を選択します。

表11.3.3 内部クロック分周比の選択

CLKDIV[3:0]	分周比	
	クロックソース = IOSC or OSC3	クロックソース = OSC1
0xf	Reserved	
0xe	1/16384	Reserved
0xd	1/8192	Reserved
0xc	1/4096	Reserved
0xb	1/2048	Reserved
0xa	1/1024	Reserved
0x9	1/512	Reserved
0x8	1/256	
0x7	1/128	
0x6	1/64	
0x5	1/32	
0x4	1/16	
0x3	1/8	
0x2	1/4	
0x1	1/2	
0x0	1/1	

(デフォルト: 0x0)

クロックイネーブル

カウンタへのクロック供給は、CLKEN/T16A_CLKxレジスタで制御します。CLKENのデフォルト設定は0で、クロックの供給は停止しています。CLKENを1に設定すると、上記のとおり生成されたクロックがカウンタに送られます。T16Aの動作が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

マルチコンパレータ/キャプチャモード

T16Aは1つのカウンタチャンネルに複数チャンネルのコンパレータ/キャプチャブロックを接続することができます(マルチコンパレータ/キャプチャモード)。この場合はCh.0のクロックをすべてのチャンネルに供給する必要があります。この制御をMULTIMD/T16A_CLK0レジスタで行います。T16Aをマルチコンパレータ/キャプチャモードで使用する場合は、MULTIMDを1に設定します。同一チャンネルのカウンタとコンパレータ/キャプチャブロックを接続して使用する場合は(ノーマルチャンネルモード)、MULTIMDを0(デフォルト)に設定してください。

注: カウントクロックの設定は、T16Aがカウント停止中に行ってください。

11.4 T16Aの動作モード

T16Aには、いろいろな使い方に対応するため各種の動作モードが用意されています。以下、動作モードの内容と設定方法を説明します。

11.4.1 コンパレータモードとキャプチャモード

コンパレータ/キャプチャブロックにはT16A_CCAxとT16A_CCBxの2つのレジスタが組み込まれており、それぞれをコンパレータモードまたはキャプチャモードに設定することができます。T16A_CCAxレジスタのモードはCCAMD/T16A_CCCTLxレジスタで、T16A_CCBxレジスタのモードはCCBMD/T16A_CCCTLxレジスタで選択します。

コンパレータモード(CCAMD/CCBMD = 0、デフォルト)

コンパレータモードは、カウンタ値とソフトウェアで設定した値を比較し、一致した時点で割り込みを発生させたり、タイマ出力信号を変化させたりするためのモードです。このモードでは、T16A_CCAxとT16A_CCBxレジスタは比較値を設定しておくコンペアAおよびコンペアBレジスタとして機能します。

カウント中にカウンタ値がコンペアAレジスタの設定値になると、コンパレータはコンペアA信号を出力します。同時にコンペアA割り込みフラグがセットされ、割り込み要求が許可されていれば、そのタイマチャネルの割り込み信号がITCに出力されます。

カウンタ値がコンペアBレジスタの設定値になった場合、コンパレータはコンペアB信号を出力します。同時にコンペアB割り込みフラグがセットされ、割り込み要求が許可されていれば、そのタイマチャネルの割り込み信号がITCに出力されます。また、カウンタも0にリセットされます。

カウント開始からコンペアA割り込みが発生するまでの期間(コンペアA期間)およびコンペアB割り込みが発生するまでの期間(コンペアB期間)は次のように計算できます。

コンペアA期間 = $(CCA + 1) / ct_clk$ [秒]

コンペアB期間 = $(CCB + 1) / ct_clk$ [秒]

CCA: コンペアAレジスタ設定値(0~65535)

CCB: コンペアBレジスタ設定値(0~65535)

ct_clk: カウントクロック周波数 [Hz]

コンペアA信号とコンペアB信号はタイマ出力波形(TOUT)を生成するためにも使用されます。詳細については、“11.6 タイマ出力の制御”を参照してください。PWM波形を生成して出力するには、T16A_CCAxおよびT16A_CCBxレジスタを両方共にコンパレータモードに設定しておく必要があります。

コンペアバッファ

コンペアレジスタは直接データの書き込み/読み出しが可能です。また、コンペアバッファを使用すると、コンペアB信号が発生した時点で、バッファに設定したAおよびB系統の比較値を自動的にコンペアAおよびコンペアBレジスタにロードすることができます。比較値をコンペアレジスタとバッファのどちらに書き込むかについては、CBUFEN/T16A_CTLxレジスタで設定します。CBUFENが0(デフォルト)の場合はコンペアレジスタ、CBUFENを1に設定するとコンペアバッファが選択されます。

比較値はT16A_CCAxまたはT16A_CCBxレジスタから読み出せますが、CBUFENの設定にかかわらず、コンペアレジスタがアクセスされます。

キャプチャモード(CCAMD/CCBMD = 1)

キャプチャモードは、キー入力など外部イベントの発生時点の(外部入力信号の指定エッジで)カウンタ値を取得するためのモードです。このモードでは、T16A_CCAxまたはT16A_CCBxレジスタはキャプチャデータを読み出すためのキャプチャ Aまたはキャプチャ Bレジスタとして機能します。

カウンタ値をキャプチャする外部トリガ信号入力端子は下表のとおりです。トリガ入力に使用する端子は、あらかじめ対応するポートの端子の機能を切り換えておく必要があります。切り換え方法については“入出力ポート(P)”の章を参照してください。

表11.4.1.1 カウンタキャプチャ用トリガ信号入力端子

チャネル	トリガ入力端子	
	キャプチャ A	キャプチャ B
T16A Ch.0	CAP0	CAP1
T16A Ch.1	CAP2	CAP3
T16A Ch.2	CAP4	CAP5
T16A Ch.3	CAP6	CAP7

トリガとする信号のエッジは、キャプチャ AがCAPATR[1:0]/T16A_CCCTLxレジスタ、キャプチャ BがCAPBTRG[1:0]/T16A_CCCTLxレジスタで選択可能です。

表11.4.1.2 キャプチャトリガエッジの選択

CAPATR[1:0]/CAPBTRG[1:0]	トリガエッジ
0x3	立ち下がりおよび立ち上がりエッジ
0x2	立ち下がりエッジ
0x1	立ち上がりエッジ
0x0	トリガなし

(デフォルト: 0x0)

カウント中に指定のトリガエッジが入力されると、その時点のカウンタ値がキャプチャレジスタにロードされます。同時にキャプチャ Aまたはキャプチャ B割り込みフラグがセットされ、割り込み要求が許可されていれば、そのタイマチャネルの割り込み信号がITCに出力されます。

この割り込みを利用して、キャプチャデータをT16A_CCAxまたはT16A_CCBxレジスタから読み出すことができます。2点の読み出しデータの差を算出することで、外部イベントの周期やパルス幅を測定可能です。

キャプチャ Aまたはキャプチャ B割り込みフラグがセットされている状態で、次のトリガによってキャプチャデータが上書きされた場合は、オーバーライト割り込みフラグがセットされます。この割り込みによりオーバーライトエラーの処理が行えます。したがって、キャプチャデータをT16A_CCAxまたはT16A_CCBxレジスタから読み出した場合は、キャプチャ Aまたはキャプチャ B割り込みフラグをリセットしておく必要があります。

注: • キャプチャデータの読み出しとキャプチャ動作のタイミングが重なると、正しいキャプチャデータを読み出せない場合があります。必要に応じてキャプチャレジスタを2回読み出すなどしてデータが正しいことを確認してください。

- カウンタデータを正しくキャプチャするには、CAPxトリガ信号のHigh期間とLow期間をどちらもソースクロックの1周期以上とする必要があります。

コンパレータモード時は、CAPATR[1:0]とCAPBTR[1:0]の設定は無効です。トリガエッジが選択されていてもカウントのキャプチャは行われません。

キャプチャモードではコンペア信号が生成されないため、TOUT信号を生成して出力することはできません。

11.4.2 リピートモードとワンショットモード

各カウンタはリピートモードとワンショットモードの2つのカウントモードを持っています。この選択は、TRMD/T16A_CTLxレジスタで行います。

リピートモード(TRMD = 0、デフォルト)

TRMDを0に設定すると、対応するカウンタはリピートモードに設定されます。

このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでカウンタは停止しません。カウンタがオーバーフローによって0になった場合もカウントを継続します。任意の間隔で周期的な割り込みを発生させる場合や、タイマ出力波形を生成する場合は、カウンタをこのモードに設定してください。

ワンショットモード(TRMD = 1)

TRMDを1に設定すると、対応するカウンタはワンショットモードに設定されます。

このモードでは、コンペアB信号が発生した時点で自動的に停止します。特定の待ち時間を作りたい場合やパルス幅測定時などは、このモードに設定してください。

11.4.3 ノーマルチャネルモードとマルチコンパレータ/キャプチャモード

T16Aのチャネルはカウンタブロックとコンパレータ/キャプチャブロックで構成されますが、1つのカウンタブロックに複数のコンパレータ/キャプチャブロックを接続してコンパレータ/キャプチャ機能を拡張するような使い方もできます。これに対応して、ノーマルチャネルモードとマルチコンパレータ/キャプチャモードの2つの動作モードが用意され、MULTIMD/T16A_CLK0レジスタで選択できるようになっています。

ノーマルチャネルモード(MULTIMD = 0、デフォルト)

同じチャネル番号のカウンタブロックとコンパレータ/キャプチャブロックを接続し、T16Aモジュールを4チャネルのタイマとして使用するモードです。このモードでは、カウンタごとに異なるカウントクロックを使用することができます。

各タイマチャネルには、そのチャネルのコンパレータ/キャプチャブロックに接続するカウンタチャネルを選択するCCABCNT[1:0]/T16A_CTLxレジスタが設けられています。

表11.4.3.1 カウンタの選択

CCABCNT[1:0]	カウンタチャネル
0x3	Ch.3(カウンタ3)
0x2	Ch.2(カウンタ2)
0x1	Ch.1(カウンタ1)
0x0	Ch.0(カウンタ0)

(デフォルト: 0x0)

T16Aモジュールをノーマルチャンネルモードで使用する場合は、各チャンネルのコンパレータ/キャプチャブロックに必ず同じチャンネルのカウンタを接続してください。

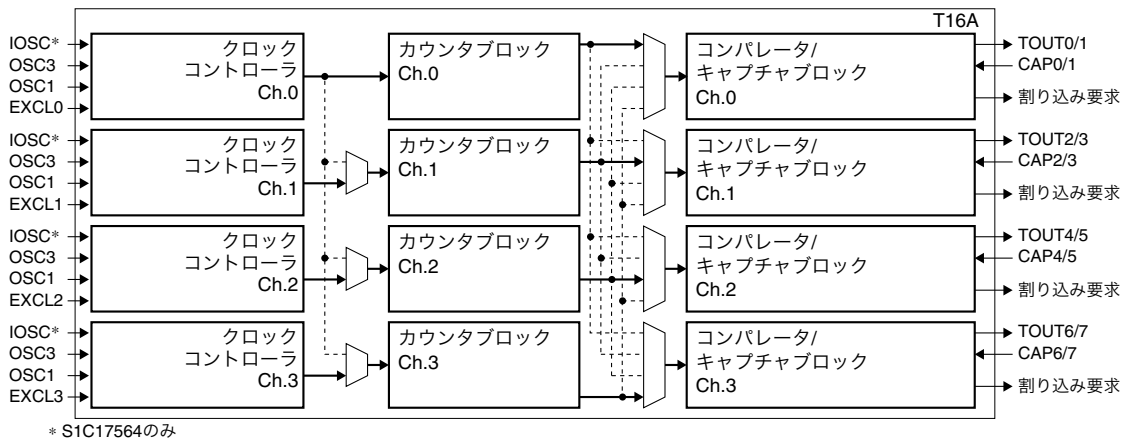
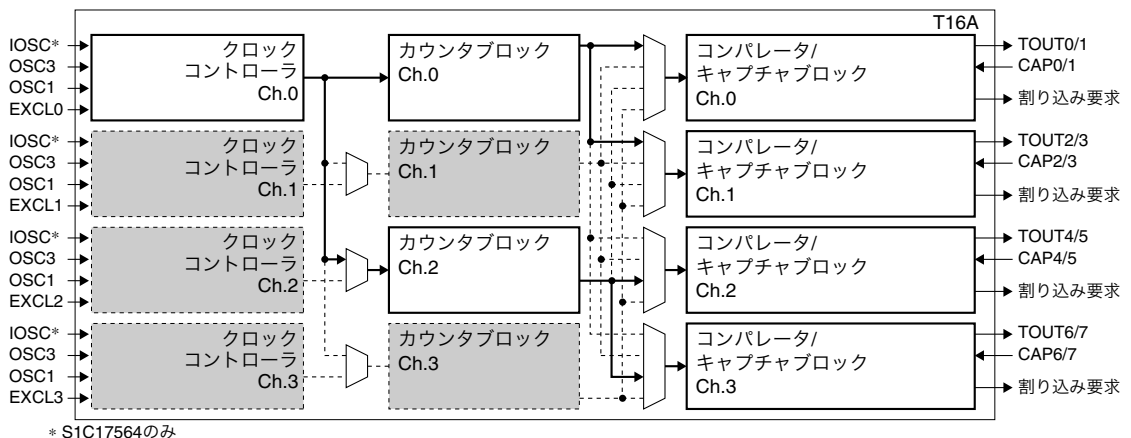


図11.4.3.1 ノーマルチャンネルモードのタイマ構成 (2系統コンパレータ/キャプチャブロック × 4チャンネル)

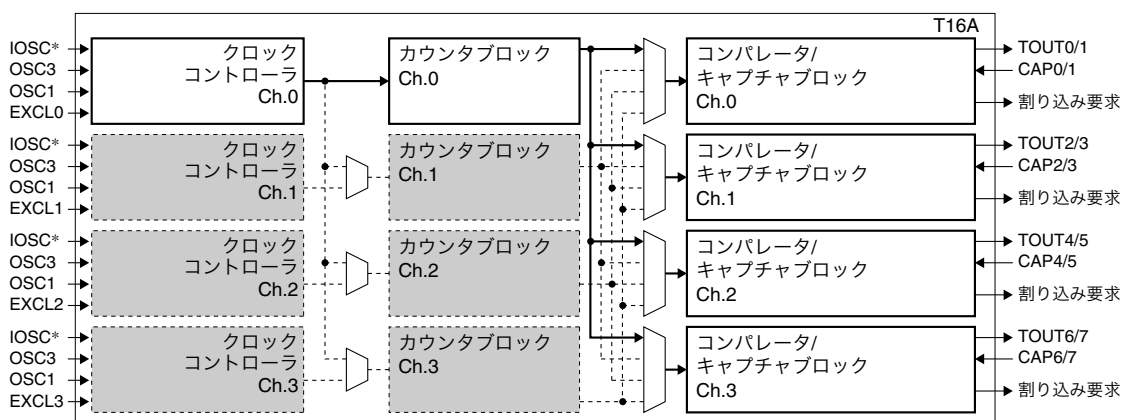
注: ノーマルチャンネルモード (MULTIMD = 0) の場合に、異なるチャンネルのカウンタブロックとコンパレータ/キャプチャブロックを接続することは禁止します。正常な動作を保証できません。

マルチコンパレータ/キャプチャモード (MULTIMD = 1)

1つのカウンタで3つ以上の比較値を設定したい場合や、3本以上のトリガ信号でカウンタをキャプチャしたい場合などには、1つのカウンタに複数のコンパレータ/キャプチャブロックを接続することができます。このためのモードがマルチコンパレータ/キャプチャモードで、上記のCCABCNT[1:0]を使用してカウンタブロックとコンパレータ/キャプチャブロックを任意に組み合わせることが可能です。ただし、使用するカウンタにかかわらず、カウンタクロックはカウンタCh.0用の1種類に固定されます。Ch.1～Ch.3のクロック設定は無効となります。



(1) 構成例1 (4系統コンパレータ/キャプチャブロック × 2チャンネル)



(2) 構成例2 (8系統コンパレータ/キャプチャブロック×1チャンネル)

図11.4.3.2 マルチコンパレータ/キャプチャモードのタイマ構成例

11.5 カウンタの制御

11.5.1 カウンタのリセット

カウンタを0にリセットするには、PRESET/T16A_CTLxレジスタに1を書き込みます。

通常は、カウントアップを開始する前にこのビットに1を書き込み、カウンタをリセットします。

カウント開始後は、カウンタ値がコンペアBレジスタの設定値に一致するとハードウェアによってリセットされます。

11.5.2 カウンタRUN/STOP制御

カウント動作を開始させる前に、以下の設定を行ってください。

- (1) 使用する入出力端子の機能をT16A用に切り換えます。“入出力ポート(P)”の章を参照してください。
- (2) 動作モードを選択します。11.4節を参照してください。
- (3) クロックソースを選択します。11.3節を参照してください。
- (4) タイマ出力(TOUT)の設定を行います。11.6節を参照してください。
- (5) 割り込みを使用する場合は、割り込みレベルを設定し、T16Aの割り込みを許可します。11.7節を参照してください。
- (6) カウンタを0にリセットします。11.5.1節を参照してください。
- (7) コンペアデータを設定します(コンパレータモード時)。11.4.1節を参照してください。

各タイマチャンネルには、カウンタの動作を制御するPRUN/T16A_CTLxレジスタが設けられています。

カウンタはPRUNに1を書き込むことによってカウントを開始します。PRUNに0を書き込むとクロックの入力が禁止され、カウントは停止します。

この制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

PRUNとPRESETに同時に1を書き込んだ場合、タイマはカウンタをリセット後にカウントを開始します。

11.5.3 カウンタ値の読み出し

カウント動作中でも、カウンタ値はT16ATC[15:0]/T16A_TCxレジスタから読み出すことができます。ただし、カウンタ値は16ビット転送命令で1度に読み出してください。8ビット転送命令で2回に分けて読み出すと、読み出しの間にカウントアップが発生し、正しい値が読み出せないことがあります。

11.5.4 タイミングチャート

コンパレータモード

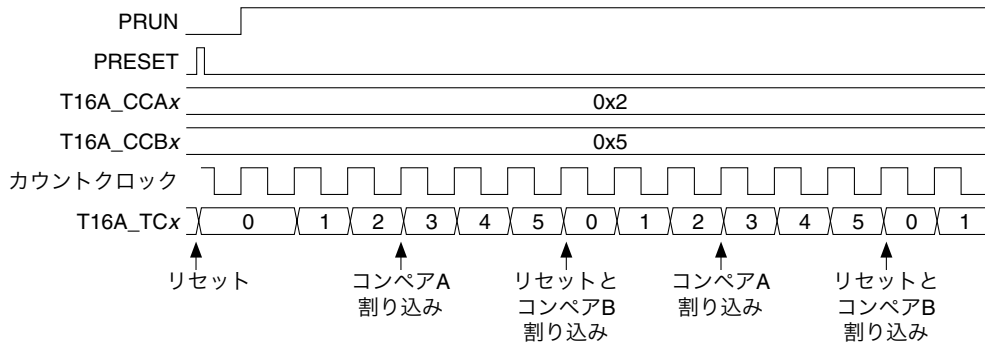


図11.5.4.1 コンパレータモード時動作タイミング

キャプチャモード

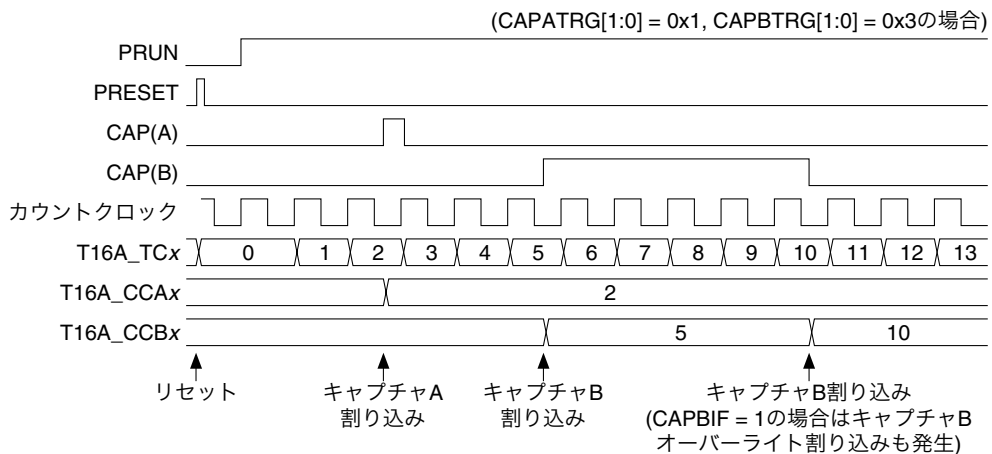


図11.5.4.2 キャプチャモード時動作タイミング

11.6 タイマ出力の制御

コンパレータモードに設定したタイマは、コンペアAおよびコンペアB信号によってTOUT信号を生成し、IC外部に出力することができます。各タイマチャネルは2本のTOUT出力を持ち、T16Aモジュールからは最大8本のTOUT信号を出力可能です。

図11.6.1にTOUT出力回路(1タイマチャネル)を示します。

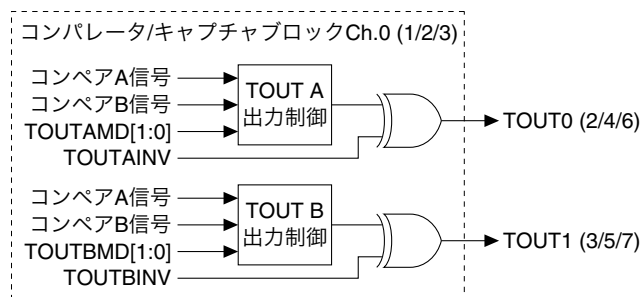


図11.6.1 TOUT出力回路

各タイマチャネルには2系統のTOUT出力回路が組み込まれており、個別に信号生成と出力の制御が行えます。回路/レジスタ名などをA系統、B系統として区別していますが、コンペアAとコンペアBに対応するものではありません。

TOUT出力端子

TOUT端子とタイマチャネルの対応を表11.6.1に示します。TOUT出力に使用する端子は、あらかじめ対応するポートの端子の機能を切り換えておく必要があります。切り換え方法については“入出力ポート(P)”の章を参照してください。

表11.6.1 TOUT出力端子一覧

チャネル	TOUT出力端子	
	A系統	B系統
T16A Ch.0	TOUT0	TOUT1
T16A Ch.1	TOUT2	TOUT3
T16A Ch.2	TOUT4	TOUT5
T16A Ch.3	TOUT6	TOUT7

TOUT生成モード

TOUT信号波形をコンペアA信号とコンペアB信号でどのように変化させるか、TOUTAMD[1:0]/T16A_CCCTLxレジスタ(A系統)またはTOUTBMD[1:0]/T16A_CCCTLxレジスタ(B系統)で設定します。

表11.6.2 TOUT生成モード

TOUTAMD[1:0]/ TOUTBMD[1:0]	コンペアA発生時	コンペアB発生時
0x3	変化なし	トグル
0x2	トグル	変化なし
0x1	立ち上がり	立ち下がり
0x0	出力しない	

(デフォルト: 0x0)

TOUT出力のOn/OffもTOUTAMD[1:0]とTOUTBMD[1:0]で制御します。

TOUT信号の極性選択

デフォルトでは、アクティブHighの出力信号が生成されます。この論理をTOUTAINV/T16A_CCCTLxレジスタ(A系統)またはTOUTBINV/T16A_CCCTLxレジスタ(B系統)で反転させることができます。TOUTAINV、TOUTBINVに1を書き込むと、アクティブLowのTOUT信号が生成されます。

カウンタをリセットした場合には、TOUT信号がインアクティブレベルとなります。

図11.6.2にTOUT出力波形を示します。

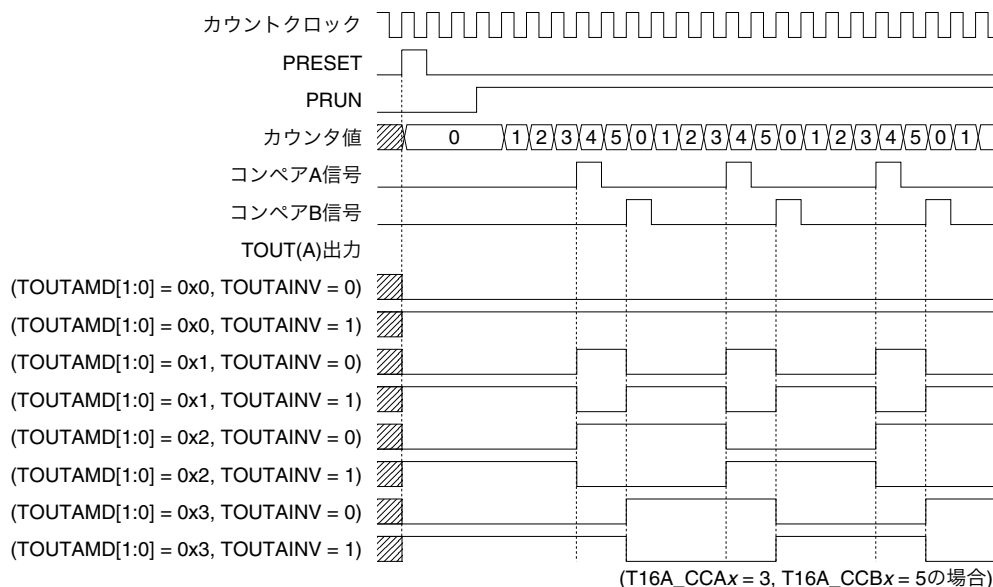


図11.6.2 TOUT出力波形

11.7 T16A割り込み

T16Aモジュールには、タイマチャネルごとに以下の6種類の割り込みを発生させる機能があります。

- コンペアA割り込み(コンパレータモード時)
- コンペアB割り込み(コンパレータモード時)
- キャプチャ A割り込み(キャプチャモード時)
- キャプチャ B割り込み(キャプチャモード時)
- キャプチャ Aオーバーライト割り込み(キャプチャモード時)
- キャプチャ Bオーバーライト割り込み(キャプチャモード時)

各タイマチャネルは、上記の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、割り込みを発生したタイマチャネルの割り込みフラグを読み出してください。

コンパレータモード時の割り込み

コンペアA割り込み

この割り込み要求は、コンパレータモードでカウント中にカウンタがコンペアAレジスタの設定値に一致すると発生し、T16Aモジュール内の割り込みフラグCAIF/T16A_IFLGxレジスタを1にセットします。

この割り込みを使用するには、CAIE/T16A_IENxレジスタを1に設定します。CAIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

コンペアB割り込み

この割り込み要求は、コンパレータモードでカウント中にカウンタがコンペアBレジスタの設定値に一致すると発生し、T16Aモジュール内の割り込みフラグCBIF/T16A_IFLGxレジスタを1にセットします。

この割り込みを使用するには、CBIE/T16A_IENxレジスタを1に設定します。CBIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

キャプチャモード時の割り込み

キャプチャ A割り込み

この割り込み要求はキャプチャモードでカウント中に、外部トリガによってカウンタ値がキャプチャ Aレジスタに取り込まれると発生し、T16Aモジュール内の割り込みフラグCAPAIF/T16A_IFLGxレジスタを1にセットします。

この割り込みを使用するには、CAPAIE/T16A_IENxレジスタを1に設定します。CAPAIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

キャプチャ B割り込み

この割り込み要求はキャプチャモードでカウント中に、外部トリガによってカウンタ値がキャプチャ Bレジスタに取り込まれると発生し、T16Aモジュール内の割り込みフラグCAPBIF/T16A_IFLGxレジスタを1にセットします。

この割り込みを使用するには、CAPBIE/T16A_IENxレジスタを1に設定します。CAPBIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

キャプチャ Aオーバーライト割り込み

この割り込み要求は、キャプチャ A割り込みフラグCAPAIFがセットされている(キャプチャ Aレジスタにカウンタ値が取り込まれている)状態で、新たなトリガによるキャプチャによってキャプチャ Aレジスタが上書きされると発生し、T16Aモジュール内の割り込みフラグCAPAOWIF/T16A_IFLGxレジスタを1にセットします。

この割り込みを使用するには、CAPAOWIE/T16A_IENxレジスタを1に設定します。CAPAOWIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

CAPAOWIFは、キャプチャ Aレジスタが読み出されているかどうかにかかわらず、CAPAIFがセットされている状態で、キャプチャ Aレジスタが上書きされるとセットされます。キャプチャ Aレジスタを読み出し後は必ずCAPAIFをリセットしてください。

キャプチャ Bオーバーライト割り込み

この割り込み要求は、キャプチャ B割り込みフラグCAPBIFがセットされている(キャプチャ Bレジスタにカウンタ値が取り込まれている)状態で、新たなトリガによるキャプチャによってキャプチャ Bレジスタが上書きされると発生し、T16Aモジュール内の割り込みフラグCAPBOWIF/T16A_IFLGxレジスタを1にセットします。

この割り込みを使用するには、CAPBOWIE/T16A_IENxレジスタを1に設定します。CAPBOWIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

CAPBOWIFは、キャプチャ Bレジスタが読み出されているかどうかにかかわらず、CAPBIFがセットされている状態で、キャプチャ Bレジスタが上書きされるとセットされます。キャプチャ Bレジスタを読み出し後は必ずCAPBIFをリセットしてください。

割り込みが許可されている状態で割り込みフラグが1にセットされると、T16Aモジュールは割り込み要求をITCに出力します。ITCとSIC17コアの割り込み条件が成立していれば割り込みが発生します。

ITCの割り込み制御レジスタの詳細と割り込み発生時の動作については、“割り込みコントローラ(ITC)”の章を参照してください。

注: • 不要な割り込みの発生を防止するため、割り込みイネーブルビットによって割り込みを許可する前に、対応する割り込みフラグをリセットしてください。割り込みフラグは1の書き込みによりリセットされます。

- 割り込み発生後は、割り込み処理ルーチン内で、T16Aモジュール内の割り込みフラグをリセットしてください。

11.8 制御レジスタ詳細

表11.8.1 T16Aレジスタ一覧

アドレス	レジスタ名		機 能
0x5068	T16A_CLK0	T16A Clock Control Register Ch.0	T16A Ch.0クロックの制御
0x5069	T16A_CLK1	T16A Clock Control Register Ch.1	T16A Ch.1クロックの制御
0x506a	T16A_CLK2	T16A Clock Control Register Ch.2	T16A Ch.2クロックの制御
0x506b	T16A_CLK3	T16A Clock Control Register Ch.3	T16A Ch.3クロックの制御
0x5400	T16A_CTL0	T16A Counter Ch.0 Control Register	カウンタの制御
0x5402	T16A_TC0	T16A Counter Ch.0 Data Register	カウンタデータ
0x5404	T16A_CCCTL0	T16A Comparator/Capture Ch.0 Control Register	コンパレータ/キャプチャブロック、TOUTの制御
0x5406	T16A_CCA0	T16A Compare/Capture Ch.0 A Data Register	コンペアA/キャプチャ Aデータ
0x5408	T16A_CCB0	T16A Compare/Capture Ch.0 B Data Register	コンペアB/キャプチャ Bデータ
0x540a	T16A_IEN0	T16A Compare/Capture Ch.0 Interrupt Enable Register	割り込みの許可/禁止
0x540c	T16A_IFLG0	T16A Compare/Capture Ch.0 Interrupt Flag Register	割り込み発生状態の表示/リセット
0x5420	T16A_CTL1	T16A Counter Ch.1 Control Register	カウンタの制御
0x5422	T16A_TC1	T16A Counter Ch.1 Data Register	カウンタデータ
0x5424	T16A_CCCTL1	T16A Comparator/Capture Ch.1 Control Register	コンパレータ/キャプチャブロック、TOUTの制御
0x5426	T16A_CCA1	T16A Compare/Capture Ch.1 A Data Register	コンペアA/キャプチャ Aデータ
0x5428	T16A_CCB1	T16A Compare/Capture Ch.1 B Data Register	コンペアB/キャプチャ Bデータ
0x542a	T16A_IEN1	T16A Compare/Capture Ch.1 Interrupt Enable Register	割り込みの許可/禁止
0x542c	T16A_IFLG1	T16A Compare/Capture Ch.1 Interrupt Flag Register	割り込み発生状態の表示/リセット
0x5440	T16A_CTL2	T16A Counter Ch.2 Control Register	カウンタの制御
0x5442	T16A_TC2	T16A Counter Ch.2 Data Register	カウンタデータ
0x5444	T16A_CCCTL2	T16A Comparator/Capture Ch.2 Control Register	コンパレータ/キャプチャブロック、TOUTの制御
0x5446	T16A_CCA2	T16A Compare/Capture Ch.2 A Data Register	コンペアA/キャプチャ Aデータ
0x5448	T16A_CCB2	T16A Compare/Capture Ch.2 B Data Register	コンペアB/キャプチャ Bデータ
0x544a	T16A_IEN2	T16A Compare/Capture Ch.2 Interrupt Enable Register	割り込みの許可/禁止
0x544c	T16A_IFLG2	T16A Compare/Capture Ch.2 Interrupt Flag Register	割り込み発生状態の表示/リセット
0x5460	T16A_CTL3	T16A Counter Ch.3 Control Register	カウンタの制御
0x5462	T16A_TC3	T16A Counter Ch.3 Data Register	カウンタデータ
0x5464	T16A_CCCTL3	T16A Comparator/Capture Ch.3 Control Register	コンパレータ/キャプチャブロック、TOUTの制御
0x5466	T16A_CCA3	T16A Compare/Capture Ch.3 A Data Register	コンペアA/キャプチャ Aデータ
0x5468	T16A_CCB3	T16A Compare/Capture Ch.3 B Data Register	コンペアB/キャプチャ Bデータ
0x546a	T16A_IEN3	T16A Compare/Capture Ch.3 Interrupt Enable Register	割り込みの許可/禁止
0x546c	T16A_IFLG3	T16A Compare/Capture Ch.3 Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、T16Aモジュールのレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

T16A Clock Control Register Ch.x (T16A_CLKx)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
T16A Clock Control Register Ch.x (T16A_CLKx)	0x5068 0x5069 0x506a 0x506b (8 bits)	D7–4	CLKDIV [3:0]	Clock division ratio select	CLKDIV[3:0]		Division ratio OSC3 or IOSC		0x0	R/W	
					0xf	–	–				
					0xe	1/16384	–				
					0xd	1/8192	–				
					0xc	1/4096	–				
					0xb	1/2048	–				
					0xa	1/1024	–				
					0x9	1/512	–				
					0x8	1/256	1/256				
					0x7	1/128	1/128				
					0x6	1/64	1/64				
					0x5	1/32	1/32				
					0x4	1/16	1/16				
					0x3	1/8	1/8				
					0x2	1/4	1/4				
		0x1	1/2	1/2							
		0x0	1/1	1/1							
		D3–2	CLKSRC [1:0]	Clock source select	CLKSRC[1:0]		Clock source		0x0	R/W	* S1C17564 only
					0x3	External clock					
					0x2	OSC3					
					0x1	OSC1					
					0x0	IOSC*					
		D1	MULTIMD	Multi-comparator/capture mode select	1	Multi	0	Normal	0	R/W	T16A_CLK0
			–	reserved	–			–	–	T16A_CLK1–3 0 when being read.	
		D0	CLKEN	Count clock enable	1	Enable	0	Disable	0	R/W	

D[7:4] CLKDIV[3:0]: Clock Division Ratio Select Bits

内部クロック (IOSC、OSC3、OSC1) を使用する場合に、カウントクロックを生成するための分周比を選択します。

表11.8.2 内部クロック分周比の選択

CLKDIV[3:0]	分周比	
	クロックソース = IOSC or OSC3	クロックソース = OSC1
0xf	Reserved	
0xe	1/16384	Reserved
0xd	1/8192	Reserved
0xc	1/4096	Reserved
0xb	1/2048	Reserved
0xa	1/1024	Reserved
0x9	1/512	Reserved
0x8	1/256	
0x7	1/128	
0x6	1/64	
0x5	1/32	
0x4	1/16	
0x3	1/8	
0x2	1/4	
0x1	1/2	
0x0	1/1	

(デフォルト: 0x0)

D[3:2] CLKSRC[1:0]: Clock Source Select Bits

カウントクロックソースを選択します。

表11.8.3 クロックソースの選択

CLKSRC[1:0]	クロックソース
0x3	外部クロック (EXCLx)
0x2	OSC3
0x1	OSC1
0x0	IOSC (S1C17564)

(デフォルト: 0x0)

外部クロックをカウントクロックとして使用する場合、EXCLx端子から入力してください。

D1 MULTIMD: Multi-Comparator/Capture Mode Select Bit (T16A_CLK0 register)

T16Aをマルチコンパレータ/キャプチャモードに設定します。

1(R/W): マルチコンパレータ/キャプチャモード

0(R/W): ノーマルチャネルモード(デフォルト)

マルチコンパレータ/キャプチャモードでは、全チャネルにT16A_CLK0レジスタで設定したCh.0用クロックが供給されます。

ノーマルチャネルモードの場合は、チャネルごとに設定したクロックがそれぞれのカウンタに供給されます。

D1 Reserved (T16A_CLK1–3 registers)**D0 CLKEN: Count Clock Enable Bit**

カウンタへのカウントクロックの供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

CLKENのデフォルト設定は0で、クロックの供給は停止しています。CLKENを1に設定すると、上記のビットで選択されたクロックがカウンタに送られます。タイマの動作が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

T16A Counter Ch.x Control Registers (T16A_CTLx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A Counter Ch.x Control Register (T16A_CTLx)	0x5400	D15–6	–	reserved	–	–	–	0 when being read.
	0x5420	D5–4	CCABCNT [1:0]	Counter select	CCABCNT[1:0]	Counter Ch.	0x0	R/W
	0x5440				0x3			
	0x5460				0x2			
	(16 bits)				0x1			
					0x0			
		D3	CBUFEN	Compare buffer enable	1 Enable	0 Disable	0	R/W
		D2	TRMD	Count mode select	1 One-shot	0 Repeat	0	R/W
		D1	PRESET	Counter reset	1 Reset	0 Ignored	0	W
		D0	PRUN	Counter run/stop control	1 Run	0 Stop	0	R/W

D[15:6] Reserved**D[5:4] CCABCNT[1:0]: Counter Select Bits**

マルチコンパレータ/キャプチャモード(MULTIMD/T16A_CLK0レジスタ = 1)時に、各チャネルのコンパレータ/キャプチャブロックに接続するカウンタを選択します。

表11.8.4 カウンタの選択

CCABCNT[1:0]	カウンタチャネル
0x3	Ch.3(カウンタ3)
0x2	Ch.2(カウンタ2)
0x1	Ch.1(カウンタ1)
0x0	Ch.0(カウンタ0)

(デフォルト: 0x0)

T16Aモジュールをノーマルチャネルモード(MULTIMD = 0)で使用する場合は、各チャネルのコンパレータ/キャプチャブロックに必ず同じチャネルのカウンタを接続してください。

D3 CBUFEN: Compare Buffer Enable Bit

コンペアバッファへの書き込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

CBUFENが1に設定されていると、コンペアデータの書き込みがコンペアデータバッファに対して行われます。バッファの内容は、コンペアB信号が発生した時点でコンペアAおよびコンペアBレジスタにロードされます。

CBUFENが0に設定されている場合は、コンペアデータの書き込みがコンペアAおよびコンペアBレジスタに対して直接行われます。

注: CBUFENの設定は、カウンタが停止中(PRUN = 0)に行ってください。

D2 TRMD: Count Mode Select Bit

カウントモードを選択します。

1(R/W): ワンショットモード

0(R/W): リピートモード(デフォルト)

TRMDを0に設定すると、カウンタはリピートモードに設定されます。このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでカウンタは停止しません。

TRMDを1に設定すると、カウンタはワンショットモードに設定されます。このモードでは、コンペアB信号が発生した時点で自動的に停止します。

D1 PRESET: Counter Reset Bit

カウンタをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、カウンタが0にリセットされます。

D0 PRUN: Counter Run/Stop Control Bit

カウントを開始/停止します。

1(W): カウント開始

0(W): カウント停止

1(R): カウント動作中

0(R): 停止中(デフォルト)

カウンタはPRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。停止した場合でもカウンタのデータは保持されます。

T16A Counter Ch.x Data Registers (T16A_TCx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A Counter Ch.x Data Register (T16A_TCx)	0x5402	D15-0	T16ATC [15:0]	Counter data T16ATC15 = MSB T16ATC0 = LSB	0x0 to 0xffff	0x0	R	
	0x5422							
	0x5442							
	0x5462 (16 bits)							

D[15:0] T16ATC[15:0]: Counter Data Bits

カウントデータが読み出せます。(デフォルト: 0x0)

カウント動作中でも、カウンタ値の読み出しが可能です。ただし、カウンタ値は16ビット転送命令で1度に読み出してください。8ビット転送命令で2回に分けて読み出すと、読み出しの間にカウンタアップが発生し、正しい値が読み出せないことがあります。

T16A Comparator/Capture Ch.x Control Registers (T16A_CCCTLx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
T16A Comparator/ Capture Ch.x Control Register (T16A_CCCTLx) (16 bits)	0x5404 0x5424 0x5444 0x5464 (16 bits)	D15–14	CAPBTRG [1:0]	Capture B trigger select	CAPBTRG[1:0]	Trigger edge 0x3 ↑ and ↓ 0x2 ↓ 0x1 ↑ 0x0 None	0x0	R/W		
		D13–12	TOUTBMD [1:0]	TOUT B mode select	TOUTBMD[1:0]	Mode 0x3 cmp B: ↑ or ↓ 0x2 cmp A: ↑ or ↓ 0x1 cmp A: ↑, B: ↓ 0x0 Off	0x0	R/W		
		D11–10	–	reserved	–	–	–	–		0 when being read.
		D9	TOUTBINV	TOUT B invert	1 Invert	0 Normal	0	R/W		
		D8	CCBMD	T16A_CCB register mode select	1 Capture	0 Comparator	0	R/W		
		D7–6	CAPATRGR [1:0]	Capture A trigger select	CAPATRGR[1:0]	Trigger edge 0x3 ↑ and ↓ 0x2 ↓ 0x1 ↑ 0x0 None	0x0	R/W		
		D5–4	TOUTAMD [1:0]	TOUT A mode select	TOUTAMD[1:0]	Mode 0x3 cmp B: ↑ or ↓ 0x2 cmp A: ↑ or ↓ 0x1 cmp A: ↑, B: ↓ 0x0 Off	0x0	R/W		
		D3–2	–	reserved	–	–	–	–		0 when being read.
		D1	TOUTAINV	TOUT A invert	1 Invert	0 Normal	0	R/W		
		D0	CCAMD	T16A_CCA register mode select	1 Capture	0 Comparator	0	R/W		

D[15:14] CAPBTRG[1:0]: Capture B Trigger Select Bits

キャプチャ Bレジスタにカウンタ値を取り込む、外部信号(CAP1/3/5/7)のトリガエッジを選択します。

表11.8.5 キャプチャ Bトリガエッジの選択

CAPBTRG[1:0]	トリガエッジ
0x3	立ち下がりとおよび立ち上がりエッジ
0x2	立ち下がリエッジ
0x1	立ち上がりエッジ
0x0	トリガなし

(デフォルト: 0x0)

CAPBTRG[1:0]はキャプチャモード用の制御ビットで、コンパレータモード時は無効です。

D[13:12] TOUTBMD[1:0]: TOUT B Mode Select Bits

TOUT B信号波形(TOUT1/3/5/7出力)をコンペアA信号とコンペアB信号でどのように変化させるか設定します。また、TOUT B出力のOn/Offも本ビットで制御します。

表11.8.6 TOUT B信号生成モード

TOUTBMD[1:0]	コンペアA発生時	コンペアB発生時
0x3	変化なし	トグル
0x2	トグル	変化なし
0x1	立ち上がり	立ち下がり
0x0	出力しない	

(デフォルト: 0x0)

TOUTBMD[1:0]はコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

D[11:10] Reserved

D9 TOUTBINV: TOUT B Invert Bit

TOUT B信号(TOUT1/3/5/7出力)の極性を選択します。

1(R/W): 反転(アクティブLow)

0(R/W): 通常(アクティブHigh) (デフォルト)

TOUTBINVに1を書き込むと、TOUT B出力用にアクティブLowの信号(Offレベル = High)が生成されます。TOUTBINVが0の場合は、アクティブHighの信号(Offレベル = Low)が生成されます。

TOUTBINVはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

D8 CCBMD: T16A_CCB Register Mode Select Bit

T16A_CCBxレジスタの機能(コンパレータモードまたはキャプチャモード)を選択します。

1(R/W): キャプチャモード

0(R/W): コンパレータモード(デフォルト)

CCBMDに1を書き込むと、T16A_CCBxレジスタは外部トリガ信号によってカウンタ値が取り込まれるキャプチャ Bレジスタとして機能します(キャプチャモード)。CCBMDが0の場合は、コンペアB信号を生成するための比較値を書き込んでおくコンペアBレジスタとして機能します(コンパレータモード)。

D[7:6] CAPATRG[1:0]: Capture A Trigger Select Bits

キャプチャ Aレジスタにカウンタ値を取り込む、外部信号(CAP0/2/4/6)のトリガエッジを選択します。

表11.8.7 キャプチャ Aトリガエッジの選択

CAPATRG[1:0]	トリガエッジ
0x3	立ち下がりおよび立ち上がりエッジ
0x2	立ち下がりエッジ
0x1	立ち上がりエッジ
0x0	トリガなし

(デフォルト: 0x0)

CAPATRG[1:0]はキャプチャモード用の制御ビットで、コンパレータモード時は無効です。

D[5:4] TOUTAMD[1:0]: TOUT A Mode Select Bits

TOUT A信号波形(TOUT0/2/4/6出力)をコンペアA信号とコンペアB信号でどのように変化させるか設定します。また、TOUT A出力のOn/Offも本ビットで制御します。

表11.8.8 TOUT A信号生成モード

TOUTAMD[1:0]	コンペアA発生時	コンペアB発生時
0x3	変化なし	トグル
0x2	トグル	変化なし
0x1	立ち上がり	立ち下がり
0x0	出力しない	

(デフォルト: 0x0)

TOUTAMD[1:0]はコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

D[3:2] Reserved**D1 TOUTAINV: TOUT A Invert Bit**

TOUT A信号(TOUT0/2/4/6出力)の極性を選択します。

1(R/W): 反転(アクティブLow)

0(R/W): 通常(アクティブHigh) (デフォルト)

TOUTAINVに1を書き込むと、TOUT A出力用にアクティブLowの信号(Offレベル = High)が生成されます。TOUTAINVが0の場合は、アクティブHighの信号(Offレベル = Low)が生成されます。

TOUTAINVはコンパレータモード用の制御ビットで、キャプチャモード時は無効です。

D0 CCAMD: T16A_CCA Register Mode Select Bit

T16A_CCAxレジスタの機能(コンパレータモードまたはキャプチャモード)を選択します。

1(R/W): キャプチャモード

0(R/W): コンパレータモード(デフォルト)

CCAMDに1を書き込むと、T16A_CCAxレジスタは外部トリガ信号によってカウンタ値が取り込まれるキャプチャ Aレジスタとして機能します(キャプチャモード)。CCAMDが0の場合は、コンペアA信号を生成するための比較値を書き込んでおくコンペアAレジスタとして機能します(コンパレータモード)。

T16A Comparator/Capture Ch.x A Data Registers (T16A_CCAx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A Comparator/Capture Ch.x A Data Register (T16A_CCAx)	0x5406 0x5426 0x5446 0x5466 (16 bits)	D15-0	CCA[15:0]	Compare/capture A data CCA15 = MSB CCA0 = LSB	0x0 to 0xffff	0x0	R/W	

D[15:0] CCA[15:0]: Compare/Capture A Data Bits

コンパレータモード時(CCAMD/ T16A_CCCTLxレジスタ = 0)

カウンタ値と比較するコンペアAデータを設定します。

CBUFEN/T16A_CTLxレジスタが0に設定されている場合、コンペアAデータはこのレジスタに書き込んでからT16Aのカウントクロックで2サイクル経過後にコンペアAレジスタに反映されます。

CBUFENが1に設定されている場合、このレジスタへのデータ書き込みはコンペアAバッファに対して行われます。バッファの内容はコンペアB信号が発生した時点でコンペアAレジスタにロードされます。読み出し時はCBUFENの設定にかかわらず、コンペアAレジスタがアクセスされます。

設定したデータがカウンタデータと比較され、内容が一致したところでコンペアA信号がアクティブになると同時に割り込み要因が発生します。また、TOUTAMD[1:0]/T16A_CCCTLxレジスタまたはTOUTBMD[1:0]/T16A_CCCTLxレジスタを0x2または0x1に設定している場合はTOUT出力波形が変化します。これらの処理は、カウンタのデータやカウントアップ動作には影響を与えません。

キャプチャモード時(CCAMD = 1)

CAPATRG[1:0]/T16A_CCCTLxレジスタで指定した外部トリガ信号(CAP0/2/4/6)のエッジによりカウンタ値がキャプチャされると、その値が本レジスタにロードされます。この時点でキャプチャ A割り込みを発生させることができますので、割り込み処理内で取り込まれたカウンタ値を読み出し可能です。

T16A Comparator/Capture Ch.x B Data Registers (T16A_CCBx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A Comparator/Capture Ch.x B Data Register (T16A_CCBx)	0x5408 0x5428 0x5448 0x5468 (16 bits)	D15-0	CCB[15:0]	Compare/capture B data CCB15 = MSB CCB0 = LSB	0x0 to 0xffff	0x0	R/W	

D[15:0] CCB[15:0]: Compare/Capture B Data Bits

コンパレータモード時(CCBMD/ T16A_CCCTLxレジスタ = 0)

カウンタ値と比較するコンペアBデータを設定します。

CBUFEN/T16A_CTLxレジスタが0に設定されている場合、コンペアBデータはこのレジスタに書き込んでからT16Aのカウントクロックで2サイクル経過後にコンペアBレジスタに反映されます。

CBUFENが1に設定されている場合、このレジスタへのデータ書き込みはコンペアBバッファに対して行われます。バッファの内容はコンペアB信号が発生した時点でコンペアBレジスタにロードされます。読み出し時はCBUFENの設定にかかわらず、コンペアBレジスタがアクセスされます。

設定したデータがカウンタデータと比較され、内容が一致したところでコンペアB信号がアクティブになると同時に割り込み要因が発生します。カウンタも0にリセットされます。また、TOUTAMD[1:0]/T16A_CCCTLxレジスタまたはTOUTBMD[1:0]/T16A_CCCTLxレジスタを0x3または0x1に設定している場合はTOUT出力波形が変化します。

キャプチャモード時(CCBMD = 1)

CAPBTRG[1:0]/T16A_CCCTLxレジスタで指定した外部トリガ信号(CAP1/3/5/7)のエッジによりカウンタ値がキャプチャされると、その値が本レジスタにロードされます。この時点でキャプチャ B割り込みを発生させることができますので、割り込み処理内で取り込まれたカウンタ値を読み出し可能です。

注: T16A_CCAxまたはT16A_CCBxレジスタに連続的にデータを書き込む場合、それぞれの書き込みをT16Aカウントクロック1サイクル以上の間隔を空けて行ってください。

T16A Comparator/Capture Ch.x Interrupt Enable Registers (T16A_IENx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A Comparator/Capture Ch.x Interrupt Enable Register (T16A_IENx)	0x540a	D15-6	—	reserved	—	—	—	0 when being read.
	0x542a	D5	CAPBOWIE	Capture B overwrite interrupt enable	1 Enable 0 Disable	0	R/W	
	0x544a	D4	CAPAOWIE	Capture A overwrite interrupt enable	1 Enable 0 Disable	0	R/W	
	0x546a (16 bits)	D3	CAPBIE	Capture B interrupt enable	1 Enable 0 Disable	0	R/W	
		D2	CAPAIE	Capture A interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	CBIE	Compare B interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	CAIE	Compare A interrupt enable	1 Enable 0 Disable	0	R/W	

D[15:6] Reserved

D5 CAPBOWIE: Capture B Overwrite Interrupt Enable Bit

キャプチャ Bオーバーライト割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAPBOWIEを1に設定するとITCへのキャプチャ Bオーバーライト割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D4 CAPAOWIE: Capture A Overwrite Interrupt Enable Bit

キャプチャ Aオーバーライト割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAPAOWIEを1に設定するとITCへのキャプチャ Aオーバーライト割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D3 CAPBIE: Capture B Interrupt Enable Bit

キャプチャ B割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAPBIEを1に設定するとITCへのキャプチャ B割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D2 CAPAIE: Capture A Interrupt Enable Bit

キャプチャ A割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAPAIEを1に設定するとITCへのキャプチャ A割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D1 CBIE: Compare B Interrupt Enable Bit

コンペアB割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CBIEを1に設定するとITCへのコンペアB割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D0 CAIE: Compare A Interrupt Enable Bit

コンペアA割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAIEを1に設定するとITCへのコンペアA割り込み要求が許可され、0に設定すると割り込みが禁止されます。

T16A Comparator/Capture Ch.x Interrupt Flag Registers (T16A_IFLGx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
T16A Comparator/ Capture Ch.x Interrupt Flag Register (T16A_IFLGx)	0x540c	D15-6	—	reserved	—		—	—	0 when being read.
	0x542c	D5	CAPBOWIF	Capture B overwrite interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
	0x544c	D4	CAPAOWIF	Capture A overwrite interrupt flag			0	R/W	
	0x546c (16 bits)	D3	CAPBIF	Capture B interrupt flag			0	R/W	
		D2	CAPAIF	Capture A interrupt flag			0	R/W	
		D1	CBIF	Compare B interrupt flag			0	R/W	
		D0	CAIF	Compare A interrupt flag			0	R/W	

D[15:6] Reserved

D5 **CAPBOWIF: Capture B Overwrite Interrupt Flag Bit**

キャプチャ Bオーバーライト割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

CAPBOWIFはT16A割り込みフラグで、キャプチャ Bレジスタが上書きされると1にセットされます。CAPBOWIFは1の書き込みによりリセットされます。

D4 **CAPAOWIF: Capture A Overwrite Interrupt Flag Bit**

キャプチャ Aオーバーライト割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

CAPAOWIFはT16A割り込みフラグで、キャプチャ Aレジスタが上書きされると1にセットされます。CAPAOWIFは1の書き込みによりリセットされます。

D3 **CAPBIF: Capture B Interrupt Flag Bit**

キャプチャ B割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

CAPBIFはT16A割り込みフラグで、カウンタ値がキャプチャ Bレジスタに取り込まれると1にセットされます。CAPBIFは1の書き込みによりリセットされます。

D2 **CAPAIF: Capture A Interrupt Flag Bit**

キャプチャ A割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

CAPAIFはT16A割り込みフラグで、カウンタ値がキャプチャ Aレジスタに取り込まれると1にセットされます。CAPAIFは1の書き込みによりリセットされます。

D1 **CBIF: Compare B Interrupt Flag Bit**

コンペアB割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

CBIFはT16A割り込みフラグで、カウンタがコンペアBレジスタの設定値に一致すると1にセットされます。CBIFは1の書き込みによりリセットされます。

D0 CAIF: Compare A Interrupt Flag Bit

コンペアA割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

CAIFはT16A割り込みフラグで、カウンタがコンペアAレジスタの設定値に一致すると1にセットされます。CAIFは1の書き込みによりリセットされます。

12 計時タイマ(CT)

12.1 CTモジュールの概要

S1C17554/564はOSC1クロックを源振とする計時タイマモジュール(CT)を内蔵しています。このタイマは周期的な割り込みを発生可能で、ソフトウェアによる計時機能を実現できます。

CTモジュールの主な機能と特長を以下に示します。

- 8ビットバイナリカウンタ(128Hz～1Hz)
- 32Hz、8Hz、2Hz、1Hz割り込みを発生可能

図12.1.1にCTの構成を示します。

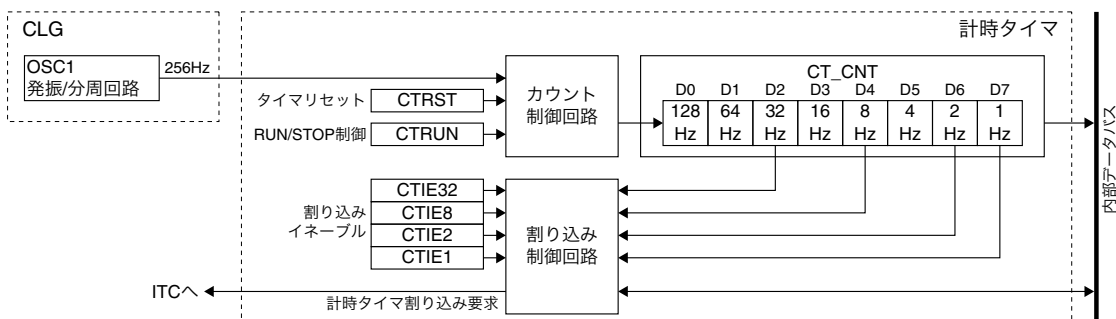


図12.1.1 CTの構成

CTモジュールはOSC1クロックを分周した256Hz信号を入力クロックとする8ビットのバイナリカウンタで構成され、各ビット(128～1Hz)のデータをソフトウェアによって読み出すことができます。また、計時タイマは32Hz、8Hz、2Hz、1Hzの各信号によって割り込みを発生させることができます。通常はこの計時タイマを、時計などのような各種の計時機能に使用します。

12.2 動作クロック

CTモジュールは、CLGモジュールが出力する256Hzクロックを動作クロックとして使用します。CLGモジュールはOSC1クロックを1/128に分周してこの動作クロックを生成します。したがって、OSC1クロック周波数が32.768kHzの場合に256Hzとなります。それ以外のOSC1クロック周波数では、本章に記載の周波数が変わります。

CLGモジュールに256Hzクロックの出力制御ビットは設けられていません。OSC1発振がOnの場合は、常に256Hzクロックが計時タイマに供給されます。

OSC1発振回路の制御については、“クロックジェネレータ(CLG)”の章を参照してください。

注: CTモジュールを動作させるには、その前にOSC1発振回路をOnさせておく必要があります。

12.3 タイマのリセット

タイマをリセットするには、CTRST/CT_CTLレジスタに1を書き込みます。カウンタが0にクリアされます。この操作以外では、イニシャルリセットによりカウンタがクリアされます。

12.4 タイマRUN/STOP制御

タイマの動作を開始させる前に、以下の設定を行ってください。

- (1) 割り込みを使用する場合は、割り込みレベルを設定し、計時タイマの割り込みを許可します。12.5節を参照してください。
- (2) タイマをリセットします。12.3節を参照してください。

12 計時タイマ(CT)

計時タイマには、Run/Stopを制御するCTRUN/CT_CTLレジスタが設けられています。

計時タイマはCTRUNに1を書き込むことによって動作を開始します。CTRUNに0を書き込むとクロックの入力が禁止され、動作は停止します。

この制御はカウンタ(CT_CNTレジスタ)のデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。CTRUNとCTRSTと同時に1を書き込んだ場合、計時タイマはカウンタをリセット後にカウントを開始します。

カウント中は32Hz、8Hz、2Hz、1Hz信号の立ち下がりエッジでそれぞれの割り込み要因が発生します。割り込みを許可している場合は、割り込み要求が割り込みコントローラ(ITC)に送られます。

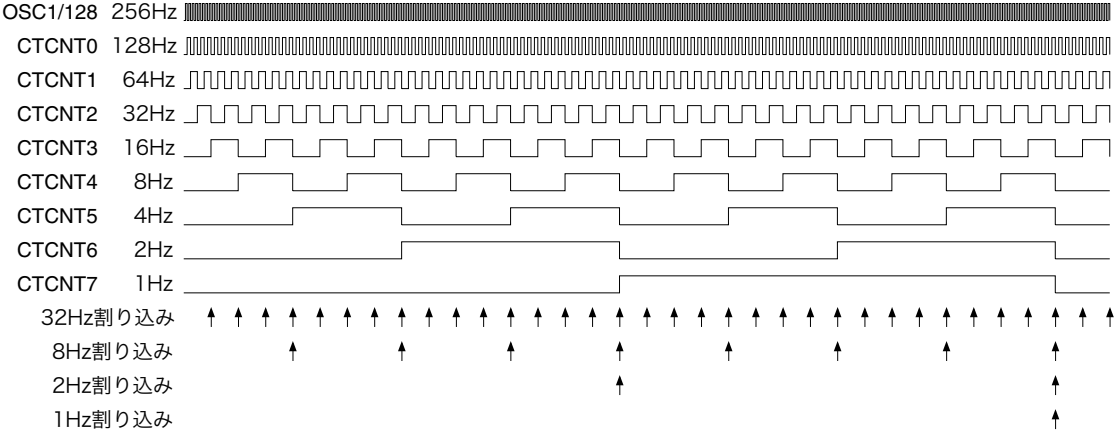


図12.4.1 計時タイマのタイミングチャート

注: • タイマはCTRUNへの書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRun/Stop状態となります。したがって、CTRUNに0を書き込んだ場合は、“+1”余分にカウントしたところでタイマが停止状態となります。また、このときCTRUNは実際にタイマがStop状態となるまで、読み出しに対して1を保持します。図12.4.2にRun/Stop制御のタイミングチャートを示します。

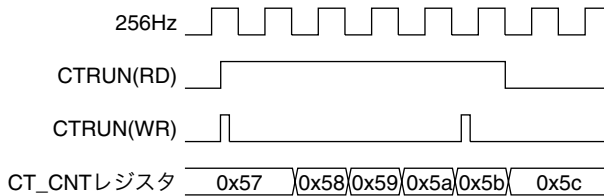


図12.4.2 Run/Stop制御のタイミングチャート

- タイマが動作している状態(CTRUN = 1)でslp命令を実行した場合は、SLEEP状態からの復帰時にタイマが不安定な動作となります。したがって、SLEEP状態へ移行する場合は、slp命令の実行以前に計時タイマを停止状態(CTRUN = 0)に設定してください。

12.5 CT割り込み

CTモジュールには、以下の4種類の割り込みを発生させる機能があります。

- 32Hz割り込み
- 8Hz割り込み
- 2Hz割り込み
- 1Hz割り込み

CTモジュールは、上記4種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、CTモジュール内の割り込みフラグを読み出してください。

32Hz、8Hz、2Hz、1Hz割り込み

32Hz、8Hz、2Hz、1Hz信号の立ち下がりエッジで、CTモジュール内の割り込みフラグが1にセットされます。割り込みフラグに対応する割り込みイネーブルビットが1(割り込み許可)に設定されている場合、同時に割り込み要求がITCに出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。割り込みイネーブルビットが0(割り込み禁止、デフォルト)に設定されていると、その要因による割り込み要求はITCに送られません。

表12.5.1 計時タイマ割り込みフラグと割り込みイネーブルビット

割り込み要因	割り込みフラグ	割り込みイネーブルビット
32Hz割り込み	CTIF32/CT_IFLGレジスタ	CTIE32/CT_IMSKレジスタ
8Hz割り込み	CTIF8/CT_IFLGレジスタ	CTIE8/CT_IMSKレジスタ
2Hz割り込み	CTIF2/CT_IFLGレジスタ	CTIE2/CT_IMSKレジスタ
1Hz割り込み	CTIF1/CT_IFLGレジスタ	CTIE1/CT_IMSKレジスタ

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

- 注:
- CT割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、CTモジュール内の割り込みフラグをリセットする必要があります。
 - 不要な割り込みの発生を防止するため、割り込みイネーブルビットによってCT割り込みを許可する前に、割り込みフラグをリセットしてください。割り込みフラグは1の書き込みによりリセットされます。

12.6 制御レジスタ詳細

表12.6.1 CTレジスタ一覧

アドレス	レジスタ名		機 能
0x5000	CT_CTL	Clock Timer Control Register	タイマのリセットとRUN/STOP制御
0x5001	CT_CNT	Clock Timer Counter Register	カウンタデータ
0x5002	CT_IMSK	Clock Timer Interrupt Mask Register	割り込みマスクの設定
0x5003	CT_IFLG	Clock Timer Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、CTモジュールのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

Clock Timer Control Register (CT_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Timer Control Register (CT_CTL)	0x5000 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	CTRST	Clock timer reset	1 Reset 0 Ignored	0	W	
		D3-1	—	reserved	—	—	—	
		D0	CTRUN	Clock timer run/stop control	1 Run 0 Stop	0	R/W	

D[7:5] Reserved

D4 CTRST: Clock Timer Reset Bit

タイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、カウンタが0x0にリセットされます。タイマがRun状態でリセットを行うとリセット直後にリスタートします。また、Stop状態の場合はリセットデータ0x0が保持されます。

D[3:1] Reserved

D0 CTRUN: Clock Timer Run/Stop Control Bit

タイマのRun/Stopを制御します。

1(R/W): Run

0(R/W): Stop(デフォルト)

タイマはCTRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。Stop状態ではリセットか次にRun状態にするまで、カウンタのデータは保持されます。

Clock Timer Counter Register (CT_CNT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Timer Counter Register (CT_CNT)	0x5001 (8 bits)	D7-0	CTCNT[7:0]	Clock timer counter value	0x0 to 0xff	0x0	R	

D[7:0] CTCNT[7:0]: Clock Timer Counter Value Bits

カウンタデータが読み出せます。(デフォルト: 0x0)

このレジスタはリードオンリのため、データの書き込みはできません。

各ビットと周波数の対応は以下のとおりです。

D7: 1Hz

D6: 2Hz

D5: 4Hz

D4: 8Hz

D3: 16Hz

D2: 32Hz

D1: 64Hz

D0: 128Hz

注: カウント動作中にこのレジスタを読み出すと、カウンタ値が正しく読み出されない(読み出し値が不定になる)ことがあります。カウンタ値を2回続けて読み出し、2回とも同じ結果が得られた場合にその値を有効としてください。

Clock Timer Interrupt Mask Register (CT_IMSK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Timer Interrupt Mask Register (CT_IMSK)	0x5002 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3	CTIE32	32 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D2	CTIE8	8 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	CTIE2	2 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	CTIE1	1 Hz interrupt enable	1 Enable 0 Disable	0	R/W	

本レジスタは、CTモジュールの32Hz、8Hz、2Hz、1Hz信号による割り込み要求を個々に許可または禁止します。CTIE*ビットを1に設定すると、対応する周波数の信号の立ち上がりエッジによるCT割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D[7:4] Reserved**D3 CTIE32: 32 Hz Interrupt Enable Bit**

32Hz信号による割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

D2 CTIE8: 8 Hz Interrupt Enable Bit

8Hz信号による割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

D1 CTIE2: 2 Hz Interrupt Enable Bit

2Hz信号による割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

D0 CTIE1: 1 Hz Interrupt Enable Bit

1Hz信号による割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

Clock Timer Interrupt Flag Register (CT_IFLG)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Clock Timer Interrupt Flag Register (CT_IFLG)	0x5003 (8 bits)	D7-4	—	reserved	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	—	—	0 when being read.
		D3	CTIF32	32 Hz interrupt flag					0	R/W	Reset by writing 1.
		D2	CTIF8	8 Hz interrupt flag					0	R/W	
		D1	CTIF2	2 Hz interrupt flag					0	R/W	
		D0	CTIF1	1 Hz interrupt flag					0	R/W	

本レジスタは、CTモジュールの32Hz、8Hz、2Hz、1Hz信号による割り込み要因の発生状態を示します。CT割り込みが発生した場合は、本レジスタの割り込みフラグを読み出して発生した割り込み要因(周波数)を特定してください。CTIF*は32Hz、8Hz、2Hz、1Hz割り込みに対応するCTモジュールの割り込みフラグで、各信号の立ち下がりエッジで1にセットされます。CTIF*は1の書き込みによりリセットされます。

D[7:4] Reserved**D3 CTIF32: 32 Hz Interrupt Flag Bit**

32Hz割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

D2 CTIF8: 8 Hz Interrupt Flag Bit

8Hz割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

D1 CTIF2: 2 Hz Interrupt Flag Bit

2Hz割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

D0 CTIF1: 1 Hz Interrupt Flag Bit

1Hz割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

13 ストップウォッチタイマ(SWT)

13.1 SWTモジュールの概要

S1C17554/564はOSC1クロックを源振とする1/100秒ストップウォッチタイマモジュール(SWT)を内蔵しています。このタイマを使用して、ソフトウェアによるストップウォッチ機能を実現できます。SWTモジュールの主な機能と特長を以下に示します。

- 2段の4ビットBCDカウンタ(近似1/100秒 + 近似1/10秒カウンタ)
- 近似100Hz、近似10Hz、1Hz割り込みを発生可能

図13.1.1にSWTの構成を示します。

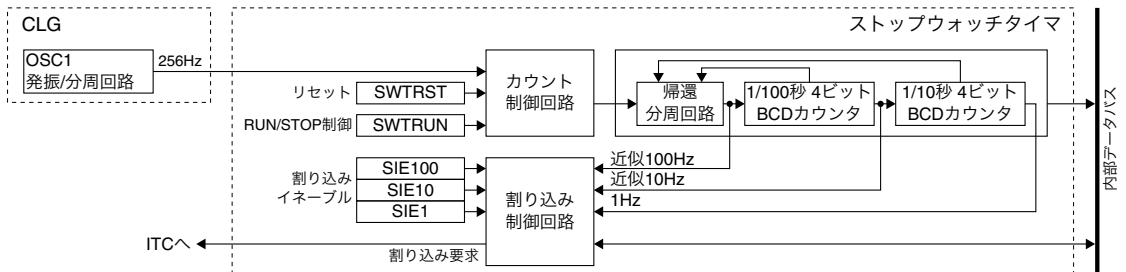


図13.1.1 SWTの構成

SWTモジュールはOSC1クロックを分周した256Hz信号を入力クロックとする2段の4ビットBCDカウンタ(1/100秒単位、1/10秒単位)で構成され、カウンタデータをソフトウェアによって読み出すことができます。また、SWTモジュールは100Hz(近似100Hz)、10Hz(近似10Hz)、1Hzの各信号によって割り込みを発生させることができます。

13.2 動作クロック

SWTモジュールは、CLGモジュールが出力する256Hzクロックを動作クロックとして使用します。CLGモジュールはOSC1クロックを1/128に分周してこの動作クロックを生成します。したがって、OSC1クロック周波数が32.768kHzの場合に256Hzとなります。それ以外のOSC1クロック周波数では、本章に記載の周波数が変わります。CLGモジュールに256Hzクロックの出力制御ビットは設けられていません。OSC1発振がOnの場合は、常に256HzクロックがSWTモジュールに供給されます。OSC1発振回路の制御については、“クロックジェネレータ(CLG)”の章を参照してください。

注: SWTモジュールを動作させるには、その前にOSC1発振回路をOnさせておく必要があります。

13.3 BCDカウンタ

SWTモジュールは、1/100秒と1/10秒の2個の4ビットBCDカウンタで構成されています。1/100秒と1/10秒のカウント値は、それぞれBCD100[3:0]/SWT_BCNTレジスタ、BCD10[3:0]/SWT_BCNTレジスタから読み出し可能です。

カウントアップパターン

256Hzクロックから100Hz信号、10Hz信号、1Hz信号を生成するため、帰還分周回路を使用して図13.3.1のようにカウンタのカウントアップパターンを変化させています。

13 ストップウォッチタイム(SWT)

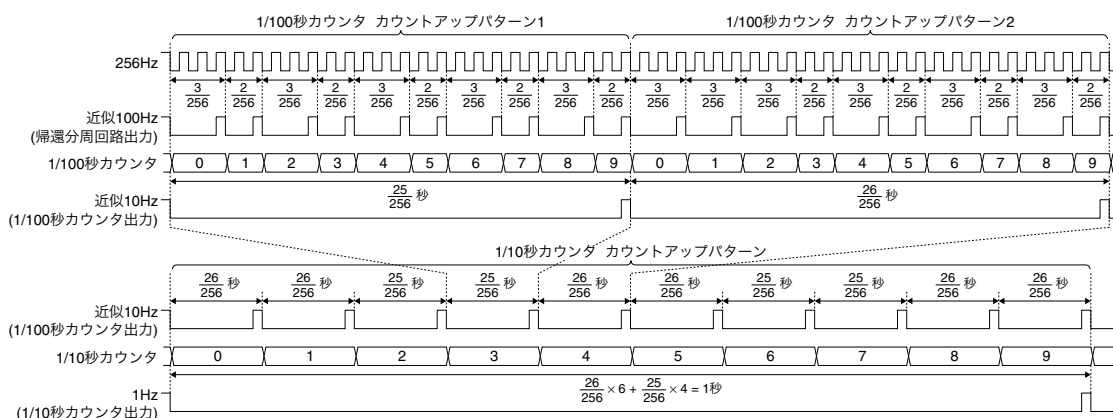


図13.3.1 SWTのカウントアップパターン

帰還分周回路はCLGモジュールから供給される256Hz信号から2/256秒と3/256秒間隔の近似100Hz信号を発生します。

1/100秒カウンタは帰還分周回路が出力する近似100Hz信号をカウントして、25/256秒と26/256秒間隔の近似10Hz信号を発生します。カウントアップは、2/256秒と3/256秒間隔による擬似的な1/100秒カウントとなります。

1/10秒カウンタは、1/100秒カウンタが発生する近似10Hz信号を4:6の割合でカウントして、1Hz信号を発生します。カウントアップは、25/256秒と26/256秒間隔による擬似的な1/10秒カウントとなります。

13.4 タイマのリセット

SWTモジュールをリセットするには、SWTRST/SWT_CTLレジスタに1を書き込みます。カウンタが0にクリアされます。この操作以外では、イニシャルリセットによりカウンタがクリアされます。

13.5 タイマRUN/STOP制御

SWTモジュールの動作を開始させる前に、以下の設定を行ってください。

- (1) 割り込みを使用する場合は、割り込みレベルを設定し、SWTモジュールの割り込みを許可します。13.6節を参照してください。
- (2) タイマをリセットします。13.4節を参照してください。

SWTモジュールには、Run/Stopを制御するSWTRUN/SWT_CTLレジスタが設けられています。

タイマはSWTRUNに1を書き込むことによって動作を開始します。SWTRUNに0を書き込むとクロックの入力が禁止され、動作は停止します。

この制御はカウンタ(SWT_BCNTレジスタ)のデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。SWTRUNとSWTRSTに同時に1を書き込んだ場合、タイマはカウンタをリセット後にカウントを開始します。

カウント中は100Hz(近似100Hz)、10Hz(近似10Hz)、1Hz信号の立ち下がりエッジでそれぞれの割り込み要因が発生します。割り込みを許可している場合は、割り込み要求が割り込みコントローラ(ITC)に送られます。

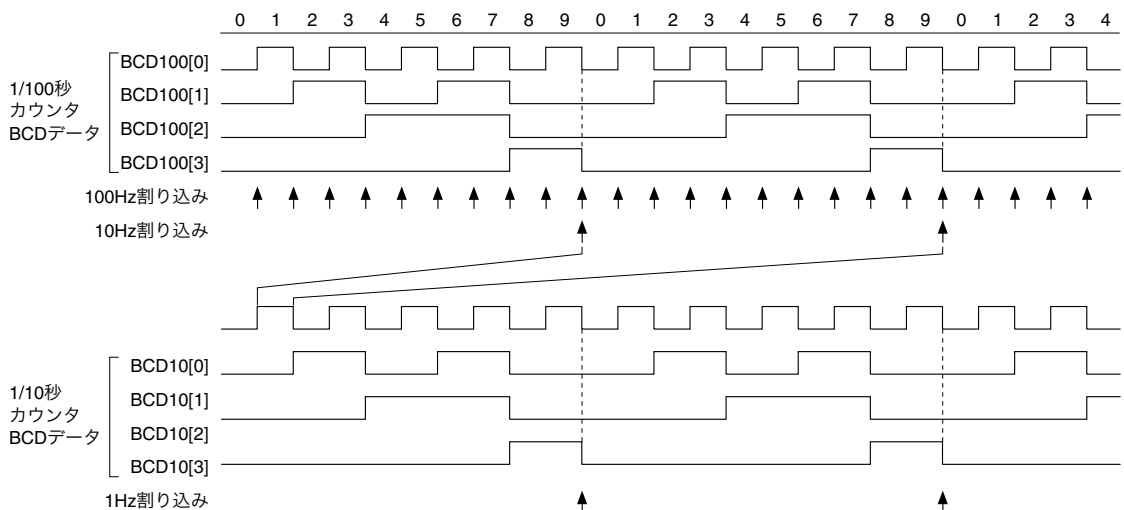


図13.5.1 SWTのタイミングチャート

注: タイマはSWTRUNへの書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRun/Stop状態となる場合があります。したがって、SWTRUNに0を書き込んだ場合は、“+1”余分にカウントしたところでタイマが停止状態となります。また、このときSWTRUNは実際にタイマがStop状態となるまで、読み出しに対して1を保持します。

図13.5.2にRun/Stop制御のタイミングチャートを示します。

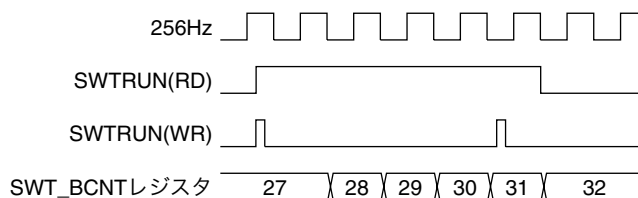


図13.5.2 Run/Stop制御のタイミングチャート

- SWTモジュールが動作している状態 (SWTRUN = 1) で `sleep` 命令を実行した場合は、SLEEP状態からの復帰時にタイマが不安定な動作となります。したがって、SLEEP状態へ移行する場合は、`sleep` 命令の実行以前にSWTモジュールを停止状態 (SWTRUN = 0) に設定してください。

13.6 SWT割り込み

SWTモジュールには、以下の3種類の割り込みを発生させる機能があります。

- 100Hz割り込み
- 10Hz割り込み
- 1Hz割り込み

SWTモジュールは、上記3種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ (ITC) に対して出力します。発生した割り込み要因を特定するには、SWTモジュール内の割り込みフラグを読み出してください。

100Hz、10Hz、1Hz割り込み

100Hz (近似100Hz)、10Hz (近似10Hz)、1Hz信号の立ち下がりエッジで、SWTモジュール内の割り込みフラグが1にセットされます。割り込みフラグに対応する割り込みイネーブルビットが1 (割り込み許可) に設定されている場合、同時に割り込み要求がITCに出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。割り込みイネーブルビットが0 (デフォルト) に設定されていると、その要因による割り込み要求はITCに送られません。

表13.6.1 SWT割り込みフラグと割り込みイネーブルビット

割り込み要因	割り込みフラグ	割り込みイネーブルビット
100Hz割り込み	SIF100/SWT_IFLGレジスタ	SIE100/SWT_IMSKレジスタ
10Hz割り込み	SIF10/SWT_IFLGレジスタ	SIE10/SWT_IMSKレジスタ
1Hz割り込み	SIF1/SWT_IFLGレジスタ	SIE1/SWT_IMSKレジスタ

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

- 注: • SWT割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、SWTモジュール内の割り込みフラグをリセットする必要があります。
- 不要な割り込みの発生を防止するため、割り込みイネーブルビットによってSWT割り込みを許可する前に、割り込みフラグをリセットしてください。割り込みフラグは1の書き込みによりリセットされます。

13.7 制御レジスタ詳細

表13.7.1 SWTレジスタ一覧

アドレス	レジスタ名		機 能
0x5020	SWT_CTL	Stopwatch Timer Control Register	タイマのリセットとRUN/STOP制御
0x5021	SWT_BCNT	Stopwatch Timer BCD Counter Register	BCDカウンタデータ
0x5022	SWT_IMSK	Stopwatch Timer Interrupt Mask Register	割り込みマスクの設定
0x5023	SWT_IFLG	Stopwatch Timer Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、SWTモジュールのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

Stopwatch Timer Control Register (SWT_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Stopwatch Timer Control Register (SWT_CTL)	0x5020 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	SWTRST	Stopwatch timer reset	1 Reset 0 Ignored	0	W	
		D3-1	—	reserved	—	—	—	
		D0	SWTRUN	Stopwatch timer run/stop control	1 Run 0 Stop	0	R/W	

D[7:5] Reserved

D4 SWTRST: Stopwatch Timer Reset Bit

SWTモジュールをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、カウンタが0x0にリセットされます。タイマがRun状態でリセットを行うとリセット直後にリスタートします。また、Stop状態の場合はリセットデータ0x0が保持されます。

D[3:1] Reserved

D0 SWTRUN: Stopwatch Timer Run/Stop Control Bit

タイマのRun/Stopを制御します。

1(R/W): Run

0(R/W): Stop(デフォルト)

タイマはSWTRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。Stop状態ではリセットか次にRun状態にするまで、カウンタのデータは保持されます。

Stopwatch Timer BCD Counter Register (SWT_BCNT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Stopwatch Timer BCD Counter Register (SWT_BCNT)	0x5021 (8 bits)	D7-4	BCD10[3:0]	1/10 sec. BCD counter value	0 to 9	0	R	
		D3-0	BCD100[3:0]	1/100 sec. BCD counter value	0 to 9	0	R	

D[7:4] BCD10[3:0]: 1/10 Sec. BCD Counter Value

1/10秒カウンタのBCDデータが読み出せます。(デフォルト: 0)
このレジスタはリードオンリのため、データの書き込みはできません。

D[3:0] BCD100[3:0]: 1/100 Sec. BCD Counter Value

1/100秒カウンタのBCDデータが読み出せます。(デフォルト: 0)
このレジスタはリードオンリのため、データの書き込みはできません。

注: カウント動作中にこのレジスタを読み出すと、カウンタ値が正しく読み出されない(読み出し値が不定になる)ことがあります。カウンタ値を2回続けて読み出し、2回とも同じ結果が得られた場合にその値を有効としてください。

Stopwatch Timer Interrupt Mask Register (SWT_IMSK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Stopwatch Timer Interrupt Mask Register (SWT_IMSK)	0x5022 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2	SIE1	1 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	SIE10	10 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	SIE100	100 Hz interrupt enable	1 Enable 0 Disable	0	R/W	

本レジスタは、SWTモジュールの100Hz、10Hz、1Hz信号による割り込み要求を個々に許可または禁止します。SIE*ビットを1に設定すると、対応する周波数の信号の立ち下がりエッジによるSWT割り込み要求が許可され、0に設定すると割り込みが禁止されます。

D[7:3] Reserved

D2 SIE1: 1 Hz Interrupt Enable Bit

1Hz信号による割り込みを許可または禁止します。
1(R/W): 割り込み許可
0(R/W): 割り込み禁止(デフォルト)

D1 SIE10: 10 Hz Interrupt Enable Bit

10Hz信号による割り込みを許可または禁止します。
1(R/W): 割り込み許可
0(R/W): 割り込み禁止(デフォルト)

D0 SIE100: 100 Hz Interrupt Enable Bit

100Hz信号による割り込みを許可または禁止します。
1(R/W): 割り込み許可
0(R/W): 割り込み禁止(デフォルト)

Stopwatch Timer Interrupt Flag Register (SWT_IFLG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Stopwatch Timer Interrupt Flag Register (SWT_IFLG)	0x5023 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2	SIF1	1 Hz interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D1	SIF10	10 Hz interrupt flag		0	R/W	
		D0	SIF100	100 Hz interrupt flag		0	R/W	

本レジスタは、SWTモジュールの100Hz、10Hz、1Hz信号による割り込み要因の発生状態を示します。SWT割り込みが発生した場合は、本レジスタの割り込みフラグを読み出して発生した割り込み要因(周波数)を特定してください。

SIF*は100Hz、10Hz、1Hz割り込みに個々に対応するSWTモジュールの割り込みフラグで、各信号の立ち下がりエッジで1にセットされます。SIF*は1の書き込みによりリセットされます。

D[7:3] Reserved

D2 SIF1: 1 Hz Interrupt Flag Bit

1Hz割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

D1 SIF10: 10 Hz Interrupt Flag Bit

10Hz割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

D0 SIF100: 100 Hz Interrupt Flag Bit

100Hz割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

14 ウォッチドッグタイマ(WDT)

14.1 WDTモジュールの概要

S1C17554/564はOSC1発振回路を源振とするウォッチドッグタイマモジュール(WDT)を内蔵しています。このタイマはCPUの暴走検出に使用します。

WDTモジュールの主な機能と特長を以下に示します。

- 10ビットアップカウンタ
- カウンタのオーバーフローによりリセットまたはNMIを発生可能

図14.1.1にWDTの構成を示します。

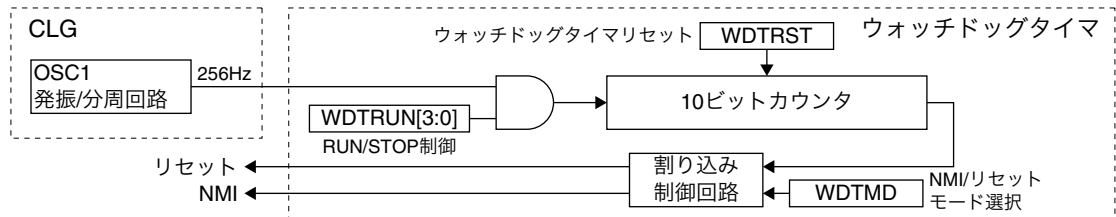


図14.1.1 WDTの構成

WDTモジュールは $131072/f_{osc1}$ 秒($f_{osc1} = 32.768\text{kHz}$ の場合4秒)以上リセットが行われない場合、CPUに対してNMIまたはリセット(ソフトウェアで選択可能)を発生します。

ソフトウェアによってこの周期以内にWDTをリセットし、NMI/リセットが発生しないように処理しておくことで、その処理ルーチンを通らないようなプログラムの暴走を検出することができます。

14.2 動作クロック

WDTモジュールは、CLGモジュールが出力する256Hzクロックを動作クロックとして使用します。

CLGモジュールはOSC1クロックを1/128に分周してこの動作クロックを生成します。したがって、OSC1クロック周波数が32.768kHzの場合に256Hzとなります。それ以外のOSC1クロック周波数では、本章に記載の周波数や時間が変わります。

CLGモジュールに256Hzクロックの出力制御ビットは設けられていません。OSC1発振がOnの場合は、常に256HzクロックがWDTモジュールに供給されます。

OSC1発振回路の制御については、“クロックジェネレータ(CLG)”の章を参照してください。

14.3 WDTの制御

14.3.1 NMI/リセットモードの選択

NMI/リセット発生周期以内にWDTがリセットされなかった場合に、NMI信号を出力するかリセット信号を出力するかWDTMD/WDT_STレジスタで選択できます。

NMIを発生させるにはWDTMDを0(デフォルト)に、リセットを発生させるには1に設定します。

14.3.2 WDTのRUN/STOP制御

WDTはWDRUN[3:0]/WDT_CTLレジスタに0b1010以外の値を書き込むことでカウントを開始し、0b1010を書き込むと停止します。

イニシャルリセット時はWDRUN[3:0]が0b1010に設定され、WDTは停止状態となります。

カウンタの値によってはRun直後にNMI/リセットが発生する場合がありますので、WDTをRunさせる際には次節で説明するWDTのリセットも同時に行ってください。

14.3.3 WDTのリセット

WDTをリセットするには、WDTRST/WDT_CTLレジスタに1を書き込みます。
WDTを使用する場合は、NMI/リセットが発生する前にWDTをリセットするルーチンを定期的に処理される場所に用意しておきます。このルーチンは $131072/f_{osc1}$ 秒($f_{osc1} = 32.768\text{kHz}$ の場合4秒)周期以内で処理されるようにしてください。リセット後、WDTは新たなNMI/リセット発生周期のカウントを始めます。
何らかの原因によってWDTがNMI/リセット発生周期以内にリセットされなかった場合、NMIまたはリセットによってCPUは割り込み処理に移行し、割り込みベクタを読み出して割り込み処理ルーチンを実行します。
リセットのベクタアドレスはTTBR + 0x0、NMIのベクタアドレスはTTBR + 0x08です。
WDTがリセットされずにカウンタがオーバーフローしてNMIが発生した場合は、WDTST/WDT_STレジスタが1に設定されます。
このビットはNMIの発生元がWDTであることを確認するために設けられています。
1にセットされたWDTSTはWDTをリセットすることで0にクリアされます。

14.3.4 HALT, SLEEPモード時の動作

HALTモード時

HALTモード時はクロックが供給されるため、WDTは動作します。したがって、NMI/リセット発生周期以上、HALTモードを続けるとNMIまたはリセットによりHALTモードが解除されます。
HALTモード時にWDTを無効にするには、halt命令実行前にWDTRUN[3:0]/WDT_CTLレジスタに0b1010を書き込んでWDTを停止させてください。HALTモードを解除した後は、動作を再開させる前にWDTをリセットしてください。

SLEEPモード時

SLEEPモード時はCLGモジュールからのクロックの供給が停止します。したがって、WDTも動作を停止します。SLEEPモード解除後に不要なNMIまたはリセットが発生することを防ぐため、slp命令の実行前にWDTをリセットしてください。また、必要に応じWDTRUN[3:0]によってWDTを停止させてください。

14.4 制御レジスタ詳細

表14.4.1 WDTレジスタ一覧

アドレス	レジスタ名		機能
0x5040	WDT_CTL	Watchdog Timer Control Register	タイマのリセットとRUN/STOP制御
0x5041	WDT_ST	Watchdog Timer Status Register	タイマモードの設定とNMI状態表示

以下、WDTモジュールのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

Watchdog Timer Control Register (WDT_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Watchdog Timer Control Register (WDT_CTL)	0x5040 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	WDTRST	Watchdog timer reset	1 Reset 0 Ignored	0	W	
		D3-0	WDTRUN[3:0]	Watchdog timer run/stop control	Other than 1010 Run 1010 Stop	1010	R/W	

D[7:5] Reserved

D4 WDTRST: Watchdog Timer Reset Bit

WDTをリセットします。
1(W): リセット
0(W): 無効
0(R): 読み出し時は常時0(デフォルト)

注: WDTを使用する場合は、NMI/リセット発生周期($f_{OSC1} = 32.768\text{kHz}$ の場合4秒)以内に本ビットに1を書き込み、WDTをリセットする必要があります。この書き込みでアップカウンタは0にリセットされ、そこから新たなNMI/リセット発生周期のカウントを始めます。

D[3:0] WDRUN[3:0]: Watchdog Timer Run/Stop Control Bits

WDTのRun/Stopを制御します。

0b1010以外(R/W): Run

0b1010(R/W): Stop(デフォルト)

注: WDTをRunさせる場合は、不要なNMIまたはリセットの発生を防ぐため、必ずWDTのリセットも行ってください。

Watchdog Timer Status Register (WDT_ST)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
Watchdog Timer Status Register (WDT_ST)	0x5041 (8 bits)	D7-2	—	reserved	—		—	—	0 when being read.	
		D1	WDTMD	NMI/Reset mode select	1	Reset	0	NMI	0	R/W
		D0	WDTST	NMI status	1	NMI occurred	0	Not occurred	0	R

D[7:2] Reserved

D1 WDTMD: NMI/Reset Mode Select Bit

カウンタのオーバーフロー時にNMIとリセットのどちらを発生させるか選択します。

1(R/W): リセット

0(R/W): NMI(デフォルト)

本ビットを1に設定すると、カウンタがオーバーフローした時点でリセット信号を出力します。0に設定した場合はNMI信号を出力します。

D0 WDTST: NMI Status Bit

カウンタがオーバーフローしてNMIが発生したことを示します。

1(R): NMI発生(カウンタオーバーフロー)

0(R): NMI未発生(デフォルト)

このビットはNMIの発生元がWDTであることを確認するために設けられています。1にセットされたWDTSTはWDTをリセットすることで0にクリアされます。

リセット出力選択時も、カウンタオーバーフローで一旦セットされますが、イニシャルリセットによりクリアされ確認することはできません。

15 UART

15.1 UARTモジュールの概要

S1C17554/564は、2系統の非同期通信チャネルを持つUARTモジュールを内蔵しています。2バイトの受信データバッファと1バイトの送信データバッファを備え、連続した送受信が可能です。また、本UARTモジュールにはRZI変調/復調回路が組み込まれており、簡単な外付け回路の追加のみで、IrDA 1.0に対応する赤外線通信回路を構成することができます。

UARTモジュールの主な機能と特長を以下に示します。

- ・ 転送レート: 150～960kbps (IrDAモードでは150～115,200bps)
- ・ 転送クロック: 内部クロック (ボーレートジェネレータ出力) または外部クロック (SCLK入力) を選択可能
- ・ データ長: 7または8ビット (LSB先頭)
- ・ パリティモード: 偶数、奇数、パリティなし
- ・ ストップビット: 1または2ビット
- ・ スタートビット: 1ビット固定
- ・ 全二重通信に対応
- ・ 2バイトの受信データバッファと1バイトの送信データバッファを内蔵
- ・ ファインモード (微調整機能) 付きボーレートジェネレータを内蔵
- ・ 内蔵RZI変調/復調回路によりIrDA 1.0赤外線通信に対応
- ・ パリティエラー、フレーミングエラー、オーバーランエラーを検出可能
- ・ 受信バッファフル、送信バッファエンpty、転送終了、受信エラー割り込みを発生可能

図15.1.1に、UARTの構成を示します。

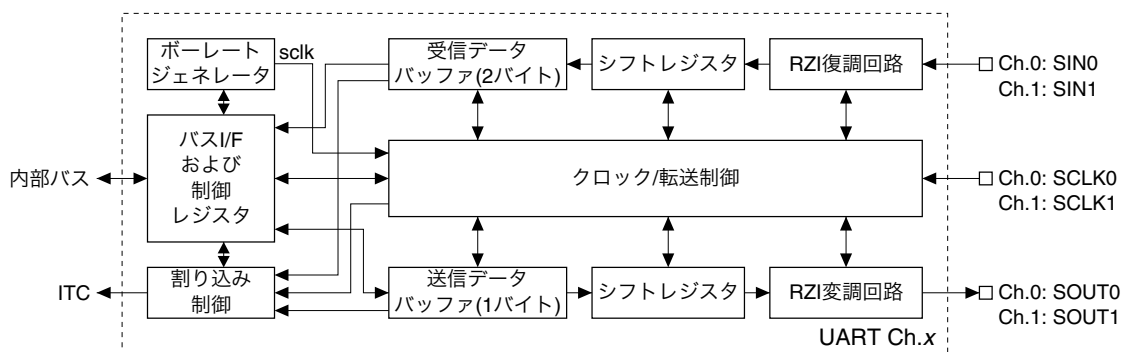


図15.1.1 UARTの構成

注: 2チャネルのUARTモジュールは、制御レジスタのアドレスを除きすべて同じ機能を持っていますので、本節内の説明はUARTの全チャネルに適用されます。レジスタ名の‘x’はチャネル番号(0または1)を表します。

例: UART_CTLxレジスタ

Ch.0: UART_CTL0レジスタ

Ch.1: UART_CTL1レジスタ

15.2 UART入出力端子

表15.2.1にUARTモジュールの入出力端子の一覧を示します。

表15.2.1 UART端子一覧

端子名	I/O	本数	機 能
SINO (Ch.0) SIN1 (Ch.1)	I	2	UART Ch.xデータ入力端子 外部シリアルデバイスから送られるシリアルデータを入力します。
SOUT0 (Ch.0) SOUT1 (Ch.1)	O	2	UART Ch.xデータ出力端子 外部シリアルデバイスに送るシリアルデータを出力します。
SCLK0 (Ch.0) SCLK1 (Ch.1)	I	2	UART Ch.xクロック入力端子 転送クロックに外部クロックを使用する場合に、この端子から入力します。

UARTモジュールの入出力端子(SIN_x、SOUT_x、SCLK_x)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをUARTの入出力端子として使用するには、ポート機能選択ビットの設定により端子機能を切り換える必要があります。
端子の機能と切り換えの詳細については、“入出力ポート(P)”の章を参照してください。

15.3 ボーレートジェネレータ

UARTモジュールは転送(サンプリング)クロックを生成するボーレートジェネレータを内蔵しています。ボーレートジェネレータはファインモード付き8ビットプログラマブルタイマで構成されます。タイマはソフトウェアで設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。このアンダーフロー信号から転送クロックが生成されます。アンダーフロー周期はクロックソースとカウンタ初期値の選択によりプログラム可能なため、アプリケーションプログラムは任意のシリアル転送速度を得ることができます。ファインモードは、転送レートの誤差を最小限に抑える機能を提供します。

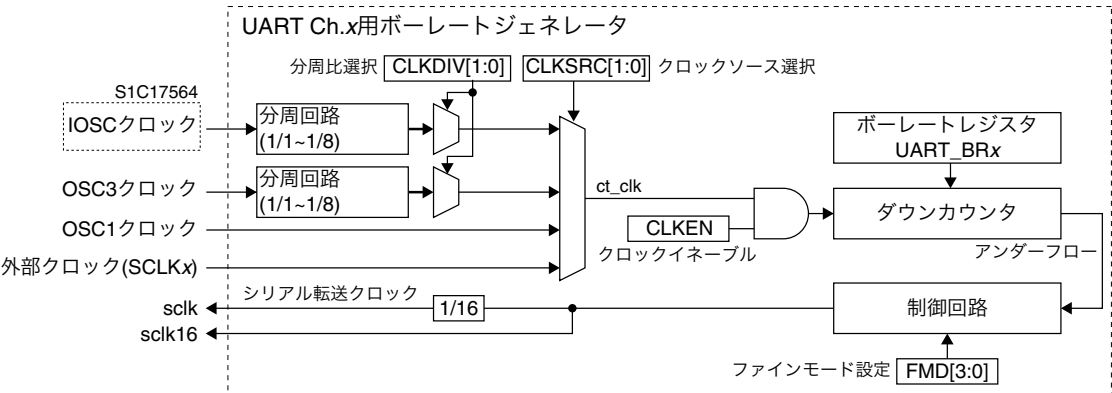


図15.3.1 ボーレートジェネレータ

クロックソースの設定

クロックソースは、CLKSRC[1:0]/UART_CLK_xレジスタを使用してIOSC(S1C17564)、OSC3、OSC1、外部クロックから選択します。

表15.3.1 クロックソースの選択

CLKSRC[1:0]	クロックソース
0x3	外部クロック (SCLK _x)
0x2	OSC3
0x1	OSC1
0x0	IOSC (S1C17564)

(デフォルト: 0x0)

注: SCLK_x端子から外部クロックを入力する場合、クロックのデューティ比は50%である必要があります。

IOSCまたはOSC3をクロックソースとする場合は、CLKDIV[1:0]/UART_CLKxレジスタで分周比を選択します。

表15.3.2 IOSC/OSC3分周比の選択

CLKDIV[1:0]	分周比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

カウンタへのクロック供給は、CLKEN/UART_CLKxレジスタで制御します。CLKENのデフォルト設定は0で、クロックの供給は停止しています。CLKENを1に設定すると、選択されたクロックがカウンタに送られます。

カウンタ初期値の設定

ダウンカウンタへの初期値の設定には、BR[7:0]/UART_BRxレジスタを使用します。設定したカウンタ初期値は、カウンタがアンダーフローした時点でダウンカウンタにプリセットされます。したがって、この初期値とカウントクロック周波数により、アンダーフロー間隔が決まります。

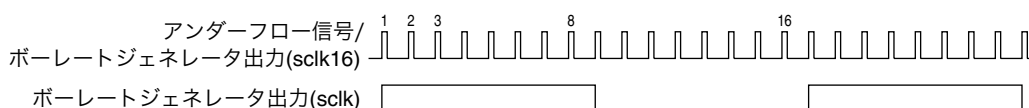


図15.3.2 カウンタのアンダーフローと生成されるクロック

希望の転送速度を得るためのカウンタ初期値は次の式で計算できます。

$$\text{bps} = \frac{\text{ct_clk}}{\{(\text{BR} + 1) \times 16 + \text{FMD}\}}$$

$$\text{BR} = \left(\frac{\text{ct_clk}}{\text{bps}} - \text{FMD} - 16 \right) \div 16$$

ct_clk: カウントクロック周波数(Hz)

BR: BR[7:0]設定値(0~255)

bps: 転送速度(bit/s)

FMD: FMD[3:0](ファインモード)設定値(0~15)

注: UARTの転送レートは最大960kbps(IrDAモードは115200bps)に制限されています。これ以上の転送レートは設定しないでください。

ファインモード

ファインモードは、転送レートの誤差を最小限に抑える機能を提供します。クロックソースとカウンタ初期値の適切な選択により、ボーレートジェネレータ出力クロックを希望の周波数に設定することができます。ただし、転送レートによっては誤差を生じます。ファインモードは、カウンタによるアンダーフローパルスの出力を遅らせ、出力クロック周期を延ばします。この遅延量はFMD[3:0]/UART_FMDxレジスタで指定できます。FMD[3:0]ビットは16アンダーフロー期間に挿入する遅延パターンを指定します。遅延の挿入1回につき、出力クロック周期はカウントクロック1サイクル分延長されます。

表15.3.3 FMD[3:0]で指定する遅延パターン

FMD[3:0]	アンダーフロー番号															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0x0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
0x1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	D
0x2	-	-	-	-	-	-	-	D	-	-	-	-	-	-	-	D
0x3	-	-	-	-	-	-	-	D	-	-	-	D	-	-	-	D
0x4	-	-	-	D	-	-	-	D	-	-	-	D	-	-	-	D
0x5	-	-	-	D	-	-	-	D	-	-	-	D	-	D	-	D
0x6	-	-	-	D	-	D	-	D	-	-	-	D	-	D	-	D
0x7	-	-	-	D	-	D	-	D	-	D	-	D	-	D	-	D
0x8	-	D	-	D	-	D	-	D	-	D	-	D	-	D	-	D
0x9	-	D	-	D	-	D	-	D	-	D	-	D	-	D	D	D
0xa	-	D	-	D	-	D	D	D	-	D	-	D	-	D	D	D
0xb	-	D	-	D	-	D	D	D	-	D	D	D	-	D	D	D
0xc	-	D	D	D	-	D	D	D	-	D	D	D	-	D	D	D
0xd	-	D	D	D	-	D	D	D	-	D	D	D	D	D	D	D
0xe	-	D	D	D	D	D	D	D	-	D	D	D	D	D	D	D
0xf	-	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D

D: 遅延サイクルが挿入されることを示します。

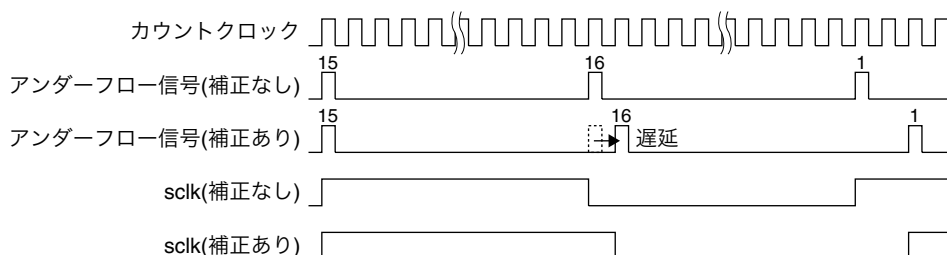


図15.3.3 ファインモードでの遅延サイクルの挿入

イニシャルリセット時、FMD[3:0]は0x0に設定され、遅延サイクルは挿入されません。

注: ボーレートジェネレータの設定は、必ずUARTが動作停止中(RXEN/UART_CTLxレジスタ = 0)に行ってください。

15.4 転送データの設定

以下の条件を選択して転送データ形式を設定できます。

- データ長: 7ビット、または8ビット
- スタートビット: 1ビット固定
- ストップビット: 1ビット、または2ビット
- パリティビット: 偶数、奇数、パリティなし

注: 転送データ形式の設定は、必ずUARTが動作停止中(RXEN/UART_CTLxレジスタ = 0)に行ってください。

データ長

データ長は、CHLN/UART_MODxレジスタで選択します。CHLNを0(デフォルト)に設定すると、データ長は7ビットに設定されます。CHLNを1に設定すると、8ビットに設定されます。

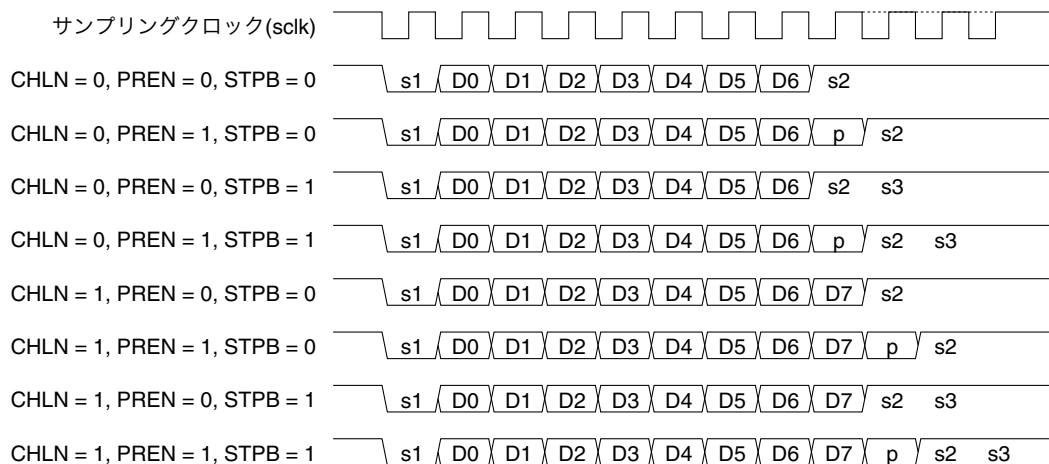
ストップビット

ストップビット長はSTPB/UART_MODxレジスタで選択します。STPBを0(デフォルト)に設定すると、ストップビット長は1ビットに設定されます。STPBを1に設定すると、2ビットに設定されます。

パリティビット

パリティ機能を有効にするか否かについては、PREN/UART_MOD_xレジスタで選択します。PRENを0(デフォルト)に設定すると、パリティ機能は無効となります。この場合、転送データにパリティビットは付加されず、データ受信時もパリティチェックは行われません。PRENを1に設定すると、パリティ機能が有効になります。この場合、転送データにパリティビットが付加され、データ受信時はパリティチェックを行います。

パリティ機能を有効にする場合は、PMD/UART_MOD_xレジスタでパリティモードを選択します。PMDを0(デフォルト)に設定すると、偶数パリティとしてパリティビットの付加とチェックが行われます。PMDを1に設定すると、奇数パリティとしてパリティビットの付加とチェックが行われます。



s1: スタートビット, s2 & s3: ストップビット, p: パリティビット

図15.4.1 転送データ形式

15.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) 入力クロックを選択します。15.3節を参照してください。
- (2) 転送クロックを出力するようにボーレートジェネレータをプログラムします。15.3節を参照してください。
- (3) 転送データ形式を設定します。15.4節を参照してください。
- (4) IrDAインタフェースを使用する場合は、IrDAモードを設定します。15.8節を参照してください。
- (5) UART割り込みを使用する場合は、割り込み条件を設定します。15.7節を参照してください。

注: 上記の設定は、必ずUARTが動作停止中(RXEN/UART_CTL_xレジスタ = 0)に行ってください。

データ送受信を許可

最初にRXEN/UART_CTL_xレジスタを1に設定してデータの送受信を許可します。これにより、送受信回路が送受信可能な状態になります。

注: UARTが送受信中はRXENを0に設定しないでください。

データ送信制御

送信を開始するには、TXD[7:0]/UART_TXD_xレジスタに送信データを書き込みます。

データは送信データバッファに書き込まれ、送信回路がデータ送信を開始します。

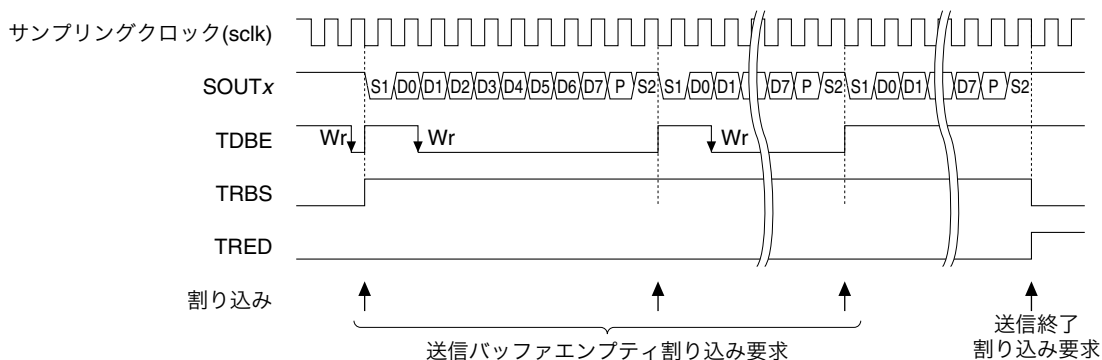
バッファのデータは送信用シフトレジスタに送られ、スタートビットがSOUT_x端子から出力されます。続いて、シフトレジスタのデータがLSBから出力されます。転送データビットはサンプリングクロックの立ち上がりエッジに同期してシフトし、SOUT_x端子から順次出力されます。MSBの出力後、パリティビット(パリティ有効時のみ)とストップビットが出力されます。

送信回路にはTDBE/UART_STxレジスタ、TRBS/UART_STxレジスタ、TRED/UART_STxレジスタの3つのステータスフラグが用意されています。

TDBEフラグは送信データバッファの状態を示します。このフラグはアプリケーションプログラムが送信データバッファにデータを書き込むと0になり、バッファのデータが送信用シフトレジスタに送られると1に戻ります。このフラグが1になった時点で割り込みを発生させることができます(15.7節参照)。この割り込みを利用するか、TDBEフラグの読み出しによって送信データバッファが空であることを確認し、次のデータ送信を行います。送信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、1つ前のデータを送信中に、データの書き込みが行えます。ただし、送信データを書き込む前に、送信データバッファが空になっていることを確認してください。TDBEフラグが0の場合にデータを書き込むと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。

TRBSフラグはシフトレジスタの状態を示します。このフラグは送信データが送信データバッファからシフトレジスタにロードされると1になり、データ送信が完了すると0に戻ります。送信回路が動作中か待機中かについては、このフラグを読み出して確認してください。

TREDフラグはTRBSフラグが1から0に戻った時点で1になり、転送動作が終了したことを示します。このフラグが1になった時点で割り込みを発生させることができますので、送信終了処理に利用可能です。TREDは1を書き込むことによりリセットされます。



S1: スタートビット, S2: ストップビット, P: パリティビット, Wr: 送信データバッファへのデータ書き込み

図15.5.1 データ送信タイミングチャート

データ受信制御

受信回路はRXENビットを1に設定すると起動し、外部シリアルデバイスからのデータを受信可能な状態になります。

外部シリアルデバイスがスタートビットを送信すると、受信回路はそのLowレベルを検出して、続くデータビットのサンプリングを開始します。データビットはサンプリングクロックの立ち上がりエッジでサンプリングされ、先頭ビットをLSBとして受信用シフトレジスタに取り込まれます。MSBをシフトレジスタに受信し終わると、受信データは受信データバッファにロードされます。パリティチェックが有効に設定されている場合、これと同時に、受信回路はMSBの直後に受信したパリティビットでパリティチェックを行います。

受信データバッファは2バイトのFIFOで、満杯になるまでデータを受信可能です。

バッファ内の受信データはRXD[7:0]/UART_RXDxレジスタから読み出すことができます。古いデータから先に読み出され、読み出しによりクリアされます。

受信回路にはRDRY/UART_STxレジスタとRD2B/UART_STxレジスタの2つのバッファステータスフラグが用意されています。

RDRYフラグは受信データバッファ内に受信データが存在することを示します。RD2Bフラグは受信データバッファが満杯になっていることを示します。

(1) RDRY = 0, RD2B = 0

データを受信していません。したがって、受信データバッファを読み出す必要はありません。

(2) RDRY = 1, RD2B = 0

1個の8ビットデータを受信しています。受信データバッファを1回読み出してください。この読み出しによりRDRYフラグがリセットされます。バッファは上記(1)の状態に戻ります。

受信データバッファを2回読み出した場合、2つ目の読み出しデータは無効です。

(3) RDRY = 1, RD2B = 1

2個の8ビットデータを受信しています。受信データバッファを2回読み出してください。最初の読み出しで、受信データバッファは古い方の受信データを出力します。この読み出しにより、RD2Bフラグがリセットされます。バッファは上記(2)の状態になります。2回目の読み出しで最新の受信データが出力されます。2回の読み出し後、バッファは上記(1)の状態になります。

受信データバッファが満杯でも、シフトレジスタは8ビットデータの受信をもう1回開始することが出来ます。受信データバッファが読み出されないままその受信が終了した場合はオーバーランエラーが発生し、最後の受信データを読み出すことはできません。したがって、受信データバッファはオーバーランエラーが発生する前に読み出してください。オーバーランエラーについては、15.6節を参照してください。

これらのフラグを読み出すことで、受信データ数を確認することが出来ます。

また、UARTは受信データバッファにデータを受信した時点で受信バッファフル割り込みを発生可能で、この割り込みを利用して受信データバッファを読み出すことが出来ます。デフォルト設定では、受信データバッファが1個の8ビットデータを受信すると(前記(2)の状態)、受信バッファフル割り込みが発生するようになっています。これを、RBF1/UART_CTLxレジスタを1に設定することで、受信データバッファが2個の8ビットデータを受信した時点で割り込みが発生するように変更できます。

前述のフラグの他に、3つのエラーフラグも用意されています。それらのフラグと受信エラーについては、15.6節を参照してください。

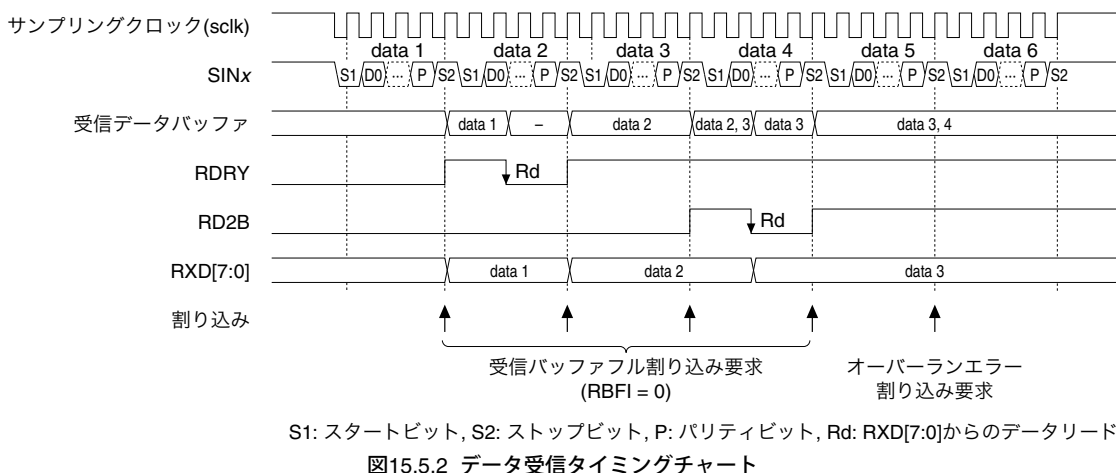


図15.5.2 データ受信タイミングチャート

データ送受信を禁止

データ転送(送信と受信の両方)を終了後は、RXENビットに0を書き込んでデータ送受信を禁止します。

注: RXENビットを0に設定すると、送信データバッファは空の状態になります(データが残っていればクリアされます)。また、データの送受信中にRXENを0に設定した場合、転送中のデータは保証されません。

データ送受信を禁止する前に、TDBEフラグが1、TRBSとRDRYフラグが0になっていることを確認してください。

15.6 受信エラー

データ受信時は、3種類の受信エラーを検出可能です。

受信エラーは割り込み要因のため、割り込みを発生させてエラーを処理することができます。UART割り込みの制御については、15.7節を参照してください。

パリティエラー

PREN/UART_MODxレジスタが1(パリティ有効)に設定されている場合、受信時にパリティチェックが行われます。

パリティチェックはシフトレジスタに受信したデータが受信データバッファに転送される際に行われ、PMD/UART_MODxレジスタの設定(奇数または偶数パリティ)との整合をチェックします。この結果が不整合の場合はパリティエラーと判断され、パリティエラーフラグPER/UART_STxレジスタが1にセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、受信データはパリティエラーのため保証されません。

なお、PERフラグは1を書き込むことによって0にリセットされます。

フレーミングエラー

ストップビットを0として受信すると、UARTは同期ずれと判断してフレーミングエラーを発生します。ストップビットを2ビットに設定している場合は、最初の1ビットのみチェックします。

本エラーが発生すると、フレーミングエラーフラグFER/UART_STxレジスタが1にセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。

なお、FERフラグは1を書き込むことによって0にリセットされます。

オーバーランエラー

受信データバッファが満杯(2データ受信済み)の状態でも、次に送られる3番目のデータはシフトレジスタに受信可能です。ただし、その受信が終了した時点で、受信データバッファに空きがなければ(それまでにデータが読み出されていなければ)、シフトレジスタに受信した3番目のデータはバッファに送られず、オーバーランエラーが発生します。

オーバーランエラーが発生するとオーバーランエラーフラグOER/UART_STxレジスタが1にセットされます。

本エラーが発生した場合でも、受信動作は継続して行われます。

なお、OERフラグは1を書き込むことによって0にリセットされます。

15.7 UART割り込み

UARTには、以下の4種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 転送終了割り込み
- 受信バッファフル割り込み
- 受信エラー割り込み

UARTの各チャネルは、上記4種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します(2チャネルで計2本を出力)。発生した割り込み要因を特定するには、ステータスフラグおよびエラーフラグを読み出してください。

送信バッファエンプティ割り込み

この割り込みを使用するには、TIEN/UART_CTLxレジスタを1に設定します。TDBE/UART_STxレジスタが1(送信バッファが空)のときにTIENを1に設定するか、TIEN = 1の場合にTDBEが1になると(送信データバッファに書き込まれた送信データがシフトレジスタに転送されて送信データバッファが空になると)、送信バッファエンプティ割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。

TEIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。UART割り込みが送信バッファエンプティによるものかどうかについては、UART割り込み処理ルーチンでTDBEフラグを読み出して確認してください。TDBEが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

転送終了割り込み

この割り込みを使用するには、TEIEN/UART_CTLxレジスタを1に設定します。TEIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

TRBSフラグが0にリセットされると、UARTはTRED/UART_STxを1にセットして送信動作が終了したことを示します。転送終了割り込みが許可されていれば(TEIEN = 1)、これと同時に割り込み要求がITCに出力されます。

UART割り込みが転送終了によるものかどうかについては、UART割り込み処理ルーチンでTREDフラグを読み出して確認してください。TREDが1であれば、送信処理を終了できます。

受信バッファフル割り込み

この割り込みを使用するには、RIEN/UART_CTLxレジスタを1に設定します。RIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

受信バッファフル割り込みが許可されている場合(RIEN = 1)、指定数の受信データが受信データバッファにロードされると、UARTは割り込み要求をITCに出力します。RBF/UART_CTLxレジスタが0の場合、1個の受信データが受信データバッファにロードされた(RDRY/UART_STxレジスタが1にセットされた)時点で割り込み要求が出力されます。RBF/UART_CTLxレジスタが1の場合、2個の受信データが受信データバッファにロードされた(RD2B/UART_STxレジスタが1にセットされた)時点で割り込み要求が出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

UART割り込みが受信バッファフルによるものかどうかについては、UART割り込み処理ルーチンでRDRYとRD2Bフラグを読み出して確認してください。RDRYまたはRD2Bが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。

受信エラー割り込み

この割り込みを使用するには、REIEN/UART_CTLxレジスタを1に設定します。REIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

データ受信時にパリティエラー、フレーミングエラー、またはオーバーランエラーを検出すると、UARTはエラーフラグPER、FER、OER/UART_STxレジスタを1に設定します。受信エラー割り込みが許可されていれば(REIEN = 1)、これと同時に割り込み要求がITCに出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

UART割り込みが受信エラーによるものかどうかについては、UART割り込み処理ルーチンで上記のエラーフラグを読み出して確認してください。いずれかのエラーフラグが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

15.8 IrDAインタフェース

本UARTモジュールにはRZI変調/復調回路が組み込まれており、簡単な外付け回路の追加のみで、IrDA 1.0に対応する赤外線通信回路を構成することができます。

UARTの送信用シフトレジスタから出力された送信データは変調回路に入力され、Lowパルス幅が3 × sclk16サイクルに変換された後にSOUTx端子から出力されます。

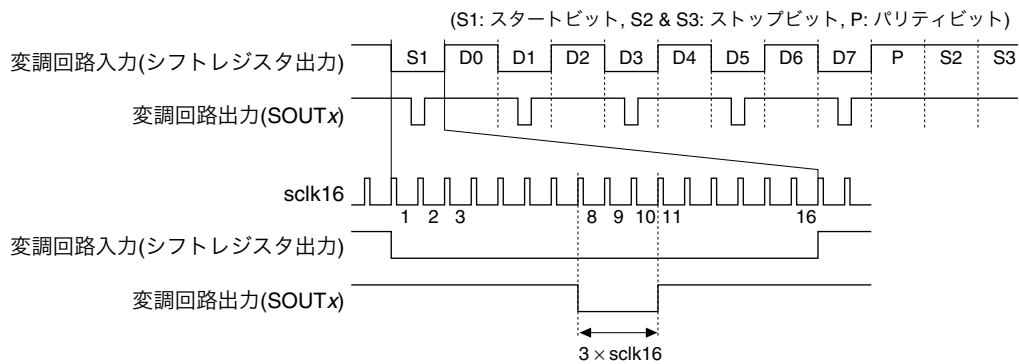


図15.8.1 送信信号波形

受信したIrDA信号は復調回路に入力され、Lowパルス幅が16 × sclk16サイクルに変換された後に受信用シフトレジスタに入力されます。入力されるLowパルス(最小パルス幅 = 1.41μs/115200bps時)を検出するため、復調回路は転送クロックとは別に、パルス検出クロックを使用します。

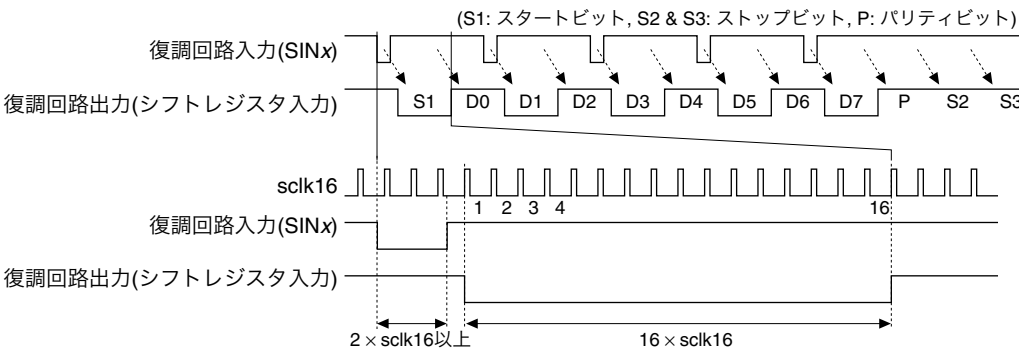


図15.8.2 受信信号波形

IrDAイネーブル

IrDAインタフェース機能を使用するには、IRMD/UART_EXPxレジスタを1に設定します。これにより、RZI変調/復調回路が有効になります。

注: この設定は、UARTの他の条件を設定する前に行う必要があります。

シリアルデータ転送の制御

IrDAモードの場合も、データ送受信の制御方法は通常のインタフェースと同じです。データ形式の設定やデータ転送、割り込みの制御方法については、前記の説明を参照してください。

15.9 制御レジスタ詳細

表15.9.1 UARTレジスタ一覧

アドレス	レジスタ名	機能
0x4100	UART_ST0	UART Ch.0 Status Register
0x4101	UART_TXD0	UART Ch.0 Transmit Data Register
0x4102	UART_RXD0	UART Ch.0 Receive Data Register
0x4103	UART_MOD0	UART Ch.0 Mode Register
0x4104	UART_CTL0	UART Ch.0 Control Register
0x4105	UART_EXP0	UART Ch.0 Expansion Register
0x4106	UART_BR0	UART Ch.0 Baud Rate Register
0x4107	UART_FMD0	UART Ch.0 Fine Mode Register
0x4120	UART_ST1	UART Ch.1 Status Register
0x4121	UART_TXD1	UART Ch.1 Transmit Data Register
0x4122	UART_RXD1	UART Ch.1 Receive Data Register
0x4123	UART_MOD1	UART Ch.1 Mode Register
0x4124	UART_CTL1	UART Ch.1 Control Register
0x4125	UART_EXP1	UART Ch.1 Expansion Register

アドレス	レジスタ名		機 能
0x4126	UART_BR1	UART Ch.1 Baud Rate Register	ボーレートの設定
0x4127	UART_FMD1	UART Ch.1 Fine Mode Register	ファインモードの設定
0x506c	UART_CLK0	UART Ch.0 Clock Control Register	ボーレートジェネレータクロックの選択
0x506d	UART_CLK1	UART Ch.1 Clock Control Register	ボーレートジェネレータクロックの選択

以下、UARTのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: • レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

- UARTの以下のビットは、送受信禁止の状態(RXEN = 0)で設定してください。
 - UART_MODxレジスタのビットすべて(STPB, PMD, PREN, CHLN)
 - UART_CTLxレジスタのRBF1ビット
 - UART_EXPxレジスタのビットすべて(IRMD)
 - UART_BRxレジスタのビットすべて(BR[7:0])
 - UART_FMDxレジスタのビットすべて(FMD[3:0])
 - UART_CLKxレジスタのビットすべて(CLKDIV[1:0], CLKSRC[1:0], CLKEN)

UART Ch.x Status Registers (UART_STx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
UART Ch.x Status Register (UART_STx)	0x4100 0x4120 (8 bits)	D7	TRED	End of transmission flag	1	Completed	0	Not completed	0	R/W	Reset by writing 1.
		D6	FER	Framing error flag	1	Error	0	Normal	0	R/W	
		D5	PER	Parity error flag	1	Error	0	Normal	0	R/W	
		D4	OER	Overrun error flag	1	Error	0	Normal	0	R/W	
		D3	RD2B	Second byte receive flag	1	Ready	0	Empty	0	R	Shift register status
		D2	TRBS	Transmit busy flag	1	Busy	0	Idle	0	R	
		D1	RDRY	Receive data ready flag	1	Ready	0	Empty	0	R	
		D0	TDBE	Transmit data buffer empty flag	1	Emptv	0	Not empty	1	R	

D7 TRED: End of Transmission Flag Bit

送信動作が終了したか否かを示します。

- 1(R): 送信終了
 0(R): 送信中/送信前(デフォルト)
 1(W): 0にリセット
 0(W): 無効

TREDはTRBSフラグが0にリセットされた時点で(送信を終了すると)1にセットされます。
 TREDは1を書き込むことによりリセットされます。

D6 FER: Framing Error Flag Bit

フレーミングエラーが発生しているか否かを示します。

- 1(R): エラー発生
 0(R): エラーなし(デフォルト)
 1(W): 0にリセット
 0(W): 無効

FERはフレーミングエラーが発生すると1にセットされます。フレーミングエラーは、ストップビットを0としてデータを受信した場合に発生します。
 FERは1を書き込むことによりリセットされます。

D5 PER: Parity Error Flag Bit

パリティエラーが発生しているか否かを示します。

- 1(R): エラー発生
 0(R): エラーなし(デフォルト)
 1(W): 0にリセット
 0(W): 無効

PERはパリティエラーが発生すると1にセットされます。パリティチェックはPREN/UART_MODxレジスタが1に設定されている場合のみ有効で、受信データがシフトレジスタから受信データバッファに転送される際に実行されます。
 PERは1を書き込むことによりリセットされます。

D4 OER: Overrun Error Flag Bit

オーバーランエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

OERはオーバーランエラーが発生すると1にセットされます。オーバーランエラーは、受信データバッファが満杯の状態で、次のデータをシフトレジスタに受信し、さらに続くデータが送られてきた場合に発生します。このエラーが発生した場合、受信データバッファは上書きされず、エラーが発生した時点のシフトレジスタが上書きされます。

OERは1を書き込むことによりリセットされます。

D3 RD2B: Second Byte Receive Flag Bit

受信データバッファに2個の受信データがあることを示します。

1(R): 2バイト目が読み出し可

0(R): 2バイト目は未受信(デフォルト)

RD2Bは、受信データバッファに2バイト目のデータがロードされると1にセットされ、受信データバッファから最初のデータが読み出されると0にリセットされます。

D2 TRBS: Transmit Busy Flag Bit

送信シフトレジスタの状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

TRBSは、送信データが送信データバッファからシフトレジスタにロードされると1にセットされ、データ送信が完了すると0にリセットされます。送信回路が動作中か待機中かを確認する際に、読み出してください。

D1 RDRY: Receive Data Ready Flag Bit

受信データバッファに有効な受信データがあることを示します。

1(R): データ読み出し可

0(R): バッファは空(デフォルト)

RDRYは、受信データバッファに受信データがロードされると1にセットされ、受信データバッファからすべてのデータが読み出されると0にリセットされます。

D0 TDBE: Transmit Data Buffer Empty Flag Bit

送信データバッファの状態を示します。

1(R): バッファは空(デフォルト)

0(R): データあり

TDBEは、送信データが送信データバッファに書き込まれると0にリセットされ、そのデータがシフトレジスタに転送されると1にセットされます。

UART Ch.x Transmit Data Registers (UART_TXDx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Ch.x Transmit Data Register (UART_TXDx)	0x4101 0x4121 (8 bits)	D7-0	TXD[7:0]	Transmit data TXD7(6) = MSB TXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R/W	

D[7:0] TXD[7:0]: Transmit Data

送信データバッファにセットする送信データを書き込みます。(デフォルト: 0x0)

このレジスタにデータを書き込むことにより、UARTは送信を開始します。TXD[7:0]に書き込んだデータは送信データバッファに入り送信まで待機します。送信データバッファ内のデータが送信されると、送信バッファエンプティ割り込み要因が発生します。7ビットモードでは、TXD7(MSB)が無効となります。SOUT_x端子からはシリアル変換されたデータがLSBを先頭に、1に設定されたビットがHighレベル、0に設定されたビットがLowレベルとして出力されます。このレジスタは読み出しも可能です。

UART Ch.x Receive Data Registers (UART_RXDx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Ch.x Receive Data Register (UART_RXDx)	0x4102 0x4122 (8 bits)	D7-0	RXD[7:0]	Receive data in the receive data buffer RXD7(6) = MSB RXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R	Older data in the buffer is read out first.

D[7:0] RXD[7:0]: Receive Data

受信データバッファのデータが古いものから順に読み出せます。受信したデータは受信データバッファに入ります。受信データバッファは2バイトのFIFOで、これが満杯になるまでは、読み出しを行わなくても正しく受信できます。バッファが満杯でシフトレジスタにもデータが受信されている状態では、次の受信が始まるまでにデータを読み出さないとオーバーランエラーになります。

受信回路にはRDRY/UART_STxレジスタとRD2B/UART_STxレジスタの2つの受信バッファステータスフラグが用意されています。RDRYフラグは受信データバッファ内に有効な受信データが存在することを示し、RD2Bフラグは受信データバッファに2個の受信データがあることを示します。

受信データバッファ内の受信データがRBF/UART_CTLxレジスタで指定した数になると、受信バッファフル割り込み要因が発生します。

7ビットモードでは、RXD7に0がロードされます。

SINx端子から入力されたシリアルデータは先頭をLSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、受信データバッファにロードされます。

このレジスタは読み出し専用で、書き込みは行えません。(デフォルト: 0x0)

UART Ch.x Mode Registers (UART_MODx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Ch.x Mode Register (UART_MODx)	0x4103 0x4123 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	CHLN	Character length select	1 8 bits 0 7 bits	0	R/W	
		D3	PREN	Parity enable	1 With parity 0 No parity	0	R/W	
		D2	PMD	Parity mode select	1 Odd 0 Even	0	R/W	
		D1	STPB	Stop bit select	1 2 bits 0 1 bit	0	R/W	
		D0	—	reserved	—	—	—	0 when being read.

D[7:5] Reserved

D4 CHLN: Character Length Select Bit

シリアル転送データのデータ長を選択します。

1(R/W): 8ビット

0(R/W): 7ビット(デフォルト)

D3 PREN: Parity Enable Bit

パリティ機能を有効にします。

1(R/W): パリティ付き

0(R/W): パリティなし(デフォルト)

PRENによって、受信データのパリティチェック、および送信データへのパリティビットの付加を行うかどうかを選択します。PRENを1に設定すると、受信データはパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。PRENを0に設定した場合はパリティビットのチェックおよび付加は行われません。

D2 PMD: Parity Mode Select Bit

パリティモードを選択します。

1(R/W): 奇数パリティ

0(R/W): 偶数パリティ(デフォルト)

PMDに1を書き込むと奇数パリティが選択され、0を書き込むと偶数パリティが選択されます。パリティチェックおよびパリティビットの付加はPRENが1に設定されている場合にのみ有効で、PRENが0の場合、PMDの設定は無効となります。

D1 STPB: Stop Bit Select Bit

ストップビット長を選択します。

1(R/W): 2ビット

0(R/W): 1ビット(デフォルト)

STPBに1を書き込むとストップビットが2ビットに、0を書き込むと1ビットになります。スタートビットは1ビットに固定です。

D0 Reserved**UART Ch.x Control Registers (UART_CTLx)**

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
UART Ch.x Control Register (UART_CTLx)	0x4104 0x4124 (8 bits)	D7	TEIEN	End of transmission int. enable	1	Enable	0	Disable	0	R/W	0 when being read.
		D6	REIEN	Receive error int. enable	1	Enable	0	Disable	0	R/W	
		D5	RIEN	Receive buffer full int. enable	1	Enable	0	Disable	0	R/W	
		D4	TIEN	Transmit buffer empty int. enable	1	Enable	0	Disable	0	R/W	
		D3–2	–	reserved	–			–	–		
		D1	RBFI	Receive buffer full int. condition setup	1	2 bytes	0	1 byte	0	R/W	
		D0	RXEN	UART enable	1	Enable	0	Disable	0	R/W	

D7 TEIEN: End of Transmission Interrupt Enable Bit

送信終了時のITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

送信処理を割り込みによって終了する場合は、このビットを1に設定してください。

D6 REIEN: Receive Error Interrupt Enable Bit

受信エラー発生時のITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

受信エラーを割り込みによって処理する場合は、このビットを1に設定してください。

D5 RIEN: Receive Buffer Full Interrupt Enable Bit

受信データバッファの受信データ数がRBFIの指定値になったことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

受信データを割り込みによって読み出す場合は、このビットを1に設定してください。

D4 TIEN: Transmit Buffer Empty Interrupt Enable Bit

送信データバッファの送信データがシフトレジスタに送られた(データ送信を開始した)ことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

送信データバッファへのデータ書き込みを割り込みによって行う場合は、このビットを1に設定してください。

D[3:2] Reserved**D1 RBFI: Receive Buffer Full Interrupt Condition Setup Bit**

受信バッファフル割り込みを発生させる、受信バッファ内のデータ数を設定します。

1(R/W): 2バイト

0(R/W): 1バイト(デフォルト)

受信バッファフル割り込みが許可されている場合(RIEN = 1)、RBFIで指定されている数の受信データが受信データバッファにロードされると、UARTは割り込み要求をITCに出力します。RBFIビットが0の場合、1個の受信データが受信データバッファにロードされた(RDRY/UART_STxレジスタが1にセットされた)時点で割り込み要求が出力されます。RBFIが1の場合、2個の受信データが受信データバッファにロードされた(RD2B/UART_STxレジスタが1にセットされた)時点で割り込み要求が出力されます。

D0 RXEN: UART Enable Bit

UARTによるデータ送受信を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

UARTで送受信を始める前にRXENを1に設定してください。

RXENに0を書き込むことで、データ送受信を禁止します。データの送受信中にRXENを0に設定した場合、転送中のデータは保証されません。データ送受信状態は通信手順を考慮し、ソフトウェアにより判断してください。ただし、データ送信状態についてはTRBSフラグで判断可能です。

転送条件の設定は、RXENが0の状態で行ってください。

RXENに0を書き込んで送受信を禁止すると、送信データバッファもクリアされます。

UART Ch.x Expansion Registers (UART_EXPx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Ch.x Expansion Register (UART_EXPx)	0x4105	D7-1	—	reserved	—	—	—	0 when being read.
	0x4125 (8 bits)	D0	IRMD	IrDA mode select	1 On 0 Off	0	R/W	

D[7:1] Reserved**D0 IRMD: IrDA Mode Select Bit**

IrDAインタフェース機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

IrDAインタフェースを使用する場合に1に設定します。0に設定すると、本モジュールはIrDA機能のない通常のUARTとして機能します。

UART Ch.x Baud Rate Registers (UART_BRx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Ch.x Baud Rate Register (UART_BRx)	0x4106 0x4126 (8 bits)	D7-0	BR[7:0]	Baud rate setting	0x0 to 0xff	0x0	R/W	

D[7:0] BR[7:0]: Baud Rate Setting Bits

ボーレートジェネレータのカウンタ初期値を設定します。(デフォルト: 0x0)

ボーレートジェネレータのカウンタは、このレジスタに設定されたカウンタ初期値からカウンタがアンダーフローするまでのカウントを繰り返して転送(サンプリング)クロックを生成します。希望の転送速度を得るためのカウンタ初期値は次の式で計算できます。

$$\text{bps} = \frac{\text{ct_clk}}{\{(BR + 1) \times 16 + \text{FMD}\}}$$

$$BR = \left(\frac{\text{ct_clk}}{\text{bps}} - \text{FMD} - 16 \right) \div 16$$

ct_clk: カウントクロック周波数(Hz)

BR: BR[7:0]設定値(0~255)

bps: 転送速度(bit/s)

FMD: FMD[3:0](ファインモード)設定値(0~15)

UART Ch.x Fine Mode Registers (UART_FMDx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Ch.x Fine Mode Register (UART_FMDx)	0x4107	D7-4	—	reserved	—	—	—	0 when being read.
	0x4127 (8 bits)	D3-0	FMD[3:0]	Fine mode setup	0x0 to 0xf	0x0	R/W	Set a number of times to insert delay into a 16-underflow period.

D[7:4] Reserved

D[3:0] FMD[3:0]: Fine Mode Setup Bits

転送レートの誤差を補正します。(デフォルト: 0x0)

FMD[3:0]ビットは16アンダーフロー期間に挿入する遅延パターンを指定します。遅延の挿入1回につき、出力クロック周期はカウントクロック1サイクル分延長されます。

表15.9.2 FMD[3:0]で指定する遅延パターン

FMD[3:0]	アンダーフロー番号															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0x0	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
0x1	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	D
0x2	–	–	–	–	–	–	–	D	–	–	–	–	–	–	–	D
0x3	–	–	–	–	–	–	–	D	–	–	–	D	–	–	–	D
0x4	–	–	–	D	–	–	–	D	–	–	–	D	–	–	–	D
0x5	–	–	–	D	–	–	–	D	–	–	–	D	–	D	–	D
0x6	–	–	–	D	–	D	–	D	–	–	–	D	–	D	–	D
0x7	–	–	–	D	–	D	–	D	–	D	–	D	–	D	–	D
0x8	–	D	–	D	–	D	–	D	–	D	–	D	–	D	–	D
0x9	–	D	–	D	–	D	–	D	–	D	–	D	–	D	D	D
0xa	–	D	–	D	–	D	D	D	–	D	–	D	–	D	D	D
0xb	–	D	–	D	–	D	D	D	–	D	D	D	–	D	D	D
0xc	–	D	D	D	–	D	D	D	–	D	D	D	–	D	D	D
0xd	–	D	D	D	–	D	D	D	–	D	D	D	D	D	D	D
0xe	–	D	D	D	D	D	D	D	–	D	D	D	D	D	D	D
0xf	–	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D

D: 遅延サイクルが挿入されることを示します。

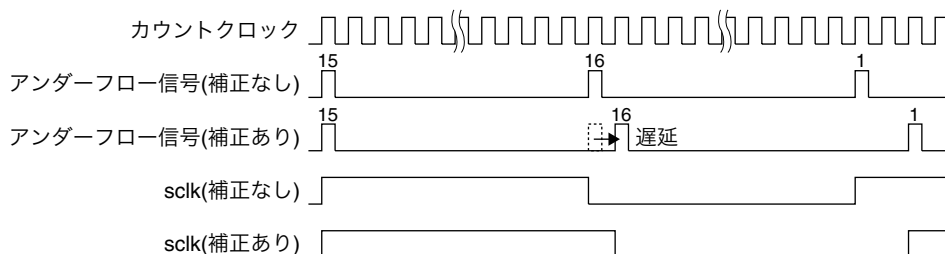


図15.9.1 ファインモードでの遅延サイクルの挿入

UART Ch.x Clock Control Registers (UART_CLKx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
UART Ch.x Clock Control Register (UART_CLKx)	0x506c 0x506d (8 bits)	D7–6	–	reserved	–		–	–	0 when being read.
		D5–4	CLKDIV [1:0]	Clock division ratio select	CLKDIV[1:0]	Division ratio	0x0	R/W	When the clock source is IOSC or OSC3
					0x3	1/8			
					0x2	1/4			
					0x1	1/2			
					0x0	1/1			
		D3–2	CLKSRC [1:0]	Clock source select	CLKSRC[1:0]	Clock source	0x0	R/W	* S1C17564 only
					0x3	External clock			
					0x2	OSC3			
					0x1	OSC1			
0x0	IOSC*								
D1	–	reserved	–		–	–	0 when being read.		
D0	CLKEN	Count clock enable	1 Enable	0 Disable	0	R/W			

D[7:6] Reserved**D[5:4] CLKDIV[1:0]: Clock Division Ratio Select Bits**

IOSC(S1C17564)またはOSC3をボーレートジェネレータのクロックソースとする場合に、カウントクロックを生成する分周比を選択します。

表15.9.3 IOSC/OSC3分周比の選択

CLKDIV[1:0]	分周比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

D[3:2] CLKSRC[1:0]: Clock Source Select Bits

ボーレートジェネレータのカウントクロックソースを選択します。

表15.9.4 クロックソースの選択

CLKSRC[1:0]	クロックソース
0x3	外部クロック (SCLK _x)
0x2	OSC3
0x1	OSC1
0x0	IOSC (S1C17564)

(デフォルト: 0x0)

D1 Reserved**D0 CLKEN: Count Clock Enable Bit**

ボーレートジェネレータのカウンタへのカウントクロック供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

CLKENのデフォルト設定は0で、クロックの供給は停止しています。CLKENを1に設定すると、上記のビットで選択されたクロックがカウンタに送られます。

16 SPI

16.1 SPIモジュールの概要

S1C17554/564は、3つの通信チャンネルを持つ同期式シリアルインタフェースモジュール(SPI)を内蔵しています。SPIモジュールの主な機能と特長を以下に示します。

- ・ マスタモード、スレーブモードに対応
- ・ データ長: 8ビット固定
- ・ MSB先頭、LSB先頭を選択可能
- ・ 1バイトの受信データバッファと1バイトの送信データバッファを内蔵
- ・ 全二重通信に対応
- ・ データ転送タイミング(クロックの位相と極性)を4種類から選択可能
- ・ 受信バッファフル、送信バッファエンプティ割り込みを発生可能

図16.1.1にSPIモジュールの構成を示します。

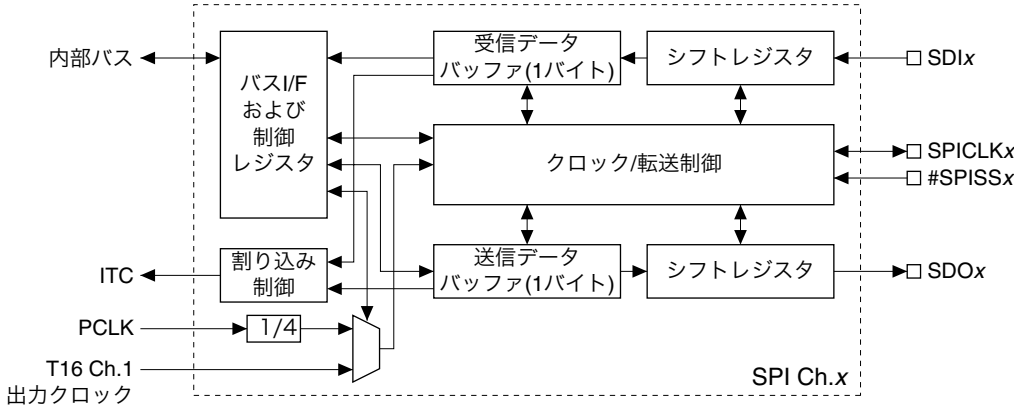


図16.1.1 SPIモジュールの構成(1チャンネル)

注: SPIモジュールの3チャンネルは、制御レジスタのアドレスを除きすべて同じ機能を持っていますので、本節内の説明はSPIの全チャンネルに適用されます。レジスタ名の'x'はチャンネル番号(0~2)を表します。

例: SPI_CTLxレジスタ

Ch.0: SPI_CTL0レジスタ

Ch.1: SPI_CTL1レジスタ

Ch.2: SPI_CTL2レジスタ

16.2 SPI入出力端子

表16.2.1にSPI端子の一覧を示します。

表16.2.1 SPI端子一覧

端子名	I/O	本数	機能
SDI0 (Ch.0) SDI1 (Ch.1) SDI2 (Ch.2)	I	3	SPI Ch.xデータ入力端子 SPIバスからシリアルデータを入力します。
SDO0 (Ch.0) SDO1 (Ch.1) SDO2 (Ch.2)	O	3	SPI Ch.xデータ出力端子 シリアルデータをSPIバスに出力します。

端子名	I/O	本数	機 能
SPICLK0 (Ch.0) SPICLK1 (Ch.1) SPICLK2 (Ch.2)	I/O	3	SPI Ch.x外部クロック入出力端子 本SPIがマスタモードの場合にSPIクロックを出力します。 本SPIをスレーブモードで使用する場合は外部クロックを入力します。
#SPISS0 (Ch.0) #SPISS1 (Ch.1) #SPISS2 (Ch.2)	I	3	SPI Ch.xスレーブ選択信号(アクティブLow)入力端子 この端子へのLow入力により、本SPI(スレーブモード)がスレーブデバイスとして選択されます。

注: マスタモードで使用する際のスレーブセレクト信号出力には汎用入出力(P)ポートを使用してください。

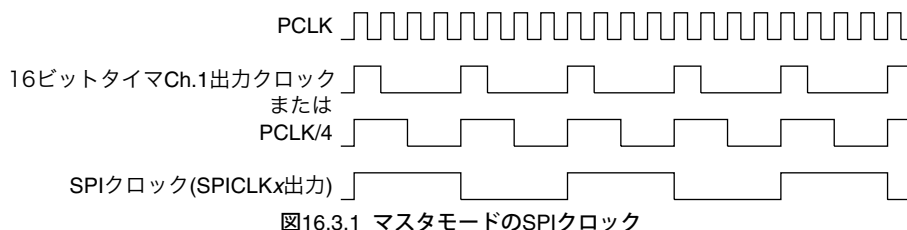
SPIの入出力端子(SD_Ix、SD_Ox、SPICLK_x、#SPISS_x)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをSPIの入出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。

端子の機能と切り換えの詳細については、“入出力ポート(P)”の章を参照してください。

16.3 SPIクロック

マスタモードのSPIは、16ビットタイマ(T16)Ch.1が出力するクロックまたはPCLK/4のクロックを使用してSPIクロックを生成します。このクロックはシフトレジスタを駆動すると共に、SPICLK_x端子からスレーブデバイスへ出力されます。T16 Ch.1出力クロックとPCLK/4クロックのどちらを使用するかについてはMCLK/SPI_CTL_xレジスタで選択します。MCLKを1に設定するとT16 Ch.1出力クロック、0に設定するとPCLK/4クロックが選択されます。

T16 Ch.1を使用すると、転送レートをプログラマブルに設定できます。T16の制御については、“16ビットタイマ(T16)”の章を参照してください。



スレーブモードでは、SPICLK_x端子からSPIクロックを入力します。

16.4 データ転送条件の設定

SPIモジュールはマスタモードまたはスレーブモードに設定できます。また、SPIクロックの極性と位相、ビット方向(MSB先頭/LSB先頭)をSPI_CTL_xレジスタで設定可能です。

データ長は8ビットに固定されています。

注: マスタ/スレーブモードの選択およびクロック条件の設定は、SPIモジュールが停止中(SPEN/SPI_CTL_xレジスタ = 0)に行ってください。

マスタ/スレーブモードの選択

MSSL/SPI_CTL_xレジスタを使用して、SPIモジュールをマスタモードまたはスレーブモードに設定します。MSSLを1に設定するとマスタモード、0(デフォルト)に設定するとスレーブモードになります。マスタモードでは、内部クロックを使用してデータ転送を行います。スレーブモードでは、マスタデバイスのクロックを入力してデータ転送を行います。

SPIクロック極性と位相の設定

SPIクロックの極性は、CPOL/SPI_CTL_xレジスタで選択します。CPOLを1に設定するとSPIクロックはアクティブLow、0(デフォルト)に設定するとアクティブHighと見なされます。

SPIクロックの位相はCPHA/SPI_CTL_xレジスタで選択します。

これらの制御ビットにより、転送タイミングは図16.4.1のように設定されます。

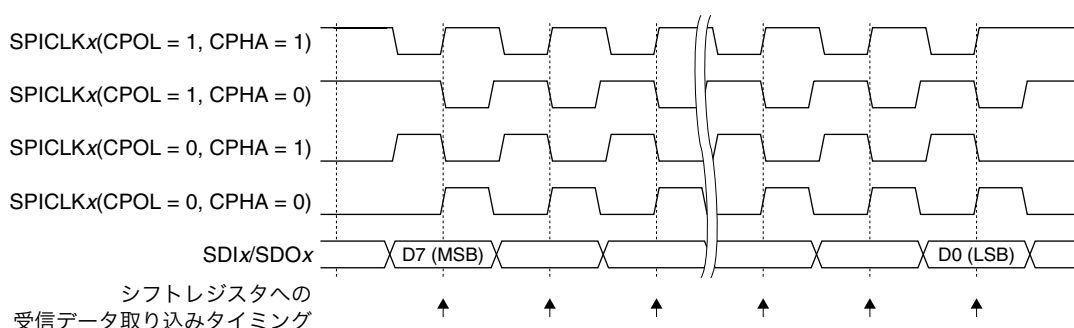


図16.4.1 クロックとデータ転送タイミング

MSB先頭/LSB先頭の設定

データのMSBとLSBのどちらを先に入出力するか、MLSB/SPI_CTLxレジスタで選択します。MLSBが0(デフォルト)の場合はMSB先頭、1に設定するとLSB先頭になります。

16.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) SPIクロックソースを設定します。16.3節を参照してください。
- (2) マスタモードまたはスレーブモードを選択します。16.4節を参照してください。
- (3) クロック条件を設定します。16.4節を参照してください。
- (4) SPI割り込みを使用する場合は、割り込み条件を設定します。16.6節を参照してください。

注: 上記の設定は、必ずSPIが停止中(SPEN/SPI_CTLxレジスタ = 0)に行ってください。

データ送受信を許可

最初にSPEN/SPI_CTLxレジスタを1に設定してSPIの動作を許可します。これにより、SPIが送受信可能な状態となり、クロックの入出力も許可されます。

注: SPIモジュールが送受信中はSPENを0に設定しないでください。

データ送信制御

送信を開始するには、SPTDB[7:0]/SPI_TXDxレジスタに送信データを書き込みます。

データは送信データバッファに書き込まれ、SPIモジュールはデータ送信を開始します。

バッファのデータは送信用シフトレジスタに送られます。マスタモードでは、SPICLKx端子からクロックの出力を開始します。スレーブモードではSPICLKx端子からのクロック入力待ちます。シフトレジスタ内のデータはCPHA/SPI_CTLxレジスタとCPOL/SPI_CTLxレジスタで決まるクロックの立ち上がりまたは立ち下がりエッジで順次シフトされ(図16.4.1参照)、SDOx端子から送信されます。

SPIモジュールには送信の制御用にSPTBE/SPI_STxレジスタとSPBSY/SPI_STxレジスタの2つのステータスフラグが用意されています。

SPTBEフラグは送信データバッファの状態を示します。このフラグはアプリケーションプログラムがSPI_TXDxレジスタ(送信データバッファ)にデータを書き込むと0になり、バッファのデータが送信用シフトレジスタに送られると1に戻ります。このフラグが1になった時点で割り込みを発生させることができます(16.6節参照)。この割り込みを利用するか、SPTBEフラグの読み出しによって送信データバッファが空であることを確認し、次のデータ送信を行います。送信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、1つ前のデータを送信中に、データの書き込みが行えます。ただし、送信データを書き込む前に、送信データバッファが空になっていることを確認してください。SPTBEフラグが0の場合にデータを書き込むと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。

マスタモード時、SPBSYフラグはシフトレジスタの状態を示します。このフラグは送信データが送信データバッファからシフトレジスタにロードされると1になり、データ送信が完了すると0に戻ります。SPIモジュールが動作中か待機中かについては、このフラグを読み出して確認してください。

スレーブモードのSPBSYフラグはSPIスレーブ選択信号(#SPISSx端子)の状態を示します。本SPIモジュールがスレーブとして選択されている場合に1となり、非選択状態では0になります。

注: SPIをマスタモードかつCPHA = 0の設定で使用する場合、送信データ1ビット目の変化からクロックの変化までが最短でシステムクロック(PCLK)の1周期の長さになります。

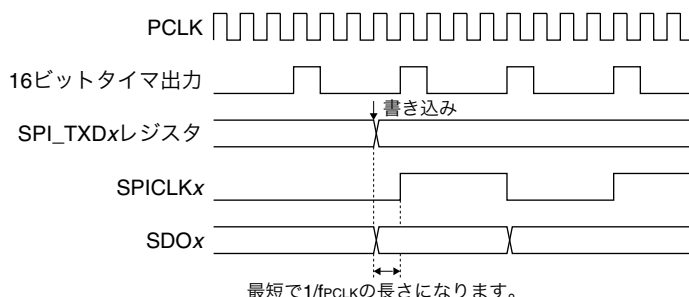


図16.5.1 CPHA = 0時のSDOxおよびSPICLKxの変化タイミング

送信データの2ビット目以降および連続転送時の2バイト目以降については、データの変化からクロックの変化まではSPICLKx半周期の長さが確保されます。

データ受信制御

マスタモードの場合、ダミーデータをSPTDB[7:0]/SPI_TXDxレジスタに書き込みます。SPI_TXDxレジスタへの書き込みは、送信の開始だけではなく受信のトリガにもなります。実際の送信データを書き込んで送受信を同時に行うことも可能です。

これにより、SPICLKxからSPIクロック出力を開始します。

スレーブモードの場合は、SPICLKxからクロックが入力されるまで待機します。スレーブモードで受信のみを行い、送信が不要の場合はSPI_TXDxレジスタへの書き込み操作は必要ありません。受信動作はマスタデバイスからのクロック入力により開始します。送受信を同時に行う場合は、クロックが入力される前に送信データをSPI_TXDxレジスタに書き込んでおきます。

データは、CPHA/SPI_CTLxレジスタとCPOL/SPI_CTLxレジスタで決まるクロックの立ち上がりまたは立ち下がりエッジで順次シフトレジスタに取り込まれます(図16.4.1参照)。

8ビットのデータをシフトレジスタに受信し終わると、受信データは受信データバッファにロードされます。

バッファ内の受信データはSPRDB[7:0]/SPI_RXDxレジスタから読み出すことができます。

SPIモジュールには受信の制御用にSPRBF/SPI_STxレジスタが用意されています。

SPRBFフラグは受信データバッファの状態を示します。このフラグはシフトレジスタに受信したデータが受信データバッファにロードされると1になり、受信データが読み出せることを示します。バッファのデータがSPI_RXDxレジスタから読み出されると0に戻ります。このフラグが1になった時点で割り込みを発生させることができます(16.6節参照)。

この割り込みを利用するか、SPRBFフラグの読み出しによって受信データバッファに有効な受信データがあることを確認し、受信データを読み出してください。受信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、次のデータを受信中も、バッファ内の受信データは保持されます。ただし、次のデータ受信が終了する前に受信データバッファを読み出してください。受信データバッファを読み出す前に次の受信が終了すると、バッファ内の1つ前の受信データは新たな受信データで上書きされてしまいます。

マスタモードでは、シフトレジスタの状態を示すSPBSYフラグが、データ送信時と同様に使用可能です。

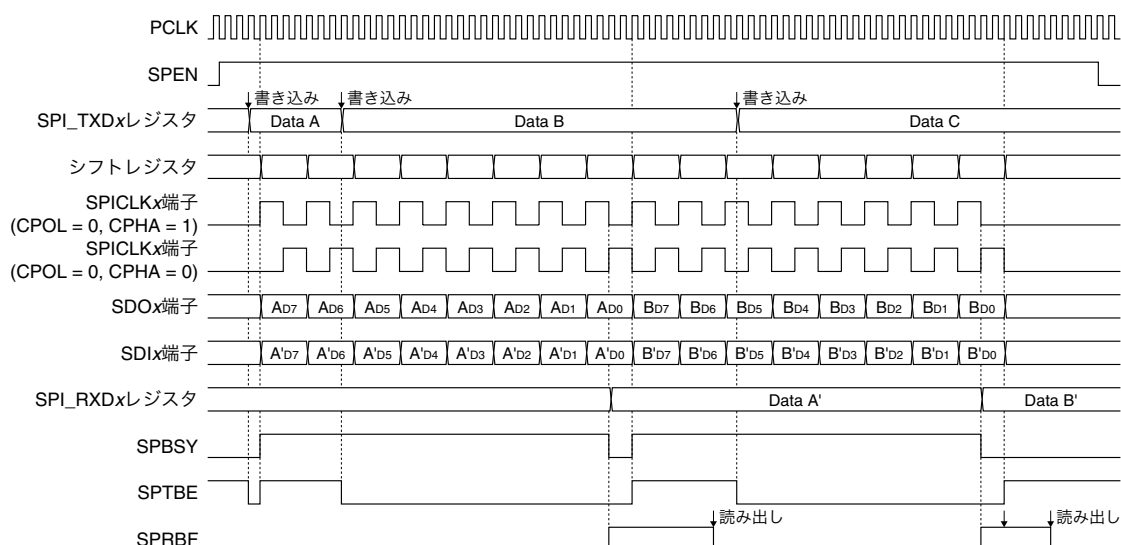


図16.5.2 データ送受信タイミングチャート (MSB先頭)

データ送受信を禁止

データ転送(送信と受信の両方)を終了後は、SPENに0を書き込んでデータ送受信を禁止します。ただし、データ送受信を禁止する前に、SPTBEフラグが1、SPBSYフラグが0になっていることを確認してください。データの送受信中にSPENを0に設定した場合、転送中のデータは保証されません。

16.6 SPI割り込み

SPIモジュールには、以下の2種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 受信バッファフル割り込み

SPIモジュールは、上記2種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、ステータスフラグを読み出してください。

送信バッファエンプティ割り込み

この割り込みを使用するには、SPTIE/SPI_CTLxレジスタを1に設定します。SPTIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、SPIモジュールはSPTBE/SPI_STxレジスタを1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(SPTIE = 1)、これと同時に割り込み要求がITCに出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

SPI割り込みが送信バッファエンプティによるものかどうかについては、SPI割り込み処理ルーチンでSPTBEフラグを読み出して確認してください。SPTBEが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

受信バッファフル割り込み

この割り込みを使用するには、SPRIE/SPI_CTLxレジスタを1に設定します。SPRIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

シフトレジスタに受信したデータが受信データバッファにロードされると、SPIモジュールはSPRBF/SPI_STxレジスタを1にセットして、受信データバッファに読み出し可能な受信データがあることを示します。受信バッファフル割り込みが許可されていれば(SPRIE = 1)、これと同時に割り込み要求がITCに出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

SPI割り込みが受信バッファフルによるものかどうかについては、SPI割り込み処理ルーチンでSPRBFフラグを読み出して確認してください。SPRBFが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

16.7 制御レジスタ詳細

表16.7.1 SPIレジスタ一覧

アドレス	レジスタ名		機 能
0x4320	SPI_ST0	SPI Ch.0 Status Register	転送、バッファステータスの表示
0x4322	SPI_TXD0	SPI Ch.0 Transmit Data Register	送信データ
0x4324	SPI_RXD0	SPI Ch.0 Receive Data Register	受信データ
0x4326	SPI_CTL0	SPI Ch.0 Control Register	SPIモードとデータ転送許可の設定
0x4380	SPI_ST1	SPI Ch.1 Status Register	転送、バッファステータスの表示
0x4382	SPI_TXD1	SPI Ch.1 Transmit Data Register	送信データ
0x4384	SPI_RXD1	SPI Ch.1 Receive Data Register	受信データ
0x4386	SPI_CTL1	SPI Ch.1 Control Register	SPIモードとデータ転送許可の設定
0x43a0	SPI_ST2	SPI Ch.2 Status Register	転送、バッファステータスの表示
0x43a2	SPI_TXD2	SPI Ch.2 Transmit Data Register	送信データ
0x43a4	SPI_RXD2	SPI Ch.2 Receive Data Register	受信データ
0x43a6	SPI_CTL2	SPI Ch.2 Control Register	SPIモードとデータ転送許可の設定

以下、SPIのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

SPI Ch.x Status Registers (SPI_STx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
SPI Ch.x Status Register (SPI_STx)	0x4320	D15–3	–	reserved	–		–	–	0 when being read.
	0x4380	D2	SPBSY	Transfer busy flag (master)	1	Busy	0	Idle	
	0x43a0			ss signal low flag (slave)	1	ss = L	0	ss = H	
	(16 bits)	D1	SPRBF	Receive data buffer full flag	1	Full	0	Not full	
		D0	SPTBE	Transmit data buffer empty flag	1	Empty	0	Not empty	

D[15:3] Reserved

D2 SPBSY: Transfer Busy Flag Bit (Master Mode)/ss Signal Low Flag Bit (Slave Mode)

マスタモード

SPIの送受信動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

SPBSYはSPIがマスタモードで送受信を開始すると1にセットされ、送受信中は1を保持します。送受信動作が終了すると、0にクリアされます。

スレーブモード

スレーブ選択(#SPISSx)信号の状態を示します。

1(R): Lowレベル(本SPIが選択状態)

0(R): Highレベル(本SPIは非選択状態)(デフォルト)

SPBSYは、マスタデバイスが本SPIモジュール(スレーブデバイス)を選択するために#SPISSx信号をアクティブにすると1にセットされます。マスタデバイスが#SPISSx信号をインアクティブとして本SPIモジュールの選択を解除すると0に戻ります。

D1 SPRBF: Receive Data Buffer Full Flag Bit

受信データバッファの状態を示します。

1(R): データフル

0(R): データなし(デフォルト)

SPRBFはシフトレジスタに受信したデータが受信データバッファに転送されると(受信が完了すると)1となり、そのデータが読み出し可能であることを示します。バッファのデータがSPI_RXD_xレジスタから読み出されると0に戻ります。

D0 SPTBE: Transmit Data Buffer Empty Flag Bit

送信データバッファの状態を示します。

1(R): エンプティ(デフォルト)

0(R): データあり

SPTBEはSPI_TXD_xレジスタ(送信データバッファ)に送信データが書き込まれると0となり、そのデータがシフトレジスタに転送されると(送信を開始すると)1となります。

SPI_TXD_xレジスタへの送信データの書き込みは、このビットが1の場合に行います。

SPI Ch.x Transmit Data Registers (SPI_TXD_x)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI Ch.x Transmit Data Register (SPI_TXD _x)	0x4322	D15–8	–	reserved	–	–	–	0 when being read.
	0x4382	D7–0	SPTDB[7:0]	SPI transmit data buffer	0x0 to 0xff	0x0	R/W	
	0x43a2 (16 bits)			SPTDB7 = MSB SPTDB0 = LSB				

D[15:8] Reserved

D[7:0] SPTDB[7:0]: SPI Transmit Data Buffer Bits

送信データバッファに書き込む送信データを設定します。(デフォルト: 0x0)

マスタモードでは、このレジスタにデータを書き込むことにより送信を開始します。スレーブモードでは、マスタからクロックが入力されるとこのレジスタの内容がシフトレジスタに送られ、送信を開始します。

このレジスタに書き込んだデータがシフトレジスタに転送された時点で、SPTBE/SPI_ST_xレジスタが1(エンプティ)にセットされます。同時に送信バッファエンプティ割り込み要因も発生します。それ以降であれば、データの送信中であっても次の送信データを書き込むことができます。

SDO_x端子からはシリアル変換されたデータが、1に設定されたビットがHighレベル、0に設定されたビットがLowレベルとして出力されます。

注: データの送受信を行う場合、SPI_TXD_xレジスタへの書き込みはSPENを1に設定した後に行ってください。

SPI Ch.x Receive Data Registers (SPI_RXD_x)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI Ch.x Receive Data Register (SPI_RXD _x)	0x4324	D15–8	–	reserved	–	–	–	0 when being read.
	0x4384	D7–0	SPRDB[7:0]	SPI receive data buffer	0x0 to 0xff	0x0	R	
	0x43a4 (16 bits)			SPRDB7 = MSB SPRDB0 = LSB				

D[15:8] Reserved

D[7:0] SPRDB[7:0]: SPI Receive Data Buffer Bits

受信データが格納されます。(デフォルト: 0x0)

受信が終了し、シフトレジスタのデータが受信データバッファに転送された時点でSPRBF/SPI_ST_xレジスタが1(データフル)にセットされます。同時に受信バッファフル割り込み要因も発生します。これ以降、次のデータの受信を終了するまで、データの読み出しが可能です。このレジスタを読み出す前に次の受信を終了した場合は、新たな受信データで上書きされます。SDI_x端子から入力されたシリアルデータは、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。

このレジスタは読み出し専用で、書き込みは行えません。

SPI Ch.x Control Registers (SPI_CTLx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
SPI Ch.x Control Register (SPI_CTLx)	0x4326	D15–10	–	reserved	–		–	–	0 when being read.
	0x4386	D9	MCLK	SPI clock source select	1	T16 Ch.1	0	PCLK/4	0 R/W
	0x43a6 (16 bits)	D8	MSLB	LSB/MSB first mode select	1	LSB	0	MSB	0 R/W
		D7–6	–	reserved	–		–	–	0 when being read.
		D5	SPRIE	Receive data buffer full int. enable	1	Enable	0	Disable	0 R/W
		D4	SPTIE	Transmit data buffer empty int. enable	1	Enable	0	Disable	0 R/W
		D3	CPHA	Clock phase select	1	Data out	0	Data in	0 R/W
		D2	CPOL	Clock polarity select	1	Active L	0	Active H	0 R/W
		D1	MSSL	Master/slave mode select	1	Master	0	Slave	0 R/W
		D0	SPEN	SPI enable	1	Enable	0	Disable	0 R/W

注: SPBSYフラグ/SPI_STxレジスタが1の間、およびSPRBFフラグ/SPI_STxレジスタが1の間(データの送受信中)は、SPI_CTLxレジスタにアクセスしないでください。

D[15:10] Reserved

D9 **MCLK: SPI Clock Source Select Bit**

SPIクロックのソースを選択します。

1(R/W): 16ビットタイマCh.1

0(R/W): PCLK/4(デフォルト)

D8 **MSLB: LSB/MSB First Mode Select Bit**

データの送受信をMSB先頭で行うか、LSB先頭で行うか選択します。

1(R/W): LSB先頭

0(R/W): MSB先頭(デフォルト)

D[7:6] Reserved

D5 **SPRIE: Receive Data Buffer Full Interrupt Enable Bit**

受信データバッファフルによるSPI割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPRIEを1に設定すると、受信データバッファフルによるSPI割り込み要求のITCへの出力を許可します。この割り込み要求は、シフトレジスタに受信したデータが受信データバッファに転送される(受信が完了する)ことにより発生します。

SPRIEを0に設定すると、受信データバッファフルによるSPI割り込みは発生しません。

D4 **SPTIE: Transmit Data Buffer Empty Interrupt Enable Bit**

送信データバッファエンプティによるSPI割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPTIEを1に設定すると、送信データバッファエンプティによるSPI割り込み要求のITCへの出力を許可します。この割り込み要求は、送信データバッファに書き込んだデータがシフトレジスタに転送される(送信を開始する)ことにより発生します。

SPTIEを0に設定すると、送信データバッファエンプティによるSPI割り込みは発生しません。

D3 **CPHA: Clock Phase Select Bit**

SPIクロックの位相を選択します。(デフォルト: 0)

CPOLと共に、データ転送タイミングを設定します(図16.7.1参照)。

D2 **CPOL: Clock Polarity Select Bit**

SPIクロックの極性を選択します。

1(R/W): アクティブLow

0(R/W): アクティブHigh(デフォルト)

CPHAと共に、データ転送タイミングを設定します(図16.7.1参照)。

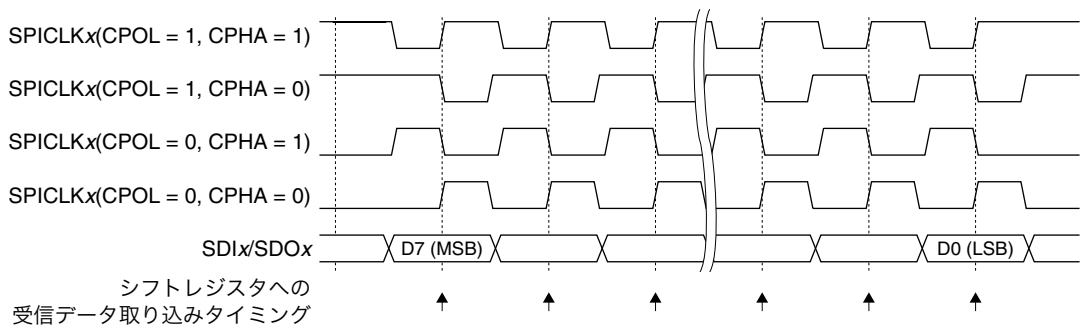


図16.7.1 クロックとデータ転送タイミング

D1 MSSL: Master/Slave Mode Select Bit

SPIモジュールをマスターモードまたはスレーブモードに設定します。

1(R/W): マスターモード

0(R/W): スレーブモード(デフォルト)

MSSLを1に設定するとマスターモード、0に設定するとスレーブモードになります。マスターモードでは、内部クロックを使用してデータ転送を行います。スレーブモードでは、マスターデバイスからクロックを入力してデータ転送を行います。

D0 SPEN: SPI Enable Bit

SPIモジュールの動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPENを1に設定するとSPIモジュールが動作を開始し、データ転送が行える状態になります。

SPENを0に設定すると、SPIモジュールは動作を停止します。

注: CPHA、CPOL、MSSLビットの設定は、SPENビットを0に設定して行ってください。

17 I²Cマスタ (I2CM)

17.1 I2CMモジュールの概要

S1C17554/564は、2線式シリアル通信を実現するI²Cマスタ (I2CM) モジュールを内蔵しています。I2CMモジュールはI²Cバスのマスタデバイスとして動作し、I²Cに準拠したスレーブデバイスと通信を行うことができます。I2CMモジュールの主な機能と特長を以下に示します。

- I²Cバスマスタデバイスとして動作(シングルマスタとしてのみ使用可能)
- 標準(100kbps)モードおよびファストモード(400kbps)に対応
- 8ビットデータ長(MSB先頭)
- 7ビットアドレスモード(10ビットアドレスもソフトウェア制御により対応可能)
- 1バイトの受信データバッファと1バイトの送信データバッファを内蔵
- スタート、リピーテッドスタート、ストップコンディションを生成可能
- 半二重通信に対応
- クロックストレッチ機能に対応
- データ転送の信頼性を向上させるノイズ除去機能
- 受信バッファフル、送信バッファエンpty割り込みを発生可能

図17.1.1にI2CMモジュールの構成を示します。

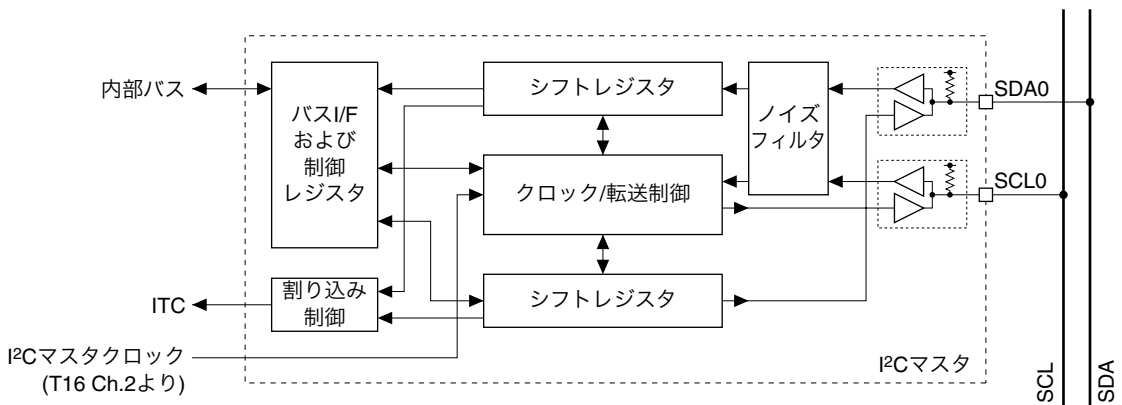


図17.1.1 I2CMモジュールの構成

17.2 I2CM入出力端子

表17.2.1にI2CM端子の一覧を示します。

表17.2.1 I2CM端子一覧

端子名	I/O	本数	機能
SDA0	I/O	1	I2CMデータ入出力端子(注) I ² Cバスからシリアルデータを入力します。 また、シリアルデータをI ² Cバスに出力します。
SCL0	I/O	1	I2CMクロック入出力端子(注) SCLラインの状態を入力します。 また、シリアルクロックを出力します。

I2CMの入出力端子(SDA0、SCL0)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをI2CMの入出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。

端子の機能と切り換えの詳細については、「入出力ポート(P)」の章を参照してください。

注: ポート機能切り換え時は、端子がハイインピーダンスになります。

Highレベルは出力しませんので、SCL0とSDA0ラインは外部でHV_{DD}レベルにプルアップしてください。なお、HV_{DD}を超える電圧値にはプルアップしないでください。

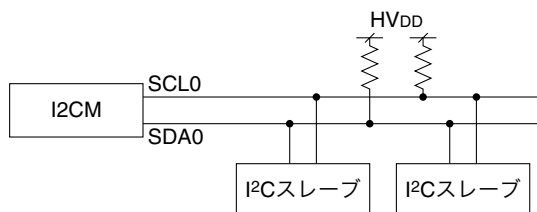


図17.2.1 I²Cの接続例

17.3 同期クロック

I2CMモジュールは、16ビットタイマ(T16)Ch.2が出力する内部クロック(I2CMクロック)を同期クロックとして使用します。このクロックはシフトレジスタを駆動すると共に、SCL0端子からスレーブデバイスへ出力されます。

T16 Ch.2から転送レートに合ったクロックが出力されるようにプログラムしてください。T16の制御については、“16ビットタイマ(T16)”の章を参照してください。

なお、クロックストレッチを行うスレーブデバイスと通信を行う場合、標準モード時の転送速度は最大50kbps、ファストモード時は最大200kbpsに制限されますので注意してください。

I2CMモジュールはスレーブデバイスとしては機能しません。SCL0入力端子はI²CバスのSCL信号の状態チェックに使用され、同期クロックの入力用には使用されません。

17.4 データ転送前の設定項目

I2CMモジュールには、アプリケーションプログラムから選択可能なノイズ除去のオプション機能があります。

ノイズ除去機能

I2CMモジュールには、SDA0およびSCL0端子の入力信号からノイズを除去する機能が組み込まれています。この機能は、NSERM/I2CM_CTLレジスタを1に設定することにより有効となります。

ただし、この機能を使用するには、I2CMクロック(T16 Ch.2出力クロック)周波数をPCLKの1/6以下に設定する必要があります。

17.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) I2CMクロックが出力されるようにT16 Ch.2を設定します。“16ビットタイマ(T16)”の章を参照してください。
- (2) オプション機能を選択します。17.4節を参照してください。
- (3) I2CM割り込みを使用する場合は、割り込み条件を設定します。17.6節を参照してください。

注: 上記の設定は、必ずI2CMモジュールが停止中(I2CMEN/I2CM_ENレジスタ = 0)に行ってください。

データ送受信を許可

最初にI2CMEN/I2CM_ENレジスタを1に設定してI2CMの動作を許可します。これにより、I2CMが送受信可能な状態となり、クロックの出力も許可されます。

注: I2CMモジュールが送受信中はI2CMENを0に設定しないでください。

データ送受信の開始

データの送受信を開始するには、I²Cマスタ(本モジュール)がスタートコンディションを生成する必要があります。それに引き続いてスレーブアドレスを送信し、通信を確立します。

(1) スタートコンディションの生成

SCLラインをHighに保った状態で、SDAラインをLowにすることがスタートコンディションです。

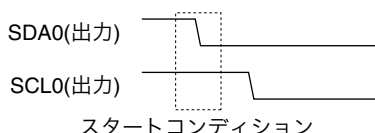


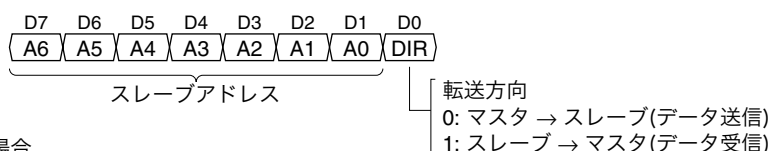
図17.5.1 スタートコンディション

スタートコンディションは、STRT/I2CM_CTLレジスタを1に設定することで生成されます。スタートコンディションが生成されると、STRTは自動的に0にリセットされます。これ以降、PCバスはビジー状態になります。

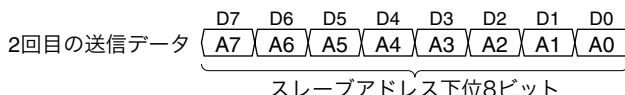
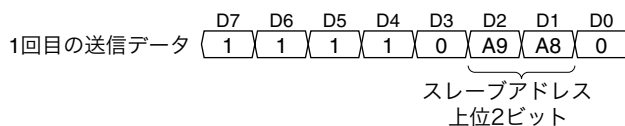
(2) スレーブアドレスの送信

スタートコンディションの生成後、I²Cマスタ(本モジュール)は通信を行うスレーブのアドレスと転送方向を示すビットを送信します。I²Cのスレーブアドレスには7ビットアドレスと10ビットアドレスの2種類があります。本モジュールは8ビットの送受信データレジスタを使用してスレーブアドレスと転送方向ビットを送信しますので、7ビットアドレスモードの場合は1回で送信可能です。10ビットの場合はソフトウェア制御により2回、または3回の送信を行います。アドレスデータの構成を図17.5.2に示します。

7ビットアドレスの場合



10ビットアドレスの場合



(データ受信時) 2回目の送信データの後にリピーテッドスタートコンディションを発行し、下記のとおり3回目のデータを送信

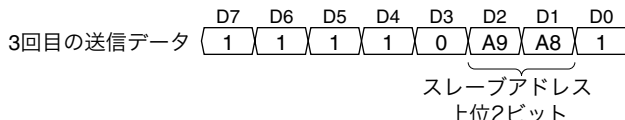


図17.5.2 スレーブアドレスと転送方向を指定する送信データ

転送方向ビットはスレーブアドレスに続くデータ転送の方向を示します。マスタからスレーブへのデータ送信時は転送方向ビットを0に、スレーブからのデータの受信時は1に設定します。スレーブアドレスを送信するには、アドレスと転送方向ビットをRTDT[7:0]/I2CM_DATレジスタに設定します。同時に、アドレスの送信を実行するTXE/I2CM_DATレジスタを1に設定します。スレーブアドレス出力後は、データの送信またはデータの受信を必要な回数行います。スレーブアドレスと共に設定した転送方向のとおり、データ送信またはデータ受信を行う必要があります。

データ送信制御

以下、データの送信方法を説明します。データの送信は、スレーブアドレスの送信と同様の手順で行います。

バイトデータを送信するには、送信データをRTDT[7:0]に設定します。同時に、1バイトの送信を実行するTXEを1に設定します。TXEビットが1に設定されると、I2CMモジュールはクロックに同期してデータ送信を開始します。前のデータを送信中の場合は、その完了後に開始します。

まず、I2CMモジュールは書き込まれたデータをシフトレジスタに転送し、SCL0端子からクロックの出力を開始します。この時点でTXEが0にリセットされると共に割り込み要因が発生しますので、この後、次の送信データとTXEの再設定を行うことができます。

シフトレジスタ内のデータビットはクロックの立ち下がりエッジで順次シフトされ、MSBを先頭にSDA0端子から出力されます。I2CMモジュールは1回のデータ送信に9個のクロックを出力します。9個目のクロックサイクルでは、SDAラインをハイインピーダンスにしてスレーブデバイスからのACKまたはNAKを受信します。スレーブデバイスは、データを受信できた場合はマスタにACK(0)を返します。受信できなかったときはSDAラインがプルダウンされませんので、I2CMモジュールはこれをNAK(1)と見なします(送信失敗)。

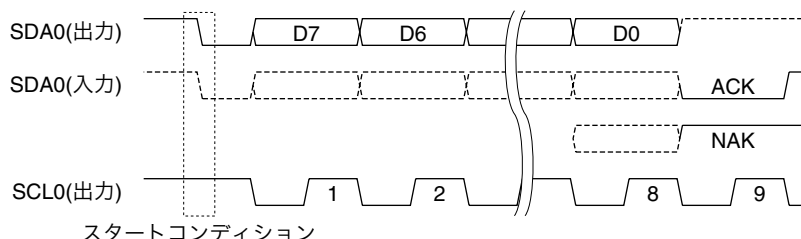


図17.5.3 ACKとNAK

I2CMモジュールには送信の制御用にTBUSY/I2CM_CTLレジスタとRTACK/I2CM_DATレジスタの2つのステータスビットが用意されています。

TBUSYフラグはデータ送信状態を示します。このフラグは送信(スレーブアドレスの送信も含む)を開始すると1になり、データ送信が終了すると0に戻ります。I2CMモジュールが送信動作中か待機中かについては、このフラグを読み出して確認してください。

RTACKビットは、前回の送信時にスレーブデバイスがACKを返したかどうかを示します。ACKが返っていればRTACKは0、ACKが返っていなければRTACKは1となります。

データ受信制御

以下、データの受信方法を説明します。データ受信の場合は、転送方向ビットを1としたスレーブアドレスを送信しておく必要があります。

データを受信するには、1バイトの受信を実行するRXE/I2CM_DATレジスタを1に設定します。スレーブアドレス送信時にTXE/I2CM_DATレジスタを1に設定しますが、そのとき同時にRXEを1に設定しておくことができます。TXEとRXEが両方共に1の場合はTXEが優先されます。

RXEビットが1に設定され、受信が開始できる状態になると、I2CMモジュールはSDAラインをハイインピーダンスにして、SCL0端子からクロックの出力を開始します。データはMSBを先頭に、クロックに同期して順次シフトレジスタに取り込まれます。

RXEはD7の取り込み時に0にリセットされます。

8ビットのデータをシフトレジスタに受信し終わると、受信データはRTDT[7:0]にロードされます。

I2CMモジュールには受信の制御用にRBRDY/I2CM_DATレジスタとRBUSY/I2CM_CTLレジスタの2つのステータスビットが用意されています。

RBRDYフラグは受信データの状態を示します。このフラグはシフトレジスタに受信したデータがRTDT[7:0]にロードされると1になり、RTDT[7:0]から受信データが読み出されると0に戻ります。このフラグが1になった時点で割り込みを発生させることができます。

RBUSYフラグは受信動作状態を示します。このフラグは受信を開始すると1になり、データ受信が終了すると0に戻ります。I2CMモジュールが受信動作中か待機中かについては、このフラグを読み出して確認してください。

I2CMモジュールは1回のデータ受信に9個のクロックを出力します。9個目のクロックサイクルでは、SDA0端子からスレーブに対してACKまたはNAKを送信します。送信するビットの状態はRTACK/I2CM_DATレジスタに設定可能です。ACKを送信するにはRTACKを0に設定します。NAKを送信するにはRTACKを1に設定します。

データ送受信の終了(ストップコンディションの生成)

全データの送受信が終了した後、データ転送を終了するには、I²Cマスタ(本モジュール)がストップコンディションを生成する必要があります。SCLラインをHighに保った状態で、SDAラインをLowからHighにすることがストップコンディションとなります。



図17.5.4 ストップコンディション

ストップコンディションは、STP/I2CM_CTLレジスタを1に設定して生成します。

STPを1に設定すると、I2CMモジュールはI²CバスのSCLラインをHighに保った状態でSDAラインをLowからHighにしてストップコンディションを生成します。これ以降I²Cバスは、フリー状態になります。

STPへの1の書き込みは、TBUSY = 1またはRBUSY = 1からTBUSY = RBUSY = 0への遷移(I2CMモジュールのデータ送受信動作の完了)を確認し、さらに、設定しているI²Cクロック周期の1/4より長い時間が経過した後に行ってください。また、クロックストレッチ機能を持つスレーブデバイスに対してストップコンディションを生成する場合は、データの送受信(ACK/NAK送受信も含む)が終了し、さらにスレーブデバイスがクロックストレッチを終了するまでの時間が経過した後に、STPへ1を書き込んでください。ストップコンディションが生成されると、STPは自動的に0にリセットされます。

データ送受信の継続(リピーテッドスタートコンディションの生成)

データの送受信が終了した後、さらに別の送受信を続けて行いたい場合などには、I²Cマスタ(本モジュール)でリピーテッドスタートコンディションを生成することが可能です。

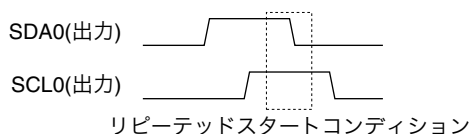


図17.5.5 リピーテッドスタートコンディション

リピーテッドスタートコンディションは、I²Cバスがビジー状態のときにSTRT/I2CM_CTLレジスタを1に設定することで生成されます。リピーテッドスタートコンディションが生成されると、STRTは自動的に0にリセットされます。これ以降、I²Cバスはビジー状態を保ったままスレーブアドレスの送信が可能な状態になります。

データ送受信を禁止

ストップコンディションを生成した後は、I2CMENに0を書き込んでデータ送受信を禁止します。ストップコンディションの生成が完了したことは、STPを1に設定した後に、0へ自動的にクリアされたことをポーリングすることにより、確認できます。

I²Cバスがビジー状態のときにI2CMENを0に設定した場合、SCL0とSDA0の出力レベル、および転送中のデータは保証されません。

タイミングチャート

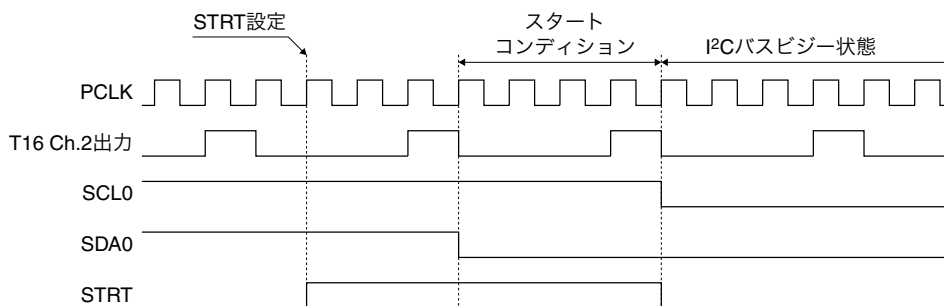


図17.5.6 スタートコンディション生成

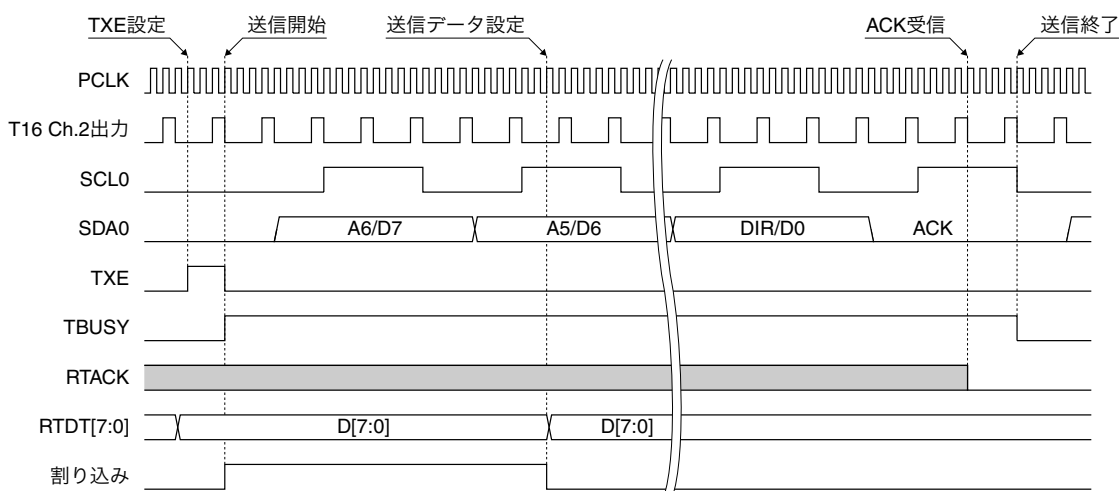


図17.5.7 スレーブアドレス送信 / データ送信

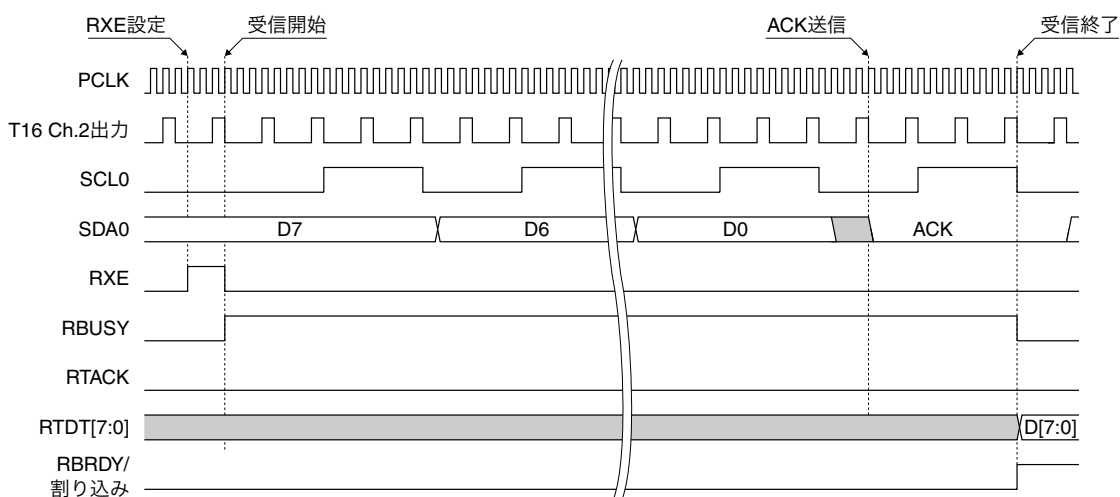


図17.5.8 データ受信

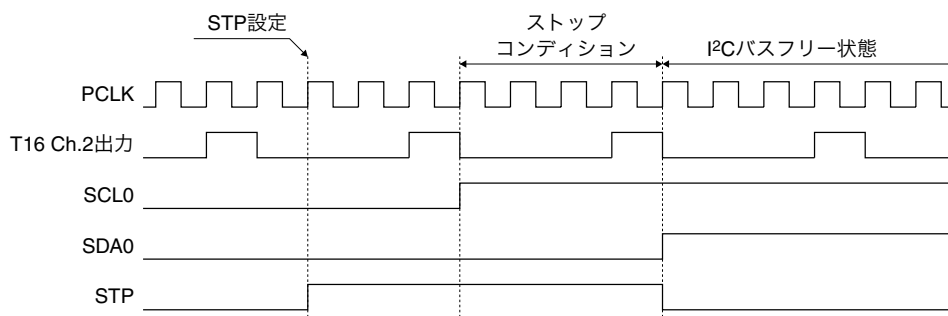


図17.5.9 ストップコンディション生成

17.6 I2CM割り込み

I2CMモジュールには、以下の2種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 受信バッファフル割り込み

I2CMモジュールは、上記2種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ (ITC) に対して出力します。

送信バッファエンプティ割り込み

この割り込みを使用するには、TINTE/I2CM_ICTLレジスタを1に設定します。TINTEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

送信バッファエンプティ割り込みが許可されていれば(TINTE = 1)、RTDT[7:0]/I2CM_DATレジスタに設定された送信データがシフトレジスタに転送された時点で割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。

送信バッファエンプティ割り込みを確認する方法

次の手順でTXE/I2CM_DATレジスタを読み出した値が0の場合、送信バッファエンプティ割り込みが発生したことを示します。

- (1) TINTE/I2CM_ICTLレジスタを1に設定します。
- (2) RTDT[7:0]/I2CM_DATレジスタにデータを書き込みます。
- (3) TXE/I2CM_DATレジスタを1に設定します。(2と同時に可)
- (4) I2CM割り込みが発生します。
- (5) TXE/I2CM_DATレジスタを読み出します。

送信バッファエンプティ割り込みをクリアする方法

RTDT[7:0]/I2CM_DATレジスタにデータを書き込みます。

注 • TXE/I2CM_DATレジスタを0に設定した場合、データは送信されません。

- I²Cバスからの受信データがRTDT[7:0]に存在した場合は、上書きされます。

受信バッファフル割り込み

この割り込みを使用するには、RINTE/I2CM_ICTLレジスタを1に設定します。RINTEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

受信バッファフル割り込みが許可されていれば(RINTE = 1)、シフトレジスタに受信したデータがRTDT[7:0]にロードされた時点で割り込み要求がITCに出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

受信バッファフル割り込みを確認する方法

次の手順でRBRDY/I2CM_DATレジスタを読み出した値が1の場合、受信バッファフル割り込みが発生したことを示します。

- (1) RINTE/I2CM_ICTLレジスタを1に設定します。
- (2) I2CM割り込みが発生します。
- (3) RBRDY/I2CM_DATレジスタを読み出します。

受信バッファフル割り込みをクリアする方法

RTDT[7:0]/I2CM_DATレジスタからデータを読み出します。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

17.7 制御レジスタ詳細

表17.7.1 I2CMレジスタ一覧

アドレス	レジスタ名		機能
0x4340	I2CM_EN	I ² C Master Enable Register	I ² Cマスタモジュールイネーブル
0x4342	I2CM_CTL	I ² C Master Control Register	I ² Cマスタの制御と転送状態の表示
0x4344	I2CM_DAT	I ² C Master Data Register	送受信データ
0x4346	I2CM_ICTL	I ² C Master Interrupt Control Register	I ² Cマスタ割り込みの制御

以下、I2CMモジュールのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

I²C Master Enable Register (I2CM_EN)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Master Enable Register (I2CM_EN)	0x4340 (16 bits)	D15-1	—	reserved	—	—	—	0 when being read.
		D0	I2CMEN	I ² C master enable	1 Enable 0 Disable	0	R/W	

D[15:1] Reserved

D0 I2CMEN: I²C Master Enable Bit

I2CMモジュールの動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I2CMENを1に設定するとI2CMモジュールが動作を開始し、データ転送が行える状態になります。I2CMENを0に設定すると、I2CMモジュールは動作を停止します。

I²C Master Control Register (I2CM_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Master Control Register (I2CM_CTL)	0x4342 (16 bits)	D15-10	—	reserved	—	—	—	0 when being read.
		D9	RBUSY	Receive busy flag	1 Busy 0 Idle	0	R	
		D8	TBUSY	Transmit busy flag	1 Busy 0 Idle	0	R	
		D7-5	—	reserved	—	—	—	0 when being read.
		D4	NSERM	Noise remove on/off	1 On 0 Off	0	R/W	
		D3-2	—	reserved	—	—	—	0 when being read.
		D1	STP	Stop control	1 Stop 0 Ignored	0	R/W	
		D0	STRT	Start control	1 Start 0 Ignored	0	R/W	

D[15:10] Reserved

D9 RBUSY: Receive Busy Flag Bit

I2CMの受信動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

RBUSYはI2CMがデータ受信を開始すると1にセットされ、受信中は1を保持します。受信動作が終了すると、0にクリアされます。

D8 TBUSY: Transmit Busy Flag Bit

I2CMの送信動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

TBUSYはI2CMがデータ送信を開始すると1にセットされ、送信中は1を保持します。送信動作が終了すると、0にクリアされます。

D[7:5] Reserved

D4 NSERM: Noise Remove On/Off Bit

ノイズ除去機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

I2CMモジュールには、SDA0およびSCL0端子の入力信号からノイズを除去する機能が組み込まれており、NSERMを1に設定することにより有効となります。

ただし、この機能を使用するには、I2CMクロック(T16 Ch.2出力クロック)周波数をPCLKの1/6以下に設定する必要があります。

D[3:2] Reserved

D1 STP: Stop Control Bit

ストップコンディションを生成します。

1(R/W): ストップコンディションを生成

0(R/W): 無効(デフォルト)

STPを1に設定すると、I2CMモジュールはI²CバスのSCLラインをHighに保った状態でSDAラインをLowからHighにしてストップコンディションを生成します。これ以降I²Cバスは、フリー状態になります。ストップコンディションは、データ転送(ACKの転送も含む)終了時にSTPが1、TXE/I2CM_DATレジスタ、RXE/I2CM_DATレジスタ、およびSTRTが0に設定されている場合にのみ生成されます。

ストップコンディションが生成されると、STPは自動的に0にリセットされます。

D0 **STRT: Start Control Bit**

スタートコンディションを生成します。

1(R/W): スタートコンディションを生成

0(R/W): 無効(デフォルト)

STRTを1に設定すると、I2CMモジュールはI²CバスのSCLラインをHighに保った状態で、SDAラインをLowにしてスタートコンディションを生成します。

I²Cバスがビジー状態のときにSTRTを1に設定することにより、リピーテッドスタートコンディションを生成することもできます。

スタートコンディションまたはリピーテッドスタートコンディションが生成されると、STRTは自動的に0にリセットされます。これ以降I²Cバスは、ビジー状態になります。

I²C Master Data Register (I2CM_DAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Master Data Register (I2CM_DAT)	0x4344 (16 bits)	D15–12	—	reserved	—	—	—	0 when being read.
		D11	RBRDY	Receive buffer ready flag	1 Ready 0 Empty	0	R	
		D10	RXE	Receive execution	1 Receive 0 Ignored	0	R/W	
		D9	TXE	Transmit execution	1 Transmit 0 Ignored	0	R/W	
		D8	RTACK	Receive/transmit ACK	1 Error 0 ACK	0	R/W	
		D7–0	RTDT[7:0]	Receive/transmit data RTDT7 = MSB RTDT0 = LSB	0x0 to 0xff	0x0	R/W	

D[15:12] **Reserved**

D11 **RBRDY: Receive Buffer Ready Flag Bit**

受信バッファの状態を示します。

1(R): 受信データあり

0(R): 受信データなし(デフォルト)

RBRDYフラグはシフトレジスタに受信したデータがRTDT[7:0]にロードされると1になり、RTDT[7:0]から受信データが読み出されると0に戻ります。このフラグが1になった時点で割り込みを発生させることもできます。

D10 **RXE: Receive Execution Bit**

1バイトのデータ受信を実行します。

1(R/W): データ受信開始

0(R/W): 無効(デフォルト)

RXEを1、TXEを0に設定することにより、1バイトのデータ受信を開始します。スレーブアドレスの送信中またはデータの受信中であっても、次の受信のためにRXEを1に設定しておくことができます。RXEはD7がシフトレジスタに取り込まれた時点で0にリセットされます。

D9 **TXE: Transmit Execution Bit**

1バイトのデータ送信を実行します。

1(R/W): データ送信開始

0(R/W): 無効(デフォルト)

送信データをRTDT[7:0]に設定するとともにTXEに1を書き込んで送信を開始します。スレーブアドレスまたはデータの送信中であっても、次の送信のためにTXEを1に設定しておくことができます。TXEはRTDT[7:0]に設定したデータがシフトレジスタに転送された時点で0にリセットされます。

D8 RTACK: Receive/Transmit ACK Bit**データ送信時**

応答ビットの状態を示します。

1(R/W): エラー (NAK)

0(R/W): ACK (デフォルト)

1バイトのデータを送信後、スレーブからACKが返るとRTACKは0になります。これは、スレーブがデータを正常に受信できたことを示します。RTACKが1の場合、スレーブデバイスが動作していないか、データが正常に受信できなかったことを示します。

データ受信時

スレーブに送信する応答ビットを設定します。

1(R/W): エラー (NAK)

0(R/W): ACK (デフォルト)

データ受信後にACKを返す場合は、I2CMモジュールが応答ビットを送る前にRTACKを0に設定してください。NAKを返す場合は、RTACKを1に設定します。

D[7:0] RTDT[7:0]: Receive/Transmit Data Bits**データ送信時**

送信データを設定します。(デフォルト: 0x0)

データ送信は、TXEを1に設定することにより開始します。現在スレーブアドレスまたはデータを送信中の場合は、その終了後に新たな送信を開始します。SDA0端子からはシリアル変換されたデータがMSBを先頭に、0に設定されたビットをLowレベルとして出力されます。このレジスタに書き込んだデータがシフトレジスタに転送された時点で、送信バッファエンプティ割り込み要因が発生します。それ以降であれば、次の送信データを書き込むことができます。

データ受信時

受信データが読み出せます。(デフォルト: 0x0)

データ受信はRXEを1に設定すると開始します。現在スレーブアドレス送信中またはデータ受信中の場合は、その終了後に新たな受信を開始します。受信が終了し、シフトレジスタのデータがこのレジスタに転送された時点でRBRDYフラグがセットされ、受信バッファフル割り込み要因が発生します。これ以降、次のデータの受信を終了するまで、データの読み出しが可能です。このレジスタを読み出す前に次の受信を終了した場合は、新たな受信データで上書きされます。

SDA0端子から入力されたシリアルデータは先頭をMSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。

I²C Master Interrupt Control Register (I2CM_ICTL)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
I ² C Master Interrupt Control Register (I2CM_ICTL)	0x4346 (16 bits)	D15-2	—	reserved	—			—	—	0 when being read.
		D1	RINTE	Receive interrupt enable	1	Enable	0	Disable	0	R/W
		D0	TINTE	Transmit interrupt enable	1	Enable	0	Disable	0	R/W

D[15:2] Reserved**D1 RINTE: Receive Interrupt Enable Bit**

I2CMの受信バッファフル割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止 (デフォルト)

RINTEを1に設定すると、受信バッファフルによるI2CM割り込み要求のITCへの出力を許可します。この割り込み要求は、シフトレジスタに受信したデータがRTDT[7:0]/I2CM_DATレジスタに転送される(受信が完了する)ことにより発生します。

RINTEを0に設定すると、I2CM受信バッファフル割り込みは発生しません。

D0 TINTE: Transmit Interrupt Enable Bit

I2CMの送信バッファエンプティ割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

TINTEを1に設定すると、送信バッファエンプティによるI2CM割り込み要求のITCへの出力を許可します。この割り込み要求は、RTDT[7:0]/I2CM_DATレジスタに書き込んだデータがシフトレジスタに転送されることにより発生します。

TINTEを0に設定すると、I2CM送信バッファエンプティ割り込みは発生しません。

18 I²Cスレーブ(I2CS)

18.1 I2CSモジュールの概要

S1C17554/564は、2線式シリアル通信を実現するI²Cスレーブ(I2CS)モジュールを内蔵しています。I2CSモジュールはI²Cバスのスレーブデバイスとして動作し、I²Cに準拠したマスタデバイスと通信を行うことができます。I2CSモジュールの主な機能と特長を以下に示します。

- I²Cバススレーブデバイスとして動作
- 標準(100kbps)モードおよびファストモード(400kbps)に対応
- 8ビットデータ長(MSB先頭)
- 7ビットアドレスモード
- 1バイトの受信データバッファと1バイトの送信データバッファを内蔵
- スタート、ストップコンディションを検出可能
- 半二重通信に対応
- クロックストレッチ機能に対応
- 強制バス解放機能
- データ転送の信頼性を向上させるノイズ除去機能
- 受信バッファフル、送信バッファエンプティ、バスステータス割り込みを発生可能

図18.1.1にI2CSモジュールの構成を示します。

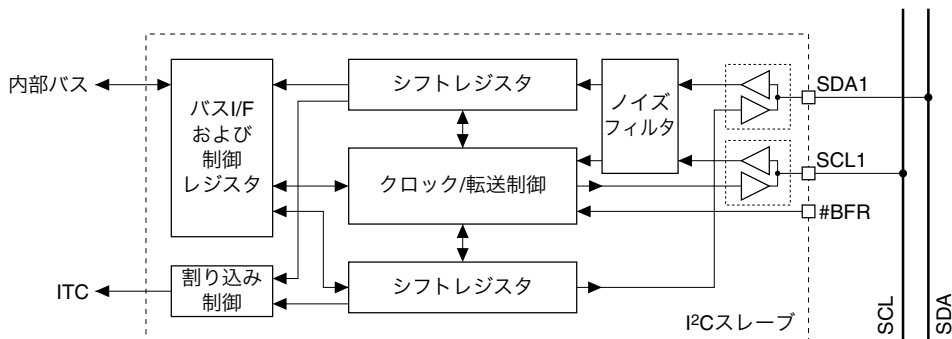


図18.1.1 I2CSモジュールの構成

注: 本I2CSモジュールはゼネラルコールアドレスおよび10ビットアドレスモードには対応していません。

18.2 I2CS入出力端子

表18.2.1にI2CSモジュール端子の一覧を示します。

表18.2.1 I2CS端子一覧

端子名	I/O	本数	機能
SDA1	I/O	1	I2CSデータ入出力端子(注) I ² Cバスからシリアルデータを入力します。 また、シリアルデータをI ² Cバスに出力します。
SCL1	I/O	1	I2CSクロック入出力端子(注) SCLラインの状態を入力します。 また、クロックストレッチ動作時はLowレベルを出力します。
#BFR	I	1	I ² Cバス解放要求入力端子 Lowパルスの入力により、I ² Cバスの解放を要求します。ソフトウェアによって要求入力許可されれば、I2CSの通信プロセスが初期化され、SDA1およびSCL1端子がハイインピーダンスになります。

I2CSモジュールの入出力端子(SDA1、SCL1、#BFR)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをI2CSモジュールの入出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。

端子機能の切り換えについては、“入出力ポート(P)”の章を参照してください。

注: ポート機能切り換え時は、端子がハイインピーダンスになります。

Highレベルは出力しませんので、SCL1とSDA1ラインは外部でHVDDレベルにプルアップしてください。なお、HVDDを超える電圧値にはプルアップしないでください。

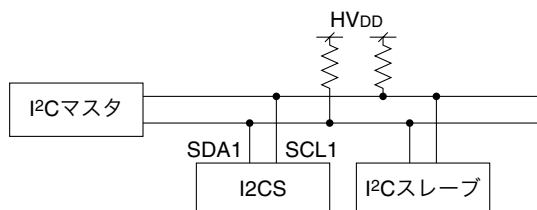


図18.2.1 I²Cの接続例

18.3 動作クロック

I2CSモジュールは、外部I2Cマスタが出力するクロックをSCL1端子から入力して動作します。

I2CSモジュールの動作には周辺モジュールクロック(PCLK)も使用されます。データ転送時はPCLKをSCL1入力クロック周波数の8倍以上に設定する必要がありますが、転送待機時は非同期アドレス検出機能によりPCLKを低く抑えることができます(消費電流を低減できます)。詳細については、“18.4.3 オプション機能”内の“非同期アドレス検出機能”を参照してください。

18.4 I2CSの初期設定

18.4.1 リセット

通信プロセスの初期化やI2Cバスを解放状態(ハイインピーダンス)にするため、I2CSモジュールをリセットする必要があります。モジュールをリセットする方法には、イニシャルリセットの他に以下の2種類があります。

(1) ソフトウェアリセット

SOFTRESET/I2CS_CTLレジスタの操作により、I2CSモジュールをリセットできます。

リセットするには、SOFTRESETに1を書き込んでI2CSモジュールをリセット状態にし、その後で0を書き込んでリセット状態を解除します。1と0の書き込みの間には、特に待ち時間の挿入は必要ありません。

この操作により、I2CSモジュールは、スタートコンディションに待機するため、I2Cの通信プロセスを初期化するとともに、SDA1およびSCL1端子をハイインピーダンスにします。また、SOFTRESETを除くすべてのI2CS制御ビットを初期化します。

通信を開始する前の初期設定時に、このリセット処理を行ってください。

(2) #BFR端子入力によるバス解放要求

I2CSモジュールは、#BFR端子入力によるバス解放要求を受け付け可能です。

本デバイスのデフォルト設定では、バス解放要求受け付け機能が無効です。機能を有効にするには、BFREQ_EN/I2CS_CTLレジスタを1に設定してください。

機能を有効にすると、#BFR端子へのLowパルス入力(周辺モジュールクロック(PCLK)1クロック以上のパルス幅が必要。2クロック以上を推奨)によりBFREQ/I2CS_STATレジスタが1にセットされます。これにより、I2Cの通信プロセスが初期化され、SDA1およびSCL1端子がハイインピーダンスになります。前述のソフトウェアリセットとは異なり、制御レジスタは初期化されません。

注: BFREQが1にセットされた場合(割り込みにて確認可能)はソフトウェアリセットを行い、再度各レジスタの設定を行ってください。

18.4.2 スレーブアドレスの設定

I²Cスレーブデバイスは、各デバイスを識別するために固有のスレーブアドレスを持ちます。本I2CSモジュールは7ビットアドレスに対応しており(10ビットアドレスには未対応)、本デバイスのアドレスをSADRS[6:0]/I2CS_SADRSレジスタに設定しておきます。

18.4.3 オプション機能

I2CSモジュールには、アプリケーションプログラムから選択可能なクロックストレッチ、非同期アドレス検出、ノイズ除去のオプション機能があります。

クロックストレッチ機能

クロックストレッチは、スレーブデバイスが1つのデータとACKの送受信の後、次の送受信の準備が整うまでSCLラインを強制的にLowにプルダウンしてマスタデバイスにウェイトを要求する機能です。マスタはこの要求が解除される(SCLラインがHighになる)まで、送受信を中断して待機します。本デバイスのデフォルト設定では、クロックストレッチ機能が無効です。機能を有効にするには、送受信前にCLKSTR_EN/I2CS_CTLレジスタを1に設定してください。なお、クロックストレッチ動作を行ったときのデータセットアップ時間(SDATA[7:0]/I2CS_TRNSレジスタのMSBをSDA1端子に出力してからSCL1端子のプルダウンを解除するまで)は、I2CSモジュールの動作クロック(PCLK)周波数によって変わります。

非同期アドレス検出機能

データ通信時は、I2CSモジュールの動作クロック(PCLK)を転送速度の8倍以上の周波数に設定する必要がありますが、通信待機中に他の処理が不要の場合は、PCLKの周波数を下げて消費電流を抑えることができます。非同期アドレス検出機能は、この場合でもマスタが送信する本I²Cスレーブのアドレスを検出するための機能です。

本デバイスのデフォルト設定では、非同期アドレス検出機能が無効です。機能を有効にするには、ASDET_EN/I2CS_CTLレジスタを1に設定してください。

本機能を有効にした場合、マスタが送信したスレーブアドレスが本I2CSモジュールに設定されているスレーブアドレスに一致すると、本モジュールはバスステータス割り込みを発生すると共にI²Cマスタに対してNAKを返し、再送を要求します。この割り込み処理ルーチン内でPCLKを転送速度の8倍以上に設定し、ASDET_ENを0にリセットしてください。この後、マスタからの再送により通常のデータ転送を再開できます。ストップコンディションによりI²Cバスがフリー状態になった後は、再度非同期アドレス検出機能を有効にして動作速度を下げるすることができます。

注: 非同期アドレス検出機能を有効にした場合、I²Cバス信号はノイズフィルタを通さずに入力されます。このため、ノイズが多い環境ではスレーブアドレスを正しく検出できない場合があります。

- 非同期アドレス検出機能を有効にすると、PCLKの周波数が転送速度の8倍以上であってもデータ転送は行えません。通常動作時は、非同期アドレス検出機能を必ず無効にしてください。

ノイズ除去機能

I2CSモジュールには、SDA1およびSCL1端子の入力信号からノイズを除去する機能が組み込まれています。この機能は、NF_EN/I2CS_CTLレジスタを1に設定することにより有効となります。

18.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) I2CSモジュールの初期設定を行います。18.4節を参照してください。
- (2) I2CS割り込みを使用する場合は、割り込み条件を設定します。18.6節を参照してください。

注: 上記の設定は、必ずI2CSモジュールが停止中(I2CSEN/I2CS_CTLレジスタ = 0)に行ってください。

データ送受信を許可

最初にI2CSEN/I2CS_CTLレジスタを1に設定してI2CSモジュールの動作を許可します。これにより、スタートコンディションの検出によって通信動作を開始できるようになります。

注: I2CSモジュールが送受信中はI2CSENを0に設定しないでください。

データ送受信の開始

データの送受信を開始するには、COM_MODE/I2CS_CTLレジスタを1に設定して通信を許可します。スタートコンディションに続き、マスタから送られた本デバイスのスレーブアドレスを受信すると、I2CSモジュールはマスタにACK(SDA1 = Low)を返し、アドレスと共に受信した転送方向ビットによりデータ受信またはデータ送信動作を開始します。

COM_MODEが0(デフォルト)の場合、マスタから本デバイスのスレーブアドレスが送信されても応答しません(ホストはNAKが返ったものと見なします)。

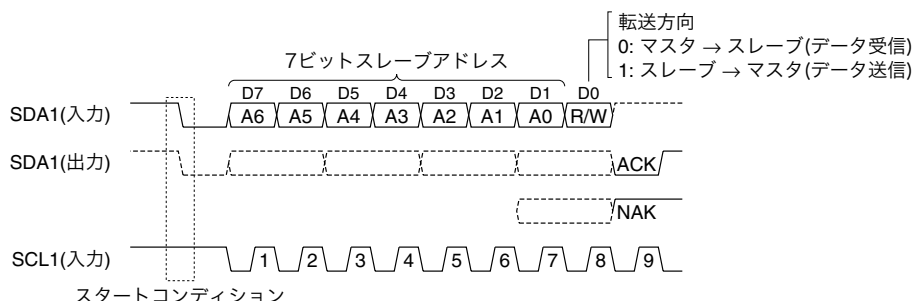


図18.5.1 スレーブアドレスと転送方向ビットの受信

スタートコンディションを検出すると、BUSY/I2CS_ASTATレジスタが1にセットされ、I²Cバスがビジー状態になったことを示します。また、本デバイスのスレーブアドレスを受信するとSELECTED/I2CS_ASTATレジスタが1にセットされ、本モジュールがI²Cスレーブデバイスとして選択されたことを示します。BUSYはストップコンディションを検出するまで1を保持します。SELECTEDはストップコンディションからピーテッドスタートコンディションを検出するまで1を保持します。

また、転送方向ビットの値がR/W/I2CS_ASTATレジスタにセットされますので、送信/受信処理の切り換えに利用してください。

非同期アドレス検出機能を有効にしている場合に本デバイスのスレーブアドレスを検出すると、ASDET/I2CS_STATレジスタが1にセットされます。本モジュールはバスステータス割り込みを発生すると共にI²Cマスタに対してNAKを返し、再送を要求します。この割り込み処理ルーチン内でPCLKを転送速度の8倍以上に設定し、非同期アドレス検出機能を無効にしてください。この後、マスタからの再送により通常のデータ転送を再開できます。ASDETは1の書き込みでクリアされます。

データ送信

以下、データの送信方法を説明します。

前述のSELECTEDとR/Wビットがどちらも1になると、I2CSモジュールはデータ送信動作を開始します。TXEMP/I2CS_ASTATレジスタが1にセットされ、送信データの書き込みをアプリケーションに要求します。送信データは、SDATA[7:0]/I2CS_TRNSレジスタに書き込みます。

スレーブ選択後に送信する最初のデータは、以下の点に注意して設定してください。

クロックストレッチ機能が無効(デフォルト)の場合

TXEMPが1にセットされてからI²Cクロック(SCL1入力クロック)の1サイクル以内に送信データをSDATA[7:0]に書き込む必要があります。この時間が短いため、TXEMPがセットされる前に先行して送信データの書き込みを行っておきます。SDATA[7:0]に前回の送信データが残っていた場合も今回のデータにより上書きされますので、TBUF_CLRによるクリア操作(下記参照)は不要です。非同期アドレス検出機能を使用する場合、ASDET_ENを0にリセットする前に書き込みを行ったデータは無効となるため、TXEMPが1にセットされてから送信データを書き込む必要があります。

クロックストレッチ機能が有効の場合

クロックストレッチによるウェイト機能が働くため、TXEMPがセットされた後でも送信データの書き込みが可能です。ただし、SDATA[7:0]に前回の送信データが残っているとTXEMPがセットされた時点でそのデータが送信されてしまいますので、I2CSがスレーブデバイスとして選択される前にTBUF_CLR/I2CS_CTLレジスタを使用してI2CS_TRNSレジスタをクリアしておきます。TBUF_CLRに1を書き込んだ後、もう一度0を書き込むことによりI2CS_TRNSレジスタがクリアされます。

TXEMPがセットされる前に最初の送信データを書き込んでおく場合は、I2CS_TRNSレジスタをクリアする必要はありません。

非同期アドレス検出機能を使用する場合、ASDET_ENを0にリセットする前に書き込みを行ったデータは無効となるため、TXEMPが1にセットされてから送信データを書き込む必要があります。

最初の送信時以外は、TXEMPがセットされた時点で割り込みを発生させることができますので、この割り込み処理ルーチン内で送信データを書き込んでください。送信中にSDATA[7:0]に書き込んだ送信データがシフトレジスタに送られた場合も、TXEMPが1にセットされます。TXEMPは送信データの書き込みによりクリアされます。

クロックストレッチ機能が無効(デフォルト)の場合

クロックストレッチ機能を無効にしている場合は、TXEMPのセットからI²Cクロック(SCL1入力クロック)の7サイクル以内にデータをI2CS_TRNSレジスタに書き込む必要があります。

この時間内に書き込みを行わないと、現在のレジスタ値が送信されてしまいます。この場合、TXUDF/I2CS_STATレジスタが1にセットされ、無効なデータが送られたことを示します。TXUDFがセットされた時点で割り込みを発生させることができますので、この割り込み処理ルーチン内でエラー処理が行えます。TXUDFは1の書き込みでクリアされます。

クロックストレッチ機能が有効の場合

クロックストレッチ機能を有効にしている場合は、送信データがI2CS_TRNSレジスタに書き込まれるまでI2CSモジュールはSCL1端子をプルダウンしてクロックストレッチ(ウェイト)状態を生成します。

送信データはマスタから送られるSCL1入力クロックに同期してSDA1端子からMSBを先頭に出力されます。8ビットの送信後、9ビット目のクロックサイクルにマスタからACKまたはNAKが返ります。

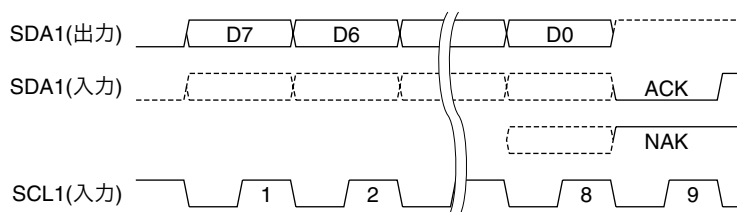


図18.5.2 ACKとNAK

ACKはマスタがデータを受信したことを示します。このACKは続くデータの送信要求でもありますので、次の送信データが書き込まれている必要があります。クロックストレッチ機能を有効にしている場合は、ACKの受信によりクロックストレッチ状態になりますので、ACK受信後にデータを書き込むこともできます。マスタが正しく受信できなかった場合、あるいはマスタが受信を終了する場合はNAKが返ります。NAKが返った場合、クロックストレッチ機能を有効にしている場合でも、クロックストレッチ状態にはなりません。ACKとNAKのどちらが返ったかについては、DA_NAK/I2CS_STATレジスタを読み出すことで確認できます。ACKが返るとDA_NAKは0に、NAKが返ると1に設定されます。DA_NAKが1にセットされた時点で割り込みを発生させることができますので、この割り込みを利用してエラー処理や送信終了処理を行うことができます。DA_NAKは1の書き込みでクリアされます。

データ送信中はSDAラインの状態がモジュール内にも取り込まれ、出力データと比較されます。この結果はDMS/I2CS_STATレジスタにセットされます。正しく出力されている場合、DMSは0になります。SDAラインの状態が出力データと異なる場合は1にセットされます。この場合、プルアップ抵抗値が低いか、ほかのI²CデバイスがSDAラインを制御していることが考えられます。DMSが1にセットされた時点で割り込みを発生させることができますので、この割り込みを利用してエラー処理を行うことができます。DMSは1の書き込みでクリアされます。

注: 下記の条件がすべて成立している状態で、マスタが送信したアドレスに対して本I2CSがNAKを返信した場合、マスタは異なるスレーブアドレスを送信する前に33μs以上の待ち時間を取る必要があります(本I2CSのスレーブアドレスを送信する場合を除く)。

1. 通信レートを320kbps以上に設定している。
2. 非同期アドレス検出機能を有効にしている。
3. OSC1を動作クロック(PCLK)として、本I2CSが通信待機状態にある。

データ受信

以下、受信データの読み出し方法を説明します。

前述のSELECTEDビットが1、R/Wビットが0になると、I2CSモジュールはデータ受信動作を開始します。受信データは、マスタから送られるSCL1入力クロックに同期してSDA1端子から入力されます。8ビットのデータ(MSB先頭)がシフトレジスタに取り込まれると、受信データはRDATA[7:0]/I2CS_RECVレジスタにロードされます。

受信データがRDATA[7:0]にロードされると、RXRDY/I2CS_ASTATレジスタが1にセットされ、RDATA[7:0]の読み出しをアプリケーションに要求します。RXRDYがセットされた時点で割り込みを発生させることができますので、この割り込み処理ルーチン内で受信データを読み出してください。RXRDYは受信データの読み出しによってクリアされます。

クロックストレッチ機能が無効(デフォルト)の場合

クロックストレッチ機能を無効にしている場合は、RXRDYのセットからI²Cクロック(SCL1入力クロック)の7サイクル以内にデータをI2CS_RECVレジスタから読み出す必要があります。

クロックストレッチ機能が有効の場合

クロックストレッチ機能を有効にしている場合は、受信データがI2CS_RECVレジスタから読み出されるまでI2CSモジュールはSCL1端子をプルダウンしてクロックストレッチ(ウェイト)状態を生成します。

データが読み出されずに次のデータを受信すると、RDATA[7:0]が上書きされてしまいます。この場合、RXOVF/I2CS_STATレジスタが1にセットされ、受信データが上書きされたことを示します。RXOVFがセットされた時点で割り込みを発生させることができますので、この割り込み処理ルーチン内でエラー処理が行えます。RXOVFは1の書き込みでクリアされます。

データ受信時のNAK応答

データ受信時(マスタ送信時)は、8ビットの受信ごとにI2CSモジュールがマスタにACK(SDA1 = Low)を返します(デフォルト設定)。これをNAK_ANS/I2CS_CTLレジスタの設定により、NAK(SDA1 = Hi-Z)を返すように変更可能です。NAK_ANSが0の場合はACKが、1に設定するとNAKが返ります。NAK_ANSの設定は、NAKを返す1つ前のデータ受信によるRXRDYのセットからI²Cクロック(SCL1入力クロック)の7サイクル以内に行ってください。

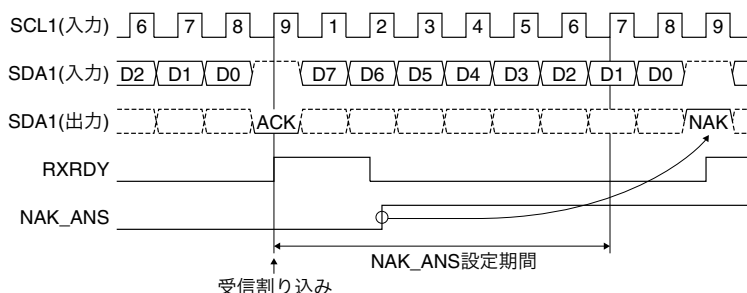


図18.5.3 NAK_ANSの設定とNAK応答タイミング

データ送受信の終了(ストップコンディションの検出)

データ転送はマスタがストップコンディションを生成することで終了します。SCLラインをHighに保った状態で、SDAラインをLowからHighにすることがストップコンディションとなります。

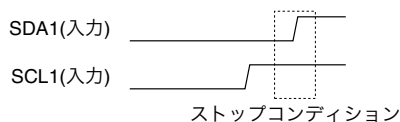


図18.5.4 ストップコンディション

本モジュールがスレーブとして選択されている状態(SELECTED = 1)でストップコンディションを検出すると、I2CSモジュールはDA_STOP/I2CS_STATレジスタを1にセットします。同時にSDA1およびSCL1端子をハイインピーダンスにするとともに、次のスタートコンディションに待機するため、I²Cの通信プロセスを初期化します。この時点でSELECTEDとBUSYが0にリセットされます。

DA_STOPが1にセットされた時点で割り込みを発生させることができますので、この割り込みを利用して通信終了処理を行うことができます。DA_STOPは1の書き込みでクリアされます。

データ送受信を禁止

データ転送を終了後は、COM_MODE/I2CS_CTLレジスタに0を書き込んでデータ送受信を禁止します。ただし、データ送受信を禁止する前に、BUSYとSELECTEDが0になっていることを確認してください。I2CSモジュールの動作を停止する場合は、I2CSEN/I2CS_CTLレジスタを0に設定します。

タイミングチャート

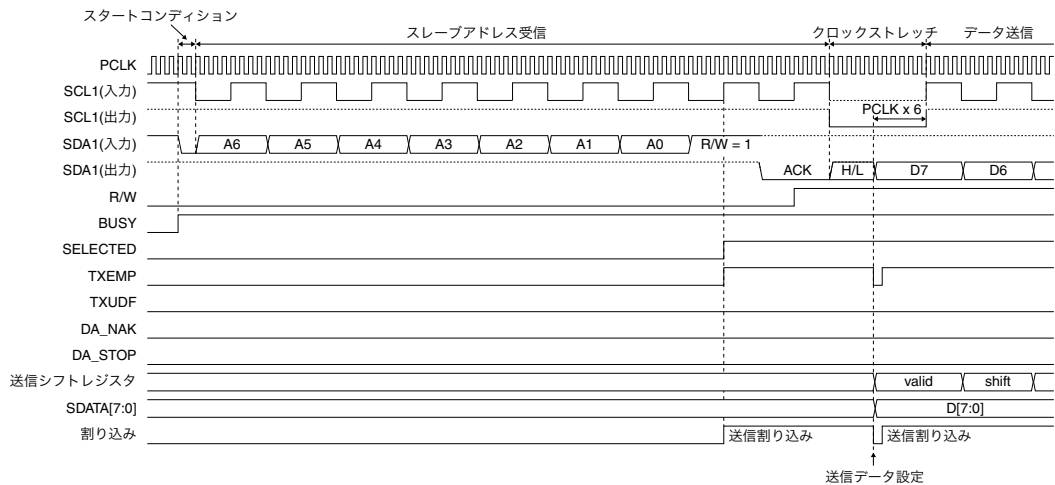


図18.5.5 I2CSタイミングチャート1(スタートコンディション→データ送信)

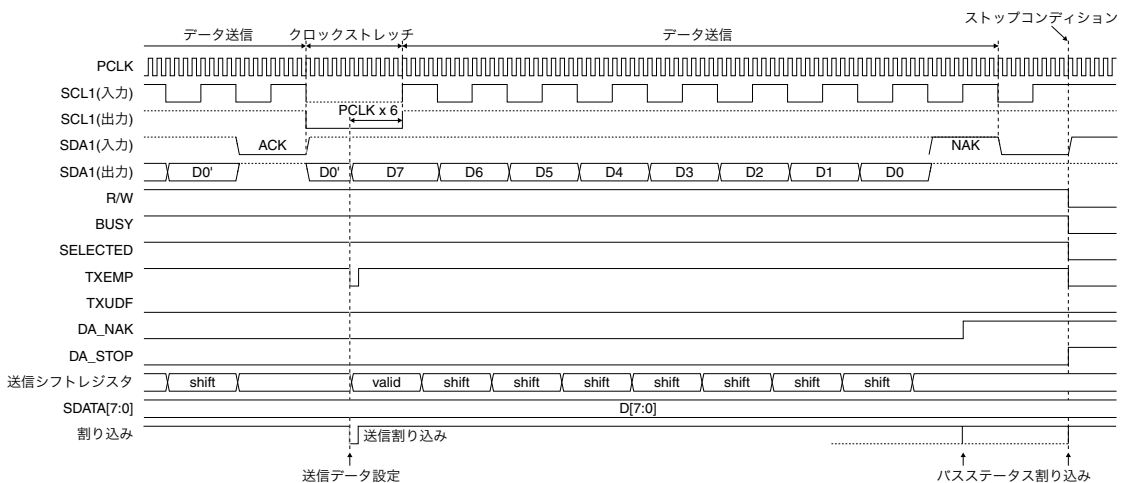


図18.5.6 I2CSタイミングチャート2(データ送信→ストップコンディション)

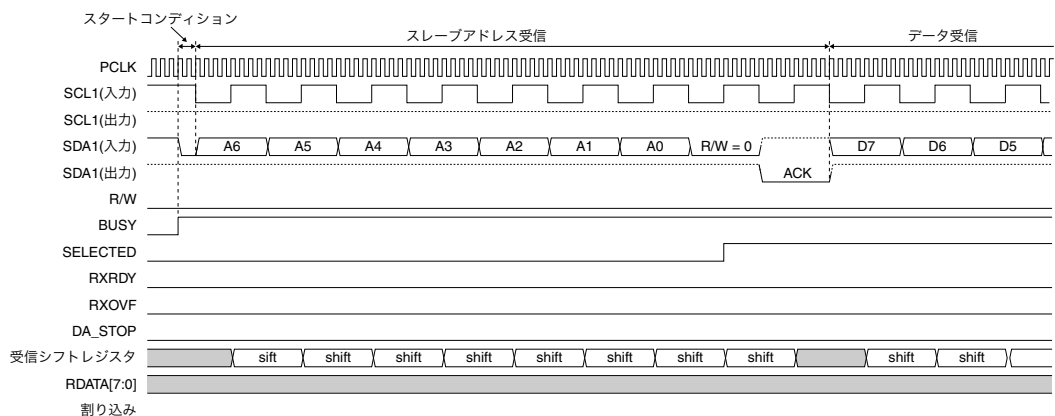


図18.5.7 I2CSタイミングチャート3(スタートコンディション→データ受信)

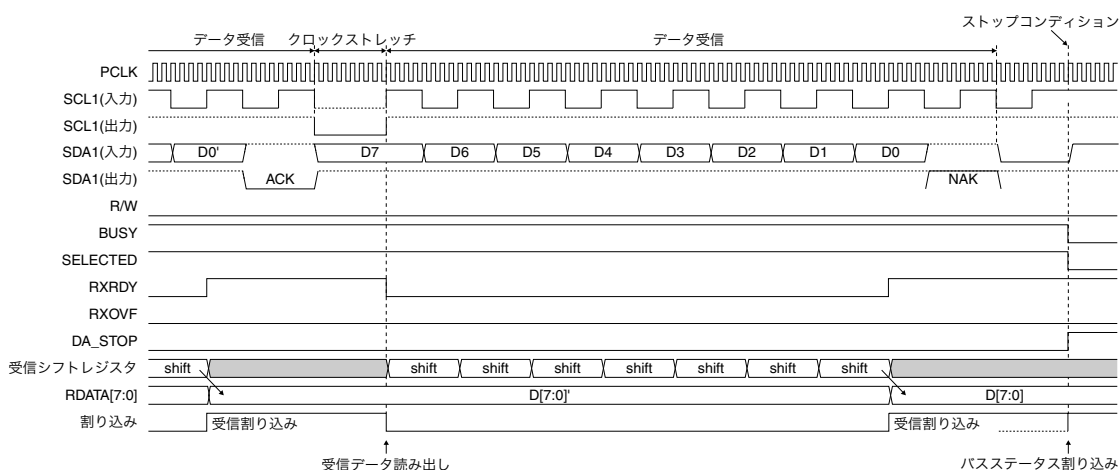


図18.5.8 I2CSタイミングチャート4(データ受信→ストップコンディション)

18.6 I2CS割り込み

I2CSモジュールには、以下の3種類の割り込みを発生させる機能があります。

- 送信割り込み
- 受信割り込み
- バスステータス割り込み

I2CSモジュールは、上記3種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ (ITC) に対して出力します。

送信割り込み

SDATA[7:0]/I2CS_TRNSレジスタに書き込んだ送信データがシフトレジスタに送られると、TXEMP/I2CS_ASTATレジスタが1にセットされ、割り込み信号がITCに出力されます。この割り込みを利用して、次の送信データをSDATA[7:0]に書き込むことができます。

この割り込みを使用するには、TXEMP_IEN/I2CS_ICTLレジスタを1に設定します。TXEMP_IENが0 (デフォルト) に設定されていると、この要因による割り込み要求はITCに送られません。

受信割り込み

受信データがRDATA[7:0]/I2CS_RECVレジスタにロードされると、RXRDY/I2CS_ASTATレジスタが1にセットされ、割り込み信号がITCに出力されます。この割り込みを利用して、受信データをRDATA[7:0]から読み出すことができます。

この割り込みを使用するには、RXRDY_IEN/I2CS_ICTLレジスタを1に設定します。RXRDY_IENが0 (デフォルト) に設定されていると、この要因による割り込み要求はITCに送られません。

バスステータス割り込み

I2CSモジュールには、送受信やI²Cバスの状態を示す以下のステータスビットが設けられています (機能の詳細は、18.5節を参照してください)。

1. ASDET/I2CS_STATレジスタ: 非同期アドレス検出時に1にセット
2. TXUDF/I2CS_STATレジスタ: 送信データ書き込み前に送信動作を開始した場合に1にセット (クロックストレッチが無効の場合)
3. DA_NAK/I2CS_STATレジスタ: 送信時にマスタデバイスからNAKが返った場合に1にセット
4. DMS/I2CS_STATレジスタ: 送信データとSDAラインの状態が異なる場合に1にセット
DMSは、他のスレーブデバイスが本I²Cスレーブアドレスに対してACK応答を行った場合もセットされます (ASDET_EN/I2CS_CTLレジスタ = 0の場合)。

注: 本ICを含む複数のスレーブデバイスがI²Cバスに接続されている状態でマスタデバイスと他のスレーブデバイスが通信を開始した場合、スレーブアドレスの送信に対してI2CSはNAKで応答します。選択されたスレーブデバイスはACKで応答するため、I2CSによる出力内容とSDAラインが異なる状態となりDMSが発生することがあります。

DMSが発生した場合でもSELECTED/I2CS_ASTATレジスタが0のときは、他のスレーブデバイスとACK/NAK応答が異なるだけで問題ありませんので無視してください。

この場合でも、非同期アドレス検出状態(ASDET_EN = 1)に設定されているときはDMSは発生しません。

5. RXOVF/I2CS_STATレジスタ: 受信データを読み出す前に次の受信が完了した(データが上書きされた)場合に1にセット(クロックストレッチが無効の場合)
6. BFREQ/I2CS_STATレジスタ: バス解放要求を受け付けた場合に1にセット
7. DA_STOP/I2CS_STATレジスタ: スレーブ選択状態でストップコンディション、またはリピーテッドスタートコンディションを検出した場合に1にセット

この中のいずれかのビットが1にセットされると、同時にBSTAT/I2CS_STATレジスタもセットされ、割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理や終了処理が行えます。この割り込みを使用するには、BSTAT_IEN/I2CS_ICTLレジスタを1に設定します。BSTAT_IENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

18.7 制御レジスタ詳細

表18.7.1 I2CSレジスタ一覧

アドレス	レジスタ名		機 能
0x4360	I2CS_TRNS	I ² C Slave Transmit Data Register	I ² Cスレーブ送信データ
0x4362	I2CS_RECV	I ² C Slave Receive Data Register	I ² Cスレーブ受信データ
0x4364	I2CS_SADRS	I ² C Slave Address Setup Register	I ² Cスレーブアドレスの設定
0x4366	I2CS_CTL	I ² C Slave Control Register	I ² Cスレーブの制御
0x4368	I2CS_STAT	I ² C Slave Status Register	I ² Cスレーブのバスステータスの表示
0x436a	I2CS_ASTAT	I ² C Slave Access Status Register	I ² Cスレーブのアクセスステータスの表示
0x436c	I2CS_ICTL	I ² C Slave Interrupt Control Register	I ² Cスレーブ割り込みの制御

以下、I2CSモジュールのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

I²C Slave Transmit Data Register (I2CS_TRNS)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Slave Transmit Data Register (I2CS_TRNS)	0x4360 (16 bits)	D15-8	—	reserved	—	—	—	0 when being read.
		D7-0	SDATA[7:0]	I ² C slave transmit data	0-0xff	0x0	R/W	

D[15:8] Reserved

D[7:0] SDATA[7:0]: I²C Slave Transmit Data Bits

送信データを設定します。(デフォルト: 0x0)

SDA1端子からはシリアル変換されたデータがMSBを先頭に、0に設定されたビットをLowレベルとして出力されます。このレジスタに書き込んだデータがシフトレジスタに転送された時点で、送信割り込みが発生します。それ以降であれば、次の送信データを書き込むことができます。クロックストレッチ機能を無効にしている場合は、送信割り込み発生後、PCクロック(SCL1入力クロック)の7サイクル以内にデータを本レジスタに書き込む必要があります。ただし、スレーブ選択後に送信する最初のデータは、以下の点に注意して設定してください。

クロックストレッチ機能が無効(デフォルト)の場合

TXEMPが1にセットされてからPCクロック(SCL1入力クロック)の1サイクル以内に送信データをSDATA[7:0]に書き込む必要があります。

この時間が短いため、TXEMPがセットされる前に先行して送信データの書き込みを行っておきます。SDATA[7:0]に前回の送信データが残っていた場合も今回のデータにより上書きされますので、TBUF_CLRによるクリア操作(下記参照)は不要です。

非同期アドレス検出機能を使用する場合、ASDET_ENを0にリセットする前に書き込みを行ったデータは無効となるため、TXEMPが1にセットされてから送信データを書き込む必要があります。

クロックストレッチ機能が有効の場合

クロックストレッチによるウェイト機能が働いたため、TXEMPがセットされた後でも送信データの書き込みが可能です。ただし、SDATA[7:0]に前回の送信データが残っているとTXEMPがセットされた時点でそのデータが送信されてしまいますので、I2CSがスレーブデバイスとして選択される前にTBUF_CLR/I2CS_CTLレジスタを使用してI2CS_TRNSレジスタをクリアしておきます。TBUF_CLRに1を書き込んだ後、もう一度0を書き込むことによりI2CS_TRNSレジスタがクリアされます。

TXEMPがセットされる前に最初の送信データを書き込んでおく場合は、I2CS_TRNSレジスタをクリアする必要はありません。

非同期アドレス検出機能を使用する場合、ASDET_ENを0にリセットする前に書き込みを行ったデータは無効となるため、TXEMPが1にセットされてから送信データを書き込む必要があります。

I²C Slave Receive Data Register (I2CS_RECV)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Slave Receive Data Register (I2CS_RECV)	0x4362 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	RDATA[7:0]	I ² C slave receive data	0–0xff	0x0	R	

D[15:8] Reserved

D[7:0] RDATA[7:0]: I²C Slave Receive Data Bits

受信データが読み出せます。(デフォルト: 0x0)

SDA1端子から入力されたシリアルデータは先頭をMSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。

受信が終了し、シフトレジスタのデータがこのレジスタに転送された時点でRXRDY/I2CS_ASTATレジスタがセットされ、受信割り込みが発生します。これ以降、データの読み出しが可能です。

クロックストレッチ機能を無効にしている場合は、RXRDYのセットからI²Cクロック(SCL1入力クロック)の7サイクル以内にデータを本レジスタから読み出す必要があります。データが読み出されずに次のデータを受信すると、本レジスタは新たな受信データで上書きされてしまいます。

I²C Slave Address Setup Register (I2CS_SADRS)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Slave Address Setup Register (I2CS_SADRS)	0x4364 (16 bits)	D15–7	–	reserved	–	–	–	0 when being read.
		D6–0	SADRS[6:0]	I ² C slave address	0–0x7f	0x0	R/W	

D[15:7] Reserved

D[6:0] SADRS[6:0]: I²C Slave Address Bits

本モジュールのI²Cスレーブアドレスを設定します。(デフォルト: 0x0)

I²C Slave Control Register (I2CS_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Slave Control Register (I2CS_CTL)	0x4366 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	TBUF_CLR	I2CS_TRNS register clear	1 Clear state	0 Normal	0 R/W	
		D7	I2CSEN	I ² C slave enable	1 Enable	0 Disable	0 R/W	
		D6	SOFTRESET	Software reset	1 Reset	0 Cancel	0 R/W	
		D5	NAK_ANS	NAK answer	1 NAK	0 ACK	0 R/W	
		D4	BFREQ_EN	Bus free request enable	1 Enable	0 Disable	0 R/W	
		D3	CLKSTR_EN	Clock stretch On/Off	1 On	0 Off	0 R/W	
		D2	NF_EN	Noise filter On/Off	1 On	0 Off	0 R/W	
		D1	ASDET_EN	Async.address detection On/Off	1 On	0 Off	0 R/W	
		D0	COM_MODE	I ² C slave communication mode	1 Active	0 Standby	0 R/W	

D[15:9] Reserved**D8 TBUF_CLR: I2CS_TRNS Register Clear Bit**

I2CS_TRNSレジスタをクリアします。

1(R/W): クリア状態

0(R/W): 通常状態(クリア解除) (デフォルト)

TBUF_CLRに1を書き込むとI2CS_TRNSレジスタがクリア状態となり、その後0を書き込むとクリア状態が解除され通常の状態に戻ります。1と0の書き込みの間に待ち時間を挿入する必要はありません。

以前に終了した送信のデータがI2CS_TRNSレジスタに残っている状態で新たな送信を開始すると、TXEMP/I2CS_ASTATレジスタがセットされた時点でそのデータが送信されてしまいます。これを防ぐため、送信開始前(スレーブ選択の前)に本ビットによりI2CS_TRNSレジスタをクリアしてください。TXEMPのセット前に実際の送信データをI2CS_TRNSレジスタに書き込む場合、クリア操作は不要です。

I2CS_TRNSレジスタがクリア状態(TBUF_CLR = 1)でもI2CS_TRNSレジスタへのデータの書き込みは可能です。ただし、この書き込みによってTXEMPは0にリセットされません。また、その後TBUF_CLRを0に戻してもTXEMPは0にリセットされませんので、I2CS_TRNSレジスタへのデータの書き込みはTBUF_CLR = 0の状態で行ってください。

D7 I2CSEN: I²C Slave Enable Bit

I2CSモジュールの動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I2CSENを1に設定するとI2CSモジュールが動作を開始し、データ転送が行える状態になります。I2CSENを0に設定すると、I2CSモジュールは動作を停止します。

D6 SOFTRESET: Software Reset Bit

I2CSモジュールをリセットします。

1(R/W): リセット

0(R/W): リセット解除(デフォルト)

I2CSモジュールをリセットするには、SOFTRESETに1を書き込んでモジュールをリセット状態にし、その後で0を書き込んでリセット状態を解除します。1と0の書き込みの間には、特に待ち時間の挿入は必要ありません。この操作により、I2CSモジュールは、スタートコンディションに待機するため、I²Cの通信プロセスを初期化するとともに、SDA1およびSCL1端子をハイインピーダンスにします。また、SOFTRESETを除くすべてのI2CS制御ビットを初期化します。通信を開始する前の初期設定時に、このリセット処理を行ってください。

D5 NAK_ANS: NAK Answer Bit

データ受信後の応答ビットを指定します。

1(R/W): NAK

0(R/W): ACK(デフォルト)

8ビットデータの受信が完了後、I2CSモジュールはマスタにACK(SDA1 = Low)またはNAK(SDA1 = Hi-Z)を返します。NAK_ANSでACKとNAKのどちらを返すか、1つ前のデータ受信によるRXRDYのセットからI²Cクロック(SCL1入力クロック)の7サイクル以内で指定しておきます。

D4 BFREQ_EN: Bus Free Request Enable Bit

#BFR端子へのLowパルス入力によるI²Cバス解放要求を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I²Cバス解放要求を受け付ける場合に1に設定してください。バス解放要求を受け付けるとBFREQ/I2CS_STATレジスタが1にセットされます。これにより、I2CSモジュールはI²Cスレーブの通信プロセスを初期化し、SDA1およびSCL1端子をハイインピーダンスにします。ソフトウェアリセットとは異なり、この処理で制御レジスタは初期化されません。

BFREQ_ENを0に設定すると、#BFR端子へのLowパルス入力は無視され、BFREQは1にセットされません。

D3 CLKSTR_EN: Clock Stretch On/Off Bit

クロックストレッチ機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

クロックストレッチは、スレーブデバイスが1つのデータとACKの送受信の後、次の送受信の準備が整うまでSCLラインを強制的にLowにプルダウンしてマスタデバイスにウェイトを要求する機能です。マスタはこの要求が解除される(SCLラインがHighになる)まで、送受信を中断して待機します。この機能を有効にするには、送受信前にCLKSTR_ENを1に設定してください。

D2 NF_EN: Noise Filter On/Off Bit

ノイズ除去機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

I2CSモジュールには、SDA1およびSCL1端子の入力信号からノイズを除去する機能が組み込まれており、NF_ENを1に設定することにより有効となります。

D1 ASDET_EN: Async. Address Detection On/Off Bit

非同期アドレス検出機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

データ通信時は、I2CSモジュールの動作クロック(PCLK)を転送速度の8倍以上の周波数に設定する必要がありますが、通信待機中に他の処理が不要の場合は、PCLKの周波数を下げて消費電流を抑えるようにします。非同期アドレス検出機能は、この場合でもマスタが送信するI2CSのアドレスを検出するための機能です。ASDET_ENを1に設定すると、この機能が有効になります。本機能を有効にした場合、マスタが送信したスレーブアドレスがI2CSに設定されているアドレスに一致すると、本モジュールはバスステータス割り込みを発生すると共にI²Cマスタに対してNAKを返し、再送を要求します。この割り込み処理ルーチン内でPCLKを転送速度の8倍以上に設定し、ASDET_ENを0にリセットしてください。この後、マスタからの再送により通常のデータ転送を再開できます。ストップコンディションによりバスがフリー状態になった後は、再度非同期アドレス検出機能を有効にして動作速度を下げるができます。

- 注:
- 非同期アドレス検出機能を有効にした場合、I²Cバス信号はノイズフィルタを通さずに入力されます。このため、ノイズが多い環境ではスレーブアドレスを正しく検出できない場合があります。
 - 非同期アドレス検出機能を有効にすると、PCLKの周波数が転送速度の8倍以上であってもデータ転送は行えません。通常動作時は、非同期アドレス検出機能を必ず無効にしてください。

D0 COM_MODE: I²C Slave Communication Mode Bit

通信を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I2CSENを1に設定してI2CSモジュールの動作を許可した後、COM_MODEを1に設定して通信を許可します。

COM_MODEが0の場合、マスタから本デバイスのスレーブアドレスが送信されても応答しません(ホストはNAKが返ったものと見なします)。

I²C Slave Status Register (I2CS_STAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Slave Status Register (I2CS_STAT)	0x4368 (16 bits)	D15-8	—	reserved	—	—	—	0 when being read.
		D7	BSTAT	Bus status transition	1 Changed 0 Unchanged	0	R	
		D6	—	reserved	—	—	—	0 when being read.
		D5	TXUDF	Transmit data underflow	1 Occurred 0 Not occurred	0	R/W	Reset by writing 1.
			RXOVF	Receive data overflow				
		D4	BFREQ	Bus free request	1 Occurred 0 Not occurred	0	R/W	
		D3	DMS	Output data mismatch	1 Error 0 Normal	0	R/W	
		D2	ASDET	Async. address detection status	1 Detected 0 Not detected	0	R/W	
		D1	DA_NAK	NAK receive status	1 NAK 0 ACK	0	R/W	
		D0	DA_STOP	STOP condition detect	1 Detected 0 Not detected	0	R/W	

D[15:8] Reserved

D7 **BSTAT: Bus Status Transition Bit**

バスの状態変化を示します。

1(R): 変化あり

0(R): 変化なし(デフォルト)

TXUDF/RXOVF、BFREQ、DMS、ASDET、DA_NAK、DA_STOPのいずれかのビットが1にセットされるとBSTATもセットされ、BSTAT_IEN/I2CS_ICTLレジスタによって割り込みが許可されていれば割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理や終了処理が行えます。

TXUDF/RXOVF、BFREQ、DMS、ASDET、DA_NAK、DA_STOPのすべてのビットが0にリセットされることによりBSTATもリセットされます。

D6 Reserved

D5 **TXUDF: Transmit Data Underflow Bit (送信時)****RXOVF: Receive Data Overflow Bit (受信時)**

送信/受信データレジスタの状態を示します。

1(R/W): データアンダーフロー / オーバーフローあり

0(R/W): データアンダーフロー / オーバーフローなし(デフォルト)

このビットはクロックストレッチ機能を無効にして送信/受信を行っている場合にのみ有効です。I2CS_TRNSレジスタに送信データを書き込む前に次の送信が始まった場合、送信データアンダーフローとしてTXUDFが1にセットされます。または、I2CS_RECVレジスタの受信データを読み出す前に次の受信が終了し、新たな受信データによってI2CS_RECVレジスタが上書きされると、データオーバーフローとしてRXOVFが1にセットされます。

BSTAT_IEN/I2CS_ICTLレジスタによって割り込みが許可されていれば、同時に割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理が行えます。

1にセットされたTXUDF/RXOVFは1の書き込みによりリセットできます。

D4 **BFREQ: Bus Free Request Bit**

I²Cバス解放要求の状態を示します。

1(R/W): 要求あり

0(R/W): 要求なし(デフォルト)

BFREQ_EN/I2CS_CTLレジスタが1(バス解放要求受け付け機能が有効)に設定されている場合、#BFR端子から周辺モジュールクロック(PCLK)5クロック以上のパルス幅を持つLowパルスが入力されるとBFREQが1にセットされ、バス解放要求が受け付けられます。バス解放要求を受け付けると、I2CSモジュールはI²Cの通信プロセスを初期化し、SDA1およびSCL1端子をハイインピーダンスにします。この処理でI2CSの制御レジスタは初期化されません。

BSTAT_IEN/I2CS_ICTLレジスタによって割り込みが許可されていれば、BFREQのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理が行えます。1にセットされたBFREQは1の書き込みによりリセットできます。

BFREQ_ENが0に設定されていると、#BFR端子へのLowパルス入力は無視され、BFREQは1にセットされません。

D3 DMS: Output Data Mismatch Bit

出力データとSDAラインの状態の比較結果を示します。

1(R/W): エラーあり

0(R/W): エラーなし(デフォルト)

データ送信中はSDAラインの状態がモジュール内にも取り込まれ、出力データと比較されます。この結果がDMSにセットされます。正しく出力されている場合、DMSは0になります。SDAラインの状態が出力データと異なる場合は1にセットされます。この場合、プルアップ抵抗値が低いか、ほかのI²CデバイスがSDAラインを制御していることが考えられます。BSTAT_IEN/I2CS_ICTLレジスタによって割り込みが許可されていれば、DMSのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理が行えます。1にセットされたDMSは1の書き込みによりリセットできます。

注: 本ICを含む複数のスレーブデバイスがI²Cバスに接続されている状態でマスタデバイスと他のスレーブデバイスが通信を開始した場合、スレーブアドレスの送信に対してI2CSはNAKで応答します。選択されたスレーブデバイスはACKで応答するため、I2CSによる出力内容とSDAラインが異なる状態となりDMSが発生することがあります。

DMSが発生した場合でもSELECTED/I2CS_ASTATレジスタが0のときは、他のスレーブデバイスとACK/NAK応答が異なるだけで問題ありませんので無視してください。

この場合でも、非同期アドレス検出状態(ASDET_EN = 1)に設定されているときはDMSは発生しません。

D2 ASDET: Async. Address Detection Status Bit

非同期アドレス検出の状態を示します。

1(R/W): 検出

0(R/W): 未検出(デフォルト)

データ通信時は、I2CSモジュールの動作クロック(PCLK)を転送速度の8倍以上の周波数に設定する必要がありますが、通信待機中に他の処理が不要の場合は、PCLKの周波数を下げて消費電流を抑えることができます。非同期アドレス検出機能は、この場合でもマスタが送信するI2CSのアドレスを検出するための機能です。ASDET_EN/I2CS_CTLレジスタによって非同期アドレス検出機能を有効にしている場合に本デバイスのスレーブアドレスを検出すると、ASDETが1にセットされます。本モジュールはI²Cマスタに対してNAKを返し、再送を要求します。BSTAT_IEN/I2CS_ICTLレジスタによって割り込みが許可されていれば、ASDETのセットと同時に割り込み信号がITCに出力されます。この割り込み処理ルーチン内でPCLKを転送速度の8倍以上に設定し、非同期アドレス検出機能を無効にしてください。この後、マスタからの再送により通常のデータ転送を再開できます。

1にセットされたASDETは1の書き込みによりリセットできます。

D1 DA_NAK: NAK Receive Status Bit

マスタの応答ビットを示します。

1(R/W): NAK

0(R/W): ACK(デフォルト)

8ビットのデータを送信後、マスタからACKが返るとDA_NAKは0になります。これは、マスタがデータを正常に受信できたことを示します。DA_NAKが1の場合、マスタが正しく受信できなかったか、あるいはマスタが受信を終了することを示します。

BSTAT_IEN/I2CS_ICTLレジスタによって割り込みが許可されていれば、DA_NAKのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理が行えます。1にセットされたDA_NAKは1の書き込みによりリセットできます。

D0 DA_STOP: Stop Condition Detect Bit

ストップコンディションまたはリピーテッドスタートコンディションを検出したことを示します。

1(R/W): 検出

0(R/W): 未検出(デフォルト)

本モジュールがスレーブとして選択されている状態(SELECTED/I2CS_ASTATレジスタ = 1)でストップコンディションまたはリピーテッドスタートコンディションを検出すると、I2CSモジュールはDA_STOPを1にセットします。同時にI²Cの通信プロセスを初期化します。

BSTAT_IEN/I2CS_ICTLレジスタによって割り込みが許可されていれば、DA_STOPのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、終了処理が行えます。

1にセットされたDA_STOPは1の書き込みによりリセットできます。

I²C Slave Access Status Register (I2CS_ASTAT)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
I ² C Slave Access Status Register (I2CS_ASTAT)	0x436a (16 bits)	D15-5	—	reserved	—		—	—	0 when being read.
		D4	RXRDY	Receive data ready	1	Ready	0	Not ready	
		D3	TXEMP	Transmit data empty	1	Empty	0	Not empty	
		D2	BUSY	I ² C bus status	1	Busy	0	Free	
		D1	SELECTED	I ² C slave select status	1	Selected	0	Not selected	
		D0	R/W	Read/write direction	1	Output	0	Input	

D[15:5] Reserved

D4 RXRDY: Receive Data Ready Bit

受信データが読み出し可能であることを示します。

1(R): 受信データあり

0(R): 受信データなし(デフォルト)

受信データがI2CS_RECVレジスタにロードされるとRXRDYが1にセットされます。

RXRDY_IEN/I2CS_ICTLレジスタによって割り込みが許可されていれば、RXRDYのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、受信データを読み出すことができます。

1にセットされたRXRDYは、I2CS_RECVレジスタの読み出しによってリセットされます。

D3 TXEMP: Transmit Data Empty Bit

送信データが書き込み可能であることを示します。

1(R): 送信データなし

0(R): 送信データあり(デフォルト)

I2CS_TRNSレジスタのデータが送信されるとTXEMPが1にセットされます。

TXEMP_IEN/I2CS_ICTLレジスタによって割り込みが許可されていれば、TXEMPのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、次の送信データを書き込むことができます。

1にセットされたTXEMPは、I2CS_TRNSレジスタへのデータ書き込みによってリセットされます。

D2 BUSY: I²C Bus Status Bit

I²Cバスの状態を示します。

1(R): 使用中

0(R): バスフリー状態(デフォルト)

スタートコンディションを検出、またはSCL1もしくはSDA1がLowレベルになったことを検出するとBUSYが1にセットされ、I²Cバスがビジー状態になったことを示します。本モジュールがスレーブデバイスとして選択されたか否かは、本ビットの状態には影響しません。1にセットされたBUSYはストップコンディションの検出によりリセットされます。

D1 SELECTED: I²C Slave Select Status Bit

本モジュールがI²Cスレーブデバイスとして選択されていることを示します。

1(R): 選択状態

0(R): 非選択状態(デフォルト)

本モジュールに設定したスレーブアドレスを受信するとSELECTEDが1にセットされ、本モジュールがI²Cスレーブデバイスとして選択されたことを示します。1にセットされたSELECTEDはストップコンディションまたはリピーテッドスタートコンディションの検出によりリセットされます。

D0 R/W: Read/Write Direction Bit

転送方向ビットの値を示します。

1(R): 出力(マスタによるリード)

0(R): 入力(マスタによるライト) (デフォルト)

スレーブアドレスと共に受信した転送方向ビットの値がセットされますので、送信/受信処理の切り換えに利用してください。

I²C Slave Interrupt Control Register (I2CS_ICTL)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
I ² C Slave Interrupt Control Register (I2CS_ICTL)	0x436c (16 bits)	D15–3	–	reserved	–		–	–	0 when being read.		
		D2	BSTAT_IEN	Bus status interrupt enable	1	Enable	0	Disable		0	R/W
		D1	RXRDY_IEN	Receive interrupt enable	1	Enable	0	Disable		0	R/W
		D0	TXEMP_IEN	Transmit interrupt enable	1	Enable	0	Disable		0	R/W

D[15:3] Reserved**D2 BSTAT_IEN: Bus Status Interrupt Enable Bit**

バスステータス割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

BSTAT_IENを1に設定すると、I²Cバスの状態変化によるI2CS割り込み要求のITCへの出力を許可します。この割り込み要求は、BSTAT/I2CS_STATレジスタが1にセットされることにより発生します。(BSTATの説明を参照してください。)

BSTAT_IENを0に設定すると、バスステータス割り込みは発生しません。

D1 RXRDY_IEN: Receive Interrupt Enable Bit

I2CSの受信割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

RXRDY_IENを1に設定すると、受信によるI2CS割り込み要求のITCへの出力を許可します。この割り込み要求は、シフトレジスタに受信したデータがI2CS_RECVレジスタに転送される(受信が完了する)ことにより発生します。

RXRDY_IENを0に設定すると、受信割り込みは発生しません。

D0 TXEMP_IEN: Transmit Interrupt Enable Bit

I2CSの送信割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

TXEMP_IENを1に設定すると、送信によるI2CS割り込み要求のITCへの出力を許可します。この割り込み要求は、I2CS_TRNSレジスタに書き込んだデータがシフトレジスタに転送されることにより発生します。

TXEMP_IENを0に設定すると、送信割り込みは発生しません。

19 ユニバーサルシリアルインタフェース (USI) [S1C17564]

注: S1C17554ではユニバーサルシリアルインタフェース (USI)を使用できません。

19.1 USIモジュールの概要

S1C17564は、ソフトウェア切り換えによりUART、SPI、I²Cインタフェースに設定可能なユニバーサルシリアルインタフェース (USI)を2チャンネル内蔵しています。

USIの主な特長を以下に示します。

- 4種類のインタフェースモードをサポート: UART、SPIマスタ、I²Cマスタ、I²Cスレーブ
- 2つのチャンネルをそれぞれ異なるインタフェースモードに設定可能
- 1バイトの受信データバッファと1バイトの送信データバッファを内蔵
- MSB先頭/LSB先頭モードに対応
- UARTモード
 - データ長: 7または8ビット
 - パリティモード: 偶数、奇数、パリティなし
 - ストップビット: 1または2ビット
 - スタートビット: 1ビット固定
 - パリティエラー、フレーミングエラー、オーバーランエラーを検出可能
 - 受信バッファフル、送信バッファエンプティ、受信エラー割り込みを発生可能
- SPIマスタモード
 - データ長: 8または9ビット
 - ファスト、ノーマルの両モードに対応
 - データ転送タイミング(クロックの位相と極性)を4種類から選択可能
 - 受信バッファフル、送信バッファエンプティ、オーバーランエラー割り込みを発生可能
- I²Cマスタ/スレーブモード
 - 7ビットアドレスモード(10ビットアドレスもソフトウェア制御により対応可能)
 - シングルマスタの構成にのみ対応(マスタモード).
 - クロックストレッチ/ウェイト機能に対応
 - スタート/ストップ、データ転送、ACK/NAK転送、オーバーランエラー割り込みを発生可能

図19.1.1にUSIモジュールの構成を示します。

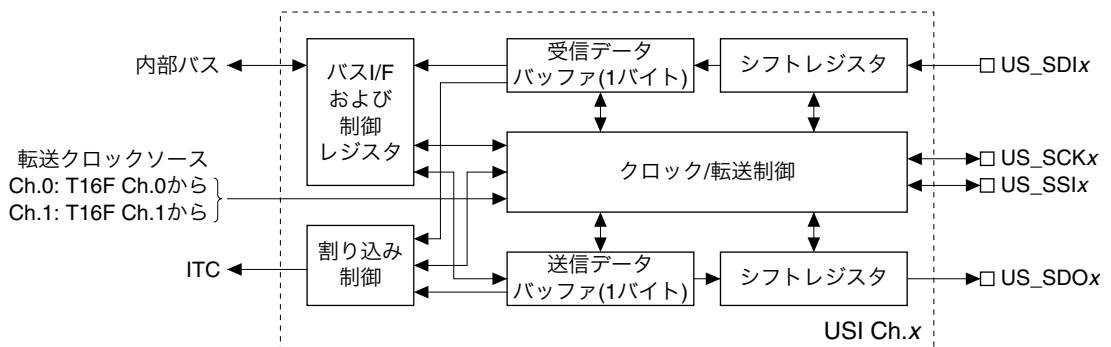


図19.1.1 USIモジュールの構成(1チャンネル)

注: USIモジュールの2チャンネルは、制御レジスタのアドレスを除きすべて同じ機能を持っていますので、本節内の説明はUSIの両チャンネルに適用されます。レジスタ名の‘x’はチャンネル番号(0または1)を表します。

例: USI_GCFGxレジスタ

Ch.0: USI_GCFG0レジスタ

Ch.1: USI_GCFG1レジスタ

19.2 USI端子

表19.2.1にUSI入出力端子の一覧を示します。

表19.2.1 USI端子一覧

端子名	USIモード	信号名	I/O	機能
US_SDI0	UART	uart_rx	I	データ入力端子
US_SDI1	SPIマスタ	spi_sdi	I	外部シリアルデバイスが送信したシリアルデータを入力します。
	I ² Cマスタ	i2c_sda	I/O	データ入出力端子
	I ² Cスレーブ	i2c_sda	I/O	シリアルデータをI ² Cバスから入力、またはI ² Cバスに出力します。(*1)
US_SDO0	UART	uart_tx	O	データ出力端子
US_SDO1	SPIマスタ	spi_sdo	O	外部シリアルデバイスに送信するシリアルデータを出力します。
	I ² Cマスタ	—	—	未使用
	I ² Cスレーブ	—	—	未使用
US_SCK0	UART	—	—	未使用
US_SCK1	SPIマスタ	spi_sck	O	クロック出力端子 SPIクロックを出力します。
	I ² Cマスタ	i2c_scl	I/O	SCL入出力端子 I ² CバスからSCLラインの状態を入力します。また、I ² Cクロックを出力します。
	I ² Cスレーブ	i2c_scl	I/O	SCL入出力端子 I ² CバスからSCLラインの状態を入力します。またクロックストレッチの出力を行います。
US_SSI0	UART	—	—	未使用
US_SSI1	SPIマスタ	—	—	未使用
	I ² Cマスタ	i2c_sda	I/O	データ入出力端子
	I ² Cスレーブ	i2c_sda	I/O	シリアルデータをI ² Cバスから入力、またはI ² Cバスに出力します。(*1)

*1: USI Ch.xをI²Cマスタまたはスレーブモードに設定した場合、US_SDIx端子またはUS_SSIx端子をデータ入出力端子として使用可能です。ただし、US_SDIxとUS_SSIx端子を両方同時にデータ入出力端子として使用することはできません。

注: USI Ch.xをSPIマスタモードで使用する際のスレーブセレクト信号出力には汎用入出力(P)ポートを使用してください。

USIの入出力端子(US_SDIx、US_SDOx、US_SCKx、US_SSIx)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをUSIの入出力端子として使用するには、ポート機能選択ビットの設定により機能を切り換える必要があります。

端子の機能と切り換えの詳細については、“入出力ポート(P)”の章を参照してください。

19.3 USIのクロックソース

動作クロック

USIモジュールは、PCLKを動作クロックとして使用します。したがって、制御レジスタの設定も含め、USIを使用する場合は、CLGからPCLKが供給されている必要があります。PCLKの供給に関しては“クロックジェネレータ(CLG)”の章を参照してください。

転送クロック

USIをUART、SPIマスタ(ノーマルモード)、またはPCマスタとして使用する場合は転送用ソースクロックはファインモード16ビットタイマ(T16F)から供給されます。転送レートに合わせてT16Fをプログラムし、ソースクロックをUSIモジュールに供給してください。なお、USIモジュールは、このソースクロックを更に分周して転送クロック(またはサンプリングクロック)を生成します。インタフェースモードによりUSI内部の分周比が異なりますので注意してください。

USIをSPIマスタ(高速モード)として使用する場合、PCLKがソースクロックとなります。

PCスレーブとして使用する場合、転送クロックは外部マスタから入力します。ただし、サンプリング信号を生成するために、PCスレーブではT16F出力クロックを使用します。

表19.3.1 USIクロック

クロック	インタフェースモード	USI Ch.0	USI Ch.1
動作クロック	UART	PCLK	PCLK
	SPIマスタ	PCLK	PCLK
	I ² Cマスタ	PCLK	PCLK
	I ² Cスレーブ	PCLK	PCLK
転送/サンプリングクロックソース (USI内部分周比)	UART	T16F Ch.0 (f _{SOURCE} /8)	T16F Ch.1 (f _{SOURCE} /8)
	SPIマスタ	ノーマルモード: T16F Ch.0 (f _{SOURCE} /2) ファストモード: PCLK (f _{PCLK})	ノーマルモード: T16F Ch.1 (f _{SOURCE} /2) ファストモード: PCLK (f _{PCLK})
	I ² Cマスタ	T16F Ch.0 (f _{SOURCE} /8)	T16F Ch.1 (f _{SOURCE} /8)
	I ² Cスレーブ	T16F Ch.0 (f _{SOURCE}) サンプリング用	T16F Ch.1 (f _{SOURCE}) サンプリング用

T16Fモジュールの制御と出力クロックの設定については、“ファインモード16ビットタイマ(T16F)”の章を参照してください。

注: USIをI²Cスレーブモードに設定した場合、i2c_scl(I²Cクロック)が外部I²Cマスタから供給されます。T16F出力クロック周波数(f_{SOURCE})はi2c_scl周波数の8倍になるように設定してください。

なお、I²Cスレーブモードでは、動作の準備が整うまでi2c_sclにLowを出力して外部I²Cマスタをウェイト状態にします。

一つの動作が終了して割り込みフラグ(ISIF/USI_ISIFxレジスタ)が1になった(動作が完了した)時点でi2c_sclよりLowを出力します。(ただし、ISIFが1になった時点のステータスビット(ISSTA[2:0]/USI_ISIFxレジスタ)が0x1(ストップコンディションを検出)の場合、i2c_sclはハイインピーダンスの状態を維持します。)

ISTGMOD[2:0]/USI_ISTGxレジスタで指定したI²Cスレーブモードの動作を、ISTG/USI_ISTGxレジスタへの1書き込みによって開始すると、T16F出力の2クロック後にi2c_sclがハイインピーダンスになります。データ送信やACK/NAK送信の場合は、ISTGに1を書き込んでからT16F出力の1クロック後にデータを出力します。

19.4 USIモジュールの設定

USIモジュールによるデータ転送を開始する前に、以下の設定を行ってください。

SPIマスタ、I²Cマスタ/スレーブモードの場合

- (1) インタフェースモードに合わせ、使用する端子をUSI用に設定します(19.2節参照)。
- (2) クロックソースモジュールをプログラムし、必要なクロックを供給します(19.3節参照)。
- (3) USIモジュールをリセットします。
- (4) USIのインタフェースモードとモード共通項目(MSB先頭/LSB先頭)を設定します。
- (5) 選択したインタフェースモードのデータ形式や動作条件を設定します。
- (6) 必要に応じ、割り込みの設定を行います(19.7節参照)。

UARTモードの場合

- (1) クロックソースモジュールをプログラムし、必要なクロックを供給します(19.3節参照)。
- (2) USIモジュールをリセットします。
- (3) USIのインタフェースモードとモード共通項目(MSB先頭/LSB先頭)を設定します。
- (4) インタフェースモードに合わせ、使用する端子をUSI用に設定します(19.2節参照)。
- (5) 選択したインタフェースモードのデータ形式や動作条件を設定します。
- (6) 必要に応じ、割り込みの設定を行います(19.7節参照)。

USI端子は初期状態でLowを出力する設定になっています。

UARTモードでの使用時は不要なスタートビットの生成を防止するため、USIの設定後に端子機能を切り換えてください。

19.4.1 USIモジュールのソフトウェアリセット

USIMOD[2:0]/USI_GCFGxレジスタに0x0を書き込むことで、USIモジュールの回路がリセットされます。インタフェースモードを設定する前に、必ずこのソフトウェアリセットを実行してください。

19.4.2 インタフェースモード

USIモジュールは19.1節に示したとおり5種類のシリアルインタフェース機能を持ち、使用するインタフェースをUSIMOD[2:0]/USI_GCFGxレジスタによりチャンネルごとに選択することができます。

表19.4.2.1 インタフェースモードの選択

USIMOD[2:0]	インタフェースモード
0x7~0x6	Reserved
0x5	I ² Cスレーブ
0x4	I ² Cマスタ
0x3	Reserved
0x2	SPIマスタ
0x1	UART
0x0	ソフトウェアリセット

(デフォルト: 0x0)

注: USIの他の設定を行う前に、必ずソフトウェアリセットとインタフェースモードの設定を行ってください。

19.4.3 モード共通項目の設定

MSB先頭/LSB先頭の選択

データのMSBとLSBのどちらを先に入出力するか、LSBFST/USI_GCFGxレジスタで選択します。LSBFSTが0(デフォルト)の場合はLSB先頭、1に設定するとMSB先頭になります。

19.4.4 UARTモード時の設定

UARTモードでは、データ長、ストップビット、パリティビットの設定を行います。スタートビットは1ビットに固定されています。

データ長

データ長は、UCHLN/USI_UCFGxレジスタで選択します。UCHLNを0(デフォルト)に設定すると、データ長は7ビットに設定されます。UCHLNを1に設定すると、8ビットに設定されます。

ストップビット

ストップビット長はUSTPB/USI_UCFGxレジスタで選択します。USTPBを0(デフォルト)に設定すると、ストップビット長は1ビットに設定されます。USTPBを1に設定すると、2ビットに設定されます。

パリティビット

パリティ機能を有効にするか否かについては、UPREN/USI_UCFGxレジスタで選択します。UPRENを0(デフォルト)に設定すると、パリティ機能は無効となります。この場合、転送データにパリティビットは付加されず、データ受信時もパリティチェックは行われません。UPRENを1に設定すると、パリティ機能が有効になります。この場合、転送データにパリティビットが付加され、データ受信時はパリティチェックを行います。

パリティ機能を有効にする場合は、UPMD/USI_UCFGxレジスタでパリティモードを選択します。UPMDを0(デフォルト)に設定すると、奇数パリティとしてパリティビットの付加とチェックが行われます。UPMDを1に設定すると、偶数パリティとして処理されます。

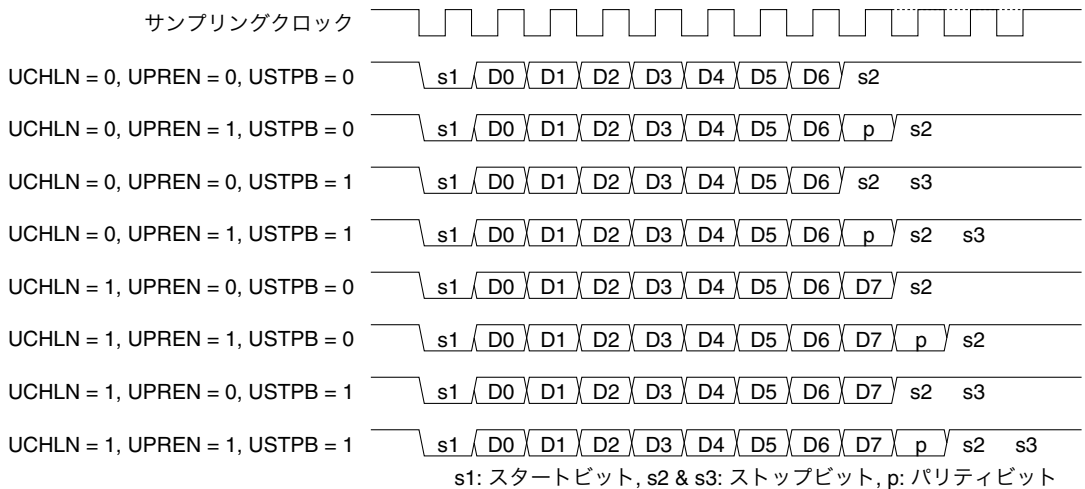


図19.4.4.1 UARTモードの転送データ形式 (LSB先頭)

19.4.5 SPIマスタモード時の設定

SPIマスタモードでは、SPIクロックの極性と位相、クロックモード、データ長を設定します。

SPIクロック極性と位相の設定

SPIクロックの極性は、SCPOL/USI_SCFGxレジスタで選択します。SCPOLを1に設定するとSPIクロックはアクティブLow、0(デフォルト)に設定するとアクティブHighと見なされます。

SPIクロックの位相はSCPHA/USI_SCFGxレジスタで選択します。

これらの制御ビットにより、転送タイミングは図19.4.5.1のように設定されます。

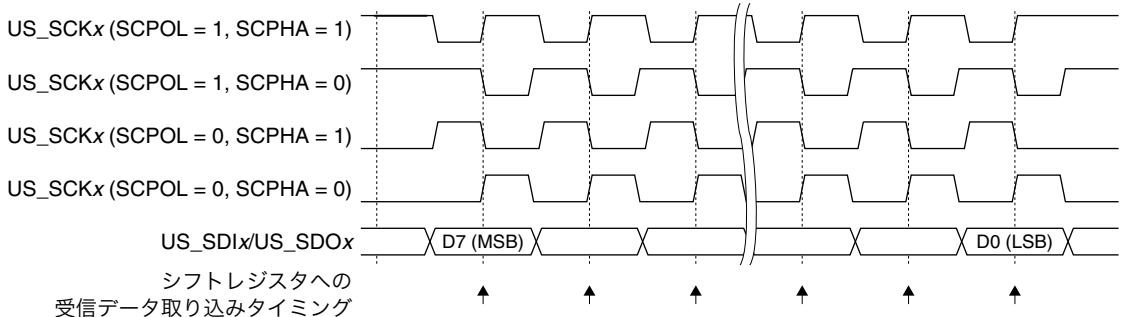


図19.4.5.1 クロックとデータ転送タイミング (MSB先頭)

クロックモード

通常または高速のクロックモードをSFSTMOD/USI_SCFGxレジスタで選択可能です。SFSTMODを0(デフォルト)に設定するとノーマルモードとなり、T16F出力を1/2に分周して転送クロックが生成されます。SFSTMODを1に設定するとファストモードとなり、CLGから供給されるPCLKをそのまま転送クロックとして使用します。ファストモードに設定した場合、T16Fは使用しません。

データ長

データ長をSCHLN/USI_SCFGxレジスタで選択します。SCHLNを0(デフォルト)に設定すると、データ長は8ビットに設定されます。SCHLNを1に設定すると、9ビットに設定されます。9ビットモードでは8ビットデータの前にコマンドビット(1ビット)が付加されます。このコマンドビットはSPI LCDコントローラの制御に使用します。送信するコマンドビットの値はSCMD/USI_SCFGxレジスタで指定します。SCMDを1に設定するとコマンドビットはHigh、0に設定するとLowになります。

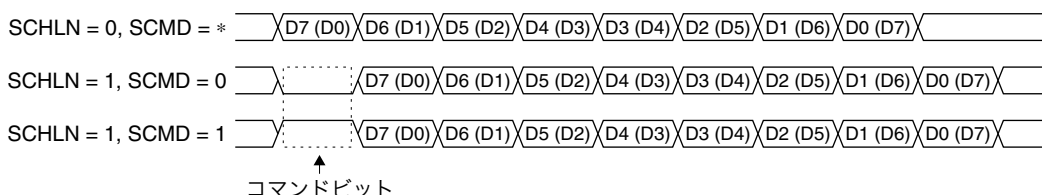


図19.4.5.2 SPIマスタモードの9ビット転送データ形式

19.4.6 I²Cモード時の設定

I²Cモードでは、データ形式等の事前設定は必要ありません。I²Cモードのデータ長は8ビットに固定されています。

19.5 データ送受信の制御

ここでは、データ送受信の制御方法を説明します。前述の設定および割り込みの設定は既に済んでいるものとします。

19.5.1 UARTモードのデータ転送

データ送信

UARTモードでデータ送信を開始するには、送信データを送信データバッファ (TD[7:0]/USI_TD_xレジスタ) に書き込みます。

バッファのデータは送信用シフトレジスタに送られ、スタートビットがUS_SDO_x端子から出力されます。続いて、シフトレジスタのデータが順次出力されます。8ビットデータの最後のビットを出力後、パリティビット(パリティ有効時のみ)とストップビットが出力されます。

送信回路にはUTDIF/USI_UIF_xレジスタとUTBSY/USI_UIF_xレジスタの2つのステータスフラグが用意されています。

UTDIFフラグは送信データバッファの状態を示します。このフラグは送信データバッファに書き込んだデータが送信用シフトレジスタに送られると1にセットされ、送信データバッファが空になったことを示します。UTDIFは割り込みフラグでもありますので、このフラグが1になった時点で割り込みを発生させることができます(19.7節参照)。この割り込みを利用して続くデータを送信データバッファに書き込み、次のデータ送信を行います。送信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、1つ前のデータを送信中に、データの書き込みが行えます。割り込みを使用せずに送信を行う場合は、必ず送信データバッファが空になっていることを確認してから送信データを書き込んでください。UTDIFがセットされる前に書き込みを行うと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。1にセットされたUTDIFは1を書き込むことで0にリセットされます。

UTBSYフラグはシフトレジスタの状態を示します。このフラグは送信データが送信データバッファからシフトレジスタにロードされると1になり、データ送信が完了すると0に戻ります。送信回路が動作中か待機中かについては、このフラグを読み出して確認してください。

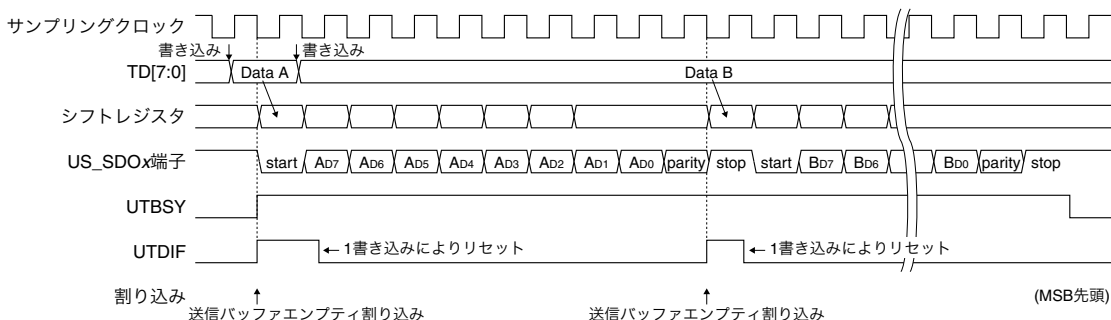


図19.5.1.1 データ送信タイミングチャート(UARTモード)

データ受信

外部シリアルデバイスがスタートビットを送信すると、受信回路はそのLowレベルを検出して、続くデータビットのサンプリングを開始します。8ビットデータをシフトレジスタに受信し終わると、受信データは受信データバッファ (RD[7:0]/USI_RDxレジスタ)にロードされます。パリティチェックが有効に設定されている場合、これと同時に、受信回路は最終データビットの直後に受信したパリティビットでパリティチェックを行います。

受信回路にはURDIF/USI_UIF_xレジスタとURBSY/USI_UIF_xレジスタの2つのステータスフラグが用意されています。

URDIFフラグは受信データバッファの状態を示します。このフラグは、シフトレジスタに受信したデータが受信データバッファにロードされると1にセットされ、受信データが読み出せることを示します。URDIFは割り込みフラグでもありますので、このフラグが1になった時点で割り込みを発生させることができます(19.7節参照)。この割り込みを利用して受信データを受信データバッファから読み出します。受信バッファサイズは1バイトですので、次の受信が終了する前にデータを読み出す必要があります。また、URDIFに1を書き込み、フラグをリセットします。URDIFが1にセットされている状態で次の受信データが受信データバッファに書き込まれると、オーバーランエラーとなります。

URBSYフラグはシフトレジスタの状態を示します。このフラグはデータをシフトレジスタに受信している間1となり、受信データが受信データバッファにロードされると0に戻ります。受信回路が動作中か待機中かについては、このフラグを読み出して確認してください。

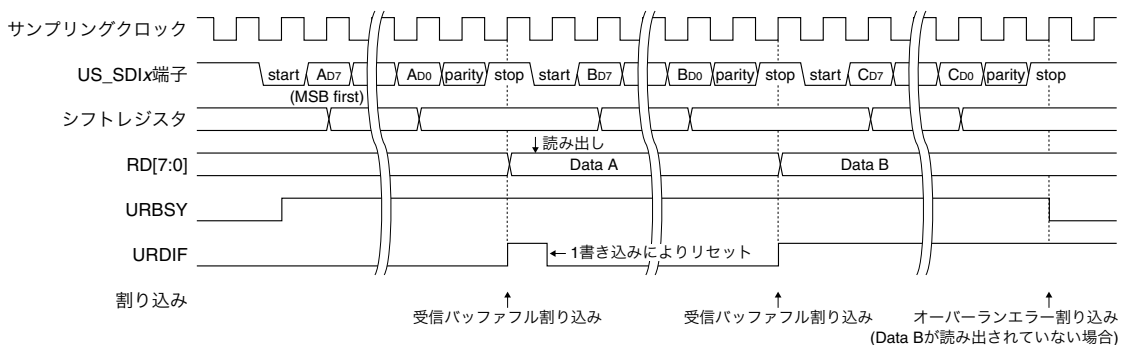


図19.5.1.2 データ受信タイミングチャート (UARTモード)

19.5.2 SPIマスタモードのデータ転送

データ送信

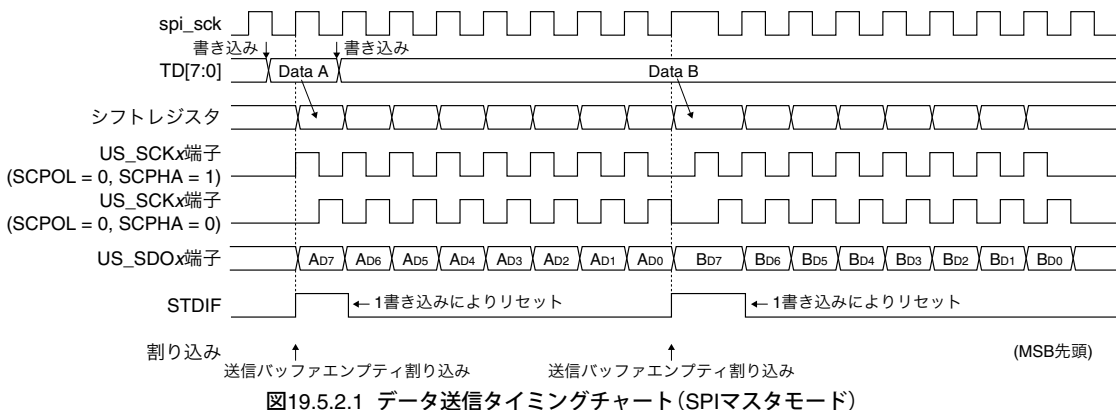
SPIマスタモードでデータ送信を開始するには、送信データを送信データバッファ(TD[7:0]/USI_TDxレジスタ)に書き込みます。

バッファのデータは送信用シフトレジスタに送られ、US_SCK_x端子からクロックの出力を開始します。シフトレジスタ内のデータはSPIクロック(図19.4.5.1参照)の立ち上がりまたは立ち下がりエッジで順次シフトされ、US_SDO_x端子から送信されます。

SPIコントローラには送信の制御用にSTDIF/USI_SIF_xレジスタが用意されています。

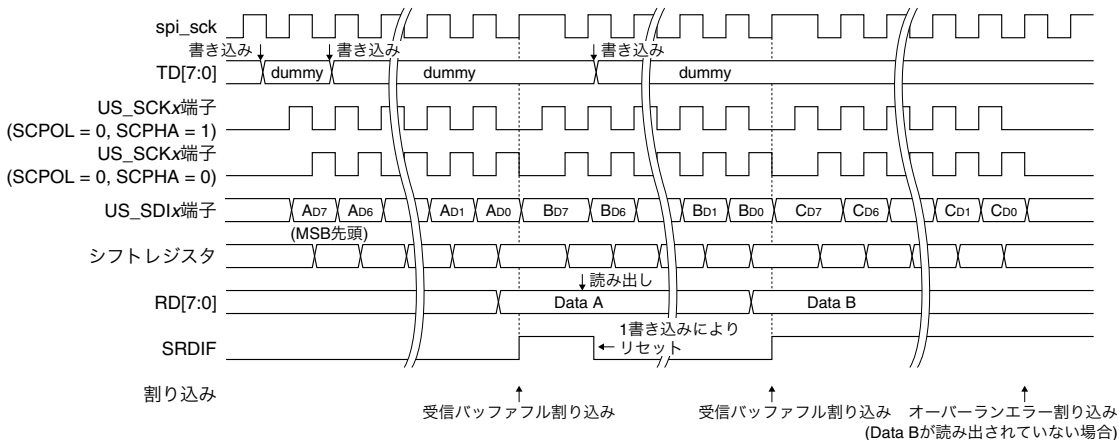
STDIFフラグは送信データバッファの状態を示します。このフラグは、送信データバッファに書き込んだデータが送信用シフトレジスタに送られると1にセットされ、送信データバッファが空になったことを示します。

STDIFは割り込みフラグでもありますので、このフラグが1になった時点で割り込みを発生させることができます(19.7節参照)。この割り込みを利用して続くデータを送信データバッファに書き込み、次のデータ送信を行います。送信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、1つ前のデータを送信中に、データの書き込みが行えます。割り込みを使用せずに送信を行う場合は、必ず送信データバッファが空になっていることを確認してから送信データを書き込んでください。STDIFがセットされる前に書き込みを行うと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。



データ受信

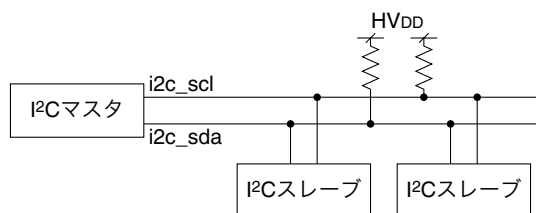
ダミーデータを送信データバッファに書き込みます。送信データバッファの書き込みは、送信の開始だけではなく受信のトリガにもなります。実際の送信データを書き込んで送受信を同時に行うことも可能です。これにより、US_SCKx端子からSPIクロックの出力を開始します。データは、SPIクロック(図19.4.5.1参照)により順次シフトレジスタに取り込まれます。8ビットのデータをシフトレジスタに受信し終わると、受信データは受信データバッファにロードされます。バッファ内の受信データはRD[7:0]/USI_RDxレジスタから読み出すことができます。SPIコントローラには受信の制御用にSRDIF/USI_SIFxレジスタが用意されています。SRDIFフラグは受信データバッファの状態を示します。このフラグはシフトレジスタに受信したデータが受信データバッファにロードされると1になり、受信データが読み出せることを示します。SRDIFは割り込みフラグでもありますので、このフラグが1になった時点で割り込みを発生させることができます(19.7節参照)。この割り込みを利用して受信データを受信データバッファから読み出します。受信バッファサイズは1バイトですので、次の受信が終了する前にデータを読み出す必要があります。また、SRDIFに1を書き込み、フラグをリセットします。SRDIFが1にセットされている状態で次の受信データが受信データバッファに書き込まれると、オーバーランエラーとなります。



スレーブセレクト信号

SPIマスターモード時にスレーブセレクト出力が必要な場合は、汎用入出力ポートを使用し、ソフトウェアで出力を制御してください。

19.5.3 I²Cモードのデータ転送



USIをI²Cモードに設定した場合、i2c_sclとi2c_sda端子はLow出力またはハインピーダンス状態となります。Highレベルは出力しませんので、i2c_sclとi2c_sdaラインは外部でHVDDレベルにプルアップしてください。

注: HVDDを超える電圧値にはプルアップしないでください。

図19.5.3.1 I²Cモードの接続例

I²Cマスタモードの制御

I²Cマスタモードの送受信は、IMTGMOD[2:0]/USI_IMTG_xレジスタとIMTG/USI_IMTG_xレジスタで制御します。IMTGMOD[2:0]でI²Cマスタの動作を選択し、そのトリガとしてIMTGに1を書き込みます。I²CコントローラはPCバスを制御して指定の状態を生成します。

表19.5.3.1 I²Cマスタモードのトリガー一覧

IMTGMOD[2:0]	トリガ
0x7	Reserved
0x6	ACK/NAK受信
0x5	NAK送信
0x4	ACK送信
0x3	データ受信
0x2	データ送信
0x1	ストップコンディション
0x0	スタートコンディション

(デフォルト: 0x0)

IMTGに1を書き込むとIMBSY/USI_IMIF_xレジスタが1にセットされ、I²Cコントローラが動作中であることを示します。指定の動作が終了すると、IMBSYは0にリセットされます。動作が終了した時点で割り込みフラグ(IMIF/USI_IMIF_xレジスタ)も1にセットされます。また、割り込み発生後はステータスビット(IMSTA[2:0]/USI_IMIF_xレジスタ)を読み出すことにより、終了した動作を確認することができます。その後、IMIFに1を書き込んでクリアしてください。これにより、IMSTA[2:0]も自動的に0x0にクリアされます。

表19.5.3.2 I²Cマスタステータスビット

IMSTA[2:0]	ステータス
0x7	Reserved
0x6	NAKを受信
0x5	ACKを受信
0x4	ACKまたはNAKを送信
0x3	受信データバッファフル
0x2	送信データバッファエンプティ
0x1	ストップコンディションを生成
0x0	スタートコンディションを生成

(デフォルト: 0x0)

I²Cマスタ送信手順

以下、I²Cマスタモード時のデータ送信手順を説明します。

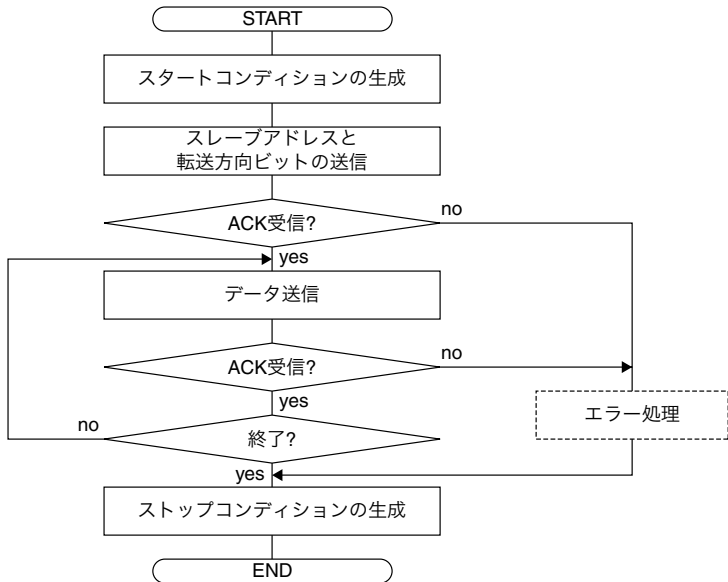


図19.5.3.2 I²Cマスタモードのデータ送信フローチャート

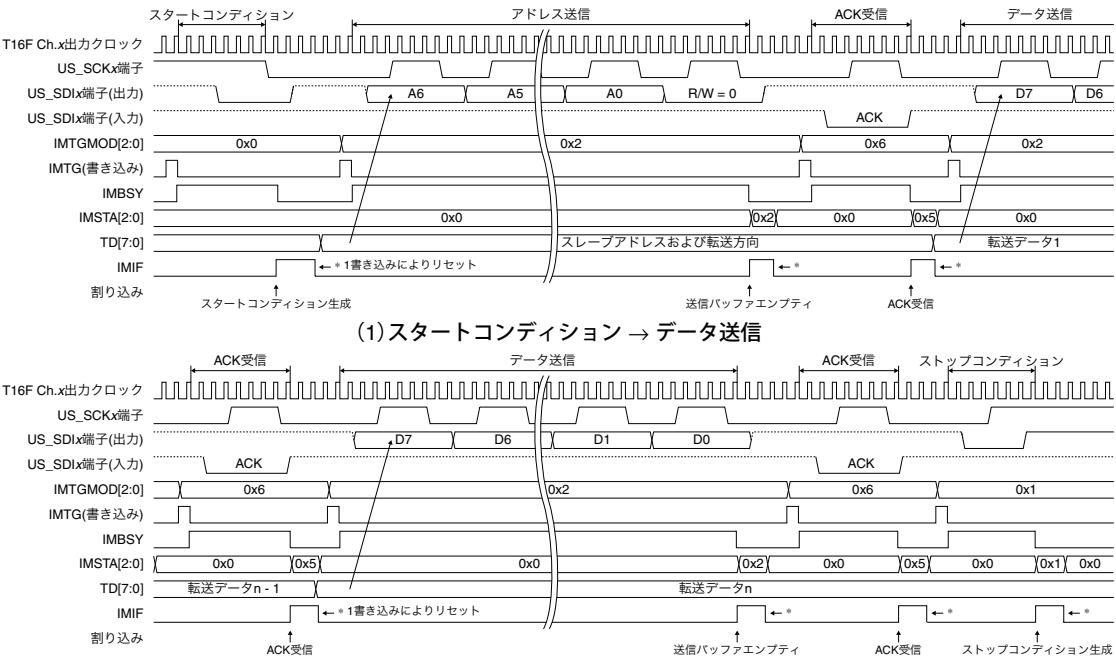


図19.5.3.3 I²Cマスタモードのデータ送信タイミング

(1) スタートコンディションの生成

I²Cの送受信はI²Cマスタデバイスがスタートコンディションを生成することにより開始します。I²CバスのSCLラインをHighに保った状態で、SDAラインをLowにすることがスタートコンディションです。本I²Cマスタでスタートコンディションを生成するにはIMTGMOD[2:0]を0x0(デフォルト)に設定し、IMTGに1を書き込みます。

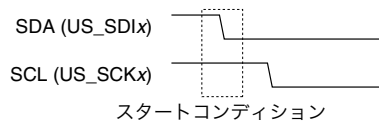


図19.5.3.4 スタートコンディション

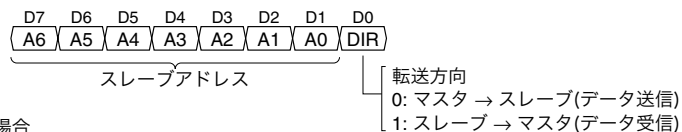
スタートコンディション生成中はIMBSYが1となります。終了するとIMBSYは0に戻り、IMSTA[2:0]が0x0に設定されます。これ以降、PCバスはビジー状態になります。

注: スタートコンディションを生成する前に、他の動作を開始することはできません。

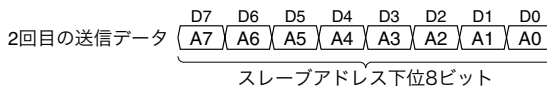
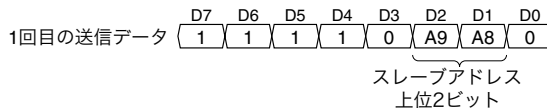
(2) スレーブアドレスと転送方向ビットの送信

スタートコンディションの生成後、通信を行うスレーブのアドレスと転送方向を示すビットを送信します。PCのスレーブアドレスには7ビットアドレスと10ビットアドレスの2種類があります。本モジュールは8ビットの送受信データバッファを使用してスレーブアドレスと転送方向ビットを送信しますので、7ビットアドレスモードの場合は1回で送信可能です。10ビットの場合はソフトウェア制御により2回、または3回の送信を行います。アドレスデータの構成を図19.5.3.5に示します。

7ビットアドレスの場合



10ビットアドレスの場合



PCマスタがデータ受信のときは、2回目の送信データの後にリピーテッドスタートコンディションを発行し、下記のとおり3回目のデータを送信してください。

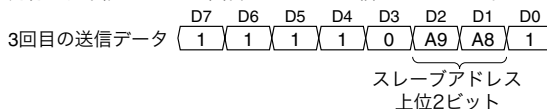


図19.5.3.5 スレーブアドレスと転送方向を指定する送信データ

転送方向ビットはスレーブアドレスに続くデータ転送の方向を示します。マスタからスレーブへのデータ送信時は転送方向ビットを0に設定します。

スレーブアドレスを送信するには、アドレスと転送方向ビットを送信データバッファ (TD[7:0]/USI_TDレジスタ) に設定します。次に、IMTGMOD[2:0]を0x2に設定し、IMTGに1を書き込みます。10ビットアドレスの場合は、図19.5.3.5に従ってこの手順を2回、または3回実行してください。IMTGに1を書き込むとIMBSYが1となります。送信データバッファのデータが送信用シフトレジスタに送られるとIMBSYは0に戻り、IMSTA[2:0]が0x2に設定されます。IMBSYを読み出すか、割り込みを利用してスレーブアドレス(1バイト単位)が送信されたことを確認してください。

スレーブアドレスの送信後、選択されたスレーブデバイスはSCLラインをLowにしてACKをPCマスタに返します。SCLラインがHighのときはNAKが返ったものと見なします。この場合、指定したアドレスのスレーブデバイスとは通信できません。

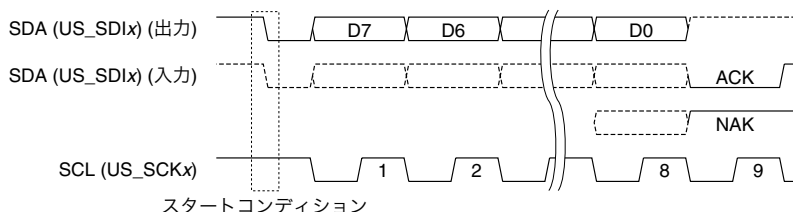


図19.5.3.6 ACKとNAK

データを送信する前に、ACKが返ったことを確認する必要があります。このチェックを行うには、スレーブアドレスの送信が終了後、IMTGMOD[2:0]を0x6に設定し、IMTGに1を書き込みます。ACK/NAKのチェック中はIMBSYが1となります。終了するとIMBSYは0に戻り、ACKが返った場合はIMSTA[2:0]が0x5に、NAKが返った場合はIMSTA[2:0]が0x6に設定されます。IMBSYを読み出すか、割り込みを利用してこれを確認してください。ACKを受信した場合は、データ送信の処理に移行します。NAKを受信した場合はエラー処理を行います。

(3) データ送信

データ送信も、手順はスレーブアドレスの送信と同様です。

1. 送信データバッファ(TD[7:0])に送信データ(8ビット)を書き込み
2. IMTGMOD[2:0] = 0x2、IMTG = 1に設定

このトリガにより、送信データバッファのデータが送信用シフトレジスタに送られ、送信を開始します。US_SCK_x端子からクロックが出力され、シフトレジスタ内のデータはこのクロックで順次シフトされ、US_SDI_x端子から送信されます。

IMTGに1を書き込むとIMBSYが1となります。送信データバッファのデータが送信用シフトレジスタに送られるとIMBSYは0に戻り、IMSTA[2:0]が0x2(送信データバッファエンプティ)に設定されます。この時点で割り込み要求を発生可能ですので、これを利用して次のデータを送信データバッファに書き込むことができます。ただし、次の8ビットデータの送信を開始する前に、スレーブアドレス送信時と同様に、スレーブデバイスからACKが返ったことを確認してください(IMTGMOD[2:0] = 0x6、IMTG = 1に設定してチェック)。

必要な回数、8ビットデータの送信とACK受信のチェックを繰り返します。

(4) ストップコンディションの生成

すべてのデータを送信後、I²C通信を終了する場合は、I²Cマスタがストップコンディションを生成します。SCLラインをHighに保った状態で、SDAラインをLowからHighにすることがストップコンディションとなります。本I²Cマスタでストップコンディションを生成するにはIMTGMOD[2:0]を0x1に設定し、IMTGに1を書き込みます。

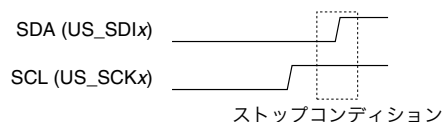


図19.5.3.7 ストップコンディション

ストップコンディション生成中はIMBSYが1となります。終了するとIMBSYは0に戻り、IMSTA[2:0]が0x1に設定されます。IMBSYを読み出すか、割り込みを利用してストップコンディションが生成されたことを確認してください。これ以降、I²Cバスはフリー状態になります。

(5) リピーテッドスタートコンディションの生成

データの送信が終了した後、さらに別の送受信を続けて行いたい場合などには、ストップコンディションの生成を省き、リピーテッドスタートコンディションを生成することが可能です。この場合は、(1)で説明したスタートコンディションの生成手順を実行してください。これ以降、I²Cバスはビジー状態を保ったままスレーブアドレスの送信が可能な状態になります。

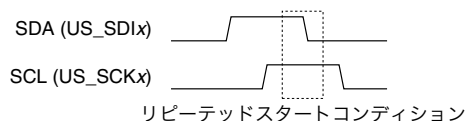


図19.5.3.8 リピーテッドスタートコンディション

I²Cマスタ受信手順

以下、I²Cマスタモード時のデータ受信手順を説明します。

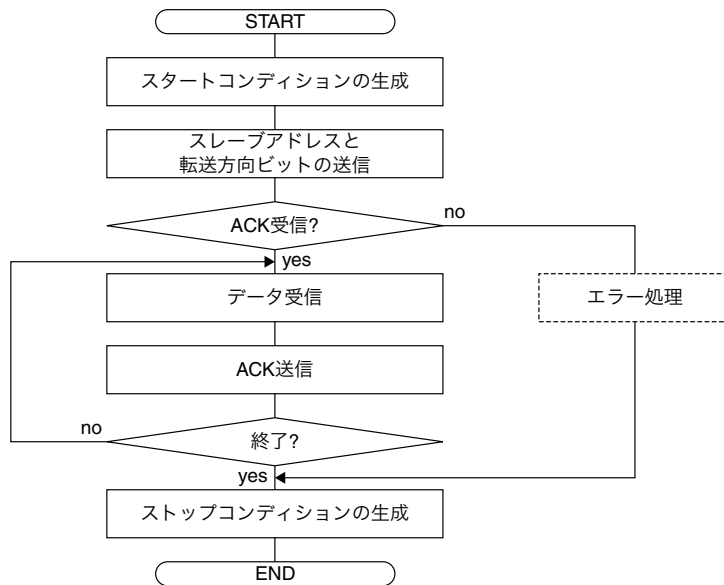
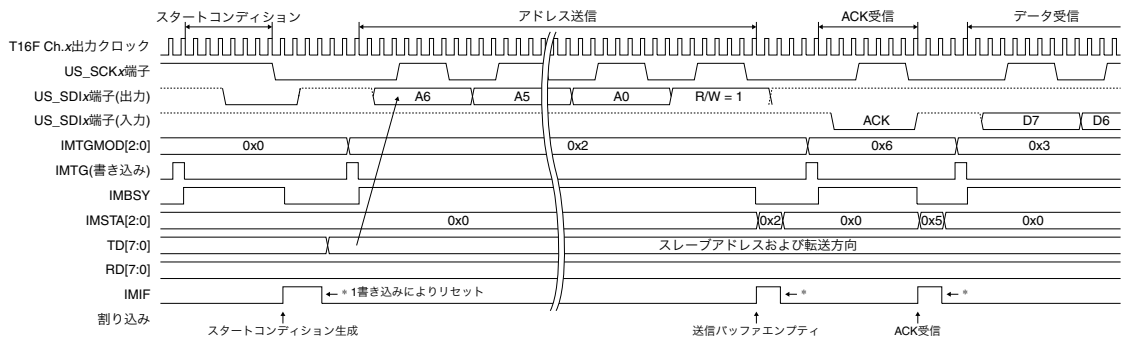
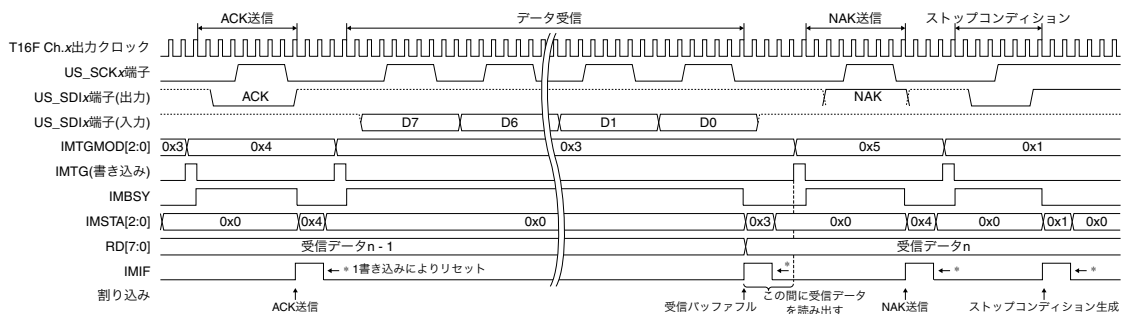


図19.5.3.9 I²Cマスタモードのデータ受信フローチャート



(1)スタートコンディション→データ受信



(2) データ受信 → ストップコンディション

図19.5.3.10 I²Cマスタモードのデータ受信タイミング

注: 上記のタイミングチャートは基本的な転送動作のみを示しており、実際のI²C転送手順は含まれておりません。“19.9 注意事項”の“I²Cスレーブモード時のコントロールバイト受信”を参照してください。

(1) スタートコンディションの生成

I²Cマスタモードの送信時と同様です。

(2) スレーブアドレスと転送方向ビットの送信

I²Cマスタモードの送信時と同様です。ただし、転送方向ビットを1に設定してスレーブアドレスを送信します。スレーブアドレス送信後は、スレーブデバイスからACKが返ったことをチェックしてください。

(3) データ受信

データ受信を開始するにはIMTGMOD[2:0]を0x3に設定し、IMTGに1を書き込みます。

このトリガにより、US_SCK_x端子からクロックが8個出力され、それぞれのクロックに同期して、US_SDL_x端子の状態がシフトレジスタに取り込まれます。8ビットのデータをシフトレジスタに受信し終わると、受信データは受信データバッファ(RD[7:0]/USI_RD_xレジスタ)にロードされます。IMTGに1を書き込むとIMBSYが1となります。受信データが受信データバッファにロードされるとIMBSYは0に戻り、IMSTA[2:0]が0x3(受信データバッファフル)に設定されます。この時点で割り込み要求を発生可能ですので、これを利用して受信データバッファからデータを読み出すことができます。

8ビットのデータ受信の後、その応答としてACKまたはNAKをスレーブデバイスに送信する必要があります(これは受信データを読み出した後に行ってください)。ACKを送信するには、IMTGMOD[2:0]を0x4に設定し、IMTGに1を書き込みます。NAKを送信するには、IMTGMOD[2:0]を0x5に設定し、IMTGに1を書き込みます。

ACK/NAKの送信中もIMBSYが1となり、送信が終了すると0に戻ります。この時点で割り込みを発生させることもできます。ACK/NAK送信終了時はIMSTA[2:0]が0x4となります。

必要な回数、8ビットデータの受信とACK(NAK)の送信を繰り返します。

(4) ストップコンディションの生成

I²Cマスタモードの送信時と同様です。

(5) リピーテッドスタートコンディションの生成

I²Cマスタモードの送信時と同様です。

クロックストレッチ

クロックストレッチは、スレーブデバイスがデータ送受信中、次の送受信の準備が整うまでSCLラインを強制的にLowにプルダウンしてマスタデバイスにウェイトを要求する機能です。マスタはこの要求が解除される(SCLラインがHighになる)まで、送受信を中断して待機します。

本I²Cコントローラはこのクロックストレッチに対応しています。スレーブアドレスやデータの送受信後にクロックストレッチ状態を検出した場合、次の送受信のトリガを受け付けてもウェイト状態となり、クロックストレッチ状態が解除されるまで実際の動作を開始しません。ウェイト中も含め、IMBSYは動作が完了するまで1を保持します。

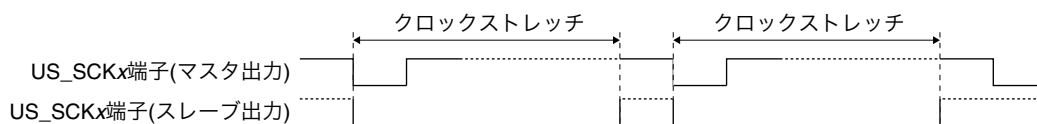


図19.5.3.11 クロックストレッチ

I²Cスレーブモードの制御

I²Cスレーブモードの送受信は、ISTGMOD[2:0]/USI_ISTG_xレジスタとISTG/USI_ISTG_xレジスタで制御します。ISTGMOD[2:0]でI²Cスレーブの動作を選択し、そのトリガとしてISTGに1を書き込みます。

I²CコントローラはI²Cバスを制御して指定の状態を生成します。

表19.5.3.3 I²Cスレーブモードのトリガー一覧

ISTGMOD[2:0]	トリガ
0x7	Reserved
0x6	ACK/NAK受信
0x5	NAK送信
0x4	ACK送信
0x3	データ受信
0x2	データ送信
0x1	Reserved
0x0	スタートコンディションに待機

(デフォルト: 0x0)

ISTGに1を書き込むとISBSY/USI_ISIFxレジスタが1にセットされ、PCコントローラが動作中であることを示します。指定の動作が終了すると、ISBSYは0にリセットされます。動作が終了した時点で割り込みフラグ(ISIF/USI_ISIFxレジスタ)も1にセットされます。また、割り込み発生後はステータスビット(ISTA[2:0]/USI_ISIFxレジスタ)を読み出すことにより、終了した動作を確認することができます。その後、ISIFに1を書き込んでクリアしてください。これにより、ISTA[2:0]も自動的に0x0にリセットされます。

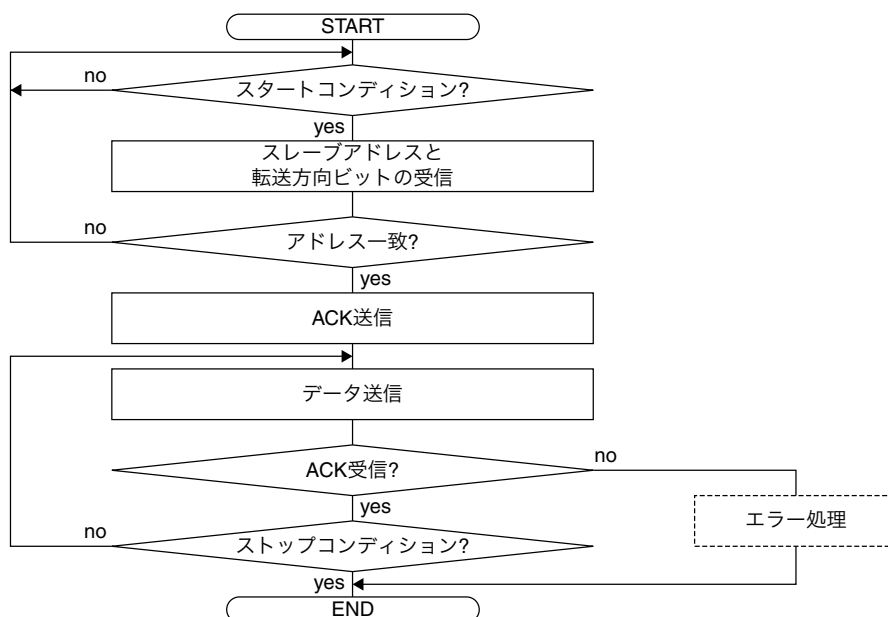
表19.5.3.4 I²Cスレーブステータスビット

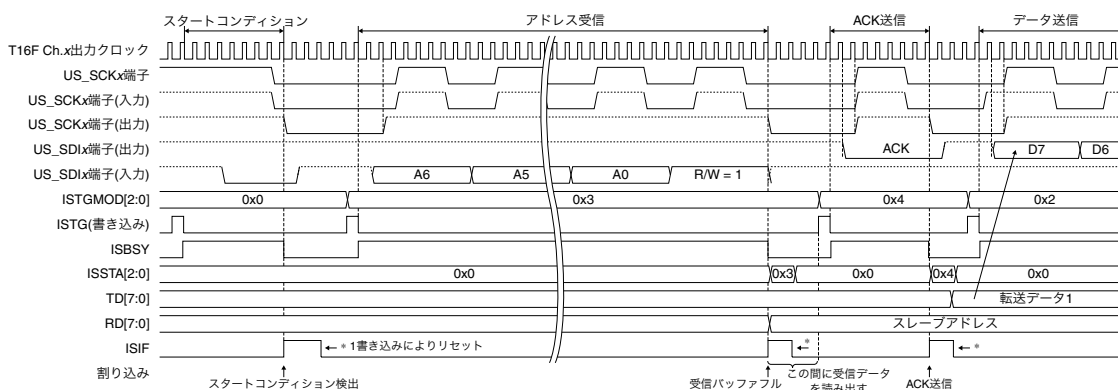
ISTA[2:0]	ステータス
0x7	Reserved
0x6	NAKを受信
0x5	ACKを受信
0x4	ACKまたはNAKを送信
0x3	受信データバッファフル
0x2	送信データバッファエンプティ
0x1	ストップコンディションを検出
0x0	スタートコンディションを検出

(デフォルト: 0x0)

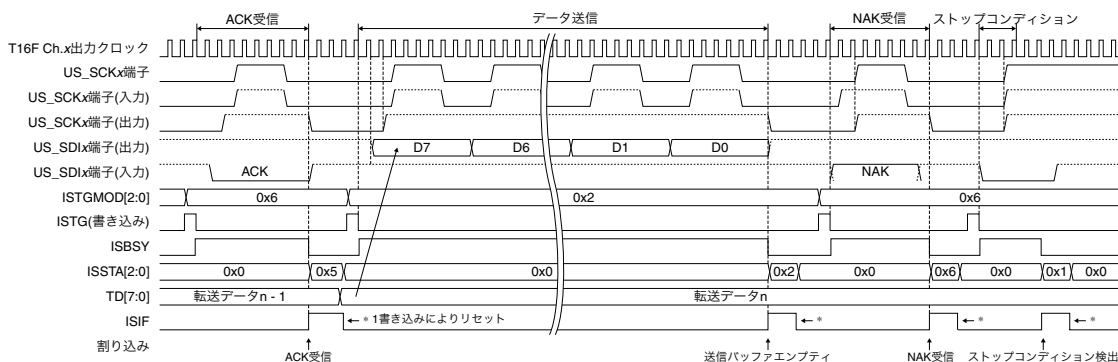
I²Cスレーブ送信手順

以下、PCスレーブモード時のデータ送信手順を説明します。

図19.5.3.12 I²Cスレーブモードのデータ送信フローチャート



(1) スタートコンディション → データ送信



(2) データ送信 → ストップコンディション

図19.5.3.13 I²Cスレーブモードのデータ送信タイミング

注: 上記のタイミングチャートは基本的な転送動作のみを示しており、実際のI²C転送手順は含まれておりません。“19.9 注意事項”の“I²Cスレーブモード時のコントロールバイト受信”を参照してください。

(1) スタートコンディションに待機

PCの送受信はPCマスタデバイスがスタートコンディション(図19.5.3.4参照)を生成することにより開始します。したがって、最初に本PCスレーブをスタートコンディションへの待機状態に設定します。このためにはISTGMOD[2:0]を0x0(デフォルト)に設定し、ISTGに1を書き込みます。これにより、I²Cコントローラはスタートコンディションの検出動作を開始します。検出動作中はISBSYが1となります。スタートコンディションを検出するとISBSYは0に戻り、ISSTA[2:0]が0x0に設定されます。ISBSYを読み出すか、割り込みを利用してスタートコンディションが生成されたことを確認してください。

注: スタートコンディションを検出する前に、他の動作を開始することはできません。

(2) スレーブアドレスと転送方向ビットの受信

I²Cマスタデバイスはスタートコンディションの生成後、通信を行うスレーブのアドレスと転送方向を示すビット(図19.5.3.5参照)を送信します。本I²Cスレーブを受信状態にしてこのスレーブアドレスを受信します。受信を開始するには、ISTGMOD[2:0]を0x3に設定し、ISTGに1を書き込みます。このトリガの後、US_SCKx端子から入力されるクロックのサンプリングを開始し、クロックが入力されるとUS_SDIx端子の状態がシフトレジスタに取り込まれます。8ビットのデータをシフトレジスタに受信し終わると、受信データは受信データバッファ(RD[7:0]/USI_RDxレジスタ)にロードされます。

ISTGに1を書き込むとISBSYが1となります。受信データが受信データバッファにロードされるとISBSYは0に戻り、ISSTA[2:0]が0x3(受信データバッファフル)に設定されます。この時点で割り込み要求を発生可能ですので、これを利用して受信データバッファからデータを読み出すことができます。

7ビットアドレスの場合は、1回の受信でスレーブアドレスと転送方向ビットが得られます。10ビットアドレスの場合は、受信データバッファのデータをメモリにセーブ後、もう一回受信を行い、残りのアドレスビットを取得します。

受信したアドレスが本PCスレーブのアドレスと一致するか、チェックしてください。一致した場合は、PCマスタにACKを送信します。ACKを送信するには、ISTGMOD[2:0]を0x4に設定し、ISTGに1を書き込みます。ACKの送信中もISBSYが1となり、送信が終了すると0に戻ります。この時点で割り込みを発生させることもできます。ACK送信終了時はISSTA[2:0]が0x4となります。受信したアドレスが本PCスレーブと異なる場合はデータの送受信を中止し、(1)に戻って次のスタートコンディションに待機します。

(3) データ送信

(2)でスレーブアドレスと共に受信した転送方向ビットが1の場合は次の手順でデータ送信動作を開始します。

1. 送信データバッファ(TD[7:0])に送信データ(8ビット)を書き込み
2. ISTGMOD[2:0] = 0x2、ISTG = 1に設定

このトリガにより、送信データバッファのデータが送信用シフトレジスタに送られ、送信を開始します。US_SCKx端子からクロックが入力されると、シフトレジスタ内のデータはこのクロックで順次シフトされ、US_SDLx端子から送信されます。

ISTGに1を書き込むとISBSYが1となります。送信データバッファのデータが送信用シフトレジスタに送られるとISBSYは0に戻り、ISSTA[2:0]が0x2(送信データバッファエンプティ)に設定されます。この時点で割り込み要求を発生可能ですので、これを利用して次のデータを送信データバッファに書き込むことができます。

ただし、次の8ビットデータの送信を開始する前に、マスタデバイスから返るACK/NAKを確認してください。このためには、ISTGMOD[2:0]を0x6に設定し、ISTGに1を書き込みます。

ACK/NAKのチェック中はISBSYが1となります。終了するとISBSYは0に戻り、ACKが返った場合はISSTA[2:0]が0x5に、NAKが返った場合はISSTA[2:0]が0x6に設定されます。ISBSYを読み出すか、割り込みを利用してこれを確認してください。ACKを受信した場合は、次のデータ送信を開始します。NAKを受信した場合は対応する処理に移行します。

(4) ストップコンディションの受信

データ送信動作中に読み出したISSTA[2:0]が0x1の場合、PCマスタデバイスがストップコンディション(図19.5.3.7参照)を生成しました。この場合は送信処理を終了します。

なお、ストップコンディションはISTGMOD[2:0]が以下の設定のときに受信可能です。このいずれかのモード設定でISTGに1を書き込んだ後に、SDAとSCLラインが図19.5.3.7で示すストップコンディションの状態になると、本PCスレーブはそれをストップコンディションとして検出します。

- ISTGMOD[2:0] = 0x2(データ送信)
- 0x3(データ受信)
- 0x5(NAK送信)
- 0x6(ACK/NAK受信)

I²Cスレーブ受信手順

I²Cスレーブモード時のデータ受信手順を説明します。

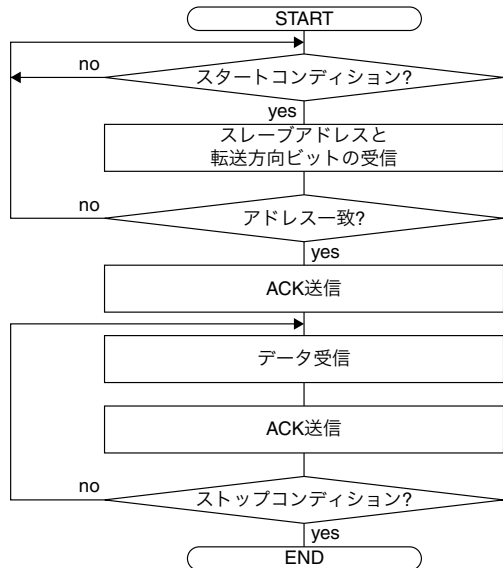
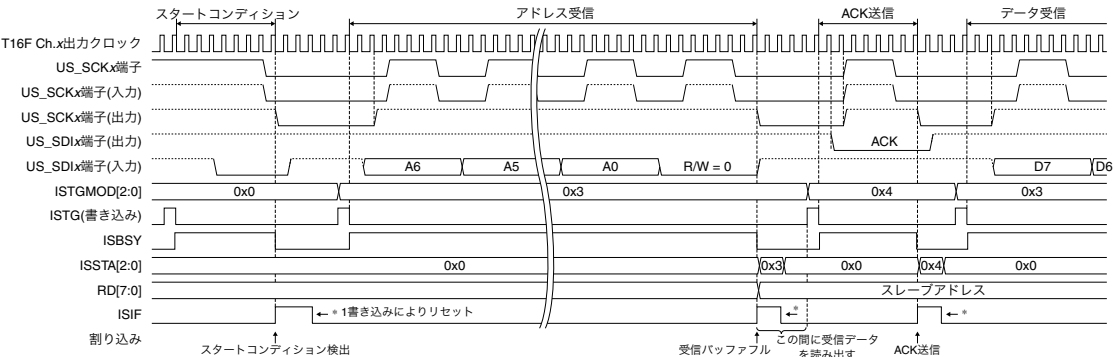
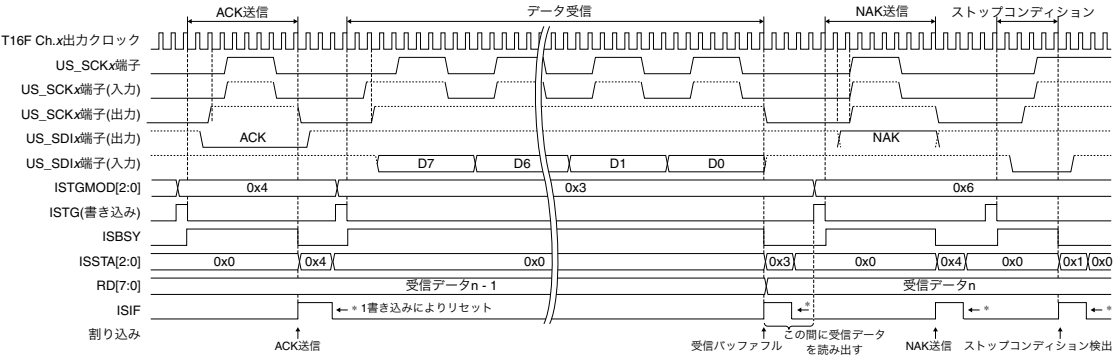


図19.5.3.14 I²Cスレーブモードの受信フローチャート



(1) スタートコンディション → データ受信



(2) データ受信 → ストップコンディション

図19.5.3.15 I²Cスレーブモードのデータ受信タイミング

注: 上記のタイミングチャートは基本的な転送動作のみを示しており、実際のI²C転送手順は含まれておりません。“19.9 注意事項”の“I²Cスレーブモード時のコントロールバイト受信”を参照してください。

(1) スタートコンディションに待機

I²Cスレーブモードの送信時と同様です。

(2) スレーブアドレスと転送方向ビットの受信

I²Cスレーブモードの送信時と同様です。

(3) データ受信

(2)でスレーブアドレスと共に受信した転送方向ビットが0の場合は、ISTGMOD[2:0]を0x3に設定し、ISTGに1を書き込んでデータ受信動作を開始します。

US_SCKx端子からクロックが入力されると、それぞれのクロックに同期して、US_SDLx端子の状態がシフトレジスタに取り込まれます。8ビットのデータをシフトレジスタに受信し終わると、受信データは受信データバッファ(RD[7:0]/USI_RDxレジスタ)にロードされます。

ISTGに1を書き込むとISBSYが1となります。受信データが受信データバッファにロードされるとISBSYは0に戻り、ISSTA[2:0]が0x3(受信データバッファフル)に設定されます。この時点で割り込み要求を発生可能ですので、これを利用して受信データバッファからデータを読み出すことができます。

8ビットのデータ受信の後、その応答としてACKまたはNAKをマスタデバイスに送信する必要があります(これは受信データを読み出した後に行ってください)。ACKを送信するには、ISTGMOD[2:0]を0x4に設定し、ISTGに1を書き込みます。NAKを送信するには、ISTGMOD[2:0]を0x5に設定し、ISTGに1を書き込みます。

ACK/NAKの送信中もISBSYが1となり、送信が終了すると0に戻ります。この時点で割り込みを発生させることもできます。ACK/NAK送信終了時はISSTA[2:0]が0x4となります。

必要な回数、8ビットデータの受信とACK(NAK)の送信を繰り返します。

(4) ストップコンディションの受信

データ受信動作中に読み出したISSTA[2:0]が0x1の場合、I²Cマスタデバイスがストップコンディション(図19.5.3.7参照)を生成しました。この場合は受信処理を終了します。

なお、ストップコンディションはISTGMOD[2:0]が以下の設定のときに受信可能です。このいずれかのモード設定でISTGに1を書き込んだ後に、SDAとSCLラインが図19.5.3.7で示すストップコンディションの状態になると、本I²Cスレーブはそれをストップコンディションとして検出します。

ISTGMOD[2:0] = 0x2(データ送信)
 0x3(データ受信)
 0x5(NAK送信)
 0x6(ACK/NAK受信)

クロックストレッチ

データの送受信中はACKの送受信から次のデータの送受信を開始するまで、SCLラインをLowにプルダウンしてクロックストレッチ状態とし、マスタデバイスにウェイトを要求します。

19.6 受信エラー

UARTモードのデータ受信時は、3種類の受信エラー(オーバーランエラー、フレーミングエラー、パリティエラー)を、SPIマスタモードおよびI²Cモードのデータ受信時はオーバーランエラーを検出可能です。受信エラーは割り込み要因のため、割り込みを発生させてエラーを処理することができます。割り込みの制御については、19.7節を参照してください。

オーバーランエラー(全インタフェースモード)

受信データバッファにロードされた受信データを読み出す前に、次のデータ受信が完了すると受信データバッファはそのデータで上書きされ、オーバーランエラーが発生します。オーバーランエラーが発生すると、現在のインタフェースモードに対応したオーバーランエラーフラグが1にセットされます。

オーバーランエラーフラグ: UOEIF/USI_UIF_xレジスタ (UARTモード)
 SEIF/USI_SIF_xレジスタ (SPIマスタモード)
 IMEIF/USI_IMIF_xレジスタ (I²Cマスタモード)
 ISEIF/USI_ISIF_xレジスタ (I²Cスレーブモード)

本エラーが発生した場合でも、受信動作は継続して行われます。なお、オーバーランエラーフラグは1を書き込むことによって0にリセットされます。

フレーミングエラー(UARTモードのみ)

UARTモード時にストップビットを0として受信すると、同期ずれとしてフレーミングエラーが発生します。ストップビットを2ビットに設定している場合は、最初の1ビットのみチェックします。本エラーが発生すると、フレーミングエラーフラグ(USEIF/USI_UIF_xレジスタ)が1にセットされます。本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。なお、USEIFは1を書き込むことによって0にリセットされます。

パリティエラー(UARTモードのみ)

UARTモードでUPREN/USI_UCFG_xレジスタが1(パリティ有効)に設定されている場合、受信時にパリティチェックを行います。パリティチェックはシフトレジスタに受信したデータが受信データバッファに転送される際に行われ、UPMD/USI_UCFG_xレジスタの設定(奇数または偶数パリティ)との整合をチェックします。この結果が不整合の場合はパリティエラーと判断され、パリティエラーフラグ(UPEIF/USI_UIF_xレジスタ)が1にセットされます。本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、受信データはパリティエラーのため保証されません。なお、UPEIFは1を書き込むことによって0にリセットされます。

19.7 USI割り込み

ここでは、各インタフェースモードで発生する割り込みについて説明します。
 割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

USIの各チャネルは、すべての割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します(2チャネルで計2本を出力)。発生した割り込み要因を特定するには、各モードの割り込みフラグを読み出してください。

19.7.1 UARTモードの割り込み

UARTモードには、以下の3種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 受信バッファフル割り込み
- 受信エラー割り込み

送信バッファエンプティ割り込み

この割り込みを使用するには、UTDIE/USI_UIE_xレジスタを1に設定します。UTDIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、USIモジュールはUTDIF/USI_UIF_xレジスタを1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(UTDIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USI(UARTモード)割り込みが送信バッファエンプティによるものかどうかについては、割り込み処理ルーチンでUTDIFフラグを読み出して確認してください。UTDIFが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

受信バッファフル割り込み

この割り込みを使用するには、URDIE/USI_UIE_xレジスタを1に設定します。URDIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

受信データが受信データバッファにロードされると、USIモジュールはURDIF/USI_UIF_xレジスタを1にセットします。受信バッファフル割り込みが許可されている場合(URDIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USI(UARTモード)割り込みが受信バッファフルによるものかどうかについては、USI割り込み処理ルーチンでURDIFフラグを読み出して確認してください。URDIFが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。ただし、受信エラーが発生していないか、必ずチェックしてください。

受信エラー割り込み

この割り込みを使用するには、UEIE/USI_UIE_xレジスタを1に設定します。UEIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。データ受信時にパリティエラー、フレーミングエラー、またはオーバーランエラーを検出すると、USIモジュールは対応するエラーフラグ(UPEIF/USI_UIF_xレジスタ、USEIF/USI_UIF_xレジスタ、UOEIF/USI_UIF_xレジスタ)を1にセットします。受信エラー割り込みが許可されていれば(UEIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USI(UARTモード)割り込みが受信エラーによるものかどうかについては、割り込み処理ルーチンでエラーフラグを読み出して確認してください。いずれかのエラーフラグが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。オーバーランエラーをリセットするには、USIのソフトウェアリセット(USIMOD[2:0]/USI_GCFG_xレジスタへの0x0書き込み)を実施し、USIを初期化してください。

19.7.2 SPIマスタモードの割り込み

SPIマスタモードには、以下の3種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 受信バッファフル割り込み
- 受信エラー割り込み

送信バッファエンプティ割り込み

この割り込みを使用するには、STDIE/USI_SIE_xレジスタを1に設定します。STDIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、USIモジュールはSTDIF/USI_SIF_xレジスタを1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(STDIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USI(SPIマスタモード)割り込みが送信バッファエンプティによるものかどうかについては、割り込み処理ルーチンでSTDIFフラグを読み出して確認してください。STDIFが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

受信バッファフル割り込み

この割り込みを使用するには、SRDIE/USI_SIE_xレジスタを1に設定します。SRDIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。受信データが受信データバッファにロードされると、USIモジュールはSRDIF/USI_SIF_xレジスタを1にセットします。受信バッファフル割り込みが許可されている場合(SRDIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USI(SPIマスタモード)割り込みが受信バッファフルによるものかどうかについては、USI割り込み処理ルーチンでSRDIFフラグを読み出して確認してください。SRDIFが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。ただし、受信エラーが発生していないか、必ずチェックしてください。

受信エラー割り込み

この割り込みを使用するには、SEIE/USI_SIE_xレジスタを1に設定します。SEIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

データ受信時にオーバーランエラーを検出すると、USIモジュールはSEIF/USI_SIFxレジスタを1にセットします。受信エラー割り込みが許可されていれば(SEIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USI(SPIマスタモード)割り込みが受信エラーによるものかどうかについては、割り込み処理ルーチンでSEIFを読み出して確認してください。SEIFが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。

オーバーランエラーをリセットするには、SEIFを1書き込みによってクリアした後、受信データバッファ(USI_RDxレジスタ)を2回読み出してください。

19.7.3 I²Cマスタモードの割り込み

I²Cマスタモードには、以下の2種類の割り込みを発生させる機能があります。

- 動作完了割り込み
- 受信エラー割り込み

動作完了割り込み

この割り込みを使用するには、IMIE/USI_IMIExレジスタを1に設定します。IMIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

ソフトウェアトリガによって開始した動作が完了すると、USIモジュールはIMIF/USI_IMIFxレジスタを1にセットします。動作完了割り込みが許可されていれば(IMIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USI(I²Cマスタモード)割り込みを発生させた動作/状態については、割り込み処理ルーチンでIMSTA[2:0]/USI_IMIFxレジスタを読み出して確認してください。

表19.7.3.1 I²Cマスタステータスビット

IMSTA[2:0]	ステータス
0x7	Reserved
0x6	NAKを受信
0x5	ACKを受信
0x4	ACKまたはNAKを送信
0x3	受信データバッファフル
0x2	送信データバッファエンブティ
0x1	ストップコンディションを生成
0x0	スタートコンディションを生成

(デフォルト: 0x0)

受信エラー割り込み

この割り込みを使用するには、IMEIE/USI_IMIExレジスタを1に設定します。IMEIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

受信データを読み出さずに2バイトの受信を完了後、送信または受信のトリガをかけると、その時点でオーバーランエラーが発生します。

データ受信時にオーバーランエラーを検出すると、USIモジュールはIMEIF/USI_IMIFxレジスタを1にセットします。受信エラー割り込みが許可されていれば(IMEIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USI(I²Cマスタモード)割り込みが受信エラーによるものかどうかについては、割り込み処理ルーチンでIMEIFを読み出して確認してください。IMEIFが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。

オーバーランエラーをリセットするには、IMEIFを1書き込みによってクリアした後、受信データバッファ(USI_RDxレジスタ)を2回読み出してください。

19.7.4 I²Cスレーブモードの割り込み

I²Cスレーブモードには、以下の2種類の割り込みを発生させる機能があります。

- 動作完了割り込み
- 受信エラー割り込み

動作完了割り込み

この割り込みを使用するには、ISIE/USI_ISIE_xレジスタを1に設定します。ISIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

ソフトウェアトリガによって開始した動作が完了すると、USIモジュールはISIF/USI_ISIF_xレジスタを1にセットします。動作完了割り込みが許可されていれば (ISIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USI(I²Cスレーブモード)割り込みを発生させた動作/状態については、割り込み処理ルーチンでISSTA[2:0]/USI_ISIF_xレジスタを読み出して確認してください。

表19.7.4.1 I²Cスレーブステータスビット

ISSTA[2:0]	ステータス
0x7	Reserved
0x6	NAKを受信
0x5	ACKを受信
0x4	ACKまたはNAKを送信
0x3	受信データバッファフル
0x2	送信データバッファエンプティ
0x1	ストップコンディションを検出
0x0	スタートコンディションを検出

(デフォルト: 0x0)

受信エラー割り込み

この割り込みを使用するには、ISEIE/USI_ISIE_xレジスタを1に設定します。ISEIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

受信データを読み出さずに2バイトの受信を完了後、送信または受信のトリガをかけると、その時点でオーバーランエラーが発生します。

データ受信時にオーバーランエラーを検出すると、USIモジュールはISEIF/USI_ISIF_xレジスタを1にセットします。受信エラー割り込みが許可されていれば (ISEIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。USI(I²Cスレーブモード)割り込みが受信エラーによるものかどうかについては、割り込み処理ルーチンでISEIFを読み出して確認してください。ISEIFが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。

オーバーランエラーをリセットするには、ISEIFを1書き込みによってクリアした後、受信データバッファ(USI_RD_xレジスタ)を2回読み出してください。

19.8 制御レジスタ詳細

表19.8.1 USIレジスタ一覧

アドレス	レジスタ名		機 能
0x50c0	USI_GCFG0	USI Ch.0 Global Configuration Register	インタフェースモード、MSB/LSBモードの設定
0x50c1	USI_TD0	USI Ch.0 Transmit Data Buffer Register	送信データバッファ
0x50c2	USI_RD0	USI Ch.0 Receive Data Buffer Register	受信データバッファ
0x50c3	USI_UCFG0	USI Ch.0 UART Mode Configuration Register	UART転送条件の設定
0x50c4	USI_UIE0	USI Ch.0 UART Mode Interrupt Enable Register	割り込みの許可
0x50c5	USI_UIF0	USI Ch.0 UART Mode Interrupt Flag Register	割り込み発生状態の表示
0x50c6	USI_SCFG0	USI Ch.0 SPI Master Mode Configuration Register	SPI転送条件の設定
0x50c7	USI_SIE0	USI Ch.0 SPI Master Mode Interrupt Enable Register	割り込みの許可
0x50c8	USI_SIF0	USI Ch.0 SPI Master Mode Interrupt Flag Register	割り込み発生状態の表示
0x50ca	USI_IMTG0	USI Ch.0 I ² C Master Mode Trigger Register	I ² Cマスタ動作の開始
0x50cb	USI_IMIE0	USI Ch.0 I ² C Master Mode Interrupt Enable Register	割り込みの許可
0x50cc	USI_IMIF0	USI Ch.0 I ² C Master Mode Interrupt Flag Register	割り込み発生状態の表示
0x50cd	USI_JSTG0	USI Ch.0 I ² C Slave Mode Trigger Register	I ² Cスレーブ動作の開始
0x50ce	USI_ISIE0	USI Ch.0 I ² C Slave Mode Interrupt Enable Register	割り込みの許可
0x50cf	USI_ISIF0	USI Ch.0 I ² C Slave Mode Interrupt Flag Register	割り込み発生状態の表示
0x50e0	USI_GCFG1	USI Ch.1 Global Configuration Register	インタフェースモード、MSB/LSBモードの設定
0x50e1	USI_TD1	USI Ch.1 Transmit Data Buffer Register	送信データバッファ
0x50e2	USI_RD1	USI Ch.1 Receive Data Buffer Register	受信データバッファ
0x50e3	USI_UCFG1	USI Ch.1 UART Mode Configuration Register	UART転送条件の設定
0x50e4	USI_UIE1	USI Ch.1 UART Mode Interrupt Enable Register	割り込みの許可
0x50e5	USI_UIF1	USI Ch.1 UART Mode Interrupt Flag Register	割り込み発生状態の表示

アドレス	レジスタ名		機 能
0x50e6	USI_SCFG1	USI Ch.1 SPI Master Mode Configuration Register	SPI転送条件の設定
0x50e7	USI_SIE1	USI Ch.1 SPI Master Mode Interrupt Enable Register	割り込みの許可
0x50e8	USI_SIF1	USI Ch.1 SPI Master Mode Interrupt Flag Register	割り込み発生状態の表示
0x50ea	USI_IMTG1	USI Ch.1 I ² C Master Mode Trigger Register	I ² Cマスタ動作の開始
0x50eb	USI_IMIE1	USI Ch.1 I ² C Master Mode Interrupt Enable Register	割り込みの許可
0x50ec	USI_IMIF1	USI Ch.1 I ² C Master Mode Interrupt Flag Register	割り込み発生状態の表示
0x50ed	USI_ISTG1	USI Ch.1 I ² C Slave Mode Trigger Register	I ² Cスレーブ動作の開始
0x50ee	USI_ISIE1	USI Ch.1 I ² C Slave Mode Interrupt Enable Register	割り込みの許可
0x50ef	USI_ISIF1	USI Ch.1 I ² C Slave Mode Interrupt Flag Register	割り込み発生状態の表示

以下、USIモジュールのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

USI Ch.x Global Configuration Registers (USI_GCFGx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.x Global Configuration Register (USI_GCFGx)	0x50c0 0x50e0 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3	LSBFST	MSB/LSB first mode select	1 MSB first 0 LSB first	0	R/W	
		D2-0	USIMOD [2:0]	Interface mode configuration	USIMOD[2:0]	I/F mode	0x0	
					0x7-0x6 reserved 0x5 I ² C slave 0x4 I ² C master 0x3 reserved 0x2 SPI master 0x1 UART 0x0 Software reset		R/W	

注: このレジスタは他のUSIレジスタより先に設定する必要があります。

D[7:4] Reserved

D3 **LSBFST: MSB/LSB First Mode Select Bit**

シリアルデータをMSBから先に転送するか、LSBから先に転送するか選択します。

1(R/W): MSB先頭

0(R/W): LSB先頭(デフォルト)

この設定は、すべてのインタフェースモードに適用されます。

D[2:0] **USIMOD[2:0]: Interface Mode Configuration Bits**

インタフェースモードを選択します。

表19.8.2 インタフェースモードの選択

USIMOD[2:0]	インタフェースモード
0x7~0x6	Reserved
0x5	I ² Cスレーブ
0x4	I ² Cマスタ
0x3	Reserved
0x2	SPIマスタ
0x1	UART
0x0	ソフトウェアリセット

(デフォルト: 0x0)

USIの他の設定を行う前に、必ずソフトウェアリセット(USIMOD[2:0]を0x0に設定)とインタフェースモードの設定を行ってください。

USI Ch.x Transmit Data Buffer Registers (USI_TDx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.x Transmit Data Buffer Register (USI_TDx)	0x50c1 0x50e1 (8 bits)	D7-0	TD[7:0]	USI transmit data buffer TD7 = MSB TD0 = LSB	0x0 to 0xff	0x0	R/W	

D[7:0] TD[7:0]: USI Transmit Data Buffer Bits

送信データバッファに書き込む送信データを設定します。(デフォルト: 0x0)

UARTモードおよびSPIマスタモードでは、このレジスタへのデータ書き込み直後に送信を開始します。

I²Cマスタ/スレーブモードでは、データ送信のソフトウェアトリガにより送信を開始します。ここに書き込まれたデータはシフトレジスタを通してシリアルデータに変換された後、1に設定されたビットをHighレベル、0に設定されたビットをLowレベルとしてUS_SDO_x/US_SDI_x端子から出力されます。このレジスタに書き込まれたデータがシフトレジスタに送られた時点で、送信バッファエンプティ割り込みを発生可能です。それ以降であれば、データの送信中であっても次の送信データを書き込むことができます。

USI Ch.x Receive Data Buffer Registers (USI_RDx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.x Receive Data Buffer Register (USI_RDx)	0x50c2 0x50e2 (8 bits)	D7-0	RD[7:0]	USI receive data buffer RD7 = MSB RD0 = LSB	0x0 to 0xff	0x0	R	

D[7:0] RD[7:0]: USI Receive Data Buffer Bits

受信データが格納されます。(デフォルト: 0x0)

US_SDI_x端子から入力されたシリアルデータは、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。シフトレジスタに受信したデータが本レジスタにロードされた時点で、受信バッファフル割り込みを発生可能です。これ以降、次のデータの受信を終了するまで、データの読み出しが可能です。このレジスタを読み出す前に次の受信を終了した場合は、新たな受信データで上書きされます。

このレジスタは読み出し専用です。

USI Ch.x UART Mode Configuration Registers (USI_UCFGx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.x UART Mode Configuration Register (USI_UCFGx)	0x50c3 0x50e3 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3	UCHLN	Character length select	1 8 bits 0 7 bits	0	R/W	
		D2	USTPB	Stop bit select	1 2 bits 0 1 bit	0	R/W	
		D1	UPMD	Parity mode select	1 Even 0 Odd	0	R/W	
		D0	UPREN	Parity enable	1 With parity 0 No parity	0	R/W	

注: このレジスタはUARTモード時にのみ有効です。このレジスタを設定する前に、UARTとして使用するUSIチャンネルをUARTモードに設定してください。

D[7:4] Reserved**D3 UCHLN: Character Length Select Bit**

シリアル転送データのデータ長を選択します。

1(R/W): 8ビット

0(R/W): 7ビット(デフォルト)

7ビットを選択した場合、送信時は転送データバッファのD7が無効となります。受信時は受信データバッファのD7が常に0となります。

D2 USTPB: Stop Bit Select Bit

ストップビット長を選択します。

1(R/W): 2ビット

0(R/W): 1ビット(デフォルト)

USTPBに1を書き込むとストップビットが2ビットに、0を書き込むと1ビットになります。スタートビットは1ビットに固定です。

D1 UPMD: Parity Mode Select Bit

パリティモードを選択します。

1(R/W): 偶数パリティ

0(R/W): 奇数パリティ(デフォルト)

パリティチェックおよびパリティビットの付加はUPRENが1に設定されている場合にのみ有効で、UPRENが0の場合、UPMDの設定は無効となります。

D0 UPREN: Parity Enable Bit

パリティ機能を有効にします。

1(R/W): パリティ付き

0(R/W): パリティなし(デフォルト)

UPRENによって、受信データのパリティチェック、および送信データへのパリティビットの付加を行うか否かを選択します。UPRENを1に設定すると、受信データのパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。UPRENを0に設定した場合はパリティビットのチェックおよび付加は行われません。

USI Ch.x UART Mode Interrupt Enable Registers (USI_UIEx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
USI Ch.x UART Mode Interrupt Enable Register (USI_UIEx)	0x50c4 0x50e4 (8 bits)	D7-3	—	reserved	—		—	—	0 when being read.
		D2	UEIE	Receive error interrupt enable	1	Enable	0	Disable	
		D1	URDIE	Receive buffer full interrupt enable	1	Enable	0	Disable	
		D0	UTDIE	Transmit buffer empty int. enable	1	Enable	0	Disable	

注: このレジスタはUARTモード時にのみ有効です。このレジスタを設定する前に、UARTとして使用するUSIチャンネルをUARTモードに設定してください。

D[7:3] Reserved**D2 UEIE: Receive Error Interrupt Enable Bit**

受信エラー発生時のITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

受信エラーを割り込みによって処理する場合は、このビットを1に設定してください。

D1 URDIE: Receive Buffer Full Interrupt Enable Bit

受信データが受信データバッファにロードされたことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

受信データを割り込みによって読み出す場合は、このビットを1に設定してください。

D0 UTDIE: Transmit Buffer Empty Interrupt Enable Bit

送信データバッファの送信データがシフトレジスタに送られた(データ送信を開始した)ことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

送信データバッファへのデータ書き込みを割り込みによって行う場合は、このビットを1に設定してください。

USI Ch.x UART Mode Interrupt Flag Registers (USI_UIF_x)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
USI Ch.x UART Mode Interrupt Flag Register (USI_UIF _x)	0x50c5 0x50e5 (8 bits)	D7	—	reserved	—		—	—	0 when being read.
		D6	URBSY	Receive busy flag	1	Busy	0	Idle	
		D5	UTBSY	Transmit busy flag	1	Busy	0	Idle	Reset by writing 1.
		D4	UPEIF	Parity error flag	1	Error	0	Normal	
		D3	USEIF	Framing error flag	1	Error	0	Normal	
		D2	UOEIF	Overrun error flag	1	Error	0	Normal	
		D1	URDIF	Receive buffer full flag	1	Full	0	Not full	
		D0	UTDIF	Transmit buffer empty flag	1	Empty	0	Not empty	

注: このレジスタはUARTモード時にのみ有効です。このレジスタを設定する前に、UARTとして使用するUSIチャンネルをUARTモードに設定してください。

D7 **Reserved**

D6 **URBSY: Receive Busy Flag Bit**

受信シフトレジスタの状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

URBSYは、最初のスタートビットが検出されると(データ受信を開始すると)1にセットされ、シフトレジスタに受信したデータが受信データバッファにロードされると0にリセットされます。受信回路が動作中か待機中かを確認する際に、読み出してください。

D5 **UTBSY: Transmit Busy Flag Bit**

送信シフトレジスタの状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

UTBSYは、送信データが送信データバッファからシフトレジスタにロードされると1にセットされ、データ送信が完了すると0にリセットされます。送信回路が動作中か待機中かを確認する際に、読み出してください。

D4 **UPEIF: Parity Error Flag Bit**

パリティエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

UPEIFはパリティエラーが発生すると1にセットされます。UEIE/USI_UIExレジスタが1に設定されていると、同時に受信エラー割り込み要求がITCに送られます。

パリティチェックはUPREN/USL_UCFGxレジスタが1に設定されている場合にのみ有効で、受信データがシフトレジスタから受信データバッファに転送される際に実行されます。UPEIFは1を書き込むことによりリセットされます。

D3 **USEIF: Framing Error Flag Bit**

フレーミングエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

USEIFはフレーミングエラーが発生すると1にセットされます。UEIE/USI_UIExレジスタが1に設定されていると、同時に受信エラー割り込み要求がITCに送られます。フレーミングエラーは、ストップビットを0としてデータを受信した場合に発生します。USEIFは1を書き込むことによりリセットされます。

D2 **UOEIF: Overrun Error Flag Bit**

オーバーランエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

UOEIFはオーバーランエラーが発生すると1にセットされます。UEIE/USI_UIExレジスタが1に設定されていると、同時に受信エラー割り込み要求がITCに送られます。オーバーランエラーは、受信データバッファにロードされている受信データを読み出す前に、新たに受信したデータによって上書きされると発生します。UOEIFをリセットするには、USIのソフトウェアリセット(USIMOD[2:0]/USI_GCFGxレジスタへの0x0書き込み)を実施し、USIを初期化してください。

D1 URDIF: Receive Buffer Full Flag Bit

受信データバッファの状態を示します。

1(R): データフル

0(R): データなし(デフォルト)

1(W): 0にリセット

0(W): 無効

URDIFはシフトレジスタに受信したデータが受信データバッファに転送されると(受信が完了すると)1となり、そのデータが読み出し可能であることを示します。URDIE/USI_UIExレジスタが1に設定されていると、受信バッファフル割り込み要求がITCに送られます。URDIFは1を書き込むことによりリセットされます。

D0 UTDIF: Transmit Data Buffer Empty Flag Bit

送信データバッファの状態を示します。

1(R): エンプティ(デフォルト)

0(R): データあり

1(W): 0にリセット

0(W): 無効

UTDIFは送信データバッファに書き込まれたデータがシフトレジスタに転送されると(送信を開始すると)1となり、送信データバッファに次の送信データが書き込めることを示します。

UTDIE/USI_UIExレジスタが1に設定されていると、送信バッファエンプティ割り込み要求がITCに送られます。UTDIFは1を書き込むことによりリセットされます。

USI Ch.x SPI Master Mode Configuration Registers (USI_SCFGx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.x SPI Master Mode Configuration Register (USI_SCFGx)	0x50c6 0x50e6 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5	SCMD	Command bit (for 9-bit data)	1 High 0 Low	0	R/W	
		D4	SCHLN	Character length select	1 9 bits 0 8 bits	0	R/W	
		D3	SCPHA	Clock phase select	1 Phase 1 0 Phase 0	0	R/W	
		D2	SCPOL	Clock polarity select	1 Active L 0 Active H	0	R/W	
		D1	—	reserved	—	—	—	0 when being read.
		D0	SFSTMOD	Fast mode select	1 Fast 0 Normal	0	R/W	

注: このレジスタはSPIマスタモード時にのみ有効です。このレジスタを設定する前に、SPIとして使用するUSIチャンネルをSPIマスタモードに設定してください。

D[7:6] Reserved**D5 SCMD: Command Bit (9ビットデータの場合にのみ有効)**

9ビットデータ内のコマンドビットの値を設定します(下記のSCHLNの説明を参照)。

1(R/W): High

0(R/W): Low(デフォルト)

D4 SCHLN: Character Length Select Bit

シリアル転送データのデータ長を選択します。

1(R/W): 9ビット

0(R/W): 8ビット(デフォルト)

9ビットモードでは8ビットデータの前にコマンドビット(1ビット)が付加されます。このコマンドビットはSPI LCDコントローラの制御に使用します。送信するコマンドビットの値はSCMDで指定します。

SCHLN = 0, SCMD = *

SCHLN = 1, SCMD = 0

SCHLN = 1, SCMD = 1

↑
コマンドビット

図19.8.1 SPIマスタモードの9ビット転送データ形式

D3 SCPHA: Clock Phase Select Bit

SPIクロックの位相を選択します。

1(R/W): フェーズ1

0(R/W): フェーズ0(デフォルト)

SCPOLと共に、データ転送タイミングを設定します(図19.8.2参照)。

D2 SCPOL: Clock Polarity Select Bit

SPIクロックの極性を選択します。

1(R/W): アクティブLow

0(R/W): アクティブHigh(デフォルト)

SCPHAと共に、データ転送タイミングを設定します(図19.8.2参照)。

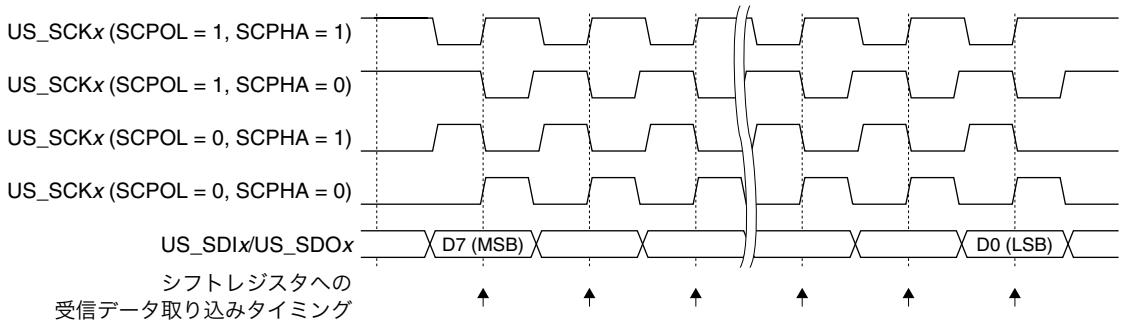


図19.8.2 クロックとデータ転送タイミング

D1 Reserved

D0 SFSTMOD: Fast Mode Select Bit

ファストモードを選択します。

1(R/W): ファストモード

0(R/W): ノーマルモード(デフォルト)

通常または高速のクロックモードをSFSTMODで選択可能です。SFSTMODを0(デフォルト)に設定するとノーマルモードとなり、T16F出力を1/2に分周して転送クロックが生成されます。SFSTMODを1に設定するとファストモードとなり、CLGから供給されるPCLKをそのまま転送クロックとして使用します。ファストモードに設定した場合、T16Fは使用しません。

USI Ch.x SPI Master Mode Interrupt Enable Registers (USI_SIEx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.x SPI Master Mode Interrupt Enable Register (USI_SIEx)	0x50c7 0x50e7 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2	SEIE	Receive error interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	SRDIE	Receive buffer full interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	STDIE	Transmit buffer empty int. enable	1 Enable 0 Disable	0	R/W	

注: このレジスタはSPIマスタモード時にのみ有効です。このレジスタを設定する前に、SPIとして使用するUSIチャンネルをSPIマスタモードに設定してください。

D[7:3] Reserved

D2 SEIE: Receive Error Interrupt Enable Bit

オーバーランエラー発生時のITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

オーバーランエラーを割り込みによって処理する場合は、このビットを1に設定してください。

D1 SRDIE: Receive Buffer Full Interrupt Enable Bit

受信データが受信データバッファにロードされたことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

受信データを割り込みによって読み出す場合は、このビットを1に設定してください。

D0 STDIE: Transmit Buffer Empty Interrupt Enable Bit

送信データバッファの送信データがシフトレジスタに送られた(データ送信を開始した)ことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

送信データバッファへのデータ書き込みを割り込みによって行う場合は、このビットを1に設定してください。

USI Ch.x SPI Master Mode Interrupt Flag Registers (USI_SIFx)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
USI Ch.x SPI Master Mode Interrupt Flag Register (USI_SIFx)	0x50c8 0x50e8 (8 bits)	D7-3	—	reserved	—			—	—	0 when being read.	
		D2	SEIF	Overrun error flag	1	Error	0	Normal	0	R/W	Reset by writing 1.
		D1	SRDIF	Receive buffer full flag	1	Full	0	Not full	0	R/W	
		D0	STDIF	Transmit buffer empty flag	1	Empty	0	Not empty	0	R/W	

注: このレジスタはSPIマスタモード時にのみ有効です。このレジスタを設定する前に、SPIとして使用するUSIチャンネルをSPIマスタモードに設定してください。

D[7:3] Reserved**D2 SEIF: Overrun Error Flag Bit**

オーバーランエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

SEIFはオーバーランエラーが発生すると1にセットされます。SEIE/USI_SIExレジスタが1に設定されていると、同時に受信エラー割り込み要求がITCに送られます。オーバーランエラーは、受信データバッファにロードされている受信データを読み出す前に、新たに受信したデータによって上書きされると発生します。1バイトの受信が終了すると受信データは受信データバッファ (USI_RDxレジスタ)にロードされます。バッファ内のデータを読み出す前に2バイト目のデータを受信すると、2バイト目のデータはシフトレジスタに残ります。この状態で3バイト目のデータを受信すると、シフトレジスタにある2バイト目のデータが破壊されるため、オーバーランエラーが発生します(3バイト目の先頭ビットを受信した時点でオーバーランエラーが発生します)。

SEIFは1を書き込むことによりリセットされます。オーバーランエラーをリセットするには、SEIFに1を書き込んだ後、受信データバッファ (USI_RDxレジスタ)を2回読み出してください。SEIFへの1書き込みとUSI_RDxレジスタの2回読み出しの順番は逆でも構いません。

D1 SRDIF: Receive Buffer Full Flag Bit

受信データバッファの状態を示します。

1(R): データフル

0(R): データなし(デフォルト)

1(W): 0にリセット

0(W): 無効

SRDIFはシフトレジスタに受信したデータが受信データバッファに転送されると(受信が完了すると)1となり、そのデータが読み出し可能であることを示します。SRDIE/USI_SIExレジスタが1に設定されていると、受信バッファフル割り込み要求がITCに送られます。SRDIFは1を書き込むことによりリセットされます。

D0 STDIF: Transmit Data Buffer Empty Flag Bit

送信データバッファの状態を示します。

1(R): エンプティ(デフォルト)

0(R): データあり

1(W): 0にリセット

0(W): 無効

STDIFは送信データバッファに書き込まれたデータがシフトレジスタに転送されると(送信を開始すると)1となり、送信データバッファに次の送信データが書き込めることを示します。

STDIE/USI_SIE_xレジスタが1に設定されていると、送信バッファエンプティ割り込み要求がITCに送られます。STDIFは1を書き込むことによりリセットされます。

USI Ch.x I²C Master Mode Trigger Registers (USI_IMTG_x)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.x I ² C Master Mode Trigger Register (USI_IMTG _x)	0x50ca 0x50ea (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	IMTG	I ² C master operation trigger	1 Trigger	0 Ignored	0	W
					1 Waiting	0 Finished	—	R
		D3	—	reserved	—	—	—	0 when being read.
		D2-0	IMTGMOD[2:0]	I ² C master trigger mode select	IMTGMOD[2:0]	Trigger mode	0x0	R/W
					0x7	reserved		
					0x6	Receive ACK/NAK		
					0x5	Transmit NAK		
					0x4	Transmit ACK		
					0x3	Receive data		
					0x2	Transmit data		
					0x1	Stop condition		
					0x0	Start condition		

注: このレジスタはI²Cマスタモード時にのみ有効です。このレジスタを設定する前に、I²Cマスタとして使用するUSIチャンネルをI²Cマスタモードに設定してください。

D[7:5] Reserved**D4 IMTG: I²C Master Operation Trigger Bit**

I²Cマスタの動作を開始させます。

1(W): トリガ

0(W): 無効

1(R): 動作開始待ち

0(R): トリガ受け付け(デフォルト)

IMTGMOD[2:0]でI²Cマスタの動作を選択し、そのトリガとしてIMTGに1を書き込みます。I²CコントローラはI²Cバスを制御して指定の状態を生成します。

D3 Reserved**D[2:0] IMTGMOD[2:0]: I²C Master Trigger Mode Select Bits**

I²Cマスタの動作を選択します。

表19.8.3 I²Cマスタモードのトリガー一覧

IMTGMOD[2:0]	トリガ
0x7	Reserved
0x6	ACK/NAK受信
0x5	NAK送信
0x4	ACK送信
0x3	データ受信
0x2	データ送信
0x1	ストップコンディション
0x0	スタートコンディション

(デフォルト: 0x0)

USI Ch.x I²C Master Mode Interrupt Enable Registers (USI_IMIE_x)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
USI Ch.x I ² C Master Mode Interrupt Enable Register (USI_IMIE _x)	0x50cb 0x50eb (8 bits)	D7–2	–	reserved	–			–	–	0 when being read.	
		D1	IMEIE	Receive error interrupt enable	1	Enable	0	Disable	0	R/W	
		D0	IMIE	Operation completion int. enable	1	Enable	0	Disable	0	R/W	

注: このレジスタはI²Cマスタモード時にのみ有効です。このレジスタを設定する前に、I²Cマスタとして使用するUSIチャンネルをI²Cマスタモードに設定してください。

D[7:2] Reserved

D1 IMEIE: Receive Error Interrupt Enable Bit

オーバーランエラー発生時のITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

オーバーランエラーを割り込みによって処理する場合は、このビットを1に設定してください。

D0 IMIE: Operation Completion Interrupt Enable Bit

ソフトウェアトリガにより実行した動作の完了によるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

動作の終了を割り込みによって確認する場合は、このビットを1に設定してください。

USI Ch.x I²C Master Mode Interrupt Flag Registers (USI_IMIF_x)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
USI Ch.x I ² C Master Mode Interrupt Flag Register (USI_IMIF _x)	0x50cc 0x50ec (8 bits)	D7–6	–	reserved	–		–	–	0 when being read.
		D5	IMBSY	I ² C master busy flag	1 Busy	0 Standby	0	R	
		D4–2	IMSTA[2:0]	I ² C master status	IMSTA[2:0]	Status	0x0	R	
					0x7	reserved			
					0x6	NAK received			
					0x5	ACK received			
					0x4	ACK/NAK sent			
					0x3	Rx buffer full			
					0x2	Tx buffer empty			
					0x1	Stop generated			
0x0	Start generated								
D1	IMEIF	Overrun error flag	1 Error	0 Normal	0	R/W	Reset by writing 1.		
D0	IMIF	Operation completion flag	1 Completed	0 Not completed	0	R/W			

注: このレジスタはI²Cマスタモード時にのみ有効です。このレジスタを設定する前に、I²Cマスタとして使用するUSIチャンネルをI²Cマスタモードに設定してください。

D[7:6] Reserved

D5 IMBSY: I²C Master Busy Flag Bit

I²Cマスタの動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

IMTG/USI_IMTG_xレジスタに1を書き込むと(I²Cマスタの動作を開始させると)IMBSYが1にセットされ、I²Cコントローラが動作中であることを示します。指定の動作が終了すると、IMBSYは0にリセットされます。

D[4:2] IMSTA[2:0]: I²C Master Status Bits

I²Cマスタの状態を示します。

表19.8.4 I²Cマスタステータスビット

IMSTA[2:0]	ステータス
0x7	Reserved
0x6	NAKを受信
0x5	ACKを受信
0x4	ACKまたはNAKを送信
0x3	受信データバッファフル
0x2	送信データバッファempty
0x1	ストップコンディションを生成
0x0	スタートコンディションを生成

(デフォルト: 0x0)

動作完了割り込み発生後にIMSTA[2:0]を読み出すことにより、終了した動作を確認することができます。IMSTA[2:0]はIMIFに1を書き込むことで自動的に0x0になります。

D1 IMEIF: Overrun Error Flag Bit

オーバーランエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

IMEIFはオーバーランエラーが発生すると1にセットされます。IMEIE/USI_IMIE_xレジスタが1に設定されていると、同時に受信エラー割り込み要求がITCに送られます。

受信データを読み出さずに2バイトの受信を完了後、送信または受信のトリガをかけると、その時点でオーバーランエラーが発生します。

IMEIFは1を書き込むことによりリセットされます。

オーバーランエラーをリセットするには、IMEIFを1書き込みによってクリアした後、受信データバッファ(USI_RD_xレジスタ)を2回読み出してください。

D0 IMIF: Operation Completion Flag Bit

ソフトウェアトリガにより実行した動作が完了したか否かを示します。

1(R): 完了

0(R): 完了前(デフォルト)

1(W): 0にリセット

0(W): 無効

IMIFはUSI_IMTG_xレジスタで指定/実行した動作が完了すると1にセットされます。IMIE/USI_IMIE_xレジスタが1に設定されていると、同時に動作完了割り込み要求がITCに送られます。

IMIFは1を書き込むことによりリセットされます。

USI Ch.x I²C Slave Mode Trigger Registers (USI_ISTG_x)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.x I ² C Slave Mode Trigger Register (USI_ISTG _x)	0x50cd 0x50ed (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	ISTG	I ² C slave operation trigger	1 Trigger	0 Ignored	0	W
					1 Waiting	0 Finished	—	R
		D3	—	reserved	—	—	—	0 when being read.
		D2-0	ISTGMOD [2:0]	I ² C slave trigger mode select	ISTGMOD[2:0]	Trigger mode	0x0	R/W
					0x7	reserved		
					0x6	Receive ACK/NAK		
					0x5	Transmit NAK		
					0x4	Transmit ACK		
					0x3	Receive data		
					0x2	Transmit data		
					0x1	reserved		
					0x0	Wait for start		

注: このレジスタはI²Cスレーブモード時にのみ有効です。このレジスタを設定する前に、I²Cスレーブとして使用するUSIチャンネルをI²Cスレーブモードに設定してください。

D[7:5] Reserved

D4 ISTG: I²C Slave Operation Trigger Bit

I²Cスレーブの動作を開始させます。

1(W): トリガ

0(W): 無効

1(R): 動作開始待ち

0(R): トリガ受け付け(デフォルト)

ISTGMOD[2:0]でI²Cスレーブの動作を選択し、そのトリガとしてISTGに1を書き込みます。

I²CコントローラはI²Cバスを制御して指定の状態を生成します。

D3 Reserved**D[2:0] ISTGMOD[2:0]: I²C Slave Trigger Mode Select Bits**

I²Cスレーブの動作を選択します。

表19.8.5 I²Cスレーブモードのトリガー一覧

ISTGMOD[2:0]	トリガ
0x7	Reserved
0x6	ACK/NAK受信
0x5	NAK送信
0x4	ACK送信
0x3	データ受信
0x2	データ送信
0x1	Reserved
0x0	スタートコンディションに待機

(デフォルト: 0x0)

USI Ch.x I²C Slave Mode Interrupt Enable Registers (USI_ISIE_x)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
USI Ch.x I ² C Slave Mode Interrupt Enable Register (USI_ISIE _x)	0x50ce 0x50ee (8 bits)	D7–2	–	reserved	–			–	–	0 when being read.	
		D1	ISEIE	Receive error interrupt enable	1	Enable	0	Disable	0	R/W	
		D0	ISIE	Operation completion int. enable	1	Enable	0	Disable	0	R/W	

注: このレジスタはI²Cスレーブモード時にのみ有効です。このレジスタを設定する前に、I²Cスレーブとして使用するUSIチャンネルをI²Cスレーブモードに設定してください。

D[7:2] Reserved**D1 ISEIE: Receive Error Interrupt Enable Bit**

オーバーランエラー発生時のITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

オーバーランエラーを割り込みによって処理する場合は、このビットを1に設定してください。

D0 ISIE: Operation Completion Interrupt Enable Bit

ソフトウェアトリガにより実行した動作の完了によるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

動作の終了を割り込みによって確認する場合は、このビットを1に設定してください。

USI Ch.x I²C Slave Mode Interrupt Flag Registers (USI_ISIFx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.x I ² C Slave Mode Interrupt Flag Register (USI_ISIFx)	0x50cf 0x50ef (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5	ISBSY	I ² C slave busy flag	1 Busy	0 Standby	0	R
		D4-2	ISSTA[2:0]	I ² C slave status	ISSTA[2:0] Status		0x0	R
					0x7	reserved		
					0x6	NAK received		
					0x5	ACK received		
					0x4	ACK/NAK sent		
					0x3	Rx buffer full		
					0x2	Tx buffer empty		
					0x1	Stop detected		
					0x0	Start detected		
		D1	ISEIF	Overrun error flag	1 Error	0 Normal	0	R/W
		D0	ISIF	Operation completion flag	1 Completed	0 Not completed	0	R/W

注: このレジスタはI²Cスレーブモード時にのみ有効です。このレジスタを設定する前に、I²Cスレーブとして使用するUSIチャンネルをI²Cスレーブモードに設定してください。

D[7:6] Reserved

D5 ISBSY: I²C Slave Busy Flag Bit

I²Cスレーブの動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

ISTG/USI_ISTGxレジスタに1を書き込むと(I²Cスレーブの動作を開始させると)ISBSYが1にセットされ、I²Cコントローラが動作中であることを示します。指定の動作が終了すると、ISBSYは0にリセットされます。

D[4:2] ISSTA[2:0]: I²C Slave Status Bits

I²Cスレーブの状態を示します。

表19.8.6 I²Cスレーブステータスビット

ISSTA[2:0]	ステータス
0x7	Reserved
0x6	NAKを受信
0x5	ACKを受信
0x4	ACKまたはNAKを送信
0x3	受信データバッファフル
0x2	送信データバッファエンプティ
0x1	ストップコンディションを検出
0x0	スタートコンディションを検出

(デフォルト: 0x0)

動作完了割り込み発生後にISSTA[2:0]を読み出すことにより、終了した動作を確認することができます。ISSTA[2:0]はISIFに1を書き込むことで自動的に0x0になります。

D1 ISEIF: Overrun Error Flag Bit

オーバーランエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

ISEIFはオーバーランエラーが発生すると1にセットされます。ISEIE/USI_ISIExレジスタが1に設定されていると、同時に受信エラー割り込み要求がITCに送られます。

受信データを読み出さずに2バイトの受信を完了後、送信または受信のトリガをかけると、その時点でオーバーランエラーが発生します。

ISEIFは1を書き込むことによりリセットされます。

オーバーランエラーをリセットするには、ISEIFを1書き込みによってクリアした後、受信データバッファ(USI_RDxレジスタ)を2回読み出してください。

D0 ISIF: Operation Completion Flag Bit

ソフトウェアトリガにより実行した動作が完了したか否かを示します。

1(R): 完了

0(R): 完了前(デフォルト)

1(W): 0にリセット

0(W): 無効

ISIFはUSI_ISTGxレジスタで指定/実行した動作が完了すると1にセットされます。ISIE/USI_ISIExレジスタが1に設定されていると、同時に動作完了割り込み要求がITCに送られます。ISIFは1を書き込むことによりリセットされます。

19.9 注意事項

インタフェースモードの設定

USIのインタフェースモード別の設定を行う前に、必ずソフトウェアリセット(USIMOD[2:0]/USI_GCFCxレジスタ = 0x0)とインタフェースモードの設定(USIMOD[2:0]/USI_GCFCxレジスタ = 0x1、0x2、0x4、または0x5)を行ってください。

ビジーフラグ

下表に示すビジーフラグはセットされるまでに遅延を生じる場合があります。ビジーフラグをセットする動作の実行後にビジー状態をチェックする場合は、フラグの読み出し前に少なくともT16F出力クロック1サイクルのウェイトを挿入してください。ウェイトなしにビジーフラグを読み出した場合、フラグが現在の状態を正しく示していない可能性があります。

表19.9.1 ビジーフラグと遅延発生条件

インタフェースモード	ビジーフラグ	遅延が発生するタイミング
UARTモード	UTBSY/USI_UIF _x レジスタ	送信データを送信データバッファに書き込んだ後
I ² Cマスタモード	IMBSY/USI_IMIF _x レジスタ	トリガビットをセットした後
I ² Cスレーブモード	ISBSY/USI_ISIF _x レジスタ	トリガビットをセットした後

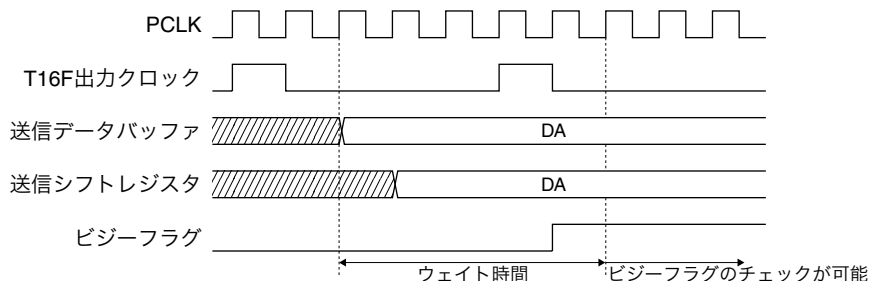


図19.9.1 ビジーフラグ読み出し前のウェイト

I²Cスレーブモード時のコントロールバイト受信

外部I²Cマスタはスレーブアドレス送信後にACKを受信すると、PCスレーブにコントロールバイトを送信します。スレーブのその後の動作はコントロールバイトによって決定します。

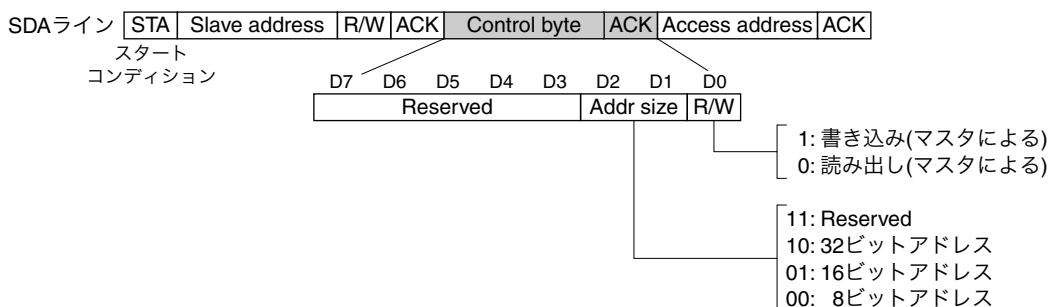
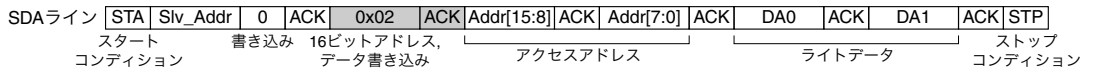
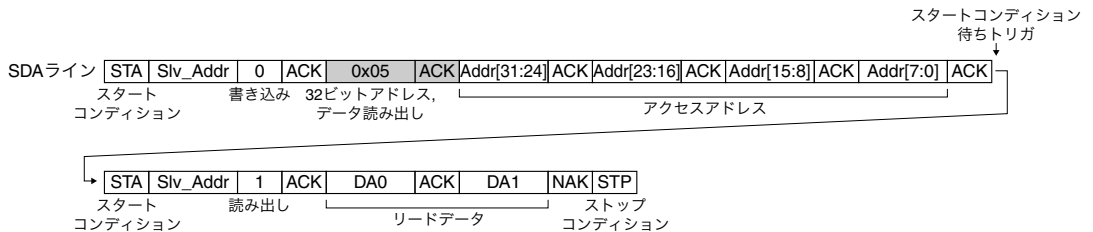


図19.9.2 I²Cマスタから送られるコントロールバイト

I²Cマスタによる書き込み(マスタからのデータ受信)図19.9.3 I²Cマスタによる書き込み(マスタからのデータ受信)

コントロールバイトによりアクセスアドレスサイズと書き込み動作が指定されます。コントロールバイトに続く受信データは、アドレスとアクセスアドレスサイズに従ったサイズのデータです。

I²Cマスタによる読み出し(マスタへのデータ送信)図19.9.4 I²Cマスタによる読み出し(マスタへのデータ送信)

マスタはコントロールバイトに続いてアクセスアドレスを送信します。コントロールバイトとアドレスを受信し、送信データを読み出すアドレスを決定します。Addr 0に対するACKを送信後、ISTGMOD[2:0]/USI_ISTGxレジスタを0x0、ISTG/USI_ISTGxレジスタを1に設定して、マスタがデータを読み出す(スレーブにリードデータを送信させる)ために送るスタートコンディションに待機します。

20 IRリモートコントローラ (REMC)

20.1 REMCモジュールの概要

S1C17554/564は赤外線リモコンの送受信信号を生成するIRリモートコントローラ(REMC)モジュールを内蔵しています。

REMCモジュールの主な機能と特長を以下に示します。

- ・ 赤外線リモコン信号を入出力可能
- ・ キャリア信号を発生するキャリア発生回路を内蔵
- ・ 送受信データ長をカウントする8ビットダウンカウンタを内蔵
- ・ 指定したキャリア長で送信データを生成する変調回路を内蔵
- ・ 入力信号の立ち上がりエッジ/立ち下がりエッジを検出するエッジ検出回路を内蔵
- ・ 指定データ長の送信終了を示すカウンタアンダーフロー割り込み、データ受信処理用の入力立ち上がりエッジ/立ち下がりエッジ検出割り込みを発生可能

図20.1.1にREMCモジュールの構成を示します。

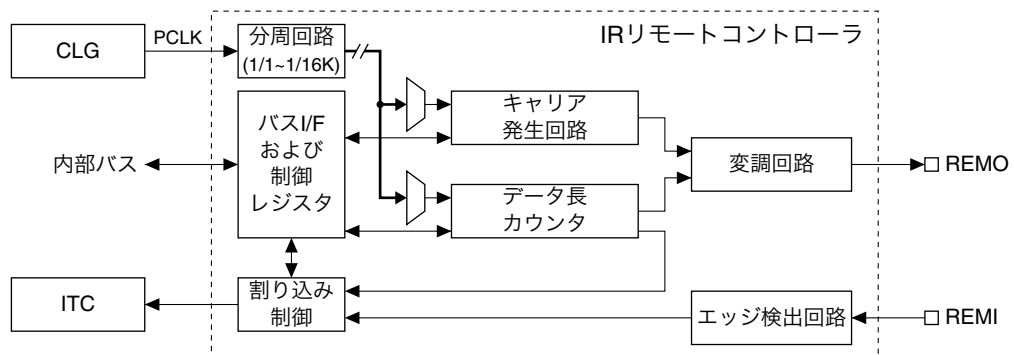


図20.1.1 REMCモジュールの構成

20.2 REMC入出力端子

表20.2.1にREMCの入出力端子を示します。

表20.2.1 REMC端子一覧

端子名	I/O	本数	機 能
REMI	I	1	リモコン受信データ入力端子 受信データを入力します。
REMO	O	1	リモコン送信データ出力端子 変調したリモコン送信データを出力します。

REMCモジュールの入出力端子(REMI、REMO)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをREMCの入出力端子として使用するには、ポート機能選択レジスタの設定により機能を切り換える必要があります。

端子の機能と切り換えの詳細については、“入出力ポート(P)”の章を参照してください。

20.3 キャリアの生成

REMCモジュールには、キャリア発生回路が組み込まれています。キャリア発生回路はソフトウェアで設定されたクロック、キャリアH区間長、キャリアL区間長に従い、送信用キャリア信号を生成します。

キャリア信号生成用クロックは、PCLKを1/1～1/16Kに分周して生成します。この分周比を、CGCLK[3:0]/REMC_CFGレジスタで下表に示す15種類の中から選択します。

表20.3.1 キャリア生成用クロック(PCLK分周比)の選択

CGCLK[3:0]	分周比	CGCLK[3:0]	分周比
Reserved	Reserved	0x7	1/128
0xe	1/16384	0x6	1/64
0xd	1/8192	0x5	1/32
0xc	1/4096	0x4	1/16
0xb	1/2048	0x3	1/8
0xa	1/1024	0x2	1/4
0x9	1/512	0x1	1/2
0x8	1/256	0x0	1/1

(デフォルト: 0x0)

注: • REMCを動作させるには、周辺モジュールにPCLKが供給されるようにクロックジェネレータ(CLG)を設定しておく必要があります。

- クロックの設定は、REMCが動作停止中に行ってください。

CLGの制御については、“クロックジェネレータ(CLG)”の章を参照してください。

キャリアH区間長とキャリアL区間長は、それぞれREMCH[5:0]/REMC_CARレジスタとREMCL[5:0]/REMC_CARレジスタで設定します。これらのレジスタには、上記のとおり選択したクロックのサイクル数+1の値を設定します。

キャリアH区間長およびキャリアL区間長は次のように計算できます。

$$\text{キャリアH区間長} = \frac{\text{REMCH} + 1}{\text{cg_clk}} [\text{s}]$$

$$\text{キャリアL区間長} = \frac{\text{REMCL} + 1}{\text{cg_clk}} [\text{s}]$$

REMCH: キャリアH区間長データ値

REMCL: キャリアL区間長データ値

cg_clk: キャリア生成用クロック周波数

これらの設定により、キャリア信号は図20.3.1のとおり生成されます。

例: CGCLK[3:0] = 0x2(PCLK/4)、REMCH[5:0] = 2、REMCL[5:0] = 1

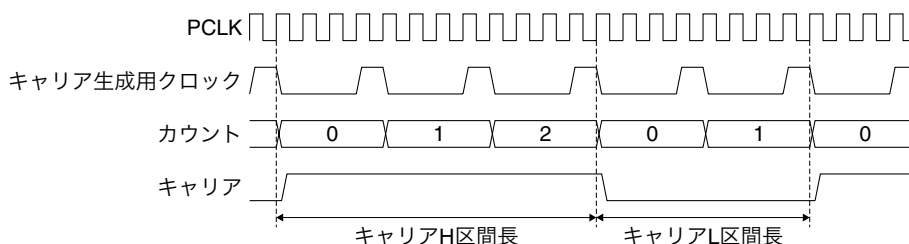


図20.3.1 キャリア信号の生成

20.4 データ長カウンタのクロック設定

データ長カウンタはデータ送信時にデータ長を設定するための8ビットカウンタです。

データ送信時にデータパルス幅に相当する値を書き込むと、データ長カウンタはその値からカウントダウンを開始し、カウンタが0になるとアンダーフロー割り込み要因を発生して停止します。

この割り込みを利用して、次の送信データを設定します。

データ受信時にもこのカウンタを使用して、受信データ長を計測することができます。データ受信時は、入力信号の立ち上がりおよび立ち下がりエッジで割り込みを発生可能です。入力変化時の割り込みを利用してデータ長カウンタに0xffを設定し、次の入力変化による割り込み発生時にカウント値を読み出すことで、その差分からデータパルス長が得られます。

このデータ長カウンタのカウントクロックにもPCLK分周クロックが使用され、15種類から1つを選択することができます。データ長カウンタクロックを生成するための分周比は、キャリア生成用クロックとは別に用意されている制御ビットLCCLK[3:0]/REMC_CFGレジスタで選択します。

表20.4.1 データ長カウンタクロック (PCLK分周比) の選択

LCCLK[3:0]	分周比	LCCLK[3:0]	分周比
0xf	Reserved	0x7	1/128
0xe	1/16384	0x6	1/64
0xd	1/8192	0x5	1/32
0xc	1/4096	0x4	1/16
0xb	1/2048	0x3	1/8
0xa	1/1024	0x2	1/4
0x9	1/512	0x1	1/2
0x8	1/256	0x0	1/1

(デフォルト: 0x0)

データ長カウンタは最大256までカウント可能です。データ長がこの範囲に収まるようにカウントクロックを選択してください。

20.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) キャリア信号を設定します。20.3節を参照してください。
- (2) データ長カウンタのクロックを選択します。20.4節を参照してください。
- (3) 割り込み条件を設定します。20.6節を参照してください。

注: 上記の設定は必ずREMCモジュールが停止中(REMEN/REMC_CFGレジスタ = 0)に行ってください。

データ送信制御

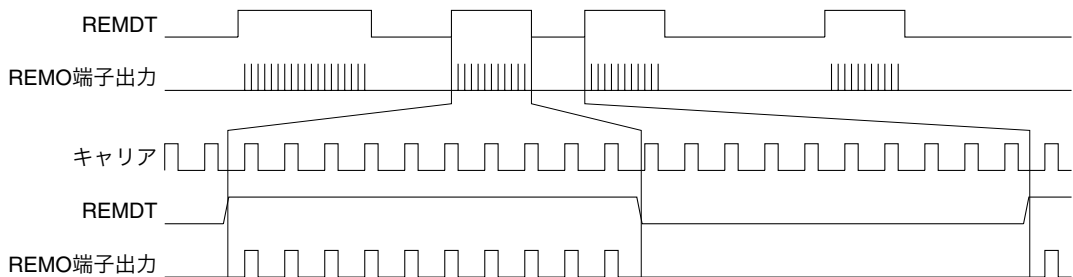


図20.5.1 データ送信

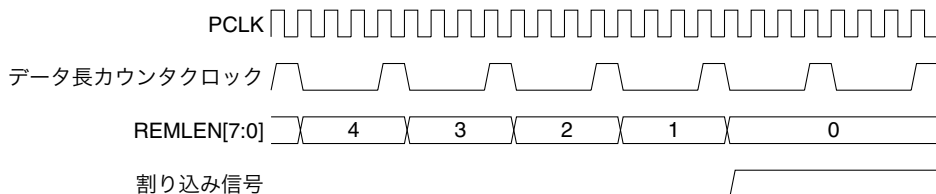


図20.5.2 アンダーフロー割り込み発生タイミング

(1) データ送信モードの設定

REMMD/REMC_CFGレジスタに0を書き込み、REMCを送信モードに設定します。

(2) データ送信を許可

REMEN/REMC_CFGレジスタを1に設定してREMCの動作を許可します。これにより、REMCが送信動作を開始します。

不要なデータが送信されないように、REMENに1を書き込む前にREMDT/REMC_LCNTレジスタを0、REMLEN[7:0]/REMC_LCNTレジスタを0x0に設定してください。

(3) 送信データの設定

送信するデータ(HighまたはLow)をREMDT/REMC_LCNTレジスタに設定します。

REMDTを1に設定するとHigh、0に設定するとLow出力となり、キャリア信号で変調されたのち、REMO端子から出力されます。

(4) データパルス長の設定

送信を開始したデータのパルス長(High期間またはLow期間)に相当する値をREMLEN[7:0]/REMC_LCNTレジスタに書き込んで、データ長カウンタに設定します。

データ長カウンタに設定する値は次のとおりです。

$$\text{設定値} = \text{データパルス長(秒)} \times \text{データ長カウンタクロック周波数(Hz)}$$

データ長カウンタは書き込まれた値から、選択されているデータ長カウンタクロックでカウントダウンを開始します。

データ長カウンタの値が0になるとアンダーフロー割り込み要因が発生し、割り込みが許可されている場合は割り込みコントローラ(ITC)にREMC割り込み要求を出力します。データ長カウンタは0の状態ではカウントを停止します。

(5) 割り込み処理

続くデータを送信する場合は、データ長カウンタのアンダーフローにより発生した割り込みの処理ルーチンの中で、次の送信データの設定(3)とデータパルス長の設定(4)を行います。

(6) データ送信の終了

データ送信を終了するには、最後のデータ送信が終了後(アンダーフロー割り込み発生後)、REMENに0を書き込んでください。

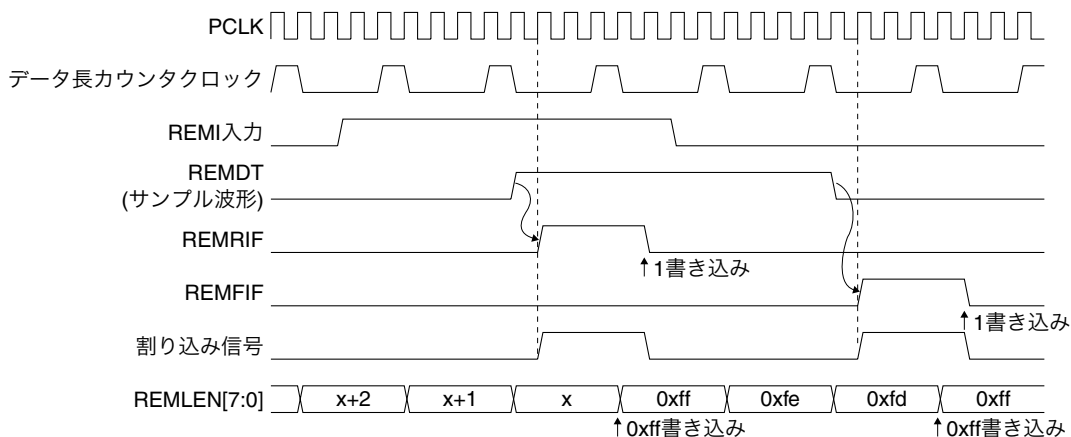
データ受信制御

図20.5.3 データ受信

(1) データ受信モードの設定

REMMD/REMC_CFGレジスタに1を書き込み、REMCを受信モードに設定します。

(2) データ受信を許可

REMEN/REMC_CFGレジスタを1に設定してREMCの動作を許可します。これにより、REMCが受信動作(入力エッジ検出動作)を開始します。

REMCはREMI端子からの入力信号を、キャリア生成用クロックでサンプリングして入力の変化(信号の立ち上がりエッジまたは立ち下がりエッジ)を検出します。信号のエッジが検出されると、立ち上がりエッジまたは立ち下がりエッジ割り込み要因が発生し、割り込みが許可されている場合はITCにREMC割り込み要求を出力します。立ち上がりエッジ割り込みと立ち下がりエッジ割り込みは個別に許可/禁止が可能です。

なお、入力に変化した後の信号レベルがサンプリングクロックの2サイクル以上連続して検出されない場合はノイズと見なされ、立ち上がりエッジまたは立ち下がりエッジ割り込みは発生しません。

(3) 割り込み処理

立ち上がりエッジまたは立ち下がりエッジ割り込みが発生した場合は、その割り込み処理ルーチンの中で、0xffをREMLEN[7:0]/REMC_LCNTレジスタに書き込んで、データ長カウンタに設定します。

データ長カウンタは書き込まれた値から、選択されているデータ長カウンタクロックでカウントダウンを開始します。

受信したデータはREMDT/REMC_LCNTレジスタから読み出すことができます。

データパルスが終了すると次の立ち下がりエッジまたは立ち上がりエッジ割り込みが発生しますので、そこでデータ長カウンタを読み出します。0xffと読み出し値の差分からデータ長が算出できます。続くデータを受信する場合は、データ長カウンタを再度0xffに設定し、次の割り込みを待ちます。

データ長カウンタを0xffに設定後、エッジ割り込みが発生せずにデータ長カウンタが0になった場合はデータの終了か、何らかの受信エラーが考えられます。受信時でもデータ長カウンタのアンダーフロー割り込みは発生しますので、終了/エラー処理に利用してください。

(4) データ受信の終了

データ受信を終了するには、最後のデータ受信が終了後、REMENに0を書き込んでください。

20.6 REMC割り込み

REMCモジュールには、以下の3種類の割り込みを発生させる機能があります。

- アンダーフロー割り込み
- 立ち上がりエッジ割り込み
- 立ち下がりエッジ割り込み

REMCモジュールは、上記3種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、REMCモジュール内の割り込みフラグを読み出してください。

アンダーフロー割り込み

この割り込み要因は、データ長カウンタがカウントダウンにより0になった時点で発生し、REMC内の割り込みフラグREMUIF/REMC_INTレジスタを1にセットします。

データ送信時は、設定したデータ長の送信が完了したことを示します。データ受信時は受信データが終了したか、受信エラーが発生したことを示します。

この割り込みを使用するには、REMUIE/REMC_INTレジスタを1に設定します。REMUIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

REMUIFが1にセットされるとREMCは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

REMC割り込みがデータ長カウンタのアンダーフローによるものかどうかについては、REMC割り込み処理ルーチンでREMUIFを読み出して確認してください。

また、割り込み処理ルーチン内では、REMUIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

立ち上がりエッジ割り込み

この割り込み要因は、REMI端子の入力信号がLowからHighに変化すると発生し、REMC内の割り込みフラグREMRIF/REMC_INTレジスタを1にセットします。

データ受信時、本割り込みと立ち下がりエッジ割り込みの間にデータ長カウンタを動作させることで、そのカウント値から受信データのパルス幅を算出することができます。

この割り込みを使用するには、REMRIF/REMC_INTレジスタを1に設定します。REMRIFが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

REMRIFが1にセットされるとREMCは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

REMC割り込みが入力信号の立ち上がりエッジによるものかどうかについては、REMC割り込み処理ルーチンでREMRIFを読み出して確認してください。

また、割り込み処理ルーチン内では、REMRIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

立ち下がリエッジ割り込み

この割り込み要因は、REMI端子の入力信号がHighからLowに変化すると発生し、REMC内の割り込みフラグREMFIF/REMC_INTレジスタを1にセットします。

データ受信時、本割り込みと立ち上がりエッジ割り込みの間にデータ長カウンタを動作させることで、そのカウント値から受信データのパルス幅を算出することができます。

この割り込みを使用するには、REMFIE/REMC_INTレジスタを1に設定します。REMFIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

REMFIFが1にセットされるとREMCは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

REMC割り込みが入力信号の立ち下がリエッジによるものかどうかについては、REMC割り込み処理ルーチンでREMFIFを読み出して確認してください。

また、割り込み処理ルーチン内では、REMFIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

20.7 制御レジスタ詳細

表20.7.1 REMCレジスタ一覧

アドレス	レジスタ名		機能
0x5340	REMC_CFG	REMC Configuration Register	クロックと送受信の制御
0x5342	REMC_CAR	REMC Carrier Length Setup Register	キャリアのH/L区間長設定
0x5344	REMC_LCNT	REMC Length Counter Register	送受信ビットと送受信データ長の設定
0x5346	REMC_INT	REMC Interrupt Control Register	割り込みの制御

以下、REMCモジュールのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

REMC Configuration Register (REMC_CFG)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
REMC Configuration Register (REMC_CFG)	0x5340 (16 bits)	D15–12	CGCLK[3:0]	Carrier generator clock division ratio select	CGCLK[3:0]	Division ratio	0x0	R/W	Source clock = PCLK
					LCCLK[3:0]				
					0xf	reserved			
					0xe	1/16384			
					0xd	1/8192			
					0xc	1/4096			
					0xb	1/2048			
					0xa	1/1024			
					0x9	1/512			
					0x8	1/256			
		D11–8	LCCLK[3:0]	Length counter clock division ratio select	0x7	1/128	0x0	R/W	
					0x6	1/64			
					0x5	1/32			
					0x4	1/16			
					0x3	1/8			
					0x2	1/4			
					0x1	1/2			
					0x0	1/1			
		D7–2	–	reserved	–	–	–	–	0 when being read.
		D1	REMD	REMC mode select	1 Receive	0 Transmit	0	R/W	
		D0	REME	REMC enable	1 Enable	0 Disable	0	R/W	

D[15:12] CGCLK[3:0]: Carrier Generator Clock Division Ratio Select Bits

キャリア生成用クロック(PCLK分周比)を選択します。

表20.7.2 キャリア生成用クロック (PCLK分周比) の選択

CGCLK[3:0]	分周比	CGCLK[3:0]	分周比
0xf	Reserved	0x7	1/128
0xe	1/16384	0x6	1/64
0xd	1/8192	0x5	1/32
0xc	1/4096	0x4	1/16
0xb	1/2048	0x3	1/8
0xa	1/1024	0x2	1/4
0x9	1/512	0x1	1/2
0x8	1/256	0x0	1/1

(デフォルト: 0x0)

D[11:8] LCCLK[3:0]: Length Counter Clock Division Ratio Select Bits

データ長カウンタクロック (PCLK分周比) を選択します。

表20.7.3 データ長カウンタクロック (PCLK分周比) の選択

LCCLK[3:0]	分周比	LCCLK[3:0]	分周比
0xf	Reserved	0x7	1/128
0xe	1/16384	0x6	1/64
0xd	1/8192	0x5	1/32
0xc	1/4096	0x4	1/16
0xb	1/2048	0x3	1/8
0xa	1/1024	0x2	1/4
0x9	1/512	0x1	1/2
0x8	1/256	0x0	1/1

(デフォルト: 0x0)

注: クロックの設定は、REMCモジュールが停止中 (REMCN = 0) に行ってください。

D[7:2] Reserved**D1 REMMD: REMC Mode Select Bit**

送受信方向を選択します。

1 (R/W): 受信

0 (R/W): 送信 (デフォルト)

D0 REMEN: REMC Enable Bit

REMCモジュールの送受信を許可/禁止します。

1 (R/W): 許可

0 (R/W): 禁止 (デフォルト)

REMCNを1に設定するとREMMDの設定に従って送信または受信の動作を開始します。

REMCNを0に設定すると、REMCモジュールは動作を停止します。

REMC Carrier Length Setup Register (REMC_CAR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
REMC Carrier Length Setup Register (REMC_CAR)	0x5342 (16 bits)	D15-14	—	reserved	—	—	—	0 when being read.
		D13-8	REMCL[5:0]	Carrier L length setup	0x0 to 0x3f	0x0	R/W	
		D7-6	—	reserved	—	—	—	0 when being read.
		D5-0	REMCH[5:0]	Carrier H length setup	0x0 to 0x3f	0x0	R/W	

D[15:14] Reserved**D[13:8] REMCL[5:0]: Carrier L Length Setup Bits**

キャリア信号のL区間長を設定します。(デフォルト: 0x0)

CGCLK[3:0]/REMC_CFGレジスタで選択したキャリア生成用クロックのサイクル数+1の値を指定します。

キャリアL区間長は次のように計算できます。

$$\text{キャリアL区間長} = \frac{\text{REMCL} + 1}{\text{cg_clk}} [\text{s}]$$

REMCL: REMCL[5:0]設定値

cg_clk: キャリア生成用クロック周波数

REMCH[5:0]でH区間長を指定します。

これらの設定により、キャリア信号は図20.7.1のとおり生成されます。

D[7:6] Reserved

D[5:0] REMCH[5:0]: Carrier H Length Setup Bits

キャリア信号のH区間長を設定します。(デフォルト: 0x0)

CGCLK[3:0]/REMC_CFGレジスタで選択したキャリア生成用クロックのサイクル数+1の値を指定します。

キャリアH区間長は次のように計算できます。

$$\text{キャリアH区間長} = \frac{\text{REMCH} + 1}{\text{cg_clk}} [\text{s}]$$

REMCH: REMCH[5:0]設定値

cg_clk: キャリア生成用クロック周波数

REMCL[5:0]でL区間長を指定します。

これらの設定により、キャリア信号は図20.7.1のとおり生成されます。

例: CGCLK[3:0] = 0x2 (PCLK/4)、REMCH[5:0] = 2、REMCL[5:0] = 1

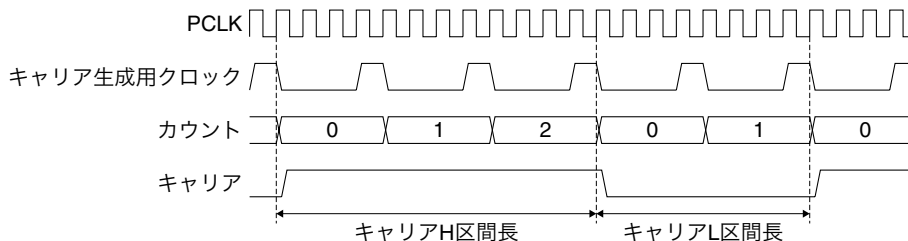


図20.7.1 キャリア信号の生成

REMC Length Counter Register (REMC_LCNT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
REMC Length Counter Register (REMC_LCNT)	0x5344 (16 bits)	D15-8	REMLEN[7:0]	Transmit/receive data length count (down counter)	0x0 to 0xff	0x0	R/W	
		D7-1	—	reserved	—	—	—	0 when being read.
		D0	REMDT	Transmit/receive data	1 1 (H) 0 0 (L)	0	R/W	

D[15:8] REMLEN[7:0]: Transmit/Receive Data Length Count Bits

データ長カウンタに値を設定しカウントを開始させます。(デフォルト: 0x0)

カウンタは0になると停止し、アンダーフロー割り込み要因を発生します。

データ送信時

データ送信時は送信データ長を設定します。

データパルス幅に相当する値を書き込むと、データ長カウンタはその値からカウントダウンを開始し、カウンタが0になるとアンダーフロー割り込み要因を発生して停止します。

この割り込みを利用して、次の送信データを設定します。

データ受信時

データ受信時は、入力信号の立ち上がりおよび立ち下がりエッジで割り込みを発生可能です。入力変化時の割り込みを利用してデータ長カウンタに0xffを設定し、次の入力変化による割り込み発生時にカウント値を読み出すことで、その差分からデータパルス長が得られます。

D[7:1] Reserved

D0 REMDT: Transmit/Receive Data Bit

データ送信時は送信データを設定します。データ受信時は受信データが読み出せます。

1(R/W): 1(H)

0(R/W): 0(L) (デフォルト)

REMEN/REMC_CFGレジスタが1に設定されている場合、データ送信時はREMDTの設定値がキャリア信号で変調され、REMO端子から出力されます。データ受信時は入力したデータパルスの信号レベルがこのビットにセットされます。

REMC Interrupt Control Register (REMC_INT)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
REMC Interrupt Control Register (REMC_INT)	0x5346 (16 bits)	D15-11	—	reserved	—		—	—	0 when being read.		
		D10	REMFIF	Falling edge interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D9	REMRIF	Rising edge interrupt flag			0	R/W			
		D8	REMUIF	Underflow interrupt flag			0	R/W			
		D7-3	—	reserved	—		—	—	0 when being read.		
		D2	REMFIE	Falling edge interrupt enable	1	Enable	0	Disable	0	R/W	
		D1	REMRIE	Rising edge interrupt enable	1	Enable	0	Disable	0	R/W	
		D0	REMUIE	Underflow interrupt enable	1	Enable	0	Disable	0	R/W	

本レジスタは、データ長カウンタのアンダーフロー、入力信号の立ち上がりエッジ、入力信号の立ち上がりエッジ割り込みを制御します。割り込みフラグはデータ長カウンタのアンダーフロー、入力信号の立ち上がりエッジ、入力信号の立ち下がりエッジにより1にセットされます。割り込みイネーブルビットを1に設定しておくことで、同時にITCに対してREMC割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。REMC割り込みが発生した場合は、本レジスタの割り込みフラグを読み出して発生した割り込み要因を特定してください。割り込みイネーブルビットを0に設定すると割り込みが禁止されます。

注: • REMC割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、REMCモジュール内の割り込みフラグをリセットする必要があります。

- 不要な割り込みの発生を防止するため、割り込みイネーブルビットによって割り込みを許可する前に、割り込みフラグをリセットしてください。

D[15:11] Reserved**D10 REMFIF: Falling Edge Interrupt Flag Bit**

立ち下がりエッジ割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

REMFIFは入力信号の立ち下がりエッジで1にセットされます。REMFIFは1の書き込みによりリセットされます。

D9 REMRIF: Rising Edge Interrupt Flag Bit

立ち上がりエッジ割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

REMRIFは入力信号の立ち上がりエッジで1にセットされます。REMRIFは1の書き込みによりリセットされます。

D8 REMUIF: Underflow Interrupt Flag Bit

アンダーフロー割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

REMUIFはデータ長カウンタのアンダーフローによって1にセットされます。REMUIFは1の書き込みによりリセットされます。

D[7:3] Reserved

D2 REMFIE: Falling Edge Interrupt Enable Bit Bit

入力信号の立ち下がりエッジによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

D1 REMRIE: Rising Edge Interrupt Enable Bit Bit

入力信号の立ち上がりエッジによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

D0 REMUIE: Underflow Interrupt Enable Bit Bit

データ長カウンタのアンダーフローによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

21 A/D変換器(ADC10)

21.1 ADC10モジュールの概要

S1C17554/564は、アナログ入力信号を10ビットデジタル値に変換するA/D変換器(ADC10)を内蔵しています。

ADC10モジュールの主な機能と特長を以下に示します。

- 変換方式: 逐次比較型
- 分解能: 10ビット
- 入力チャンネル: 最大4チャンネル
- A/D変換クロック: 最大2MHz
- サンプリングレート: $f_{ADCLK}/13 \sim f_{ADCLK}/20$ [sps] (f_{ADCLK} : A/D変換クロック周波数)
- アナログ入力電圧範囲: $V_{SS} \sim AV_{DD}$
- サンプリング&ホールド回路内蔵
- 2種類の変換モード: 1回変換モード
(単一チャンネルまたは複数チャンネル)
連続変換モード
(単一チャンネルまたは複数チャンネル、ソフト制御で終了)
- 3種類の変換トリガ: ソフトウェアトリガ
外部トリガ(#ADTRG端子入力)
T16 Ch.0アンダーフロートリガ
- 変換結果10ビットを左詰または右詰(ソフトウェア選択)にした16ビットデータとして読み出し可能
- 2種類の割り込み: 変換終了割り込み
変換データオーバーライトエラー割り込み

図21.1.1にADC10の構成を示します。

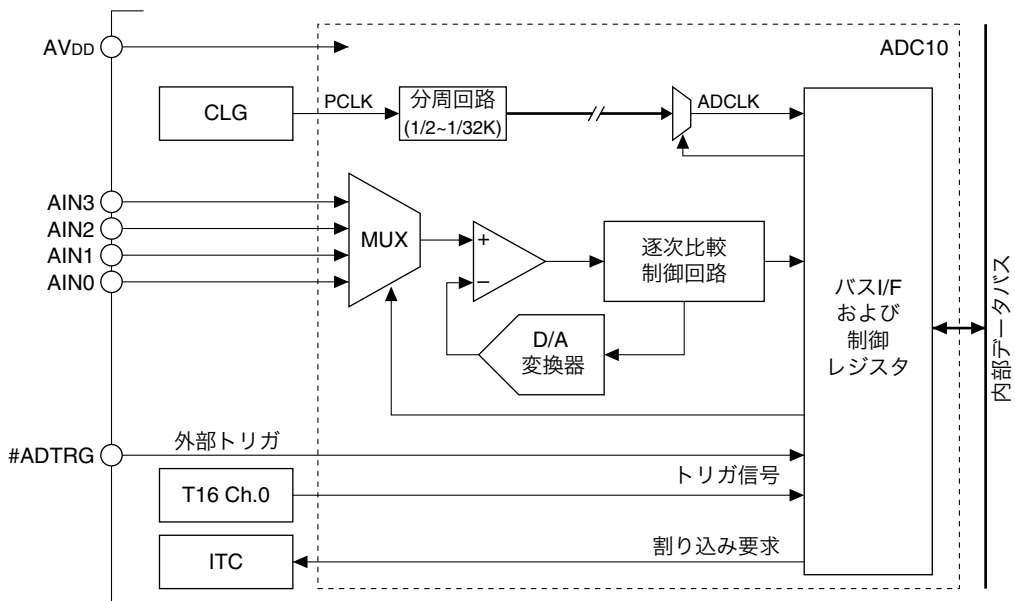


図21.1.1 A/D変換器の構成

21.2 ADC10入力端子

表21.2.1にADC10の入力端子の一覧を示します。

表21.2.1 ADC10入力端子

端子名	I/O	本数	機能
AIN[3:0]	I	4	アナログ信号入力端子AIN0(Ch.0)～AIN3(Ch.3) (注) A/D変換するアナログ信号を入力します。 入力可能なアナログ電圧値 AV_{IN} は $V_{SS} \leq AV_{IN} \leq AV_{DD}$ の範囲です。
#ADTRG	I	1	A/D変換器外部トリガ入力端子 IC外部よりA/D変換を開始させる場合のトリガ信号を入力します。
AVDD	—	1	アナログ電源端子

注: ポート機能切り換え時は、端子がハイインピーダンスになります。

A/D変換器の入力端子(AIN[3:0]、#ADTRG)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをA/D変換器の入力端子として使用するには、ポート機能選択ビットの設定により端子の機能を切り換える必要があります。端子の機能と切り換えの詳細については、“入出力ポート(P)”の章を参照してください。

21.3 A/D変換器の設定

A/D変換器を使用する場合は、A/D変換開始前に以下の設定が必要です。

- (1) アナログ入力端子を設定します。21.2節を参照してください。
- (2) A/Dの使用電圧範囲に合わせコンパレータを調整します。21.6節のADC10_COMレジスタを参照してください。
- (3) A/D変換クロックを設定します。
- (4) アナログ変換開始チャンネルと終了チャンネルを選択します。
- (5) A/D変換モードを選択します。
- (6) トリガを選択します。
- (7) サンプリング時間を設定します。
- (8) 変換結果格納モードを選択します。
- (9) 割り込みを使用する場合は割り込み条件を設定します。21.5節を参照してください。

注: これらの設定は、必ずA/D変換器をディセーブル状態(ADEN/ADC10_CTLレジスタ = 0)にして行ってください。イネーブル状態の設定変更は誤動作の原因となります。

21.3.1 A/D変換クロックの設定

A/D変換器を使用する場合は、クロックジェネレータ(CLG)からの周辺モジュールクロック(PCLK)の出力をOnにして、A/D変換器を動作させるためのクロックを供給しておく必要があります。クロック供給制御の詳細は“クロックジェネレータ(CLG)”の章を参照してください。

A/D変換クロックは、PCLKを分周して生成します。この分周比を、ADDF[3:0]/ADC10_CLKレジスタで表21.3.1.1に示す15種類から選択します。

注: 使用可能なA/D変換クロックの周波数範囲については、“電気的特性”の章の“A/D変換器特性”を参照してください。

表21.3.1.1 A/D変換クロック(PCLK分周比)の選択

ADDF[3:0]	分周比
0xf	Reserved
0xe	1/32768
0xd	1/16384
0xc	1/8192
0xb	1/4096
0xa	1/2048
0x9	1/1024
0x8	1/512
0x7	1/256
0x6	1/128
0x5	1/64
0x4	1/32
0x3	1/16
0x2	1/8
0x1	1/4
0x0	1/2

(デフォルト: 0x0)

21.3.2 A/D変換開始チャネル/終了チャネルの選択

アナログ入力に設定した端子(チャネル)の中から、A/D変換を行うチャネルを選択します。1回の変換動作で複数のチャネルのA/D変換を連続的に行えるようになっているため、ADCS[2:0]/ADC10_TRGレジスタとADCE[2:0]/ADC10_TRGレジスタによって変換開始チャネルと変換終了チャネルをそれぞれ指定します。

表21.3.2.1 ADCS/ADCEと入力チャネルの関係

ADCS[2:0]/ADCE[2:0]	選択チャネル
0x7-0x4	Reserved
0x3	AIN3
0x2	AIN2
0x1	AIN1
0x0	AIN0

(デフォルト: 0x0)

例: 1回のA/D変換の動作

ADCS[2:0] = 0, ADCE[2:0] = 0: AIN0のみ変換

ADCS[2:0] = 0, ADCE[2:0] = 3: AIN0→AIN1→AIN2→AIN3の順に変換

ADCS[2:0] = 2, ADCE[2:0] = 1: AIN2→AIN3→(AIN4→AIN5→AIN6→AIN7)→AIN0→AIN1の順に変換

注: 本A/D変換器の制御部は将来の拡張のため8チャネル対応になっており、アナログ入力が存在しないチャネル(AIN4～AIN7)が指定された場合でも、通常の変換動作を行います。この場合、ADD[15:0]/ADC10_ADDレジスタには0x0が格納されます。入力が存在しないチャネルの変換動作を行いたくない場合は、入力が存在するチャネルの範囲内でADCS[2:0]がADCE[2:0]と同じか小さくなるように設定してください。

21.3.3 A/D変換モードの設定

A/D変換器には1回変換モードと連続変換モードの2種類の変換モードが用意されており、ADMS/ADC10_TRGレジスタで選択できます。

1. 1回変換モード(ADMS = 0)

ADCS[2:0]/ADC10_TRGレジスタとADCE[2:0]/ADC10_TRGレジスタで選択したチャネル範囲のすべてのアナログ入力を1回A/D変換して停止します。

2. 連続変換モード (ADMS = 1)

ソフトウェアで停止させるまで、ADCS[2:0]およびADCE[2:0]で選択したチャネル範囲のA/D変換を連続的に実行します。

イニシャルリセット時は1回変換モードに設定されます。

21.3.4 トリガの選択

A/D変換を開始させるトリガ方式を、ADTS[1:0]/ADC10_TRGレジスタで表21.3.4.1に示す3種類の中から選択します。

表21.3.4.1 トリガの選択

ADTS[1:0]	トリガソース
0x3	外部トリガ(#ADTRG)
0x2	Reserved
0x1	16ビットタイマCh.0
0x0	ソフトウェアトリガ

(デフォルト: 0x0)

1. 外部トリガ(#ADTRG)

#ADTRG端子への入力信号をトリガとして使用します。このトリガ方式を使用する場合は、ポート機能選択ビット(“入出力ポート(P)”の章を参照)で入出力ポート端子を#ADTRG入力に切り換えておく必要があります。A/D変換は、#ADTRG信号の立ち下がりエッジを検出して開始します。

注: A/D変換のトリガとして外部トリガを使用する場合、#ADTRG端子への入力のLow期間は、S1C17コア動作クロックの2サイクル以上の長さを確保してください。

2. 16ビットタイマ(T16)Ch.0

T16 Ch.0のアンダーフロー信号をトリガとして使用します。T16のアンダーフロー周期はプログラマブルに設定できますので、周期的なA/D変換が必要な場合に有効です。タイマの設定については“16ビットタイマ(T16)”の章を参照してください。

3. ソフトウェアトリガ

ソフトウェアによるADCTL/ADC10_CTLレジスタへの1書き込みをトリガとしてA/D変換を開始します。

21.3.5 サンプルング時間の設定

本A/D変換器では、ADST[2:0]/ADC10_TRGレジスタによりアナログ信号の入力サンプルング時間を8段階(A/D変換クロックの2～9サイクル)に設定可能です。

表21.3.5.1 サンプルング時間の設定

ADST[2:0]	サンプルング時間 (A/D変換クロックサイクル)
0x7	9サイクル
0x6	8サイクル
0x5	7サイクル
0x4	6サイクル
0x3	5サイクル
0x2	4サイクル
0x1	3サイクル
0x0	2サイクル

(デフォルト: 0x7)

サンプルング時間は、入力電圧の取り込みに必要な時間(t_{ACQ} 、アクイジション時間)を満たす必要があります。アナログ入力の等価回路を図21.3.5.1に示します。

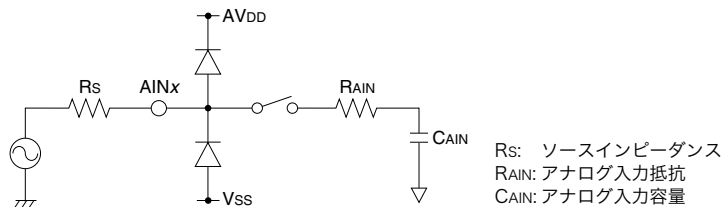


図21.3.5.1 アナログ入力等価回路

以下の式を満たすように f_{ADCLK} 、 $ADST[2:0]$ を設定してください。

$$t_{ACQ} = 8 \times (R_s + R_{AIN}) \times C_{AIN} \quad (R_{AIN}, C_{AIN} \text{ に関しては“電気的特性”を参照してください。})$$

$$\frac{1}{f_{ADCLK}} \times (ADST[2:0] \text{ で設定したサイクル数}) > t_{ACQ}$$

f_{ADCLK} : A/D変換クロック周波数[Hz]

サンプリング時間とサンプリングレートの関係を以下に示します。

$$\text{サンプリングレート [sps]} = \frac{f_{ADCLK}}{ADST[2:0] \text{ で設定したサイクル数} + 11}$$

21.3.6 変換結果格納モードの設定

本A/D変換器は、A/D変換が終了すると $ADD[15:0]/ADC10_ADD$ レジスタ(16ビットレジスタ)に10ビットの変換結果を格納します。

このとき、10ビットの変換結果は $STMD/ADC10_TRG$ レジスタで設定した格納モードに従い、16ビットレジスタの上位10ビット(左寄せモード)、または下位10ビット(右寄せモード)として格納されます。残りの6ビットはすべて0になります。

ADDビット	15	...	10	9	...	6	5	...	0
左寄せモード(STMD = 1)	(MSB)		10ビット変換結果			(LSB)	0	...	0
右寄せモード(STMD = 0)	0	...	0	(MSB)		10ビット変換結果			(LSB)

図21.3.6.1 変換データの配置

21.4 A/D変換の制御と動作

A/D変換器は以下の手順で制御します。

1. A/D変換器の起動
2. A/D変換の開始
3. A/D変換結果の読み出し
4. A/D変換の終了

21.4.1 A/D変換器の起動

21.3節に示した設定を終了後、 $ADEN/ADC10_CTL$ レジスタに1を書き込んでA/D変換器をイネーブルにします。これにより、A/D変換器はA/D変換開始のトリガを受け付け可能な状態となります。A/D変換器を再設定する場合、あるいは使用しない場合は $ADEN$ を0に設定してください。

21.4.2 A/D変換の開始

A/D変換器は $ADEN$ が1の状態ではトリガが入力されると、A/D変換を開始します。ソフトウェアトリガを選択した場合は、 $ADCTL/ADC10_CTL$ レジスタに1を書き込むことにより開始します。

A/D変換器は $ADTS[1:0]/ADC10_TRG$ レジスタで選択されているトリガソースからのトリガのみを受け付けます。トリガが入力されると、A/D変換器は $ADCS[2:0]/ADC10_TRG$ レジスタで選択した変換開始チャネルからアナログ入力信号のサンプリングとA/D変換を行います。

ソフトウェアトリガに使用する $ADCTL$ は、他のトリガによる場合でもA/D変換中は1となり、A/D変換のステータスビットとして使用することができます。また、変換中のチャネルは $ADICH[2:0]/ADC10_CTL$ レジスタを読み出すことで確認できます。

21.4.3 A/D変換結果の読み出し

変換開始チャネルのA/D変換が終了すると、A/D変換器は変換結果をADD[15:0]/ADC10_ADDレジスタに格納し、変換終了フラグADCF/ADC10_CTLレジスタをセットします。ADCS[2:0]/ADC10_TRGレジスタとADCE[2:0]/ADC10_TRGレジスタによって複数のチャネルを指定している場合は、その後も続くチャネルのA/D変換を継続します。

A/D変換結果は1つのチャネルの変換が終了するごとにADD[15:0]に格納されます。格納と同時に変換終了割り込みも発生させることができますので、通常はこの割り込みを利用して変換データを読み出します。変換終了割り込みを使用しない場合は、変換終了を示すADCFが1にセットされていることを確認した後、ADD[15:0]から変換結果を読み出してください。ADCFは、ADD[15:0]の読み出しによって0にリセットされます。

複数チャネルまたは単一チャネルを連続的に変換している場合は、次の変換が終了する前に変換結果をADD[15:0]から読み出す必要があります。ADCFが1にセットされている状態で(変換データを読み出す前に)次の変換が終了するとADD[15:0]が上書きされ、オーバーライトエラーフラグADOWE/ADC10_CTLレジスタが1にセットされます。これと同時に変換データオーバーライトエラー割り込みを発生させることも可能です。ADD[15:0]から変換結果を読み出した後は、ADOWEを読み出してデータが有効であることを確認してください。あるいは、変換データオーバーライトエラー割り込みを許可し、割り込みによってエラー処理を行ってください。ADOWEは一度セットされると、ソフトウェアで1を書き込むまでリセットされません。割り込みまたはADOWEの読み出しによって上書きを確認した場合は、必ず1を書き込んでADOWEをリセットしてください。また、ADOWEに1がセットされている場合はADCFもセットされていますので、変換データを読み出してADCFをリセットしてください。

注: オーバーライトエラーが発生しても連続変換は止まりません。

21.4.4 A/D変換の終了

1回変換モード (ADMS = 0) の場合

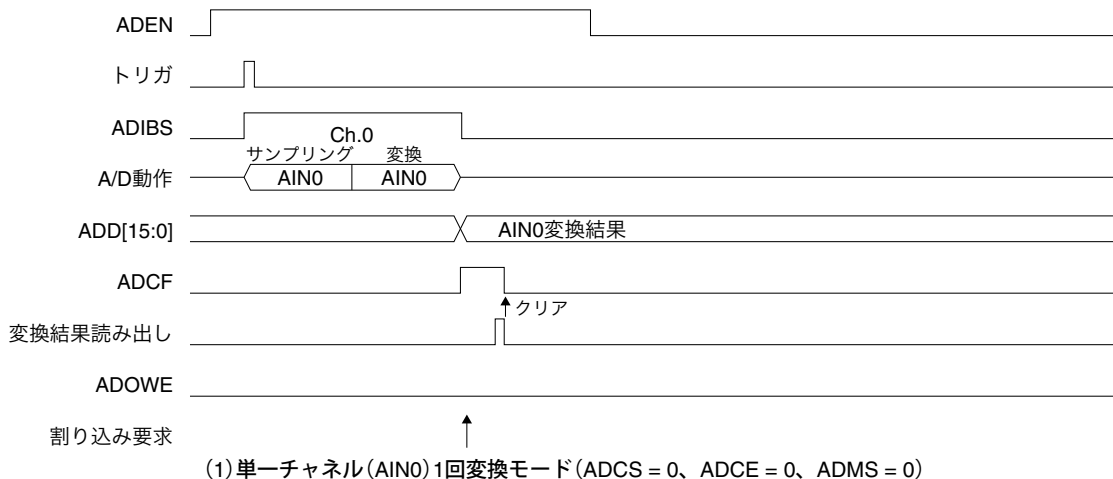
1回変換モードでは、ADCS[2:0]/ADC10_TRGレジスタで指定した変換開始チャネルからADCE[2:0]/ADC10_TRGレジスタで指定した変換終了チャネルまでのA/D変換を連続的に1回実行したところで終了します。終了すると、ADCTL/ADC10_CTLレジスタは0に戻ります。

連続変換モード (ADMS = 1) の場合

連続変換モードでは、変換開始チャネルから変換終了チャネルまでのA/D変換を繰り返し実行し、ハードウェアはA/D変換を停止しません。終了させるにはADCTLに0を書き込みます。この場合、変換動作は強制終了となり、このときの変換結果を得ることはできません。

21.4.5 タイミングチャート

図21.4.5.1に、A/D変換器の動作を示します。



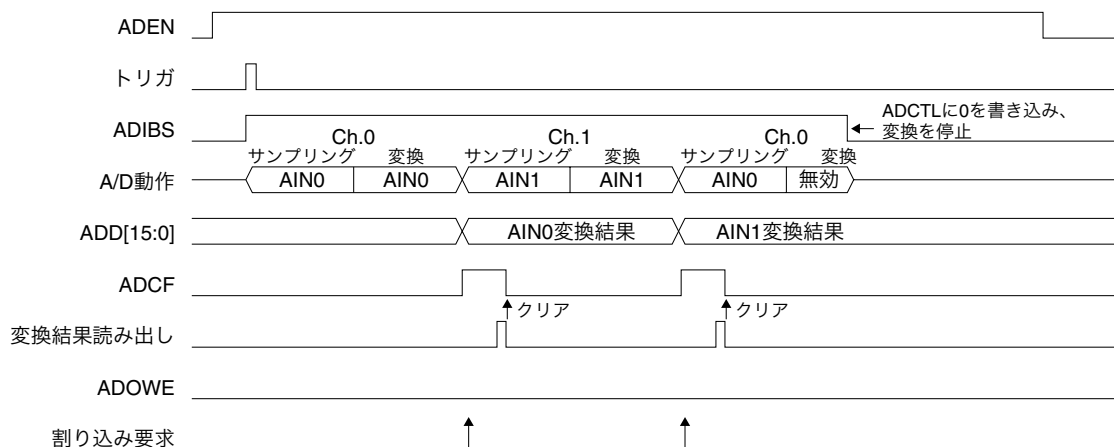
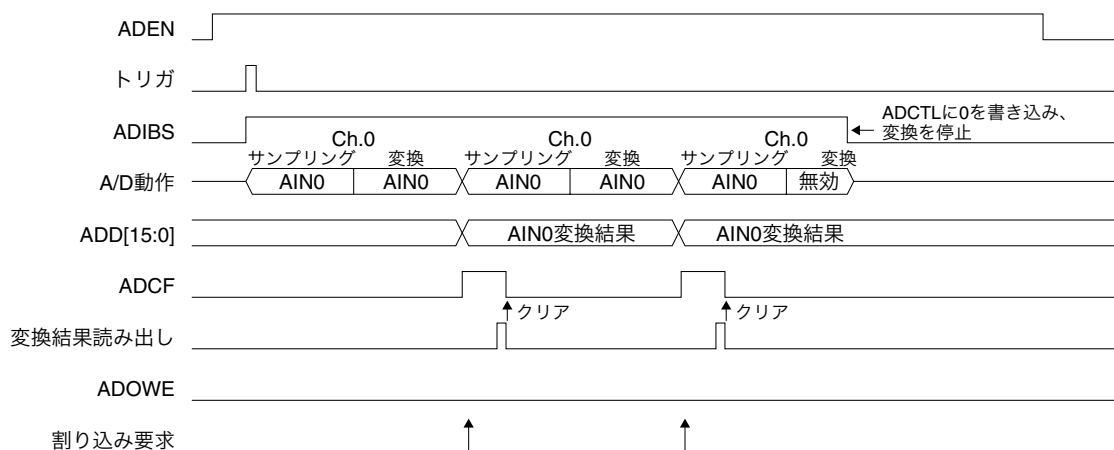
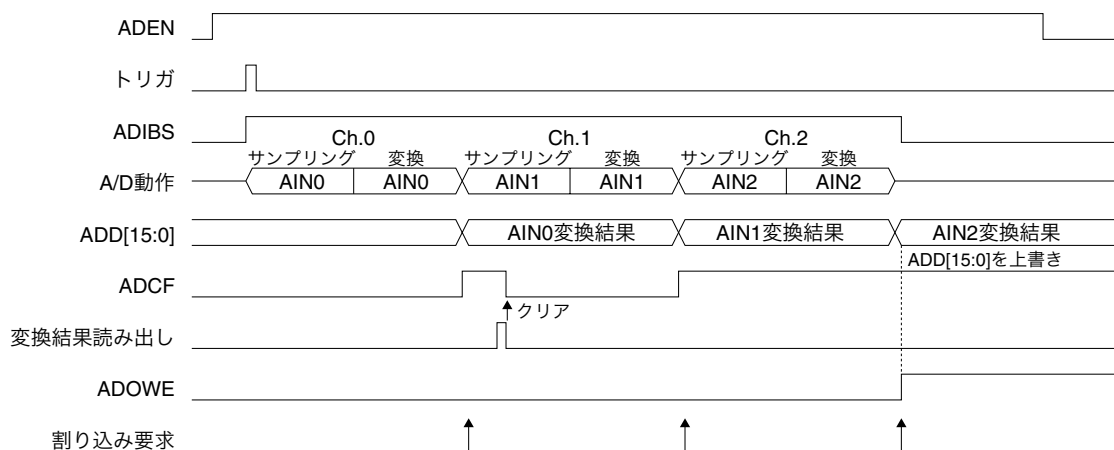


図21.4.5.1 A/D変換器の動作

21.5 A/D変換器割り込み

A/D変換器には、以下の2種類の割り込みを発生させる機能があります。

- 変換終了割り込み
- 変換データオーバーライトエラー割り込み

A/D変換器は上記の2種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込みの要因を特定するには、ステータスフラグを読み出してください。

変換終了割り込み

この割り込みを使用するには、ADCIE/ADC10_CTLレジスタを1に設定します。ADCIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

A/D変換器は1つのチャンネルのA/D変換を終了すると、ADCF/ADC10_CTLレジスタを1にセットして変換データを読み出せることを示します。変換終了割り込みが許可されていれば(ADCIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。

ADC割り込みが変換終了によるものかどうかについては、ADC割り込み処理ルーチンでADCFを読み出して確認してください。ADCFが1であれば、割り込み処理ルーチンでADD[15:0]/ADC10_ADDレジスタから変換データを読み出します。割り込み要因となるADCFはADD[15:0]の読み出しにより0にリセットされ、次の変換が終了するまでこの割り込みは発生しません。

変換データオーバーライトエラー割り込み

この割り込みを使用するには、ADOIE/ADC10_CTLレジスタを1に設定します。ADOIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

ADD[15:0]が読み出されていない状態(ADCF = 1)で次のA/D変換が終了すると、A/D変換器はADOWE/ADC10_CTLレジスタを1にセットしてADD[15:0]が上書きされたことを示します。変換データオーバーライトエラー割り込みが許可されていれば(ADOIE = 1)、これと同時に割り込み要求がITCに出力されます。もし、他の割り込み条件が満たされていれば、割り込みが発生します。

ADC割り込みがオーバーライトエラーによるものかどうかについては、ADC割り込み処理ルーチンでADOWEを読み出して確認してください。ADOWEが1であれば、割り込み処理ルーチンでエラー処理を行います。割り込み要因となるADOWEは1の書き込みによって0にリセットされます。

割り込み処理の詳細については、“割り込みコントローラ(ITC)”の章を参照してください。

注: • ADC10割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、ADCF/ADC10_CTLレジスタとADOWE/ADC10_CTLレジスタをリセットする必要があります。

- 不要な割り込みの発生を防止するため、ADCIE/ADC10_CTLレジスタとADOIE/ADC10_CTLレジスタによって割り込みを許可する前に、ADCFとADOWEをリセットしてください。

21.6 制御レジスタ詳細

表21.6.1 A/D変換器レジスタ一覧

アドレス	レジスタ名		機能
0x5380	ADC10_ADD	A/D Conversion Result Register	A/D変換結果
0x5382	ADC10_TRG	A/D Trigger/Channel Select Register	変換開始/終了チャンネルと変換モードの設定
0x5384	ADC10_CTL	A/D Control/Status Register	A/D変換器の制御と変換状況の表示
0x5386	ADC10_CLK	A/D Clock Control Register	A/D変換クロックの制御
0x5388	ADC10_COM	A/D Comparator Setting Register	A/D変換特性の調整

以下、A/D変換器のレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

A/D Conversion Result Register (ADC10_ADD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Conversion Result Register (ADC10_ADD)	0x5380 (16 bits)	D15-0	ADD[15:0]	A/D converted data ADD[9:0] are effective when STMD = 0 (ADD[15:10] = 0) ADD[15:6] are effective when STMD = 1 (ADD[5:0] = 0)	0x0 to 0x3ff	0x0	R	

D[15:0] ADD[15:0]: A/D Converted Data Bits

A/D変換結果が格納されます。(デフォルト: 0x0)

STMD/ADC10_TRGレジスタの設定により、本16ビットレジスタ内の変換データの配置(変換結果格納モード)を変更できます。

	ADDビット	15	...	10	9	...	6	5	...	0	
左寄せモード (STMD = 1)	(MSB)	10ビット変換結果						(LSB)	0	...	0
右寄せモード (STMD = 0)	0	...	0	(MSB)	10ビット変換結果						(LSB)

図21.6.1 変換データの配置

このレジスタは読み出し専用で、書き込みは無効です。

A/D Trigger/Channel Select Register (ADC10_TRG)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
A/D Trigger/ Channel Select Register (ADC10_TRG)	0x5382 (16 bits)	D15–14	–	reserved	–			–	–	0 when being read.	
		D13–11	ADCE[2:0]	End channel select	0x0 to 0x3			0x0	R/W		
		D10–8	ADCS[2:0]	Start channel select	0x0 to 0x3			0x0	R/W		
		D7	STMD	Conversion result storing mode	1	ADD[15:6]	0	ADD[9:0]	0		R/W
		D6	ADMS	Conversion mode select	1	Continuous	0	Single	0		R/W
		D5–4	ADTS[1:0]	Conversion trigger select	ADTS[1:0]		Trigger	0x0	R/W		
		D3	–	reserved	0x3	#ADTRG pin					
					0x2	reserved					
					0x1	T16 Ch.0					
					0x0	Software					
D2–0	ADST[2:0]	Sampling time setting	ADST[2:0]		Sampling time	0x7	R/W				
			0x7	9 cycles							
			0x6	8 cycles							
			0x5	7 cycles							
			0x4	6 cycles							
			0x3	5 cycles							
			0x2	4 cycles							
			0x1	3 cycles							
			0x0	2 cycles							

D[15:14] Reserved

D[13:11] ADCE[2:0]: End Channel Select Bits

変換終了チャンネルをチャンネル番号(0~3)で設定します。(デフォルト: 0x0 = AIN0)

1回のA/D変換で、ADCS[2:0]で設定したチャンネルからADCE[2:0]で設定したチャンネルまでのアナログ入力を連続的に変換できます。1つのチャンネルのみをA/D変換する場合は、ADCS[2:0]とADCE[2:0]に同じチャンネル番号を設定してください。

表21.6.2 ADCS/ADCEと入力チャンネルの関係

ADCS[2:0]/ADCE[2:0]	選択チャンネル
0x7-0x4	Reserved
0x3	AIN3
0x2	AIN2
0x1	AIN1
0x0	AIN0

(デフォルト: 0x0)

D[10:8] ADCS[2:0]: Start Channel Select Bits

変換開始チャンネルをチャンネル番号(0~3)で設定します。(デフォルト: 0x0 = AIN0)

D7 STMD: Conversion Result Storing Mode Bit

ADD[15:0]への変換結果の格納方法を選択します。

1(R/W): 左寄せモード(10ビット変換結果 → ADD[15:6]、ADD[5:0] = 0)

0(R/W): 右寄せモード(10ビット変換結果 → ADD[9:0]、ADD[15:10] = 0) (デフォルト)

D6 ADMS: Conversion Mode Select Bit

A/D変換モードを選択します。

1(R/W): 連続変換モード

0(R/W): 1回変換モード (デフォルト)

ADMSに1を書き込むことによりA/D変換器は連続変換モードに設定され、ADCS[2:0]およびADCE[2:0]で選択したチャンネル範囲のA/D変換を、ソフトウェアで停止させるまで連続的に実行します。

ADMSが0の場合は1回変換モードで動作し、ADCS[2:0]とADCE[2:0]で選択したチャンネル範囲のすべての入力を1回A/D変換して停止します。

D[5:4] ADTS[1:0]: Conversion Trigger Select Bits

A/D変換を開始させるトリガ方法を選択します。

表21.6.3 トリガの選択

ADTS[1:0]	トリガソース
0x3	外部トリガ(#ADTRG)
0x2	Reserved
0x1	16ビットタイマCh.0
0x0	ソフトウェアトリガ

(デフォルト: 0x0)

外部トリガを使用する場合は、ポート機能選択ビットにより#ADTRG端子の設定を行ってください(“入出力ポート(P)”の章を参照)。外部トリガ選択時は、#ADTRG入力の立ち下がりがエッジを検出するとA/D変換を開始します。

16ビットタイマ(T16)Ch.0を使用する場合は、タイマのアンダーフロー信号がトリガとなりますので、16ビットタイマで周期およびその他の設定を行ってください。

D3 Reserved**D[2:0] ADST[2:0]: Sampling Time Setting Bits**

アナログ入力のサンプリング時間を設定します。

表21.6.4 サンプリング時間の設定

ADST[2:0]	サンプリング時間 (A/D変換クロックサイクル)
0x7	9サイクル
0x6	8サイクル
0x5	7サイクル
0x4	6サイクル
0x3	5サイクル
0x2	4サイクル
0x1	3サイクル
0x0	2サイクル

(デフォルト: 0x7)

A/D Control/Status Register (ADC10_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Control/ Status Register (ADC10_CTL)	0x5384 (16 bits)	D15	—	reserved	—	—	—	0 when being read.
		D14–12	ADICH[2:0]	Conversion channel indicator	0x0 to 0x3	0x0	R	
		D11	—	reserved	—	—	—	0 when being read.
		D10	ADIBS	ADC10 status	1 Busy 0 Idle	0	R	
		D9	ADOWE	Overwrite error flag	1 Error 0 Normal	0	R/W	Reset by writing 1.
		D8	ADCF	Conversion completion flag	1 Completed 0 Run/Stand- by	0	R	Reset when ADC10_ADD is read.
		D7–6	—	reserved	—	—	—	0 when being read.
		D5	ADOIE	Overwrite error interrupt enable	1 Enable 0 Disable	0	R/W	
		D4	ADCIE	Conversion completion int. enable	1 Enable 0 Disable	0	R/W	
		D3–2	—	reserved	—	—	—	0 when being read.
		D1	ADCTL	A/D conversion control	1 Start 0 Stop	0	R/W	
		D0	ADEN	ADC10 enable	1 Enable 0 Disable	0	R/W	

D15 Reserved**D[14:12] ADICH[2:0]: Conversion Channel Indicator Bits**

A/D変換中のチャンネル番号(0~3)を示します。(デフォルト: 0x0 = AIN0)

複数のチャンネルをA/D変換している場合、このビットを読み出すことによって現在変換中のチャンネルを確認できます。

D11 Reserved**D10 ADIBS: ADC10 Status Bit**

A/D変換器の状態を示します。

1(R): 変換中

0(R): 変換終了/待機中(デフォルト)

ADIBSはトリガ入力エッジ(サンプリング開始時)で1にセットされ、変換終了(ADCTL → 0)によって0にリセットされます。

D9 ADOWE: Overwrite Error Flag Bit

ADD[15:0]/ADC10_ADDレジスタの読み出し前の変換結果が上書きされたことを示します。

1(R): オーバーライトエラー(割り込み要因あり)

0(R): エラーなし(割り込み要因なし)(デフォルト)

1(W): フラグをリセット

0(W): 無効

複数または単一のチャンネルを連続的にA/D変換している場合、ADCFが1にセットされている状態で(変換データを読み出す前に)次の変換が終了するとADD[15:0]が上書きされ、ADOWEが1にセットされます。ADD[15:0]から変換結果を読み出した後は、ADOWEを読み出してデータが有効であることを確認してください。

ADOWEはADC10割り込み要因の1つです。ADOIEが1(割り込み許可)に設定されていれば、ADOWEがセットされた時点でITCに対し、変換データオーバーライトエラー割り込み要求が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

ADOWEは1の書き込みによりリセットされます。

D8 ADCF: Conversion Completion Flag Bit

A/D変換が終了したことを示します。

1(R): 変換終了(割り込み要因あり)

0(R): 変換中または待機中(割り込み要因なし)(デフォルト)

A/D変換が終了し、変換データがADD[15:0]に格納されると1にセットされます。

ADCFはADC10割り込み要因の1つです。ADCIEが1(割り込み許可)に設定されていれば、ADCFがセットされた時点でITCに対し、変換終了割り込み要求が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。ADCFはADD[15:0]を読み出すと0にリセットされます。ADCFがセットされている状態で次の変換が終了するとオーバーライトエラー(ADOWE参照)になりますので、その前にADD[15:0]を読み出してADCFをリセットしてください。オーバーライトエラーが発生した場合もADCFは変換終了によりセットされます。

D[7:6] Reserved

21 A/D変換器 (ADC10)

D5 ADOIE: Overwrite Error Interrupt Enable Bit

変換データオーバーライトエラー割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止 (デフォルト)

ADOIEを1に設定すると変換データオーバーライトエラー割り込みが許可され、0に設定すると割り込みが禁止されます。

D4 ADCIE: Conversion Completion Interrupt Enable Bit

変換終了割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止 (デフォルト)

ADCIEを1に設定すると変換終了割り込みが許可され、0に設定すると割り込みが禁止されます。

D[3:2] Reserved

D1 ADCTL: A/D Conversion Control Bit

A/D変換を制御します。

1(W): ソフトウェアトリガ

0(W): A/D変換停止

1(R): 変換中

0(R): 変換終了/待機中 (デフォルト)

ソフトウェアトリガによりA/D変換を開始させる場合、ADCTLに1を書き込みます。

他のトリガ方式の場合は、ハードウェアがADCTLを1にセットします。

A/D変換中、ADCTLは1を保持します。1回変換モード時は、指定のチャネルのA/D変換が終了するとADCTLは0に戻り、A/D変換回路が停止します。連続変換モードのA/D変換を停止させるにはADCTLに0を書き込んでください。

ADENが0の場合はトリガを受け付けません。

D0 ADEN: ADC10 Enable Bit

A/D変換動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止 (デフォルト)

ADENに1を書き込むことによってA/D変換器がイネーブルとなり、A/D変換を開始できる(トリガを受け付け可能な)状態となります。ADENが0の場合、A/D変換器はディセーブル状態に置かれ、トリガを受け付けません。なお、モードや開始/終了チャネルなどのA/D変換器の設定を行う場合は誤動作を避けるため、ADENを0に設定してから行ってください。

A/D Clock Control Register (ADC10_CLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Clock Control Register (ADC10_CLK)	0x5386 (16 bits)	D15-4	—	reserved	—	—	—	0 when being read.
		D3-0	ADDF[3:0]	A/D converter clock division ratio select	ADDF[3:0] Division ratio	0x0	R/W	Source clock = PCLK
					0xf reserved			
					0xe 1/32768			
					0xd 1/16384			
					0xc 1/8192			
					0xb 1/4096			
					0xa 1/2048			
					0x9 1/1024			
					0x8 1/512			
					0x7 1/256			
					0x6 1/128			
					0x5 1/64			
					0x4 1/32			
					0x3 1/16			
					0x2 1/8			
					0x1 1/4			
					0x0 1/2			

D[15:4] Reserved

D[3:0] ADDF[3:0]: A/D Converter Clock Division Ratio Select Bits

A/D変換クロックを生成するための、PCLKの分周比を選択します。

表21.6.5 A/D変換クロック(PCLK分周比)の選択

ADDF[3:0]	分周比
0xf	Reserved
0xe	1/32768
0xd	1/16384
0xc	1/8192
0xb	1/4096
0xa	1/2048
0x9	1/1024
0x8	1/512
0x7	1/256
0x6	1/128
0x5	1/64
0x4	1/32
0x3	1/16
0x2	1/8
0x1	1/4
0x0	1/2

(デフォルト: 0x0)

注: A/D変換器を使用する場合は、クロックジェネレータ(CLG)からの周辺モジュールクロック(PCLK)の出力をOnにして、A/D変換器を動作させるためのクロックを供給しておく必要があります。

A/D Comparator Setting Register (ADC10_COM)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Comparator Setting Register (ADC10_COM)	0x5388 (16 bits)	D15-6	—	reserved	—	—	—	0 when being read.
		D5-4	FSEL[1:0]	A/D comparator adjustment	0x0 to 0x3	0x0	R/W	
		D3-2	—	reserved	—	—	—	0 when being read.
		D1-0	XPD[1:0]	A/D comparator adjustment	0x0 to 0x3	0x3	R/W	

D[15:6], D[3:2]

Reserved

D[5:4], D[1:0]**FSEL[1:0], XPD[1:0]: A/D Comparator Adjustment Bits**

A/Dの使用電圧範囲ごとに最適なA/D動作状態になるよう、コンパレータを調整します。

表21.6.6 A/Dコンパレータの調整

AV _{DD} 範囲	FSEL[1:0]	XPD[1:0]
3.3~2.7V	2	3
3.6~3.0V	3	2
4.3~3.3V	0	3
5.0~4.0V	2	1
5.5~4.7V	0	2

22 オンチップデバッグ(DBG)

22.1 リソース要件とデバッグツール

デバッグ用ワークエリア

デバッグを行うには、64バイトのデバッグ用ワークエリアが必要です。ワークエリアのアドレスは“メモリマップ、バス制御”の章を参照してください。

このデバッグ用ワークエリアのスタートアドレスはDBRAMレジスタ(0xffff90)から読み出すことができます。

デバッグツール

デバッグは、S1C17554/564のデバッグ端子にICDminiを接続し、パソコン上のデバッグからデバッグコマンドを入力して行います。このため、以下のツールが必要です。

- S1C17 Family In-Circuit Debugger ICDmini
- S1C17 Family Cコンパイラパッケージ(S5U1C17001C等)

デバッグ端子

ICDminiとの接続に以下のデバッグ端子を使用します。

表22.1.1 デバッグ端子一覧

端子名	I/O	本数	機能
DCLK	O	1	オンチップデバッグクロック出力端子 ICDminiにクロックを出力します。
DSIO	I/O	1	オンチップデバッグデータ入出力端子 デバッグ用データの入出力およびブレーク信号の入力に使用します。
DST2	O	1	オンチップデバッグステータス信号出力端子 デバッグ中のプロセッサの状態を出力します。

オンチップデバッグの入出力端子(DCLK、DST2、DSIO)は汎用入出力ポート端子を兼用しており、初期状態ではデバッグ端子に設定されます。デバッグ機能を使用しない場合は、ポート機能選択ビットの設定により、これらの端子を汎用入出力ポート端子に切り換えることができます。端子の機能と切り換えの詳細については、“入出力ポート(P)”の章を参照してください。

22.2 デバッグブレーク時の動作状態

brk命令の実行、またはDSIO端子へのブレーク信号(Low)入力によりデバッグ割り込みが発生すると、S1C17コアはデバッグモードに入ります。この状態はret命令が実行されるまで続きます。

この間、ハードウェア割り込みおよびNMIは受け付けられません。

デフォルト設定では、周辺回路の動作は停止します。これをデバッグ中でも動作するように変更することができます。

PCLKで動作する周辺回路は、DBRUN1/MISC_DMODE1レジスタを1に設定するとデバッグ中でも動作し、0(デフォルト)に設定した場合は停止します。

PCLK以外で動作する周辺回路は、DBRUN2/MISC_DMODE2レジスタを1に設定するとデバッグ中でも動作し、0(デフォルト)に設定した場合は停止します。

一部例外があり、SPI、I2CS、T16Aなどを外部入力クロックで動作させた場合、デバッグ中に動作を停止することはできません。

22.3 追加デバッグ機能

S1C17コアが持つオンチップデバッグ機能に対し、S1C17554/564では以下の機能拡張を行っています。

デバッグモード時の分岐先

デバッグ割り込みが発生するとS1C17コアはデバッグモードに入り、デバッグ処理ルーチンに分岐します。このとき、S1C17コアは0xffffc00番地に分岐するように設計されています。S1C17554/564ではこの分岐先に加え、0x0番地(内蔵RAM先頭アドレス)をデバッグモード時の分岐先に指定することが可能です。どちらのアドレスに分岐させるかについては、DBADR/MISC_IRAMSZレジスタで選択します。DBADRが0(デフォルト)の場合は0xffffc00番地、1に設定すると0x0番地が選択されます。

命令ブレーク本数の追加

S1C17コアは2本の命令ブレーク(ハードウェアPCブレーク)に対応しています。S1C17554/564ではこれを5本に増やしています。このため、以下の制御ビットとレジスタが追加されています。

- IBE2/DCRレジスタ: 命令ブレーク#2を有効に設定
- IBE3/DCRレジスタ: 命令ブレーク#3を有効に設定
- IBE4/DCRレジスタ: 命令ブレーク#4を有効に設定
- IBAR2[23:0]/IBAR2レジスタ: 命令ブレークアドレス#2の設定
- IBAR3[23:0]/IBAR3レジスタ: 命令ブレークアドレス#3の設定
- IBAR4[23:0]/IBAR4レジスタ: 命令ブレークアドレス#4の設定

なお、5本のハードウェアPCブレークを使用するには、S5U1C17001C(Ver. 1.2.1)以降に含まれるデバッグが必要です。

22.4 制御レジスタ詳細

表22.4.1 デバッグ用レジスタ一覧

アドレス	レジスタ名	機能
0x4020	MISC_DMODE1	Debug Mode Control Register 1
0x5322	MISC_DMODE2	Debug Mode Control Register 2
0x5326	MISC_IRAMSZ	IRAM Size Select Register
0xffff90	DBRAM	Debug RAM Base Register
0xffffa0	DCR	Debug Control Register
0xffffb8	IBAR2	Instruction Break Address Register 2
0xffffbc	IBAR3	Instruction Break Address Register 3
0xffffd0	IBAR4	Instruction Break Address Register 4

以下、デバッグ用のレジスタを個々に説明します。

注: • レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

- ここに記載されていないデバッグ用レジスタについては、“S1C17コアマニュアル”を参照してください。

Debug Mode Control Register 1 (MISC_DMODE1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Debug Mode Control Register 1 (MISC_DMODE1)	0x4020 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1	DBRUN1	Run/stop select in debug mode	1 Run 0 Stop	0	R/W	
		D0	—	reserved	—	—	—	0 when being read.

D[7:2] Reserved

D1 DBRUN1: Run/Stop Select Bit in Debug Mode

デバッグモード時におけるPCLKで動作する周辺回路の状態を選択します。

1(R/W): 動作

0(R/W): 停止(デフォルト)

DBRUN1を1に設定すると、PCLKで動作する周辺回路はデバッグモード時も動作します。
DBRUN1を0に設定すると、S1C17コアがデバッグモードになった時点でPCLKで動作する周辺回路は停止します。デバッグ中に動作を継続したい場合は、DBRUN1を1に設定してください。

D0 **Reserved**

Debug Mode Control Register 2 (MISC_DMODE2)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Debug Mode Control Register 2 (MISC_DMODE2)	0x5322 (16 bits)	D15-1	—	reserved	—	—	—	0 when being read.
		D0	DBRUN2	Run/stop select in debug mode (except PCLK peripheral circuits)	1 Run 0 Stop	0	R/W	

D[15:1] **Reserved**

D0 **DBRUN2: Run/Stop Select Bit in Debug Mode (except PCLK peripheral circuits)**

デバッグモード時におけるPCLK以外で動作する周辺回路の状態を選択します。

1(R/W): 動作

0(R/W): 停止(デフォルト)

DBRUN2を1に設定すると、PCLK以外で動作する周辺回路はデバッグモード時も動作します。
DBRUN2を0に設定すると、S1C17コアがデバッグモードになった時点でPCLK以外で動作する周辺回路は停止します。デバッグ中に動作を継続したい場合は、DBRUN2を1に設定してください。一部例外があり、SPI、I2CS、T16Aなどを外部入力クロックで動作させた場合、デバッグ中に動作を停止することはできません。

IRAM Size Select Register (MISC_IRAMSZ)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
IRAM Size Register (MISC_IRAMSZ)	0x5326 (16 bits)	D15-9	—	reserved	—	—	—	0 when being read.
		D8	DBADR	Debug base address select	1 0x0 0 0xffffc00	0	R/W	
		D7	—	reserved	—	—	—	0 when being read.
		D6-4	IRAMACTSZ[2:0]	IRAM actual size	0x6 (= 16KB)	0x6	R	
		D3	—	reserved	—	—	—	0 when being read.
		D2-0	IRAMSZ[2:0]	IRAM size select	IRAMSZ[2:0] Size	0x6	R/W	
					0x7 reserved 0x6 16KB 0x5 512B 0x4 1KB 0x3 2KB 0x2 4KB 0x1 8KB 0x0 12KB			

D[15:9] **Reserved**

D8 **DBADR: Debug Base Address Select Bit**

デバッグ割り込み発生時の分岐先アドレスを選択します。

1(R/W): 0x0

0(R/W): 0xffffc00(デフォルト)

D7 **Reserved**

D[6:4] **IRAMACTSZ[2:0]: IRAM Actual Size Bits**

実装されている内蔵RAMのサイズを示します。(デフォルト: 0x6)

D3 **Reserved**

D[2:0] **IRAMSZ[2:0]: IRAM Size Select Bits**

使用する内蔵RAMのサイズを選択します。

表22.4.2 内蔵RAMサイズの選択

IRAMSZ[2:0]	内蔵RAMサイズ
0x7	Reserved
0x6	16KB
0x5	512B
0x4	1KB
0x3	2KB
0x2	4KB
0x1	8KB
0x0	12KB

(デフォルト: 0x6)

注: MISC_IRAMSZレジスタには書き込み保護が設定されています。このレジスタを書き換えるには、MISC_PROTレジスタに0x96を書き込んで、書き込み保護を解除する必要があります。なお、MISC_IRAMSZレジスタの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はMISC_PROTレジスタを0x96以外に設定してください。

Debug RAM Base Register (DBRAM)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Debug RAM Base Register (DBRAM)	0xffff90 (32 bits)	D31–24	–	Unused (fixed at 0)	0x0	0x0	R	
		D23–0	DBRAM[23:0]	Debug RAM base address	0x2fc0	0x2fc0	R	

D[31:24] 未使用(0固定)

D[23:0] **DBRAM[23:0]: Debug RAM Base Address Bits**

デバッグ用ワークエリア(64バイト)の先頭アドレスが格納されるリードオンリレジスタです。

Debug Control Register (DCR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Debug Control Register (DCR)	0xffffa0 (8 bits)	D7	IBE4	Instruction break #4 enable	1 Enable	0 Disable	0	R/W
		D6	IBE3	Instruction break #3 enable	1 Enable	0 Disable	0	R/W
		D5	IBE2	Instruction break #2 enable	1 Enable	0 Disable	0	R/W
		D4	DR	Debug request flag	1 Occurred	0 Not occurred	0	R/W
		D3	IBE1	Instruction break #1 enable	1 Enable	0 Disable	0	R/W
		D2	IBE0	Instruction break #0 enable	1 Enable	0 Disable	0	R/W
		D1	SE	Single step enable	1 Enable	0 Disable	0	R/W
		D0	DM	Debug mode	1 Debug mode	0 User mode	0	R

D7 IBE4: Instruction Break #4 Enable Bit

命令ブレーク#4を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとIBAR4レジスタの設定値が比較され、一致すると命令ブレークが発生します。このビットを0に設定すると、比較は行われません。

D6 IBE3: Instruction Break #3 Enable Bit

命令ブレーク#3を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとIBAR3レジスタの設定値が比較され、一致すると命令ブレークが発生します。このビットを0に設定すると、比較は行われません。

D5 IBE2: Instruction Break #2 Enable Bit

命令ブレーク#2を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとIBAR2レジスタの設定値が比較され、一致すると命令ブレークが発生します。このビットを0に設定すると、比較は行われません。

D4 DR: Debug Request Flag Bit

外部からのデバッグ要求の有無を示します。

- 1(R): 発生
 0(R): なし(デフォルト)
 1(W): フラグをリセット
 0(W): 無効

このフラグは、1の書き込みでクリア(0にリセット)されます。デバッグ処理ルーチンをret命令で終了する前にクリアしておく必要があります。

D3 IBE1: Instruction Break #1 Enable Bit

命令ブレイク#1を許可/禁止します。

- 1(R/W): 許可
 0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとIBAR1レジスタの設定値が比較され、一致すると命令ブレイクが発生します。このビットを0に設定すると、比較は行われません。

D2 IBE0: Instruction Break #0 Enable Bit

命令ブレイク#0を許可/禁止します。

- 1(R/W): 許可
 0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとIBAR0レジスタの設定値が比較され、一致すると命令ブレイクが発生します。このビットを0に設定すると、比較は行われません。

D1 SE: Single Step Enable Bit

シングルステップ動作を許可/禁止します。

- 1(R/W): 許可
 0(R/W): 禁止(デフォルト)

D0 DM: Debug Mode Bit

プロセッサの動作モード(デバッグモードまたはユーザモード)を示します。

- 1(R): デバッグモード
 0(R): ユーザモード(デフォルト)

Instruction Break Address Register 2 (IBAR2)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Instruction Break Address Register 2 (IBAR2)	0xffffb8 (32 bits)	D31–24	–	reserved	–	–	–	0 when being read.
		D23–0	IBAR2[23:0]	Instruction break address #2 IBAR223 = MSB IBAR20 = LSB	0x0 to 0xfffff	0x0	R/W	

D[31:24] Reserved

D[23:0] IBAR2[23:0]: Instruction Break Address #2 Bits

命令ブレイクアドレス#2を設定します。(デフォルト: 0x000000)

Instruction Break Address Register 3 (IBAR3)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Instruction Break Address Register 3 (IBAR3)	0xffffbc (32 bits)	D31–24	–	reserved	–	–	–	0 when being read.
		D23–0	IBAR3[23:0]	Instruction break address #3 IBAR323 = MSB IBAR30 = LSB	0x0 to 0xfffff	0x0	R/W	

D[31:24] Reserved

D[23:0] IBAR3[23:0]: Instruction Break Address #3 Bits

命令ブレイクアドレス#3を設定します。(デフォルト: 0x000000)

Instruction Break Address Register 4 (IBAR4)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Instruction Break Address Register 4 (IBAR4)	0xffffd0 (32 bits)	D31–24	–	reserved	–	–	–	0 when being read.
		D23–0	IBAR4[23:0]	Instruction break address #4 IBAR423 = MSB IBAR40 = LSB	0x0 to 0xfffff	0x0	R/W	

D[31:24] Reserved

D[23:0] IBAR4[23:0]: Instruction Break Address #4 Bits
命令ブレイクアドレス#4を設定します。(デフォルト: 0x000000)

23 乗除算器 (COPRO)

23.1 概要

S1C17554/564は乗除算機能を提供するコプロセッサを内蔵しています。
乗除算器の主な機能と特長を以下に示します。

- 乗算: 符号付き/符号なし乗算をサポート
(16ビット×16ビット=32ビット)
1サイクルで実行可能
- 積和演算 (MAC): 符号付き積和演算をサポート、オーバーフロー検出機能付き
(16ビット×16ビット+32ビット=32ビット)
1サイクルで実行可能
- 除算: 符号付き/符号なし除算をサポート
(16ビット÷16ビット=16ビット、剰余=16ビット)
17～20サイクルで実行可能

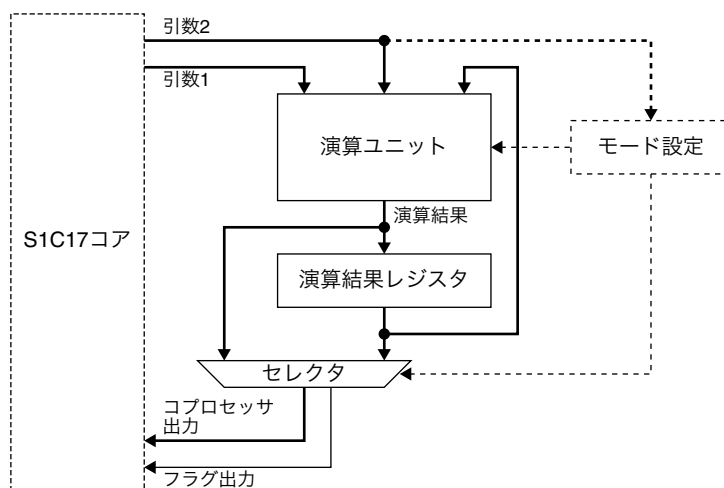


図23.1.1 乗除算器ブロック図

23.2 動作モードと出力モード

乗除算器はアプリケーションプログラムによって指定される動作モードに従って動作します。表23.2.1に示すとおり、乗除算器は9種類の動作に対応しています。

乗算、除算、積和演算の演算結果は32ビットデータです。このため、S1C17コアは1回のアクセスで結果を読み出すことができません。出力モードは、乗除算器から演算結果の上位16ビットを読み出すか、下位16ビットを読み出すかを指定するために用意されています。

動作モードと出力モードは、7ビットのデータを乗除算器内のモード設定レジスタに書き込むことにより指定します。書き込みには“ld.cw”命令を使用してください。

```
ld.cw %rd,%rs    %rs[6:0]がモード設定レジスタに書き込まれます。( %rd: 未使用)
ld.cw %rd,imm7   imm7[6:0]がモード設定レジスタに書き込まれます。( %rd: 未使用)
```

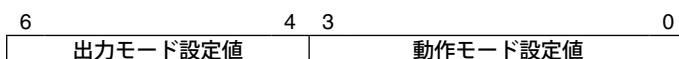


図23.2.1 モード設定レジスタ

表23.2.1 モード設定

設定値 (D[6:4])	出力モード	設定値 (D[3:0])	動作モード
0x0	下位16ビット出力モード コプロセッサ出力として、演算結果の下位 16ビットが読み出せます。	0x0	初期化モード0 演算結果レジスタを0x0にクリアします。
0x1	上位16ビット出力モード コプロセッサ出力として、演算結果の上位 16ビットが読み出せます。	0x1	初期化モード1 演算用の16ビット被加数を演算結果レジス タの下位16ビットにロードします。
0x2～0x7	Reserved	0x2	初期化モード2 演算用の32ビット被加数を演算結果レジス タにロードします。
		0x3	演算結果読み出しモード 演算は行わずに、演算結果レジスタのデー タを出力します。
		0x4	符号なし乗算モード 符号なし乗算を実行します。
		0x5	符号付き乗算モード 符号付き乗算を実行します。
		0x6	Reserved
		0x7	符号付き積和演算モード 符号付き積和演算を実行します。
		0x8	符号なし除算モード 符号なし除算を実行します。
		0x9	符号付き除算モード 符号付き除算を実行します。
		0xa～0xf	Reserved

23.3 乗算

乗算機能は、“ $A(32\text{ビット}) = B(16\text{ビット}) \times C(16\text{ビット})$ ”を実行します。

乗算を実行するには、動作モードを0x4(符号なし乗算)または0x5(符号付き乗算)に設定します。その後、16ビット被乗数(B)と16ビット乗数(C)を、“ld.ca”命令を使用して乗除算器に転送します。演算結果の1/2(出力モードに従った16ビット、A[15:0]またはA[31:16])とフラグの状態がCPUレジスタに返ります。演算結果の残りの1/2は、乗除算器を演算結果読み出しモードに設定して読み出します。

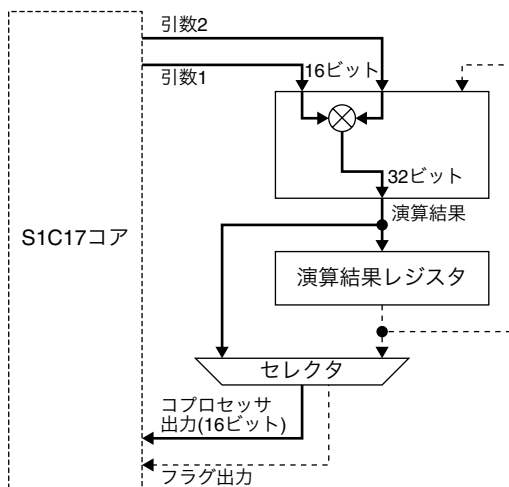


図23.3.1 乗算モードのデータ経路

表23.3.1 乗算モードの動作

モード 設定値	命令	動作	フラグ	備考
0x04 または 0x05	ld.ca %rd,%rs	$\text{res}[31:0] \leftarrow \%rd \times \%rs$ $\%rd \leftarrow \text{res}[15:0]$	psr (CVZN) \leftarrow 0b0000	演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。
	(ext imm9) ld.ca %rd,imm7	$\text{res}[31:0] \leftarrow \%rd \times \text{imm7}/16$ $\%rd \leftarrow \text{res}[15:0]$		
0x14 または 0x15	ld.ca %rd,%rs	$\text{res}[31:0] \leftarrow \%rd \times \%rs$ $\%rd \leftarrow \text{res}[31:16]$		
	(ext imm9) ld.ca %rd,imm7	$\text{res}[31:0] \leftarrow \%rd \times \text{imm7}/16$ $\%rd \leftarrow \text{res}[31:16]$		

res: 演算結果レジスタ

例:

```
ld.cw %r0,0x4 ; モード設定(符号なし乗算モード & 下位16ビット出力モード)
ld.ca %r0,%r1 ; “res = %r0 × %r1”を実行し、結果の下位16ビットを%r0レジスタにロード
ld.cw %r0,0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード)
ld.ca %r1,%r0 ; 結果の上位16ビットを%r1レジスタにロード
```

23.4 除算

除算機能は、“ $B(16\text{ビット}) \div C(16\text{ビット}) = A(16\text{ビット}), \text{余り } D(16\text{ビット})$ ”を実行します。除算を実行するには、動作モードを0x8(符号なし除算)または0x9(符号付き除算)に設定します。その後、16ビット被除数(B)と16ビット除数(C)を、“ld.ca”命令を使用して乗除算器に転送します。商が演算結果レジスタの下位16ビットに、余りが上位16ビットに入ります。演算が終了すると、出力モードで指定した商または余りの16ビットとフラグの状態がCPUレジスタに返ります。演算結果の残りの16ビットは、乗除算器を演算結果読み出しモードに設定して読み出します。

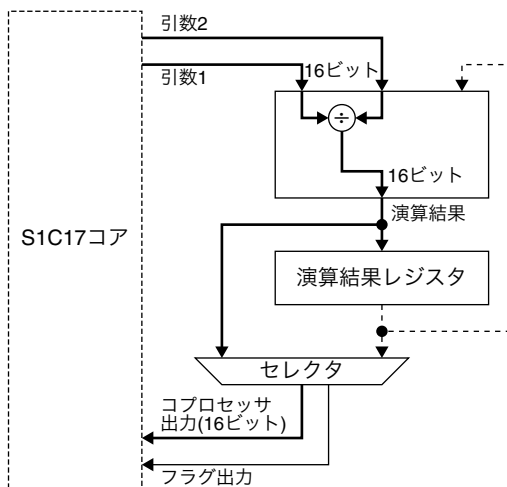


図23.4.1 除算モードのデータ経路

表23.4.1 除算モードの動作

モード 設定値	命令	動作	フラグ	備考
0x08 または 0x09	ld.ca %rd,%rs	$\text{res}[31:0] \leftarrow \%rd \div \%rs$ $\%rd \leftarrow \text{res}[15:0](\text{商})$	psr (CVZN) \leftarrow 0b0000	演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。
	(ext imm9) ld.ca %rd,imm7	$\text{res}[31:0] \leftarrow \%rd \div \text{imm7}/16$ $\%rd \leftarrow \text{res}[15:0](\text{商})$		
0x18 または 0x19	ld.ca %rd,%rs	$\text{res}[31:0] \leftarrow \%rd \div \%rs$ $\%rd \leftarrow \text{res}[31:16](\text{余り})$		
	(ext imm9) ld.ca %rd,imm7	$\text{res}[31:0] \leftarrow \%rd \div \text{imm7}/16$ $\%rd \leftarrow \text{res}[31:16](\text{余り})$		

res: 演算結果レジスタ

例:

```
ld.cw %r0,0x8 ; モード設定(符号なし除算モード & 下位16ビット出力モード)
ld.ca %r0,%r1 ; “res = %r0 ÷ %r1”を実行し、結果の下位16ビット(商)を%r0レジスタにロード
ld.cw %r0,0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード)
ld.ca %r1,%r0 ; 結果の上位16ビット(余り)を%r1レジスタにロード
```

23.5 積和演算

積和演算機能は、“A(32ビット) = B(16ビット) × C(16ビット) + A(32ビット)”を実行します。積和演算を実行する前に初期値(A)を演算結果レジスタに設定しておく必要があります。演算結果レジスタをクリアするには(A = 0)、動作モードを0x0に設定します。別の命令で乗除算器に0x0を送る必要はありません。16ビット値または32ビット値を演算結果レジスタにロードするには、動作モードを0x1(16ビット)または0x2(32ビット)に設定します。その後、“ld.cf”命令で初期値を乗除算器に送ります。

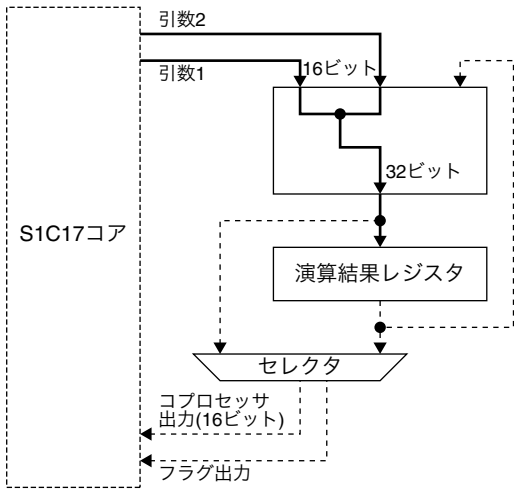


図23.5.1 初期化モード時のデータ経路

表23.5.1 演算結果レジスタの初期化

モード 設定値	命令	動作	備考
0x0	—	res[31:0] ← 0x0	動作モードの設定のみ(データの送信なし)で初期化を行います。
0x1	ld.cf %rd,%rs	res[31:16] ← 0x0 res[15:0] ← %rs	
	(ext imm9) ld.cf %rd,imm7	res[31:16] ← 0x0 res[15:0] ← imm7/16	
0x2	ld.cf %rd,%rs	res[31:16] ← %rd res[15:0] ← %rs	
	(ext imm9) ld.cf %rd,imm7	res[31:16] ← %rd res[15:0] ← imm7/16	

res: 演算結果レジスタ

積和演算を実行するには、動作モードを0x7(符号付き積和演算)に設定します。その後、16ビット被乗数(B)と16ビット乗数(C)を、“ld.ca”命令を使用して乗除算器に転送します。演算結果の1/2(出力モードに従った16ビット、A[15:0]またはA[31:16])とフラグの状態がCPUレジスタに返ります。演算結果の残りの1/2は、乗除算器を演算結果読み出しモードに設定して読み出します。演算結果により、PSRのオーバーフローフラグ(V)が1にセットされます。その他のフラグは0にクリアされます。演算結果読み出しモードに移行せずに積和演算を継続する場合は、被乗数と乗数を必要な回数分送ります。この場合、データ送信のたびに積和演算モードに設定する必要はありません。

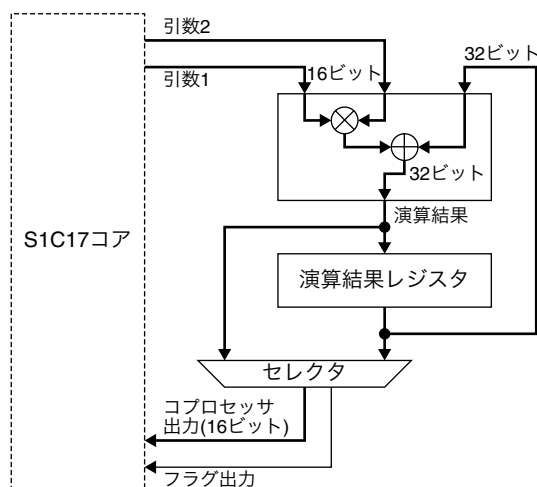


図23.5.2 積和演算モード時のデータ経路

表23.5.2 積和演算モードの動作

モード 設定値	命令	動作	フラグ	備考
0x07	ld.ca %rd,%rs	res[31:0] ← %rd × %rs + res[31:0] %rd ← res[15:0]	オーバーフローが発生 した場合 psr (CVZN) ← 0b0100	演算結果レジスタは 他の演算によって再 書き込みが行われる まで、演算結果を保持 します。
	(ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd × imm7/16 + res[31:0] %rd ← res[15:0]		
0x17	ld.ca %rd,%rs	res[31:0] ← %rd × %rs + res[31:0] %rd ← res[31:16]	それ以外 psr (CVZN) ← 0b0000	
	(ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd × imm7/16 + res[31:0] %rd ← res[31:16]		

res: 演算結果レジスタ

例:

```
ld.cw %r0,0x7 ; モード設定(符号付き積和演算モード & 下位16ビット出力モード)
ld.ca %r0,%r1 ; “res = %r0 × %r1 + res”を実行し、結果の下位16ビットを%r0レジスタにロード
ld.cw %r0,0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード)
ld.ca %r1,%r0 ; 結果の上位16ビットを%r1レジスタにロード
```

オーバーフローフラグ(V)のセット条件

積和演算で乗算結果の符号、演算結果レジスタの符号、および演算結果の符号が以下の条件に合うとオーバーフローが発生し、オーバーフローフラグ(V)が1にセットされます。

表23.5.3 オーバーフローフラグ(V)のセット条件

モード設定値	乗算結果の符号	演算結果レジスタの符号	演算結果の符号
0x07	0(正)	0(正)	1(負)
0x07	1(負)	1(負)	0(正)

積和演算で正と正の加算を行い、結果が負になる場合、または負と負の加算を行い、結果が正になる場合にオーバーフローが発生します。オーバーフローフラグ(V)がクリアされるまで、結果はコプロセッサ内に保持されます。

オーバーフローフラグ(V)のクリア条件

セットされたオーバーフローフラグ(V)は、積和演算のために“ld.ca”命令を実行し、オーバーフローが発生しなかった場合、あるいは演算結果読み出しモード以外で“ld.ca”命令または“ld.cf”命令を実行した場合にクリアされます。

23.6 演算結果の読み出し

“ld.ca”命令は32ビットの演算結果をCPUレジスタにロードできません。このため、乗算と積和演算は演算結果の1/2(出力モードに従った16ビット、A[15:0]またはA[31:16])とフラグの状態をCPUレジスタに返します。演算結果の残りの1/2は、乗除算器を演算結果読み出しモードに設定して読み出します。演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。

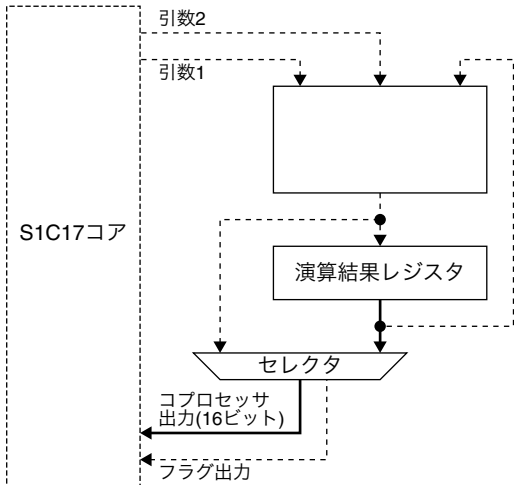


図23.6.1 演算結果読み出しモードのデータ経路

表23.6.1 演算結果読み出しモードの動作

モード 設定値	命令	動作	フラグ	備考
0x03	ld.ca %rd,%rs	%rd ← res[15:0]	psr (CVZN) ← 0b0000	この動作モードは演算結果レジスタに影響を与えません。
	ld.ca %rd,imm7	%rd ← res[15:0]		
0x13	ld.ca %rd,%rs	%rd ← res[31:16]		
	ld.ca %rd,imm7	%rd ← res[31:16]		

res: 演算結果レジスタ

24 電気的特性

24.1 絶対最大定格

(V_{SS} = 0V)

項目	記号	条件	定格値	単位
コア電源電圧	LV _{DD}		-0.3~2.5 *2	V
I/O電源電圧	HV _{DD}		-0.3~7.0 *2	V
アナログ電源電圧	AV _{DD}		-0.3~7.0	V
Flashプログラミング電圧	V _{PP}		8	V
入力電圧	V _I		-0.3~HV _{DD} + 0.5	V
出力電圧	V _O		-0.3~HV _{DD} + 0.5	V
高レベル出力電流	I _{OH}	1端子	-10	mA
		全端子合計	-20	mA
低レベル出力電流	I _{OL}	1端子	10	mA
		全端子合計	20	mA
許容損失 *1	V _O		200	mW
保存温度	T _{stg}		-65~125	°C
半田付け温度・時間	T _{sol}		260°C, 10秒 (リード部)	—

*1 プラスチックパッケージの場合

*2 HV_{DD} ≥ LV_{DD}

24.2 推奨動作条件

S1C17554

項目	記号	条件	Min.	Typ.	Max.	単位
コア電源電圧	LV _{DD}		1.65	1.80	1.95	V
I/O電源電圧	HV _{DD}		1.65	—	5.5	V
アナログ電源電圧	AV _{DD}	ADC使用時	2.7	—	5.5	V
		ADC未使用時	1.65	—	5.5	V
Flashプログラミング電圧	V _{PP} P		6.8	7.0	7.2	V
Flash消去電圧	V _{PP} E		7.3	7.5	7.7	V
動作周波数	f _{OSC3}	水晶/セラミック発振	0.2	—	24	MHz
	f _{OSC1}	水晶発振	—	32.768	—	kHz
動作温度	T _a	通常動作時 (Flashリードのみ)	-40	—	85	°C
		Flashプログラミング&消去時	10	—	40	°C

S1C17564

項目	記号	条件	Min.	Typ.	Max.	単位
コア電源電圧	LV _{DD}	レギュレータ未使用時	1.65	1.80	1.95	V
レギュレータ入力電圧	V _{IN}	REGEN = V _{IN}	2.0	—	5.5	V
I/O電源電圧	HV _{DD}	レギュレータ未使用時	1.65	—	5.5	V
		レギュレータ使用時	2.0	—	5.5	V
アナログ電源電圧	AV _{DD}	ADC使用時	2.7	—	5.5	V
		ADC未使用時	1.65	—	5.5	V
Flashプログラミング電圧	V _{PP} P		6.8	7.0	7.2	V
Flash消去電圧	V _{PP} E		7.3	7.5	7.7	V
動作周波数	f _{OSC3}	水晶/セラミック発振	0.2	—	24	MHz
	f _{OSC1}	水晶発振	—	32.768	—	kHz
動作温度	T _a	通常動作時 (Flashリードのみ)	-40	—	85	°C
		Flashプログラミング&消去時	10	—	40	°C

24.3 消費電流

特記なき場合: $LV_{DD} = 1.8V$, $HV_{DD} = AV_{DD} = 5.5V$, $V_{SS} = 0V$, $T_a = 25^{\circ}C$, $PCKEN[1:0] = 0x3(ON)$, $RDWAIT[1:0] = 0x1(ノウエイト)$, $CCLKGR[1:0] = 0x0(ギア比1/1)$

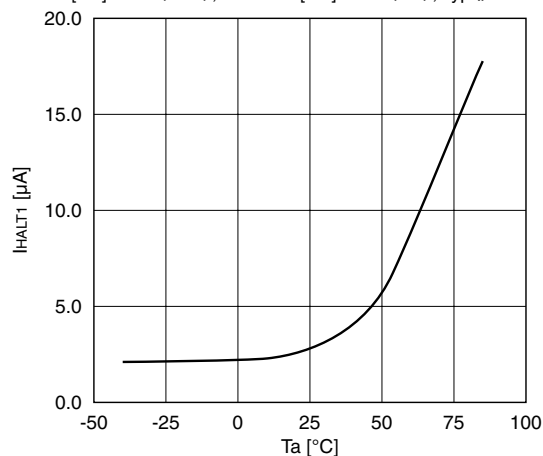
項目	記号	条件	Min.	Typ.	Max.	単位
SLEEP時消費電流	ISLP	OSC1 = OFF, IOSC = OFF, OSC3 = OFF	—	0.8	4.5	μA
HALT時消費電流	I _{HALT1}	OSC1 = 32kHz, IOSC = OFF, OSC3 = OFF, PCKEN[1:0] = 0x0(OFF)	—	2.7	7	μA
		OSC1 = 32kHz, IOSC = OFF, OSC3 = OFF	—	4.7	9	μA
	I _{HALT2}	OSC1 = 32kHz, IOSC = OFF, OSC3 = 8MHz(セラミック)	—	650	750	μA
		OSC1 = 32kHz, IOSC = OFF, OSC3 = 24MHz(セラミック)	—	2000	2300	μA
動作時消費電流 *1	I _{HALT3} *2	OSC1 = 32kHz, IOSC = ON(12MHz), OSC3 = OFF	—	1400	1600	μA
	I _{EXE1}	OSC1 = 32kHz, IOSC = OFF, OSC3 = OFF, CPU = OSC1	—	16	20	μA
		OSC1 = 32kHz, IOSC = OFF, OSC3 = OFF, CCLKGR[1:0] = 0x2(ギア比1/4), CPU = OSC1	—	9.5	14	μA
	I _{EXE2}	OSC1 = 32kHz, IOSC = OFF, OSC3 = 1MHz(セラミック), CPU = OSC3	—	450	550	μA
		OSC1 = 32kHz, IOSC = OFF, OSC3 = 8MHz(セラミック), CPU = OSC3	—	3000	3400	μA
		OSC1 = 32kHz, IOSC = OFF, OSC3 = 24MHz(セラミック), CPU = OSC3, RDWAIT[1:0] = 0x3(2ウェイト)	—	6000	6900	μA
		OSC1 = 32kHz, IOSC = OFF, OSC3 = 8MHz(セラミック), CCLKGR[1:0] = 0x2(ギア比1/4), CPU = OSC3	—	1600	2000	μA
	I _{EXE3} *2	OSC1 = 32kHz, IOSC = ON(2MHz), OSC3 = OFF, CPU = IOSC	—	1000	1300	μA
		OSC1 = 32kHz, IOSC = ON(12MHz), OSC3 = OFF, CPU = IOSC	—	4500	5300	μA

*1 “ALU命令60.5%、分岐命令17%、メモリリード12%、メモリライト10.5%”のプログラムをFlashメモリからフェッチしながら連続動作させた値です。

*2 S1C17564

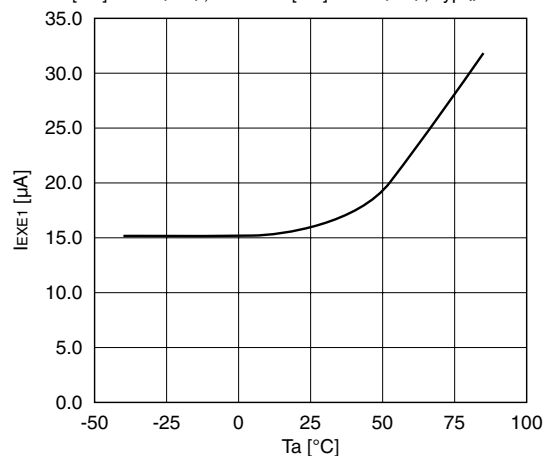
HALT時 消費電流対温度特性(OSC1動作時)

OSC1 = 32.768kHz, IOSC = OFF, OSC3 = OFF,
PCKEN[1:0] = 0x0(OFF), CCLKGR[1:0] = 0x0(1/1), Typ.値



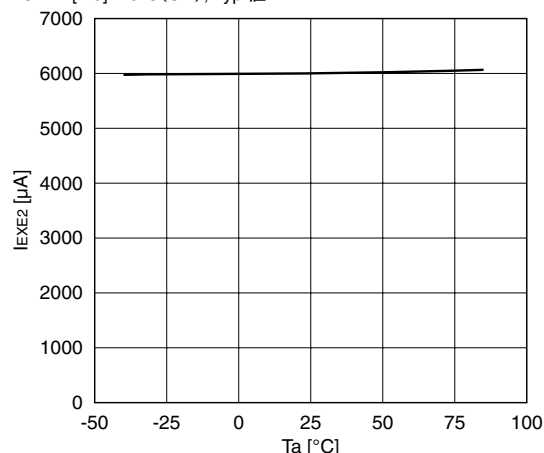
OSC1動作時 消費電流対温度特性

OSC1 = 32.768kHz, IOSC = OFF, OSC3 = OFF,
PCKEN[1:0] = 0x3(ON), CCLKGR[1:0] = 0x0(1/1), Typ.値

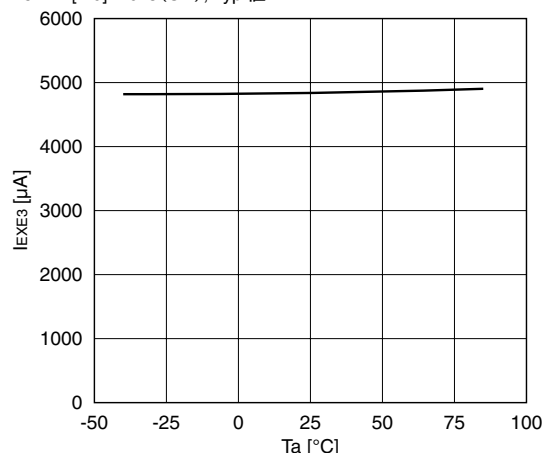


OSC3動作時 消費電流対温度特性

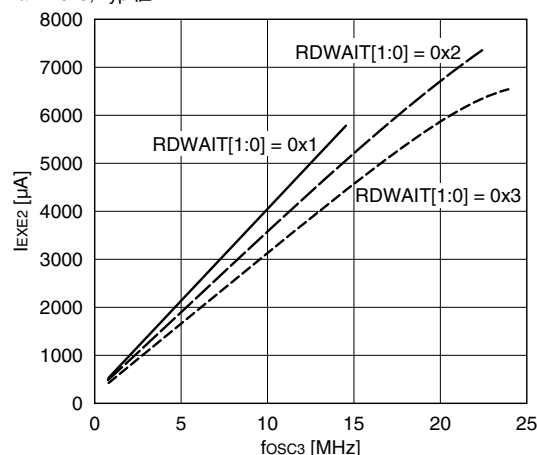
OSC1 = ON, IOSC = OFF, OSC3 = ON (24MHz, セラミック),
PCKEN[1:0] = 0x3 (ON), Typ.値

**IOSC動作時 消費電流対温度特性**

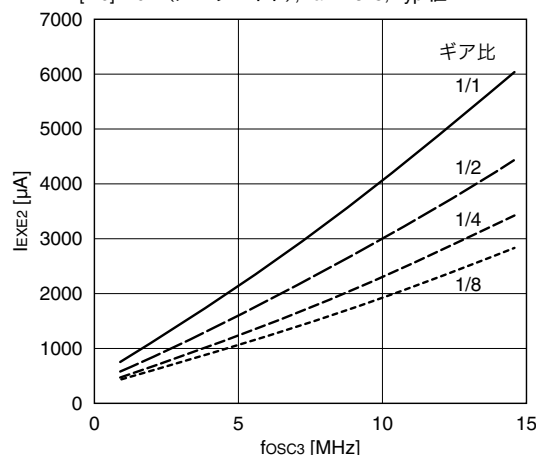
OSC1 = ON, IOSC = ON (12MHz), OSC3 = OFF,
PCKEN[1:0] = 0x3 (ON), Typ.値

**Flashリード時 消費電流特性 (OSC3動作時)**

OSC1 = ON, IOSC = OFF, OSC3 = ON, PCKEN[1:0] = 0x3 (ON),
Ta = 25°C, Typ.値

**クロックギア特性 (OSC3動作時)**

OSC1 = ON, IOSC = OFF, OSC3 = ON, PCKEN[1:0] = 0x3 (ON),
RDWAIT[1:0] = 0x1 (ノーウェイト), Ta = 25°C, Typ.値

**24.4 DCレギュレータ特性****DCレギュレータ消費電流**

特記なき場合: Ta = 25°C, 無負荷

項目	記号	条件	Min.	Typ.	Max.	単位
DCレギュレータ消費電流 *1	I _{REG1}	エコモード VIN = 2.0~3.6V	—	0.4	0.7	μA
	I _{REG2}	通常モード VIN = 3.6~5.5V	—	0.5	0.8	μA
		通常モード VIN = 2.0~5.5V	—	22	33	μA

*1 DCレギュレータ使用時にSLEEP/HALT/動作時の消費電流に加算されます。

24.5 発振特性

発振特性は諸条件(基板パターン、使用部品など)により変化します。以下の特性は参考値として使用してください。

OSC1水晶発振

特記なき場合: LVDD = 1.65~1.95V, VSS = 0V, Ta = 25°C, CG1 = CD1 = 10pF外付け, Rf1 = 10MΩ外付け

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間 *1 *2	t _{sta}		—	—	3	s

*1 水晶振動子 = MC-146: エプソントヨコム製 (R1 = 65kΩ Max., CL = 12.5pF)

*2 発振開始時間は、使用する水晶振動子およびCG1、CD1により変化します。

OSC3水晶発振

特記なき場合: $V_{DD} = 1.65 \sim 1.95V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, $C_{G3} = C_{D3} = 8pF$ 外付け, $R_{f3} = 1M\Omega$ 外付け

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間 *1 *2	t_{sta}		—	—	20	ms

*1 水晶振動子 = MA-406: エプソントヨコム製 ($R_1 = 150\Omega$, $C_L = 10pF$)

*2 発振開始時間は、使用する水晶振動子および C_{G3} 、 C_{D3} により変化します。

OSC3セラミック発振

特記なき場合: $V_{DD} = 1.65 \sim 1.95V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, $R_{f3} = 1M\Omega$ 外付け

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間 *1 *2	t_{sta}		—	—	1	ms

*1 セラミック振動子 = CSTCG24M0V51: 村田製作所製 ($C_{G3} = C_{D3} = 5pF$ 内蔵)

*2 発振開始時間は、使用するセラミック振動子および C_{G3} 、 C_{D3} により変化します。

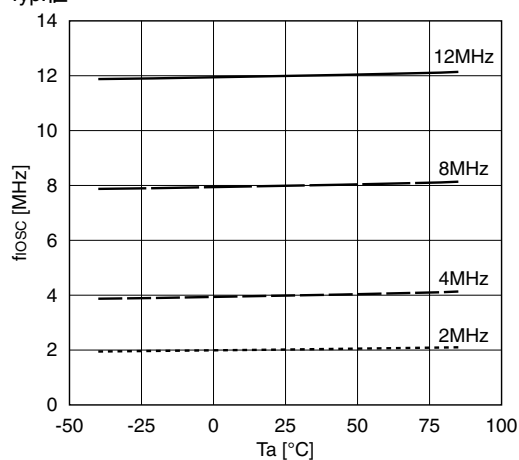
IOSC発振

特記なき場合: $V_{DD} = 1.8V$, $V_{SS} = 0V$, $T_a = 25^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間	t_{sta}		—	—	5	μs
発振周波数	f_{iOSC}	IOSCSEL[1:0] = 0x3	1.86	2	2.14	MHz
		IOSCSEL[1:0] = 0x2	3.76	4	4.24	MHz
		IOSCSEL[1:0] = 0x0	6.8	8	9.2	MHz
		IOSCSEL[1:0] = 0x1	11.4	12	12.6	MHz

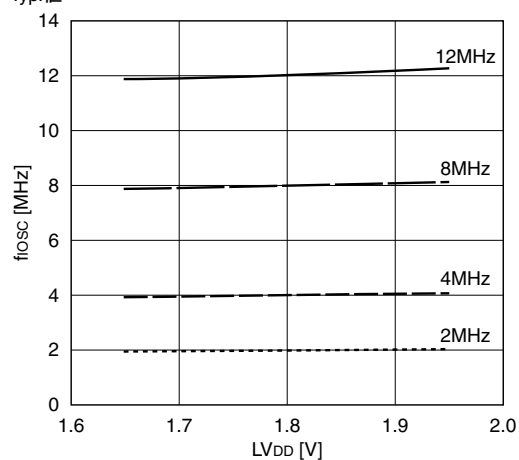
IOSC発振周波数対温度特性

Typ.値



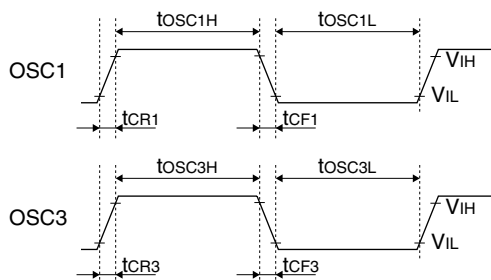
IOSC発振周波数対電圧特性

Typ.値



24.6 外部クロック入力特性

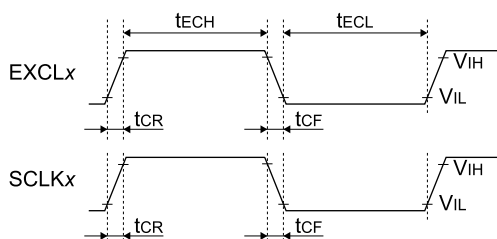
OSC1, OSC3



特記なき場合: $V_{DD} = 1.65 \sim 1.95V$, $V_{SS} = 0V$, $V_{IH} = 0.8V_{DD}$, $V_{IL} = 0.2V_{DD}$, $T_a = -40 \sim 85^\circ C$

項目	記号	Min.	Typ.	Max.	単位
OSC1入力Highパルス幅	tOSC1H	9	—	—	μs
OSC1入力Lowパルス幅	tOSC1L	9	—	—	μs
OSC1入力立ち上がり時間	tCR1	—	—	200	ns
OSC1入力立ち下がり時間	tCF1	—	—	200	ns
OSC3入力Highパルス幅	tOSC3H	19	—	—	ns
OSC3入力Lowパルス幅	tOSC3L	19	—	—	ns
OSC3入力立ち上がり時間	tCR3	—	—	10	ns
OSC3入力立ち下がり時間	tCF3	—	—	10	ns

EXCL, SCLK



特記なき場合: $HV_{DD} = 1.65 \sim 5.5V$, $V_{SS} = 0V$, $V_{IH} = 0.8HV_{DD}$, $V_{IL} = 0.2HV_{DD}$, $T_a = -40 \sim 85^\circ C$

項目	記号	Min.	Typ.	Max.	単位
EXCLx入力Highパルス幅	tECH	21	—	—	ns
EXCLx入力Lowパルス幅	tECL	21	—	—	ns
UART転送レート	Ru	—	—	960000	bps
UART転送レート (IrDAモード時)	RuIrDA	—	—	115200	bps
入力立ち上がり時間	tCR	—	—	80	ns
入力立ち下がり時間	tCF	—	—	80	ns

24.7 システムクロック特性

特記なき場合: $V_{DD} = 1.65 \sim 1.95V$, $V_{SS} = 0V$

項目	記号	条件	Min.	Typ.	Max.	単位
システムクロック周波数	f _{SYCLK}	RDWAIT[1:0] = 0x1, $T_a = 0 \sim 70^\circ C$	—	—	14.75	MHz
		RDWAIT[1:0] = 0x2, $T_a = 0 \sim 70^\circ C$	—	—	22.5	MHz
		RDWAIT[1:0] = 0x3, $T_a = 0 \sim 70^\circ C$	—	—	24	MHz
		RDWAIT[1:0] = 0x1, $T_a = -40 \sim 85^\circ C$	—	—	14.6	MHz
		RDWAIT[1:0] = 0x2, $T_a = -40 \sim 85^\circ C$	—	—	22.5	MHz
		RDWAIT[1:0] = 0x3, $T_a = -40 \sim 85^\circ C$	—	—	24	MHz

24.8 入出力端子特性

全電圧共通項目

特記なき場合: $HV_{DD} = AV_{DD} = 1.65 \sim 5.5V$, $V_{DD} = 1.65 \sim 1.95V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
端子容量	C _{IN}	f = 1MHz, $HV_{DD} = 0V$	—	—	8	pF
リセットLowパルス幅	t _{SR}	$V_{IH} = 0.8HV_{DD}$, $V_{IL} = 0.2HV_{DD}$	100	—	—	μs
入力リーク電流	I _{LI}	Pxx, #RESET	-100	—	100	nA

24 電気的特性

特記なき場合: $HV_{DD} = AV_{DD} = LV_{DD} = 1.65 \sim 1.95V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
Highレベル出力電流	I_{OH}	$V_{OH} = HV_{DD} - 0.4V$, $HV_{DD} = \text{Min.}$	-0.4	—	—	mA
Lowレベル出力電流	I_{OL}	$V_{OL} = 0.4V$, $HV_{DD} = \text{Min.}$	0.4	—	—	mA
ポジティブトリガ電圧	V_{T+}	LVC MOSシュミット	0.66	—	1.36	V
ネガティブトリガ電圧	V_{T-}	LVC MOSシュミット	0.42	—	1.07	V
ヒステリシス電圧	ΔV	LVC MOSシュミット	0.17	—	—	V
プルアップ抵抗	R_{PU}	Type 1, $V_I = 0V$	120	300	1200	$k\Omega$
プルダウン抵抗	R_{PD}	Type 1, $V_I = HV_{DD}$	120	300	1200	$k\Omega$

特記なき場合: $HV_{DD} = AV_{DD} = 2.2 \sim 2.6V$, $LV_{DD} = 1.65 \sim 1.95V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
Highレベル出力電流	I_{OH}	$V_{OH} = HV_{DD} - 0.4V$, $HV_{DD} = \text{Min.}$	-0.8	—	—	mA
Lowレベル出力電流	I_{OL}	$V_{OL} = 0.4V$, $HV_{DD} = \text{Min.}$	0.8	—	—	mA
ポジティブトリガ電圧	V_{T+}	LVC MOSシュミット	0.88	—	1.82	V
ネガティブトリガ電圧	V_{T-}	LVC MOSシュミット	0.55	—	1.43	V
ヒステリシス電圧	ΔV	LVC MOSシュミット	0.22	—	—	V
プルアップ抵抗	R_{PU}	Type 1, $V_I = 0V$	60	150	450	$k\Omega$
プルダウン抵抗	R_{PD}	Type 1, $V_I = HV_{DD}$	60	150	450	$k\Omega$

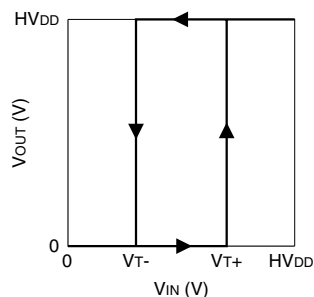
特記なき場合: $HV_{DD} = AV_{DD} = 3.0 \sim 3.6V$, $LV_{DD} = 1.65 \sim 1.95V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
Highレベル出力電流	I_{OH}	$V_{OH} = HV_{DD} - 0.4V$, $HV_{DD} = \text{Min.}$	-1.4	—	—	mA
Lowレベル出力電流	I_{OL}	$V_{OL} = 0.4V$, $HV_{DD} = \text{Min.}$	1.4	—	—	mA
ポジティブトリガ電圧	V_{T+}	LVC MOSシュミット	1.2	—	2.52	V
ネガティブトリガ電圧	V_{T-}	LVC MOSシュミット	0.75	—	1.98	V
ヒステリシス電圧	ΔV	LVC MOSシュミット	0.3	—	—	V
プルアップ抵抗	R_{PU}	Type 1, $V_I = 0V$	32	80	224	$k\Omega$
プルダウン抵抗	R_{PD}	Type 1, $V_I = HV_{DD}$	32	80	224	$k\Omega$

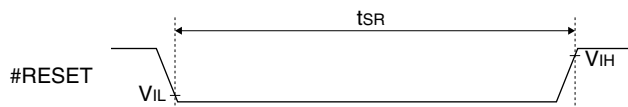
特記なき場合: $HV_{DD} = AV_{DD} = 4.5 \sim 5.5V$, $LV_{DD} = 1.65 \sim 1.95V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
Highレベル出力電流	I_{OH}	$V_{OH} = HV_{DD} - 0.4V$, $HV_{DD} = \text{Min.}$	-2	—	—	mA
Lowレベル出力電流	I_{OL}	$V_{OL} = 0.4V$, $HV_{DD} = \text{Min.}$	2	—	—	mA
ポジティブトリガ電圧	V_{T+}	LVC MOSシュミット	2	—	4	V
ネガティブトリガ電圧	V_{T-}	LVC MOSシュミット	0.8	—	3.1	V
ヒステリシス電圧	ΔV	LVC MOSシュミット	0.3	—	—	V
プルアップ抵抗	R_{PU}	Type 1, $V_I = 0V$	20	50	120	$k\Omega$
プルダウン抵抗	R_{PD}	Type 1, $V_I = HV_{DD}$	20	50	120	$k\Omega$

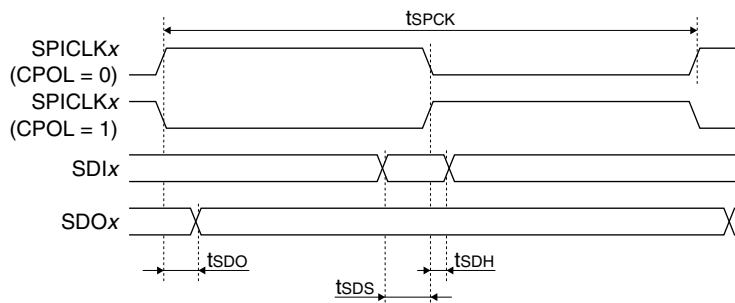
シュミット入力スレショルド電圧



リセットパルス



24.9 SPI特性



マスタモード時

特記なき場合: $HV_{DD} = 1.65 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$

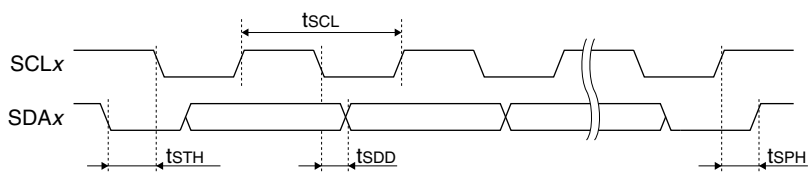
項目	記号	Min.	Typ.	Max.	単位
SPICLKxサイクル時間	t_{SPCK}	250	—	—	ns
SDIxセットアップ時間	t_{SDS}	70	—	—	ns
SDIxホールド時間	t_{SDH}	10	—	—	ns
SDOx出力遅延時間	t_{SDO}	—	—	20	ns

スレーブモード時

特記なき場合: $HV_{DD} = 1.65 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$

項目	記号	Min.	Typ.	Max.	単位
SPICLKxサイクル時間	t_{SPCK}	250	—	—	ns
SDIxセットアップ時間	t_{SDS}	10	—	—	ns
SDIxホールド時間	t_{SDH}	10	—	—	ns
SDOx出力遅延時間	t_{SDO}	—	—	80	ns

24.10 I²C特性



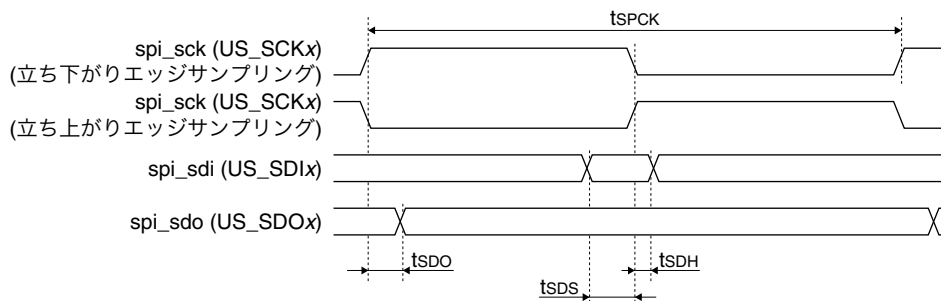
特記なき場合: $HV_{DD} = 1.65 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$

項目	記号	Min.	Typ.	Max.	単位
SCLサイクル時間	t_{SCL}	2500	—	—	ns
スタートコンディションホールド時間	t_{STH}	$1/f_{SYS}$	—	—	ns
データ出力遅延時間	t_{SDD}	$1/f_{SYS}$	—	—	ns
ストップコンディションホールド時間	t_{SPH}	$1/f_{SYS}$	—	—	ns

* f_{SYS} : システム動作クロック周波数

24.11 USI特性(S1C17564)

SPIマスタモード



SPIマスタモード(8または9ビット, ノーマルモード)

特記なき場合: $HV_{DD} = 1.65 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$

項目	記号	Min.	Typ.	Max.	単位
spi_sckサイクル時間	tSPCK	$85 + t_{PCLK}$	—	—	ns
spi_sdiセットアップ時間	tSDS	$85 + t_{PCLK}$	—	—	ns
spi_sdiホールド時間	tSDH	0	—	—	ns
spi_sdo出力遅延時間	tSDO	—	—	10	ns

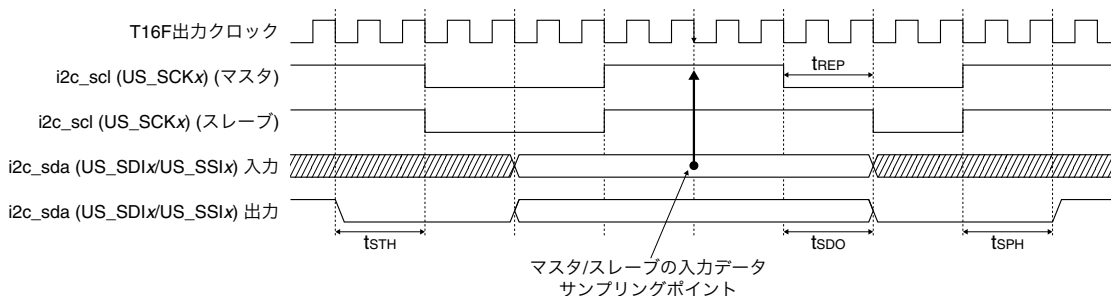
tPCLK: PCLK (CLG出力周辺モジュールクロック) クロックサイクル時間

SPIマスタモード(8または9ビット, ファストモード)

特記なき場合: $HV_{DD} = 1.65 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$

項目	記号	Min.	Typ.	Max.	単位
spi_sckサイクル時間	tSPCK	85	—	—	ns
spi_sdiセットアップ時間	tSDS	85	—	—	ns
spi_sdiホールド時間	tSDH	0	—	—	ns
spi_sdo出力遅延時間	tSDO	—	—	10	ns

I²Cマスタ/スレーブモード



I²Cマスタモード

特記なき場合: $HV_{DD} = 1.65 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$

項目	記号	Min.	Typ.	Max.	単位
i2c_sclサイクル時間	tsCL	2500	—	—	ns
i2c_sda出力遅延時間	tSDO	—	—	$2 * t_{T16}$	ns
スタートコンディションホールド時間	tSTH	$4 * t_{T16}$	—	—	ns
ストップコンディションホールド時間	tSPH	$3 * t_{T16}$	—	—	ns

I²Cスレーブモード

特記なき場合: $HV_{DD} = 1.65 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$

項目	記号	Min.	Typ.	Max.	単位
i2c_sclサイクル時間	tsCL	2500	—	—	ns
i2c_scl入力クロック応答遅延時間	tREP	—	—	$4 * t_{T16}$	ns
i2c_sda出力遅延時間	tSDO	—	—	$2 * t_{T16}$	ns
スタートコンディションホールド時間	tSTH	$7 * t_{PCLK}$	—	—	ns
ストップコンディションホールド時間	tSPH	$7 * t_{PCLK}$	—	—	ns

tPCLK: PCLK (CLG出力周辺モジュールクロック) クロックサイクル時間

tT16 = T16F出力クロックサイクル時間

24.12 A/D変換器特性

アナログ特性

特記なき場合: $AV_{DD} = 2.7 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$, $ADST[2:0] = 0x7$ (9サイクル)

項目	記号	条件	Min.	Typ.	Max.	単位
分解能	—	—	—	10	—	bit
A/D変換クロック周波数	f _{ADCLK}	—	10	—	2000	kHz
サンプリングレート *1	f _{SMP}	—	0.5	—	100	ksps
ゼロスケール誤差	E _{ZS}	$AV_{DD} = 2.7 \sim 3.6V$	—	—	±3	LSB
		$AV_{DD} = 3.6 \sim 5.5V$	—	—	±5	LSB
フルスケール誤差	E _{FS}	$AV_{DD} = 2.7 \sim 3.6V$	—	—	±3	LSB
		$AV_{DD} = 3.6 \sim 5.5V$	—	—	±5	LSB
積分直線性誤差 *2	E _{INL}	—	—	—	±1.5	LSB
微分直線性誤差	E _{DNL}	—	—	—	±1	LSB
アナログ入力抵抗	R _{AIN}	—	—	12	20	kΩ
アナログ入力容量	C _{AIN}	—	—	16	18	pF

*1 Min.値はA/D変換器クロック周波数f_{ADCLK} = 10kHzの場合。Max.値はA/D変換器クロック周波数f_{ADCLK} = 2MHzの場合

*2 積分直線性誤差は、エンドポイントラインで測定されています。

*3 FSEL[1:0]とXPD[1:0]にAV_{DD}電圧ごとに指定された値を設定した場合に限ります。

A/D変換器消費電流

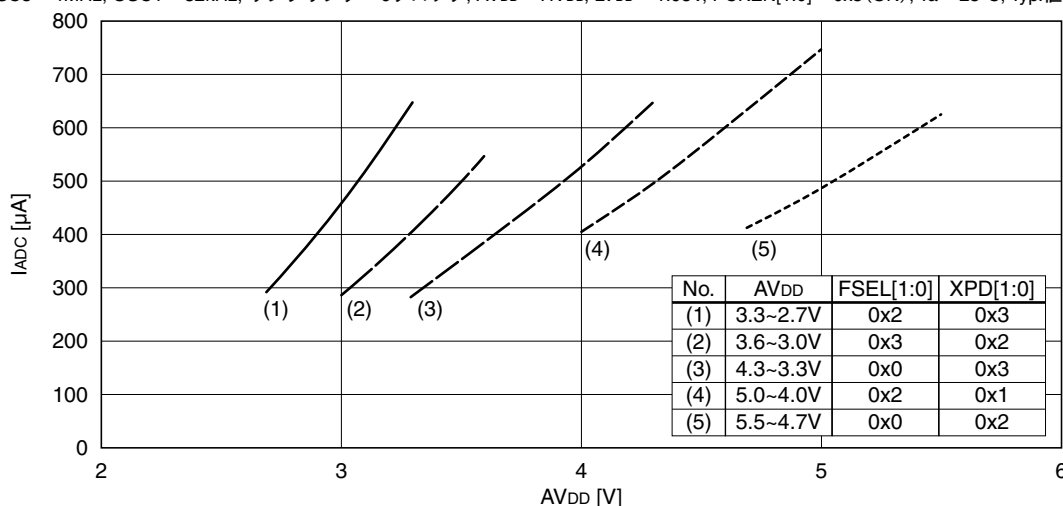
特記なき場合: $T_a = 25^\circ C$, $ADST[2:0] = 0x7$ (9サイクル), $PCKEN[1:0] = 0x3$ (ON), $A_{IN} = AV_{DD}/2V$, f_{SMP} = 100ksps

項目	記号	条件			Min.	Typ.	Max.	単位
		FSEL[1:0]	XPD[1:0]	AV _{DD}				
A/D変換器動作電流 *1	I _{ADC}	0x2	0x3	2.7	—	290	—	μA
				3	—	450	—	μA
				3.3	—	640	—	μA
		0x3	0x2	3	—	280	—	μA
				3.3	—	400	—	μA
				3.6	—	540	—	μA
		0x0	0x3	3.3	—	280	—	μA
				3.6	—	380	—	μA
				4	—	520	—	μA
				4.3	—	640	—	μA
		0x2	0x1	4	—	400	—	μA
				4.3	—	490	—	μA
				4.7	—	630	—	μA
				5	—	740	—	μA
		0x0	0x2	4.7	—	410	—	μA
				5	—	480	—	μA
				5.5	—	620	—	μA

*1 A/D変換動作時にHALT時(PCKEN[1:0] = 0x3 (ON)のみ)/動作時消費電流に加算されます。

A/D変換器消費電流対電圧特性

OSC3 = 4MHz, OSC1 = 32kHz, サンプリング = 9クロック, $AV_{DD} = HV_{DD}$, $LV_{DD} = 1.95V$, $PCKEN[1:0] = 0x3$ (ON), $T_a = 25^\circ C$, Typ.値



24.13 Flashメモリ特性

特記なき場合: LVDD = 1.65~1.95V, VPP = 7.0V (プログラミング時)/7.5V (消去時), VSS = 0V, Ta = 10~40°C

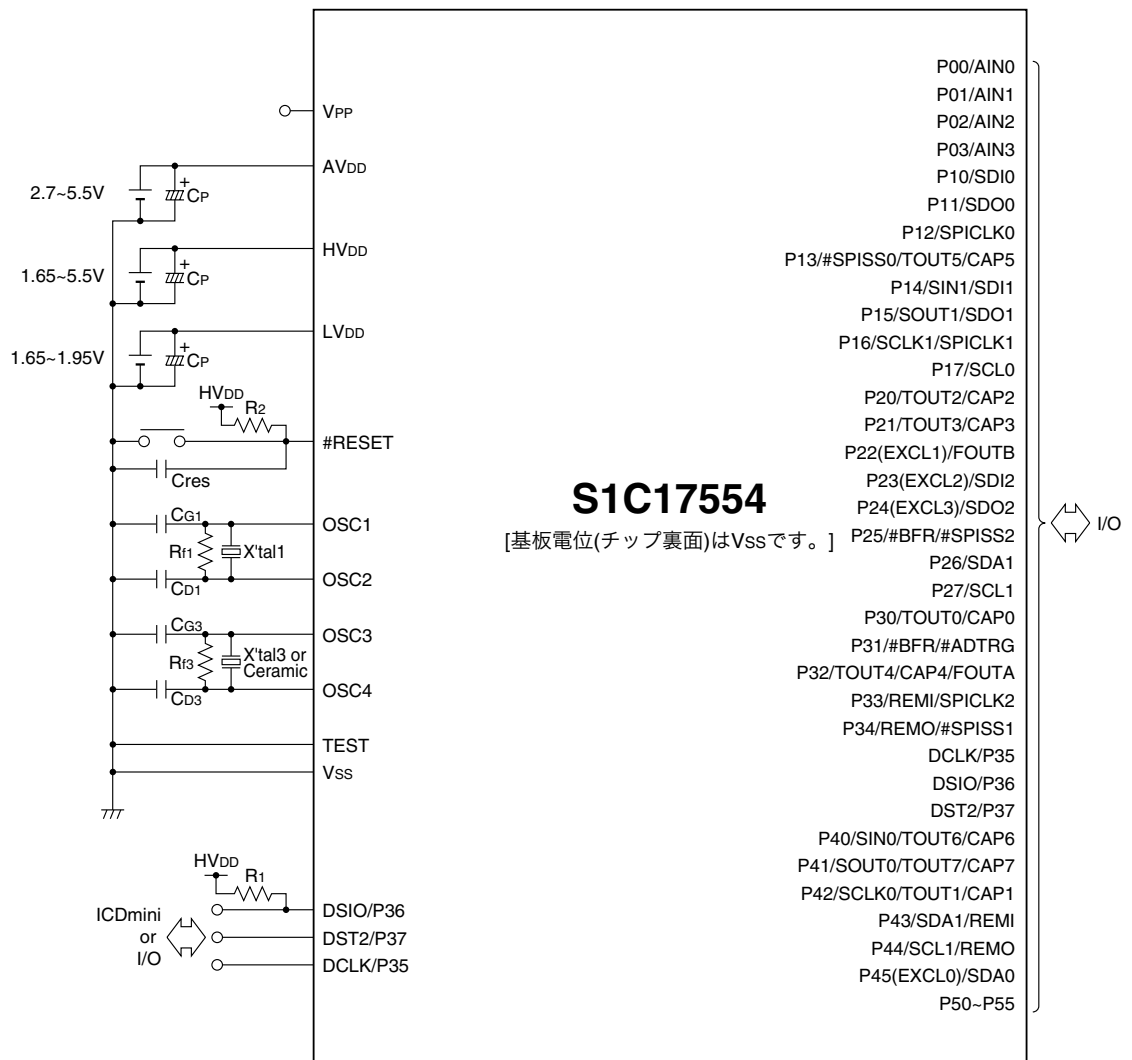
項 目	記号	条 件	Min.	Typ.	Max.	単位
書き換え回数 *1	CPEP	データ保持10年保証時	10 *2	—	—	回

*1 消去 + 書き込みを1回とする。工場での書き込みも回数に含む。

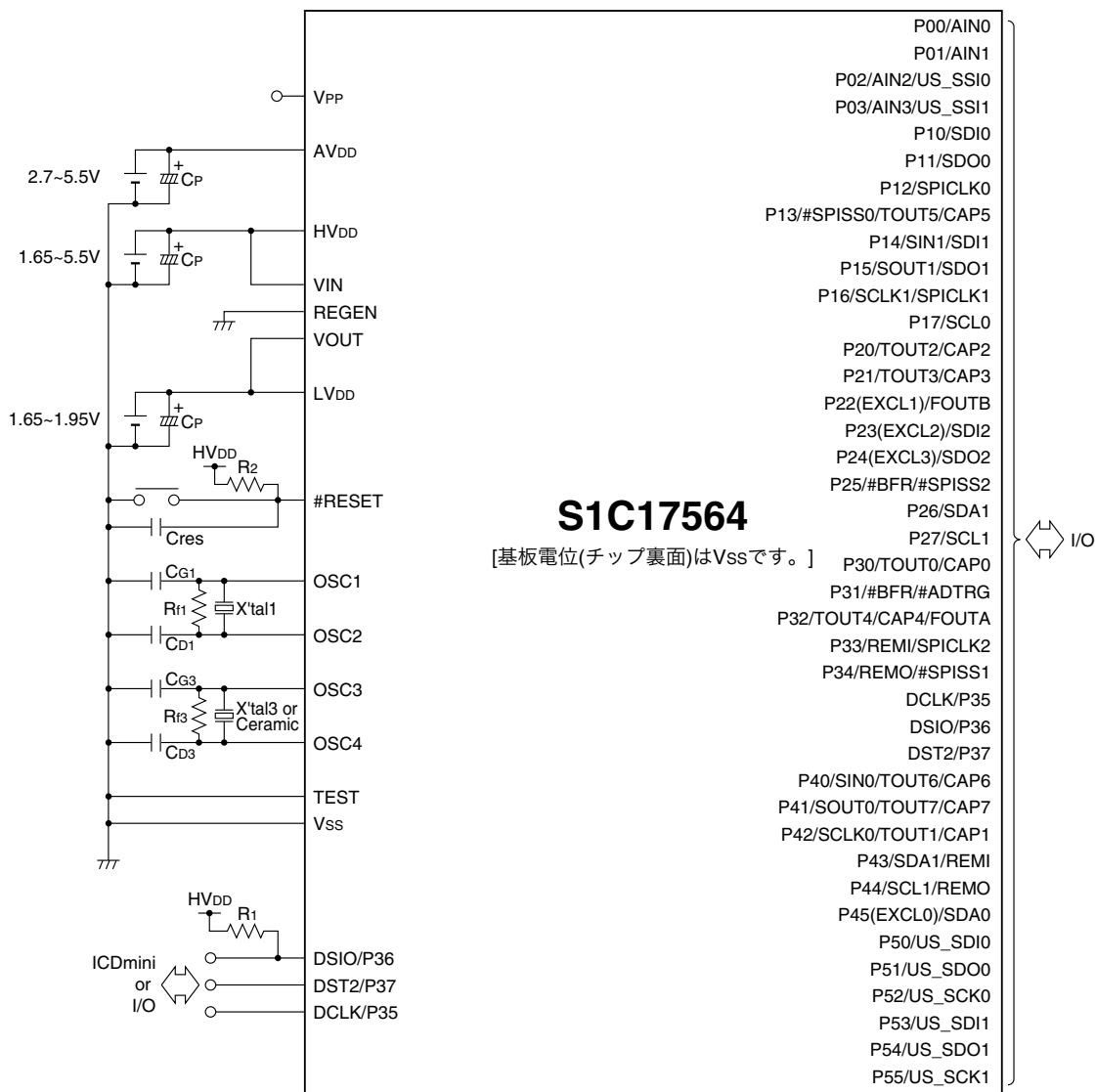
*2 FLSIはV1.0以降を使用した場合に限る。

25 基本外部結線図

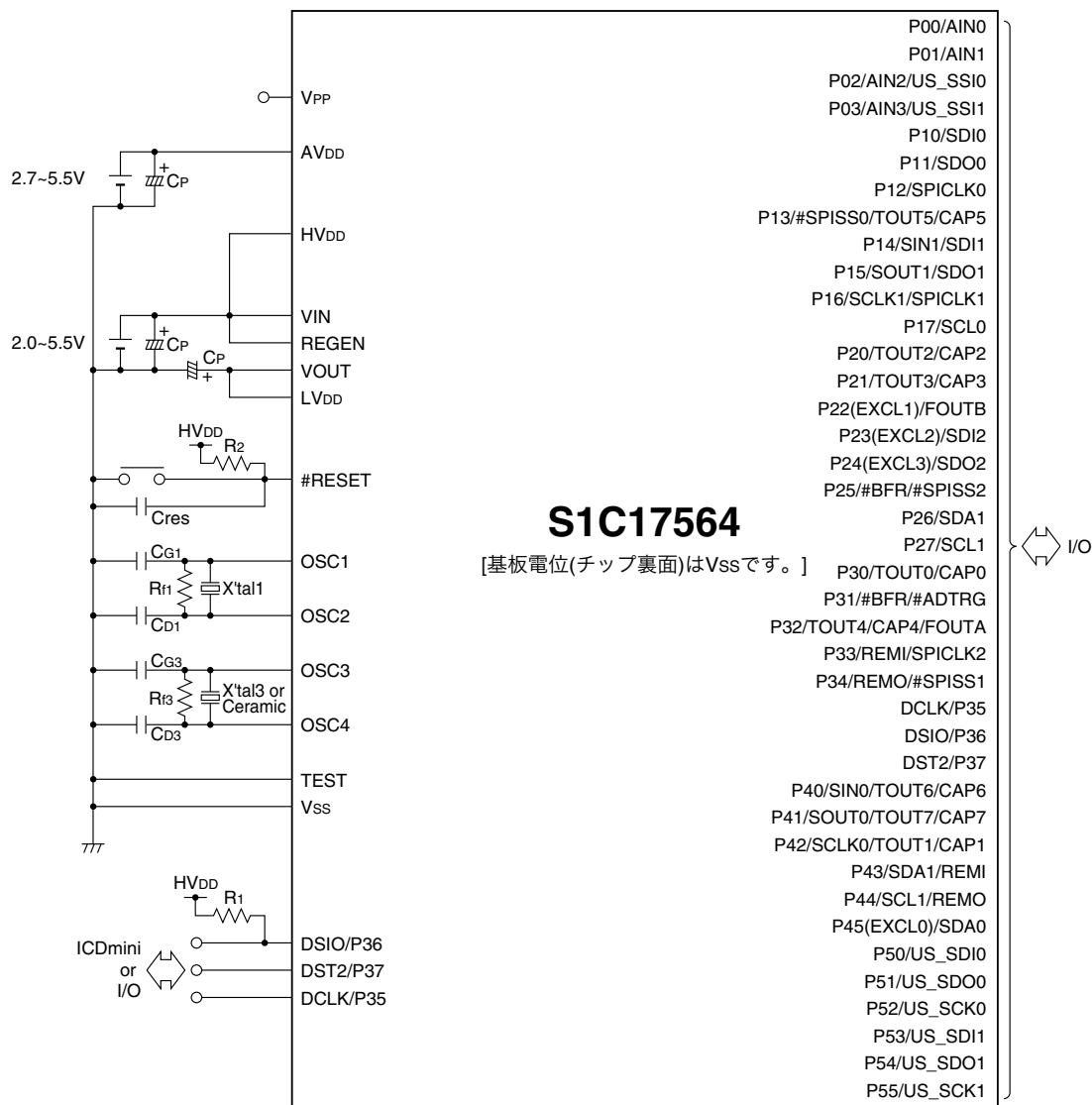
S1C17554



S1C17564 (レギュレータ未使用時)



S1C17564(レギュレータ使用時)



外付部品推奨値

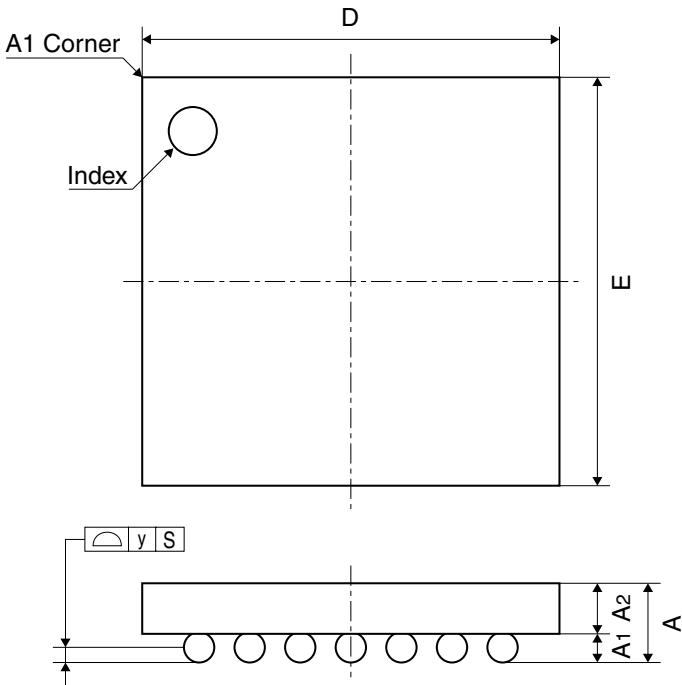
記号	名称	推奨値
X'tal1	水晶振動子	32.768kHz
C _{G1} *1	ゲートキャパシタ	5~25pF
C _{D1} *1	ドレインキャパシタ	5~25pF
R _{f1}	帰還抵抗	10MΩ
X'tal3	水晶振動子	0.2~24MHz
Ceramic	セラミック振動子	0.2~24MHz
C _{G3} *1, 2	ゲートキャパシタ	10~30pF
C _{D3} *1, 2	ドレインキャパシタ	10~30pF
R _{f3}	帰還抵抗	1MΩ
CP	電源キャパシタ	1μF
C _{res}	#RESET端子キャパシタ	0.47μF
R ₁	ブルアップ抵抗	10kΩ
R ₂	ブルアップ抵抗	10kΩ

*1 この容量値には基板の浮遊容量も含まれます。最適な容量値は振動子メーカーにお問い合わせください。

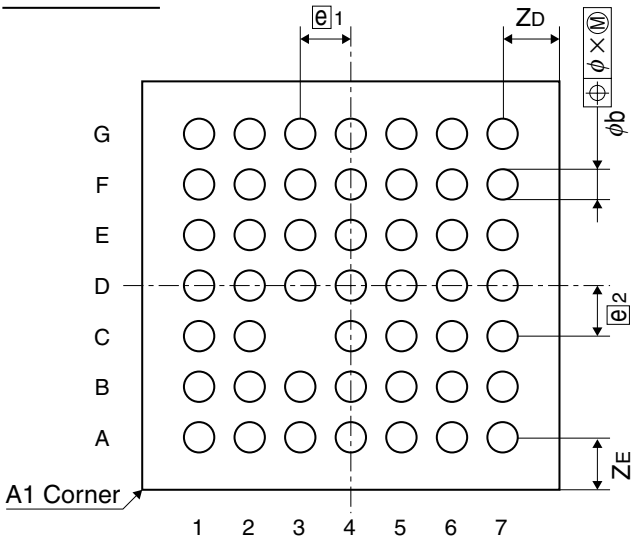
*2 セラミック振動子にはキャパシタ内蔵タイプもあります。

WCSP-48パッケージ(S1C17554)

Top View



Bottom View



Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	3.037	3.137	3.197
E	3.037	3.137	3.197
A	0.630	0.690	0.745
A1	0.170	0.200	0.225
A2	0.460	0.490	0.520
e_1	—	0.40	—
e_2	—	0.40	—
b	0.200	0.230	0.260
X	—	—	0.08
y	—	—	0.05
ZD	—	0.369	—
ZE	—	0.369	—

Appendix A I/Oレジスタ一覧

内蔵周辺回路エリア 1 (0x4000~0x43ff)

周辺回路	アドレス	レジスタ名	機能
MISCレジスタ (8ビットデバイス)	0x4020	MISC_DMODE1	Debug Mode Control Register 1
			デバッグモード時の周辺回路動作選択 (PCLK)
UART (IrDA付き) Ch.0 (8ビットデバイス)	0x4100	UART_ST0	UART Ch.0 Status Register
	0x4101	UART_TXD0	UART Ch.0 Transmit Data Register
	0x4102	UART_RXD0	UART Ch.0 Receive Data Register
	0x4103	UART_MOD0	UART Ch.0 Mode Register
	0x4104	UART_CTL0	UART Ch.0 Control Register
	0x4105	UART_EXP0	UART Ch.0 Expansion Register
	0x4106	UART_BR0	UART Ch.0 Baud Rate Register
	0x4107	UART_FMD0	UART Ch.0 Fine Mode Register
			ファインモードの設定
UART (IrDA付き) Ch.1 (8ビットデバイス)	0x4120	UART_ST1	UART Ch.1 Status Register
	0x4121	UART_TXD1	UART Ch.1 Transmit Data Register
	0x4122	UART_RXD1	UART Ch.1 Receive Data Register
	0x4123	UART_MOD1	UART Ch.1 Mode Register
	0x4124	UART_CTL1	UART Ch.1 Control Register
	0x4125	UART_EXP1	UART Ch.1 Expansion Register
	0x4126	UART_BR1	UART Ch.1 Baud Rate Register
	0x4127	UART_FMD1	UART Ch.1 Fine Mode Register
			ファインモードの設定
ファインモード 16ビットタイマ Ch.0 (16ビットデバイス)	0x4200	T16F_CLK0	T16F Ch.0 Count Clock Select Register
	0x4202	T16F_TR0	T16F Ch.0 Reload Data Register
	0x4204	T16F_TC0	T16F Ch.0 Counter Data Register
	0x4206	T16F_CTL0	T16F Ch.0 Control Register
	0x4208	T16F_INT0	T16F Ch.0 Interrupt Control Register
			割り込みの制御
16ビットタイマ Ch.0 (16ビットデバイス)	0x4220	T16_CLK0	T16 Ch.0 Count Clock Select Register
	0x4222	T16_TR0	T16 Ch.0 Reload Data Register
	0x4224	T16_TC0	T16 Ch.0 Counter Data Register
	0x4226	T16_CTL0	T16 Ch.0 Control Register
	0x4228	T16_INT0	T16 Ch.0 Interrupt Control Register
			割り込みの制御
16ビットタイマ Ch.1 (16ビットデバイス)	0x4240	T16_CLK1	T16 Ch.1 Count Clock Select Register
	0x4242	T16_TR1	T16 Ch.1 Reload Data Register
	0x4244	T16_TC1	T16 Ch.1 Counter Data Register
	0x4246	T16_CTL1	T16 Ch.1 Control Register
	0x4248	T16_INT1	T16 Ch.1 Interrupt Control Register
			割り込みの制御
16ビットタイマ Ch.2 (16ビットデバイス)	0x4260	T16_CLK2	T16 Ch.2 Count Clock Select Register
	0x4262	T16_TR2	T16 Ch.2 Reload Data Register
	0x4264	T16_TC2	T16 Ch.2 Counter Data Register
	0x4266	T16_CTL2	T16 Ch.2 Control Register
	0x4268	T16_INT2	T16 Ch.2 Interrupt Control Register
			割り込みの制御
ファインモード 16ビットタイマ Ch.1 (16ビットデバイス)	0x4280	T16F_CLK1	T16F Ch.1 Count Clock Select Register
	0x4282	T16F_TR1	T16F Ch.1 Reload Data Register
	0x4284	T16F_TC1	T16F Ch.1 Counter Data Register
	0x4286	T16F_CTL1	T16F Ch.1 Control Register
	0x4288	T16F_INT1	T16F Ch.1 Interrupt Control Register
			割り込みの制御
割り込み コントローラ (16ビットデバイス)	0x4306	ITC_LV0	Interrupt Level Setup Register 0
	0x4308	ITC_LV1	Interrupt Level Setup Register 1
	0x430a	ITC_LV2	Interrupt Level Setup Register 2
	0x430c	ITC_LV3	Interrupt Level Setup Register 3
	0x430e	ITC_LV4	Interrupt Level Setup Register 4
			T16F Ch.0 & Ch.1/USI Ch.0 & Ch.1、T16 Ch.0 割り込みレベルの設定
	0x4310	ITC_LV5	Interrupt Level Setup Register 5
			T16 Ch.1、T16 Ch.2/T16A Ch.3割り込みレベ ルの設定
	0x4312	ITC_LV6	Interrupt Level Setup Register 6
	0x4314	ITC_LV7	Interrupt Level Setup Register 7
	0x4316	ITC_LV8	Interrupt Level Setup Register 8
			REMC/SPI Ch.1、T16A Ch.1割り込みレベルの 設定
	0x4318	ITC_LV9	Interrupt Level Setup Register 9
	0x431a	ITC_LV10	Interrupt Level Setup Register 10
	0x431c	ITC_LV11	Interrupt Level Setup Register 11
			I2CS割り込みレベルの設定
SPI Ch.0 (16ビットデバイス)	0x4320	SPI_ST0	SPI Ch.0 Status Register
	0x4322	SPI_TXD0	SPI Ch.0 Transmit Data Register
	0x4324	SPI_RXD0	SPI Ch.0 Receive Data Register
	0x4326	SPI_CTL0	SPI Ch.0 Control Register
			SPIモードとデータ転送許可の設定

Appendix A I/Oレジスタ一覧

周辺回路	アドレス	レジスタ名		機 能
I ² Cマスタ (16ビットデバイス)	0x4340	I2CM_EN	I ² C Master Enable Register	I ² Cマスタモジュールイネーブル
	0x4342	I2CM_CTL	I ² C Master Control Register	I ² Cマスタの制御と転送状態の表示
	0x4344	I2CM_DAT	I ² C Master Data Register	送信データ
	0x4346	I2CM_ICTL	I ² C Master Interrupt Control Register	I ² Cマスタ割り込みの制御
I ² Cスレーブ (16ビットデバイス)	0x4360	I2CS_TRNS	I ² C Slave Transmit Data Register	I ² Cスレーブ送信データ
	0x4362	I2CS_RECV	I ² C Slave Receive Data Register	I ² Cスレーブ受信データ
	0x4364	I2CS_SADRS	I ² C Slave Address Setup Register	I ² Cスレーブアドレスの設定
	0x4366	I2CS_CTL	I ² C Slave Control Register	I ² Cスレーブの制御
	0x4368	I2CS_STAT	I ² C Slave Status Register	I ² Cスレーブのバスステータスの表示
	0x436a	I2CS_ASTAT	I ² C Slave Access Status Register	I ² Cスレーブのアクセスステータスの表示
	0x436c	I2CS_ICTL	I ² C Slave Interrupt Control Register	I ² Cスレーブ割り込みの制御
SPI Ch.1 (16ビットデバイス)	0x4380	SPI_ST1	SPI Ch.1 Status Register	転送、バッファステータスの表示
	0x4382	SPI_TXD1	SPI Ch.1 Transmit Data Register	送信データ
	0x4384	SPI_RXD1	SPI Ch.1 Receive Data Register	受信データ
	0x4386	SPI_CTL1	SPI Ch.1 Control Register	SPIモードとデータ転送許可の設定
SPI Ch.2 (16ビットデバイス)	0x43a0	SPI_ST2	SPI Ch.2 Status Register	転送、バッファステータスの表示
	0x43a2	SPI_TXD2	SPI Ch.2 Transmit Data Register	送信データ
	0x43a4	SPI_RXD2	SPI Ch.2 Receive Data Register	受信データ
	0x43a6	SPI_CTL2	SPI Ch.2 Control Register	SPIモードとデータ転送許可の設定

内蔵周辺回路エリア 2 (0x5000~0x5fff)

周辺回路	アドレス	レジスタ名		機 能
計時タイマ (8ビットデバイス)	0x5000	CT_CTL	Clock Timer Control Register	タイマのリセットとRUN/STOP制御
	0x5001	CT_CNT	Clock Timer Counter Register	カウンタデータ
	0x5002	CT_IMSK	Clock Timer Interrupt Mask Register	割り込みマスクの設定
	0x5003	CT_IFLG	Clock Timer Interrupt Flag Register	割り込み発生状態の表示/リセット
ストップウォッチ タイマ (8ビットデバイス)	0x5020	SWT_CTL	Stopwatch Timer Control Register	タイマのリセットとRUN/STOP制御
	0x5021	SWT_BCNT	Stopwatch Timer BCD Counter Register	BCDカウンタデータ
	0x5022	SWT_IMSK	Stopwatch Timer Interrupt Mask Register	割り込みマスクの設定
	0x5023	SWT_IFLG	Stopwatch Timer Interrupt Flag Register	割り込み発生状態の表示/リセット
ウォッチドッグ タイマ (8ビットデバイス)	0x5040	WDT_CTL	Watchdog Timer Control Register	タイマのリセットとRUN/STOP制御
	0x5041	WDT_ST	Watchdog Timer Status Register	タイマモードの設定とNMI状態表示
クロック ジェネレータ (8ビットデバイス) (T16A, UART)	0x5060	CLG_SRC	Clock Source Select Register	クロックソースの選択
	0x5061	CLG_CTL	Oscillation Control Register	発振制御
	0x5062	CLG_NFEN	Noise Filter Enable Register	発振安定待ち回路/ノイズフィルタのON/OFF
	0x5064	CLG_FOUTA	FOUTA Control Register	FOUTAクロック出力の制御
	0x5065	CLG_FOUTB	FOUTB Control Register	FOUTBクロック出力の制御
	0x5068	T16A_CLK0	T16A Clock Control Register Ch.0	T16A Ch.0クロックの制御
	0x5069	T16A_CLK1	T16A Clock Control Register Ch.1	T16A Ch.1クロックの制御
	0x506a	T16A_CLK2	T16A Clock Control Register Ch.2	T16A Ch.2クロックの制御
	0x506b	T16A_CLK3	T16A Clock Control Register Ch.3	T16A Ch.3クロックの制御
	0x506c	UART_CLK0	UART Ch.0 Clock Control Register	ボーレートジェネレータクロックの選択
	0x506d	UART_CLK1	UART Ch.1 Clock Control Register	ボーレートジェネレータクロックの選択
	0x506e	CLG_IOSC	IOSC Control Register	IOSC発振周波数の設定
	0x5080	CLG_PCLK	PCLK Control Register	PCLK供給制御
	0x5081	CLG_CCLK	CCLK Control Register	CCLK分周比の設定
USI Ch.0 (8ビットデバイス)	0x50c0	USI_GCFG0	USI Ch.0 Global Configuration Register	インタフェースモード、MSB/LSBモードの設定
	0x50c1	USI_TD0	USI Ch.0 Transmit Data Buffer Register	送信データバッファ
	0x50c2	USI_RD0	USI Ch.0 Receive Data Buffer Register	受信データバッファ
	0x50c3	USI_UCFG0	USI Ch.0 UART Mode Configuration Register	UART転送条件の設定
	0x50c4	USI_UIE0	USI Ch.0 UART Mode Interrupt Enable Register	割り込みの許可
	0x50c5	USI_UIF0	USI Ch.0 UART Mode Interrupt Flag Register	割り込み発生状態の表示
	0x50c6	USI_SCFG0	USI Ch.0 SPI Master Mode Configuration Register	SPI転送条件の設定
	0x50c7	USI_SIE0	USI Ch.0 SPI Master Mode Interrupt Enable Register	割り込みの許可
	0x50c8	USI_SIF0	USI Ch.0 SPI Master Mode Interrupt Flag Register	割り込み発生状態の表示
	0x50ca	USI_IMTG0	USI Ch.0 I ² C Master Mode Trigger Register	I ² Cマスタ動作の開始
	0x50cb	USI_IMIE0	USI Ch.0 I ² C Master Mode Interrupt Enable Register	割り込みの許可
	0x50cc	USI_IMIF0	USI Ch.0 I ² C Master Mode Interrupt Flag Register	割り込み発生状態の表示
	0x50cd	USI_ISTG0	USI Ch.0 I ² C Slave Mode Trigger Register	I ² Cスレーブ動作の開始
	0x50ce	USI_ISIE0	USI Ch.0 I ² C Slave Mode Interrupt Enable Register	割り込みの許可
	0x50cf	USI_ISIF0	USI Ch.0 I ² C Slave Mode Interrupt Flag Register	割り込み発生状態の表示

周辺回路	アドレス	レジスタ名	機能
USI Ch.1 (8ビットデバイス)	0x50e0	USI_GCFG1	USI Ch.1 Global Configuration Register
	0x50e1	USI_TD1	USI Ch.1 Transmit Data Buffer Register
	0x50e2	USI_RD1	USI Ch.1 Receive Data Buffer Register
	0x50e3	USI_UCFG1	USI Ch.1 UART Mode Configuration Register
	0x50e4	USI_UIE1	USI Ch.1 UART Mode Interrupt Enable Register
	0x50e5	USI_UIF1	USI Ch.1 UART Mode Interrupt Flag Register
	0x50e6	USI_SCFG1	USI Ch.1 SPI Master Mode Configuration Register
	0x50e7	USI_SIE1	USI Ch.1 SPI Master Mode Interrupt Enable Register
	0x50e8	USI_SIF1	USI Ch.1 SPI Master Mode Interrupt Flag Register
	0x50ea	USI_IMTG1	USI Ch.1 I ² C Master Mode Trigger Register
	0x50eb	USI_IMIE1	USI Ch.1 I ² C Master Mode Interrupt Enable Register
	0x50ec	USI_IMIF1	USI Ch.1 I ² C Master Mode Interrupt Flag Register
	0x50ed	USI_ISTG1	USI Ch.1 I ² C Slave Mode Trigger Register
	0x50ee	USI_ISIE1	USI Ch.1 I ² C Slave Mode Interrupt Enable Register
	0x50ef	USI_ISIF1	USI Ch.1 I ² C Slave Mode Interrupt Flag Register
	0x5121	VD1_CTL	V _{D1} Control Register
			レギュレータ動作モードの制御
Pポート& ポートMUX (8ビットデバイス)	0x5200	P0_IN	P0 Port Input Data Register
	0x5201	P0_OUT	P0 Port Output Data Register
	0x5202	P0_OEN	P0 Port Output Enable Register
	0x5203	P0_PU	P0 Port Pull-up Control Register
	0x5205	P0_IMSK	P0 Port Interrupt Mask Register
	0x5206	P0_EDGE	P0 Port Interrupt Edge Select Register
	0x5207	P0_IFLG	P0 Port Interrupt Flag Register
	0x5208	P0_CHAT	P0 Port Chattering Filter Control Register
	0x5209	P0_KRST	P0 Port Key-Entry Reset Configuration Register
	0x520a	P0_IEN	P0 Port Input Enable Register
	0x5210	P1_IN	P1 Port Input Data Register
	0x5211	P1_OUT	P1 Port Output Data Register
	0x5212	P1_OEN	P1 Port Output Enable Register
	0x5213	P1_PU	P1 Port Pull-up Control Register
	0x5215	P1_IMSK	P1 Port Interrupt Mask Register
	0x5216	P1_EDGE	P1 Port Interrupt Edge Select Register
	0x5217	P1_IFLG	P1 Port Interrupt Flag Register
	0x5218	P1_CHAT	P1 Port Chattering Filter Control Register
	0x521a	P1_IEN	P1 Port Input Enable Register
	0x5220	P2_IN	P2 Port Input Data Register
	0x5221	P2_OUT	P2 Port Output Data Register
	0x5222	P2_OEN	P2 Port Output Enable Register
	0x5223	P2_PU	P2 Port Pull-up Control Register
	0x5225	P2_IMSK	P2 Port Interrupt Mask Register
	0x5226	P2_EDGE	P2 Port Interrupt Edge Select Register
	0x5227	P2_IFLG	P2 Port Interrupt Flag Register
	0x5228	P2_CHAT	P2 Port Chattering Filter Control Register
	0x522a	P2_IEN	P2 Port Input Enable Register
	0x5230	P3_IN	P3 Port Input Data Register
	0x5231	P3_OUT	P3 Port Output Data Register
	0x5232	P3_OEN	P3 Port Output Enable Register
	0x5233	P3_PU	P3 Port Pull-up Control Register
	0x5235	P3_IMSK	P3 Port Interrupt Mask Register
	0x5236	P3_EDGE	P3 Port Interrupt Edge Select Register
	0x5237	P3_IFLG	P3 Port Interrupt Flag Register
	0x5238	P3_CHAT	P3 Port Chattering Filter Control Register
	0x523a	P3_IEN	P3 Port Input Enable Register
	0x5240	P4_IN	P4 Port Input Data Register
	0x5241	P4_OUT	P4 Port Output Data Register
	0x5242	P4_OEN	P4 Port Output Enable Register
	0x5243	P4_PU	P4 Port Pull-up Control Register
	0x5245	P4_IMSK	P4 Port Interrupt Mask Register
	0x5246	P4_EDGE	P4 Port Interrupt Edge Select Register
	0x5247	P4_IFLG	P4 Port Interrupt Flag Register
	0x5248	P4_CHAT	P4 Port Chattering Filter Control Register
	0x524a	P4_IEN	P4 Port Input Enable Register

Appendix A I/Oレジスタ一覧

周辺回路	アドレス	レジスタ名		機 能
Pポート& ポートMUX (8ビットデバイス)	0x5250	P5_IN	P5 Port Input Data Register	P5ポート入力データ
	0x5251	P5_OUT	P5 Port Output Data Register	P5ポート出力データ
	0x5252	P5_OEN	P5 Port Output Enable Register	P5ポート出力イネーブル
	0x5253	P5_PU	P5 Port Pull-up Control Register	P5ポートのプルアップ制御
	0x5255	P5_IMSK	P5 Port Interrupt Mask Register	P5ポート割り込みマスクの設定
	0x5256	P5_EDGE	P5 Port Interrupt Edge Select Register	P5ポート割り込みエッジの選択
	0x5257	P5_IFLG	P5 Port Interrupt Flag Register	P5ポート割り込み発生状態の表示/リセット
	0x5258	P5_CHAT	P5 Port Chattering Filter Control Register	P5ポートチャタリング除去制御
	0x525a	P5_IEN	P5 Port Input Enable Register	P5ポート入力イネーブル
	0x52a0	P00_03PMUX	P0[3:0] Port Function Select Register	P0[3:0]ポート機能の選択
	0x52a2	P10_13PMUX	P1[3:0] Port Function Select Register	P1[3:0]ポート機能の選択
	0x52a3	P14_17PMUX	P1[7:4] Port Function Select Register	P1[7:4]ポート機能の選択
	0x52a4	P20_23PMUX	P2[3:0] Port Function Select Register	P2[3:0]ポート機能の選択
	0x52a5	P24_27PMUX	P2[7:4] Port Function Select Register	P2[7:4]ポート機能の選択
	0x52a6	P30_33PMUX	P3[3:0] Port Function Select Register	P3[3:0]ポート機能の選択
	0x52a7	P34_37PMUX	P3[7:4] Port Function Select Register	P3[7:4]ポート機能の選択
	0x52a8	P40_43PMUX	P4[3:0] Port Function Select Register	P4[3:0]ポート機能の選択
	0x52a9	P44_45PMUX	P4[5:4] Port Function Select Register	P4[5:4]ポート機能の選択
	0x52aa	P50_53PMUX	P5[3:0] Port Function Select Register	P5[3:0]ポート機能の選択
	0x52ab	P54_55PMUX	P5[5:4] Port Function Select Register	P5[5:4]ポート機能の選択
MISCレジスタ (16ビットデバイス)	0x5322	MISC_DMODE2	Debug Mode Control Register 2	デバッグモード時の周辺回路動作選択 (PCLK以外)
	0x5324	MISC_PROT	MISC Protect Register	MISCレジスタ書き込み保護
	0x5326	MISC_IRAMSZ	IRAM Size Register	IRAMサイズの選択
	0x5328	MISC_TTBRL	Vector Table Address Low Register	ベクタテーブルアドレスの設定
	0x532a	MISC_TTBRLH	Vector Table Address High Register	
0x532c	MISC_PSR	PSR Register	S1C17コアPSRの読み出し	
IRリモート コントローラ (16ビットデバイス)	0x5340	REMC_CFG	REMC Configuration Register	クロックと送受信の制御
	0x5342	REMC_CAR	REMC Carrier Length Setup Register	キャリアのH/L区間長設定
	0x5344	REMC_LCNT	REMC Length Counter Register	送受信ビットと送受信データ長の設定
	0x5346	REMC_INT	REMC Interrupt Control Register	割り込みの制御
A/D変換器 (16ビットデバイス)	0x5380	ADC10_ADD	A/D Conversion Result Register	A/D変換結果
	0x5382	ADC10_TRG	A/D Trigger/Channel Select Register	変換開始/終了チャンネルと変換モードの設定
	0x5384	ADC10_CTL	A/D Control/Status Register	A/D変換器の制御と変換状況の表示
	0x5386	ADC10_CLK	A/D Clock Control Register	A/D変換クロックの制御
	0x5388	ADC10_COM	A/D Comparator Setting Register	A/D変換特性の調整
16ビットPWM タイマCh.0 (16ビットデバイス)	0x5400	T16A_CTL0	T16A Counter Ch.0 Control Register	カウンタの制御
	0x5402	T16A_TC0	T16A Counter Ch.0 Data Register	カウンタデータ
	0x5404	T16A_CCCTL0	T16A Comparator/Capture Ch.0 Control Register	コンパレータ/キャプチャブロック、TOUTの制御
	0x5406	T16A_CCA0	T16A Compare/Capture Ch.0 A Data Register	コンペアA/キャプチャAデータ
	0x5408	T16A_CCB0	T16A Compare/Capture Ch.0 B Data Register	コンペアB/キャプチャBデータ
	0x540a	T16A_IEN0	T16A Compare/Capture Ch.0 Interrupt Enable Register	割り込みの許可/禁止
	0x540c	T16A_IFLG0	T16A Compare/Capture Ch.0 Interrupt Flag Register	割り込み発生状態の表示/リセット
	16ビットPWM タイマCh.1 (16ビットデバイス)	0x5420	T16A_CTL1	T16A Counter Ch.1 Control Register
0x5422		T16A_TC1	T16A Counter Ch.1 Data Register	カウンタデータ
0x5424		T16A_CCCTL1	T16A Comparator/Capture Ch.1 Control Register	コンパレータ/キャプチャブロック、TOUTの制御
0x5426		T16A_CCA1	T16A Compare/Capture Ch.1 A Data Register	コンペアA/キャプチャAデータ
0x5428		T16A_CCB1	T16A Compare/Capture Ch.1 B Data Register	コンペアB/キャプチャBデータ
0x542a		T16A_IEN1	T16A Compare/Capture Ch.1 Interrupt Enable Register	割り込みの許可/禁止
0x542c		T16A_IFLG1	T16A Compare/Capture Ch.1 Interrupt Flag Register	割り込み発生状態の表示/リセット
16ビットPWM タイマCh.2 (16ビットデバイス)	0x5440	T16A_CTL2	T16A Counter Ch.2 Control Register	カウンタの制御
	0x5442	T16A_TC2	T16A Counter Ch.2 Data Register	カウンタデータ
	0x5444	T16A_CCCTL2	T16A Comparator/Capture Ch.2 Control Register	コンパレータ/キャプチャブロック、TOUTの制御
	0x5446	T16A_CCA2	T16A Compare/Capture Ch.2 A Data Register	コンペアA/キャプチャAデータ
	0x5448	T16A_CCB2	T16A Compare/Capture Ch.2 B Data Register	コンペアB/キャプチャBデータ
	0x544a	T16A_IEN2	T16A Compare/Capture Ch.2 Interrupt Enable Register	割り込みの許可/禁止
	0x544c	T16A_IFLG2	T16A Compare/Capture Ch.2 Interrupt Flag Register	割り込み発生状態の表示/リセット
16ビットPWM タイマCh.3 (16ビットデバイス)	0x5460	T16A_CTL3	T16A Counter Ch.3 Control Register	カウンタの制御
	0x5462	T16A_TC3	T16A Counter Ch.3 Data Register	カウンタデータ
	0x5464	T16A_CCCTL3	T16A Comparator/Capture Ch.3 Control Register	コンパレータ/キャプチャブロック、TOUTの制御

周辺回路	アドレス	レジスタ名		機 能
16ビットPWM タイマCh.3 (16ビットデバイス)	0x5466	T16A_CCA3	T16A Compare/Capture Ch.3 A Data Register	コンペアA/キャプチャ Aデータ
	0x5468	T16A_CCB3	T16A Compare/Capture Ch.3 B Data Register	コンペアB/キャプチャ Bデータ
	0x546a	T16A_IEN3	T16A Compare/Capture Ch.3 Interrupt Enable Register	割り込みの許可/禁止
	0x546c	T16A_IFLG3	T16A Compare/Capture Ch.3 Interrupt Flag Register	割り込み発生状態の表示/リセット
Flashコントローラ (16ビットデバイス)	0x54b0	FLASHC_WAIT	FLASHC Read Wait Control Register	Flashリードウェイト数の設定

コアI/O予約エリア (0xffff84~0xffffd0)

周辺回路	アドレス	レジスタ名		機 能
S1C17コアI/O	0xffff84	IDIR	Processor ID Register	プロセッサIDの表示
	0xffff90	DBRAM	Debug RAM Base Register	デバッグRAMベースアドレスの表示
	0xffffa0	DCR	Debug Control Register	デバッグ制御
	0xffffb4	IBAR1	Instruction Break Address Register 1	命令ブレークアドレス#1の設定
	0xffffb8	IBAR2	Instruction Break Address Register 2	命令ブレークアドレス#2の設定
	0xffffbc	IBAR3	Instruction Break Address Register 3	命令ブレークアドレス#3の設定
	0xffffd0	IBAR4	Instruction Break Address Register 4	命令ブレークアドレス#4の設定

注: 表に記載のない周辺回路エリアの未使用領域は、アプリケーションプログラムからアクセスしないでください。

0x4100–0x4107, 0x506c

UART (with IrDA) Ch.0

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
UART Ch.0 Status Register (UART_ST0)	0x4100 (8 bits)	D7	TRED	End of transmission flag	1	Completed	0	Not completed	0	R/W	Reset by writing 1.
		D6	FER	Framing error flag	1	Error	0	Normal	0	R/W	
		D5	PER	Parity error flag	1	Error	0	Normal	0	R/W	
		D4	OER	Overrun error flag	1	Error	0	Normal	0	R/W	
		D3	RD2B	Second byte receive flag	1	Ready	0	Empty	0	R	Shift register status
		D2	TRBS	Transmit busy flag	1	Busy	0	Idle	0	R	
		D1	RDRY	Receive data ready flag	1	Ready	0	Empty	0	R	
		D0	TDBE	Transmit data buffer empty flag	1	Empty	0	Not empty	1	R	
UART Ch.0 Transmit Data Register (UART_TXD0)	0x4101 (8 bits)	D7–0	TXD[7:0]	Transmit data TXD7(6) = MSB TXD0 = LSB	0x0 to 0xff (0x7f)			0x0	R/W		
UART Ch.0 Receive Data Register (UART_RXD0)	0x4102 (8 bits)	D7–0	RXD[7:0]	Receive data in the receive data buffer RXD7(6) = MSB RXD0 = LSB	0x0 to 0xff (0x7f)			0x0	R	Older data in the buf- fer is read out first.	
UART Ch.0 Mode Register (UART_MOD0)	0x4103 (8 bits)	D7–5	–	reserved	–			–	–	0 when being read.	
		D4	CHLN	Character length select	1	8 bits	0	7 bits	0	R/W	
		D3	PREN	Parity enable	1	With parity	0	No parity	0	R/W	
		D2	PMD	Parity mode select	1	Odd	0	Even	0	R/W	
		D1	STPB	Stop bit select	1	2 bits	0	1 bit	0	R/W	
		D0	–	reserved	–			–	–	0 when being read.	
UART Ch.0 Control Register (UART_CTL0)	0x4104 (8 bits)	D7	TEIEN	End of transmission int. enable	1	Enable	0	Disable	0	R/W	
		D6	REIEN	Receive error int. enable	1	Enable	0	Disable	0	R/W	
		D5	RIEN	Receive buffer full int. enable	1	Enable	0	Disable	0	R/W	
		D4	TIEN	Transmit buffer empty int. enable	1	Enable	0	Disable	0	R/W	
		D3–2	–	reserved	–			–	–	0 when being read.	
		D1	RBF1	Receive buffer full int. condition setup	1	2 bytes	0	1 byte	0	R/W	
		D0	RXEN	UART enable	1	Enable	0	Disable	0	R/W	
UART Ch.0 Expansion Register (UART_EXP0)	0x4105 (8 bits)	D7–1	–	reserved	–			–	–	0 when being read.	
		D0	IRMD	IrDA mode select	1	On	0	Off	0	R/W	
UART Ch.0 Baud Rate Register (UART_BR0)	0x4106 (8 bits)	D7–0	BR[7:0]	Baud rate setting	0x0 to 0xff			0x0	R/W		
UART Ch.0 Fine Mode Register (UART_FMD0)	0x4107 (8 bits)	D7–4	–	reserved	–			–	–	0 when being read.	
		D3–0	FMD[3:0]	Fine mode setup	0x0 to 0xf			0x0	R/W	Set a number of times to insert delay into a 16-underflow period.	

Appendix A I/Oレジスタ一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Ch.0 Clock Control Register (UART_CLK0)	0x506c (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5-4	CLKDIV [1:0]	Clock division ratio select	CLKDIV[1:0]	Division ratio	0x0	R/W
					0x3	1/8		
					0x2	1/4		
					0x1	1/2		
					0x0	1/1		
		D3-2	CLKSRC [1:0]	Clock source select	CLKSRC[1:0]	Clock source	0x0	R/W
					0x3	External clock		
					0x2	OSC3		
					0x1	OSC1		
					0x0	IOSC*		
		D1	—	reserved	—	—	—	0 when being read.
		D0	CLKEN	Count clock enable	1 Enable	0 Disable	0	R/W

0x4120–0x4127, 0x506d

UART (with IrDA) Ch.1

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Ch.1 Status Register (UART_ST1)	0x4120 (8 bits)	D7	TRED	End of transmission flag	1 Completed	0 Not completed	0	R/W
		D6	FER	Framing error flag	1 Error	0 Normal	0	R/W
		D5	PER	Parity error flag	1 Error	0 Normal	0	R/W
		D4	OER	Overrun error flag	1 Error	0 Normal	0	R/W
		D3	RD2B	Second byte receive flag	1 Ready	0 Empty	0	R
		D2	TRBS	Transmit busy flag	1 Busy	0 Idle	0	R
		D1	RDRY	Receive data ready flag	1 Ready	0 Empty	0	R
		D0	TDBE	Transmit data buffer empty flag	1 Empty	0 Not empty	1	R
UART Ch.1 Transmit Data Register (UART_TXD1)	0x4121 (8 bits)	D7-0	TXD[7:0]	Transmit data TXD7(6) = MSB TXD0 = LSB	0x0 to 0xff (0x7f)		0x0	R/W
UART Ch.1 Receive Data Register (UART_RXD1)	0x4122 (8 bits)	D7-0	RXD[7:0]	Receive data in the receive data buffer RXD7(6) = MSB RXD0 = LSB	0x0 to 0xff (0x7f)		0x0	R
UART Ch.1 Mode Register (UART_MOD1)	0x4123 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	CHLN	Character length select	1 8 bits	0 7 bits	0	R/W
		D3	PREN	Parity enable	1 With parity	0 No parity	0	R/W
		D2	PMD	Parity mode select	1 Odd	0 Even	0	R/W
		D1	STPB	Stop bit select	1 2 bits	0 1 bit	0	R/W
		D0	—	reserved	—	—	—	0 when being read.
UART Ch.1 Control Register (UART_CTL1)	0x4124 (8 bits)	D7	TEIEN	End of transmission int. enable	1 Enable	0 Disable	0	R/W
		D6	REIEN	Receive error int. enable	1 Enable	0 Disable	0	R/W
		D5	RIEN	Receive buffer full int. enable	1 Enable	0 Disable	0	R/W
		D4	TIEN	Transmit buffer empty int. enable	1 Enable	0 Disable	0	R/W
		D3-2	—	reserved	—	—	—	0 when being read.
		D1	RBF1	Receive buffer full int. condition setup	1 2 bytes	0 1 byte	0	R/W
		D0	RXEN	UART enable	1 Enable	0 Disable	0	R/W
UART Ch.1 Expansion Register (UART_EXP1)	0x4125 (8 bits)	D7-1	—	reserved	—	—	—	0 when being read.
		D0	IRMD	IrDA mode select	1 On	0 Off	0	R/W
UART Ch.1 Baud Rate Register (UART_BR1)	0x4126 (8 bits)	D7-0	BR[7:0]	Baud rate setting	0x0 to 0xff		0x0	R/W
UART Ch.1 Fine Mode Register (UART_FMD1)	0x4127 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3-0	FMD[3:0]	Fine mode setup	0x0 to 0xf		0x0	R/W
UART Ch.1 Clock Control Register (UART_CLK1)	0x506d (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5-4	CLKDIV [1:0]	Clock division ratio select	CLKDIV[1:0]	Division ratio	0x0	R/W
					0x3	1/8		
					0x2	1/4		
					0x1	1/2		
					0x0	1/1		
		D3-2	CLKSRC [1:0]	Clock source select	CLKSRC[1:0]	Clock source	0x0	R/W
					0x3	External clock		
					0x2	OSC3		
					0x1	OSC1		
					0x0	IOSC*		
		D1	—	reserved	—	—	—	0 when being read.
		D0	CLKEN	Count clock enable	1 Enable	0 Disable	0	R/W

0x4200–0x4208

Fine Mode 16-bit Timer Ch.0

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16F Ch.0 Count Clock Select Register (T16F_CLK0)	0x4200 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3–0	DF[3:0]	Count clock division ratio select	DF[3:0] Division ratio	0x0	R/W	Source clock = PCLK
					0xf reserved			
					0xe 1/16384			
					0xd 1/8192			
					0xc 1/4096			
					0xb 1/2048			
					0xa 1/1024			
					0x9 1/512			
					0x8 1/256			
					0x7 1/128			
					0x6 1/64			
					0x5 1/32			
					0x4 1/16			
					0x3 1/8			
					0x2 1/4			
					0x1 1/2			
					0x0 1/1			
T16F Ch.0 Reload Data Register (T16F_TR0)	0x4202 (16 bits)	D15–0	TR[15:0]	Reload data TR15 = MSB TR0 = LSB	0x0 to 0xffff	0x0	R/W	
T16F Ch.0 Counter Data Register (T16F_TC0)	0x4204 (16 bits)	D15–0	TC[15:0]	Counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0xffff	R	
T16F Ch.0 Control Register (T16F_CT0)	0x4206 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11–8	TFMD[3:0]	Fine mode setup	0x0 to 0xf	0x0	R/W	Set a number of times to insert delay into a 16-underflow period.
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
T16F Ch.0 Interrupt Control Register (T16F_INT0)	0x4208 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	T16FIE	T16F interrupt enable	1 Enable 0 Disable	0	R/W	
		D7–1	–	reserved	–	–	–	0 when being read.
		D0	T16FIF	T16F interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

0x4220–0x4228

16-bit Timer Ch.0

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16 Ch.0 Count Clock Select Register (T16_CLK0)	0x4220 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3–0	DF[3:0]	Count clock division ratio select	DF[3:0] Division ratio	0x0	R/W	Source clock = PCLK
					0xf reserved			
					0xe 1/16384			
					0xd 1/8192			
					0xc 1/4096			
					0xb 1/2048			
					0xa 1/1024			
					0x9 1/512			
					0x8 1/256			
					0x7 1/128			
					0x6 1/64			
					0x5 1/32			
					0x4 1/16			
					0x3 1/8			
					0x2 1/4			
					0x1 1/2			
					0x0 1/1			
T16 Ch.0 Reload Data Register (T16_TR0)	0x4222 (16 bits)	D15–0	TR[15:0]	Reload data TR15 = MSB TR0 = LSB	0x0 to 0xffff	0x0	R/W	
T16 Ch.0 Counter Data Register (T16_TC0)	0x4224 (16 bits)	D15–0	TC[15:0]	Counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0xffff	R	

Appendix A I/Oレジスタ一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16 Ch.0 Control Register (T16_CTL0)	0x4226 (16 bits)	D15–5	–	reserved	–	–	–	Do not write 1.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	0 when being read.
		D3–2	–	reserved	–	–	–	
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	
T16 Ch.0 Interrupt Control Register (T16_INT0)	0x4228 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	T16IE	T16 interrupt enable	1 Enable 0 Disable	0	R/W	
		D7–1	–	reserved	–	–	–	0 when being read.
		D0	T16IF	T16 interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

0x4240–0x4248

16-bit Timer Ch.1

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16 Ch.1 Count Clock Select Register (T16_CLK1)	0x4240 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3–0	DF[3:0]	Count clock division ratio select	DF[3:0] Division ratio	0x0	R/W	Source clock = PCLK
					0xf reserved			
					0xe 1/16384			
					0xd 1/8192			
					0xc 1/4096			
					0xb 1/2048			
					0xa 1/1024			
					0x9 1/512			
					0x8 1/256			
					0x7 1/128			
					0x6 1/64			
					0x5 1/32			
					0x4 1/16			
					0x3 1/8			
					0x2 1/4			
					0x1 1/2			
					0x0 1/1			
T16 Ch.1 Reload Data Register (T16_TR1)	0x4242 (16 bits)	D15–0	TR[15:0]	Reload data TR15 = MSB TR0 = LSB	0x0 to 0xffff	0x0	R/W	
T16 Ch.1 Counter Data Register (T16_TC1)	0x4244 (16 bits)	D15–0	TC[15:0]	Counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0xffff	R	
T16 Ch.1 Control Register (T16_CTL1)	0x4246 (16 bits)	D15–5	–	reserved	–	–	–	Do not write 1.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	0 when being read.
		D3–2	–	reserved	–	–	–	
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	
T16 Ch.1 Interrupt Control Register (T16_INT1)	0x4248 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	T16IE	T16 interrupt enable	1 Enable 0 Disable	0	R/W	
		D7–1	–	reserved	–	–	–	0 when being read.
		D0	T16IF	T16 interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

0x4260–0x4268

16-bit Timer Ch.2

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16 Ch.2 Count Clock Select Register (T16_CLK2)	0x4260 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3–0	DF[3:0]	Count clock division ratio select	DF[3:0] Division ratio	0x0	R/W	Source clock = PCLK
					0xf reserved			
					0xe 1/16384			
					0xd 1/8192			
					0xc 1/4096			
					0xb 1/2048			
					0xa 1/1024			
					0x9 1/512			
					0x8 1/256			
					0x7 1/128			
					0x6 1/64			
					0x5 1/32			
					0x4 1/16			
					0x3 1/8			
					0x2 1/4			
					0x1 1/2			
					0x0 1/1			

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16 Ch.2 Reload Data Register (T16_TR2)	0x4262 (16 bits)	D15–0	TR[15:0]	Reload data TR15 = MSB TR0 = LSB	0x0 to 0xffff	0x0	R/W	
T16 Ch.2 Counter Data Register (T16_TC2)	0x4264 (16 bits)	D15–0	TC[15:0]	Counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0xffff	R	
T16 Ch.2 Control Register (T16_CTL2)	0x4266 (16 bits)	D15–5	–	reserved	–	–	–	Do not write 1.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
T16 Ch.2 Interrupt Control Register (T16_INT2)	0x4268 (16 bits)	D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	
		D15–9	–	reserved	–	–	–	0 when being read.
		D8	T16IE	T16 interrupt enable	1 Enable 0 Disable	0	R/W	
		D7–1	–	reserved	–	–	–	0 when being read.
		D0	T16IF	T16 interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

0x4280–0x4288**Fine Mode 16-bit Timer Ch.1**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16F Ch.1 Count Clock Select Register (T16F_CLK1)	0x4280 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3–0	DF[3:0]	Count clock division ratio select	DF[3:0] Division ratio	0x0	R/W	Source clock = PCLK
					0xf reserved			
					0xe 1/16384			
					0xd 1/8192			
					0xc 1/4096			
					0xb 1/2048			
					0xa 1/1024			
					0x9 1/512			
					0x8 1/256			
					0x7 1/128			
					0x6 1/64			
					0x5 1/32			
					0x4 1/16			
					0x3 1/8			
					0x2 1/4			
					0x1 1/2			
					0x0 1/1			
T16F Ch.1 Reload Data Register (T16F_TR1)	0x4282 (16 bits)	D15–0	TR[15:0]	Reload data TR15 = MSB TR0 = LSB	0x0 to 0xffff	0x0	R/W	
T16F Ch.1 Counter Data Register (T16F_TC1)	0x4284 (16 bits)	D15–0	TC[15:0]	Counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0xffff	R	
T16F Ch.1 Control Register (T16F_CTL1)	0x4286 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11–8	TFMD[3:0]	Fine mode setup	0x0 to 0xf	0x0	R/W	Set a number of times to insert delay into a 16-underflow period.
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
T16F Ch.1 Interrupt Control Register (T16F_INT1)	0x4288 (16 bits)	D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	
		D15–9	–	reserved	–	–	–	0 when being read.
		D8	T16FIE	T16F interrupt enable	1 Enable 0 Disable	0	R/W	
		D7–1	–	reserved	–	–	–	0 when being read.
		D0	T16FIF	T16F interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

0x4306–0x431c**Interrupt Controller**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register 0 (ITC_LV0)	0x4306 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV1[2:0]	P1 interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV0[2:0]	P0 interrupt level	0 to 7	0x0	R/W	

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register 1 (ITC_LV1)	0x4308 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV3[2:0]	CT interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV2[2:0]	SWT interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 2 (ITC_LV2)	0x430a (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV5[2:0]	P4 interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV4[2:0]	T16A Ch.2 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 3 (ITC_LV3)	0x430c (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV7[2:0]	T16A Ch.0 interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV6[2:0]	SPI Ch.2 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 4 (ITC_LV4)	0x430e (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV9[2:0]	T16 Ch.0 interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV8[2:0]	T16F Ch.0 & 1/USI Ch.0 & 1 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 5 (ITC_LV5)	0x4310 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV11[2:0]	T16 Ch.2/T16A Ch.3 interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV10[2:0]	T16 Ch.1 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 6 (ITC_LV6)	0x4312 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV13[2:0]	UART Ch.1 interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV12[2:0]	UART Ch.0 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 7 (ITC_LV7)	0x4314 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV15[2:0]	I2CM interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV14[2:0]	SPI Ch.0 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 8 (ITC_LV8)	0x4316 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV17[2:0]	T16A Ch.1 interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV16[2:0]	REMC/SPI Ch.1 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 9 (ITC_LV9)	0x4318 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV19[2:0]	P5 interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV18[2:0]	ADC10 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 10 (ITC_LV10)	0x431a (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV21[2:0]	P3 interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV20[2:0]	P2 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 11 (ITC_LV11)	0x431c (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV22[2:0]	I2CS interrupt level	0 to 7	0x0	R/W	

0x4320–0x4326

SPI Ch.0

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI Ch.0 Status Register (SPI_ST0)	0x4320 (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.
		D2	SPBSY	Transfer busy flag (master)	1 Busy 0 Idle	0	R	
				ss signal low flag (slave)	1 ss = L 0 ss = H			
		D1	SPRBF	Receive data buffer full flag	1 Full 0 Not full	0	R	
SPI Ch.0 Transmit Data Register (SPI_TXD0)	0x4322 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SPTDB[7:0]	SPI transmit data buffer	0x0 to 0xff	0x0	R/W	
				SPTDB7 = MSB				
				SPTDB0 = LSB				
SPI Ch.0 Receive Data Register (SPI_RXD0)	0x4324 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SPRDB[7:0]	SPI receive data buffer	0x0 to 0xff	0x0	R	
				SPRDB7 = MSB				
				SPRDB0 = LSB				

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI Ch.0 Control Register (SPI_CTL0)	0x4326 (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.
		D9	MCLK	SPI clock source select	1 T16 Ch.1 0 PCLK/4	0	R/W	
		D8	MLSB	LSB/MSB first mode select	1 LSB 0 MSB	0	R/W	
		D7–6	–	reserved	–	–	–	0 when being read.
		D5	SPRIE	Receive data buffer full int. enable	1 Enable 0 Disable	0	R/W	
		D4	SPTIE	Transmit data buffer empty int. enable	1 Enable 0 Disable	0	R/W	
		D3	CPHA	Clock phase select	1 Data out 0 Data in	0	R/W	These bits must be set before setting SPEN to 1.
		D2	CPOL	Clock polarity select	1 Active L 0 Active H	0	R/W	
		D1	MSSL	Master/slave mode select	1 Master 0 Slave	0	R/W	
		D0	SPEN	SPI enable	1 Enable 0 Disable	0	R/W	

0x4340–0x4346

I²C Master

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Master Enable Register (I2CM_EN)	0x4340 (16 bits)	D15–1	–	reserved	–	–	–	0 when being read.
		D0	I2CMEN	I ² C master enable	1 Enable 0 Disable	0	R/W	
I ² C Master Control Register (I2CM_CTL)	0x4342 (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.
		D9	RBUSY	Receive busy flag	1 Busy 0 Idle	0	R	
		D8	TBUSY	Transmit busy flag	1 Busy 0 Idle	0	R	
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	NSERM	Noise remove on/off	1 On 0 Off	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	STP	Stop control	1 Stop 0 Ignored	0	R/W	
		D0	STRT	Start control	1 Start 0 Ignored	0	R/W	
I ² C Master Data Register (I2CM_DAT)	0x4344 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11	RBRDY	Receive buffer ready flag	1 Ready 0 Empty	0	R	
		D10	RXE	Receive execution	1 Receive 0 Ignored	0	R/W	
		D9	TXE	Transmit execution	1 Transmit 0 Ignored	0	R/W	
		D8	RTACK	Receive/transmit ACK	1 Error 0 ACK	0	R/W	
		D7–0	RTDT[7:0]	Receive/transmit data RTDT7 = MSB RTDT0 = LSB	0x0 to 0xff	0x0	R/W	
I ² C Master Interrupt Control Register (I2CM_ICTL)	0x4346 (16 bits)	D15–2	–	reserved	–	–	–	0 when being read.
		D1	RINTE	Receive interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	TINTE	Transmit interrupt enable	1 Enable 0 Disable	0	R/W	

0x4360–0x436c

I²C Slave

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Slave Transmit Data Register (I2CS_TRNS)	0x4360 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SDATA[7:0]	I ² C slave transmit data	0–0xff	0x0	R/W	
I ² C Slave Receive Data Register (I2CS_RECV)	0x4362 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	RDATA[7:0]	I ² C slave receive data	0–0xff	0x0	R	
I ² C Slave Address Setup Register (I2CS_SADRS)	0x4364 (16 bits)	D15–7	–	reserved	–	–	–	0 when being read.
		D6–0	SADRS[6:0]	I ² C slave address	0–0x7f	0x0	R/W	
I ² C Slave Control Register (I2CS_CTL)	0x4366 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	TBUF_CLR	I2CS_TRNS register clear	1 Clear state 0 Normal	0	R/W	
		D7	I2CSEN	I ² C slave enable	1 Enable 0 Disable	0	R/W	
		D6	SOFTRESET	Software reset	1 Reset 0 Cancel	0	R/W	
		D5	NAK_ANS	NAK answer	1 NAK 0 ACK	0	R/W	
		D4	BFREQ_EN	Bus free request enable	1 Enable 0 Disable	0	R/W	
		D3	CLKSTR_EN	Clock stretch On/Off	1 On 0 Off	0	R/W	
		D2	NF_EN	Noise filter On/Off	1 On 0 Off	0	R/W	
		D1	ASDET_EN	Async.address detection On/Off	1 On 0 Off	0	R/W	
		D0	COM_MODE	I ² C slave communication mode	1 Active 0 Standby	0	R/W	
I ² C Slave Status Register (I2CS_STAT)	0x4368 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7	BSTAT	Bus status transition	1 Changed 0 Unchanged	0	R	
		D6	–	reserved	–	–	–	0 when being read.
		D5	TXUDF	Transmit data underflow	1 Occurred 0 Not occurred	0	R/W	Reset by writing 1.
			RXOVF	Receive data overflow				
		D4	BFREQ	Bus free request	1 Occurred 0 Not occurred	0	R/W	
		D3	DMS	Output data mismatch	1 Error 0 Normal	0	R/W	
		D2	ASDET	Async. address detection status	1 Detected 0 Not detected	0	R/W	
		D1	DA_NAK	NAK receive status	1 NAK 0 ACK	0	R/W	
		D0	DA_STOP	STOP condition detect	1 Detected 0 Not detected	0	R/W	

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Slave Access Status Register (I2CS_ASTAT)	0x436a (16 bits)	D15–5	–	reserved	–	–	–	0 when being read.
		D4	RXRDY	Receive data ready	1 Ready	0 Not ready	0 R	
		D3	TXEMP	Transmit data empty	1 Empty	0 Not empty	0 R	
		D2	BUSY	I ² C bus status	1 Busy	0 Free	0 R	
		D1	SELECTED	I ² C slave select status	1 Selected	0 Not selected	0 R	
I ² C Slave Interrupt Control Register (I2CS_ICTL)	0x436c (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.
		D2	BSTAT_IEN	Bus status interrupt enable	1 Enable	0 Disable	0 R/W	
		D1	RXRDY_IEN	Receive interrupt enable	1 Enable	0 Disable	0 R/W	
		D0	TXEMP_IEN	Transmit interrupt enable	1 Enable	0 Disable	0 R/W	

0x4380–0x4386

SPI Ch.1

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI Ch.1 Status Register (SPI_ST1)	0x4380 (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.
		D2	SPBSY	Transfer busy flag (master)	1 Busy	0 Idle	0 R	
				ss signal low flag (slave)	1 ss = L	0 ss = H		
		D1	SPRBF	Receive data buffer full flag	1 Full	0 Not full	0 R	
SPI Ch.1 Transmit Data Register (SPI_TXD1)	0x4382 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SPTDB[7:0]	SPI transmit data buffer SPTDB7 = MSB SPTDB0 = LSB	0x0 to 0xff	0x0	R/W	
SPI Ch.1 Receive Data Register (SPI_RXD1)	0x4384 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SPRDB[7:0]	SPI receive data buffer SPRDB7 = MSB SPRDB0 = LSB	0x0 to 0xff	0x0	R	
SPI Ch.1 Control Register (SPI_CTL1)	0x4386 (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.
		D9	MCLK	SPI clock source select	1 T16 Ch.1	0 PCLK/4	0 R/W	
		D8	MLSB	LSB/MSB first mode select	1 LSB	0 MSB	0 R/W	
		D7–6	–	reserved	–	–	–	0 when being read.
		D5	SPRIE	Receive data buffer full int. enable	1 Enable	0 Disable	0 R/W	
		D4	SPTIE	Transmit data buffer empty int. enable	1 Enable	0 Disable	0 R/W	
		D3	CPHA	Clock phase select	1 Data out	0 Data in	0 R/W	
		D2	CPOL	Clock polarity select	1 Active L	0 Active H	0 R/W	
		D1	MSSL	Master/slave mode select	1 Master	0 Slave	0 R/W	
		D0	SPEN	SPI enable	1 Enable	0 Disable	0 R/W	These bits must be set before setting SPEN to 1.

0x43a0–0x43a6

SPI Ch.2

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI Ch.2 Status Register (SPI_ST2)	0x43a0 (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.
		D2	SPBSY	Transfer busy flag (master)	1 Busy	0 Idle	0 R	
				ss signal low flag (slave)	1 ss = L	0 ss = H		
		D1	SPRBF	Receive data buffer full flag	1 Full	0 Not full	0 R	
SPI Ch.2 Transmit Data Register (SPI_TXD2)	0x43a2 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SPTDB[7:0]	SPI transmit data buffer SPTDB7 = MSB SPTDB0 = LSB	0x0 to 0xff	0x0	R/W	
SPI Ch.2 Receive Data Register (SPI_RXD2)	0x43a4 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SPRDB[7:0]	SPI receive data buffer SPRDB7 = MSB SPRDB0 = LSB	0x0 to 0xff	0x0	R	
SPI Ch.2 Control Register (SPI_CTL2)	0x43a6 (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.
		D9	MCLK	SPI clock source select	1 T16 Ch.1	0 PCLK/4	0 R/W	
		D8	MLSB	LSB/MSB first mode select	1 LSB	0 MSB	0 R/W	
		D7–6	–	reserved	–	–	–	0 when being read.
		D5	SPRIE	Receive data buffer full int. enable	1 Enable	0 Disable	0 R/W	
		D4	SPTIE	Transmit data buffer empty int. enable	1 Enable	0 Disable	0 R/W	
		D3	CPHA	Clock phase select	1 Data out	0 Data in	0 R/W	
		D2	CPOL	Clock polarity select	1 Active L	0 Active H	0 R/W	
		D1	MSSL	Master/slave mode select	1 Master	0 Slave	0 R/W	
		D0	SPEN	SPI enable	1 Enable	0 Disable	0 R/W	These bits must be set before setting SPEN to 1.

0x5000–0x5003

Clock Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Timer Control Register (CT_CTL)	0x5000 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	CTRST	Clock timer reset	1 Reset	0 Ignored	0 W	
		D3–1	–	reserved	–	–	–	
		D0	CTRUN	Clock timer run/stop control	1 Run	0 Stop	0 R/W	

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Timer Counter Register (CT_CNT)	0x5001 (8 bits)	D7-0	CTCNT[7:0]	Clock timer counter value	0x0 to 0xff	0	R	
Clock Timer Interrupt Mask Register (CT_IMSK)	0x5002 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3	CTIE32	32 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D2	CTIE8	8 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	CTIE2	2 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	CTIE1	1 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
Clock Timer Interrupt Flag Register (CT_IFLG)	0x5003 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3	CTIF32	32 Hz interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D2	CTIF8	8 Hz interrupt flag		0	R/W	
		D1	CTIF2	2 Hz interrupt flag		0	R/W	
		D0	CTIF1	1 Hz interrupt flag		0	R/W	

0x5020–0x5023**Stopwatch Timer**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Stopwatch Timer Control Register (SWT_CTL)	0x5020 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	SWTRST	Stopwatch timer reset	1 Reset 0 Ignored	0	W	
		D3-1	—	reserved	—	—	—	
		D0	SWTRUN	Stopwatch timer run/stop control	1 Run 0 Stop	0	R/W	
Stopwatch Timer BCD Counter Register (SWT_BCNT)	0x5021 (8 bits)	D7-4	BCD10[3:0]	1/10 sec. BCD counter value	0 to 9	0	R	
		D3-0	BCD100[3:0]	1/100 sec. BCD counter value	0 to 9	0	R	
Stopwatch Timer Interrupt Mask Register (SWT_IMSK)	0x5022 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2	SIE1	1 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	SIE10	10 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	SIE100	100 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
Stopwatch Timer Interrupt Flag Register (SWT_IFLG)	0x5023 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2	SIF1	1 Hz interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D1	SIF10	10 Hz interrupt flag		0	R/W	
		D0	SIF100	100 Hz interrupt flag		0	R/W	

0x5040–0x5041**Watchdog Timer**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Watchdog Timer Control Register (WDT_CTL)	0x5040 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	WDTRST	Watchdog timer reset	1 Reset 0 Ignored	0	W	
		D3-0	WDRUN[3:0]	Watchdog timer run/stop control	Other than 1010 Run 1010 Stop	1010	R/W	
Watchdog Timer Status Register (WDT_ST)	0x5041 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1	WDTMD	NMI/Reset mode select	1 Reset 0 NMI	0	R/W	
		D0	WDTST	NMI status	1 NMI occurred 0 Not occurred	0	R	

0x5060–0x5081**Clock Generator**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Source Select Register (CLG_SRC)	0x5060 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1-0	CLKSRC[1:0]	System clock source select	CLKSRC[1:0] Clock source	0x2	R/W	
					0x3 reserved			
					0x2 OSC3			
					0x1 OSC1			
					0x0 reserved			
Clock Source Select Register (CLG_SRC)	0x5060 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1-0	CLKSRC[1:0]	System clock source select	CLKSRC[1:0] Clock source	0x0	R/W	
					0x3 reserved			
					0x2 OSC3			
					0x1 OSC1			
					0x0 IOSC			
Oscillation Control Register (CLG_CTL)	0x5061 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5-4	OSC3WT[1:0]	OSC3 wait cycle select	OSC3WT[1:0] Wait cycle	0x0	R/W	
					0x3 128 cycles			
					0x2 256 cycles			
					0x1 512 cycles			
					0x0 1024 cycles			
		D3-2	—	reserved	—	—	—	0 when being read.
		D1	OSC1EN	OSC1 enable	1 Enable 0 Disable	0	R/W	
		D0	OSC3EN	OSC3 enable	1 Enable 0 Disable	1	R/W	

Appendix A I/Oレジスタ一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Oscillation Control Register (CLG_CTL) S1C17564	0x5061 (8 bits)	D7-6	IOSCWT[1:0]	IOSC wait cycle select	IOSCWT[1:0] Wait cycle 0x3 8 cycles 0x2 16 cycles 0x1 32 cycles 0x0 64 cycles	0x0	R/W	
		D5-4	OSC3WT[1:0]	OSC3 wait cycle select	OSC3WT[1:0] Wait cycle 0x3 128 cycles 0x2 256 cycles 0x1 512 cycles 0x0 1024 cycles	0x0	R/W	
		D3	—	reserved	—	—	—	
		D2	IOSCEN	IOSC enable	1 Enable 0 Disable	1	R/W	
		D1	OSC1EN	OSC1 enable	1 Enable 0 Disable	0	R/W	
		D0	OSC3EN	OSC3 enable	1 Enable 0 Disable	0	R/W	
		D0	OSC3EN	OSC3 enable	1 Enable 0 Disable	0	R/W	
Noise Filter Enable Register (CLG_NFEN)	0x5062 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5	OSC1WCE	OSC1 wait cycle enable	1 Enable 0 Disable	1	R/W	
		D4	OSC3WCE	OSC3 wait cycle enable	1 Enable 0 Disable	1	R/W	
		D3-0	—	reserved	—	—	—	0 when being read.
FOUTA Control Register (CLG_FOUTA) S1C17554	0x5064 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5-4	FOUTAD[1:0]	FOUTA clock division ratio select	FOUTAD[1:0] Division ratio 0x3 reserved 0x2 1/4 0x1 1/2 0x0 1/1	0x0	R/W	When the clock source is OSC3
		D3-2	FOUTASRC[1:0]	FOUTA clock source select	FOUTASRC[1:0] Clock source 0x3 reserved 0x2 OSC3 0x1 OSC1 0x0 reserved	0x0	R/W	
		D1	—	reserved	—	—	—	0 when being read.
		D0	FOUTAE	FOUTA output enable	1 Enable 0 Disable	0	R/W	
		D0	FOUTAE	FOUTA output enable	1 Enable 0 Disable	0	R/W	
		D0	FOUTAE	FOUTA output enable	1 Enable 0 Disable	0	R/W	
FOUTA Control Register (CLG_FOUTA) S1C17564	0x5064 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5-4	FOUTAD[1:0]	FOUTA clock division ratio select	FOUTAD[1:0] Division ratio 0x3 reserved 0x2 1/4 0x1 1/2 0x0 1/1	0x0	R/W	When the clock source is IOSC or OSC3
		D3-2	FOUTASRC[1:0]	FOUTA clock source select	FOUTASRC[1:0] Clock source 0x3 reserved 0x2 OSC3 0x1 OSC1 0x0 IOSC	0x0	R/W	
		D1	—	reserved	—	—	—	0 when being read.
		D0	FOUTAE	FOUTA output enable	1 Enable 0 Disable	0	R/W	
		D0	FOUTAE	FOUTA output enable	1 Enable 0 Disable	0	R/W	
		D0	FOUTAE	FOUTA output enable	1 Enable 0 Disable	0	R/W	
FOUTB Control Register (CLG_FOUTB) S1C17554	0x5065 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5-4	FOUTBD[1:0]	FOUTB clock division ratio select	FOUTBD[1:0] Division ratio 0x3 reserved 0x2 1/4 0x1 1/2 0x0 1/1	0x0	R/W	When the clock source is OSC3
		D3-2	FOUTBSRC[1:0]	FOUTB clock source select	FOUTBSRC[1:0] Clock source 0x3 reserved 0x2 OSC3 0x1 OSC1 0x0 reserved	0x0	R/W	
		D1	—	reserved	—	—	—	0 when being read.
		D0	FOUTBE	FOUTB output enable	1 Enable 0 Disable	0	R/W	
		D0	FOUTBE	FOUTB output enable	1 Enable 0 Disable	0	R/W	
		D0	FOUTBE	FOUTB output enable	1 Enable 0 Disable	0	R/W	
FOUTB Control Register (CLG_FOUTB) S1C17564	0x5065 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5-4	FOUTBD[1:0]	FOUTB clock division ratio select	FOUTBD[1:0] Division ratio 0x3 reserved 0x2 1/4 0x1 1/2 0x0 1/1	0x0	R/W	When the clock source is IOSC or OSC3
		D3-2	FOUTBSRC[1:0]	FOUTB clock source select	FOUTBSRC[1:0] Clock source 0x3 reserved 0x2 OSC3 0x1 OSC1 0x0 IOSC	0x0	R/W	
		D1	—	reserved	—	—	—	0 when being read.
		D0	FOUTBE	FOUTB output enable	1 Enable 0 Disable	0	R/W	
		D0	FOUTBE	FOUTB output enable	1 Enable 0 Disable	0	R/W	
		D0	FOUTBE	FOUTB output enable	1 Enable 0 Disable	0	R/W	
IOSC Control Register (CLG_IOSC) S1C17564	0x506e (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1-0	IOSCSEL[1:0]	IOSC frequency select	IOSCSEL[1:0] Frequency 0x3 2 MHz 0x2 4 MHz 0x1 12 MHz 0x0 8 MHz	0x1	R/W	
		D1-0	IOSCSEL[1:0]	IOSC frequency select	IOSCSEL[1:0] Frequency 0x3 2 MHz 0x2 4 MHz 0x1 12 MHz 0x0 8 MHz	0x1	R/W	
		D1-0	IOSCSEL[1:0]	IOSC frequency select	IOSCSEL[1:0] Frequency 0x3 2 MHz 0x2 4 MHz 0x1 12 MHz 0x0 8 MHz	0x1	R/W	
		D1-0	IOSCSEL[1:0]	IOSC frequency select	IOSCSEL[1:0] Frequency 0x3 2 MHz 0x2 4 MHz 0x1 12 MHz 0x0 8 MHz	0x1	R/W	

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PCLK Control Register (CLG_PCLK)	0x5080 (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1–0	PCKEN[1:0]	PCLK enable	PCKEN[1:0]	PCLK supply	0x3	R/W
					0x3	Enable		
					0x2	Not allowed		
CCLK Control Register (CLG_CCLK)	0x5081 (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1–0	CCLKGR[1:0]	CCLK clock gear ratio select	CCLKGR[1:0]	Gear ratio	0x0	R/W
					0x3	1/8		
					0x2	1/4		
					0x1	1/2		
					0x0	1/1		

0x50c0–0x50cf

USI Ch.0

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.0 Global Configuration Register (USI_GCFG0)	0x50c0 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3	LSBFST	MSB/LSB first mode select	1 MSB first	0 LSB first	0	R/W
		D2–0	USIMOD [2:0]	Interface mode configuration	USIMOD[2:0]	I/F mode	0x0	R/W
					0x7–0x6	reserved		
USI Ch.0 Transmit Data Buffer Register (USI_TD0)	0x50c1 (8 bits)	D7–0	TD[7:0]	USI transmit data buffer TD7 = MSB TD0 = LSB	0x0 to 0xff		0x0	R/W
USI Ch.0 Receive Data Buffer Register (USI_RD0)	0x50c2 (8 bits)	D7–0	RD[7:0]	USI receive data buffer RD7 = MSB RD0 = LSB	0x0 to 0xff		0x0	R
USI Ch.0 UART Mode Configuration Register (USI_UCFG0)	0x50c3 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3	UCHLN	Character length select	1 8 bits	0 7 bits	0	R/W
		D2	USTPB	Stop bit select	1 2 bits	0 1 bit	0	R/W
		D1	UPMD	Parity mode select	1 Even	0 Odd	0	R/W
		D0	UPREN	Parity enable	1 With parity	0 No parity	0	R/W
USI Ch.0 UART Mode Interrupt Enable Register (USI_UIE0)	0x50c4 (8 bits)	D7–3	–	reserved	–	–	–	0 when being read.
		D2	UEIE	Receive error interrupt enable	1 Enable	0 Disable	0	R/W
		D1	URDIE	Receive buffer full interrupt enable	1 Enable	0 Disable	0	R/W
		D0	UTDIE	Transmit buffer empty int. enable	1 Enable	0 Disable	0	R/W
USI Ch.0 UART Mode Interrupt Flag Register (USI_UIF0)	0x50c5 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6	URBSY	Receive busy flag	1 Busy	0 Idle	0	R
		D5	UTBSY	Transmit busy flag	1 Busy	0 Idle	0	R
		D4	UPEIF	Parity error flag	1 Error	0 Normal	0	R/W
		D3	USEIF	Framing error flag	1 Error	0 Normal	0	R/W
		D2	UOEIF	Overrun error flag	1 Error	0 Normal	0	R/W
		D1	URDIF	Receive buffer full flag	1 Full	0 Not full	0	R/W
		D0	UTDIF	Transmit buffer empty flag	1 Empty	0 Not empty	0	R/W
USI Ch.0 SPI Master Mode Configuration Register (USI_SCFG0)	0x50c6 (8 bits)	D7–6	–	reserved	–	–	–	0 when being read.
		D5	SCMD	Command bit (for 9-bit data)	1 High	0 Low	0	R/W
		D4	SCHLN	Character length select	1 9 bits	0 8 bits	0	R/W
		D3	SCPHA	Clock phase select	1 Phase 1	0 Phase 0	0	R/W
		D2	SCPOL	Clock polarity select	1 Active L	0 Active H	0	R/W
		D1	–	reserved	–	–	–	0 when being read.
		D0	SFSTMOD	Fast mode select	1 Fast	0 Normal	0	R/W
USI Ch.0 SPI Master Mode Interrupt Enable Register (USI_SIE0)	0x50c7 (8 bits)	D7–3	–	reserved	–	–	–	0 when being read.
		D2	SEIE	Receive error interrupt enable	1 Enable	0 Disable	0	R/W
		D1	SRDIE	Receive buffer full interrupt enable	1 Enable	0 Disable	0	R/W
		D0	STDIE	Transmit buffer empty int. enable	1 Enable	0 Disable	0	R/W
USI Ch.0 SPI Master Mode Interrupt Flag Register (USI_SIF0)	0x50c8 (8 bits)	D7–3	–	reserved	–	–	–	0 when being read.
		D2	SEIF	Overrun error flag	1 Error	0 Normal	0	R/W
		D1	SRDIF	Receive buffer full flag	1 Full	0 Not full	0	R/W
		D0	STDIF	Transmit buffer empty flag	1 Empty	0 Not empty	0	R/W

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
USI Ch.0 I ² C Master Mode Trigger Register (USI_IMTG0)	0x50ca (8 bits)	D7-5	—	reserved	—		—	—	0 when being read.
		D4	IMTG	I ² C master operation trigger	1 Trigger	0 Ignored	0	W	
					1 Waiting	0 Finished		R	
		D3	—	reserved	—		—	—	0 when being read.
		D2-0	IMTGMOD [2:0]	I ² C master trigger mode select	IMTGMOD[2:0]	Trigger mode	0x0	R/W	
					0x7 reserved				
USI Ch.0 I ² C Master Mode Interrupt Enable Register (USI_IMIE0)	0x50cb (8 bits)	D7-2	—	reserved	—		—	—	0 when being read.
		D1	IMEIE	Receive error interrupt enable	1 Enable	0 Disable	0	R/W	
		D0	IMIE	Operation completion int. enable	1 Enable	0 Disable	0	R/W	
USI Ch.0 I ² C Master Mode Interrupt Flag Register (USI_IMIF0)	0x50cc (8 bits)	D7-6	—	reserved	—		—	—	0 when being read.
		D5	IMBSY	I ² C master busy flag	1 Busy	0 Standby	0	R	
		D4-2	IMSTA[2:0]	I ² C master status	IMSTA[2:0]	Status	0x0	R	
					0x7 reserved				
					0x6 NAK received				
					0x5 ACK received				
					0x4 ACK/NAK sent				
					0x3 Rx buffer full				
					0x2 Tx buffer empty				
					0x1 Stop generated				
USI Ch.0 I ² C Slave Mode Interrupt Enable Register (USI_ISIE0)	0x50cd (8 bits)	D7-5	—	reserved	—		—	—	0 when being read.
		D4	ISTG	I ² C slave operation trigger	1 Trigger	0 Ignored	0	W	
					1 Waiting	0 Finished		R	
		D3	—	reserved	—		—	—	0 when being read.
USI Ch.0 I ² C Slave Mode Interrupt Flag Register (USI_ISIF0)	0x50ce (8 bits)	D2-0	ISTGMOD [2:0]	I ² C slave trigger mode select	ISTGMOD[2:0]	Trigger mode	0x0	R/W	
					0x7 reserved				
					0x6 Receive ACK/NAK				
					0x5 Transmit NAK				
					0x4 Transmit ACK				
					0x3 Receive data				
					0x2 Transmit data				
					0x1 reserved				
					0x0 Wait for start				
		D1	ISEIF	Overrun error flag	1 Error	0 Normal	0	R/W	Reset by writing 1.
USI Ch.0 I ² C Slave Mode Interrupt Enable Register (USI_ISIE0)	0x50cf (8 bits)	D7-2	—	reserved	—		—	—	0 when being read.
		D1	ISEIE	Receive error interrupt enable	1 Enable	0 Disable	0	R/W	
		D0	ISIE	Operation completion int. enable	1 Enable	0 Disable	0	R/W	
USI Ch.0 I ² C Slave Mode Interrupt Flag Register (USI_ISIF0)	0x50cf (8 bits)	D7-6	—	reserved	—		—	—	0 when being read.
		D5	ISBSY	I ² C slave busy flag	1 Busy	0 Standby	0	R	
		D4-2	ISSTA[2:0]	I ² C slave status	ISSTA[2:0]	Status	0x0	R	
					0x7 reserved				
					0x6 NAK received				
					0x5 ACK received				
					0x4 ACK/NAK sent				
					0x3 Rx buffer full				
					0x2 Tx buffer empty				
					0x1 Stop detected				
USI Ch.0 I ² C Slave Mode Interrupt Flag Register (USI_ISIF0)	0x50cf (8 bits)	D1	ISEIF	Overrun error flag	1 Error	0 Normal	0	R/W	Reset by writing 1.
		D0	ISIF	Operation completion flag	1 Completed	0 Not completed	0	R/W	

0x50e0–0x50ef

USI Ch.1

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
USI Ch.1 Global Configuration Register (USI_GCFG1)	0x50e0 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3	LSBFST	MSB/LSB first mode select	1 MSB first 0 LSB first	0	R/W	
		D2–0	USIMOD [2:0]	Interface mode configuration	USIMOD[2:0] 0x7–0x6 reserved 0x5 I ² C slave 0x4 I ² C master 0x3 reserved 0x2 SPI master 0x1 UART 0x0 Software reset	0x0	R/W	
USI Ch.1 Transmit Data Buffer Register (USI_TD1)	0x50e1 (8 bits)	D7–0	TD[7:0]	USI transmit data buffer TD7 = MSB TD0 = LSB	0x0 to 0xff	0x0	R/W	
USI Ch.1 Receive Data Buffer Register (USI_RD1)	0x50e2 (8 bits)	D7–0	RD[7:0]	USI receive data buffer RD7 = MSB RD0 = LSB	0x0 to 0xff	0x0	R	
USI Ch.1 UART Mode Configuration Register (USI_UCFG1)	0x50e3 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3	UCHLN	Character length select	1 8 bits 0 7 bits	0	R/W	
		D2	USTPB	Stop bit select	1 2 bits 0 1 bit	0	R/W	
		D1	UPMD	Parity mode select	1 Even 0 Odd	0	R/W	
USI Ch.1 UART Mode Interrupt Enable Register (USI_UIE1)	0x50e4 (8 bits)	D0	UPREN	Parity enable	1 With parity 0 No parity	0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2	UEIE	Receive error interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	URDIE	Receive buffer full interrupt enable	1 Enable 0 Disable	0	R/W	
USI Ch.1 UART Mode Interrupt Flag Register (USI_UIF1)	0x50e5 (8 bits)	D0	UTDIE	Transmit buffer empty int. enable	1 Enable 0 Disable	0	R/W	
		D7	–	reserved	–	–	–	0 when being read.
		D6	URBSY	Receive busy flag	1 Busy 0 Idle	0	R	
		D5	UTBSY	Transmit busy flag	1 Busy 0 Idle	0	R	
		D4	UPEIF	Parity error flag	1 Error 0 Normal	0	R/W	Reset by writing 1.
		D3	USEIF	Framing error flag	1 Error 0 Normal	0	R/W	
		D2	UOEIF	Overrun error flag	1 Error 0 Normal	0	R/W	
		D1	URDIF	Receive buffer full flag	1 Full 0 Not full	0	R/W	
		D0	UTDIF	Transmit buffer empty flag	1 Empty 0 Not empty	0	R/W	
USI Ch.1 SPI Master Mode Configuration Register (USI_SCFG1)	0x50e6 (8 bits)	D7–6	–	reserved	–	–	–	0 when being read.
		D5	SCMD	Command bit (for 9-bit data)	1 High 0 Low	0	R/W	
		D4	SCHLN	Character length select	1 9 bits 0 8 bits	0	R/W	
		D3	SCPHA	Clock phase select	1 Phase 1 0 Phase 0	0	R/W	
		D2	SCPOL	Clock polarity select	1 Active L 0 Active H	0	R/W	
		D1	–	reserved	–	–	–	0 when being read.
		D0	SFSTMOD	Fast mode select	1 Fast 0 Normal	0	R/W	
USI Ch.1 SPI Master Mode Interrupt Enable Register (USI_SIE1)	0x50e7 (8 bits)	D7–3	–	reserved	–	–	–	0 when being read.
		D2	SEIE	Receive error interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	SRDIE	Receive buffer full interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	STDIE	Transmit buffer empty int. enable	1 Enable 0 Disable	0	R/W	
USI Ch.1 SPI Master Mode Interrupt Flag Register (USI_SIF1)	0x50e8 (8 bits)	D7–3	–	reserved	–	–	–	0 when being read.
		D2	SEIF	Overrun error flag	1 Error 0 Normal	0	R/W	Reset by writing 1.
		D1	SRDIF	Receive buffer full flag	1 Full 0 Not full	0	R/W	
		D0	STDIF	Transmit buffer empty flag	1 Empty 0 Not empty	0	R/W	
USI Ch.1 I ² C Master Mode Trigger Register (USI_IMTG1)	0x50ea (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	IMTG	I ² C master operation trigger	1 Trigger 0 Ignored	0	W	
					1 Waiting 0 Finished		R	
		D3	–	reserved	–	–	–	0 when being read.
		D2–0	IMTGMOD [2:0]	I ² C master trigger mode select	IMTGMOD[2:0] 0x7 reserved 0x6 Receive ACK/NAK 0x5 Transmit NAK 0x4 Transmit ACK 0x3 Receive data 0x2 Transmit data 0x1 Stop condition 0x0 Start condition	0x0	R/W	

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
USI Ch.1 I ² C Master Mode Interrupt Enable Register (USI_IMIE1)	0x50eb (8 bits)	D7-2	—	reserved	—		—	—	0 when being read.
		D1	IMEIE	Receive error interrupt enable	1 Enable	0 Disable	0	R/W	
		D0	IMIE	Operation completion int. enable	1 Enable	0 Disable	0	R/W	
USI Ch.1 I ² C Master Mode Interrupt Flag Register (USI_IMIF1)	0x50ec (8 bits)	D7-6	—	reserved	—		—	—	0 when being read.
		D5	IMBSY	I ² C master busy flag	1 Busy	0 Standby	0	R	
		D4-2	IMSTA[2:0]	I ² C master status	IMSTA[2:0]	Status	0x0	R	
					0x7	reserved			
					0x6	NAK received			
					0x5	ACK received			
					0x4	ACK/NAK sent			
					0x3	Rx buffer full			
					0x2	Tx buffer empty			
0x1	Stop generated								
0x0	Start generated								
D1	IMEIF	Overrun error flag	1 Error	0 Normal	0	R/W	Reset by writing 1.		
D0	IMIF	Operation completion flag	1 Completed	0 Not completed	0	R/W			
USI Ch.1 I ² C Slave Mode Trigger Register (USI_ISTG1)	0x50ed (8 bits)	D7-5	—	reserved	—		—	—	0 when being read.
		D4	ISTG	I ² C slave operation trigger	1 Trigger	0 Ignored	0	W	
					1 Waiting	0 Finished		R	
		D3	—	reserved	—		—	—	0 when being read.
		D2-0	ISTGMOD[2:0]	I ² C slave trigger mode select	ISTGMOD[2:0]	Trigger mode	0x0	R/W	
					0x7	reserved			
					0x6	Receive ACK/NAK			
0x5	Transmit NAK								
0x4	Transmit ACK								
0x3	Receive data								
0x2	Transmit data								
0x1	reserved								
0x0	Wait for start								
USI Ch.1 I ² C Slave Mode Interrupt Enable Register (USI_ISIE1)	0x50ee (8 bits)	D7-2	—	reserved	—		—	—	0 when being read.
		D1	ISEIE	Receive error interrupt enable	1 Enable	0 Disable	0	R/W	
		D0	ISIE	Operation completion int. enable	1 Enable	0 Disable	0	R/W	
USI Ch.1 I ² C Slave Mode Interrupt Flag Register (USI_ISIF1)	0x50ef (8 bits)	D7-6	—	reserved	—		—	—	0 when being read.
		D5	ISBSY	I ² C slave busy flag	1 Busy	0 Standby	0	R	
		D4-2	ISSTA[2:0]	I ² C slave status	ISSTA[2:0]	Status	0x0	R	
					0x7	reserved			
					0x6	NAK received			
					0x5	ACK received			
					0x4	ACK/NAK sent			
					0x3	Rx buffer full			
					0x2	Tx buffer empty			
		0x1	Stop detected						
0x0	Start detected								
D1	ISEIF	Overrun error flag	1 Error	0 Normal	0	R/W	Reset by writing 1.		
D0	ISIF	Operation completion flag	1 Completed	0 Not completed	0	R/W			

0x5121

Power Generator

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
VD1 Control Register (VD1_CTL)	0x5121 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1-0	VD1ECO[1:0]	Regulator operation mode select	VD1ECO[1:0] Mode	0x0	R/W	
S1C17564					0x3 reserved			
					0x2 Auto-control			
					0x1 Economy			
					0x0 Normal			

0x5200–0x52ab

P Port & Port MUX

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P0 Port Input Data Register (P0_IN)	0x5200 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3-0	POIN[3:0]	P0[3:0] port input data	1 1 (H) 0 0 (L)	×	R	
P0 Port Output Data Register (P0_OUT)	0x5201 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3-0	POOUT[3:0]	P0[3:0] port output data	1 1 (H) 0 0 (L)	0	R/W	
P0 Port Output Enable Register (P0_OEN)	0x5202 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3-0	POOEN[3:0]	P0[3:0] port output enable	1 Enable 0 Disable	0	R/W	

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks			
P0 Port Pull-up Control Register (P0_PU)	0x5203 (8 bits)	D7–4	—	reserved	—			—	—	0 when being read.			
		D3–0	P0PU[3:0]	P0[3:0] port pull-up enable	1	Enable	0	Disable	1 (0xf)	R/W			
P0 Port Interrupt Mask Register (P0_IMSK)	0x5205 (8 bits)	D7–4	—	reserved	—			—	—	0 when being read.			
		D3–0	P0IE[3:0]	P0[3:0] port interrupt enable	1	Enable	0	Disable	0	R/W			
P0 Port Interrupt Edge Select Register (P0_EDGE)	0x5206 (8 bits)	D7–4	—	reserved	—			—	—	0 when being read.			
		D3–0	P0EDGE[3:0]	P0[3:0] port interrupt edge select	1	Falling edge	0	Rising edge	0	R/W			
P0 Port Interrupt Flag Register (P0_IFLG)	0x5207 (8 bits)	D7–4	—	reserved	—			—	—	0 when being read.			
		D3–0	P0IF[3:0]	P0[3:0] port interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.		
P0 Port Chattering Filter Control Register (P0_CHAT)	0x5208 (8 bits)	D7–3	—	reserved	—			—	—	0 when being read.			
		D2–0	P0CF1[2:0]	P0[3:0] chattering filter time	P0CF1[2:0]		Filter time	0x0	R/W				
					0x7		16384/fPCLK						
					0x6		8192/fPCLK						
					0x5		4096/fPCLK						
					0x4		2048/fPCLK						
					0x3		1024/fPCLK						
					0x2		512/fPCLK						
0x1		256/fPCLK											
0x0		None											
P0 Port Key-Entry Reset Configuration Register (P0_KRST)	0x5209 (8 bits)	D7–2	—	reserved	—			—	—	0 when being read.			
		D1–0	P0KRST[1:0]	P0 port key-entry reset configuration	P0KRST[1:0]		Configuration	0x0	R/W				
					0x3		P0[3:0] = 0						
					0x2		P0[2:0] = 0						
0x1		P0[1:0] = 0											
0x0		Disable											
P0 Port Input Enable Register (P0_IEN)	0x520a (8 bits)	D7–4	—	reserved	—			—	—	0 when being read.			
		D3–0	P0IEN[3:0]	P0[3:0] port input enable	1	Enable	0	Disable	0xf	R/W			
P1 Port Input Data Register (P1_IN)	0x5210 (8 bits)	D7–0	P1IN[7:0]	P1[7:0] port input data	1	1 (H)		0	0 (L)		×	R	
P1 Port Output Data Register (P1_OUT)	0x5211 (8 bits)	D7–0	P1OUT[7:0]	P1[7:0] port output data	1	1 (H)		0	0 (L)		0	R/W	
P1 Port Output Enable Register (P1_OEN)	0x5212 (8 bits)	D7–0	P1OEN[7:0]	P1[7:0] port output enable	1	Enable		0	Disable		0	R/W	
P1 Port Pull-up Control Register (P1_PU)	0x5213 (8 bits)	D7–0	P1PU[7:0]	P1[7:0] port pull-up enable	1	Enable		0	Disable		1 (0xff)	R/W	
P1 Port Interrupt Mask Register (P1_IMSK)	0x5215 (8 bits)	D7–0	P1IE[7:0]	P1[7:0] port interrupt enable	1	Enable		0	Disable		0	R/W	
P1 Port Interrupt Edge Select Register (P1_EDGE)	0x5216 (8 bits)	D7–0	P1EDGE[7:0]	P1[7:0] port interrupt edge select	1	Falling edge		0	Rising edge		0	R/W	
P1 Port Interrupt Flag Register (P1_IFLG)	0x5217 (8 bits)	D7–0	P1IF[7:0]	P1[7:0] port interrupt flag	1	Cause of interrupt occurred		0	Cause of interrupt not occurred		0	R/W	Reset by writing 1.

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P1 Port Chattering Filter Control Register (P1_CHAT)	0x5218 (8 bits)	D7	—	reserved	—		—	—	0 when being read.
		D6–4	P1CF2[2:0]	P1[7:4] chattering filter time	P1CF2[2:0]	Filter time	0	R/W	
					0x7	16384/fPCLK	0x0	R/W	
					0x6	8192/fPCLK			
					0x5	4096/fPCLK			
					0x4	2048/fPCLK			
					0x3	1024/fPCLK			
					0x2	512/fPCLK			
					0x1	256/fPCLK			
					0x0	None			
		D3	—	reserved	—		—	—	0 when being read.
		D2–0	P1CF1[2:0]	P1[3:0] chattering filter time	P1CF1[2:0]	Filter time	0x0	R/W	
					0x7	16384/fPCLK			
					0x6	8192/fPCLK			
					0x5	4096/fPCLK			
					0x4	2048/fPCLK			
					0x3	1024/fPCLK			
					0x2	512/fPCLK			
					0x1	256/fPCLK			
					0x0	None			
P1 Port Input Enable Register (P1_IEN)	0x521a (8 bits)	D7–0	P1IEN[7:0]	P1[7:0] port input enable	1 Enable	0 Disable	0xf	R/W	
P2 Port Input Data Register (P2_IN)	0x5220 (8 bits)	D7–0	P2IN[7:0]	P2[7:0] port input data	1 1 (H)	0 0 (L)	×	R	
P2 Port Output Data Register (P2_OUT)	0x5221 (8 bits)	D7–0	P2OUT[7:0]	P2[7:0] port output data	1 1 (H)	0 0 (L)	0	R/W	
P2 Port Output Enable Register (P2_OEN)	0x5222 (8 bits)	D7–0	P2OEN[7:0]	P2[7:0] port output enable	1 Enable	0 Disable	0	R/W	
P2 Port Pull-up Control Register (P2_PU)	0x5223 (8 bits)	D7–0	P2PU[7:0]	P2[7:0] port pull-up enable	1 Enable	0 Disable	1 (0xf)	R/W	
P2 Port Interrupt Mask Register (P2_IMSK)	0x5225 (8 bits)	D7–0	P2IE[7:0]	P2[7:0] port interrupt enable	1 Enable	0 Disable	0	R/W	
P2 Port Interrupt Edge Select Register (P2_EDGE)	0x5226 (8 bits)	D7–0	P2EDGE[7:0]	P2[7:0] port interrupt edge select	1 Falling edge	0 Rising edge	0	R/W	
P2 Port Interrupt Flag Register (P2_IFLG)	0x5227 (8 bits)	D7–0	P2IF[7:0]	P2[7:0] port interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
P2 Port Chattering Filter Control Register (P2_CHAT)	0x5228 (8 bits)	D7	—	reserved	—		—	—	0 when being read.
		D6–4	P2CF2[2:0]	P2[7:4] chattering filter time	P2CF2[2:0]	Filter time	0	R/W	
					0x7	16384/fPCLK	0x0	R/W	
					0x6	8192/fPCLK			
					0x5	4096/fPCLK			
					0x4	2048/fPCLK			
					0x3	1024/fPCLK			
					0x2	512/fPCLK			
					0x1	256/fPCLK			
					0x0	None			
		D3	—	reserved	—		—	—	0 when being read.
		D2–0	P2CF1[2:0]	P2[3:0] chattering filter time	P2CF1[2:0]	Filter time	0x0	R/W	
					0x7	16384/fPCLK			
					0x6	8192/fPCLK			
					0x5	4096/fPCLK			
					0x4	2048/fPCLK			
					0x3	1024/fPCLK			
					0x2	512/fPCLK			
					0x1	256/fPCLK			
					0x0	None			
P2 Port Input Enable Register (P2_IEN)	0x522a (8 bits)	D7–0	P2IEN[7:0]	P2[7:0] port input enable	1 Enable	0 Disable	0xf	R/W	
P3 Port Input Data Register (P3_IN)	0x5230 (8 bits)	D7–0	P3IN[7:0]	P3[7:0] port input data	1 1 (H)	0 0 (L)	×	R	
P3 Port Output Data Register (P3_OUT)	0x5231 (8 bits)	D7–0	P3OUT[7:0]	P3[7:0] port output data	1 1 (H)	0 0 (L)	0	R/W	

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks			
P3 Port Output Enable Register (P3_OEN)	0x5232 (8 bits)	D7–0	P3OEN[7:0]	P3[7:0] port output enable	1	Enable	0	Disable	0	R/W			
P3 Port Pull-up Control Register (P3_PU)	0x5233 (8 bits)	D7–0	P3PU[7:0]	P3[7:0] port pull-up enable	1	Enable	0	Disable	1 (0xff)	R/W			
P3 Port Interrupt Mask Register (P3_IMSK)	0x5235 (8 bits)	D7–0	P3IE[7:0]	P3[7:0] port interrupt enable	1	Enable	0	Disable	0	R/W			
P3 Port Interrupt Edge Select Register (P3_EDGE)	0x5236 (8 bits)	D7–0	P3EDGE[7:0]	P3[7:0] port interrupt edge select	1	Falling edge	0	Rising edge	0	R/W			
P3 Port Interrupt Flag Register (P3_IFLG)	0x5237 (8 bits)	D7–0	P3IF[7:0]	P3[7:0] port interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.		
P3 Port Chattering Filter Control Register (P3_CHAT)	0x5238 (8 bits)	D7	–	reserved	–			–	–	0 when being read.			
		D6–4	P3CF2[2:0]	P3[7:4] chattering filter time	P3CF2[2:0]		Filter time		0	R/W			
					0x7	16384/fPCLK	0x0	R/W					
					0x6	8192/fPCLK							
					0x5	4096/fPCLK							
					0x4	2048/fPCLK							
					0x3	1024/fPCLK							
					0x2	512/fPCLK							
		0x1	256/fPCLK										
		0x0	None										
D3	–	reserved	–			–	–	0 when being read.					
D2–0	P3CF1[2:0]	P3[3:0] chattering filter time	P3CF1[2:0]		Filter time		0x0	R/W					
			0x7	16384/fPCLK									
			0x6	8192/fPCLK									
			0x5	4096/fPCLK									
			0x4	2048/fPCLK									
			0x3	1024/fPCLK									
			0x2	512/fPCLK									
0x1	256/fPCLK												
0x0	None												
P3 Port Input Enable Register (P3_IEN)	0x523a (8 bits)	D7–0	P3IEN[7:0]	P3[7:0] port input enable	1	Enable	0	Disable	0xff	R/W			
P4 Port Input Data Register (P4_IN)	0x5240 (8 bits)	D7–6 D5–0	– P4IN[5:0]	reserved P4[5:0] port input data	1	– 1 (H)		0	– 0 (L)		– ×	– R	0 when being read.
P4 Port Output Data Register (P4_OUT)	0x5241 (8 bits)	D7–6 D5–0	– P4OUT[5:0]	reserved P4[5:0] port output data	1	– 1 (H)		0	– 0 (L)		0	R/W	0 when being read.
P4 Port Output Enable Register (P4_OEN)	0x5242 (8 bits)	D7–6	–	reserved	–			–	–	0 when being read.			
		D5–0	P4OEN[5:0]	P4[5:0] port output enable	1	Enable	0	Disable	0	R/W			
P4 Port Pull-up Control Register (P4_PU)	0x5243 (8 bits)	D7–6 D5–0	– P4PU[5:0]	reserved P4[5:0] port pull-up enable	1	Enable	0	Disable	1 (0x2f)	R/W	0 when being read.		
P4 Port Interrupt Mask Register (P4_IMSK)	0x5245 (8 bits)	D7–6 D5–0	– P4IE[5:0]	reserved P4[5:0] port interrupt enable	1	Enable	0	Disable	0	R/W	0 when being read.		
P4 Port Interrupt Edge Select Register (P4_EDGE)	0x5246 (8 bits)	D7–6	–	reserved	–			–	–	0 when being read.			
		D5–0	P4EDGE[5:0]	P4[5:0] port interrupt edge select	1	Falling edge	0	Rising edge	0	R/W			
P4 Port Interrupt Flag Register (P4_IFLG)	0x5247 (8 bits)	D7–6	–	reserved	–			–	–	0 when being read.			
		D5–0	P4IF[5:0]	P4[5:0] port interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.		

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
P4 Port Chattering Filter Control Register (P4_CHAT)	0x5248 (8 bits)	D7	—	reserved	—		—	—	0 when being read.	
		D6–4	P4CF2[2:0]	P4[5:4] chattering filter time	P4CF2[2:0]	Filter time	0	R/W		
					0x7	16384/fPCLK	0x0	R/W		
					0x6	8192/fPCLK				
					0x5	4096/fPCLK				
					0x4	2048/fPCLK				
					0x3	1024/fPCLK				
					0x2	512/fPCLK				
					0x1	256/fPCLK				
		0x0	None							
D3	—	reserved	—		—	—	0 when being read.			
D2–0	P4CF1[2:0]	P4[3:0] chattering filter time	P4CF1[2:0]	Filter time	0x0	R/W				
			0x7	16384/fPCLK						
			0x6	8192/fPCLK						
			0x5	4096/fPCLK						
			0x4	2048/fPCLK						
			0x3	1024/fPCLK						
			0x2	512/fPCLK						
			0x1	256/fPCLK						
			0x0	None						
			P4 Port Input Enable Register (P4_IEN)	0x524a (8 bits)	D7–6	—		reserved	—	
	D5–0	P4IEN[5:0]	P4[5:0] port input enable	1	Enable	0	Disable	0x2f	R/W	
P5 Port Input Data Register (P5_IN)	0x5250 (8 bits)	D7–6	—	reserved	—		—	—	0 when being read.	
	D5–0	P5IN[5:0]	P5[5:0] port input data	1	1 (H)	0	0 (L)	×	R	
P5 Port Output Data Register (P5_OUT)	0x5251 (8 bits)	D7–6	—	reserved	—		—	—	0 when being read.	
	D5–0	P5OUT[5:0]	P5[5:0] port output data	1	1 (H)	0	0 (L)	0	R/W	
P5 Port Output Enable Register (P5_OEN)	0x5252 (8 bits)	D7–6	—	reserved	—		—	—	0 when being read.	
	D5–0	P5OEN[5:0]	P5[5:0] port output enable	1	Enable	0	Disable	0	R/W	
P5 Port Pull-up Control Register (P5_PU)	0x5253 (8 bits)	D7–6	—	reserved	—		—	—	0 when being read.	
	D5–0	P5PU[5:0]	P5[5:0] port pull-up enable	1	Enable	0	Disable	1 (0x2f)	R/W	
P5 Port Interrupt Mask Register (P5_IMSK)	0x5255 (8 bits)	D7–6	—	reserved	—		—	—	0 when being read.	
	D5–0	P5IE[5:0]	P5[5:0] port interrupt enable	1	Enable	0	Disable	0	R/W	
P5 Port Interrupt Edge Select Register (P5_EDGE)	0x5256 (8 bits)	D7–6	—	reserved	—		—	—	0 when being read.	
	D5–0	P5EDGE[5:0]	P5[5:0] port interrupt edge select	1	Falling edge	0	Rising edge	0	R/W	
P5 Port Interrupt Flag Register (P5_IFLG)	0x5257 (8 bits)	D7–6	—	reserved	—		—	—	0 when being read.	
	D5–0	P5IF[5:0]	P5[5:0] port interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.
P5 Port Chattering Filter Control Register (P5_CHAT)	0x5258 (8 bits)	D7	—	reserved	—		—	—	0 when being read.	
		D6–4	P5CF2[2:0]	P5[5:4] chattering filter time	P5CF2[2:0]	Filter time	0	R/W		
					0x7	16384/fPCLK	0x0	R/W		
					0x6	8192/fPCLK				
					0x5	4096/fPCLK				
					0x4	2048/fPCLK				
					0x3	1024/fPCLK				
					0x2	512/fPCLK				
					0x1	256/fPCLK				
		0x0	None							
D3	—	reserved	—		—	—	0 when being read.			
D2–0	P5CF1[2:0]	P5[3:0] chattering filter time	P5CF1[2:0]	Filter time	0x0	R/W				
			0x7	16384/fPCLK						
			0x6	8192/fPCLK						
			0x5	4096/fPCLK						
			0x4	2048/fPCLK						
			0x3	1024/fPCLK						
			0x2	512/fPCLK						
			0x1	256/fPCLK						
			0x0	None						
			P5 Port Input Enable Register (P5_IEN)	0x525a (8 bits)	D7–6	—		reserved	—	
	D5–0	P5IEN[5:0]	P5[5:0] port input enable	1	Enable	0	Disable	0x2f	R/W	

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P0[3:0] Port Function Select Register (P00_03PMUX)	0x52a0 (8 bits)	D7–6	P03MUX[1:0]	P03 port function select	P03MUX[1:0]	Function	0x0	R/W	* S1C17564 only
					0x3	reserved			
					0x2	US_SSI1*			
					0x1	AIN3			
					0x0	P03			
		D5–4	P02MUX[1:0]	P02 port function select	P02MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	US_SSI0*			
					0x1	AIN2			
		D3–2	P01MUX[1:0]	P01 port function select	P01MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
D1–0	P00MUX[1:0]	P00 port function select	P00MUX[1:0]	Function	0x0	R/W			
				0x3			reserved		
				0x2			reserved		
				0x1			AIN0		
				0x0			P00		
P1[3:0] Port Function Select Register (P10_13PMUX)	0x52a2 (8 bits)	D7–6	P13MUX[1:0]	P13 port function select	P13MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	TOUT5/CAP5			
					0x1	#SPISS0			
					0x0	P13			
		D5–4	P12MUX[1:0]	P12 port function select	P12MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	SPICLK0			
		D3–2	P11MUX[1:0]	P11 port function select	P11MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
D1–0	P10MUX[1:0]	P10 port function select	P10MUX[1:0]	Function	0x0	R/W			
				0x3			reserved		
				0x2			reserved		
				0x1			SDI0		
				0x0			P10		
P1[7:4] Port Function Select Register (P14_17PMUX)	0x52a3 (8 bits)	D7–6	P17MUX[1:0]	P17 port function select	P17MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	reserved			
					0x1	SCL0			
					0x0	P17			
		D5–4	P16MUX[1:0]	P16 port function select	P16MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	SPICLK1			
					0x1	SCLK1			
		D3–2	P15MUX[1:0]	P15 port function select	P15MUX[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	SDO1			
D1–0	P14MUX[1:0]	P14 port function select	P14MUX[1:0]	Function	0x0	R/W			
				0x3			reserved		
				0x2			SDI1		
				0x1			SIN1		
				0x0			P14		

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P2[3:0] Port Function Select Register (P20_23PMUX)	0x52a4 (8 bits)	D7–6	P23MUX[1:0]	P23 port function select	P23MUX[1:0]	Function	0x0	R/W	
					0x3 0x2 0x1 0x0	reserved reserved SDI2 P23/EXCL2			
		D5–4	P22MUX[1:0]	P22 port function select	P22MUX[1:0]	Function	0x0	R/W	
					0x3 0x2 0x1 0x0	reserved reserved FOUTB P22/EXCL1			
		D3–2	P21MUX[1:0]	P21 port function select	P21MUX[1:0]	Function	0x0	R/W	
					0x3 0x2 0x1 0x0	reserved reserved TOUT3/CAP3 P21			
		D1–0	P20MUX[1:0]	P20 port function select	P20MUX[1:0]	Function	0x0	R/W	
					0x3 0x2 0x1 0x0	reserved reserved TOUT2/CAP2 P20			
P2[7:4] Port Function Select Register (P24_27PMUX)	0x52a5 (8 bits)	D7–6	P27MUX[1:0]	P27 port function select	P27MUX[1:0]	Function	0x0	R/W	
					0x3 0x2 0x1 0x0	reserved reserved SCL1 P27			
		D5–4	P26MUX[1:0]	P26 port function select	P26MUX[1:0]	Function	0x0	R/W	
					0x3 0x2 0x1 0x0	reserved reserved SDA1 P26			
		D3–2	P25MUX[1:0]	P25 port function select	P25MUX[1:0]	Function	0x0	R/W	
					0x3 0x2 0x1 0x0	reserved #SPISS2 #BFR P25			
		D1–0	P24MUX[1:0]	P24 port function select	P24MUX[1:0]	Function	0x0	R/W	
					0x3 0x2 0x1 0x0	reserved reserved SDO2 P24/EXCL3			
P3[3:0] Port Function Select Register (P30_33PMUX)	0x52a6 (8 bits)	D7–6	P33MUX[1:0]	P33 port function select	P33MUX[1:0]	Function	0x0	R/W	
					0x3 0x2 0x1 0x0	reserved SPICLK2 REMI P33			
		D5–4	P32MUX[1:0]	P32 port function select	P32MUX[1:0]	Function	0x0	R/W	
					0x3 0x2 0x1 0x0	reserved FOUTA TOUT4/CAP4 P32			
		D3–2	P31MUX[1:0]	P31 port function select	P31MUX[1:0]	Function	0x0	R/W	
					0x3 0x2 0x1 0x0	reserved #ADTRG #BFR P31			
		D1–0	P30MUX[1:0]	P30 port function select	P30MUX[1:0]	Function	0x0	R/W	
					0x3 0x2 0x1 0x0	reserved reserved TOUT0/CAP0 P30			

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
P3[7:4] Port Function Select Register (P34_37PMUX)	0x52a7 (8 bits)	D7–6	P37MUX[1:0]	P37 port function select	P37MUX[1:0]	Function	0x0	R/W			
					0x3	reserved					
					0x2	reserved					
					0x1	P37					
					0x0	DST2					
		D5–4	P36MUX[1:0]	P36 port function select	P36MUX[1:0]	Function	0x0	R/W			
					0x3	reserved					
					0x2	reserved					
					0x1	P36					
		D3–2	P35MUX[1:0]	P35 port function select	P35MUX[1:0]	Function	0x0	R/W			
					0x3	reserved					
					0x2	reserved					
0x1	P35										
D1–0	P34MUX[1:0]	P34 port function select	P34MUX[1:0]	Function	0x0	R/W					
			0x3	reserved							
			0x2	#SPISS1							
			0x1	REMO							
P4[3:0] Port Function Select Register (P40_43PMUX)	0x52a8 (8 bits)	D7–6	P43MUX[1:0]	P43 port function select	P43MUX[1:0]	Function	0x0	R/W			
					0x3	reserved					
					0x2	REMI					
					0x1	SDA1					
					0x0	P43					
		D5–4	P42MUX[1:0]	P42 port function select	P42MUX[1:0]	Function	0x0	R/W			
					0x3	reserved					
					0x2	TOUT1/CAP1					
					0x1	SCLK0					
		D3–2	P41MUX[1:0]	P41 port function select	P41MUX[1:0]	Function	0x0	R/W			
					0x3	reserved					
					0x2	TOUT7/CAP7					
0x1	SOUT0										
D1–0	P40MUX[1:0]	P40 port function select	P40MUX[1:0]	Function	0x0	R/W					
			0x3	reserved							
			0x2	TOUT6/CAP6							
			0x1	SIN0							
P4[5:4] Port Function Select Register (P44_45PMUX)	0x52a9 (8 bits)	D7–4	–	reserved	–		–	–	0 when being read.		
			D3–2	P45MUX[1:0]	P45 port function select	P45MUX[1:0]	Function	0x0		R/W	
		0x3				reserved					
		0x2				reserved					
		0x1				SDA0					
		0x0				P45/EXCL0					
		D1–0	P44MUX[1:0]	P44 port function select	P44MUX[1:0]	Function	0x0	R/W			
					0x3	reserved					
					0x2	REMO					
					0x1	SCL1					
		P5[3:0] Port Function Select Register (P50_53PMUX)	0x52aa (8 bits)	D7–6	P53MUX[1:0]	P53 port function select	P53MUX[1:0]	Function	0x0	R/W	* S1C17564 only
							0x3	reserved			
0x2	reserved										
0x1	US_SD11*										
0x0	P53										
D5–4	P52MUX[1:0]			P52 port function select	P52MUX[1:0]	Function	0x0	R/W			
					0x3	reserved					
					0x2	reserved					
					0x1	US_SCK0*					
D3–2	P51MUX[1:0]			P51 port function select	P51MUX[1:0]	Function	0x0	R/W			
					0x3	reserved					
					0x2	reserved					
		0x1	US_SDO0*								
D1–0	P50MUX[1:0]	P50 port function select	P50MUX[1:0]	Function	0x0	R/W					
			0x3	reserved							
			0x2	reserved							
			0x1	US_SD10*							

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P5[5:4] Port Function Select Register (P54_55PMUX)	0x52ab (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3-2	P55MUX[1:0]	P55 port function select	P55MUX[1:0] Function 0x3 reserved 0x2 reserved 0x1 US_SCK1* 0x0 P55	0x0	R/W	* S1C17564 only
		D1-0	P54MUX[1:0]	P54 port function select	P54MUX[1:0] Function 0x3 reserved 0x2 reserved 0x1 US_SDO1* 0x0 P54	0x0	R/W	

0x4020, 0x5322-0x532c

MISC Registers

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Debug Mode Control Register 1 (MISC_DMODE1)	0x4020 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1	DBRUN1	Run/stop select in debug mode	1 Run 0 Stop	0	R/W	
		D0	—	reserved	—	—	—	0 when being read.
Debug Mode Control Register 2 (MISC_DMODE2)	0x5322 (16 bits)	D15-1	—	reserved	—	—	—	0 when being read.
		D0	DBRUN2	Run/stop select in debug mode (except PCLK peripheral circuits)	1 Run 0 Stop	0	R/W	
MISC Protect Register (MISC_PROT)	0x5324 (16 bits)	D15-0	PROT[15:0]	MISC register write protect	Writing 0x96 removes the write protection of the MISC registers (0x5326-0x532a). Writing another value set the write protection.	0x0	R/W	
IRAM Size Register (MISC_IRAMSZ)	0x5326 (16 bits)	D15-9	—	reserved	—	—	—	0 when being read.
		D8	DBADR	Debug base address select	1 0x0 0 0xffc00	0	R/W	
		D7	—	reserved	—	—	—	0 when being read.
		D6-4	IRAMACTSZ[2:0]	IRAM actual size	0x6 (= 16KB)	0x6	R	
		D3	—	reserved	—	—	—	0 when being read.
		D2-0	IRAMSZ[2:0]	IRAM size select	IRAMSZ[2:0] Size 0x7 reserved 0x6 16KB 0x5 512B 0x4 1KB 0x3 2KB 0x2 4KB 0x1 8KB 0x0 12KB	0x6	R/W	
Vector Table Address Low Register (MISC_TTBRL)	0x5328 (16 bits)	D15-8	TTBR[15:8]	Vector table base address A[15:8]	0x0-0xff	0x80	R/W	
		D7-0	TTBR[7:0]	Vector table base address A[7:0] (fixed at 0)	0x0	0x0	R	
Vector Table Address High Register (MISC_TTBRLH)	0x532a (16 bits)	D15-8	—	reserved	—	—	—	0 when being read.
		D7-0	TTBR[23:16]	Vector table base address A[23:16]	0x0-0xff	0x0	R/W	
PSR Register (MISC_PSR)	0x532c (16 bits)	D15-8	—	reserved	—	—	—	0 when being read.
		D7-5	PSRIL[2:0]	PSR interrupt level (IL) bits	0x0 to 0x7	0x0	R	
		D4	PSRIE	PSR interrupt enable (IE) bit	1 1 (enable) 0 0 (disable)	0	R	
		D3	PSRC	PSR carry (C) flag	1 1 (set) 0 0 (cleared)	0	R	
		D2	PSRV	PSR overflow (V) flag	1 1 (set) 0 0 (cleared)	0	R	
		D1	PSRZ	PSR zero (Z) flag	1 1 (set) 0 0 (cleared)	0	R	
		D0	PSRN	PSR negative (N) flag	1 1 (set) 0 0 (cleared)	0	R	

0x5340–0x5346

IR Remote Controller

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
REMC Configuration Register (REMC_CFG)	0x5340 (16 bits)	D15–12	CGCLK[3:0]	Carrier generator clock division ratio select	CGCLK[3:0] LCCLK[3:0]		0x0	R/W	Source clock = PCLK		
				0xf	reserved						
				0xe	1/16384						
				0xd	1/8192						
				0xc	1/4096						
				0xb	1/2048						
				0xa	1/1024						
				0x9	1/512						
				0x8	1/256						
				0x7	1/128						
		0x6	1/64								
		0x5	1/32								
		0x4	1/16								
		0x3	1/8								
		0x2	1/4								
		0x1	1/2								
		0x0	1/1								
		D7–2	–	reserved	–		–	–	0 when being read.		
		D1	REMMD	REMC mode select	1	Receive	0	Transmit	0	R/W	
		D0	REMEN	REMC enable	1	Enable	0	Disable	0	R/W	
REMC Carrier Length Setup Register (REMC_CAR)	0x5342 (16 bits)	D15–14	–	reserved	–		–	–	0 when being read.		
		D13–8	REMCL[5:0]	Carrier L length setup	0x0 to 0x3f		0x0	R/W			
		D7–6	–	reserved	–		–	–	0 when being read.		
		D5–0	REMCH[5:0]	Carrier H length setup	0x0 to 0x3f		0x0	R/W			
REMC Length Counter Register (REMC_LCNT)	0x5344 (16 bits)	D15–8	REMLEN[7:0]	Transmit/receive data length count (down counter)	0x0 to 0xff		0x0	R/W			
		D7–1	–	reserved	–		–	–	0 when being read.		
		D0	REMDT	Transmit/receive data	1	1 (H)	0	0 (L)	0	R/W	
REMC Interrupt Control Register (REMC_INT)	0x5346 (16 bits)	D15–11	–	reserved	–		–	–	0 when being read.		
		D10	REMFIF	Falling edge interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D9	REMRIF	Rising edge interrupt flag					0	R/W	
		D8	REMUIF	Underflow interrupt flag					0	R/W	
		D7–3	–	reserved					–		
		D2	REMFIE	Falling edge interrupt enable	1	Enable	0	Disable	0	R/W	
		D1	REMRIE	Rising edge interrupt enable	1	Enable	0	Disable	0	R/W	
		D0	REMUIE	Underflow interrupt enable	1	Enable	0	Disable	0	R/W	

0x5380–0x5388

A/D Converter

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
A/D Conversion Result Register (ADC10_ADD)	0x5380 (16 bits)	D15–0	ADD[15:0]	A/D converted data ADD[9:0] are effective when STMD = 0 (ADD[15:10] = 0) ADD[15:6] are effective when STMD = 1 (ADD[5:0] = 0)	0x0 to 0x3ff		0x0	R			
A/D Trigger/ Channel Select Register (ADC10_TRG)	0x5382 (16 bits)	D15–14	—	reserved	—		—	—	0 when being read.		
		D13–11	ADCE[2:0]	End channel select	0x0 to 0x3		0x0	R/W			
		D10–8	ADCS[2:0]	Start channel select	0x0 to 0x3		0x0	R/W			
		D7	STMD	Conversion result storing mode	1	ADD[15:6]	0	ADD[9:0]		0	R/W
		D6	ADMS	Conversion mode select	1	Continuous	0	Single		0	R/W
		D5–4	ADTS[1:0]	Conversion trigger select	ADTS[1:0]		Trigger			0x0	R/W
					0x3	#ADTRG pin					
					0x2	reserved					
					0x1	T16 Ch.0					
		D3	—	reserved	—		—	—		—	0 when being read.
D2–0	ADST[2:0]	Sampling time setting	ADST[2:0]		Sampling time		0x7	R/W			
			0x7		9 cycles						
			0x6		8 cycles						
			0x5		7 cycles						
			0x4		6 cycles						
			0x3		5 cycles						
			0x2		4 cycles						
			0x1		3 cycles						
0x0		2 cycles									

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
A/D Control/ Status Register (ADC10_CTL)	0x5384 (16 bits)	D15	—	reserved	—		—	—	0 when being read.
		D14–12	ADICH[2:0]	Conversion channel indicator	0x0 to 0x3		0x0	R	
		D11	—	reserved	—		—	—	0 when being read.
		D10	ADIBS	ADC10 status	1 Busy	0 Idle	0	R	
		D9	ADOWE	Overwrite error flag	1 Error	0 Normal	0	R/W	Reset by writing 1.
		D8	ADCF	Conversion completion flag	1 Completed	0 Run/Stand-by	0	R	Reset when ADC10_ADD is read.
		D7–6	—	reserved	—		—	—	0 when being read.
		D5	ADOIE	Overwrite error interrupt enable	1 Enable	0 Disable	0	R/W	
		D4	ADCIE	Conversion completion int. enable	1 Enable	0 Disable	0	R/W	
		D3–2	—	reserved	—		—	—	0 when being read.
D1	ADCTL	A/D conversion control	1 Start	0 Stop	0	R/W			
D0	ADEN	ADC10 enable	1 Enable	0 Disable	0	R/W			
A/D Clock Control Register (ADC10_CLK)	0x5386 (16 bits)	D15–4	—	reserved	—		—	—	0 when being read.
		D3–0	ADDF[3:0]	A/D converter clock division ratio select	ADDF[3:0]	Division ratio	0x0	R/W	Source clock = PCLK
					0xf	reserved			
					0xe	1/32768			
					0xd	1/16384			
					0xc	1/8192			
					0xb	1/4096			
					0xa	1/2048			
					0x9	1/1024			
					0x8	1/512			
					0x7	1/256			
					0x6	1/128			
					0x5	1/64			
					0x4	1/32			
					0x3	1/16			
					0x2	1/8			
					0x1	1/4			
					0x0	1/2			
A/D Comparator Setting Register (ADC10_COM)	0x5388 (16 bits)	D15–6	—	reserved	—		—	—	0 when being read.
		D5–4	FSEL[1:0]	A/D comparator adjustment	0x0 to 0x3		0x0	R/W	
		D3–2	—	reserved	—		—	—	0 when being read.
		D1–0	XPD[1:0]	A/D comparator adjustment	0x0 to 0x3		0x3	R/W	

0x5068, 0x5400–0x540c

16-bit PWM Timer Ch.0

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
T16A Clock Control Register Ch.0 (T16A_CLK0)	0x5068 (8 bits)	D7–4	CLKDIV [3:0]	Clock division ratio select	CLKDIV[3:0]		Division ratio OSC3 or IOSC		0x0	R/W	
					0xf	–	–				
					0xe	1/16384	–				
					0xd	1/8192	–				
					0xc	1/4096	–				
					0xb	1/2048	–				
					0xa	1/1024	–				
					0x9	1/512	–				
					0x8	1/256	1/256				
					0x7	1/128	1/128				
					0x6	1/64	1/64				
					0x5	1/32	1/32				
					0x4	1/16	1/16				
					0x3	1/8	1/8				
					0x2	1/4	1/4				
					0x1	1/2	1/2				
		0x0	1/1	1/1							
		D3–2	CLKSRC [1:0]	Clock source select	CLKSRC[1:0]		Clock source		0x0	R/W	* S1C17564 only
					0x3	External clock					
					0x2	OSC3					
					0x1	OSC1					
		D1	MULTIMD	Multi-comparator/capture mode select	1	Multi	0 Normal		0	R/W	
							0x0 IOSC*				
		D0	CLKEN	Count clock enable	1	Enable	0	Disable	0	R/W	
T16A Counter Ch.0 Control Register (T16A_CTL0)	0x5400 (16 bits)	D15–6	–	reserved	–			–	–	0 when being read.	
		D5–4	CCABCNT [1:0]	Counter select	CCABCNT[1:0]		Counter Ch.		0x0	R/W	
					0x3	Ch.3					
					0x2	Ch.2					
					0x1	Ch.1					
		D3	CBUFEN	Compare buffer enable	1	Enable	0 Disable		0	R/W	
							0x0 Ch.0				
D2	TRMD	Count mode select	1	One-shot	0	Repeat	0	R/W			
D1	PRESET	Counter reset	1	Reset	0	Ignored	0	W	0 when being read.		
D0	PRUN	Counter run/stop control	1	Run	0	Stop	0	R/W			

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A Counter Ch.0 Data Register (T16A_TC0)	0x5402 (16 bits)	D15–0	T16ATC [15:0]	Counter data T16ATC15 = MSB T16ATC0 = LSB	0x0 to 0xffff	0x0	R	
T16A Comparator/ Capture Ch.0 Control Register (T16A_CCCTL0)	0x5404 (16 bits)	D15–14	CAPBTRG [1:0]	Capture B trigger select	CAPBTRG[1:0] Trigger edge 0x3 ↑ and ↓ 0x2 ↓ 0x1 ↑ 0x0 None	0x0	R/W	
		D13–12	TOUTBMD [1:0]	TOUT B mode select	TOUTBMD[1:0] Mode 0x3 cmp B: ↑ or ↓ 0x2 cmp A: ↑ or ↓ 0x1 cmp A: ↑, B: ↓ 0x0 Off	0x0	R/W	
		D11–10	–	reserved	–	–	–	0 when being read.
		D9	TOUTBINV	TOUT B invert	1 Invert 0 Normal	0	R/W	
		D8	CCBMD	T16A_CCB register mode select	1 Capture 0 Comparator	0	R/W	
		D7–6	CAPATRGR [1:0]	Capture A trigger select	CAPATRGR[1:0] Trigger edge 0x3 ↑ and ↓ 0x2 ↓ 0x1 ↑ 0x0 None	0x0	R/W	
		D5–4	TOUTAMD [1:0]	TOUT A mode select	TOUTAMD[1:0] Mode 0x3 cmp B: ↑ or ↓ 0x2 cmp A: ↑ or ↓ 0x1 cmp A: ↑, B: ↓ 0x0 Off	0x0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	TOUTAINV	TOUT A invert	1 Invert 0 Normal	0	R/W	
		D0	CCAMD	T16A_CCA register mode select	1 Capture 0 Comparator	0	R/W	
T16A Comparator/ Capture Ch.0 A Data Register (T16A_CCA0)	0x5406 (16 bits)	D15–0	CCA[15:0]	Compare/capture A data CCA15 = MSB CCA0 = LSB	0x0 to 0xffff	0x0	R/W	
T16A Comparator/ Capture Ch.0 B Data Register (T16A_CCB0)	0x5408 (16 bits)	D15–0	CCB[15:0]	Compare/capture B data CCB15 = MSB CCB0 = LSB	0x0 to 0xffff	0x0	R/W	
T16A Comparator/ Capture Ch.0 Interrupt Enable Register (T16A_IEN0)	0x540a (16 bits)	D15–6	–	reserved	–	–	–	0 when being read.
		D5	CAPBOWIE	Capture B overwrite interrupt enable	1 Enable 0 Disable	0	R/W	
		D4	CAPAOWIE	Capture A overwrite interrupt enable	1 Enable 0 Disable	0	R/W	
		D3	CAPBIE	Capture B interrupt enable	1 Enable 0 Disable	0	R/W	
		D2	CAPAIE	Capture A interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	CBIE	Compare B interrupt enable	1 Enable 0 Disable	0	R/W	
T16A Comparator/ Capture Ch.0 Interrupt Flag Register (T16A_IFLG0)	0x540c (16 bits)	D0	CAIE	Compare A interrupt enable	1 Enable 0 Disable	0	R/W	
		D15–6	–	reserved	–	–	–	0 when being read.
		D5	CAPBOWIF	Capture B overwrite interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D4	CAPAOWIF	Capture A overwrite interrupt flag		0	R/W	
		D3	CAPBIF	Capture B interrupt flag		0	R/W	
		D2	CAPAIF	Capture A interrupt flag		0	R/W	
		D1	CBIF	Compare B interrupt flag		0	R/W	
		D0	CAIF	Compare A interrupt flag		0	R/W	

0x5069, 0x5420–0x542c

16-bit PWM Timer Ch.1

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks			
T16A Clock Control Register Ch.1 (T16A_CLK1)	0x5069 (8 bits)	D7–4	CLKDIV [3:0]	Clock division ratio select	CLKDIV[3:0]	Division ratio OSC3 or OSC1 IOSC		0x0	R/W				
					0xf	–	–						
					0xe	1/16384	–						
					0xd	1/8192	–						
					0xc	1/4096	–						
					0xb	1/2048	–						
					0xa	1/1024	–						
					0x9	1/512	–						
					0x8	1/256	1/256						
					0x7	1/128	1/128						
					0x6	1/64	1/64						
					0x5	1/32	1/32						
					0x4	1/16	1/16						
					0x3	1/8	1/8						
		0x2	1/4	1/4									
		0x1	1/2	1/2									
0x0	1/1	1/1											
D3–2	CLKSRC [1:0]	Clock source select	CLKSRC[1:0]	Clock source External clock OSC3 OSC1 IOSC*		0x0	R/W	* S1C17564 only					
			0x3										
			0x2										
			0x1										
		D1	–	reserved	–		–	–					
		D0	CLKEN	Count clock enable	1 Enable	0 Disable	0	R/W					
T16A Counter Ch.1 Control Register (T16A_CTL1)	0x5420 (16 bits)	D15–6	–	reserved	–		–	–	0 when being read.				
		D5–4	CCABCNT [1:0]	Counter select	CCABCNT[1:0]	Counter Ch.	0x0	R/W					
					0x3	Ch.3							
					0x2	Ch.2							
					0x1	Ch.1							
				D3	CBUFEN	Compare buffer enable	1 Enable	0 Disable	0	R/W			
				D2	TRMD	Count mode select	1 One-shot	0 Repeat	0	R/W			
		D1	PRESET	Counter reset	1 Reset	0 Ignored	0	W	0 when being read.				
		D0	PRUN	Counter run/stop control	1 Run	0 Stop	0	R/W					
T16A Counter Ch.1 Data Register (T16A_TC1)	0x5422 (16 bits)	D15–0	T16ATC [15:0]	Counter data T16ATC15 = MSB T16ATC0 = LSB	0x0 to 0xffff		0x0	R					
T16A Comparator/ Capture Ch.1 Control Register (T16A_CCCTL1)	0x5424 (16 bits)	D15–14	CAPBTRG [1:0]	Capture B trigger select	CAPBTRG[1:0]	Trigger edge ↑ and ↓ ↓ ↑ None	0x0	R/W					
					0x3								
					0x2								
					0x1								
					0x0								
		D13–12	TOUTBMD [1:0]	TOUT B mode select	TOUTBMD[1:0]	Mode cmp B: ↑ or ↓ cmp A: ↑ or ↓ cmp A: ↑, B: ↓ Off	0x0	R/W					
					0x3								
					0x2								
					0x1								
					0x0								
		D11–10	–	reserved	–		–	–	0 when being read.				
							–	–					
							–	–					
							–	–					
		D9	TOUTBINV	TOUT B invert	1 Invert	0 Normal	0	R/W					
		D8	CCBMD	T16A_CCB register mode select	1 Capture	0 Comparator	0	R/W					
D7–6	CAPATRG [1:0]	Capture A trigger select	CAPATRG[1:0]	Trigger edge ↑ and ↓ ↓ ↑ None	0x0	R/W							
			0x3										
			0x2										
			0x1										
			0x0										
			D5–4	TOUTAMD [1:0]				TOUT A mode select	TOUTAMD[1:0]	Mode cmp B: ↑ or ↓ cmp A: ↑ or ↓ cmp A: ↑, B: ↓ Off	0x0	R/W	
									0x3				
									0x2				
0x1													
		D3–2	–	reserved	–		–	–	0 when being read.				
		D1	TOUTAINV	TOUT A invert	1 Invert	0 Normal	0	R/W					
		D0	CCAMD	T16A_CCA register mode select	1 Capture	0 Comparator	0	R/W					
T16A Comparator/ Capture Ch.1 A Data Register (T16A_CCA1)	0x5426 (16 bits)	D15–0	CCA[15:0]	Compare/capture A data CCA15 = MSB CCA0 = LSB	0x0 to 0xffff		0x0	R/W					
T16A Comparator/ Capture Ch.1 B Data Register (T16A_CCB1)	0x5428 (16 bits)	D15–0	CCB[15:0]	Compare/capture B data CCB15 = MSB CCB0 = LSB	0x0 to 0xffff		0x0	R/W					

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A Comparator/ Capture Ch.1 Interrupt Enable Register (T16A_IEN1)	0x542a (16 bits)	D15–6	–	reserved	–	–	–	0 when being read.
		D5	CAPBOWIE	Capture B overwrite interrupt enable	1 Enable 0 Disable	0	R/W	
		D4	CAPAOWIE	Capture A overwrite interrupt enable	1 Enable 0 Disable	0	R/W	
		D3	CAPBIE	Capture B interrupt enable	1 Enable 0 Disable	0	R/W	
		D2	CAPAIE	Capture A interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	CBIE	Compare B interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	CAIE	Compare A interrupt enable	1 Enable 0 Disable	0	R/W	
T16A Comparator/ Capture Ch.1 Interrupt Flag Register (T16A_IFLG1)	0x542c (16 bits)	D15–6	–	reserved	–	–	–	0 when being read.
		D5	CAPBOWIF	Capture B overwrite interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D4	CAPAOWIF	Capture A overwrite interrupt flag		0	R/W	
		D3	CAPBIF	Capture B interrupt flag		0	R/W	
		D2	CAPAIF	Capture A interrupt flag		0	R/W	
		D1	CBIF	Compare B interrupt flag		0	R/W	
		D0	CAIF	Compare A interrupt flag		0	R/W	

0x506a, 0x5440–0x544c**16-bit PWM Timer Ch.2**

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
T16A Clock Control Register Ch.2 (T16A_CLK2)	0x506a (8 bits)	D7–4	CLKDIV [3:0]	Clock division ratio select	CLKDIV[3:0]	Division ratio OSC3 or OSC1 IOSC		0x0	R/W		
					0xf	–	–				
					0xe	1/16384	–				
					0xd	1/8192	–				
					0xc	1/4096	–				
					0xb	1/2048	–				
					0xa	1/1024	–				
					0x9	1/512	–				
					0x8	1/256	1/256				
					0x7	1/128	1/128				
					0x6	1/64	1/64				
					0x5	1/32	1/32				
					0x4	1/16	1/16				
		0x3	1/8	1/8							
		0x2	1/4	1/4							
		0x1	1/2	1/2							
		0x0	1/1	1/1							
D3–2	CLKSRC [1:0]	Clock source select	CLKSRC[1:0]	Clock source		0x0	R/W	* S1C17564 only			
			0x3	External clock							
			0x2	OSC3							
			0x1	OSC1							
0x0	IOSC*										
D1	–	reserved	–			–	–				
D0	CLKEN	Count clock enable	1	Enable	0	Disable	0	R/W			
T16A Counter Ch.2 Control Register (T16A_CTL2)	0x5440 (16 bits)	D15–6	–	reserved	–			–	–	0 when being read.	
		D5–4	CCABCNT [1:0]	Counter select	CCABCNT[1:0]	Counter Ch.		0x0	R/W		
					0x3	Ch.3					
					0x2	Ch.2					
					0x1	Ch.1					
		0x0	Ch.0								
		D3	CBUFEN	Compare buffer enable	1	Enable	0	Disable	0	R/W	
		D2	TRMD	Count mode select	1	One-shot	0	Repeat	0	R/W	
D1	PRESET	Counter reset	1	Reset	0	Ignored	0	W	0 when being read.		
D0	PRUN	Counter run/stop control	1	Run	0	Stop	0	R/W			
T16A Counter Ch.2 Data Register (T16A_TC2)	0x5442 (16 bits)	D15–0	T16ATC [15:0]	Counter data T16ATC15 = MSB T16ATC0 = LSB	0x0 to 0xffff			0x0	R		

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
T16A Comparator/ Capture Ch.2 Control Register (T16A_CCCTL2)	0x5444 (16 bits)	D15–14	CAPBTRG [1:0]	Capture B trigger select	CAPBTRG[1:0]		Trigger edge	0x0	R/W		
		0x3 0x2 0x1 0x0		↑ and ↓ ↓ ↑ None							
		D13–12	TOUTBMD [1:0]	TOUT B mode select	TOUTBMD[1:0]		Mode	0x0	R/W		
		0x3 0x2 0x1 0x0		cmp B: ↑ or ↓ cmp A: ↑ or ↓ cmp A: ↑, B: ↓ Off							
		D11–10	–	reserved	–				–	–	0 when being read.
		D9	TOUTBINV	TOUT B invert	1	Invert	0	Normal	0	R/W	
		D8	CCBMD	T16A_CCB register mode select	1	Capture	0	Comparator	0	R/W	
		D7–6	CAPATRG [1:0]	Capture A trigger select	CAPATRG[1:0]		Trigger edge	0x0	R/W		
		0x3 0x2 0x1 0x0		↑ and ↓ ↓ ↑ None							
		D5–4		TOUTAMD [1:0]	TOUT A mode select	TOUTAMD[1:0]		Mode	0x0	R/W	
0x3 0x2 0x1 0x0		cmp B: ↑ or ↓ cmp A: ↑ or ↓ cmp A: ↑, B: ↓ Off									
D3–2		–	reserved	–				–	–	0 when being read.	
D1	TOUTAINV	TOUT A invert	1	Invert	0	Normal	0	R/W			
D0	CCAMD	T16A_CCA register mode select	1	Capture	0	Comparator	0	R/W			
T16A Comparator/ Capture Ch.2 A Data Register (T16A_CCA2)	0x5446 (16 bits)	D15–0	CCA[15:0]	Compare/capture A data CCA15 = MSB CCA0 = LSB	0x0 to 0xffff				0x0	R/W	
T16A Comparator/ Capture Ch.2 B Data Register (T16A_CCB2)	0x5448 (16 bits)	D15–0	CCB[15:0]	Compare/capture B data CCB15 = MSB CCB0 = LSB	0x0 to 0xffff				0x0	R/W	
T16A Comparator/ Capture Ch.2 Interrupt Enable Register (T16A_IEN2)	0x544a (16 bits)	D15–6	–	reserved	–				–	–	0 when being read.
		D5	CAPBOWIE	Capture B overwrite interrupt enable	1	Enable	0	Disable	0	R/W	
		D4	CAPAOWIE	Capture A overwrite interrupt enable	1	Enable	0	Disable	0	R/W	
		D3	CAPBIE	Capture B interrupt enable	1	Enable	0	Disable	0	R/W	
		D2	CAPAIE	Capture A interrupt enable	1	Enable	0	Disable	0	R/W	
		D1	CBIE	Compare B interrupt enable	1	Enable	0	Disable	0	R/W	
		D0	CAIE	Compare A interrupt enable	1	Enable	0	Disable	0	R/W	
		T16A Comparator/ Capture Ch.2 Interrupt Flag Register (T16A_IFLG2)	0x544c (16 bits)	D15–6	–	reserved	–				–
D5	CAPBOWIF			Capture B overwrite interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.
D4	CAPAOWIF			Capture A overwrite interrupt flag					0	R/W	
D3	CAPBIF			Capture B interrupt flag					0	R/W	
D2	CAPAIF			Capture A interrupt flag					0	R/W	
D1	CBIF			Compare B interrupt flag					0	R/W	
D0	CAIF			Compare A interrupt flag					0	R/W	

0x506b, 0x5460–0x546c

16-bit PWM Timer Ch.3

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
T16A Clock Control Register Ch.3 (T16A_CLK3)	0x506b (8 bits)	D7–4	CLKDIV [3:0]	Clock division ratio select	CLKDIV[3:0]	Division ratio OSC3 or IOSC		0x0	R/W		
					0xf	–	–				
					0xe	1/16384	–				
					0xd	1/8192	–				
					0xc	1/4096	–				
					0xb	1/2048	–				
					0xa	1/1024	–				
					0x9	1/512	–				
					0x8	1/256	1/256				
					0x7	1/128	1/128				
					0x6	1/64	1/64				
					0x5	1/32	1/32				
0x4	1/16	1/16									
0x3	1/8	1/8									
0x2	1/4	1/4									
0x1	1/2	1/2									
0x0	1/1	1/1									
	D3–2	CLKSRC [1:0]	Clock source select	CLKSRC[1:0]	Clock source		0x0	R/W	* S1C17564 only		
				0x3	External clock						
				0x2	OSC3						
				0x1	OSC1						
D0	–	–	–	–	–	–	–	–			
D0	CLKEN	Count clock enable	1	Enable	0	Disable	0	R/W			
T16A Counter Ch.3 Control Register (T16A_CTL3)	0x5460 (16 bits)	D15–6	–	reserved	–	–	–	–	–	0 when being read.	
		D5–4	CCABCNT [1:0]	Counter select	CCABCNT[1:0]	Counter Ch.		0x0	R/W		
					0x3	Ch.3					
					0x2	Ch.2					
					0x1	Ch.1					
		D3	CBUFEN	Compare buffer enable	1	Enable	0	Disable	0	R/W	
		D2	TRMD	Count mode select	1	One-shot	0	Repeat	0	R/W	
D1	PRESET	Counter reset	1	Reset	0	Ignored	0	W	0 when being read.		
D0	PRUN	Counter run/stop control	1	Run	0	Stop	0	R/W			
T16A Counter Ch.3 Data Register (T16A_TC3)	0x5462 (16 bits)	D15–0	T16ATC [15:0]	Counter data T16ATC15 = MSB T16ATC0 = LSB	0x0 to 0xffff			0x0	R		
T16A Comparator/ Capture Ch.3 Control Register (T16A_CCCTL3)	0x5464 (16 bits)	D15–14	CAPBTRG [1:0]	Capture B trigger select	CAPBTRG[1:0]	Trigger edge		0x0	R/W		
					0x3	↑ and ↓					
					0x2	↓					
					0x1	↑					
		D13–12	TOUTBMD [1:0]	TOUT B mode select	TOUTBMD[1:0]	Mode		0x0	R/W		
					0x3	cmp B: ↑ or ↓					
					0x2	cmp A: ↑ or ↓					
					0x1	cmp A: ↑, B: ↓					
		D11–10	–	reserved	–		–	–	0 when being read.		
					–	–					
		D9	TOUTBINV	TOUT B invert	1	Invert	0	Normal	0	R/W	
		D8	CCBMD	T16A_CCB register mode select	1	Capture	0	Comparator	0	R/W	
D7–6	CAPATRG [1:0]	Capture A trigger select	CAPATRG[1:0]	Trigger edge		0x0	R/W				
			0x3	↑ and ↓							
			0x2	↓							
			0x1	↑							
D5–4	TOUTAMD [1:0]	TOUT A mode select	TOUTAMD[1:0]	Mode		0x0	R/W				
			0x3	cmp B: ↑ or ↓							
			0x2	cmp A: ↑ or ↓							
			0x1	cmp A: ↑, B: ↓							
D3–2	–	reserved	–		–	–	0 when being read.				
D1	TOUTAINV	TOUT A invert	1	Invert	0	Normal	0	R/W			
D0	CCAMD	T16A_CCA register mode select	1	Capture	0	Comparator	0	R/W			
T16A Comparator/ Capture Ch.3 A Data Register (T16A_CCA3)	0x5466 (16 bits)	D15–0	CCA[15:0]	Compare/capture A data CCA15 = MSB CCA0 = LSB	0x0 to 0xffff			0x0	R/W		
T16A Comparator/ Capture Ch.3 B Data Register (T16A_CCB3)	0x5468 (16 bits)	D15–0	CCB[15:0]	Compare/capture B data CCB15 = MSB CCB0 = LSB	0x0 to 0xffff			0x0	R/W		

Appendix A I/Oレジスター一覧

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T16A Comparator/ Capture Ch.3 Interrupt Enable Register (T16A_IEN3)	0x546a (16 bits)	D15–6	–	reserved	–	–	–	0 when being read.
		D5	CAPBOWIE	Capture B overwrite interrupt enable	1 Enable	0 Disable	0	R/W
		D4	CAPAOWIE	Capture A overwrite interrupt enable	1 Enable	0 Disable	0	R/W
		D3	CAPBIE	Capture B interrupt enable	1 Enable	0 Disable	0	R/W
		D2	CAPAIE	Capture A interrupt enable	1 Enable	0 Disable	0	R/W
		D1	CBIE	Compare B interrupt enable	1 Enable	0 Disable	0	R/W
		D0	CAIE	Compare A interrupt enable	1 Enable	0 Disable	0	R/W
T16A Comparator/ Capture Ch.3 Interrupt Flag Register (T16A_IFLG3)	0x546c (16 bits)	D15–6	–	reserved	–	–	–	0 when being read.
		D5	CAPBOWIF	Capture B overwrite interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W
		D4	CAPAOWIF	Capture A overwrite interrupt flag			0	R/W
		D3	CAPBIF	Capture B interrupt flag			0	R/W
		D2	CAPAIF	Capture A interrupt flag			0	R/W
		D1	CBIF	Compare B interrupt flag			0	R/W
		D0	CAIF	Compare A interrupt flag			0	R/W

0x54b0

Flash Controller

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FLASHC Read Wait Control Register (FLASHC_ WAIT)	0x54b0 (16 bits)	D15–2	–	reserved	–	–	–	0 when being read.
		D1–0	RDWAIT [1:0]	Flash read wait cycle	RDWAIT[1:0]	Wait	0x3	R/W
					0x3	2 wait		
					0x2	1 wait		
					0x1	No wait		
					0x0	reserved		

0xffff84–0xffffd0

S1C17 Core I/O

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Processor ID Register (IDIR)	0xffff84 (8 bits)	D7–0	IDIR[7:0]	Processor ID 0x10: S1C17 Core	0x10	0x10	R	
Debug RAM Base Register (DBRAM)	0xffff90 (32 bits)	D31–24	–	Unused (fixed at 0)	0x0	0x0	R	
		D23–0	DBRAM[23:0]	Debug RAM base address	0x2fc0	0x2fc0	R	
Debug Control Register (DCR)	0xffffa0 (8 bits)	D7	IBE4	Instruction break #4 enable	1 Enable	0 Disable	0	R/W
		D6	IBE3	Instruction break #3 enable	1 Enable	0 Disable	0	R/W
		D5	IBE2	Instruction break #2 enable	1 Enable	0 Disable	0	R/W
		D4	DR	Debug request flag	1 Occurred	0 Not occurred	0	R/W
		D3	IBE1	Instruction break #1 enable	1 Enable	0 Disable	0	R/W
		D2	IBE0	Instruction break #0 enable	1 Enable	0 Disable	0	R/W
		D1	SE	Single step enable	1 Enable	0 Disable	0	R/W
		D0	DM	Debug mode	1 Debug mode	0 User mode	0	R
Instruction Break Address Register 1 (IBAR1)	0xffffb4 (32 bits)	D31–24	–	reserved	–	–	–	0 when being read.
		D23–0	IBAR1[23:0]	Instruction break address #1 IBAR123 = MSB IBAR10 = LSB	0x0 to 0xfffff	0x0	R/W	
Instruction Break Address Register 2 (IBAR2)	0xffffb8 (32 bits)	D31–24	–	reserved	–	–	–	0 when being read.
		D23–0	IBAR2[23:0]	Instruction break address #2 IBAR223 = MSB IBAR20 = LSB	0x0 to 0xfffff	0x0	R/W	
Instruction Break Address Register 3 (IBAR3)	0xffffbc (32 bits)	D31–24	–	reserved	–	–	–	0 when being read.
		D23–0	IBAR3[23:0]	Instruction break address #3 IBAR323 = MSB IBAR30 = LSB	0x0 to 0xfffff	0x0	R/W	
Instruction Break Address Register 4 (IBAR4)	0xffffd0 (32 bits)	D31–24	–	reserved	–	–	–	0 when being read.
		D23–0	IBAR4[23:0]	Instruction break address #4 IBAR423 = MSB IBAR40 = LSB	0x0 to 0xfffff	0x0	R/W	

Appendix B パワーセーブ

消費電流はCPUの動作モード、動作クロック周波数、動作させる周辺回路により大きく変わります。以下に、省電力化のための制御方法をまとめます。

B.1 クロック制御によるパワーセーブ

ソフトウェアによって制御可能なクロック系とパワーセーブのための制御内容を以下に示します。制御レジスタや制御方法の詳細については、それぞれのモジュールの章を参照してください。

システムのスリープ(全クロックの停止)

- `slp`命令の実行
システム全体を停止可能な場合は、`slp`命令を実行します。CPUはSLEEPモードとなり、すべての発振回路が停止します。これにより、クロックを使用する周辺回路はすべて停止します。このため、SLEEPモードからのCPUの起動方法はポートによる起動(後述)に限られます。

システムクロック

- 低速クロックソースの選択(CLGモジュール)
システムクロックソースに低速な発振回路を選択します。低速動作で処理可能な際にはOSC1クロックを選択することで消費電流を低減できます。
- 不要な発振回路の停止(CLGモジュール)
システムクロックソースとしている発振回路を動作させ、可能であれば他の発振回路を停止します。OSC1をシステムクロックとし、IOSCおよびOSC3発振回路を停止することで、消費電流をより低減できます。

CPUクロック(CCLK)

- `halt`命令の実行
表示のみ必要な場合や割り込み待ちなど、CPUによるプログラムの実行が不要な場合は、`halt`命令を実行します。CPUはHALTモードとなり動作を停止しますが、周辺回路は`halt`命令実行時の状態を維持します。このため、割り込みに使用する周辺回路を動作させておくことができます。また、不要な発振回路と周辺回路を停止してから`halt`命令を実行することで、パワーセーブの効果は高まります。HALTモードからは、ポートまたはHALTモード時に動作させている周辺回路からの割り込みによりCPUが起動します。
- 低速クロックギアを選択(CLGモジュール)
CLGモジュールは、クロックギアの設定により、CPUクロックをシステムクロックの1/1～1/8に減速することができます。アプリケーションに必要な最低限の速度でCPUを動作させることにより、消費電流を低減できます。

周辺クロック(PCLK)

- PCLKの停止(CLGモジュール)
以下の周辺回路の動作がすべて不要な場合は、CLGから周辺回路へのPCLKクロックの供給を停止することができます。

PCLKを使用する周辺モジュール

- UART Ch.0～1
- ファインモード16ビットタイマ Ch.0～1
- 16ビットタイマ Ch.0～2
- SPI Ch.0～2
- USI Ch.0～1(S1C17564)
- I²Cマスタ
- I²Cスレーブ

- 電源制御回路(S1C17564)
- Pポート&ポートMUX(制御レジスタ、チャタリング除去)
- MISCレジスタ
- IRリモートコントローラ
- A/D変換器

以下の周辺モジュール/機能に、PCLKは必要ありません。

PCLKを使用しない周辺モジュール/機能

- 計時タイマ
- ストップウォッチタイマ
- ウォッチドッグタイマ
- 16ビットPWMタイマ Ch.0～3
- FOUTA/FOUTB出力

クロック制御とCPUの起動/停止方法の一覧を表B.1.1に示します。

表B.1.1 クロック制御一覧

消費電流	OSC1	IOSC/OSC3	CPU (CCLK)	PCLK周辺	OSC1周辺	CPU停止方法	CPU起動方法
↑ 低	停止	停止	停止	停止	停止	slp命令実行	1
	発振 (システムCLK)	停止	停止	停止	動作	halt命令実行	1, 2
	発振 (システムCLK)	停止	停止	動作	動作	halt命令実行	1, 2, 3
	発振 (システムCLK)	停止	動作(1/1)	動作	動作		
	発振	発振 (システムCLK)	停止	動作	動作	halt命令実行	1, 2, 3
	発振	発振 (システムCLK)	動作(低ギア)	動作	動作		
高 ↓	発振	発振 (システムCLK)	動作(1/1)	動作	動作		

HALT, SLEEPモードの解除方法(CPU起動方法)

1. ポートによる起動
入出力ポート割り込み、デバッグ割り込み(ICD強制ブレーク発行)により起動します。
2. OSC1周辺回路による起動
計時タイマ、ストップウォッチタイマ、ウォッチドッグタイマの割り込みにより起動します。
3. PCLK周辺回路による起動
PCLK周辺回路の割り込みにより起動します。

B.2 電源制御によるパワーセーブ

パワーセーブに有効な電源の制御を以下に示します。

レギュレータ動作モード(S1C17564)

S1C17564で内蔵レギュレータを使用する場合、低速(32kHz)動作時またはスタンバイモード(HALT、SLEEP)時はレギュレータをエコモードを設定し、消費電流を低減してください。エコモードの制御方法については、“電源”の章を参照してください。

Appendix C 実装上の注意事項

基板の設計およびICを実装する際の注意事項を以下に示します。

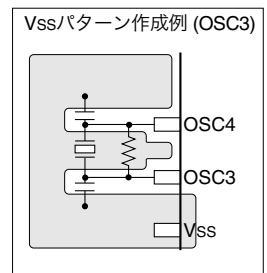
発振回路

- 発振特性は使用部品(振動子、 R_f 、 C_G 、 C_D)や基板パターンなどにより変化します。特にセラミック発振子または水晶振動子を使用する場合、外付けの抵抗(R_f)や容量(C_G 、 C_D)の値は、実際の基板上に各部品を実装した状態で十分評価を行って適切なものを選んでください。
- ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため以下の点に配慮してください。特に最新機種は、より微細なプロセスで製造されており、ノイズに敏感になっています。

最もノイズ対策が必要となるのは、OSC2端子とその回路構成部品および配線です。OSC1端子の処理もこれらと同様に重要です。以下、OSC1、OSC2端子のノイズ対策を記載します。

なお、OSC3、OSC4端子や配線等、高速発振回路系についても、これに準じたノイズ対策を施すことを推奨します。

- OSC1(OSC3)、OSC2(OSC4)端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
- OSC1(OSC3)、OSC2(OSC4)端子とこれらの回路構成部品、および配線から3mm以内の領域には、できるだけデジタル信号線を配置しないでください。特に、スイッチングが激しい信号を近くに配置することは避けてください。多層プリント基板の各層の間隔は0.1~0.2mm程度しかありませんので、デジタル信号線を他のどの層に配置する場合でも同様です。
また、これらの部品や配線とデジタル信号線を絶対に並走させないでください。3mm以上の距離がある場合や基板の他の層であっても禁止します。配線を交差させることも避けてください。
- OSC1(OSC3)、OSC2(OSC4)端子と配線は、基板の隣接する層も含めVssでシールドしてください。
配線する層は、右の図のように広めにシールドしてください。
隣接する層についてはできれば全面をグラウンド層に、最低でも上記端子と配線の周囲を5mm以上カバーするようにシールドしてください。
この対策を施した場合でも、(2)に記載したようにデジタル信号線との並走は禁止します。他の層での交差についても、スイッチング頻度の低い信号以外はできるだけ避けてください。



- 上記の対策を施した後は、実機で実際のアプリケーションプログラムを動作させた状態での出力クロック波形も確認してください。
FOUTBまたはFOUTA端子の出力をオシロスコープなどで確認します。
OSC3の出力波形の品質をFOUTA/B出力で確認します。設計どおりの周波数でノイズが乗っていないかどうか、およびジッタがほとんどないことを確認してください。
OSC1波形の品質をFOUTA/B出力で確認します。特にクロックの立ち上がり/立ち下がりの両エッジの前後を拡大し、前後100ns程度の範囲にクロック状のノイズやスパイクノイズなどが乗っていないか注意して見てください。

(1)~(3)の対応が不十分な場合、OSC3出力にはジッタが発生し、OSC1出力にはノイズが乗ることがあります。OSC3出力にジッタが発生するとその分、動作周波数が低下します。OSC1出力にノイズが乗ると、OSC1クロックで動作するタイマや、システムクロックをOSC1に切り換えた際のCPUコアの動作が不安定になります。

リセット回路

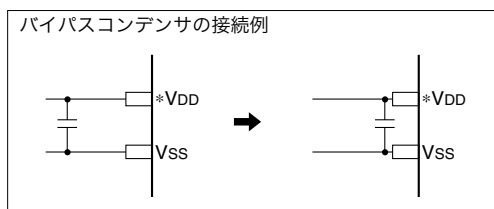
- 電源投入時、#RESET端子に入力されるリセット信号は、諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。

- ノイズによる動作中のリセットを防ぐため、#RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

電源回路

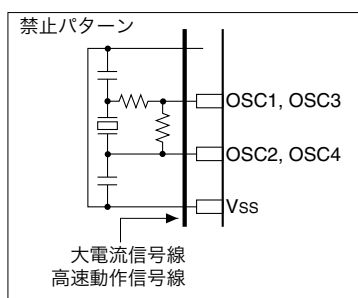
ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1) 電源から*VDD(LVDD、HVDD、AVDD)およびVss端子へはできるだけ短くかつ太いパターンで接続してください。
- (2) *VDD-Vssのバイパスコンデンサを接続する場合、*VDD端子とVss端子をできるだけ最短で接続してください。



信号線の配置

- 相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。
- 高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。特に、発振部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



ノイズによる誤動作について

ノイズによるICの誤動作が考えられる場合、以下の3点について確認してみてください。

(1) DSIO端子

この端子にLowレベルのノイズが入るとデバッグモードになります。デバッグモードになったことは、DCLKからクロックが出力され、DST2端子がHighになっていることで確認できます。製品版では、DSIO端子をHVDDに直結、もしくは10kΩ以下の抵抗でプルアップすることを推奨します。IC内にプルアップ抵抗が付いていますが、100～500kΩ程度と高インピーダンスなため、ノイズには強くありません。

(2) #RESET端子

この端子にLowレベルのノイズが入るとICがリセットされます。ただし、入力波形によっては正常なリセット動作が行えない場合があります。回路設計上、リセット入力が高レベル状態でのインピーダンスが高いときに起こりやすくなります。

(3) LVDD、HVDD、AVDD、Vss電源

規定の電圧を下回るようなノイズが入った場合、その瞬間にICが誤動作します。基板の電源系のベタパターン化、ノイズ除去用デカップリングコンデンサの追加、電源ラインへのサージ/ノイズ対策部品の追加など、基板上での対策をお願いします。

上記の確認作業は、200MHz以上の波形が観測できるオシロスコープを使用して行ってください。低速なオシロスコープでは、高速なノイズの発生を観測できない場合があります。

ノイズによる誤動作の可能性をオシロスコープの波形観測で発見した場合は、その端子をGNDまたは電源に低インピーダンス(1kΩ以下)で接続して再確認してください。誤動作しなくなる、頻度が低くなる、あるいは症状が変わるなどの変化が見受けられる場合、その端子での誤動作が確実に考えられます。

上記のDSIO、#RESET入力回路は入力信号のエッジを検出しているため、ひげ状のノイズでも誤動作しやすく、デジタル信号の中では最もノイズに弱い端子です。

ノイズが乗りにくいように、基板設計の際には以下の2点を考慮してください。

- (A)まず、上記の各項目にあるように、信号を駆動するインピーダンスを低くすることが重要です。目安としては1kΩ以下、できれば0Ωとなるように電源やGNDに接続してください。また、接続する信号線長は5cm程度以下としてください。
- (B)基板上で他のデジタル線と並走したために、その信号の1→0、0→1の変化点で発生するノイズの影響を受ける場合があります。特に、同時変化する複数の信号線に両側から挟まれると、最も大きなノイズが乗ります。並走距離を短くする(数cm以下に抑える)、信号を離す(2mm以上離す)、といった対策が有効です。

光に対する取り扱い(ベアチップ実装の場合)

半導体素子は、光が照射されると特性が変化します。このため、ICに光が当たると誤動作を起こしたり、不揮発性メモリのデータが消去される可能性があります。

光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。

- (1)実使用時にICの遮光性が考慮された構造となるよう、設計および実装を行ってください。
- (2)検査工程では、ICの遮光性が考慮された環境設計を行ってください。
- (3)ICの遮光は、ICチップの表面、裏面および側面について考慮してください。
- (4)ICチップ状態での保管は開封後1週間以内とし、この期限までに実装をお願いします。ICチップ状態での保管の必要がある場合は、必ず遮光の措置を講じてください。
- (5)実装工程において通常のリフロー条件を超えるような熱ストレスが印加される場合、製品出荷前に不揮発性メモリのデータ保持に関して十分な評価をお願いします。

未使用端子の処理

- (1)入出力ポート(P)端子
未使用端子はオープンにしてください。制御レジスタは初期状態(プルアップあり、入力)にしてください。
- (2)OSC1、OSC2、OSC3、OSC4端子
発振回路を使用しない場合はオープンにしてください。制御レジスタは初期状態(発振Off)にしてください。

その他

本製品シリーズは微細プロセスにより製造されています。

ICの基本信頼性に関してはEIAJ、MIL規格を満足するように設計されていますが、実装段階においては、機械的ダメージのほか、

- (1)実装時リフロー工程、実装後のリワーク、個別特性評価(実験確認)の各工程における商用電源からの電磁誘導ノイズ
- (2)半田ごて使用時のこて先からの電磁誘導ノイズ

など、緩やかな時間的変化を伴う絶対最大定格以上の電圧となる外乱が、電氣的損傷につながる可能性があります。

特に半田ごて使用時には、ICのGNDと半田ごてのGND(こて先の電位)を同電位として作業を行ってください。

Appendix D 初期化ルーチン

ベクタテーブルと初期化ルーチンの例を以下に示します。

boot.s

```
.org      0x8000
.section .rodata                                     ... (1)

; =====
;      Vector table
; =====

; interrupt  vector  interrupt
; number    offset  source

.long BOOT          ; 0x00      0x00      reset          ... (2)
.long unalign_handler ; 0x01      0x04      unalign
.long nmi_handler    ; 0x02      0x08      NMI
.long int03_handler   ; 0x03      0x0c      -
.long p0_handler      ; 0x04      0x10      P0 port
.long p1_handler      ; 0x05      0x14      P1 port
.long swt_handler     ; 0x06      0x18      SWT
.long ct_handler      ; 0x07      0x1c      CT
.long t16a_2_handler  ; 0x08      0x20      T16A ch2
.long P4_handler      ; 0x09      0x24      P4 port
.long spi_2_handler   ; 0x0a      0x28      SPI ch2
.long t16a_0_handler  ; 0x0b      0x2c      T16A ch0
.long t16f_0_1_usi_0_1_handler ; 0x0c      0x30      T16F ch0,ch1/USI ch0,ch1
.long t16_0_handler   ; 0x0d      0x34      T16 ch0
.long t16_1_handler   ; 0x0e      0x38      T16 ch1
.long t16_2_t16a_3_handler ; 0x0f      0x3c      T16 ch2/T16A ch3
.long uart_0_handler  ; 0x10      0x40      UART ch0
.long uart_1_handler  ; 0x11      0x44      UART ch1
.long spi_0_handler   ; 0x12      0x48      SPI ch0
.long i2cm_handler    ; 0x13      0x4c      I2C master
.long remc_spi_1_handler ; 0x14      0x50      REMC/SPI ch1
.long t16a_1_handler  ; 0x15      0x54      T16A ch1
.long adc10_handler   ; 0x16      0x58      ADC10
.long p5_handler      ; 0x17      0x5c      P5 port
.long p2_handler      ; 0x18      0x60      P2 port
.long p3_handler      ; 0x19      0x64      P3 port
.long i2cs_handler    ; 0x1a      0x68      I2C slave
.long int1b_handler   ; 0x1b      0x6c      -
.long int1c_handler   ; 0x1c      0x70      -
.long int1d_handler   ; 0x1d      0x74      -
.long int1e_handler   ; 0x1e      0x78      -
.long int1f_handler   ; 0x1f      0x7c      -

; =====
;      Program code
; =====

.text                                               ... (3)
.align 1

BOOT:
; ===== Initialize =====

; ----- Stack pointer -----
xld.a    %sp, 0x0f00                                ... (4)

; ----- Memory controller -----
xld.a    %r1, 0x54b0    ; FLASHC register address

; Flash read wait cycle
xld.a    %r0, 0x01      ; No wait under 14.75MHz
ld.b     [%r1], %r0      ; [0x54b0] <= 0x01          ... (5)

; ===== Main routine =====
...
```

```
; =====
;      Interrupt handler
; =====
; ----- Address unalign -----
unalign_handler:
    ...

; ----- NMI -----
nmi_handler:
    ...
```

- (1) ベクタテーブルを .vector セクションに配置するために .rodata セクションを宣言します。
- (2) 割り込み処理ルーチンのアドレスをベクタとして定義します。
intXX_handler はソフトウェア割り込みとして使用可能です。
- (3) プログラムコードは .text セクションに記述します。
- (4) スタックポインタを設定します。
- (5) Flash メモリリード時のウェイト数を設定します。
システムクロックが 14.75MHz 以下の場合は、ノーウェイトに設定可能です。
（“メモリマップ、バス制御”の章を参照）

Appendix E 推奨振動子

最適な各発振回路定数は実装条件、使用する電圧条件等により変化します。実装回路上での評価を各振動子メーカーにご依頼ください。

(1) OSC1水晶振動子

発振周波数 [kHz]	メーカー	品番
32.768	エプソントヨコム株式会社	MC-146 (表面実装)

(2) OSC3水晶振動子

発振周波数 [MHz]	メーカー	品番
4	エプソントヨコム株式会社	MA-406 (表面実装)
16	エプソントヨコム株式会社	FA-238 (表面実装)
20	エプソントヨコム株式会社	FA-238 (表面実装)

(3) OSC3セラミック振動子

発振周波数 [MHz]	メーカー	品番
2	株式会社 村田製作所	CSTCC2M00G56 (表面実装)
8	株式会社 村田製作所	CSTCE8M00G55 (表面実装)
14.75	株式会社 村田製作所	CSTCE14M7V51 (表面実装)
24	株式会社 村田製作所	CSTCG24M0V51 (表面実装)

改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
411914300	全ページ	新規制定
411914301	1-1	特長: 内蔵Flashメモリ - その他 表1.1.1修正
	1-12	端子説明: P02/P03(US_SS1x) 端子 (旧) USI Ch.xスレーブセレクト信号入力/データ入出力端子(S1C17564) (新) USI Ch.xデータ入出力端子(S1C17564)
	3-2	Flashプログラミング (旧) 消去方法はセクタ消去となります。... “自己書き換えプログラミング(FLS)アプリケーションノート” を参照してください。 (新) 削除
	4-1	電源: I/O電源電圧(HVDD) (旧) なし (新) 注: ... • P00~P03(AIN0~AIN3) ポートの電源にはAVDDが供給されています(4.3節参照)。 電源: アナログ回路用電源電圧(AVDD) (旧) AVDD = 2.7V~5.5V(VSS = GND) 注: A/D変換器を使用しない場合は、AVDD端子にHVDDと同じ電圧を供給してください。 (新) AVDD = 2.7V~5.5V(VSS = GND) A/D変換器を使用する場合 ... 注: ... ポートのスイッチングは極力抑えてください。
	7-7, 7-11	CLG: システムクロック切り換え条件(S1C17564) 表7.4.3、表7.8.4修正
	7-10	CLG: FOUTA/FOUTB出力 図7.7.2修正
	8-4, 8-10	P: 入出力ポートのチャタリング除去機能 (旧) なし (新) 注: • チャタリング除去機能を有効にしている状態でslp命令を実行した場合は、... SLEEPモード移行前にチャタリング除去機能を無効にしてください。
	11-5	T16A: コンペアバッファ (旧) CBUFENが1に設定されている場合も ... コンペアバッファがアクセスされます。 (新) 比較値はT16A_CCAxまたは ... CBUFENの設定にかかわらず、コンペアレジスタがアクセスされます。
	15-7	UART: データ受信制御 (旧) (2) RDRY = 1, RD2B = 0 ... この読み出しによりバッファ内のデータはクリアされ、RDRYフラグもリセットされます。... (3) RDRY = 1, RD2B = 1 ... この読み出しにより、読み出されたバッファデータはクリアされ ... オーバーランエラーが発生し、シフトレジスタのデータは新しいデータで上書きされます。 (新) (2) RDRY = 1, RD2B = 0 ... この読み出しによりRDRYフラグがリセットされます。... (3) RDRY = 1, RD2B = 1 ... この読み出しにより、RD2Bフラグがリセットされます。... 受信データバッファが満杯でも、シフトレジスタは8ビットデータの受信をもう1回開始することができます。... オーバーランエラーが発生し、最後の受信データを読み出すことはできません。
	15-8	UART: オーバーランエラー (旧) 受信データバッファが満杯(2データ受信済み)の状態でも、... オーバーランエラーが発生します。 (新) 受信データバッファが満杯(2データ受信済み)の状態でも、... シフトレジスタに受信した3番目のデータはバッファに送られず、オーバーランエラーが発生します。
	16-2	SPI: SPIクロック (旧) スレーブモードでは、... 入力クロックは微分されPCLKクロックとの同期用に使用されます。 (新) スレーブモードでは、SPICLKx端子からSPIクロックを入力します。
	16-4	SPI: データ送信タイミングチャート 図16.5.1削除 SPI: データ送信制御 (旧) なし (新) 注: SPIをマスタモードかつCPHA = 0の設定で使用する場合、... (図16.5.1追加) ... データの変化からクロックの変化まではSPICLKx半周期の長さが確保されます。
	16-5	SPI: データ送受信タイミングチャート 図16.5.2修正 SPI: データ送受信を禁止 (旧) データ転送(送信と受信の両方)を ... SPRBFフラグが0になっていることを確認してください。 SPENを0に設定すると、... 転送中のデータは保証されません。 (新) データ転送(送信と受信の両方)を ... SPBSYフラグが0になっていることを確認してください。 データの送受信中にSPENを0に設定した場合、転送中のデータは保証されません。
	16-7	SPI: SPI Ch.x Transmit Data Registers (SPI_TXDx) (旧) なし (新) 注: データの送受信を行う場合、... 書き込みはSPENを1に設定した後に行ってください。

改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
411914301	17-2	I2CM: I ² Cの接続例 図17.2.1追加
		I2CM: 同期クロック(転送速度の制限) (旧)なし (新)なお、クロックストレッチを行う ... 最大200kbpsに制限されますので注意してください。
	17-3	I2CM: スレーブアドレスの送信 (旧) ... 10ビットの場合はソフトウェア制御により2回の送信を行います。 ... (新) ... 10ビットの場合はソフトウェア制御により2回、または3回の送信を行います。 ...
		I2CM: スレーブアドレスと転送方向を指定する送信データ 図17.5.2修正
	17-4	I2CM: データ受信制御 (旧) データはMSBを先頭に、クロックの立ち上がりエッジで順次シフトレジスタに取り込まれます。 RXEはD6の取り込み時に0にリセットされます。 (新) データはMSBを先頭に、クロックに同期して順次シフトレジスタに取り込まれます。 RXEはD7の取り込み時に0にリセットされます。
		I2CM: データ送受信の終了(ストップコンディションの生成) (旧) また、ストップコンディションの生成は予約が可能です。 ... STPを1に設定してください。 (新) STPへの1の書き込みは、 ... I ² Cクロック周期の1/4より長い時間が経過した後に行ってください。
	17-5	I2CM: データ送受信を禁止 (旧) データ転送(送信と受信の両方)を終了後は、 ... 転送中のデータは保証されません。 (新) ストップコンディションを生成した後は、 ... SCL0とSDA0の出力レベル、および転送中のデータは保証されません。
		I2CM: タイミングチャート 図17.5.6~図17.5.9修正
	17-7	I2CM: 送信バッファエンプティ割り込みを確認する方法 (旧) 次の手順でTBUSY/I2CM_CTLレジスタを読み出した値が0の場合、 ... (4) TBUSY/I2CM_CTLレジスタを読み出します。 (新) 次の手順でTXE/I2CM_DATレジスタを読み出した値が0の場合、 ... (5) TXE/I2CM_DATレジスタを読み出します。
		I2CM: 受信バッファフル割り込みを確認する方法 (旧) 次の手順でRBUSY/I2CM_CTLレジスタを読み出した値が1の場合、 ... (3) RBUSY/I2CM_CTLレジスタを読み出します。 (新) 次の手順でRBRDY/I2CM_DATレジスタを読み出した値が1の場合、 ... (3) RBRDY/I2CM_DATレジスタを読み出します。
	17-9	I2CM: I ² C Master Control Register (I2CM_CTL) - (D1) STP: Stop Control Bit (旧) TXE、RXE、またはSTRTのいずれかが1の場合、STPは無効です。 (新) 削除
		I2CM: I ² C Master Data Register (I2CM_DAT) - (D10) RXE: Receive Execution Bit (旧) RXEはD6がシフトレジスタに取り込まれた時点で0にリセットされます。 (新) RXEはD7がシフトレジスタに取り込まれた時点で0にリセットされます。
	18-1	I2CS: I2CSモジュールの構成 図18.1.1修正
		I2CS: I2CS端子一覧 - SCL1 表18.2.1修正
	18-2	I2CS: I ² Cの接続例 図18.2.1追加
		I2CS: #BFR端子入力によるバス解放要求 (旧) 機能を有効にすると、#BFR端子へのLowパルス入力(周辺モジュールクロック(PCLK)5クロック以上のパルス幅が必要)によりBFREQ/I2CS_STATレジスタが1にセットされます。 (新) 機能を有効にすると、#BFR端子へのLowパルス入力(周辺モジュールクロック(PCLK)1クロック以上のパルス幅が必要。2クロック以上を推奨)によりBFREQ/I2CS_STATレジスタが1にセットされます。
	18-3	I2CS: クロックストレッチ機能 (旧)なし (新)なお、クロックストレッチ動作を行ったときの ... 動作クロック(PCLK)周波数によって変わります。
	18-4	I2CS: データ送受信の開始 (旧) BUSYとSELECTEDのどちらのステータスビットも、 ... 検出するまで1を保持します。 (新) BUSYはストップコンディションを検出するまで1を保持します。SELECTEDはストップコンディションからリピーテッドスタートコンディションを検出するまで1を保持します。
	18-4, 18-5, 18-10	I2CS: データ送信 (旧)なし (新) 非同期アドレス検出機能を使用する場合、ASDET_ENを0にリセットする前に書き込みを行ったデータは無効となるため、TXEMPが1にセットされてから送信データを書き込む必要があります。

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
411914301	18-5	I2CS: データ送信時の注意事項 (旧) 注: 下記の条件がすべて成立している状態で、... 1. I ² Cバスに複数のスレーブを接続している。... 4. OSC1を動作クロック(PCLK)として、本I2CSが通信待機状態にある。 (新) 注: 下記の条件がすべて成立している状態で、... 1. 通信レートを320kbps以上に設定している。... 3. OSC1を動作クロック(PCLK)として、本I2CSが通信待機状態にある。
	18-7, 18-8	I2CS: タイミングチャート 図18.5.5～図18.5.8修正
	18-9	I2CS: バスステータス割り込み (旧) 7. DA_STOP/I2CS_STATレジスタ: ... ストップコンディションを検出した場合に1にセット (新) 7. DA_STOP/I2CS_STATレジスタ: ... ストップコンディション、またはリピーテッドスタートコンディションを検出した場合に1にセット
	18-14, 18-15	I2CS: I ² C Slave Status Register (I2CS_STAT) - (D0) DA_STOP: Stop Condition Detect Bit (旧) ストップコンディションを検出したことを示します。 ... 次のスタートコンディションに待機するため、I ² Cの通信プロセスを初期化します。 (新) ストップコンディションまたはリピーテッドスタートコンディションを検出したことを示します。 ... I2CSモジュールはDA_STOPを1にセットします。同時にI ² Cの通信プロセスを初期化します。
	18-15	I2CS: I ² C Slave Access Status Register (I2CS_ASTAT) - (D1) SELECTED: I ² C Slave Select Status Bit (旧) 1にセットされたSELECTEDはストップコンディションの検出によりリセットされます。 (新) 1にセットされた ... またはリピーテッドスタートコンディションの検出によりリセットされます。
	19-1	USI: USIモジュールの概要 - SPIマスタモード (旧) - 受信データマスク機能 (新) 削除
	19-3	USI: クロックソースの注意事項 (旧) 注: USIをI ² Cスレーブモードに設定した場合、i2c_scl(I ² Cクロック)は ... 図19.3.2 I ² Cクロック遅延の例 (新) 注: USIをI ² Cスレーブモードに設定した場合、... データ送信やACK/NAK送信の場合は、ISTGIに1を書き込んでからT16F出力の1クロック後にデータを出力します。 USI: USIモジュールの設定 (旧) (1) インタフェースモードに合わせ、使用する端子をUSI用に設定します(19.2節参照)。... (6) 必要に応じ、割り込みの設定を行います(19.7節参照)。 (新) SPIマスタ、I ² Cマスタ/スレーブモードの場合 ... UARTモードでの使用時は ... USIの設定後に端子機能を切り換えてください。
	19-5	USI: SPIマスタモード時の設定 (旧) SPIマスタモードでは、... クロックモード、データ長、受信データマスクを設定します。 (新) SPIマスタモードでは、... クロックモード、データ長を設定します。
	19-6	USI: 受信データマスク (旧) 受信データマスク SPIマスタモードには受信データマスク(データ再送信)機能があり... ... SMSKENを0(デフォルト)に設定して受信データマスク機能を無効にしてください。 (新) 削除
	19-7	USI: データ受信タイミングチャート(UARTモード) 図19.5.1.2修正 USI: データ送信 (旧) SPIコントローラには送信の制御用に ... 2つのステータスフラグが用意されています。 (新) SPIコントローラには送信の制御用にSTDIF/USI_SIFxレジスタが用意されています。 USI: データ送信 (旧) SPIマスタモード時のSSIFフラグは ... このフラグを読み出して確認してください。 (新) 削除
	19-8	USI: データ送信タイミングチャート(SPIマスタモード) 図19.5.2.1修正 USI: データ受信 (旧) SPIコントローラには受信の制御用に ... 2つのステータスフラグが用意されています。 (新) SPIコントローラには受信の制御用にSRDIF/USI_SIFxレジスタが用意されています。 USI: データ受信 (旧) SSIFフラグはシフトレジスタの状態を示します。... このフラグを読み出して確認してください。 (新) 削除 USI: データ受信タイミングチャート(SPIマスタモード) 図19.5.2.2修正
	19-9	USI: I ² Cモードの接続例 図19.5.3.1追加
	19-10	USI: I ² Cマスタモードのデータ送信タイミング 図19.5.3.3修正

改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
411914301	19-11	<p>USI: スレーブアドレスと転送方向を指定する送信データ 図19.5.3.5修正</p> <p>USI: スレーブアドレスと転送方向ビットの送信 (旧) ... 10ビットの場合はソフトウェア制御により2回の送信を行います。 ... 10ビットアドレスの場合は、図19.5.3.5に従ってこの手順を2回実行してください。 ... (新) ... 10ビットの場合はソフトウェア制御により2回、または3回の送信を行います。 ... 10ビットアドレスの場合は、図19.5.3.5に従ってこの手順を2回、または3回実行してください。 ...</p>
	19-13	<p>USI: I²Cマスタモードのデータ受信タイミング 図19.5.3.10修正</p>
	19-14	<p>USI: I²Cマスタ受信手順 (旧) (3) データ受信 ... 8ビットのデータ受信の後、... スレーブデバイスに送信する必要があります。 ... (新) ... 8ビットのデータ受信の後、その応答としてACKまたはNAKをスレーブデバイスに送信する必要があります (これは受信データを読み出した後に行ってください)。 ...</p>
	19-15	<p>USI: I²Cスレーブモードの制御 (旧) ... また、割り込み発生後はステータスビット ... 終了した動作を確認することができます。 (新) ... また、割り込み発生後はステータスビット ... 終了した動作を確認することができます。その後、 ISIFに1を書き込んでクリアしてください。これにより、ISSTA[2:0]も自動的に0x0にリセットされます。</p>
	19-16	<p>USI: I²Cスレーブモードのデータ送信タイミング 図19.5.3.13修正</p>
	19-17	<p>USI: I²Cスレーブ送信手順 (旧) (4) ストップコンディションの受信 データ送信動作中に読み出したISSTA[2:0]が0x1の場合、... この場合は送信処理を終了します。 (新) ... この場合は送信処理を終了します。 なお、ストップコンディションはISTGMOD[2:0]が以下の設定のときに受信可能です。 0x6 (ACK/NAK受信)</p>
	19-18	<p>USI: I²Cスレーブモードのデータ受信タイミング 図19.5.3.15修正</p>
	19-19	<p>USI: I²Cスレーブ受信手順 (旧) (3) データ受信 ... 8ビットのデータ受信の後、... マスタデバイスに送信する必要があります。 ... (新) ... 8ビットのデータ受信の後、その応答としてACKまたはNAKをマスタデバイスに送信する必要があります (これは受信データを読み出した後に行ってください)。 ...</p> <p>USI: I²Cスレーブ受信手順 (旧) (4) ストップコンディションの受信 データ送信動作中に読み出したISSTA[2:0]が0x1の場合、... この場合は送信処理を終了します。 (新) ... この場合は送信処理を終了します。 なお、ストップコンディションはISTGMOD[2:0]が以下の設定のときに受信可能です。 0x6 (ACK/NAK受信)</p>
	19-21	<p>USI: UARTモードの割り込み - 受信エラー割り込み (旧) ... いずれかのエラーフラグが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。 (新) ... いずれかのエラーフラグが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。 オーバーランエラーをリセットするには、... USIを初期化してください。</p>
	19-22	<p>USI: SPIマスタモードの割り込み - 受信エラー割り込み (旧) ... SEIFが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。 (新) ... SEIFが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。 オーバーランエラーをリセットするには、... (USI_RDxレジスタ)を2回読み出してください。</p>
	19-22, 19-23	<p>USI: I²Cマスタモード/I²Cスレーブモードの割り込み - 受信エラー割り込み (旧) この割り込みを使用するには、... この要因による割り込み要求はITCに送られません。 データ受信時にオーバーランエラーを検出すると、... エラーからの復旧処理を行います。 . (新) この割り込みを使用するには、... この要因による割り込み要求はITCに送られません。 受信データを読み出さずに2バイトの受信を完了後、... その時点でオーバーランエラーが発生します。 データ受信時にオーバーランエラーを検出すると、... エラーからの復旧処理を行います。 オーバーランエラーをリセットするには、... (USI_RDxレジスタ)を2回読み出してください。</p>
	19-23, 19-24, 19-31, AP-A-2, AP-A-3, AP-A-16, AP-A-17	<p>USI: 0x50c9/0x50e9 USI Ch.x SPI Master Mode Receive Data Mask Registers (USI_SMSKx) (新) 削除</p>
	19-27	<p>USI: USI Ch.x UART Mode Interrupt Flag Registers (USI_UIFx) - (D2) UOEIF: Overrun Error Flag Bit (旧) UOEIFは1を書き込むことによりリセットされます。 (新) UOEIFをリセットするには、... USIを初期化してください。</p>
	19-28, 19-29, AP-A-15, AP-A-17	<p>USI: USI Ch.x SPI Master Mode Configuration Registers (USI_SCFGx) (旧) D1 SMSKEN: Receive Data Mask Enable Bit (新) D1 Reserved</p>

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
411914301	19-30, AP-A-15, AP-A-17	USI: USI Ch.x SPI Master Mode Interrupt Flag Registers (USI_SIFx) (旧) D3 SSIF: Transfer Busy Flag Bit (新) D3 Reserved
	19-30	USI: USI Ch.x SPI Master Mode Interrupt Flag Registers (USI_SIFx) - (D2) SEIF: Overrun Error Flag Bit (旧) オーバーランエラーは、... 上書きされると発生します。SEIFは1を書き込むことによりリセットされます。 (新) ... 上書きされると発生します。1バイトの受信が終了すると ... オーバーランエラーが発生します。 SEIFは1を書き込むことによりリセットされます。オーバーランエラーをリセットするには、... SEIF への1書き込みとUSI_RDxレジスタの2回読み出しの順番は逆でも構いません。
	19-33	USI: USI Ch.x I ² C Master Mode Interrupt Flag Registers (USI_IMIFx) - (D[4:2]) IMSTA[2:0]: I ² C Master Status Bits (旧) 動作完了割り込み発生後に ... 終了した動作を確認することができます。 (新) ... 終了した動作を確認することができます。IMSTA[2:0]はIMIFに1を ... 自動的に0x0になります。 USI: USI Ch.x I ² C Master Mode Interrupt Flag Registers (USI_IMIFx) - (D1) IMEIF: Overrun Error Flag Bit (旧) オーバーランエラーは、... IMEIFは1を書き込むことによりリセットされます。 (新) 受信データを読み出さずに2バイトの受信を完了後、... 2回読み出してください。
	19-35	USI: USI Ch.x I ² C Slave Mode Interrupt Flag Registers (USI_ISIFx) - (D[4:2]) ISSTA[2:0]: I ² C Slave Status Bits (旧) 動作完了割り込み発生後に ... 終了した動作を確認することができます。 (新) ... 終了した動作を確認することができます。ISSTA[2:0]はISIFに1を ... 自動的に0x0になります。 USI: USI Ch.x I ² C Slave Mode Interrupt Flag Registers (USI_ISIFx) - (D1) ISEIF: Overrun Error Flag Bit (旧) オーバーランエラーは、... ISEIFは1を書き込むことによりリセットされます。 (新) 受信データを読み出さずに2バイトの受信を完了後、... 2回読み出してください。
	19-36	USI: ビジーフラグと遅延発生条件 表19.9.1修正
	21-1	ADC: ADC10モジュールの概要 (旧) サンプリングレート: 最大100ksps (新) サンプリングレート: fADCLK/13~fADCLK/20 [sps] (fADCLK: A/D変換クロック周波数)
	21-2	ADC: A/D変換器の設定 (旧) (1) アナログ入力端子を設定します。21.2節を参照してください。... (8) 割り込みを使用する場合は割り込み条件を設定します。21.5節を参照してください。 (新) (1) アナログ入力端子を設定します。21.2節を参照してください。 (2) A/Dの使用電圧範囲に合わせコンパレータを調整します。... (9) 割り込みを使用する場合は割り込み条件を設定します。21.5節を参照してください。
	21-5	ADC: サンプリングレートの計算式 (旧) なし (新) サンプリング時間とサンプリングレートの関係を以下に示します。 サンプリングレート[sps] = ...
	21-12	ADC: A/D Control/Status Register (ADC10_CTL) - (D1) ADCTL: A/D Conversion Control Bit (旧) ADENが0(A/D変換禁止状態)の場合はADCTLが0に固定され、トリガは受け付けません。 (新) ADENが0の場合はトリガを受け付けません。
	24-1	絶対最大定格: 保存温度(Tstg) (旧) -65~150°C (新) -65~125°C 推奨動作条件: アナログ電源電圧(AVDD) (旧) Min. 2.7V Max. 5.5V (新) ADC使用時 Min. 2.7V Max. 5.5V ADC未使用時 Min. 1.65V Max. 5.5V 推奨動作条件: 動作温度(Ta) (旧) Min. -40°C Max. 85°C (新) 通常動作時(Flashリードのみ) Min. -40°C Max. 85°C Flashプログラミング時 Min. 10°C Max. 40°C
	24-5, 24-6	入出力端子特性: 特記なき場合の条件 (旧) HVDD = xxV (新) HVDD = AVDD = xxV
	24-10	Flashメモリ特性 (旧) Ta = -40~85°C, 書き換え回数 *1, *1 消去+書き込み、または重複書き込みを1回とする (新) Ta = 10~40°C, 書き込み回数 *1, *1 1度の書き込みを1回とする。工場での書き込みも回数に含む。
	26-2	パッケージ: WCSP-48/パッケージ 表(寸法)修正
411914302	1-1	特長: 内蔵Flashメモリ - 書き換え回数, Flashプログラミング/消去電圧 表1.1.1修正
	1-12	端子説明: VPP 表1.3.3.1修正

改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
411914302	4-1	電源: Flashプログラミング用電源電圧(V _{PP}) (旧) Flashメモリのプログラミング時は ... 下記の電圧をV _{PP} 端子に供給してください。 V _{PP} = 7V (V _{SS} = GND) (新) Flashメモリのプログラミング/消去時は ... 下記の電圧をV _{PP} 端子に供給してください。 V _{PP} = 7V (V _{SS} = GND) プログラミング時 V _{PP} = 7.5V (V _{SS} = GND) 消去時
	16-5	SPI: 送信バッファエンプティ割り込み (旧) SPTBEが0であれば、... 次の送信データを送信データバッファに書き込むことができます。 (新) SPTBEが1であれば、... 次の送信データを送信データバッファに書き込むことができます。
	17-5	I2CM: データ送受信の終了(ストップコンディションの生成) (旧) データの送受信(ACK送受信も含む)が終了した時点でストップコンディションが生成されます。 (新) また、クロックストレッチ機能を持つ... 時間が経過した後に、STPへ1を書き込んでください。
	17-6	I2CM: タイミングチャート 図17.5.7修正
	24-1	推奨動作条件: 動作温度 (旧) Flashプログラミング時 (新) Flashプログラミング&消去時
	24-10	推奨動作条件: Flashメモリ特性 (旧) 特記なき場合: LV _{DD} = 1.65~1.95V, V _{PP} = 7.0V, ... *1 1度の書き込みを1回とする。工場での書き込みも回数に含む。 (新) 特記なき場合: LV _{DD} = 1.65~1.95V, V _{PP} = 7.0V(プログラミング時)/7.5V(消去時), ... (表修正) *1 消去 + 書き込みを1回とする。工場での書き込みも回数に含む。 *2 FLSはV1.0以降を使用した場合に限る。
411914303	9-4	9.7 T16出力信号 (旧) A/D変換器 TR = (ct - clk x adi) / 2 - 1 (新) A/D変換器 TR = (ct - clk x adi) - 1
	24-5	24.6 外部クロック入力特性 (旧) OSC1入力High/パルス幅 t _{OSC1H} = 14 μs (Min.) OSC1入力Low/パルス幅 t _{OSC1L} = 14 μs (Min.) (新) OSC1入力High/パルス幅 t _{OSC1H} = 9 μs (Min.) OSC1入力Low/パルス幅 t _{OSC1L} = 9 μs (Min.)

セイコーエプソン株式会社
マイクロデバイス事業本部 デバイス営業部

東京 〒191-8501 東京都日野市日野421-8
TEL(042)587-5313(直通) FAX(042)587-5116

大阪 〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F
TEL(06)6120-6000(代表) FAX(06)6120-6100

ドキュメントコード：411914303
2010年4月 作成 ㊦
2011年10月 改訂