

S1R77022

PCB デザインガイド

本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告無く変更することがあります。

1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これら起因する第三者の権利（工業所有権を含む）侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本（当該）製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。

目 次

1. 概要.....	1
2. 回路設計.....	1
2.1 Digital 端子.....	2
2.1.1 CK1, CK2 端子	2
2.1.2 ADCK 端子	2
2.1.3 LPF 端子	2
2.1.4 CLMP 端子	2
2.1.5 TSTEN 端子	2
2.1.6 TMOD 端子	2
2.1.7 XRST 端子	2
2.1.8 ID 端子	3
2.1.9 SDO, SDI, XCS, SCLK 端子	3
2.2 RSDS 端子.....	3
2.2.1 RXADCKP/N 端子	3
2.3 LVDS 端子	3
2.3.1 TXSYNCP/N, TX[4:0]P/N 端子	3
2.4 Analog 端子.....	4
2.4.1 REFN, REFP 端子	4
2.4.2 CM1, CM2 端子	4
2.4.3 CLMPLV/INN 端子	4
2.4.4 RINP1/2, GINP1/2, BINP1/2 端子	4
2.4.5 T[R,G,B]P/N 端子	4
3. デバイス選定	5
3.1 LPF 外付けデバイス	5
3.2 RXADCKP/N 外付けデバイス	5
3.3 TXSYNCP/N, TX[4:0]P/N 外付けデバイス	5
3.4 その他の外付けデバイス	5
4. 基板設計.....	6
4.1 層構成	6
4.2 レイアウト設計	6
4.2.1 優先設計	6
4.2.2 LPF レイアウト	7
4.2.3 REFP, REFN, CM1, CM2 レイアウト	7
4.2.4 RXADCKP/N レイアウト	8
4.2.5 TXSYNCP/N, TX[4:0]P/N レイアウト	8
4.3 パターン設計	10
4.3.1 基本配線	10
4.3.2 パターン長.....	11
4.3.3 パターン幅.....	11
4.3.4 パターン曲げ	11
4.3.5 GND シールド	12
4.3.6 層間接続	12
4.3.7 ビアホールとスルーホール.....	12
4.3.8 インピーダンス整合	13
4.3.9 不要輻射ノイズ.....	14
4.3.10 バイパスコンデンサ	14
5. その他	16

5.1 システム接続	16
5.1.1 差動信号コネクタ	16
5.1.2 ケーブル	16
5.2 FG	16
5.3 ESD	16
5.4 熱伝導	16
6. 用語解説	17
7. 技術情報	18
8. 付録	19
8.1 抵抗の等価回路	19
8.2 コンデンサの等価回路	19
8.3 コンデンサの周波数特性	19
8.4 パターンの等価回路	19
9. 改定履歴表	20

1. 概要

弊社製高速タイプラインセンサー用アナログフロントエンド S1R77022 (以下、AFE と記載します) を使用して基板設計するための Design Guide です。本書では、回路設計やレイアウトなど、基板設計全般について説明します。

2. 回路設計

本 AFE の性能と特性を最大限に引き出すためには、下記内容を考慮した回路設計が有効です。

- (1) 本 AFE の画像データ出力は、LVDS による高速シリアル転送が可能となっています。LVDS につきましては、TIA/EIA(米国電気通信工業会/米国電子工業会)により標準化されており、ANSI/TIA/EIA-644(LVDS)の規格に準拠する必要があります。
- (2) 電源および GND を含めた Digital 回路、LVDS 回路、RSDS 回路、Analog 回路の分離設計を推奨しています。

Digital 回路と Analog 回路の GND については一点で接続してください。

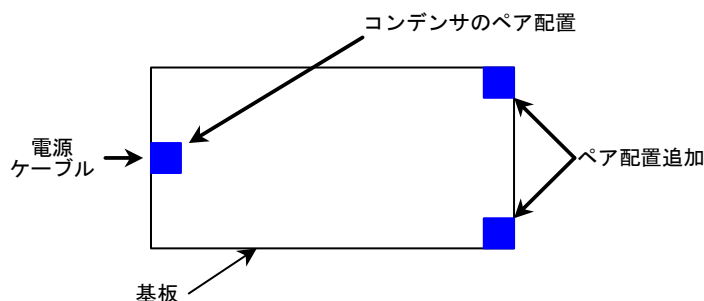
関連項目「4.2 レイアウト設計」、「4.3 パターン設計」をご覧ください。

- (3) 本 AFE が実装される基板への電源入力部には、電解コンデンサ(またはタンタルコンデンサ)とセラミックコンデンサ(以下、セラコンと記載します)をペアで配置してください。尚、電源入力部から離れた回路が想定される場合は、同様にコンデンサをペア配置してください。また、ノイズの周波数帯域によってセラコンを並列接続(例えば 0.1 μ F, 0.01 μ F, 0.001 μ F など)して使用すると改善効果が得られる場合があります。

関連項目「8.3 コンデンサの周波数特性」をご覧ください。

[電源入力部推奨コンデンサ]

- ・電解コンデンサ(またはタンタルコンデンサ) : 47 μ F $\sim$ 4.7 μ F
- ・セラコン : 0.1 μ F $\sim$ 0.001 μ F



- (4) 全ての電源端子の近くにバイパスコンデンサを配置してください。また、ノイズの周波数帯域によってセラコンを並列接続(例えば 0.1 μ F, 0.01 μ F, 0.001 μ F など)して使用すると改善効果が得られる場合があります。

関連項目「4.3.10 バイパスコンデンサ」、「8.3 コンデンサの周波数特性」をご覧ください。

[推奨バイパスコンデンサ]

- ・セラコン : 0.1 μ F $\sim$ 0.001 μ F

2. 回路設計

2.1 Digital 端子

端子の一部には、プルダウンの抵抗が内蔵されていますのでご注意ください。
内蔵抵抗につきましてはテクニカルマニュアルをご覧ください。

2.1.1 CK1, CK2 端子

使用されるクロック周波数によっては、ADCK 端子に接続されるパターンと同様にクロック系パターンとして扱う必要があります。また、LPF 端子への影響を考慮したパターン配線が必要となりますのでご注意ください。

関連項目「4. 基板設計」をご覧ください。

2.1.2 ADCK 端子

LPF 端子への影響を考慮したパターン配線が必要となりますのでご注意ください。

未使用時は、“LOW” に固定してください。

関連項目「4. 基板設計」をご覧ください。

2.1.3 LPF 端子

入力クロック(ADCK, RXADCKP/N)の動作モードに合わせて、外付け抵抗の定数を変更する必要があります。

外付けコンデンサについては固定定数です。

関連項目「3.1 LPF 外付けデバイス」、「4. 基板設計」をご覧ください。

2.1.4 CLMP 端子

LPF 端子への影響を考慮したパターン配線が必要となりますのでご注意ください。

関連項目「4. 基板設計」をご覧ください。

2.1.5 TSTEN 端子

“Open” または “LOW” 固定にしてください。

2.1.6 TMOD 端子

シリアルアクセスのアクセスサイクルを、ID 端子との組み合わせで設定してください。

本端子を “LOW” 固定にすると 17 サイクル、“HIGH” 固定にすると 16 サイクルとなります。

関連項目 テクニカルマニュアルの「シリアルインタフェース」、「ID 端子」をご覧ください。

2.1.7 XRST 端子

テクニカルマニュアルの「システムリセット」で規定されたパルス幅になるような回路を設計してください。

2.1.8 ID 端子

本 AFE へのシリアルアクセスを識別するための設定が必要です。“HIGH”または“LOW”固定にしてください。シリアルアクセスのチップ ID 選択ビットは、本設定状態に合わせてください。

尚、TMOD 端子との組み合わせによってアクセスサイクルを 16 サイクルに設定した場合、ID 識別を無効設定(LOW 固定)にしてください。

関連項目 テクニカルマニュアルの「シリアルインタフェース」、「TMOD 端子」をご覧ください。

2.1.9 SDO, SDI, XCS, SCLK 端子

シュミット入力になっていますが、本 AFE へ接続されるまでに波形の鈍りなどが生じると誤動作する可能性がありますので、ご使用になられる状態で十分な評価が必要です。

特に、クロック(SCLK)の立ち上がりエッジにてデータをラッチしていますので、クロック(SCLK)の波形には注意が必要です。波形鈍りを考慮して回路設計してください。

2.2 RSDS 端子

本端子に接続されるパターンについては、インピーダンス整合が必要です。

詳細は、「4.3.8 インピーダンス整合」をご覧ください。

2.2.1 RXADCKP/N 端子

未使用時は、RXADCKP = LOW, RXADCKN = HIGH にしてください。

転送ラインは、送信側のデバイス端子からストレート接続する必要がありますので、コネクタおよび終端抵抗以外のデバイスを接続しないでください。コネクタのピン配置は、P/N を GND で挟むことを推奨しています。

端子直近(7mm 以内)に、終端抵抗を配置する必要があります。

関連項目 「3.2 RXADCKP/N 外付けデバイス」、「4. 基板設計」をご覧ください。

2.3 LVDS 端子

本端子に接続されるパターンについては、インピーダンス整合が必要です。

詳細は、「4.3.8 インピーダンス整合」をご覧ください。

2.3.1 TXSYNCP/N, TX[4:0]P/N 端子

転送ラインは、受信側のデバイス端子までストレート接続する必要がありますので、コネクタ以外のデバイスを接続しないでください。コネクタのピン配置は、P/N を GND で挟むことを推奨しています。

受信側のデバイス端子直近(7mm 以内を推奨)に、終端抵抗を配置する必要があります。

関連項目 「3.3 TXSYNCP/N, TX[4:0]P/N 外付けデバイス」、「4. 基板設計」をご覧ください。

2. 回路設計

2.4 Analog 端子

Digital 回路からのノイズが影響しないように考慮が必要です。

2.4.1 REFN, REFP 端子

内部動作を安定させるために、コンデンサを接続する必要があります。
関連項目「4. 基板設計」をご覧ください。

2.4.2 CM1, CM2 端子

CM1 と CM2 を、端子直近で外部接続してください。
内部動作を安定させるために、コンデンサを接続する必要があります。
関連項目「4. 基板設計」をご覧ください。

2.4.3 CLMPLV/INN 端子

イメージセンサーが CCD の場合は、入力信号を内部で適正にクランプさせるためにコンデンサを接続する必要があります。本端子の直近にコンデンサを配置してください。
CIS の場合は、基準電圧レベルを入力する必要があります。
関連項目「3.4 その他の外付けデバイス」をご覧ください。

2.4.4 RINP1/2, GINP1/2, BINP1/2 端子

イメージセンサーが CCD の場合、AC カップリング・コンデンサを介して入力する必要があります。
未使用端子はコンデンサを介して AGND に接続することを推奨します。
関連項目「3.4 その他の外付けデバイス」、「4. 基板設計」をご覧ください。

2.4.5 T[R,G,B]P/N 端子

内部動作を安定させるために、コンデンサを接続してください。但し、使用状態によっては AGND ショートの方が特性改善される場合がありますので、お客様の評価にて判断してください。
関連項目 テクニカルマニュアルをご覧ください。

3. デバイス選定

回路を設計するうえで必要となるデバイスの選定について説明します。

デバイスのリード・インダクタの影響を低減するため、選定される全てのデバイスにおいて表面実装タイプで可能な限り小型なタイプを推奨します。特にコンデンサにつきましては、等価直列抵抗(ESR)や等価直列インダクタンス(ESL)が高いと、意図した機能を満足することができない可能性がありますので、選定する際に注意が必要です。

個々のデバイスについて、ディレーティングを考慮した選定をお願いします。

デバイス特性は下記を推奨します。但し、使用状態によって特性を変更される場合は、お客様の評価にて判断してください。

- ・抵抗：±1%以下
- ・セラコン：B 特性

3.1 LPF 外付けデバイス

定数はテクニカルマニュアルの「外付け部品」をご覧ください。

3.2 RXADCKP/N 外付けデバイス

定数はテクニカルマニュアルの「終端抵抗」をご覧ください。

3.3 TXSYNCP/N, TX[4:0]P/N 外付けデバイス

定数はテクニカルマニュアルの「終端抵抗」をご覧ください。

3.4 その他の外付けデバイス

定数はテクニカルマニュアルをご覧ください。

4. 基板設計

4. 基板設計

本 AFE の基板を設計するために必要な内容を説明します。

但し、ご使用になられる状態によっては十分な特性を得ることができない可能性もありますので、最終的にはお客様の評価にて判断してください。

4.1 層構成

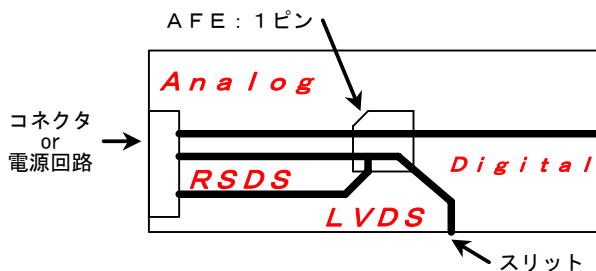
基板は 4 層以上を推奨します。フレキシブルプリント配線板(FPC)または、2 層基板、1 層基板については推奨しておりませんのでご了承ください。

層構成は、本 AFE を実装する面を部品面とした場合、部品面、GND 層、電源層、半田面の順にしてください。また、アナログ特性を安定にするため、均一な GND 層と電源層にすることを推奨します。

4.2 レイアウト設計

電源および GND を含めた Digital 回路、LVDS 回路、RSDS 回路と Analog 回路が混在しないように、分離したレイアウトにしてください。但し、RXADCKP/N の入力(RSDS 回路)を使用しない場合は、TX_VDD(TX_VSS)と RX_VDD(RX_VSS)を LVDS 回路として同一電源から供給してください。

下図はイメージであり、実際のレイアウトを推奨するものではありませんのでご注意ください。
関連項目「4.3 パターン設計」をご覧ください。



4.2.1 優先設計

Digital 回路、LVDS 回路、RSDS 回路と Analog 回路の設計時における優先順位を示します。

優先順位に沿って、優先的に設計を進めてください。尚、優先順位で示されている部位は端子と、その端子に接続される周辺デバイスを意味しています。

- No.1 REFP, REFN, CM1, CM2
- No.2 LPF
- No.3 RINP1/2, GINP1/2, BINP1/2
- No.4 CLMPLV/INN
- No.5 電源, GND
- No.6 RSDS (RXADCKP/N), ADCK(CK1, CK2)
- No.7 LVDS (TXSYNCP/N, TX[4:0]P/N)

4.2.2 LPF レイアウト

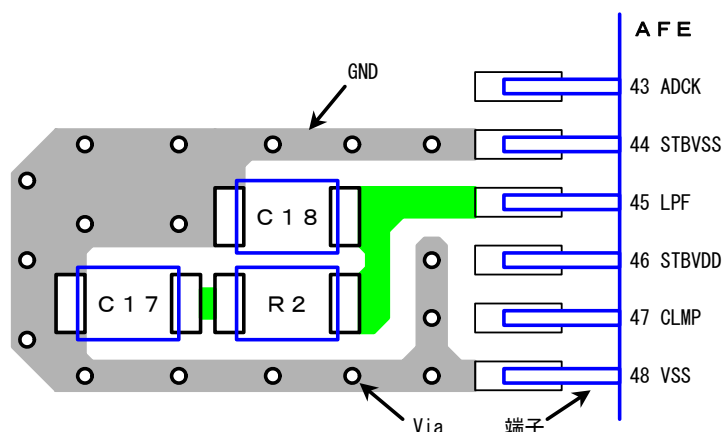
LPF 外付けデバイスのレイアウトとパターン例を示します。GND パターンでシールドすることを推奨します。本 AFE と同一面にレイアウトしてください。

LPF に接続される外付けデバイスを含め、他のパターンからのノイズによって誤動作する可能性があります。ノイズの要因としては、単発的(H→L, L→H)あるいは連続的な電圧変化や電流の変化などが想定されます。従って、同一面および他層のパターンにも注意する必要があります。

特に、ADCK 端子(43 ピン)と CLMP 端子(47 ピン)が隣接していますので、ノイズを遮蔽する必要があります。また、CK1 端子(41 ピン)と CK2 端子(42 ピン)も近傍に配置されていますので注意が必要です。GND パターンでシールドする場合、適切にビアホールを配置する必要があります。

関連項目 「4.3.5 GND シールド」をご覧ください。

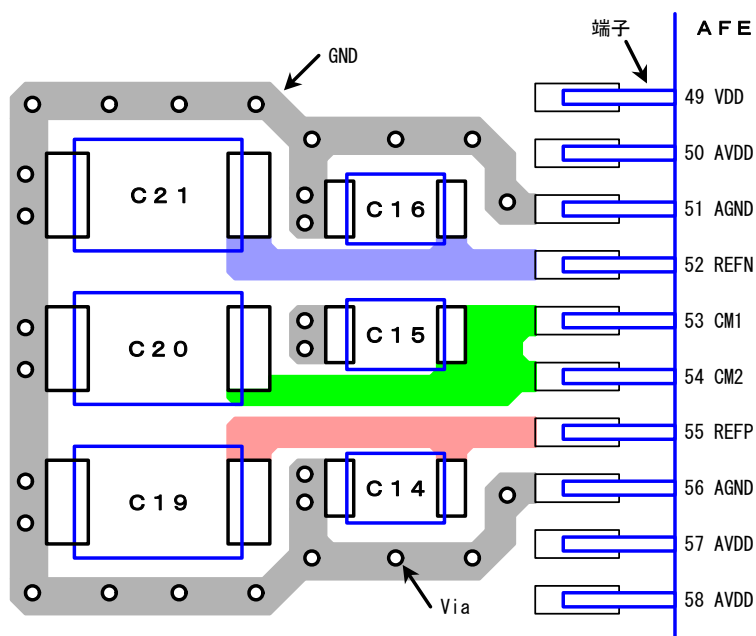
下図の部品番号は、テクニカルマニュアルに記載された番号を意味しています。



4.2.3 REFP, REFN, CM1, CM2 レイアウト

REFP, REFN, CM1, CM2 外付けデバイスのレイアウトとパターン例を示します。

本 AFE と同一面にレイアウトすることを推奨します。下図の部品番号は、テクニカルマニュアルに記載された番号を意味しています。



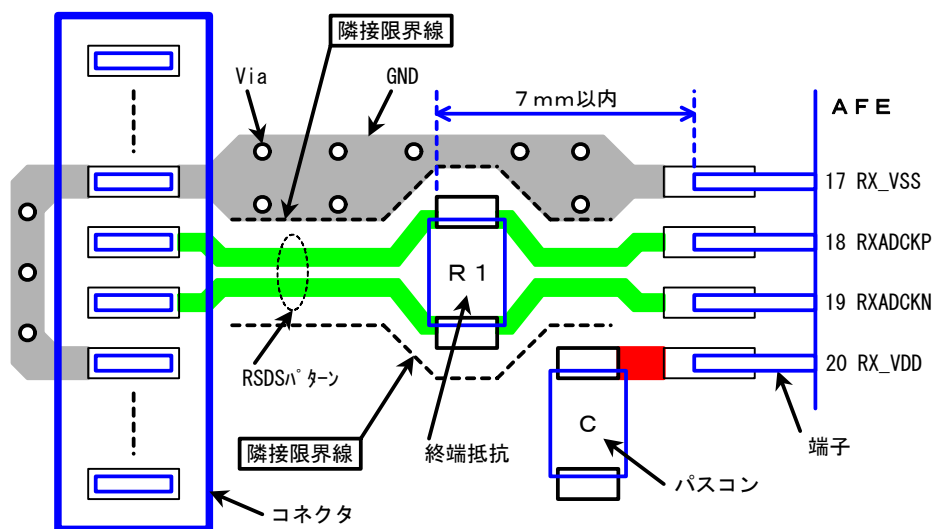
4. 基板設計

4.2.4 RXADCKP/N レイアウト

RXADCKP/N をコネクタに接続する場合のレイアウトとパターン例を示します。下図の部品番号は、テクニカルマニュアルに記載された番号を意味しています。

以下に推奨事項を記載します。

- (1) コネクタと本 AFE は、同一面にレイアウトする必要があります。
- (2) RSDS パターンは「4.3 パターン設計」をご覧ください。
- (3) 「隣接限界線」は RSDS パターンからの隣接限界ギャップを示しており、「4.3.8 インピーダンス整合」に記載された寸法(G2 または G3)以上のギャップを確保する必要があります。
- (4) 端子直近(7mm 以内)に、終端抵抗(R1)を配置する必要があります。
- (5) コネクタのピン配置は、RSDS のペアとペアの間に GND を配置してください。
但し、コネクタの GND と RX_VSS 端子の接続に関しては、「5.1 システム接続」をご覧ください。



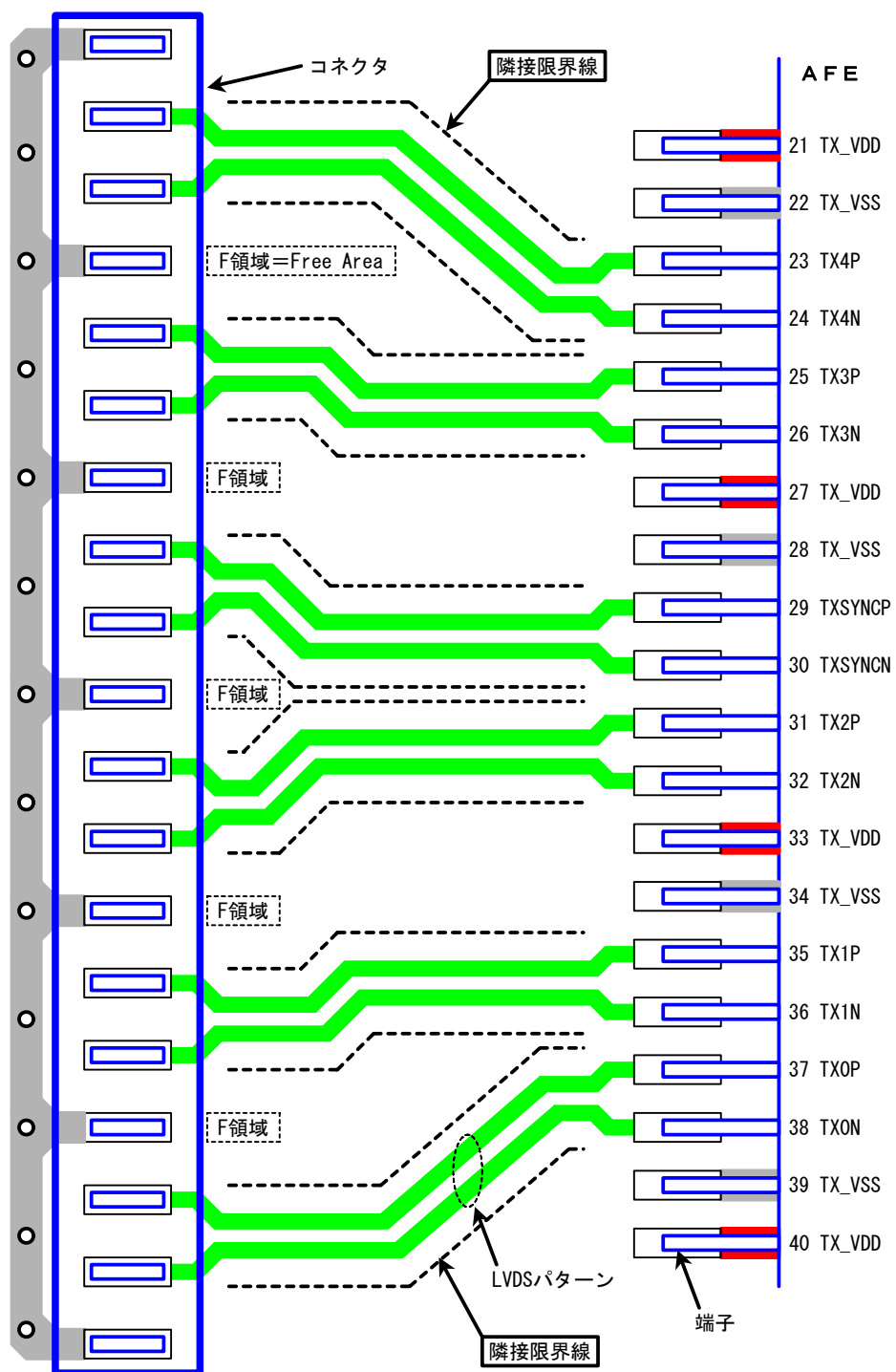
4.2.5 TXSYNCP/N, TX[4:0]P/N レイアウト

TXSYNCP/N, TX[4:0]P/N のレイアウトとパターン例を示します。

以下に推奨事項を記載します。

- (1) コネクタと本 AFE は、同一面にレイアウトする必要があります。
- (2) LVDS パターンは「4.3. パターン設計」をご覧ください。
- (3) 「隣接限界線」は LVDS パターンからの隣接限界ギャップを示しており、「4.3.8 インピーダンス整合」に記載された寸法(G2 または G3)以上のギャップを確保する必要があります。
- (4) 「F 領域」はスペース(導体無し)を推奨します。
よって、TX_VDD と TX_VSS は本 AFE の内側から 1 電源端子ペアに対してビアホール(2 個以上)を使用して半田面でパスコンに接続してください。

- (5) コネクタのピン配置は、LVDS のペアとペアの間に GND を配置してください。
但し、コネクタの GND と TX_VSS 端子の接続に関しては、「5.1 システム接続」をご覧ください。



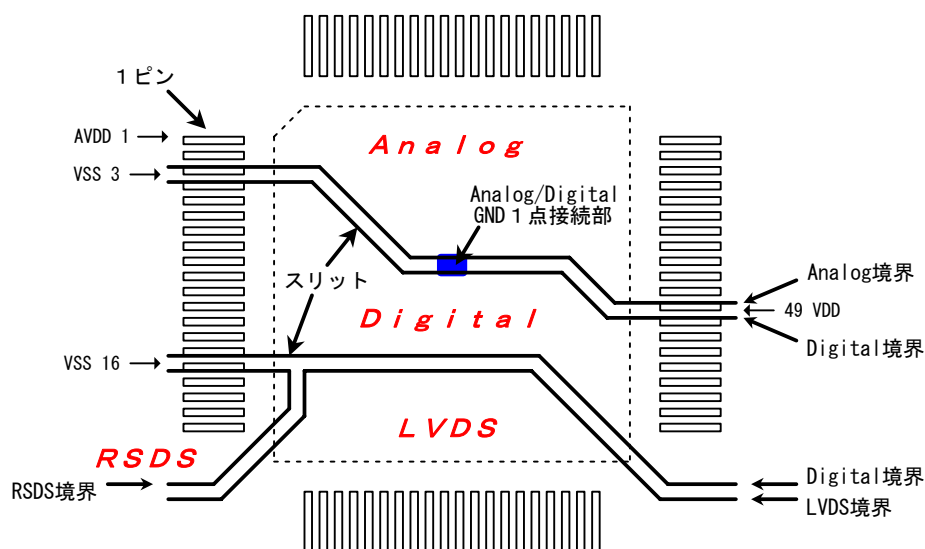
4. 基板設計

4.3 パターン設計

電源および GND を含めた Digital 回路、LVDS 回路、RSDS 回路と Analog 回路の全てのパターンを分離してください。但し、RXADCKP/N の入力(RSDS 回路)を使用しない場合は、LVDS 回路の TX_VDD(TX_VSS)と RSDS 回路の RX_VDD(RX_VSS)を分離する必要はありません。

Digital と Analog の GND については、本 AFE 直下の半田面で一点接続してください。分離の境界には、全層同一位置に 0.5mm 以上の幅でスリットを入れてください。

スリット部分で分離した例を示します。尚、全層同一位置を意味しています。



4.3.1 基本配線

一般的なパターンの基本配線を以下に示します

- (1) 全てのパターン（信号、電源、GND など）において配線がループ状にならないようにしてください。
- (2) 電流経路が最短となるように配線してください。
- (3) Digital 回路、Analog 回路およびクロック系パターンには隣接(平行)した GND パターン(GND シールド)を設けてください。
- (4) 表層の余地には GND パターンを設けてください。
- (5) (3), (4)の GND パターンにフローティング部が存在しないように注意してください。
- (6) 不要なベタパターンは設けないようにしてください。
- (7) バイパスコンデンサは、電源 (GND) →コンデンサ→端子の順に接続してください。
- (8) リードタイプデバイス（トランス、コイル、リレーなど）の実装領域内は、全層において他信号を配線しないでください。
- (9) 表面実装デバイスの実装領域内は他信号を配線しないでください。
- (10) 他信号や電源の近くにクロックのパターンを配線しないでください。
- (11) 電源や GND の層間接続以外のパターンは、可能な限りビアホールを使用せずに同一面で配線してください。

4.3.2 パターン長

Digital パターンについてはクロック系パターンに注意が必要で、最短接続にしてビアホールを配置を極力避けてください。他のパターンは、一般的な基本配線にしてください。

差動信号パターンは「4.2.4 RXADCKP/N レイアウト」、「4.2.5 TXSYNCP/N, TX[4:0]P/N レイアウト」、「4.3.8 インピーダンス整合」をご覧ください。

Analog パターンでは、基本的に全て最短接続となるように配線してください。

また、下記端子に接続されるパターンは等長配線が必要です。

- (1) RINP1/2, GINP1/2, BINP1/2
- (2) REFP, REFN, CM1, CM2



4.3.3 パターン幅

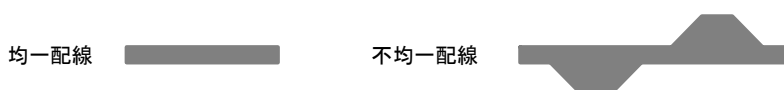
クロック系パターンは、0.5mm～1mm のパターン幅を推奨します。

差動信号パターンは「4.3.8 インピーダンス整合」をご覧ください。

Analog パターンは、0.5mm～1mm のパターン幅を推奨します。

同一パターンは、可能な限り均一な幅で均一配線してください。

また、電源と GND のパターン以外を極端に太い幅にした場合、ノイズの影響を受けやすくなることもありますので注意が必要です。



4.3.4 パターン曲げ

全てのパターンにおいて、直角 (90°) や鋭角な曲げにならないようにしてください。

電源、GND も含みますので内層についても注意が必要です。

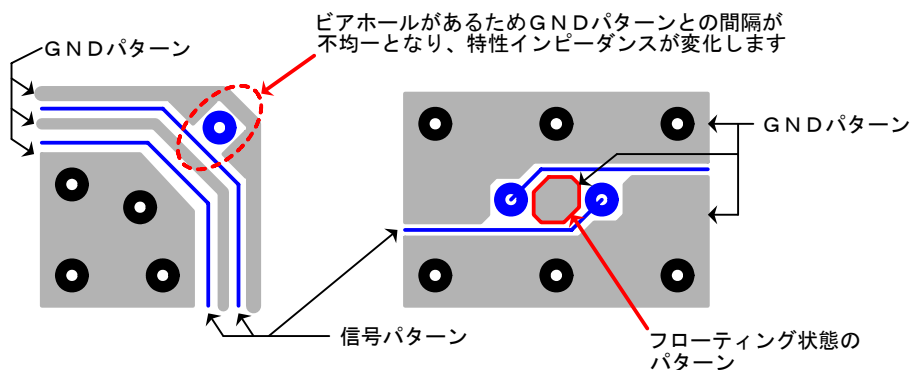
45° または円弧による曲げにしてください。

4. 基板設計

4.3.5 GND シールド

信号パターンと GND パターンは、一定の間隔を保つ必要があります。GND 以外のビアホールなどによって間隔が不均一となり信号パターンの特性インピーダンスが変化します。

GND パターンには、一定間隔でビアホールを配置してください。ビアホールの間隔が長くなるとブレイク共振になる可能性がありますので、可能な限り狭い間隔でビアホールを配置することが理想的です。また、GND シールドとして配置されたパターンに GND のビアホールが無い場合、フローティングパターンとなり予期せぬノイズ源となる可能性があります。



4.3.6 層間接続

Analog パターンは、可能な限りビアホールを使用せずに同一面で配線してください。

LVDS、RSDS パターンは、ビアホールを使用せずに同一面で配線してください。

Digital パターンについては一般的な基本配線で問題ありませんが、クロック系パターンは可能な限りビアホールを使用せずに同一面で配線してください。

電源および GND のパターンは、複数のビアホールで層間接続してください。

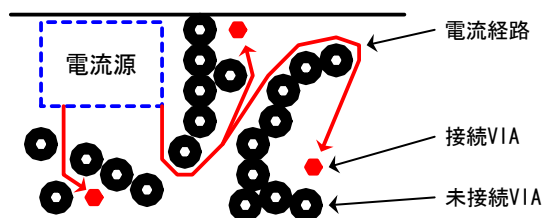
4.3.7 ビアホールとスルーホール

一般的にビアホールとスルーホールは、基板の信頼性低下につながります。

電源および GND のパターン（バイパスコンデンサへの接続も含みます）は、ビアホール 1 個当たりの許容電流量を考慮すると共に、信頼性やパターンのインダクタンスを考慮して、適切な数を配置する必要があります。

また、パターンのインピーダンスは、ビアホール（またはスルーホール）を通過することで不連続となり、インピーダンスの整合性が崩れる要因になりますので差動信号パターンへは配置しないでください。

電源と GND のパターンは、ビアホール（またはスルーホール）の配置によって電流経路の遮断や電流密度の不均衡が生じることがありますので、内層の電流経路に対しても配慮する必要があります。

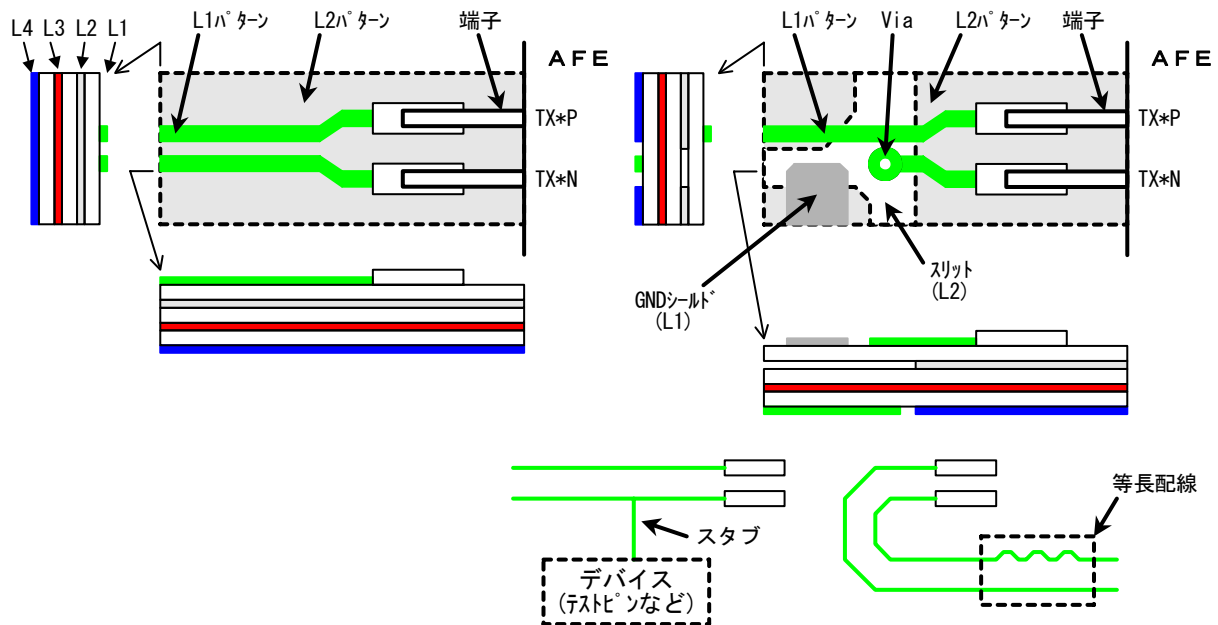


4.3.8 インピーダンス整合

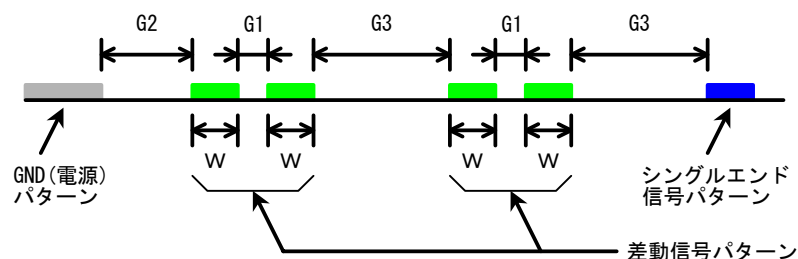
本 AFE で扱う差動信号(LVDS, RSDS) は、インピーダンス整合が必要です。

差動信号パターンの特性インピーダンスは、 50Ω (シングルエンド) $\pm 5\%$ を推奨します。

インピーダンス整合は、差動信号パターン P/N 間と、その直下に形成されたベタパターンとの間でインピーダンスをマッチングさせることが一般的です。よって、差動信号パターンは、隣接するパターン(信号、GND シールドなど)や直下のベタパターンに起因してインピーダンスが不整合(不連続)になる可能性があります。スタブ、等長配線やビアホール、スリットなどは、不整合の要因になります。



インピーダンス整合を保つためには、下記の寸法条件を満足する必要があります。隣接するパターンの種類に応じて固定電位隣接限界ギャップ(G2)と変動電位隣接限界ギャップ(G3)の何れかを選択してください。固定電位隣接は電源や GND を、変動電位隣接は信号パターンや高周波成分が存在する電源(電源回路近傍など)を意味しています。



W : 差動信号パターン幅

G 1 : 差動信号パターン間ギャップ

G 2 : 固定電位隣接限界ギャップ

G 3 : 変動電位隣接限界ギャップ

[寸法条件]

- ・ $W > G 1$
- ・ $G 2 = 2 \times W$ ($W > G 1$)
- ・ $G 3 = 3 \times W$ ($W > G 1$)

4. 基板設計

4.3.9 不要輻射ノイズ

不要輻射ノイズ(EMI)を低減させる基本的な要素は基板設計にあります。

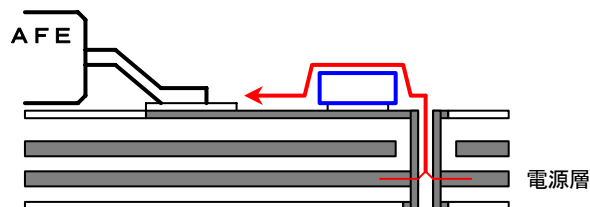
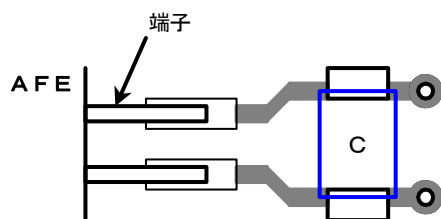
ノイズ低減を考慮した基板は、電氣的にも安定した特性を有していることにつながります。

- (1) 電荷の供給とリターンについて電流経路を考慮したパターン設計が有効です。
電流経路に関しては、システム全体で考慮する必要がありますので、ケーブルなどのピン配置も重要です。
- (2) 電荷の移動に伴って発生する電界を考慮した設計も有効です。
GND シールドなどによって不要輻射（非結合電界）を吸収することや、インピーダンス整合によって電界の不均衡を防ぐことで不要輻射を低減することができます。
- (3) 電界強度と電気力線を考慮した設計も有効です。
基板の外周部分を GND のベタパターン（一定間隔でビアホールも配置）にすることで、基板端パターンからの不要輻射を低減することができます。同様に高周波パターンや高速で動作するデバイスも基板中央付近に配置することで不要輻射を低減することができます。

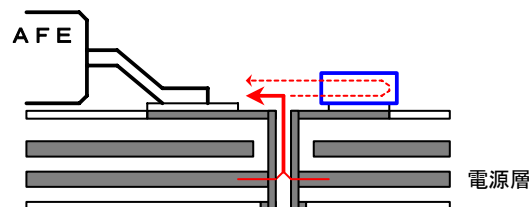
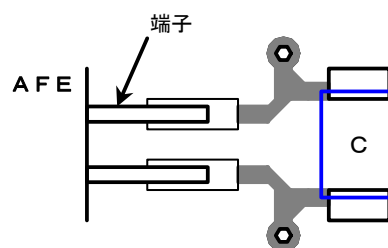
4.3.10 バイパスコンデンサ

実効電流の供給はバイパスコンデンサが担っていますので、安定動作を実現するために下記事項を理解して設計する必要があります。

- (1) ビアホール(VIA)の位置によって電流経路が異なり、不適切な位置にビアホール(VIA)を配置するとバイパスコンデンサとして機能しなくなります。



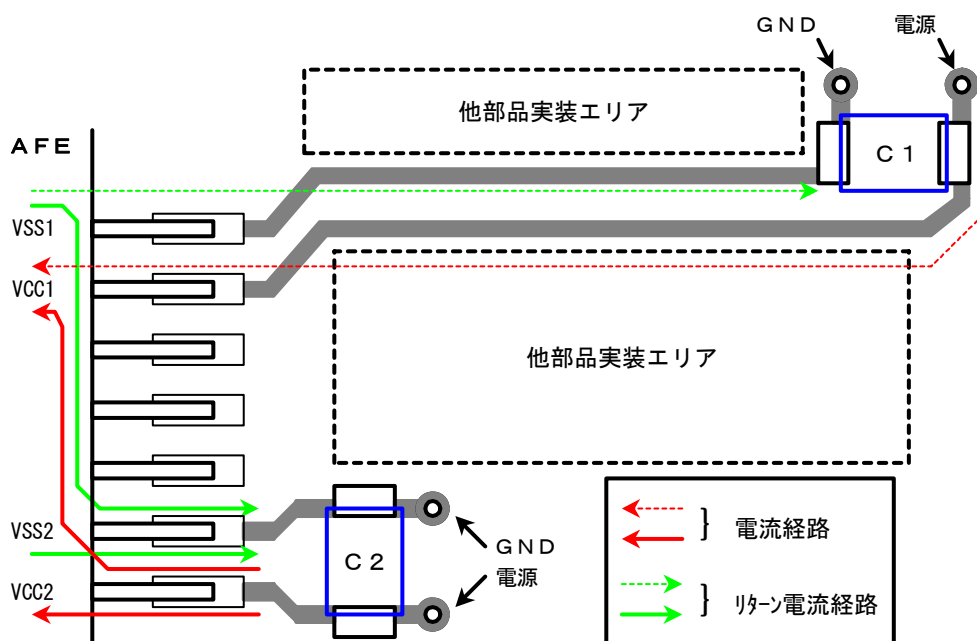
適切な VIA 位置



不適切な VIA 位置

- (2) コンデンサが端子から離れていると、バイパスコンデンサとして機能しないだけでなく特性を劣化させる要因になる可能性があります。

下図の例では、C1 から端子までの距離が遠いため、C2 からの電流経路が優先されてしまいます。C2 が接続された内部回路および、VCC1 から VCC2 の間に存在する内部回路が想定外の電流によって、特性劣化となる可能性があります。



5. その他

5. その他

5.1 システム接続

システム設計に関わるシールドやコネクタなどの GND 系接続は、本書で記載された内容を参考にして、各国の安全規格や法規制に従う必要があります。

5.1.1 差動信号コネクタ

ご使用になるコネクタに合わせて最適なピン配置にする必要があります。

- (1) 差動信号コネクタには、表面実装タイプを推奨します。但し、システム全体として LVDS 規格を満足する必要がありますので、お客様のご使用になられる状態で確認する必要があります。
- (2) コネクタのピン配置は、差動信号 (LVDS、RSDS) のペアとペアの間に GND を配置してください。但し、コネクタの GND と RX(TX)_VSS 端子の接続に関しては、「5.1 システム接続」をご覧ください。
- (3) コネクタ(FFC 用などの場合)両端のピンは GND を配置してください。
- (4) 未使用ピンは GND を配置してください。
- (5) 端子リード長が異なるコネクタ(ライトアングル 2 列形など)の場合、ペアとなるパターンは同じ長さの端子に接続してください。

5.1.2 ケーブル

基板を安定に動作させるためには、接続されるケーブルについても注意が必要です。

ケーブルからの不要輻射ノイズを低減する目的でケーブルをシールドする場合、お客様のご使用になられる状態(システム全体)で LVDS 規格を満足する必要があります。

リターン電流を考慮して、信号の種類 (入出力やドライブ能力の違いなど) および電源系統に応じて GND を配置することが理想です。

尚、リボンケーブルは推奨しておりませんのでご了承ください。

5.2 FG

本 AFE が実装された基板を固定するための穴位置が LVDS 回路、RSDS 回路や Analog 回路に近い場合、固定用ネジの勘合する部位が筐体などの FG (フレームグランド) に接続されると、システム全体のノイズの影響を受ける可能性があります。

また、不要輻射ノイズの対策として本 AFE が実装された基板を金属でシールドする場合、そのシールドが FG に接続されると同様にノイズの影響を受ける可能性があります。

FG の取扱いに関しては、システム全体としての考慮が必要となります。

5.3 ESD

弊社では、半導体としての破壊耐量を確認する目的で静電破壊耐量試験を実施しております。

よって、機能および動作を確認する試験は、お客様のご使用になられる状態で実施願います。

5.4 熱伝導

本 AFE の周囲温度が使用状態で一定となるように考慮してください。

また、基板全体の熱抵抗をパターンおよびレイアウトから想定し、熱伝導が最短となるように設計してください。熱伝導を考慮して放熱効果が上昇すると、電氣的にも安定するため特性向上になります。

6. 用語解説

A

AFE	Analog Front End の略です。本 AFE はスキャナシステム用の AFE です。
AGND	Analog 回路のグラウンドを意味しています。
AVDD	Analog 回路の電源を意味しています。

C

CCD	Charge Coupled Device (電荷結合素子)の略です。
CIS	Contact Image Sensor の略です。 線順次出力センサとも呼ばれ、LED を光源としており CCD と比較すると消費電力が低い特徴があります。CMOS イメージセンサーとも呼ばれています。

E

EMI	Electro Magnetic Interference (電磁妨害,放射ノイズ) の略です。 電子機器の外部に対する電磁的な妨害・干渉などの放出現象の総称です。
ESD	Electro-Static Discharge (静電気放電)の略です。

F

FG	フレームグラウンドの略です。
----	----------------

G

GND	グラウンドの略です。(AGND, Vss, TX_VSS, RX_VSS を含みます)
-----	---

L

LVDS	Low Voltage Differential Signaling (LVDS インタフェース) の略です。
------	---

P

PCB	Printed Circuit Board (プリント回路基板)の略です。
PLL	Phase-locked loop (位相同期回路)の略です。

R

RSDS	Reduced Swing Differential Signaling (RSDS TM インタフェース) の略です。 低電圧差動信号方式を利用して、低 EMI となるようにしたドライバ LSI 用インタフェースの規格です。
RX_VDD	RSDS の受信回路用の電源を意味しています。
RX_VSS	RSDS の受信回路用のグラウンドを意味しています。

T

TX_VDD	LVDS の送信回路用の電源を意味しています。
TX_VSS	LVDS の送信回路用のグラウンドを意味しています。

V

VDD	Digital 回路の電源を意味しています。
VIA	ビアホールの解説をご覧ください。
VSS	Digital 回路のグラウンドを意味しています。

7. 技術情報

ア	
インピーダンス整合	配線パターンにおける出力側のインピーダンスと入力側のインピーダンスを合わせることです。
カ	
高周波パターン	数 MHz 以上の高周波信号用の配線パターンを意味しています。
サ	
シングルエンド スキュー スタブ スリット スルーホール	1 本の信号線でデータを送信する方式のことです。 配線パターンなどの影響で発生するタイミング遅延のことです。 メインとなる配線パターンから分岐した短いパターンのことです。 電氣的に絶縁され、銅箔が存在しない領域を意味しています。 貫通穴によって他層間を相互接続し、デバイスのリードを挿入して半田付けする目的の導通穴を意味しています。
セラミックコンデンサ	使用状態に合わせて特性を選択することで、ノイズ除去や電荷供給などあらゆる用途で 사용할 ことができます。
タ	
タンタルコンデンサ	非常に優れた特性を持ちますが、一般的に故障モードが短絡となります。 ヒューズ内蔵タイプであっても短絡を経て断線となりますので、ご使用にあたっては注意が必要です。
ディレーティング 電解コンデンサ	信頼性向上のために、定格よりも低い負荷で使用する ことです。 優れた特性を持ちますが、特性や寿命が温度に依存します。 寿命は、アレニウス則によると 10℃の温度上昇で 1/2 になります。
ハ	
ビアホール 表層 不要輻射ノイズ フローティング ベタパターン	層間接続のみを目的とした導通穴を意味しています。 部品面、半田面を意味しています。 本来の信号のほかに放出される高周波ノイズです。 電氣的に不定(浮いた)状態のパターンを意味しています。 一定の面積で形成されたパターン(領域)を意味しています。
ラ	
リード・インダクタ	リードタイプデバイスのリードに存在するインダクタンスを意味しています。

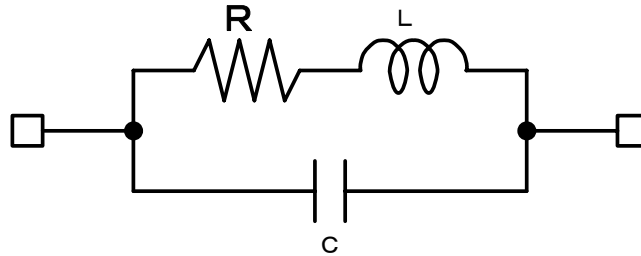
7. 技術情報

本 AFE に関連する技術情報の検索や最新版の入手は、下記 URL をご覧ください。

【URL】 <http://www.epsondevice.com/semicon/index.html>
[アナログフロントエンド(AFE)] → [AFE ユーザーズサイト]

8. 付録

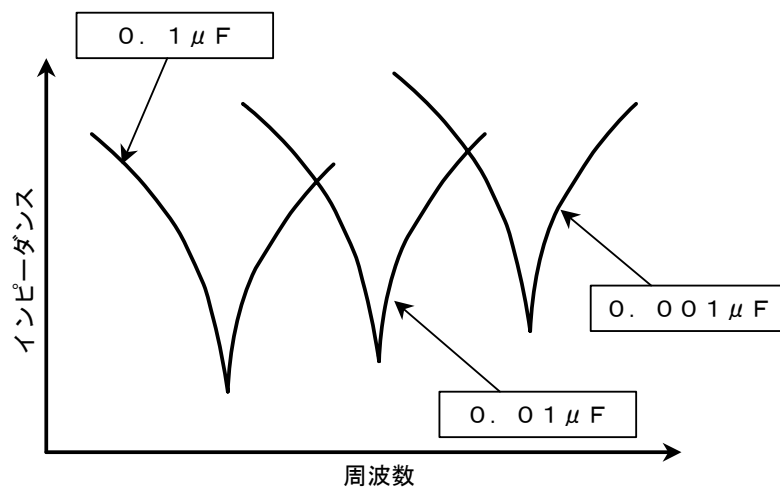
8.1 抵抗の等価回路



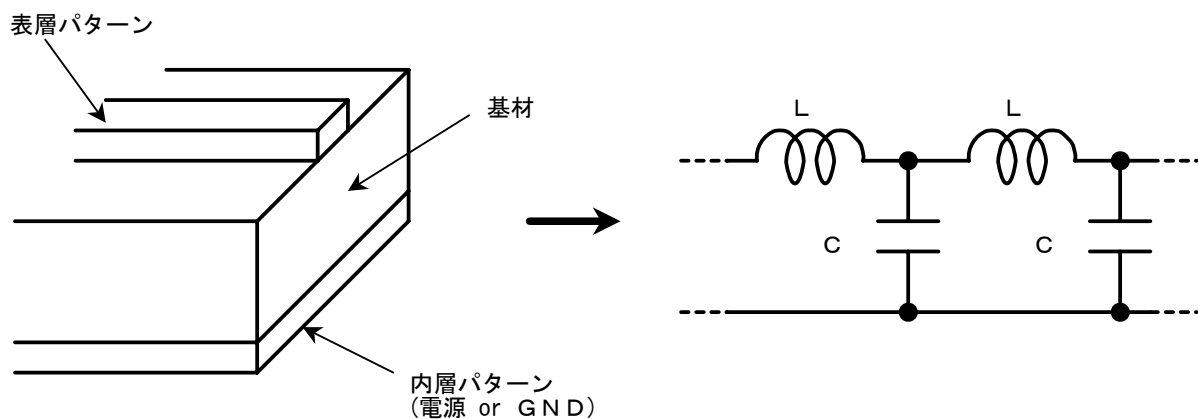
8.2 コンデンサの等価回路



8.3 コンデンサの周波数特性



8.4 パターンの等価回路



9. 改定履歴表

20	EPSON	S1R77022 PCB デザインガイド (Rev.1.0)
----	-------	-----------------------------------

セイコーエプソン株式会社

半導体事業部 IC 営業部

<IC 国内営業グループ>

東京 〒191-8501 東京都日野市日野 421-8

TEL (042) 587-5313 (直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町 3-5-1 エプソン大阪ビル 15F

TEL (06) 6120-6000 (代表) FAX (06) 6120-6100

ドキュメントコード : 411270000
2007 年 10 月 作成