

CMOS 4-BIT SINGLE CHIP MICROCONTROLLER

S1C63003/004/008/016

テクニカルマニュアル

評価ボード・キット、開発ツールご使用上の注意事項

1. 本評価ボード・キット、開発ツールは、お客様での技術的評価、動作の確認および開発のみに用いられることが想定し設計されています。それらの技術評価・開発等の目的以外には使用しないでください。本品は、完成品に対する設計品質に適合していません。
2. 本評価ボード・キット、開発ツールは、電子エンジニア向けであり、消費者向け製品ではありません。お客様において、適切な使用と安全に配慮願います。弊社は、本品を用いることで発生する損害や火災に対し、いかなる責も負いかねます。通常の使用においても、異常がある場合は使用を中止してください。
3. 本評価ボード・キット、開発ツールに用いられる部品は、予告なく変更されることがあります。

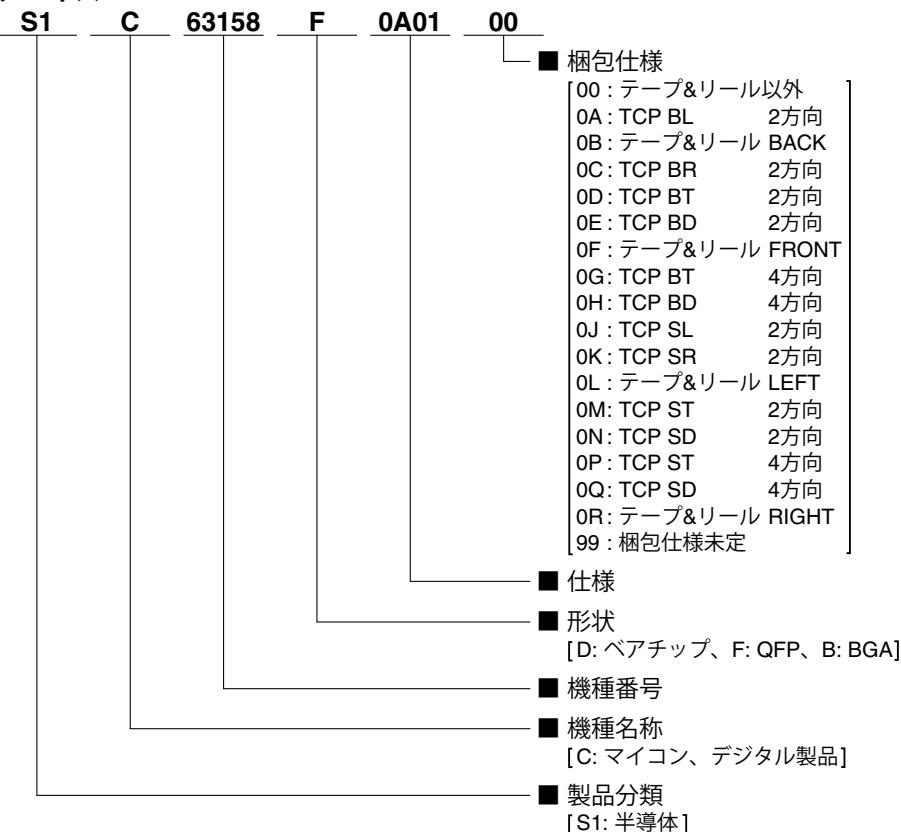
本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告なく変更することがあります。

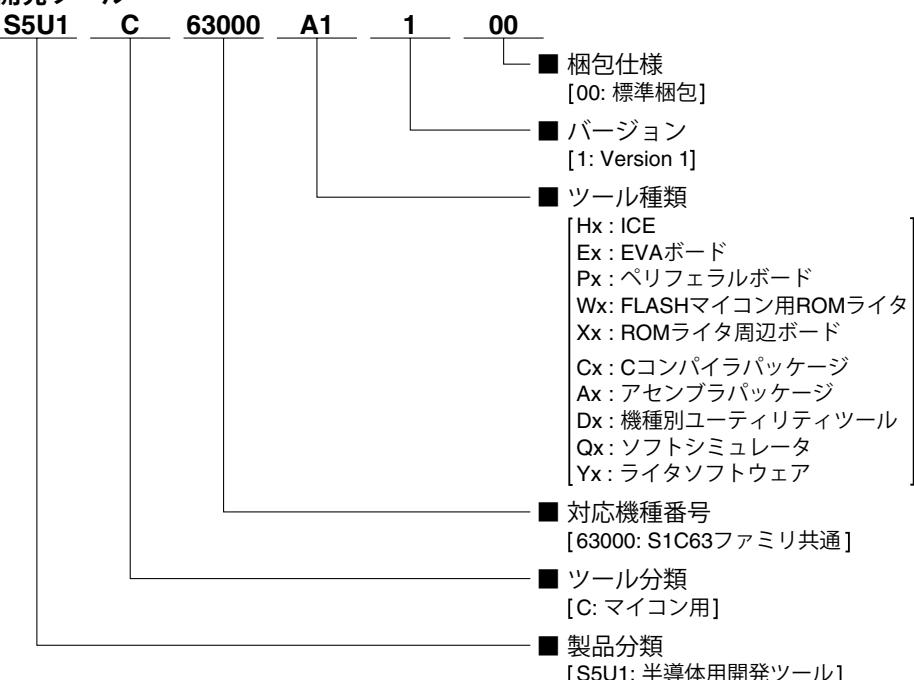
1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 製品および弊社が提供する技術を輸出等するにあたっては「外国為替および外国貿易法」を遵守し、当該法令の定める手続きが必要です。大量破壊兵器の開発等およびその他の軍事用途に使用する目的をもって製品および弊社が提供する技術を費消、再販売または輸出等しないでください。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

製品型番体系

●デバイス



●開発ツール



- 目 次 -

1 概要	1-1
1.1 特長	1-1
1.2 ブロック図	1-2
1.3 マスクオプション	1-6
2 端子とパッケージ	2-1
2.1 S1C63016端子	2-1
2.1.1 S1C63016端子/パッド配置図	2-1
2.1.2 S1C63016端子説明	2-4
2.2 S1C63008端子	2-6
2.2.1 S1C63008端子/パッド配置図	2-6
2.2.2 S1C63008端子説明	2-9
2.3 S1C63004端子	2-11
2.3.1 S1C63004端子/パッド配置図	2-11
2.3.2 S1C63004端子説明	2-15
2.4 S1C63003端子	2-17
2.4.1 S1C63003端子/パッド配置図	2-17
2.4.2 S1C63003端子説明	2-19
2.5 パッケージ	2-20
2.5.1 プラスチックパッケージ	2-20
2.5.2 テストサンプル用セラミックパッケージ	2-22
3 CPUとメモリ	3-1
3.1 CPU	3-1
3.2 コードメモリ領域	3-1
3.2.1 コードROM	3-1
3.3 データメモリ領域	3-2
3.3.1 RAM	3-2
3.3.2 データROM	3-3
3.3.3 表示メモリ	3-3
3.3.4 I/Oメモリ	3-4
4 イニシャルリセット	4-1
4.1 イニシャルリセット回路	4-1
4.2 リセット端子(RESET)	4-1
4.3 P0xポート(P00～P03)の同時HIGH入力	4-2
4.4 イニシャルリセット時の内部レジスタ	4-2
4.5 イニシャルリセット時の端子設定	4-3
5 電源	5-1
5.1 動作電圧	5-1
5.2 内蔵電源回路	5-1
5.3 LCD電源の制御	5-3
5.4 重負荷保護機能	5-3
5.5 電源回路のI/Oメモリ	5-4
5.6 注意事項	5-5
6 割り込みコントローラ	6-1
6.1 割り込みコントローラの構成	6-1
6.2 割り込みの要因	6-3
6.3 割り込みの個別マスク	6-3

目次

6.4 割り込みベクタ	6-4
6.5 割り込みコントローラのI/Oメモリ	6-5
6.6 注意事項	6-8
7 発振回路とクロック制御	7-1
7.1 発振回路	7-1
7.1.1 発振回路の構成	7-1
7.1.2 マスクオプション	7-1
7.1.3 OSC1発振回路	7-1
7.1.4 OSC3発振回路	7-2
7.2 CPUクロックの切り換え	7-2
7.3 HALTとSLEEP	7-3
7.4 周辺回路用クロックの制御	7-4
7.5 クロック出力(FOUT)	7-4
7.6 発振回路/クロック出力制御のI/Oメモリ	7-5
7.7 注意事項	7-6
8 ウオッチドッグタイマ	8-1
8.1 ウオッチドッグタイマの構成	8-1
8.2 割り込み機能	8-1
8.3 ウオッチドッグタイマのI/Oメモリ	8-1
8.4 注意事項	8-2
9 計時タイマ	9-1
9.1 計時タイマの構成	9-1
9.2 動作クロックの制御	9-1
9.3 データの読み出しとホールド機能	9-1
9.4 割り込み機能	9-2
9.5 計時タイマのI/Oメモリ	9-2
9.6 注意事項	9-4
10 ストップウォッチタイマ	10-1
10.1 ストップウォッチタイマの構成	10-1
10.2 動作クロックの制御	10-1
10.3 カウンタとプリスケーラ	10-2
10.4 キャプチャバッファとホールド機能	10-2
10.5 ストップウォッチタイマのRUN/STOPおよびリセット	10-3
10.6 ダイレクト入力機能とキーマスク [S1C63004/008/016]	10-3
10.7 割り込み機能	10-6
10.8 ストップウォッチタイマのI/Oメモリ	10-7
10.9 注意事項	10-10
11 プログラムルタイマ	11-1
11.1 プログラムルタイマの構成	11-1
11.2 動作クロックの制御	11-3
11.3 カウンタの基本動作	11-4
11.4 イベントカウンタモード(タイマ0、タイマ2)	11-4
11.5 PWMモード(タイマ0～タイマ3) [S1C63004/008/016]	11-5
11.6 16ビットタイマモード(タイマ0+1、タイマ2+3) [S1C63004/008/016]	11-6
11.7 割り込み機能	11-7
11.8 TOUT出力の設定	11-7

11.9 シリアルインタフェース, R/Fコンバータへのクロック出力 [S1C63004/008/016]	11-8
11.10 プログラマブルタイマのI/Oメモリ	11-8
11.11 注意事項.....	11-15
12 入出力兼用ポート	12-1
12.1 入出力兼用ポートの構成.....	12-1
12.2 マスクオプション	12-2
12.3 I/O制御レジスタと入力/出力モード	12-3
12.4 入力インターフェースレベル	12-3
12.5 入力モード時のプルダウン	12-3
12.6 キー入力割り込み機能	12-3
12.7 入出力兼用ポートのI/Oメモリ	12-5
12.8 注意事項.....	12-10
13 シリアルインタフェース [S1C63004/008/016]	13-1
13.1 シリアルインタフェースの構成.....	13-1
13.2 シリアルインタフェース入出力端子.....	13-1
13.3 マスクオプション	13-2
13.4 シリアルインタフェースの動作モード	13-2
13.5 同期クロックの設定	13-4
13.5.1 ソースクロックの選択.....	13-4
13.5.2 同期クロックフォーマットの選択.....	13-4
13.6 データの入出力と割り込み	13-5
13.6.1 シリアルデータの出力と割り込み	13-5
13.6.2 シリアルデータの入力と割り込み	13-5
13.6.3 シリアルデータの入出力順列	13-6
13.6.4 SRDY信号	13-6
13.6.5 タイミングチャート.....	13-6
13.7 SPI方式のデータ転送	13-8
13.8 シリアルインタフェースのI/Oメモリ	13-9
13.9 注意事項.....	13-12
14 LCDドライバ	14-1
14.1 LCDドライバの構成.....	14-1
14.2 マスクオプション	14-1
14.2.1 SEG/GPIO/RFC端子切り換え	14-1
14.2.2 LCD駆動電源	14-2
14.2.3 セグメントオプション	14-2
14.3 LCD表示の制御	14-7
14.3.1 表示モードの選択	14-7
14.3.2 駆動デューティの切り換え	14-7
14.3.3 フレーム周波数の切り換え	14-7
14.3.4 駆動波形	14-8
14.3.5 スタティック駆動	14-14
14.3.6 LCDコントラスト調整 [S1C63004/008/016]	14-14
14.4 表示メモリ	14-15
14.5 LCDドライバのI/Oメモリ	14-15
14.6 注意事項.....	14-17
15 サウンドジェネレータ	15-1
15.1 サウンドジェネレータの構成	15-1
15.2 動作クロックの制御.....	15-1

目次

15.3 ブザー出力の制御	15-1
15.4 ブザー周波数と音量の設定	15-2
15.5 デジタルエンベロープ	15-3
15.6 1ショット出力	15-3
15.7 サウンドジェネレータのI/Oメモリ	15-4
15.8 注意事項	15-7
16 R/Fコンバータ	16-1
16.1 R/Fコンバータの構成	16-1
16.2 動作クロックの制御	16-1
16.3 接続端子とCR発振回路	16-2
16.4 R/F変換	16-4
16.5 割り込み機能	16-6
16.6 連続発振機能	16-8
16.7 R/FコンバータのI/Oメモリ	16-8
16.8 注意事項	16-11
17 SVD(電源電圧検出)回路 [S1C63004/008/016]	17-1
17.1 SVD回路の構成	17-1
17.2 SVD動作	17-1
17.3 SVD回路のI/Oメモリ	17-2
17.4 注意事項	17-2
18 整数乗除算器 [S1C63008/016]	18-1
18.1 整数乗除算器の構成	18-1
18.2 動作クロックの制御	18-1
18.3 乗算モード	18-1
18.4 除算モード	18-2
18.5 実行サイクル	18-2
18.6 整数乗除算器のI/Oメモリ	18-3
18.7 注意事項	18-5
19 電気的特性	19-1
19.1 絶対最大定格	19-1
19.2 推奨動作条件	19-1
19.3 DC特性	19-2
19.4 アナログ回路特性・消費電流	19-3
19.4.1 LCD ドライバ	19-3
19.4.2 SVD回路 [S1C63004/008/016]	19-4
19.4.3 R/Fコンバータ回路	19-5
19.4.4 消費電流	19-5
19.5 発振特性	19-6
19.6 シリアルインターフェースAC特性 [S1C63004/008/016]	19-7
19.7 タイミングチャート	19-8
19.8 特性グラフ(参考値)	19-9
20 基本外部結線図	20-1
Appendix A I/Oレジスター一覧	AP-A-1
FF00H 発振回路	AP-A-1
FF01H ウオッチドッグタイム	AP-A-1
FF02H–FF03H 電源回路	AP-A-1

FF04H–FF05H	SVD回路	AP-A-1
FF10H–FF1BH	クロックマネージャ	AP-A-1
FF20H–FF3FH	入出力兼用ポート	AP-A-2
FF40H–FF42H	計時タイマ	AP-A-4
FF44H–FF47H	サウンドジェネレータ	AP-A-4
FF48H–FF4DH	ストップウォッチタイマ	AP-A-5
FF50H–FF52H	LCDドライバ	AP-A-5
FF58H–FF5CH	シリアルインターフェース	AP-A-5
FF60H–FF6BH	R/Fコンバータ	AP-A-6
FF70H–FF76H	整数乗除算器	AP-A-7
FF80H–FF9FH	プログラマブルタイマ	AP-A-7
FFE1H–FFFFH	割り込みコントローラ	AP-A-9
Appendix B Peripheral Circuit Board for S1C6F016.....	AP-B-1	
B.1 各部の名称と機能	AP-B-1	
B.1.1 S5U1C63000P6.....	AP-B-1	
B.1.2 S5U1C6F016P2	AP-B-3	
B.2 ターゲットシステムとの接続	AP-B-5	
B.3 S5U1C63000P6へのダウンロード	AP-B-8	
B.4 使用上の注意	AP-B-9	
B.4.1 操作上の注意事項.....	AP-B-9	
B.4.2 実ICとの相違点	AP-B-9	
B.5 製品の仕様	AP-B-12	
B.5.1 S5U1C63000P6の仕様.....	AP-B-12	
B.5.2 S5U1C6F016P2の仕様.....	AP-B-12	
Appendix C パワーセーブ	AP-C-1	
C.1 クロック制御によるパワーセーブ	AP-C-1	
C.2 電源制御によるパワーセーブ	AP-C-3	
Appendix D マスクデータ作成手順.....	AP-D-1	
D.1 マスクデータ作成フロー	AP-D-1	
D.2 ファンクションオプションファイルの作成方法	AP-D-1	
D.3 セグメントオプションファイルの作成方法	AP-D-1	
D.4 マスクデータファイルの作成方法	AP-D-2	
Appendix E 注意事項のまとめ	AP-E-1	
E.1 個別機能についての注意事項のまとめ	AP-E-1	
E.2 実装上の注意事項	AP-E-5	

改訂履歴表

1 概要

S1C630 Series(S1C63003/004/008/016)は低電圧動作、低消費電流を特長とする4ビットマイクロコントローラです。高性能4ビットコアCPU S1C63000を中心に、ワンチップ上にROM(最大16Kワード×13ビット)、RAM(最大2Kワード×4ビット)、タイマ、サウンドジェネレータなどで構成されています。また、最大56セグメント×8コモンのLCDパネルを駆動可能なセグメントLCDコントローラ/ドライバ、サーミスタなどのセンサを接続することで温度や湿度を測定可能なR/Fコンバータを内蔵しています。S1C630 Seriesは電池駆動を必要とする温度/湿度計測機能付きのクロックやウォッチへの応用に適しています。

※ 本書はS1C630 SeriesのマスクROM版の4機種、S1C63016、S1C63008、S1C63004、S1C63003の機能を解説します。特に機種名の指定がない限り、説明内容は4機種に共通です。

1.1 特長

表1.1.1 各機種の特長

機能	S1C63016	S1C63008	S1C63004	S1C63003
コア	4ビットコアCPU S1C63000			
OSC1発振回路	32.768kHz(Typ.)水晶発振回路			
OSC3発振回路	4.0MHz(Typ., 3V版)/1.0MHz(Typ., 1.5V版)セラミック発振回路、 1.8MHz(Typ., 3V版)/500kHz(Typ., 1.5V版)CR発振回路(R外付け)、または 500kHz(Typ., 3V版)/500kHz(Typ., 1.5V版)CR発振回路(R内蔵) (*1)	550kHz(Typ., 3V版)/ 550kHz(Typ., 1.5V版) CR発振回路(R内蔵)		
インストラクションセット	基本命令 47種類(全命令数 411種類)、アドレッシングモード 8種類			
インストラクション	32.768kHz動作時: 61μsec	122μsec	183μsec	
実行時間	4MHz動作時: 0.5μsec	1μsec	1.5μsec	
ROM容量	コードROM 16,384ワード×13ビット	8,192ワード×13ビット	4,096ワード×13ビット	
	データROM 4,096ワード×4ビット	2,048ワード×4ビット	1,024ワード×4ビット	なし
RAM容量	データメモリ 2,048ワード×4ビット	1,024ワード×4ビット	512ワード×4ビット	256ワード×4ビット
	表示メモリ 448ビット	400ビット	288ビット	110ビット
入出力兼用ポート	24ビット	24ビット	20ビット	16ビット
	ブルダウントラクション抵抗の付加が可能(*1)、周辺回路入出力に切り替え可能(*2)			
シリアルインターフェース	1ポート(クロック同期式8ビット、SPIに対応)			なし
LCDドライバ	56セグメント(Max., *1) ×3~8コモン(*2)	50セグメント(Max., *1) ×3~8コモン(*2)	36セグメント(Max., *1) ×3~8コモン(*2)	22セグメント(Max., *1) ×3~5コモン(*2)
タイムベースカウンタ	計時タイマ 1/1000秒ストップウォッチタイマ(ダイレクトキー入力機能付き)			計時タイマ 1/1000秒ストップウォッチタイマ(ダイレクトキー入力機能なし)
プログラマブルタイマ	8ビットタイマ ×4チャネル (16ビットタイマ×2 または16ビットタイマ× 1+8ビットタイマ×2と して使用可能) (*2)	8ビットタイマ×3チャネル (16ビットタイマ×1+8ビットタイマ×1として使 用可能) (*2)		8ビットタイマ ×1チャネル
ウォッチドッグタイマ	内蔵			
サウンドジェネレータ	エンペロープ、1ショット出力機能付き			
R/Fコンバータ	2チャネル、CR発振方式、20ビットカウンタ、湿度センサに対応			
乗除算回路	8ビット演算器 乗算: 8ビット×8ビット →(積)16ビット 除算: 16ビット÷8ビット →(商)8ビット、(余数)8ビット		なし	
電源電圧検出(SVD)回路	検出電圧を29種類から選択可能(*2)			なし
外部割り込み				
キー入力	8系統			4系統
内部割り込み				
ウォッチドッグタイマ	1系統(NMI)	1系統(NMI)		1系統(NMI)
計時タイマ	8系統	8系統		4系統
ストップウォッチタイマ	4系統	4系統		2系統
プログラマブルタイマ	8系統	6系統		1系統
シリアルインターフェース	1系統	1系統		なし
R/Fコンバータ	3系統	3系統		3系統

機能	S1C63016	S1C63008	S1C63004	S1C63003
電源電圧	1.8V~5.5V(3Vノーマルタイプ)または1.1V~1.7V(1.5V低電圧タイプ) (*1)			
動作温度範囲	-40°C~85°C			
消費電流 (Typ.)	SLEEP時 (32kHz) HALT時 (32kHz) 動作時 (32kHz) 動作時 (4M/1MHz)	0.1µA (3V版)/0.1µA (1.5V版) 0.5µA (3V版)/0.5µA (1.5V版) 2.3µA (3V版)/2.0µA (1.5V版) 220µA (4MHz、3V版)/ 60µA (1MHz、1.5V版)		40µA (550kHz、3V版)/ 30µA (550kHz、1.5V版)
出荷形態	QFP15-100pin、TQFP14-100pin、またはチップ		QFP14-80pin、 TQFP14-100pin、 またはチップ	QFP12-48pin またはチップ

*1: マスクオプションにより選択 *2: ソフトウェアにより選択

1.2 ブロック図

S1C63016

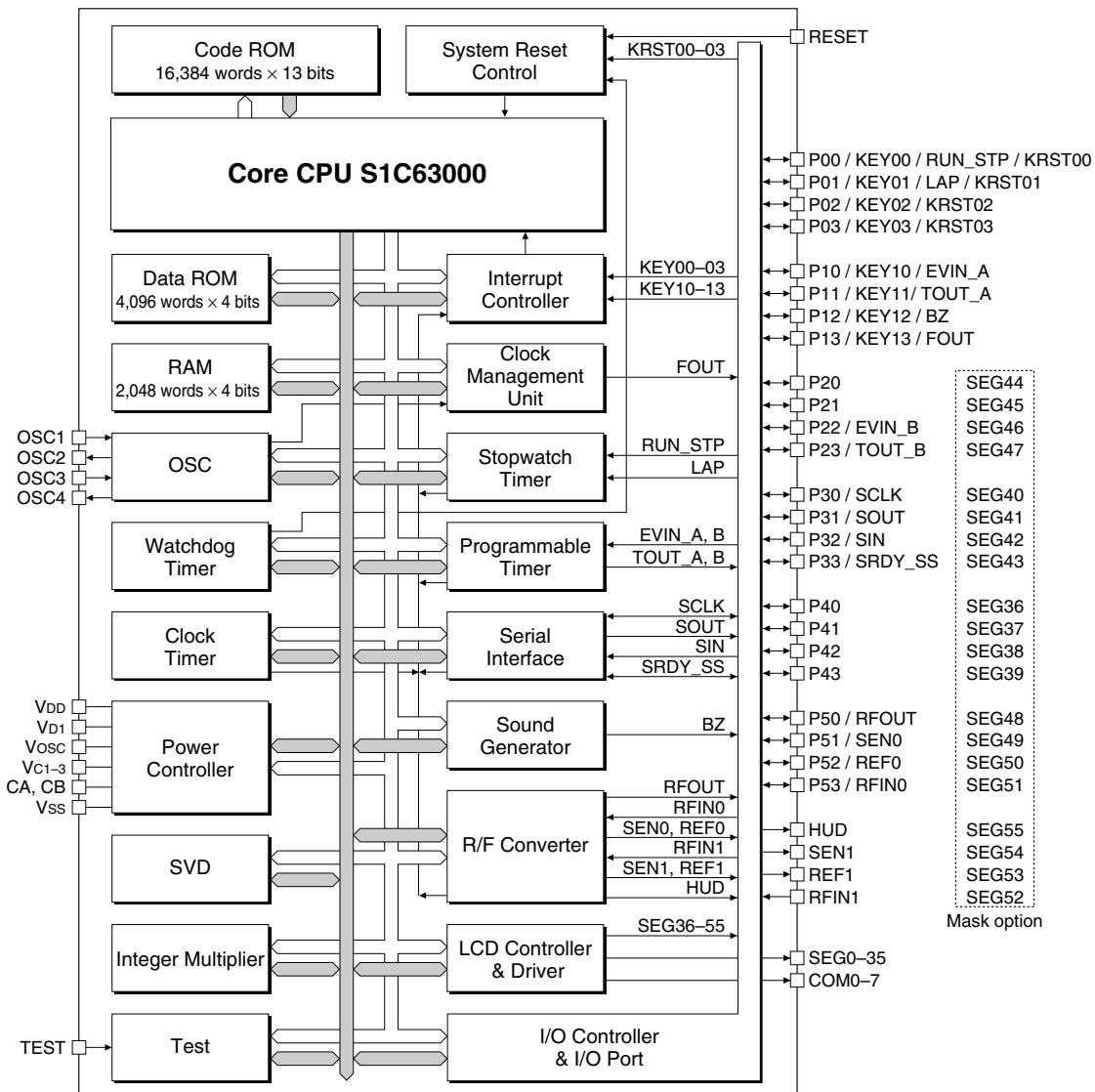


図1.2.1 S1C63016ブロック図

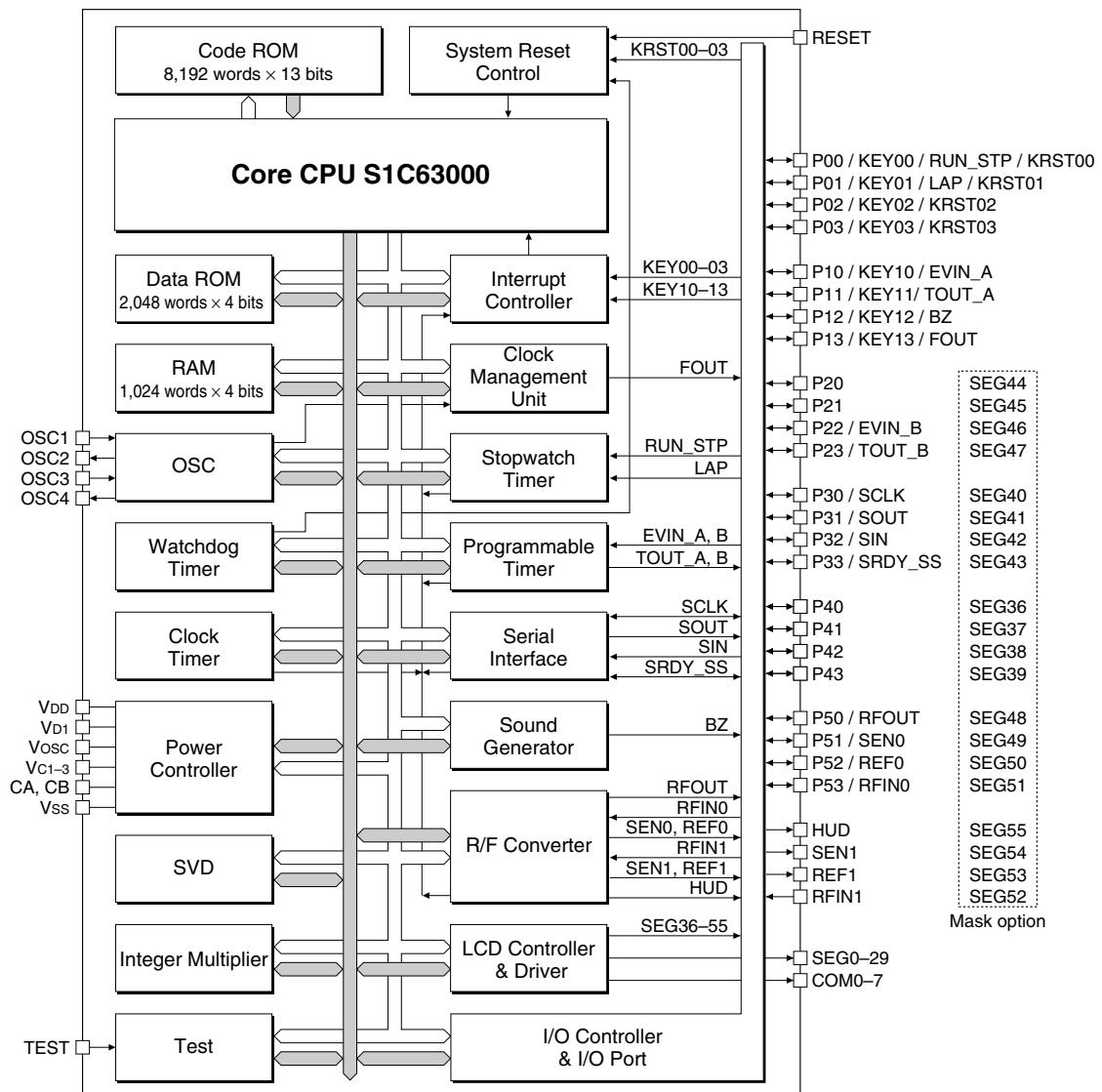
S1C63008

図1.2.2 S1C63008ブロック図

S1C63004

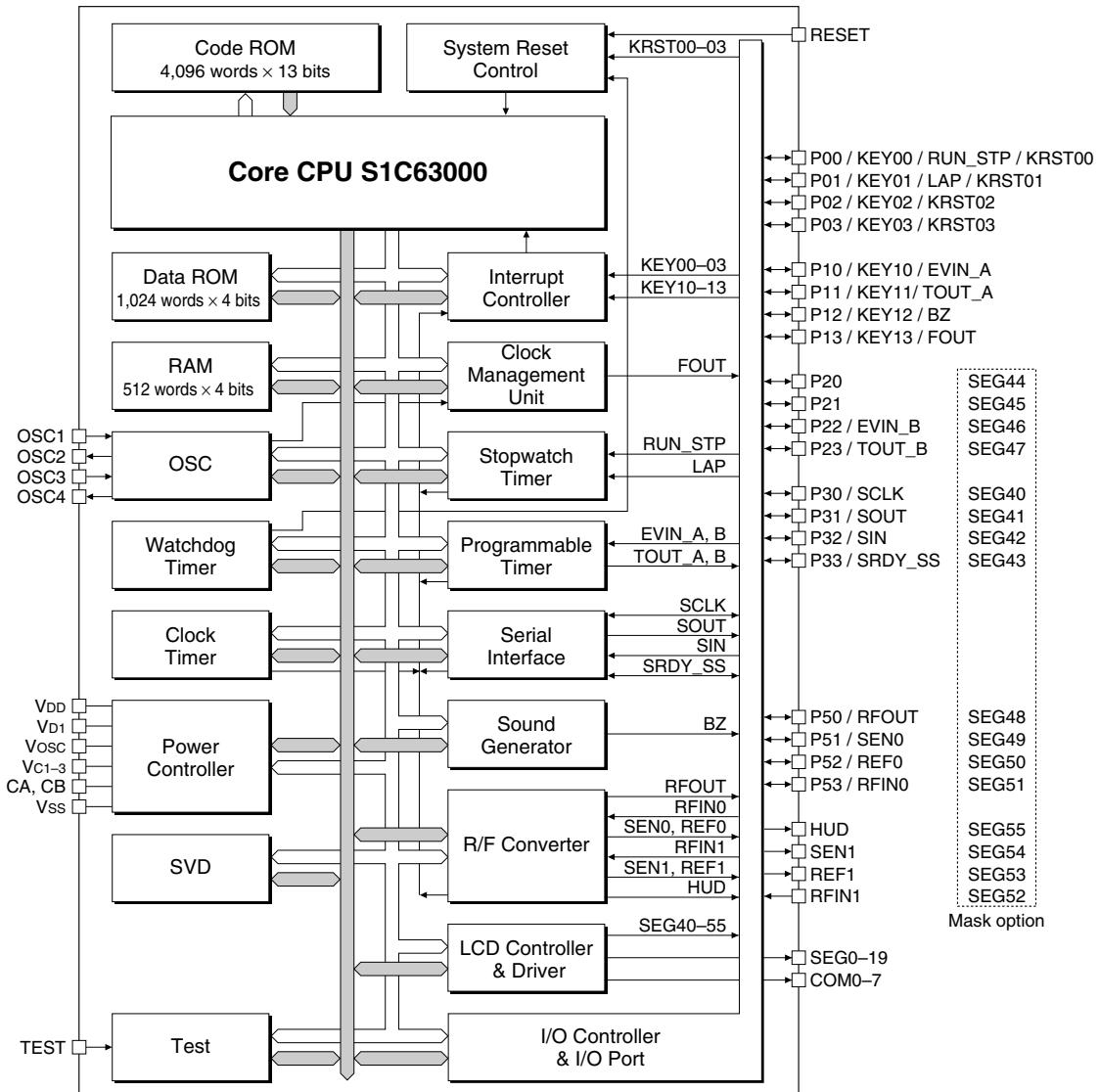


図1.2.3 S1C63004ブロック図

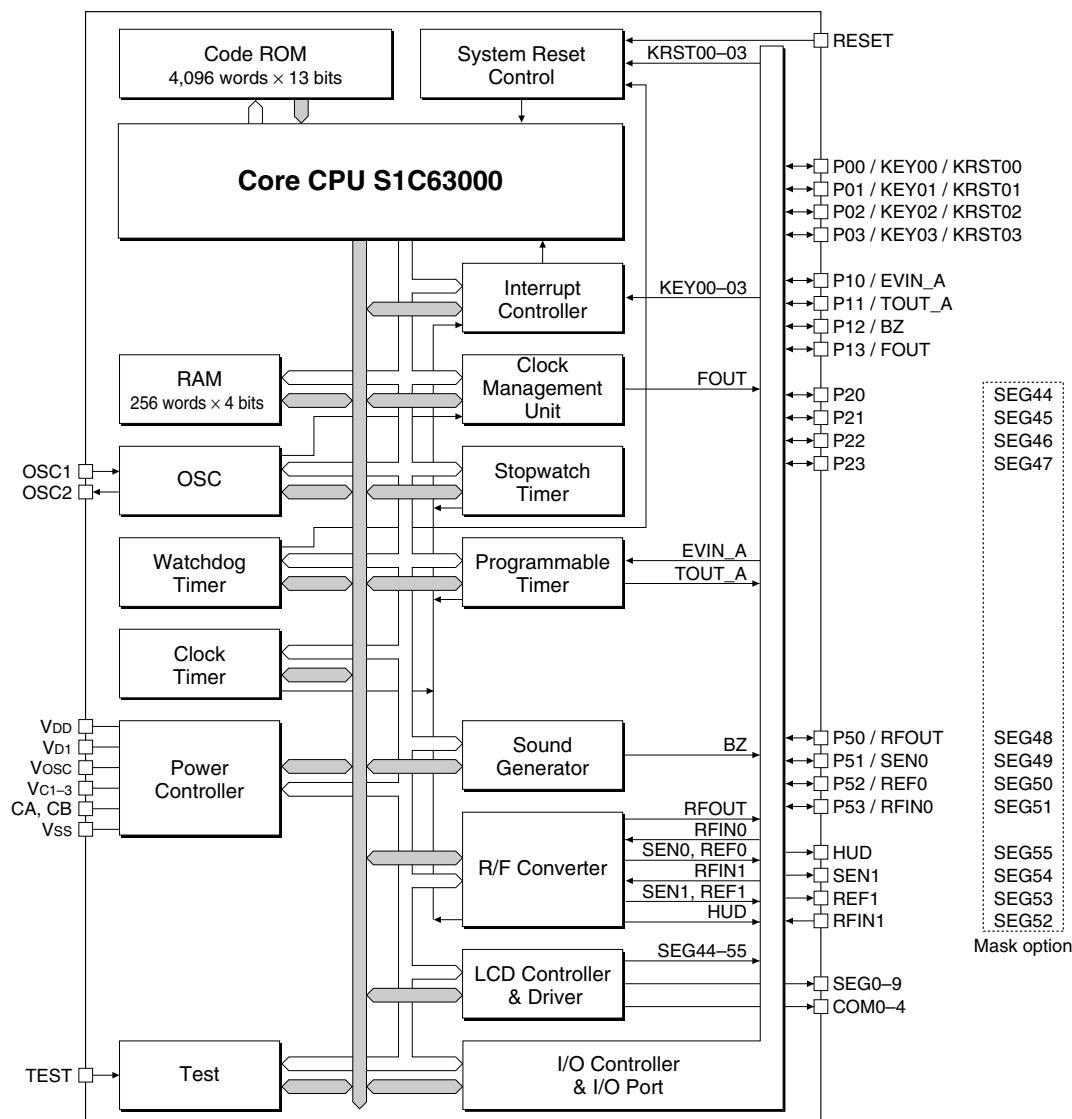
S1C63003

図1.2.4 S1C63003ブロック図

1.3 マスクオプション

S1C63003/004/008/016には、以下に示すマスクオプションが用意されています。各マスクオプションには複数のハードウェア仕様が用意されており、アプリケーションに合わせて選択することができます。この選択には開発ソフトウェアツールとして用意されているファンクションオプションジェネレータwinfogおよびセグメントオプションジェネレータwinsogを使用します。winfogおよびwinsogで作成したデータをもとに最終的なICのマスクパターンが生成されます。winfogおよびwinsogについては"S5U1C63000A Manual"を参照してください。

〈マスクオプションの概要〉

(1)動作電源タイプ

動作電源の種類として3Vノーマルタイプ(1.8V～5.5V)と1.5V低電圧タイプ(1.1V～1.7V)が選択できます。

(2)OSC3発振回路

S1C63004/008/016では、OSC3発振回路としてセラミック発振回路、CR発振回路(R外付け)、またはCR発振回路(R内蔵)が選択できます。S1C63003はCR発振回路(R内蔵)に固定されています。詳細については"発振回路とクロック制御"の章の"OSC3発振回路"を参照してください。

(3)RESET端子プルダウン抵抗

RESET端子にプルダウン抵抗を付加するか否かを選択できます。詳細については"イニシャルリセット"の章の"リセット端子(RESET)"を参照してください。

(4)SEG/GPIO/RFC選択

入出力兼用ポートP20～P53およびR/F変換器の入出力端子がSEG出力端子を兼用しています。これらの端子を入出力兼用ポートまたはR/F変換器用として使用するか、SEG出力端子として使用するか選択できます。選択は1ビット単位で行います。詳細については"LCD ドライバ"の章の"マスクオプション"を参照してください。

(5)入出力兼用ポートプルダウン抵抗

入出力兼用ポートP00～P53が入力モード時に働くプルダウン抵抗を付加するか否かを選択できます。選択は1ビット単位で行います。詳細については"入出力兼用ポート"の章の"マスクオプション"を参照してください。

(6)入出力兼用ポートの出力仕様

入出力兼用ポートP00～P53が出力モードの際の出力仕様として、コンプリメンタリ出力またはPチャネルオープンドレイン出力が選択できます。選択は1ビット単位で行います。詳細については"入出力兼用ポート"の章の"マスクオプション"を参照してください。

R/F変換器(チャネル0)を使用する場合は、P50～P53ポートの出力仕様に"Pチャネルオープンドレイン出力"を選択しないでください。

(7)P0xポート同時HIGH入力による外部リセット

複数キーの同時押しによってICをリセットする機能を使用するか否かを選択できます。また、使用する場合は、同時に押すキーを接続するP0xポート(P00～P03)の組み合わせを選択します。詳細については"イニシャルリセット"の章の"P0xポート(P00～P03)の同時HIGH入力"を参照してください。

(8)P0xポート同時HIGH入力リセットの時間検定回路

(7)の外部リセット機能を使用する場合は、時間検定回路を使用するか否かについても選択できます。時間検定回路を使用すると、規定時間以上の同時HIGH入力があった場合のみ、リセット機能が働きます。外部リセット機能を使用しない場合、時間検定回路は使用できません。詳細については"イニシャルリセット"の章の"P0xポート(P00～P03)の同時HIGH入力"を参照してください。

(9)LCD駆動電源

S1C63004/008/016では、LCD駆動用電源として内部電源または外部電源を選択できます。内部電源選択時の昇圧用基準電圧(Vc1またはVc2)はレジスタで設定します。S1C63003でも、マスクオプションにより内部電源と外部電源の選択が可能です。また、内部電源使用時の昇圧用基準電圧(Vc1またはVc2)についてもマスクオプションで選択します。詳細については"LCD ドライバ"の章の"マスクオプション"を参照してください。

(10) LCDセグメント仕様

SEG端子に対する表示メモリの割り付け、DC出力として使用するSEG端子の選択が行えます。詳細については"LCD ドライバ"の章の"マスクオプション"を参照してください。

表1.3.1 オプションリスト(S1C63008/016)

1 概要

項目	オプション	
入出力兼用ポート 出力仕様	P22	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P23	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P30	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P31	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P32	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P33	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P40	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P41	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P42	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P43	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P50	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain *
	P51	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain *
	P52	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain *
	P53	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain *
P0xポートキー同時押し リセット組み合わせ	<input type="checkbox"/> 1. Not Use <input type="checkbox"/> 2. Use <P00, P01> <input type="checkbox"/> 3. Use <P00, P01, P02> <input type="checkbox"/> 4. Use <P00, P01, P02, P03>	
	<input type="checkbox"/> 1. Not Use <input type="checkbox"/> 2. Use	
LCD駆動電源	<input type="checkbox"/> 1. Internal 1/3 bias <input type="checkbox"/> 2. External 1/3 bias, V _{DD} = V _{C2} (4.5 V panel) <input type="checkbox"/> 3. External 1/3 bias, V _{DD} = V _{C3} (3.0 V panel) <input type="checkbox"/> 4. External 1/2 bias, V _{DD} = V _{C3} , V _{C1} = V _{C2} (3.0 V panel)	

□選択可能 ■固定

* R/Fコンバータ(チャネル0)を使用する場合は、P50～P53ポートの出力仕様に"Pch Open Drain"を選択しないでください。

表1.3.2 オプションリスト(S1C63004)

項目	オプション	
動作電源タイプ	<input type="checkbox"/> 1. Normal Type (1.8–5.5 V)	<input type="checkbox"/> 2. Low Voltage Type (1.1–1.7 V)
OSC3発振回路	<input type="checkbox"/> 1. CR (built-in R) <input type="checkbox"/> 2. CR (external R) <input type="checkbox"/> 3. Ceramic (4.0 MHz)	
RESET端子プルダウン抵抗	<input type="checkbox"/> 1. Use	<input type="checkbox"/> 2. Not Use
SEG/GPIO/RFC選択	P20	<input type="checkbox"/> 1. I/O <input type="checkbox"/> 2. SEG
	P21	<input type="checkbox"/> 1. I/O <input type="checkbox"/> 2. SEG
	P22	<input type="checkbox"/> 1. I/O <input type="checkbox"/> 2. SEG
	P23	<input type="checkbox"/> 1. I/O <input type="checkbox"/> 2. SEG
	P30	<input type="checkbox"/> 1. I/O <input type="checkbox"/> 2. SEG
	P31	<input type="checkbox"/> 1. I/O <input type="checkbox"/> 2. SEG
	P32	<input type="checkbox"/> 1. I/O <input type="checkbox"/> 2. SEG
	P33	<input type="checkbox"/> 1. I/O <input type="checkbox"/> 2. SEG
	P50	<input type="checkbox"/> 1. I/O <input type="checkbox"/> 2. SEG
	P51	<input type="checkbox"/> 1. I/O <input type="checkbox"/> 2. SEG
	P52	<input type="checkbox"/> 1. I/O <input type="checkbox"/> 2. SEG
	P53	<input type="checkbox"/> 1. I/O <input type="checkbox"/> 2. SEG
	RFIN1	<input type="checkbox"/> 1. RFC <input type="checkbox"/> 2. SEG
	REF1	<input type="checkbox"/> 1. RFC <input type="checkbox"/> 2. SEG
	SEN1	<input type="checkbox"/> 1. RFC <input type="checkbox"/> 2. SEG
	HUD	<input type="checkbox"/> 1. RFC <input type="checkbox"/> 2. SEG
入出力兼用ポート プルダウン抵抗	P00	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P01	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P02	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P03	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P10	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P11	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P12	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P13	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P20	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P21	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P22	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P23	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P30	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P31	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use

項目	オプション	
入出力兼用ポート ブルダウン抵抗	P32	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P33	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P50	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P51	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P52	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P53	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
入出力兼用ポート 出力仕様	P00	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P01	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P02	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P03	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P10	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P11	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P12	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P13	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P20	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P21	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P22	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P23	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P30	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P31	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
P0xポートキー同時押し リセット組み合わせ	P32	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P33	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
P50～P53ポートの出力仕様	P50	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain *
	P51	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain *
	P52	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain *
	P53	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain *
P0xポートキー同時押し リセット時間検定	<input type="checkbox"/> 1. Not Use	<input type="checkbox"/> 2. Use
LCD駆動電源	<input type="checkbox"/> 1. Internal 1/3 bias <input type="checkbox"/> 2. External 1/3 bias, VDD = VC2 (4.5 V panel) <input type="checkbox"/> 3. External 1/3 bias, VDD = VC3 (3.0 V panel) <input type="checkbox"/> 4. External 1/2 bias, VDD = VC3, VC1 = VC2 (3.0 V panel)	

□選択可能 ■固定

* R/Fコンバータ(チャネル0)を使用する場合は、P50～P53ポートの出力仕様に"Pch Open Drain"を選択しないでください。

表1.3.3 オプションリスト(S1C63003)

項目	オプション	
動作電源タイプ	<input type="checkbox"/> 1. Normal Type (1.8–5.5 V)	<input type="checkbox"/> 2. Low Voltage Type (1.1–1.7 V)
OSC3発振回路	<input checked="" type="checkbox"/> 1. CR (built-in R) <input type="checkbox"/> 2. CR (external R) <input type="checkbox"/> 3. Ceramic (4.0 MHz)	
RESET端子ブルダウン抵抗	<input type="checkbox"/> 1. Use	<input type="checkbox"/> 2. Not Use
SEG/GPIO/RFC選択	P20	<input type="checkbox"/> 1. I/O <input type="checkbox"/> 2. SEG
	P21	<input type="checkbox"/> 1. I/O <input type="checkbox"/> 2. SEG
	P22	<input type="checkbox"/> 1. I/O <input type="checkbox"/> 2. SEG
	P23	<input type="checkbox"/> 1. I/O <input type="checkbox"/> 2. SEG
	P50	<input type="checkbox"/> 1. I/O <input type="checkbox"/> 2. SEG
	P51	<input type="checkbox"/> 1. I/O <input type="checkbox"/> 2. SEG
	P52	<input type="checkbox"/> 1. I/O <input type="checkbox"/> 2. SEG
	P53	<input type="checkbox"/> 1. I/O <input type="checkbox"/> 2. SEG
	RFIN1	<input type="checkbox"/> 1. RFC <input type="checkbox"/> 2. SEG
	REF1	<input type="checkbox"/> 1. RFC <input type="checkbox"/> 2. SEG
	SEN1	<input type="checkbox"/> 1. RFC <input type="checkbox"/> 2. SEG
	HUD	<input type="checkbox"/> 1. RFC <input type="checkbox"/> 2. SEG
入出力兼用ポート ブルダウン抵抗	P00	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P01	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P02	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P03	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P10	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P11	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use

1 概要

項目	オプション	
入出力兼用ポート ブルダウン抵抗	P12	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P13	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P20	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P21	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P22	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P23	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P50	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P51	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P52	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
	P53	<input type="checkbox"/> 1. Use <input type="checkbox"/> 2. Not Use
入出力兼用ポート 出力仕様	P00	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P01	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P02	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P03	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P10	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P11	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P12	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P13	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P20	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P21	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P22	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P23	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain
	P50	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain *
P0xポートキー同時押し リセット組み合わせ	P51	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain *
	P52	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain *
	P53	<input type="checkbox"/> 1. Complementary <input type="checkbox"/> 2. Pch Open Drain *
P0xポートキー同時押し リセット時間検定	<input type="checkbox"/> 1. Not Use	<input type="checkbox"/> 2. Use
LCD駆動電源	<input type="checkbox"/> 1. Internal (Vc2 reference) 1/3 bias (3.0 V panel) <input type="checkbox"/> 2. Internal (Vc1 reference) 1/3 bias (3.0 V panel) <input type="checkbox"/> 3. External 1/3 bias, VDD = Vc2 (4.5 V panel) <input type="checkbox"/> 4. External 1/3 bias, VDD = Vc3 (3.0 V panel) <input type="checkbox"/> 5. External 1/2 bias, VDD = Vc3, Vc1 = Vc2 (3.0 V panel)	

選択可能 ■固定

* R/Fコンバータ(チャネル0)を使用する場合は、P50～P53ポートの出力仕様に"Pch Open Drain"を選択しないでください。

表1.3.4 セグメントオプション(S1C63016)

端子名	アドレス (F0xxH)								出力仕様
	COM0 H L D	COM1 H L D	COM2 H L D	COM3 H L D	COM4 H L D	COM5 H L D	COM6 H L D	COM7 H L D	
SEG0									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG1									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG2									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG3									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG4									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG5									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG6									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG7									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG8									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG9									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG10									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG11									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG12									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG13									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG14									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG15									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG16									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG17									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG18									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG19									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG20									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG21									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG22									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG23									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG24									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG25									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG26									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG27									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG28									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG29									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG30									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG31									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG32									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG33									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG34									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG35									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG36									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG37									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG38									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG39									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG40									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG41									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG42									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG43									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG44									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG45									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG46									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG47									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG48									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG49									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG50									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG51									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG52									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG53									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG54									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG55									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N

〈アドレス〉 H: RAMデータ上位アドレス (0~7)

L: RAMデータ下位アドレス (0~F)

D: データビット (0~3)

〈出力仕様〉 S: セグメント出力

C: コンプリメンタリ出力

N: Nchオープンドレイン出力

セグメントオプションジェネレータwinsogを使用する際の注意点(S1C63016)

- SEG0～SEG35の出力仕様は"LCDセグメント出力(S)"、"DCコンプリメンタリ出力(C)"、"DC Nchオープンドレイン出力(N)"から選択可能です。
- SEG/GPIO兼用端子(SEG36～SEG55)の設定
 - SEG36～SEG55の出力仕様は常に"LCDセグメント出力(S)"を選択してください。
 - "SEG/GPIO/RFC選択"オプションで"1. I/O"を選択した端子のアドレス欄は空白のままにしてください。
 - "SEG/GPIO/RFC選択"オプションで"2. SEG"を選択した端子のアドレス欄には、割り当てるアドレス、データビットを記入して下さい。

1 概要

表1.3.5 セグメントオプション(S1C63008)

端子名	アドレス (F0xxH)								出力仕様
	COM0 H L D	COM1 H L D	COM2 H L D	COM3 H L D	COM4 H L D	COM5 H L D	COM6 H L D	COM7 H L D	
SEG0									□ S □ C □ N
SEG1									□ S □ C □ N
SEG2									□ S □ C □ N
SEG3									□ S □ C □ N
SEG4									□ S □ C □ N
SEG5									□ S □ C □ N
SEG6									□ S □ C □ N
SEG7									□ S □ C □ N
SEG8									□ S □ C □ N
SEG9									□ S □ C □ N
SEG10									□ S □ C □ N
SEG11									□ S □ C □ N
SEG12									□ S □ C □ N
SEG13									□ S □ C □ N
SEG14									□ S □ C □ N
SEG15									□ S □ C □ N
SEG16									□ S □ C □ N
SEG17									□ S □ C □ N
SEG18									□ S □ C □ N
SEG19									□ S □ C □ N
SEG20									□ S □ C □ N
SEG21									□ S □ C □ N
SEG22									□ S □ C □ N
SEG23									□ S □ C □ N
SEG24									□ S □ C □ N
SEG25									□ S □ C □ N
SEG26									□ S □ C □ N
SEG27									□ S □ C □ N
SEG28									□ S □ C □ N
SEG29									□ S □ C □ N
SEG30									■ S □ C □ N
SEG31									■ S □ C □ N
SEG32									■ S □ C □ N
SEG33									■ S □ C □ N
SEG34									■ S □ C □ N
SEG35									■ S □ C □ N
SEG36									■ S □ C □ N
SEG37									■ S □ C □ N
SEG38									■ S □ C □ N
SEG39									■ S □ C □ N
SEG40									■ S □ C □ N
SEG41									■ S □ C □ N
SEG42									■ S □ C □ N
SEG43									■ S □ C □ N
SEG44									■ S □ C □ N
SEG45									■ S □ C □ N
SEG46									■ S □ C □ N
SEG47									■ S □ C □ N
SEG48									■ S □ C □ N
SEG49									■ S □ C □ N
SEG50									■ S □ C □ N
SEG51									■ S □ C □ N
SEG52									■ S □ C □ N
SEG53									■ S □ C □ N
SEG54									■ S □ C □ N
SEG55									■ S □ C □ N

〈アドレス〉 H: RAMデータ上位アドレス (0~7)

〈出力仕様〉 S: セグメント出力

L: RAMデータ下位アドレス (0~F)

C: コンプリメンタリ出力

D: データビット (0~3)

N: Nchオープンドレイン出力

セグメントオプションジェネレータwinsogを使用する際の注意点(S1C63008)

- SEG0～SEG29の出力仕様は"LCDセグメント出力(S)"、"DCコンプリメンタリ出力(C)"、"DC Nchオープンドレイン出力(N)"から選択可能です。
- SEG/GPIO兼用端子(SEG36～SEG55)の設定
 - SEG36～SEG55の出力仕様は常に"LCDセグメント出力(S)"を選択してください。
 - "SEG/GPIO/RFC選択"オプションで"1. I/O"を選択した端子のアドレス欄は空白のままにしてください。
 - "SEG/GPIO/RFC選択"オプションで"2. SEG"を選択した端子のアドレス欄には、割り当てるアドレス、データビットを記入して下さい。
- 存在しないSEG端子(SEG30～SEG35)の設定
 - SEG30～SEG35の出力仕様は常に"LCDセグメント出力(S)"を選択してください。
 - SEG30～SEG35のアドレス欄は空白のままにしてください。(未使用アドレスが割り付けられます。)

表1.3.6 セグメントオプション(S1C63004)

端子名	アドレス (F0xxH)								出力仕様
	COM0 H L D	COM1 H L D	COM2 H L D	COM3 H L D	COM4 H L D	COM5 H L D	COM6 H L D	COM7 H L D	
SEG0									□ S □ C □ N
SEG1									□ S □ C □ N
SEG2									□ S □ C □ N
SEG3									□ S □ C □ N
SEG4									□ S □ C □ N
SEG5									□ S □ C □ N
SEG6									□ S □ C □ N
SEG7									□ S □ C □ N
SEG8									□ S □ C □ N
SEG9									□ S □ C □ N
SEG10									□ S □ C □ N
SEG11									□ S □ C □ N
SEG12									□ S □ C □ N
SEG13									□ S □ C □ N
SEG14									□ S □ C □ N
SEG15									□ S □ C □ N
SEG16									□ S □ C □ N
SEG17									□ S □ C □ N
SEG18									□ S □ C □ N
SEG19									□ S □ C □ N
SEG20									■ S □ C □ N
SEG21									■ S □ C □ N
SEG22									■ S □ C □ N
SEG23									■ S □ C □ N
SEG24									■ S □ C □ N
SEG25									■ S □ C □ N
SEG26									■ S □ C □ N
SEG27									■ S □ C □ N
SEG28									■ S □ C □ N
SEG29									■ S □ C □ N
SEG30									■ S □ C □ N
SEG31									■ S □ C □ N
SEG32									■ S □ C □ N
SEG33									■ S □ C □ N
SEG34									■ S □ C □ N
SEG35									■ S □ C □ N
SEG36									■ S □ C □ N
SEG37									■ S □ C □ N
SEG38									■ S □ C □ N
SEG39									■ S □ C □ N
SEG40									■ S □ C □ N
SEG41									■ S □ C □ N
SEG42									■ S □ C □ N
SEG43									■ S □ C □ N
SEG44									■ S □ C □ N
SEG45									■ S □ C □ N
SEG46									■ S □ C □ N
SEG47									■ S □ C □ N
SEG48									■ S □ C □ N
SEG49									■ S □ C □ N
SEG50									■ S □ C □ N
SEG51									■ S □ C □ N
SEG52									■ S □ C □ N
SEG53									■ S □ C □ N
SEG54									■ S □ C □ N
SEG55									■ S □ C □ N

〈アドレス〉 H: RAMデータ上位アドレス (0~7)

L: RAMデータ下位アドレス (0~F)

D: データビット (0~3)

〈出力仕様〉 S: セグメント出力

C: コンプリメンタリ出力

N: Nchオーブンドレイン出力

セグメントオプションジェネレータwinsogを使用する際の注意点(S1C63004)

- SEG0～SEG19の出力仕様は"LCDセグメント出力(S)"、"DCコンプリメンタリ出力(C)"、"DC Nchオーブンドレイン出力(N)"から選択可能です。
- SEG/GPIO兼用端子(SEG40～SEG55)の設定
 - SEG40～SEG55の出力仕様は常に"LCDセグメント出力(S)"を選択してください。
 - "SEG/GPIO/RFC選択"オプションで"1. I/O"を選択した端子のアドレス欄は空白のままにしてください。
 - "SEG/GPIO/RFC選択"オプションで"2. SEG"を選択した端子のアドレス欄には、割り当てるアドレス、データビットを記入して下さい。
- 存在しないSEG端子(SEG20～SEG39)の設定
 - SEG20～SEG39の出力仕様は常に"LCDセグメント出力(S)"を選択してください。
 - SEG20～SEG39のアドレス欄は空白のままにしてください。(未使用アドレスが割り付けられます。)

1 概要

表1.3.7 セグメントオプション(S1C63003)

端子名	アドレス (F0xH)								出力仕様
	COM0 H L D	COM1 H L D	COM2 H L D	COM3 H L D	COM4 H L D	COM5 H L D	COM6 H L D	COM7 H L D	
SEG0									□ S □ C □ N
SEG1									□ S □ C □ N
SEG2									□ S □ C □ N
SEG3									□ S □ C □ N
SEG4									□ S □ C □ N
SEG5									□ S □ C □ N
SEG6									□ S □ C □ N
SEG7									□ S □ C □ N
SEG8									□ S □ C □ N
SEG9									□ S □ C □ N
SEG10									■ S □ C □ N
SEG11									■ S □ C □ N
SEG12									■ S □ C □ N
SEG13									■ S □ C □ N
SEG14									■ S □ C □ N
SEG15									■ S □ C □ N
SEG16									■ S □ C □ N
SEG17									■ S □ C □ N
SEG18									■ S □ C □ N
SEG19									■ S □ C □ N
SEG20									■ S □ C □ N
SEG21									■ S □ C □ N
SEG22									■ S □ C □ N
SEG23									■ S □ C □ N
SEG24									■ S □ C □ N
SEG25									■ S □ C □ N
SEG26									■ S □ C □ N
SEG27									■ S □ C □ N
SEG28									■ S □ C □ N
SEG29									■ S □ C □ N
SEG30									■ S □ C □ N
SEG31									■ S □ C □ N
SEG32									■ S □ C □ N
SEG33									■ S □ C □ N
SEG34									■ S □ C □ N
SEG35									■ S □ C □ N
SEG36									■ S □ C □ N
SEG37									■ S □ C □ N
SEG38									■ S □ C □ N
SEG39									■ S □ C □ N
SEG40									■ S □ C □ N
SEG41									■ S □ C □ N
SEG42									■ S □ C □ N
SEG43									■ S □ C □ N
SEG44									■ S □ C □ N
SEG45									■ S □ C □ N
SEG46									■ S □ C □ N
SEG47									■ S □ C □ N
SEG48									■ S □ C □ N
SEG49									■ S □ C □ N
SEG50									■ S □ C □ N
SEG51									■ S □ C □ N
SEG52									■ S □ C □ N
SEG53									■ S □ C □ N
SEG54									■ S □ C □ N
SEG55									■ S □ C □ N

〈アドレス〉 H: RAMデータ上位アドレス (0~3)

〈出力仕様〉 S: セグメント出力

L: RAMデータ下位アドレス (0~F)

C: コンプリメンタリ出力

D: データビット (0~3)

N: Nchオープンドレイン出力

セグメントオプションジェネレータwinsogを使用する際の注意点(S1C63003)

- SEG0～SEG9の出力仕様は"LCDセグメント出力(S)"、"DCコンプリメンタリ出力(C)"、"DC Nchオープンドレイン出力(N)"から選択可能です。
- SEG/GPIO兼用端子(SEG44～SEG55)の設定
 - SEG44～SEG55の出力仕様は常に"LCDセグメント出力(S)"を選択してください。
 - "SEG/GPIO/RFC選択"オプションで"1. I/O"を選択した端子のアドレス欄は空白のままにしてください。
 - "SEG/GPIO/RFC選択"オプションで"2. SEG"を選択した端子のアドレス欄には、割り当てるアドレス、データビットを記入して下さい。
- 存在しないSEG端子(SEG10～SEG43)の設定
 - SEG10～SEG43の出力仕様は常に"LCDセグメント出力(S)"を選択してください。
 - SEG10～SEG43のアドレス欄は空白のままにしてください。(未使用アドレスが割り付けられます。)
- 存在しないCOM端子(COM5～COM7)の設定
 - COM5～COM7のアドレス欄は空白のままにしてください。(未使用アドレスが割り付けられます。)

2 端子とパッケージ

2.1 S1C63016端子

2.1.1 S1C63016端子/パッド配置図

QFP15-100pin/TQFP14-100pin

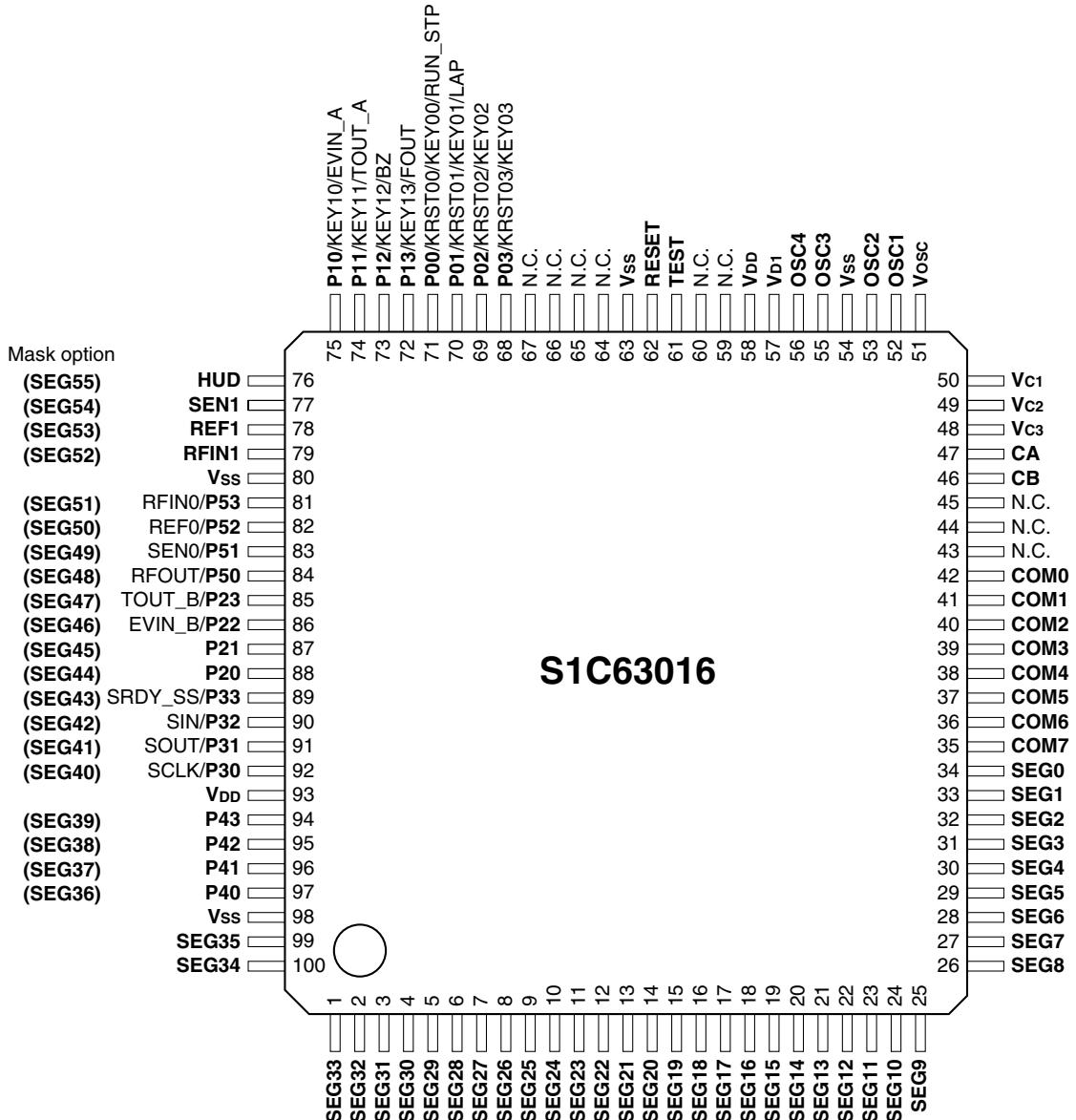


図2.1.1.1 S1C63016端子配置図(QFP15-100pin/TQFP14-100pin)

パッド配置図

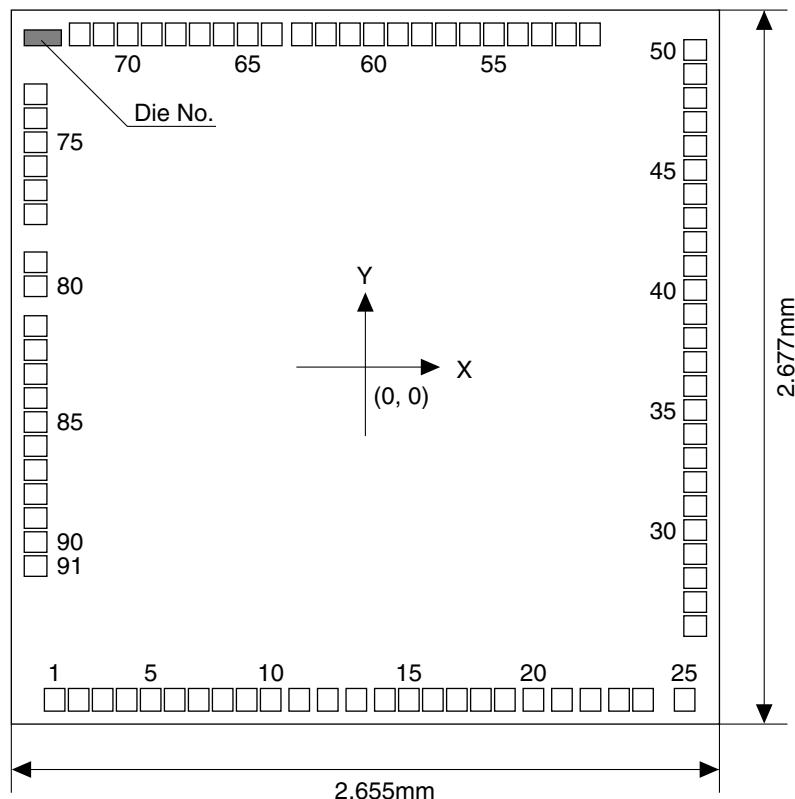


図2.1.1.2 S1C63016パッド配置図

チップ厚: 400μm

パッド開口部(X×Y): 77×85μm (No. 1～No. 25, No. 51～No. 72)

85×77μm (No. 26～No. 50, No. 73～No. 91)

注: 標準以外のチップ厚を指定する場合、400μm以下の対応となります。

パッド座標

表2.1.1.1 S1C63016/パッド座標

No.	パッド名	X (μm)	Y (μm)	No.	パッド名	X (μm)	Y (μm)
1	HUD (SEG55)	-1165.0	-1247.5	51	SEG8	842.0	1247.5
2	SEN1 (SEG54)	-1075.0	-1247.5	52	SEG7	752.0	1247.5
3	REF1 (SEG53)	-985.0	-1247.5	53	SEG6	662.0	1247.5
4	RFIN1 (SEG52)	-895.0	-1247.5	54	SEG5	572.0	1247.5
5	Vss	-805.0	-1247.5	55	SEG4	482.0	1247.5
6	P53/RFIN0 (SEG51)	-715.0	-1247.5	56	SEG3	392.0	1247.5
7	P52/REF0 (SEG50)	-625.0	-1247.5	57	SEG2	302.0	1247.5
8	P51/SEN0 (SEG49)	-535.0	-1247.5	58	SEG1	212.0	1247.5
9	P50/RFOUT (SEG48)	-445.0	-1247.5	59	SEG0	122.0	1247.5
10	P23/TOUT_B (SEG47)	-355.0	-1247.5	60	COM7	32.0	1247.5
11	P22/EVIN_B (SEG46)	-248.0	-1247.5	61	COM6	-58.0	1247.5
12	P21 (SEG45)	-141.0	-1247.5	62	COM5	-148.0	1247.5
13	P20 (SEG44)	-34.0	-1247.5	63	COM4	-238.0	1247.5
14	P33/SRDY_SS (SEG43)	73.0	-1247.5	64	COM3	-351.0	1247.5
15	P32/SIN (SEG42)	163.0	-1247.5	65	COM2	-441.0	1247.5
16	P31/SOUT (SEG41)	253.0	-1247.5	66	COM1	-531.0	1247.5
17	P30/SCLK (SEG40)	343.0	-1247.5	67	COM0	-621.0	1247.5
18	VDD	433.0	-1247.5	68	CB	-711.0	1247.5
19	P43 (SEG39)	523.0	-1247.5	69	CA	-801.0	1247.5
20	P42 (SEG38)	630.0	-1247.5	70	Vc3	-891.0	1247.5
21	P41 (SEG37)	737.0	-1247.5	71	Vc2	-981.0	1247.5
22	P40 (SEG36)	844.0	-1247.5	72	Vc1	-1071.0	1247.5
23	Vss	951.0	-1247.5	73	Vosc	-1236.5	1023.0
24	SEG35	1041.0	-1247.5	74	OSC1	-1236.5	933.0
25	SEG34	1197.0	-1247.5	75	OSC2	-1236.5	843.0
26	SEG33	1236.5	-971.0	76	Vss	-1236.5	753.0
27	SEG32	1236.5	-881.0	77	OSC3	-1236.5	663.0
28	SEG31	1236.5	-791.0	78	OSC4	-1236.5	573.0
29	SEG30	1236.5	-701.0	79	Vd1	-1236.5	393.0
30	SEG29	1236.5	-611.0	80	VDD	-1236.5	303.0
31	SEG28	1236.5	-521.0	81	TEST	-1236.5	154.0
32	SEG27	1236.5	-431.0	82	RESET	-1236.5	64.0
33	SEG26	1236.5	-341.0	83	Vss	-1236.5	-26.0
34	SEG25	1236.5	-251.0	84	P03/KRST03/KEY03	-1236.5	-116.0
35	SEG24	1236.5	-161.0	85	P02/KRST02/KEY02	-1236.5	-206.0
36	SEG23	1236.5	-71.0	86	P01/KRST01/KEY01/LAP	-1236.5	-296.0
37	SEG22	1236.5	19.0	87	P00/KRST00/KEY00/RUN_STP	-1236.5	-386.0
38	SEG21	1236.5	109.0	88	P13/KEY13/FOUT	-1236.5	-476.0
39	SEG20	1236.5	199.0	89	P12/KEY12/BZ	-1236.5	-566.0
40	SEG19	1236.5	289.0	90	P11/KEY11/TOUT_A	-1236.5	-656.0
41	SEG18	1236.5	379.0	91	P10/KEY10/EVIN_A	-1236.5	-746.0
42	SEG17	1236.5	469.0				
43	SEG16	1236.5	559.0				
44	SEG15	1236.5	649.0				
45	SEG14	1236.5	739.0				
46	SEG13	1236.5	829.0				
47	SEG12	1236.5	919.0				
48	SEG11	1236.5	1009.0				
49	SEG10	1236.5	1099.0				
50	SEG9	1236.5	1189.0				

2.1.2 S1C63016端子説明

表2.1.2.1 S1C63016端子説明

端子名		パッド/端子No.	I/O	OP	SFT	機能
デフォルト	兼用機能	チップ	QFP15/ TQFP14			
V _{DD}		18, 80	58, 93	—	—	電源(+)端子
V _{SS}		5, 23, 76, 83	54, 63, 80, 98	—	—	電源(-)端子
V _{D1}		79	57	—	—	内部ロジック動作電圧出力端子
V _{osc}		73	51	—	—	水晶発振回路動作電圧出力端子
V _{c1} –V _{c3}		72–70	50–48	—	—	LCD系電源端子
CA, CB		69, 68	47, 46	—	—	LCD系昇降圧コンデンサ接続端子
OSC1		74	52	I	—	水晶発振入力端子
OSC2		75	53	O	—	水晶発振出力端子
OSC3		77	55	I	OP	セラミック発振入力端子
				I	OP	CR発振(R外付け)入力端子
				—	OP	CR発振(R内蔵)入力端子(端子はオープン)
OSC4		78	56	O	OP	セラミック発振出力端子
				O	OP	CR発振(R外付け)出力端子
				—	OP	CR発振(R内蔵)出力端子(端子はオープン)
P00	P00	87	71	I/o	—	D 入出力兼用ポート端子
	KRST00			I	OP	キーリセット入力端子
	KEY00			I	—	SFT ポート割り込み入力端子
	RUN_STP			I	—	SFT ストップウォッチRUN/STOPダイレクト入力端子 (LAP入力にソフト切り換え可能)
P01	P01	86	70	I/o	—	D 入出力兼用ポート端子
	KRST01			I	OP	キーリセット入力端子
	KEY01			I	—	SFT ポート割り込み入力端子
	LAP			I	—	SFT ストップウォッチLAPダイレクト入力端子 (RUN/STOP入力にソフト切り換え可能)
P02	P02	85	69	I/o	—	D 入出力兼用ポート端子
	KRST02			I	OP	キーリセット入力端子
	KEY02			I	—	SFT ポート割り込み入力端子
P03	P03	84	68	I/o	—	D 入出力兼用ポート端子
	KRST03			I	OP	キーリセット入力端子
	KEY03			I	—	SFT ポート割り込み入力端子
P10	P10	91	75	I/o	—	D 入出力兼用ポート端子
	KEY10			I	—	SFT ポート割り込み入力端子
	EVIN_A			I	—	SFT イベントカウンタ(プログラマブルタイマ0)入力端子
P11	P11	90	74	I/o	—	D 入出力兼用ポート端子
	KEY11			I	—	SFT ポート割り込み入力端子
	TOUT_A			O	—	SFT プログラマブルタイマ0/1出力端子
P12	P12	89	73	I/o	—	D 入出力兼用ポート端子
	KEY12			I	—	SFT ポート割り込み入力端子
	BZ			O	—	SFT サウンドジェネレータ出力端子
P13	P13	88	72	I/o	—	D 入出力兼用ポート端子
	KEY13			I	—	SFT ポート割り込み入力端子
	FOUT			O	—	SFT FOUTクロック出力端子
P20	P20	13	88	I/o	OP	— 入出力兼用ポート端子
	SEG44			O	OP	— LCDセグメント出力端子
P21	P21	12	87	I/o	OP	— 入出力兼用ポート端子
	SEG45			O	OP	— LCDセグメント出力端子
P22	P22	11	86	I/o	OP	D 入出力兼用ポート端子
	EVIN_B			I	—	SFT イベントカウンタ(プログラマブルタイマ2)入力端子
	SEG46			O	OP	— LCDセグメント出力端子
P23	P23	10	85	I/o	OP	D 入出力兼用ポート端子
	TOUT_B			O	—	SFT プログラマブルタイマ2出力端子
	SEG47			O	OP	— LCDセグメント出力端子
P30	P30	17	92	I/o	OP	D 入出力兼用ポート端子
	SCLK			I/o	—	SFT シリアルI/Fクロック入出力端子
	SEG40			O	OP	— LCDセグメント出力端子
P31	P31	16	91	I/o	OP	D 入出力兼用ポート端子
	SOUT			O	—	SFT シリアルI/Fデータ出力端子
	SEG41			O	OP	— LCDセグメント出力端子

端子名		パッド/端子No.		I/O	OP	SFT	機能
デフォルト	兼用機能	チップ	QFP15/ TQFP14				
P32	P32	15	90	I/o	OP	D	入出力兼用ポート端子
	SIN			I	SFT		シリアルI/Fデータ入力端子
	SEG42			O	OP	-	LCDセグメント出力端子
P33	P33	14	89	I/o	OP	D	入出力兼用ポート端子
	SRDY_SS			I/O	SFT		シリアルI/Fレディ出力/スレーブセレクト入力端子
	SEG43			O	OP	-	LCDセグメント出力端子
P40	P40	22	97	I/o	OP	-	入出力兼用ポート端子
	SEG36			O	OP	-	LCDセグメント出力端子
P41	P41	21	96	I/o	OP	-	入出力兼用ポート端子
	SEG37			O	OP	-	LCDセグメント出力端子
P42	P42	20	95	I/o	OP	-	入出力兼用ポート端子
	SEG38			O	OP	-	LCDセグメント出力端子
P43	P43	19	94	I/o	OP	-	入出力兼用ポート端子
	SEG39			O	OP	-	LCDセグメント出力端子
P50	P50	9	84	I/o	OP	D	入出力兼用ポート端子
	RFOUT			O	SFT		R/FコンバータCR発振クロック出力端子
	SEG48			O	OP	-	LCDセグメント出力端子
P51	P51	8	83	I/o	OP	D	入出力兼用ポート端子
	SEN0			O	SFT		R/FコンバータCh.0 DCバイアスセンサ用CR発振出力端子
	SEG49			O	OP	-	LCDセグメント出力端子
P52	P52	7	82	I/o	OP	D	入出力兼用ポート端子
	REF0			O	SFT		R/FコンバータCh.0 基準抵抗用CR発振出力端子
	SEG50			O	OP	-	LCDセグメント出力端子
P53	P53	6	81	I/o	OP	D	入出力兼用ポート端子
	RFIN0			I	SFT		R/FコンバータCh.0 CR発振入力端子
	SEG51			O	OP	-	LCDセグメント出力端子
RFIN1	RFIN1	4	79	I	OP	-	R/FコンバータCh.1 CR発振入力端子
	SEG52			O	OP	-	LCDセグメント出力端子
REF1	REF1	3	78	O	OP	-	R/FコンバータCh.1 基準抵抗用CR発振出力端子
	SEG53			O	OP	-	LCDセグメント出力端子
SEN1	SEN1	2	77	O	OP	-	R/FコンバータCh.1 DCバイアスセンサ用CR発振出力端子
	SEG54			O	OP	-	LCDセグメント出力端子
HUD	HUD	1	76	O	OP	-	R/FコンバータACバイアスセンサ用CR発振出力端子
	SEG55			O	OP	-	LCDセグメント出力端子
COM0-COM7		67-60	42-35	O	-	-	LCDコモン出力端子
SEG0-SEG35		59-24	34-1, 100, 99	O	-	-	LCDセグメント出力端子
RESET		82	62	I	-	-	イニシャルリセット入力端子
TEST		81	61	I	-	-	テスト端子(通常動作時はVssに接続)

I/O: 大文字(I、O)は初期設定時の入出力方向です。

OP: マスクオプションで選択(-はオプションなし)

SFT: ソフトウェアで切り替え(-はソフト切り替えなし、Dはデフォルト機能)

注: TEST端子はVssに接続し、通常動作時にそれ以外の状態にならないようにしてください。

2.2 S1C63008端子

2.2.1 S1C63008端子/パッド配置図

QFP15-100pin/TQFP14-100pin

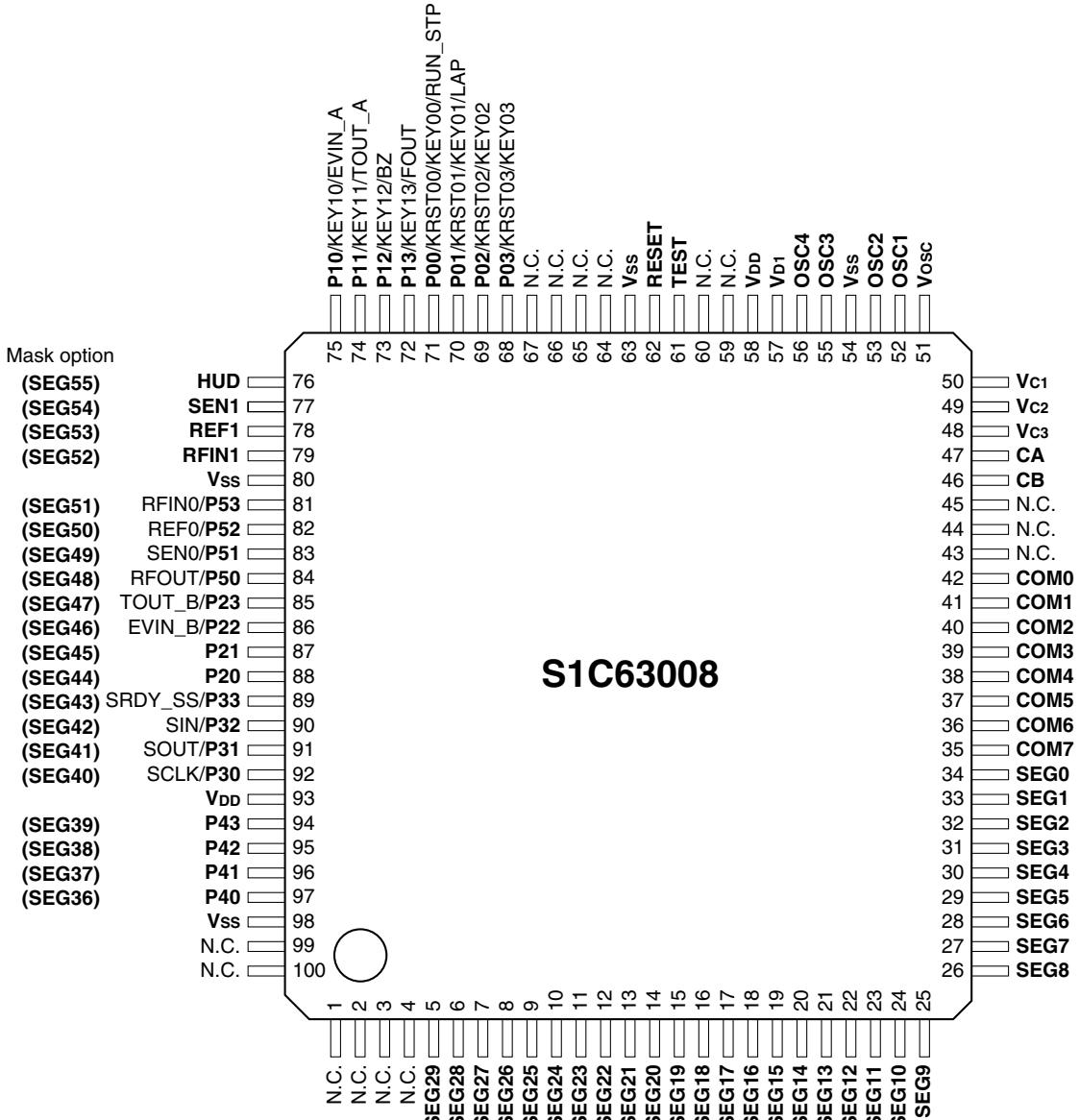


図2.2.1.1 S1C63008端子配置図(QFP15-100pin/TQFP14-100pin)

パッド配置図

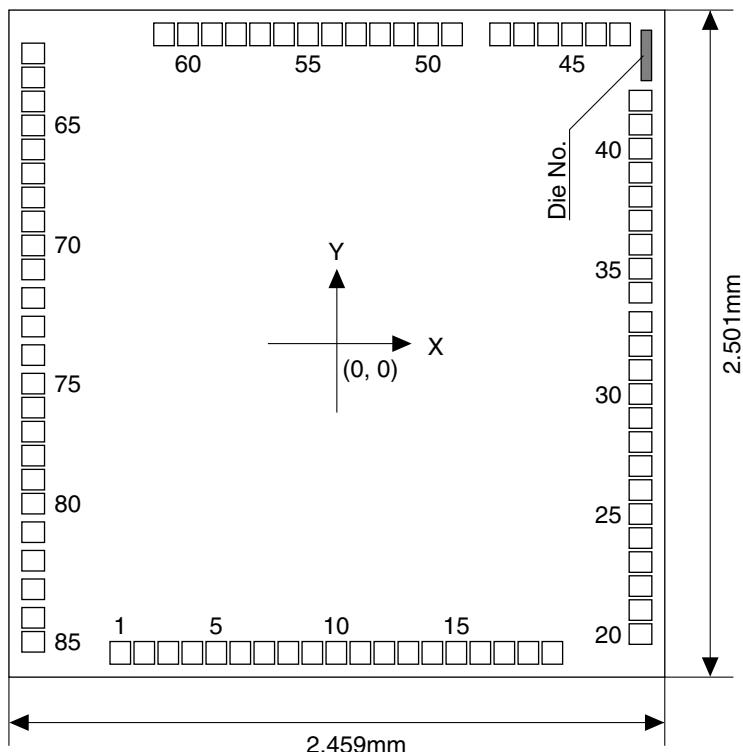


図2.2.1.2 S1C63008/パッド配置図

チップ厚: 400 μ m

パッド開口部(X × Y): 77 × 85 μ m (No. 1～No. 19, No. 43～No. 61)

85 × 77 μ m (No. 20～No. 42, No. 62～No. 85)

注: 標準以外のチップ厚を指定する場合、400 μ m以下の対応となります。

パッド座標

表2.2.1.1 S1C63008パッド座標

No.	パッド名	X (μm)	Y (μm)	No.	パッド名	X (μm)	Y (μm)
1	SEG28	-812.0	-1159.5	43	Vosc	1062.0	1159.5
2	SEG27	-722.0	-1159.5	44	OSC1	972.0	1159.5
3	SEG26	-632.0	-1159.5	45	OSC2	882.0	1159.5
4	SEG25	-542.0	-1159.5	46	Vss	792.0	1159.5
5	SEG24	-452.0	-1159.5	47	OSC3	702.0	1159.5
6	SEG23	-362.0	-1159.5	48	OSC4	612.0	1159.5
7	SEG22	-272.0	-1159.5	49	V _{D1}	432.0	1159.5
8	SEG21	-182.0	-1159.5	50	V _{DD}	342.0	1159.5
9	SEG20	-92.0	-1159.5	51	TEST	252.0	1159.5
10	SEG19	-2.0	-1159.5	52	RESET	162.0	1159.5
11	SEG18	88.0	-1159.5	53	Vss	72.0	1159.5
12	SEG17	178.0	-1159.5	54	P03/KRST03/KEY03	-18.0	1159.5
13	SEG16	268.0	-1159.5	55	P02/KRST02/KEY02	-108.0	1159.5
14	SEG15	358.0	-1159.5	56	P01/KRST01/KEY01/LAP	-198.0	1159.5
15	SEG14	448.0	-1159.5	57	P00/KRST00/KEY00/RUN_STP	-288.0	1159.5
16	SEG13	538.0	-1159.5	58	P13/KEY13/FOUT	-378.0	1159.5
17	SEG12	628.0	-1159.5	59	P12/KEY12/BZ	-468.0	1159.5
18	SEG11	718.0	-1159.5	60	P11/KEY11/TOUT_A	-558.0	1159.5
19	SEG10	808.0	-1159.5	61	P10/KEY10/EVIN_A	-648.0	1159.5
20	SEG9	1138.5	-1089.0	62	HUD (SEG55)	-1138.5	1088.0
21	SEG8	1138.5	-999.0	63	SEN1 (SEG54)	-1138.5	998.0
22	SEG7	1138.5	-909.0	64	REF1 (SEG53)	-1138.5	908.0
23	SEG6	1138.5	-819.0	65	RFIN1 (SEG52)	-1138.5	818.0
24	SEG5	1138.5	-729.0	66	Vss	-1138.5	728.0
25	SEG4	1138.5	-639.0	67	P53/RFIN0 (SEG51)	-1138.5	638.0
26	SEG3	1138.5	-549.0	68	P52/REF0 (SEG50)	-1138.5	548.0
27	SEG2	1138.5	-459.0	69	P51/SEN0 (SEG49)	-1138.5	458.0
28	SEG1	1138.5	-369.0	70	P50/RFOUT (SEG48)	-1138.5	368.0
29	SEG0	1138.5	-279.0	71	P23/TOUT_B (SEG47)	-1138.5	278.0
30	COM7	1138.5	-189.0	72	P22/EVIN_B (SEG46)	-1138.5	171.0
31	COM6	1138.5	-99.0	73	P21 (SEG45)	-1138.5	64.0
32	COM5	1138.5	-9.0	74	P20 (SEG44)	-1138.5	-43.0
33	COM4	1138.5	81.0	75	P33/SRDY_SS (SEG43)	-1138.5	-150.0
34	COM3	1138.5	191.0	76	P32/SIN (SEG42)	-1138.5	-240.0
35	COM2	1138.5	281.0	77	P31/SOUT (SEG41)	-1138.5	-330.0
36	COM1	1138.5	371.0	78	P30/SCLK (SEG40)	-1138.5	-420.0
37	COM0	1138.5	461.0	79	V _{DD}	-1138.5	-510.0
38	CB	1138.5	551.0	80	P43 (SEG39)	-1138.5	-600.0
39	CA	1138.5	641.0	81	P42 (SEG38)	-1138.5	-707.0
40	V _{C3}	1138.5	731.0	82	P41 (SEG37)	-1138.5	-814.0
41	V _{C2}	1138.5	821.0	83	P40 (SEG36)	-1138.5	-921.0
42	V _{C1}	1138.5	911.0	84	Vss	-1138.5	-1028.0
				85	SEG29	-1138.5	-1118.0

2.2.2 S1C63008端子説明

表2.2.2.1 S1C63008端子説明

端子名		パッド/端子No.	I/O	OP	SFT	機能	
デフォルト	兼用機能	チップ					
V _{DD}		50, 79	58, 93	-	-	電源(+)端子	
V _{SS}		46, 53, 66, 84	54, 63, 80, 98	-	-	電源(-)端子	
V _{D1}		49	57	-	-	内部ロジック動作電圧出力端子	
V _{osc}		43	51	-	-	水晶発振回路動作電圧出力端子	
V _{c1} –V _{c3}		42–40	50–48	-	-	LCD系電源端子	
CA, CB		39, 38	47, 46	-	-	LCD系昇降圧コンデンサ接続端子	
OSC1		44	52	I	-	水晶発振入力端子	
OSC2		45	53	O	-	水晶発振出力端子	
OSC3		47	55	I	OP	セラミック発振入力端子	
				I	OP	CR発振(R外付け)入力端子	
				-	OP	CR発振(R内蔵)入力端子(端子はオープン)	
OSC4		48	56	O	OP	セラミック発振出力端子	
				O	OP	CR発振(R外付け)出力端子	
				-	OP	CR発振(R内蔵)出力端子(端子はオープン)	
P00	P00	57	71	I/o	-	D	入出力兼用ポート端子
	KRST00			I	OP	-	キーリセット入力端子
	KEY00			I	-	SFT	ポート割り込み入力端子
	RUN_STOP			I	-	SFT	ストップウォッチRUN/STOPダイレクト入力端子 (LAP入力にソフト切り換え可能)
P01	P01	56	70	I/o	-	D	入出力兼用ポート端子
	KRST01			I	OP	-	キーリセット入力端子
	KEY01			I	-	SFT	ポート割り込み入力端子
	LAP			I	-	SFT	ストップウォッチLAPダイレクト入力端子 (RUN/STOP入力にソフト切り換え可能)
P02	P02	55	69	I/o	-	D	入出力兼用ポート端子
	KRST02			I	OP	-	キーリセット入力端子
	KEY02			I	-	SFT	ポート割り込み入力端子
P03	P03	54	68	I/o	-	D	入出力兼用ポート端子
	KRST03			I	OP	-	キーリセット入力端子
	KEY03			I	-	SFT	ポート割り込み入力端子
P10	P10	61	75	I/o	-	D	入出力兼用ポート端子
	KEY10			I	-	SFT	ポート割り込み入力端子
	EVIN_A			I	-	SFT	イベントカウンタ(プログラマブルタイマ0)入力端子
P11	P11	60	74	I/o	-	D	入出力兼用ポート端子
	KEY11			I	-	SFT	ポート割り込み入力端子
	TOUT_A			O	-	SFT	プログラマブルタイマ0/1出力端子
P12	P12	59	73	I/o	-	D	入出力兼用ポート端子
	KEY12			I	-	SFT	ポート割り込み入力端子
	BZ			O	-	SFT	サウンドジェネレータ出力端子
P13	P13	58	72	I/o	-	D	入出力兼用ポート端子
	KEY13			I	-	SFT	ポート割り込み入力端子
	FOUT			O	-	SFT	FOUTクロック出力端子
P20	P20	74	88	I/o	OP	-	入出力兼用ポート端子
	SEG44			O	OP	-	LCDセグメント出力端子
P21	P21	73	87	I/o	OP	-	入出力兼用ポート端子
	SEG45			O	OP	-	LCDセグメント出力端子
P22	P22	72	86	I/o	OP	D	入出力兼用ポート端子
	EVIN_B			I		SFT	イベントカウンタ(プログラマブルタイマ2)入力端子
	SEG46			O	OP	-	LCDセグメント出力端子
P23	P23	71	85	I/o	OP	D	入出力兼用ポート端子
	TOUT_B			O		SFT	プログラマブルタイマ2出力端子
	SEG47			O	OP	-	LCDセグメント出力端子
P30	P30	78	92	I/o	OP	D	入出力兼用ポート端子
	SCLK			I/o		SFT	シリアルI/Fクロック入出力端子
	SEG40			O	OP	-	LCDセグメント出力端子
P31	P31	77	91	I/o	OP	D	入出力兼用ポート端子
	SOUT			O		SFT	シリアルI/Fデータ出力端子
	SEG41			O	OP	-	LCDセグメント出力端子

2 端子とパッケージ

端子名		パッド/端子No.		I/O	OP	SFT	機能
デフォルト	兼用機能	チップ	QFP15/ TQFP14				
P32	P32	76	90	I/o	OP	D	入出力兼用ポート端子
	SIN			I	SFT	シリアルI/Fデータ入力端子	
	SEG42			O	OP	-	LCDセグメント出力端子
P33	P33	75	89	I/o	OP	D	入出力兼用ポート端子
	SRDY_SS			i/O	SFT	シリアルI/Fレディ出力/スレーブセレクト入力端子	
	SEG43			O	OP	-	LCDセグメント出力端子
P40	P40	83	97	I/o	OP	-	入出力兼用ポート端子
	SEG36			O	OP	-	LCDセグメント出力端子
P41	P41	82	96	I/o	OP	-	入出力兼用ポート端子
	SEG37			O	OP	-	LCDセグメント出力端子
P42	P42	81	95	I/o	OP	-	入出力兼用ポート端子
	SEG38			O	OP	-	LCDセグメント出力端子
P43	P43	80	94	I/o	OP	-	入出力兼用ポート端子
	SEG39			O	OP	-	LCDセグメント出力端子
P50	P50	70	84	I/o	OP	D	入出力兼用ポート端子
	RFOUT			O	SFT	R/FコンバータCR発振クロック出力端子	
	SEG48			O	OP	-	LCDセグメント出力端子
P51	P51	69	83	I/o	OP	D	入出力兼用ポート端子
	SEN0			O	SFT	R/FコンバータCh.0 DCバイアセンサ用CR発振出力端子	
	SEG49			O	OP	-	LCDセグメント出力端子
P52	P52	68	82	I/o	OP	D	入出力兼用ポート端子
	REF0			O	SFT	R/FコンバータCh.0基準抵抗用CR発振出力端子	
	SEG50			O	OP	-	LCDセグメント出力端子
P53	P53	67	81	I/o	OP	D	入出力兼用ポート端子
	RFIN0			I	SFT	R/FコンバータCh.0 CR発振入力端子	
	SEG51			O	OP	-	LCDセグメント出力端子
RFIN1	RFIN1	65	79	I	OP	-	R/FコンバータCh.1 CR発振入力端子
	SEG52			O	OP	-	LCDセグメント出力端子
REF1	REF1	64	78	O	OP	-	R/FコンバータCh.1基準抵抗用CR発振出力端子
	SEG53			O	OP	-	LCDセグメント出力端子
SEN1	SEN1	63	77	O	OP	-	R/FコンバータCh.1 DCバイアセンサ用CR発振出力端子
	SEG54			O	OP	-	LCDセグメント出力端子
HUD	HUD	62	76	O	OP	-	R/FコンバータACバイアセンサ用CR発振出力端子
	SEG55			O	OP	-	LCDセグメント出力端子
COM0-COM7		37-30	42-35	O	-	-	LCDコモン出力端子
SEG0-SEG29		29-1, 85	34-5	O	-	-	LCDセグメント出力端子
RESET		52	62	I	-	-	イニシャルリセット入力端子
TEST		51	61	I	-	-	テスト端子(通常動作時はVssに接続)

I/O: 大文字(I、O)は初期設定時の入出力方向です。

OP: マスクオプションで選択(-はオプションなし)

SFT: ソフトウェアで切り換え(-はソフト切り換えなし、Dはデフォルト機能)

注: TEST端子はVssに接続し、通常動作時にそれ以外の状態にならないようにしてください。

2.3 S1C63004端子

2.3.1 S1C63004端子/パッド配置図

QFP14-80pin

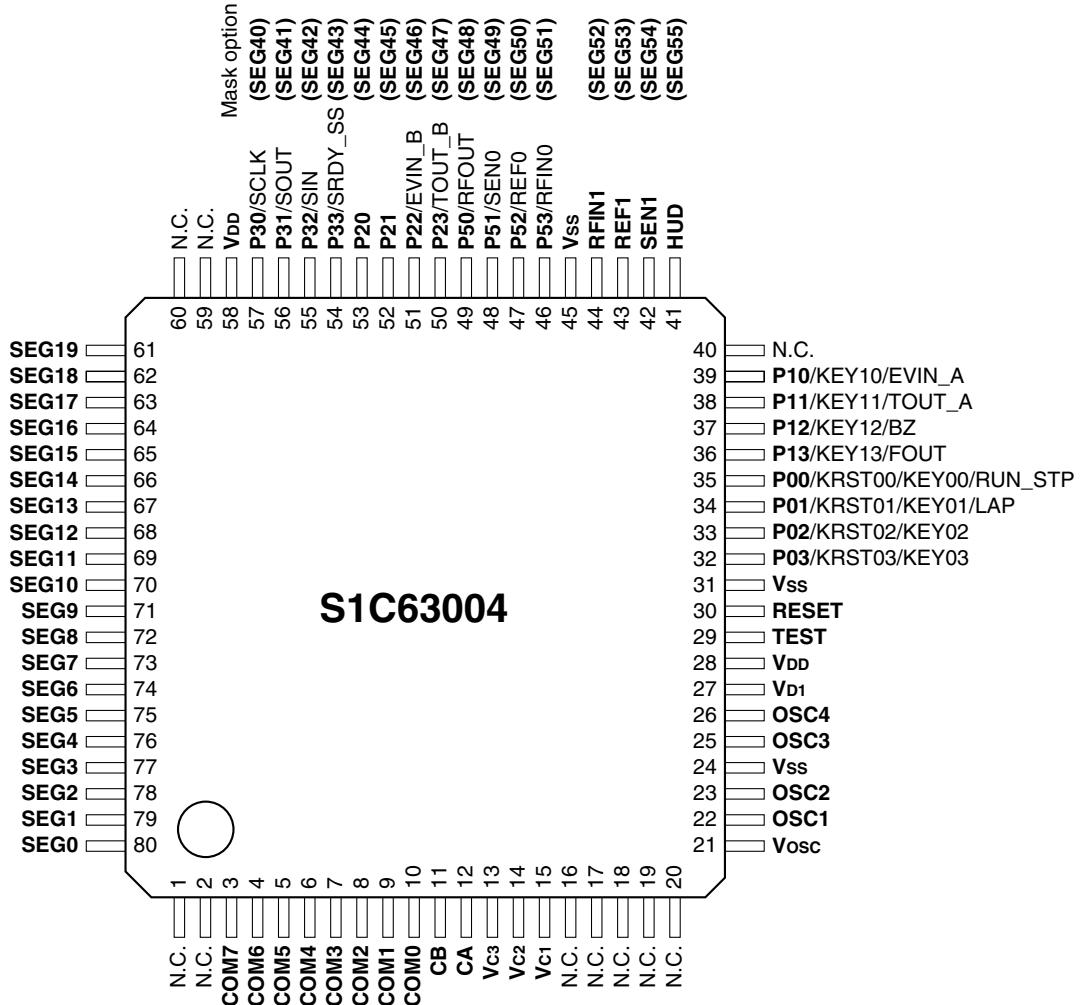


図2.3.1.1 S1C63004端子配置図(QFP14-80pin)

TQFP14-100pin

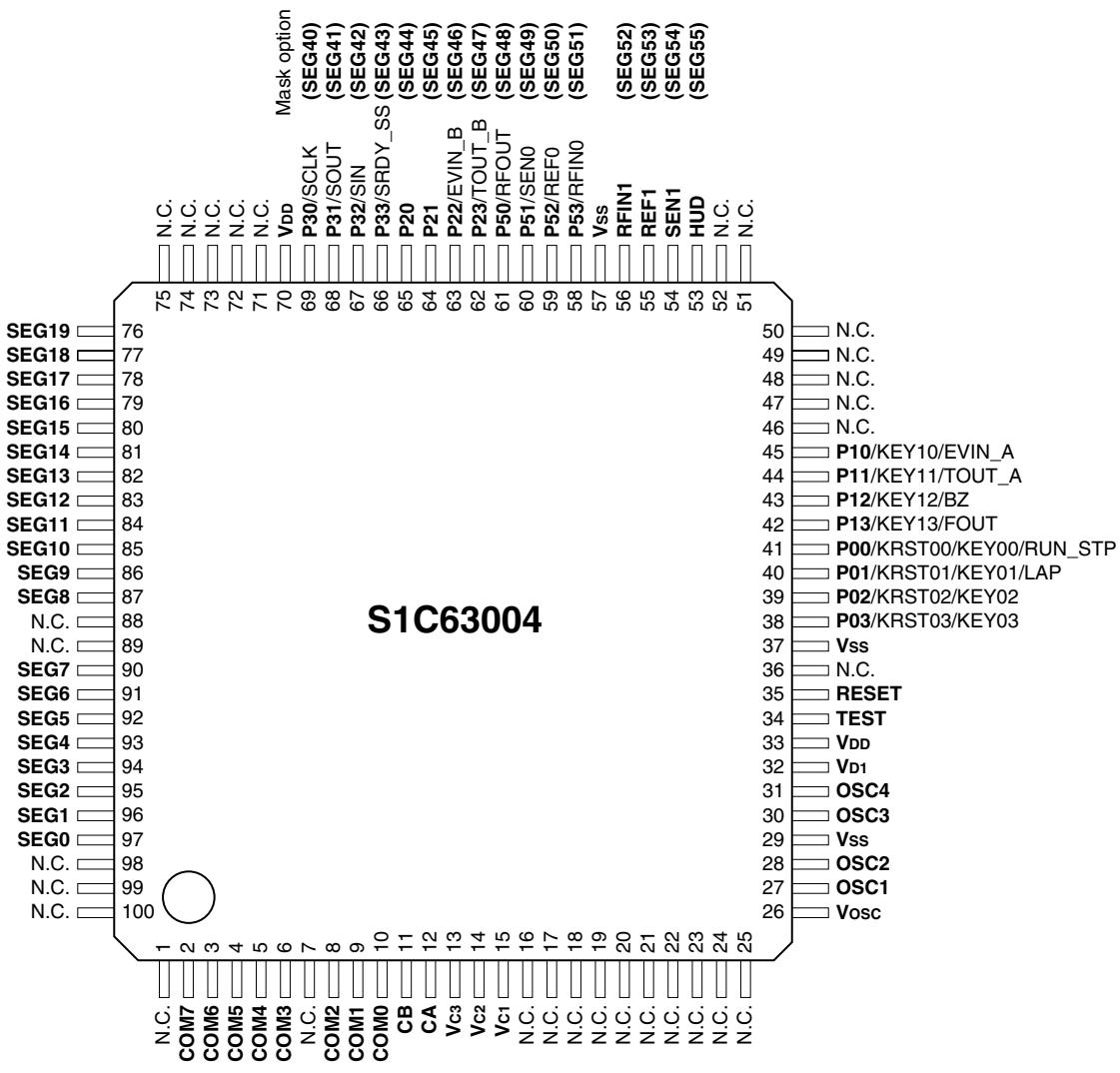


図2.3.1.2 S1C63004端子配置図(TQFP14-100pin)

パッド配置図

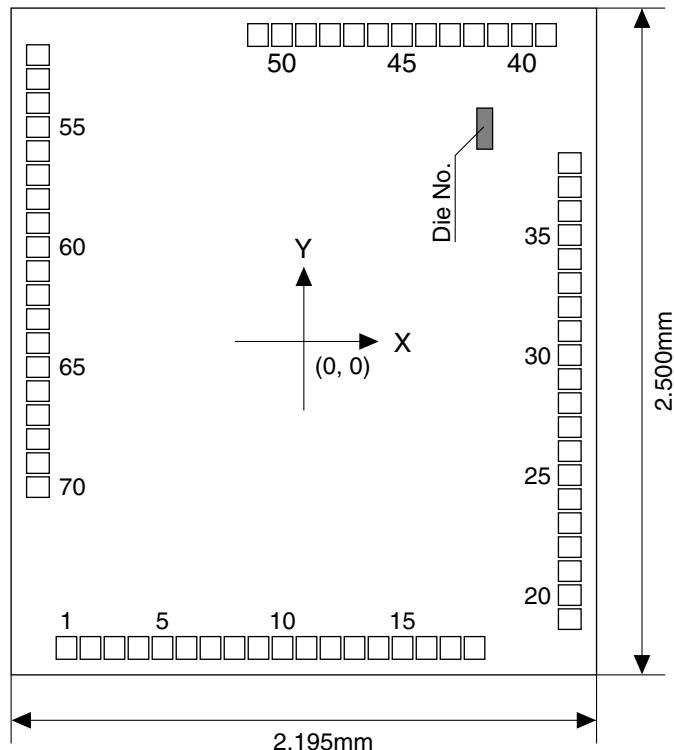


図2.3.1.3 S1C63004/パッド配置図

チップ厚: 400 μ m

パッド開口部(X×Y): 77×85 μ m (No. 1～No. 18, No. 39～No. 51)
85×77 μ m (No. 19～No. 38, No. 52～No. 70)

パッド座標

表2.3.1.1 S1C63004パッド座標

No.	パッド名	X (μm)	Y (μm)	No.	パッド名	X (μm)	Y (μm)
1	HUD (SEG55)	-889.5	-1149.0	36	SEG2	996.5	489.5
2	SEN1 (SEG54)	-799.5	-1149.0	37	SEG1	996.5	579.5
3	REF1 (SEG53)	-709.5	-1149.0	38	SEG0	996.5	669.5
4	RFIN1 (SEG52)	-619.5	-1149.0	39	COM7	907.5	1149.0
5	Vss	-529.5	-1149.0	40	COM6	817.5	1149.0
6	P53/RFIN0 (SEG51)	-439.5	-1149.0	41	COM5	727.5	1149.0
7	P52/REF0 (SEG50)	-349.5	-1149.0	42	COM4	637.5	1149.0
8	P51/SEN0 (SEG49)	-259.5	-1149.0	43	COM3	547.5	1149.0
9	P50/RFOUT (SEG48)	-169.5	-1149.0	44	COM2	457.5	1149.0
10	P23/TOUT_B (SEG47)	-79.5	-1149.0	45	COM1	367.5	1149.0
11	P22/EVIN_B (SEG46)	10.5	-1149.0	46	COM0	277.5	1149.0
12	P21 (SEG45)	100.5	-1149.0	47	CB	187.5	1149.0
13	P20 (SEG44)	190.5	-1149.0	48	CA	97.5	1149.0
14	P33/SRDY_SS (SEG43)	280.5	-1149.0	49	Vc3	7.5	1149.0
15	P32/SIN (SEG42)	370.5	-1149.0	50	Vc2	-82.5	1149.0
16	P31/SOUT (SEG41)	460.5	-1149.0	51	Vc1	-172.5	1149.0
17	P30/SCLK (SEG40)	550.5	-1149.0	52	Vosc	-996.5	1074.0
18	VDD	640.5	-1149.0	53	OSC1	-996.5	984.0
19	SEG19	996.5	-1040.5	54	OSC2	-996.5	894.0
20	SEG18	996.5	-950.5	55	Vss	-996.5	804.0
21	SEG17	996.5	-860.5	56	OSC3	-996.5	714.0
22	SEG16	996.5	-770.5	57	OSC4	-996.5	624.0
23	SEG15	996.5	-680.5	58	Vd1	-996.5	534.0
24	SEG14	996.5	-590.5	59	VDD	-996.5	444.0
25	SEG13	996.5	-500.5	60	TEST	-996.5	354.0
26	SEG12	996.5	-410.5	61	RESET	-996.5	264.0
27	SEG11	996.5	-320.5	62	Vss	-996.5	174.0
28	SEG10	996.5	-230.5	63	P03/KRST03/KEY03	-996.5	84.0
29	SEG9	996.5	-140.5	64	P02/KRST02/KEY02	-996.5	-6.0
30	SEG8	996.5	-50.5	65	P01/KRST01/KEY01/LAP	-996.5	-96.0
31	SEG7	996.5	39.5	66	P00/KRST00/KEY00/RUN_STP	-996.5	-186.0
32	SEG6	996.5	129.5	67	P13/KEY13/FOUT	-996.5	-276.0
33	SEG5	996.5	219.5	68	P12/KEY12/BZ	-996.5	-366.0
34	SEG4	996.5	309.5	69	P11/KEY11/TOUT_A	-996.5	-456.0
35	SEG3	996.5	399.5	70	P10/KEY10/EVIN_A	-996.5	-546.0

2.3.2 S1C63004端子説明

表2.3.2.1 S1C63004端子説明

端子名		パッド/端子No.			I/O	OP	SFT	機能
デフォルト	兼用機能	チップ	QFP14 -80	TQFP14 -100				
V _{DD}		18, 59	28, 58	33, 70	-	-	-	電源(+)端子
V _{SS}		5, 55, 62	24, 31, 45	29, 37, 57	-	-	-	電源(-)端子
V _{D1}		58	27	32	-	-	-	内部ロジック動作電圧出力端子
V _{osc}		52	21	26	-	-	-	水晶発振回路動作電圧出力端子
V _{C1} -V _{C3}		51-49	15-13	15-13	-	-	-	LCD系電源端子
CA, CB		48, 47	12, 11	12, 11	-	-	-	LCD系昇降圧コンデンサ接続端子
OSC1		53	22	27	I	-	-	水晶発振入力端子
OSC2		54	23	28	O	-	-	水晶発振出力端子
OSC3		56	25	30	I	OP	-	セラミック発振入力端子
					I	OP	-	CR発振(R外付け)入力端子
					-	OP	-	CR発振(R内蔵)入力端子(端子はオープン)
OSC4		57	26	31	O	OP	-	セラミック発振出力端子
					O	OP	-	CR発振(R外付け)出力端子
					-	OP	-	CR発振(R内蔵)出力端子(端子はオープン)
P00	P00	66	35	41	I/o	-	D	入出力兼用ポート端子
	KRST00				I	OP	-	キーリセット入力端子
	KEY00				I	-	SFT	ポート割り込み入力端子
	RUN_STOP				I	-	SFT	ストップウォッチRUN/STOPダイレクト入力端子 (LAP入力にソフト切り換え可能)
P01	P01	65	34	40	I/o	-	D	入出力兼用ポート端子
	KRST01				I	OP	-	キーリセット入力端子
	KEY01				I	-	SFT	ポート割り込み入力端子
	LAP				I	-	SFT	ストップウォッチLAPダイレクト入力端子 (RUN/STOP入力にソフト切り換え可能)
P02	P02	64	33	39	I/o	-	D	入出力兼用ポート端子
	KRST02				I	OP	-	キーリセット入力端子
	KEY02				I	-	SFT	ポート割り込み入力端子
P03	P03	63	32	38	I/o	-	D	入出力兼用ポート端子
	KRST03				I	OP	-	キーリセット入力端子
	KEY03				I	-	SFT	ポート割り込み入力端子
P10	P10	70	39	45	I/o	-	D	入出力兼用ポート端子
	KEY10				I	-	SFT	ポート割り込み入力端子
	EVIN_A				I	-	SFT	イベントカウンタ(プログラマブルタイマ0)入力端子
P11	P11	69	38	44	I/o	-	D	入出力兼用ポート端子
	KEY11				I	-	SFT	ポート割り込み入力端子
	TOUT_A				O	-	SFT	プログラマブルタイマ0/1出力端子
P12	P12	68	37	43	I/o	-	D	入出力兼用ポート端子
	KEY12				I	-	SFT	ポート割り込み入力端子
	BZ				O	-	SFT	サウンドジェネレータ出力端子
P13	P13	67	36	42	I/o	-	D	入出力兼用ポート端子
	KEY13				I	-	SFT	ポート割り込み入力端子
	FOUT				O	-	SFT	FOUTクロック出力端子
P20	P20	13	53	65	I/o	OP	-	入出力兼用ポート端子
	SEG44				O	OP	-	LCDセグメント出力端子
P21	P21	12	52	64	I/o	OP	-	入出力兼用ポート端子
	SEG45				O	OP	-	LCDセグメント出力端子
P22	P22	11	51	63	I/o	OP	D	入出力兼用ポート端子
	EVIN_B				I	-	SFT	イベントカウンタ(プログラマブルタイマ2)入力端子
	SEG46				O	OP	-	LCDセグメント出力端子
P23	P23	10	50	62	I/o	OP	D	入出力兼用ポート端子
	TOUT_B				O	-	SFT	プログラマブルタイマ2出力端子
	SEG47				O	OP	-	LCDセグメント出力端子
P30	P30	17	57	69	I/o	OP	D	入出力兼用ポート端子
	SCLK				I/o	-	SFT	シリアルI/Fクロック入出力端子
	SEG40				O	OP	-	LCDセグメント出力端子
P31	P31	16	56	68	I/o	OP	D	入出力兼用ポート端子
	SOUT				O	-	SFT	シリアルI/Fデータ出力端子
	SEG41				O	OP	-	LCDセグメント出力端子

2 端子とパッケージ

端子名		パッド/端子No.			I/O	OP	SFT	機能
デフォルト	兼用機能	チップ	QFP14 -80	TQFP14 -100				
P32	P32	15	55	67	I/o	OP	D	入出力兼用ポート端子
	SIN				I		SFT	シリアルI/Fデータ入力端子
	SEG42				O	OP	-	LCDセグメント出力端子
P33	P33	14	54	66	I/o	OP	D	入出力兼用ポート端子
	SRDY_SS				i/O		SFT	シリアルI/Fレディ出力/スレーブセレクト入力端子
	SEG43				O	OP	-	LCDセグメント出力端子
P50	P50	9	49	61	I/o	OP	D	入出力兼用ポート端子
	RFOUT				O		SFT	R/FコンバータCR発振クロック出力端子
	SEG48				O	OP	-	LCDセグメント出力端子
P51	P51	8	48	60	I/o	OP	D	入出力兼用ポート端子
	SEN0				O		SFT	R/FコンバータCh.0 DCバイアスセンサ用CR発振出力端子
	SEG49				O	OP	-	LCDセグメント出力端子
P52	P52	7	47	59	I/o	OP	D	入出力兼用ポート端子
	REF0				O		SFT	R/FコンバータCh.0 基準抵抗用CR発振出力端子
	SEG50				O	OP	-	LCDセグメント出力端子
P53	P53	6	46	58	I/o	OP	D	入出力兼用ポート端子
	RFIN0				I		SFT	R/FコンバータCh.0 CR発振入力端子
	SEG51				O	OP	-	LCDセグメント出力端子
RFIN1	RFIN1	4	44	56	I	OP	-	R/FコンバータCh.1 CR発振入力端子
	SEG52				O	OP	-	LCDセグメント出力端子
REF1	REF1	3	43	55	O	OP	-	R/FコンバータCh.1 基準抵抗用CR発振出力端子
	SEG53				O	OP	-	LCDセグメント出力端子
SEN1	SEN1	2	42	54	O	OP	-	R/FコンバータCh.1 DCバイアスセンサ用CR発振出力端子
	SEG54				O	OP	-	LCDセグメント出力端子
HUD	HUD	1	41	53	O	OP	-	R/FコンバータACバイアスセンサ用CR発振出力端子
	SEG55				O	OP	-	LCDセグメント出力端子
COM0-COM7		46-39	10-3	10-8, 6-2	O	-	-	LCDコモン出力端子
SEG0-SEG19		38-19	80-61	97-90, 87-76	O	-	-	LCDセグメント出力端子
RESET		61	30	35	I	-	-	イニシャルリセット入力端子
TEST		60	29	34	I	-	-	テスト端子(通常動作時はVssに接続)

I/O: 大文字(I、O)は初期設定時の入出力方向です。

OP: マスクオプションで選択(-はオプションなし)

SFT: ソフトウェアで切り換え(-はソフト切り換えなし、Dはデフォルト機能)

注: TEST端子はVssに接続し、通常動作時にそれ以外の状態にならないようにしてください。

2.4 S1C63003端子

2.4.1 S1C63003端子/パッド配置図

QFP12-48pin

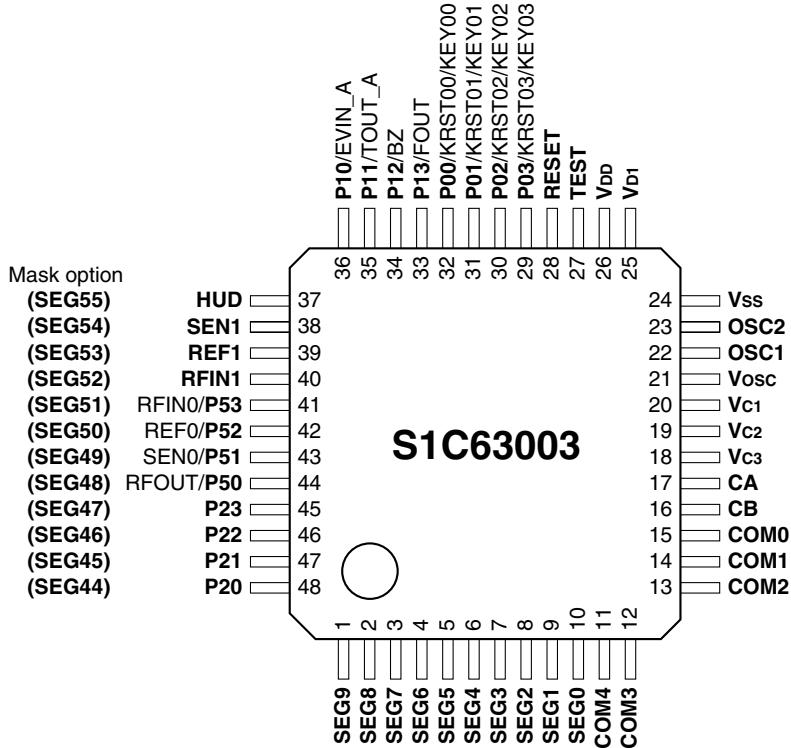


図2.4.1.1 S1C63003端子配置図(QFP12-48pin)

パッド配置図

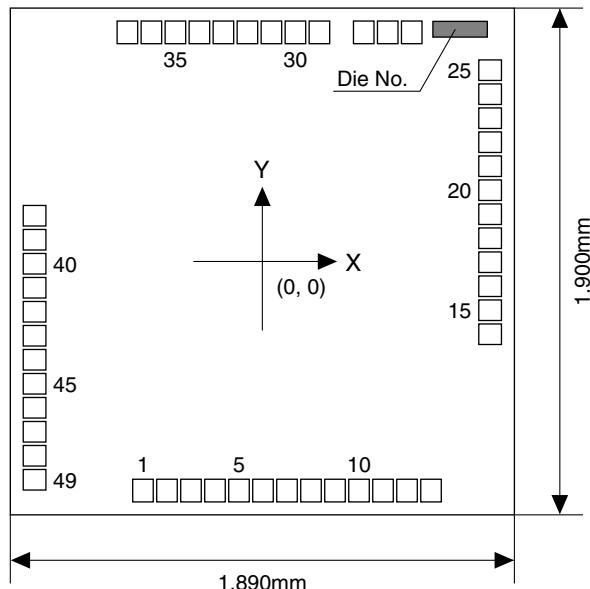


図2.4.1.2 S1C63003パッド配置図

チップ厚: 400μm
 パッド開口部(X×Y): 77×85μm (No. 1～No. 13, No. 26～No. 37)
 85×77μm (No. 14～No. 25, No. 38～No. 49)

注: 標準以外のチップ厚を指定する場合、400μm以下ののみの対応となります。

パッド座標

表2.4.1.1 S1C63003/パッド座標

No.	パッド名	X (μm)	Y (μm)	No.	パッド名	X (μm)	Y (μm)
1	HUD (SEG55)	-447.6	-859.0	26	COM2	560.1	859.0
2	SEN1 (SEG54)	-357.6	-859.0	27	COM1	470.1	859.0
3	REF1 (SEG53)	-267.6	-859.0	28	COM0	380.1	859.0
4	RFIN1 (SEG52)	-177.6	-859.0	29	CB	214.0	859.0
5	Vss	-87.6	-859.0	30	CA	124.0	859.0
6	P53/RFIN0 (SEG51)	2.4	-859.0	31	Vc3	34.0	859.0
7	P52/REF0 (SEG50)	92.4	-859.0	32	Vc2	-56.0	859.0
8	P51/SEN0 (SEG49)	182.4	-859.0	33	Vc1	-146.0	859.0
9	P50/RFOUT (SEG48)	272.4	-859.0	34	Vosc	-236.0	859.0
10	P23 (SEG47)	362.4	-859.0	35	OSC1	-326.0	859.0
11	P22 (SEG46)	452.4	-859.0	36	OSC2	-416.0	859.0
12	P21 (SEG45)	542.4	-859.0	37	Vss	-506.0	859.0
13	P20 (SEG44)	632.4	-859.0	38	Vd1	-854.0	171.5
14	SEG9	854.0	-272.8	39	Vdd	-854.0	81.5
15	SEG8	854.0	-182.8	40	TEST	-854.0	-8.5
16	SEG7	854.0	-92.8	41	RESET	-854.0	-98.5
17	SEG6	854.0	-2.8	42	P03/KRST03/KEY03	-854.0	-188.5
18	SEG5	854.0	87.2	43	P02/KRST02/KEY02	-854.0	-278.5
19	SEG4	854.0	177.2	44	P01/KRST01/KEY01	-854.0	-368.5
20	SEG3	854.0	267.2	45	P00/KRST00/KEY00	-854.0	-458.5
21	SEG2	854.0	357.2	46	P13/FOUT	-854.0	-548.5
22	SEG1	854.0	447.2	47	P12/BZ	-854.0	-638.5
23	SEG0	854.0	537.2	48	P11/TOUT_A	-854.0	-728.5
24	COM4	854.0	627.2	49	P10/EVIN_A	-854.0	-818.5
25	COM3	854.0	717.2				

2.4.2 S1C63003端子説明

表2.4.2.1 S1C63003端子説明

端子名	パッド/端子No.		I/O	OP	SFT	機能
デフォルト	チップ	QFP12-48				
V _{DD}	39	26	—	—	—	電源(+)端子
V _{SS}	5, 37	24	—	—	—	電源(−)端子
V _{D1}	38	25	—	—	—	内部ロジック動作電圧出力端子
V _{osc}	34	21	—	—	—	水晶発振回路動作電圧出力端子
V _{C1} –V _{C3}	33–31	20–18	—	—	—	LCD系電源端子
CA, CB	30, 29	17, 16	—	—	—	LCD系昇降圧コンデンサ接続端子
OSC1	35	22	I	—	—	水晶発振入力端子
OSC2	36	23	O	—	—	水晶発振出力端子
P00	P00 KRST00 KEY00	45	32	I/o	—	D キーリセット入力端子 ポート割り込み入力端子
P01	P01 KRST01 KEY01	44	31	I/o	—	D キーリセット入力端子 ポート割り込み入力端子
P02	P02 KRST02 KEY02	43	30	I/o	—	D キーリセット入力端子 ポート割り込み入力端子
P03	P03 KRST03 KEY03	42	29	I/o	—	D キーリセット入力端子 ポート割り込み入力端子
P10	P10 EVIN_A	49	36	I/o	—	D イベントカウンタ(プログラマブルタイマ0)入力端子
P11	P11 TOUT_A	48	35	I/o	—	D プログラマブルタイマ0出力端子
P12	P12 BZ	47	34	I/o	—	D サウンドジェネレータ出力端子
P13	P13 FOUT	46	33	I/o	—	D FOUTクロック出力端子
P20	P20 SEG44	13	48	I/o	OP	— LCDセグメント出力端子
P21	P21 SEG45	12	47	I/o	OP	— LCDセグメント出力端子
P22	P22 SEG46	11	46	I/o	OP	— LCDセグメント出力端子
P23	P23 SEG47	10	45	I/o	OP	— LCDセグメント出力端子
P50	P50 RFOUT SEG48	9	44	I/o	OP	— R/FコンバータCR発振クロック出力端子
P51	P51 SEN0 SEG49	8	43	I/o	OP	— R/FコンバータCh.0 DC/バイアスセンサ用CR発振出力端子
P52	P52 REF0 SEG50	7	42	I/o	OP	— R/FコンバータCh.0基準抵抗用CR発振出力端子
P53	P53 RFIN0 SEG51	6	41	I/o	OP	— LCDセグメント出力端子
RFIN1	RFIN1 SEG52	4	40	I	OP	— LCDセグメント出力端子
REF1	REF1 SEG53	3	39	O	OP	— LCDセグメント出力端子
SEN1	SEN1 SEG54	2	38	O	OP	— LCDセグメント出力端子
HUD	HUD SEG55	1	37	O	OP	— LCDセグメント出力端子
COM0–COM4	28–24	15–11	O	—	—	LCDコモン出力端子
SEG0–SEG9	23–14	10–1	O	—	—	LCDセグメント出力端子
RESET	41	28	I	—	—	イニシャルリセット入力端子
TEST	40	27	I	—	—	テスト端子(通常動作時はV _{SS} に接続)

I/O: 大文字(I, O)は初期設定時の入出力方向です。

OP: マスクオプションで選択(=はオプションなし)

SFT: ソフトウェアで切り換える(=はソフト切り換えなし、Dはデフォルト機能)

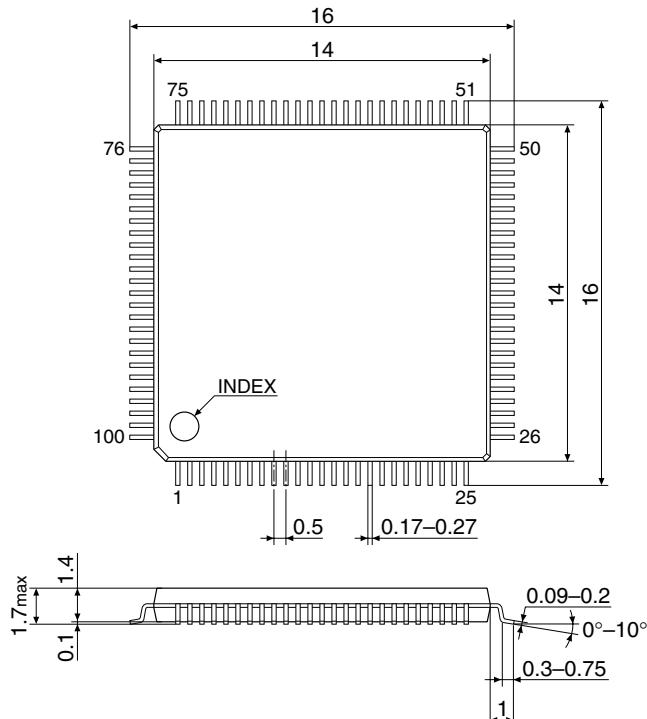
注: TEST端子はV_{SS}に接続し、通常動作時にそれ以外の状態にならないようにしてください。

2.5 パッケージ

2.5.1 プラスチックパッケージ

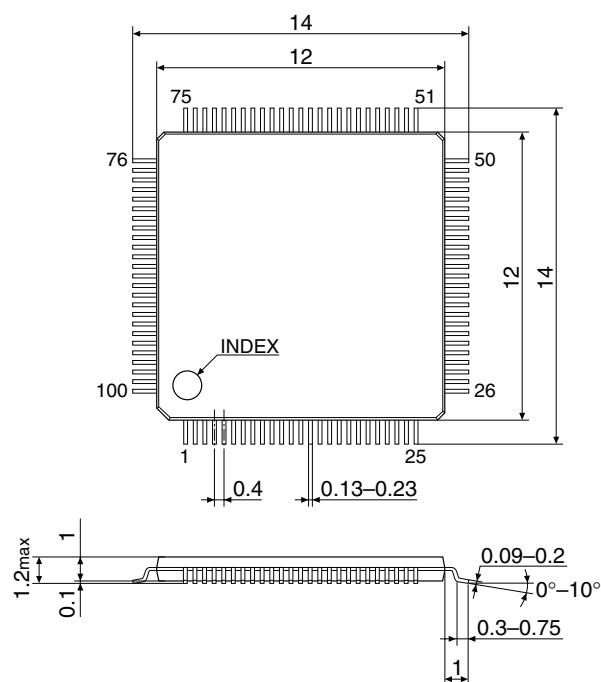
QFP15-100pin (S1C63008/016)

(単位: mm)



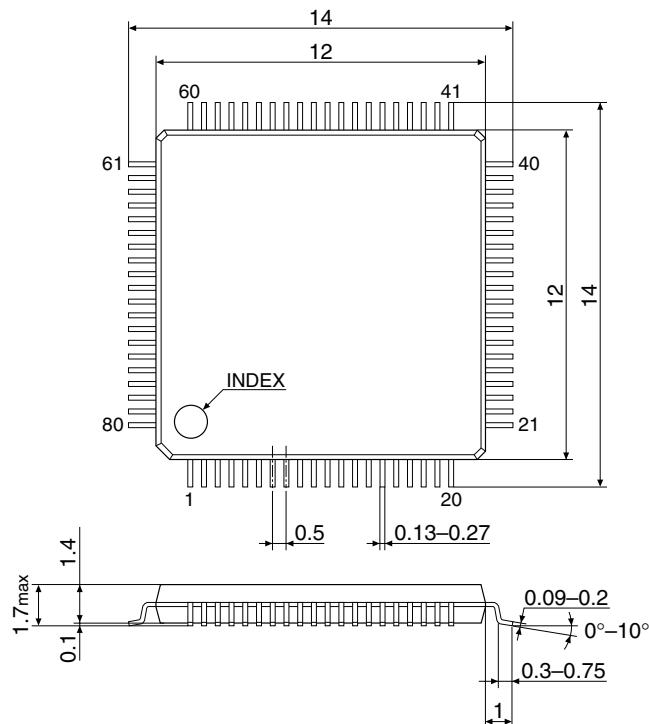
TQFP14-100pin (S1C63004/008/016)

(単位: mm)



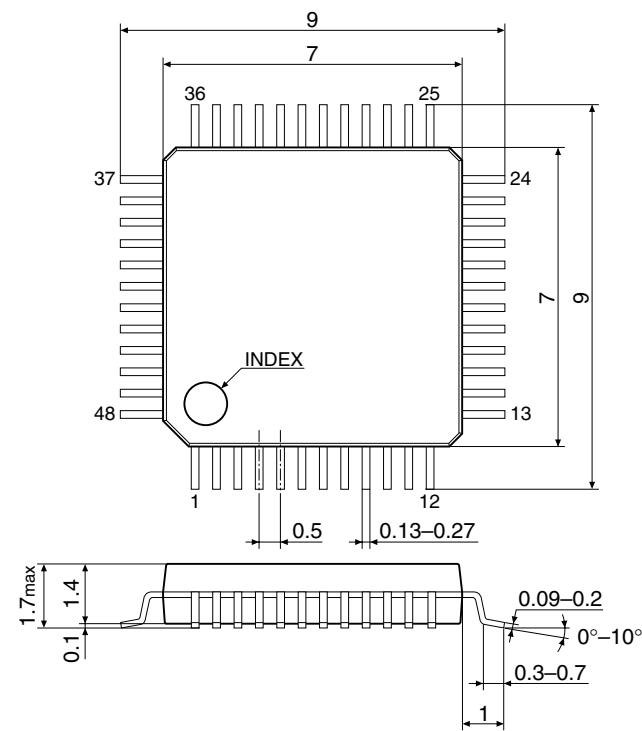
QFP14-80pin (S1C63004)

(単位: mm)



QFP12-48pin (S1C63003)

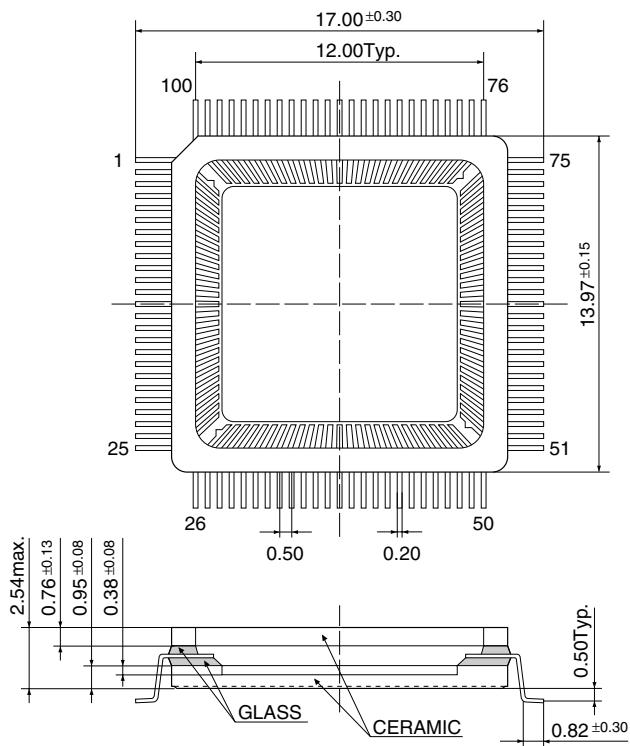
(単位: mm)



2.5.2 テストサンプル用セラミックパッケージ

QFP15-100pin (S1C63004/008/016)

(単位: mm)



※ 端子配置

S1C63016: QFP15-100pin/TQFP14-100pinプラスチックパッケージと同じです。

S1C63008: QFP15-100pin/TQFP14-100pinプラスチックパッケージと同じです。

S1C63004: TQFP14-100pinプラスチックパッケージと同じです。

QFP13-64pin (S1C63003)

(単位: mm)

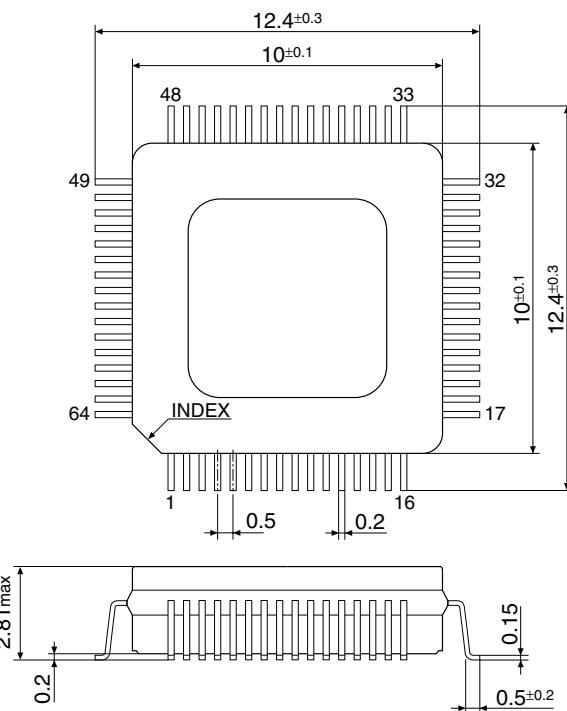


表2.5.2.1 端子配置

No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	N.C.	17	N.C.	33	N.C.	49	N.C.
2	N.C.	18	N.C.	34	N.C.	50	N.C.
3	N.C.	19	COM2	35	N.C.	51	HUD (SEG55)
4	SEG9	20	COM1	36	V _{D1}	52	SEN1 (SEG54)
5	SEG8	21	COM0	37	V _{DD}	53	REF1 (SEG53)
6	SEG7	22	CB	38	TEST	54	RFIN1 (SEG52)
7	SEG6	23	CA	39	RESET	55	V _{ss}
8	SEG5	24	V _{C3}	40	P03/KRST03/KEY03	56	P53/RFIN0 (SEG51)
9	SEG4	25	V _{C2}	41	P02/KRST02/KEY02	57	P52/REF0 (SEG50)
10	SEG3	26	V _{C1}	42	P01/KRST01/KEY01	58	P51/SEN0 (SEG49)
11	SEG2	27	V _{osc}	43	P00/KRST00/KEY00	59	P50/RFOUT (SEG48)
12	SEG1	28	OSC1	44	P13/FOUT	60	P23 (SEG47)
13	SEG0	29	OSC2	45	P12/BZ	61	P22 (SEG46)
14	COM4	30	V _{ss}	46	P11/TOUT_A	62	P21 (SEG45)
15	COM3	31	N.C.	47	P10/EVIN_A	63	P20 (SEG44)
16	N.C.	32	N.C.	48	N.C.	64	N.C.

3 CPUとメモリ

3.1 CPU

S1C63003/004/008/016はCPU部分に4ビットコアCPU S1C63000を使用しています。
S1C63000については"S1C63000コアCPUマニュアル"を参照してください。

3.2 コードメモリ領域

3.2.1 コードROM

内蔵コードROMはプログラム格納用のマスクROMです。

表3.2.1.1 コードROM容量

機種	容量	アドレス
S1C63016	16,384ワード × 13ビット	0000H～3FFFFH
S1C63008	8,192ワード × 13ビット	0000H～1FFFFH
S1C63004	4,096ワード × 13ビット	0000H～0FFFFH
S1C63003	4,096ワード × 13ビット	0000H～0FFFFH

イニシャルリセット後のプログラム開始番地が0110Hステップ、ノンマスカブル割り込み(NMI)ベクタが0100H、ハードウェア割り込みベクタが0101H～010FHステップに割り当てられています。

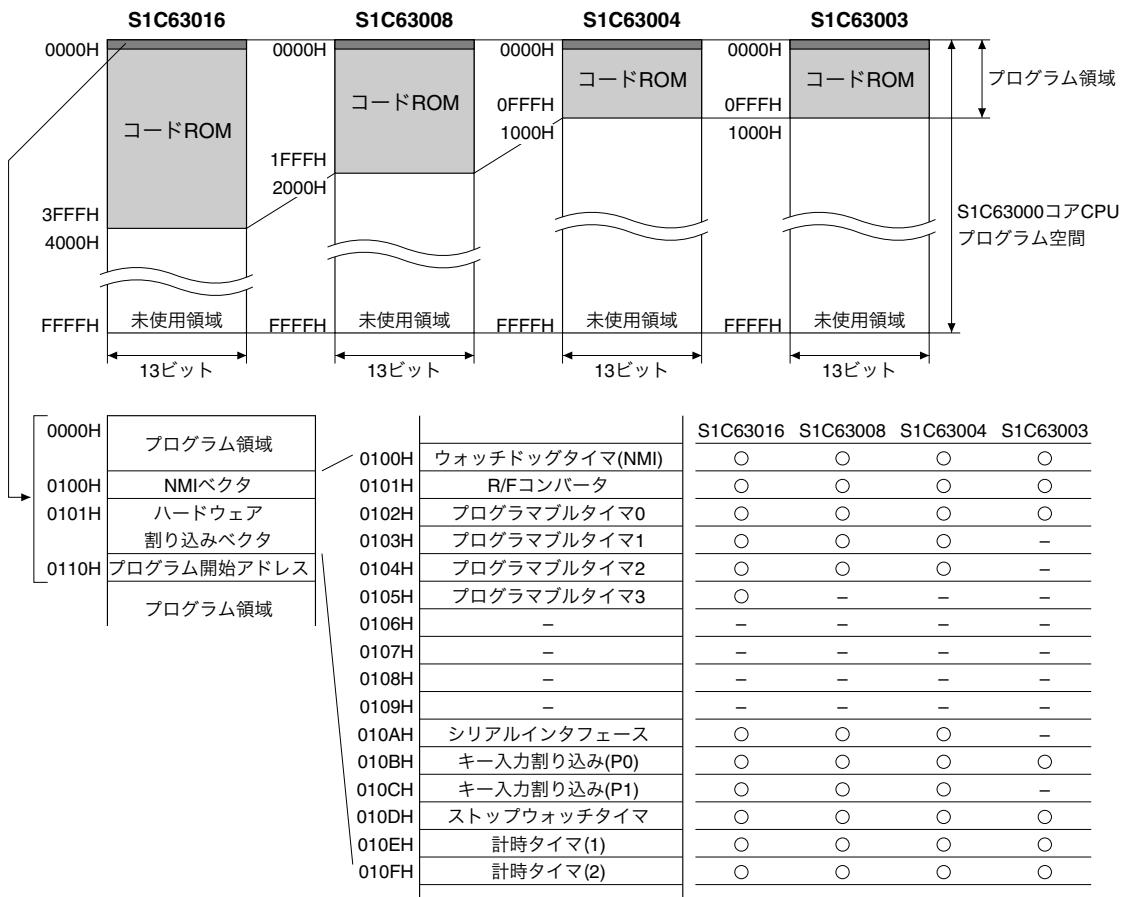


図3.2.1.1 コードROMの構成

3.3 データメモリ領域

S1C63004/008/016のデータメモリはRAM、データROM、表示メモリ、周辺I/Oメモリで構成されます。S1C63003のデータメモリはRAM、表示メモリ、周辺I/Oメモリで構成されます。図3.3.1に全体のメモリマップを示します。

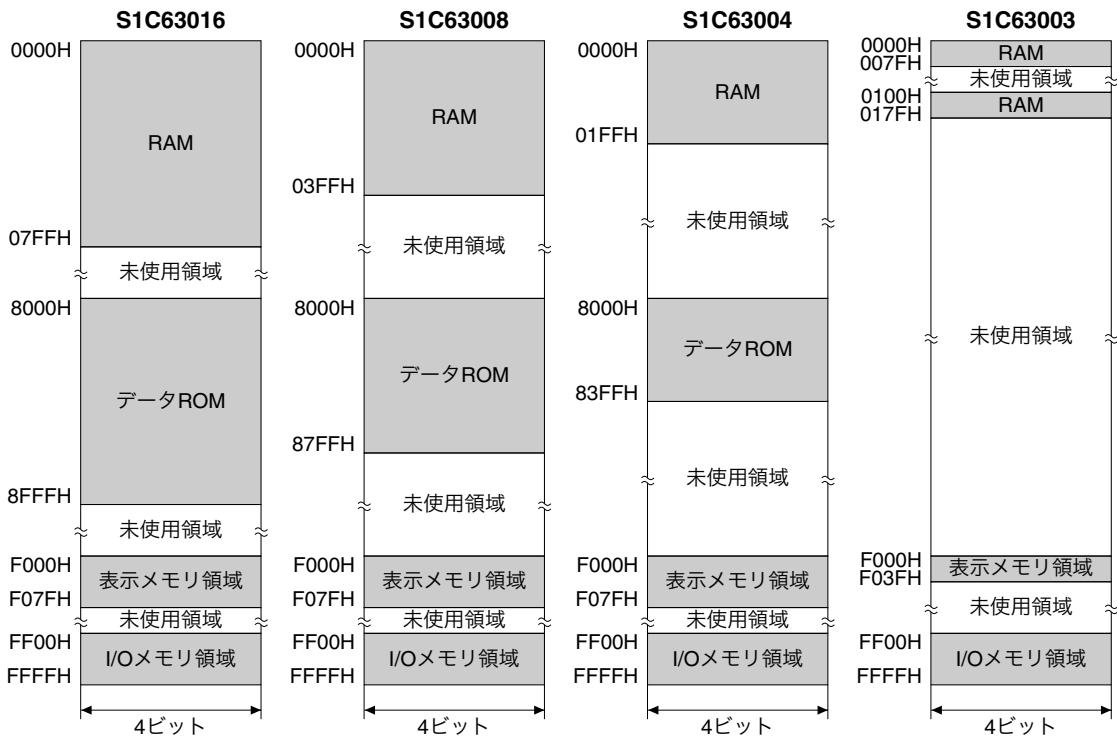


図3.3.1 データメモリマップ

注: メモリマップの未使用領域にはメモリが実装されていません。また、周辺I/O領域にも非実装領域、未使用(アクセス禁止)領域が存在します。これらの領域をアクセスするようなプログラムを作成した場合は、正常な動作を保証することはできません。

周辺I/O領域についてはAppendix(I/Oメモリマップ)を参照してください。

3.3.1 RAM

RAMは種々のデータを格納するデータメモリです。

表3.3.1.1 RAM容量

機種	容量	アドレス
S1C63016	2,048ワード×4ビット	0000H~07FFH
S1C63008	1,024ワード×4ビット	0000H~03FFH
S1C63004	512ワード×4ビット	0000H~01FFH
S1C63003	256ワード×4ビット	0000H~007FH, 0100H~017FH

RAM領域の中でアドレス0100H~01FFH(S1C63003は0100H~017FH)が4ビット/16ビットデータアクセスが可能な領域、その他の領域は4ビットデータアクセスのみ可能な領域となっています。プログラミングの際には以下の点に注意してください。

- (1) データメモリの一部をサブルーチンコールやレジスタ退避時のスタック領域としても使用しますので、データ領域とスタック領域が重ならないように注意してください。

(2) S1C63000コアCPUは、4ビットデータ用スタックポインタ(SP2)および16ビットデータ用スタックポインタ(SP1)によりスタック処理を行います。SP1によるスタック処理では16ビットデータアクセスが行われますので、このスタック領域の設定は4ビット/16ビットアクセスが可能な領域内(0100H～01FFH、S1C63003は0100H～017FH)で行ってください。SP1によるスタック操作以外のメモリアクセスは4ビットデータアクセスとなります。

スタックポインタは実装されているRAMのアドレス範囲外にも設定される可能性がありますので、スタックのアドレス管理には注意が必要です。

また、イニシャルリセット時は、スタックポインタSP1、SP2の両方がソフトウェアで設定されるまでNMIを含むすべての割り込みがマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまでNMIを含む割り込みは再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

(3) サブルーチンコールでは16ビットデータ用スタック(SP1)を4ワード(PCの退避)消費します。

割り込みでは16ビットデータ用スタックエリアを4ワード(PCの退避)、4ビットデータ用スタックエリアを1ワード(Fレジスタの退避)消費します。

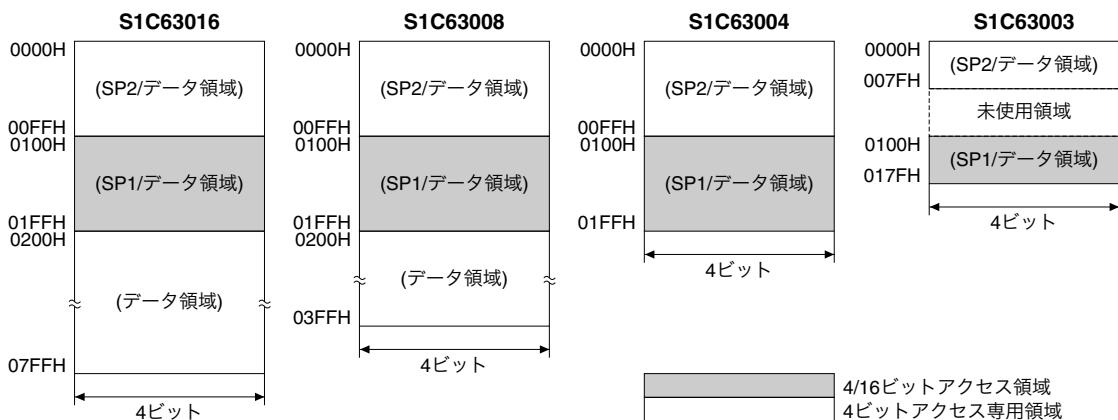


図3.3.1.1 RAMの構成

3.3.2 データROM

データROMはキャラクタジェネレータなどの各種固定データ格納用のROMで、RAMと同様にデータメモリアクセス命令でデータを読み出すことができます。

表3.3.2.1 データROM容量

機種	容量	アドレス
S1C63016	4,096ワード×4ビット	8000H～8FFFH
S1C63008	2,048ワード×4ビット	8000H～87FFFH
S1C63004	1,024ワード×4ビット	8000H～83FFFH
S1C63003	なし	

3.3.3 表示メモリ

表示メモリはLCD表示用のデータを格納するRAMで、データメモリマップ上に配置されています。マスクオプションにより、各ビットを特定のセグメント端子に割り当てることができます。

LCD表示に使用しないアドレスは汎用のメモリとして使用することができます。

表3.3.3.1 表示メモリ容量

機種	容量*	アドレス
S1C63016	448ビット	F000H～F07FH
S1C63008	400ビット	F000H～F07FH
S1C63004	288ビット	F000H～F07FH
S1C63003	110ビット	F000H～F03FH

* セグメント出力用に割り当て可能なビット数です。上記アドレス空間中の任意のアドレスを指定可能です。

3.3.4 I/Oメモリ

S1C63003/004/008/016の周辺回路(タイマ、I/O等)はメモリマップドI/O方式で、CPUとインターフェースされています。このため、メモリマップ上のI/Oメモリ(FF00H～FFFFH)をメモリ操作命令でアクセスすることにより、すべての周辺回路を制御することができます。

周辺回路の制御レジスタは以下のとおり、I/Oメモリに割り付けられています。制御レジスタの一覧はAppendixを、レジスタの詳細については各周辺回路の説明を参照してください。

アドレス	周辺回路	S1C63xxx			
		016	008	004	003
FF00H	発振回路	○	○	○	○
FF01H	ウォッチドッグタイマ	○	○	○	○
FF03H	電源回路	○	○	○	○
FF04H-FF05H	SVD回路	○	○	○	-
FF10H-FF1BH	クロックマネージャ	○	○	○	○
FF20H-FF3FH	入出力兼用ポート/入力割り込み制御	○	○	○	○
FF40H-FF42H	計時タイマ	○	○	○	○
FF44H-FF47H	サウンドジェネレータ	○	○	○	○
FF48H-FF4DH	ストップウォッチタイマ	○	○	○	○
FF50H-FF52H	LCDドライバ	○	○	○	○
FF58H-FF5CH	シリアルインターフェース	○	○	○	-
FF60H-FF6BH	R/Fコンバータ	○	○	○	○
FF70H-FF76H	整数乗除算器	○	○	-	-
FF80H-FF9FH	プログラマブルタイマ	○	○	○	○
FFE1H-FFFFH	割り込みコントローラ	○	○	○	○

図3.3.4.1 I/Oメモリマップ

4 イニシャルリセット

4.1 イニシャルリセット回路

S1C63003/004/008/016は回路を初期化するためにイニシャルリセットを必要とします。イニシャルリセット要因としては次の2種類があります。

(1) RESET端子による外部イニシャルリセット

(2) P00～P03端子の同時HIGHレベル入力による外部イニシャルリセット(マスクオプションで設定)

(1)または(2)のいずれかにより回路が初期化されます。電源投入時は必ずこのリセット機能を使用し、確実に初期化する必要があります。電源投入のみでは回路が正しく初期化される保証はありません。

図4.1.1にイニシャルリセット回路の構成を示します。

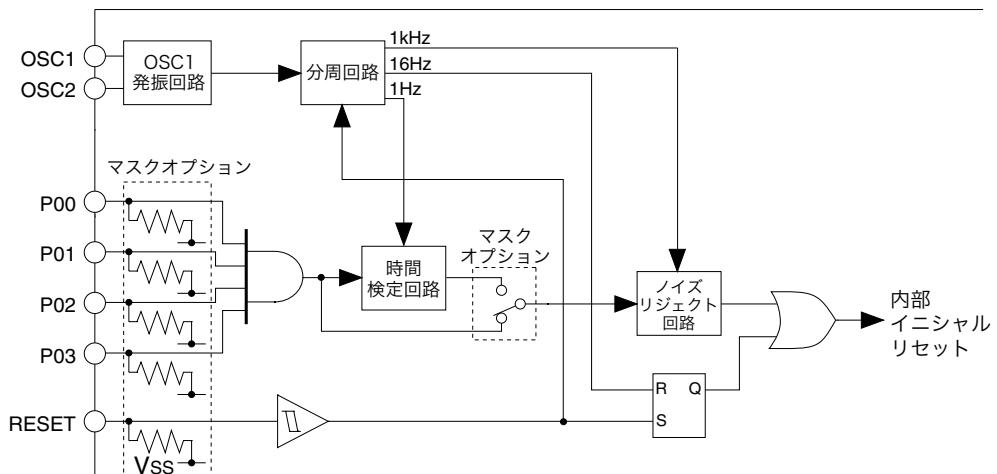


図4.1.1 イニシャルリセット回路の構成

4.2 リセット端子(RESET)

外部よりリセット端子をHIGHレベル(V_{DD})にすることによりイニシャルリセットが行えます。その後、リセット端子をLOWレベル(V_{SS})にすることによりイニシャルリセットは解除され、CPUが動作を開始します。リセット入力信号はRSラッチにより保持され、内部イニシャルリセット信号となります。RSラッチはOSC1クロックを分周した16Hz信号(HIGH)で解除されるようになっています。したがって、通常動作時はリセット端子がLOWレベルになった後、内部イニシャルリセットが解除されるまで、最大1,024/fosc₁秒(fosc₁ = 32.768kHzの場合は32msec)の時間を要します。確実にイニシャルリセットを行うために、リセット入力は最低0.1msec以上、HIGHレベルを保ってください。ただし、電源投入については図4.2.1に示すタイミングでリセット端子をHIGHレベルにしてください。

100nsec以下のリセット入力は、ノイズとして除去されます。

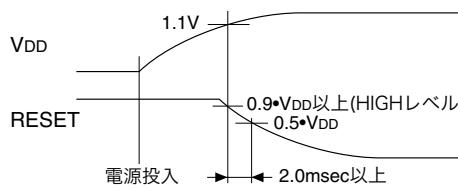


図4.2.1 電源投入時のイニシャルリセット

電源電圧が1.1V以上になるまで、リセット端子を0.9•V_{DD}以上(HIGHレベル)とします。その後2.0msec以上、0.5•V_{DD}以上のレベルを保持します。

リセット端子にはプルダウン抵抗が組み込まれており、これを使用するかしないかをマスクオプションで選択することができます。

4.3 P0xポート(P00～P03)の同時HIGH入力

マスクオプションで選択された入力ポート(P00～P03)に、外部から同時にHIGH入力を与えることによりイニシャルリセットが行えます。このイニシャルリセットはノイズリジェクト回路を通るため、動作中は1.5msec(発振周波数fosc1 = 32.768kHzの場合)以上、指定入力ポート端子をHIGHレベルに保ってください。また、電源投入時には発振が停止しているため、ノイズリジェクト回路は動作しません。このため、発振開始後、さらに1.5msec(発振周波数fosc1 = 32.768kHzの場合)以上、指定入力ポート端子をHIGHレベルに保ってください。表4.3.1にマスクオプションで選択できるP0xポート(P00～P03)の組み合わせを示します。

表4.3.1 P0xポートの組み合わせ

No.	組み合わせ
1	使用しない
2	P00 * P01
3	P00 * P01 * P02
4	P00 * P01 * P02 * P03

たとえば、マスクオプションで4の"P00 * P01 * P02 * P03"を選択した場合、P00～P03の4ポートの入力が同時にHIGHレベルになったときにイニシャルリセットを行います。2または3の場合は、選択した入力ポートの組み合わせが含まれるキー入力が行われたときにイニシャルリセットがかかります。また、このリセット機能を選択すると、同時HIGH入力の入力時間を検定し、規定時間(1～2秒)以上の入力があったときにイニシャルリセットを行う時間検定回路を使用するか否かについてもマスクオプションで選択できます。なお、このリセット機能を使用する場合、通常動作時に指定ポートが同時にHIGHレベルにならないように注意してください。

4.4 イニシャルリセット時の内部レジスタ

イニシャルリセットによりCPUは表4.4.1のように初期化されます。

イニシャルリセットによって初期化されないレジスタ、フラグは必要に応じてプログラムで初期化する必要があります。特にスタックポインタSP1およびSP2は必ずペアで設定してください。イニシャルリセット後は、SP1、SP2両方のスタックポインタがソフトウェアにより設定されるまでNMIを含むすべての割り込みがマスクされます。

EXTレジスタにデータを書き込むとEフラグがセットされ、次の命令が拡張アドレッシングモードで実行されます。そこに拡張アドレッシングが禁止されている命令を使用した場合、動作が保証されません。したがって、EXTレジスタの初期化のみを目的としたデータ書き込みは行わないでください。

拡張アドレッシングと使用可能な命令については"S1C63000コアCPUマニュアル"を参照してください。

表4.4.1 初期設定値

CPUコア				周辺回路		
名 称	記 号	ビット長	設 定 値	名 称	ビット長	設 定 値
データレジスタA	A	4	不定	RAM	4	不定
データレジスタB	B	4	不定	表示メモリ	4	不定
拡張レジスタEXT	EXT	8	不定	その他の周辺回路	-	*
インデックスレジスタX	X	16	不定	* "I/Oメモリマップ"参照		
インデックスレジスタY	Y	16	不定			
プログラムカウンタ	PC	16	0110H			
スタックポインタSP1	SP1	8	不定			
スタックポインタSP2	SP2	8	不定			
ゼロフラグ	Z	1	不定			
キャリーフラグ	C	1	不定			
インタラプトフラグ	I	1	0			
拡張フラグ	E	1	0			
キューレジスタ	Q	16	不定			

4.5 イニシャルリセット時の端子設定

入出力兼用ポート(P)端子は特殊出力端子や、シリアルインタフェース、R/Fコンバータ、ストップウォッチタイマ、プログラマブルタイマ(イベントカウンタ)の入出力端子と兼用されており、それらの機能をソフトウェアで選択するようになっています。イニシャルリセット時、各端子はすべてが汎用入出力兼用ポート端子として設定されますので、アプリケーションの初期化ルーチンでシステムに合った設定を行ってください。表4.5.1に兼用端子設定の一覧を示します。

表4.5.1 兼用端子設定一覧

端子名	イニシャルリセット時 の端子状態	特殊出力/周辺回路機能使用時(ソフトウェアにて切り換え)						
		特殊出力			シリアルI/F ^{*2}		R/F コンバータ	SWダイレ クト入力 ^{*2}
		TOUT	FOUT	BZ	Master	Slave		
P00	P00(入力&PD ^{*1})							RUN/STOP
P01	P01(入力&PD ^{*1})							LAP
P02	P02(入力&PD ^{*1})							
P03	P03(入力&PD ^{*1})							
P10	P10(入力&PD ^{*1})							EVIN_A
P11	P11(入力&PD ^{*1})	TOUT_A						
P12	P12(入力&PD ^{*1})			BZ				
P13	P13(入力&PD ^{*1})		FOUT					
P20-P21	P20-P21(入力&PD ^{*1})							
P22	P22(入力&PD ^{*1})							EVIN_B ^{*2}
P23	P23(入力&PD ^{*1})	TOUT_B ^{*2}						
P30 ^{*2}	P30(入力&PD ^{*1})				SCLK(O)	SCLK(I)		
P31 ^{*2}	P31(入力&PD ^{*1})				SOUT(O)	SOUT(O)		
P32 ^{*2}	P32(入力&PD ^{*1})				SIN(I)	SIN(I)		
P33 ^{*2}	P33(入力&PD ^{*1})					SRDY(O)/SS(I)		
P40-P43 ^{*3}	P40-P43(入力&PD ^{*1})							
P50	P50(入力&PD ^{*1})						RFOUT	
P51	P51(入力&PD ^{*1})						SEN0	
P52	P52(入力&PD ^{*1})						REF0	
P53	P53(入力&PD ^{*1})						RFIN0	

*1: PD(プルダウン): マスクオプションにて"プルダウンあり"選択時("プルダウンなし"選択時はハイインピーダンス)

*2: P30～P33、シリアルインタフェース、ストップウォッチダイレクト入力、TOUT_B出力、EVIN_B入力機能はS1C63003にはありません。

*3: P40～P43はS1C63003/004にはありません。

機能の設定方法については各周辺回路の説明を参照してください。

5 電源

5.1 動作電圧

S1C63003/004/008/016の動作電源電圧(V_{DD})は次のとおりです。マスクオプション(3Vノーマルタイプ、1.5V低電圧タイプ)の選択により異なります。

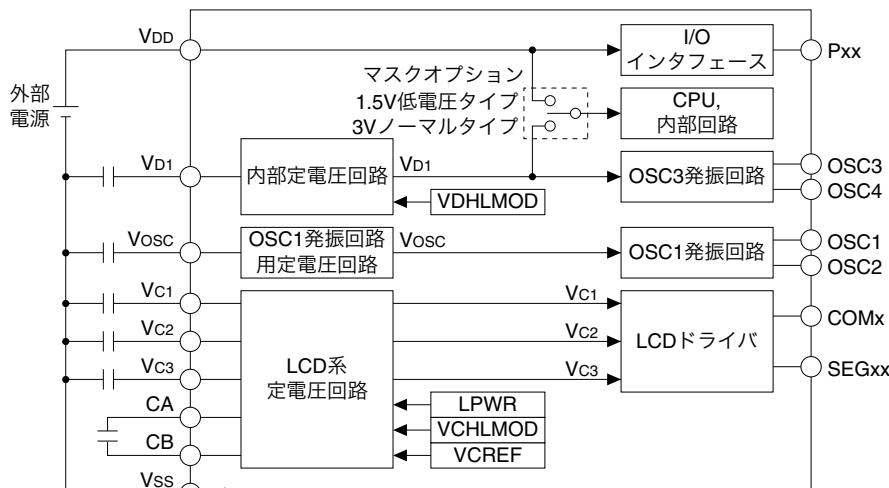
3Vノーマルタイプ: $V_{DD} = 1.8V \sim 5.5V$

1.5V低電圧タイプ: $V_{DD} = 1.1V \sim 1.7V$

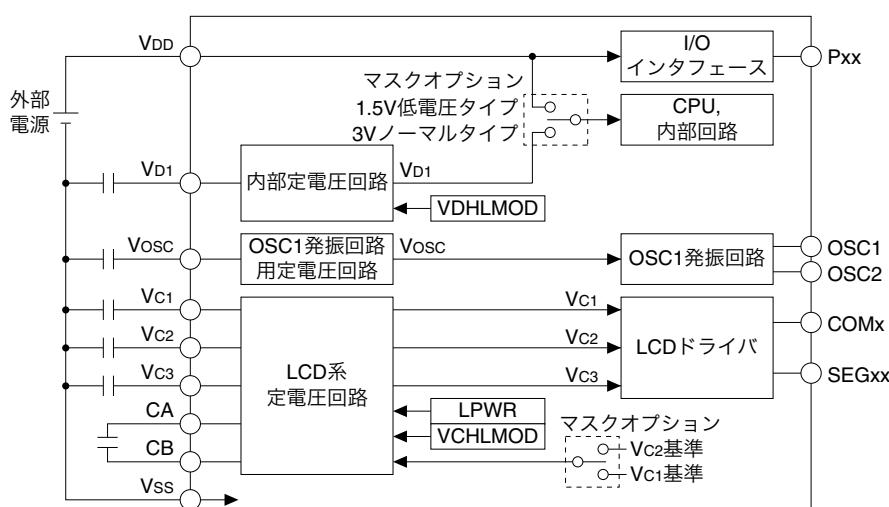
この範囲内の電圧を $V_{DD}(+)$ 、 $V_{SS}(GND)$ 間に供給してください。

5.2 内蔵電源回路

S1C63003/004/008/016は図5.2.1に示す電源回路を内蔵しており、CPUと内部ロジック回路、発振回路、LCD ドライバを駆動する電圧をチップ内部で生成します。



(a) S1C63004/008/016



(b) S1C63003

図5.2.1 内蔵電源回路

5 電源

電源回路は大きく3つに分けられます。

表5.2.1 電源回路

電源回路/電源電圧	出力電圧	電圧供給先	
		3Vノーマルタイプ	1.5V低電圧タイプ
内部定電圧回路	V _{D1}	CPU、内部回路、OSC3発振回路	OSC3発振回路
OSC1発振回路用定電圧回路	V _{Osc}		OSC1発振回路
LCD系定電圧回路	V _{C1} ~V _{C3}		LCD ドライバ
電源電圧V _{DD}	-	電源回路、I/O等	電源回路、CPU、内部回路、I/O等

内部定電圧回路

内部定電圧回路は、CPU、内部ロジック回路、およびOSC3発振回路の動作電圧V_{D1}を発生します。

この定電圧回路は常時動作します。

(1.5V低電圧タイプのCPUと内部ロジック回路は電源電圧V_{DD}で動作します。)

OSC1発振回路用定電圧回路

OSC1発振回路用定電圧回路は、OSC1発振回路の動作電圧V_{Osc}を発生します。

この定電圧回路は常時動作します。

LCD系定電圧回路

LCD系定電圧回路はLCD駆動電圧V_{C1}~V_{C3}を発生します。各電圧値については"電気的特性"を参照してください。S1C63003/004/008/016では、内蔵されたLCDドライバにこのLCD駆動電圧が供給され、コモン/セグメント端子に接続されたLCDパネルを駆動します。

マスクオプションによりLCD系定電圧回路を使用せずに外部から電圧を供給することもできます。この場合、LCD系定電圧回路用のコンデンサが不要となりますので、外付け素子を削減できます。ただし、LCD系定電圧回路を使用しない場合には、使用する場合に比べて電源電圧変動(低下)時のLCDの表示品質が劣化します。

図5.2.2に外部LCD電源を使用する場合の外付け部品の構成を示します。

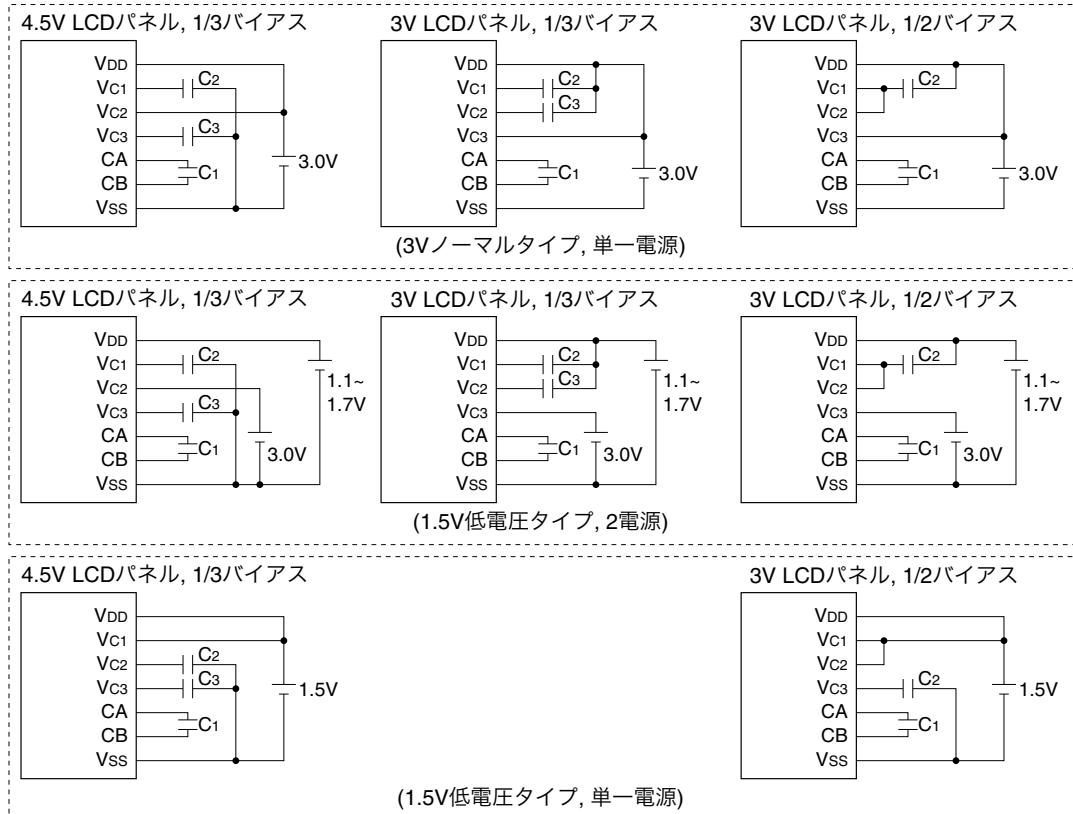


図5.2.2 外部LCD電源を使用する場合の外付け部品の構成

- 注: • V_{D1} 、 V_{osc} 、 $V_{C1} \sim V_{C3}$ 端子の出力を外部回路の駆動には絶対に使用しないでください。
 • 1/2バイアスを選択した場合、IC内部で V_{C1} と V_{C2} が短絡されます。

5.3 LCD電源の制御

LCD系定電圧回路は基準電圧 V_{C1} または V_{C2} を発生し、その電圧を昇降圧して他の2電位($V_{C2} = V_{C1} \times 2$ 、 $V_{C3} = V_{C1} \times 3$ 、または $V_{C1} = V_{C2} \times 1/2$ 、 $V_{C3} = V_{C2} \times 3/2$)を発生します。

基準電圧として V_{C1} と V_{C2} のどちらを発生させるかについては、電源電圧 V_{DD} を考慮して選択します。S1C63004/008/016では、コントラスト設定も考慮してVCREFレジスタで選択します。S1C63003では、マスクオプションで選択します。LCD駆動電圧電源電圧特性(“電気的特性”の“特性グラフ”の節)も参考にして、システムに合った基準電圧を選択してください。

LCD系定電圧回路でLCD駆動電圧を生成するには(LCD表示を開始するには)、LPWRレジスタによってLCD系定電圧回路をONする必要があります。LPWRに"1"を書き込むとLCD系定電圧回路がONし、LCD駆動電圧を生成します。イニシャルリセット時、LPWRは"0"(OFF)に設定されます。

LCDを使用しない場合は消費電力を低減するため、LCD系定電圧回路をOFFにしてください。

- 注: • LPWRに"1"を書き込んだ後、LCD系定電圧回路が動作しLCD駆動電圧出力が安定するまで約100msecかかります。

- S1C63003の1.5V低電圧タイプでは、基準電圧 V_{C2} の選択を禁止します。

また、LCD系定電圧回路は昇降圧動作に、クロックマネージャから送られる昇圧クロックを使用します。このクロック供給をVCCKS[1:0]レジスタによって制御します。LPWRに"1"を書き込む前にVCCKS[1:0]を"1"に設定してください。LCDを使用しない場合は消費電力を低減するため、VCCKS[1:0]を"0"に設定し、クロック供給を停止してください。

表5.3.1 昇圧クロックの制御

VCCKS[1:0]	昇圧クロック制御
3または2	禁止
1	ON (2kHz)
0	OFF

5.4 重負荷保護機能

外付け負荷の駆動などによって電源電圧が変動した場合でもできるかぎり安定した動作やLCD表示ができるように、内部定電圧回路とLCD系定電圧回路はソフトウェアで設定可能な重負荷保護機能を持っています。

内部定電圧回路はVDHLMODレジスタに"1"を書き込むと重負荷保護モードとなり、 V_{D1} 出力の安定化を図ります。ポート出力によりランプやブザーなどの重負荷を駆動する前に設定してください。

LCD系定電圧回路はVCHLMODレジスタに"1"を書き込むと重負荷保護モードとなり、 $V_{C1} \sim V_{C3}$ 出力の安定化を図ります。液晶表示に濃淡が現れる場合などに設定してください。

- 注: 重負荷保護モードでは、通常動作時より消費電流が多くなります。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないでください。

5.5 電源回路のI/Oメモリ

表5.5.1に電源の制御ビットとそのアドレスを示します。

表5.5.1 電源の制御ビット

アドレス	レジスタ名	R/W	初期値	設定/データ			機能
FF03H	D3 VCHLMOD	R/W	0	1	On	0	Off
	D2 VDHLMOD	R/W	0	1	On	0	Off
	D1 VCREF (*6)	R/W	0	1	V _{c2}	0	V _{c1}
	D0 LPWR	R/W	0	1	On	0	Off
FF12H	D3 FLCKS1	R/W	0	3	-	1	21.3
	D2 FLCKS0	R/W	0	2	16.0	0	32.0
	D1 VCCKS1	R/W	0	3	-	1	2048
	D0 VCCKS0	R/W	0	2	-	0	Off

*1 イニシャルリセット時の初期値 *2 回路上設定されない *3 読み出し時は常時"0"

*4 S1C63003/004/008では未使用 *5 S1C63003/004では未使用 *6 S1C63003では未使用

● LPWR: V_cレギュレータON/OFFレジスタ (FF03H・D0)

LCD系定電圧回路をON/OFFします。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

LPWRに"1"を書き込むことにより、LCD系定電圧回路がONとなりLCD駆動電圧を発生します。"0"を書き込んだ場合、LCD駆動電圧はすべてV_{ss}となります。LPWRに"1"を書き込んだ後、LCD系電圧回路が動作しLCD駆動電圧出力が安定するまで約100msecかかります。イニシャルリセット時、このレジスタは"0"に設定されます。

● VCREF: V_cレギュレータ基準電圧選択レジスタ (FF03H・D1) – S1C63004/008/016

LCD系定電圧回路の基準電圧を選択します。

"1"書き込み: V_{c2}

"0"書き込み: V_{c1}

読み出し: 可能

VCREFに"1"を書き込むと、LCD系定電圧回路は基準電圧V_{c2}を発生し、これを昇降圧して他の2電位(V_{c1} = V_{c2} × 1/2, V_{c3} = V_{c2} × 3/2)を発生します。VCREFが"0"の場合、LCD系定電圧回路は基準電圧V_{c1}を発生し、これを昇圧して他の2電位(V_{c2} = V_{c1} × 2, V_{c3} = V_{c1} × 3)を発生します。基準電圧としてV_{c1}とV_{c2}のどちらを発生させるかについては、電源電圧V_{DD}およびコントラスト設定を考慮して選択します。LCD駆動電圧電源電圧特性("電気的特性"の"特性グラフ"の節)も参考にして、システムに合った基準電圧を選択してください。イニシャルリセット時、このレジスタは"0"に設定されます。

S1C63003では、マスクオプションで基準電圧を選択します。

● VDHLMOD: V_Dレギュレータ重負荷保護モードON/OFFレジスタ (FF03H・D2)

内部定電圧回路の重負荷保護機能をON/OFFします。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

VDHLMODに"1"を書き込むと内部定電圧回路が重負荷保護モードとなり、V_{D1}出力の安定化を図ります。ブザーやFOUTクロックの出力時などに有効です。ただし、重負荷保護モードでは、通常動作時よりも消費電流が増加します。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないでください。イニシャルリセット時、このレジスタは"0"に設定されます。

● VCHLMOD: Vcレギュレータ重負荷保護モードON/OFFレジスタ(FF03H・D3)

LCD系定電圧回路の重負荷保護機能をON/OFFします。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

VCHLMODに"1"を書き込むとLCD系定電圧回路が重負荷保護モードとなり、重負荷駆動時などの電源電圧変動による表示品質の劣化を抑えます。

OSC3発振時、ブザーやFOUTクロックの出力時などに有効です。ただし、重負荷保護モードでは、通常動作時よりも消費電流が増加します。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないでください。イニシャルリセット時、このレジスタは"0"に設定されます。

● VCCKS[1:0]: Vc昇圧周波数選択レジスタ(FF12H・D[1:0])

LCD系定電圧回路への昇圧クロック供給を制御します。

表5.5.2 昇圧クロックの制御

VCCKS[1:0]	昇圧クロック制御
3または2	禁止
1	ON (2kHz)
0	OFF

LCD系定電圧回路は昇降圧動作に、クロックマネージャから送られる昇圧クロックを使用します。このクロック供給をVCCKS[1:0]レジスタによって制御します。LPWRに"1"を書き込む前にVCCKS[1:0]を"1"に設定してください。LCDを使用しない場合は消費電力を低減するため、VCCKSを"0"に設定し、クロック供給を停止してください。イニシャルリセット時、このレジスタは"0"に設定されます。

5.6 注意事項

- 1.5V低電圧タイプで外部より3.0VのLCD駆動電圧をVc3またはVc2端子に供給する場合、VDDとVc3/Vc2は別電源とし、VDDには1.1V～1.7Vの電圧を供給してください。
- VDI、Vosc、Vc1～Vc3端子の出力を外部回路の駆動には絶対に使用しないでください。
- LPWRに"1"を書き込んだ後、LCD系電圧回路が動作しLCD駆動電圧出力が安定するまで約100msecかかります。
- S1C63003の1.5V低電圧タイプでは、基準電圧Vc2の選択を禁止します。
- 重負荷保護モードでは、通常動作時より消費電流が多くなります。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないでください。

6 割り込みコントローラ

6.1 割り込みコントローラの構成

S1C63003/004/008/016には以下の割り込みが設定されています。

表6.1.1 割り込みの種類

割り込み		S1C63016	S1C63008	S1C63004	S1C63003
内部割り込み	外部割り込み	8系統		4系統	
	ウォッチドッグタイマ割り込み	NMI、1系統			
	プログラマブルタイマ割り込み	8系統	6系統	1系統	
	シリアルインターフェース割り込み	1系統		-	
	計時タイマ割り込み	8系統		4系統	
	ストップウォッチタイマ割り込み	4系統		2系統	
R/Fコンバータ割り込み		3系統			

割り込みを許可するためにはインタラプトフラグを"1"にセット(EI)し、あわせて必要な系統の割り込みマスクレジスタも"1"にセット(イネーブル)する必要があります。

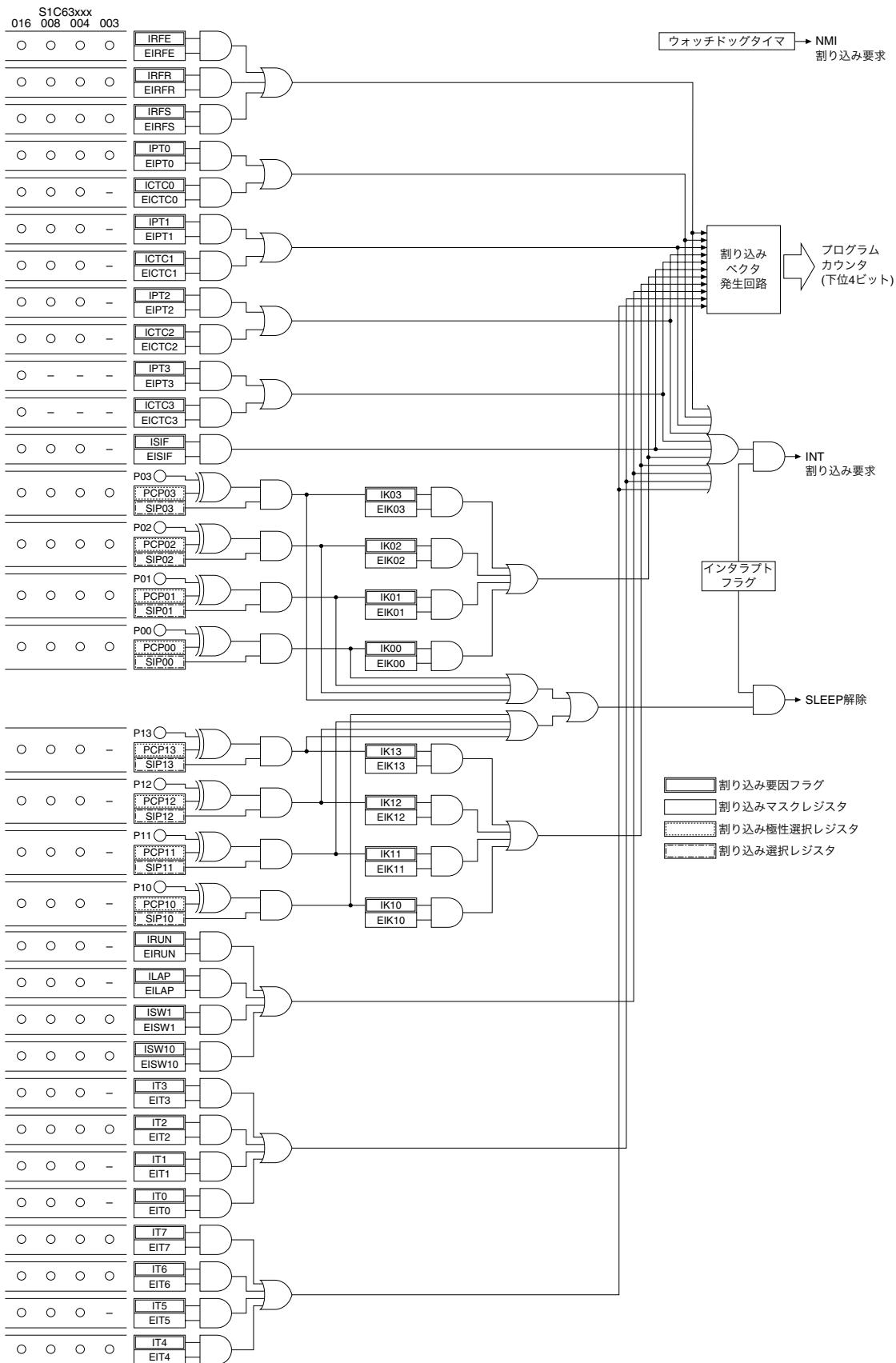
割り込みが発生するとインタラプトフラグは自動的に"0"にリセット(DI)され、以後の割り込みは禁止されます。

ウォッチドッグタイマ割り込みはNMI(ノンマスカブル割り込み)のため、インタラプトフラグの設定にかかわらず、割り込みが発生します。このため、割り込みマスクレジスタも用意されていません。ただし、ウォッチドッグタイマはソフトウェアにより動作を停止させることができますので、NMIを発生させないようにすることができます。

図6.1.1に割り込み回路の構成を示します。

注: イニシャルリセット時、NMIを含むすべての割り込みはスタックポインタSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み(NMIを含む)は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

6 割り込みコントローラ



6.2 割り込みの要因

割り込み要求が発生する要因を表6.2.1に示します。各々の割り込み要因により、対応する割り込み要因フラグが"1"にセットされます。CPUに対する割り込みは、以下の条件が成立している場合に割り込み要因フラグが"1"にセットされたときに発生します。

- 対応する割り込みマスクレジスタが"1"(イネーブル)
- インタラプトフラグが"1"(EI)

割り込み要因フラグは"1"書き込みにより"0"にリセットされます。

イニシャルリセット時、割り込み要因フラグは"0"にリセットされます。

* ウオッヂドッグタイマはNMIのため、上記の条件とは無関係に割り込みが発生します。割り込み要因フラグも用意されていません。

表6.2.1 割り込み要因

割り込み要因	割り込み要因フラグ	割り込みマスクレジスタ	S1C63xxx			
			016	008	004	003
R/Fコンバータ(エラー)	IRFE (FFF1H•D2)	EIRFE (FFE1H•D2)	○	○	○	○
R/Fコンバータ(基準発振完了)	IRFR (FFF1H•D1)	EIRFR (FFE1H•D1)	○	○	○	○
R/Fコンバータ(センサ発振完了)	IRFS (FFF1H•D0)	EIRFS (FFE1H•D0)	○	○	○	○
プログラマブルタイマ0(アンダーフロー)	IPT0 (FFF2H•D1)	EIPT0 (FFE2H•D1)	○	○	○	○
プログラマブルタイマ0(コンペアマッチ)	ICTC0 (FFF2H•D0)	EICTC0 (FFE2H•D0)	○	○	○	-
プログラマブルタイマ1(アンダーフロー)	IPT1 (FFF3H•D1)	EIPT1 (FFE3H•D1)	○	○	○	-
プログラマブルタイマ1(コンペアマッチ)	ICTC1 (FFF3H•D0)	EICTC1 (FFE3H•D0)	○	○	○	-
プログラマブルタイマ2(アンダーフロー)	IPT2 (FFF4H•D1)	EIPT2 (FFE4H•D1)	○	○	○	-
プログラマブルタイマ2(コンペアマッチ)	ICTC2 (FFF4H•D0)	EICTC2 (FFE4H•D0)	○	○	○	-
プログラマブルタイマ3(アンダーフロー)	IPT3 (FFF5H•D1)	EIPT3 (FFE5H•D1)	○	-	-	-
プログラマブルタイマ3(コンペアマッチ)	ICTC3 (FFF5H•D0)	EICTC3 (FFE5H•D0)	○	-	-	-
シリアルインターフェース(データ8ビット入出力終了)	ISIF (FFFFAH•D0)	EISEIF (FFEAH•D0)	○	○	○	○
キー入力割り込み<P03>	IK03 (FFFFBH•D3)	EIK03 (FFEBH•D3)	○	○	○	○
キー入力割り込み<P02>	IK02 (FFFFBH•D2)	EIK02 (FFEBH•D2)	○	○	○	○
キー入力割り込み<P01>	IK01 (FFFFBH•D1)	EIK01 (FFEBH•D1)	○	○	○	○
キー入力割り込み<P00>	IK00 (FFFFBH•D0)	EIK00 (FFEBH•D0)	○	○	○	○
キー入力割り込み<P13>	IK13 (FFFCH•D3)	EIK13 (FFECH•D3)	○	○	○	-
キー入力割り込み<P12>	IK12 (FFFCH•D2)	EIK12 (FFECH•D2)	○	○	○	-
キー入力割り込み<P11>	IK11 (FFFCH•D1)	EIK11 (FFECH•D1)	○	○	○	-
キー入力割り込み<P10>	IK10 (FFFCH•D0)	EIK10 (FFECH•D0)	○	○	○	-
ストップウォッヂタイマ(ダイレクトRUN)	IRUN (FFFFDH•D3)	EIRUN (FFEDH•D3)	○	○	○	-
ストップウォッヂタイマ(ダイレクトLAP)	ILAP (FFFFDH•D2)	EILAP (FFEDH•D2)	○	○	○	-
ストップウォッヂタイマ(1Hz)	ISW1 (FFFFDH•D1)	EISW1 (FFEDH•D1)	○	○	○	○
ストップウォッヂタイマ(10Hz)	ISW10 (FFFFDH•D0)	EISW10 (FFEDH•D0)	○	○	○	○
計時タイマ16Hz(立ち下がりエッジ)	IT3 (FFFEH•D3)	EIT3 (FFEEH•D3)	○	○	○	-
計時タイマ32Hz(立ち下がりエッジ)	IT2 (FFFEH•D2)	EIT2 (FFEEH•D2)	○	○	○	○
計時タイマ64Hz(立ち下がりエッジ)	IT1 (FFFEH•D1)	EIT1 (FFEEH•D1)	○	○	○	-
計時タイマ128Hz(立ち下がりエッジ)	IT0 (FFFEH•D0)	EIT0 (FFEEH•D0)	○	○	○	-
計時タイマ1Hz(立ち下がりエッジ)	IT7 (FFFFFH•D3)	EIT7 (FFEFH•D3)	○	○	○	○
計時タイマ2Hz(立ち下がりエッジ)	IT6 (FFFFFH•D2)	EIT6 (FFEFH•D2)	○	○	○	○
計時タイマ4Hz(立ち下がりエッジ)	IT5 (FFFFFH•D1)	EIT5 (FFEFH•D1)	○	○	○	-
計時タイマ8Hz(立ち下がりエッジ)	IT4 (FFFFFH•D0)	EIT4 (FFEFH•D0)	○	○	○	○

注: 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行つてください。

6.3 割り込みの個別マスク

割り込み要因フラグは、対応する割り込みマスクレジスタによりマスクできます。割り込みマスクレジスタは読み出し/書き込みが可能なレジスタであり、"1"書き込みでイネーブル(割り込み許可)、"0"書き込みでマスク(割り込み禁止)となります。イニシャルリセット時、割り込みマスクレジスタは"0"にリセットされます。表6.2.1に割り込みマスクレジスタと割り込み要因フラグの対応を示します。

6.4 割り込みベクタ

CPUに割り込み要求が入力されると、CPUは割り込み処理を開始します。

割り込み処理は実行中のプログラムの終了後、以下の手順で行われます。

1. フラグレジスタを退避後、Iフラグをリセット
2. 次に実行すべきプログラムのアドレスデータ(プログラムカウンタの値)をスタック領域(RAM)に退避
3. 割り込み要求による割り込みベクタの値(0100H～010FH)をプログラムカウンタにセット
4. 指定されたアドレスのプログラムを実行(ソフトウェアによる割り込み処理ルーチンの実行)

表6.4.1に割り込み要求と割り込みベクタの対応を示します。

表6.4.1 割り込み要求と割り込みベクタ

割り込みベクタ	割り込み要因	S1C63xxx				優先順位
		016	008	004	003	
0100H	ウォッチドッグタイマ	○	○	○	○	高い ↑
0101H	R/Fコンバータ	○	○	○	○	
0102H	プログラマブルタイマ0	○	○	○	○	
0103H	プログラマブルタイマ1	○	○	○	-	
0104H	プログラマブルタイマ2	○	○	○	-	
0105H	プログラマブルタイマ3	○	-	-	-	
0106H	Reserved	-	-	-	-	
0107H	Reserved	-	-	-	-	
0108H	Reserved	-	-	-	-	
0109H	Reserved	-	-	-	-	
010AH	シリアルインターフェース	○	○	○	-	
010BH	キー入力割り込み<P0>	○	○	○	○	
010CH	キー入力割り込み<P1>	○	○	○	-	
010DH	ストップウォッチタイマ	○	○	○	○	
010EH	計時タイマ(128Hz, 64Hz, 32Hz, 16Hz)*	○	○	○	○	
010FH	計時タイマ(8Hz, 4Hz, 2Hz, 1Hz)*	○	○	○	○	↓ 低い

* S1C63003は32Hz、8Hz、2Hz、1Hz割り込みのみサポート

プログラムカウンタ(PC)の下位4ビットが割り込み要求による間接アドレス指定となります。

注: 割り込み処理ルーチンは、割り込みベクタアドレス(100H～10FH)より-7FH～+80Hの範囲内に配置してください。これが困難な場合は、上記の範囲内に中継ポイント(ベクタによる分岐先)を設け、そこから割り込みルーチンの本体に分岐させてください。

例:

```
; ****
; ** interrupt vector area **
; ****
.org 0x0100
JR INT_DUMMY ; WATCH DOG TIMER INTERRUPT VECTOR(0x100)
JR INT_RFC ; RFC INTERRUPT VECTOR(0x101)
JR INT_DUMMY ; PTIMER0 INTERRUPT VECTOR(0x102)
JR INT_DUMMY ; PTIMER1 INTERRUPT VECTOR(0x103)
JR INT_DUMMY ; PTIMER2 INTERRUPT VECTOR(0x104)
JR INT_DUMMY ; PTIMER3 INTERRUPT VECTOR(0x105)
JR INT_DUMMY ; Reserved
JR INT_DUMMY ; Reserved
JR INT_DUMMY ; Reserved
JR INT_DUMMY ; Reserved
JR INT_DUMMY ; SIF INTERRUPT VECTOR(0x10A)
JR INT_DUMMY ; P0x PORT INTERRUPT VECTOR(0x10B)
JR INT_DUMMY ; P1x PORT INTERRUPT VECTOR(0x10C)
JR INT_DUMMY ; STOPWATCH INTERRUPT VECTOR(0x10D)
JR INT_DUMMY ; CLOCK TIMER1 INTERRUPT VECTOR(0x10E)
JR INT_DUMMY ; CLOCK TIMER2 INTERRUPT VECTOR(0x10F)

; ****
; ** subinterrupt vector area **
; ****
.org 0x120
```

```

INT_RFC:
    CALR INTRFC      ;call Interrupt RFC
    RETI
INT_DUMMY:
    RETI

;***** Interrrupt RFC ****
;***** Interrrupt RFC ****
;***** Interrrupt RFC ****
.org 0x800
INTRFC:
    LDB %y1,P5CTL0@1
    LDB %x1,ITC_RFC1@1
    LD [%y],[%x] ;Port Output
    RET

```

6.5 割り込みコントローラのI/Oメモリ

表6.5.1に割り込みコントローラの制御ビットとそのアドレスを示します。

表6.5.1 割り込みコントローラの制御ビット

アドレス	レジスタ名	R/W	初期値	設定/データ			機能
FFE1H	D3 0 (*3)	R	- (*2)	-			未使用
	D2 EIRFE	R/W	0	1	Enable	0 Mask	割り込みマスクレジスタ(RFCエラー)
	D1 EIRFR	R/W	0	1	Enable	0 Mask	割り込みマスクレジスタ(RFC基準発振完了)
	D0 EIRFS	R/W	0	1	Enable	0 Mask	割り込みマスクレジスタ(RFCセンサ発振完了)
FFE2H	D3 0 (*3)	R	- (*2)	-			未使用
	D2 0 (*3)	R	- (*2)	-			未使用
	D1 EIPT0	R/W	0	1	Enable	0 Mask	割り込みマスクレジスタ(PT0アンダーフロー)
	D0 EICTC0 (*6)	R/W	0	1	Enable	0 Mask	割り込みマスクレジスタ(PT0コンペアマッチ)
FFE3H (*6)	D3 0 (*3)	R	- (*2)	-			未使用
	D2 0 (*3)	R	- (*2)	-			未使用
	D1 EIPT1	R/W	0	1	Enable	0 Mask	割り込みマスクレジスタ(PT1アンダーフロー)
	D0 EICTC1	R/W	0	1	Enable	0 Mask	割り込みマスクレジスタ(PT1コンペアマッチ)
FFE4H (*6)	D3 0 (*3)	R	- (*2)	-			未使用
	D2 0 (*3)	R	- (*2)	-			未使用
	D1 EIPT2	R/W	0	1	Enable	0 Mask	割り込みマスクレジスタ(PT2アンダーフロー)
	D0 EICTC2	R/W	0	1	Enable	0 Mask	割り込みマスクレジスタ(PT2コンペアマッチ)
FFE5H (*4)	D3 0 (*3)	R	- (*2)	-			未使用
	D2 0 (*3)	R	- (*2)	-			未使用
	D1 EIPT3	R/W	0	1	Enable	0 Mask	割り込みマスクレジスタ(PT3アンダーフロー)
	D0 EICTC3	R/W	0	1	Enable	0 Mask	割り込みマスクレジスタ(PT3コンペアマッチ)
FFEAH (*6)	D3 0 (*3)	R	- (*2)	-			未使用
	D2 0 (*3)	R	- (*2)	-			未使用
	D1 0 (*3)	R	- (*2)	-			未使用
	D0 EISIF	R/W	0	1	Enable	0 Mask	割り込みマスクレジスタ(シリアルI/F)
FFEBH	D3 EIK03	R/W	0	1	Enable	0 Mask	割り込みマスクレジスタ(KEY03<P03>)
	D2 EIK02	R/W	0	1	Enable	0 Mask	割り込みマスクレジスタ(KEY02<P02>)
	D1 EIK01	R/W	0	1	Enable	0 Mask	割り込みマスクレジスタ(KEY01<P01>)
	D0 EIK00	R/W	0	1	Enable	0 Mask	割り込みマスクレジスタ(KEY00<P00>)
FFECH (*6)	D3 EIK13	R/W	0	1	Enable	0 Mask	割り込みマスクレジスタ(KEY13<P13>)
	D2 EIK12	R/W	0	1	Enable	0 Mask	割り込みマスクレジスタ(KEY12<P12>)
	D1 EIK11	R/W	0	1	Enable	0 Mask	割り込みマスクレジスタ(KEY11<P11>)
	D0 EIK10	R/W	0	1	Enable	0 Mask	割り込みマスクレジスタ(KEY10<P10>)
FFEDH	D3 EIRUN (*6)	R/W	0	1	Enable	0 Mask	割り込みマスクレジスタ(SWダイレクトRUN)
	D2 EILAP (*6)	R/W	0	1	Enable	0 Mask	割り込みマスクレジスタ(SWダイレクトLAP)
	D1 EISW1	R/W	0	1	Enable	0 Mask	割り込みマスクレジスタ(ストップウォッチ1Hz)
	D0 EISW10	R/W	0	1	Enable	0 Mask	割り込みマスクレジスタ(ストップウォッチ10Hz)
FFEEH	D3 EIT3 (*6)	R/W	0	1	Enable	0 Mask	割り込みマスクレジスタ(計時タイマ16Hz)
	D2 EIT2	R/W	0	1	Enable	0 Mask	割り込みマスクレジスタ(計時タイマ32Hz)
	D1 EIT1 (*6)	R/W	0	1	Enable	0 Mask	割り込みマスクレジスタ(計時タイマ64Hz)
	D0 EIT0 (*6)	R/W	0	1	Enable	0 Mask	割り込みマスクレジスタ(計時タイマ128Hz)

6 割り込みコントローラ

アドレス	レジスタ名	R/W	初期値	設定/データ			機能
FFEFH	D3 EIT7	R/W	0	1	Enable	0	割り込みマスクレジスタ(計時タイマ1Hz)
	D2 EIT6	R/W	0	1	Enable	0	割り込みマスクレジスタ(計時タイマ2Hz)
	D1 EIT5 (*6)	R/W	0	1	Enable	0	割り込みマスクレジスタ(計時タイマ4Hz)
	D0 EIT4	R/W	0	1	Enable	0	割り込みマスクレジスタ(計時タイマ8Hz)
FFF1H	D3 0 (*3)	R	- (*2)	-			未使用
	D2 IRFE	R/W	0	1	Occurred (R) Reset (W)	0	割り込み要因フラグ(RFCエラー)
	D1 IRFR	R/W	0	Invalid (W)			割り込み要因フラグ(RFC基準発振完了)
	D0 IRFS	R/W	0	-			割り込み要因フラグ(RFCセンサ発振完了)
FFF2H	D3 0 (*3)	R	- (*2)	-			未使用
	D2 0 (*3)	R	- (*2)	-			未使用
	D1 IPT0	R/W	0	1	Occurred (R) Reset (W)	0	割り込み要因フラグ(PT0アンダーフロー)
	D0 ICTC0 (*6)	R/W	0	Invalid (W)			割り込み要因フラグ(PT0コンペアマッチ)
FFF3H (*6)	D3 0 (*3)	R	- (*2)	-			未使用
	D2 0 (*3)	R	- (*2)	-			未使用
	D1 IPT1	R/W	0	1	Occurred (R) Reset (W)	0	割り込み要因フラグ(PT1アンダーフロー)
	D0 ICTC1	R/W	0	Invalid (W)			割り込み要因フラグ(PT1コンペアマッチ)
FFF4H (*6)	D3 0 (*3)	R	- (*2)	-			未使用
	D2 0 (*3)	R	- (*2)	-			未使用
	D1 IPT2	R/W	0	1	Occurred (R) Reset (W)	0	割り込み要因フラグ(PT2アンダーフロー)
	D0 ICTC2	R/W	0	Invalid (W)			割り込み要因フラグ(PT2コンペアマッチ)
FFF5H (*4)	D3 0 (*3)	R	- (*2)	-			未使用
	D2 0 (*3)	R	- (*2)	-			未使用
	D1 IPT3	R/W	0	1	Occurred (R) Reset (W)	0	割り込み要因フラグ(PT3アンダーフロー)
	D0 ICTC3	R/W	0	Invalid (W)			割り込み要因フラグ(PT3コンペアマッチ)
FFFAH (*6)	D3 0 (*3)	R	- (*2)	-			未使用
	D2 0 (*3)	R	- (*2)	-			未使用
	D1 0 (*3)	R	- (*2)	-			未使用
	D0 ISIF	R/W	0	1	Occurred (R) Reset (W)	0	割り込み要因フラグ(シリアルI/F)
FFFFBH	D3 IK03	R/W	0	1	Occurred (R) Reset (W)	0	割り込み要因フラグ(KEY03<P03>)
	D2 IK02	R/W	0	Not occurred (R) Invalid (W)			割り込み要因フラグ(KEY02<P02>)
	D1 IK01	R/W	0	-			割り込み要因フラグ(KEY01<P01>)
	D0 IK00	R/W	0	-			割り込み要因フラグ(KEY00<P00>)
FFFCFH (*6)	D3 IK13	R/W	0	1	Occurred (R) Reset (W)	0	割り込み要因フラグ(KEY13<P13>)
	D2 IK12	R/W	0	Not occurred (R) Invalid (W)			割り込み要因フラグ(KEY12<P12>)
	D1 IK11	R/W	0	-			割り込み要因フラグ(KEY11<P11>)
	D0 IK10	R/W	0	-			割り込み要因フラグ(KEY10<P10>)
FFFDH	D3 IRUN (*6)	R/W	0	1	Occurred (R) Reset (W)	0	割り込み要因フラグ(SWダイレクトRUN)
	D2 ILAP (*6)	R/W	0	Not occurred (R) Invalid (W)			割り込み要因フラグ(SWダイレクトLAP)
	D1 ISW1	R/W	0	-			割り込み要因フラグ(ストップウォッチ1Hz)
	D0 ISW10	R/W	0	-			割り込み要因フラグ(ストップウォッチ10Hz)
FFFEH	D3 IT3 (*6)	R/W	0	1	Occurred (R) Reset (W)	0	割り込み要因フラグ(計時タイマ16Hz)
	D2 IT2	R/W	0	Not occurred (R) Invalid (W)			割り込み要因フラグ(計時タイマ32Hz)
	D1 IT1 (*6)	R/W	0	-			割り込み要因フラグ(計時タイマ64Hz)
	D0 IT0 (*6)	R/W	0	-			割り込み要因フラグ(計時タイマ128Hz)
FFFFH	D3 IT7	R/W	0	1	Occurred (R) Reset (W)	0	割り込み要因フラグ(計時タイマ1Hz)
	D2 IT6	R/W	0	Not occurred (R) Invalid (W)			割り込み要因フラグ(計時タイマ2Hz)
	D1 IT5 (*6)	R/W	0	-			割り込み要因フラグ(計時タイマ4Hz)
	D0 IT4	R/W	0	-			割り込み要因フラグ(計時タイマ8Hz)

*1 イニシャルリセット時の初期値 *2 回路上設定されない *3 読み出し時は常時"0"

*4 S1C63003/004/008では未使用 *5 S1C63003/004では未使用 *6 S1C63003では未使用

● E1***: 割り込みマスクレジスタ (FFE1H~FFEFH)

各割り込み要因によるCPUへの割り込みをマスクするか否かを選択します。

"1"書き込み: イネーブル

"0"書き込み: マスク

読み出し: 可能

割り込みマスクレジスタを"1"に設定すると、対応する割り込み要因フラグが"1"にセットされた時点で、CPUに対してその要因による割り込みを発生します。

割り込みマスクレジスタを"0"に設定すると割り込み要因はマスクされ、CPUへの割り込みは発生しません。イニシャルリセット時、割り込みマスクレジスタは"0"に設定されます。

● I***: 割り込み要因フラグ(FFF1H~FFFFH)

各割り込み要因の発生状態を示すフラグです。

"1"読み出し: 割り込み要因発生

"0"読み出し: 割り込み要因なし

"1"書き込み: 割り込み要因フラグをリセット

"0"書き込み: 無効

割り込み要因フラグは、周辺回路の割り込み要因が発生すると"1"にセットされます。これらのフラグにより割り込み要因の発生をソフトウェアで判断することができます。対応する割り込みマスクレジスタが"1"(割り込み許可)に設定されていれば、フラグがセットされた時点でCPUに対し割り込みが発生します。

なお、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、割り込み要因の発生により"1"にセットされます。

セットされた割り込み要因フラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグをリセット("1"書き込み)してください。

イニシャルリセット時、割り込み要因フラグは"0"に設定されます。

表6.5.2 割り込み要因

割り込み要因	割り込み要因フラグ	割り込みマスクレジスタ	S1C63xxx			
			016	008	004	003
R/Fコンバータ(エラー)	IRFE (FFF1H•D2)	EIRFE (FFE1H•D2)	○	○	○	○
R/Fコンバータ(基準発振完了)	IRFR (FFF1H•D1)	EIRFR (FFE1H•D1)	○	○	○	○
R/Fコンバータ(センサ発振完了)	IRFS (FFF1H•D0)	EIRFS (FFE1H•D0)	○	○	○	○
プログラマブルタイマ0(アンダーフロー)	IPT0 (FFF2H•D1)	EIPT0 (FFE2H•D1)	○	○	○	○
プログラマブルタイマ0(コンペアマッチ)	ICTC0 (FFF2H•D0)	EICTC0 (FFE2H•D0)	○	○	○	-
プログラマブルタイマ1(アンダーフロー)	IPT1 (FFF3H•D1)	EIPT1 (FFE3H•D1)	○	○	○	-
プログラマブルタイマ1(コンペアマッチ)	ICTC1 (FFF3H•D0)	EICTC1 (FFE3H•D0)	○	○	○	-
プログラマブルタイマ2(アンダーフロー)	IPT2 (FFF4H•D1)	EIPT2 (FFE4H•D1)	○	○	○	-
プログラマブルタイマ2(コンペアマッチ)	ICTC2 (FFF4H•D0)	EICTC2 (FFE4H•D0)	○	○	○	-
プログラマブルタイマ3(コンペアマッチ)	IPT3 (FFF5H•D1)	EIPT3 (FFE5H•D1)	○	-	-	-
プログラマブルタイマ3(コンペアマッチ)	ICTC3 (FFF5H•D0)	EICTC3 (FFE5H•D0)	○	-	-	-
シリアルインターフェース(データ8ビット入出力終了)	ISIF (FFFAH•D0)	EISEIF (FFEAH•D0)	○	○	○	-
キー入力割り込み<P03>	IK03 (FFFBBH•D3)	EIK03 (FFEBH•D3)	○	○	○	○
キー入力割り込み<P02>	IK02 (FFFBBH•D2)	EIK02 (FFEBH•D2)	○	○	○	○
キー入力割り込み<P01>	IK01 (FFFBBH•D1)	EIK01 (FFEBH•D1)	○	○	○	○
キー入力割り込み<P00>	IK00 (FFFBBH•D0)	EIK00 (FFEBH•D0)	○	○	○	○
キー入力割り込み<P13>	IK13 (FFFCH•D3)	EIK13 (FFECH•D3)	○	○	○	-
キー入力割り込み<P12>	IK12 (FFFCH•D2)	EIK12 (FFECH•D2)	○	○	○	-
キー入力割り込み<P11>	IK11 (FFFCH•D1)	EIK11 (FFECH•D1)	○	○	○	-
キー入力割り込み<P10>	IK10 (FFFCH•D0)	EIK10 (FFECH•D0)	○	○	○	-
ストップウォッチャタイマ(ダイレクトRUN)	IRUN (FFFDH•D3)	EIRUN (FFEDH•D3)	○	○	○	-
ストップウォッチャタイマ(ダイレクトLAP)	ILAP (FFFDH•D2)	EILAP (FFEDH•D2)	○	○	○	-
ストップウォッチャタイマ(1Hz)	ISW1 (FFFDH•D1)	EISW1 (FFEDH•D1)	○	○	○	○
ストップウォッチャタイマ(10Hz)	ISW10 (FFFDH•D0)	EISW10 (FFEDH•D0)	○	○	○	○
計時タイマ16Hz(立ち下がリエッジ)	IT3 (FFFEH•D3)	EIT3 (FFEEH•D3)	○	○	○	-
計時タイマ32Hz(立ち下がリエッジ)	IT2 (FFFEH•D2)	EIT2 (FFEEH•D2)	○	○	○	○
計時タイマ64Hz(立ち下がリエッジ)	IT1 (FFFEH•D1)	EIT1 (FFEEH•D1)	○	○	○	○
計時タイマ128Hz(立ち下がリエッジ)	IT0 (FFFEH•D0)	EIT0 (FFEEH•D0)	○	○	○	-
計時タイマ1Hz(立ち下がリエッジ)	IT7 (FFFFH•D3)	EIT7 (FFEFH•D3)	○	○	○	○
計時タイマ2Hz(立ち下がリエッジ)	IT6 (FFFFH•D2)	EIT6 (FFEFH•D2)	○	○	○	○
計時タイマ4Hz(立ち下がリエッジ)	IT5 (FFFFH•D1)	EIT5 (FFEFH•D1)	○	○	○	-
計時タイマ8Hz(立ち下がリエッジ)	IT4 (FFFFH•D0)	EIT4 (FFEFH•D0)	○	○	○	○

割り込み要因の発生条件については、各周辺回路の説明を参照してください。

6.6 注意事項

- 各割り込み要因フラグは、各割り込みマスクレジスタを"0"に設定していても、割り込み条件成立によりセットされます。
- 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- イニシャルリセット時、NMIを含むすべての割り込みはSTACKポインタSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み(NMIを含む)は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。
- 割り込み処理ルーチンは、割り込みベクタアドレス(100H～10FH)より-7FH～+80Hの範囲内に配置してください。これが困難な場合は、上記の範囲内に中継ポイント(ベクタによる分岐先)を設け、そこから割り込みルーチンの本体に分岐させてください。
- SLEEP時はOSC1とOSC3発振回路が共に停止します。SLEEPモードから起床した時点でCPUが誤動作しないようにするために、SLEEPモードへはCPUがOSC1クロックで動作している状態で移行してください。

7 発振回路とクロック制御

7.1 発振回路

7.1.1 発振回路の構成

S1C63003/004/008/016は2種類の発振回路(OSC1およびOSC3)を内蔵したツインクロック仕様となっています。OSC1発振回路は低電力動作用のメインクロック(Typ. 32.768kHz)を、OSC3発振回路はCPUや一部の周辺回路を高速動作させるためのサブクロック(Typ. 4.0MHz/3Vノーマルタイプまたは1.0MHz/1.5V低電圧タイプ)を発生します。図7.1.1.1に発振回路の構成を示します。

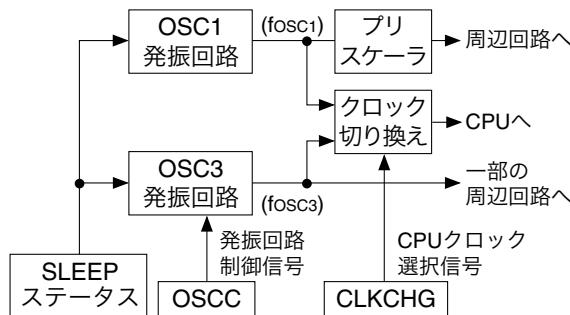


図7.1.1.1 発振回路の構成

イニシャルリセット時、CPUの動作クロックにはOSC1発振回路が選択されます。

OSC3発振回路のON/OFFとシステムクロックの切り換え(OSC3↔OSC1)はソフトウェアによって制御できます。OSC3発振回路はCPUや一部の周辺回路の高速動作が必要な場合に使用します。それ以外の場合は消費電流を低減させるためにOSC3発振を停止させ、OSC1を動作クロックとして使用してください。

7.1.2 マスクオプション

S1C63004/008/016では、OSC3発振回路としてセラミック発振回路、CR発振回路(R外付け)またはCR発振回路(R内蔵)が選択できます。

S1C63003はCR発振回路(R内蔵)に固定されています。

7.1.3 OSC1発振回路

OSC1発振回路(水晶発振回路)は32.768kHz(Typ.)のシステムクロックを発生します。

OSC1発振クロックはCPUおよび周辺回路の低速(低消費電力)動作時のシステムクロックとして使用されます。また、OSC3をシステムクロックとして使用する場合にも、計時タイマやストップウォッチタイマの源振として使用されます。本発振回路はSLP命令実行時に発振停止状態となります。

図7.1.3.1にOSC1発振回路の構造を示します。

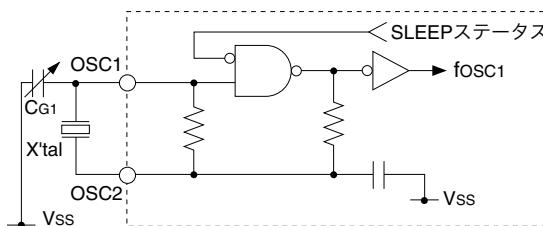


図7.1.3.1 OSC1発振回路

OSC1端子とOSC2端子間に水晶振動子X'tal(Typ. 32.768kHz)を、OSC1端子とVss間にトリマキャパシタC_{G1}(0~25pF)をそれぞれ接続することにより、容易に水晶発振回路を構成できます。

7.1.4 OSC3発振回路

OSC3発振回路はCPUや一部の周辺回路を高速動作させる場合のシステムクロックを発生します。

本発振回路はSLP命令実行時、またはレジスタOSCCに"0"設定時に発振停止状態となります。

S1C63004/008/016では、発振回路の種類をセラミック発振、CR発振(R外付け)、CR発振(R内蔵)からマスクオプションで選択できます。S1C63003はCR発振回路(R内蔵)に固定されています。図7.1.4.1にOSC3発振回路の構造を示します。

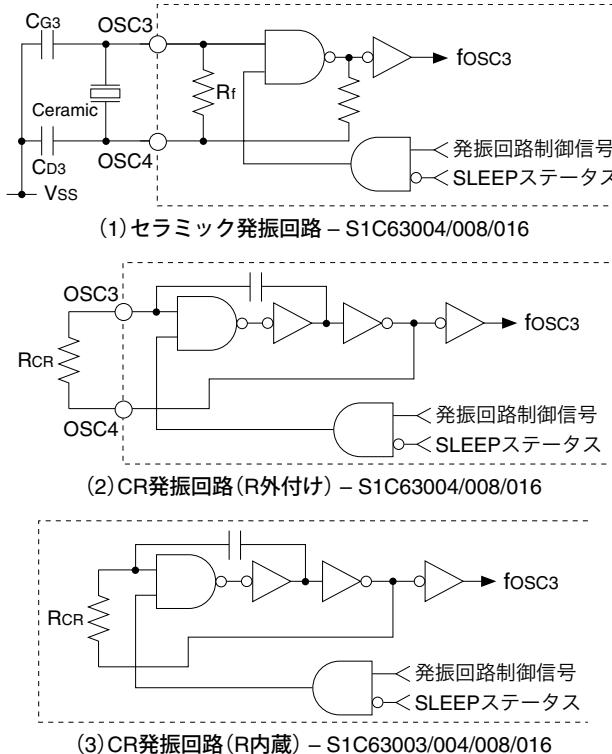


図7.1.4.1 OSC3発振回路

セラミック発振回路の場合は、OSC3端子とOSC4端子間にセラミック振動子(Ceramic)を、同OSC3、OSC4端子とVss間にキャパシタを2個(CG₃、Cd₃)それぞれ接続します。

CR発振(R外付け)の場合は、OSC3端子とOSC4端子間に抵抗(RCR)を接続します。

CR発振(R内蔵)の場合、外付け部品は必要ありません。OSC3端子とOSC4端子はオープンとしてください。

表7.1.4.1 OSC3発振周波数

発振回路	発振周波数	
	S1C63004/008/016	S1C63003
セラミック発振	Typ. 4.0MHz(3Vノーマルタイプ) または Typ. 1.0MHz(1.5V低電圧タイプ)	-
CR発振(R外付け)	Typ. 1.8MHz(3Vノーマルタイプ) または Typ. 500kHz(1.5V低電圧タイプ)	-
CR発振(R内蔵)	Typ. 500kHz(3Vノーマルタイプ) または Typ. 500kHz(1.5V低電圧タイプ)	Typ. 550kHz(3Vノーマルタイプ) または Typ. 550kHz(1.5V低電圧タイプ)

7.2 CPUクロックの切り換え

OSC1とOSC3のどちらをCPUのシステムクロックとして使用するか、レジスタCLKCHGによって切り換えることができます。

OSC1でCPUが動作している間は(CLKCHG="0")、OSC3発振回路をOFF(OSCC="0")させることでパワーセーブを実現できます。

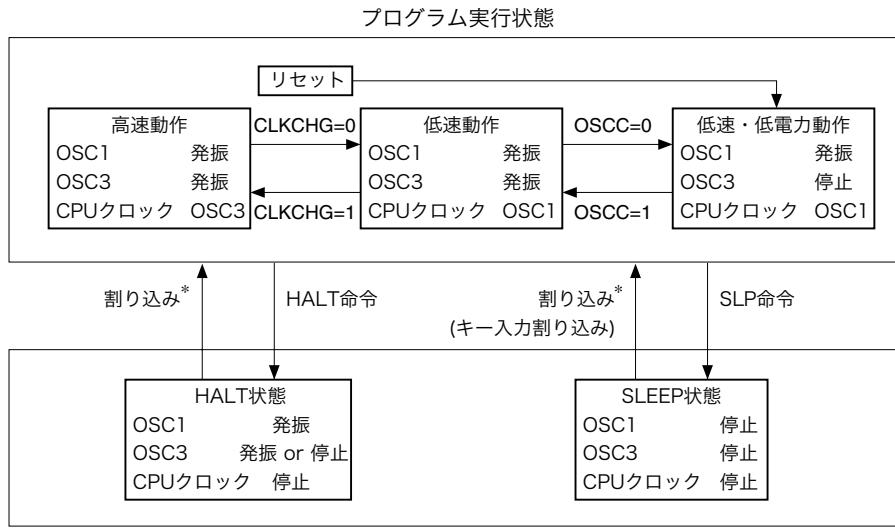
OSC3での動作が必要な場合にOSC3発振回路をON(OSCC="1")させ、システムクロックを切り換える(CLKCHG="0"→"1")ことで高速動作を実現できます。

この場合、OSC3発振回路をONにしてから発振が安定するまでに数10μsec～数10msecの時間を必要としますので、その時間が経過した後にクロックの切り換えを行ってください。

発振開始時間は発振子、外付け部品によって変動します。“電気的特性”に発振開始時間の一例を示しますので参照してください。

OSC3からOSC1に切り換える場合(CLKCHG="1"→"0")、クロック切り換えとOSC3発振OFFは別々の命令で行ってください。1命令で同時に処理すると、CPUの誤動作につながります。

図7.2.1にクロック切り換えの状態遷移図を示します。



* スタンバイ状態からの復帰先は、スタンバイ状態へ遷移する以前のプログラム実行状態となります。

図7.2.1 クロック切り換えの状態遷移図

7.3 HALTとSLEEP

S1C63003/004/008/016は必要なとき以外の消費電流を大幅に低減させるHALT機能およびSLEEP機能を持っています。

HALTモード

CPUはHALT命令が実行するとHALT状態に入り、動作を停止します。ただし、発振回路は動作していますので、タイマのカウント等、周辺回路は継続して動作します。CPUのHALT状態からの再起動はNMIを含むハードウェア割り込み要求が発生することにより行われます。

SLEEPモード

CPUのSLP命令によって移行するSLEEP状態では、HALT状態と同様CPUが動作を停止するとともにOSC1/OSC3発振回路も停止します。内部クロックで動作する周辺回路もすべて停止しますので、消費電流を大幅に低減できます。SLEEPモードから起床した時点ではCPUが誤動作しないようにするために、SLEEPモードへはCPUがOSC1クロックで動作している状態で移行してください。

CPUのSLEEP状態からの再起動は、P0xポートまたはP1xポートのキー入力割り込み要求が発生することのみに限られます。したがって、SLEEP状態への移行と通常動作への復帰を確実に行うためには、SLP命令を実行する前に以下の手順でCPUクロック、インタラプトフラグ、SLEEP解除に使用する入出力兼用ポートP0x(P1x)、ポート入力レベルの設定/確認をしておく必要があります。

1. CPUクロック切り換えレジスタCLKCHGを"0"に設定(OSC1クロックを選択)
2. 割り込み選択レジスタSIPxxを"1"に設定(P0x(P1x)入出力兼用ポート割り込みを選択)
3. 割り込みマスクレジスタEIKxxを"1"に設定(P0x(P1x)入出力兼用ポート割り込みを許可)
4. キー入力割り込みノイズリジェクト周波数選択NRSPxxを"0H"に設定(ノイズリジェクタをバイパス)
5. 割り込み要因フラグIKxxに"1"を書き込み(P0x(P1x)割り込み要因フラグをリセット)
6. インタラプトフラグ(Iフラグ) = "1"(割り込みを許可)

- 7a. P0x(P1x)ポート割り込み極性選択レジスタPCPxが"1"(立ち下がりエッジで割り込み発生)の場合、P0x(P1x)ポートへの入力が確実にHIGHであることを確認
- 7b. P0x(P1x)ポート割り込み極性選択レジスタPCPxが"0"(立ち上がりエッジで割り込み発生)の場合、P0x(P1x)ポートへの入力が確実にLOWであることを確認
8. SLP命令を実行

SLEEP状態が入出力兼用ポートの割り込みによって解除されると、発振の安定を待ってCPUが動作(入力割り込みの処理)を再開します。HALT/SLEEP状態への移行と解除のタイミング等については、"S1C63000コアCPUマニュアル"を参照してください。

7.4 周辺回路用クロックの制御

S1C63003/004/008/016にはクロックマネージャが組み込まれており、発振回路が生成したOSC1/OSC3クロックを分周して周辺回路に供給するようになっています。周辺回路によっては、複数の分周クロックから使用するクロックを選択できるようになっています。また、周辺回路を使用しない場合には、クロックマネージャからのクロック供給を停止させることができます。不要なクロックの供給を停止、あるいはできるだけ低い周波数のクロックで周辺回路を動作させることで、消費電流を低減できます。クロックマネージャの制御については、各周辺回路の章で個々に説明します。

7.5 クロック出力(FOUT)

S1C63003/004/008/016は外部デバイスに対してクロックを供給する場合などのために、FOUT信号(発振クロックfosc₁またはfosc₃の分周クロック)をFOUT(P13)端子から出力させることができます。FOUT信号の出力はFOUT[3:0]レジスタによって制御します。FOUT[3:0]レジスタで出力するクロックの周波数を選択すると、FOUT信号がFOUT端子から出力されます。FOUT出力中は入出力兼用ポートP13の機能が無効になります。FOUT[3:0]レジスタがOHの場合、FOUT信号は出力されず、P13端子は汎用入出力ポートとして機能します。FOUT信号の周波数は表7.5.1に示す15種類の中から1つを選択することができます。

表7.5.1 FOUT周波数の選択

FOUT[3:0]	FOUT周波数
FH	fosc ₃
EH	fosc ₃ / 2
DH	fosc ₃ / 4
CH	fosc ₃ / 8
BH	fosc ₃ / 16
AH	fosc ₃ / 32
9H	fosc ₃ / 64
8H	fosc ₃ / 256
7H	fosc ₁ (32kHz)
6H	fosc ₁ / 2 (16kHz)
5H	fosc ₁ / 4 (8kHz)
4H	fosc ₁ / 16 (2kHz)
3H	fosc ₁ / 32 (1kHz)
2H	fosc ₁ / 64 (512Hz)
1H	fosc ₁ / 256 (128Hz)
0H	OFF

fosc₁: OSC1発振周波数、()内の周波数はfosc₁ = 32kHzの場合

fosc₃: OSC3発振周波数

FOUTの周波数を"fosc₃/n"とする場合は、FOUTを出力する以前にOSC3の発振をONさせる必要があります。なお、OSC3発振回路をONにしてから発振が安定するまでに数10μsec～数10msecの時間を必要とします。したがって、不安定なFOUT信号が外部に出力されることで不具合が生じる場合はOSC3発振ONの後、充分な待ち時間をおいてからFOUTの出力を行ってください。FOUT信号はFOUT[3:0]とは同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。図7.5.1にFOUT信号の出力波形を示します。



図7.5.1 FOUT信号の出力波形

7.6 発振回路/クロック出力制御のI/Oメモリ

表7.6.1に発振回路とFOUTの制御ビットとそのアドレスを示します。

表7.6.1 発振回路/FOUTの制御ビット

アドレス	レジスタ名	R/W	初期値	設定/データ				機能	
FF00H	D3 CLKCHG	R/W	0	1	OSC3	0	OSC1	CPUクロック切り換え	
	D2 OSCC	R/W	0	1	On	0	Off	OSC3発振On/Off	
	D1 0 (*3)	R	- (*2)	-		未使用		未使用	
	D0 0 (*3)	R	- (*2)	-		未使用		未使用	
FF10H	D3 FOUT3	R/W	0	F	f ₃	B	f ₃ /16	7	f ₁
	D2 FOUT2	R/W	0	E	f ₃ /2	A	f ₃ /32	6	f ₁ /2
	D1 FOUT1	R/W	0	D	f ₃ /4	9	f ₃ /64	5	f ₁ /4
	D0 FOUT0	R/W	0	C	f ₃ /8	8	f ₃ /256	4	f ₁ /16
				8	f ₃ /256	4	f ₁ /16	0	Off
						FOUT周波数選択 (f ₁ = fosc ₁ , f ₃ = fosc ₃)			

*1 イニシャルリセット時の初期値 *2 回路上設定されない *3 読み出し時は常時"0"

*4 S1C63003/004/008では未使用 *5 S1C63003/004では未使用 *6 S1C63003では未使用

● OSCC: OSC3発振制御レジスタ (FF00H・D2)

OSC3発振回路の発振ON、OFFを制御します。

"1"書き込み: OSC3発振ON

"0"書き込み: OSC3発振OFF

読み出し: 可能

CPUや一部の周辺回路を高速動作させる必要のある場合にOSCCを"1"とし、それ以外の場合は、低消費電力化のため"0"としてください。イニシャルリセット時、このレジスタは"0"に設定されます。

● CLKCHG: CPUクロック切り換えレジスタ (FF00H・D3)

CPUの動作クロックを選択します。

"1"書き込み: OSC3クロックを選択

"0"書き込み: OSC1クロックを選択

読み出し: 可能

CPUの動作クロックはCLKCHGに"1"を設定した場合OSC3、"0"を設定した場合OSC1となります。

イニシャルリセット時、このレジスタは"0"に設定されます。

● FOUT[3:0]: FOUT周波数選択レジスタ (FF10H)

FOUT周波数を選択し、FOUT出力を制御します。

表7.6.2 FOUTクロック周波数

FOUT[3:0]	FOUT周波数
FH	fosc ₃
EH	fosc ₃ / 2
DH	fosc ₃ / 4
CH	fosc ₃ / 8
BH	fosc ₃ / 16
AH	fosc ₃ / 32
9H	fosc ₃ / 64
8H	fosc ₃ / 256
7H	fosc ₁ (32kHz)
6H	fosc ₁ / 2 (16kHz)
5H	fosc ₁ / 4 (8kHz)
4H	fosc ₁ / 16 (2kHz)
3H	fosc ₁ / 32 (1kHz)
2H	fosc ₁ / 64 (512Hz)
1H	fosc ₁ / 256 (128Hz)
0H	OFF

fosc₁: OSC1発振周波数、()内の周波数はfosc₁ = 32kHzの場合

fosc₃: OSC3発振周波数

FOUT周波数を選択する(1H~FHを書き込む)ことによってFOUT(P13)端子からFOUT信号が出力されます。FOUT[3:0]レジスタが"0"の場合、P13ポートは汎用入出力ポートとして機能します。イニシャルリセット時、このレジスタは"0"に設定されます。

7.7 注意事項

- CPUの高速動作を必要としない場合は低消費電力化のため、以下に示す設定内容にしたがって周辺回路を動作させてください。
 - CPU動作クロック OSC1
 - OSC3発振回路 OFF(周辺回路にOSC3クロックが必要ない場合)
 - クロックマネージャ 不要な周辺回路へのクロック供給を停止
- OSC3発振回路をONにしてから発振が安定するまでに、数10μsec～数10msecの時間を必要とします。したがって、CPUの動作クロック切り換え(OSC1→OSC3)はOSC3発振ONの後、充分な待ち時間をおいてから行ってください。発振開始時間は発振子、外付け部品によって変動します。"電気的特性"に発振開始時間の一例を示しますので参照してください。
- OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々の命令で行ってください。1命令で同時に処理すると、CPUの誤動作につながります。
- SLEEP時はOSC1とOSC3発振回路が共に停止します。SLEEPモードから起床した時点でCPUが誤動作しないようにするために、SLEEPモードへはCPUがOSC1クロックで動作している状態で移行してください。

8 ウオッチドッグタイマ

8.1 ウオッチドッグタイマの構成

S1C63003/004/008/016はOSC1分周クロック256Hzを源振とするウォッチドッグタイマを内蔵しています。ウォッチドッグタイマはイニシャルリセット時に動作状態に設定されますが、ソフトウェアにより動作を停止させることができます。ウォッチドッグタイマが動作中はソフトウェアにより周期的にリセットする必要があり、3~4秒以上リセットが行われない場合、CPUに対してノンマスカブル割り込み(NMI)を発生します。図8.1.1にウォッチドッグタイマのブロック図を示します。

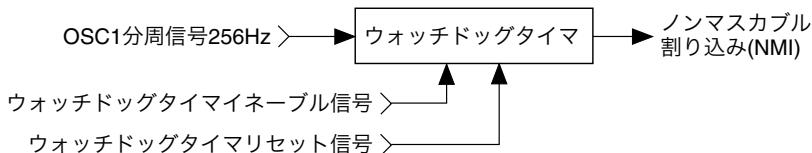


図8.1.1 ウォッチドッグタイマのブロック図

ウォッチドッグタイマは10ビットのバイナリカウンタで構成され、最終段0.25Hzのオーバーフローによってノンマスカブル割り込みを発生します。

プログラムのメインルーチン上でウォッチドッグタイマのリセット処理をすることにより、メインルーチンのウォッチドッグタイマ処理を通らないようなプログラムの暴走を検出することができます。通常はこのルーチンをタイマ割り込みルーチンのように、定期的に処理される箇所に組み込みます。

なお、ウォッチドッグタイマはHALT時も動作しており、HALT状態を3~4秒間続けるとノンマスカブル割り込みによりHALT状態が解除されます。

8.2 割り込み機能

ウォッチドッグタイマがソフトウェアによって周期的にリセットされない場合、コアCPUに対してノンマスカブル(NMI)割り込みが発生します。この割り込みはマスク不可能で、割り込み禁止状態(Iフラグ="0")でも受け付けられます(イニシャルリセット直後やスタックポインタ再設定時など、SP1およびSP2がペアで設定されるまでの割り込みマスク状態は除きます)。

NMIの割り込みベクタはプログラムメモリの0100Hに設定されています。

8.3 ウオッチドッグタイマのI/Oメモリ

表8.3.1にウォッチドッグタイマの制御ビットとそのアドレスを示します。

表8.3.1 ウォッチドッグタイマの制御ビット

アドレス	レジスタ名	R/W	初期値	設定/データ	機能
FF01H	D3	0 (*3)	R	- (*2)	-
	D2	0 (*3)	R	- (*2)	-
	D1	WDEN	R/W	1 1 Enable	ウォッチドッグタイマイネーブル
	D0	WDRST (*3)	W	(Reset) 1 Reset	ウォッチドッグタイマリセット(書き込み時)

*1 イニシャルリセット時の初期値 *2 回路上設定されない *3 読み出し時は常時"0"

*4 S1C63003/004/008では未使用 *5 S1C63003/004では未使用 *6 S1C63003では未使用

● WDRST: ウオッチドッグタイマリセット (FF01H・D0)

ウォッチドッグタイマをリセットするビットです。

"1"書き込み: ウオッチドッグタイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

WDRSTに"1"を書き込むことによりウォッチドッグタイマはリセットされ、その直後リスタートします。"0"の書き込みはノーオペレーションとなります。このビットは書き込み専用のため、読み出し時は常時"0"となります。

● WDEN: ウオッヂドッグタイママイネーブルレジスタ(FF01H·D1)

ウォッヂドッグタイマを使用する(イネーブル)かしない(ディセーブル)か選択します。

"1"書き込み: イネーブル

"0"書き込み: ディセーブル

読み出し: 可能

WDENレジスタに"1"を書き込むことによりウォッヂドッグタイマはイネーブルとなり、カウント動作を行います。"0"を書き込んだ場合はディセーブルとなり、カウント動作および割り込み(NMI)の発生も行いません。イニシャルリセット時、このレジスタは"1"にセットされます。

8.4 注意事項

- ウォッヂドッグタイマを使用する場合、3秒周期以内にソフトウェアでウォッヂドッグタイマをリセットする必要があります。
- イニシャルリセットにより、ウォッヂドッグタイマは動作状態に設定されますので、使用しない場合は割り込み(NMI)発生前にウォッヂドッグタイマをディセーブル(使用しない)に設定してください。

9 計時タイマ

9.1 計時タイマの構成

S1C63003/004/008/016はOSC1(水晶発振)を源振とする計時タイマを内蔵しています。計時タイマはfosc₁の分周クロック(256Hz)を入力クロックとする8ビットのバイナリカウンタで構成され、その8ビットデータ(128Hz～16Hzと8Hz～1Hz)をソフトウェアによって読み出すことができます。

図9.1.1に計時タイマのブロック図を示します。

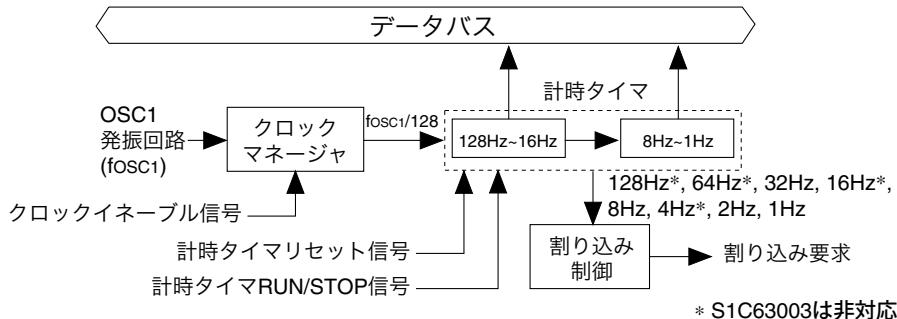


図9.1.1 計時タイマのブロック図

通常はこの計時タイマを、時計などのような各種の計時機能に用います。

9.2 動作クロックの制御

計時タイマの動作クロックはクロックマネージャがOSC1クロックを1/128に分周して生成します。計時タイマを動作させるには、RTCKEレジスタに"1"を書き込んでクロックを計時タイマに供給しておく必要があります。

表9.2.1 計時タイマクロックの制御

RTCKE	計時タイマクロック
1	fosc ₁ / 128 (256Hz)
0	OFF

計時タイマを動作させる必要がないときは、消費電流を低減させるためRTCKEを"0"に設定してクロック供給を停止してください。

9.3 データの読み出しとホールド機能

8ビットのタイマデータはアドレスFF41HとFF42Hに次のように割り付けられています。

<FF41H> D0:TM0 = 128Hz D1:TM1 = 64Hz D2:TM2 = 32Hz D3:TM3 = 16Hz
 <FF42H> D0:TM4 = 8Hz D1:TM5 = 4Hz D2:TM6 = 2Hz D3:TM7 = 1Hz

計時タイマのデータは2つのアドレスに割り付けられているため、カウント中に下位データ(TM[3:0]: 128Hz～16Hz)から上位データ(TM[7:4]: 8Hz～1Hz)への桁上げが発生します。下位データと上位データの読み出しの間にこの桁上げが発生すると、2つを合わせた内容が正しい値とはなりません(下位データがFFHと読み出されていて、上位データはその時点から1つカウントアップされた値になってしまいます)。これを避けるために、S1C63003/004/008/016では下位データを読み出した時点で上位データがラッチされるようになっています。ラッチされたデータは、次に下位データを読み出すまで保持されます。

注: 上位データは現在のカウントデータではなくラッチされた値が読み出されます。したがって、必ず下位データを先に読み出してください。

9.4 割り込み機能

計時タイマは128Hz*、64Hz*、32Hz、16Hz*、8Hz、4Hz*、2Hz、1Hzの各信号の立ち下がりエッジにおいて割り込みを発生させることができます。また、前記の各周波数に対して個別に割り込みをマスクするか否かを、ソフトウェアで設定することができます。図9.4.1に計時タイマのタイミングチャートを示します。

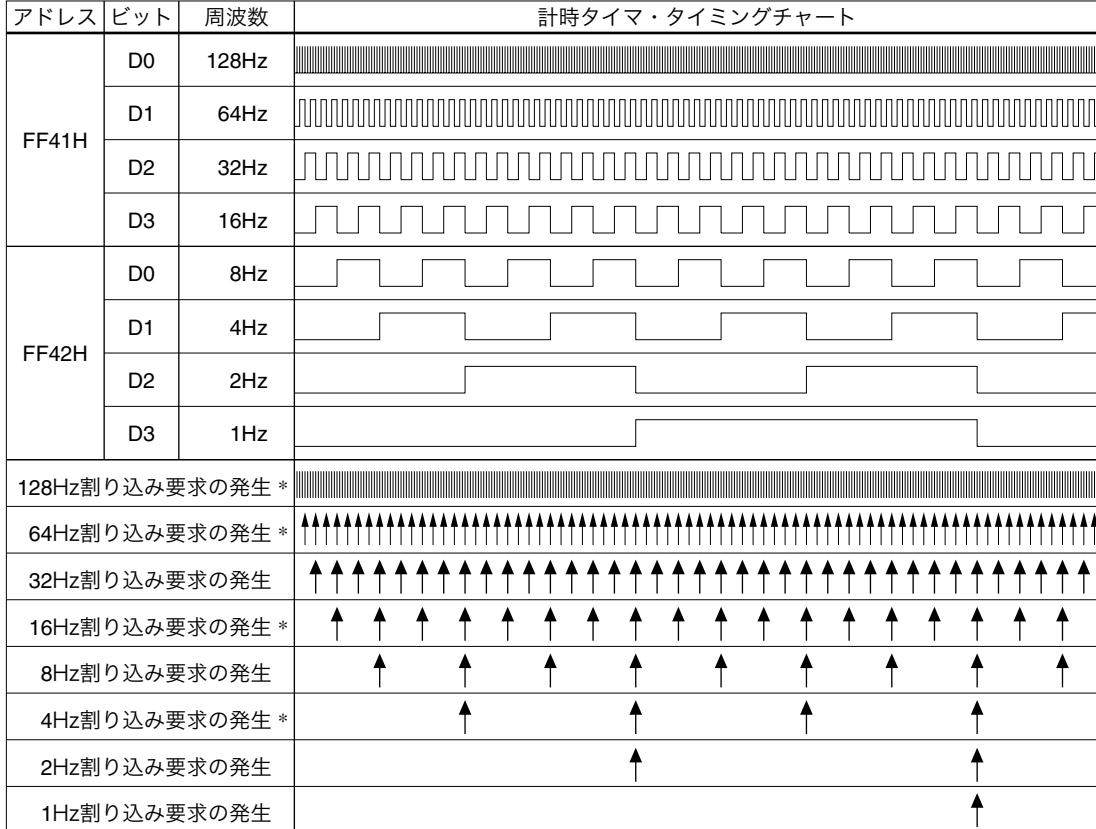


図9.4.1 計時タイマのタイミングチャート

図9.4.1に示すとおり、割り込みは各周波数(128Hz*、64Hz*、32Hz、16Hz*、8Hz、4Hz*、2Hz、1Hz)の信号の立ち下がりエッジによって発生します。また、この時点で対応する割り込み要因フラグ(IT0*、IT1*、IT2、IT3*、IT4、IT5*、IT6、IT7)が"1"にセットされます。各割り込みは、割り込みマスクレジスタ(EIT0*、EIT1*、EIT2、EIT3*、EIT4、EIT5*、EIT6、EIT7)によって、個別にマスクを選択することができます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応する信号の立ち下がりエッジで"1"にセットされます。

* S1C63003は非対応

9.5 計時タイマのI/Oメモリ

表9.5.1に計時タイマの制御ビットとそのアドレスを示します。

表9.5.1 計時タイマの制御ビット

アドレス	レジスタ名	R/W	初期値	設定/データ		機能			
FF16H	D3	MDCKE (*5)	R/W	0	1	Enable	0	Disable	乗除算クロックイネーブル
	D2	SGCKE	R/W	0	1	Enable	0	Disable	サウンドジェネレータクロックイネーブル
	D1	SWCKE	R/W	0	1	Enable	0	Disable	ストップウォッチタイマクロックイネーブル
	D0	RTCCKE	R/W	0	1	Enable	0	Disable	計時タイマクロックイネーブル

アドレス	レジスタ名	R/W	初期値	設定/データ	機能
FF40H	D3	R	0 (*3)	-	未使用
	D2	R	0 (*3)	-	未使用
	D1	W	TMRST (*3)	(Reset) 1 Reset 0 Invalid	計時タイマリセット(書き込み時)
	D0	R/W	0	1 Run 0 Stop	計時タイマRun/Stop
FF41H	D3	R	TM3	0H-FH	計時タイマデータ(16Hz)
	D2	R	TM2		計時タイマデータ(32Hz)
	D1	R	TM1		計時タイマデータ(64Hz)
	D0	R	TM0		計時タイマデータ(128Hz)
FF42H	D3	R	TM7	0H-FH	計時タイマデータ(1Hz)
	D2	R	TM6		計時タイマデータ(2Hz)
	D1	R	TM5		計時タイマデータ(4Hz)
	D0	R	TM4		計時タイマデータ(8Hz)

*1 イニシャルリセット時の初期値 *2 回路上設定されない *3 読み出し時は常時"0"

*4 S1C63003/004/008では未使用 *5 S1C63003/004では未使用 *6 S1C63003では未使用

● RTCKE: 計時タイマクロックイネーブル(FF16H・D0)

計時タイマクロックの供給を制御します。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

RTCKEに"1"を書き込むことによって、計時タイマの動作クロックがクロックマネージャから供給されます。計時タイマを動作させる必要がないときは、消費電流を低減させるためRTCKEを"0"に設定してクロック供給を停止してください。イニシャルリセット時、このレジスタは"0"に設定されます。

● TMRUN: 計時タイマRUN/STOP制御レジスタ(FF40H・D0)

計時タイマのRUN/STOPを制御します。

"1"書き込み: RUN

"0"書き込み: STOP

読み出し: 可能

計時タイマはTMRUNに"1"を書き込むことによりRUNし、"0"の書き込みによりSTOPします。STOP状態ではリセットか次にRUN状態にするまで、タイマのデータは保持されます。また、STOP状態からRUN状態にすることにより保持していたデータから継続して、カウントを進めることができます。イニシャルリセット時、このレジスタは"0"に設定されます。

● TMRST: 計時タイマリセット(FF40H・D1)

計時タイマをリセットするビットです。

"1"書き込み: 計時タイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

計時タイマは、TMRSTに"1"を書き込むことによりリセットされます。リセットは計時タイマが停止している状態(TMRUN = "0")で行ってください。"0"の書き込みはノーオペレーションとなります。このビットは書き込み専用のため、読み出し時は常時"0"となります。

● TM[7:0]: タイマデータ(FF42H, FF41H)

計時タイマの128Hz～1Hzのタイマデータが読み出せます。この8ビットは読み出し専用のため、書き込み動作は無効となります。下位データTM[3:0](FF41H)を読み出すことにより、その時点の上位データTM[7:4](FF42H)がラッチされます。上位データは現在のカウントデータではなくラッチされた値が読み出されます。したがって、必ず下位データを先に読み出してください。イニシャルリセット時、タイマデータは"00H"に初期化されます。

9.6 注意事項

- データの読み出しへ必ず下位データTM[3:0](FF41H)から先に行ってください。
- 計時タイマのカウントクロックとCPUのクロックは非同期に動作しているため、カウントデータの読み出しとカウントアップ動作のタイミングによっては、正しい値が得られない可能性があります。これを防ぐには、以下に示すいずれかの方法で計時タイマのカウントデータを読み出してください。
 - カウントデータを2度続けて読み出して、データが正しいことを(2つが大きくずれていないことを)確認してください。
 - 正確なカウントデータが必要な場合には、計時タイマを一旦停止させてから読み出してください。
- 計時タイマをリセット(TMRST = "1")する際は、計時タイマを同時にRUN状態(TMRUN = "1")に設定しないでください。同時に設定するとリセットできない場合があります。

10 ストップウォッチタイマ

10.1 ストップウォッチタイマの構成

S1C63003/004/008/016は、1/1,000秒単位のストップウォッチタイマを内蔵しています。ストップウォッチタイマはプリスケーラより出力される1,000Hz信号を入力クロックとする4ビット3段のBCDカウンタで構成され、ソフトウェアにより1/1,000秒、1/100秒、1/10秒の各4ビット単位でデータを読み出すことができます。また、S1C63004/008/016は入力ポートP00およびP01を使用して、キー入力によってストップウォッチタイマのRUN/STOPおよびLAPを制御するダイレクト入力機能も持っています。図10.1.1にストップウォッチタイマのブロック図を示します。

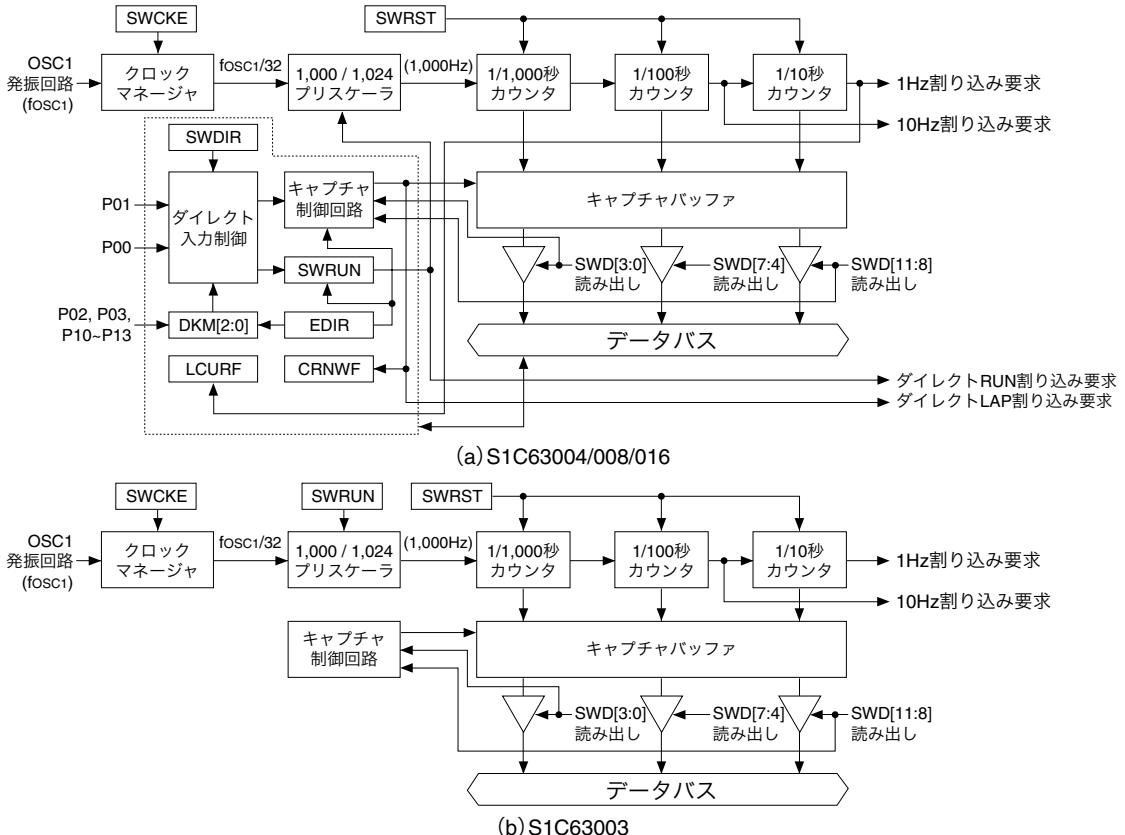


図10.1.1 ストップウォッチタイマの構成

ストップウォッチタイマは計時タイマとは別のタイマとして使用でき、特にデジタルウォッチのストップウォッチ機能などをソフトウェアで容易に実現することができます。

10.2 動作クロックの制御

ストップウォッチタイマの動作クロックはクロックマネージャがOSC1クロックを1/32に分周して生成します。計時タイマを動作させるには、SWCKEレジスタに"1"を書き込んでクロックをストップウォッチタイマに供給しておく必要があります。

表10.2.1 ストップウォッチタイマクロックの制御

SWCKE	ストップウォッチタイマクロック
1	fosc1 / 32 (1kHz)
0	OFF

ストップウォッチタイマを動作させる必要がないときは、消費電流を低減させるためSWCKEを"0"に設定してクロック供給を停止してください。

10.3 カウンタとプリスケーラ

ストップウォッチタイマは、それぞれ4ビットのBCDカウンタSWD[3:0]、SWD[7:4]およびSWD[11:8]で構成されています。

ストップウォッチタイマ前段のカウンタSWD[3:0]は、プリスケーラより出力される1,000Hz信号を入力クロックとして1/1,000秒ごとのカウントアップを行い、100Hz信号を発生します。中段のカウンタSWD[7:4]はSWD[3:0]が出力する100Hz信号をクロックとして1/100秒ごとのカウントアップを行い、10Hz信号を出力します。同様に、後段のカウンタSWD[11:8]は1/10秒ごとのカウントアップを行って1Hz信号を発生します。

プリスケーラはOSCI発振回路の出力を分周した1,024Hzのクロックを入力し、1,000HzのSWD[3:0]カウントクロックを出力します。1,024Hzから1,000Hzのクロックを作成するため、1秒間にプリスケーラに入力される1,024個のパルスから24個のパルスを抜き取るという方法をとっています。

カウンタが以下に示す値となった場合、その直後にプリスケーラに入力される1,024Hzのパルスが1個抜き取られます。

パルス補正が行われるカウンタ値(mssec)

39, 79, 139, 179, 219, 259, 299, 319, 359, 399, 439, 479,
539, 579, 619, 659, 699, 719, 759, 799, 839, 879, 939, 979

図10.3.1にプリスケーラの動作を示します。

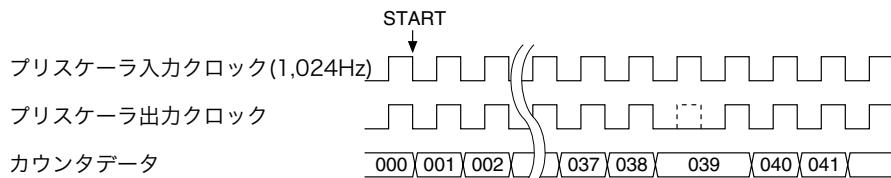


図10.3.1 プリスケーラの動作タイミング

上記の理由により、パルス補正時以外のカウントクロックは1,024Hz(0.9765625mssec)となります。したがって、プリスケーラの出力クロック(1,000Hz)、およびカウンタSWD[3:0]、SWD[7:4]が発生する100Hz、10Hz信号の周波数は近似値となります。

10.4 キャプチャバッファとホールド機能

ストップウォッチタイマの1/1,000秒データ、1/10秒データ、1/10秒データは、それぞれSWD[3:0](FF4BH)、SWD[7:4](FF4CH)、SWD[11:8](FF4DH)から読み出すことができます。読み出しの際は各カウンタのデータがキャプチャバッファにラッチされ、3ワードの読み出しが終了するまでデータがホールドされます。これによって、3ワードの読み出しの途中で下位桁からの桁上げが発生した場合でも正しいデータを読み出すことができます。なお、キャプチャバッファへはSWD[3:0](1/1,000秒)の読み出しを行った時点で3個のカウンタのデータが同時にラッチされ、SWD[11:8](1/10秒)の読み出しが終了した時点でデータのホールドが解除されるようになっています。したがって、データの読み出しはSWD[3:0]→SWD[7:4]→SWD[11:8]の順に行ってください。データがホールドされていない状態でSWD[7:4]あるいはSWD[11:8]を先に読み出した場合は、ホールド機能が働かずカウンタのデータが直接読み出されます。ストップウォッチタイマがRUN状態でホールドされていないデータを読み出した場合、正しいデータかどうかを判断することができません。

S1C63004/008/016のストップウォッチタイマには外部キー入力によるLAP(ラップ)機能があります(後述)。キャプチャバッファは、このLAP(ラップ)データをホールドするためにも使用されます。この場合も、SWD[11:8]が読み出されるまでデータがホールドされます。ただし、ホールドされているデータの読み出しを終了する前にLAP入力が行われた場合はその時点でキャプチャバッファの内容が更新されてしまいます。読み残していたデータは更新されて無効となりますので、SWD[11:8]を読み出してもホールド状態は解除されません。キャプチャバッファが更新されている状態でSWD[11:8]を読み出しますと、その時点でキャプチャ更新フラグCRNWFが"1"にセットされますので、この場合は再度SWD[3:0]からの読み出しを行う必要があります。キャプチャ更新フラグはSWD[11:8]の読み出しごとに更新されます。

図10.4.1にデータのホールドと読み出しのタイミングを示します。

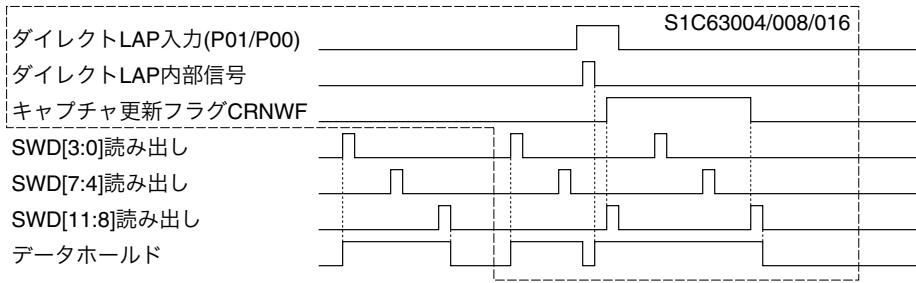


図10.4.1 データのホールドと読み出し

10.5 ストップウォッチタイマのRUN/STOPおよびリセット

ストップウォッチタイマはソフトウェアによってRUN/STOPの制御、およびリセットが行えます。

ストップウォッチタイマのRUN/STOP

ストップウォッチタイマはレジスタSWRUNに"1"を書き込むことによってRUN、"0"の書き込みでSTOPします。ストップウォッチタイマをRUNさせると、その時点のカウンタの内容から継続してカウントアップを行います。STOPさせた場合は、その後もその時点のカウンタの内容を保持します。レジスタSWRUNの書き込みによるストップウォッチタイマのRUN/STOPの動作は、プリスケーラの入力クロックと同じ1,024Hzの立ち下りエッジに同期して行われます。

なおSWRUNは読み出しも可能で、その場合はストップウォッチタイマの動作状態を示します。

図10.5.1にSWRUNレジスタ制御時の動作タイミングを示します。

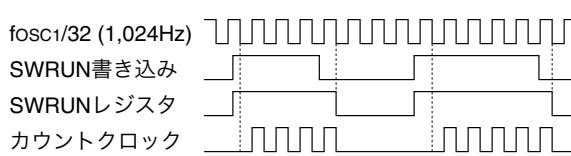


図10.5.1 SWRUNレジスタ制御時の動作タイミング

次項で説明するダイレクト入力機能を設定した場合は、RUN/STOPの制御を外部キー入力によって行います。その場合は、SWRUNがストップウォッチタイマの動作状態を示す読み出し専用のレジスタとなります(S1C63004/008/016)。

ストップウォッチタイマのリセット

ストップウォッチタイマはレジスタSWRSTに"1"を書き込むことによってリセットされ、カウンタは"000"にクリアされます。このリセットはキャプチャバッファに影響を与えませんので、ホールド状態のキャプチャバッファのデータはクリアされずにそのまま保持されます。なお、ストップウォッチタイマがRUN状態でリセットすると、カウンタが"000"の状態からカウント動作を継続します。STOP状態でリセットした場合は、次にRUNするまでカウンタは"000"を保持します。

10.6 ダイレクト入力機能とキーマスク [S1C63004/008/016]

S1C63004/008/016のストップウォッチタイマにはダイレクト入力機能があり、外部キー入力によってストップウォッチタイマのRUN/STOPおよびLAPを制御することができます。この機能はレジスタEDIRに"1"を書き込むことによって設定します。EDIRが"0"の場合は前項で説明したソフトウェア制御のみとなります。

入力ポートの選択

ダイレクト入力機能を使用する場合、入力ポートP00とP01をRUN、STOPおよびLAPキー入力に使用します。この割り当てはSWDIRレジスタで次のように選択できます。

表10.6.1 RUN/STOPとLAPキー入力ポート

SWDIR	P00	P01
0	RUN/STOP	LAP
1	LAP	RUN/STOP

ダイレクトRUN

ダイレクト入力機能を設定した場合は、入力ポートP00/P01(SWDIRで選択)に接続したキーの入力によってストップウォッチタイマのRUN/STOPを制御することができます。P00/P01は通常の入力ポートとして働き、入力信号がストップウォッチの制御回路に送られます。

P00/P01キー入力はトグル動作となり、ストップウォッチタイマがSTOP状態で入力されるとRUN、RUN状態で入力されるとSTOPします。ストップウォッチタイマのRUN/STOPの状態はレジスタSWRUNを読み出すことで確認できます。また、このダイレクトRUN入力により割り込みが発生します。キー入力信号はSWRUNレジスタ制御のときと同様に1,024Hz信号の立ち下がりエッジでサンプリングされます。チャタリング判定はキー OFF時に行われ、46.8msec～62.5msec以下のチャタリングが除去されます。したがって、RUNとSTOPそれぞれのキー入力の間隔はこの時間以上が必要です。

図10.6.1にダイレクトRUN入力時の動作タイミングを示します。

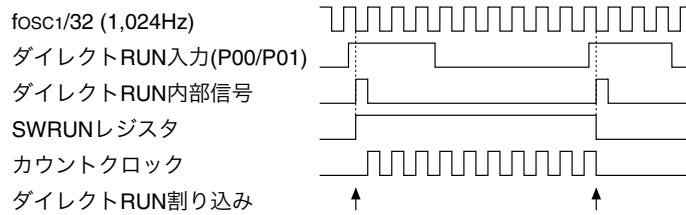


図10.6.1 ダイレクトRUN入力時の動作タイミング

ダイレクトLAP

ダイレクトRUNと同様にLAPの制御もキー入力によって行えます。ダイレクト入力機能を設定すると、入力ポートP01/P00(SWDIRで選択)がLAPキーの入力ポートとなります。入力信号のサンプリングおよびチャタリング判定はダイレクトRUNの場合と同様です。

LAP入力が行われると、その時点のカウンタデータがキャプチャバッファにラッピングされ、データをホールドします。カウンタはカウント動作を継続します。また、このダイレクトLAP入力により割り込みが発生します。

前述したように、データはSWD[11:8]が読み出されるまでホールドされます。すでにデータがホールドされている状態でLAPの入力が行われた場合は、キャプチャバッファの内容が更新されてしまい、その後SWD[11:8]の読み出しを行った際にキャプチャ更新フラグCRNWFが"1"にセットされます。この場合は、SWD[11:8]の読み出しによってホールド状態は解除されずに、さらにホールド状態を継続します。LAPデータは、割り込み発生後に読み出しを行いますが、そのあとには必ずキャプチャ更新フラグを確認してください。キャプチャ更新フラグがセットされている場合は、更新されたデータがキャプチャバッファにホールドされていますので再度読み出しを行ってください。

また、SWD[11:8]のオーバーフローによって1秒桁への桁上げが必要になった場合、ストップウォッチタイマは1Hz割り込み要因フラグISW1を"1"にセットします。

この1Hz割り込み要因フラグISW1が"1"にセットされている間に、キャプチャバッファがホールド状態(SWD[3:0]読み出し時またはLAP入力時)になるとラップデータ桁上げ要求フラグが"1"にセットされ、LAP入力などの処理において1秒桁への桁上げが必要であることを示します。これは、ソフトウェアによる通常の処理方法として、1Hz割り込みによる1sec桁以上の処理よりもLAPの処理が優先されると考えられますので、LAP処理による時間表示において1秒桁のデータが1秒だけ少なくなることを防ぐために必要となります。したがって、LAP処理前にラップデータ桁上げ要求フラグLCURFを確認してください。このフラグはキャプチャバッファがホールド状態になるごとに更新されます。

図10.6.2にダイレクトLAP入力時の動作タイミングを示します。

図10.6.3にダイレクトLAP入力時のデータホールドと読み出しのタイミングを示します。

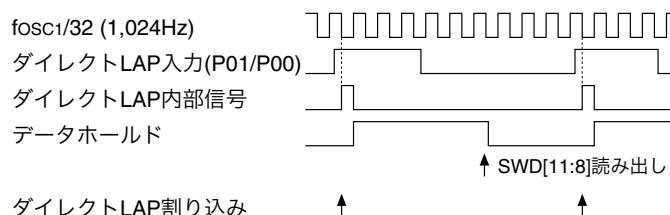


図10.6.2 ダイレクトLAP入力時の動作タイミング

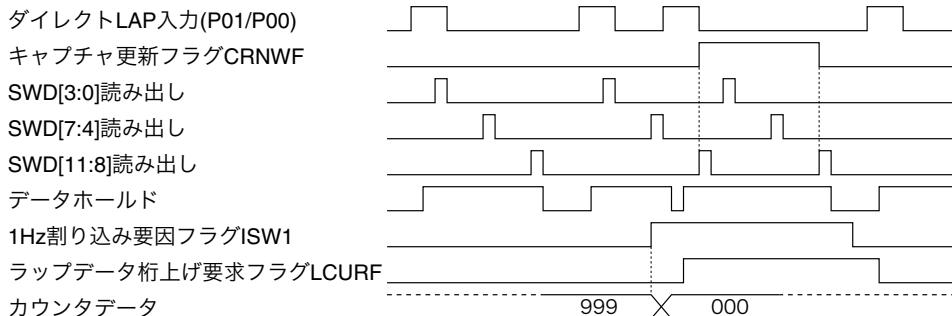


図10.6.3 ダイレクトLAP入力時のデータホールドと読み出し

キーマスク

ストップウォッチのアプリケーションにおいて、ダイレクトRUNまたはダイレクトLAPを含むキーの組み合わせによって機能を制御するような場合があります。たとえば、あるキーが押されている状態でRUNキーが入力された場合に、RUNキーをリセットや時計合わせ等の他の目的に使用するような場合です。このときにはダイレクトRUN、あるいはダイレクトLAPの機能を無効としてストップウォッチがその動作を行わないようにする必要があります。このために、キー入力の競合判定を行い、RUNおよびLAPを無効とするキーマスク機能が設けられています。この競合判定を行うキー入力の組み合わせをレジスタDKM[2:0]によって選択することができます。

表10.6.2 キーマスク選択

DKM[2:0]	競合判定組み合わせ
0H	なし(リセット時)
1H	P02
2H	P02, P03
3H	P02, P03, P10
4H	P10
5H	P10, P11
6H	P10, P11, P12
7H	P10, P11, P12, P13

RUNまたはLAP入力は以下の場合に無効となります。

1. 選択した組み合わせに含まれる1つ以上のキー(以下、マスクと記述)が入力されている状態でRUNまたはLAPが入力された場合
2. マスクが解除された時点でRUNまたはLAPが入力されている場合

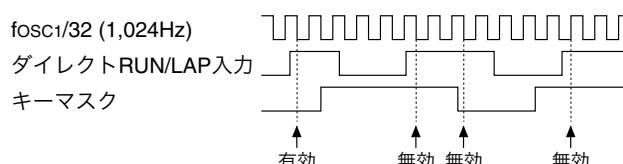


図10.6.4 キーマスクの動作

RUN、LAP入力が有効となるのは以下の場合です。

1. RUNまたはLAPのどちらか一方が単独で無入力状態から入力された場合
 2. RUNおよびLAPの両方が同時に無入力状態から入力された場合(RUN、LAP共に有効)
 3. RUNまたはLAPのどちらか一方が入力されている状態でもう一方が入力された場合(RUN、LAP共に有効)
 4. RUNまたはLAPのどちらか一方とマスクが同時に無入力状態から入力された場合
 5. RUNおよびLAPの両方とマスクが同時に無入力状態から入力された場合(RUN、LAP共に有効)
- * キーの同時入力とはキー入力のサンプリングが1,024Hzクロックの同じ立ち下がりエッジで行われたことをいいます。

10.7 割り込み機能

10Hz、1Hz割り込み

ストップウォッチタイマSWD[7:4]とSWD[11:8]はそれぞれのオーバーフローにより、10Hzと1Hzの割り込みを発生させることができます。また、それぞれの周波数に対して、個別に割り込みのマスクをするかしないかをソフトウェアで設定することができます。図10.7.1にカウンタのタイミングチャートを示します。

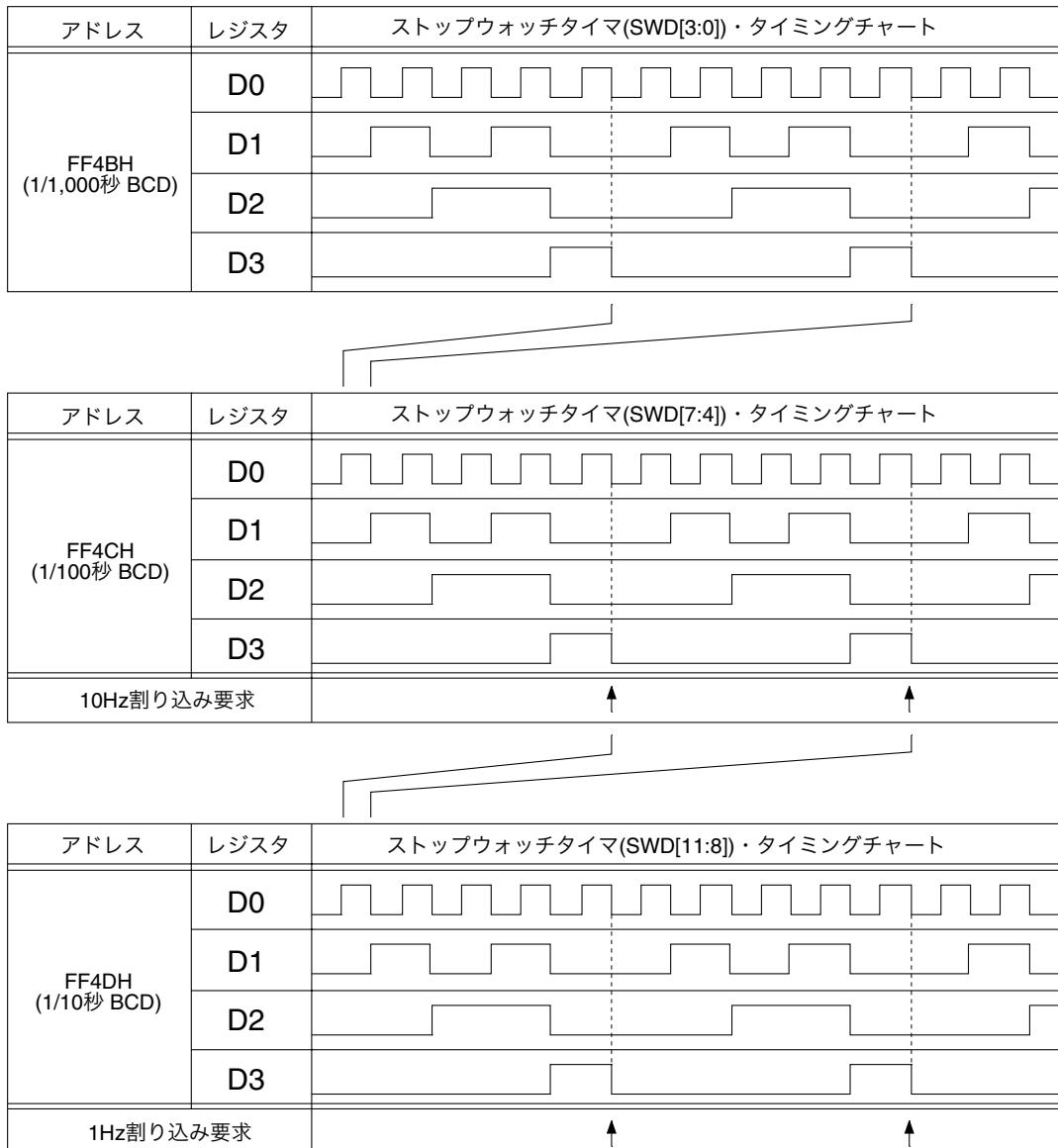


図10.7.1 カウンタのタイミングチャート

図10.7.1に示すとおり、割り込みはそれぞれのカウンタのオーバーフロー("9"から"0"への変化)によって発生します。また、この時点で対応する割り込み要因フラグ(ISW10, ISW1)が"1"にセットされます。それぞれの割り込みは、割り込みマスクレジスタ(EISW10, EISW1)によって、個別にマスクを選択することができます。ただし、割り込み要因フラグ(ISW10, ISW1)は割り込みマスクレジスタの設定にかかわらず、対応するカウンタのオーバーフローで"1"にセットされます。

ダイレクトRUN、ダイレクトLAP割り込み [S1C63004/008/016]

ダイレクト入力機能を設定している場合は、ダイレクトRUNおよびダイレクトLAPの入力により割り込みを発生させることができます。それぞれの割り込みは、ダイレクト信号を1,024Hz信号の立ち下がりでサンプリングした後のダイレクトRUN、ダイレクトLAPの各内部信号の立ち上がりエッジで発生し、その時点で割り込み要因フラグ(IRUN、ILAP)が"1"にセットされます。この割り込み要因もそれぞれに対応する割り込みマスクレジスタ(EIRUN、EILAP)によってマスクすることができます。ただし、割り込み要因フラグ(IRUN、ILAP)は割り込みマスクレジスタの設定にかかわらず、RUN、LAPの入力によって"1"にセットされます。

ダイレクトRUNとダイレクトLAPはP00ポートとP01ポートを使用します。このため、入出力兼用ポートP00～P03の割り込み条件の設定によっては、ダイレクト入力割り込みとP00～P03入力割り込みが同時に発生することがあります。したがって、ダイレクト入力割り込みを使用する場合は、P00およびP01入力によって入力割り込みが発生しないように割り込み選択レジスタSIP00およびSIP01を"0"に設定してください。

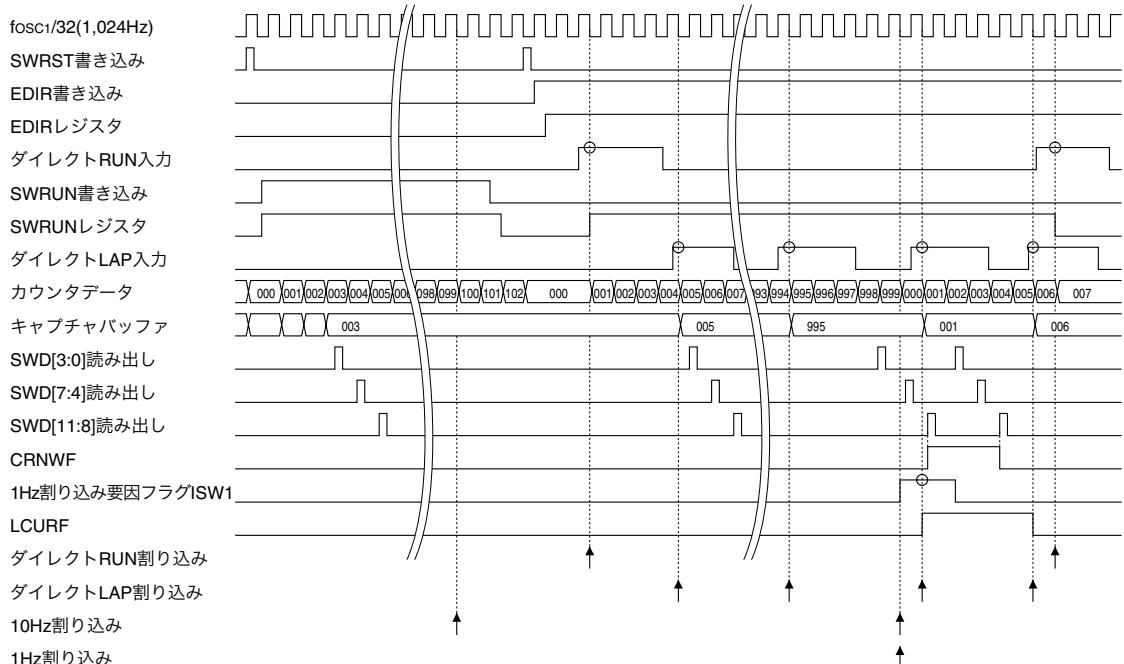


図10.7.2 ストップウォッチタイマのタイミングチャート

10.8 ストップウォッチタイマのI/Oメモリ

表10.8.1にストップウォッチタイマの制御ビットとそのアドレスを示します。

表10.8.1 ストップウォッチタイマの制御ビット

アドレス	レジスタ名	R/W	初期値	設定/データ				機能
FF16H	D3 MDCKE (*5)	R/W	0	1	Enable	0	Disable	乗除算クロックイネーブル
	D2 SGCKE	R/W	0	1	Enable	0	Disable	サウンドジェネレータクロックイネーブル
	D1 SWCKE	R/W	0	1	Enable	0	Disable	ストップウォッチタイマクロックイネーブル
	D0 RTCKE	R/W	0	1	Enable	0	Disable	計時タイマクロックイネーブル
FF48H (*6)	D3 0 (*3)	R	- (*2)	-				未使用
	D2 0 (*3)	R	- (*2)	-				未使用
	D1 SWDIR	R/W	0	1	P00 = Lap P01 = Run/Stop	0	P00 = Run/Stop P01 = Lap	ストップウォッチダイレクト入力切り換え
	D0 EDIR	R/W	0	1	Enable	0	Disable	ダイレクト入力イネーブル
FF49H (*6)	D3 0 (*3)	R	- (*2)	-				未使用
	D2 DKM2	R/W	0	7	P10-13	4	P10 P02-03,10	キーマスク選択
	D1 DKM1	R/W	0	6	P10-12	3	P02-03,10 No mask	
	D0 DKM0	R/W	0	5	P10-11	2	P02-03	

10 ストップウォッチタイマ

アドレス	レジスタ名	R/W	初期値	設定/データ			機能
FF4AH	D3 LCURF (*6)	R	0	1 Request	0	No	ラップデータ桁上げ要求フラグ
	D2 CRNWF (*6)	R	0	1 Renewal	0	No	キャプチャ更新フラグ
	D1 SWRUN	R/W	0	1 Run	0	Stop	ストップウォッチタイマRun/Stop
	D0 SWRST (*3)	W	(Reset)	1 Reset	0	Invalid	ストップウォッチタイマリセット(書き込み時)
FF4BH	D3 SWD3	R	0	0~9			ストップウォッチタイマデータ BCD(1/1000秒)
	D2 SWD2	R	0				
	D1 SWD1	R	0				
	D0 SWD0	R	0				
FF4CH	D3 SWD7	R	0	0~9			ストップウォッチタイマデータ BCD(1/100秒)
	D2 SWD6	R	0				
	D1 SWD5	R	0				
	D0 SWD4	R	0				
FF4DH	D3 SWD11	R	0	0~9			ストップウォッチタイマデータ BCD(1/10秒)
	D2 SWD10	R	0				
	D1 SWD9	R	0				
	D0 SWD8	R	0				

*1 イニシャルリセット時の初期値 *2 回路上設定されない *3 読み出し時は常時"0"

*4 S1C63003/004/008では未使用 *5 S1C63003/004では未使用 *6 S1C63003では未使用

● SWCKE: ストップウォッチタイマクロックイネーブル(FF16H・D1)

ストップウォッチタイマクロックの供給を制御します。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

SWCKEに"1"を書き込むことによって、ストップウォッチタイマの動作クロックがクロックマネージャから供給されます。ストップウォッチタイマを動作させる必要がないときは、消費電流を低減させるためSWCKEを"0"に設定してクロック供給を停止してください。イニシャルリセット時、このレジスタは"0"に設定されます。

● EDIR: ダイレクト入力機能イネーブルレジスタ(FF48H・D0) – S1C63004/008/016

ダイレクト入力(RUN/LAP)機能を有効/無効に設定します。

"1"書き込み: 有効

"0"書き込み: 無効

読み出し: 可能

EDIRに"1"を書き込むことによりダイレクト入力機能が有効となり、外部キー入力によるRUN/STOP、LAPの制御が行えます。"0"を書き込んだ場合はダイレクト入力機能が無効となり、ストップウォッチタイマはソフトウェア制御となります。なお、このレジスタにデータを書き込み後、実際の機能の切り替えはfosc1/32(1,024Hz)の立ち下がりエッジに同期して(最大977μsec後)行われます。イニシャルリセット時、このレジスタは"0"に設定されます。

● SWDIR: ダイレクト入力切り換えレジスタ(FF48H・D1) – S1C63004/008/016

P00ポート、P01ポートのダイレクト入力割り付けを切り替えます。

"1"書き込み: P00 = LAP, P01 = RUN/STOP

"0"書き込み: P00 = RUN/STOP, P01 = LAP

読み出し: 可能

ダイレクト入力用のキー割り付けを行います。EDIRに"1"を書き込むことによりP00、P01ポートの入力がRUN、STOP、LAP入力としてストップウォッチに取り込まれます。イニシャルリセット時、このレジスタは"0"に設定されます。

● DKM[2:0]: キーマスク選択(FF49H・D[2:0]) – S1C63004/008/016

ダイレクト入力機能設定時にRUN、LAP入力との競合判定を行うキー入力の組み合わせを選択します。

表10.8.2 キーマスク選択

DKM[2:0]	競合判定組み合わせ
0H	なし(リセット時)
1H	P02
2H	P02, P03
3H	P02, P03, P10
4H	P10
5H	P10, P11
6H	P10, P11, P12
7H	P10, P11, P12, P13

競合を検出した場合は、競合が解除されるまでRUN、LAP入力は受け付けられなくなります。イニシャルリセット時、これらのレジスタは"0"に設定されます。

● SWRST: ストップウォッチタイマリセット(FF4AH·D0)

ストップウォッチタイマをリセットします。

"1"書き込み: ストップウォッチタイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

ストップウォッチタイマはSWRSTに"1"を書き込むことによりリセットされます。ストップウォッチタイマがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合はリセットデータがカウンタに保持されます。このリセットはキャプチャバッファに影響を与えませんので、ホールド状態のキャプチャバッファのデータはクリアされずにそのまま保持されます。このビットは書き込み専用のため、読み出し時は常時"0"となります。

● SWRUN: ストップウォッチタイマRUN/STOP(FF4AH·D1)

ストップウォッチタイマのRUN/STOPの制御、および動作状態のモニタが行えます。

書き込み時

"1"書き込み: RUN

"0"書き込み: STOP

ストップウォッチタイマはSWRUNに"1"を書き込むことによりRUNし、"0"の書き込みによりSTOPします。STOP状態ではリセットか次にRUN状態にするまで、タイマのデータは保持されます。また、STOP状態からRUN状態にすることにより保持していたデータから継続して、カウントを進めることができます。このレジスタへの書き込みによるRUN/STOPの制御は、ダイレクト入力機能をディセーブルに設定してある場合にのみ有効で、ダイレクト入力機能設定時は無効となります(S1C63003は常に有効)。

読み出し時

"1"読み出し: RUN

"0"読み出し: STOP

読み出しがダイレクト入力機能の設定にかかわらず有効で、ストップウォッチタイマがRUN状態の場合に"1"、STOP状態で"0"となります。イニシャルリセット時、このレジスタは"0"に設定されます。

● CRNWF: キャプチャ更新フラグ(FF4AH·D2) – S1C63004/008/016

キャプチャバッファの内容が更新されたことを示すフラグです。

"1"読み出し: 更新あり

"0"読み出し: 更新なし

書き込み: 無効

キャプチャバッファにホールドされたデータの読み出しが終了していない場合にLAP入力があると、キャプチャバッファの内容が更新されます。その状態でSWD[11:8]を読み出すとこのフラグが"1"にセットされ、さらにホールド状態が継続されます。したがって、LAP入力によってホールドされたデータを読み出した場合は、SWD[11:8]の読み出しの後にこのフラグの読み出しを行ってデータが更新されていないか確認してください。このフラグはSWD[11:8]の読み出し時に更新されます。イニシャルリセット時、このフラグは"0"に設定されます。

● LCURF: ラップデータ桁上げ要求フラグ(FF4AH·D3) – S1C63004/008/016

データホールド時に発生している1秒桁への桁上げを示すフラグです。ダイレクト入力モード以外では無効です。

"1"読み出し: 桁上げ要

"0"読み出し: 桁上げ不要

書き込み: 無効

割り込み要因フラグISW1が"1"にセットされている間に、キャプチャバッファがホールド状態になるとLCURFが"1"にセットされ、ホールドされたデータが1秒桁への桁上げを必要としていることを示します。したがって、1Hzの割り込み処理よりもLAP入力などの処理を優先する場合には、処理前にこのフラグの読み出しを行って桁上げが必要か確認してください。このフラグはキャプチャバッファがホールド状態になるごとに更新(セット/リセット)されます。イニシャルリセット時、このフラグは"0"に設定されます。

● SWD[3:0]: ストップウォッチャタイマデータ1/1,000秒(FF4BH)

キャプチャバッファ 1/1,000秒桁のデータ(BCD)が読み出せます。このデータを読み出すことにより、キャプチャバッファのホールド機能が働きます。この4ビットは読み出し専用のため、書き込み動作は無効となります。イニシャルリセット時、タイマデータは"0"に設定されます。

● SWD[7:4]: ストップウォッチャタイマデータ1/100秒(FF4CH)

キャプチャバッファ 1/100秒桁のデータ(BCD)が読み出せます。この4ビットは読み出し専用のため、書き込み動作は無効となります。イニシャルリセット時、タイマデータは"0"に設定されます。

● SWD[11:8]: ストップウォッチャタイマデータ1/10秒(FF4DH)

キャプチャバッファ 1/10秒桁のデータ(BCD)が読み出せます。この4ビットは読み出し専用のため、書き込み動作は無効となります。イニシャルリセット時、タイマデータは"0"に設定されます。

注: データの読み出しは必ず下位データ(SWD[3:0])から先に行ってください。

10.9 注意事項

- ・ストップウォッチャタイマのリセット後、割り込み要因フラグをリセットしてください。
- ・データの読み出しは必ずSWD[3:0] → SWD[7:4] → SWD[11:8]の順に行ってください。
- ・LAP入力によってホールドされたデータを読み出した場合は、SWD[11:8]の読み出しの後にキャプチャ更新フラグCRNWFの読み出しを行ってデータが更新されていないか確認してください。
- ・1Hzの割り込み処理よりもLAP入力などの処理を優先する場合には、処理前にラップデータ桁上げ要求フラグLCURFの読み出しを行って桁上げが必要か確認してください。

11 プログラマブルタイマ

11.1 プログラマブルタイマの構成

S1C63004/008/016は2系統(Ch.A、Ch.B)、S1C63003は1系統(Ch.A)のプログラマブルタイマを内蔵しています。各系統の構成は次のとおりです。タイマの構成はソフトウェアで設定可能です。

表11.1.1 プログラマブルタイマの構成

機種	Ch.A		Ch.B	
	8ビットモード	16ビットモード	8ビットモード	16ビットモード
S1C63016			タイマ2とタイマ3 (8ビット×2チャネル)	タイマ2+タイマ3 (16ビット×1チャネル)
S1C63008	タイマ0とタイマ1 (8ビット×2チャネル)	タイマ0+タイマ1 (16ビット×1チャネル)		
S1C63004			タイマ2 (8ビット×1チャネル)	なし
S1C63003	タイマ0 (8ビット×1チャネル)		なし	

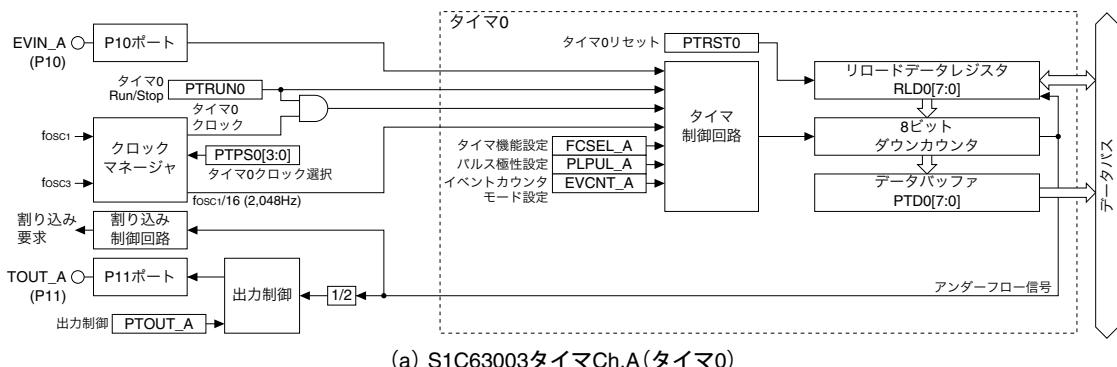
図11.1.1にプログラマブルタイマの構成を示します。

各タイマには、8ビットのダウンカウンタと、リロードデータレジスタが設けられています。ダウンカウンタはソフトウェアで選択した周波数の内部クロックでカウントダウンを行います。また、タイマ0、タイマ2は、EVIN_A(P10)、EVIN_B(P22)端子から入力したクロックのカウントを行うをイベントカウンタ機能も合わせ持っています。指定クロックのカウントによりアンダーフローが発生すると、アンダーフロー信号および割り込み信号を出力し、カウンタ初期値のプリセットを行います。リロードデータレジスタはダウンカウンタの初期値を設定するレジスタです。

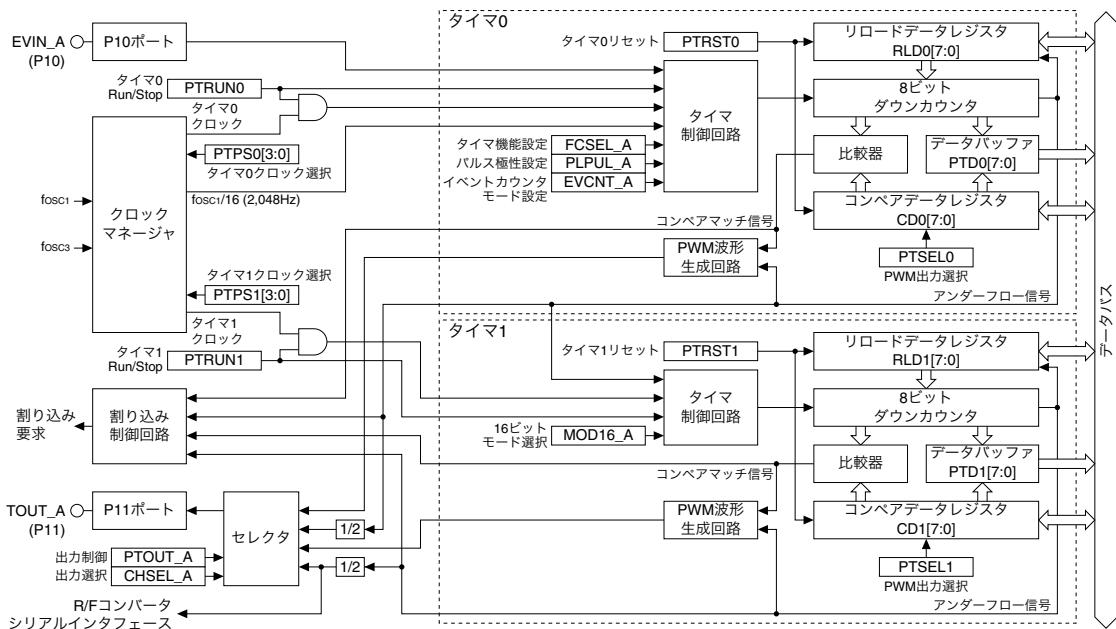
タイマ1(S1C63004/008/016)のアンダーフロー信号は、R/Fコンバータ、シリアルインタフェースのクロック源として使用できるため、R/Fコンバータのカウントクロックやシリアルデータ転送レートをプログラマブルに設定可能です。

S1C63004/008/016の各タイマには8ビットのコンペアデータレジスタも設けられています。このレジスタはダウンカウンタの内容と比較するためのデータを格納するレジスタです。タイマをPWMモードに設定すると、ダウンカウンタとコンペアデータレジスタの内容が一致した時点でコンペアマッチ信号が 출력され、割り込みも発生します。アンダーフロー信号とコンペアマッチ信号からPWM波形を生成することができます。

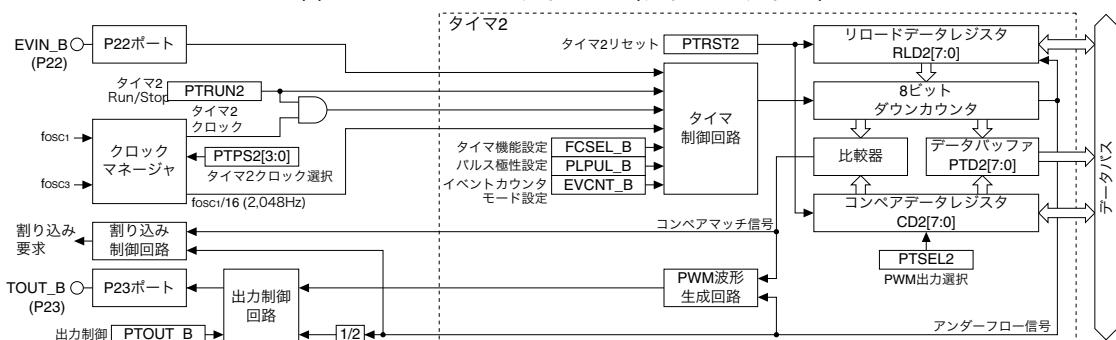
プログラマブルタイマで生成した信号は、TOUT_A(P11)、TOUT_B(P23)端子から外部に出力させることができます。



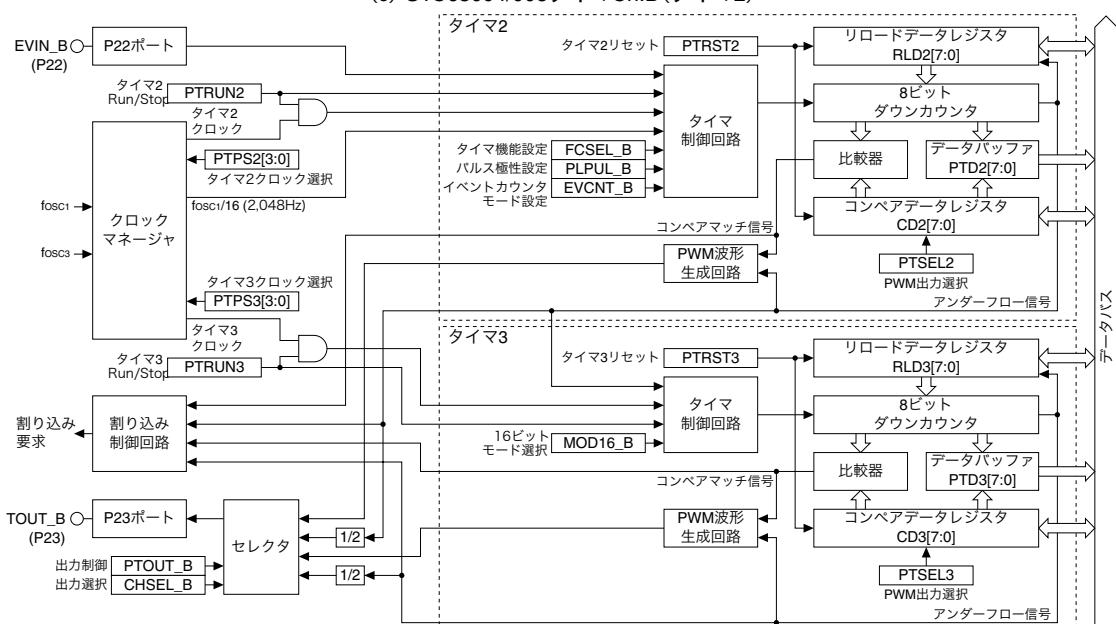
11 プログラマブルタイマ



(b) S1C63004/008/016タイマCh.A(タイマ0 & タイマ1)



(c) S1C63004/008タイマCh.B(タイマ2)



(d) S1C63016タイマCh.B(タイマ2 & タイマ3)

図11.1.1 プログラマブルタイマの構成

- 注:
- S1C63003のプログラマブルタイマには以下の機能が搭載されていません。
 - タイマ1～タイマ3
 - EVIN_B入力とTOUT_B出力
 - 16ビットモード
 - コンペアデータレジスタと比較器
 - PWM出力機能とコンペアマッチ割り込み
 - R/Fコンバータへのクロック供給機能
 - S1C63004/008のプログラマブルタイマには以下の機能が搭載されていません。
 - タイマ3
 - Ch.Bの16ビットモード
 - 各タイマの基本機能は、レジスタ名、入出力ポートやその信号名を除き同一です。特定のタイマ番号(0～3)やチャネル番号(AまたはB)の記述がない限り、本節内の説明は全タイマに適用されます。レジスタ名等の"x"はタイマ番号(0～3)を表します。
- 例 タイマx→タイマ0～タイマ3に置き換え可能
PTRUNxレジスタ→PTRUN0～PTRUN3レジスタに置き換え可能
- TOUT_AとTOUT_B端子でバイポーラトランジスタなど大電流を消費する外付け部品を駆動する際は、外付け部品の動作がICの電源に影響しないよう基板パターンを設計してください。詳しくは、Appendixの"実装上の注意事項"を参照してください。

11.2 動作クロックの制御

各タイマのダウンカウント用クロックはクロックマネージャがOSC1クロックまたはOSC3クロックを分周して生成します。クロックマネージャは表11.2.1に示す15種類のカウントクロックをプログラマブルタイマに供給可能で、使用するクロックをカウントクロック周波数選択レジスタPTPSx[3:0]でタイマごとに選択できるようになっています。イニシャルリセット時、PTPSx[3:0]レジスタは"0H"に設定され、クロックマネージャからプログラマブルタイマへのクロック供給は停止状態になります。タイマ機能を使用する場合は、タイマを制御する前に、必要なクロックを選択してクロック供給を開始してください。

表11.2.1 カウントクロック周波数の選択

PTPSx[3:0]	タイマクロック
FH	fosc3
EH	fosc3 / 2
DH	fosc3 / 4
CH	fosc3 / 8
BH	fosc3 / 16
AH	fosc3 / 32
9H	fosc3 / 64
8H	fosc3 / 256
7H	fosc1 (32kHz)
6H	fosc1 / 2 (16kHz)
5H	fosc1 / 4 (8kHz)
4H	fosc1 / 16 (2kHz)
3H	fosc1 / 32 (1kHz)
2H	fosc1 / 64 (512Hz)
1H	fosc1 / 256 (128Hz)
0H	OFF

fosc1: OSC1発振周波数、()内の周波数はfosc1 = 32kHzの場合

fosc3: OSC3発振周波数

以下のタイマについては消費電流低減のため、PTPSx[3:0]レジスタを"0H"にしてクロック供給を停止してください。

- 使用しないタイマ
- 外部クロックを入力してイベントカウンタとして使用するタイマ
- 16ビットタイマ×1チャネルとして使用する場合の上位8ビット側のタイマ(タイマ1、タイマ3)

11.3 カウンタの基本動作

ここでは、各タイマを個々に8ビットタイマとして使用する場合の基本動作を説明します。

各タイマにはそれぞれ、8ビットのダウンカウンタとリロードデータレジスタが設けられています。

リロードデータレジスタRLDx[7:0]はカウンタの初期値を設定するレジスタです。

ダウンカウンタは、リロードデータレジスタに設定された初期値を、タイマリセットビットPTRSTxへの"1"書き込みによってロードします。したがって、このロードされた初期値からカウントクロックによるダウンカウントが行われます。

各タイマにはそれぞれ、RUN/STOPを制御するレジスタPTRUNxが設けられています。リロードデータをカウンタにプリセットした後、本レジスタに"1"を書き込むことによってダウンカウントを開始します。"0"を書き込むとクロックの入力が禁止され、カウントを停止します。

このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

カウンタのデータ読み出しがデータバッファPTDx[7:0]を介して行います。下位、上位4ビットずつソフトウェアにより任意のタイミングで読み出しが可能です。

ただし、このカウンタも計時タイマと同様に下位データ(PTDx[3:0])、上位データ(PTDx[7:4])読み出し間の桁下げを防止するため、下位データの読み出しにより上位データがホールドされるようになっています。したがって、データの読み出しは必ず下位データから先に行ってください。

カウンタはダウンカウントが進んでアンダーフローが発生すると、リロードデータレジスタに設定された初期値をリロードします。初期値をリロード後は、その初期値からダウンカウントを継続します。

このアンダーフロー信号はカウンタのリロードのほか、割り込みの発生、外部へのパルス(TOUT_A/TOUT_B信号)出力を制御します。またタイマ1(S1C63004/008/016)のアンダーフロー信号からはシリアルインターフェースとR/Fコンバータに供給するクロックが生成されます。

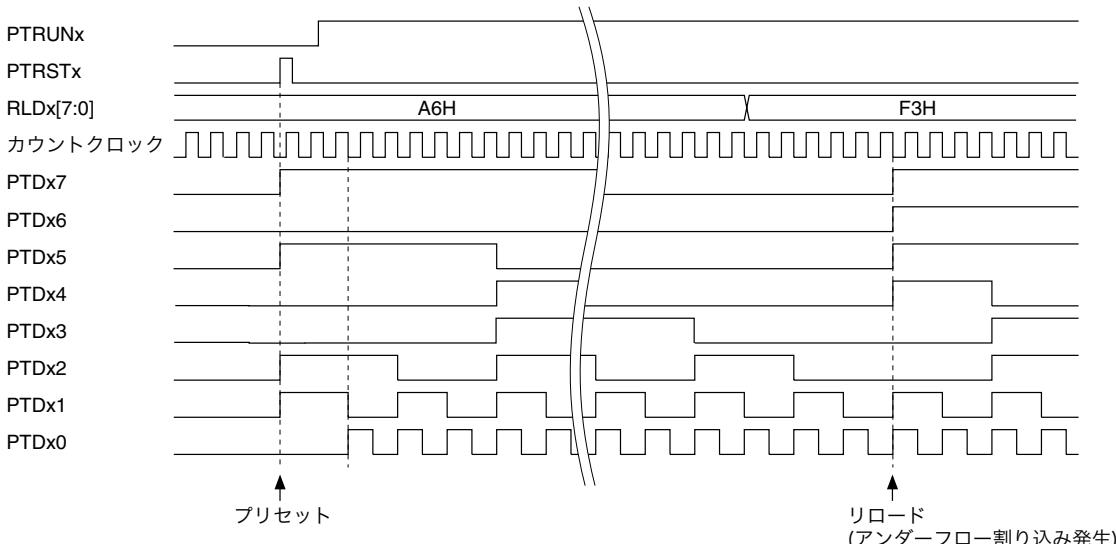


図11.3.1 カウンタの基本動作タイミング

11.4 イベントカウンタモード(タイマ0、タイマ2)

タイマ0/タイマ2には、入出力兼用ポート端子から外部クロックを入力してカウントを行うイベントカウンタ機能があります。タイマとクロック入力ポートの対応は以下のとおりです。

表11.4.1 イベントカウンタクロック入力ポート

タイマ	外部クロック入力端子	制御レジスタ
タイマ0 (Ch.A)	EVIN_A (P10)	EVCNT_A
タイマ2 (Ch.B) *	EVIN_B (P22) *	EVCNT_B *

* S1C63004/008/016

この機能は、カウンタモード選択レジスタEVCNT_A/EVCNT_Bに"1"を書き込むことによって選択されます。

これにより、対応する入出力兼用ポートが入力モードに設定され、入力信号がカウントクロックとしてタイマ0/タイマ2に送られます。

イニシャルリセット時はEVCNT_A/EVCNT_Bが"0"に設定され、タイマ0/タイマ2は内部クロックをカウントする通常のタイマとなります。

イベントカウンタモードでは、外部からタイマ0/タイマ2にクロックが供給されるため、カウントクロック周波数選択レジスタPTPS0[3:0]/PTPS2[3:0]の設定は無効となります。

ダウンカウントのタイミングは、パルス極性選択レジスタPLPUL_A/PLPUL_Bによって、立ち下がりエッジまたは立ち上がりエッジのどちらかが選択できます。レジスタPLPUL_A/PLPUL_Bに"0"を書き込んだ場合が立ち下がりエッジ、"1"を書き込んだ場合が立ち上がりエッジとなり、図11.4.1に示すタイミングでダウンカウントが行われます。

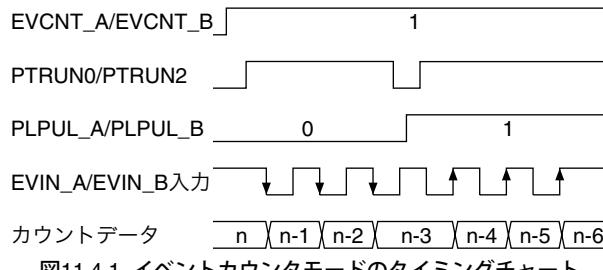


図11.4.1 イベントカウンタモードのタイミングチャート

イベントカウンタモードにはこのほかに、外部クロック(EVIN_A/EVIN_B)入力に対してチャタリング等のノイズを除去するノイズリジェクタ付加機能があります。この機能はタイマ機能選択レジスタFCSEL_A/FCSEL_Bに"1"を書き込むことによって選択されます。

ノイズリジェクタ付きを選択した場合は確実なカウントを行うために、LOWレベル/HIGHレベル共に0.98msec*以上のパルス幅を確保する必要があります。ノイズリジェクタは、EVIN_A/EVIN_B端子の入力レベルが変化してから二度目の内部2,048Hz*信号の立ち下がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msec*以下となります。（*は $fosc_1 = 32.768\text{kHz}$ の場合の値です。）

図11.4.2にノイズリジェクタ付加時のダウンカウントタイミングを示します。

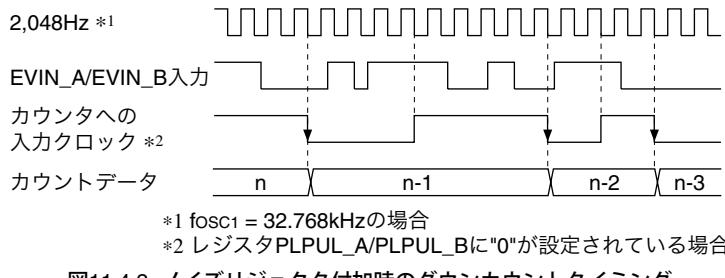


図11.4.2 ノイズリジェクタ付加時のダウンカウントタイミング

イベントカウンタモードの動作は、入力クロックが外部クロック(EVIN_A/EVIN_B)となること以外は通常のタイマ動作と同等です。カウントの基本的な動作と制御については"11.3 カウンタの基本動作"を参照してください。

11.5 PWMモード(タイマ0～タイマ3) [S1C63004/008/016]

S1C63004/008/016の各タイマにはPWM波形を生成する機能があります。この機能を使用する場合は、PTSELxレジスタに"1"を書き込んで、対応するタイマをPWMモードに設定します。

PWM波形を制御するために、各タイマにはコンペアデータレジスタCDx[7:0]が設けられています。PWMモードでは、コンペアデータレジスタに設定したデータがカウントデータと比較され、一致した時点での内部のコンペアマッチ信号が生成されます。同時にコンペアマッチ割り込みも発生します。また、タイマから外部に出力されるパルスがアンダーフロー信号で立ち上がり、コンペアマッチ信号で立ち下がります。図11.5.1に示すように、リロードデータレジスタで出力信号の周期を、コンペアデータレジスタでデューティ比を制御してPWM波形を生成することができます。

ただし、RLD(リロードデータ) > CD(コンペアデータ)、CD ≠ 0としておく必要があります。RLD ≤ CDの場合、出力信号はアンダーフロー以降立ち下がることなく "1" に固定されます。

これによって生成したPWM信号は、TOUT_A(P11)、TOUT_B(P23)から出力させることができます(11.8項参照)。

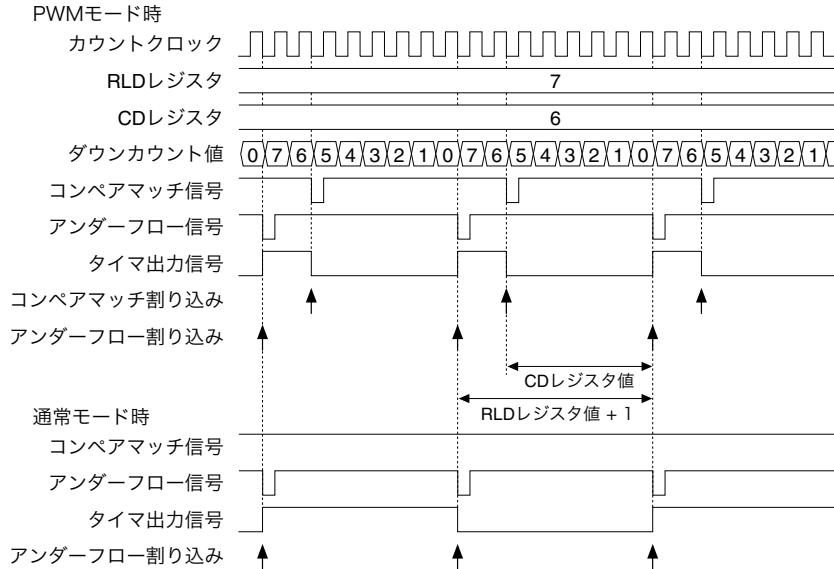


図11.5.1 PWM波形の生成

11.6 16ビットタイマモード(タイマ0+1, タイマ2+3) [S1C63004/008/016]

S1C63004/008/016では、Ch.Aのタイマ0と1を連結して16ビットタイマとして使用することができます。

S1C63016ではCh.Bのタイマ2と3も16ビットタイマとして使用することができます。

Ch.A(タイマ0と1)を16ビットタイマとして使用する場合は、タイマ0の16ビットモード選択レジスタ MOD16_Aに"1"を書き込みます。16ビットタイマは、タイマ0を下位バイト、タイマ1を上位バイトとして図11.6.1のように構成されます。

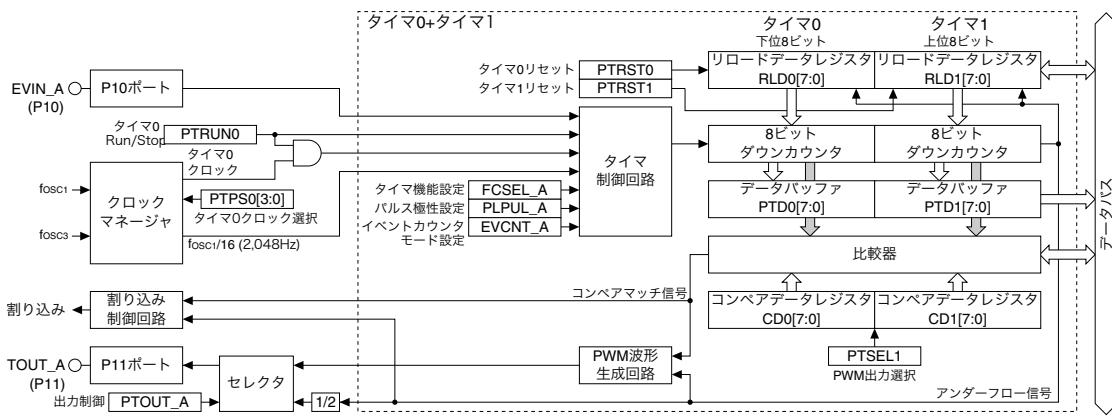


図11.6.1 16ビットタイマの構成(タイマ0+タイマ1)

16ビットタイマモードに設定すると、タイマのRUN/STOP制御、カウントクロック周波数の選択は、タイマ0のレジスタ設定が有効になります。イベントカウンタ機能も有効になります。タイマ1はタイマ0のアンダーフロー信号をカウントクロックとして使用するため、タイマ1用のRUN/STOP制御、カウントクロック周波数選択レジスタは無効になります。ただし、PWM出力機能はタイマ1の制御レジスタで選択する必要があります。TOUT_Aの出力には、自動的にタイマ1からの出力信号が選択されます(TOUT_A出力選択レジスタは無効になります)。リロードデータをプリセット(PTRSTx)する制御は、タイマ0とタイマ1それぞれに必要です。

なお、16ビットタイマのカウントデータの読み込み時は、必ず最下位データから読み出してください。16ビットタイマモード時は、最下位データ(PTD0[3:0])を読み出すことにより、上位データ(PTD0[7:4]、PTD1[3:0]、PTD1[7:4])がラッチされます。カウンタは継続して動作しますが、ラッチされたカウントデータは、次に最下位データを読み出すまではホールドされます。したがって、最下位データ(PTD0[3:0])を読み出し後は、上位データ(PTD0[7:4]、PTD1[3:0]、PTD1[7:4])の読み出し順序に留意する必要はありません。最下位データ(PTD0[3:0])以外の読み出しではホールド機能が働かないため、正しいデータを読み出すことができません。

S1C63016のCh.B(タイマ2と3)を16ビットタイマとして使用する場合も、制御方法は上記と同様です。

11.7 割り込み機能

プログラマブルタイマは、各タイマのアンダーフロー信号、およびコンペアマッチ信号によって割り込みを発生させることができます。割り込みタイミングについては図11.3.1および図11.5.1を参照してください。

- 注: • コンペアマッチ割り込みは、各タイマをPWMモードに設定している場合にのみ発生します。
- S1C63003でコンペアマッチ割り込みを使用することはできません。

タイマのアンダーフロー信号/コンペアマッチ信号によって、対応する割り込み要因フラグIPTx/ICTCxが"1"にセットされ、割り込みが発生します。各割り込み要因フラグに対応した割り込みマスクレジスタEPTx/EICTCxの設定により、割り込みをマスクすることもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応するタイマのアンダーフロー/コンペアマッチで"1"にセットされます。

Ch.Aを16ビットタイマとして使用している場合は、タイマ1のアンダーフローで割り込みが発生します。この場合、タイマ0のアンダーフローではIPT0はセットされません。コンペアマッチ割り込みの場合もタイマ1のICTC1を使用します。Ch.Bの場合も同様です。

11.8 TOUT出力の設定

プログラマブルタイマCh.A/Ch.Bは、アンダーフロー信号とコンペアマッチ信号によってTOUT_A/TOUT_B信号を発生させることができます。通常モードではアンダーフローを1/2分周した信号がTOUT_A/TOUT_B信号として出力されます。PWMモード(S1C63004/008/016)の場合は前述のとおり生成されたPWM信号がTOUT_A/TOUT_B信号として出力されます。

表11.8.1 TOUT出力と制御レジスタ(S1C63016)

出力端子	出力制御レジスタ	出力選択レジスタ設定	出力タイマ
TOUT_A (P11)	PTOUT_A	CHSEL_A = "0"	タイマ0
		CHSEL_A = "1"	タイマ1
TOUT_B (P23)	PTOUT_B	CHSEL_B = "0"	タイマ2
		CHSEL_B = "1"	タイマ3

表11.8.2 TOUT出力と制御レジスタ(S1C63004/008)

出力端子	出力制御レジスタ	出力選択レジスタ設定	出力タイマ
TOUT_A (P11)	PTOUT_A	CHSEL_A = "0"	タイマ0
		CHSEL_A = "1"	タイマ1
TOUT_B (P23)	PTOUT_B	-	タイマ2

表11.8.3 TOUT出力と制御レジスタ(S1C63003)

出力端子	出力制御レジスタ	出力選択レジスタ設定	出力タイマ
TOUT_A (P11)	PTOUT_A	-	タイマ0

TOUT出力選択レジスタCHSEL_A/CHSEL_Bによって、タイマ0/タイマ2とタイマ1/タイマ3のどちらの出力を使用するか選択することができます(S1C63003はタイマ0に固定)。16ビットタイマモード時にTOUT_A/TOUT_B信号を生成する場合は、CHSEL_A/CHSEL_Bの設定にかかわらず常にタイマ1/タイマ3が選択されます。

11 プログラマブルタイマ

各タイマが生成したTOUT信号は、外部デバイスに対するクロック供給などのために、TOUT_A(P11)、TOUT_B(P23)端子から出力させることができます。

TOUT_A/TOUT_B信号の出力はレジスタPTOUT_A/PTOUT_Bによって制御します。PTOUT_A/PTOUT_Bに"1"を設定するとTOUT_A/TOUT_B信号が対応するポート端子から出力されます。TOUT出力時は入出力兼用ポートが自動的に出力モードに設定され、タイマから送られたTOUT_A/TOUT_B信号を出力します。I/O制御レジスタ(IOC11/IOC23)およびデータレジスタ(P11/P23)の設定は無効になります。PTOUT_A/PTOUT_Bを"0"に設定した場合は、入出力兼用ポートの制御レジスタの設定が有効になります。

なお、TOUT_A/TOUT_B信号はレジスタPTOUT_A/PTOUT_Bとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。図11.8.1にTOUT_A/TOUT_B信号の出力波形を示します。

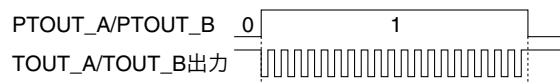


図11.8.1 TOUT信号の出力波形

11.9 シリアルインタフェース, R/Fコンバータへのクロック出力

[S1C63004/008/016]

S1C63004/008/016では、タイマ1のアンダーフローを1/2分周した信号をシリアルインタフェースおよびR/Fコンバータのクロック源として使用することができます。タイマ1がRUN(PTRUN1="1")状態の間は、シリアルインタフェースおよびR/Fコンバータへ常にクロックが出力されますので、PTOUT_Aレジスタによる制御は不要です。

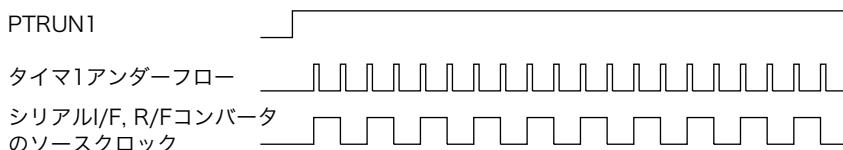


図11.9.1 シリアルインタフェース, R/Fコンバータへのクロック出力

シリアルインタフェースの転送速度に対するRLD1xレジスタへの設定値は次式のようになります。

$$RLD1x = \frac{f_{CNT1}}{2 * bps} - 1$$

fCNT1: PTPS1レジスタで設定したタイマ1カウントクロック周波数(表11.2.1参照)

bps: 転送速度

(RLD1xには00Hも設定可能)

シリアルインタフェースのクロック周波数は最大1MHzに制限されますので、OSC3を源振として使用する場合は注意してください。

11.10 プログラマブルタイマのI/Oメモリ

表11.10.1にプログラマブルタイマの制御ビットとそのアドレスを示します。

表11.10.1 プログラマブルタイマの制御ビット

アドレス	レジスタ名	R/W	初期値	設定/データ				機能
FF18H	D3	PTPS03	R/W	0	F f ₃	B f ₃ /16	7 f ₁	3 f ₁ /32 プログラマブルタイマ0 カウントクロック周波数選択 (f ₁ = fosc1, f ₃ = fosc3)
	D2	PTPS02	R/W	0	E f ₃ /2	A f ₃ /32	6 f ₁ /2	2 f ₁ /64
	D1	PTPS01	R/W	0	D f ₃ /4	9 f ₃ /64	5 f ₁ /4	1 f ₁ /256
	D0	PTPS00	R/W	0	C f ₃ /8	8 f ₃ /256	4 f ₁ /16	0 Off
FF19H (*)6	D3	PTPS13	R/W	0	F f ₃	B f ₃ /16	7 f ₁	3 f ₁ /32 プログラマブルタイマ1 カウントクロック周波数選択 (f ₁ = fosc1, f ₃ = fosc3)
	D2	PTPS12	R/W	0	E f ₃ /2	A f ₃ /32	6 f ₁ /2	2 f ₁ /64
	D1	PTPS11	R/W	0	D f ₃ /4	9 f ₃ /64	5 f ₁ /4	1 f ₁ /256
	D0	PTPS10	R/W	0	C f ₃ /8	8 f ₃ /256	4 f ₁ /16	0 Off

アドレス	レジスタ名	R/W	初期値	設定/データ						機能						
FF1AH (*6)	D3 PTPS23	R/W	0	F f ₃	B f ₃ /16	7 f ₁	3 f ₁ /32	プログラマブルタイマ2 カウントクロック周波数選択 (f ₁ = fosc ₁ , f ₃ = fosc ₃)								
	D2 PTPS22	R/W	0	E f ₃ /2	A f ₃ /32	6 f ₁ /2	2 f ₁ /64									
	D1 PTPS21	R/W	0	D f ₃ /4	9 f ₃ /64	5 f ₁ /4	1 f ₁ /256									
	D0 PTPS20	R/W	0	C f ₃ /8	8 f ₃ /256	4 f ₁ /16	0 Off									
FF1BH (*4)	D3 PTPS33	R/W	0	F f ₃	B f ₃ /16	7 f ₁	3 f ₁ /32	プログラマブルタイマ3 カウントクロック周波数選択 (f ₁ = fosc ₁ , f ₃ = fosc ₃)								
	D2 PTPS32	R/W	0	E f ₃ /2	A f ₃ /32	6 f ₁ /2	2 f ₁ /64									
	D1 PTPS31	R/W	0	D f ₃ /4	9 f ₃ /64	5 f ₁ /4	1 f ₁ /256									
	D0 PTPS30	R/W	0	C f ₃ /8	8 f ₃ /256	4 f ₁ /16	0 Off									
FF80H	D3 MOD16_A (*6)	R/W	0	1 16 bits	0 8 bits	PTM0-1 16ビットモード選択										
	D2 EV_CNT_A	R/W	0	1 Event counter	0 Timer	PTM0カウンタモード選択										
	D1 FCSEL_A	R/W	0	1 With noise reject	0 No noise reject	PTM0機能選択(イベントカウンタモード時)										
	D0 PLPUL_A	R/W	0	1 ↑ (positive)	0 ↓ (negative)	PTM0パルス極性選択(イベントカウンタモード時)										
FF81H	D3 PTSEL1 (*6)	R/W	0	1 PWM	0 Normal	プログラマブルタイマ1 PWM出力選択										
	D2 PTSEL0 (*6)	R/W	0	1 PWM	0 Normal	プログラマブルタイマ0 PWM出力選択										
	D1 CHSEL_A (*6)	R/W	0	1 Timer 1	0 Timer 0	PTM0-1 TOUT_A 出力選択										
	D0 PTOUT_A	R/W	0	1 On	0 Off	PTM0-1 TOUT_A 出力制御										
FF82H	D3 PTRST1 (*3,*6)	W	- (*2)	1 Reset	0 Invalid	プログラマブルタイマ1リセット(リロード)										
	D2 PTRUN1 (*6)	R/W	0	1 Run	0 Stop	プログラマブルタイマ1 Run/Stop										
	D1 PTRST0 (*3)	W	- (*2)	1 Reset	0 Invalid	プログラマブルタイマ0リセット(リロード)										
	D0 PTRUN0	R/W	0	1 Run	0 Stop	プログラマブルタイマ0 Run/Stop										
FF84H	D3 RLD03	R/W	0	0H-FH						プログラマブルタイマ0リロードデータ (下位4ビット) RLD00 = LSB						
	D2 RLD02	R/W	0													
	D1 RLD01	R/W	0													
	D0 RLD00	R/W	0													
FF85H	D3 RLD07	R/W	0	0H-FH						プログラマブルタイマ0リロードデータ (上位4ビット) RLD07 = MSB						
	D2 RLD06	R/W	0													
	D1 RLD05	R/W	0													
	D0 RLD04	R/W	0													
FF86H (*6)	D3 RLD13	R/W	0	0H-FH						プログラマブルタイマ1リロードデータ (下位4ビット) RLD10 = LSB						
	D2 RLD12	R/W	0													
	D1 RLD11	R/W	0													
	D0 RLD10	R/W	0													
FF87H (*6)	D3 RLD17	R/W	0	0H-FH						プログラマブルタイマ1リロードデータ (上位4ビット) RLD17 = MSB						
	D2 RLD16	R/W	0													
	D1 RLD15	R/W	0													
	D0 RLD14	R/W	0													
FF88H	D3 PTD03	R	0	0H-FH						プログラマブルタイマ0データ(下位4ビット) PTD00 = LSB						
	D2 PTD02	R	0													
	D1 PTD01	R	0													
	D0 PTD00	R	0													
FF89H	D3 PTD07	R	0	0H-FH						プログラマブルタイマ0データ(上位4ビット) PTD07 = MSB						
	D2 PTD06	R	0													
	D1 PTD05	R	0													
	D0 PTD04	R	0													
FF8AH (*6)	D3 PTD13	R	0	0H-FH						プログラマブルタイマ1データ(下位4ビット) PTD10 = LSB						
	D2 PTD12	R	0													
	D1 PTD11	R	0													
	D0 PTD10	R	0													
FF8BH (*6)	D3 PTD17	R	0	0H-FH						プログラマブルタイマ1データ(上位4ビット) PTD17 = MSB						
	D2 PTD16	R	0													
	D1 PTD15	R	0													
	D0 PTD14	R	0													
FF8CH (*6)	D3 CD03	R/W	0	0H-FH						プログラマブルタイマ0コンペアデータ (下位4ビット) CD00 = LSB						
	D2 CD02	R/W	0													
	D1 CD01	R/W	0													
	D0 CD00	R/W	0													

11 プログラマブルタイマ

アドレス	レジスタ名	R/W	初期値	設定/データ	機能	
FF8DH (*6)	D3 CD07	R/W	0	0H-FH	プログラマブルタイマ0コンペアデータ (上位4ビット) CD07 = MSB	
	D2 CD06	R/W	0			
	D1 CD05	R/W	0			
	D0 CD04	R/W	0			
FF8EH (*6)	D3 CD13	R/W	0	0H-FH	プログラマブルタイマ1コンペアデータ (下位4ビット) CD10 = LSB	
	D2 CD12	R/W	0			
	D1 CD11	R/W	0			
	D0 CD10	R/W	0			
FF8FH (*6)	D3 CD17	R/W	0	0H-FH	プログラマブルタイマ1コンペアデータ (上位4ビット) CD17 = MSB	
	D2 CD16	R/W	0			
	D1 CD15	R/W	0			
	D0 CD14	R/W	0			
FF90H (*6)	D3 MOD16_B (*4)	R/W	0	1 16 bits	0 8 bits	PTM2-3 16ビットモード選択
	D2 EVCNT_B	R/W	0	1 Event counter	0 Timer	PTM2カウンタモード選択
	D1 FCSEL_B	R/W	0	1 With noise reject	0 No noise reject	PTM2機能選択(イベントカウンタモード時)
	D0 PLPUL_B	R/W	0	1 ↑ (positive)	0 ↓ (negative)	PTM2/パルス極性選択(イベントカウンタモード時)
FF91H (*6)	D3 PTSEL3 (*4)	R/W	0	1 PWM	0 Normal	プログラマブルタイマ3 PWM出力選択
	D2 PTSEL2	R/W	0	1 PWM	0 Normal	プログラマブルタイマ2 PWM出力選択
	D1 CHSEL_B (*4)	R/W	0	1 Timer 3	0 Timer 2	PTM2-3 TOUT_B 出力選択
	D0 PTOUT_B	R/W	0	1 On	0 Off	PTM2-3 TOUT_B 出力制御
FF92H (*6)	D3 PTRST3 (*3,*4)	W	- (*2)	1 Reset	0 Invalid	プログラマブルタイマ3リセット(リロード)
	D2 PTRUN3 (*4)	R/W	0	1 Run	0 Stop	プログラマブルタイマ3 Run/Stop
	D1 PTRST2 (*3)	W	- (*2)	1 Reset	0 Invalid	プログラマブルタイマ2リセット(リロード)
	D0 PTRUN2	R/W	0	1 Run	0 Stop	プログラマブルタイマ2 Run/Stop
FF94H (*6)	D3 RLD23	R/W	0	0H-FH	プログラマブルタイマ2リロードデータ (下位4ビット) RLD20 = LSB	
	D2 RLD22	R/W	0			
	D1 RLD21	R/W	0			
	D0 RLD20	R/W	0			
FF95H (*6)	D3 RLD27	R/W	0	0H-FH	プログラマブルタイマ2リロードデータ (上位4ビット) RLD27 = MSB	
	D2 RLD26	R/W	0			
	D1 RLD25	R/W	0			
	D0 RLD24	R/W	0			
FF96H (*4)	D3 RLD33	R/W	0	0H-FH	プログラマブルタイマ3リロードデータ (下位4ビット) RLD30 = LSB	
	D2 RLD32	R/W	0			
	D1 RLD31	R/W	0			
	D0 RLD30	R/W	0			
FF97H (*4)	D3 RLD37	R/W	0	0H-FH	プログラマブルタイマ3リロードデータ (上位4ビット) RLD37 = MSB	
	D2 RLD36	R/W	0			
	D1 RLD35	R/W	0			
	D0 RLD34	R/W	0			
FF98H (*6)	D3 PTD23	R	0	0H-FH	プログラマブルタイマ2データ(下位4ビット) PTD20 = LSB	
	D2 PTD22	R	0			
	D1 PTD21	R	0			
	D0 PTD20	R	0			
FF99H (*6)	D3 PTD27	R	0	0H-FH	プログラマブルタイマ2データ(上位4ビット) PTD27 = MSB	
	D2 PTD26	R	0			
	D1 PTD25	R	0			
	D0 PTD24	R	0			
FF9AH (*4)	D3 PTD33	R	0	0H-FH	プログラマブルタイマ3データ(下位4ビット) PTD30 = LSB	
	D2 PTD32	R	0			
	D1 PTD31	R	0			
	D0 PTD30	R	0			
FF9BH (*4)	D3 PTD37	R	0	0H-FH	プログラマブルタイマ3データ(上位4ビット) PTD37 = MSB	
	D2 PTD36	R	0			
	D1 PTD35	R	0			
	D0 PTD34	R	0			

アドレス	レジスタ名	R/W	初期値	設定/データ	機能
FF9CH (*6)	D3 CD23 D2 CD22 D1 CD21 D0 CD20	R/W	0 0 0 0	0H-FH	プログラマブルタイマ2コンペアデータ (下位4ビット) CD20 = LSB
FF9DH (*6)	D3 CD27 D2 CD26 D1 CD25 D0 CD24	R/W	0 0 0 0	0H-FH	プログラマブルタイマ2コンペアデータ (上位4ビット) CD27 = MSB
FF9EH (*4)	D3 CD33 D2 CD32 D1 CD31 D0 CD30	R/W	0 0 0 0	0H-FH	プログラマブルタイマ3コンペアデータ (下位4ビット) CD30 = LSB
FF9FH (*4)	D3 CD37 D2 CD36 D1 CD35 D0 CD34	R/W	0 0 0 0	0H-FH	プログラマブルタイマ3コンペアデータ (上位4ビット) CD37 = MSB

*1 イニシャルリセット時の初期値 *2 回路上設定されない *3 読み出し時は常時"0" *4 S1C63016のみ
*4 S1C63003/004/008では未使用 *5 S1C63003/004では未使用 *6 S1C63003では未使用

● PTPS0[3:0]: タイマ0カウントクロック周波数選択レジスタ (FF18H)

PTPS1[3:0]: タイマ1カウントクロック周波数選択レジスタ (FF19H) – S1C63004/008/016

PTPS2[3:0]: タイマ2カウントクロック周波数選択レジスタ (FF1AH) – S1C63004/008/016

PTPS3[3:0]: タイマ3カウントクロック周波数選択レジスタ (FF1BH) – S1C63016

各タイマのカウントクロック周波数を選択します。

表11.10.2 カウントクロック周波数の選択

PTPSx[3:0]	タイマクロック
FH	fosc3
EH	fosc3 / 2
DH	fosc3 / 4
CH	fosc3 / 8
BH	fosc3 / 16
AH	fosc3 / 32
9H	fosc3 / 64
8H	fosc3 / 256
7H	fosc1 (32kHz)
6H	fosc1 / 2 (16kHz)
5H	fosc1 / 4 (8kHz)
4H	fosc1 / 16 (2kHz)
3H	fosc1 / 32 (1kHz)
2H	fosc1 / 64 (512Hz)
1H	fosc1 / 256 (128Hz)
0H	OFF

fosc1: OSC1発振周波数、()内の周波数はfosc1 = 32kHzの場合

fosc3: OSC3発振周波数

各タイマのダウンカウント用クロックはクロックマネージャがOSC1クロックまたはOSC3クロックを分周して表11.10.2に示す15種類を生成します。この中から各タイマに使用するクロックを選択します。初期状態ではクロックの供給が停止していますので、タイマ機能を使用する場合は、タイマを制御する前に、必要なクロックを選択してクロック供給を開始してください。以下のタイマについては消費電流低減のため、PTPSx[3:0]レジスタを"0H"にしてクロック供給を停止してください。

- ・ 使用しないタイマ
- ・ 外部クロックを入力してイベントカウンタとして使用するタイマ
- ・ 16ビットタイマ×1チャネルとして使用する場合の上位8ビット側のタイマ(タイマ1、タイマ3)

イニシャルリセット時、これらのレジスタは"0"に設定されます。

S1C63004/008のFF1BHにレジスタは割り付けられていません。S1C63003のFF19H～FF1BHにレジスタは割り付けられていません。

● **PLPUL_A: タイマ0/パルス極性選択レジスタ (FF80H・D0)**

PLPUL_B: タイマ2/パルス極性選択レジスタ (FF90H・D0) – S1C63004/008/016

イベントカウンタのカウントパルス極性を選択します。

"1"書き込み: 立ち上がりエッジ

"0"書き込み: 立ち下がりエッジ

読み出し: 可能

イベントカウンタモードのカウントのタイミングを、EVIN_A(P10)、EVIN_B(P22)端子に入力される外部クロックの立ち下がりエッジとするか、立ち上がりエッジとするかを選択します。このレジスタに"0"を書き込んだ場合は立ち下がりエッジ、"1"を書き込んだ場合は立ち上がりエッジがそれぞれ選択されます。このレジスタの設定は、タイマをイベントカウンタモードで使用する場合にのみ有効です。イニシャルリセット時、これらのレジスタは"0"に設定されます。

S1C63003のFF90Hにレジスタは割り付けられていません。

● **FCSEL_A: タイマ0機能選択レジスタ (FF80H・D1)**

FCSEL_B: タイマ2機能選択レジスタ (FF90H・D1) – S1C63004/008/016

イベントカウンタモードのクロック入力回路にノイズリジェクタを付加するかしないか選択します。

"1"書き込み: ノイズリジェクト付き

"0"書き込み: ノイズリジェクトなし

読み出し: 可能

このレジスタに"1"を書き込んだ場合はノイズリジェクタが付加され、0.98msec*以上のパルス幅の外部クロック(EVIN_A、EVIN_Bから入力)によってカウントが行われます。ノイズリジェクタは、EVIN_A(P10)、EVIN_B(P22)端子の入力レベルが変化してから二度目の内部2,048Hz*信号の立ち下がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msec*以下となります。(*はfosc1 = 32.768kHzの場合の値です。)

このレジスタに"0"を書き込んだ場合はノイズリジェクタは付加されず、EVIN_A(P10)、EVIN_B(P22)端子に入力される外部クロックによって直接カウントが行われます。このレジスタの設定は、タイマをイベントカウンタモードで使用する場合にのみ有効です。イニシャルリセット時、これらのレジスタは"0"に設定されます。

S1C63003のFF90Hにレジスタは割り付けられていません。

● **EVCNT_A: タイマ0カウンタモード選択レジスタ (FF80H・D2)**

EVCNT_B: タイマ2カウンタモード選択レジスタ (FF90H・D2) – S1C63004/008/016

タイマのカウンタモードを選択します。

"1"書き込み: イベントカウンタモード

"0"書き込み: タイマモード

読み出し: 可能

タイマ0、タイマ2を外部クロックをカウントするイベントカウンタとして使用するか、内部クロックをカウントする通常のタイマとして使用するかを選択します。このレジスタに"1"を書き込んだ場合はイベントカウンタモードに設定されます。このモードでは、タイマ0、タイマ2がそれぞれEVIN_A(P10)、EVIN_B(P22)端子から入力した外部クロックでカウントを行います。このレジスタに"0"を書き込んだ場合はタイマモードに設定されます。このモードでは、PTPSx[3:0]レジスタで選択した内部クロックでカウントを行います。この選択はCh.A/Ch.Bを16ビットタイマモードで使用する場合も有効です。イニシャルリセット時、これらのレジスタは"0"に設定されます。

S1C63003のFF90Hにレジスタは割り付けられていません。

● **MOD16_A: タイマ0-1 16ビットタイマモード選択レジスタ (FF80H・D3) – S1C63004/008/016**

MOD16_B: タイマ2-3 16ビットタイマモード選択レジスタ (FF90H・D3) – S1C63016

8/16ビットタイマモードを選択します。

"1"書き込み: 16ビットタイマモード

"0"書き込み: 8ビットタイマモード

読み出し: 可能

Ch.Aのタイマ0と1、Ch.Bのタイマ2と3をそれぞれ独立した2チャネルの8ビットタイマとして使用するか、連結させて1チャネルの16ビットタイマとして使用するか選択します。このレジスタに"0"を書き込んだ場合は8ビットタイマモード、"1"を書き込んだ場合は16ビットタイマモードに設定されます。

Ch.A/Ch.Bを16ビットタイマモードで使用する場合、タイマ1/タイマ3はタイマ0/タイマ2(タイマモードまたはイベントカウンタモード)のアンダーフロー信号をカウントクロックとして動作します。タイマのRUN/STOP制御、カウントクロック周波数の選択は、タイマ0/タイマ2のレジスタ設定が有効(タイマ1のレジスタ設定は無効)になります。

ただし、PWM出力機能はタイマ1/タイマ3の制御レジスタで選択する必要があります。リロードデータをプリセット(PTRSTx)する制御は、タイマ0/タイマ2とタイマ1/タイマ3それぞれに必要です。イニシャルリセット時、これらのレジスタは"0"に設定されます。

S1C63004/008のFF90H・D3とS1C63003のFF80H・D3は読み出し専用ビットで、読み出し値は常時0になります。S1C63003のFF90Hにレジスタは割り付けられていません。

● **PTOUT_A: TOUT_A出力制御レジスタ (FF81H・D0)**

PTOUT_B: TOUT_B出力制御レジスタ (FF91H・D0) – S1C63004/008/016

TOUT信号の出力を制御します。

"1"書き込み: TOUT出力ON

"0"書き込み: TOUT出力OFF

読み出し: 可能

このレジスタに"1"を書き込むことによって対応するTOUT_A/TOUT_B信号がP11/P23端子から出力されます。TOUT出力時は入出力兼用ポートが自動的に出力モードに設定され、タイマから送られたTOUT信号を出力します。I/O制御レジスタ(IOC11/IOC23)およびデータレジスタ(P11/P23)の設定は無効になります。このレジスタを"0"に設定した場合は、入出力兼用ポートの制御レジスタの設定が有効になります。イニシャルリセット時、これらのレジスタは"0"に設定されます。

S1C63003のFF91Hにレジスタは割り付けられていません。

● **CHSEL_A: TOUT_A出力選択レジスタ (FF81H・D1) – S1C63004/008/016**

CHSEL_B: TOUT_B出力選択レジスタ (FF91H・D1) – S1C63016

TOUT_A/TOUT_B信号を出力させるタイマを選択します。

"1"書き込み: タイマ1(Ch.A)/タイマ3(Ch.B)

"0"書き込み: タイマ0(Ch.A)/タイマ2(Ch.B)

読み出し: 可能

TOUT_A/TOUT_B信号にタイマ0/タイマ2の出力を使用するか、タイマ1/タイマ3の出力を使用するか選択します。このレジスタに"0"を書き込んだ場合はタイマ0/タイマ2の出力、"1"を書き込んだ場合はタイマ1/タイマ3の出力がそれぞれ選択されます。16ビットタイマモード時は、このレジスタの設定にかかわらず常にタイマ1/タイマ3の出力が選択されます。イニシャルリセット時、これらのレジスタは"0"に設定されます。

S1C63004/008のFF91H・D1とS1C63003のFF81H・D1は読み出し専用ビットで、読み出し値は常時0になります。S1C63003のFF91Hにレジスタは割り付けられていません。

● **PTSEL0: タイマ0 PWMモード選択レジスタ (FF81H・D2) – S1C63004/008/016**

PTSEL1: タイマ1 PWMモード選択レジスタ (FF81H・D3) – S1C63004/008/016

PTSEL2: タイマ2 PWMモード選択レジスタ (FF91H・D2) – S1C63004/008/016

PTSEL3: タイマ3 PWMモード選択レジスタ (FF91H・D3) – S1C63016

タイマxをPWM出力用に設定します。

"1"書き込み: PWM出力

"0"書き込み: 通常出力

読み出し: 可能

PTSELxに"1"を書き込むとコンペアデータレジスタが有効となり、アンダーフロー信号とコンペアマッチ信号を使用してPWM波形が生成されます。

"0"を書き込んだ場合、アンダーフロー信号のみを使用した通常のパルス出力が行われます。Ch.A/Ch.Bが16ビットタイマモード場合、タイマ0/タイマ2のPTSEL0/PTSEL2レジスタの設定は無効となります。イニシャルリセット時、これらのレジスタは"0"に設定されます。

S1C63004/008のFF91H・D3とS1C63003のFF81H・D2～D3は読み出し専用ビットで、読み出し値は常時0になります。S1C63003のFF91Hにレジスタは割り付けられていません。

● PTRUN0: タイマ0 RUN/STOP制御レジスタ (FF82H・D0)

PTRUN1: タイマ1 RUN/STOP制御レジスタ (FF82H・D2) – S1C63004/008/016

PTRUN2: タイマ2 RUN/STOP制御レジスタ (FF92H・D0) – S1C63004/008/016

PTRUN3: タイマ3 RUN/STOP制御レジスタ (FF92H・D2) – S1C63016

カウンタのRUN/STOPを制御します。

"1"書き込み: RUN

"0"書き込み: STOP

読み出し: 可能

タイマxのカウンタはPTRUNxに"1"を書き込むことによってダウンカウントを開始し、"0"の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。Ch.A/Ch.Bが16ビットタイマモード場合、タイマ1/タイマ3のPTRUN1/PTRUN3レジスタの設定は無効となります。イニシャルリセット時、これらのレジスタは"0"に設定されます。

S1C63004/008のFF92H・D2とS1C63003のFF82H・D2は読み出し専用ビットで、読み出し値は常時0になります。S1C63003のFF92Hにレジスタは割り付けられていません。

● PTRST0: タイマ0リセット(リロード) (FF82H・D1)

PTRST1: タイマ1リセット(リロード) (FF82H・D3) – S1C63004/008/016

PTRST2: タイマ2リセット(リロード) (FF92H・D1) – S1C63004/008/016

PTRST3: タイマ3リセット(リロード) (FF92H・D3) – S1C63016

タイマをリセットし、リロードデータをカウンタにプリセットします。

"1"書き込み: リセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

PTRSTxに"1"を書き込むことによって、RLDx[7:0]のリロードデータがタイマxのカウンタにプリセットされます。カウンタがRUN状態のときにプリセットを行うとリロードデータのプリセット直後にリスタートします。また、STOP状態の場合はプリセットされたリロードデータがそのまま保持されます。"0"の書き込みはノーオペレーションとなります。16ビットタイマモードの場合もPTRSTxはすべて有効で、リロードデータはタイマごとにプリセットする必要があります。PTRSTxは書き込み専用のため、読み出し時は常時"0"となります。

S1C63004/008のFF92H・D3とS1C63003のFF82H・D3は読み出し専用ビットで、読み出し値は常時0になります。S1C63003のFF92Hにレジスタは割り付けられていません。

● RLD0[7:0]: タイマ0リロードデータレジスタ (FF85H, FF84H)

RLD1[7:0]: タイマ1リロードデータレジスタ (FF87H, FF86H) – S1C63004/008/016

RLD2[7:0]: タイマ2リロードデータレジスタ (FF95H, FF94H) – S1C63004/008/016

RLD3[7:0]: タイマ3リロードデータレジスタ (FF97H, FF96H) – S1C63016

カウンタの初期値を設定します。本レジスタに設定したリロードデータがそれぞれのカウンタにロードされ、それを初期値としてダウンカウントが行われます。リロードデータがカウンタにロードされる条件はPTRSTxに"1"を書き込んでプリセットを行う場合と、カウンタのアンダーフローによって自動的にリロードが行われる場合です。イニシャルリセット時、これらのレジスタは"00H"に設定されます。

S1C63004/008のFF96HとFF97Hにレジスタは割り付けられていません。S1C63003のFF86HとFF87H、FF94H～FF97Hにレジスタは割り付けられていません。

● **PTD0[7:0]: タイマ0カウンタデータ (FF89H, FF88H)**

PTD1[7:0]: タイマ1カウンタデータ (FF8BH, FF8AH) – S1C63004/008/016

PTD2[7:0]: タイマ2カウンタデータ (FF99H, FF98H) – S1C63004/008/016

PTD3[7:0]: タイマ3カウンタデータ (FF9BH, FF9AH) – S1C63016

プログラマブルタイマのデータが読み出せます。タイマ x のカウンタデータの下位4ビットがPTDx[3:0]、上位4ビットがPTDx[7:4]から読み出せます。下位4ビットの読み出しにより上位4ビットのホールド機能が働きますので、読み出しは必ず下位4ビットから先に行ってください。16ビットタイマモードの場合も、下位4ビットの読み出しにより上位12ビットのホールド機能が働きますので、読み出しは必ず下位4ビットから先に行ってください。本ビットは読み出し専用のため、書き込み動作は無効となります。イニシャルリセット時、各カウンタデータは"00H"に設定されます。

S1C63004/008のFF9AHとFF9BHにレジスタは割り付けられていません。S1C63003のFF8AHとFF8BH、FF98H～FF9BHにレジスタは割り付けられていません。

● **CDO[7:0]: タイマ0コンペアデータレジスタ (FF8DH, FF8CH) – S1C63004/008/016**

CD1[7:0]: タイマ1コンペアデータレジスタ (FF8FH, FF8EH) – S1C63004/008/016

CD2[7:0]: タイマ2コンペアデータレジスタ (FF9DH, FF9CH) – S1C63004/008/016

CD3[7:0]: タイマ3コンペアデータレジスタ (FF9FH, FF9EH) – S1C63016

PWM出力用のコンペアデータを設定します。タイマをPWMモードに設定すると、本レジスタに設定したコンペアデータがカウンタのデータと比較され、一致した場合にコンペアマッチ信号が出力されます。その信号により割り込みが発生するとともにPWM波形のデューティ比が制御されます。イニシャルリセット時、これらのレジスタは"00H"に設定されます。

S1C63004/008のFF9EHとFF9FHにレジスタは割り付けられていません。S1C63003のFF8CH～FF8FH、FF9CH～FF9FHにレジスタは割り付けられていません。

11.11 注意事項

- カウントデータの読み出しは必ず下位4ビット(PTDx[3:0])から先に行ってください。下位4ビットの読み出し時に上位4ビット(PTDx[7:4])がラッチされ、次に下位4ビットを読み出すまでホールドされます。16ビットタイマモード時も同様に、下位4ビットの読み出しにより上位12ビットがホールドされますので、下位4ビットから先に読み出してください。なお、CPU(システムクロック)をOSC1クロック、各タイマのカウントクロックをOSC3クロックで動作させている場合により正確なカウント値を読み出すためには、タイマを一時停止させてからカウンタデータを読み出すことを推奨します。
- タイマモードではPTRUNxへの書き込み後、入力クロックの立ち下がりエッジに同期して実際にRUN/STOP状態となります。したがって、PTRUNxに"0"を書き込んだ場合は、"-1"余分にカウントしたところでタイマが停止状態となります。また、このときPTRUNxは実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。

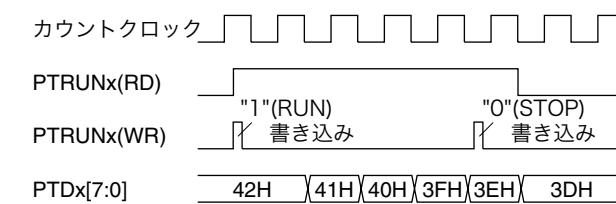


図11.11.1 RUN/STOP制御のタイミングチャート(タイマモード時)

イベントカウントモード時は、最初のイベントクロックからタイマはカウントダウンします。

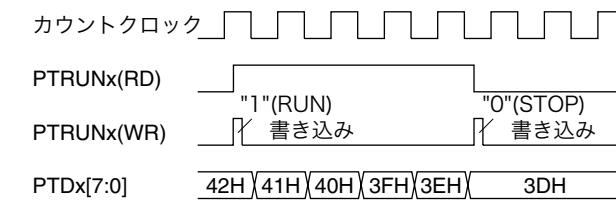
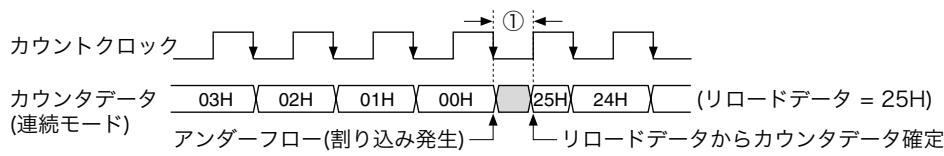


図11.11.2 RUN/STOP制御のタイミングチャート(イベントカウントモード時)

11 プログラマブルタイマ

- TOUT_A/TOUT_B信号は出力制御レジスタPTOUT_A/PTOUT_Bとは非同期に発生していますので、PTOUT_A/PTOUT_Bの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- OSC3発振回路を源振とする場合は、プログラマブルタイマを使用する以前にOSC3発振回路をONさせる必要があります。ただし、OSC3発振回路をONにしてから発振が安定するまでに、数10μsec～数10msecの時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ON後、充分な待ち時間をおいてから行ってください。
OSC3の制御方法と注意事項については"発振回路とクロック制御"の章を参照してください。イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。
- プログラマブルタイマ動作中にプログラマブルタイマ割り込み発生間隔を変更する場合、以下の理由によりリロードデータを書き込むタイミングに注意が必要です。

プログラマブルタイマは入力クロックの立ち下がりエッジでダウンカウントを行い、そこでアンダーフローが発生した場合は同時に割り込みを発生します。その後、リロードデータをカウンタにセットする動作を開始し、入力クロックの次の立ち上がりエッジでカウンタデータが確定します(①の区間)。



リロードデータを正しくカウンタにセットするために、割り込み発生後は①の区間を含め、カウンタデータが確定するまではリロードデータの書き換えを行わないでください。入力クロックの源振にOSC1(低速クロック)を使用し、CPUがOSC3(高速クロック)で動作している場合は、特に注意が必要です。

- プログラマブルタイマのカウントクロックとCPUのクロックは非同期に動作しているため、カウントデータの読み出しとカウントアップ動作のタイミングによっては、正しい値が得られない可能性があります。これを防ぐには、以下に示すいずれかの方法でプログラマブルタイマのカウントデータを読み出してください。

- カウントデータを2度続けて読み出して、データが正しいことを(2つが大きくずれていないことを)確認してください。
- 正確なカウントデータが必要な場合には、プログラマブルタイマを一旦停止させてから読み出してください。

12 入出力兼用ポート

12.1 入出力兼用ポートの構成

S1C63003/004/008/016は入出力方向をソフトウェアで切り換える可能な汎用入出力兼用ポートを内蔵しています。図12.1.1に入出力兼用ポートの構成を示します。

S1C63016: 24ビット(P00～P03、P10～P13、P20～P23、P30～P33、P40～P43、P50～P53)

S1C63008: 24ビット(P00～P03、P10～P13、P20～P23、P30～P33、P40～P43、P50～P53)

S1C63004: 20ビット(P00～P03、P10～P13、P20～P23、P30～P33、P50～P53)

S1C63003: 16ビット(P00～P03、P10～P13、P20～P23、P50～P53)

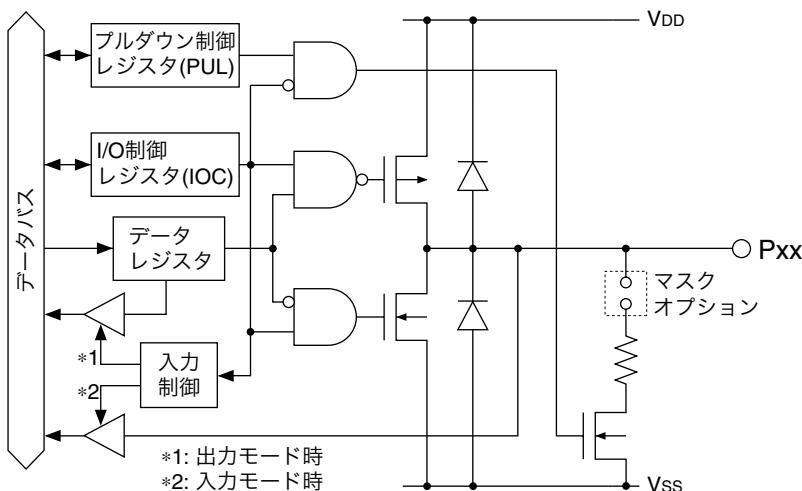


図12.1.1 入出力兼用ポートの構成

注: 本ICの出力(特殊出力を含む)でバイポーラトランジスタなど大電流を消費する外付け部品を駆動する際は、外付け部品の動作がICの電源に影響しないよう基板パターンを設計してください。詳しくは、Appendixの“実装上の注意事項”を参照してください。

各入出力兼用ポート端子には内蔵プルダウン抵抗が用意されており、マスクオプションで1ビットごとに使用するか否かを選択できます。マスクオプションで“プルダウン抵抗あり”を選択した場合、プッシュスイッチ、キーマトリクス等の入力に適当です。また、“プルダウン抵抗なし”を選択した場合、スライドスイッチ入力、他LSIとのインターフェースなどに使用できます。

入出力兼用ポートP00とP01はストップウォッチタイマのRUN/STOPとLAPダイレクト入力(S1C63004/008/016)、P10およびP22はプログラマブルタイマのイベントカウンタ入力としても使用します。

また、P11～P13とP23は特殊出力端子(TOUT_A, BZ, FOUT, TOUT_B)、P30～P33はシリアルインタフェースの入出力端子、P50～P53はR/Fコンバータの入出力端子を兼用しており、これらの機能をソフトウェアによって選択するようになっています。イニシャルリセット時はすべて入出力兼用ポートに設定されます。表12.1.1に機能選択による入出力端子の設定を示します。

表12.1.1 入出力端子の機能設定

端子名	イニシャルリセット時 の端子状態	特殊出力/周辺回路機能使用時(ソフトウェアにて切り替え)						
		特殊出力			シリアルI/F ^{*2}		R/F	SWダイレ クト入力 ^{*2}
		TOUT	FOUT	BZ	Master	Slave	コンバータ	イベント カウンタ
P00	P00(入力&PD ^{*1})							RUN/STOP
P01	P01(入力&PD ^{*1})							LAP
P02	P02(入力&PD ^{*1})							
P03	P03(入力&PD ^{*1})							
P10	P10(入力&PD ^{*1})							EVIN_A
P11	P11(入力&PD ^{*1})	TOUT_A						
P12	P12(入力&PD ^{*1})			BZ				
P13	P13(入力&PD ^{*1})		FOUT					
P20-P21	P20-P21(入力&PD ^{*1})							
P22	P22(入力&PD ^{*1})							EVIN_B ^{*2}
P23	P23(入力&PD ^{*1})	TOUT_B ^{*2}						
P30 ^{*2}	P30(入力&PD ^{*1})				SCLK(O)	SCLK(I)		
P31 ^{*2}	P31(入力&PD ^{*1})				SOUT(O)	SOUT(O)		
P32 ^{*2}	P32(入力&PD ^{*1})				SIN(I)	SIN(I)		
P33 ^{*2}	P33(入力&PD ^{*1})				SRDY(O)/SS(I)			
P40-P43 ^{*3}	P40-P43(入力&PD ^{*1})							
P50	P50(入力&PD ^{*1})						RFOUT	
P51	P51(入力&PD ^{*1})						SENO	
P52	P52(入力&PD ^{*1})						REF0	
P53	P53(入力&PD ^{*1})						RFINO	

*1: PD(プルダウン): マスクオプションにて"プルダウンあり"選択時("プルダウンなし"選択時はハイインピーダンス)

*2: P30～P33、シリアルインタフェース、ストップウォッチダイレクト入力、TOUT_B出力、EVIN_B入力機能はS1C63003にはありません。

*3: P40～P43はS1C63003/004にはありません。

入出力兼用ポートとして使用する場合、各ポートを個々(1ビット単位)に入力モードまたは出力モードに設定できます。この設定はI/O制御レジスタにデータを書き込むことによって行います。

特殊出力、周辺回路機能使用時は機能の切り替えによりポートの入出力方向が自動的に決まります。入出力兼用ポートの制御は無効になります。端子機能の切り替えと入出力の制御方法については、それぞれの周辺回路の章を参照してください。

注: ポートの機能設定は、ポートを使用する回路(入力割り込み、キー同時押しリセット、シリアルインターフェース、R/Fコンバータ、イベントカウンタ入力、ストップウォッチダイレクトRUN/LAP入力)がディセーブルの状態で行ってください。

12.2 マスクオプション

出力仕様

入出力兼用ポートは出力モード時の出力仕様として、コンプリメンタリ出力、またはPチャネルオープンドレイン出力のいずれかをマスクオプションにより1ビットごとに選択できるようになっています。なお、Pチャネルオープンドレイン出力を選択した場合でも、ポートに電源電圧を超える電圧を印加することは禁止します。

プルダウン抵抗

入力モード時のプルダウン抵抗の有無もマスクオプションにより1ビットごとに選択できます。入力モード時の"プルダウン抵抗なし"を選択した場合には、フローティング状態が発生しないように注意してください。

入力モード時のプルダウン抵抗の有無、および出力仕様(コンプリメンタリ出力あるいはPチャネルオープンドレイン出力)のオプションは、入出力兼用ポートをシリアルインターフェースやR/Fコンバータの入出力として使用する場合も有効です。

SEG出力

入出力兼用ポートP20～P53はSEG出力端子を兼用しています。これらの端子を入出力兼用ポートとして使用するか、SEG出力端子として使用するか選択できます。選択は1ビット単位で行います。詳細については"LCDドライバ"の章の"マスクオプション"を参照してください。

12.3 I/O制御レジスタと入力/出力モード

入出力兼用ポートは、各ポートに対応したI/O制御レジスタIOC_{xx}にデータを書き込むことにより入力モードあるいは出力モードに設定されます。

入力モードに設定する場合はI/O制御レジスタに"0"を書き込みます。入力モードに設定された入出力兼用ポートは、ハイインピーダンス状態となり入力ポートとして働きます。ただし、12.5項で説明するプルダウン制御を行っている場合は、この入力モード時に限り入力ラインがプルダウンされます。

出力モードに設定する場合はI/O制御レジスタに"1"を書き込みます。出力モードに設定された入出力兼用ポートは出力ポートとして働き、ポート出力データが"1"の場合にHIGH(V_{DD})レベル、"0"の場合にLOW(V_{SS})レベルの出力を行います。出力モード時にもデータの読み出しは可能で、その場合はデータレジスタの内容が読み出されます。

イニシャルリセット時、I/O制御レジスタは"0"に設定され、入出力兼用ポートは入力モードになります。周辺機能の入出力、および特殊出力に設定されたポート(表12.1.1参照)の入出力制御はハードウェアが行いますので、I/O制御レジスタの設定は無効となります。

12.4 入力インターフェースレベル

入出力兼用ポートP00～P03およびP10～P13は、ソフトウェアで入力インターフェースレベルが選択できるようになっています。各ポートに対応した入力インターフェースレベル選択レジスタSMT_{xx}を"0"に設定することにより、CMOSレベル、"1"を設定することによりCMOSシュミットレベルとなります。

イニシャルリセット時はこれらの全ポートがCMOSシュミットレベルに設定されます。

周辺機能の入力に設定されたポートの入力インターフェースレベル選択レジスタも入出力兼用ポートと同様に機能します。

P2～P5ポートはCMOSシュミットレベルに固定されています。

12.5 入力モード時のプルダウン

S1C63003/004/008/016の入出力兼用ポートには、マスクオプションによって入力モード時に働くプルダウン抵抗を内蔵できます。

各ポートに対応したプルダウン制御レジスタPUL_{xx}に"1"を書き込むことによりプルダウン抵抗が有効になり、入力モード時に入力ラインがプルダウンされます。"0"を書き込んだ場合、および出力モード時はプルダウンされません。イニシャルリセット時、プルダウン制御レジスタは"1"に設定されます。

マスクオプションによって"プルダウン抵抗なし"を選択したポートのプルダウン制御レジスタは、汎用レジスタとして使用可能です。

プルダウン抵抗付き場合でも、周辺機能の出力やR/Fコンバータの入出力、および特殊出力に設定されたポート(表12.1.1参照)のプルダウン制御レジスタは、プルダウン制御に影響を与えない汎用レジスタとして使用可能です。周辺機能の入力(R/Fコンバータを除く)に設定されたポートのプルダウン制御レジスタは入出力兼用ポートと同様に機能します。

12.6 キー入力割り込み機能

入出力兼用ポートの中で8ビット(P00～P03とP10～P13、S1C63003はP00～P03の4ビット)は、割り込み機能を持っており、割り込み発生条件はソフトウェアで設定することができます。また、このキー入力割り込みをマスクするか否かを、同様にソフトウェアで設定することができます。図12.6.1にキー入力割り込み回路の構成図を示します。

12 入出力兼用ポート

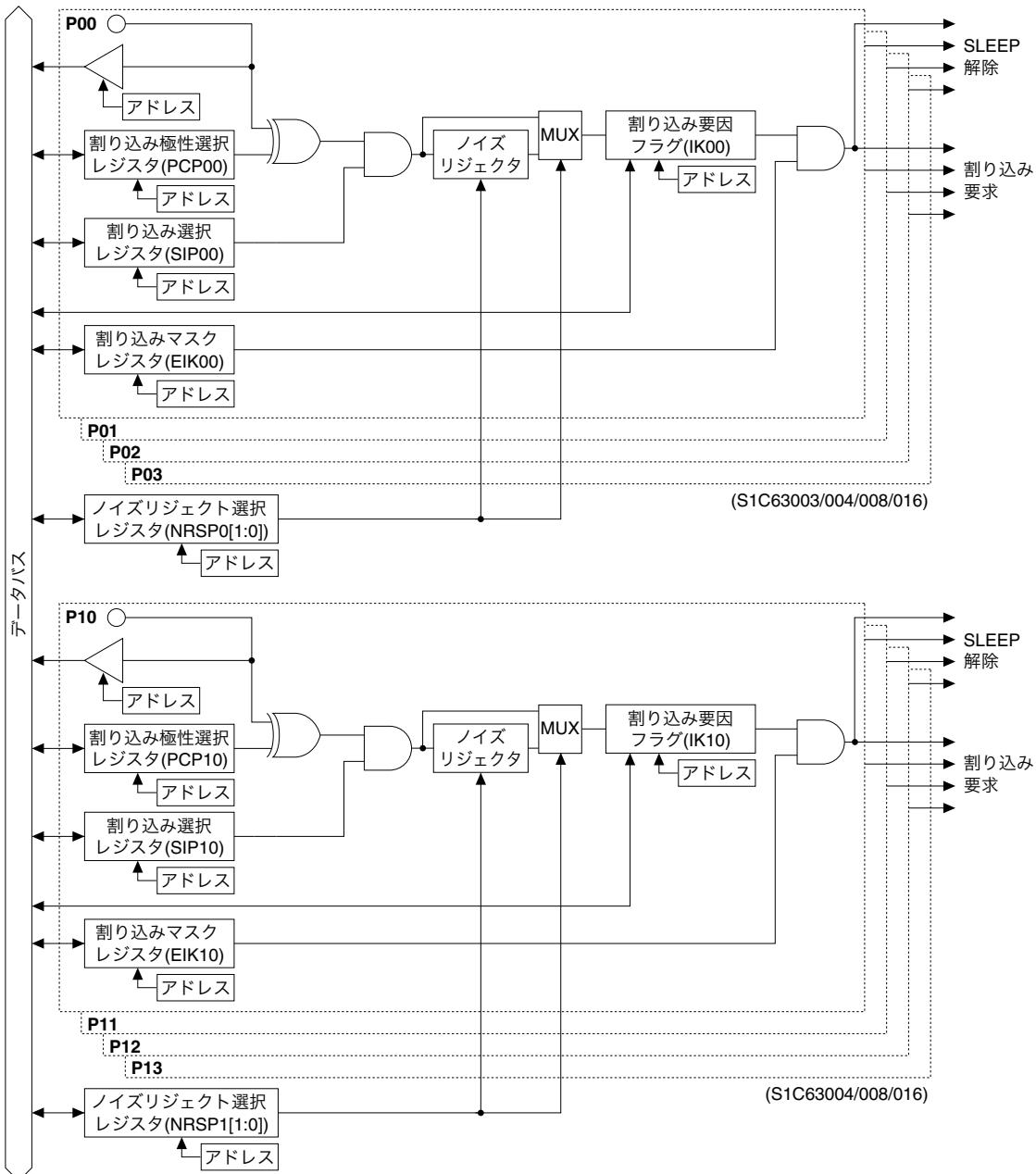


図12.6.1 キー入力割り込み回路構成

入出力兼用ポートP00～P03、P10～P13には個々に割り込み選択レジスタ(SIP0[3:0]、SIP1[3:0])および割り込み極性選択レジスタ(PCP0[3:0]、PCP1[3:0])が設けられています。

割り込み選択レジスタ(SIPxx)は、割り込みまたはSLEEPモードの解除に使用するポートを選択します。割り込み選択レジスタに"1"を書き込むことにより、そのポートをキー入力割り込み発生条件に組み込みます。割り込み選択レジスタが"0"に設定されているポートの変化は割り込みの発生に影響を与えません。

キー入力割り込みタイミングは、割り込み極性選択レジスタ(PCPxx)によって、割り込みを入力の立ち上がりエッジで発生させるか、立ち下がりエッジで発生させるかを選択することができます。

この2つの条件設定により、指定ポート(SIPxxで選択)の入力の立ち上がりエッジまたは立ち下がりエッジ(PCPxxで選択)で割り込み要求信号およびSLEEP解除信号が出力されます。

キー入力割り込み要因が発生すると、割り込み要因フラグ(IK00～IK03、IK10～IK13)が"1"にセットされます。このとき、対応する割り込みマスクレジスタ(EIK00～EIK03、EIK10～EIK13)が"1"に設定されているとCPUに対して割り込みが発生します。割り込みマスクレジスタ(EIKxx)が"0"に設定されている場合は割り込み要求はマスクされ、CPUへの割り込みは発生しません。

キー入力割り込み回路は、ノイズやチャタリングによる不要な割り込みの発生を防ぐため、ノイズリジェクタを内蔵しています。このノイズリジェクタを使用する場合は、ノイズリジェクト周波数を表12.6.1に示す3種類から選択できます。この選択に、P00～P03ポートはNRSP0[1:0]レジスタを、P10～P13ポートはNRSP1[1:0]レジスタを使用します。選択した幅より短いパルスがポートに入力された場合、割り込みは発生しません。なお、高速な入力への対応が必要な場合、ノイズリジェクタをOFF(バイパス)します。

表12.6.1 ノイズリジェクトの設定

NRSP0[1:0]/NRSP1[1:0]	ノイズリジェクト周波数	リジェクトパルス幅
3	fosc1 / 256 (128Hz)	7.8msec
2	fosc1 / 64 (512Hz)	2.0msec
1	fosc1 / 16 (2kHz)	0.5msec
0	OFF (バイパス)	-

注: • SLP命令を実行する前には、必ずノイズリジェクタをOFFに設定してください。

- SLEEPモードからはキー入力割り込み要因の発生によってのみ起床可能です。したがって、SLP命令を実行する前に、SLEEP解除に使用するポートの割り込み選択レジスタをセット(SIPxx="1")しておく必要があります。また、SLEEP解除後にキー入力割り込み処理を実行するためには、SLP命令を実行する前に、該当ポートの割り込みマスクレジスタもイネーブル状態にセット(EIKxx = "1")しておく必要があります。

12.7 入出力兼用ポートのI/Oメモリ

表12.7.1に入出力兼用ポートの制御ビットとそのアドレスを示します。

表12.7.1 入出力兼用ポートの制御ビット

アドレス	レジスタ名	R/W	初期値	設定/データ			機能
FF11H	D3 NRSP11 (*6)	R/W	0	3 f1/256	1 f1/16	P1キー入力割り込みノイズリダクション	
	D2 NRSP10 (*6)	R/W	0	2 f1/64	0 Off	周波数選択(f1 = fosc1)	
	D1 NRSP01	R/W	0	3 f1/256	1 f1/16	P0キー入力割り込みノイズリダクション	
	D0 NRSP00	R/W	0	2 f1/64	0 Off	周波数選択(f1 = fosc1)	
FF20H	D3 P03	R/W	1	1 High	0 Low	P03入出力兼用ポートデータ	
	D2 P02	R/W	1	1 High	0 Low	P02入出力兼用ポートデータ	
	D1 P01	R/W	1	1 High	0 Low	P01入出力兼用ポートデータ	
	D0 P00	R/W	1	1 High	0 Low	P00入出力兼用ポートデータ	
FF21H	D3 IOC03	R/W	0	1 Output	0 Input	P03 I/O制御レジスタ	
	D2 IOC02	R/W	0	1 Output	0 Input	P02 I/O制御レジスタ	
	D1 IOC01	R/W	0	1 Output	0 Input	P01 I/O制御レジスタ	
	D0 IOC00	R/W	0	1 Output	0 Input	P00 I/O制御レジスタ	
FF22H	D3 PUL03	R/W	1	1 Enable	0 Disable	P03プルダウン制御レジスタ	
	D2 PUL02	R/W	1	1 Enable	0 Disable	P02プルダウン制御レジスタ	
	D1 PUL01	R/W	1	1 Enable	0 Disable	P01プルダウン制御レジスタ	
	D0 PUL00	R/W	1	1 Enable	0 Disable	P00プルダウン制御レジスタ	
FF23H	D3 SMT03	R/W	1	1 Schmitt	0 CMOS	P03入力I/Fレベル選択レジスタ	
	D2 SMT02	R/W	1	1 Schmitt	0 CMOS	P02入力I/Fレベル選択レジスタ	
	D1 SMT01	R/W	1	1 Schmitt	0 CMOS	P01入力I/Fレベル選択レジスタ	
	D0 SMT00	R/W	1	1 Schmitt	0 CMOS	P00入力I/Fレベル選択レジスタ	
FF24H	D3 P13	R/W	1	1 High	0 Low	P13入出力兼用ポートデータ	
	D2 P12	R/W	1	1 High	0 Low	P12入出力兼用ポートデータ	
	D1 P11	R/W	1	1 High	0 Low	P11入出力兼用ポートデータ	
	D0 P10	R/W	1	1 High	0 Low	P10入出力兼用ポートデータ	

12 入出力兼用ポート

アドレス	レジスタ名	R/W	初期値	設定/データ			機能	
FF25H	D3 IOC13	R/W	0	1	Output	0	Input	P13 I/O制御レジスタ
	D2 IOC12	R/W	0	1	Output	0	Input	P12 I/O制御レジスタ
	D1 IOC11	R/W	0	1	Output	0	Input	P11 I/O制御レジスタ
	D0 IOC10	R/W	0	1	Output	0	Input	P10 I/O制御レジスタ
FF26H	D3 PUL13	R/W	1	1	Enable	0	Disable	P13ブレダウン制御レジスタ
	D2 PUL12	R/W	1	1	Enable	0	Disable	P12ブレダウン制御レジスタ
	D1 PUL11	R/W	1	1	Enable	0	Disable	P11ブレダウン制御レジスタ
	D0 PUL10	R/W	1	1	Enable	0	Disable	P10ブレダウン制御レジスタ
FF27H	D3 SMT13	R/W	1	1	Schmitt	0	CMOS	P13入力I/Fレベル選択レジスタ
	D2 SMT12	R/W	1	1	Schmitt	0	CMOS	P12入力I/Fレベル選択レジスタ
	D1 SMT11	R/W	1	1	Schmitt	0	CMOS	P11入力I/Fレベル選択レジスタ
	D0 SMT10	R/W	1	1	Schmitt	0	CMOS	P10入力I/Fレベル選択レジスタ
FF28H	D3 P23	R/W	1	1	High	0	Low	P23入出力兼用ポートデータ
	D2 P22	R/W	1	1	High	0	Low	P22入出力兼用ポートデータ
	D1 P21	R/W	1	1	High	0	Low	P21入出力兼用ポートデータ
	D0 P20	R/W	1	1	High	0	Low	P20入出力兼用ポートデータ
FF29H	D3 IOC23	R/W	0	1	Output	0	Input	P23 I/O制御レジスタ
	D2 IOC22	R/W	0	1	Output	0	Input	P22 I/O制御レジスタ
	D1 IOC21	R/W	0	1	Output	0	Input	P21 I/O制御レジスタ
	D0 IOC20	R/W	0	1	Output	0	Input	P20 I/O制御レジスタ
FF2AH	D3 PUL23	R/W	1	1	Enable	0	Disable	P23ブレダウン制御レジスタ
	D2 PUL22	R/W	1	1	Enable	0	Disable	P22ブレダウン制御レジスタ
	D1 PUL21	R/W	1	1	Enable	0	Disable	P21ブレダウン制御レジスタ
	D0 PUL20	R/W	1	1	Enable	0	Disable	P20ブレダウン制御レジスタ
FF2CH (*6)	D3 P33	R/W	1	1	High	0	Low	P33入出力兼用ポートデータ
	D2 P32	R/W	1	1	High	0	Low	P32入出力兼用ポートデータ
	D1 P31	R/W	1	1	High	0	Low	P31入出力兼用ポートデータ
	D0 P30	R/W	1	1	High	0	Low	P30入出力兼用ポートデータ
FF2DH (*6)	D3 IOC33	R/W	0	1	Output	0	Input	P33 I/O制御レジスタ
	D2 IOC32	R/W	0	1	Output	0	Input	P32 I/O制御レジスタ
	D1 IOC31	R/W	0	1	Output	0	Input	P31 I/O制御レジスタ
	D0 IOC30	R/W	0	1	Output	0	Input	P30 I/O制御レジスタ
FF2EH (*6)	D3 PUL33	R/W	1	1	Enable	0	Disable	P33ブレダウン制御レジスタ
	D2 PUL32	R/W	1	1	Enable	0	Disable	P32ブレダウン制御レジスタ
	D1 PUL31	R/W	1	1	Enable	0	Disable	P31ブレダウン制御レジスタ
	D0 PUL30	R/W	1	1	Enable	0	Disable	P30ブレダウン制御レジスタ
FF30H (*5)	D3 P43	R/W	1	1	High	0	Low	P43入出力兼用ポートデータ
	D2 P42	R/W	1	1	High	0	Low	P42入出力兼用ポートデータ
	D1 P41	R/W	1	1	High	0	Low	P41入出力兼用ポートデータ
	D0 P40	R/W	1	1	High	0	Low	P40入出力兼用ポートデータ
FF31H (*5)	D3 IOC43	R/W	0	1	Output	0	Input	P43 I/O制御レジスタ
	D2 IOC42	R/W	0	1	Output	0	Input	P42 I/O制御レジスタ
	D1 IOC41	R/W	0	1	Output	0	Input	P41 I/O制御レジスタ
	D0 IOC40	R/W	0	1	Output	0	Input	P40 I/O制御レジスタ
FF32H (*5)	D3 PUL43	R/W	1	1	Enable	0	Disable	P43ブレダウン制御レジスタ
	D2 PUL42	R/W	1	1	Enable	0	Disable	P42ブレダウン制御レジスタ
	D1 PUL41	R/W	1	1	Enable	0	Disable	P41ブレダウン制御レジスタ
	D0 PUL40	R/W	1	1	Enable	0	Disable	P40ブレダウン制御レジスタ
FF34H	D3 P53	R/W	1	1	High	0	Low	P53入出力兼用ポートデータ
	D2 P52	R/W	1	1	High	0	Low	P52入出力兼用ポートデータ
	D1 P51	R/W	1	1	High	0	Low	P51入出力兼用ポートデータ
	D0 P50	R/W	1	1	High	0	Low	P50入出力兼用ポートデータ
FF35H	D3 IOC53	R/W	0	1	Output	0	Input	P53 I/O制御レジスタ
	D2 IOC52	R/W	0	1	Output	0	Input	P52 I/O制御レジスタ
	D1 IOC51	R/W	0	1	Output	0	Input	P51 I/O制御レジスタ
	D0 IOC50	R/W	0	1	Output	0	Input	P50 I/O制御レジスタ

アドレス	レジスタ名	R/W	初期値	設定/データ			機能	
FF36H	D3 PUL53	R/W	1	1	Enable	0	Disable	P53ブルダウン制御レジスタ
	D2 PUL52	R/W	1	1	Enable	0	Disable	P52ブルダウン制御レジスタ
	D1 PUL51	R/W	1	1	Enable	0	Disable	P51ブルダウン制御レジスタ
	D0 PUL50	R/W	1	1	Enable	0	Disable	P50ブルダウン制御レジスタ
FF3CH	D3 SIP03	R/W	0	1	Enable	0	Disable	P03(KEY03)割り込み選択レジスタ
	D2 SIP02	R/W	0	1	Enable	0	Disable	P02(KEY02)割り込み選択レジスタ
	D1 SIP01	R/W	0	1	Enable	0	Disable	P01(KEY01)割り込み選択レジスタ
	D0 SIP00	R/W	0	1	Enable	0	Disable	P00(KEY00)割り込み選択レジスタ
FF3DH	D3 PCP03	R/W	1	1	↓(falling edge)	0	↑(rising edge)	P03(KEY03)割り込み極性選択レジスタ
	D2 PCP02	R/W	1	1	↓(falling edge)	0	↑(rising edge)	P02(KEY02)割り込み極性選択レジスタ
	D1 PCP01	R/W	1	1	↓(falling edge)	0	↑(rising edge)	P01(KEY01)割り込み極性選択レジスタ
	D0 PCP00	R/W	1	1	↓(falling edge)	0	↑(rising edge)	P00(KEY00)割り込み極性選択レジスタ
FF3EH (*6)	D3 SIP13	R/W	0	1	Enable	0	Disable	P13(KEY13)割り込み選択レジスタ
	D2 SIP12	R/W	0	1	Enable	0	Disable	P12(KEY12)割り込み選択レジスタ
	D1 SIP11	R/W	0	1	Enable	0	Disable	P11(KEY11)割り込み選択レジスタ
	D0 SIP10	R/W	0	1	Enable	0	Disable	P10(KEY10)割り込み選択レジスタ
FF3FH (*6)	D3 PCP13	R/W	1	1	↓(falling edge)	0	↑(rising edge)	P13(KEY13)割り込み極性選択レジスタ
	D2 PCP12	R/W	1	1	↓(falling edge)	0	↑(rising edge)	P12(KEY12)割り込み極性選択レジスタ
	D1 PCP11	R/W	1	1	↓(falling edge)	0	↑(rising edge)	P11(KEY11)割り込み極性選択レジスタ
	D0 PCP10	R/W	1	1	↓(falling edge)	0	↑(rising edge)	P10(KEY10)割り込み極性選択レジスタ

*1 イニシャルリセット時の初期値 *2 回路上設定されない *3 読み出し時は常時"0"

*4 S1C63003/004/008では未使用 *5 S1C63003/004では未使用 *6 S1C63003では未使用

● P0[3:0]: P0入出力兼用ポートデータレジスタ(FF20H)

P1[3:0]: P1入出力兼用ポートデータレジスタ(FF24H)

P2[3:0]: P2入出力兼用ポートデータレジスタ(FF28H)

P3[3:0]: P3入出力兼用ポートデータレジスタ(FF2CH) – S1C63004/008/016

P4[3:0]: P4入出力兼用ポートデータレジスタ(FF30H) – S1C63008/016

P5[3:0]: P5入出力兼用ポートデータレジスタ(FF34H)

入出力兼用ポートデータの読み出し、および出力データの設定を行います。

データ書き込み時

"1"書き込み: HIGHレベル

"0"書き込み: LOWレベル

入出力兼用ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力兼用ポート端子に出力されます。ポートデータとして"1"を書き込んだ場合はポート端子はHIGH(V_{DD})レベルになり、"0"を書き込んだ場合はLOW(V_{SS})レベルになります。なお、入力モードの場合もポートデータの書き込みは行えます。

データ読み出し時

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

入出力兼用ポートが入力モードの場合はポート端子に入力されている電圧レベルが読み出されます。端子電圧がHIGH(V_{DD})レベルの場合は読み出されるポートデータが"1"、LOW(V_{SS})レベルの場合は"0"となります。マスクオプションのプルダウン抵抗を内蔵し、PULxxレジスタに"1"を設定している場合、入力モード時には内蔵プルダウン抵抗がONとなり、入出力兼用ポート端子がプルダウンされます。

出力モードに設定されている場合はレジスタの内容が読み出されます。したがって、信号の入出力に使用しないポートのデータレジスタを汎用レジスタとして使用する場合は、そのポートを出力モードに設定しておく必要があります。

イニシャルリセット時、これらのレジスタは"1"に設定されます。

R/Fコンバータやシリアルインターフェースの入出力、および特殊出力に設定したポートのデータレジスタは、入出力には影響を与えない汎用レジスタとなります。

12 入出力兼用ポート

注: 入力モード時にポートの入力をHIGHレベルからプルダウン抵抗でLOWレベルに変化させる場合、プルダウン抵抗と入力ゲート容量の時定数によって波形立ち下がりに遅延が生じます。このため、入力データの取り込みを行う際は、適切な待ち時間を設定してください。特に、キーマトリクス構成時のキースキャン等に注意が必要です。この待ち時間は次の式で算出される時間以上としてください。

$$10 \times C (\text{端子容量} 15\text{pF} + \text{寄生容量?pF}) \times R (\text{プルダウン抵抗} 500\text{k}\Omega \text{ Max.})$$

- IOC0[3:0]: P0ポートI/O制御レジスタ (FF21H)
IOC1[3:0]: P1ポートI/O制御レジスタ (FF25H)
IOC2[3:0]: P2ポートI/O制御レジスタ (FF29H)
IOC3[3:0]: P3ポートI/O制御レジスタ (FF2DH) – S1C63004/008/016
IOC4[3:0]: P4ポートI/O制御レジスタ (FF31H) – S1C63008/016
IOC5[3:0]: P5ポートI/O制御レジスタ (FF35H)

入出力兼用ポートの入力/出力モードを設定します。

"1"書き込み: 出力モード

"0"書き込み: 入力モード

読み出し: 可能

入出力兼用ポートの入力/出力モードを1ビット単位に設定します。I/O制御レジスタに"1"を書き込むことにより対応する入出力兼用ポートが出力モードに、"0"を書き込むことにより入力モードになります。イニシャルリセット時、IOCxxレジスタは"0"に設定され、対応する入出力兼用ポートPxxは入力モードになります。

R/Fコンバータやシリアルインターフェースの入出力、および特殊出力に設定したポートのI/O制御レジスタは、無効になります。

- PUL0[3:0]: P0ポートプルダウン制御レジスタ (FF22H)
PUL1[3:0]: P1ポートプルダウン制御レジスタ (FF26H)
PUL2[3:0]: P2ポートプルダウン制御レジスタ (FF2AH)
PUL3[3:0]: P3ポートプルダウン制御レジスタ (FF2EH) – S1C63004/008/016
PUL4[3:0]: P4ポートプルダウン制御レジスタ (FF32H) – S1C63008/016
PUL5[3:0]: P5ポートプルダウン制御レジスタ (FF36H)

入力モード時のプルダウンを設定します。

"1"書き込み: プルダウンON

"0"書き込み: プルダウンOFF

読み出し: 可能

入出力兼用ポートに内蔵されたプルダウン抵抗を入力モード時にONまたはOFFすることを1ビット単位に設定します。(プルダウン抵抗はマスクオプションで選択したポートのみに付加されます。)

プルダウン制御レジスタに"1"を書き込むことにより、対応する入出力兼用ポートが入力モード時にプルダウンがONとなります。"0"を書き込んだ場合、および出力モードではプルダウンされません。イニシャルリセット時、PULxxレジスタは"1"に設定され、対応する入出力兼用ポートPxxのプルダウン抵抗がONになります。

マスクオプションによりプルダウン抵抗が付加されていないポート、およびシリアルインターフェースのシリアル出力、R/Fコンバータの入出力、特殊出力に使用するポートのプルダウン制御レジスタはプルダウンには影響を与えない汎用レジスタとなります。シリアル入力に用いられるポートのプルダウン制御レジスタは入出力兼用ポートの場合と同様に機能します。

- SMT0[3:0]: P0ポート入力インタフェースレベル選択レジスタ (FF23H)
SMT1[3:0]: P1ポート入力インタフェースレベル選択レジスタ (FF27H)

入力インタフェースレベルを選択します。

"1"書き込み: CMOSシムミット

"0"書き込み: CMOSレベル

読み出し: 可能

P0およびP1ポートの入力インターフェースレベルを1ビット単位に設定します。SMTxxに"1"を書き込むことにより、対応する入出力兼用ポートPx_xがCMOSシミュミット入力に設定されます。"0"を書き込んだ場合は、CMOSレベルの入力インターフェースに設定されます。イニシャルリセット時、これらのレジスタはすべて"1"に設定されます。

P2～P5ポートはCMOSシミュミットレベルに固定されています。

● SIP0[3:0]: P0ポート割り込み選択レジスタ (FF3CH)

SIP1[3:0]: P1ポート割り込み選択レジスタ (FF3EH) – S1C63004/008/016

P00～P03、P10～P13の中からキー入力割り込みに使用するポートを選択します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

割り込み選択レジスタ(SIP0[3:0]、SIP1[3:0])に"1"を書き込んだ入出力兼用ポート(P00～P03、P10～P13)の割り込みを許可します。"0"に設定した入出力兼用ポートはキー入力割り込みの発生条件には影響を与えません。

SLEEPモードからはキー入力割り込み要因の発生によってのみ起床可能です。したがって、SLP命令を実行する前に、SLEEP解除に使用するポートの割り込み選択レジスタをセット(SIPxx = "1")しておく必要があります。

イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

● PCP0[3:0]: P0ポート割り込み極性選択レジスタ (FF3DH)

PCP1[3:0]: P1ポート割り込み極性選択レジスタ (FF3FH) – S1C63004/008/016

割り込み発生タイミングを設定します。

"1"書き込み: 立ち下がりエッジ

"0"書き込み: 立ち上がりエッジ

読み出し: 可能

割り込み極性選択レジスタ(PCP0[3:0]、PCP1[3:0])に"1"を書き込んだ入出力兼用ポート(P00～P03、P10～P13)のキー入力割り込みは、入力の立ち下がりエッジで発生します。"0"に設定した入出力兼用ポートのキー入力割り込みは、入力の立ち上がりエッジで発生します。イニシャルリセット時、これらのレジスタはすべて"1"に設定されます。

● NRSP0[1:0]: キー入力割り込み0～3ノイズリジェクト周波数選択レジスタ (FF11H·D[1:0])

NRSP1[1:0]: キー入力割り込み4～7ノイズリジェクト周波数選択レジスタ (FF11H·D[3:2])*

* S1C63004/008/016

キー入力割り込みのノイズリジェクト周波数を選択します。

表12.7.2 ノイズリジェクタの設定

NRSP0[1:0]/NRSP1[1:0]	ノイズリジェクト周波数	リジェクトパルス幅
3	fosc1 / 256 (128Hz)	7.8msec
2	fosc1 / 64 (512Hz)	2.0msec
1	fosc1 / 16 (2kHz)	0.5msec
0	Off (バイパス)	–

NRSP0[1:0]、NRSP1[1:0]はそれぞれP00～P03(キー入力割り込み0～3)、P10～P13(キー入力割り込み4～7)の割り込みに対応するノイズリジェクト周波数選択レジスタです。イニシャルリセット時、これらのレジスタは"0"に設定されます。

12.8 注意事項

- 入力モード時にポートの入力をHIGHレベルからプルダウン抵抗でLOWレベルに変化させる場合、プルダウン抵抗と入力ゲート容量の時定数によって波形立ち下がりに遅延が生じます。このため、入力データの取り込みを行う際は、適切な待ち時間を設定してください。特に、キーマトリクス構成時のキースキャン等に注意が必要です。この待ち時間は次の式で算出される時間以上としてください。

$$10 \times C(\text{端子容量}15\text{pF} + \text{寄生容量?pF}) \times R(\text{プルダウン抵抗}500\text{k}\Omega \text{ Max.})$$

- SLP命令を実行する前には、必ずノイズリジェクタをOFFに設定してください。
- SLEEPモードからはキー入力割り込み要因の発生によってのみ起床可能です。したがって、SLP命令を実行する前に、SLEEP解除に使用するポートの割り込み選択レジスタをセット(SIPxx = "1")しておく必要があります。また、SLEEP解除後にキー入力割り込み処理を実行するためには、SLP命令を実行する前に、該当ポートの割り込みマスクレジスタもイネーブル状態にセット(EIKxx = "1")しておく必要があります。
- ポートの機能設定は、ポートを使用する回路(入力割り込み、キー同時押しリセット、シリアルインターフェース、R/Fコンバータ、イベントカウンタ入力、ストップウォッチダイレクトRUN/LAP入力)がディセーブルの状態で行ってください。

13 シリアルインタフェース [S1C63004/008/016]

注: S1C63003にシリアルインタフェースは内蔵されていません。

13.1 シリアルインタフェースの構成

S1C63004/008/016はクロック同期型の8ビットシリアルインタフェースを内蔵しています。CPUはSIN端子より入力されたシリアルデータを8ビットのシフトレジスタを介して読み取ることができます。また、同じ8ビットのシフトレジスタを介してパラレルデータをシリアル変換し、SOUT端子に出力することができます。シリアルデータを入出力するための同期クロックは、マスタモード(内部クロックモード: 本CPUがシリアル入出力のマスターとなる場合)7種類とスレーブモード(外部クロックモード: 本CPUがシリアル入出力のスレーブとなる場合)1種類の中から1つをソフトウェアにより選択できます。

図13.1.1にシリアルインタフェースの構成を示します。

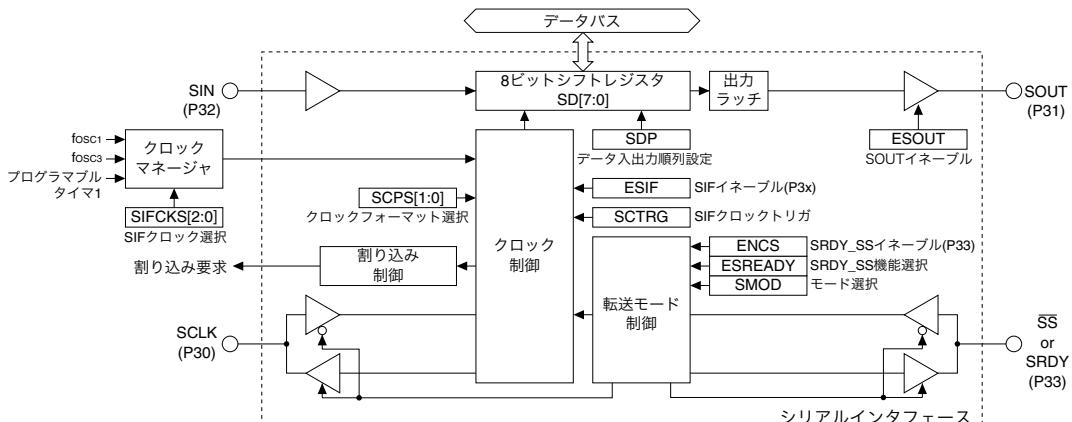


図13.1.1 シリアルインタフェースの構成

13.2 シリアルインタフェース入出力端子

シリアルインタフェースで使用する端子と機能は、以下のとおりです。

SCLK (P30)

シリアルクロックを入出力します。ESIFレジスタに"1"を書き込んでシリアルインタフェースを有効にすると、P30端子がSCLK端子に切り換わります。マスタモードではSCLK端子が出力端子となり、データ転送時はIC内部で生成した同期クロックを出力します。スレーブモードでは、外部マスタデバイスが出力する同期クロックをSCLK端子から入力して動作します。

SIN (P32)

シリアルデータを入力します。ESIFレジスタに"1"を書き込んでシリアルインタフェースを有効にすると、P32端子がSIN端子に切り換わります。

SOUT (P31)

シリアルデータを出力します。ESIFレジスタに"1"を書き込んでも、初期設定ではSOUT端子が有効になりません。SOUT出力を使用するには、ESOUTレジスタに"1"を書き込みます。

シリアル入力のみを行う場合は、P31端子を入出力兼用ポート端子として使用することができます。

SRDY (P33)

スレーブモード時に、本シリアルインタフェースが送受信可能なことを示すSRDY信号をマスタデバイスに出力します。スレーブモードに設定した場合でも、初期状態ではSRDY端子が有効になりません。スレーブモード時のSRDY出力を使用するには、ENCSとESREADYに"1"を書き込みます。

SS (P33)

S1C63004/008/016をSPIスレーブデバイスとして使用する場合に、SS(スレーブセレクト)信号を入力します。SS入力を使用するには、ENCSに"1"を、ESREADYに"0"を書き込みます。

シリアルインターフェースの入出力ポートは入出力兼用ポート(P30～P33)と兼用されており、イニシャルリセット時はすべて入出力兼用ポート端子に設定されます。シリアルインターフェースとして使用する場合はソフトウェアによって上記のとおり機能の切り換えを行います。最低でもESIFを"1"に設定する必要があります。切り換え操作によって、端子の入出力方向は自動的に設定されます。入出力兼用ポートの制御レジスタを操作する必要はありません。入出力兼用ポートのI/O制御レジスタやデータレジスタは無効になります。ただし、シリアル入力に使用する端子に対応した入出力兼用ポートのプルアップ制御レジスタはシリアル入力として使用する場合も有効です。

13.3 マスクオプション

シリアルインターフェースの入出力端子は入出力兼用ポート(P30～P33)と兼用されているため、入出力兼用ポートの端子仕様を選択するマスクオプションがシリアルインターフェースにも適用されます。

出力仕様

シリアルインターフェースの入出力ポートの中で出力として使用されるSOUT端子、SCLK端子(マスタモード時)、SRDY端子(スレーブモード時)の出力仕様がそれぞれP31、P30、P33のマスクオプションで設定されます。出力仕様として、コンプリメンタリ出力またはPチャネルオープンドレイン出力のいずれかが選択できます。ただし、Pチャネルオープンドレイン出力を選択した場合でも、端子に電源電圧を超える電圧を印加することは禁止します。

プルダウン抵抗

入力として使用されるSIN端子、SCLK端子(スレーブモード時)、 \overline{SS} 端子(SPIスレーブモード時)へのプルダウン抵抗の付加をP32、P30、P33のマスクオプションで選択できます。“プルダウンなし”を選択した場合には、フローティング状態が発生しないように注意してください。

プルダウン抵抗付加時のプルダウン制御

シリアル入力端子にプルダウン抵抗を付加した場合、プルダウンのON/OFF制御は入出力兼用ポートのプルダウン制御レジスタで行います。

SIN端子: PUL32レジスタ

SCLK端子: PUL30レジスタ

\overline{SS} 端子: PUL33レジスタ

制御の詳細については、“入出力兼用ポート”的章を参照してください。

13.4 シリアルインターフェースの動作モード

本シリアルインターフェースはマスタモード、スレーブモード、SPIスレーブモードの3種類の動作モードを持っています。

マスタモード

マスタモードはS1C63004/008/016をシリアル転送のマスタデバイスとして使用するためのモードです。このモードでは、クロックマネージャより供給される内部クロックをシリアル転送用の同期クロックとして使用します。このクロックはSCLK端子からスレーブデバイスにも出力されます。スレーブデバイスからのレディ信号は、入出力兼用ポート(入力モード)から入力してソフトウェアで処理します。

このモードに設定したS1C63004/008/016をSPIマスタデバイスとして使用することもできます。その場合の \overline{SS} (スレーブセレクト)信号は入出力兼用ポート(出力モード)をソフトウェアで制御して出力します。

スレーブモード

スレーブモードはS1C63004/008/016をシリアル転送のスレーブデバイスとして使用するためのモードです。このモードでは、外部マスタデバイスから送られる同期クロックをSCLK端子から入力してデータ転送を行います。データ転送は外部マスタデバイスによって制御されるため、本シリアルインターフェースが送受信可能ことを示すレディ信号をハードウェア制御によりSRDY端子から出力することができます。

SPIスレーブモード

SPIスレーブモードはS1C63004/008/016をSPIスレーブデバイスとして使用するためのモードです。このモードでは、外部マスタデバイスから送られる同期クロックをSCLK端子から入力してデータ転送を行います。SPIでは、マスタデバイスが転送を行うスレーブデバイスをSS(スレーブセレクト)信号により選択します。SPIスレーブモードではこのSS信号の入力に対応しています。

基本的なシリアル入出力部の接続例を図13.4.1に示します。

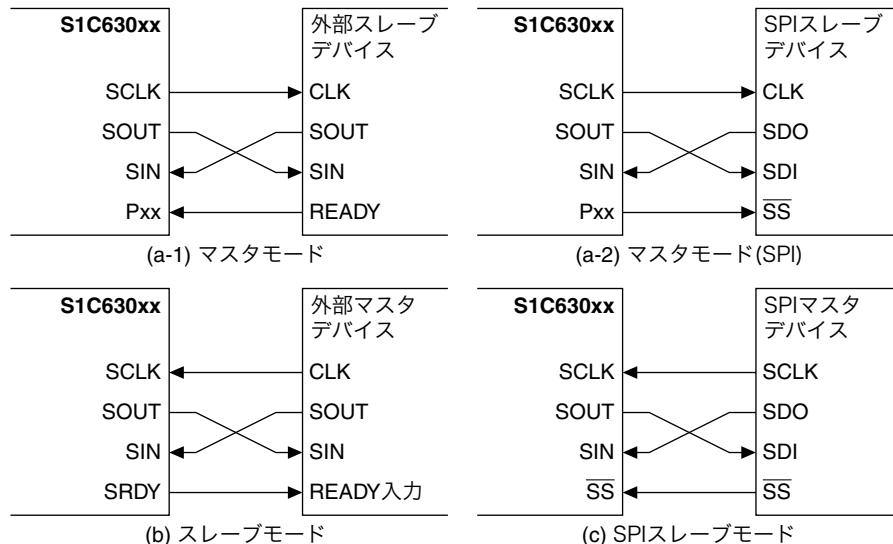


図13.4.1 基本的なシリアル入出力部の接続例

モードの設定には、SMOD、ENCS、ESREADYレジスタを使用します。

マスタモード: SMOD = "1"、ENCS = "0"、ESREADY = "0"

スレーブモード: SMOD = "0"、ENCS = "1"、ESREADY = "1"

SPIスレーブモード: SMOD = "0"、ENCS = "1"、ESREADY = "0"

表13.4.1にモード設定と使用する端子構成の組み合わせを示します。

表13.4.1 モード設定とシリアルインターフェース端子の構成

ESIF	SMOD	ENCS	ESREADY	ESOUT	モード	P30端子	P31端子	P32端子	P33端子
1	1	1	1	*	マスタモード	設定禁止			
1	1	*	0	1		SCLK (O)	SOUT (O)	SIN (I)	P33 (I/O)
1	1	0	1	1		SCLK (O)	SOUT (O)	SIN (I)	P33 (I/O)
1	1	*	0	0		SCLK (O)	P31 (I/O)	SIN (I)	P33 (I/O)
1	1	0	1	0	スレーブモード	SCLK (O)	P31 (I/O)	SIN (I)	P33 (I/O)
1	0	1	1	1		SCLK (I)	SOUT (O)	SIN (I)	SRDY (O)
1	0	1	1	0		SCLK (I)	P31 (I/O)	SIN (I)	SRDY (O)
1	0	0	*	1		SCLK (I)	SOUT (O)	SIN (I)	P33 (I/O)
1	0	0	*	0	SPIスレーブモード	SCLK (I)	P31 (I/O)	SIN (I)	P33 (I/O)
1	0	1	0	1		SCLK (I)	SOUT (O)	SIN (I)	SS (I)
1	0	1	0	0		SCLK (I)	P31 (I/O)	SIN (I)	SS (I)
0	*	*	*	*	シリアルI/F未使用	P30 (I/O)	P31 (I/O)	P32 (I/O)	P33 (I/O)

13.5 同期クロックの設定

13.5.1 ソースクロックの選択

マスタモードで使用する場合、シリアルインターフェースはクロックマネージャから送られる内部クロックを同期クロックとして使用し、データ転送を行います。クロックマネージャはOSC1とOSC3を分周して6種類のシリアルインターフェース用クロックを生成します。これとプログラマブルタイマ1の出力クロックを合わせた7種類の中からマスタモードで使用するクロックを選択できるようになっています。選択は、表13.5.1.1に示すとおり、SIFCKS[2:0]レジスタによって行います。

表13.5.1.1 シリアルインターフェースのクロック周波数

SIFCKS[2:0]	SIFクロック(マスタモード)
7	fosc ₃ / 4 *
6	fosc ₃ / 2 *
5	fosc ₃ / 1 *
4	プログラマブルタイマ1 *
3	fosc ₁ / 4 (8kHz)
2	fosc ₁ / 2 (16kHz)
1	fosc ₁ / 1 (32kHz)
0	OFF(スレーブモード) *

fosc₁: OSC1発振周波数、()内の周波数は、fosc₁ = 32kHzの場合

fosc₃: OSC3発振周波数

* クロック周波数は最大1MHzに制限されます。

プログラマブルタイマ1を選択した場合は、プログラマブルタイマ1のアンダーフロー信号を1/2に分周した信号が同期クロックとして使用されます。この場合、シリアルインターフェースを動作させる前にプログラマブルタイマの制御が必要です。プログラマブルタイマについては"プログラマブルタイマ"の章を参照してください。

スレーブモード時はSIFCKS[2:0]を"0"に固定してください。

イニシャルリセット時は内部クロックOFF(スレーブモード)が選択されます。

13.5.2 同期クロックフォーマットの選択

シリアルインターフェースの同期クロックフォーマット(極性とフェーズ)をSCPS[1:0]レジスタによって選択することができます。

表13.5.2.1 同期クロックフォーマットの選択

SCPS[1:0]	極性	フェーズ
3	負極性(SCLK)	立ち上がりエッジ(↑)
2	負極性(SCLK)	立ち下がりエッジ(↓)
1	正極性(SCLK)	立ち下がりエッジ(↓)
0	正極性(SCLK)	立ち上がりエッジ(↑)

イニシャルリセット時、クロック極性は正極性、フェーズは"立ち上がりエッジ"に設定されます。同期クロックフォーマットの選択によるデータ送受信タイミングについては、図13.6.5.1を参照してください。

13.6 データの入出力と割り込み

S1C63004/008/016のシリアルインターフェースは、内部の8ビットシフトレジスタを介してデータの入出力をすることができます。シフトレジスタのシフト動作は、SCLK(P30)端子より出力される(マスタモード)同期クロックか、SCLK(P30)端子に入力される(スレーブモード)同期クロックに同期して動作します。シリアルインターフェースは8ビットのシリアルデータの入出力が終了すると割り込みを発生します。シリアルデータの入出力の検出は同期クロックSCLKをカウントすることで行っており、クロックが8個(8周期分)カウントされた時点で終了と判断して割り込みを発生します。

以下にシリアルデータの入出力方法について説明します。

13.6.1 シリアルデータの出力と割り込み

S1C63004/008/016のシリアルインターフェースは8ビット単位でパラレルデータをシリアル出力することができます。パラレルデータをデータレジスタSD[3:0]とSD[7:4]にセットし、SCTRGビットを"1"にセットすると、同期クロックに同期してSOUT(P31)端子にシリアルデータが出力されます。このとき、同期クロックはマスタモードでは内部クロックがSCLK(P30)端子に出力され、スレーブモードでは外部クロックがSCLK(P30)端子より入力されます。

データのシフトタイミングは次のとおりです。

- **同期クロックに正極性(SCPS1 = "0")を選択した場合**

SOUT(P31)端子のシリアル出力はSCLK(P30)端子から入力、または出力されるクロックの立ち上がりエッジで変化します。また、シフトレジスタのデータは、SCPS0レジスタが"0"のときはSCLK信号の立ち上がりでシフトし、SCPS0レジスタが"1"のときはSCLK信号の立ち下がりでシフトします。

- **同期クロックに負極性(SCPS1 = "1")を選択した場合**

SOUT(P31)端子のシリアル出力はSCLK(P30)端子から入力、または出力されるクロックの立ち下がりエッジで変化します。また、シフトレジスタのデータは、SCPS0レジスタが"0"のときはSCLK信号の立ち下がりでシフトし、SCPS0レジスタが"1"のときはSCLK信号の立ち上がりでシフトします。

SD0からSD7までの8ビットのデータを出力し終わると割り込み要因フラグISIFがセットされ、割り込みが発生します。なお、割り込みマスクレジスタEISIFによって割り込みを禁止することもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、8ビットデータの出力後"1"にセットされます。

13.6.2 シリアルデータの入力と割り込み

S1C63004/008/016のシリアルインターフェースは8ビット単位でシリアルデータをパラレルデータとして入力することができます。シリアルデータはSIN(P32)端子より入力され、同期クロックに同期してCPU内部の8ビットシフトレジスタに順次取り込まれます。同期クロックは、マスタモードでは内部クロックが使われ、スレーブモードでは外部クロックが使われます。

データのシフトタイミングは次のとおりです。

- **同期クロックに正極性(SCPS1 = "0")を選択した場合**

内蔵シフトレジスタへのシリアルデータは、SCPS0レジスタが"0"のときはSCLK信号の立ち上がりで取り込まれ、SCPS0レジスタが"1"のときはSCLK信号の立ち下がりで取り込まれます。シリアルデータが取り込まれるとともに、シフトレジスタ内のデータは順次シフトされます。

- **同期クロックに負極性(SCPS1 = "1")を選択した場合**

内蔵シフトレジスタへのシリアルデータは、SCPS0レジスタが"0"のときはSCLK信号の立ち下がりで取り込まれ、SCPS0レジスタが"1"のときはSCLK信号の立ち上がりで取り込まれます。シリアルデータが取り込まれるとともに、シフトレジスタ内のデータは順次シフトされます。

SD0からSD7までの8ビットのデータを入力し終わると割り込み要因フラグISIFがセットされ、割り込みが発生します。なお、割り込みマスクレジスタEISIFによって割り込みを禁止することもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、8ビットデータの入力後"1"にセットされます。

シフトレジスタに入力されたデータは、レジスタSD[7:0]からソフトウェアによって読み出すことができます。

13.6.3 シリアルデータの入出力順列

S1C63004/008/016では、シリアルデータをLSB先頭で入出力するかMSB先頭で入出力するかSDPレジスタにより切り換えることができます。LSBを先頭にした場合とMSBを先頭にした場合のブロック図を図13.6.3.1に示します。SDPの設定はSD[7:0]にデータを設定する前に行ってください。



図13.6.3.1 シリアルデータの入出力順列

13.6.4 SRDY信号

S1C63004/008/016のシリアルインターフェースをスレーブモードで使用する場合には、マスター側(外部)のシリアル入出力回路に対して本シリアルインターフェースが送受信可能かどうかを伝えるためのSRDY信号をSRDY(P33)端子より出力することができます。SRDY出力を使用するには、ENCSとESREADYに"1"を書き込みます(SPIスレーブモードでは、この機能は使用できません)。SRDY信号の出力タイミングは次のとおりです。

- 同期クロックに正極性(SCPS1 = "0")を選択した場合

SRDY信号はS1C63004/008/016のシリアル入出力回路が送信または受信可能な状態になったときに"1"(HIGH)となり、通常は"0"(LOW)となっています。

SRDY信号はSCTRGに"1"を書き込んだ直後に"0"から"1"に変化し、SCLK(P30)端子に"1"が入力されると(送信または受信を開始すると)"1"から"0"に戻ります。

また、シフトレジスタの上位ワード(SD[7:4])に対してデータを読み出したり、書き込んだりするとSRDY信号は"0"に戻ります。

- 同期クロックに負極性(SCPS1 = "1")を選択した場合

SRDY信号はS1C63004/008/016のシリアル入出力回路が送信または受信可能な状態になったときに"0"(LOW)となり、通常は"1"(HIGH)となっています。

SRDY信号はSCTRGに"1"を書き込んだ直後に"1"から"0"に変化し、SCLK(P30)端子に"0"が入力されると(送信または受信を開始すると)"0"から"1"に戻ります。

また、シフトレジスタの上位ワード(SD[7:4])に対してデータを読み出したり、書き込んだりするとSRDY信号は"1"に戻ります。

13.6.5 タイミングチャート

S1C63004/008/016のシリアルインターフェースのタイミングチャートを図13.6.5.1に示します。

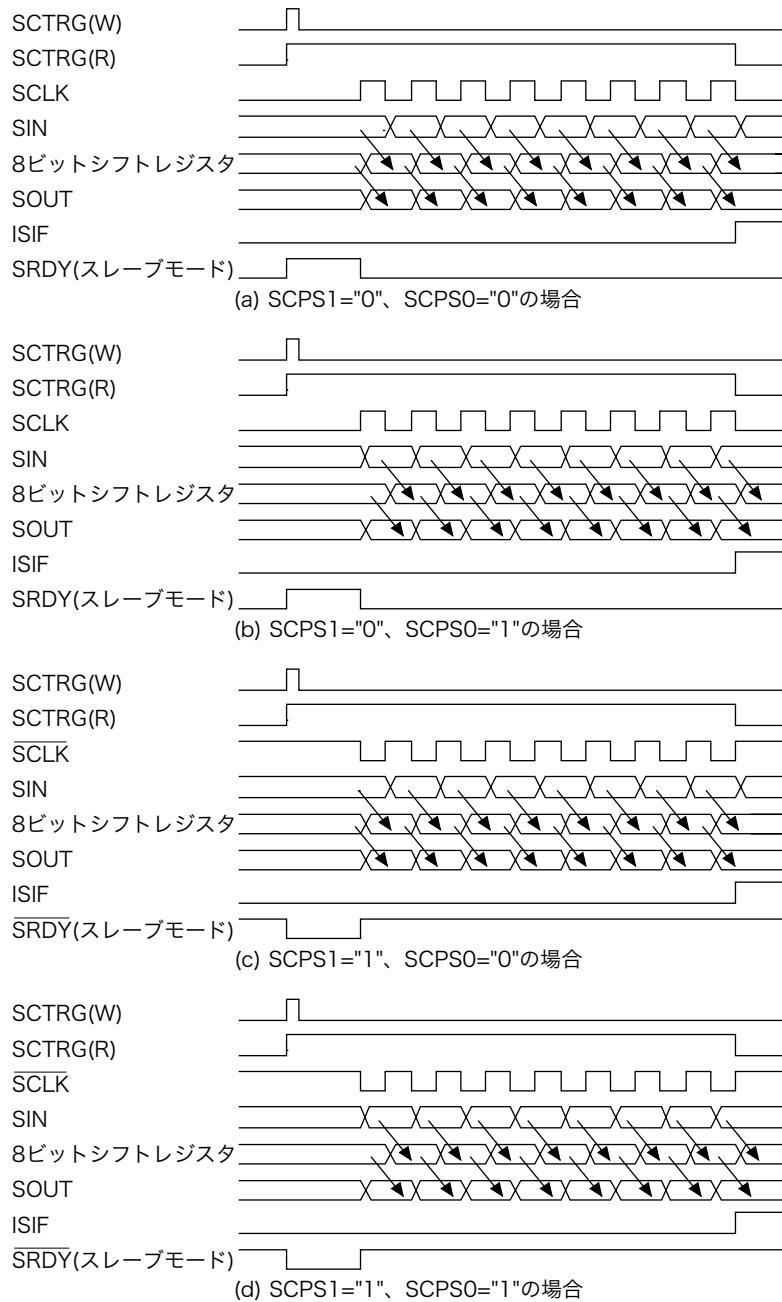


図13.6.5.1 シリアルインタフェースのタイミングチャート

13.7 SPI方式のデータ転送

本シリアルインターフェースはSPI方式のシリアルデータ転送にも対応可能です。

P33を \overline{SS} 端子に設定した場合にSRDY出力が使用できなくなることを除き、シリアルインターフェースのマスタモード、スレーブモードの機能はそのまま使用可能です。また、制御方法も同じです。これらの共通な内容については、"13.4 シリアルインターフェースの動作モード"および"13.6 データの入出力と割り込み"を参照してください。

SPIスレーブデバイスとして使用する場合

S1C63004/008/016をSPIスレーブデバイスとして使用する場合は、本シリアルインターフェースをSPIスレーブモードに設定します。

ESIF="1"、SMOD="0"、ENCS="1"、ESREADY="0"、ESOUT="1"(SOUT使用時)

P33端子が \overline{SS} (スレーブセレクト)信号入力端子として機能します。

このモードで送受信を行うには、前述のスレーブモードと同じように、SCTRGに"1"を書き込んで本シリアルインターフェースを送受信可能状態に設定しておきます。外部マスタデバイスがスレーブセレクト信号(\overline{SS} (P33)端子に入力)をアクティブ(LOW)にした後に同期クロックの出力(SCLK端子に入力)を開始すると、本シリアルインターフェースは送受信動作を開始します。外部マスタデバイスはデータ入出力期間中、S1C63004/008/016の \overline{SS} (P33)端子をアクティブにしておく必要があります。 \overline{SS} 信号がインアクティブの状態で外部マスタデバイスからSCLK端子に同期クロックが入力されても、本シリアルインターフェースは送受信を開始しません。

SPIマスタデバイスとして使用する場合

S1C63004/008/016をSPIマスタデバイスとして使用する場合は、本シリアルインターフェースをマスタモードに設定します。

ESIF="1"、SMOD="1"、ENCS="0"、ESREADY="0"、ESOUT="1"(SOUT使用時)

マスタモードでは \overline{SS} 信号出力端子が設定されませんので、任意の入出力兼用ポート端子1つを出力モードに設定し、 \overline{SS} 信号出力端子として使用してください。 \overline{SS} 信号出力はSCTRGに"1"を書き込む前にLOWにし、データ入出力期間中はLOWを保持します。8ビットのデータ入出力を終了後、 \overline{SS} 信号出力をHIGHにします。

タイミングチャート

SPI方式のデータ送受信タイミングチャートを図13.7.1に示します。

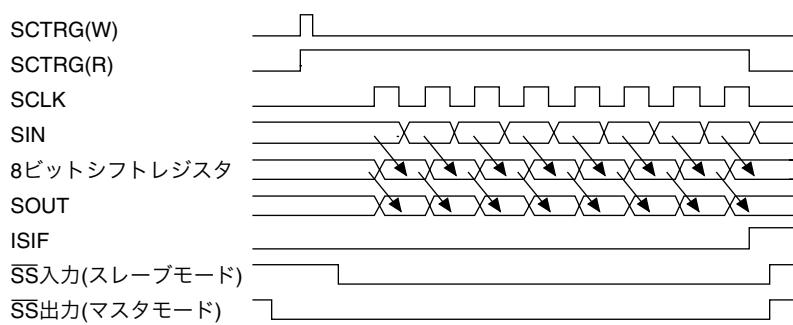


図13.7.1 SPI方式のタイミングチャート(SCPS1 = SCPS0 = "0"の場合)

- 注:
- S1C63004/008/016のシリアルインターフェースは送信バッファおよび受信バッファを持っていませんので、1バイトの送受信ごとにデータを処理する必要があります。割り込み要因フラグは1バイトの送受信完了後にセットされますので、SPIデバイスとのデータ送受信開始をトリガとする割り込み処理はできません。
 - SPIスレーブモードでデータ送受信中に \overline{SS} 入力がインアクティブになった場合や、 \overline{SS} 入力がアクティブになる前にマスタデバイスがSCLK信号を出力した場合、本シリアルインターフェースは正常にデータを送受信することはできません。

13.8 シリアルインタフェースのI/Oメモリ

表13.8.1にシリアルインタフェースの制御ビットとそのアドレスを示します。

表13.8.1 シリアルインタフェースの制御ビット

アドレス	レジスタ名	R/W	初期値	設定/データ						機能		
FF14H (*6)	D3	0 (*3)	R	- (*2)	-						未使用	
	D2	SIFCKS2	R/W	0	7	f ₃ /4	4	PT1	1	f ₁	シリアルI/Fクロック周波数選択 (f ₁ = fosc ₁ , f ₃ = fosc ₃)	
	D1	SIFCKS1	R/W	0	6	f ₃ /2	3	f ₁ /4	0	Off/ External		
	D0	SIFCKS0	R/W	0	5	f ₃	2	f ₁ /2				
FF58H (*6)	D3	0 (*3)	R	- (*2)	-						未使用	
	D2	ESOUT	R/W	0	1	Enable	0	Disable	SOUTイネーブル			
	D1	SCTRG	R/W	0	1	Trigger (W) Run (R)	0	Invalid (W) Stop (R)	シリアルI/Fクロックトリガ(書き込み時) シリアルI/Fクロックステータス(読み出し時)			
	D0	ESIF	R/W	0	1	SIF	0	I/O	シリアルI/Fイネーブル(P3ポート機能選択)			
FF59H (*6)	D3	SCPS1	R/W	0	3	Negative, ↑	1	Positive, ↓	シリアルI/Fクロックフォーマット選択 (極性, フェーズ)			
	D2	SCPS0	R/W	0	2	Negative, ↓	0	Positive, ↑				
	D1	SDP	R/W	0	1	MSB first	0	LSB first	シリアルI/Fデータ入出力順列			
	D0	SMOD	R/W	0	1	Master	0	Slave	シリアルI/Fモード選択			
FF5AH (*6)	D3	0 (*3)	R	- (*2)	-						未使用	
	D2	0 (*3)	R	- (*2)	-						未使用	
	D1	ESREADY	R/W	0	1	SRDY	0	SS	SRDY_SS機能選択(ENCS = "1")			
	D0	ENCS	R/W	0	1	SRDY_SS	0	P33	SRDY_SSイネーブル(P33ポート機能選択)			
FF5BH (*6)	D3	SD3	R/W	x	0H-FH						シリアルI/F送受信データ(下位4ビット) SD0 = LSB	
	D2	SD2	R/W	x								
	D1	SD1	R/W	x								
	D0	SD0	R/W	x								
FF5CH (*6)	D3	SD7	R/W	x	0H-FH						シリアルI/F送受信データ(上位4ビット) SD7 = MSB	
	D2	SD6	R/W	x								
	D1	SD5	R/W	x								
	D0	SD4	R/W	x								

*1 イニシャルリセット時の初期値 *2 回路上設定されない *3 読み出し時は常時"0"

*4 S1C63003/004/008では未使用 *5 S1C63003/004では未使用 *6 S1C63003では未使用

● SIFCKS[2:0]: シリアルインタフェースクロック周波数選択レジスタ (FF14H·D[2:0])

マスター mode 時の同期クロック周波数を選択します。

表13.8.2 シリアルインタフェースのクロック周波数

SIFCKS[2:0]	SIFクロック (マスター mode)
7	fosc ₃ / 4 *
6	fosc ₃ / 2 *
5	fosc ₃ / 1 *
4	プログラマブルタイマ1 *
3	fosc ₁ / 4 (8kHz)
2	fosc ₁ / 2 (16kHz)
1	fosc ₁ / 1 (32kHz)
0	OFF (スレーブモード) *

fosc₁: OSC1発振周波数、()内の周波数は、fosc₁ = 32kHzの場合

fosc₃: OSC3発振周波数

* クロック周波数は最大1MHzに制限されます。

プログラマブルタイマ1を選択した場合は、プログラマブルタイマ1のアンダーフロー信号を1/2分周した信号が同期クロックとして使用されます。この場合、シリアルインタフェースを動作させる前にプログラマブルタイマの制御が必要です。プログラマブルタイマについては"プログラマブルタイマ"の章を参照してください。

スレーブモード時は"0"に固定してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

13 シリアルインターフェース

● ESIF: シリアルインターフェースイネーブルレジスタ (P3ポート機能選択) (FF58H·D0)

P30～P33をシリアルインターフェースの入出力ポートに設定します。

"1"書き込み: シリアルインターフェース

"0"書き込み: 入出力兼用ポート

読み出し: 可能

P30、P31、P32、P33がそれぞれSCLK、SOUT、SIN、SRDYまたはSSとして機能します。P33端子はスレーブモードの場合にSRDY出力端子またはSS入力端子として機能し、マスタモードの場合は入出力兼用ポート端子として機能します。イニシャルリセット時、このレジスタは"0"に設定されます。

● SCTRLG: クロックトリガ/ステータス (FF58H·D1)

同期クロック(SCLK)の入力/出力開始トリガです。

データ書き込み時

"1"書き込み: トリガ入力

"0"書き込み: ノーオペレーション

シリアルインターフェース起動回路にこのトリガ入力を与えると、同期クロック(SCLK)の入力/出力を開始します。トリガ条件として、SCTRLGに"1"を書き込む以前に、データレジスタSD[7:0]の書き込み、または読み出しが行われている必要があります。(データレジスタSD[7:0]への書き込み/読み出しにより、シリアルインターフェースの内部回路は初期化されます。)また、トリガをかける前に必ずESIFでシリアルインターフェースをイネーブルとしておいてください。トリガ入力はシリアルインターフェースをRUN状態にするごとに一度だけ与えてください。複数回のトリガ入力は誤動作につながりますので避けてください。また、同期クロック(SCLK)が外部クロックの場合は、トリガ入力後に外部クロックの入力を開始してください。

データ読み出し時

"1"読み出し: RUN(同期クロック入出力中)

"0"読み出し: STOP(同期クロック停止中)

同期クロックの動作状態は、このビットを読み出すことによって確認できます。SCTRLGに"1"を書き込むと、このデータは同期クロックの入出力が停止(8個カウント)するまでラッチされます。したがって、"1"を読み出した場合は、同期クロックが入出力動作中であることを示しています。同期クロックの入出力が終了するとこのラッチは"0"にリセットされます。

イニシャルリセット時、このビットは"0"に設定されます。

● ESOUT: SOUTイネーブルレジスタ (FF58H·D2)

P31からのシリアル出力を許可します。

"1"書き込み: イネーブル(SOUT)

"0"書き込み: ディセーブル(入出力兼用ポート)

読み出し: 可能

シリアルデータ入力のみを行う場合は、SOUT出力をディセーブルとしてP31を入出力兼用ポートとして使用することができます。シリアル出力をを行う場合は、ESOUTに"1"を書き込んでP31をSOUT出力に設定してください。イニシャルリセット時、このレジスタは"0"に設定されます。

● SMOD: 動作モード選択レジスタ (FF59H·D0)

シリアルインターフェースの動作モードを、マスタモードにするかスレーブモードにするか選択します。

"1"書き込み: マスタモード

"0"書き込み: スレーブモード

読み出し: 可能

マスタモードでは内蔵シフトレジスタの同期クロックとして内部クロック(クロックマネージャで選択)を使用します。また、この内部クロックをSCLK(P30)端子に出力し、外部の(スレーブ側の)シリアル入出力回路を制御することができます。スレーブモードでは、外部の(マスタ側の)シリアル入出力回路より出力される同期クロックをSCLK(P30)端子より入力し、本シリアルインターフェースの同期クロックとして使用することができます。

SMODに"1"を書き込むとマスタモードに、"0"を書き込むとスレーブモードに設定されます。イニシャルリセット時、このレジスタは"0"に設定されます。

● SDP: データ入出力順列選択レジスタ (FF59H・D1)

シリアルデータの入出力順列を選択します。

"1"書き込み: MSB先頭

"0"書き込み: LSB先頭

読み出し: 可能

データの入出力をMSB先頭で行うか、LSB先頭で行うか選択します。イニシャルリセット時、このレジスタは"0"に設定されます。

● SCPS[1:0]: クロックフォーマット選択レジスタ (FF59H・D[3:2])

SIN(P32)端子から入力するシリアルデータの読み込みタイミングを選択します。

表13.8.3 同期クロックフォーマットの選択

SCPS[1:0]	極性	フェーズ
3	負極性(SCLK)	立ち上がりエッジ(↑)
2	負極性(SCLK)	立ち下がりエッジ(↓)
1	正極性(SCLK)	立ち下がりエッジ(↓)
0	正極性(SCLK)	立ち上がりエッジ(↑)

同期クロックに正極性(SCPS1 = "0")を選択した場合

データ入力時、内蔵シフトレジスタへのシリアルデータは、SCPS0レジスタが"0"のときはSCLK信号の立ち上がりで取り込まれ、SCPS0レジスタが"1"のときはSCLK信号の立ち下がりで取り込まれます。シリアルデータが取り込まれるとともに、シフトレジスタ内のデータは順次シフトされます。

データ出力時、SOUT(P31)端子のシリアル出力はSCLK(P30)端子から入力、または出力されるクロックの立ち上がりエッジで変化します。また、シフトレジスタのデータは、SCPS0レジスタが"0"のときはSCLK信号の立ち上がりでシフトし、SCPS0レジスタが"1"のときはSCLK信号の立ち下がりでシフトします。

同期クロックに負極性(SCPS1 = "1")を選択した場合

データ入力時、内蔵シフトレジスタへのシリアルデータは、SCPS0レジスタが"0"のときはSCLK信号の立ち下がりで取り込まれ、SCPS0レジスタが"1"のときはSCLK信号の立ち上がりで取り込まれます。シリアルデータが取り込まれるとともに、シフトレジスタ内のデータは順次シフトされます。

データ出力時、SOUT(P31)端子のシリアル出力はSCLK(P30)端子から入力、または出力されるクロックの立ち下がりエッジで変化します。また、シフトレジスタのデータは、SCPS0レジスタが"0"のときはSCLK信号の立ち下がりでシフトし、SCPS0レジスタが"1"のときはSCLK信号の立ち上がりでシフトします。

イニシャルリセット時、このレジスタは"0"に設定されます。

● ENCS: SRDY_SSイネーブルレジスタ (P33ポート機能選択) (FF5AH・D0)

P33のシリアルI/F信号の入出力を許可します。ESREADYと組み合わせて使用します。

"1"書き込み: イネーブル(シリアルインターフェース)

"0"書き込み: ディセーブル(入出力兼用ポート)

読み出し: 可能

イネーブルに設定すると、スレーブモード(SMOD="0")時にP33をSRDY出力またはSS入力端子として使用することができます。イニシャルリセット時、このレジスタは"0"に設定されます。

● ESREADY: SRDY_SS機能選択レジスタ (FF5AH・D1)

ENCS="1"の場合にP33ポートの機能を選択します。

"1"書き込み: SRDY出力

"0"書き込み: SS入力

読み出し: 可能

スレーブモード(SMOD="0")時に、P33端子をSRDY出力またはSS入力端子のどちらに使用するか選択できます。イニシャルリセット時、このレジスタは"0"に設定されます。

表13.8.4 P33ポート機能の選択

スレーブモード時: SMOD="0"			マスター モード時: SMOD="1"		
ESREADY	ENCS	P33端子	ESREADY	ENCS	P33端子
*	0	P33 (I/O)	*	0	P33 (I/O)
0	1	SS (I)	0	1	P33 (I/O)
1	1	SRDY (O)	1	1	設定禁止

● SD[7:0]: シリアルインターフェースデータレジスタ (FF5CH, FF5BH)

シリアルデータの書き込み/読み出しを行います。

データ書き込み時

"1"書き込み: HIGHレベル

"0"書き込み: LOWレベル

SOUT(P31)端子から出力するシリアルデータを書き込みます。SOUT(P31)端子からは"1"に設定されたビットがHIGH(V_{DD})レベル、"0"に設定されたビットがLOW(V_{SS})レベルとしてシリアル変換されたデータが outputされます。

データ読み出し時

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

SIN(P32)端子から入力されたシリアルデータを読み出します。このレジスタからは、SIN(P32)端子から入力されたHIGH(V_{DD})レベルのビットを"1"、LOW(V_{SS})レベルのビットを"0"としてパラレル変換されたデータが読み出されます。データの読み出しは、シリアルインターフェースが停止中(同期クロックが入力/出力されていない状態)のときにのみ行ってください。

イニシャルリセット時、このレジスタ内のデータは不定です。

13.9 注意事項

- データレジスタSD[7:0]への書き込み、または読み出しはシリアルインターフェースが停止中(同期クロックが入力/出力されていない状態)のときのみ行ってください。
- シリアルインターフェースの起動はトリガ条件として、SCTRGに"1"を書き込む以前に、データレジスタSD[7:0]の書き込み/読み出しが行われている必要があります。(データレジスタSD[7:0]への書き込み/読み出しにより、シリアルインターフェースの内部回路は初期化されます。)また、トリガをかける前に必ずESIFでシリアルインターフェースをイネーブルとしておいてください。
トリガはシリアルインターフェースをRUN状態にするごとに一度だけ与えてください。また、同期クロックSCLKが外部クロックの場合は、トリガ後に外部クロックの入力を開始してください。
- SDPによる入出力順列(MSB先頭/LSB先頭)の設定は、SD[7:0]にデータを設定する前に行ってください。
- プログラマブルタイマの出力クロックを同期クロックとして使用する場合、またはスレーブモードで使用する場合、同期クロックの周波数は最大1MHzに制限されますので注意してください。

14 LCD ドライバ

14.1 LCD ドライバの構成

S1C63003/004/008/016は表14.1.1に示すLCD出力が可能です。

表14.1.1 LCD出力

機種	コモン端子	セグメント端子	最大ドット数
S1C63016	8本 (COM0～COM7)	56本 (SEG0～SEG55)	448ドット (56×8)
S1C63008	8本 (COM0～COM7)	50本 (SEG0～SEG29, SEG36～SEG55)	400ドット (50×8)
S1C63004	8本 (COM0～COM7)	36本 (SEG0～SEG19, SEG40～SEG55)	288ドット (36×8)
S1C63003	5本 (COM0～COM4)	22本 (SEG0～SEG9, SEG44～SEG55)	110ドット (22×5)

駆動方法はVc1、Vc2、Vc3の3電位(1/3バイアス)による1/3、1/4、1/5、1/6、1/7または1/8デューティダイナミック駆動です(S1C63003は1/3～1/5デューティダイナミック駆動)。LCD表示のON/OFFもソフトウェアにより制御できます。

14.2 マスクオプション

14.2.1 SEG/GPIO/RFC端子切り換え

S1C63016のSEG0～SEG35端子、S1C63008のSEG0～SEG29端子、S1C63004のSEG0～SEG19端子、S1C63003のSEG0～SEG9端子はセグメント/DC出力に固定されています。

S1C63008/016のSEG36～SEG55端子、S1C63004のSEG40～SEG55端子、S1C63003のSEG44～SEG55端子は入出力兼用ポート端子あるいはR/Fコンバータ端子と兼用されており、使用する機能を端子ごとにマスクオプションで選択できるようになっています。

表14.2.1.1 SEG/GPIO/RFC端子切り換えオプション

機能1 (GPIO/RFC端子)	機能2 (SEG端子)	S1C63xxx			
		016	008	004	003
P40	SEG36	○	○	—	—
P41	SEG37	○	○	—	—
P42	SEG38	○	○	—	—
P43	SEG39	○	○	—	—
P30/SCLK	SEG40	○	○	○	—
P31/SOUT	SEG41	○	○	○	—
P32/SIN	SEG42	○	○	○	—
P33/SRDY_SS	SEG43	○	○	○	—
P20	SEG44	○	○	○	○
P21	SEG45	○	○	○	○
P22/EVIN_B*	SEG46	○	○	○	○
P23/TOUT_B*	SEG47	○	○	○	○
P50/RFOUT	SEG48	○	○	○	○
P51/SEN0	SEG49	○	○	○	○
P52/REF0	SEG50	○	○	○	○
P53/RFIN0	SEG51	○	○	○	○
RFIN1	SEG52	○	○	○	○
REF1	SEG53	○	○	○	○
SEN1	SEG54	○	○	○	○
HUD	SEG55	○	○	○	○

* EVIN_BとTOUT_Bは、S1C63003では非対応

14.2.2 LCD駆動電源

LCD駆動用電源を内蔵電源または外部電源から選択できます。

内蔵電源を選択するとLCD系定電圧回路が有効となり、LCD駆動用の電圧 $V_{C1} \sim V_{C3}$ を内部発生します。LCD系定電圧回路はLPWRレジスタを"1"に設定することにより動作を開始し、LCD駆動電圧 $V_{C1} \sim V_{C3}$ をLCDドライバに出力します。

LCD系定電圧回路は基準電圧 V_{C1} または V_{C2} を発生し、その電圧を昇降圧して他の2電位($V_{C2} = V_{C1} \times 2$ 、 $V_{C3} = V_{C1} \times 3$ 、または $V_{C1} = V_{C2} \times 1/2$ 、 $V_{C3} = V_{C2} \times 3/2$)を発生します。S1C63003で内部電源を使用する場合は、電源電圧 V_{DD} を考慮してこの基準電圧(V_{C1} または V_{C2})をマスクオプションで選択します。

1. 内部電源(V_{C2} 基準) 1/3バイアス(3.0Vパネル対応)
2. 内部電源(V_{C1} 基準) 1/3バイアス(3.0Vパネル対応)

S1C63004/008/016の基準電圧は、VCREFレジスタで選択します。

LCD系定電圧回路の詳細については、"電源"の章を参照してください。

外部電源を使用する場合は仕様を以下の3種類から選択し、LCD駆動電圧を $V_{C1} \sim V_{C3}$ 端子に供給します。

1. 外部電源 1/3バイアス(4.5Vパネル対応) $V_{DD} = V_{C2}$
2. 外部電源 1/3バイアス(3.0Vパネル対応) $V_{DD} = V_{C3}$
3. 外部電源 1/2バイアス(3.0Vパネル対応) $V_{DD} = V_{C3}$, $V_{C1} = V_{C2}$

外部電源を使用する場合の外部結線図は、"電源"の章を参照してください。

外部電源を使用する場合も、表示を開始するにはLPWRレジスタを"1"にする必要があります。

14.2.3 セグメントオプション

セグメント割り付け

注: セグメント割り付けを含むマスクデータの作成と注意事項については、Appendix Dの"マスクデータ作成手順"を参照してください。

表示メモリのアドレスおよびデータビットは、マスクオプションにより任意のセグメント端子に対応させることができます。このため、液晶パネルの自由度が増し設計が容易になります。図14.2.3.1にLCDセグメント(パネル上)と表示メモリの関係を1/4デューティの場合を例として示します。

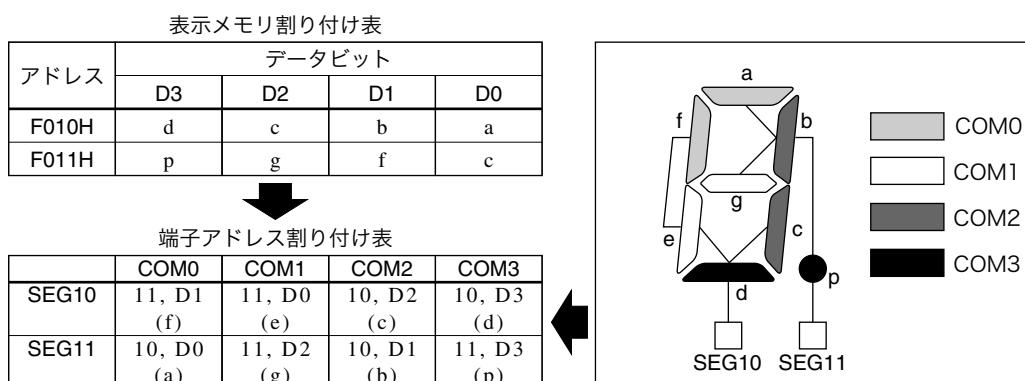


図14.2.3.1 セグメント割り付け

出力仕様

S1C63016のSEG0～SEG35端子、S1C63008のSEG0～SEG29端子、S1C63004のSEG0～SEG19端子、S1C63003のSEG0～SEG9端子は、1端子ごとにセグメント信号出力として使用するか、DC出力(V_{DD} 、 V_{SS} の2値出力)として使用するかマスクオプションで選択できます。

また、DC出力を選択した端子の出力仕様としてコンプリメンタリ出力またはNチャネルオープンドレイン出力を選択できます。DC出力を選択した場合は各セグメント端子のCOM0に対応するデータが出力されます。DC出力は、LCD系定電圧回路がOFF(LPWR = "0")の場合でも可能です。

上記以外のSEG端子はセグメント信号出力のみが可能で、DC出力は選択できません。

表14.2.3.1 セグメントオプション(S1C63016)

端子名	アドレス (F0xxH)								出力仕様
	COM0 H L D	COM1 H L D	COM2 H L D	COM3 H L D	COM4 H L D	COM5 H L D	COM6 H L D	COM7 H L D	
SEG0									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG1									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG2									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG3									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG4									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG5									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG6									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG7									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG8									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG9									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG10									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG11									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG12									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG13									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG14									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG15									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG16									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG17									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG18									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG19									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG20									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG21									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG22									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG23									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG24									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG25									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG26									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG27									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG28									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG29									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG30									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG31									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG32									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG33									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG34									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG35									<input type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG36									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG37									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG38									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG39									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG40									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG41									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG42									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG43									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG44									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG45									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG46									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG47									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG48									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG49									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG50									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG51									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG52									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG53									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG54									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N
SEG55									<input checked="" type="checkbox"/> S <input type="checkbox"/> C <input type="checkbox"/> N

〈アドレス〉 H: RAMデータ上位アドレス (0~7)

〈出力仕様〉 S: セグメント出力

L: RAMデータ下位アドレス (0~F)

C: コンプリメンタリ出力

D: データビット (0~3)

N: Nchオープンドレイン出力

セグメントオプションジェネレータwinsogを使用する際の注意点(S1C63016)

- SEG0～SEG35の出力仕様は"LCDセグメント出力(S)"、"DCコンプリメンタリ出力(C)"、"DC Nchオープンドレイン出力(N)"から選択可能です。
- SEG/GPIO兼用端子(SEG36～SEG55)の設定
 - SEG36～SEG55の出力仕様は常に"LCDセグメント出力(S)"を選択してください。
 - "SEG/GPIO/RFC選択"オプションで"1. I/O"を選択した端子のアドレス欄は空白のままにしてください。
 - "SEG/GPIO/RFC選択"オプションで"2. SEG"を選択した端子のアドレス欄には、割り当てるアドレス、データビットを記入して下さい。

表14.2.3.2 セグメントオプション(S1C63008)

端子名	アドレス (F0xxH)								出力仕様
	COM0 H L D	COM1 H L D	COM2 H L D	COM3 H L D	COM4 H L D	COM5 H L D	COM6 H L D	COM7 H L D	
SEG0									□ S □ C □ N
SEG1									□ S □ C □ N
SEG2									□ S □ C □ N
SEG3									□ S □ C □ N
SEG4									□ S □ C □ N
SEG5									□ S □ C □ N
SEG6									□ S □ C □ N
SEG7									□ S □ C □ N
SEG8									□ S □ C □ N
SEG9									□ S □ C □ N
SEG10									□ S □ C □ N
SEG11									□ S □ C □ N
SEG12									□ S □ C □ N
SEG13									□ S □ C □ N
SEG14									□ S □ C □ N
SEG15									□ S □ C □ N
SEG16									□ S □ C □ N
SEG17									□ S □ C □ N
SEG18									□ S □ C □ N
SEG19									□ S □ C □ N
SEG20									□ S □ C □ N
SEG21									□ S □ C □ N
SEG22									□ S □ C □ N
SEG23									□ S □ C □ N
SEG24									□ S □ C □ N
SEG25									□ S □ C □ N
SEG26									□ S □ C □ N
SEG27									□ S □ C □ N
SEG28									□ S □ C □ N
SEG29									□ S □ C □ N
SEG30									■ S □ C □ N
SEG31									■ S □ C □ N
SEG32									■ S □ C □ N
SEG33									■ S □ C □ N
SEG34									■ S □ C □ N
SEG35									■ S □ C □ N
SEG36									■ S □ C □ N
SEG37									■ S □ C □ N
SEG38									■ S □ C □ N
SEG39									■ S □ C □ N
SEG40									■ S □ C □ N
SEG41									■ S □ C □ N
SEG42									■ S □ C □ N
SEG43									■ S □ C □ N
SEG44									■ S □ C □ N
SEG45									■ S □ C □ N
SEG46									■ S □ C □ N
SEG47									■ S □ C □ N
SEG48									■ S □ C □ N
SEG49									■ S □ C □ N
SEG50									■ S □ C □ N
SEG51									■ S □ C □ N
SEG52									■ S □ C □ N
SEG53									■ S □ C □ N
SEG54									■ S □ C □ N
SEG55									■ S □ C □ N

<アドレス> H: RAMデータ上位アドレス (0~7)

<出力仕様> S: セグメント出力

L: RAMデータ下位アドレス (0~F)

C: コンプリメンタリ出力

D: データビット (0~3)

N: Nchオープンドレイン出力

セグメントオプションジェネレータwinsogを使用する際の注意点(S1C63008)

- SEG0～SEG29の出力仕様は"LCDセグメント出力(S)"、"DCコンプリメンタリ出力(C)"、"DC Nchオープンドレイン出力(N)"から選択可能です。
- SEG/GPIO兼用端子(SEG36～SEG55)の設定
 - SEG36～SEG55の出力仕様は常に"LCDセグメント出力(S)"を選択してください。
 - "SEG/GPIO/RFC選択"オプションで"1. I/O"を選択した端子のアドレス欄は空白のままにしてください。
 - "SEG/GPIO/RFC選択"オプションで"2. SEG"を選択した端子のアドレス欄には、割り当てるアドレス、データビットを記入して下さい。
- 存在しないSEG端子(SEG30～SEG35)の設定
 - SEG30～SEG35の出力仕様は常に"LCDセグメント出力(S)"を選択してください。
 - SEG30～SEG35のアドレス欄は空白のままにしてください。(未使用アドレスが割り付けられます。)

表14.2.3.3 セグメントオプション(S1C63004)

端子名	アドレス (F0xxH)								出力仕様
	COM0 H L D	COM1 H L D	COM2 H L D	COM3 H L D	COM4 H L D	COM5 H L D	COM6 H L D	COM7 H L D	
SEG0									□ S □ C □ N
SEG1									□ S □ C □ N
SEG2									□ S □ C □ N
SEG3									□ S □ C □ N
SEG4									□ S □ C □ N
SEG5									□ S □ C □ N
SEG6									□ S □ C □ N
SEG7									□ S □ C □ N
SEG8									□ S □ C □ N
SEG9									□ S □ C □ N
SEG10									□ S □ C □ N
SEG11									□ S □ C □ N
SEG12									□ S □ C □ N
SEG13									□ S □ C □ N
SEG14									□ S □ C □ N
SEG15									□ S □ C □ N
SEG16									□ S □ C □ N
SEG17									□ S □ C □ N
SEG18									□ S □ C □ N
SEG19									□ S □ C □ N
SEG20									■ S □ C □ N
SEG21									■ S □ C □ N
SEG22									■ S □ C □ N
SEG23									■ S □ C □ N
SEG24									■ S □ C □ N
SEG25									■ S □ C □ N
SEG26									■ S □ C □ N
SEG27									■ S □ C □ N
SEG28									■ S □ C □ N
SEG29									■ S □ C □ N
SEG30									■ S □ C □ N
SEG31									■ S □ C □ N
SEG32									■ S □ C □ N
SEG33									■ S □ C □ N
SEG34									■ S □ C □ N
SEG35									■ S □ C □ N
SEG36									■ S □ C □ N
SEG37									■ S □ C □ N
SEG38									■ S □ C □ N
SEG39									■ S □ C □ N
SEG40									■ S □ C □ N
SEG41									■ S □ C □ N
SEG42									■ S □ C □ N
SEG43									■ S □ C □ N
SEG44									■ S □ C □ N
SEG45									■ S □ C □ N
SEG46									■ S □ C □ N
SEG47									■ S □ C □ N
SEG48									■ S □ C □ N
SEG49									■ S □ C □ N
SEG50									■ S □ C □ N
SEG51									■ S □ C □ N
SEG52									■ S □ C □ N
SEG53									■ S □ C □ N
SEG54									■ S □ C □ N
SEG55									■ S □ C □ N

〈アドレス〉 H: RAMデータ上位アドレス (0~7)
L: RAMデータ下位アドレス (0~F)
D: データビット (0~3)

〈出力仕様〉 S: セグメント出力
C: コンプリメンタリ出力
N: Nchオープンドレイン出力

セグメントオプションジェネレータwinsogを使用する際の注意点(S1C63004)

- SEG0～SEG19の出力仕様は"LCDセグメント出力(S)"、"DCコンプリメンタリ出力(C)"、"DC Nchオープンドレイン出力(N)"から選択可能です。
- SEG/GPIO兼用端子(SEG40～SEG55)の設定
 - SEG40～SEG55の出力仕様は常に"LCDセグメント出力(S)"を選択してください。
 - "SEG/GPIO/RFC選択"オプションで"1. I/O"を選択した端子のアドレス欄は空白のままにしてください。
 - "SEG/GPIO/RFC選択"オプションで"2. SEG"を選択した端子のアドレス欄には、割り当てるアドレス、データビットを記入して下さい。
- 存在しないSEG端子(SEG20～SEG39)の設定
 - SEG20～SEG39の出力仕様は常に"LCDセグメント出力(S)"を選択してください。
 - SEG20～SEG39のアドレス欄は空白のままにしてください。(未使用アドレスが割り付けられます。)

表14.2.3.4 セグメントオプション(S1C63003)

端子名	アドレス (F0xxH)								出力仕様
	COM0 H L D	COM1 H L D	COM2 H L D	COM3 H L D	COM4 H L D	COM5 H L D	COM6 H L D	COM7 H L D	
SEG0									□ S □ C □ N
SEG1									□ S □ C □ N
SEG2									□ S □ C □ N
SEG3									□ S □ C □ N
SEG4									□ S □ C □ N
SEG5									□ S □ C □ N
SEG6									□ S □ C □ N
SEG7									□ S □ C □ N
SEG8									□ S □ C □ N
SEG9									□ S □ C □ N
SEG10									■ S □ C □ N
SEG11									■ S □ C □ N
SEG12									■ S □ C □ N
SEG13									■ S □ C □ N
SEG14									■ S □ C □ N
SEG15									■ S □ C □ N
SEG16									■ S □ C □ N
SEG17									■ S □ C □ N
SEG18									■ S □ C □ N
SEG19									■ S □ C □ N
SEG20									■ S □ C □ N
SEG21									■ S □ C □ N
SEG22									■ S □ C □ N
SEG23									■ S □ C □ N
SEG24									■ S □ C □ N
SEG25									■ S □ C □ N
SEG26									■ S □ C □ N
SEG27									■ S □ C □ N
SEG28									■ S □ C □ N
SEG29									■ S □ C □ N
SEG30									■ S □ C □ N
SEG31									■ S □ C □ N
SEG32									■ S □ C □ N
SEG33									■ S □ C □ N
SEG34									■ S □ C □ N
SEG35									■ S □ C □ N
SEG36									■ S □ C □ N
SEG37									■ S □ C □ N
SEG38									■ S □ C □ N
SEG39									■ S □ C □ N
SEG40									■ S □ C □ N
SEG41									■ S □ C □ N
SEG42									■ S □ C □ N
SEG43									■ S □ C □ N
SEG44									■ S □ C □ N
SEG45									■ S □ C □ N
SEG46									■ S □ C □ N
SEG47									■ S □ C □ N
SEG48									■ S □ C □ N
SEG49									■ S □ C □ N
SEG50									■ S □ C □ N
SEG51									■ S □ C □ N
SEG52									■ S □ C □ N
SEG53									■ S □ C □ N
SEG54									■ S □ C □ N
SEG55									■ S □ C □ N

<アドレス> H: RAMデータ上位アドレス (0~3)

<出力仕様> S: セグメント出力

L: RAMデータ下位アドレス (0~F)

C: コンプリメンタリ出力

D: データビット (0~3)

N: Nchオープンドレイン出力

セグメントオプションジェネレータwinsogを使用する際の注意点(S1C63003)

- SEG0～SEG9の出力仕様は"LCDセグメント出力(S)"、"DCコンプリメンタリ出力(C)"、"DC Nchオープンドレイン出力(N)"から選択可能です。
- SEG/GPIO兼用端子(SEG44～SEG55)の設定
 - SEG44～SEG55の出力仕様は常に"LCDセグメント出力(S)"を選択してください。
 - "SEG/GPIO/RFC選択"オプションで"1. I/O"を選択した端子のアドレス欄は空白のままにしてください。
 - "SEG/GPIO/RFC選択"オプションで"2. SEG"を選択した端子のアドレス欄には、割り当てるアドレス、データビットを記入して下さい。
- 存在しないSEG端子(SEG10～SEG43)の設定
 - SEG10～SEG43の出力仕様は常に"LCDセグメント出力(S)"を選択してください。
 - SEG10～SEG43のアドレス欄は空白のままにしてください。(未使用アドレスが割り付けられます。)
- 存在しないCOM端子(COM5～COM7)の設定
 - COM5～COM7のアドレス欄は空白のままにしてください。(未使用アドレスが割り付けられます。)

14.3 LCD表示の制御

14.3.1 表示モードの選択

LPWRによる表示のON/OFF制御とは別に、表示モードを選択するDSPC[1:0]レジスタが用意されています。表示モードは、表14.3.1.1に示す3種類に設定できます。

表14.3.1.1 表示モード

DSPC[1:0]	表示モード
3	全点灯モード
2	全消灯モード
1	全点灯モード
0	通常モード

通常モード: 表示メモリのビット値をそのまま出力します。

全点灯モード: すべてのドットを点灯します。SEG端子からはON波形が出力されます。表示メモリの内容は変更されません。

全消灯モード: すべてのドットを消灯します。SEG端子からはOFF波形が出力されます。表示メモリの内容は変更されません。(デフォルト)

14.3.2 駆動デューティの切り換え

S1C63004/008/016はLDUTY[2:0]レジスタにより駆動デューティを1/3～1/8の6種類に切り換えることができます。S1C63003は1/3～1/5の3種類に切り換えることができます。

表14.3.2.1 駆動デューティの設定

LDUTY[2:0]	駆動デューティ	使用コモン端子	最大セグメント数			
			S1C63016	S1C63008	S1C63004	S1C63003
7	1/8	COM0～COM7	448 (56×8)	400 (50×8)	288 (36×8)	—
6	1/7	COM0～COM6	392 (56×7)	350 (50×7)	252 (36×7)	—
5	1/8	COM0～COM7	448 (56×8)	400 (50×8)	288 (36×8)	—
4	1/7	COM0～COM6	392 (56×7)	350 (50×7)	252 (36×7)	—
3	1/6	COM0～COM5	336 (56×6)	300 (50×6)	216 (36×6)	—
2	1/5	COM0～COM4	280 (56×5)	250 (50×5)	180 (36×5)	110 (22×5)
1	1/4	COM0～COM3	224 (56×4)	200 (50×4)	144 (36×4)	88 (22×4)
0	1/3	COM0～COM2	168 (56×3)	150 (50×3)	108 (36×3)	66 (22×3)

14.3.3 フレーム周波数の切り換え

フレーム周波数は、選択した駆動デューティとクロックマネージャから送られるクロックの組み合わせにより決定します。このクロックはFLCKS[1:0]レジスタで3種類(16Hz, 21.3Hz, 32Hz)から選択可能です。低いフレーム周波数を選択すると消費電流を低減できます。

表14.3.3.1 フレーム周波数

FLCKS[1:0]	ソースクロック	1/8デューティ	1/7デューティ	1/6デューティ	1/5デューティ	1/4デューティ	1/3デューティ
		設定禁止					
3							
2	16.0Hz	16.0Hz	18.3Hz	21.3Hz	12.8Hz	16.0Hz	21.3Hz
1	21.3Hz	21.3Hz	24.4Hz	28.5Hz	17.1Hz	21.3Hz	28.5Hz
0	32.0Hz	32.0Hz	36.6Hz	42.7Hz	25.6Hz	32.0Hz	42.7Hz

(fosc1 = 32.768kHzの場合)

- 注:
- フレーム周波数は、表示がOFF(LPWR = "0")の状態で設定してください。LCD表示がON(LPWR = "1")の状態でフレーム周波数を切り換えた場合、切り換え後の1フレームは適切なLCD表示ができない可能性があります。
 - フレーム周波数の選択は表示品質に影響するため、実際のLCDパネルを使用した評価の後に決定されることを推奨します。

14.3.4 駆動波形

図14.3.4.1～図14.3.4.6に各デューティのダイナミック駆動波形を示します。

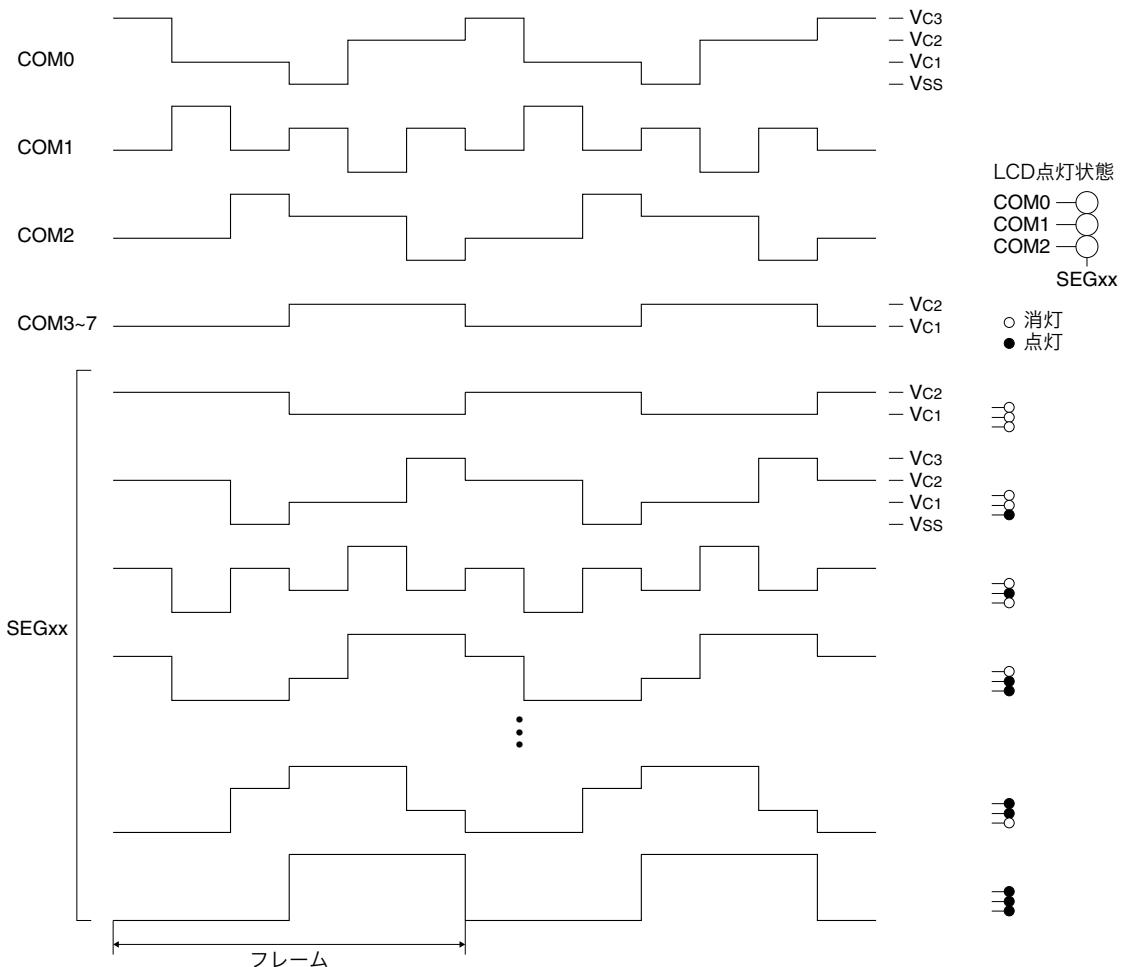


図14.3.4.1 1/3デューティ LCD駆動波形

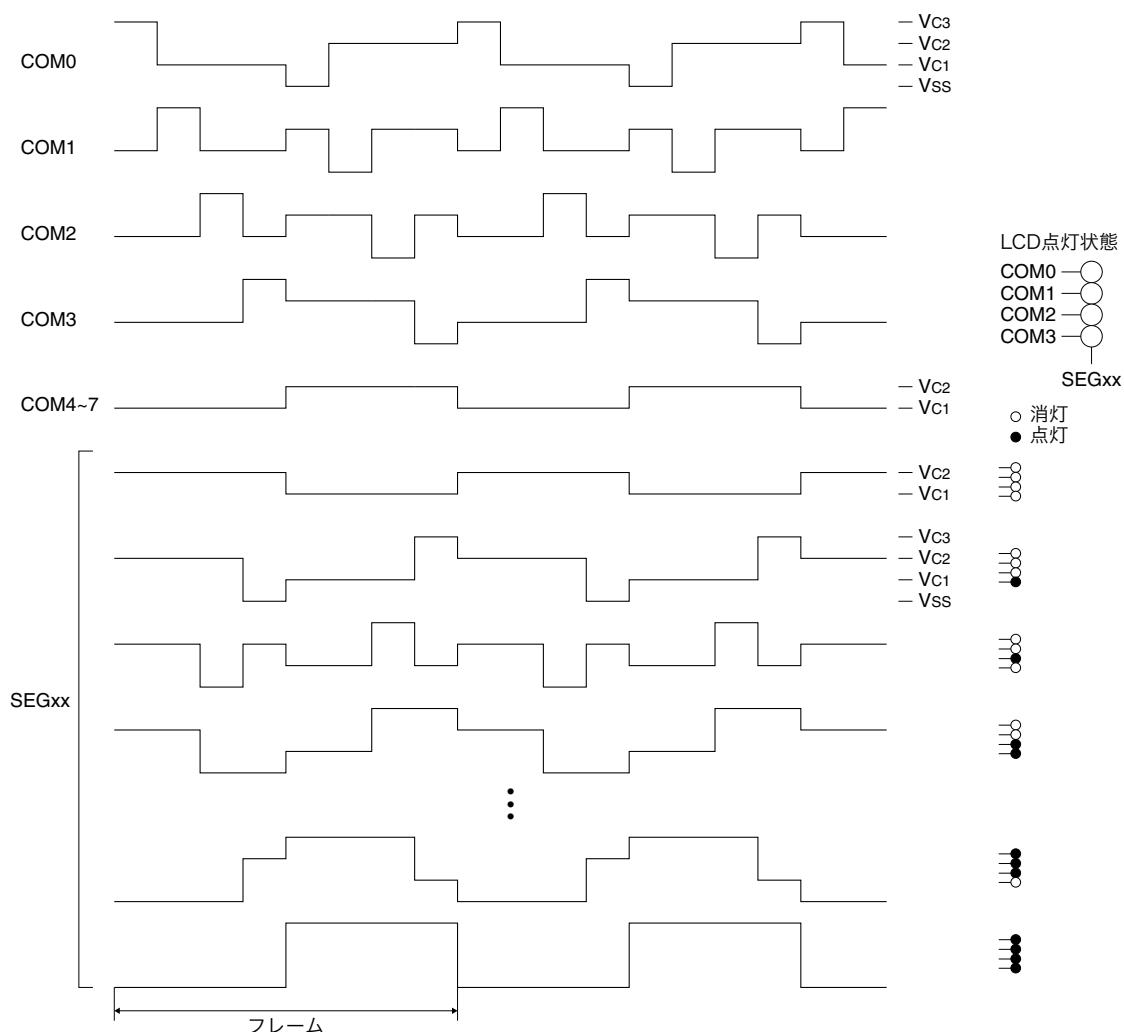


図14.3.4.2 1/4デューティ LCD駆動波形

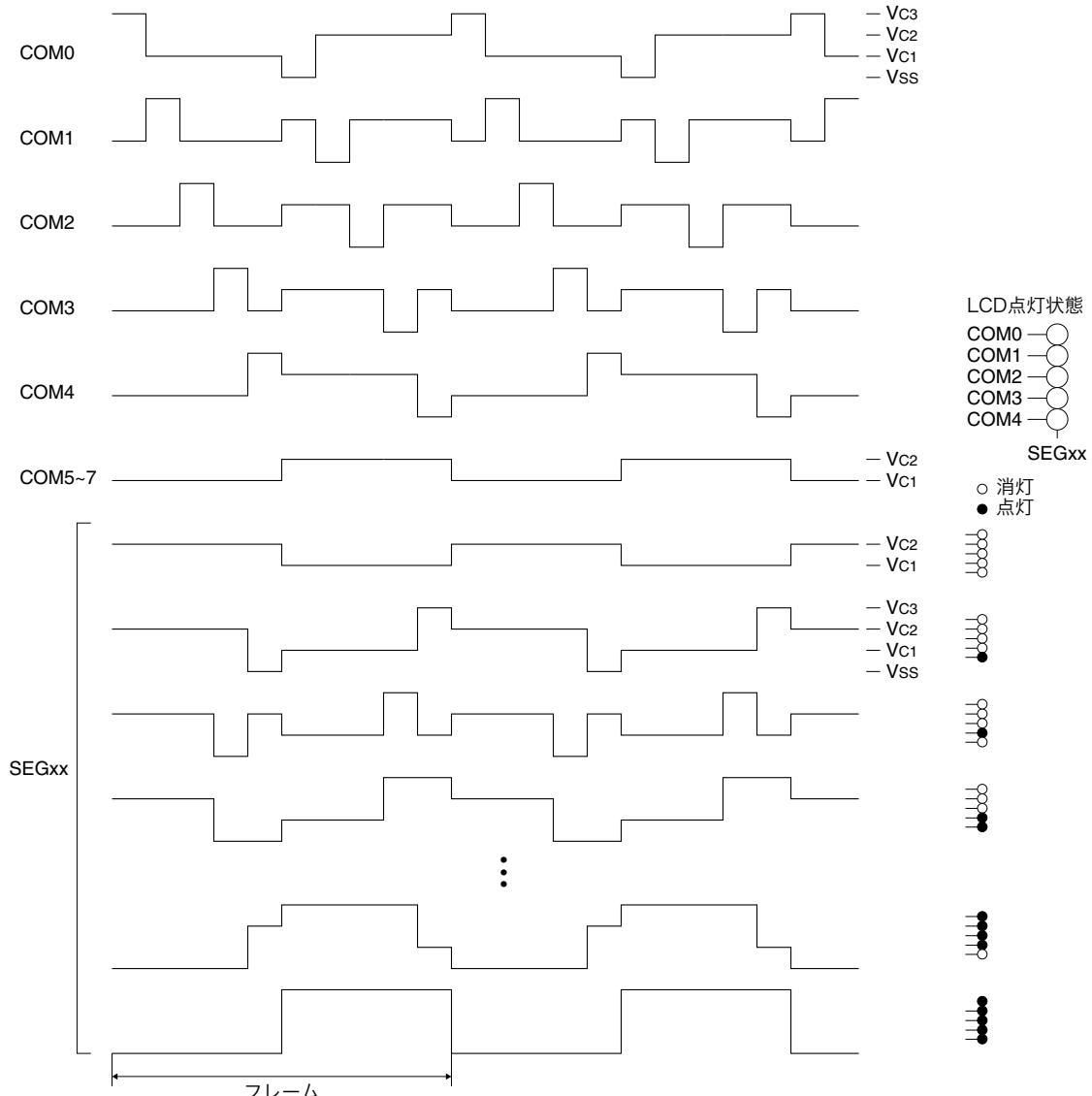


図14.3.4.3 1/5デューティ LCD駆動波形

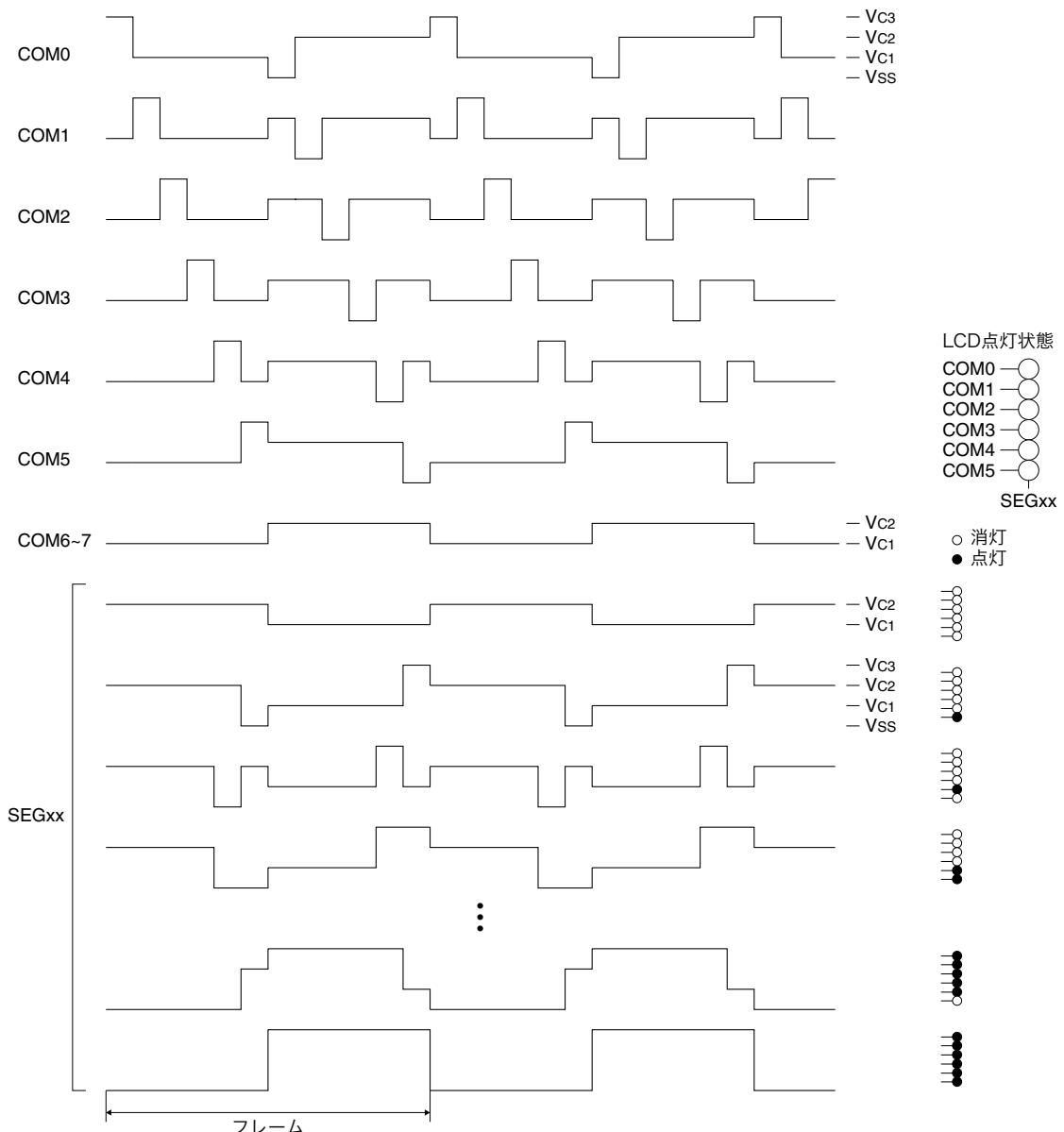


図14.3.4.4 1/6デューティ LCD駆動波形(S1C63004/008/016)

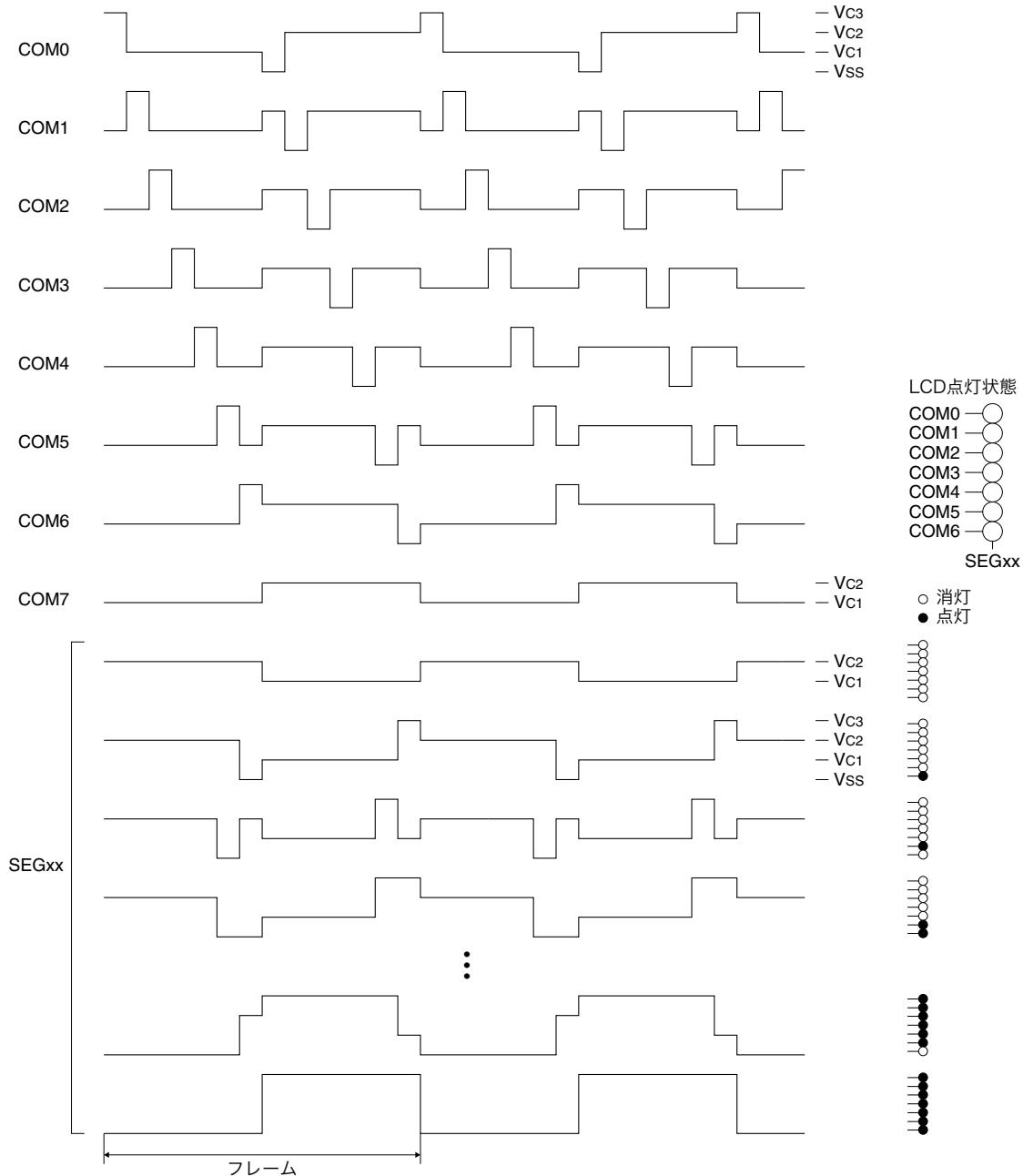


図14.3.4.5 1/7デューティ LCD駆動波形(S1C63004/008/016)

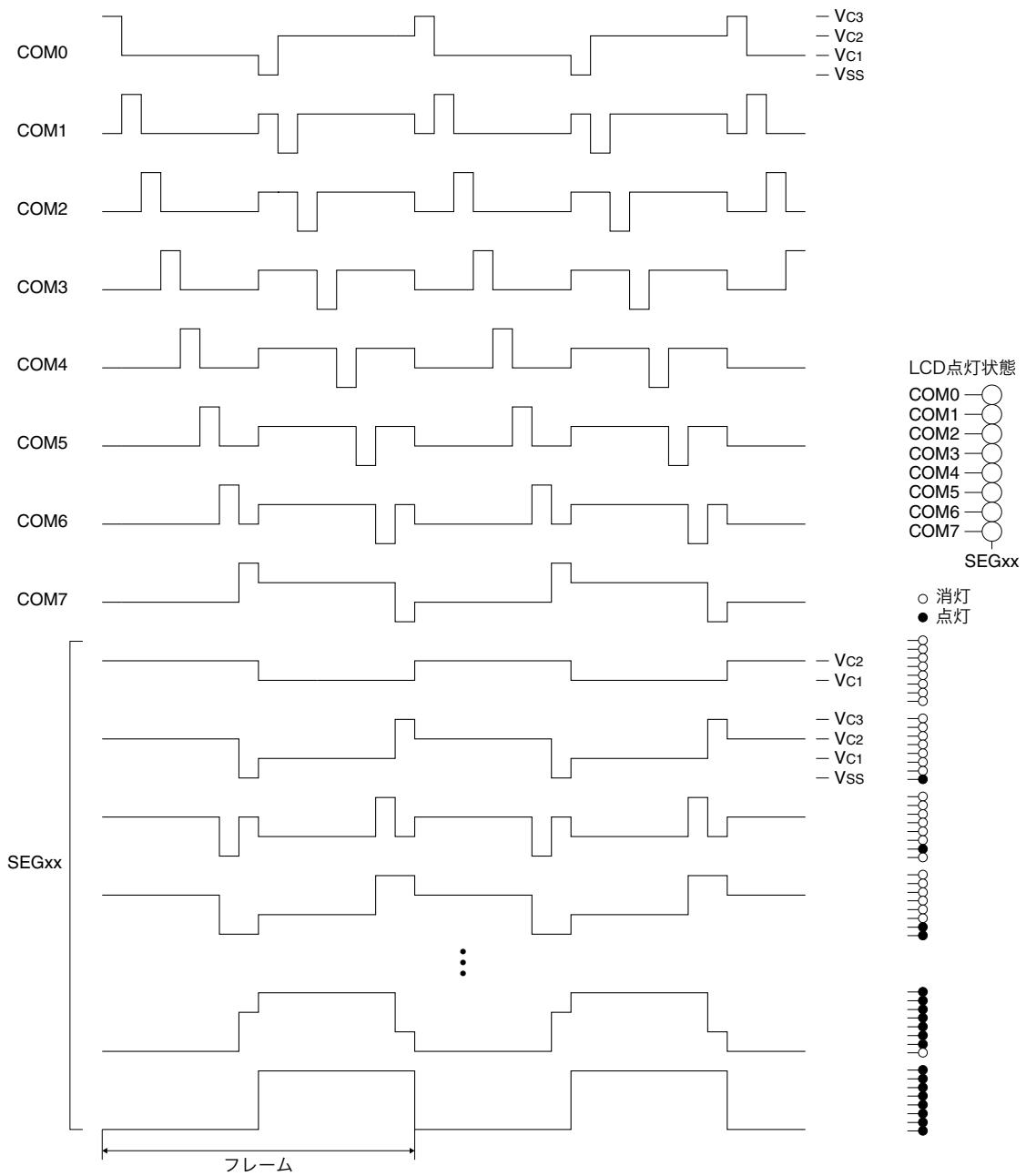


図14.3.4.6 1/8デューティ LCD駆動波形(S1C63004/008/016)

14.3.5 スタティック駆動

スタティック駆動をソフトウェアにより設定できます。

スタティック駆動に設定するには、STCDレジスタに"1"を書き込みます。この状態で、SEG端子に対応するCOM0～COM7*のビット(表示メモリ)に"1"を書き込むと、そのSEG端子はスタティックのON波形を出力します。COM0～COM7*すべてが"0"に設定されているときは、そのSEG端子はOFF波形を出力します。

図14.3.5.1にスタティック駆動波形を示します。

注: 1/8(S1C63003は1/5)以外のデューティを選択している場合でも、スタティック駆動にするとすべてのCOM出力(COM0～COM7*)が有効になります。したがって、スタティック駆動時は選択しているデューティにかかわらず、COM0～COM7*に対応する表示メモリに同じ値を設定してください。

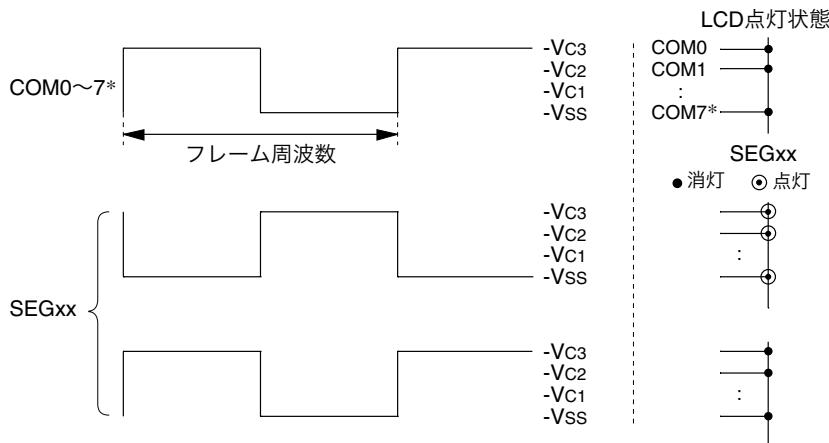


図14.3.5.1 スタティック駆動波形

* S1C63003はCOM0～COM4

14.3.6 LCDコントラスト調整 [S1C63004/008/016]

S1C63004/008/016では、LCDのコントラストもソフトウェアによって調整できるようになっています。これは内蔵のLCD系定電圧回路が outputするVc1、Vc2、Vc3の電圧を制御することによって実現しています。コントラストはLC[3:0]レジスタによって表14.3.6.1に示す16段階に調整可能です。

表14.3.6.1 LCDコントラスト

LC[3:0]	コントラスト
FH	レベル15 (濃)
EH	レベル14 ↑
DH	レベル13
CH	レベル12
BH	レベル11
AH	レベル10
9H	レベル9
8H	レベル8
7H	レベル7
6H	レベル6
5H	レベル5
4H	レベル4
3H	レベル3
2H	レベル2
1H	レベル1 ↓
0H	レベル0 (淡)

イニシャルリセット時、LC[3:0]は"0"になります。希望のコントラストを得るにはソフトウェアによる初期化が必要です。

LCD駆動電圧をマスクオプションによって外部印加する場合、この調整は無効となります。

14.4 表示メモリ

表示メモリはデータメモリ領域のアドレスF000H～F07FH(S1C63003はF000H～F03FH)に割り付けられており、マスクオプションにより個々のビットを任意のセグメント端子に対応させることができます。

表14.4.1 表示メモリ

機種	有効表示メモリサイズ	SEG端子
S1C63016	448ビット	56本(SEG0～SEG55)
S1C63008	400ビット	50本(SEG0～SEG29, SEG36～SEG55)
S1C63004	288ビット	36本(SEG0～SEG19, SEG40～SEG55)
S1C63003	110ビット	22本(SEG0～SEG9, SEG44～SEG55)

表示メモリのビットを"1"にすると対応するLCDセグメントが点灯し、"0"にすると消灯します。

イニシャルリセット時、表示メモリの内容は不定となりますので、ソフトウェアにより初期化する必要があります。

Address Low Base	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
F000H																
F010H																
F020H																
F030H																
F040H																
F050H																
F060H																
F070H																

(a) S1C63004/008/016

Address Low Base	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
F000H																
F010H																
F020H																
F030H																

S1C63004: 448ビット

R/W

(b) S1C63003: 110ビット

図14.4.1 表示メモリマップ

S1C63004/008/016には128ワード(アドレスF000H～F07FH)、S1C63003には64ワード(アドレスF000H～F03FH)のメモリが内蔵されており、任意のアドレスをセグメント出力用に割り当てることができます。ただし、表示メモリとして割り当て可能なビット数は上記容量までに限られます。LCD表示に使用しないメモリビットは汎用レジスタとして使用することができます。

14.5 LCD ドライバのI/Oメモリ

表14.5.1にLCDドライバの制御ビットとそのアドレスを示します。

表14.5.1 LCD ドライバの制御ビット

アドレス	レジスタ名	R/W	初期値	設定/データ				機能				
FF12H	D3	FLCKS1	R/W	0	3	—	1	21.3				
	D2	FLCKS0	R/W	0	2	16.0	0	32.0				
	D1	VCCKS1	R/W	0	3	—	1	2048				
	D0	VCCKS0	R/W	0	2	—	0	Off				
FF50H	D3	0 (*3)	R	— (*2)	—				未使用			
	D2	0 (*3)	R	— (*2)	—				未使用			
	D1	DSPC1	R/W	1	3	All on	1	All on				LCD表示モード選択
	D0	DSPC0	R/W	0	2	All off	0	Normal				
FF51H	D3	STCD	R/W	0	1	Static	0	Dynamic				LCD駆動方式切り換え
	D2	LDUTY2	R/W	0	7	1/8 (*6)	4	1/7 (*6)				LCD駆動デューティ選択
	D1	LDUTY1	R/W	0	6	1/7 (*6)	3	1/6 (*6)				
	D0	LDUTY0	R/W	0	5	1/8 (*6)	2	1/5				

アドレス	レジスタ名	R/W	初期値	設定/データ	機能
FF52H (*6)	D3	LC3	R/W	0	LCDコントラスト調整 0H(light)–FH(dark)
	D2	LC2	R/W	0	
	D1	LC1	R/W	0	
	D0	LC0	R/W	0	

*1 イニシャルリセット時の初期値 *2 回路上設定されない *3 読み出し時は常時"0"
 *4 S1C63003/004/008では未使用 *5 S1C63003/004では未使用 *6 S1C63003では未使用

● FLCKS[1:0]: フレーム周波数選択レジスタ (FF12H・D[3:2])

クロックマネージャから供給するフレームクロックの周波数を選択します。

表14.5.2 フレーム周波数の選択

FLCKS[1:0]	ソースクロック	1/8デューティ	1/7デューティ	1/6デューティ	1/5デューティ	1/4デューティ	1/3デューティ
3		設定禁止					
2	16.0Hz	16.0Hz	18.3Hz	21.3Hz	12.8Hz	16.0Hz	21.3Hz
1	21.3Hz	21.3Hz	24.4Hz	28.5Hz	17.1Hz	21.3Hz	28.5Hz
0	32.0Hz	32.0Hz	36.6Hz	42.7Hz	25.6Hz	32.0Hz	42.7Hz

(fosc1 = 32.768kHzの場合)

イニシャルリセット時、このレジスタは"0"に設定されます。

- 注: • フレーム周波数は、表示がOFF(LPWR = "0")の状態で設定してください。LCD表示がON(LPWR = "1")の状態でフレーム周波数を切り換えた場合、切り換え後の1フレームは適切なLCD表示ができない可能性があります。
- フレーム周波数の選択は表示品質に影響するため、実際のLCDパネルを使用した評価の後に決定されることを推奨します。

● DSPC[1:0]: 表示モード選択レジスタ (FF50H・D[1:0])

表示モードを設定します。

表14.5.3 表示モード

DSPC[1:0]	表示モード
3	全点灯モード
2	全消灯モード
1	全点灯モード
0	通常モード

通常モード: 表示メモリのビット値をそのまま出力します。

全点灯モード: すべてのドットを点灯します。SEG端子からはON波形が出力されます。表示メモリの内容は変更されません。

全消灯モード: すべてのドットを消灯します。SEG端子からはOFF波形が出力されます。表示メモリの内容は変更されません。

イニシャルリセット時、このレジスタは"2"に設定されます。

● LDUTY[2:0]: LCD駆動デューティ選択レジスタ (FF51H・D[2:0])

LCD駆動デューティを選択します。

表14.5.4 駆動デューティの設定

LDUTY[2:0]	駆動デューティ	使用コモン端子	最大セグメント数			
			S1C63016	S1C63008	S1C63004	S1C63003
7	1/8	COM0～COM7	448 (56 × 8)	400 (50 × 8)	288 (36 × 8)	—
6	1/7	COM0～COM6	392 (56 × 7)	350 (50 × 7)	252 (36 × 7)	—
5	1/8	COM0～COM7	448 (56 × 8)	400 (50 × 8)	288 (36 × 8)	—
4	1/7	COM0～COM6	392 (56 × 7)	350 (50 × 7)	252 (36 × 7)	—
3	1/6	COM0～COM5	336 (56 × 6)	300 (50 × 6)	216 (36 × 6)	—
2	1/5	COM0～COM4	280 (56 × 5)	250 (50 × 5)	180 (36 × 5)	110 (22 × 5)
1	1/4	COM0～COM3	224 (56 × 4)	200 (50 × 4)	144 (36 × 4)	88 (22 × 4)
0	1/3	COM0～COM2	168 (56 × 3)	150 (50 × 3)	108 (36 × 3)	66 (22 × 3)

イニシャルリセット時、このレジスタは"0"に設定されます。

● STCD: LCD駆動方式切り換えレジスタ (FF51H・D3)

LCDの駆動方式を選択します。

"1"書き込み: スタティック駆動

"0"書き込み: ダイナミック駆動

読み出し: 可能

STCDに"1"を書き込むとスタティック駆動、"0"の書き込みでダイナミック駆動となります。

イニシャルリセット時、このレジスタは"0"に設定されます。

注: 1/8(S1C63003は1/5)以外のデューティを選択している場合でも、スタティック駆動にするとすべてのCOM出力(COM0～COM7*)が有効になります。したがって、スタティック駆動時は選択しているデューティにかかわらず、COM0～COM7*に対応する表示メモリに同じ値を設定してください。
(* S1C63003はCOM0～COM4)

● LC[3:0]: LCDコントラスト調整レジスタ (FF52H) – S1C63004/008/016

LCDのコントラストを調整します。

LC[3:0] = 0H 淡

:

:

LC[3:0] = FH 濃

LCD駆動電圧をマスクオプションによって外部印加する場合、この調整は無効となります。

イニシャルリセット時、このレジスタは"0"に設定されます。

14.6 注意事項

- フレーム周波数は、表示がOFF(LPWR = "0")の状態で設定してください。LCD表示がON(LPWR = "1")の状態でフレーム周波数を切り換えた場合、切り換え後の1フレームは適切なLCD表示ができない可能性があります。
- フレーム周波数の選択は表示品質に影響するため、実際のLCDパネルを使用した評価の後に決定されることを推奨します。
- イニシャルリセット時、表示メモリの内容は不定となり、LC[3:0](LCDコントラスト)も"0"となりますので、ソフトウェアにより初期化する必要があります。また、表示もOFFとなるようにLPWRおよびDSPC[1:0]レジスタが設定されますので注意してください。
- Pxx(P20～P53)、R/Fコンバータ端子をマスクオプションの選択によりセグメント端子として使用する場合、それらの端子に影響を与えるPxxポートおよびR/Fコンバータの制御レジスタは初期値のまま、変更しないでください。

15 サウンドジェネレータ

15.1 サウンドジェネレータの構成

S1C63003/004/008/016はブザー信号を発生するサウンドジェネレータを内蔵しています。ここで発生したブザー信号はBZ端子から出力することができます。この出力で圧電ブザーを駆動することができます。ブザー信号の周波数と音量をソフトウェアによりそれぞれ段階に設定できるほか、デューティ比制御によるデジタルエンベロープを付加することができます。また、キー操作音等を出力するための、1ショット出力機能も持っています。図15.1.1にサウンドジェネレータの構成を示します。

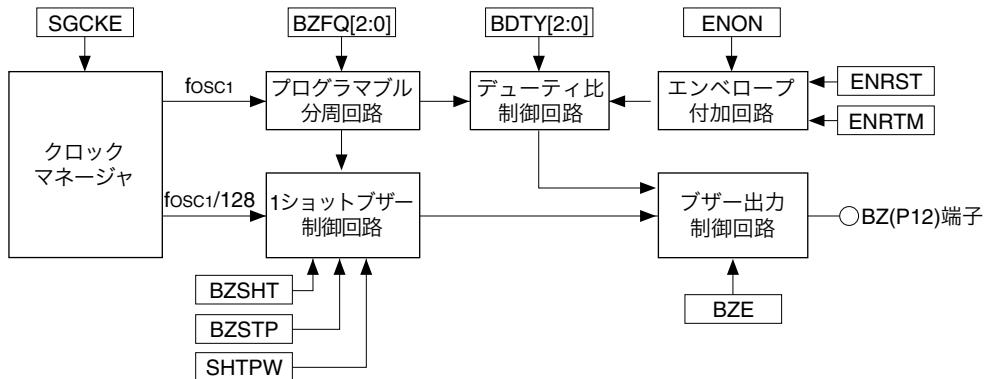


図15.1.1 サウンドジェネレータの構成

注: BZ端子でバイポーラトランジスタなど大電流を消費する外付け部品を駆動する際は、外付け部品の動作がICの電源に影響しないように基板パターンを設計してください。詳しくは、Appendixの"実装上の注意事項"を参照してください。

15.2 動作クロックの制御

ブザー信号を生成するためには、SGCKEレジスタに"1"を書き込んでクロックマネージャからサウンドジェネレータにクロックを供給しておく必要があります。

表15.2.1 サウンドジェネレータクロックの制御

サウンドジェネレータクロック	
1	プログラマブル分周回路入力クロック: fosc1 (32kHz) 1ショットブザー制御回路入力クロック: fosc1 / 128 (256Hz)
0	OFF

サウンドジェネレータを動作させる必要がないときは、消費電流を低減させるためSGCKEを"0"に設定してクロック供給を停止してください。

15.3 ブザー出力の制御

サウンドジェネレータで発生したBZ信号はBZ出力イネーブルレジスタBZEに"1"を設定することにより、BZ(P12)端子から出力されます。このとき、I/O制御レジスタIOC12およびデータレジスタP12の設定は無効になります。BZEが"0"の場合、P12ポートは汎用のDC入出力ポートとして機能します。

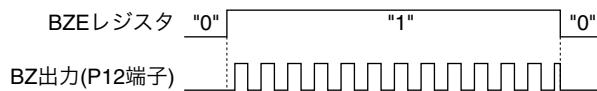


図15.3.1 ブザー信号出力タイミングチャート

注: ブザー信号はBZEレジスタとは非同期に発生していますので、BZEレジスタの設定による信号のON/OFF時にハザードを生じることがあります。

15.4 ブザー周波数と音量の設定

ブザー信号にはOSC1発振クロック(32.768kHz)の分周信号が用いられており、この分周比を変化させることによって8種類の周波数が選択できるようになっています。周波数の選択はブザー周波数選択レジスタBZFQ[2:0]を表15.4.1のように設定することにより行います。

表15.4.1 ブザー信号の周波数設定

BZFQ[2:0]	ブザー周波数 (Hz)
0	4096.0
1	3276.8
2	2730.7
3	2340.6
4	2048.0
5	1638.4
6	1365.3
7	1170.3

ブザーの音量はブザー信号のデューティ比を制御することによって変化させています。

デューティ比はブザーデューティ選択レジスタBDTY[2:0]の設定により、表15.4.2に示す8種類の中から選択できます。

表15.4.2 デューティ比の設定

レベル	BDTY[2:0]	ブザー周波数(Hz)によるデューティ比				
		4096.0	3276.8	2730.7	2340.6	
		2048.0	1638.4	1365.3	1170.3	
レベル1(最大)	0	8/16	8/20	12/24	12/28	
レベル2	1	7/16	7/20	11/24	11/28	
レベル3	2	6/16	6/20	10/24	10/28	
レベル4	3	5/16	5/20	9/24	9/28	
レベル5	4	4/16	4/20	8/24	8/28	
レベル6	5	3/16	3/20	7/24	7/28	
レベル7	6	2/16	2/20	6/24	6/28	
レベル8(最小)	7	1/16	1/20	5/24	5/28	

デューティ比はパルス周期に対するパルス幅の比率のことです、HIGHレベル出力時間TH、LOWレベル出力時間をTLとした場合は、 $TH/(TH+TL)$ となります。BDTY[2:0]を"0H"に設定した場合にデューティ比が最大となり、音量も最大になります。逆にBDTY[2:0]を"7H"に設定した場合にデューティ比が最小となり、音量も最小になります。なお、設定できるデューティ比は各周波数によって異なりますので表15.4.2を参照してください。

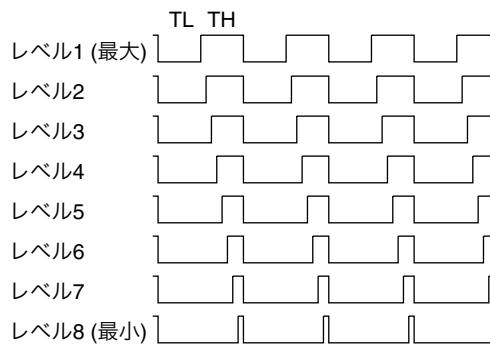


図15.4.1 ブザー信号波形のデューティ比

注: ブザー信号にデジタルエンベロープを附加した場合、デューティ比の制御が行われるため、BDTY[2:0]の設定は無効となります。

15.5 デジタルエンベロープ

ブザー信号にはデューティ比制御のデジタルエンベロープを付加することができます。

エンベロープは前項の表15.4.2の内容と同様のデューティ比をレベル1(最大)からレベル8(最小)に段階的に変化させることにより制御されます。ブザー信号へのエンベロープの付加はレジスタENONに"1"を書き込むことで行われ、"0"が書き込まれた場合は付加されません。

ENONを"1"に設定後、ブザー信号の出力を開始する(BZEレジスタに"1"を書き込む)と、デューティ比がレベル1(最大)となり、レベル8まで段階的に変化します。レベル8(最小)まで減衰するとそのレベルに保持されます。また、エンベロープ付きのブザー信号出力中はレジスタENRSTに"1"を書き込むことによりデューティ比を最大に復帰させることができます。

エンベロープの減衰時間(デューティ比の変化する時間)はレジスタENRTMで選択できます。レベルが1段階変化する時間はENRTMに"0"を書き込んだ場合が62.5msec(16Hz)、"1"を書き込んだ場合が125msec(8Hz)になります。ただし、エンベロープONから最初の変化までは共に最大4msecの誤差があります。

図15.5.1にデジタルエンベロープのタイミングチャートを示します。

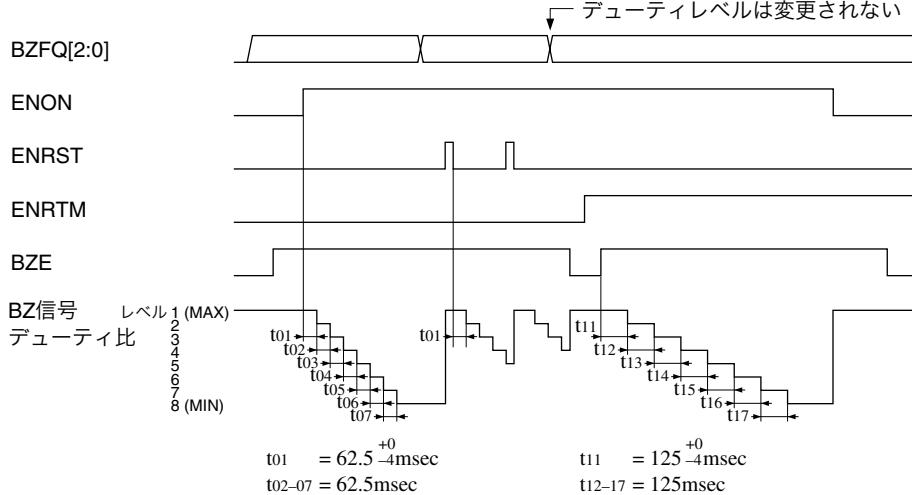


図15.5.1 デジタルエンベロープのタイミングチャート

15.6 1ショット出力

キー操作音などのように短時間のブザー信号を出力させるために、サウンドジェネレータは1ショット出力機能を持っています。

1ショットブザー信号の出力時間はSHTPWレジスタによって125msec、または31.25msecが選択できます。1ショットブザーの出力制御は1ショットブザートリガBZSHTに"1"を書き込むことにより行います。このトリガが与えられると、内部の256Hz信号に同期してブザー信号がブザー出力端子から出力されます。その後、設定時間が経過すると出力開始と同様に256Hz信号に同期してブザー信号がOFFとなります。

BZSHTは読み出しも可能で、BZSHTが"1"の場合は1ショット出力回路が動作中(1ショット出力中)、"0"の場合は回路がREADY(出力が行える)状態であることを示します。

なお、1ショット出力を設定時間経過前に終了させることもできます。これは1ショットブザーストップBZSTPに"1"を書き込むことにより行います。この場合も256Hz信号に同期してブザー信号がOFFとなります。

1ショット出力中に再度BZSHTに"1"を書き込んだ場合は、その時点から(256Hz信号に同期して)新たに125msecまたは31.25msecの1ショット出力が行われます。

1ショット出力は短時間のため、エンベロープを付加することはできません。ただし、デューティ比の選択による音量と周波数は設定することができます。

通常のブザー出力中(BZE = "1"の間)は1ショット出力の制御は無効となります。

図15.6.1に1ショット出力のタイミングチャートを示します。

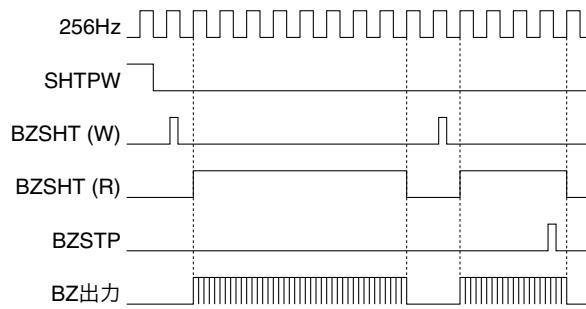


図15.6.1 1ショット出力のタイミングチャート

15.7 サウンドジェネレータのI/Oメモリ

表15.7.1にサウンドジェネレータの制御ビットとそのアドレスを示します。

表15.7.1 サウンドジェネレータの制御ビット

アドレス	レジスタ名	R/W	初期値	設定/データ			機能
FF16H	D3 MDCKE (*5)	R/W	0	1	Enable	0	Disable
	D2 SGCKE	R/W	0	1	Enable	0	Disable
	D1 SWCKE	R/W	0	1	Enable	0	Disable
	D0 RTCKE	R/W	0	1	Enable	0	Disable
FF44H	D3 ENRTM	R/W	0	1	1 sec	0	0.5 sec
	D2 ENRST (*3)	W	(Reset)	1	Reset	0	Invalid
	D1 ENON	R/W	0	1	On	0	Off
	D0 BZE	R/W	0	1	Enable	0	Disable
FF45H	D3 0 (*3)	R	- (*2)	-			未使用
	D2 BZSTP (*3)	W	0	1	Stop	0	Invalid
	D1 BZSHT	R/W	0	1	Trigger (W) Busy (R)	0	Invalid (W) Ready (R)
	D0 SHTPW	R/W	0	1	125 msec	0	31.25 msec
FF46H	D3 0 (*3)	R	- (*2)	-			未使用
	D2 BZFQ2	R/W	0	7	1170.3	4	2048.0
	D1 BZFQ1	R/W	0	6	1365.3	3	2340.6
	D0 BZFQ0	R/W	0	5	1638.4	2	2730.7
FF47H	D3 0 (*3)	R	- (*2)	-			未使用
	D2 BDTY2	R/W	0	7	Level 8	4	Level 5
	D1 BDTY1	R/W	0	6	Level 7	3	Level 4
	D0 BDTY0	R/W	0	5	Level 6	2	Level 3 (max.)

*1 イニシャルリセット時の初期値 *2 回路上設定されない *3 読み出し時は常時"0"

*4 S1C63003/004/008では未使用 *5 S1C63003/004では未使用 *6 S1C63003では未使用

● SGCKE: サウンドジェネレータクロックイネーブル(FF16H・D2)

サウンドジェネレータへのクロックの供給を制御します。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

SGCKEに"1"を書き込むことによって、サウンドジェネレータの動作クロックがクロックマネージャから供給されます。計時タイマを動作させる必要がないときは、消費電流を低減させるためSGCKEを"0"に設定してクロック供給を停止してください。イニシャルリセット時、このレジスタは"0"に設定されます。

● BZE: BZ出力イネーブルレジスタ(FF44H・D0)

ブザー出力を制御します。

"1"書き込み: ブザー出力ON

"0"書き込み: ブザー出力OFF

読み出し: 可能

BZEに"1"を書き込むことによってBZ(P12)端子からBZ信号が出力されます。このとき、I/O制御レジスタIOC12およびデータレジスタP12の設定は無効になります。BZEが"0"の場合、P12ポートは汎用のDC入出力ポートとして機能します。イニシャルリセット時、このレジスタは"0"に設定されます。

● ENON: エンベロープON/OFF制御レジスタ (FF44H·D1)

ブザー信号へのエンベロープ付加を制御します。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

ENONレジスタに"1"を書き込むことにより、ブザー信号出力時にエンベロープが付加されます。"0"を書き込んだ場合、エンベロープは付加されません。イニシャルリセット時、このレジスタは"0"に設定されます。

● ENRST: エンベロープリセット (FF44H·D2)

エンベロープをリセットします。

"1"書き込み: リセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

ENRSTに"1"を書き込むことによりエンベロープがリセットされ、デューティ比が最大となります。エンベロープが付加されていない場合(ENON = "0")、およびブザー信号の出力が行われていない場合のリセットは無効となります。また"0"の書き込みも無効です。ENRSTは書き込み専用のため、読み出し時は常時"0"となります。

● ENRTM: エンベロープ減衰時間選択レジスタ (FF44H·D3)

ブザー信号に付加されたエンベロープの減衰時間を選択します。

"1"書き込み: 1.0sec ($125\text{msec} \times 7 = 875\text{msec}$)

"0"書き込み: 0.5sec ($62.5\text{msec} \times 7 = 437.5\text{msec}$)

読み出し: 可能

デジタルエンベロープの減衰時間はデューティ比の変化する時間で決められます。ENRTMに"1"を書き込んだ場合は 125msec (8Hz)単位、"0"を書き込んだ場合は 62.5msec (16Hz)単位となります。イニシャルリセット時、このレジスタは"0"に設定されます。

● SHTPW: 1ショットブザーパルス幅選択レジスタ (FF45H·D0)

1ショットブザーの出力時間を選択します。

"1"書き込み: 125msec

"0"書き込み: 31.25msec

読み出し: 可能

SHTPWレジスタに"1"を書き込むことにより1ショット出力時間が 125msec に、"0"書き込みで 31.25msec に設定されます。通常のブザー出力には影響を与えません。イニシャルリセット時、このレジスタは"0"に設定されます。

● BZSHT: 1ショットブザートリガ/ステータス (FF45H·D1)

1ショットブザー出力の制御を行います。

データ書き込み時

"1"書き込み: トリガ

"0"書き込み: ノーオペレーション

BZSHTに"1"を書き込むことにより1ショット出力回路が動作し、ブザー信号が出力されます。この出力はSHTPWによって設定した時間の経過後に自動的にOFFとなります。1ショット出力は通常のブザー出力がOFF(BZE = "0")の状態でのみ有効で、ON(BZE = "1")状態でのトリガは無効となります。1ショット出力中に再トリガを行った場合は、その時点からSHTPWによって設定した時間を計測し直します(時間延長)。

データ読み出し時

"1"読み出し: BUSY

"0"読み出し: READY

読み出し時は1ショット出力回路の動作状態を示します。1ショット出力中にBZSHTは"1"となり、出力がOFFすると"0"になります。

イニシャルリセット時、このビットは"0"に設定されます。

● BZSTP: 1ショットブザー STOP(FF45H·D2)

1ショットブザー出力を停止させます。

"1"書き込み: STOP

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

BZSTPに"1"を書き込むことにより、SHTPWによる設定時間が経過する前に1ショットブザー出力をOFFすることができます。"0"書き込みおよび1ショット出力中以外の"1"書き込みは無効です。BZSTPは書き込み専用のため、読み出し時は常時"0"となります。

● BZFQ[2:0]: ブザー周波数選択レジスタ(FF46H·D[2:0])

ブザー信号の周波数を選択します。

表15.7.2 ブザー信号の周波数設定

BZFQ[2:0]	ブザー周波数 (Hz)
0	4096.0
1	3276.8
2	2730.7
3	2340.6
4	2048.0
5	1638.4
6	1365.3
7	1170.3

ブザー周波数は発振クロックを分周した上記8種類の中から選択します。イニシャルリセット時、このレジスタは"0"に設定されます。

● BDTY[2:0]: デューティ比選択レジスタ(FF47H·D[2:0])

ブザー信号のデューティ比を表15.7.3のとおり選択します。

表15.7.3 デューティ比の設定

レベル	BDTY[2:0]	ブザー周波数(Hz)によるデューティ比			
		4096.0	3276.8	2730.7	2340.6
		2048.0	1638.4	1365.3	1170.3
レベル1(最大)	0	8/16	8/20	12/24	12/28
レベル2	1	7/16	7/20	11/24	11/28
レベル3	2	6/16	6/20	10/24	10/28
レベル4	3	5/16	5/20	9/24	9/28
レベル5	4	4/16	4/20	8/24	8/28
レベル6	5	3/16	3/20	7/24	7/28
レベル7	6	2/16	2/20	6/24	6/28
レベル8(最小)	7	1/16	1/20	5/24	5/28

このデューティ比を選択することによりブザーの音量を設定することができます。ただし、エンベロープをON(ENON="1")に設定している場合は、この設定は無効となります。イニシャルリセット時、このレジスタは"0"に設定されます。

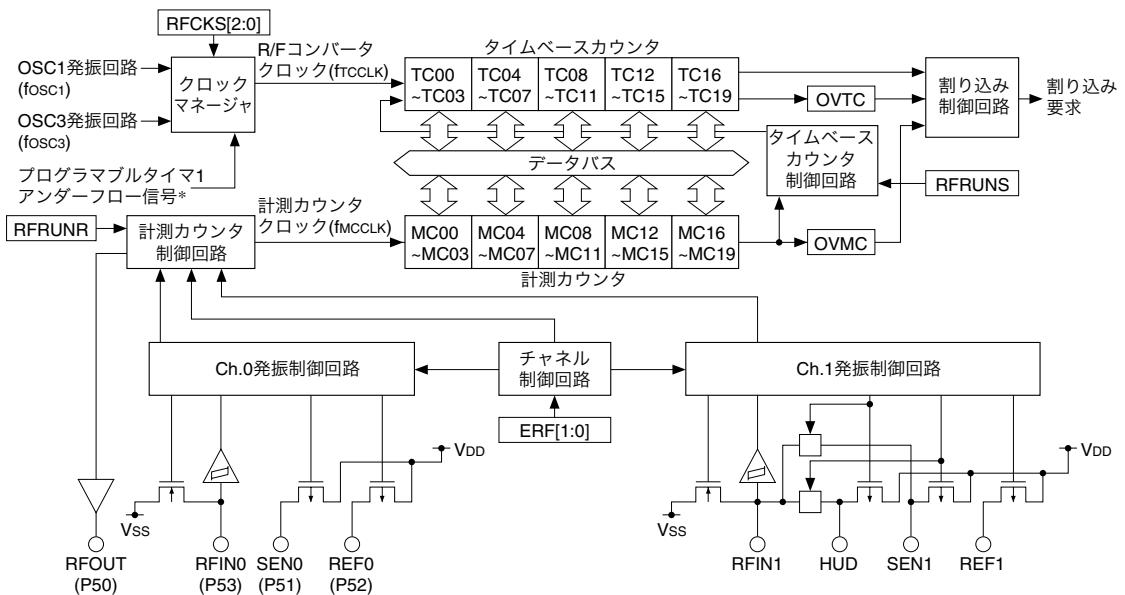
15.8 注意事項

- ブザー信号はBZEレジスタとは非同期に発生していますので、BZEレジスタの設定による信号のON/OFF時にハザードを生じる場合があります。
- 1ショット出力は通常のブザー出力がOFF(BZE = "0")の状態でのみ有効で、ON(BZE = "1")状態でのトリガは無効となります。

16 R/Fコンバータ

16.1 R/Fコンバータの構成

S1C63003/004/008/016はA/Dコンバータとして使用可能なCR発振方式のR/Fコンバータを内蔵しています。このR/Fコンバータには2系統(チャネル0およびチャネル1)のCR発振回路が設けられおり、それそれぞれに異なるセンサ等を接続することによって2種類のR/F変換回路を構成することができます。チャネル0はサーミスタ等の抵抗性センサを用いたDC印可によるR/F(抵抗/周波数)変換回路、チャネル1はチャネル0と同様のR/F変換回路、または湿度センサなどのAC印可が必要な抵抗性センサを用いたR/F変換回路として使用することができます。このどちらのチャネルを使用するか、およびチャネル1におけるセンサの種類はソフトウェアによって選択します。センサ入力端子に接続された抵抗性センサの抵抗値(外付け基準抵抗に対しての相対値)はCR発振回路によって周波数に変換され、そのクロック数は内蔵の計測カウンタによってカウントされます。計測カウンタの値を読み出すことによって、センサが検出した値をデジタル変換したデータが得られます。このR/Fコンバータを使用することにより、温度/湿度測定回路等の各種のセンサ回路が容易に実現できます。図16.1.1にR/Fコンバータの構成を示します。



* S1C63003は非対応

図16.1.1 R/Fコンバータの構成

注: R/Fコンバータのチャネル1を使用する場合、HUD、SEN1、REF1、RFIN1端子とSEG端子を切り換えるマスクオプションはすべてR/Fコンバータを選択してください。HUD端子を使用しない場合でも、SEG端子を選択するとチャネル1が正しく動作しないことがあります。

16.2 動作クロックの制御

R/Fコンバータはクロックマネージャから送られるクロックを動作クロック、およびタイムベースカウンタのカウントクロックとして使用します。クロックマネージャはOSC1とOSC3を分周して6種類のR/Fコンバータ用クロックを生成します。S1C63003ではこの6種類の中からR/Fコンバータで使用するクロックを選択できるようになっています。S1C63004/008/016では、これとプログラマブルタイマ1の出力クロックを合わせた7種類から選択可能です。選択は、表16.2.1に示すとおり、RFCKS[2:0]レジスタによって行います。

表16.2.1 R/Fコンバータのクロック周波数

RFCKS[2:0]	RFCクロック
7	fosc ₃ / 4
6	fosc ₃ / 2
5	fosc ₃ / 1
4	プログラマブルタイマ1*
3	fosc ₁ / 4 (8kHz)
2	fosc ₁ / 2 (16kHz)
1	fosc ₁ / 1 (32kHz)
0	OFF

fosc₁: OSC1発振周波数、()内の周波数は、fosc₁ = 32kHzの場合

fosc₃: OSC3発振周波数

プログラマブルタイマ1*を選択した場合は、プログラマブルタイマ1のアンダーフロー信号を1/2分周した信号がR/Fコンバータクロックとして使用されます。この場合、R/Fコンバータを動作させる前にプログラマブルタイマの制御が必要です。プログラマブルタイマについては"プログラマブルタイマ"の章を参照してください。

R/Fコンバータを動作させる必要がないときは、消費電流を低減させるためRFCKS[2:0]を"0"に設定してクロック供給を停止してください。

* S1C63003でプログラマブルタイマ1出力クロックを使用することはできません。

16.3 接続端子とCR発振回路

R/Fコンバータチャネル0の入出力端子およびRFOUT出力端子は入出力兼用ポート(P50～P53)と兼用されており、R/Fコンバータ用端子として使用する場合はソフトウェアによって機能の切り換えを行います。

ERF[1:0]レジスタを"0"以外に設定することにより、P53、P52、P51をそれぞれRFIN0、REF0、SEN0端子として使用することができます。

P50ポートからのRFOUT出力はRFOUTレジスタに"1"を書き込んだ場合に有効で、"0"の場合はP50が入出力兼用ポートとして機能します。

P50～P53端子とR/F変換入出力との対応は以下のとおりです。

表16.3.1 入出力端子の機能設定

端子名	R/Fコンバータ使用時
P50	RFOUT
P51	SEN0
P52	REF0
P53	RFIN0

注: イニシャルリセット時、P50～P53は入出力兼用ポートに設定されます。

R/Fコンバータチャネル0を使用する場合は、初期化ルーチンの中で機能の切り換え(ERF[1:0] = "1"、RFOUT = "1")を行ってください。

R/Fコンバータにはチャネル0、チャネル1の2系統のCR発振回路が内蔵されており、外付けの抵抗と容量によってCR発振を行います。

R/F変換値を得るカウンタはチャネル0およびチャネル1に共通となっているため、R/F変換を行うCR発振回路を切り換えることによって2系統の動作を実現しています。チャネルとR/F変換を行うセンサの種類はERF[1:0]レジスタであらかじめ設定しておきます。

表16.3.2 チャネルとセンサタイプの設定

ERF[1:0]	チャネルとセンサタイプ
3	Ch.1 DC
2	Ch.1 AC
1	Ch.0 DC
0	I/O

DC: サーミスタ等の抵抗性センサを用いたDC印可を行うR/F変換

AC: 湿度センサなどの抵抗性センサを用いたAC印可を行うR/F変換

(1) サーミスタなどの抵抗性センサを用いたDC印可を行うR/F変換

チャネル0は常にこの変換方式となっており、チャネル1はレジスタERF[1:0]を"3"に設定することにより選択されます。この方式はサーミスタによる温度測定など、通常の抵抗性センサ(DC印加)を用いてR/F変換を行う場合に選択します。イニシャルリセット時のチャネル1は、この変換方式に設定されます。図16.3.1に外付け素子の接続図を示します。

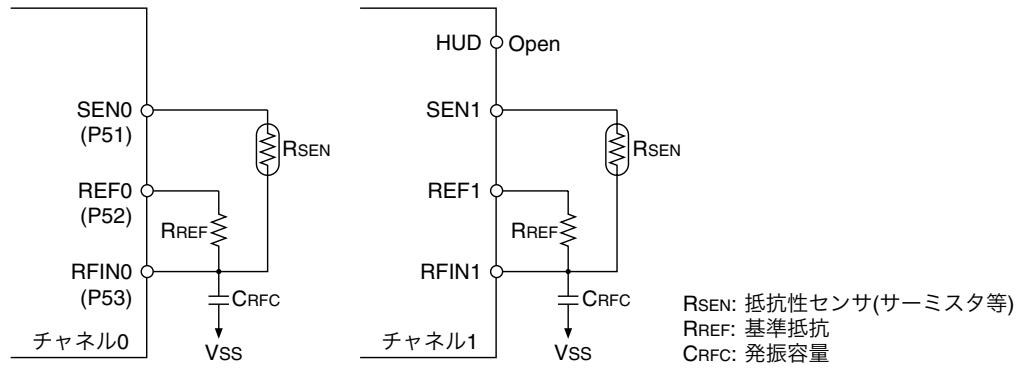


図16.3.1 R/F変換時の接続図

CR発振波形はシュミットトリガにより整形され計測カウンタに送られます。この計測カウンタに送られるクロックは、センサ発振時にRFOUT端子からも出力されますので、発振周波数をオシロスコープ等で確認することができます。このモニタは発振周波数に影響を与えませんので、R/F変換の精度調整に利用できます。図16.3.2に発振波形とRFOUTの出力波形を示します。

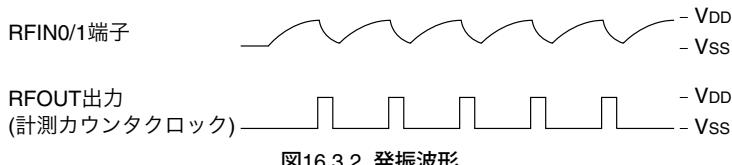


図16.3.2 発振波形

(2) 抵抗性湿度センサなどを用いたAC印可を行うR/F変換

この変換方式はチャネル1でのみ可能で、レジスタERF[1:0]を"2"に設定することにより選択されます。この方式は基本的に(1)のR/F変換と同様ですが、長時間DC印可ができない湿度センサなどにAC印加を行う回路が働くようになっています。基準抵抗による発振動作は(1)のR/F変換と同様です。図16.3.3に外付け素子の接続図を示します。

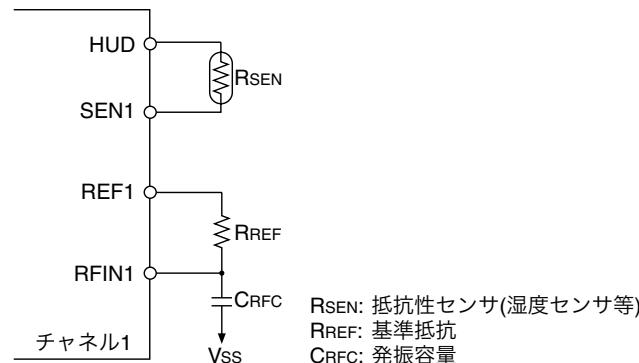


図16.3.3 抵抗性湿度センサの接続図

発振波形は図16.3.2と同様です。

16.4 R/F変換

カウンタ

R/Fコンバータには2種類のカウンタが内蔵されています。1つは前記の発振クロックをカウントする計測カウンタMC[19:0]で、もう1つは内部クロックにより基準カウントを行うタイムベースカウンタTC[19:0]です。

計測カウンタは基準抵抗とセンサによるCR発振クロックをカウントする20ビットアップカウンタで、R/F変換結果はこのカウンタを読み出すことにより得られます。タイムベースカウンタは、基準抵抗とセンサの発振時間を合わせるための20ビットのアップ/ダウンカウンタで、RFCKS[2:0]レジスタで選択したR/Fコンバタクロックをカウントします。どちらのカウンタも、4ビット単位で読み出しあり書き込みが可能です。

最初に基準抵抗のR/F変換を行います。発振を開始させると計測カウンタはカウントアップを、タイムベースカウンタはカウントダウンを開始します。2つのカウンタは計測カウンタがオーバーフロー ("FFFFFH"→"00000H")した時点でカウントを停止します。タイムベースカウンタに"00000H"をセットしてR/F変換を開始することにより、基準抵抗による発振時間が、カウンタ停止後にタイムベースカウンタを読み出すことで得られます。

次にセンサのR/F変換を行います。計測カウンタは"00000H"からカウントアップを、タイムベースカウンタは基準発振時にカウントした値からカウントアップを開始します。2つのカウンタはタイムベースカウンタがオーバーフロー ("FFFFFH"→"00000H")した時点でカウントを停止します。センサの発振時間は基準発振時間と同じになります。

したがって、カウントを開始する前に適当な初期値を補数("00000H"から減算した値)に変換して計測カウンタにセットしておくことにより、基準抵抗とセンサの発振周波数の差を容易に求めることができます。たとえば、基準抵抗とセンサの抵抗値がまったく同じだった場合、補数に変換する前の初期値と同じ値が計測カウンタから得られます。

タイムベースカウンタは、カウンタ値の読み出しとプリセットが可能です。基準発振終了時の値を読み出してメモリにセーブしておくことにより、その後の基準発振を省略することができます。その場合は、メモリにセーブした値をタイムベースカウンタにセットし、計測カウンタを"00000H"にしてセンサの発振を開始させます。

注: 計測カウンタおよびタイムベースカウンタにデータを書き込む場合は、必ず下位のアドレスから(FF62H→FF63H→FF64H→FF65H→FF66H、FF67H→FF68H→FF69H→FF6AH→FF6BH)、5ワードすべてを書き込んでください。また、カウンタへの書き込みにはLD命令を使用してください。リードモディファイライト命令(AND、OR、ADD、SUB等)は使用しないでください。下位4ビット以外を先に書き込むと、正しい値に設定されません。

R/F変換シーケンス

基準抵抗のR/F変換はRFRUNRレジスタに"1"を書き込むことにより開始します。

なお、R/F変換を開始させる前に、計測カウンタに初期値をセットすると共にタイムベースカウンタを"00000H"にクリアしておく必要があります。

RFRUNRレジスタによってR/F変換を開始させると、基準抵抗による発振がONとなり、その発振クロックにより計測カウンタが設定した初期値からカウントアップを開始します。これと同時にタイムベースカウンタもR/Fコンバタクロックによりカウントダウンを開始します。

計測カウンタがオーバーフローして"00000H"になると発振およびカウント動作が停止し、割り込みが発生します。同時にRFRUNRレジスタも"0"にリセットされ、R/Fコンバタ回路はすべて停止します。後でセンサ発振を単独に行うため、タイムベースカウンタの値を読み出してメモリにセーブしておきます。

図16.4.1に基準発振のタイミングチャートを示します。

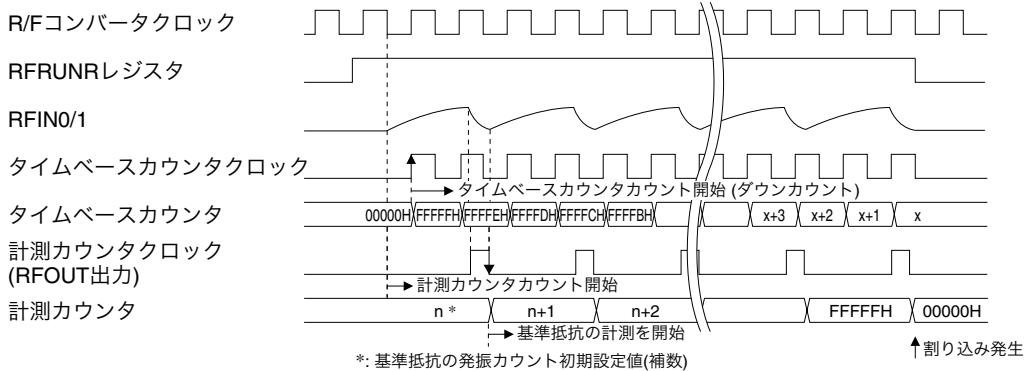


図16.4.1 基準発振タイミングチャート

センサのR/F変換はRFRUNSレジスタに"1"を書き込むことにより開始します。センサ発振を基準発振に続いている場合は、カウンタへの初期値の設定は不要です。センサ発振のみを単独に行う場合は、計測カウンタに"00000H"をセットし、タイムベースカウンタには基準発振時に計測した値をセットしておく必要があります。RFRUNSレジスタによってR/F変換を開始させると、センサによる発振がONとなり、その発振クロックにより計測カウンタが00000Hからカウントアップを開始します。これと同時にタイムベースカウンタもR/Fコンバタクロックによりカウントアップを開始します。タイムベースカウンタがオーバーフローして"00000H"になると発振およびカウント動作が停止し、割り込みが発生します。同時にRFRUNSレジスタも"0"にリセットされ、R/Fコンバタ回路はすべて停止します。

図16.4.2にセンサ発振のタイミングチャートを示します。

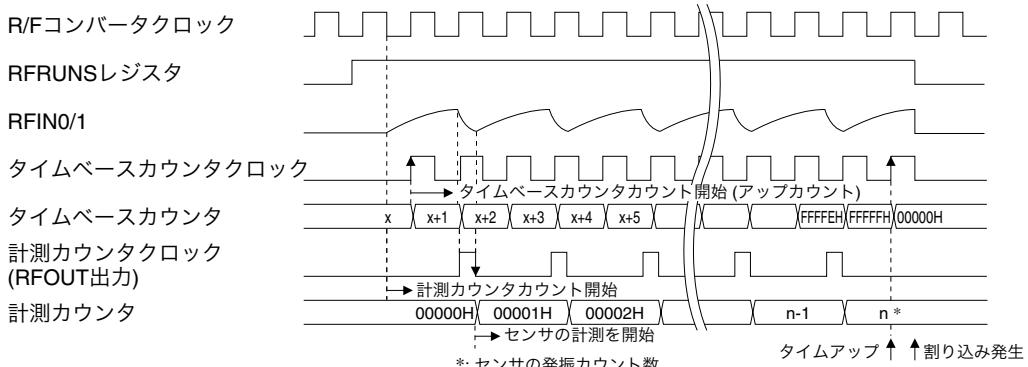


図16.4.2 センサ発振タイミングチャート

以上の動作により、基準抵抗の発振時間と同じ時間センサの発振を行いますので、発振周波数の差を計測カウンタのカウント値から得ることができます。

基準抵抗の発振時間は計測カウンタがオーバーフローするまでの時間となるため、R/F変換を開始する前に適当な初期値を設定しておく必要があります。この初期値を小さな値にしておくとカウント期間が長くなり、検出の精度は上がります。初期値は補数("00000H"から減算した値)に変換して計測カウンタに設定します。R/F変換が終了した計測カウンタの内容がセンサが検出したデータとなりますので、その値と補数に変換する前の初期値との差をプログラムで処理して目的の数値を算出してください。

以上の動作を図16.4.3に示します。

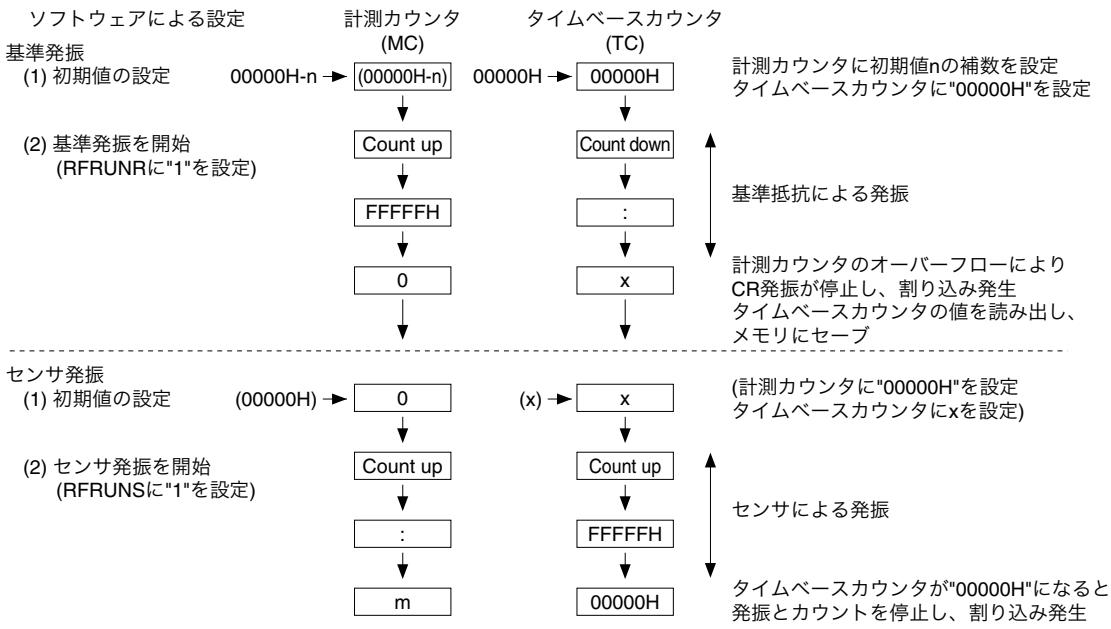


図16.4.3 R/F変換のシーケンス

注: 計測カウンタの初期値は、測定範囲およびカウンタのオーバーフローに注意して設定してください。

16.5 割り込み機能

R/FコンバータにはR/F変換終了時とエラー発生時に割り込みを発生させる機能があります。

基準発振時は計測カウンタが"00000H"になると双方のカウンタのカウント動作が停止し、RFRUNRが"0"に設定されます。同時に割り込み要因フラグIRFRが"1"にセットされます。

センサ発振時はタイムベースカウンタが"00000H"になると双方のカウンタのカウント動作が停止し、RFRUNSが"0"に設定されます。同時に割り込み要因フラグIRFSが"1"にセットされます。

また、センサ発振中に計測カウンタがオーバーフローした場合も双方のカウンタのカウント動作が停止し、RFRUNSが"0"に設定されます。この場合は割り込み要因フラグIRFEが"1"にセットされます。同時にOVTCフラグも"1"にセットされます。

基準発振中にタイムベースカウンタがオーバーフローした場合、双方のカウンタのカウント動作が停止し、RFRUNRが"0"に設定されます。この場合は割り込み要因フラグIRFEが"1"にセットされます。同時にOVTCフラグも"1"にセットされます。

これらの割り込み要因は割り込みマスクレジスタEIRFR、EIRFS、EIRFEによるマスクが可能で、"1"に設定している場合にCPUに対して割り込みが発生します。割り込みマスクレジスタを"0"に設定している場合、割り込み要因フラグは"1"にセットされますが、CPUに対する割り込みは発生しません。なお、割り込み要因フラグは"1"を書き込むことにより"0"にリセットされます。

図16.5.1～図16.5.4にR/Fコンバータの割り込みタイミングを示します。

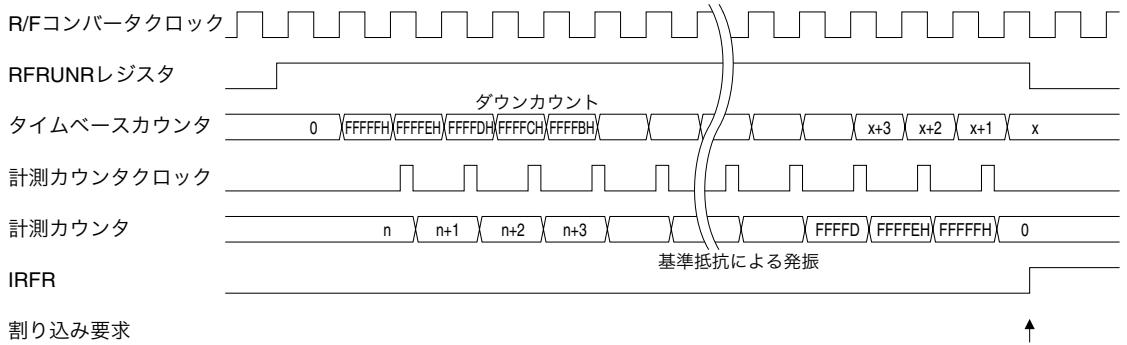


図16.5.1 基準発振完了割り込み

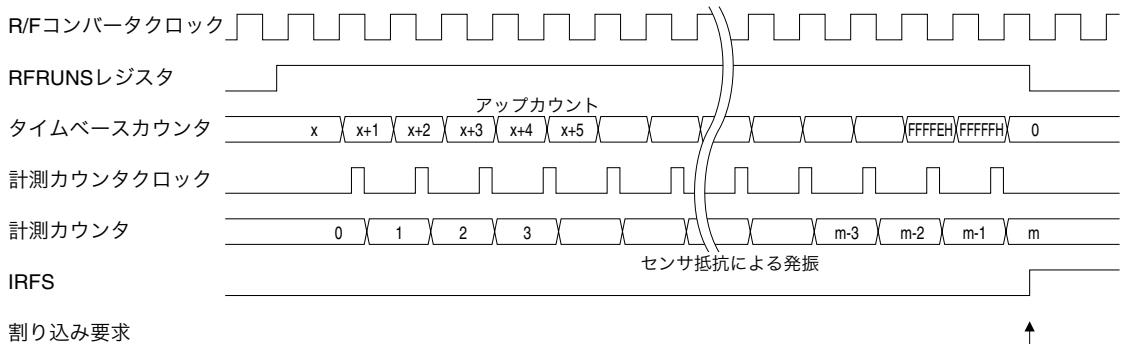


図16.5.2 センサ発振完了割り込み

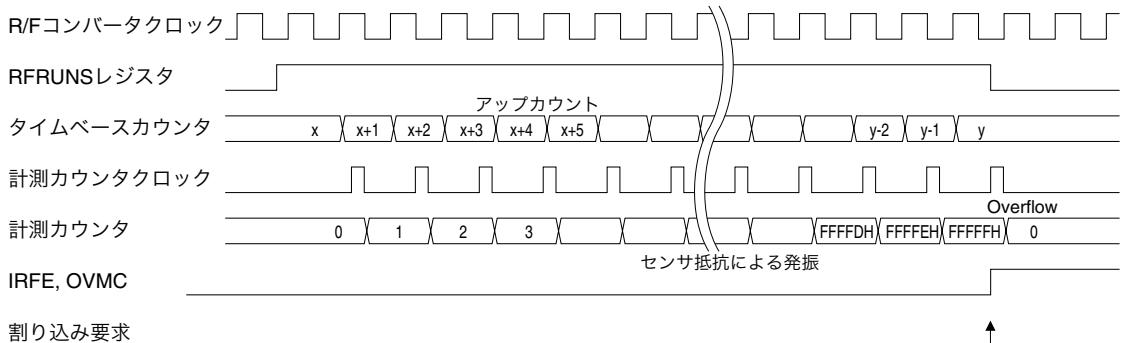


図16.5.3 計測カウンタオーバーフローによるエラー割り込み

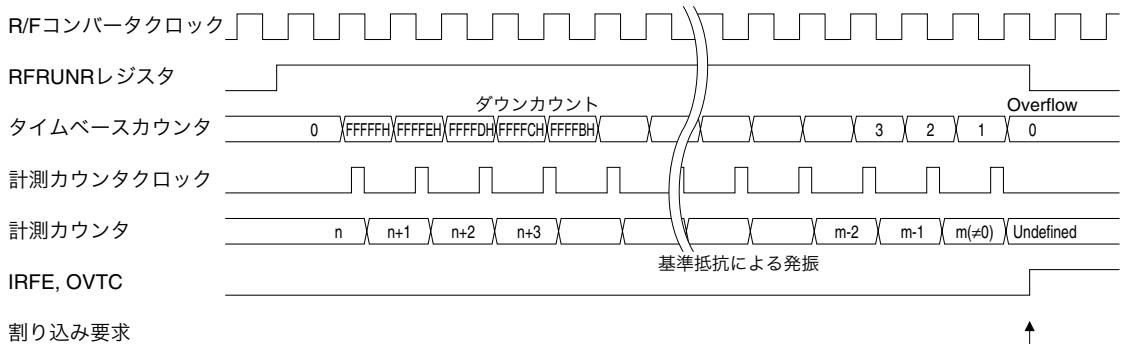


図16.5.4 タイムベースカウンタオーバーフローによるエラー割り込み

注: エラー割り込みが発生した場合、オーバーフローフラグ(OVMC、OVTC)に"1"を書き込んで"0"にリセットしてください。これらのフラグがリセットされない場合、再度同じエラー割り込みが発生してしまいます。

16.6 連続発振機能

RFCNTレジスタに"1"を設定することで、基準発振、センサ発振の停止条件によらずに発振を継続させることができます。RFOUTレジスタの設定と併せて使用することで、CR発振周波数が容易に測定できるようになります。

16.7 R/FコンバータのI/Oメモリ

表16.7.1にR/Fコンバータの制御ビットとそのアドレスを示します。

表16.7.1 R/Fコンバータの制御ビット

アドレス	レジスタ名	R/W	初期値	設定/データ				機能
FF15H	D3	0 (*3)	R	— (*2)	—			
	D2	RFCKS2	R/W	0	7	f ₃ /4	4	PT1 (*6)
	D1	RFCKS1	R/W	0	6	f ₃ /2	3	f ₁ /4
	D0	RFCKS0	R/W	0	5	f ₃	2	f ₁ /2
FF60H	D3	RFCNT	R/W	0	1	Continuous	0	Normal
	D2	RFOUT	R/W	0	1	Enable	0	Disable
	D1	ERF1	R/W	0	3	Ch.1 DC	1	Ch.0 DC
	D0	ERF0	R/W	0	2	Ch.1 AC	0	I/O
FF61H	D3	OVTC	R/W	0	1	Overflow error	0	No error
	D2	OVMC	R/W	0	1	Overflow error	0	No error
	D1	RFRUNR	R/W	0	1	Run	0	Stop
	D0	RFRUNS	R/W	0	1	Run	0	Stop
FF62H	D3	MC3	R/W	x	0H–FH			
	D2	MC2	R/W	x				
	D1	MC1	R/W	x				
	D0	MC0	R/W	x				
FF63H	D3	MC7	R/W	x	0H–FH			
	D2	MC6	R/W	x				
	D1	MC5	R/W	x				
	D0	MC4	R/W	x				
FF64H	D3	MC11	R/W	x	0H–FH			
	D2	MC10	R/W	x				
	D1	MC9	R/W	x				
	D0	MC8	R/W	x				
FF65H	D3	MC15	R/W	x	0H–FH			
	D2	MC14	R/W	x				
	D1	MC13	R/W	x				
	D0	MC12	R/W	x				
FF66H	D3	MC19	R/W	x	0H–FH			
	D2	MC18	R/W	x				
	D1	MC17	R/W	x				
	D0	MC16	R/W	x				
FF67H	D3	TC3	R/W	x	0H–FH			
	D2	TC2	R/W	x				
	D1	TC1	R/W	x				
	D0	TC0	R/W	x				
FF68H	D3	TC7	R/W	x	0H–FH			
	D2	TC6	R/W	x				
	D1	TC5	R/W	x				
	D0	TC4	R/W	x				
FF69H	D3	TC11	R/W	x	0H–FH			
	D2	TC10	R/W	x				
	D1	TC9	R/W	x				
	D0	TC8	R/W	x				

アドレス	レジスタ名	R/W	初期値	設定/データ	機能
FF6AH	D3 TC15 D2 TC14 D1 TC13 D0 TC12	R/W	×	0H-FH	タイムベースカウンタTC12-TC15
FF6BH	D3 TC19 D2 TC18 D1 TC17 D0 TC16	R/W	×	0H-FH	タイムベースカウンタTC16-TC19 TC19 = MSB

*1 イニシャルリセット時の初期値 *2 回路上設定されない *3 読み出し時は常時"0"

*4 S1C63003/004/008では未使用 *5 S1C63003/004では未使用 *6 S1C63003では未使用

● RFCKS[2:0]: R/Fコンバータクロック周波数選択レジスタ (FF15H・D[2:0])

R/Fコンバータのクロック周波数を選択します。

表16.7.2 R/Fコンバータのクロック周波数

RFCKS[2:0]	RFCクロック
7	fosc3 / 4
6	fosc3 / 2
5	fosc3 / 1
4	プログラマブルタイマ1*
3	fosc1 / 4 (8kHz)
2	fosc1 / 2 (16kHz)
1	fosc1 / 1 (32kHz)
0	OFF

fosc1: OSC1発振周波数、()内の周波数は、fosc1 = 32kHzの場合

fosc3: OSC3発振周波数

プログラマブルタイマ1*を選択した場合は、プログラマブルタイマ1のアンダーフロー信号を1/2分周した信号がR/Fコンバータクロックとして使用されます。この場合、R/Fコンバータを動作させる前にプログラマブルタイマの制御が必要です。プログラマブルタイマについては"プログラマブルタイマ"の章を参照してください。

R/Fコンバータを動作させる必要がないときは、消費電流を低減させるためRFCKS[2:0]を"0"に設定してクロック供給を停止してください。イニシャルリセット時、このレジスタは"0"に設定されます。

* S1C63003でプログラマブルタイマ1出力クロックを使用することはできません。

● ERF[1:0]: R/F変換選択レジスタ (FF60H・D[1:0])

R/F変換を行うチャネルとセンサの種類を選択します。

表16.7.3 チャネルとセンサタイプの設定

ERF[1:0]	チャネルとセンサタイプ
3	Ch.1 DC
2	Ch.1 AC
1	Ch.0 DC
0	I/O

DC: サーミスタ等の抵抗性センサを用いたDC印可を行うR/F変換

AC: 湿度センサなどの抵抗性センサを用いたAC印可を行うR/F変換

R/Fコンバータチャネル0の入出力端子は入出力兼用ポート(P51～P53)と兼用されており、本レジスタを"0"以外に設定することにより、P53、P52、P51をそれぞれRFIN0、REF0、SENO端子として使用することができます。イニシャルリセット時、このレジスタは"0"に設定されます。

● RFOUT: RFOUTイネーブルレジスタ (FF60H・D2)

P50からのRFOUT出力を許可します。

"1"書き込み: イネーブル(RFOUT)

"0"書き込み: ディセーブル(入出力兼用ポート)

読み出し: 可能

RFOUT出力をを行う場合は、RFOUTに"1"を書き込んでP50をRFOUT出力に設定してください。イニシャルリセット時、このレジスタは"0"に設定されます。

● RFCNT: 連続発振イネーブルレジスタ (FF60H·D3)

R/Fコンバータを連続発振させます。

"1"書き込み: 連続発振

"0"書き込み: 通常発振

読み出し: 可能

RFCNTに"1"を書き込むことで、基準発振、センサ発振の停止条件によらずに発振を継続させることができます。RFOUTレジスタの設定と併せて使用することで、CR発振周波数が容易に測定できるようになります。イニシャルリセット時、このレジスタは"0"に設定されます。

● RFRUNS: センサ発振RUN制御/ステータス (FF61H·D0)

センサのR/F変換を開始させると共に動作状態を示します。

"1"書き込み: R/F変換開始

"0"書き込み: 発振停止

"1"読み出し: R/F変換中

"0"読み出し: 停止中

RFRUNSに"1"を書き込むことによりセンサのR/F変換を開始します。R/F変換中、このレジスタは"1"を保持し、R/F変換が終了した時点で"0"に設定されます。R/F変換中にRFRUNSに"0"を書き込むと、発振が停止します。センサ発振中にERF[1:0]でチャネル1のAC、DC印可の切り換えを行ってもRFRUNSはリセットされません。この場合は"0"を書き込んでリセットしてください。RFRUNSとRFRUNRを同時に"1"に設定した場合は、RFRUNRが有効となります。イニシャルリセット時、このレジスタは"0"に設定されます。

● RFRUNR: 基準発振RUN制御/ステータス (FF61H·D1)

基準抵抗のR/F変換を開始させると共に動作状態を示します。

"1"書き込み: R/F変換開始

"0"書き込み: 発振停止

"1"読み出し: R/F変換中

"0"読み出し: 停止中

RFRUNRに"1"を書き込むことにより基準抵抗のR/F変換を開始します。R/F変換中、このレジスタは"1"を保持し、R/F変換が終了した時点で"0"に設定されます。R/F変換中にRFRUNRに"0"を書き込むと、発振が停止します。基準発振中にERF[1:0]でチャネル1のAC、DC印可の切り換えを行ってもRFRUNRはリセットされません。この場合は"0"を書き込んでリセットしてください。チャネルを切り換えた場合はRFRUNRがリセットされます。RFRUNSとRFRUNRを同時に"1"に設定した場合は、RFRUNRが有効となります。イニシャルリセット時、このレジスタは"0"に設定されます。

● OVMC: 計測カウンタオーバーフローフラグ (FF61H·D2)

計測カウンタのオーバーフロー発生状態を示すフラグです。

"1"読み出し: オーバーフロー発生

"0"読み出し: オーバーフローなし

"1"書き込み: "0"にリセット

"0"書き込み: 無効

センサの発振をカウント中に計測カウンタにオーバーフローが発生した場合、OVMCが"1"にセットされます。同時にエラー割り込みも発生します。このフラグはR/F変換開始時および"1"の書き込みによりリセットされます。イニシャルリセット時、このフラグは"0"に設定されます。

● OVTC: タイムベースカウンタオーバーフローフラグ (FF61H·D3)

タイムベースカウンタのオーバーフロー発生状態を示すフラグです。

"1"読み出し: オーバーフロー発生

"0"読み出し: オーバーフローなし

"1"書き込み: "0"にリセット

"0"書き込み: 無効

基準抵抗の発振中にタイムベースカウンタにオーバーフローが発生した場合、OVTCが"1"にセットされます。同時にエラー割り込みも発生します。このフラグはR/F変換開始時および"1"の書き込みによりリセットされます。イニシャルリセット時、このフラグは"0"に設定されます。

● MC[19:0]: 計測カウンタ (FF66H~FF62H)

CR発振クロックによりカウントアップする計測カウンタで、4ビット単位で書き込み/読み出しが可能です。基準抵抗による発振を行う場合は発振を開始する前に、カウントするクロック数の補数を書き込んでおきます。基準抵抗による発振によってこのカウンタがオーバーフローし、カウント値が"00000H"になると発振およびカウント動作が停止します。センサによる発振を行う場合は発振を開始する前に、"00000H"を書き込んでおきます(基準発振に引き続いて行う場合は不要)。センサ発振とカウント動作はタイムベースカウンタがオーバーフローした時点で停止します。停止したカウンタの値を読み出すことによって基準抵抗との差が得られますので、それをプログラムで処理して目的の数値を算出してください。なお、基準発振前に書き込む初期値は、測定範囲およびカウンタのオーバーフローに注意して設定してください。イニシャルリセット時、このカウンタの内容は不定となります。

● TC[19:0]: タイムベースカウンタ (FF6BH~FF67H)

基準抵抗とセンサのCR発振時間を合わせるためのタイムベースカウンタで、4ビット単位で書き込み/読み出しが可能です。基準抵抗による発振時はカウントダウンを行い、センサによる発振時は"00000H"までのカウントアップを行います。双方のカウント時間を作り合わせるために、基準発振を開始する前にはこのカウンタに"00000H"を書き込んでおく必要があります。基準発振のカウント値は基準発振終了時に読み出してメモリにセーブしてください。センサ発振を開始する前に、その値をこのカウンタに設定します。イニシャルリセット時、このカウンタの内容は不定となります。

16.8 注意事項

- カウンタのオーバーフローによりエラー割り込みが発生した場合、オーバーフローフラグ(OVMC、OVTC)に"1"を書き込んで"0"にリセットしてください。これらのフラグがリセットされない場合、再度同じ割り込みが発生してしまいます。
- 計測カウンタおよびタイムベースカウンタにデータを書き込む場合は、必ず下位のアドレスから(FF62H→FF63H→FF64H→FF65H→FF66H、FF67H→FF68H→FF69H→FF6AH→FF6BH)、5ワードすべてを書き込んでください。また、カウンタへの書き込みにはLD命令を使用してください。リードモディファイライト命令(AND、OR、ADD、SUB等)は使用しないでください。下位4ビット以外を先に書き込むと、正しい値に設定されません。
- R/Fコンバータの基準発振/センサ発振周波数IC偏差は、抵抗、容量のばらつきや基板の影響などにより大きくなる可能性があります。特に1.5V低電圧タイプで顕著となりますので、R/Fコンバータは十分な評価を行った上で使用してください。電圧偏差については、"19 電気的特性"の"特性グラフ(RFC基準発振/センサ発振周波数抵抗特性)"を参照してください。

17 SVD(電源電圧検出)回路 [S1C63004/008/016]

注: S1C63003にSVD回路は内蔵されていません。

17.1 SVD回路の構成

S1C63004/008/016にはSVD(電源電圧検出)回路が内蔵されており、ソフトウェアによって電源電圧低下を知ることができます。SVD回路のON/OFFおよび比較電圧の設定は、ソフトウェアによって行えます。SVD回路の構成は図17.1.1のとおりです。

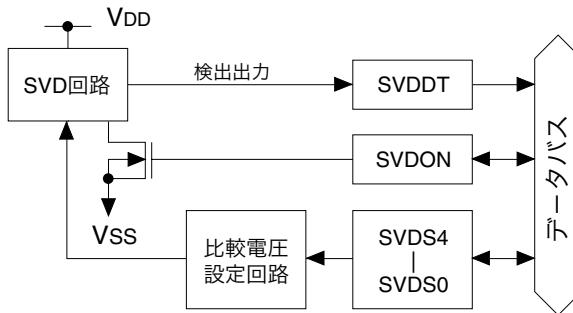


図17.1.1 SVD回路の構成

17.2 SVD動作

SVD回路はソフトウェアによって設定した比較電圧と電源電圧(VDD端子-VSS端子)の比較を行い、その結果をSVDDTラッチにセットします。このSVDDTラッチのデータを読み出すことにより、電源電圧が正常か、あるいは低下していることをソフトウェアによって判断できます。

比較電圧はレジスタSVDS[4:0]によって表17.2.1の29種類に設定できます。

表17.2.1 比較電圧値

SVDS[4:0]	比較電圧(V)	SVDS[4:0]	比較電圧(V)
1FH	3.20	0FH	1.65
1EH	3.10	0EH	1.60
1DH	3.00	0DH	1.55
1CH	2.90	0CH	1.50
1BH	2.80	0BH	1.45
1AH	2.70	0AH	1.40
19H	2.60	09H	1.35
18H	2.50	08H	1.30
17H	2.40	07H	1.25
16H	2.30	06H	1.20
15H	2.20	05H	1.15
14H	2.10	04H	1.10
13H	2.00	03H	1.05
12H	1.90	02H	
11H	1.80	01H	
10H	1.70	00H	

SVD回路による電源電圧の検出動作はSVDONレジスタに"1"を書き込むことによって開始します。その後SVDONに"0"を書き込むことにより、SVD回路は検出結果をSVDDTラッチにセットして検出動作を停止(回路をOFF)します。なお、安定した検出結果を得るために少なくとも500μsec以上SVD回路をONにする必要があります。したがって、電源電圧の検出は次のシーケンスで行ってください。

- (1)SVDONを"1"にセット → (2)500μsec以上保持 → (3)SVDONを"0"にセット → (4) SVDDTの読み出し
なお、SVD動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD回路をOFFに設定してください。

17.3 SVD回路のI/Oメモリ

表17.3.1にSVD回路の制御ビットとそのアドレスを示します。

表17.3.1 SVD回路の制御ビット

アドレス	レジスタ名	R/W	初期値	設定/データ												機能		
FF04H (*6)	D3	SVDS3	R/W	0	1F	3.20	1A	2.70	15	2.20	10	1.70	B	1.45	6	1.20	1	1.05
	D2	SVDS2	R/W	0	1E	3.10	19	2.60	14	2.10	F	1.65	A	1.40	5	1.15	0	1.05
	D1	SVDS1	R/W	0	1D	3.00	18	2.50	13	2.00	E	1.60	9	1.35	4	1.10		
	D0	SVDS0	R/W	0	1C	2.90	17	2.40	12	1.90	D	1.55	8	1.30	3	1.05		
FF05H (*6)	D3	0 (*3)	R	- (*2)	-												未使用	
	D2	SVDS4	R/W	0	(See FF04H)												SVD比較電圧(V)選択	
	D1	SVDDT	R	0	1	Low		0	Normal								SVD検出データ	
	D0	SVDON	R/W	0	1	On		0	Off								SVD回路On/Off	

*1 イニシャルリセット時の初期値 *2 回路上設定されない *3 読み出し時は常時"0"

*4 S1C63003/004/008では未使用 *5 S1C63003/004では未使用 *6 S1C63003では未使用

● SVDS[4:0]: SVD比較電圧設定レジスタ(FF05H・D2, FF04H)

SVDの比較電圧を表17.2.1に示すとおり設定します。イニシャルリセット時、このレジスタは"0"に設定されます。

● SVDON: SVD検出ON/OFF制御レジスタ(FF05H・D0)

SVD回路のON/OFFを制御します。

"1"書き込み: SVD回路 ON

"0"書き込み: SVD回路 OFF

読み出し: 可能

SVDONを"1"にセットすることによりSVD検出が行われ、SVDONを"0"にリセットした直後にSVDDTラッチへ検出結果が書き込まれます。なお、安定したSVD検出結果を得るためにには、少なくとも500μsec以上SVD回路をONにする必要があります。イニシャルリセット時、このレジスタは"0"に設定されます。

● SVDDT: SVD検出結果(FF05H・D1)

SVDによる検出結果がセットされます。

"1"読み出し: 比較電圧より電源電圧(VDD-VSS)が低い

"0"読み出し: 比較電圧より電源電圧(VDD-VSS)が高い

書き込み: 無効

SVDONを"0"にした時点の検出結果を読み出すことができます。イニシャルリセット時、SVDDTは"0"に設定されます。

17.4 注意事項

- SVD回路はONさせてから安定した結果が得られるまでに500μsecの時間を必要とします。このため、SVDONに"1"を書き込み後、500μsec以上経過後にSVDONに"0"を書き込んでSVDDTを読み出してください。
- SVD検出動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD検出をOFFに設定してください。

18 整数乗除算器 [S1C63008/016]

注: S1C63003/004に整数乗除算器は内蔵されていません。

18.1 整数乗除算器の構成

S1C63008/016は符号なし整数乗除算器を内蔵しています。この乗除算器は8ビット×8ビットの乗算、または16ビット÷8ビットの除算を行い、その演算結果とともに、結果に従って3種類のフラグ状態を返します。図18.1.1に整数乗除算器の構成を示します。

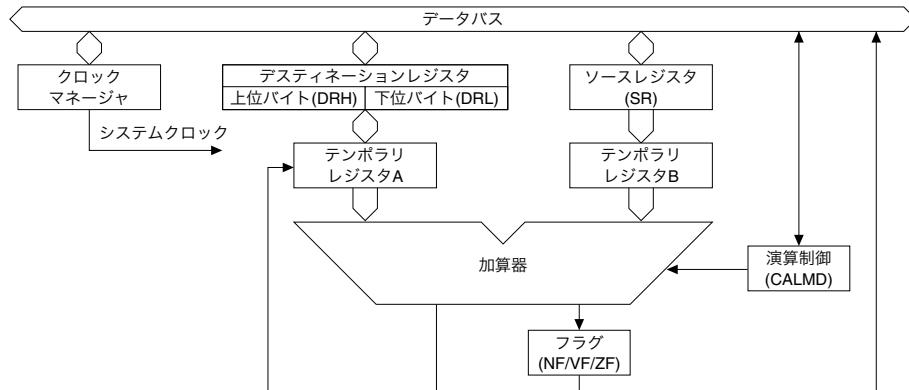


図18.1.1 整数乗除算器の構成

18.2 動作クロックの制御

整数乗除算器はクロックマネージャから供給されるクロック(OSCC、CLKCHGで選択されたCPU動作クロック)で動作します。整数乗除算器を動作させる前に、MDCKEに"1"を書き込んでクロックマネージャからクロックを供給してください。

表18.2.1 整数乗除算器クロックの制御

MDCKE	整数乗除算器クロック
1	CLKCHG = "0"の場合: fosc1 (32kHz) OSCC = "1"、 CLKCHG = "1"の場合: fosc3
0	OFF

整数乗除算器を動作させる必要がないときは、消費電流を低減させるためMDCKEを"0"に設定してクロック供給を停止してください。

18.3 乗算モード

ソースレジスタSRに乗数、デスティネーションレジスタ下位8ビットDRLに被乗数を設定し、演算モード選択レジスタCALMDに"0"を書き込むことで、乗算を実行します。レジスタCALMDへの書き込みから10 CPUクロック後に演算は終了し、積が16ビット値としてデスティネーションレジスタDRH/DRLに書き込まれます。同時に、演算フラグビットNF/VF/ZFが結果に従って更新されます。

以下に演算フラグビットの変化条件と乗算結果の一例を示します。

Nフラグ: DRHの最上位ビットが"1"のときにセットされ、"0"のときはリセットされます。

Vフラグ: 乗算後は常にリセットされます。

Zフラグ: DRH/DRLの16ビット値が0000Hのときにセットされ、それ以外の値のときはリセットされます。

〈乗算実行例〉

DRL(被乗数)	SR(乗数)	DRH/DRL(積)	NF	VF	ZF
00H	64H	0000H	0	0	1
64H	58H	2260H	0	0	0
C8H	58H	44C0H	0	0	0
C8H	A5H	80E8H	1	0	0

18.4 除算モード

ソースレジスタSRに除数、デスティネーションレジスタDRH/DRLに被除数を設定し、演算モード選択レジスタCALMDに"1"を書き込むことで、除算を実行します。レジスタCALMDへの書き込みから10 CPUクロック後に演算は終了し、商がデスティネーションレジスタ下位8ビットDRLに、剩余がデスティネーションレジスタ上位8ビットDRHにそれぞれ書き込まれます。同時に、演算フラグビットNF/VF/ZFが結果に従って更新されます。

ただし、商が8ビットを超える場合は、オーバーフローとなってレジスタDRH/DRLは更新されず、被除数がそのまま保持されます。

以下に演算フラグビットの変化条件と除算結果の一例を示します。

Nフラグ: DRLの最上位ビットが"1"のときにセットされ、"0"のときはリセットされます。

Vフラグ: 商が8ビットを超える場合にセットされ、8ビット以内の場合はリセットされます。

Zフラグ: DRLの8ビット値が00Hのときにセットされ、それ以外の値のときはリセットされます。

〈除算実行例〉

DRH/DRL(被除数)	SR(除数)	DRL(商)	DRH(剩余)	NF	VF	ZF
1A16H	64H	42H	4EH	0	0	0
332CH	64H	83H	00H	1	0	0
0000H	58H	00H	00H	0	0	1
2468H	13H	68H	24H	1	1	0

上記例では、"2468H" ÷ "13H"の商が8ビットを超えるためオーバーフローが発生し、DRH/DRLには被除数の値がそのまま保持されます。この例のようにオーバーフローが発生した場合は、次のように除算を2回に分けて実行することで、正しい結果が得られます。

1. 被除数の上位8ビット(24H)を除数(13H)で除算し、商(01H)をメモリに退避

DRH/DRL(被除数)	SR(除数)	DRL(商)	DRH(剩余)	NF	VF	ZF
0024H	13H	01H	11H	0	0	0

2. 剩余(11H)をDRHに残したまま、DRLに被除数の下位8ビット(68H)を設定して再度除算を実行

DRH/DRL(被除数)	SR(除数)	DRL(商)	DRH(剩余)	NF	VF	ZF
1168H	13H	EAH	0AH	1	0	0

結果は、商 = 01EAH(初回のDRLの結果と2回目のDRLの結果の16ビット合成値)、剩余 = 0AHとなり、正しい演算結果が得られます。ただし、演算フラグビットNF/VF/ZFは各ステージでの演算結果に従って変化しますので、最終的な演算結果は反映されません。

注: ハードウェアは除算結果を検定していませんので、必ずソフトウェアで確認してください。

18.5 実行サイクル

演算には乗算、除算とともに10 CPUクロックの実行時間が必要です。したがって、演算結果をデスティネーションレジスタDRH/DRLから読み出せるのは、レジスタCALMDへの書き込み(演算スタート)から、5バスサイクル後となります。演算フラグビットNF/VF/ZFについても同様です。

以下に、演算処理のプログラム例を示します。

```

1db %ext, src_data@h
1db %x1, src_data@l ;演算対象データのRAMアドレス指定
1db %ext, au@h
1db %y1, au@l ;乗除算器の先頭アドレス指定
;
1db [%ba, [%x]+ ;レジスタSRへのデータ設定
1db [%y]+, %ba
1db [%ba, [%x]+ ;レジスタDRLへのデータ設定
1db [%y]+, %ba
1db [%ba, [%x]+ ;レジスタDRHへのデータ設定
1db [%y]+, %ba
;

```

```

ld      [%y], 0b0001          ;演算スタート(除算モード選択)
;
ldb    %ext, rslt_data@h
ldb    %xl, rslt_data@l       ;演算結果のストア先アドレス指定
nop
nop
nop
;          ;演算終了待ちのためのダミー命令
;
bit    [%y], 0b0100          ;フラグVFが"1"のとき、エラー処理へ分岐
jrnz  overflow
;
add   %y, -4                ;レジスタDRLの再指定
;
ldb    %ba, [%y] +
ldb    [%x] +, %ba           ;演算結果(商)のRAMへのストア
ldb    %ba, [%y] +
ldb    [%x] +, %ba           ;演算結果(剰余)のRAMへのストア

```

18.6 整数乗除算器のI/Oメモリ

表18.6.1に整数乗除算器の制御ビットとそのアドレスを示します。

表18.6.1 整数乗除算器の制御ビット

アドレス	レジスタ名	R/W	初期値	設定/データ			機能
FF16H	D3 MDCKE (*5)	R/W	0	1	Enable	0	乗除算クロックイネーブル
	D2 SGCKE	R/W	0	1	Enable	0	サウンドジェネレータクロックイネーブル
	D1 SWCKE	R/W	0	1	Enable	0	ストップウォッチタイマクロックイネーブル
	D0 RTCCKE	R/W	0	1	Enable	0	計時タイマクロックイネーブル
FF70H (*5)	D3 SR3	R/W	x	0H-FH			ソースレジスタ(下位4ビット) SR0 = LSB
	D2 SR2	R/W	x				
	D1 SR1	R/W	x				
	D0 SR0	R/W	x				
FF71H (*5)	D3 SR7	R/W	x	0H-FH			ソースレジスタ(上位4ビット) SR7 = MSB
	D2 SR6	R/W	x				
	D1 SR5	R/W	x				
	D0 SR4	R/W	x				
FF72H (*5)	D3 DRL3	R/W	x	0H-FH			デスティネーションレジスタ下位8ビット (下位4ビット) DRL0 = LSB
	D2 DRL2	R/W	x				
	D1 DRL1	R/W	x				
	D0 DRL0	R/W	x				
FF73H (*5)	D3 DRL7	R/W	x	0H-FH			デスティネーションレジスタ下位8ビット (上位4ビット) DRL7 = MSB
	D2 DRL6	R/W	x				
	D1 DRL5	R/W	x				
	D0 DRL4	R/W	x				
FF74H (*5)	D3 DRH3	R/W	x	0H-FH			デスティネーションレジスタ上位8ビット (下位4ビット) DRH0 = LSB
	D2 DRH2	R/W	x				
	D1 DRH1	R/W	x				
	D0 DRH0	R/W	x				
FF75H (*5)	D3 DRH7	R/W	x	0H-FH			デスティネーションレジスタ上位8ビット (上位4ビット) DRH7 = MSB
	D2 DRH6	R/W	x				
	D1 DRH5	R/W	x				
	D0 DRH4	R/W	x				
FF76H (*5)	D3 NF	R	0	1	Negative	0	ネガティブフラグ
	D2 VF	R	0	1	Overflow	0	オーバーフロー・フラグ
	D1 ZF	R	0	1	Zero	0	ゼロフラグ
	D0 CALMD	R/W	0	1	Division (W) Run (R)	0	演算モード選択(書き込み時) 実行ステータス(読み出し時)

*1 イニシャルリセット時の初期値 *2 回路上設定されない *3 読み出し時は常時"0"

*4 S1C63003/004/008では未使用 *5 S1C63003/004では未使用 *6 S1C63003では未使用

● MDCKE: 整数乗除算器クロックイネーブル(FF16H・D3)

整数乗除算器へのクロックの供給を制御します。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

MDCKEに"1"を書き込むことによって、整数乗除算器の動作クロック(OSCC、CLKCHGで選択されたCPU動作クロック)がクロックマネージャから供給されます。整数乗除算器を動作させる必要がないときは、消費電流を低減させるためMDCKEを"0"に設定してクロック供給を停止してください。イニシャルリセット時、このレジスタは"0"に設定されます。

● SR[7:0]: ソースレジスタ(FF71H, FF70H)

乗数、または除数を設定するレジスタです。

SR[3:0]に下位4ビット、SR[7:4]に上位4ビットのデータを設定します。本レジスタは、最後に書き込まれた値を次の書き込みまで保持しますので、固定の乗除数で連続して演算を行う場合は、演算ごとに再設定する必要はありません。イニシャルリセット時の本レジスタの値は不定です。

● DRL[7:0]: デステイネーションレジスタ下位8ビット(FF73H, FF72H)

被乗数、または被除数の下位8ビットを設定するレジスタです。

DRL[3:0]にそのバイトデータの下位4ビット、DRL[7:4]に上位4ビットを設定します。本レジスタに書き込まれた値は、スタート(FF76H・D0への書き込み)動作によって演算回路にロードされ、10 CPUクロック(5バスサイクル)後に、乗算では積の下位8ビット、除算では商が書き戻されます。ただし、除算でオーバーフローが発生した場合は商が書き戻されず、元の被除数の下位8ビットの値を保持します。イニシャルリセット時の本レジスタの値は不定です。

● DRH[7:0]: デステイネーションレジスタ上位8ビット(FF75H, FF74H)

被除数の上位8ビットを設定するレジスタです。

DRH[3:0]にそのバイトデータの下位4ビット、DRH[7:4]に上位4ビットを設定します。乗算時は本レジスタの値は無視され、乗算スタート(FF76H・D0への"0"書き込み)動作の10 CPUクロック(5バスサイクル)後に、積の上位8ビットが書き込まれます。除算時は本レジスタに書き込まれた値が、除算スタート(FF76H・D0への"1"書き込み)動作によって演算回路にロードされ、10 CPUクロック(5バスサイクル)後に、剩余が書き戻されます。ただし、除算でオーバーフローが発生した場合は剩余が書き戻されず、元の被除数の上位8ビットの値を保持します。イニシャルリセット時の本レジスタの値は不定です。

● CALMD: 演算モード選択レジスタ/実行ステータス(FF76H・D0)

演算モードの選択と、演算スタートを制御します。

"1"書き込み: 除算モードを選択/実行

"0"書き込み: 乗算モードを選択/実行

"1"読み出し: 演算実行中

"0"読み出し: 演算完了

本レジスタへの書き込みにより指定の演算を開始します。その後、演算が終了するまで本レジスタの読み出しが"1"となり、演算完了後"0"となります。イニシャルリセット後、本レジスタは"0"が読み出されます。

● ZF: ゼロフラグ(FF76H・D1)

演算結果がゼロか否かを示すフラグです。

"1"読み出し: 演算結果がゼロ

"0"読み出し: 演算結果がゼロ以外

書き込み: 無効

本ビットは読み出し専用のため、書き込み動作は無効となります。イニシャルリセット時、本フラグは"0"に設定されます。

● VF: オーバーフロー/フラグ(FF76H・D2)

除算結果のオーバーフロー状態を示すフラグです。

"1"読み出し: オーバーフロー発生

"0"読み出し: オーバーフローなし

書き込み: 無効

乗算の実行後、本ビットは常に"0"に設定されます。本ビットは読み出し専用のため、書き込み動作は無効となります。イニシャルリセット時、本フラグは"0"に設定されます。

● NF: ネガティブフラグ(FF76H・D3)

演算結果の正負を示すフラグです。

"1"読み出し: 演算結果が負の数(結果の最上位ビットが"1")

"0"読み出し: 演算結果が正の数(結果の最上位ビットが"0")

書き込み: 無効

本ビットは読み出し専用のため、書き込み動作は無効となります。イニシャルリセット時、本フラグは"0"に設定されます。

18.7 注意事項

演算モード選択レジスタCALMDへの書き込みから、演算結果がデステイネーションレジスタDRH/DRL、および演算フラグビットNF/VF/ZFに書き戻されるまで、10 CPUクロック(5バスサイクル)の時間が必要です。この時間経過以前のDRH/DRLへの読み書き、およびNF/VF/ZFの読み出しへは行わないください。

19 電気的特性

19.1 絶対最大定格

3Vノーマルタイプ

(V_{SS}=0V)

項目	記号	条件	定格値	単位
電源電圧	V _{DD}		-0.3～+6.0	V
液晶電源電圧	V _{C3}		-0.3～+6.0	V
入力電圧	V _I		-0.3～V _{DD} + 0.3	V
出力電圧	V _O		-0.3～V _{DD} + 0.3	V
高レベル出力電流	I _{OH}	1端子 全端子合計	-5 -20	mA
低レベル出力電流	I _{OL}	1端子 全端子合計	5 20	mA
許容損失 *1	P _D		200	mW
動作温度	T _a		-40～85	°C
保存温度	T _{stg}		-65～150	°C
半田付け温度・時間	T _{sol}		260°C, 10秒(リード部)	—

*1 プラスチックパッケージ(QFP12-48pin、QFP14-80pin、QFP15-100pin、TQFP14-100pin)の場合

1.5V低電圧タイプ

(V_{SS}=0V)

項目	記号	条件	定格値	単位
電源電圧	V _{DD}		-0.3～+3.0	V
液晶電源電圧	V _{C3}		-0.3～+6.0	V
入力電圧	V _I		-0.3～V _{DD} + 0.3	V
出力電圧	V _O		-0.3～V _{DD} + 0.3	V
高レベル出力電流	I _{OH}	1端子 全端子合計	-5 -20	mA
低レベル出力電流	I _{OL}	1端子 全端子合計	5 20	mA
許容損失 *1	P _D		200	mW
動作温度	T _a		-40～85	°C
保存温度	T _{stg}		-65～150	°C
半田付け温度・時間	T _{sol}		260°C, 10秒(リード部)	—

*1 プラスチックパッケージ(QFP12-48pin、QFP14-80pin、QFP15-100pin、TQFP14-100pin)の場合

19.2 推奨動作条件

3Vノーマルタイプ

(T_a=-40～85°C)

項目	記号	条件	Min.	Typ.	Max.	単位
電源電圧	V _{DD}		1.8	—	5.5	V
動作周波数	fosc1	水晶発振	—	32.768	—	kHz
	fosc3	セラミック発振 *2	30	—	4,200	kHz
		CR発振(R外付け) *2	30	—	2,200	kHz
CA～CB間キャパシタ *1	C ₁		—	0.1	—	μF
V _{SS} ～V _{C1} 間キャパシタ *1	C ₄		—	0.1	—	μF
V _{SS} ～V _{C2} 間キャパシタ *1	C ₅		—	0.1	—	μF
V _{SS} ～V _{C3} 間キャパシタ *1	C ₆		—	0.1	—	μF
V _{SS} ～V _{D1} 間キャパシタ	C ₂		—	0.1	—	μF
V _{SS} ～V _{osc} 間キャパシタ	C ₃		—	0.1	—	μF

*1 LCD ドライバを使用しない場合、キャパシタは必要ありません。また、V_{C1}～V_{C3}およびCA～CBは開放してください。

*2 S1C63004/008/016

1.5V低電圧タイプ

(Ta=-40~85°C)

項目	記号	条件	Min.	Typ.	Max.	単位
電源電圧	V _{DD}		1.1	—	1.7	V
動作周波数	fosc1	水晶発振	—	32.768	—	kHz
	fosc3	セラミック発振 ^{*2}	30	—	1,000	kHz
		CR発振(R外付け) ^{*2}	30	—	500	kHz
CA～CB間キャパシタ ^{*1}	C ₁		—	0.1	—	μF
V _{SS} ～V _{C1} 間キャパシタ ^{*1}	C ₄		—	0.1	—	μF
V _{SS} ～V _{C2} 間キャパシタ ^{*1}	C ₅		—	0.1	—	μF
V _{SS} ～V _{C3} 間キャパシタ ^{*1}	C ₆		—	0.1	—	μF
V _{SS} ～V _{D1} 間キャパシタ	C ₂		—	0.1	—	μF
V _{SS} ～V _{Osc} 間キャパシタ	C ₃		—	0.1	—	μF

^{*1} LCD ドライバを使用しない場合、キャパシタは必要ありません。また、V_{C1}～V_{C3}およびCA～CBは開放してください。^{*2} S1C63004/008/016

19.3 DC特性

3Vノーマルタイプ

特記なき場合: 1.8~5.5V, V_{SS}=0V, Ta=-40~85°C

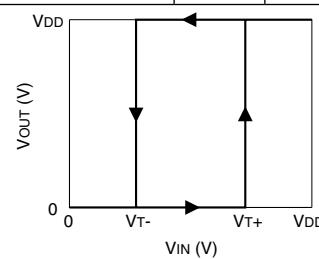
項目	記号	条件	Min.	Typ.	Max.	単位
高レベル入力電圧	V _{IH}	P00-P13 ^{*1}	0.8V _{DD}	—	V _{DD}	V
低レベル入力電圧	V _{IL}	P00-P13 ^{*1}	0	—	0.2V _{DD}	V
高レベルシミット入力電圧	V _{T+}	RESET, RFIN1, Pxx ^{*2}	0.5V _{DD}	—	0.9V _{DD}	V
低レベルシミット入力電圧	V _{T-}	RESET, RFIN1, Pxx ^{*2}	0.1V _{DD}	—	0.5V _{DD}	V
高レベル出力電流	I _{OH1}	V _{OH1} =0.9V _{DD}	Pxx, REF1, SEN1, HUD	—	—	-0.5 mA
低レベル出力電流	I _{OL1}	V _{OL1} =0.1V _{DD}	Pxx, REF1, SEN1, HUD	0.5	—	— mA
入力リーケ電流	I _{LI}		RESET, RFIN1, Pxx	-1	—	1 μA
出力リーケ電流	I _{LO}		Pxx, REF1, SEN1, HUD	-1	—	1 μA
入力プルダウン抵抗	R _{IN}		RESET, Pxx	100	—	500 kΩ
入力端子容量	C _{IN}	V _{IN} =0V, Ta = 25°C	RESET, RFIN1, Pxx	—	—	15 pF
コモン出力電流	I _{OH2}	V _{OH2} =V _{C3} -0.05V	COM0~7	—	—	-10 μA
	I _{OL2}	V _{OL2} =V _{SS} +0.05V		10	—	— μA
セグメント出力電流 (LCD出力時)	I _{OH3}	V _{OH3} =V _{C3} -0.05V	SEG0~55	—	—	-10 μA
	I _{OL3}	V _{OL3} =V _{SS} +0.05V		10	—	— μA
セグメント出力電流 (DC出力時)	I _{OH4}	V _{OH4} =0.8V _{DD}	SEG0~35	—	—	-330 μA
	I _{OL4}	V _{OL4} =0.2V _{DD}		330	—	— μA

^{*1} 入力インターフェースにCMOSレベルを選択した場合^{*2} シュミット入力に設定したP00～P13、およびその他のPポート

1.5V低電圧タイプ

特記なき場合: 1.1~1.7V, V_{SS}=0V, Ta=-40~85°C

項目	記号	条件	Min.	Typ.	Max.	単位
高レベル入力電圧	V _{IH}	P00-P13 ^{*1}	0.8V _{DD}	—	V _{DD}	V
低レベル入力電圧	V _{IL}	P00-P13 ^{*1}	0	—	0.2V _{DD}	V
高レベルシミット入力電圧	V _{T+}	RESET, RFIN1, Pxx ^{*2}	0.45V _{DD}	—	0.9V _{DD}	V
低レベルシミット入力電圧	V _{T-}	RESET, RFIN1, Pxx ^{*2}	0.1V _{DD}	—	0.55V _{DD}	V
高レベル出力電流	I _{OH1}	V _{OH1} =0.9V _{DD}	Pxx, REF1, SEN1, HUD	—	—	-0.25 mA
低レベル出力電流	I _{OL1}	V _{OL1} =0.1V _{DD}	Pxx, REF1, SEN1, HUD	0.25	—	— mA
入力リーケ電流	I _{LI}		RESET, RFIN1, Pxx	-1	—	1 μA
出力リーケ電流	I _{LO}		Pxx, REF1, SEN1, HUD	-1	—	1 μA
入力プルダウン抵抗	R _{IN}		RESET, Pxx	100	—	500 kΩ
入力端子容量	C _{IN}	V _{IN} =0V, Ta = 25°C	RESET, RFIN1, Pxx	—	—	15 pF
コモン出力電流	I _{OH2}	V _{OH2} =V _{C3} -0.05V	COM0~7	—	—	-10 μA
	I _{OL2}	V _{OL2} =V _{SS} +0.05V		10	—	— μA
セグメント出力電流 (LCD出力時)	I _{OH3}	V _{OH3} =V _{C3} -0.05V	SEG0~55	—	—	-10 μA
	I _{OL3}	V _{OL3} =V _{SS} +0.05V		10	—	— μA
セグメント出力電流 (DC出力時)	I _{OH4}	V _{OH4} =0.8V _{DD}	SEG0~35	—	—	-165 μA
	I _{OL4}	V _{OL4} =0.2V _{DD}		165	—	— μA

^{*1} 入力インターフェースにCMOSレベルを選択した場合^{*2} シュミット入力に設定したP00～P13、およびその他のPポート

19.4 アナログ回路特性・消費電流

19.4.1 LCD ドライバ

LCD ドライバは、パネル負荷(パネルの大きさ、駆動デューティ、表示点灯数、表示パターン)によって Typ. 値がシフトしますので、実際に使用するパネルを接続して評価してください。

S1C63004/008/016 LCD 駆動電圧(Vc1基準選択時)

特記なき場合: V_{DD}=1.2~1.7V(1.5Vタイプ)またはV_{DD}=1.8~5.5V(3Vタイプ), V_{SS}=0V, Ta=25°C, C₁~C₆=0.1μF, 市松模様出力時, パネル負荷なし, V_{SS}~Vc1, V_{SS}~Vc2, V_{SS}~Vc3間にそれぞれ1MΩの負荷抵抗を接続

項目	記号	条件	Min.	Typ.	Max.	単位
LCD 駆動電圧	Vc1		0.335 × Vc3(typ.)	—	0.363 × Vc3(typ.)	V
	Vc2		0.646 × Vc3(typ.)	—	0.700 × Vc3(typ.)	V
	Vc3	LC[3:0]=0H	Typ. × 0.96	2.75	Typ. × 1.04	V
		LC[3:0]=1H		2.84		V
		LC[3:0]=2H		2.92		V
		LC[3:0]=3H		3.00		V
		LC[3:0]=4H		3.08		V
		LC[3:0]=5H		3.17		V
		LC[3:0]=6H		3.25		V
		LC[3:0]=7H		3.34		V
		LC[3:0]=8H		3.42		V
		LC[3:0]=9H		3.50		V
		LC[3:0]=AH		3.58		V
		LC[3:0]=BH		3.67		V
		LC[3:0]=CH		3.75		V
		LC[3:0]=DH		3.83		V
		LC[3:0]=EH		3.91		V
		LC[3:0]=FH		4.00		V

注: • V_{DD}=1.2V以下ではパネル負荷によって上記の規格を満たさない場合があります。

- Vc1電圧値は常にV_{DD}より小さくなりますので、“Vc1 Max. > V_{DD}”となるようなコントラストの設定はできません。“19.8 特性グラフ(参考値)”の“LCD 駆動電圧電源電圧特性(1/3バイアス, Vc1基準選択時)1.5V低電圧タイプ”を参照してください。

S1C63004/008/016 LCD 駆動電圧(Vc2基準選択時)

特記なき場合: V_{DD}=1.8~5.5V, V_{SS}=0V, Ta=25°C, C₁~C₆=0.1μF, 市松模様出力時, パネル負荷なし
V_{SS}~Vc1, V_{SS}~Vc2, V_{SS}~Vc3間にそれぞれ1MΩの負荷抵抗を接続

項目	記号	条件	Min.	Typ.	Max.	単位
LCD 駆動電圧	Vc1		0.323 × Vc3(typ.)	—	0.349 × Vc3(typ.)	V
	Vc2		0.650 × Vc3(typ.)	—	0.704 × Vc3(typ.)	V
	Vc3	LC[3:0]=0H	Typ. × 0.96	2.84	Typ. × 1.04	V
		LC[3:0]=1H		2.92		V
		LC[3:0]=2H		3.01		V
		LC[3:0]=3H		3.09		V
		LC[3:0]=4H		3.17		V
		LC[3:0]=5H		3.26		V
		LC[3:0]=6H		3.34		V
		LC[3:0]=7H		3.43		V
		LC[3:0]=8H		3.51		V
		LC[3:0]=9H		3.60		V
		LC[3:0]=AH		3.68		V
		LC[3:0]=BH		3.77		V
		LC[3:0]=CH		3.85		V
		LC[3:0]=DH		3.94		V
		LC[3:0]=EH		4.02		V
		LC[3:0]=FH		4.11		V

注: 1.5V低電圧タイプの最大動作電圧は1.7Vのため、Vc2基準は設定できません。

S1C63003 LCD駆動電圧 (Vc1基準選択時)

特記なき場合: V_{DD}=1.2~1.7V(1.5Vタイプ)またはV_{DD}=1.8~5.5V(3Vタイプ), V_{SS}=0V, Ta=25°C, C₁~C₆=0.1μF, 市松模様出力時, パネル負荷なし, V_{SS}~V_{C1}, V_{SS}~V_{C2}, V_{SS}~V_{C3}間にそれぞれ1MΩの負荷抵抗を接続

項目	記号	条件	Min.	Typ.	Max.	単位
LCD駆動電圧	V _{C1}		0.347 × V _{C3} (typ.)	–	0.350 × V _{C3} (typ.)	V
	V _{C2}		0.665 × V _{C3} (typ.)	–	0.670 × V _{C3} (typ.)	V
	V _{C3}		Typ. × 0.96	2.947	Typ. × 1.04	V

注: V_{DD}=1.2V以下ではパネル負荷によって上記の規格を満たさない場合があります。

S1C63003 LCD駆動電圧 (Vc2基準選択時)

特記なき場合: V_{DD}=2.0V~5.5V, V_{SS}=0V, Ta=25°C, C₁~C₆=0.1μF, 市松模様出力時, パネル負荷なし
V_{SS}~V_{C1}, V_{SS}~V_{C2}, V_{SS}~V_{C3}間にそれぞれ1MΩの負荷抵抗を接続

項目	記号	条件	Min.	Typ.	Max.	単位
LCD駆動電圧	V _{C1}		0.329 × V _{C3} (typ.)	–	0.340 × V _{C3} (typ.)	V
	V _{C2}		0.660 × V _{C3} (typ.)	–	0.683 × V _{C3} (typ.)	V
	V _{C3}		Typ. × 0.96	3.022	Typ. × 1.04	V

注: • 1.5V低電圧タイプの最大動作電圧は1.7Vのため、V_{C2}基準は設定できません。
• V_{DD}=2.0V以下ではパネル負荷によって上記の規格を満たさない場合があります。

19.4.2 SVD回路 [S1C63004/008/016]

特記なき場合: V_{DD}=1.1~1.7V(1.5Vタイプ)またはV_{DD}=1.8~5.5V(3Vタイプ), V_{SS}=0V, Ta=25°C

項目	記号	条件	Min.	Typ.	Max.	単位
SVD電圧	V _{SVD}	SVDS[4:0]=00H	Typ. × 0.97	1.05	Typ. × 1.03	V
		SVDS[4:0]=01H		1.05		V
		SVDS[4:0]=02H		1.05		V
		SVDS[4:0]=03H		1.05		V
		SVDS[4:0]=04H		1.10		V
		SVDS[4:0]=05H		1.15		V
		SVDS[4:0]=06H		1.20		V
		SVDS[4:0]=07H		1.25		V
		SVDS[4:0]=08H		1.30		V
		SVDS[4:0]=09H		1.35		V
		SVDS[4:0]=0AH		1.40		V
		SVDS[4:0]=0BH		1.45		V
		SVDS[4:0]=0CH		1.50		V
		SVDS[4:0]=0DH		1.55		V
		SVDS[4:0]=0EH		1.60		V
		SVDS[4:0]=0FH		1.65		V
		SVDS[4:0]=10H		1.70	Typ. × 1.03	V
		SVDS[4:0]=11H		1.80		V
		SVDS[4:0]=12H		1.90		V
		SVDS[4:0]=13H		2.00		V
		SVDS[4:0]=14H		2.10		V
		SVDS[4:0]=15H		2.20		V
		SVDS[4:0]=16H		2.30		V
		SVDS[4:0]=17H		2.40		V
		SVDS[4:0]=18H		2.50		V
		SVDS[4:0]=19H		2.60		V
		SVDS[4:0]=1AH		2.70		V
		SVDS[4:0]=1BH		2.80		V
		SVDS[4:0]=1CH		2.90		V
		SVDS[4:0]=1DH		3.00		V
		SVDS[4:0]=1EH		3.10		V
		SVDS[4:0]=1FH		3.20		V
SVD回路応答時間	t _{SVD}		–	–	500	μs

注: • 1.5V低電圧タイプの最大動作電圧は1.7Vのため、SVDS[4:0]=0FHより大きな値は設定できません。
• 3Vノーマルタイプの最小動作電圧は1.8Vのため、SVDS[4:0]=10Hより小さな値は設定できません。

19.4.3 R/Fコンバータ回路

3Vノーマルタイプ

特記なき場合: V_{DD}=1.8~5.5V, V_{SS}=0V, Ta=25°C

項目	記号	条件	Min.	Typ.	Max.	単位
基準発振/センサ発振周波数 ^{*1}	f _{RFCLK}	Ta=-40~85°C	1	-	2,000	kHz
基準発振/センサ発振周波数IC偏差 ^{*2}	Δf _{RFCLK} /ΔIC		-40	-	40	%
基準抵抗/センサ抵抗値	R _{REF} /R _{SEN}		10	-	-	kΩ
基準容量/容量性センサ容量値 ^{*3}	C _{RFC} /C _{SEN}		100	-	2,000	pF
タイムベースカウンタクロック周波数	f _{TCCCLK}		-	-	4.2	MHz

*1 1kHz以下の周波数に設定すると、リーク電流による発振周波数のばらつきにより周波数IC偏差が大きくなる可能性があります。

*2 IC製造ばらつき、電圧ばらつき、測定環境の基板、抵抗、容量ばらつきを含みます(温度によるばらつきは除く)。

*3 この範囲外の抵抗/容量でもCR発振は行えます(特性グラフ参照)。ただし、基板やICの寄生素子の影響により周波数IC偏差が大きくなる可能性があります。

1.5V低電圧タイプ

特記なき場合: V_{DD}=1.1~1.7V, V_{SS}=0V, Ta=25°C

項目	記号	条件	Min.	Typ.	Max.	単位
基準発振/センサ発振周波数 ^{*1}	f _{RFCLK}	Ta=-40~85°C	1	-	2,000	kHz
基準発振/センサ発振周波数IC偏差 ^{*2}	Δf _{RFCLK} /ΔIC		-40	-	40	%
基準抵抗/センサ抵抗値	R _{REF} /R _{SEN}		10	-	-	kΩ
基準容量/容量性センサ容量値 ^{*3}	C _{RFC} /C _{SEN}		100	-	2,000	pF
タイムベースカウンタクロック周波数	f _{TCCCLK}		-	-	1	MHz

*1 1kHz以下の周波数に設定すると、リーク電流による発振周波数のばらつきにより周波数IC偏差が大きくなる可能性があります。

*2 IC製造ばらつき、電圧ばらつき、測定環境の基板、抵抗、容量ばらつきを含みます(温度によるばらつきは除く)。

*3 この範囲外の抵抗/容量でもCR発振は行えます(特性グラフ参照)。ただし、基板やICの寄生素子の影響により周波数IC偏差が大きくなる可能性があります。

19.4.4 消費電流

3Vノーマルタイプ

特記なき場合: V_{DD}=1.8~5.5V, V_{SS}=0V, Ta=25°C, C₁~C₆=0.1μF, パネル負荷なし

項目	記号	条件	Min.	Typ.	Max.	単位
SLEEP時消費電流	I _{SLP}	SLEEP移行前: OSC1=ON, OSC3=OFF	-	0.1	0.5	μA
HALT時消費電流	I _{HALT1}	OSC1=32kHz水晶, OSC3=OFF	-	0.5	1.5	μA
	I _{HALT2} ^{*6}	OSC1=32kHz水晶, OSC3=4MHzセラミック	-	60	120	μA
	I _{HALT3} ^{*6}	OSC1=32kHz水晶, OSC3=2MHz CR(R外付け)	-	110	220	μA
	I _{HALT4} ^{*6}	OSC1=32kHz水晶, OSC3=500kHz CR(R内蔵)	-	25	55	μA
実行時消費電流	I _{EXE1}	OSC1=32kHz水晶, OSC3=OFF, CPUclk=OSC1	-	2.3	4.5	μA
	I _{EXE2} ^{*6}	OSC1=32kHz水晶, OSC3=4MHzセラミック, CPUclk=OSC3	-	220	440	μA
	I _{EXE3} ^{*6}	OSC1=32kHz水晶, OSC3=2MHz CR(R外付け), CPUclk=OSC3	-	200	400	μA
	I _{EXE4} ^{*6}	OSC1=32kHz水晶, OSC3=500kHz CR(R内蔵), CPUclk=OSC3	-	50	100	μA
	I _{EXE5} ^{*7}	OSC1=32kHz水晶, OSC3=550kHz CR(R内蔵), CPUclk=OSC3	-	40	60	μA
重負荷保護モード 実行時消費電流	I _{EXE1H}	OSC1=32kHz水晶, OSC3=OFF, CPUclk=OSC1 VDHLMOD=1	-	13	25	μA
LCD回路電流(V _{C1} 基準)	I _{LCD1}	DSPC[1:0]=全点灯, LC[3:0]=FH, OSC1=32kHz, V _{DD} =1.8~5.5V, VCREF=0 ^{*1}	-	0.45 ^{*4}	1.2	μA
重負荷保護モード LCD回路電流(V _{C1} 基準)	I _{LCD1H}	DSPC[1:0]=全点灯, LC[3:0]=FH, OSC1=32kHz, V _{DD} =1.8~5.5V, VCREF=0, VCHLMOD=1 ^{*1}	-	13	25	μA
LCD回路電流(V _{C2} 基準)	I _{LCD2}	DSPC[1:0]=全点灯, LC[3:0]=FH, OSC1=32kHz, V _{DD} =2.8~5.5V, VCREF=1 ^{*1}	-	0.40 ^{*5}	1.0	μA
重負荷保護モード LCD回路電流(V _{C2} 基準)	I _{LCD2H}	DSPC[1:0]=全点灯, LC[3:0]=FH, OSC1=32kHz, V _{DD} =2.8~5.5V, VCREF=1, VCHLMOD=1 ^{*1}	-	25	50	μA
SVD回路電流 ^{*6}	I _{SVD}	V _{DD} =5.5V ^{*2}	-	20	35	μA
R/Fコンバータ回路電流	I _{RF}	V _{DD} =5.5V, C _{REF} =C _{SEN} =1000pF, R _{REF} =R _{SEN} =10kΩ ^{*3}	-	350	460	μA

*1 LCD回路動作時にHALT時消費電流、実行時消費電流、または重負荷保護モード実行時消費電流に加算されます。

消費電流は表示パターン、パネル負荷によって増加します。

*2 SVD回路動作時に実行時消費電流/重負荷保護モード実行時消費電流に加算されます。

*3 R/Fコンバータ回路動作時に実行時消費電流に加算されます。

19 電気的特性

*4 セグメントの本数によって電流が変化します。

参考例: S1C63003 - 10セグメント × 5コモン 0.25μA
 S1C63004 - 20セグメント × 8コモン 0.45μA
 S1C63008 - 30セグメント × 8コモン 0.55μA
 S1C63016 - 36セグメント × 8コモン 0.60μA

*5 セグメントの本数によって電流が変化します。

参考例: S1C63003 - 10セグメント × 5コモン 0.20μA
 S1C63004 - 20セグメント × 8コモン 0.40μA
 S1C63008 - 30セグメント × 8コモン 0.45μA
 S1C63016 - 36セグメント × 8コモン 0.48μA

*6 S1C63004/008/016

*7 S1C63003のみ

1.5V低電圧タイプ

特記なき場合: V_{DD}=1.1~1.7V, V_{SS}=0V, Ta=25°C, C₁~C₆=0.1μF, パネル負荷なし

項目	記号	条件	Min.	Typ.	Max.	単位
SLEEP時消費電流	I _{SLP}	SLEEP移行前: OSC1=ON, OSC3=OFF	—	0.1	0.5	μA
HALT時消費電流	I _{HALT1}	OSC1=32kHz水晶, OSC3=OFF	—	0.5	1.5	μA
	I _{HALT2} *5	OSC1=32kHz水晶, OSC3=1MHzセラミック	—	15	30	μA
	I _{HALT3} *5	OSC1=32kHz水晶, OSC3=500kHz CR(R外付け)	—	22	50	μA
	I _{HALT4} *5	OSC1=32kHz水晶, OSC3=500kHz CR(R内蔵)	—	10	22	μA
実行時消費電流	I _{EXE1}	OSC1=32kHz水晶, OSC3=OFF, CPUclk=OSC1	—	2.0	4.5	μA
	I _{EXE2} *5	OSC1=32kHz水晶, OSC3=1MHzセラミック, CPUclk=OSC3	—	60	120	μA
	I _{EXE3} *5	OSC1=32kHz水晶, OSC3=500kHz CR(R外付け), CPUclk=OSC3	—	40	80	μA
	I _{EXE4} *5	OSC1=32kHz水晶, OSC3=500kHz CR(R内蔵), CPUclk=OSC3	—	30	60	μA
	I _{EXE5} *6	OSC1=32kHz水晶, OSC3=550kHz CR(R内蔵), CPUclk=OSC3	—	30	50	μA
重負荷保護モード 実行時消費電流	I _{EXE1H}	OSC1=32kHz水晶, OSC3=OFF, CPUclk=OSC1 VDHLMOD=1	—	11	22	μA
LCD回路電流(V _{C1} 基準)	I _{LCD1}	DSPC[1:0]=全点灯, LC[3:0]=FH, OSC1=32kHz, V _{DD} =1.1~1.7V, VCREF=0 *1	—	0.45 *4	1.2	μA
重負荷保護モード LCD回路電流(V _{C1} 基準)	I _{LCD1H}	DSPC[1:0]=全点灯, LC[3:0]=FH, OSC1=32kHz, V _{DD} =1.1~1.7V, VCREF=0, VCHLMOD=1 *1	—	13	25	μA
SVD回路電流 *5	I _{SVD}	V _{DD} =1.7V *2	—	8	15	μA
R/Fコンバータ回路電流	I _{RFC}	V _{DD} =1.7V, CREF=CSEN=1000pF, RREF=RSEN=10kΩ *3	—	120	160	μA

*1 LCD回路動作時にHALT時消費電流、実行時消費電流、または重負荷保護モード実行時消費電流に加算されます。

消費電流は表示パターン、パネル負荷によって増加します。

*2 SVD回路動作時に実行時消費電流/重負荷保護モード実行時消費電流に加算されます。

*3 R/Fコンバータ回路動作時に実行時消費電流に加算されます。

*4 セグメントの本数によって電流が変化します。

参考例: S1C63003 - 10セグメント × 5コモン 0.25μA
 S1C63004 - 20セグメント × 8コモン 0.45μA
 S1C63008 - 30セグメント × 8コモン 0.55μA
 S1C63016 - 36セグメント × 8コモン 0.60μA

*5 S1C63004/008/016

*6 S1C63003のみ

19.5 発振特性

発振特性は諸条件(使用部品、基板パターン等)により変化します。以下の特性は参考値としてご使用ください。

OSC1 水晶発振回路

特記なき場合: V_{DD}=1.1~5.5V, V_{SS}=0V, Ta=25°C, 水晶発振子=C-002RX (R₁=30kΩ Typ., C_L=12.5pF), C_{G1}=25pF外付け, C_{D1}=内蔵

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間	t _{sta}		—	—	3	s
外付けゲート容量	C _{G1}	基板容量など含む	0	—	25	pF
内蔵ドレイン容量	C _{D1}	チップの場合	—	20	—	pF
周波数IC偏差	Δf/ΔIC	V _{DD} =一定	-10	—	10	ppm
周波数電源電圧偏差	Δf/ΔV		—	—	1	ppm/V
周波数調整範囲	Δf/ΔC _G	V _{DD} =一定, C _G =0~25pF	25	—	—	ppm

OSC3 セラミック発振回路 [S1C63004/008/016]**3Vノーマルタイプ**特記なき場合: V_{DD}=1.8~5.5V, V_{SS}=0V, Ta=25°C, C_{G3}=C_{D3}=30pF

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間	t _{sta}		—	—	1	ms

1.5V低電圧タイプ特記なき場合: V_{DD}=1.1~1.7V, V_{SS}=0V, Ta=25°C, C_{G3}=C_{D3}=30pF

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間	t _{sta}		—	—	3	ms

OSC3 CR発振回路(R外付け) [S1C63004/008/016]**3Vノーマルタイプ**特記なき場合: V_{DD}=1.8~5.5V, V_{SS}=0V, Ta=25°C

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間	t _{sta}		—	—	1	ms
周波数IC偏差	Δf/ΔIC	R _{CR} =一定	-25	—	25	%

1.5V低電圧タイプ特記なき場合: V_{DD}=1.1~1.7V, V_{SS}=0V, Ta=25°C

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間	t _{sta}		—	—	1	ms
周波数IC偏差	Δf/ΔIC	R _{CR} =一定	-33	—	33	%

OSC3 CR発振回路(R内蔵) [S1C63004/008/016]特記なき場合: V_{DD}=1.1~5.5V, V_{SS}=0V, Ta=25°C

項目	記号	条件	Min.	Typ.	Max.	単位
発振周波数	f _{osc3}		Typ. × 0.75	500	Typ. × 1.25	kHz
発振開始時間	t _{sta}		—	—	20	μs

OSC3 CR発振回路(R内蔵) [S1C63003]特記なき場合: V_{DD}=1.1~5.5V, V_{SS}=0V, Ta=25°C

項目	記号	条件	Min.	Typ.	Max.	単位
発振周波数	f _{osc3}		Typ. × 0.75	550	Typ. × 1.25	kHz
発振開始時間	t _{sta}		—	—	20	μs

19.6 シリアルインターフェースAC特性 [S1C63004/008/016]**マスタモード**特記なき場合: V_{DD}=1.5V(1.5Vタイプ)または3.0V(3Vタイプ), V_{SS}=0V, Ta=-40~85°C, V_{IH}=0.8V_{DD}, V_{IL}=0.2V_{DD}, V_{OH}=0.8V_{DD}, V_{OL}=0.2V_{DD}

項目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	t _{SMD}	—	—	200	ns
受信データ入力セットアップ時間	t _{SMS}	400	—	—	ns
受信データ入力ホールド時間	t _{SMH}	200	—	—	ns

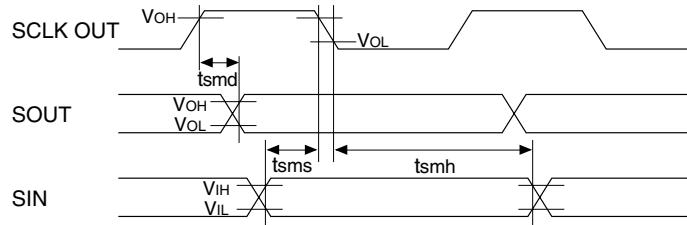
クロック周波数は最大1MHzに制限されます。

スレーブモード特記なき場合: V_{DD}=1.5V(1.5Vタイプ)または3.0V(3Vタイプ), V_{SS}=0V, Ta=-40~85°C, V_{IH}=0.8V_{DD}, V_{IL}=0.2V_{DD}, V_{OH}=0.8V_{DD}, V_{OL}=0.2V_{DD}

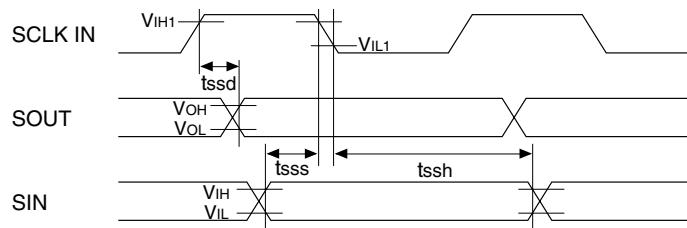
項目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	t _{SSD}	—	—	200	ns
受信データ入力セットアップ時間	t _{SSS}	400	—	—	ns
受信データ入力ホールド時間	t _{SSH}	200	—	—	ns

クロック周波数は最大1MHzに制限されます。

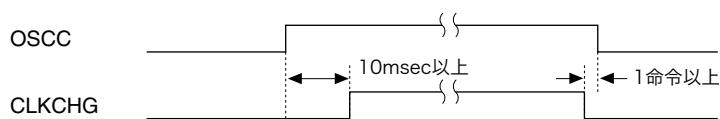
<マスタモード>



<スレーブモード>

**19.7 タイミングチャート**

システムクロック切り換えタイミングチャート

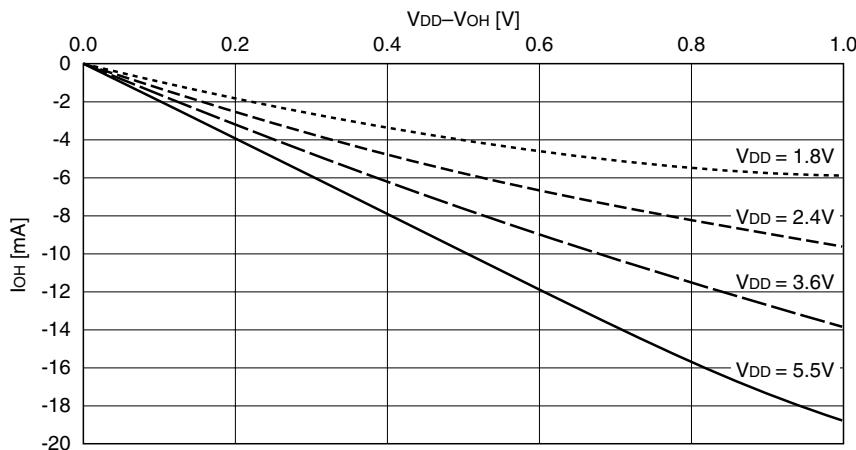


19.8 特性グラフ(参考値)

高レベル出力電流特性

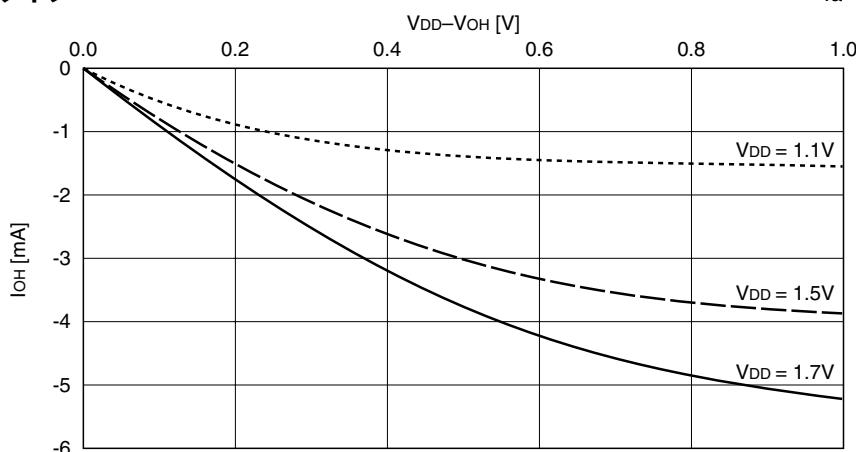
3Vノーマルタイプ

T_a = 85°C, Max値



1.5V低電圧タイプ

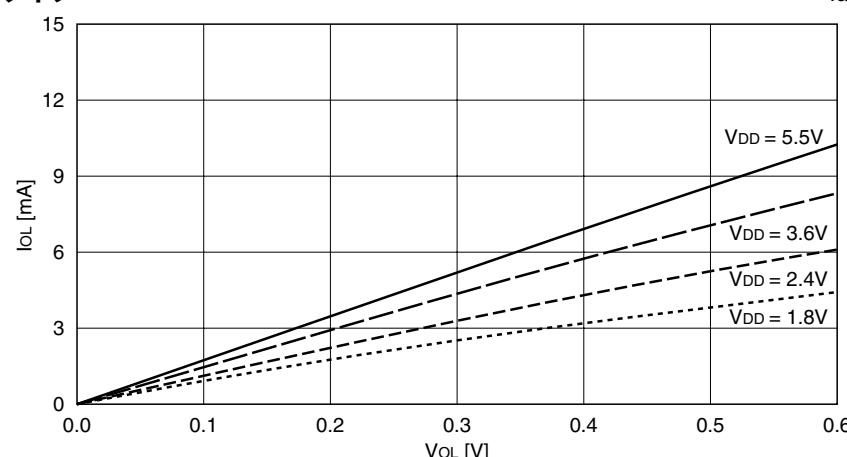
T_a = 85°C, Max値



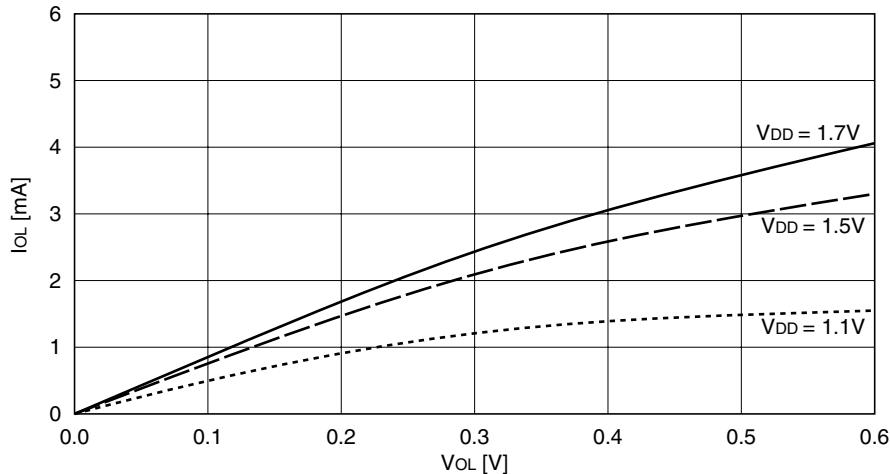
低レベル出力電流特性

3Vノーマルタイプ

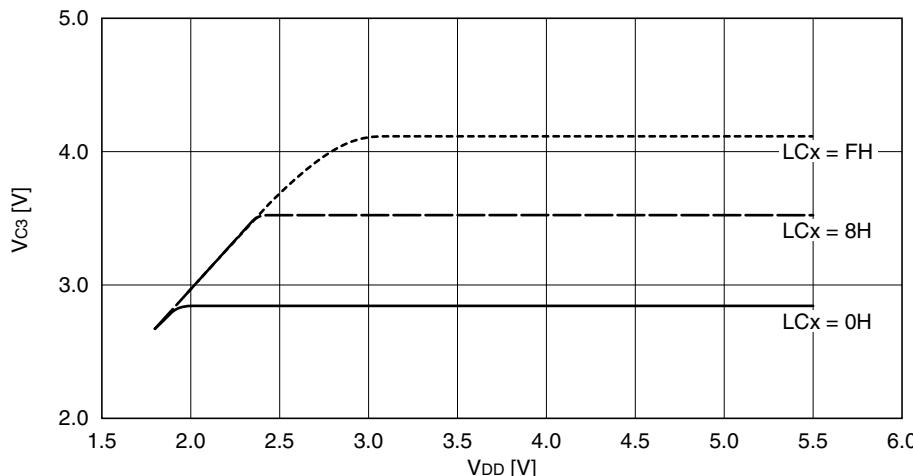
T_a = 85°C, Min値



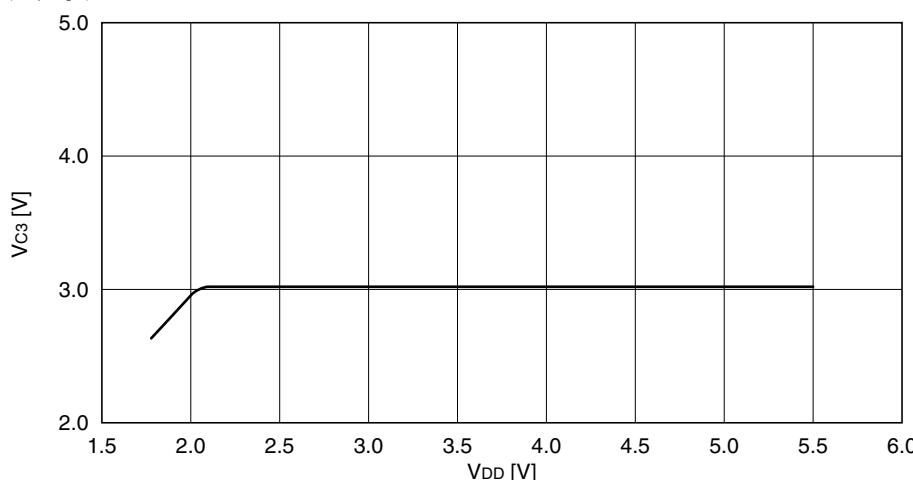
1.5V低電圧タイプ

 $T_a = 85^{\circ}\text{C}$, Min値LCD駆動電圧電源電圧特性(1/3バイアス, V_{C2} 基準選択時) [S1C63004/008/016]

3Vノーマルタイプ

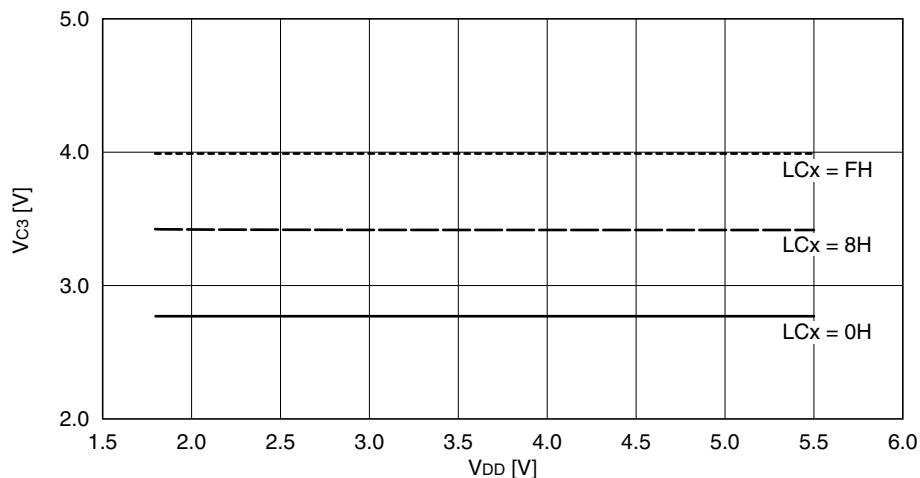
 $T_a = 25^{\circ}\text{C}$, Typ値LCD駆動電圧電源電圧特性(1/3バイアス, V_{C2} 基準選択時) [S1C63003]

3Vノーマルタイプ

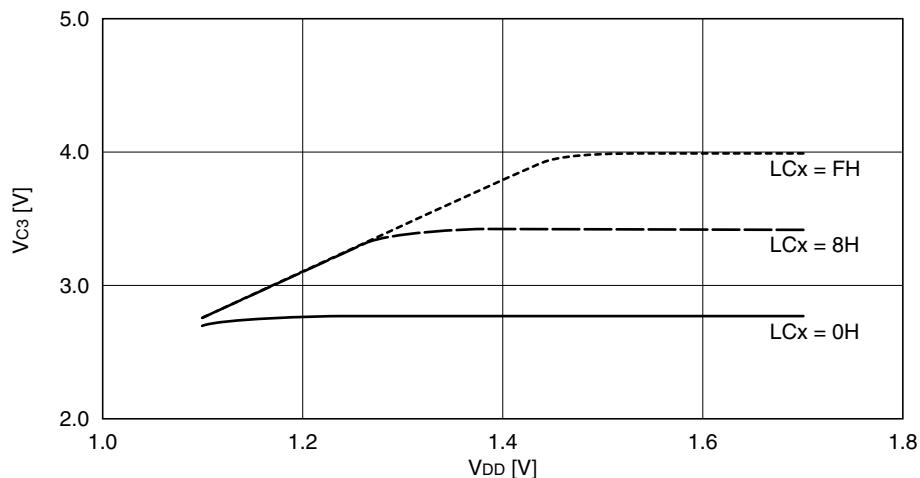
 $T_a = 25^{\circ}\text{C}$, Typ値

LCD駆動電圧電源電圧特性(1/3バイアス, V_{C1} 基準選択時) [S1C63004/008/016]

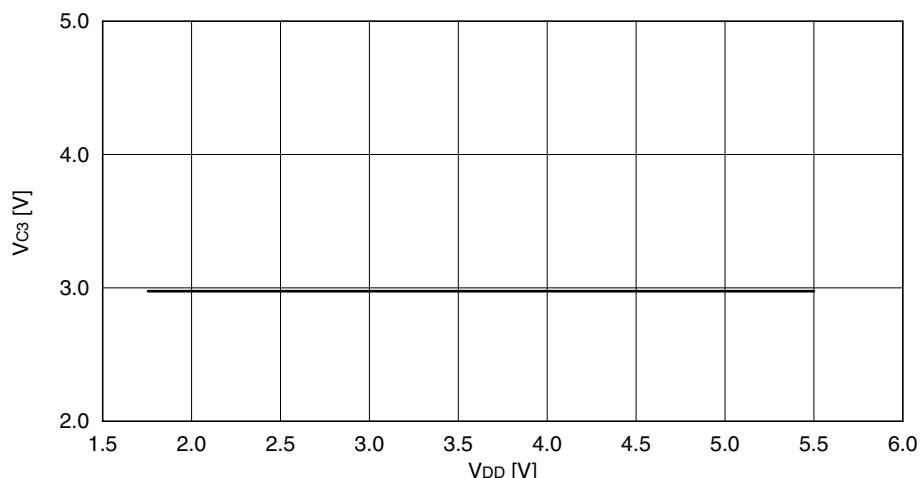
3Vノーマルタイプ

 $T_a = 25^\circ\text{C}$, Typ値

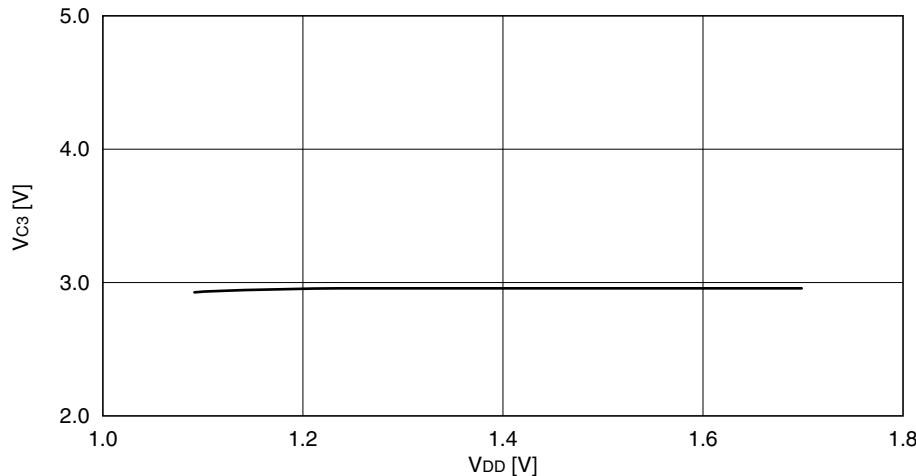
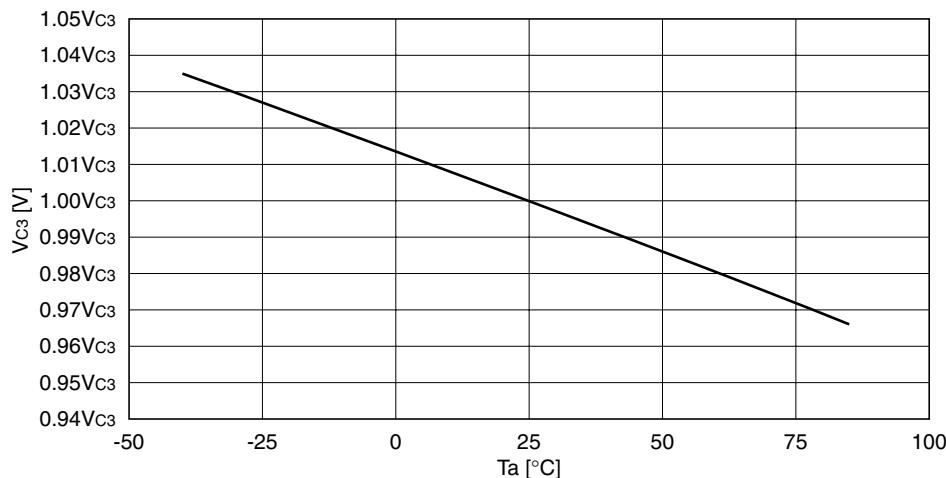
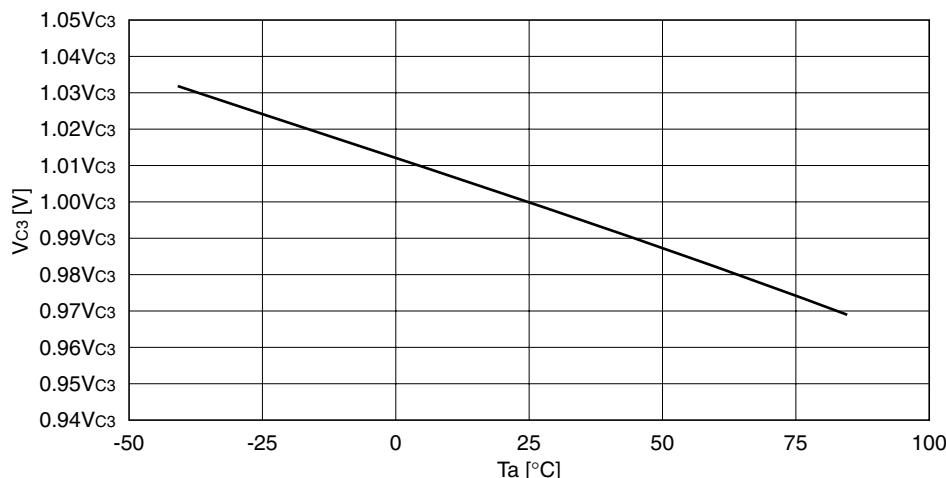
1.5V低電圧タイプ

 $T_a = 25^\circ\text{C}$, Typ値LCD駆動電圧電源電圧特性(1/3バイアス, V_{C1} 基準選択時) [S1C63003]

3Vノーマルタイプ

 $T_a = 25^\circ\text{C}$, Typ値

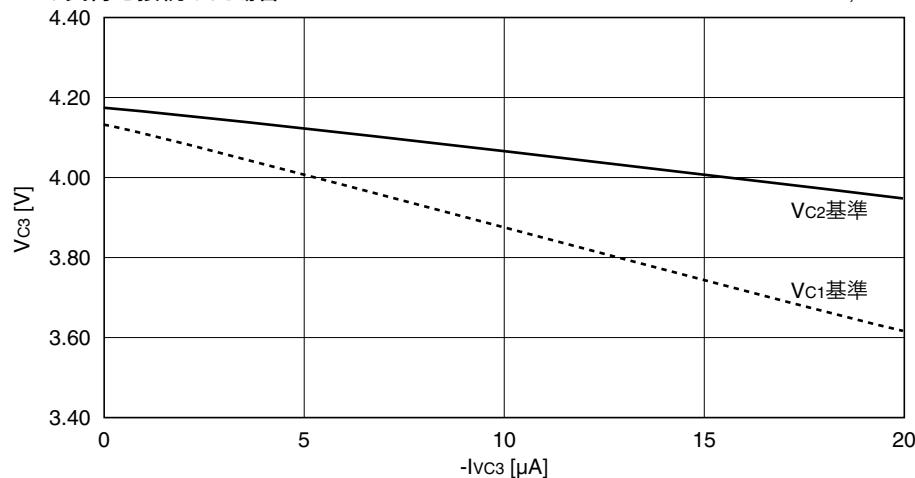
1.5V低電圧タイプ

 $T_a = 25^{\circ}\text{C}$, Typ値LCD駆動電圧温度特性(1/3バイアス, V_{C2}/V_{C1} 基準) [S1C63004/008/016] $V_{DD} = 3.0\text{V}$, Typ値LCD駆動電圧温度特性(1/3バイアス, V_{C2}/V_{C1} 基準) [S1C63003] $V_{DD} = 3.6\text{V}$, Typ値

LCD駆動電圧負荷特性(1/3バイアス) [S1C63004/008/016]

V_{C3}端子にのみ負荷を接続した場合

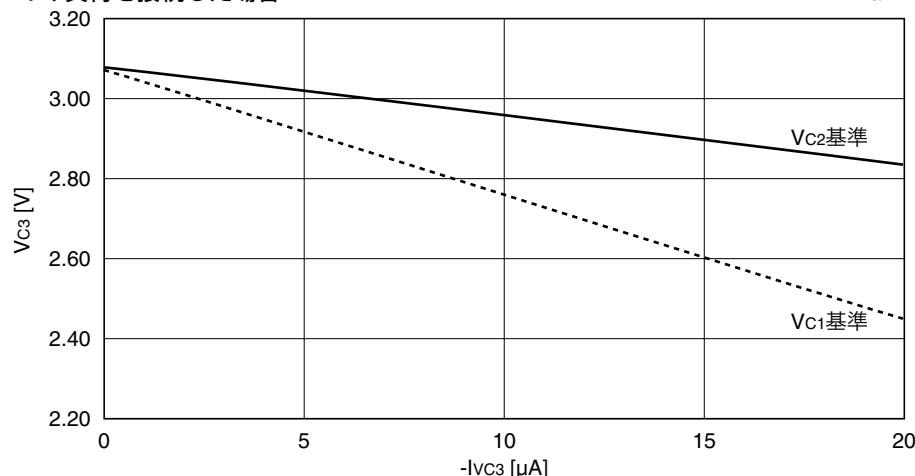
LCx = FH, Ta = 25°C, Typ値



LCD駆動電圧負荷特性(1/3バイアス) [S1C63003]

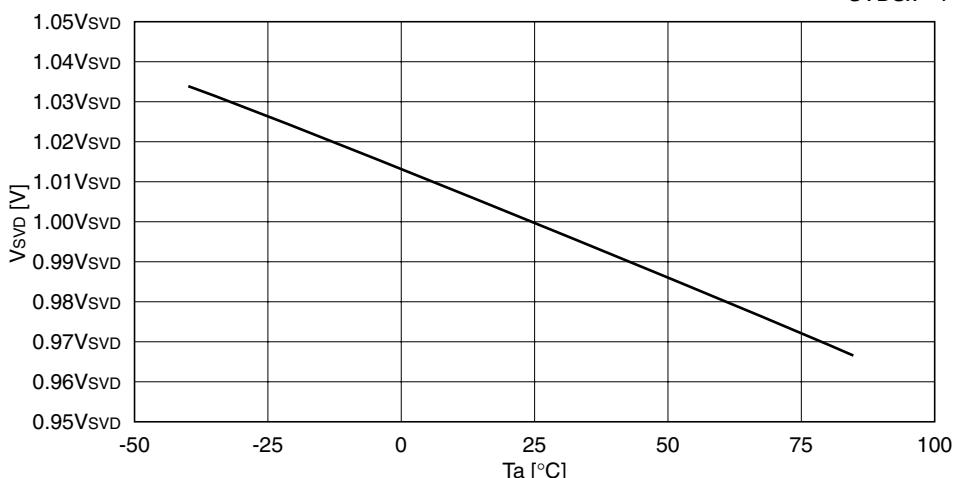
V_{C3}端子にのみ負荷を接続した場合

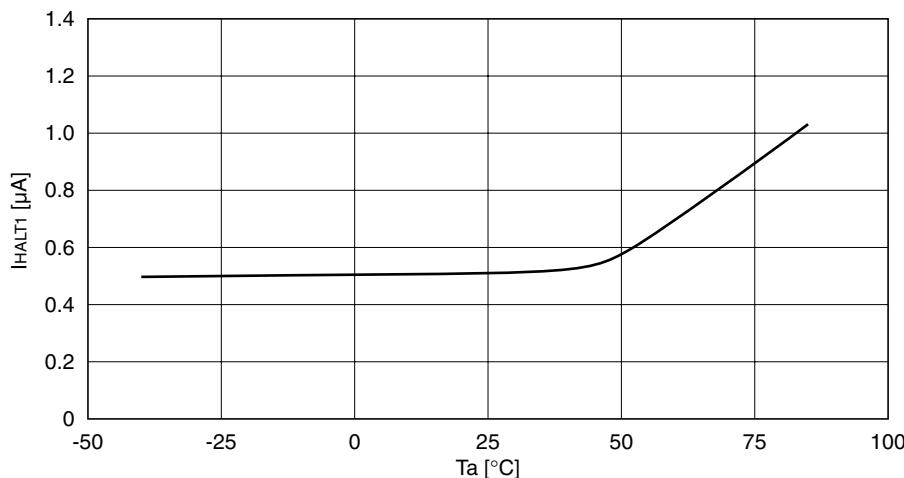
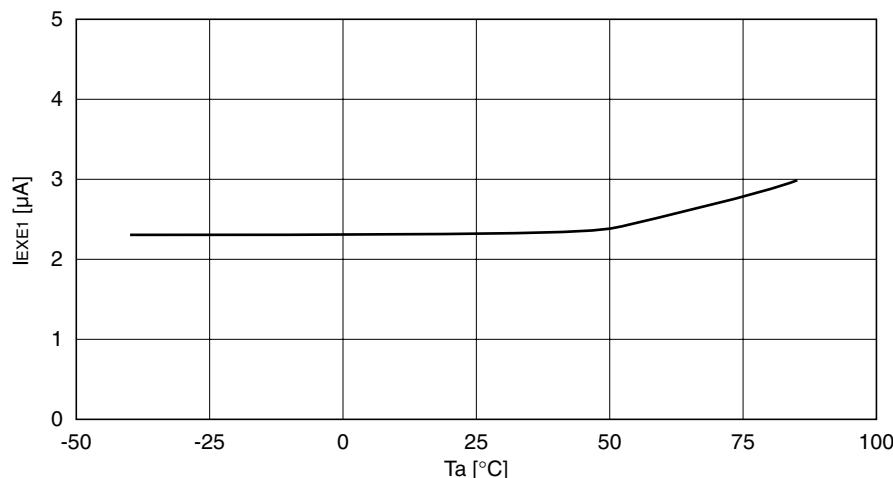
Ta = 25°C, Typ値



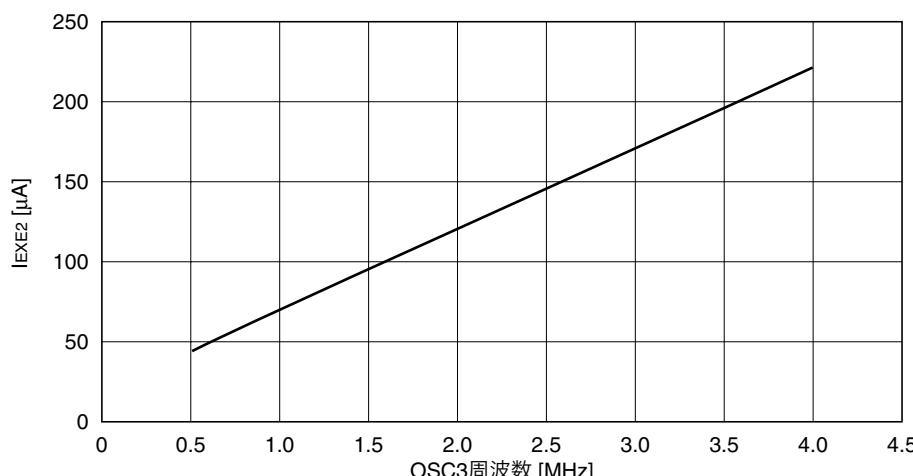
SVD検出電圧温度特性 [S1C63004/008/016]

SVDSx = FH, Typ値

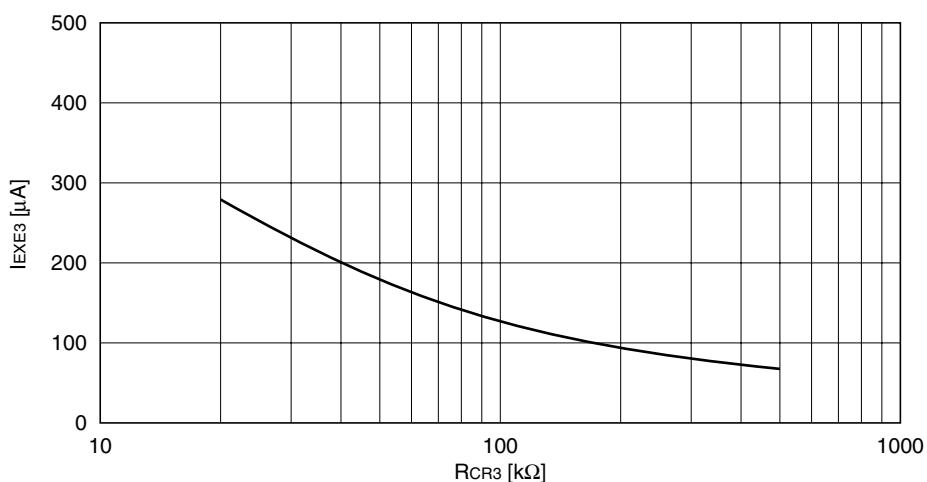


HALT時消費電流温度特性(OSC1動作時)〈水晶発振, $f_{osc1}=32.768\text{kHz}$ 〉 $V_{DD} = 5.5\text{V}$, OSC3 = OFF, クロックマネージャ = OFF, Typ値実行時消費電流温度特性(OSC1動作時)〈水晶発振, $f_{osc1}=32.768\text{kHz}$ 〉 $V_{DD} = 5.5\text{V}$, OSC3 = OFF, クロックマネージャ = OFF, Typ値

実行時消費電流周波数特性(OSC3動作時)〈セラミック発振〉[S1C63004/008/016]

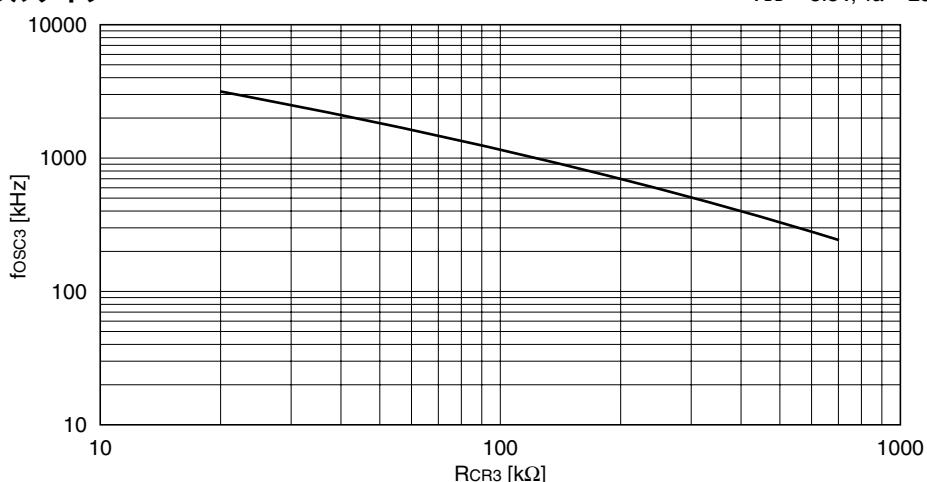
 $V_{DD} = 5.5\text{V}$, $T_a = 25^\circ\text{C}$, Typ値

実行時消費電流抵抗特性(OSC3動作時)〈CR発振(R外付け)〉[S1C63004/008/016]

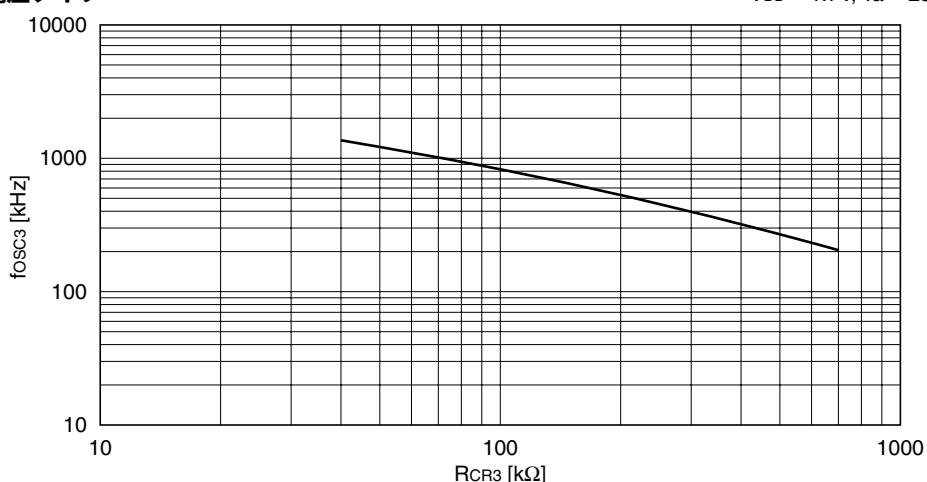
 $V_{DD} = 5.5V$, $T_a = 25^{\circ}C$, Typ値

発振周波数抵抗特性(OSC3)〈CR発振(R外付け)〉[S1C63004/008/016]

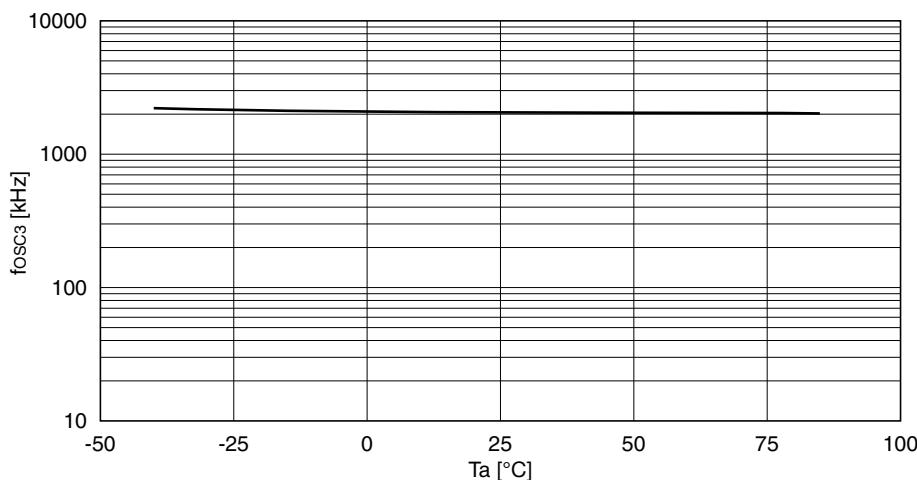
3Vノーマルタイプ

 $V_{DD} = 5.5V$, $T_a = 25^{\circ}C$, Typ値

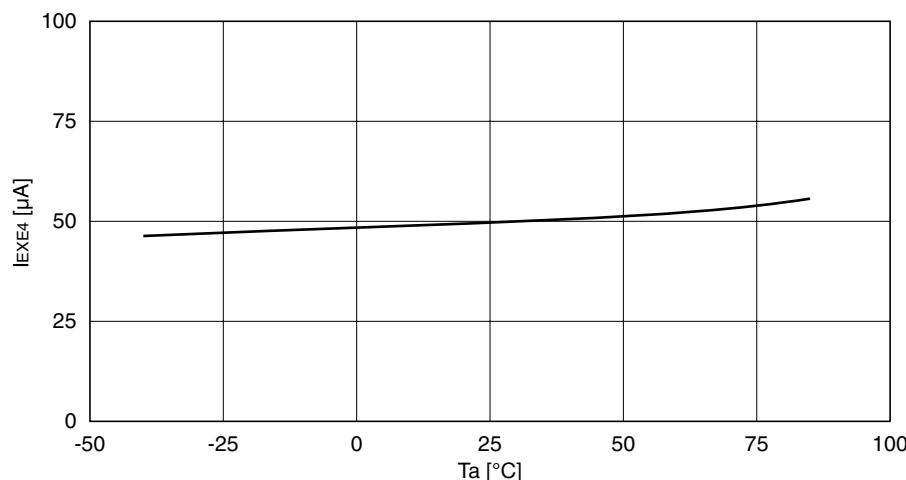
1.5V低電圧タイプ

 $V_{DD} = 1.7V$, $T_a = 25^{\circ}C$, Typ値

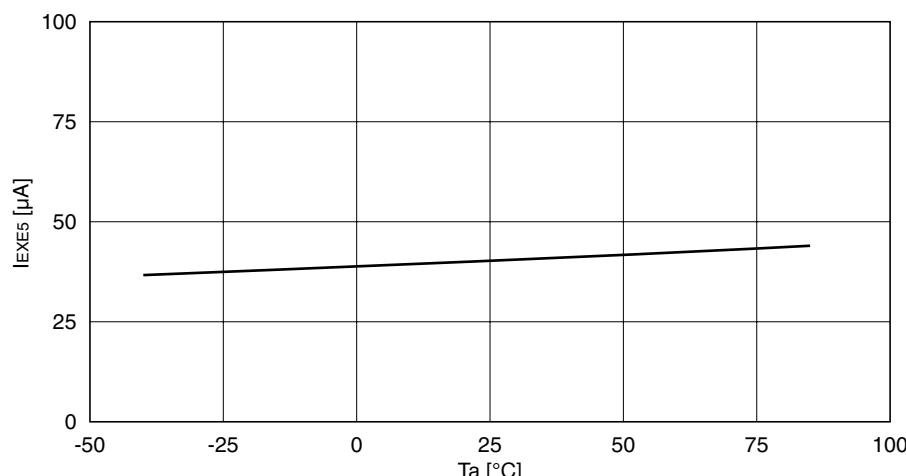
発振周波数温度特性(OSC3)〈CR発振(R外付け)〉[S1C63004/008/016]

 $R_{CR3} = 40k\Omega$, Typ値

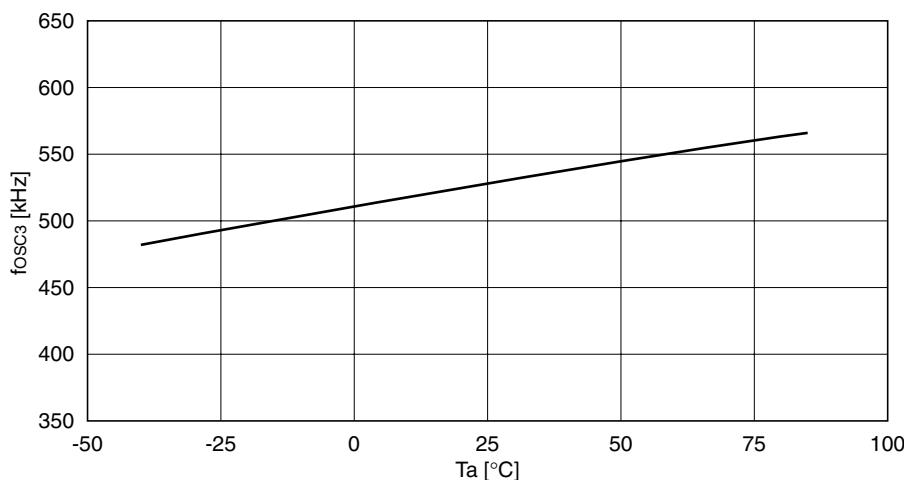
実行時消費電流温度特性(OSC3動作時)〈CR発振(R内蔵)〉[S1C63004/008/016]

 $V_{DD} = 5.5V$, Typ値

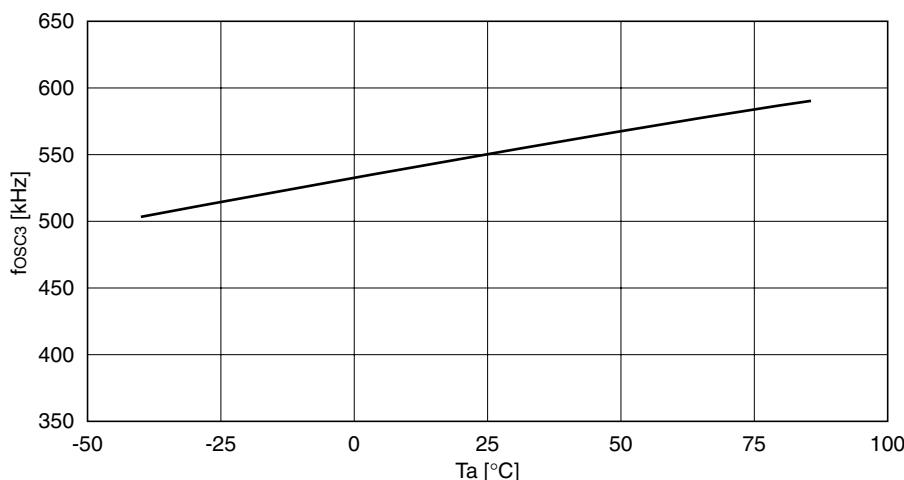
実行時消費電流温度特性(OSC3動作時)〈CR発振(R内蔵)〉[S1C63003]

 $V_{DD} = 5.5V$, Typ値

発振周波数温度特性(OSC3) 〈CR発振(R内蔵)〉 [S1C63004/008/016]

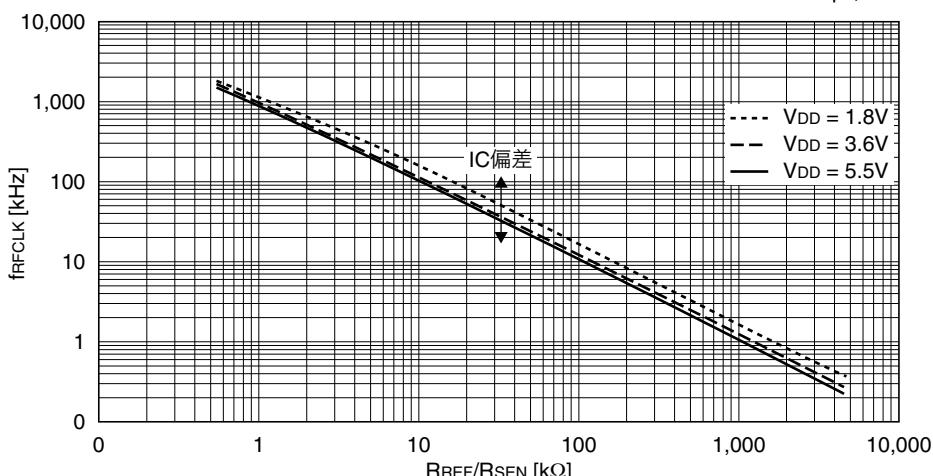
 $V_{DD} = 5.5V$, Typ値

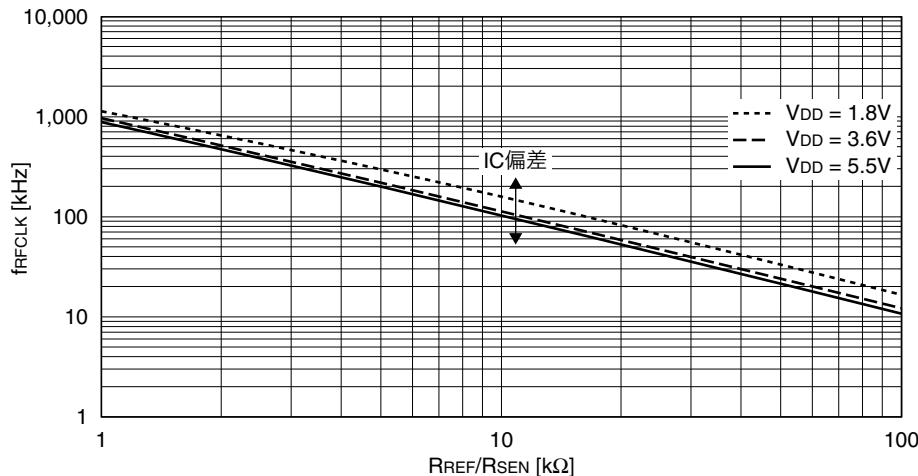
発振周波数温度特性(OSC3) 〈CR発振(R内蔵)〉 [S1C63003]

 $V_{DD} = 5.5V$, Typ値

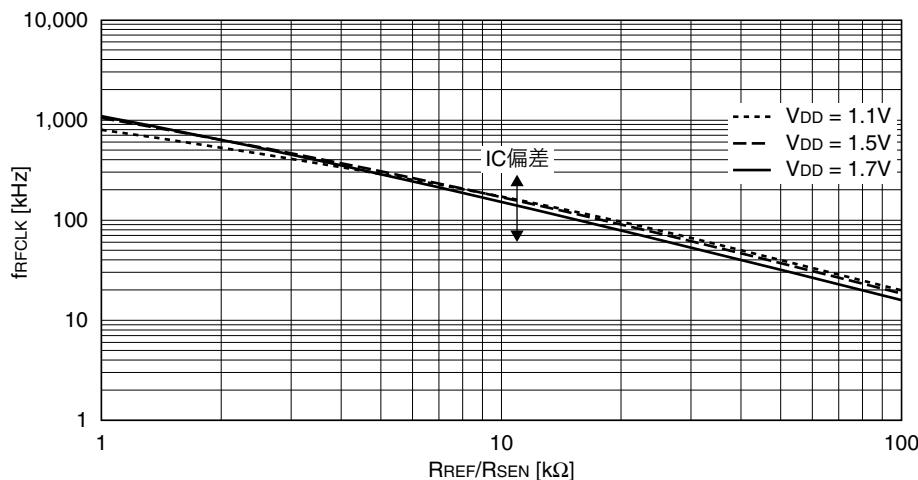
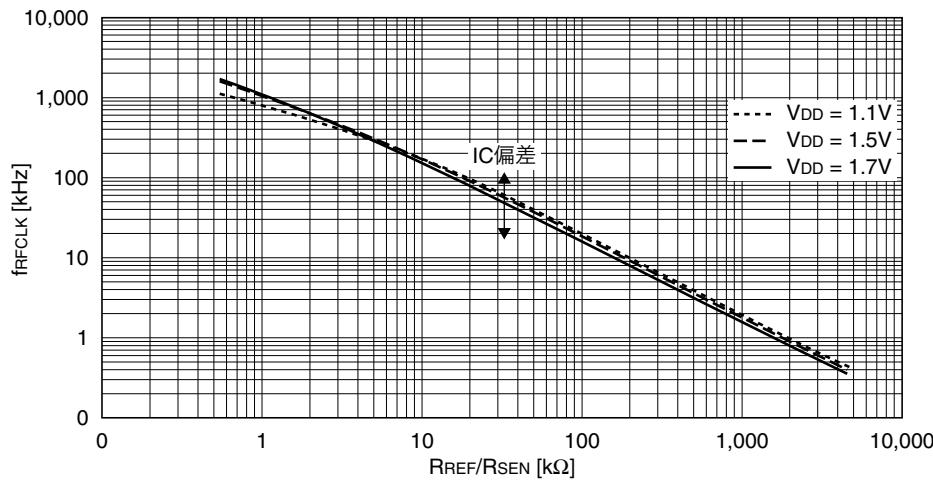
RFC基準発振/センサ発振周波数抵抗特性(DC発振モード)

3Vノーマルタイプ

 $C_{SEN} = 1000pF$, $T_a = 25^{\circ}\text{C}$, Typ値

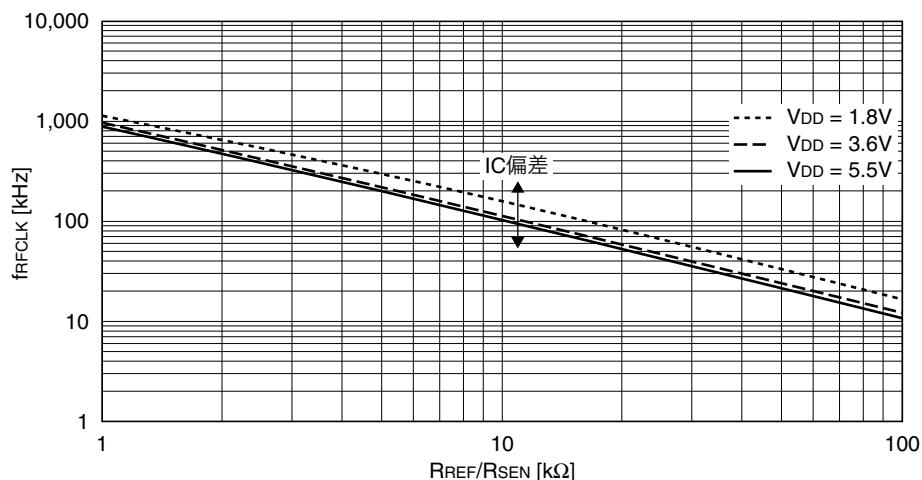
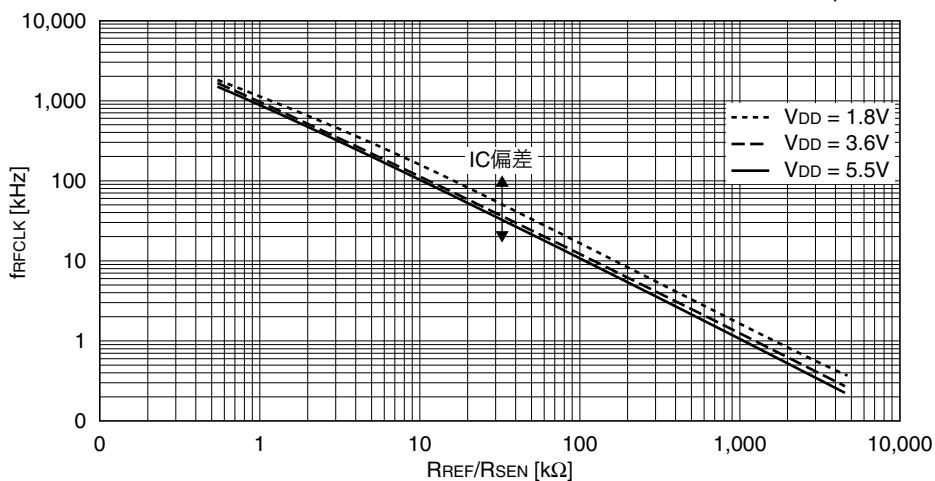


1.5V低電圧タイプ

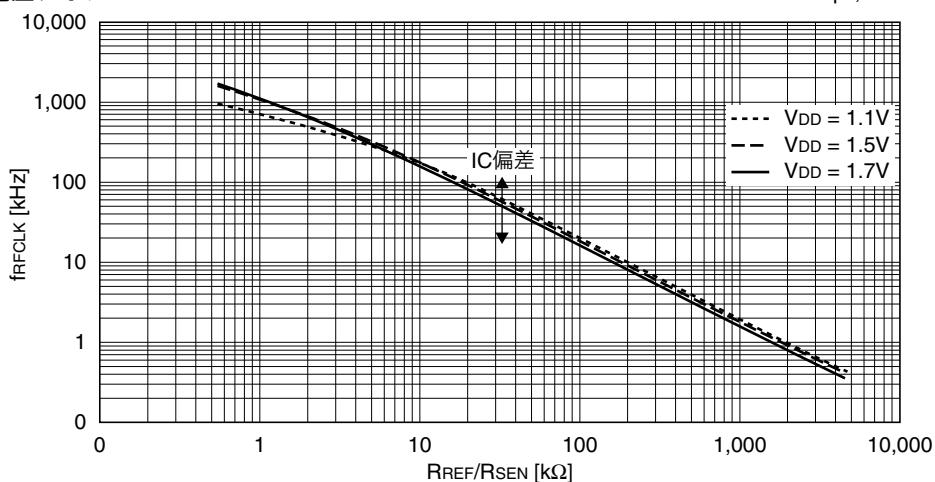
 $C_{SEN} = 1000\text{pF}, T_a = 25^\circ\text{C}, \text{Typ 値}$ 

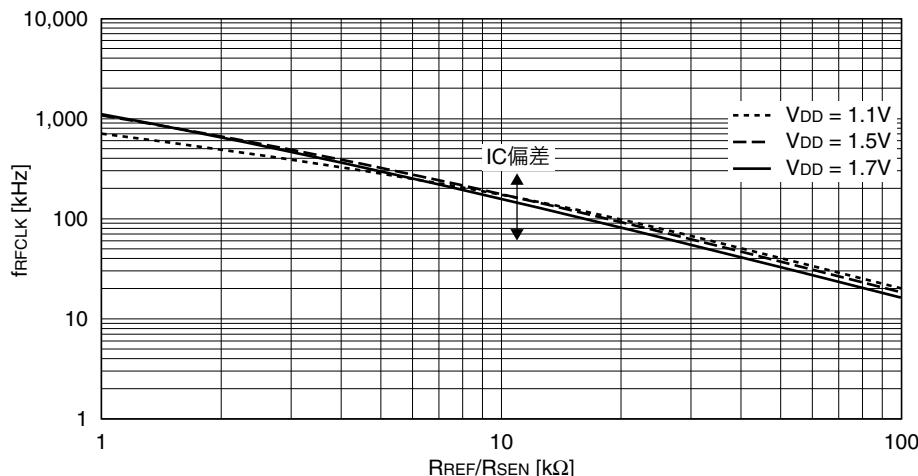
RFC基準発振/センサ発振周波数抵抗特性(AC発振モード)

3Vノーマルタイプ

 $C_{SEN} = 1000\text{pF}$, $T_a = 25^\circ\text{C}$, Typ値

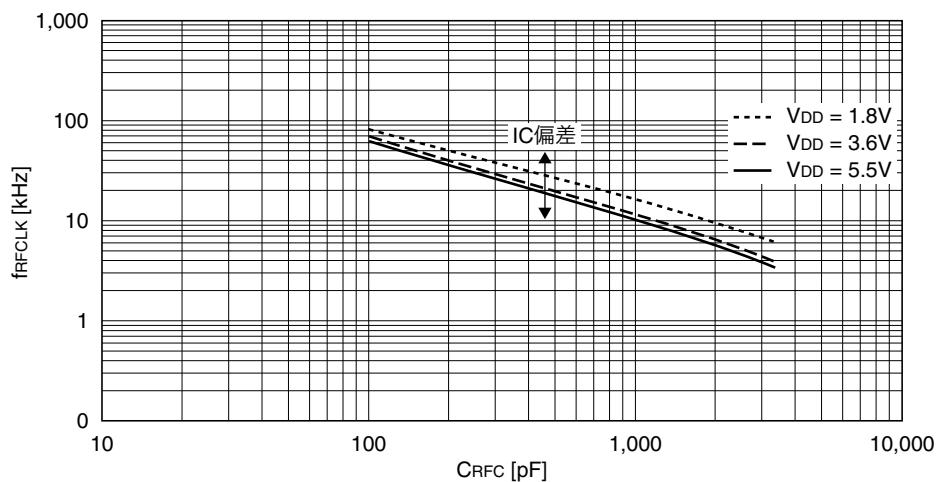
1.5V低電圧タイプ

 $C_{SEN} = 1000\text{pF}$, $T_a = 25^\circ\text{C}$, Typ値

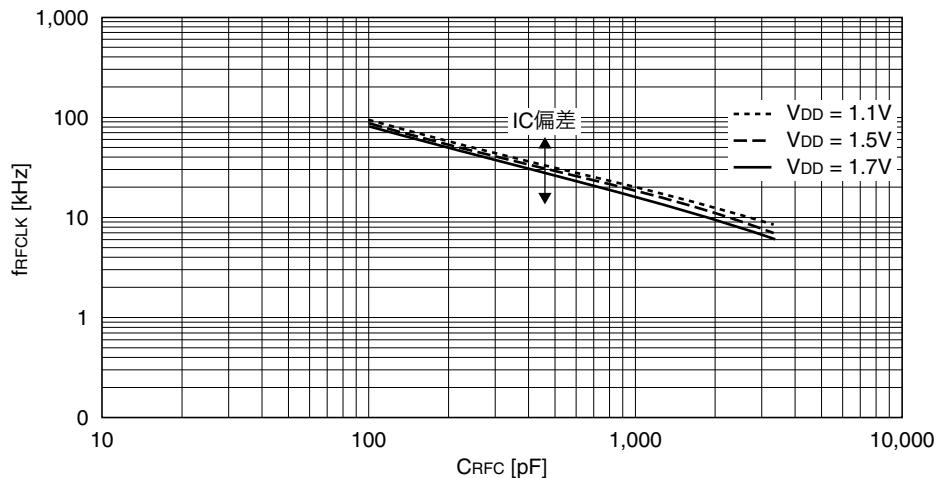


RFC基準発振/センサ発振周波数容量特性(DC/AC発振モード)

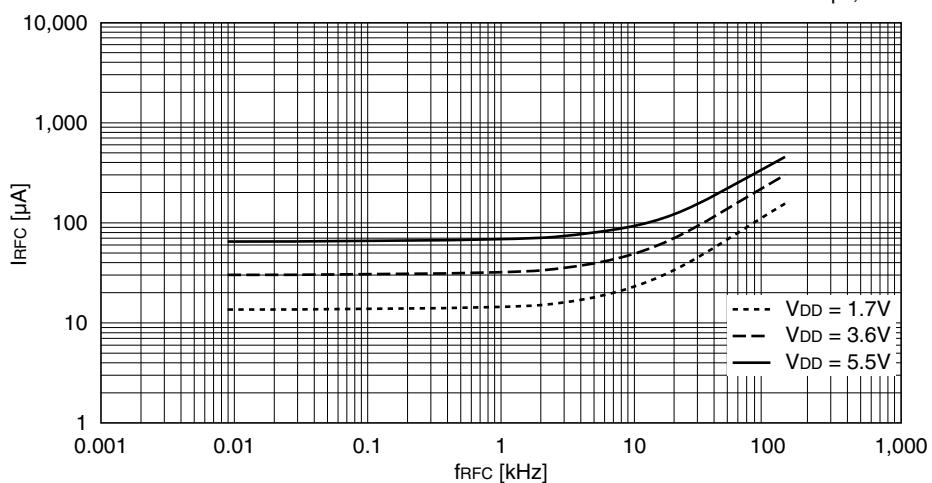
3Vノーマルタイプ

 $R_{SEN} = 100k\Omega$, $T_a = 25^\circ C$, Typ値

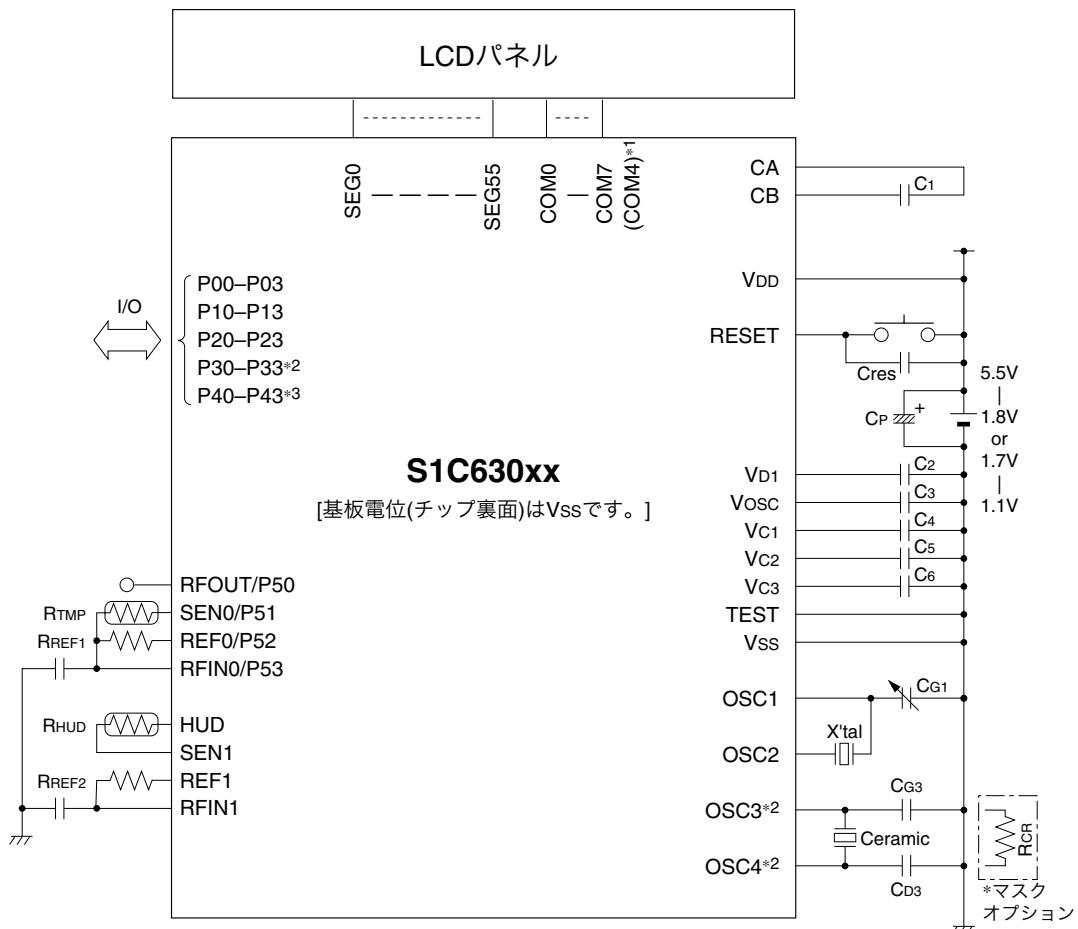
1.5V低電圧タイプ

 $R_{SEN} = 100k\Omega$, $T_a = 25^\circ C$, Typ値

RFC基準発振/センサ発振消費電流周波数特性(DC/AC発振モード)

 $C_{RFC} = 1000\text{pF}$, $T_a = 25^\circ\text{C}$, Typ値

20 基本外部結線図



*1: S1C63003

*2: S1C63003にはありません。

*3: S1C63003/004にはありません。

*4: S1C63003には不要

注: ここに記載されている値は一例であり、特に動作を保証するものではありません。

Appendix A I/Oレジスター一覧

*1 イニシャルリセット時の初期値 *2 回路上設定されない *3 読み出し時は常時"0"
 *4 S1C63003/004/008では未使用 *5 S1C63003/004では未使用 *6 S1C63003では未使用

FF00H

発振回路

アドレス	レジスタ名	R/W	初期値	設定/データ				機能
FF00H	D3 CLKCHG	R/W	0	1	OSC3	0	OSC1	CPUクロック切り替え
	D2 OSCC	R/W	0	1	On	0	Off	OSC3発振On/Off
	D1 0 (*3)	R	- (*2)	-				未使用
	D0 0 (*3)	R	- (*2)	-				未使用

FF01H

ウォッチドッグタイマ

アドレス	レジスタ名	R/W	初期値	設定/データ				機能
FF01H	D3 0 (*3)	R	- (*2)	-				未使用
	D2 0 (*3)	R	- (*2)	-				未使用
	D1 WDEN	R/W	1	1	Enable	0	Disable	ウォッチドッグタイマイネーブル
	D0 WDRST (*3)	W	(Reset)	1	Reset	0	Invalid	ウォッチドッグタイマリセット(書き込み時)

FF02H-FF03H

電源回路

アドレス	レジスタ名	R/W	初期値	設定/データ				機能
FF02H	D3 VDSEL	R/W	0	1	1	0	0	汎用レジスタ
	D2 VCSEL	R/W	0	1	1	0	0	汎用レジスタ
	D1 HLON	R/W	0	1	1	0	0	汎用レジスタ
	D0 DBON	R/W	0	1	1	0	0	汎用レジスタ
FF03H	D3 VCHLMOD	R/W	0	1	On	0	Off	Vcレギュレータ重負荷保護モードOn/Off
	D2 VDHLMOD	R/W	0	1	On	0	Off	Vdレギュレータ重負荷保護モードOn/Off
	D1 VCREF (*6)	R/W	0	1	Vc2	0	Vc1	Vcレギュレータ基準電圧選択
	D0 LPWR	R/W	0	1	On	0	Off	VcレギュレータOn/Off

FF04H-FF05H

SVD回路

アドレス	レジスタ名	R/W	初期値	設定/データ				機能
FF04H	D3 SVDS3	R/W	0	1F	3.20	1A	2.70	15 F 1.45 6 1.20 1 1.05 ← SVDS[4:0]
	D2 SVDS2	R/W	0	1E	3.10	19	2.60	14 2.10 F 1.65 A 1.40 5 1.15 0 1.05
	D1 SVDS1	R/W	0	1C	2.90	18	2.50	13 2.00 E 1.60 9 1.35 4 1.10
	D0 SVDS0	R/W	0	1B	2.80	16	2.30	11 1.90 D 1.55 8 1.30 3 1.05 7 1.25 2 1.05
FF05H	D3 0 (*3)	R	- (*2)	-				未使用
	D2 SVDS4	R/W	0	(See FF04H)				SVD比較電圧(V)選択
	D1 SVDDT	R	0	1	Low	0	Normal	SVD検出データ
	D0 SVDON	R/W	0	1	On	0	Off	SVD回路On/Off

FF10H-FF1BH

クロックマネージャ

アドレス	レジスタ名	R/W	初期値	設定/データ				機能
FF10H	D3 FOUT3	R/W	0	F	f3	B	f3/16	7 f1 3 f1/32 FOUT周波数選択 (f1 = fosc1, f3 = fosc3)
	D2 FOUT2	R/W	0	E	f3/2	A	f3/32	6 f1/2 2 f1/64
	D1 FOUT1	R/W	0	D	f3/4	9	f3/64	5 f1/4 1 f1/256
	D0 FOUT0	R/W	0	C	f3/8	8	f3/256	4 f1/16 0 Off
FF11H	D3 NRSP11 (*6)	R/W	0	3	f1/256	1	f1/16	P1キー入力割り込みノイズリダクション 周波数選択(f1 = fosc1)
	D2 NRSP10 (*6)	R/W	0	2	f1/64	0	Off	
	D1 NRSP01	R/W	0	3	f1/256	1	f1/16	P0キー入力割り込みノイズリダクション 周波数選択(f1 = fosc1)
	D0 NRSP00	R/W	0	2	f1/64	0	Off	

Appendix A I/Oレジスター一覧

アドレス	レジスタ名	R/W	初期値	設定/データ					機能
FF12H	D3	FLCKS1	R/W	0	3	–	1	21.3	フレーム周波数(Hz)選択
	D2	FLCKS0	R/W	0	2	16.0	0	32.0	
	D1	VCCKS1	R/W	0	3	–	1	2048	Vc昇圧周波数(Hz)選択
	D0	VCCKS0	R/W	0	2	–	0	Off	
FF14H (*6)	D3	0 (*3)	R	– (*2)	–	–	–	–	未使用
	D2	SIFCKS2	R/W	0	7	f ₃ /4	4	PT1	シリアルI/Fクロック周波数選択 (f ₁ = fosc1, f ₃ = fosc3)
	D1	SIFCKS1	R/W	0	6	f ₃ /2	3	f ₁ /4	0 Off/External
	D0	SIFCKS0	R/W	0	5	f ₃	2	f ₁ /2	
FF15H	D3	0 (*3)	R	– (*2)	–	–	–	–	未使用
	D2	RFCKS2	R/W	0	7	f ₃ /4	4	PT1 (*6)	R/Fコンバータクロック周波数選択 (f ₁ = fosc1, f ₃ = fosc3)
	D1	RFCKS1	R/W	0	6	f ₃ /2	3	f ₁ /4	0 Off
	D0	RFCKS0	R/W	0	5	f ₃	2	f ₁ /2	
FF16H	D3	MDCKE (*5)	R/W	0	1	Enable	0	Disable	乗除算クロックイネーブル
	D2	SGCKE	R/W	0	1	Enable	0	Disable	サウンドジェネレータクロックイネーブル
	D1	SWCKE	R/W	0	1	Enable	0	Disable	ストップウォッチタイマクロックイネーブル
	D0	RTCKE	R/W	0	1	Enable	0	Disable	計時タイマクロックイネーブル
FF18H	D3	PTPS03	R/W	0	F	f ₃	B	f ₃ /16	7 f ₁ 3 f ₁ /32 プログラマブルタイマ0
	D2	PTPS02	R/W	0	E	f ₃ /2	A	f ₃ /32	6 f ₁ /2 2 f ₁ /64 カウントクロック周波数選択 (f ₁ = fosc1, f ₃ = fosc3)
	D1	PTPS01	R/W	0	D	f ₃ /4	9	f ₃ /64	5 f ₁ /4 1 f ₁ /256
	D0	PTPS00	R/W	0	C	f ₃ /8	8	f ₃ /256	4 f ₁ /16 0 Off
FF19H (*6)	D3	PTPS13	R/W	0	F	f ₃	B	f ₃ /16	7 f ₁ 3 f ₁ /32 プログラマブルタイマ1
	D2	PTPS12	R/W	0	E	f ₃ /2	A	f ₃ /32	6 f ₁ /2 2 f ₁ /64 カウントクロック周波数選択 (f ₁ = fosc1, f ₃ = fosc3)
	D1	PTPS11	R/W	0	D	f ₃ /4	9	f ₃ /64	5 f ₁ /4 1 f ₁ /256
	D0	PTPS10	R/W	0	C	f ₃ /8	8	f ₃ /256	4 f ₁ /16 0 Off
FF1AH (*6)	D3	PTPS23	R/W	0	F	f ₃	B	f ₃ /16	7 f ₁ 3 f ₁ /32 プログラマブルタイマ2
	D2	PTPS22	R/W	0	E	f ₃ /2	A	f ₃ /32	6 f ₁ /2 2 f ₁ /64 カウントクロック周波数選択 (f ₁ = fosc1, f ₃ = fosc3)
	D1	PTPS21	R/W	0	D	f ₃ /4	9	f ₃ /64	5 f ₁ /4 1 f ₁ /256
	D0	PTPS20	R/W	0	C	f ₃ /8	8	f ₃ /256	4 f ₁ /16 0 Off
FF1BH (*4)	D3	PTPS33	R/W	0	F	f ₃	B	f ₃ /16	7 f ₁ 3 f ₁ /32 プログラマブルタイマ3
	D2	PTPS32	R/W	0	E	f ₃ /2	A	f ₃ /32	6 f ₁ /2 2 f ₁ /64 カウントクロック周波数選択 (f ₁ = fosc1, f ₃ = fosc3)
	D1	PTPS31	R/W	0	D	f ₃ /4	9	f ₃ /64	5 f ₁ /4 1 f ₁ /256
	D0	PTPS30	R/W	0	C	f ₃ /8	8	f ₃ /256	4 f ₁ /16 0 Off

FF20H-FF3FH

入出力兼用ポート

アドレス	レジスタ名	R/W	初期値	設定/データ					機能
FF20H	D3	P03	R/W	1	1	High	0	Low	P03入出力兼用ポートデータ
	D2	P02	R/W	1	1	High	0	Low	P02入出力兼用ポートデータ
	D1	P01	R/W	1	1	High	0	Low	P01入出力兼用ポートデータ
	D0	P00	R/W	1	1	High	0	Low	P00入出力兼用ポートデータ
FF21H	D3	IOC03	R/W	0	1	Output	0	Input	P03 I/O制御レジスタ
	D2	IOC02	R/W	0	1	Output	0	Input	P02 I/O制御レジスタ
	D1	IOC01	R/W	0	1	Output	0	Input	P01 I/O制御レジスタ
	D0	IOC00	R/W	0	1	Output	0	Input	P00 I/O制御レジスタ
FF22H	D3	PUL03	R/W	1	1	Enable	0	Disable	P03ブルダウン制御レジスタ
	D2	PUL02	R/W	1	1	Enable	0	Disable	P02ブルダウン制御レジスタ
	D1	PUL01	R/W	1	1	Enable	0	Disable	P01ブルダウン制御レジスタ
	D0	PUL00	R/W	1	1	Enable	0	Disable	P00ブルダウン制御レジスタ
FF23H	D3	SMT03	R/W	1	1	Schmitt	0	CMOS	P03入力I/Fレベル選択レジスタ
	D2	SMT02	R/W	1	1	Schmitt	0	CMOS	P02入力I/Fレベル選択レジスタ
	D1	SMT01	R/W	1	1	Schmitt	0	CMOS	P01入力I/Fレベル選択レジスタ
	D0	SMT00	R/W	1	1	Schmitt	0	CMOS	P00入力I/Fレベル選択レジスタ
FF24H	D3	P13	R/W	1	1	High	0	Low	P13入出力兼用ポートデータ
	D2	P12	R/W	1	1	High	0	Low	P12入出力兼用ポートデータ
	D1	P11	R/W	1	1	High	0	Low	P11入出力兼用ポートデータ
	D0	P10	R/W	1	1	High	0	Low	P10入出力兼用ポートデータ

アドレス	レジスタ名	R/W	初期値	設定/データ			機能	
FF25H	D3 IOC13	R/W	0	1	Output	0	Input	P13 I/O制御レジスタ
	D2 IOC12	R/W	0	1	Output	0	Input	P12 I/O制御レジスタ
	D1 IOC11	R/W	0	1	Output	0	Input	P11 I/O制御レジスタ
	D0 IOC10	R/W	0	1	Output	0	Input	P10 I/O制御レジスタ
FF26H	D3 PUL13	R/W	1	1	Enable	0	Disable	P13ブルダウン制御レジスタ
	D2 PUL12	R/W	1	1	Enable	0	Disable	P12ブルダウン制御レジスタ
	D1 PUL11	R/W	1	1	Enable	0	Disable	P11ブルダウン制御レジスタ
	D0 PUL10	R/W	1	1	Enable	0	Disable	P10ブルダウン制御レジスタ
FF27H	D3 SMT13	R/W	1	1	Schmitt	0	CMOS	P13入力I/Fレベル選択レジスタ
	D2 SMT12	R/W	1	1	Schmitt	0	CMOS	P12入力I/Fレベル選択レジスタ
	D1 SMT11	R/W	1	1	Schmitt	0	CMOS	P11入力I/Fレベル選択レジスタ
	D0 SMT10	R/W	1	1	Schmitt	0	CMOS	P10入力I/Fレベル選択レジスタ
FF28H	D3 P23	R/W	1	1	High	0	Low	P23入出力兼用ポートデータ
	D2 P22	R/W	1	1	High	0	Low	P22入出力兼用ポートデータ
	D1 P21	R/W	1	1	High	0	Low	P21入出力兼用ポートデータ
	D0 P20	R/W	1	1	High	0	Low	P20入出力兼用ポートデータ
FF29H	D3 IOC23	R/W	0	1	Output	0	Input	P23 I/O制御レジスタ
	D2 IOC22	R/W	0	1	Output	0	Input	P22 I/O制御レジスタ
	D1 IOC21	R/W	0	1	Output	0	Input	P21 I/O制御レジスタ
	D0 IOC20	R/W	0	1	Output	0	Input	P20 I/O制御レジスタ
FF2AH	D3 PUL23	R/W	1	1	Enable	0	Disable	P23ブルダウン制御レジスタ
	D2 PUL22	R/W	1	1	Enable	0	Disable	P22ブルダウン制御レジスタ
	D1 PUL21	R/W	1	1	Enable	0	Disable	P21ブルダウン制御レジスタ
	D0 PUL20	R/W	1	1	Enable	0	Disable	P20ブルダウン制御レジスタ
FF2CH (*6)	D3 P33	R/W	1	1	High	0	Low	P33入出力兼用ポートデータ
	D2 P32	R/W	1	1	High	0	Low	P32入出力兼用ポートデータ
	D1 P31	R/W	1	1	High	0	Low	P31入出力兼用ポートデータ
	D0 P30	R/W	1	1	High	0	Low	P30入出力兼用ポートデータ
FF2DH (*6)	D3 IOC33	R/W	0	1	Output	0	Input	P33 I/O制御レジスタ
	D2 IOC32	R/W	0	1	Output	0	Input	P32 I/O制御レジスタ
	D1 IOC31	R/W	0	1	Output	0	Input	P31 I/O制御レジスタ
	D0 IOC30	R/W	0	1	Output	0	Input	P30 I/O制御レジスタ
FF2EH (*6)	D3 PUL33	R/W	1	1	Enable	0	Disable	P33ブルダウン制御レジスタ
	D2 PUL32	R/W	1	1	Enable	0	Disable	P32ブルダウン制御レジスタ
	D1 PUL31	R/W	1	1	Enable	0	Disable	P31ブルダウン制御レジスタ
	D0 PUL30	R/W	1	1	Enable	0	Disable	P30ブルダウン制御レジスタ
FF30H (*5)	D3 P43	R/W	1	1	High	0	Low	P43入出力兼用ポートデータ
	D2 P42	R/W	1	1	High	0	Low	P42入出力兼用ポートデータ
	D1 P41	R/W	1	1	High	0	Low	P41入出力兼用ポートデータ
	D0 P40	R/W	1	1	High	0	Low	P40入出力兼用ポートデータ
FF31H (*5)	D3 IOC43	R/W	0	1	Output	0	Input	P43 I/O制御レジスタ
	D2 IOC42	R/W	0	1	Output	0	Input	P42 I/O制御レジスタ
	D1 IOC41	R/W	0	1	Output	0	Input	P41 I/O制御レジスタ
	D0 IOC40	R/W	0	1	Output	0	Input	P40 I/O制御レジスタ
FF32H (*5)	D3 PUL43	R/W	1	1	Enable	0	Disable	P43ブルダウン制御レジスタ
	D2 PUL42	R/W	1	1	Enable	0	Disable	P42ブルダウン制御レジスタ
	D1 PUL41	R/W	1	1	Enable	0	Disable	P41ブルダウン制御レジスタ
	D0 PUL40	R/W	1	1	Enable	0	Disable	P40ブルダウン制御レジスタ
FF34H	D3 P53	R/W	1	1	High	0	Low	P53入出力兼用ポートデータ
	D2 P52	R/W	1	1	High	0	Low	P52入出力兼用ポートデータ
	D1 P51	R/W	1	1	High	0	Low	P51入出力兼用ポートデータ
	D0 P50	R/W	1	1	High	0	Low	P50入出力兼用ポートデータ
FF35H	D3 IOC53	R/W	0	1	Output	0	Input	P53 I/O制御レジスタ
	D2 IOC52	R/W	0	1	Output	0	Input	P52 I/O制御レジスタ
	D1 IOC51	R/W	0	1	Output	0	Input	P51 I/O制御レジスタ
	D0 IOC50	R/W	0	1	Output	0	Input	P50 I/O制御レジスタ

Appendix A I/Oレジスター一覧

アドレス	レジスタ名	R/W	初期値	設定/データ				機能
FF36H	D3 PUL53	R/W	1	1	Enable	0	Disable	P53ブルダウン制御レジスタ
	D2 PUL52	R/W	1	1	Enable	0	Disable	P52ブルダウン制御レジスタ
	D1 PUL51	R/W	1	1	Enable	0	Disable	P51ブルダウン制御レジスタ
	D0 PUL50	R/W	1	1	Enable	0	Disable	P50ブルダウン制御レジスタ
FF3CH	D3 SIP03	R/W	0	1	Enable	0	Disable	P03(KEY03)割り込み選択レジスタ
	D2 SIP02	R/W	0	1	Enable	0	Disable	P02(KEY02)割り込み選択レジスタ
	D1 SIP01	R/W	0	1	Enable	0	Disable	P01(KEY01)割り込み選択レジスタ
	D0 SIP00	R/W	0	1	Enable	0	Disable	P00(KEY00)割り込み選択レジスタ
FF3DH	D3 PCP03	R/W	1	1 ↓(falling edge)	0 ↑(rising edge)	0	↑(rising edge)	P03(KEY03)割り込み極性選択レジスタ
	D2 PCP02	R/W	1	1 ↓(falling edge)	0 ↑(rising edge)	0	↑(rising edge)	P02(KEY02)割り込み極性選択レジスタ
	D1 PCP01	R/W	1	1 ↓(falling edge)	0 ↑(rising edge)	0	↑(rising edge)	P01(KEY01)割り込み極性選択レジスタ
	D0 PCP00	R/W	1	1 ↓(falling edge)	0 ↑(rising edge)	0	↑(rising edge)	P00(KEY00)割り込み極性選択レジスタ
FF3EH (*6)	D3 SIP13	R/W	0	1	Enable	0	Disable	P13(KEY13)割り込み選択レジスタ
	D2 SIP12	R/W	0	1	Enable	0	Disable	P12(KEY12)割り込み選択レジスタ
	D1 SIP11	R/W	0	1	Enable	0	Disable	P11(KEY11)割り込み選択レジスタ
	D0 SIP10	R/W	0	1	Enable	0	Disable	P10(KEY10)割り込み選択レジスタ
FF3FH (*6)	D3 PCP13	R/W	1	1 ↓(falling edge)	0 ↑(rising edge)	0	↑(rising edge)	P13(KEY13)割り込み極性選択レジスタ
	D2 PCP12	R/W	1	1 ↓(falling edge)	0 ↑(rising edge)	0	↑(rising edge)	P12(KEY12)割り込み極性選択レジスタ
	D1 PCP11	R/W	1	1 ↓(falling edge)	0 ↑(rising edge)	0	↑(rising edge)	P11(KEY11)割り込み極性選択レジスタ
	D0 PCP10	R/W	1	1 ↓(falling edge)	0 ↑(rising edge)	0	↑(rising edge)	P10(KEY10)割り込み極性選択レジスタ

FF40H-FF42H

計時タイマ

アドレス	レジスタ名	R/W	初期値	設定/データ				機能
FF40H	D3 0 (*3)	R	- (*2)	-				未使用
	D2 0 (*3)	R	- (*2)	-				未使用
	D1 TMRST (*3)	W	(Reset)	1	Reset	0	Invalid	計時タイマリセット(書き込み時)
	D0 TMRUN	R/W	0	1	Run	0	Stop	計時タイマRun/Stop
FF41H	D3 TM3	R	0	0H-FH				計時タイマデータ(16Hz)
	D2 TM2	R	0					計時タイマデータ(32Hz)
	D1 TM1	R	0					計時タイマデータ(64Hz)
	D0 TM0	R	0					計時タイマデータ(128Hz)
FF42H	D3 TM7	R	0	0H-FH				計時タイマデータ(1Hz)
	D2 TM6	R	0					計時タイマデータ(2Hz)
	D1 TM5	R	0					計時タイマデータ(4Hz)
	D0 TM4	R	0					計時タイマデータ(8Hz)

FF44H-FF47H

サウンドジェネレータ

アドレス	レジスタ名	R/W	初期値	設定/データ				機能
FF44H	D3 ENRTM	R/W	0	1	1 sec	0	0.5 sec	エンペロープ減衰時間選択
	D2 ENRST (*3)	W	(Reset)	1	Reset	0	Invalid	エンペロープリセット(書き込み時)
	D1 ENON	R/W	0	1	On	0	Off	エンペロープOn/Off
	D0 BZE	R/W	0	1	Enable	0	Disable	BZ出力イネーブル
FF45H	D3 0 (*3)	R	- (*2)	-				未使用
	D2 BZSTP (*3)	W	0	1	Stop	0	Invalid	1ショットブザー Stop(書き込み時)
	D1 BZSHT	R/W	0	1	Trigger (W) Busy (R)	0	Invalid (W) Ready (R)	1ショットブザートリガ(書き込み時) 1ショットブザーステータス(読み出し時)
	D0 SHTPW	R/W	0	1	125 msec	0	31.25 msec	1ショットブザーパルス幅選択
FF46H	D3 0 (*3)	R	- (*2)	-				未使用
	D2 BZFQ2	R/W	0	7	1170.3	4	2048.0	1 3276.8 BZ出力周波数(Hz)選択
	D1 BZFQ1	R/W	0	6	1365.3	3	2340.6	0 4096.0
	D0 BZFQ0	R/W	0	5	1638.4	2	2730.7	
FF47H	D3 0 (*3)	R	- (*2)	-				未使用
	D2 BDTY2	R/W	0	7	Level 8	4	Level 5	1 Level 2 ブザー信号デューティ比選択
	D1 BDTY1	R/W	0	6	Level 7	3	Level 4	0 Level 1 (max.)
	D0 BDTY0	R/W	0	5	Level 6	2	Level 3	

FF48H–FF4DH**トップウォッチタイマ**

アドレス	レジスタ名	R/W	初期値	設定/データ				機能
FF48H (*6)	D3	0 (*3)	R	– (*2)	–			
	D2	0 (*3)	R	– (*2)	–			
	D1	SWDIR	R/W	0	1	P00 = Lap	0	P00 = Run/Stop
						P01 = Run/Stop	1	P01 = Lap
	D0	EDIR	R/W	0	1	Enable	0	Disable
FF49H (*6)	D3	0 (*3)	R	– (*2)	–			
	D2	DKM2	R/W	0	7	P10–13	4	P10
	D1	DKM1	R/W	0	6	P10–12	3	P02–03,10
	D0	DKM0	R/W	0	5	P10–11	2	P02–03
FF4AH	D3	LCURF (*6)	R	0	1	Request	0	No
	D2	CRNWF (*6)	R	0	1	Renewal	0	No
	D1	SWRUN	R/W	0	1	Run	0	Stop
	D0	SWRST (*3)	W	(Reset)	1	Reset	0	Invalid
FF4BH	D3	SWD3	R	0	0–9			
	D2	SWD2	R	0				
	D1	SWD1	R	0				
	D0	SWD0	R	0				
FF4CH	D3	SWD7	R	0	0–9			
	D2	SWD6	R	0				
	D1	SWD5	R	0				
	D0	SWD4	R	0				
FF4DH	D3	SWD11	R	0	0–9			
	D2	SWD10	R	0				
	D1	SWD9	R	0				
	D0	SWD8	R	0				

FF50H–FF52H**LCD ドライバ**

アドレス	レジスタ名	R/W	初期値	設定/データ				機能
FF50H	D3	0 (*3)	R	– (*2)	–			
	D2	0 (*3)	R	– (*2)	–			
	D1	DSPC1	R/W	1	3	All on	1	All on
	D0	DSPC0	R/W	0	2	All off	0	Normal
FF51H	D3	STCD	R/W	0	1	Static	0	Dynamic
	D2	LDUTY2	R/W	0	7	1/8 (*6)	4	1/7 (*6)
	D1	LDUTY1	R/W	0	6	1/7 (*6)	3	1/6 (*6)
	D0	LDUTY0	R/W	0	5	1/8 (*6)	2	1/5
FF52H (*6)	D3	LC3	R/W	0	0H(light)–FH(dark)			
	D2	LC2	R/W	0				
	D1	LC1	R/W	0				
	D0	LC0	R/W	0				

FF58H–FF5CH**シリアルインターフェース**

アドレス	レジスタ名	R/W	初期値	設定/データ				機能
FF58H (*6)	D3	0 (*3)	R	– (*2)	–			
	D2	ESOUT	R/W	0	1	Enable	0	Disable
	D1	SCTRG	R/W	0	1	Trigger (W) Run (R)	0	Invalid (W) Stop (R)
	D0	ESIF	R/W	0	1	SIF	0	I/O
FF59H (*6)	D3	SCPS1	R/W	0	3	Negative, ↑	1	Positive, ↓
	D2	SCPS0	R/W	0	2	Negative, ↓	0	Positive, ↑
	D1	SDP	R/W	0	1	MSB first	0	LSB first
	D0	SMOD	R/W	0	1	Master	0	Slave
FF5AH (*6)	D3	0 (*3)	R	– (*2)	–			
	D2	0 (*3)	R	– (*2)	–			
	D1	ESREADY	R/W	0	1	SRDY	0	SS
	D0	ENCS	R/W	0	1	SRDY_SS	0	P33

Appendix A I/Oレジスター一覧

アドレス	レジスタ名	R/W	初期値	設定/データ	機能
FF5BH (*6)	D3 SD3	R/W	x	0H–FH	シリアルI/F送受信データ(下位4ビット) SD0 = LSB
	D2 SD2	R/W	x		
	D1 SD1	R/W	x		
	D0 SD0	R/W	x		
FF5CH (*6)	D3 SD7	R/W	x	0H–FH	シリアルI/F送受信データ(上位4ビット) SD7 = MSB
	D2 SD6	R/W	x		
	D1 SD5	R/W	x		
	D0 SD4	R/W	x		

FF60H–FF6BH

R/Fコンバータ

アドレス	レジスタ名	R/W	初期値	設定/データ	機能
FF60H	D3 RFCNT	R/W	0	1 Continuous 0 Enable 3 Ch.1 DC 2 Ch.1 AC	連続発振イネーブル
	D2 RFOUT	R/W	0		RFOUTイネーブル
	D1 ERF1	R/W	0		R/F変換選択
	D0 ERF0	R/W	0		I/O
FF61H	D3 OVT	R/W	0	1 Overflow error 0 No error	タイムベースカウンタオーバーフローフラグ
	D2 OMVC	R/W	0		計測カウンタオーバーフローフラグ
	D1 RFRUNR	R/W	0		基準発振Run制御/ステータス
	D0 RFRUNS	R/W	0		センサ発振Run制御/ステータス
FF62H	D3 MC3	R/W	x	0H–FH	計測カウンタMC0–MC3 MC0 = LSB
	D2 MC2	R/W	x		
	D1 MC1	R/W	x		
	D0 MC0	R/W	x		
FF63H	D3 MC7	R/W	x	0H–FH	計測カウンタMC4–MC7
	D2 MC6	R/W	x		
	D1 MC5	R/W	x		
	D0 MC4	R/W	x		
FF64H	D3 MC11	R/W	x	0H–FH	計測カウンタMC8–MC11
	D2 MC10	R/W	x		
	D1 MC9	R/W	x		
	D0 MC8	R/W	x		
FF65H	D3 MC15	R/W	x	0H–FH	計測カウンタMC12–MC15
	D2 MC14	R/W	x		
	D1 MC13	R/W	x		
	D0 MC12	R/W	x		
FF66H	D3 MC19	R/W	x	0H–FH	計測カウンタMC16–MC19 MC19 = MSB
	D2 MC18	R/W	x		
	D1 MC17	R/W	x		
	D0 MC16	R/W	x		
FF67H	D3 TC3	R/W	x	0H–FH	タイムベースカウンタTC0–TC3 TC0 = LSB
	D2 TC2	R/W	x		
	D1 TC1	R/W	x		
	D0 TC0	R/W	x		
FF68H	D3 TC7	R/W	x	0H–FH	タイムベースカウンタTC4–TC7
	D2 TC6	R/W	x		
	D1 TC5	R/W	x		
	D0 TC4	R/W	x		
FF69H	D3 TC11	R/W	x	0H–FH	タイムベースカウンタTC8–TC11
	D2 TC10	R/W	x		
	D1 TC9	R/W	x		
	D0 TC8	R/W	x		
FF6AH	D3 TC15	R/W	x	0H–FH	タイムベースカウンタTC12–TC15
	D2 TC14	R/W	x		
	D1 TC13	R/W	x		
	D0 TC12	R/W	x		

アドレス	レジスタ名	R/W	初期値	設定/データ	機能
FF6BH	D3 TC19 D2 TC18 D1 TC17 D0 TC16	R/W	×	0H-FH	タイムベースカウンタTC16-TC19 TC19 = MSB

FF70H-FF76H**整数乗除算器**

アドレス	レジスタ名	R/W	初期値	設定/データ	機能	
FF70H (*5)	D3 SR3 D2 SR2 D1 SR1 D0 SR0	R/W	×	0H-FH	ソースレジスタ(下位4ビット) SR0 = LSB	
FF71H (*5)	D3 SR7 D2 SR6 D1 SR5 D0 SR4	R/W	×	0H-FH	ソースレジスタ(上位4ビット) SR7 = MSB	
FF72H (*5)	D3 DRL3 D2 DRL2 D1 DRL1 D0 DRL0	R/W	×	0H-FH	デスティネーションレジスタ下位8ビット (下位4ビット) DRL0 = LSB	
FF73H (*5)	D3 DRL7 D2 DRL6 D1 DRL5 D0 DRL4	R/W	×	0H-FH	デスティネーションレジスタ下位8ビット (上位4ビット) DRL7 = MSB	
FF74H (*5)	D3 DRH3 D2 DRH2 D1 DRH1 D0 DRH0	R/W	×	0H-FH	デスティネーションレジスタ上位8ビット (下位4ビット) DRH0 = LSB	
FF75H (*5)	D3 DRH7 D2 DRH6 D1 DRH5 D0 DRH4	R/W	×	0H-FH	デスティネーションレジスタ上位8ビット (上位4ビット) DRH7 = MSB	
FF76H (*5)	D3 NF D2 VF D1 ZF D0 CALMD	R	0	1 Negative Overflow Zero Division (W) Run (R)	0 Positive No No Multiplication (W) Stop (R)	ネガティブフラグ オーバーフローフラグ ゼロフラグ 演算モード選択(書き込み時) 実行ステータス(読み出し時)

FF80H-FF9FH**プログラマブルタイマ**

アドレス	レジスタ名	R/W	初期値	設定/データ	機能	
FF80H	D3 MOD16_A (*6) D2 EVCNT_A D1 FCSEL_A D0 PLPUL_A	R/W	0 0 0 0	1 16 bits Event counter With noise reject ↑ (positive)	0 8 bits 0 Timer 0 No noise reject 0 ↓ (negative)	PTM0-1 16ビットモード選択 PTM0カウンタモード選択 PTM0機能選択(イベントカウンタモード時) PTM0パルス極性選択(イベントカウンタモード時)
FF81H	D3 PTSEL1 (*6) D2 PTSEL0 (*6) D1 CHSEL_A (*6) D0 PTOUT_A	R/W	0 0 0 0	1 PWM 1 PWM 1 Timer 1 1 On	0 Normal 0 Normal 0 Timer 0 0 Off	プログラマブルタイマ1 PWM出力選択 プログラマブルタイマ0 PWM出力選択 PTM0-1 TOUT_A 出力選択 PTM0-1 TOUT_A 出力制御
FF82H	D3 PTRST1 (*3,*6) D2 PTRUN1 (*6) D1 PTRST0 (*3) D0 PTRUN0	W	- (*2) 0 - (*2) 0	1 Reset 1 Run 1 Reset 1 Run	0 Invalid 0 Stop 0 Invalid 0 Stop	プログラマブルタイマ1リセット(リロード) プログラマブルタイマ1 Run/Stop プログラマブルタイマ0リセット(リロード) プログラマブルタイマ0 Run/Stop
FF84H	D3 RLD03 D2 RLD02 D1 RLD01 D0 RLD00	R/W	0 0 0 0	0H-FH	プログラマブルタイマ0リロードデータ (下位4ビット) RLD00 = LSB	

Appendix A I/Oレジスター一覧

アドレス	レジスタ名	R/W	初期値	設定/データ	機能	
FF85H	D3 RLD07	R/W	0	0H-FH	プログラマブルタイマ0リロードデータ (上位4ビット) RLD07 = MSB	
	D2 RLD06	R/W	0			
	D1 RLD05	R/W	0			
	D0 RLD04	R/W	0			
FF86H (*6)	D3 RLD13	R/W	0	0H-FH	プログラマブルタイマ1リロードデータ (下位4ビット) RLD10 = LSB	
	D2 RLD12	R/W	0			
	D1 RLD11	R/W	0			
	D0 RLD10	R/W	0			
FF87H (*6)	D3 RLD17	R/W	0	0H-FH	プログラマブルタイマ1リロードデータ (上位4ビット) RLD17 = MSB	
	D2 RLD16	R/W	0			
	D1 RLD15	R/W	0			
	D0 RLD14	R/W	0			
FF88H	D3 PTD03	R	0	0H-FH	プログラマブルタイマ0データ(下位4ビット) PTD00 = LSB	
	D2 PTD02	R	0			
	D1 PTD01	R	0			
	D0 PTD00	R	0			
FF89H	D3 PTD07	R	0	0H-FH	プログラマブルタイマ0データ(上位4ビット) PTD07 = MSB	
	D2 PTD06	R	0			
	D1 PTD05	R	0			
	D0 PTD04	R	0			
FF8AH (*6)	D3 PTD13	R	0	0H-FH	プログラマブルタイマ1データ(下位4ビット) PTD10 = LSB	
	D2 PTD12	R	0			
	D1 PTD11	R	0			
	D0 PTD10	R	0			
FF8BH (*6)	D3 PTD17	R	0	0H-FH	プログラマブルタイマ1データ(上位4ビット) PTD17 = MSB	
	D2 PTD16	R	0			
	D1 PTD15	R	0			
	D0 PTD14	R	0			
FF8CH (*6)	D3 CD03	R/W	0	0H-FH	プログラマブルタイマ0コンペアデータ (下位4ビット) CD00 = LSB	
	D2 CD02	R/W	0			
	D1 CD01	R/W	0			
	D0 CD00	R/W	0			
FF8DH (*6)	D3 CD07	R/W	0	0H-FH	プログラマブルタイマ0コンペアデータ (上位4ビット) CD07 = MSB	
	D2 CD06	R/W	0			
	D1 CD05	R/W	0			
	D0 CD04	R/W	0			
FF8EH (*6)	D3 CD13	R/W	0	0H-FH	プログラマブルタイマ1コンペアデータ (下位4ビット) CD10 = LSB	
	D2 CD12	R/W	0			
	D1 CD11	R/W	0			
	D0 CD10	R/W	0			
FF8FH (*6)	D3 CD17	R/W	0	0H-FH	プログラマブルタイマ1コンペアデータ (上位4ビット) CD17 = MSB	
	D2 CD16	R/W	0			
	D1 CD15	R/W	0			
	D0 CD14	R/W	0			
FF90H (*6)	D3 MOD16_B (*4)	R/W	0	1 16 bits	0 8 bits	PTM2-3 16ビットモード選択
	D2 EVCNT_B	R/W	0	1 Event counter	0	PTM2カウンタモード選択
	D1 FCSEL_B	R/W	0	1 With noise reject	0	PTM2機能選択(イベントカウンタモード時)
	D0 PLPUL_B	R/W	0	1 ↑(positive)	0 ↓(negative)	PTM2/パルス極性選択(イベントカウンタモード時)
FF91H (*6)	D3 PTSEL3 (*4)	R/W	0	1 PWM	0 Normal	プログラマブルタイマ3 PWM出力選択
	D2 PTSEL2	R/W	0	1 PWM	0 Normal	プログラマブルタイマ2 PWM出力選択
	D1 CHSEL_B (*4)	R/W	0	1 Timer 3	0 Timer 2	PTM2-TOUT_B 出力選択
	D0 PTOUT_B	R/W	0	1 On	0 Off	PTM2-3 TOUT_B 出力制御
FF92H (*6)	D3 PTRST3 (*3,*4)	W	- (*2)	1 Reset	0 Invalid	プログラマブルタイマ3リセット(リロード)
	D2 PTRUN3 (*4)	R/W	0	1 Run	0 Stop	プログラマブルタイマ3 Run/Stop
	D1 PTRST2 (*3)	W	- (*2)	1 Reset	0 Invalid	プログラマブルタイマ2リセット(リロード)
	D0 PTRUN2	R/W	0	1 Run	0 Stop	プログラマブルタイマ2 Run/Stop

アドレス	レジスタ名	R/W	初期値	設定/データ	機能
FF94H (*6)	D3 RLD23 D2 RLD22 D1 RLD21 D0 RLD20	R/W	0 0 0 0	0H-FH	プログラマブルタイマ2リロードデータ (下位4ビット) RLD20 = LSB
FF95H (*6)	D3 RLD27 D2 RLD26 D1 RLD25 D0 RLD24	R/W	0 0 0 0	0H-FH	プログラマブルタイマ2リロードデータ (上位4ビット) RLD27 = MSB
FF96H (*4)	D3 RLD33 D2 RLD32 D1 RLD31 D0 RLD30	R/W	0 0 0 0	0H-FH	プログラマブルタイマ3リロードデータ (下位4ビット) RLD30 = LSB
FF97H (*4)	D3 RLD37 D2 RLD36 D1 RLD35 D0 RLD34	R/W	0 0 0 0	0H-FH	プログラマブルタイマ3リロードデータ (上位4ビット) RLD37 = MSB
FF98H (*6)	D3 PTD23 D2 PTD22 D1 PTD21 D0 PTD20	R	0 0 0 0	0H-FH	プログラマブルタイマ2データ(下位4ビット) PTD20 = LSB
FF99H (*6)	D3 PTD27 D2 PTD26 D1 PTD25 D0 PTD24	R	0 0 0 0	0H-FH	プログラマブルタイマ2データ(上位4ビット) PTD27 = MSB
FF9AH (*4)	D3 PTD33 D2 PTD32 D1 PTD31 D0 PTD30	R	0 0 0 0	0H-FH	プログラマブルタイマ3データ(下位4ビット) PTD30 = LSB
FF9BH (*4)	D3 PTD37 D2 PTD36 D1 PTD35 D0 PTD34	R	0 0 0 0	0H-FH	プログラマブルタイマ3データ(上位4ビット) PTD37 = MSB
FF9CH (*6)	D3 CD23 D2 CD22 D1 CD21 D0 CD20	R/W	0 0 0 0	0H-FH	プログラマブルタイマ2コンペアデータ (下位4ビット) CD20 = LSB
FF9DH (*6)	D3 CD27 D2 CD26 D1 CD25 D0 CD24	R/W	0 0 0 0	0H-FH	プログラマブルタイマ2コンペアデータ (上位4ビット) CD27 = MSB
FF9EH (*4)	D3 CD33 D2 CD32 D1 CD31 D0 CD30	R/W	0 0 0 0	0H-FH	プログラマブルタイマ3コンペアデータ (下位4ビット) CD30 = LSB
FF9FH (*4)	D3 CD37 D2 CD36 D1 CD35 D0 CD34	R/W	0 0 0 0	0H-FH	プログラマブルタイマ3コンペアデータ (上位4ビット) CD37 = MSB

FFE1H-FFFFH**割り込みコントローラ**

アドレス	レジスタ名	R/W	初期値	設定/データ	機能
FFE1H	D3 0 (*3) D2 EIRFE D1 EIRFR D0 EIRFS	R	- (*2)	-	未使用
		R/W	0 0 0 0	1 Enable 1 Enable 1 Enable	割り込みマスクレジスタ(RFCエラー) 割り込みマスクレジスタ(RFC基準発振完了) 割り込みマスクレジスタ(RFCセンサ発振完了)
				0 Mask 0 Mask 0 Mask	

Appendix A I/Oレジスター一覧

アドレス	レジスタ名	R/W	初期値	設定/データ			機能
FFE2H	D3	0 (*3)	R	– (*2)	–	–	未使用
	D2	0 (*3)	R	– (*2)	–	–	未使用
	D1	IPI TO	R/W	0 1	Enable	0 Mask	割り込みマスクレジスタ(PT0アンダーフロー)
	D0	I CTC0 (*6)	R/W	0 1	Enable	0 Mask	割り込みマスクレジスタ(PT0コンペアマッチ)
FFE3H (*6)	D3	0 (*3)	R	– (*2)	–	–	未使用
	D2	0 (*3)	R	– (*2)	–	–	未使用
	D1	IPI T1	R/W	0 1	Enable	0 Mask	割り込みマスクレジスタ(PT1アンダーフロー)
	D0	I CTC1	R/W	0 1	Enable	0 Mask	割り込みマスクレジスタ(PT1コンペアマッチ)
FFE4H (*6)	D3	0 (*3)	R	– (*2)	–	–	未使用
	D2	0 (*3)	R	– (*2)	–	–	未使用
	D1	IPI T2	R/W	0 1	Enable	0 Mask	割り込みマスクレジスタ(PT2アンダーフロー)
	D0	I CTC2	R/W	0 1	Enable	0 Mask	割り込みマスクレジスタ(PT2コンペアマッチ)
FFE5H (*4)	D3	0 (*3)	R	– (*2)	–	–	未使用
	D2	0 (*3)	R	– (*2)	–	–	未使用
	D1	IPI T3	R/W	0 1	Enable	0 Mask	割り込みマスクレジスタ(PT3アンダーフロー)
	D0	I CTC3	R/W	0 1	Enable	0 Mask	割り込みマスクレジスタ(PT3コンペアマッチ)
FFE AH (*6)	D3	0 (*3)	R	– (*2)	–	–	未使用
	D2	0 (*3)	R	– (*2)	–	–	未使用
	D1	0 (*3)	R	– (*2)	–	–	未使用
	D0	EISIF	R/W	0 1	Enable	0 Mask	割り込みマスクレジスタ(シリアルI/F)
FFEBH	D3	EIK03	R/W	0 1	Enable	0 Mask	割り込みマスクレジスタ(KEY03<PO3>)
	D2	EIK02	R/W	0 1	Enable	0 Mask	割り込みマスクレジスタ(KEY02<PO2>)
	D1	EIK01	R/W	0 1	Enable	0 Mask	割り込みマスクレジスタ(KEY01<PO1>)
	D0	EIK00	R/W	0 1	Enable	0 Mask	割り込みマスクレジスタ(KEY00<PO0>)
FFECH (*6)	D3	EIK13	R/W	0 1	Enable	0 Mask	割り込みマスクレジスタ(KEY13<P13>)
	D2	EIK12	R/W	0 1	Enable	0 Mask	割り込みマスクレジスタ(KEY12<P12>)
	D1	EIK11	R/W	0 1	Enable	0 Mask	割り込みマスクレジスタ(KEY11<P11>)
	D0	EIK10	R/W	0 1	Enable	0 Mask	割り込みマスクレジスタ(KEY10<P10>)
FFEDH	D3	EIRUN (*6)	R/W	0 1	Enable	0 Mask	割り込みマスクレジスタ(SWダイレクトRUN)
	D2	EILAP (*6)	R/W	0 1	Enable	0 Mask	割り込みマスクレジスタ(SWダイレクトLAP)
	D1	EISW1	R/W	0 1	Enable	0 Mask	割り込みマスクレジスタ(ストップウォッチ1Hz)
	D0	EISW10	R/W	0 1	Enable	0 Mask	割り込みマスクレジスタ(ストップウォッチ10Hz)
FFEEH	D3	EIT3 (*6)	R/W	0 1	Enable	0 Mask	割り込みマスクレジスタ(計時タイマ16Hz)
	D2	EIT2	R/W	0 1	Enable	0 Mask	割り込みマスクレジスタ(計時タイマ32Hz)
	D1	EIT1 (*6)	R/W	0 1	Enable	0 Mask	割り込みマスクレジスタ(計時タイマ64Hz)
	D0	EIT0 (*6)	R/W	0 1	Enable	0 Mask	割り込みマスクレジスタ(計時タイマ128Hz)
FFEFH	D3	EIT7	R/W	0 1	Enable	0 Mask	割り込みマスクレジスタ(計時タイマ1Hz)
	D2	EIT6	R/W	0 1	Enable	0 Mask	割り込みマスクレジスタ(計時タイマ2Hz)
	D1	EIT5 (*6)	R/W	0 1	Enable	0 Mask	割り込みマスクレジスタ(計時タイマ4Hz)
	D0	EIT4	R/W	0 1	Enable	0 Mask	割り込みマスクレジスタ(計時タイマ8Hz)
FFF1H	D3	0 (*3)	R	– (*2)	–	–	未使用
	D2	IRFE	R/W	0	1 Occurred (R) Reset (W)	0 Not occurred (R) Invalid (W)	割り込み要因フラグ(RFCエラー)
	D1	IRFR	R/W	0		–	割り込み要因フラグ(RFC基準発振完了)
	D0	IRFS	R/W	0		–	割り込み要因フラグ(RFCセンサ発振完了)
FFF2H	D3	0 (*3)	R	– (*2)	–	–	未使用
	D2	0 (*3)	R	– (*2)	–	–	未使用
	D1	IPT0	R/W	0	1 Occurred (R) Reset (W)	0 Not occurred (R) Invalid (W)	割り込み要因フラグ(PT0アンダーフロー)
	D0	I CTC0 (*6)	R/W	0		–	割り込み要因フラグ(PT0コンペアマッチ)
FFF3H (*6)	D3	0 (*3)	R	– (*2)	–	–	未使用
	D2	0 (*3)	R	– (*2)	–	–	未使用
	D1	IPT1	R/W	0	1 Occurred (R) Reset (W)	0 Not occurred (R) Invalid (W)	割り込み要因フラグ(PT1アンダーフロー)
	D0	I CTC1	R/W	0		–	割り込み要因フラグ(PT1コンペアマッチ)
FFF4H (*6)	D3	0 (*3)	R	– (*2)	–	–	未使用
	D2	0 (*3)	R	– (*2)	–	–	未使用
	D1	IPT2	R/W	0	1 Occurred (R) Reset (W)	0 Not occurred (R) Invalid (W)	割り込み要因フラグ(PT2アンダーフロー)
	D0	I CTC2	R/W	0		–	割り込み要因フラグ(PT2コンペアマッチ)

アドレス	レジスタ名	R/W	初期値	設定/データ			機能
FFF5H	D3	0 (*3)	R	– (*2)	–		
	D2	0 (*3)	R	– (*2)	–		
	D1	IPT3	R/W	0	1 Occurred (R) Reset (W)	0 Not occurred (R) Invalid (W)	割り込み要因フラグ(PT3アンダーフロー) 割り込み要因フラグ(PT3コンペアマッチ)
	D0	ICTC3	R/W	0			
FFFAH	D3	0 (*3)	R	– (*2)	–		
	D2	0 (*3)	R	– (*2)	–		
	D1	0 (*3)	R	– (*2)	–		
	D0	ISIF	R/W	0	1 Occurred (R) Reset (W)	0 Not occurred (R) Invalid (W)	割り込み要因フラグ(シリアルI/F)
FFFFBH	D3	IK03	R/W	0	1 Occurred (R) Reset (W)	0 Not occurred (R) Invalid (W)	割り込み要因フラグ(KEY03<P03>)
	D2	IK02	R/W	0			割り込み要因フラグ(KEY02<P02>)
	D1	IK01	R/W	0			割り込み要因フラグ(KEY01<P01>)
	D0	IK00	R/W	0			割り込み要因フラグ(KEY00<P00>)
FFFCH	D3	IK13	R/W	0	1 Occurred (R) Reset (W)	0 Not occurred (R) Invalid (W)	割り込み要因フラグ(KEY13<P13>)
	D2	IK12	R/W	0			割り込み要因フラグ(KEY12<P12>)
	D1	IK11	R/W	0			割り込み要因フラグ(KEY11<P11>)
	D0	IK10	R/W	0			割り込み要因フラグ(KEY10<P10>)
FFFDH	D3	IRUN (*6)	R/W	0	1 Occurred (R) Reset (W)	0 Not occurred (R) Invalid (W)	割り込み要因フラグ(SWダイレクトRUN)
	D2	ILAP (*6)	R/W	0			割り込み要因フラグ(SWダイレクトLAP)
	D1	ISW1	R/W	0			割り込み要因フラグ(ストップウォッチ1Hz)
	D0	ISW10	R/W	0			割り込み要因フラグ(ストップウォッチ10Hz)
FFFEH	D3	IT3 (*6)	R/W	0	1 Occurred (R) Reset (W)	0 Not occurred (R) Invalid (W)	割り込み要因フラグ(計時タイマ16Hz)
	D2	IT2	R/W	0			割り込み要因フラグ(計時タイマ32Hz)
	D1	IT1 (*6)	R/W	0			割り込み要因フラグ(計時タイマ64Hz)
	D0	IT0 (*6)	R/W	0			割り込み要因フラグ(計時タイマ128Hz)
FFFFH	D3	IT7	R/W	0	1 Occurred (R) Reset (W)	0 Not occurred (R) Invalid (W)	割り込み要因フラグ(計時タイマ1Hz)
	D2	IT6	R/W	0			割り込み要因フラグ(計時タイマ2Hz)
	D1	IT5 (*6)	R/W	0			割り込み要因フラグ(計時タイマ4Hz)
	D0	IT4	R/W	0			割り込み要因フラグ(計時タイマ8Hz)

Appendix B Peripheral Circuit Board for S1C6F016

注: S1C63003/004/008/016のソフトウェア開発にはPeripheral Circuit Board for S1C6F016を使用します。S1C63 Family Peripheral Circuit Board(S5U1C63000P6)にはS1C6F016用回路データをダウンロードしてください。

ここでは、4-bit Single Chip Microcomputer S1C63 FamilyのデバッギングツールであるICE(S5U1C63000H2/S5U1C63000H6)に装着してエミュレーション機能を提供するPeripheral Circuit Board for S1C6F016(S5U1C63000P6、S5U1C6F016P2)の使用方法を説明します。

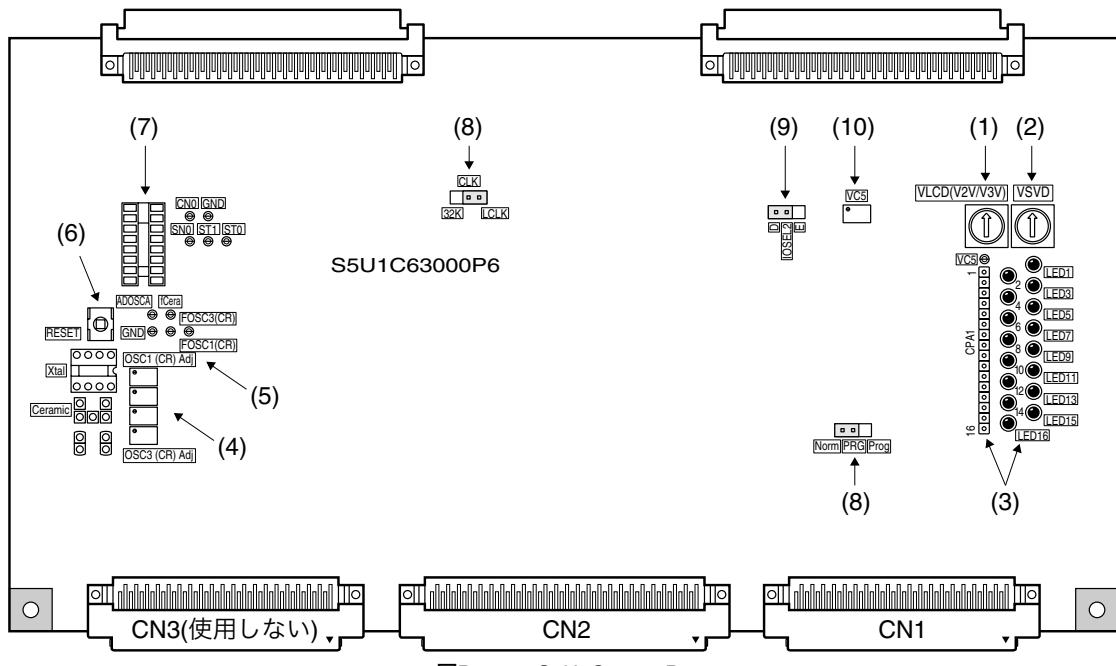
なお、本文はS1C63 Family Peripheral Circuit Board(S5U1C63000P6)にS1C6F016用回路データがダウンロードされているものについて適用されます。各機種用回路データのダウンロード方法については、B.3項を参照してください。また、ICEの機能、操作などの詳細については、S5U1C63000Hマニュアルを参照してください。

注: S5U1C63000P1は、S1C63003/004/008/016の開発には使用できません。

B.1 各部の名称と機能

B.1.1 S5U1C63000P6

S5U1C63000P6は、S1C63 FamilyマイクロコンピュータのコアCPU以外の周辺回路を提供する基板です。以下、各部の名称と機能について説明します。



図B.1.1.1 S5U1C63000P6

(1) VLCD

LCD駆動電源のマスクオプションで外部電源を選択した場合に、LCD駆動電圧の調整に使用します。

(2) VSVD

使用しません。

電源電圧検出機能(SVD)の動作確認には、S5U1C6F016P2ボード上のスイッチを使用します。

(3) レジスタモニタLED、レジスタモニタピン

以下の各レジスタに対応しており、モニタLEDは"1"のとき点灯、"0"のとき消灯します。モニタピンは"1"のときHIGHレベル、"0"のときLOWレベル出力となります。

表B.1.1.1 レジスタモニタLED/ピン

No.	モニタピン 名称	LED 名称	レジスタ = "1"	レジスタ = "0"
1	DONE	-	本ボードの初期化が正常に終了	初期化中
2	OSCC	OSC3発振On	OSC3発振Off	
3	CLKCHG	CPUクロック = OSC3	CPUクロック = OSC1	
4	VCSEL	-	FF02H・D2 = "1"(汎用レジスタ)	FF02H・D2 = "0"(汎用レジスタ)
5	DBON	-	FF02H・D0 = "1"(汎用レジスタ)	FF02H・D0 = "0"(汎用レジスタ)
6	VCHLMOD	Vcレギュレータ重負荷保護モードOn	Vcレギュレータ重負荷保護モードOff	
7	VDHLMOD	Vdレギュレータ重負荷保護モードOn	Vdレギュレータ重負荷保護モードOff	
8	VCREF	Vcレギュレータ基準電圧 = Vc2	Vcレギュレータ基準電圧 = Vc1	
9	LPWR	VcレギュレータOn	VcレギュレータOff	
10	SVDON	SVD回路On	SVD回路Off	
11	SVDS0	SVD比較電圧設定値		
12	SVDS1			
13	SVDS2			
14	SVDS3			
15	SVDS4			
16	LED	-	-	-
モニタピン		-	-	-
16		-	-	-

(4) CR発振周波数調整ボリューム

このボリュームによりOSC3発振周波数を調整することができます。マスクオプションによってOSC3にCR発振回路を選択した場合に有効です。調整可能範囲は約100kHz～8MHzになります。なお、実ICの動作周波数範囲はこの調整可能範囲とは異なりますので、"電気的特性"を参照の上、適切な動作周波数を選択してください。

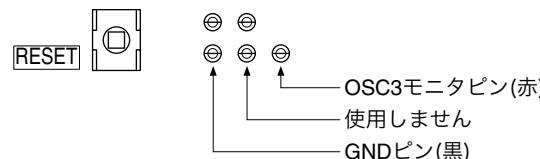


図B.1.1.2 CR発振周波数調整ボリューム

セラミック発振のマスクオプションを選択した場合、本ボードのOSC3周波数は4.1943MHzに固定されます。

(5) CR発振周波数モニタピン

CR発振回路からのクロック波形をオシロスコープなどでモニタすることができます。なお、このピンからは、発振回路の動作制御にかかわらず、常にクロックが出力されています。



図B.1.1.3 CR発振周波数モニタピン

(6) RESETスイッチ

本ボードの回路を初期化し、ICEにリセット信号を出力します。

(7) 外付け部品接続ソケット

使用しません。

(8) CLK、PRGスイッチ

回路データのダウンロード中、処理が完了しないままICEの電源が遮断されてしまった場合、再度ICEの電源を投入しても本ボード側の回路構成が不完全なままでとなり、デバッガが起動しなくなることがあります。このような場合はICEの電源をいったん落とし、CLKを32K側に、PRGスイッチをProg側にそれぞれ設定してから再度ICEの電源を投入します。

これによりデバッガは起動可能になりますので、この状態で回路データをダウンロードしてください。回路データのダウンロード完了後はいったんICEの電源を落とし、CLKをLCLK側に、PRGをNorm側にそれぞれ戻して、再度ICEの電源を投入してください。

(9) IOSEL2

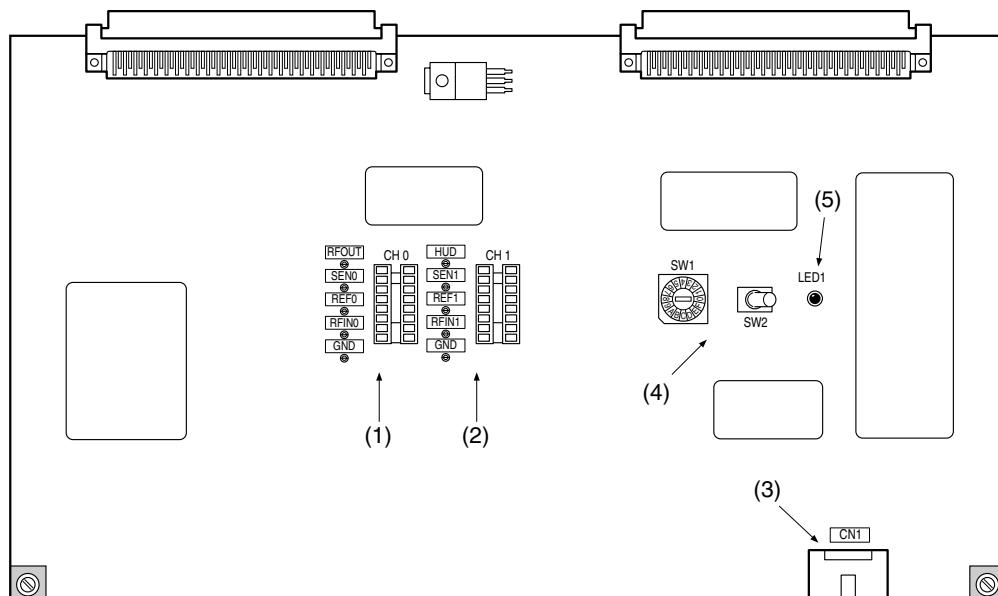
回路データをダウンロードする場合は、"E"側に設定してください。それ以外の場合は、"D"側に設定してください。

(10) VC5

LCD駆動電源のマスクオプションで内部電源を選択した場合、このボリュームによってLCD駆動電圧を微調整することができます。ただし、実ICのLCD駆動電圧はLCDコントラスト調整レジスタの設定によって決まりますので注意してください。

B.1.2 S5U1C6F016P2

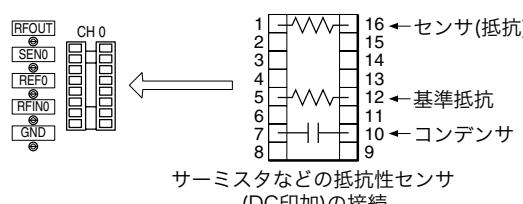
S5U1C6F016P2は、サーミスタなどの抵抗性センサ、抵抗性湿度センサに対応したR/Fコンバータの機能、SVD機能、P50～P53ポート入出力を提供する基板です。以下、各部の名称と機能について説明します。



図B.1.2.1 S5U1C6F016P2

(1) R/Fコンバータモニタピン、外付け部品接続ソケット(チャネル0)

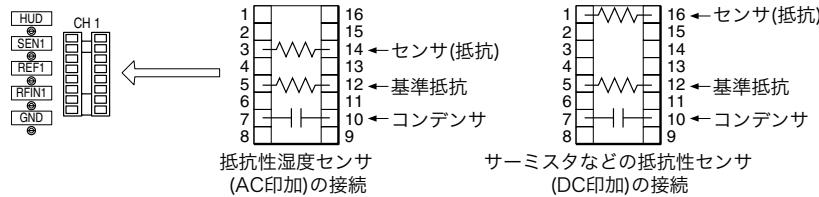
R/Fコンバータチャネル0の動作をモニタするためのピンと、外付け抵抗、コンデンサを接続するためのソケットです。S5U1C6F016P2に添付されているプラットフォームに抵抗とコンデンサを実装し、基板ソケットに装着します。



図B.1.2.2 R/Fコンバータモニタピンと外付け部品接続ソケット(チャネル0)

(2) R/Fコンバータモニタピン、外付け部品接続ソケット(チャネル1)

R/Fコンバータチャネル1の動作をモニタするためのピンと、外付け抵抗、コンデンサを接続するためのソケットです。S5U1C6F016P2に添付されているプラットフォームに抵抗とコンデンサを実装し、基板ソケットに装着します。



使用するセンサにより、上記のように接続位置が変わります。
AC印加とDC印加の抵抗性センサを同時に接続すると誤動作の原因になります。

図B.1.2.3 R/Fコンバータモニタピンと外付け部品接続ソケット(チャネル1)

(3) CN1(P5 I/Oコネクタ)

P50～P53ポートの信号を入出力するユーザインターフェースコネクタです。実ICでは、P50～P53端子がR/Fコンバータチャネル0用の端子も兼ねていますが、本ボードでは(1)のR/Fコンバータ用ソケット/モニタピンと別に用意されています。そのため、R/Fコンバータチャネル0使用時は本コネクタを使用せず、開放してください。また、マスクオプションでP50～P53端子をSEG出力端子に切り換えた場合も、本コネクタを使用しないでください。

(4) SVD用電源電圧レベル設定スイッチ(SW1、SW2)

SVD機能を確認するための電源電圧レベルを設定するスイッチです。表B.1.2.1にスイッチの設定とSVD制御レジスタとの関係を示します。なお、このスイッチは実際に電源電圧を変更するものではありません。SVD処理ルーチンの動作確認用に、検出結果を変更するのみの目的で用意されています。

表B.1.2.1 SW1/SW2とSVDSレジスタの関係

スイッチの設定		電源の擬似電圧レベル
SW1	SW2	
0	DETECTION	電圧レベル < (SVDS[3:0] = 0)
1	DETECTION	(SVDS[3:0] = 0) ≤ 電圧レベル < (SVDS[3:0] = 1)
2	DETECTION	(SVDS[3:0] = 1) ≤ 電圧レベル < (SVDS[3:0] = 2)
3	DETECTION	(SVDS[3:0] = 2) ≤ 電圧レベル < (SVDS[3:0] = 3)
4	DETECTION	(SVDS[3:0] = 3) ≤ 電圧レベル < (SVDS[3:0] = 4)
5	DETECTION	(SVDS[3:0] = 4) ≤ 電圧レベル < (SVDS[3:0] = 5)
6	DETECTION	(SVDS[3:0] = 5) ≤ 電圧レベル < (SVDS[3:0] = 6)
7	DETECTION	(SVDS[3:0] = 6) ≤ 電圧レベル < (SVDS[3:0] = 7)
8	DETECTION	(SVDS[3:0] = 7) ≤ 電圧レベル < (SVDS[3:0] = 8)
9	DETECTION	(SVDS[3:0] = 8) ≤ 電圧レベル < (SVDS[3:0] = 9)
A	DETECTION	(SVDS[3:0] = 9) ≤ 電圧レベル < (SVDS[3:0] = 0AH)
B	DETECTION	(SVDS[3:0] = 0AH) ≤ 電圧レベル < (SVDS[3:0] = 0BH)
C	DETECTION	(SVDS[3:0] = 0BH) ≤ 電圧レベル < (SVDS[3:0] = 0CH)
D	DETECTION	(SVDS[3:0] = 0CH) ≤ 電圧レベル < (SVDS[3:0] = 0DH)
E	DETECTION	(SVDS[3:0] = 0DH) ≤ 電圧レベル < (SVDS[3:0] = 0EH)
F	DETECTION	(SVDS[3:0] = 0EH) ≤ 電圧レベル < (SVDS[3:0] = 0FH)
-	MAX	(SVDS[3:0] = 0FH) < 電圧レベル

注: • S1C63004/008/016は32値のSVD検出レベルに対応しています(SVDS[4:0])。本ボード上での電源電圧レベルの設定はSVDS[3:0]の16値にのみ対応しており、SVDS4を含めたレベルを設定することはできません。SVDS4はレジスタと同じに設定したものとして使用し、SVDS4レジスタの設定状態はレジスタモニタLED/ピン15(表B.1.1.1参照)で確認してください。SVDS[4:0] = 0H～0FHの動作確認時はモニタLED/ピン15が消灯/Low、SVDS[4:0] = 10H～1FHの動作確認時は点灯/Highの状態です。

- S1C63003はSVD回路を搭載していません。

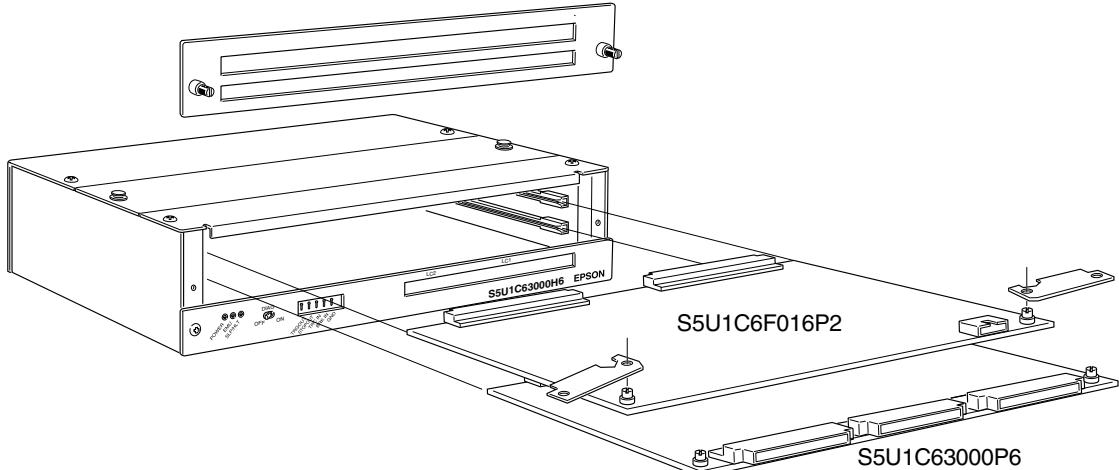
(5) SVD結果LED(LED1)

SW1とSW2で設定したSVDの結果確認用のLEDです。スイッチで設定した電圧レベルがSVDSレジスタの設定値より小さい(SVDDT = "1")場合に点灯します。

B.2 ターゲットシステムとの接続

ここではターゲットシステムとの接続方法を説明します。

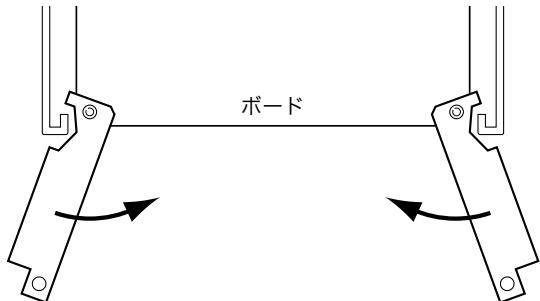
S5U1C63000P6ボードをICEの上から2段目のスロットに、S5U1C6F016P2ボードを最上部のスロットに挿入します。S5U1C63000P6に回路データがダウンロードされていない場合は、S5U1C6F016P2を挿入する前に、B.3項のダウンロードを行ってください。



図B.2.1 ICEへのボードの装着

S5U1C63000P6/6F016P2の装着

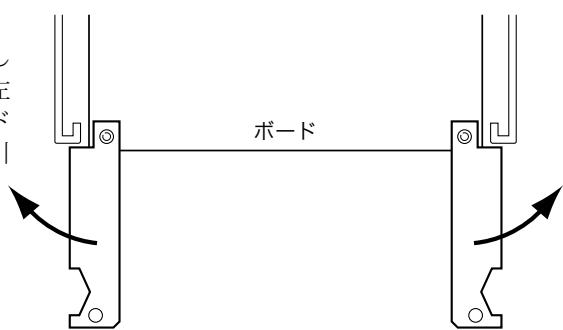
右図のようにICEに付属している治具をセットします。この治具をテコにして、内側に向かって左右均等に倒します。ボードがICEのスロット内に確実に納まったことを確認して、治具を外します。



図B.2.2 ボードの装着

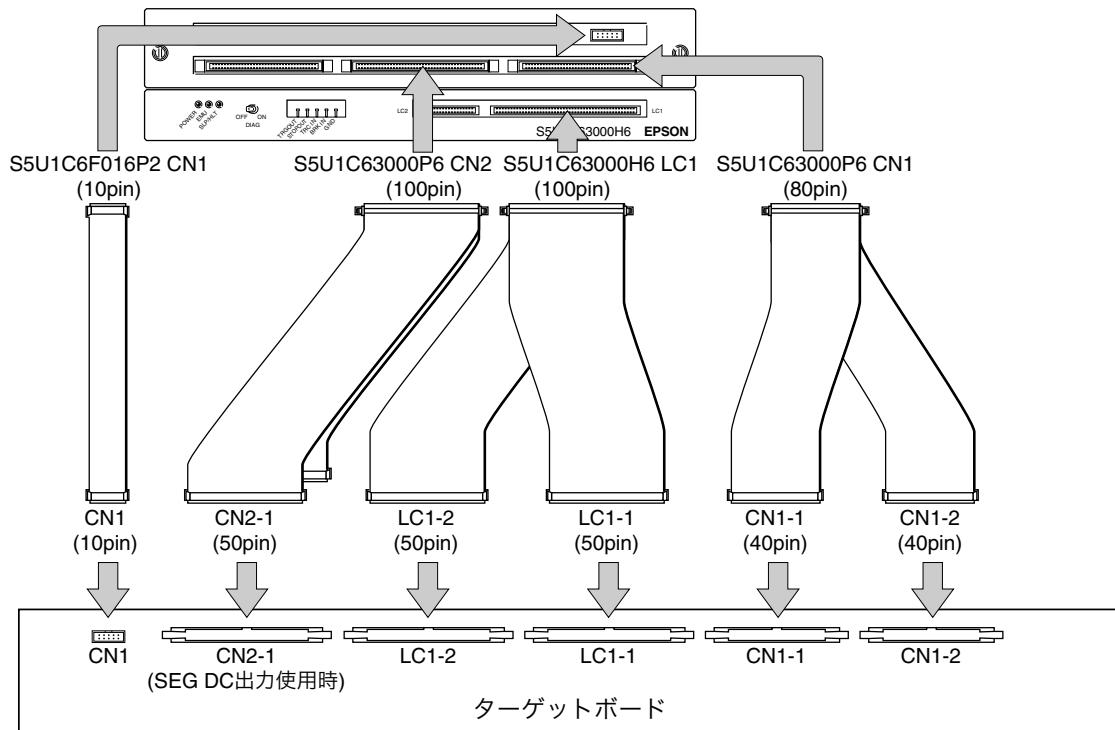
S5U1C63000P6/6F016P2の脱着

右図のようにICEに付属している治具をセットします。この治具をテコにして、外側に向かって左右均等に倒します。ボードがICEのバックボードコネクタから外れたことを確認して、ボードを引き出します。



図B.2.3 ボードの脱着

S5U1C63000P6、S5U1C6F016P2とターゲットシステムの接続は、添付のI/O接続ケーブルを用いて行います。なお、本コネクタには電源(V_{DD} = +3.3V)が供給されていますので、ご注意ください。



図B.2.4 ターゲットシステムとの接続

表B.2.1 S5U1C63000P6 CN1コネクタのピン配列表

40pin CN1-1コネクタ			
No.	端子名称	No.	端子名称
1	VDD (= 3.3V)	21	VDD (= 3.3V)
2	VDD (= 3.3V)	22	VDD (= 3.3V)
3	接続不可	23	P20
4	接続不可	24	P21
5	接続不可	25	P22
6	接続不可	26	P23
7	接続不可	27	P30
8	接続不可	28	P31
9	接続不可	29	P32
10	接続不可	30	P33
11	Vss	31	Vss
12	Vss	32	Vss
13	P00	33	P40
14	P01	34	P41
15	P02	35	P42
16	P03	36	P43
17	P10	37	接続不可
18	P11	38	接続不可
19	P12	39	Vss
20	P13	40	Vss

40pin CN1-2コネクタ			
No.	端子名称	No.	端子名称
1	VDD (= 3.3V)	21	VDD (= 3.3V)
2	VDD (= 3.3V)	22	VDD (= 3.3V)
3	接続不可	23	接続不可
4	接続不可	24	接続不可
5	接続不可	25	接続不可
6	接続不可	26	接続不可
7	接続不可	27	接続不可
8	接続不可	28	接続不可
9	接続不可	29	接続不可
10	接続不可	30	接続不可
11	Vss	31	Vss
12	Vss	32	Vss
13	接続不可	33	接続不可
14	接続不可	34	接続不可
15	接続不可	35	接続不可
16	接続不可	36	接続不可
17	接続不可	37	接続不可
18	接続不可	38	RESET
19	接続不可	39	Vss
20	接続不可	40	Vss

表B.2.2 S5U1C63000P6 CN2コネクタのピン配列表

50pin CN2-1コネクタ		50pin CN2-2コネクタ	
No.	端子名称	No.	端子名称
1	VDD (= 3.3V)	26	SEG19 (DC)
2	VDD (= 3.3V)	27	SEG20 (DC)
3	SEG0 (DC)	28	SEG21 (DC)
4	SEG1 (DC)	29	SEG22 (DC)
5	SEG2 (DC)	30	SEG23 (DC)
6	SEG3 (DC)	31	Vss
7	SEG4 (DC)	32	Vss
8	SEG5 (DC)	33	SEG24 (DC)
9	SEG6 (DC)	34	SEG25 (DC)
10	SEG7 (DC)	35	SEG26 (DC)
11	Vss	36	SEG27 (DC)
12	Vss	37	SEG28 (DC)
13	SEG8 (DC)	38	SEG29 (DC)
14	SEG9 (DC)	39	SEG30 (DC)
15	SEG10 (DC)	40	SEG31 (DC)
16	SEG11 (DC)	41	VDD (= 3.3V)
17	SEG12 (DC)	42	VDD (= 3.3V)
18	SEG13 (DC)	43	SEG32 (DC)
19	SEG14 (DC)	44	SEG33 (DC)
20	SEG15 (DC)	45	SEG34 (DC)
21	VDD (= 3.3V)	46	SEG35 (DC)
22	VDD (= 3.3V)	47	接続不可
23	SEG16 (DC)	48	接続不可
24	SEG17 (DC)	49	接続不可
25	SEG18 (DC)	50	接続不可

* CN2-1はマスクオプションでDC出力に設定したSEG端子の信号出力用コネクタです。LCD駆動出力に設定したSEG端子には何も接続しないでください。

表B.2.3 S5U1C63000H6 LC1コネクタのピン配列表

50pin LC1-1コネクタ		50pin LC1-2コネクタ	
No.	端子名称	No.	端子名称
1	COM0	26	SEG17
2	COM1	27	SEG18
3	COM2	28	SEG19
4	COM3	29	SEG20
5	COM4	30	SEG21
6	COM5	31	SEG22
7	COM6	32	SEG23
8	COM7	33	SEG24
9	SEG0	34	SEG25
10	SEG1	35	SEG26
11	SEG2	36	SEG27
12	SEG3	37	SEG28
13	SEG4	38	SEG29
14	SEG5	39	SEG30
15	SEG6	40	SEG31
16	SEG7	41	SEG32
17	SEG8	42	SEG33
18	SEG9	43	SEG34
19	SEG10	44	SEG35
20	SEG11	45	SEG36
21	SEG12	46	SEG37
22	SEG13	47	SEG38
23	SEG14	48	SEG39
24	SEG15	49	SEG40
25	SEG16	50	SEG41

表B.2.4 S5U1C6F016P2 CN1コネクタのピン配列表

No.	端子名称
1	V _{DD} (= 3.3V)
2	V _{DD} (= 3.3V)
3	P50
4	P51
5	P52
6	P53
7	接続不可
8	接続不可
9	V _{ss}
10	V _{ss}

注: • S1C63003のソフトウェア開発を行う場合、以下のコネクタピンはターゲットボードに接続しないでください。

40pin CN1-1: No.27～30ピン(P30～P33)、No.33～36ピン(P40～P43)

50pin CN2-1: No.15～20ピン(SEG10～SEG15)、No.23～30ピン(SEG16～SEG23)、No.33～40ピン(SEG24～SEG31)、No.43～46ピン(SEG32～SEG35)

50pin LC1-1: No.19～50ピン(SEG10～SEG41)

50pin LC1-2: No.1～2ピン(SEG42～SEG43)

• S1C63004のソフトウェア開発を行う場合、以下のコネクタピンはターゲットボードに接続しないでください。

40pin CN1-1: No.33～36ピン(P40～P43)

50pin CN2-1: No.27～30ピン(SEG20～SEG23)、No.33～40ピン(SEG24～SEG31)、No.43～46ピン(SEG32～SEG35)

50pin LC1-1: No.29～48ピン(SEG20～SEG39)

• S1C63008のソフトウェア開発を行う場合、以下のコネクタピンはターゲットボードに接続しないでください。

50pin CN2-1: No.39～40ピン(SEG30～SEG31)、No.43～46ピン(SEG32～SEG35)

50pin LC1-1: No.39～44ピン(SEG30～SEG35)

B.3 S5U1C63000P6へのダウンロード

注: S1C630 Series用回路データはS5U1C63000P6専用で、従来のS5U1C63000P1にはダウンロードできません。

回路データのダウンロード - 新ICE(S5U1C63000H2/S5U1C63000H6)使用時

S5U1C63000P6には、工場出荷時に出荷検査用回路が書き込まれていますので、S1C630 Seriesの回路データをダウンロードしてください。以下に回路データのダウンロード方法を説明します。

(1) ICE(S5U1C63000H2/S5U1C63000H6)上面のカバーを外し、S5U1C63000P6ボード上のDIPスイッチIOSEL2を"E"側にセットします。

(2) ICEをホストPCと接続し、ホストPCの起動とICEの電源投入を行います。

(3) アセンブリパッケージ(S5U1C63000H2の場合はVer. 5以上、S5U1C63000H6の場合はVer. 9以上)に含まれるデバッガを起動します。ICEとデバッガの操作方法については、ICEに添付のマニュアルと、アセンブリパッケージに付属のマニュアルを参照してください。

(4) 各回路データファイル(~.mot)を本ボードにダウンロードします。デバッガのコマンドウィンドウから以下のように入力してください。

>XFER (オールリイレーズ)

>XFWR <file name> (指定ファイルのダウンロード)*

>XFCP <file name> (指定ファイルとダウンロードデータの比較)

* ダウンロードはS5U1C63000H2の場合は15分程度、S5U1C63000H6の場合は3分程度かかります。

- (5) デバッガを終了させ、ICEの電源を一旦切ります。
- (6) S5U1C63000P6ボード上のDIPスイッチIOSEL2を"D"側にセットします。
- (7) ICEの電源を再投入し、デバッガを起動し直してご使用ください。

B.4 使用上の注意

Peripheral Circuit Boardを正しく使用していただくために、以下の事項に注意してください。

B.4.1 操作上の注意事項

- (1) ケーブルの接続と切り離しは、接続する機器すべての電源をOFFにした状態で行ってください。
- (2) 入出力兼用ポート(P00～P03)をすべてHIGHレベルにした状態で、電源投入およびマスクオプションデータのロードを行わないでください。キー同時押しリセット機能が働く可能性があります。
- (3) デバッグを行う場合は、その前に必ずマスクオプションデータをロードしてください。

B.4.2 実ICとの相違点

(1) I/Oについての相違

〈インターフェース電源〉

本ツールとターゲットシステムのインターフェース電圧は+3.3Vに固定されています。このため、実際のICと同一のインターフェース電圧が必要な場合は、ターゲットシステム側においてレベルシフト回路などを附加して対応してください。

〈各出力ポートの駆動能力〉

本ツールにおける各出力ポートの駆動能力は、実際のICに比べて高くなっていますので、"電気的特性"を参照し、各出力端子の駆動能力を確認した上で、システムおよびソフトウェアの設計を行ってください。

〈各ポートの保護ダイオード〉

すべてのI/Oポートには保護用ダイオードがVDDとVssに対して入っており、ターゲットシステムとのインターフェース信号は+3.3Vに固定されます。このため、出力ポートをオープンドレインに設定し、VDDを超える電圧レベルとのインターフェースをとることはできません。

〈プルダウン抵抗値〉

本ツールのプルダウン抵抗値は220kΩに固定されていますが、実際のICと抵抗値が異なります。実際のICにおける抵抗値は、"電気的特性"を参照して確認してください。

なお、プルダウン抵抗を使用して入力端子をLOWレベルに引き下げる場合などにおいて、LOWレベル確定までの時間に相違が生じます。たとえば、出力ポートと入力ポートを組み合わせてキーマトリクス回路を構成した場合は、入力ポートの立ち下がりディレイに相違が発生しますので充分な注意が必要です。

〈ショミット入力〉

実際のICのP00～P03とP10～P13ポートはショミット入力に設定可能、P20～P23、P30～P33、P40～P43、P50～P53はショミット入力固定ですが、本ツールは対応していません。ポート入力はすべてCMOSレベルになります。

注: S1C63004にP40～P43ポートはありません。S1C63003にP30～P33、P40～P43ポートはありません。

(2) 消費電流についての相違

本ツールの消費電流は実際のICと大きく異なります。S5U1C63000P6上のLEDを確認することで、およその消費電流を把握することができます。なお、消費電流に大きく影響を及ぼすものとして以下のようなものがあげられます。

〈LED、モニタピンなどで確認が可能なもの〉

- (a) RunとHaltの実行比率(ICEのモニタピン、LEDによる)
- (b) OSC3発振ON/OFF(OSCC)
- (c) CPUクロック切り換え(CLKCHG)
- (d) SVD回路ON/OFF回路(SVDON)

〈システム、ソフトウェア上注意するしかないもの〉

- (e) 内蔵プルダウン抵抗により消費される電流
- (f) 入力ポートがフローティング状態

(3) 機能上の相違

〈LCD ドライバ〉

LCDの駆動にはICE(S5U1C63000H2/S5U1C63000H6)のLC1コネクタ(最大56SEG × 8COM)を使用します。以下の端子には何も接続しないでください。

- 実際のICに存在しないSEG端子、または使用しないSEG端子
- マスクオプションでDC出力に設定したSEG端子(S5U1C63000P6のCN2コネクタを使用)
- マスクオプションによって入出力兼用ポートまたはR/Fコンバータ端子に設定した端子(SEG36～SEG55)

その他のLCD駆動出力に関する注意事項については、ICEのマニュアルを参照してください。

〈SVD回路〉

- ・本ツールのSVD機能は、SVDS[3:0]レジスタの設定値をS5U1C6F016P2上のSW1、SW2の設定を比較して検出結果を変化させています。実際に電源電圧を変化させるものではありません。
- ・SVD回路の電源をONしてから実際に電圧を検出するまでに実際のICではディレイ時間が発生しますが、本ツールにはディレイ時間がありません。SVD結果を読み出す際には、"電気的特性"を参照して、適切なウェイト時間を設定してください。

注: S1C63003はSVD回路を搭載していません。

〈発振回路〉

- ・OSC3発振制御回路(OSCC)をONにしてから発振が安定するまでにウェイト時間が必要になりますが、本ツールではウェイトなしにOSC3の発振切り換え(CLKCHG)しても動作してしまいます。このため、実際のICにおいては、"電気的特性"を参照の上適切な時間を設定してください。
- ・OSC3からOSC1へのクロック切り換えと、OSC3回路の発振停止は別の命令で行ってください。ひとつつの命令で同時に行った場合は、本ツールで動作しても実際のICで動作しない場合があります。
- ・発振回路のロジックレベルが高いため、発振開始時間のタイミングが異なります。
- ・本ツールにはOSC1とOSC3用の発振回路が内蔵されています。このため、OSC3の発振子を接続しない場合でも、OSC3回路による動作が可能になりますので、注意してください。
- ・本ツールの発振周波数は以下のとおりです。
 - OSC1発振回路(水晶発振): 32.768kHz固定
 - OSC3発振回路(CR発振): 約100kHz～8MHz(OSC3周波数は調整可能ですので、実製品で使用する周波数に設定してください。)

〈未定義アドレス空間のアクセス〉

実ICに内蔵のROM/RAM、I/Oの未定義空間に対して読み出し/書き込みを行った場合、その値は不定となります。また、本ツールと実際のICでは不定となる状態が異なりますので、充分注意してください。なお、ICEは、未定義アドレス空間に対してアクセスがあった場合、プログラムブレークが発生する機能を内蔵しています。

注: S1C63003では、未定義アドレス空間である0080H～00FFHにアクセスしてもプログラムブレークが発生しません。そのため、プログラム作成時はこの領域にデータブレークを設定するなどの対応をしてください。

〈リセット回路〉

本ツールに電源を投入してから、プログラムが動作するまでのシーケンスは、実際のICに電源を投入してからプログラムが動作するまでのシーケンスと異なりますので、注意してください。本ツールでは、ユーザプログラムのロード、オプションデータのロードを行ってからデバッグシステムとしての動作が可能になります。

なお、ICEをフリーランモード*に設定して動作させる場合は、必ずシステムリセットをかけてください。システムリセットは、S5U1C63000P6上のリセットスイッチ、リセット端子入力、入力ポートの同時HIGHレベル保持のいずれかになります。（*フリーランモード：S5U1C63000H1/2の場合のみ使用可能）

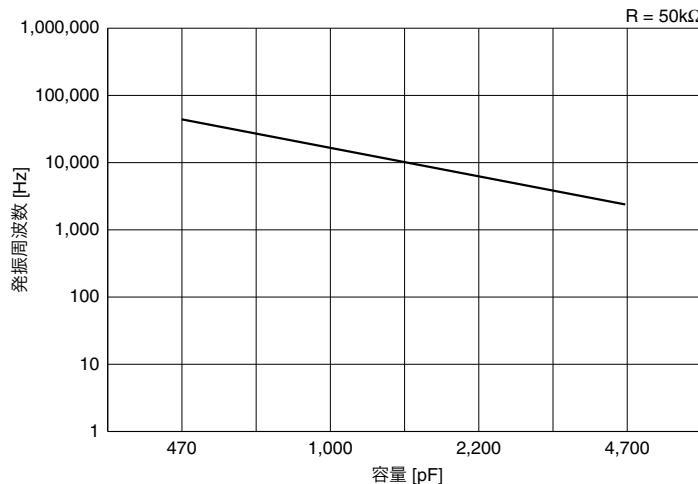
〈入出力兼用ポート〉

P0xポートのキー同時押しリセットオプションを有効にした端子は出力モードに設定しないでください。本ツールではリセットが発生することがあります。

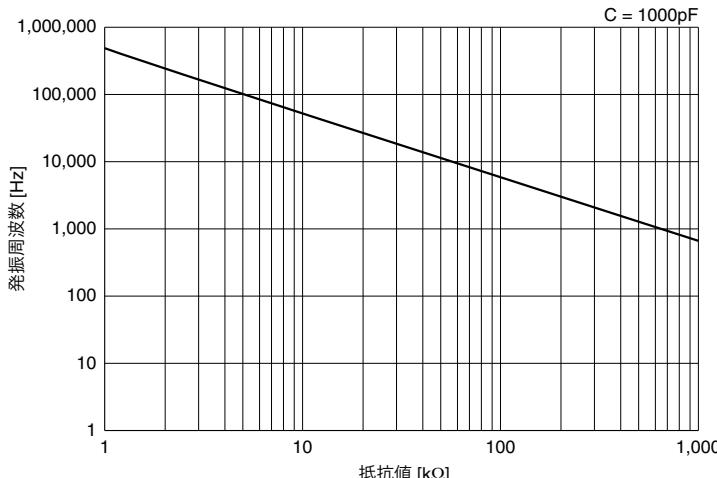
〈R/Fコンバータ〉

- R/Fコンバータ機能は、S5U1C6F016P2ボード上に実装されたS1C6F016チップにより提供されます。
- R/Fコンバータが発振のカウント中に、デバッガによってターゲットプログラムがブレークしても、計測カウンタのカウントは停止しません。この状態からプログラムの実行を再開しても、正しい変換結果は得られません。
- S5U1C6F016P2上のR/Fコンバータの発振特性グラフ(参考値)を以下に示します。

R/Fコンバータ発振周波数-容量特性(参考値)



R/Fコンバータ発振周波数-抵抗特性(参考値)



B.5 製品の仕様

B.5.1 S5U1C63000P6の仕様

■ S5U1C63000P6

寸法:	254mm(横) × 144.8mm(奥行き) × 16mm(高さ) (ネジ含む)
重量:	約250g
電源:	DC5V±5%、1A以下(ICE本体より供給)

■ I/Oケーブル(80pin)

本機側コネクタ:	KEL8830E-080-170L-F
ケーブル側コネクタ(80pin):	KEL8822E-080-171-F
ケーブル側コネクタ(40pin):	3M7940-6500SC(2個/1組)
ケーブル:	40芯フラットケーブル(2本/1組)
インターフェース:	CMOSインターフェース(3.3V)
長さ:	約40cm

■ I/Oケーブル(100pin)

本機側コネクタ:	KEL8830E-100-170L-F
ケーブル側コネクタ(100pin):	KEL8822E-100-171-F
ケーブル側コネクタ(50pin):	3M7950-6500SC(2個/1組)
ケーブル:	50芯フラットケーブル(2本/1組)
インターフェース:	CMOSインターフェース(3.3V)
長さ:	約40cm

■ 付属品

ターゲットシステム接続コネクタ(40pin):	3M3432-6002LCPL × 2
ターゲットシステム接続コネクタ(50pin):	3M3433-6002LCPL × 2

B.5.2 S5U1C6F016P2の仕様

■ S5U1C6F016P2

寸法:	254mm(横) × 144.8mm(奥行き) × 13mm(高さ) (ネジ含む)
重量:	約170g
電源:	DC5V±5%、50mA以下 (ICE本体より供給、本ボード上レギュレータにて3.3Vに変換)

■ I/Oケーブル(10pin)

本機側コネクタ:	3M3654-5002-PL
ケーブル側コネクタ(10pin):	3M7910-6500SC
ケーブル:	10芯フラットケーブル
インターフェース:	CMOSインターフェース(3.3V)
長さ:	約40cm

■ 付属品

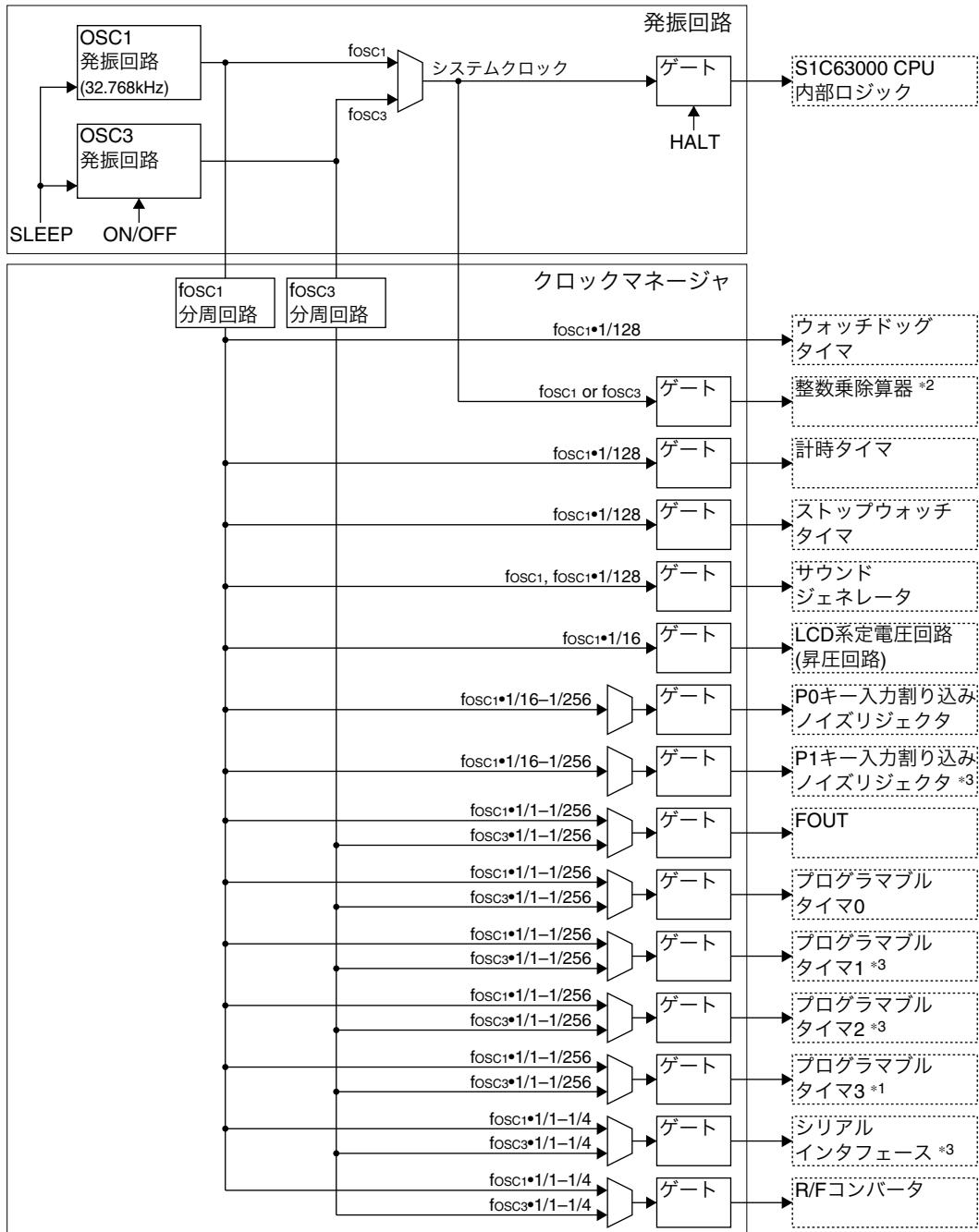
ターゲットシステム接続コネクタ(10pin):	3M3662-6002LCPL × 1
R/Fコンバータ外付け抵抗、コンデンサ用プラットフォーム:	DIS12-016-403(KEL製) × 2

Appendix C パワーセーブ

消費電流はCPUの動作モード、動作クロック周波数、動作させる周辺回路により大きく変わります。以下に、省電力化のための制御方法をまとめます。

C.1 クロック制御によるパワーセーブ

図C.1.1にS1C63003/004/008/016のクロックシステムを示します。



*1 S1C63016のみ *2 S1C63008/016のみ *3 S1C63004/008/016のみ

図C.1.1 クロックシステム

ソフトウェアによって制御可能なクロック系とパワーセーブのための制御内容を以下に示します。制御レジスタや制御方法の詳細については、それぞれの周辺回路の章を参照してください。

システムのスリープ(全クロックの停止)

- SLP命令の実行(CPU)

システム全体を停止可能な場合は、SLP命令を実行します。CPUはSLEEPモードとなり、OSC1およびOSC3発振回路が停止します。これにより、クロックを使用する周辺回路はすべて停止します。このため、SLEEPモードからのCPUの起動方法はポートによる起動(後述)に限られます。

システムクロック

- クロックソースの選択(発振回路)

システムクロックソースをOSC3とするかOSC1とするか選択できます。低速動作で処理可能な際にはOSC1クロックを選択することで消費電流を低減できます。

使用レジスタ: CLKCHG

デフォルト設定: CLKCHG = "0"(OSC1クロックで動作)

- OSC3発振回路の停止(発振回路)

システムクロックソースとしている発振回路を動作させ、可能であればもう一方を停止します。OSC1をシステムクロックとし、OSC3発振回路を停止することで、消費電流をより低減できます。

使用レジスタ: OSCC

デフォルト設定: OSCC = "0"(OSC3発振OFF)

CPUクロック

- HALT命令の実行(CPU)

LCD表示のみ必要な場合や割り込み待ちなど、CPUによるプログラムの実行が不要な場合は、HALT命令を実行します。CPUはHALTモードとなり動作を停止しますが、周辺回路はHALT命令実行時の状態を維持します。このため、LCDドライバや、割り込みに使用する周辺回路を動作させておくことができます。また、不要な発振回路と周辺回路を停止してからHALT命令を実行することで、パワーセーブの効果は高まります。HALTモードからは、ポートまたはHALTモード時に動作させている周辺回路からの割り込みによりCPUが起動します。

周辺回路クロック

- クロック供給の停止(クロックマネージャ)

S1C63003/004/008/016にはクロックマネージャが組み込まれており、周辺回路へのクロック供給を制御できます。使用しない周辺回路へのクロック供給を停止することで、消費電流を低減可能です。クロック供給を停止可能な周辺回路は以下のとおりです。

表C.1.1 クロックを制御可能な周辺回路

周辺回路/機能	停止制御	周波数選択	クロック制御レジスタ
FOUT出力	可能	可能	FOUT[3:0]
キー入力割り込みノイズリジェクタ(P00～P03)	可能	可能	NRSP0[1:0]
キー入力割り込みノイズリジェクタ(P10～P13) *3	可能	可能	NRSP1[1:0]
LCD系定電圧回路(昇圧クロック)	可能	—	VCCKS[1:0]
シリアルインタフェース *3	可能	可能	SIFCKS[2:0]
R/Fコンバータ	可能	可能	RFCKS[2:0]
プログラマブルタイマ0	可能	可能	PTPS0[3:0]
プログラマブルタイマ1 *3	可能	可能	PTPS1[3:0]
プログラマブルタイマ2 *3	可能	可能	PTPS2[3:0]
プログラマブルタイマ3 *1	可能	可能	PTPS3[3:0]
計時タイマ	可能	—	RTCKE
ストップウォッチャタイマ	可能	—	SWCKE
サウンドジェネレータ	可能	—	SGCKE
整数乗除算器 *2	可能	—	MDCKE

*1 S1C63016のみ *2 S1C63008/016のみ *3 S1C63004/008/016のみ

- 低速クロックの使用(クロックマネージャ)

周辺回路用クロックの周波数を選択できるものについては、できるだけ低速なクロックを使用することで、消費電流を低減可能です。

クロック制御とCPUの起動/停止方法の一覧を表C.1.2に示します。

表C.1.2 クロック制御一覧

消費電流	OSC1	OSC3	CPUクロック	周辺(OSC3)	周辺(OSC1)	CPU停止方法	CPU起動方法
↑ 低	停止	停止	停止	停止	停止	SLP命令実行	1
	発振 (システムCLK)	停止	停止	停止	動作	HALT命令実行	1, 2
	発振 (システムCLK)	停止	停止	動作	動作	HALT命令実行	1, 2, 3
	発振 (システムCLK)	停止	動作	動作	動作		
	発振	発振 (システムCLK)	停止	動作	動作	HALT命令実行	1, 2, 3
	発振	発振 (システムCLK)	動作	動作	動作		
高 ↓							

HALT, SLEEPモードの解除方法(CPU起動方法)

- ポートによる起動
キー入力割り込みにより起動します。
- OSC1クロックで動作中の周辺回路による起動
計時タイマ、ストップウォッチタイマ、ウォッチドッグタイマ、その他OSC1分周クロックで動作している周辺回路の割り込みにより起動します。
- 周辺回路による起動
周辺回路の割り込みにより起動します。

C.2 電源制御によるパワーセーブ

パワーセーブに有効な電源の制御を以下に示します。

内部定電圧回路

- 内部定電圧回路の重負荷保護をONすると消費電流が増加します。
通常動作時は重負荷保護をOFFにします。動作が安定しない場合のみONにしてください。

LCD系定電圧回路

- LCD系定電圧回路の重負荷保護をONすると消費電流が増加します。
通常動作時は重負荷保護をOFFにします。表示が安定しない場合のみONにしてください。
- LCDの表示を行わないときはLCD系定電圧回路をOFFにしてください。

電源電圧検出(SVD)回路 [S1C63004/008/016]

- SVD回路を動作させると消費電流が増加します。
電源電圧の検出が不要な場合はOFFにしてください。

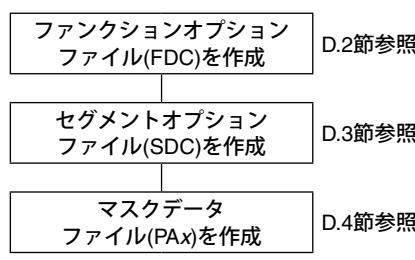
Appendix D マスクデータ作成手順

弊社提出用、S1C630 Series(S1C63003/004/008/016)のマスクデータファイル(PAx)を作成する手順を以下に示します。使用する機種に合った機種別情報ファイルを使用してください。

注: 作成にあたり、弊社WEBサイトより以下に示す最新の機種別情報ファイルパッケージを入手してください。※1

- S1C63003 機種別情報ファイル version 5.0以降
- S1C63004 機種別情報ファイル version 6.0以降
- S1C63008 機種別情報ファイル version 4.0以降
- S1C63016 機種別情報ファイル version 1.0以降

D.1 マスクデータ作成フロー



D.2 ファンクションオプションファイルの作成方法

ファンクションオプションファイルの作成手順を以下に示します。

1. ファンクションオプションジェネレータ(winfog.exe)を起動
2. 機種別情報ファイル(INI)を読み込み
"Tool (T)"メニューの"DeviceINI select"を選択、または"DeviceINI select"ボタンをクリックします。
表示されるダイアログボックスで、対象機種のフォルダとファイル(INI)を選択してください。
 - ・フォルダ: 630xx ※2
 - ・ファイル: 630xx.INI ※2
3. 出力フォルダ/ファイル名などの情報を設定
"Tool (T)"メニューの"Setup (S)"を選択、または"Setup"ボタンをクリックします。
表示されるダイアログボックスに、必要な情報を入力してください。
4. 使用するオプションを選択
5. ファンクションオプションファイル(FDC、FSA)を生成
"Tool (T)"メニューの"Generate (G)"を選択、または"Generate"ボタンをクリックします。
ファンクションオプションファイルが生成されます。

D.3 セグメントオプションファイルの作成方法

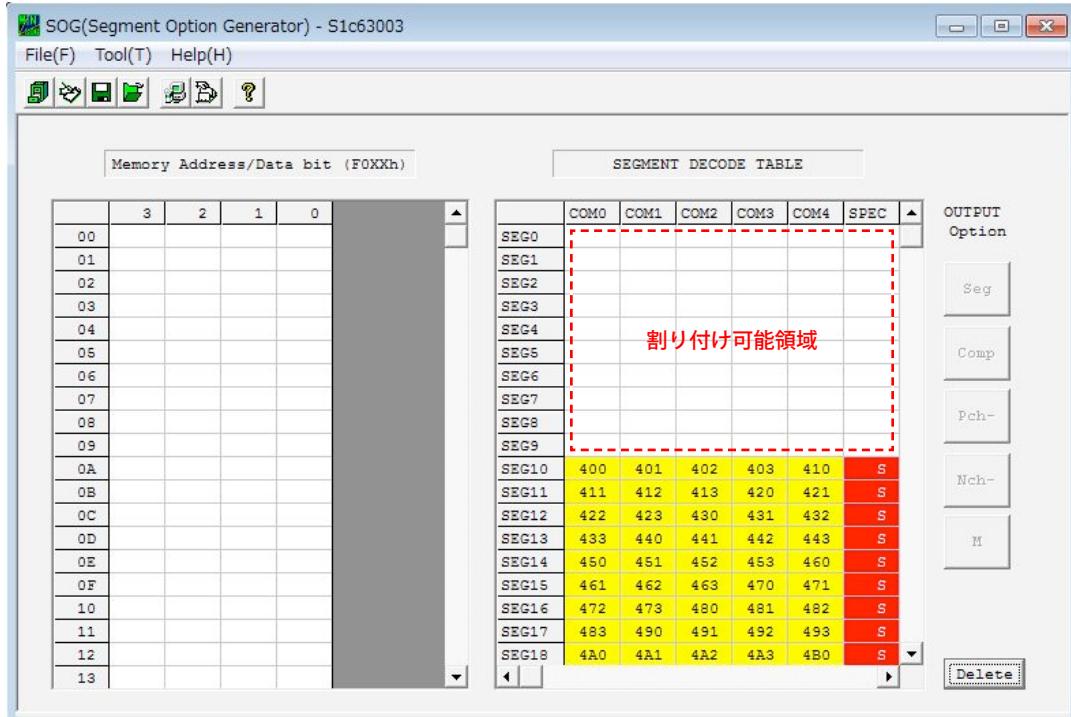
セグメントオプションファイルの作成手順を以下に示します。

1. セグメントオプションジェネレータ(winsog.exe)を起動
2. 機種別情報ファイル(INI)を読み込み
"Tool (T)"メニューの"DeviceINI select"を選択、または"DeviceINI select"ボタンをクリックします。
表示されるダイアログボックスで、対象機種のフォルダとファイル(INI)を選択してください。
 - ・フォルダ: 630xx ※2
 - ・ファイル: 630xx.INI ※2

3. 出力フォルダ/ファイル名などの情報を設定
"Tool (T)"メニューの"Setup (S)"を選択、または"Setup"ボタンをクリックします。
表示されるダイアログボックスに、必要な情報を入力してください。
4. セグメント割り付けデータファイル(SAD)を読み込み
"File (F)"メニューの"Record (R) → Load (L)"を選択、または"Load"ボタンをクリックします。
表示されるダイアログボックスで、対象機種のフォルダとファイル(SAD)を選択してください。
 - ・フォルダ: 630xx ※2
 - ・ファイル: 630xx.SAD ※2

注: 割り付け/出力仕様の変更が可能な領域は、図D.3.1のように制限されます。割り付け可能領域内にのみ割り付けを行ってください。

 割り付け不可領域(存在しないSEG端子)
 固定出力仕様



図D.3.1 割り付け領域例

5. セグメント割り付け
割り付け可能領域に、任意のアドレス/データビットを割り付けてください。
6. セグメントオプションファイル(SDC、SSA)を生成
"Tool (T)"メニューの"Generate (G)"を選択、または"Generate"ボタンをクリックします。
セグメントオプションファイルが生成されます。

D.4 マスクデータファイルの作成方法

マスクデータファイルの作成手順を以下に示します。

1. マスクデータチェック(winmdc.exe)を起動
2. 機種別情報ファイル(INI)を読み込み
"Tool (T)"メニューの"DeviceINI select"を選択、または"DeviceINI select"ボタンをクリックします。
表示されるダイアログボックスで、対象機種のフォルダとファイルを選択してください。
 - ・フォルダ: 630xx ※2
 - ・ファイル: 630xx.INI ※2

3. ROMデータファイルとオプションドキュメントファイルの選択

"Tool (T)"メニューの"Pack (P)"を選択、またはツールバーの"Pack"ボタンをクリックします。

表示されるダイアログボックスで、マスクデータファイルの生成に必要なファイルを選択してください。

- フォルダ: 630xx ^{※2}

もしくは、任意のフォルダ

- ファイル: 任意のzzzzzzzz.HSA

任意のzzzzzzzz.LSA

任意のzzzzzzzz.CSA

任意のzzzzzzzz.FDC

任意のzzzzzzzz.SDC

4. マスクデータファイル(PAx)の生成

3. のダイアログボックス上の"Pack"ボタンをクリックします。

マスクデータファイルが生成されます。

ファンクションオプションジェネレータ、セグメントオプションジェネレータ、マスクデータチェックの詳細については、"S5U1C63000A Manual"を参照してください。

※1 既に、既存の機種別情報ファイルでマスクデータを作成している場合

本マニュアルに記載の各機種のセグメントオプションを参照し、セグメントオプションファイル内に下記のような割り当てが行われていないことを確認してください。

- 存在しないSEG端子に使用領域を割り当てる
- 使用するSEG端子に未使用領域を割り当てる

このような割り当てが行われている場合は、最新の機種別情報ファイルと正しい割り当てにより、セグメントオプションファイルとマスクデータを作成し直してください。

※2 入手した機種別情報ファイルパッケージに格納されています。

Appendix E 注意事項のまとめ

E.1 個別機能についての注意事項のまとめ

以下に各機能の注意事項を個別にまとめます。内容に十分留意した上でプログラミングを行ってください。

メモリ、スタック

- メモリマップの未使用領域にはメモリが実装されていません。また、周辺I/O領域にも非実装領域、未使用(アクセス禁止)領域が存在します。これらの領域をアクセスするようなプログラムを作成した場合は、正常な動作を保証することはできません。
- データメモリの一部をサブルーチンコールやレジスタ退避時のスタック領域としても使用しますので、データ領域とスタック領域が重ならないように注意してください。
- S1C63000コアCPUは、4ビットデータ用スタックポインタ(SP2)および16ビットデータ用スタックポインタ(SP1)によりスタック処理を行います。SP1によるスタック処理では16ビットデータアクセスが行われますので、このスタック領域の設定は4ビット/16ビットアクセスが可能な領域内(0100H～01FFH、S1C63003は0100H～017FH)で行ってください。SP1によるスタック操作以外のメモリアクセスは4ビットデータアクセスとなります。

スタックポインタは実装されているRAMのアドレス範囲外にも設定される可能性がありますので、スタックのアドレス管理には注意が必要です。

また、イニシャルリセット時は、スタックポインタSP1、SP2の両方がソフトウェアで設定されるまでNMIを含むすべての割り込みがマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまでNMIを含む割り込みは再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

電源制御

- 1.5V低電圧タイプで外部より3.0VのLCD駆動電圧をVc3またはVc2端子に供給する場合、V_{DD}とV_{C3}/V_{C2}は別電源とし、V_{DD}には1.1V～1.7Vの電圧を供給してください。
- V_{D1}、V_{osc}、V_{C1}～V_{C3}端子の出力を外部回路の駆動には絶対に使用しないでください。
- LPWRに"1"を書き込んだ後、LCD系電圧回路が動作しLCD駆動電圧出力が安定するまで約100msecかかります。
- S1C63003の1.5V低電圧タイプでは、基準電圧Vc2の選択を禁止します。
- 重負荷保護モードでは、通常動作時より消費電流が多くなります。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないでください。

割り込み

- 各割り込み要因フラグは、各割り込みマスクレジスタを"0"に設定していても、割り込み条件成立によりセットされます。
- 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- イニシャルリセット時、NMIを含むすべての割り込みはスタックポインタSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み(NMIを含む)は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。
- 割り込み処理ルーチンは、割り込みベクタアドレス(100H～10FH)より-7FH～+80Hの範囲内に配置してください。これが困難な場合は、上記の範囲内に中継ポイント(ベクタによる分岐先)を設け、そこから割り込みルーチンの本体に分岐させてください。

- SLEEP時はOSC1とOSC3発振回路が共に停止します。SLEEPモードから起床した時点でCPUが誤動作しないようにするため、SLEEPモードへはCPUがOSC1クロックで動作している状態で移行してください。

発振回路

- CPUの高速動作を必要としない場合は低消費電力化のため、以下に示す設定内容にしたがって周辺回路を動作させてください。

- CPU動作クロック	OSC1
- OSC3発振回路	OFF(周辺回路にOSC3クロックが必要ない場合)
- クロックマネージャ	不要な周辺回路へのクロック供給を停止
- OSC3発振回路をONにしてから発振が安定するまでに、数10μsec～数10msecの時間を必要とします。したがって、CPUの動作クロック切り換え(OSC1→OSC3)はOSC3発振ONの後、充分な待ち時間をおいてから行ってください。発振開始時間は発振子、外付け部品によって変動します。“電気的特性”に発振開始時間の一例を示しますので参照してください。
- OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々の命令で行ってください。1命令で同時に処理すると、CPUの誤動作につながります。
- SLEEP時はOSC1とOSC3発振回路が共に停止します。SLEEPモードから起床した時点でCPUが誤動作しないようにするため、SLEEPモードへはCPUがOSC1クロックで動作している状態で移行してください。

ウォッチドッグタイマ

- ウォッチドッグタイマを使用する場合、3秒周期以内にソフトウェアでウォッチドッグタイマをリセットする必要があります。
- イニシャルリセットにより、ウォッチドッグタイマは動作状態に設定されますので、使用しない場合は割り込み(NMI)発生前にウォッチドッグタイマをディセーブル(使用しない)に設定してください。

計時タイマ

- データの読み出しは必ず下位データTM[3:0](FF41H)から先に行ってください。
- 計時タイマのカウントクロックとCPUのクロックは非同期に動作しているため、カウントデータの読み出しとカウントアップ動作のタイミングによっては、正しい値が得られない可能性があります。これを防ぐには、以下に示すいずれかの方法で計時タイマのカウントデータを読み出してください。
 - カウントデータを2度続けて読み出して、データが正しいことを(2つが大きくずれていないことを)確認してください。
 - 正確なカウントデータが必要な場合には、計時タイマを一旦停止させてから読み出してください。
- 計時タイマをリセット(TMRST = "1")する際は、計時タイマを同時にRUN状態(TMRUN = "1")に設定しないでください。同時に設定するとリセットできない場合があります。

ストップウォッチタイマ

- ストップウォッチタイマのリセット後、割り込み要因フラグをリセットしてください。
- データの読み出しは必ずSWD[3:0] → SWD[7:4] → SWD[11:8]の順に行ってください。
- LAP入力によってホールドされたデータを読み出した場合は、SWD[11:8]の読み出しの後にキャプチャ更新フラグCRNWFの読み出しを行ってデータが更新されていないか確認してください。(S1C63004/008/016)
- 1Hzの割り込み処理よりもLAP入力などの処理を優先する場合には、処理前にラップデータ桁上げ要求フラグLCURFの読み出しを行って桁上げが必要か確認してください。(S1C63004/008/016)

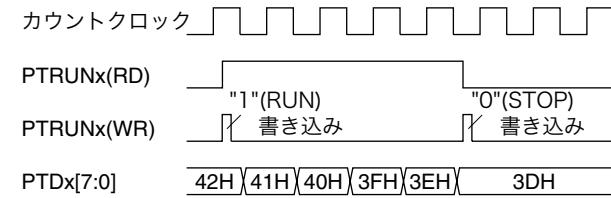
プログラマブルタイマ

- カウントデータの読み出しは必ず下位4ビット(PTDx[3:0])から先に行ってください。下位4ビットの読み出し時に上位4ビット(PTDx[7:4])がラッチされ、次に下位4ビットを読み出すまでホールドされます。16ビットタイマモード時も同様に、下位4ビットの読み出しにより上位12ビットがホールドされますので、下位4ビットから先に読み出してください。なお、CPU(システムクロック)をOSC1クロック、各タイマのカウントクロックをOSC3クロックで動作させている場合により正確なカウント値を読み出すためには、タイマを一時停止させてからカウンタデータを読み出すことを推奨します。
- タイマモードではPTRUNxへの書き込み後、入力クロックの立ち下がりエッジに同期して実際にRUN/STOP状態となります。したがって、PTRUNxに"0"を書き込んだ場合は、"-1"余分にカウントしたところでタイマが停止状態となります。また、このときPTRUNxは実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。



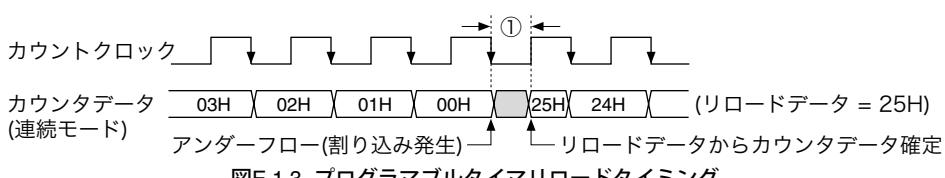
図E.1.1 RUN/STOP制御のタイミングチャート(タイマモード時)

イベントカウントモード時は、最初のイベントクロックからタイマはカウントダウンします。



図E.1.2 RUN/STOP制御のタイミングチャート(イベントカウンタモード時)

- TOUT_A/TOUT_B信号は出力制御レジスタPTOUT_A/PTOUT_Bとは非同期に発生していますので、PTOUT_A/PTOUT_Bの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- OSC3発振回路を源振とする場合は、プログラマブルタイマを使用する以前にOSC3発振回路をONさせる必要があります。ただし、OSC3発振回路をONにしてから発振が安定するまでに、数10μsec～数10msecの時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ON後、充分な待ち時間をおいてから行ってください。OSC3の制御方法と注意事項については"発振回路"を参照してください。イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。
- プログラマブルタイマ動作中にプログラマブルタイマ割り込み発生間隔を変更する場合、以下の理由によりリロードデータを書き込むタイミングに注意が必要です。
プログラマブルタイマは入力クロックの立ち下がりエッジでダウンカウントを行い、そこでアンダーフローが発生した場合は同時に割り込みを発生します。その後、リロードデータをカウンタにセットする動作を開始し、入力クロックの次の立ち上がりエッジでカウンタデータが確定します(①の区間)。



図E.1.3 プログラマブルタイマリロードタイミング

リロードデータを正しくカウンタにセットするために、割り込み発生後は①の区間を含め、カウンタデータが確定するまではリロードデータの書き換えを行わないでください。入力クロックの源振にOSC1(低速クロック)を使用し、CPUがOSC3(高速クロック)で動作している場合は、特に注意が必要です。

Appendix E 注意事項のまとめ

- プログラマブルタイマのカウントクロックとCPUのクロックは非同期に動作しているため、カウントデータの読み出しとカウントアップ動作のタイミングによっては、正しい値が得られない可能性があります。これを防ぐには、以下に示すいずれかの方法でプログラマブルタイマのカウントデータを読み出してください。

- カウントデータを2度続けて読み出して、データが正しいことを(2つが大きくずれていないことを)確認してください。
- 正確なカウントデータが必要な場合には、プログラマブルタイマを一旦停止させてから読み出してください。

入出力兼用ポート

- 入力モード時にポートの入力をHIGHレベルからプルダウン抵抗でLOWレベルに変化させる場合、プルダウン抵抗と入力ゲート容量の時定数によって波形立ち下がりに遅延が生じます。このため、入力データの取り込みを行な際は、適切な待ち時間を設定してください。特に、キーマトリクス構成時のキースキャン等に注意が必要です。この待ち時間は次の式で算出される時間以上としてください。

$$10 \times C(\text{端子容量}15\text{pF} + \text{寄生容量?pF}) \times R(\text{プルダウン抵抗}500\text{k}\Omega \text{ Max.})$$

- SLP命令を実行する前には、必ずノイズリジェクタをOFFに設定してください。
- SLEEPモードからはキー入力割り込み要因の発生によってのみ起床可能です。したがって、SLP命令を実行する前に、SLEEP解除に使用するポートの割り込み選択レジスタをセット(SIP_{xx} = "1")しておく必要があります。また、SLEEP解除後にキー入力割り込み処理を実行するためには、SLP命令を実行する前に、該当ポートの割り込みマスクレジスタもイネーブル状態にセット(EIK_{xx} = "1")しておく必要があります。
- ポートの機能設定は、ポートを使用する回路(入力割り込み、キー同時押しリセット、シリアルインターフェース、R/Fコンバータ、イベントカウンタ入力、ストップウォッチダイレクトRUN/LAP入力)がディセーブルの状態で行ってください。

シリアルインタフェース(S1C63004/008/016)

- データレジスタSD[7:0]への書き込み、または読み出しはシリアルインタフェースが停止中(同期クロックが入力/出力されていない状態)のときのみ行ってください。
- シリアルインタフェースの起動はトリガ条件として、SCTRGに"1"を書き込む以前に、データレジスタSD[7:0]の書き込み/読み出しが行われている必要があります。(データレジスタSD[7:0]への書き込み/読み出しにより、シリアルインタフェースの内部回路は初期化されます。)また、トリガをかける前に必ずESIFでシリアルインタフェースをイネーブルとしておいてください。
トリガはシリアルインタフェースをRUN状態にするごとに一度だけ与えてください。また、同期クロックSCLKが外部クロックの場合は、トリガ後に外部クロックの入力を開始してください。
- SDPによる入出力順列(MSB先頭/LSB先頭)の設定は、SD[7:0]にデータを設定する前に行ってください。
- プログラマブルタイマの出力クロックを同期クロックとして使用する場合、またはスレーブモードで使用する場合、同期クロックの周波数は最大1MHzに制限されますので注意してください。

LCD ドライバ

- フレーム周波数は、表示がOFF(LPWR = "0")の状態で設定してください。LCD表示がON(LPWR = "1")の状態でフレーム周波数を切り換えた場合、切り換え後の1フレームは適切なLCD表示ができない可能性があります。
- フレーム周波数の選択は表示品質に影響するため、実際のLCDパネルを使用した評価の後に決定されることを推奨します。
- イニシャルリセット時、表示メモリの内容は不定となり、LC[3:0](LCDコントラスト)も"0"となりますので、ソフトウェアにより初期化する必要があります。また、表示もOFFとなるようにLPWRレジスタが設定されますので注意してください。
- P_{xx}(P20～P53)、R/Fコンバータ端子をマスクオプションの選択によりセグメント端子として使用する場合、それらの端子に影響を与えるP_{xx}ポートおよびR/Fコンバータの制御レジスタは初期値のまま、変更しないでください。

サウンドジェネレータ

- ブザー信号はBZEレジスタとは非同期に発生していますので、BZEレジスタの設定による信号のON/OFF時にハザードを生じる場合があります。
- 1ショット出力は通常のブザー出力がOFF(BZE = "0")の状態でのみ有効で、ON(BZE = "1")状態でのトリガは無効となります。

R/Fコンバータ

- カウンタのオーバーフローによりエラー割り込みが発生した場合、オーバーフローフラグ(OVMC、OVTC)に"1"を書き込んで"0"にリセットしてください。これらのフラグがリセットされない場合、再度同じ割り込みが発生してしまいます。
- 計測カウンタおよびタイムベースカウンタにデータを書き込む場合は、必ず下位のアドレスから(FF62H→FF63H→FF64H→FF65H→FF66H、FF67H→FF68H→FF69H→FF6AH→FF6BH)、5ワードすべてを書き込んでください。また、カウンタへの書き込みにはLD命令を使用してください。リードモディファイライト命令(AND、OR、ADD、SUB等)は使用しないでください。下位4ビット以外を先に書き込むと、正しい値に設定されません。
- R/Fコンバータの基準発振/センサ発振周波数IC偏差は、抵抗、容量のばらつきや基板の影響などにより大きくなる可能性があります。特に1.5V低電圧タイプで顕著となりますので、R/Fコンバータは十分な評価を行った上で使用してください。電圧偏差については、"19 電気的特性"の"特性グラフ(RFC基準発振/センサ発振周波数抵抗特性)"を参照してください。

SVD回路(S1C63004/008/016)

- SVD回路はONさせてから安定した結果が得られるまでに500μsecの時間を必要とします。このため、SVDONに"1"を書き込み後、500μsec以上経過後にSVDONに"0"を書き込んでSVDDTを読み出してください。
- SVD検出動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD検出をOFFに設定してください。

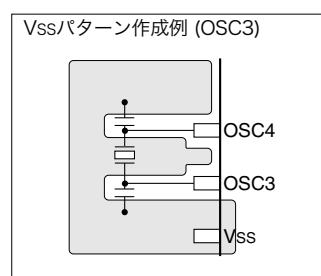
整数乗除算器(S1C63008/016)

演算モード選択レジスタCALMDへの書き込みから、演算結果がデスティネーションレジスタDRH/DRL、および演算フラグビットNF/VF/ZFに書き戻されるまで、10 CPUクロック(5バスサイクル)の時間が必要です。この時間経過以前のDRH/DRLへの読み書き、およびNF/VF/ZFの読み出しあは行われないでください。

E.2 実装上の注意事項

発振回路

- 発振特性は諸条件(使用部品、基板パターン等)により変化します。特にセラミック発振子または水晶振動子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。
- ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため次の点に配慮してください。
 - (1) OSC1、OSC3、OSC2、OSC4端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
 - (2) OSC1、OSC3、OSC2、OSC4端子およびこれらの端子に接続された部品の周辺部は右図のようにVssパターンをできるだけ広く作成してください。
また、このVssパターンは発振用途以外に使用しないでください。
- OSC1(OSC3)−VDD間のリーク電流による発振回路の不安定動作を防止するため、基板パターンにおいて、OSC1(OSC3)はVDD電源や信号線とは十分な距離を確保してください。



リセット回路

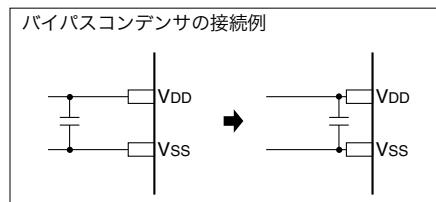
- パワーオン時、RESET端子に入力されるリセット信号は諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。また、RESET端子のプルダウン抵抗を使用する場合には、抵抗値のばらつきを十分考慮した定数設定が必要です。
- ノイズによる動作中のリセットを防ぐため、RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

電源回路

- ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

(1) 電源からVDD、Vss端子へはできるだけ短くかつ太いパターンで接続してください。

(2) VDD—Vssのバイパスコンデンサを接続する場合、VDD端子とVss端子をできるだけ最短で接続してください。

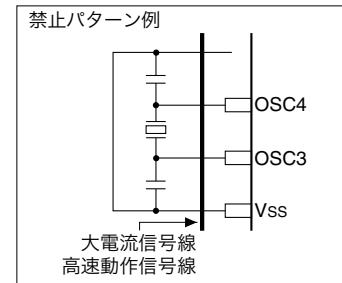


(3) VD1、Vosc、VC1、VC2、VC3端子に接続するコンデンサ、抵抗等の部品はできるだけ最短で接続してください。特にVC1、VC2、VC3の各電圧はLCD駆動として用いるため表示品質に影響を与えます。

- LCDドライバを使用しない場合は、VC1、VC2、VC3端子を開放してください。

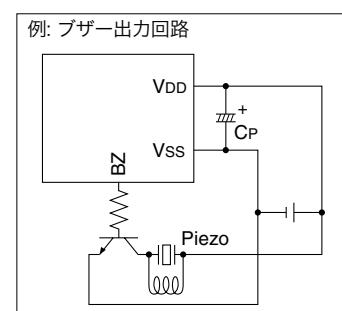
信号線の配置

- 相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部、アナログ入力部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。
- 高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。
特に、発振部、アナログ入力部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



出力端子

- 大電流を消費する外付け部品を駆動する際、外付け部品の動作がICの電源に影響をおよぼし、IC内蔵の電源回路の電圧が変化することがあります。特にBZ出力、タイマ出力等の周期的な信号でバイポーラトランジスタを駆動する場合、LCD系定電圧回路の電圧が変動し、液晶表示のコントラストが変わることがあります。これを防止するため、電源からICのVDD、Vss端子への配線パターンと大電流を消費する外付け部品への配線パターンを分離してください。また、使用する外付け部品はできるだけ消費電流の少ないものを選択してください。



光に対する取り扱い(ペアチップ実装の場合)

- 半導体素子は、光が照射されると特性が変化します。このため、ICに光が当たると誤動作を起こす可能性があります。光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。

- (1) 実使用時にICの遮光性が考慮された構造となるよう、設計および実装を行ってください。
- (2) 検査工程では、ICの遮光性が考慮された環境設計を行ってください。
- (3) ICの遮光は、ICチップの表面、裏面および側面について考慮してください。
- (4) ICチップ状態での保管は開封後1週間以内とし、この期限までに実装をお願いします。ICチップ状態での保管の必要がある場合は、必ず遮光の措置を講じてください。

改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
412158800	全ページ	新規制定
412158801	14-2	セグメント割り付け (旧)注: S1C63003の場合は、Appendixの"S1C63003マスクデータ作成"を参照してください。 (新)注: セグメント割り付けを含むマスクデータの作成と注意事項については、Appendix Dの"マスクデータ作成手順"を参照してください。
	AP-D-1~3	Appendix D マスクデータ作成手順 内容をすべて差し替え

**セイコーエプソン株式会社
マイクロデバイス事業部 IC営業部**

東京 〒191-8501 東京都日野市日野421-8

TEL (042) 587-5313(直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F
TEL (06) 6120-6000(代表) FAX (06) 6120-6100

ドキュメントコード: 412158801
2011年 7月 作成 ①
2013年 11月 改訂