

CMOS 16-BIT SINGLE CHIP MICROCONTROLLER

**S1C17003**

テクニカルマニュアル

本資料のご使用につきましては、次の点にご留意願います。

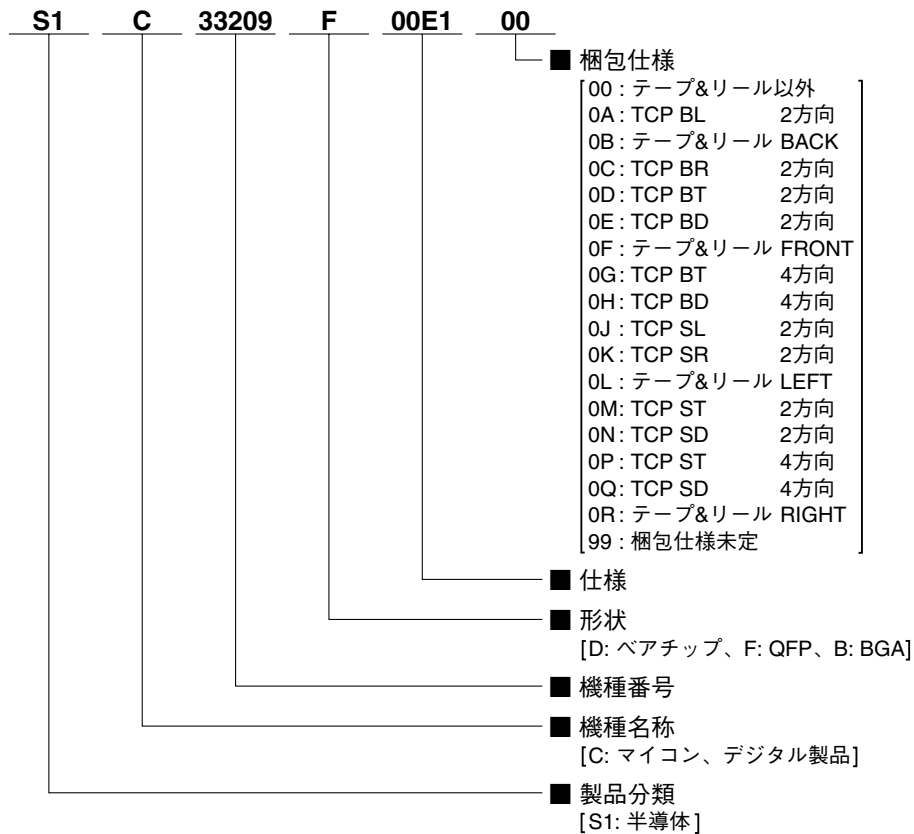
---

本資料の内容については、予告なく変更することがあります。

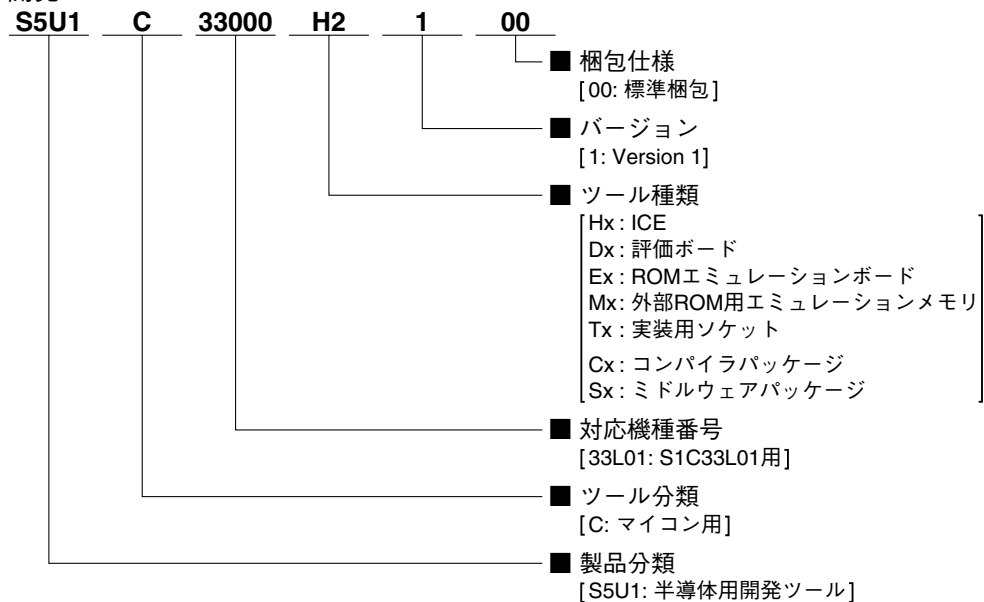
1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これら起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち、「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

## 製品型番体系

### ●デバイス



### ●開発ツール



## - 目 次 -

<b>1 概要</b>	<b>1-1</b>
1.1 特長	1-2
1.2 ブロック図	1-3
1.3 端子	1-4
1.3.1 端子配置	1-4
1.3.2 端子説明	1-8
<b>2 CPU</b>	<b>2-1</b>
2.1 S1C17コアの特長	2-1
2.2 CPUレジスタ	2-2
2.3 命令セット	2-3
2.4 ベクタテーブル	2-7
2.5 PSRの読み出し	2-8
2.6 プロセッサ情報	2-9
<b>3 メモリマップ、バス制御</b>	<b>3-1</b>
3.1 バスサイクル	3-2
3.1.1 アクセスサイズ制限	3-2
3.1.2 命令実行サイクルの制限	3-2
3.2 内蔵ROMエリア	3-3
3.2.1 内蔵ROM	3-3
3.2.2 ROMのリードアクセスサイクルの設定	3-3
0x5320: ROM Control Register (MISC_FL)	3-3
3.3 内蔵RAMエリア	3-4
3.3.1 内蔵RAM	3-4
0x5326: IRAM Size Select Register (MISC_IRAMSZ)	3-4
3.4 内蔵周辺回路エリア	3-5
3.4.1 内蔵周辺回路エリア1 (0x4000~)	3-5
3.4.2 内蔵周辺回路エリア2 (0x5000~)	3-5
3.5 コアI/O予約エリア	3-6
<b>4 電源</b>	<b>4-1</b>
4.1 電源端子	4-1
4.2 動作電圧 (LV <sub>DD</sub> , V <sub>SS</sub> )	4-2
4.3 I/Oインタフェース電源 (HV <sub>DD</sub> )	4-2
4.4 アナログ回路用電源 (AV <sub>DD</sub> )	4-2
4.5 電源に関する注意事項	4-3
<b>5 イニシャルリセット</b>	<b>5-1</b>
5.1 イニシャルリセット要因	5-1
5.1.1 #RESET端子	5-1
5.1.2 P0ポートキー入力リセット	5-2
5.1.3 ウォッチドッグタイマによるリセット	5-2
5.2 イニシャルリセットシーケンス	5-3
5.3 イニシャルリセット時の初期設定	5-4
<b>6 割り込みコントローラ (ITC)</b>	<b>6-1</b>
6.1 ITCの構成	6-1
6.2 ベクタテーブル	6-2
6.3 マスク可能割り込みの制御	6-3
6.3.1 周辺モジュールの割り込み制御ビット	6-3

6.3.2 ITCの割り込み要求処理.....	6-3
6.3.3 S1C17コアの割り込み処理.....	6-4
6.4 NMI.....	6-5
6.5 ソフトウェア割り込み.....	6-6
6.6 HALT, SLEEPモードの解除.....	6-7
6.7 制御レジスタ詳細.....	6-8
0x4306: Interrupt Level Setup Register 0 (ITC_LV0).....	6-9
0x4308: Interrupt Level Setup Register 1 (ITC_LV1).....	6-10
0x430a: Interrupt Level Setup Register 2 (ITC_LV2).....	6-11
0x430c: Interrupt Level Setup Register 3 (ITC_LV3).....	6-12
0x430e: Interrupt Level Setup Register 4 (ITC_LV4).....	6-13
0x4310: Interrupt Level Setup Register 5 (ITC_LV5).....	6-14
0x4312: Interrupt Level Setup Register 6 (ITC_LV6).....	6-15
0x4314: Interrupt Level Setup Register 7 (ITC_LV7).....	6-16
0x4316: Interrupt Level Setup Register 8 (ITC_LV8).....	6-17
0x4318: Interrupt Level Setup Register 9 (ITC_LV9).....	6-18
6.8 注意事項.....	6-19
<b>7 発振回路 (OSC) .....</b>	<b>7-1</b>
7.1 OSCモジュールの構成.....	7-1
7.2 OSC3発振回路.....	7-2
7.3 OSC1発振回路.....	7-3
7.4 クロックの切り換え.....	7-4
7.5 8ビットOSC1タイマクロックの制御.....	7-5
7.6 クロック外部出力 (FOUTH, FOUT1) .....	7-6
7.7 RESET, NMI入力ノイズフィルタ.....	7-8
7.8 制御レジスタ詳細.....	7-9
0x5060: Clock Source Select Register (OSC_SRC) .....	7-10
0x5061: Oscillation Control Register (OSC_CTL) .....	7-11
0x5062: Noise Filter Enable Register (OSC_NFEN) .....	7-12
0x5064: FOUT Control Register (OSC_FOUT) .....	7-13
0x5065: T8OSC1 Clock Control Register (OSC_T8OSC1).....	7-14
7.9 注意事項.....	7-15
<b>8 クロックジェネレータ (CLG) .....</b>	<b>8-1</b>
8.1 クロックジェネレータの構成.....	8-1
8.2 CPUコアクロック (CCLK) の制御.....	8-2
8.3 周辺モジュールクロック (PCLK) の制御.....	8-3
8.4 制御レジスタ詳細.....	8-4
0x5080: PCLK Control Register (CLG_PCLK) .....	8-5
0x5081: CCLK Control Register (CLG_CCLK).....	8-6
8.5 注意事項.....	8-7
<b>9 プリスケアラ (PSC) .....</b>	<b>9-1</b>
9.1 プリスケアラの構成.....	9-1
9.2 制御レジスタ詳細.....	9-2
0x4020: Prescaler Control Register (PSC_CTL).....	9-2
9.3 注意事項.....	9-3
<b>10 入出力ポート (P) .....</b>	<b>10-1</b>
10.1 入出力ポートの構成.....	10-1
10.2 入出力端子機能の選択 (ポートMUX) .....	10-2
10.3 データの入出力.....	10-3
10.4 プルアップ制御.....	10-5

10.5	P0/P1ポートのチャタリング除去機能 .....	10-6
10.6	ポート入力割り込み .....	10-7
10.7	制御レジスタ詳細 .....	10-9
	0x5200/0x5210/0x5220/0x5230/0x5240: P $\mathbf{x}$ Port Input Data Registers (P $\mathbf{x}$ _IN) .....	10-10
	0x5201/0x5211/0x5221/0x5231/0x5241: P $\mathbf{x}$ Port Output Data Registers (P $\mathbf{x}$ _OUT) .....	10-11
	0x5202/0x5212/0x5222/0x5232/0x5242: P $\mathbf{x}$ Port Output Enable Registers (P $\mathbf{x}$ _OEN) .....	10-12
	0x5203/0x5213/0x5223/0x5233/0x5243: P $\mathbf{x}$ Port Pull-up Control Registers (P $\mathbf{x}$ _PU) .....	10-13
	0x5205/0x5215: P $\mathbf{x}$ Port Interrupt Mask Registers (P $\mathbf{x}$ _IMSK) .....	10-14
	0x5206/0x5216: P $\mathbf{x}$ Port Interrupt Edge Select Registers (P $\mathbf{x}$ _EDGE) .....	10-15
	0x5207/0x5217: P $\mathbf{x}$ Port Interrupt Flag Registers (P $\mathbf{x}$ _IFLG) .....	10-16
	0x5208/0x5218: P0/P1 Port Chattering Filter Control Register (P $\mathbf{x}$ _CHAT) .....	10-17
	0x5209: P0 Port Key-Entry Reset Configuration Register (P0_KRST) .....	10-19
	0x520a/0x521a/0x522a/0x523a/0x524a: P $\mathbf{x}$ Port Input Enable Registers (P $\mathbf{x}$ _IEN) .....	10-20
	0x52a0: P0 Port Function Select Register (P0_PMUX) .....	10-21
	0x52a1: P0 Port Function Select Register (P0_PMUX) .....	10-22
	0x52a2: P1 Port Function Select Register (P1_PMUX) .....	10-23
	0x52a3: P1 Port Function Select Register (P1_PMUX) .....	10-24
	0x52a4: P2 Port Function Select Register (P2_PMUX) .....	10-25
	0x52a5: P2 Port Function Select Register (P2_PMUX) .....	10-26
	0x52a6: P3 Port Function Select Register (P3_PMUX) .....	10-27
	0x52a7: P3 Port Function Select Register (P3_PMUX) .....	10-28
	0x52a8: P4 Port Function Select Register (P4_PMUX) .....	10-29
10.8	注意事項 .....	10-30
<b>11</b>	<b>16ビットタイマ (T16) .....</b>	<b>11-1</b>
11.1	16ビットタイマの概要 .....	11-1
11.2	16ビットタイマの動作モード .....	11-2
	11.2.1 内部クロックモード .....	11-2
	11.2.2 外部クロックモード .....	11-3
	11.2.3 ハルス幅測定モード .....	11-4
11.3	カウントモード .....	11-5
11.4	16ビットタイマリロードレジスタとアンダーフロー周期 .....	11-6
11.5	16ビットタイマのリセット .....	11-7
11.6	16ビットタイマRUN/STOP制御 .....	11-8
11.7	16ビットタイマ出力信号 .....	11-9
11.8	16ビットタイマ割り込み .....	11-10
11.9	制御レジスタ詳細 .....	11-11
	0x4220/0x4240/0x4260: 16-bit Timer Ch. $\mathbf{x}$ Input Clock Select Registers (T16_CLK $\mathbf{x}$ ) .....	11-12
	0x4222/0x4242/0x4262: 16-bit Timer Ch. $\mathbf{x}$ Reload Data Registers (T16_TR $\mathbf{x}$ ) .....	11-13
	0x4224/0x4244/0x4264: 16-bit Timer Ch. $\mathbf{x}$ Counter Data Registers (T16_TC $\mathbf{x}$ ) .....	11-14
	0x4226/0x4246/0x4266: 16-bit Timer Ch. $\mathbf{x}$ Control Registers (T16_CTL $\mathbf{x}$ ) .....	11-15
	0x4228/0x4248/0x4268: 16-bit Timer Ch. $\mathbf{x}$ Interrupt Control Registers (T16_INT $\mathbf{x}$ ) .....	11-17
11.10	注意事項 .....	11-18
<b>12</b>	<b>8ビットタイマ (T8F) .....</b>	<b>12-1</b>
12.1	8ビットタイマの概要 .....	12-1
12.2	8ビットタイマのカウントモード .....	12-2
12.3	カウントクロック .....	12-3
12.4	8ビットタイマリロードレジスタとアンダーフロー周期 .....	12-4
12.5	8ビットタイマのリセット .....	12-5
12.6	8ビットタイマRUN/STOP制御 .....	12-6
12.7	8ビットタイマ出力信号 .....	12-7
12.8	ファインモード .....	12-8
12.9	8ビットタイマ割り込み .....	12-9

12.10 制御レジスタ詳細 .....	12-10
0x4200/0x4280: 8-bit Timer Ch.x Input Clock Select Register (T8F_CLKx) .....	12-11
0x4202/0x4282: 8-bit Timer Ch.x Reload Data Register (T8F_TRx) .....	12-12
0x4204/0x4284: 8-bit Timer Ch.x Counter Data Register (T8F_TCx) .....	12-13
0x4206/0x4286: 8-bit Timer Ch.x Control Register (T8F_CTLx) .....	12-14
0x4208/0x4288: 8-bit Timer Ch.x Interrupt Control Register (T8F_INTx) .....	12-16
12.11 注意事項 .....	12-17
<b>13 PWMタイマ (T16E) .....</b>	<b>13-1</b>
13.1 PWMタイマの概要 .....	13-1
13.2 PWMタイマの動作モード .....	13-2
13.3 カウンタ値のセット/リセット .....	13-3
13.4 コンペアデータの設定 .....	13-4
13.5 PWMタイマRUN/STOP制御 .....	13-5
13.6 クロック出力の制御 .....	13-6
13.7 PWMタイマ割り込み .....	13-9
13.8 制御レジスタ詳細 .....	13-11
0x5300: PWM Timer Compare Data A Registers (T16E_CA) .....	13-12
0x5302: PWM Timer Compare Data B Registers (T16E_CB) .....	13-13
0x5304: PWM Timer Counter Data Registers (T16E_TC) .....	13-14
0x5306: PWM Timer Control Registers (T16E_CTL) .....	13-15
0x5308: PWM Timer Input Clock Select Registers (T16E_CLK) .....	13-17
0x530a: PWM Timer Interrupt Mask Registers (T16E_IMSK) .....	13-18
0x530c: PWM Timer Interrupt Flag Registers (T16E_IFLG) .....	13-19
13.9 注意事項 .....	13-20
<b>14 8ビットOSC1タイマ (T8OSC1) .....</b>	<b>14-1</b>
14.1 8ビットOSC1タイマの概要 .....	14-1
14.2 8ビットOSC1タイマのカウントモード .....	14-2
14.3 カウントクロック .....	14-3
14.4 8ビットOSC1タイマのリセット .....	14-4
14.5 コンペアデータの設定 .....	14-5
14.6 8ビットOSC1タイマRUN/STOP制御 .....	14-6
14.7 8ビットOSC1タイマ割り込み .....	14-7
14.8 PWM出力 .....	14-8
14.9 制御レジスタ詳細 .....	14-9
0x50c0: 8-bit OSC1 Timer Control Register (T8OSC1_CTL) .....	14-10
0x50c1: 8-bit OSC1 Timer Counter Data Register (T8OSC1_CNT) .....	14-11
0x50c2: 8-bit OSC1 Timer Compare Data Register (T8OSC1_CMP) .....	14-12
0x50c3: 8-bit OSC1 Timer Interrupt Mask Register (T8OSC1_IMSK) .....	14-13
0x50c4: 8-bit OSC1 Timer Interrupt Flag Register (T8OSC1_IFLG) .....	14-14
0x50c5: 8-bit OSC1 Timer PWM Duty Data Register (T8OSC1_DUTY) .....	14-15
14.10 注意事項 .....	14-16
<b>15 計時タイマ (CT) .....</b>	<b>15-1</b>
15.1 計時タイマの概要 .....	15-1
15.2 動作クロック .....	15-2
15.3 計時タイマのリセット .....	15-3
15.4 計時タイマRUN/STOP制御 .....	15-4
15.5 計時タイマ割り込み .....	15-5
15.6 制御レジスタ詳細 .....	15-6
0x5000: Clock Timer Control Register (CT_CTL) .....	15-7
0x5001: Clock Timer Counter Register (CT_CNT) .....	15-8
0x5002: Clock Timer Interrupt Mask Register (CT_IMSK) .....	15-9

0x5003: Clock Timer Interrupt Flag Register (CT_IFLG) .....	15-10
15.7 注意事項 .....	15-11
<b>16 ストップウォッチタイマ (SWT) .....</b>	<b>16-1</b>
16.1 ストップウォッチタイマの概要 .....	16-1
16.2 BCDカウンタ .....	16-2
16.3 動作クロック .....	16-3
16.4 ストップウォッチタイマのリセット .....	16-4
16.5 ストップウォッチタイマRUN/STOP制御 .....	16-5
16.6 ストップウォッチタイマ割り込み .....	16-6
16.7 制御レジスタ詳細 .....	16-7
0x5020: Stopwatch Timer Control Register (SWT_CTL) .....	16-8
0x5021: Stopwatch Timer BCD Counter Register (SWT_BCNT) .....	16-9
0x5022: Stopwatch Timer Interrupt Mask Register (SWT_IMSK) .....	16-10
0x5023: Stopwatch Timer Interrupt Flag Register (SWT_IFLG) .....	16-11
16.8 注意事項 .....	16-12
<b>17 ウォッチドッグタイマ (WDT) .....</b>	<b>17-1</b>
17.1 ウォッチドッグタイマの概要 .....	17-1
17.2 動作クロック .....	17-2
17.3 ウォッチドッグタイマの制御 .....	17-3
17.3.1 NMI/リセットモードの選択 .....	17-3
17.3.2 ウォッチドッグタイマのRUN/STOP制御 .....	17-3
17.3.3 ウォッチドッグタイマのリセット .....	17-3
17.3.4 スタンバイモード時の動作 .....	17-3
17.4 制御レジスタ詳細 .....	17-4
0x5040: Watchdog Timer Control Register (WDT_CTL) .....	17-5
0x5041: Watchdog Timer Status Register (WDT_ST) .....	17-6
17.5 注意事項 .....	17-7
<b>18 UART .....</b>	<b>18-1</b>
18.1 UARTの構成 .....	18-1
18.2 UART端子 .....	18-2
18.3 転送クロック .....	18-3
18.4 転送データの設定 .....	18-4
18.5 データ送受信の制御 .....	18-5
18.6 受信エラー .....	18-8
18.7 UART割り込み .....	18-9
18.8 IrDAインタフェース .....	18-11
18.9 制御レジスタ詳細 .....	18-13
0x4100/0x4120: UART Ch.x Status Registers (UART_STx) .....	18-14
0x4101/0x4121: UART Ch.x Transmit Data Registers (UART_TXDx) .....	18-16
0x4102/0x4122: UART Ch.x Receive Data Registers (UART_RXDx) .....	18-17
0x4103/0x4123: UART Ch.x Mode Registers (UART_MODx) .....	18-18
0x4104/0x4124: UART Ch.x Control Registers (UART_CTLx) .....	18-19
0x4105/0x4125: UART Ch.x Expansion Registers (UART_EXPx) .....	18-20
18.10 注意事項 .....	18-21
<b>19 SPI .....</b>	<b>19-1</b>
19.1 SPIの構成 .....	19-1
19.2 SPI入出力端子 .....	19-2
19.3 SPIクロック .....	19-3
19.4 データ転送条件の設定 .....	19-4

19.5 データ送受信の制御 .....	19-5
19.6 SPI割り込み .....	19-8
19.7 制御レジスタ詳細 .....	19-9
0x4320: SPI Status Register (SPI_ST) .....	19-10
0x4322: SPI Transmit Data Register (SPI_TXD) .....	19-11
0x4324: SPI Receive Data Register (SPI_RXD) .....	19-12
0x4326: SPI Control Register (SPI_CTL) .....	19-13
19.8 注意事項 .....	19-15
<b>20 I<sup>2</sup>Cマスタ (I<sup>2</sup>CM) .....</b>	<b>20-1</b>
20.1 I <sup>2</sup> Cマスタの構成 .....	20-1
20.2 I <sup>2</sup> Cマスタ入出力端子 .....	20-2
20.3 I <sup>2</sup> Cマスタクロック .....	20-3
20.4 データ転送前の設定項目 .....	20-4
20.5 データ送受信の制御 .....	20-5
20.6 I <sup>2</sup> Cマスタ割り込み .....	20-10
20.7 制御レジスタ詳細 .....	20-11
0x4340: I <sup>2</sup> C Enable Register (I2C_EN) .....	20-12
0x4342: I <sup>2</sup> C Control Register (I2C_CTL) .....	20-13
0x4344: I <sup>2</sup> C Data Register (I2C_DAT) .....	20-15
0x4346: I <sup>2</sup> C Interrupt Control Register (I2C_ICTL) .....	20-17
<b>21 I<sup>2</sup>Cスレーブ (I<sup>2</sup>CS) .....</b>	<b>21-1</b>
21.1 I <sup>2</sup> Cスレーブの構成 .....	21-1
21.2 I <sup>2</sup> Cスレーブ入出力端子 .....	21-2
21.3 I <sup>2</sup> Cスレーブクロック .....	21-3
21.4 I <sup>2</sup> Cスレーブの初期設定 .....	21-4
21.4.1 リセット .....	21-4
21.4.2 スレーブアドレスの設定 .....	21-4
21.4.3 オプション機能 .....	21-4
21.5 データ送受信の制御 .....	21-6
21.6 I <sup>2</sup> Cスレーブ割り込み .....	21-11
21.7 制御レジスタ詳細 .....	21-13
0x4360: I <sup>2</sup> C Slave Transmit Data Register (I2CS_TRNS) .....	21-14
0x4362: I <sup>2</sup> C Slave Receive Data Register (I2CS_RECV) .....	21-15
0x4364: I <sup>2</sup> C Slave Address Setup Register (I2CS_SADRS) .....	21-16
0x4366: I <sup>2</sup> C Slave Control Register (I2CS_CTL) .....	21-17
0x4368: I <sup>2</sup> C Slave Status Register (I2CS_STAT) .....	21-20
0x436a: I <sup>2</sup> C Slave Access Status Register (I2CS_ASTAT) .....	21-23
0x436c: I <sup>2</sup> C Slave Interrupt Control Register (I2CS_ICTL) .....	21-24
21.8 注意事項 .....	21-25
<b>22 リモートコントローラ (REMC) .....</b>	<b>22-1</b>
22.1 REMCの構成 .....	22-1
22.2 REMC入出力端子 .....	22-2
22.3 キャリアの生成 .....	22-3
22.4 データ長カウンタのクロック設定 .....	22-4
22.5 データ送受信の制御 .....	22-5
22.6 REMC割り込み .....	22-8
22.7 制御レジスタ詳細 .....	22-10
0x5340: REMC Configuration Register (REMC_CFG) .....	22-11
0x5342: REMC Carrier Length Setup Register (REMC_CAR) .....	22-13
0x5344: REMC Length Counter Register (REMC_LCNT) .....	22-14
0x5346: REMC Interrupt Control Register (REMC_INT) .....	22-15

22.8 注意事項.....	22-17
<b>23 A/D変換器 (ADC10SA) .....</b>	<b>23-1</b>
23.1 A/D変換器の概要.....	23-1
23.2 ADC端子 .....	23-2
23.3 A/D変換器の設定.....	23-3
23.4 A/D変換の制御と動作 .....	23-6
23.5 A/D変換器割り込み .....	23-9
23.6 制御レジスタ詳細 .....	23-11
0x5380: ADC10 Conversion Result Register (ADC10_ADD) .....	23-12
0x5382: ADC10 Trigger/Channel Select Register (ADC10_TRG) .....	23-13
0x5384: ADC10 Control/Status Register (ADC10_CTL) .....	23-15
0x5386: ADC10 Divided Frequency Register (ADC10_DIV) .....	23-17
23.7 注意事項.....	23-18
<b>24 オンチップデバッグ (DBG) .....</b>	<b>24-1</b>
24.1 リソース要件とデバッグツール.....	24-1
24.2 デバッグブレイク時の動作状態.....	24-2
24.3 追加デバッグ機能 .....	24-3
24.4 制御レジスタ詳細 .....	24-4
0x5322: OSC1 Peripheral Control Register (MISC_OSC1).....	24-5
0x5326: IRAM Size Select Register (MISC_IRAMSZ).....	24-6
0xffff90: Debug RAM Base Register (DBRAM) .....	24-7
0xffffa0: Debug Control Register (DCR) .....	24-8
0xffffb8: Instruction Break Address Register 2 (IBAR2) .....	24-10
0xffffbc: Instruction Break Address Register 3 (IBAR3).....	24-11
0xffffd0: Instruction Break Address Register 4 (IBAR4) .....	24-12
<b>25 乗除算器 .....</b>	<b>25-1</b>
25.1 概要 .....	25-1
25.2 動作モードと出力モード.....	25-2
25.3 乗算 .....	25-3
25.4 除算 .....	25-4
25.5 積和演算.....	25-5
25.6 演算結果の読み出し .....	25-7
<b>26 電气的特性.....</b>	<b>26-1</b>
26.1 絶対最大定格.....	26-1
26.2 推奨動作電圧.....	26-1
26.3 消費電流.....	26-2
26.4 入出力端子特性 .....	26-3
26.5 A/D変換器特性 .....	26-4
26.6 SPI特性 .....	26-5
26.7 I <sup>2</sup> C特性 .....	26-5
26.8 発振特性.....	26-6
26.9 外部クロック入力特性 .....	26-6
<b>27 基本外部結線図 .....</b>	<b>27-1</b>
<b>28 パッケージ.....</b>	<b>28-1</b>
28.1 TQFP12-64pin/パッケージ .....	28-1
28.2 WCSP-48/パッケージ .....	28-2
28.3 パッケージの熱抵抗.....	28-3
28.4 パッド配置 .....	28-4

28.4.1	パッド配置図 .....	28-4
<b>Appendix A</b>	<b>I/Oレジスタ一覧 .....</b>	<b>AP-1</b>
0x4020	Prescaler .....	AP-5
0x4100–0x4125	UART (with IrDA) .....	AP-6
0x4200–0x4208	8-bit Timer (with Fine Mode) Ch.0 .....	AP-8
0x4220–0x4268	16-bit Timer .....	AP-9
0x4280–0x4288	8-bit Timer (with Fine Mode) Ch.1 .....	AP-11
0x4306–0x4318	Interrupt Controller .....	AP-12
0x4320–0x4326	SPI .....	AP-13
0x4340–0x4346	I <sup>2</sup> C Master .....	AP-14
0x4360–0x436c	I <sup>2</sup> C Slave .....	AP-15
0x5000–0x5003	Clock Timer .....	AP-16
0x5020–0x5023	Stopwatch Timer .....	AP-17
0x5040–0x5041	Watchdog Timer .....	AP-18
0x5060–0x5065	Oscillator .....	AP-19
0x5080–0x5081	Clock Generator .....	AP-20
0x50c0–0x50c5	8-bit OSC1 Timer .....	AP-21
0x5200–0x52a8	P Port & Port MUX .....	AP-22
0x5300–0x530c	PWM & Capture Timer .....	AP-26
0x5320–0x532c	MISC Registers .....	AP-27
0x5340–0x5346	Remote Controller .....	AP-28
0x5380–0x5386	ADC10SA .....	AP-29
0xffff84–0xffffd0	S1C17 Core I/O .....	AP-30
<b>Appendix B</b>	<b>パワーセーブ .....</b>	<b>AP-31</b>
B.1	クロック制御によるパワーセーブ .....	AP-31
<b>Appendix C</b>	<b>実装上の注意事項 .....</b>	<b>AP-34</b>
<b>Appendix D</b>	<b>マスクROMコードの開発について .....</b>	<b>AP-38</b>
<b>改訂履歴表</b>		

# 1 概要

S1C17003は、高速かつ低電力動作、省サイズ、広アドレス空間、オンチップICEを実現した16ビットMCUです。A/D変換器を内蔵しており、各種アナログI/Fのセンサを接続することが可能です。電池駆動で小規模、高精細な表示を必要とするセンサ付きヘルスケア製品、スポーツウォッチ、メータモジュールなどの機器への応用に適しています。

## 1.1 特長

以下にS1C17003の主な機能と特長を示します。

- CPU
  - EPSONオリジナル16ビットRISC CPUコア S1C17  
16ビット×16ビット+32ビット積和演算器、  
16ビット÷16ビット除算器
- OSC3
  - 20MHz (max.) 内蔵発振回路(水晶/セラミック)または外部クロック入力
- OSC1
  - 32.768kHz(typ.) 内蔵発振回路(水晶)または外部クロック入力
- 内蔵Mask ROM
  - 64Kバイト
- 内蔵RAM
  - 4Kバイト
- A/D変換器
  - 10ビット分解能 4ch
- 入出力ポート
  - 最大30ビットの汎用入出力ポート、4ビットの入力専用ポート
- シリアルインタフェース
  - SPI(マスタ/スレーブ) 1ch.
  - PC(マスタ) 1ch.
  - PC(スレーブ) 1ch.
  - UART(460800bps, IrDA1.0対応) 2ch.
  - リモートコントローラ(REMC) 1ch.
- タイマ
  - 8ビットタイマ(T8F) 2ch.
  - 16ビットタイマ(T16) 3ch.
  - PWMタイマ(T16E) 1ch.
  - 計時タイマ(CT) 1ch.
  - ストップウォッチタイマ(SWT) 1ch.
  - ウォッチドッグタイマ(WDT) 1ch.
  - 8ビットOSC1 PWMタイマ(T8OSC1) 1ch.
- 割り込み
  - NMI、Pポート入力割り込み 3系統
  - シリアルインタフェース割り込み 5系統
  - タイマ割り込み 9系統
- 電源電圧
  - HV<sub>DD</sub>(I/O) : 1.65~3.6V
  - LV<sub>DD</sub>(コア) : 1.65~1.95V
  - AV<sub>DD</sub>(I/O) : 2.7V~3.6V
- 動作温度
  - -40~85°C
- 消費電流
  - SLEEP時 1μA (typ.)Off/1.8V
  - HALT時 3.3μA (typ.)32kHz/1.8V
  - 動作時 4.0mA (typ.)20MHz/1.8V
- 出荷形態
  - TQFP12-64pin(7mm×7mm×1.2mm、端子ピッチ：0.4mm)
  - WCSP-48pin(3.124mm×3.124mm×0.78mm、ボールピッチ：0.4mm)
  - チップ(3.124mm×3.124mm×0.40mm)

## 1.2 ブロック図

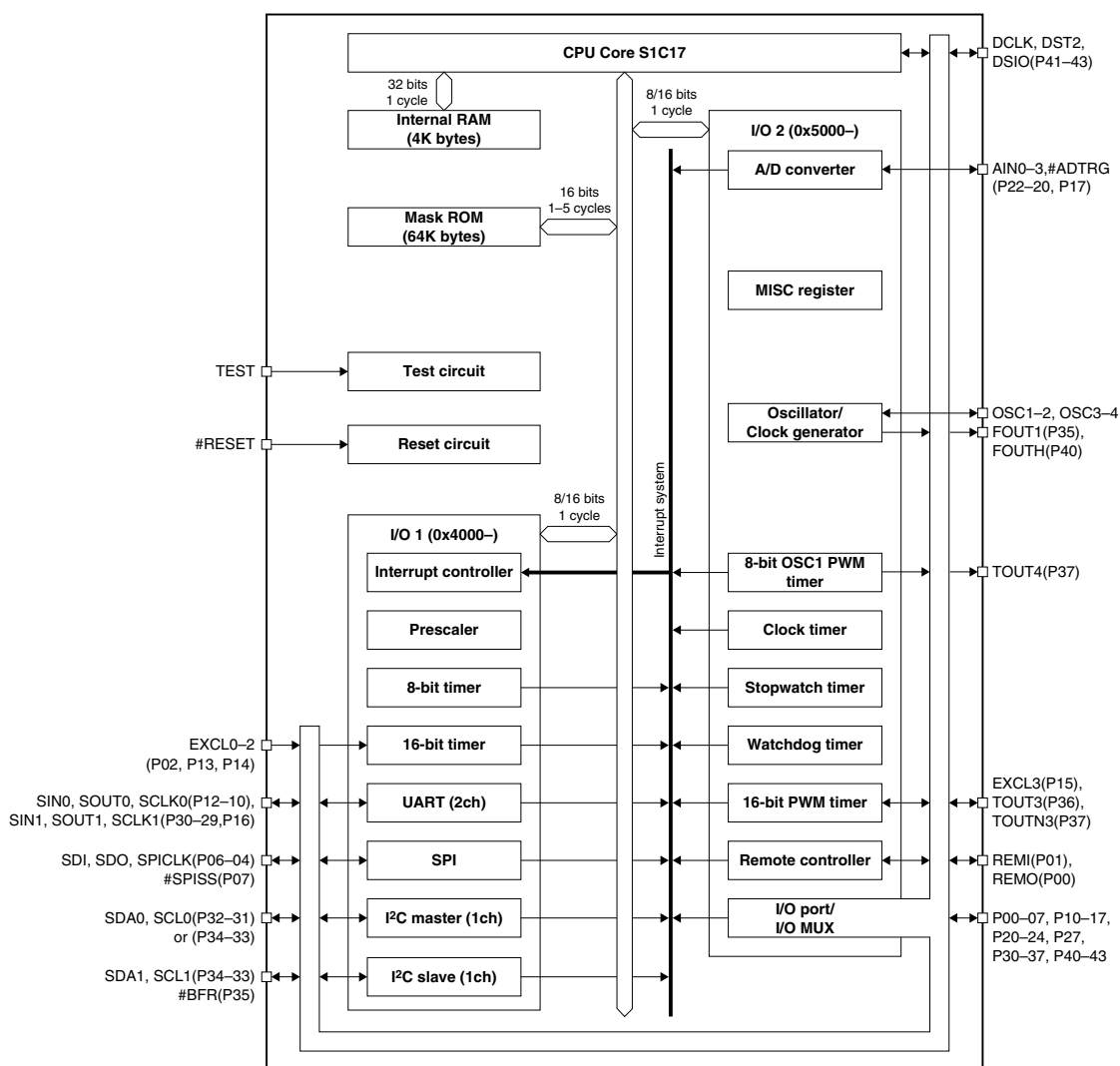


図1.2.1 ブロック図

## 1.3 端子

### 1.3.1 端子配置

S1C17003は、TQFP12-64pinまたはWCSP-48パッケージを採用しています。

#### TQFP12-64pinパッケージ

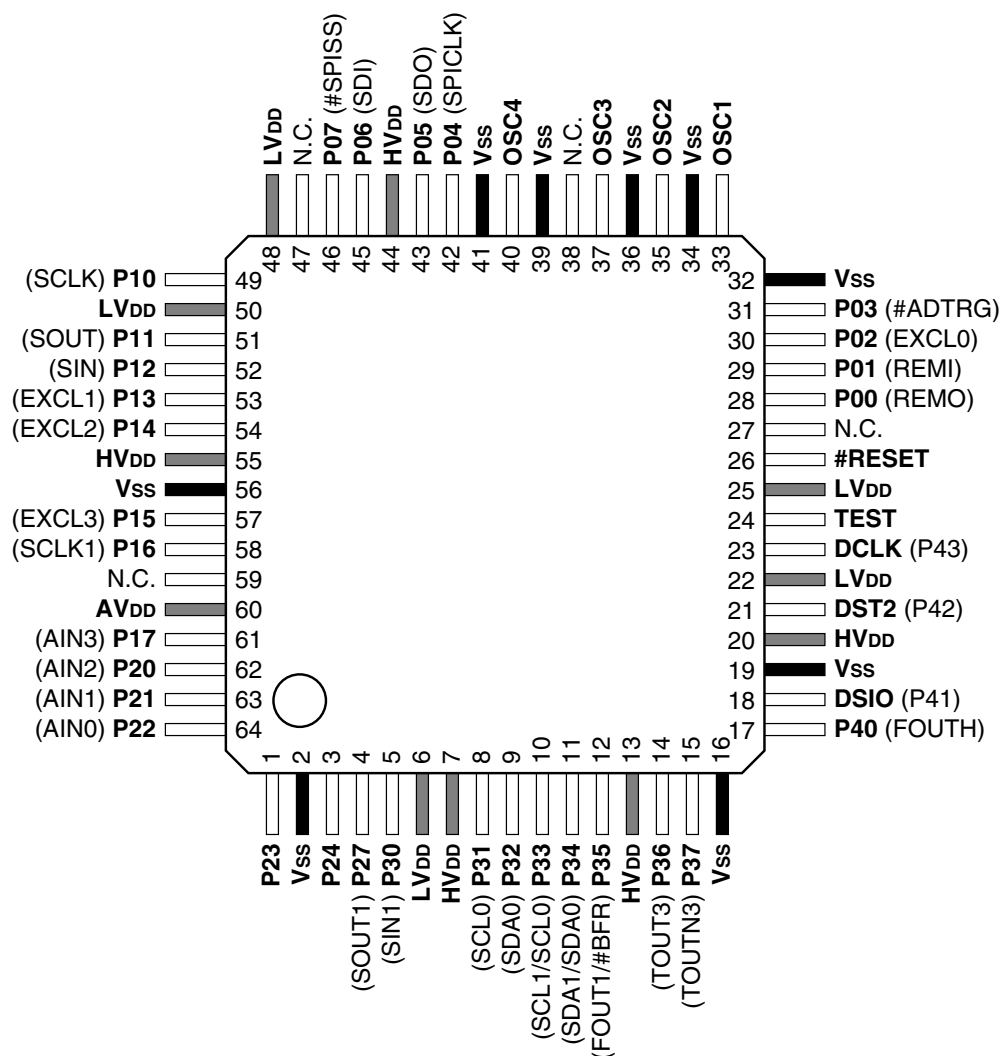
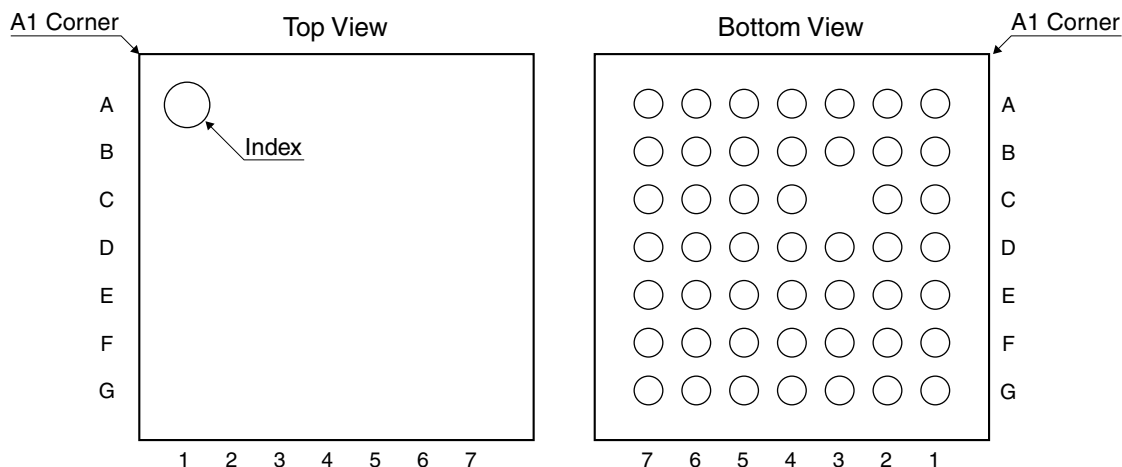


図1.3.1.1 端子配置図(TQFP12-64pin)

## WCSP-48パッケージ

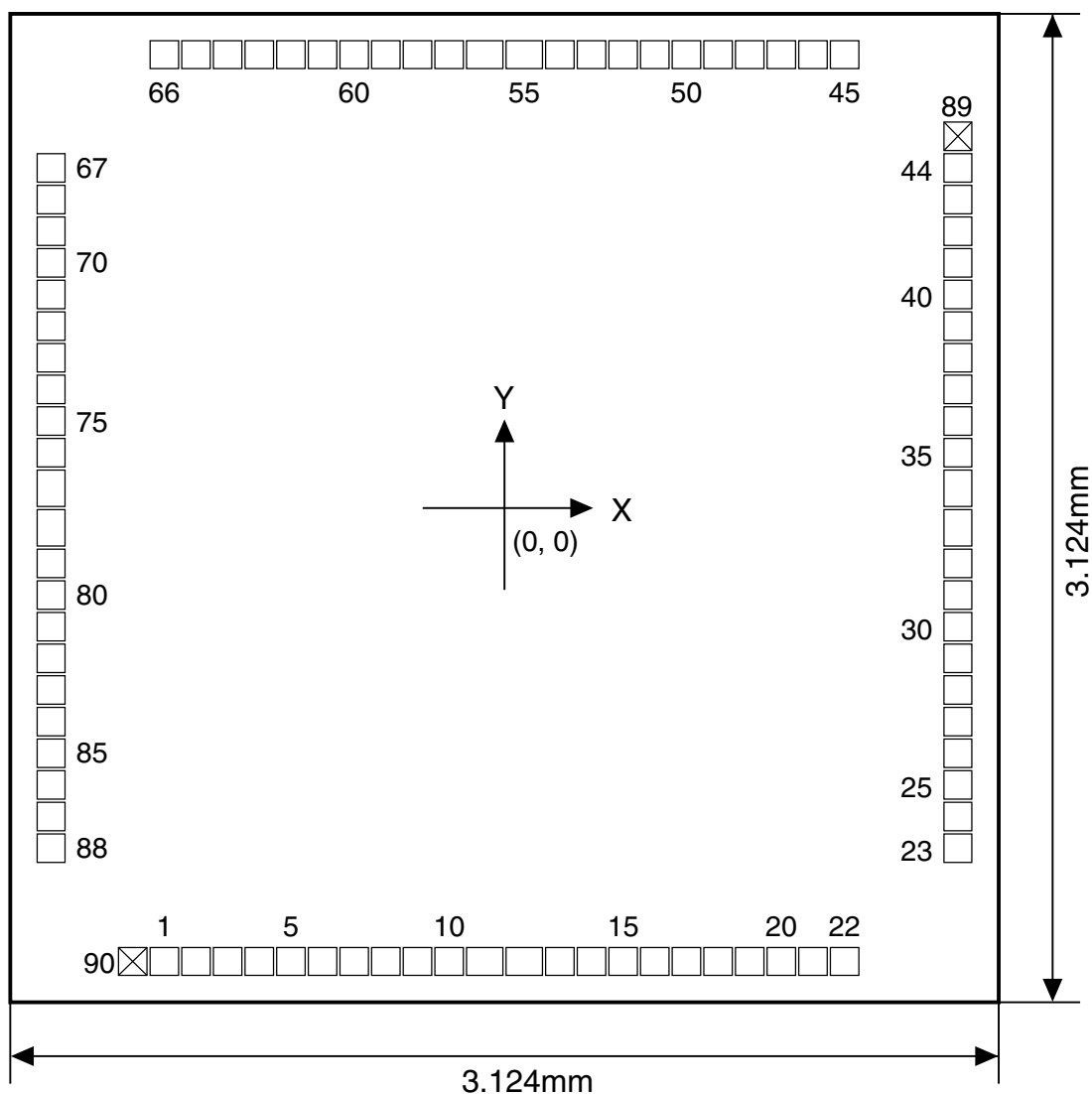


Top View

	1	2	3	4	5	6	7
A	<b>P23</b>	<b>P24</b>	<b>P30</b> SIN1	<b>P31</b> SCL0	<b>P34</b> SDA1 SDA0	<b>P36</b> TOUT3	<b>P40</b> FOUTH
B	<b>P21</b> AIN1	<b>P22</b> AIN0	<b>P27</b> SOUT1	<b>P32</b> SDA0	<b>P35</b> FOUT1 #BFR	<b>P37</b> TOUTN3	<b>DSIO</b> P41
C	<b>P17</b> AIN3	<b>P20</b> AIN2		<b>HVDD</b>	<b>P33</b> SCL1 SCL0	<b>Vss</b>	<b>DST2</b> P42
D	<b>P15</b> EXCL3	<b>P16</b> SCLK1	<b>AVDD</b>	<b>Vss</b>	<b>LVDD</b>	<b>DCLK</b> P43	<b>TEST</b>
E	<b>P14</b> EXCL2	<b>P13</b> EXCL1	<b>P12</b> SIN	<b>HVDD</b>	<b>P01</b> REMI	<b>P00</b> REMO	<b>#RESET</b>
F	<b>P11</b> SOUT	<b>LVDD</b>	<b>P06</b> SDI	<b>P04</b> SPICLK	<b>Vss</b>	<b>P03</b> #ADTRG	<b>P02</b> EXCL0
G	<b>P10</b> SCLK	<b>P07</b> #SPISS	<b>P05</b> SDO	<b>OSC4</b>	<b>OSC3</b>	<b>OSC2</b>	<b>OSC1</b>

図1.3.1.2 端子配置図(WCSP-48)

## CHIP-88pad



## パッド開口部

Pad No. 1~10, 13~22, 45~54, 57~66 :  $90\mu\text{m} \times 88\mu\text{m}$ Pad No. 11, 12, 55, 56 :  $115\mu\text{m} \times 88\mu\text{m}$ Pad No. 23~32, 35~44, 67~76, 79~88 :  $88\mu\text{m} \times 90\mu\text{m}$ Pad No. 33, 34, 77, 78 :  $88\mu\text{m} \times 115\mu\text{m}$ 

## チップ厚

400  $\mu\text{m}$

## パッド座標

PAD No.	X (mm)	Y (mm)	割り当て	PAD No.	X (mm)	Y (mm)	割り当て
1	-1.075	-1.433	P23	45	1.433	1.075	NC
2	-0.975	-1.433	V <sub>SS</sub>	46	1.075	1.433	OSC1
3	-0.875	-1.433	V <sub>SS</sub>	47	0.975	1.433	V <sub>SS</sub>
4	-0.775	-1.433	P24	48	0.875	1.433	V <sub>SS</sub>
5	-0.675	-1.433	NC	49	0.775	1.433	OSC2
6	-0.575	-1.433	P27	50	0.675	1.433	NC
7	-0.475	-1.433	P30	51	0.475	1.433	V <sub>SS</sub>
8	-0.375	-1.433	LV <sub>DD</sub>	52	0.375	1.433	OSC3
9	-0.275	-1.433	LV <sub>DD</sub>	53	0.275	1.433	NC
10	-0.175	-1.433	HV <sub>DD</sub>	54	0.175	1.433	V <sub>SS</sub>
11	-0.063	-1.433	HV <sub>DD</sub>	55	0.063	1.433	OSC4
12	0.063	-1.433	P31	56	-0.063	1.433	V <sub>SS</sub>
13	0.175	-1.433	P32	57	-0.175	1.433	NC
14	0.275	-1.433	P33	58	-0.275	1.433	P04
15	0.375	-1.433	P34	59	-0.375	1.433	P05
16	0.475	-1.433	P35	60	-0.475	1.433	HV <sub>DD</sub>
17	0.575	-1.433	HV <sub>DD</sub>	61	-0.575	1.433	P06
18	0.675	-1.433	P36	62	-0.675	1.433	P07
19	0.775	-1.433	P37	63	-0.775	1.433	NC
20	0.875	-1.433	V <sub>SS</sub>	64	-0.875	1.433	LV <sub>DD</sub>
21	0.975	-1.433	V <sub>SS</sub>	65	-0.975	1.433	NC
22	1.075	-1.433	NC	66	-1.075	1.433	NC
23	1.433	-1.075	NC	67	-1.433	1.075	P10
24	1.433	-0.975	P40	68	-1.433	0.975	NC
25	1.433	-0.875	NC	69	-1.433	0.875	LV <sub>DD</sub>
26	1.433	-0.775	DSIO	70	-1.433	0.775	LV <sub>DD</sub>
27	1.433	-0.675	V <sub>SS</sub>	71	-1.433	0.675	P11
28	1.433	-0.575	V <sub>SS</sub>	72	-1.433	0.575	P12
29	1.433	-0.475	HV <sub>DD</sub>	73	-1.433	0.475	P13
30	1.433	-0.375	DST2	74	-1.433	0.375	P14
31	1.433	-0.275	LV <sub>DD</sub>	75	-1.433	0.275	HV <sub>DD</sub>
32	1.433	-0.175	DCLK	76	-1.433	0.175	V <sub>SS</sub>
33	1.433	-0.063	TEST	77	-1.433	0.063	P15
34	1.433	0.063	LV <sub>DD</sub>	78	-1.433	-0.063	V <sub>SS</sub>
35	1.433	0.175	LV <sub>DD</sub>	79	-1.433	-0.175	P16
36	1.433	0.275	#RESET	80	-1.433	-0.275	AV <sub>DD</sub>
37	1.433	0.375	NC	81	-1.433	-0.375	NC
38	1.433	0.475	P00	82	-1.433	-0.475	AV <sub>DD</sub>
39	1.433	0.575	P01	83	-1.433	-0.575	P17/AIN3
40	1.433	0.675	P02	84	-1.433	-0.675	P20/AIN2
41	1.433	0.775	NC	85	-1.433	-0.775	AV <sub>DD</sub>
42	1.433	0.875	P03	86	-1.433	-0.875	P21/AIN1
43	1.433	0.975	V <sub>SS</sub>	87	-1.433	-0.975	P22/AIN0
44	1.433	1.075	V <sub>SS</sub>	88	-1.433	-1.075	NC

## 1.3.2 端子説明

PAD / 端子 / ボール No.			名称	I/O	初期状態	機能 (デフォルト機能 / 設定による兼用機能)
CHIP	TQFP	WCSP				
1	1	A1	<b>P23</b>	I/O	I(Pull-UP)	入出力兼用ポート
*2	2	*2	<b>VSS</b>	-	-	電源(-)
4	3	A2	<b>P24</b>	I/O	I(Pull-UP)	入出力兼用ポート
6	4	B3	<b>P27/SOUT1</b>	I/O	I(Pull-UP)	入出力兼用ポート *1/ UART Ch1 データ出力
7	5	A3	<b>P30/SIN1</b>	I/O	I(Pull-UP)	入出力兼用ポート *1/ UART Ch1 データ入力
*3	6	*3	<b>LVDD</b>	-	-	コア電源(+)
*4	7	*4	<b>HVDD</b>	-	-	I/O電源(+)
12	8	A4	<b>P31/SCL0</b>	I/O	I(Pull-UP)	入出力兼用ポート *1/I2Cマスタクロック出力
13	9	B4	<b>P32/SDA0</b>	I/O	I(Pull-UP)	入出力兼用ポート *1/I2Cマスタデータ入出力
14	10	C5	<b>P33/SCL1/SCL0</b>	I/O	I(Pull-UP)	入出力兼用ポート *1/I2Cスレーブクロック入力/I2Cマスタクロック出力
15	11	A5	<b>P34/SDA1/SDA0</b>	I/O	I(Pull-UP)	入出力兼用ポート *1/I2Cスレーブデータ入出力/I2Cマスタデータ入出力
16	12	B5	<b>P35/FOUT1/#BFR</b>	I/O	I(Pull-UP)	入出力兼用ポート *1/OSC1外部クロック出力/I2Cスレーブバス開放
*4	13	*4	<b>HVDD</b>	-	-	I/O電源(+)
18	14	A6	<b>P36/TOUT3</b>	I/O	I(Pull-UP)	入出力兼用ポート *1/T16E Ch0 PWM信号出力(非反転)
19	15	B6	<b>P37/TOUTN3</b>	I/O	I(Pull-UP)	入出力兼用ポート *1/T16E Ch0 PWM信号出力(反転)
*2	16	*2	<b>VSS</b>	-	-	電源(-)
24	17	A7	<b>P40/FOUTH</b>	I/O	I(Pull-UP)	入出力兼用ポート *1/HCLKクロック出力(分周あり)
26	18	B7	<b>DSIO/P41</b>	I/O	I(Pull-UP)	オンチップデバッグデータ入出力 *1/入出力兼用ポート
*2	19	*2	<b>VSS</b>	-	-	電源(-)
*4	20	*4	<b>HVDD</b>	-	-	I/O電源(+)
30	21	C7	<b>DST2/P42</b>	I/O	O(L)	オンチップデバッグステータス出力 *1/入出力兼用ポート
*3	22	*3	<b>LVDD</b>	-	-	コア電源(+)
32	23	D6	<b>DCLK/P43</b>	I/O	O(H)	オンチップデバッグクロック出力 *1/入出力兼用ポート
33	24	D7	<b>TEST</b>	I	I(Pull-DN)	テスト端子(通常動作時はVSSに固定のこと)
*3	25	*3	<b>LVDD</b>	-	-	コア電源(+)
36	26	E7	<b>#RESET</b>	I	I(Pull-UP)	イニシャルセット入力(ノイズフィルタ付き)
-	27	-	<b>-NC</b>	-	-	-
38	28	E6	<b>P00/REMO</b>	I/O	I(Pull-UP)	入出力兼用ポート(割り込みあり) *1/REMC 出力
39	29	E5	<b>P01/REMI</b>	I/O	I(Pull-UP)	入出力兼用ポート(割り込みあり) *1/REMC 入力
40	30	F7	<b>P02/EXCL0</b>	I/O	I(Pull-UP)	入出力兼用ポート(割り込みあり) *1/T16 Ch0外部クロック入力
42	31	F6	<b>P03/#ADTRG</b>	I/O	I(Pull-UP)	入出力兼用ポート(割り込みあり) *1/AD変換外部トリガ
*2	32	*2	<b>VSS</b>	-	-	電源(-)
46	33	G7	<b>OSC1</b>	I	I	OSC1発振入力*6
*2	34	*2	<b>VSS</b>	-	-	電源(-)
49	35	G6	<b>OSC2</b>	O	O	OSC1発振出力

PAD / 端子 / ボール No.			名称	I/O	初期状態	機能 (デフォルト機能 / 設定による兼用機能)
CHIP	TQFP	WCSP				
*2	36	*2	<b>VSS</b>	-	-	電源(-)
52	37	G5	<b>OSC3</b>	I	I	OSC3発振入力*6
-	38	-	<b>-NC</b>	-	-	-
*2	39	*2	<b>VSS</b>	-	-	電源(-)
55	40	G4	<b>OSC4</b>	O	O	OSC3発振出力
*2	41	*2	<b>VSS</b>	-	-	電源(-)
58	42	F4	<b>P04/SPICLK</b>	I/O	I(Pull-UP)	入出力兼用ポート (割り込みあり) *1/SPIクロック入出力
59	43	G3	<b>P05/SDO</b>	I/O	I(Pull-UP)	入出力兼用ポート (割り込みあり) *1/SPIデータ出力
*4	44	*4	<b>HVDD</b>	-	-	I/O電源(+)
61	45	F3	<b>P06/SDI</b>	I/O	I(Pull-UP)	入出力兼用ポート (割り込みあり) *1/SPIデータ入力
62	46	G2	<b>P07/#SPISS</b>	I/O	I(Pull-UP)	入出力兼用ポート (割り込みあり) *1/SPIスレーブセレクト入力
-	47	-	<b>-NC</b>	-	-	-
*3	48	*3	<b>LVDD</b>	-	-	コア電源(+)
67	49	G1	<b>P10/SCLK</b>	I/O	I(Pull-UP)	入出力兼用ポート (割り込みあり) *1/UART Ch0クロック入力
*3	50	*3	<b>LVDD</b>	-	-	コア電源(+)
71	51	F1	<b>P11/SOUT</b>	I/O	I(Pull-UP)	入出力兼用ポート (割り込みあり) *1/UART Ch0データ出力
72	52	E3	<b>P12/SIN</b>	I/O	I(Pull-UP)	入出力兼用ポート (割り込みあり) *1/UART Ch0データ入力
73	53	E2	<b>P13/EXCL1</b>	I/O	I(Pull-UP)	入出力兼用ポート (割り込みあり) *1/T16 Ch1外部クロック入力
74	54	E1	<b>P14/EXCL2</b>	I/O	I(Pull-UP)	入出力兼用ポート (割り込みあり) *1/T16 Ch2外部クロック入力
*4	55	*4	<b>HVDD</b>	-	-	I/O電源(+)
*2	56	*2	<b>VSS</b>	-	-	電源(-)
77	57	D1	<b>P15/EXCL3</b>	I/O	I(Pull-UP)	入出力兼用ポート (割り込みあり) *1/T16E Ch0外部クロック入力
79	58	D2	<b>P16/SCLK1</b>	I/O	I(Pull-UP)	入出力兼用ポート (割り込みあり) *1/UART Ch1 クロック入力
-	59	-	<b>-NC</b>	-	-	-
*5	60	D3	<b>AVDD</b>	-	-	アナログ電源(+)
83	61	C1	<b>P17/AIN3</b>	I	I	入力兼用ポート (割り込みあり) *1/ AD変換器 Ch3 入力
84	62	C2	<b>P20/AIN2</b>	I	I	入力兼用ポート *1/ AD変換器 Ch2 入力
86	63	B1	<b>P21/AIN1</b>	I	I	入力兼用ポート *1/ AD変換器 Ch1 入力
87	64	B2	<b>P22/AIN0</b>	I	I	入力兼用ポート *1/ AD変換器 Ch0 入力

\*1 デフォルト設定の機能です。

\*2 VSSのPAD No. : 2, 3, 20, 21, 27, 28, 43, 44, 47, 48, 51, 54, 56, 76, 78

VSSのBALL No. : C6, D4, F5

\*3 LVDDのPAD No. : 8, 9, 31, 34, 35, 64, 69, 70

LVDDのBALL No. : D5, F2

\*4 HVDDのPAD No. : 10, 11, 17, 29, 60, 75

HVDDのBALL No. : C4, E4

\*5 AVDDのPAD No. : 80, 82, 85

\*6 OSC3、OSC1端子に外部クロックを入力する場合、クロックの電圧レベルはLVDDとしてください。

注 : NC pin (TQFPはNCと記載、CHIP/WCSPはNo.記載の無い端子)には、ボンディングを行わないで下さい。

## 2 CPU

S1C17003はコアプロセッサとしてS1C17コアを搭載しています。

S1C17コアはセイコーエプソンオリジナルの16ビットRISCプロセッサです。

低消費電力、高速動作、広いアドレス空間、主要命令の1クロック実行、省ゲート設計を特長とし、8ビットCPUがよく使われるコントローラやシーケンサ等への組み込み用に最適です。

S1C17コアの詳細については、“S1C17 Family S1C17コアマニュアル”を参照してください。

### 2.1 S1C17コアの特長

---

#### プロセッサ形式

- セイコーエプソンオリジナル16ビットRISCプロセッサ
- 0.35～0.15 $\mu$ m低電力CMOSプロセステクノロジー

#### 命令セット

- コード長           16ビット固定長
- 命令数            基本命令111個(全184命令)
- 実行サイクル     主要命令は1サイクルで実行
- 即値拡張命令     即値を24ビットまで拡張
- Cによる開発用に最適化されたコンパクトかつ高速な命令セット

#### レジスタセット

- 24ビット汎用レジスタ×8
- 24ビット特殊レジスタ×2
- 8ビット特殊レジスタ×1

#### メモリ空間, バス

- 最大16Mバイトのメモリ空間(24ビットアドレス)
- 命令バス(16ビット)とデータバス(32ビット)を分離したハーバードアーキテクチャ

#### 割り込み

- リセット、NMI、32種類の外部割り込みに対応
- アドレス不整割り込み
- デバッグ割り込み
- ベクタテーブルからベクタを読み込み、割り込み処理ルーチンへ直接分岐
- ベクタ番号によるソフトウェア割り込みを発生可能(全ベクタ番号を指定可能)

#### パワーセーブ

- HALT(halt命令)
- SLEEP(slp命令)

#### コプロセッサインタフェース

- 16ビット×16ビット+32ビット積和演算器
- 16ビット÷16ビット除算器

## 2.2 CPUレジスタ

S1C17コアは、8本の汎用レジスタおよび3本の特殊レジスタを内蔵しています。



図2.2.1 レジスタ

## 2.3 命令セット

S1C17コアの命令コードはすべて16ビットの固定長で、パイプライン処理を行うことによって主要な命令を1サイクルで実行します。各命令の詳細については“S1C17 Family S1C17コアマニュアル”を参照してください。

表2.3.1 S1C17コア命令一覧

種 類	ニーモニック	機 能
データ転送	ld.b	$\%rd, \%rs$ 汎用レジスタ(バイト) → 汎用レジスタ(符号拡張)
		$\%rd, [\%rb]$ メモリ(バイト) → 汎用レジスタ(符号拡張)
		$\%rd, [\%rb]+$ メモリアドレスのポストインクリメント、ポストデクリメント、
		$\%rd, [\%rb]-$ プリデクリメント機能を使用可能
		$\%rd, -[\%rb]$
		$\%rd, [\%sp+imm7]$ スタック(バイト) → 汎用レジスタ(符号拡張)
		$\%rd, [imm7]$ メモリ(バイト) → 汎用レジスタ(符号拡張)
		$[\%rb], \%rs$ 汎用レジスタ(バイト) → メモリ
		$[\%rb]+, \%rs$ メモリアドレスのポストインクリメント、ポストデクリメント、
		$[\%rb]-, \%rs$ プリデクリメント機能を使用可能
		$-[\%rb], \%rs$
		$[\%sp+imm7], \%rs$ 汎用レジスタ(バイト) → スタック
		$[imm7], \%rs$ 汎用レジスタ(バイト) → メモリ
	ld.ub	$\%rd, \%rs$ 汎用レジスタ(バイト) → 汎用レジスタ(ゼロ拡張)
		$\%rd, [\%rb]$ メモリ(バイト) → 汎用レジスタ(ゼロ拡張)
		$\%rd, [\%rb]+$ メモリアドレスのポストインクリメント、ポストデクリメント、
		$\%rd, [\%rb]-$ プリデクリメント機能を使用可能
		$\%rd, -[\%rb]$
		$\%rd, [\%sp+imm7]$ スタック(バイト) → 汎用レジスタ(ゼロ拡張)
	ld	$\%rd, [imm7]$ メモリ(バイト) → 汎用レジスタ(ゼロ拡張)
		$\%rd, \%rs$ 汎用レジスタ(16ビット) → 汎用レジスタ
		$\%rd, sign7$ 即値 → 汎用レジスタ(符号拡張)
		$\%rd, [\%rb]$ メモリ(16ビット) → 汎用レジスタ
		$\%rd, [\%rb]+$ メモリアドレスのポストインクリメント、ポストデクリメント、
		$\%rd, [\%rb]-$ プリデクリメント機能を使用可能
		$\%rd, -[\%rb]$
		$\%rd, [\%sp+imm7]$ スタック(16ビット) → 汎用レジスタ
		$\%rd, [imm7]$ メモリ(16ビット) → 汎用レジスタ
		$[\%rb], \%rs$ 汎用レジスタ(16ビット) → メモリ
		$[\%rb]+, \%rs$ メモリアドレスのポストインクリメント、ポストデクリメント、
		$[\%rb]-, \%rs$ プリデクリメント機能を使用可能
		$-[\%rb], \%rs$
		$[\%sp+imm7], \%rs$ 汎用レジスタ(16ビット) → スタック
		$[imm7], \%rs$ 汎用レジスタ(16ビット) → メモリ
	ld.a	$\%rd, \%rs$ 汎用レジスタ(24ビット) → 汎用レジスタ
		$\%rd, imm7$ 即値 → 汎用レジスタ(ゼロ拡張)
		$\%rd, [\%rb]$ メモリ(32ビット) → 汎用レジスタ(*1)
		$\%rd, [\%rb]+$ メモリアドレスのポストインクリメント、ポストデクリメント、
		$\%rd, [\%rb]-$ プリデクリメント機能を使用可能
		$\%rd, -[\%rb]$
		$\%rd, [\%sp+imm7]$ スタック(32ビット) → 汎用レジスタ(*1)
		$\%rd, [imm7]$ メモリ(32ビット) → 汎用レジスタ(*1)
		$[\%rb], \%rs$ 汎用レジスタ(32ビット、ゼロ拡張) → メモリ(*1)
		$[\%rb]+, \%rs$ メモリアドレスのポストインクリメント、ポストデクリメント、
		$[\%rb]-, \%rs$ プリデクリメント機能を使用可能
		$-[\%rb], \%rs$
		$[\%sp+imm7], \%rs$ 汎用レジスタ(32ビット、ゼロ拡張) → スタック(*1)
		$[imm7], \%rs$ 汎用レジスタ(32ビット、ゼロ拡張) → メモリ(*1)
		$\%rd, \%sp$ SP → 汎用レジスタ
		$\%rd, \%pc$ PC → 汎用レジスタ
		$\%rd, [\%sp]$ スタック(32ビット) → 汎用レジスタ(*1)
		$\%rd, [\%sp]+$ スタックポインタのポストインクリメント、ポストデクリメント、
		$\%rd, [\%sp]-$ プリデクリメント機能を使用可能
		$\%rd, -[\%sp]$

種 類	ニーモニック		機 能
データ転送	ld.a	$[\%sp], \%rs$	汎用レジスタ(32ビット、ゼロ拡張) → スタック (*1)
		$[\%sp] +, \%rs$	スタックポインタのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		$[\%sp] -, \%rs$	
		$-\%sp, \%rs$	
		$\%sp, \%rs$	汎用レジスタ(24ビット) → SP
		$\%sp, imm7$	即値 → SP
整数算術演算	add	$\%rd, \%rs$	汎用レジスタ間の16ビット加算
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	add/c		
	add/nc		
	add	$\%rd, imm7$	汎用レジスタと即値の16ビット加算
	add.a	$\%rd, \%rs$	汎用レジスタ間の24ビット加算
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	add.a/c		
	add.a/nc		
	add.a	$\%sp, \%rs$	SPと汎用レジスタの24ビット加算
		$\%rd, imm7$	汎用レジスタと即値の24ビット加算
		$\%sp, imm7$	SPと即値の24ビット加算
	adc	$\%rd, \%rs$	汎用レジスタ間のキャリー付き16ビット加算
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	adc/c		
	adc/nc		
	adc	$\%rd, imm7$	汎用レジスタと即値のキャリー付き16ビット加算
	sub	$\%rd, \%rs$	汎用レジスタ間の16ビット減算
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	sub/c		
	sub/nc		
	sub	$\%rd, imm7$	汎用レジスタと即値の16ビット減算
	sub.a	$\%rd, \%rs$	汎用レジスタ間の24ビット減算
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	sub.a/c		
	sub.a/nc		
	sub.a	$\%sp, \%rs$	SPと汎用レジスタの24ビット減算
		$\%rd, imm7$	汎用レジスタと即値の24ビット減算
		$\%sp, imm7$	SPと即値の24ビット減算
	sbc	$\%rd, \%rs$	汎用レジスタ間のキャリー付き16ビット減算
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	sbc/c		
	sbc/nc		
	sbc	$\%rd, imm7$	汎用レジスタと即値のキャリー付き16ビット減算
	cmp	$\%rd, \%rs$	汎用レジスタ間の16ビット比較
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	cmp/c		
	cmp/nc		
	cmp	$\%rd, sign7$	汎用レジスタと即値の16ビット比較
	cmp.a	$\%rd, \%rs$	汎用レジスタ間の24ビット比較
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	cmp.a/c		
	cmp.a/nc		
	cmp.a	$\%rd, imm7$	汎用レジスタと即値の24ビット比較
	cmc	$\%rd, \%rs$	汎用レジスタ間のキャリー付き16ビット比較
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	cmc/c		
	cmc/nc		
	cmc	$\%rd, sign7$	汎用レジスタと即値のキャリー付き16ビット比較
論理演算	and	$\%rd, \%rs$	汎用レジスタ間の論理積
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	and/c		
	and/nc		
	and	$\%rd, sign7$	汎用レジスタと即値の論理積
	or	$\%rd, \%rs$	汎用レジスタ間の論理和
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	or/c		
	or/nc		
	or	$\%rd, sign7$	汎用レジスタと即値の論理和
	xor	$\%rd, \%rs$	汎用レジスタ間の排他的論理和
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	xor/c		
	xor/nc		
	xor	$\%rd, sign7$	汎用レジスタと即値の排他的論理和
	not	$\%rd, \%rs$	汎用レジスタ間の論理否定(1の補数)
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	not/c		
	not/nc		
	not	$\%rd, sign7$	汎用レジスタと即値の論理否定(1の補数)

種 類	ニーモニック		機 能
シフト&スワップ	sr	$\%rd, \%rs$	右論理シフト(レジスタによるシフトビット数指定)
		$\%rd, imm7$	右論理シフト(即値によるシフトビット数指定)
	sa	$\%rd, \%rs$	右算術シフト(レジスタによるシフトビット数指定)
		$\%rd, imm7$	右算術シフト(即値によるシフトビット数指定)
	sl	$\%rd, \%rs$	左論理シフト(レジスタによるシフトビット数指定)
		$\%rd, imm7$	左論理シフト(即値によるシフトビット数指定)
	swap	$\%rd, \%rs$	16ビット境界でバイト単位のスワップ
即値拡張	ext	$imm13$	直後の命令のオペランドを拡張
コンバージョン	cv.ab	$\%rd, \%rs$	符号付き8ビットデータを24ビットに変換
	cv.as	$\%rd, \%rs$	符号付き16ビットデータを24ビットに変換
	cv.al	$\%rd, \%rs$	32ビットデータを24ビットに変換
	cv.la	$\%rd, \%rs$	24ビットデータを32ビットに変換
	cv.ls	$\%rd, \%rs$	16ビットデータを32ビットに変換
分岐	jpr	$sign10$	PC相対ジャンプ
	jpr.d	$\%rb$	ディレイド分岐可
	jpa	$imm7$	絶対ジャンプ
	jpa.d	$\%rb$	ディレイド分岐可
	jrgt	$sign7$	PC相対条件ジャンプ 分岐条件: $!Z \& !(N \wedge V)$
	jrgt.d		ディレイド分岐可
	jrge	$sign7$	PC相対条件ジャンプ 分岐条件: $!(N \wedge V)$
	jrge.d		ディレイド分岐可
	jrlt	$sign7$	PC相対条件ジャンプ 分岐条件: $N \wedge V$
	jrlt.d		ディレイド分岐可
	jrle	$sign7$	PC相対条件ジャンプ 分岐条件: $Z \vee !N \wedge V$
	jrle.d		ディレイド分岐可
	jrugt	$sign7$	PC相対条件ジャンプ 分岐条件: $!Z \& !C$
	jrugt.d		ディレイド分岐可
	jruge	$sign7$	PC相対条件ジャンプ 分岐条件: $!C$
	jruge.d		ディレイド分岐可
	jrult	$sign7$	PC相対条件ジャンプ 分岐条件: $C$
	jrult.d		ディレイド分岐可
	jrule	$sign7$	PC相対条件ジャンプ 分岐条件: $Z \vee !C$
	jrule.d		ディレイド分岐可
	jreq	$sign7$	PC相対条件ジャンプ 分岐条件: $Z$
	jreq.d		ディレイド分岐可
	jrne	$sign7$	PC相対条件ジャンプ 分岐条件: $!Z$
	jrne.d		ディレイド分岐可
	call	$sign10$	PC相対サブルーチンコール
	call.d	$\%rb$	ディレイド分岐可
	calla	$imm7$	絶対サブルーチンコール
	calla.d	$\%rb$	ディレイド分岐可
	ret		サブルーチンからのリターン
	ret.d		ディレイド分岐可
	int	$imm5$	ソフトウェア割り込み
	intl	$imm5, imm3$	割り込みレベル指定付きソフトウェア割り込み
	reti		割り込みからのリターン
	reti.d		ディレイド分岐可
	brk		デバッグ割り込み
	ret.d		デバッグ処理からのリターン
システム制御	nop		ノーオペレーション
	halt		HALT
	slp		SLEEP
	ei		割り込み許可
	di		割り込み禁止
コプロセッサ制御	ld.cw	$\%rd, \%rs$	コプロセッサへのデータ転送
		$\%rd, imm7$	
	ld.ca	$\%rd, \%rs$	コプロセッサへのデータ転送、結果とフラグ状態の取得
		$\%rd, imm7$	
	ld.cf	$\%rd, \%rs$	コプロセッサへのデータ転送、フラグ状態の取得
		$\%rd, imm7$	

\*1 ld.a命令は32ビットのメモリアクセスを行います。レジスタからメモリへのデータ転送では上位8ビットを0とした32ビットデータがメモリに書き込まれます。メモリからの読み出し時は、読み出しデータの上位8ビットが無視されます。

表中の記号の意味は次のとおりです。

表2.3.2 記号の意味

記 号	説 明
<i>%rs</i>	汎用ソースレジスタ
<i>%rd</i>	汎用デスティネーションレジスタ
<i>[ %rb ]</i>	汎用レジスタで間接指定されるメモリ
<i>[ %rb ] +</i>	汎用レジスタで間接指定されるメモリ(アドレスポストインクリメント付き)
<i>[ %rb ] -</i>	汎用レジスタで間接指定されるメモリ(アドレスポストデクリメント付き)
<i>- [ %rb ]</i>	汎用レジスタで間接指定されるメモリ(アドレスプリデクリメント付き)
<i>%sp</i>	スタックポインタ
<i>[ %sp ], [ %sp + imm7 ]</i>	スタック
<i>[ %sp ] +</i>	スタック(アドレスポストインクリメント付き)
<i>[ %sp ] -</i>	スタック(アドレスポストデクリメント付き)
<i>- [ %sp ]</i>	スタック(アドレスプリデクリメント付き)
<i>imm3, imm5, imm7, imm13</i>	符号なし即値(数値はビット長)
<i>sign7, sign10</i>	符号付き即値(数値はビット長)

## 2.4 ベクタテーブル

ベクタテーブルは、割り込み処理ルーチンへのベクタ(処理ルーチン開始アドレス)を格納します。割り込みが発生すると、S1C17コアは割り込みに対応するベクタを読み出して、その処理ルーチンを実行します。ベクタテーブルの先頭には、リセット後にプログラムの実行を開始するブートアドレスを書き込んでおく必要があります。

ベクタテーブルは“6. 割り込みコントローラ(ITC)”を参照してください。

割り込みベクタを書き込んでおくベクタテーブルのベース(先頭)アドレスは、MISC\_TTBRLとMISC\_TTBRLHレジスタ(0x5328、0x532a)によって設定することができます。表の“TTBR”はこれらのレジスタに設定された値を意味します。イニシャルリセット後、MISC\_TTBRL/MISC\_TTBRLHレジスタは0x8000番地に設定されます。したがって、ベクタテーブルの位置を変更する場合でも、リセットベクタのみは上記のアドレスに書き込んでおく必要があります。MISC\_TTBRLレジスタのビット7～0は0に固定されます。このため、ベクタテーブルの先頭アドレスは常に256バイト境界アドレスから始まります。

### 0x5328–0x532a: Vector Table Address Low/High Registers (MISC\_TTBRL, MISC\_TTBRLH)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Vector Table Address Low Register (MISC_TTBRL)	0x5328 (16 bits)	D15–8	TTBR[15:8]	Vector table base address A[15:8]	0x0–0xff	0x80	R/W	
		D7–0	TTBR[7:0]	Vector table base address A[7:0] (fixed at 0)	0x0	0x0	R	
Vector Table Address High Register (MISC_TTBRLH)	0x532a (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TTBR[23:16]	Vector table base address A[23:16]	0x0–0xff	0x0	R/W	

注: MISC\_TTBRL/MISC\_TTBRLHレジスタは書き込み保護されています。これらのレジスタを書き換えるには、MISC Protect Register(0x5324)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、MISC\_TTBRL/MISC\_TTBRLHの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はMISC Protect Register(0x5324)を0x96以外に設定してください。

## 2.5 PSRの読み出し

S1C17003にはS1C17コアのPSR(Processor Status Register)の内容を読み出すためのPSR Register(0x532c)が設けられています。このレジスタを読み出すことにより、アプリケーションソフトウェアからPSRの内容を確認することができます。ただし、PSRへの書き込みは行えません。

### 0x532c: PSR Register (MISC\_PSR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PSR Register (MISC_PSR)	0x532c (16 bits)	D15-8	—	reserved	—	—	—	0 when being read.
		D7-5	<b>PSRIL[2:0]</b>	PSR interrupt level (IL) bits	0x0 to 0x7	0x0	R	
		D4	<b>PSRIE</b>	PSR interrupt enable (IE) bit	1 1 (enable) 0 0 (disable)	0	R	
		D3	<b>PSRC</b>	PSR carry (C) flag	1 1 (set) 0 0 (cleared)	0	R	
		D2	<b>PSRV</b>	PSR overflow (V) flag	1 1 (set) 0 0 (cleared)	0	R	
		D1	<b>PSRZ</b>	PSR zero (Z) flag	1 1 (set) 0 0 (cleared)	0	R	
		D0	<b>PSRN</b>	PSR negative (N) flag	1 1 (set) 0 0 (cleared)	0	R	

#### D[7:5] PSRIL[2:0]: PSR Interrupt Level (IL) Bits

PSRのILビットの値(割り込みレベル)が読み出せます。(デフォルト: 0x0)

#### D4 PSRIE: PSR Interrupt Enable (IE) Bit

PSRのIEビットの値(割り込みイネーブル)が読み出せます。

1(R): 1(割り込み許可)

0(R): 0(割り込み禁止) (デフォルト)

#### D3 PSRC: PSR Carry (C) Flag

PSRのC(キャリー)フラグの値が読み出せます。

1(R): 1

0(R): 0(デフォルト)

#### D2 PSRV: PSR Overflow (V) Flag

PSRのV(オーバーフロー)フラグの値が読み出せます。

1(R): 1

0(R): 0(デフォルト)

#### D1 PSRZ: PSR Zero (Z) Flag

PSRのZ(ゼロ)フラグの値が読み出せます。

1(R): 1

0(R): 0(デフォルト)

#### D0 PSRN: PSR Negative (N) Flag

PSRのN(ネガティブ)フラグの値が読み出せます。

1(R): 1

0(R): 0(デフォルト)

# 2.6 プロセッサ情報

S1C17003はProcessor ID Register(0xffff84)を内蔵しており、アプリケーションソフトウェアからCPUコアの種類を特定することができます。

## 0xffff84: Processor ID Register (IDIR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Processor ID Register (IDIR)	0xffff84 (8 bits)	D7-0	IDIR[7:0]	Processor ID 0x10: S1C17 Core	0x10	0x10	R	

プロセッサの機種を示すIDコードが格納されるリードオンレジスタです。S1C17コアのIDコードは0x10です。

# 3 メモリマップ、バス制御

図3.1にS1C17003のメモリマップを示します。

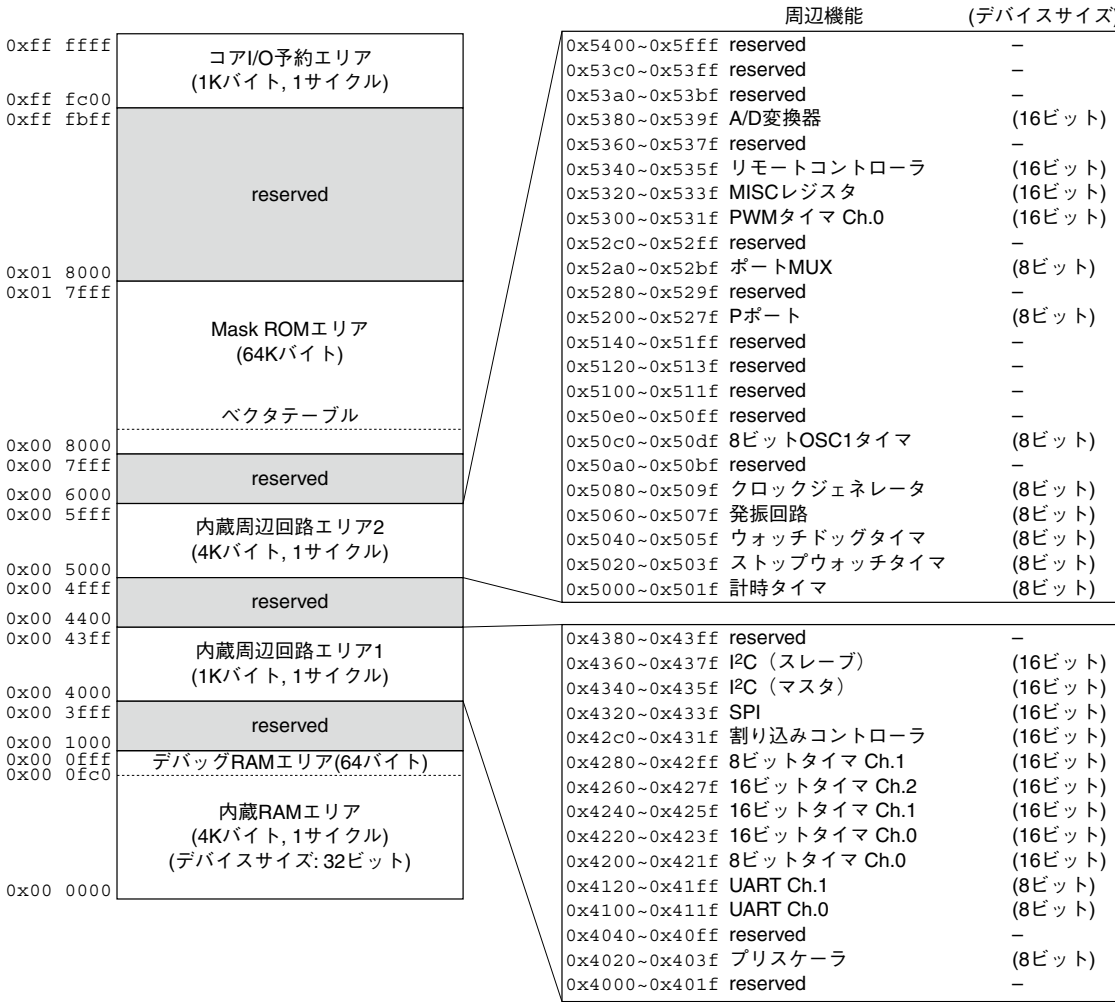


図3.1 S1C17003メモリマップ

## 3.1 バスサイクル

CPUはCCLKを基準に動作します。CCLKについては、“8.2 CPUコアクロック(CCLK)の制御”を参照してください。

CCLKの立ち上がりから次の立ち上がりまでを1 CCLKとし、これを1バスサイクルとします。図3.1に示したとおり、1回のバスアクセスにかかるサイクル数は、周辺回路やメモリによって異なります。また、CPUの命令(アクセスサイズ)とデバイスサイズによりバスアクセス回数も変わります。

表3.1.1 バスアクセス回数

デバイスサイズ	CPUアクセスサイズ	バスアクセス回数
8ビット	8ビット	1
	16ビット	2
	32ビット*	4
16ビット	8ビット	1
	16ビット	1
	32ビット*	2
32ビット	8ビット	1
	16ビット	1
	32ビット*	1

\* 32ビットアクセス時の上位8ビットデータについて

32ビットデータは上位8ビットを0としてメモリに書き込まれます。メモリからの読み出し時は上位8ビットが無視されます。割り込み処理のスタック操作時は、PSRの値を上位8ビットに、戻りアドレスを下位24ビットとした32ビットの書き込み/読み出しを行います。

### 3.1.1 アクセスサイズ制限

全てのモジュールは8ビット、16ビット、32ビットのいずれの命令でもアクセス可能です。ただし、必要のないレジスタの読み出しによって周辺回路の状態が変わり、問題が発生する場合がありますので、できるだけデバイスサイズに合わせてアクセスすることを推奨します。

### 3.1.2 命令実行サイクルの制限

以下のいずれかの条件下では命令のフェッチとデータアクセスが同時に行われず、データの存在するエリアのアクセスサイクル分、命令フェッチのサイクルが長くなります。

- 内蔵RAMエリアで命令を実行し、内蔵RAMエリアのデータにアクセスする場合

## 3.2 内蔵ROMエリア

### 3.2.1 内蔵ROM

0x8000番地から0x17fff番地までの64Kバイトの領域にはROMが内蔵されており、予めアプリケーションプログラムやデータを書き込んでおくことができます。0x8000番地はベクタテーブルベースアドレスとして定義されていますので、この領域の先頭にベクタテーブル(“2.4 ベクタテーブル”参照)をおく必要があります。ベクタテーブルアドレスはMISC\_TTBRL/MISC\_TTBRLHレジスタ(0x5328、0x532a)で変更可能です。

ROMの読み出しは、1～5サイクルで行われます。

### 3.2.2 ROMのリードアクセスサイクルの設定

S1C17602との互換性維持のため、ROMエリアのリードアクセスサイクルが、FLCYC[2:0](D[2:0]/MISC\_FLレジスタ)で設定できるようになっています。通常はFLCYC[2:0]を0x4に設定して使用してください。

#### 0x5320: ROM Control Register (MISC\_FL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
ROM Control Register (MISC_FL)	0x5320 (16bits)	D15-3	—	reserved	—	—	—	0 when being read.
		D2-0	FLCYC[2:0]	FLASHC read access cycle	FLCYC[2:0]    Read cycle	0x3	R/W	
					0x7-0x5    reserved			
					0x4    1 cycle			
					0x3    5 cycles			
					0x2    4 cycles			
					0x1    3 cycles			
					0x0    2 cycles			

#### D[2:0]    FLCYC[2:0]: FLASHC Read Access Cycle Setup Bits

ROMのリードアクセスサイクル数を設定します。

表3.2.2.1 ROMのリードアクセスサイクルの設定

FLCYC[2:0]	リードアクセスサイクル数	CCLK周波数
0x7～0x5	Reserved	—
0x4	1サイクル	20MHz max.
0x3	5サイクル	20MHz max.
0x2	4サイクル	20MHz max.
0x1	3サイクル	20MHz max.
0x0	2サイクル	20MHz max.

(デフォルト: 0x3)

注: • 誤動作の原因になりますので、CCLKの最大許容周波数を超えるリードアクセスサイクル数は設定しないでください。

- パフォーマンスを最大にするためには、FLCYC[2:0]=0x4に設定してください。

## 3.3 内蔵RAMエリア

### 3.3.1 内蔵RAM

0x0番地から0xffff番地までの4Kバイトの領域にはRAMが内蔵されています。このRAMのリード/ライト時は1サイクルでアクセスされます。変数などの格納以外に、命令コードをコピーしてRAM上で高速に実行させることもできます。

注: 内蔵RAMの最後尾の64バイト(0xfc0～0xffff)はオンチップデバッグ用に予約されています。アプリケーション開発中などデバッグ機能を使用する場合は、アプリケーションプログラムからはこの領域をアクセスしないでください。

デバッグの不要な量産品ではアプリケーション用に使用可能です。

S1C17003では使用するRAMのサイズを4KB、2KBに制限することができます。たとえば、S1C17003をROM内蔵機種の開発用に使用する場合などに、RAMサイズをターゲット機種と同じに設定しておくことで、ターゲット機種のRAM領域外をアクセスするようなプログラムを作成してしまうことを回避できます。

この選択はIRAMSZ[1:0](D[1:0]/MISC\_IRAMSZレジスタ)で行います。

### 0x5326: IRAM Size Select Register (MISC\_IRAMSZ)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
IRAM Size Select Register (MISC_IRAMSZ)	0x5326 (16 bits)	D15–2	–	reserved	–	–	–	0 when being read.
		D1–0	IRAMSZ[1:0]	IRAM size select	IRAMSZ[1:0]	Read cycle	0x2	R/W
					0x3	reserved		
					0x2	reserved		
					0x1	reserved		
					0x0	reserved		

#### D[1:0] IRAMSZ[1:0]: IRAM Size Select Bits

使用する内蔵RAMのサイズを選択します。

表3.3.1.1 内蔵RAMサイズの選択

IRAMSZ[1:0]	内蔵RAMサイズ
0x3	reserved
0x2	reserved
0x1	reserved
0x0	reserved

(デフォルト: 0x2)

- 注:
- IRAM Size Select Registerは書き込み保護されています。このレジスタを書き換えるには、MISC Protect Register(0x5324)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、IRAM Size Select Registerの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はMISC Protect Register(0x5324)を0x96以外に設定してください。
  - IRAMSZ[2:0]/MISC\_IRAMSZ レジスタの設定は初期値から変更しないでください。

## 3.4 内蔵周辺回路エリア

---

0x4000番地から始まる1Kバイトと、0x5000番地から始まる4Kバイトのエリアには、内蔵周辺回路のI/Oおよび制御レジスタが割り付けられています。

### 3.4.1 内蔵周辺回路エリア1(0x4000~)

0x4000番地から始まる内蔵周辺回路エリア1には以下の内蔵周辺機能用I/Oメモリが割り付けられており、1サイクルでアクセス可能です。

- プリスケアラ(PSC, 8ビットデバイス)
- UART(UART, 8ビットデバイス)
- 8ビットタイマ(T8F, 16ビットデバイス)
- 16ビットタイマ(T16, 16ビットデバイス)
- 割り込みコントローラ(ITC, 16ビットデバイス)
- SPI(SPI, 16ビットデバイス)
- I<sup>2</sup>Cマスタ(I2C, 16ビットデバイス)
- I<sup>2</sup>Cスレーブ(I2C, 16ビットデバイス)

### 3.4.2 内蔵周辺回路エリア2(0x5000~)

0x5000番地から始まる内蔵周辺回路エリア2には以下の内蔵周辺機能用I/Oメモリが割り付けられており、1サイクルでアクセス可能です。

- 計時タイマ(CT, 8ビットデバイス)
- ストップウォッチタイマ(SWT, 8ビットデバイス)
- ウォッチドッグタイマ(WDT, 8ビットデバイス)
- 発振回路(OSC, 8ビットデバイス)
- クロックジェネレータ(CLG, 8ビットデバイス)
- 8ビットOSC1 PWMタイマ(T8OSC1, 8ビットデバイス)
- 入出力ポート&ポートMUX(P, 8ビットデバイス)
- PWMタイマ(T16E, 16ビットデバイス)
- MISCレジスタ(MISC, 16ビットデバイス)
- リモートコントローラ(REMC, 16ビットデバイス)
- A/D変換器(ADC10, 16ビットデバイス)

### 3.5 コアI/O予約エリア

0xffffc00～0xfffffffの1KバイトはCPUコアI/Oエリアとして使用され、以下のI/Oレジスタが割り付けられています。

表3.5.1 I/Oマップ(コアI/O予約エリア)

周辺回路	アドレス	レジスタ名		機 能
S1C17コアI/O	0xffff84	IDIR	Processor ID Register	プロセッサIDの表示
	0xffff90	DBRAM	Debug RAM Base Register	デバッグRAMベースアドレスの表示
	0xffffa0	DCR	Debug Control Register	デバッグ制御
	0xffffb8	IBAR2	Instruction Break Address Register 2	命令ブレークアドレス#2の設定
	0xffffbc	IBAR3	Instruction Break Address Register 3	命令ブレークアドレス#3の設定
	0xffffd0	IBAR4	Instruction Break Address Register 4	命令ブレークアドレス#4の設定

IDIRについては“2.6 プロセッサ情報”を、その他のレジスタについては“24 オンチップデバッグ(DBG)”を参照してください。

このエリアには、上記以外にもS1C17コア用のレジスタが配置されています。それらのレジスタについては、“S1C17コアマニュアル”を参照してください。

# 4 電源

ここではS1C17003の動作電圧について説明します。

## 4.1 電源端子

S1C17003の電源端子を表4.1.1に示します。

表4.1.1 電源端子

端子名	Pin No.		I/O	タイプ	PU/PD	機能
	TQFP	WCSP				
HVDD	7, 13, 20, 44, 55	C4, E4	–	3.3V	–	I/O電源(+)(1.8V/2.5V/3.3V)
LVDD	6, 22, 25, 48, 50	D5, F2	–	1.8V	–	コア電源(+)(1.8V)
VSS	2, 16, 19, 32, 34, 36, 39, 41, 56	D4, C6, F5	–	GND	–	GND
AVDD	60	D3	–	3.3V	–	アナログ用電源(3.0V/3.3V)

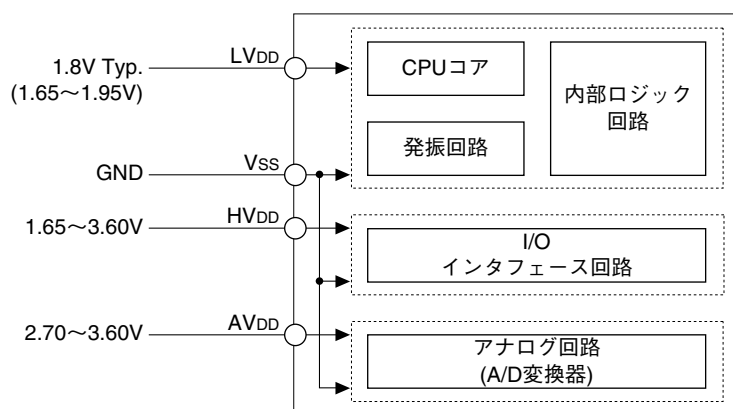


図4.1.1 電源系

## 4.2 動作電圧 (LV<sub>DD</sub>, V<sub>SS</sub>)

S1C17003のコアCPUおよび内部ロジック回路は、LV<sub>DD</sub>～V<sub>SS</sub>間に供給される電源電圧によって動作します。この動作電圧は、次のとおりです。

LV<sub>DD</sub> = 1.65V～1.95V (1.80V ± 0.15V、V<sub>SS</sub> = GND)

注: S1C17003のTQFPパッケージは5本のLV<sub>DD</sub>端子と9本のV<sub>SS</sub>端子を持っています。WCSPパッケージは2本のLV<sub>DD</sub>端子と3本のV<sub>SS</sub>端子を持っています。これらすべての端子を電源に接続し、開放しないでください。

## 4.3 I/Oインタフェース電源 (HV<sub>DD</sub>)

HV<sub>DD</sub>電圧は外部信号とのインタフェースに使用します。S1C17003の出力インタフェースレベルは、HighレベルがHV<sub>DD</sub>、LowレベルがV<sub>SS</sub>となります。GNDレベルにはLV<sub>DD</sub>端子と共通のV<sub>SS</sub>端子を使用します。HV<sub>DD</sub>には次の電圧が使用可能です。

HV<sub>DD</sub> = 1.65V～3.60V (V<sub>SS</sub> = GND)

注: • S1C17003のTQFPパッケージは5本、WCSPパッケージは2本のHV<sub>DD</sub>端子を持っています。これらすべての端子を電源に接続し、開放しないでください。

• OSC3、OSC1端子に外部クロックを入力する場合、クロックの電圧レベルはLV<sub>DD</sub>としてください。

## 4.4 アナログ回路用電源 (AV<sub>DD</sub>)

内蔵のアナログ回路(A/D変換器)がデジタル回路の影響を受けないように、LV<sub>DD</sub>端子、HV<sub>DD</sub>端子とは別にアナログ回路用の電源端子(AV<sub>DD</sub>)が設けられています。

アナログ回路の電源電圧はAV<sub>DD</sub>端子に供給し、V<sub>SS</sub>端子をGNDレベルとしてください。

AV<sub>DD</sub>には次の電圧が使用可能です。

AV<sub>DD</sub> = 2.70V～3.60Vまたは1.65V～3.60V<sup>(注)</sup> (V<sub>SS</sub> = GND)

注: • アナログ回路を使用しない場合でも、AV<sub>DD</sub>端子には必ず1.65～3.60Vの電圧を供給してください。HV<sub>DD</sub>と同電位である必要はありません。

• ADC未使用かつ、P0x端子をアナログ入力ではなくデジタル信号の入力端子としてのみ使用する場合は、AV<sub>DD</sub> = 1.65～3.60Vで使用可能です。ただし、入力するデジタル信号のHighレベルはAV<sub>DD</sub>、LowレベルはGNDである必要があります。

アナログ電源ライン上のノイズはA/D変換精度に影響するため、使用する電源と基板パターンの作成には注意が必要です。

## 4.5 電源に関する注意事項

### ■パワーオンシーケンス

デバイスを正常に動作させるため、以下のタイミングを守って電源を投入してください。

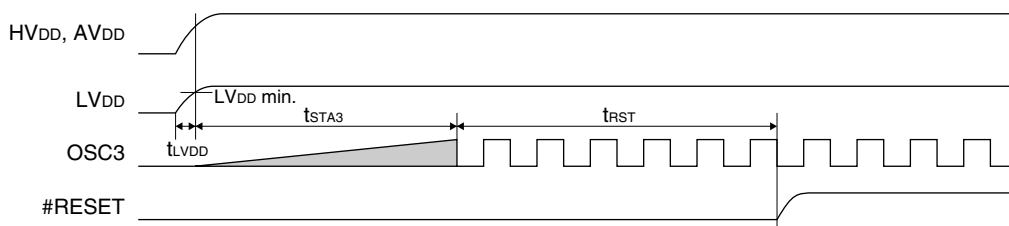


図4.5.1 パワーオンシーケンス

- (1)  $t_{LVDD}$ : 電源投入時の電源が安定するまでの時間  
下記の順序で電源を投入してください。  
電源投入時:  $LV_{DD} \rightarrow HV_{DD}$  (I/O),  $AV_{DD}$  (A/D)  $\rightarrow$  入力信号印加  
または、 $LV_{DD}$ ,  $HV_{DD}$  (I/O),  $AV_{DD}$  (A/D)  $\rightarrow$  入力信号印加  
(下記、"パワーオフシーケンスの注"参照)
- (2)  $t_{STA3}$ : OSC3発振開始時間
- (3)  $t_{RST}$ : 最小リセットパルス幅  
チップに供給されるクロックが安定した状態から最低6クロックの期間、 $\#RESET$ 信号をLowに保持してください。

注:  $HV_{DD}$ をオフ状態からオン状態へ復帰させる場合、電源ノイズ等の影響により内部回路の状態を保証できません。したがって、電源投入後は必ず回路を初期化(リセット)してください。

### ■パワーオフシーケンス

下記の順序で電源を切断してください。

電源切断時: 入力信号オフ  $\rightarrow HV_{DD}$  (I/O),  $AV_{DD}$  (A/D)  $\rightarrow LV_{DD}$

または、入力信号オフ  $\rightarrow HV_{DD}$  (I/O),  $AV_{DD}$  (A/D),  $LV_{DD}$  (下記の注を参照)

- 注:
- $LV_{DD}$ だけが供給された状態になると、 $LV_{DD} \rightarrow HV_{DD}$  ( $AV_{DD}$ )の経路でダイオードが形成され、 $HV_{DD}$  ( $AV_{DD}$ )電源に電流の回りこみが発生します。この状態を回避するには、すべての電源を同時に切断してください。
  - $LV_{DD}$ が切断されている状態で $HV_{DD}$ または $AV_{DD}$ のみを継続的に(1秒以上)印加することは、絶対に避けてください。 $HV_{DD}$ または $AV_{DD}$ の貫通電流によりデバイスの破壊や特性劣化を引き起こす可能性があります。

### ■ラッチアップ

CMOS構造のデバイスは、ラッチアップと呼ばれる状態になることがあります。これは、CMOS ICが内蔵する寄生のPNPN接合(サイリスタ構造)が導通し、 $HV_{DD} - V_{SS}$ 間に大電流が流れて破壊に至る現象です。

ラッチアップは、入力・出力端子への電圧印加が定格を超えて、内部素子に大きな電流が流れた場合、あるいは $HV_{DD}$ 端子の電圧が定格を超えて内部素子が降伏状態になったときに起こります。この場合、定格外の電圧印加が瞬間的なものであっても、一旦ラッチアップ状態になると $HV_{DD} - V_{SS}$ 間の大電流が保持され、発熱や発煙のおそれもあるため、次の点に注意してください。

- (1) 入出力端子の電圧レベルを電気的特性に指定された範囲を超えて電源電圧より上げない、または $V_{SS}$ より下げないでください。電源投入時のタイミングも考慮してください。
- (2) 異常ノイズがデバイスに加わらないようにしてください。
- (3) 未使用の入力端子の電位を $HV_{DD}$ 、 $AV_{DD}$ または $V_{SS}$ に固定してください。
- (4) 出力を短絡しないでください。

# 5 イニシャルリセット

## 5.1 イニシャルリセット要因

S1C17003の内部回路を初期化するイニシャルリセット要因は、以下の3種類です。

- (1) #RESET端子による外部イニシャルリセット
- (2) P0ポート(P00～P03端子)のキー入力による外部イニシャルリセット(ソフトウェアで設定)
- (3) ウォッチドッグタイマによる内部イニシャルリセット(ソフトウェアで設定)

図5.1.1にイニシャルリセット回路の構成を示します。

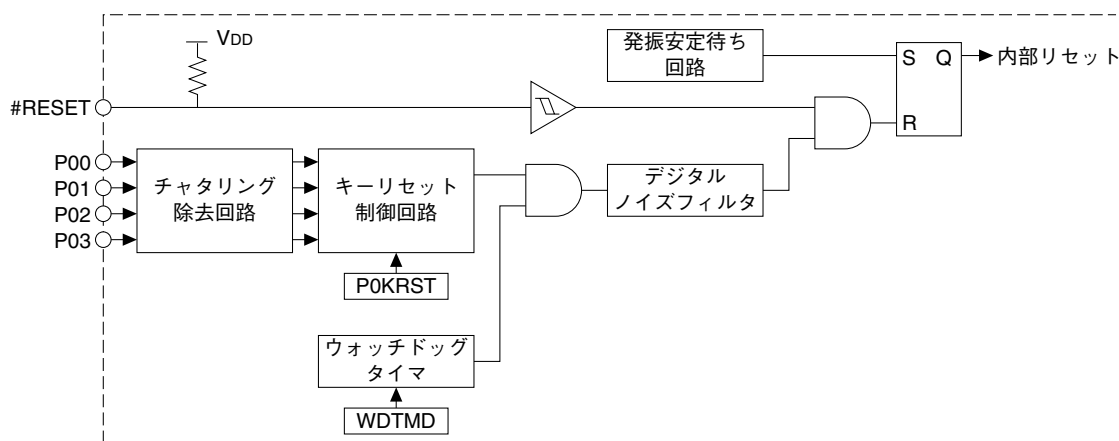


図5.1.1 イニシャルリセット回路の構成

イニシャルリセット要因によってCPUおよび周辺回路が初期化され、要因が解除されるとCPUはリセット処理を開始します。

これによって、ベクタテーブルの先頭からリセットベクタが読み出され、そのアドレスから始まるプログラム(初期化ルーチン)の実行を開始します。

### 5.1.1 #RESET端子

外部から#RESET端子にLowレベルを入力することでイニシャルリセットが行えます。

S1C17003を確実に初期化するため、電源電圧立ち上がり後、#RESET端子を規定の時間以上Lowレベルに保持してください。(“26.4 入出力端子特性”参照)

#RESET入力がLowからHighになると、イニシャルリセットが解除され、CPUはリセット割り込み処理を開始します

#RESET端子には、プルアップ抵抗が内蔵されています。

### 5.1.2 P0ポートキー入力リセット

ソフトウェアで選択されたポート(P00～P03)に、外部から同時にLowレベルを入力することでイニシャルリセットが行えます。使用するポートはP0KRST[1:0](D[1:0]/P0\_KRSTレジスタ)で選択できます。

\* **P0KRST[1:0]**: P0 Port Key-Entry Reset Configuration Bits in the P0 Port Key-Entry Reset Configuration (P0\_KRST) Register (D[1:0]/0x5209)

表5.1.2.1 P0ポートキー入力リセットの設定

P0KRST[1:0]	使用するポート
0x3	P00, P01, P02, P03
0x2	P00, P01, P02
0x1	P00, P01
0x0	使用しない

たとえば、P0KRST[1:0]を0x3に設定した場合、P00～P03の4ポートの入力が同時にLowレベルになったときにイニシャルリセットがかかります。

注: • P0ポートキー入力リセット機能を使用する場合、通常動作時に指定ポートが同時にLowレベルにならないように注意してください。

- P0ポートキー入力リセット機能はソフトウェアで有効にしますので、電源投入時のリセットには使用できません。
- SLEEP状態では、P0ポートキー入力リセット機能は使用できません。

### 5.1.3 ウォッチドッグタイマによるリセット

S1C17003は、CPUの暴走を検出するためのウォッチドッグタイマを内蔵しています。ウォッチドッグタイマは4秒周期以内にソフトウェアによってリセットされない場合(CPUが暴走した場合)、タイマがオーバーフローし、このオーバーフロー信号によりNMIまたはリセットを発生するようになっています。リセットを発生させるにはWDTMD(D1/WDT\_STレジスタ)に1を書き込みます(WDTMDが0の場合はNMIを発生します)。

\* **WDTMD**: NMI/Reset Mode Select Bit in the Watchdog Timer Status (WDT\_ST) Register (D1/0x5041)

ウォッチドッグタイマの詳細については、“17 ウォッチドッグタイマ(WDT)”を参照してください。

注: • ウォッチドッグタイマによるリセット機能を使用する場合は、必ず4秒周期以内にウォッチドッグタイマをリセットし、不要なリセットが発生しないようにプログラムしてください。

- ウォッチドッグタイマによるリセット機能はソフトウェアで有効にしますので、電源投入時のリセットには使用できません。

## 5.2 イニシャルリセットシーケンス

電源投入時の#RESET端子によるリセット解除後、発振安定待ち時間が経過するまでCPUの起動は待たされます。図5.2.1にイニシャルリセット解除後の動作シーケンスを示します。CPUはリセット解除後、fosc3(内蔵発振回路)クロックに同期して起動します。

\* fosc3: OSC3クロック周波数

注: 発振安定待ち時間には、発振開始時間は含まれていません。そのため、電源投入時やSLEEP解除後の命令実行までの時間は、下図よりも長くなる場合があります。

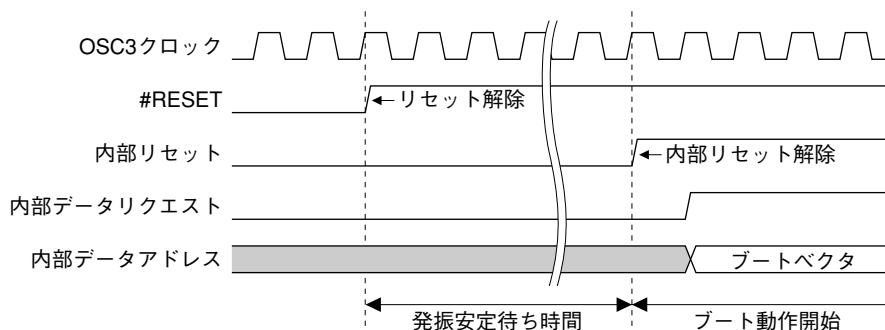


図5.2.1 イニシャルリセット解除後の動作シーケンス

## 5.3 イニシャルリセット時の初期設定

---

イニシャルリセットによりCPUの内部レジスタは以下のように初期化されます。

R0～R7: 0x0

PSR: 0x0(割り込みレベル = 0、割り込み禁止)

SP: 0x0

PC: リセット処理によりベクタテーブル先頭のリセットベクタがロードされます。

内蔵RAMはイニシャルリセット時に初期化されませんので、ソフトウェアで初期化してください。

内蔵の周辺回路については、それぞれ所定の初期化が行われます。必要に応じてソフトウェアで再設定してください。イニシャルリセット時の初期値については、AppendixのI/Oレジスタ一覧または各周辺回路の説明を参照してください。

# 6 割り込みコントローラ (ITC)

## 6.1 ITCの構成

ITCではマスク可能な複数の割り込みが同時に発生した場合に、処理する順序を決定する割り込みレベル(優先順位)を割り込み系列ごとに設定することができます。詳細なマスク可能な割り込みの種数は、次ページのベクタテーブルを参照してください。

各割り込み系列には上記の( )内に示した数の割り込み要因があり、各要因による割り込みの許可/禁止の設定はそれぞれの周辺モジュールのレジスタで行います。

割り込み要因とその制御の詳細については、各周辺モジュールの説明を参照してください。

図6.1.1に割り込みシステムの構成を示します。

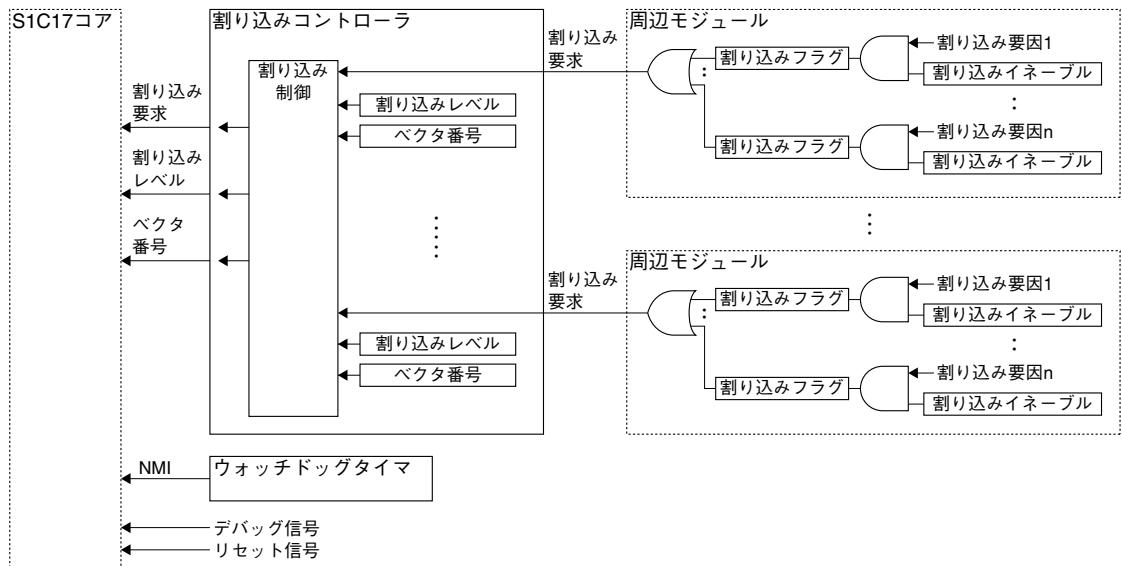


図6.1.1 割り込みシステム

## 6.2 ベクタテーブル

ベクタテーブルは、割り込み処理ルーチンへのベクタ(処理ルーチン開始アドレス)を格納します。割り込みが発生すると、S1C17コアは割り込みに対応するベクタを読み出して、その処理ルーチンを実行します。ベクタテーブルのベース(先頭)アドレスは、MISC\_TTBRLとMISC\_TTBRHレジスタ(0x5328、0x532a)によって設定することができます(“2.4 ベクタテーブル”参照)。表6.2.1の“TTBR”はこれらのレジスタに設定された値を意味します。イニシャルリセット後、MISC\_TTBRL/MISC\_TTBRHレジスタは0x8000番地に設定されます。表6.2.1にS1C17003のベクタテーブルを示します。

表6.2.1 ベクタテーブル

ベクタNo./ソフトウェア割り込みNo.	ベクタアドレス	ハードウェア割り込み名	ハードウェア割り込み要因	優先順位	マスク可／不可
0 (0x00)	TTBR + 0x00	リセット	・ #RESET端子へのLow入力 ・ ウォッチドッグタイマオーバーフロー *2	1	不可
1 (0x01)	TTBR + 0x04	アドレス不整合割り込み	メモリアクセス命令	2	
—	(0xfffc00)	デバッグ割り込み	brk命令等	3	
2 (0x02)	TTBR + 0x08	NMI	ウォッチドッグタイマオーバーフロー *2	4	
3 (0x03)	TTBR + 0x0c	Cコンパイラ (reserved)	Cコンパイラのエミュレーションライブラリが使用	—	
4 (0x04)	TTBR + 0x10	P0ポート割り込み	P00~P07ポート入力	高い *1 ↑	可
5 (0x05)	TTBR + 0x14	P1ポート割り込み	P10~P17ポート入力		
6 (0x06)	TTBR + 0x18	ストップウォッチタイマ割り込み	・ タイマ100Hz信号 ・ タイマ10Hz信号 ・ タイマ1Hz信号		
7 (0x07)	TTBR + 0x1c	計時タイマ割り込み	・ タイマ32Hz信号 ・ タイマ8Hz信号 ・ タイマ2Hz信号 ・ タイマ1Hz信号		
8 (0x08)	TTBR + 0x20	8ビットOSC1タイマ割り込み	コンペアマッチ		
9 (0x09)	TTBR + 0x24	reserved	—		
10 (0x0a)	TTBR + 0x28	reserved	—		
11 (0x0b)	TTBR + 0x2c	PWMタイマCh.0 割り込み	・ コンペアA ・ コンペアB		
12 (0x0c)	TTBR + 0x30	8ビットタイマCh.0/Ch.1割り込み	タイマアンダーフロー		
13 (0x0d)	TTBR + 0x34	16ビットタイマCh.0割り込み	タイマアンダーフロー		
14 (0x0e)	TTBR + 0x38	16ビットタイマCh.1割り込み	タイマアンダーフロー		
15 (0x0f)	TTBR + 0x3c	16ビットタイマCh.2割り込み	タイマアンダーフロー		
16 (0x10)	TTBR + 0x40	UART Ch.0割り込み	・ 送信バッファエンプティ ・ 受信バッファフル ・ 受信エラー		
17 (0x11)	TTBR + 0x44	UART Ch.1割り込み/I <sup>2</sup> C (スレーブ)	・ UART Ch1送信バッファエンプティ ・ UART Ch1受信バッファフル ・ UART Ch1受信エラー ・ I <sup>2</sup> C (スレーブ)送信バッファエンプティ ・ I <sup>2</sup> C (スレーブ)受信バッファフル ・ I <sup>2</sup> C (スレーブ)バスステータス変化		
18 (0x12)	TTBR + 0x48	SPI割り込み	・ 送信バッファエンプティ ・ 受信バッファフル		
19 (0x13)	TTBR + 0x4c	I <sup>2</sup> C (マスタ)割り込み	・ 送信バッファエンプティ ・ 受信バッファフル		
20 (0x14)	TTBR + 0x50	リモートコントローラ割り込み	・ データ長カウンタアンダーフロー ・ 入力立ち上がりエッジ検出 ・ 入力立ち下がりエッジ検出		
21 (0x15)	TTBR + 0x54	reserved	—		
22 (0x16)	TTBR + 0x58	A/D変換器割り込み	・ 変換完了 ・ 変換結果オーバーライト		
23 (0x17)	TTBR + 0x5c	reserved	—		
24 (0x18)	TTBR + 0x60	reserved	—		
⋮	⋮	⋮	⋮		
31 (0x1f)	TTBR + 0x7c	reserved	—	低い *1 ↓	

\*1 同一の割り込みレベルが設定されている場合

\*2 ウォッチドッグタイマの割り込みは、ソフトウェアにてリセットまたはNMIのいずれかを選択

ベクタ番号4~8, 11~20, 22に、S1C17003が対応しているマスク可能な割り込みが割り当てられています。

## 6.3 マスク可能割り込みの制御

### 6.3.1 周辺モジュールの割り込み制御ビット

割り込み発生源の周辺モジュールには、各割り込み要因ごとに割り込みイネーブルビットと割り込みフラグが設けられています。割り込みイネーブルビットを1(割り込み許可)に設定しておく、と、割り込み要因の発生により割り込みフラグが1にセットされます。このフラグの状態が割り込み要求信号としてITCに送られ、S1C17コアへの割り込み要求を発生させます。割り込みを発生させたくない要因については、対応する割り込みイネーブルビットを0に設定します。これにより、割り込み要因が発生しても割り込みフラグは1にセットされず、ITCへの割り込み要求信号もアクティブになりません。

1にセットされた割り込みフラグは、割り込み発生後の割り込み処理ルーチン内でリセットする必要があります。ITCは割り込み要求を信号のレベルで検出しているため、割り込みフラグが1にセットされたまま割り込み処理ルーチンをreti命令で終了すると、再度同じ割り込みが発生してしまいます。

割り込み要因、割り込みフラグ、割り込みイネーブルビットの詳細については、各周辺モジュールの説明を参照してください。

### 6.3.2 ITCの割り込み要求処理

周辺モジュールからの割り込み信号を受け付けると、ITCは割り込み要求、割り込みレベルおよびベクタ番号の信号をS1C17コアに送ります。

ベクタ番号は表6.2.1に示したとおり、ITC内のハードウェアにより割り込み要因ごとに決められています。

割り込みレベルはS1C17コアがILビット(PSR)と比較するための値です。S1C17コアは、この割り込みレベルを使用して、それ以降に発生する同一あるいはそれ以下のレベルの割り込みを禁止します(6.3.3節参照)。

ITCのデフォルト設定では、すべてのマスク可能割り込みがレベル0になります。割り込みレベルが0の場合、S1C17コアはその割り込み要求を受け付けません。

ITCには割り込みレベルを選択する制御ビットが設けられており、割り込み系列ごとに割り込みレベルを0(低)～7(高)に設定できます。

表6.3.2.1 割り込みレベル設定ビット

ハードウェア割り込み	割り込みレベル設定ビット	レジスタアドレス
P0ポート割り込み	ILV0[2:0] (D[2:0]/ITC_LV0レジスタ)	0x4306
P1ポート割り込み	ILV1[2:0] (D[10:8]/ITC_LV0レジスタ)	0x4306
ストップウォッチタイマ割り込み	ILV2[2:0] (D[2:0]/ITC_LV1レジスタ)	0x4308
計時タイマ割り込み	ILV3[2:0] (D[10:8]/ITC_LV1レジスタ)	0x4308
8ビットOSC1タイマ割り込み	ILV4[2:0] (D[2:0]/ITC_LV2レジスタ)	0x430a
reserved	ILV5[2:0] (D[10:8]/ITC_LV2レジスタ)	0x430a
reserved	ILV6[2:0] (D[2:0]/ITC_LV3レジスタ)	0x430c
PWMタイマCh.0割り込み	ILV7[2:0] (D[10:8]/ITC_LV3レジスタ)	0x430c
8ビットタイマCh.0/Ch.1割り込み	ILV8[2:0] (D[2:0]/ITC_LV4レジスタ)	0x430e
16ビットタイマCh.0割り込み	ILV9[2:0] (D[10:8]/ITC_LV4レジスタ)	0x430e
16ビットタイマCh.1割り込み	ILV10[2:0] (D[2:0]/ITC_LV5レジスタ)	0x4310
16ビットタイマCh.2割り込み	ILV11[2:0] (D[10:8]/ITC_LV5レジスタ)	0x4310
UART Ch.0割り込み	ILV12[2:0] (D[2:0]/ITC_LV6レジスタ)	0x4312
UART Ch.1/I <sup>2</sup> C(スレーブ)割り込み	ILV13[2:0] (D[10:8]/ITC_LV6レジスタ)	0x4312
SPI割り込み	ILV14[2:0] (D[2:0]/ITC_LV7レジスタ)	0x4314
I <sup>2</sup> C(マスタ)割り込み	ILV15[2:0] (D[10:8]/ITC_LV7レジスタ)	0x4314
リモートコントローラ割り込み	ILV16[2:0] (D[2:0]/ITC_LV8レジスタ)	0x4316
reserved	ILV17[2:0] (D[10:8]/ITC_LV8レジスタ)	0x4316
A/D変換器割り込み	ILV18[2:0] (D[2:0]/ITC_LV9レジスタ)	0x4318
reserved	ILV19[2:0] (D[10:8]/ITC_LV9レジスタ)	0x4318

複数の周辺モジュールから同時に割り込み要求がITCに入力された場合、ITCは以下の条件に従い、最も優先順位の高い割り込み要求をS1C17コアに出力します。

1. 割り込みレベルが最も高く設定されている割り込みを優先します。
2. 同一の割り込みレベルが設定されている複数の割り込み要求が入力された場合は、ベクタ番号の小さい割り込みを優先します。

同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。

ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

保留状態の割り込み要求を出力した周辺モジュール内の割り込みフラグがソフトウェアでリセットされた場合、その割り込みは発生しません。

### 6.3.3 S1C17コアの割り込み処理

S1C17コアに対するマスク可能な割り込みは、以下のすべての条件が成立している場合に発生します。

- 周辺モジュール内の割り込み制御ビットで割り込みが許可されている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- 発生した割り込み要因が、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

周辺モジュール内で割り込みが許可されている割り込み要因が発生すると、対応する割り込みフラグが1にセットされ、プログラムでリセットするまではその状態を保持します。したがって、割り込み要因の発生時点で上記の条件が満たされていない場合でも発生した割り込み要因がクリアされることはありません。上記の条件が満たされた時点で割り込みが発生します。

同時に複数のマスク可能な割り込み要因が発生した場合は、その中で最も高い割り込みレベルかつ最も小さなベクタ番号を持つ割り込み要因がその時点でのS1C17コアへの割り込み要求の対象となります。優先順位の低い割り込みは、その後、上記の条件が成立するまで保留されます。

S1C17コアは毎サイクル、割り込み要求のサンプリングを行っています。S1C17コアは割り込み要求を受け付けるとその時点の命令の実行終了後、割り込み処理に移行します。

割り込み処理で実行される内容は以下のとおりです。

- (1) PSRおよび現在のプログラムカウンタ(PC)値をスタックに退避
- (2) PSRのIEビットを0にリセット(以降のマスク可能な割り込みを禁止)
- (3) PSRのILを受け付けた割り込みのレベルにセット(NMIは割り込みレベルを変更しない)
- (4) 発生した割り込み要因のベクタをPCにロードして割り込み処理ルーチンを実行

したがって、割り込みを受け付けると、(2)によって以降のマスク可能な割り込みは禁止されます。

割り込み処理ルーチン内でIEビットを1にセットすることで、多重割り込みにも対応できます。その場合、(3)によってILが変更されていますので、現在処理中の割り込みより高いレベルの割り込みのみが受け付けられます。

割り込み処理ルーチンをreti命令で終了すると、PSRが割り込み発生前の状態に戻ります。プログラムは割り込み発生時に実行していた命令の次の命令に分岐して処理を再開します。

## 6.4 NMI

---

S1C17003では、ウォッチドッグタイマでNMI(ノンマスカブル割り込み)を発生させることができます。NMIのベクタ番号は2で、ベクタアドレスはベクタテーブル先頭アドレス+8バイトに設定されています。この割り込みは他の割り込み要因に優先して、無条件にS1C17コアに受け付けられます。

NMIを発生させる方法については、“17 ウォッチドッグタイマ(WDT)”を参照してください。

## 6.5 ソフトウェア割り込み

---

S1C17コアの`int imm5`または`int1 imm5, imm3`命令を使用することによって、ソフトウェアで任意の割り込みを発生させることができます。オペランドの即値`imm5`でベクタテーブルのベクタ番号(0～31)を指定します。`int1`命令では、`imm3`でPSRのILフィールドに設定する割り込みレベル(0～7)を指定することもできます。

プロセッサの割り込み処理の内容は、ハードウェアによる割り込み発生時と同様です。

## 6.6 HALT, SLEEPモードの解除

---

HALT、SLEEPモードは以下の信号によって解除され、CPUが起動します。

- ITCからCPUに対する割り込み要求
- ウォッチドッグタイマからのNMI
- デバッグ割り込み
- リセット

注：ITCからCPUに対する割り込み要求によりHALT、SLEEPモードが解除されたときに、CPUが割り込みを受け付けられる状態になっていれば、解除直後に割り込みルーチンに分岐します。そうでない場合はhaltまたはslp命令に続く命令を実行します。

ITCの割り込みレベル設定では、HALT、SLEEPモードの解除のマスクはできません。

詳細は、Appendix Bの“B.1 クロック制御によるパワーセーブ”を参照してください。

## 6.7 制御レジスタ詳細

表6.7.1 ITCレジスタ

アドレス	レジスタ名		機 能
0x4306	ITC_LV0	Interrupt Level Setup Register 0	P0、P1割り込みレベルの設定
0x4308	ITC_LV1	Interrupt Level Setup Register 1	SWT、CT割り込みレベルの設定
0x430a	ITC_LV2	Interrupt Level Setup Register 2	T8OSC1、割り込みレベルの設定
0x430c	ITC_LV3	Interrupt Level Setup Register 3	T16E Ch.0割り込みレベルの設定
0x430e	ITC_LV4	Interrupt Level Setup Register 4	T8F Ch.0/Ch.1、T16 Ch.0割り込みレベルの設定
0x4310	ITC_LV5	Interrupt Level Setup Register 5	T16 Ch.1、Ch.2割り込みレベルの設定
0x4312	ITC_LV6	Interrupt Level Setup Register 6	UART CH.0、Ch.1/I <sup>2</sup> C (スレーブ) 割り込みレベルの設定
0x4314	ITC_LV7	Interrupt Level Setup Register 7	SPI、I <sup>2</sup> C (マスタ) 割り込みレベルの設定
0x4316	ITC_LV8	Interrupt Level Setup Register 8	REMC割り込みレベルの設定
0x4318	ITC_LV9	Interrupt Level Setup Register 9	A/D割り込みレベルの設定

以下、ITCのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

**0x4306: Interrupt Level Setup Register 0 (ITC\_LV0)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
<b>Interrupt Level Setup Register 0 (ITC_LV0)</b>	<b>0x4306</b> (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	<b>ILV1[2:0]</b>	P1 interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	<b>ILV0[2:0]</b>	P0 interrupt level	0 to 7	0x0	R/W	

**D[15:11] Reserved****D[10:8] ILV1[2:0]: P1 Port Interrupt Level Bits**

P1ポート割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0)

S1C17コアは、PSRのILの値より低いレベルに設定された割り込みを受け付けません。

ITC内では、割り込みレベルを複数の割り込み要因が同時に発生した場合に使用します。

割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCはITC\_LVxレジスタ(0x4306～0x4318)で設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。

同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。

同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。

ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

**D[7:3] Reserved****D[2:0] ILV0[2:0]: P0 Port Interrupt Level Bits**

P0ポート割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0)

ILV1[2:0](D[10:8])の説明を参照してください。

**0x4308: Interrupt Level Setup Register 1 (ITC\_LV1)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register 1 (ITC_LV1)	0x4308 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	<b>ILV3[2:0]</b>	CT interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	<b>ILV2[2:0]</b>	SWT interrupt level	0 to 7	0x0	R/W	

**D[15:11] Reserved****D[10:8] ILV3[2:0]: Clock Timer Interrupt Level Bits**

計時タイマ割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0)  
ITC\_LV0レジスタ(0x4306)のILV1[2:0](D[10:8])の説明を参照してください。

**D[7:3] Reserved****D[2:0] ILV2[2:0]: Stopwatch Timer Interrupt Level Bits**

ストップウォッチタイマ割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0)  
ITC\_LV0レジスタ(0x4306)のILV1[2:0](D[10:8])の説明を参照してください。

**0x430a: Interrupt Level Setup Register 2 (ITC\_LV2)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register 2 (ITC_LV2)	0x430a (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV4[2:0]	T8OSC1 interrupt level	0 to 7	0x0	R/W	

**D[15:3] Reserved****D[2:0] ILV4[2:0]: 8-bit OSC1 Timer Interrupt Level Bits**

8ビットOSC1タイマ割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0)  
ITC\_LV0レジスタ(0x4306)のILV1[2:0](D[10:8])の説明を参照してください。

**0x430c: Interrupt Level Setup Register 3 (ITC\_LV3)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register 3 (ITC_LV3)	0x430c (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV7[2:0]	T16E Ch.0 interrupt level	0 to 7	0x0	R/W	
		D7–0	–	reserved	–	–	–	0 when being read.

**D[15:11] Reserved****D[10:8] ILV7[2:0]: PWM & Capture Timer Ch.0 Interrupt Level Bits**

PWMタイマCh.0割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0)

ITC\_LV0レジスタ(0x4306)のILV1[2:0](D[10:8])の説明を参照してください。

**D[7:0] Reserved**

**0x430e: Interrupt Level Setup Register 4 (ITC\_LV4)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register 4 (ITC_LV4)	0x430e (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	<b>ILV9[2:0]</b>	T16 Ch.0 interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	<b>ILV8[2:0]</b>	T8F Ch.0/Ch.1 interrupt level	0 to 7	0x0	R/W	

**D[15:11] Reserved****D[10:8] ILV9[2:0]: 16-bit Timer Ch.0 Interrupt Level Bits**

16ビットタイマCh.0割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0)  
ITC\_LV0レジスタ (0x4306) のILV1[2:0] (D[10:8]) の説明を参照してください。

**D[7:3] Reserved****D[2:0] ILV8[2:0]: 8-bit Timer Ch.0/Ch.1 Interrupt Level Bits**

8ビットタイマ割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0)  
ITC\_LV0レジスタ (0x4306) のILV1[2:0] (D[10:8]) の説明を参照してください。

**0x4310: Interrupt Level Setup Register 5 (ITC\_LV5)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register 5 (ITC_LV5)	0x4310 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV11[2:0]	T16 Ch.2 interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV10[2:0]	T16 Ch.1 interrupt level	0 to 7	0x0	R/W	

**D[15:11] Reserved****D[10:8] ILV11[2:0]: 16-bit Timer Ch.2 Interrupt Level Bits**

16ビットタイマCh.2割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0)  
ITC\_LV0レジスタ(0x4306)のILV1[2:0](D[10:8])の説明を参照してください。

**D[7:3] Reserved****D[2:0] ILV10[2:0]: 16-bit Timer Ch.1 Interrupt Level Bits**

16ビットタイマCh.1割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0)  
ITC\_LV0レジスタ(0x4306)のILV1[2:0](D[10:8])の説明を参照してください。

**0x4312: Interrupt Level Setup Register 6 (ITC\_LV6)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register 6 (ITC_LV6)	0x4312 (16 bits)	D15–11	—	reserved	—	—	—	0 when being read.
		D10–8	ILV13[2:0]	UART Ch.1/I <sup>2</sup> C (slave) interrupt level	0 to 7	0x0	R/W	
		D7–3	—	reserved	—	—	—	0 when being read.
		D2–0	ILV12[2:0]	UART Ch.0 interrupt level	0 to 7	0x0	R/W	

**D[15:11] Reserved****D[10:8] ILV13[2:0]: UART Ch.1/I<sup>2</sup>C (slave) Interrupt Level Bits**

UART Ch.1またはI<sup>2</sup>C(slave)割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0)  
ITC\_LV0レジスタ (0x4306)のILV1[2:0](D[10:8])の説明を参照してください。

**D[7:3] Reserved****D[2:0] ILV12[2:0]: UART Ch.0 Interrupt Level Bits**

UART Ch.0割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0)  
ITC\_LV0レジスタ (0x4306)のILV1[2:0](D[10:8])の説明を参照してください。

0x4314: Interrupt Level Setup Register 7 (ITC\_LV7)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register 7 (ITC_LV7)	0x4314 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV15[2:0]	I <sup>2</sup> C (master) interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV14[2:0]	SPI interrupt level	0 to 7	0x0	R/W	

D[15:11] Reserved

D[10:8] ILV15[2:0]: I<sup>2</sup>C (master) Interrupt Level Bits

I<sup>2</sup>C割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0)  
ITC\_LV0レジスタ(0x4306)のILV1[2:0](D[10:8])の説明を参照してください。

D[7:3] Reserved

D[2:0] ILV14[2:0]: SPI Interrupt Level Bits

SPI割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0)  
ITC\_LV0レジスタ(0x4306)のILV1[2:0](D[10:8])の説明を参照してください。

**0x4316: Interrupt Level Setup Register 8 (ITC\_LV8)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register 8 (ITC_LV8)	0x4316 (16 bits)	D15-3	—	reserved	—	—	—	0 when being read.
		D2-0	ILV16[2:0]	REMC interrupt level	0 to 7	0x0	R/W	

**D[15:3] Reserved****D[2:0] ILV16[2:0]: REMC Interrupt Level Bits**

リモートコントローラ割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0)  
ITC\_LV0レジスタ(0x4306)のILV1[2:0](D[10:8])の説明を参照してください。

0x4318: Interrupt Level Setup Register 9 (ITC\_LV9)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register 9 (ITC_LV9)	0x4318 (16 bits)	D15-3	—	reserved	—	—	—	0 when being read.
		D2-0	ILV18[2:0]	A/D converter interrupt level	0 to 7	0x0	R/W	

D[15:3]   Reserved

D[2:0]    ILV18[2:0]: A/D Converter Interrupt Level Bits

A/D変換器割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0)  
ITC\_LV0レジスタ (0x4306) のILV1[2:0](D[10:8])の説明を参照してください。

## 6.8 注意事項

---

割り込み発生後は、同じ要因による割り込みの再発生を防止するため、割り込みを許可、PSRを再設定またはreti命令を実行する前に必ず周辺モジュール内の割り込みフラグをリセットしてください。



## 7.2 OSC3発振回路

OSC3発振回路は、水晶、もしくはセラミック振動子を使ったの精度の良い高速発振回路です。イニシャル時S1C17コアと周辺回路のクロックを発生します。

図7.2.1にOSC3発振回路の構造を示します。

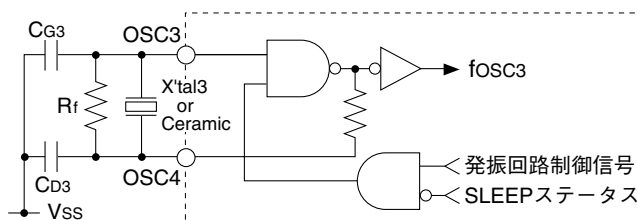


図7.2.1 OSC3発振回路

OSC3端子とOSC4端子間に水晶振動子(X'tal3)またはセラミック振動子(Ceramic)と帰還抵抗(Rf)を、同OSC3、OSC4端子とVss間にキャパシタを2個(CG3、CD3)接続します。

### OSC3発振のOn/Off

OSC3発振回路はOSC3EN(D0/OSC\_CTLレジスタ)を0に設定すると発振を停止し、1に設定すると発振を開始します。OSC3発振回路はSLEEPモードでも発振を停止します。

＊ **OSC3EN**: OSC3 Enable Bit in the Oscillation Control (OSC\_CTL) Register (D0/0x5061)

イニシャルリセット時はOSC3ENが1に設定され、OSC3発振回路は動作状態になります。OSC3クロックを使用するには、上記のOn/Off制御以外にクロックの切り換えも必要です。切り換え方法については、“7.4 クロックの切り換え”を参照してください。

### OSC3発振開始時の安定待ち時間

OSC3クロックを使用する場合、SLEEPからの起床時やソフトウェアでOSC3発振回路をOnにしたときなど、OSC3発振開始時の不安定なクロックによる誤動作を防止するため、OSC3発振回路には発振安定待ちタイマが設けられています。このタイマで設定した時間が経過するまで、OSC3クロックはシステムに供給されません。

この発振安定待ち時間はOSC3WT[1:0](D[5:4]/OSC\_CTLレジスタ)で4種類から選択可能です。

＊ **OSC3WT[1:0]**: OSC3 Wait Cycle Select Bits in the Oscillation Control (OSC\_CTL) Register (D[5:4]/0x5061)

表7.2.1 OSC3発振安定待ち時間の設定

OSC3WT[1:0]	発振安定待ち時間
0x3	128サイクル
0x2	256サイクル
0x1	512サイクル
0x0	1024サイクル

(デフォルト: 0x0)

イニシャルリセット時は1024サイクル(OSC3クロック)に設定されます。

注: 発振の安定度は、振動子、外付け部品によって異なります。発振安定待ち時間を短くする場合は、十分評価のうえ設定してください。

OSC3クロックシステム供給待ち時間 ≤ OSC3発振開始時間(max.) + OSC3発振安定待ち時間

### OSC3の外部クロック入力

OSC3端子は、外部よりクロック入力が可能です。外部クロックを止める時は、Vssレベルで停止させてください。入力クロック波形は“26 電気的特性”を参照してください。

## 7.3 OSC1発振回路

OSC1発振回路は32.768kHzの水晶振動子による、高精度な低速発振回路です。通常、OSC1クロックはタイマ(計時タイマ、ストップウォッチタイマ、ウォッチドッグタイマ、8ビットOSC1タイマ)の動作クロックとして使用します。また、高速な処理が不要な場合は、消費電流を低減するため、OSC3クロックの代わりにシステムクロックとしても使用可能です。図7.3.1にOSC1発振回路の構造を示します。

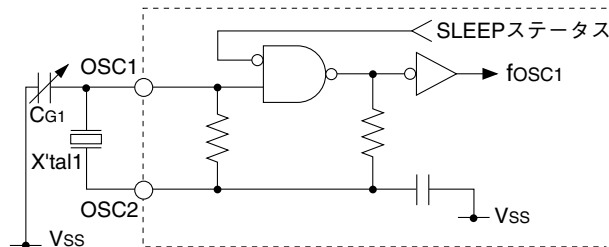


図7.3.1 OSC1発振回路

OSC1端子とOSC2端子間に水晶振動子X'tal1 (Typ. 32.768kHz)を、OSC1端子とVss間にトリマキャパシタCG1 (0~25pF)を接続します。

### OSC1発振のOn/Off

OSC1発振回路はOSC1EN(D1/OSC\_CTLレジスタ)を0に設定すると発振を停止し、1に設定すると発振を開始します。OSC1発振回路はSLEEPモードでも発振を停止します。

\* **OSC1EN**: OSC1 Enable Bit in the Oscillation Control (OSC\_CTL) Register (D1/0x5061)

イニシャルリセット時はOSC1ENが0に設定され、OSC1発振回路は停止状態になります。

### OSC1発振開始時の安定待ち時間

電源投入時、SLEEPからの起床時、ソフトウェアでOSC1発振回路をOnにした場合など、OSC1発振開始時の不安定なクロックによる誤動作を防止するため、OSC1発振回路には発振安定待ちタイマが設けられています。発振開始後、OSC1クロックは256サイクルの期間、システムに供給されません。

OSCクロックシステム供給待ち時間 ≤ OSC1発振開始時間 (max.) + OSC1発振安定待ち時間

### OSC1未使用時の端子処理

OSC1、OSC2端子はオープン状態にして下さい。

注: OSC1、OSC2端子がオープン状態時はOSC1EN(D1/OSC\_CTLレジスタ)を0にして下さい。

## 7.4 クロックの切り換え

S1C17003のシステムクロック選択部は、OSC1-HSCLK選択を行う構成となっています。図7.4.1にシステムクロック選択部の構成を示します。

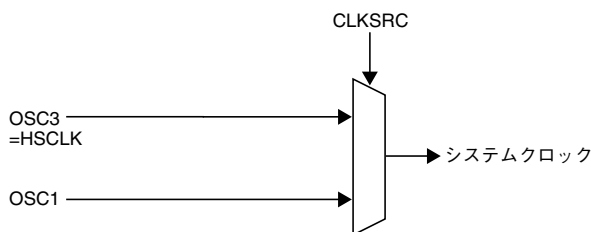


図7.4.1 システムクロック選択部

### OSC1 HSCLKの選択

S1C17003には低速クロックを生成するOSC1発振回路が内蔵されており、OSC1とHSCLKのいずれかをシステムクロックとして選択可能です。イニシャルリセット時にはHSCLKが選択された状態で動作を開始します。

OSC1をシステムクロックとして選択する場合は、OSC1発振回路をOnした後(7.4節参照)、CLKSRC (D0/OSC\_SRCレジスタ)に1を書き込んでください。HSCLKをシステムクロックとして選択する場合は、HSCLKが動作している状態でSRCSRCに0を書き込んでください。

\* **CLKSRC**: System Clock Source Select Bit in the Clock Source Select (OSC\_SRC) Register (D0/0x5060)

システムクロックとして選択した以外の発振回路のうち、周辺回路の動作クロックとして使用していないものについては、停止することで消費電流を低減できます。

注: • OSC1\_HSCLKの選択を行なう場合は、OSC1およびHSCLKの両方が動作している必要があります。どちらか一方でも動作していない状態ではCLKSRCへの書き込みを行なってもシステムクロックの切替は行なわれず、CLKSRCの値も変化しません。

- システムクロックとして選択されている発振回路はOffにすることはできません。
- CLKSRCレジスタへのライト、リードの連続アクセスは禁止です。ライトとリードの間にCLKSRCレジスタへのアクセスと関係の無い命令を少なくとも1命令入れてください。
- OSC1からHSCLKへ、またはHSCLKからOSC1へクロックを切り替える場合は、最小でHSCLKの1サイクル、最大でOSC1の1サイクルの切り替え時間がかかります。

## 7.5 8ビットOSC1タイマクロックの制御

OSCモジュールには、8ビットOSC1タイマの動作クロックを生成する分周回路と供給を制御する機構が組み込まれています。8ビットOSC1タイマはOSC1分周クロックのみで動作するプログラマブルタイマです。詳細については、“14 8ビットOSC1タイマ(T8OSC1)”を参照してください。

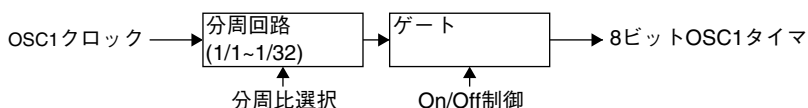


図7.5.1 8ビットOSC1タイマクロック制御回路

### クロック分周比の選択

T8O1CK[2:0](D[3:1]/OSC\_T8OSC1レジスタ)でOSC1クロックの分周比を選択します。

\* **T8O1CK[2:0]**: T8OSC1 Clock Division Ratio Select Bits in the T8OSC1 Clock Control (OSC\_T8OSC1) Register (D[3:1]/0x5065)

表7.5.1 T8OSC1クロック分周比の選択

T8O1CK[2:0]	分周比
0x7~0x6	Reserved
0x5	OSC1•1/32
0x4	OSC1•1/16
0x3	OSC1•1/8
0x2	OSC1•1/4
0x1	OSC1•1/2
0x0	OSC1•1/1

(デフォルト: 0x0)

### クロック供給の制御

8ビットOSC1タイマへのクロック供給は、T8O1CE(D0/OSC\_T8OSC1レジスタ)で制御します。T8O1CEのデフォルト設定は0で、クロックの供給は停止しています。T8O1CEを1に設定すると、上記のとおり生成されたクロックが8ビットOSC1タイマに送られます。8ビットOSC1タイマの動作が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

\* **T8O1CE**: T8OSC1 Clock Enable Bit in the T8OSC1 Clock Control (OSC\_T8OSC1) Register (D0/0x5065)

注: クロック分周比の選択(T8O1CK[2:0](D[3:1]/0x5065))の変更は必ず、T8O1CE(D0/0x5065)が0で8ビットOSC1タイマへのクロックが停止状態で行ってください。

## 7.6 クロック外部出力(FOUTH, FOUT1)

HSCLKの分周クロック(FOUTH)、OSC1クロック(FOUT1)をチップ外部へ出力することができます。

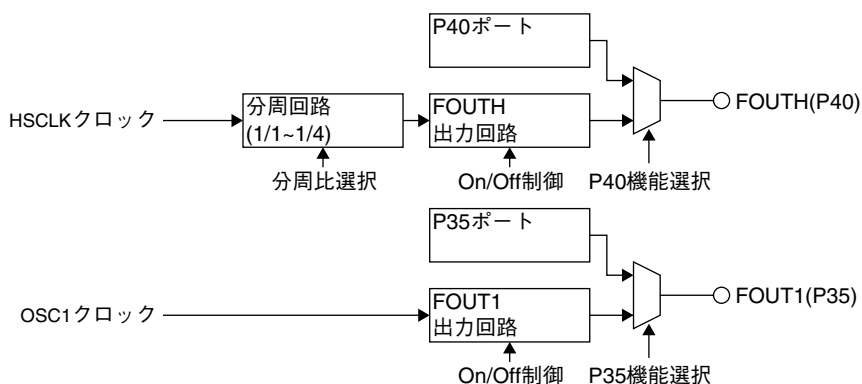


図7.6.1 クロック出力回路

### FOUTH出力

FOUTHはHSCLKの分周クロックです。

#### 出力端子の設定

FOUTH出力端子はP40ポート端子を兼ねています。デフォルト設定ではP40ポート端子として機能しますので、FOUTH出力として使用する場合はP40MUX(D0/P4\_PMUXレジスタ)に1を書き込み、端子機能を変更してください。

\* **P40MUX**: P40 Port Function Select Bit in the P4 Port Function Select (P4\_PMUX) Register (D0/0x52a8)

#### FOUTHクロック周波数の選択

出力するクロック周波数は3種類から選択できます。FOUTH<sub>HD</sub>[1:0](D[3:2]/OSC\_FOUTレジスタ)でHSCLKクロックの分周比を選択してください。

\* **FOUTH<sub>HD</sub>[1:0]**: FOUTH Clock Division Ratio Select Bits in the FOUT Control (OSC\_FOUT) Register (D[3:2]/0x5064)

表7.6.1 FOUTHクロック分周比の選択

FOUTH <sub>HD</sub> [1:0]	分周比
0x3	Reserved
0x2	HSCLK・1/4
0x1	HSCLK・1/2
0x0	HSCLK・1/1

(デフォルト: 0x0)

#### クロック出力の制御

クロック出力は、FOUTHE(D1/OSC\_FOUTレジスタ)で制御します。FOUTHEを1に設定するとFOUTHクロックがFOUTH端子から出力され、FOUTHEを0に設定すると出力は停止します。

\* **FOUTHE**: FOUTH Output Enable Bit in the FOUT Control (OSC\_FOUT) Register (D1/0x5064)

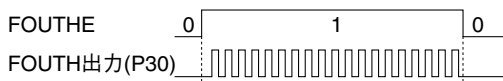


図7.6.2 FOUTH出力

注: • FOUTH信号はFOUTHEの書き込みとは非同期に生成されますので、出力のOn/Off時にはハザードを生じます。

• FOUTHクロック周波数の1選択(FOUTH<sub>HD</sub>[1:0]) (D[3:2]/0x5064)の変更は必ず、FOUTHE(D1/0x5064)が0でクロック出力が停止状態で行ってください。

## FOUT1出力

FOUT1はOSC1クロックです。

### 出力端子の設定

FOUT1出力端子はP35ポート端子を兼ねています。デフォルト設定ではP35ポート端子として機能しますので、FOUT1出力として使用する場合はP35MUX(D3/P1\_PMUXレジスタ)に1を書き込み、端子機能を変更してください。

\* **P35MUX**: P35 Port Function Select Bit in the P3 Port Function Select (P3\_PMUX) Register (D3-2/0x52a7)

### クロック出力の制御

クロック出力は、FOUT1E(D0/OSC\_FOUTレジスタ)で制御します。FOUT1Eを1に設定するとFOUT1クロックがFOUT1端子から出力され、FOUT1Eを0に設定すると出力は停止します。

\* **FOUT1E**: FOUT1 Output Enable Bit in the FOUT Control (OSC\_FOUT) Register (D0/0x5064)

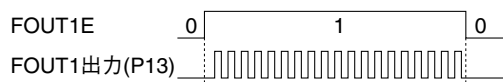


図7.6.3 FOUT1出力

注: FOUT1信号はFOUT1Eの書き込みとは非同期に生成されますので、出力のOn/Off時にはハザードを生じます。

## 7.7 RESET, NMI入力ノイズフィルタ

---

S1C17コアの入力信号の中で、RESET、NMIがノイズの影響により誤まってアクティブになると、不要なリセット、NMI処理を実行してしまいます。

これを防ぐため、OSCモジュールにはシステムクロックで動作するノイズフィルタが組み込まれており、これらの信号がS1C17コアに入力される前にノイズを除去できるようになっています。

ノイズフィルタは信号ごとに独立しており、個別に有効とするかバイパスさせるか選択できます。

RESET入力ノイズフィルタ: RSTFE(D1/OSC\_NFENレジスタ) = 1でノイズ除去、RSTFE = 0でバイパス

NMI入力ノイズフィルタ: NMIFE(D0/OSC\_NFENレジスタ) = 1でノイズ除去、NMIFE = 0でバイパス

\* **RSTFE**: Reset Noise Filter Enable Bit in the Noise Filter Enable (OSC\_NFEN) Register (D1/0x5062)

\* **NMIFE**: NMI Noise Filter Enable Bit in the Noise Filter Enable (OSC\_NFEN) Register (D0/0x5062)

注: • 通常、RESET入力のノイズフィルタは有効に設定してください。

- S1C17003には外部NMI入力端子はありませんが、ウォッチドッグタイマのNMI要求信号がこのノイズフィルタを通ります。

## 7.8 制御レジスタ詳細

表7.8.1 OSCレジスタ一覧

アドレス	レジスタ名		機 能
0x5060	OSC_SRC	Clock Source Select Register	クロック源の選択
0x5061	OSC_CTL	Oscillation Control Register	発振制御
0x5062	OSC_NFEN	Noise Filter Enable Register	ノイズフィルタのON/OFF
0x5063	reserved	reserved	reserved
0x5064	OSC_FOUT	FOUT Control Register	クロック外部出力の制御
0x5065	OSC_T8OSC1	T8OSC1 Clock Control Register	8ビットOSC1タイマクロックの設定
0x5066	reserved	reserved	reserved
0x5067	reserved	reserved	reserved

以下、OSCモジュールのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

**0x5060: Clock Source Select Register (OSC\_SRC)**

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
Clock Source Select Register (OSC_SRC)	0x5060 (8 bits)	D7-2	—	reserved	—		—	—	0 when being read.
		D1	HSCLKSEL	High-speed clock select	1	OSC3	1	R	1 when being read.
		D0	CLKSRC	System clock source select	1	OSC1	0	R/W	

**D[7:2] Reserved****D1 HSCLKSEL: High-speed Clock Select Bit**

高速クロック (HSCLK) を選択します。

1 (R) : OSC3 (固定)

**D0 CLKSRC: System Clock Source Select Bit**

システムのクロックソースを選択します。

1 (R/W) : OSC1

0 (R/W) : HSCLK (デフォルト)

通常 (高速) 動作時は HSCLK (OSC3) を選択します。HSCLK クロックが不要な場合は、OSC1 をシステムクロックに設定し、HSCLK 用発振回路 (OSC3) を停止することで消費電流を低減できます。

- 注:
- OSC1 発振開始直後に、システムクロックを HSCLK から OSC1 に切り換えると、OSC1 クロックが立ち上がるまで (OSC1 クロックの 256 サイクルの期間)、システムクロックは停止します。
  - CLKSRC レジスタ (D0/0x5060) へのライト、リードの連続アクセスは禁止です。ライトとリードの間に CLKSRC レジスタへのアクセスと関係の無い命令を少なくとも 1 命令入れてください。

**0x5061: Oscillation Control Register (OSC\_CTL)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Oscillation Control Register (OSC_CTL)	0x5061 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5-4	OSC3WT[1:0]	OSC3 wait cycle select	OSC3WT[1:0]	Wait cycle	0x0	R/W
					0x3			
					0x2			
					0x1			
					0x0			
		D3-2	—	reserved	—	—	—	0 when being read.
		D1	OSC1EN	OSC1 enable	1 Enable 0 Disable	0	R/W	
		D0	OSC3EN	OSC3 enable	1 Enable 0 Disable	1	R/W	

**D[5:4] OSC3WT[1:0]: OSC3 Wait Cycle Select Bits**

OSC3発振開始時の不安定なクロックによる誤動作を防止するための、発振安定待ち時間を設定します。

電源投入時、SLEEPからの起床時、ソフトウェアでOSC3発振回路をOnにした場合など、OSC3発振開始直後は、ここで設定した時間が経過するまで、OSC3クロックはシステムに供給されません。

表7.8.2 OSC3発振安定待ち時間の設定

OSC3WT[1:0]	発振安定待ち時間
0x3	128サイクル
0x2	256サイクル
0x1	512サイクル
0x0	1024サイクル

(デフォルト: 0x0)

イニシャルリセット時は1024サイクル(OSC3クロック)に設定されます。

注: OSC3発振開始時間は振動子、外付け部品によって変動します。発振安定待ち時間は余裕を持って設定してください。“26 電氣的特性”に発振開始時間の一例を示しますので参考にしてください。

**D[3:2] Reserved****D1 OSC1EN: OSC1 Enable Bit**

OSC1発振回路の動作を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

注: • OSC1クロックをシステムクロックとして使用している場合、OSC1発振回路を停止することはできません。

• OSC1ENを0から1に設定してOSC1発振を開始させた直後は誤動作を防ぐため、OSC1クロックは256サイクルの期間、システムに供給されません。

**D0 OSC3EN: OSC3 Enable Bit**

OSC3発振回路の動作を許可/禁止します。

1(R/W): 許可(On) (デフォルト)

0(R/W): 禁止(Off)

注: OSC3クロックをシステムクロックとして使用している場合、OSC3発振回路を停止することはできません。

0x5062: Noise Filter Enable Register (OSC\_NFEN)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
Noise Filter Enable Register (OSC_NFEN)	0x5062 (8 bits)	D7-2	—	reserved	—			—	—	0 when being read.
		D1	RSTFE	Reset noise filter enable	1	Enable	0	Disable	1	R/W
		D0	NMIFE	NMI noise filter enable	1	Enable	0	Disable	0	R/W

D[7:2]     **Reserved**

D1     **RSTFE: Reset Noise Filter Enable Bit**

RESET入力用ノイズフィルタの動作を有効/無効にします。

1(R/W): 有効(ノイズ除去) (デフォルト)

0(R/W): 無効(バイパス)

このノイズフィルタは、システムクロック(HSCLKクロックまたはOSC1クロック)16サイクル以上の幅のRESETパルスのみをS1C17コアに入力します。通常は有効に設定してください。

D0     **NMIFE: NMI Noise Filter Enable Bit**

NMI入力用ノイズフィルタの動作を有効/無効にします。

1(R/W): 有効(ノイズ除去)

0(R/W): 無効(バイパス) (デフォルト)

このノイズフィルタは、システムクロック(HSCLKクロックまたはOSC1クロック)16サイクル以上の幅のNMIパルスのみをS1C17コアに入力します。パルス幅が16サイクル未満の場合はノイズとして除去されます。

注: S1C17003には外部NMI入力端子はありませんが、ウォッチドッグタイマのNMI要求信号がこのノイズフィルタを通ります。

**0x5064: FOUT Control Register (OSC\_FOUT)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FOUT Control Register (OSC_FOUT)	0x5064 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3-2	FOUTH D [1:0]	FOUTH clock division ratio select	FOUTHD[1:0]	Division ratio	0x0	R/W
					0x3	reserved		
					0x2	HSCLK•1/4		
					0x1	HSCLK•1/2		
		D1	FOUTHE	FOUTH output enable	1 Enable	0 Disable	0	R/W
		D0	FOUT1E	FOUT1 output enable	1 Enable	0 Disable	0	R/W

**D[7:4] Reserved****D[3:2] FOUTH D [1:0]: FOUTH Clock Division Ratio Select Bits**

HSCLKクロックの分周比を選択し、FOUTHクロック周波数を設定します。

表7.8.3 FOUTHクロック分周比の選択

FOUTHD[1:0]	分周比
0x3	Reserved
0x2	HSCLK•1/4
0x1	HSCLK•1/2
0x0	HSCLK•1/1

(デフォルト: 0x0)

**D1 FOUTHE: FOUTH Output Enable Bit**

FOUTHクロック (HSCLK分周クロック) の外部出力を許可/禁止します。

1 (R/W): 許可 (On)

0 (R/W): 禁止 (Off) (デフォルト)

FOUTHEを1に設定するとFOUTHクロックがFOUTH端子から出力され、FOUTHEを0に設定すると出力は停止します。

**D0 FOUT1E: FOUT1 Output Enable Bit**

FOUT1クロック (OSC1クロック) の外部出力を許可/禁止します。

1 (R/W): 許可 (On)

0 (R/W): 禁止 (Off) (デフォルト)

FOUT1Eを1に設定するとFOUT1クロックがFOUT1端子から出力され、FOUT1Eを0に設定すると出力は停止します。

注: FOUTHクロック周波数の1選択 (FOUTHD[1:0]) (D[3:2]/0x5064) の変更は必ず、FOUTHE (D1/0x5064) が0でクロック出力が停止状態で行ってください。

**0x5065: T8OSC1 Clock Control Register (OSC\_T8OSC1)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
T8OSC1 Clock Control Register (OSC_T8OSC1)	0x5065 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3-1	T8O1CK[2:0]	T8OSC1 clock division ratio select	T8O1CK[2:0] Division ratio	0x0	R/W	
					0x7~0x6 reserved 0x5 OSC1•1/32 0x4 OSC1•1/16 0x3 OSC1•1/8 0x2 OSC1•1/4 0x1 OSC1•1/2 0x0 OSC1•1/1			
		D0	T8O1CE	T8OSC1 clock output enable	1 Enable 0 Disable	0	R/W	

**D[7:4] Reserved****D[3:1] T8O1CK[2:0]: T8OSC1 Clock Division Ratio Select Bits**

OSC1クロックの分周比を選択し、8ビットOSC1タイマの動作クロックを設定します。

表7.8.4 T8OSC1クロック分周比の選択

T8O1CK[2:0]	分周比
0x7~0x6	Reserved
0x5	OSC1•1/32
0x4	OSC1•1/16
0x3	OSC1•1/8
0x2	OSC1•1/4
0x1	OSC1•1/2
0x0	OSC1•1/1

(デフォルト: 0x0)

**D0 T8O1CE: T8OSC1 Clock Output Enable Bit**

8ビットOSC1タイマへのクロック供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off) (デフォルト)

T8O1CEのデフォルト設定は0で、クロックの供給は停止しています。T8O1CEを1に設定すると、上記のビットで選択されたクロックが8ビットOSC1タイマに送られます。8ビットOSC1タイマの動作が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

注: クロック分周比の選択 (T8O1CK[2:0] (D[3:1]/0x5065)) の変更は必ず、T8O1CE (D0/0x5065) が0で8ビットOSC1タイマへのクロックが停止状態で行ってください。

## 7.9 注意事項

- 発振開始時間は振動子、外付け部品によって変動します。OSC3発振安定待ち時間は余裕を持って設定してください。“26 電気的特性”に発振開始時間の一例を示しますので参考にしてください。
- OSC1発振開始直後に、システムクロックをHSCLKからOSC1に切り換えると、OSC1クロックが立ち上がるまで(OSC1クロックの256サイクルの期間)、システムクロックは停止します。
- OSC3クロックをシステムクロックとして使用している場合、OSC3発振回路を停止することはできません。
- OSC1クロックをシステムクロックとして使用している場合、OSC1発振回路を停止することはできません。
- FOUTH/FOUT1信号はFOUTHE/FOUT1Eの書き込みとは非同期に生成されますので、出力のOn/Off時にはハザードを生じます。
- CLKSRCレジスタ(D0/0x5060)へのライト、リードの連続アクセスは禁止です。ライトとリードの間にCLKSRCレジスタへのアクセスと関係の無い命令を少なくとも1命令入れてください。
- クロック分周比の選択(T8O1CK[2:0](D[3:1]/0x5065))の変更は必ず、T8O1CE(D0/0x5065)が0で8ビットOSC1タイマへのクロックが停止状態で行ってください。
- FOUTHクロック周波数の1選択(FOUTH0[1:0])(D[3:2]/0x5064)の変更は必ず、FOUTHE(D1/0x5064)が0でクロック出力が停止状態で行ってください。
- 発振の安定度は、振動子、外付け部品によって異なります。発振安定待ち時間を短くする場合は、十分評価のうえ設定してください。  

$$\text{OSC3クロックシステム供給待ち時間} \leq \text{OSC3発振開始時間(max.)} + \text{OSC3発振安定待ち時間}$$
- OSC3、OSC4端子がオープン状態時はOSC3EN(D0/OSC\_CTLレジスタ)を0にして下さい。
- OSC1、OSC2端子がオープン状態時はOSC1EN(D1/OSC\_CTLレジスタ)を0にして下さい。

# 8 クロックジェネレータ (CLG)

## 8.1 クロックジェネレータの構成

クロックジェネレータは、S1C17コアや周辺モジュールへのシステムクロックの供給を制御します。

図8.1.1にクロックシステムとCLGモジュールの構成を示します。

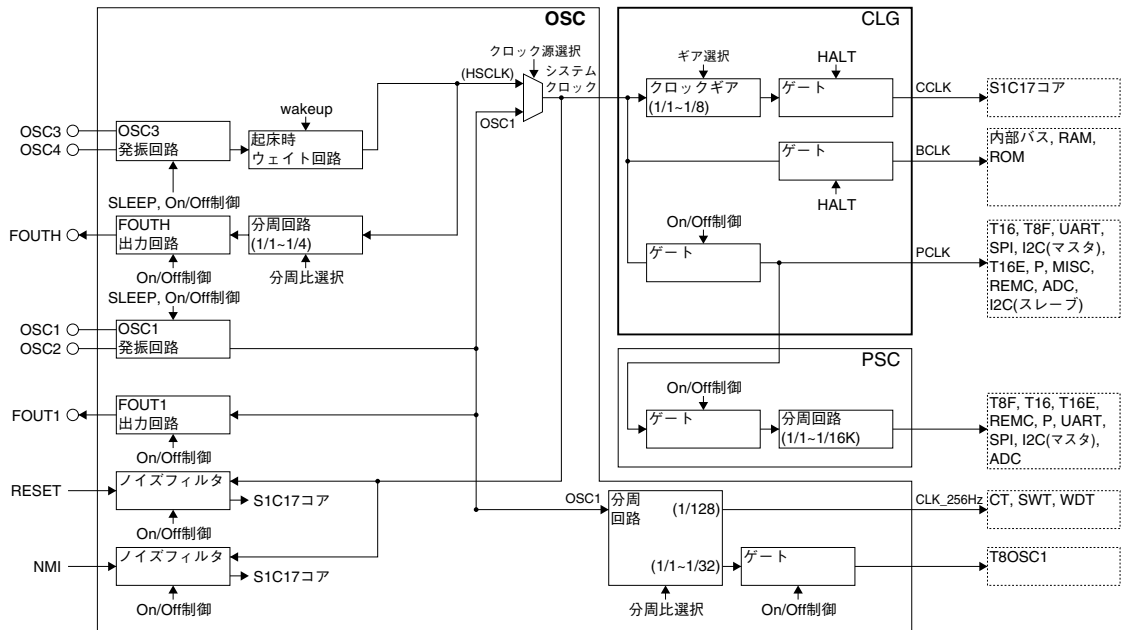


図8.1.1 CLGモジュールの構成

処理に合わせてクロックを制御し、さらにスタンバイモードを組み合わせることで消費電流を抑えることができます。消費電流を抑える手法については、“Appendix B パワーセーブ”を参照してください。

## 8.2 CPUコアクロック (CCLK) の制御

CLGモジュールには、システムクロックを減速させてS1C17コアに送るためのクロックギアが組み込まれています。できるだけ低速なクロックでS1C17コアを動作させることで消費電流を抑えることができます。また、halt命令が実行されると、CLGはS1C17コアへのクロック供給を停止してパワーセーブを図ります。

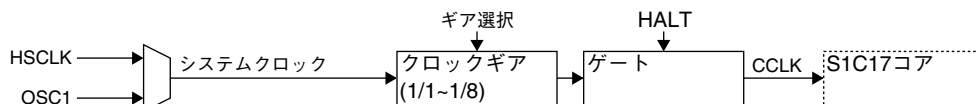


図8.2.1 CCLK供給システム

### クロックギアの設定

CCLKGR[1:0] (D[1:0]/CLG\_CCLKレジスタ)でシステムクロックを減速するギア比を選択します。

\* **CCLKGR[1:0]**: CCLK Clock Gear Ratio Select Bits in the CCLK Control (CLG\_CCLK) Register (D[1:0]/0x5081)

表8.2.1 CCLKギア比の選択

CCLKGR[1:0]	ギア比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

### クロック供給の制御

CCLKクロックの供給を停止するには、halt命令を実行します。システムクロックは停止しませんので、周辺モジュールは動作します。

HALTモードはリセット、NMI、その他の割り込みで解除され、それと同時にCCLKの供給も再開します。

slp命令を実行した場合はCLGへのシステムクロックの供給が停止しますので、CCLKの供給は停止します。SLEEPモードが外部割り込み等で解除されるとシステムクロックの供給が再開され、CCLKの供給も再開します。

システムクロックの制御については、“7 発振回路(OSC)”を参照してください。

## 8.3 周辺モジュールクロック (PCLK) の制御

CLGモジュールは、周辺モジュールへのクロック供給も制御します。  
周辺モジュールクロック (PCLK) にはシステムクロックがそのまま使用されます。

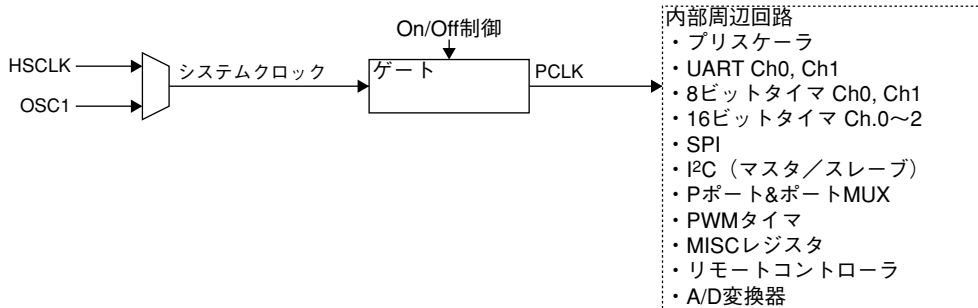


図8.3.1 周辺モジュールクロック制御回路

### クロック供給の制御

PCLKの供給はPCKEN[1:0] (D[1:0]/CLG\_PCLKレジスタ) で制御します。

\* **PCKEN[1:0]**: PCLK Enable Bits in the PCLK Control (CLG\_PCLK) Register (D[1:0]/0x5080)

表8.3.1 PCLKの制御

PCKEN[1:0]	PCLKの供給
0x3	許可 (On)
0x2	設定禁止
0x1	設定禁止
0x0	禁止 (Off)

(デフォルト: 0x3)

デフォルト設定は0x3で、クロックが供給されるようになっています。内部周辺回路エリア内の全周辺モジュール(上記のリストにあるモジュール)の動作が不要な場合は、消費電流を抑えるため、クロックの供給を停止してください。

注: 一部の周辺モジュールが動作を停止しますので、PCKEN[1:0] (D[1:0]/CLG\_PCLKレジスタ) を0x2または0x1には設定しないでください。

### PCLK以外で動作する周辺モジュール

OSC1周辺モジュールは、PCLK以外のクロックで動作します。したがって、PCLKは必要ありません。

#### OSC1周辺モジュール

計時タイマ、ストップウォッチタイマ、ウォッチドッグタイマ、8ビットOSC1タイマはOSC1分周クロックで動作します。

## 8.4 制御レジスタ詳細

表8.4.1 CLGレジスタ一覧

アドレス	レジスタ名		機 能
0x5080	CLG_PCLK	PCLK Control Register	PCLK供給制御
0x5081	CLG_CCLK	CCLK Control Register	CCLK分周比の設定

以下、CLGモジュールのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

**0x5080: PCLK Control Register (CLG\_PCLK)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PCLK Control Register (CLG_PCLK)	0x5080 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1-0	PCKEN[1:0]	PCLK enable	PCKEN[1:0] PCLK supply	0x3	R/W	
					0x3 Enable			
					0x2 Not allowed			
					0x1 Not allowed			
					0x0 Disable			

**D[7:2] Reserved****D[1:0] PCKEN[1:0]: PCLK Enable Bits**

内部周辺モジュールへのクロック (PCLK) の供給を許可/禁止します。

表8.4.2 PCLKの制御

PCKEN[1:0]	PCLKの供給
0x3	許可 (On)
0x2	設定禁止
0x1	設定禁止
0x0	禁止 (Off)

(デフォルト: 0x3)

PCKEN[1:0]のデフォルト設定は0x3で、クロックは供給されるようになっています。下記の周辺モジュールを使用しない場合は、消費電流を抑えるため、クロック供給を停止してください。

PCLKで動作する周辺モジュール

- プリスケラ (PWMタイマ、リモートコントローラ、Pポート)
- UART Ch.0～1
- 8ビットタイマ Ch.0～1
- 16ビットタイマ Ch.0～2
- SPI
- I<sup>2</sup>C (マスタ/スレーブ)
- Pポート & Pポート MUX
- PWMタイマ
- MISCレジスタ
- リモートコントローラ
- A/D変換器

以下の周辺モジュールは制御レジスタへのアクセスを含め、PCLK以外のクロックで動作しますので、PCLKをONする必要はありません。

- 計時タイマ
- ストップウォッチタイマ
- ウォッチドッグタイマ
- 8ビットOSC1タイマ

**注:** 一部の周辺モジュールが動作を停止しますので、PCKEN[1:0]を0x2または0x1には設定しないでください。

0x5081: CCLK Control Register (CLG\_CCLK)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
CCLK Control Register (CLG_CCLK)	0x5081 (8 bits)	D7-2	—	reserved	—		—	—	0 when being read.
		D1-0	CCLKGR[1:0]	CCLK clock gear ratio select	CCLKGR[1:0]	Gear ratio	0x0	R/W	
					0x3	1/8			
					0x2	1/4			
					0x1	1/2			
					0x0	1/1			

D[7:2]     Reserved

D[1:0]     **CCLKGR[1:0]: CCLK Clock Gear Ratio Select Bits**

システムクロックを減速するギア比を選択し、S1C17コアを動作させるCCLKクロックの速度を設定します。できるだけ低速なクロックでS1C17コアを動作させることで消費電流を抑えることができます。

表8.4.3 CCLKギア比の選択

CCLKGR[1:0]	ギア比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

## 8.5 注意事項

- (1) デフォルト設定では、周辺モジュールにPCLKが供給されるようになっています。下記の周辺モジュールを使用しない場合は、消費電流を抑えるため、クロック供給を停止してください。

PCLKで動作する周辺モジュール

- プリスケアラ(PWMタイマ、リモートコントローラ、Pポート)
- UART Ch.0～1
- 8ビットタイマ Ch.0～1
- 16ビットタイマ Ch.0～2
- SPI
- I<sup>2</sup>C(マスタ/スレーブ)
- Pポート&ポートMUX
- PWMタイマ
- MISCレジスタ
- リモートコントローラ
- A/D変換器

以下の周辺モジュールは制御レジスタへのアクセスを含め、PCLK以外のクロックで動作しますので、PCLKをONする必要はありません。

- 計時タイマ
- ストップウォッチタイマ
- ウォッチドッグタイマ
- 8ビットOSC1タイマ

- (2) 一部の周辺モジュールが動作を停止しますので、PCKEN[1:0](D[1:0]/CLG\_PCLKレジスタ)を0x2または0x1には設定しないでください。

\* **PCKEN[1:0]**: PCLK Enable Bits in the PCLK Control (CLG\_PCLK) Register (D[1:0]/0x5080)

# 9 プリスケアラ(PSC)

## 9.1 プリスケアラの構成

S1C17003はタイマなどの動作クロックを生成するプリスケアラを内蔵しています。プリスケアラはクロックジェネレータから供給されるPCLKクロックを1/1～1/16Kに分周し、15種類の周波数を生成します。クロック供給先の周辺モジュールにはクロック選択レジスタが設けられており、この中の1つをカウントクロックや動作クロックとして選択できるようになっています。

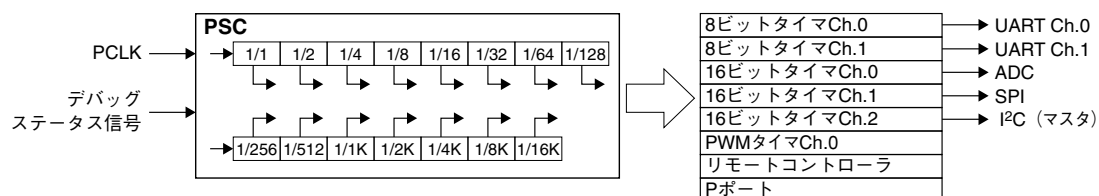


図9.1.1 プリスケアラ

プリスケアラはPRUNビット(D0/PSC\_CTLレジスタ)で制御します。プリスケアラを動作させるにはPRUNに1を書き込みます。0を書き込むとプリスケアラは停止します。タイマやインタフェースモジュールが停止中は、プリスケアラを停止させることで消費電流を低減できます。イニシャルリセット後、プリスケアラは停止しています。

\* **PRUN**: Prescaler Run/Stop Control Bit in the Prescaler Control (PSC\_CTL) Register (D0/0x4020)

注: プリスケアラを使用するには、クロックジェネレータからPCLKが供給されている必要があります。

プリスケアラにはもう一つの制御ビット、PRUND(D1/PSC\_CTLレジスタ)が用意されています。このビットはデバッグモード時のプリスケアラの動作を指定します。PRUNDを1に設定すると、プリスケアラはデバッグモード時も動作します。PRUNDを0に設定すると、S1C17コアがデバッグモードになった時点でプリスケアラは停止します。デバッグ中にタイマやインタフェースモジュールを使用する場合は、PRUNDを1に設定してください。

\* **PRUND**: Prescaler Run/Stop Setting Bit for Debug Mode in the Prescaler Control (PSC\_CTL) Register (D1/0x4020)

## 9.2 制御レジスタ詳細

表9.2.1 プリスケーラレジスタ

アドレス	レジスタ名		機 能
0x4020	PSC_CTL	Prescaler Control Register	プリスケーラのスタート/ストップ制御

プリスケーラのレジスタは8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

### 0x4020: Prescaler Control Register (PSC\_CTL)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
Prescaler Control Register (PSC_CTL)	0x4020 (8 bits)	D7-2	—	reserved	—		—	—	0 when being read.
		D1	PRUND	Prescaler run/stop in debug mode	1	Run	0	Stop	0 R/W
		D0	PRUN	Prescaler run/stop control	1	Run	0	Stop	0 R/W

#### D[7:2] Reserved

#### D1 PRUND: Prescaler Run/Stop Setting Bit for Debug Mode

デバッグモード時のプリスケーラの動作を選択します。

1(R/W): 動作

0(R/W): 停止(デフォルト)

PRUNDを1に設定すると、プリスケーラはデバッグモード時も動作します。PRUNDを0に設定すると、S1C17コアがデバッグモードになった時点でプリスケーラは停止します。デバッグ中にタイマやインタフェースモジュールを使用する場合は、PRUNDを1に設定してください。

#### D0 PRUN: Prescaler Run/Stop Control Bit

プリスケーラの動作を開始/停止させます。

1(R/W): 動作開始

0(R/W): 停止(デフォルト)

プリスケーラを動作させるにはPRUNに1を書き込みます。0を書き込むとプリスケーラは停止します。タイマやインタフェースモジュールが停止中は、プリスケーラを停止させることで消費電流を低減できます。

## 9.3 注意事項

---

プリスケーラを使用するには、クロックジェネレータからPCLKが供給されている必要があります。

# 10 入出力ポート(P)

## 10.1 入出力ポートの構成

S1C17003は、ソフトウェアによって入出力方向の切り換えが可能な30の入出力ポート(P0[7:0]、P1[6:0]、P2[7,4,3]、P3[7:0]、P4[3:0])と4本の入力専用ポート(P17、P2[2:0])を内蔵しています。一部を除き内部周辺モジュールの入出力端子を兼ねていますが、周辺モジュール用に使用しない端子については、汎用の入出力ポートとして使用することができます。

図10.1.1に入出力ポートの構造を示します。

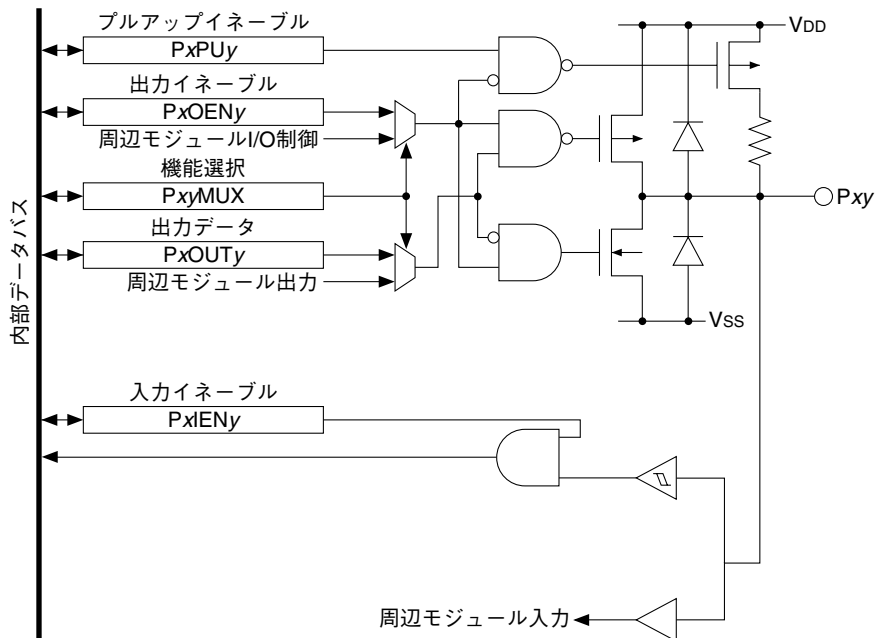


図10.1.1 入出力ポートの構造

P0およびP1ポートは入力割り込みを発生可能です。

また、P0[3:0]ポートはキー入力リセットに使用することもできます(詳細は“5.1.2 P0ポートキー入力リセット”を参照)。

注: 入出力ポートにアクセスするためには、クロックジェネレータからPCLKクロックが供給されている必要があります。

また、P0ポートまたはP1ポートのチャタリングフィルタの動作にはプリスケラ出力クロックも必要です。この機能を使用する場合は、プリスケラもOnにしてください。

## 10.2 入出力端子機能の選択(ポートMUX)

入出力ポート端子は一部を除いて周辺モジュール用の入出力端子を兼ねており、入出力ポートとして使用するか、周辺モジュール用に使用するかを各ポートに対応するポート機能選択ビットによって設定できるようになっています。周辺モジュール用に使用しない端子は、すべて汎用入出力ポート端子として使用できます。

表10.2.1 入出力端子機能の選択

端子機能1 PxxMUX = 0	端子機能2 PxxMUX = 01	端子機能3 PxxMUX = 10	端子機能4 PxxMUX = 11	ポート機能 選択ビット	制御レジスタ
P00	REMO(REMC)	—	—	P00MUX (D1-0)	P0 Port Function Select (P0_PMUX) Register (0x52a0)
P01	REMI(REMC)	—	—	P01MUX (D3-2)	
P02/EXCL0(T16)	—	—	—	P02MUX (D5-4)	
P03	#ADTRG (ADC10SA)	—	—	P03MUX (D7-6)	
P04	SPICLK (SPI)	—	—	P04MUX (D1-0)	P0 Port Function Select (P0_PMUX) Register (0x52a1)
P05	SDO (SPI)	—	—	P05MUX (D3-2)	
P06	SDI (SPI)	—	—	P06MUX (D5-4)	
P07	#SPISS (SPI)	—	—	P07MUX (D7-6)	
P10	SCLK0 (UART)	—	—	P10MUX (D1-0)	P1 Port Function Select (P1_PMUX) Register (0x52a2)
P11	SOUT0 (UART)	—	—	P11MUX (D3-2)	
P12	SIN0 (UART)	—	—	P12MUX (D5-4)	
P13/EXCL1(T16)	—	—	—	P13MUX (D7-6)	
P14/EXCL2(T16)	—	—	—	P14MUX (D1-0)	P1 Port Function Select (P1_PMUX) Register (0x52a3)
P15/EXCL3(T16E)	—	—	—	P15MUX (D3-2)	
P16	SCLK1 (UART)	—	—	P16MUX (D5-4)	
P17	AIN3 (ADC10SA)	—	—	P17MUX (D7-6)	
P20	AIN2 (ADC10SA)	—	—	P20MUX (D1-0)	P2 Port Function Select (P2_PMUX) Register (0x52a4)
P21	AIN1 (ADC10SA)	—	—	P21MUX (D3-2)	
P22	AIN0 (ADC10SA)	—	—	P22MUX (D5-4)	
P23	—	—	—	P23MUX (D7-6)	
P24	—	—	—	P24MUX (D1-0)	P2 Port Function Select (P2_PMUX) Register (0x52a5)
P27	SOUT1 (UART)	—	—	P27MUX (D7-6)	
P30	SIN1 (UART)	—	—	P30MUX (D1-0)	P3 Port Function Select (P3_PMUX) Register (0x52a6)
P31	SCL0 (I2CM)	—	—	P31MUX (D3-2)	
P32	SDA0 (I2CM)	—	—	P32MUX (D5-4)	
P33	SCL1 (I2CS)	SCL0 (I2CM)	—	P33MUX (D7-6)	
P34	SDA1 (I2CS)	SDA0 (I2CM)	—	P34MUX (D1-0)	P3 Port Function Select (P3_PMUX) Register (0x52a7)
P35	FOUT1 (CLG)	#BFR (I2CS)	—	P35MUX (D3-2)	
P36	TOUT3(T16E)	—	—	P36MUX (D5-4)	
P37	TOUTN3(T16E)	—	TOUT4(T8OSC1)	P37MUX (D7-6)	
P40	FOUTH (CLG)	—	—	P40MUX (D1-0)	P4 Port Function Select (P4_PMUX) Register (0x52a8)
DSIO(DBG)	P41	—	—	P41MUX (D3-2)	
DST2(DBG)	P42	—	—	P42MUX (D5-4)	
DCLK(DBG)	P43	—	—	P43MUX (D7-6)	

イニシャルリセットにより、各入出力ポート端子(Pxx)はデフォルト(表10.2.1の端子機能1)の機能に初期化されます。

P02、P13、P14、P15、P16端子は入力モードに設定することで16ビットタイマの外部クロック入力端子としても使用できます。P17、P20、P21、P22端子は入力専用端子です。

入出力ポート以外の機能については、( )で示した周辺モジュールの説明を参照してください。

以下の節は、端子が汎用入出力ポートに設定されているものとしてポート機能を説明します。

## 10.3 データの入出力

### データ入出力制御

入出力ポートは、PxOEN[7:0](Px\_OENレジスタ)とPxIEN[7:0](Px\_IEN)によってビットごとにデータの入出力方向を選択できるようになっています。PxOEN[7:0]はデータ出力のon/off制御、PxIEN[7:0]はデータ入力 of/on/off制御を行います。

- \* **P0OEN[7:0]**: P0[7:0] Port Output Enable Bits in the P0 Port Output Enable (P0\_OEN) Register (D[7:0]/0x5202)
- \* **P1OEN[7:0]**: P1[7:0] Port Output Enable Bits in the P1 Port Output Enable (P1\_OEN) Register (D[7:0]/0x5212)
- \* **P2OEN[7:0]**: P2[7:0] Port Output Enable Bits in the P2 Port Output Enable (P2\_OEN) Register (D[7:0]/0x5222)
- \* **P3OEN[7:0]**: P3[7:0] Port Output Enable Bits in the P3 Port Output Enable (P3\_OEN) Register (D[7:0]/0x5232)
- \* **P4OEN[3:0]**: P4[3:0] Port Output Enable Bits in the P4 Port Output Enable (P4\_OEN) Register (D[3:0]/0x5242)
- \* **P0IEN[7:0]**: P0[7:0] Port Input Enable Bits in the P0 Port Input Enable (P0\_IEN) Register (D[7:0]/0x520a)
- \* **P1IEN[7:0]**: P1[7:0] Port Input Enable Bits in the P1 Port Input Enable (P1\_IEN) Register (D[7:0]/0x521a)
- \* **P2IEN[7:0]**: P2[7:0] Port Input Enable Bits in the P2 Port Input Enable (P2\_IEN) Register (D[7:0]/0x522a)
- \* **P3IEN[7:0]**: P3[7:0] Port Input Enable Bits in the P3 Port Input Enable (P3\_IEN) Register (D[7:0]/0x523a)
- \* **P4IEN[3:0]**: P4[3:0] Port Input Enable Bits in the P4 Port Input Enable (P4\_IEN) Register (D[3:0]/0x524a)

表10.3.1 データ入出力表

PxOEN[7:0] 出力制御	PxIEN[7:0] 入力制御	PxPU[7:0] プルアップ制御	ポートの状態
0	1	0	入力ポートとして機能します (プルアップOff)。ポート端子 (外部入力信号) の値がPxIN[7:0] (入力データ) から読み出せます。出力は禁止されます。
0	1	1	入力ポートとして機能します (プルアップOn)。 (デフォルト) ポート端子 (外部入力信号) の値がPxIN[7:0] (入力データ) から読み出せます。出力は禁止されます。
1	0	1または0	出力ポートとして機能します (プルアップOff)。入力は禁止され、PxIN[7:0] (入力データ) の読み出し値は0となります。
1	1	1または0	出力ポートとして機能します (プルアップOff)。入力も許可され、PxIN[7:0] (入力データ) からポート端子の値 (出力値) が読み出せます。
0	0	0	端子がハイインピーダンス状態かつプルアップOffであるため、I/Oバッファのゲート浮きとなります。そのため、この設定は禁止と致します。
0	0	1	端子がハイインピーダンス状態となります (プルアップOn)。出力と入力は禁止され、PxIN[7:0] (入力データ) の読み出し値は0となります。

周辺モジュール用の機能を選択したポートの入出力方向は周辺モジュールによって制御され、PxIEN[7:0]、PxOEN[7:0]の設定は無視されます。

### データ入力

入力モードに設定する場合はPxIEN[7:0]を1 (デフォルト) に設定します。PxOEN[7:0]が0時は入力モードに設定された入出力ポートは、ハイインピーダンス状態となり入力ポートとして機能します。Px\_PUレジスタでプルアップを有効にしている場合は、ポートがプルアップされます。入力モード時は、入力端子の状態をPxIN[7:0] (Px\_INレジスタ) から直接読み出すことができます。読み出し値は入力端子がHigh (V<sub>DD</sub>) レベルのときに1、Low (V<sub>SS</sub>) レベルのときに0となります。

- \* **P0IN[7:0]**: P0[7:0] Port Input Data Bits in the P0 Port Input Data (P0\_IN) Register (D[7:0]/0x5200)
- \* **P1IN[7:0]**: P1[7:0] Port Input Data Bits in the P1 Port Input Data (P1\_IN) Register (D[7:0]/0x5210)
- \* **P2IN[7:0]**: P2[7:0] Port Input Data Bits in the P2 Port Input Data (P2\_IN) Register (D[7:0]/0x5220)
- \* **P3IN[7:0]**: P3[7:0] Port Input Data Bits in the P3 Port Input Data (P3\_IN) Register (D[7:0]/0x5230)
- \* **P4IN[3:0]**: P4[3:0] Port Input Data Bits in the P4 Port Input Data (P4\_IN) Register (D[3:0]/0x5240)

### データ出力

出力モードに設定する場合はPxOEN[7:0]を1に設定します。出力モードに設定された入出力ポートは出力ポートとして機能し、PxOUT[7:0](Px\_OUTレジスタ)に1を書き込むとポート端子はHigh(VDD)レベル、0を書き込むとLow(VSS)レベルを出力します。なお、Px\_PUレジスタでプルアップを有効にした場合でも、ポートが出力モード時はプルアップされません。

- \* **P0OUT[7:0]**: P0[7:0] Port Output Data Bits in the P0 Port Output Data (P0\_OUT) Register (D[7:0]/0x5201)
- \* **P1OUT[7:0]**: P1[7:0] Port Output Data Bits in the P1 Port Output Data (P1\_OUT) Register (D[7:0]/0x5211)
- \* **P2OUT[7:0]**: P2[7:0] Port Output Data Bits in the P2 Port Output Data (P2\_OUT) Register (D[7:0]/0x5221)
- \* **P3OUT[7:0]**: P3[7:0] Port Output Data Bits in the P3 Port Output Data (P3\_OUT) Register (D[7:0]/0x5231)
- \* **P4OUT[3:0]**: P4[3:0] Port Output Data Bits in the P4 Port Output Data (P4\_OUT) Register (D[3:0]/0x5241)

入力モード時も、端子の状態に影響を与えることなくPxOUT[7:0]に対して書き込みは行えます。

## 10.4 プルアップ制御

入出力ポートはプルアップ抵抗を内蔵しており、これを使用するかしないか、PxPU[7:0](Px\_PUレジスタ)によってビットごとに選択できるようになっています。

- \* **P0PU[7:0]**: P0[7:0] Port Pull-up Enable Bits in the P0 Port Pull-up Control (P0\_PU) Register (D[7:0]/0x5203)
- \* **P1PU[7:0]**: P1[7:0] Port Pull-up Enable Bits in the P1 Port Pull-up Control (P1\_PU) Register (D[7:0]/0x5213)
- \* **P2PU[7:0]**: P2[7:0] Port Pull-up Enable Bits in the P2 Port Pull-up Control (P2\_PU) Register (D[7:0]/0x5223)
- \* **P3PU[7:0]**: P3[7:0] Port Pull-up Enable Bits in the P3 Port Pull-up Control (P3\_PU) Register (D[7:0]/0x5233)
- \* **P4PU[3:0]**: P4[3:0] Port Pull-up Enable Bits in the P4 Port Pull-up Control (P4\_PU) Register (D[3:0]/0x5243)

PxPU[7:0]を1(デフォルト)に設定することによりプルアップ抵抗が有効になり、入力モード時にポート端子がプルアップされます。0に設定するとプルアップされません。

出力モード時には、PxPU[7:0]の設定は無効となり、プルアップされません。

使用しない入出力ポートについてはプルアップを有効に設定してください。

周辺モジュール用の機能を選択したポートも、このプルアップ設定は有効です。

内蔵プルアップ抵抗によって、ポート端子をLowレベルからHighレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入出力ポートの取り込みには十分な待ち時間を設定してください。

## 10.5 P0/P1ポートのチャタリング除去機能

P0およびP1ポートにはキー入力用のチャタリング除去回路が設けられています。この機能を使用するか否か、また、使用する場合は検定時間を、PxCF1/2[2:0](Px\_CHATレジスタ)によってP0[3:0]、P0[7:4]、P1[3:0]、P1[7:4]の4ポートごとに選択します。

- \* **P0CF1[2:0]**: P0[3:0] Chattering Filter Time Select Bits in the P0 Port Chattering Filter Control (P0\_CHAT) Register (D[2:0]/0x5208)
- \* **P0CF2[2:0]**: P0[7:4] Chattering Filter Time Select Bits in the P0 Port Chattering Filter Control (P0\_CHAT) Register (D[6:4]/0x5208)
- \* **P1CF1[2:0]**: P1[3:0] Chattering Filter Time Select Bits in the P1 Port Chattering Filter Control (P1\_CHAT) Register (D[2:0]/0x5218)
- \* **P1CF2[2:0]**: P1[7:4] Chattering Filter Time Select Bits in the P1 Port Chattering Filter Control (P1\_CHAT) Register (D[6:4]/0x5218)

表10.5.1 チャタリング除去機能の設定

P0CFx[2:0]	検定時間 *
0x7	16384/fPCLK (8ms)
0x6	8192/fPCLK (4ms)
0x5	4096/fPCLK (2ms)
0x4	2048/fPCLK (1ms)
0x3	1024/fPCLK (512μs)
0x2	512/fPCLK (256μs)
0x1	256/fPCLK (128μs)
0x0	なし(Off)

(デフォルト: 0x0, \* HSCLK = 2MHz, PCLK = HSCLKの場合)

- 注:
- チャタリング除去の検定時間は、除去できる最大パルス幅のことを指します。入力割り込みを発生させるには、最小で検定時間、最大で検定時間の2倍の入力時間が必要になります。
  - チャタリング除去がOnに設定されたままSLEEPモードに入ると、入力割り込みを受け付けません。slp命令実行前に、チャタリング除去をOff(時間検定なし)に設定してください。
  - P0\_CHATレジスタ(0x5208)、P1\_CHATレジスタ(0x5218)の設定変更は、必ずP0/P1ポート割り込みが禁止されている状態で行ってください。割り込みが許可されている状態で設定を変更すると、P0/P1ポート割り込みが誤って発生する場合があります。
  - 入力信号の立ち上がり/立ち下がり時間が遅い場合、信号がしきい値を通過するまでに時間がかかり、内部信号が発振する現象が起こる可能性があります。この場合、入力割り込みは誤動作しますので、入力信号の立ち上がり/立ち下がり時間は25ns以下を目安に設定してください。

## 10.6 ポート入力割り込み

P0およびP1ポートは入力割り込み機能を持っています。

16ポートの中から割り込みに使用するポートを任意に選択可能です。また、割り込み発生条件についても、入力信号の立ち上がりエッジまたは立ち下がりエッジのどちらで割り込みを発生させるか選択可能です。

図10.6.1にポート入力割り込み回路の構成を示します。

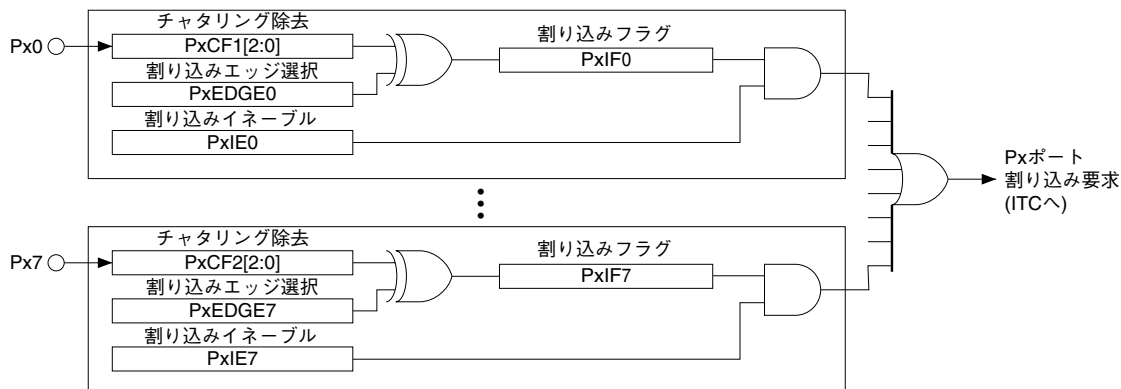


図10.6.1 ポート入力割り込み回路の構成

### 割り込みポートの選択

割り込みを発生させるポートをPxIE[7:0] (Px\_IMSKレジスタ)によって選択します。

- \* **P0IE[7:0]**: P0[7:0] Port Interrupt Enable Bits in the P0 Port Interrupt Mask (P0\_IMSK) Register (D[7:0]/0x5205)
- \* **P1IE[7:0]**: P1[7:0] Port Interrupt Enable Bits in the P1 Port Interrupt Mask (P1\_IMSK) Register (D[7:0]/0x5215)

PxIE[7:0]を1に設定すると、対応するポートが割り込みを発生可能となります。0(デフォルト)に設定すると割り込みを発生しません。

### 割り込みエッジの選択

ポート入力割り込みは、入力信号の立ち上がりエッジまたは立ち下がりエッジで発生させることができます。どちらのエッジで発生させるかを、PxEDGE[7:0] (Px\_EDGEレジスタ)によって選択します。

- \* **P0EDGE[7:0]**: P0[7:0] Port Interrupt Edge Select Bits in the P0 Port Interrupt Edge Select (P0\_EDGE) Register (D[7:0]/0x5206)
- \* **P1EDGE[7:0]**: P1[7:0] Port Interrupt Edge Select Bits in the P1 Port Interrupt Edge Select (P1\_EDGE) Register (D[7:0]/0x5216)

PxEDGE[7:0]を1に設定するとポート入力割り込みは入力信号の立ち下がりエッジで発生し、0(デフォルト)に設定すると立ち上がりエッジで発生します。

割り込みフラグ

ITCはP0ポート割り込みとP1ポート割り込みの2系統の割り込み要求を受け付け可能ですが、P0[7:0]とP1[7:0]の16ポートの割り込みを個々に制御できるよう、Pポートモジュール内には、16ポートに個々に対応する割り込みフラグPxIF[7:0]が用意されています。PxIF[7:0]は入力信号の指定エッジ(立ち上がりエッジまたは立ち下がりエッジ)で1にセットされます。対応するPxIE[7:0]を1に設定しておくことにより、ITCに対してP0またはP1ポート割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

- \* **P0IF[7:0]**: P0[7:0] Port Interrupt Flags in the P0 Port Interrupt Flag (P0\_IFLG) Register (D[7:0]/0x5207)
- \* **P1IF[7:0]**: P1[7:0] Port Interrupt Flags in the P1 Port Interrupt Flag (P1\_IFLG) Register (D[7:0]/0x5217)

PxIF[7:0]は1の書き込みによりリセットされます。

- 注: • ポート割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、Pポートモジュール内の割り込みフラグPxIF[7:0]をリセットする必要があります。
- 不要な割り込みの発生を防止するため、PxIE[7:0](Px\_IMSKレジスタ)によって必要なポートの割り込みを許可する前に、対応するPxIF[7:0]をリセットしてください。

割り込みベクタ

ポート割り込みのベクタ番号とベクタアドレスは以下のとおりです。

表10.6.1 ポート割り込みベクタ

ポート	ベクタ番号	ベクタアドレス
P0	4(0x04)	TTBR + 0x10
P1	5(0x05)	TTBR + 0x14

その他の割り込み設定

ITCではP0ポート割り込みとP1ポート割り込みの優先順位をレベル0(デフォルト)～レベル7に設定可能です。また、実際に割り込みを発生させるにはPSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットを1に設定しておく必要があります。割り込み処理の詳細については、“6 割り込みコントローラ(ITC)”を参照してください。

## 10.7 制御レジスタ詳細

表10.7.1 入出力ポート制御レジスタ一覧

アドレス	レジスタ名		機能
0x5200	P0_IN	P0 Port Input Data Register	P0ポート入力データ
0x5201	P0_OUT	P0 Port Output Data Register	P0ポート出力データ
0x5202	P0_OEN	P0 Port Output Enable Register	P0ポート出力イネーブル
0x5203	P0_PU	P0 Port Pull-up Control Register	P0ポートのプルアップ制御
0x5205	P0_IMSK	P0 Port Interrupt Mask Register	P0ポート割り込みマスクの設定
0x5206	P0_EDGE	P0 Port Interrupt Edge Select Register	P0ポート割り込みエッジの選択
0x5207	P0_IFLG	P0 Port Interrupt Flag Register	P0ポート割り込み発生状態の表示/リセット
0x5208	P0_CHAT	P0 Port Chattering Filter Control Register	P0ポートチャタリング除去制御
0x5209	P0_KRST	P0 Port Key-Entry Reset Configuration Register	P0ポートキー入力リセットの設定
0x520a	P0_IEN	P0 Port Input Enable Register	P0ポート入力イネーブル
0x5210	P1_IN	P1 Port Input Data Register	P1ポート入力データ
0x5211	P1_OUT	P1 Port Output Data Register	P1ポート出力データ
0x5212	P1_OEN	P1 Port Output Enable Register	P1ポート出力イネーブル
0x5213	P1_PU	P1 Port Pull-up Control Register	P1ポートのプルアップ制御
0x5215	P1_IMSK	P1 Port Interrupt Mask Register	P1ポート割り込みマスクの設定
0x5216	P1_EDGE	P1 Port Interrupt Edge Select Register	P1ポート割り込みエッジの選択
0x5217	P1_IFLG	P1 Port Interrupt Flag Register	P1ポート割り込み発生状態の表示/リセット
0x5218	P1_CHAT	P1 Port Chattering Filter Control Register	P1ポートチャタリング除去制御
0x521a	P1_IEN	P1 Port Input Enable Register	P1ポート入力イネーブル
0x5220	P2_IN	P2 Port Input Data Register	P2ポート入力データ
0x5221	P2_OUT	P2 Port Output Data Register	P2ポート出力データ
0x5222	P2_OEN	P2 Port Output Enable Register	P2ポート出力イネーブル
0x5223	P2_PU	P2 Port Pull-up Control Register	P2ポートのプルアップ制御
0x522a	P2_IEN	P2 Port Input Enable Register	P2ポート入力イネーブル
0x5230	P3_IN	P3 Port Input Data Register	P3ポート入力データ
0x5231	P3_OUT	P3 Port Output Data Register	P3ポート出力データ
0x5232	P3_OEN	P3 Port Output Enable Register	P3ポート出力イネーブル
0x5233	P3_PU	P3 Port Pull-up Control Register	P3ポートのプルアップ制御
0x523a	P3_IEN	P3 Port Input Enable Register	P3ポート入力イネーブル
0x5240	P4_IN	P4 Port Input Data Register	P4ポート入力データ
0x5241	P4_OUT	P4 Port Output Data Register	P4ポート出力データ
0x5242	P4_OEN	P4 Port Output Enable Register	P4ポート出力イネーブル
0x5243	P4_PU	P4 Port Pull-up Enable Register	P4ポートのプルアップ制御イネーブル
0x524a	P4_IEN	P4 Port Input Enable Register	P4ポート入力イネーブル
0x52a0	P0_PMUX	P0 Port Function Select Register	P0ポート機能の選択
0x52a1	P0_PMUX	P0 Port Function Select Register	P0ポート機能の選択
0x52a2	P1_PMUX	P1 Port Function Select Register	P1ポート機能の選択
0x52a3	P1_PMUX	P1 Port Function Select Register	P1ポート機能の選択
0x52a4	P2_PMUX	P2 Port Function Select Register	P2ポート機能の選択
0x52a5	P2_PMUX	P2 Port Function Select Register	P2ポート機能の選択
0x52a6	P3_PMUX	P3 Port Function Select Register	P3ポート機能の選択
0x52a7	P3_PMUX	P3 Port Function Select Register	P3ポート機能の選択
0x52a8	P4_PMUX	P4 Port Function Select Register	P4ポート機能の選択

以下、入出力ポートのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

# 0x5200/0x5210/0x5220/0x5230/0x5240: Px Port Input Data Registers (Px\_IN)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
P0 Port Input Data Register (P0_IN)	0x5200 (8 bits)	D7-0	P0IN[7:0]	P0[7:0] port input data	1	1 (H)	0	0 (L)	×	R	
P1 Port Input Data Register (P1_IN)	0x5210 (8 bits)	D7-0	P1IN[7:0]	P1[7:0] port input data	1	1 (H)	0	0 (L)	×	R	
P2 Port Input Data Register (P2_IN)	0x5220 (8 bits)	D7-0	P2IN[7:0]	P2[7:0] port input data	1	1 (H)	0	0 (L)	×	R	P25, P26 : 0 when being read.
P3 Port Input Data Register (P3_IN)	0x5230 (8 bits)	D7-0	P3IN[7:0]	P3[7:0] port input data	1	1 (H)	0	0 (L)	×	R	
P4 Port Input Data Register (P4_IN)	0x5240 (8 bits)	D7-4	—	reserved	—			—	—	X when being read.	
		D3-0	P4IN[3:0]	P4[3:0] port input data	1	1 (H)	0	0 (L)	×	R	

注: ビット名などの'x'はポート番号の0〜4を示します。

## D[7:0] PxIN[7:0]: Px[7:0] Port Input Data Bits (P4ポートはP4IN[3:0])

Pポート端子の状態が読み出せます。(デフォルト: 外部端子の状態)

1 (R): Highレベル

0 (R): Lowレベル

PxIN[7:0]はPx[7:0]端子と1対1に対応し、入力/出力モードにかかわらず端子の電圧レベルが読み出せます。端子電圧がHighの場合の読み出し値は1、Lowの場合の読み出し値は0です。

PxIN[7:0]は読み出し専用のため、書き込み操作は無効です。

P2IN[6:5]は読み出し値0固定です。

**0x5201/0x5211/0x5221/0x5231/0x5241: Px Port Output Data Registers (Px\_OUT)**

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
P0 Port Output Data Register (P0_OUT)	0x5201 (8 bits)	D7-0	P0OUT[7:0]	P0[7:0] port output data	1	1 (H)	0	0 (L)	0	R/W	
P1 Port Output Data Register (P1_OUT)	0x5211 (8 bits)	D7-0	P1OUT[7:0]	P1[7:0] port output data	1	1 (H)	0	0 (L)	0	R/W	
P2 Port Output Data Register (P2_OUT)	0x5221 (8 bits)	D7-0	P2OUT[7:0]	P2[7:0] port output data	1	1 (H)	0	0 (L)	0	R/W	
P3 Port Output Data Register (P3_OUT)	0x5231 (8 bits)	D7-0	P3OUT[7:0]	P3[7:0] port output data	1	1 (H)	0	0 (L)	0	R/W	
P4 Port Output Data Register (P4_OUT)	0x5241 (8 bits)	D7-4 D3-0	— P4OUT[3:0]	reserved P4[3:0] port output data	1	1 (H)	0	0 (L)	— 0	— R/W	0 when being read.

注: ビット名などの‘x’はポート番号の0～4を示します。

**D[7:0] PxOUT[7:0]: Px[7:0] Port Output Data Bits (P4ポートはP4OUT[3:0])**

ポート端子から出力するデータを設定します。

1(R/W): Highレベル

0(R/W): Lowレベル(デフォルト)

PxOUT[7:0]はPx[7:0]端子と1対1に対応し、書き込んだデータがそのままポート端子から出力されます。データビットを1に設定するとポート端子はHighとなり、0に設定するとLowになります。

入力モードの場合もポートデータの書き込みは行えます。

P25、P26端子は存在しません。そのため本レジスタへの設定は無効となります。

P17、P20-22端子は入力専用であるため、本レジスタへの設定は無効となります。

**0x5202/0x5212/0x5222/0x5232/0x5242: Px Port Output Enable Registers (Px\_OEN)**

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
<b>P0 Port Output Enable Register (P0_OEN)</b>	<b>0x5202</b> (8 bits)	D7-0	<b>P0OEN[7:0]</b>	P0[7:0] port output enable select	1 Output Enable	0 Output Disable	0	R/W	
<b>P1 Port Output Enable Register (P1_OEN)</b>	<b>0x5212</b> (8 bits)	D7-0	<b>P1OEN[7:0]</b>	P1[7:0] port output enable select	1 Output Enable	0 Output Disable	0	R/W	
<b>P2 Port Output Enable Register (P2_OEN)</b>	<b>0x5222</b> (8 bits)	D7-0	<b>P2OEN[7:0]</b>	P2[7:0] port output enable select	1 Output Enable	0 Output Disable	0	R/W	
<b>P3 Port Output Enable Register (P3_OEN)</b>	<b>0x5232</b> (8 bits)	D7-0	<b>P3OEN[7:0]</b>	P3[7:0] port output enable select	1 Output Enable	0 Output Disable	0	R/W	
<b>P4 Port Output Enable Register (P4_OEN)</b>	<b>0x5242</b> (8 bits)	D7-4 D3-0	— <b>P4OEN[3:0]</b>	reserved P4[3:0] port output enable select	1 Output Enable	0 Output Disable	— 0	— R/W	0 when being read.

注: ビット名などの‘x’はポート番号の0～4を示します。

**D[7:0] PxIO[7:0]: Px[7:0] Port Output Enable Select Bits (P4ポートはP4IO[3:0])**

ポート出力を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

PxIO[7:0]はPx[7:0]ポートと1対1に対応する出力イネーブルビットで、1に設定するとポートが出力モードに、0に設定するとハイインピーダンスになります。端子を周辺モジュール用を使用する場合の入出力方向は、周辺モジュールの機能により決まります。各レジスタによる入出力制御は(表10.3.1 データ入出力表)を参照して下さい。

P25、P26端子は存在しません。そのため本レジスタへの設定は無効となります。

P17、P20-22端子は入力専用であるため、本レジスタへの設定は無効となります。

**0x5203/0x5213/0x5223/0x5233/0x5243: Px Port Pull-up Control Registers (Px\_PU)**

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
P0 Port Pull-up Control Register (P0_PU)	0x5203 (8 bits)	D7-0	P0PU[7:0]	P0[7:0] port pull-up enable	1	Enable	0	Disable	1 (0xff)	R/W	
P1 Port Pull-up Control Register (P1_PU)	0x5213 (8 bits)	D7-0	P1PU[7:0]	P1[7:0] port pull-up enable	1	Enable	0	Disable	1 (0xff)	R/W	
P2 Port Pull-up Control Register (P2_PU)	0x5223 (8 bits)	D7-0	P2PU[7:0]	P2[7:0] port pull-up enable	1	Enable	0	Disable	1 (0xff)	R/W	
P3 Port Pull-up Control Register (P3_PU)	0x5233 (8 bits)	D7-0	P3PU[7:0]	P3[7:0] port pull-up enable	1	Enable	0	Disable	1 (0xff)	R/W	
P4 Port Pull-up Control Register (P4_PU)	0x5243 (8 bits)	D7-4 D3-0	— P4PU[3:0]	reserved P4[3:0] port pull-up enable		—			— —	— R/W	1 when being read.
					1	Enable	0	Disable	1 (0xff)		

注: ビット名などの‘x’はポート番号の0～4を示します。

**D[7:0] PxPU[7:0]: Px[7:0] Port Pull-up Enable Bits (P4ポートはP4PU[3:0])**

各ポートに内蔵されているプルアップ抵抗を有効/無効に設定します。

1(R/W): 有効(デフォルト)

0(R/W): 無効

PxPU[7:0]はPx[7:0]ポートと1対1に対応するプルアップ制御ビットで、1に設定するとプルアップ抵抗が有効になり、入力モード時にポート端子がプルアップされます。0に設定するとプルアップされません。

出力モード時には、PxPU[7:0]の設定は無効となり、プルアップされません。

使用しない入出力ポートについてはプルアップを有効に設定してください。

周辺モジュール用の機能を選択したポートも、このプルアップ設定は有効です。

内蔵プルアップ抵抗によって、ポート端子をLowレベルからHighレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入出力ポートの取り込みには十分な待ち時間の設定が必要となります。

P25、P26端子は存在しません。そのため本レジスタへの設定は無効となります。

0x5205/0x5215: Px Port Interrupt Mask Registers (Px\_IMSK)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
P0 Port Interrupt Mask Register (P0_IMSK)	0x5205 (8 bits)	D7-0	P0IE[7:0]	P0[7:0] port interrupt enable	1	Enable	0	Disable	0	R/W	
P1 Port Interrupt Mask Register (P1_IMSK)	0x5215 (8 bits)	D7-0	P1IE[7:0]	P1[7:0] port interrupt enable	1	Enable	0	Disable	0	R/W	

注: ビット名などの‘x’はポート番号の0と1を示します。

D[7:0] PxIE[7:0]: Px[7:0] Port Interrupt Enable Bits

P0[7:0]とP1[7:0]の各ポートによる割り込みを許可または禁止します。

1 (R/W): 割り込み許可

0 (R/W): 割り込み禁止 (デフォルト)

PxIE[7:0]を1に設定すると対応する割り込みが許可され、0に設定すると割り込みが禁止されます。割り込み禁止に設定した入力端子の状態変化は、割り込みの発生に影響を与えません。

**0x5206/0x5216: Px Port Interrupt Edge Select Registers (Px\_EDGE)**

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
P0 Port Interrupt Edge Select Register (P0_EDGE)	0x5206 (8 bits)	D7-0	P0EDGE[7:0]	P0[7:0] port interrupt edge select	1	Falling edge	0	Rising edge	0	R/W	
P1 Port Interrupt Edge Select Register (P1_EDGE)	0x5216 (8 bits)	D7-0	P1EDGE[7:0]	P1[7:0] port interrupt edge select	1	Falling edge	0	Rising edge	0	R/W	

注: ビット名などの'x'はポート番号の0と1を示します。

**D[7:0] PxEDGE[7:0]: Px[7:0] Port Interrupt Edge Select Bits**

P0[7:0]とP1[7:0]の各ポートの割り込みを発生させる入力信号のエッジを選択します。

1(R/W): 立ち下がりエッジ

0(R/W): 立ち上がりエッジ(デフォルト)

PxEDGE[7:0]を1に設定したポートの割り込みは入力信号の立ち下がりエッジで発生し、0に設定すると立ち上がりエッジで発生します。

**0x5207/0x5217: Px Port Interrupt Flag Registers (Px\_IFLG)**

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
<b>P0 Port Interrupt Flag Register (P0_IFLG)</b>	<b>0x5207</b> (8 bits)	D7-0	<b>P0IF[7:0]</b>	P0[7:0] port interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
<b>P1 Port Interrupt Flag Register (P1_IFLG)</b>	<b>0x5217</b> (8 bits)	D7-0	<b>P1IF[7:0]</b>	P1[7:0] port interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

注: ビット名などの‘x’はポート番号の0と1を示します。

**D[7:0] PxIF[7:0]: Px[7:0] Port Interrupt Flags**

割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

PxIF[7:0]はP0[7:0]とP1[7:0]の16ポートに個々に対応する割り込みフラグです。入力信号の指定エッジ(立ち上がりエッジまたは立ち下がりエッジ)で1にセットされます。対応するPxIE[7:0](Px\_IMSKレジスタ)を1に設定しておくことにより、ITCに対してP0またはP1ポート割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

PxIF[7:0]は1の書き込みによりリセットされます。

- 注:
- ポート割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、Pポートモジュール内の割り込みフラグPxIF[7:0]をリセットする必要があります。
  - 不要な割り込みの発生を防止するため、PxIE[7:0](Px\_IMSKレジスタ)によって必要なポートの割り込みを許可する前に、対応するPxIF[7:0]をリセットしてください。
    - \* **P0IE[7:0]**: P0[7:0] Port Interrupt Enable Bits in the P0 Port Interrupt Mask (P0\_IMSK) Register (D[7:0]/0x5205)
    - \* **P1IE[7:0]**: P1[7:0] Port Interrupt Enable Bits in the P1 Port Interrupt Mask (P1\_IMSK) Register (D[7:0]/0x5215)

## 0x5208/0x5218: P0/P1 Port Chattering Filter Control Register (Px\_CHAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P0 Port Chattering Filter Control Register (P0_CHAT)	0x5208 (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6–4	P0CF2[2:0]	P0[7:4] chattering filter time select	P0CF2[2:0]	Filter time	0	R/W
					0x7	16384/fPCLK	0x0	R/W
					0x6	8192/fPCLK		
					0x5	4096/fPCLK		
					0x4	2048/fPCLK		
					0x3	1024/fPCLK		
					0x2	512/fPCLK		
					0x1	256/fPCLK		
					0x0	None		
		D3	—	reserved	—	—	—	0 when being read.
P1 Port Chattering Filter Control Register (P1_CHAT)	0x5218 (8 bits)	D6–4	P1CF2[2:0]	P1[7:4] chattering filter time select	P0CF1[2:0]	Filter time	0x0	R/W
					0x7	16384/fPCLK	0x0	R/W
					0x6	8192/fPCLK		
					0x5	4096/fPCLK		
					0x4	2048/fPCLK		
					0x3	1024/fPCLK		
					0x2	512/fPCLK		
					0x1	256/fPCLK		
					0x0	None		
		D3	—	reserved	—	—	—	0 when being read.
		D2–0	P1CF1[2:0]	P1[3:0] chattering filter time select	P0CF1[2:0]	Filter time	0x0	R/W
					0x7	16384/fPCLK		
					0x6	8192/fPCLK		
					0x5	4096/fPCLK		
					0x4	2048/fPCLK		
					0x3	1024/fPCLK		
					0x2	512/fPCLK		
					0x1	256/fPCLK		
					0x0	None		

注: ビット名などの‘x’はポート番号の0と1を示します。

**D7**      **Reserved**

**D[6:4]**    **PxCF2[2:0]: P0[7:4] Chattering Filter Time Select Bits**

P0[7:4]ポートに組み込まれているチャタリング除去回路を設定します。

**D3**      **Reserved**

**D[2:0]**    **PxCF1[2:0]: P0[3:0] Chattering Filter Time Select Bits**

P0[3:0]ポートに組み込まれているチャタリング除去回路を設定します。

P0またはP1ポートにはキー入力又はポート割り込み用のチャタリング除去回路が設けられています。この機能を使用するか否か、また、使用する場合は検定時間を、PxCF1/2[2:0]によってP0[3:0]、P0[7:4]、P1[3:0]、P1[7:4]の4ポートごとに選択します。

表10.7.2 チャタリング除去機能の設定

P0CFx[2:0]	検定時間 *
0x7	16384/fPCLK (8ms)
0x6	8192/fPCLK (4ms)
0x5	4096/fPCLK (2ms)
0x4	2048/fPCLK (1ms)
0x3	1024/fPCLK (512μs)
0x2	512/fPCLK (256μs)
0x1	256/fPCLK (128μs)
0x0	なし(Off)

(デフォルト: 0x0, \* OSC3=2MHz, PCLK=OSC3の場合)

- 注:
- チャタリング除去の検定時間は、除去できる最大パルス幅のことを指します。入力割り込みを発生させるには、最小で検定時間、最大で検定時間の2倍の入力時間が必要になります。
  - チャタリング除去がOnに設定されたままSLEEPモードに入ると、入力割り込みを受け付けません。slp命令実行前に、チャタリング除去をOff(時間検定なし)に設定してください。
  - P0\_CHATまたはP1\_CHATレジスタの設定変更は、必ずP0ポートまたはP1ポート割り込みが禁止されている状態で行ってください。割り込みが許可されている状態で設定を変更すると、P0ポートまたはP1ポート割り込みが誤って発生する場合があります。
  - 入力信号の立ち上がり/立ち下がり時間が遅い場合、信号がしきい値を通過するまでに時間がかかり、内部信号が発振する現象が起こる可能性があります。この場合、入力割り込みは誤動作しますので、入力信号の立ち上がり/立ち下がり時間は25ns以下を目安に設定してください。

**0x5209: P0 Port Key-Entry Reset Configuration Register (P0\_KRST)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P0 Port Key-Entry Reset Configuration Register (P0_KRST)	0x5209 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1-0	P0KRST[1:0]	P0 port key-entry reset configuration	P0KRST[1:0] Configuration	0x0	R/W	
					0x3 P0[3:0] = 0			
					0x2 P0[2:0] = 0			
					0x1 P0[1:0] = 0			
					0x0 Disable			

**D[7:2] Reserved****D[1:0] P0KRST[1:0]: P0 Port Key-Entry Reset Configuration Bits**

P0ポートキー入力リセットに使用するポートの組み合わせを選択します。

表10.7.3 P0ポートキー入力リセットの設定

P0KRST[1:0]	使用するポート
0x3	P00, P01, P02, P03
0x2	P00, P01, P02
0x1	P00, P01
0x0	使用しない

(デフォルト: 0x0)

キー入力リセットは、ここで選択されたポートに、外部から同時にLowレベルを入力することでイニシャルリセットを行う機能です。

たとえば、P0KRST[1:0]を0x3に設定した場合、P00～P03の4ポートの入力が同時にLowレベルになったときにイニシャルリセットがかかります。

このリセット機能を使用しない場合はP0KRST[1:0]を0x0に設定します。

- 注:
- P0ポートキー入力リセット機能を使用する場合、通常動作時に指定ポートが同時にLowレベルにならないように注意してください。
  - P0ポートキー入力リセット機能はイニシャルリセット時に無効となりますので、電源投入時のリセットには使用できません。
  - SLEEP状態では、P0ポートキー入力リセット機能は使用できません。

**0x520a/0x521a/0x522a/0x523a/0x524a: Px Port Input Enable Registers (Px\_IEN)**

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
P0 Port Input Enable Register (P0_IEN)	0x520a (8 bits)	D7-0	P0IEN[7:0]	P0[7:0] port input enable	1	Enable	0	Disable	0xff	R/W	
P1 Port Input Enable Register (P1_IEN)	0x521a (8 bits)	D7-0	P1IEN[7:0]	P1[7:0] port input enable	1	Enable	0	Disable	0xff	R/W	
P2 Port Input Enable Register (P2_IEN)	0x522a (8 bits)	D7-0	P2IEN[7:0]	P2[7:0] port input enable	1	Enable	0	Disable	0xff	R/W	
P3 Port Input Enable Register (P3_IEN)	0x523a (8 bits)	D7-0	P3IEN[7:0]	P3[7:0] port input enable	1	Enable	0	Disable	0xff	R/W	
P4 Port Input Enable Register (P4_IEN)	0x524a (8 bits)	D7-4 D3-0	— P4IEN[3:0]	reserved P4[3:0] port input enable	—			—	—	1 when being read.	
					1	Enable	0	Disable	0xff	R/W	

注: ビット名などの'x'はポート番号の0~4を示します。

**D[7:0] PxIEN[7:0]: Px[7:0] Port Input Enable Bits (P4ポートはP4IEN[3:0])**

ポート入力を許可/禁止します。

1 (R/W): 許可(デフォルト)

0 (R/W): 禁止

PxIEN[7:0]はPx[7:0]ポートと1対1に対応する入力イネーブルビットで、1に設定すると入力信号レベルがPx\_INレジスタから読み出せます。0に設定すると信号の入力が禁止され、入力データの読み出し値は0に固定されます。

**0x52a0: P0 Port Function Select Register (P0\_PMUX)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
<b>P0 Port Function Select Register (P0_PMUX)</b>	<b>0x52a0</b> (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6	<b>P03MUX</b>	P03 port function select	1   #ADTRG   0   P03	0	R/W	
		D5	—	reserved	—	—	—	0 when being read.
		D4	<b>P02MUX</b>	P02 port function select	1   Reserved   0   P02/EXCL0	0	R/W	
		D3	—	reserved	—	—	—	0 when being read.
		D2	<b>P01MUX</b>	P01 port function select	1   REMI   0   P01	0	R/W	
		D1	—	reserved	—	—	—	0 when being read.
		D0	<b>P00MUX</b>	P00 port function select	1   REMO   0   P00	0	R/W	

P00～P03入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どちらの端子として使用するか選択します。

**D7        Reserved**

**D6        P03MUX: P03 Port Function Select Bit**

1 (R/W): #ADTRG(ADC10SA)

0 (R/W): P03ポート(デフォルト)

**D5        Reserved**

**D4        P02MUX: P02 Port Function Select Bit**

1 (R/W): Reserved

0 (R/W): P02ポート/EXCL0(T16 Ch.0) (デフォルト) \* EXCL0は入力状態PxOEN[7:0]=0、PxIEN=1で選択されます。

**D3        Reserved**

**D2        P01MUX: P01 Port Function Select Bit**

1 (R/W): REMI(REMC)

0 (R/W): P01ポート(デフォルト)

**D1        Reserved**

**D0        P00MUX: P00 Port Function Select Bit**

1 (R/W): REMO(REMC)

0 (R/W): P00ポート(デフォルト)

**0x52a1: P0 Port Function Select Register (P0\_PMUX)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
<b>P0 Port Function Select Register (P0_PMUX)</b>	0x52a1 (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6	<b>P07MUX</b>	P07 port function select	1 #SPISS 0 P07	0	R/W	
		D5	—	reserved	—	—	—	0 when being read.
		D4	<b>P06MUX</b>	P06 port function select	1 SDI 0 P06	0	R/W	
		D3	—	reserved	—	—	—	0 when being read.
		D2	<b>P05MUX</b>	P05 port function select	1 SDO 0 P05	0	R/W	
		D1	—	reserved	—	—	—	0 when being read.
		D0	<b>P04MUX</b>	P04 port function select	1 SPICLK 0 P04	0	R/W	

P04～P07入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どちらの端子として使用するか選択します。

**D7        Reserved**

**D6        P07MUX: P07 Port Function Select Bit**

1(R/W): #SPISS(SPIスレーブ)

0(R/W): P07ポート(デフォルト)

**D5        Reserved**

**D4        P06MUX: P06 Port Function Select Bit**

1(R/W): SDI(SPI)

0(R/W): P06ポート(デフォルト)

**D3        Reserved**

**D2        P05MUX: P05 Port Function Select Bit**

1(R/W): SDO(SPI)

0(R/W): P05ポート(デフォルト)

**D1        Reserved**

**D0        P04MUX: P04 Port Function Select Bit**

1(R/W): SPICLK(SPI)

0(R/W): P04ポート(デフォルト)

**0x52a2: P1 Port Function Select Register (P1\_PMUX)**

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
P1 Port Function Select Register (P1_PMUX)	0x52a2 (8 bits)	D7-6	P13MUX [1:0]	P13 port function select	P13MUX[1:0]		0	R/W			
		0x3		Port							
		0x2		Reserved							
		0x1		Reserved							
		0x0		P13/EXCL1							
		D5	—	reserved	—		—	—	0 when being read.		
		D4	P12MUX	P12 port function select	1	SIN	0	P12	0	R/W	
		D3	—	reserved	—		—	—	—	0 when being read.	
D2	P11MUX	P11 port function select	1	SOUT	0	P11	0	R/W			
D1	—	reserved	—		—	—	—	0 when being read.			
D0	P10MUX	P10 port function select	1	SCLK	0	P10	0	R/W			

P10～P13入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どちらの端子として使用するか選択します。

**D[7:6] P13MUX: P13 Port Function Select Bit**

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): Reserved

0x0 (R/W): P13ポート/EXCL1 (T16 Ch.1)  
(デフォルト)\* EXCL1は入力状態PxOEN[7:0]=0、  
PxIEN=1で選択されます。**D5 Reserved****D4 P12MUX: P12 Port Function Select Bit**

1 (R/W): SIN (UART Ch.0)

0 (R/W): P12ポート (デフォルト)

**D3 Reserved****D2 P11MUX: P11 Port Function Select Bit**

1 (R/W): SOUT (UART Ch.0)

0 (R/W): P11ポート (デフォルト)

**D1 Reserved****D0 P10MUX: P10 Port Function Select Bit**

1 (R/W): SCLK (UART Ch.0)

0 (R/W): P10ポート (デフォルト)

**0x52a3: P1 Port Function Select Register (P1\_PMUX)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P1 Port Function Select Register (P1_PMUX)	0x52a3 (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6	<b>P17MUX</b>	P17 port function select	1 AIN3	0 P17	0	R/W
		D5-4	<b>P16MUX [1:0]</b>	P16 port function select	P16MUX[1:0] Port		0	R/W
					0x3	Reserved		
					0x2	Reserved		
					0x1	SCLK1		
					0x0	P16		
		D3-2	<b>P15MUX [1:0]</b>	P15 port function select	P15MUX[1:0] Port		0	R/W
					0x3	Reserved		
					0x2	Reserved		
					0x1	Reserved		
					0x0	P15/EXCL3		
		D1-0	<b>P14MUX [1:0]</b>	P14 port function select	P14MUX[1:0] Port		0	R/W
					0x3	Reserved		
					0x2	Reserved		
					0x1	Reserved		
					0x0	P14/EXCL2		

P14～P17入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どちらの端子として使用するか選択します。

**D7      Reserved**

**D6      P17MUX: P17 Port Function Select Bit**

1 (R/W): AIN3 (ADC10SA Ch.3)

0 (R/W): P17ポート (デフォルト)

**D[5:4]      P16MUX[1:0]: P16 Port Function Select Bit**

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): SCLK1 (UART Ch.1)

0x0 (R/W): P16ポート (デフォルト)

**D[3:2]      P15MUX[1:0]: P15 Port Function Select Bit**

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): Reserved

0x0 (R/W): P15ポート/EXCL3 (T16E Ch.0)  
(デフォルト)

\* EXCL3は入力状態PxOEN[7:0]=0、  
PxIEN=1で選択されます。

**D[1:0]      P14MUX[1:0]: P14 Port Function Select Bit**

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): Reserved

0x0 (R/W): P14ポート/EXCL2 (T16 Ch.2)  
(デフォルト)

\* EXCL2は入力状態PxOEN[7:0]=0、  
PxIEN=1で選択されます。

**0x52a4: P2 Port Function Select Register (P2\_PMUX)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
<b>P2 Port Function Select Register (P2_PMUX)</b>	<b>0x52a4</b> (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6	<b>P23MUX</b>	P23 port function select	1   Reserved   0   P23	0	R/W	
		D5	—	reserved	—	—	—	0 when being read.
		D4	<b>P22MUX</b>	P22 port function select	1   AIN0   0   P22	0	R/W	
		D3	—	reserved	—	—	—	0 when being read.
		D2	<b>P21MUX</b>	P21 port function select	1   AIN1   0   P21	0	R/W	
		D1	—	reserved	—	—	—	0 when being read.
		D0	<b>P20MUX</b>	P20 port function select	1   AIN2   0   P20	0	R/W	

P20～P23入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どちらの端子として使用するか選択します。

**D7        Reserved**

**D6        P23MUX: P23 Port Function Select Bit**

1 (R/W): Reserved

0 (R/W): P23ポート(デフォルト)

**D5        Reserved**

**D4        P22MUX: P22 Port Function Select Bit**

1 (R/W): AIN0 (ADC Ch.0)

0 (R/W): P22ポート(デフォルト)

**D3        Reserved**

**D2        P21MUX: P21 Port Function Select Bit**

1 (R/W): AIN1 (ADC Ch.1)

0 (R/W): P21ポート(デフォルト)

**D1        Reserved**

**D0        P20MUX: P20 Port Function Select Bit**

1 (R/W): AIN2 (ADC Ch.2)

0 (R/W): P20ポート(デフォルト)

0x52a5: P2 Port Function Select Register (P2\_PMUX)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P2 Port Function Select Register (P2_PMUX)	0x52a5 (8 bits)	D7-6	P27MUX [1:0]	P27 port function select	P27MUX[1:0]	Port	0	R/W	
					0x3	Reserved			
					0x2	Reserved			
					0x1	SOUT1			
					0x0	P27			
		D5-1	—	reserved	—		—	—	0 when being read.
		D0	P24MUX	P24 port function select	—	Reserved	0	P24	

P24～P27入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どちらの端子として使用するか選択します。

D[7:6] P27MUX[1:0]: P27 Port Function Select Bit

- 0x3 (R/W): Reserved
- 0x2 (R/W): Reserved
- 0x1 (R/W): SOUT1 (UART Ch.1)
- 0x0 (R/W): P27ポート (デフォルト)

D[5:1] Reserved

D0 P24MUX: P24 Port Function Select Bit

- 1 (R/W): Reserved
- 0 (R/W): P24ポート (デフォルト)

**0x52a6: P3 Port Function Select Register (P3\_PMUX)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
<b>P3 Port Function Select Register (P3_PMUX)</b>	<b>0x52a6</b> (8 bits)	D7-6	<b>P33MUX</b> [1:0]	P33 port function select	P33MUX[1:0]	0	R/W	
					0x3			
					0x2			
					0x1			
					0x0			
		D5-4	<b>P32MUX</b> [1:0]	P32 port function select	P32MUX[1:0]	0	R/W	
					0x3			
					0x2			
					0x1			
					0x0			
		D3-2	<b>P31MUX</b> [1:0]	P31 port function select	P31MUX[1:0]	0	R/W	
					0x3			
					0x2			
					0x1			
					0x0			
		D1-0	<b>P30MUX</b> [1:0]	P30 port function select	P30MUX[1:0]	0	R/W	
					0x3			
					0x2			
					0x1			
					0x0			

P30～P33入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どちらの端子として使用するか選択します。

**D[7:6] P33MUX: P33 Port Function Select Bit**

0x3 (R/W): Reserved  
 0x2 (R/W): SCL0 (I2Cマスター)  
 0x1 (R/W): SCL1 (I2Cスレーブ)  
 0x0 (R/W): P33ポート (デフォルト)

**D[5:4] P32MUX: P32 Port Function Select Bit**

0x3 (R/W): Reserved  
 0x2 (R/W): Reserved  
 0x1 (R/W): SDA0 (I2Cマスター)  
 0x0 (R/W): P32ポート (デフォルト)

**D[3:2] P31MUX: P31 Port Function Select Bit**

0x3 (R/W): Reserved  
 0x2 (R/W): Reserved  
 0x1 (R/W): SCL0 (I2Cマスター)  
 0x0 (R/W): P31ポート (デフォルト)

**D[1:0] P30MUX: P30 Port Function Select Bit**

0x3 (R/W): Reserved  
 0x2 (R/W): Reserved  
 0x1 (R/W): SIN1 (UART Ch.1)  
 0x0 (R/W): P30ポート (デフォルト)

**0x52a7: P3 Port Function Select Register (P3\_PMUX)**

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P3 Port Function Select Register (P3_PMUX)	0x52a7 (8 bits)	D7-6	P37MUX [1:0]	P37 port function select	P37MUX[1:0]	Port	0	R/W	
					0x3	TOUT4			
					0x2	Reserved			
					0x1	TOUTN3			
					0x0	P37			
		D5-4	P36MUX [1:0]	P36 port function select	P36MUX[1:0]	Port	0	R/W	
					0x3	Reserved			
					0x2	Reserved			
					0x1	TOUT3			
					0x0	P36			
		D3-2	P35MUX [1:0]	P35 port function select	P35MUX[1:0]	Port	0	R/W	
					0x3	Reserved			
					0x2	#BFR			
					0x1	FOUT1			
					0x0	P35			
		D1-0	P34MUX [1:0]	P34 port function select	P34MUX[1:0]	Port	0	R/W	
0x3	Reserved								
0x2	SDA0								
0x1	SDA1								
0x0	P34								

P34～P37入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どちらの端子として使用するか選択します。

**D[7:6] P37MUX: P37 Port Function Select Bit**

0x3 (R/W): TOUT4 (T8OSC1)

0x2 (R/W): Reserved

0x1 (R/W): TOUTN3 (T16E Ch.0)

0x0 (R/W): P37ポート (デフォルト)

**D[5:4] P36MUX: P36 Port Function Select Bit**

0x3 (R/W): Reserved

0x2 (R/W): Reserved

0x1 (R/W): TOUT3 (T16E Ch.0)

0x0 (R/W): P36ポート (デフォルト)

**D[3:2] P35MUX: P35 Port Function Select Bit**

0x3 (R/W): Reserved

0x2 (R/W): #BFR (I2Cスレーブ)

0x1 (R/W): FOUT1 (OSC1)

0x0 (R/W): P35ポート (デフォルト)

**D[1:0] P34MUX: P34 Port Function Select Bit**

0x3 (R/W): Reserved

0x2 (R/W): SDA0 (I2Cマスター)

0x1 (R/W): SDA1 (I2Cスレーブ)

0x0 (R/W): P34ポート (デフォルト)

**0x52a8: P4 Port Function Select Register (P4\_PMUX)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
<b>P4 Port Function Select Register (P4_PMUX)</b>	<b>0x52a8</b> (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6	<b>P43MUX</b>	P43 port function select	1   P43   0   DCLK	0	R/W	
		D5	—	reserved	—	—	—	0 when being read.
		D4	<b>P42MUX</b>	P42 port function select	1   P42   0   DST2	0	R/W	
		D3	—	reserved	—	—	—	0 when being read.
		D2	<b>P41MUX</b>	P41 port function select	1   P41   0   DSIO	0	R/W	
		D1	—	reserved	—	—	—	0 when being read.
		D0	<b>P40MUX</b>	P40 port function select	1   FOUTH   0   P40	0	R/W	

P40～P43入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どちらの端子として使用するか選択します。

**D7        Reserved**

**D6        P43MUX: P43 Port Function Select Bit**

1(R/W): P43ポート

0(R/W): DCLK(DBG) (デフォルト)

**D5        Reserved**

**D4        P42MUX: P42 Port Function Select Bit**

1(R/W): P42ポート

0(R/W): DST2(DBG) (デフォルト)

**D3        Reserved**

**D2        P41MUX: P41 Port Function Select Bit**

1(R/W): P41ポート

0(R/W): DSIO(DBG) (デフォルト)

**D1        Reserved**

**D0        P40MUX: P40 Port Function Select Bit**

1(R/W): FOUTH(HSCLK)

0(R/W): P40ポート(デフォルト)

## 10.8 注意事項

---

### 動作クロック

- 入出力ポートをアクセスするためには、クロックジェネレータからPCLKクロックが供給されている必要があります。  
また、P0ポートのチャタリングフィルタの動作にはプリスケアラ出力クロックも必要です。この機能を使用する場合は、プリスケアラもOnにしてください。

### プルアップ

- 内蔵プルアップ抵抗によって、ポート端子をLowレベルからHighレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がり遅延が生じます。このため、入出力ポートの取り込みには十分な待ち時間を設定してください。
- 使用しない入出力ポートについてはプルアップ抵抗を有効に設定してください。

### P0、P1ポート割り込み

- ポート割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、対応する割り込みフラグP0IF[7:0](0x5207)、P1IF[7:0](0x5217)をリセットしてください。
- 不要な割り込みの発生を防止するため、P0\_IMSKレジスタ(0x5205)、P1\_IMSKレジスタ(0x5215)によって必要なポートの割り込みを許可する前に、対応する割り込みフラグP0IF[7:0](0x5207)、P1IF[7:0](0x5217)をリセットしてください。

### P0、P1ポートチャタリング除去回路

- チャタリング除去がOnに設定されたままSLEEPモードに入ると、入力割り込みを受け付けません。slp命令実行前に、チャタリング除去をOff(時間検定なし)に設定してください。
- P0\_CHATレジスタ(0x5208)、P1\_CHATレジスタ(0x5218)の設定変更は、必ずP0、P1ポート割り込みが禁止されている状態で行ってください。割り込みが許可されている状態で設定を変更すると、P0、P1ポート割り込みが誤って発生する場合があります。
- チャタリング除去の検定時間は、除去できる最大パルス幅のことを指します。入力割り込みを発生させるには、最小で検定時間、最大で検定時間の2倍の入力時間が必要になります。
- 入力信号の立ち上がり/立ち下がり時間が遅い場合、信号がしきい値を通過するまでに時間がかかり、内部信号が発振する現象が起こる可能性があります。この場合、入力割り込みは誤動作しますので、入力信号の立ち上がり/立ち下がり時間は25ns以下を目安に設定してください。

### P0ポートキー入力リセット

- P0ポートキー入力リセット機能を使用する場合、通常動作時に指定ポートが同時にLowレベルにならないように注意してください。
- P0ポートキー入力リセット機能はイニシャルリセット時に無効となりますので、電源投入時のリセットには使用できません。
- SLEEP状態では、P0ポートキー入力リセット機能は使用できません。

# 11 16ビットタイマ(T16)

## 11.1 16ビットタイマの概要

S1C17003には3チャンネルの16ビットタイマ(T16)が内蔵されています。

16ビットタイマは16ビットプリセッタブルダウンカウンタとプリセット値を保持する16ビットリロードデータレジスタで構成されます。タイマはリロードデータレジスタに設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号は、割り込みの発生や内部シリアルインタフェース用のクロック生成に使用されます。アンダーフロー周期はプリスケラクロックとリロードデータの選択によりプログラム可能なため、アプリケーションプログラムは任意の時間間隔やシリアル転送速度を得ることができます。

また、入出力ポート端子を使用したイベントカウンタ機能と外部入力信号のパルス幅測定機能も合わせて持っています。

図11.1.1に16ビットタイマの構造を示します。

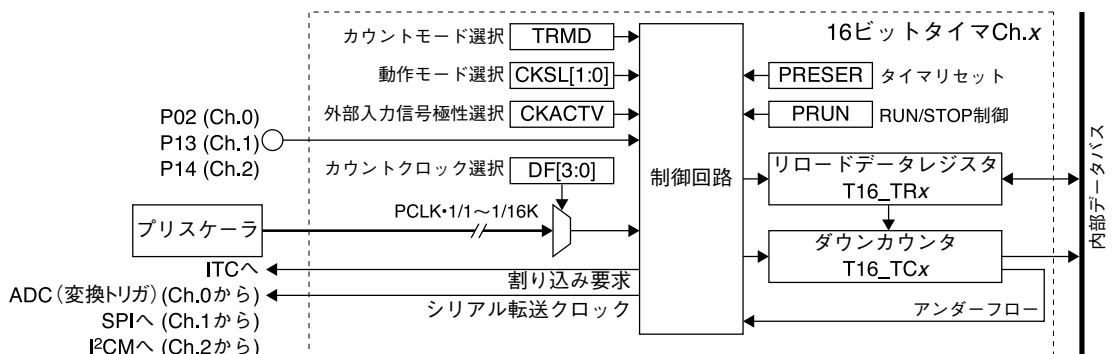


図11.1.1 16ビットタイマの構造(1チャンネル)

注: 3チャンネルの16ビットタイマモジュールは、制御レジスタのアドレスを除きすべて同じ機能を持っていますので、本節内の説明は16ビットタイマの全チャンネルに適用されます。レジスタ名の'x'はチャンネル番号(0~2)を表します。また、レジスタのアドレスは(Ch.0/Ch.1/Ch.2)のように記述されています。

例: T16\_CTLxレジスタ (0x4226/0x4246/0x4266)

Ch.0: T16\_CTL0レジスタ (0x4226)

Ch.1: T16\_CTL1レジスタ (0x4246)

Ch.2: T16\_CTL2レジスタ (0x4266)

## 11.2 16ビットタイマの動作モード

16ビットタイマには3つの動作モードがあります。

1. 内部クロックモード(内部クロックをカウントする通常のタイマ)
2. 外部クロックモード(イベントカウンタとして機能)
3. パルス幅測定モード(外部入力パルス幅を内部クロックでカウント)

この中の1つをCKSL[1:0](D[9:8]/T16\_CTLxレジスタ)で選択します。

\* **CKSL[1:0]**: Input Clock and Pulse Width Count Mode Select Bits in the 16-bit Timer Ch.x Control (T16\_CTLx) Register (D[9:8]/0x4226/0x4246/0x4266)

表11.2.1 動作モードの選択

CKSL[1:0]	動作モード
0x3	Reserved
0x2	パルス幅測定モード
0x1	外部クロックモード
0x0	内部クロックモード

(デフォルト: 0x0)

### 11.2.1 内部クロックモード

内部クロックモードでは、プリスケアラ出力クロックをカウントクロックとして使用します。

タイマはリロードデータレジスタに設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号は、割り込みの発生や内部シリアルインタフェース用のクロック生成に使用されます。プリスケアラクロックとカウンタ初期値の選択によってアンダーフロー発生までの時間を細かくプログラム可能なため、シリアル転送クロックの生成や単発的な時間計測等に有効です。

### カウントクロックの選択

カウントクロックは、プリスケアラがPCLKクロックを1/1～1/16Kに分周して生成した15種類の中から1つをDF[3:0](D[3:0]/T16\_CLKxレジスタ)で選択します。

\* **DF[3:0]**: Timer Input Clock Select Bits in the 16-bit Timer Ch.x Input Clock Select (T16\_CLKx) Register (D[3:0]/0x4220/0x4240/0x4260)

表11.2.1.1 カウントクロックの選択

DF[3:0]	プリスケアラ出力クロック	DF[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

注: • 16ビットタイマを内部クロックモードで動作させるには、その前にプリスケアラを動作させておく必要があります。

- カウントクロックの設定は、16ビットタイマがカウント停止中に行ってください。

プリスケアラの制御については、“9 プリスケアラ(PSC)”を参照してください。

## 11.2.2 外部クロックモード

外部クロックモードでは、入出力ポートから入力したクロックやパルスをカウントクロックとして使用します。したがって、イベントカウンタとして使用可能です。入力クロック以外のタイマの動作は内部クロックモードと同じです。

### 外部クロック入力ポート

外部クロック/パルス入力に使用する入力ポートは次のとおりです。

表11.2.2.1 外部クロック入力ポート

タイマチャネル	入力信号名	入出力ポート端子
Ch.0	EXCL0	P02
Ch.1	EXCL1	P13
Ch.2	EXCL2	P14

外部クロック/パルス入力に使用する入出力ポートは入力モード(デフォルト)に設定してください。端子機能選択の操作は不要です。入出力ポートは汎用入力として機能しますが、入力信号は16ビットタイマにも送られます。

16ビットタイマCh.0、Ch.1とCh.2が使用するP02、P13とP14ポートにはチャタリング除去回路が組み込まれており、EXCLx入力として使用する場合も有効です。チャタリング除去回路の制御方法については、“10.5 P0ポートのチャタリング除去機能”を参照してください。

### 信号極性の選択

このモードでは、カウントを入力信号の立ち下がりエッジで行うか、立ち上がりエッジで行うかをCKACTV(D10/T16\_CTLxレジスタ)で選択できます。

\* **CKACTV**: External Clock Active Level Select Bit in the 16-bit Timer Ch.x Control (T16\_CTLx) Register (D10/0x4226/0x4246/0x4266)

CKACTVが1(デフォルト)の場合は立ち上がりエッジでカウントダウン、0に設定すると立ち下がりエッジでカウントダウンします。

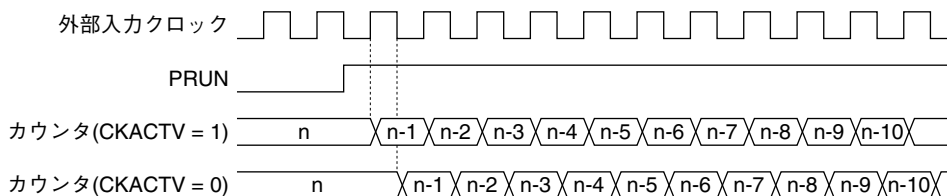


図11.2.2.1 外部クロックモードのカウント

16ビットタイマは、このモードではプリスケアラを使用しません。ほかにプリスケアラクロックを使用する周辺モジュールがない場合はプリスケアラを停止して消費電流を低減できます。(P0、P1ポートのチャタリング除去にはプリスケアラクロックが使用されます。)

### 11.2.3 パルス幅測定モード

パルス幅測定モードでは、指定極性のパルスが外部クロックポートから入力されると、その信号がアクティブな期間のみ内部クロックが供給され、カウントを行います。これにより、指定幅以上のパルス入力で割り込みを発生させたり、入力パルス幅を測定したりすることができます。

#### パルス入力ポート

外部パルスの入力に使用する入出力ポートは、外部クロックモードと同様です(表11.2.2.1参照)。使用するタイマチャネルに対応する入出力ポートを入力モードにして、パルスを入力してください。

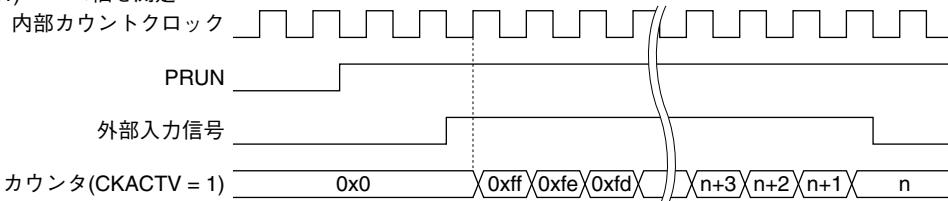
#### カウントクロックの選択

内部クロックモードと同様に、DF[3:0](D[3:0]/T16\_CLK<sub>x</sub>レジスタ)で選択したプリスケアラ出力クロックでカウントを行います。入力パルスのおおよその幅や測定精度に合わせてクロックを選択してください(表11.2.1.1参照)。

#### 信号極性の選択

CKACTV(D10/T16\_CTL<sub>x</sub>レジスタ)で測定するパルスのアクティブレベルを選択します。CKACTVが1(デフォルト)の場合はHigh期間を測定、0に設定するとLow期間を測定します。

##### 例1) パルス幅を測定



##### 例2) 指定幅以上のパルスを検出

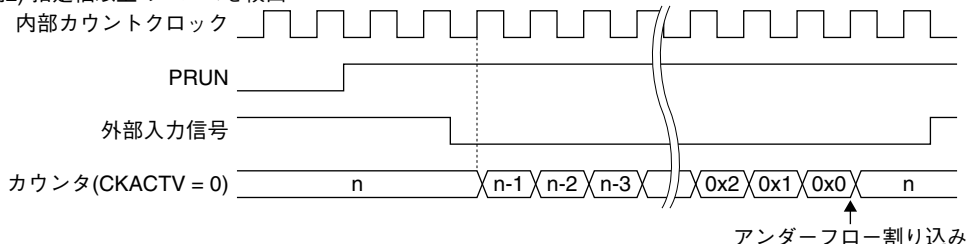


図11.2.3.1 パルス幅測定モードのカウント動作

## 11.3 カウントモード

---

16ビットタイマはリピートモードとワンショットモードの2つのカウントモードを持っています。この選択は、TRMD(D4/T16\_CTLxレジスタ)で行います。

\* **TRMD**: Count Mode Select Bit in the 16-bit Timer Ch.x Control (T16\_CTLx) Register (D4/0x4226/0x4246/0x4266)

### リピートモード (TRMD = 0、デフォルト)

TRMDを0に設定すると、16ビットタイマはリピートモードに設定されます。

このモードでは、カウントを開始するとアプリケーションプログラムで停止するまで16ビットタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、16ビットタイマをこのモードに設定してください。

### ワンショットモード (TRMD = 1)

TRMDを1に設定すると、16ビットタイマはワンショットモードに設定されます。

このモードでは、カウンタがアンダーフローした時点で16ビットタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合やパルス幅測定時などに、16ビットタイマをこのモードに設定してください。

## 11.4 16ビットタイマリロードレジスタとアンダーフロー周期

リロードデータレジスタT16\_TRx(0x4222/0x4242/0x4262)は、ダウンカウンタに初期値をセットするために使用します。

リロードデータレジスタに設定したカウンタ初期値は、16ビットタイマがリセットされるか、カウンタがアンダーフローした時点でダウンカウンタにプリセットされます。16ビットタイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、特定の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

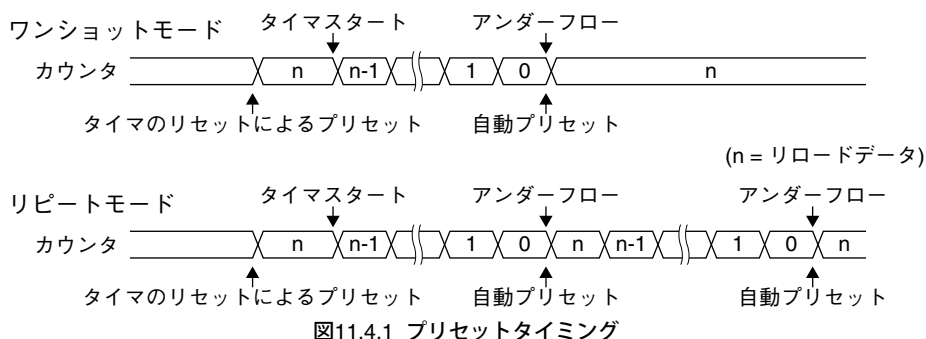


図11.4.1 プリセットタイミング

アンダーフロー周期は次のように計算できます。

$$\text{アンダーフロー期間} = \frac{TR + 1}{\text{clk\_in}} \text{ [s]} \quad \text{アンダーフローサイクル} = \frac{\text{clk\_in}}{TR + 1} \text{ [Hz]}$$

clk\_in: カウントクロック(プリスケアラ出力クロック)周波数 [Hz]

TR: リロードデータ (0~65535)

## 11.5 16ビットタイマのリセット

---

16ビットタイマをリセットするには、PRESER(D1/T16\_CTLxレジスタ)に1を書き込みます。リロードデータがプリセットされ、カウンタが初期化されます。

\* **PRESER**: Timer Reset Bit in the 16-bit Timer Ch.x Control (T16\_CTLx) Register (D1/0x4226/0x4246/0x4266)

## 11.6 16ビットタイマRUN/STOP制御

16ビットタイマの動作を開始させる前に、以下の設定を行ってください。

- (1) 動作モード(内部クロック、外部クロック、パルス幅測定)を選択します。11.2節を参照してください。
- (2) 内部クロックまたはパルス幅測定モードの場合はカウントクロック(プリスケアラ出力クロック)を選択します。11.2.1節を参照してください。
- (3) カウントモード(ワンショットまたはリピート)を設定します。11.3節を参照してください。
- (4) カウンタ初期値を計算してリロードデータレジスタに設定します。11.4節を参照してください。
- (5) タイマをリセットして初期値をカウンタにプリセットします。11.5節を参照してください。
- (6) タイマ割り込みを使用する場合は、割り込みレベルを設定し、該当タイマチャネルの割り込みを許可します。11.8節を参照してください。

16ビットタイマの動作を開始させるには、PRUN(D0/T16\_CTLxレジスタ)に1を書き込みます。

\* **PRUN**: Timer Run/Stop Control Bit in the 16-bit Timer Ch.x Control (T16\_CTLx) Register (D0/0x4226/0x4246/0x4266)

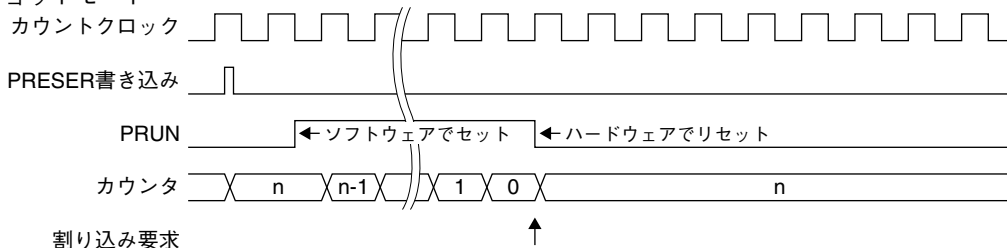
タイマは初期値から、あるいは初期値をプリセットしなかった場合は現在のカウンタ値からカウントダウンを開始します。カウンタがアンダーフローすると、タイマはアンダーフローパルスを出力し、初期値を再びカウンタにプリセットします。これと同時に、割り込み要求が割り込みコントローラ(ITC)に送られます。

ワンショットモードに設定されている場合、タイマはカウントを停止します。

リピートモードに設定されている場合、タイマはリロードされた初期値からカウントを継続します。

アプリケーションプログラムから16ビットタイマを停止させるには、PRUNに0を書き込みます。カウンタはカウント動作を停止し、タイマのリセットまたは再スタートまで、現在のカウンタ値を保持します。初期値からカウントを再スタートさせる場合は、PRUNに1を書き込む前にタイマをリセットしてください。

### ワンショットモード



### リピートモード

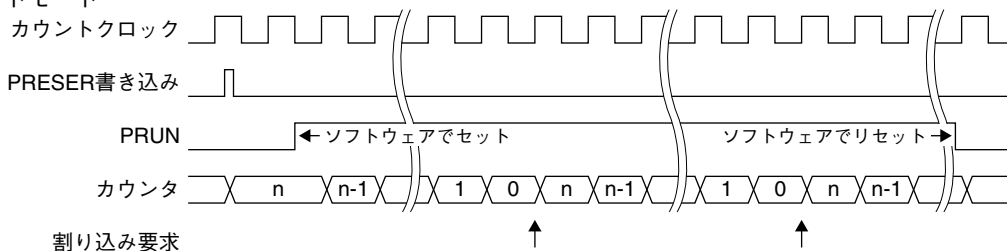


図11.6.1 カウント動作

パルス幅測定モードの場合は、PRUNが1に設定され、かつ外部入力信号が指定したアクティブレベルの間のみカウントを行います。外部入力信号がインアクティブになると、16ビットタイマはカウントを停止し、次のアクティブレベルの入力までカウンタ値を保持します。(図11.2.3.1参照)

## 11.7 16ビットタイマ出力信号

---

16ビットタイマはカウンタがアンダーフローするとアンダーフローパルスを出力します。

このパルスは、タイマ割り込み要求に使用されます。

また、内部シリアルインタフェース用のシリアル転送クロックの生成にも使用されます。

生成されたクロック又はアンダーフロー信号は以下のとおり、内部シリアルインタフェースに送られます。

16ビットタイマCh.0出力アンダーフロー信号 → ADC10SA(変換トリガ)

16ビットタイマCh.1出力クロック → SPI

16ビットタイマCh.2出力クロック → I<sup>2</sup>C

希望の転送レートを得るためのリロードデータレジスタ値は次の式で計算できます。

$$\text{SPI} \quad \text{TR} = \frac{\text{clk\_in}}{\text{bps} \times 2} - 1$$

$$\text{I}^2\text{CM} \quad \text{TR} = \frac{\text{clk\_in}}{\text{bps} \times 4} - 1$$

clk\_in: カウントクロック(プリスケアラ出力クロック)周波数 [Hz]

TR: リロードデータ(0~65535)

bps: 転送レート(ビット/秒)

## 11.8 16ビットタイマ割り込み

16ビットタイマは、カウンタのアンダーフローにより、割り込み要求を割り込みコントローラ(ITC)に出力します。

### アンダーフロー割り込み

この割り込み要求は、カウンタのアンダーフローにより発生し、チャンネルごとに用意されているT16モジュール内の割り込みフラグT16IF(D0/T16\_INTxレジスタ)を1にセットします。

\* **T16IF**: 16-bit Timer Interrupt Flag in the 16-bit Timer Ch.x Interrupt Control (T16\_INTx) Register  
(D0/0x4228/0x4248/0x4268)

この割り込みを使用するには、T16IE(D8/T16\_INTxレジスタ)を1に設定します。T16IEが0(デフォルト)に設定されているとT16IFは1にセットされず、この要因による割り込み要求はITCに送られません。

\* **T16IE**: 16-bit Timer Interrupt Enable Bit in the 16-bit Timer Ch.x Interrupt Control (T16\_INTx) Register  
(D8/0x4228/0x4248/0x4268)

T16IFが1にセットされるとT16モジュールは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

- 注: • 16ビットタイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T16モジュール内の割り込みフラグT16IFをリセットする必要があります。
- 不要な割り込みの発生を防止するため、T16IEによって16ビットタイマ割り込みを許可する前に、T16IFをリセットしてください。

### 割り込みベクタ

タイマ割り込みのベクタ番号とベクタアドレスは以下のとおりです。

表11.8.1 タイマ割り込みベクタ

タイマチャンネル	ベクタ番号	ベクタアドレス
16ビットタイマCh.0	13 (0x0d)	TTBR + 0x34
16ビットタイマCh.1	14 (0x0e)	TTBR + 0x38
16ビットタイマCh.2	15 (0x0f)	TTBR + 0x3c

### その他の割り込み設定

ITCでは16ビットタイマ割り込みの優先順位をチャンネルごとにレベル0(デフォルト)～レベル7に設定可能です。また、実際に割り込みを発生させるにはPSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットを1に設定しておく必要があります。

割り込み処理の詳細については、“6 割り込みコントローラ(ITC)”を参照してください。

## 11.9 制御レジスタ詳細

表11.9.1 16ビットタイマレジスタ一覧

アドレス	レジスタ名		機 能
0x4220	T16_CLK0	16-bit Timer Ch.0 Input Clock Select Register	ブリスケーラ出力クロックの選択
0x4222	T16_TR0	16-bit Timer Ch.0 Reload Data Register	リロードデータの設定
0x4224	T16_TC0	16-bit Timer Ch.0 Counter Data Register	カウンタデータ
0x4226	T16_CTL0	16-bit Timer Ch.0 Control Register	タイマモードの設定とタイマのRUN/STOP
0x4228	T16_INT0	16-bit Timer Ch.0 Interrupt Control Register	割り込みの制御
0x4240	T16_CLK1	16-bit Timer Ch.1 Input Clock Select Register	ブリスケーラ出力クロックの選択
0x4242	T16_TR1	16-bit Timer Ch.1 Reload Data Register	リロードデータの設定
0x4244	T16_TC1	16-bit Timer Ch.1 Counter Data Register	カウンタデータ
0x4246	T16_CTL1	16-bit Timer Ch.1 Control Register	タイマモードの設定とタイマのRUN/STOP
0x4248	T16_INT1	16-bit Timer Ch.1 Interrupt Control Register	割り込みの制御
0x4260	T16_CLK2	16-bit Timer Ch.2 Input Clock Select Register	ブリスケーラ出力クロックの選択
0x4262	T16_TR2	16-bit Timer Ch.2 Reload Data Register	リロードデータの設定
0x4264	T16_TC2	16-bit Timer Ch.2 Counter Data Register	カウンタデータ
0x4266	T16_CTL2	16-bit Timer Ch.2 Control Register	タイマモードの設定とタイマのRUN/STOP
0x4268	T16_INT2	16-bit Timer Ch.2 Interrupt Control Register	割り込みの制御

以下、16ビットタイマのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

**0x4220/0x4240/0x4260: 16-bit Timer Ch.x Input Clock Select Registers (T16\_CLKx)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
16-bit Timer Ch.x Input Clock Select Register (T16_CLKx)	0x4220	D15-4	—	reserved	—	—	—	0 when being read.
	0x4240	D3-0	DF[3:0]	Timer input clock select (Prescaler output clock)	DF[3:0] Clock	0x0	R/W	
	0x4260				0xf reserved			
	(16 bits)				0xe PCLK•1/16384			
					0xd PCLK•1/8192			
					0xc PCLK•1/4096			
					0xb PCLK•1/2048			
					0xa PCLK•1/1024			
					0x9 PCLK•1/512			
					0x8 PCLK•1/256			
					0x7 PCLK•1/128			
					0x6 PCLK•1/64			
					0x5 PCLK•1/32			
					0x4 PCLK•1/16			
					0x3 PCLK•1/8			
					0x2 PCLK•1/4			
					0x1 PCLK•1/2			
					0x0 PCLK•1/1			

注: レジスタ名などの‘x’はチャンネル番号の0~2を表します。

0x4220: 16-bit Timer Ch.0 Input Clock Select Register (T16\_CLK0)

0x4240: 16-bit Timer Ch.1 Input Clock Select Register (T16\_CLK1)

0x4260: 16-bit Timer Ch.2 Input Clock Select Register (T16\_CLK2)

**D[15:4] Reserved****D[3:0] DF[3:0]: Timer Input Clock Select Bits**

15種類のプリスケアラ出力クロックから、16ビットタイマのカウントクロックを選択します。

表11.9.2 カウントクロックの選択

DF[3:0]	プリスケアラ出力クロック	DF[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

注: カウントクロックの設定は、16ビットタイマがカウント停止中に行ってください。

**0x4222/0x4242/0x4262: 16-bit Timer Ch.x Reload Data Registers (T16\_TRx)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
16-bit Timer Ch.x Reload Data Register (T16_TRx)	0x4222 0x4242 0x4262 (16 bits)	D15-0	TR[15:0]	16-bit timer reload data TR15 = MSB TR0 = LSB	0x0 to 0xffff	0x0	R/W	

注: レジスタ名などの‘x’はチャンネル番号の0～2を表します。

0x4222: 16-bit Timer Ch.0 Reload Data Register (T16\_TR0)

0x4242: 16-bit Timer Ch.1 Reload Data Register (T16\_TR1)

0x4262: 16-bit Timer Ch.2 Reload Data Register (T16\_TR2)

**D[15:0] TR[15:0]: 16-bit Timer Reload Data**

カウンタの初期値を設定します。(デフォルト: 0x0)

このレジスタに設定したリロードデータは、タイマがリセットされるか、カウンタがアンダーフローした時点でカウンタにプリセットされます。

16ビットタイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、任意の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

0x4224/0x4244/0x4264: 16-bit Timer Ch.x Counter Data Registers (T16\_TCx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
16-bit Timer Ch.x Counter Data Register (T16_TCx)	0x4224 0x4244 0x4264 (16 bits)	D15-0	TC[15:0]	16-bit timer counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0xffff	R	

注: レジスタ名などの'x'はチャンネル番号の0~2を表します。

0x4224: 16-bit Timer Ch.0 Counter Data Register (T16\_TC0)

0x4244: 16-bit Timer Ch.1 Counter Data Register (T16\_TC1)

0x4264: 16-bit Timer Ch.2 Counter Data Register (T16\_TC2)

D[15:0] TC[15:0]: 16-bit Timer Counter Data

カウンタデータが読み出せます。(デフォルト: 0xffff)

このレジスタはリードオンリのため、データの書き込みはできません。

## 0x4226/0x4246/0x4266: 16-bit Timer Ch.x Control Registers (T16\_CTLx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
16-bit Timer Ch.x Control Register (T16_CTLx)	0x4226	D15-11	—	reserved	—	—	—	0 when being read.
	0x4246	D10	CKACTV	External clock active level select	1   High    0   Low	1	R/W	
	0x4266	D9-8	CKSL[1:0]	Input clock and pulse width measurement mode select	CKSL[1:0]    Mode 0x3    reserved 0x2    Pulse width 0x1    External clock 0x0    Internal clock	0x0	R/W	
		D7-5	—	reserved	—	—	—	
		D4	TRMD	Count mode select	1   One shot    0   Repeat	0	R/W	
		D3-2	—	reserved	—	—	—	0 when being read.
		D1	PRESER	Timer reset	1   Reset    0   Ignored	0	W	
		D0	PRUN	Timer run/stop control	1   Run    0   Stop	0	R/W	

注: レジスタ名などの‘x’はチャネル番号の0～2を表します。

0x4226: 16-bit Timer Ch.0 Control Register (T16\_CTL0)

0x4246: 16-bit Timer Ch.1 Control Register (T16\_CTL1)

0x4266: 16-bit Timer Ch.2 Control Register (T16\_CTL2)

## D[15:11] Reserved

## D10 CKACTV: External Clock Active Level Select Bit

外部入力パルスの極性、または外部クロックのカウントエッジを選択します。

1(R/W): アクティブHigh/立ち上がりエッジ(デフォルト)

0(R/W): アクティブLow/立ち下がりエッジ

外部クロックモード時(CKSL[1:0] = 0x1)は、外部入力クロックの立ち上がりエッジまたは立ち下がりエッジのどちらでカウントを行うか選択します。パルス幅測定モード時(CKSL[1:0] = 0x2)は、外部入力パルスの極性を選択します。

## D[9:8] CKSL[1:0]: Input Clock and Pulse Width Measurement Mode Select Bits

16ビットタイマの動作モードを選択します。

表11.9.3 動作モードの選択

CKSL[1:0]	動作モード
0x3	Reserved
0x2	パルス幅測定モード
0x1	外部クロックモード
0x0	内部クロックモード

(デフォルト: 0x0)

内部クロックモードでは、プリスケアラ出力クロックをカウントクロックとして使用します。タイマはリロードデータレジスタに設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号は、割り込みの発生や内部シリアルインタフェース用のクロック生成に使用されます。プリスケアラクロックとカウンタ初期値の選択によってアンダーフロー発生までの時間を細かくプログラム可能なため、シリアル転送クロックの生成や単発的な時間計測等に有効です。

外部クロックモードでは、入出力ポート (Ch.0: P02、Ch.1: P13、Ch.2: P14) から入力したクロックやパルスのカウントクロックとして使用します。したがって、イベントカウンタとして使用可能です。入力クロック以外のタイマの動作は内部クロックモードと同じです。

パルス幅測定モードでは、指定極性のパルスが外部クロックポートから入力されると、その信号がアクティブな期間のみ内部クロックが供給され、カウントを行います。これにより、指定幅以上のパルス入力によって割り込みを発生させたり、入力パルス幅を測定したりすることができます。

## D[7:5] Reserved

**D4 TRMD: Count Mode Select Bit**

16ビットタイマのカウントモードを選択します。

1(R/W): ワンショットモード

0(R/W): リピートモード(デフォルト)

TRMDを0に設定すると、16ビットタイマはリピートモードに設定されます。このモードでは、カウントを開始するとアプリケーションプログラムで停止するまで16ビットタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、16ビットタイマをこのモードに設定してください。

TRMDを1に設定すると、16ビットタイマはワンショットモードに設定されます。このモードでは、カウンタがアンダーフローした時点で16ビットタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合やパルス幅測定時などに、16ビットタイマをこのモードに設定してください。

**D[3:2] Reserved****D1 PRESER: Timer Reset Bit**

16ビットタイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、リロードデータがカウンタにプリセットされます。

**D0 PRUN: Timer Run/Stop Control Bit**

タイマのRUN/STOPを制御します。

1(R/W): RUN

0(R/W): STOP(デフォルト)

タイマはPRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。

**0x4228/0x4248/0x4268: 16-bit Timer Ch.x Interrupt Control Registers (T16\_INTx)**

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
16-bit Timer Ch.x Interrupt Control Register (T16_INTx)	0x4228	D15–9	–	reserved	–			–	–	0 when being read.
	0x4248	D8	T16IE	16-bit timer interrupt enable	1	Enable	0	Disable	0	R/W
	0x4268	D7–1	–	reserved	–			–	–	0 when being read.
	(16 bits)	D0	T16IF	16-bit timer interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W

注: レジスタ名などの‘x’はチャンネル番号の0～2を表します。

0x4228: 16-bit Timer Ch.0 Interrupt Control Register (T16\_INT0)

0x4248: 16-bit Timer Ch.1 Interrupt Control Register (T16\_INT1)

0x4268: 16-bit Timer Ch.2 Interrupt Control Register (T16\_INT2)

**D[15:9] Reserved****D8 T16IE: 16-bit Timer Interrupt Enable Bit**

各チャンネルのカウンタアンダーフローによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

T16IEを1に設定するとITCへの16ビットタイマ割り込み要求が許可され、0に設定すると割り込みが禁止されます。

**D[7:1] Reserved****D0 T16IF: 16-bit Timer Interrupt Flag**

各チャンネルのカウンタアンダーフロー割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

T16IFはT16モジュールの割り込みフラグです。T16IE(D8)を1に設定しておくことにより、カウント中にカウンタがアンダーフローすると1にセットされます。同時に、ITCに対して16ビットタイマ割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

T16IFは1の書き込みによりリセットされます。

注: • 16ビットタイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T16モジュール内の割り込みフラグT16IFをリセットする必要があります。

- 不要な割り込みの発生を防止するため、T16IEによって16ビットタイマ割り込みを許可する前に、T16IFをリセットしてください。

## 11.10 注意事項

---

- 16ビットタイマを動作させるには、その前にプリスケータを動作させておく必要があります。
- カウントクロックとカウントモードの設定は、16ビットタイマがカウント停止中に行ってください。
- 16ビットタイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T16モジュール内の割り込みフラグT16IF(D0/T16\_INTxレジスタ)をリセットする必要があります。
  - \* **T16IF**: 16-bit Timer Interrupt Flag in the 16-bit Timer Ch.x Interrupt Control (T16\_INTx) Register (D0/0x4228/0x4248/0x4268)
- 不要な割り込みの発生を防止するため、T16IE(D8/T16\_INTxレジスタ)によって16ビットタイマ割り込みを許可する前に、T16IFをリセットしてください。
  - \* **T16IE**: 16-bit Timer Interrupt Enable Bit in the 16-bit Timer Ch.x Interrupt Control (T16\_INTx) Register (D8/0x4228/0x4248/0x4268)

# 12 8ビットタイマ(T8F)

## 12.1 8ビットタイマの概要

S1C17003はファインモード付き8ビットタイマを2チャンネル内蔵しています。

8ビットタイマは8ビットプリセッタブルダウンカウンタとプリセット値を保持する8ビットリロードデータレジスタで構成されます。タイマはリロードデータレジスタに設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号は、割り込みの発生やUART用のクロック生成に使用されます。アンダーフロー周期はプリスケールクロックとリロードデータの選択によりプログラム可能なため、アプリケーションプログラムは任意の時間間隔やシリアル転送速度を得ることができます。ファインモードは、転送レートの誤差を最小限に抑える機能を提供します。

図12.1.1に8ビットタイマの構造を示します。

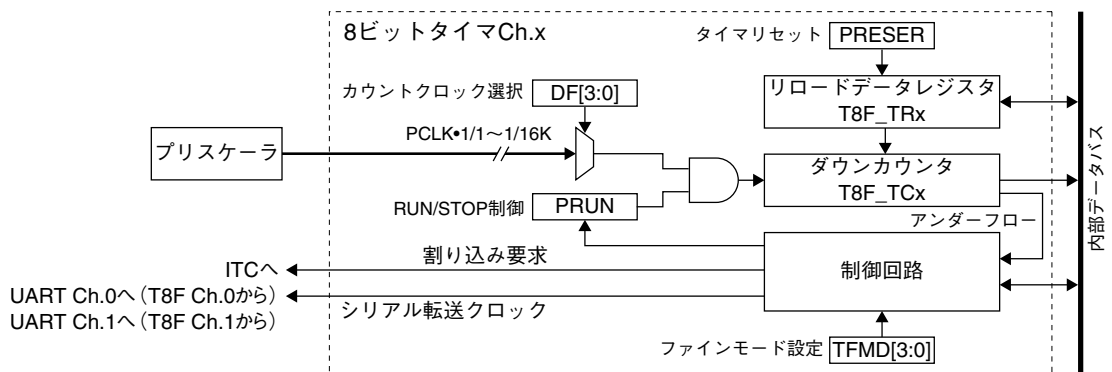


図12.1.1 8ビットタイマの構造

注: 2チャンネルの8ビットタイマモジュールは、制御レジスタのアドレスを除きすべて同じ機能を持っていますので、本節内の説明は8ビットタイマの全チャンネルに適用されます。レジスタ名の「x」はチャンネル番号(0または1)を表します。また、レジスタのアドレスは(Ch.0/Ch.1)のように記述されています。

例: T8F\_CTLxレジスタ (0x4206/0x4286)

Ch.0: T8F\_CTL0レジスタ (0x4206)

Ch.1: T8F\_CTL1レジスタ (0x4286)

## 12.2 8ビットタイマのカウントモード

---

8ビットタイマはリピートモードとワンショットモードの2つのカウントモードを持っています。この選択は、TRMDビット(D4/T8F\_CTLレジスタ)で行います。

\* **TRMD**: Count Mode Select Bit in the 8-bit Timer Ch.x Control (T8F\_CTLx) Register (D4/0x4206/0x4286)

### リピートモード(TRMD = 0、デフォルト)

TRMDを0に設定すると、8ビットタイマはリピートモードに設定されます。

このモードでは、カウントを開始するとアプリケーションプログラムで停止するまで8ビットタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、8ビットタイマをこのモードに設定してください。

### ワンショットモード(TRMD = 1)

TRMDを1に設定すると、8ビットタイマはワンショットモードに設定されます。

このモードでは、カウンタがアンダーフローした時点で8ビットタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、8ビットタイマをこのモードに設定してください。

**注:** カウントモードの設定は、8ビットタイマがカウント停止中に行ってください。

## 12.3 カウントクロック

8ビットタイマはプリスケアラ出力クロックをカウントクロックとして使用します。プリスケアラはPCLKクロックを1/1～1/16Kに分周して15種類のクロックを生成します。この中の1つをDF[3:0]ビット(D[3:0]/T8F\_CLKレジスタ)で選択します。

\* **DF[3:0]**: Timer Input Clock Select Bits in the 8-bit Timer Ch.x Input Clock Select (T8F\_CLKx) Register  
(D[3:0]/0x4200/0x4280)

表12.3.1 カウントクロックの選択

DF[3:0]	プリスケアラ出力クロック	DF[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

注: • 8ビットタイマを動作させるには、その前にプリスケアラを動作させておく必要があります。

- カウントクロックの設定は、8ビットタイマがカウント停止中に行ってください。

プリスケアラの制御については、“9 プリスケアラ (PSC)”を参照してください。

## 12.4 8ビットタイマリロードレジスタとアンダーフロー周期

リロードデータレジスタT8F\_TR(0x4202/0x4282)は、ダウンカウンタに初期値をセットするために使用します。

リロードデータレジスタに設定したカウンタ初期値は、8ビットタイマがリセットされるか、カウンタがアンダーフローした時点でダウンカウンタにプリセットされます。8ビットタイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、特定の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

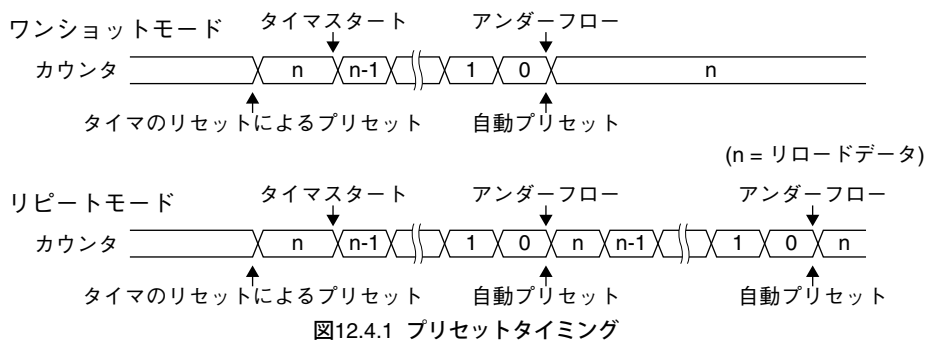


図12.4.1 プリセットタイミング

アンダーフロー周期は次のように計算できます。

$$\text{アンダーフロー期間} = \frac{T8F\_TR + 1}{clk\_in} [s] \quad \text{アンダーフローサイクル} = \frac{clk\_in}{T8F\_TR + 1} [Hz]$$

clk\_in: カウントクロック(プリスケアラ出力クロック)周波数 [Hz]

T8F\_TR: リロードデータ(0~255)

注: UARTは8ビットタイマの出力を1/16に分周してサンプリングクロックを生成します。転送レートを設定する際には注意してください。

## 12.5 8ビットタイマのリセット

---

8ビットタイマをリセットするには、**PRESER**ビット (D1/T8F\_CTLxレジスタ)に1を書き込みます。リロードデータがプリセットされ、カウンタが初期化されます。

\* **PRESER**: Timer Reset Bit in the 8-bit Timer Ch.x Control (T8F\_CTLx) Register (D1/0x4206/0x4286)

## 12.6 8ビットタイマRUN/STOP制御

8ビットタイマの動作を開始させる前に、以下の設定を行ってください。

- (1) カウントモード(ワンショットまたはリピート)を設定します。12.2節を参照してください。
- (2) カウントクロック(プリスケアラ出力クロック)を選択します。12.3節を参照してください。
- (3) カウンタ初期値を計算してリロードデータレジスタに設定します。12.4節を参照してください。
- (4) タイマをリセットして初期値をカウンタにプリセットします。12.5節を参照してください。
- (5) タイマ割り込みを使用する場合は、割り込みレベルを設定し、割り込みを許可します。12.9節を参照してください。

8ビットタイマの動作を開始させるには、PRUNビット(D0/T8F\_CTLxレジスタ)に1を書き込みます。

\* **PRUN**: Timer Run/Stop Control Bit in the 8-bit Timer Ch.x Control (T8F\_CTLx) Register (D0/0x4206/0x4286)

タイマは初期値から、あるいは初期値をプリセットしなかった場合は現在のカウンタ値からカウントダウンを開始します。カウンタがアンダーフローすると、タイマはアンダーフローパルスを出力し、初期値を再びカウンタにプリセットします。これと同時に、割り込み要求が割り込みコントローラ(ITC)に送られます。

ワンショットモードに設定されている場合、タイマはカウントを停止します。

リピートモードに設定されている場合、タイマはリロードされた初期値からカウントを継続します。

アプリケーションプログラムから8ビットタイマを停止させるには、PRUNビットに0を書き込みます。カウンタはカウント動作を停止し、タイマのリセットまたは再スタートまで、現在のカウンタ値を保持します。初期値からカウントを再スタートさせる場合は、PRUNビットに1を書き込む前にタイマをリセットしてください。

カウント中にタイマのリセットを行うと、リロードレジスタ値がカウンタにロードされ、カウントが継続します。

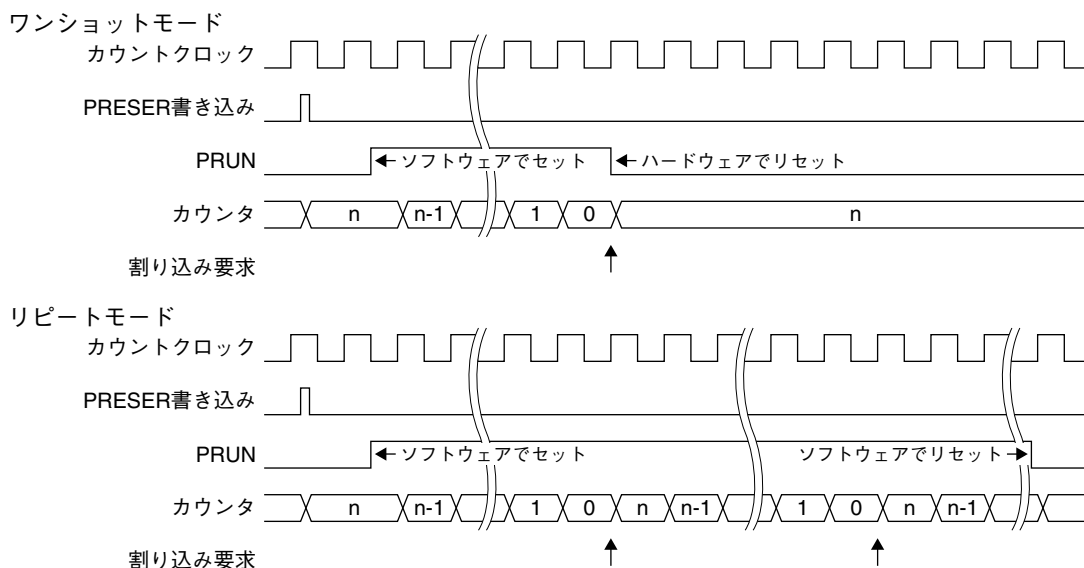


図12.6.1 カウント動作

## 12.7 8ビットタイマ出力信号

---

8ビットタイマはカウンタがアンダーフローするとアンダーフローパルスを出力します。  
このパルスは、タイマ割り込み要求に使用されます。

また、アンダーフローパルスはシリアル転送クロックの生成にも使用され、UARTに送られます。

8ビットタイマCh.0出力クロック → UART Ch0

8ビットタイマCh.1出力クロック → UART Ch1

希望の転送レートを得るためのリロードデータレジスタ値は次の式で計算できます。

$$\text{bps} = \frac{\text{clk\_in}}{\{(T8F\_TR + 1) \times 16 + TFMD\}}$$

$$T8F\_TR = \left( \frac{\text{clk\_in}}{\text{bps}} - TFMD - 16 \right) \div 16$$

clk\_in: カウントクロック(プリスケアラ出力クロック)周波数 [Hz]

T8F\_TR: リロードデータ (0~255)

bps: 転送レート (ビット/秒)

TFMD: ファインモード設定値 (0~15)

# 12.8 ファインモード

ファインモードは、転送レートの誤差を最小限に抑える機能を提供します。

8ビットタイマはプログラマブルなクロックを出力可能で、その信号はUART Ch.0のシリアル転送クロックとして使用されます。プリスケアラ出力クロックとリロードデータの適切な選択により、タイマ出力クロックを希望の周波数に設定することができます。ただし、転送レートによっては誤差を生じます。ファインモードでは、カウンタによるアンダーフローパルスの出力を遅らせ、出力クロック周期を延ばします。この遅延量はTFMD[3:0]ビット(D[11:8]/T8F\_CTLレジスタ)で指定できます。

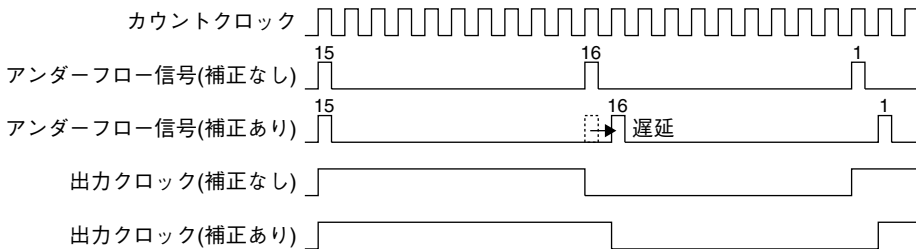
\* **TFMD[3:0]**: Fine Mode Setup Bits in the 8-bit Timer Ch.x Control (T8F\_CTLx) Register (D[11:8]/0x4206/0x4286)

TFMD[3:0]ビットは16アンダーフロー期間に挿入する遅延パターンを指定します。遅延の挿入1回につき、出力クロック周期はカウントクロック1サイクル分延長されます。この設定により、割り込みタイミングも同様に遅延します。

表12.8.1 TFMD[3:0]で指定する遅延パターン

TFMD[3:0]	アンダーフロー番号															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0x0	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
0x1	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	D
0x2	–	–	–	–	–	–	–	D	–	–	–	–	–	–	–	D
0x3	–	–	–	–	–	–	–	D	–	–	–	D	–	–	–	D
0x4	–	–	–	D	–	–	–	D	–	–	–	D	–	–	–	D
0x5	–	–	–	D	–	–	–	D	–	–	–	D	–	D	–	D
0x6	–	–	–	D	–	D	–	D	–	–	–	D	–	D	–	D
0x7	–	–	–	D	–	D	–	D	–	D	–	D	–	D	–	D
0x8	–	D	–	D	–	D	–	D	–	D	–	D	–	D	–	D
0x9	–	D	–	D	–	D	–	D	–	D	–	D	–	D	D	D
0xa	–	D	–	D	–	D	D	D	–	D	–	D	–	D	D	D
0xb	–	D	–	D	–	D	D	D	–	D	D	D	–	D	D	D
0xc	–	D	D	D	–	D	D	D	–	D	D	D	–	D	D	D
0xd	–	D	D	D	–	D	D	D	–	D	D	D	D	D	D	D
0xe	–	D	D	D	D	D	D	D	–	D	D	D	D	D	D	D
0xf	–	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D

D: 遅延サイクルが挿入されることを示します。



イニシャルリセット時、TFMD[3:0]は0x0に設定され、遅延サイクルは挿入されません。

## 12.9 8ビットタイマ割り込み

8ビットタイマは、カウンタのアンダーフローにより、割り込み要求を割り込みコントローラ(ITC)に出力します。

### アンダーフロー割り込み

この割り込み要求は、カウンタのアンダーフローにより発生し、T8Fモジュール内の割り込みフラグT8IF(D0/T8F\_INTレジスタ)を1にセットします。

\* **T8IF**: 8-bit Timer Interrupt Flag in the 8-bit Timer Ch.x Interrupt Control (T8F\_INTx) Register (D0/0x4208/0x4288)

この割り込みを使用するには、T8IE(D8/T8F\_INTレジスタ)を1に設定します。T8IEが0(デフォルト)に設定されているとT8IFは1にセットされず、この要因による割り込み要求はITCに送られません。

\* **T8IE**: 8-bit Timer Interrupt Enable Bit in the 8-bit Timer Ch.x Interrupt Control (T8F\_INTx) Register (D8/0x4208/0x4288)

T8IFが1にセットされるとT8Fモジュールは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

- 注:
- 8ビットタイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T8Fモジュール内の割り込みフラグT8IFをリセットする必要があります。
  - 不要な割り込みの発生を防止するため、T8IEによって8ビットタイマ割り込みを許可する前に、T8IFをリセットしてください。
  - ITCへの8ビットタイマCh.0とCh.1割り込み要求には1本の割り込み信号が使用され、どちらの割り込みが発生しても同じ割り込み処理ルーチンが実行されます。両方のチャンネルの割り込みを使用する場合は、割り込み処理ルーチン内でT8Fモジュール内の割り込みフラグを読み出し、割り込みが発生したチャンネルを確認してください。

### 割り込みベクタ

8ビットタイマ割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号: 12(0x0c)

ベクタアドレス: TTBR + 0x30

### その他の割り込み設定

ITCでは8ビットタイマ割り込みの優先順位をレベル0(デフォルト)～レベル7に設定可能です。また、実際に割り込みを発生させるにはPSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットを1に設定しておく必要があります。

割り込み処理の詳細については、“6 割り込みコントローラ(ITC)”を参照してください。

# 12.10 制御レジスタ詳細

表12.10.1 8ビットタイマレジスタ一覧

アドレス	レジスタ名		機 能
0x4200	T8F_CLK0	8-bit Timer Ch.0 Input Clock Select Register	プリスケアラ出力クロックの選択
0x4202	T8F_TR0	8-bit Timer Ch.0 Reload Data Register	リロードデータの設定
0x4204	T8F_TC0	8-bit Timer Ch.0 Counter Data Register	カウンタデータ
0x4206	T8F_CTL0	8-bit Timer Ch.0 Control Register	タイマモードの設定とタイマのRUN/STOP
0x4208	T8F_INT0	8-bit Timer Ch.0 Interrupt Control Register	割り込みの制御
0x4280	T8F_CLK1	8-bit Timer Ch.1 Input Clock Select Register	プリスケアラ出力クロックの選択
0x4282	T8F_TR1	8-bit Timer Ch.1 Reload Data Register	リロードデータの設定
0x4284	T8F_TC1	8-bit Timer Ch.1 Counter Data Register	カウンタデータ
0x4286	T8F_CTL1	8-bit Timer Ch.1 Control Register	タイマモードの設定とタイマのRUN/STOP
0x4288	T8F_INT1	8-bit Timer Ch.1 Interrupt Control Register	割り込みの制御

以下、8ビットタイマのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

## 0x4200/0x4280: 8-bit Timer Ch.x Input Clock Select Register (T8F\_CLKx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
8-bit Timer Chx Input Clock Select Register (T8F_CLKx)	0x4200 0x4280 (16 bits)	D15-4	—	reserved	—	—	—	0 when being read.
		D3-0	DF[3:0]	Timer input clock select (Prescaler output clock)	DF[3:0]      Clock	0x0	R/W	
					0xf      reserved			
					0xe      PCLK•1/16384			
					0xd      PCLK•1/8192			
					0xc      PCLK•1/4096			
					0xb      PCLK•1/2048			
					0xa      PCLK•1/1024			
					0x9      PCLK•1/512			
					0x8      PCLK•1/256			
					0x7      PCLK•1/128			
					0x6      PCLK•1/64			
					0x5      PCLK•1/32			
					0x4      PCLK•1/16			
					0x3      PCLK•1/8			
					0x2      PCLK•1/4			
					0x1      PCLK•1/2			
					0x0      PCLK•1/1			

注: レジスタ名などの‘x’はチャンネル番号の0または1を表します。

0x4200: 8-bit Timer Ch.0 Input Clock Select Register (T8F\_CLK0)

0x4280: 8-bit Timer Ch.1 Input Clock Select Register (T8F\_CLK1)

## D[15:4] Reserved

## D[3:0] DF[3:0]: Timer Input Clock Select Bits

15種類のプリスケアラ出力クロックから、8ビットタイマのカウントクロックを選択します。

表12.10.2 カウントクロックの選択

DF[3:0]	プリスケアラ出力クロック	DF[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

注: カウントクロックの設定は、8ビットタイマがカウント停止中に行ってください。

# 0x4202/0x4282: 8-bit Timer Ch.x Reload Data Register (T8F\_TRx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
8-bit Timer Chx Reload Data Register (T8F_TRx)	0x4202 0x4282 (16 bits)	D15-8	—	reserved	—	—	—	0 when being read.
		D7-0	TR[7:0]	8-bit timer reload data TR7 = MSB TR0 = LSB	0x0 to 0xff	0x0	R/W	

注: レジスタ名などの'x'はチャンネル番号の0または1を表します。

0x4202: 8-bit Timer Ch.0 Reload Data Register (T8F\_TR0)

0x4282: 8-bit Timer Ch.1 Reload Data Register (T8F\_TR1)

## D[15:8] Reserved

## D[7:0] TR[7:0]: 8-bit Timer Reload Data

カウンタの初期値を設定します。(デフォルト: 0x0)

このレジスタに設定したリロードデータは、タイマがリセットされるか、カウンタがアンダーフローした時点でカウンタにプリセットされます。

8ビットタイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、任意の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

**0x4204/0x4284: 8-bit Timer Ch.x Counter Data Register (T8F\_TCx)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
8-bit Timer Chx Counter Data Register (T8F_TCx)	0x4204	D15-8	—	reserved	—	—	—	0 when being read.
	0x4284 (16 bits)	D7-0	TC[7:0]	8-bit timer counter data TC7 = MSB TC0 = LSB	0x0 to 0xff	0xff	R	

注: レジスタ名などの‘x’はチャンネル番号の0または1を表します。

0x4204: 8-bit Timer Ch.0 Counter Data Register (T8F\_TC0)

0x4284: 8-bit Timer Ch.1 Counter Data Register (T8F\_TC1)

**D[15:8] Reserved**

**D[7:0] TC[7:0]: 8-bit Timer Counter Data**

カウンタデータが読み出せます。(デフォルト: 0xff)

このレジスタはリードオンリのため、データの書き込みはできません。

## 0x4206/0x4286: 8-bit Timer Ch.x Control Register (T8F\_CTLx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
8-bit Timer Chx Control Register (T8F_CTLx)	0x4206 0x4286 (16 bits)	D15-12	—	reserved	—	—	—	0 when being read.
		D11-8	TFMD[3:0]	Fine mode setup	0x0 to 0xf	0x0	R/W	Set a number of times to insert delay into a 16-underflow period.
		D7-5	—	reserved	—	—	—	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	0 when being read.
		D3-2	—	reserved	—	—	—	
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	

注: レジスタ名などの‘x’はチャンネル番号の0または1を表します。

0x4206: 8-bit Timer Ch.0 Control Register (T8F\_CTL0)

0x4286: 8-bit Timer Ch.1 Control Register (T8F\_CTL1)

## D[15:12] Reserved

## D[11:8] TFMD[3:0]: Fine Mode Setup Bits

転送レートの誤差を補正します。(デフォルト: 0x0)

TFMD[3:0]ビットは16アンダーフロー期間に挿入する遅延パターンを指定します。遅延の挿入1回につき、出力クロック周期はカウントクロック1サイクル分延長されます。この設定により、割り込みタイミングも同様に遅延します。

表12.10.3 TFMD[3:0]で指定する遅延パターン

TFMD[3:0]	アンダーフロー番号															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0x0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
0x1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	D
0x2	—	—	—	—	—	—	—	D	—	—	—	—	—	—	—	D
0x3	—	—	—	—	—	—	—	D	—	—	—	D	—	—	—	D
0x4	—	—	—	D	—	—	—	D	—	—	—	D	—	—	—	D
0x5	—	—	—	D	—	—	—	D	—	—	—	D	—	D	—	D
0x6	—	—	—	D	—	D	—	D	—	—	—	D	—	D	—	D
0x7	—	—	—	D	—	D	—	D	—	D	—	D	—	D	—	D
0x8	—	D	—	D	—	D	—	D	—	D	—	D	—	D	—	D
0x9	—	D	—	D	—	D	—	D	—	D	—	D	—	D	D	D
0xa	—	D	—	D	—	D	D	D	—	D	—	D	—	D	D	D
0xb	—	D	—	D	—	D	D	D	—	D	D	D	—	D	D	D
0xc	—	D	D	D	—	D	D	D	—	D	D	D	—	D	D	D
0xd	—	D	D	D	—	D	D	D	—	D	D	D	D	D	D	D
0xe	—	D	D	D	D	D	D	D	—	D	D	D	D	D	D	D
0xf	—	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D

D: 遅延サイクルが挿入されることを示します。

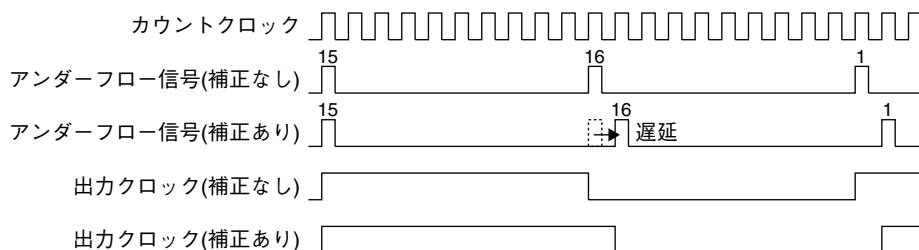


図12.10.1 ファインモードでの遅延サイクルの挿入

## D[7:5] Reserved

**D4 TRMD: Count Mode Select Bit**

8ビットタイマのカウントモードを選択します。

1(R/W): ワンショットモード

0(R/W): リピートモード(デフォルト)

TRMDを0に設定すると、8ビットタイマはリピートモードに設定されます。このモードでは、カウントを開始するとアプリケーションプログラムで停止するまで8ビットタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、8ビットタイマをこのモードに設定してください。

TRMDを1に設定すると、8ビットタイマはワンショットモードに設定されます。このモードでは、カウンタがアンダーフローした時点で8ビットタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、8ビットタイマをこのモードに設定してください。

注: カウントモードの設定は、8ビットタイマがカウント停止中に行ってください。

**D[3:2] Reserved****D1 PRESER: Timer Reset Bit**

8ビットタイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、リロードデータがカウンタにプリセットされます。

**D0 PRUN: Timer Run/Stop Control Bit**

タイマのRUN/STOPを制御します。

1(R/W): RUN

0(R/W): STOP(デフォルト)

タイマはPRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。

**0x4208/0x4288: 8-bit Timer Ch.x Interrupt Control Register (T8F\_INTx)**

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
8-bit Timer Chx Interrupt Control Register (T8F_INTx)	0x4208	D15–9	—	reserved	—			—	—	0 when being read.	
	0x4288	D8	T8IE	8-bit timer interrupt enable	1	Enable	0	Disable	0	R/W	
	(16 bits)	D7–1	—	reserved	—			—	—	0 when being read.	
		D0	T8IF	8-bit timer interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.

注: レジスタ名などの'x'はチャンネル番号の0または1を表します。

0x4208: 8-bit Timer Ch.0 Interrupt Control Register (T8F\_INT0)

0x4288: 8-bit Timer Ch.1 Interrupt Control Register (T8F\_INT1)

**D[15:9] Reserved****D8 T8IE: 8-bit Timer Interrupt Enable Bit**

各チャンネルのカウンタアンダーフローによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

T8IEを1に設定するとITCへの8ビットタイマ割り込み要求が許可され、0に設定すると割り込みが禁止されます。

**D[7:1] Reserved****D0 T8IF: 8-bit Timer Interrupt Flag**

各チャンネルのカウンタアンダーフロー割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

T8IFはT8Fモジュールの割り込みフラグです。T8IE(D8)を1に設定しておくことにより、カウント中にカウンタがアンダーフローすると1にセットされます。同時に、ITCに対して8ビットタイマ割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

T8IFは1の書き込みによりリセットされます。

注: • 8ビットタイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T8Fモジュール内の割り込みフラグT8IFをリセットする必要があります。

- 不要な割り込みの発生を防止するため、T8IEによって8ビットタイマ割り込みを許可する前に、T8IFをリセットしてください。
- ITCへの8ビットタイマCh.0とCh.1割り込み要求には1本の割り込み信号が使用され、どちらの割り込みが発生しても同じ割り込み処理ルーチンが実行されます。両方のチャンネルの割り込みを使用する場合は、割り込み処理ルーチン内でT8Fモジュール内の割り込みフラグを読み出し、割り込みが発生したチャンネルを確認してください。

## 12.11 注意事項

---

- 8ビットタイマを動作させるには、その前にプリスケアラを動作させておく必要があります。
- カウントクロックとカウントモードの設定は、8ビットタイマがカウント停止中に行ってください。
- 8ビットタイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T8Fモジュール内の割り込みフラグT8IF(D0/T8F\_INTレジスタ)をリセットする必要があります。
  - \* **T8IF**: 8-bit Timer Ch.x Interrupt Flag in the 8-bit Timer Ch.x Interrupt Control (T8F\_INTx) Register (D0/0x4208/0x4288)
- 不要な割り込みの発生を防止するため、T8IE(D8/T8F\_INTレジスタ)によって8ビットタイマ割り込みを許可する前に、T8IFをリセットしてください。
  - \* **T8IE**: 8-bit Timer Ch.x Interrupt Enable Bit in the 8-bit Timer Ch.x Interrupt Control (T8F\_INTx) Register (D8/0x4208/0x4288)
- ITCへの8ビットタイマCh.0とCh.1割り込み要求には1本の割り込み信号が使用され、どちらの割り込みが発生しても同じ割り込み処理ルーチンが実行されます。両方のチャンネルの割り込みを使用する場合は、割り込み処理ルーチン内でT8Fモジュール内の割り込みフラグを読み出し、割り込みを発生したチャンネルを確認してください。

# 13 PWMタイマ (T16E)

## 13.1 PWMタイマの概要

S1C17003はPWMタイマを1チャンネル内蔵しています。

図13.1.1にPWMタイマの構造を示します。

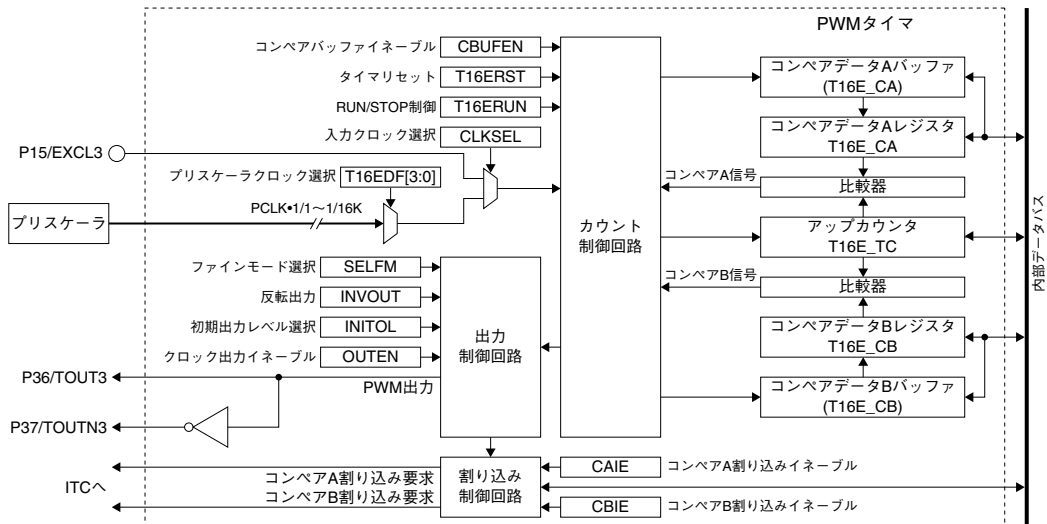


図13.1.1 PWMタイマの構造

PWMタイマの各チャンネルには、16ビットのアップカウンタ（T16E\_TCレジスタ）、2つの16ビットコンパデータレジスタ（T16E\_CAレジスタ、T16E\_CBレジスタ）とそのバッファが設けられています。

16ビットカウンタはソフトウェアで0にリセットおよびカウンタ値のセットが可能で、プリスケアラック出力クロックまたは入出力ポート端子（EXCL3）からの外部信号でカウントアップを行います。カウント値はソフトウェアで読み出すことができます。

コンパデータAおよびBレジスタはアップカウンタの内容と比較するためのデータを格納するレジスタです。コンパデータレジスタは、直接データの書き込み/読み出しが可能です。また、コンパデータバッファを使用すると、カウンタがソフトウェアまたはコンパBマッチ信号によってリセットされた時点で設定した比較値をコンパデータレジスタにロードすることができます。比較値をコンパデータレジスタとバッファのどちらに書き込むかについては、ソフトウェアで設定可能です。

カウンタ値が各コンパデータレジスタの内容に一致すると比較器によって信号が出力され、割り込みや出力信号を制御します。したがって、これらのレジスタにより割り込みの発生周期や出力クロックの周波数とデューティ比をプログラマブルに設定することができます。

## 13.2 PWMタイマの動作モード

PWMタイマには2つの動作モードがあります。

1. 内部クロックモード (内部クロックをカウントするタイマ)
2. 外部クロックモード (イベントカウンタとして機能)

いずれか1つをCLKSEL (D3/T16E\_CTLレジスタ) で選択します。

\* **CLKSEL**: Input Clock Select Bit in the PWM Timer Control (T16E\_CTL) Register (D3/0x5306)

CLKSELが0 (デフォルト) の場合は内部クロックモード、1に設定すると外部クロックモードになります。

### 内部クロックモード

内部クロックモードでは、プリスケアラ出力クロックをカウントクロックとして使用します。

カウントクロックは、プリスケアラがPCLKクロックを1/1～1/16Kに分周して生成した15種類の中から1つをT16EDF[3:0] (D[3:0]/T16E\_CLKレジスタ) で選択します。

\* **T16EDF[3:0]**: Timer Input Clock Select Bits in the PWM Timer Input Clock Select (T16E\_CLK) Register (D[3:0]/0x5308)

表13.2.1 プリスケアラクロックの選択

T16EDF[3:0]	プリスケアラ出力クロック	T16EDF[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

注: • PWMタイマを内部クロックモードで動作させるには、その前にプリスケアラを動作させておく必要があります。

- カウントクロックの設定は、PWMタイマがカウント停止中に行ってください。

プリスケアラの制御については“9 プリスケアラ (PSC)”を参照してください。

### 外部クロックモード

外部クロックモードでは、チャンネル0がP15 (EXCL3) ポートから入力したクロックやパルスをカウントクロックとして使用します。したがって、イベントカウンタとして使用可能です。入力クロック以外のタイマの動作は内部クロックモードと同じです。

P15ポートからEXCL3クロックを入力するには、P15MUX (D3-2/P1\_PMUXレジスタ) に0を書き込み、端子の機能を変更しかつ、入力モードにしておく必要があります。

\* **P15MUX**: P15 Port Function Select Bit in the P0 Port Function Select (P1\_PMUX) Register (D3-2/0x52a3)

PWMタイマは入力信号の立ち上がりエッジでカウントアップします。

PWMタイマは、このモードではプリスケアラを使用しません。ほかにプリスケアラクロックを使用する周辺モジュールがない場合はプリスケアラを停止して消費電流を低減できます。

## 13.3 カウンタ値のセット/リセット

---

PWMタイマのカウンタをリセットするには、T16ERSTビット(D1/T16E\_CTLレジスタ)に1を書き込みます。カウンタが0に初期化されます。

\* **T16ERST**: Timer Reset Bit in the PWM Timer Control (T16E\_CTL) Register (D1/0x5306)

通常は、カウントアップを開始する前に、このビットに1を書き込みカウンタをリセットします。カウント開始後は、カウンタがコンペアデータBに一致するとハードウェアによってリセットされます。

また、T16ETC[15:0](D[15:0]/T16E\_TCレジスタ)にデータを書き込むことにより、カウンタに任意の値をセットすることもできます。

\* **T16ETC[15:0]**: Counter Data in the PWM Timer Counter Data (T16E\_TC) Register (D[15:0]/0x5304)

## 13.4 コンペアデータの設定

### コンペアデータレジスタ/バッファの選択

PWMタイマにはデータの比較器が内蔵されており、カウントデータを任意の値と比較することができます。この比較データを格納するレジスタがコンペアデータAレジスタとコンペアデータBレジスタです。コンペアデータレジスタは直接データの書き込み/読み出しが可能です。

また、コンペアデータバッファを使用すると、カウンタがソフトウェア(T16ERSTへの1書き込み)またはコンペアBマッチ信号によってリセットされた時点で、バッファに設定した比較値を自動的にコンペアデータレジスタにロードすることができます。比較値をコンペアデータレジスタとバッファのどちらに書き込むかについては、CBUFEN(D5/T16E\_CTLレジスタ)で設定します。

\* **CBUFEN**: Comparison Buffer Enable Bit in the PWM Timer Control (T16E\_CTL) Register (D5/0x5306)

CBUFENに1を書き込むとコンペアデータバッファ、0を書き込むとコンペアデータレジスタが選択されます。イニシャルリセット時は、コンペアデータレジスタが選択されます。

### コンペアデータの書き込み

コンペアデータAはT16ECA[15:0](D[15:0]/T16E\_CAレジスタ)に、コンペアデータBはT16ECB[15:0](D[15:0]/T16E\_CBレジスタ)に書き込みます。

\* **T16ECA[15:0]**: Compare Data A in the PWM Timer Compare Data A (T16E\_CA) Register (D[15:0]/0x5300)

\* **T16ECB[15:0]**: Compare Data B in the PWM Timer Compare Data B (T16E\_CB) Register (D[15:0]/0x5302)

CBUFENが0に設定されている場合、これらのレジスタによりコンペアデータレジスタ値が直接読み出し/書き込み可能です。

CBUFENが1に設定されている場合、これらのレジスタへのデータ書き込み/読み出しはコンペアデータバッファに対して行われます。バッファの内容はカウンタがリセットされた時点でコンペアデータレジスタにロードされます。

イニシャルリセット時、コンペアデータレジスタ/バッファは0x0に設定されます。

タイマはコンペアデータレジスタとカウントデータを比較し、同じ値になったところでコンペアマッチ信号を発生します。このコンペアマッチ信号は割り込みを発生するとともに外部へのクロック(TOUT3/TOUTN3信号)出力を制御します。

コンペアデータBはカウンタのリセット周期も決定します。

カウンタのリセット周期は次のように計算できます。

$$\text{カウンタリセット期間} = \frac{\text{CB} + 1}{\text{clk\_in}} \text{ [s]}$$

$$\text{カウンタリセット周期} = \frac{\text{clk\_in}}{\text{CB} + 1} \text{ [Hz]}$$

CB: コンペアデータB(T16E\_CBxレジスタ値)

clk\_in: プリスケアラ出力クロック周波数

## 13.5 PWMタイマRUN/STOP制御

PWMタイマの動作を開始させる前に、以下の設定を行ってください。

- (1) 動作モード(入力クロック)を設定します。13.2節を参照してください。
- (2) クロック出力の設定を行います。13.6節を参照してください。
- (3) 割り込みを使用する場合は、割り込みレベルを設定し、PWMタイマの割り込みを許可します。13.7節を参照してください。
- (4) カウンタに値をセット、または0にリセットします。13.3節を参照してください。
- (5) コンペアデータを設定します。13.4節を参照してください。

PWMタイマには、Run/Stopを制御するT16ERUN(D0/T16E\_CTLレジスタ)が設けられています。

**\* T16ERUN: Timer Run/Stop Control Bit in the PWM Timer Control (T16E\_CTL) Register (D0/0x5306)**

タイマはT16ERUNに1を書き込むことによってカウントを開始します。T16ERUNに0を書き込むとクロックの入力が禁止され、カウントは停止します。

この制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

T16ERUNとT16ERSTに同時に1を書き込んだ場合、タイマはカウンタをリセット後にカウントを開始します。

カウント中にカウンタがコンペアデータAレジスタの設定値と一致すると、コンペアAマッチ信号が出力され、コンペアA割り込み要因が発生します。

また、カウンタがコンペアデータBレジスタの設定値と一致すると、コンペアBマッチ信号が出力され、コンペアB割り込み要因が発生します。同時にカウンタが0にリセットされます。CBUFENが1に設定されている場合は、コンペアデータバッファに設定してある値がコンペアデータレジスタにロードされます。割り込みを許可している場合は、割り込み要求が割り込みコントローラ(ITC)に送られます。

どちらの場合もカウント動作はそのまま継続します。コンペアBの場合はカウンタ値0からのカウントとなります。

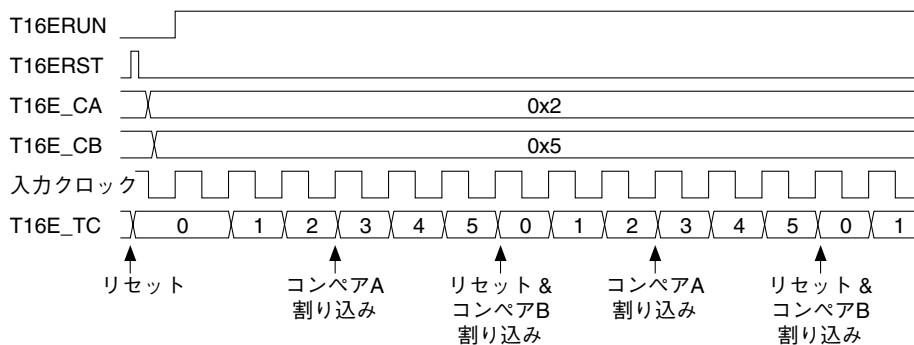


図13.5.1 カウンタの基本動作タイミング

# 13.6 クロック出力の制御

PWMタイマは、コンペアマッチ信号によってTOUT3/TOUTN3信号を発生させることができます。  
図13.6.1にPWMタイマのクロック出力回路を示します。

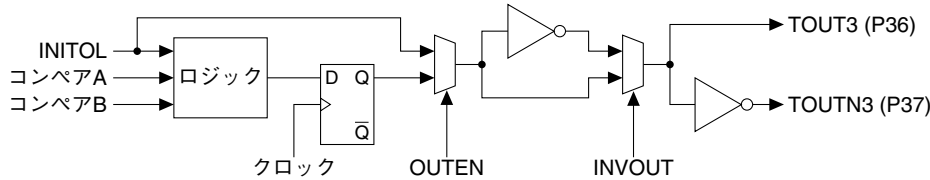


図13.6.1 PWMタイマのクロック出力回路

## 初期出力レベルの設定

TOUT3クロック出力がOffの状態でのデフォルト出力レベルは0(Lowレベル)です(TOUTN3出力はHighレベル)。これをINITOL(D8/T16E\_CTLレジスタ)で1(TOUT3 = Highレベル、TOUTN3 = Lowレベル)に変更することができます。

\* **INITOL**: Initial Output Level Select Bit in the PWM Timer Ch.x Control (T16E\_CTL) Register (D8/0x5306)

INITOLが0(デフォルト)の場合、TOUT3の初期出力レベルはLow(TOUTN3出力はHigh)です。1に設定すると、初期出力レベルはHigh(TOUTN3出力はLow)になります。

## 出力信号の極性選択

デフォルトでは、アクティブHigh(ノーマルLow)のTOUT3出力信号が生成されます(TOUTN3出力信号はアクティブLow)。この論理をINVOUT(D4/T16E\_CTLレジスタ)で反転させることができます。INVOUTに1を書き込むと、タイマはアクティブLow(ノーマルHigh)のTOUT3信号(TOUTN3信号はアクティブHigh)を生成します。

\* **INVOUT**: Inverse Output Control Bit in the PWM Timer Control (T16E\_CTL) Register (D4/0x5306)

INVOUTを1に設定すると、INITOLで設定した初期出力レベルも反転します。  
出力波形については図13.6.2を参照してください。

## 出力端子の設定

ここで発生したTOUT3/TOUTN3信号は、以下の端子から出力可能で、外部デバイス等に対してプログラマブルなクロックやPWM信号を供給することができます。

TOUT3出力 → TOUT3(P36)端子、TOUTN3出力 → TOUTN3(P37)端子

イニシャルリセット時、出力に使用する端子は入出力ポート用に設定され、入力モードとなります。このときの端子の状態はハイインピーダンスとなります。

端子機能をTOUT3/TOUTN3出力に切り換えると、INITOLおよびINVOUTの設定に従ったレベルの出力を行います。タイマ出力を開始後、カウンタ値によって変化するまで出力はこのレベルに保たれます。

表13.6.1 初期出力レベル

INITOL	INVOUT	初期出力レベル
1	1	Low
1	0	High
0	1	High
0	0	Low

## クロック出力の開始

TOUT3クロックを出力するには、OUTEN(D2/T16E\_CTLレジスタ)に1を書き込みます。OUTENに0を書き込むと、出力はINITOLおよびINVOUTの設定値に従った初期出力レベルとなります。

\* **OUTEN**: Clock Output Enable Bit in the PWM Timer Control (T16E\_CTL) Register (D2/0x5306)

図13.6.2に出力波形を示します。

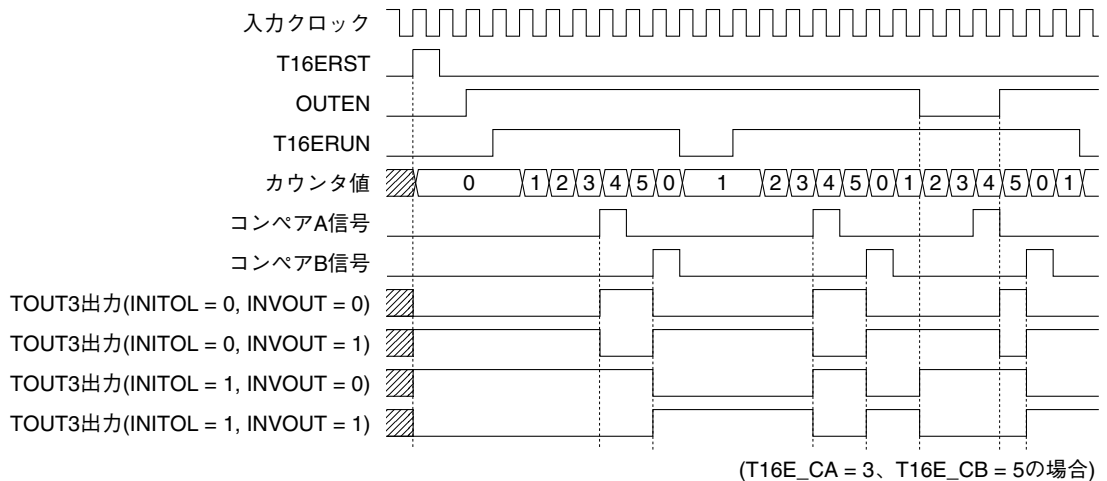


図13.6.2 PWMタイマの出力波形

### INVOUT = 0(アクティブHigh)の場合のTOUT3出力

タイマは、カウンタがT16E\_CAレジスタ(0x5300)に設定したコンペアデータAに一致するまでLowレベル(出力開始時は初期出力レベル)を出力します。カウンタがコンペアデータAの次の値になると、出力端子はHighレベルとなりコンペアA割り込み要因が発生します。その後、カウンタがT16E\_CBレジスタ(0x5302)に設定したコンペアデータBまでカウントアップされると、カウンタがリセットされ、出力端子はLowレベルに戻ります。同時にコンペアB割り込み要因も発生します。

TOUTN3端子は、上記の反転信号を出力します。

### INVOUT = 1(アクティブLow)の場合のTOUT3出力

タイマは、カウンタがT16E\_CAレジスタ(0x5300)に設定したコンペアデータAに一致するまでHighレベル(出力開始時は初期出力レベルの反転値)を出力します。カウンタがコンペアデータAの次の値になると、出力端子はLowレベルとなりコンペアA割り込み要因が発生します。その後、カウンタがT16E\_CBレジスタ(0x5302)に設定したコンペアデータBまでカウントアップされると、カウンタがリセットされ、出力端子はHighレベルに戻ります。同時にコンペアB割り込み要因も発生します。

TOUTN3端子は、上記の反転信号を出力します。

## クロック出力ファインモードの設定

デフォルト設定では、コンペアデータAとカウンタ値が一致した場合、入力クロックの立ち上がりでクロック出力が変化します。

ファインモードのクロック出力は、コンペアデータAレジスタT16ECA0[15:1]とカウンタデータレジスタT16ETC[14:0]が一致した場合に、コンペアデータAのビット0(T16ECA0)の値に従って変化します。

T16ECA0が0の場合: 入力クロックの立ち上がりで変化

T16ECA0が1の場合: 半周期遅れの入力クロックの立ち下がりで変化

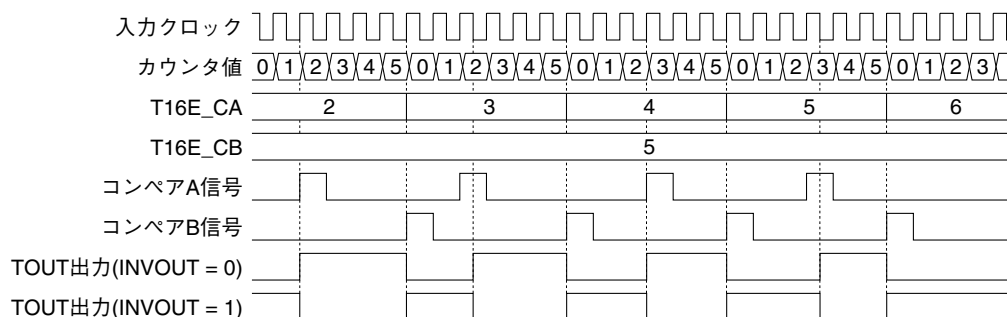


図13.6.3 ファインモードのクロック出力

このように、ファインモードでは入力クロックの半周期きざみで出力デューティを調節することができます。ただし、コンペアデータA = 0の場合は、入力クロックの1周期幅のパルスが出力されます(デフォルトの場合と同様)。ファインモードでのコンペアデータBの最大値は $2^{15} - 1 = 32,767$ 、コンペアデータAの設定範囲は $0 \sim (2 \times \text{コンペアデータB} - 1)$ となります。

ファインモードはSELFM(D6/T16E\_CTLレジスタ)で設定します。

\* **SELFM**: Fine Mode Select Bit in the PWM Timer Control (T16E\_CTL) Register (D6/0x5306)

SELFMに1を書き込むと、ファインモードが設定されます。イニシャルリセット時はファインモードがディセーブル状態となります。

## 注意事項

- (1) タイマ出力を使用する場合、コンペアデータは $A \geq 0$ 、 $B \geq 1$ を設定してください。最小設定は $A = 0$ 、 $B = 1$ で、タイマ出力サイクルは入力クロックの1/2となります。
- (2) コンペアデータを $A > B$ (ファインモードの場合は $A > B \times 2$ )に設定するとコンペアBマッチ信号のみ発生し、コンペアAマッチ信号は発生しません。この場合、TOUT3出力はLow(INVOUT = 1の場合はHigh)に、TOUTN3出力はHigh(INVOUT = 1の場合はLow)に固定されます。

## 13.7 PWMタイマ割り込み

T16Eモジュールには、以下の2種類の割り込みを発生させる機能があります。

- コンペアAマッチ割り込み
- コンペアBマッチ割り込み

T16Eモジュールの各チャンネルは、上記2種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、T16Eモジュール内の割り込みフラグを読み出してください。

### コンペアAマッチ割り込み

この割り込み要求は、カウント中にカウンタがコンペアデータAレジスタの設定値に一致すると発生し、T16Eモジュール内の割り込みフラグCAIF(D0/T16E\_INTレジスタ)を1にセットします。

\* **CAIF:** Compare A Interrupt Flag in the PWM Timer Interrupt Flag (T16E\_IFLG) Register (D0/0x530c)

この割り込みを使用するには、CAIE(D0/T16E\_IMSKレジスタ)を1に設定します。CAIEが0(デフォルト)に設定されているとCAIFが1にセットされず、この要因による割り込み要求はITCに送られません。

\* **CAIE:** Compare A Interrupt Enable Bit in the PWM Timer Interrupt Mask (T16E\_IMSK) Register (D0/0x530a)

CAIFが1にセットされるとT16Eモジュールは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

PWMタイマ割り込みがコンペアAマッチによるものかどうかについては、PWMタイマ割り込み処理ルーチンで割り込みを発生したチャンネルのCAIFを読み出して確認してください。

### コンペアBマッチ割り込み

この割り込み要求は、カウント中にカウンタがコンペアデータBレジスタの設定値に一致すると発生し、T16Eモジュール内の割り込みフラグCBIF(D1/T16E\_INTレジスタ)を1にセットします。

\* **CBIF:** Compare B Interrupt Flag in the PWM Timer Interrupt Flag (T16E\_IFLG) Register (D1/0x530c)

この割り込みを使用するには、CBIE(D1/T16E\_INTレジスタ)を1に設定します。CBIEが0(デフォルト)に設定されているとCBIFが1にセットされず、この要因による割り込み要求はITCに送られません。

\* **CBIE:** Compare B Interrupt Enable Bit in the PWM Timer Interrupt Mask (T16E\_IMSK) Register (D1/0x530a)

CBIFが1にセットされるとT16Eモジュールは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

PWMタイマ割り込みがコンペアBマッチによるものかどうかについては、PWMタイマ割り込み処理ルーチンで割り込みを発生したチャンネルのCBIFを読み出して確認してください。

注: • PWMタイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T16Eモジュール内の割り込みフラグCAIFまたはCBIFをリセットする必要があります。

- 不要な割り込みの発生を防止するため、CAIEまたはCBIEによってコンペアAまたはコンペアB割り込みを許可する前に、対応するCAIFまたはCBIFをリセットしてください。

割り込みベクタ

PWMタイマ割り込みのベクタ番号とベクタアドレスは以下のとおりです。

表13.7.1 PWMタイマ割り込みベクタ

タイマチャンネル	ベクタ番号	ベクタアドレス
T16E	11 (0x0b)	TTBR + 0x2c

その他の割り込み設定

ITCではPWMタイマ割り込みの優先順位をチャンネルごとにレベル0(デフォルト)～レベル7に設定可能です。また、実際に割り込みを発生させるにはPSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットを1に設定しておく必要があります。

割り込み処理の詳細については、“6 割り込みコントローラ(ITC)”を参照してください。

## 13.8 制御レジスタ詳細

表13.8.1 PWMタイマレジスタ一覧

アドレス	レジスタ名		機 能
0x5300	T16E_CA	PWM Timer Compare Data A Register	コンペアデータAの設定
0x5302	T16E_CB	PWM Timer Compare Data B Register	コンペアデータBの設定
0x5304	T16E_TC	PWM Timer Counter Data Register	カウンタデータ
0x5306	T16E_CTL	PWM Timer Control Register	タイマモードの設定とタイマのRUN/STOP
0x5308	T16E_CLK	PWM Timer Input Clock Select Register	プリスケアラ出力クロックの選択
0x530a	T16E_IMSK	PWM Timer Interrupt Mask Register	割り込み要因のマスク選択
0x530c	T16E_IFLG	PWM Timer Interrupt Flag Register	割り込み要因の確認

以下、PWMタイマのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5300: PWM Timer Compare Data A Registers (T16E\_CA)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PWM Timer Compare Data A Register (T16E_CA)	0x5300 (16 bits)	D15-0	T16ECA[15:0]	Compare data A T16ECA15 = MSB T16ECA0 = LSB	0x0 to 0xffff	0x0	R/W	

D[15:0] T16ECA[15:0]: Compare Data A

PWMタイマのコンペアデータAを設定します。(デフォルト: 0x0)

CBUFEN(D5/T16E\_CTLレジスタ)が0に設定されている場合、このレジスタによりコンペアデータAレジスタが直接読み出し/書き込み可能です。

CBUFENが1に設定されている場合、これらのレジスタへのデータ書き込み/読み出しはコンペアデータAバッファに対して行われます。バッファの内容はカウンタがリセットされた時点でコンペアデータAレジスタにロードされます。

設定したデータがカウンタデータと比較され、内容が一致したところでコンペアA割り込み要因が発生します。同時に、タイマ出力波形が変化します(INVOUT(D4/T16E\_CTLレジスタ) = 0の場合は立ち上がり、INVOUT = 1の場合は立ち下がります)。これらの処理は、カウンタのデータやカウントアップ動作には影響を与えません。

**0x5302: PWM Timer Compare Data B Registers (T16E\_CB)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PWM Timer Compare Data B Register (T16E_CB)	0x5302 (16 bits)	D15–0	T16ECB[15:0]	Compare data B T16ECB15 = MSB T16ECB0 = LSB	0x0 to 0xffff	0x0	R/W	

**D[15:0] T16ECB[15:0]: Compare Data B**

PWMタイマのコンペアデータBを設定します。(デフォルト: 0x0)

CBUFEN(D5/T16E\_CTLレジスタ)が0に設定されている場合、このレジスタによりコンペアデータBレジスタが直接読み出し/書き込み可能です。

CBUFENが1に設定されている場合、これらのレジスタへのデータ書き込み/読み出しはコンペアデータBバッファに対して行われます。バッファの内容はカウンタがリセットされた時点でコンペアデータBレジスタにロードされます。

設定したデータがカウンタデータと比較され、内容が一致したところでコンペアB割り込み要因が発生します。同時に、タイマ出力波形が変化し(INVOUT(D4/T16E\_CTLレジスタ) = 0の場合は立ち上がり、INVOUT = 1の場合は立ち下がります)、カウンタが0にリセットされます。

0x5304: PWM Timer Counter Data Registers (T16E\_TC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PWM Timer Counter Data Register (T16E_TC)	0x5304 (16 bits)	D15–0	T16ETC[15:0]	Counter data T16ETC15 = MSB T16ETC0 = LSB	0x0 to 0xffff	0x0	R/W	

D[15:0] T16ETC[15:0]: Counter Data

カウンタデータが読み出せます。(デフォルト: 0x0)  
また、このレジスタにデータを書き込むことにより、カウンタ値をセットすることもできます。

## 0x5306: PWM Timer Control Registers (T16E\_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PWM Timer Control Register (T16E_CTL)	0x5306 (16 bits)	D15-9	–	reserved	–	–	–	0 when being read.
		D8	INITOL	Initial output level	1   High   0   Low	0	R/W	
		D7	–	reserved	–	–	–	0 when being read.
		D6	SELFМ	Fine mode select	1   Fine mode   0   Normal mode	0	R/W	
		D5	CBUFEN	Comparison buffer enable	1   Enable   0   Disable	0	R/W	
		D4	INVOUT	Inverse output	1   Invert   0   Normal	0	R/W	
		D3	CLKSEL	Input clock select	1   External   0   Internal	0	R/W	
		D2	OUTEN	Clock output enable	1   Enable   0   Disable	0	R/W	
		D1	T16ERST	Timer reset	1   Reset   0   Ignored	0	W	0 when being read.
		D0	T16ERUN	Timer run/stop control	1   Run   0   Stop	0	R/W	

## D[15:9] Reserved

## D8 INITOL: Initial Output Level Bit

タイマ出力の初期出力レベルを設定します。

1 (R/W): TOUT3 = High, TOUTN3 = Low

0 (R/W): TOUT3 = Low, TOUTN3 = High (デフォルト)

クロック出力をOUTEN (D2) への0書き込みによりOffした場合、タイマ出力端子はここで設定した初期出力レベルになります。ただし、INVOUT (D4) が1の場合、このレベルは反転します。

## D7 Reserved

## D6 SELFМ: Fine Mode Select Bit

クロック出力をファインモードに設定します。

1 (R/W): ファインモード

0 (R/W): 通常出力 (デフォルト)

SELFМが1に設定されていると、クロック出力がファインモードに設定され、出力クロックのデューティを入力クロックの半周期単位で調整可能となります。

SELFМが0に設定されている場合は、通常のクロック出力が行われます。

## D5 CBUFEN: Comparison Buffer Enable Bit

コンペアデータバッファへの書き込みを許可/禁止します。

1 (R/W): 許可

0 (R/W): 禁止 (デフォルト)

CBUFENが1に設定されていると、コンペアデータの書き込み/読み出しがコンペアデータバッファに対して行われます。バッファの内容は、カウンタがソフトウェアまたはコンペアB信号によってリセットされた時点でコンペアデータレジスタにロードされます。

CBUFENが0に設定されている場合は、コンペアデータの書き込み/読み出しがコンペアデータレジスタに対して直接行われます。

## D4 INVOUT: Inverse Output Control Bit

タイマ出力信号の極性を選択します。

1 (R/W): 反転 (TOUT3 = アクティブLow, TOUTN3 = アクティブHigh)

0 (R/W): 通常 (TOUT3 = アクティブHigh, TOUTN3 = アクティブLow) (デフォルト)

INVOUTに1を書き込むと、TOUT3出力用にアクティブLowの信号 (Offレベル = High) が生成されます。INVOUTが0の場合は、アクティブHighの信号 (Offレベル = Low) が生成されます。

本ビットへの1書き込みはINITOL (D8) で設定した初期出力レベルも反転します。

TOUTN3出力は上記の信号レベルが反転します。

**D3 CLKSEL: Input Clock Select Bit**

タイマの入力クロックを選択します。

1(R/W): 外部クロック

0(R/W): 内部クロック(デフォルト)

CLKSELに0を書き込んだ場合は、タイマの入力クロックとして内部クロック(プリスケアラ出力)が選択されます。1を書き込んだ場合は外部クロック(EXCL3(P15)端子から、入力するクロック)が選択され、イベントカウンタとして機能します。

**D2 OUTEN: Clock Output Enable Bit**

TOUT3/TOUTN3信号(タイマ出力クロック)の出力制御を行います。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

OUTENに1を書き込むと、TOUT3/TOUTN3信号が対応する出力端子から出力されます。

TOUT3出力 → TOUT3(P36)端子、TOUTN3出力 → TOUTN3(P37)端子

OUTENに0を書き込むことによって出力は停止し、INVOUT(D4)の設定値に従ったOffレベルとなります。TOUT3/TOUTN3信号を出力する前に、ポート機能選択レジスタで上記の端子をTOUT3/TOUTN3出力に設定しておく必要があります。

**D1 T16ERST: Timer Reset Bit**

カウンタをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

T16ERSTに1を書き込むことによって、PWMタイマのカウンタがリセットされます。

**D0 T16ERUN: Timer Run/Stop Control Bit**

タイマのRun/Stopを制御します。

1(R/W): Run

0(R/W): Stop(デフォルト)

PWMタイマはT16ERUNに1を書き込むことによってカウントアップを開始し、0の書き込みにより停止します。Stop状態ではリセットか次にRun状態にするまで、カウンタのデータは保持されます。また、Stop状態からRun状態にすることによって、保持していたデータから継続してカウントを進めることができます。

**0x5308: PWM Timer Input Clock Select Registers (T16E\_CLK)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PWM Timer Input Clock Select Register (T16E_CLK)	0x5308 (16 bits)	D15-4	—	reserved	—	—	—	0 when being read.
		D3-0	T16EDF[3:0]	Timer input clock select (Prescaler output clock)	T16EDF[3:0] Clock	0x0	R/W	
					0xf reserved			
					0xe PCLK•1/16384			
					0xd PCLK•1/8192			
					0xc PCLK•1/4096			
					0xb PCLK•1/2048			
					0xa PCLK•1/1024			
					0x9 PCLK•1/512			
					0x8 PCLK•1/256			
					0x7 PCLK•1/128			
					0x6 PCLK•1/64			
					0x5 PCLK•1/32			
					0x4 PCLK•1/16			
					0x3 PCLK•1/8			
					0x2 PCLK•1/4			
					0x1 PCLK•1/2			
					0x0 PCLK•1/1			

**D[15:4] Reserved****D[3:0] T16EDF[3:0]: Timer Input Clock Select Bits**

15種類のプリスケアラ出力クロックから、PWMタイマのカウントクロックを選択します。

表13.8.2 カウントクロックの選択

T16EDF[3:0]	プリスケアラ出力クロック	T16EDF[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

注: カウントクロックの設定は、PWMタイマがカウント停止中に行ってください。

# 0x530a: PWM Timer Interrupt Mask Registers (T16E\_IMSK)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
PWM Timer Interrupt Mask Register (T16E_IMSK)	0x530a (16 bits)	D15-2	—	reserved	—			—	—	0 when being read.
		D1	CBIE	Compare B interrupt enable	1	Enable	0	Disable	0	R/W
		D0	CAIE	Compare A interrupt enable	1	Enable	0	Disable	0	R/W

## D[15:2] Reserved

### D1 CBIE: Compare B Interrupt Enable Bit

コンペアBマッチによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CBIEを1に設定するとITCへのコンペアB割り込み要求が許可され、0に設定すると割り込みが禁止されます。

### D0 CAIE: Compare A Interrupt Enable Bit

コンペアAマッチによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CAIEを1に設定するとITCへのコンペアA割り込み要求が許可され、0に設定すると割り込みが禁止されます。

**0x530c: PWM Timer Interrupt Flag Registers (T16E\_IFLG)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PWM Timer Interrupt Flag Register (T16E_IFLG)	0x530c (16 bits)	D15-2	—	reserved	—	—	—	0 when being read.
		D1	<b>CBIF</b>	Compare B interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0 R/W	Reset by writing 1.
		D0	<b>CAIF</b>	Compare A interrupt flag			0 R/W	

**D[15:2] Reserved****D1 CBIF: Compare B Interrupt Flag**

コンペアB割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

CBIFはコンペアB割り込みに対応する割り込みフラグです。CBIE(D1/T16E\_IMSKレジスタ)を1に設定しておくことにより、カウント中にカウンタがコンペアデータBレジスタの設定値に一致すると1にセットされます。同時に、ITCに対してPWMタイマ割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

CBIFは1の書き込みによりリセットされます。

**D0 CAIF: Compare A Interrupt Flag**

コンペアA割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

CAIFはコンペアA割り込みに対応する割り込みフラグです。CAIE(D0/T16E\_IMSKレジスタ)を1に設定しておくことにより、カウント中にカウンタがコンペアデータAレジスタの設定値に一致すると1にセットされます。同時に、ITCに対してPWMタイマ割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

CAIFは1の書き込みによりリセットされます。

注: • PWMタイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T16Eモジュール内の割り込みフラグCAIFまたはCBIFをリセットする必要があります。

- 不要な割り込みの発生を防止するため、CAIE(D0/T16E\_IMSKレジスタ)またはCBIE(D1/T16E\_IMSKレジスタ)によってコンペアAまたはコンペアB割り込みを許可する前に、対応するCAIFまたはCBIFをリセットしてください。

## 13.9 注意事項

---

- PWMタイマを動作させるには、その前にプリスケアラを動作させておく必要があります。
- カウントクロックの設定は、PWMタイマがカウント停止中に行ってください。
- タイマ出力を使用する場合、コンペアデータは $A \geq 0$ 、 $B \geq 1$ を設定してください。最小設定は $A = 0$ 、 $B = 1$ で、タイマ出力サイクルは入力クロックの1/2となります。
- コンペアデータを $A > B$ (ファインモードの場合は $A > B \times 2$ )に設定するとコンペアBマッチ信号のみ発生し、コンペアAマッチ信号は発生しません。この場合、タイマ出力はLow(INVOUT = 1の場合はHigh)に固定されます。
- PWMタイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T16Eモジュール内の割り込みフラグCAIF(D0/T16E\_IFLGレジスタ)またはCBIF(D1/T16E\_IFLGレジスタ)をリセットする必要があります。
- 不要な割り込みの発生を防止するため、CAIE(D0/T16E\_IMSKレジスタ)またはCBIE(D1/T16E\_IMSKレジスタ)によってコンペアAまたはコンペアB割り込みを許可する前に、対応するCAIF(D0/T16E\_IFLGレジスタ)またはCBIF(D1/T16E\_IFLGレジスタ)をリセットしてください。

# 14 8ビットOSC1タイマ(T8OSC1)

## 14.1 8ビットOSC1タイマの概要

S1C17003はOSC1クロックを源振とする8ビットOSC1タイマを1チャンネル内蔵しています。

図14.1.1に8ビットOSC1タイマの構造を示します。

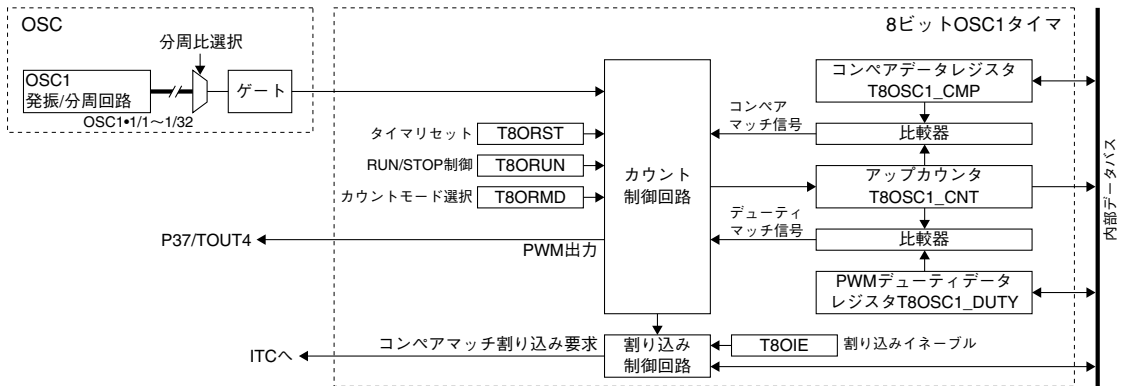


図14.1.1 8ビットOSC1タイマの構造

8ビットOSC1タイマには、8ビットのアップカウンタ(T8OSC1\_CNTレジスタ)、8ビットのコンペアデータレジスタ(T8OSC1\_CMPレジスタ)および8ビットのPWMデューティデータレジスタ(T8OSC1\_DUTYレジスタ)が設けられています。

8ビットカウンタはソフトウェアで0にリセット可能で、OSC1分周クロック(OSC1・1/1～OSC1・1/32)でカウントアップを行います。カウント値はソフトウェアで読み出すことができます。

コンペアデータレジスタとPWMデューティデータレジスタはアップカウンタの内容と比較するためのデータを格納するレジスタです。

カウンタ値が各データレジスタの内容に一致すると比較器によって信号が出力され、割り込みやPWM出力信号を制御します。コンペアデータレジスタにより割り込みの発生周期やPWM出力クロックの周期を、PWMデューティデータレジスタによってPWM出力クロックのデューティ比をそれぞれ設定することができます。

## 14.2 8ビットOSC1タイマのカウントモード

---

8ビットOSC1タイマはリピートモードとワンショットモードの2つのカウントモードを持っています。この選択は、T8ORMD(D1/T8OSC1\_CTLレジスタ)で行います。

\* **T8ORMD**: Count Mode Select Bit in the 8-bit OSC1 Timer Control (T8OSC1\_CTL) Register (D1/0x50c0)

### リピートモード(T8ORMD = 0、デフォルト)

T8ORMDを0に設定すると、8ビットOSC1タイマはリピートモードに設定されます。

このモードでは、カウントを開始するとアプリケーションプログラムで停止するまで8ビットOSC1タイマは停止しません。カウンタがコンペアデータに一致すると、タイマはカウンタをリセットしてカウントを継続します。同時に割り込み信号を出力します。任意の間隔で周期的な割り込みを発生させる場合やPWM出力を行う場合に、8ビットOSC1タイマをこのモードに設定してください。

### ワンショットモード(T8ORMD = 1)

T8ORMDを1に設定すると、8ビットOSC1タイマはワンショットモードに設定されます。

このモードでは、カウンタがコンペアデータに一致した時点で8ビットOSC1タイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、コンペアマッチ発生時に、タイマはカウンタをリセットしてから停止します。特定の待ち時間を作りたい場合などに、8ビットOSC1タイマをこのモードに設定してください。

- 注:
- ・ カウントモードの設定は、8ビットOSC1タイマがカウント停止中に行ってください。
  - ・ カウントモードをワンショットモードに設定した状態でカウント動作を行なった場合、CPUがHALT状態に入っているとコンペアマッチが発生してもカウンタが停止せず、ワンショット動作が行なわれません。

## 14.3 カウントクロック

8ビットOSC1タイマは、OSCモジュールが出力するOSC1分周クロックをカウントクロックとして使用します。OSCモジュールはOSC1クロックを1/1～1/32に分周して6種類のクロックを生成します。この中の1つをT8O1CK[2:0](D[3:1]/OSC\_T8OSC1レジスタ)で選択します。

\* **T8O1CK[2:0]**: T8OSC1 Clock Division Ratio Select Bits in the T8OSC1 Clock Control (OSC\_T8OSC1) Register (D[3:1]/0x5065)

表14.3.1 カウントクロックの選択

T8O1CK[2:0]	分周比
0x7～0x6	Reserved
0x5	OSC1•1/32
0x4	OSC1•1/16
0x3	OSC1•1/8
0x2	OSC1•1/4
0x1	OSC1•1/2
0x0	OSC1•1/1

(デフォルト: 0x0)

8ビットOSC1タイマへのクロック供給は、T8O1CE(D0/OSC\_T8OSC1レジスタ)で制御します。T8O1CEのデフォルト設定は0で、クロックの供給は停止しています。T8O1CEを1に設定すると、上記の中から選択されたクロックが8ビットOSC1タイマに送られます。8ビットOSC1タイマの動作が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

\* **T8O1CE**: T8OSC1 Clock Enable Bit in the T8OSC1 Clock Control (OSC\_T8OSC1) Register (D0/0x5065)

**注:** カウントクロックの設定は、8ビットOSC1タイマがカウント停止中に行ってください。

クロック制御の詳細については、“7 発振回路(OSC)”を参照してください。

## 14.4 8ビットOSC1タイマのリセット

---

8ビットOSC1タイマをリセットするには、T8ORSTビット (D4/T8OSC1\_CTLレジスタ)に1を書き込みます。カウンタが0に初期化されます。

\* **T8ORST**: Timer Reset Bit in the 8-bit OSC1 Timer Control (T8OSC1\_CTL) Register (D4/0x50c0)

通常は、カウントアップを開始する前に、このビットに1を書き込みカウンタをリセットします。カウント開始後は、カウンタがコンペアデータに一致するとハードウェアによってリセットされます。

## 14.5 コンペアデータの設定

コンペアデータはT8OCMP[7:0](D[7:0]/T8OSC1\_CMPレジスタ)に書き込みます。

\* **T8OCMP[7:0]**: Compare Data Bits in the 8-bit OSC1 Timer Compare Data (T8OSC1\_CMP) Register (D[7:0]/0x50c2)

イニシャルリセット時、コンペアデータレジスタは0x0に設定されます。

タイマはコンペアデータレジスタとカウントデータを比較し、同じ値になったところでカウンタをリセットすると共にコンペアマッチ信号を発生します。このコンペアマッチ信号により割り込みを発生可能です。

コンペアマッチ周期は次のように計算できます。

$$\text{コンペアマッチ期間} = \frac{\text{CMP} + 1}{\text{clk\_in}} [\text{s}]$$

$$\text{コンペアマッチ周期} = \frac{\text{clk\_in}}{\text{CMP} + 1} [\text{Hz}]$$

CMP: コンペアデータ (T8OSC1\_CMPレジスタ値)

clk\_in: 8ビットOSC1タイマカウントクロック周波数

8ビットOSC1タイマでPWM信号を生成する場合は、コンペアデータにより出力信号の周期が決定します。(PWM出力については14.8節を参照してください。)

## 14.6 8ビットOSC1タイマRUN/STOP制御

8ビットOSC1タイマの動作を開始させる前に、以下の設定を行ってください。

- (1) カウントモード(ワンショットまたはリピート)を設定します。14.2節を参照してください。
- (2) 動作クロックを選択します。14.3節を参照してください。
- (3) 割り込みを使用する場合は、割り込みレベルを設定し、8ビットOSC1タイマの割り込みを許可します。14.7節を参照してください。
- (4) タイマをリセットします。14.4節を参照してください。
- (5) コンペアデータを設定します。14.5節を参照してください。
- (6) PWM出力を行う場合は、PWMデューティデータを設定します。14.8節を参照してください。

8ビットOSC1タイマには、Run/Stopを制御するT8ORUN(D0/T8OSC1\_CTLレジスタ)が設けられています。

\* **T8ORUN**: Timer Run/Stop Control Bit in the 8-bit OSC1 Timer Control (T8OSC1\_CTL) Register (D0/0x50c0)

タイマはT8ORUNに1を書き込むことによってカウントを開始します。T8ORUNに0を書き込むとクロックの入力が禁止され、カウントは停止します。

この制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

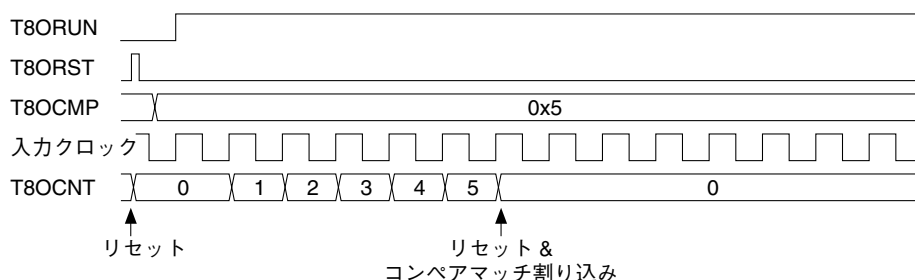
T8ORUNとT8ORSTに同時に1を書き込んだ場合、タイマはカウンタをリセット後にカウントを開始します。

カウント中にカウンタがコンペアデータレジスタの設定値と一致すると、コンペアマッチ信号が出力され、コンペアマッチ割り込み要因が発生します。同時にカウンタが0にリセットされます。割り込みを許可している場合は、割り込み要求が割り込みコントローラ(ITC)に送られます。

ワンショットモードに設定されている場合、タイマはカウントを停止します。

リピートモードに設定されている場合、タイマは0からカウントを継続します。

### ワンショットモード



### リピートモード

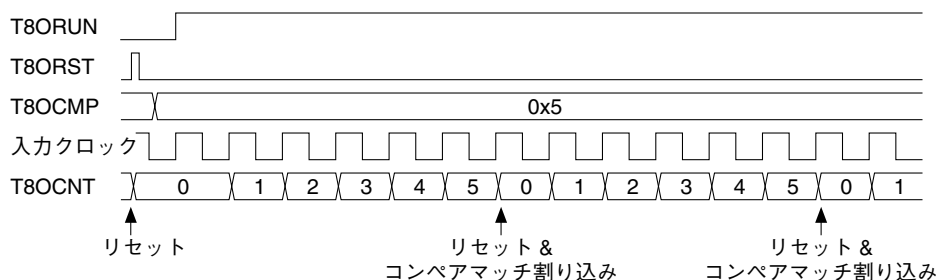


図14.6.1 カウンタの基本動作タイミング

## 14.7 8ビットOSC1タイマ割り込み

T8OSC1モジュールは、コンペアマッチにより割り込み要求を割り込みコントローラ(ITC)に出力可能です。

### コンペアマッチ割り込み

この割り込み要求は、カウント中にカウンタがコンペアデータレジスタの設定値に一致すると発生し、T8OSC1モジュール内の割り込みフラグT8OIF(D0/T8OSC1\_IFLGレジスタ)を1にセットします。

\* **T8OIF**: 8-bit OSC1 Timer Interrupt Flag in the 8-bit OSC1 Timer Interrupt Flag (T8OSC1\_IFLG) Register (D0/0x50c4)

この割り込みを使用するには、T8OIE(D0/T8OSC1\_IMSKレジスタ)を1に設定します。T8OIEが0(デフォルト)に設定されているとT8OIFは1にセットされず、この要因による割り込み要求はITCに送られません。

\* **T8OIE**: 8-bit OSC1 Timer Interrupt Enable Bit in the 8-bit OSC1 Timer Interrupt Mask (T8OSC1\_IMSK) Register (D0/0x50c3)

T8OIFが1にセットされるとT8OSC1モジュールは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

- 注: • 8ビットOSC1タイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T8OSC1モジュール内の割り込みフラグT8OIFをリセットする必要があります。
- 不要な割り込みの発生を防止するため、T8OIEによって8ビットOSC1タイマ割り込みを許可する前に、T8OIFをリセットしてください。

### 割り込みベクタ

8ビットOSC1タイマ割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号: 8(0x08)

ベクタアドレス: TTBR + 0x20

### その他の割り込み設定

ITCでは8ビットOSC1タイマ割り込みの優先順位をレベル0(デフォルト)～レベル7に設定可能です。また、実際に割り込みを発生させるにはPSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットを1に設定しておく必要があります。

割り込み処理の詳細については、“6 割り込みコントローラ(ITC)”を参照してください。

## 14.8 PWM出力

8ビットOSC1タイマは、コンペアデータとPWMデューティデータの設定に従ってPWM信号を生成し、TOUT4(P37)端子から出力することができます。

### 出力端子の設定

PWM出力端子(TOUT4)は汎用入出力ポート端子(P37)を兼用しており、初期状態では汎用入出力ポート端子に設定されます。PWM出力端子として使用するには、P37MUX(D7-6/P3\_PMUXレジスタ)を3に設定して機能を切り換える必要があります。

\* P37MUX: P37 Port Function Select Bit in the P3 Port Function Select (P3\_PMUX) Register (D7-6/0x52a7)

### PWM波形の制御

PWM波形の周期をコンペアデータレジスタ(0x50c2)で(14.5節参照)、デューティ比をPWMデューティデータレジスタ(0x50c5)で設定します。

タイマは、カウンタがPWMデューティデータレジスタの値に一致するまでLowレベルを出力します。カウンタがPWMデューティデータの次の値になると、出力端子はHighレベルとなります。その後、カウンタがコンペアデータレジスタ値までカウントアップされるとカウンタがリセットされ、出力端子はLowレベルに戻ります。

図14.8.1に出力波形を示します。

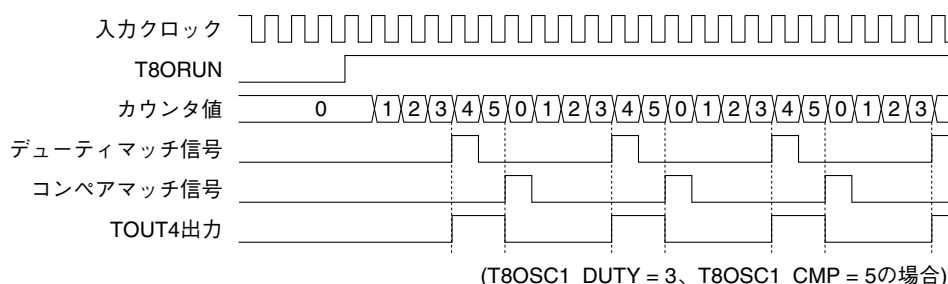


図14.8.1 PWM出力波形

### 注意事項

- (1) タイマ出力を使用する場合、PWMデューティデータ $\geq 0$ 、コンペアデータ $\geq 1$ を設定してください。最小設定はPWMデューティデータ=0、コンペアデータ=1で、タイマ出力サイクルは入力クロックの1/2となります。
- (2) PWMデューティデータ > コンペアデータに設定するとコンペアマッチ信号のみ発生し、デューティマッチ信号は発生しません。この場合、TOUT4出力はLowに固定されます。

## 14.9 制御レジスタ詳細

表14.9.1 8ビットOSC1タイマレジスタ一覧

アドレス	レジスタ名		機 能
0x50c0	T8OSC1_CTL	8-bit OSC1 Timer Control Register	タイマモードの設定とタイマのRUN/STOP
0x50c1	T8OSC1_CNT	8-bit OSC1 Timer Counter Data Register	カウンタデータ
0x50c2	T8OSC1_CMP	8-bit OSC1 Timer Compare Data Register	コンペアデータの設定
0x50c3	T8OSC1_IMSK	8-bit OSC1 Timer Interrupt Mask Register	割り込みマスクの設定
0x50c4	T8OSC1_IFLG	8-bit OSC1 Timer Interrupt Flag Register	割り込み発生状態の表示/リセット
0x50c5	T8OSC1_DUTY	8-bit OSC1 Timer PWM Duty Data Register	PWM出力用データの設定

以下、8ビットOSC1タイマのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

**0x50c0: 8-bit OSC1 Timer Control Register (T8OSC1\_CTL)**

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
8-bit OSC1 Timer Control Register (T8OSC1_CTL)	0x50c0 (8 bits)	D7-5	—	reserved	—		—	—	0 when being read.
		D4	T8ORST	Timer reset	1   Reset	0   Ignored	0	W	
		D3-2	—	reserved	—		—	—	
		D1	T8ORMD	Count mode select	1   One shot	0   Repeat	0	R/W	
		D0	T8ORUN	Timer run/stop control	1   Run	0   Stop	0	R/W	

**D[7:5] Reserved****D4 T8ORST: Timer Reset Bit**

8ビットOSC1タイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、カウンタが0にリセットされます。

**D[3:2] Reserved****D1 T8ORMD: Count Mode Select Bit**

8ビットOSC1タイマのカウントモードを選択します。

1(R/W): ワンショットモード

0(R/W): リピートモード(デフォルト)

T8ORMDを0に設定すると、8ビットOSC1タイマはリピートモードに設定されます。このモードでは、カウントを開始するとアプリケーションプログラムで停止するまで8ビットタイマは停止しません。カウンタがコンペアデータレジスタの値に一致すると、タイマはカウンタをリセットし、カウントを継続します。これにより、タイマは周期的にコンペアマッチ信号を出力します。任意の間隔で周期的な割り込みを発生させる場合やPWM出力を行う場合は、8ビットOSC1タイマをこのモードに設定してください。

T8ORMDを1に設定すると、8ビットOSC1タイマはワンショットモードに設定されます。このモードでは、カウンタがコンペアデータレジスタの値に一致した時点で8ビットOSC1タイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、コンペアマッチ発生時に、タイマはカウンタをリセットしてから停止します。特定の待ち時間を作りたい場合などに、8ビットOSC1タイマをこのモードに設定してください。

注: カウントモードの設定は、8ビットOSC1タイマがカウント停止中に行ってください。

**D0 T8ORUN: Timer Run/Stop Control Bit**

タイマのRun/Stopを制御します。

1(R/W): Run

0(R/W): Stop(デフォルト)

タイマはT8ORUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。Stop状態ではリセットか次にRun状態にするまで、カウンタのデータは保持されます。

**0x50c1: 8-bit OSC1 Timer Counter Data Register (T8OSC1\_CNT)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
8-bit OSC1 Timer Counter Data Register (T8OSC1_CNT)	0x50c1 (8 bits)	D7-0	T8OCNT[7:0]	Timer counter data T8OCNT7 = MSB T8OCNT0 = LSB	0x0 to 0xff	0x0	R	

**D[7:0] T8OCNT[7:0]: Counter Data**

カウンタデータが読み出せます。(デフォルト: 0x0)

このレジスタはリードオンリのため、データの書き込みはできません。

注: カウント動作中にこのレジスタを読み出すと、カウンタ値が正しく読み出されない(読み出し値が不定になる)ことがあります。

カウンタ値は、以下のいずれかの方法で取得してください。

- カウンタを停止した状態でカウンタ値を読み出します。
- カウンタ値を2回続けて読み出し、2回とも同じ結果が得られた場合にその値を有効とします。

0x50c2: 8-bit OSC1 Timer Compare Data Register (T8OSC1\_CMP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
8-bit OSC1 Timer Compare Data Register (T8OSC1_CMP)	0x50c2 (8 bits)	D7-0	T8OCMP[7:0]	Compare data T8OCMP7 = MSB T8OCMP0 = LSB	0x0 to 0xff	0x0	R/W	

**D[7:0]     T8OCMP[7:0]: Compare Data**  
8ビットOSC1タイマのコンペアデータを設定します。(デフォルト: 0x0)  
設定したデータがカウンタデータと比較され、内容が一致したところでコンペアマッチ割り込み要因が発生します。同時に、カウンタが0にリセットされます。

**0x50c3: 8-bit OSC1 Timer Interrupt Mask Register (T8OSC1\_IMSK)**

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
8-bit OSC1 Timer Interrupt Mask Register (T8OSC1_IMSK)	0x50c3 (8 bits)	D7-1	—	reserved	—			—	—	0 when being read.
		D0	T8OIE	8-bit OSC1 timer interrupt enable	1	Enable	0	Disable	0	R/W

**D[7:1]     Reserved****D0     T8OIE: 8-bit OSC1 Timer Interrupt Enable Bit**

コンペアマッチによる割り込みを許可または禁止します。

1 (R/W): 割り込み許可

0 (R/W): 割り込み禁止(デフォルト)

T8OIEを1に設定するとITCへの8ビットOSC1タイマ割り込み要求が許可され、0に設定すると割り込みが禁止されます。

0x50c4: 8-bit OSC1 Timer Interrupt Flag Register (T8OSC1\_IFLG)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
8-bit OSC1 Timer Interrupt Flag Register (T8OSC1_IFLG)	0x50c4 (8 bits)	D7-1	—	reserved	—		—	—	0 when being read.
		D0	T8OIF	8-bit OSC1 timer interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0 R/W Reset by writing 1.

D[7:1]     **Reserved**

**D0     T8OIF: 8-bit OSC1 Timer Interrupt Flag**

コンペアマッチ割り込み要因の発生状態を示す割り込みフラグです。

- 1(R):    割り込み要因あり
- 0(R):    割り込み要因なし(デフォルト)
- 1(W):    フラグをリセット
- 0(W):    無効

T8OIFはT8OSC1モジュールの割り込みフラグです。T8OIE(D0/T8OSC1\_IMSKレジスタ)を1に設定しておくことにより、カウント中にカウンタがコンペアデータレジスタの設定値に一致すると1にセットされます。同時に、ITCに対して8ビットOSC1タイマ割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。T8OIFは1の書き込みによりリセットされます。

- 注: • 8ビットOSC1タイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T8OSC1モジュール内の割り込みフラグT8OIFをリセットする必要があります。
- 不要な割り込みの発生を防止するため、T8OIE(D0/T8OSC1\_IMSKレジスタ)によってコンペアマッチ割り込みを許可する前に、T8OIFをリセットしてください。

**0x50c5: 8-bit OSC1 Timer PWM Duty Data Register (T8OSC1\_DUTY)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
8-bit OSC1 Timer PWM Duty Data Register (T8OSC1_DUTY)	0x50c5 (8 bits)	D7-0	T8ODTY[7:0]	PWM output duty data T8ODTY7 = MSB T8ODTY0 = LSB	0x0 to 0xff	0x0	R/W	

**D[7:0] T8ODTY[7:0]: PWM Output Duty Data**

PWM波形のデューティ比を決定するデータを設定します。(デフォルト: 0x0)

設定したデータがカウンタデータと比較され、内容が一致したところでタイマ出力波形が立ち上がります。その後カウンタデータがコンペアデータに一致するとタイマ出力波形が立ち下がります。これらの処理は、カウンタのデータやカウントアップ動作には影響を与えません。

## 14.10 注意事項

---

- 8ビットOSC1タイマを動作させるには、その前にOSCモジュールから8ビットOSC1タイマ用クロックを出力しておく必要があります。
- カウントクロックとカウントモードの設定は、8ビットOSC1タイマがカウント停止中に行ってください。
- 8ビットOSC1タイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、T8OSC1モジュール内の割り込みフラグT8OIF(D0/T8OSC1\_IFLGレジスタ)をリセットする必要があります。
- 不要な割り込みの発生を防止するため、T8OIE(D0/T8OSC1\_IMSKレジスタ)によってコンペアマッチ割り込みを許可する前に、T8OIF(D0/T8OSC1\_IFLGレジスタ)をリセットしてください。
- カウント動作中にカウンタデータレジスタを読み出すと、カウンタ値が正しく読み出されない(読み出し値が不定になる)ことがあります。  
カウンタ値を取得する場合は、カウンタを停止した状態でカウンタデータレジスタを読み出してください。あるいは、カウンタデータレジスタを2回続けて読み出して、2回とも同じ結果が得られた場合にその値を有効としてください。
- PWM出力を使用する場合、PWMデューティデータ $\geq 0$ 、コンペアデータ $\geq 1$ を設定してください。最小設定はPWMデューティデータ = 0、コンペアデータ = 1で、タイマ出力サイクルは入力クロックの1/2となります。
- PWMデューティデータ > コンペアデータに設定するとコンペアマッチ信号のみ発生し、デューティマッチ信号は発生しません。この場合、TOUT4出力はLowに固定されます。
- カウントモードの設定は、8ビットOSC1タイマがカウント停止中に行ってください。
- カウントモードをワンショットモードに設定した状態でカウント動作を行なった場合、CPUがHALT状態に入っているとコンペアマッチが発生してもカウンタが停止せず、ワンショット動作が行なわれません。

# 15 計時タイマ(CT)

## 15.1 計時タイマの概要

S1C17003はOSC1クロックを源振とする計時タイマを1チャンネル内蔵しています。

計時タイマはOSC1クロックを分周した256Hz信号を入力クロックとする8ビットのバイナリカウンタで構成され、各ビット(128～1Hz)のデータをソフトウェアによって読み出すことができます。

また、計時タイマは32Hz、8Hz、2Hz、1Hzの各信号によって割り込みを発生させることができます。

通常はこの計時タイマを、時計などのような各種の計時機能に使用します。

図15.1.1に計時タイマの構造を示します。

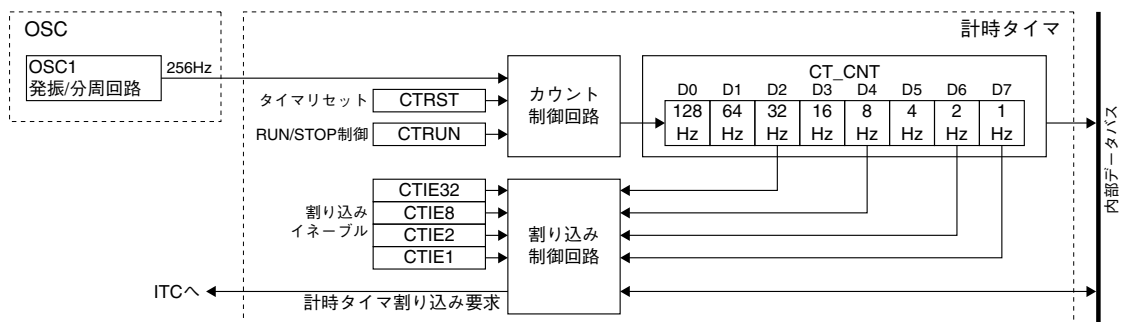


図15.1.1 計時タイマの構造

## 15.2 動作クロック

---

計時タイマは、OSCモジュールが出力する256Hzクロックを動作クロックとして使用します。

OSCモジュールはOSC1クロックを1/128に分周してこの動作クロックを生成します。したがって、OSC1クロック周波数が32.768kHzの場合に256Hzとなります。それ以外のOSC1クロック周波数では、本節に記載の周波数が変わります。

OSCモジュールに256Hzクロックの出力制御ビットは設けられていません。OSC1発振がOnの場合は、常に256Hzクロックが計時タイマに供給されます。

OSC1発振回路の制御については、“7 発振回路(OSC)”を参照してください。

## 15.3 計時タイマのリセット

---

計時タイマをリセットするには、CTRSTビット (D4/CT\_CTLレジスタ)に1を書き込みます。カウンタが0にクリアされます。

\* **CTRST**: Clock Timer Reset Bit in the Clock Timer Control (CT\_CTL) Register (D4/0x5000)

この操作以外では、イニシャルリセットによりカウンタがクリアされます。

## 15.4 計時タイマRUN/STOP制御

計時タイマの動作を開始させる前に、以下の設定を行ってください。

- (1) 割り込みを使用する場合は、割り込みレベルを設定し、計時タイマの割り込みを許可します。15.5節を参照してください。
- (2) タイマをリセットします。15.3節を参照してください。

計時タイマには、Run/Stopを制御するCTRUN(D0/CT\_CTLレジスタ)が設けられています。

\* **CTRUN**: Clock Timer Run/Stop Control Bit in the Clock Timer Control (CT\_CTL) Register (D0/0x5000)

計時タイマはCTRUNに1を書き込むことによって動作を開始します。CTRUNに0を書き込むとクロックの入力が禁止され、動作は停止します。

この制御はカウンタ(CT\_CNTレジスタ)のデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。CTRUNとCTRSTと同時に1を書き込んだ場合、計時タイマはカウンタをリセット後にカウントを開始します。

カウント中は32Hz、8Hz、2Hz、1Hz信号の立ち下がりエッジでそれぞれの割り込み要因が発生します。割り込みを許可している場合は、割り込み要求が割り込みコントローラ(ITC)に送られます。

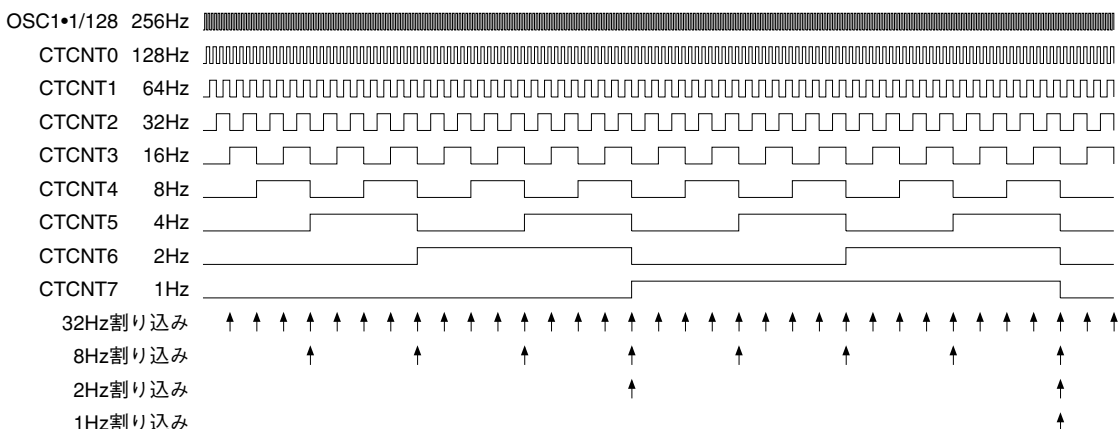


図15.4.1 計時タイマのタイミングチャート

注: 計時タイマはCTRUNへの書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRun/Stop状態となります。したがって、CTRUNに0を書き込んだ場合は、“+1”余分にカウントしたところでタイマが停止状態となります。また、このときCTRUNは実際にタイマがStop状態となるまで、読み出しに対して1を保持します。

図15.4.2にRun/Stop制御のタイミングチャートを示します。

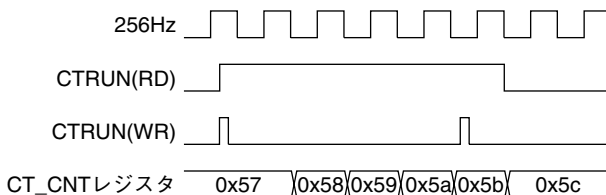


図15.4.2 Run/Stop制御のタイミングチャート

## 15.5 計時タイマ割り込み

CTモジュールには、以下の4種類の割り込みを発生させる機能があります。

- 32Hz割り込み
- 8Hz割り込み
- 2Hz割り込み
- 1Hz割り込み

CTモジュールは、上記4種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、CTモジュール内の割り込みフラグを読み出してください。

### 32Hz、8Hz、2Hz、1Hz割り込み

これらの割り込み要求は、32Hz、8Hz、2Hz、1Hz信号の立ち下がりエッジで発生し、CTモジュール内の以下の割り込みフラグを1にセットします。

- \* **CTIF32:** 32 Hz Interrupt Flag in the Clock Timer Interrupt Flag (CT\_IFLG) Register (D3/0x5003)
- \* **CTIF8:** 8 Hz Interrupt Flag in the Clock Timer Interrupt Flag (CT\_IFLG) Register (D2/0x5003)
- \* **CTIF2:** 2 Hz Interrupt Flag in the Clock Timer Interrupt Flag (CT\_IFLG) Register (D1/0x5003)
- \* **CTIF1:** 1 Hz Interrupt Flag in the Clock Timer Interrupt Flag (CT\_IFLG) Register (D0/0x5003)

これらの割り込みを使用するには、割り込みフラグに対応する以下の割り込みイネーブルビットを1に設定します。割り込みイネーブルビットが0(デフォルト)に設定されていると割り込みフラグは1にセットされず、その要因による割り込み要求はITCに送られません。

- \* **CTIE32:** 32 Hz Interrupt Enable Bit in the Clock Timer Interrupt Mask (CT\_IMSK) Register (D3/0x5002)
- \* **CTIE8:** 8 Hz Interrupt Enable Bit in the Clock Timer Interrupt Mask (CT\_IMSK) Register (D2/0x5002)
- \* **CTIE2:** 2 Hz Interrupt Enable Bit in the Clock Timer Interrupt Mask (CT\_IMSK) Register (D1/0x5002)
- \* **CTIE1:** 1 Hz Interrupt Enable Bit in the Clock Timer Interrupt Mask (CT\_IMSK) Register (D0/0x5002)

CTIF\*が1にセットされるとCTモジュールは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

計時タイマ割り込みがどの周波数によるものかについては、計時タイマ割り込み処理ルーチンでCTIF\*を読み出して確認してください。

注: 計時タイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、CTモジュール内の割り込みフラグCTIF\*をリセットする必要があります。

- 不要な割り込みの発生を防止するため、CTIE\*によって計時タイマ割り込みを許可する前に、CTIF\*をリセットしてください。

### 割り込みベクタ

計時タイマ割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号: 7(0x07)  
ベクタアドレス: TTBR + 0x1c

### その他の割り込み設定

ITCでは計時タイマ割り込みの優先順位をレベル0(デフォルト)～レベル7に設定可能です。また、実際に割り込みを発生させるにはPSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットを1に設定しておく必要があります。

割り込み処理の詳細については、“6 割り込みコントローラ(ITC)”を参照してください。

## 15.6 制御レジスタ詳細

表15.6.1 計時タイマレジスタ一覧

アドレス	レジスタ名		機 能
0x5000	CT_CTL	Clock Timer Control Register	タイマのリセットとRUN/STOP制御
0x5001	CT_CNT	Clock Timer Counter Register	カウンタデータ
0x5002	CT_IMSK	Clock Timer Interrupt Mask Register	割り込みマスクの設定
0x5003	CT_IFLG	Clock Timer Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、計時タイマのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

**0x5000: Clock Timer Control Register (CT\_CTL)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Timer Control Register (CT_CTL)	0x5000 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	<b>CTRST</b>	Clock timer reset	1   Reset   0   Ignored	0	W	
		D3-1	—	reserved	—	—	—	
		D0	<b>CTRUN</b>	Clock timer run/stop control	1   Run   0   Stop	0	R/W	

**D[7:5] Reserved****D4 CTRST: Clock Timer Reset Bit**

計時タイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、カウンタが0x0にリセットされます。計時タイマがRun状態でリセットを行うとリセット直後にリスタートします。また、Stop状態の場合はリセットデータ0x0が保持されます。

**D[3:1] Reserved****D0 CTRUN: Clock Timer Run/Stop Control Bit**

計時タイマのRun/Stopを制御します。

1(R/W): Run

0(R/W): Stop(デフォルト)

計時タイマはCTRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。Stop状態ではリセットか次にRun状態にするまで、カウンタのデータは保持されます。

0x5001: Clock Timer Counter Register (CT\_CNT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Timer Counter Register (CT_CNT)	0x5001 (8 bits)	D7-0	CTCNT[7:0]	Clock timer counter value	0x0 to 0xff	0	R	

D[7:0] CTCNT[7:0]: Clock Timer Counter Value

カウンタデータが読み出せます。(デフォルト: 0xff)  
このレジスタはリードオンリのため、データの書き込みはできません。  
各ビットと周波数の対応は以下のとおりです。

- D7: 1Hz
- D6: 2Hz
- D5: 4Hz
- D4: 8Hz
- D3: 16Hz
- D2: 32Hz
- D1: 64Hz
- D0: 128Hz

注: カウント動作中にこのレジスタを読み出すと、カウンタ値が正しく読み出されない(読み出し値が不定になる)ことがあります。  
カウンタ値は、以下のいずれかの方法で取得してください。

- カウンタを停止した状態でカウンタ値を読み出します。
- カウンタ値を2回続けて読み出し、2回とも同じ結果が得られた場合にその値を有効とします。

**0x5002: Clock Timer Interrupt Mask Register (CT\_IMSK)**

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Clock Timer Interrupt Mask Register (CT_IMSK)	0x5002 (8 bits)	D7-4	—	reserved	—		—	—	0 when being read.		
		D3	CTIE32	32 Hz interrupt enable	1	Enable	0	Disable		0	R/W
		D2	CTIE8	8 Hz interrupt enable	1	Enable	0	Disable		0	R/W
		D1	CTIE2	2 Hz interrupt enable	1	Enable	0	Disable		0	R/W
		D0	CTIE1	1 Hz interrupt enable	1	Enable	0	Disable		0	R/W

本レジスタは、計時タイマの32Hz、8Hz、2Hz、1Hz信号による割り込み要求を個々に許可または禁止します。CTIE\*ビットを1に設定すると、対応する周波数の信号の立ち下がりエッジによる計時タイマ割り込み要求が許可され、0に設定すると割り込みが禁止されます。

**D[7:4] Reserved****D3 CTIE32: 32 Hz Interrupt Enable Bit**

32Hz信号による割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

**D2 CTIE8: 8 Hz Interrupt Enable Bit**

8Hz信号による割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

**D1 CTIE2: 2 Hz Interrupt Enable Bit**

2Hz信号による割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

**D0 CTIE1: 1 Hz Interrupt Enable Bit**

1Hz信号による割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

**0x5003: Clock Timer Interrupt Flag Register (CT\_IFLG)**

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Clock Timer Interrupt Flag Register (CT_IFLG)	0x5003 (8 bits)	D7-4	—	reserved	—		—	—	0 when being read.		
		D3	CTIF32	32 Hz interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D2	CTIF8	8 Hz interrupt flag					0	R/W	
		D1	CTIF2	2 Hz interrupt flag					0	R/W	
		D0	CTIF1	1 Hz interrupt flag					0	R/W	

本レジスタは、計時タイマの32Hz、8Hz、2Hz、1Hz信号による割り込み要因の発生状態を示します。計時タイマ割り込みが発生した場合は、本レジスタの割り込みフラグを読み出して発生した割り込み要因(周波数)を特定してください。CTIF\*は32Hz、8Hz、2Hz、1Hz割り込みに個々に対応するCTモジュールの割り込みフラグです。CTIE\*(CT\_IMSKレジスタ)を1に設定しておくことにより、各信号の立ち下がりエッジで1にセットされます。同時に、ITCに対して計時タイマ割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。CTIF\*は1の書き込みによりリセットされます。

注: • 計時タイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、CTモジュール内の割り込みフラグCTIF\*をリセットする必要があります。

- 不要な割り込みの発生を防止するため、CTIE\*によって計時タイマ割り込みを許可する前に、CTIF\*をリセットしてください。

**D[7:4] Reserved****D3 CTIF32: 32 Hz Interrupt Flag**

32Hz割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり  
 0(R): 割り込み要因なし(デフォルト)  
 1(W): フラグをリセット  
 0(W): 無効

CTIF32はCTIE32(D3/CT\_IMSKレジスタ)を1に設定しておくことにより、32Hz信号の立ち下がりエッジで1にセットされます。

**D2 CTIF8: 8 Hz Interrupt Flag**

8Hz割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり  
 0(R): 割り込み要因なし(デフォルト)  
 1(W): フラグをリセット  
 0(W): 無効

CTIF8はCTIE8(D2/CT\_IMSKレジスタ)を1に設定しておくことにより、8Hz信号の立ち下がりエッジで1にセットされます。

**D1 CTIF2: 2 Hz Interrupt Flag**

2Hz割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり  
 0(R): 割り込み要因なし(デフォルト)  
 1(W): フラグをリセット  
 0(W): 無効

CTIF2はCTIE2(D1/CT\_IMSKレジスタ)を1に設定しておくことにより、2Hz信号の立ち下がりエッジで1にセットされます。

**D0 CTIF1: 1 Hz Interrupt Flag**

1Hz割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり  
 0(R): 割り込み要因なし(デフォルト)  
 1(W): フラグをリセット  
 0(W): 無効

CTIF1はCTIE1(D0/CT\_IMSKレジスタ)を1に設定しておくことにより、1Hz信号の立ち下がりエッジで1にセットされます。

## 15.7 注意事項

- 計時タイマを動作させるには、その前にOSC1発振回路をOnさせておく必要があります。
- 計時タイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、CT\_IFLGレジスタの割り込みフラグをリセットする必要があります。
- 不要な割り込みの発生を防止するため、CT\_IMSKレジスタによって計時タイマ割り込みを許可する前に、CT\_IFLGレジスタの割り込みフラグをリセットしてください。
- 計時タイマはCTRUN(D0/CT\_CTLレジスタ)への書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRun/Stop状態となります。したがって、CTRUNに0を書き込んだ場合は、“+1”余分にカウントしたところでタイマが停止状態となります。また、このときCTRUNは実際にタイマがStop状態となるまで、読み出しに対して1を保持します。

図15.7.1にRun/Stop制御のタイミングチャートを示します。

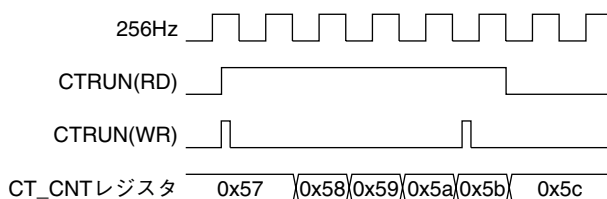


図15.7.1 Run/Stop制御のタイミングチャート

- 計時タイマがRunしている状態(CTRUN = 1)でslp命令を実行した場合は、SLEEP状態からの復帰時に計時タイマが不安定な動作となります。したがって、SLEEP状態へ移行する場合は、slp命令の実行以前に計時タイマをSTOP状態(CTRUN = 0)に設定してください。
- カウント動作中にカウンタレジスタを読み出すと、カウンタ値が正しく読み出されない(読み出し値が不定になる)ことがあります。  
カウンタ値を取得する場合は、カウンタを停止した状態でカウンタレジスタを読み出してください。あるいは、カウンタレジスタを2回続けて読み出して、2回とも同じ結果が得られた場合にその値を有効としてください。

# 16 ストップウォッチタイマ(SWT)

## 16.1 ストップウォッチタイマの概要

S1C17003は1/100秒と1/10秒のストップウォッチタイマを内蔵しています。ストップウォッチタイマはOSC1クロックを分周した256Hz信号を入力クロックとする4ビット2段のBCDカウンタ(1/100秒単位、1/10秒単位)で構成され、カウントデータをソフトウェアによって読み出すことができます。

また、ストップウォッチタイマは100Hz(近似100Hz)、10Hz(近似10Hz)、1Hzの各信号によって割り込みを発生させることができます。

図16.1.1にストップウォッチタイマの構造を示します。

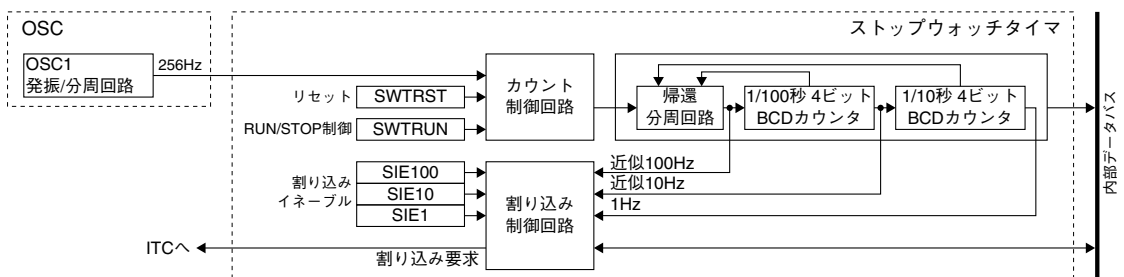


図16.1.1 ストップウォッチタイマの構造

## 16.2 BCDカウンタ

ストップウォッチタイマは、1/100秒と1/10秒の2個の4ビットBCDカウンタで構成されています。カウント値はSWT\_BCNTレジスタから読み出し可能です。

### 1/100秒カウンタ

- \* **BCD100[3:0]**: 1/100 Sec. BCD Counter Value in the Stopwatch Timer BCD Counter (SWT\_BCNT) Register (D[3:0]/0x5021)

### 1/10秒カウンタ

- \* **BCD10[3:0]**: 1/10 Sec. BCD Counter Value in the Stopwatch Timer BCD Counter (SWT\_BCNT) Register (D[7:4]/0x5021)

### カウントアップパターン

256Hzクロックから100Hz信号、10Hz信号、1Hz信号を生成するため、帰還分周回路を使用して図16.2.1のようにカウンタのカウントアップパターンを変化させています。

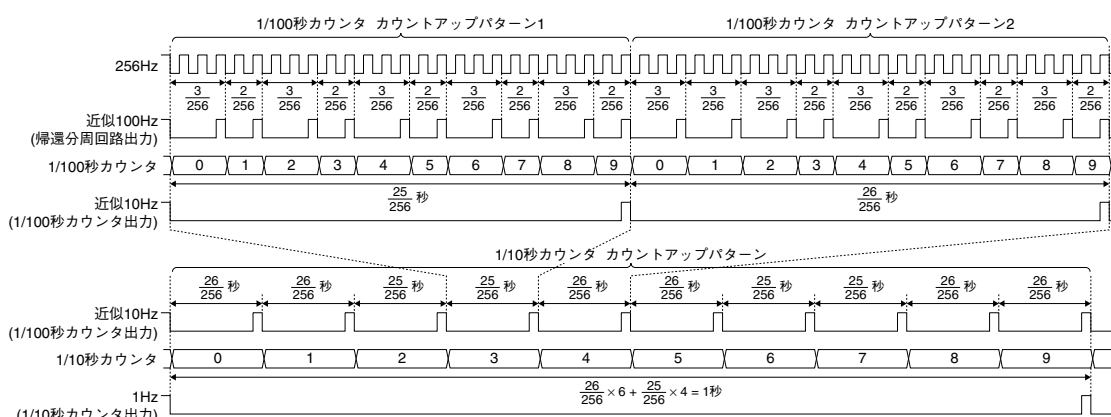


図16.2.1 ストップウォッチタイマのカウントアップパターン

帰還分周回路はOSCモジュールから供給される256Hz信号から2/256秒と3/256秒間隔の近似100Hz信号を発生します。

1/100秒カウンタは帰還分周回路が出力する近似100Hz信号をカウントして、25/256秒と26/256秒間隔の近似10Hz信号を発生します。

カウントアップは、2/256秒と3/256秒間隔による擬似的な1/100秒カウントとなります。

1/10秒カウンタは、1/100秒カウンタが発生する近似10Hz信号を4:6の割合でカウントして、1Hz信号を発生します。

カウントアップは、25/256秒と26/256秒間隔による擬似的な1/10秒カウントとなります。

## 16.3 動作クロック

---

ストップウォッチタイマは、OSCモジュールが出力する256Hzクロックを動作クロックとして使用します。OSCモジュールはOSC1クロックを1/128に分周してこの動作クロックを生成します。したがって、OSC1クロック周波数が32.768kHzの場合に256Hzとなります。それ以外のOSC1クロック周波数では、本節に記載の周波数が変わります。

OSCモジュールに256Hzクロックの出力制御ビットは設けられていません。OSC1発振がOnの場合は、常に256Hzクロックがストップウォッチタイマに供給されます。

OSC1発振回路の制御については、“7 発振回路(OSC)”を参照してください。

## 16.4 ストップウォッチタイマのリセット

---

ストップウォッチタイマをリセットするには、SWTRSTビット(D4/SWT\_CTLレジスタ)に1を書き込みます。カウンタが0にクリアされます。

\* **SWTRST**: Stopwatch Timer Reset Bit in the Stopwatch Timer Control (SWT\_CTL) Register (D4/0x5020)

この操作以外では、イニシャルリセットによりカウンタがクリアされます。

## 16.5 ストップウォッチタイマRUN/STOP制御

ストップウォッチタイマの動作を開始させる前に、以下の設定を行ってください。

- (1) 割り込みを使用する場合は、割り込みレベルを設定し、ストップウォッチタイマの割り込みを許可します。16.6節を参照してください。
- (2) タイマをリセットします。16.4節を参照してください。

ストップウォッチタイマには、Run/Stopを制御するSWTRUN(D0/SWT\_CTLレジスタ)が設けられています。

\* **SWTRUN**: Stopwatch Timer Run/Stop Control Bit in the Stopwatch Timer Control (SWT\_CTL) Register (D0/0x5020)

ストップウォッチタイマはSWTRUNに1を書き込むことによって動作を開始します。SWTRUNに0を書き込むとクロックの入力が禁止され、動作は停止します。

この制御はカウンタ(SWT\_BCNTレジスタ)のデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。SWTRUNとSWTRSTに同時に1を書き込んだ場合、ストップウォッチタイマはカウンタをリセット後にカウントを開始します。

カウント中は100Hz(近似100Hz)、10Hz(近似10Hz)、1Hz信号の立ち下がりエッジでそれぞれの割り込み要因が発生します。割り込みを許可している場合は、割り込み要求が割り込みコントローラ(ITC)に送られます。

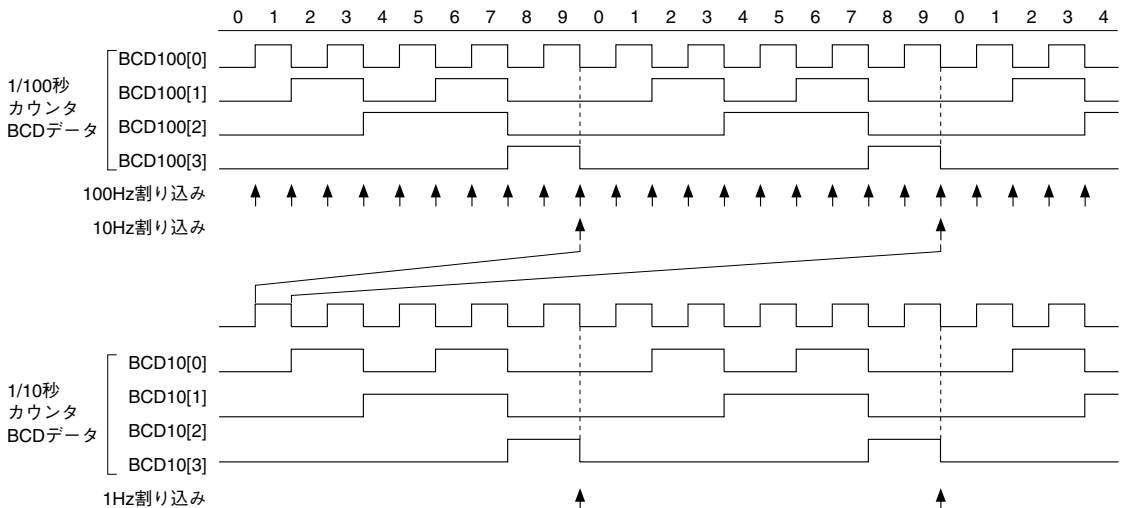


図16.5.1 ストップウォッチタイマのタイミングチャート

注: ストップウォッチタイマはSWTRUNへの書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRun/Stop状態となる場合があります。したがって、SWTRUNに0を書き込んだ場合は、“+1”余分にカウントしたところでタイマが停止状態となります。また、このときSWTRUNは実際にタイマがStop状態となるまで、読み出しに対して1を保持します。

図16.5.2にRun/Stop制御のタイミングチャートを示します。

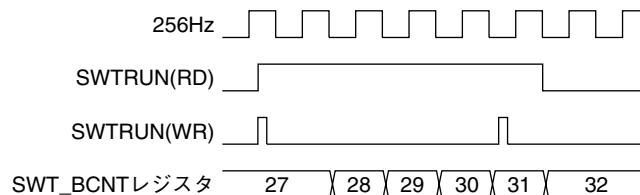


図16.5.2 Run/Stop制御のタイミングチャート

## 16.6 ストップウォッチタイマ割り込み

SWTモジュールには、以下の3種類の割り込みを発生させる機能があります。

- 100Hz割り込み
- 10Hz割り込み
- 1Hz割り込み

SWTモジュールは、上記3種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、SWTモジュール内の割り込みフラグを読み出してください。

### 100Hz、10Hz、1Hz割り込み

これらの割り込み要求は、100Hz(近似100Hz)、10Hz(近似10Hz)、1Hz信号の立ち下がりエッジで発生し、SWTモジュール内の以下の割り込みフラグを1にセットします。

- \* **SIF1:** 1 Hz Interrupt Flag in the Stopwatch Timer Interrupt Flag (SWT\_IFLG) Register (D2/0x5023)
- \* **SIF10:** 10 Hz Interrupt Flag in the Stopwatch Timer Interrupt Flag (SWT\_IFLG) Register (D1/0x5023)
- \* **SIF100:** 100 Hz Interrupt Flag in the Stopwatch Timer Interrupt Flag (SWT\_IFLG) Register (D0/0x5023)

これらの割り込みを使用するには、割り込みフラグに対応する以下の割り込みイネーブルビットを1に設定します。割り込みイネーブルビットが0(デフォルト)に設定されていると割り込みフラグが1にセットされず、その要因による割り込み要求はITCに送られません。

- \* **SIE1:** 1 Hz Interrupt Enable Bit in the Stopwatch Timer Interrupt Mask (SWT\_IMSK) Register (D2/0x5022)
- \* **SIE10:** 10 Hz Interrupt Enable Bit in the Stopwatch Timer Interrupt Mask (SWT\_IMSK) Register (D1/0x5022)
- \* **SIE100:** 100 Hz Interrupt Enable Bit in the Stopwatch Timer Interrupt Mask (SWT\_IMSK) Register (D0/0x5022)

SIF\*が1にセットされるとSWTモジュールは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

ストップウォッチタイマ割り込みがどの周波数によるものかについては、ストップウォッチタイマ割り込み処理ルーチンでSIF\*を読み出して確認してください。

注: • ストップウォッチタイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、SWTモジュール内の割り込みフラグSIF\*をリセットする必要があります。

- 不要な割り込みの発生を防止するため、SIE\*によってストップウォッチタイマ割り込みを許可する前に、SIF\*をリセットしてください。

### 割り込みベクタ

ストップウォッチタイマ割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号: 6(0x06)

ベクタアドレス: TTBR + 0x18

### その他の割り込み設定

ITCではストップウォッチタイマ割り込みの優先順位をレベル0(デフォルト)～レベル7に設定可能です。また、実際に割り込みを発生させるにはPSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットを1に設定しておく必要があります。

割り込み処理の詳細については、“6 割り込みコントローラ(ITC)”を参照してください。

## 16.7 制御レジスタ詳細

表16.7.1 ストップウォッチタイマレジスタ一覧

アドレス	レジスタ名		機 能
0x5020	SWT_CTL	Stopwatch Timer Control Register	タイマのリセットとRUN/STOP制御
0x5021	SWT_BCNT	Stopwatch Timer BCD Counter Register	BCDカウンタデータ
0x5022	SWT_IMSK	Stopwatch Timer Interrupt Mask Register	割り込みマスクの設定
0x5023	SWT_IFLG	Stopwatch Timer Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、ストップウォッチタイマのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

**0x5020: Stopwatch Timer Control Register (SWT\_CTL)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Stopwatch Timer Control Register (SWT_CTL)	0x5020 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	<b>SWTRST</b>	Stopwatch timer reset	1   Reset    0   Ignored	0	W	
		D3-1	—	reserved	—	—	—	
		D0	<b>SWTRUN</b>	Stopwatch timer run/stop control	1   Run    0   Stop	0	R/W	

**D[7:5]    Reserved****D4    SWTRST: Stopwatch Timer Reset Bit**

ストップウォッチタイマをリセットします。

1(W):    リセット

0(W):    無効

0(R):    読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、カウンタが0x0にリセットされます。ストップウォッチタイマがRun状態でリセットを行うとリセット直後にリスタートします。また、Stop状態の場合はリセットデータ0x0が保持されます。

**D[3:1]    Reserved****D0    SWTRUN: Stopwatch Timer Run/Stop Control Bit**

ストップウォッチタイマのRun/Stopを制御します。

1(R/W): Run

0(R/W): Stop(デフォルト)

ストップウォッチタイマはSWTRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。Stop状態ではリセットか次にRun状態にするまで、カウンタのデータは保持されます。

**0x5021: Stopwatch Timer BCD Counter Register (SWT\_BCNT)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Stopwatch Timer BCD Counter Register (SWT_BCNT)	0x5021 (8 bits)	D7-4	BCD10[3:0]	1/10 sec. BCD counter value	0 to 9	0	R	
		D3-0	BCD100[3:0]	1/100 sec. BCD counter value	0 to 9	0	R	

**D[7:4] BCD10[3:0]: 1/10 Sec. BCD Counter Value**

1/10秒カウンタのBCDデータが読み出せます。(デフォルト: 0)

このレジスタはリードオンリのため、データの書き込みはできません。

**D[3:0] BCD100[3:0]: 1/100 Sec. BCD Counter Value**

1/100秒カウンタのBCDデータが読み出せます。(デフォルト: 0)

このレジスタはリードオンリのため、データの書き込みはできません。

注: カウント動作中にこのレジスタを読み出すと、カウンタ値が正しく読み出されない(読み出し値が不定になる)ことがあります。

カウンタ値は、以下のいずれかの方法で取得してください。

- カウンタを停止した状態でカウンタ値を読み出します。
- カウンタ値を2回続けて読み出し、2回とも同じ結果が得られた場合にその値を有効とします。

# 0x5022: Stopwatch Timer Interrupt Mask Register (SWT\_IMSK)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
Stopwatch Timer Interrupt Mask Register (SWT_IMSK)	0x5022 (8 bits)	D7-3	—	reserved	—			—	—	0 when being read.
		D2	SIE1	1 Hz interrupt enable	1	Enable	0	Disable	0	R/W
		D1	SIE10	10 Hz interrupt enable	1	Enable	0	Disable	0	R/W
		D0	SIE100	100 Hz interrupt enable	1	Enable	0	Disable	0	R/W

本レジスタは、ストップウォッチタイマの100Hz、10Hz、1Hz信号による割り込み要求を個々に許可または禁止します。SIE\*ビットを1に設定すると、対応する周波数の信号の立ち下がりエッジによるストップウォッチタイマ割り込み要求が許可され、0に設定すると割り込みが禁止されます。

## D[7:3] Reserved

### D2 SIE1: 1 Hz Interrupt Enable Bit

1Hz信号による割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

### D1 SIE10: 10 Hz Interrupt Enable Bit

10Hz信号による割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

### D0 SIE100: 100 Hz Interrupt Enable Bit

100Hz信号による割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

**0x5023: Stopwatch Timer Interrupt Flag Register (SWT\_IFLG)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Stopwatch Timer Interrupt Flag Register (SWT_IFLG)	0x5023 (8 bits)	D7-3	—	reserved	—		—	0 when being read.
		D2	<b>SIF1</b>	1 Hz interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0 R/W	Reset by writing 1.
		D1	<b>SIF10</b>	10 Hz interrupt flag			0 R/W	
		D0	<b>SIF100</b>	100 Hz interrupt flag			0 R/W	

本レジスタは、ストップウォッチタイマの100Hz、10Hz、1Hz信号による割り込み要因の発生状態を示します。ストップウォッチタイマ割り込みが発生した場合は、本レジスタの割り込みフラグを読み出して発生した割り込み要因(周波数)を特定してください。

SIF\*は100Hz、10Hz、1Hz割り込みに個々に対応するSWTモジュールの割り込みフラグです。SIE\* (SWT\_IMSKレジスタ)を1に設定しておくことにより、各信号の立ち下がりエッジで1にセットされます。同時に、ITCに対してストップウォッチタイマ割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

SIF\*は1の書き込みによりリセットされます。

注: • ストップウォッチタイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、SWTモジュール内の割り込みフラグSIF\*をリセットする必要があります。

- 不要な割り込みの発生を防止するため、SIE\*によってストップウォッチタイマ割り込みを許可する前に、SIF\*をリセットしてください。

**D[7:3] Reserved****D2 SIF1: 1 Hz Interrupt Flag**

1Hz割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり  
 0(R): 割り込み要因なし(デフォルト)  
 1(W): フラグをリセット  
 0(W): 無効

SIF1はSIE1(D2/SWT\_IMSKレジスタ)を1に設定しておくことにより、1Hz信号の立ち下がりエッジで1にセットされます。

**D1 SIF10: 10 Hz Interrupt Flag**

10Hz割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり  
 0(R): 割り込み要因なし(デフォルト)  
 1(W): フラグをリセット  
 0(W): 無効

SIF10はSIE10(D1/SWT\_IMSKレジスタ)を1に設定しておくことにより、10Hz信号の立ち下がりエッジで1にセットされます。

**D0 SIF100: 100 Hz Interrupt Flag**

100Hz割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり  
 0(R): 割り込み要因なし(デフォルト)  
 1(W): フラグをリセット  
 0(W): 無効

SIF100はSIE100(D0/SWT\_IMSKレジスタ)を1に設定しておくことにより、100Hz信号の立ち下がりエッジで1にセットされます。

## 16.8 注意事項

- ストップウォッチタイマを動作させるには、その前にOSC1発振回路をOnさせておく必要があります。
- ストップウォッチタイマ割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、SWT\_IFLGレジスタの割り込みフラグをリセットする必要があります。
- 不要な割り込みの発生を防止するため、SWT\_IMSKレジスタによってストップウォッチタイマ割り込みを許可する前に、SWT\_IFLGレジスタの割り込みフラグをリセットしてください。
- ストップウォッチタイマはSWTRUN(D0/SWT\_CTLレジスタ)への書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRun/Stop状態となる場合があります。したがって、SWTRUNに0を書き込んだ場合は、“+1”余分にカウントしたところでタイマが停止状態となります。また、このときSWTRUNは実際にタイマがStop状態となるまで、読み出しに対して1を保持します。

図16.8.1にRun/Stop制御のタイミングチャートを示します。

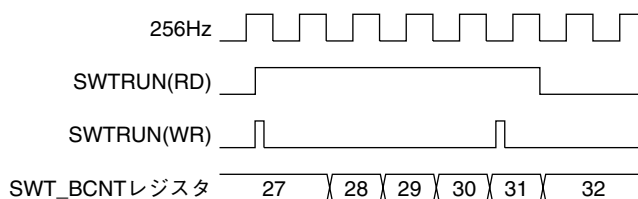


図16.8.1 Run/Stop制御のタイミングチャート

- ストップウォッチタイマがRunしている状態(SWTRUN = 1)でslp命令を実行した場合は、SLEEP状態からの復帰時にストップウォッチタイマが不安定な動作となります。したがって、SLEEP状態へ移行する場合は、slp命令の実行以前にストップウォッチタイマをSTOP状態(SWTRUN = 0)に設定してください。
- カウント動作中にカウンタレジスタを読み出すと、カウンタ値が正しく読み出されない(読み出し値が不定になる)ことがあります。  
カウンタ値を取得する場合は、カウンタを停止した状態でカウンタレジスタを読み出してください。あるいは、カウンタレジスタを2回続けて読み出して、2回とも同じ結果が得られた場合にその値を有効としてください。

# 17 ウォッチドッグタイマ(WDT)

## 17.1 ウォッチドッグタイマの概要

S1C17003はOSC1発振回路を原振とするウォッチドッグタイマを内蔵しています。ウォッチドッグタイマは $131072/f_{osc1}$ 秒( $f_{osc1} = 32.768\text{kHz}$ の場合4秒)以上リセットが行われない場合、CPUに対してNMIまたはリセット(ソフトウェアで選択可能)を発生します。

ソフトウェアによってこの周期以内にウォッチドッグタイマをリセットし、NMI/リセットが発生しないように処理しておくことで、その処理ルーチンを通らないようなプログラムの暴走を検出することができます。

図17.1.1にウォッチドッグタイマのブロック図を示します。

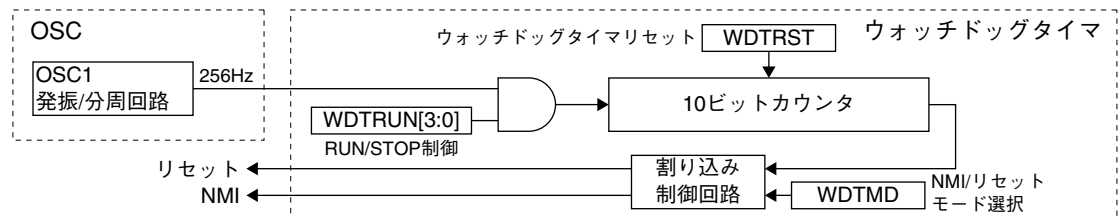


図17.1.1 ウォッチドッグタイマのブロック図

## 17.2 動作クロック

---

ウォッチドッグタイマは、OSCモジュールが出力する256Hzクロックを動作クロックとして使用します。OSCモジュールはOSC1クロックを1/128に分周してこの動作クロックを生成します。したがって、OSC1クロック周波数が32.768kHzの場合に256Hzとなります。それ以外のOSC1クロック周波数では、本節に記載の周波数や時間が変わります。

OSCモジュールに256Hzクロックの出力制御ビットは設けられていません。OSC1発振がOnの場合は、常に256Hzクロックがウォッチドッグタイマに供給されます。

OSC1発振回路の制御については、“7 発振回路 (OSC)”を参照してください。

## 17.3 ウォッチドッグタイマの制御

### 17.3.1 NMI/リセットモードの選択

NMI/リセット発生周期以内にウォッチドッグタイマがリセットされなかった場合に、NMI信号を出力するかリセット信号を出力するかWDTMD(D1/WDT\_STレジスタ)で選択できます。

\* **WDTMD**: NMI/Reset Mode Select Bit in the Watchdog Timer Status (WDT\_ST) Register (D1/0x5041)

NMIを発生させるにはWDTMDを0(デフォルト)に、リセットを発生させるには1に設定します。

### 17.3.2 ウォッチドッグタイマのRUN/STOP制御

ウォッチドッグタイマはWDTRUN[3:0](D[3:0]/WDT\_CTLレジスタ)に0b1010以外の値を書き込むことでカウントを開始し、0b1010を書き込むと停止します。

\* **WDTRUN[3:0]**: Watchdog Timer Run/Stop Control Bits in the Watchdog Timer Control (WDT\_CTL) Register (D[3:0]/0x5040)

イニシャルリセット時はWDTRUN[3:0]が0b1010に設定され、ウォッチドッグタイマは停止状態となります。カウンタの値によってはRun直後にNMI/リセットが発生する場合がありますので、ウォッチドッグタイマをRunさせる際には次節で説明するウォッチドッグタイマのリセットも同時に行ってください。

### 17.3.3 ウォッチドッグタイマのリセット

ウォッチドッグタイマをリセットするには、WDRST(D4/WDT\_CTLレジスタ)に1を書き込みます。

\* **WDRST**: Watchdog Timer Reset Bit in the Watchdog Timer Control (WDT\_CTL) Register (D4/0x5040)

ウォッチドッグタイマを使用する場合は、NMI/リセットが発生する前にウォッチドッグタイマをリセットするルーチンを定期的に処理される場所に用意しておきます。このルーチンは131072/fosc1秒(fosc1 = 32.768kHzの場合4秒)周期以内で処理されるようにしてください。

リセット後、ウォッチドッグタイマは新たなNMI/リセット発生周期のカウントを始めます。

何らかの原因によってウォッチドッグタイマがNMI/リセット発生周期以内にリセットされなかった場合、NMIまたはリセットによってCPUは割り込み処理に移行し、割り込みベクタを読み出して割り込み処理ルーチンを実行します。

リセットのベクタアドレスはTTBR + 0x0、NMIのベクタアドレスはTTBR + 0x08です。

ウォッチドッグタイマがリセットされずにカウンタがオーバーフローしてNMIが発生した場合は、WDTST(D0/WDT\_STレジスタ)が1に設定されます。

\* **WDTST**: NMI Status Bit in the Watchdog Timer Status (WDT\_ST) Register (D0/0x5041)

このビットはNMIの発生元がウォッチドッグタイマであることを確認するために設けられています。1にセットされたWDTSTはウォッチドッグタイマをリセットすることで0にクリアされます。

### 17.3.4 スタンバイモード時の動作

#### HALTモード時

HALTモード時はクロックが供給されるため、ウォッチドッグタイマは動作します。したがって、NMI/リセット発生周期以上、HALTモードを続けるとNMIまたはリセットによりHALTモードが解除されます。HALTモード時にウォッチドッグタイマを無効にするには、halt命令実行前にWDTRUN[3:0]に0b1010を書き込んでウォッチドッグタイマを停止させてください。HALTモードを解除後は、動作を再開させる前にウォッチドッグタイマをリセットしてください。

#### SLEEPモード時

SLEEPモード時はOSCモジュールからのクロックの供給が停止します。したがって、ウォッチドッグタイマも動作を停止します。SLEEPモード解除後に不要なNMIまたはリセットが発生することを防ぐため、slp命令の実行前にウォッチドッグタイマをリセットしてください。また、必要に応じWDTRUN[3:0]によってウォッチドッグタイマを停止させてください。

## 17.4 制御レジスタ詳細

表17.4.1 ウォッチドッグタイマレジスタ一覧

アドレス	レジスタ名		機 能
0x5040	WDT_CTL	Watchdog Timer Control Register	タイマのリセットとRUN/STOP制御
0x5041	WDT_ST	Watchdog Timer Status Register	タイマモードの設定とNMI状態表示

以下、ウォッチドッグタイマのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

**0x5040: Watchdog Timer Control Register (WDT\_CTL)**

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
Watchdog Timer Control Register (WDT_CTL)	0x5040 (8 bits)	D7–5	–	reserved	–		–	–	0 when being read.
		D4	WDTRST	Watchdog timer reset	1   Reset	0   Ignored	0	W	
		D3–0	WDTRUN[3:0]	Watchdog timer run/stop control	Other than 1010 Run	1010 Stop	1010	R/W	

**D[7:5] Reserved****D4 WDTRST: Watchdog Timer Reset Bit**

ウォッチドッグタイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

ウォッチドッグタイマを使用する場合は、NMI/リセット発生周期( $f_{osc1} = 32.768\text{kHz}$ の場合4秒)以内に本ビットに1を書き込み、ウォッチドッグタイマをリセットする必要があります。この書き込みでアップカウンタは0にリセットされ、そこから新たなNMI/リセット発生周期のカウントを始めます。

**D[3:0] WDTRUN[3:0]: Watchdog Timer Run/Stop Control Bits**

ウォッチドッグタイマのRun/Stopを制御します。

0b1010以外(R/W): Run

0b1010(R/W): Stop(デフォルト)

ウォッチドッグタイマをRunさせる場合は、不要なNMIまたはリセットの発生を防ぐため、必ずウォッチドッグタイマのリセットも行ってください。

0x5041: Watchdog Timer Status Register (WDT\_ST)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Watchdog Timer Status Register (WDT_ST)	0x5041 (8 bits)	D7-2	—	reserved	—		—	0 when being read.
		D1	WDTMD	NMI/Reset mode select	1 Reset	0 NMI	0 R/W	
		D0	WDTST	NMI status	1 NMI occurred	0 Not occurred	0 R	

D[7:2]     **Reserved**

**D1     WDTMD: NMI/Reset Mode Select Bit**

カウンタのオーバーフロー時にNMIとリセットのどちらを発生させるか選択します。

1(R/W): リセット

0(R/W): NMI(デフォルト)

本ビットを1に設定すると、カウンタがオーバーフローした時点でリセット信号を出力します。  
0に設定した場合はNMI信号を出力します。

**D0     WDTST: NMI Status Bit**

カウンタがオーバーフローしてNMIが発生したことを示します。

1(R):     NMI発生(カウンタオーバーフロー)

0(R):     NMI未発生(デフォルト)

このビットはNMIの発生元がウォッチドッグタイマであることを確認するために設けられています。1にセットされたWDTSTはウォッチドッグタイマをリセットすることで0にクリアされます。

リセット出力選択時も、カウンタオーバーフローで一旦セットされますが、イニシャルリセットによりクリアされ確認することはできません。

## 17.5 注意事項

---

- ウォッチドッグタイマを使用する場合は、 $131072/f_{osc1}$ 秒( $f_{osc1} = 32.768\text{kHz}$ の場合4秒)周期以内に必ずソフトウェアでリセットする必要があります。
- ウォッチドッグタイマをRunさせる場合は、不要なNMIまたはリセットの発生を防ぐため、必ずウォッチドッグタイマのリセットも行ってください。

# 18 UART

## 18.1 UARTの構成

S1C17003はUARTを2チャンネル内蔵しています。UARTは150～460800bpsの転送速度で外部シリアルデバイスとの非同期データ転送を行います。2バイトの受信データバッファと1バイトの送信データバッファを内蔵し、全二重通信が可能です。転送クロックにはタイマモジュールによる内部生成クロックと、SCLK<sub>x</sub>端子から入力する外部クロックのいずれかを使用できます。データ長(7ビットまたは8ビット)、ストップビット長(1ビットまたは2ビット)、パリティモード(偶数、奇数、パリティなし)はソフトウェアで選択します。スタートビットは1ビットに固定されています。データ受信時には、オーバーランエラー、フレーミングエラー、パリティエラーが検出可能です。UARTはチャンネルごとに3種類の割り込み(送信バッファエンプティ、受信バッファフル、受信エラー)を発生しますので、シリアルデータ転送を割り込み処理によって効率よく処理することができます。

また、本UARTモジュールにはRZI変調/復調回路が組み込まれており、簡単な外付け回路の追加のみで、IrDA 1.0に対応する赤外線通信回路を構成することができます。

図18.1.1に、UARTの構造を示します。

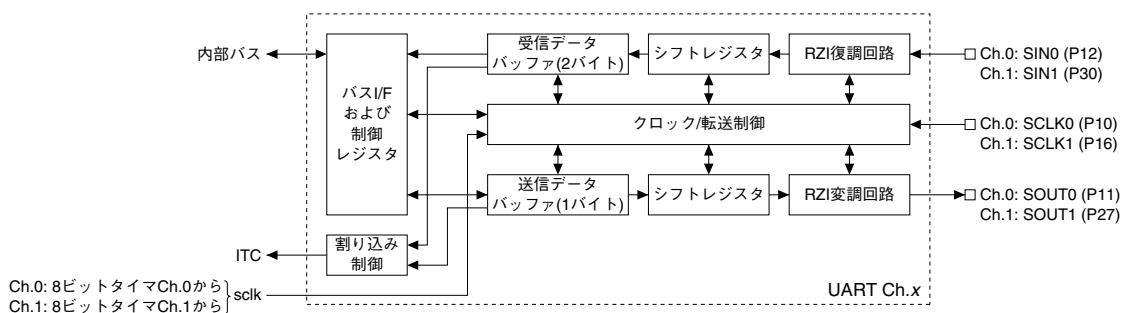


図18.1.1 UARTの構造

注: 2チャンネルのUARTモジュールは、制御レジスタのアドレスを除きすべて同じ機能を持っていますので、本節内の説明はUARTの全チャンネルに適用されます。レジスタ名の‘x’はチャンネル番号(0または1)を表します。また、レジスタのアドレスは(Ch.0/Ch.1)のように記述されています。

例: UART\_CTLxレジスタ (0x4104/0x4124)

Ch.0: UART\_CTL0レジスタ (0x4104)

Ch.1: UART\_CTL1レジスタ (0x4124)

## 18.2 UART端子

表18.2.1にUARTの入出力端子の一覧を示します。

表18.2.1 UART端子一覧

端子名	I/O	本数	機 能
SIN0 (P12)	I	1	UART Ch.0データ入力端子 外部シリアルデバイスから送られるシリアルデータを入力します。
SOUT0 (P11)	O	1	UART Ch.0データ出力端子 外部シリアルデバイスに送るシリアルデータを出力します。
SCLK0 (P10)	I	1	UART Ch.0クロック入力端子 転送クロックに外部クロックを使用する場合に、この端子から入力します。
SIN1 (P30)	I	1	UART Ch.1データ入力端子 外部シリアルデバイスから送られるシリアルデータを入力します。
SOUT1 (P27)	O	1	UART Ch.1データ出力端子 外部シリアルデバイスに送るシリアルデータを出力します。
SCLK1 (P16)	I	1	UART Ch.1クロック入力端子 転送クロックに外部クロックを使用する場合に、この端子から入力します。

UARTの入出力端子(SIN<sub>x</sub>、SOUT<sub>x</sub>、SCLK<sub>x</sub>)は汎用入出力ポート端子(P1[2:0]、P30、P27、P16)を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをUARTの入出力端子として使用するには、P3\_PMUX、P2\_PMUX、P1\_PMUXレジスタの設定により機能を切り換える必要があります。以下の制御ビットを1に設定して、端子をシリアルインタフェース用に切り換えてください。

### UART Ch.0

P12 → SIN0

\* **P12MUX**: P12 Port Function Select Bit in the P1 Port Function Select (P1\_PMUX) Register (D4/0x52a2)

P11 → SOUT0

\* **P11MUX**: P11 Port Function Select Bit in the P1 Port Function Select (P1\_PMUX) Register (D2/0x52a2)

P10 → SCLK0 (外部クロックを使用する場合のみ)

\* **P10MUX**: P10 Port Function Select Bit in the P1 Port Function Select (P1\_PMUX) Register (D0/0x52a2)

### UART Ch.1

P30 → SIN1

\* **P30MUX**: P30 Port Function Select Bit in the P3 Port Function Select (P3\_PMUX) Register (D1-0/0x52a6)

P27 → SOUT1

\* **P27MUX**: P27 Port Function Select Bit in the P2 Port Function Select (P2\_PMUX) Register (D7-6/0x52a5)

P16 → SCLK1 (外部クロックを使用する場合のみ)

\* **P16MUX**: P16 Port Function Select Bit in the P1 Port Function Select (P1\_PMUX) Register (D5-4/0x52a3)

端子の機能と切り換えの詳細については、“10.2 入出力端子機能の選択(ポートMUX)”を参照してください。

## 18.3 転送クロック

UARTの転送クロックは、SSCK(D0/UART\_MODxレジスタ)を使用して内部クロックまたは外部クロックのいずれかを選択可能です。

\* **SSCK**: Input Clock Select Bit in the UART Ch.x Mode (UART\_MODx) Register (D0/0x4103/0x4123)

注: SSCKの変更は、必ずUARTが動作停止中(RXEN/UART\_CTLxレジスタ = 0)に行ってください。

\* **RXEN**: UART Enable Bit in the UART Ch.x Control (UART\_CTLx) Register (D0/0x4104/0x4124)

### 内部クロック

SSCKを0(デフォルト)に設定すると、内部クロックが選択されます。UART Ch.0は8ビットタイマCh.0の出力クロックを、UART Ch.1は8ビットタイマCh.1の出力クロックを転送クロックとして使用します。したがって、転送レートに合ったクロックを出力するようにビットタイマをプログラムしておく必要があります。

8ビットタイマの制御については、“12 8ビットタイマ(T8F)”を参照してください。

### 外部クロック

SSCKを1に設定すると、外部クロックが選択されます。この場合は、P10(Ch.0)またはP16(Ch.1)をSCLK0またはSCLK1端子に設定し(18.2節参照)、外部クロックを入力してください。

注: • UARTは8ビットタイマの出力または外部クロックを1/16に分周してサンプリングクロックを生成します。転送レートを設定する際には注意してください。

- SCLKx端子から外部クロックを入力する場合、クロックの周波数はPCLKの1/2以下で、デューティ比は50%である必要があります。

## 18.4 転送データの設定

以下の条件を選択して転送データ形式を設定できます。

- データ長: 7ビット、または8ビット
- スタートビット: 1ビット固定
- ストップビット: 1ビット、または2ビット
- パリティビット: 偶数、奇数、パリティなし

注: 転送データ形式の設定は、必ずUARTが動作停止中(RXEN/UART\_CTLxレジスタ = 0)に行ってください。

\* **RXEN**: UART Enable Bit in the UART Ch.x Control (UART\_CTLx) Register (D0/0x4104/0x4124)

### データ長

データ長は、CHLN(D4/UART\_MODxレジスタ)で選択します。CHLNを0(デフォルト)に設定すると、データ長は7ビットに設定されます。CHLNを1に設定すると、8ビットに設定されます。

\* **CHLN**: Character Length Select Bit in the UART Ch.x Mode (UART\_MODx) Register (D4/0x4103/0x4123)

### ストップビット

ストップビット長はSTPB(D1/UART\_MODxレジスタ)で選択します。STPBを0(デフォルト)に設定すると、ストップビット長は1ビットに設定されます。STPBを1に設定すると、2ビットに設定されます。

\* **STPB**: Stop Bit Select Bit in the UART Ch.x Mode (UART\_MODx) Register (D1/0x4103/0x4123)

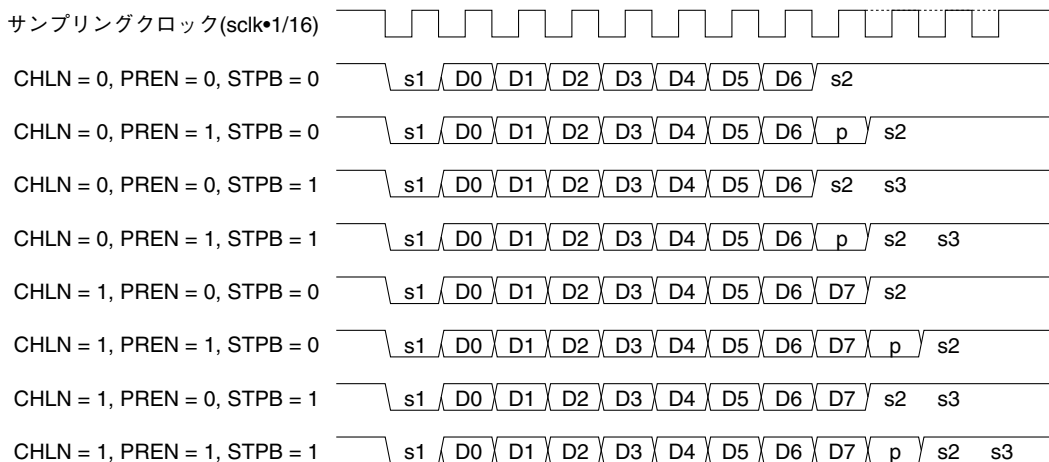
### パリティビット

パリティ機能を有効にするか否かについては、PREN(D3/UART\_MODxレジスタ)で選択します。PRENを0(デフォルト)に設定すると、パリティ機能は無効となります。この場合、転送データにパリティビットは付加されず、データ受信時もパリティチェックは行われません。PRENを1に設定すると、パリティ機能が有効になります。この場合、転送データにパリティビットが付加され、データ受信時はパリティチェックを行います。

パリティ機能を有効にする場合は、PMD(D2/UART\_MODxレジスタ)でパリティモードを選択します。PMDを0(デフォルト)に設定すると、偶数パリティとしてパリティビットの付加とチェックが行われます。PMDを1に設定すると、奇数パリティとしてパリティビットの付加とチェックが行われます。

\* **PREN**: Parity Enable Bit in the UART Ch.x Mode (UART\_MODx) Register (D3/0x4103/0x4123)

\* **PMD**: Parity Mode Select Bit in the UART Ch.x Mode (UART\_MODx) Register (D2/0x4103/0x4123)



s1: スタートビット, s2 & s3: ストップビット, p: パリティビット

図18.4.1 転送データ形式

## 18.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) 入力クロックを選択します。18.3節を参照してください。  
内部クロックを使用する場合は、転送クロックを出力するように8ビットタイマをプログラムします。12章を参照してください。
- (2) 転送データ形式を設定します。18.4節を参照してください。
- (3) IrDAインタフェースを使用する場合は、IrDAモードを設定します。18.8節を参照してください。
- (4) UART割り込みを使用する場合は、割り込み条件を設定します。18.7節を参照してください。

注: 上記の設定は、必ずUARTが動作停止中(RXEN/UART\_CTLxレジスタ = 0)に行ってください。

\* **RXEN**: UART Enable Bit in the UART Ch.x Control (UART\_CTLx) Register (D0/0x4104/0x4124)

### データ送受信を許可

最初にRXENビット(D0/UART\_CTLxレジスタ)を1に設定してデータの送受信を許可します。これにより、送受信回路が送受信可能な状態になります。

注: UARTが送受信中はRXENビットを0に設定しないでください。

### データ送信制御

送信を開始するには、UART\_TXDxレジスタ(0x4101/0x4121)に送信データを書き込みます。

\* **UART\_TXDx**: UART Ch.x Transmit Data Register (0x4101/0x4121)

データは送信データバッファに書き込まれ、送信回路がデータ送信を開始します。バッファのデータは送信用シフトレジスタに送られ、スタートビットがSOUTx端子から出力されます。続いて、シフトレジスタのデータがLSBから出力されます。転送データビットはサンプリングクロックの立ち上がりエッジに同期してシフトし、SOUTx端子から順次出力されます。MSBの出力後、パリティビット(パリティ有効時のみ)とストップビットが出力されます。

送信回路にはTDBE(D0/UART\_STxレジスタ)とTRBS(D2/UART\_STxレジスタ)の2つのステータスフラグが用意されています。

\* **TDBE**: Transmit Data Buffer Empty Flag in the UART Ch.x Status (UART\_STx) Register (D0/0x4100/0x4120)

\* **TRBS**: Transmit Busy Flag in the UART Ch.x Status (UART\_STx) Register (D2/0x4100/0x4120)

TDBEフラグは送信データバッファの状態を示します。このフラグはアプリケーションプログラムが送信データバッファにデータを書き込むと0になり、バッファのデータが送信用シフトレジスタに送られると1に戻ります。このフラグが1になった時点で割り込みを発生させることができます(18.7節参照)。この割り込みを利用するか、TDBEフラグの読み出しによって送信データバッファが空であることを確認し、次のデータ送信を行います。送信バッファサイズは1バイトですが、シフトレジスタが別に用意されているので、1つ前のデータを送信中に、データの書き込みが行えます。ただし、送信データを書き込む前に、送信データバッファが空になっていることを確認してください。TDBEフラグが0の場合にデータを書き込むと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。

TRBSフラグはシフトレジスタの状態を示します。このフラグは送信データが送信データバッファからシフトレジスタにロードされると1になり、データ送信が完了すると0に戻ります。送信回路が動作中か待機中かについては、このフラグを読み出して確認してください。

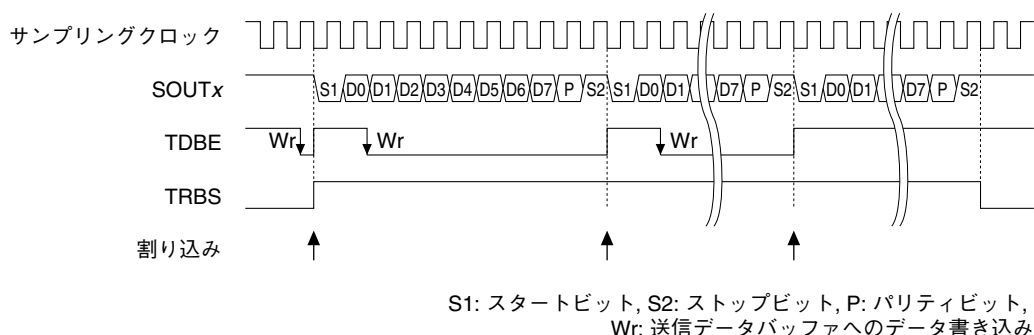


図18.5.1 データ送信タイミングチャート

## データ受信制御

受信回路はRXENビットを1に設定すると起動し、外部シリアルデバイスからのデータを受信可能な状態になります。

外部シリアルデバイスがスタートビットを送信すると、受信回路はそのLowレベルを検出して、続くデータビットのサンプリングを開始します。データビットはサンプリングクロックの立ち上がりエッジでサンプリングされ、先頭ビットをLSBとして受信用シフトレジスタに取り込まれます。MSBをシフトレジスタに受信し終わると、受信データは受信データバッファにロードされます。パリティチェックが有効に設定されている場合、これと同時に、受信回路はMSBの直後に受信したパリティビットでパリティチェックを行います。

受信データバッファは2バイトのFIFOで、満杯になるまでデータを受信可能です。

バッファ内の受信データはUART\_RXDxレジスタ(0x4102/0x4122)から読み出すことができます。古いデータから先に読み出され、読み出しによりクリアされます。

\* **UART\_RXDx**: UART Ch.x Receive Data Register (0x4102/0x4122)

受信回路にはRDRY(D1/UART\_STxレジスタ)とRD2B(D3/UART\_STxレジスタ)の2つのバッファステータスフラグが用意されています。

\* **RDRY**: Receive Data Ready Flag in the UART Ch.x Status (UART\_STx) Register (D1/0x4100/0x4120)

\* **RD2B**: Second Byte Receive Flag in the UART Ch.x Status (UART\_STx) Register (D3/0x4100/0x4120)

RDRYフラグは受信データバッファ内に受信データが存在することを示します。RD2Bフラグは受信データバッファが満杯になっていることを示します。

### (1) RDRY = 0, RD2B = 0

データを受信していません。したがって、受信データバッファを読み出す必要はありません。

### (2) RDRY = 1, RD2B = 0

1個のデータを受信しています。受信データバッファを1回読み出してください。この読み出しによりRDRYフラグがリセットされます。バッファは上記(1)の状態に戻ります。

受信データバッファを2回読み出した場合、2つ目の読み出しデータは無効です。

### (3) RDRY = 1, RD2B = 1

2個のデータを受信しています。受信データバッファを2回読み出してください。最初の読み出しで、受信データバッファは古い方の受信データを出力します。この読み出しにより、RD2Bフラグがリセットされます。バッファは上記(2)の状態になります。2回目の読み出しで最新の受信データが出力されます。2回の読み出し後、バッファは上記(1)の状態になります。

受信バッファが満杯でも、シフトレジスタは8ビットデータをもう1つ受信開始することができます。受信データバッファの読み出しがなく受信が終了した場合、オーバーランエラーが発生し最後の受信データは読み出すことができません。したがって、受信データバッファはオーバーランエラーが発生する前に読み出してください。オーバーランエラーについては、18.6節を参照してください。

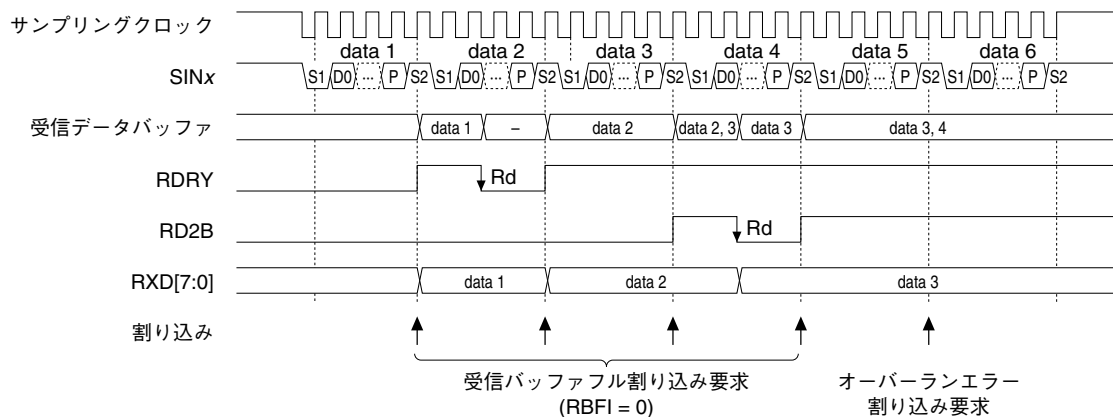
これらのフラグを読み出すことで、受信データ数を確認することができます。

また、UARTは受信データバッファにデータを受信した時点で受信バッファフル割り込みを発生可能で、この割り込みを利用して受信データバッファを読み出すことができます。デフォルト設定では、

受信データバッファが1個のデータを受信すると(前記(2)の状態)、受信バッファフル割り込みが発生するようになっています。これを、RBFIビット(D1/UART\_CTLxレジスタ)を1に設定することで、受信データバッファが2個のデータを受信した時点で割り込みが発生するように変更できます。

\* **RBFI**: Receive Buffer Full Interrupt Condition Setup Bit in the UART Ch.x Control (UART\_CTLx) Register (D1/0x4104/0x4124)

前述のフラグの他に、3つのエラーフラグも用意されています。それらのフラグと受信エラーについては、18.6節を参照してください。



S1: スタートビット, S2: ストップビット, P: パリティビット, Rd: RXD[7:0]からのデータリード

図18.5.2 データ受信タイミングチャート

## データ送受信を禁止

データ転送(送信と受信の両方)を終了後は、RXENビットに0を書き込んでデータ送受信を禁止します。ただし、データ送受信を禁止する前に、TDBEフラグが1、TRBSとRDRYフラグが0になっていることを確認してください。

RXENビットを0に設定すると、送信データバッファは空の状態になります(データが残っていればクリアされます)。また、データの送受信中にRXENを0に設定した場合、転送中のデータは保証されません。

## 18.6 受信エラー

データ受信時は、3種類の受信エラーを検出可能です。

受信エラーは割り込み要因のため、割り込みを発生させてエラーを処理することができます。UART割り込みの制御については、18.7節を参照してください。

### パリティエラー

PREN(D3/UART\_MODxレジスタ)が1(パリティ有効)に設定されている場合、受信時にパリティチェックが行われます。

パリティチェックはシフトレジスタに受信したデータが受信データバッファに転送される際に行われ、PMD(D2/UART\_MODxレジスタ)の設定(奇数または偶数パリティ)との整合をチェックします。この結果が不整合の場合はパリティエラーと判断され、パリティエラーフラグPER(D5/UART\_STxレジスタ)が1にセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、受信データはパリティエラーのため保証されません。

なお、PERフラグ(D5/UART\_STxレジスタ)は1を書き込むことによって0にリセットされます。

- \* **PREN:** Parity Enable Bit in the UART Ch.x Mode (UART\_MODx) Register (D3/0x4103/0x4123)
- \* **PMD:** Parity Mode Select Bit in the UART Ch.x Mode (UART\_MODx) Register (D2/0x4103/0x4123)
- \* **PER:** Parity Error Flag in the UART Ch.x Status (UART\_STx) Register (D5/0x4100/0x4120)

### フレーミングエラー

ストップビットを0として受信すると、UARTは同期ずれと判断してフレーミングエラーを発生します。ストップビットを2ビットに設定している場合は、最初の1ビットのみチェックします。

本エラーが発生すると、フレーミングエラーフラグFER(D6/UART\_STxレジスタ)が1にセットされます。本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。

なお、FERフラグ(D6/UART\_STxレジスタ)は1を書き込むことによって0にリセットされます。

- \* **FER:** Framing Error Flag in the UART Ch.x Status (UART\_STx) Register (D6/0x4100/0x4120)

### オーバーランエラー

受信データバッファが満杯(2データ受信済み)の状態でも、次に送られる3番目のデータはシフトレジスタに受信可能です。ただし、その受信が終了した時点で、受信データバッファに空きがなければ(それまでにデータが読み出されていなければ)、シフトレジスタに受信した3番目のデータはバッファに送られず、オーバーランエラーが発生します。

オーバーランエラーが発生するとオーバーランエラーフラグOER(D4/UART\_STxレジスタ)が1にセットされます。

本エラーが発生した場合でも、受信動作は継続して行われます。

なお、OERフラグ(D4/UART\_STxレジスタ)は1を書き込むことによって0にリセットされます。

- \* **OER:** Overrun Error Flag in the UART Ch.x Status (UART\_STx) Register (D4/0x4100/0x4120)

## 18.7 UART割り込み

UARTには、以下の3種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 受信バッファフル割り込み
- 受信エラー割り込み

UARTの各チャネルは、上記3種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します(2チャネルで計2本を出力)。発生した割り込み要因を特定するには、ステータスフラグおよびエラーフラグを読み出してください。

### 送信バッファエンプティ割り込み

この割り込みを使用するには、TIEN(D4/UART\_CTLxレジスタ)を1に設定します。TIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

\* **TIEN:** Transmit Buffer Empty Interrupt Enable Bit in the UART Ch.x Control (UART\_CTLx) Register (D4/0x4104/0x4124)

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、UARTはTDBEビット(D0/UART\_STxレジスタ)を1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(TIEN = 1)、これと同時に割り込み要求がITCに出力されます。

\* **TDBE:** Transmit Data Buffer Empty Flag in the UART Ch.x Status (UART\_STx) Register (D0/0x4100/0x4120)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

UART割り込みが送信バッファエンプティによるものかどうかについては、UART割り込み処理ルーチンでTDBEフラグを読み出して確認してください。TDBEが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

### 受信バッファフル割り込み

この割り込みを使用するには、RIEN(D5/UART\_CTLxレジスタ)を1に設定します。RIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

\* **RIEN:** Receive Buffer Full Interrupt Enable Bit in the UART Ch.x Control (UART\_CTLx) Register (D5/0x4104/0x4124)

受信バッファフル割り込みが許可されている場合(RIEN = 1)、指定数の受信データが受信データバッファにロードされると、UARTは割り込み要求をITCに出力します。RBF(D1/UART\_CTLxレジスタ)が0の場合、1個の受信データが受信データバッファにロードされた(RDRYフラグ(D1/UART\_STxレジスタ)が1にセットされた)時点で割り込み要求が出力されます。RBF(D1/UART\_CTLxレジスタ)が1の場合、2個の受信データが受信データバッファにロードされた(RD2Bフラグ(D3/UART\_STxレジスタ)が1にセットされた)時点で割り込み要求が出力されます。

\* **RBF:** Receive Buffer Full Interrupt Condition Ch.x Setup Bit in the UART Control (UART\_CTLx) Register (D1/0x4104/0x4124)

\* **RDRY:** Receive Data Ready Flag in the UART Ch.x Status (UART\_STx) Register (D1/0x4100/0x4120)

\* **RD2B:** Second Byte Receive Flag in the UART Ch.x Status (UART\_STx) Register (D3/0x4100/0x4120)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

UART割り込みが受信バッファフルによるものかどうかについては、UART割り込み処理ルーチンでRDRYとRD2Bフラグを読み出して確認してください。RDRYまたはRD2Bが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。

## 受信エラー割り込み

この割り込みを使用するには、REIEN(D6/UART\_CTLxレジスタ)を1に設定します。REIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

\* **REIEN**: Receive Error Interrupt Enable Bit in the UART Ch.x Control (UART\_CTLx) Register (D6/0x4104/0x4124)

データ受信時にパリティエラー、フレーミングエラー、またはオーバーランエラーを検出すると、UARTは以下に示すエラーフラグを1に設定します。受信エラー割り込みが許可されていれば(REIEN = 1)、これと同時に割り込み要求がITCに出力されます。

\* **PER**: Parity Error Flag in the UART Ch.x Status (UART\_STx) Register (D5/0x4100/0x4120)

\* **FER**: Framing Error Flag in the UART Ch.x Status (UART\_STx) Register (D6/0x4100/0x4120)

\* **OER**: Overrun Error Flag in the UART Ch.x Status (UART\_STx) Register (D4/0x4100/0x4120)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

UART割り込みが受信エラーによるものかどうかについては、UART割り込み処理ルーチンで上記のエラーフラグを読み出して確認してください。いずれかのエラーフラグが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。

## 割り込みベクタ

UART割り込みのベクタ番号とベクタアドレスは以下のとおりです。

表18.7.1 UART割り込みベクタ

チャンネル	ベクタ番号	ベクタアドレス
Ch.0	16 (0x10)	TTBR + 0x40
Ch.1	17 (0x11)	TTBR + 0x44

## その他の割り込み設定

ITCではUART割り込みの優先順位をチャンネルごとにレベル0(デフォルト)～レベル7に設定可能です。また、実際に割り込みを発生させるにはPSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットを1に設定しておく必要があります。

割り込み処理の詳細については、“6 割り込みコントローラ(ITC)”を参照してください。

## 18.8 IrDAインタフェース

本UARTモジュールにはRZI変調/復調回路が組み込まれており、簡単な外付け回路の追加のみで、IrDA 1.0に対応する赤外線通信回路を構成することができます。

UARTの送信用シフトレジスタから出力された送信データは変調回路に入力され、Lowパルス幅が $3/16$  sclkサイクルに変換された後にSOUTx端子から出力されます。

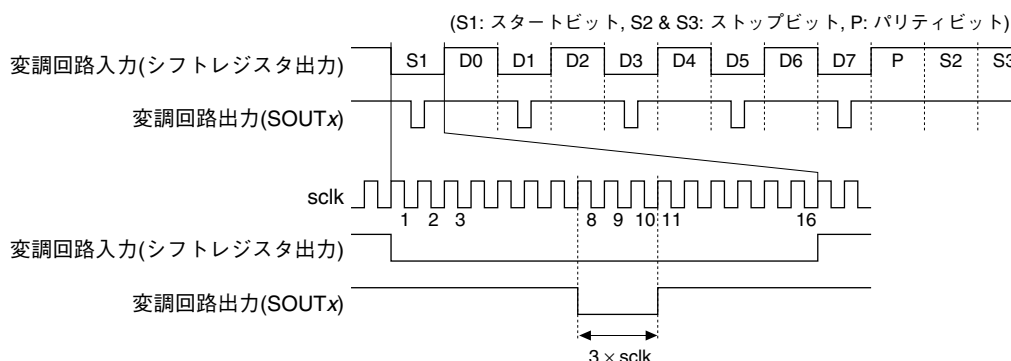


図18.8.1 送信信号波形

受信したIrDA信号は復調回路に入力され、Lowパルス幅が $16$  sclkサイクルに変換された後に受信用シフトレジスタに入力されます。入力されるLowパルス(最小パルス幅 =  $1.41\mu\text{s}/115200\text{bps}$ 時)を検出するため、復調回路は転送クロックとは別に、プリスケアラ出力クロックから選択したパルス検出クロックを使用します。

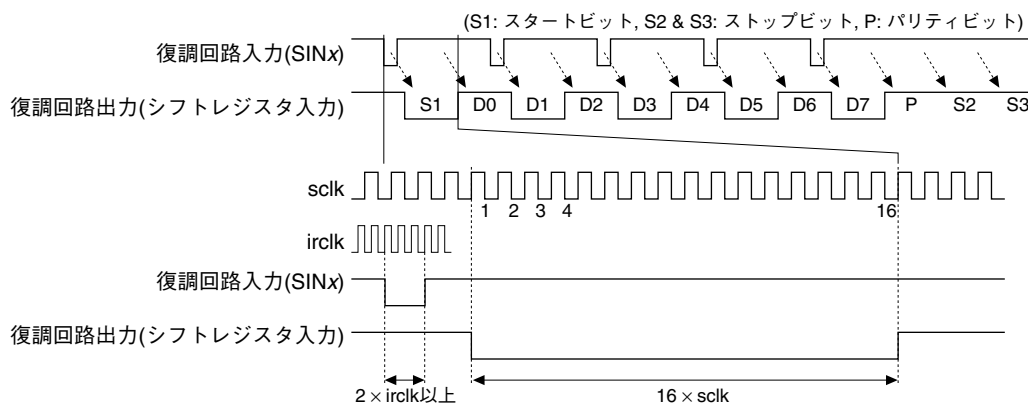


図18.8.2 受信信号波形

### IrDAイネーブル

IrDAインタフェース機能を使用するには、IRMD(D0/UART\_EXPxレジスタ)を1に設定します。これにより、RZI変調/復調回路が有効になります。

\* **IRMD**: IrDA Mode Select Bit in the UART Ch.x Expansion (UART\_EXPx) Register (D0/0x4105/0x4125)

注: この設定は、UARTの他の条件を設定する前に行う必要があります。

### IrDA受信検出クロックの選択

入力パルス検出用クロックを、IRCLK[2:0](D[6:4]/UART\_EXP<sub>x</sub>レジスタ)を使用してプリスケアラ出力クロックのPCLK•1/1～PCLK•1/128の中から選択します。

\* **IRCLK[2:0]**: IrDA Receive Detection Clock Select Bits in the UART Ch.x Expansion (UART\_EXP<sub>x</sub>) Register (D[6:4]/0x4105/0x4125)

表18.8.1 IrDA受信検出クロックの選択

IRCLK[2:0]	プリスケアラ出力クロック
0x7	PCLK•1/128
0x6	PCLK•1/64
0x5	PCLK•1/32
0x4	PCLK•1/16
0x3	PCLK•1/8
0x2	PCLK•1/4
0x1	PCLK•1/2
0x0	PCLK•1/1

(デフォルト: 0x0)

このクロックには、8ビットタイマまたはSCLK<sub>x</sub>端子から入力される転送クロックsclkよりも高速なクロックを選択する必要があります。

復調回路はIrDA受信検出クロックの2サイクル以上の幅を持つLowパルスを有効と見なし、16 sclkサイクル幅のLowパルスに変換します。最小1.41μs幅の入力パルスが検出できるように、適切なプリスケアラ出力クロックを選択してください。

### シリアルデータ転送の制御

IrDAモードの場合も、データ送受信の制御方法は通常のインタフェースと同じです。データ形式の設定やデータ転送、割り込みの制御方法については、前記の説明を参照してください。

## 18.9 制御レジスタ詳細

表18.9.1 UARTレジスタ一覧

アドレス	レジスタ名		機 能
0x4100	UART_ST0	UART Ch.0 Status Register	転送、バッファ、エラーステータスの表示
0x4101	UART_TXD0	UART Ch.0 Transmit Data Register	送信データ
0x4102	UART_RXD0	UART Ch.0 Receive Data Register	受信データ
0x4103	UART_MOD0	UART Ch.0 Mode Register	転送データ形式の設定
0x4104	UART_CTL0	UART Ch.0 Control Register	データ転送の制御
0x4105	UART_EXP0	UART Ch.0 Expansion Register	IrDAモードの設定
0x4120	UART_ST1	UART Ch.1 Status Register	転送、バッファ、エラーステータスの表示
0x4121	UART_TXD1	UART Ch.1 Transmit Data Register	送信データ
0x4122	UART_RXD1	UART Ch.1 Receive Data Register	受信データ
0x4123	UART_MOD1	UART Ch.1 Mode Register	転送データ形式の設定
0x4124	UART_CTL1	UART Ch.1 Control Register	データ転送の制御
0x4125	UART_EXP1	UART Ch.1 Expansion Register	IrDAモードの設定

以下、UARTのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

## 0x4100/0x4120: UART Ch.x Status Registers (UART\_STx)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
UART Ch.x Status Register (UART_STx)	0x4100	D7	—	reserved	—			—	—	0 when being read.	
	0x4120 (8 bits)	D6	FER	Framing error flag	1	Error	0	Normal	0	R/W	Reset by writing 1.
		D5	PER	Parity error flag	1	Error	0	Normal	0	R/W	
		D4	OER	Overrun error flag	1	Error	0	Normal	0	R/W	
		D3	RD2B	Second byte receive flag	1	Ready	0	Empty	0	R	
		D2	TRBS	Transmit busy flag	1	Busy	0	Idle	0	R	Shift register status
		D1	RDRY	Receive data ready flag	1	Ready	0	Empty	0	R	
		D0	TDBE	Transmit data buffer empty flag	1	Empty	0	Not empty	1	R	

注: レジスタ名などの'x'はチャンネル番号の0または1を表します。

0x4100: UART Ch.0 Status Register (UART\_ST0)

0x4120: UART Ch.1 Status Register (UART\_ST1)

#### D7 Reserved

#### D6 FER: Framing Error Flag

フレーミングエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

FERはフレーミングエラーが発生すると1にセットされます。フレーミングエラーは、ストップビットを0としてデータを受信した場合に発生します。

FERは1を書き込むことによりリセットされます。

#### D5 PER: Parity Error Flag

パリティエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

PERはパリティエラーが発生すると1にセットされます。パリティチェックはPREN(D3/UART\_MODxレジスタ)が1に設定されている場合にのみ有効で、受信データがシフトレジスタから受信データバッファに転送される際に実行されます。

PERは1を書き込むことによりリセットされます。

#### D4 OER: Overrun Error Flag

オーバーランエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

OERはオーバーランエラーが発生すると1にセットされます。オーバーランエラーは、受信データバッファが満杯の状態、次のデータをシフトレジスタに受信し、さらに続くデータが送られてきた場合に発生します。このエラーが発生した場合、受信データバッファは上書きされず、エラーが発生した時点のシフトレジスタが上書きされます。

OERは1を書き込むことによりリセットされます。

**D3 RD2B: Second Byte Received Flag**

受信データバッファに2個の受信データがあることを示します。

1(R): 2バイト目が読み出し可

0(R): 2バイト目は未受信(デフォルト)

RD2Bは、受信データバッファに2バイト目のデータがロードされると1にセットされ、受信データバッファから最初のデータが読み出されると0にリセットされます。

**D2 TRBS: Transmit Busy Flag**

送信シフトレジスタの状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

TRBSは、送信データが送信データバッファからシフトレジスタにロードされると1にセットされ、データ送信が完了すると0にリセットされます。送信回路が動作中か待機中かを確認する際に、読み出してください。

**D1 RDRY: Receive Data Ready Flag**

受信データバッファに有効な受信データがあることを示します。

1(R): データ読み出し可

0(R): バッファは空(デフォルト)

RDRYは、受信データバッファに受信データがロードされると1にセットされ、受信データバッファからすべてのデータが読み出されると0にリセットされます。

**D0 TDBE: Transmit Data Buffer Empty Flag**

送信データバッファの状態を示します。

1(R): バッファは空(デフォルト)

0(R): データあり

TDBEは、送信データが送信データバッファに書き込まれると0にリセットされ、そのデータがシフトレジスタに転送されると1にセットされます。

# 0x4101/0x4121: UART Ch.x Transmit Data Registers (UART\_TXDx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Ch.x Transmit Data Register (UART_TXDx)	0x4101 0x4121 (8 bits)	D7-0	TXD[7:0]	Transmit data TXD7(6) = MSB TXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R/W	

注: レジスタ名などの'x'はチャンネル番号の0または1を表します。

0x4101: UART Ch.0 Transmit Data Register (UART\_TXD0)

0x4121: UART Ch.1 Transmit Data Register (UART\_TXD1)

## D[7:0] TXD[7:0]: Transmit Data

送信データバッファにセットする送信データを書き込みます。(デフォルト: 0x0)  
このレジスタにデータを書き込むことにより、UARTは送信を開始します。TXD[7:0]に書き込んだデータは送信データバッファに入り送信まで待機します。  
送信データバッファ内のデータが送信されると、送信バッファエンプティ割り込み要因が発生します。  
7ビットモードでは、TXD7(MSB)が無効となります。  
SOUT<sub>x</sub>端子からはシリアル変換されたデータがLSBを先頭に、1に設定されたビットがHighレベル、0に設定されたビットがLowレベルとして出力されます。  
このレジスタは読み出しも可能です。

## 0x4102/0x4122: UART Ch.x Receive Data Registers (UART\_RXDx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Ch.x Receive Data Register (UART_RXDx)	0x4102 0x4122 (8 bits)	D7-0	RXD[7:0]	Receive data in the receive data buffer RXD7(6) = MSB RXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R	Older data in the buffer is read out first.

注: レジスタ名などの‘x’はチャンネル番号の0または1を表します。

0x4102: UART Ch.0 Receive Data Register (UART\_RXD0)

0x4122: UART Ch.1 Receive Data Register (UART\_RXD1)

### D[7:0] RXD[7:0]: Receive Data

受信データバッファのデータが古いものから順に読み出せます。受信したデータは受信データバッファに入ります。受信データバッファは2バイトのFIFOで、これが満杯になるまでは、読み出しを行わなくても正しく受信できます。バッファが満杯でシフトレジスタにもデータが受信されている状態では、次の受信が始まるまでにデータを読み出さないとオーバーランエラーになります。

受信回路にはRDRY(D1/UART\_STxレジスタ)とRD2B(D3/UART\_STxレジスタ)の2つの受信バッファステータスフラグが用意されています。RDRYフラグは受信データバッファ内に有効な受信データが存在することを示し、RD2Bフラグは受信データバッファに2個の受信データがあることを示します。

受信データバッファ内の受信データがRBF1(D1/UART\_CTLxレジスタ)で指定した数になると、受信バッファフル割り込み要因が発生します。

7ビットモードでは、RXD7に0がロードされます。

SINx端子から入力されたシリアルデータは先頭をLSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、受信データバッファにロードされます。

このレジスタは読み出し専用で、書き込みは行えません。(デフォルト: 0x0)

## 0x4103/0x4123: UART Ch.x Mode Registers (UART\_MODx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
UART Ch.x Mode Register (UART_MODx)	0x4103 0x4123 (8 bits)	D7-5	—	reserved	—		—	—	0 when being read.
		D4	<b>CHLN</b>	Character length	1	8 bits	0	7 bits	0 R/W
		D3	<b>PREN</b>	Parity enable	1	With parity	0	No parity	0 R/W
		D2	<b>PMD</b>	Parity mode select	1	Odd	0	Even	0 R/W
		D1	<b>STPB</b>	Stop bit select	1	2 bits	0	1 bit	0 R/W
		D0	<b>SSCK</b>	Input clock select	1	External	0	Internal	0 R/W

注: レジスタ名などの‘x’はチャンネル番号の0または1を表します。

0x4103: UART Ch.0 Mode Register (UART\_MOD0)

0x4123: UART Ch.1 Mode Register (UART\_MOD1)

### D[7:5] Reserved

#### D4 **CHLN: Character Length Select Bit**

シリアル転送データのデータ長を選択します。

1(R/W): 8ビット

0(R/W): 7ビット(デフォルト)

#### D3 **PREN: Parity Enable Bit**

パリティ機能を有効にします。

1(R/W): パリティ付き

0(R/W): パリティなし(デフォルト)

PRENによって、受信データのパリティチェック、および送信データへのパリティビットの付加を行うかどうかを選択します。PRENを1に設定すると、受信データはパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。PRENを0に設定した場合はパリティビットのチェックおよび付加は行われません。

#### D2 **PMD: Parity Mode Select Bit**

パリティモードを選択します。

1(R/W): 奇数パリティ

0(R/W): 偶数パリティ(デフォルト)

PMDに1を書き込むと奇数パリティが選択され、0を書き込むと偶数パリティが選択されます。パリティチェックおよびパリティビットの付加はPREN(D3)が1に設定されている場合にのみ有効で、PREN(D3)が0の場合、PMDの設定は無効となります。

#### D1 **STPB: Stop Bit Select Bit**

ストップビット長を選択します。

1(R/W): 2ビット

0(R/W): 1ビット(デフォルト)

STPBに1を書き込むとストップビットが2ビットに、0を書き込むと1ビットになります。スタートビットは1ビットに固定です。

#### D0 **SSCK: Input Clock Select Bit**

入力クロックを選択します。

1(R/W): 外部クロック(SCLK<sub>x</sub>)

0(R/W): 内部クロック(デフォルト)

内部クロック(8ビットタイマ出力クロック)を使用するか、外部クロック(SCLK<sub>x</sub>端子から入力)を使用するかを選択します。SSCKに1を書き込むと外部クロック、0を書き込むと内部クロックが選択されます。

## 0x4104/0x4124: UART Ch.x Control Registers (UART\_CTLx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Ch.x Control Register (UART_CTLx)	0x4104 0x4124 (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6	<b>REIEN</b>	Receive error int. enable	1 Enable 0 Disable	0	R/W	
		D5	<b>RIEN</b>	Receive buffer full int. enable	1 Enable 0 Disable	0	R/W	
		D4	<b>TIEN</b>	Transmit buffer empty int. enable	1 Enable 0 Disable	0	R/W	
		D3–2	—	reserved	—	—	—	0 when being read.
		D1	<b>RBFI</b>	Receive buffer full int. condition	1 2 bytes 0 1 byte	0	R/W	
		D0	<b>RXEN</b>	UART enable	1 Enable 0 Disable	0	R/W	

注: レジスタ名などの‘x’はチャンネル番号の0または1を表します。

0x4104: UART Ch.0 Control Register (UART\_CTL0)

0x4124: UART Ch.1 Control Register (UART\_CTL1)

### D7 Reserved

### D6 **REIEN: Receive Error Interrupt Enable Bit**

受信エラー発生時のITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

受信エラーを割り込みによって処理する場合は、このビットを1に設定してください。

### D5 **RIEN: Receive Buffer Full Interrupt Enable Bit**

受信データバッファの受信データ数がRBFI(D1)の指定値になったことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

受信データを割り込みによって読み出す場合は、このビットを1に設定してください。

### D4 **TIEN: Transmit Buffer Empty Interrupt Enable Bit**

送信データバッファの送信データがシフトレジスタに送られた(データ送信を開始した)ことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

送信データバッファへのデータ書き込みを割り込みによって行う場合は、このビットを1に設定してください。

### D[3:2] Reserved

### D1 **RBFI: Receive Buffer Full Interrupt Condition Setup Bit**

受信バッファフル割り込みを発生させる、受信バッファ内のデータ数を設定します。

1(R/W): 2バイト

0(R/W): 1バイト(デフォルト)

受信バッファフル割り込みが許可されている場合(RIEN = 1)、RBFIで指定されている数の受信データが受信データバッファにロードされると、UARTは割り込み要求をITCに出力します。RBFIビットが0の場合、1個の受信データが受信データバッファにロードされた(RDRYフラグ(D1/UART\_STxレジスタ)が1にセットされた)時点で割り込み要求が出力されます。RBFIが1の場合、2個の受信データが受信データバッファにロードされた(RD2Bフラグ(D3/UART\_STxレジスタ)が1にセットされた)時点で割り込み要求が出力されます。

### D0 **RXEN: UART Enable Bit**

UARTによるデータ送受信を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

UARTで送受信を始める前にRXENを1に設定してください。RXENを0に設定するとデータ送受信が禁止されます。転送条件の設定は、RXENが0の状態で行ってください。

RXENに0を書き込んで送受信を禁止すると、送信データバッファもクリアされます。

# 0x4105/0x4125: UART Ch.x Expansion Registers (UART\_EXPx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
UART Ch.x Expansion Register (UART_EXPx)	0x4105 0x4125 (8 bits)	D7	—	reserved	—		—	—	0 when being read.
		D6–4	IRCLK[2:0]	IrDA receive detection clock select	IRCLK[2:0] Clock		0x0	R/W	
					0x7	PCLK•1/128			
					0x6	PCLK•1/64			
					0x5	PCLK•1/32			
					0x4	PCLK•1/16			
					0x3	PCLK•1/8			
					0x2	PCLK•1/4			
					0x1	PCLK•1/2			
					0x0	PCLK•1/1			
D3–1	—	reserved	—		—	—	0 when being read.		
D0	IRMD	IrDA mode select	1 On	0 Off	0	R/W			

注: レジスタ名などの‘x’はチャンネル番号の0または1を表します。

0x4105: UART Ch.0 Expansion Register (UART\_EXP0)

0x4125: UART Ch.1 Expansion Register (UART\_EXP1)

## D7 Reserved

### D[6:4] IRCLK[2:0]: IrDA Receive Detection Clock Select Bits

IrDA入力パルス検出クロックとして使用するプリスケアラ出力クロックを選択します。

表18.9.2 IrDA受信検出クロックの選択

IRCLK[2:0]	プリスケアラ出力クロック
0x7	PCLK•1/128
0x6	PCLK•1/64
0x5	PCLK•1/32
0x4	PCLK•1/16
0x3	PCLK•1/8
0x2	PCLK•1/4
0x1	PCLK•1/2
0x0	PCLK•1/1

(デフォルト: 0x0)

このクロックには、8ビットタイマまたはSCLK<sub>x</sub>端子から入力される転送クロックsclkよりも高速なクロックを選択する必要があります。

復調回路はIrDA受信検出クロックの2サイクル以上の幅を持つLowパルスを有効と見なします。最小1.41μs幅の入力パルスが検出できるように、適切なプリスケアラ出力クロックを選択してください。

## D[3:1] Reserved

### D0 IRMD: IrDA Mode Select Bit

IrDAインタフェース機能をOn/Offします。

1 (R/W): On

0 (R/W): Off(デフォルト)

IrDAインタフェースを使用する場合に1に設定します。0に設定すると、本モジュールはIrDA機能のない通常のUARTとして機能します。

## 18.10 注意事項

---

- UARTの以下のビットは、送受信禁止の状態(RXEN = 0)で設定してください。
  - UART\_MOD $x$ レジスタ(0x4103/0x4123)のビットすべて(SSCK, STPB, PMD, PREN, CHLN)
  - UART\_CTL $x$ レジスタの RBFIビット
  - UART\_EXP $x$ レジスタ(0x4105/0x4125)のビットすべて(IRMD, IRCLK[2:0])

\* **RXEN**: UART Enable Bit in the UART Ch. $x$  Control (UART\_CTL $x$ ) Register (D0/0x4104/0x4124)
- UARTが送信または受信中は、RXENを0に設定しないでください。
- UARTの転送レートは最大460800bpsに制限されています。これ以上の転送レートは設定しないでください。
- RXENを0に設定して送受信を禁止すると、送信データバッファがクリア(初期化)されます。RXENに0を書き込む前に、バッファ内に送信待ちのデータが残っていないことを確認してください。
- IrDA受信検出クロックには、8ビットタイマまたはSCLK $x$ 端子から入力される転送クロックsclkよりも高速なクロックを選択する必要があります。
- IrDAインタフェースの復調回路はIrDA受信検出クロックの2サイクル以上の幅を持つLowパルスを有効と見なします。最小1.41 $\mu$ s幅の入力パルスが検出できるように、適切なプリスケアラ出力クロックをIrDA受信検出クロックとして選択してください。

# 19 SPI

## 19.1 SPIの構成

S1C17003は同期式シリアルインタフェースモジュール(以降SPI)を内蔵しています。このSPIモジュールはマスタおよびスレーブの両モードに対応し、8ビットのデータ転送を行います。データ転送のタイミング(クロックの位相と極性)は4種類から選択可能です。

シフトレジスタとは別に送信データバッファと受信データバッファを内蔵し、2種類の割り込み(送信バッファエンプティと受信バッファフル)を発生可能です。これにより、連続したシリアルデータ転送を割り込みによって簡潔に処理することができます。

図19.1.1にSPIモジュールの構造を示します。

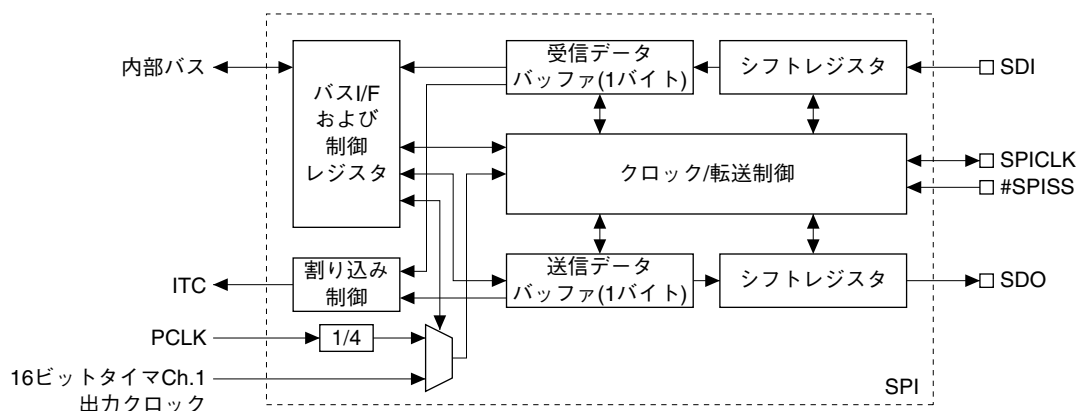


図19.1.1 SPIモジュールの構造

# 19.2 SPI入出力端子

表19.2.1にSPI端子の一覧を示します。

表19.2.1 SPI端子一覧

端子名	I/O	本数	機 能
SDI (P06)	I	1	SPIデータ入力端子 SPIバスからシリアルデータを入力します。
SDO (P05)	O	1	SPIデータ出力端子 シリアルデータをSPIバスに出力します。
SPICLK (P04)	I/O	1	SPI外部クロック入出力端子 本SPIがマスタモードの場合にSPIクロックを出力します。 本SPIをスレーブモードで使用する場合は外部クロックを入力します。
#SPISS (P07)	I	1	SPIスレーブ選択信号(アクティブLow)入力端子 この端子へのLow入力により、本SPI(スレーブモード)がスレーブデバイスとして選択されます。

SPIの入出力端子(SDI、SDO、SPICLK、#SPISS)は汎用入出力ポート端子(P06、P05、P04、P07)を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをSPIの入出力端子として使用するには、P0\_PMUXレジスタの設定により機能を切り換える必要があります。以下の制御ビットを1に設定して、端子をSPI用に切り換えてください。

P06 → SDI

\* **P06MUX**: P06 Port Function Select Bit in the P0 Port Function Select (P0\_PMUX) Register (D4/0x52a1)

P05 → SDO

\* **P05MUX**: P05 Port Function Select Bit in the P0 Port Function Select (P0\_PMUX) Register (D2/0x52a1)

P04 → SPICLK

\* **P04MUX**: P04 Port Function Select Bit in the P0 Port Function Select (P0\_PMUX) Register (D0/0x52a1)

P07 → #SPISS

\* **P07MUX**: P07 Port Function Select Bit in the P0 Port Function Select (P0\_PMUX) Register (D6/0x52a1)

端子の機能と切り換えの詳細については、“10.2 入出力端子機能の選択(ポートMUX)”を参照してください。

## 19.3 SPIクロック

マスタモードのSPIは、16ビットタイマCh.1が出力するクロックまたはPCLK・1/4のクロックを使用してSPIクロックを生成します。このクロックはシフトレジスタを駆動すると共に、SPICLK端子からスレーブデバイスへ出力されます。

16ビットタイマCh.1出力クロックとPCLK・1/4クロックのどちらを使用するかについてはMCLK(D9/SPI\_CTLレジスタ)で選択します。MCLKを1に設定すると16ビットタイマCh.1出力クロック、0に設定するとPCLK・1/4クロックが選択されます。

\* **MCLK**: SPI Clock Source Select Bit in the SPI Control (SPI\_CTL) Register (D9/0x4326)

16ビットタイマCh.1を使用すると、転送レートをプログラマブルに設定できます。16ビットタイマの制御については、“11 16ビットタイマ(T16)”を参照してください。

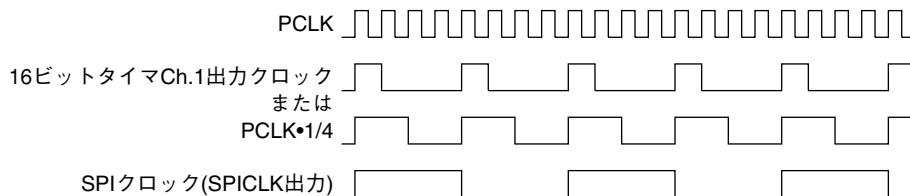


図19.3.1 マスタモードのSPIクロック

スレーブモードでは、SPICLK端子からSPIクロックを入力します。

注: SPICLK端子から入力するクロックのデューティ比は50%である必要があります。

## 19.4 データ転送条件の設定

SPIモジュールはマスタモードまたはスレーブモードに設定できます。また、SPIクロックの極性と位相、ビット方向(MSB先頭/LSB先頭)をSPI\_CTLレジスタで設定可能です。データ長は8ビットに固定されています。

注: マスタ/スレーブモードの選択およびクロック条件の設定は、SPIモジュールが停止中(SPEN/SPI\_CTLレジスタ = 0)に行ってください。

\* **SPEN**: SPI Enable Bit in the SPI Control (SPI\_CTL) Register (D0/0x4326)

### マスタ/スレーブモードの選択

MSSL(D1/SPI\_CTLレジスタ)を使用して、SPIモジュールをマスタモードまたはスレーブモードに設定します。MSSLを1に設定するとマスタモード、0(デフォルト)に設定するとスレーブモードになります。マスタモードでは、内部クロックを使用してデータ転送を行います。スレーブモードでは、マスタデバイスのクロックを入力してデータ転送を行います。

\* **MSSL**: Master/Slave Mode Select Bit in the SPI Control (SPI\_CTL) Register (D1/0x4326)

### SPIクロック極性と位相の設定

SPIクロックの極性は、CPOL(D2/SPI\_CTLレジスタ)で選択します。CPOLを1に設定するとSPIクロックはアクティブLow、0(デフォルト)に設定するとアクティブHighと見なされます。

\* **CPOL**: Clock Polarity Select Bit in the SPI Control (SPI\_CTL) Register (D2/0x4326)

SPIクロックの位相はCPHA(D3/SPI\_CTLレジスタ)で選択します。

\* **CPHA**: Clock Phase Select Bit in the SPI Control (SPI\_CTL) Register (D3/0x4326)

これらの制御ビットにより、転送タイミングは下図のように設定されます。

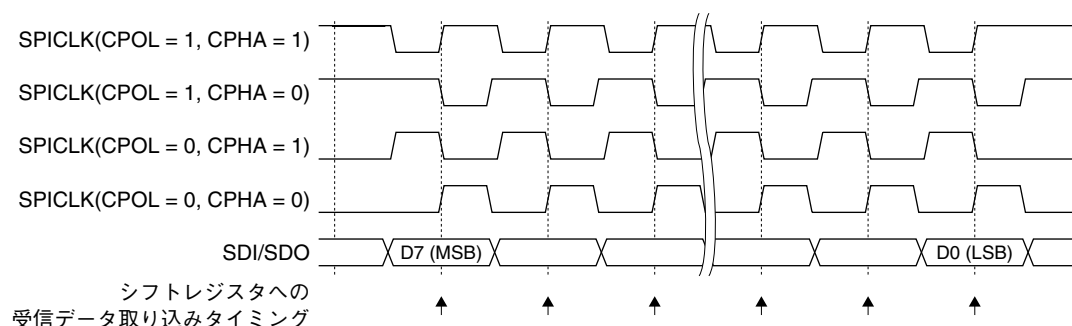


図19.4.1 クロックとデータ転送タイミング

### MSB先頭/LSB先頭の設定

データのMSBとLSBのどちらを先に入出力するか、MLSB(D8/SPI\_CTLレジスタ)で選択します。MLSBが0(デフォルト)の場合はMSB先頭、1に設定するとLSB先頭になります。

\* **MLSB**: LSB/MSB First Mode Select Bit in the SPI Control (SPI\_CTL) Register (D8/0x4326)

注: SPIをマスタモードかつCPHA = 0の設定で使用する場合、送信データ1ビット目の変化からクロックの変化までが最短でシステムクロックの1周期の長さになる場合があります。

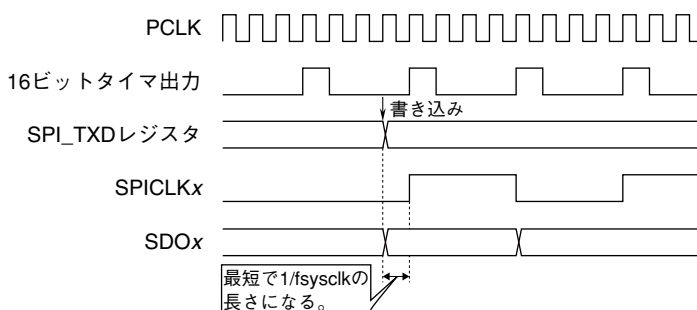


図19.4.1 CPHA = 0 時のSDOxおよびSPICLKxの変化タイミング

送信データの2ビット目以降および連続転送時の2バイト目以降については、データの変化からクロックの変化まではSPICLKx半周期の長さが確保されます。

## 19.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) SPIクロックが出力されるように16ビットタイマCh.1を設定します。11章を参照してください。
- (2) マスタモードまたはスレーブモードを選択します。19.4節を参照してください。
- (3) クロック条件を設定します。19.4節を参照してください。
- (4) SPI割り込みを使用する場合は、割り込み条件を設定します。19.6節を参照してください。

注: 上記の設定は、必ずSPIが停止中 (SPEN/SPI\_CTLレジスタ = 0) に行ってください。

\* **SPEN**: SPI Enable Bit in the SPI Control (SPI\_CTL) Register (D0/0x4326)

### データ送受信を許可

最初にSPEN(D0/SPI\_CTLレジスタ)を1に設定してSPIの動作を許可します。これにより、SPIが送受信可能な状態となり、クロックの入出力も許可されます。

注: SPIモジュールが送受信中はSPENを0に設定しないでください。

### データ送信制御

送信を開始するには、SPI\_TXDレジスタ(0x4322)に送信データを書き込みます。

\* **SPI\_TXD**: SPI Transmit Data Register (0x4322)

データは送信データバッファに書き込まれ、SPIモジュールはデータ送信を開始します。バッファのデータは送信用シフトレジスタに送られます。マスタモードでは、SPICLK端子からクロックの出力を開始します。スレーブモードではSPICLK端子からのクロック入力を待ちます。シフトレジスタ内のデータはCPHA(D3/SPI\_CTLレジスタ)とCPOL(D2/SPI\_CTLレジスタ)で決まるクロックの立ち上がりまたは立ち下がりエッジで順次シフトされ(図19.4.1参照)、SDO端子から送信されます。

\* **CPHA**: Clock Phase Select Bit in the SPI Control (SPI\_CTL) Register (D3/0x4326)

\* **CPOL**: Clock Polarity Select Bit in the SPI Control (SPI\_CTL) Register (D2/0x4326)

SPIモジュールには送信の制御用にSPTBE(D0/SPI\_STレジスタ)とSPBSY(D2/SPI\_STレジスタ)の2つのステータスフラグが用意されています。

\* **SPTBE**: Transmit Data Buffer Empty Flag in the SPI Status (SPI\_ST) Register (D0/0x4320)

\* **SPBSY**: Transfer Busy Flag in the SPI Status (SPI\_ST) Register (D2/0x4320)

SPTBEフラグは送信データバッファの状態を示します。このフラグはアプリケーションプログラムがSPI\_TXDレジスタ(送信データバッファ)にデータを書き込むと0になり、バッファのデータが送信用シフトレジスタに送られると1に戻ります。このフラグが1になった時点で割り込みを発生させることができます(19.6節参照)。この割り込みを利用するか、SPTBEフラグの読み出しによって送信データバッファが空であることを確認し、次のデータ送信を行います。送信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、1つ前のデータを送信中に、データの書き込みが行えます。ただし、送信データを書き込む前に、送信データバッファが空になっていることを

確認してください。SPTBEフラグが0の場合にデータを書き込むと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。

マスタモード時、SPBSYフラグはシフトレジスタの状態を示します。このフラグは送信データが送信データバッファからシフトレジスタにロードされると1になり、データ送信が完了すると0に戻ります。SPIモジュールが動作中か待機中かについては、このフラグを読み出して確認してください。スレーブモードのSPBSYフラグはSPIスレーブ選択信号(#SPISS端子)の状態を示します。本SPIモジュールがスレーブとして選択されている場合に1となり、非選択状態では0になります。

## データ受信制御

マスタモードの場合、ダミーデータをSPI\_TXDレジスタ(0x4322)に書き込みます。SPI\_TXDレジスタへの書き込みは、送信の開始だけではなく受信のトリガにもなります。実際の送信データを書き込んで送受信を同時に行うことも可能です。

これにより、SPICLKからSPIクロック出力を開始します。

スレーブモードの場合は、SPICLKからクロックが入力されるまで待機します。スレーブモードで受信のみを行い、送信が不要の場合はSPI\_TXDレジスタへの書き込み操作は必要ありません。受信動作はマスタデバイスからのクロック入力により開始します。送受信を同時に行う場合は、クロックが入力される前に送信データをSPI\_TXDレジスタに書き込んでおきます。

データは、CPHA(D3/SPI\_CTLレジスタ)とCPOL(D2/SPI\_CTLレジスタ)で決まるクロックの立ち上がりまたは立ち下がりエッジで順次シフトレジスタに取り込まれます(図19.4.1参照)。8ビットのデータをシフトレジスタに受信し終わると、受信データは受信データバッファにロードされます。

バッファ内の受信データはSPI\_RXDレジスタ(0x4324)から読み出すことができます。

\* **SPI\_RXD**: SPI Receive Data Register (0x4324)

SPIモジュールには受信の制御用にSPRBFフラグ(D1/SPI\_STレジスタ)が用意されています。

\* **SPRBF**: Receive Data Buffer Full Flag in the SPI Status (SPI\_ST) Register (D1/0x4320)

SPRBFフラグは受信データバッファの状態を示します。このフラグはシフトレジスタに受信したデータが受信データバッファにロードされると1になり、受信データが読み出せることを示します。バッファのデータがSPI\_RXDレジスタから読み出されると0に戻ります。このフラグが1になった時点で割り込みを発生させることができます(19.6節参照)。この割り込みを利用するか、SPRBFフラグの読み出しによって受信データバッファに有効な受信データがあることを確認し、受信データを読み出してください。受信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、次のデータを受信中も、バッファ内の受信データは保持されます。ただし、次のデータ受信が終了する前に受信データバッファを読み出してください。受信データバッファを読み出す前に次の受信が終了すると、バッファ内の1つ前の受信データは新たな受信データで上書きされてしまいます。

マスタモードでは、シフトレジスタの状態を示すSPBSYフラグが、データ送信時と同様に使用可能です。

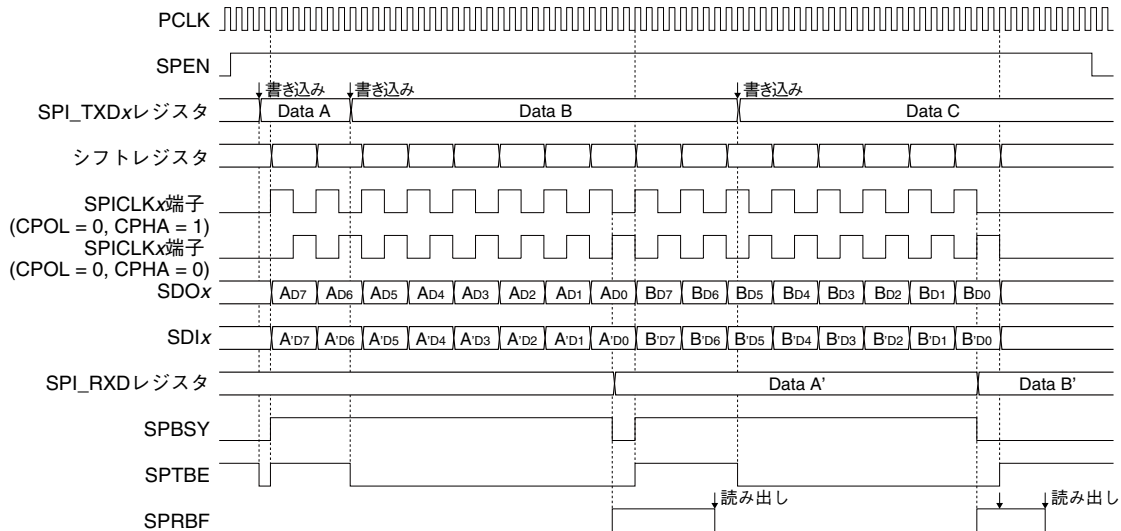


図19.5.1 データ送受信タイミングチャート (MSB先頭)

### データ送受信を禁止

データ転送(送信と受信の両方)を終了後は、SPENビットに0を書き込んでデータ送受信を禁止します。ただし、データ送受信を禁止する前に、SPTBEフラグが1、SPBSYフラグが0になっていることを確認してください。

データの送受信中にSPENを0に設定した場合、転送中のデータは保証されません。

## 19.6 SPI割り込み

SPIモジュールには、以下の2種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 受信バッファフル割り込み

SPIモジュールは、上記2種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、ステータスフラグを読み出してください。

### 送信バッファエンプティ割り込み

この割り込みを使用するには、SPTIE(D4/SPI\_CTLレジスタ)を1に設定します。SPTIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

\* **SPTIE**: Transmit Data Buffer Empty Interrupt Enable Bit in the SPI Control (SPI\_CTL) Register (D4/0x4326)

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、SPIモジュールはSPTBEビット(D0/SPI\_STレジスタ)を1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(SPTIE = 1)、これと同時に割り込み要求がITCに出力されます。

\* **SPTBE**: Transmit Data Buffer Empty Flag in the SPI Status (SPI\_ST) Register (D0/0x4320)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

SPI割り込みが送信バッファエンプティによるものかどうかについては、SPI割り込み処理ルーチンでSPTBEフラグを読み出して確認してください。SPTBEが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

### 受信バッファフル割り込み

この割り込みを使用するには、SPRIE(D5/SPI\_CTLレジスタ)を1に設定します。SPRIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

\* **SPRIE**: Receive Data Buffer Full Interrupt Enable Bit in the SPI Control (SPI\_CTL) Register (D5/0x4326)

シフトレジスタに受信したデータが受信データバッファにロードされると、SPIモジュールはSPRBFビット(D1/SPI\_STレジスタ)を1にセットして、受信データバッファに読み出し可能な受信データがあることを示します。受信バッファフル割り込みが許可されていれば(SPRIE = 1)、これと同時に割り込み要求がITCに出力されます。

\* **SPRBF**: Receive Data Buffer Full Flag in the SPI Status (SPI\_ST) Register (D1/0x4320)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

SPI割り込みが受信バッファフルによるものかどうかについては、SPI割り込み処理ルーチンでSPRBFフラグを読み出して確認してください。SPRBFが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。

### 割り込みベクタ

SPI割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号: 18(0x12)

ベクタアドレス: TTBR + 0x48

### その他の割り込み設定

ITCではSPI割り込みの優先順位をレベル0(デフォルト)～レベル7に設定可能です。また、実際に割り込みを発生させるにはPSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットを1に設定しておく必要があります。

割り込み処理の詳細については、“6 割り込みコントローラ(ITC)”を参照してください。

# 19.7 制御レジスタ詳細

表19.7.1 SPIレジスタ一覧

アドレス	レジスタ名		機 能
0x4320	SPI_ST	SPI Status Register	転送、バッファステータスの表示
0x4322	SPI_TXD	SPI Transmit Data Register	送信データ
0x4324	SPI_RXD	SPI Receive Data Register	受信データ
0x4326	SPI_CTL	SPI Control Register	SPIモードとデータ転送許可の設定

以下、SPIのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: • レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

## 0x4320: SPI Status Register (SPI\_ST)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
SPI Status Register (SPI_ST)	0x4320 (16 bits)	D15-3	—	reserved	—		—	—	0 when being read.	
		D2	SPBSY	Transfer busy flag (master)	1	Busy	0	Idle	0	R
				ss signal low flag (slave)	1	ss = L	0	ss = H		
		D1	SPRBF	Receive data buffer full flag	1	Full	0	Not full		
		D0	SPTBE	Transmit data buffer empty flag	1	Empty	0	Not empty		

### D[15:3] Reserved

#### D2 SPBSY: Transfer Busy Flag (Master Mode)/ss Signal Low Flag (Slave Mode)

##### マスタモード

SPIの送受信動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

SPBSYはSPIがマスタモードで送受信を開始すると1にセットされ、送受信中は1を保持します。送受信動作が終了すると、0にクリアされます。

##### スレーブモード

スレーブ選択(#SPISS)信号の状態を示します。

1(R): Lowレベル(本SPIが選択状態)

0(R): Highレベル(本SPIは非選択状態) (デフォルト)

SPBSYは、マスタデバイスが本SPIモジュール(スレーブデバイス)を選択するために#SPISS信号をアクティブにすると1にセットされます。マスタデバイスが#SPISS信号をインアクティブとして本SPIモジュールの選択を解除すると0に戻ります。

#### D1 SPRBF: Receive Data Buffer Full Flag

受信データバッファの状態を示します。

1(R): データフル

0(R): データなし(デフォルト)

SPRBFはシフトレジスタに受信したデータが受信データバッファに転送されると(受信が完了すると)1となり、そのデータが読み出し可能であることを示します。バッファのデータがSPI\_RXDレジスタ(0x4324)から読み出されると0に戻ります。

#### D0 SPTBE: Transmit Data Buffer Empty Flag

送信データバッファの状態を示します。

1(R): エンプティ(デフォルト)

0(R): データあり

SPTBEはSPI\_TXDレジスタ(送信データバッファ、0x4322)に送信データが書き込まれると0となり、そのデータがシフトレジスタに転送されると(送信を開始すると)1となります。

SPI\_TXDレジスタへの送信データの書き込みは、このビットが1の場合に行います。

## 0x4322: SPI Transmit Data Register (SPI\_TXD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI Transmit Data Register (SPI_TXD)	0x4322 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SPTDB[7:0]	SPI transmit data buffer SPTDB7 = MSB SPTDB0 = LSB	0x0 to 0xff	0x0	R/W	

### D[15:8] Reserved

### D[7:0] SPTDB[7:0]: SPI Transmit Data Buffer Bits

送信データバッファに書き込む送信データを設定します。(デフォルト: 0x0)

マスタモードでは、このレジスタにデータを書き込むことにより送信を開始します。スレーブモードでは、マスタからクロックが入力されるとこのレジスタの内容がシフトレジスタに送られ、送信を開始します。

このレジスタに書き込んだデータがシフトレジスタに転送された時点で、SPTBE(D0/SPI\_STレジスタ)が1(エンプティ)にセットされます。同時に送信バッファエンプティ割り込み要因も発生します。それ以降であれば、データの送信中であっても次の送信データを書き込むことができます。

SDO端子からはシリアル変換されたデータがMSBを先頭に、1に設定されたビットがHighレベル、0に設定されたビットがLowレベルとして出力されます。

注: データの送受信を行う場合、SPI\_TXDへの書き込みはSPENを1に設定した後に行ってください。

# 0x4324: SPI Receive Data Register (SPI\_RXD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI Receive Data Register (SPI_RXD)	0x4324 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SPRDB[7:0]	SPI receive data buffer SPRDB7 = MSB SPRDB0 = LSB	0x0 to 0xff	0x0	R	

**D[15:8]    Reserved**

## D[7:0]    SPRDB[7:0]: SPI Receive Data Buffer Bits

受信データが格納されます。(デフォルト: 0x0)

受信が終了し、シフトレジスタのデータが受信データバッファに転送された時点でSPRBF(D1/SPI\_STレジスタ)が1(データフル)にセットされます。同時に受信バッファフル割り込み要因も発生します。これ以降、次のデータの受信を終了するまで、データの読み出しが可能です。このレジスタを読み出す前に次の受信を終了した場合は、新たな受信データで上書きされます。SDI端子から入力されたシリアルデータは先頭をMSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。

このレジスタは読み出し専用で、書き込みは行えません。

## 0x4326: SPI Control Register (SPI\_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI Control Register (SPI_CTL)	0x4326 (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.
		D9	<b>MCLK</b>	SPI clock source select	1 T16 Ch.1 0 PCLK•1/4	0	R/W	
		D8	<b>MSLB</b>	LSB/MSB first mode select	1 LSB 0 MSB	0	R/W	
		D7–6	–	reserved	–	–	–	0 when being read.
		D5	<b>SPRIE</b>	Receive data buffer full int. enable	1 Enable 0 Disable	0	R/W	
		D4	<b>SPTIE</b>	Transmit data buffer empty int. enable	1 Enable 0 Disable	0	R/W	
		D3	<b>CPHA</b>	Clock phase select	1 Data out 0 Data in	0	R/W	These bits must be set before setting SPEN to 1.
		D2	<b>CPOL</b>	Clock polarity select	1 Active L 0 Active H	0	R/W	
		D1	<b>MSSL</b>	Master/slave mode select	1 Master 0 Slave	0	R/W	
		D0	<b>SPEN</b>	SPI enable	1 Enable 0 Disable	0	R/W	

### D[15:10] Reserved

#### D9 **MCLK: SPI Clock Source Select Bit**

SPIクロックのソースを選択します。

1(R/W): 16ビットタイマCh.1

0(R/W): PCLK•1/4(デフォルト)

#### D8 **MSLB: LSB/MSB First Mode Select Bit**

データの送受信をMSB先頭で行うか、LSB先頭で行うか選択します。

1(R/W): LSB先頭

0(R/W): MSB先頭(デフォルト)

### D[7:6] Reserved

#### D5 **SPRIE: Receive Data Buffer Full Interrupt Enable Bit**

受信データバッファフルによるSPI割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPRIEを1に設定すると、受信データバッファフルによるSPI割り込み要求のITCへの出力を許可します。この割り込み要求は、シフトレジスタに受信したデータが受信データバッファに転送される(受信が完了する)ことにより発生します。

SPRIEを0に設定すると、受信データバッファフルによるSPI割り込みは発生しません。

#### D4 **SPTIE: Transmit Data Buffer Empty Interrupt Enable Bit**

送信データバッファエンプティによるSPI割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPTIEを1に設定すると、送信データバッファエンプティによるSPI割り込み要求のITCへの出力を許可します。この割り込み要求は、送信データバッファに書き込んだデータがシフトレジスタに転送される(送信を開始する)ことにより発生します。

SPTIEを0に設定すると、送信データバッファエンプティによるSPI割り込みは発生しません。

#### D3 **CPHA: SPI Clock Phase Select Bit**

SPIクロックの位相を選択します。(デフォルト: 0)

CPOL(D2)と共に、データ転送タイミングを設定します(図19.7.1参照)。

#### D2 **CPOL: SPI Clock Polarity Select Bit**

SPIクロックの極性を選択します。

1(R/W): アクティブLow

0(R/W): アクティブHigh(デフォルト)

CPHA(D3)と共に、データ転送タイミングを設定します(図19.7.1参照)。

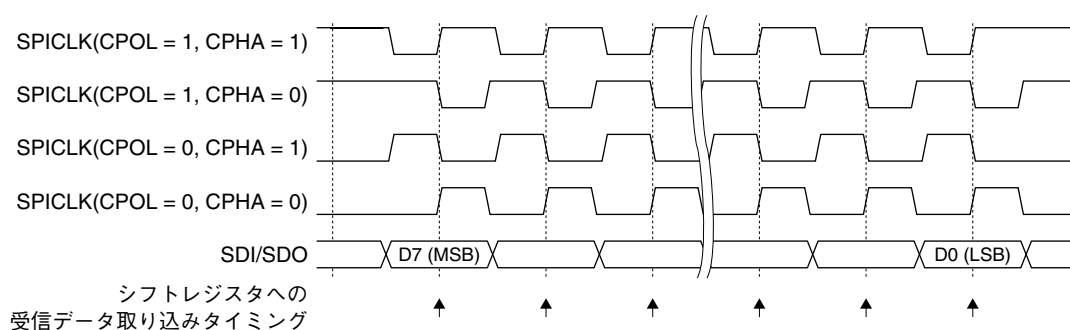


図19.7.1 クロックとデータ転送タイミング

**D1 MSSL: Master/Slave Mode Select Bit**

SPIモジュールをマスターモードまたはスレーブモードに設定します。

1(R/W): マスターモード

0(R/W): スレーブモード(デフォルト)

MSSLを1に設定するとマスターモード、0に設定するとスレーブモードになります。マスターモードでは、16ビットタイマCh.1で生成したクロックでデータ転送を行います。スレーブモードでは、マスターデバイスからクロックを入力してデータ転送を行います。

**D0 SPEN: SPI Enable Bit**

SPIモジュールの動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPENを1に設定するとSPIモジュールが動作を開始し、データ転送が行える状態になります。

SPENを0に設定すると、SPIモジュールは動作を停止します。

注: CPHA、CPOL、MSSLビットの設定は、SPENビットを0に設定して行ってください。

## 19.8 注意事項

---

- SPBSYフラグ(D2/SPI\_STレジスタ)が1の間およびSPRBFフラグ(D1/SPI\_STレジスタ)が1の間(データの送受信中)は、SPI\_CTLレジスタ(0x4326)にアクセスしないでください。
  - \* **SPBSY**: Transfer Busy Flag in the SPI Status (SPI\_ST) Register (D2/0x4320)
  - \* **SPRBF**: Receive Data Buffer Full Flag in the SPI Status (SPI\_ST) Register (D1/0x4320)
- SPIでデータの送受信を行っている最中にReadレジスタ(SPI\_ST、SPI\_RXD)に、Writeアクセスを行わないで下さい。

# 20 I<sup>2</sup>Cマスタ (I<sup>2</sup>CM)

## 20.1 I<sup>2</sup>Cマスタの構成

S1C17003は高速同期シリアル通信用に、I<sup>2</sup>Cバスインタフェースモジュールを内蔵しています。I<sup>2</sup>Cマスタモジュールは16ビットタイマCh.2から供給されるクロックを使用し、マスタデバイスとして動作します(シングルマスタとしてのみ使用可能です)。標準(100kbps)モードおよびファストモード(400kbps)、7ビット/10ビットスレーブアドレスモードに対応しています。また、データ転送の信頼性向上に役立つ、ノイズ除去機能が組み込まれています。

本モジュールは、2種類の割り込み(送信バッファエンプティと受信バッファフル割り込み)を発生可能で、連続したシリアルデータ転送を割り込みによって簡潔に処理することができます。

図20.1.1にI<sup>2</sup>Cマスタモジュールの構造を示します。

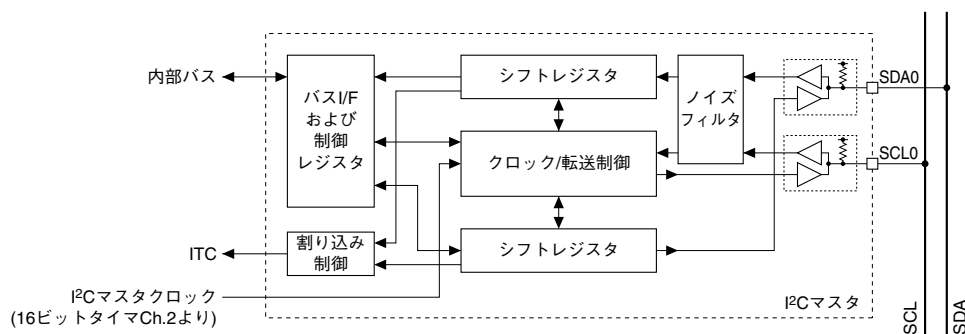


図20.1.1 I<sup>2</sup>Cマスタモジュールの構造

## 20.2 I<sup>2</sup>Cマスタ入出力端子

表20.2.1にI<sup>2</sup>Cマスタ端子の一覧を示します。

表20.2.1 I<sup>2</sup>Cマスタ端子一覧

端子名	I/O	本数	機 能
SDA0 (P32 or P34)	I/O	1	I <sup>2</sup> Cマスタデータ入出力端子 I <sup>2</sup> Cバスからシリアルデータを入力します。 また、シリアルデータをI <sup>2</sup> Cバスに出力します。
SCL0 (P31 or P33)	I/O	1	I <sup>2</sup> Cマスタクロック入出力端子 SCLラインの状態を入力します。 また、シリアルクロックを出力します。

I<sup>2</sup>Cマスタの入出力端子(SDA0、SCL0)は汎用入出力ポート端子(P32、P31又はP34、P33)を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをI<sup>2</sup>Cマスタの入出力端子として使用するには、P3\_PMUXレジスタの設定により機能を切り換える必要があります。以下の制御ビットを1に設定して、端子をI<sup>2</sup>Cマスタ用に切り換えてください。I<sup>2</sup>Cマスタは1chのみ内蔵ですので、SDA0(P32)、SCL0(P31)又はSDA0(P34)、SCL0(P33)のどちらかの組み合わせで使用してください。

P32 → SDA0

＊ **P32MUX**: P32 Port Function Select Bit in the P3 Port Function Select (P3\_PMUX) Register (D5-4/0x52a6)

P31 → SCL0

＊ **P31MUX**: P31 Port Function Select Bit in the P3 Port Function Select (P3\_PMUX) Register (D3-2/0x52a6)

P34 → SDA0

＊ **P34MUX**: P34 Port Function Select Bit in the P3 Port Function Select (P3\_PMUX) Register (D1-0/0x52a7)

P33 → SCL0

＊ **P33MUX**: P33 Port Function Select Bit in the P3 Port Function Select (P3\_PMUX) Register (D7-6/0x52a6)

端子の機能と切り換えの詳細については、“10.2 入出力端子機能の選択(ポートMUX)”を参照してください。

## 20.3 I<sup>2</sup>Cマスタクロック

---

I<sup>2</sup>Cマスタモジュールは、16ビットタイマCh.2が出力する内部クロックを同期クロックとして使用します。このクロックはシフトレジスタを駆動すると共に、SCL0端子からスレーブデバイスへ出力されます。16ビットタイマCh.2から転送レートに合ったクロックが出力されるようにプログラムしてください。16ビットタイマの制御については、“11 16ビットタイマ(T16)”を参照してください。

なお、クロックストレッチを行うスレーブデバイスと通信を行う場合、対応する転送レートは標準モード時に50kbps、ファストモード時に200kbpsまでになりますので、ご注意ください。

I<sup>2</sup>Cマスタモジュールはスレーブデバイスとしては機能しません。SCL0入力端子はI<sup>2</sup>CバスのSCL信号の状態チェックに使用され、同期クロックの入力用には使用されません。

## 20.4 データ転送前の設定項目

---

I<sup>2</sup>Cマスタモジュールには、アプリケーションプログラムから選択可能なノイズ除去のオプション機能があります。

### ノイズ除去機能

I<sup>2</sup>Cマスタモジュールには、SDA0およびSCL0端子の入力信号からノイズを除去する機能が組み込まれています。この機能は、NSERM(D4/I2C\_CTLレジスタ)を1に設定することにより有効となります。ただし、この機能を使用するには、I<sup>2</sup>Cマスタクロック(16ビットタイマCh.2出力クロック)周波数をPCLKの1/6以下に設定する必要があります。

\* **NSERM**: Noise Remove On/Off Bit in the I<sup>2</sup>C Control (I2C\_CTL) Register (D4/0x4342)

## 20.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) I<sup>2</sup>Cマスタクロックが出力されるように16ビットタイマCh.2を設定します。11章を参照してください。
- (2) オプション機能を選択します。20.4節を参照してください。
- (3) I<sup>2</sup>Cマスタ割り込みを使用する場合は、割り込み条件を設定します。20.6節を参照してください。

注: 上記の設定は、必ずI<sup>2</sup>Cモジュールが停止中(I2CEN/I2C\_ENレジスタ = 0)に行ってください。

\* I2CEN: I<sup>2</sup>C Enable Bit in the I<sup>2</sup>C Enable (I2C\_EN) Register (D0/0x4340)

### データ送受信を許可

最初にI2CEN(D0/I2C\_ENレジスタ)を1に設定してI<sup>2</sup>Cの動作を許可します。これにより、I<sup>2</sup>Cマスタが送受信可能な状態となり、クロックの出力も許可されます。

注: I<sup>2</sup>Cマスタモジュールが送受信中はI2CENを0に設定しないでください。

### データ送受信の開始

データの送受信を開始するには、I<sup>2</sup>Cマスタ(本モジュール)がスタートコンディションを生成する必要があります。それに引き続いてスレーブアドレスを送信し、通信を確立します。

#### (1) スタートコンディションの生成

SCLラインをHighに保った状態で、SDAラインをLowにすることがスタートコンディションです。

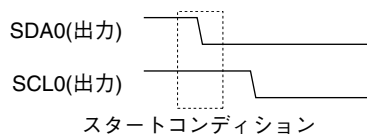


図20.5.1 スタートコンディション

スタートコンディションは、STRT(D0/I2C\_CTLレジスタ)を1に設定することで生成されます。

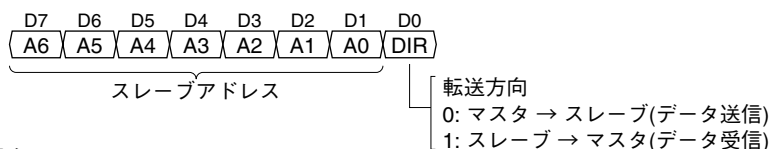
\* STRT: Start Control Bit in the I<sup>2</sup>C Control (I2C\_CTL) Register (D0/0x4342)

スタートコンディションが生成されると、STRTは自動的に0にリセットされます。これ以降、I<sup>2</sup>Cバスはビジー状態になります。

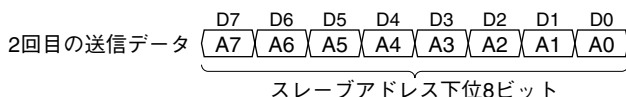
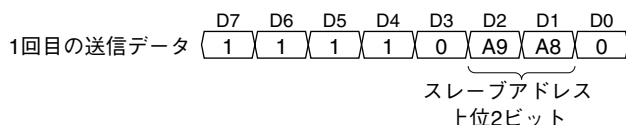
#### (2) スレーブアドレスの送信

スタートコンディションの生成後、I<sup>2</sup>Cマスタ(本モジュール)は通信を行うスレーブのアドレスと転送方向を示すビットを送信します。I<sup>2</sup>Cのスレーブアドレスには7ビットアドレスと10ビットアドレスの2種類があります。本モジュールは8ビットの送受信データレジスタを使用してスレーブアドレスと転送方向ビットを送信しますので、7ビットアドレスモードの場合は1回で送信可能です。10ビットの場合はソフトウェア制御により2回の送信を行います。アドレスデータの構成を図20.5.2に示します。

7ビットアドレスの場合



10ビットアドレスの場合



(データ受信時)

2回目の送信データ後、リピーテッドスタート発行し、以下3回目のデータを送信。

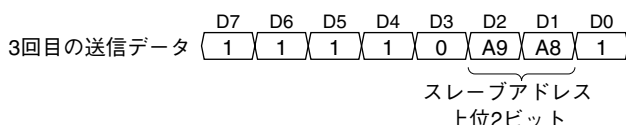


図20.5.2 スレーブアドレスと転送方向を指定する送信データ

転送方向ビットはスレーブアドレスに続くデータ転送の方向を示します。マスタからスレーブへのデータ送信時は転送方向ビットを0に、スレーブからのデータの受信時は1に設定します。スレーブアドレスを送信するには、送信アドレスをRTDT[7:0](D[7:0]/I2C\_DATレジスタ)に設定します。同時に、アドレスの送信を実行するTXE(D9/I2C\_DATレジスタ)を1に設定します。

\* **RTDT[7:0]**: Receive/Transmit Data Bits in the I<sup>2</sup>C Data (I2C\_DAT) Register (D[7:0]/0x4344)

\* **TXE**: Transmit Execution Bit in the I<sup>2</sup>C Data (I2C\_DAT) Register (D9/0x4344)

スレーブアドレス出力後は、データの送信またはデータの受信を必要な回数行います。スレーブアドレスと共に設定した転送方向のとおり、データ送信またはデータ受信を行う必要があります。

## データ送信制御

以下、データの送信方法を説明します。データの送信は、スレーブアドレスの送信と同様の手順で行います。

バイトデータを送信するには、送信データをRTDT[7:0](D[7:0]/I2C\_DATレジスタ)に設定します。同時に、1バイトの送信を実行するTXE(D9/I2C\_DATレジスタ)を1に設定します。

TXEビットが1に設定されると、I<sup>2</sup>Cマスタモジュールはクロックに同期してデータ送信を開始します。前のデータを送信中の場合は、その完了後に開始します。

まず、I<sup>2</sup>Cマスタモジュールは書き込まれたデータをシフトレジスタに転送し、SCL0からクロックの出力を開始します。この時点でTXEが0にリセットされると共に割り込み要因が発生しますので、この後、次の送信データとTXEの再設定を行うことができます。

シフトレジスタ内のデータビットはクロックの立ち下がりエッジで順次シフトされ、MSBを先頭にSDA0端子から出力されます。

I<sup>2</sup>Cマスタモジュールは1回のデータ送信に9個のクロックを出力します。9個目のクロックサイクルでは、SDA0信号をハイインピーダンスにしてスレーブデバイスからのACKまたはNAKを受信します。スレーブデバイスは、データを受信できた場合はマスタにACK(0)を返します。受信できなかったときはSDAラインがプルダウンされませんので、I<sup>2</sup>CマスタモジュールはこれをNAK(1)と見なします(送信失敗)。

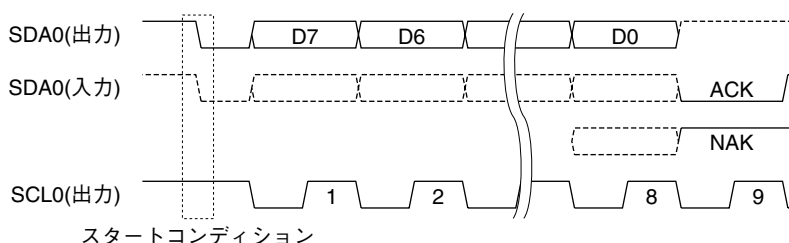


図20.5.3 ACKとNAK

I<sup>2</sup>Cマスタモジュールには送信の制御用にTBUSY(D8/I2C\_CTLレジスタ)とRTACK(D8/I2C\_DATレジスタ)の2つのステータスビットが用意されています。

\* **TBUSY**: Transmit Busy Flag in the I<sup>2</sup>C Control (I2C\_CTL) Register (D8/0x4342)

\* **RTACK**: Receive/Transmit ACK Bit in the I<sup>2</sup>C Data (I2C\_DAT) Register (D8/0x4344)

TBUSYフラグはデータ送信状態を示します。このフラグは送信(スレーブアドレスの送信も含む)を開始すると1になり、データ送信が終了すると0に戻ります。I<sup>2</sup>Cマスタモジュールが送信動作中か待機中かについては、このフラグを読み出して確認してください。

RTACKビットは、前回の送信時にスレーブデバイスがACKを返したかどうかを示します。ACKが返っていればRTACKは0、ACKが返っていなければRTACKは1となります。

## データ受信制御

以下、データの受信方法を説明します。データ受信の場合は、転送方向ビットを1としたスレーブアドレスを送信しておく必要があります。

データを受信するには、1バイトの受信を実行するRXE(D10/I2C\_DATレジスタ)を1に設定します。スレーブアドレス送信時にTXE(D9/I2C\_DATレジスタ)を1に設定しますが、そのとき同時にRXEを1に設定しておくことができます。TXEとRXEが両方共に1の場合はTXEが優先されます。

\* **RXE**: Receive Execution Bit in the I<sup>2</sup>C Data (I2C\_DAT) Register (D10/0x4344)

RXEビットが1に設定され、受信が開始できる状態になると、I<sup>2</sup>CマスタモジュールはSDAラインをハイインピーダンスにして、SCL0端子からクロックの出力を開始します。データはMSBを先頭に、クロックに同期して順次シフトレジスタに取り込まれます。

RXEはD7の取り込み時に0にリセットされます。

8ビットのデータをシフトレジスタに受信し終わると、受信データはRTDT[7:0]にロードされます。

I<sup>2</sup>Cマスタモジュールには受信の制御用にRBRDY(D11/I2C\_DATレジスタ)とRBUSY(D9/I2C\_CTLレジスタ)の2つのステータスビットが用意されています。

\* **RBRDY**: Receive Buffer Ready Bit in the I<sup>2</sup>C Data (I2C\_DAT) Register (D11/0x4344)

\* **RBUSY**: Receive Busy Flag in the I<sup>2</sup>C Control (I2C\_CTL) Register (D9/0x4342)

RBRDYフラグは受信データの状態を示します。このフラグはシフトレジスタに受信したデータがRTDT[7:0]にロードされると1になり、RTDT[7:0]から受信データが読み出されると0に戻ります。このフラグが1になった時点で割り込みを発生させることができます。

RBUSYフラグは受信動作状態を示します。このフラグは受信を開始すると1になり、データ受信が終了すると0に戻ります。I<sup>2</sup>Cマスタモジュールが受信動作中か待機中かについては、このフラグを読み出して確認してください。

ポーリングで受信待ちをする場合はRBUSYフラグを使用し、下記の手順で行ってください。

CPUへの割り込みを禁止する理由は、3と4の2つの状態遷移を確実にポーリングで確認するためです。

1. di命令でCPUを割り込み禁止状態にします。
2. RXEに1を書き込み、受信の準備をします。
3. RBUSYが1(受信開始)になるのを待ちます。
4. RBUSYが0(受信終了)になるのを待ちます。
5. RTDT(受信データ)を読み出します。
6. ei命令でCPUを割り込み許可状態に戻します。

I<sup>2</sup>Cマスタモジュールは1回のデータ受信に9個のクロックを出力します。9個目のクロックサイクルでは、SDA0端子からスレーブに対してACKまたはNAKを送信します。送信するビットの状態はRTACK(D8/I2C\_DATレジスタ)に設定可能です。ACKを送信するにはRTACKを0に設定します。NAKを送信するにはRTACKを1に設定します。

## データ送受信の終了(ストップコンディションの生成)

全データの送受信が終了した後、データ転送を終了するには、I<sup>2</sup>Cマスタ(本モジュール)がストップコンディションを生成する必要があります。SCLラインをHighに保った状態で、SDAラインをLowからHighにすることがストップコンディションとなります。



図20.5.4 ストップコンディション

ストップコンディションは、STP(D1/I2C\_CTLレジスタ)を1に設定して生成します。

**\* STP:** Stop Control Bit in the I<sup>2</sup>C Control (I2C\_CTL) Register (D1/0x4342)

STPを1に設定すると、I<sup>2</sup>CマスタモジュールはI<sup>2</sup>CバスのSCLラインをHighに保った状態でSDAラインをLowからHighにしてストップコンディションを生成します。これ以降I<sup>2</sup>Cバスは、フリー状態になります。STPの1への設定は、TBUSY = 1 または RBUSY = 1 から、TBUSY = RBUSY = 0 への遷移(I2CMモジュールのデータ送受信動作の完了)を確認し、さらに、設定している I<sup>2</sup>C のクロック周期の 1/4 より長い時間が経過した後に行ってください。また、クロックストレッチ機能を持つスレーブデバイスに対してストップコンディションを生成する場合は、データの送受信(ACK/NAK送受信も含む)が終了し、さらにスレーブデバイスがクロックストレッチを終了するまでの時間が経過した後に、STPへ1を書き込んでください。

ストップコンディションが生成されると、STPは自動的に0にリセットされます。

## データ送受信の継続(リピーテッドスタートコンディションの生成)

データの送受信が終了した後、さらに別の送受信を続けて行いたい場合などには、I<sup>2</sup>Cマスタ(本モジュール)でリピーテッドスタートコンディションを生成することが可能です。

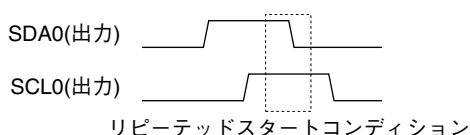


図20.5.5 リピーテッドスタートコンディション

リピーテッドスタートコンディションは、I<sup>2</sup>Cバスがビジー状態のときにSTRT(D0/I2C\_CTLレジスタ)を1に設定することで生成されます。

**\* STRT:** Start Control Bit in the I<sup>2</sup>C Control (I2C\_CTL) Register (D0/0x4342)

リピーテッドスタートコンディションが生成されると、STRTは自動的に0にリセットされます。これ以降、I<sup>2</sup>Cバスはビジー状態を保ったままスレーブアドレスの送信が可能な状態になります。

## データ送受信を禁止

ストップコンディションを生成した後は、I2CENビットに0を書き込んでデータ送受信を禁止します。ストップコンディション生成の完了は、STPを1に設定したのちに、0へ自動的にクリアされたことをポーリングすることにより、確認できます。

I<sup>2</sup>Cバスがビジー状態のときにI2CMENを0に設定した場合、SCL0、SDA0の出力レベル、および転送中のデータは保証されません。

## タイミングチャート

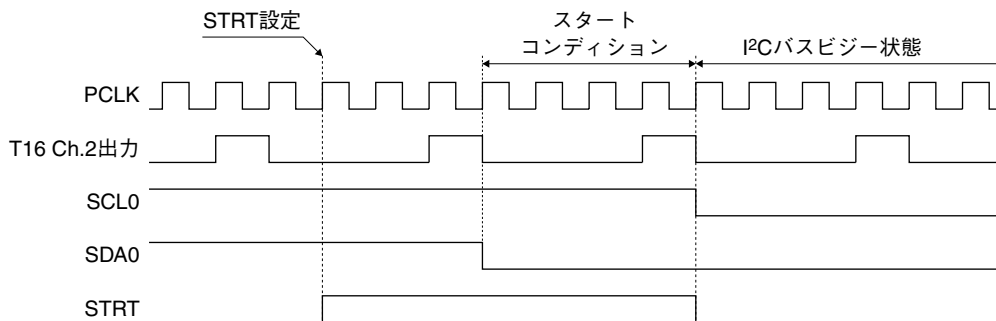


図20.5.6 スタートコンディショニング生成

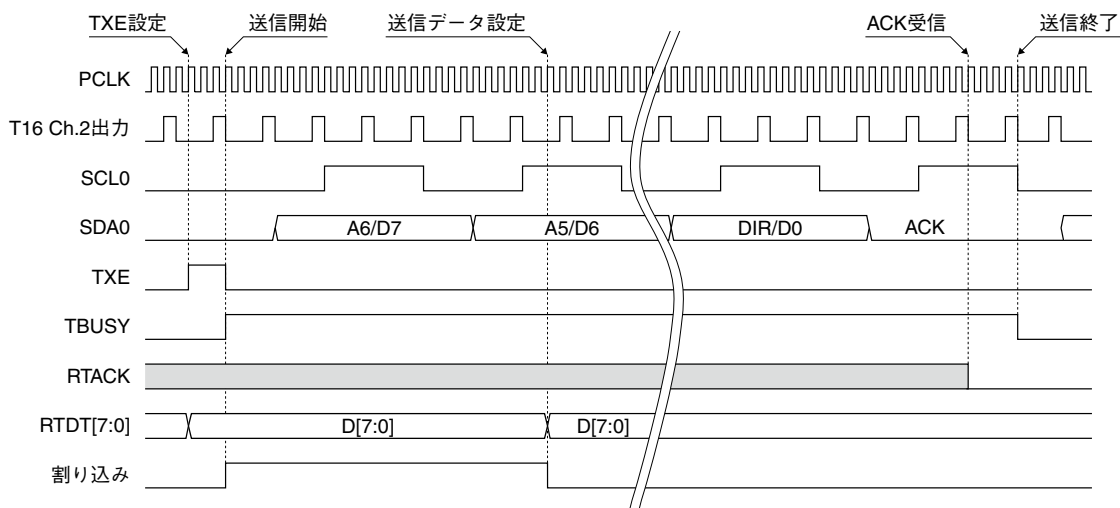


図20.5.7 スレーブアドレス送信 / データ送信

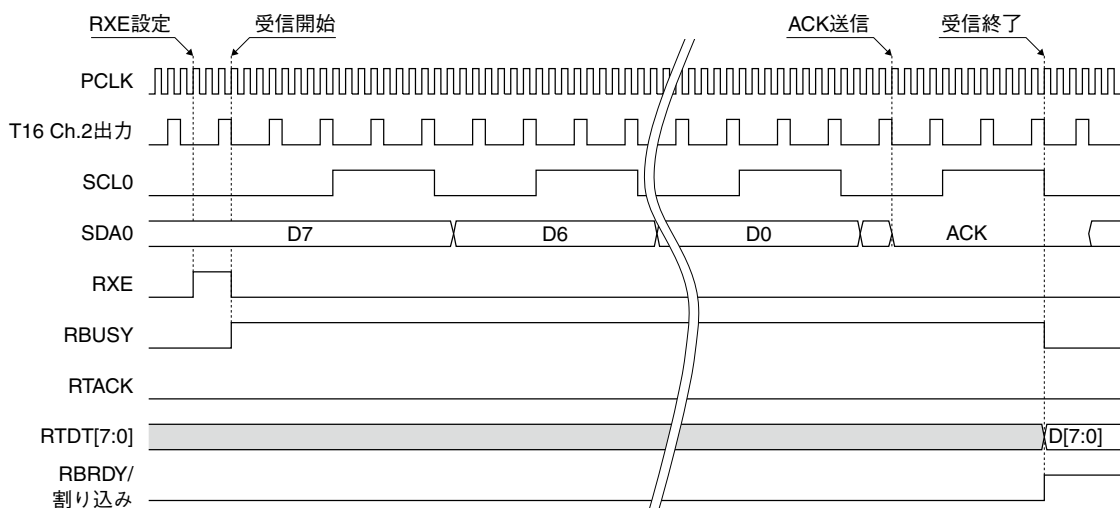


図20.5.8 データ受信

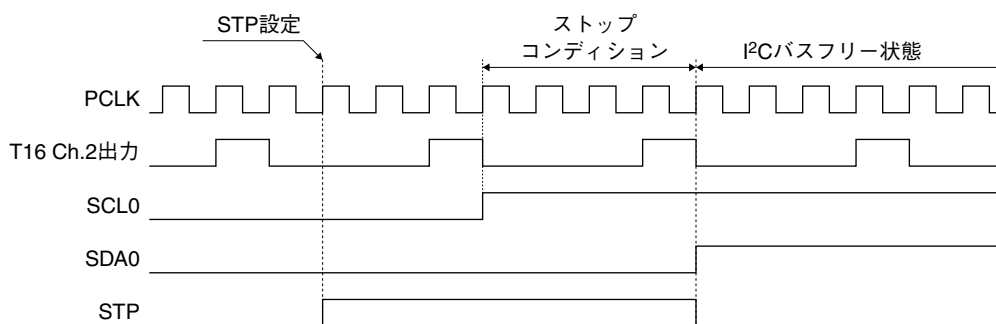


図20.5.9 ストップコンディション生成

## 20.6 I<sup>2</sup>Cマスタ割り込み

I<sup>2</sup>Cマスタモジュールには、以下の2種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 受信バッファフル割り込み

I<sup>2</sup>Cマスタモジュールは、上記2種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。

### 送信バッファエンプティ割り込み

この割り込みを使用するには、TINTE(D0/I2C\_ICTLレジスタ)を1に設定します。TINTEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

\* **TINTE**: Transmit Interrupt Enable Bit in the I<sup>2</sup>C Interrupt Control (I2C\_ICTL) Register (D0/0x4346)

送信バッファエンプティ割り込みが許可されていれば(TINTE = 1)、RTDT[7:0](D[7:0]/I2C\_DATレジスタ)に設定された送信データがシフトレジスタに転送された時点で割り込み要求がITCに出力されます。

送信バッファエンプティ割り込みは、データ送信時のみ、発生します。

- 送信バッファエンプティ割り込みのクリア方法

RTDT/I2CM\_DATにデータをライトします。

TXE/I2CM\_DAT=0とした場合、データは送信されず、割り込みクリアのみ行います。

\* **RTDT[7:0]**: Receive/Transmit Data Bits in the I<sup>2</sup>C Data (I2C\_DAT) Register (D[7:0]/0x4344)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

### 受信バッファフル割り込み

この割り込みを使用するには、RINTE(D1/I2C\_ICTLレジスタ)を1に設定します。RINTEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

\* **RINTE**: Receive Interrupt Enable Bit in the I<sup>2</sup>C Interrupt Control (I2C\_ICTL) Register (D1/0x4346)

受信バッファフル割り込みが許可されていれば(RINTE = 1)、シフトレジスタに受信したデータがRTDT[7:0]にロードされた時点で割り込み要求がITCに出力されます。

受信バッファフル割り込みは、データ受信時のみ、発生します。

- 受信バッファフル割り込みのクリア方法

RTDT/I2CM\_DATからデータをリードします。

注: I2CMの割り込み発生時、I<sup>2</sup>Cマスタのシーケンス処理に応じて送信バッファエンプティ割り込みと受信バッファフル割り込みを判断してください。送信バッファエンプティ割り込み、または、受信バッファフル割り込みのどちらが発生したかを確認できるレジスタはありません。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

## 割り込みベクタ

I<sup>2</sup>Cマスタモジュール割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号: 19(0x13)

ベクタアドレス: TTBR + 0x4c

## その他の割り込み設定

ITCではI<sup>2</sup>Cマスタモジュール割り込みの優先順位をレベル0(デフォルト)～レベル7に設定可能です。また、実際に割り込みを発生させるにはPSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットを1に設定しておく必要があります。

割り込み処理の詳細については、“6 割り込みコントローラ (ITC)”を参照してください。

## 20.7 制御レジスタ詳細

表20.7.1 I<sup>2</sup>CMレジスタ一覧

アドレス	レジスタ名		機 能
0x4340	I2C_EN	I <sup>2</sup> C Enable Register	I <sup>2</sup> Cマスタモジュールイネーブル
0x4342	I2C_CTL	I <sup>2</sup> C Control Register	I <sup>2</sup> Cマスタの制御と転送状態の表示
0x4344	I2C_DAT	I <sup>2</sup> C Data Register	送受信データ
0x4346	I2C_ICTL	I <sup>2</sup> C Interrupt Control Register	I <sup>2</sup> Cマスタ割り込みの制御

以下、I<sup>2</sup>Cマスタモジュールのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x4340: I<sup>2</sup>C Enable Register (I2C\_EN)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I <sup>2</sup> C Enable Register (I2C_EN)	0x4340 (16 bits)	D15-1	—	reserved	—		—	0 when being read.
		D0	I2CEN	I <sup>2</sup> C enable	1 Enable 0 Disable	0	R/W	

D[15:1] Reserved

D0 I2CEN: I<sup>2</sup>C Enable Bit

I<sup>2</sup>Cマスタモジュールの動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I2CENを1に設定するとI<sup>2</sup>Cマスタモジュールが動作を開始し、データ転送が行える状態になります。

I2CENを0に設定すると、I<sup>2</sup>Cマスタモジュールは動作を停止します。

**0x4342: I<sup>2</sup>C Control Register (I2C\_CTL)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I <sup>2</sup> C Control Register (I2C_CTL)	0x4342 (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.
		D9	<b>RBUSY</b>	Receive busy flag	1   Busy    0   Idle	0	R	
		D8	<b>TBUSY</b>	Transmit busy flag	1   Busy    0   Idle	0	R	
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	<b>NSERM</b>	Noise remove on/off	1   On    0   Off	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	<b>STP</b>	Stop control	1   Stop    0   Ignored	0	R/W	
		D0	<b>STRT</b>	Start control	1   Start    0   Ignored	0	R/W	

**D[15:10] Reserved****D9 RBUSY: Receive Busy Flag**

I<sup>2</sup>CMの受信動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

RBUSYはI<sup>2</sup>Cマスタモジュールがデータ受信を開始すると1にセットされ、受信中は1を保持します。受信動作が終了すると、0にクリアされます。

**D8 TBUSY: Transmit Busy Flag**

I<sup>2</sup>Cマスタの送信動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

TBUSYはI<sup>2</sup>Cマスタモジュールがデータ送信を開始すると1にセットされ、送信中は1を保持します。送信動作が終了すると、0にクリアされます。

**D[7:5] Reserved****D4 NSERM: Noise Remove On/Off Bit**

ノイズ除去機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

I<sup>2</sup>Cマスタモジュールには、SDA0およびSCL0端子の入力信号からノイズを除去する機能が組み込まれており、NSERMを1に設定することにより有効となります。

ただし、この機能を使用するには、I<sup>2</sup>Cマスタクロック(16ビットタイマCh.2出力クロック)周波数をPCLKの1/6以下に設定する必要があります。

**D[3:2] Reserved****D1 STP: Stop Control Bit**

ストップコンディションを生成します。

1(R/W): ストップコンディションを生成

0(R/W): 無効(デフォルト)

STPを1に設定すると、I<sup>2</sup>CマスタモジュールはI<sup>2</sup>CバスのSCLラインをHighに保った状態でSDAラインをLowからHighにしてストップコンディションを生成します。これ以降I<sup>2</sup>Cバスは、フリー状態になります。

STPの1への設定は、TBUSY = 1 またはRBUSY = 1から、TBUSY = RBUSY = 0 への遷移(I<sup>2</sup>CMモジュールのデータ送受信動作の完了)を確認し、さらに、設定しているI<sup>2</sup>Cのクロック周期の1/4より長い時間が経過した後に行ってください。

ストップコンディションが生成されると、STPは自動的に0にリセットされます。

**D0      STRT: Start Control Bit**

スタートコンディションを生成します。

1(R/W): スタートコンディションを生成

0(R/W): 無効(デフォルト)

STRTを1に設定すると、I<sup>2</sup>CマスタモジュールはI<sup>2</sup>CバスのSCLラインをHighに保った状態で、SDAラインをLowにしてスタートコンディションを生成します。これ以降I<sup>2</sup>Cバスは、ビジー状態になります。

スタートコンディションを生成するには、以下の順序でレジスタを設定してください。

1. RTDT[7:0](D[7:0]/I2C\_DATレジスタ)にスレーブアドレスを設定(10ビットアドレスの場合は1回目の送信データ、図20.5.2参照)
2. TXE(D9/I2C\_DATレジスタ)を1に設定
3. STRTを1に設定

スタートコンディションが生成されると、STRTは自動的に0にリセットされます。

**0x4344: I<sup>2</sup>C Data Register (I<sup>2</sup>C\_DAT)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I <sup>2</sup> C Data Register (I <sup>2</sup> C_DAT)	0x4344 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11	<b>RBRDY</b>	Receive buffer ready	1 Ready 0 Empty	0	R	
		D10	<b>RXE</b>	Receive execution	1 Receive 0 Ignored	0	R/W	
		D9	<b>TXE</b>	Transmit execution	1 Transmit 0 Ignored	0	R/W	
		D8	<b>RTACK</b>	Receive/transmit ACK	1 Error 0 ACK	0	R/W	
		D7–0	<b>RTDT[7:0]</b>	Receive/transmit data RTDT7 = MSB RTDT0 = LSB	0x0 to 0xff	0x0	R/W	

**D[15:12] Reserved****D11 RBRDY: Receive Buffer Ready Flag**

受信バッファの状態を示します。

1(R): 受信データあり

0(R): 受信データなし(デフォルト)

RBRDYフラグはシフトレジスタに受信したデータがRTDT[7:0](D[7:0])にロードされると1になり、RTDT[7:0]から受信データが読み出されると0に戻ります。このフラグが1になった時点で割り込みを発生させることができます。

注: ポーリングで受信待ちをする場合、RBUSYフラグを使用してください。RBRDYフラグでのポーリング受信待ちはできません。データ受信制御の説明を参照してください。

**D10 RXE: Receive Execution Bit**

1バイトのデータ受信を実行します。

1(R/W): データ受信開始

0(R/W): 無効(デフォルト)

RXEを1、TXE(D9)を0に設定することにより、1バイトのデータ受信を開始します。スレーブアドレスの送信中またはデータの受信中であっても、次の受信のためにRXEを1に設定しておくことができます。RXEはD6がシフトレジスタに取り込まれた時点で0にリセットされます。

**D9 TXE: Transmit Execution Bit**

1バイトのデータ送信を実行します。

1(R/W): データ送信開始

0(R/W): 無効(デフォルト)

送信データをRTDT[7:0](D[7:0])に設定するとともにTXEに1を書き込んで送信を開始します。スレーブアドレスまたはデータの送信中であっても、次の送信のためにTXEを1に設定しておくことができます。TXEはRTDT[7:0]に設定したデータがシフトレジスタに転送された時点で0にリセットされます。

**D8 RTACK: Receive/Transmit ACK Bit****データ送信時**

応答ビットの状態を示します。

1(R/W): エラー(NAK)

0(R/W): ACK(デフォルト)

1バイトのデータを送信後、スレーブからACKが返るとRTACKは0になります。これは、スレーブがデータを正常に受信できたことを示します。RTACKが1の場合、スレーブデバイスが動作していないか、データが正常に受信できなかったことを示します。

**データ受信時**

スレーブに送信する応答ビットを設定します。

1(R/W): エラー(NAK)

0(R/W): ACK(デフォルト)

データ受信後にACKを返す場合は、I<sup>2</sup>Cマスタモジュールが応答ビットを送る前にRTACKを0に設定してください。

NAKを返す場合は、RTACKを1に設定します。

**D[7:0] RTDT[7:0]: Receive/Transmit Data Bits****データ送信時**

送信データを設定します。(デフォルト: 0x0)

データ送信は、TXE(D9)を1に設定することにより開始します。現在スレーブアドレスまたはデータを送信中の場合は、その終了後に新たな送信を開始します。SDA0端子からはシリアル変換されたデータがMSBを先頭に、0に設定されたビットをLowレベルとして出力されます。このレジスタに書き込んだデータがシフトレジスタに転送された時点で、送信バッファエンプティ割り込み要因が発生します。それ以降であれば、次の送信データを書き込むことができます。

**データ受信時**

受信データが読み出せます。(デフォルト: 0x0)

データ受信はRXE(D10)を1に設定すると開始します。現在スレーブアドレス送信中またはデータ受信中の場合は、その終了後に新たな受信を開始します。受信が終了し、シフトレジスタのデータがこのレジスタに転送された時点でRBRDYフラグ(D11)がセットされ、受信バッファフル割り込み要因が発生します。これ以降、次のデータの受信を終了するまで、データの読み出しが可能です。このレジスタを読み出す前に次の受信を終了した場合は、新たな受信データで上書きされます。

SDA0端子から入力されたシリアルデータは先頭をMSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。

**0x4346: I<sup>2</sup>C Interrupt Control Register (I2C\_ICTL)**

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
I <sup>2</sup> C Interrupt Control Register (I2C_ICTL)	0x4346 (16 bits)	D15-2	—	reserved	—			—	—	0 when being read.
		D1	<b>RINTE</b>	Receive interrupt enable	1	Enable	0	Disable	0	R/W
		D0	<b>TINTE</b>	Transmit interrupt enable	1	Enable	0	Disable	0	R/W

**D[15:2] Reserved****D1 RINTE: Receive Interrupt Enable Bit**

I<sup>2</sup>Cマスタモジュールの受信バッファフル割り込みを許可/禁止します。

1 (R/W): 許可

0 (R/W): 禁止 (デフォルト)

RINTEを1に設定すると、受信バッファフルによるI<sup>2</sup>Cマスタ割り込み要求のITCへの出力を許可します。この割り込み要求は、シフトレジスタに受信したデータがRTDT[7:0] (D[7:0]/I2C\_DATレジスタ)に転送される(受信が完了する)ことにより発生します。

RINTEを0に設定すると、I<sup>2</sup>Cマスタ受信バッファフル割り込みは発生しません。

**D0 TINTE: Transmit Interrupt Enable Bit**

I<sup>2</sup>Cマスタモジュールの送信バッファエンプティ割り込みを許可/禁止します。

1 (R/W): 許可

0 (R/W): 禁止 (デフォルト)

TINTEを1に設定すると、送信バッファエンプティによるI<sup>2</sup>Cマスタモジュール割り込み要求のITCへの出力を許可します。この割り込み要求は、RTDT[7:0] (D[7:0]/I2C\_DATレジスタ)に書き込んだデータがシフトレジスタに転送されることにより発生します。

TINTEを0に設定すると、I<sup>2</sup>Cマスタ送信バッファエンプティ割り込みは発生しません。

# 21 I<sup>2</sup>Cスレーブ (I<sup>2</sup>CS)

## 21.1 I<sup>2</sup>Cスレーブの構成

S1C17003は高速同期シリアル通信用に、I<sup>2</sup>Cスレーブモジュールを内蔵しています。I<sup>2</sup>CスレーブモジュールはI<sup>2</sup>Cマスタから供給されるクロックを使用し、I<sup>2</sup>Cバスのスレーブデバイスとして動作します。標準(100kbps)モードおよびファストモード(400kbps)、7ビットスレーブアドレスモード、クロックストレッチに対応しています。また、データ転送の信頼性向上に役立つ、ノイズ除去機能が組み込まれています。本モジュールは、3種類の割り込み(送信割り込み、受信割り込み、およびバスステータス割り込み)を発生可能で、連続したシリアルデータ転送を割り込みによって簡潔に処理することができます。

図21.1.1にI<sup>2</sup>Cスレーブモジュールの構造を示します。

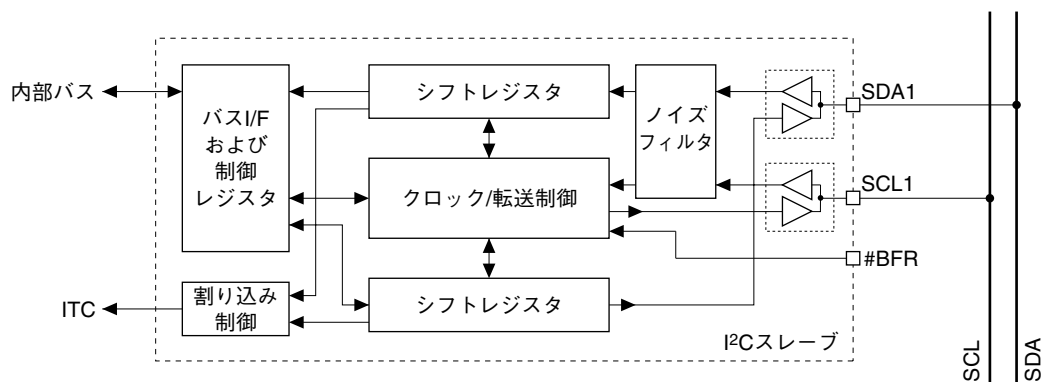


図21.1.1 I<sup>2</sup>Cスレーブモジュールの構造

注: 本I<sup>2</sup>Cスレーブはゼネラルコールアドレスおよび10ビットアドレスモードには対応していません。

## 21.2 I<sup>2</sup>Cスレーブ入出力端子

表21.2.1にI<sup>2</sup>Cスレーブ端子の一覧を示します。

表21.2.1 I<sup>2</sup>Cスレーブ端子一覧

端子名	I/O	本数	機 能
SDA1 (P34)	I/O	1	I <sup>2</sup> Cスレーブデータ入出力端子 I <sup>2</sup> Cバスからシリアルデータを入力します。 また、シリアルデータをI <sup>2</sup> Cバスに出力します。
SCL1 (P33)	I/O	1	I <sup>2</sup> Cスレーブクロック入出力端子 SCLラインの状態を入力します。 また、クロックストレッチ動作時はLowレベルを出力します。
#BFR (P35)	I	1	I <sup>2</sup> Cバス解放要求入力端子 Low/パルスの入力により、I <sup>2</sup> Cバスの解放を要求します。ソフトウェアによって 要求入力が許可されていれば、I <sup>2</sup> Cスレーブの通信プロセスが初期化され、SDA1 およびSCL1端子がハイインピーダンスになります。

I<sup>2</sup>Cスレーブの入出力端子(SDA1、SCL1、#BFR)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをI<sup>2</sup>Cスレーブの入出力端子として使用するには、Port Function Select Registerの設定により機能を切り換える必要があります。端子機能の切り換えについては、“10.2 入出力端子機能の選択(ポートMUX)”を参照してください。

P34 → SDA1

\* **P34MUX**: P34 Port Function Select Bit in the P3 Port Function Select (P3\_PMUX) Register (D1-0/0x52a7)

P33 → SCL1

\* **P33MUX**: P33 Port Function Select Bit in the P3 Port Function Select (P3\_PMUX) Register (D7-6/0x52a6)

P35 → #BFR

\* **P35MUX**: P35 Port Function Select Bit in the P3 Port Function Select (P3\_PMUX) Register (D3-2/0x52a7)

## 21.3 I<sup>2</sup>Cスレーブクロック

---

I<sup>2</sup>Cスレーブモジュールは、外部I<sup>2</sup>Cマスタが出力するクロックをSCL1端子から入力して送受信を行います。

I<sup>2</sup>Cスレーブモジュールの動作にはシステムクロック(PCLK)も使用されます。データ転送時はPCLKをSCL1入力クロック周波数の8倍以上に設定する必要がありますが、転送待機時は非同期アドレス検出機能によりPCLKを低く抑えることができます(消費電流を低減できます)。詳細については、“21.4.3 オプション機能”内の“非同期アドレス検出機能”を参照してください。

## 21.4 I<sup>2</sup>Cスレーブの初期設定

### 21.4.1 リセット

通信プロセスの初期化やI<sup>2</sup>Cバスを解放状態(ハイインピーダンス)にするため、I<sup>2</sup>Cスレーブモジュールをリセットする必要があります。モジュールをリセットする方法には、イニシャルリセットの他に以下の2種類があります。

#### (1) ソフトウェアリセット

SOFTRESET(D6/I2CS\_CTLレジスタ)の操作により、I<sup>2</sup>Cスレーブモジュールをリセットできます。

\* **SOFTRESET**: Software Reset Bit in the I<sup>2</sup>C Slave Control (I2CS\_CTL) Register (D6/0x4366)

リセットするには、SOFTRESETに1を書き込んでI<sup>2</sup>Cスレーブモジュールをリセット状態にし、その後で0を書き込んでリセット状態を解除します。1と0の書き込みの間には、特に待ち時間の挿入は必要ありません。

この操作により、I<sup>2</sup>Cスレーブモジュールは、スタートコンディションに待機するため、I<sup>2</sup>Cスレーブの通信プロセスを初期化するとともに、SDA1およびSCL1端子をハイインピーダンスにします。また、SOFTRESETを除くすべてのI<sup>2</sup>Cスレーブ制御ビットを初期化します。

通信を開始する前の初期設定時に、このリセット処理を行ってください。

#### (2) #BFR端子入力によるバス解放要求

I<sup>2</sup>Cスレーブモジュールは、#BFR端子入力によるバス解放要求を受け付け可能です。

本デバイスのデフォルト設定では、バス解放要求受け付け機能が無効です。機能を有効にするには、BFREQ\_EN(D4/I2CS\_CTLレジスタ)を1に設定してください。

\* **BFREQ\_EN**: Bus Free Request Enable Bit in the I<sup>2</sup>C Slave Control (I2CS\_CTL) Register (D4/0x4366)

機能を有効にすると、#BFR端子へのLowパルス入力(システムクロック(PCLK)1クロック以上のパルス幅が必要。2クロック以上を推奨。)によりBFREQ(D4/I2CS\_STATレジスタ)が1にセットされます。これにより、I<sup>2</sup>Cスレーブの通信プロセスが初期化され、SDA1およびSCL1端子がハイインピーダンスになります。前述のソフトウェアリセットとは異なり、制御レジスタは初期化されません。

\* **BFREQ**: Bus Free Request Bit in the I<sup>2</sup>C Slave Status (I2CS\_STAT) Register (D4/0x4368)

注: BFREQが1にセットされた場合(割り込みにて確認可能)はソフトウェアリセットを行い、再度各レジスタの設定を行ってください。

### 21.4.2 スレーブアドレスの設定

I<sup>2</sup>Cスレーブは、各デバイスを識別するために固有のスレーブアドレスを持ちます。

本I<sup>2</sup>Cスレーブモジュールは7ビットアドレスに対応しており(10ビットアドレスには未対応)、本デバイスのアドレスをI2CS\_SADRSレジスタ(0x4364)に設定しておきます。

### 21.4.3 オプション機能

I<sup>2</sup>Cスレーブモジュールには、アプリケーションプログラムから選択可能なクロックストレッチ、非同期アドレス検出、ノイズ除去のオプション機能があります。

#### クロックストレッチ機能

クロックストレッチは、スレーブデバイスが1つのデータとACKの送受信の後、次の送受信の準備が整うまでSCLラインを強制的にLowにプルダウンしてマスタデバイスにウェイトを要求する機能です。マスタはこの要求が解除される(SCLラインがHighになる)まで、送受信を中断して待機します。本デバイスのデフォルト設定では、クロックストレッチ機能が無効です。機能を有効にするには、送受信前にCLKSTR\_EN(D3/I2CS\_CTLレジスタ)を1に設定してください。

なお、クロックストレッチ動作を行ったときのデータセットアップ時間(SDATA[7:0]のMSBをSDA1端子に出力してからSCL1端子のプルダウンを解除するまで)は、I<sup>2</sup>Cスレーブモジュールの動作クロック(PCLK)周波数に依存します。

\* **CLKSTR\_EN**: Clock Stretch On/Off Bit in the I<sup>2</sup>C Slave Control (I2CS\_CTL) Register (D3/0x4366)

## 非同期アドレス検出機能

データ通信時は、I<sup>2</sup>Cスレーブモジュールの動作クロック(PCLK)を転送速度の8倍以上の周波数に設定する必要がありますが、通信待機中に他の処理が不要の場合は、PCLKの周波数を下げて消費電流を抑えることができます。非同期アドレス検出機能は、この場合でもマスタが送信する本I<sup>2</sup>Cスレーブのアドレスを検出するための機能です。

本デバイスのデフォルト設定では、非同期アドレス検出機能が無効です。機能を有効にするには、ASDET\_EN(D1/I2CS\_CTLレジスタ)を1に設定してください。

\* **ASDET\_EN**: Async. Address Detection On/Off Bit in the I<sup>2</sup>C Slave Control (I2CS\_CTL) Register (D1/0x4366)

本機能を有効にした場合、マスタが送信したスレーブアドレスが本I<sup>2</sup>Cスレーブアドレスに一致すると、本モジュールはバスステータス割り込みを発生すると共にI<sup>2</sup>Cマスタに対してNAKを返し、再送を要求します。この割り込み処理ルーチン内でPCLKを転送速度の8倍以上に設定し、ASDET\_ENを0にリセットしてください。この後、マスタからの再送により通常のデータ転送を再開できます。ストップコンディションによりバスがフリー状態になった後は、再度非同期アドレス検出機能を有効にして動作速度を下げるすることができます。

- 注:
- 非同期アドレス検出機能を有効にした場合、I<sup>2</sup>C信号はノイズフィルタを通さずに入力されます。このため、ノイズが多い環境ではスレーブアドレスを正しく検出できない場合があります。
  - 非同期アドレス検出機能を有効にすると、PCLKの周波数が転送速度の8倍以上あってもデータ転送は行えません。通常動作時は、非同期アドレス検出機能を必ず無効にしてください。

## ノイズ除去機能

I<sup>2</sup>Cスレーブモジュールには、SDA1およびSCL1端子の入力信号からノイズを除去する機能が組み込まれています。この機能は、NF\_EN(D2/I2CS\_CTLレジスタ)を1に設定することにより有効となります。

\* **NF\_EN**: Noise Filter On/Off Bit in the I<sup>2</sup>C Slave Control (I2CS\_CTL) Register (D2/0x4366)

## 21.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) I<sup>2</sup>Cスレーブモジュールの初期設定を行います。21.4節を参照してください。
- (2) I<sup>2</sup>Cスレーブ割り込みを使用する場合は、割り込み条件を設定します。21.6節を参照してください。

注: 上記の設定は、必ずI<sup>2</sup>Cスレーブモジュールが停止中(I2C\_EN/I2CS\_CTLレジスタ = 0)に行ってください。

\* **I2C\_EN**: I<sup>2</sup>C Slave Enable Bit in the I<sup>2</sup>C Slave Control (I2CS\_CTL) Register (D7/0x4366)

### データ送受信を許可

最初にI2C\_EN(D7/I2CS\_CTLレジスタ)を1に設定してI<sup>2</sup>Cスレーブの動作を許可します。これにより、スタートコンディションの検出によって通信動作を開始できるようになります。

注: I<sup>2</sup>Cスレーブモジュールが送受信中はI2C\_ENを0に設定しないでください。

### データ送受信の開始

データの送受信を開始するには、COM\_MODE(D0/I2CS\_CTLレジスタ)を1に設定して通信を許可します。

\* **COM\_MODE**: I<sup>2</sup>C Slave Communication Mode Bit in the I<sup>2</sup>C Slave Control (I2CS\_CTL) Register (D0/0x4366)

スタートコンディションに続き、マスタから送られた本デバイスのスレーブアドレスを受信すると、I<sup>2</sup>CスレーブモジュールはマスタにACK(SDA1 = Low)を返し、アドレスと共に受信した転送方向ビットによりデータ受信またはデータ送信動作を開始します。

COM\_MODEが0(デフォルト)の場合、マスタから本デバイスのスレーブアドレスが送信されても応答しません(ホストはNAKが返ったものと見なします)。

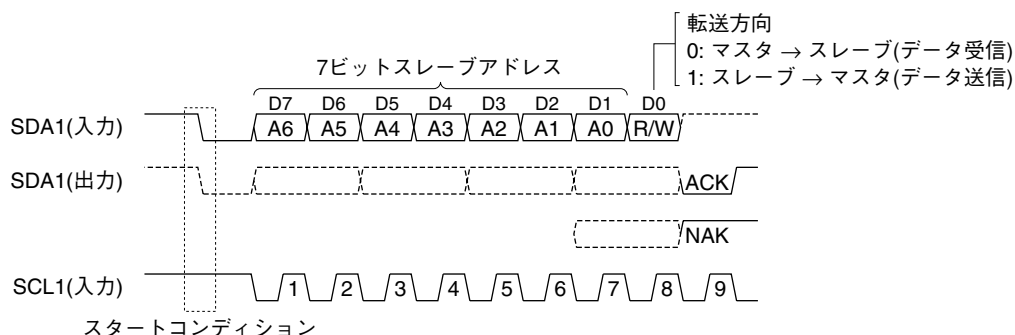


図21.5.1 スレーブアドレスと転送方向ビットの受信

スタートコンディションを検出すると、BUSY(D2/I2CS\_ASTATレジスタ)が1にセットされ、I<sup>2</sup>Cバスがビジー状態になったことを示します。また、本デバイスのスレーブアドレスを受信するとSELECTED(D1/I2CS\_ASTATレジスタ)が1にセットされ、本モジュールがI<sup>2</sup>Cスレーブデバイスとして選択されたことを示します。BUSYレジスタは、ストップコンディションを検出するまで1を保持します。SELECTEDレジスタは、ストップコンディションからリピーテッドスタートコンディションを検出するまで1を保持します。また、転送方向ビットの値がR/W(D0/I2CS\_ASTATレジスタ)にセットされますので、送信/受信処理の切り換えに利用してください。

\* **BUSY**: I<sup>2</sup>C Bus Status Bit in the I<sup>2</sup>C Slave Access Status (I2CS\_ASTAT) Register (D2/0x436a)

\* **SELECTED**: I<sup>2</sup>C Slave Select Status Bit in the I<sup>2</sup>C Slave Access Status (I2CS\_ASTAT) Register (D1/0x436a)

\* **R/W**: Read/Write Direction Bit in the I<sup>2</sup>C Slave Access Status (I2CS\_ASTAT) Register (D0/0x436a)

非同期アドレス検出機能を有効にしている場合に本デバイスのスレーブアドレスを検出すると、ASDET(D2/I2CS\_STATレジスタ)が1にセットされます。本モジュールはバスステータス割り込みを発生すると共にI<sup>2</sup>Cマスタに対してNAKを返し、再送を要求します。この割り込み処理ルーチン内でPCLKを転送速度の8倍以上に設定し、非同期アドレス検出機能を無効にしてください。その後、マスタからの再送により通常のデータ転送を再開できます。ASDETは1の書き込みでクリアされます。

\* **ASDET**: Async. Address Detection Status Bit in the I<sup>2</sup>C Slave Status (I2CS\_STAT) Register (D2/0x4368)

## データ送信

以下、データの送信方法を説明します。

前述のSELECTEDとR/Wビットがどちらも1になると、I<sup>2</sup>Cスレーブモジュールはデータ送信動作を開始します。TXEMP(D3/I<sup>2</sup>CS\_ASTATレジスタ)が1にセットされ、送信データの書き込みをアプリケーションに要求します。送信データは、SDATA[7:0](D[7:0]/I<sup>2</sup>CS\_TRNSレジスタ)に書き込みます。

\* **TXEMP**: Transmit Data Empty Bit in the I<sup>2</sup>C Slave Access Status (I<sup>2</sup>CS\_ASTAT) Register (D3/0x436a)

\* **SDATA[7:0]**: I<sup>2</sup>C Slave Transmit Data Bits in the I<sup>2</sup>C Slave Transmit Data (I<sup>2</sup>CS\_TRNS) Register (D[7:0]/0x4360)

スレーブ選択後に送信する最初のデータは、以下の点に注意して設定してください。

クロックストレッチ機能が無効(デフォルト)の場合

TXEMPが1にセットされてからI<sup>2</sup>Cスレーブクロック(SCL1)の1サイクル以内に送信データをSDATA[7:0]に書き込む必要があります。この時間が短いため、TXEMPがセットされる前に先行して送信データの書き込みを行っておきます。SDATA[7:0]に前回の送信データが残っていた場合も今回のデータにより上書きされますので、TBUF\_CLRによるクリア操作(下記参照)は不要です。非同期アドレス検出機能を使用する場合には、ASDET\_ENを0にリセットする前に書き込みを行ったデータは無効となる為、TXEMPが1にセットされてから送信データを書き込む必要があります。

クロックストレッチ機能が有効の場合

クロックストレッチによるウェイト機能が働くため、TXEMPがセットされた後でも送信データの書き込みが可能です。ただし、SDATA[7:0]に前回の送信データが残っているとTXEMPがセットされた時点でそのデータが送信されてしまいますので、本I<sup>2</sup>Cスレーブが選択される前にTBUF\_CLR(D8/I<sup>2</sup>CS\_CTLレジスタ)を使用してI<sup>2</sup>CS\_TRNSレジスタをクリアしておきます。TBUF\_CLRに1を書き込んだ後、もう一度0を書き込むことによりI<sup>2</sup>CS\_TRNSレジスタがクリアされます。

\* **TBUF\_CLR**: I<sup>2</sup>CS\_TRNS Register Clear Bit in the I<sup>2</sup>C Slave Control (I<sup>2</sup>CS\_CTL) Register (D8/0x4366)

TXEMPがセットされる前に最初の送信データを書き込んでおく場合は、I<sup>2</sup>CS\_TRNSレジスタをクリアする必要はありません。

非同期アドレス検出機能を使用する場合には、ASDET\_ENを0にリセットする前に書き込みを行ったデータは無効となる為、TXEMPが1にセットされてから送信データを書き込む必要があります。

最初の送信時以外は、TXEMPがセットされた時点で割り込みを発生させることができますので、この割り込み処理ルーチン内で送信データを書き込んでください。送信中にSDATA[7:0]に書き込んだ送信データがシフトレジスタに送られた場合も、TXEMPが1にセットされます。TXEMPは送信データの書き込みによりクリアされます。

クロックストレッチ機能が無効(デフォルト)の場合

クロックストレッチ機能を無効にしている場合は、TXEMPのセットからI<sup>2</sup>Cスレーブクロック(SCL1)の7サイクル以内にデータをI<sup>2</sup>CS\_TRNSレジスタに書き込む必要があります。

この時間内に書き込みを行わないと、現在のレジスタ値が送信されてしまいます。この場合、TXUDF(D5/I<sup>2</sup>CS\_STATレジスタ)が1にセットされ、無効なデータが送られたことを示します。TXUDFがセットされた時点で割り込みを発生させることができますので、この割り込み処理ルーチン内でエラー処理が行えます。TXUDFは1の書き込みでクリアされます。

\* **TXUDF**: Transmit Data Underflow Bit in the I<sup>2</sup>C Slave Status (I<sup>2</sup>CS\_STAT) Register (D5/0x4368)

クロックストレッチ機能が有効の場合

クロックストレッチ機能を有効にしている場合は、送信データがI<sup>2</sup>CS\_TRNSレジスタに書き込まれるまでI<sup>2</sup>CスレーブモジュールはSCL1端子をプルダウンしてクロックストレッチ(ウェイト)状態を生成します。

送信データはマスタから送られるSCL1入力クロックに同期してSDA1端子からMSBを先頭に出力されます。8ビットの送信後、9ビット目のクロックサイクルにマスタからACKまたはNAKが返ります。

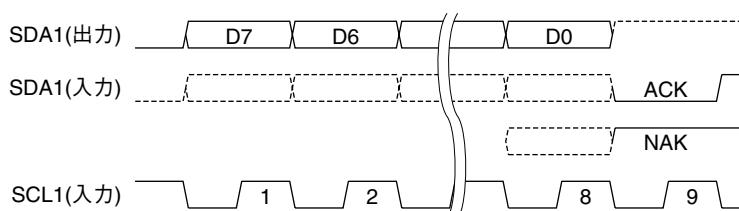


図21.5.2 ACKとNAK

ACKはマスタがデータを受信したことを示します。このACKは続くデータの送信要求でもありますので、次の送信データが書き込まれている必要があります。クロックストレッチ機能を有効にしている場合は、ACKの受信によりクロックストレッチ状態になりますので、ACK受信後にデータを書き込むこともできます。マスタが正しく受信できなかった場合、あるいはマスタが受信を終了する場合はNAKが返ります。NAKが返った場合、クロックストレッチ機能を有効にしている場合でも、クロックストレッチ状態にはなりません。ACKとNAKのどちらが返ったかについては、DA\_NAK(D1/I<sup>2</sup>CS\_STATレジスタ)を読み出すことで確認できます。ACKが返るとDA\_NAKは0に、NAKが返ると1に設定されます。DA\_NAKが1にセットされた時点で割り込みを発生させることができますので、この割り込みを利用してエラー処理や送信終了処理を行うことができます。DA\_NAKは1の書き込みでクリアされます。

\* **DA\_NAK**: NAK Receive Status Bit in the I<sup>2</sup>C Slave Status (I<sup>2</sup>CS\_STAT) Register (D1/0x4368)

データ送信中はSDA1の状態がモジュール内にも取り込まれ、出力データと比較されます。この結果はDMS(D3/I<sup>2</sup>CS\_STATレジスタ)にセットされます。正しく出力されている場合、DMSは0になります。SDA1の状態が出力データと異なる場合は1にセットされます。この場合、プルアップ抵抗値が低いか、ほかのI<sup>2</sup>CデバイスがSDA1ラインを制御していることが考えられます。DMSが1にセットされた時点で割り込みを発生させることができますので、この割り込みを利用してエラー処理を行うことができます。DMSは1の書き込みでクリアされます。

注: 下記の条件がすべて成立している状態で、マスタが送信したアドレスに対して本I<sup>2</sup>CSがNAKを返信した場合、マスタは異なるスレーブアドレスを送信する前に33μs以上の待ち時間を取る必要があります(本I<sup>2</sup>CSのスレーブアドレスを送信する場合を除く)。

1. 通信レートを320kbps以上に設定している。
2. 非同期アドレス検出機能を有効にしている。
3. OSC1を動作クロック(PCLK)として、本I<sup>2</sup>CSが通信待機状態にある。

\* **DMS**: Output Data Mismatch Bit in the I<sup>2</sup>C Slave Status (I<sup>2</sup>CS\_STAT) Register (D3/0x4368)

## データ受信

以下、受信データの読み出し方法を説明します。

前述のSELECTEDビットが1、R/Wビットが0になると、I<sup>2</sup>Cスレーブモジュールはデータ受信動作を開始します。受信データは、マスタから送られるSCL1入力クロックに同期してSDA1端子から入力されます。8ビットのデータ(MSB先頭)がシフトレジスタに取り込まれると、受信データはRDATA[7:0](D[7:0]/I<sup>2</sup>CS\_RECVレジスタ)にロードされます。

\* **RDATA[7:0]**: I<sup>2</sup>C Slave Receive Data Bits in the I<sup>2</sup>C Slave Receive Data (I<sup>2</sup>CS\_RECV) Register (D[7:0]/0x4362)

受信データがRDATA[7:0]にロードされると、RXRDY(D4/I<sup>2</sup>CS\_ASTATレジスタ)が1にセットされ、RDATA[7:0]の読み出しをアプリケーションに要求します。RXRDYがセットされた時点で割り込みを発生させることができますので、この割り込み処理ルーチン内で受信データを読み出してください。RXRDYは受信データの読み出しによってクリアされます。

\* **RXRDY**: Receive Data Ready Bit in the I<sup>2</sup>C Slave Access Status (I<sup>2</sup>CS\_ASTAT) Register (D4/0x436a)

クロックストレッチ機能が無効(デフォルト)の場合

クロックストレッチ機能を無効にしている場合は、RXRDYのセットからI<sup>2</sup>Cスレーブクロック(SCL1)の7サイクル以内にデータをI<sup>2</sup>CS\_RECVレジスタから読み出す必要があります。

クロックストレッチ機能が有効の場合

クロックストレッチ機能を有効にしている場合は、受信データがI<sup>2</sup>CS\_RECVレジスタから読み出されるまでI<sup>2</sup>CスレーブモジュールはSCL1端子をプルダウンしてクロックストレッチ(ウェイ

ト)状態を生成します。

データが読み出されずに次のデータを受信すると、RDATA[7:0]が上書きされてしまいます。この場合、RXOVF(D5/I2CS\_STATレジスタ)が1にセットされ、受信データが上書きされたことを示します。RXOVFがセットされた時点で割り込みを発生させることができますので、この割り込み処理ルーチン内でエラー処理が行えます。RXOVFは1の書き込みでクリアされます。

\* **RXOVF**: Receive Data Overflow Bit in the I<sup>2</sup>C Slave Status (I2CS\_STAT) Register (D5/0x4368)

### データ受信時のNAK応答

データ受信時(マスタ送信時)は、8ビットの受信ごとにI<sup>2</sup>CスレーブモジュールがマスタにACK(SDA1 = Low)を返します(デフォルト設定)。これをNAK\_ANS(D5/I2CS\_CTLレジスタ)の設定により、NAK(SDA1 = Hi-Z)を返すように変更可能です。NAK\_ANSが0の場合はACKが、1に設定するとNAKが返ります。

\* **NAK\_ANS**: NAK Answer Bit in the I<sup>2</sup>C Slave Control (I2CS\_CTL) Register (D5/0x4366)

NAK\_ANSの設定は、NAKを返す1つ前のデータ受信によるRXRDYのセットからI<sup>2</sup>Cスレーブクロック(SCL1)の7サイクル以内に行ってください。

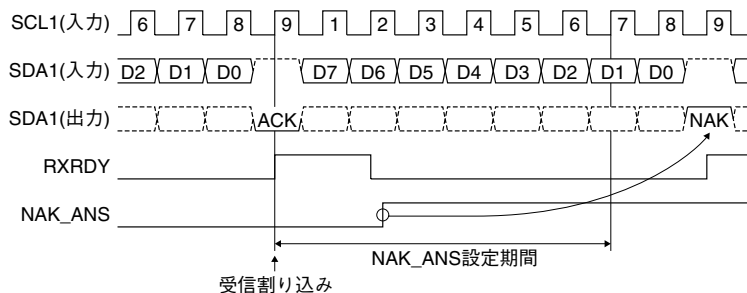


図21.5.3 NAK\_ANSの設定とNAK応答タイミング

### データ送受信の終了(ストップコンディションの検出)

データ転送はマスタがストップコンディションを生成することで終了します。SCLラインをHighに保った状態で、SDAラインをLowからHighにすることがストップコンディションとなります。

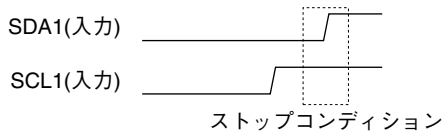


図21.5.4 ストップコンディション

本モジュールがスレーブとして選択されている状態(SELECTED = 1)でストップコンディションを検出すると、I<sup>2</sup>CスレーブモジュールはDA\_STOP(D0/I2CS\_STATレジスタ)を1にセットします。同時にSDA1およびSCL1端子をハイインピーダンスにするとともに、次のスタートコンディションに待機するため、I<sup>2</sup>Cスレーブの通信プロセスを初期化します。この時点でSELECTEDとBUSYが0にリセットされます。

\* **DA\_STOP**: Stop Condition Detect Bit in the I<sup>2</sup>C Slave Status (I2CS\_STAT) Register (D0/0x4368)

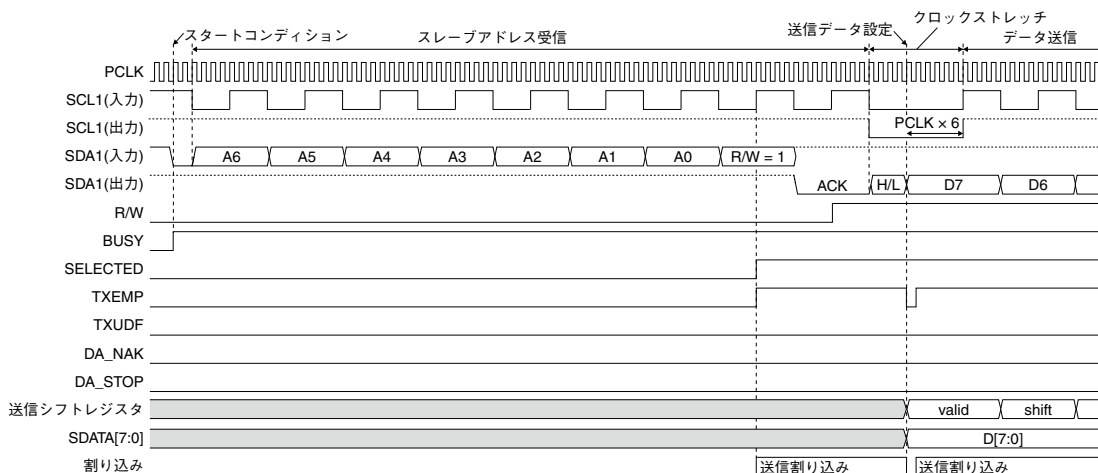
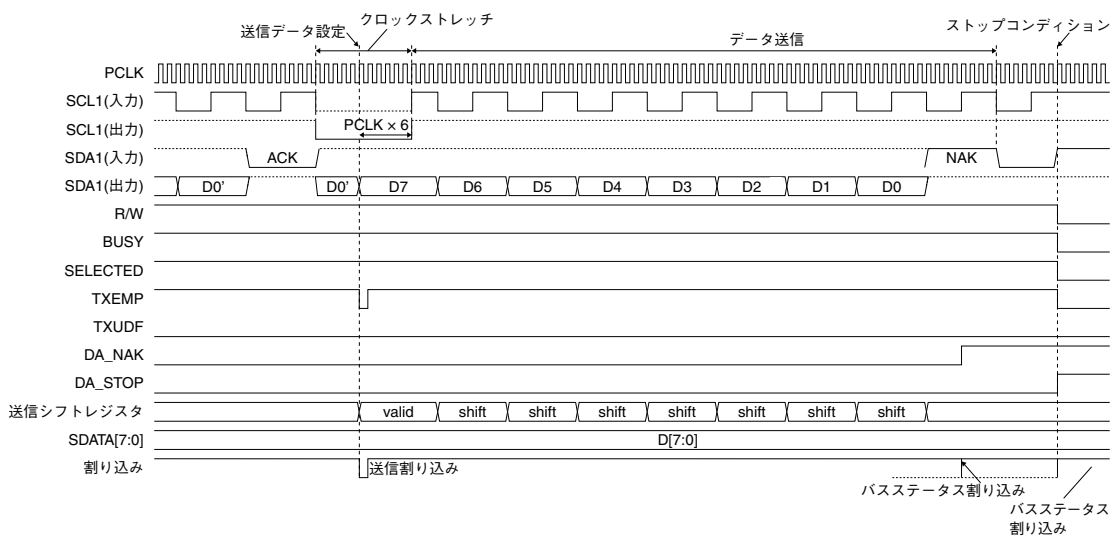
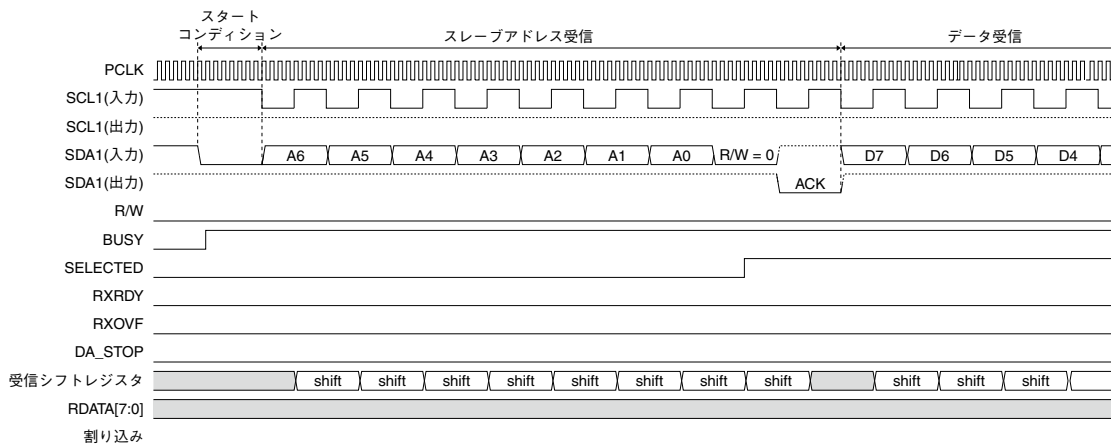
DA\_STOPが1にセットされた時点で割り込みを発生させることができますので、この割り込みを利用して通信終了処理を行うことができます。DA\_STOPは1の書き込みでクリアされます。

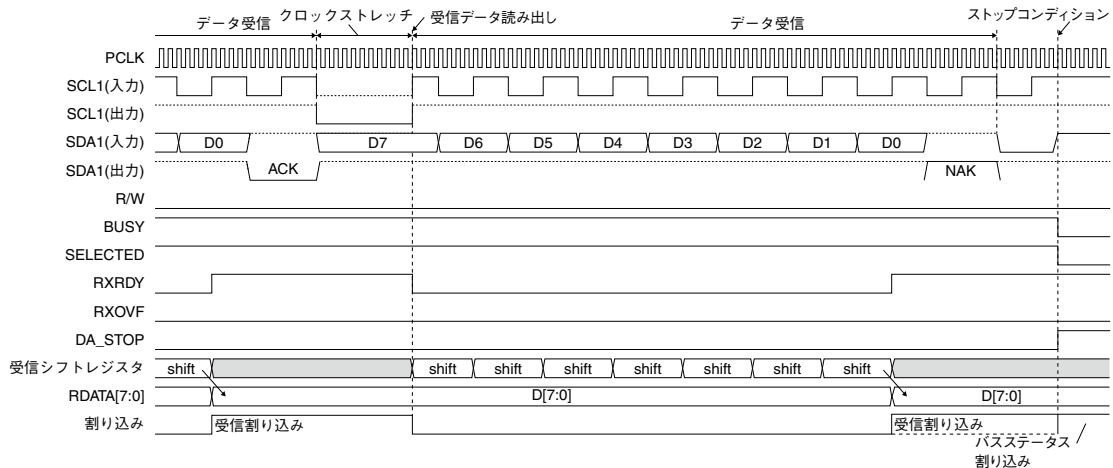
### データ送受信を禁止

データ転送を終了後は、COM\_MODE(D0/I2CS\_CTLレジスタ)に0を書き込んでデータ送受信を禁止します。ただし、データ送受信を禁止する前に、BUSYとSELECTEDが0になっていることを確認してください。

I<sup>2</sup>Cスレーブ機能を終了させる場合は、I2C\_EN(D7/I2CS\_CTLレジスタ)を0に設定します。

## タイミングチャート

図21.5.5 I<sup>2</sup>Cスレーブタイミングチャート1(スタートコンディション→データ送信)図21.5.6 I<sup>2</sup>Cスレーブタイミングチャート2(データ送信→ストップコンディション)図21.5.7 I<sup>2</sup>Cスレーブタイミングチャート3(スタートコンディション→データ受信)

図21.5.8 I<sup>2</sup>Cスレーブタイミングチャート4(データ受信→ストップコンディション)

## 21.6 I<sup>2</sup>Cスレーブ割り込み

I<sup>2</sup>Cスレーブモジュールには、以下の3種類の割り込みを発生させる機能があります。

- 送信割り込み
- 受信割り込み
- バスステータス割り込み

### 送信割り込み

SDATA[7:0](D[7:0]/I2CS\_TRNSレジスタ)に書き込んだ送信データがシフトレジスタに送られると、TXEMP(D3/I2CS\_ASTATレジスタ)が1にセットされ、割り込み信号がITCに出力されます。この割り込みを利用して、次の送信データをSDATA[7:0]に書き込むことができます。

- \* **SDATA[7:0]**: I2C Slave Transmit Data Bits in the I2C Slave Transmit Data (I2CS\_TRNS) Register (D[7:0]/0x4360)
- \* **TXEMP**: Transmit Data Empty Bit in the I2C Slave Access Status (I2CS\_ASTAT) Register (D3/0x436a)

この割り込みを使用するには、TXEMP\_IEN(D0/I2CS\_ICTLレジスタ)を1に設定します。TXEMP\_IENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

- \* **TXEMP\_IEN**: Transmit Interrupt Enable Bit in the I2C Slave Interrupt Control (I2CS\_ICTL) Register (D0/0x436c)

### 受信割り込み

受信データがRDATA[7:0](D[7:0]/I2CS\_RECVレジスタ)にロードされると、RXRDY(D4/I2CS\_ASTATレジスタ)が1にセットされ、割り込み信号がITCに出力されます。この割り込みを利用して、受信データをRDATA[7:0]から読み出すことができます。

- \* **RDATA[7:0]**: I2C Slave Receive Data Bits in the I2C Slave Receive Data (I2CS\_RECV) Register (D[7:0]/0x4362)
- \* **RXRDY**: Receive Data Ready Bit in the I2C Slave Access Status (I2CS\_ASTAT) Register (D4/0x436a)

この割り込みを使用するには、RXRDY\_IEN(D1/I2CS\_ICTLレジスタ)を1に設定します。RXRDY\_IENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

- \* **RXRDY\_IEN**: Receive Interrupt Enable Bit in the I2C Slave Interrupt Control (I2CS\_ICTL) Register (D1/0x436c)

### バスステータス割り込み

I<sup>2</sup>Cスレーブモジュールには、送受信やI<sup>2</sup>Cバスの状態を示す以下のステータスビットが設けられています(機能の詳細は、21.5節を参照してください)。

1. ASDET: 非同期アドレス検出時に1にセット  
\* **ASDET**: Async. Address Detection Status Bit in the I2C Slave Status (I2CS\_STAT) Register (D2/0x4368)
2. TXUDF: 送信データ書き込み前に送信動作を開始した場合に1にセット  
(クロックストレッチが無効の場合)  
\* **TXUDF**: Transmit Data Underflow Bit in the I2C Slave Status (I2CS\_STAT) Register (D5/0x4368)
3. DA\_NAK: 送信時にマスタデバイスからNAKが返った場合に1にセット

\* **DA\_NAK**: NAK Receive Status Bit in the I<sup>2</sup>C Slave Status (I2CS\_STAT) Register (D1/0x4368)

4. DMS: 送信データとSDA1ラインの状態が異なる場合に1にセット

\* **DMS**: Output Data Mismatch Bit in the I<sup>2</sup>C Slave Status (I2CS\_STAT) Register (D3/0x4368)

DMSは、他のスレーブデバイスが本I<sup>2</sup>Cスレーブアドレスに対してACK応答を行った場合もセットされます(ASDET\_EN(D1/I2CS\_CTLレジスタ) = 0の場合)。

注: 本ICを含む複数のスレーブデバイスがI<sup>2</sup>Cバスに接続されている状態でマスタデバイスと他のスレーブデバイスが通信を開始した場合、スレーブアドレスの送信に対して本I<sup>2</sup>CスレーブはNAKで応答します。選択されたスレーブデバイスはACKで応答するため、本I<sup>2</sup>Cスレーブによる出力内容とSDAラインが異なる状態となりDMSが発生することがあります。DMSが発生した場合でもSELECTED(D1/I2CS\_ASTATレジスタ)が0のときは、他のスレーブデバイスとACK/NAK応答が異なるだけで問題ありませんので無視してください。この場合でも、非同期アドレス検出状態(ASDET\_EN = 0)に設定されているときはDMSは発生しません。

5. RXOVF: 受信データを読み出す前に次の受信が完了した(データが上書きされた)場合に1にセット(クロックストレッチが無効の場合)

\* **RXOVF**: Receive Data Overflow Bit in the I<sup>2</sup>C Slave Status (I2CS\_STAT) Register (D5/0x4368)

6. BFREQ: バス解放要求を受け付けた場合に1にセット

\* **BFREQ**: Bus Free Request Bit in the I<sup>2</sup>C Slave Status (I2CS\_STAT) Register (D4/0x4368)

7. DA\_STOP: スレーブ選択状態でストップコンディション、またはリピーテッドスタートコンディションを検出した場合に1にセット

\* **DA\_STOP**: Stop Condition Detect Bit in the I<sup>2</sup>C Slave Status (I2CS\_STAT) Register (D0/0x4368)

この中のいずれかのビットが1にセットされると、同時にBSTAT(D7/I2CS\_STATレジスタ)もセットされ、割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理や終了処理が行えます。

\* **BSTAT**: Bus Status Transition Bit in the I<sup>2</sup>C Slave Status (I2CS\_STAT) Register (D7/0x4368)

この割り込みを使用するには、BSTAT\_IEN(D2/I2CS\_ICTLレジスタ)を1に設定します。BSTAT\_IENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

\* **BSTAT\_IEN**: Bus Status Interrupt Enable Bit in the I<sup>2</sup>C Slave Interrupt Control (I2CS\_ICTL) Register (D2/0x436c)

## I<sup>2</sup>Cスレーブ割り込み用ITCレジスタ

割り込みが許可されている割り込み要因が発生すると、I<sup>2</sup>Cスレーブモジュールは割り込み信号をITCに出力します。I<sup>2</sup>Cスレーブ割り込みを発生させるには、ITCレジスタで割り込みレベルの設定を行ってください。表21.6.1に、I<sup>2</sup>Cスレーブ割り込み用のITC制御レジスタを示します。

表21.6.1 ITCレジスタ

割り込み要因	割り込みレベル設定ビット
バスステータス/送信/受信	ILV13[2:0](D[10:8]/ITC_ILV6)

ITC\_ILV6レジスタ (0x4312)

ITCは割り込み要求をS1C17コアに送ります。

ITCの割り込みレベル設定ビットは、I<sup>2</sup>Cスレーブ割り込みのレベル(0~7)を設定します。

S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- I<sup>2</sup>Cスレーブモジュール(周辺モジュール)の割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- I<sup>2</sup>Cスレーブ割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“6 割り込みコントローラ(ITC)”を参照してください。

## 割り込みベクタ

I<sup>2</sup>Cスレーブ割り込みのベクタ番号とベクタアドレスは以下のとおりです。

表21.6.2 I<sup>2</sup>Cスレーブ割り込みベクタ

割り込み要因	ベクタ番号	ベクタアドレス
バスステータス/送信/受信	17 (0x11)	TTBR + 0x44

## 21.7 制御レジスタ詳細

表21.7.1 I<sup>2</sup>Cスレーブレジスタ一覧

アドレス	レジスタ名		機 能
0x4360	I2CS_TRNS	I <sup>2</sup> C Slave Transmit Data Write Register	I <sup>2</sup> Cスレーブ送信データ
0x4362	I2CS_RECV	I <sup>2</sup> C Slave Receive Data Read Register	I <sup>2</sup> Cスレーブ受信データ
0x4364	I2CS_SADRS	I <sup>2</sup> C Slave Address Setup Register	I <sup>2</sup> Cスレーブアドレスの設定
0x4366	I2CS_CTL	I <sup>2</sup> C Slave Control Register	I <sup>2</sup> Cスレーブの制御
0x4368	I2CS_STAT	I <sup>2</sup> C Slave Status Register	I <sup>2</sup> Cスレーブのバスステータスの表示
0x436a	I2CS_ASTAT	I <sup>2</sup> C Slave Access Status Register	I <sup>2</sup> Cスレーブのアクセスステータスの表示
0x436c	I2CS_ICTL	I <sup>2</sup> C Slave Interrupt Control Register	I <sup>2</sup> Cスレーブ割り込みの制御

以下、I<sup>2</sup>Cスレーブモジュールのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

**0x4360: I<sup>2</sup>C Slave Transmit Data Register (I2CS\_TRNS)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I <sup>2</sup> C Slave Transmit Data Register (I2CS_TRNS)	0x4360 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SDATA[7:0]	I <sup>2</sup> C slave transmit data	0–0xff	0x0	R/W	

**D[15:8] Reserved****D[7:0] SDATA[7:0]: I<sup>2</sup>C Slave Transmit Data Bits**

送信データを設定します。(デフォルト: 0x0)

SDA1端子からはシリアル変換されたデータがMSBを先頭に、0に設定されたビットをLowレベルとして出力されます。このレジスタに書き込んだデータがシフトレジスタに転送された時点で、送信割り込みが発生します。それ以降であれば、次の送信データを書き込むことができます。

クロックストレッチ機能を無効にしている場合は、送信割り込み発生後、I<sup>2</sup>Cスレーブクロック(SCL1)の7サイクル以内にデータを本レジスタに書き込む必要があります。

ただし、スレーブ選択後に送信する最初のデータは、以下の点に注意して設定してください。

クロックストレッチ機能が無効(デフォルト)の場合

TXEMPが1にセットされてからI<sup>2</sup>Cスレーブクロック(SCL1)の1サイクル以内に送信データをSDATA[7:0]に書き込む必要があります。

この時間が短いため、TXEMPがセットされる前に先行して送信データの書き込みを行っておきます。SDATA[7:0]に前回の送信データが残っていた場合も今回のデータにより上書きされますので、TBUF\_CLRによるクリア操作(下記参照)は不要です。

クロックストレッチ機能が有効の場合

クロックストレッチによるウェイト機能が働くため、TXEMPがセットされた後でも送信データの書き込みが可能です。ただし、SDATA[7:0]に前回の送信データが残っているとTXEMPがセットされた時点でそのデータが送信されてしまいますので、本I<sup>2</sup>Cスレーブが選択される前にTBUF\_CLR(D8/I2CS\_CTLレジスタ)を使用してI2CS\_TRNSレジスタをクリアしておきます。TBUF\_CLRに1を書き込んだ後、もう一度0を書き込むことによりI2CS\_TRNSレジスタがクリアされます。

TXEMPがセットされる前に最初の送信データを書き込んでおく場合は、I2CS\_TRNSレジスタをクリアする必要はありません。

**0x4362: I<sup>2</sup>C Slave Receive Data Register (I2CS\_RECV)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I <sup>2</sup> C Slave Receive Data Register (I2CS_RECV)	0x4362 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	<b>RDATA[7:0]</b>	I <sup>2</sup> C slave receive data	0–0xff	0x0	R	

**D[15:8]   Reserved****D[7:0]    RDATA[7:0]: I<sup>2</sup>C Slave Receive Data Bits**

受信データが読み出せます。(デフォルト: 0x0)

SDA1端子から入力されたシリアルデータは先頭をMSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。

受信が終了し、シフトレジスタのデータがこのレジスタに転送された時点でRXRDY(D4/I2CS\_ASTATレジスタ)がセットされ、受信割り込みが発生します。これ以降、データの読み出しが可能です。

クロックストレッチ機能を無効にしている場合は、RXRDYのセットからI<sup>2</sup>Cスレーブクロック(SCL1)の7サイクル以内にデータを本レジスタから読み出す必要があります。データが読み出されずに次のデータを受信すると、本レジスタは新たな受信データで上書きされてしまいます。

0x4364: I<sup>2</sup>C Slave Address Setup Register (I2CS\_SADRS)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I <sup>2</sup> C Slave Address Setup Register (I2CS_SADRS)	0x4364 (16 bits)	D15-7	—	reserved	—	—	—	0 when being read.
		D6-0	SADRS[6:0]	I <sup>2</sup> C slave address	0-0x7f	0x0	R/W	

D[15:7]    **Reserved**

D[6:0]    **SADRS[6:0]: I<sup>2</sup>C Slave Address Bits**

本モジュールのI<sup>2</sup>Cスレーブアドレスを設定します。(デフォルト: 0x0)

**0x4366: I<sup>2</sup>C Slave Control Register (I2CS\_CTL)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I <sup>2</sup> C Slave Control Register (I2CS_CTL)	0x4366 (16 bits)	D15-9	—	reserved	—	—	—	0 when being read.
		D8	<b>TBUF_CLR</b>	I2CS_TRNS register clear	1 Clear state	0 Normal	0 R/W	
		D7	<b>I2C_EN</b>	I <sup>2</sup> C slave enable	1 Enable	0 Disable	0 R/W	
		D6	<b>SOFTRESET</b>	Software reset	1 Reset	0 Cancel	0 R/W	
		D5	<b>NAK_ANS</b>	NAK answer	1 NAK	0 ACK	0 R/W	
		D4	<b>BFREQ_EN</b>	Bus free request enable	1 Enable	0 Disable	0 R/W	
		D3	<b>CLKSTR_EN</b>	Clock stretch On/Off	1 On	0 Off	0 R/W	
		D2	<b>NF_EN</b>	Noise filter On/Off	1 On	0 Off	0 R/W	
		D1	<b>ASDET_EN</b>	Async.address detection On/Off	1 On	0 Off	0 R/W	
		D0	<b>COM_MODE</b>	I <sup>2</sup> C slave communication mode	1 Active	0 Standby	0 R/W	NAK response when standby

**D[15:9] Reserved****D8 TBUF\_CLR: I2CS\_TRNS Register Clear Bit**

I2CS\_TRNSレジスタ(0x4360)をクリアします。

1(R/W): クリア状態

0(R/W): 通常状態(クリア解除) (デフォルト)

TBUF\_CLRに1を書き込むとI2CS\_TRNSレジスタがクリア状態となり、その後0を書き込むとクリア状態が解除され通常の状態に戻ります。1と0の書き込みの間に待ち時間を挿入する必要はありません。

以前に終了した送信のデータがI2CS\_TRNSレジスタに残っている状態で新たな送信を開始すると、TXEMP(D3/I2CS\_ASTATレジスタ)がセットされた時点でそのデータが送信されてしまいます。これを防ぐため、送信開始前(スレーブ選択の前)に本ビットによりI2CS\_TRNSレジスタをクリアしてください。TXEMPのセット前に実際の送信データをI2CS\_TRNSレジスタに書き込む場合、クリア操作は不要です。

I2CS\_TRNSレジスタがクリア状態(TBUF\_CLR = 1)でもI2CS\_TRNSレジスタへのデータの書き込みは可能です。ただし、この書き込みによってTXEMPは0にリセットされません。また、その後TBUF\_CLRを0に戻してもTXEMPは0にリセットされませんので、I2CS\_TRNSレジスタへのデータの書き込みはTBUF\_CLR = 0の状態で行ってください。

**D7 I2C\_EN: I<sup>2</sup>C Slave Enable Bit**

I<sup>2</sup>Cスレーブモジュールの動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I2C\_ENを1に設定するとI<sup>2</sup>Cスレーブモジュールが動作を開始し、データ転送が行える状態になります。I2C\_ENを0に設定すると、I<sup>2</sup>Cスレーブモジュールは動作を停止します。

**D6 SOFTRESET: Software Reset Bit**

I<sup>2</sup>Cスレーブモジュールをリセットします。

1(R/W): リセット

0(R/W): リセット解除(デフォルト)

I<sup>2</sup>Cスレーブモジュールをリセットするには、SOFTRESETに1を書き込んでモジュールをリセット状態にし、その後で0を書き込んでリセット状態を解除します。1と0の書き込みの間には、特に待ち時間の挿入は必要ありません。この操作により、I<sup>2</sup>Cスレーブモジュールは、スタートコンディションに待機するため、I<sup>2</sup>Cスレーブの通信プロセスを初期化するとともに、SDA1およびSCL1端子をハイインピーダンスにします。また、SOFTRESETを除くすべてのI<sup>2</sup>Cスレーブ制御ビットを初期化します。通信を開始する前の初期設定時に、このリセット処理を行ってください。

**D5 NAK\_ANS: NAK Answer Bit**

データ受信後の応答ビットを指定します。

1(R/W): NAK

0(R/W): ACK(デフォルト)

8ビットデータの受信が完了後、I<sup>2</sup>CスレーブモジュールはマスタにACK(SDA1 = Low)またはNAK(SDA1 = Hi-Z)を返します。NAK\_ANSでACKとNAKのどちらを返すか、1つ前のデータ受信によるRXRDYのセットからI<sup>2</sup>Cスレーブクロック(SCL1)の7サイクル以内で指定しておきます。

**D4 BREQ\_EN: Bus Free Request Enable Bit**

#BFR端子へのLowパルス入力によるI<sup>2</sup>Cバス解放要求を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I<sup>2</sup>Cバス解放要求を受け付ける場合に1に設定してください。バス解放要求を受け付けるとBREQ(D4/I2CS\_STATレジスタ)が1にセットされます。これにより、I<sup>2</sup>CスレーブモジュールはI<sup>2</sup>Cスレーブの通信プロセスを初期化し、SDA1およびSCL1端子をハイインピーダンスにします。ソフトウェアリセットとは異なり、この処理で制御レジスタは初期化されません。BREQ\_ENを0に設定すると、#BFR端子へのLowパルス入力は無視され、BREQは1にセットされません。

**D3 CLKSTR\_EN: Clock Stretch On/Off Bit**

クロックストレッチ機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

クロックストレッチは、スレーブデバイスが1つのデータとACKの送受信の後、次の送受信の準備が整うまでSCLラインを強制的にLowにプルダウンしてマスタデバイスにウェイトを要求する機能です。マスタはこの要求が解除される(SCLラインがHighになる)まで、送受信を中断して待機します。この機能を有効にするには、送受信前にCLKSTR\_ENを1に設定してください。

**D2 NF\_EN: Noise Filter On/Off Bit**

ノイズ除去機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

I<sup>2</sup>Cスレーブモジュールには、SDA1およびSCL1端子の入力信号からノイズを除去する機能が組み込まれており、NF\_ENを1に設定することにより有効となります。

**D1 ASDET\_EN: Async. Address Detection On/Off Bit**

非同期アドレス検出機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

データ通信時は、I<sup>2</sup>Cスレーブモジュールの動作クロック(PCLK)を転送速度の8倍以上の周波数に設定する必要がありますが、通信待機中に他の処理が不要の場合は、PCLKの周波数を下げて消費電流を抑えるようにします。非同期アドレス検出機能は、この場合でもマスタが送信する本I<sup>2</sup>Cスレーブのアドレスを検出するための機能です。ASDET\_ENを1に設定すると、この機能が有効になります。本機能を有効にした場合、マスタが送信したスレーブアドレスが本I<sup>2</sup>Cスレーブアドレスに一致すると、本モジュールはバスステータス割り込みを発生すると共にI<sup>2</sup>Cマスタに対してNAKを返し、再送を要求します。この割り込み処理ルーチン内でPCLKを転送速度の8倍以上に設定し、ASDET\_ENを0にリセットしてください。この後、マスタからの再送により通常データ転送を再開できます。ストップコンディションによりバスがフリー状態になった後は、再度非同期アドレス検出機能を有効にして動作速度を下げるすることができます。

- 注: • 非同期アドレス検出機能を有効にした場合、I<sup>2</sup>C信号はノイズフィルタを通さずに入力されます。このため、ノイズが多い環境ではスレーブアドレスを正しく検出できない場合があります。
- 非同期アドレス検出機能を有効にすると、PCLKの周波数が転送速度の8倍以上であってもデータ転送は行えません。通常動作時は、非同期アドレス検出機能を必ず無効にしてください。

**D0 COM\_MODE: I<sup>2</sup>C Slave Communication Mode Bit**

通信を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I2C\_EN(D7)を1に設定してI<sup>2</sup>Cスレーブの動作を許可した後、COM\_MODEを1に設定して通信を許可します。

COM\_MODEが0の場合、マスタから本デバイスのスレーブアドレスが送信されても応答しません(ホストはNAKが返ったものと見なします)。

**0x4368: I<sup>2</sup>C Slave Status Register (I2CS\_STAT)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I <sup>2</sup> C Slave Status Register (I2CS_STAT)	0x4368 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7	<b>BSTAT</b>	Bus status transition	1 Changed 0 Unchanged	0	R	
		D6	–	reserved	–	–	–	0 when being read.
		D5	<b>TXUDF</b> <b>RXOVF</b>	Transmit data underflow Receive data overflow	1 Occurred 0 Not occurred	0	R/W	Reset by writing 1.
		D4	<b>BFREQ</b>	Bus free request	1 Occurred 0 Not occurred	0	R/W	
		D3	<b>DMS</b>	Output data mismatch	1 Error 0 Normal	0	R/W	
		D2	<b>ASDET</b>	Async. address detection status	1 Detected 0 Not detected	0	R/W	
		D1	<b>DA_NAK</b>	NAK receive status	1 NAK 0 ACK	0	R/W	
		D0	<b>DA_STOP</b>	STOP condition detect	1 Detected 0 Not detected	0	R/W	

**D[15:8] Reserved****D7 BSTAT: Bus Status Transition Bit**

バスの状態変化を示します。

1(R): 変化あり

0(R): 変化なし(デフォルト)

TXUDF/RXOVF(D5)、BFREQ(D4)、DMS(D3)、ASDET(D2)、DA\_NAK(D1)、DA\_STOP(D0)のいずれかのビットが1にセットされるとBSTATもセットされ、BSTAT\_IEN(D2/I2CS\_ICTLレジスタ)によって割り込みが許可されていれば割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理や終了処理が行えます。

TXUDF/RXOVF(D5)、BFREQ(D4)、DMS(D3)、ASDET(D2)、DA\_NAK(D1)、DA\_STOP(D0)のすべてのビットが0にリセットされることによりBSTATもリセットされます。

**D6 Reserved****D5 TXUDF: Transmit Data Underflow Bit (送信時)****RXOVF: Receive Data Overflow Bit (受信時)**

送信/受信データレジスタの状態を示します。

1(R/W): データアンダーフロー/オーバーフローあり

0(R/W): データアンダーフロー/オーバーフローなし(デフォルト)

このビットはクロックストレッチ機能を無効にして送信/受信を行っている場合にのみ有効です。I2CS\_TRNSレジスタに送信データを書き込む前に次の送信が始まった場合、送信データアンダーフローとしてTXUDFが1にセットされます。または、I2CS\_RECVレジスタの受信データを読み出す前に次の受信が終了し、新たな受信データによってI2CS\_RECVレジスタが上書きされると、データオーバーフローとしてRXOVFが1にセットされます。

BSTAT\_IEN(D2/I2CS\_ICTLレジスタ)によって割り込みが許可されていれば、同時に割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理が行えます。

1にセットされたTXUDF/RXOVFは1の書き込みによりリセットできます。

**D4 BFREQ: Bus Free Request Bit**

I<sup>2</sup>Cバス解放要求の状態を示します。

1(R/W): 要求あり

0(R/W): 要求なし(デフォルト)

BFREQ\_EN(D4/I2CS\_CTLレジスタ)が1(バス解放要求受け付け機能が有効)に設定されている場合、#BFR端子からシステムクロック(PCLK)5クロック以上のパルス幅を持つLowパルスが入力されるとBFREQが1にセットされ、バス解放要求が受け付けられます。バス解放要求を受け付けると、I<sup>2</sup>CスレーブモジュールはI<sup>2</sup>Cの通信プロセスを初期化し、SDA1およびSCL1端子をハイインピーダンスにします。この処理でI<sup>2</sup>Cスレーブの制御レジスタは初期化されません。

BSTAT\_IEN(D2/I2CS\_ICTLレジスタ)によって割り込みが許可されていれば、BFREQのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理が行えます。

1にセットされたBFREQは1の書き込みによりリセットできます。

BFREQ\_ENが0に設定されていると、#BFR端子へのLowパルス入力は無視され、BFREQは1にセットされません。

**D3 DMS: Output Data Mismatch Bit**

出力データとSDA1ラインの状態の比較結果を示します。

1(R/W): エラーあり

0(R/W): エラーなし(デフォルト)

データ送信中はSDA1の状態がモジュール内にも取り込まれ、出力データと比較されます。この結果がDMSにセットされます。正しく出力されている場合、DMSは0になります。SDA1の状態が出力データと異なる場合は1にセットされます。この場合、プルアップ抵抗値が低いか、ほかのI<sup>2</sup>CデバイスがSDA1ラインを制御していることが考えられます。

BSTAT\_IEN(D2/I2CS\_ICTLレジスタ)によって割り込みが許可されていれば、DMSのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理が行えます。1にセットされたDMSは1の書き込みによりリセットできます。

**注:** 本ICを含む複数のスレーブデバイスがI<sup>2</sup>Cバスに接続されている状態でマスタデバイスと他のスレーブデバイスが通信を開始した場合、スレーブアドレスの送信に対して本I<sup>2</sup>CスレーブはNAKで応答します。選択されたスレーブデバイスはACKで応答するため、本I<sup>2</sup>Cスレーブによる出力内容とSDAラインが異なる状態となりDMSが発生することがあります。DMSが発生した場合でもSELECTED(D1/I2CS\_ASTATレジスタ)が0のときは、他のスレーブデバイスとACK/NAK応答が異なるだけで問題ありませんので無視してください。この場合でも、非同期アドレス検出状態(ASDET\_EN = 0)に設定されているときはDMSは発生しません。

**D2 ASDET: Async. Address Detection Status Bit**

非同期アドレス検出の状態を示します。

1(R/W): 検出

0(R/W): 未検出(デフォルト)

データ通信時は、I<sup>2</sup>Cスレーブモジュールの動作クロック(PCLK)を転送速度の8倍以上の周波数に設定する必要がありますが、通信待機中に他の処理が不要の場合は、PCLKの周波数を下げて消費電流を抑えることができます。非同期アドレス検出機能は、この場合でもマスタが送信する本I<sup>2</sup>Cスレーブのアドレスを検出するための機能です。ASDET\_EN(D1/I2CS\_CTLレジスタ)によって非同期アドレス検出機能を有効にしている場合に本デバイスのスレーブアドレスを検出すると、ASDETが1にセットされます。本モジュールはI<sup>2</sup>Cマスタに対してNAKを返し、再送を要求します。BSTAT\_IEN(D2/I2CS\_ICTLレジスタ)によって割り込みが許可されていれば、ASDETのセットと同時に割り込み信号がITCに出力されます。この割り込み処理ルーチン内でPCLKを転送速度の8倍以上に設定し、非同期アドレス検出機能を無効にしてください。この後、マスタからの再送により通常のデータ転送を再開できます。

1にセットされたASDETは1の書き込みによりリセットできます。

**D1 DA\_NAK: NAK Receive Status Bit**

マスタの応答ビットを示します。

1(R/W): NAK

0(R/W): ACK(デフォルト)

8ビットのデータを送信後、マスタからACKが返るとDA\_NAKは0になります。これは、マスタがデータを正常に受信できたことを示します。DA\_NAKが1の場合、マスタが正しく受信できなかったか、あるいはマスタが受信を終了することを示します。

BSTAT\_IEN(D2/I2CS\_ICTLレジスタ)によって割り込みが許可されていれば、DA\_NAKのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理が行えます。

1にセットされたDA\_NAKは1の書き込みによりリセットできます。

**D0 DA\_STOP: Stop Condition Detect Bit**

ストップコンディション、またはリピーテッドスタートコンディションを検出したことを示します。

1(R/W): 検出

0(R/W): 未検出(デフォルト)

本モジュールがスレーブとして選択されている状態(SELECTED(D1/I2CS\_ASTATレジスタ) = 1)でストップコンディション、またはリピーテッドスタートコンディションを検出すると、I<sup>2</sup>CスレーブモジュールはDA\_STOPを1にセットします。同時にI<sup>2</sup>Cの通信プロセスを初期化します。

BSTAT\_IEN(D2/I2CS\_ICTLレジスタ)によって割り込みが許可されていれば、DA\_STOPのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、終了処理が行えます。1にセットされたDA\_STOPは1の書き込みによりリセットできます。

**0x436a: I<sup>2</sup>C Slave Access Status Register (I2CS\_ASTAT)**

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
I <sup>2</sup> C Slave Access Status Register (I2CS_ASTAT)	0x436a (16 bits)	D15–5	—	reserved	—		—	—	0 when being read.		
		D4	<b>RXRDY</b>	Receive data ready	1	Ready	0	Not ready		0	R
		D3	<b>TXEMP</b>	Transmit data empty	1	Empty	0	Not empty		0	R
		D2	<b>BUSY</b>	I <sup>2</sup> C bus status	1	Busy	0	Free		0	R
		D1	<b>SELECTED</b>	I <sup>2</sup> C slave select status	1	Selected	0	Not selected		0	R
		D0	<b>R/W</b>	Read/write direction	1	Output	0	Input		0	R

**D[15:5] Reserved****D4 RXRDY: Receive Data Ready Bit**

受信データが読み出し可能であることを示します。

1(R): 受信データあり

0(R): 受信データなし(デフォルト)

受信データがI2CS\_RECVレジスタにロードされるとRXRDYが1にセットされます。

RXRDY\_IEN(D1/I2CS\_CTLレジスタ)によって割り込みが許可されていれば、RXRDYのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、受信データを読み出すことができます。

1にセットされたRXRDYは、I2CS\_RECVレジスタの読み出しによってリセットされます。

**D3 TXEMP: Transmit Data Empty Bit**

送信データが書き込み可能であることを示します。

1(R): 送信データなし

0(R): 送信データあり(デフォルト)

I2CS\_TRNSレジスタのデータが送信されるとTXEMPが1にセットされます。

TXEMP\_IEN(D0/I2CS\_CTLレジスタ)によって割り込みが許可されていれば、TXEMPのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、次の送信データを書き込むことができます。

1にセットされたTXEMPは、I2CS\_TRNSレジスタへのデータ書き込みによってリセットされます。

**D2 BUSY: I<sup>2</sup>C Bus Status Bit**

I<sup>2</sup>Cバスの状態を示します。

1(R): 使用中

0(R): バスフリー状態(デフォルト)

スタートコンディションを検出、またはSCL1もしくはSDA1がLowレベルになったことを検出するとBUSYが1にセットされ、I<sup>2</sup>Cバスがビジー状態になったことを示します。本モジュールがスレーブデバイスとして選択されたか否かは、本ビットの状態には影響しません。1にセットされたBUSYはストップコンディションの検出によりリセットされます。

**D1 SELECTED: I<sup>2</sup>C Slave Select Status Bit**

本モジュールがI<sup>2</sup>Cスレーブデバイスとして選択されていることを示します。

1(R): 選択状態

0(R): 非選択状態(デフォルト)

本モジュールに設定したスレーブアドレスを受信するとSELECTEDが1にセットされ、本モジュールがI<sup>2</sup>Cスレーブデバイスとして選択されたことを示します。1にセットされたSELECTEDはストップコンディションもしくはリピーテッドスタートコンディションの検出によりリセットされます。

**D0 R/W: Read/Write Direction Bit**

転送方向ビットの値を示します。

1(R): 出力(マスタによるリード)

0(R): 入力(マスタによるライト) (デフォルト)

スレーブアドレスと共に受信した転送方向ビットの値がセットされますので、送信/受信処理の切り換えに利用してください。

**0x436c: I<sup>2</sup>C Slave Interrupt Control Register (I2CS\_ICTL)**

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
I <sup>2</sup> C Slave Interrupt Control Register (I2CS_ICTL)	0x436c (16 bits)	D15–3	–	reserved	–			–	–	0 when being read.
		D2	<b>BSTAT_IEN</b>	Bus status interrupt enable	1	Enable	0	Disable	0	R/W
		D1	<b>RXRDY_IEN</b>	Receive interrupt enable	1	Enable	0	Disable	0	R/W
		D0	<b>TXEMP_IEN</b>	Transmit interrupt enable	1	Enable	0	Disable	0	R/W

**D[15:3] Reserved****D2 BSTAT\_IEN: Bus Status Interrupt Enable Bit**

バスステータス割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

BSTAT\_IENを1に設定すると、バスの状態変化によるI<sup>2</sup>Cスレーブ割り込み要求のITCへの出力を許可します。この割り込み要求は、BSTAT(D7/I2CS\_STATレジスタ)が1にセットされることにより発生します。(BSTATの説明を参照してください。)

BSTAT\_IENを0に設定すると、バスステータス割り込みは発生しません。

**D1 RXRDY\_IEN: Receive Interrupt Enable Bit**

I<sup>2</sup>Cスレーブの受信割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

RXRDY\_IENを1に設定すると、受信によるI<sup>2</sup>Cスレーブ割り込み要求のITCへの出力を許可します。この割り込み要求は、シフトレジスタに受信したデータがI2CS\_RECVレジスタに転送される(受信が完了する)ことにより発生します。

RXRDY\_IENを0に設定すると、受信割り込みは発生しません。

**D0 TXEMP\_IEN: Transmit Interrupt Enable Bit**

I<sup>2</sup>Cスレーブの送信割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

TXEMP\_IENを1に設定すると、送信によるI<sup>2</sup>Cスレーブ割り込み要求のITCへの出力を許可します。この割り込み要求は、I2CS\_TRNSレジスタに書き込んだデータがシフトレジスタに転送されることにより発生します。

TXEMP\_IENを0に設定すると、送信割り込みは発生しません。

## 21.8 注意事項

- データ通信時は、I<sup>2</sup>Cスレーブモジュールの動作クロック(PCLK)を転送速度の8倍以上の周波数に設定する必要があります。
- 非同期アドレス検出機能を有効にした場合、I<sup>2</sup>C信号はノイズフィルタを通さずに入力されます。このため、ノイズが多い環境ではスレーブアドレスを正しく検出できない場合があります。
- 非同期アドレス検出機能を有効にすると、PCLKの周波数が転送速度の8倍以上あってもデータ転送は行えません。通常動作時は、非同期アドレス検出機能を必ず無効にしてください。

- 本ICを含む複数のスレーブデバイスがI<sup>2</sup>Cバスに接続されている状態でマスタデバイスと他のスレーブデバイスが通信を開始した場合、スレーブアドレスの送信に対して本I<sup>2</sup>CスレーブはNAKで応答します。選択されたスレーブデバイスはACKで応答するため、本I<sup>2</sup>Cスレーブによる出力内容とSDA1ラインが異なる状態となりDMSが発生することがあります。

DMSが発生した場合でもSELECTED(D1/I2CS\_ASTATレジスタ)が0のときは、他のスレーブデバイスとACK/NAK応答が異なるだけで問題ありませんので無視してください。

この場合でも、非同期アドレス検出状態(ASDET\_EN=0)に設定されているときはDMSは発生しません。

- スレーブ選択後に送信する最初のデータは、以下の点に注意して設定してください。

クロックストレッチ機能が無効(デフォルト)の場合

TXEMPが1にセットされてからI<sup>2</sup>Cスレーブクロック(SCL1)の1サイクル以内に送信データをSDATA[7:0]に書き込む必要があります。

この時間が短いため、TXEMPがセットされる前に先行して送信データの書き込みを行っておきます。SDATA[7:0]に前回の送信データが残っていた場合も今回のデータにより上書きされますので、TBUF\_CLRによるクリア操作(下記参照)は不要です。

クロックストレッチ機能が有効の場合

クロックストレッチによるウェイト機能が働くため、TXEMPがセットされた後でも送信データの書き込みが可能です。ただし、SDATA[7:0]に前回の送信データが残っているとTXEMPがセットされた時点でそのデータが送信されてしまいますので、本I<sup>2</sup>Cスレーブが選択される前にTBUF\_CLR(D8/I2CS\_CTLレジスタ)を使用してI2CS\_TRNSレジスタをクリアしておきます。TBUF\_CLRに1を書き込んだ後、もう一度0を書き込むことによりI2CS\_TRNSレジスタがクリアされます。

TXEMPがセットされる前に最初の送信データを書き込んでおく場合は、I2CS\_TRNSレジスタをクリアする必要はありません。

- クロックストレッチ機能を無効にしている場合の送信データの書き込みと受信データの読み出しは、以下に示す時間内に行ってください。

データ送信時: TXEMPのセット(送信割り込みの発生)からI<sup>2</sup>Cスレーブクロック(SCL1)の7サイクル以内(スレーブ選択後、最初のデータ送信時については上記の注意を参照)

データ受信時: RXRDYのセット(受信割り込みの発生)からI<sup>2</sup>Cスレーブクロック(SCL1)の7サイクル以内

NAK\_ANS(D5/I2CS\_CTLレジスタ)によるNAK送信の設定もこの時間内に行ってください。

- 下記の条件がすべて成立している状態で、マスタが送信したアドレスに対して本I<sup>2</sup>CSがNAKを返信した場合、マスタは異なるスレーブへアドレスを送信する前に33 $\mu$ s以上の待ち時間を取る必要があります(本I<sup>2</sup>CSのスレーブアドレスを送信する場合を除く)。

1. 通信レートを320kbps以上に設定している。
2. 非同期アドレス検出機能を有効にしている。
3. OSC1を動作クロック(PCLK)として、本I<sup>2</sup>CSが通信待機状態にある。

# 22 リモートコントローラ (REMC)

## 22.1 REMCの構成

S1C17003は赤外線リモコンの送受信信号を生成するリモートコントローラ (REMC) モジュールを内蔵しています。REMCモジュールは、プリスケアラ出力クロックを使用してキャリア信号を発生するキャリア発生回路、送受信データ長をカウントする8ビットダウンカウンタ、指定したキャリア長で送信データを生成する変調回路、入力信号の立ち上がりエッジ/立ち下がりエッジを検出するエッジ検出回路で構成されます。

また、指定データ長の送信が終了したことを示すカウンタアンダーフロー割り込み、データ受信処理用の入力立ち上がりエッジ/立ち下がりエッジ検出割り込みを発生可能です。

図22.1.1にREMCモジュールの構造を示します。

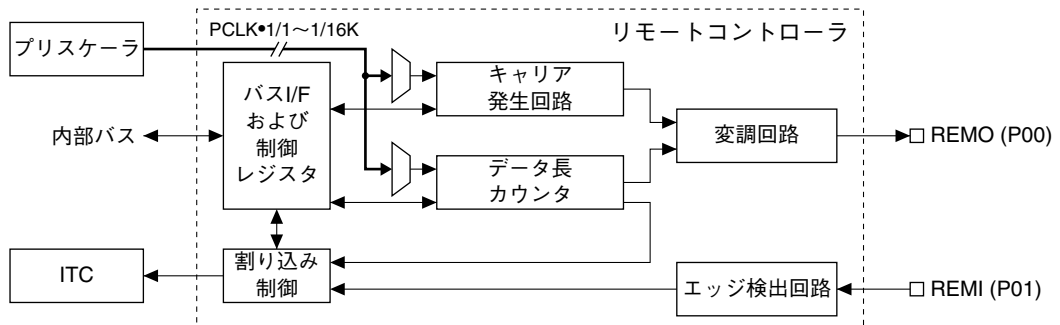


図22.1.1 REMCモジュールの構造

## 22.2 REMC入出力端子

表22.2.1にREMCの入出力端子を示します。

表22.2.1 REMC端子一覧

端子名	I/O	本数	機 能
REMI (P01)	I	1	リモコン受信データ入力端子 受信データを入力します。
REMO (P00)	O	1	リモコン送信データ出力端子 変調したリモコン送信データを出力します。

REMCモジュールの入出力端子(REMI、REMO)は汎用入出力ポート端子(P01、P00)を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをREMCの入出力端子として使用するには、P0\_PMUXレジスタの設定により機能を切り換える必要があります。以下の制御ビットを1に設定して、端子をREMC用に切り換えてください。

P01 → REMI

\* **P01MUX**: P01 Port Function Select Bit in the P0 Port Function Select (P0\_PMUX) Register (D2/0x52a0)

P00 → REMO

\* **P00MUX**: P00 Port Function Select Bit in the P0 Port Function Select (P0\_PMUX) Register (D0/0x52a0)

端子の機能と切り換えの詳細については、“10.2 入出力端子機能の選択(ポートMUX)”を参照してください。

## 22.3 キャリアの生成

REMCモジュールには、キャリア発生回路が組み込まれています。キャリア発生回路はソフトウェアで設定されたクロック、キャリアH区間長、キャリアL区間長に従い、送信用キャリア信号を生成します。

キャリア信号生成用クロックにはプリスケアラ出力クロックを使用します。プリスケアラはPCLKクロックを1/1～1/16Kに分周して15種類のクロックを生成します。この中から1つをCGCLK[3:0](D[15:12]/REMC\_CFGレジスタ)で選択します。

\* **CGCLK[3:0]**: Carrier Generator Clock Select Bits in the REMC Configuration (REMC\_CFG) Register (D[15:12]/0x5340)

表22.3.1 キャリア生成用クロックの選択

CGCLK[3:0]	プリスケアラ出力クロック	CGCLK[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

プリスケアラの制御については、“9 プリスケアラ(PSC)”を参照してください。

**注:** REMCモジュールを動作させるには、その前にプリスケアラを動作させておく必要があります。

キャリアH区間長とキャリアL区間長は、それぞれREMCH[5:0](D[5:0]/REMC\_CARレジスタ)とREMCL[5:0](D[13:8]/REMC\_CARレジスタ)で設定します。これらのレジスタには、上記のとおり選択したクロックのサイクル数+1の値を設定します。

\* **REMCH[5:0]**: H Carrier Length Setup Bits in the REMC Carrier Length Setup (REMC\_CAR) Register (D[5:0]/0x5342)

\* **REMCL[5:0]**: L Carrier Length Setup Bits in the REMC Carrier Length Setup (REMC\_CAR) Register (D[13:8]/0x5342)

キャリアH区間長およびキャリアL区間長は次のように計算できます。

$$\text{キャリアH区間長} = \frac{\text{REMCH} + 1}{\text{clk\_in}} [\text{s}]$$

$$\text{キャリアL区間長} = \frac{\text{REMCL} + 1}{\text{clk\_in}} [\text{s}]$$

REMCH: キャリアH区間長レジスタデータ値

REMCL: キャリアL区間長レジスタデータ値

clk\_in: プリスケアラ出力クロック周波数

これらの設定により、キャリア信号は図22.3.1のとおり生成されます。

例: CGCLK[3:0] = 0x2 (PCLK•1/4)、REMCH[5:0] = 2、REMCL[5:0] = 1

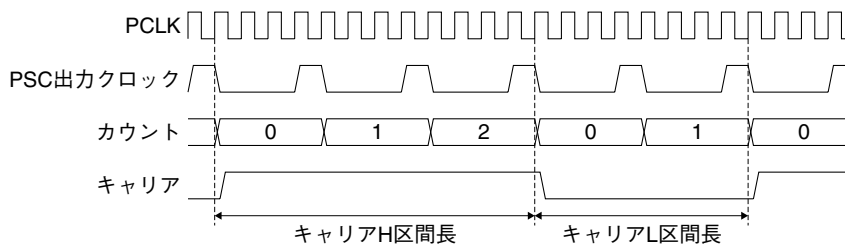


図22.3.1 キャリア信号の生成

## 22.4 データ長カウンタのクロック設定

データ長カウンタはデータ送信時にデータ長を設定するための8ビットカウンタです。  
データ送信時にデータパルス幅に相当する値を書き込むと、データ長カウンタはその値からカウントダウンを開始し、カウンタが0になるとアンダーフロー割り込み要因を発生して停止します。  
この割り込みを利用して、次の送信データを設定します。

データ受信時にもこのカウンタを使用して、受信データ長を計測することができます。データ受信時は、入力信号の立ち上がりおよび立ち下がりエッジで割り込みを発生可能です。入力変化時の割り込みを利用してデータ長カウンタに0xffを設定し、次の入力変化による割り込み発生時にカウント値を読み出すことで、その差分からデータパルス長が得られます。

このデータ長カウンタのカウントクロックにもプリスケアラ出力クロックが使用され、15種類から1つを選択することができます。プリスケアラ出力クロックは、キャリア生成用クロックとは別に用意されている制御ビットLCCLK[3:0](D[11:8]/REMC\_CFGレジスタ)で選択します。

\* **LCCLK[3:0]:** Length Counter Clock Select Bits in the REMC Configuration (REMC\_CFG) Register  
(D[11:8]/0x5340)

表22.4.1 データ長カウンタ用クロックの選択

LCCLK[3:0]	プリスケアラ出力クロック	LCCLK[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

データ長カウンタは最大256までカウント可能です。データ長がこの範囲に収まるようにカウントクロックを選択してください。

## 22.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) キャリア信号を設定します。22.3節を参照してください。
- (2) データ長カウンタのクロックを選択します。22.4節を参照してください。
- (3) 割り込み条件を設定します。22.6節を参照してください。

注: 上記の設定は必ずREMCモジュールが停止中(REMEN/REMC\_CFGレジスタ = 0)に行ってください。

\* **REMEN**: REMC Enable Bit in the REMC Configuration (REMC\_CFG) Register (D0/0x5340)

### データ送信制御

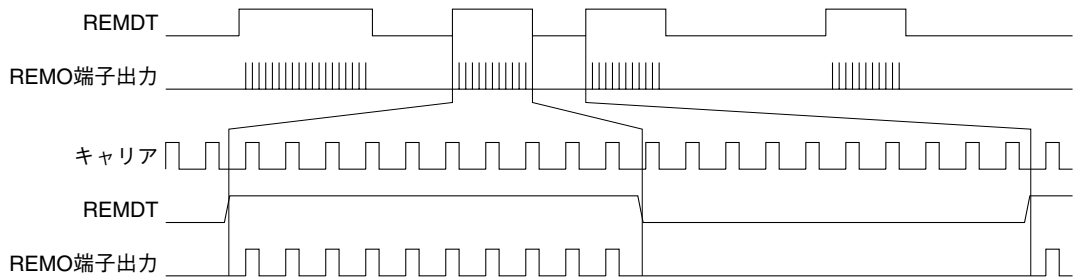


図22.5.1 データ送信

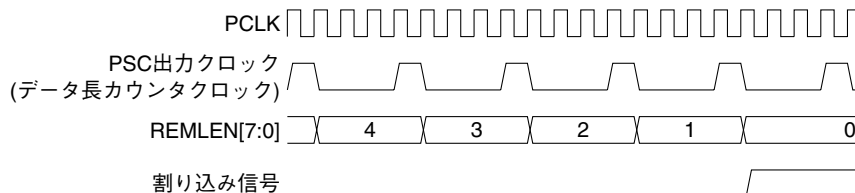


図22.5.2 アンダーフロー割り込み発生タイミング

#### (1) データ送信モードの設定

REMMD(D1/REMC\_CFGレジスタ)に0を書き込み、REMCを送信モードに設定します。

\* **REMMD**: REMC Mode Select Bit in the REMC Configuration (REMC\_CFG) Register (D1/0x5340)

#### (2) データ送信を許可

REMEN(D0/REMC\_CFGレジスタ)を1に設定してREMCの動作を許可します。これにより、REMCが送信動作を開始します。

不要なデータが送信されないように、REMENに1を書き込む前にREMDT(D0/REMC\_LCNTレジスタ)を0、REMLEN[7:0](D[15:8]/REMC\_LCNTレジスタ)を0x0に設定してください。

#### (3) 送信データの設定

送信するデータ(HighまたはLow)をREMDT(D0/REMC\_LCNTレジスタ)に設定します。

\* **REMDT**: Transmit/Receive Data Bit in the REMC Length Counter (REMC\_LCNT) Register (D0/0x5344)

REMDTを1に設定するとHigh、0に設定するとLow出力となり、キャリア信号で変調されたのち、REMO端子から出力されます。

#### (4) データパルス長の設定

送信を開始したデータのパルス長(High期間またはLow期間)に相当する値をREMLEN[7:0](D[15:8]/REMC\_LCNTレジスタ)に書き込んで、データ長カウンタに設定します。

\* **REMLEN[7:0]**: Transmit/Receive Data Length Count Bits in the REMC Length Counter (REMC\_LCNT) Register (D[15:8]/0x5344)

データ長カウンタに設定する値は次のとおりです。

設定値 = データパルス長(秒) × プリスケアラ出力クロック周波数(Hz)

データ長カウンタは書き込まれた値から、選択されているプリスケアラ出力クロックでカウントダウンを開始します。

データ長カウンタの値が0になるとアンダーフロー割り込み要因が発生し、割り込みが許可されている場合は割り込みコントローラ(ITC)にREMC割り込み要求を出力します。データ長カウンタは0の状態ではカウントを停止します。

#### (5) 割り込み処理

続くデータを送信する場合は、データ長カウンタのアンダーフローにより発生した割り込みの処理ルーチンの中で、次の送信データの設定(3)とデータパルス長の設定(4)を行います。

#### (6) データ送信の終了

データ送信を終了するには、最後のデータ送信が終了後(アンダーフロー割り込み発生後)、REMENに0を書き込んでください。

### データ受信制御

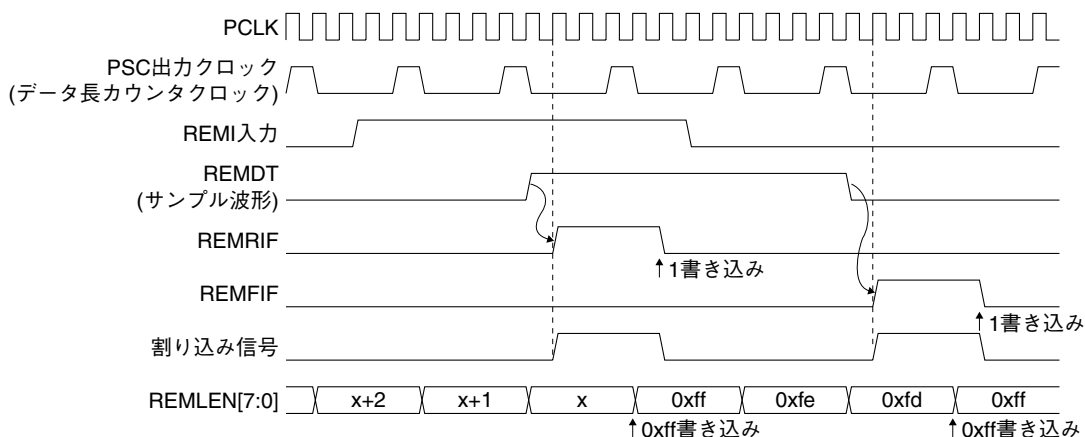


図22.5.3 データ受信

#### (1) データ受信モードの設定

REMMD(D1/REMC\_CFGレジスタ)に1を書き込み、REMCを受信モードに設定します。

#### (2) データ受信を許可

REMEN(D0/REMC\_CFGレジスタ)を1に設定してREMCの動作を許可します。これにより、REMCが受信動作(入力エッジ検出動作)を開始します。

REMCはREMI端子からの入力信号を、キャリア生成用に選択したプリスケアラ出力クロックでサンプリングして入力の変化(信号の立ち上がりエッジまたは立ち下がりエッジ)を検出します。信号のエッジが検出されると、立ち上がりエッジまたは立ち下がりエッジ割り込み要因が発生し、割り込みが許可されている場合はITCにREMC割り込み要求を出力します。立ち上がりエッジ割り込みと立ち下がりエッジ割り込みは個別に許可/禁止が可能です。

なお、入力に変化した後の信号レベルがサンプリングクロックの2サイクル以上連続して検出されない場合はノイズと見なされ、立ち上がりエッジまたは立ち下がりエッジ割り込みは発生しません。

### (3) 割り込み処理

立ち上がりエッジまたは立ち下がりエッジ割り込みが発生した場合は、その割り込み処理ルーチンの中で、0xffをREMLEN[7:0](D[15:8]/REMC\_LCNTレジスタ)に書き込んで、データ長カウンタに設定します。

データ長カウンタは書き込まれた値から、選択されているプリスケアラ出力クロックでカウントダウンを開始します。

受信したデータはREMDT(D0/REMC\_LCNTレジスタ)から読み出すことができます。

データパルスが終了すると次の立ち下がりエッジまたは立ち上がりエッジ割り込みが発生しますので、そこでデータ長カウンタを読み出します。0xffと読み出し値の差分からデータ長が算出できます。続くデータを受信する場合は、データ長カウンタを再度0xffに設定し、次の割り込みを待ちます。

データ長カウンタを0xffに設定後、エッジ割り込みが発生せずにデータ長カウンタが0になった場合はデータの終了か、何らかの受信エラーが考えられます。受信時でもデータ長カウンタのアンダーフロー割り込みは発生しますので、終了/エラー処理に利用してください。

### (4) データ受信の終了

データ受信を終了するには、最後のデータ受信が終了後、REMENに0を書き込んでください。

## 22.6 REMC割り込み

REMCモジュールには、以下の3種類の割り込みを発生させる機能があります。

- アンダーフロー割り込み
- 立ち上がりエッジ割り込み
- 立ち下がりエッジ割り込み

REMCモジュールは、上記3種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ (ITC) に対して出力します。発生した割り込み要因を特定するには、REMCモジュール内の割り込みフラグを読み出してください。

### アンダーフロー割り込み

この割り込み要求は、データ長カウンタがカウントダウンにより0になった時点で発生し、REMC内の割り込みフラグREMUIF(D8/REMC\_INTレジスタ)を1にセットします。

データ送信時は、設定したデータ長の送信が完了したことを示します。データ受信時は受信データが終了したか、受信エラーが発生したことを示します。

\* **REMUIF**: Underflow Interrupt Flag in the REMC Interrupt Control (REMC\_INT) Register (D8/0x5346)

この割り込みを使用するには、REMUIE(D0/REMC\_INTレジスタ)を1に設定します。REMUIEが0(デフォルト)に設定されているとREMUIFが1にセットされず、この要因による割り込み要求はITCに送られません。

\* **REMUIE**: Underflow Interrupt Enable Bit in the REMC Interrupt Control (REMC\_INT) Register (D0/0x5346)

REMUIFが1にセットされるとREMCは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

REMC割り込みがデータ長カウンタのアンダーフローによるものかどうかについては、REMC割り込み処理ルーチンでREMUIFを読み出して確認してください。

また、割り込み処理ルーチン内では、REMUIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

### 立ち上がりエッジ割り込み

この割り込み要求は、REMI端子の入力信号がLowからHighに変化すると発生し、REMC内の割り込みフラグREMRIF(D9/REMC\_INTレジスタ)を1にセットします。

データ受信時、本割り込みと立ち下がりエッジ割り込みの間にデータ長カウンタを動作させることで、そのカウント値から受信データのパルス幅を算出することができます。

\* **REMRIF**: Rising Edge Interrupt Flag in the REMC Interrupt Control (REMC\_INT) Register (D9/0x5346)

この割り込みを使用するには、REMRIE(D1/REMC\_INTレジスタ)を1に設定します。REMRIEが0(デフォルト)に設定されているとREMRIFは1にセットされず、この要因による割り込み要求はITCに送られません。

\* **REMRIE**: Rising Edge Interrupt Enable Bit in the REMC Interrupt Control (REMC\_INT) Register (D1/0x5346)

REMRIFが1にセットされるとREMCは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

REMC割り込みが入力信号の立ち上がりエッジによるものかどうかについては、REMC割り込み処理ルーチンでREMRIFを読み出して確認してください。

また、割り込み処理ルーチン内では、REMRIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

## 立ち下がリエッジ割り込み

この割り込み要求は、REMI端子の入力信号がHighからLowに変化すると発生し、REMC内の割り込みフラグREMFIF(D10/REMC\_INTレジスタ)を1にセットします。

データ受信時、本割り込みと立ち上がりエッジ割り込みの間にデータ長カウンタを動作させることで、そのカウント値から受信データのパルス幅を算出することができます。

\* **REMFIF**: Falling Edge Interrupt Flag in the REMC Interrupt Control (REMC\_INT) Register (D10/0x5346)

この割り込みを使用するには、REMFIE(D2/REMC\_INTレジスタ)を1に設定します。REMFIEが0(デフォルト)に設定されているとREMFIFが1にセットされず、この要因による割り込み要求はITCに送られません。

\* **REMFIE**: Falling Edge Interrupt Enable Bit in the REMC Interrupt Control (REMC\_INT) Register (D2/0x5346)

REMFIFが1にセットされるとREMCは割り込み要求をITCに出力します。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

REMC割り込みが入力信号の立ち下がリエッジによるものかどうかについては、REMC割り込み処理ルーチンでREMFIFを読み出して確認してください。

また、割り込み処理ルーチン内では、REMFIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

## 割り込みベクタ

REMC割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号: 20(0x14)

ベクタアドレス: TTBR + 0x50

## その他の割り込み設定

ITCではREMC割り込みの優先順位をレベル0(デフォルト)～レベル7に設定可能です。また、実際に割り込みを発生させるにはPSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットを1に設定しておく必要があります。

割り込み処理の詳細については、“6 割り込みコントローラ (ITC)”を参照してください。

## 22.7 制御レジスタ詳細

表22.7.1 REMCレジスタ一覧

アドレス	レジスタ名		機 能
0x5340	REMC_CFG	REMC Configuration Register	クロックと送受信の制御
0x5342	REMC_CAR	REMC Carrier Length Setup Register	キャリアのH/L区間長設定
0x5344	REMC_LCNT	REMC Length Counter Register	送受信ビットと送受信データ長の設定
0x5346	REMC_INT	REMC Interrupt Control Register	割り込みの制御

以下、REMCモジュールのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

**0x5340: REMC Configuration Register (REMC\_CFG)**

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
REMC Configuration Register (REMC_CFG)	0x5340 (16 bits)	D15–12	CGCLK[3:0]	Carrier generator clock select (Prescaler output clock)	CGCLK[3:0]		0x0	R/W	
					LCCLK[3:0]				
					0xf reserved				
					0xe PCLK•1/16384				
					0xd PCLK•1/8192				
					0xc PCLK•1/4096				
					0xb PCLK•1/2048				
					0xa PCLK•1/1024				
		D11–8	LCCLK[3:0]	Length counter clock select (Prescaler output clock)	0x9 PCLK•1/512				
					0x8 PCLK•1/256				
					0x7 PCLK•1/128				
					0x6 PCLK•1/64				
					0x5 PCLK•1/32				
					0x4 PCLK•1/16				
0x3 PCLK•1/8									
0x2 PCLK•1/4									
0x1 PCLK•1/2									
0x0 PCLK•1/1									
D7–2	–	reserved	–		–	–	0 when being read.		
D1	REMMD	REMC mode select	1	Receive	0	Transmit	0	R/W	
D0	REMEN	REMC enable	1	Enable	0	Disable	0	R/W	

**D[15:12] CGCLK[3:0]: Carrier Generator Clock Select Bits**

15種類のプリスケアラ出力クロックから、キャリア生成用クロックを選択します。

表22.7.2 キャリア生成用クロックの選択

CGCLK[3:0]	プリスケアラ出力クロック	CGCLK[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

**D[11:8] LCCLK[3:0]: Length Counter Clock Select Bits**

15種類のプリスケアラ出力クロックから、データ長カウンタ用クロックを選択します。

表22.7.3 データ長カウンタ用クロックの選択

LCCLK[3:0]	プリスケアラ出力クロック	LCCLK[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

注: クロックの設定は、REMCモジュールが停止中 (REMEN (D0) = 0) に行ってください。

**D[7:2] Reserved****D1 REMMD: REMC Mode Select Bit**

送受信方向を選択します。

1 (R/W): 受信

0 (R/W): 送信 (デフォルト)

### D0 REMEN: REMC Enable Bit

REMCモジュールの送受信を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

REMENを1に設定するとREMMD(D1)の設定に従って送信または受信の動作を開始します。

REMENを0に設定すると、REMCモジュールは動作を停止します。

**0x5342: REMC Carrier Length Setup Register (REMC\_CAR)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
REMC Carrier Length Setup Register (REMC_CAR)	0x5342 (16 bits)	D15-14	—	reserved	—	—	—	0 when being read.
		D13-8	REMCL[5:0]	L carrier length setup	0x0 to 0x3f	0x0	R/W	
		D7-6	—	reserved	—	—	—	0 when being read.
		D5-0	REMCH[5:0]	H carrier length setup	0x0 to 0x3f	0x0	R/W	

**D[15:14] Reserved****D[13:8] REMCL[5:0]: L Carrier Length Setup Bits**

キャリア信号のL区間長を設定します。(デフォルト: 0x0)

CGCLK[3:0] (D[15:12]/REMC\_CFGレジスタ)で選択したキャリア生成用クロックのサイクル数+1の値を指定します。

キャリアL区間長は次のように計算できます。

$$\text{キャリアL区間長} = \frac{\text{REMCL} + 1}{\text{clk\_in}} [\text{s}]$$

REMCL: REMCL[5:0]設定値

clk\_in: プリスケータ出力クロック周波数

REMCH[5:0] (D[5:0])でH区間長を指定します。

これらの設定により、キャリア信号は図22.7.1のとおり生成されます。

**D[7:6] Reserved****D[5:0] REMCH[5:0]: H Carrier Length Setup Bits**

キャリア信号のH区間長を設定します。(デフォルト: 0x0)

CGCLK[3:0] (D[15:12]/REMC\_CFGレジスタ)で選択したキャリア生成用クロックのサイクル数+1の値を指定します。

キャリアH区間長は次のように計算できます。

$$\text{キャリアH区間長} = \frac{\text{REMCH} + 1}{\text{clk\_in}} [\text{s}]$$

REMCH: REMCH[5:0]設定値

clk\_in: プリスケータ出力クロック周波数

REMCL[5:0] (D[13:8])でL区間長を指定します。

これらの設定により、キャリア信号は図22.7.1のとおり生成されます。

例: CGCLK[3:0] = 0x2 (PCLK・1/4)、REMCH[5:0] = 2、REMCL[5:0] = 1

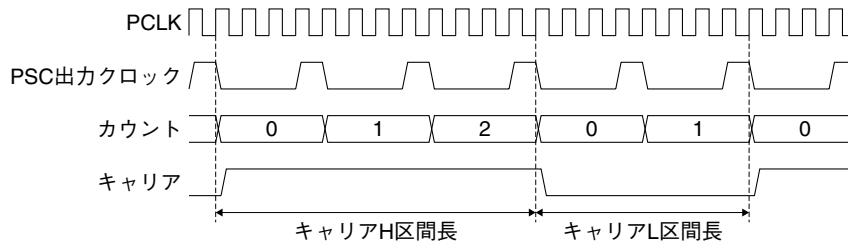


図22.7.1 キャリア信号の生成

**0x5344: REMC Length Counter Register (REMC\_LCNT)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
REMC Length Counter Register (REMC_LCNT)	0x5344 (16 bits)	D15–8	REMLEN[7:0]	Transmit/receive data length count (down counter)	0x0 to 0xff	0x0	R/W	
		D7–1	–	reserved	–	–	–	0 when being read.
		D0	REMDT	Transmit/receive data	1   1 (H)   0   0 (L)	0	R/W	

**D[15:8] REMLEN[7:0]: Transmit/Receive Data Length Count Bits**

データ長カウンタに値を設定しカウントを開始させます。(デフォルト: 0x0)

カウンタは0になると停止し、アンダーフロー割り込み要因を発生します。

**データ送信時**

データ送信時は送信データ長を設定します。

データパルス幅に相当する値を書き込むと、データ長カウンタはその値からカウントダウンを開始し、カウンタが0になるとアンダーフロー割り込み要因を発生して停止します。

この割り込みを利用して、次の送信データを設定します。

**データ受信時**

データ受信時は、入力信号の立ち上がりおよび立ち下がりエッジで割り込みを発生可能です。入力変化時の割り込みを利用してデータ長カウンタに0xffを設定し、次の入力変化による割り込み発生時にカウント値を読み出すことで、その差分からデータパルス長が得られます。

**D[7:1] Reserved****D0 REMDT: Transmit/Receive Data Bit**

データ送信時は送信データを設定します。データ受信時は受信データが読み出せます。

1(R/W): 1(H)

0(R/W): 0(L) (デフォルト)

REMEN(D0/REMC\_CFGレジスタ)が1に設定されている場合、データ送信時はREMDTの設定値がキャリア信号で変調され、REMO端子から出力されます。データ受信時は入力したデータパルスの信号レベルがこのビットにセットされます。

**0x5346: REMC Interrupt Control Register (REMC\_INT)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
REMC Interrupt Control Register (REMC_INT)	0x5346 (16 bits)	D15-11	—	reserved	—	—	—	0 when being read.
		D10	REMFIF	Falling edge interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0 R/W	Reset by writing 1.
		D9	REMRIF	Rising edge interrupt flag			0 R/W	
		D8	REMUIF	Underflow interrupt flag			0 R/W	
		D7-3	—	reserved	—	—	—	0 when being read.
		D2	REMFIE	Falling edge interrupt enable	1 Enable	0 Disable	0 R/W	
		D1	REMRIE	Rising edge interrupt enable	1 Enable	0 Disable	0 R/W	
		D0	REMUIE	Underflow interrupt enable	1 Enable	0 Disable	0 R/W	

本レジスタは、データ長カウンタのアンダーフロー、入力信号の立ち上がりエッジ、入力信号の立ち下がりエッジ割り込みを制御します。割り込みイネーブルビットを1に設定しておくことで、割り込みフラグはデータ長カウンタのアンダーフロー、入力信号の立ち上がりエッジ、入力信号の立ち下がりエッジにより1にセットされます。同時に、ITCに対してREMC割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。REMC割り込みが発生した場合は、本レジスタの割り込みフラグを読み出して発生した割り込み要因を特定してください。割り込みイネーブルビットを0に設定すると割り込みが禁止されます。

注: • REMC割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、REMCモジュール内の割り込みフラグをリセットする必要があります。

- 不要な割り込みの発生を防止するため、割り込みイネーブルビットによって割り込みを許可する前に、割り込みフラグをリセットしてください。

**D[15:11] Reserved****D10 REMFIF: Falling Edge Interrupt Flag**

立ち下がりエッジ割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり  
 0(R): 割り込み要因なし(デフォルト)  
 1(W): フラグをリセット  
 0(W): 無効

REMFIFはREMFIE(D2)を1に設定しておくことにより、入力信号の立ち下がりエッジで1にセットされます。

**D9 REMRIF: Rising Edge Interrupt Flag**

立ち上がりエッジ割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり  
 0(R): 割り込み要因なし(デフォルト)  
 1(W): フラグをリセット  
 0(W): 無効

REMRIFはREMRIE(D1)を1に設定しておくことにより、入力信号の立ち上がりエッジで1にセットされます。

**D8 REMUIF: Underflow Interrupt Flag**

アンダーフロー割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり  
 0(R): 割り込み要因なし(デフォルト)  
 1(W): フラグをリセット  
 0(W): 無効

REMUIFはREMUIE(D0)を1に設定しておくことにより、データ長カウンタのアンダーフローによって1にセットされます。

**D[7:3] Reserved**

### D2      **REMFIE: Falling Edge Interrupt Enable Bit**

入力信号の立ち下がりエッジによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

### D1      **REMRIE: Rising Edge Interrupt Enable Bit**

入力信号の立ち上がりエッジによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

### D0      **REMUIE: Underflow Interrupt Enable Bit**

データ長カウンタのアンダーフローによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

## 22.8 注意事項

---

- REMCモジュールを動作させるには、その前にプリスケータを動作させておく必要があります。
- REMC割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、REMCモジュール内の割り込みフラグをリセットする必要があります。
- 不要な割り込みの発生を防止するため、割り込みイネーブルビットによって割り込みを許可する前に、割り込みフラグをリセットしてください。

## 23 A/D変換器(ADC10SA)

### 23.1 A/D変換器の概要

S1C17003は以下の特長を持つA/D変換器を内蔵しています。

- 変換方式： 逐次比較型
- 分解能： 10ビット
- 入力チャンネル： 4チャンネル
- A/D変換クロック： 最大2MHz、最小16kHz
- 変換時間： 9クロック(サンプリング時間)  
+11クロック(変換時間)=20クロック  
最小10μsec(2MHzの入力ブロック選択時)  
最大1250μsec(16kHzの入力ブロック選択時)
- アナログ入力電圧範囲：  $V_{SS} \sim AV_{DD}$
- サンプリング&ホールド回路内蔵
- 変換モード(4種類)：
  - 単一チャンネルの1回変換
  - 複数チャンネルの1回変換
  - 単一チャンネルの連続変換(ソフト制御で終了)
  - 複数チャンネルの連続変換(ソフト制御で終了)
- 変換トリガ(3種類)：
  - ソフトウェアトリガ
  - 外部端子(#ADTRG)トリガ
  - 16bitタイマCh0アンダーフロートリガ
- 変換結果10bitを上位/下位側に詰めて読み出す事が可能
- 割り込み：
  - 変換完了割り込み
  - 変換結果オーバーライトエラー割り込み

図23.1.1に、A/D変換器の構成を示します。

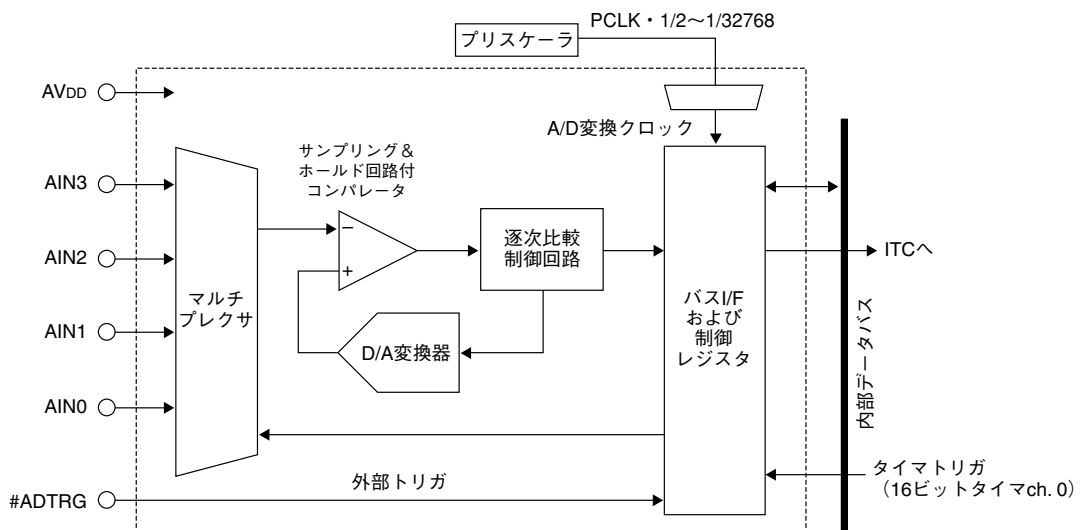


図23.1.1 A/D変換器の構成

## 23.2 ADC端子

表23.2.1に、A/D変換器の入出力端子の一覧を示します。

表23.2.1 A/D変換器の入出力端子

端子名	I/O	本数	機 能
#ADTRG (P03)	I	1	A/D変換器外部トリガー端子
AIN3 (P17)	I	1	A/D変換器Ch.3アナログ入力端子
AIN2 (P20)	I	1	A/D変換器Ch.2アナログ入力端子
AIN1 (P21)	I	1	A/D変換器Ch.1アナログ入力端子
AIN0 (P22)	I	1	A/D変換器Ch.0アナログ入力端子
AVDD	—	1	アナログ電源 AVDD=2.7〜3.6Vで設定してください。

P03 → #ADTRG

\* **P03MUX**: P03 Port Function Select Bit in the P0 Port Function Select (P0\_PMUX) Register (D4/0x52a1)

P17 → AIN3

\* **P17MUX**: P1 Port Function Select Bit in the P1 Port Function Select (P1\_PMUX) Register (D2/0x52a3)

P20 → AIN2

\* **P20MUX**: P2 Port Function Select Bit in the P1 Port Function Select (P2\_PMUX) Register (D2/0x52a4)

P21 → AIN1

\* **P21MUX**: P2 Port Function Select Bit in the P1 Port Function Select (P2\_PMUX) Register (D2/0x52a4)

P22 → AIN0

\* **P22MUX**: P2 Port Function Select Bit in the P1 Port Function Select (P2\_PMUX) Register (D2/0x52a4)

端子の機能と切り換えの詳細については、“10.2 入出力端子機能の選択(ポートMUX)”を参照してください。

注: AINx端子を入力ポート(P0x)端子として使用する場合も、インターフェース電圧レベルはAVDDとなりますので注意してください。

## 23.3 A/D変換器の設定

A/D変換器を使用する場合は、A/D変換開始前に以下の設定が必要です。

1. アナログ入力端子の設定 ... 23.2節参照
2. A/D変換クロックの設定
3. アナログ変換開始チャネル/終了チャネルの選択
4. A/D変換モードの設定
5. トリガの選択
6. サンプリング時間の設定
7. 変換結果格納モードの設定
8. 割り込みの設定 ... 23.6節参照

注: これらの設定は、必ずA/D変換器をディセーブル状態(ADEN(D0/ADC10\_CTLレジスタ) = 0)にして行ってください。イネーブル状態の設定変更は誤動作の原因となります。

\* **ADEN**: A/D Enable Bit in the A/D Control/Status (ADC10\_CTL) Register (D0/0x5384)

### A/D変換クロックの設定

A/D変換器を使用する場合は、クロックジェネレータ(CLG)から供給される周辺モジュールクロック(PCLK)とプリスケアラ(PSC)から供給されるPCLKの分周クロックをONにする必要があります。制御の詳細は“8.3 周辺モジュールクロック(PCLK)の制御、9.1 プリスケアラの構成”を参照してください。

A/D変換器はプリスケアラから供給される分周クロックを表23.3.1に示す15種類から選択することができます。選択はADDF[3:0](D[3:0]/ADC10\_DIVレジスタ)によって行います。

\* **ADDF[3:0]**: A/D Converter Clock Divided Frequency Selection Bits in the ADC10 Divided Frequency (ADC10\_DIV) Register (D[3:0]/0x5386)

表23.3.1 A/D変換クロックの選択

ADDF[3:0]	A/Dクロック
0xf	reserved
0xe	PCLK•1/32768
0xd	PCLK•1/16384
0xc	PCLK•1/8192
0xb	PCLK•1/4096
0xa	PCLK•1/2048
0x9	PCLK•1/1024
0x8	PCLK•1/521
0x7	PCLK•1/256
0x6	PCLK•1/128
0x5	PCLK•1/64
0x4	PCLK•1/32
0x3	PCLK•1/16
0x2	PCLK•1/8
0x1	PCLK•1/4
0x0	PCLK•1/2

(デフォルト: 0x0)

注: ・ 入力クロックの周波数の制限は“26.5 A/D変換器特性”を参照してください。

- ・ プリスケアラからA/D変換器へのクロック出力がOffの場合にA/D変換を開始させたり、A/D変換動作中にプリスケアラのクロック出力をOffにしないでください。誤動作の原因となります。

## アナログ変換開始チャネル/終了チャネルの選択

アナログ入力に設定した端子(チャネル)の中から、A/D変換を行うチャネルを選択します。  
1回の変換動作で複数のチャネルのA/D変換を連続的に行えるようになっているため、ADCS[2:0] (D[10:8]/ADC10\_TRGレジスタ)とADCE[2:0] (D[13:11]/ADC10\_TRGレジスタ)によって変換開始チャネルと変換終了チャネルをそれぞれ指定します。

\* **ADCS[2:0]**: A/D Converter Start Channel Selection Bits in the ADC10 Trigger/Channel Select (ADC10\_TRG) Register (D[10:8]/0x5382)

\* **ADCE[2:0]**: A/D Converter End Channel Selection Bits in the ADC10 Trigger/Channel Select (ADC10\_TRG) Register (D[13:11]/0x5382)

表23.3.2 ADCS/ADCEと入力チャネルの関係

ADCS[2:0]/ADCE[2:0]	選択チャネル
0x7	Dummy ch[7:4] 0(Vssレベル)
0x6	
0x5	
0x4	
0x3	AIN3
0x2	AIN2
0x1	AIN1
0x0	AIN0

(デフォルト: 0x0)

例: 1回のA/D変換の動作

ADCS[2:0] = 0, ADCE[2:0] = 0: AIN0のみ変換

ADCS[2:0] = 0, ADCE[2:0] = 3: AIN0→AIN1→AIN2→AIN3の順に変換

ADCS[2:0] = 2, ADCE[2:0] = 1: AIN2→AIN3→(Dummy ch[7:4])→AIN0→AIN1 の順に変換

## A/D変換モードの設定

A/D変換器はADMS(D5/ADC10\_TRGレジスタ)で1回変換か連続変換かの選択が可能です。

\* **ADMS**: A/D Conversion Mode Selection Bit in the ADC10 Trigger/Channel Select (ADC10\_TRG) Register (D6/0x5382)

### 1. 1回変換モード (ADMS = 0)

ADCS[2:0] (D[10:8]/ADC10\_TRGレジスタ)とADCE[2:0] (D[13:11]/ADC10\_TRGレジスタ)で選択したチャネル範囲のすべての入力を1回A/D変換して停止します。

### 2. 連続変換モード (ADMS = 1)

ソフトウェアで停止させるまで、ADCS[2:0]およびADCE[2:0]で選択したチャネル範囲のA/D変換を連続的に実行します。

イニシャルリセット時は1回変換モードに設定されます。

## トリガの選択

A/D変換を開始させるトリガ方式を、ADTS[1:0] (D[5:4]/ADC10\_TRGレジスタ)で表23.3.2に示す3種類の中から選択します。

\* **ADTS[1:0]**: A/D Conversion Trigger Selection Bits in the ADC10 Trigger/Channel Select (ADC10\_TRG) Register (D[5:4]/0x5382)

表23.3.3 トリガの選択

ADTS[1:0]	トリガソース
0x3	外部トリガ (#ADTRG端子)
0x2	reserved
0x1	16ビットプログラマブルタイマCh0
0x0	ソフトウェアトリガ

(デフォルト: 0x0)

### 1. 外部トリガ(#ADTRG)

#ADTRG端子への入力信号をトリガとして使用します。

このトリガ方式を使用する場合は、Port Function Select Registerで#ADTRG端子を設定しておく必要があります。A/D変換は、#ADTRG信号の立下りエッジを検出して開始します。

### 2. 16ビットタイマ(T16)CH.0

16ビットタイマ(T16)CH.0のアンダーフロー信号をトリガとして使用します。その周期がタイマでプログラマブルに設定できますので、周期的なA/D変換が必要な場合に有効です。タイマの設定については“11 16ビットタイマ(T16)”を参照してください。

### 3. ソフトウェアトリガ

ソフトウェアによるADCTL(D1/AD\_CTLレジスタ)への1書き込みをトリガとしてA/D変換を開始します。

\* **ADCTL**: A/D Conversion Control/Status Bit in the ADC10 Control/Status (ADC10\_CTL) Register (D1/0x5382)

## サンプリング時間の設定

本A/D変換器には、アナログ信号の入力サンプリング時間を8段階(変換クロックの2~9)に設定可能なADST[2:0](D2:0/ADC10\_TRGレジスタ)が設けられています。

レジスタの設定はデフォルト(ADST[2:0]=111)が必須です。

\* **ADST[2:0]**: Sampling Clock Count Bits in the ADC10 Control/Status (AD\_CTL) Register (D2:0/0x5382)

## 変換結果格納モードの設定

本10ビットA/D変換器では、A/D変換が終了するとA/D変換結果格納レジスタADD[15:0](D15:0/ADC10\_ADDレジスタ)に10ビットの変換結果を格納します。

\* **ADD[15:0]**: A/D Converted Data Bits in the ADC10 Conversion Result (ADC10\_ADD) Register (D15:0/0x5380)

変換結果格納モードでは、STMD(D7/ADC10\_TRGレジスタ)の設定を行い、10ビットのA/D変換結果を上詰め下詰めどちらでADD[15:0]に格納するかを選択することができます。

\* **STMD**: Converted Data Store Mode Bits in the ADC10 Trigger/Channel Select (ADC10\_TRG) Register (D7/0x5382)

STMD=0: ADD[15:10]=0、ADD[9]=変換結果[MSB]、ADD[0]=変換結果[LSB]

STMD=1: ADD[15]=変換結果[MSB]、ADD[6]=変換結果[LSB]、ADD[5:0]=0

## 23.4 A/D変換の制御と動作

A/D変換器の動作は以下の手順となります。

1. A/D変換回路の起動
2. A/D変換の開始
3. A/D変換結果の読み出し
4. A/D変換の終了

### A/D変換回路の起動

前節に示した設定を終了後、ADEN(D0/ADC10\_CTLレジスタ)に1を書き込んでA/D変換器をイネーブル状態に設定します。これにより、A/D変換器はA/D変換開始のトリガを受け付け可能な状態となります。A/D変換器を再設定する場合、あるいは使用しない場合はADENを0に設定してください。

\* **ADEN**: A/D Enable Bit in the ADC10 Control/Status (ADC10\_CTL) Register (D0/0x5384)

### A/D変換の開始

A/D変換器はADENが1の状態ではトリガが入力されると、A/D変換を開始します。ソフトウェアトリガを選択した場合は、ADCTL(D1/ADC10\_CTLレジスタ)に1を書き込むことにより開始します。

\* **ADCTL**: A/D Conversion Control Bit in the ADC10 Control/Status (ADC10\_CTL) Register (D1/0x5384)

トリガはADTS[1:0](D[5:4]/ADC10\_TRGレジスタ)で選択されている内容が有効で、それ以外のトリガは受け付けません。

\* **ADTS[1:0]**: A/D Conversion Trigger Selection Bits in the ADC10 Trigger/Channel Select (ADC10\_TRG) Register (D[5:4]/0x5382)

トリガが入力されると、A/D変換器はADCS[2:0](D[10:8]/ADC10\_TRGレジスタ)で選択した変換開始チャンネルからアナログ入力信号のサンプリングとA/D変換を行います。

\* **ADCS[2:0]**: A/D Converter Start Channel Selection Bits in the ADC10 Trigger/Channel Select (ADC10\_TRG) Register (D[10:8]/0x5382)

ソフトウェアトリガに使用するADCTLは、他のトリガによる場合でもA/D変換中は1となり、A/D変換のステータスビットとして使用することができます。

また、変換中のチャンネルはADICH[2:0](D[2:0]/ADC10\_CTLレジスタ)を読み出すことで確認できます。

\* **ADICH[2:0]**: Internal Conversion Channel Status Bits in the ADC10 Control/Status (ADC10\_CTL) Register (D[14:12]/0x5384)

### A/D変換結果の読み出し

変換開始チャンネルのA/D変換が終了すると、A/D変換器は変換結果を10ビットのデータレジスタADD[15:0](D[15:0]/ADC10\_ADDレジスタ)に格納し、変換終了フラグADCF(D8/ADC10\_CTLレジスタ)をセットします。ADCS[2:0](D[10:8]/ADC10\_TRGレジスタ)とADCE[2:0](D[13:11]/ADC10\_TRGレジスタ)によって複数のチャンネルを指定している場合は、その後も続くチャンネルのA/D変換を継続します。

\* **ADD[15:0]**: A/D Converted Data Bits in the ADC10 Conversion Result (ADC10\_ADD) Register (D[15:0]/0x5380)

\* **ADCF**: Conversion-Complete Flag Bit in the ADC10 Control/Status (ADC10\_CTL) Register (D8/0x5384)

\* **ADCE[2:0]**: End Channel Selection Bits in the ADC10 Trigger/Channel Select (ADC10\_TRG) Register (D[13:11]/0x5382)

A/D変換結果は1つのチャンネルの変換が終了するごとにADD[15:0]に格納されます。格納と同時に変換終了割り込みも発生させることができますので、通常はその割り込みを利用して変換データの読み出しを行います。変換終了割り込みを使用しない場合は、変換終了要因のADCF(D8/ADC10\_CTLレジスタ)が1にセットされていることを確認した後、ADD[15:0]から変換結果をリードしてください。変換終了割り込み及びADCFは、ADD[15:0]の値をリードすると自動で0がセットされます。

連続変換モードを選択した場合、次の変換が終了する前に変換結果をADD[15:0]から読み出す必要があります。変換結果が間に合わず、変換終了フラグADCF(D8/ADC10\_CTLレジスタ)が1にセットされている状態で(変換データを読み出す前に)ADD[15:0]が更新された場合、オーバーライトエラーフラグADOWE(D9/ADC10\_CTLレジスタ)が1にセットされ、変換結果が上書きされたことを知ることができます。またオーバーライトと同時に変換データ上書き割り込みを発生させることも可能です。ADD[15:0]から変換結果をリードした後は、ADOWEも読み出すか又は変換データ上書き割り込みが発生しておらず、読み出しデータが有効であるかを確認してください。

ADOWEは一度セットされると、ソフトウェアで1を書き込むまでリセットされません。変換データ上書き割り込みはADOWEをリセットすると発生を停止することが可能です。

また、ADOWEに1がセットされている場合はADCFもセットされていますので、変換データを読み出してADCFを0リセットしてください。

\* **ADOWE**: Overwrite Error Flag Bit in the ADC10 Control/Status (ADC10\_CTL) Register (D9/0x5384)

注：オーバーライトエラーが発生しても連続変換は止まりません。

## A/D変換の終了

### • 1回変換モード(ADMS = 0)の場合

1回変換モードでは、ADCS[2:0](D[10:8]/ADC10\_TRGレジスタ)で指定した変換開始チャネルからADCE[2:0](D[13:11]/ADC10\_TRGレジスタ)で指定した変換終了チャネルまでのA/D変換を連続的に1回実行したところで終了します。終了すると、ADCTL(D1/ADC10\_CTLレジスタ)は0に戻ります。

\* **ADMS**: Conversion Mode Selection bit in the ADC10 Trigger/Channel Select (ADC10\_TRG) Register (D6/0x5382)

### • 連続変換モード(ADMS = 1)の場合

連続変換モードでは、変換開始チャネルから変換終了チャネルまでのA/D変換を繰り返し実行し、ハードウェアはA/D変換を停止しません。終了させるにはソフトウェアでADCTL(D1/ADC10\_CTLレジスタ)に0を書き強制終了させます。強制終了時にA/D変換中であるデータは得ることはできません。

図23.4.1に、A/D変換器の動作を示します。

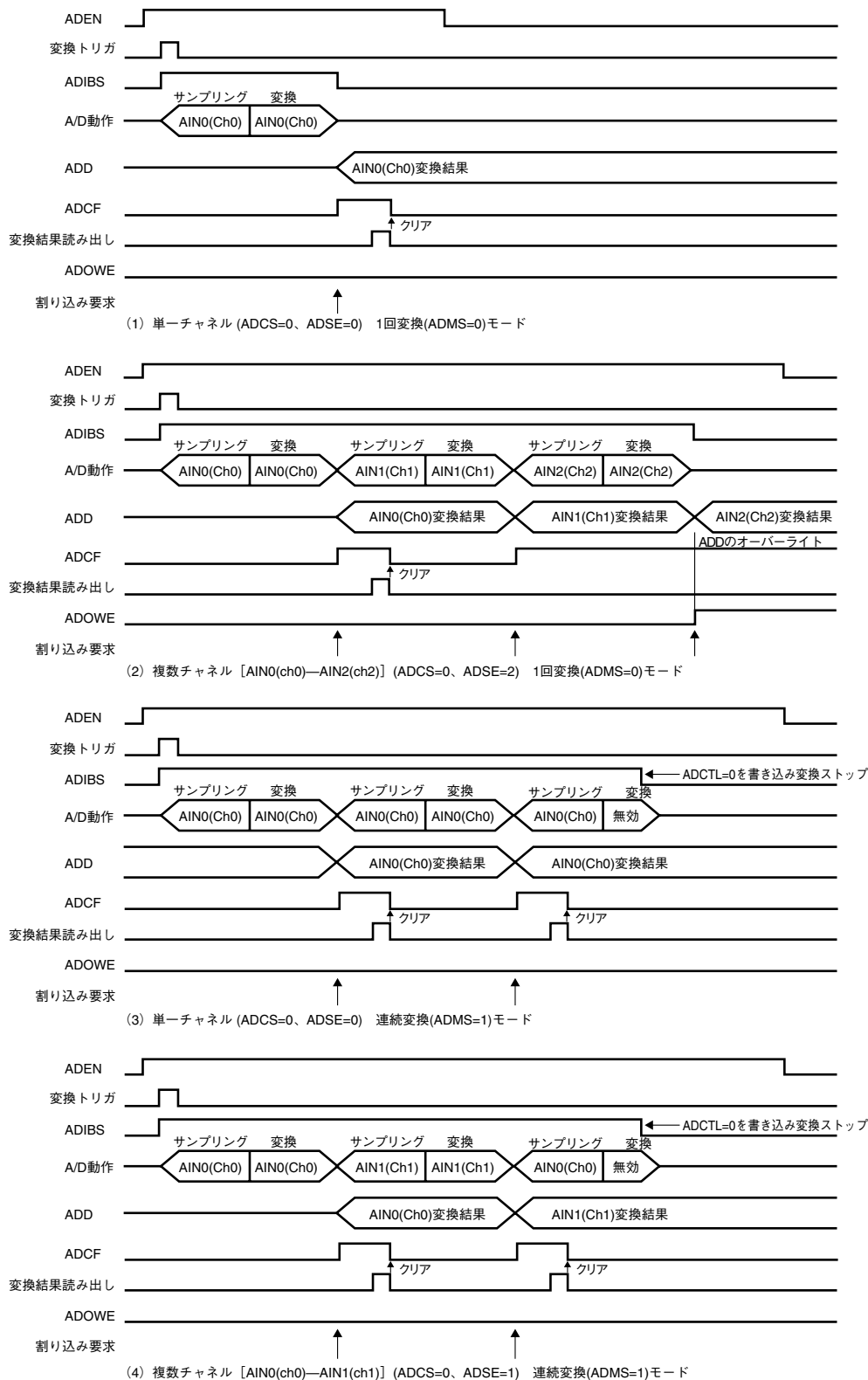


図23.4.1 A/D変換器の動作

## 23.5 A/D変換器割り込み

A/D変換器には、以下の2種類の割り込みを発生させる機能があります。

- 変換終了割り込み
- 変換データ上書き割り込み

A/D変換器は上記の2種類の割り込み要因を共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込みの要因を特定するには、各割り込み要因レジスタを読み出してください。

### 変換終了割り込み

A/D変換器は1つのチャンネルのA/D変換を終了すると、ADCIE(D4/ADC10\_CTLレジスタ)に1(初期値0)が設定された状態ならば、変換終了割り込み信号をコントローラ(ITC)に出力して割り込み要求を行います。

\* **ADCIE**: Conversion-Complete Interrupt Enable Bit in the ADC10 Control/Status (ADC10\_CTL) Register (D4/0x5384)

変換終了割り込み要因は、ADD[15:0](D[15:0]/ADC10\_ADDレジスタ)をリードすると自動クリアされADCF(D8/ADC10\_CTLレジスタ)も1から0にリセットされます。変換終了割り込みの発生を禁止したい場合は、ADCIEを0に設定してください。

### 変換データ上書き割り込み

A/D変換器はADD[15:0]レジスタがリードされず、次のA/D変換結果を上書きした場合、ADOIE(D5/ADC10\_CTLレジスタ)に1(初期値0)が設定されていると、変換データ上書き割り込み信号をコントローラ(ITC)に出力して割り込み要求を行います。

\* **ADOIE**: Overwrite Interrupt Enable Bit in the ADC10 Control/Status (ADC10\_CTL) Register (D5/0x5384)

変換データ上書き割り込み要因は、ADOWE(D9/ADC10\_CTLレジスタ)に1を書き込むと0リセットされます。

\* **ADOWE**: Overwrite Error Flag Bit in the ADC10 Control/Status (ADC10\_CTL) Register (D9/0x5384)

変換データ上書き割り込みの発生を禁止したい場合は、ADOIEを0に設定してください。

A/D変換器割り込み用ITCレジスタ

表23.5.1に、各A/D変換器割り込み要因に対応するのITC制御レジスタを示します。

表23.5.1 ITCレジスタ

割り込み要因	割り込みレベル設定ビット
変換終了/変換データ上書き	ILV18[2:0](D[2:0]/ITC_LV9)

ITC\_LV9レジスタ (0x4318)

割り込みレベル設定ビットは、A/D変換器割り込みのレベル(0~7)を設定します。同一の割り込みレベルに設定した場合、範囲外割り込みの優先順位が高く、変換終了割り込みが低い順位となります。S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- A/D変換器モジュールの割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- A/D変換器割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“6 割り込みコントローラ(ITC)”を参照してください。

割り込みベクタ

A/D変換器割り込みのベクタ番号とベクタアドレスは以下のとおりです。

表23.5.2 A/D変換器割り込みベクタ

割り込み要因	ベクタ番号	ベクタアドレス
変換終了/変換データ上書き	22 (0x16)	TTBR + 0x58

## 23.6 制御レジスタ詳細

表23.6.1 ADC10SAレジスタ一覧

アドレス	レジスタ名		機 能
0x5380	ADC10_ADD	ADC10 Conversion Result Register	A/D変換結果
0x5382	ADC10_TRG	ADC10 Trigger/Channel Select Register	変換トリガ/変換チャンネルの設定
0x5384	ADC10_CTL	ADC10 Control/Status Register	変換制御, 変換ステータス
0x5386	ADC10_DIV	ADC10 Divided Frequency Register	A/D変換クロック分周設定

以下、ADC10SAモジュールのレジスタを個々に説明します。これらは16ビットレジスタです

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5380: ADC10 Conversion Result Register (ADC10\_ADD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Conversion Result Register (ADC10_ADD)	0x5380 (16 bits)	D15-0	ADD[15:0]	A/D converted data @STMD=0 ADD[15:10]=0,ADD9=MSB, ADD0=LSB @STMD=1 ADD15=MSB,ADD6=LSB, ADD[5:0]=0	0-1023	0	R	

D[15:0]    **ADD[15:0]: A/D Converted Data Bits**

A/D変換結果が格納されます。  
STMDレジスタの設定により格納方法を変更できます。

STMD=0    ADD[15:10]=0、ADD[9]=MSB、ADD[0]=LSB  
STMD=1    ADD[15]=MSB、ADD[6]=LSB、ADD[5:0]=0

このレジスタは読み出し専用で、書き込みは無効です。  
イニシャルリセット時、データは0となります。

**0x5382: ADC10 Trigger/Channel Select Register (ADC10\_TRG)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Trigger/ Channel Select (ADC10_TRG)	0x5382 (16 bits)	D15–14	—	reserved	—	—	—	0 when being read.
		D13–11	<b>ADCE[2:0]</b>	End channel selection	0x0–0x7	0	R/W	
		D10–8	<b>ADCS[2:0]</b>	Start channel selection	0x0–0x7	0	R/W	
		D7	<b>STMD</b>	Converted data store mode	1 {AD[9:0], 6'b0} 0 {6'b0, AD[9:0]}	0	R/W	
		D6	<b>ADMS</b>	Conversion mode selection	1 continuous 0 Single	0	R/W	
		D5–4	<b>ADTS[1:0]</b>	Conversion trigger selection	ADTS[1:0] trigger	0	R/W	
					0x3 reserved			
					0x2 reserved			
					0x1 16bit timer			
					0x0 software			
		D3	—	reserved	—	—	—	0 when being read.
		D2–0	<b>ADST[2:0]</b>	Sampling clock count	ADST[2:0] count clock	0x7	R/W	Must set 0x7
					0x7 9clocks			
					0x6 8clocks			
					0x5 7clocks			
					0x4 6clocks			
					0x3 5clocks			
					0x2 4clocks			
					0x1 3clocks			
					0x0 2clocks			

**D[15:14] Reserved****D[13:11] ADCE[2:0]: End Channel Selection Bits**

変換終了チャンネルをチャンネル番号(0～7)で設定します。

1回のA/D変換で、ADCSレジスタで設定したチャンネルからこのレジスタで設定したチャンネルまでのアナログ入力を連続的に変換できます。1つのチャンネルのみをA/D変換する場合は、ADCSレジスタとADCEレジスタに同じチャンネル番号を設定してください。

イニシャルリセット時、ADCEは0(AIN0)に設定されます。

**D[10:8] ADCS[2:0]: Start Channel Selection Bits**

変換開始チャンネルをチャンネル番号(0～7)で設定します。

1回のA/D変換で、このレジスタで設定したチャンネルからADCEレジスタで設定したチャンネルまでのアナログ入力を連続的に変換できます。1つのチャンネルのみをA/D変換する場合は、ADCSレジスタとADCEレジスタに同じチャンネル番号を設定してください。

イニシャルリセット時、ADCSは0(AIN0)に設定されます。

**D7 STMD: Converted Data Store Mode Bit**

ADDレジスタへの変換結果の格納方法を選択します。

詳細はADDレジスタを参照してください。

イニシャルリセット時、STMDは0(ADD[15:10]=6'b0、ADD[9]=MSB、ADD[0]=LSB)に設定されます。

**D6 ADMS: Conversion Mode Selection Bit**

A/D変換モードを選択します。

1(R/W)：連続変換モード

0(R/W)：1回変換モード

ADMSに1を書き込むことによりA/D変換器は連続モードに設定され、ADCSおよびADCEレジスタで選択したチャンネル範囲のA/D変換を、ソフトウェアで停止させるまで連続的に実行します。

ADMSが0の場合は1回変換モードで動作し、ADCSおよびADCEレジスタで選択したチャンネル範囲の全ての入力を1回A/D変換して停止します。

イニシャルリセット時、ADMSは0(1回変換モード)に設定されます。

**D[5:4] ADTS[1:0]: Conversion Trigger Selection Bits**

A/D変換を開始させるトリガ方法を選択します。

表23.6.2 トリガの選択

ADTS1	ADTS0	トリガ
1	1	外部トリガ (#ADTRG)
1	0	Reserved
0	1	16ビットプログラマブルタイムch0
0	0	ソフトウェア

外部トリガを使用する場合は、ポートMUXにより#ADTRGを選択して下さい(詳細は入出力ポートの章、ポートMUXの節を参照してください)。

16ビットプログラマブルタイムch0を使用する場合は、アンダーフロー信号がトリガとなりますので、プログラマブルタイムで周期およびその他の設定を行って下さい。

イニシャルリセット時、ADTSは0(ソフトウェアトリガ)に設定されます。

**D3 Reserved****D[2:0] ADST[2:0]: Sampling Clock Count Bits**

アナログ入力のサンプリング時間を設定します。

表23.6.3 トリガの選択

ADST2	ADST1	ADST0	サンプリング時間
1	1	1	9クロック
1	1	0	8クロック
1	0	1	7クロック
1	0	0	6クロック
0	1	1	5クロック
0	1	0	4クロック
0	0	1	3クロック
0	0	0	2クロック

クロック数はA/D変換器の入力クロック数です。

イニシャルリセット時、ADSTは111(9クロック)に設定されます。

ADSTは111(9クロック)の設定が必須になりますのでレジスタの値を変更しないでください。

**0x5384: ADC10 Control/Status Register (ADC10\_CTL)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Control/ Status Register (ADC10_CTL)	0x5384 (16 bits)	D15	—	reserved	—	—	—	0 when being read.
		D14–12	ADICH	Internal conversion channel status	0x0–0x7	0	R	
		D11	—	reserved	—	—	—	0 when being read.
		D10	ADIBS	Internal busy status	1 busy 0 idle	0	R	
		D9	ADOWE	Overwrite error flag	1 Error 0 Normal	0	R/W	Reset by writing 1
		D8	ADCF	Conversion-complete flag	1 Completed 0 Not completed	0	R	Reset when ADADD is read.
		D7–6	—	reserved	—	—	—	0 when being read.
		D5	ADOIE	Overwrite interrupt enable	1 Enable 0 Disable	0	R/W	
		D4	ADCIE	Conversion-complete interrupt enable	1 Enable 0 Disable	0	R/W	
		D3–2	—	reserved	—	—	—	0 when being read.
		D1	ADCTL	conversion control	1 Start/Run 0 Stop	0	R/W	Stop by writing 0
		D0	ADEN	A/D enable	1 Enable 0 Disable	0	R/W	

**D15 Reserved****D[14:12] ADICH[2:0]: Internal Conversion Channel Status Bits**

A/D変換中のチャンネル番号(0~7)を示します。(4~7はDummy ch)

複数のチャンネルをA/D変換している場合、このビットを読み出すことによって現在変換中のチャンネルを確認できます。

イニシャルリセット時、ADICHは0(AIN0)に設定されます。

**D11 Reserved****D10 ADIBS: Internal Busy Status Bits**

A/D変換器の状態を示します。

1 (R/W) : 変換中

0 (R/W) : 変換終了

A/D変換中は1が出力され、A/D変換終了後は0が出力されます。

**D9 ADOWE: Overwrite Error Flag Bit**

変換データ上書き(オーバーライト)要因の発生状態を示す割り込みフラグです。

1 (R) : 割り込み要因あり

0 (R) : 割り込み要因なし(デフォルト)

1 (W) : フラグをリセット

0 (W) : 無効

複数のチャンネルをA/D変換している場合に、前のチャンネルの変換によってセットされた変換終了フラグADCFが変換データの読み出しによってリセットされる前に次のチャンネルの変換結果が変換データレジスタに書き込まれる(上書きされる)とADOWEが1にセットされます。このとき、ADOIE(D5/ADC10\_CTLレジスタ)が1に設定されていれば、ITCに対してオーバーライト割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

ADOWEは1の書き込みによりリセットされます。

注: ・オーバーライト割り込み発生後は、同じ割り込みを再度発生させないために、割り込み処理ルーチン内で、ADOWEをリセットする必要があります。

・不要な割り込みの発生を防止するため、ADOIEによってオーバーライト割り込みを許可する前に、ADOWEをリセットしてください。

**D8 ADCF: Conversion Complete Flag Bit**

変換終了要因の発生状態を示す割り込みフラグです。

1 (R) : 割り込み要因あり

0 (R) : 割り込み要因なし(デフォルト)

1 (W) : 無効

0 (W) : 無効

A/D変換が終了し、変換データがADD(D[15:0]/ADC10\_ADDレジスタ)に格納されると1にセットされます。このとき、ADCIE(D4/ADC10\_CTLレジスタ)が1に設定されていれば、ITCに対して変換終了割り込み要求信号が出力されます。ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

ADDを読み出すと0にリセットされます。

複数のチャンネルをA/D変換している場合、ADCFが1の状態(変換データを読み出す前に)次のA/D変換が終了すると、データレジスタは新たな変換結果で上書きされオーバーライトエラーとなります。したがって、次のA/D変換が終了する前に変換データを読み出してADCFをリセットする必要があります。

#### D[7:6] Reserved

#### D5 ADOIE: Overwrite Interrupt Enable Bit

CPUに対するA/D変換結果のオーバーライト割り込みの発生を許可または禁止します。

1 (R/W) : 割り込み許可

0 (R/W) : 割り込み禁止

ADOIEはA/D変換結果のオーバーライト割り込みを制御する割り込みイネーブルビットで、1に設定すると割り込みが許可され、0に設定すると割り込みが禁止されます。

イニシャルリセット時、ADOIEは0(割り込み禁止)に設定されます。

#### D4 ADCIE: Conversion-complete Interrupt Enable Bit

CPUに対するA/D変換終了割り込みの発生を許可または禁止します。

1 (R/W) : 割り込み許可

0 (R/W) : 割り込み禁止

ADCIEはA/D変換終了割り込みを制御する割り込みイネーブルビットで、1に設定すると割り込みが許可され、0に設定すると割り込みが禁止されます。

イニシャルリセット時、ADCIEは0(割り込み禁止)に設定されます。

#### D[3:2] Reserved

#### D1 ADCTL: Conversion Control Bit

A/D変換を制御します。

1 (R/W) : ソフトウェアトリガ

0 (R/W) : A/D変換停止

ソフトウェアトリガによりA/D変換を開始させる場合、ADCTLに1を書き込みます。他のトリガ方式の場合は、ハードウェアがADCTLを1にセットします。

A/D変換中、ADCTLは1を保持します。

1回変換モード時は、指定のチャンネルのA/D変換が終了するとADCTLは0に戻り、A/D変換回路が停止します。連続モードのA/D変換を停止させる場合はADCTLに0を書き込んでください。

ADENが0の場合は、トリガは受け付けません。

イニシャルリセット時、ADCTLは0(A/D変換停止)に設定されます。

#### D0 ADEN: A/D Enable Bit

A/D変換器をイネーブル(変換可能状態)に設定します。

1 (R/W) : イネーブル

0 (R/W) : ディセーブル

ADENに1を書き込むことによってA/D変換器がイネーブルとなり、A/D変換を開始できる(トリガを受け付け可能な)状態となります。ADENが0の場合、A/D変換器はディセーブル状態に置かれ、トリガを受け付けません。

なお、モードや開始/終了チャンネルなどのA/D変換器の設定を行う場合は、誤動作を避けるため、ADENを0に設定してから行ってください。

イニシャルリセット時、ADENは0(ディセーブル)に設定されます。

**0x5386: ADC10 Divided Frequency Register (ADC10\_DIV)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Divided Frequency Register (ADC_DIV)	0x5386 (16 bits)	D15–4		reserved	0–1023	0	R	0 when being read.
		D3–0	ADDF[3:0]	A/D converter clock divided frequency select	ADDF[3:0] clock	0	R/W	
					0xf Reserved			
					0xe PCLK·1/32768			
					0xd PCLK·1/16384			
					0xc PCLK·1/8192			
					0xb PCLK·1/4096			
					0xa PCLK·1/2048			
					0x9 PCLK·1/1024			
					0x8 PCLK·1/512			
					0x7 PCLK·1/256			
					0x6 PCLK·1/128			
					0x5 PCLK·1/64			
					0x4 PCLK·1/32			
					0x3 PCLK·1/16			
					0x2 PCLK·1/8			
					0x1 PCLK·1/4			
					0x0 PCLK·1/2			

**D[15:4] Reserved****D[3:0] ADCTL: A/D Converter Clock Divided Frequency Select Bits**

A/D変換クロックを上記に示す16種類から選択することができます

注: ・A/D変換器の動作はプリスケラが動作していることが条件です。詳細はCLGの章、PCLKの制御の節、PSCの章、プリスケラの構成の節を参照して下さい。

- ・入力クロックの周波数の制限は“26.5 AD変換器特性”を参照してください。
- ・プリスケラからのA/D変換器へのクロック出力がOFFの場合にA/D変換を開始させたり、A/D変換動作中にプリスケラのクロック出力をOFFにしないでください。誤動作の原因となります。

## 23.7 注意事項

---

- モードや開始/終了チャネルなどA/D変換器の設定を行う場合は、必ずA/D変換器をディセーブル状態 (ADEN(D0/ADC10\_CTLレジスタ)を0)にして行ってください。イネーブル状態の設定変更は誤動作の原因となります。
- A/D変換クロックの周波数制限は“26.5 A/D変換器特性”を参照してください。
- プリスケーラからA/D変換器へのクロック出力がOFFの場合にA/D変換を開始させたり、A/D変換動作中にプリスケーラのクロック出力をOFFにしないでください。誤動作の原因となります。
- イニシャルリセット後、ADCF(D8/ADC\_CTLレジスタ)とADOWE(D9/ADOWE)は不定となります。不要な割り込み発生を防止するため、必ずプログラムでリセットしてください。
- 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。
- A/D変換のトリガとして外部トリガを使用する場合、#ADTRG端子への入力のLow期間は、S1C17コアの動作クロック2サイクル以上の長さを確保してください。

# 24 オンチップデバッガ(DBG)

## 24.1 リソース要件とデバッグツール

### デバッグ用ワークエリア

デバッグを行うには、64バイトのデバッグ用ワークエリアが必要です。S1C17003ではRAM内のアドレス0x000fc0～0x000fffがデバッグ用ワークエリアに設定されています。デバッグ機能を使用する場合、この領域をユーザプログラムからは使用しないでください。  
このデバッグ用ワークエリアのスタートアドレスはDBRAMレジスタ(0xffff90)から読み出すことができます。

### デバッグツール

デバッグは、S1C17003のデバッグ端子にS5U1C17001H(ICD Mini)等のICD(In-Circuit Debugger)を接続し、パソコン上のデバッガからデバッグコマンドを入力して行います。このため、以下のツールが必要です。

- S1C17 Family In-Circuit Debugger(S5U1C17001H等)
- S1C17 Family Cコンパイラパッケージ(S5U1C17001C等)

### デバッグ端子

ICD(S5U1C17001H等)との接続に以下のデバッグ端子を使用します。

表24.1.1 デバッグ端子一覧

端子名	I/O	本数	機能
DCLK(P43)	O	1	オンチップデバッグクロック出力端子 ICD Mini(S5U1C17001H)にクロックを出力します。
DSIO(P41)	I/O	1	オンチップデバッグデータ入出力端子 デバッグ用データの入出力およびブ레이크信号の入力に使用します。
DST2(P42)	O	1	オンチップデバッグステータス信号出力端子 デバッグ中のプロセッサの状態を出力します。

オンチップデバッガの入出力端子(DCLK、DST2、DSIO)は汎用入出力ポート端子(P43、P42、P41)を兼用しており、初期状態ではデバッグ端子に設定されます。デバッグ機能を使用しない場合は、P4\_PMUXレジスタの設定により、これらの端子を汎用入出力ポート端子に切り換えることができます。以下の制御ビットを1に設定することにより、端子が汎用入出力ポート用に切り換わります。

DCLK → P43

\* **P43MUX**: P43 Port Function Select Bit in the P4 Port Function Select (P4\_PMUX) Register (D6/0x52a8)

DST2 → P42

\* **P42MUX**: P42 Port Function Select Bit in the P4 Port Function Select (P4\_PMUX) Register (D4/0x52a8)

DSIO → P41

\* **P41MUX**: P41 Port Function Select Bit in the P4 Port Function Select (P4\_PMUX) Register (D2/0x52a8)

端子の機能と切り換えの詳細については、“10.2 入出力端子機能の選択(ポートMUX)”を参照してください。

## 24.2 デバッグブ레이크時の動作状態

brk命令の実行、またはDSIO端子へのブ레이크信号(Low)入力によりデバッグ割り込みが発生すると、S1C17コアはデバッグモードに入ります。この状態はret命令が実行されるまで続きます。

この間、ハードウェア割り込みおよびNMIは受け付けられません。

デフォルト設定では、周辺回路の動作は停止します。これをデバッグ中でも動作するように変更することができます。

### プリスケアラ出力クロックで動作する周辺回路

- 8ビットタイマ
- 16ビットタイマ
- PWMタイマ
- リモートコントローラ
- Pポート
- UART
- SPI
- IC(マスター /スレーブ)
- ADC

デフォルト設定では、デバッグモード時にプリスケアラが停止します。そのため、プリスケアラ出力クロックを使用する上記の周辺回路も停止します。プリスケアラには、デバッグモード時のプリスケアラの動作を指定するPRUND(D1/PSC\_CTLレジスタ)が用意されています。PRUNDを1に設定すると、プリスケアラはデバッグモード時も動作します。これにより、上記の周辺回路も動作可能となります。PRUNDが0(デフォルト)の場合、S1C17コアがデバッグモードになった時点でプリスケアラおよび上記の周辺回路は停止します。

\* **PRUND**: Prescaler Run/Stop Setting (in Debug Mode) Bit in the Prescaler Control (PSC\_CTL) Register (D1/0x4020)

### OSC1クロックで動作する周辺回路

- 計時タイマ
- ウォッチドッグタイマ
- ストップウォッチタイマ
- 8ビットOSC1タイマ

MISCレジスタに、デバッグモード時のOSC1周辺回路(上記)の動作を指定するO1DBG(D0/MISC\_OSC1レジスタ)が用意されています。O1DBGを1に設定すると、OSC1周辺回路はデバッグモード時も動作します。O1DBGが0(デフォルト)の場合、S1C17コアがデバッグモードになった時点でOSC1周辺回路は停止します。

\* **O1DBG**: OSC1 Peripheral Control (in Debug Mode) Bit in the OSC1 Peripheral Control (MISC\_OSC1) Register (D0/0x5322)

## 24.3 追加デバッグ機能

S1C17コアが持つオンチップデバッグ機能に対し、S1C17003では以下の機能拡張を行っています。

### デバッグモード時の分岐先

デバッグ割り込みが発生するとS1C17コアはデバッグモードに入り、デバッグ処理ルーチンに分岐します。このとき、S1C17コアは0xfffc00番地に分岐するように設計されています。S1C17003ではこの分岐先に加え、0x0番地(内蔵RAM先頭アドレス)をデバッグモード時の分岐先に指定することが可能です。どちらのアドレスに分岐させるかについては、DBADR(D8/MISC\_IRAMSZレジスタ)で選択します。DBADRが"0"(デフォルト)の場合は0xfffc00番地、"1"に設定すると0x0番地が選択されます。

\* **DBADR**: Debug Base Address Select Bit in the IRAM Size Select (MISC\_IRAMSZ) Register (D8/0x5326)

### 命令ブレーク本数の追加

S1C17コアは2本の命令ブレーク(ハードウェアPCブレーク)に対応しています。S1C17003ではこれを5本に増やしています。このため、以下の制御ビットとレジスタが追加されています。

- \* **IBE2**: Instruction Break #2 Enable Bit in the Debug Control (DCR) Register (D5/0xffffa0)
- \* **IBE3**: Instruction Break #3 Enable Bit in the Debug Control (DCR) Register (D6/0xffffa0)
- \* **IBE4**: Instruction Break #4 Enable Bit in the Debug Control (DCR) Register (D7/0xffffa0)
- \* **IBAR2[23:0]**: Instruction Break Address #2 Bits in the Instruction Break Address (IBAR2) Register 2 (D[23:0]/0xffffb8)
- \* **IBAR3[23:0]**: Instruction Break Address #3 Bits in the Instruction Break Address (IBAR3) Register 3 (D[23:0]/0xffffbc)
- \* **IBAR4[23:0]**: Instruction Break Address #4 Bits in the Instruction Break Address (IBAR4) Register 4 (D[23:0]/0xffffd0)

なお、5本のハードウェアPCブレーク(ユーザー 4本、予約1本)を使用するには、S1C17ソフトウェア統合開発環境GNU17(Ver 1.2.1)以降をインストールする必要があります。

## 24.4 制御レジスタ詳細

表24.4.1 デバッグ用レジスタ一覧

アドレス	レジスタ名		機 能
0x5322	MISC_OSC1	OSC1 Peripheral Control Register	デバッグ時のOSC1動作周辺機能の設定
0x5326	MISC_IRAMSZ	IRAM Size Select Register	IRAMサイズの選択
0xffff90	DBRAM	Debug RAM Base Register	デバッグRAMベースアドレスの表示
0xffffa0	DCR	Debug Control Register	デバッグ制御
0xffffb8	IBAR2	Instruction Break Address Register 2	命令ブレークアドレス#2の設定
0xffffbc	IBAR3	Instruction Break Address Register 3	命令ブレークアドレス#3の設定
0xffffd0	IBAR4	Instruction Break Address Register 4	命令ブレークアドレス#4の設定

以下、デバッグ用のレジスタを個々に説明します。

- 注: • レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。
- ここに記載されていないデバッグ用レジスタについては、“S1C17コアマニュアル”を参照してください。

**0x5322: OSC1 Peripheral Control Register (MISC\_OSC1)**

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
OSC1 Peripheral Control Register (MISC_OSC1)	0x5322 (16 bits)	D15-1	—	reserved	—			—	—	0 when being read.
		D0	01DBG	OSC1 peripheral control in debug mode	1	Run	0   Stop	0	R/W	

**D[7:1] Reserved****D0 O1DBG: OSC1 Peripheral Control in Debug Mode Bit**

デバッグモード時のOSC1周辺回路の動作を設定します。

1(R/W): 動作

0(R/W): 停止(デフォルト)

OSC1周辺回路はOSC1クロックで動作する以下の周辺回路のことです。

- 計時タイマ
- ウォッチドッグタイマ
- ストップウォッチタイマ
- 8ビットOSC1タイマ

0x5326: IRAM Size Select Register (MISC\_IRAMSZ)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
IRAM Size Select Register (MISC_IRAMSZ)	0x5326 (16 bits)	D15-9	—	reserved	—	—	—	0 when being read.
		D8	DBADR	Debug base address select	1 0x0 0 0xffc00	0	R/W	
		D7-2	—	reserved	—	—	—	0 when being read.
		D1-0	IRAMSZ[1:0]	IRAM size select	IRAMSZ[1:0] Read cycle	0x2	R/W	
					0x3 2KB 0x2 4KB 0x1 8KB 0x0 12KB			

D[15:9] Reserved

D8 DBADR: Debug Base Address Select Bit

デバッグ割り込み発生時の分岐先アドレスを選択します。

1 (R/W): 0x0

0 (R/W): 0xffc00 (デフォルト)

D[7:2] Reserved

D[1:0] IRAMSZ[1:0]: IRAM Size Select Bits

使用する内蔵RAMのサイズを選択します。

表24.4.2 内蔵RAMサイズの選択

IRAMSZ[1:0]	内蔵RAMサイズ
0x3	2KB
0x2	4KB
0x1	8KB
0x0	12KB

(デフォルト: 0x2)

注: IRAM Size Select Registerは書き込み保護されています。このレジスタを書き換えるには、MISC Protect Register (0x5324) に0x96を書き込んで、書き込み保護を解除する必要があります。なお、IRAM Size Select Registerの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はMISC Protect Register (0x5324) を0x96以外に設定してください。

**0xffff90: Debug RAM Base Register (DBRAM)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Debug RAM Base Register (DBRAM)	0xffff90 (32 bits)	D31–24	–	Unused (fixed at 0)	0x0	0x0	R	
		D23–0	DBRAM[23:0]	Debug RAM base address	0x0fc0	0x0fc0	R	

**D[31:24]** 未使用 (0固定)

**D[23:0]** **DBRAM[23:0]: Debug RAM Base Address Bits**

デバッグ用ワークエリア (64バイト) の先頭アドレスが格納されるリードオンリレジスタです。

## 0xfffffa0: Debug Control Register (DCR)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Debug Control Register (DCR)	0xfffffa0 (8 bits)	D7	IBE4	Instruction break #4 enable	1	Enable	0	Disable	0	R/W	
		D6	IBE3	Instruction break #3 enable	1	Enable	0	Disable	0	R/W	
		D5	IBE2	Instruction break #2 enable	1	Enable	0	Disable	0	R/W	
		D4	DR	Debug request flag	1	Occurred	0	Not occurred	0	R/W	Reset by writing 1.
		D3	IBE1	Instruction break #1 enable	1	Enable	0	Disable	0	R/W	
		D2	IBE0	Instruction break #0 enable	1	Enable	0	Disable	0	R/W	
		D1	SE	Single step enable	1	Enable	0	Disable	0	R/W	
		D0	DM	Debug mode	1	Debug mode	0	User mode	0	R	

**D7 IBE4: Instruction Break #4 Enable Bit**

命令ブレイク#4を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとInstruction Break Address Register 4 (0xffffd0)の設定値が比較され、一致すると命令ブレイクが発生します。このビットを0に設定すると、比較は行われません。

**D6 IBE3: Instruction Break #3 Enable Bit**

命令ブレイク#3を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとInstruction Break Address Register 3 (0xffffbc)の設定値が比較され、一致すると命令ブレイクが発生します。このビットを0に設定すると、比較は行われません。

**D5 IBE2: Instruction Break #2 Enable Bit**

命令ブレイク#2を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとInstruction Break Address Register 2 (0xffffb8)の設定値が比較され、一致すると命令ブレイクが発生します。このビットを0に設定すると、比較は行われません。

**D4 DR: Debug Request Flag**

外部からのデバッグ要求の有無を示します。

1(R): 発生

0(R): なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

このフラグは、1の書き込みでクリア(0にリセット)されます。デバッグ処理ルーチンをret d命令で終了する前にクリアしておく必要があります。

**D3 IBE1: Instruction Break #1 Enable Bit**

命令ブレイク#1を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとInstruction Break Address Register 1 (0xffffb4)の設定値が比較され、一致すると命令ブレイクが発生します。このビットを0に設定すると、比較は行われません。

**D2 IBE0: Instruction Break #0 Enable Bit**

命令ブレーク#0を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

このビットを1に設定すると、命令フェッチアドレスとInstruction Break Address Register 0 (0xffffb0)の設定値が比較され、一致すると命令ブレークが発生します。このビットを0に設定すると、比較は行われません。

**D1 SE: Single Step Enable Bit**

シングルステップ動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

**D0 DM: Debug Mode Bit**

プロセッサの動作モード(デバッグモードまたはユーザモード)を示します。

1(R): デバッグモード

0(R): ユーザモード(デフォルト)

0xffffb8: Instruction Break Address Register 2 (IBAR2)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Instruction Break Address Register 2 (IBAR2)	0xffffb8 (32 bits)	D31–24	–	reserved	–	–	–	0 when being read.
		D23–0	IBAR2[23:0]	Instruction break address #2 IBAR223 = MSB IBAR20 = LSB	0x0 to 0xfffff	0x0	R/W	

D[31:24] Reserved

D[23:0] IBAR2[23:0]: Instruction Break Address #2 Bits  
命令ブレイクアドレス#2を設定します。(デフォルト: 0x000000)

**0xffffbc: Instruction Break Address Register 3 (IBAR3)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Instruction Break Address Register 3 (IBAR3)	0xffffbc (32 bits)	D31–24	–	reserved	–	–	–	0 when being read.
		D23–0	IBAR3[23:0]	Instruction break address #3 IBAR323 = MSB IBAR30 = LSB	0x0 to 0xfffff	0x0	R/W	

**D[31:24] Reserved****D[23:0] IBAR3[23:0]: Instruction Break Address #3 Bits**

命令ブレイクアドレス#3を設定します。(デフォルト: 0x000000)

0xffffd0: Instruction Break Address Register 4 (IBAR4)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Instruction Break Address Register 4 (IBAR4)	0xffffd0 (32 bits)	D31–24	–	reserved	–	–	–	0 when being read.
		D23–0	IBAR4[23:0]	Instruction break address #4 IBAR423 = MSB IBAR40 = LSB	0x0 to 0xfffff	0x0	R/W	

D[31:24] Reserved

D[23:0] IBAR4[23:0]: Instruction Break Address #4 Bits

命令ブレークアドレス#4を設定します。(デフォルト: 0x000000)

# 25 乗除算器

## 25.1 概要

S1C17003は、符号付き/符号なし16×16ビット乗算機能、16÷16ビット除算機能、オーバーフロー検出が可能な符号付き16×16ビット+32ビット積和演算(MAC, Multiply and Accumulator)機能を提供するコプロセッサを内蔵しています。

ここでは、これらの機能の使用方法について説明します。

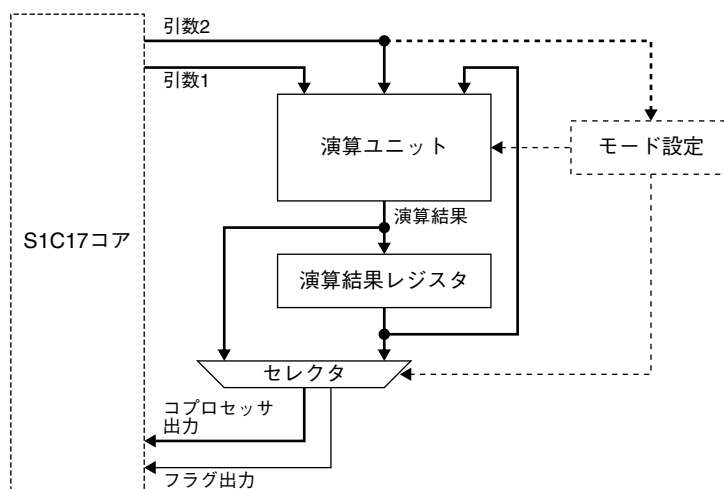


図25.1.1 乗除算器ブロック図

表25.1.1 演算サイクル数

演算	サイクル数
乗算	1サイクル
積和演算	1サイクル
除算	17～20サイクル

25.2 動作モードと出力モード

乗除算器はアプリケーションプログラムによって指定される動作モードに従って動作します。表25.2.1に示すとおり、乗除算器は9種類の動作に対応しています。

乗算、除算、積和演算の演算結果は32ビットデータです。このため、S1C17コアは1回のアクセスで結果を読み出すことができません。出力モードは、乗除算器から演算結果の上位16ビットを読み出すか、下位16ビットを読み出すかを指定するために用意されています。

動作モードと出力モードは、7ビットのデータを乗除算器内のモード設定レジスタに書き込むことにより指定します。書き込みには“ld.cw”命令を使用してください。

```
ld.cw  %rd,%rs      %rs[6:0]がモード設定レジスタに書き込まれます。( %rd: 未使用)
ld.cw  %rd,imm7      imm7[6:0]がモード設定レジスタに書き込まれます。( %rd: 未使用)
```

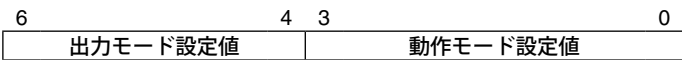


図25.2.1 モード設定レジスタ

表25.2.1 モード設定

設定値 (D[6:4])	出力モード	設定値 (D[3:0])	動作モード
0x0	下位16ビット出力モード コプロセッサ出力として、演算結果の下位16ビットが読み出せます。	0x0	初期化モード0 演算結果レジスタを0x0にクリアします。
0x1	上位16ビット出力モード コプロセッサ出力として、演算結果の上位16ビットが読み出せます。	0x1	初期化モード1 演算用の16ビット被加数を演算結果レジスタの下位16ビットにロードします。
0x2～0x7	Reserved	0x2	初期化モード2 演算用の32ビット被加数を演算結果レジスタにロードします。
		0x3	演算結果読み出しモード 演算は行わずに、演算結果レジスタのデータを出力します。
		0x4	符号なし乗算モード 符号なし乗算を実行します。
		0x5	符号付き乗算モード 符号付き乗算を実行します。
		0x6	Reserved
		0x7	符号付き積和演算モード 符号付き積和演算を実行します。
		0x8	符号なし除算モード 符号なし除算を実行します。
		0x9	符号付き除算モード 符号付き除算を実行します。
		0xa～0xf	Reserved

## 25.3 乗算

乗算機能は、“ $A(32\text{ビット}) = B(16\text{ビット}) \times C(16\text{ビット})$ ”を実行します。

乗算を実行するには、動作モードを0x4(符号なし乗算)または0x5(符号付き乗算)に設定します。その後、16ビット被乗数(B)と16ビット乗数(C)を、“ld.ca”命令を使用して乗除算器に転送します。演算結果の1/2(出力モードに従った16ビット、A[15:0]またはA[31:16])とフラグの状態がCPUレジスタに返ります。演算結果の残りの1/2は、乗除算器を演算結果読み出しモードに設定して読み出します。

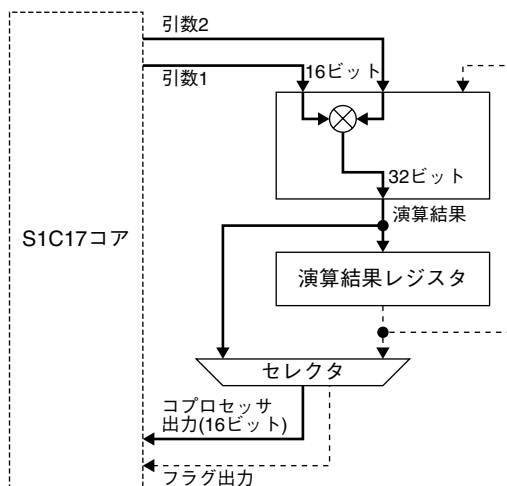


図25.3.1 乗算モードのデータ経路

表25.3.1 乗算モードの動作

モード 設定値	命令	動作	フラグ	備考
0x04 または 0x05	ld.ca %rd,%rs	$\text{res}[31:0] \leftarrow \%rd \times \%rs$ $\%rd \leftarrow \text{res}[15:0]$	psr (CVZN) $\leftarrow 0b0000$	演算結果レジスタは他の演算によって書き込みが行われるまで、演算結果を保持します。
	(ext imm9) ld.ca %rd,imm7	$\text{res}[31:0] \leftarrow \%rd \times \text{imm7}/16$ $\%rd \leftarrow \text{res}[15:0]$		
0x14 または 0x15	ld.ca %rd,%rs	$\text{res}[31:0] \leftarrow \%rd \times \%rs$ $\%rd \leftarrow \text{res}[31:16]$		
	(ext imm9) ld.ca %rd,imm7	$\text{res}[31:0] \leftarrow \%rd \times \text{imm7}/16$ $\%rd \leftarrow \text{res}[31:16]$		

res: 演算結果レジスタ

例:

```
ld.cw %r0,0x4 ; モード設定(符号なし乗算モード & 下位16ビット出力モード)
ld.ca %r0,%r1 ; “res = %r0 × %r1”を実行し、結果の下位16ビットを%r0レジスタにロード
ld.cw %r0,0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード)
ld.ca %r1,%r0 ; 結果の上位16ビットを%r1レジスタにロード
```

## 25.4 除算

除算機能は、“ $A(16\text{ビット}) = B(16\text{ビット}) \div C(16\text{ビット})$ ,  $D(16\text{ビット}) = \text{余り}$ ”を実行します。除算を実行するには、動作モードを0x8(符号なし除算)または0x9(符号付き除算)に設定します。その後、16ビット被除数(B)と16ビット除数(C)を、“ld.ca”命令を使用して乗除算器に転送します。商が演算結果レジスタの下位16ビットに、余りが上位16ビットに入ります。演算が終了すると、出力モードで指定した商または余りの16ビットとフラグの状態がCPUレジスタに返ります。演算結果の残りの16ビットは、乗除算器を演算結果読み出しモードに設定して読み出します。

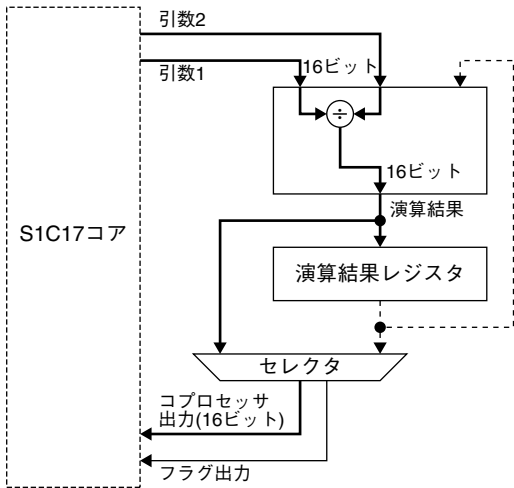


図25.4.1 除算モードのデータ経路

表25.4.1 除算モードの動作

モード 設定値	命令	動作	フラグ	備考
0x08 または 0x09	ld.ca %rd,%rs	$\text{res}[31:0] \leftarrow \%rd \div \%rs$ $\%rd \leftarrow \text{res}[15:0](\text{商})$	psr (CVZN) $\leftarrow 0b0000$	演算結果レジスタは他の演算によって書き込みが行われるまで、演算結果を保持します。
	(ext imm9) ld.ca %rd,imm7	$\text{res}[31:0] \leftarrow \%rd \div \text{imm}7/16$ $\%rd \leftarrow \text{res}[15:0](\text{商})$		
0x18 または 0x19	ld.ca %rd,%rs	$\text{res}[31:0] \leftarrow \%rd \div \%rs$ $\%rd \leftarrow \text{res}[31:16](\text{余り})$		
	(ext imm9) ld.ca %rd,imm7	$\text{res}[31:0] \leftarrow \%rd \div \text{imm}7/16$ $\%rd \leftarrow \text{res}[31:16](\text{余り})$		

res: 演算結果レジスタ

例:

```
ld.cw %r0,0x8 ; モード設定(符号なし除算モード & 下位16ビット出力モード)
ld.ca %r0,%r1 ; “res = %r0 ÷ %r1”を実行し、結果の下位16ビット(商)を%r0レジスタにロード
ld.cw %r0,0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード)
ld.ca %r1,%r0 ; 結果の上位16ビット(余り)を%r1レジスタにロード
```

## 25.5 積和演算

積和演算機能は、“ $A(32\text{ビット}) = B(16\text{ビット}) \times C(16\text{ビット}) + A(32\text{ビット})$ ”を実行します。

積和演算を実行する前に初期値(A)を演算結果レジスタに設定しておく必要があります。

演算結果レジスタをクリアするには(A = 0)、動作モードを0x0に設定します。別の命令で乗除算器に0x0を送る必要はありません。

16ビット値または32ビット値を演算結果レジスタにロードするには、動作モードを0x1(16ビット)または0x2(32ビット)に設定します。その後、“ld.cf”命令で初期値を乗除算器に送ります。

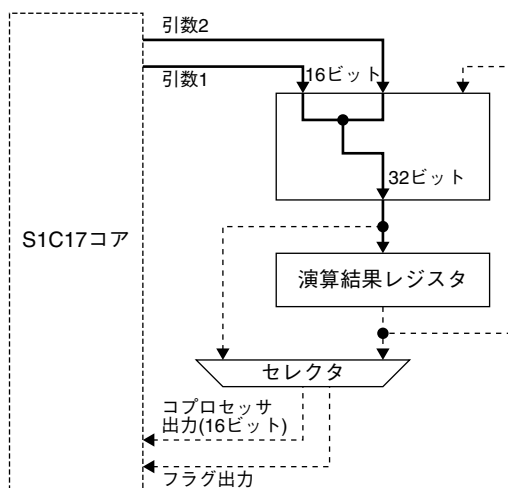


図25.5.1 初期化モード時のデータ経路

表25.5.1 演算結果レジスタの初期化

モード 設定値	命令	動作	備考
0x0	—	res[31:0] ← 0x0	動作モードの設定のみ(データの送信なし)で初期化を行います。
0x1	ld.cf %rd,%rs	res[31:16] ← 0x0 res[15:0] ← %rs	
	(ext imm9) ld.cf %rd,imm7	res[31:16] ← 0x0 res[15:0] ← imm7/16	
0x2	ld.cf %rd,%rs	res[31:16] ← %rd res[15:0] ← %rs	
	(ext imm9) ld.cf %rd,imm7	res[31:16] ← %rd res[15:0] ← imm7/16	

res: 演算結果レジスタ

積和演算を実行するには、動作モードを0x7(符号付き積和演算)に設定します。その後、16ビット被乗数(B)と16ビット乗数(C)を、“ld.ca”命令を使用して乗除算器に転送します。演算結果の1/2(出力モードに従った16ビット、A[15:0]またはA[31:16])とフラグの状態がCPUレジスタに返ります。演算結果の残りの1/2は、乗除算器を演算結果読み出しモードに設定して読み出します。

演算結果により、PSRのオーバーフローフラグ(V)が1にセットされます。その他のフラグは0にクリアされます。

演算結果読み出しモードに移行せずに積和演算を継続する場合は、被乗数と乗数を必要な回数分送ります。この場合、データ送信のたびに積和演算モードに設定する必要はありません。

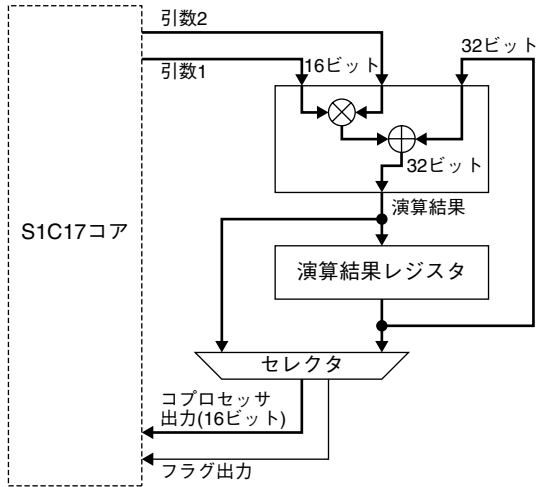


図25.5.2 積和演算モード時のデータ経路

表25.5.2 積和演算モードの動作

モード 設定値	命令	動作	フラグ	備考
0x07	ld.ca %rd,%rs	res[31:0] ← %rd × %rs + res[31:0] %rd ← res[15:0]	オーバーフローが発生 した場合 psr (CVZN) ← 0b0100	演算結果レジスタは 他の演算によって再 書き込みが行われる まで、演算結果を保持 します。
	(ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd × imm7/16 + res[31:0] %rd ← res[15:0]		
0x17	ld.ca %rd,%rs	res[31:0] ← %rd × %rs + res[31:0] %rd ← res[31:16]	それ以外 psr (CVZN) ← 0b0000	
	(ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd × imm7/16 + res[31:0] %rd ← res[31:16]		

res: 演算結果レジスタ

例:

```
ld.cw %r0,0x7 ; モード設定(符号付き積和演算モード & 下位16ビット出力モード)
ld.ca %r0,%r1 ; “res = %r0 × %r1 + res”を実行し、結果の下位16ビットを%r0レジスタにロード
ld.cw %r0,0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード)
ld.ca %r1,%r0 ; 結果の上位16ビットを%r1レジスタにロード
```

オーバーフローフラグ(V)のセット条件

積和演算で乗算結果の符号、演算結果レジスタの符号、および 演算結果の符号が以下の条件に合うとオーバーフローが発生し、オーバーフローフラグ(V)フラグが1にセットされます。

表25.5.3 オーバーフローフラグ(V)のセット条件

モード設定値	乗算結果の符号	演算結果レジスタの符号	演算結果の符号
0x07	0(正)	0(正)	1(負)
0x07	1(負)	1(負)	0(正)

積和演算で正と正の加算を行い、結果が負になる場合、または負と負の加算を行い、結果が正になる場合にオーバーフローが発生します。オーバーフローフラグ(V)フラグがクリアされるまで、結果はコプロセッサ内に保持されます。

オーバーフローフラグ(V)のクリア条件

セットされたオーバーフローフラグ(V)フラグは、積和演算のために“ld.ca”命令を実行し、オーバーフローが発生しなかった場合、あるいは演算結果読み出しモード以外で“ld.ca”命令または“ld.cf”命令を実行した場合にクリアされます。

## 25.6 演算結果の読み出し

“ld.ca”命令は32ビットの演算結果をCPUレジスタにロードできません。このため、乗算と積和演算は演算結果の1/2(出力モードに従った16ビット、A[15:0]またはA[31:16])とフラグの状態をCPUレジスタに返します。演算結果の残りの1/2は、乗除算器を演算結果読み出しモードに設定して読み出します。演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。

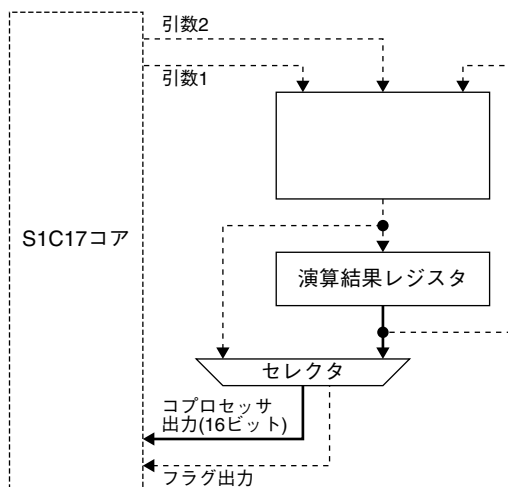


図25.6.1 演算結果読み出しモードのデータ経路

表25.6.1 演算結果読み出しモードの動作

モード 設定値	命令	動作	フラグ	備考
0x03	ld.ca %rd,%rs	%rd ← res[15:0]	psr (CVZN) ← 0b0000	この動作モードは演算結果レジスタに影響を与えません。
	ld.ca %rd,imm7	%rd ← res[15:0]		
0x13	ld.ca %rd,%rs	%rd ← res[31:16]		
	ld.ca %rd,imm7	%rd ← res[31:16]		

res: 演算結果レジスタ

## 26 電気的特性

### 26.1 絶対最大定格

項目	記号	条件	定格値	単位
コア電源電圧	LV <sub>DD</sub>		-0.3~2.5	V
I/O電源電圧	HV <sub>DD</sub>		-0.3~4.0	V
アナログ電源電圧	AV <sub>DD</sub>		-0.3~4.0	V
入力電圧	HV <sub>I</sub>		-0.3~HV <sub>DD</sub> + 0.5	V
	LV <sub>I</sub>		-0.3~LV <sub>DD</sub> + 0.5	
アナログ入力電圧	AV <sub>I</sub>		-0.3~AV <sub>DD</sub> + 0.3	V
出力電圧	Vo		-0.3~HV <sub>DD</sub> + 0.5	V
高レベル出力電流	IoH	1端子	-10	mA
		全端子合計	-40	mA
低レベル出力電流	IoL	1端子	-10	mA
		全端子合計	-40	mA
保存温度	Tstg		-65~150	°C
半田付け温度・時間	Tsol		260°C, 10秒 (リード部)	—

### 26.2 推奨動作電圧

項目	記号	条件	Min.	Typ.	Max.	単位
コア電源電圧	LV <sub>DD</sub>		1.65	—	1.95	V
I/O電源電圧	HV <sub>DD</sub>		1.65	—	3.6	V
アナログ電源電圧 *1	AV <sub>DD</sub>	P17、P[22:20]=アナログ信号入力時	2.7	—	3.6	V
		P17、P[22:20]=デジタル信号入力時	1.65	—	3.6	V
入力電圧	HV <sub>I</sub>		V <sub>SS</sub>	—	HV <sub>DD</sub>	V
	LV <sub>I</sub>		V <sub>SS</sub>	—	LV <sub>DD</sub>	V
アナログ入力電圧	AV <sub>I</sub>		V <sub>SS</sub>	—	AV <sub>DD</sub>	V
動作周波数	fosc3	水晶/セラミック発振	5	—	20	MHz
	fosc1	水晶発振	—	32.768	—	kHz
動作温度	Ta		-40	—	85	°C
入力立ち上がり時間(シュミット入力)	t <sub>ri</sub>		—	—	5	ms
入力立ち下がり時間(シュミット入力)	t <sub>fi</sub>		—	—	5	ms

\*1) ADC未使用かつ、P17、P[22:20]をアナログ入力でなくデジタル信号の入力信号としてのみ使用する場合は、AV<sub>DD</sub>=1.65~3.6Vで使用可能です。ただし、入力するデジタル信号のHighレベルはAV<sub>DD</sub>、LowレベルはGNDである必要があります。

## 26.3 消費電流

特記なき場合:  $LV_{DD} = HV_{DD} = 1.8V$ ,  $AV_{DD} = 3.3V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^{\circ}C$ ,  
周辺モジュール: 停止

項 目	記号	条 件	Min.	Typ.	Max.	単位
SLEEP時消費電流	ISLP	OSC1: Off, OSC3: Off	—	1	—	$\mu A$
HALT時消費電流	IHALT1	OSC1: 32kHz, OSC3: Off	—	3.3	—	$\mu A$
	IHALT2	OSC1: 32kHz, OSC3: 1MHz	—	180	—	$\mu A$
	IHALT3	OSC1: 32kHz, OSC3: 4MHz	—	300	—	$\mu A$
	IHALT4	OSC1: 32kHz, OSC3: 8MHz	—	500	—	$\mu A$
	IHALT5	OSC1: 32kHz, OSC3: 20MHz	—	1.3	—	mA
実行時消費電流 *1	IEXE1	OSC1: 32kHz, OSC3: Off	—	8.0	—	$\mu A$
	IEXE2	OSC1: 32kHz, OSC3: 1MHz	—	350	—	$\mu A$
	IEXE3	OSC1: 32kHz, OSC3: 4MHz	—	840	—	$\mu A$
	IEXE4	OSC1: 32kHz, OSC3: 8MHz	—	1.6	—	mA
	IEXE5	OSC1: 32kHz, OSC3: 20MHz	—	4.0	—	mA
ADC動作時消費電流 *2	IADC	ADCイネーブル	—	260	—	$\mu A$

\*1) 実行時消費電流は、“ALU命令 60.5%、分岐命令 17%、メモリリード命令 12%、メモリライト命令 10.5%”の試験プログラムをROMからフェッチしながら連続動作させた場合の値です。

\*2)  $AV_{DD}$ での消費電流

## 26.4 入出力端子特性

特記なき場合:  $V_{DD} = HV_{DD} = 1.8V \pm 0.15V$ ,  $V_{SS} = 0V$ ,  $T_a = -40 \sim 85^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
入力リーク電流	$I_{LI}$	$HV_{DD} = \text{Max.}, V_I = \text{Max.}$	-5	—	5	$\mu A$
高レベル出力電流	$I_{OH}$	$V_{OH} = HV_{DD} - 0.4V$ $HV_{DD} = \text{Min.}$	-1	—	—	mA
低レベル出力電流	$I_{OL}$	$V_{OL} = 0.4V$ $HV_{DD} = \text{Min.}$	1	—	—	mA
ポジティブトリガ入力電圧	$V_{T1+}$	$HV_{DD} = \text{Max.}$	0.6	—	1.4	V
ネガティブトリガ入力電圧	$V_{T1-}$	$HV_{DD} = \text{Min.}$	0.3	—	1.1	V
ヒステリシス電圧	$\Delta V$	$HV_{DD} = \text{Min.}$	0.02	—	—	V
入力プルアップ抵抗	$R_{IN1}$	$P_{xx}, V_I = 0V$	48	120	300	k $\Omega$
	$R_{IN2}$	$\#RESET, V_I = 0V$	96	240	600	k $\Omega$
入力端子容量	$C_i$	$f = 1\text{MHz}, HV_{DD} = 0V$	—	—	8	pF
出力端子容量	$C_o$	$f = 1\text{MHz}, HV_{DD} = 0V$	—	—	8	pF
入出力端子容量	$C_{IO}$	$f = 1\text{MHz}, HV_{DD} = 0V$	—	—	8	pF

特記なき場合:  $V_{DD} = 1.8V \pm 0.15V$ ,  $HV_{DD} = 2.7 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = -40 \sim 85^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
入力リーク電流	$I_{LI}$	$HV_{DD} = \text{Max.}, V_I = \text{Max.}$	-5	—	5	V
高レベル出力電流	$I_{OH}$	$V_{OH} = HV_{DD} - 0.4V$ , $HV_{DD} = \text{Min.}$	-1.7	—	—	mA
低レベル出力電流	$I_{OL}$	$V_{OL} = 0.4V$ , $HV_{DD} = \text{Min.}$	1.7	—	—	mA
ポジティブトリガ入力電圧	$V_{T1+}$	$HV_{DD} = \text{Max.}$	1.2	—	2.7	V
ネガティブトリガ入力電圧	$V_{T1-}$	$HV_{DD} = \text{Min.}$	0.5	—	1.8	V
ヒステリシス電圧	$\Delta V$	$HV_{DD} = \text{Min.}$	0.2	—	—	V
入力プルアップ抵抗	$R_{IN1}$	$P_{xx}, V_I = 0V$	25	50	144	k $\Omega$
	$R_{IN2}$	$\#RESET, V_I = 0V$	50	100	288	k $\Omega$
入力端子容量	$C_i$	$f = 1\text{MHz}, HV_{DD} = 0V$	—	—	8	pF
出力端子容量	$C_o$	$f = 1\text{MHz}, HV_{DD} = 0V$	—	—	8	pF
入出力端子容量	$C_{IO}$	$f = 1\text{MHz}, HV_{DD} = 0V$	—	—	8	pF

## 26.5 A/D変換器特性

特記なき場合:  $HV_{DD} = AV_{DD} = 2.7 \sim 3.6V$ ,  $LV_{DD} = 1.65 \sim 1.95V$ ,  $V_{SS} = 0V$ ,  $T_a = -40 \sim 85^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
分解能	—		—	10	—	bit
変換時間 *1	—		10	—	1250	μs
ゼロスケール誤差	$E_{ZS}$		-2	—	2	LSB
フルスケール誤差	$E_{FS}$		-2	—	2	LSB
積分直線性誤差	$E_L$		-3	—	3	LSB
微分直線性誤差	$E_D$		-3	—	3	LSB
許容信号源インピーダンス	—		—	—	5	kΩ
アナログ入力容量	—		—	—	45	pF

\*1) Min値はA/D変換器クロック入力=2MHzの場合。Max値はA/D変換器クロック入力=16kHzの場合

### A/D変換誤差

$V[001]_h$  = 理想のゼロスケール点電圧(=0.5LSB)

$V'[001]_h$  = 実際のゼロスケール点電圧

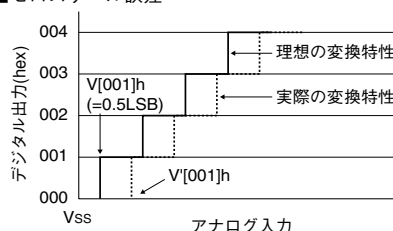
$V[3FF]_h$  = 理想のフルスケール点電圧(=1022.5LSB)

$V'[3FF]_h$  = 実際のフルスケール点電圧

$$1LSB = \frac{AV_{DD} - V_{SS}}{2^{10} - 1}$$

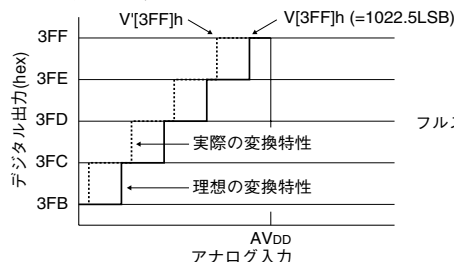
$$1LSB' = \frac{V'[3FF]_h - V'[001]_h}{2^{10} - 2}$$

#### ■ ゼロスケール誤差



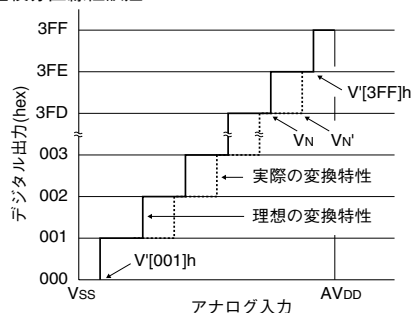
$$\text{ゼロスケール誤差 } E_{ZS} = \frac{(V'[001]_h - 0.5LSB) - (V[001]_h - 0.5LSB)}{1LSB} \text{ [LSB]}$$

#### ■ フルスケール誤差



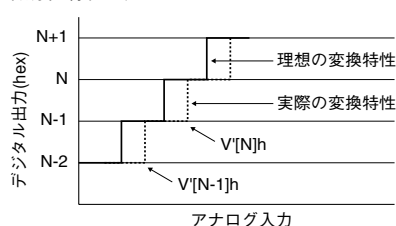
$$\text{フルスケール誤差 } E_{FS} = \frac{(V'[3FF]_h + 0.5LSB) - (V[3FF]_h + 0.5LSB)}{1LSB} \text{ [LSB]}$$

#### ■ 積分直線性誤差



$$\text{積分直線性誤差 } E_L = \frac{V_N' - V_N}{1LSB'} \text{ [LSB]}$$

#### ■ 微分直線性誤差



$$\text{微分直線性誤差 } E_D = \frac{V[N]_h - V'[N-1]_h}{1LSB'} - 1 \text{ [LSB]}$$

## 26.6 SPI特性

### マスタモード時

特記なき場合:  $HV_{DD} = 1.65 \sim 3.6V$ ,  $LV_{DD} = 1.65 \sim 1.95V$ ,  $V_{SS} = 0V$ ,  $T_a = -40 \sim 85^\circ C$

項目	記号	Min.	Typ.	Max.	単位
SPICLKサイクル時間	tsPCK	200	—	—	ns
SDIセットアップ時間	tsDS	60	—	—	ns
SDIホールド時間	tsDH	10	—	—	ns
SDO出力遅延時間	tsDO	—	—	20	ns

### スレーブモード時

特記なき場合:  $HV_{DD} = 1.65 \sim 3.6V$ ,  $LV_{DD} = 1.65 \sim 1.95V$ ,  $V_{SS} = 0V$ ,  $T_a = -40 \sim 85^\circ C$

項目	記号	Min.	Typ.	Max.	単位
SPICLKサイクル時間	tsPCK	200	—	—	ns
SDIセットアップ時間	tsDS	10	—	—	ns
SDIホールド時間	tsDH	10	—	—	ns
SDO出力遅延時間	tsDO	—	—	60	ns

## 26.7 I<sup>2</sup>C特性

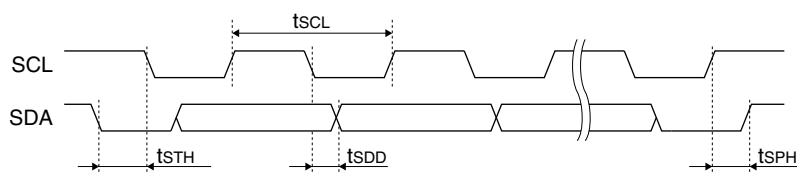


図26.7.1 I<sup>2</sup>Cタイミング

特記なき場合:  $V_{DD} = 1.8 \sim 3.6V$ ,  $V_{SS} = 0V$ ,  $T_a = -25 \sim 70^\circ C$

項目	記号	Min.	Typ.	Max.	単位
SCLサイクル時間	tsCL	2500			ns
スタートコンディションホールド時間	tSTH	1/fsys			ns
データ出力遅延時間	tsDD	1/fsys			ns
ストップコンディションホールド時間	tSPH	1/fsys			ns

\* fsys: システム動作クロック周波数

## 26.8 発振特性

発振特性は使用部品(振動子、 $R_f$ 、 $R_d$ 、 $C_G$ 、 $C_D$ )や基板パターンなどの諸条件により変化します。以下の特性は参考値としてご使用ください。特にセラミック発振子または水晶振動子を使用する場合、外付けの抵抗( $R_f$ 、 $R_d$ )や容量( $C_G$ 、 $C_D$ )の値は、実際の基板上に各部品を実装した状態で十分評価を行って適切なものを選んでください。

### OSC1水晶発振

特記なき場合:  $LV_{DD} = 1.8V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間	$t_{STA1}$	"27 基本外部結線図"記載の推奨部品使用の場合			1	s

### OSC3水晶発振

注: OSC3水晶発振回路には、“基本波を使用した水晶振動子”を使用してください。

特記なき場合:  $LV_{DD} = 1.8V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$

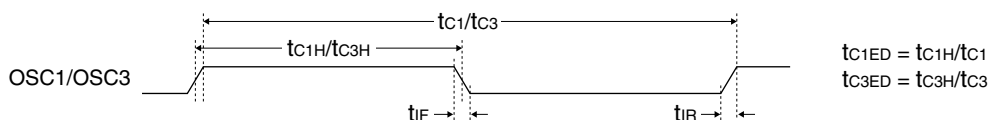
項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間	$t_{STA3}$	"27 基本外部結線図"記載の推奨部品使用の場合			10	ms

### OSC3セラミック発振

特記なき場合:  $LV_{DD} = 1.8V$ ,  $V_{SS} = 0V$ ,  $T_a = 25^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間	$t_{STA3}$	"27 基本外部結線図"記載の推奨部品使用の場合			1	ms

## 26.9 外部クロック入力特性



### OSC1外部クロック

特記なき場合:  $HV_{DD} = AV_{DD} = 2.7 \sim 3.6V$ ,  $LV_{DD} = 1.65 \sim 1.95V$ ,  $V_{SS} = 0V$ ,  $T_a = -40 \sim 85^\circ C$

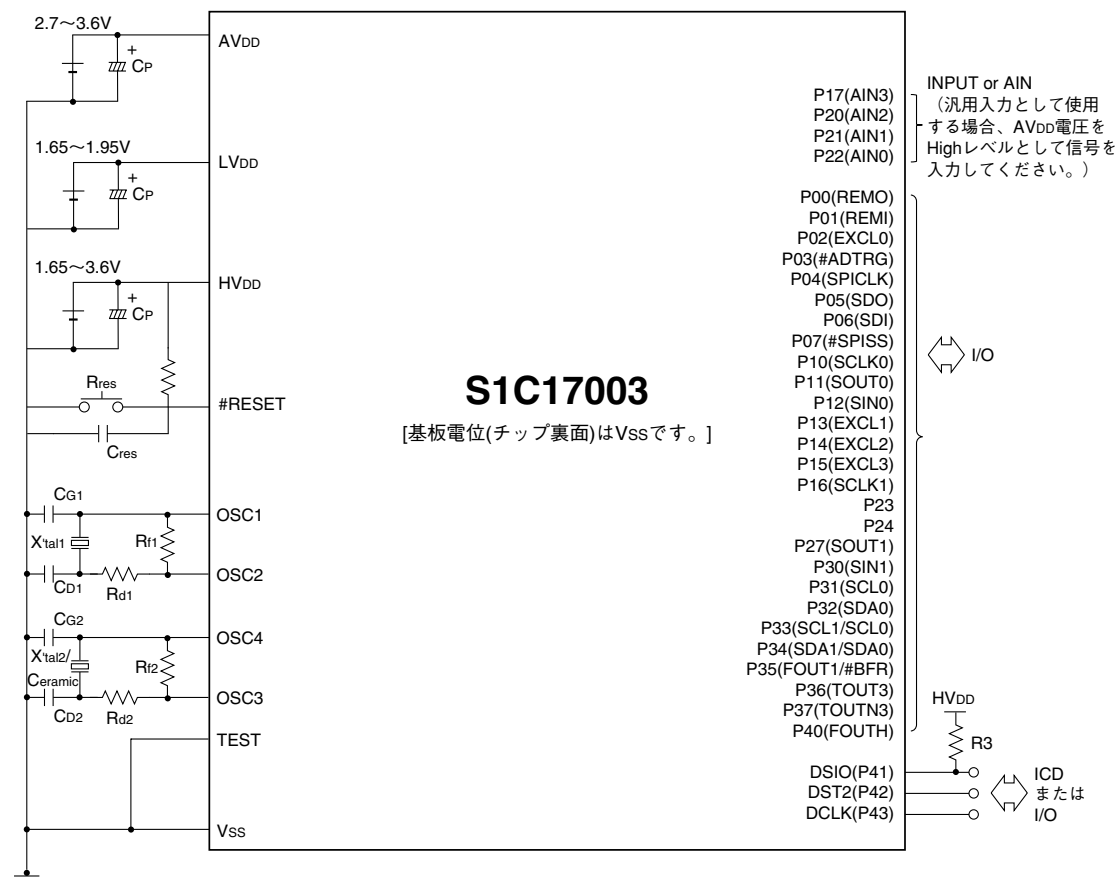
項目	記号	Min.	Typ.	Max.	単位
OSC1外部クロックサイクル時間	$t_{C1}$		30.51		$\mu s$
OSC1外部クロック入力デューティ	$t_{C1ED}$	45		55	%
OSC1外部クロック入力立ち上がり時間	$t_{IF}$			5	ns
OSC1外部クロック入力立ち下がり時間	$t_{IR}$			5	ns

### OSC3外部クロック

特記なき場合:  $HV_{DD} = AV_{DD} = 2.7 \sim 3.6V$ ,  $LV_{DD} = 1.65 \sim 1.95V$ ,  $V_{SS} = 0V$ ,  $T_a = -40 \sim 85^\circ C$

項目	記号	Min.	Typ.	Max.	単位
OSC3外部クロックサイクル時間	$t_{C3}$	50		1000	ns
OSC3外部クロック入力デューティ	$t_{C3ED}$	45		55	%
OSC3外部クロック入力立ち上がり時間	$t_{IF}$			5	ns
OSC3外部クロック入力立ち下がり時間	$t_{IR}$			5	ns

# 27 基本外部結線図



## 外付部品推奨値

### OSC1発振回路用外付け部品

シンボル	振動子	推奨メーカー	周波数 [Hz]	品番	推奨定数				推奨動作条件
					C <sub>D1</sub> [pF]	C <sub>G1</sub> [pF]	R <sub>f1</sub> [Ω]	R <sub>d1</sub> [Ω]	温度範囲 [°C]
X <sup>tal</sup> 1	水晶振動子	エプソントヨコム 株式会社	32.768k	MC-146 (C <sub>L</sub> = 7.0pF)	7	7	1M	0	-40~85

### OSC3発振回路用外付け部品

シンボル	振動子	推奨メーカー	周波数 [Hz]	品番	推奨定数				推奨動作条件
					C <sub>D2</sub> [pF]	C <sub>G2</sub> [pF]	R <sub>f2</sub> [Ω]	R <sub>d2</sub> [Ω]	温度範囲 [°C]
X <sup>tal</sup> 2	水晶振動子	エプソントヨコム 株式会社	4M	MA-406 (C <sub>L</sub> = 16pF)	27	27	1M	0	-40~85
			8M	MA-406 (C <sub>L</sub> = 7.0pF)	18	18	1M	0	-40~85
			16M	FA-238 (C <sub>L</sub> = 7.0pF)	4	4	1M	0	-40~85
			20M	FA-238 (C <sub>L</sub> = 7.0pF)	4	4	1M	0	-40~85
Ceramic	セラミック 発振子	株式会社 村田製作所	4M	CSTCR4M00G55	(39)	(39)	1M	100	-20~80
			8M	CSTCE8M00G55	(33)	(33)	1M	0	-20~80
			12M	CSTCE12M0G55	(33)	(33)	1M	0	-20~80
			16M	CSTCE16M0V53	(15)	(15)	1M	0	-20~80
			20M	CSTCE20M0V53	(15)	(15)	1M	0	-20~80
			4M	CSTCR4M00G55Z	(39)	(39)	1M	100	-40~85
			8M	CSTCE8M00G55Z	(33)	(33)	1M	0	-40~85
			12M	CSTCE12M0G55Z	(33)	(33)	1M	0	-40~85
			16M	CSTCE16M0V53Z	(15)	(15)	1M	0	-40~85
			20M	CSTCE20M0V53Z	(15)	(15)	1M	0	-40~85

( )は発振子に内蔵されている容量を表しています。

## その他

シンボル	名称	推奨値
CP	電源キャパシタ	3.3 $\mu$ F
Cres	#RESET端子キャパシタ	0.47 $\mu$ F
Rres	#RESET端子抵抗	10k $\Omega$

注: • ここに記載されている値は一例であり、特に動作を保証するものではありません。

- 水晶振動子やセラミック発振子は外部部品や基板による影響に敏感です。これらを使用する場合は、必ず使用条件などを製造メーカーにお問い合わせください。

## 28 パッケージ

### 28.1 TQFP12-64pinパッケージ

(単位: mm)

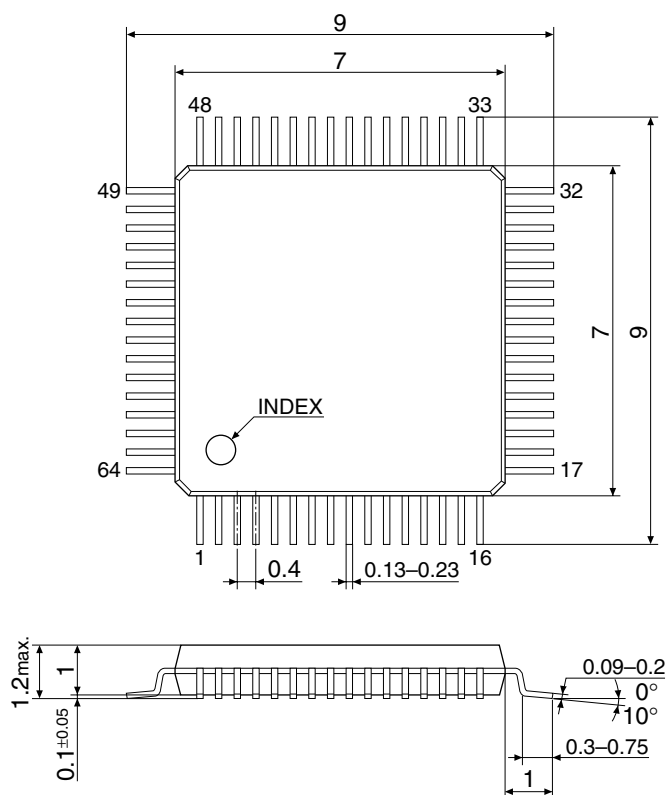
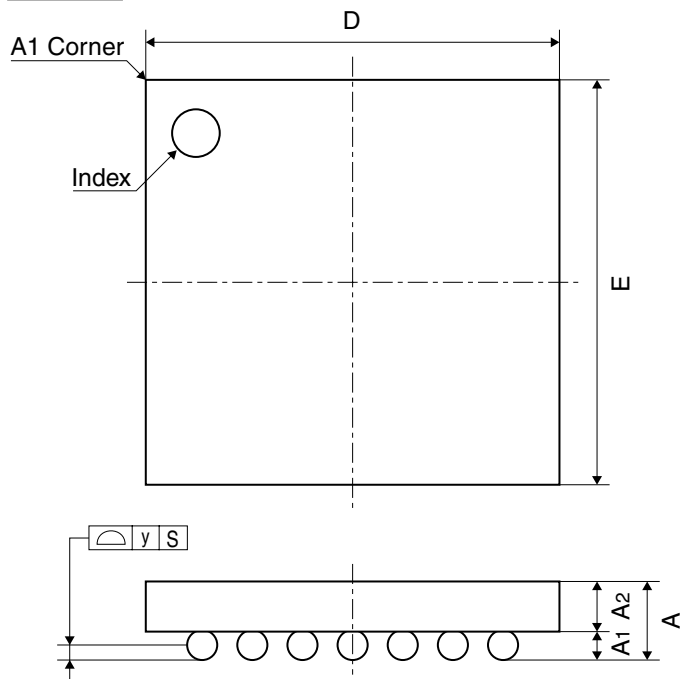


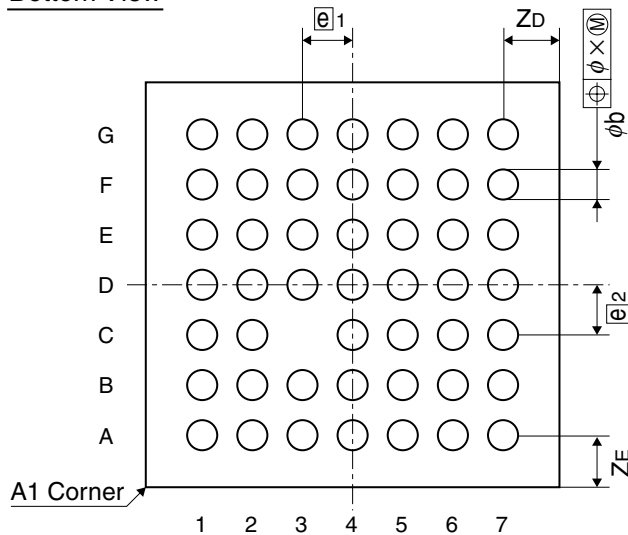
図28.1.1 TQFP12-64pin/パッケージ寸法

28.2 WCSP-48パッケージ

Top View



Bottom View



Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	3.024	3.124	3.224
E	3.024	3.124	3.224
A	—	—	0.78
A1	—	0.23	—
A2	—	0.49	—
e1	—	0.40	—
e2	—	0.40	—
b	0.23	0.26	0.29
X	—	—	0.08
y	—	—	0.05
ZD	—	0.362	—
ZE	—	0.362	—

図28.2.1 WCSP-48パッケージ寸法

## 28.3 パッケージの熱抵抗

---

LSIは消費電力に従ってチップ温度が上昇します。パッケージに搭載された状態のチップ温度はその周辺温度 $T_a$ 、パッケージの熱抵抗 $\theta$ および消費電力 $P_D$ から計算できます。

$$\text{チップ温度}(T_j) = T_a + (P_D \times \theta) [^{\circ}\text{C}]$$

通常の使用においては、チップ温度( $T_j$ )は125°C以下で使用してください。

### 1. 基板実装状態(無風状態)

$$\text{熱抵抗}(\theta_{j-a}) = 33.3^{\circ}\text{C/W}$$

この値は測定用基板(サイズ: 114 × 76 × 1.6mm t、FR4/4層基板)に実装し、無風状態で測定した熱抵抗です。

### 2. 単体宙づり状態(無風状態)

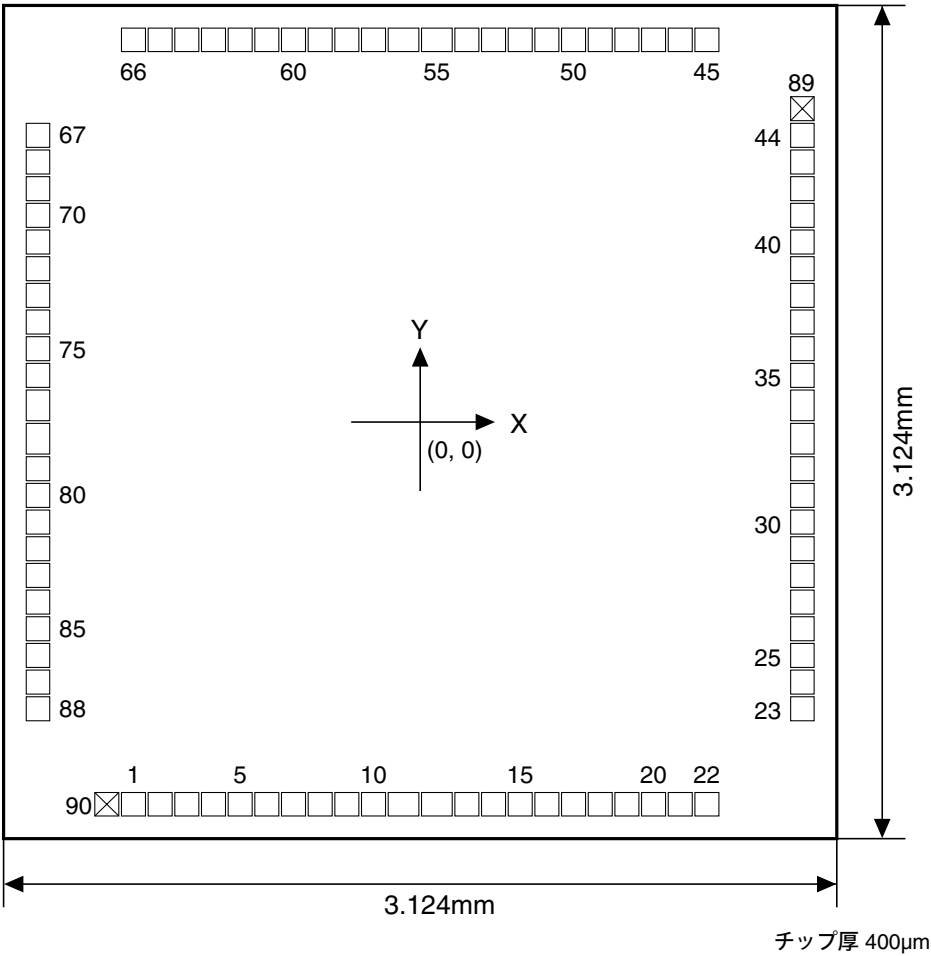
$$\text{熱抵抗} = 90 \sim 100^{\circ}\text{C/W}$$

この値はサンプルが宙づりされた無風状態での熱抵抗です。

注: 熱抵抗は基板への実装状態や強制空冷の有無によって大きく変動します。

# 28.4 パッド配置

## 28.4.1 パッド配置図



# Appendix A I/Oレジスタ一覧

周辺回路	アドレス	レジスタ名		機 能
プリスケアラ (8ビットデバイス)	0x4020	PSC_CTL	Prescaler Control Register	プリスケアラのスタート/ストップ制御
	0x4021~0x403f	—	—	Reserved
UART (IrDA付き) Ch.0 (8ビットデバイス)	0x4100	UART_ST0	UART Ch.0 Status Register	転送、バッファ、エラーステータスの表示
	0x4101	UART_TXD0	UART Ch.0 Transmit Data Register	送信データ
	0x4102	UART_RXD0	UART Ch.0 Receive Data Register	受信データ
	0x4103	UART_MOD0	UART Ch.0 Mode Register	転送データ形式の設定
	0x4104	UART_CTL0	UART Ch.0 Control Register	データ転送の制御
	0x4105	UART_EXP0	UART Ch.0 Expansion Register	IrDAモードの設定
	0x4106~0x411f	—	—	Reserved
	0x4120	UART_ST1	UART Ch.1 Status Register	転送、バッファ、エラーステータスの表示
UART (IrDA付き) Ch.1 (8ビットデバイス)	0x4121	UART_TXD1	UART Ch.1 Transmit Data Register	送信データ
	0x4122	UART_RXD1	UART Ch.1 Receive Data Register	受信データ
	0x4123	UART_MOD1	UART Ch.1 Mode Register	転送データ形式の設定
	0x4124	UART_CTL1	UART Ch.1 Control Register	データ転送の制御
	0x4125	UART_EXP1	UART Ch.1 Expansion Register	IrDAモードの設定
	0x4126~0x413f	—	—	Reserved
8ビットタイマ (Fモード付き) Ch.0 (16ビットデバイス)	0x4200	T8F_CLK0	8-bit Timer Ch.0 Input Clock Select Register	プリスケアラ出力クロックの選択
	0x4202	T8F_TR0	8-bit Timer Ch.0 Reload Data Register	リロードデータの設定
	0x4204	T8F_TC0	8-bit Timer Ch.0 Counter Data Register	カウンタデータ
	0x4206	T8F_CTL0	8-bit Timer Ch.0 Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4208	T8F_INT0	8-bit Timer Ch.0 Interrupt Control Register	割り込みの制御
	0x420a~0x421f	—	—	Reserved
16ビットタイマ Ch.0 (16ビットデバイス)	0x4220	T16_CLK0	16-bit Timer Ch.0 Input Clock Select Register	プリスケアラ出力クロックの選択
	0x4222	T16_TR0	16-bit Timer Ch.0 Reload Data Register	リロードデータの設定
	0x4224	T16_TC0	16-bit Timer Ch.0 Counter Data Register	カウンタデータ
	0x4226	T16_CTL0	16-bit Timer Ch.0 Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4228	T16_INT0	16-bit Timer Ch.0 Interrupt Control Register	割り込みの制御
	0x422a~0x423f	—	—	Reserved
16ビットタイマ Ch.1 (16ビットデバイス)	0x4240	T16_CLK1	16-bit Timer Ch.1 Input Clock Select Register	プリスケアラ出力クロックの選択
	0x4242	T16_TR1	16-bit Timer Ch.1 Reload Data Register	リロードデータの設定
	0x4244	T16_TC1	16-bit Timer Ch.1 Counter Data Register	カウンタデータ
	0x4246	T16_CTL1	16-bit Timer Ch.1 Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4248	T16_INT1	16-bit Timer Ch.1 Interrupt Control Register	割り込みの制御
	0x424a~0x425f	—	—	Reserved
16ビットタイマ Ch.2 (16ビットデバイス)	0x4260	T16_CLK2	16-bit Timer Ch.2 Input Clock Select Register	プリスケアラ出力クロックの選択
	0x4262	T16_TR2	16-bit Timer Ch.2 Reload Data Register	リロードデータの設定
	0x4264	T16_TC2	16-bit Timer Ch.2 Counter Data Register	カウンタデータ
	0x4266	T16_CTL2	16-bit Timer Ch.2 Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4268	T16_INT2	16-bit Timer Ch.2 Interrupt Control Register	割り込みの制御
	0x426a~0x427f	—	—	Reserved
8ビットタイマ (Fモード付き) Ch.1 (16ビットデバイス)	0x4280	T8F_CLK1	8-bit Timer Ch.1 Input Clock Select Register	プリスケアラ出力クロックの選択
	0x4282	T8F_TR1	8-bit Timer Ch.1 Reload Data Register	リロードデータの設定
	0x4284	T8F_TC1	8-bit Timer Ch.1 Counter Data Register	カウンタデータ
	0x4286	T8F_CTL1	8-bit Timer Ch.1 Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4288	T8F_INT1	8-bit Timer Ch.1 Interrupt Control Register	割り込みの制御
	0x428a~0x429f	—	—	Reserved
割り込み コントローラ (16ビットデバイス)	0x4300~0x4304	—	—	Reserved
	0x4306	ITC_LV0	Interrupt Level Setup Register 0	P0、P1割り込みレベルの設定
	0x4308	ITC_LV1	Interrupt Level Setup Register 1	SWT、CT割り込みレベルの設定
	0x430a	ITC_LV2	Interrupt Level Setup Register 2	T8OSC1、割り込みレベルの設定
	0x430c	ITC_LV3	Interrupt Level Setup Register 3	T16E Ch.0割り込みレベルの設定
	0x430e	ITC_LV4	Interrupt Level Setup Register 4	T8F Ch.0/Ch.1、T16 Ch.0割り込みレベルの設定
	0x4310	ITC_LV5	Interrupt Level Setup Register 5	T16 Ch.1、Ch.2割り込みレベルの設定
	0x4312	ITC_LV6	Interrupt Level Setup Register 6	UART Ch.0、I <sup>2</sup> C/UART Ch.1割り込みレベルの設定
	0x4314	ITC_LV7	Interrupt Level Setup Register 7	SPI、I <sup>2</sup> C割り込みレベルの設定
	0x4316	ITC_LV8	Interrupt Level Setup Register 8	REMC割り込みレベルの設定
	0x4318	ITC_LV9	Interrupt Level Setup Register 9	ADC10SA、割り込みレベルの設定
	0x431a~0x431f	—	—	Reserved

周辺回路	アドレス	レジスタ名		機 能
SPI (16ビットデバイス)	0x4320	SPI_ST	SPI Status Register	転送、バッファステータスの表示
	0x4322	SPI_TXD	SPI Transmit Data Register	送信データ
	0x4324	SPI_RXD	SPI Receive Data Register	受信データ
	0x4326	SPI_CTL	SPI Control Register	SPIモードとデータ転送許可の設定
	0x4328-0x433f	—	—	Reserved
I <sup>2</sup> C(master) (16ビットデバイス)	0x4340	I2C_EN	I <sup>2</sup> C Enable Register	I <sup>2</sup> Cモジュールイネーブル
	0x4342	I2C_CTL	I <sup>2</sup> C Control Register	I <sup>2</sup> Cの制御と転送状態の表示
	0x4344	I2C_DAT	I <sup>2</sup> C Data Register	送受信データ
	0x4346	I2C_ICTL	I <sup>2</sup> C Interrupt Control Register	I <sup>2</sup> C割り込みの制御
	0x4348-0x435f	—	—	Reserved
I <sup>2</sup> C(slave) (16ビットデバイス)	0x4360	I2CS_TRNS	I <sup>2</sup> C Slave Transfer Data Write Register	送信データ
	0x4362	I2CS_RECV	I <sup>2</sup> C Slave Receive Data Read Register	受信データ
	0x4364	I2CS_SADRS	I <sup>2</sup> C Slave Address Set Register	スレーブアドレスデータ
	0x4366	I2CS_CTL	I <sup>2</sup> C Slave Control Register	I <sup>2</sup> Cスレーブの制御
	0x4368	I2CS_STAT	I <sup>2</sup> C Slave Status Register	I <sup>2</sup> Cスレーブの状態表示
	0x436a	I2CS_ASTAT	I <sup>2</sup> C Slave Access Status Register	I <sup>2</sup> Cスレーブの転送状態表示
	0x436c	I2CS_ICTL	I <sup>2</sup> C Slave Interrupt Control Register	I <sup>2</sup> Cスレーブの割り込みの制御
	0x4370-0x437f	—	—	Reserved
	0x4370-0x437f	—	—	Reserved
計時タイマ (8ビットデバイス)	0x5000	CT_CTL	Clock Timer Control Register	タイマのリセットとRUN/STOP制御
	0x5001	CT_CNT	Clock Timer Counter Register	カウンタデータ
	0x5002	CT_IMSK	Clock Timer Interrupt Mask Register	割り込みマスクの設定
	0x5003	CT_IFLG	Clock Timer Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x5004-0x501f	—	—	Reserved
ストップ ウォッチタイマ (8ビットデバイス)	0x5020	SWT_CTL	Stopwatch Timer Control Register	タイマのリセットとRUN/STOP制御
	0x5021	SWT_BCNT	Stopwatch Timer BCD Counter Register	BCDカウンタデータ
	0x5022	SWT_IMSK	Stopwatch Timer Interrupt Mask Register	割り込みマスクの設定
	0x5023	SWT_IFLG	Stopwatch Timer Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x5024-0x503f	—	—	Reserved
ウォッチドッグ タイマ (8ビットデバイス)	0x5040	WDT_CTL	Watchdog Timer Control Register	タイマのリセットとRUN/STOP制御
	0x5041	WDT_ST	Watchdog Timer Status Register	タイマモードの設定とNMI状態表示
	0x5042-0x505f	—	—	Reserved
発振回路 (8ビットデバイス)	0x5060	OSC_SRC	Clock Source Select Register	クロック源の選択
	0x5061	OSC_CTL	Oscillation Control Register	発振制御
	0x5062	OSC_NFEN	Noise Filter Enable Register	ノイズフィルタのON/OFF
	0x5063	—	—	Reserved
	0x5064	OSC_FOUT	FOUT Control Register	クロック外部出力の制御
	0x5065	OSC_T8OSC1	T8OSC1 Clock Control Register	8ビットOSC1タイマクロックの設定
	0x5066-0x507f	—	—	Reserved
	0x5066-0x507f	—	—	Reserved
クロック ジェネレータ (8ビットデバイス)	0x5080	CLG_PCLK	PCLK Control Register	PCLK供給制御
	0x5081	CLG_CCLK	CCLK Control Register	CCLK分周比の設定
	0x5082-0x509f	—	—	Reserved
8ビットOSC1 タイマ (8ビットデバイス)	0x50c0	T8OSC1_CTL	8-bit OSC1 Timer Control Register	タイマモードの設定とタイマのRUN/STOP
	0x50c1	T8OSC1_CNT	8-bit OSC1 Timer Counter Data Register	カウンタデータ
	0x50c2	T8OSC1_CMP	8-bit OSC1 Timer Compare Data Register	コンペアデータの設定
	0x50c3	T8OSC1_IMSK	8-bit OSC1 Timer Interrupt Mask Register	割り込みマスクの設定
	0x50c4	T8OSC1_IFLG	8-bit OSC1 Timer Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x50c5	T8OSC1_DUTY	8-bit OSC1 Timer PWM Data Register	PWM出力用データの設定
	0x50c6-0x50df	—	—	Reserved

周辺回路	アドレス		レジスタ名	機 能
Pポート& ポートMUX (8ビットデバイス)	0x5200	P0_IN	P0 Port Input Data Register	P0ポート入力データ
	0x5201	P0_OUT	P0 Port Output Data Register	P0ポート出力データ
	0x5202	P0_OEN	P0 Port Output Enable Register	P0ポート出カインーブル
	0x5203	P0_PU	P0 Port Pull-up Control Register	P0ポートのプルアップ制御
	0x5204	—	—	Reserved
	0x5205	P0_IMSK	P0 Port Interrupt Mask Register	P0ポート割り込みマスクの設定
	0x5206	P0_EDGE	P0 Port Interrupt Edge Select Register	P0ポート割り込みエッジの選択
	0x5207	P0_IFLG	P0 Port Interrupt Flag Register	P0ポート割り込み発生状態の表示/リセット
	0x5208	P0_CHAT	P0 Port Chattering Filter Control Register	P0ポートチャタリング除去制御
	0x5209	P0_KRST	P0 Port Key-Entry Reset Configuration Register	P0ポートキー入力リセットの設定
	0x520a	P0_IEN	P0 Port Input Enable Register	P0ポート入力カインーブル
	0x520b~0x520f	—	—	Reserved
	0x5210	P1_IN	P1 Port Input Data Register	P1ポート入力データ
	0x5211	P1_OUT	P1 Port Output Data Register	P1ポート出力データ
	0x5212	P1_OEN	P1 Port Output Enable Register	P1ポート出カインーブル
	0x5213	P1_PU	P1 Port Pull-up Control Register	P1ポートのプルアップ制御
	0x5214	—	—	Reserved
	0x5215	P1_IMSK	P1 Port Interrupt Mask Register	P1ポート割り込みマスクの設定
	0x5216	P1_EDGE	P1 Port Interrupt Edge Select Register	P1ポート割り込みエッジの選択
	0x5217	P1_IFLG	P1 Port Interrupt Flag Register	P1ポート割り込み発生状態の表示/リセット
	0x5218	P1_CHAT	P1 Port Chattering Filter Control Register	P1ポートチャタリング除去制御
	0x5219	—	—	Reserved
	0x521a	P1_IEN	P1 Port Input Enable Register	P1ポート入力カインーブル
	0x521b~0x521f	—	—	Reserved
	0x5220	P2_IN	P2 Port Input Data Register	P2ポート入力データ
	0x5221	P2_OUT	P2 Port Output Data Register	P2ポート出力データ
	0x5222	P2_OEN	P2 Port Output Enable Register	P2ポート出カインーブル
	0x5223	P2_PU	P2 Port Pull-up Control Register	P2ポートのプルアップ制御
	0x5224~0x5229	—	—	Reserved
	0x522a	P2_IEN	P2 Port Input Enable Register	P2ポート入力カインーブル
	0x522b~0x522f	—	—	Reserved
	0x5230	P3_IN	P3 Port Input Data Register	P3ポート入力データ
	0x5231	P3_OUT	P3 Port Output Data Register	P3ポート出力データ
	0x5232	P3_OEN	P3 Port Output Enable Register	P3ポート出カインーブル
	0x5233	P3_PU	P3 Port Pull-up Control Register	P3ポートのプルアップ制御
	0x5234~0x5239	—	—	Reserved
	0x523a	P3_IEN	P3 Port Input Enable Register	P3ポート入力カインーブル
	0x523b~0x523f	—	—	Reserved
	0x5240	P4_IN	P4 Port Input Data Register	P4ポート入力データ
	0x5241	P4_OUT	P4 Port Output Data Register	P4ポート出力データ
	0x5242	P4_OEN	P4 Port Output Enable Register	P4ポート出カインーブル
	0x5243	P4_PU	P4 Port Pull-up Control Register	P4ポートのプルアップ制御
	0x5244~0x5249	—	—	Reserved
	0x524a	P4_IEN	P4 Port Input Enable Register	P4ポート入力カインーブル
	0x524b~0x527f	—	—	Reserved
	0x52a0~0x52a1	P0_PMUX	P0 Port Function Select Register	P0ポート機能の選択
	0x52a2~0x52a3	P1_PMUX	P1 Port Function Select Register	P1ポート機能の選択
	0x52a4~0x52a5	P2_PMUX	P2 Port Function Select Register	P2ポート機能の選択
	0x52a6~0x52a7	P3_PMUX	P3 Port Function Select Register	P3ポート機能の選択
	0x52a8	P4_PMUX	P4 Port Function Select Register	P4ポート機能の選択
	0x52a9~0x52bf	—	—	Reserved
PWMタイマ Ch.0 (16ビットデバイス)	0x5300	T16E_CA	PWM Timer Compare Data A Register	コンペアデータAの設定
	0x5302	T16E_CB	PWM Timer Compare Data B Register	コンペアデータBの設定
	0x5304	T16E_TC	PWM Timer Counter Data Register	カウンタデータ
	0x5306	T16E_CTL	PWM Timer Control Register	タイマモードの設定とタイマのRUN/STOP
	0x5308	T16E_CLK	PWM Timer Input Clock Select Register	プリスケアラ出力クロックの選択
	0x530a	T16E_IMSK	PWM Timer Interrupt MASK Register	割り込み要因のマスク選択
	0x530c	T16E_IFLG	PWM Timer Interrupt Flag Register	割り込み要因の確認
	0x530e~0x531f	—	—	Reserved
MISCレジスタ (16ビットデバイス)	0x5320	MISC_FL	FLASHC/SRAMC Control Register	FLASHC/SRAMCアクセス条件設定
	0x5322	MISC_OSC1	OSC1 Peripheral Control Register	デバッグ時のOSC1動作周辺機能の設定
	0x5324	MISC_PROT	MISC Protect Register	MISCレジスタ書き込み保護
	0x5326	MISC_IRAMSZ	IRAM Size Select Register	IRAMサイズの選択
	0x5328	MISC_TTBRL	Vector Table Address Low Register	ベクタテーブルアドレスの設定
	0x532a	MISC_TTBRLH	Vector Table Address High Register	ベクタテーブルアドレスの設定
	0x532c	MISC_PSR	PSR Register	PSRの状態読み出し
	0x532e~0x533f	—	—	Reserved

周辺回路	アドレス	レジスタ名		機 能
リモート コントローラ (16ビットデバイス)	0x5340	REMC_CFG	REMC Configuration Register	クロックと送受信の制御
	0x5342	REMC_CAR	REMC Carrier Length Setup Register	キャリアのH/L区間長設定
	0x5344	REMC_LCNT	REMC Length Counter Register	送受信ビットと送受信データ長の設定
	0x5346	REMC_INT	REMC Interrupt Control Register	割り込みの制御
	0x5348~0x535f	–	–	Reserved
A/D変換器 (16ビットデバイス)	0x5380	ADC10_ADD	ADC10 Conversion Result Register	A/D変換結果
	0x5382	ADC10_TRG	ADC10 Trigger/Channel Select Register	変換トリガ/変換チャネルの設定
	0x5384	ADC10_CTL	ADC10 Control/Status Register	変換制御 変換ステータス
	0x5386	ADC10_DIV	ADC10 divided frequency Register	A/D変換クロック分周設定
	0x5388~0x539f	–	–	Reserved
S1C17コアI/O	0xffff84	IDIR	Processor ID Register	プロセッサIDの表示
	0xffff90	DBRAM	Debug RAM Base Register	デバッグRAMベースアドレスの表示
	0xffffa0	DCR	Debug Control Register	デバッグ制御
	0xffffb8	IBAR2	Instruction Break Address Register 2	命令ブレークアドレス#2の設定
	0xffffbc	IBAR3	Instruction Break Address Register 3	命令ブレークアドレス#3の設定
	0xffffd0	IBAR4	Instruction Break Address Register 4	命令ブレークアドレス#4の設定

注: 表中の“Reserved”で示されたアドレス、および表に記載のない周辺回路エリアの未使用領域は、アプリケーションプログラムからアクセスしないでください。

**0x4020****Prescaler**

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Prescaler Control Register (PSC_CTL)	0x4020 (8 bits)	D7–2	–	reserved	–			–	–	0 when being read.	
		D1	<b>PRUND</b>	Prescaler run/stop in debug mode	1	Run	0	Stop	0		R/W
		D0	<b>PRUN</b>	Prescaler run/stop control	1	Run	0	Stop	0		R/W

## 0x4100–0x4124

## UART (with IrDA)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
UART Ch.0 Status Register (UART_ST0)	0x4100 (8 bits)	D7	–	reserved	–		–	–	0 when being read.
		D6	FER	Framing error flag	1	Error	0	Normal	0 R/W
		D5	PER	Parity error flag	1	Error	0	Normal	0 R/W
		D4	OER	Overrun error flag	1	Error	0	Normal	0 R/W
		D3	RD2B	Second byte receive flag	1	Ready	0	Empty	0 R
		D2	TRBS	Transmit busy flag	1	Busy	0	Idle	0 R
		D1	RDRY	Receive data ready flag	1	Ready	0	Empty	0 R
UART Ch.0 Mode Register (UART_MOD0)	0x4103 (8 bits)	D7	–	reserved	–		–	–	0 when being read.
		D6	CHLN	Character length	1	8 bits	0	7 bits	0 R/W
		D5	PREN	Parity enable	1	With parity	0	No parity	0 R/W
		D4	PMD	Parity mode select	1	Odd	0	Even	0 R/W
		D3	STPB	Stop bit select	1	2 bits	0	1 bit	0 R/W
		D2	SCK	Input clock select	1	External	0	Internal	0 R/W
		D1	–	reserved	–		–	–	0 when being read.
UART Ch.0 Control Register (UART_CTL0)	0x4104 (8 bits)	D7	–	reserved	–		–	–	0 when being read.
		D6	REIEN	Receive error int. enable	1	Enable	0	Disable	0 R/W
		D5	RIEN	Receive buffer full int. enable	1	Enable	0	Disable	0 R/W
		D4	TIEN	Transmit buffer empty int. enable	1	Enable	0	Disable	0 R/W
		D3–2	–	reserved	–		–	–	0 when being read.
		D1	RBF1	Receive buffer full int. condition	1	2 bytes	0	1 byte	0 R/W
		D0	RKEN	UART enable	1	Enable	0	Disable	0 R/W
UART Ch.0 Expansion Register (UART_EXP0)	0x4105 (8 bits)	D7	–	reserved	–		–	–	0 when being read.
		D6–4	IRCLK[2:0]	IrDA receive detection clock select	IRCLK[2:0]	Clock		0x0	R/W
					0x7	PCLK•1/128			
					0x6	PCLK•1/64			
					0x5	PCLK•1/32			
					0x4	PCLK•1/16			
					0x3	PCLK•1/8			
UART Ch.1 Status Register (UART_ST1)	0x4120 (8 bits)	D7	–	reserved	–		–	–	0 when being read.
		D6	FER	Framing error flag	1	Error	0	Normal	0 R/W
		D5	PER	Parity error flag	1	Error	0	Normal	0 R/W
		D4	OER	Overrun error flag	1	Error	0	Normal	0 R/W
		D3	RD2B	Second byte receive flag	1	Ready	0	Empty	0 R
		D2	TRBS	Transmit busy flag	1	Busy	0	Idle	0 R
		D1	RDRY	Receive data ready flag	1	Ready	0	Empty	0 R
UART Ch.1 Transmit Data Register (UART_TXD1)	0x4121 (8 bits)	D7	–	reserved	–		–	–	0 when being read.
		D6	FER	Framing error flag	1	Error	0	Normal	0 R/W
		D5	PER	Parity error flag	1	Error	0	Normal	0 R/W
		D4	OER	Overrun error flag	1	Error	0	Normal	0 R/W
		D3	RD2B	Second byte receive flag	1	Ready	0	Empty	0 R
		D2	TRBS	Transmit busy flag	1	Busy	0	Idle	0 R
		D1	RDRY	Receive data ready flag	1	Ready	0	Empty	0 R
UART Ch.1 Receive Data Register (UART_RXD1)	0x4122 (8 bits)	D7	–	reserved	–		–	–	0 when being read.
		D6	FER	Framing error flag	1	Error	0	Normal	0 R/W
		D5	PER	Parity error flag	1	Error	0	Normal	0 R/W
		D4	OER	Overrun error flag	1	Error	0	Normal	0 R/W
		D3	RD2B	Second byte receive flag	1	Ready	0	Empty	0 R
		D2	TRBS	Transmit busy flag	1	Busy	0	Idle	0 R
		D1	RDRY	Receive data ready flag	1	Ready	0	Empty	0 R
UART Ch.1 Mode Register (UART_MOD1)	0x4123 (8 bits)	D7	–	reserved	–		–	–	0 when being read.
		D6	CHLN	Character length	1	8 bits	0	7 bits	0 R/W
		D5	PREN	Parity enable	1	With parity	0	No parity	0 R/W
		D4	PMD	Parity mode select	1	Odd	0	Even	0 R/W
		D3	STPB	Stop bit select	1	2 bits	0	1 bit	0 R/W
		D2	SCK	Input clock select	1	External	0	Internal	0 R/W
		D1	–	reserved	–		–	–	0 when being read.
UART Ch.1 Control Register (UART_CTL1)	0x4124 (8 bits)	D7	–	reserved	–		–	–	0 when being read.
		D6	REIEN	Receive error int. enable	1	Enable	0	Disable	0 R/W
		D5	RIEN	Receive buffer full int. enable	1	Enable	0	Disable	0 R/W
		D4	TIEN	Transmit buffer empty int. enable	1	Enable	0	Disable	0 R/W
		D3–2	–	reserved	–		–	–	0 when being read.
		D1	RBF1	Receive buffer full int. condition	1	2 bytes	0	1 byte	0 R/W
		D0	RKEN	UART enable	1	Enable	0	Disable	0 R/W

**0x4125****UART (with IrDA)**

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
UART Ch.1 Expansion Register (UART_EXP1)	0x4125 (8 bits)	D7	—	reserved	—		—	—	0 when being read.		
		D6–4	IRCLK[2:0]	IrDA receive detection clock select	IRCLK[2:0]	Clock	0x0	R/W			
										0x7	PCLK•1/128
										0x6	PCLK•1/64
										0x5	PCLK•1/32
										0x4	PCLK•1/16
										0x3	PCLK•1/8
										0x2	PCLK•1/4
										0x1	PCLK•1/2
	0x0	PCLK•1/1									
D3–1	—	reserved	—		—	—	0 when being read.				
D0	IRMD	IrDA mode select	1	On	0	Off	0	R/W			

## 0x4200–0x4208

## 8-bit Timer (with Fine Mode) Ch.0

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
8-bit Timer Ch.0 Input Clock Select Register (T8F_CLK0)	0x4200 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3–0	DF[3:0]	8-bit timer input clock select (Prescaler output clock)	DF[3:0] Clock	0x0	R/W	
					0xf reserved			
					0xe PCLK•1/16384			
					0xd PCLK•1/8192			
					0xc PCLK•1/4096			
					0xb PCLK•1/2048			
					0xa PCLK•1/1024			
					0x9 PCLK•1/512			
					0x8 PCLK•1/256			
					0x7 PCLK•1/128			
					0x6 PCLK•1/64			
					0x5 PCLK•1/32			
					0x4 PCLK•1/16			
					0x3 PCLK•1/8			
					0x2 PCLK•1/4			
					0x1 PCLK•1/2			
					0x0 PCLK•1/1			
8-bit Timer Ch.0 Reload Data Register (T8F_TR0)	0x4202 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TR[7:0]	8-bit timer reload data TR7 = MSB TR0 = LSB	0x0 to 0xff	0x0	R/W	
8-bit Timer Ch.0 Counter Data Register (T8F_TC0)	0x4204 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TC[7:0]	8-bit timer counter data TC7 = MSB TC0 = LSB	0x0 to 0xff	0xff	R	
8-bit Timer Ch.0 Control Register (T8F_CTL0)	0x4206 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11–8	TFMD[3:0]	Fine mode setup	0x0 to 0xf	0x0	R/W	Set a number of times to insert delay into a 16-underflow period.
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
8-bit Timer Ch.0 Interrupt Control Register (T8F_INT0)	0x4208 (16 bits)	D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	
		D15–9	–	reserved	–	–	–	0 when being read.
		D8	T8IE	8-bit timer interrupt enable	1 Enable 0 Disable	0	R/W	
		D7–1	–	reserved	–	–	–	0 when being read.
		D0	T8IF	8-bit timer interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

## 0x4220–0x4244

## 16-bit Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
16-bit Timer Ch.0 Input Clock Select Register (T16_CLK0)	0x4220 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3–0	DF[3:0]	Timer input clock select (Prescaler output clock)	DF[3:0] Clock	0x0	R/W	
					0xf reserved			
					0xe PCLK•1/16384			
					0xd PCLK•1/8192			
					0xc PCLK•1/4096			
					0xb PCLK•1/2048			
					0xa PCLK•1/1024			
					0x9 PCLK•1/512			
					0x8 PCLK•1/256			
					0x7 PCLK•1/128			
					0x6 PCLK•1/64			
					0x5 PCLK•1/32			
					0x4 PCLK•1/16			
					0x3 PCLK•1/8			
					0x2 PCLK•1/4			
					0x1 PCLK•1/2			
					0x0 PCLK•1/1			
16-bit Timer Ch.0 Reload Data Register (T16_TR0)	0x4222 (16 bits)	D15–0	TR[15:0]	16-bit timer reload data TR15 = MSB TR0 = LSB	0x0 to 0xffff	0x0	R/W	
16-bit Timer Ch.0 Counter Data Register (T16_TC0)	0x4224 (16 bits)	D15–0	TC[15:0]	16-bit timer counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0xffff	R	
16-bit Timer Ch.0 Control Register (T16_CTL0)	0x4226 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10	CKACTV	External clock active level select	1 High 0 Low	1	R/W	
		D9–8	CKSL[1:0]	Input clock and pulse width measurement mode select	CKSL[1:0] Mode	0x0	R/W	
					0x3 reserved			
					0x2 Pulse width			
					0x1 External clock			
					0x0 Internal clock			
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	
16-bit Timer Ch.0 Interrupt Control Register (T16_INT0)	0x4228 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	T16IE	16-bit timer interrupt enable	1 Enable 0 Disable	0	R/W	
		D7–1	–	reserved	–	–	–	0 when being read.
		D0	T16IF	16-bit timer interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
16-bit Timer Ch.1 Input Clock Select Register (T16_CLK1)	0x4240 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3–0	DF[3:0]	Timer input clock select (Prescaler output clock)	DF[3:0] Clock	0x0	R/W	
					0xf reserved			
					0xe PCLK•1/16384			
					0xd PCLK•1/8192			
					0xc PCLK•1/4096			
					0xb PCLK•1/2048			
					0xa PCLK•1/1024			
					0x9 PCLK•1/512			
					0x8 PCLK•1/256			
					0x7 PCLK•1/128			
					0x6 PCLK•1/64			
					0x5 PCLK•1/32			
					0x4 PCLK•1/16			
					0x3 PCLK•1/8			
					0x2 PCLK•1/4			
					0x1 PCLK•1/2			
					0x0 PCLK•1/1			
16-bit Timer Ch.1 Reload Data Register (T16_TR1)	0x4242 (16 bits)	D15–0	TR[15:0]	16-bit timer reload data TR15 = MSB TR0 = LSB	0x0 to 0xffff	0x0	R/W	
16-bit Timer Ch.1 Counter Data Register (T16_TC1)	0x4244 (16 bits)	D15–0	TC[15:0]	16-bit timer counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0xffff	R	

## 0x4246–0x4268

## 16-bit Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
16-bit Timer Ch.1 Control Register (T16_CTL1)	0x4246 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10	<b>CKACTV</b>	External clock active level select	1 High 0 Low	1	R/W	
		D9–8	<b>CKSL[1:0]</b>	Input clock and pulse width measurement mode select	CKSL[1:0] Mode 0x3 reserved 0x2 Pulse width 0x1 External clock 0x0 Internal clock	0x0	R/W	
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	<b>TRMD</b>	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	<b>PRESER</b>	Timer reset	1 Reset 0 Ignored	0	W	
		D0	<b>PRUN</b>	Timer run/stop control	1 Run 0 Stop	0	R/W	
16-bit Timer Ch.1 Interrupt Control Register (T16_INT1)	0x4248 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	<b>T16IE</b>	16-bit timer interrupt enable	1 Enable 0 Disable	0	R/W	
		D7–1	–	reserved	–	–	–	0 when being read.
		D0	<b>T16IF</b>	16-bit timer interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
16-bit Timer Ch.2 Input Clock Select Register (T16_CLK2)	0x4260 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3–0	<b>DF[3:0]</b>	Timer input clock select (Prescaler output clock)	DF[3:0] Clock 0xf reserved 0xe PCLK•1/16384 0xd PCLK•1/8192 0xc PCLK•1/4096 0xb PCLK•1/2048 0xa PCLK•1/1024 0x9 PCLK•1/512 0x8 PCLK•1/256 0x7 PCLK•1/128 0x6 PCLK•1/64 0x5 PCLK•1/32 0x4 PCLK•1/16 0x3 PCLK•1/8 0x2 PCLK•1/4 0x1 PCLK•1/2 0x0 PCLK•1/1	0x0	R/W	
16-bit Timer Ch.2 Reload Data Register (T16_TR2)	0x4262 (16 bits)	D15–0	<b>TR[15:0]</b>	16-bit timer reload data TR15 = MSB TR0 = LSB	0x0 to 0xffff	0x0	R/W	
16-bit Timer Ch.2 Counter Data Register (T16_TC2)	0x4264 (16 bits)	D15–0	<b>TC[15:0]</b>	16-bit timer counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0xffff	R	
16-bit Timer Ch.2 Control Register (T16_CTL2)	0x4266 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10	<b>CKACTV</b>	External clock active level select	1 High 0 Low	1	R/W	
		D9–8	<b>CKSL[1:0]</b>	Input clock and pulse width measurement mode select	CKSL[1:0] Mode 0x3 reserved 0x2 Pulse width 0x1 External clock 0x0 Internal clock	0x0	R/W	
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	<b>TRMD</b>	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	<b>PRESER</b>	Timer reset	1 Reset 0 Ignored	0	W	
		D0	<b>PRUN</b>	Timer run/stop control	1 Run 0 Stop	0	R/W	
16-bit Timer Ch.2 Interrupt Control Register (T16_INT2)	0x4268 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	<b>T16IE</b>	16-bit timer interrupt enable	1 Enable 0 Disable	0	R/W	
		D7–1	–	reserved	–	–	–	0 when being read.
		D0	<b>T16IF</b>	16-bit timer interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

## 0x4280–0x4288

## 8-bit Timer (with Fine Mode) Ch.1

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
8-bit Timer Ch.1 Input Clock Select Register (T8F_CLK1)	0x4280 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3–0	DF[3:0]	8-bit timer input clock select (Prescaler output clock)	DF[3:0] Clock	0x0	R/W	
					0xf reserved			
					0xe PCLK•1/16384			
					0xd PCLK•1/8192			
					0xc PCLK•1/4096			
					0xb PCLK•1/2048			
					0xa PCLK•1/1024			
					0x9 PCLK•1/512			
					0x8 PCLK•1/256			
					0x7 PCLK•1/128			
					0x6 PCLK•1/64			
					0x5 PCLK•1/32			
					0x4 PCLK•1/16			
					0x3 PCLK•1/8			
					0x2 PCLK•1/4			
					0x1 PCLK•1/2			
					0x0 PCLK•1/1			
8-bit Timer Ch.1 Reload Data Register (T8F_TR1)	0x4282 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TR[7:0]	8-bit timer reload data TR7 = MSB TR0 = LSB	0x0 to 0xff	0x0	R/W	
8-bit Timer Ch.1 Counter Data Register (T8F_TC1)	0x4284 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TC[7:0]	8-bit timer counter data TC7 = MSB TC0 = LSB	0x0 to 0xff	0xff	R	
8-bit Timer Ch.1 Control Register (T8F_CTL1)	0x4286 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11–8	TFMD[3:0]	Fine mode setup	0x0 to 0xf	0x0	R/W	Set a number of times to insert delay into a 16-underflow period.
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	
8-bit Timer Ch.1 Interrupt Control Register (T8F_INT1)	0x4288 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	T8IE	8-bit timer interrupt enable	1 Enable 0 Disable	0	R/W	
		D7–1	–	reserved	–	–	–	0 when being read.
		D0	T8IF	8-bit timer interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

## 0x4306–0x4318

## Interrupt Controller

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Level Setup Register 0 (ITC_LV0)	0x4306 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV1[2:0]	P1 interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV0[2:0]	P0 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 1 (ITC_LV1)	0x4308 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV3[2:0]	CT interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV2[2:0]	SWT interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 2 (ITC_LV2)	0x430a (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV4[2:0]	T8OSC1 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 3 (ITC_LV3)	0x430c (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV7[2:0]	T16E Ch.0 interrupt level	0 to 7	0x0	R/W	
		D7–0	–	reserved	–	–	–	0 when being read.
Interrupt Level Setup Register 4 (ITC_LV4)	0x430e (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV9[2:0]	T16 Ch.0 interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV8[2:0]	T8F Ch.0/Ch.1 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 5 (ITC_LV5)	0x4310 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV11[2:0]	T16 Ch.2 interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV10[2:0]	T16 Ch.1 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 6 (ITC_LV6)	0x4312 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV13[2:0]	UART Ch.1/I <sup>2</sup> C slave interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV12[2:0]	UART Ch.0 interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 7 (ITC_LV7)	0x4314 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	ILV15[2:0]	I <sup>2</sup> C Master interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV14[2:0]	SPI interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 8 (ITC_LV8)	0x4316 (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV16[2:0]	REMC interrupt level	0 to 7	0x0	R/W	
Interrupt Level Setup Register 9 (ITC_LV9)	0x4318 (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.
		D2–0	ILV18[2:0]	ADC10SA interrupt level	0 to 7	0x0	R/W	

## 0x4320–0x4326

## SPI

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI Status Register (SPI_ST)	0x4320 (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.
		D2	SPBSY	Transfer busy flag (master)	1 Busy 0 Idle	0	R	
				ss signal low flag (slave)	1 ss = L 0 ss = H			
		D1	SPRBF	Receive data buffer full flag	1 Full 0 Not full	0	R	
		D0	SPTBE	Transmit data buffer empty flag	1 Empty 0 Not empty	1	R	
SPI Transmit Data Register (SPI_TXD)	0x4322 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SPTDB[7:0]	SPI transmit data buffer SPTDB7 = MSB SPTDB0 = LSB	0x0 to 0xff	0x0	R/W	
SPI Receive Data Register (SPI_RXD)	0x4324 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SPRDB[7:0]	SPI receive data buffer SPRDB7 = MSB SPRDB0 = LSB	0x0 to 0xff	0x0	R	
SPI Control Register (SPI_CTL)	0x4326 (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.
		D9	MCLK	SPI clock source select	1 T16 Ch.1 0 PCLK*1/4	0	R/W	
		D8	MLSB	LSB/MSB first mode select	1 LSB 0 MSB	0	R/W	
		D7–6	–	reserved	–	–	–	0 when being read.
		D5	SPRIE	Receive data buffer full int. enable	1 Enable 0 Disable	0	R/W	
		D4	SPTIE	Transmit data buffer empty int. enable	1 Enable 0 Disable	0	R/W	
		D3	CPHA	Clock phase select	1 Data out 0 Data in	0	R/W	These bits must be set before setting SPEN to 1.
		D2	CPOL	Clock polarity select	1 Active L 0 Active H	0	R/W	
		D1	MSSL	Master/slave mode select	1 Master 0 Slave	0	R/W	
		D0	SPEN	SPI enable	1 Enable 0 Disable	0	R/W	

## 0x4340–0x4346

I<sup>2</sup>C Master

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I <sup>2</sup> C Enable Register (I2C_EN)	0x4340 (16 bits)	D15–1	–	reserved	–	–	–	0 when being read.
		D0	I2CEN	I <sup>2</sup> C enable	1 Enable 0 Disable	0	R/W	
I <sup>2</sup> C Control Register (I2C_CTL)	0x4342 (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.
		D9	RBUSY	Receive busy flag	1 Busy 0 Idle	0	R	
		D8	TBUSY	Transmit busy flag	1 Busy 0 Idle	0	R	
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	NSERM	Noise remove on/off	1 On 0 Off	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	STP	Stop control	1 Stop 0 Ignored	0	R/W	
		D0	STRT	Start control	1 Start 0 Ignored	0	R/W	
I <sup>2</sup> C Data Register (I2C_DAT)	0x4344 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11	RBRDY	Receive buffer ready	1 Ready 0 Empty	0	R	
		D10	RXE	Receive execution	1 Receive 0 Ignored	0	R/W	
		D9	TXE	Transmit execution	1 Transmit 0 Ignored	0	R/W	
		D8	RTACK	Receive/transmit ACK	1 Error 0 ACK	0	R/W	
		D7–0	RTDT[7:0]	Receive/transmit data RTDT7 = MSB RTDT0 = LSB	0x0 to 0xff	0x0	R/W	
I <sup>2</sup> C Interrupt Control Register (I2C_ICTL)	0x4346 (16 bits)	D15–2	–	reserved	–	–	–	0 when being read.
		D1	RINTE	Receive interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	TINTE	Transmit interrupt enable	1 Enable 0 Disable	0	R/W	

## 0x4360–0x436c

I<sup>2</sup>C Slave

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I <sup>2</sup> C Slave Transmit Data Register (I2CS_TRNS)	0x4360 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SDATA[7:0]	I <sup>2</sup> C slave transmit data	0–0xff	0x0	R/W	
I <sup>2</sup> C Slave Receive Data Register (I2CS_RECV)	0x4362 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	RDATA[7:0]	I <sup>2</sup> C slave receive data	0–0xff	0x0	R	
I <sup>2</sup> C Slave Address Setup Register (I2CS_SADRS)	0x4364 (16 bits)	D15–7	–	reserved	–	–	–	0 when being read.
		D6–0	SADRS[6:0]	I <sup>2</sup> C slave address	0–0x7f	0x0	R/W	
I <sup>2</sup> C Slave Control Register (I2CS_CTL)	0x4366 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	TBUF_CLR	I2CS_TRNS register clear	1 Clear state	0 Normal	0 R/W	
		D7	I2C_EN	I <sup>2</sup> C slave enable	1 Enable	0 Disable	0 R/W	
		D6	SOFTRESET	Software reset	1 Reset	0 Cancel	0 R/W	
		D5	NAK_ANS	NAK answer	1 NAK	0 ACK	0 R/W	
		D4	BFREQ_EN	Bus free request enable	1 Enable	0 Disable	0 R/W	
		D3	CLKSTR_EN	Clock stretch On/Off	1 On	0 Off	0 R/W	
		D2	NF_EN	Noise filter On/Off	1 On	0 Off	0 R/W	
		D1	ASDET_EN	Async.address detection On/Off	1 On	0 Off	0 R/W	
		D0	COM_MODE	I <sup>2</sup> C slave communication mode	1 Active	0 Standby	0 R/W	NAK response when standby
I <sup>2</sup> C Slave Status Register (I2CS_STAT)	0x4368 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7	BSTAT	Bus status transition	1 Changed	0 Unchanged	0 R	
		D6	–	reserved	–	–	–	0 when being read.
		D5	TXUDF	Transmit data underflow	1 Occurred	0 Not occurred	0 R/W	Reset by writing 1.
			RXOVF	Receive data overflow				
		D4	BFREQ	Bus free request	1 Occurred	0 Not occurred	0 R/W	
		D3	DMS	Output data mismatch	1 Error	0 Normal	0 R/W	
		D2	ASDET	Async. address detection status	1 Detected	0 Not detected	0 R/W	
I <sup>2</sup> C Slave Access Status Register (I2CS_ASTAT)	0x436a (16 bits)	D15–5	–	reserved	–	–	–	0 when being read.
		D4	RXRDY	Receive data ready	1 Ready	0 Not ready	0 R	
		D3	TXEMP	Transmit data empty	1 Empty	0 Not empty	0 R	
		D2	BUSY	I <sup>2</sup> C bus status	1 Busy	0 Free	0 R	
		D1	SELECTED	I <sup>2</sup> C slave select status	1 Selected	0 Not selected	0 R	
		D0	R/W	Read/write direction	1 Output	0 Input	0 R	
I <sup>2</sup> C Slave Interrupt Control Register (I2CS_ICTL)	0x436c (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.
		D2	BSTAT_IEN	Bus status interrupt enable	1 Enable	0 Disable	0 R/W	
		D1	RXRDY_IEN	Receive interrupt enable	1 Enable	0 Disable	0 R/W	
		D0	TXEMP_IEN	Transmit interrupt enable	1 Enable	0 Disable	0 R/W	

## 0x5000–0x5003

## Clock Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Timer Control Register (CT_CTL)	0x5000 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	CTRST	Clock timer reset	1   Reset   0   Ignored	0	W	
		D3–1	–	reserved	–	–	–	
		D0	CTRUN	Clock timer run/stop control	1   Run   0   Stop	0	R/W	
Clock Timer Counter Register (CT_CNT)	0x5001 (8 bits)	D7–0	CTCNT[7:0]	Clock timer counter value	0x0 to 0xff	0	R	
Clock Timer Interrupt Mask Register (CT_IMSK)	0x5002 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3	CTIE32	32 Hz interrupt enable	1   Enable   0   Disable	0	R/W	
		D2	CTIE8	8 Hz interrupt enable	1   Enable   0   Disable	0	R/W	
		D1	CTIE2	2 Hz interrupt enable	1   Enable   0   Disable	0	R/W	
		D0	CTIE1	1 Hz interrupt enable	1   Enable   0   Disable	0	R/W	
Clock Timer Interrupt Flag Register (CT_IFLG)	0x5003 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read. Reset by writing 1.
		D3	CTIF32	32 Hz interrupt flag	1   Cause of interrupt occurred   0   Cause of interrupt not occurred	0	R/W	
		D2	CTIF8	8 Hz interrupt flag		0	R/W	
		D1	CTIF2	2 Hz interrupt flag		0	R/W	
		D0	CTIF1	1 Hz interrupt flag		0	R/W	

## 0x5020–0x5023

## Stopwatch Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Stopwatch Timer Control Register (SWT_CTL)	0x5020 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	SWTRST	Stopwatch timer reset	1   Reset   0   Ignored	0	W	
		D3–1	–	reserved	–	–	–	
		D0	SWTRUN	Stopwatch timer run/stop control	1   Run   0   Stop	0	R/W	
Stopwatch Timer BCD Counter Register (SWT_BCNT)	0x5021 (8 bits)	D7–4	BCD10[3:0]	1/10 sec. BCD counter value	0 to 9	0	R	
		D3–0	BCD100[3:0]	1/100 sec. BCD counter value	0 to 9	0	R	
Stopwatch Timer Interrupt Mask Register (SWT_IMSK)	0x5022 (8 bits)	D7–3	–	reserved	–	–	–	0 when being read.
		D2	SIE1	1 Hz interrupt enable	1   Enable   0   Disable	0	R/W	
		D1	SIE10	10 Hz interrupt enable	1   Enable   0   Disable	0	R/W	
		D0	SIE100	100 Hz interrupt enable	1   Enable   0   Disable	0	R/W	
Stopwatch Timer Interrupt Flag Register (SWT_IFLG)	0x5023 (8 bits)	D7–3	–	reserved	–	–	–	0 when being read. Reset by writing 1.
		D2	SIF1	1 Hz interrupt flag	1   Cause of interrupt occurred   0   Cause of interrupt not occurred	0	R/W	
		D1	SIF10	10 Hz interrupt flag		0	R/W	
		D0	SIF100	100 Hz interrupt flag		0	R/W	

## 0x5040–0x5041

## Watchdog Timer

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
Watchdog Timer Control Register (WDT_CTL)	0x5040 (8 bits)	D7–5	–	reserved	–		–	–	0 when being read.
		D4	WDTTRST	Watchdog timer reset	1	Reset	0	Ignored	
		D3–0	WDTRUN[3:0]	Watchdog timer run/stop control	Other than 1010 Run		1010 Stop		1010 R/W
Watchdog Timer Status Register (WDT_ST)	0x5041 (8 bits)	D7–2	–	reserved	–		–	–	0 when being read.
		D1	WDTMD	NMI/Reset mode select	1	Reset	0	NMI	
		D0	WDTST	NMI status	1	NMI occurred	0	Not occurred	0 R

## 0x5060–0x5065

## Oscillator

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Source Select Register (OSC_SRC)	0x5060 (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1	–	reserved	–	1	R	1 when being read.
		D0	CLKSRC	System clock source select	1 OSC1 0 HCLK	0	R/W	
Oscillation Control Register (OSC_CTL)	0x5061 (8 bits)	D7–6	–	reserved	–	0	–	0 when being read.
		D5–4	OSC3WT[1:0]	OSC3 wait cycle select	OSC3WT[1:0] Wait cycle 0x3 128 cycles 0x2 256 cycles 0x1 512 cycles 0x0 1024 cycles	0x0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	OSC1EN	OSC1 enable	1 Enable 0 Disable	0	R/W	
		D0	OSC3EN	OSC3 enable	1 Enable 0 Disable	1	R/W	
Noise Filter Enable Register (OSC_NFEN)	0x5062 (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1	RSTFE	Reset noise filter enable	1 Enable 0 Disable	1	R/W	
		D0	NMIFE	NMI noise filter enable	1 Enable 0 Disable	0	R/W	
FOUT Control Register (OSC_FOUT)	0x5064 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3–2	FOUTH D [1:0]	FOUTH clock division ratio select	FOUTH D [1:0] Division ratio 0x3 reserved 0x2 HSCLK•1/4 0x1 HSCLK•1/2 0x0 HSCLK•1/1	0x0	R/W	注 FOUTH Dの操作はFOUT1E、FOUT1EがDisableの時に行って下さい。
		D1	FOUTHE	FOUTH output enable	1 Enable 0 Disable	0	R/W	
		D0	FOUT1E	FOUT1 output enable	1 Enable 0 Disable	0	R/W	
T8OSC1 Clock Control Register (OSC_T8OSC1)	0x5065 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3–1	T8O1CK[2:0]	T8OSC1 clock division ratio select	T8O1CK[2:0] Division ratio 0x7–0x6 reserved 0x5 OSC1•1/32 0x4 OSC1•1/16 0x3 OSC1•1/8 0x2 OSC1•1/4 0x1 OSC1•1/2 0x0 OSC1•1/1	0x0	R/W	注 T8O1CKの操作はT8O1CEがDisableの時に行って下さい。
		D0	T8O1CE	T8OSC1 clock output enable	1 Enable 0 Disable	0	R/W	

## 0x5080–0x5081

## Clock Generator

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PCLK Control Register (CLG_PCLK)	0x5080 (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1–0	PCKEN[1:0]	PCLK enable	PCKEN[1:0]	PCLK supply	0x3	R/W
					0x3	Enable		
					0x2	Not allowed		
					0x1	Not allowed		
					0x0	Disable		
CCLK Control Register (CLG_CCLK)	0x5081 (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1–0	CCLKGR[1:0]	CCLK clock gear ratio select	CCLKGR[1:0]	Gear ratio	0x0	R/W
					0x3	1/8		
					0x2	1/4		
					0x1	1/2		
					0x0	1/1		

## 0x50c0–0x50c5

## 8-bit OSC1 Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
8-bit OSC1 Timer Control Register (T8OSC1_CTL)	0x50c0 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	T8ORST	Timer reset	1   Reset   0   Ignored	0	W	
		D3–2	–	reserved	–	–	–	
		D1	T8ORMD	Count mode select	1   One shot   0   Repeat	0	R/W	
		D0	T8ORUN	Timer run/stop control	1   Run   0   Stop	0	R/W	
8-bit OSC1 Timer Counter Data Register (T8OSC1_CNT)	0x50c1 (8 bits)	D7–0	T8OCNT[7:0]	Timer counter data T8OCNT7 = MSB T8OCNT0 = LSB	0x0 to 0xff	0x0	R	
8-bit OSC1 Timer Compare Data Register (T8OSC1_CMP)	0x50c2 (8 bits)	D7–0	T8OCMP[7:0]	Compare data T8OCMP7 = MSB T8OCMP0 = LSB	0x0 to 0xff	0x0	R/W	
8-bit OSC1 Timer Interrupt Mask Register (T8OSC1_IMSK)	0x50c3 (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	T8OIE	8-bit OSC1 timer interrupt enable	1   Enable   0   Disable	0	R/W	
8-bit OSC1 Timer Interrupt Flag Register (T8OSC1_IFLG)	0x50c4 (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	T8OIF	8-bit OSC1 timer interrupt flag	1   Cause of interrupt occurred   0   Cause of interrupt not occurred	0	R/W	Reset by writing 1.
8-bit OSC1 Timer PWM Duty Data Register (T8OSC1_DUTY)	0x50c5 (8 bits)	D7–0	T8ODTY[7:0]	PWM output duty data T8ODTY7 = MSB T8ODTY0 = LSB	0x0 to 0xff	0x0	R/W	

## 0x5200–0x5213

## P Port &amp; Port MUX

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
P0 Port Input Data Register (P0_IN)	0x5200 (8 bits)	D7–0	P0IN[7:0]	P0[7:0] port input data	1	1 (H)	0 0 (L)	×	R	
P0 Port Output Data Register (P0_OUT)	0x5201 (8 bits)	D7–0	P0OUT[7:0]	P0[7:0] port output data	1	1 (H)	0 0 (L)	0	R/W	
P0 Port Output Enable Register (P0_IO)	0x5202 (8 bits)	D7–0	P0OEN[7:0]	P0[7:0] port output enable	1	Enable	0 Disable	0	R/W	
P0 Port Pull-up Control Register (P0_PU)	0x5203 (8 bits)	D7–0	P0PU[7:0]	P0[7:0] port pull-up enable	1	Enable	0 Disable	1 (0xff)	R/W	
P0 Port Interrupt Mask Register (P0_IMSK)	0x5205 (8 bits)	D7–0	P0IE[7:0]	P0[7:0] port interrupt enable	1	Enable	0 Disable	0	R/W	
P0 Port Interrupt Edge Select Register (P0_EDGE)	0x5206 (8 bits)	D7–0	P0EDGE[7:0]	P0[7:0] port interrupt edge select	1	Falling edge	0 Rising edge	0	R/W	
P0 Port Interrupt Flag Register (P0_IFLG)	0x5207 (8 bits)	D7–0	P0IF[7:0]	P0[7:0] port interrupt flag	1	Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
P0 Port Chattering Filter Control Register (P0_CHAT)	0x5208 (8 bits)	D7	–	reserved	–		–	–	–	0 when being read.
		D6–4	P0CF2[2:0]	P0[7:4] chattering filter time	P0CF2[2:0]	Filter time	0	R/W		
					0x7	16384/fPCLK	0x0	R/W		
					0x6	8192/fPCLK				
					0x5	4096/fPCLK				
					0x4	2048/fPCLK				
					0x3	1024/fPCLK				
					0x2	512/fPCLK				
					0x1	256/fPCLK				
					0x0	None				
D3	–	reserved	–		–	–	–	0 when being read.		
D2–0	P0CF1[2:0]	P0[3:0] chattering filter time	P0CF1[2:0]	Filter time	0x0	R/W				
			0x7	16384/fPCLK						
			0x6	8192/fPCLK						
			0x5	4096/fPCLK						
			0x4	2048/fPCLK						
			0x3	1024/fPCLK						
			0x2	512/fPCLK						
			0x1	256/fPCLK						
			0x0	None						
P0 Port Key-Entry Reset Configuration Register (P0_KRST)	0x5209 (8 bits)	D7–2	–	reserved	–		–	–	0 when being read.	
		D1–0	P0KRST[1:0]	P0 port key-entry reset configuration	P0KRST[1:0]	Configuration	0x0	R/W		
					0x3	P0[3:0] = 0				
					0x2	P0[2:0] = 0				
					0x1	P0[1:0] = 0				
0x0	Disable									
P0 Port Input Enable Register (P0_IEN)	0x520a (8 bits)	D7–0	P0IEN[7:0]	P0[7:0] port input enable	1	Enable	0 Disable	0xff	R/W	
P1 Port Input Data Register (P1_IN)	0x5210 (8 bits)	D7–0	P1IN[7:0]	P1[7:0] port input data	1	1 (H)	0 0 (L)	×	R	
P1 Port Output Data Register (P1_OUT)	0x5211 (8 bits)	D7–0	P1OUT[7:0]	P1[7:0] port output data	1	1 (H)	0 0 (L)	0	R/W	
P1 Port Output Enable Register (P1_IO)	0x5212 (8 bits)	D7–0	P1OEN[7:0]	P1[7:0] port output enable	1	Enable	0 Disable	0	R/W	
P1 Port Pull-up Control Register (P1_PU)	0x5213 (8 bits)	D7–0	P1PU[7:0]	P1[7:0] port pull-up enable	1	Enable	0 Disable	1 (0xff)	R/W	

## 0x5215–0x523a

## P Port &amp; Port MUX

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
P1 Port Interrupt Mask Register (P1_IMSK)	0x5215 (8 bits)	D7–0	P1IE[7:0]	P1[7:0] port interrupt enable	1	Enable	0	Disable	0	R/W	
P1 Port Interrupt Edge Select Register (P1_EDGE)	0x5216 (8 bits)	D7–0	P1EDGE[7:0]	P1[7:0] port interrupt edge select	1	Falling edge	0	Rising edge	0	R/W	
P1 Port Interrupt Flag Register (P1_IFLG)	0x5217 (8 bits)	D7–0	P1IF[7:0]	P1[7:0] port interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.
P1 Port Chattering Filter Control Register (P1_CHAT)	0x5218 (8 bits)	D7	–	reserved	–			–	–	0 when being read.	
		D6–4	P1CF2[2:0]	P1[7:4] chattering filter time	P0CF2[2:0]		Filter time		0	R/W	
					0x7	16384/fPCLK	0x0	R/W			
					0x6	8192/fPCLK					
					0x5	4096/fPCLK					
					0x4	2048/fPCLK					
					0x3	1024/fPCLK					
					0x2	512/fPCLK					
					0x1	256/fPCLK					
		0x0	None								
D3	–	reserved	–			–	–	0 when being read.			
D2–0	P1CF1[2:0]	P1[3:0] chattering filter time	P0CF1[2:0]		Filter time		0x0	R/W			
			0x7	16384/fPCLK							
			0x6	8192/fPCLK							
			0x5	4096/fPCLK							
			0x4	2048/fPCLK							
			0x3	1024/fPCLK							
			0x2	512/fPCLK							
			0x1	256/fPCLK							
0x0	None										
P1 Port Input Enable Register (P1_IEN)	0x521a (8 bits)	D7–0	P1IEN[7:0]	P1[7:0] port input enable	1	Enable	0	Disable	0xff	R/W	
P2 Port Input Data Register (P2_IN)	0x5220 (8 bits)	D7–0	P2IN[7:0]	P2[7:0] port input data	1	1 (H)	0	0 (L)	×	R	P25, P26 are 0, when being read.
P2 Port Output Data Register (P2_OUT)	0x5221 (8 bits)	D7–0	P2OUT[7:0]	P2[7:0] port output data	1	1 (H)	0	0 (L)	0	R/W	
P2 Port Output Enable Register (P2_IO)	0x5222 (8 bits)	D7–0	P2OEN[7:0]	P2[7:0] port output enable	1	Enable	0	Disable	0	R/W	
P2 Port Pull-up Control Register (P2_PU)	0x5223 (8 bits)	D7–0	P2PU[7:0]	P2[7:0] port pull-up enable	1	Enable	0	Disable	1 (0xff)	R/W	
P2 Port Input Enable Register (P2_IEN)	0x522a (8 bits)	D7–0	P2IEN[7:0]	P2[7:0] port input enable	1	Enable	0	Disable	0xff	R/W	
P3 Port Input Data Register (P3_IN)	0x5230 (8 bits)	D7–0	P3IN[7:0]	P3[7:0] port input data	1	1 (H)	0	0 (L)	×	R	
P3 Port Output Data Register (P3_OUT)	0x5231 (8 bits)	D7–0	P3OUT[7:0]	P3[7:0] port output data	1	1 (H)	0	0 (L)	0	R/W	
P3 Port Output Enable Register (P3_IO)	0x5232 (8 bits)	D7–0	P3OEN[7:0]	P3[7:0] port output enable	1	Enable	0	Disable	0	R/W	
P3 Port Pull-up Control Register (P3_PU)	0x5233 (8 bits)	D7–0	P3PU[7:0]	P3[7:0] port pull-up enable	1	Enable	0	Disable	1 (0xff)	R/W	
P3 Port Input Enable Register (P3_IEN)	0x523a (8 bits)	D7–0	P3IEN[7:0]	P3[7:0] port input enable	1	Enable	0	Disable	0xff	R/W	

## 0x5240–0x52a4

## P Port &amp; Port MUX

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P4 Port Input Data Register (P4_IN)	0x5240 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3–0	P4IN[7:0]	P4[3:0] port input data	1 1 (H) 0 0 (L)	×	R	
P4 Port Output Data Register (P4_OUT)	0x5241 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3–0	P4OUT[3:0]	P4[3:0] port output data	1 1 (H) 0 0 (L)	0	R/W	
P4 Port Output Enable Register (P4_IO)	0x5242 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3–0	P4OEN[3:0]	P4[3:0] port output enable	1 Enable 0 Disable	0	R/W	
P4 Port Pull-up Control Register (P4_PU)	0x5243 (8 bits)	D7–4	–	reserved	–	–	–	1 when being read.
		D3–0	P4PU[3:0]	P4[3:0] port pull-up enable	1 Enable 0 Disable	1 (0xff)	R/W	
P4 Port Input Enable Register (P4_IEN)	0x524a (8 bits)	D7–4	–	reserved	–	–	–	1 when being read.
		D3–0	P4IEN[3:0]	P4[3:0] port input enable	1 Enable 0 Disable	0xff	R/W	
P0 Port Function Select Register (P0_PMUX)	0x52a0 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6	P03MUX	P03 port function select	1 #ADTRG 0 P03	0	R/W	
		D5	–	reserved	–	–	–	0 when being read.
		D4	P02MUX	P02 port function select	1 reserved 0 P02/EXCL0	0	R/W	
		D3	–	reserved	–	–	–	0 when being read.
		D2	P01MUX	P01 port function select	1 REMI 0 P01	0	R/W	
		D1	–	reserved	–	–	–	0 when being read.
		D0	P00MUX	P00 port function select	1 REMO 0 P00	0	R/W	
P0 Port Function Select Register (P0_PMUX)	0x52a1 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6	P07MUX	P07 port function select	1 #SPISS 0 P07	0	R/W	
		D5	–	reserved	–	–	–	0 when being read.
		D4	P06MUX	P06 port function select	1 SDI 0 P06	0	R/W	
		D3	–	reserved	–	–	–	0 when being read.
		D2	P05MUX	P05 port function select	1 SDO 0 P05	0	R/W	
		D1	–	reserved	–	–	–	0 when being read.
		D0	P04MUX	P04 port function select	1 SPICLK 0 P04	0	R/W	
P1 Port Function Select Register (P1_PMUX)	0x52a2 (8 bits)	D7–6	P13MUX [1:0]	P13 port function select	P13MUX[1:0] Port 0x3 Reserved 0x2 Reserved 0x1 Reserved 0x0 P13/EXCL1	0	R/W	
		D5	–	reserved	–	–	–	0 when being read.
		D4	P12MUX	P12 port function select	1 SIN 0 P12	0	R/W	
		D3	–	reserved	–	–	–	0 when being read.
		D2	P11MUX	P11 port function select	1 SOUT 0 P11	0	R/W	
		D1	–	reserved	–	–	–	0 when being read.
		D0	P10MUX	P10 port function select	1 SCLK 0 P10	0	R/W	
P1 Port Function Select Register (P1_PMUX)	0x52a3 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6	P17MUX	P17 port function select	1 AIN3 0 P17	0	R/W	
		D5–4	P16MUX [1:0]	P16 port function select	P16MUX[1:0] Port 0x3 Reserved 0x2 Reserved 0x1 SCLK1 0x0 P16/EXCL4	0	R/W	
		D3–2	P15MUX [1:0]	P15 port function select	P15MUX[1:0] Port 0x3 Reserved 0x2 Reserved 0x1 Reserved 0x0 P15/EXCL3	0	R/W	
		D1–0	P14MUX [1:0]	P14 port function select	P14MUX[1:0] Port 0x3 Reserved 0x2 Reserved 0x1 Reserved 0x0 P14/EXCL2	0	R/W	
P2 Port Function Select Register (P2_PMUX)	0x52a4 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6	P23MUX	P23 port function select	1 Reserved 0 P23	0	R/W	
		D5	–	reserved	–	–	–	0 when being read.
		D4	P22MUX	P22 port function select	1 AIN0 0 P22	0	R/W	
		D3	–	reserved	–	–	–	0 when being read.
		D2	P21MUX	P21 port function select	1 AIN1 0 P21	0	R/W	
		D1	–	reserved	–	–	–	0 when being read.
		D0	P20MUX	P20 port function select	1 AIN2 0 P20	0	R/W	

## 0x52a5–0x52a8

## P Port &amp; Port MUX

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P2 Port Function Select Register (P2_PMUX)	0x52a5 (8 bits)	D7–6	P27MUX [1:0]	P27 port function select	P27MUX[1:0] Port 0x3 Reserved 0x2 Reserved 0x1 SOUT1 0x0 P27	0	R/W	
		D5–1	–	reserved	–	–	–	0 when being read.
		D0	P24MUX	P24 port function select	1   Reserved 0   P24	0	R/W	
P3 Port Function Select Register (P3_PMUX)	0x52a6 (8 bits)	D7–6	P33MUX [1:0]	P33 port function select	P33MUX[1:0] Port 0x3 Reserved 0x2 SCL0 0x1 SCL1 0x0 P33	0	R/W	
		D5–4	P32MUX [1:0]	P32 port function select	P32MUX[1:0] Port 0x3 Reserved 0x2 Reserved 0x1 SDA0 0x0 P32	0	R/W	
		D3–2	P31MUX [1:0]	P31 port function select	P31MUX[1:0] Port 0x3 Reserved 0x2 Reserved 0x1 SCL0 0x0 P31	0	R/W	
		D1–0	P30MUX [1:0]	P30 port function select	P30MUX[1:0] Port 0x3 Reserved 0x2 Reserved 0x1 SIN1 0x0 P30	0	R/W	
P3 Port Function Select Register (P3_PMUX)	0x52a7 (8 bits)	D7–6	P37MUX [1:0]	P37 port function select	P37MUX[1:0] Port 0x3 TOUT4 0x2 Reserved 0x1 TOUTN3 0x0 P37	0	R/W	
		D5–4	P36MUX [1:0]	P36 port function select	P36MUX[1:0] Port 0x3 Reserved 0x2 Reserved 0x1 TOUT3 0x0 P36	0	R/W	
		D3–2	P35MUX [1:0]	P35 port function select	P35MUX[1:0] Port 0x3 Reserved 0x2 #BFR 0x1 FOUT1 0x0 P35	0	R/W	
		D1–0	P34MUX [1:0]	P34 port function select	P34MUX[1:0] Port 0x3 Reserved 0x2 SDA0 0x1 SDA1 0x0 P34	0	R/W	
P4 Port Function Select Register (P4_PMUX)	0x52a8 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6	P43MUX	P43 port function select	1   P43 0   DCLK	0	R/W	
		D5	–	reserved	–	–	–	0 when being read.
		D4	P42MUX	P42 port function select	1   P42 0   DST2	0	R/W	
		D3	–	reserved	–	–	–	0 when being read.
		D2	P41MUX	P41 port function select	1   P41 0   DSI0	0	R/W	
		D1	–	reserved	–	–	–	0 when being read.
		D0	P40MUX	P40 port function select	1   FOUTH 0   P40	0	R/W	

## 0x5300–0x530c

## PWM &amp; Capture Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PWM Timer Compare Data A Register (T16E_CA)	0x5300 (16 bits)	D15–0	T16ECA[15:0]	Compare data A T16ECA15 = MSB T16ECA0 = LSB	0x0 to 0xffff	0x0	R/W	
PWM Timer Compare Data B Register (T16E_CB)	0x5302 (16 bits)	D15–0	T16ECB[15:0]	Compare data B T16ECB15 = MSB T16ECB0 = LSB	0x0 to 0xffff	0x0	R/W	
PWM Timer Counter Data Register (T16E_TC)	0x5304 (16 bits)	D15–0	T16ETC[15:0]	Counter data T16ETC15 = MSB T16ETC0 = LSB	0x0 to 0xffff	0x0	R/W	
PWM Timer Control Register (T16E_CTL)	0x5306 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	INITOL	Internal output level	1 High 0 Low	0	R/W	
		D7	–	reserved	–	–	–	
		D6	SELFM	Fine mode select	1 Fine mode 0 Normal mode	0	R/W	
		D5	CBUFEN	Comparison buffer enable	1 Enable 0 Disable	0	R/W	
		D4	INVOUT	Inverse output	1 Invert 0 Normal	0	R/W	
		D3	CLKSEL	Input clock select	1 External 0 Internal	0	R/W	
		D2	OUTEN	Clock output enable	1 Enable 0 Disable	0	R/W	
		D1	T16ERST	Timer reset	1 Reset 0 Ignored	0	W	0 when being read.
		D0	T16ERUN	Timer run/stop control	1 Run 0 Stop	0	R/W	
PWM Timer Input Clock Select Register (T16E_CLK)	0x5308 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3–0	T16EDF[3:0]	Timer input clock select (Prescaler output clock)	T16EDF[3:0] Clock	0x0	R/W	
					0xf reserved			
					0xe PCLK•1/16384			
					0xd PCLK•1/8192			
					0xc PCLK•1/4096			
					0xb PCLK•1/2048			
					0xa PCLK•1/1024			
					0x9 PCLK•1/512			
					0x8 PCLK•1/256			
					0x7 PCLK•1/128			
					0x6 PCLK•1/64			
					0x5 PCLK•1/32			
					0x4 PCLK•1/16			
					0x3 PCLK•1/8			
					0x2 PCLK•1/4			
					0x1 PCLK•1/2			
					0x0 PCLK•1/1			
PWM Timer Interrupt Mask Register (T16E_IMSK)	0x530a (16 bits)	D15–2	–	reserved	–	–	–	0 when being read.
		D1	CBIE	Compare B interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	CAIE	Compare A interrupt enable	1 Enable 0 Disable	0	R/W	
PWM Timer Interrupt Flag Register (T16E_IFLG)	0x530c (16 bits)	D15–2	–	reserved	–	–	–	0 when being read.
		D1	CBIF	Compare B interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D0	CAIF	Compare A interrupt flag		0	R/W	

## 0x5320–0x532c

## MISC Registers

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
ROM Control Register (MISC_FL)	0x5320 (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.
		D2–0	FLCYC[2:0]	FLASHC read access cycle	FLCYC[2:0] Read cycle 0x7–0x5 reserved 0x4 1 cycle 0x3 5 cycles 0x2 4 cycles 0x1 3 cycles 0x0 2 cycles	0x3	R/W	
OSC1 Peripheral Control Register (MISC_OSC1)	0x5322 (16 bits)	D15–1	–	reserved	–	–	–	0 when being read.
		D0	O1DBG	OSC1 peripheral control in debug mode	1 Run 0 Stop	0	R/W	
MISC Protect Register (MISC_PROT)	0x5324 (16 bits)	D15–0	PROT[15:0]	MISC register write protect	Writing 0x96 removes the write protection of the MISC registers (0x5326–0x532a). Writing another value set the write protection.	0x0	R/W	
IRAM Size Select Register (MISC_IRAMSZ)	0x5326 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	DBADR	Debug base address select	1 0x0 0 0xffc00	0	R/W	
		D7–2	–	reserved	–	–	–	0 when being read.
		D1–0	IRAMSZ[1:0]	IRAM size select	IRAMSZ[1:0] Read cycle 0x3 reserved 0x2 reserved 0x1 reserved 0x0 reserved	0x2	R/W	
Vector Table Address Low Register (MISC_TTBRL)	0x5328 (16 bits)	D15–8	TTBR[15:8]	Vector table base address A[15:8]	0x0–0xff	0x80	R/W	
		D7–0	TTBR[7:0]	Vector table base address A[7:0] (fixed at 0)	0x0	0x0	R	
Vector Table Address High Register (MISC_TTBRLH)	0x532a (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TTBR[23:16]	Vector table base address A[23:16]	0x0–0xff	0x0	R/W	
PSR Register (MISC_PSR)	0x532c (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–5	PSRIL[2:0]	PSR interrupt level (IL) bits	0x0 to 0x7	0x0	R	
		D4	PSRIE	PSR interrupt enable (IE) bit	1 1 (enable) 0 0 (disable)	0	R	
		D3	PSRC	PSR carry (C) flag	1 1 (set) 0 0 (cleared)	0	R	
		D2	PSRV	PSR overflow (V) flag	1 1 (set) 0 0 (cleared)	0	R	
		D1	PSRZ	PSR zero (Z) flag	1 1 (set) 0 0 (cleared)	0	R	
		D0	PSRN	PSR negative (N) flag	1 1 (set) 0 0 (cleared)	0	R	

## 0x5340–0x5346

## Remote Controller

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
REMC Configuration Register (REMC_CFG)	0x5340 (16 bits)	D15–12	CGCLK[3:0]	Carrier generator clock select (Prescaler output clock)	CGCLK[3:0] LCCLK[3:0]	Clock	0x0	R/W	
					0xf 0xe 0xd 0xc 0xb 0xa 0x9 0x8 0x7 0x6 0x5 0x4 0x3 0x2 0x1 0x0	reserved PCLK•1/16384 PCLK•1/8192 PCLK•1/4096 PCLK•1/2048 PCLK•1/1024 PCLK•1/512 PCLK•1/256 PCLK•1/128 PCLK•1/64 PCLK•1/32 PCLK•1/16 PCLK•1/8 PCLK•1/4 PCLK•1/2 PCLK•1/1	0x0	R/W	
		D11–8	LCCLK[3:0]	Length counter clock select (Prescaler output clock)			0x0	R/W	
		D7–2	–	reserved	–	–	–	–	0 when being read.
		D1	REMMD	REMC mode select	1 Receive	0 Transmit	0	R/W	
		D0	REMEN	REMC enable	1 Enable	0 Disable	0	R/W	
REMC Carrier Length Setup Register (REMC_CAR)	0x5342 (16 bits)	D15–14	–	reserved	–	–	–	–	0 when being read.
		D13–8	REMCL[5:0]	L carrier length setup	0x0 to 0x3f	0x0	R/W		
		D7–6	–	reserved	–	–	–	–	0 when being read.
		D5–0	REMCH[5:0]	H carrier length setup	0x0 to 0x3f	0x0	R/W		
REMC Length Counter Register (REMC_LCNT)	0x5344 (16 bits)	D15–8	REMLEN[7:0]	Transmit/receive data length count (down counter)	0x0 to 0xff	0x0	R/W		
		D7–1	–	reserved	–	–	–	–	0 when being read.
		D0	REMDT	Transmit/receive data	1 1 (H)	0 0 (L)	0	R/W	
REMC Interrupt Control Register (REMC_INT)	0x5346 (16 bits)	D15–11	–	reserved	–	–	–	–	0 when being read.
		D10	REMFIF	Falling edge interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D9	REMRIF	Rising edge interrupt flag			0	R/W	
		D8	REMUIF	Underflow interrupt flag			0	R/W	
		D7–3	–	reserved	–	–	–	–	0 when being read.
		D2	REMFIE	Falling edge interrupt enable	1 Enable	0 Disable	0	R/W	
		D1	REMRIE	Rising edge interrupt enable	1 Enable	0 Disable	0	R/W	
		D0	REMUIE	Underflow interrupt enable	1 Enable	0 Disable	0	R/W	

## 0x5380–0x5386

## ADC10SA

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
<b>A/D Conversion Result Register (ADC10_ADD)</b>	<b>0x5380</b> (16 bits)	D15–0	<b>ADD[15:0]</b>	A/D converted data @STMD=0 ADD[15:10]=6'b0, ADD9=MSB, ADD0=LSB @STMD=1 ADD15=MSB, ADD6=LSB, ADD[5:0]=6'b0	0-1023	0	R	
<b>A/D Trigger/ Channel Select (ADC10_TRG)</b>	<b>0x5382</b> (16 bits)	D15–14	–	reserved	–	–	–	0 when being read.
		D13–11	<b>ADCE[2:0]</b>	End channel selection	0x0-0x7	0	R/W	
		D10–8	<b>ADCS[2:0]</b>	Start channel selection	0x0-0x7	0	R/W	
		D7	<b>STMD</b>	Converted data store mode	1 {AD[9:0], 6'b0} 0 { 6'b0, AD[9:0]}	0	R/W	
		D6	<b>ADMS</b>	Conversion mode selection	1 continuous 0 Single	0	R/W	
		D5–4	<b>ADTS</b>	Conversion trigger selection	ADTS[2:0] trigger 0x3 #ADTRG pin 0x2 reserved 0x1 16bit timer 0x0 software	0	R/W	
		D3	–	reserved	–	–	–	0 when being read.
		D2–0	<b>ADST[2:0]</b>	Sampling clock count	ADST[2:0] count clock 0x7 9clocks 0x6 8clocks 0x5 7clocks 0x4 6clocks 0x3 5clocks 0x2 4clocks 0x1 3clocks 0x0 2clocks	0x7	R/W	Must set 0x7
<b>A/D Control/ Status Register (ADC10_CTL)</b>	<b>0x5384</b> (16 bits)	D15	–	reserved	–	–	–	0 when being read.
		D14–12	<b>ADICH</b>	Internal conversion channel status	0x0-0x7	0	R	
		D11	–	reserved	–	–	–	0 when being read.
		D10	<b>ADIBS</b>	Internal busy status	1 busy 0 idle	0	R	
		D9	<b>ADOWE</b>	Overwrite error flag	1 Error 0 Normal	0	R/W	Reset by writing 1
		D8	<b>ADCF</b>	Conversion-complete flag	1 Completed 0 Not completed	0	R	Reset when ADC10_ADD is read.
		D7–6	–	reserved	–	–	–	0 when being read.
		D5	<b>ADOIE</b>	Overwrite interrupt enable	1 Enable 0 Disable	0	R/W	
		D4	<b>ADCIE</b>	Conversion-complete interrupt enable	1 Enable 0 Disable	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	<b>ADCTL</b>	conversion control	1 Start/Run 0 Stop	0	R/W	Stop by writing 0
<b>A/D divided frequency Register (ADC_DIV)</b>	<b>0x5386</b> (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3–0	<b>ADDF[3:0]</b>	A/D converter clock divided frequency select	ADDF[3:0] clock 0xf Reserved 0xe PCLK·1/32768 0xd PCLK·1/16384 0xc PCLK·1/8192 0xb PCLK·1/4096 0xa PCLK·1/2048 0x9 PCLK·1/1024 0x8 PCLK·1/512 0x7 PCLK·1/256 0x6 PCLK·1/128 0x5 PCLK·1/64 0x4 PCLK·1/32 0x3 PCLK·1/16 0x2 PCLK·1/8 0x1 PCLK·1/4 0x0 PCLK·1/2	0	R/W	

## 0xffff84–0xffffd0

## S1C17 Core I/O

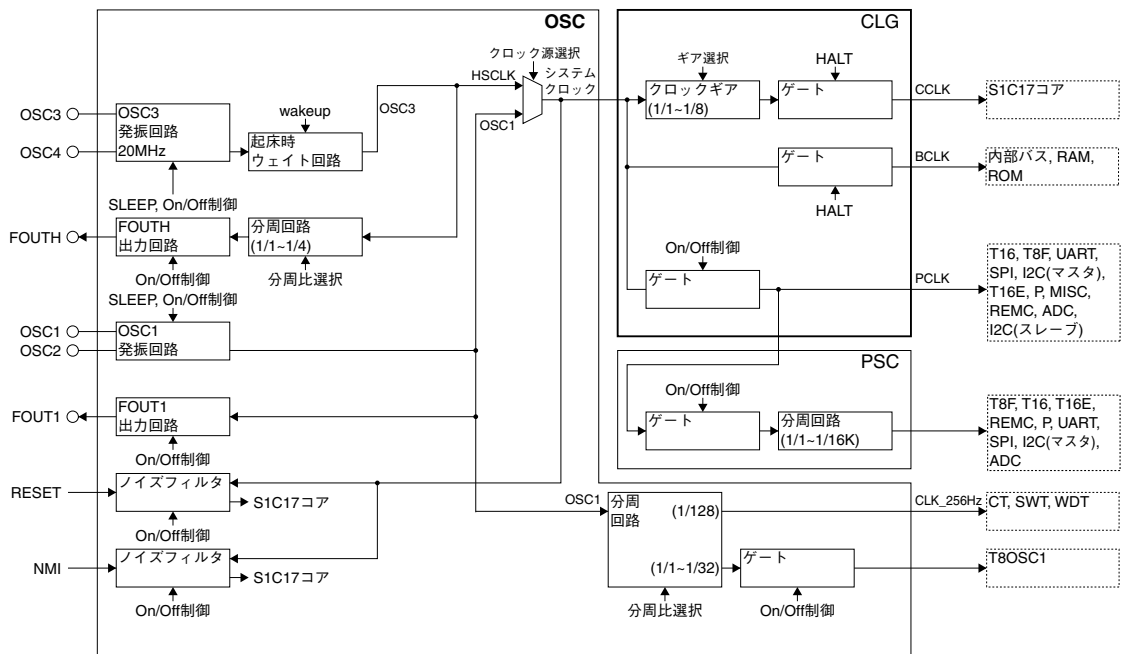
Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
<b>Processor ID Register (IDIR)</b>	0xffff84 (8 bits)	D7–0	IDIR[7:0]	Processor ID 0x10: S1C17 Core	0x10	0x10	R	
<b>Debug RAM Base Register (DBRAM)</b>	0xffff90 (32 bits)	D31–24	–	Unused (fixed at 0)	0x0	0x0	R	
		D23–0	DBRAM[23:0]	Debug RAM base address	0x0fc0	0x0fc0	R	
<b>Debug Control Register (DCR)</b>	0xffffa0 (8 bits)	D7	IBE4	Instruction break #4 enable	1 Enable	0 Disable	0	R/W
		D6	IBE3	Instruction break #3 enable	1 Enable	0 Disable	0	R/W
		D5	IBE2	Instruction break #2 enable	1 Enable	0 Disable	0	R/W
		D4	DR	Debug request flag	1 Occurred	0 Not occurred	0	R/W
		D3	IBE1	Instruction break #1 enable	1 Enable	0 Disable	0	R/W
		D2	IBE0	Instruction break #0 enable	1 Enable	0 Disable	0	R/W
		D1	SE	Single step enable	1 Enable	0 Disable	0	R/W
		D0	DM	Debug mode	1 Debug mode	0 User mode	0	R
<b>Instruction Break Address Register 2 (IBAR2)</b>	0xffffb8 (32 bits)	D31–24	–	reserved	–	–	–	0 when being read.
		D23–0	IBAR2[23:0]	Instruction break address #2 IBAR223 = MSB IBAR20 = LSB	0x0 to 0xfffff	0x0	R/W	
<b>Instruction Break Address Register 3 (IBAR3)</b>	0xffffbc (32 bits)	D31–24	–	reserved	–	–	–	0 when being read.
		D23–0	IBAR3[23:0]	Instruction break address #3 IBAR323 = MSB IBAR30 = LSB	0x0 to 0xfffff	0x0	R/W	
<b>Instruction Break Address Register 4 (IBAR4)</b>	0xffffd0 (32 bits)	D31–24	–	reserved	–	–	–	0 when being read.
		D23–0	IBAR4[23:0]	Instruction break address #4 IBAR423 = MSB IBAR40 = LSB	0x0 to 0xfffff	0x0	R/W	

# Appendix B パワーセーブ

消費電流はCPUの動作モード、動作クロック周波数、動作させる周辺回路により大きく変わります。以下に、省電力化のための制御方法をまとめます。

## B.1 クロック制御によるパワーセーブ

図B.1.1にS1C17003のクロックシステムを示します。



図B.1.1 クロックシステム

ソフトウェアによって制御可能なクロック系とパワーセーブのための制御内容を以下に示します。制御レジスタや制御方法の詳細については、それぞれのモジュールの章を参照してください。

## システムのスリープ(全クロックの停止)

- **sleep命令の実行**  
システム全体を停止可能な場合は、sleep命令を実行します。CPUはSLEEPモードとなり、すべての発振回路が停止します。これにより、クロックを使用する周辺回路はすべて停止します。このため、SLEEPモードからのCPUの起動方法はポートによる起動(後述)に限られます。

## システムクロック

- **クロック源の選択(OSCモジュール)**  
システムクロック源をOSC3とするかOSC1とするか選択できます。低速動作で処理可能な際にはOSC1クロックを選択することで消費電流を低減できます。
- **OSC3発振回路の停止(OSCモジュール)**  
OSC1をシステムクロックとし、OSC3発振回路を停止することで、消費電流をより低減できます。

## CPUクロック(CCLK)

- **halt命令の実行**  
表示のみ必要な場合や割り込み待ちなど、CPUによるプログラムの実行が不要な場合は、halt命令を実行します。CPUはHALTモードとなり動作を停止しますが、周辺回路はhalt命令実行時の状態を維持します。このため、割り込みに使用する周辺回路を動作させておくことができます。また、不要な発振回路と周辺回路を停止してからhalt命令を実行することで、パワーセーブの効果は高まります。HALTモードからは、ポートまたはHALTモード時に動作させている周辺回路からの割り込みによりCPUが起動します。
- **低速クロックギアを選択(CLGモジュール)**  
CLGモジュールは、クロックギアの設定により、CPUクロックをシステムクロックの1/1～1/8に減速することができます。アプリケーションに必要最低限の速度でCPUを動作させることにより、消費電流を低減できます。

## 周辺クロック(PCLK)

- **PCLKの停止(CLGモジュール)**  
以下の周辺回路の動作がすべて不要な場合は、CLGから周辺回路へのPCLKクロックの供給を停止することができます。

PCLKで動作する周辺モジュール

- プリスケアラ(PWMタイマ、リモートコントローラ、Pポート)
- UART
- 8ビットタイマ
- 16ビットタイマ Ch.0～2
- SPI
- I<sup>2</sup>Cマスター /スレーブ
- Pポート&ポートMUX(制御レジスタ、チャタリング除去)
- PWMタイマ
- MISCレジスタ
- リモートコントローラ
- A/D変換器

以下の周辺モジュールは、PCLK以外のクロックで動作します。したがって、PCLKは必要ありません。

- 計時タイマ
- ストップウォッチタイマ
- ウォッチドッグタイマ
- 8ビットOSC1タイマ

クロック制御とCPUの起動/停止方法の一覧を表B.1.1に示します。

表B.1.1 クロック制御一覧

消費電流	OSC1	OSC3	CPU(CCLK)	PCLK周辺	OSC1周辺	CPU停止方法	CPU起動方法
↑ 低     高 ↓	停止	停止	停止	停止	停止	slp命令実行	1
	発振 (システムCLK)	停止	停止	停止	動作	halt命令実行	1, 2
	発振 (システムCLK)	停止	停止	動作	動作	halt命令実行	1, 2, 3
	発振 (システムCLK)	停止	動作(1/1)	動作	動作		
	発振	発振 (システムCLK)	停止	動作	動作	halt命令実行	1, 2, 3
	発振	発振 (システムCLK)	動作(低ギア)	動作	動作		
	発振	発振 (システムCLK)	動作(1/1)	動作	動作		

HALT, SLEEPモードの解除方法(CPU起動方法)

1. ポートによる起動  
入出力ポート割り込み、デバッグ割り込み(ICD強制ブレーク発行)により起動します。
2. OSC1周辺回路による起動  
計時タイマ、ストップウォッチタイマ、ウォッチドッグタイマ、8ビットOSC1タイマの割り込みにより起動します。
3. PCLK周辺回路による起動  
PCLK周辺回路の割り込みにより起動します。

# Appendix C 実装上の注意事項

基板の設計およびICを実装する際の注意事項を以下に示します。

## 発振回路

- 発振特性は使用部品(振動子、 $R_f$ 、 $C_G$ 、 $C_D$ )や基板パターンなどにより変化します。特にセラミック振動子または水晶振動子を使用する場合、外付けの抵抗( $R_f$ )や容量( $C_G$ 、 $C_D$ )の値は、実際の基板上に各部品を実装した状態で十分評価を行って適切なものを選んでください。
- ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため以下の点に配慮してください。特に最新機種は、より微細なプロセスで製造されており、ノイズに敏感になっています。

最もノイズ対策が必要となるのは、OSC2端子とその回路構成部品および配線です。OSC1端子の処理もこれらと同様に重要です。以下、OSC1、OSC2端子のノイズ対策を記載します。

なお、OSC3、OSC4端子や配線等、高速発振回路系についても、これに準じたノイズ対策を施すことを推奨します。

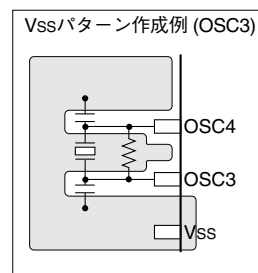
- OSC1(OSC3)、OSC2(OSC4)端子に接続する振動子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
- OSC1(OSC3)、OSC2(OSC4)端子とこれらの回路構成部品、および配線から3mm以内の領域には、できるだけデジタル信号線を配置しないでください。特に、スイッチングが激しい信号を近くに配置することは避けてください。多層プリント基板の各層の間隔は0.1~0.2mm程度しかありませんので、デジタル信号線を他のどの層に配置する場合でも同様です。  
また、これらの部品や配線とデジタル信号線を絶対に並走させないでください。3mm以上の距離がある場合や基板の他の層であっても禁止します。配線を交差させることも避けてください。

- OSC1(OSC3)、OSC2(OSC4)端子と配線は、基板の隣接する層も含めVssでシールドしてください。

配線する層は、右の図のように広めにシールドしてください。

隣接する層についてはできれば全面をグラウンド層に、最低でも上記端子と配線の周囲を5mm以上カバーするようにシールドしてください。

この対策を施した場合でも、(2)に記載したようにデジタル信号線との並走は禁止します。他の層での交差についても、スイッチング頻度の低い信号以外はできるだけ避けてください。



- 上記の対策を施した後は、実機で実際のアプリケーションプログラムを動作させた状態での出力クロック波形も確認してください。

FOUT1/FOUTH端子の出力をオシロスコープなどで確認します。

OSC3の出力波形の品質は、FOUTH出力で確認します。設計どおりの周波数でノイズが乗っていないかどうか、およびジッタがほとんどないことを確認してください。

OSC1波形の品質はFOUT1出力で確認します。特にクロックの立ち上がり/立ち下がり両エッジの前後を拡大し、前後100ns程度の範囲にクロック状のノイズやスパイクノイズなどが乗っていないか注意して見てください。

(1)~(3)の対応が不十分な場合、OSC3出力にはジッタが発生し、OSC1出力にはノイズが乗ることがあります。OSC3出力にジッタが発生するとその分、動作周波数が低下します。OSC1出力にノイズが乗ると、OSC1クロックで動作するタイマや、システムクロックをOSC1に切り換えた際のCPUコアの動作が不安定になります。

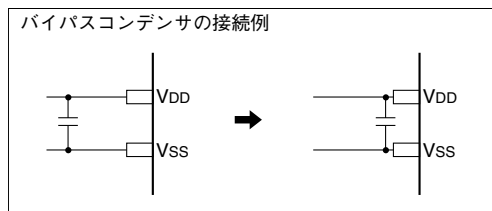
## リセット回路

- 電源投入時、#RESET端子に入力されるリセット信号は、諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。#RESET端子のプルアップ抵抗については、抵抗値のばらつきを十分考慮した定数設定が必要です。
- ノイズによる動作中のリセットを防ぐため、#RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

## 電源回路

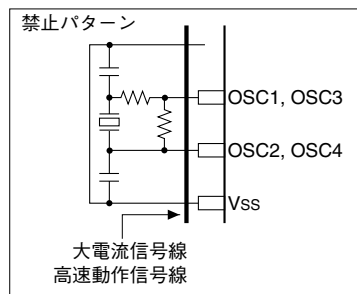
ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1) 電源からVDDおよびVSS端子へはできるだけ短くかつ太いパターンで接続してください。
- (2) VDD—VSSのバイパスコンデンサを接続する場合、VDD端子とVSS端子をできるだけ最短で接続してください。



## 信号線の配置

- 相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。
- 高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。特に、発振部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



## ノイズによる誤動作について

ノイズによるICの誤動作が考えられる場合、以下の3点について確認してみてください。

### (1) DSIO端子

この端子にLowレベルのノイズが入るとデバッグモードになります。デバッグモードになったことは、DCLKからクロックが出力され、DST2端子がHighになっていることで確認できます。

製品版では、DSIO端子をVDDに直結、もしくは10k $\Omega$ 以下の抵抗でプルアップすることを推奨します。

IC内にプルアップ抵抗が付いていますが、50～100k $\Omega$ 程度と高インピーダンスなため、ノイズには強くありません。

### (2) #RESET端子

この端子にLowレベルのノイズが入るとICがリセットされます。ただし、入力波形によっては正常なリセット動作が行えない場合があります。

回路設計上、リセット入力が高レベル状態でのインピーダンスが高いときに起こりやすくなります。

### (3) VDD、VSS電源

規定の電圧を下回るようなノイズが入った場合、その瞬間にICが誤動作します。

基板の電源系のベタパターン化、ノイズ除去用デカップリングコンデンサの追加、電源ラインへのサージ/ノイズ対策部品の追加など、基板上での対策をお願いします。

上記の確認作業は、200MHz以上の波形が観測できるオシロスコープを使用して行ってください。低速なオシロスコープでは、高速なノイズの発生を観測できない場合があります。

ノイズによる誤動作の可能性をオシロスコープの波形観測で発見した場合は、その端子をGNDまたは電源に低インピーダンス(1k $\Omega$ 以下)で接続して再確認してください。誤動作しなくなる、頻度が低くなる、あるいは症状が変わるなどの変化が見受けられる場合、その端子での誤動作が確実に考えられます。

上記のDSIO、#RESET入力の回路は入力信号のエッジを検出しているため、ひげ状のノイズでも誤動作しやすく、デジタル信号の中では最もノイズに弱い端子です。

ノイズが乗りにくいように、基板設計の際には以下の2点を考慮してください。

### (A) まず、上記の各項目にあるように、信号を駆動するインピーダンスを低くすることが重要です。

目安としては1k $\Omega$ 以下、できれば0 $\Omega$ となるように電源やGNDに接続してください。また、接続する信号線長は5cm程度以下としてください。

### (B) 基板上で他のデジタル線と並走したために、その信号の1→0、0→1の変化点で発生するノイズの影響を受ける場合があります。

特に、同時変化する複数の信号線に両側から挟まれると、最も大きなノイズが乗ります。並走距離を短くする(数cm以下に抑える)、信号を離す(2mm以上離す)、といった対策が有効です。

## 光に対する取り扱い(ベアチップ実装の場合)

半導体素子は、光が照射されると特性が変化します。このため、ICに光が当たると誤動作を起こしたり、不揮発性メモリのデータが消去される可能性があります。

光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。

### (1) 実使用時にICの遮光性が考慮された構造となるよう、設計および実装を行ってください。

### (2) 検査工程では、ICの遮光性が考慮された環境設計を行ってください。

### (3) ICの遮光は、ICチップの表面、裏面および側面について考慮してください。

### (4) ICチップ状態での保管は開封後1週間以内とし、この期限までに実装をお願いします。ICチップ状態での保管の必要がある場合は、必ず遮光の措置を講じてください。

### (5) 実装工程において通常のリフロー条件を超えるような熱ストレスが印加される場合、製品出荷前に不揮発性メモリのデータ保持に関して十分な評価をお願いします。

## その他

本製品シリーズは0.18 $\mu$ m微細プロセスにより製造されています。

ICの基本信頼性に関してはEIAJ、MIL規格を満足するように設計されていますが、実装段階においては以下の点に十分注意してください。

全発振回路入出力端子は、内部の0.18 $\mu$ mトランジスタを直接使用する構造となっていますので、実装時の機械的ダメージのほか、

- (1) 実装時リフロー工程、実装後のリワーク、個別特性評価(実験確認)の各工程における商用電源からの電磁誘導ノイズ
- (2) 半田ごて使用時のこて先からの電磁誘導ノイズ

など、緩やかな時間的变化を伴う絶対最大定格(2.5V)以上の電圧となる外乱が、電氣的損傷につながる可能性があります。

特に半田ごて使用時には、ICのGNDと半田ごてのGND(こて先の電位)を同電位として作業を行ってください。

# Appendix D マスクROMコードの開発について

- (1) S1C17003のマスクROMコードは、S1C17602 Flashマイコンを用いて開発します。
- (2) EPSONに提出するROMデータの形式は“file.PAn”(winmdc出力)です。お客さまのROMデータの最終検証は“file.psa”(sconv32出力)で行ってください。
- (3) S1C17003では、moto2ff実行時の引数に以下の値を設定してください。
- データの開始アドレス = 0x8000
  - データのブロックサイズ = 10000
- (4) 下表に示す機能の違いを十分考慮し、S1C17602で動作確認をしてください。

回路/機能		S1C17602	S1C17003
メモリ	ブートアドレス	0x8000	←
	Flash	64KB	—
	マスクROM	—	64KB
	IRAM	4KB	←
	表示RAM	40B	—
クロック	最大動作周波数	8.2MHz	20MHz
	IOSC発振回路	内蔵発振	—
	OSC3発振回路	水晶/セラミック/外部入力	←
	OSC1発振回路	水晶/外部入力	←
コプロ	積和演算器	16bit×16bit+32bit(1cycle)	←
	除算器	16bit÷16bit(20cycle)	←
周辺回路	入出力ポート	36本 (Hi-zモードあり/ 入力シュミット切り替えあり)	30本 (Hi-zモードなし/ 入力シュミット固定)
	入力ポート	—	4本 (インターフェースレベルは AV <sub>DD</sub> )
	SPI(マスタ/スレーブ)	1ch	←
	I2C(マスタ/スレーブ)	1ch	←
	UART(IrDA1.0対応)	2ch	←
	赤外線リモートコントローラ (REMC)	1ch	←
	8ビットタイマfine mode付(T8F)	2ch	←
	16ビットタイマ(T16)	3ch	←
	PWM&キャプチャタイマ(T16E)	1ch	←
	時計タイマ(CT)	1ch	←
	ストップウォッチタイマ(SWT)	1ch	←
	8ビットOSC1タイマ(T8OSC1)	1ch	←
	ウォッチドッグタイマ(WDT)	1ch	←
	LCDドライバ	36×8 / 40×4	—
	A/D変換器	10bit×8ch (±1.5LSB)	10bit×4ch (±3LSB)
	R/F変換器	2ch	—
	電源電圧検出(SVD)回路	1.8～3.2V検出	—
電源	電源電圧	V <sub>DD</sub> =1.8V～3.6V (通常動作時) V <sub>DD</sub> =2.7V～3.6V (Flash書込時) (内部レギュレータ搭載)	HV <sub>DD</sub> (I/O)=1.65V～3.6V LV <sub>DD</sub> (コア)=1.65V～1.95V AV <sub>DD</sub> (アナログ)=2.7V～3.6V
温度	動作温度	-20～70°C	-40～85°C
形態	パッケージ	TQFP14-100 VFPGA7H-144 ベアチップ 100μmピッチ	TQFP12-64 WCSP 48pin ベアチップ 100μmピッチ

## 改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む)および改訂理由
411635001	全ページ	新規制定
411635002	1-3	図1.2.1変更
	1-6	パッド開口部、チップ厚追加
	2-5	説明変更 分岐 ipa.d→jpa.d
	3-4	0x5326 Register表、表3.3.1.1変更 説明追加 • IRAMSZ[2:0]/MISC_IRAMSZ レジスタの設定は初期値から変更しないでください。
	6-15	説明変更 UART Ch.1またはI2C(slave)割り込みの割り込みレベル(0~7)を設定します。(デフォルト: 0)
	7-1, 8-1, AP-31	図中のPCLKが接続されているブロックからITCを削除
	7-2	説明追加 入力クロック波形は“26 電気的特性”を参照してください。
	7-6, 7-7	図7.7.2、図7.7.3変更
	8-3, 8-5, 8-7, AP-32	説明削除 • 割り込みコントローラ
	18-6	説明変更 (2)RDY = 1, RD2B = 0...したがって、受信データバッファはオーバーランエラーが発生する前に読み出してください。
	18-7	説明変更 RXENビットを0に設定すると、送信データバッファは空の状態になります(データが残っていればクリアされます)。
	18-8	説明削除 バッファに送られません。その状態でさらに4番目のデータが送られてくると、シフトレジスタ(3番目のデータ)はそのデータで上書きされ、
	18-14	説明変更 FERは1を書き込むことによりリセットされます。 PERは1を書き込むことによりリセットされます。 OERは1を書き込むことによりリセットされます。
	18-19	説明変更 RXENに0を書き込んで送受信を禁止すると、送信データバッファもクリアされます。
	18-21	説明変更 UART_CTLxレジスタのRBFビット • RXENを0に設定して送受信を禁止すると、送信データバッファがクリア(初期化)されます。RXENに0を書き込む前に、バッファ内に送信待ちのデータが残っていないことを確認してください。
	19-3	説明変更 マスタモードのSPIは、16ビットタイマCh.1が出力するクロックまたはPCLK•1/4のクロックを使用してSPIクロックを生成します。 図19.3.1変更、図19.3.2削除 説明削除 内部回路はPCLKクロックに同期して動作するため、入力クロックは微分されPCLKクロックとの同期用に使用されます。 説明変更 注: SPICLK端子から入力するクロックのデューティ比は50%である必要があります。
	19-4, 19-5	説明追加 注: SPIをマスタモードかつCPHA = 0...変化まではSPICLK半周期の長さが確保されます。 図19.4.2追加
	19-6, 19-7	図19.5.1、図19.5.2削除 図19.5.1追加
	19-7	説明変更 データ転送(送信と受信の両方)を終了後は...を0に設定した場合、転送中のデータは保証されません。
	19-8	説明変更 SPTBEが0であれば、→SPTBEが1であれば、
	19-11	説明追加 注: データの送受信を行う場合、SPI_TXDへの書き込みはSPENを1に設定した後に行ってください。
	20-3	説明追加 なお、クロックストレッチを行うスレーブデバイス...200kbpsまでになりますので、ご注意ください。
	20-6	図20.5.2変更
	20-7	説明変更 データはMSBを先頭に、クロックに同期して順次...RXEはD7の取り込み時に0にリセットされます。
	20-8	説明変更 STPの1への設定は、TBUSY = 1 またはRBUSY...時間が経過した後に、STPへ1を書き込んでください。 説明変更 ストップコンディションを生成した後は...出力レベル、および転送中のデータは保証されません。

## 改訂履歴表

20-9	図20.5.6、図20.5.7、図20.5.8変更
20-10	図20.5.9変更 説明変更 送信バッファエンプティ割り込みは、データ送信時にのみ、発生します...バッファエンプティ割り込み、または、受信バッファフル割り込みのどちらが発生したかを確認できるレジスタはありません。
20-13	説明追加 STPの1への設定は、TBUSY = 1 またはRBUSY...の 1/4 より長い時間が経過した後に行ってください。
21-1	図21.1.1変更
21-2	説明変更 I <sup>2</sup> Cスレーブクロック出力端子...また、クロックストレッチ動作時はLowレベルを出力します。
21-4	説明変更 (システムクロック (PCLK) 1クロック以上のパルス幅が必要。2クロック以上を推奨。) 説明追加 なお、クロックストレッチ動作を行ったときの...ジュールの動作クロック (PCLK) 周波数に依存します。
21-6	説明変更 BUSYレジスタは、ストップコンディションを検出するまで1を保持します。SELECTEDレジスタは、ストップコンディションからリピーテッドスタートコンディションを検出するまで1を保持します。
21-7	説明追加 非同期アドレス検出機能を使用する場合には、ASDET_ENを0にリセットする前に書き込みを行ったデータは無効となる為、TXEMPが1にセットされてから送信データを書き込む必要があります。
21-8	説明追加 注: 下記の条件がすべて成立している状態で...クロック (PCLK) として、本I <sup>2</sup> Cが通信待機状態にある。
21-10, 21-11	図21.5.5、図21.5.6、図21.5.7、図21.5.8変更
21-12	説明変更 7.DA_STOP: スレーブ選択状態でストップコンディション、またはリピーテッドスタートコンディションを検出した場合に1にセット
21-22	説明変更 DA_STOP: Stop Condition Detect Bit...ストップコンディション、またはリピーテッドスタートコンディションを検出したことを示します。...同時にI <sup>2</sup> Cの通信プロセスを初期化します。
21-23	説明変更 1にセットされたSELECTEDはストップコンディションもしくはリピーテッドスタートコンディションの検出によりリセットされます。
23-5	説明変更 Lowレベル→立下りエッジ
23-16	説明変更 ADENが0の場合は、トリガは受け付けません。
23-18	説明削除 また、次のA/D 変換トリガとして検出されないように、設定した入力クロックの20 サイクル以内で #ADTRG 端子への入力をHigh に戻してください。
26-6	26.9 外部クロック入力特性追加

**セイコーエプソン株式会社**  
**マイクロデバイス事業本部 デバイス営業部**

---

<IC国内営業グループ>

東京 〒191-8501 東京都日野市日野421-8  
TEL(042)587-5313(直通) FAX(042)587-5116

大阪 〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F  
TEL(06)6120-6000(代表) FAX(06)6120-6100

---

ドキュメントコード：411635002  
2009年1月 作成  
2011年4月 改訂 (H)