

CMOS 16-BIT SINGLE CHIP MICROCONTROLLER

S1C17002

テクニカルマニュアル

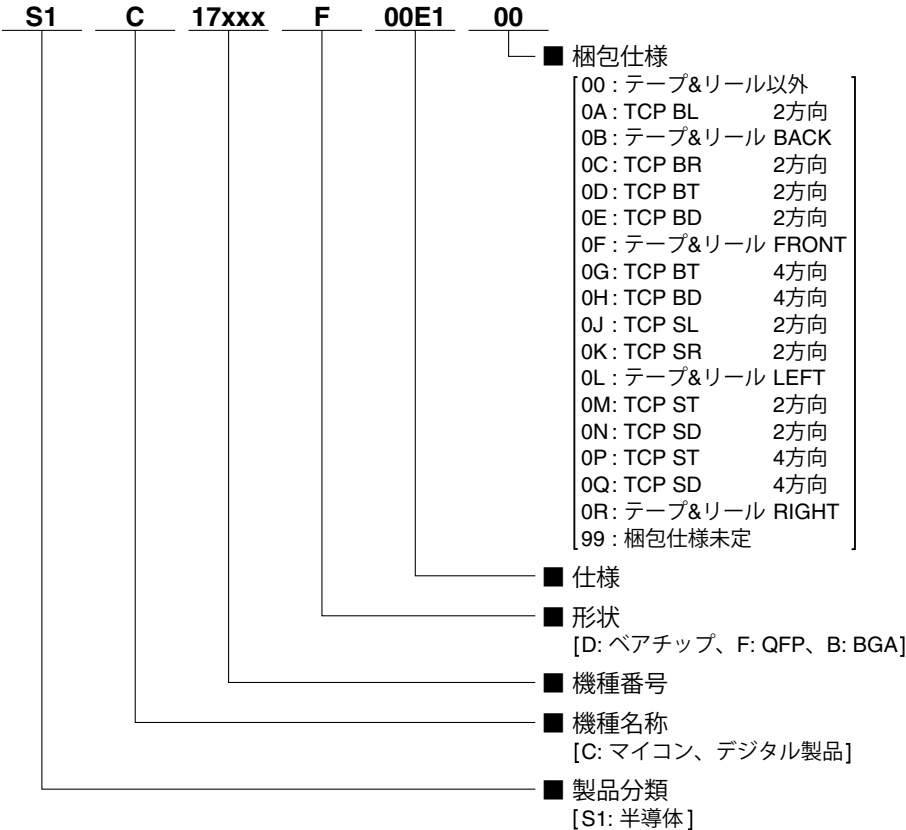
本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告なく変更することがあります。

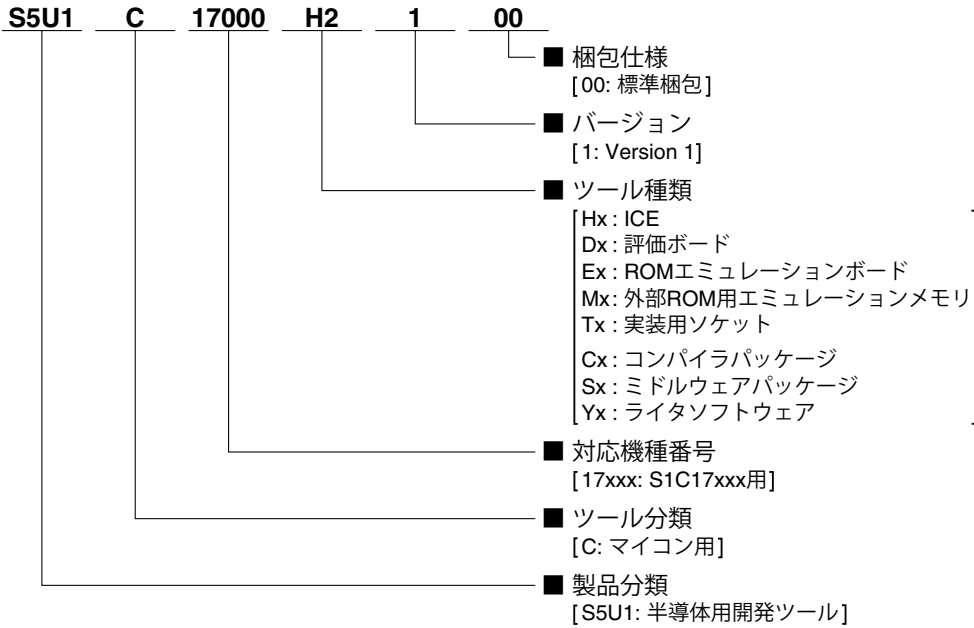
1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち、「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

製品型番体系

●デバイス



●開発ツール



S1C17002 Technical Manual

I S1C17002の仕様	I
I.1 概要	Overview
I.2 ブロック図	Block
I.3 端子説明	Pin
I.4 電源	Power
I.5 CPU	CPU
I.6 メモリマップ	Map
I.7 電气的特性	E char
I.8 基本外部結線図	Wiring
I.9 実装上の注意事項	Mount
II S1C17002クロックシステム	II
II.1 クロック系統図	CLK
II.2 クロックマネージメントユニット (CMU)	CMU
II.3 プリスケアラ (PSC)	PSC
II.4 クロックジェネレータ (CLG)	CLG
II.5 リアルタイムクロック (RTC)	RTC
III S1C17002割り込み/内部バスコントローラ	III
III.1 割り込みコントローラ (ITC)	ITC
III.2 ROMコントローラ (ROMC)	ROMC
III.3 SRAMコントローラ (SRAMC)	SRAMC
IV S1C17002タイマモジュール	IV
IV.1 8ビットプログラマブルタイマ (PT8)	PT8
IV.2 16ビットマルチファンクションタイマ (MFT)	MFT
IV.3 ウォッチドッグタイマ (WDT)	WDT
IV.4 8ビットOSC1タイマ (T8OSC1)	T8OSC1
V S1C17002インタフェースモジュール	V
V.1 UART	UART
V.2 I ² Cマスタ	I ² CM
V.3 I ² Cスレーブ	I ² CS
V.4 SPI (SPI CH.0)	SPI
V.5 拡張SPI (SPI CH.1)	ESPI
V.6 リモートコントローラ (REMC)	REMC
VI S1C17002入出力ポート	VI
VI.1 汎用入出力ポート (GPIO)	GPIO
VII S1C17002アナログモジュール	VII
VII.1 A/D変換器 (ADC)	ADC
Appendix	AP
A I/Oレジスター一覧	IOMap
B 乗除算器	Multi
C パワーセーブ	Psave
D S1C17002マスクROMコードの開発について	Mask

- 目 次 -

I S1C17002の仕様

I.1 概要	I-1-1
I.2 ブロック図.....	I-2-1
I.3 端子説明	I-3-1
I.3.1 端子配置	I-3-1
I.3.2 端子機能	I-3-3
I.3.3 マルチプレックス端子の機能切り換え	I-3-5
I.3.3.1 端子機能選択ビット	I-3-5
I.3.3.2 ポート機能選択レジスター覧	I-3-6
0x4420: P00–P03 Port Function Select Register (P0_03_CFP)	I-3-7
0x4422: P10–P13 Port Function Select Register (P1_03_CFP)	I-3-8
0x4423: P14–P16 Port Function Select Register (P1_46_CFP)	I-3-9
0x4425: P25–P27 Port Function Select Register (P2_57_CFP)	I-3-10
0x4426: P30–P32 Port Function Select Register (P3_02_CFP)	I-3-11
0x4427: P35–P37 Port Function Select Register (P3_57_CFP)	I-3-12
0x4428: P40–P43 Port Function Select Register (P4_03_CFP)	I-3-13
0x4429: P44 Port Function Select Register (P4_4_CFP)	I-3-14
0x442a: P50–P53 Port Function Select Register (P5_03_CFP)	I-3-15
I.3.4 入出力セルと入出力特性	I-3-16
I.3.5 パッケージ	I-3-17
I.3.5.1 TQFP12-64pin/パッケージ	I-3-17
I.3.5.2 WCSP-48/パッケージ	I-3-18
I.3.5.3 パッケージの熱抵抗	I-3-19
I.3.6 パッド配置	I-3-20
I.3.6.1 パッド配置図	I-3-20
I.3.6.2 パッド座標	I-3-21
I.4 電源	I-4-1
I.4.1 電源端子	I-4-1
I.4.2 動作電圧 (LV _{DD} , V _{SS})	I-4-2
I.4.3 I/Oインタフェース電源 (HV _{DD})	I-4-2
I.4.4 アナログ回路用電源 (AV _{DD})	I-4-2
I.4.5 電源に関する注意事項	I-4-3
I.5 CPU	I-5-1
I.5.1 S1C17コアの特長	I-5-1
I.5.2 CPUレジスタ	I-5-2
I.5.3 命令セット	I-5-3
I.5.4 ベクタテーブル	I-5-7
I.5.5 オンチップデバッグ	I-5-9
I.5.5.1 デバッグ機能	I-5-9
I.5.5.2 デバッグ用ワークエリア	I-5-9
0xffff90: Debug RAM Base Register (DBRAM)	I-5-9
I.5.5.3 デバッグツール	I-5-9
I.5.5.4 デバッグ端子	I-5-10
I.5.5.5 デバッグ用クロック	I-5-10
I.5.5.6 デバッグステータス信号 (DST2)	I-5-10

I.6 メモリマップ	I-6-1
I.6.1 アクセスサイクル	I-6-2
I.6.1.1 アクセスサイズ制限	I-6-3
I.6.1.2 ハードアーキテクチャによる命令とデータの同時アクセス	I-6-3
I.6.2 IRAMエリア	I-6-4
I.6.3 ROMエリア	I-6-4
0x5804: ROMC Wait Register (ROMC_WAIT)	I-6-4
I.6.4 内蔵周辺回路エリア	I-6-5
I.6.4.1 S1C17コア周辺回路エリア (0x4000～)	I-6-5
I.6.4.2 拡張周辺回路エリア (0x4400～)	I-6-5
I.6.4.3 I/Oマップ	I-6-5
I.6.5 S1C17コアI/O予約エリア	I-6-10
I.7 電气的特性	I-7-1
I.7.1 絶対最大定格	I-7-1
I.7.2 推奨動作条件	I-7-1
I.7.3 DC特性	I-7-2
I.7.4 消費電流	I-7-3
I.7.5 A/D変換器特性	I-7-4
I.7.6 発振特性	I-7-5
I.7.7 AC特性	I-7-6
I.7.7.1 外部クロック入力特性	I-7-6
I.7.7.2 SPI AC特性	I-7-6
I.8 基本外部結線図	I-8-1
I.9 実装上の注意事項	I-9-1

II S1C17002クロックシステム

II.1 クロック系統図	II-1-1
II.2 クロックマネージメントユニット(CMU)	II-2-1
II.2.1 CMUの概要	II-2-1
II.2.2 リセット入力とイニシャルリセット	II-2-2
II.2.2.1 イニシャルリセット端子	II-2-2
II.2.2.2 イニシャルリセット内容	II-2-2
II.2.2.3 パワーオンリセット	II-2-3
II.2.2.4 イニシャルリセット時の注意事項	II-2-4
II.2.3 NMI入力	II-2-5
II.2.4 システムクロックソースの選択	II-2-6
II.2.5 発振回路の制御	II-2-7
II.2.5.1 OSC3発振回路	II-2-7
II.2.5.2 OSC3分周回路の設定	II-2-8
II.2.5.3 OSC1発振回路	II-2-8
II.2.6 クロック供給制御	II-2-10
II.2.6.1 S1C17コアへのクロック供給	II-2-10
II.2.6.2 コア周辺モジュールへのクロック供給	II-2-10
II.2.6.3 拡張周辺モジュールへのクロック供給	II-2-10
II.2.6.4 SRAMCへのクロック供給	II-2-11
II.2.6.5 ROMCへのクロック供給	II-2-11
II.2.6.6 RTCへのクロック供給	II-2-11
II.2.6.7 8ビットOSC1タイマへのクロック供給	II-2-12
II.2.7 外部出力クロック (CMU_CLK) の設定	II-2-13

II.2.8	スタンバイモード	II-2-14
II.2.8.1	HALTモード	II-2-14
II.2.8.2	SLEEPモード	II-2-14
II.2.8.3	注意事項	II-2-16
II.2.9	クロック設定手順	II-2-17
II.2.9.1	クロックソースをOSC3からOSC1に変更後OSC3をOff	II-2-17
II.2.9.2	クロックソースをOSC1からOSC3に変更	II-2-18
II.2.9.3	SLEEP時にOSC3を停止	II-2-19
II.2.9.4	発振OnのままのSLEEP(クロック変更なし)	II-2-20
II.2.10	ノイズフィルタ	II-2-21
II.2.10.1	DSIN入力用ノイズフィルタ	II-2-21
II.2.10.2	入力ポートのノイズフィルタ	II-2-21
II.2.10.3	OSC3クロック入力用ノイズフィルタ	II-2-21
II.2.11	制御レジスタの詳細	II-2-22
	0x4900: System Clock Control Register (CMU_SYSCCLKCTL)	II-2-23
	0x4901: OSC3 Wait Timer Register (CMU_OSC3_WCNT)	II-2-25
	0x4902: Noise Filter Control Register (CMU_NF)	II-2-26
	0x4903: OSC3 Clock Divider Register (CMU_OSC3DIV)	II-2-27
	0x4905: CMU_CLK Select Register (CMU_CMUCLK)	II-2-28
	0x4906: Gated Clock Control 0 Register (CMU_GATEDCLK0)	II-2-29
	0x4907: Gated Clock Control 1 Register (CMU_GATEDCLK1)	II-2-30
	0x4908: Gated Clock Control 2 Register (CMU_GATEDCLK2)	II-2-31
	0x4920: CMU Write Protect Register (CMU_PROTECT)	II-2-32
II.2.12	注意事項	II-2-33
II.3	プリスケアラ(PSC)	II-3-1
II.3.1	プリスケアラの構成	II-3-1
II.3.2	制御レジスタ詳細	II-3-2
	0x4020: Prescaler Control Register (PSC_CTL)	II-3-2
II.3.3	注意事項	II-3-3
II.4	クロックジェネレータ(CLG)	II-4-1
II.4.1	クロックジェネレータの構成	II-4-1
II.4.2	16ビットタイマ(CLG_T16U0)	II-4-2
II.4.2.1	16ビットタイマの概要	II-4-2
II.4.2.2	カウントモード	II-4-2
II.4.2.3	カウントクロック	II-4-3
II.4.2.4	16ビットタイマリロードレジスタとアンダーフロー周期	II-4-3
II.4.2.5	16ビットタイマのリセット	II-4-4
II.4.2.6	16ビットタイマRUN/STOP制御	II-4-4
II.4.2.7	16ビットタイマ出力信号	II-4-5
II.4.2.8	16ビットタイマ割り込み	II-4-5
II.4.2.9	制御レジスタ詳細	II-4-6
	0x4200: CLG_T16U0 Input Clock Select Register (CLG_T16U0_CLK)	II-4-7
	0x4202: CLG_T16U0 Reload Data Register (CLG_T16U0_TR)	II-4-8
	0x4204: CLG_T16U0 Counter Data Register (CLG_T16U0_TC)	II-4-9
	0x4206: CLG_T16U0 Control Register (CLG_T16U0_CTL)	II-4-10
II.4.2.10	注意事項	II-4-11
II.4.3	ファインモード付き8ビットタイマ(CLG_T8FU0)	II-4-12
II.4.3.1	ファインモード付き8ビットタイマの概要	II-4-12
II.4.3.2	カウントモード	II-4-12
II.4.3.3	カウントクロック	II-4-13
II.4.3.4	リロードレジスタとアンダーフロー周期	II-4-13
II.4.3.5	ファインモード付き8ビットタイマのリセット	II-4-14
II.4.3.6	ファインモード付き8ビットタイマのRUN/STOP制御	II-4-14

II.4.3.7	ファインモード付き8ビットタイマ出力信号	II-4-15
II.4.3.8	ファインモード	II-4-15
II.4.3.9	ファインモード付き8ビットタイマ割り込み	II-4-16
II.4.3.10	制御レジスタ詳細	II-4-17
	0x4220: CLG_T8FU0 Input Clock Select Register (CLG_T8FU0_CLK)	II-4-18
	0x4222: CLG_T8FU0 Reload Data Register (CLG_T8FU0_TR)	II-4-19
	0x4224: CLG_T8FU0 Counter Data Register (CLG_T8FU0_TC)	II-4-20
	0x4226: CLG_T8FU0 Control Register (CLG_T8FU0_CTL)	II-4-21
II.4.3.11	注意事項	II-4-23
II.4.4	8ビットタイマ (CLG_T8S, CLG_T8I)	II-4-24
II.4.4.1	8ビットタイマの概要	II-4-24
II.4.4.2	8ビットタイマのカウントモード	II-4-25
II.4.4.3	カウントクロック	II-4-25
II.4.4.4	8ビットタイマリロードレジスタとアンダーフロー周期	II-4-26
II.4.4.5	8ビットタイマのリセット	II-4-26
II.4.4.6	8ビットタイマRUN/STOP制御	II-4-27
II.4.4.7	8ビットタイマ出力信号	II-4-28
II.4.4.8	8ビットタイマ割り込み	II-4-29
II.4.4.9	制御レジスタ詳細	II-4-30
	0x4240/0x4260: CLG_T8x Input Clock Select Registers (CLG_T8x_CLK)	II-4-31
	0x4242/0x4262: CLG_T8x Reload Data Registers (CLG_T8x_TR)	II-4-32
	0x4244/0x4264: CLG_T8x Counter Data Registers (CLG_T8x_TC)	II-4-33
	0x4246/0x4266: CLG_T8x Control Registers (CLG_T8x_CTL)	II-4-34
II.4.4.10	注意事項	II-4-35
II.5	リアルタイムクロック (RTC)	II-5-1
II.5.1	RTCの概要	II-5-1
II.5.2	RTCカウンタ	II-5-2
II.5.3	RTCの制御	II-5-5
	II.5.3.1 動作クロックとアクセスウェイトサイクルの制御	II-5-5
	II.5.3.2 RTCのイニシャルシーケンス	II-5-6
	II.5.3.3 24時間制/12時間制の選択とカウンタの設定	II-5-7
	II.5.3.4 カウンタのスタート/ストップおよびリセット	II-5-7
	II.5.3.5 カウンタのホールドとビジーフラグ	II-5-8
	II.5.3.6 動作中のカウンタのリード/ライト	II-5-9
	II.5.3.7 30秒補正	II-5-9
II.5.4	RTC割り込み	II-5-10
II.5.5	OSC1発振回路	II-5-11
	II.5.5.1 OSC1発振回路の入出力端子	II-5-11
	II.5.5.2 発振回路の構造	II-5-11
II.5.6	制御レジスタ詳細	II-5-12
	0x4600: RTC Interrupt Status Register (RTC_INTSTAT)	II-5-13
	0x4601: RTC Interrupt Mode Register (RTC_INTMODE)	II-5-14
	0x4602: RTC Control 0 Register (RTC_CNTL0)	II-5-15
	0x4603: RTC Control 1 Register (RTC_CNTL1)	II-5-17
	0x4614: RTC Second Register (RTC_SEC)	II-5-18
	0x4615: RTC Minute Register (RTC_MIN)	II-5-19
	0x4616: RTC Hour Register (RTC_HOUR)	II-5-20
	0x4617: RTC Day Register (RTC_DAY)	II-5-21
	0x4628: RTC Month Register (RTC_MONTH)	II-5-22
	0x4629: RTC Year Register (RTC_YEAR)	II-5-23
	0x462a: RTC Days of Week Register (RTC_WEEK)	II-5-24
II.5.7	注意事項	II-5-25

III S1C17002割り込み/内部バスコントローラ

III.1 割り込みコントローラ (ITC)	III-1-1
III.1.1 ITCの構成	III-1-1
III.1.2 ベクタテーブル	III-1-2
III.1.3 マスク可能割り込みの制御	III-1-4
III.1.3.1 ITCイネーブル	III-1-4
III.1.3.2 周辺モジュールからの割り込み要求と割り込みフラグ	III-1-4
III.1.3.3 割り込みの許可/禁止	III-1-5
III.1.3.4 複数の割り込み発生時の処理	III-1-6
III.1.3.5 割り込みのトリガモード	III-1-7
III.1.3.6 S1C17コアの割り込み処理	III-1-8
III.1.4 NMI	III-1-9
III.1.5 ソフトウェア割り込み	III-1-10
III.1.6 割り込み要因によるHALT, SLEEPモードの解除	III-1-11
III.1.7 制御レジスタ詳細	III-1-12
0x42e0: Additional Interrupt Flag Register (ITC_AIFLG)	III-1-13
0x42e2: Additional Interrupt Enable Register (ITC_AEN)	III-1-14
0x42e6: Additional Interrupt Level Setup Register 0 (ITC_AILV0)	III-1-15
0x42e8: Additional Interrupt Level Setup Register 1 (ITC_AILV1)	III-1-16
0x42ea: Additional Interrupt Level Setup Register 2 (ITC_AILV2)	III-1-17
0x42ec: Additional Interrupt Level Setup Register 3 (ITC_AILV3)	III-1-18
0x42ee: Additional Interrupt Level Setup Register 4 (ITC_AILV4)	III-1-19
0x42f0: Additional Interrupt Level Setup Register 5 (ITC_AILV5)	III-1-20
0x42f2: Additional Interrupt Level Setup Register 6 (ITC_AILV6)	III-1-21
0x42f4: Additional Interrupt Level Setup Register 7 (ITC_AILV7)	III-1-22
0x4300: Interrupt Flag Register (ITC_IFLG)	III-1-23
0x4302: Interrupt Enable Register (ITC_EN)	III-1-25
0x4304: ITC Control Register (ITC_CTL)	III-1-26
0x4306: External Interrupt Level Setup Register 0 (ITC_ELV0)	III-1-27
0x4308: External Interrupt Level Setup Register 1 (ITC_ELV1)	III-1-29
0x430a: External Interrupt Level Setup Register 2 (ITC_ELV2)	III-1-30
0x430c: External Interrupt Level Setup Register 3 (ITC_ELV3)	III-1-31
0x430e: Internal Interrupt Level Setup Register 0 (ITC_ILV0)	III-1-32
0x4310: Internal Interrupt Level Setup Register 1 (ITC_ILV1)	III-1-33
0x4312: Internal Interrupt Level Setup Register 2 (ITC_ILV2)	III-1-34
0x4314: Internal Interrupt Level Setup Register 3 (ITC_ILV3)	III-1-35
III.1.8 注意事項	III-1-36
III.2 ROMコントローラ (ROMC)	III-2-1
III.2.1 ROMCの概要	III-2-1
III.2.2 ブートアドレスとTTBR	III-2-1
III.2.3 リードアクセス制御	III-2-1
III.2.4 制御レジスタの詳細	III-2-2
0x5804: ROMC Wait Register (ROMC_WAIT)	III-2-3
0x5810: ROMC Protect Register (ROMC_PRT)	III-2-4
0x5814–0x5816: Trap Table Base Registers (TTBR_LOW, TTBR_HIGH)	III-2-5
III.2.5 注意事項	III-2-6
III.3 SRAMコントローラ (SRAMC)	III-3-1
III.3.1 SRAMCの概要	III-3-1
III.3.2 メモリ上のデータ配置	III-3-2
III.3.3 SRAMC動作クロック	III-3-3
III.3.4 RTCモジュールアクセス時のウェイトサイクル設定	III-3-4

III.3.5 制御レジスタ詳細	III-3-5
0x5018: RTC Wait Control Register (RTC_WAIT)	III-3-5

IV S1C17002タイマモジュール

IV.1 8ビットプログラマブルタイマ (PT8)	IV-1-1
IV.1.1 8ビットプログラマブルタイマの概要	IV-1-1
IV.1.2 カウントクロック	IV-1-2
IV.1.3 リロードレジスタとアンダーフロー周期	IV-1-3
IV.1.4 タイマのリセット	IV-1-4
IV.1.5 タイマRUN/STOP制御	IV-1-5
IV.1.6 タイマ出力信号	IV-1-6
IV.1.7 8ビットプログラマブルタイマ割り込み	IV-1-7
IV.1.8 制御レジスタ詳細	IV-1-8
0x4800/0x4804/0x4808/0x480c: PT8 CH.x Input Clock Select Registers (PT8_CLKx)	IV-1-9
0x4801/0x4805/0x4809/0x480d: PT8 CH.x Reload Data Registers (PT8_RLDx)	IV-1-10
0x4802/0x4806/0x480a/0x480e: PT8 CH.x Counter Data Registers (PT8_PTDx)	IV-1-11
0x4803/0x4807/0x480b/0x480f: PT8 CH.x Control Registers (PT8_CTLx)	IV-1-12
IV.1.9 注意事項	IV-1-13
IV.2 16ビットマルチファンクションタイマ (MFT)	IV-2-1
IV.2.1 16ビットマルチファンクションタイマの概要	IV-2-1
IV.2.2 16ビットマルチファンクションタイマの入出力端子	IV-2-2
IV.2.3 16ビットマルチファンクションタイマの用途	IV-2-3
IV.2.4 MFT動作クロック	IV-2-4
IV.2.5 MFTの制御と動作	IV-2-5
IV.2.6 クロック出力の制御	IV-2-8
IV.2.7 MFT割り込み	IV-2-12
IV.2.8 制御レジスタ詳細	IV-2-15
0x5200: MFT Counter Data Register (MFT_TC)	IV-2-16
0x5202: MFT Period Data Register (MFT_PRD)	IV-2-17
0x5204: MFT Compare Data Register (MFT_CMP)	IV-2-18
0x5206: MFT Control Register (MFT_CTL)	IV-2-19
0x521e: MFT Input/Output Control Register (MFT_IOCTL)	IV-2-21
0x5230: MFT Interrupt Enable Register (MFT_IE)	IV-2-23
0x5238: MFT Interrupt Flag Register (MFT_IF)	IV-2-24
0x527e: MFT Test Register (MFT_TST)	IV-2-26
IV.2.9 注意事項	IV-2-27
IV.3 ウォッチドッグタイマ (WDT)	IV-3-1
IV.3.1 ウォッチドッグタイマの構成	IV-3-1
IV.3.2 ウォッチドッグタイマの入出力端子	IV-3-2
IV.3.3 ウォッチドッグタイマの動作クロック	IV-3-3
IV.3.4 ウォッチドッグタイマの制御	IV-3-4
IV.3.4.1 ウォッチドッグタイマの設定	IV-3-4
IV.3.4.2 ウォッチドッグタイマのスタート/ストップ	IV-3-5
IV.3.4.3 ウォッチドッグタイマのリセット	IV-3-5
IV.3.4.4 スタンバイモード時の動作	IV-3-5
IV.3.4.5 ウォッチドッグタイマのクロック出力	IV-3-6
IV.3.4.6 NMI外部出力	IV-3-6
IV.3.5 制御レジスタ詳細	IV-3-7
0x5660: WDT Write Protect Register (WD_WP)	IV-3-8
0x5662: WDT Enable and Setup Register (WD_EN)	IV-3-9

0x5664: WDT Comparison Data L Register (WD_CMP_L)	IV-3-11
0x5666: WDT Comparison Data H Register (WD_CMP_H)	IV-3-11
0x5668: WDT Count Data L Register (WD_CNT_L)	IV-3-12
0x566a: WDT Count Data H Register (WD_CNT_H)	IV-3-12
0x566c: WDT Control Register (WD_CTL)	IV-3-13
IV.3.6 注意事項	IV-3-14
IV.4 8ビットOSC1タイマ(T8OSC1)	IV-4-1
IV.4.1 8ビットOSC1タイマの概要	IV-4-1
IV.4.2 8ビットOSC1タイマのカウントモード	IV-4-2
IV.4.3 カウントクロック	IV-4-3
IV.4.4 8ビットOSC1タイマのリセット	IV-4-4
IV.4.5 コンペアデータの設定	IV-4-5
IV.4.6 8ビットOSC1タイマRUN/STOP制御	IV-4-6
IV.4.7 8ビットOSC1タイマ割り込み	IV-4-7
IV.4.8 制御レジスタ詳細	IV-4-9
0x4a00/0x4b00: 8-bit OSC1 Timer CH.x Control Registers (T8OSC1_CTLx)	IV-4-10
0x4a01/0x4b01: 8-bit OSC1 Timer CH.x Counter Data Registers (T8OSC1_CNTx)	IV-4-11
0x4a02/0x4b02: 8-bit OSC1 Timer CH.x Compare Data Registers (T8OSC1_CMPx)	IV-4-12
0x4a03/0x4b03: 8-bit OSC1 Timer CH.x Interrupt Mask Register (T8OSC1_IMSKx)	IV-4-13
0x4a04/0x4b04: 8-bit OSC1 Timer CH.x Interrupt Flag Registers (T8OSC1_IFLGx)	IV-4-14
IV.4.9 注意事項	IV-4-15

V S1C17002インタフェースモジュール

V.1 UART	V-1-1
V.1.1 UARTの構成	V-1-1
V.1.2 UART端子	V-1-2
V.1.3 転送クロック	V-1-3
V.1.4 転送データの設定	V-1-4
V.1.5 データ送受信の制御	V-1-5
V.1.6 受信エラー	V-1-8
V.1.7 UART割り込み	V-1-9
V.1.8 IrDAインタフェース	V-1-11
V.1.9 制御レジスタ詳細	V-1-13
0x4100: UART Status Register (UART_ST)	V-1-14
0x4101: UART Transmit Data Register (UART_TXD)	V-1-16
0x4102: UART Receive Data Register (UART_RXD)	V-1-17
0x4103: UART Mode Register (UART_MOD)	V-1-18
0x4104: UART Control Register (UART_CTL)	V-1-19
0x4105: UART Expansion Register (UART_EXP)	V-1-20
V.1.10 注意事項	V-1-21
V.2 I²Cマスタ	V-2-1
V.2.1 I ² Cマスタの構成	V-2-1
V.2.2 I ² Cマスタ入出力端子	V-2-2
V.2.3 I ² Cマスタクロック	V-2-3
V.2.4 データ転送前の設定項目	V-2-4
V.2.5 データ送受信の制御	V-2-5
V.2.6 I ² Cマスタ割り込み	V-2-11
V.2.7 制御レジスタ詳細	V-2-13
0x4340: I ² C Master Enable Register (I2CM_EN)	V-2-14
0x4342: I ² C Master Control Register (I2CM_CTL)	V-2-15

0x4344: I ² C Master Data Register (I2CM_DAT)	V-2-17
0x4346: I ² C Master Interrupt Control Register (I2CM_ICTL)	V-2-19
V.3 I²Cスレーブ	V-3-1
V.3.1 I ² Cスレーブの構成	V-3-1
V.3.2 I ² Cスレーブ入出力端子	V-3-2
V.3.3 I ² Cスレーブクロック	V-3-3
V.3.4 I ² Cスレーブの初期設定	V-3-4
V.3.4.1 リセット	V-3-4
V.3.4.2 スレーブアドレスの設定	V-3-4
V.3.4.3 オプション機能	V-3-4
V.3.5 データ送受信の制御	V-3-6
V.3.6 I ² Cスレーブ割り込み	V-3-12
V.3.7 制御レジスタ詳細	V-3-14
0x4360: I ² C Slave Transmit Data Register (I2CS_TRNS)	V-3-15
0x4362: I ² C Slave Receive Data Register (I2CS_RECV)	V-3-16
0x4364: I ² C Slave Address Setup Register (I2CS_SADRS)	V-3-17
0x4366: I ² C Slave Control Register (I2CS_CTL)	V-3-18
0x4368: I ² C Slave Status Register (I2CS_STAT)	V-3-21
0x436a: I ² C Slave Access Status Register (I2CS_ASTAT)	V-3-24
0x436c: I ² C Slave Interrupt Control Register (I2CS_ICTL)	V-3-25
V.3.8 注意事項	V-3-26
V.4 SPI(SPI CH.0)	V-4-1
V.4.1 SPI CH.0の構成	V-4-1
V.4.2 SPI CH.0入出力端子	V-4-2
V.4.3 SPIクロック	V-4-3
V.4.4 データ転送条件の設定	V-4-4
V.4.5 データ送受信の制御	V-4-5
V.4.6 SPI CH.0割り込み	V-4-8
V.4.7 制御レジスタ詳細	V-4-10
0x4320: SPI CH.0 Status Register (SPI_ST0)	V-4-11
0x4322: SPI CH.0 Transmit Data Register (SPI_TXD0)	V-4-12
0x4324: SPI CH.0 Receive Data Register (SPI_RXD0)	V-4-13
0x4326: SPI CH.0 Control Register (SPI_CTL0)	V-4-14
V.4.8 注意事項	V-4-16
V.5 拡張SPI(SPI CH.1)	V-5-1
V.5.1 SPI CH.1の構成	V-5-1
V.5.2 SPI CH.1入出力端子	V-5-2
V.5.3 SPIクロック	V-5-3
V.5.4 データ転送条件の設定	V-5-4
V.5.5 データ送受信の制御	V-5-5
V.5.6 SPI CH.1割り込み	V-5-8
V.5.7 制御レジスタ詳細	V-5-10
0x5700: SPI CH.1 Status Register (SPI_ST1)	V-5-11
0x5702: SPI CH.1 Transmit Data Register (SPI_TXD1)	V-5-12
0x5704: SPI CH.1 Receive Data Register (SPI_RXD1)	V-5-13
0x5706: SPI CH.1 Control Register (SPI_CTL1)	V-5-14
0x5708: SPI CH.1 Clock Control Register (SPI_CLK1)	V-5-16
V.5.8 注意事項	V-5-17

V.6 リモートコントローラ (REMC)	V-6-1
V.6.1 REMCの構成	V-6-1
V.6.2 REMC入出力端子	V-6-2
V.6.3 プリスケアラとキャリア生成回路	V-6-3
V.6.4 データ送受信の制御	V-6-5
V.6.5 REMC割り込み	V-6-8
V.6.6 制御レジスタ詳細	V-6-10
0x5400: REMC Prescaler Control Register (REMC_PSC)	V-6-11
0x5404: REMC Configuration Register (REMC_CFG)	V-6-12
0x5408: REMC Control Register (REMC_CTL)	V-6-14
0x540c: REMC Carrier Load Register (REMC_CARL)	V-6-15
0x540e: REMC Envelope Load Register (REMC_ENVL)	V-6-16
0x5410: REMC Envelope Capture Register (REMC_ENVC)	V-6-17
V.6.7 注意事項	V-6-18

VI S1C17002入出力ポート

VI.1 汎用入出力ポート (GPIO)	VI-1-1
VI.1.1 入出力ポートの構成	VI-1-1
VI.1.2 入出力端子機能の選択	VI-1-1
VI.1.3 I/O制御レジスタと入出力モード	VI-1-2
VI.1.4 I/Oデータレジスタ	VI-1-2
VI.1.5 ポート入力割り込み	VI-1-3
VI.1.5.1 入力端子の選択	VI-1-3
VI.1.5.2 割り込みコントローラの制御レジスタ	VI-1-4
VI.1.6 制御レジスタ詳細	VI-1-7
0x4400–0x440a: Px Port Input/Output Data Registers (Px_DAT)	VI-1-8
0x4403–0x440b: Px I/O Control Registers (Px_IOC)	VI-1-9
0x4420–0x442a: Port Function Select Registers (Px_xx_CFP)	VI-1-10
0x4440–0x4447: Port Input Interrupt x Select Registers (PINTSELx)	VI-1-11
VI.1.7 注意事項	VI-1-12

VII S1C17002アナログモジュール

VII.1 A/D変換器 (ADC)	VII-1-1
VII.1.1 A/D変換器の特長と構成	VII-1-1
VII.1.2 A/D変換器の入力端子	VII-1-2
VII.1.3 A/D変換器の動作クロック	VII-1-3
VII.1.4 A/D変換器の設定	VII-1-4
VII.1.5 A/D変換の制御と動作	VII-1-9
VII.1.6 A/D変換器割り込み	VII-1-13
VII.1.7 制御レジスタ詳細	VII-1-15
0x5520: A/D Clock Control Register (AD_CLKCTL)	VII-1-16
0x5540: A/D Conversion Result Register (AD_DAT)	VII-1-17
0x5542: A/D Trigger/Channel Select Register (AD_TRIG_CH)	VII-1-18
0x5544: A/D Control/Status Register (AD_CTL)	VII-1-20
0x5546: A/D Channel Status Flag Register (AD_CH_STAT)	VII-1-23
0x5548–0x554e: A/D CH.x Conversion Result Buffer Registers (AD_CHx_BUF)	VII-1-24
0x5558: A/D Upper Limit Value Register (AD_UPPER)	VII-1-25
0x555a: A/D Lower Limit Value Register (AD_LOWER)	VII-1-26
0x555c: A/D Conversion Complete Interrupt Mask Register (AD_INTMASK)	VII-1-27
0x555e: A/D Converter Mode Select/Internal Status Register (AD_ADVMODE)	VII-1-28
VII.1.8 注意事項	VII-1-29

APPENDIX

Appendix A I/Oレジスタ一覧	AP-1
0x4020 Prescaler	AP-5
0x4100–0x4105 UART (with IrDA)	AP-6
0x4200–0x4206 CLG_T16U0 Timer	AP-7
0x4220–0x4226 CLG_T8FU0 Timer	AP-8
0x4240–0x4246 CLG_T8S Timer	AP-9
0x4260–0x4266 CLG_T8I Timer	AP-10
0x42e0–0x4314 Interrupt Controller	AP-11
0x4320–0x4326 SPI	AP-14
0x4340–0x4346 I ² C Master	AP-15
0x4360–0x436c I ² C Slave	AP-16
0x4400–0x4447 GPIO & Port MUX	AP-17
0x4600–0x462a Real-time Clock	AP-21
0x4800–0x4803 8-bit Programmable Timer CH.0	AP-22
0x4804–0x4807 8-bit Programmable Timer CH.1	AP-23
0x4808–0x480b 8-bit Programmable Timer CH.2	AP-24
0x480c–0x480f 8-bit Programmable Timer CH.3	AP-25
0x4900–0x4920 Clock Management Unit	AP-26
0x4a00–0x4a04 8-bit OSC1 Timer CH.0	AP-27
0x4b00–0x4b04 8-bit OSC1 Timer CH.1	AP-28
0x5018 SRAM Controller	AP-29
0x5200–0x527e Multi-Function Timer	AP-30
0x5400–0x5410 Remote Controller	AP-31
0x5520–0x555e A/D Converter	AP-32
0x5660–0x566c Watchdog Timer	AP-34
0x5700–0x5708 Extended SPI	AP-35
0x5804–0x5816 ROM Controller	AP-36
0xffff90 S1C17 Core I/O	AP-37
Appendix B 乗除算器	AP-38
B.1 概要	AP-38
B.2 動作モードと出力モード	AP-39
B.3 乗算	AP-40
B.4 除算	AP-41
B.5 MAC	AP-42
B.6 演算結果の読み出し	AP-44
Appendix C パワーセーブ	AP-45
Appendix D S1C17002マスクROMコードの開発について	AP-48
改訂履歴表	

S1C17002 Technical Manual

I S1C17002の仕様

I.1 概要

S1C17002は、コンパクトでコストパフォーマンスの高い特定用途向け16ビットRISCコントローラです。特にアナログ入力、接続用インタフェースを必要とする、健康器具、センサシステム、アラーム、家電(炊飯器、電子レンジ、リモコン)などへの組み込みに適しています。

S1C17002は、S1C17 16ビットコンパクトRISC CPUコア、128KバイトROM、8KバイトRAM、4本のアナログ入力チャネルを持つ10ビットADC、16ビットマルチファンクションタイマ、赤外線リモコン回路、シリアルインタフェース(IrDA1.0対応UART、SPI、PC)、RTC、16ビットおよび8ビットのタイマ、ウォッチドッグタイマ、汎用入出力ポートで構成されています。

S1C17002はDSP機能の実装に使用可能な16ビット × 16ビット + 32ビットMAC(積和演算)および16ビット ÷ 16ビット除算機能も提供します。

S1C17002は0.18μmアナログ混在低電力CMOSプロセスを使用するEPSON SoC(System on Chip)テクノロジーにより設計/開発されています。

表 I.1.1 ラインアップ

	ROMサイズ	RAMサイズ	パッケージ
1	128Kバイト	8Kバイト	TQFP12-64pin
2			WCSP-48
3			チップ

以下にS1C17002の主な機能と特長を示します。

テクノロジー

- 0.18μm AL-4層アナログ混在低電力CMOSプロセステクノロジー

CPU

- セイコーエプソンオリジナル16ビットRISCプロセッサ S1C17コア
- 内部3段パイプライン
- 命令セット
 - 16ビット固定長
 - 基本命令111種類(全184命令)
 - C言語による開発に最適化されたコンパクトで高速な命令セット
- レジスタ
 - 24ビット汎用レジスタ8個
 - 特殊レジスタ3個(24ビット × 2、8ビット × 1)
- メモリ空間
 - 最大16Mバイトの空間をアクセス可能(24ビットアドレス)

内蔵メモリ

- マスクROM
 - 128Kバイト
- RAM
 - 8Kバイト

アクセスサイクル

- 命令リードアクセスサイクル
 - 内蔵RAM 命令リード: 2サイクル(32ビットリード)
 - 内蔵ROM 命令リード: 先読みHit時 2サイクル(32ビットリード)
先読みMiss時 3サイクル(32ビットリード)
- * シーケンシャルアクセス時は2命令(16ビット × 2)あたりのサイクル数となります。

I S1C17002の仕様: 概要

- データリード/ライトアクセスサイクル
 - 内蔵RAM データライト: 1サイクル
データリード: 2サイクル
 - 内蔵ROM データリード: 先読みHit時 1サイクル(16ビットリード)
先読みMiss時 2サイクル(16ビットリード)
- 内蔵ROM 1サイクルモード分岐実行ペナルティ

分岐元→分岐先	3サイクル分岐命令実行時の ペナルティ	4サイクル分岐命令実行時の ペナルティ
4バイト境界→4バイト境界	+2サイクル	+1サイクル
4バイト境界→2バイト境界	+3サイクル	+2サイクル
2バイト境界→4バイト境界	+3サイクル	+1サイクル
2バイト境界→2バイト境界	+4サイクル	+2サイクル

- 内蔵ROM 1サイクルモード設定可能上限周波数: 20MHz

動作クロック

- メインクロック
 - 20MHz(max.)
 - 内蔵発振回路(水晶またはセラミック)または外部クロック入力
- サブクロック
 - 32.768kHz(typ.) RTC用、メインクロックとしても使用可能
 - 内蔵発振回路(水晶)または外部クロック入力

割り込みコントローラ

- 4本のマスク不可能割り込み
 - リセット(#RESET端子またはウォッチドッグタイマ)
 - アドレス不整
 - デバッグ
 - NMI(ウォッチドッグタイマ)
- 29本のマスク可能割り込み
 - ポート入力(8本)
 - 16ビットマルチファンクションタイマ(1本)
 - A/D変換器(2本)
 - クロックジェネレータの16ビットタイマ(1本)
 - クロックジェネレータの8ビットタイマ(3本)
 - UART(1本)
 - SPI(1本)
 - I²Cマスタ(1本)
 - I²Cスレーブ(2本)
 - RTC(1本)
 - 8ビットプログラマブルタイマ(4本)
 - 8ビットOSC1タイマ(2本)
 - 拡張SPI(1本)
 - リモコン回路(1本)
 - 各マスク可能割り込みの割り込みレベル(優先順位)を設定可能(レベル0～7)

プリスケアラ

- クロックジェネレータのソースクロックを生成

16ビットマルチファンクションタイマ

- 1チャンネルのPWM出力機能付き16ビットタイマ/カウンタを内蔵
- 2つのコンペアマッチ割り込みを発生可能
- A/D変換器の範囲外信号によるIGBT出力制御機能

クロックジェネレータ

- 16ビットタイマを1チャンネル、8ビットタイマを3チャンネル内蔵
- UART、SPI、I²Cマスタのクロック生成に使用可能
- 各タイマはアンダーフロー割り込みを発生可能

8ビットプログラマブルタイマ

- 4チャンネルの8ビットタイマ(プリセッタブルダウンカウンタ)を内蔵
- ADCを周期的に起動するインターバルタイマとして使用可能
- 各タイマはアンダーフロー割り込みを発生可能

8ビットOSC1タイマ

- OSC1クロックで動作する2チャンネルの8ビットタイマ(プリセッタブルダウンカウンタ)を内蔵
- 各タイマはアンダーフロー割り込みを発生可能

ウォッチドッグタイマ

- リセットまたはNMIを発生する30ビットのウォッチドッグタイマ
- ウォッチドッグタイマのオーバーフロー周期(リセット/NMI発生周期)をプログラマブルに設定可能
- ウォッチドッグタイマのオーバーフロー信号を外部に出力可能

RTC

- 時刻(秒、分、時)カウンタとカレンダー(日、曜日、月、年)カウンタを内蔵
- 周期的な割り込みを発生可能

UART

- 1チャンネルのUARTを内蔵
- IrDA 1.0インタフェースに対応
- 2バイトの受信バッファと1バイトの送信バッファを内蔵し、全二重通信をサポート
- 転送レート: 150~460800bps、データ長: 7または8ビット、パリティモード: 偶数、奇数、またはパリティなし、ストップビット: 1または2ビット
- パリティエラー、フレーミングエラー、オーバーランエラーを検出可能
- チャンネルごとに受信バッファフル、送信バッファエンプティ、受信エラー割り込みを発生可能

SPI

- マスタおよびスレーブモードに対応
- 1バイトの受信バッファと1バイトの送信バッファを内蔵
- データ長: 8ビット固定(MSB先頭)
- データ転送タイミング(クロックの位相と極性)を4種類から選択可能
- 受信バッファフル、送信バッファエンプティ割り込みを発生可能

拡張SPI

- マスタおよびスレーブモードに対応
- 1バイトの受信バッファと1バイトの送信バッファを内蔵
- データ長: 8ビット固定(MSB先頭)
- データ転送タイミング(クロックの位相と極性)を4種類から選択可能
- 受信バッファフル、送信バッファエンプティ割り込みを発生可能
- 専用のクロック源を内蔵

I²Cマスタ

- データ形式: 8ビット(MSB先頭)
- アドレスサイズ: 7ビットアドレス(10ビットアドレスには未対応)
- ノイズ除去機能(レジスタ選択)
- 受信バッファフル、送信バッファエンプティ割り込みを発生可能

I²Cスレーブ

- データ形式: 8ビット (MSB先頭)
- アドレスサイズ: 7ビットアドレス (10ビットアドレスには未対応)
- クロックストレッチに対応
- ノイズ除去機能 (レジスタ選択)
- 受信、送信、バスステータス割り込みを発生可能

赤外線リモコン回路

- 変調キャリア信号の出力とリモコンパルスの入力
- キャリア信号発生回路とデータ長カウンタを内蔵
- REMC割り込みを発生可能

汎用入出力ポート

- 最大30本の入出力ポート、4本の入力専用ポートを使用可能
- ソフトウェアで選択した6ポートにより入力割り込みを発生可能
- * 入出力ポートは他の周辺機能 (UART、PWMなど) と端子を兼用しています。したがって、使用可能なポート数は周辺機能の使用状況により変わります。

A/D変換器

- 最大4チャンネルのアナログ入力を持つ10ビットA/D変換器
- 変換終了および範囲外割り込みを発生可能
- 範囲外信号を16ビットマルチファンクションタイマモジュール内のIGBT制御回路に出力

動作電圧

- HV_{DD} (I/O): 1.65～3.60V
- LV_{DD} (コア): 1.65～1.95V
- AV_{DD} (I/O): 2.70～3.60V (1.65～3.60V*)
- * ADC未使用かつ、P0x端子をアナログ入力ではなくデジタル信号の入力端子としてのみ使用する場合は、AV_{DD} = 1.65～3.60Vで使用可能です。ただし、入力するデジタル信号のHighレベルはAV_{DD}、LowレベルはGNDである必要があります。

動作温度

- -40～85°C

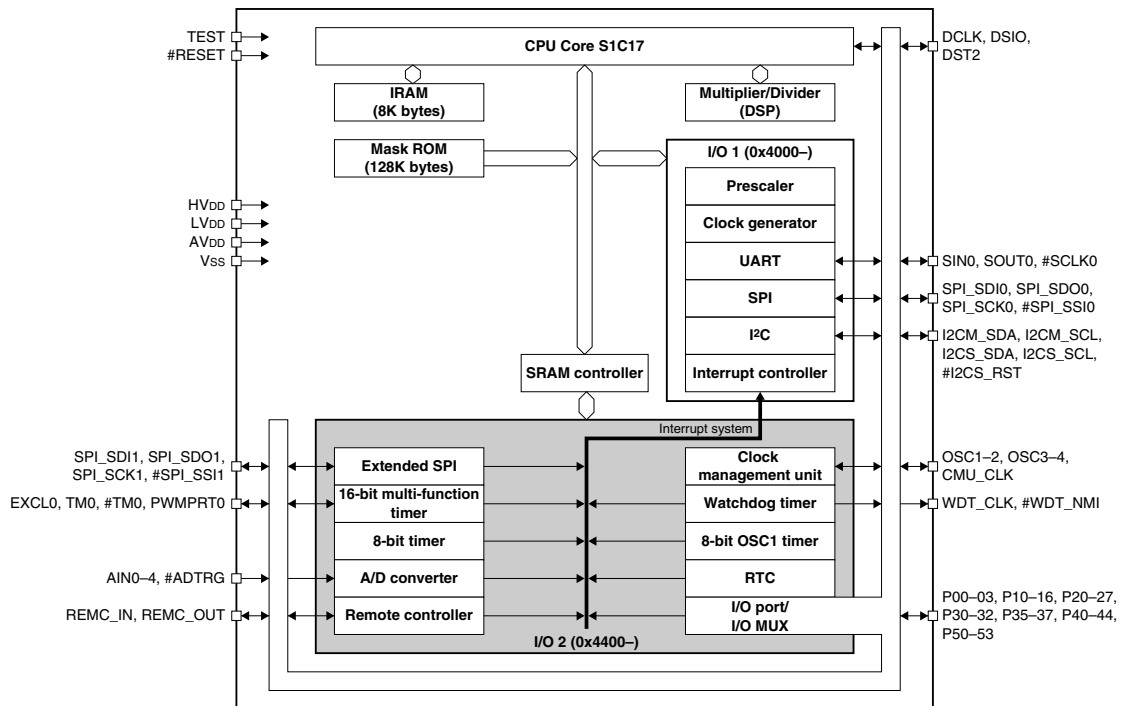
消費電流

- SLEEP時: 1.8μA (typ.) 32kHz/1.8V、RTC = On
- HALT時: 1.3mA (typ.) 20MHz/1.8V
- 動作時: 3.8mA (typ.) 20MHz/1.8V
- * クロックギア (CMU) でクロックを制御することにより、消費電力を低減できます。

出荷形態

- TQFP12-64pin (7mm × 7mm × 1.2mm、端子ピッチ: 0.4mm)
- WCSP-48 (3.124mm × 3.124mm × 0.78mm、ボールピッチ: 0.4mm)
- チップ (3.124mm × 3.124mm × 0.40mm)

I.2 ブロック図



図I.2.1 S1C17002ブロック図

このページはブランクです。

I.3 端子説明

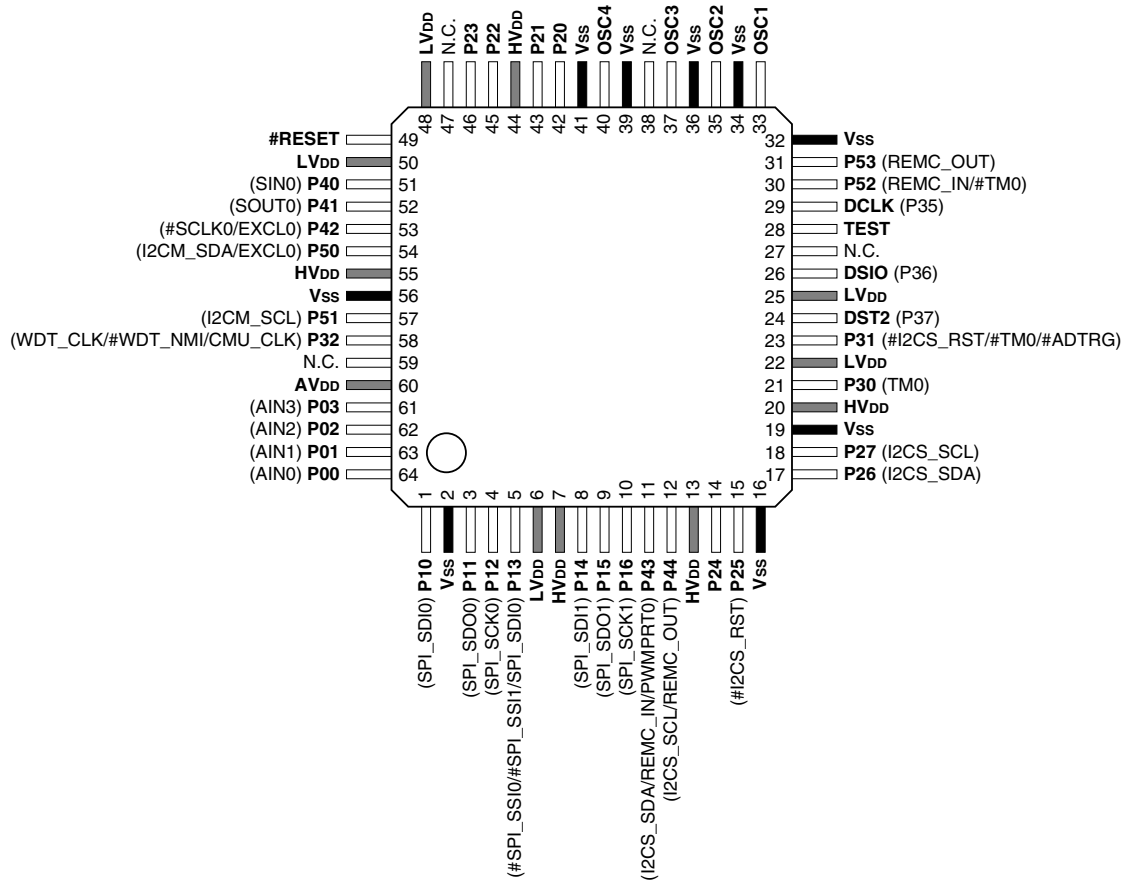
I

Pin

I.3.1 端子配置

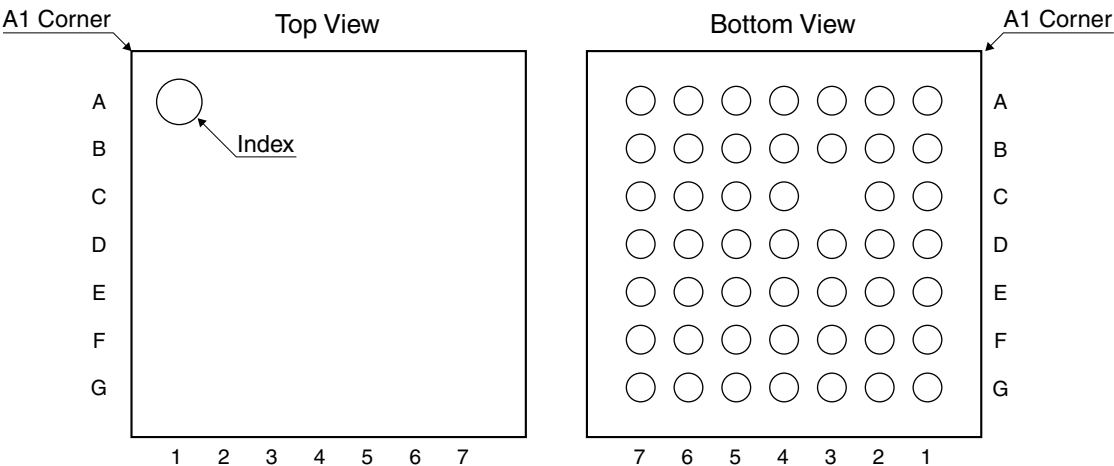
S1C17002は、TQFP12-64pinまたはWCSP-48パッケージを採用しています。

TQFP12-64pinパッケージ



図I.3.1.1 端子配置図 (TQFP12-64pin)

WCSP-48パッケージ



Top View

	1	2	3	4	5	6	7
A	P10 SPI_SDIO	P11 SPI_SDO0	P13 #SPI_SSI0 #SPI_SSI1 SPI_SDIO	P14 SPI_SDI1	P43 I2CS_SDA REMC_IN PWMPRT0	P24	P26 I2CS_SDA
B	P01 AIN1	P00 AIN0	P12 SPI_SCK0	P15 SPI_SDO1	P44 I2CS_SCL REMC_OUT	P25 #I2CS_RST	P27 I2CS_SCL
C	P03 AIN3	P02 AIN2		HVDD	P16 SPI_SCK1	Vss	P30 TM0
D	P51 I2CM_SCL	P32 WDT_CLK #WDT_NMI CMU_CLK	AVDD	Vss	LVDD	P31 #I2CS_RST #TM0 #ADTRG	DST2 P37
E	P50 I2CM_SDA EXCL0	P42 #SCLK0 EXCL0	P41 SOUT0	HVDD	DCLK P35	TEST	DSIO P36
F	P40 SIN0	LVDD	P22	P20	Vss	P53 REMC_OUT	P52 REMC_IN #TM0
G	#RESET	P23	P21	OSC4	OSC3	OSC2	OSC1

図I.3.1.2 端子配置図(WCSP-48)

I.3.2 端子機能

表I.3.2.1～表I.3.2.4に各端子の機能を示します。

表I.3.2.1 電源端子一覧

端子名	Pin No.		I/O	タイプ	PU/PD	機能
	TQFP	WCSP				
HV _{DD}	7, 13, 20, 44, 55	C4, E4	–	3.3V	–	I/O電源(+)(1.8V/2.5V/3.3V)
LV _{DD}	6, 22, 25, 48, 50	D5, F2	–	1.8V	–	コア電源(+)(1.8V)
V _{SS}	2, 16, 19, 32, 34, 36, 39, 41, 56	D4, C6, F5	–	GND	–	GND
AV _{DD}	60	D3	–	3.3V	–	アナログ用電源(3.0V/3.3V)

表I.3.2.2 クロック端子一覧

端子名	Pin No.		I/O	タイプ	PU/PD	機能
	TQFP	WCSP				
OSC3	37	G5	I	Analog	–	高速(OSC3)発振入力(水晶/セラミック発振、または外部クロック入力)
OSC4	40	G4	O	Analog	–	高速(OSC3)発振出力
OSC1	33	G7	I	Analog	–	RTC(OSC1)発振入力(水晶発振、または外部クロック入力)
OSC2	35	G6	O	Analog	–	RTC(OSC1)発振出力

表I.3.2.3 入出力ポート/周辺回路端子一覧

端子名	Pin No.		I/O	タイプ	PU/PD	機能
	TQFP	WCSP				
P00 AIN0	64	B2	I	LVC MOS	–	P00: 入力ポート(デフォルト) AIN0: A/D変換器CH.0入力
P01 AIN1	63	B1	I	LVC MOS	–	P01: 入力ポート(デフォルト) AIN1: A/D変換器CH.1入力
P02 AIN2	62	C2	I	LVC MOS	–	P02: 入力ポート(デフォルト) AIN2: A/D変換器CH.2入力
P03 AIN3	61	C1	I	LVC MOS	–	P03: 入力ポート(デフォルト) AIN3: A/D変換器CH.3入力
P10 SPI_SDI0	1	A1	I/o	LVC MOS	–	P10: 入出力ポート(デフォルト) SPI_SDI0: SPI CH.0データ入力
P11 SPI_SDO0	3	A2	I/o	LVC MOS	–	P11: 入出力ポート(デフォルト) SPI_SDO0: SPI CH.0データ出力
P12 SPI_SCK0	4	B3	I/o	LVC MOS	–	P12: 入出力ポート(デフォルト) SPI_SCK0: SPI CH.0クロック入出力
P13 #SPI_SSI0 #SPI_SSI1 SPI_SDI0	5	A3	I/o	LVC MOS	–	P13: 入出力ポート(デフォルト) SPI_SSL0: SPI CH.0スレーブ選択信号出力 SPI_SSL1: SPI CH.1スレーブ選択信号出力 SPI_SDI0: SPI CH.0データ入力
P14 SPI_SDI1	8	A4	I/o	LVC MOS	–	P14: 入出力ポート(デフォルト) SPI_SDI1: SPI CH.1データ入力
P15 SPI_SDO1	9	B4	I/o	LVC MOS	–	P15: 入出力ポート(デフォルト) SPI_SDO1: SPI CH.1データ出力
P16 SPI_SCK1	10	C5	I/o	LVC MOS	–	P16: 入出力ポート(デフォルト) SPI_SCK1: SPI CH.1クロック入出力
P20	42	F4	I/o	LVC MOS	–	P20: 入出力ポート(デフォルト)
P21	43	G3	I/o	LVC MOS	–	P21: 入出力ポート(デフォルト)
P22	45	F3	I/o	LVC MOS	–	P22: 入出力ポート(デフォルト)
P23	46	G2	I/o	LVC MOS	–	P23: 入出力ポート(デフォルト)
P24	14	A6	I/o	LVC MOS	–	P24: 入出力ポート(デフォルト)
P25 #I2CS_RST	15	B6	I/o	LVC MOS	–	P25: 入出力ポート(デフォルト) #I2CS_RST: I ² Cスレーブバス解放要求入力
P26 I2CS_SDA	17	A7	I/o	LVC MOS	–	P26: 入出力ポート(デフォルト) I2CS_SDA: I ² Cスレーブデータ信号
P27 I2CS_SCL	18	B7	I/o	LVC MOS	–	P27: 入出力ポート(デフォルト) I2CS_SCL: I ² Cスレーブクロック入力
P30 TM0	21	C7	I/o	LVC MOS	–	P30: 入出力ポート(デフォルト) TM0: 16ビットMFT出力
P31 #I2CS_RST #TM0 #ADTRG	23	D6	I/o	LVC MOS	–	P31: 入出力ポート(デフォルト) #I2CS_RST: I ² Cスレーブバス解放要求入力 #TM0: 16ビットMFT反転出力 #ADTRG: A/D変換トリガ入力

I S1C17002の仕様: 端子説明

端子名	Pin No.		I/O	タイプ	PU/PD	機能
	TQFP	WCSP				
P32 WDT_CLK #WDT_NMI CMU_CLK	58	D2	I/o	LVC MOS	–	P32: 入出力ポート(デフォルト) WDT_CLK: ウォッチドッグタイマクロック出力 #WDT_NMI: ウォッチドッグタイマNMI信号出力 CMU_CLK: CMUクロック出力
P40 SIN0	51	F1	I/o	LVC MOS	–	P40: 入出力ポート(デフォルト) SIN0: UART(IrDA対応)CH.0データ入力
P41 SOUT0	52	E3	I/o	LVC MOS	–	P41: 入出力ポート(デフォルト) SOUT0: UART(IrDA対応)CH.0データ出力
P42 #SCLK0 EXCL0	53	E2	I/o	LVC MOS	–	P42: 入出力ポート(デフォルト) #SCLK0: UART(IrDA対応)CH.0クロック入出力 EXCL0: 16ビットMFTイベントカウンタ入力
P43 I2CS_SDA REMC_IN PWMPRT0	11	A5	I/o	LVC MOS	–	P43: 入出力ポート(デフォルト) I2CS_SDA: I ² Cスレーブデータ信号 REMC_IN: リモートコントローラ受信入力 PWMPRT0: 16ビットMFTポートプロテクション信号入力
P44 I2CS_SCL REMC_OUT	12	B5	I/o	LVC MOS	–	P44: 入出力ポート(デフォルト) I2CS_SCL: I ² Cスレーブクロック入力 REMC_OUT: リモートコントローラ送信出力
P50 I2CM_SDA EXCL0	54	E1	I/o	LVC MOS	–	P50: 入出力ポート(デフォルト) I2CM_SDA: I ² Cマスタデータ信号 EXCL0: 16ビットMFTイベントカウンタ入力
P51 I2CM_SCL	57	D1	I/o	LVC MOS	–	P51: 入出力ポート(デフォルト) I2CM_SCL: I ² Cマスタクロック出力
P52 REMC_IN #TMO	30	F7	I/o	LVC MOS	–	P52: 入出力ポート(デフォルト) REMC_IN: リモートコントローラ受信入力 #TMO: 16ビットMFT反転出力
P53 REMC_OUT	31	F6	I/o	LVC MOS	–	P53: 入出力ポート(デフォルト) REMC_OUT: リモートコントローラ送信出力

表I.3.2.4 その他

端子名	Pin No.		I/O	タイプ	PU/PD	機能
	TQFP	WCSP				
#RESET	49	G1	I	LVC MOS	100k PU	リセット入力(ノイズフィルタ付き)
DCLK P35	29	E5	i/O	LVC MOS	–	DCLK: DCLK(デバッグ用SIOクロック)信号出力(デフォルト) P35: 入出力ポート
DSIO P36	26	E7	I/o	LVC MOS	100k PU	DSIO: DSIO(デバッグ用SIO)端子(ノイズフィルタ付き) (デフォルト) P36: 入出力ポート
DST2 P37	24	D7	i/O	LVC MOS	–	DST2: DST2(デバッグステータス)信号出力(デフォルト) P37: 入出力ポート
TEST	28	E6	I	–	50k PD	テスト用入力(通常動作時はV _{SS} に固定)

注: • 端子名の#は、入出力する信号がアクティブLowであることを示します。

- 太字で記載されている端子名は、デフォルト設定の端子(信号)名です。
- 太字の大文字で記載されているI/Oはデフォルト設定の入出力方向です。
- “PU”はプルアップ、“PD”はプルダウンを表します。

I.3.3 マルチプレックス端子の機能切り換え

I

I.3.3.1 端子機能選択ビット

Pin

表I.3.3.1.1に示すとおり、各端子には1～4種類の機能が割り当てられています。

電源投入時やリセット時は、端子機能0に初期設定されます。それ以外の機能に使用する場合は、各端子に対応した端子機能選択ビットにデータを書き込んで使用する機能を選択してください。

表I.3.3.1.1 端子機能/機能選択ビット一覧

端子機能0	端子機能1	端子機能2	端子機能3	端子機能選択ビット
OSC3				
OSC4				
OSC1				
OSC2				
TEST				
#RESET				
DCLK	P35			CFP35[1:0] (D[3:2]/0x4427)
DSIO	P36			CFP36[1:0] (D[5:4]/0x4427)
DST2	P37			CFP37[1:0] (D[7:6]/0x4427)
P00	AIN0			CFP00[1:0] (D[1:0]/0x4420)
P01	AIN1			CFP01[1:0] (D[3:2]/0x4420)
P02	AIN2			CFP02[1:0] (D[5:4]/0x4420)
P03	AIN3			CFP03[1:0] (D[7:6]/0x4420)
P10	SPI_SDIO			CFP10[1:0] (D[1:0]/0x4422)
P11	SPI_SDO0			CFP11[1:0] (D[3:2]/0x4422)
P12	SPI_SCK0			CFP12[1:0] (D[5:4]/0x4422)
P13	#SPI_SSI0	#SPI_SSI1	SPI_SDIO	CFP13[1:0] (D[7:6]/0x4422)
P14	SPI_SDI1			CFP14[1:0] (D[1:0]/0x4423)
P15	SPI_SDO1			CFP15[1:0] (D[3:2]/0x4423)
P16	SPI_SCK1			CFP16[1:0] (D[5:4]/0x4423)
P20				
P21				
P22				
P23				
P24				
P25		#I2CS_RST		CFP25[1:0] (D[3:2]/0x4425)
P26		I2CS_SDA		CFP26[1:0] (D[5:4]/0x4425)
P27		I2CS_SCL		CFP27[1:0] (D[7:6]/0x4425)
P30	TM0			CFP30[1:0] (D[1:0]/0x4426)
P31	#I2CS_RST	#TM0	#ADTRG	CFP31[1:0] (D[3:2]/0x4426)
P32	WDT_CLK	#WDT_NMI	CMU_CLK	CFP32[1:0] (D[5:4]/0x4426)
P40	SIN0			CFP40[1:0] (D[1:0]/0x4428)
P41	SOUT0			CFP41[1:0] (D[3:2]/0x4428)
P42	#SCLK0	EXCL0		CFP42[1:0] (D[5:4]/0x4428)
P43	I2CS_SDA	REMC_IN	PWMPRT0	CFP43[1:0] (D[7:6]/0x4428)
P44	I2CS_SCL	REMC_OUT		CFP44[1:0] (D[1:0]/0x4429)
P50	I2CM_SDA	EXCL0		CFP50[1:0] (D[1:0]/0x442a)
P51	I2CM_SCL			CFP51[1:0] (D[3:2]/0x442a)
P52	REMC_IN	#TM0		CFP52[1:0] (D[5:4]/0x442a)
P53	REMC_OUT			CFP53[1:0] (D[7:6]/0x442a)

* 端子機能選択ビットの設定値0～3が端子機能0～3に対応します。

I.3.3.2 ポート機能選択レジスタ一覧

表I.3.3.2.1 ポート機能選択レジスタ一覧

アドレス	レジスタ名		機能
0x4420	P0_03_CFP	P00~P03 Port Function Select Register	P00~P03ポート機能の選択
0x4422	P1_03_CFP	P10~P13 Port Function Select Register	P10~P13ポート機能の選択
0x4423	P1_46_CFP	P14~P16 Port Function Select Register	P14~P16ポート機能の選択
0x4425	P2_57_CFP	P25~P27 Port Function Select Register	P25~P27ポート機能の選択
0x4426	P3_02_CFP	P30~P32 Port Function Select Register	P30~P32ポート機能の選択
0x4427	P3_57_CFP	P35~P37 Port Function Select Register	P35~P37ポート機能の選択
0x4428	P4_03_CFP	P40~P43 Port Function Select Register	P40~P43ポート機能の選択
0x4429	P4_4_CFP	P44 Port Function Select Register	P44ポート機能の選択
0x442a	P5_03_CFP	P50~P53 Port Function Select Register	P50~P53ポート機能の選択

以下にポート機能選択レジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x4420: P00–P03 Port Function Select Register (P0_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P00–P03 Port Function Select Register (P0_03_CFP)	0x4420 (8 bits)	D7–6	CFP03[1:0]	P03 port function select	CFP03[1:0]	Function	0x0	R/W	
					0x3–0x2 0x1 0x0	reserved AIN3 P03			
		D5–4	CFP02[1:0]	P02 port function select	CFP02[1:0]	Function	0x0	R/W	
					0x3–0x2 0x1 0x0	reserved AIN2 P02			
		D3–2	CFP01[1:0]	P01 port function select	CFP01[1:0]	Function	0x0	R/W	
					0x3–0x2 0x1 0x0	reserved AIN1 P01			
		D1–0	CFP00[1:0]	P00 port function select	CFP00[1:0]	Function	0x0	R/W	
					0x3–0x2 0x1 0x0	reserved AIN0 P00			

P00～P03ポートの機能を選択します。

D[7:6] CFP03[1:0]: P03 Port Function Select Bits

11 (R/W): Reserved
 10 (R/W): Reserved
 01 (R/W): AIN3
 00 (R/W): P03入力ポート(デフォルト)

D[5:4] CFP02[1:0]: P02 Port Function Select Bits

11 (R/W): Reserved
 10 (R/W): Reserved
 01 (R/W): AIN2
 00 (R/W): P02入力ポート(デフォルト)

D[3:2] CFP01[1:0]: P01 Port Function Select Bits

11 (R/W): Reserved
 10 (R/W): Reserved
 01 (R/W): AIN1
 00 (R/W): P01入力ポート(デフォルト)

D[1:0] CFP00[1:0]: P00 Port Function Select Bits

11 (R/W): Reserved
 10 (R/W): Reserved
 01 (R/W): AIN0
 00 (R/W): P00入力ポート(デフォルト)

0x4422: P10–P13 Port Function Select Register (P1_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P10–P13 Port Function Select Register (P1_03_CFP)	0x4422 (8 bits)	D7–6	CFP13[1:0]	P13 port function select	CFP13[1:0]	Function	0x0	R/W	
					0x3	SPI_SDIO			
					0x2	#SPI_SSI1			
					0x1	#SPI_SSI0			
					0x0	P13			
		D5–4	CFP12[1:0]	P12 port function select	CFP12[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	SPI_SCK0			
					0x0	P12			
		D3–2	CFP11[1:0]	P11 port function select	CFP11[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	SPI_SDO0			
					0x0	P11			
		D1–0	CFP10[1:0]	P10 port function select	CFP10[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
					0x1	SPI_SDIO			
					0x0	P10			

P10～P13ポートの機能を選択します。

D[7:6] CFP13[1:0]: P13 Port Function Select Bits

11 (R/W): SPI_SDIO

10 (R/W): #SPI_SSI1

01 (R/W): #SPI_SSI0

00 (R/W): P13入出力ポート (デフォルト)

D[5:4] CFP12[1:0]: P12 Port Function Select Bits

11 (R/W): Reserved

10 (R/W): Reserved

01 (R/W): SPI_SCK0

00 (R/W): P12入出力ポート (デフォルト)

D[3:2] CFP11[1:0]: P11 Port Function Select Bits

11 (R/W): Reserved

10 (R/W): Reserved

01 (R/W): SPI_SDO0

00 (R/W): P11入出力ポート (デフォルト)

D[1:0] CFP10[1:0]: P10 Port Function Select Bits

11 (R/W): Reserved

10 (R/W): Reserved

01 (R/W): SPI_SDIO

00 (R/W): P10入出力ポート (デフォルト)

0x4423: P14–P16 Port Function Select Register (P1_46_CFP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P14–P16 Port Function Select Register (P1_46_CFP)	0x4423 (8 bits)	D7–6	–	reserved	–	–	–	0 when being read.
		D5–4	CFP16[1:0]	P16 port function select	CFP16[1:0]	Function	0x0	R/W
					0x3–0x2	reserved		
					0x1	SPI_SCK1		
		D3–2	CFP15[1:0]	P15 port function select	CFP15[1:0]	Function	0x0	R/W
					0x3–0x2	reserved		
					0x1	SPI_SDO1		
		D1–0	CFP14[1:0]	P14 port function select	CFP14[1:0]	Function	0x0	R/W
					0x3–0x2	reserved		
					0x1	SPI_SDI1		
					0x0	P14		

P14～P16ポートの機能を選択します。

D[7:6] Reserved**D[5:4] CFP16[1:0]: P16 Port Function Select Bits**

11 (R/W): Reserved

10 (R/W): Reserved

01 (R/W): SPI_SCK1

00 (R/W): P16入出力ポート(デフォルト)

D[3:2] CFP15[1:0]: P15 Port Function Select Bits

11 (R/W): Reserved

10 (R/W): Reserved

01 (R/W): SPI_SDO1

00 (R/W): P15入出力ポート(デフォルト)

D[1:0] CFP14[1:0]: P14 Port Function Select Bits

11 (R/W): Reserved

10 (R/W): Reserved

01 (R/W): SPI_SDI1

00 (R/W): P14入出力ポート(デフォルト)

0x4425: P25–P27 Port Function Select Register (P2_57_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P25–P27 Port Function Select Register (P2_57_CFP)	0x4425 (8 bits)	D7–6	CFP27[1:0]	P27 port function select	CFP27[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	I2CS_SCL			
					0x1	reserved			
		D5–4	CFP26[1:0]	P26 port function select	CFP26[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	I2CS_SDA			
					0x1	reserved			
		D3–2	CFP25[1:0]	P25 port function select	CFP25[1:0]	Function	0x0	R/W	
					0x3	reserved			
0x2	#I2CS_RST								
0x1	reserved								
D1–0	–	reserved	–	–	–	–			
			–	–					

P25～P27ポートの機能を選択します。

D[7:6] CFP27[1:0]: P27 Port Function Select Bits

- 11 (R/W): Reserved
- 10 (R/W): I2CS_SCL
- 01 (R/W): Reserved
- 00 (R/W): P27入出力ポート(デフォルト)

D[5:4] CFP26[1:0]: P26 Port Function Select Bits

- 11 (R/W): Reserved
- 10 (R/W): I2CS_SDA
- 01 (R/W): Reserved
- 00 (R/W): P26入出力ポート(デフォルト)

D[3:2] CFP25[1:0]: P25 Port Function Select Bits

- 11 (R/W): Reserved
- 10 (R/W): #I2CS_RST
- 01 (R/W): Reserved
- 00 (R/W): P25入出力ポート(デフォルト)

D[1:0] Reserved

0x4426: P30–P32 Port Function Select Register (P3_02_CFP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P30–P32 Port Function Select Register (P3_02_CFP)	0x4426 (8 bits)	D7–6	–	reserved	–	–	–	0 when being read.
		D5–4	CFP32[1:0]	P32 port function select	CFP32[1:0]	Function	0x0	R/W
					0x3	CMU_CLK		
					0x2	#WDT_NMI		
					0x1	WDT_CLK		
					0x0	P32		
		D3–2	CFP31[1:0]	P31 port function select	CFP31[1:0]	Function	0x0	R/W
					0x3	#ADTRG		
					0x2	#TM0		
					0x1	#I2CS_RST		
					0x0	P31		
		D1–0	CFP30[1:0]	P30 port function select	CFP30[1:0]	Function	0x0	R/W
					0x3–0x2	reserved		
					0x1	TM0		
					0x0	P30		

P30～P32ポートの機能を選択します。

D[7:6] Reserved**D[5:4] CFP32[1:0]: P32 Port Function Select Bits**

11 (R/W): CMU_CLK

10 (R/W): #WDT_NMI

01 (R/W): WDT_CLK

00 (R/W): P32入出力ポート(デフォルト)

D[3:2] CFP31[1:0]: P31 Port Function Select Bits

11 (R/W): #ADTRG

10 (R/W): #TM0

01 (R/W): #I2CS_RST

00 (R/W): P31入出力ポート(デフォルト)

D[1:0] CFP30[1:0]: P30 Port Function Select Bits

11 (R/W): Reserved

10 (R/W): Reserved

01 (R/W): TM0

00 (R/W): P30入出力ポート(デフォルト)

0x4427: P35–P37 Port Function Select Register (P3_57_CFP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P35–P37 Port Function Select Register (P3_57_CFP)	0x4427 (8 bits)	D7–6	CFP37[1:0]	P37 port function select	CFP37[1:0]	Function	0x0	R/W
					0x3–0x2	reserved		
					0x1	P37		
					0x0	DST2		
		D5–4	CFP36[1:0]	P36 port function select	CFP36[1:0]	Function	0x0	R/W
					0x3–0x2	reserved		
					0x1	P36		
		D3–2	CFP35[1:0]	P35 port function select	CFP35[1:0]	Function	0x0	R/W
					0x3–0x2	reserved		
					0x1	P35		
					0x0	DCLK		
		D1–0	–	reserved	–	–	–	0 when being read.

P35～P37ポートの機能を選択します。

D[7:6] CFP37[1:0]: P37 Port Function Select Bits

11(R/W): Reserved

10(R/W): Reserved

01(R/W): P37入出力ポート

00(R/W): DST2(デフォルト)

D[5:4] CFP36[1:0]: P36 Port Function Select Bits

11(R/W): Reserved

10(R/W): Reserved

01(R/W): P36入出力ポート

00(R/W): DSIO(デフォルト)

D[3:2] CFP35[1:0]: P35 Port Function Select Bits

11(R/W): Reserved

10(R/W): Reserved

01(R/W): P35入出力ポート

00(R/W): DCLK(デフォルト)

D[1:0] Reserved

0x4428: P40–P43 Port Function Select Register (P4_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P40–P43 Port Function Select Register (P4_03_CFP)	0x4428 (8 bits)	D7–6	CFP43[1:0]	P43 port function select	CFP43[1:0]	Function	0x0	R/W	
					0x3	PWMPRT0			
					0x2	REMC_IN			
					0x1	I2CS_SDA			
					0x0	P43			
		D5–4	CFP42[1:0]	P42 port function select	CFP42[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	EXCL0			
					0x1	#SCLK0			
					0x0	P42			
		D3–2	CFP41[1:0]	P41 port function select	CFP41[1:0]	Function	0x0	R/W	
					0x3–0x2	reserved			
0x1	SOUT0								
0x0	P41								
D1–0	CFP40[1:0]	P40 port function select	CFP40[1:0]	Function	0x0	R/W			
			0x3–0x2	reserved					
			0x1	SIN0					
					0x0				

P40～P43ポートの機能を選択します。

D[7:6] CFP43[1:0]: P43 Port Function Select Bits

11 (R/W): PWMPRT0
 10 (R/W): REMC_IN
 01 (R/W): I2CS_SDA
 00 (R/W): P43入出力ポート(デフォルト)

D[5:4] CFP42[1:0]: P42 Port Function Select Bits

11 (R/W): Reserved
 10 (R/W): EXCL0
 01 (R/W): #SCLK0
 00 (R/W): P42入出力ポート(デフォルト)

D[3:2] CFP41[1:0]: P41 Port Function Select Bits

11 (R/W): Reserved
 10 (R/W): Reserved
 01 (R/W): SOUT0
 00 (R/W): P41入出力ポート(デフォルト)

D[1:0] CFP40[1:0]: P40 Port Function Select Bits

11 (R/W): Reserved
 10 (R/W): Reserved
 01 (R/W): SIN0
 00 (R/W): P40入出力ポート(デフォルト)

0x4429: P44 Port Function Select Register (P4_4_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P44 Port Function Select Register (P4_4_CFP)	0x4429 (8 bits)	D7–2	–	reserved	–		–	–	0 when being read.
		D1–0	CFP44[1:0]	P44 port function select	CFP44[1:0]	Function	0x0	R/W	
					0x3	reserved			
					0x2	REMC_OUT			
					0x1	I2CS_SCL			
					0x0	P44			

P44ポートの機能を選択します。

D[7:2] Reserved

D[1:0] CFP44[1:0]: P44 Port Function Select Bits

- 11(R/W): Reserved
- 10(R/W): REMC_OUT
- 01(R/W): I2CS_SCL
- 00(R/W): P44入出力ポート(デフォルト)

0x442a: P50–P53 Port Function Select Register (P5_03_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P50–P53 Port Function Select Register (P5_03_CFP)	0x442a (8 bits)	D7–6	CFP53[1:0]	P53 port function select	CFP53[1:0]	Function	0x0	R/W	
					0x3–0x2 0x1 0x0	reserved REMC_OUT P53			
		D5–4	CFP52[1:0]	P52 port function select	CFP52[1:0]	Function	0x0	R/W	
					0x3 0x2 0x1 0x0	reserved #TM0 REMC_IN P52			
		D3–2	CFP51[1:0]	P51 port function select	CFP51[1:0]	Function	0x0	R/W	
					0x3–0x2 0x1 0x0	reserved I2CM_SCL P51			
		D1–0	CFP50[1:0]	P50 port function select	CFP50[1:0]	Function	0x0	R/W	
					0x3 0x2 0x1 0x0	reserved EXCL0 I2CM_SDA P50			

P50～P53ポートの機能を選択します。

D[7:6] CFP53[1:0]: P53 Port Function Select Bits

11 (R/W): Reserved
 10 (R/W): Reserved
 01 (R/W): REMC_OUT
 00 (R/W): P53入出力ポート(デフォルト)

D[5:4] CFP52[1:0]: P52 Port Function Select Bits

11 (R/W): Reserved
 10 (R/W): #TM0
 01 (R/W): REMC_IN
 00 (R/W): P52入出力ポート(デフォルト)

D[3:2] CFP51[1:0]: P51 Port Function Select Bits

11 (R/W): Reserved
 10 (R/W): Reserved
 01 (R/W): I2CM_SCL
 00 (R/W): P51入出力ポート(デフォルト)

D[1:0] CFP50[1:0]: P50 Port Function Select Bits

11 (R/W): Reserved
 10 (R/W): EXCL0
 01 (R/W): I2CM_SDA
 00 (R/W): P50入出力ポート(デフォルト)

I.3.4 入出力セルと入出力特性

表I.3.4.1 端子特性

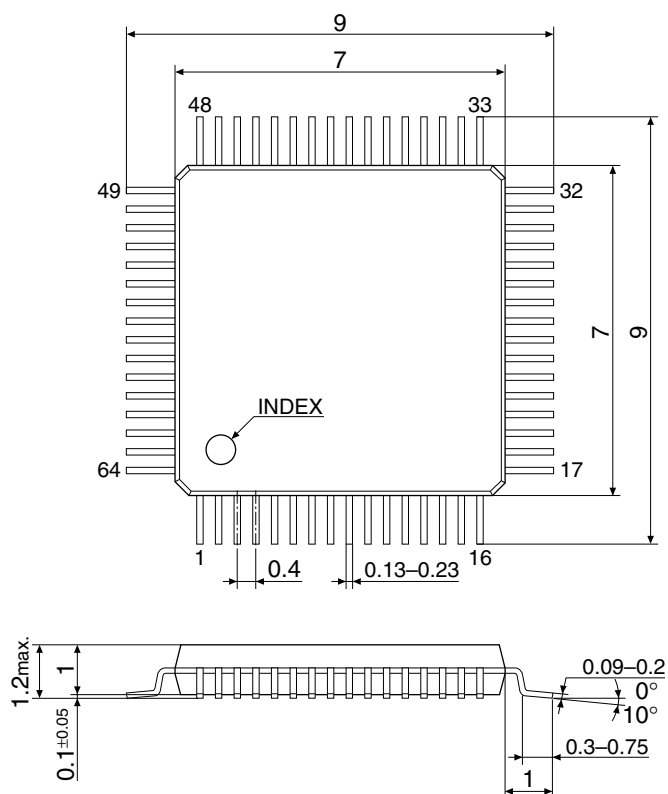
端子名	I/O	I/Oセル名	入力レベル	I _{OH} /I _{OL} *2	プルアップ/ダウン
OSC3 *1	I	LLINY	—	—	—
OSC4	O	LLOTY	—	—	—
OSC1 *1	I	LLINY	—	—	—
OSC2	O	LLOTY	—	—	—
TEST	I	LITST1Y	—	—	50kプルダウン
#RESET	I	HIBCP1TY	LVC MOS	—	100kプルアップ
DCLK (P35)	I/O	HBBC1BTY	LVC MOS	1mA	—
DSIO (P36)	I/O	HBBC1BP1TY	LVC MOS	1mA	100kプルアップ
DST2 (P37)	I/O	HBBC1BTY	LVC MOS	1mA	—
P00 (AIN0)	I	HIBASP2TY	LVC MOS	—	—
P01 (AIN1)	I	HIBASP2TY	LVC MOS	—	—
P02 (AIN2)	I	HIBASP2TY	LVC MOS	—	—
P03 (AIN3)	I	HIBASP2TY	LVC MOS	—	—
P10 (SPI_SDI0)	I/O	HBBC1BTY	LVC MOS	1mA	—
P11 (SPI_SDO0)	I/O	HBBC1BTY	LVC MOS	1mA	—
P12 (SPI_SCK0)	I/O	HBBC1BTY	LVC MOS	1mA	—
P13 (#SPI_SSI0/#SPI_SSI1/SPI_SDI0)	I/O	HBBC1BTY	LVC MOS	1mA	—
P14 (SPI_SDI1)	I/O	HBBC1BTY	LVC MOS	1mA	—
P15 (SPI_SDO1)	I/O	HBBC1BTY	LVC MOS	1mA	—
P16 (SPI_SCK1)	I/O	HBBC1BTY	LVC MOS	1mA	—
P20	I/O	HBBC1BTY	LVC MOS	1mA	—
P21	I/O	HBBC1BTY	LVC MOS	1mA	—
P22	I/O	HBBC1BTY	LVC MOS	1mA	—
P23	I/O	HBBC1BTY	LVC MOS	1mA	—
P24	I/O	HBBC1BTY	LVC MOS	1mA	—
P25 (#I2CS_RST)	I/O	HBBC1BTY	LVC MOS	1mA	—
P26 (I2CS_SDA)	I/O	HBBC1BTY	LVC MOS	1mA	—
P27 (I2CS_SCL)	I/O	HBBC1BTY	LVC MOS	1mA	—
P30 (TM0)	I/O	HBBC1BTY	LVC MOS	1mA	—
P31 (#I2CS_RST/#TM0/#ADTRG)	I/O	HBBC1BTY	LVC MOS	1mA	—
P32 (WDT_CLK/#WDT_NMI/CMU_CLK)	I/O	HBBC1BTY	LVC MOS	1mA	—
P40 (SIN0)	I/O	HBBC1BTY	LVC MOS	1mA	—
P41 (SOUT0)	I/O	HBBC1BTY	LVC MOS	1mA	—
P42 (#SCLK0/EXCL0)	I/O	HBBC1BTY	LVC MOS	1mA	—
P43 (I2CS_SDA/REMC_IN/PWMPRT0)	I/O	HBBC1BTY	LVC MOS	1mA	—
P44 (I2CS_SCL/REMC_OUT)	I/O	HBBC1BTY	LVC MOS	1mA	—
P50 (I2CM_SDA/EXCL0)	I/O	HBBC1BTY	LVC MOS	1mA	—
P51 (I2CM_SCL)	I/O	HBBC1BTY	LVC MOS	1mA	—
P52 (REMC_IN/#TM0)	I/O	HBBC1BTY	LVC MOS	1mA	—
P53 (REMC_OUT)	I/O	HBBC1BTY	LVC MOS	1mA	—

*1: 入力電圧 (max.) = LV_{DD} (1.65~1.95V)*2: HV_{DD} = 3.3Vの場合

1.3.5 パッケージ

I.3.5.1 TQFP12-64pinパッケージ

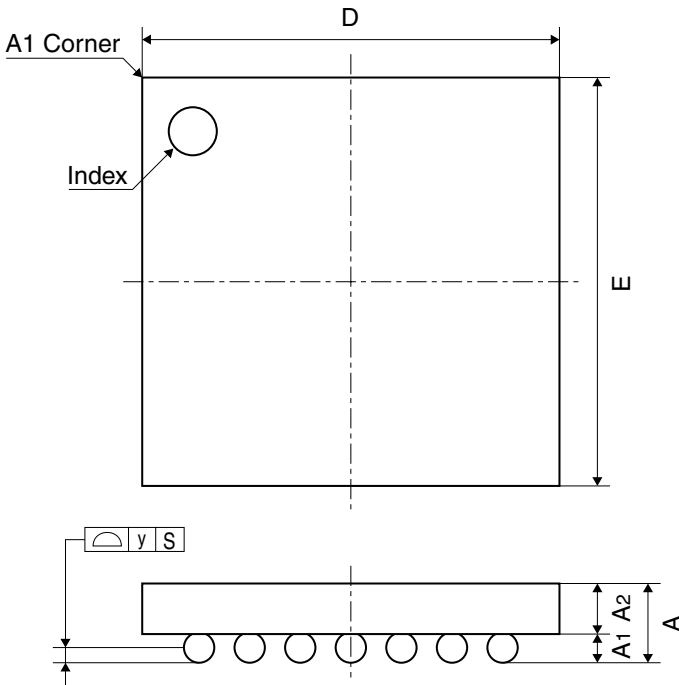
(単位: mm)



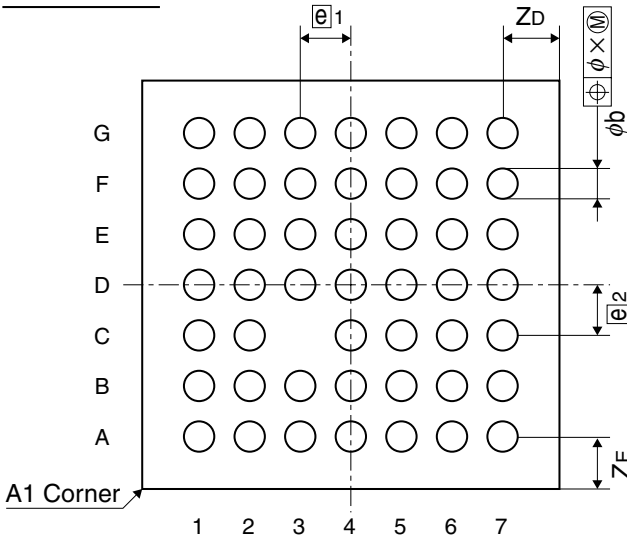
図I.3.5.1.1 TQFP12-64pinパッケージ寸法

I.3.5.2 WCSP-48パッケージ

Top View



Bottom View



Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	3.024	3.124	3.224
E	3.024	3.124	3.224
A	—	—	0.78
A1	—	0.23	—
A2	—	0.49	—
e1	—	0.40	—
e2	—	0.40	—
b	0.23	0.26	0.29
X	—	—	0.08
y	—	—	0.05
ZD	—	0.362	—
ZE	—	0.362	—

図I.3.5.2.1 WCSP-48パッケージ寸法

I.3.5.3 パッケージの熱抵抗

LSIは消費電力に従ってチップ温度が上昇します。パッケージに搭載された状態のチップ温度はその周辺温度 T_a 、パッケージの熱抵抗 θ および消費電力 P_D から計算できます。

$$\text{チップ温度}(T_j) = T_a + (P_D \times \theta) [^\circ\text{C}]$$

通常の使用においては、チップ温度(T_j)は125°C以下で使用してください。

1. 基板実装状態(無風状態)

$$\text{熱抵抗}(\theta_{j-a}) = 33.3^\circ\text{C/W}$$

この値は測定用基板(サイズ: 114 × 76 × 1.6mm t、FR4/4層基板)に実装し、無風状態で測定した熱抵抗です。

2. 単体宙づり状態(無風状態)

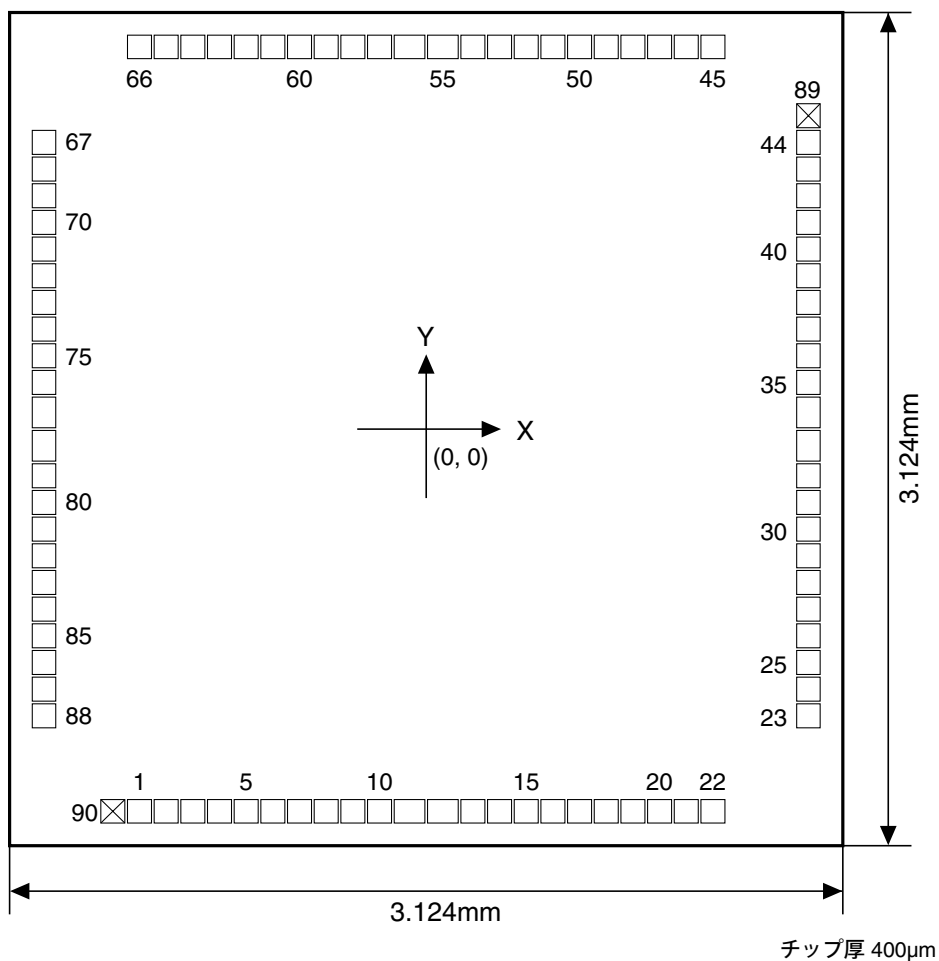
$$\text{熱抵抗} = 90 \sim 100^\circ\text{C/W}$$

この値はサンプルが宙づりされた無風状態での熱抵抗です。

注: 熱抵抗は基板への実装状態や強制空冷の有無によって大きく変動します。

I.3.6 パッド配置

I.3.6.1 パッド配置図



I.3.6.2 パッド座標

表I.3.6.2 パッド座標

(単位: μm)

PAD No.	PAD名	PAD座標		PAD開口サイズ		PAD No.	PAD名	PAD座標		PAD開口サイズ	
		X	Y	X	Y			X	Y	X	Y
1	P10 (SPI_SDI0)	-1075	-1433	90	88	45	N.C.	1075	1433	90	88
2	Vss	-975	-1433	90	88	46	OSC1	975	1433	90	88
3	Vss	-875	-1433	90	88	47	Vss	875	1433	90	88
4	P11 (SPI_SDO0)	-775	-1433	90	88	48	Vss	775	1433	90	88
5	N.C.	-675	-1433	90	88	49	OSC2	675	1433	90	88
6	P12 (SPI_SCK0)	-575	-1433	90	88	50	N.C.	575	1433	90	88
7	P13 (#SPI_SSIO/#SPI_SSI1/SPI_SDI0)	-475	-1433	90	88	51	Vss	475	1433	90	88
8	LVDD	-375	-1433	90	88	52	OSC3	375	1433	90	88
9	LVDD	-275	-1433	90	88	53	N.C.	275	1433	90	88
10	HVDD	-175	-1433	90	88	54	Vss	175	1433	90	88
11	HVDD	-62.5	-1433	115	88	55	OSC4	62.5	1433	115	88
12	P14 (SPI_SDI1)	62.5	-1433	115	88	56	Vss	-62.5	1433	115	88
13	P15 (SPI_SDO1)	175	-1433	90	88	57	N.C.	-175	1433	90	88
14	P16 (SPI_SCK1)	275	-1433	90	88	58	P20	-275	1433	90	88
15	P43 (I2CS_SDA/REMC_IN/PWMPRT0)	375	-1433	90	88	59	P21	-375	1433	90	88
16	P44 (I2CS_SCL/REMC_OUT)	475	-1433	90	88	60	HVDD	-475	1433	90	88
17	HVDD	575	-1433	90	88	61	P22	-575	1433	90	88
18	P24	675	-1433	90	88	62	P23	-675	1433	90	88
19	P25 (#I2CS_RST)	775	-1433	90	88	63	N.C.	-775	1433	90	88
20	Vss	875	-1433	90	88	64	LVDD	-875	1433	90	88
21	Vss	975	-1433	90	88	65	N.C.	-975	1433	90	88
22	N.C.	1075	-1433	90	88	66	N.C.	-1075	1433	90	88
23	N.C.	1433	-1075	88	90	67	#RESET	-1433	1075	88	90
24	P26 (I2CS_SDA)	1433	-975	88	90	68	N.C.	-1433	975	88	90
25	N.C.	1433	-875	88	90	69	LVDD	-1433	875	88	90
26	P27 (I2CS_SCL)	1433	-775	88	90	70	LVDD	-1433	775	88	90
27	Vss	1433	-675	88	90	71	P40 (SIN0)	-1433	675	88	90
28	Vss	1433	-575	88	90	72	P41 (SOUT0)	-1433	575	88	90
29	HVDD	1433	-475	88	90	73	P42 (#SCLK0/EXCL0)	-1433	475	88	90
30	P30 (TM0)	1433	-375	88	90	74	P50 (I2CM_SDA/EXCL0)	-1433	375	88	90
31	LVDD	1433	-275	88	90	75	HVDD	-1433	275	88	90
32	P31 (#I2CS_RST/#TM0/#ADTRG)	1433	-175	88	90	76	Vss	-1433	175	88	90
33	DST2 (P37)	1433	-62.5	88	115	77	P51 (I2CM_SCL)	-1433	62.5	88	115
34	LVDD	1433	62.5	88	115	78	Vss	-1433	-62.5	88	115
35	LVDD	1433	175	88	90	79	P32 (WDT_CLK/#WDT_NMI/CMU_CLK)	-1433	-175	88	90
36	DSIO (P36)	1433	275	88	90	80	AVDD	-1433	-275	88	90
37	N.C.	1433	375	88	90	81	N.C.	-1433	-375	88	90
38	TEST0	1433	475	88	90	82	AVDD	-1433	-475	88	90
39	DCLK (P35)	1433	575	88	90	83	P03 (AIN3)	-1433	-575	88	90
40	P52 (REMC_IN/#TM0)	1433	675	88	90	84	P02 (AIN2)	-1433	-675	88	90
41	N.C.	1433	775	88	90	85	AVDD	-1433	-775	88	90
42	P53 (REMC_OUT)	1433	875	88	90	86	P01 (AIN1)	-1433	-875	88	90
43	Vss	1433	975	88	90	87	P00 (AIN0)	-1433	-975	88	90
44	Vss	1433	1075	88	90	88	N.C.	-1433	-1075	88	90
-	-	-	-	-	-	89	(Test pad)	1433	1175	88	90
-	-	-	-	-	-	90	(Test pad)	-1433	-1175	88	90

Pin

このページはブランクです。

I.4 電源

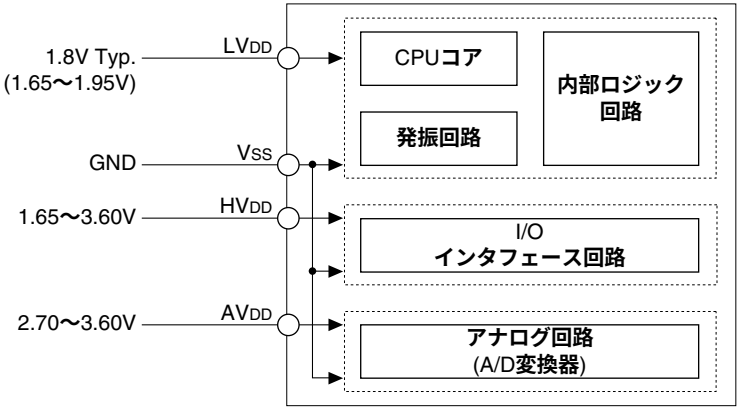
ここではS1C17002の動作電圧について説明します。

I.4.1 電源端子

S1C17002の電源端子を表I.4.1.1に示します。

表I.4.1.1 電源端子

端子名	Pin No.		I/O	タイプ	PU/PD	機能
	TQFP	WCSP				
HVDD	7, 13, 20, 44, 55	C4, E4	–	3.3V	–	I/O電源(+)(1.8V/2.5V/3.3V)
LVDD	6, 22, 25, 48, 50	D5, F2	–	1.8V	–	コア電源(+)(1.8V)
VSS	2, 16, 19, 32, 34, 36, 39, 41, 56	D4, C6, F5	–	GND	–	GND
AVDD	60	D3	–	3.3V	–	アナログ用電源(3.0V/3.3V)



図I.4.1.1 電源系

I.4.2 動作電圧 (LV_{DD}, V_{SS})

S1C17002のコアCPUおよび内部ロジック回路は、LV_{DD}～V_{SS}間に供給される電源電圧によって動作します。この動作電圧は、次のとおりです。

LV_{DD} = 1.65V～1.95V (1.80V ± 0.15V、V_{SS} = GND)

注: S1C17002のTQFPパッケージは5本のLV_{DD}端子と9本のV_{SS}端子を持っています。WCSPパッケージは2本のLV_{DD}端子と3本のV_{SS}端子を持っています。これらすべての端子を電源に接続し、開放しないでください。

I.4.3 I/Oインタフェース電源 (HV_{DD})

HV_{DD}電圧は外部信号とのインタフェースに使用します。S1C17002の出力インタフェースレベルは、HighレベルがHV_{DD}、LowレベルがV_{SS}となります。GNDレベルにはLV_{DD}端子と共通のV_{SS}端子を使用します。HV_{DD}には次の電圧が使用可能です。

HV_{DD} = 1.65V～3.60V (V_{SS} = GND)

注: • S1C17002のTQFPパッケージは5本、WCSPパッケージは2本のHV_{DD}端子を持っています。これらすべての端子を電源に接続し、開放しないでください。

- OSC3、OSC1端子に外部クロックを入力する場合、クロックの電圧レベルはLV_{DD}としてください。

I.4.4 アナログ回路用電源 (AV_{DD})

内蔵のアナログ回路(A/D変換器)がデジタル回路の影響を受けないように、LV_{DD}端子、HV_{DD}端子とは別にアナログ回路用の電源端子(AV_{DD})が設けられています。

アナログ回路の電源電圧はAV_{DD}端子に供給し、V_{SS}端子をGNDレベルとしてください。

AV_{DD}には次の電圧が使用可能です。

AV_{DD} = 2.70V～3.60Vまたは1.65V～3.60V^(注) (V_{SS} = GND)

注: • アナログ回路を使用しない場合でも、AV_{DD}端子には必ず1.65～3.60Vの電圧を供給してください。HV_{DD}と同電位である必要はありません。

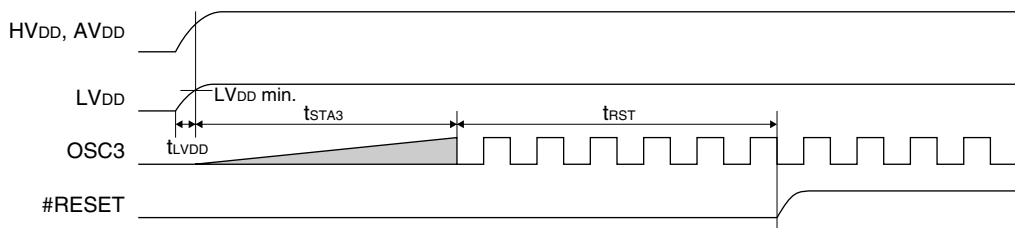
- ADC未使用かつ、P0x端子をアナログ入力ではなくデジタル信号の入力端子としてのみ使用する場合は、AV_{DD} = 1.65～3.60Vで使用可能です。ただし、入力するデジタル信号のHighレベルはAV_{DD}、LowレベルはGNDである必要があります。

アナログ電源ライン上のノイズはA/D変換精度に影響するため、使用する電源と基板パターンの作成には注意が必要です。

I.4.5 電源に関する注意事項

■パワーオンシーケンス

デバイスを正常に動作させるため、以下のタイミングを守って電源を投入してください。



図I.4.5.1 パワーオンシーケンス

- (1) t_{LVDD} : 電源投入時の電源が安定するまでの時間
下記の順序で電源を投入してください。
電源投入時: $LV_{DD} \rightarrow HV_{DD}$ (I/O), AV_{DD} (A/D) $\rightarrow$ 入力信号印加
または、 LV_{DD} , HV_{DD} (I/O), AV_{DD} (A/D) $\rightarrow$ 入力信号印加
(下記、"パワーオフシーケンスの注"参照)
- (2) t_{STA3} : OSC3発振開始時間
- (3) t_{RST} : 最小リセットパルス幅
チップに供給されるクロックが安定した状態から最低6クロックの期間、 $\#RESET$ 信号をLowに保持してください。

注: HV_{DD} をオフ状態からオン状態へ復帰させる場合、電源ノイズ等の影響により内部回路の状態を保証できません。したがって、電源投入後は必ず回路を初期化(リセット)してください。

■パワーオフシーケンス

下記の順序で電源を切断してください。

電源切断時: 入力信号オフ $\rightarrow HV_{DD}$ (I/O), AV_{DD} (A/D) $\rightarrow LV_{DD}$

または、入力信号オフ $\rightarrow HV_{DD}$ (I/O), AV_{DD} (A/D), LV_{DD} (下記の注を参照)

- 注:
- LV_{DD} だけが供給された状態になると、 $LV_{DD} \rightarrow HV_{DD}$ (AV_{DD})の経路でダイオードが形成され、 HV_{DD} (AV_{DD})電源に電流の回りこみが発生します。この状態を回避するには、すべての電源を同時に切断してください。
 - LV_{DD} が切断されている状態で HV_{DD} または AV_{DD} のみを継続的に(1秒以上)印加することは、絶対に避けてください。 HV_{DD} または AV_{DD} の貫通電流によりデバイスの破壊や特性劣化を引き起こす可能性があります。

■ラッチアップ

CMOS構造のデバイスは、ラッチアップと呼ばれる状態になることがあります。これは、CMOS ICが内蔵する寄生のPNPN接合(サイリスタ構造)が導通し、 $HV_{DD}-V_{SS}$ 間に大電流が流れて破壊に至る現象です。

ラッチアップは、入力・出力端子への電圧印加が定格を超えて、内部素子に大きな電流が流れた場合、あるいは HV_{DD} 端子の電圧が定格を超えて内部素子が降伏状態になったときに起こります。この場合、定格外の電圧印加が瞬間的なものであっても、一旦ラッチアップ状態になると $HV_{DD}-V_{SS}$ 間の大電流が保持され、発熱や発煙のおそれもあるため、次の点に注意してください。

- (1) 入出力端子の電圧レベルを電気的特性に指定された範囲を超えて電源電圧より上げない、または V_{SS} より下げないでください。電源投入時のタイミングも考慮してください。
- (2) 異常ノイズがデバイスに加わらないようにしてください。
- (3) 未使用の入力端子の電位を HV_{DD} 、 AV_{DD} または V_{SS} に固定してください。
- (4) 出力を短絡しないでください。

このページはブランクです。

I.5 CPU

S1C17002はコアプロセッサとしてS1C17コアを搭載しています。

S1C17コアはセイコーエプソンオリジナルの16ビットRISCプロセッサです。

低消費電力、高速動作、広いアドレス空間、主要命令の1クロック実行、省ゲート設計を特長とし、8ビットCPUがよく使われるコントローラやシーケンサ等への組み込み用に最適です。

S1C17コアの詳細については、“S1C17 Family S1C17コアマニュアル”を参照してください。

I.5.1 S1C17コアの特長

プロセッサ形式

- セイコーエプソンオリジナル16ビットRISCプロセッサ
- 0.35～0.15 μ m低電力CMOSプロセステクノロジー

命令セット

- コード長 16ビット固定長
- 命令数 基本命令111個(全184命令)
- 実行サイクル 主要命令は1サイクルで実行
- 即値拡張命令 即値を24ビットまで拡張
- Cによる開発用に最適化されたコンパクトかつ高速な命令セット

レジスタセット

- 24ビット汎用レジスタ×8
- 24ビット特殊レジスタ×2
- 8ビット特殊レジスタ×1

メモリ空間, バス

- 最大16Mバイトのメモリ空間(24ビットアドレス)
- 命令バス(16ビット)とデータバス(32ビット)を分離したハーバードアーキテクチャ

割り込み

- リセット、NMI、32種類の外部割り込みに対応
- アドレス不整割り込み
- デバッグ割り込み
- ベクタテーブルからベクタを読み込み、割り込み処理ルーチンへ直接分岐
- ベクタ番号によるソフトウェア割り込みを発生可能(全ベクタ番号を指定可能)

パワーセーブ

- HALT(halt命令)
- SLEEP(slp命令)

I.5.2 CPUレジスタ

S1C17コアは、8本の汎用レジスタおよび3本の特殊レジスタを内蔵しています。



図I.5.2.1 レジスタ

I.5.3 命令セット

S1C17コアの命令コードはすべて16ビットの固定長で、パイプライン処理を行うことによって主要な命令を1サイクルで実行します。各命令の詳細については“S1C17 Family S1C17コアマニュアル”を参照してください。

表I.5.3.1 S1C17コア命令一覧

CPU

種 類	ニーモニック	機 能
データ転送	ld.b	$\%rd, \%rs$ 汎用レジスタ(バイト) → 汎用レジスタ(符号拡張)
		$\%rd, [\%rb]$ メモリ(バイト) → 汎用レジスタ(符号拡張)
		$\%rd, [\%rb]+$ メモリアドレスのポストインクリメント、ポストデクリメント、
		$\%rd, [\%rb]-$ プリデクリメント機能を使用可能
		$\%rd, -[\%rb]$
		$\%rd, [\%sp+imm7]$ スタック(バイト) → 汎用レジスタ(符号拡張)
		$\%rd, [imm7]$ メモリ(バイト) → 汎用レジスタ(符号拡張)
		$[\%rb], \%rs$ 汎用レジスタ(バイト) → メモリ
		$[\%rb]+, \%rs$ メモリアドレスのポストインクリメント、ポストデクリメント、
		$[\%rb]-, \%rs$ プリデクリメント機能を使用可能
		$-[\%rb], \%rs$
		$[\%sp+imm7], \%rs$ 汎用レジスタ(バイト) → スタック
		$[imm7], \%rs$ 汎用レジスタ(バイト) → メモリ
	ld.ub	$\%rd, \%rs$ 汎用レジスタ(バイト) → 汎用レジスタ(ゼロ拡張)
		$\%rd, [\%rb]$ メモリ(バイト) → 汎用レジスタ(ゼロ拡張)
		$\%rd, [\%rb]+$ メモリアドレスのポストインクリメント、ポストデクリメント、
		$\%rd, [\%rb]-$ プリデクリメント機能を使用可能
		$\%rd, -[\%rb]$
		$\%rd, [\%sp+imm7]$ スタック(バイト) → 汎用レジスタ(ゼロ拡張)
	ld	$\%rd, [imm7]$ メモリ(バイト) → 汎用レジスタ(ゼロ拡張)
		$\%rd, \%rs$ 汎用レジスタ(16ビット) → 汎用レジスタ
		$\%rd, sign7$ 即値 → 汎用レジスタ(符号拡張)
		$\%rd, [\%rb]$ メモリ(16ビット) → 汎用レジスタ
		$\%rd, [\%rb]+$ メモリアドレスのポストインクリメント、ポストデクリメント、
		$\%rd, [\%rb]-$ プリデクリメント機能を使用可能
		$\%rd, -[\%rb]$
		$\%rd, [\%sp+imm7]$ スタック(16ビット) → 汎用レジスタ
		$\%rd, [imm7]$ メモリ(16ビット) → 汎用レジスタ
		$[\%rb], \%rs$ 汎用レジスタ(16ビット) → メモリ
		$[\%rb]+, \%rs$ メモリアドレスのポストインクリメント、ポストデクリメント、
		$[\%rb]-, \%rs$ プリデクリメント機能を使用可能
		$-[\%rb], \%rs$
		$[\%sp+imm7], \%rs$ 汎用レジスタ(16ビット) → スタック
		$[imm7], \%rs$ 汎用レジスタ(16ビット) → メモリ
	ld.a	$\%rd, \%rs$ 汎用レジスタ(24ビット) → 汎用レジスタ
		$\%rd, imm7$ 即値 → 汎用レジスタ(ゼロ拡張)
		$\%rd, [\%rb]$ メモリ(32ビット) → 汎用レジスタ (*1)
		$\%rd, [\%rb]+$ メモリアドレスのポストインクリメント、ポストデクリメント、
		$\%rd, [\%rb]-$ プリデクリメント機能を使用可能
		$\%rd, -[\%rb]$
		$\%rd, [\%sp+imm7]$ スタック(32ビット) → 汎用レジスタ (*1)
		$\%rd, [imm7]$ メモリ(32ビット) → 汎用レジスタ (*1)
		$[\%rb], \%rs$ 汎用レジスタ(32ビット、ゼロ拡張) → メモリ (*1)
		$[\%rb]+, \%rs$ メモリアドレスのポストインクリメント、ポストデクリメント、
		$[\%rb]-, \%rs$ プリデクリメント機能を使用可能
		$-[\%rb], \%rs$
		$[\%sp+imm7], \%rs$ 汎用レジスタ(32ビット、ゼロ拡張) → スタック (*1)
		$[imm7], \%rs$ 汎用レジスタ(32ビット、ゼロ拡張) → メモリ (*1)
		$\%rd, \%sp$ SP → 汎用レジスタ
		$\%rd, \%pc$ PC → 汎用レジスタ
		$\%rd, [\%sp]$ スタック(32ビット) → 汎用レジスタ (*1)
		$\%rd, [\%sp]+$ スタックポインタのポストインクリメント、ポストデクリメント、
		$\%rd, [\%sp]-$ プリデクリメント機能を使用可能
		$\%rd, -[\%sp]$

種 類	ニーモニック		機 能
データ転送	ld.a	[%sp], %rs	汎用レジスタ(32ビット、ゼロ拡張) → スタック (*1)
		[%sp] +, %rs	スタックポインタのポストインクリメント、ポストデクリメント、プリデクリメント機能を使用可能
		[%sp] -, %rs	
		-%sp], %rs	
		%sp, %rs	汎用レジスタ(24ビット) → SP
		%sp, imm7	即値 → SP
整数算術演算	add	%rd, %rs	汎用レジスタ間の16ビット加算
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	add/c		
	add/nc		
	add	%rd, imm7	汎用レジスタと即値の16ビット加算
	add.a	%rd, %rs	汎用レジスタ間の24ビット加算
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	add.a/c		
	add.a/nc		
	add.a	%sp, %rs	SPと汎用レジスタの24ビット加算
		%rd, imm7	汎用レジスタと即値の24ビット加算
		%sp, imm7	SPと即値の24ビット加算
	adc	%rd, %rs	汎用レジスタ間のキャリー付き16ビット加算
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	adc/c		
	adc/nc		
	adc	%rd, imm7	汎用レジスタと即値のキャリー付き16ビット加算
	sub	%rd, %rs	汎用レジスタ間の16ビット減算
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	sub/c		
	sub/nc		
	sub	%rd, imm7	汎用レジスタと即値の16ビット減算
	sub.a	%rd, %rs	汎用レジスタ間の24ビット減算
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	sub.a/c		
	sub.a/nc		
	sub.a	%sp, %rs	SPと汎用レジスタの24ビット減算
		%rd, imm7	汎用レジスタと即値の24ビット減算
		%sp, imm7	SPと即値の24ビット減算
	sbc	%rd, %rs	汎用レジスタ間のキャリー付き16ビット減算
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	sbc/c		
	sbc/nc		
	sbc	%rd, imm7	汎用レジスタと即値のキャリー付き16ビット減算
	cmp	%rd, %rs	汎用レジスタ間の16ビット比較
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	cmp/c		
	cmp/nc		
	cmp	%rd, sign7	汎用レジスタと即値の16ビット比較
	cmp.a	%rd, %rs	汎用レジスタ間の24ビット比較
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	cmp.a/c		
	cmp.a/nc		
	cmp.a	%rd, imm7	汎用レジスタと即値の24ビット比較
	cmc	%rd, %rs	汎用レジスタ間のキャリー付き16ビット比較
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	cmc/c		
	cmc/nc		
	cmc	%rd, sign7	汎用レジスタと即値のキャリー付き16ビット比較
論理演算	and	%rd, %rs	汎用レジスタ間の論理積
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	and/c		
	and/nc		
	and	%rd, sign7	汎用レジスタと即値の論理積
	or	%rd, %rs	汎用レジスタ間の論理和
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	or/c		
	or/nc		
	or	%rd, sign7	汎用レジスタと即値の論理和
	xor	%rd, %rs	汎用レジスタ間の排他的論理和
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	xor/c		
	xor/nc		
	xor	%rd, sign7	汎用レジスタと即値の排他的論理和
	not	%rd, %rs	汎用レジスタ間の論理否定(1の補数)
			条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	not/c		
	not/nc		
	not	%rd, sign7	汎用レジスタと即値の論理否定(1の補数)

種 類	ニーモニック		機 能
シフト&スワップ	sr	$\%rd, \%rs$	右論理シフト(レジスタによるシフトビット数指定)
		$\%rd, imm7$	右論理シフト(即値によるシフトビット数指定)
	sa	$\%rd, \%rs$	右算術シフト(レジスタによるシフトビット数指定)
		$\%rd, imm7$	右算術シフト(即値によるシフトビット数指定)
	sl	$\%rd, \%rs$	左論理シフト(レジスタによるシフトビット数指定)
		$\%rd, imm7$	左論理シフト(即値によるシフトビット数指定)
	swap	$\%rd, \%rs$	16ビット境界でバイト単位のスワップ
即値拡張	ext	$imm13$	直後の命令のオペランドを拡張
コンバージョン	cv.ab	$\%rd, \%rs$	符号付き8ビットデータを24ビットに変換
	cv.as	$\%rd, \%rs$	符号付き16ビットデータを24ビットに変換
	cv.al	$\%rd, \%rs$	32ビットデータを24ビットに変換
	cv.la	$\%rd, \%rs$	24ビットデータを32ビットに変換
	cv.ls	$\%rd, \%rs$	16ビットデータを32ビットに変換
分岐	jpr	$sign10$	PC相対ジャンプ
	jpr.d	$\%rb$	ディレイド分岐可
	jpa	$imm7$	絶対ジャンプ
	jpa.d	$\%rb$	ディレイド分岐可
	jrgt	$sign7$	PC相対条件ジャンプ 分岐条件: $!Z \ \& \ !(N \wedge V)$
	jrgt.d		ディレイド分岐可
	jrge	$sign7$	PC相対条件ジャンプ 分岐条件: $!(N \wedge V)$
	jrge.d		ディレイド分岐可
	jrlt	$sign7$	PC相対条件ジャンプ 分岐条件: $N \wedge V$
	jrlt.d		ディレイド分岐可
	jrle	$sign7$	PC相対条件ジャンプ 分岐条件: $Z \mid N \wedge V$
	jrle.d		ディレイド分岐可
	jrugt	$sign7$	PC相対条件ジャンプ 分岐条件: $!Z \ \& \ !C$
	jrugt.d		ディレイド分岐可
	jruge	$sign7$	PC相対条件ジャンプ 分岐条件: $!C$
	jruge.d		ディレイド分岐可
	jrult	$sign7$	PC相対条件ジャンプ 分岐条件: C
	jrult.d		ディレイド分岐可
	jrule	$sign7$	PC相対条件ジャンプ 分岐条件: $Z \mid C$
	jrule.d		ディレイド分岐可
	jreq	$sign7$	PC相対条件ジャンプ 分岐条件: Z
	jreq.d		ディレイド分岐可
	jrne	$sign7$	PC相対条件ジャンプ 分岐条件: $!Z$
	jrne.d		ディレイド分岐可
	call	$sign10$	PC相対サブルーチンコール
	call.d	$\%rb$	ディレイド分岐可
	calla	$imm7$	絶対サブルーチンコール
	calla.d	$\%rb$	ディレイド分岐可
	ret		サブルーチンからのリターン
	ret.d		ディレイド分岐可
	int	$imm5$	ソフトウェア割り込み
	intl	$imm5, imm3$	割り込みレベル指定付きソフトウェア割り込み
	reti		割り込み処理からのリターン
	reti.d		ディレイド分岐可
	brk		デバッグ割り込み
	ret.d		デバッグ処理からのリターン
システム制御	nop		ノーオペレーション
	halt		HALT
	slp		SLEEP
	ei		割り込み許可
	di		割り込み禁止
コプロセッサ制御	ld.cw	$\%rd, \%rs$	コプロセッサへのデータ転送
		$\%rd, imm7$	
	ld.ca	$\%rd, \%rs$	コプロセッサへのデータ転送、結果とフラグ状態の取得
		$\%rd, imm7$	
	ld.cf	$\%rd, \%rs$	コプロセッサへのデータ転送、フラグ状態の取得
		$\%rd, imm7$	

*1 ld.a命令は32ビットのメモリアクセスを行います。レジスタからIRAMエリア以外のメモリへのデータ転送では上位8ビットを0とした32ビットデータがメモリに書き込まれます。レジスタからIRAMエリアのメモリへのデータ転送では、上位8ビットは書き込まれません。メモリからの読み出し時は、読み出しデータの上位8ビットが無視されます。

表中の記号の意味は次のとおりです。

表I.5.3.2 記号の意味

記 号	説 明
<i>%rs</i>	汎用ソースレジスタ
<i>%rd</i>	汎用デスティネーションレジスタ
<i>[%rb]</i>	汎用レジスタで間接指定されるメモリ
<i>[%rb] +</i>	汎用レジスタで間接指定されるメモリ(アドレスポストインクリメント付き)
<i>[%rb] -</i>	汎用レジスタで間接指定されるメモリ(アドレスポストデクリメント付き)
<i>-%rb]</i>	汎用レジスタで間接指定されるメモリ(アドレスプリデクリメント付き)
<i>%sp</i>	スタックポインタ
<i>[%sp], [%sp+imm7]</i>	スタック
<i>[%sp] +</i>	スタック(アドレスポストインクリメント付き)
<i>[%sp] -</i>	スタック(アドレスポストデクリメント付き)
<i>-%sp]</i>	スタック(アドレスプリデクリメント付き)
<i>imm3, imm5, imm7, imm13</i>	符号なし即値(数値はビット長)
<i>sign7, sign10</i>	符号付き即値(数値はビット長)

I.5.4 ベクタテーブル

ベクタテーブルは、割り込み処理ルーチンへのベクタ(処理ルーチン開始アドレス)を格納します。割り込みが発生すると、S1C17コアは割り込みに対応するベクタを読み出して、その処理ルーチンを実行します。ベクタテーブルの先頭には、リセット後にプログラムの実行を開始するブートアドレスを書き込んでおく必要があります。表I.5.4.1にS1C17002のベクタテーブルを示します。

CPU

表I.5.4.1 ベクタテーブル

ベクタNo./ソフトウェア割り込みNo.	ベクタアドレス	ハードウェア割り込み名	ハードウェア割り込み要因	優先順位
0 (0x00)	TTBR + 0x00	リセット	• #RESET端子へのLow入力 • ウォッチドッグタイマオーバフロー *2	1
1 (0x01)	TTBR + 0x04	アドレス不整合割り込み	メモリアクセス命令	2
—	(0xffff00)	デバッグ割り込み	brk命令等	3
2 (0x02)	TTBR + 0x08	NMI	ウォッチドッグタイマオーバフロー *2	4
3 (0x03)	TTBR + 0x0c	Cコンパイラ (reserved)	Cコンパイラのエミュレーションライブラリが使用	5
4 (0x04)	TTBR + 0x10	ポート入力割り込み0	Px0入力(立ち上がり/下がりエッジまたはH/Lレベル)	High *1 ↑
5 (0x05)	TTBR + 0x14	ポート入力割り込み1	Px1入力(立ち上がり/下がりエッジまたはH/Lレベル)	
6 (0x06)	TTBR + 0x18	ポート入力割り込み2	Px2入力(立ち上がり/下がりエッジまたはH/Lレベル)	
7 (0x07)	TTBR + 0x1c	ポート入力割り込み3	Px3入力(立ち上がり/下がりエッジまたはH/Lレベル)	
8 (0x08)	TTBR + 0x20	MFT割り込み	• コンペアマッチ • ピリオドマッチ • ADCプロテクション入力 • ポートプロテクション入力	
9 (0x09)	TTBR + 0x24	reserved	—	
10 (0x0a)	TTBR + 0x28	A/D変換器割り込み	範囲外(上限/下限)	
11 (0x0b)	TTBR + 0x2c		変換完了	
12 (0x0c)	TTBR + 0x30	CLG_T16U0タイマ割り込み	タイマアンダーフロー	
		ポート入力割り込み4	Px4入力(立ち上がり/下がりエッジまたはH/Lレベル)	
13 (0x0d)	TTBR + 0x34	CLG_T8FU0タイマ割り込み	タイマアンダーフロー	
		ポート入力割り込み5	Px5入力(立ち上がり/下がりエッジまたはH/Lレベル)	
14 (0x0e)	TTBR + 0x38	CLG_T8Sタイマ割り込み	タイマアンダーフロー	
		ポート入力割り込み6	Px6入力(立ち上がり/下がりエッジまたはH/Lレベル)	
15 (0x0f)	TTBR + 0x3c	CLG_T8Iタイマ割り込み	タイマアンダーフロー	
		ポート入力割り込み7	Px7入力(立ち上がり/下がりエッジまたはH/Lレベル)	
16 (0x10)	TTBR + 0x40	UART(+IrDA)CH.0割り込み	• 送信バッファエンプティ • 受信バッファフル • 受信エラー	
		ポート入力割り込み4	Px4入力(立ち上がり/下がりエッジまたはH/Lレベル)	
17 (0x11)	TTBR + 0x44	ポート入力割り込み5	Px5入力(立ち上がり/下がりエッジまたはH/Lレベル)	
18 (0x12)	TTBR + 0x48	SPI CH.0割り込み	• 送信バッファエンプティ • 受信バッファフル	
		ポート入力割り込み6	Px6入力(立ち上がり/下がりエッジまたはH/Lレベル)	
19 (0x13)	TTBR + 0x4c	I ² Cマスタ割り込み	• 送信バッファエンプティ • 受信バッファフル	
		ポート入力割り込み7	Px7入力(立ち上がり/下がりエッジまたはH/Lレベル)	
20 (0x14)	TTBR + 0x50	RTC割り込み	1/64秒、1秒、1分、または1時間カウントアップ	
21 (0x15)	TTBR + 0x54	8ビットタイマCH.0割り込み	タイマ0アンダーフロー	
		T8OSC1 CH.0割り込み	コンペアマッチ	
22 (0x16)	TTBR + 0x58	8ビットタイマCH.1割り込み	タイマ1アンダーフロー	
		T8OSC1 CH.1割り込み	コンペアマッチ	
23 (0x17)	TTBR + 0x5c	8ビットタイマCH.2割り込み	タイマ2アンダーフロー	
24 (0x18)	TTBR + 0x60	8ビットタイマCH.3割り込み	タイマ3アンダーフロー	
25 (0x19)	TTBR + 0x64	reserved	—	
26 (0x1a)	TTBR + 0x68	SPI CH.1割り込み	• 送信バッファエンプティ • 受信バッファフル	
27 (0x1b)	TTBR + 0x6c	reserved	—	
28 (0x1c)	TTBR + 0x70	I ² Cスレーブ割り込み	• 送信バッファエンプティ • 受信バッファフル	
29 (0x1d)	TTBR + 0x74		バスステータス	
30 (0x1e)	TTBR + 0x78	REMC割り込み	• エンベローブカウンタアンダーフロー • REMC_IN立ち上がりエッジ検出 • REMC_IN立ち下がりエッジ検出	
31 (0x1f)	TTBR + 0x7c	reserved	—	↓ Low *1

*1 同一の割り込みレベルが設定されている場合

*2 ウォッチドッグタイマの割り込みは、ソフトウェアにてリセットまたはNMIのいずれかを選択

割り込みベクタを書き込んでおくベクタテーブルのベース(先頭)アドレスは、TTBR_LOWとTTBR_HIGHレジスタ(0x5814、0x5816)によって設定することができます。表I.5.4.1の“TTBR”はこれらのレジスタに設定された値を意味します。イニシャルリセット後、TTBR_LOW/HIGHレジスタは0x20000番地に設定されます。したがって、ベクタテーブルの位置を変更する場合でも、リセットベクタのみは上記のアドレスに書き込んでおく必要があります。TTBR_LOWレジスタのビット7～0は0に固定されます。このため、ベクタテーブルの先頭アドレスは常に256バイト境界アドレスから始まります。

0x5814–0x5816: Vector Table Base Registers (TTBR_LOW, TTBR_HIGH)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Vector Table Base Register 0 (TTBR_LOW)	0x5814 (16 bits)	D15–8	TTBR[15:8]	Vector table base address A[15:8]	0x0–0xff	0x0	R/W	
		D7–0	TTBR[7:0]	Vector table base address A[7:0] (fixed at 0)	0x0	0x0	R	
Vector Table Base Register 1 (TTBR_HIGH)	0x5816 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TTBR[23:16]	Vector table base address A[23:16]	0x0–0xff	0x2	R/W	

注: Vector Table Base Registerは書き込み保護されています。このレジスタに書き込みを行うには、ROMC Protect Register(0x5810)に0x96を書き込んで、レジスタの書き込み保護を解除する必要があります。Vector Table Base Registerへの不要な書き込みは誤動作の原因になりますので、レジスタ設定時以外はROMC Protect Register(0x5810)に0x96以外の値を書き込み、書き込み禁止に設定してください。

I.5.5 オンチップデバグガ

I.5.5.1 デバグ機能

S1C17コアには、プログラム開発を支援するデバグ回路が設けられています。
デバグ回路がサポートしている機能は以下のとおりで、デバグガによって使用されます。

CPU

- **命令ブレーク**

設定した命令のアドレスを実行する前にデバグ割り込みを発生します。1カ所のアドレスに命令ブレークを設定できます。

- **シングルステップ**

各命令ごとにデバグ割り込みを発生します。

- **強制ブレーク**

外部入力信号(DSIO = 0)でデバグ割り込みを発生します。

- **ソフトウェアブレーク**

brk命令の実行によりデバグ割り込みを発生します。

デバグ割り込みが発生すると、プロセッサは次の処理を行います。

(1) 実行中の命令列を中断します。

(2) プロセッサは、PCとPSR、R0の順にそれぞれの内容を以下のアドレスに格納します。

PCとPSR → DBRAM + 0x0

R0 → DBRAM + 0x4 (DBRAM: ユーザRAM内のデバグ用ワークエリア先頭アドレス)

(3) プロセッサは、アドレス0xffffc00番地からPCにロードし、デバグ割り込み処理ルーチンに分岐します。

割り込み処理ルーチンでは、処理の最後にret命令を実行して中断している命令列に復帰します。
ret命令で復帰する際、プロセッサはR0、PCとPSRの順でデータを復帰します。

デバグ割り込み中はハードウェア割り込みおよびNMIは受け付けられません。

I.5.5.2 デバグ用ワークエリア

デバグを行うには、64バイトのデバグ用ワークエリアが必要です。S1C17002では内蔵RAM内のアドレス0x0~0x3fがデバグ用ワークエリアに設定されています。デバグ機能を使用する場合、この領域をユーザプログラムからは使用しないでください。

このデバグ用ワークエリアのスタートアドレスはDBRAMレジスタ(0xffff90)から読み出すことができます。

0xffff90: Debug RAM Base Register (DBRAM)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Debug RAM Base Register (DBRAM)	0xffff90 (32 bits)	D31~24	—	Unused (fixed at 0)	0x0	0x0	R	
		D23~0	DBRAM[23:0]	Debug RAM base address	0x0	0x0	R	

D[31:24] 未使用(0固定)

D[23:0] **DBRAM[23:0]: Debug RAM Base Address Bits**

デバグ用ワークエリア(64バイト)の先頭アドレスが格納されるリードオンリレジスタです。

I.5.5.3 デバグツール

デバグは、S1C17002のデバグ端子にS5U1C17001H(ICD Mini)等のICD(In-Circuit Debugger)を接続し、パソコン上のデバグガからデバグコマンドを入力して行います。このため、以下のツールが必要です。

- S1C17 Family In-Circuit Debugger(S5U1C17001H等)
- S1C17 Family Cコンパイラパッケージ(S5U1C17001C等)

I.5.5.4 デバッグ端子

ICD(S5U1C17001H等)との接続に以下のデバッグ端子を使用します。

表I.5.5.4.1 デバッグ端子一覧

端子名	I/O	本数	機 能
DCLK (P35)	O	1	オンチップデバッグクロック出力端子 ICDにクロックを出力します。
DSIO (P36)	I/O	1	オンチップデバッグデータ入出力端子 デバッグ用データの入出力およびブレーク信号の入力に使用します。
DST2 (P37)	O	1	オンチップデバッグステータス信号出力端子 デバッグ中のプロセッサの状態(通常動作時: Low、デバッグモード時: High)を出力します。

オンチップデバッグの入出力端子(DCLK、DSIO、DST2)は汎用入出力ポート端子(P35、P36、P37)を兼用しており、初期状態ではデバッグ端子に設定されます。デバッグ機能を使用しない場合は、P3_57_CFPレジスタ(0x4427)の設定により、これらの端子を汎用入出力ポート端子に切り換えることができます。端子の機能と切り換えの詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

I.5.5.5 デバッグ用クロック

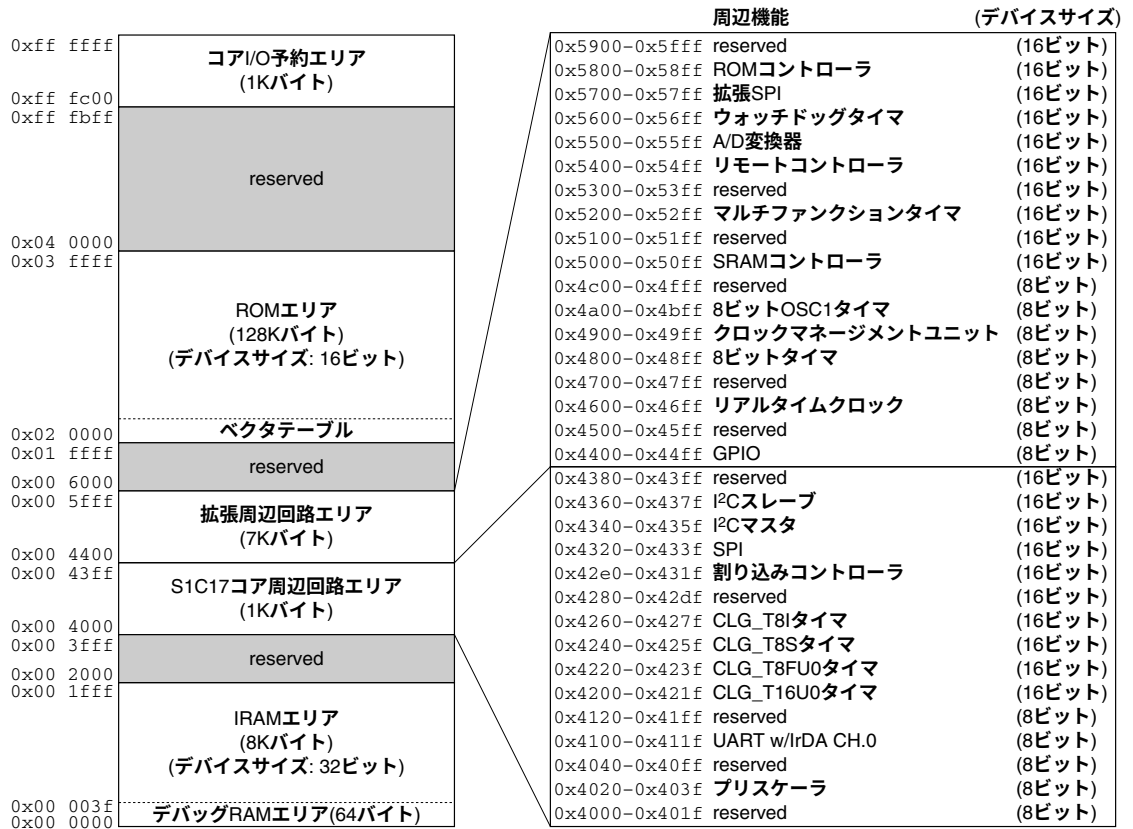
オンチップデバッグはシリアルデータ転送によりICDと通信します。DCLKはシリアル転送用の同期クロックで、周波数は常にCCLKの1/2になります。

I.5.5.6 デバッグステータス信号(DST2)

通常動作時、DST2信号はLowになっています。S1C17コアがデバッグ割り込みによってデバッグモードになるとHighになります。

I.6 メモリマップ

図I.6.1にS1C17002のメモリマップを示します。



図I.6.1 S1C17002メモリマップ

I.6.1 アクセスサイクル

表I.6.1.1に示すように、1回のバスアクセスに必要なサイクル数は周辺回路やメモリモジュールにより変わります。また、バスアクセス回数もCPU命令のアクセスサイズとアクセスするデバイスのサイズにより変わります。

表I.6.1.1 データリード/ライトアクセスサイクル数

モジュール	アクセス条件		ライト	リード
IRAM	-	8ビットアクセス	1	2
		16ビットアクセス	1	2
		24/32ビットアクセス	1	2
ROM	-	8ビットアクセス	-	$2 + w$
		16ビットアクセス	-	$2 + w$
		24/32ビットアクセス	-	$1 + (1 + w) \times 2$
周辺モジュール 制御レジスタ	8ビットデバイス	8ビットアクセス	$4 + w$	$4 + w$
		16ビットアクセス	$7 + w \times 2$	$7 + w \times 2$
		24ビットアクセス	$13 + w \times 4$	$13 + w \times 4$
	16ビットデバイス	8ビットアクセス	$4 + w$	$4 + w$
		16ビットアクセス	$4 + w$	$4 + w$
		24ビットアクセス	$7 + w \times 2$	$7 + w \times 2$
MAC演算	-	-	1	-
DIV演算	-	-	17~20	-

注: “w”はウェイトサイクル数を表します。

表I.6.1.2 命令リードのためのアクセスサイクル数

モジュール	アクセス条件		命令リード
IRAM	CPUリード	32ビットリード	2 (注)
ROM	ランダムミス	32ビットリード	$1 + (1 + w) \times 2$

注: • “w”はウェイトサイクル数を表します。

- CPUはIRAM上の16ビット命令を1サイクルで読み出し可能です。

32ビットアクセス時の上位8ビットデータについて

32ビットデータは上位8ビットを0としてメモリに書き込まれます。ただし、ld.a命令によるIRAMへの書き込み時は、上位8ビットの書き込みは行われません。メモリからの読み出し時は上位8ビットが無視されます。割り込み処理のスタック操作時は、PSRの値を上位8ビットに、戻りアドレスを下位24ビットとした32ビットの書き込み/読み出しを行います。

I.6.1.1 アクセスサイズ制限

以下に示すモジュールにはアクセスサイズに制限がありますので、プログラミングの際には使用する命令に注意してください。

I²Cマスタ, WDT

I²Cマスタとウォッチドッグタイマのレジスタへのアクセスには、16ビットリード/ライト命令のみ使用可能です。

上記以外のモジュールは8ビットまたは16ビット命令でアクセス可能です。ただし、必要のないレジスタの読み出しによって周辺回路の状態が変わり、問題が発生する場合がありますので、できるだけデバイスサイズに合わせてアクセスすることを推奨します。

Map

I.6.1.2 ハーバードアーキテクチャによる命令とデータの同時アクセス

S1C17コアはハーバードアーキテクチャを採用しているため、以下のいずれかの条件下では命令のフェッチとデータアクセスが同時に行われプログラムの実行速度が向上します。

- IRAMエリアのデータにアクセスしながら、ROMエリアの命令を実行する場合
- IRAMエリアの命令を実行しながら、ROMエリア、 S1C17コア周辺回路エリア(0x4000~)または拡張周辺回路エリア(0x4400~)のデータにアクセスする場合
- S1C17コア周辺回路エリア(0x4000~)のデータにアクセスしながら、IRAMまたはROMエリアの命令を実行する場合

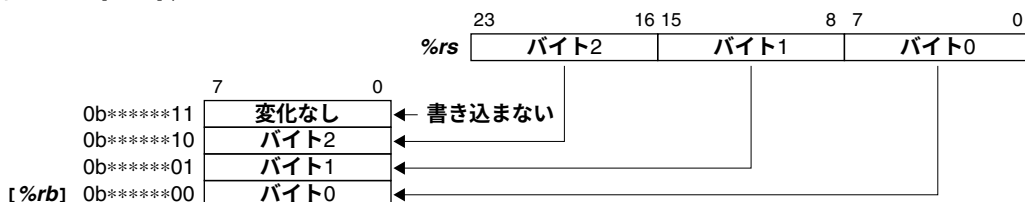
I.6.2 IRAMエリア

0x0番地から0x1fff番地までの8Kバイトの領域にはRAMが内蔵されています。このRAMは、アクセスサイズにかかわらずライト時は1サイクル、リード時は2サイクルでアクセスされます。IRAM内の命令は1サイクルで読み出し可能です。

注: • 内蔵RAMの先頭の64バイト (0x0～0x3f) はオンチップデバッグ用に予約されています。アプリケーション開発中などデバッグ機能を使用する場合は、アプリケーションプログラムからはこの領域をアクセスしないでください。デバッグの不要な量産品ではアプリケーション用に使用可能です。

- ld.a命令によってIRAMエリアにデータを書き込む場合、32ビット中の上位8ビット(D[31:24])には何も書き込まれません。

例: ld.a [%rb], %rs



図I.6.2.1 IRAMへの24ビット書き込み

I.6.3 ROMエリア

0x20000番地から0x3ffff番地までの128Kバイトの領域にはマスクROMが内蔵されており、アプリケーションプログラムやデータを書き込んでおくことができます。0x20000番地はベクタテーブルベースアドレスとして定義されていますので、ここにリセットベクタを置く必要があります。ベクタテーブルベースアドレスはTTBR_LOW/HIGHレジスタ(0x5814、0x5816)で変更可能です。

ROMのデータは最小1サイクルで読み出すことができます。

なお、ROMリードサイクルにウェイトを挿入することができます。ウェイトサイクルとして挿入するシステムクロックサイクル数をROM_WAIT[2:0](D[2:0]/ROMC_WAITレジスタ)で指定します。

0x5804: ROMC Wait Register (ROMC_WAIT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
ROMC Wait Register (ROMC_WAIT)	0x5804 (16 bits)	D15-3	—	reserved	—	—	—	0 when being read.
		D2-0	ROM_WAIT [2:0]	ROM read access wait cycle setup	ROM_WAIT[2:0] Wait cycle	0x7	R/W	
					0x7 7 cycles			
					: :			
					0x0 0 cycles			

D[15:3] Reserved

D[2:0] ROM_WAIT[2:0]: ROM Read Access Wait Cycle Setup Bits

ROMのリード時に挿入するウェイトサイクル数を設定します。

表I.6.3.1 ROMリードアクセスウェイトサイクル数の設定

ROM_WAIT[2:0]	ウェイトサイクル数	リードアクセスサイクル数	システムクロック周波数
0x7	7サイクル	8サイクル	20MHz以下
0x6	6サイクル	7サイクル	
0x5	5サイクル	6サイクル	
0x4	4サイクル	5サイクル	
0x3	3サイクル	4サイクル	
0x2	2サイクル	3サイクル	
0x1	1サイクル	2サイクル	
0x0	0サイクル	1サイクル	

(デフォルト: 0x7)

S1C17002では、ROM_WAIT[2:0]を0x0に設定し、0ウェイトで動作させることができます。

I.6.4 内蔵周辺回路エリア

0x4000番地および0x4400番地から始まる2つのエリアには、内蔵周辺回路のI/Oおよび制御レジスタが割り付けられています。

I.6.4.1 S1C17コア周辺回路エリア (0x4000～)

0x4000番地から始まるS1C17コア周辺回路エリアには以下に示すコアモジュール内蔵周辺機能用のI/Oメモリが割り付けられており、最小4サイクルでアクセス可能です。

- プリスケアラ(PSC, 8ビットデバイス)
- UART(UART, 8ビットデバイス)
- クロックジェネレータ(CLG, 16ビットデバイス)
- 割り込みコントローラ(ITC, 16ビットデバイス)
- SPI(SPI, 16ビットデバイス)
- I²Cマスタ(I2CM, 16ビットデバイス)
- I²Cスレーブ(I2CS, 16ビットデバイス)

I.6.4.2 拡張周辺回路エリア (0x4400～)

0x4400番地から始まる拡張内蔵周辺回路エリアには以下の周辺機能用I/Oメモリが割り付けられており、最小4サイクルでアクセス可能です。

- 汎用入出力ポート(GPIO, 8ビットデバイス)
- リアルタイムクロック(RTC, 8ビットデバイス)
- 8ビットタイマ(PT8, 8ビットデバイス)
- クロックマネージメントユニット(CMU, 8ビットデバイス)
- 8ビットOSC1タイマ(T8OSC1, 8ビットデバイス)
- SRAMコントローラ(SRAMC, 16ビットデバイス)
- マルチファンクションタイマ(MFT, 16ビットデバイス)
- リモートコントローラ(REMC, 16ビットデバイス)
- A/D変換器(ADC, 16ビットデバイス)
- ウォッチドッグタイマ(WDT, 16ビットデバイス)
- 拡張SPI(ESPI, 16ビットデバイス)
- ROMコントローラ(ROMC, 16ビットデバイス)

I.6.4.3 I/Oマップ

内蔵周辺回路エリアのI/Oマップを以下に示します。各制御レジスタの詳細については、AppendixのI/Oレジスタ一覧または各周辺回路の説明を参照してください。

表I.6.4.3.1 I/Oマップ(S1C17コア周辺回路エリア)

周辺回路	アドレス	レジスタ名		機 能
プリスケアラ (8ビットデバイス)	0x4020	PSC_CTL	Prescaler Control Register	プリスケアラのスタート/ストップ制御
	0x4021–0x403f	–	–	Reserved
UART (IrDA付き) (8ビットデバイス)	0x4100	UART_ST	UART Status Register	転送、バッファ、エラーステータスの表示
	0x4101	UART_TXD	UART Transmit Data Register	送信データ
	0x4102	UART_RXD	UART Receive Data Register	受信データ
	0x4103	UART_MOD	UART Mode Register	転送データ形式の設定
	0x4104	UART_CTL	UART Control Register	データ転送の制御
	0x4105	UART_EXP	UART Expansion Register	IrDAモードの設定
	0x4106–0x411f	–	–	Reserved
CLG_T16U0 タイマ (16ビットデバイス)	0x4200	CLG_T16U0_CLK	CLG_T16U0 Input Clock Select Register	プリスケアラ出力クロックの選択
	0x4202	CLG_T16U0_TR	CLG_T16U0 Reload Data Register	リロードデータの設定
	0x4204	CLG_T16U0_TC	CLG_T16U0 Counter Data Register	カウンタデータ
	0x4206	CLG_T16U0_CTL	CLG_T16U0 Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4208–0x421f	–	–	Reserved

I S1C17002の仕様: メモリマップ

周辺回路	アドレス	レジスタ名		機 能
CLG_T8FU0 タイマ (16ビットデバイス)	0x4220	CLG_T8FU0_CLK	CLG_T8S Input Clock Select Register	プリスケアラ出力クロックの選択
	0x4222	CLG_T8FU0_TR	CLG_T8S Reload Data Register	リロードデータの設定
	0x4224	CLG_T8FU0_TC	CLG_T8S Counter Data Register	カウンタデータ
	0x4226	CLG_T8FU0_CTL	CLG_T8S Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4228–0x423f	–	–	Reserved
CLG_T8Sタイマ (16ビットデバイス)	0x4240	CLG_T8S_CLK	CLG_T8S Input Clock Select Register	プリスケアラ出力クロックの選択
	0x4242	CLG_T8S_TR	CLG_T8S Reload Data Register	リロードデータの設定
	0x4244	CLG_T8S_TC	CLG_T8S Counter Data Register	カウンタデータ
	0x4246	CLG_T8S_CTL	CLG_T8S Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4248–0x425f	–	–	Reserved
CLG_T8Iタイマ (16ビットデバイス)	0x4260	CLG_T8I_CLK	CLG_T8I Input Clock Select Register	プリスケアラ出力クロックの選択
	0x4262	CLG_T8I_TR	CLG_T8I Reload Data Register	リロードデータの設定
	0x4264	CLG_T8I_TC	CLG_T8I Counter Data Register	カウンタデータ
	0x4266	CLG_T8I_CTL	CLG_T8I Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4268–0x427f	–	–	Reserved
割り込み コントローラ (16ビットデバイス)	0x42e0	ITC_AIFLG	Additional Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x42e2	ITC_AEN	Additional Interrupt Enable Register	各マスク可能割り込みの許可/禁止
	0x42e4	–	–	Reserved
	0x42e6	ITC_AILV0	Additional Interrupt Level Setup Register 0	MFT割り込みレベルの設定
	0x42e8	ITC_AILV1	Additional Interrupt Level Setup Register 1	ADC割り込みレベルの設定
	0x42ea	ITC_AILV2	Additional Interrupt Level Setup Register 2	RTC、PT8 CH.0/T8OSC1 CH.0割り込みレベルの設定
	0x42ec	ITC_AILV3	Additional Interrupt Level Setup Register 3	PT8 CH.1/T8OSC1 CH.1、PT8 CH.2割り込みレベルの設定
	0x42ee	ITC_AILV4	Additional Interrupt Level Setup Register 4	PT8 CH.3割り込みレベルの設定
	0x42f0	ITC_AILV5	Additional Interrupt Level Setup Register 5	SPI CH.1割り込みレベルの設定
	0x42f2	ITC_AILV6	Additional Interrupt Level Setup Register 6	I ² Cスレーブ割り込みレベルの設定
	0x42f4	ITC_AILV7	Additional Interrupt Level Setup Register 7	REMC割り込みレベルの設定
	0x42f6–0x42ff	–	–	Reserved
	0x4300	ITC_IFLG	Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x4302	ITC_EN	Interrupt Enable Register	各マスク可能割り込みの許可/禁止
	0x4304	ITC_CTL	ITC Control Register	ITC動作の許可/禁止
	0x4306	ITC_ELV0	External Interrupt Level Setup Register 0	ポート0、ポート1割り込みレベルとトリガモードの設定
	0x4308	ITC_ELV1	External Interrupt Level Setup Register 1	ポート2、ポート3割り込みレベルとトリガモードの設定
	0x430a	ITC_ELV2	External Interrupt Level Setup Register 2	ポート4、ポート5割り込みレベルとトリガモードの設定
	0x430c	ITC_ELV3	External Interrupt Level Setup Register 3	ポート6、ポート7割り込みレベルとトリガモードの設定
	0x430e	ITC_ILV0	Internal Interrupt Level Setup Register 0	CLG_T16U0、CLG_T8FU0タイマ割り込みレベルの設定
	0x4310	ITC_ILV1	Internal Interrupt Level Setup Register 1	CLG_T8S、CLG_T8Iタイマ割り込みレベルの設定
	0x4312	ITC_ILV2	Internal Interrupt Level Setup Register 2	UART割り込みレベルの設定
	0x4314	ITC_ILV3	Internal Interrupt Level Setup Register 3	SPI CH.0、I ² Cマスタ割り込みレベルの設定
	0x4316–0x431f	–	–	Reserved
SPI (16ビットデバイス)	0x4320	SPI_ST0	SPI CH.0 Status Register	転送、バッファステータスの表示
	0x4322	SPI_TXD0	SPI CH.0 Transmit Data Register	送信データ
	0x4324	SPI_RXD0	SPI CH.0 Receive Data Register	受信データ
	0x4326	SPI_CTL0	SPI CH.0 Control Register	SPI CH.0モードとデータ転送許可の設定
	0x4328–0x433f	–	–	Reserved
I ² Cマスタ (16ビットデバイス)	0x4340	I2CM_EN	I ² C Master Enable Register	I ² Cマスタモジュールイネーブル
	0x4342	I2CM_CTL	I ² C Master Control Register	I ² Cマスタの制御と転送状態の表示
	0x4344	I2CM_DAT	I ² C Master Data Register	I ² Cマスタ送受信データ
	0x4346	I2CM_ICTL	I ² C Master Interrupt Control Register	I ² Cマスタ割り込みの制御
	0x4348–0x435f	–	–	Reserved
I ² Cスレーブ (16ビットデバイス)	0x4360	I2CS_TRNS	I ² C Slave Transmit Data Write Register	I ² Cスレーブ送信データ
	0x4362	I2CS_RECV	I ² C Slave Receive Data Read Register	I ² Cスレーブ受信データ
	0x4364	I2CS_SADRS	I ² C Slave Address Setup Register	I ² Cスレーブアドレスの設定
	0x4366	I2CS_CTL	I ² C Slave Control Register	I ² Cスレーブの制御
	0x4368	I2CS_STAT	I ² C Slave Status Register	I ² Cスレーブのバスステータスの表示
	0x436a	I2CS_ASTAT	I ² C Slave Access Status Register	I ² Cスレーブのアクセスステータスの表示
	0x436c	I2CS_ICTL	I ² C Slave Interrupt Control Register	I ² Cスレーブ割り込みの制御
	0x436e–0x437f	–	–	Reserved

表I.6.4.3.2 I/Oマップ(拡張周辺回路エリア)

I

Map

周辺回路	アドレス	レジスタ名		機 能
汎用入出力ポート (8ビットデバイス)	0x4400	P0_DAT	P0 Port Input Data Register	P0ポート入力データ
	0x4401	—	—	Reserved
	0x4402	P1_DAT	P1 Port Input/Output Data Register	P1ポート入出力データ
	0x4403	P1_IOC	P1 Port I/O Control Register	P1ポート入出力方向の選択
	0x4404	P2_DAT	P2 Port Input/Output Data Register	P2ポート入出力データ
	0x4405	P2_IOC	P2 Port I/O Control Register	P2ポート入出力方向の選択
	0x4406	P3_DAT	P3 Port Input/Output Data Register	P3ポート入出力データ
	0x4407	P3_IOC	P3 Port I/O Control Register	P3ポート入出力方向の選択
	0x4408	P4_DAT	P4 Port Input/Output Data Register	P4ポート入出力データ
	0x4409	P4_IOC	P4 Port I/O Control Register	P4ポート入出力方向の選択
	0x440a	P5_DAT	P5 Port Input/Output Data Register	P5ポート入出力データ
	0x440b	P5_IOC	P5 Port I/O Control Register	P5ポート入出力方向の選択
	0x440c–0x441f	—	—	Reserved
	0x4420	P0_03_CFP	P00–P03 Port Function Select Register	P00–P03ポート機能の選択
	0x4421	—	—	Reserved
	0x4422	P1_03_CFP	P10–P13 Port Function Select Register	P10–P13ポート機能の選択
	0x4423	P1_46_CFP	P14–P16 Port Function Select Register	P14–P16ポート機能の選択
	0x4424	—	—	Reserved
	0x4425	P2_57_CFP	P25–P27 Port Function Select Register	P25–P27ポート機能の選択
	0x4426	P3_02_CFP	P30–P32 Port Function Select Register	P30–P32ポート機能の選択
	0x4427	P3_57_CFP	P35–P37 Port Function Select Register	P35–P37ポート機能の選択
	0x4428	P4_03_CFP	P40–P43 Port Function Select Register	P40–P43ポート機能の選択
	0x4429	P4_4_CFP	P44 Port Function Select Register	P44ポート機能の選択
	0x442a	P5_03_CFP	P50–P53 Port Function Select Register	P50–P53ポート機能の選択
	0x442b–0x443f	—	—	Reserved
	0x4440	PINTSEL0	Port Input Interrupt 0 Select Register	入力割り込み用Px0ポートの選択
	0x4441	PINTSEL1	Port Input Interrupt 1 Select Register	入力割り込み用Px1ポートの選択
	0x4442	PINTSEL2	Port Input Interrupt 2 Select Register	入力割り込み用Px2ポートの選択
	0x4443	PINTSEL3	Port Input Interrupt 3 Select Register	入力割り込み用Px3ポートの選択
	0x4444	PINTSEL4	Port Input Interrupt 4 Select Register	入力割り込み用Px4ポートの選択
	0x4445	PINTSEL5	Port Input Interrupt 5 Select Register	入力割り込み用Px5ポートの選択
	0x4446	PINTSEL6	Port Input Interrupt 6 Select Register	入力割り込み用Px6ポートの選択
	0x4447	PINTSEL7	Port Input Interrupt 7 Select Register	入力割り込み用Px7ポートの選択
	0x4448–0x44ff	—	—	Reserved
リアルタイム クロック (8ビットデバイス)	0x4600	RTC_INTSTAT	RTC Interrupt Status Register	RTC割り込み発生状態の表示
	0x4601	RTC_INTMODE	RTC Interrupt Mode Register	RTC割り込みモードの設定
	0x4602	RTC_CNTL0	RTC Control 0 Register	RTCの制御
	0x4603	RTC_CNTL1	RTC Control 1 Register	
	0x4604–0x4613	—	—	Reserved
	0x4614	RTC_SEC	RTC Second Register	秒カウンタデータ
	0x4615	RTC_MIN	RTC Minute Register	分カウンタデータ
	0x4616	RTC_HOUR	RTC Hour Register	時カウンタデータ
	0x4617	RTC_DAY	RTC Day Register	日カウンタデータ
	0x4618–0x4627	—	—	Reserved
	0x4628	RTC_MONTH	RTC Month Register	月カウンタデータ
	0x4629	RTC_YEAR	RTC Year Register	年カウンタデータ
	0x462a	RTC_WEEK	RTC Days of Week Register	曜日カウンタデータ
	0x462b–0x46ff	—	—	Reserved
8ビット プログラマブル タイマCH.0 (8ビットデバイス)	0x4800	PT8_CLK0	PT8 CH.0 Input Clock Select Register	カウントクロックの選択
	0x4801	PT8_RLD0	PT8 CH.0 Reload Data Register	リロードデータの設定
	0x4802	PT8_PTD0	PT8 CH.0 Counter Data Register	カウンタデータ
	0x4803	PT8_CTL0	PT8 CH.0 Control Register	タイマのRUN/STOP
8ビット プログラマブル タイマCH.1 (8ビットデバイス)	0x4804	PT8_CLK1	PT8 CH.1 Input Clock Select Register	カウントクロックの選択
	0x4805	PT8_RLD1	PT8 CH.1 Reload Data Register	リロードデータの設定
	0x4806	PT8_PTD1	PT8 CH.1 Counter Data Register	カウンタデータ
	0x4807	PT8_CTL1	PT8 CH.1 Control Register	タイマのRUN/STOP
8ビット プログラマブル タイマCH.2 (8ビットデバイス)	0x4808	PT8_CLK2	PT8 CH.2 Input Clock Select Register	カウントクロックの選択
	0x4809	PT8_RLD2	PT8 CH.2 Reload Data Register	リロードデータの設定
	0x480a	PT8_PTD2	PT8 CH.2 Counter Data Register	カウンタデータ
	0x480b	PT8_CTL2	PT8 CH.2 Control Register	タイマのRUN/STOP
8ビット プログラマブル タイマCH.3 (8ビットデバイス)	0x480c	PT8_CLK3	PT8 CH.3 Input Clock Select Register	カウントクロックの選択
	0x480d	PT8_RLD3	PT8 CH.3 Reload Data Register	リロードデータの設定
	0x480e	PT8_PTD3	PT8 CH.3 Counter Data Register	カウンタデータ
	0x480f	PT8_CTL3	PT8 CH.3 Control Register	タイマのRUN/STOP
	0x4810–0x48ff	—	—	Reserved

I S1C17002の仕様: メモリマップ

周辺回路	アドレス	レジスタ名		機 能
クロック マネージメント ユニット (8ビットデバイス)	0x4900	CMU_SYCLKCTL	System Clock Control Register	システムクロックの制御
	0x4901	CMU_OSC3_WCNT	OSC3 Wait Timer Register	OSC3発振安定待ちタイマの設定
	0x4902	CMU_NF	Noise Filter Control Register	ノイズフィルタのON/OFF
	0x4903	CMU_OSC3DIV	OSC3 Clock Divider Register	OSC3システムクロック周波数の選択
	0x4904	—	—	Reserved
	0x4905	CMU_CMUCLK	CMU_CLK Select Register	CMU_CLK出力周波数の選択
	0x4906	CMU_GATEDCLK0	Gated Clock Control 0 Register	周辺モジュールへのクロック供給制御
	0x4907	CMU_GATEDCLK1	Gated Clock Control 1 Register	
	0x4908	CMU_GATEDCLK2	Gated Clock Control 2 Register	
	0x4909–0x491f	—	—	Reserved
	0x4920	CMU_PROTECT	CMU Write Protect Register	CMUレジスタ(0x4900~0x4908)書き込み保護の設定/解除
	0x4921–0x49ff	—	—	Reserved
8ビットOSC1タイマCH.0 (8ビットデバイス)	0x4a00	T8OSC1_CTL0	T8OSC1 CH.0 Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4a01	T8OSC1_CNT0	T8OSC1 CH.0 Timer Counter Data Register	カウンタデータ
	0x4a02	T8OSC1_CMP0	T8OSC1 CH.0 Timer Compare Data Register	コンペアデータの設定
	0x4a03	T8OSC1_IMSK0	T8OSC1 CH.0 Timer Interrupt Mask Register	割り込みマスクの設定
	0x4a04	T8OSC1_IFLG0	T8OSC1 CH.0 Timer Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x4a05–0x4aff	—	—	Reserved
	0x4b00	T8OSC1_CTL1	T8OSC1 CH.1 Timer Control Register	タイマモードの設定とタイマのRUN/STOP
8ビットOSC1タイマCH.1 (8ビットデバイス)	0x4b01	T8OSC1_CNT1	T8OSC1 CH.1 Timer Counter Data Register	カウンタデータ
	0x4b02	T8OSC1_CMP1	T8OSC1 CH.1 Timer Compare Data Register	コンペアデータの設定
	0x4b03	T8OSC1_IMSK1	T8OSC1 CH.1 Timer Interrupt Mask Register	割り込みマスクの設定
	0x4b04	T8OSC1_IFLG1	T8OSC1 CH.1 Timer Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x4b05–0x4bff	—	—	Reserved
	0x5000–0x5017	—	—	Reserved
	0x5018	RTC_WAIT	RTC Wait Control Register	RTCアクセスサイクルの設定
SRAM コントローラ (16ビットデバイス)	0x501a–0x50ff	—	—	Reserved
	0x5200	MFT_TC	MFT Counter Data Register	カウンタデータ
	0x5202	MFT_PRD	MFT Period Data Register	ピリオドデータの設定
	0x5204	MFT_CMP	MFT Compare Data Register	コンペアデータの設定
	0x5206	MFT_CTL	MFT Control Register	タイマモードの設定とタイマのRUN/STOP
	0x5208–0x521d	—	—	Reserved
	0x521e	MFT_IOCTL	MFT Input/Output Control Register	クロック入出力の制御
	0x5230	MFT_IE	MFT Interrupt Enable Register	MFT割り込みイネーブル
	0x5238	MFT_IF	MFT Interrupt Flag Register	MFT割り込み発生状態の表示
	0x523a–0x527d	—	—	Reserved
	0x527e	MFT_TST	MFT Test Register	MFTテスト機能の制御
	0x5280–0x52ff	—	—	Reserved
	0x5400	REMC_PSC	REMC Prescaler Control Register	REMCプリスケラの設定
	0x5404	REMC_CFG	REMC Configuration Register	REMCモードの設定と割り込みの制御
リモート コントローラ (16ビットデバイス)	0x5406	—	—	Reserved
	0x5408	REMC_CTL	REMC Control Register	送信制御
	0x540a	—	—	Reserved
	0x540c	REMC_CARL	REMC Carrier Load Register	キャリア信号の設定
	0x540e	REMC_ENVL	REMC Envelope Load Register	エンベロープパルス幅の設定
	0x5410	REMC_ENVC	REMC Envelope Capture Register	入力エンベロープパルス幅
	0x5412–0x54ff	—	—	Reserved
	0x5500–0x551f	—	—	Reserved
	0x5520	AD_CLKCTL	A/D Clock Control Register	A/D変換クロックの制御
	0x5522–0x553f	—	—	Reserved
A/D変換器 (16ビットデバイス)	0x5540	AD_DAT	A/D Conversion Result Register	A/D変換データ
	0x5542	AD_TRIG_CH	A/D Trigger/Channel Select Register	変換開始/終了チャネルと変換モードの設定
	0x5544	AD_CTL	A/D Control/Status Register	A/D変換器の制御とステータス表示
	0x5546	AD_CH_STAT	A/D Channel Status Flag Register	オーバーライトエラーと変換完了ステータスの表示
	0x5548	AD_CH0_BUF	A/D CH.0 Conversion Result Buffer Register	A/D CH.0変換データ
	0x554a	AD_CH1_BUF	A/D CH.1 Conversion Result Buffer Register	A/D CH.1変換データ
	0x554c	AD_CH2_BUF	A/D CH.2 Conversion Result Buffer Register	A/D CH.2変換データ
	0x554e	AD_CH3_BUF	A/D CH.3 Conversion Result Buffer Register	A/D CH.3変換データ
	0x5550–0x5557	—	—	Reserved
	0x5558	AD_UPPER	A/D Upper Limit Value Register	A/D変換上限値の設定
	0x555a	AD_LOWER	A/D Lower Limit Value Register	A/D変換下限値の設定
	0x555c	AD_INTMASK	A/D Conversion Complete Interrupt Mask Register	A/D変換完了割り込みチャネルのマスク
	0x555e	AD_ADVMODE	A/D Converter Mode Select/Internal Status Register	A/D動作モードの選択とA/D変換器内部状態/内部カウンタ値の表示

周辺回路	アドレス	レジスタ名		機 能
ウォッチドッグ タイマ (16ビットデバイス)	0x5600–0x565f	–	–	Reserved
	0x5660	WD_WP	WDT Write Protect Register	WDT制御レジスタ書き込み保護の設定/解除
	0x5662	WD_EN	WDT Enable and Setup Register	ウォッチドッグタイマの設定とスタート
	0x5664	WD_CMP_L	WDT Comparison Data L Register	比較データ
	0x5666	WD_CMP_H	WDT Comparison Data H Register	
	0x5668	WD_CNT_L	WDT Count Data L Register	ウォッチドッグタイマカウンタデータ
	0x566a	WD_CNT_H	WDT Count Data H Register	
	0x566c	WD_CTL	WDT Control Register	ウォッチドッグタイマリセット
拡張SPI (16ビットデバイス)	0x566e–0x56ff	–	–	Reserved
	0x5700	SPI_ST1	SPI CH.1 Status Register	転送、バッファステータスの表示
	0x5702	SPI_TXD1	SPI CH.1 Transmit Data Register	送信データ
	0x5704	SPI_RXD1	SPI CH.1 Receive Data Register	受信データ
	0x5706	SPI_CTL1	SPI CH.1 Control Register	SPI CH.1モードとデータ転送許可の設定
	0x5708	SPI_CLK1	SPI CH.1 Clock Control Register	SPIクロックの設定
ROM コントローラ (16ビットデバイス)	0x570a–0x57ff	–	–	Reserved
	0x5800–0x5803	–	–	Reserved
	0x5804	ROMC_WAIT	ROMC Wait Register	ROMリード用ウェイトサイクルの設定
	0x5806–0x580f	–	–	Reserved
	0x5810	ROMC_PRT	ROMC Protect Register	ROMCレジスタ書き込み保護の設定/解除
	0x5812–0x5813	–	–	Reserved
	0x5814	TTBR_LOW	Trap Table Base Register 0	ベクタテーブルアドレスの設定
	0x5816	TTBR_HIGH	Trap Table Base Register 1	
	0x5818–0x58ff	–	–	Reserved

注: 表中の“Reserved”で示されたアドレス、および表に記載のない周辺回路エリアの未使用領域は、アプリケーションプログラムからアクセスしないでください。

I.6.5 S1C17コアI/O予約エリア

0xffffc00～0xfffffffの1KバイトはCPUコアI/Oエリアとして使用され、以下のI/Oレジスタが割り付けられています。

表I.6.5.1 I/Oマップ(コアI/O予約エリア)

周辺回路	アドレス	レジスタ名		機 能
S1C17コアI/O	0xffff90	DBRAM	Debug RAM Base Register	デバッグRAMベースアドレスの表示

DBRAMについては“I.5.5.2 デバッグ用ワークエリア”を参照してください。

I.7 電気的特性

I.7.1 絶対最大定格

(V_{SS} = 0V)

項目	記号	条件	定格値	単位
コア電源電圧	LV _{DD}		-0.3~2.5	V
I/O電源電圧	HV _{DD}		-0.3~4.0	V
アナログ電源電圧	AV _{DD}		-0.3~4.0	V
入力電圧	V _I		-0.3~HV _{DD} + 0.5	V
アナログ入力電圧	AV _{IN}		-0.3~AV _{DD} + 0.3	V
高レベル出力電流	I _{OH}	1端子	-10	mA
		全端子合計	-40	mA
低レベル出力電流	I _{OL}	1端子	10	mA
		全端子合計	40	mA
保存温度	T _{stg}		-65~150	°C

E char

I.7.2 推奨動作条件

(Ta = -40~85°C)

項目	記号	条件	Min.	Typ.	Max.	単位
コア電源電圧	LV _{DD}		1.65	1.80	1.95	V
I/O電源電圧	HV _{DD}		1.65	—	3.60	V
アナログ電源電圧 *1	AV _{DD}	P0x = アナログ信号入力時	2.70	—	3.60	V
		P0x = デジタル信号入力時	1.65	—	3.60	V
入力電圧	HV _I		V _{SS}	—	HV _{DD}	V
	LV _I		V _{SS}	—	LV _{DD}	V
アナログ入力電圧	AV _{IN}		V _{SS}	—	AV _{DD}	V
CPU動作周波数	f _{CPU}		—	—	20	MHz
内部バス動作周波数	f _{BUS}		—	—	20	MHz
OSC3発振周波数	f _{OSC3}		1	—	20	MHz
OSC3外部入力クロック周波数	f _{ECLK3}		—	—	20	MHz
OSC1発振周波数	f _{OSC1}		—	32.768	—	kHz
OSC1外部入力クロック周波数	f _{ECLK1}		—	32.768	—	kHz
動作温度	Ta		-40	25	85	°C
入力立ち上がり時間(通常入力)	t _{ri}		—	—	50	ns
入力立ち下がり時間(通常入力)	t _{fi}		—	—	50	ns
入力立ち上がり時間(シュミット入力)	t _{ri}		—	—	5	ms
入力立ち下がり時間(シュミット入力)	t _{fi}		—	—	5	ms

*1) ADC未使用かつ、P0x端子をアナログ入力ではなくデジタル信号の入力端子としてのみ使用する場合は、AV_{DD} = 1.65~3.60Vで使用可能です。ただし、入力するデジタル信号のHighレベルはAV_{DD}、LowレベルはGNDである必要があります。

I.7.3 DC特性

特記なき場合: $V_{DD} = HV_{DD} = 1.8V \pm 0.15V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
入力リーク電流	I_{LI}		-5	—	5	μA
オフステートリーク電流	I_{OZ}		-5	—	5	μA
高レベル出力電流	I_{OH1}	Type 1 $V_{OH} = HV_{DD} - 0.4V$	-1	—	—	mA
	I_{OH2}	Type 2 $HV_{DD} = \text{Min.}$	-2	—	—	mA
	I_{OH3}	Type 3	-4	—	—	mA
	I_{OH4}	Type 4	-6	—	—	mA
低レベル出力電流	I_{OL1}	Type 1 $V_{OL} = 0.4V$	1	—	—	mA
	I_{OL2}	Type 2 $HV_{DD} = \text{Min.}$	2	—	—	mA
	I_{OL3}	Type 3	4	—	—	mA
	I_{OL4}	Type 4	6	—	—	mA
高レベル入力電圧	V_{IH}	LVC MOSレベル, $HV_{DD} = \text{Max.}$	1.27	—	—	V
低レベル入力電圧	V_{IL}	LVC MOSレベル, $HV_{DD} = \text{Min.}$	—	—	0.57	V
ポジティブトリガ入力電圧	V_{T1+}	LVC MOSシュミット	0.6	—	1.4	V
ネガティブトリガ入力電圧	V_{T1-}	LVC MOSシュミット	0.3	—	1.1	V
ヒステリシス電圧	ΔV	LVC MOSシュミット	0.02	—	—	V
プルアップ抵抗	R_{PU}	Type 1 $V_{in} = 0V$	48	120	300	k Ω
		Type 2	96	240	600	k Ω
プルダウン抵抗	R_{PD}	Type 1 $V_{in} = HV_{DD}$	48	120	300	k Ω
		Type 2	96	240	600	k Ω
高レベルバスホールド電流	I_{BHH}	$HV_{DD} = \text{Min.}$, $V_I = 1.27V$	—	—	-2	μA
低レベルバスホールド電流	I_{BHL}	$HV_{DD} = \text{Min.}$, $V_I = 0.57V$	—	—	2	μA
高レベルバス駆動電流	I_{BHHO}	$HV_{DD} = \text{Max.}$, $V_I = 0.57V$	-100	—	—	μA
低レベルバス駆動電流	I_{BHLO}	$HV_{DD} = \text{Max.}$, $V_I = 1.27V$	100	—	—	μA
入力端子容量	C_i	$f = 1MHz$, $HV_{DD} = 0V$	—	—	8	pF
出力端子容量	C_o	$f = 1MHz$, $HV_{DD} = 0V$	—	—	8	pF
入出力端子容量	C_{IO}	$f = 1MHz$, $HV_{DD} = 0V$	—	—	8	pF

特記なき場合: $V_{DD} = 1.8V \pm 0.15V$, $HV_{DD} = 2.7 \sim 3.6V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
入力リーク電流	I_{LI}		-5	—	5	μA
オフステートリーク電流	I_{OZ}		-5	—	5	μA
高レベル出力電圧	V_{OH}	$I_{OH} = -1.7mA$ (2mA type), $I_{OH} = -3.5mA$ (4mA type), $V_{DD} = \text{Min.}$	V_{DD} - 0.4	—	—	V
低レベル出力電圧	V_{OL}	$I_{OL} = 1.7mA$ (2mA type), $I_{OL} = 3.5mA$ (4mA type), $V_{DD} = \text{Min.}$	—	—	0.4	V
高レベル入力電圧	V_{IH}	LVTTLレベル, $HV_{DD} = \text{Max.}$	2.0	—	HV_{DD}	V
低レベル入力電圧	V_{IL}	LVTTLレベル, $HV_{DD} = \text{Min.}$	V_{SS}	—	0.8	V
ポジティブトリガ入力電圧	V_{T+}	LVC MOSシュミット	1.2	—	2.7	V
ネガティブトリガ入力電圧	V_{T-}	LVC MOSシュミット	0.5	—	1.8	V
ヒステリシス電圧	V_H	LVC MOSシュミット	0.2	—	—	V
プルアップ抵抗	R_{PU}	100k Ω type, $V_I = 0V$	50	100	288	k Ω
		50k Ω type, $V_I = 0V$	25	50	144	k Ω
プルダウン抵抗	R_{PD}	120k Ω type, $V_I = 0V$	60	120	346	k Ω
		50k Ω type, $V_I = 0V$	25	50	144	k Ω
高レベルバスホールド電流	I_{BHH}	$HV_{DD} = \text{Min.}$, $V_I = 1.9V$	—	—	-20	μA
低レベルバスホールド電流	I_{BHL}	$HV_{DD} = \text{Min.}$, $V_I = 0.8V$	—	—	17	μA
高レベルバス駆動電流	I_{BHHO}	$HV_{DD} = \text{Max.}$, $V_I = 0.8V$	-350	—	—	μA
低レベルバス駆動電流	I_{BHLO}	$HV_{DD} = \text{Max.}$, $V_I = 1.9V$	300	—	—	μA
入力端子容量	C_i	$f = 1MHz$, $HV_{DD} = 0V$	—	—	8	pF
出力端子容量	C_o	$f = 1MHz$, $HV_{DD} = 0V$	—	—	8	pF
入出力端子容量	C_{IO}	$f = 1MHz$, $HV_{DD} = 0V$	—	—	8	pF

注: 端子の特性については、“I.3.4 入出力セルと入出力特性”を参照してください。

I.7.4 消費電流

特記なき場合: $V_{DD} = HV_{DD} = 1.8V$, $AV_{DD} = 3.3V$, $V_{SS} = 0V$, $T_a = 25^{\circ}C$,
周辺モジュール: 停止

項目	記号	条件	Min.	Typ.	Max.	単位
SLEEP時消費電流	ISLP1	OSC1: Off *3, OSC3: Off, RTC: 停止	—	0.5	—	μA
	ISLP2	OSC1: 32kHz, OSC3: Off, RTC: 動作	—	1.8	—	μA
HALT時消費電流	IHALT1	OSC1: 32kHz, OSC3: Off, RTC: 動作	—	3.3	—	μA
	IHALT2	OSC1: 32kHz, OSC3: 1MHz, RTC: 動作	—	170	—	μA
	IHALT3	OSC1: 32kHz, OSC3: 4MHz, RTC: 動作	—	290	—	μA
	IHALT4	OSC1: 32kHz, OSC3: 8MHz, RTC: 動作	—	530	—	μA
	IHALT5	OSC1: 32kHz, OSC3: 20MHz, RTC: 動作	—	1.3	—	mA
実行時消費電流 *1	IEXE1	OSC1: 32kHz, OSC3: Off, RTC: 動作	—	8.0	—	μA
	IEXE2	OSC1: 32kHz, OSC3: 1MHz, RTC: 動作	—	310	—	μA
	IEXE3	OSC1: 32kHz, OSC3: 4MHz, RTC: 動作	—	840	—	μA
	IEXE4	OSC1: 32kHz, OSC3: 8MHz, RTC: 動作	—	1.7	—	mA
	IEXE5	OSC1: 32kHz, OSC3: 20MHz, RTC: 動作	—	3.8	—	mA
ADC動作時消費電流 *2	IADC1	ADCイネーブル	—	260	—	μA

*1) 実行時消費電流は、“ALU命令 60.5%、分岐命令 17%、メモリリード命令 12%、メモリライト命令 10.5%”の試験プログラムをROMからフェッチしながら連続動作させた場合の値です。

*2) AV_{DD} での消費電流

*3) 発振子を使用しない場合 (OSC1発振回路を停止する機能はありません。)

E char

I.7.5 A/D変換器特性

特記なき場合: $HV_{DD} = AV_{DD} = 2.7 \sim 3.6V$, $LV_{DD} = 1.65 \sim 1.95V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$, $ST[1:0] = 11$

項目	記号	条件	Min.	Typ.	Max.	単位
分解能	—		—	10	—	bit
変換時間 *1	—		10	—	1250	μs
ゼロスケール誤差	E_{ZS}		-2	—	2	LSB
フルスケール誤差	E_{FS}		-2	—	2	LSB
積分直線性誤差	E_L		-3	—	3	LSB
微分直線性誤差	E_D		-3	—	3	LSB
許容信号源インピーダンス	—		—	—	5	kΩ
アナログ入力容量	—		—	—	45	pF

*1) Min値はA/D変換器クロック入力=2MHzの場合。Max値はA/D変換器クロック入力=16kHzの場合

A/D変換誤差

$V[001]_h$ = 理想のゼロスケール点電圧(=0.5LSB)

$V'[001]_h$ = 実際のゼロスケール点電圧

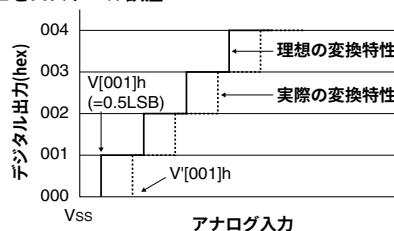
$V[3FF]_h$ = 理想のフルスケール点電圧(=1022.5LSB)

$V'[3FF]_h$ = 実際のフルスケール点電圧

$$1LSB = \frac{AV_{DD} - V_{SS}}{2^{10} - 1}$$

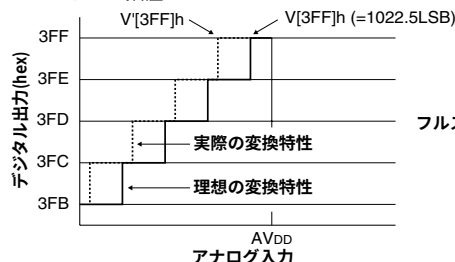
$$1LSB' = \frac{V'[3FF]_h - V'[001]_h}{2^{10} - 2}$$

■ゼロスケール誤差



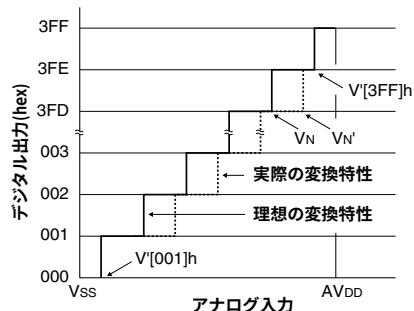
$$\text{ゼロスケール誤差 } E_{ZS} = \frac{(V'[001]_h - 0.5LSB) - (V[001]_h - 0.5LSB)}{1LSB} \text{ [LSB]}$$

■フルスケール誤差



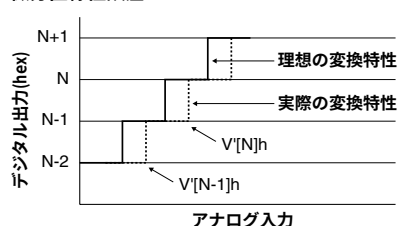
$$\text{フルスケール誤差 } E_{FS} = \frac{(V'[3FF]_h + 0.5LSB) - (V[3FF]_h + 0.5LSB)}{1LSB} \text{ [LSB]}$$

■積分直線性誤差



$$\text{積分直線性誤差 } E_L = \frac{V'_N - V_N}{1LSB'} \text{ [LSB]}$$

■微分直線性誤差



$$\text{微分直線性誤差 } E_D = \frac{V[N]_h - V'[N-1]_h}{1LSB'} - 1 \text{ [LSB]}$$

I.7.6 発振特性

発振特性は使用部品(振動子、 R_f 、 R_d 、 C_G 、 C_D)や基板パターンなどの諸条件により変化します。以下の特性は参考値としてご使用ください。特にセラミック発振子または水晶振動子を使用する場合、外付けの抵抗(R_f 、 R_d)や容量(C_G 、 C_D)の値は、実際の基板上に各部品を実装した状態で十分評価を行って適切なものを選んでください。

OSC1水晶発振

特記なき場合: $V_{DD} = 1.8V$, $V_{SS} = 0V$, $T_a = 25^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間	t_{STA1}	"I.8 基本外部結線図"記載の推奨部品使用の場合			1	s

E char

OSC3水晶発振

注: OSC3水晶発振回路には、“基本波を使用した水晶振動子”を使用してください。

特記なき場合: $V_{DD} = 1.8V$, $V_{SS} = 0V$, $T_a = 25^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間	t_{STA3}	"I.8 基本外部結線図"記載の推奨部品使用の場合			10	ms

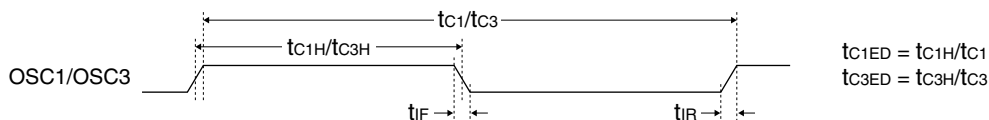
OSC3セラミック発振

特記なき場合: $V_{DD} = 1.8V$, $V_{SS} = 0V$, $T_a = 25^\circ C$

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始時間	t_{STA3}	"I.8 基本外部結線図"記載の推奨部品使用の場合			1	ms

I.7.7 AC特性

I.7.7.1 外部クロック入力特性



OSC1外部クロック

特記なき場合: $HV_{DD} = AV_{DD} = 2.7 \sim 3.6V$, $LV_{DD} = 1.65 \sim 1.95V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$

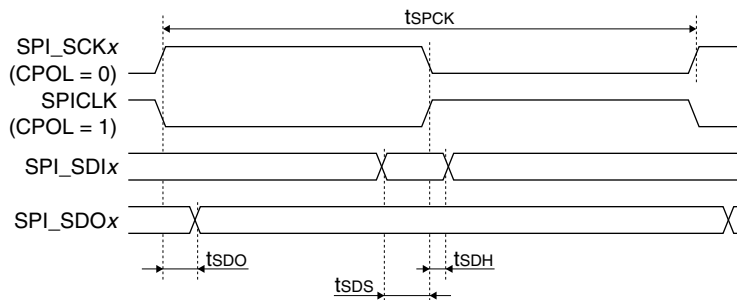
項目	記号	Min.	Typ.	Max.	単位
OSC1外部クロックサイクル時間	t_{c1}		30.51		μs
OSC1外部クロック入力デューティ	t_{c1ED}	45		55	%
OSC1外部クロック入力立ち上がり時間	t_{IF}			200	ns
OSC1外部クロック入力立ち下がり時間	t_{IR}			200	ns

OSC3外部クロック

特記なき場合: $HV_{DD} = AV_{DD} = 2.7 \sim 3.6V$, $LV_{DD} = 1.65 \sim 1.95V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$

項目	記号	Min.	Typ.	Max.	単位
OSC3外部クロックサイクル時間	t_{c3}	50		1000	ns
OSC3外部クロック入力デューティ	t_{c3ED}	45		55	%
OSC3外部クロック入力立ち上がり時間	t_{IF}			10	ns
OSC3外部クロック入力立ち下がり時間	t_{IR}			10	ns

I.7.7.2 SPI AC特性



マスタモード時

特記なき場合: $HV_{DD} = AV_{DD} = 2.7 \sim 3.6V$, $LV_{DD} = 1.65 \sim 1.95V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$

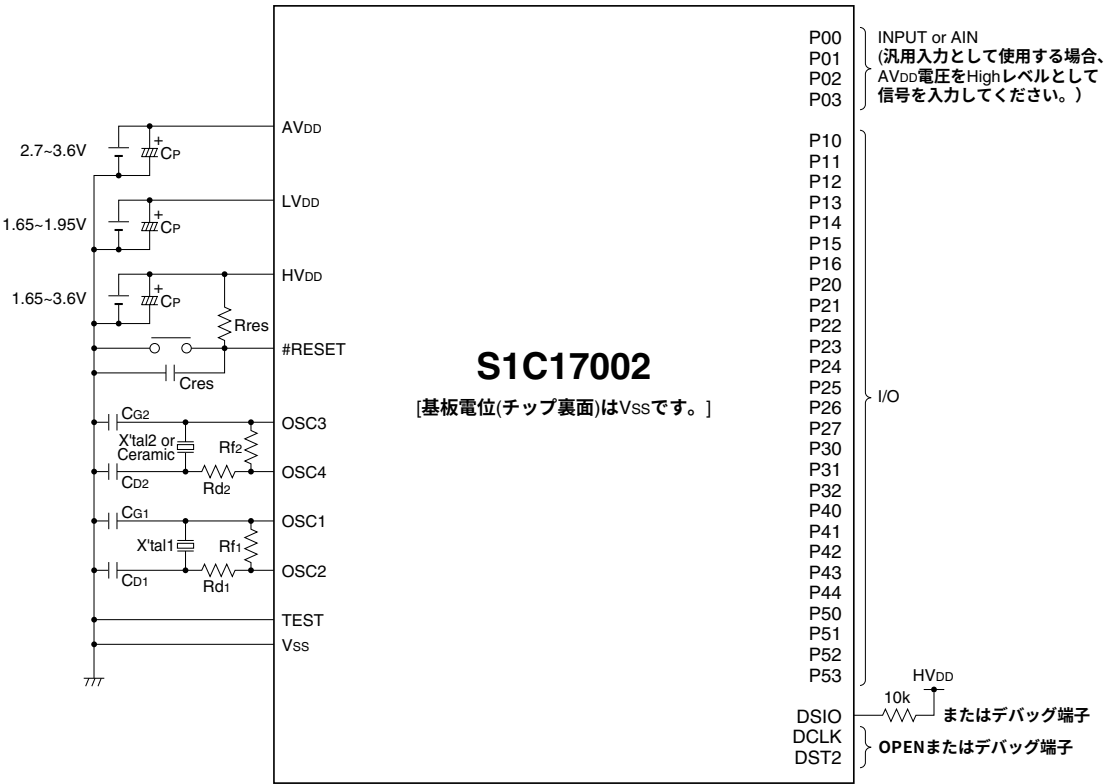
項目	記号	Min.	Typ.	Max.	単位
SPI_SCKxサイクル時間	t_{SPCK}	500			ns
SPI_SDIxセットアップ時間	t_{SDS}	70			ns
SPI_SDIxホールド時間	t_{SDH}	10			ns
SPI_SDOx出力遅延時間	t_{SDO}			20	ns

スレーブモード時

特記なき場合: $HV_{DD} = AV_{DD} = 2.7 \sim 3.6V$, $LV_{DD} = 1.65 \sim 1.95V$, $V_{SS} = 0V$, $T_a = -40 \sim 85^\circ C$

項目	記号	Min.	Typ.	Max.	単位
SPI_SCKxサイクル時間	t_{SPCK}	500			ns
SPI_SDIxセットアップ時間	t_{SDS}	10			ns
SPI_SDIxホールド時間	t_{SDH}	10			ns
SPI_SDOx出力遅延時間	t_{SDO}			80	ns

I.8 基本外部結線図



外付部品推奨値

OSC1発振回路用外付け部品

シンボル	振動子	推奨メーカー	周波数 [Hz]	品番	推奨定数				推奨動作条件	
					Cd1 [pF]	Cg1 [pF]	Rf1 [Ω]	Rd1 [Ω]	温度範囲 [°C]	
X'tal1	水晶振動子	エプソントヨコム 株式会社	32.768k	MC-146 (CL = 7.0pF)	7	7	1M	0	-40~85	

OSC3発振回路用外付け部品

シンボル	振動子	推奨メーカー	周波数 [Hz]	品番	推奨定数				推奨動作条件	
					Cd2 [pF]	Cg2 [pF]	Rf2 [Ω]	Rd2 [Ω]	温度範囲 [°C]	
X'tal2	水晶振動子	エプソントヨコム 株式会社	4M	MA-406 (CL = 16pF)	27	27	1M	0	-40~85	
			8M	MA-406 (CL = 7.0pF)	18	18	1M	0	-40~85	
			16M	FA-238 (CL = 7.0pF)	4	4	1M	0	-40~85	
			20M	FA-238 (CL = 7.0pF)	4	4	1M	0	-40~85	
Ceramic	セラミック 発振子	株式会社 村田製作所	4M	CSTCR4M00G55	(39)	(39)	1M	100	-20~80	
			8M	CSTCE8M00G55	(33)	(33)	1M	0	-20~80	
			12M	CSTCE12M0G55	(33)	(33)	1M	0	-20~80	
			16M	CSTCE16M0V53	(15)	(15)	1M	0	-20~80	
			20M	CSTCE20M0V53	(15)	(15)	1M	0	-20~80	
			4M	CSTCR4M00G55Z	(39)	(39)	1M	100	-40~85	
			8M	CSTCE8M00G55Z	(33)	(33)	1M	0	-40~85	
			12M	CSTCE12M0G55Z	(33)	(33)	1M	0	-40~85	
			16M	CSTCE16M0V53Z	(15)	(15)	1M	0	-40~85	
			20M	CSTCE20M0V53Z	(15)	(15)	1M	0	-40~85	

()は発振子に内蔵されている容量を表しています。

その他

シンボル	名称	推奨値
CP	電源キャパシタ	3.3 μ F
Cres	#RESET端子キャパシタ	0.47 μ F
Rres	#RESET端子抵抗	10k Ω

注: • ここに記載されている値は一例であり、特に動作を保証するものではありません。

- 水晶振動子やセラミック発振子は外部部品や基板による影響に敏感です。これらを使用する場合は、必ず使用条件などを製造メーカーにお問い合わせください。

I.9 実装上の注意事項

基板の設計およびICを実装する際の注意事項を以下に示します。

発振回路

- 発振特性は使用部品(振動子、 R_f 、 C_G 、 C_D)や基板パターンなどにより変化します。特にセラミック発振子または水晶振動子を使用する場合、外付けの抵抗(R_f)や容量(C_G 、 C_D)の値は、実際の基板上に各部品を実装した状態で十分評価を行って適切なものを選んでください。
- ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため以下の点に配慮してください。特に最新機種は、より微細なプロセスで製造されており、ノイズに敏感になっています。

最もノイズ対策が必要となるのは、OSC2端子とその回路構成部品および配線です。OSC1端子の処理もこれらと同様に重要です。以下、OSC1、OSC2端子のノイズ対策を記載します。

なお、OSC3、OSC4端子や配線等、高速発振回路系についても、これに準じたノイズ対策を施すことを推奨します。

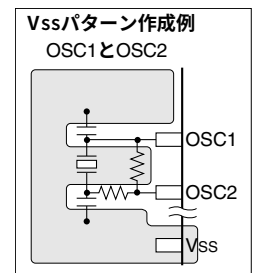
- OSC1(OSC3)、OSC2(OSC4)端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
- OSC1(OSC3)、OSC2(OSC4)端子とこれらの回路構成部品、および配線から3mm以内の領域には、できるだけデジタル信号線を配置しないでください。特に、スイッチングが激しい信号を近くに配置することは避けてください。多層プリント基板の各層の間隔は0.1~0.2mm程度しかありませんので、デジタル信号線を他のどの層に配置する場合でも同様です。
また、これらの部品や配線とデジタル信号線を絶対に並走させないでください。3mm以上の距離がある場合や基板の他の層であっても禁止します。配線を交差させることも避けてください。

- OSC1(OSC3)、OSC2(OSC4)端子と配線は、基板の隣接する層も含めVssでシールドしてください。

配線する層は、右の図のように広めにシールドしてください。

隣接する層についてはできれば全面をグラウンド層に、最低でも上記端子と配線の周囲を5mm以上カバーするようにシールドしてください。

この対策を施した場合でも、(2)に記載したようにデジタル信号線との並走は禁止します。他の層での交差についても、スイッチング頻度の低い信号以外はできるだけ避けてください。



- OSC1、OSC3端子に外部クロックを入力する場合、クロック源からできるだけ最短で接続してください。OSC2、OSC4端子は開放してください。
- 上記の対策を施した後は、実機で実際のアプリケーションプログラムを動作させた状態での出力クロック波形も確認してください。

CMU_CLK端子の出力をオシロスコープなどで確認します。

OSC3出力波形の品質は、CMU_CLK出力で確認します。設計どおりの周波数でノイズが乗っていないかどうか、およびジッタがほとんどないことを確認してください。

OSC1波形の品質もCMU_CLK出力で確認します(システムクロックソースをOSC1に切り換え後)。特にクロックの立ち上がり/立ち下がりの両エッジの前後を拡大し、前後100ns程度の範囲にクロック状のノイズやスパイクノイズなどが乗っていないか注意して見てください。

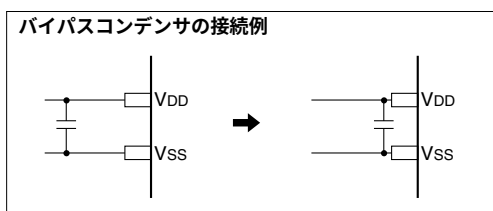
(1)~(3)の対応が不十分な場合、OSC3出力にはジッタが発生し、OSC1出力にはノイズが乗ることがあります。OSC3出力にジッタが発生するとその分、動作周波数が低下します。OSC1出力にノイズが乗ると、OSC1クロックで動作するRTCや、システムクロックをOSC1に切り換えた際のCPUコアの動作が不安定になります。

リセット回路

- 電源投入時、#RESET端子に入力されるリセット信号は、諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。#RESET端子のプルアップ抵抗については、抵抗値のばらつきを十分考慮した定数設定が必要です。
- ノイズによる動作中のリセットを防ぐため、#RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

電源回路

- ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。
 - 電源からLVDD、HVDD、VSS、およびAVDD端子へはできるだけ短かつ太いパターンで接続してください。特にAVDD電源は、A/D変換器に用いるため変換精度に影響を与えます。
 - VDD-VSSのバイパスコンデンサを接続する場合、VDD端子とVSS端子をできるだけ最短で接続してください。

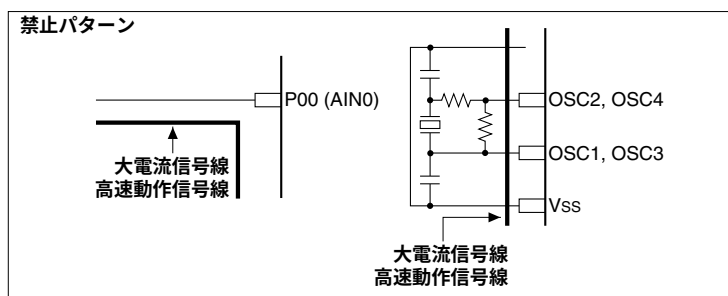


A/D変換器

- A/D変換器を使用しない場合でも、AVDDをVDDに接続してください。

信号線の配置

- 相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部、アナログ入力部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。
- 高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。特に、発振部、アナログ入力部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



ノイズによる誤動作について

ノイズによるICの誤動作が考えられる場合、以下の4点について確認してみてください。

(1) TEST端子

この端子にHighレベルのノイズが入ると、IC全体がテストモードやハイインピーダンスになり、動作しなくなります。こうなった場合、端子がLowに戻っても元の状態には復帰しませんので、TEST端子は必ず基板上でGNDに接続してください。

IC内にプルダウン抵抗が付いていますが、50～100k Ω 程度と高インピーダンスなため、ノイズには強くありません。

(2) DSIO端子

この端子にLowレベルのノイズが入るとデバッグモードになります。デバッグモードになったことは、DCLKからクロックが出力され、DST2端子がHighになっていることで確認できます。

製品版では、DSIO端子をHVDDに直結、もしくは10k Ω 以下の抵抗でプルアップすることを推奨します。

IC内にプルアップ抵抗が付いていますが、50～100k Ω 程度と高インピーダンスなため、ノイズには強くありません。

(3) #RESET端子

この端子にLowレベルのノイズが入るとICがリセットされます。ただし、入力波形によっては正常なリセット動作が行えない場合があります。

回路設計上、リセット入力が高レベル状態でのインピーダンスが高いときに起こりやすくなります。

(4) LVDD、VSS、HVDD電源

規定の電圧を下回るようなノイズが入った場合、その瞬間にICが誤動作します。

基板の電源系のベタパターン化、ノイズ除去用デカップリングコンデンサの追加、電源ラインへのサージ/ノイズ対策部品の追加など、基板上での対策をお願いします。

上記の確認作業は、200MHz以上の波形が観測できるオシロスコープを使用して行ってください。低速なオシロスコープでは、高速なノイズの発生を観測できない場合があります。

ノイズによる誤動作の可能性をオシロスコープの波形観測で発見した場合は、その端子をGNDまたは電源に低インピーダンス(1k Ω 以下)で接続して再確認してください。誤動作しなくなる、頻度が低くなる、あるいは症状が変わるなどの変化が見受けられる場合、その端子での誤動作が確実と考えられます。

上記のTEST、DSIO、#RESET入力の回路は入力信号のエッジを検出しているため、ひげ状のノイズでも誤動作しやすく、デジタル信号の中では最もノイズに弱い端子です。

ノイズが乗りにくいように、基板設計の際には以下の2点を考慮してください。

(A) まず、上記の各項目にあるように、信号を駆動するインピーダンスを低くすることが重要です。

目安としては1k Ω 以下、できれば0 Ω となるように電源やGNDに接続してください。また、接続する信号線長は5cm程度以下としてください。

(B) 基板上で他のデジタル線と並走したために、その信号の1→0、0→1の変化点で発生するノイズの影響を受ける場合があります。

特に、同時変化する複数の信号線に両側から挟まれると、最も大きなノイズが乗ります。並走距離を短くする(数cm以下に抑える)、信号を離す(2mm以上離す)、といった対策が有効です。

Mount

その他

本製品シリーズは0.18 μ m微細プロセスにより製造されています。

ICの基本信頼性に関してはEIAJ、MIL規格を満足するように設計されていますが、実装段階においては以下の点に十分注意してください。

全発振回路入出力端子は、内部の0.18 μ mトランジスタを直接使用する構造となっていますので、実装時の機械的ダメージのほか、

- (1) 実装時リフロー工程、実装後のリワーク、個別特性評価(実験確認)の各工程における商用電源からの電磁誘導ノイズ
- (2) 半田ごて使用時のこて先からの電磁誘導ノイズ

など、緩やかな時間的变化を伴う絶対最大定格(2.5V)以上の電圧となる外乱が、電氣的損傷につながる可能性があります。

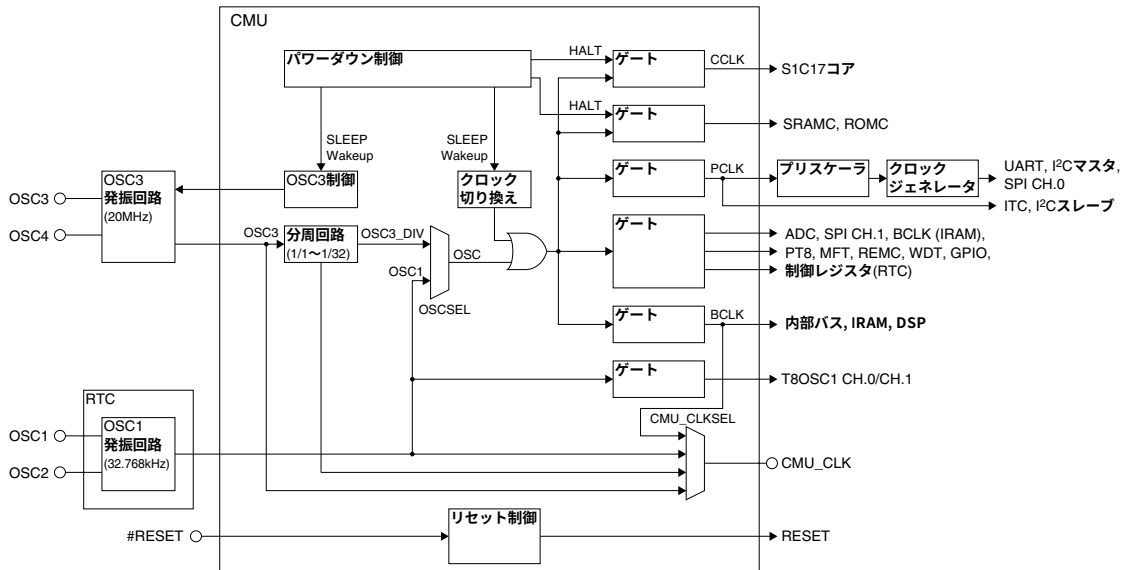
特に半田ごて使用時には、ICのGNDと半田ごてのGND(こて先の電位)を同電位として作業を行ってください。

S1C17002 Technical Manual

II S1C17002クロックシステム

II.1 クロック系統図

S1C17002のクロックシステムを図II.1.1に示します。



図II.1.1 クロック系統図

S1C17002は、クロックマネージメントユニット(CMU)によってコアやバスの動作クロックを制御します。周辺回路の動作クロックはプリスケアラとクロックジェネレータで生成します。処理に合わせてクロックを制御し、さらにスタンバイモードを組み合わせることで消費電流を抑えることができます。消費電流を抑える手法については、“Appendix C パワーセーブ”を参照してください。

このページはブランクです。

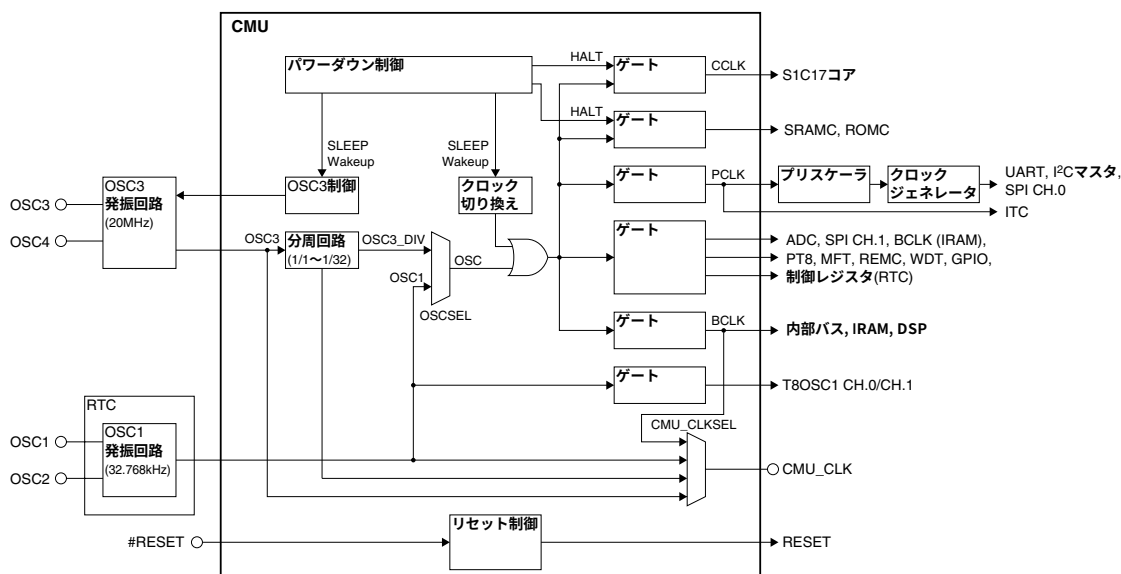
II.2 クロックマネージメントユニット(CMU)

II.2.1 CMUの概要

CMU(クロックマネージメントユニット)は、各機能モジュールに供給する動作クロックを制御します。CMUの主な機能は以下のとおりです。

- リセット入力の制御
- システムクロックソース(OSC3またはOSC1)の選択
- OSC3発振回路のOn/Off制御
- スタンバイモード(SLEEP、HALT)に応じたクロック制御
- メインシステムクロックの分周比選択
- 外部バスクロック選択
- 機能モジュールごとのクロック供給のOn/Off制御

システムクロックの選択、発振回路の制御、メインシステムクロックの分周比選択、機能モジュールごとのクロックのOn/Offにより、処理に合わせて最適な動作周波数を選択するとともに不要なクロック供給を停止し、さらにスタンバイモードを組み合わせることで消費電力を大幅に抑えることができます。



図II.2.1.1 CMUブロック図

注: 0x4900～0x4908番地のCMU制御レジスタは書き込み保護されています。これらのCMU制御レジスタを書き換えるには、CMU Write Protect Register(0x4920)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、0x4900～0x4908番地の不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はCMU Write Protect Register(0x4920)を0x96以外に設定してください。

II.2.2 リセット入力とイニシャルリセット

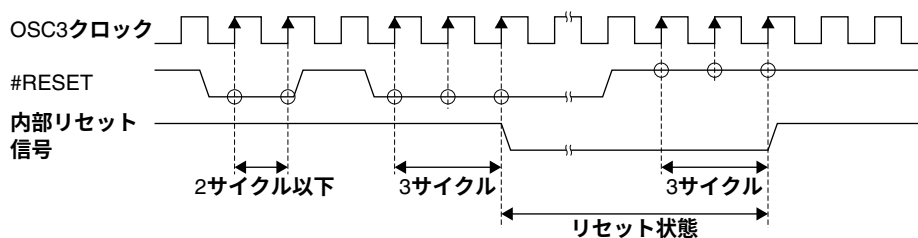
CMUには外部リセット入力(#RESET)から内部リセット信号を生成する機能もあります。

II.2.2.1 イニシャルリセット端子

外部からのイニシャルリセット入力には#RESET端子を使用します。ICをリセットするには、#RESET端子を0(Low)にします。

#RESET端子の入力信号はOSC3クロックでサンプリングされます。したがって、OSC3クロックが入力または生成されていないとチップはリセットされません。また、図II.2.2.1.1に示すとおり、サンプリングで3回連続してLowレベルが検出されないと内部リセット信号は生成されません。確実にリセットをかけるには、少なくともOSC3クロックの3サイクル以上#RESET = 0を保持してください。内部リセット信号の解除も3回の連続したHighレベル検出により行われます。

S1C17002は内部リセット信号が0(Low)になるとリセットされ、そのリセット信号が1(High)に立ち上がることで動作を開始します。



図II.2.2.1.1 #RESETのサンプリング

II.2.2.2 イニシャルリセット内容

S1C17コアと周辺回路は、内部リセット信号が0の期間中に初期化されます。イニシャルリセットによるIC内部の設定内容を以下に示します。

CPU - PC:	0x20000からリセットベクタをロード
CPU - PSR:	全PSRビットが0にリセット
CPU - その他のレジスタ:	すべて0クリア
TTBR:	0x20000に初期化
CPU - 動作クロック:	OSC3 × 1/1のクロックで動作
発振回路:	高速(OSC3)発振回路がOn。低速(OSC1)発振回路は常にOn
周辺回路へのクロック供給:	すべてOn
I/O端子の状態:	初期化(“I.3.2 端子機能”参照)
他の周辺回路:	初期化または不定(I/Oマップ参照)

注: S1C17002はI/O端子とTTBRレジスタ値を保持するホットリセットには対応していません。

II.2.2.3 パワーオンリセット

電源投入時は、確実に動作を開始させるため、必ずリセットを行ってください。

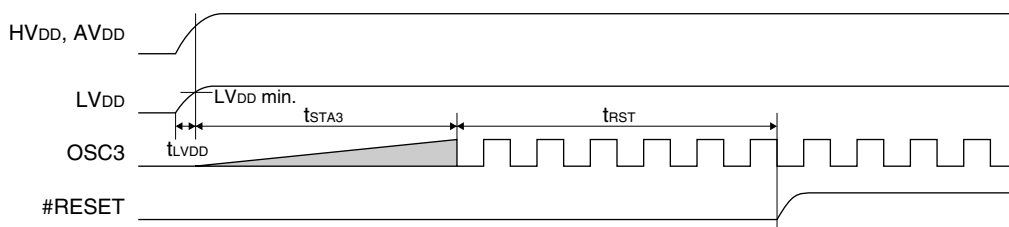
#RESET端子はゲート入力のため、外部にパワーオンリセット回路を構成することを推奨します。

イニシャルリセット(#RESET = 0)により高速(OSC3)発振回路が発振を開始し、リセット信号の立ち上がりでCPUがOSC3クロックにより動作を開始します。高速(OSC3)発振回路は動作開始後に発振が安定するまで発振安定時間を要します。CPUを確実に起動させるには、この発振安定時間の経過後にイニシャルリセットを解除することが必要です。

注: 高速(OSC3)発振回路の発振開始時間は使用する素子や基板パターンおよび動作環境により変化します。リセット解除時間には十分な余裕をとってください。

パワーオンシーケンス

デバイスを正常に動作させるため、以下のタイミングを守って電源を投入してください。



図II.2.2.3.1 パワーオンシーケンス

- (1) t_{LVDD} : 電源投入時の電源が安定するまでの時間
下記の順序で、電源を投入してください。
電源投入時: $LV_{DD} \rightarrow HV_{DD}(I/O), AV_{DD}(A/D) \rightarrow$ 入力信号印加
または、 $LV_{DD}, HV_{DD}(I/O), AV_{DD}(A/D) \rightarrow$ 入力信号印加
- (2) t_{STA3} : OSC3発振開始時間
- (3) t_{RST} : 最小リセットパルス幅

CMUに供給されるOSC3クロックが安定した状態から最低6クロックの期間、#RESET信号を0(Low)に保持してください。

注: HV_{DD} をオフ状態からオン状態へ復帰させる場合、電源ノイズ等の影響により内部回路の状態を保証できません。したがって、電源投入後は必ず回路を初期化(リセット)してください。

II.2.2.4 イニシャルリセット時の注意事項

コアCPU

イニシャルリセット時、コアCPUの内部レジスタはすべて0にクリアされます。必要に応じてプログラムで初期化してください。特に、SP(スタックポインタ)はスタックのアクセス前に必ず初期化してください。なお、誤動作を防ぐため、イニシャルリセット後はSPにデータが書き込まれるまでNMI要求はハードウェアによってマスクされるようになっています。

内蔵RAM

内蔵RAMの内容はイニシャルリセットにより不定となります。必要に応じて初期化してください。

OSC3発振回路

イニシャルリセットによりOSC3発振回路が発振を開始し、リセットが解除されるとCPUはOSC3クロックによって動作を開始します。不安定なクロックによる誤動作を防止するため、パワーオンリセットやOSC3発振回路が停止中にリセットを行う場合は、発振が安定してからリセットを解除する必要があります。

OSC1発振回路

パワーオンリセットによりOSC1発振回路も発振を開始します。OSC1発振回路はOSC3発振回路に比べ、発振の安定に長い時間を要します(電気的特性参照)。不安定なクロックによる誤動作を防止するため、OSC1クロックはこの安定時間が経過してから使用してください。

入出力ポートと入出力端子

イニシャルリセットは入出力ポートの制御レジスタおよびデータレジスタを初期化しますので、プログラムによる再設定が必要です。

その他の内蔵周辺回路

上記以外の周辺回路の制御およびデータレジスタは、イニシャルリセットにより初期化あるいは不定となります。プログラムにより必要な設定を行ってください。

イニシャルリセットによる周辺回路の初期設定内容については、各I/Oマップまたは回路説明を参照してください。

II.2.3 NMI入力

ウォッチドッグタイマ(WDT)からのNMI信号はCMUに入力され、CPUに送られます。
CPUによるNMI例外処理については、“S1C17 Family S1C17コアマニュアル”を参照してください。

注: NMIはネスティングできません。CPUはNMI例外の発生からreti命令が実行されるまでNMI入力をマスクします。

II.2.4 システムクロックソースの選択

本CMUには以下の2系統のクロック入力があり、いずれか1つをシステムのソースクロック(OSC)として選択できるようになっています。

1. OSC3クロック

OSC3発振回路で生成、あるいは外部からOSC3端子に入力したクロックです。

OSC3発振回路の詳細については、“II.2.5.1 OSC3発振回路”を参照してください。

2. OSC1クロック

RTC(リアルタイムクロック)用のソースクロックです(32.768kHz、Typ.)。高速動作が不要な場合には、この低速クロックでシステムを動作させることにより、消費電力を抑えることができます。OSC1発振回路の詳細については、“II.2.5.3 OSC1発振回路”を参照してください。

クロックソースはOSCSEL(D2/CMU_SYSCCLKCTLレジスタ)で選択できます。

* **OSCSEL**: OSC Clock Selection Bit in the System Clock Control (CMU_SYSCCLKCTL) Register (D2/0x4900)

OSCSELを0(デフォルト)に設定すると、システムのソースクロックとしてOSC3が選択されます。OSCSELを1に設定した場合はOSC1が選択されます。

ここでクロックソースを変更してもすぐには切り換わず、これ以降にSLEEPモードから復帰した時点で切り換わります。したがって、OSCSELの設定後は一度slp命令を実行する必要があります。通常SLEEPモードからはポートからの外部入力割り込みなどによって通常動作に復帰しますが、ソースクロック変更用にslp命令の実行から一定時間後に自動的に通常動作に復帰させる機能や、SLEEPモード時にOSC3発振が停止しないようにする機能も用意されています。これらの制御の詳細については、“II.2.8 スタンバイモード”で説明します。

注: クロックソースを変更する場合、その直後のSLEEPモードからの復帰時に、選択したクロックソースからCMUにクロックが確実に供給されるように設定しておく必要があります。選択したクロックが供給されない場合、SLEEPから復帰後にICは再起動しません。

II.2.5 発振回路の制御

II.2.5.1 OSC3発振回路

OSC3発振回路はS1C17コアと内蔵周辺回路動作のメインクロックを発生します。

OSC3発振回路の入出力端子

表II.2.5.1.1にOSC3発振回路の入出力端子を示します。

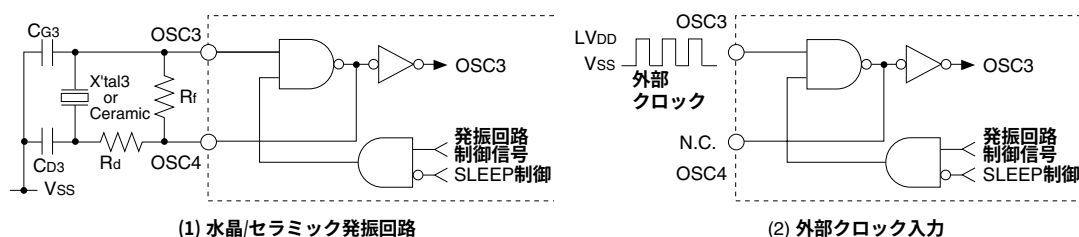
表II.2.5.1.1 OSC3発振回路の入出力端子

端子名	I/O	機能
OSC3	I	OSC3発振入力端子: 水晶/セラミック発振または外部クロック入力
OSC4	O	OSC3発振出力端子: 水晶/セラミック発振(外部クロック入力時は開放)

発振回路の構造

OSC3発振回路は、水晶/セラミック発振と外部クロック入力に対応しています。

図II.2.5.1.1にOSC3発振回路の構造を示します。



図II.2.5.1.1 OSC3発振回路

水晶またはセラミック発振回路として使用する場合は、図II.2.5.1.1(1)のように水晶(X'tal3)振動子またはセラミック(Ceramic)発振子、帰還抵抗(Rf)、2つのコンデンサ(CG3、CD3)および必要に応じてドレイン抵抗(Rd)を、OSC3とOSC4端子およびVssに接続してください。

外部クロックを使用する場合はOSC4端子を開放し、LVDDレベルでデューティ比が50%のクロックをOSC3端子に入力してください。

発振周波数の範囲は以下のとおりです。

- 水晶/セラミック発振: 1MHz Min.~20MHz Max.
- 外部クロック入力: 20MHz Max.

発振特性と外部クロックの入力特性については“電気的特性”を参照してください。

発振の制御

OSC3発振は、CMUレジスタ内の制御ビットSOSC3(D1/CMU_SYSCCLKCTLレジスタ)で制御します。

* **SOSC3**: OSC3 Oscillator On/Off Bit in the System Clock Control (CMU_SYSCCLKCTL) Register (D1/0x4900)

この制御ビットを0に設定するとOSC3発振回路は停止し、1に設定すると発振を開始してクロックを出力します。イニシャルリセット時は1に設定され、発振動作を行います。

注: SOSC3を0から1に設定して発振を開始させた場合、発振の安定にある程度の時間を要します(“電気的特性”参照)。誤動作を防ぐため、この発振開始時間が経過するまでは発振クロックを使用しないでください。

II.2.5.2 OSC3分周回路の設定

システムクロックのソースにOSC3を選択した場合、OSC3の分周クロックをシステムクロックとして使用することができます。処理内容に応じてクロック周波数をできるだけ低く設定することにより、消費電流を低減できます。

OSC3分周回路はOSC3・1/1からOSC3・1/32まで6種類の分周クロックを出力可能で、OSC3DIV[2:0](D[10:8]/CMU_OSC3DIVレジスタ)でその中から1つを選択します。

* **OSC3DIV[2:0]**: OSC3 Clock Divider Selection Bits in the OSC3 Clock Divider (CMU_OSC3DIV) Register (D[2:0]/0x4903)

表II.2.5.2.1 OSC3分周クロックの選択

OSC3DIV[2:0]	OSC3_DIVクロック
0x7	OSC3•1/1
0x6	OSC3•1/1
0x5	OSC3•1/32
0x4	OSC3•1/16
0x3	OSC3•1/8
0x2	OSC3•1/4
0x1	OSC3•1/2
0x0	OSC3•1/1

(デフォルト: 0x0 = OSC3・1/1)

この選択は任意のタイミングで行えます。ただし、レジスタ値が変更されてから実際に切り換わるまで、最大QSC3クロックの32サイクルの時間を要します。

II.2.5.3 OSC1発振回路

SI1C17002はRTCの計時用およびT8OSC1 CH.0/CH.1のクロック源として、32.768kHz(Typ.)のクロックを発生するOSC1発振回路を内蔵しています。このOSC1クロックは、パワーセーブ動作にコアシステムや周辺回路の動作クロックとして使用することも可能です。

OSC1発振回路の入出力端子

表II.2.5.3.1にOSC1発振回路の入出力端子を示します。

表II.2.5.3.1 低速 (OSC1) 発振回路の入出力端子

端子名	I/O	機能
OSC1	I	OSC1発振入力端子: 水晶発振または外部クロック入力
OSC2	O	OSC1発振出力端子: 水晶発振(外部クロック入力時は開放)

OSC1発振回路の構造

OSC1発振回路は、水晶発振と外部クロック入力に対応しています。電源にはRTCと同じLV_{DD}を使用します。図II.2.5.3.1にOSC1発振回路の構造を示します。

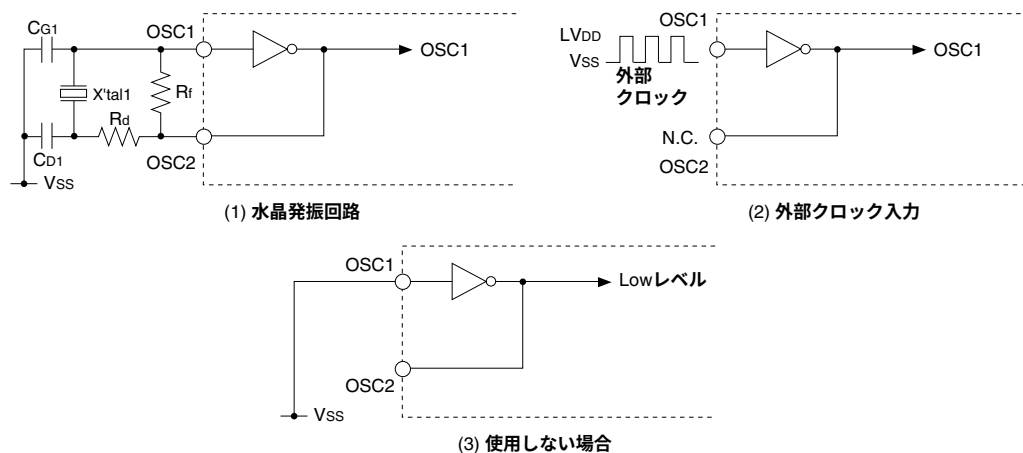


図11.2.5.3.1 OSC1発振回路

水晶発振回路として使用する場合は、図II.2.5.3.1(1)のように水晶振動子X'tal1(32.768kHz Typ.)、帰還抵抗(R_f)、2つのコンデンサ(C_{G1} 、 C_{D1})および必要に応じてドレイン抵抗(R_d)を、OSC1とOSC2端子および V_{SS} に接続してください。

外部クロックを使用する場合はOSC2端子を開放し、 LV_{DD} レベルでデューティ比が50%のクロックをOSC1端子に入力してください。

発振周波数/入力クロック周波数は32.768kHz(Typ.)です。この周波数の水晶振動子または外部クロックを使用してください。これ以外の周波数では、計時用途に使用できません。

発振特性と外部クロックの入力特性については“電気的特性”を参照してください。

OSC1発振回路を使用しない場合はOSC1端子を V_{SS} に接続し、OSC2端子を開放してください。

発振の制御

OSC1発振回路は常に動作します。制御レジスタの設定は不要です。

注: 電源投入によりOSC1が発振を開始した後、発振の安定にある程度の時間を要します(最大3秒)。誤動作を防ぐため、この発振開始時間が経過するまでは発振クロックを使用しないでください。

II.2.6 クロック供給制御

消費電流を抑えるため、機能モジュールごとにクロックの供給を停止できるようになっています。

II.2.6.1 S1C17コアへのクロック供給

通常動作時は、CMUが常にコア動作クロック(CCLK)をS1C17コアに供給します。

S1C17コアがhaltまたはslp命令を実行すると、CMUはS1C17コアへのクロック供給を停止し、S1C17コアがスタンバイモード(HALTまたはSLEEP)になります。割り込みによりスタンバイモードが解除されると、CMUはS1C17コアへのクロック供給を再開します。スタンバイモードの詳細については、“II.2.8 スタンバイモード”を参照してください。

II.2.6.2 コア周辺モジュールへのクロック供給

以下のコア周辺モジュールはコア周辺クロック(PCLK)で動作します。

- プリスケアラ
- クロックジェネレータ(16ビット/8ビットタイマ)
- UART
- SPI CH.0
- I²Cマスタ
- I²Cスレーブ
- 割り込みコントローラ

PCLKの供給はPCLK_EN(D0/CMU_GATEDCLK0レジスタ)で制御できます。

* **PCLK_EN**: Core Peripheral Clock Control Bit in the Gated Clock Control 0 (CMU_GATEDCLK0) Register (D0/0x4906)

イニシャルリセット時、PCLK_ENは1(On)に設定され、コア周辺モジュールにはクロックが供給されます。コア周辺モジュールのすべてを使用しないときは、消費電流を抑えるためPCLK_ENを0に設定してください。

注: PCLK_ENが1(On)に設定されている場合、HALT時もPCLKは停止しません。HALT時に停止させたい場合は、halt命令の実行前に、PCLK_ENを0に設定してください。SLEEP時はCMUレジスタの設定にかかわらず、PCLKが停止します(II.2.8.2節参照)。

II.2.6.3 拡張周辺モジュールへのクロック供給

表II.2.6.3.1に各モジュールへの動作クロックの供給をOn/Offする制御ビットを示します。ここに示したモジュールは制御可能なクロック経路がI系統のみで、表に記載の制御ビットのみで動作をOn/Offできます。SRAMC、ROMC、RTC、T8OSC1のクロック制御については、II.2.6.4～II.2.6.7節を参照してください。

表II.2.6.3.1 拡張周辺クロック供給制御ビット

モジュール	クロック	制御ビット	レジスタ
8ビットプログラマブルタイマ	PT8_CLK	PT8_CLK_EN (D1)	Gated Clock Control 1 (CMU_GATEDCLK1) Register (0x4907)
マルチファンクションタイマ	MFT_CLK	MFT_CLK_EN (D0)	
SPI CH.1 *	SPI_CLK	SPI_CLK_EN (D5)	Gated Clock Control 2 (CMU_GATEDCLK2) Register (0x4908)
リポートコントローラ	REMC_CLK	REMC_CLK_EN (D4)	
A/D変換器	ADC_CLK	ADC_CLK_EN (D3)	
ウォッチドッグタイマ	WDT_CLK	WDT_CLK_EN (D2)	
入出力ポート	PORT_CLK	PORT_CLK_EN (D1)	

* SPI CH.1用のプリスケアラは8ビットプログラマブルタイマに内蔵されています。したがって、SPI CH.1を使用する場合はSPI_CLKに加え、PT8_CLKも供給しておく必要があります。

イニシャルリセット時、これらの制御ビットは1(On)に設定され、クロックが各モジュールに供給されます。モジュールを使用しない場合は、対応する制御ビットを0(Off)に設定し、クロック供給を停止してください。

注: 対応する制御ビットが1(On)に設定されている場合、HALT時もこれらのクロックは停止しません。HALT時に停止させたい場合は、halt命令の実行前に各制御ビットを0に設定してください。SLEEP時はCMUレジスタの設定にかかわらず、これらのクロックはすべて停止します(II.2.8.2節参照)。

II.2.6.4 SRAMCへのクロック供給

SRAMCにはSRAMCクロック (SRAMC_CLK)を制御するSRAMC_CLK_EN(D7/CMU_GATEDCLK1レジスタ)が用意されています。ただし、SRAMCは内部周辺バス(SAPB)を制御しているため、ICが動作中はSRAMC_CLKを停止することができません。つまり、SRAMC_CLK_ENを0(Off)に設定しても、通常動作時(haltまたはslp命令実行時を除く)にSRAMC_CLKは停止しません。ただし、HALT時はSRAMC_CLK_ENを0(Off)に設定することによって、SRAMC_CLKを自動的に停止させることができます(デフォルト: On)。

* **SRAMC_CLK_EN**: SRAMC Clock Control (in HALT mode) Bit in the Gated Clock Control 1 (CMU_GATEDCLK1) Register (D7/0x4907)

イニシャルリセット時はSRAMC_CLK_ENが1(On)に設定され、SRAMC_CLKの供給が許可されます。HALT時にSRAMC_CLKが不要な場合は、SRAMC_CLK_ENを0(Off)に設定してください。この状態でhalt命令を実行すると、SRAMC_CLKの供給が停止します。割り込み等によりHALT状態が解除されると、SRAMC_CLKの供給が再開します。SLEEP時はCMUレジスタの設定にかかわらず、SRAMC_CLKが停止します(II.2.8.2節参照)。

II.2.6.5 ROMCへのクロック供給

ROMCにはROMCクロック (ROMC_CLK)を制御するROMC_CLK_EN(D7/CMU_GATEDCLK0レジスタ)が用意されています。ただし、ROMCはROM内のプログラムの実行に必要なため、ICが動作中はROMC_CLKを停止することができません。つまり、ROMC_CLK_ENを0(Off)に設定しても、通常動作時(haltまたはslp命令実行時を除く)にROMC_CLKは停止しません。ただし、HALT時はROMC_CLK_ENを0(Off)に設定することによって、ROMC_CLKを自動的に停止させることができます(デフォルト: On)。

* **ROMC_CLK_EN**: ROMC Clock Control (in HALT mode) Bit in the Gated Clock Control 0 (CMU_GATEDCLK0) Register (D7/0x4906)

イニシャルリセット時はROMC_CLK_ENが1(On)に設定され、ROMC_CLKの供給が許可されます。HALT時にROMC_CLKが不要な場合は、ROMC_CLK_ENを0(Off)に設定してください。この状態でhalt命令を実行すると、ROMC_CLKの供給が停止します。割り込み等によりHALT状態が解除されると、ROMC_CLKの供給が再開します。SLEEP時はCMUレジスタの設定にかかわらず、ROMC_CLKが停止します(II.2.8.2節参照)。

II.2.6.6 RTCへのクロック供給

RTCには2つのクロックが必要です。

(1) 32.768kHzクロック (OSC1)

RTCの計時に必要なクロック (OSC1 = 32.768kHz)です。このクロックはスタンバイモード時も含め、常時RTCに供給されます。

(2) 制御レジスタ用クロック (RTC_SAPB_CLK)

RTCレジスタの制御に必要なクロック (MCLK)です。RTCレジスタをアクセスする際に必要となりますが、それ以外は停止させることができます。On/Off制御はRTC_SAPB_CLK_EN(D0/CMU_GATEDCLK2レジスタ)で行います(デフォルト: On)。

* **RTC_SAPB_CLK_EN**: RTC SAPB I/F Clock Control Bit in the Gated Clock Control 2 (CMU_GATEDCLK2) Register (D0/0x4908)

RTC_SAPB_CLK_ENを1に設定するとクロック供給がOn、0に設定するとOffします。RTC_SAPB_CLK_ENが1(On)に設定されている場合、HALT時もRTC_SAPB_CLKは停止しません。HALT時に停止させたい場合は、halt命令の実行前に、RTC_SAPB_CLK_ENを0(Off)に設定してください。SLEEP時はCMUレジスタの設定にかかわらず、RTC_SAPB_CLKが停止します(II.2.8.2節参照)。

II.2.6.7 8ビットOSC1タイマへのクロック供給

8ビットOSC1タイマは、2系統のクロック供給を制御する必要があります。以下の制御ビットは1に設定するとクロック供給がOn、0に設定するとOffします。

(1) 8ビットOSC1タイマ用クロック (T8OSC1_OSC1_CLK)

8ビットOSC1タイマのカウントに必要なクロック(OSC1 = 32.768kHz)です。On/Off制御はT8OSC1_CLK_EN(D3/CMU_GATEDCLK1レジスタ)で行います(デフォルト: On)。T8OSC1_CLK_ENが1(On)に設定されている場合、HALT時もT8OSC1_OSC1_CLKは停止しません。HALT時に停止させたい場合は、halt命令の実行前に、T8OSC1_CLK_ENを0(Off)に設定してください。SLEEP時はCMUレジスタの設定にかかわらず、T8OSC1_OSC1_CLKが停止します(II.2.8.2節参照)。

* **T8OSC1_CLK_EN**: 8-bit OSC1 Timer Clock Control Bit in the Gated Clock Control 1 (CMU_GATEDCLK1) Register (D3/0x4907)

(2) 制御レジスタ用クロック (T8OSC1_SAPB_CLK)

8ビットOSC1タイマレジスタの制御に必要なクロック(MCLK)です。8ビットOSC1タイマレジスタをアクセスする際に必要となりますが、それ以外は停止させることができます。On/Off制御はRTCレジスタ用クロックの制御ビットであるRTC_SAPB_CLK_EN(D0/CMU_GATEDCLK2レジスタ)で行います(デフォルト: On)。RTC_SAPB_CLK_ENが1(On)に設定されている場合、HALT時もT8OSC1_SAPB_CLKは停止しません。HALT時に停止させたい場合は、halt命令の実行前に、RTC_SAPB_CLK_ENを0(Off)に設定してください。ただし、RTC_SAPB_CLK_ENを0(Off)に設定すると、RTCへのRTC_SAPB_CLKの供給も停止しますので注意してください。SLEEP時はCMUレジスタの設定にかかわらず、T8OSC1_SAPB_CLKが停止します(II.2.8.2節参照)。

* **RTC_SAPB_CLK_EN**: RTC SAPB I/F Clock Control Bit in the Gated Clock Control 2 (CMU_GATEDCLK2) Register (D0/0x4908)

II.2.7 外部出力クロック (CMU_CLK) の設定

CMU_CLKは外部デバイス用に出力するクロックです。9種類のクロックからCMU_CLKSEL[3:0](D[3:0]/CMU_CMUCLKレジスタ)で選択することができます。

* **CMU_CLKSEL[3:0]**: CMU_CLK Selection Bits in the CMU_CLK Select (CMU_CMUCLK) Register (D[3:0]/0x4905)

表II.2.7.1 CMU_CLKの選択

CMU_CLKSEL[3:0]	CMU_CLK
0xf~0xa	Reserved
0x9	OSC3•1/32
0x8	OSC3•1/16
0x7	OSC3•1/8
0x6	OSC3•1/4
0x5	OSC3•1/2
0x4	OSC3•1/1
0x3	Reserved
0x2	BCLK
0x1	OSC1
0x0	OSC3

(デフォルト: 0x0 = OSC3)

CMU_CLKの選択は任意のタイミングで行えます。ただし、クロックの切り換え時にハザードがでます。CMU_CLKを外部出力するには、ポートの機能選択も必要です。その制御方法と使用するポートについては、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

注: 表II.2.7.1に記載の設定値以外はテスト用に予約されています。テスト用のクロックが出力されますので、上記以外の値をCMU_CLKSEL[3:0]に設定しないでください。

II.2.8 スタンバイモード

S1C17002はHALTモード、SLEEPモードの2種類のスタンバイモードをサポートしています。スタンバイモードに設定することにより大幅な省電力化が実現できます。

また、システムのクロックソース(OSC3、OSC1)を切り換える場合も、SLEEPモードへ移行する必要があります(詳細はII.2.9.1節およびII.2.9.2節参照)。

II.2.8.1 HALTモード

CPUはhalt命令を実行するとプログラムの実行を中断し、HALTモードに移行します。

HALTモードではCPUが動作を停止します。また、SRAMCクロック(SRAMC_CLK)とROMCクロック(ROMC_CLK)も、それぞれSRAMC_CLK_EN(D7/CMU_GATEDCLK1レジスタ)、ROMC_CLK_EN(D7/CMU_GATEDCLK0レジスタ)を0に設定することによってHALT中に停止させることができます(詳細はII.2.6.4節およびII.2.6.5節参照)。その他の内蔵周辺回路は、halt命令実行時の状態(停止/動作)を継続します。HALTモードはイニシャルリセットまたはNMIを含む任意の割り込みが発生することによって解除されます。デバッグからの強制ブレークでも解除されます。

HALTモードは、外部入力待ちや周辺回路の動作結果待ちなど、CPUの実行が不要な場合の省電力化に有効です。

割り込みによってHALTモードが解除されると、CPUは割り込み処理によってプログラム実行状態に移行し、その割り込み処理ルーチンを実行します。CPUの割り込み処理では、halt命令の次の命令アドレスが割り込み処理ルーチンからのリターンアドレスとしてスタックにセーブされますので、割り込み処理ルーチンのreti命令は、halt命令の次の命令に分岐します。

なお、HALTモードは、割り込みコントローラ(ITC)からCPUに入る割り込み信号がアクティブになることにより解除されます。つまり、PSRが割り込み禁止の状態に設定されている場合でも、ITCの割り込みイネーブルビットにより許可されている割り込みの割り込み要因フラグがセットされることで、HALTモードを解除することが可能です。ただし、この場合は割り込み処理ルーチンは実行されません。

II.2.8.2 SLEEPモード

CPUはslp命令を実行するとプログラムの実行を中断し、SLEEPモードに移行します。SLEEPモードではCPUが動作を停止するとともに、CMUも各機能モジュールへのクロック供給を停止することができます(詳細はII.2.6節参照)。したがって、OSC1発振回路とRTCを除き、すべての周辺回路が動作を停止します。なお、CMUがSLEEPモード移行処理を開始してから実際にクロック出力が停止するまでは、その時点で選択されているソースクロック(OSC)で最大8サイクルを要します。

SLEEPモードはイニシャルリセット、RTC割り込み(レベルトリガ)、または外部割り込み(レベルトリガのポート入力割り込み)の発生によって解除されます(WAKEUPWT = 1の場合)。CMUレジスタの設定については、II.2.9.3節とII.2.9.4節を参照してください。

割り込みによってSLEEPモードが解除されると、CPUは割り込み処理によってプログラム実行状態に移行し、その割り込み処理ルーチンを実行します。CPUの割り込み処理では、slp命令の次の命令アドレスが割り込み処理ルーチンからのリターンアドレスとしてスタックにセーブされますので、割り込み処理ルーチンのreti命令は、slp命令の次の命令に分岐します。

SLEEPモード時は割り込みコントローラ(ITC)へのクロック供給が停止しているため、ITCの割り込み要因フラグはセットされません。このため、ITCへのクロック供給が停止している場合は、ITCで割り込みが許可されている割り込み発生源からのレベルトリガ割り込み信号がITCをそのまま通過してCMUに渡され、SLEEPモードの解除に使用されます。この場合、ITCの割り込み要因フラグは、SLEEP解除後にクロックの供給が開始されてからセットされます。PSRが割り込み禁止の状態に設定されている場合でも、上記の割り込み要因でSLEEPモードを解除することはできますが、割り込み処理ルーチンは実行されません。

注: SLEEPモードでは、起床要因の割り込み信号入力からITCへのクロック供給が開始されるまでに時間差があるため、割り込みコントローラ(ITC)による割り込み要因フラグのセットに遅延が生じます。このため、クロック供給開始前に割り込み信号がインアクティブになるとITCの割り込みフラグがセットされず割り込みが発生しない場合があります。さらに、ITCからCPUに割り込み要求が伝わるまでも時間差があるため、CPUは割り込み処理を開始する前に、slp命令に続く数命令を実行してしまう場合があります。

SLEEPモードをポート入力割り込みで解除する場合は、割り込みトリガモードをレベルトリガに設定し(III.1.3.5節参照)、クロック供給が開始されるまで、入力信号をアクティブのまま保持してください。

OSC3の発振停止と起床時の発振安定待ち

デフォルト設定で、高速(OSC3)発振回路はSLEEPモードでも停止しません。これを、OSC3OFF(D7/CMU_SYCLKCTLレジスタ)でSLEEPモード時に停止させるように設定することができます。

- * **OSC3OFF**: OSC3 Disable During SLEEP Bit in the System Clock Control (CMU_SYCLKCTL) Register (D7/0x4900)

OSC3OFFを1に設定すると、SLEEPモード時にOSC3発振が停止します。この場合、SLEEPモードから起床した時点でOSC3発振回路が発振を開始します。ただし、発振が安定する前にCPUがOSC3クロックで動作を開始すると誤動作するため、CPUの動作開始を遅らせるOSC発振開始待ちタイマが用意されています。待ち時間はOSCTM[7:0](D[7:0]/CMU_OSC3_WCNTレジスタ)とTMHSP(D6/CMU_SYCLKCTLレジスタ)により設定可能です。

- * **OSCTM[7:0]**: OSC3 Oscillation Stabilization-Wait Timer Bit in the OSC3 Wait Timer (CMU_OSC3_WCNT) Register (D[7:0]/0x4901)
- * **TMHSP**: Wait-Timer High-Speed Mode Bit in the System Clock Control (CMU_SYCLKCTL) Register (D6/0x4900)

表II.2.8.2.1 起床時の発振安定待ち時間

TMHSP	OSCTM[7:0]	クロック数	時間
1	0x0	0	0
	0x1	16	800ns
	0x2	32	1.6μs
	:	:	:
	0xff	4080	0.204ms
0	0x0	0	0
	0x1	8192	0.409ms
	0x2	16384	0.819ms
	:	:	:
	0xff	2M	104.5ms

(時間は20MHzのOSC3で動作している場合の例です。)

クロックソース切り換え時のSLEEP制御

SLEEPモードからの起床時には、OSCSEL(D2/CMU_SYCLKCTLレジスタ)の設定にしたがってクロックソース(OSC3、OSC1)の切り換えも行われます。クロックソースを切り換えるにはSLEEPモードへの移行と復帰が必要です。そこで、割り込み等を使用せずに自動的にSLEEPモードを解除する機能が用意されています。この機能を使用するにはWAKEUPWT(D4/CMU_SYCLKCTLレジスタ)を0に設定します(デフォルトでは0に設定されています)。

- * **OSCSEL**: OSC Clock Selection Bit in the System Clock Control (CMU_SYCLKCTL) Register (D2/0x4900)
- * **WAKEUPWT**: Wakeup-Wait Function Enable Bit in the System Clock Control (CMU_SYCLKCTL) Register (D4/0x4900)

WAKEUPWTが0に設定されている状態でslp命令を実行すると、その時点から数十クロック後に自動的にSLEEPモードが解除され、前記の発振安定待ち時間経過後にOSCSELで設定したソースクロックでCPUが再起動します。

WAKEUPWTが0の場合でも、OSCTM[7:0]とTMHSPの設定によるOSC発振開始待ち時間は有効です。最も早くSLEEPモードを解除するには、OSCTM[7:0] = 0x0、TMHSP = 1に設定してください。

WAKEUPWTが1に設定されている場合は、イニシャルリセット、RTC割り込み(レベルトリガ)、または外部割り込み(レベルトリガのポート入力割り込み)によってSLEEPモードが解除されます。クロック切り換えとSLEEPの制御手順については、“II.2.9 クロック設定手順”を参照してください。

II.2.8.3 注意事項

割り込み

スタンバイモードはITC経由の割り込み、NMI、リセットにより解除されます。ITCは、スタンバイモードの解除に使用する割り込みが発生するように設定されている必要があります。ITCへのクロック供給が停止している場合は、割り込みが許可されている割り込み発生源からの割り込み信号がITCをそのまま通過してCMUに入力され、スタンバイモードの解除とクロック供給の開始に使用されます。

HALTモードではITCにクロックが供給されているため、割り込みフラグはすぐにセットされ、CPUにもすぐに割り込み要求が出されます。

SLEEPモードでは、CMUがITCへのクロック供給を開始してから割り込みフラグがセットされ、CPUへの割り込み要求も出されます。CPUに対する割り込み要求が若干遅れるため、SLEEPモードを解除後、CPUは割り込み処理に移行する前にslp命令に続く数命令を実行してしまうことがあります。

また、ITCへのクロックの供給を開始する前に割り込み発生源からの割り込み信号がインアクティブになった場合は割り込み要因フラグがセットされず、割り込みは発生しません。

CPUのPSRレジスタにあるIEおよびIL[2:0]ビットは、割り込みによるスタンバイモードの解除には影響しません。スタンバイモードを解除するためにITCで割り込みを許可しておき、IEビットで割り込みを禁止することで、スタンバイモード解除後に割り込み処理を行わないといった使い方もできます。ポート入力割り込み(レベル割り込み)によってスタンバイモードを解除し、割り込み処理ルーチンを確実に実行させるには、ポートへの入力信号を以下の時間以上アクティブにする必要があります。

- (1) SLEEPモード時にクロックを停止させる場合

OSC3発振開始時間 + OSC3 発振安定待ち時間(ユーザ設定) + システムクロック10サイクルの時間

- (2) SLEEPモード時にクロックを停止させない場合、またはHALTモード時

システムクロック10サイクルの時間

発振回路

SLEEPモード時にOSC3発振が停止する設定の場合、SLEEPモードの解除によりOSC3発振を再開します。OSC3発振回路は動作開始後に発振が安定するまで発振安定時間を要しますので、OSC3をクロックソースとしてCPUを再起動させる場合は、この発振安定時間が経過後にCPUが動作を開始するようにOSCTM[7:0](D[7:0]/CMU_OSC3_WCNTレジスタ)とTMHSP(D6/CMU_SYSCLKCTLレジスタ)を設定しておかなければなりません。OSC3発振回路の発振開始時間は使用する素子や基板パターンおよび動作環境により変化しますので、この時間設定には十分な余裕をとってください。

クロックソース切り換え

クロックソースを切り換える目的でslp命令を実行する際は、自動的にSLEEPモードを解除する機能を使用します。SLEEPモードが解除されるとOSCTM[7:0]とTMHSPで設定したOSC発振待ちタイマが動作しますが、このタイマは切り換わった後のクロックソースで動作しますので、OSC発振開始待ち時間の設定には注意してください。

その他

コアCPUの内部レジスタはスタンバイモード時も保持されます。

SLEEPモード時の入出力端子はSLEEP移行時の状態を保持します。

HALTモード時も入出力端子はHALT移行時の状態を保持します。ただし、CMUの設定によりクロックを供給しているモジュールの入出力端子は、HALT中でもモジュールの状態により変化します。

II.2.9 クロック設定手順

ここでは、クロックを設定/変更する手順を説明します。

イニシャルリセット時のクロック設定状態は以下のとおりです。

OSC3発振回路: On
 OSC1発振回路: On
 システムクロックソース: OSC3
 システムクロック: OSC3・1/1
 CMU_CLK: OSC3・1/1

II.2.9.1 クロックソースをOSC3からOSC1に変更後OSC3をOff

1. CMU Write Protect Register(0x4920) = 0x96
クロック制御レジスタの書き込み保護を解除します。
2. OSCSEL(D2/0x4900) = 1
OSC1をクロックソースに選択します。
3. OSC3 Wait Timer Register(0x4901) と System Clock Control Register(0x4900) の設定
 - OSCTM[7:0](D[7:0]/0x4901) = *
 - OSC3OFF(D7/0x4900) = 0
 - TMHSP(D6/0x4900) = *
 - WAKEUPWT(D4/0x4900) = 0

* OSC1発振が安定する時間(例: S1C17002では3秒)になるように、適切な値を設定します。設定値を計算する際、OSC発振待ちタイマはOSC1クロックで動作することに注意してください。OSC1発振開始時間については、“電気的特性”を参照してください。

設定時間経過後にSLEEPを自動解除し、割り込みを待たずに再起動するようにします。
4. 動作している周辺回路がある場合は、すべて停止させます。
5. slp命令を実行します。
チップはSLEEPモードになり、CMUは一旦クロック出力を停止します。
slp命令実行から設定時間経過後、SLEEPモードは自動的に解除され、OSC1をクロックソースとしてシステムが再起動します。
6. SOS3(D1/0x4900) = 0
OSC3発振回路をOffします。
7. クロック制御レジスタの再設定
必要に応じてCMU_CLKの設定変更、およびその他のCMUレジスタの再設定を行います。
8. CMU Write Protect Register(0x4920) = 0x96以外の値
クロック制御レジスタの書き込み保護を設定します。

II.2.9.2 クロックソースをOSC1からOSC3に変更

1. CMU Write Protect Register(0x4920) = 0x96
クロック制御レジスタの書き込み保護を解除します。
2. SOSC3(D1/0x4900) = 1
OSC3発振回路が停止している場合は、Onします。
3. OSCSEL(D2/0x4900) = 0
OSC3をクロックソースに選択します。
4. OSC3 Wait Timer Register(0x4901) と System Clock Control Register(0x4900) の設定
 - OSCTM[7:0](D[7:0]/0x4901) = *
 - OSC3OFF(D7/0x4900) = 0
 - TMHSP(D6/0x4900) = *
 - WAKEUPWT(D4/0x4900) = 0

* OSC3発振が安定する時間(例: S1C17002では25ms)になるように、適切な値を設定します。設定値を計算する際、OSC発振待ちタイマはOSC3クロックで動作することに注意してください。OSC3発振開始時間については、“電気的特性”を参照してください。

設定時間経過後にSLEEPを自動解除し、割り込みを待たずに再起動するようにします。
5. RTC以外で動作している周辺回路がある場合は、すべて停止させます。
6. slp命令を実行します。
チップはSLEEPモードになり、CMUは一旦クロック出力を停止します。
slp命令実行から設定時間経過後、SLEEPモードは自動的に解除され、OSC3をクロックソースとしてシステムが再起動します。
7. クロック制御レジスタの再設定
必要に応じてシステムクロックやCMU_CLKの設定変更、およびその他のCMUレジスタの再設定を行います。
8. CMU Write Protect Register(0x4920) = 0x96以外の値
クロック制御レジスタの書き込み保護を設定します。

II.2.9.3 SLEEP時にOSC3を停止

OSC3をクロックソースとして動作している場合に、SLEEPモードでOSC3発振を停止させるには、以下のように制御します。

1. CMU Write Protect Register(0x4920) = 0x96
クロック制御レジスタの書き込み保護を解除します。
2. OSC3 Wait Timer Register(0x4901)とSystem Clock Control Register(0x4900)の設定
 - OSCTM[7:0](D[7:0]/0x4901)とTMHSP(D6/0x4900)
SLEEP解除後の発振安定待ち時間を設定します。
例: TMHSP = 1, OSCTM[7:0] = 0x40 (OSC3 = 20MHzの場合で約26ms)
 - OSC3OFF(D7/0x4900) = 1
SLEEP時にOSC3発振が停止するように設定します。
 - WAKEUPWT(D4/0x4900) = 1
SLEEPモードがRTC割り込み(レベルトリガ)、または外部割り込み(レベルトリガのポート入力割り込み)によって解除されるように設定します。
3. CMU Write Protect Register(0x4920) = 0x96以外の値
クロック制御レジスタの書き込み保護を設定します。
4. RTC以外で動作している周辺回路がある場合は、すべて停止させます。
5. slp命令を実行します。
チップはSLEEPモードになり、CMUはクロック出力を停止します。

SLEEPモードはRTC割り込み(レベルトリガ)、デバッグからの強制ブレーク、または外部割り込み(レベルトリガのポート入力割り込み)によって解除され、設定した発振開始待ち時間経過後、OSCSEL(D2/0x4900)で選択されているクロックソース(OSC3)でシステムが再起動します。

II.2.9.4 発振OnのままのSLEEP(クロック変更なし)

クロックソースの変更と発振停止を行わずに、SLEEPモードにする手順は以下のとおりです。これは、起動性能を犠牲にせずにコアと周辺機能を停止して消費電力を抑えるための制御です。

1. CMU Write Protect Register(0x4920) = 0x96
クロック制御レジスタの書き込み保護を解除します。
2. OSC3 Wait Timer Register(0x4901)とSystem Clock Control Register(0x4900)の設定
 - OSCTM[7:0](D[7:0]/0x4901) = 0x0
 - OSC3OFF(D7/0x4900) = 0
 - TMHSP(D6/0x4900) = 1
 - WAKEUPWT(D4/0x4900) = 1SLEEPモードがRTC割り込み(レベルトリガ)、または外部割り込み(レベルトリガのポート入力割り込み)によって解除され、最短(数十クロック)で再起動するように設定します。
3. CMU Write Protect Register(0x4920) = 0x96以外の値
クロック制御レジスタの書き込み保護を設定します。
4. RTC以外で動作している周辺回路がある場合は、すべて停止させます。
5. slp命令を実行します。
チップはSLEEPモードになり、CMUはクロック出力を停止します。

SLEEPモードはRTC割り込み(レベルトリガ)、デバッガからの強制ブレーク、または外部割り込み(レベルトリガのポート入力割り込み)によって解除され、OSCSEL(D2/0x4900)で選択されているクロックソースでシステムが再起動します。

II.2.10 ノイズフィルタ

II.2.10.1 DSIN入力用ノイズフィルタ

DSIO信号がノイズによりアクティブになると、S1C17コアはプログラムの実行を中断し、デバッグモードになります。これを防ぐため、S1C17002にはシステムクロックで動作するノイズフィルタが組み込まれており、この信号がS1C17コアに入力される前にノイズを除去できるようになっています。

このノイズフィルタを使用するには、DSINNF(D4/CMU_NFレジスタ)を1に設定してください。DSINNFが0(デフォルト)の場合、DSIO信号はノイズフィルタを通りません。

* **DSINNF**: DSIO Input Noise Filter Enable Bit in the Noise Filter Control (CMU_NF) Register (D4/0x4902)

II.2.10.2 入力ポートのノイズフィルタ

CMUには、以下のポートの入力信号からノイズを除去するノイズフィルタが組み込まれています。

SPI: SPI_SDIO, SPI_SCK0, SPI_SDII, SPI_SCK1

UART: #SCLK0

SRAMC: #WAIT

I²C: I2CM_SDA, I2CM_SCL, I2CS_SDA, I2CS_SCL, #I2CS_RST

CG_T16U0: EXCL0

これらのノイズフィルタを使用するには、INPORTNF(D1/CMU_NFレジスタ)を0に設定してください。INPORTNFが1(デフォルト)の場合、入力信号はノイズフィルタを通りません。

* **INPORTNF**: Input Port Noise Filter Enable Bit in the Noise Filter Control (CMU_NF) Register (D1/0x4902)

注: • これらのノイズフィルタは信号別に有効にすることはできません。

• これらのノイズフィルタは、上記のポートを汎用入力ポートとして使用する場合は無効です。

II.2.10.3 OSC3クロック入力用ノイズフィルタ

外部クロックをOSC3端子から入力して使用する場合の動作を安定させるため、CMUには入力クロック信号からノイズを除去するノイズフィルタが組み込まれています。

このノイズフィルタを使用するには、OSC3NF(D0/CMU_NFレジスタ)を0に設定してください。OSC3NFが1(デフォルト)の場合、入力クロック信号はノイズフィルタを通りません。

* **OSC3NF**: OSC3 Input Noise Filter Enable Bit in the Noise Filter Control (CMU_NF) Register (D0/0x4902)

II.2.11 制御レジスタの詳細

表II.2.11.1 CMUレジスタ一覧

アドレス	レジスタ名		機能
0x4900	CMU_SYSCCLKCTL	System Clock Control Register	システムクロックの制御
0x4901	CMU_OSC3_WCNT	OSC3 Wait Timer Register	OSC3発振安定待ちタイマの設定
0x4902	CMU_NF	Noise Filter Control Register	ノイズフィルタのON/OFF
0x4903	CMU_OSC3DIV	OSC3 Clock Divider Register	OSC3システムクロック周波数の選択
0x4905	CMU_CMUCLK	CMU_CLK Select Register	CMU_CLK出力周波数の選択
0x4906	CMU_GATEDCLK0	Gated Clock Control 0 Register	周辺モジュールへのクロック供給制御
0x4907	CMU_GATEDCLK1	Gated Clock Control 1 Register	
0x4908	CMU_GATEDCLK2	Gated Clock Control 2 Register	
0x4920	CMU_PROTECT	CMU Write Protect Register	CMUレジスタ(0x4900～0x4908)書き込み保護の設定/解除

以下にCMUの制御レジスタを個々に説明します。

CMU制御レジスタは0x4900～0x4920の8ビットデバイスエリアに割り付けられており、16ビットおよび8ビットアクセスが可能です。

注: CMUレジスタ(0x4900～0x4908)は書き込み保護されています。これらのレジスタを書き換えるには、CMU Write Protect Register(0x4920)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、0x4900～0x4908番地の不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はCMU Write Protect Register(0x4920)を0x96以外に設定してください。

0x4900: System Clock Control Register (CMU_SYSCLKCTL)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
System Clock Control Register (CMU_SYSCLKCTL)	0x4900 (8 bits)	D7	OSC3OFF	OSC3 disable during SLEEP	1	Stop	0	Run	0	R/W	
		D6	TMHSP	Wait-timer high-speed mode	1	High speed	0	Normal	0	R/W	
		D5	—	reserved	—			—	—	—	0 when being read.
		D4	WAKEUPWT	Wakeup-wait function enable	1	Wait interrupt	0	No wait	0	R/W	0 when being read.
		D3	—	reserved	—			—	—	—	
		D2	OSCSEL	OSC clock selection	1	OSC1	0	OSC3	0	R/W	
		D1	SOSC3	OSC3 oscillator on/off	1	On	0	Off	1	R/W	
		D0	—	reserved	—			—	—	—	0 when being read.

D7 OSC3OFF: OSC3 Disable During SLEEP Bit

SLEEPモード時にOSC3発振回路を停止するかどうかを選択します。

1(R/W): 停止

0(R/W): 動作(デフォルト)

クロックソース(OSC)切り換えのためのSLEEP移行時はOSC3を動作させたままに、パワーダウン目的のSLEEPの場合は停止させてください。

D6 TMHSP: Wait-Timer High-Speed Mode Bit

発振安定待ちタイマ(CMU_OSC3_WCNTレジスタ)のカウントモードを設定します。

1(R/W): 高速モード

0(R/W): 通常モード(デフォルト)

発振安定待ちタイマは、通常モードではOSCの8192クロック単位で0から2Mクロックまで、高速モードではOSCの16クロック単位で0から4080クロックまでカウントします。使用するOSC周波数でOSC3発振開始時間が得られるモードに設定してください。

D5 Reserved**D4 WAKEUPWT: Wakeup-Wait Function Enable Bit**

クロックソース切り換え用のSLEEPモード起床待ち機能を有効にします。

1(R/W): 割り込み待ち

0(R/W): 自動起床(デフォルト)

WAKEUPWTが0に設定されている状態でslp命令を実行すると、その時点から数十クロック後に自動的にSLEEPモードが解除され、OSCSEL(D2)で設定したソースクロックでCPUが再起動します。この場合でもOSCTM[7:0](D[7:0]/CMU_OSC3_WCNTレジスタ)による発振安定時間待ちが有効なため、クロック切り換えを最短で行うには、OSCTM[7:0]を0x0に設定してください。

WAKEUPWTが1に設定されている場合は、イニシャルリセット、RTC割り込み(レベルトリガ)、デバッグからの強制ブレーク、または外部割り込み(レベルトリガのポート入力割り込み)によってSLEEPモードが解除されます。

D3 Reserved**D2 OSCSEL: OSC Clock Selection Bit**

システムのクロックソース(OSC)を選択します。

1(R/W): OSC1

0(R/W): OSC3(デフォルト)

ここでクロックソースを変更してもすぐには切り換わず、これ以降にSLEEPモードから復帰した時点で切り換わります。したがって、OSCSELの設定後は一度SLEEPモードに設定する必要があります。

注: クロックソースを変更する場合、その直後のSLEEPモードからの復帰時に、選択したクロックソースからCMUにクロックが確実に供給されるように設定しておく必要があります。選択したクロックが供給されない場合、SLEEPから復帰後にICは再起動しません。

D1 SOSC3: OSC3 Oscillator On/Off Bit

OSC3発振回路をOn/Offします。

1(R/W): On(デフォルト)

0(R/W): Off

注: SOSC3を0から1に設定して発振を開始させた場合、発振の安定にある程度の時間を要します。
誤動作を防ぐため、電気的特性に記載の発振開始時間が経過するまでは発振クロックを使用
しないでください。

D0 Reserved

0x4901: OSC3 Wait Timer Register (CMU_OSC3_WCNT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
OSC3 Wait Timer Register (CMU_OSC3_WCNT)	0x4901 (8 bits)	D7-0	OSCTM[7:0]	OSC oscillation stabilization-wait timer	0-255	0x0	R/W	

D[7:0] OSCTM[7:0]: OSC Oscillation Stabilization-Wait Timer Bits

SLEEPモードから復帰する際にCPUの実行開始を遅延させる発振安定待ち時間を設定します。TMHSP(D6/CMU_SYSCLKCTLレジスタ) = 1の場合、OSCの16クロック単位、TMHSP = 0の場合、OSCの8192クロック単位で設定可能です。(デフォルト: 0x0 = 待ち時間なし)

表II.2.11.2 起床時の発振安定待ち時間

TMHSP	OSCTM[7:0]	クロック数	時間
1	0x0	0	0
	0x1	16	800ns
	0x2	32	1.6μs
	:	:	:
	0xff	4080	0.204ms
0	0x0	0	0
	0x1	8192	0.409ms
	0x2	16384	0.819ms
	:	:	:
	0xff	2M	104.5ms

(時間は20MHzのOSC3で動作している場合の例です。)

SLEEPモード時にOSC3発振を停止させる場合は、必ず電気的特性に記載のOSC3発振開始時間以上の待ち時間となるようにデータを設定してください。

注: OSC発振安定待ちタイマはSLEEP解除後のクロックで動作しますので、クロックを切り換える目的でslp命令を実行する場合は、OSCTM[7:0]に設定する値に注意してください。

0x4902: Noise Filter Control Register (CMU_NF)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Noise Filter Control Register (CMU_NF)	0x4902 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	DSINNF	DSIO input noise filter enable	1 Enable 0 Disable	0	R/W	
		D3-2	—	reserved	—	—	—	0 when being read.
		D1	INPORTNF	Input port noise filter enable	1 Disable 0 Enable	1	R/W	
		D0	OSC3NF	OSC3 input noise filter enable	1 Disable 0 Enable	1	R/W	

D[7:5] Reserved**D4 DSINNF: DSIO Input Noise Filter Enable Bit**

DSIO入力用ノイズフィルタを有効/無効に設定します。

1(R/W): 有効(ノイズ除去)

0(R/W): 無効(バイパス) (デフォルト)

このノイズフィルタを使用する場合はDSINNFを1に設定します。DSINNFが0(デフォルト)の場合、DSIO信号はノイズフィルタを通らずに入力されます。

D[3:2] Reserved**D1 INPORTNF: Input Port Noise Filter Enable Bit**

入力ポート用ノイズフィルタを有効/無効に設定します。

1(R/W): 無効(バイパス) (デフォルト)

0(R/W): 有効(ノイズ除去)

CMUのノイズフィルタにより、以下に示すポートの入力信号上のノイズを除去できます。

SPI: SPI_SDI0, SPI_SCK0, SPI_SDI1, SPI_SCK1

UART: #SCLK0

SRAMC: #WAIT

I²C: I2CM_SDA, I2CM_SCL, I2CS_SDA, I2CS_SCL, #I2CS_RST

CG_T16U0: EXCL0

これらのノイズフィルタを使用する場合はINPORTNFを0に設定します。INPORTNFが1(デフォルト)の場合、信号はノイズフィルタを通らずに入力されます。

D0 OSC3NF: OSC3 Input Noise Filter Enable Bit

OSC3外部クロック入力用ノイズフィルタを有効/無効に設定します。

1(R/W): 無効(バイパス) (デフォルト)

0(R/W): 有効(ノイズ除去)

このノイズフィルタを使用する場合はOSC3NFを0に設定します。OSC3NFが1(デフォルト)の場合、信号はノイズフィルタを通らずに入力されます。

0x4903: OSC3 Clock Divider Register (CMU_OSC3DIV)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
OSC3 Clock Divider Register (CMU_OSC3DIV)	0x4903 (8 bits)	D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	OSC3DIV [2:0]	OSC3 clock divider selection	OSC3DIV[2:0] Divider	0x0	R/W	
					0x7 OSC3•1/1			
					0x6 OSC3•1/1			
					0x5 OSC3•1/32			
					0x4 OSC3•1/16			
					0x3 OSC3•1/8			
					0x2 OSC3•1/4			
					0x1 OSC3•1/2			
					0x0 OSC3•1/1			

D[7:3] Reserved**D[2:0] OSC3DIV[2:0]: OSC3 Clock Divider Selection Bits**

OSC3をシステムクロックソースに設定した場合の、システムクロック周波数を選択します。OSC3分周クロックの中からOSC3DIV[2:0]で選択します。

表II.2.11.3 OSC3分周クロックの選択

OSC3DIV[2:0]	OSC3_DIVクロック
0x7	OSC3•1/1
0x6	OSC3•1/1
0x5	OSC3•1/32
0x4	OSC3•1/16
0x3	OSC3•1/8
0x2	OSC3•1/4
0x1	OSC3•1/2
0x0	OSC3•1/1

(デフォルト: 0x0 = OSC3•1/1)

この選択は任意のタイミングで行えます。ただし、レジスタ値が変更されてから実際に切り換わるまで、最大OSC3クロックの32サイクルの時間を要します。

0x4905: CMU_CLK Select Register (CMU_CMUCLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CMU_CLK Select Register (CMU_CMUCLK)	0x4905 (8 bits)	D7-4 D3-0	CMU_CLKSEL[3:0]	reserved	—	—	—	0 when being read.
				CMU_CLK selection	CMU_CLKSEL[3:0]	Clock source	0x0	R/W
					0xf-0xa	reserved		
					0x9	OSC3•1/32		
					0x8	OSC3•1/16		
					0x7	OSC3•1/8		
					0x6	OSC3•1/4		
					0x5	OSC3•1/2		
					0x4	OSC3•1/1		
					0x3	reserved		
					0x2	BCLK		
					0x1	OSC1		
					0x0	OSC3		

D[7:4] **Reserved**

D[3:0] **CMU_CLKSEL[3:0]: CMU_CLK Selection Bits**

CMU_CLKは外部バス用のクロックです。表II.2.11.4に示す9種類の中から選択可能です。

表II.2.11.4 CMU_CLKの選択

CMU_CLKSEL[3:0]	CMU_CLK
0xf-0xa	Reserved
0x9	OSC3•1/32
0x8	OSC3•1/16
0x7	OSC3•1/8
0x6	OSC3•1/4
0x5	OSC3•1/2
0x4	OSC3•1/1
0x3	Reserved
0x2	BCLK
0x1	OSC1
0x0	OSC3

(デフォルト: 0x0 = OSC3)

CMU_CLKの選択は任意のタイミングで行えます。ただし、クロックの切り換え時にハザードがでます。CMU_CLKを外部出力するには、ポートの機能選択も必要です。その制御方法と使用するポートについては、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

注: 表II.2.11.4に記載の設定値以外はテスト用に予約されています。テスト用のクロックが出力されますので、上記以外の値をCMU_CLKSEL[3:0]に設定しないでください。

0x4906: Gated Clock Control 0 Register (CMU_GATEDCLK0)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Gated Clock Control 0 Register (CMU _GATEDCLK0)	0x4906 (8 bits)	D7	ROMC_CLK_EN	ROMC clock control (in HALT mode)	1	On	0	Off	1	R/W	
		D6–1	—	reserved	—		—	—	—	—	0 when being read.
		D0	PCLK_EN	Core peripheral clock control	1	On	0	Off	1	R/W	

D7 ROMC_CLK_EN: ROMC Clock Control (in HALT mode) Bit

HALT時のROMCへのクロック (ROMC_CLK) の供給を制御します。

1 (R/W): On (デフォルト)

0 (R/W): Off

D[6:1] Reserved**D0 PCLK_EN: Core Peripheral Clock Control Bit**

コア周辺回路モジュールへのクロック (PCLK) の供給を制御します。

1 (R/W): On (デフォルト)

0 (R/W): Off

必ず1 (デフォルト) の設定のまま使用してください。

0x4907: Gated Clock Control 1 Register (CMU_GATEDCLK1)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Gated Clock Control 1 Register (CMU_GATEDCLK1)	0x4907 (8 bits)	D7	SRAMC_CLK_EN	SRAMC clock control (in HALT mode)	1	On	0	Off	1	R/W	
		D6–4	—	reserved	—			—	—	0 when being read.	
		D3	T8OSC1_CLK_EN	8-bit OSC1 timer clock control	1	On	0	Off	1	R/W	
		D2	—	reserved	—			—	—	0 when being read.	
		D1	PT8_CLK_EN	8-bit programmable timer clock control	1	On	0	Off	1	R/W	
		D0	MFT_CLK_EN	Multi-function timer clock control					1	R/W	

D7 SRAMC_CLK_EN: SRAMC Clock Control (in HALT mode) Bit

HALT時のSRAMCへのクロック (SRAMC_CLK) の供給を制御します。

1 (R/W): On (デフォルト)

0 (R/W): Off

D[6:4] Reserved**D3 T8OSC1_CLK_EN: 8-bit OSC1 Timer Clock Control Bit**

8ビットOSC1タイマへのクロック (T8OSC1_CLK) の供給を制御します。

1 (R/W): On (デフォルト)

0 (R/W): Off

D2 Reserved**D1 PT8_CLK_EN: 8-bit Programmable Timer Clock Control Bit**

8ビットプログラマブルタイマへのクロック (PT8_CLK) の供給を制御します。

1 (R/W): On (デフォルト)

0 (R/W): Off

D0 MFT_CLK_EN: Multi-Function Timer Clock Control Bit

マルチファンクションタイマへのクロック (MFT_CLK) の供給を制御します。

1 (R/W): On (デフォルト)

0 (R/W): Off

0x4908: Gated Clock Control 2 Register (CMU_GATEDCLK2)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Gated Clock Control 2 Register (CMU_GATEDCLK2)	0x4908 (8 bits)	D7-6	--	reserved	--		--	0 when being read.
		D5	SPI_CLK_EN	SPI CH.1 module clock control	1 On	0 Off	1 R/W	
		D4	REMC_CLK_EN	REMC module clock control			1 R/W	
		D3	ADC_CLK_EN	ADC module clock control			1 R/W	
		D2	WDT_CLK_EN	WDT module clock control			1 R/W	
		D1	PORT_CLK_EN	I/O port module clock control			1 R/W	
		D0	RTC_SAPB_CLK_EN	RTC SAPB I/F clock control			1 R/W	

D[7:6] Reserved**D5 SPI_CLK_EN: SPI CH.1 Module Clock Control Bit**

SPI CH.1へのクロック(SPI_CLK)の供給を制御します。

1(R/W): On(デフォルト)

0(R/W): Off

D4 REMC_CLK_EN: REMC Module Clock Control Bit

リモートコントローラへのクロック(REMC_CLK)の供給を制御します。

1(R/W): On(デフォルト)

0(R/W): Off

D3 ADC_CLK_EN: ADC Module Clock Control Bit

A/D変換器へのクロック(ADC_CLK)の供給を制御します。

1(R/W): On(デフォルト)

0(R/W): Off

D2 WDT_CLK_EN: WDT Module Clock Control Bit

ウォッチドッグタイマへのクロック(WDT_CLK)の供給を制御します。

1(R/W): On(デフォルト)

0(R/W): Off

D1 PORT_CLK_EN: I/O Port Module Clock Control Bit

入出力ポートモジュールへのクロック(PORT_CLK)の供給を制御します。

1(R/W): On(デフォルト)

0(R/W): Off

D0 RTC_SAPB_CLK_EN: RTC SAPB I/F Clock Control Bit

RTCと8ビットOSC1タイマのSAPBインタフェースへのクロック(RTC_SAPB_CLK、T8OSC1_SAPB_CLK)供給を制御します。

1(R/W): On(デフォルト)

0(R/W): Off

II**CMU**

0x4920: CMU Write Protect Register (CMU_PROTECT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CMU Write Protect Register (CMU_PROTECT)	0x4920 (8 bits)	D7-0	CLGP[7:0]	CMU register protect flag	Writing 10010110 (0x96) removes the write protection of the CMU registers (0x4900– 0x4908). Writing another value set the write protection.	0x0	R/W	

D[7:0] CLGP[7:0]: CMU Register Protect Flag Bits

CMUレジスタ (0x4900～0x4908) の書き込み保護を設定/解除します。

0x96 (R/W): 書き込み保護解除

0x96以外 (R/W): 書き込み保護 (デフォルト: 0x0)

CMUレジスタを変更する前に、本レジスタに0x96を書き込んで書き込み保護を解除してください。本レジスタが0x96以外に設定されている場合、書き込み命令が問題なく実行されてもレジスタの内容は変更されません。一度本レジスタに0x96を書き込むと、それ以外の値に設定するまではCMUレジスタの書き換えが何度でも行えます。クロック制御レジスタの設定後は、誤書き込み等を防止するため、本レジスタを0x96以外に設定してください。

II.2.12 注意事項

■クロック制御に関する注意

- CMUレジスタ(0x4900~0x4908)は書き込み保護されています。これらのレジスタを書き換えるには、CMU Write Protect Register(0x4920)に0x96を書き込んで、書き込み保護を解除する必要があります。一度書き込み保護を解除すると、0x96以外に設定し直すまで、CMUレジスタには何度でも書き込めます。なお、CMUレジスタの不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はCMU Write Protect Register(0x4920)を0x96以外に設定してください。
- クロックソースを変更する場合、その後のSLEEPモードからの復帰時に、選択したクロックソースからCMUにクロックが確実に供給されるように設定しておく必要があります。選択したクロックが供給されない場合、SLEEPから復帰後にICは再起動しません。
また、SLEEPが解除された時点の発振安定待ち時間を作るタイマは、切り換わった後のクロックで動作しますので、この時間を指定するOSCTM[7:0](D[7:0]/CMU_OSC3_WCNTレジスタ)とTMHSP(D6/CMU_SYSCLKCTLレジスタ)の設定に注意してください。
- SOSC3(D1/CMU_SYSCLKCTLレジスタ)を0から1に設定してOSC3発振を開始させた場合、発振の安定にある程度の時間を要します。誤動作を防ぐため、電気的特性に記載の発振開始時間が経過するまでは発振クロックを使用しないでください(例: S1C17002では25ms)。

■リセット入力に関する注意

- #RESET端子を0(Low)にしても、クロックが入力されていないとチップはリセットされません。確実にリセットをかけるためには、少なくともOSC3クロックの3サイクル以上、#RESET = 0を保持してください。なお入出力ポート端子については、クロックが入力されていない場合でもインシャルリセットで初期化されます。
- OSC3発振回路の発振開始時間は使用する素子や基板パターンおよび動作環境により変化しますので、リセット解除時には十分な余裕をとってください。

■NMI入力に関する注意

NMIはネスティングできません。CPUはNMI例外の発生からreti命令が実行されるまでNMI入力をマスクします。

II

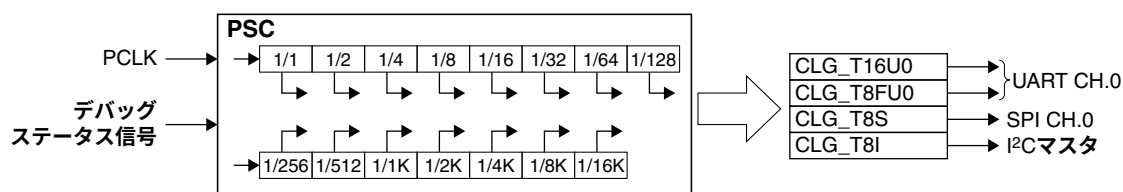
CMU

このページはブランクです。

II.3 プリスケアラ (PSC)

II.3.1 プリスケアラの構成

S1C17002はUART(CH.0)、SPI(CH.0)およびI²Cマスタモジュールの動作クロックを生成するプリスケアラを内蔵しています。プリスケアラはCMUから供給されるPCLKクロックを1/1～1/16Kに分周し、15種類の周波数を生成します。クロック供給先の周辺モジュールにはクロック選択レジスタが設けられており、この中の1つをカウントクロックや動作クロックとして選択できるようになっています。



図II.3.1.1 プリスケアラ

プリスケアラはPRUNビット(D0/PSC_CTLレジスタ)で制御します。プリスケアラを動作させるにはPRUNに1を書き込みます。0を書き込むとプリスケアラは停止します。クロックジェネレータやインタフェースモジュールが停止中は、プリスケアラを停止させることで消費電流を低減できます。イニシャルリセット後、プリスケアラは停止しています。

* **PRUN**: Prescaler Run/Stop Control Bit in the Prescaler Control (PSC_CTL) Register (D0/0x4020)

注: プリスケアラを使用するには、CMUからPCLKが供給されている必要があります。

プリスケアラにはもう一つの制御ビット、PRUND(D1/PSC_CTLレジスタ)が用意されています。このビットはデバッグモード時のプリスケアラの動作を指定します。PRUNDを1に設定すると、プリスケアラはデバッグモード時も動作します。PRUNDを0に設定すると、S1C17コアがデバッグモードになった時点でプリスケアラは停止します。デバッグ中にクロックジェネレータやインタフェースモジュールを使用する場合は、PRUNDを1に設定してください。

* **PRUND**: Prescaler Run/Stop in Debug Mode Bit in the Prescaler Control (PSC_CTL) Register (D1/0x4020)

II.3.2 制御レジスタ詳細

表II.3.2.1 プリスケアラレジスタ

アドレス	レジスタ名		機 能
0x4020	PSC_CTL	Prescaler Control Register	プリスケアラのスタート/ストップ制御

プリスケアラのレジスタは8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x4020: Prescaler Control Register (PSC_CTL)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
Prescaler Control Register (PSC_CTL)	0x4020 (8 bits)	D7-2	—	reserved	—		—	—	0 when being read.
		D1	PRUND	Prescaler run/stop in debug mode	1	Run	0	Stop	0 R/W
		D0	PRUN	Prescaler run/stop control	1	Run	0	Stop	0 R/W

D[7:2] Reserved

D1 PRUND: Prescaler Run/Stop in Debug Mode Bit

デバッグモード時のプリスケアラの動作を選択します。

1(R/W): 動作

0(R/W): 停止(デフォルト)

PRUNDを1に設定すると、プリスケアラはデバッグモード時も動作します。PRUNDを0に設定すると、S1C17コアがデバッグモードになった時点でプリスケアラは停止します。デバッグ中にクロックジェネレータやインタフェースモジュールを使用する場合は、PRUNDを1に設定してください。

D0 PRUN: Prescaler Run/Stop Control Bit

プリスケアラの動作を開始/停止させます。

1(R/W): 動作開始

0(R/W): 停止(デフォルト)

プリスケアラを動作させるにはPRUNに1を書き込みます。0を書き込むとプリスケアラは停止します。クロックジェネレータやインタフェースモジュールが停止中は、プリスケアラを停止させることで消費電流を低減できます。

II.3.3 注意事項

プリスケアラを使用するには、CMUからPCLKが供給されている必要があります。

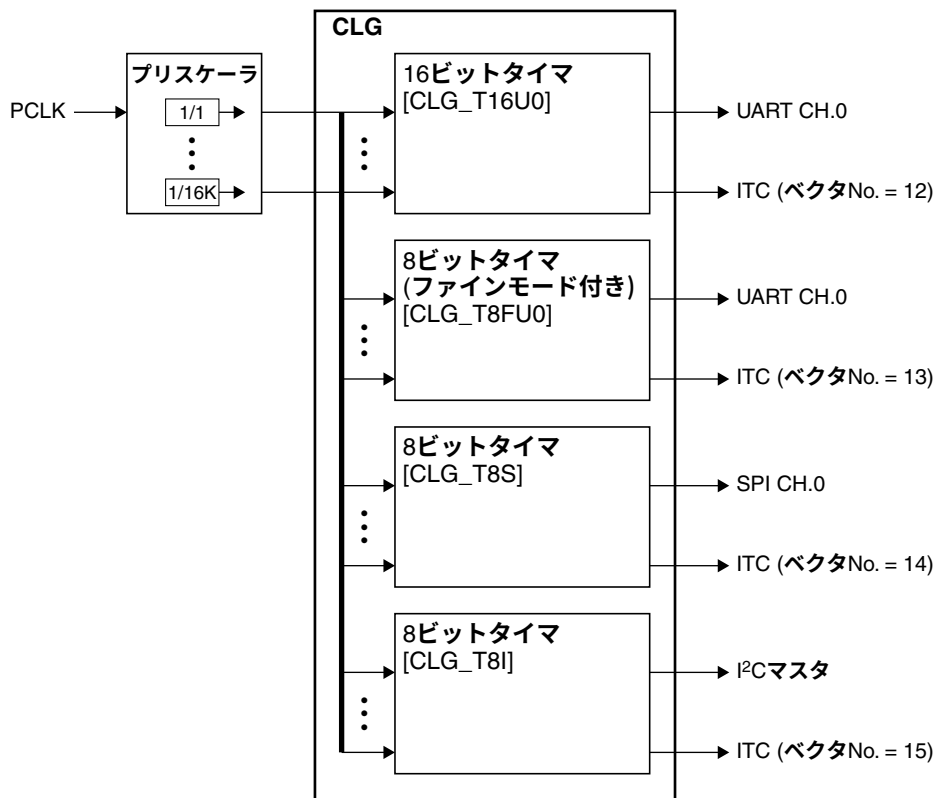
このページはブランクです。

II.4 クロックジェネレータ (CLG)

II.4.1 クロックジェネレータの構成

S1C17002は16ビットタイマ1チャンネルと8ビットタイマ3チャンネルで構成されるクロックジェネレータを内蔵しています。16ビットタイマと8ビットタイマ(ファインモード付き)はUART CH.0のクロックを、他の2つの8ビットタイマはSPI CH.0とI²Cマスタのクロックを生成します。各タイマはソフトウェアでカウンタに設定した初期値からプリスケアラ出力クロックの一つをカウントクロックとしてカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号は、割り込みの発生や内部シリアルインタフェース用のクロック生成に使用されます。アプリケーションプログラムはこのタイマを使用して、任意の時間間隔やプログラマブルなシリアル転送速度を得ることができます。

図II.4.1.1にクロックジェネレータの構成を示します。



図II.4.1.1 クロックジェネレータの構成

シリアルインタフェースを使用しない場合は、そのクロック生成用タイマを割り込み機能付きの汎用プログラマブルタイマとして使用することができます。

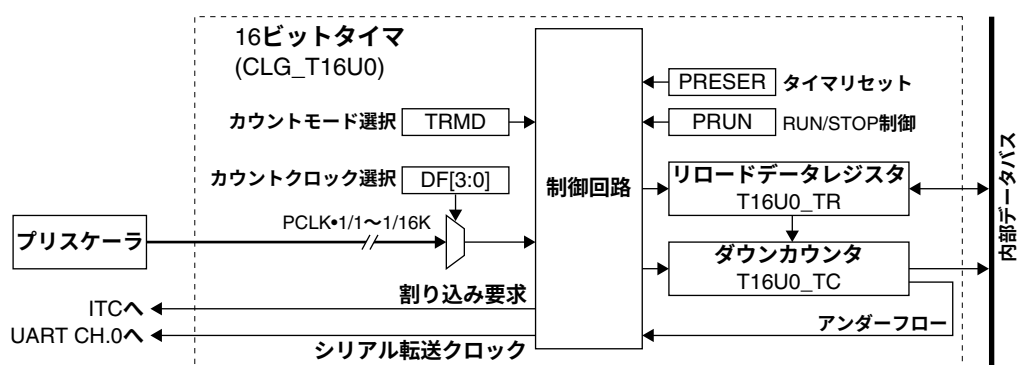
II.4.2 16ビットタイマ (CLG_T16U0)

II.4.2.1 16ビットタイマの概要

S1C17002のCLGには16ビットタイマ (CLG_T16U0) が内蔵されています。

16ビットタイマは16ビットプリセットラウンドダウンカウンタとプリセット値を保持する16ビットリロードデータレジスタで構成されます。タイマはリロードデータレジスタに設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号は、割り込みの発生やUART CH.0用のシリアルクロック生成に使用されます。アンダーフロー周期はプリスケラクロックとリロードデータの選択によりプログラム可能なため、アプリケーションプログラムは任意の時間間隔やシリアル転送速度を得ることができます。

図II.4.2.1.1に16ビットタイマの構造を示します。



図II.4.2.1.1 16ビットタイマの構造

注: UARTモジュール内で、CLG_T16U0クロックとCLG_T8FU0クロックのどちらか一方をシリアルクロックとして選択できます。

II.4.2.2 カウントモード

16ビットタイマはリピートモードとワンショットモードの2つのカウントモードを持っています。この選択は、TRMD (D4/CLG_T16U0_CTLレジスタ)で行います。

* **TRMD**: Count Mode Select Bit in the CLG_T16U0 Control (CLG_T16U0_CTL) Register (D4/0x4206)

リピートモード (TRMD = 0、デフォルト)

TRMDを0に設定すると、16ビットタイマはリピートモードに設定されます。

このモードでは、カウントを開始するとアプリケーションプログラムで停止するまで16ビットタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、16ビットタイマをこのモードに設定してください。

ワンショットモード (TRMD = 1)

TRMDを1に設定すると、16ビットタイマはワンショットモードに設定されます。

このモードでは、カウンタがアンダーフローした時点で16ビットタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、16ビットタイマをこのモードに設定してください。

注: カウントモードの設定は、16ビットタイマがカウント停止中に行ってください。

II.4.2.3 カウントクロック

16ビットタイマはプリスケアラ出力クロックをカウントクロックとして使用します。プリスケアラはPCLKクロックを1/1~1/16Kに分周して15種類のクロックを生成します。この中の1つをDF[3:0]ビット(D[3:0]/CLG_T16U0_CLKレジスタ)で選択します。

* **DF[3:0]:** Timer Input Clock Select Bits in the CLG_T16U0 Input Clock Select (CLG_T16U0_CLK) Register (D[3:0]/0x4200)

表II.4.2.3.1 カウントクロックの選択

DF[3:0]	プリスケアラ出力クロック	DF[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

注: • 16ビットタイマを動作させるには、その前にプリスケアラを動作させておく必要があります。

- カウントクロックの設定は、16ビットタイマがカウント停止中に行ってください。

プリスケアラの制御については、“II.3 プリスケアラ(PSC)”を参照してください。

II.4.2.4 16ビットタイマリロードレジスタとアンダーフロー周期

リロードデータレジスタCLG_T16U0_TR(0x4202)は、ダウンカウンタに初期値をセットするために使用します。

リロードデータレジスタに設定したカウンタ初期値は、16ビットタイマがリセットされるか、カウンタがアンダーフローした時点でダウンカウンタにプリセットされます。16ビットタイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、特定の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。



図II.4.2.4.1 プリセットタイミング

アンダーフロー周期は次のように計算できます。

$$\text{アンダーフロー期間} = \frac{TR + 1}{\text{clk\_in}} [\text{s}] \quad \text{アンダーフローサイクル} = \frac{\text{clk\_in}}{TR + 1} [\text{Hz}]$$

clk_in: カウントクロック(プリスケアラ出力クロック)周波数 [Hz]

TR: リロードデータ (0~65535)

注: UARTは16ビットタイマの出力を1/16に分周してサンプリングクロックを生成します。転送レートを設定する際には注意してください。

II.4.2.5 16ビットタイマのリセット

16ビットタイマをリセットするには、PRESER(D1/CLG_T16U0_CTLレジスタ)に1を書き込みます。リロードデータがプリセットされ、カウンタが初期化されます。

* **PRESER**: Timer Reset Bit in the CLG_T16U0 Control (CLG_T16U0_CTL) Register (D1/0x4206)

II.4.2.6 16ビットタイマRUN/STOP制御

16ビットタイマの動作を開始させる前に、以下の設定を行ってください。

- (1) カウントモード(ワンショットまたはリピート)を設定します。II.4.2.2節を参照してください。
- (2) カウントクロック(プリスケアラ出力クロック)を選択します。II.4.2.3節を参照してください。
- (3) カウンタ初期値を計算してリロードデータレジスタに設定します。II.4.2.4節を参照してください。
- (4) タイマをリセットして初期値をカウンタにプリセットします。II.4.2.5節を参照してください。
- (5) タイマ割り込みを使用する場合は、割り込みレベルを設定し、該当タイマチャネルの割り込みを許可します。II.4.2.8節を参照してください。

16ビットタイマの動作を開始させるには、PRUN(D0/CLG_T16U0_CTLレジスタ)に1を書き込みます。

* **PRUN**: Timer Run/Stop Control Bit in the CLG_T16U0 Control (CLG_T16U0_CTL) Register (D0/0x4206)

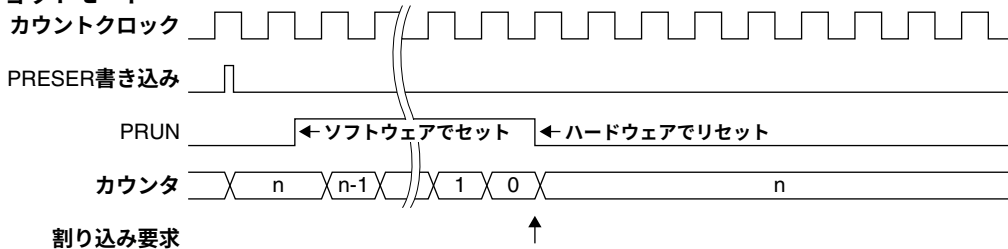
タイマは初期値から、あるいは初期値をプリセットしなかった場合は現在のカウンタ値からカウントダウンを開始します。カウンタがアンダーフローすると、タイマはアンダーフローパルスを出力し、初期値を再びカウンタにプリセットします。これと同時に、割り込み要求が割り込みコントローラ(ITC)に送られます。

ワンショットモードに設定されている場合、タイマはカウントを停止します。

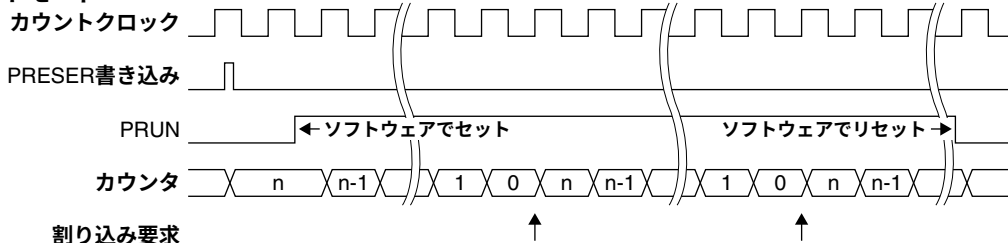
リピートモードに設定されている場合、タイマはリロードされた初期値からカウントを継続します。

アプリケーションプログラムから16ビットタイマを停止させるには、PRUNに0を書き込みます。カウンタはカウント動作を停止し、タイマのリセットまたは再スタートまで、現在のカウンタ値を保持します。初期値からカウントを再スタートさせる場合は、PRUNに1を書き込む前にタイマをリセットしてください。

ワンショットモード



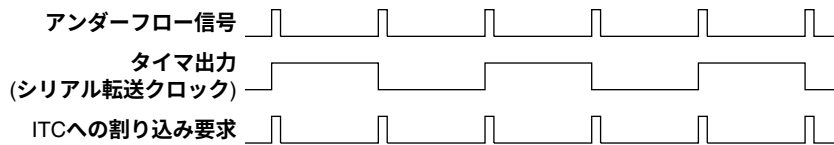
リピートモード



図II.4.2.6.1 カウント動作

II.4.2.7 16ビットタイマ出力信号

16ビットタイマはカウンタがアンダーフローするとアンダーフローパルスを出力します。
このパルスは、タイマ割り込み要求に使用されます。
また、UART CH.0用のシリアル転送クロックの生成にも使用されます。



図II.4.2.7.1 タイマ出力クロック

希望の転送レートを得るためのリロードデータレジスタ値は次の式で計算できます。

$$\text{bps} = \frac{\text{clk\_in}}{(\text{TR} + 1) \times 16}$$

$$\text{TR} = \left(\frac{\text{clk\_in}}{\text{bps}} - 16 \right) \div 16$$

clk_in: カウントクロック(プリスケアラ出力クロック)周波数 [Hz]

TR: リロードデータ (0~65535)

bps: 転送レート (ビット/秒)

II.4.2.8 16ビットタイマ割り込み

16ビットタイマは、カウンタのアンダーフローにより、割り込み要求を割り込みコントローラ (ITC) に出力します。タイマアンダーフロー割り込みを発生させるには、ITCレジスタで割り込みレベルと割り込み許可の設定を行ってください。

タイマ割り込み用ITCレジスタ

以下に、16ビットタイマ用のITC制御ビットを示します。

割り込みフラグIIFT0

* **IIFT0**: CLG_T16U0 Timer Interrupt Flag Bit in the Interrupt Flag (ITC_IFLG) Register (D8/0x4300)

割り込みイネーブルビットIIENO

* **IIENO**: CLG_T16U0 Timer Interrupt Enable Bit in the Interrupt Enable (ITC_EN) Register (D8/0x4302)

割り込みレベル設定ビットIILV0

* **IILV0[2:0]**: CLG_T16U0 Timer Interrupt Level Bits in the Internal Interrupt Level Setup (ITC_ILV0) Register 0 (D[2:0]/0x430e)

タイマにアンダーフローが発生すると、対応する割り込みフラグが1にセットされます。

その割り込みフラグに対応する割り込みイネーブルビットが1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。タイマによる割り込みを禁止するには、割り込みイネーブルビットを0に設定しておきます。割り込みフラグは、割り込みイネーブルビットの設定にかかわらず(0に設定されていても)、タイマのアンダーフローパルスによって1にセットされます。

割り込みレベル設定ビットは、タイマ割り込みのレベル(0~7)を設定します。

S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- タイマ割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“III.1 割り込みコントローラ (ITC)”を参照してください。

割り込みベクタ

16ビットタイマ割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号: 12(0x0c)

ベクタアドレス: TTBR + 0x30

II.4.2.9 制御レジスタ詳細

表II.4.2.9.1 16ビットタイマレジスタ一覧

アドレス	レジスタ名		機 能
0x4200	CLG_T16U0_CLK	CLG_T16U0 Input Clock Select Register	プリスケアラ出力クロックの選択
0x4202	CLG_T16U0_TR	CLG_T16U0 Reload Data Register	リロードデータの設定
0x4204	CLG_T16U0_TC	CLG_T16U0 Counter Data Register	カウンタデータ
0x4206	CLG_T16U0_CTL	CLG_T16U0 Control Register	タイマモードの設定とタイマのRUN/STOP

以下、16ビットタイマのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x4200: CLG_T16U0 Input Clock Select Register (CLG_T16U0_CLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T16U0 Input Clock Select Register (CLG_T16U0_CLK)	0x4200 (16 bits)	D15-4	—	reserved	—	—	—	0 when being read.
		D3-0	DF[3:0]	Timer input clock select (Prescaler output clock)	DF[3:0] Clock	0x0	R/W	
					0xf reserved			
					0xe PCLK•1/16384			
					0xd PCLK•1/8192			
					0xc PCLK•1/4096			
					0xb PCLK•1/2048			
					0xa PCLK•1/1024			
					0x9 PCLK•1/512			
					0x8 PCLK•1/256			
					0x7 PCLK•1/128			
					0x6 PCLK•1/64			
					0x5 PCLK•1/32			
					0x4 PCLK•1/16			
					0x3 PCLK•1/8			
					0x2 PCLK•1/4			
					0x1 PCLK•1/2			
					0x0 PCLK•1/1			

D[15:4] Reserved**D[3:0] DF[3:0]: Timer Input Clock Select Bits**

15種類のプリスケアラ出力クロックから、16ビットタイマのカウントクロックを選択します。

表II.4.2.9.2 カウントクロックの選択

DF[3:0]	プリスケアラ出力クロック	DF[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

注: カウントクロックの設定は、16ビットタイマがカウント停止中に行ってください。

0x4202: CLG_T16U0 Reload Data Register (CLG_T16U0_TR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T16U0 Reload Data Register (CLG_T16U0_TR)	0x4202 (16 bits)	D15–0	TR[15:0]	16-bit timer reload data TR15 = MSB TR0 = LSB	0x0 to 0xffff	0x0	R/W	

D[15:0] TR[15:0]: 16-bit Timer Reload Data Bits

カウンタの初期値を設定します。(デフォルト: 0x0)
このレジスタに設定したリロードデータは、タイマがリセットされるか、カウンタがアンダーフローした時点でカウンタにプリセットされます。
16ビットタイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、任意の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

0x4204: CLG_T16U0 Counter Data Register (CLG_T16U0_TC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T16U0 Counter Data Register (CLG_T16U0_TC)	0x4204 (16 bits)	D15–0	TC[15:0]	16-bit timer counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0xffff	R	

D[15:0] TC[15:0]: 16-bit Timer Counter Data Bits

カウンタデータが読み出せます。(デフォルト: 0xffff)

このレジスタはリードオンリのため、データの書き込みはできません。

II**CLG**

0x4206: CLG_T16U0 Control Register (CLG_T16U0_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T16U0 Control Register (CLG_T16U0_CTL)	0x4206 (16 bits)	D15-5	—	reserved	—	—	—	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3-2	—	reserved	—	—	—	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	

D[15:5] Reserved**D4 TRMD: Count Mode Select Bit**

16ビットタイマのカウントモードを選択します。

1(R/W): ワンショットモード

0(R/W): リピートモード(デフォルト)

TRMDを0に設定すると、16ビットタイマはリピートモードに設定されます。このモードでは、カウントを開始するとアプリケーションプログラムで停止するまで16ビットタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、16ビットタイマをこのモードに設定してください。

TRMDを1に設定すると、16ビットタイマはワンショットモードに設定されます。このモードでは、カウンタがアンダーフローした時点で16ビットタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、16ビットタイマをこのモードに設定してください。

注: カウントモードの設定は、16ビットタイマがカウント停止中に行ってください。

D[3:2] Reserved**D1 PRESER: Timer Reset Bit**

16ビットタイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、リロードデータがカウンタにプリセットされます。

D0 PRUN: Timer Run/Stop Control Bit

タイマのRUN/STOPを制御します。

1(R/W): RUN

0(R/W): STOP(デフォルト)

タイマはPRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。

II.4.2.10 注意事項

- 16ビットタイマを動作させるには、その前にプリスケアラを動作させておく必要があります。
- カウントクロックとカウントモードの設定は、16ビットタイマがカウント停止中に行ってください。

II

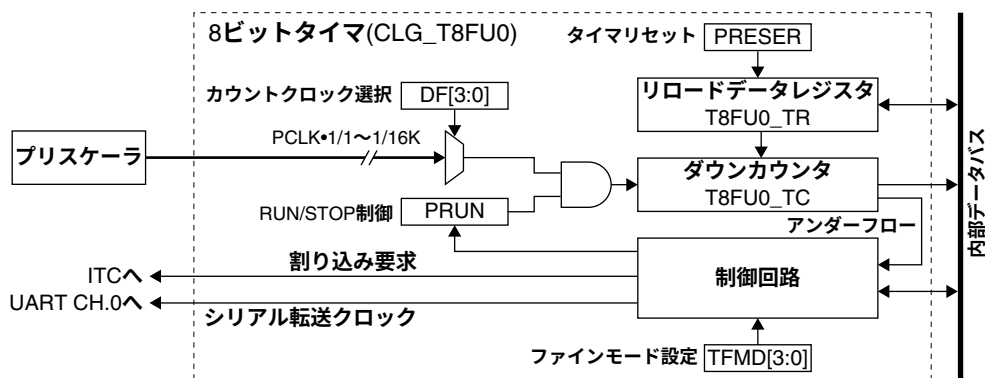
CLG

II.4.3 ファインモード付き8ビットタイマ (CLG T8FU0)

II.4.3.1 ファインモード付き8ビットタイマの概要

SI17002のCLGはファインモード付き8ビットタイマ(CLG_T8FU0)を1チャンネル内蔵しています。8ビットタイマは8ビットプリセッタブルダウンカウンタとプリセット値を保持する8ビットリロードデータレジスタで構成されます。タイマはリロードデータレジスタに設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号は、割り込みの発生やUART CH.0用のクロック生成に使用されます。アンダーフロー周期はプリスケールクロックとリロードデータの選択によりプログラム可能なため、アプリケーションプログラムは任意の時間間隔やシリアル転送速度を得ることができます。ファインモードは、転送レートの誤差を最小限に抑える機能を提供します。

図II.4.3.1.1に8ビットタイマの構造を示します。



図II.4.3.1.1 8ビットタイマの構造

注: UARTモジュール内で、CLG_T16U0クロックとCLG_T8FU0クロックのどちらか一方をシリアルクロックとして選択できます。

II.4.3.2 カウントモード

ファインモード付き8ビットタイマはリピータモードとワンショットモードの2つのカウンタモードを持っています。この選択は、TRMDビット(D4/CLG T8FU0 CTLレジスタ)で行います。

* **TRMD**: Count Mode Select Bit in the CLG_T8FU0 Control (CLG_T8FU0_CTL) Register (D4/0x4226)

リピートモード (TRMD = 0、デフォルト)

TRMDを0に設定すると、タイマはリピートモードに設定されます。

このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合、タイマをこのモードに設定してください。

ワンショットモード (TRMD = 1)

TRMDを1に設定すると、タイマはワンショットモードに設定されます。

このモードでは、カウンタがアンダーフローした時点でタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、タイマをこのモードに設定してください。

注: カウントモードの設定は、タイマがカウント停止中に行ってください。

II.4.3.3 カウントクロック

ファインモード付き8ビットタイマはプリスケアラ出力クロックをカウントクロックとして使用します。プリスケアラはPCLKクロックを1/1～1/16Kに分周して15種類のクロックを生成します。この中の1つをDF[3:0]ビット(D[3:0]/CLG_T8FU0_CLKレジスタ)で選択します。

* **DF[3:0]:** Timer Input Clock Select Bits in the CLG_T8FU0 Input Clock Select (CLG_T8FU0_CLK) Register (D[3:0]/0x4220)

表II.4.3.3.1 カウントクロックの選択

DF[3:0]	プリスケアラ出力クロック	DF[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

注: • タイマを動作させるには、その前にプリスケアラを動作させておく必要があります。

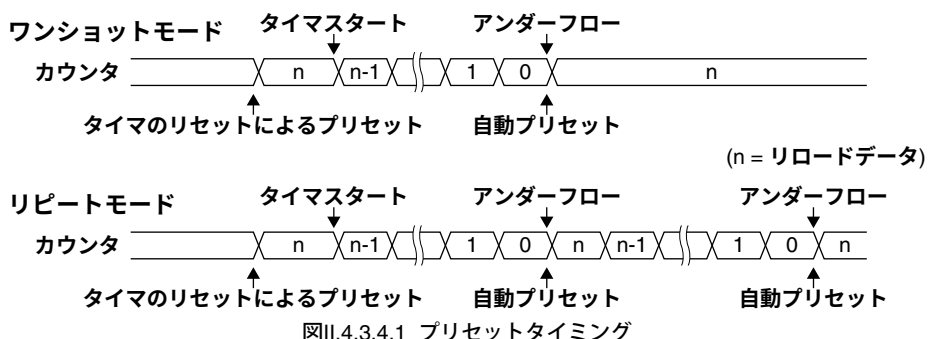
- カウントクロックの設定は、タイマがカウント停止中に行ってください。

プリスケアラの制御については、“II.3 プリスケアラ(PSC)”を参照してください。

II.4.3.4 リロードレジスタとアンダーフロー周期

リロードデータレジスタCLG_T8FU0_TR(0x4222)は、ダウンカウンタに初期値をセットするために使用します。

リロードデータレジスタに設定したカウンタ初期値は、タイマがリセットされるか、カウンタがアンダーフローした時点でダウンカウンタにプリセットされます。タイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、特定の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。



図II.4.3.4.1 プリセットタイミング

アンダーフロー周期は次のように計算できます。

$$\text{アンダーフロー期間} = \frac{\text{TR} + 1}{\text{clk\_in}} [\text{s}] \quad \text{アンダーフローサイクル} = \frac{\text{clk\_in}}{\text{TR} + 1} [\text{Hz}]$$

clk_in: カウントクロック(プリスケアラ出力クロック)周波数 [Hz]

TR: リロードデータ (0～255)

注: UARTはタイマの出力を1/16に分周してサンプリングクロックを生成します。転送レートを設定する際には注意してください。

II.4.3.5 ファインモード付き8ビットタイマのリセット

タイマをリセットするには、PRESERビット(D1/CLG_T8FU0_CTLレジスタ)に1を書き込みます。リロードデータがプリセットされ、カウンタが初期化されます。

* **PRESER**: Timer Reset Bit in the CLG_T8FU0 Control (CLG_T8FU0_CTL) Register (D1/0x4226)

II.4.3.6 ファインモード付き8ビットタイマのRUN/STOP制御

タイマの動作を開始させる前に、以下の設定を行ってください。

- (1) カウントモード(ワンショットまたはリピート)を設定します。II.4.3.2節を参照してください。
- (2) カウントクロック(プリスケアラ出力クロック)を選択します。II.4.3.3節を参照してください。
- (3) カウンタ初期値を計算してリロードデータレジスタに設定します。II.4.3.4節を参照してください。
- (4) タイマをリセットして初期値をカウンタにプリセットします。II.4.3.5節を参照してください。
- (5) タイマ割り込みを使用する場合は、割り込みレベルを設定し、割り込みを許可します。II.4.3.9節を参照してください。

タイマの動作を開始させるには、PRUNビット(D0/CLG_T8FU0_CTLレジスタ)に1を書き込みます。

* **PRUN**: Timer Run/Stop Control Bit in the CLG_T8FU0 Control (CLG_T8FU0_CTL) Register (D0/0x4226)

タイマは初期値から、あるいは初期値をプリセットしなかった場合は現在のカウンタ値からカウントダウンを開始します。カウンタがアンダーフローすると、タイマはアンダーフローパルスを出力し、初期値を再びカウンタにプリセットします。これと同時に、割り込み要求が割り込みコントローラ(ITC)に送られます。

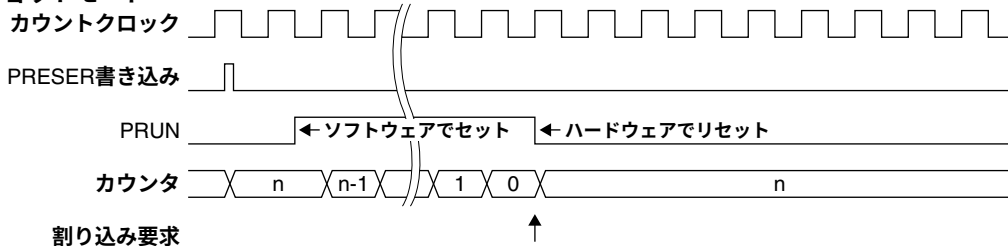
ワンショットモードに設定されている場合、タイマはカウントを停止します。

リピートモードに設定されている場合、タイマはリロードされた初期値からカウントを継続します。

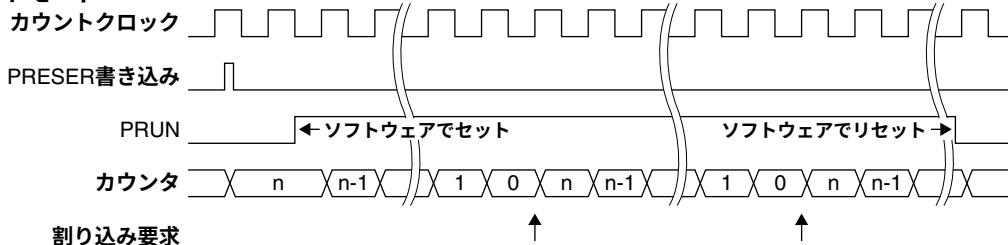
アプリケーションプログラムからタイマを停止させるには、PRUNビットに0を書き込みます。カウンタはカウント動作を停止し、タイマのリセットまたは再スタートまで、現在のカウンタ値を保持します。初期値からカウントを再スタートさせる場合は、PRUNビットに1を書き込む前にタイマをリセットしてください。

カウント中にタイマのリセットを行うと、リロードレジスタ値がカウンタにロードされ、カウントが継続します。

ワンショットモード



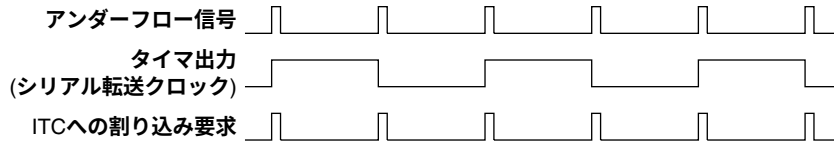
リピートモード



図II.4.3.6.1 カウント動作

II.4.3.7 ファインモード付き8ビットタイマ出力信号

タイマはカウンタがアンダーフローするとアンダーフローパルスを出力します。
このパルスは、タイマ割り込み要求に使用されます。



図II.4.3.7.1 タイマ出力クロック

また、アンダーフローパルスはシリアル転送クロックの生成にも使用され、UART CH.0に送られます。
希望の転送レートを得るためのリロードデータレジスタ値は次の式で計算できます。

$$\text{bps} = \frac{\text{clk\_in}}{\{(\text{TR} + 1) \times 16 + \text{TFMD}\}}$$

$$\text{TR} = \left(\frac{\text{clk\_in}}{\text{bps}} - \text{TFMD} - 16 \right) \div 16$$

clk_in: カウントクロック(プリスケアラ出力クロック)周波数 [Hz]

TR: リロードデータ (0~255)

bps: 転送レート (ビット/秒)

TFMD: ファインモード設定値 (0~15)

II.4.3.8 ファインモード

ファインモードは、転送レートの誤差を最小限に抑える機能を提供します。

ファインモード付き8ビットタイマはプログラマブルなクロックを出力可能で、その信号はUART CH.0のシリアル転送クロックとして使用されます。プリスケアラ出力クロックとリロードデータの適切な選択により、タイマ出力クロックを希望の周波数に設定することができます。ただし、転送レートによっては誤差を生じます。ファインモードでは、カウンタによるアンダーフローパルスの出力を遅らせ、出力クロック周期を延ばします。この遅延量はTFMD[3:0]ビット (D[11:8]/CLG_T8FU0_CTLレジスタ)で指定できます。

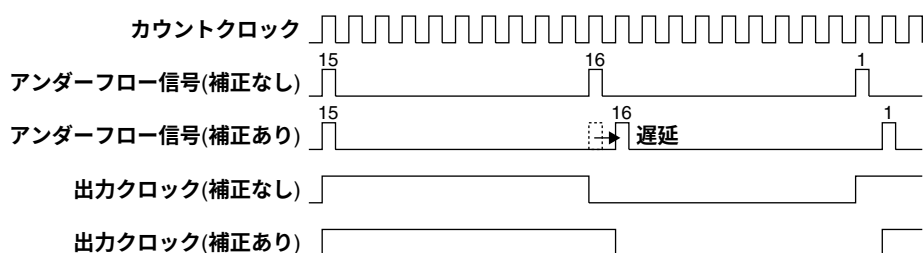
* **TFMD[3:0]**: Fine Mode Setup Bits in the CLG_T8FU0 Control (CLG_T8FU0_CTL) Register (D[11:8]/0x4226)

TFMD[3:0]ビットは16アンダーフロー期間に挿入する遅延パターンを指定します。遅延の挿入1回につき、出力クロック周期はカウントクロック1サイクル分延長されます。この設定により、割り込みタイミングも同様に遅延します。

表II.4.3.8.1 TFMD[3:0]で指定する遅延パターン

TFMD[3:0]	アンダーフロー番号															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0x0	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
0x1	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	D
0x2	—	—	—	—	—	—	—	D	—	—	—	—	—	—	—	D
0x3	—	—	—	—	—	—	—	D	—	—	—	D	—	—	—	D
0x4	—	—	—	D	—	—	—	D	—	—	—	D	—	—	—	D
0x5	—	—	—	D	—	—	—	D	—	—	—	D	—	D	—	D
0x6	—	—	—	D	—	D	—	D	—	—	—	D	—	D	—	D
0x7	—	—	—	D	—	D	—	D	—	D	—	D	—	D	—	D
0x8	—	D	—	D	—	D	—	D	—	D	—	D	—	D	—	D
0x9	—	D	—	D	—	D	—	D	—	D	—	D	—	D	D	D
0xa	—	D	—	D	—	D	D	D	—	D	—	D	—	D	D	D
0xb	—	D	—	D	—	D	D	D	—	D	D	D	—	D	D	D
0xc	—	D	D	D	—	D	D	D	—	D	D	D	—	D	D	D
0xd	—	D	D	D	—	D	D	D	—	D	D	D	D	D	D	D
0xe	—	D	D	D	D	D	D	D	—	D	D	D	D	D	D	D
0xf	—	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D

D: 遅延サイクルが挿入されることを示します。



図II.4.3.8.1 ファインモードでの遅延サイクルの挿入

イニシャルリセット時、TFMD[3:0]は0x0に設定され、遅延サイクルは挿入されません。

II.4.3.9 ファインモード付き8ビットタイマ割り込み

ファインモード付き8ビットタイマは、カウンタのアンダーフローにより、割り込み要求を割り込みコントローラ(ITC)に出力します。

タイマアンダーフロー割り込みを発生させるには、ITCレジスタで割り込みレベルと割り込み許可の設定を行ってください。

タイマ割り込み用ITCレジスタ

以下に、ファインモード付き8ビットタイマ用のITC制御ビットを示します。

割り込みフラグ IIFT1

* **IIFT1**: CLG_T8FU0 Timer Interrupt Flag Bit in the Interrupt Flag (ITC_IFLG) Register (D9/0x4300)

割り込みイネーブルビット IEN1

* **IEN1**: CLG_T8FU0 Timer Interrupt Enable Bit in the Interrupt Enable (ITC_EN) Register (D9/0x4302)

割り込みレベル設定ビット IILV1

* **IILV1[2:0]**: CLG_T8FU0 Timer Interrupt Level Bits in the Internal Interrupt Level Setup (ITC_ILV0) Register 0 (D[10:8]/0x430e)

タイマにアンダーフローが発生すると、対応する割り込みフラグが1にセットされます。

その割り込みフラグに対応する割り込みイネーブルビットが1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。タイマによる割り込みを禁止するには、割り込みイネーブルビットを0に設定しておきます。割り込みフラグは、割り込みイネーブルビットの設定にかかわらず(0に設定されていても)、タイマのアンダーフローパルスによって1にセットされます。

割り込みレベル設定ビットは、タイマ割り込みのレベル(0~7)を設定します。

S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- タイマ割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“III.1 割り込みコントローラ(ITC)”を参照してください。

割り込みベクタ

ファインモード付き8ビットタイマ割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号: 13(0x0d)

ベクタアドレス: TTBR + 0x34

II.4.3.10 制御レジスタ詳細

表II.4.3.10.1 ファインモード付き8ビットタイマレジスタ一覧

アドレス	レジスタ名		機 能
0x4220	CLG_T8FU0_CLK	CLG_T8FU0 Input Clock Select Register	プリスケアラ出力クロックの選択
0x4222	CLG_T8FU0_TR	CLG_T8FU0 Reload Data Register	リロードデータの設定
0x4224	CLG_T8FU0_TC	CLG_T8FU0 Counter Data Register	カウンタデータ
0x4226	CLG_T8FU0_CTL	CLG_T8FU0 Control Register	タイマモードの設定とタイマのRUN/STOP

以下、ファインモード付き8ビットタイマのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

II

CLG

0x4220: CLG_T8FU0 Input Clock Select Register (CLG_T8FU0_CLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T8FU0 Input Clock Select Register (CLG_T8FU0_ CLK)	0x4220 (16 bits)	D15-4	—	reserved	—	—	—	0 when being read.
		D3-0	DF[3:0]	Timer input clock select (Prescaler output clock)	DF[3:0] Clock	0x0	R/W	
					0xf reserved			
					0xe PCLK•1/16384			
					0xd PCLK•1/8192			
					0xc PCLK•1/4096			
					0xb PCLK•1/2048			
					0xa PCLK•1/1024			
					0x9 PCLK•1/512			
					0x8 PCLK•1/256			
					0x7 PCLK•1/128			
					0x6 PCLK•1/64			
					0x5 PCLK•1/32			
					0x4 PCLK•1/16			
					0x3 PCLK•1/8			
					0x2 PCLK•1/4			
					0x1 PCLK•1/2			
					0x0 PCLK•1/1			

D[15:4] Reserved**D[3:0] DF[3:0]: Timer Input Clock Select Bits**

15種類のプリスケアラ出力クロックから、タイマのカウントクロックを選択します。

表II.4.3.10.2 カウントクロックの選択

DF[3:0]	プリスケアラ出力クロック	DF[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

注: カウントクロックの設定は、タイマがカウント停止中に行ってください。

0x4222: CLG_T8FU0 Reload Data Register (CLG_T8FU0_TR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T8FU0 Reload Data Register (CLG_T8FU0_TR)	0x4222 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TR[7:0]	CLG_T8FU0 reload data TR7 = MSB TR0 = LSB	0x0 to 0xff	0x0	R/W	

D[15:8] Reserved**D[7:0] TR[7:0]: CLG_T8FU0 Reload Data Bits**

カウンタの初期値を設定します。(デフォルト: 0x0)

このレジスタに設定したリロードデータは、タイマがリセットされるか、カウンタがアンダーフローした時点でカウンタにプリセットされます。

タイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、任意の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

II**CLG**

0x4224: CLG_T8FU0 Counter Data Register (CLG_T8FU0_TC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T8FU0 Counter Data Register (CLG_T8FU0_TC)	0x4224 (16 bits)	D15-8	—	reserved	—	—	—	0 when being read.
		D7-0	TC[7:0]	CLG_T8FU0 counter data TC7 = MSB TC0 = LSB	0x0 to 0xff	0xff	R	

D[15:8] Reserved

D[7:0] **TC[7:0]: CLG_T8FU0 Counter Data Bits**

カウンタデータが読み出せます。(デフォルト: 0xff)
このレジスタはリードオンリのため、データの書き込みはできません。

0x4226: CLG_T8FU0 Control Register (CLG_T8FU0_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T8FU0 Control Register (CLG_T8FU0_CTL)	0x4226 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11–8	TFMD[3:0]	Fine mode setup	0x0 to 0xf	0x0	R/W	Set a number of times to insert delay into a 16-underflow period.
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	

D[15:12] Reserved

D[11:8] TFMD[3:0]: Fine Mode Setup Bits

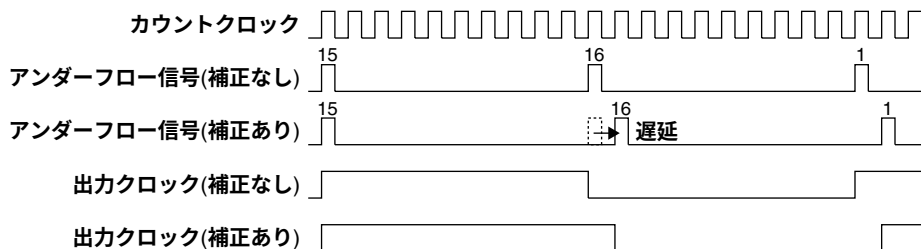
転送レートの誤差を補正します。(デフォルト: 0x0)

TFMD[3:0]ビットは16アンダーフロー期間に挿入する遅延パターンを指定します。遅延の挿入1回につき、出力クロック周期はカウントクロック1サイクル分延長されます。この設定により、割り込みタイミングも同様に遅延します。

表II.4.3.10.3 TFMD[3:0]で指定する遅延パターン

TFMD[3:0]	アンダーフロー番号															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0x0	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
0x1	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	D
0x2	–	–	–	–	–	–	–	D	–	–	–	–	–	–	–	D
0x3	–	–	–	–	–	–	–	D	–	–	–	D	–	–	–	D
0x4	–	–	–	D	–	–	–	D	–	–	–	D	–	–	–	D
0x5	–	–	–	D	–	–	–	D	–	–	–	D	–	D	–	D
0x6	–	–	–	D	–	D	–	D	–	–	–	D	–	D	–	D
0x7	–	–	–	D	–	D	–	D	–	D	–	D	–	D	–	D
0x8	–	D	–	D	–	D	–	D	–	D	–	D	–	D	–	D
0x9	–	D	–	D	–	D	–	D	–	D	–	D	–	D	D	D
0xa	–	D	–	D	–	D	D	D	–	D	–	D	–	D	D	D
0xb	–	D	–	D	–	D	D	D	–	D	D	D	–	D	D	D
0xc	–	D	D	D	–	D	D	D	–	D	D	D	–	D	D	D
0xd	–	D	D	D	–	D	D	D	–	D	D	D	D	D	D	D
0xe	–	D	D	D	D	D	D	D	–	D	D	D	D	D	D	D
0xf	–	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D

D: 遅延サイクルが挿入されることを示します。



図II.4.3.10.1 ファインモードでの遅延サイクルの挿入

D[7:5] Reserved

D4 TRMD: Count Mode Select Bit

タイマのカウンモードを選択します。

1(R/W): ワンショットモード

0(R/W): リピートモード(デフォルト)

TRMDを0に設定すると、タイマはリピートモードに設定されます。このモードでは、カウントを開始するとアプリケーションプログラムで停止するまでタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、タイマをこのモードに設定してください。

TRMDを1に設定すると、タイマはワンショットモードに設定されます。このモードでは、カウンタがアンダーフローした時点でタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、タイマをこのモードに設定してください。

注: カウントモードの設定は、タイマがカウント停止中に行ってください。

D[3:2] Reserved

D1 PRESER: Timer Reset Bit

8ビットタイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、リロードデータがカウンタにプリセットされます。

D0 PRUN: Timer Run/Stop Control Bit

タイマのRUN/STOPを制御します。

1(R/W): RUN

0(R/W): STOP(デフォルト)

タイマはPRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。

II.4.3.11 注意事項

- ファインモード付き8ビットタイマを動作させるには、その前にプリスケアラを動作させておく必要があります。
- カウントクロックとカウントモードの設定は、タイマがカウント停止中に行ってください。

II.4.4 8ビットタイマ (CLG_T8S, CLG_T8I)

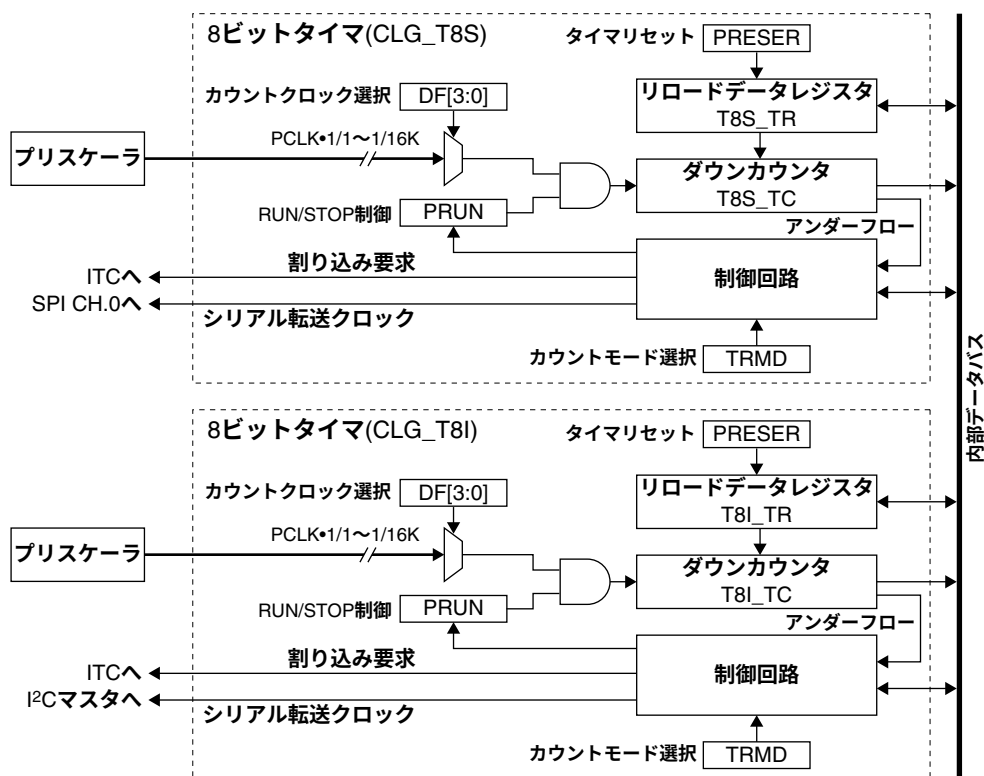
II.4.4.1 8ビットタイマの概要

S1C17002のCLGには2チャンネルの8ビットタイマ (CLG_T8S、CLG_T8I) が内蔵されています。

8ビットタイマは8ビットプリセッタブルダウンカウンタとプリセット値を保持する8ビットリロードデータレジスタで構成されます。タイマはリロードデータレジスタに設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号は、割り込みの発生や内部シリアルインタフェース用のクロック生成に使用されます。アンダーフロー周期はプリスケラクロックとリロードデータの選択によりプログラム可能なため、アプリケーションプログラムは任意の時間間隔やシリアル転送速度を得ることができます。

通常、CLG_T8SはSPI CH.0の動作クロックの生成に、CLG_T8IはI²Cマスタの動作クロックの生成に使用します。

図II.4.4.1.1に8ビットタイマの構造を示します。



図II.4.4.1.1 8ビットタイマの構造

注: 2チャンネルの8ビットタイマモジュールは、制御レジスタのアドレスを除きすべて同じ機能を持っていますので、本節内の説明は8ビットタイマの全チャンネルに適用されます。レジスタ名の‘x’はチャンネル (SまたはI) を表します。また、レジスタのアドレスは (CLG_T8S/CLG_T8I) のように記述されています。

例: CLG_T8x_CTLレジスタ (0x4246/0x4266)

x = S: CLG_T8S_CTLレジスタ (0x4246)

x = I: CLG_T8I_CTLレジスタ (0x4266)

II.4.4.2 8ビットタイマのカウントモード

8ビットタイマはリピートモードとワンショットモードの2つのカウントモードを持っています。この選択は、TRMDビット(D4/CLG_T8x_CTLレジスタ)で行います。

* **TRMD**: Count Mode Select Bit in the CLG_T8x Control (CLG_T8x_CTL) Registers (D4/0x4246/0x4266)

リピートモード(TRMD = 0、デフォルト)

TRMDを0に設定すると、8ビットタイマはリピートモードに設定されます。

このモードでは、カウントを開始するとアプリケーションプログラムで停止するまで8ビットタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、8ビットタイマをこのモードに設定してください。

ワンショットモード(TRMD = 1)

TRMDを1に設定すると、8ビットタイマはワンショットモードに設定されます。

このモードでは、カウンタがアンダーフローした時点で8ビットタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、8ビットタイマをこのモードに設定してください。

注: カウントモードの設定は、8ビットタイマがカウント停止中に行ってください。

II.4.4.3 カウントクロック

8ビットタイマはプリスケアラ出力クロックをカウントクロックとして使用します。プリスケアラはPCLKクロックを1/1～1/16Kに分周して15種類のクロックを生成します。この中の1つをDF[3:0]ビット(D[3:0]/CLG_T8x_CLKレジスタ)で選択します。

* **DF[3:0]**: Timer Input Clock Select Bits in the CLG_T8x Input Clock Select (CLG_T8x_CLK) Registers (D[3:0]/0x4240/0x4260)

表II.4.4.3.1 カウントクロックの選択

DF[3:0]	プリスケアラ出力クロック	DF[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

注: • 8ビットタイマを動作させるには、その前にプリスケアラを動作させておく必要があります。

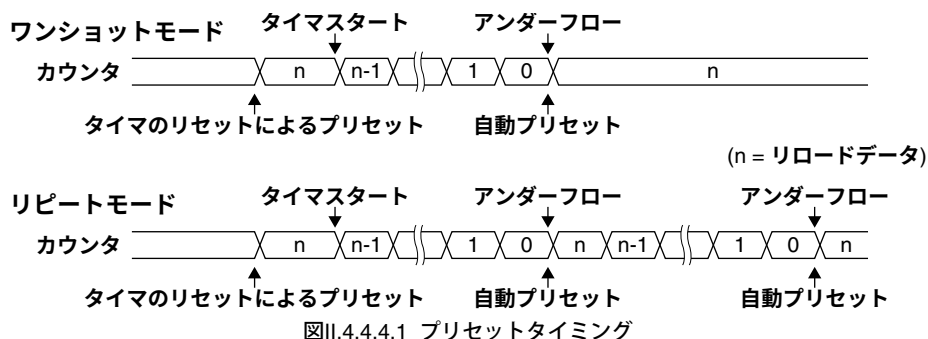
• カウントクロックの設定は、8ビットタイマがカウント停止中に行ってください。

プリスケアラの制御については、“II.3 プリスケアラ(PSC)”を参照してください。

II.4.4.4 8ビットタイマリロードレジスタとアンダーフロー周期

リロードデータレジスタCLG_T8x_TR (0x4242/0x4262)は、ダウンカウンタに初期値をセットするために使用します。

リロードデータレジスタに設定したカウンタ初期値は、8ビットタイマがリセットされるか、カウンタがアンダーフローした時点でダウンカウンタにプリセットされます。8ビットタイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、特定の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。



アンダーフロー周期は次のように計算できます。

$$\text{アンダーフロー期間} = \frac{TR + 1}{\text{clk\_in}} [\text{s}] \quad \text{アンダーフローサイクル} = \frac{\text{clk\_in}}{TR + 1} [\text{Hz}]$$

clk_in: カウントクロック(プリスケアラ出力クロック)周波数 [Hz]

TR: リロードデータ (0~255)

II.4.4.5 8ビットタイマのリセット

8ビットタイマをリセットするには、PRESEビット(D1/CLG_T8x_CTLレジスタ)に1を書き込みます。リロードデータがプリセットされ、カウンタが初期化されます。

* **PRESE**: Timer Reset Bit in the CLG_T8x Control (CLG_T8x_CTL) Registers (D1/0x4246/0x4266)

II.4.4.6 8ビットタイマRUN/STOP制御

8ビットタイマの動作を開始させる前に、以下の設定を行ってください。

- (1) カウントモード(ワンショットまたはリピート)を設定します。II.4.4.2節を参照してください。
- (2) カウントクロック(プリスケアラ出力クロック)を選択します。II.4.4.3節を参照してください。
- (3) カウンタ初期値を計算してリロードデータレジスタに設定します。II.4.4.4節を参照してください。
- (4) タイマをリセットして初期値をカウンタにプリセットします。II.4.4.5節を参照してください。
- (5) タイマ割り込みを使用する場合は、割り込みレベルを設定し、割り込みを許可します。II.4.4.8節を参照してください。

8ビットタイマの動作を開始させるには、PRUNビット(D0/CLG_T8x_CTLレジスタ)に1を書き込みます。

* **PRUN**: Timer Run/Stop Control Bit in the CLG_T8x Control (CLG_T8x_CTL) Registers (D0/0x4246/0x4266)

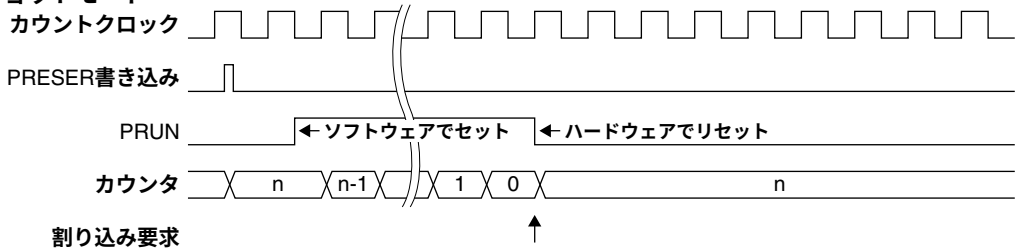
タイマは初期値から、あるいは初期値をプリセットしなかった場合は現在のカウンタ値からカウントダウンを開始します。カウンタがアンダーフローすると、タイマはアンダーフローパルスを出力し、初期値を再びカウンタにプリセットします。これと同時に、割り込み要求が割り込みコントローラ(ITC)に送られます。

ワンショットモードに設定されている場合、タイマはカウントを停止します。

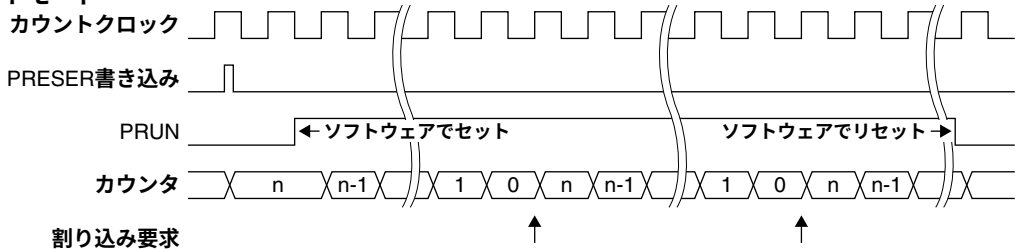
リピートモードに設定されている場合、タイマはリロードされた初期値からカウントを継続します。

アプリケーションプログラムから8ビットタイマを停止させるには、PRUNビットに0を書き込みます。カウンタはカウント動作を停止し、タイマのリセットまたは再スタートまで、現在のカウンタ値を保持します。初期値からカウントを再スタートさせる場合は、PRUNビットに1を書き込む前にタイマをリセットしてください。

ワンショットモード



リピートモード



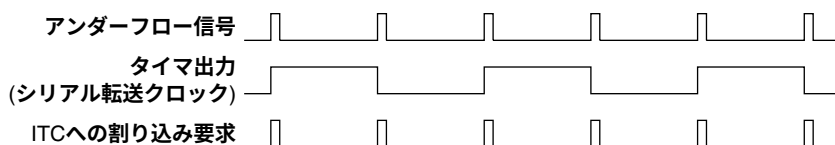
図II.4.4.6.1 カウント動作

II.4.4.7 8ビットタイマ出力信号

8ビットタイマはカウンタがアンダーフローするとアンダーフローパルスを出力します。

このパルスは、タイマ割り込み要求に使用されます。

また、内部シリアルインタフェース用のシリアル転送クロックの生成にも使用されます。



図II.4.4.7.1 タイマ出力クロック

生成されたクロックは以下のとおり、内部シリアルインタフェースに送られます。

CLG_T8S出力クロック→ SPI

CLG_T8I出力クロック → I²Cマスタ

希望の転送レートを得るためのリロードデータレジスタ値は次の式で計算できます。

$$TR = \frac{\text{clk\_in}}{\text{bps} \times 2} - 1$$

clk_in: カウントクロック(プリスケアラ出力クロック)周波数 [Hz]

TR: リロードデータ (0~255)

bps: 転送レート (ビット/秒)

II.4.4.8 8ビットタイマ割り込み

8ビットタイマは、カウンタのアンダーフローにより、割り込み要求を割り込みコントローラ(ITC)に出します。タイマアンダーフロー割り込みを発生させるには、ITCレジスタで割り込みレベルと割り込み許可の設定を行ってください。

タイマ割り込み用ITCレジスタ

表II.4.4.8.1に、各タイマチャンネル用のITC制御レジスタを示します。

表II.4.4.8.1 ITCレジスタ

タイマチャンネル	割り込みフラグ	割り込みイネーブルビット	割り込みレベル設定ビット
CLG_T8S	IIFT2 (D10/ITC_IFLG)	IEN2 (D10/ITC_EN)	IILV2[2:0] (D[2:0]/ITC_ILV1)
CLG_T8I	IIFT3 (D11/ITC_IFLG)	IEN3 (D11/ITC_EN)	IILV3[2:0] (D[10:8]/ITC_ILV1)

ITC_IFLGレジスタ (0x4300)

ITC_ENレジスタ (0x4302)

ITC_ILV1レジスタ (0x4310)

タイマにアンダーフローが発生すると、対応する割り込みフラグが1にセットされます。

その割り込みフラグに対応する割り込みイネーブルビットが1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。タイマによる割り込みを禁止するには、割り込みイネーブルビットを0に設定しておきます。割り込みフラグは、割り込みイネーブルビットの設定にかかわらず(0に設定されていても)、タイマのアンダーフローパルスによって1にセットされます。

割り込みレベル設定ビットは、タイマ割り込みのレベル(0~7)を設定します。同一の割り込みレベルに設定した場合、CLG_T8Sの優先順位が高く、CLG_T8Iが低い順位となります。

S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- タイマ割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“III.1 割り込みコントローラ(ITC)”を参照してください。

割り込みベクタ

タイマ割り込みのベクタ番号とベクタアドレスは以下のとおりです。

表II.4.4.8.2 タイマ割り込みベクタ

タイマチャンネル	ベクタ番号	ベクタアドレス
CLG_T8S	14 (0x0e)	TTBR + 0x38
CLG_T8I	15 (0x0f)	TTBR + 0x3c

II.4.4.9 制御レジスタ詳細

表II.4.4.9.1 8ビットタイマレジスタ一覧

アドレス	レジスタ名		機 能
0x4240	CLG_T8S_CLK	CLG_T8S Input Clock Select Register	プリスケアラ出力クロックの選択
0x4242	CLG_T8S_TR	CLG_T8S Reload Data Register	リロードデータの設定
0x4244	CLG_T8S_TC	CLG_T8S Counter Data Register	カウンタデータ
0x4246	CLG_T8S_CTL	CLG_T8S Control Register	タイマモードの設定とタイマのRUN/STOP
0x4260	CLG_T8I_CLK	CLG_T8I Input Clock Select Register	プリスケアラ出力クロックの選択
0x4262	CLG_T8I_TR	CLG_T8I Reload Data Register	リロードデータの設定
0x4264	CLG_T8I_TC	CLG_T8I Counter Data Register	カウンタデータ
0x4266	CLG_T8I_CTL	CLG_T8I Control Register	タイマモードの設定とタイマのRUN/STOP

以下、8ビットタイマのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x4240/0x4260: CLG_T8x Input Clock Select Registers (CLG_T8x_CLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T8x Input Clock Select Register (CLG_T8x_CLK)	0x4240 0x4260 (16 bits)	D15-4	—	reserved	—	—	—	0 when being read.
		D3-0	DF[3:0]	Timer input clock select (Prescaler output clock)	DF[3:0] Clock	0x0	R/W	
					0xf reserved			
					0xe PCLK•1/16384			
					0xd PCLK•1/8192			
					0xc PCLK•1/4096			
					0xb PCLK•1/2048			
					0xa PCLK•1/1024			
					0x9 PCLK•1/512			
					0x8 PCLK•1/256			
					0x7 PCLK•1/128			
					0x6 PCLK•1/64			
					0x5 PCLK•1/32			
					0x4 PCLK•1/16			
					0x3 PCLK•1/8			
					0x2 PCLK•1/4			
					0x1 PCLK•1/2			
					0x0 PCLK•1/1			

注: レジスタ名などの‘x’はタイマチャネル(SまたはI)を表します。

0x4240: CLG_T8S Input Clock Select Register (CLG_T8S_CLK)

0x4260: CLG_T8I Input Clock Select Register (CLG_T8I_CLK)

D[15:4] Reserved

D[3:0] DF[3:0]: Timer Input Clock Select Bits

15種類のプリスケアラ出力クロックから、8ビットタイマのカウントクロックを選択します。

表II.4.4.9.2 カウントクロックの選択

DF[3:0]	プリスケアラ出力クロック	DF[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

注: カウントクロックの設定は、8ビットタイマがカウント停止中に行ってください。

0x4242/0x4262: CLG_T8x Reload Data Registers (CLG_T8x_TR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T8x Reload Data Register (CLG_T8x_TR)	0x4242	D15–8	–	reserved	–	–	–	0 when being read.
	0x4262 (16 bits)	D7–0	TR[7:0]	8-bit timer reload data TR7 = MSB TR0 = LSB	0x0 to 0xff	0x0	R/W	

注: レジスタ名などの‘x’はタイマチャネル(SまたはI)を表します。

0x4242: CLG_T8S Reload Data Register (CLG_T8S_TR)

0x4262: CLG_T8I Reload Data Register (CLG_T8I_TR)

D[15:8] **Reserved**

D[7:0] **TR[7:0]: 8-bit Timer Reload Data Bits**

カウンタの初期値を設定します。(デフォルト: 0x0)

このレジスタに設定したリロードデータは、タイマがリセットされるか、カウンタがアンダーフローした時点でカウンタにプリセットされます。

8ビットタイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、任意の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

0x4244/0x4264: CLG_T8x Counter Data Registers (CLG_T8x_TC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T8x Counter Data Register (CLG_T8x_TC)	0x4244	D15–8	–	reserved	–	–	–	0 when being read.
	0x4264 (16 bits)	D7–0	TC[7:0]	8-bit timer counter data TC7 = MSB TC0 = LSB	0x0 to 0xff	0xff	R	

注: レジスタ名などの‘x’はタイマチャネル(SまたはI)を表します。

0x4244: CLG_T8S Counter Data Register (CLG_T8S_TC)

0x4264: CLG_T8I Counter Data Register (CLG_T8I_TC)

D[15:8] Reserved

D[7:0] TC[7:0]: 8-bit Timer Counter Data Bits

カウンタデータが読み出せます。(デフォルト: 0xff)

このレジスタはリードオンリのため、データの書き込みはできません。

II

CLG

0x4246/0x4266: CLG_T8x Control Registers (CLG_T8x_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T8x Control Register (CLG_T8x_CTL) (16 bits)	0x4246 0x4266	D15-5	—	reserved	—	—	—	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3-2	—	reserved	—	—	—	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	

注: レジスタ名などの‘x’はタイマチャネル(SまたはI)を表します。

0x4246: CLG_T8S Control Register (CLG_T8S_CTL)

0x4266: CLG_T8I Control Register (CLG_T8I_CTL)

D[15:5] Reserved**D4 TRMD: Count Mode Select Bit**

8ビットタイマのカウントモードを選択します。

1(R/W): ワンショットモード

0(R/W): リピートモード(デフォルト)

TRMDを0に設定すると、8ビットタイマはリピートモードに設定されます。このモードでは、カウントを開始するとアプリケーションプログラムで停止するまで8ビットタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、8ビットタイマをこのモードに設定してください。

TRMDを1に設定すると、8ビットタイマはワンショットモードに設定されます。このモードでは、カウンタがアンダーフローした時点で8ビットタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、8ビットタイマをこのモードに設定してください。

注: カウントモードの設定は、8ビットタイマがカウント停止中に行ってください。

D[3:2] Reserved**D1 PRESER: Timer Reset Bit**

8ビットタイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、リロードデータがカウンタにプリセットされます。

D0 PRUN: Timer Run/Stop Control Bit

タイマのRUN/STOPを制御します。

1(R/W): RUN

0(R/W): STOP(デフォルト)

タイマはPRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。

II.4.4.10 注意事項

- 8ビットタイマを動作させるには、その前にプリスケアラを動作させておく必要があります。
- カウントクロックとカウントモードの設定は、8ビットタイマがカウント停止中に行ってください。

このページはブランクです。

II.5 リアルタイムクロック(RTC)

II.5.1 RTCの概要

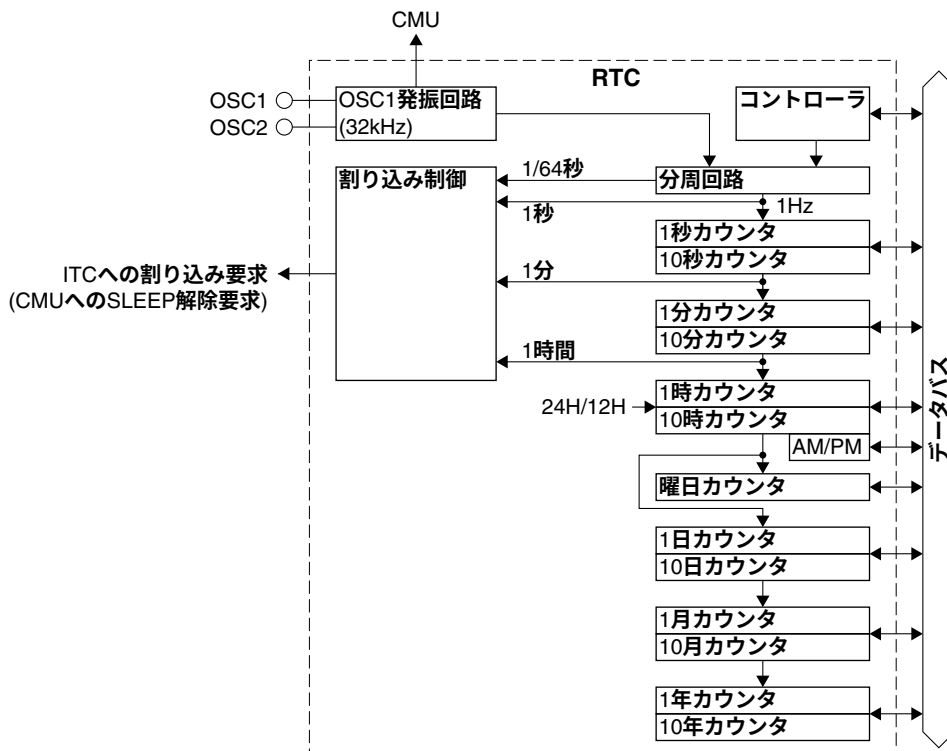
S1C17002は万年カレンダー付きのリアルタイムクロック(RTC)と、その動作クロックを生成するOSC1発振回路を内蔵しています。

RTCとOSC1発振回路はSLEEPモードでも動作します。また、RTCはCPUに対して周期的に割り込みを発生することができます。

主な特長を以下に示します。

- 時刻(秒、分、時)カウンタおよびカレンダー(日、曜日、月、年)カウンタ内蔵
- カウンタはすべてBCDデータで読み出し/書き込み可能
- 計時のスタート/ストップ制御が可能
- 24時間制/12時間制の選択が可能
- ソフトウェアによる30秒補正機能
- 周期的な割り込みが可能
- 1/64秒、1秒、1分、1時間周期、レベル/エッジ割り込みを選択可能
- 32.768kHz(Typ.)の動作クロックを生成するOSC1発振回路(水晶発振または外部クロック入力)を内蔵

図II.5.1.1にRTCのブロック図を示します。



図II.5.1.1 RTCブロック図

II.5.2 RTCカウンタ

RTCは以下に示す13個のカウンタを内蔵しており、カウント値をそれぞれのレジスタからBCDデータとして読み出すことができます。また、データを書き込むことで、任意の日付と時刻に設定可能です。

1秒カウンタ

1秒桁の4ビットBCDカウンタで、32.768kHzのOSC1クロックを分周した1秒信号により0から9までカウントします。9の次は0に戻り、10秒カウンタにキャリーを出力します。カウントデータはRTCSL[3:0](D[3:0]/RTC_SECレジスタ)を使用して読み出し/書き込みを行います。

* **RTCSL[3:0]**: RTC 1-second Counter Bits in the RTC Second (RTC_SEC) Register (D[3:0]/0x4614)

10秒カウンタ

10秒桁の3ビットBCDカウンタで、1秒カウンタからのキャリーにより0から5までカウントします。5の次は0に戻り、1分カウンタにキャリーを出力します。カウントデータはRTC10S[2:0](D[6:4]/RTC_SECレジスタ)を使用して読み出し/書き込みを行います。

* **RTC10S[2:0]**: RTC 10-second Counter Bits in the RTC Second (RTC_SEC) Register (D[6:4]/0x4614)

1分カウンタ

1分桁の4ビットBCDカウンタで、10秒カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10分カウンタにキャリーを出力します。カウントデータはRTCMIL[3:0](D[3:0]/RTC_MINレジスタ)を使用して読み出し/書き込みを行います。

* **RTCMIL[3:0]**: RTC 1-minute Counter Bits in the RTC Minute (RTC_MIN) Register (D[3:0]/0x4615)

10分カウンタ

10分桁の3ビットBCDカウンタで、1分カウンタからのキャリーにより0から5までカウントします。5の次は0に戻り、1時カウンタにキャリーを出力します。カウントデータはRTCM10[2:0](D[6:4]/RTC_MINレジスタ)を使用して読み出し/書き込みを行います。

* **RTCM10[2:0]**: RTC 10-minute Counter Bits in the RTC Minute (RTC_MIN) Register (D[6:4]/0x4615)

1時カウンタ

1時桁の4ビットBCDカウンタで、10分カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10時カウンタにキャリーを出力します。12時間制/24時間制の選択状況により、12時または24時の時点でリセットされます。カウントデータはRTCHL[3:0](D[3:0]/RTC_HOURレジスタ)を使用して読み出し/書き込みを行います。

* **RTCHL[3:0]**: RTC 1-hour Counter Bits in the RTC Hour (RTC_HOUR) Register (D[3:0]/0x4616)

10時カウンタ

10時桁の2ビットBCDカウンタで、1時カウンタからのキャリーにより12時間制の場合は0から1まで、24時間制の場合は0から2までカウントします。12時または24時の時点でリセットされ、1日カウンタにキャリーを出力します。カウントデータはRTCHH[1:0](D[5:4]/RTC_HOURレジスタ)を使用して読み出し/書き込みを行います。

* **RTCHH[1:0]**: RTC 10-hour Counter Bits in the RTC Hour (RTC_HOUR) Register (D[5:4]/0x4616)

12時間制を選択した場合、午前/午後を示すRTCAP(D6/RTC_HOURレジスタ)ビットが有効になり、午前を0、午後を1で示します。24時間制の場合、RTCAPは0に固定されます。

* **RTCAP**: AM/PM Indicator Bit in the RTC Hour (RTC_HOUR) Register (D6/0x4616)

1日カウンタ

1日桁の4ビットBCDカウンタで、時カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10日カウンタにキャリーを出力します。月の日数やうるう年に対応しており、月が変わった時点で1にリセットされます。カウントデータはRTCDL[3:0](D[3:0]/RTC_DAYレジスタ)を使用して読み出し/書き込みを行います。

* RTCDL[3:0]: RTC 1-day Counter Bits in the RTC Day (RTC_DAY) Register (D[3:0]/0x4617)

10日カウンタ

10日桁の2ビットBCDカウンタで、1日カウンタからのキャリーにより0から2または3までカウントします。月の日数やうるう年に対応しており、1日カウンタと共に月が変わった時点で0にリセットされ、1月カウンタにキャリーを出力します。カウントデータはRTCDH[1:0](D[5:4]/RTC_DAYレジスタ)を使用して読み出し/書き込みを行います。

* RTCDH[1:0]: RTC 10-day Counter Bits in the RTC Day (RTC_DAY) Register (D[5:4]/0x4617)

1月カウンタ

1月桁の4ビットBCDカウンタで、日カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10月カウンタにキャリーを出力します。年が変わった時点で1にリセットされます。カウントデータはRTCMOL[3:0](D[3:0]/RTC_MONTHレジスタ)を使用して読み出し/書き込みを行います。

* RTCMOL[3:0]: RTC 1-month Counter Bits in the RTC Month (RTC_MONTH) Register (D[3:0]/0x4628)

10月カウンタ

10月桁のビットで、1月カウンタからのキャリーにより1にセットされます。1月カウンタと共に年が変わった時点で0にリセットされ、1年カウンタにキャリーを出力します。カウントデータはRTCMOH(D4/RTC_MONTHレジスタ)を使用して読み出し/書き込みを行います。

* RTCMOH: RTC 10-month Counter Bit in the RTC Month (RTC_MONTH) Register (D4/0x4628)

1年カウンタ

1年桁の4ビットBCDカウンタで、月カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10年カウンタにキャリーを出力します。カウントデータはRTCYL[3:0](D[3:0]/RTC_YEARレジスタ)を使用して読み出し/書き込みを行います。

* RTCYL[3:0]: RTC 1-year Counter Bits in the RTC Year (RTC_YEAR) Register (D[3:0]/0x4629)

10年カウンタ

10年桁の4ビットBCDカウンタで、1年カウンタからのキャリーにより0から9までカウントします。カウントデータはRTCYH[3:0](D[7:4]/RTC_YEARレジスタ)を使用して読み出し/書き込みを行います。

* RTCYH[3:0]: RTC 10-year Counter Bits in the RTC Year (RTC_YEAR) Register (D[7:4]/0x4629)

曜日カウンタ

曜日を表すための7進カウンタ(0から6までカウント)で、1日カウンタと同じクロックでカウントアップします。カウントデータはRTCWK[2:0](D[2:0]/RTC_WEEKレジスタ)を使用して読み出し/書き込みを行います。

* RTCWK[2:0]: RTC Days of Week Counter Bits in the RTC Days of Week (RTC_WEEK) Register (D[2:0]/0x462a)

値と曜日との対応はプログラムで任意に設定できます。基本的な対応を表II.5.2.1に示します。

表II.5.2.1 曜日カウンタ値と曜日との対応

RTCWK[2:0]	曜日
0x6	土曜日
0x5	金曜日
0x4	木曜日
0x3	水曜日
0x2	火曜日
0x1	月曜日
0x0	日曜日

カウンタの初期値

イニシャルリセット時、カウンタの値は初期化されません。電源投入後は不定となります。“II.5.3.2 RTCのイニシャルシーケンス”に示す手順でカウンタを初期設定してください。

うるう年検出について

本RTCのうるう年検出は西暦専用で、2399年までは自動判別します。

0～99の中の4で割り切れる年はうるう年と判定します。1年カウンタと10年カウンタが共に0の場合は平年と判定します。

II.5.3 RTCの制御

II.5.3.1 動作クロックとアクセスウェイトサイクルの制御

カウンタクロック

RTCは32.768kHz(Typ.)のOSC1クロックで動作します。OSC1クロックはOSC1発振回路から常に (HALT/SLEEPモード時も)出力されます。

レジスタクロック

RTCの制御レジスタの動作にはRTC_SAPB_CLKクロックを使用します。レジスタ設定時はこのクロックが必要です。レジスタの設定後は消費電流を低減させるため、RTC_SAPB_CLK_EN(D0/CMU_GATEDCLK2レジスタ)を0に設定してクロック供給を停止させることができます。

- * **RTC_SAPB_CLK_EN**: RTC SAPB I/F Clock Control Bit in the Gated Clock Control 2 (CMU_GATEDCLK2) Register (D0/0x4908)

RTCモジュールアクセス時のウェイトサイクル設定

システムが高速動作中でもRTCレジスタを正常にアクセスできるように、SRAMCにはRTCアクセス時にウェイトサイクルを挿入する機能があります。挿入するウェイトサイクル数をRTC_WAIT[2:0] (D[2:0]/RTC_WAITレジスタ)で指定します。

- * **RTC_WAIT[2:0]**: RTC Access Wait Cycle Setup Bits in the RTC Wait Control (RTC_WAIT) Register (D[2:0]/0x5018)

表II.5.3.1.1 RTCアクセス時のウェイトサイクル数

RTC_WAIT[2:0]	ウェイトサイクル数
0x7	7サイクル
0x6	6サイクル
0x5	5サイクル
0x4	4サイクル
0x3	3サイクル
0x2	2サイクル
0x1	1サイクル
0x0	0サイクル

(デフォルト: 0x7)

S1C17002はRTC_WAIT[2:0]≥1で動作可能です。

II.5.3.2 RTCのイニシャルシーケンス

電源投入直後はRTCレジスタの内容が不定になります。電源投入時は以下の手順でRTCによる計時を開始してください。各制御内容の詳細については、続く節で個々に説明します。

1. 電源投入
2. システムの初期化処理とOSC1発振安定待ち
OSC1発振回路は電源投入直後に発振を開始しますが、出力クロックの安定に最大で3秒の時間が必要です。
3. RTC割り込みをディセーブル
不要なRTC割り込みの発生を防ぐため、次のように設定します。
RTC Interrupt Mode Register(0x4601)に0x0を書き込み、RTC割り込みを禁止します。
RTC Interrupt Status Register(0x4600)に0x1を書き込み、割り込みステータスをクリアします。
詳細は、“II.5.4 RTC割り込み”を参照してください。
4. カウントの開始
RTC Control 0 Register(0x4602)に0x2(12時間制の場合)または0x12(24時間制の場合)を書き込み、カウントを開始させます。これは、設定の変更がカウントデータに影響する12時間制/24時間制の内容などを初期化するための操作で、正式なカウント開始操作ではありません。
詳細は、“II.5.3.3 24時間制/12時間制の選択とカウンタの設定”と“II.5.3.4 カウンタのスタート/ストップおよびリセット”を参照してください。
5. RTCのアクセス可能状態の確認
RTC Control 1 Register(0x4603)を使用してカウンタホールド制御とビジーフラグの読み出しを行い、RTCへのアクセスが可能になったことを確認します。
詳細は、“II.5.3.5 カウンタのホールドとビジーフラグ”を参照してください。
6. カウントの停止とリセット
RTC Control 0 Register(0x4602)に0x1を書き込み、カウントを停止させるとともにカウントクロックの分周段をリセットします。
詳細は、“II.5.3.4 カウンタのスタート/ストップおよびリセット”を参照してください。
7. 日付と時刻を設定
すべてのカウンタを、それぞれのレジスタを使用して現在の日時に初期設定します。
詳細は、“II.5.3.3 24時間制/12時間制の選択とカウンタの設定”を参照してください。
8. カウントを再開
カウンタのホールド状態(5で設定)を解除し、4と同じ操作でカウントを再開します。
詳細は、“II.5.3.5 カウンタのホールドとビジーフラグ”および“II.5.3.4 カウンタのスタート/ストップおよびリセット”を参照してください。

II.5.3.3 24時間制/12時間制の選択とカウンタの設定

24時間制/12時間制の選択

時計を24時間制と12時間制のどちらで使用するかについて、RTC24H(D4/RTC_CNTL0レジスタ)で選択できるようになっています。

RTC24H = 1: 24時間制

RTC24H = 0: 12時間制

この選択により、時カウンタのカウント範囲が変わります。

* **RTC24H:** 24H/12H Mode Select Bit in the RTC Control 0 (RTC_CNTL0) Register (D4/0x4602)

基本的に、この設定変更はカウンタが停止している状態で行います。RTC24Hはカウンタをスタートさせる制御ビットと同じアドレスに割り付けられており、24時間制/12時間制の選択とカウンタのスタートを同時に行うことは可能です。

注: RTC24Hを書き換えると、時、日、月、年、曜日のカウントデータが壊れることがあります。したがって、RTC24Hを変更した場合は、これらのカウンタのデータを再設定してください。

12時間制選択時の午前/午後の確認

12時間制を選択すると、午前/午後を示すRTCAP(D6/RTC_HOURレジスタ)ビットが有効になります。

RTCAP = 0: 午前

RTCAP = 1: 午後

24時間制の場合、RTCAPは0に固定されます。

* **RTCAP:** AM/PM Indicator Bit in the RTC Hour (RTC_HOUR) Register (D6/0x4616)

時刻を設定する場合も、このビットへの上記の値の書き込みで午前/午後を指定します。

カウンタの設定

カウンタが停止中はどのカウンタについても、任意のタイミングでデータの読み出し/書き込みが可能です。ただし、以下のような設定は計時ミスの原因になりますので避けてください。

- 有効範囲を超える設定
60秒、60分、12時間または24時間、31日、12月、99年を超える設定は行わないでください。
- カレンダーに存在しない設定
4月31日、06年2月29日など、存在しない日付は設定しないでください。ただし、このような設定を行った場合でも、時カウンタから1日カウンタへのキャリーが発生すると、翌月の1日になります(4月31日の場合は5月1日、06年2月29日の場合は06年3月1日)。

カウンタが動作中に内容を書き換えるには、正しく書き換えるための手順があります。その詳細については、“II.5.3.6 動作中のカウンタのリード/ライト”を参照してください。

II.5.3.4 カウンタのスタート/ストップおよびリセット

カウンタのスタート/ストップ

RTCはRTCSTP(D1/RTC_CNTL0レジスタ)を0に設定するとカウントを開始し、1に設定すると停止します。

* **RTCSTP:** Counter Run/Stop Control Bit in the RTC Control 0 (RTC_CNTL0) Register (D1/0x4602)

RTCSTPへの1書き込みで停止するのは32kHz入力クロックの分周段の8,192Hz以降です。入力クロックの2分周(16,384Hz)までは停止しません。

カウンタの桁上げ中に停止すると、カウンタの値が壊れてしまうことがありますので、次節を参照し、桁上げにかからないように停止の制御を行ってください。カウンタの内容すべてを再設定するような場合は、その必要はありません。

リセット

RTCRST(D0/RTC_CNTL0レジスタ)は32kHzから2Hzまでのカウンタをリセットするビットです。

* **RTCRST:** Software Reset Bit in the RTC Control 0 (RTC_CNTL0) Register (D0/0x4602)

RTCRSTを1に設定すると、上記カウンタがリセット状態(0クリア)となり、0を書き込むとリセットが解除されます。

II.5.3.5 カウンタのホールドとビジーフラグ

カウンタの読み出し中にカウンタの桁上げが発生すると、正しいカウンタ値が読み出せないことがあります。また、書き込みや停止の操作でカウンタ値が壊れることもあります。そこで、カウンタが桁上げ状態(ビジー)ではないことを確認してからデータの読み出しや書き込みを行います。このために2つの制御ビットRTCBSY(D1/RTC_CNTL1レジスタ)とRTCHLD(D0/RTC_CNTL1レジスタ)が設けられています。

- * **RTCBSY**: Counter Busy Flag Bit in the RTC Control 1 (RTC_CNTL1) Register (D1/0x4603)
- * **RTCHLD**: Counter Hold Control Bit in the RTC Control 1 (RTC_CNTL1) Register (D0/0x4603)

RTCBSYはカウンタが桁上げ中であることを示す、読み出し専用のフラグです。RTCBSYは桁上げ中に1、それ以外は0となります。RTCBSYが0であることを確認してカウンタにアクセスすることで、正しい値の読み出しと設定が行えます。

ただし、カウント動作中はRTCBSYが1に固定されており、現在の状態を反映させるためには、RTCHLDに1を書き込む必要があります。

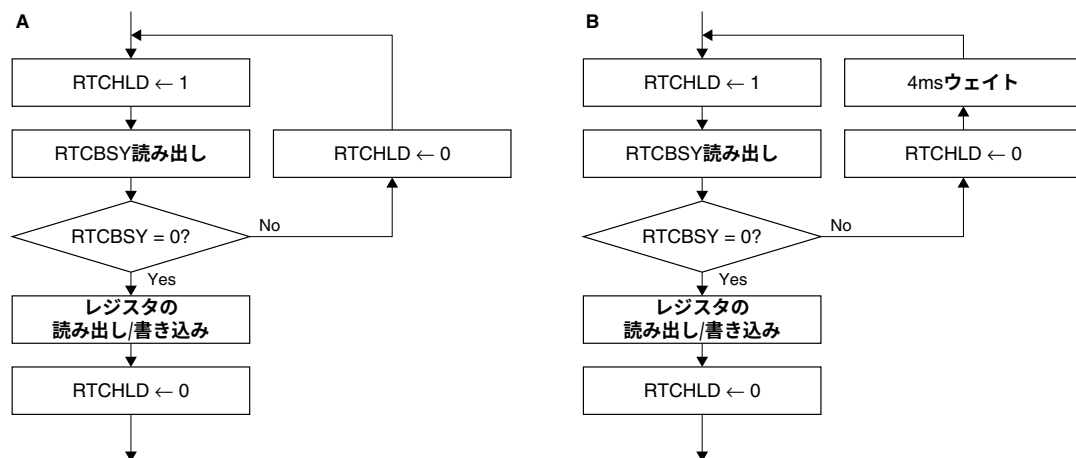
RTCBSY = 0 (RTCがアクセス可能状態)

RTCHLDに1を書き込み後、RTCBSYの読み出し値が0だった場合、現在は桁上げ中ではありません。また、この場合はカウンタのホールド機能が働き、1秒カウンタへの桁上げがハードウェアで禁止されます。1秒未満のカウンタの動作は続きます。この状態で、データの読み出しまたは書き込みを行います。データの読み出し/書き込み後は、RTCHLDを0に戻します。

カウンタがホールド状態でのデータの読み出し/書き込み中に桁上げのタイミングとなった場合は、RTCHLDを0に戻した時点で自動的に1秒が加算され、カウント値が補正されます。この補正は1秒のみ有効で、2回目以降の桁上げタイミングは無視されます。この場合、計時データが狂うこととなりますので、必要な読み出し/書き込みの終了後は、速やかにRTCHLDを0に戻してください。

RTCBSY = 1 (RTCがビジー状態)

RTCHLDに1を書き込み後、RTCBSYの読み出し値が1だった場合、現在は桁上げ中です。カウンタの桁上げの期間は1秒あたり4msです。この場合は、速やかにRTCHLDを0に戻し、[A]再度同じ手順でRTCBSYのチェックを繰り返すか、[B]4ms待機してから再度RTCBSYをチェックします。RTCBSYが1だった場合は、必ずすぐにRTCHLDを0に戻してください。RTCHLDを1のまま放置すると、時刻が狂う場合があります。



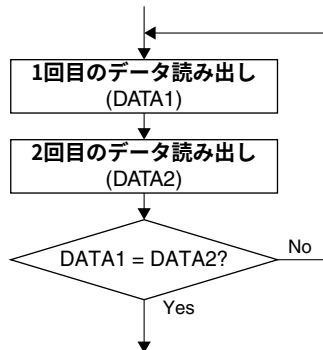
図II.5.3.5.1 RTCビジーの確認手順

データの読み出しは、RTCHLDとRTCBSYを使用しない方法でも行えます(次節参照)。

II.5.3.6 動作中のカウンタのリード/ライト

前節で説明したとおり、カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。図II.5.3.5.1のフローチャートに示した手順で、カウンタの読み出し/書き込みを行ってください。

カウンタの読み出しは、図II.5.3.6.1のように、RTCHLDとRTCBSYを使用しないで行うこともできます。



図II.5.3.6.1 カウンタをホールドしない読み出し手順

II.5.3.7 30秒補正

30秒補正は、時計の秒数が30～59秒までの場合は分数に1を加算し、秒数を0にします。秒数が0～29秒の場合は分数はそのまま秒数を0にします。アプリケーションで秒数をリセットする場合の分切り上げ機能に利用できます。

この機能はRTCADJ(D2/RTC_CNTL0レジスタ)に1を書き込むことで実行できます。

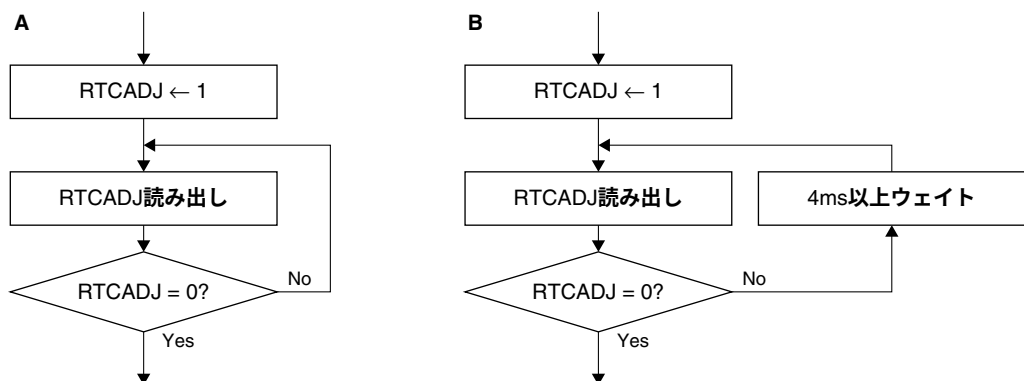
* **RTCADJ**: 30-second Adjustment Bit in the RTC Control 0 (RTC_CNTL0) Register (D2/0x4602)

RTCADJに1を書き込むとRTCは次の動作を行います。

- 10秒カウンタが3以上の場合は、1分カウンタをカウントアップするキャリーを発生します。
- 10秒カウンタが2以下の場合は、キャリーを発生しません。

RTCADJは1に設定された後、この処理に必要な4msの間1を保持し、その後自動的に0に戻ります。

RTCADJが1の間はカウンタへのアクセスは禁止します。また、RTCADJへの0書き込みも誤動作の原因になるため禁止します。



図II.5.3.7.1 30秒補正の実行手順

II.5.4 RTC割り込み

RTCは、一定周期で割り込みを発生する機能を持っています。

RTCはスタンバイモード時にも動作するため、SLEEPモードの解除にも使用可能です。

ここでは、RTC内の割り込み制御機能を説明します。CPUに対して割り込みを発生させるにはITCの設定も必要です。ITCの制御については、“III.1 割り込みコントローラ (ITC)”を参照してください。また、割り込みによるSLEEPモードの解除については、“II.2 クロックマネージメントユニット (CMU)”を参照してください。

割り込み周期の設定

RTCから割り込み要求を出す周期を、RTCT[1:0] (D[3:2]/RTC_INTMODEレジスタ)で表II.5.4.1に示す4種類から選択できます。

* **RTCT[1:0]**: RTC Interrupt Cycle Setup Bits in the RTC Interrupt Mode (RTC_INTMODE) Register (D[3:2]/0x4601)

表II.5.4.1 割り込み周期の設定

RTCT[1:0]	割り込み周期
0x3	1時間
0x2	1分
0x1	1秒
0x0	1/64秒

RTCT[1:0]は、RTC割り込みを禁止した状態で設定してください(下記“割り込みの許可/禁止”参照)。

割り込み条件の設定

ITCへ送る割り込み要求信号のエッジで割り込みを発生させるか、信号レベルで割り込みを発生させるかを設定できます。この設定には、RTCIMD (D1/RTC_INTMODEレジスタ)を使用します。

* **RTCIMD**: RTC Interrupt Mode Select Bit in the RTC Interrupt Mode (RTC_INTMODE) Register (D1/0x4601)

RTCIMDを1に設定すると信号レベルによる割り込み、0に設定するとエッジ割り込みが選択されます。エッジ割り込みが選択されている場合、RTCはCMUから供給されるバスクロックを使って割り込みパルスをITCに出力します。SLEEP時など、バスクロックが供給されていない状態で割り込み要因が発生した場合は信号レベルによる割り込みとなり、RTCから出力される割り込み信号は、割り込み要因の発生からバスクロックの供給が開始されるまでアクティブレベルを保持します。

割り込みの許可/禁止

ITCへのRTC割り込み要求の出力は、RTCIEN (D0/RTC_INTMODEレジスタ)を1に設定すると許可され、0に設定すると禁止されます。

* **RTCIEN**: RTC Interrupt Enable Bit in the RTC Interrupt Mode (RTC_INTMODE) Register (D0/0x4601)

割り込みステータス

RTCが動作すると、設定した割り込み周期の信号によりRTCIRQ (D0/RTC_INTSTATレジスタ)がセットされます。RTCIENによってRTC割り込みが許可されていれば、割り込み要求がITCに送られます。

* **RTCIRQ**: Interrupt Status Bit in the RTC Interrupt Status (RTC_INTSTAT) Register (D0/0x4600)

このステータスビットは、1の書き込みによってクリアされます。ハードウェアによってはクリアされませんので、割り込み発生後は必ずソフトウェアでクリアしてください。セットされたまま、割り込みを許可したり、割り込み処理ルーチンからreti命令でリターンしたりすると、再度同じ割り込みが発生してしまいます。

注意事項

RTCの上記の割り込み制御ビットはすべて、電源投入時には内容が不定となります。また、イニシャルリセットによっては特定の値に初期化されません。

電源投入後は、不要なRTC割り込みの発生を防ぐため、必ずRTCIENを0(割り込み禁止)に設定してください。また、RTCIRQも必ず1を書き込んでリセットしてください。

II.5.5 OSC1発振回路

S1C17002はRTCの計時用およびT8OSC1 CH.0/CH.1のクロック源として、32.768kHz(Typ.)のクロックを発生するOSC1発振回路を内蔵しています。

このOSC1クロックは、パワーセーブ動作時にコアシステムや周辺回路の動作クロックとして使用することも可能です。その詳細については、“II.2 クロックマネージメントユニット(CMU)”を参照してください。

II.5.5.1 OSC1発振回路の入出力端子

表II.5.5.1.1にOSC1発振回路の入出力端子を示します。

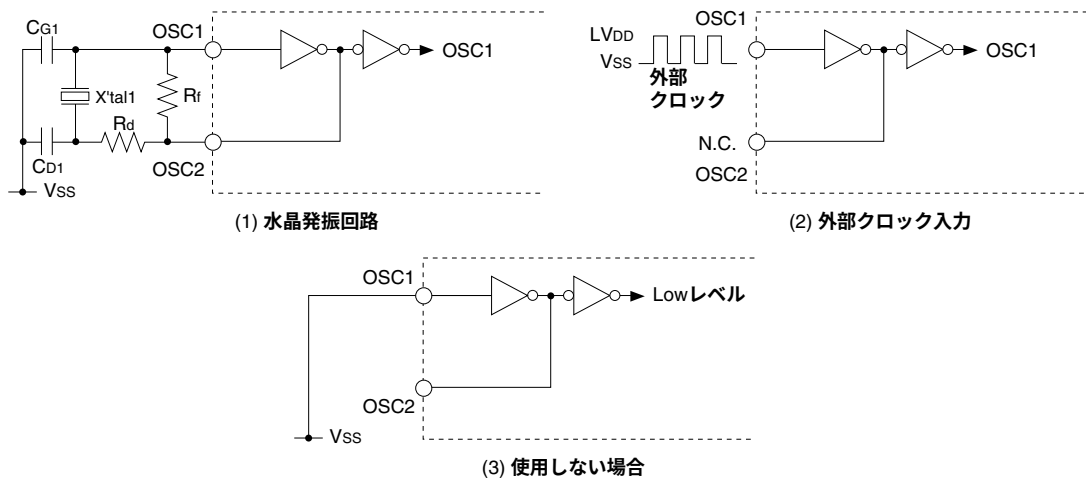
表II.5.5.1.1 OSC1発振回路の入出力端子

端子名	I/O	機能
OSC1	I	OSC1発振入力端子: 水晶発振または外部クロック入力
OSC2	O	OSC1発振出力端子: 水晶発振(外部クロック入力時は開放)

II.5.5.2 発振回路の構造

OSC1発振回路は、水晶発振と外部クロック入力に対応しています。電源にはRTCと同様、LV_{DD}を使用します。

図II.5.5.2.1にOSC1発振回路の構造を示します。



図II.5.5.2.1 OSC1発振回路

水晶発振回路として使用する場合は、図II.5.5.2.1(1)のように水晶振動子X'tal1 (32.768kHz Typ.)、帰還抵抗(R_f)、2つのコンデンサ(C_{G1}、C_{D1})および必要に応じてドレイン抵抗(R_d)を、OSC1とOSC2端子およびV_{SS}に接続してください。

外部クロックを使用する場合はOSC2端子を開放し、LV_{DD}レベルでデューティ比が50%のクロックをOSC1端子に入力してください。

発振周波数/入力クロック周波数は32.768kHz(Typ.)です。この周波数の水晶振動子または外部クロックを使用してください。これ以外の周波数では、計時用途に使用できません。

発振特性と外部クロックの入力特性については“電氣的特性”を参照してください。

OSC1発振回路を使用しない場合はOSC1端子をV_{SS}に接続し、OSC2端子を開放してください。

注: 電源投入によりOSC1が発振を開始した後、発振の安定にある程度の時間を要します(最大3秒)。誤動作を防ぐため、この発振開始時間が経過するまでは発振クロックを使用しないでください。

II.5.6 制御レジスタ詳細

表II.5.6.1 RTCレジスタ一覧

アドレス	レジスタ名		機 能
0x4600	RTC_INTSTAT	RTC Interrupt Status Register	RTC割り込み発生状態の表示
0x4601	RTC_INTMODE	RTC Interrupt Mode Register	RTC割り込みモードの設定
0x4602	RTC_CNTL0	RTC Control 0 Register	RTCの制御
0x4603	RTC_CNTL1	RTC Control 1 Register	
0x4614	RTC_SEC	RTC Second Register	秒カウンタデータ
0x4615	RTC_MIN	RTC Minute Register	分カウンタデータ
0x4616	RTC_HOUR	RTC Hour Register	時カウンタデータ
0x4617	RTC_DAY	RTC Day Register	日カウンタデータ
0x4628	RTC_MONTH	RTC Month Register	月カウンタデータ
0x4629	RTC_YEAR	RTC Year Register	年カウンタデータ
0x462a	RTC_WEEK	RTC Days of Week Register	曜日カウンタデータ

以下、RTCのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: • レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

- 電源投入時、RTCの制御レジスタはすべて、内容が不定となります。またイニシャルリセットでも特定の値には初期化されません。初期設定はソフトウェアで行ってください。
- カウンタの桁上げ動作中は、正しいカウンタ値が読み出せないことがあります。また、カウンタやその他の制御レジスタへの書き込みでカウンタ値が壊れることがありますので、カウンタの桁上げ動作中は書き込み操作をしないでください。正しい操作方法については、“II.5.3.5 カウンタのホールドとビジーフラグ”および“II.5.3.6 動作中のカウンタのリード/ライト”を参照してください。

0x4600: RTC Interrupt Status Register (RTC_INTSTAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Interrupt Status Register (RTC_INTSTAT)	0x4600 (8 bits)	D7-1	—	reserved	—	—	—	0 when being read.
		D0	RTCIRQ	Interrupt status	1 Occurred 0 Not occurred	X	R/W	Reset by writing 1.

D[7:1] Reserved**D0 RTCIRQ: Interrupt Status Bit**

RTC割り込み要因の発生状況を示します。

1(R): 割り込み要因発生

0(R): 割り込み要因なし

1(W): 本ビットを0にリセット

0(W): 無効

RTCT[1:0](D[3:2]/RTC_INTMODEレジスタ)で設定した割り込み周期の信号によってセットされます。このとき、RTCIEN(D0/RTC_INTMODEレジスタ)によってRTC割り込みが許可されていれば、割り込み要求がITCに送られます。割り込みが禁止されている場合でもセットされます。

注: このステータスビットは、1の書き込みによってクリアされます。ハードウェアによってはクリアされませんので、割り込み発生後は必ずソフトウェアでクリアしてください。セットされたまま、割り込みを許可したり、割り込み処理ルーチンからreti命令でリターンしたりすると、再度同じ割り込みが発生してしまいます。

また、電源投入時の値は不定で、イニシャルリセットでも0には初期化されません。不要な割り込みを避けるため、電源投入後およびイニシャルリセット後は、必ずソフトウェアでリセットしてください。

II**RTC**

0x4601: RTC Interrupt Mode Register (RTC_INTMODE)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Interrupt Mode Register (RTC_INTMODE)	0x4601 (8 bits)	D7-4	—	reserved	—	—	—	0 when being read.
		D3-2	RTCT[1:0]	RTC interrupt cycle setup	RTCT[1:0]	Cycle	X	R/W
					0x3	1 hour		
					0x2	1 minute		
					0x1	1 second		
		D1	RTCIMD	RTC interrupt mode select	1 Level sense	0 Edge trigger	X	R/W
		D0	RTCIEN	RTC interrupt enable	1 Enable	0 Disable	X	R/W

D[7:4] Reserved

D[3:2] RTCT[1:0]: RTC Interrupt Cycle Setup Bits

RTCの割り込み周期を選択します。

表II.5.6.2 割り込み周期の設定

RTCT[1:0]	割り込み周期
0x3	1時間
0x2	1分
0x1	1秒
0x0	1/64秒

(デフォルト: 不定)

選択した時間のカウンタのカウントアップパルスによりRTCIRQ(D0/RTC_INTSTATレジスタ)がセットされ、RTCIEN(D0)によってRTC割り込みが許可されていれば、割り込み要求がITCに送られます。

RTCT[1:0]は、RTC割り込みを禁止した状態で設定してください。(割り込み許可との同時設定は可能)

D1 RTCIMD: RTC Interrupt Mode Select Bit

RTC割り込みを割り込み要求信号のエッジで発生させるか、信号レベルで発生させるかを選択します。

1(R/W): レベル割り込み

0(R/W): エッジ割り込み

エッジ割り込みを選択してSLEEPの解除に使用する場合、CMUによりSLEEPモードは解除されますが、その時点ではITCが停止しているため、割り込みは発生しません。SLEEP解除後にRTC割り込み処理ルーチンを実行したい場合はレベル割り込みを選択してください。

D0 RTCIEN: RTC Interrupt Enable Bit

ITCへのRTC割り込み要求の出力を許可/禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止

RTC割り込みを発生させる場合やRTC割り込み要求信号によってSLEEPモードを解除する場合は、このビットを1に設定します。このビットが0の場合、RTCIRQ(D0/RTC_INTSTATレジスタ)がセットされても割り込みは発生せず、SLEEPモードを解除することもできません。

注: 電源投入時のRTCIENの値は不定で、イニシャルリセットでも0には初期化されません。不要な割り込みを避けるため、電源投入後およびイニシャルリセット後は、必ずソフトウェアでクリアしてください。

0x4602: RTC Control 0 Register (RTC_CNTL0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Control 0 Register (RTC_CNTL0)	0x4602 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	RTC24H	24H/12H mode select	1 24H 0 12H	X	R/W	
		D3	—	reserved	—	—	—	0 when being read.
		D2	RTCADJ	30-second adjustment	1 Adjust 0 —	X	R/W	
		D1	RTCSTP	Counter run/stop control	1 Stop 0 Run	X	R/W	
		D0	RCRST	Software reset	1 Reset 0 —	X	R/W	

D[7:5] Reserved**D4 RTC24H: 24H/12H Mode Select Bit**

時カウンタを24時間制/12時間制のどちらで使用するか選択します。

1(R/W): 24時間制

0(R/W): 12時間制

この選択により、時カウンタのカウント範囲が変わります。

基本的に、この設定変更はカウンタが停止している状態で行います。本レジスタにはカウンタをスタートさせる制御ビット(D1)も割り付けられており、24時間制/12時間制の選択とカウンタのスタートを同時に行うことは可能です。

注: RTC24Hを書き換えると、時、日、月、年、曜日のカウントデータが壊れることがあります。したがって、RTC24Hを変更した場合は、これらのカウンタのデータを再設定してください。

D3 Reserved**D2 RTCADJ: 30-second Adjustment Bit**

30秒補正を実行します。

1(W): 30秒補正実行

0(W): 無効

1(R): 30秒補正実行中

0(R): 30秒補正終了(実行中以外)

30秒補正は、時計の秒数が30～59秒までの場合は分数に1を加算し、0～29秒の場合はなにもしない機能です。アプリケーションで秒数をリセットする場合の分切り上げ機能に利用できます。

本ビットに1を書き込むとRTCは次の動作を行います。

- 10秒カウンタが3以上の場合、1分カウンタをカウントアップするキャリーを発生します。
- 10秒カウンタが2以下の場合、キャリーを発生しません。

本ビットは1に設定された後、この処理に必要な4msの間1を保持し、その後自動的に0に戻ります。

注: RTCADJが1の間はカウンタへのアクセスは禁止します。また、その間の0書き込みも誤動作の原因になるため禁止します。

II

RTC

D1 RTCSTP: Counter Run/Stop Control Bit

カウンタの動作を開始/停止します。また、動作状態を示します。

1(R/W): 停止制御/停止中

0(R/W): 開始制御/動作中

RTCは本ビットを0に設定するとカウントを開始し、1に設定すると停止します。

また、カウント動作中の本ビットの読み出し値は0、停止中の読み出し値は1です。

本ビットへの1書き込みで停止するのは32kHz入力クロックの分周段の8,192Hz以降です。入力クロックの2分周(16,384Hz)までは停止しません。

カウンタの桁上げ中に停止すると、カウンタの値が壊れてしまうことがありますので、II.5.3.5節を参照し、桁上げにかからないように停止の制御を行ってください。カウンタの内容すべてを再設定するような場合は、その必要はありません。

D0 RTCRST: Software Reset Bit

分周段のカウンタをリセットします。

1(R/W): リセット状態

0(R/W): リセット解除

本ビットを1に設定すると、32kHzから2Hzまでのカウンタがリセット状態(0クリア)となり、0を書き込むとリセットが解除されます。

0x4603: RTC Control 1 Register (RTC_CNTL1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Control 1 Register (RTC_CNTL1)	0x4603 (8 bits)	D7-2	—	reserved	—	—	—	0 when being read.
		D1	RTCBSY	Counter busy flag	1 Busy	0 R/W possible	X R	
		D0	RTCHLD	Counter hold control	1 Hold	0 Running	X R/W	

D[7:2] Reserved**D1 RTCBSY: Counter Busy Flag Bit**

カウンタが桁上げ動作中かどうかを示します。

1(R): ビジー(桁上げ中)

0(R): リード/ライト可能

1/0(W): 無効

カウンタの読み出し中にカウンタの桁上げが発生すると、正しいカウンタ値が読み出せないことがあります。また、書き込みや停止の操作でカウンタ値が壊れることもあります。そこで、本ビットによりカウンタが桁上げ状態(ビジー)ではないことを確認してからデータの読み出しや書き込みを行ってください。

ただし、カウント動作中は本ビットが1に固定されており、現在の状態を反映させるためには、RTCHLD(D0)に1を書き込む必要があります。

RTCHLD(D0)に1を書き込み後、本ビットの読み出し値が0だった場合、現在は桁上げ中ではありません。また、この場合はカウンタのホールド機能が働き、1秒カウンタへの桁上げがハードウェアで禁止されます。1秒未満のカウンタの動作は継続します。

この状態で、データの読み出しまたは書き込みを行います。データの読み出し/書き込み後は、RTCHLD(D0)を0に戻します。

カウンタがホールド状態でのデータの読み出し/書き込み中に桁上げのタイミングとなった場合は、RTCHLD(D0)を0に戻した時点で自動的に1秒が加算され、カウント値が補正されます。この補正は1秒のみ有効で、2回目以降の桁上げタイミングは無視されます。この場合、計時データが狂うこととなりますので、必要な読み出し/書き込みの終了後は、速やかにRTCHLD(D0)を0に戻してください。

RTCHLD(D0)に1を書き込み後、本ビットの読み出し値が1だった場合、現在は桁上げ中です。カウンタの桁上げの期間は1秒あたり4msです。この場合は、速やかにRTCHLD(D0)を0に戻し、再度同じ手順で本ビットのチェックを繰り返すか、4ms待機してから再度本ビットをチェックします。本ビットが1だった場合は、必ずすぐにRTCHLD(D0)を0に戻してください。RTCHLD(D0)を1のまま放置すると、時刻が狂う場合があります。

D0 RTCHLD: Counter Hold Control Bit

カウンタのビジー状態の確認と、カウンタのホールドを行います。

1(R/W): ビジーチェック/カウンタホールド

0(R/W): 通常動作

制御方法については、上記RTCBSY(D1)の説明を参照してください。

0x4614: RTC Second Register (RTC_SEC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Second Register (RTC_SEC)	0x4614 (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6–4	RTCSH[2:0]	RTC 10-second counter	0 to 5	X	R/W	
		D3–0	RTCSL[3:0]	RTC 1-second counter	0 to 9	X	R/W	

注: カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。 (“II.5.3.5 カウンタのホールドとビジーフラグ”および“II.5.3.6 動作中のカウンタのリード/ライト”参照)

D7 **Reserved**

D[6:4] RTCSH[2:0]: RTC 10-second Counter Bits

10秒桁の3ビットBCDカウンタです。

1秒カウンタからのキャリーにより0から5までカウントします。5の次は0に戻り、1分カウンタにキャリーを出力します。

D[3:0] RTCSL[3:0]: RTC 1-second Counter Bits

1秒桁の4ビットBCDカウンタです。

32.768kHzのOSC1クロックを分周した1秒信号により0から9までカウントします。9の次は0に戻り、10秒カウンタにキャリーを出力します。

0x4615: RTC Minute Register (RTC_MIN)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Minute Register (RTC_MIN)	0x4615 (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6–4	RTCMIH[2:0]	RTC 10-minute counter	0 to 5	X	R/W	
		D3–0	RTCMIL[3:0]	RTC 1-minute counter	0 to 9	X	R/W	

注: カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(“II.5.3.5 カウンタのホールドとビジーフラグ”および“II.5.3.6 動作中のカウンタのリード/ライト”参照)

D7 Reserved

D[6:4] RTCMIH[2:0]: RTC 10-minute Counter Bits

10分桁の3ビットBCDカウンタです。

1分カウンタからのキャリーにより0から5までカウントします。5の次は0に戻り、1時カウンタにキャリーを出力します。

D[3:0] RTCMIL[3:0]: RTC 1-minute Counter Bits

1分桁の4ビットBCDカウンタです。

10秒カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10分カウンタにキャリーを出力します。

II

RTC

0x4616: RTC Hour Register (RTC_HOUR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Hour Register (RTC_HOUR)	0x4616 (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6	RTCAP	AM/PM indicator	1 PM 0 AM	X	R/W	
		D5-4	RTCHH[1:0]	RTC 10-hour counter	0 to 2 or 0 to 1	X	R/W	
		D3-0	RTCHL[3:0]	RTC 1-hour counter	0-9	X	R/W	

注: • カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(“II.5.3.5 カウンタのホールドとビジーフラグ”および“II.5.3.6 動作中のカウンタのリード/ライト”参照)

- RTC24H (D4/RTC_CNTL0レジスタ)を書き換えると、本レジスタのカウントデータが壊れることがあります。したがって、RTC24Hを変更した場合は、本レジスタを再設定してください。

D7 Reserved

D6 RTCAP: AM/PM Indicator Bit

12時間制を選択した場合に午前/午後を示します。

1(R/W): 午後

0(R/W): 午前

本ビットはRTC24H (D4/RTC_CNTL0レジスタ)が0(12時間制)に設定されている場合にのみ有効です。

24時間制の場合、本ビットは0に固定されます。この場合、1は書き込まないでください。

注: RTC24H (D4/RTC_CNTL0レジスタ)により12時間制から24時間制に変更した場合、RTCAPビットは時カウンタが更新された時点で0に固定されます。時カウンタが更新されるまでは、RTCAPビットは現在の値を保持します。

D[5:4] RTCHH[1:0]: RTC 10-hour Counter Bits

10時桁の2ビットBCDカウンタです。

1時カウンタからのキャリーにより12時間制の場合は0から1まで、24時間制の場合は0から2までカウントします。12時または24時の時点でリセットされ、1日カウンタにキャリーを出力します。

D[3:0] RTCHL[3:0]: RTC 1-hour Counter Bits

1時桁の4ビットBCDカウンタです。

10分カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10時カウンタにキャリーを出力します。12時間制/24時間制の選択状況により、12時または24時の時点でリセットされます。

0x4617: RTC Day Register (RTC_DAY)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Day Register (RTC_DAY)	0x4617 (8 bits)	D7-6	—	reserved	—	—	—	0 when being read.
		D5-4	RTCDH[1:0]	RTC 10-day counter	0 to 3	X	R/W	
		D3-0	RTCDL[3:0]	RTC 1-day counter	0 to 9	X	R/W	

注: • カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(“II.5.3.5 カウンタのホールドとビジーフラグ”および“II.5.3.6 動作中のカウンタのリード/ライト”参照)

- RTC24H(D4/RTC_CNTL0レジスタ)を書き換えると、本レジスタのカウントデータが壊れることがあります。したがって、RTC24Hを変更した場合は、本レジスタを再設定してください。

D[7:6] Reserved

D[5:4] RTCDH[1:0]: RTC 10-day Counter Bits

10日桁の2ビットBCDカウンタで、1日カウンタからのキャリーにより0から2または3までカウントします。月の日数やうるう年に対応しており、1日カウンタと共に月が変わった時点で0にリセットされ、1月カウンタにキャリーを出力します。

D[3:0] RTCDL[3:0]: RTC 1-day Counter Bits

1日桁の4ビットBCDカウンタです。

時カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10日カウンタにキャリーを出力します。月の日数やうるう年に対応しており、月が変わった時点で1にリセットされます。

II

RTC

0x4628: RTC Month Register (RTC_MONTH)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Month Register (RTC_MONTH)	0x4628 (8 bits)	D7-5	—	reserved	—	—	—	0 when being read.
		D4	RTCMOH	RTC 10-month counter	0 to 1	X	R/W	
		D3-0	RTCMOL[3:0]	RTC 1-month counter	0 to 9	X	R/W	

注: • カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(“II.5.3.5 カウンタのホールドとビジーフラグ”および“II.5.3.6 動作中のカウンタのリード/ライト”参照)

- RTC24H (D4/RTC_CNTL0レジスタ)を書き換えると、本レジスタのカウントデータが壊れることがあります。したがって、RTC24Hを変更した場合は、本レジスタを再設定してください。

D[7:5] Reserved

D4 RTCMOH: RTC 10-month Counter Bit

10月桁のビットです。

1月カウンタからのキャリーにより1にセットされます。1月カウンタと共に年が変わった時点で0にリセットされ、1年カウンタにキャリーを出力します。

D[3:0] RTCMOL[3:0]: RTC 1-month Counter Bits

1月桁の4ビットBCDカウンタです。

日カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10月カウンタにキャリーを出力します。年が変わった時点で1にリセットされます。

0x4629: RTC Year Register (RTC_YEAR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Year Register (RTC_YEAR)	0x4629 (8 bits)	D7-4	RTCYH[3:0]	RTC 10-year counter	0 to 9	X	R/W	
		D3-0	RTCYL[3:0]	RTC 1-year counter	0 to 9	X	R/W	

- 注: • カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。 (“II.5.3.5 カウンタのホールドとビジーフラグ”および“II.5.3.6 動作中のカウンタのリード/ライト”参照)
- RTC24H (D4/RTC_CNTL0レジスタ)を書き換えると、本レジスタのカウントデータが壊れることがあります。したがって、RTC24Hを変更した場合は、本レジスタを再設定してください。

D[7:4] RTCYH[3:0]: RTC 10-year Counter Bits

10年桁の4ビットBCDカウンタで、1年カウンタからのキャリーにより0から9までカウントします。

D[3:0] RTCYL[3:0]: RTC 1-year Counter Bits

1年桁の4ビットBCDカウンタです。
月カウンタからのキャリーにより0から9までカウントします。9の次は0に戻り、10年カウンタにキャリーを出力します。

II

RTC

0x462a: RTC Days of Week Register (RTC_WEEK)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
RTC Days of Week Register (RTC_WEEK)	0x462a (8 bits)	D7-3	—	reserved	—		—	—	0 when being read.
		D2-0	RTCWK[2:0]	RTC days of week counter	RTCWK[2:0]	Days of week	X	R/W	
					0x7	—			
					0x6	Saturday			
					0x5	Friday			
					0x4	Thursday			
					0x3	Wednesday			
					0x2	Tuesday			
					0x1	Monday			
					0x0	Sunday			

注: • カウンタの読み出しと書き込みは、桁上げ期間をはずして行う必要があります。(“II.5.3.5 カウンタのホールドとビジーフラグ”および“II.5.3.6 動作中のカウンタのリード/ライト”参照)

- RTC24H (D4/RTC_CNTL0レジスタ)を書き換えると、本レジスタのカウントデータが壊れることがあります。したがって、RTC24Hを変更した場合は、本レジスタを再設定してください。

D[7:3] **Reserved**

D[2:0] **RTCWK[2:0]: RTC Days of Week Counter Bits**

曜日を表すための7進カウンタ(0から6までカウント)で、1日カウンタと同じクロックでカウントアップします。

値と曜日との対応はプログラムで任意に設定できます。基本的な対応を表II.5.6.3に示します。

表II.5.6.3 曜日カウンタ値と曜日との対応

RTCWK[2:0]	曜日
0x6	土曜日
0x5	金曜日
0x4	木曜日
0x3	水曜日
0x2	火曜日
0x1	月曜日
0x0	日曜日

(デフォルト: 不定)

II.5.7 注意事項

- 電源投入時、RTCの制御レジスタはすべて、内容が不定となります。またイニシャルリセットでも特定の値には初期化されません。初期設定はソフトウェアで行ってください。
- カウンタの桁上げ動作中は、正しいカウンタ値が読み出せないことがあります。また、カウンタやその他の制御レジスタへの書き込みでカウンタ値が壊れることがありますので、カウンタの桁上げ動作中は書き込み操作をしないでください。正しい操作方法については、“II.5.3.5 カウンタのホールドとビジーフラグ”および“II.5.3.6 動作中のカウンタのリード/ライト”を参照してください。
- RTC24H(D4/RTC_CNTL0レジスタ)を書き換えて12時間制/24時間制を変更すると、時、日、月、年、曜日のカウントデータが壊れることがあります。したがって、RTC24Hを変更した場合は、これらのカウンタのデータを再設定してください。
- 以下のようなカウンタの設定は計時ミスの原因になりますので避けてください。
 - 有効範囲を超える設定
60秒、60分、12時間または24時間、31日、12月、99年を超える設定は行わないでください。
 - カレンダーに存在しない設定
4月31日、06年2月29日など、存在しない日付は設定しないでください。ただし、このような設定を行った場合でも、時カウンタから1日カウンタへのキャリーが発生すると、翌月の1日になります(4月31日の場合は5月1日、06年2月29日の場合は06年3月1日)。
- RTCの割り込み制御ビットはすべて、電源投入時には内容が不定となります。また、イニシャルリセットによっては特定の値に初期化されません。
電源投入後は、不要なRTC割り込みの発生を防ぐため、必ずRTCIE(D0/RTC_INTMODEレジスタ)を0(割り込み禁止)に設定してください。また、RTCIRQ(D0/RTC_INTSTATレジスタ)も必ず1を書き込んでリセットしてください。
- 電源投入時など、OSC1発振回路を動作させた直後は、発振の安定に時間(約3秒)が必要です。この時間が経過するまでは、RTCのカウントを開始しないでください。

II

RTC

このページはブランクです。

III S1C17002割り込み/内部バス コントローラ

III.1 割り込みコントローラ(ITC)

III.1.1 ITCの構成

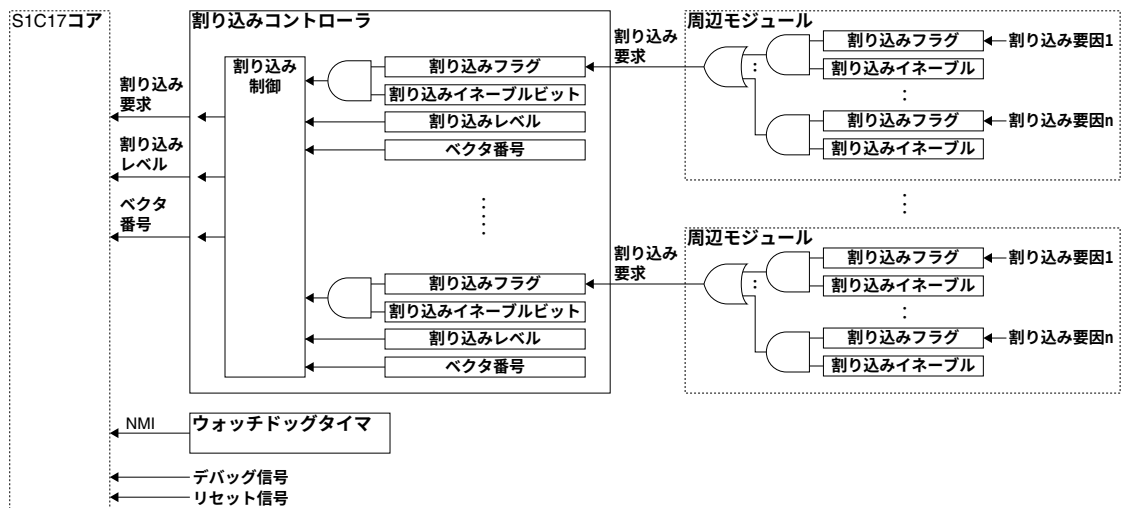
S1C17002には以下に示す29系統の割り込みが用意されています。

1. ポート入力割り込み(8種類)
2. マルチファンクションタイマ割り込み(1種類)
3. A/D変換器割り込み(2種類)
4. CLG 16ビットタイマ割り込み(1種類)
5. CLG 8ビットタイマ割り込み(3種類)
6. UART割り込み(1種類)
7. SPI(SPI CH.0)割り込み(1種類)
8. I²Cマスタ割り込み(1種類)
9. I²Cスレーブ割り込み(2種類)
10. RTC割り込み(1種類)
11. 8ビットプログラマブルタイマ割り込み(4種類)
12. 8ビットOSC1タイマ割り込み(2種類)
13. 拡張SPI(SPI CH.1)割り込み(1種類)
14. リモートコントローラ割り込み(1種類)

それぞれの割り込み系列には、周辺モジュールからの割り込み要求の発生を示す割り込みフラグと割り込みを許可/禁止する割り込みイネーブルビットが設けられています。また、複数の割り込みが同時に発生した場合に、処理する順序を決定する割り込みレベル(優先順位)を割り込み系列ごとに設定することができます。

各割り込み系列には上記の()内に示した数の割り込み要因があります。どの割り込み要因でITCに対する割り込み要求を発生させるかについてはそれぞれの周辺モジュールのレジスタで制御します。割り込み要因とその制御の詳細については、各周辺モジュールの説明を参照してください。

図III.1.1.1に割り込みシステムの構成を示します。



図III.1.1.1 割り込みシステム

III.1.2 ベクタテーブル

ベクタテーブルは、割り込み処理ルーチンへのベクタ(処理ルーチン開始アドレス)を格納します。割り込みが発生すると、S1C17コアは割り込みに対応するベクタを読み出して、その処理ルーチンを実行します。ベクタテーブルのベース(先頭)アドレスは、TTBR_LOWとTTBR_HIGHレジスタ(0x5814、0x5816)によって設定することができます。表III.1.2.1の“TTBR”はこれらのレジスタに設定された値を意味します。イニシャルリセット後、TTBR_LOW/HIGHレジスタは0x20000番地に設定されます。したがって、ベクタテーブルの位置を変更する場合でも、リセットベクタのみは上記のアドレスに書き込んでおく必要があります。表III.1.2.1にS1C17002のベクタテーブルを示します。

表III.1.2.1 ベクタテーブル

ベクタNo./ソフトウェア割り込みNo.	ベクタアドレス	ハードウェア割り込み名	ハードウェア割り込み要因	優先順位
0 (0x00)	TTBR + 0x00	リセット	• #RESET端子へのLow入力 • ウォッチドッグタイマオーバーフロー *2	1
1 (0x01)	TTBR + 0x04	アドレス不整合割り込み	メモリアクセス命令	2
—	(0xffffc00)	デバッグ割り込み	brk命令等	3
2 (0x02)	TTBR + 0x08	NMI	ウォッチドッグタイマオーバーフロー *2	4
3 (0x03)	TTBR + 0x0c	Cコンパイラ (reserved)	Cコンパイラのエミュレーションライブラリが使用	5
4 (0x04)	TTBR + 0x10	ポート入力割り込み0	Px0入力(立ち上がり/下がりエッジまたはH/Lレベル)	High *1 ↑
5 (0x05)	TTBR + 0x14	ポート入力割り込み1	Px1入力(立ち上がり/下がりエッジまたはH/Lレベル)	
6 (0x06)	TTBR + 0x18	ポート入力割り込み2	Px2入力(立ち上がり/下がりエッジまたはH/Lレベル)	
7 (0x07)	TTBR + 0x1c	ポート入力割り込み3	Px3入力(立ち上がり/下がりエッジまたはH/Lレベル)	
8 (0x08)	TTBR + 0x20	MFT割り込み	• コンペアマッチ • ビリオドマッチ • ADCプロテクション入力 • ポートプロテクション入力	
9 (0x09)	TTBR + 0x24	reserved	—	
10 (0x0a)	TTBR + 0x28	A/D変換器割り込み	範囲外(上限/下限)	
11 (0x0b)	TTBR + 0x2c		変換完了	
12 (0x0c)	TTBR + 0x30	CLG_T16U0タイマ割り込み	タイマアンダーフロー	
		ポート入力割り込み4	Px4入力(立ち上がり/下がりエッジまたはH/Lレベル)	
13 (0x0d)	TTBR + 0x34	CLG_T8FU0タイマ割り込み	タイマアンダーフロー	
		ポート入力割り込み5	Px5入力(立ち上がり/下がりエッジまたはH/Lレベル)	
14 (0x0e)	TTBR + 0x38	CLG_T8Sタイマ割り込み	タイマアンダーフロー	
		ポート入力割り込み6	Px6入力(立ち上がり/下がりエッジまたはH/Lレベル)	
15 (0x0f)	TTBR + 0x3c	CLG_T8Iタイマ割り込み	タイマアンダーフロー	
		ポート入力割り込み7	Px7入力(立ち上がり/下がりエッジまたはH/Lレベル)	
16 (0x10)	TTBR + 0x40	UART(+IrDA)CH.0割り込み	• 送信バッファエンプティ • 受信バッファフル • 受信エラー	
		ポート入力割り込み4	Px4入力(立ち上がり/下がりエッジまたはH/Lレベル)	
17 (0x11)	TTBR + 0x44	ポート入力割り込み5	Px5入力(立ち上がり/下がりエッジまたはH/Lレベル)	
18 (0x12)	TTBR + 0x48	SPI CH.0割り込み	• 送信バッファエンプティ • 受信バッファフル	
		ポート入力割り込み6	Px6入力(立ち上がり/下がりエッジまたはH/Lレベル)	
19 (0x13)	TTBR + 0x4c	I ² Cマスタ割り込み	• 送信バッファエンプティ • 受信バッファフル	
		ポート入力割り込み7	Px7入力(立ち上がり/下がりエッジまたはH/Lレベル)	
20 (0x14)	TTBR + 0x50	RTC割り込み	1/64秒、1秒、1分、または1時間カウントアップ	
21 (0x15)	TTBR + 0x54	8ビットタイマCH.0割り込み	タイマ0アンダーフロー	
		T8OSC1 CH.0割り込み	コンペアマッチ	
22 (0x16)	TTBR + 0x58	8ビットタイマCH.1割り込み	タイマ1アンダーフロー	
		T8OSC1 CH.1割り込み	コンペアマッチ	
23 (0x17)	TTBR + 0x5c	8ビットタイマCH.2割り込み	タイマ2アンダーフロー	
24 (0x18)	TTBR + 0x60	8ビットタイマCH.3割り込み	タイマ3アンダーフロー	
25 (0x19)	TTBR + 0x64	reserved	—	
26 (0x1a)	TTBR + 0x68	SPI CH.1割り込み	• 送信バッファエンプティ • 受信バッファフル	
27 (0x1b)	TTBR + 0x6c	reserved	—	
28 (0x1c)	TTBR + 0x70	I ² Cスレーブ割り込み	• 送信バッファエンプティ • 受信バッファフル	
29 (0x1d)	TTBR + 0x74		バスステータス	
30 (0x1e)	TTBR + 0x78	REMC割り込み	• エンベロープカウンタアンダーフロー • REMC_IN立ち上がりエッジ検出 • REMC_IN立ち下がりエッジ検出	↓ Low *1
31 (0x1f)	TTBR + 0x7c	reserved	—	

*1 同一の割り込みレベルが設定されている場合

*2 ウォッチドッグタイマの割り込みは、ソフトウェアにてリセットまたはNMIのいずれかを選択

ベクタアドレスを共有する割り込み

割り込みベクタ番号12～16、18～19はそれぞれ2つの割り込み要因により共用されます。各ベクタ番号で発生する割り込みは、割り込みイネーブルビット(III.1.3.3節参照)の設定によって決まります。同じベクタ番号が割り当てられている2つの割り込みを、割り込みイネーブルビットで両方共に許可した場合、ベクタテーブルの表内で上側に記述されている割り込みが発生し、下側に記述されている割り込みは発生しません。使用する割り込みに合わせ、下記のように割り込みイネーブルビットを設定して、これらの割り込みシステムの構成を決定してください。

表III.1.2.2 割り込みベクタ12と16(UART CH.0、CLG_T16U0、ポート4割り込み)

割り込みイネーブルビット			割り込みベクタ12	割り込みベクタ16
IEN4(UART CH.0)	IEN0(CLG_T16U0)	EIEN4(ポート4)		
1	1	1	CLG_T16U0割り込み	UART CH.0割り込み
1	1	0	CLG_T16U0割り込み	UART CH.0割り込み
1	0	1	ポート割り込み4	UART CH.0割り込み
1	0	0	—	UART CH.0割り込み
0	1	1	CLG_T16U0割り込み	ポート割り込み4
0	1	0	CLG_T16U0割り込み	—
0	0	1	ポート割り込み4	ポート割り込み4
0	0	0	—	—

(割り込みイネーブルビット: 1 = 割り込み許可、0 = 割り込み禁止)

表III.1.2.3 割り込みベクタ13(CLG_T8FU0、ポート5割り込み)

割り込みイネーブルビット		割り込みベクタ13
IEN1(CLG_T8FU0)	EIEN5(ポート5)	
1	1	CLG_T8FU0割り込み
1	0	CLG_T8FU0割り込み
0	1	ポート割り込み5
0	0	—

表III.1.2.4 割り込みベクタ14と18(SPI CH.0、CLG_T8S、ポート6割り込み)

割り込みイネーブルビット			割り込みベクタ14	割り込みベクタ18
IEN6(SPI CH.0)	IEN2(CLG_T8S)	EIEN6(ポート6)		
1	1	1	CLG_T8S割り込み	SPI CH.0割り込み
1	1	0	CLG_T8S割り込み	SPI CH.0割り込み
1	0	1	ポート割り込み6	SPI CH.0割り込み
1	0	0	—	SPI CH.0割り込み
0	1	1	CLG_T8S割り込み	ポート割り込み6
0	1	0	CLG_T8S割り込み	—
0	0	1	ポート割り込み6	ポート割り込み6
0	0	0	—	—

表III.1.2.5 割り込みベクタ15と19(I²Cマスタ、CLG_T8I、ポート7割り込み)

割り込みイネーブルビット			割り込みベクタ15	割り込みベクタ19
IEN7(I ² Cマスタ)	IEN3(CLG_T8I)	EIEN7(ポート7)		
1	1	1	CLG_T8I割り込み	I ² Cマスタ割り込み
1	1	0	CLG_T8I割り込み	I ² Cマスタ割り込み
1	0	1	ポート割り込み7	I ² Cマスタ割り込み
1	0	0	—	I ² Cマスタ割り込み
0	1	1	CLG_T8I割り込み	ポート割り込み7
0	1	0	CLG_T8I割り込み	—
0	0	1	ポート割り込み7	ポート割り込み7
0	0	0	—	—

割り込みベクタ番号21と22もそれぞれ2つの割り込み要因により共用されています。

割り込みベクタ21: 8ビットプログラマブルタイマCH.0と8ビットOSC1タイマCH.0

割り込みベクタ22: 8ビットプログラマブルタイマCH.1と8ビットOSC1タイマCH.1

各ベクタ番号の2つの割り込みは、割り込みフラグと割り込みイネーブルビットも共用しています。一方のタイマのみを使用するか、両方のタイマを使用する場合はアプリケーションでカウンタ値を読み出すなどして対応してください。

III.1.3 マスク可能割り込みの制御

III.1.3.1 ITCイネーブル

ITCを使用するには、ITEN(D0/ITC_CTLレジスタ)を1に設定します。

* **ITEN**: ITC Enable Bit in the ITC Control (ITC_CTL) Register (D0/0x4304)

III.1.3.2 周辺モジュールからの割り込み要求と割り込みフラグ

周辺モジュールで割り込みを許可した割り込み要因が発生すると、そのモジュールはITCに割り込み要求信号を送ります。この割り込み要求信号により、ITC内の対応する割り込みフラグが1にセットされます。割り込みフラグは0にリセットされるまで1を保持し、周辺モジュールからの割り込み要求が発生したことを示します。割り込みフラグの状態は、ITC_IFLGレジスタ(0x4300)と ITC_AIFLGレジスタ(0x42e0)から読み出し可能です。表III.1.3.2.1に割り込み要因と割り込みフラグの対応を示します。

注: ITEN(D0/ITC_CTLレジスタ)が0に設定されている場合、周辺モジュールからの割り込み要求が発生しても割り込みフラグはセットされません。

表III.1.3.2.1 ハードウェア割り込み要因と割り込みフラグ

ハードウェア割り込み要求	割り込みフラグ
I ² Cマスタ割り込み: 送信バッファエンプティ/受信バッファフル	IIFT7(D15/ITC_IFLGレジスタ)
SPI CH.0割り込み: 送信バッファエンプティ/受信バッファフル	IIFT6(D14/ITC_IFLGレジスタ)
UART割り込み: 送信バッファエンプティ/受信バッファフル/受信エラー	IIFT4(D12/ITC_IFLGレジスタ)
CLG_T8Iタイマ割り込み: タイマアンダーフロー	IIFT3(D11/ITC_IFLGレジスタ)
CLG_T8Sタイマ割り込み: タイマアンダーフロー	IIFT2(D10/ITC_IFLGレジスタ)
CLG_T8FU0タイマ割り込み: タイマアンダーフロー	IIFT1(D9/ITC_IFLGレジスタ)
CLG_T16U0タイマ割り込み: タイマアンダーフロー	IIFT0(D8/ITC_IFLGレジスタ)
ポート入力割り込み7: Px7立ち上がり/立ち下がりエッジまたはH/Lレベル入力	EIFT7(D7/ITC_IFLGレジスタ)
ポート入力割り込み6: Px6立ち上がり/立ち下がりエッジまたはH/Lレベル入力	EIFT6(D6/ITC_IFLGレジスタ)
ポート入力割り込み5: Px5立ち上がり/立ち下がりエッジまたはH/Lレベル入力	EIFT5(D5/ITC_IFLGレジスタ)
ポート入力割り込み4: Px4立ち上がり/立ち下がりエッジまたはH/Lレベル入力	EIFT4(D4/ITC_IFLGレジスタ)
ポート入力割り込み3: Px3立ち上がり/立ち下がりエッジまたはH/Lレベル入力	EIFT3(D3/ITC_IFLGレジスタ)
ポート入力割り込み2: Px2立ち上がり/立ち下がりエッジまたはH/Lレベル入力	EIFT2(D2/ITC_IFLGレジスタ)
ポート入力割り込み1: Px1立ち上がり/立ち下がりエッジまたはH/Lレベル入力	EIFT1(D1/ITC_IFLGレジスタ)
ポート入力割り込み0: Px0立ち上がり/立ち下がりエッジまたはH/Lレベル入力	EIFT0(D0/ITC_IFLGレジスタ)
REMC割り込み: エンベロープカウンタアンダーフロー/入力立ち上がりエッジ/入力立ち下がりエッジ	AIFT14(D14/ITC_AIFLGレジスタ)
I ² Cスレーブ割り込み: バスステータス	AIFT13(D13/ITC_AIFLGレジスタ)
I ² Cスレーブ割り込み: 送信バッファエンプティ/受信バッファフル	AIFT12(D12/ITC_AIFLGレジスタ)
SPI CH.1割り込み: 送信バッファエンプティ/受信バッファフル	AIFT10(D10/ITC_AIFLGレジスタ)
8ビットタイマCH.3割り込み: タイマアンダーフロー	AIFT8(D8/ITC_AIFLGレジスタ)
8ビットタイマCH.2割り込み: タイマアンダーフロー	AIFT7(D7/ITC_AIFLGレジスタ)
8ビットタイマCH.1割り込み: タイマアンダーフロー	AIFT6(D6/ITC_AIFLGレジスタ)
8ビットOSC1タイマCH.1: コンペアマッチ	
8ビットタイマCH.0割り込み: タイマアンダーフロー	AIFT5(D5/ITC_AIFLGレジスタ)
8ビットOSC1タイマCH.0: コンペアマッチ	
RTC割り込み: 1/64秒、1秒、1分、または1時間カウントアップ	AIFT4(D4/ITC_AIFLGレジスタ)
ADC割り込み: 変換終了	AIFT3(D3/ITC_AIFLGレジスタ)
ADC割り込み: 範囲外	AIFT2(D2/ITC_AIFLGレジスタ)
MFT割り込み: コンペアマッチ/ピリオドマッチ/保護入力	AIFT0(D0/ITC_AIFLGレジスタ)

ITCは割り込みフラグを使用してS1C17コアに割り込みを発生します。割り込みが許可されている状態(次節参照)で割り込みフラグが1にセットされると、ITCは割り込み要求、割り込みレベルおよびベクタ番号の信号をS1C17コアに送ります。1にセットされた割り込みフラグは1を書き込むことでリセットされます。割り込み処理ルーチンの中で割り込みフラグを0にリセットしてください。割り込み処理ルーチンが割り込みフラグをリセットしない場合、割り込み処理ルーチン終了後に同じ割り込みが再度発生してしまいます(割り込みは割り込み処理の間禁止され、割り込み処理の最後にret i命令を実行することで許可状態に戻ります)。

ただし、レベルトリガに設定した割り込み(III.1.3.5節参照)の割り込みフラグ(EIFT0～EIFT7)は1の書き込みでリセットされません。これらの割り込みフラグは、割り込み発生源が割り込み信号をインアクティブにすることによりリセットされます。割り込み要因の発生条件やモジュール固有の割り込み設定については、割り込み発生源のモジュールの節を参照してください。

III.1.3.3 割り込みの許可/禁止

割り込み要求をS1C17コアに送るには、割り込みフラグに対応するITC_ENレジスタ(0x4302)とITC_AENレジスタ(0x42e2)内の割り込みイネーブルビットを使用して、割り込みを許可しておく必要があります。割り込みは割り込みイネーブルビットを1に設定すると許可され、0(デフォルト)に設定すると禁止されます。割り込みイネーブルビットは割り込みフラグには影響を与えません。ITEN(D0/ITC_CTLレジスタ)が1に設定されていれば、割り込みイネーブルビットの設定にかかわらず、周辺モジュールからの割り込み要求の発生により割り込みフラグはセットされます。

表III.1.3.3.1に割り込みイネーブルビットと割り込みフラグの対応を示します。

表III.1.3.3.1 割り込みイネーブルビット一覧

ハードウェア割り込み	割り込みフラグ	割り込みイネーブルビット
I ² Cマスタ割り込み	IIFT7(D15/ITC_IFLGレジスタ)	IEN7(D15/ITC_ENレジスタ)
SPI CH.0割り込み	IIFT6(D14/ITC_IFLGレジスタ)	IEN6(D14/ITC_ENレジスタ)
UART割り込み	IIFT4(D12/ITC_IFLGレジスタ)	IEN4(D12/ITC_ENレジスタ)
CLG_T8Iタイマ割り込み	IIFT3(D11/ITC_IFLGレジスタ)	IEN3(D11/ITC_ENレジスタ)
CLG_T8Sタイマ割り込み	IIFT2(D10/ITC_IFLGレジスタ)	IEN2(D10/ITC_ENレジスタ)
CLG_T8FU0タイマ割り込み	IIFT1(D9/ITC_IFLGレジスタ)	IEN1(D9/ITC_ENレジスタ)
CLG_T16U0タイマ割り込み	IIFT0(D8/ITC_IFLGレジスタ)	IEN0(D8/ITC_ENレジスタ)
ポート入力割り込み7	EIFT7(D7/ITC_IFLGレジスタ)	EIEN7(D7/ITC_ENレジスタ)
ポート入力割り込み6	EIFT6(D6/ITC_IFLGレジスタ)	EIEN6(D6/ITC_ENレジスタ)
ポート入力割り込み5	EIFT5(D5/ITC_IFLGレジスタ)	EIEN5(D5/ITC_ENレジスタ)
ポート入力割り込み4	EIFT4(D4/ITC_IFLGレジスタ)	EIEN4(D4/ITC_ENレジスタ)
ポート入力割り込み3	EIFT3(D3/ITC_IFLGレジスタ)	EIEN3(D3/ITC_ENレジスタ)
ポート入力割り込み2	EIFT2(D2/ITC_IFLGレジスタ)	EIEN2(D2/ITC_ENレジスタ)
ポート入力割り込み1	EIFT1(D1/ITC_IFLGレジスタ)	EIEN1(D1/ITC_ENレジスタ)
ポート入力割り込み0	EIFT0(D0/ITC_IFLGレジスタ)	EIEN0(D0/ITC_ENレジスタ)
REMC割り込み	AIFT14(D14/ITC_AIFLGレジスタ)	AIEN14(D14/ITC_AENレジスタ)
I ² Cスレーブ割り込み(バスステータス)	AIFT13(D13/ITC_AIFLGレジスタ)	AIEN13(D13/ITC_AENレジスタ)
I ² Cスレーブ割り込み(送信/受信)	AIFT12(D12/ITC_AIFLGレジスタ)	AIEN12(D12/ITC_AENレジスタ)
SPI CH.1割り込み	AIFT10(D10/ITC_AIFLGレジスタ)	AIEN10(D10/ITC_AENレジスタ)
PT8 CH.3割り込み	AIFT8(D8/ITC_AIFLGレジスタ)	AIEN8(D8/ITC_AENレジスタ)
PT8 CH.2割り込み	AIFT7(D7/ITC_AIFLGレジスタ)	AIEN7(D7/ITC_AENレジスタ)
PT8 CH.1/T8OSC1 CH.1割り込み	AIFT6(D6/ITC_AIFLGレジスタ)	AIEN6(D6/ITC_AENレジスタ)
PT8 CH.0/T8OSC1 CH.0割り込み	AIFT5(D5/ITC_AIFLGレジスタ)	AIEN5(D5/ITC_AENレジスタ)
RTC割り込み	AIFT4(D4/ITC_AIFLGレジスタ)	AIEN4(D4/ITC_AENレジスタ)
ADC割り込み(変換終了)	AIFT3(D3/ITC_AIFLGレジスタ)	AIEN3(D3/ITC_AENレジスタ)
ADC割り込み(範囲外)	AIFT2(D2/ITC_AIFLGレジスタ)	AIEN2(D2/ITC_AENレジスタ)
MFT割り込み	AIFT0(D0/ITC_AIFLGレジスタ)	AIEN0(D0/ITC_AENレジスタ)

注: • 不要な割り込みの発生を避けるため、割り込みイネーブルビットへの1書き込みにより割り込みを許可する前に、必ず割り込みフラグをリセットしてください。

- 実際に割り込みを発生させるには、割り込みイネーブルビットに加え、S1C17コアのProcessor Status Register(PSR)にあるIEビットも1に設定する必要があります。IEビットが0に設定されている場合、S1C17コアはマスク可能な割り込み要求を受け付けません。この場合、ITCからの割り込み要求は保持され、IEビットが1に設定された後に受け付けられます。

III.1.3.4 複数の割り込み発生時の処理

ITCのITC_ELV_xレジスタ(0x4306~0x430c)、ITC_ILV_xレジスタ(0x430e~0x4314)、ITC_AILV_xレジスタ(0x42e6~0x42f4)は各割り込み要因の割り込みレベル(0~7)を設定します。

表III.1.3.4.1 割り込みレベル設定ビット

ハードウェア割り込み	割り込みレベル設定ビット	レジスタアドレス
I ² Cマスタ割り込み	IILV7[2:0] (D[10:8]/ITC_ILV3レジスタ)	0x4314
SPI CH.0割り込み	IILV6[2:0] (D[2:0]/ITC_ILV3レジスタ)	0x4314
UART割り込み	IILV4[2:0] (D[2:0]/ITC_ILV2レジスタ)	0x4312
CLG_T8Iタイマ割り込み	IILV3[2:0] (D[10:8]/ITC_ILV1レジスタ)	0x4310
CLG_T8Sタイマ割り込み	IILV2[2:0] (D[2:0]/ITC_ILV1レジスタ)	0x4310
CLG_T8FU0タイマ割り込み	IILV1[2:0] (D[10:8]/ITC_ILV0レジスタ)	0x430e
CLG_T16U0タイマ割り込み	IILV0[2:0] (D[2:0]/ITC_ILV0レジスタ)	0x430e
ポート入力割り込み7	EILV7[2:0] (D[10:8]/ITC_ELV3レジスタ)	0x430c
ポート入力割り込み6	EILV6[2:0] (D[2:0]/ITC_ELV3レジスタ)	0x430c
ポート入力割り込み5	EILV5[2:0] (D[10:8]/ITC_ELV2レジスタ)	0x430a
ポート入力割り込み4	EILV4[2:0] (D[2:0]/ITC_ELV2レジスタ)	0x430a
ポート入力割り込み3	EILV3[2:0] (D[10:8]/ITC_ELV1レジスタ)	0x4308
ポート入力割り込み2	EILV2[2:0] (D[2:0]/ITC_ELV1レジスタ)	0x4308
ポート入力割り込み1	EILV1[2:0] (D[10:8]/ITC_ELV0レジスタ)	0x4306
ポート入力割り込み0	EILV0[2:0] (D[2:0]/ITC_ELV0レジスタ)	0x4306
REMC割り込み	AILV14[2:0] (D[2:0]/ITC_AILV7レジスタ)	0x42f4
I ² Cスレーブ割り込み(バステータス)	EILV13[2:0] (D[10:8]/ITC_ELV6レジスタ)	0x42f2
I ² Cスレーブ割り込み(送信/受信)	EILV12[2:0] (D[2:0]/ITC_ELV6レジスタ)	0x42f2
SPI CH.1割り込み	AILV10[2:0] (D[2:0]/ITC_AILV5レジスタ)	0x42f0
PT8 CH.3割り込み	AILV8[2:0] (D[2:0]/ITC_AILV4レジスタ)	0x42ee
PT8 CH.2割り込み	AILV7[2:0] (D[10:8]/ITC_AILV3レジスタ)	0x42ec
PT8 CH.1/T8OSC1 CH.1割り込み	AILV6[2:0] (D[2:0]/ITC_AILV3レジスタ)	0x42ec
PT8 CH.0/T8OSC1 CH.0割り込み	AILV5[2:0] (D[10:8]/ITC_AILV2レジスタ)	0x42ea
RTC割り込み	AILV4[2:0] (D[2:0]/ITC_AILV2レジスタ)	0x42ea
ADC割り込み(変換終了)	AILV3[2:0] (D[10:8]/ITC_AILV1レジスタ)	0x42e8
ADC割り込み(範囲外)	AILV2[2:0] (D[2:0]/ITC_AILV1レジスタ)	0x42e8
MFT割り込み	AILV0[2:0] (D[2:0]/ITC_AILV0レジスタ)	0x42e6

割り込みレベルは、最高値が7、最低値が0です。

設定された割り込みレベルは、ITCが割り込み要求を出力する際に同時にS1C17コアに送られます。S1C17コアでは、この割り込みレベルを使用して、それ以降に発生する同一あるいはそれ以下のレベルの割り込みを禁止します(III.1.3.6節参照)。

イニシャルリセット時、割り込みレベルはすべて0に設定されます。割り込みレベルが0の場合、S1C17コアはその割り込み要求を受け付けません。

ITC内では、割り込みレベルを複数の割り込み要因が同時に発生した場合に使用します。

割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCはITC_ELV_x、ITC_ILV_x、またはITC_AILV_xレジスタで設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。

同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。

同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。

ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

III.1.3.5 割り込みのトリガモード

ポート入力割り込みにはパルストリガモードおよびレベルトリガモードの2つのトリガモードが用意されており、ITCはポート入力割り込み要求をパルス信号またはレベル信号として受け付けることができます。トリガモードはITC_ELV_xレジスタ(0x4306~0x430c)内のEITG_xビットで選択できます。EITG_xを1に設定するとレベルトリガモードが選択され、0(デフォルト)に設定するとパルストリガモードが選択されます。

また、ITCに入力するこれらの割り込み要求信号の極性もITC_ELV_xレジスタ(0x4306~0x430c)内のEITP_xビットで選択できます。EITP_xを1に設定すると正極性パルス/立ち上がりエッジ(パルストリガモード時)またはアクティブHigh(レベルトリガモード時)が選択され、0(デフォルト)に設定すると負極性パルス/立ち下がりエッジ(パルストリガモード時)またはアクティブLow(レベルトリガモード時)が選択されます。

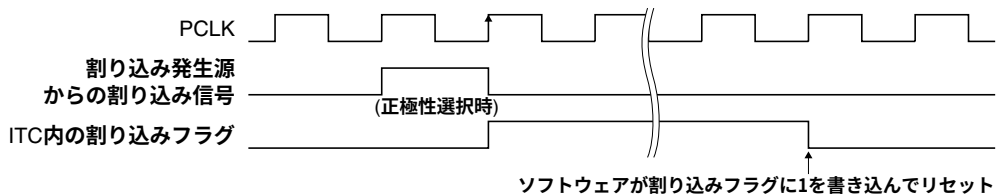
表III.1.3.5.1 トリガモード/極性選択ビット

ハードウェア割り込み	トリガモード選択ビット	トリガ極性選択ビット	レジスタアドレス
ポート割り込み0	EITG0(D4/ITC_ELV0レジスタ)	EITP0(D5/ITC_ELV0レジスタ)	0x4306
ポート割り込み1	EITG1(D12/ITC_ELV0レジスタ)	EITP1(D13/ITC_ELV0レジスタ)	0x4306
ポート割り込み2	EITG2(D4/ITC_ELV1レジスタ)	EITP2(D5/ITC_ELV1レジスタ)	0x4308
ポート割り込み3	EITG3(D12/ITC_ELV1レジスタ)	EITP3(D13/ITC_ELV1レジスタ)	0x4308
ポート割り込み4	EITG4(D4/ITC_ELV2レジスタ)	EITP4(D5/ITC_ELV2レジスタ)	0x430a
ポート割り込み5	EITG5(D12/ITC_ELV2レジスタ)	EITP5(D13/ITC_ELV2レジスタ)	0x430a
ポート割り込み6	EITG6(D4/ITC_ELV3レジスタ)	EITP6(D5/ITC_ELV3レジスタ)	0x430c
ポート割り込み7	EITG7(D12/ITC_ELV3レジスタ)	EITP7(D13/ITC_ELV3レジスタ)	0x430c

ポートとRTC以外のモジュールはITCへの割り込み要求にパルス信号(正極性パルス)のみを出力します。したがって、トリガモード選択ビットとトリガ極性選択ビットは用意されていません。RTC割り込みのトリガモードは、RTCモジュール内の制御ビットでパルスまたはレベルトリガを選択することができます。

パルストリガモード

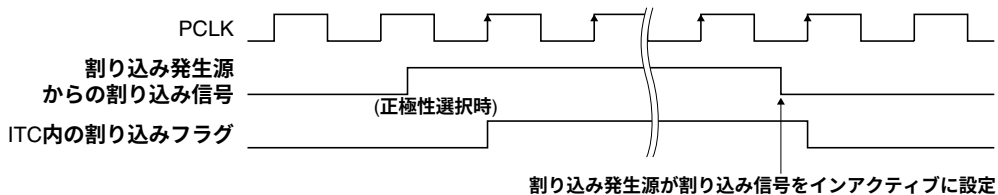
パルストリガモードの場合、ITCは割り込み信号をシステムクロックの立ち上がりエッジでサンプリングします。割り込み信号のアクティブエッジ(トリガ極性選択ビットEITP_xで選択した立ち上がりエッジまたは立ち下がりエッジ)を検出すると割り込みパルスが生成されます。このパルスは割り込みフラグEIFT_xを1にセットし、ITCの割り込み処理を開始させます。ソフトウェアが割り込みフラグを0にリセットすると、それ以降の割り込みパルスで割り込みフラグが再度セットできるようになります。



図III.1.3.5.1 パルストリガモード

レベルトリガモード

レベルトリガモードの場合、ITCはいつでも割り込みをサンプリング可能です。割り込み信号のアクティブレベル(トリガ極性選択ビットEITP_xで選択したHighレベルまたはLowレベル)を検出すると割り込み信号が生成されます。この信号は割り込みフラグEIFT_xを1にセットし、ITCの割り込み処理を開始させます。割り込み発生源が割り込み信号をアクティブレベルに保持している場合、ソフトウェアが割り込みフラグを0にリセットしても、すぐに1にセットされます。



図III.1.3.5.2 レベルトリガモード

III.1.3.6 S1C17コアの割り込み処理

S1C17コアに対するマスク可能な割り込みは、以下のすべての条件が成立している場合に発生します。

- ITEN(D0/ITC_CTLレジスタ)が1に設定されている。
 - * **ITEN**: ITC Enable Bit in the ITC Control (ITC_CTL) Register (D0/0x4304)
- 発生した割り込み要因に対応する割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- 発生した割り込み要因が、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

割り込み要因が発生すると対応する割り込みフラグが1にセットされ、プログラムまたはハードウェア(レベルトリガモードに設定されている割り込みの場合)でリセットするまではその状態を保持します。したがって、割り込み要因の発生時点で上記の条件が満たされていない場合でも発生した割り込み要因がクリアされることはありません。上記の条件が満たされた時点で割り込みが発生します。

同時に複数のマスク可能な割り込み要因が発生した場合は、その中で最も高いレベルを持つ割り込み要因がその時点でのS1C17コアへの割り込み要求の対象となります。レベルの低い割り込みは、その後、上記の条件が成立するまで保留されます。

S1C17コアは毎サイクル、割り込み要求のサンプリングを行っています。S1C17コアは割り込み要求を受け付けるとその時点の命令の実行終了後、割り込み処理に移行します。

割り込み処理で実行される内容は以下のとおりです。

- (1) PSRおよび現在のプログラムカウンタ(PC)値をスタックに退避
- (2) PSRのIEビットを0にリセット(以降のマスク可能な割り込みを禁止)
- (3) PSRのILを受け付けた割り込みのレベルにセット(NMIは割り込みレベルを変更しない)
- (4) 発生した割り込み要因のベクタをPCにロードして割り込み処理ルーチンを実行

したがって、割り込みを受け付けると、(2)によって以降のマスク可能な割り込みは禁止されます。割り込み処理ルーチン内でIEビットを1にセットすることで、多重割り込みにも対応できます。その場合、(3)によってILが変更されていますので、現在処理中の割り込みより高いレベルの割り込みのみが受け付けられます。

割り込み処理ルーチンをreti命令で終了すると、PSRが割り込み発生前の状態に戻ります。プログラムは割り込み発生時に実行していた命令の次の命令に分岐して処理を再開します。

III.1.4 NMI

S1C17002では、ウォッチドッグタイマでNMI(ノンマスカブル割り込み)を発生させることができます。NMIのベクタ番号は2で、ベクタアドレスはベクタテーブル先頭アドレス+8バイトに設定されています。この割り込みは他の割り込み要因に優先して、無条件にS1C17コアに受け付けられます。

NMIを発生させる方法については、“IV.3 ウォッチドッグタイマ(WDT)”を参照してください。

III.1.5 ソフトウェア割り込み

S1C17コアの`int imm5`または`intl imm5, imm3`命令を使用することによって、ソフトウェアで任意の割り込みを発生させることができます。オペランドの即値`imm5`でベクタテーブルのベクタ番号(0~31)を指定します。`intl`命令では、`imm3`でPSRのILフィールドに設定する割り込みレベル(0~7)を指定することもできます。

プロセッサの割り込み処理の内容は、ハードウェアによる割り込み発生時と同様です。

III.1.6 割り込み要因によるHALT, SLEEPモードの解除

スタンバイモード(HALT、SLEEP)はNMIまたは割り込みによって解除されます。

HALTモードは、NMIまたはHALTモードでもクロックが供給され、動作しているモジュールからの割り込みによって解除されます。HALTモード時に割り込み発生源の動作クロックを停止した場合や、ITEN(D0/ITC_CTLレジスタ)が0(割り込みコントローラを停止)に設定されている場合はHALTモードを解除することはできません。

* **ITEN**: ITC Enable Bit in the ITC Control (ITC_CTL) Register (D0/0x4304)

SLEEPモード時は割り込みコントローラ(ITC)にクロックが供給されません。したがって、SLEEPモードはイニシャルリセット、またはポートやRTCなどのレベルトリガモードに対応したモジュールからの割り込みによってのみ解除されます。

スタンバイモードが解除されると、S1C17コアはhaltまたはslpの次の命令から実行を再開します。

- 注:
- PSRのIEビットが0(割り込み禁止)に設定されている場合でも、割り込み信号によってスタンバイモードを解除することができます。
 - パルストリガモードに設定されている割り込みによってSLEEPモードを解除することはできません。
 - 割り込み要因によってHALTまたはSLEEPモードを解除する場合、その割り込み要因に対応する割り込みイネーブルビットを1(割り込み許可)に設定しておく必要があります。

III.1.7 制御レジスタ詳細

表III.1.7.1 ITCレジスタ一覧

アドレス	レジスタ名		機 能
0x42e0	ITC_AIFLG	Additional Interrupt Flag Register	割り込み発生状態の表示/リセット
0x42e2	ITC_AEN	Additional Interrupt Enable Register	各マスク可能割り込みの許可/禁止
0x42e6	ITC_AILV0	Additional Interrupt Level Setup Register 0	MFT割り込みレベルの設定
0x42e8	ITC_AILV1	Additional Interrupt Level Setup Register 1	ADC割り込みレベルの設定
0x42ea	ITC_AILV2	Additional Interrupt Level Setup Register 2	RTC、PT8 CH.0/T8OSC1 CH.0割り込みレベルの設定
0x42ec	ITC_AILV3	Additional Interrupt Level Setup Register 3	PT8 CH.1/T8OSC1 CH.1、PT8 CH.2割り込みレベルの設定
0x42ee	ITC_AILV4	Additional Interrupt Level Setup Register 4	PT8 CH.3割り込みレベルの設定
0x42f0	ITC_AILV5	Additional Interrupt Level Setup Register 5	SPI CH.1割り込みレベルの設定
0x42f2	ITC_AILV6	Additional Interrupt Level Setup Register 6	I ² Cスレーブ割り込みレベルの設定
0x42f4	ITC_AILV7	Additional Interrupt Level Setup Register 7	REMC割り込みレベルの設定
0x4300	ITC_IFLG	Interrupt Flag Register	割り込み発生状態の表示/リセット
0x4302	ITC_EN	Interrupt Enable Register	各マスク可能割り込みの許可/禁止
0x4304	ITC_CTL	ITC Control Register	ITC動作の許可/禁止
0x4306	ITC_ELV0	External Interrupt Level Setup Register 0	ポート0、ポート1割り込みレベルとトリガモードの設定
0x4308	ITC_ELV1	External Interrupt Level Setup Register 1	ポート2、ポート3割り込みレベルとトリガモードの設定
0x430a	ITC_ELV2	External Interrupt Level Setup Register 2	ポート4、ポート5割り込みレベルとトリガモードの設定
0x430c	ITC_ELV3	External Interrupt Level Setup Register 3	ポート6、ポート7割り込みレベルとトリガモードの設定
0x430e	ITC_ILV0	Internal Interrupt Level Setup Register 0	CLG_T16U0、CLG_T8FU0タイマ割り込みレベルの設定
0x4310	ITC_ILV1	Internal Interrupt Level Setup Register 1	CLG_T8S、CLG_T8Iタイマ割り込みレベルの設定
0x4312	ITC_ILV2	Internal Interrupt Level Setup Register 2	UART割り込みレベルの設定
0x4314	ITC_ILV3	Internal Interrupt Level Setup Register 3	SPI CH.0、I ² Cマスタ割り込みレベルの設定

以下、ITCのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x42e0: Additional Interrupt Flag Register (ITC_AIFLG)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
Additional Interrupt Flag Register (ITC_AIFLG)	0x42e0 (16 bits)	D15	—	reserved	—		—	—	0 when being read.
		D14	AIFT14	REMC interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D13	AIFT13	I ² C slave bus status interrupt flag			0	R/W	
		D12	AIFT12	I ² C slave transmit/receive interrupt flag			0	R/W	
		D11	—	reserved	—		—	—	0 when being read.
		D10	AIFT10	SPI CH.1 interrupt flag	1 Occurred	0 Not occurred	0	R/W	Reset by writing 1.
		D9	—	reserved	—		—	—	0 when being read.
		D8	AIFT8	PT8 CH.3 interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D7	AIFT7	PT8 CH.2 interrupt flag			0	R/W	
		D6	AIFT6	PT8 CH.1/T8OSC1 CH.1 interrupt flag			0	R/W	
		D5	AIFT5	PT8 CH.0/T8OSC1 CH.0 interrupt flag			0	R/W	
		D4	AIFT4	RTC interrupt flag			0	R/W	
		D3	AIFT3	ADC end-of-conversion interrupt flag			0	R/W	
		D2	AIFT2	ADC out-of-range interrupt flag			0	R/W	
		D1	—	reserved	—		—	—	0 when being read.
		D0	AIFT0	MFT interrupt flag	1 Occurred	0 Not occurred	0	R/W	Reset by writing 1.

D15, D11, D9, D1 Reserved

D[14:12], D10, D[8:2], D0 AIFT[14:12], AIFT10, AIFT[8:2], AIFT0: Interrupt Flag Bits

割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり
 0(R): 割り込み要因なし(デフォルト)
 1(W): フラグをリセット
 0(W): 無効

割り込みフラグは、ITEN(D0/ITC_CTLレジスタ)が1に設定されている状態で、各周辺モジュールの割り込み要因が発生すると1にセットされます。

このとき、以下の条件が成立していれば、S1C17コアに対し割り込みが発生します。

- 対応する割り込みイネーブルビットが1に設定されている。
- 他の優先レベルの高い割り込み要求が発生していない。
- PSRのIEビットが1(割り込み許可)に設定されている。
- 対応する割り込みレベル設定ビットがS1C17コアの割り込みレベル(IL)より高いレベルに設定されている。

割り込みフラグは割り込みイネーブルビットや割り込みレベル設定ビットの状態にかかわらず、割り込み要因の発生により1にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込みフラグのリセットとPSRの再設定(IEビットを1にセットするか、reti命令を実行する)が必要です。

1にセットされた割り込み要因フラグは、1の書き込みによってリセットされます。

表III.1.7.2 ハードウェア割り込み要因と割り込みフラグ

割り込みフラグ	ハードウェア割り込み要因
AIFT14 (D14)	REMC割り込み: エンベロープカウンタアンダーフロー/入力立ち上がりエッジ/入力立ち下がりエッジ
AIFT13 (D13)	I ² Cスレーブ割り込み: バスステータス
AIFT12 (D12)	I ² Cスレーブ割り込み: 送信バッファエンプティ/受信バッファフル
AIFT10 (D10)	SPI CH.1割り込み: 送信バッファエンプティ/受信バッファフル
AIFT8 (D8)	8ビットタイマCH.3割り込み: タイマアンダーフロー
AIFT7 (D7)	8ビットタイマCH.2割り込み: タイマアンダーフロー
AIFT6 (D6)	8ビットタイマCH.1割り込み: タイマアンダーフロー 8ビットOSC1タイマCH.1: コンペアマッチ
AIFT5 (D5)	8ビットタイマCH.0割り込み: タイマアンダーフロー 8ビットOSC1タイマCH.0: コンペアマッチ
AIFT4 (D4)	RTC割り込み: 1/64秒、1秒、1分、または1時間カウントアップ
AIFT3 (D3)	ADC割り込み: 変換終了
AIFT2 (D2)	ADC割り込み: 範囲外
AIFT0 (D0)	MFT割り込み: コンペアマッチ/ピリオドマッチ/保護入力

0x42e2: Additional Interrupt Enable Register (ITC_AEN)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Additional Interrupt Enable Register (ITC_AEN)	0x42e2 (16 bits)	D15	—	reserved	—			—	—	0 when being read.	
		D14	AIEN14	REMC interrupt enable	1	Enable	0	Disable	0	R/W	
		D13	AIEN13	I ² C slave bus status interrupt enable					0	R/W	
		D12	AIEN12	I ² C slave transmit/receive interrupt enable					0	R/W	
		D11	—	reserved	—			—	—	0 when being read.	
		D10	AIEN10	SPI CH.1 interrupt enable	1	Enable	0	Disable	0	R/W	
		D9	—	reserved	—			—	—	0 when being read.	
		D8	AIEN8	PT8 CH.3 interrupt enable	1	Enable	0	Disable	0	R/W	
		D7	AIEN7	PT8 CH.2 interrupt enable					0	R/W	
		D6	AIEN6	PT8 CH.1/T8OSC1 CH.1 interrupt enable					0	R/W	
		D5	AIEN5	PT8 CH.0/T8OSC1 CH.0 interrupt enable					0	R/W	
		D4	AIEN4	RTC interrupt enable					0	R/W	
		D3	AIEN3	ADC end-of-conversion interrupt enable					0	R/W	
		D2	AIEN2	ADC out-of-range interrupt enable					0	R/W	
		D1	—	reserved	—			—	—	0 when being read.	
		D0	AIEN0	MFT interrupt enable	1	Enable	0	Disable	0	R/W	

D15, D11, D9, D1 Reserved**D[14:12], D10, D[8:2], D0 AIEN[14:12], AIEN10, AIEN[8:2], AIEN0: Interrupt Enable Bits**

これらのビットは、割り込みの発生を許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

割り込みイネーブルビットを1に設定すると対応する割り込みが許可され、0に設定すると割り込みが禁止されます。

割り込み要因をスタンバイモードの解除に使用する場合も、対応する割り込みイネーブルビットを1に設定しておく必要があります。

表III.1.7.3 ハードウェア割り込み要因と割り込みイネーブルビット

割り込みイネーブルビット	ハードウェア割り込み要因
AIEN14 (D14)	REMC割り込み: エンベロープカウンタアンダーフロー/入力立ち上がりエッジ/入力立ち下がりエッジ
AIEN13 (D13)	I ² Cスレーブ割り込み: バスステータス
AIEN12 (D12)	I ² Cスレーブ割り込み: 送信バッファエンプティ/受信バッファフル
AIEN10 (D10)	SPI CH.1割り込み: 送信バッファエンプティ/受信バッファフル
AIEN8 (D8)	8ビットタイマCH.3割り込み: タイマアンダーフロー
AIEN7 (D7)	8ビットタイマCH.2割り込み: タイマアンダーフロー
AIEN6 (D6)	8ビットタイマCH.1割り込み: タイマアンダーフロー 8ビットOSC1タイマCH.1: コンペアマッチ
AIEN5 (D5)	8ビットタイマCH.0割り込み: タイマアンダーフロー 8ビットOSC1タイマCH.0: コンペアマッチ
AIEN4 (D4)	RTC割り込み: 1/64秒、1秒、1分、または1時間カウントアップ
AIEN3 (D3)	ADC割り込み: 変換終了
AIEN2 (D2)	ADC割り込み: 範囲外
AIEN0 (D0)	MFT割り込み: コンペアマッチ/ピリオドマッチ/保護入力

0x42e6: Additional Interrupt Level Setup Register 0 (ITC_AILV0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Additional Interrupt Level Setup Register 0 (ITC_AILV0)	0x42e6 (16 bits)	D15-3	--	reserved	--	--	--	0 when being read.
		D2-0	AILV0[2:0]	MFT interrupt level	0 to 7	0x0	R/W	

D[15:3] Reserved**D[2:0] AILV0[2:0]: MFT Interrupt Level Bits**

マルチファンクションタイマ割り込みの割り込みレベル(0~7)を設定します。(デフォルト: 0x0)

S1C17コアは、PSRのILの値より低いレベルに設定された割り込みを受け付けません。

ITC内では、割り込みレベルを複数の割り込み要因が同時に発生した場合に使用します。

割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCは割り込みレベル設定レジスタで設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。

同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。

ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

III
ITC

0x42e8: Additional Interrupt Level Setup Register 1 (ITC_AILV1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Additional Interrupt Level Setup Register 1 (ITC_AILV1)	0x42e8 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	AILV3[2:0]	ADC end-of-conversion interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	AILV2[2:0]	ADC out-of-range interrupt level	0 to 7	0x0	R/W	

D[15:11] Reserved**D[10:8] AILV3[2:0]: ADC End-of-Conversion Interrupt Level Bits**

A/D変換器の変換終了割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)

S1C17コアは、PSRのILの値より低いレベルに設定された割り込みを受け付けません。

ITC内では、割り込みレベルを複数の割り込み要因が同時に発生した場合に使用します。

割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCは割り込みレベル設定レジスタで設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。

同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。

ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

D[7:3] Reserved**D[2:0] AILV2[2:0]: ADC Out-of-Range Interrupt Level Bits**

A/D変換器の範囲外割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)

AILV3[2:0](D[10:8])の説明を参照してください。

0x42ea: Additional Interrupt Level Setup Register 2 (ITC_AILV2)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Additional Interrupt Level Setup Register 2 (ITC_AILV2)	0x42ea (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	AILV5[2:0]	PT8 CH.0/T8OSC1 CH.0 interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	AILV4[2:0]	RTC interrupt level	0 to 7	0x0	R/W	

D[15:11] Reserved**D[10:8] AILV5[2:0]: PT8 CH.0/T8OSC1 CH.0 Interrupt Level Bits**

8ビットプログラマブルタイムマCH.0および8ビットOSC1タイムマCH.0割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)

S1C17コアは、PSRのILの値より低いレベルに設定された割り込みを受け付けません。

ITC内では、割り込みレベルを複数の割り込み要因が同時に発生した場合に使用します。

割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCは割り込みレベル設定レジスタで設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。

同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。

ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

D[7:3] Reserved**D[2:0] AILV4[2:0]: RTC Interrupt Level Bits**

RTC割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)

AILV5[2:0](D[10:8])の説明を参照してください。

0x42ec: Additional Interrupt Level Setup Register 3 (ITC_AILV3)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Additional Interrupt Level Setup Register 3 (ITC_AILV3)	0x42ec (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	AILV7[2:0]	PT8 CH.2 interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	AILV6[2:0]	PT8 CH.1/T8OSC1 CH.1 interrupt level	0 to 7	0x0	R/W	

D[15:11] Reserved**D[10:8] AILV7[2:0]: PT8 CH.2 Interrupt Level Bits**

8ビットプログラマブルタイマCH.2割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)

S1C17コアは、PSRのILの値より低いレベルに設定された割り込みを受け付けません。

ITC内では、割り込みレベルを複数の割り込み要因が同時に発生した場合に使用します。

割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCは割り込みレベル設定レジスタで設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。

同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。

ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

D[7:3] Reserved**D[2:0] AILV6[2:0]: PT8 CH.1/T8OSC1 CH.1 Interrupt Level Bits**

8ビットプログラマブルタイマCH.1および8ビットOSC1タイマCH.1割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)

AILV7[2:0](D[10:8])の説明を参照してください。

0x42ee: Additional Interrupt Level Setup Register 4 (ITC_AILV4)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Additional Interrupt Level Setup Register 4 (ITC_AILV4)	0x42ee (16 bits)	D15-3	--	reserved	--	--	--	0 when being read.
		D2-0	AILV8[2:0]	PT8 CH.3 interrupt level	0 to 7	0x0	R/W	

D[15:3] Reserved**D[2:0] AILV8[2:0]: PT8 CH.3 Interrupt Level Bits**

8ビットプログラマブルタイマCH.3割り込みの割り込みレベル(0~7)を設定します。(デフォルト: 0x0)

S1C17コアは、PSRのILの値より低いレベルに設定された割り込みを受け付けません。

ITC内では、割り込みレベルを複数の割り込み要因が同時に発生した場合に使用します。

割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCは割り込みレベル設定レジスタで設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。

同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。

ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

0x42f0: Additional Interrupt Level Setup Register 5 (ITC_AILV5)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Additional Interrupt Level Setup Register 5 (ITC_AILV5)	0x42f0 (16 bits)	D15-3	—	reserved	—	—	—	0 when being read.
		D2-0	AILV10[2:0]	SPI CH.1 interrupt level	0 to 7	0x0	R/W	

D[15:3] Reserved

D[2:0] AILV10[2:0]: SPI CH.1 Interrupt Level Bits

SPI CH.1割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)

S1C17コアは、PSRのILの値より低いレベルに設定された割り込みを受け付けません。

ITC内では、割り込みレベルを複数の割り込み要因が同時に発生した場合に使用します。

割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCは割り込みレベル設定レジスタで設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。

同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。

ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

0x42f2: Additional Interrupt Level Setup Register 6 (ITC_AILV6)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Additional Interrupt Level Setup Register 6 (ITC_AILV6)	0x42f2 (16 bits)	D15-11	—	reserved	—	—	—	0 when being read.
		D10-8	AILV13[2:0]	I ² C slave bus status interrupt level	0 to 7	0x0	R/W	
		D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	AILV12[2:0]	I ² C slave transmit/receive interrupt level	0 to 7	0x0	R/W	

D[15:11] Reserved**D[10:8] AILV13[2:0]: I²C Slave Bus Status Interrupt Level Bits**

I²Cスレーブバスステータス割り込みの割り込みレベル(0~7)を設定します。(デフォルト: 0x0)

S1C17コアは、PSRのILの値より低いレベルに設定された割り込みを受け付けません。

ITC内では、割り込みレベルを複数の割り込み要因が同時に発生した場合に使用します。

割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCは割り込みレベル設定レジスタで設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。

同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。

ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

D[7:3] Reserved**D[2:0] AILV12[2:0]: I²C Slave Transmit/Receive Interrupt Level Bits**

I²Cスレーブ送信/受信割り込みの割り込みレベル(0~7)を設定します。(デフォルト: 0x0)

AILV13[2:0](D[10:8])の説明を参照してください。

0x42f4: Additional Interrupt Level Setup Register 7 (ITC_AILV7)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Additional Interrupt Level Setup Register 7 (ITC_AILV7)	0x42f4 (16 bits)	D15-3	—	reserved	—	—	—	0 when being read.
		D2-0	AILV14[2:0]	REMC interrupt level	0 to 7	0x0	R/W	

D[15:3] Reserved

D[2:0] AILV14[2:0]: REMC Interrupt Level Bits

リモートコントローラ割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)

S1C17コアは、PSRのILの値より低いレベルに設定された割り込みを受け付けません。

ITC内では、割り込みレベルを複数の割り込み要因が同時に発生した場合に使用します。

割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCは割り込みレベル設定レジスタで設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。

同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。

ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

0x4300: Interrupt Flag Register (ITC_IFLG)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Interrupt Flag Register (ITC_IFLG)	0x4300 (16 bits)	D15	IIFT7	I ² C master interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D14	IIFT6	SPI CH.0 interrupt flag					0	R/W	
		D13	—	reserved	—				—	—	0 when being read.
		D12	IIFT4	UART interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D11	IIFT3	CLG_T8I timer interrupt flag					0	R/W	
		D10	IIFT2	CLG_T8S timer interrupt flag					0	R/W	
		D9	IIFT1	CLG_T8FU0 timer interrupt flag					0	R/W	
		D8	IIFT0	CLG_T16U0 timer interrupt flag					0	R/W	
		D7	EIFT7	Port interrupt 7 flag					0	R/W	Reset by writing 1 in
		D6	EIFT6	Port interrupt 6 flag					0	R/W	pulse trigger mode.
		D5	EIFT5	Port interrupt 5 flag					0	R/W	
		D4	EIFT4	Port interrupt 4 flag					0	R/W	Cannot be reset
		D3	EIFT3	Port interrupt 3 flag					0	R/W	by software in level
		D2	EIFT2	Port interrupt 2 flag					0	R/W	trigger mode.
		D1	EIFT1	Port interrupt 1 flag					0	R/W	
		D0	EIFT0	Port interrupt 0 flag					0	R/W	

D13 Reserved

D[15:14], D[12:8], IIFT[7:6], IIFT[4:0]: Interrupt Flag Bits

割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり
 0(R): 割り込み要因なし(デフォルト)
 1(W): フラグをリセット
 0(W): 無効

割り込みフラグは、ITEN(D0/ITC_CTLレジスタ)が1に設定されている状態で、各周辺モジュールの割り込み要因が発生すると1にセットされます。

このとき、以下の条件が成立していれば、S1C17コアに対し割り込みが発生します。

1. 対応する割り込みイネーブルビットが1に設定されている。
2. 他の優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが1(割り込み許可)に設定されている。
4. 対応する割り込みレベル設定ビットがS1C17コアの割り込みレベル(IL)より高いレベルに設定されている。

割り込みフラグは割り込みイネーブルビットや割り込みレベル設定ビットの状態にかかわらず、割り込み要因の発生により1にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込みフラグのリセットとPSRの再設定(IEビットを1にセットするか、reti命令を実行する)が必要です。

1にセットされた割り込み要因フラグは、1の書き込みによってリセットされます。

表III.1.7.4 ハードウェア割り込み要因と割り込みフラグ

割り込みフラグ	ハードウェア割り込み要因
IIFT7 (D15)	I ² Cマスタ割り込み: 送信バッファエンプティ/受信バッファフル
IIFT6 (D14)	SPI CH.0割り込み: 送信バッファエンプティ/受信バッファフル
IIFT4 (D12)	UART割り込み: 送信バッファエンプティ/受信バッファフル/受信エラー
IIFT3 (D11)	CLG_T8Iタイマ割り込み: タイマアンダーフロー
IIFT2 (D10)	CLG_T8Sタイマ割り込み: タイマアンダーフロー
IIFT1 (D9)	CLG_T8FU0タイマ割り込み: タイマアンダーフロー
IIFT0 (D8)	CLG_T16U0タイマ割り込み: タイマアンダーフロー

D[7:0] EIFT[7:0]: Interrupt Flag Bits

割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): 無効

0(W): 無効

IIFT_xの説明を参照してください。

ただし、これらの割り込みはITC_ELV_xレジスタ(0x4306~0x430c)で割り込みトリガモードの選択が可能となっています。

表III.1.7.5 ハードウェア割り込み要因と割り込みフラグ

割り込みフラグ	ハードウェア割り込み要因
EIFT7 (D7)	ポート入力割り込み7: Px7立ち上がり/立ち下がりエッジまたはH/Lレベル入力
EIFT6 (D6)	ポート入力割り込み6: Px6立ち上がり/立ち下がりエッジまたはH/Lレベル入力
EIFT5 (D5)	ポート入力割り込み5: Px5立ち上がり/立ち下がりエッジまたはH/Lレベル入力
EIFT4 (D4)	ポート入力割り込み4: Px4立ち上がり/立ち下がりエッジまたはH/Lレベル入力
EIFT3 (D3)	ポート入力割り込み3: Px3立ち上がり/立ち下がりエッジまたはH/Lレベル入力
EIFT2 (D2)	ポート入力割り込み2: Px2立ち上がり/立ち下がりエッジまたはH/Lレベル入力
EIFT1 (D1)	ポート入力割り込み1: Px1立ち上がり/立ち下がりエッジまたはH/Lレベル入力
EIFT0 (D0)	ポート入力割り込み0: Px0立ち上がり/立ち下がりエッジまたはH/Lレベル入力

0x4302: Interrupt Enable Register (ITC_EN)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
Interrupt Enable Register (ITC_EN)	0x4302 (16 bits)	D15	IIEN7	I ² C master interrupt enable	1	Enable	0	Disable	0	R/W	0 when being read.
		D14	IIEN6	SPI CH.0 interrupt enable					0	R/W	
		D13	—	reserved	—				—	—	
		D12	IIEN4	UART interrupt enable	1	Enable	0	Disable	0	R/W	
		D11	IIEN3	CLG_T8I timer interrupt enable					0	R/W	
		D10	IIEN2	CLG_T8S timer interrupt enable					0	R/W	
		D9	IIEN1	CLG_T8FU0 timer interrupt enable					0	R/W	
		D8	IIEN0	CLG_T16U0 timer interrupt enable					0	R/W	
		D7	EIEN7	Port interrupt 7 enable					0	R/W	
		D6	EIEN6	Port interrupt 6 enable					0	R/W	
		D5	EIEN5	Port interrupt 5 enable					0	R/W	
		D4	EIEN4	Port interrupt 4 enable					0	R/W	
		D3	EIEN3	Port interrupt 3 enable					0	R/W	
		D2	EIEN2	Port interrupt 2 enable					0	R/W	
		D1	EIEN1	Port interrupt 1 enable					0	R/W	
		D0	EIEN0	Port interrupt 0 enable					0	R/W	

D13 Reserved

D[15:14], D[12:0] IIEN[7:6], IIEN[4:0], EIEN[7:0]: Interrupt Enable Bits

これらのビットは、割り込みの発生を許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

割り込みイネーブルビットを1に設定すると対応する割り込みが許可され、0に設定すると割り込みが禁止されます。

割り込み要因をスタンバイモードの解除に使用する場合も、対応する割り込みイネーブルビットを1に設定しておく必要があります。

表III.1.7.6 ハードウェア割り込み要因と割り込みイネーブルビット

割り込みイネーブルビット	ハードウェア割り込み要因
IIEN7 (D15)	I ² Cマスタ割り込み: 送信バッファエンプティ/受信バッファフル
IIEN6 (D14)	SPI CH.0割り込み: 送信バッファエンプティ/受信バッファフル
IIEN4 (D12)	UART割り込み: 送信バッファエンプティ/受信バッファフル/受信エラー
IIEN3 (D11)	CLG_T8Iタイマ割り込み: タイマアンダーフロー
IIEN2 (D10)	CLG_T8Sタイマ割り込み: タイマアンダーフロー
IIEN1 (D9)	CLG_T8FU0タイマ割り込み: タイマアンダーフロー
IIEN0 (D8)	CLG_T16U0タイマ割り込み: タイマアンダーフロー
EIEN7 (D7)	ポート入力割り込み7: Px7立ち上がり/立ち下がりエッジまたはH/Lレベル入力
EIEN6 (D6)	ポート入力割り込み6: Px6立ち上がり/立ち下がりエッジまたはH/Lレベル入力
EIEN5 (D5)	ポート入力割り込み5: Px5立ち上がり/立ち下がりエッジまたはH/Lレベル入力
EIEN4 (D4)	ポート入力割り込み4: Px4立ち上がり/立ち下がりエッジまたはH/Lレベル入力
EIEN3 (D3)	ポート入力割り込み3: Px3立ち上がり/立ち下がりエッジまたはH/Lレベル入力
EIEN2 (D2)	ポート入力割り込み2: Px2立ち上がり/立ち下がりエッジまたはH/Lレベル入力
EIEN1 (D1)	ポート入力割り込み1: Px1立ち上がり/立ち下がりエッジまたはH/Lレベル入力
EIEN0 (D0)	ポート入力割り込み0: Px0立ち上がり/立ち下がりエッジまたはH/Lレベル入力

0x4304: ITC Control Register (ITC_CTL)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
ITC Control Register (ITC_CTL)	0x4304 (16 bits)	D15-1	—	reserved	—		—	—	0 when being read.
		D0	ITEN	ITC enable	1 Enable	0 Disable	0	R/W	

D[15:1] Reserved

D0 ITEN: ITC Enable Bit

ITCによる割り込みの制御を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

ITCを使用する前に、1に設定してください。

0x4306: External Interrupt Level Setup Register 0 (ITC_ELVO)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
External Interrupt Level Setup Register 0 (ITC_ELVO)	0x4306 (16 bits)	D15–14	–	reserved	–	–	–	0 when being read.
		D13	EITP1	Port interrupt 1 trigger polarity	1 Positive 0 Negative	0	R/W	
		D12	EITG1	Port interrupt 1 trigger mode	1 Level 0 Pulse	0	R/W	
		D11	–	reserved	–	–	–	0 when being read.
		D10–8	EILV1[2:0]	Port interrupt 1 level	0 to 7	0x0	R/W	
		D7–6	–	reserved	–	–	–	0 when being read.
		D5	EITP0	Port interrupt 0 trigger polarity	1 Positive 0 Negative	0	R/W	
		D4	EITG0	Port interrupt 0 trigger mode	1 Level 0 Pulse	0	R/W	
		D3	–	reserved	–	–	–	0 when being read.
		D2–0	EILV0[2:0]	Port interrupt 0 level	0 to 7	0x0	R/W	

D[15:14] Reserved**D13 EITP1: Port Interrupt 1 Trigger Polarity Bit**

ポート割り込み1信号の極性を選択します。

1(R/W): 正極性/アクティブHigh

0(R/W): 負極性/アクティブLow(デフォルト)

パルストリガモードの場合にこのビットが1に設定されていると、ポートはITCへの割り込み要求として正極性パルスを出力します。0に設定されている場合は負極性パルスを出力します。レベルトリガモードの場合にこのビットが1に設定されていると、ポートはITCへの割り込み要求としてアクティブHighの信号を出力します。0に設定されている場合はアクティブLowの信号を出力します。

D12 EITG1: Port Interrupt 1 Trigger Mode Bit

ポート割り込み1のトリガモードを選択します。

1(R/W): レベルトリガモード

0(R/W): パルストリガモード(デフォルト)

パルストリガモードの場合、ITCは割り込み信号をシステムクロックの立ち上がりエッジでサンプリングします。指定極性のパルスが検出されると、ITCは割り込みフラグ(EIFTx)を1にセットし、その割り込み信号のサンプリングを停止します。アプリケーションプログラム(割り込み処理ルーチン)が割り込みフラグ(EIFTx)を0にリセット後、ITCはこの割り込み信号のサンプリングを再開します。

レベルトリガモードの場合、ITCは割り込み信号をシステムクロックの立ち上がりエッジで連続的にサンプリングします。割り込みフラグ(EIFTx)はHighレベルが検出されると1に設定され、その後Lowレベルが検出されると0にリセットされます。このモードでは1の書き込みで割り込みフラグ(EIFTx)をリセットすることはできません。したがって、割り込み発生源モジュールが、S1C17コアに受け付けられるまで割り込み信号をHighに保持し、その後割り込み信号をクリアする必要があります。

D11 Reserved**D[10:8] EILV1[2:0]: Port Interrupt 1 Level Bits**

ポート割り込み1の割り込みレベル(0～7)を設定します。(デフォルト: 0x0)

S1C17コアは、PSRのILの値より低いレベルに設定された割り込みを受け付けません。

ITC内では、割り込みレベルを複数の割り込み要因が同時に発生した場合に使用します。

割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCは割り込みレベル設定レジスタで設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。

同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。

ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

D[7:6] Reserved

D5 EITP0: Port Interrupt 0 Trigger Polarity Bit

ポート割り込み0信号の極性を選択します。

1(R/W): 正極性/アクティブHigh

0(R/W): 負極性/アクティブLow(デフォルト)

EITP1(D13)の説明を参照してください。

D4 EITG0: Port Interrupt 0 Trigger Mode Bit

ポート割り込み0のトリガモードを選択します。

1(R/W): レベルトリガモード

0(R/W): パルストリガモード(デフォルト)

EITG1(D12)の説明を参照してください。

D3 Reserved

D[2:0] EILV0[2:0]: Port Interrupt 0 Level Bits

ポート割り込み0の割り込みレベル(0~7)を設定します。(デフォルト: 0x0)

EILV1[2:0](D[10:8])の説明を参照してください。

0x4308: External Interrupt Level Setup Register 1 (ITC_ELW1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
External Interrupt Level Setup Register 1 (ITC_ELW1)	0x4308 (16 bits)	D15-14	—	reserved	—	—	—	0 when being read.
		D13	EITP3	Port interrupt 3 trigger polarity	1 Positive 0 Negative	0	R/W	
		D12	EITG3	Port interrupt 3 trigger mode	1 Level 0 Pulse	0	R/W	
		D11	—	reserved	—	—	—	0 when being read.
		D10-8	EILV3[2:0]	Port interrupt 3 level	0 to 7	0x0	R/W	
		D7-6	—	reserved	—	—	—	0 when being read.
		D5	EITP2	Port interrupt 2 trigger polarity	1 Positive 0 Negative	0	R/W	
		D4	EITG2	Port interrupt 2 trigger mode	1 Level 0 Pulse	0	R/W	
		D3	—	reserved	—	—	—	0 when being read.
		D2-0	EILV2[2:0]	Port interrupt 2 level	0 to 7	0x0	R/W	

D[15:14] Reserved**D13 EITP3: Port Interrupt 3 Trigger Polarity Bit**

ポート割り込み3信号の極性を選択します。

1(R/W): 正極性/アクティブHigh

0(R/W): 負極性/アクティブLow(デフォルト)

ITC_ELW0レジスタ(0x4306)のEITP1(D13)の説明を参照してください。

D12 EITG3: Port Interrupt 3 Trigger Mode Bit

ポート割り込み3のトリガモードを選択します。

1(R/W): レベルトリガモード

0(R/W): パルストリガモード(デフォルト)

ITC_ELW0レジスタ(0x4306)のEITG1(D12)の説明を参照してください。

D11 Reserved**D[10:8] EILV3[2:0]: Port Interrupt 3 Level Bits**

ポート割り込み3の割り込みレベル(0~7)を設定します。(デフォルト: 0x0)

ITC_ELW0レジスタ(0x4306)のEILV1[2:0](D[10:8])の説明を参照してください。

D[7:6] Reserved**D5 EITP2: Port Interrupt 2 Trigger Polarity Bit**

ポート割り込み2信号の極性を選択します。

1(R/W): 正極性/アクティブHigh

0(R/W): 負極性/アクティブLow(デフォルト)

ITC_ELW0レジスタ(0x4306)のEITP1(D13)の説明を参照してください。

D4 EITG2: Port Interrupt 2 Trigger Mode Bit

ポート割り込み2のトリガモードを選択します。

1(R/W): レベルトリガモード

0(R/W): パルストリガモード(デフォルト)

ITC_ELW0レジスタ(0x4306)のEITG1(D12)の説明を参照してください。

D3 Reserved**D[2:0] EILV2[2:0]: Port Interrupt 2 Level Bits**

ポート割り込み2の割り込みレベル(0~7)を設定します。(デフォルト: 0x0)

ITC_ELW0レジスタ(0x4306)のEILV1[2:0](D[10:8])の説明を参照してください。

0x430a: External Interrupt Level Setup Register 2 (ITC_ELIV2)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
External Interrupt Level Setup Register 2 (ITC_ELIV2)	0x430a (16 bits)	D15-14	—	reserved	—	—	—	0 when being read.
		D13	EITP5	Port interrupt 5 trigger polarity	1 Positive 0 Negative	0	R/W	
		D12	EITG5	Port interrupt 5 trigger mode	1 Level 0 Pulse	0	R/W	
		D11	—	reserved	—	—	—	0 when being read.
		D10-8	EILV5[2:0]	Port interrupt 5 level	0 to 7	0x0	R/W	
		D7-6	—	reserved	—	—	—	0 when being read.
		D5	EITP4	Port interrupt 4 trigger polarity	1 Positive 0 Negative	0	R/W	
		D4	EITG4	Port interrupt 4 trigger mode	1 Level 0 Pulse	0	R/W	
		D3	—	reserved	—	—	—	0 when being read.
		D2-0	EILV4[2:0]	Port interrupt 4 level	0 to 7	0x0	R/W	

D[15:14] Reserved**D13 EITP5: Port Interrupt 5 Trigger Polarity Bit**

ポート割り込み5信号の極性を選択します。

1(R/W): 正極性/アクティブHigh

0(R/W): 負極性/アクティブLow(デフォルト)

ITC_ELIV0レジスタ(0x4306)のEITP1(D13)の説明を参照してください。

D12 EITG5: Port Interrupt 5 Trigger Mode Bit

ポート割り込み5のトリガモードを選択します。

1(R/W): レベルトリガモード

0(R/W): パルストリガモード(デフォルト)

ITC_ELIV0レジスタ(0x4306)のEITG1(D12)の説明を参照してください。

D11 Reserved**D[10:8] EILV5[2:0]: Port Interrupt 5 Level Bits**

ポート割り込み5の割り込みレベル(0~7)を設定します。(デフォルト: 0x0)

ITC_ELIV0レジスタ(0x4306)のEILV1[2:0](D[10:8])の説明を参照してください。

D[7:6] Reserved**D5 EITP4: Port Interrupt 4 Trigger Polarity Bit**

ポート割り込み4信号の極性を選択します。

1(R/W): 正極性/アクティブHigh

0(R/W): 負極性/アクティブLow(デフォルト)

ITC_ELIV0レジスタ(0x4306)のEITP1(D13)の説明を参照してください。

D4 EITG4: Port Interrupt 4 Trigger Mode Bit

ポート割り込み4のトリガモードを選択します。

1(R/W): レベルトリガモード

0(R/W): パルストリガモード(デフォルト)

ITC_ELIV0レジスタ(0x4306)のEITG1(D12)の説明を参照してください。

D3 Reserved**D[2:0] EILV4[2:0]: Port Interrupt 4 Level Bits**

ポート割り込み4の割り込みレベル(0~7)を設定します。(デフォルト: 0x0)

ITC_ELIV0レジスタ(0x4306)のEILV1[2:0](D[10:8])の説明を参照してください。

0x430c: External Interrupt Level Setup Register 3 (ITC_EL3)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
External Interrupt Level Setup Register 3 (ITC_EL3)	0x430c (16 bits)	D15-14	—	reserved	—	—	—	0 when being read.
		D13	EITP7	Port interrupt 7 trigger polarity	1 Positive 0 Negative	0	R/W	
		D12	EITG7	Port interrupt 7 trigger mode	1 Level 0 Pulse	0	R/W	
		D11	—	reserved	—	—	—	0 when being read.
		D10-8	EILV7[2:0]	Port interrupt 7 level	0 to 7	0x0	R/W	
		D7-6	—	reserved	—	—	—	0 when being read.
		D5	EITP6	Port interrupt 6 trigger polarity	1 Positive 0 Negative	0	R/W	
		D4	EITG6	Port interrupt 6 trigger mode	1 Level 0 Pulse	0	R/W	
		D3	—	reserved	—	—	—	0 when being read.
		D2-0	EILV6[2:0]	Port interrupt 6 level	0 to 7	0x0	R/W	

D[15:14] Reserved**D13 EITP7: Port Interrupt 7 Trigger Polarity Bit**

ポート割り込み7信号の極性を選択します。

1(R/W): 正極性/アクティブHigh

0(R/W): 負極性/アクティブLow(デフォルト)

ITC_EL3レジスタ(0x430c)のEITP1(D13)の説明を参照してください。

D12 EITG7: Port Interrupt 7 Trigger Mode Bit

ポート割り込み7のトリガモードを選択します。

1(R/W): レベルトリガモード

0(R/W): パルストリガモード(デフォルト)

ITC_EL3レジスタ(0x430c)のEITG1(D12)の説明を参照してください。

D11 Reserved**D[10:8] EILV7[2:0]: Port Interrupt 7 Level Bits**

ポート割り込み7の割り込みレベル(0~7)を設定します。(デフォルト: 0x0)

ITC_EL3レジスタ(0x430c)のEILV1[2:0](D[10:8])の説明を参照してください。

D[7:6] Reserved**D5 EITP6: Port Interrupt 6 Trigger Polarity Bit**

ポート割り込み6信号の極性を選択します。

1(R/W): 正極性/アクティブHigh

0(R/W): 負極性/アクティブLow(デフォルト)

ITC_EL3レジスタ(0x430c)のEITP1(D13)の説明を参照してください。

D4 EITG6: Port Interrupt 6 Trigger Mode Bit

ポート割り込み6のトリガモードを選択します。

1(R/W): レベルトリガモード

0(R/W): パルストリガモード(デフォルト)

ITC_EL3レジスタ(0x430c)のEITG1(D12)の説明を参照してください。

D3 Reserved**D[2:0] EILV6[2:0]: Port Interrupt 6 Level Bits**

ポート割り込み6の割り込みレベル(0~7)を設定します。(デフォルト: 0x0)

ITC_EL3レジスタ(0x430c)のEILV1[2:0](D[10:8])の説明を参照してください。

0x430e: Internal Interrupt Level Setup Register 0 (ITC_ILV0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Internal Interrupt Level Setup Register 0 (ITC_ILV0)	0x430e (16 bits)	D15-11	—	reserved	—	—	—	0 when being read.
		D10-8	IILV1[2:0]	CLG_T8FU0 timer interrupt level	0 to 7	0x0	R/W	
		D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	IILV0[2:0]	CLG_T16U0 timer interrupt level	0 to 7	0x0	R/W	

D[15:11] Reserved**D[10:8] IILV1[2:0]: CLG_T8FU0 Timer Interrupt Level Bits**

CLG_T8FU0タイマ割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)

S1C17コアは、PSRのILの値より低いレベルに設定された割り込みを受け付けません。

ITC内では、割り込みレベルを複数の割り込み要因が同時に発生した場合に使用します。

割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCは割り込みレベル設定レジスタで設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。

同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。

ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

D[7:3] Reserved**D[2:0] IILV0[2:0]: CLG_T16U0 Timer Interrupt Level Bits**

CLG_T16U0タイマ割り込み1の割り込みレベル(0～7)を設定します。(デフォルト: 0x0)

IILV1[2:0](D[10:8])の説明を参照してください。

0x4310: Internal Interrupt Level Setup Register 1 (ITC_ILV1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Internal Interrupt Level Setup Register 1 (ITC_ILV1)	0x4310 (16 bits)	D15-11	—	reserved	—	—	—	0 when being read.
		D10-8	IILV3[2:0]	CLG_T8I timer interrupt level	0 to 7	0x0	R/W	
		D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	IILV2[2:0]	CLG_T8S timer interrupt level	0 to 7	0x0	R/W	

D[15:11] Reserved**D[10:8] IILV3[2:0]: CLG_T8I Timer Interrupt Level Bits**

CLG_T8Iタイマ割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
ITC_ILV0レジスタ(0x430e)のIILV1[2:0](D[10:8])の説明を参照してください。

D[7:3] Reserved**D[2:0] IILV2[2:0]: CLG_T8S Timer Interrupt Level Bits**

CLG_T8Sタイマ割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
ITC_ILV0レジスタ(0x430e)のIILV1[2:0](D[10:8])の説明を参照してください。

0x4312: Internal Interrupt Level Setup Register 2 (ITC_ILV2)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Internal Interrupt Level Setup Register 2 (ITC_ILV2)	0x4312 (16 bits)	D15-3	—	reserved	—	—	—	0 when being read.
		D2-0	IILV4[2:0]	UART interrupt level	0 to 7	0x0	R/W	

D[15:3] **Reserved**

D[2:0] **IILV4[2:0]: UART Interrupt Level Bits**

UART割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
ITC_ILV0レジスタ(0x430e)のIILV1[2:0](D[10:8])の説明を参照してください。

0x4314: Internal Interrupt Level Setup Register 3 (ITC_ILV3)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Internal Interrupt Level Setup Register 3 (ITC_ILV3)	0x4314 (16 bits)	D15-11	—	reserved	—	—	—	0 when being read.
		D10-8	IILV7[2:0]	I ² C master interrupt level	0 to 7	0x0	R/W	
		D7-3	—	reserved	—	—	—	0 when being read.
		D2-0	IILV6[2:0]	SPI CH.0 interrupt level	0 to 7	0x0	R/W	

D[15:11] Reserved**D[10:8] IILV7[2:0]: I²C Master Interrupt Level Bits**

I²Cマスタ割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
ITC_ILV0レジスタ(0x430e)のIILV1[2:0](D[10:8])の説明を参照してください。

D[7:3] Reserved**D[2:0] IILV6[2:0]: SPI CH.0 Interrupt Level Bits**

SPI CH.0割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0x0)
ITC_ILV0レジスタ(0x430e)のIILV1[2:0](D[10:8])の説明を参照してください。

III.1.8 注意事項

- 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、割り込みを許可、PSRを再設定またはreti命令を実行する前に必ず割り込みフラグをリセットしてください。
- スタンバイモードを割り込みで解除する場合、slp命令またはhalt命令に続く1命令は割り込み受付前に必ず実行されます。確実に割り込みをかけるため、slp命令およびhalt命令の後にはnop命令を1つ記述してください。CPUがウェイト状態になるようなメモリアkses命令を置くと、レベル割り込み信号が受け付けられず、割り込み処理が実行されない可能性があります。
- ポート入力割り込み(レベル割り込み)によってスタンバイモードを解除し、割り込み処理ルーチンを確実に実行させるには、ポートへの入力信号を以下の時間以上アクティブにする必要があります。
 - (1) SLEEPモード時にクロックを停止させる場合
OSC3発振開始時間 + OSC3発振安定待ち時間(ユーザ設定) + システムクロック10サイクルの時間
 - (2) SLEEPモード時にクロックを停止させない場合、またはHALTモード時
システムクロック10サイクルの時間
- 割り込みの発生やスタンバイモードの解除には、割り込み制御レジスタの設定の他に、割り込みに必要なクロックをCMUの設定によって供給しておく必要があります。
割り込みを発生させるために必要なクロック設定を表III.1.8.1に示します。

表III.1.8.1 割り込みに必要なクロック設定

クロック系統	CMUレジスタ 設定有効範囲	クロック供給状態			割り込み発生に必要なクロック設定																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																			
		通常動作時	HALT時	SLEEP時	通常/HALT時												SLEEP時																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																							
					AMI	DBG	NMI	MFT	ADC	T16	T8	UART	SPI	°C	PORT	RTC	PT8	SPI	REMC	T8OSC1	DBG	NMI	PORT	RTC																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																
PCLK	通常/HALT	REG	REG	停止																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																				

REG: レジスタにより設定可能

○: 割り込みを発生させるために供給必須のクロック

AMI: アドレス不整合例

*1: 周辺モジュールにて機能をディセーブルに設定することで停止します。

*2: 外部入力力を固定した場合は発振しません。

*3: WDTよりNMIを発生させる場合はクロック供給が必要です。

*4: バルストリガ割り込み設定時のみ必要です。

*5: レジスタ設定後は不要です。(レベルトリガ割り込みのみ)

*6: システムのクロックとして使用されるOSC1またはOSC3発振回路が、SLEEP時以外に動作する必要があります。

このページはブランクです。

III.2 ROMコントローラ(ROMC)

III.2.1 ROMCの概要

S1C17002の0x20000番地から0x3ffff番地までの128Kバイトの領域にはマスクROMが内蔵されており、アプリケーションプログラムやデータを書き込んでおくことができます。0x20000番地はベクタテーブルベースアドレスとして定義されていますので、ここにリセットベクタを置く必要があります。

ROMコントローラ(ROMC)にはベクタテーブルベースアドレスとROMのリードアクセス条件を設定するレジスタが設けられています。

III.2.2 ブートアドレスとTTBR

イニシャルリセット時、ベクタテーブルはROMの先頭(0x20000番地～)に配置されます。したがって、ブートベクタは0x20000番地に書き込んでおく必要があります。ベクタテーブルについては、I.5.4節を参照してください。

ベクタテーブルのベース(先頭)アドレスは、ROMCモジュール内のTTBR_LOWとTTBR_HIGHレジスタ(0x5814、0x5816)によって設定することができますので、アドレス0x20000からのシステムブートの後、ベクタテーブルの位置を変更することができます。

TTBR_LOWレジスタはベクタテーブルアドレスの下位16ビットを指定し、TTBR_HIGHレジスタは上位8ビットを指定します。TTBR_LOWレジスタのビット7～0は0に固定されます。このため、ベクタテーブルの先頭アドレスは常に256バイト境界アドレスから始まります。

注: Vector Table Base Registerは書き込み保護されています。このレジスタに書き込みを行うには、ROMC Protect Register(0x5810)に0x96を書き込んで、レジスタの書き込み保護を解除する必要があります。Trap Table Base Registerへの不要な書き込みは誤動作の原因になりますので、レジスタ設定時以外はROMC Protect Register(0x5810)に0x96以外の値を書き込み、書き込み禁止に設定してください。

III.2.3 リードアクセス制御

ROMのデータは最小1サイクルで読み出すことができます。

なお、ROMリードサイクルにウェイトを挿入することができます。ウェイトサイクルとして挿入するシステムクロックサイクル数をROM_WAIT[2:0](D[2:0]/ROMC_WAITレジスタ)で指定します。

* **ROM_WAIT[2:0]**: ROM Read Access Wait Cycle Setup Bits in the ROMC Wait (ROMC_WAIT) Register (D[2:0]/0x5804)

表III.2.3.1 ROMリードアクセスウェイトサイクル数の設定

ROM_WAIT[2:0]	ウェイトサイクル数	リードアクセスサイクル数	システムクロック周波数
0x7	7サイクル	8サイクル	20MHz以下
0x6	6サイクル	7サイクル	
0x5	5サイクル	6サイクル	
0x4	4サイクル	5サイクル	
0x3	3サイクル	4サイクル	
0x2	2サイクル	3サイクル	
0x1	1サイクル	2サイクル	
0x0	0サイクル	1サイクル	

(デフォルト: 0x7)

S1C17002では、ROM_WAIT[2:0]を0x0に設定し、0ウェイトで動作させることができます。

III.2.4 制御レジスタの詳細

表III.2.4.1 ROMCレジスタ一覧

アドレス	レジスタ名		機能
0x5804	ROMC_WAIT	ROMC Wait Register	ROMリード用ウェイトサイクルの設定
0x5810	ROMC_PRT	ROMC Protect Register	ROMCレジスタ書き込み保護の設定/解除
0x5814	TTBR_LOW	Trap Table Base Register 0	ベクタテーブルアドレスの設定
0x5816	TTBR_HIGH	Trap Table Base Register 1	

以下にROMCの制御レジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5804: ROMC Wait Register (ROMC_WAIT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
ROMC Wait Register (ROMC_WAIT)	0x5804 (16 bits)	D15-3	—	reserved	—	—	—	0 when being read.
		D2-0	ROM_WAIT [2:0]	ROM read access wait cycle setup	ROM_WAIT[2:0]	Wait cycle	0x7	R/W
					0x7	7 cycles		
					0x0	0 cycles		

D[15:3] Reserved**D[2:0] ROM_WAIT[2:0]: ROM Read Access Wait Cycle Setup Bits**

ROMのリード時に挿入するウェイトサイクル数を設定します。

表III.2.4.2 ROMリードアクセスウェイトサイクル数の設定

ROM_WAIT[2:0]	ウェイトサイクル数	リードアクセスサイクル数	システムクロック周波数
0x7	7サイクル	8サイクル	20MHz以下
0x6	6サイクル	7サイクル	
0x5	5サイクル	6サイクル	
0x4	4サイクル	5サイクル	
0x3	3サイクル	4サイクル	
0x2	2サイクル	3サイクル	
0x1	1サイクル	2サイクル	
0x0	0サイクル	1サイクル	

(デフォルト: 0x7)

S1C17002では、ROM_WAIT[2:0]を0x0に設定し、0ウェイトで動作させることができます。

0x5810: ROMC Protect Register (ROMC_PRT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
ROMC Protect Register (ROMC_PRT)	0x5810 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	ROMC_PRT [7:0]	ROMC register protect flag	Writing 10010110 (0x96) removes the write protection of the Trap Table Base Registers (0x5814–0x5816). Writing another value set the write protection.	0x0	R/W	

D[15:8] Reserved**D[7:0] ROMC_PRT[7:0]: ROMC Register Protect Flag Bits**

ROMC制御レジスタ(0x5814～0x5816)の書き込み保護を設定/解除します。

0x96(R/W): 書き込み保護解除

0x96以外(R/W): 書き込み保護(デフォルト: 0x0)

Trap Table Base Register(0x5814～0x5816)を変更する前に、本レジスタに0x96を書き込んで書き込み保護を解除してください。本レジスタが0x96以外に設定されている場合、Trap Table Base Registerへの書き込み命令が問題なく実行されてもレジスタの内容は変更されません。一度本レジスタに0x96を書き込むと、それ以外の値に設定するまではTrap Table Base Registerの書き換えが何度でも行えます。Trap Table Base Registerの設定後は、誤書き込み等を防止するため、本レジスタを0x96以外に設定してください。

0x5814–0x5816: Trap Table Base Registers (TTBR_LOW, TTBR_HIGH)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Trap Table Base Register 0 (TTBR_LOW)	0x5814 (16 bits)	D15–8	TTBR[15:8]	Trap table base address A[15:8]	0x0–0xff	0x0	R/W	
		D7–0	TTBR[7:0]	Trap table base address A[7:0] (fixed at 0)	0x0	0x0	R	
Trap Table Base Register 1 (TTBR_HIGH)	0x5816 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TTBR[23:16]	Trap table base address A[23:16]	0x0–0xff	0x2	R/W	

注: Trap Table Base Registerは書き込み保護されています。このレジスタに書き込みを行うには、ROMC Protect Register(0x5810)に0x96を書き込んで、レジスタの書き込み保護を解除する必要があります。Trap Table Base Registerへの不要な書き込みは誤動作の原因になりますので、レジスタ設定時以外はROMC Protect Register(0x5810)に0x96以外の値を書き込み、書き込み禁止に設定してください。

D[7:0]/0x5816, D[15:0]/0x5814 TTBR[23:0]: Trap Table Base Address Bits

ベクタテーブルの開始アドレスを設定します。

イニシャルリセット後、TTBR_LOW/HIGHレジスタは0x20000番地に設定されます。したがって、ベクタテーブルの位置を変更する場合でも、リセットベクタのみはこのアドレスに書き込んでおく必要があります。TTBR_LOWレジスタのビット7～0は0に固定されます。このため、トラップテーブルの先頭アドレスは常に256バイト境界アドレスから始まります。

III.2.5 注意事項

Trap Table Base Register(0x5814～0x5816)は書き込み保護されています。これらのレジスタに書き込みを行うには、ROMC Protect Register(0x5810)に0x96を書き込んで、レジスタの書き込み保護を解除する必要があります。アドレス0x5814～0x5816への不要な書き込みは誤動作の原因になりますので、Trap Table Base Registerの設定時以外はROMC Protect Register(0x5810)に0x96以外の値を書き込み、書き込み禁止に設定してください。

III.3 SRAMコントローラ (SRAMC)

III.3.1 SRAMCの概要

SRAMコントローラ (SRAMC) は、拡張内部周辺モジュールをアクセスするためのバスコントローラモジュールです。

SRAMCの機能と特長を以下に示します。

拡張内部周辺インタフェース

- 8ビット/16ビットの選択が可能なデータバス
- 8ビット、16ビット、または24ビットアクセスに対応
- 0ウェイトアクセス (4サイクルのバスアクセス)
- リトルエンディアン (固定)

III.3.2 メモリ上のデータ配置

S1C17002のSRAMCは8ビット、16ビット、24/32ビットのデータを扱います。メモリ上のデータをアクセスする場合は、データサイズに従った境界アドレスを指定することが必要で、それ以外のアドレスを指定すると、アドレス不整例外が発生します。

SP(スタックポインタ)やPC(プログラムカウンタ)の内容を書き換える命令は(スタック操作や分岐命令など)、指定アドレスが強制的に境界アドレスに変更されるため、アドレス不整例外は発生しません。アドレス不整例外の詳細についてはS1C17コアマニュアルを参照してください。

表III.3.2.1にデータタイプによるメモリ上の配置を示します。

表III.3.2.1 メモリ上のデータ配置

データタイプ	配置
8ビットデータ	8ビット境界(全アドレス)
16ビットデータ	16ビット境界(A[0] = 0)
24/32ビットデータ	32ビット境界(A[1:0] = 0b00)

メモリ上の16ビットデータ、24/32ビットデータは、リトルエンディアン形式でアクセスされます。メモリ効率を上げるには同種のデータを連続的に配置し、境界アドレスへの配置によってできる空白領域を極力減らしてください。

III.3.3 SRAMC動作クロック

SRAMCはCMUで生成したSRAMC_CLKクロック(= システムクロック)を入力して動作します。バス制御信号はSRAMC_CLKクロックに同期して生成されます。

SRAMCにはSRAMCクロック(SRAMC_CLK)を制御するSRAMC_CLK_EN(D7/CMU_GATEDCLK1レジスタ)が用意されています。ただし、SRAMCは内部周辺バス(SAPB)を制御しているため、ICが動作中はSRAMC_CLKを停止することができません。つまり、SRAMC_CLK_ENを0(Off)に設定しても、通常動作時(haltまたはslp命令実行時を除く)にSRAMC_CLKは停止しません。ただし、SRAMC_CLK_ENを0(Off)に設定しておくことによって、HALT時(halt命令の実行後)はSRAMC_CLKを自動的に停止させることができます(デフォルト: On)。

* **SRAMC_CLK_EN**: SRAMC Clock Control (in HALT mode) Bit in the Gated Clock Control 1 (CMU_GATEDCLK1) Register (D7/0x4907)

イニシャルリセット時はSRAMC_CLK_ENは1(On)に設定され、SRAMC_CLKの供給が許可されます。HALT時にSRAMC_CLKが不要な場合は、SRAMC_CLK_ENを0(Off)に設定してください。この状態でhalt命令を実行すると、SRAMC_CLKの供給が停止します。割り込み等によりHALT状態が解除されると、SRAMC_CLKの供給が再開します。SLEEP時はCMUレジスタの設定にかかわらず、SRAMC_CLKが停止します(II.2.8.2節参照)。

クロックの設定と制御に関する詳細は、“II.2 クロックマネージメントユニット(CMU)”を参照してください。

III.3.4 RTCモジュールアクセス時のウェイトサイクル設定

システムが高速動作中でもRTCレジスタを正常にアクセスできるように、SRAMCにはRTCアクセス時にウェイトサイクルを挿入する機能があります。挿入するウェイトサイクル数をRTC_WAIT[2:0](D[2:0]/RTC_WAITレジスタ)で指定します。

* **RTC_WAIT[2:0]**: RTC Access Wait Cycle Setup Bits in the RTC Wait Control (RTC_WAIT) Register (D[2:0]/0x5018)

表III.3.4.1 RTCアクセス時のウェイトサイクル数

RTC_WAIT[2:0]	ウェイトサイクル数
0x7	7サイクル
0x6	6サイクル
0x5	5サイクル
0x4	4サイクル
0x3	3サイクル
0x2	2サイクル
0x1	1サイクル
0x0	0サイクル

(デフォルト: 0x7)

S1C17002はRTC_WAIT[2:0] ≥ 1で動作可能です。

III.3.5 制御レジスタ詳細

表III.3.5.1 SRAMCレジスタ一覧

アドレス	レジスタ名		機能
0x5018	RTC_WAIT	RTC Wait Control Register	RTCアクセスサイクルの設定

以下にSRAMCの制御レジスタを説明します。SRAMCレジスタは16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5018: RTC Wait Control Register (RTC_WAIT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Wait Control Register (RTC_WAIT)	0x5018 (16 bits)	D15-3	—	reserved	—	—	—	0 when being read.
		D2-0	RTC_WAIT [2:0]	RTC access wait cycle setup	RTC_WAIT[2:0] Wait cycle	0x7	R/W	
					0x7 7 cycles			
					: :			
					0x0 0 cycles			

D[15:3] Reserved

D[2:0] RTC_WAIT[2:0]: RTC Access Wait Cycle Setup Bits

RTCレジスタをアクセスする際に挿入するウェイトサイクル数を設定します。

表III.3.5.2 RTCアクセス時のウェイトサイクル数

RTC_WAIT[2:0]	ウェイトサイクル数
0x7	7サイクル
0x6	6サイクル
0x5	5サイクル
0x4	4サイクル
0x3	3サイクル
0x2	2サイクル
0x1	1サイクル
0x0	0サイクル

(デフォルト: 0x7)

S1C17002はRTC_WAIT[2:0] ≥ 1で動作可能です。

このページはブランクです。

S1C17002 Technical Manual

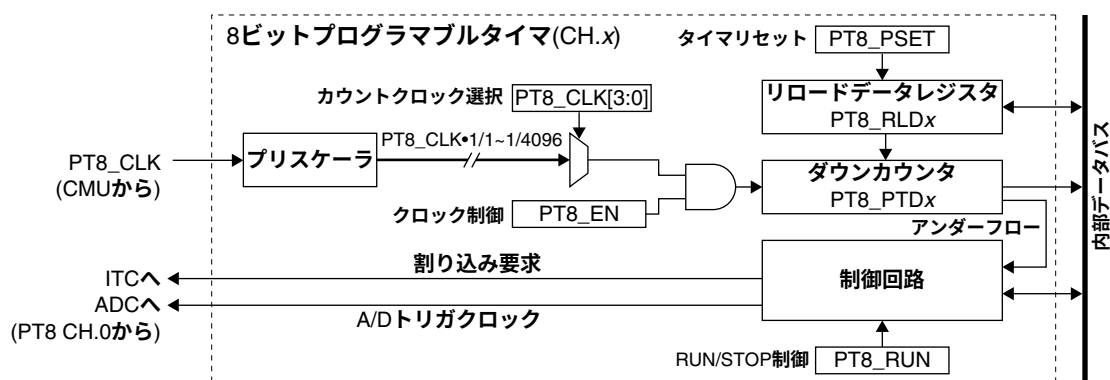
IV S1C17002タイマモジュール

IV.1 8ビットプログラマブルタイマ(PT8)

IV.1.1 8ビットプログラマブルタイマの概要

S1C17002は4チャンネルの8ビットプログラマブルタイマ(PT8 CH.0~CH.3)を内蔵しています。8ビットプログラマブルタイマは8ビットプリセッタブルダウンカウンタとプリセット値を保持する8ビットリロードデータレジスタで構成されます。タイマはリロードデータレジスタに設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号は、割り込みの発生に使用されます。また、CH.0のアンダーフロー信号は、A/D変換を開始させるA/D変換器トリガ信号としても使用可能です。アンダーフロー周期はプリスケラクロックとリロードデータの選択によりプログラム可能なため、アプリケーションプログラムは任意の時間間隔を得ることができます。プリスケラはPT8モジュールに組み込まれており、PT8_CLK・1/1~PT8_CLK・1/4096の13種類のカウントクロックを生成します。

図IV.1.1.1に8ビットプログラマブルタイマの構造を示します。



図IV.1.1.1 8ビットプログラマブルタイマの構造(1チャンネル)

注: • 8ビットプログラマブルタイマは、制御レジスタのアドレスを除きすべて同じ機能を持っていますので、本節内の説明は8ビットプログラマブルタイマの全チャンネルに適用されます。レジスタ名の'x'はチャンネル番号(0~3)を表します。また、レジスタのアドレスは(CH.0/CH.1/CH.2/CH.3)のように記述されています。

例: PT8_CTLxレジスタ (0x4803/0x4807/0x480b/0x480f)

CH.0: PT8_CTL0レジスタ (0x4803)

CH.1: PT8_CTL1レジスタ (0x4807)

CH.2: PT8_CTL2レジスタ (0x480b)

CH.3: PT8_CTL3レジスタ (0x480f)

- PT8モジュールのプリスケラはSPI CH.1も使用します。

IV.1.2 カウントクロック

8ビットプログラマブルタイマはプリスケアラ出力クロックをカウントクロックとして使用します。プリスケアラはPT8_CLKを1/1～1/4096に分周して13種類のクロックを生成します。この中の1つをPT8_CLK[3:0](D[3:0]/PT8_CLKxレジスタ)で選択します。

- * **PT8_CLK[3:0]**: PT8 Clock Division Ratio Selection Bits in the PT8 CH. x Input Clock Select (PT8_CLKx) Registers (D[3:0]/0x4800/0x4804/0x4808/0x480c)

表IV.1.2.1 カウントクロックの選択

PT8_CLK[3:0]	プリスケアラ出力クロック	PT8_CLK[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PT8_CLK•1/128
0xe	Reserved	0x6	PT8_CLK•1/64
0xd	Reserved	0x5	PT8_CLK•1/32
0xc	PT8_CLK•1/4096	0x4	PT8_CLK•1/16
0xb	PT8_CLK•1/2048	0x3	PT8_CLK•1/8
0xa	PT8_CLK•1/1024	0x2	PT8_CLK•1/4
0x9	PT8_CLK•1/512	0x1	PT8_CLK•1/2
0x8	PT8_CLK•1/256	0x0	PT8_CLK•1/1

(デフォルト: 0x0)

選択したクロックはPT8_EN(D4/PT8_CLKxレジスタ)を1に設定することによりカウンタに入力されます。PT8_ENを0に設定すると、タイマは動作しません。

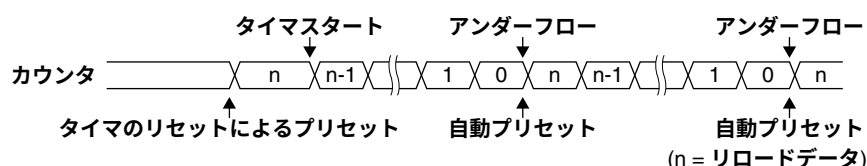
- * **PT8_EN**: PT8 Clock Enable Bit in the PT8 CH.x Input Clock Select (PT8_CLKx) Registers (D4/0x4800/0x4804/0x4808/0x480c)

注: カウントクロックの設定は、8ビットプログラマブルタイマがカウント停止中に行ってください。

IV.1.3 リロードレジスタとアンダーフロー周期

リロードデータレジスタPT8_RLD_x(0x4801/0x4805/0x4809/0x480d)は、ダウンカウンタに初期値をセットするために使用します。

リロードデータレジスタに設定したカウンタ初期値は、8ビットプログラマブルタイマがリセットされるか、カウンタがアンダーフローした時点でダウンカウンタにプリセットされます。8ビットプログラマブルタイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、特定の待ち時間や周期的な割り込みの発生間隔が得られます。



図IV.1.3.1 プリセットタイミング

アンダーフロー周期は次のように計算できます。

$$\text{アンダーフロー期間} = \frac{\text{RLD} + 1}{\text{clk\_in}} [\text{s}] \quad \text{アンダーフローサイクル} = \frac{\text{clk\_in}}{\text{RLD} + 1} [\text{Hz}]$$

clk_in: カウントクロック(プリスケアラ出力クロック)周波数 [Hz]

RLD: リロードデータ (0~255)

IV.1.4 タイマのリセット

8ビットプログラマブルタイマをリセットするには、PT8_PSET(D1/PT8_CTLxレジスタ)に1を書き込みます。リロードデータがプリセットされ、カウンタが初期化されます。

* **PT8_PSET**: Timer Reset Bit in the PT8 CH. x Control (PT8_CTLx) Registers (D1/0x4803/0x4807/0x480b/0x480f)

IV.1.5 タイマRUN/STOP制御

8ビットプログラマブルタイマの動作を開始させる前に、以下の設定を行ってください。

- (1) カウントクロック(プリスケアラ出力クロック)を選択します。IV.1.2節を参照してください。
- (2) カウンタ初期値を計算してリロードデータレジスタに設定します。IV.1.3節を参照してください。
- (3) タイマをリセットして初期値をカウンタにプリセットします。IV.1.4節を参照してください。
- (4) タイマ割り込みを使用する場合は、割り込みレベルを設定し、割り込みを許可します。IV.1.7節を参照してください。

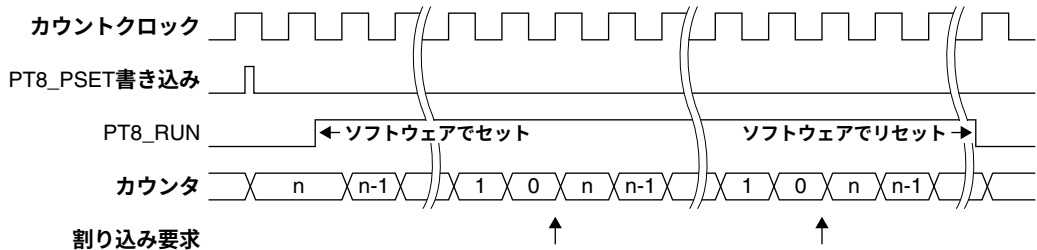
8ビットタイマの動作を開始させるには、PT8_RUN(D0/PT8_CTLxレジスタ)に1を書き込みます。

* **PT8_RUN**: Timer Run/Stop Control Bit in the PT8 CH.x Control (PT8_CTLx) Registers
(D0/0x4803/0x4807/0x480b/0x480f)

タイマは初期値から、あるいは初期値をプリセットしなかった場合は現在のカウンタ値からカウントダウンを開始します。カウンタがアンダーフローすると、タイマはアンダーフローパルスを出力し、初期値を再びカウンタにプリセットします。これと同時に、割り込み要求が割り込みコントローラ(ITC)に送られます。

タイマはリロードされた初期値からカウントを継続します。

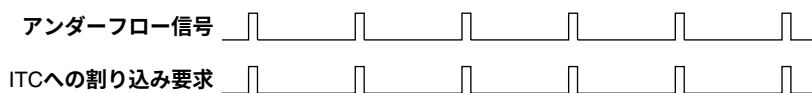
アプリケーションプログラムから8ビットプログラマブルタイマを停止させるには、PT8_RUNに0を書き込みます。カウンタはカウント動作を停止し、タイマのリセットまたは再スタートまで、現在のカウンタ値を保持します。初期値からカウントを再スタートさせる場合は、PT8_RUNに1を書き込む前にタイマをリセットしてください。



図IV.1.5.1 カウント動作

IV.1.6 タイマ出力信号

8ビットプログラマブルタイマはカウンタがアンダーフローするとアンダーフローパルスを出力します。このパルスは、タイマ割り込み要求に使用されます。CH.0のアンダーフローパルスは、A/D変換を開始させるA/D変換器トリガ信号としても使用可能です。



図IV.1.6.1 タイマ出力クロック

IV.1.7 8ビットプログラマブルタイマ割り込み

8ビットプログラマブルタイマは、カウンタのアンダーフローにより、割り込み要求信号を割り込みコントローラ (ITC) に出力します。タイマアンダーフロー割り込みを発生させるには、ITCレジスタで割り込みレベルと割り込み許可の設定を行ってください。

タイマ割り込み用ITCレジスタ

表IV.1.7.1に、各タイマチャンネル用のITC制御レジスタを示します。

表IV.1.7.1 ITCレジスタ

チャンネル	割り込みフラグ	割り込みイネーブルビット	割り込みレベル設定ビット
CH.0	AIFT5 (D5/ITC_AIFLG)	AIEN5 (D5/ITC_AEN)	AILV5[2:0] (D[10:8]/ITC_AILV2)
CH.1	AIFT6 (D6/ITC_AIFLG)	AIEN6 (D6/ITC_AEN)	AILV6[2:0] (D[2:0]/ITC_AILV3)
CH.2	AIFT7 (D7/ITC_AIFLG)	AIEN7 (D7/ITC_AEN)	AILV7[2:0] (D[10:8]/ITC_AILV3)
CH.3	AIFT8 (D8/ITC_AIFLG)	AIEN8 (D8/ITC_AEN)	AILV8[2:0] (D[2:0]/ITC_AILV4)

ITC_AIFLGレジスタ (0x42e0)

ITC_AENレジスタ (0x42e2)

ITC_AILV2、ITC_AILV3、ITC_AILV4レジスタ (0x42ea、0x42ec、0x42ee)

タイマにアンダーフローが発生すると、対応する割り込みフラグが1にセットされます。

その割り込みフラグに対応する割り込みイネーブルビットが1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。タイマによる割り込みを禁止するには、割り込みイネーブルビットを0に設定しておきます。割り込みフラグは、割り込みイネーブルビットの設定にかかわらず(0に設定されていても)、タイマのアンダーフローパルスによって1にセットされます。

割り込みレベル設定ビットは、タイマ割り込みのレベル(0～7)を設定します。同一の割り込みレベルに設定した場合、CH.0の優先順位が高く、CH.3が低い順位となります。

S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- タイマ割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“III.1 割り込みコントローラ (ITC)”を参照してください。

割り込みベクタ

タイマ割り込みのベクタ番号とベクタアドレスは以下のとおりです。

表IV.1.7.2 タイマ割り込みベクタ

チャンネル	ベクタ番号	ベクタアドレス
CH.0	21 (0x15)	TTBR + 0x54
CH.1	22 (0x16)	TTBR + 0x58
CH.2	23 (0x17)	TTBR + 0x5c
CH.3	24 (0x18)	TTBR + 0x60

IV.1.8 制御レジスタ詳細

表IV.1.8.1 8ビットプログラマブルタイマレジスタ一覧

アドレス	レジスタ名		機 能
0x4800	PT8_CLK0	PT8 CH.0 Input Clock Select Register	カウントクロックの選択
0x4801	PT8_RLD0	PT8 CH.0 Reload Data Register	リロードデータの設定
0x4802	PT8_PTD0	PT8 CH.0 Counter Data Register	カウンタデータ
0x4803	PT8_CTL0	PT8 CH.0 Control Register	タイマのRUN/STOP
0x4804	PT8_CLK1	PT8 CH.1 Input Clock Select Register	カウントクロックの選択
0x4805	PT8_RLD1	PT8 CH.1 Reload Data Register	リロードデータの設定
0x4806	PT8_PTD1	PT8 CH.1 Counter Data Register	カウンタデータ
0x4807	PT8_CTL1	PT8 CH.1 Control Register	タイマのRUN/STOP
0x4808	PT8_CLK2	PT8 CH.2 Input Clock Select Register	カウントクロックの選択
0x4809	PT8_RLD2	PT8 CH.2 Reload Data Register	リロードデータの設定
0x480a	PT8_PTD2	PT8 CH.2 Counter Data Register	カウンタデータ
0x480b	PT8_CTL2	PT8 CH.2 Control Register	タイマのRUN/STOP
0x480c	PT8_CLK3	PT8 CH.3 Input Clock Select Register	カウントクロックの選択
0x480d	PT8_RLD3	PT8 CH.3 Reload Data Register	リロードデータの設定
0x480e	PT8_PTD3	PT8 CH.3 Counter Data Register	カウンタデータ
0x480f	PT8_CTL3	PT8 CH.3 Control Register	タイマのRUN/STOP

以下、8ビットプログラマブルタイマのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x4800/0x4804/0x4808/0x480c: PT8 CH.x Input Clock Select Registers (PT8_CLKx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PT8 CH.x Input Clock Select Register (PT8_CLKx)	0x4800	D7-5	—	reserved	—	—	—	0 when being read.
	0x4804	D4	PT8_EN	PT8 Clock Enable	1 Enable 0 Disable	0	R/W	
	0x4808	D3-0	PT8_CLK [3:0]	PT8 clock division ratio selection (Prescaler output clock)	PT8_CLK[3:0]	0x0	R/W	
	0x480c	(8 bits)			0xf-0xd reserved			
					0xc PT8_CLK•1/4096			
					0xb PT8_CLK•1/2048			
					0xa PT8_CLK•1/1024			
					0x9 PT8_CLK•1/512			
					0x8 PT8_CLK•1/256			
					0x7 PT8_CLK•1/128			
					0x6 PT8_CLK•1/64			
					0x5 PT8_CLK•1/32			
					0x4 PT8_CLK•1/16			
					0x3 PT8_CLK•1/8			
					0x2 PT8_CLK•1/4			
					0x1 PT8_CLK•1/2			
					0x0 PT8_CLK•1/1			

注: レジスタ名などの‘x’はチャンネル番号 (0~3) を表します。

0x4800: PT8 CH.0 Input Clock Select Register (PT8_CLK0)

0x4804: PT8 CH.1 Input Clock Select Register (PT8_CLK1)

0x4808: PT8 CH.2 Input Clock Select Register (PT8_CLK2)

0x480c: PT8 CH.3 Input Clock Select Register (PT8_CLK3)

D[7:5] Reserved

D4 PT8_EN: PT8 Clock Enable Bit

カウンタへのカウントクロック入力を制御します。

1 (R/W): 入力

0 (R/W): 停止 (デフォルト)

タイマのカウントを開始する前にこのビットに1を書き込みます。

D[3:0] PT8_CLK[3:0]: PT8 Clock Division Ratio Selection Bits

13種類のプリスケアラ出力クロックから、8ビットプログラマブルタイマのカウントクロックを選択します。

表IV.1.8.2 カウントクロックの選択

PT8_CLK[3:0]	プリスケアラ出力クロック	PT8_CLK[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PT8_CLK•1/128
0xe	Reserved	0x6	PT8_CLK•1/64
0xd	Reserved	0x5	PT8_CLK•1/32
0xc	PT8_CLK•1/4096	0x4	PT8_CLK•1/16
0xb	PT8_CLK•1/2048	0x3	PT8_CLK•1/8
0xa	PT8_CLK•1/1024	0x2	PT8_CLK•1/4
0x9	PT8_CLK•1/512	0x1	PT8_CLK•1/2
0x8	PT8_CLK•1/256	0x0	PT8_CLK•1/1

(デフォルト: 0x0)

注: カウントクロックの設定は、8ビットプログラマブルタイマがカウント停止中に行ってください。

0x4801/0x4805/0x4809/0x480d: PT8 CH.x Reload Data Registers (PT8_RLDx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PT8 CH.x Reload Data Register (PT8_RLDx)	0x4801 0x4805 0x4809 0x480d (8 bits)	D7-0	PT8_RLD [7:0]	8-bit programmable timer reload data PT8_RLD7 = MSB PT8_RLD0 = LSB	0 to 255	X	R/W	

注: レジスタ名などの‘x’はチャンネル番号 (0~3) を表します。

0x4801: PT8 CH.0 Reload Data Register (PT8_RLD0)

0x4805: PT8 CH.1 Reload Data Register (PT8_RLD1)

0x4809: PT8 CH.2 Reload Data Register (PT8_RLD2)

0x480d: PT8 CH.3 Reload Data Register (PT8_RLD3)

D[7:0] PT8_RLD[7:0]: 8-bit Programmable Timer Reload Data Bits

カウンタの初期値を設定します。(デフォルト: 不定)

このレジスタに設定したリロードデータは、タイマがリセットされるか、カウンタがアンダーフローした時点でカウンタにプリセットされます。

8ビットプログラマブルタイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、任意の待ち時間や周期的な割り込みの発生間隔が得られます。

0x4802/0x4806/0x480a/0x480e: PT8 CH.x Counter Data Registers (PT8_PTDx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PT8 CH.x Counter Data Register (PT8_PTDx)	0x4802 0x4806 0x480a 0x480e (8 bits)	D7-0	PT8_PTD [7:0]	8-bit programmable timer counter data PT8_PTD7 = MSB PT8_PTD0 = LSB	0 to 255	X	R	

注: レジスタ名などの‘x’はチャンネル番号 (0〜3) を表します。

0x4802: PT8 CH.0 Counter Data Register (PT8_PTD0)

0x4806: PT8 CH.1 Counter Data Register (PT8_PTD1)

0x480a: PT8 CH.2 Counter Data Register (PT8_PTD2)

0x480e: PT8 CH.3 Counter Data Register (PT8_PTD3)

D[7:0] PT8_PTD[7:0]: 8-bit Programmable Timer Counter Data Bits

カウンタデータが読み出せます。(デフォルト: 不定)
このレジスタはリードオンリのため、データの書き込みはできません。

0x4803/0x4807/0x480b/0x480f: PT8 CH.x Control Registers (PT8_CTLx)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
PT8 CH.x Control Register (PT8_CTLx)	0x4803	D7–2	–	reserved	–			–	–	0 when being read.	
	0x4807										
	0x480b										
	0x480f (8 bits)	D1	PT8_PSET	Timer reset	1	Reset	0	Ignored	0		W
		D0	PT8_RUN	Timer run/stop control	1	Run	0	Stop	0		R/W

注: レジスタ名などの‘x’はチャンネル番号 (0~3) を表します。

0x4803: PT8 CH.0 Control Register (PT8_CTL0)

0x4807: PT8 CH.1 Control Register (PT8_CTL1)

0x480b: PT8 CH.2 Control Register (PT8_CTL2)

0x480f: PT8 CH.3 Control Register (PT8_CTL3)

D[7:2] Reserved**D1 PT8_PSET: Timer Reset Bit**

8ビットプログラマブルタイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、リロードデータがカウンタにプリセットされます。RUN状態でカウンタをリセットすると、リロードデータをカウンタにプリセット直後にカウンタは動作を再開します。

D0 PT8_RUN: Timer Run/Stop Control Bit

タイマのRUN/STOPを制御します。

1(R/W): RUN

0(R/W): STOP(デフォルト)

タイマはPT8_RUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。

IV.1.9 注意事項

カウントクロックの設定は、8ビットプログラマブルタイマがカウント停止中に行ってください。

このページはブランクです。

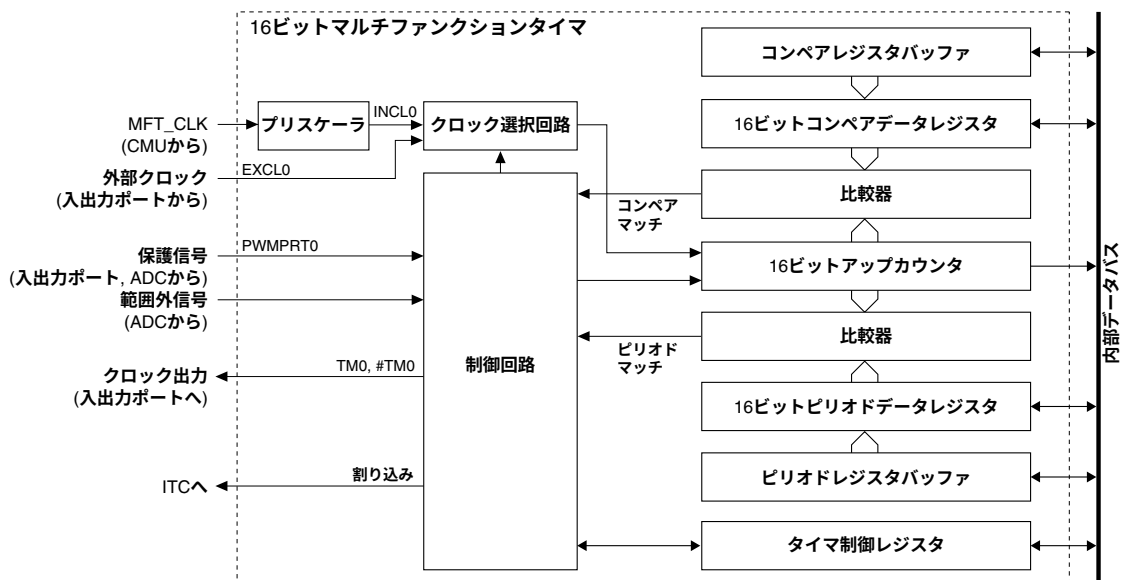
IV.2 16ビットマルチファンクションタイマ(MFT)

IV.2.1 16ビットマルチファンクションタイマの概要

S1C17002は、以下の機能を持つ16ビットマルチファンクションタイマ(MFT)を内蔵しています。

- 16ビットプリセッタブルアップカウンタ
- プリスケアラを内蔵し、プログラマブルなカウントクロックの設定が可能
- 外部入力によるイベントカウンタ機能
- ピリオド/コンペアデータレジスタによって周期を設定可能な割り込み発生機能
- IGBT制御機能付きPWM出力

図IV.2.1.1にMFTの構造を示します。



図IV.2.1.1 16ビットマルチファンクションタイマの構造

MFTには、16ビットのアップカウンタ(MFT_TCレジスタ)と、16ビットのピリオドデータおよびコンペアデータレジスタ(MFT_PRDレジスタ、MFT_CMPレジスタ)とそのバッファが設けられています。

- * **TC[15:0]:** Counter Data Bits in the MFT Counter Data (MFT_TC) Register (D[15:0]/0x5200)
- * **PRD[15:0]:** Period Data Bits in the MFT Period Data (MFT_PRD) Register (D[15:0]/0x5202)
- * **CR[15:0]:** Compare Data Bits in the MFT Compare Data (MFT_CMP) Register (D[15:0]/0x5204)

16ビットカウンタはソフトウェアで0にリセットおよびカウンタ値のセットが可能で、プリスケアラ出力クロックまたは入出力ポート端子からの外部信号でカウントアップを行います。カウント値はソフトウェアで読み出すことができます。

ピリオドデータレジスタおよびコンペアデータレジスタはアップカウンタの内容と比較するためのデータを格納するレジスタです。これらのレジスタは、直接データの書き込み/読み出しが可能です。また、バッファを使用すると、カウンタがソフトウェア(PRST(D1/MFT_CTLレジスタ)への1書き込み)またはピリオドマッチ信号によってリセットされた時点で、設定した比較値をコンペアデータレジスタにロードすることができます。ピリオド/コンペアデータをレジスタとバッファのどちらに書き込むかについては、ソフトウェアで設定可能です。

- * **PRST:** Timer Reset Bit in the MFT Control (MFT_CTL) Register (D1/0x5206)

カウンタ値がピリオド/コンペアデータレジスタの内容に一致すると比較器によって信号が出力され、割り込みや出力信号を制御します。したがって、これらのレジスタにより割り込みの発生周期や出力クロックの周波数とデューティ比をプログラマブルに設定することができます。

IV.2.2 16ビットマルチファンクションタイマの入出力端子

表IV.2.2.1にMFTで使用する入出力端子を示します。

表IV.2.2.1 MFT入出力端子

端子名	I/O	機能
EXCL0	I	イベントカウンタ用外部クロック入力
TM0	O	MFT出力 (正極性)
#TM0	O	MFT出力 (負極性)
PWMPRT0	I	PWMチャネル保護入力

TM0, #TM0 (MFT出力端子)

MFTで生成されたクロックまたはPWM信号を出力します。TM0端子は正極性の信号を、#TM0端子は負極性の信号を出力します。

EXCL0 (イベントカウンタ入力端子)

MFTをイベントカウンタとして使用する場合に、外部からこの端子にカウントパルスを入力します。

PWMPRT0 (PWMチャネル保護入力端子)

MFTのPWM出力を強制的に停止するための出力保護信号を入力します。この機能は、外部IGBTを制御して、過電圧、過電流、温度上昇などからチップを保護するために使用できます。A/D変換器の範囲外信号も、この入力と同様に保護信号として使用可能です。

注: MFTの入出力端子は汎用入出力ポートあるいは他の周辺回路の入出力と兼用されており、初期状態ではMFT以外の機能に設定されます。これらの端子に割り当てられているMFTの入出力信号を使用するには、端子に対応するPort Function Select Registerの設定により機能を切り換える必要があります。端子の機能と切り換えの詳細については、“1.3.3 マルチプレックス端子の機能切り換え”を参照してください。

IV.2.3 16ビットマルチファンクションタイマの用途

MFTの比較器は、ソフトウェアで設定したコンペアデータとピリオドデータをアップカウンタ値と比較し、周期的にコンペアマッチ信号とピリオドマッチを出力します。これらの信号はCPUへの割り込み要求や、内蔵周辺回路の制御に使用されます。また、これらの信号から生成したクロックをIC外部に出力することもできます。

CPUへの割り込み要求

カウンタとコンペアデータまたはピリオドデータの一致を割り込み要因として、CPUに対して割り込み要求を出力可能です。ソフトウェアで設定した周期で割り込みを発生させることができます。

外部へのクロック出力

コンペアマッチ信号とピリオドマッチ信号により生成した正極性(TM0)と負極性(#TM0)のクロック(PWM信号)をIC外部に出力することができます。ピリオドマッチ信号でクロックの周期が決まり、コンペアマッチ信号でデューティ比が決まります。これを外部デバイスの制御などに使用することができます。各タイマの出力端子は前節に示したとおりです。

出力信号は、入出力ポートまたはA/D変換器から入力する保護信号によっても制御できます。保護信号がアクティブになると、タイマの出力は停止します(強制的に初期レベルになります)。この機能は、電源保護のための外部IGBTの制御に使用することができます。

A/D変換開始トリガ

A/D変換器は、A/D変換を開始するトリガ方式を4種類から選択できるようになっています。その1つが、MFTのピリオドマッチ信号によるものです。これにより、プログラマブルな周期でA/D変換を行うことができます。

この機能を使用するには、A/D変換トリガ選択ビットTS[1:0](D[4:3]/AD_TRIG_CHレジスタ)に0b01を書き込み、トリガにMFTを選択します。

* **TS[1:0]:** A/D Conversion Trigger Selection Bits in the A/D Trigger/Channel Select (AD_TRIG_CH) Register (D[4:3]/0x5542)

IV

MFT

IV.2.4 MFT動作クロック

MFTはCMUから供給されるMFT_CLK(= システムクロック)で動作します。また、タイマのカウントに使用するクロックは、MFTに内蔵されたプリスケーラがMFT_CLKから生成します。

動作クロックの供給制御

MFT_CLKはデフォルト設定でMFTに供給されるようになっています。MFTを使用しない場合は、MFT_CLK_EN(D0/CMU_GATEDCLK1レジスタ)により供給を停止して消費電力を抑えることができます。

* **MFT_CLK_EN**: Multi-Function Timer Clock Control Bit in the Gated Clock Control 1 (CMU_GATEDCLK1) Register (D0/0x4907)

MFT_CLK_ENを0(初期設定は1)に設定すると、MFTへの動作クロックの供給が停止します。このクロック供給を停止すると、カウント動作は停止し、制御レジスタへのアクセスもできなくなります。動作クロックの設定や制御については、“II.2 クロックマネージメントユニット(CMU)”を参照してください。

スタンバイモード時のクロック状態

スタンバイモードの種類により、MFTへのクロック供給は停止します。

HALTモード: 動作クロックは通常モードと同様に供給されます。

SLEEPモード: 動作クロックの供給が停止します。

したがって、SLEEPモード時はMFTも動作を停止します。

IV.2.5 MFTの制御と動作

16ビットマルチファンクションタイマを使用する場合は、カウントを開始させる前に以下の設定が必要です。

1. 入出力端子の設定(必要な場合のみ)...IV.2.2、I.3.3参照
2. カウントクロックの設定
3. コンペアデータ/ピリオドデータレジスタまたはバッファの選択
4. クロック出力条件の設定(信号極性、初期信号レベル、保護入力)...IV.2.6参照
5. コンペアデータ/ピリオドデータの設定
6. 割り込みの設定...IV.2.7参照

カウントクロックの設定

タイマのカウントクロックには内部クロックと外部クロックが選択できます。
選択はTCKS(D5/MFT_CTLレジスタ)で行います。

* **TCKS**: Input Clock Selection Bit in the MFT Control (MFT_CTL) Register (D5/0x5206)

TCKSに1を書き込むと外部クロック、0を書き込むと内部クロックが選択されます。
イニシャルリセット時は内部クロックに設定されます。
外部クロックは、クロック入力端子を設定した場合に使用可能です。

• 内部クロック

内部クロックを選択すると、MFTに内蔵されたプリスケラがMFT_CLKから生成したクロックにより動作します。

プリスケラの分周比はTPS[2:0](D[10:8]/MFT_CTLレジスタ)で8種類から選択可能です。クロックはTPSON(D11/MFT_CTLレジスタ)に1を書き込むことでプリスケラから出力されます。

* **TPS[2:0]**: Clock Division Ratio Selection Bits in the MFT Control (MFT_CTL) Register (D[10:8]/0x5206)

* **TPSON**: Clock Control Bit in the MFT Control (MFT_CTL) Register (D11/0x5206)

表IV.2.5.1 分周比の設定

TPS[2:0]	カウントクロック
0x7	MFT_CLK•1/128
0x6	MFT_CLK•1/64
0x5	MFT_CLK•1/32
0x4	MFT_CLK•1/16
0x3	MFT_CLK•1/8
0x2	MFT_CLK•1/4
0x1	MFT_CLK•1/2
0x0	MFT_CLK•1/1

(デフォルト: 0x0)

注: • カウントクロックの設定は、MFTが停止中に行ってください。

- MFTを使用しない場合は消費電流を低減させるため、TPSON(D11/MFT_CTLレジスタ)を0に設定してください。

• 外部クロック

外部よりパルスを入力し、イベントカウンタとして使用する場合、イベント周期はMFT_CLK周期の2倍以上としてください。

コンペア/ピリオドデータレジスタまたはバッファの選択

コンペアデータレジスタおよびピリオドデータレジスタはアップカウンタの内容と比較するためのデータを格納するレジスタで、直接データの書き込み/読み出しが可能です。また、コンペア/ピリオドレジスタバッファを使用すると、カウンタがソフトウェア(PRST (D1/MFT_CTLレジスタ)への1書き込み)またはピリオドマッチ信号によってリセットされた時点で設定した比較値をコンペアデータ/ピリオドデータレジスタにロードすることができます。

比較値をコンペアデータ/ピリオドデータレジスタまたはバッファのどちらに書き込むかについて、BUFEN(D7/MFT_CTLレジスタ)で設定します。

* **BUFEN**: Comparison/Period Data Buffer Enable Bit in the MFT Control (MFT_CTL) Register (D7/5206)

BUFENに1を書き込むとコンペア/ピリオドレジスタバッファ、0を書き込むとコンペアデータ/ピリオドデータレジスタが選択されます。

イニシャルリセット時は、コンペアデータ/ピリオドデータレジスタが選択されます。

コンペアデータ/ピリオドデータの設定

タイマにはデータの比較器が内蔵されており、カウントデータを任意の値と比較することができます。この値はCR[15:0](D[15:0]/MFT_CMPレジスタ)とPRD[15:0](D[15:0]/MFT_PRDレジスタ)で設定します。

* **CR[15:0]**: Compare Data Bits in the MFT Compare Data (MFT_CMP) Register (D[15:0]/0x5204)

* **PRD[15:0]**: Period Data Bits in the MFT Period Data (MFT_PRD) Register (D[15:0]/0x5202)

BUFENが0に設定されている場合、これらのレジスタを介してコンペアデータ/ピリオドデータレジスタが直接読み出し/書き込み可能です。

BUFENが1に設定されている場合、これらのレジスタへのデータ書き込み/読み出しはコンペア/ピリオドレジスタバッファに対して行われます。バッファの内容はカウンタがリセットされた時点でコンペアデータ/ピリオドデータレジスタにロードされます。

イニシャルリセット時、コンペアデータ/ピリオドデータレジスタおよびバッファは0に初期化されます。

MFTはコンペアデータレジスタとカウントデータを比較し、同じ値になったところでコンペアマッチ信号を発生します。また、ピリオドデータレジスタとカウントデータも比較し、同じ値になったところでピリオドマッチ信号を発生します。コンペアマッチ信号とピリオドマッチ信号は割り込みを発生するとともに外部へのクロック(TM0と#TM0信号)出力を制御します。

ピリオドマッチ信号はカウンタのリセットにも使用されます。

カウンタのリセット

MFTのアップカウンタは、PRST(D1/MFT_CTLレジスタ)によってリセットできます。

* **PRST**: Timer Reset Bit in the MFT Control (MFT_CTL) Register (D1/0x5206)

通常は、カウントアップを開始する前に、このビットに1を書き込みカウンタをリセットします。

カウント開始後は、ピリオドマッチの発生によってカウンタがリセットされます。

タイマのRUN/STOP制御

MFTには、RUN/STOPを制御するTMEN(D0/MFT_CTLレジスタ)が設けられています。

* **TMEN**: Timer Run/Stop Control Bit in the MFT Control (MFT_CTL) Register (D0/0x5206)

タイマはTMENに1を書き込むことによってカウントを開始します。TMENに0を書き込むとクロックの入力が禁止され、カウントは停止します。

このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

カウント中にカウンタがコンペアデータレジスタの設定値に一致すると、コンペアマッチ割り込みが発生します。

また、カウンタがピリオドデータレジスタの設定値に一致すると、ピリオドマッチ割り込みが発生するとともに、カウンタがリセットされます。BUFENが1に設定されている場合は、コンペアレジスタバッファとピリオドレジスタバッファに設定してある値がそれぞれコンペアデータレジスタとピリオドデータレジスタにロードされます。

どちらの割り込みが発生した場合もカウント動作はそのまま継続します。ピリオドマッチ割り込みの場合はカウンタ値0からのカウントとなります。

PRSTとTMENに同時に1を書き込んだ場合、タイマはカウンタをリセット後にカウントを開始します。



図IV.2.5.1 カウンタの基本動作タイミング

カウンタデータの読み出し

カウンタデータはTC[15:0](D[15:0]/MFT_TCレジスタ)から任意のタイミングで読み出しが可能です。

* TC[15:0]: Counter Data Bits in the MFT Counter Data (MFT_TC) Register (D[15:0]/0x5200)

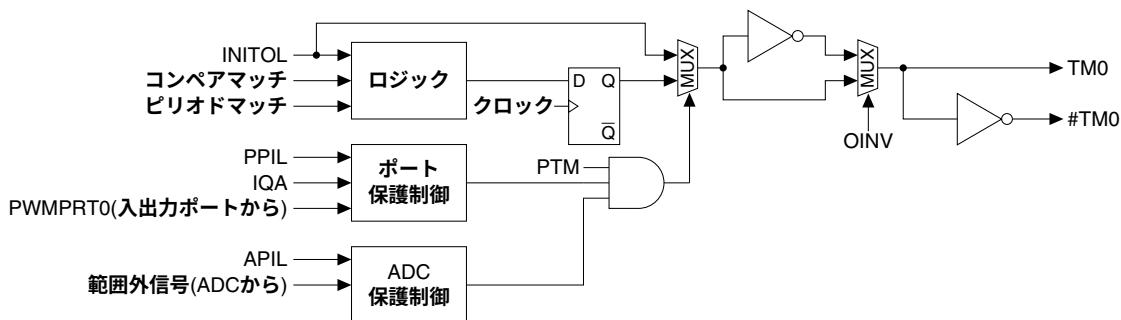
カウンタデータの書き込み

TC[15:0]に任意のタイミングでカウンタデータを書き込むことができます。これにより、割り込み/クロック出力の周期を一時的に変更することが可能になります。

IV.2.6 クロック出力の制御

タイマは、コンペアマッチ信号とピリオドマッチ信号からTM0と#TM0信号を生成します。

図IV.2.6.1にMFTのクロック出力回路を示します。



図IV.2.6.1 MFTのクロック出力回路

初期出力レベルの設定

クロック出力がOffの状態でのデフォルト出力レベルは0(Lowレベル)です。これをINITOL(D1/MFT_IOCTLレジスタ)で1(Highレベル)に変更することができます。

* **INITOL**: Initial Output Level Bit in the MFT Input/Output Control (MFT_IOCTL) Register (D1/0x521e)

INITOLが0(デフォルト)の場合、初期出力レベルはLowです。1に設定すると、初期出力レベルはHighになります。

タイマ出力をOffにすると、出力端子はここで設定した初期出力レベルになります。

信号のアクティブレベル選択

デフォルトでは、アクティブHigh(ノーマルLow)の出力信号が生成されます。この論理をOINV(D0/MFT_IOCTLレジスタ)で反転させることができます。OINVに1を書き込むと、タイマはアクティブLow(ノーマルHigh)の信号を生成します。

* **OINV**: Inverse Output Bit in the MFT Input/Output Control (MFT_IOCTL) Register (D0/0x521e)

OINVを1に設定すると、INITOLで設定した初期出力レベルも反転します。

出力波形については図IV.2.6.2を参照してください。

出力端子の設定

ここで発生したTM0(#TM0)信号は、クロック出力端子(表IV.2.2.1参照)から出力可能で、外部デバイス等に対してプログラマブルなクロックを供給することができます。

イニシャルリセット時、出力に使用する端子は入出力ポート用に設定され、入力モードとなります。このときの端子の状態はハイインピーダンスとなります。

端子機能をタイマ出力に切り換えると、INITOLおよびOINVの設定に従ったレベルの出力を行います。タイマ出力を開始後、カウンタ値によって出力が変化するまで出力はこのレベルに保たれます。

表IV.2.6.1 初期出力レベル

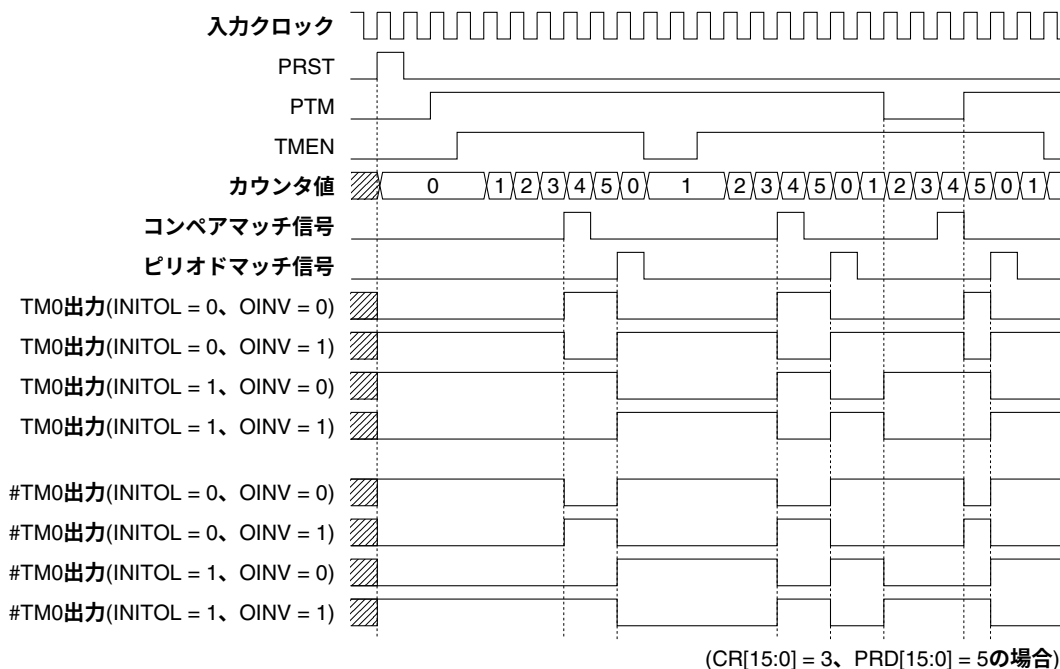
INITOL	OINV	初期出力レベル(TM0)
1	1	Low
1	0	High
0	1	High
0	0	Low

クロック出力の開始

TM0(#TM0)クロックを出力するには、クロック出力制御ビットPTM(D2/MFT_IOCTLレジスタ)に1を書き込みます。PTMに0を書き込むと、出力はINITOLおよびOINVの設定値に従った初期出力レベルとなります。

* **PTM**: Clock Output Enable Bit in the MFT Input/Output Control (MFT_IOCTL) Register (D2/0x521e)

図IV.2.6.2に出力波形を示します。



図IV.2.6.2 MFTの出力波形

OINV = 0(アクティブHigh)の場合のTM0出力

タイマは、カウンタがCR[15:0](D[15:0]/MFT_CMPレジスタ)に設定したコンペアデータに一致するまでLowレベル(出力開始時は初期出力レベル)を出力します。カウンタがコンペアデータの次の値になると、出力端子はHighレベルとなりコンペアマッチ割り込みが発生します。その後、カウンタがPRD[15:0](D[15:0]/MFT_PRDレジスタ)に設定したピリオドデータまでカウントアップされると、カウンタがリセットされ、出力端子はLowレベルに戻ります。同時にピリオドマッチ割り込みも発生します。

* **CR[15:0]**: Compare Data Bits in the MFT Compare Data (MFT_CMP) Register (D[15:0]/0x5204)

* **PRD[15:0]**: Period Data Bits in the MFT Period Data (MFT_PRD) Register (D[15:0]/0x5202)

OINV = 1(アクティブLow)の場合のTM0出力

タイマは、カウンタがCR[15:0](D[15:0]/MFT_CMPレジスタ)に設定したコンペアデータに一致するまでHighレベル(出力開始時は初期出力レベルの反転値)を出力します。カウンタがコンペアデータの次の値になると、出力端子はLowレベルとなりコンペアマッチ割り込みが発生します。その後、カウンタがPRD[15:0](D[15:0]/MFT_PRDレジスタ)に設定したピリオドデータまでカウントアップされると、カウンタがリセットされ、出力端子はHighレベルに戻ります。同時にピリオドマッチ割り込みも発生します。

IGBT制御用出力保護機能

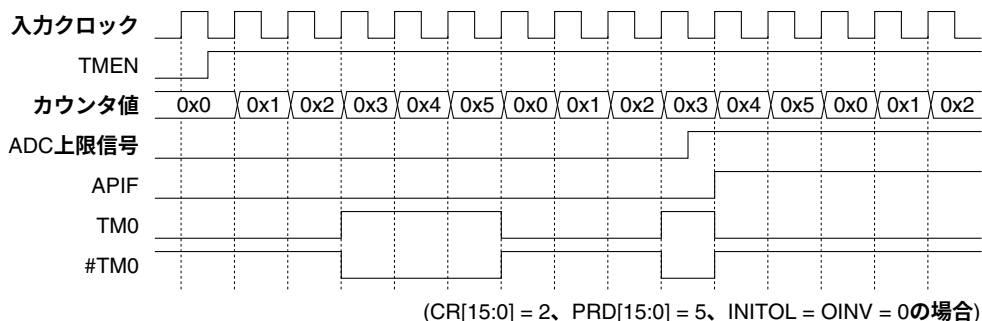
MFTには、外部IGBTの安全動作のための電源保護機能が備わっています。電源保護機能を有効にした状態で保護入力がアクティブになると、PWM出力端子は即時に初期レベルとなります。同時に割り込みも発生可能です。この割り込みは、IGBTを監視するプログラムへ、過電圧、過電流、温度上昇などの異常を通知するのに使用可能です。ADCの範囲外信号やポート入力を電源保護の制御に使用可能です。

ADC保護

APIE(D1/MFT_IEレジスタ)を1に設定すると、ADC CH.0を保護検出入力とするADC保護が有効になります。ADCは、指定チャネルの変換結果が指定範囲内かどうかを確認するための機能を持っています。検出結果がソフトウェアで指定した上限値より高いか、あるいは下限値より低い場合、ADCは範囲外信号を出力すると共に割り込みを発生します。MFTは、ADC CH.0により生成された範囲外信号を使用して電源保護の制御を行います。上限と下限のどちらの範囲外信号を使用するかについて、APIL(D6/MFT_IOCTLレジスタ)で選択します。上限値より高いA/D変換結果が得られた場合にPWM出力を禁止(初期レベルを出力)するには、APILを0(デフォルト)に設定しておきます。下限値より低いA/D変換結果が得られた場合にPWM出力を禁止するには、APILを1に設定します。上限値と下限値はADCモジュールのAD_UPPERレジスタ(0x5558)とAD_LOWERレジスタ(0x555a)で設定できます。指定の範囲外信号がADCによってアクティブになると、APIF(D1/MFT_IFレジスタ)が1にセットされます。APIEが1に設定されていれば、MFTはPWM出力端子を強制的に初期レベル(PWM出力禁止)に設定します。

- * **APIE**: ADC Protection Interrupt Enable Bit in the MFT Interrupt Enable (MFT_IE) Register (D1/0x5230)
- * **APIF**: ADC Protection Interrupt Flag Bit in the MFT Interrupt Flag (MFT_IF) Register (D1/0x5238)
- * **APIL**: ADC Protection Input Selection Bit in the MFT Input/Output Control (MFT_IOCTL) Register (D6/0x521e)

図IV.2.6.3にADC保護(上限保護)のタイミングを示します。



図IV.2.6.3 IGBT出力のADC保護

ポート保護

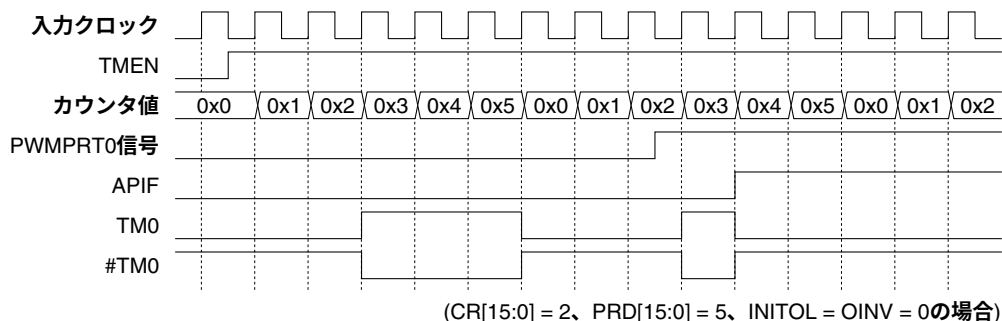
MFTには専用の入力ポートPWMPRT0を使用するポート保護機能も組み込まれています。この機能を使用するには、PPIE(D0/MFT_IEレジスタ)を1に設定します。PPIL(D5/MFT_IOCTLレジスタ)により、保護入力信号レベルをHighレベルにするかLowレベルにするか選択できます。PPILを1に設定した場合、PWMPRT0入力信号がLowになるとPWM出力が禁止され、PPIF(D0/MFT_IFレジスタ)が1にセットされてポート保護割り込みが発生します。PPILが0(デフォルト)に設定されている場合は、PWMPRT0入力信号がHighになるとPWM出力が禁止され、PPIF(D0/MFT_IFレジスタ)が1にセットされます。

- * **PPIE**: Port Protection Interrupt Enable Bit in the MFT Interrupt Enable (MFT_IE) Register (D0/0x5230)
- * **PPIF**: Port Protection Interrupt Flag Bit in the MFT Interrupt Flag (MFT_IF) Register (D0/0x5238)
- * **PPIL**: Port Protection Input Level Selection Bit in the MFT Input/Output Control (MFT_IOCTL) Register (D5/0x521e)

ノイズによってポート保護が働くことを防ぐため、MFTのPWMPRT0入力部にはノイズフィルタが設けられており、ノイズとして除去するパルス幅をIQA(D4/MFT_IOCTLレジスタ)で選択できます。IQAを1に設定すると、システムクロックの12サイクル以下のパルスはノイズと見なされ、有効な入力としては受け付けられません。IQAが0(デフォルト)に設定されている場合、システムクロックの6サイクル以下のパルスはノイズと見なされます。

- * **IQA**: Port Protection Input Noise Filter Bit in the MFT Input/Output Control (MFT_IOCTL) Register (D4/0x521e)

図IV.2.6.4ポート保護(Highレベル保護)のタイミングを示します。



図IV.2.6.4 IGBT出力のポート保護

注意事項

- (1) コンペアデータレジスタとピリオドデータレジスタに同じ値を設定すると、ハザードパルスが出力されることがあります。タイマ出力を使用する場合は、MFT_CMP = MFT_PRDには設定しないでください。割り込み機能のみを使用する場合は、MFT_CMP = MFT_PRDでも問題ありません。
- (2) タイマ出力を使用する場合、コンペア/ピリオドデータはMFT_CMP $\geq$ 0、MFT_PRD $\geq$ 1に設定してください。最小設定はMFT_CMP = 0、MFT_PRD = 1で、タイマ出力サイクルは入力クロックの1/2となります。
- (3) コンペア/ピリオドデータをMFT_CMP > MFT_PRDに設定すると、コンペアマッチ信号は発生しません。この場合、タイマ出力はOFFレベルに固定されます。

IV

MFT

IV.2.7 MFT割り込み

MFTモジュールには、以下の4種類の割り込みを発生させる機能があります。

- コンペアマッチ割り込み
- ピリオドマッチ割り込み
- ADC保護割り込み
- ポート保護割り込み

MFTモジュールは、上記4種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、MFTモジュール内の割り込みフラグを読み出してください。

コンペアマッチ割り込み

この割り込み要求は、カウント中にカウンタがコンペアデータレジスタの設定値に一致すると発生し、MFTモジュール内の割り込みフラグCMPIF(D3/MFT_IFレジスタ)を1にセットします。

* **CMPIF**: Compare-Match Interrupt Flag Bit in the MFT Interrupt Flag (MFT_IF) Register (D3/0x5238)

この割り込みを使用するには、CMPIE(D3/MFT_IEレジスタ)を1に設定します。CMPIEが0(デフォルト)に設定されているとCMPIFが1にセットされず、この要因による割り込み要求はITCに送られません。

* **CMPIE**: Compare-Match Interrupt Enable Bit in the MFT Interrupt Enable (MFT_IE) Register (D3/0x5230)

CMPIFが1にセットされるとMFTモジュールは割り込み要求をITCに出力します。この割り込み要求信号により、ITC内のMFT割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

MFT割り込みがコンペアマッチによるものかどうかについては、MFT割り込み処理ルーチンでCMPIFを読み出して確認してください。

また、割り込み処理ルーチン内では、ITCのMFT割り込みフラグではなくMFTモジュールのCMPIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

ピリオドマッチ割り込み

この割り込み要求は、カウント中にカウンタがピリオドデータレジスタの設定値に一致すると発生し、MFTモジュール内の割り込みフラグPRDIF(D2/MFT_IFレジスタ)を1にセットします。

* **PRDIF**: Period-Match Interrupt Flag Bit in the MFT Interrupt Flag (MFT_IF) Register (D2/0x5238)

この割り込みを使用するには、PRDIE(D2/MFT_IEレジスタ)を1に設定します。PRDIEが0(デフォルト)に設定されているとPRDIFが1にセットされず、この要因による割り込み要求はITCに送られません。

* **PRDIE**: Period-Match Interrupt Enable Bit in the MFT Interrupt Enable (MFT_IE) Register (D2/0x5230)

PRDIFが1にセットされるとMFTモジュールは割り込み要求をITCに出力します。この割り込み要求信号により、ITC内のMFT割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

MFT割り込みがピリオドマッチによるものかどうかについては、MFT割り込み処理ルーチンでPRDIFを読み出して確認してください。

また、割り込み処理ルーチン内では、ITCのMFT割り込みフラグではなくMFTモジュールのPRDIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

ADC保護割り込み

この割り込み要求は、A/D変換器CH.0がA/D変換後にMFTに入力される範囲外信号(上限または下限信号を選択可能)をアクティブにすると発生し、MFTモジュール内の割り込みフラグAPIF(D1/MFT_IFレジスタ)を1にセットします。

*** APIF: ADC Protection Interrupt Flag Bit in the MFT Interrupt Flag (MFT_IF) Register (D1/0x5238)**

PWM出力を禁止すると共にこの割り込みを使用するには、APIE(D1/MFT_IEレジスタ)を1に設定します。APIFが0(デフォルト)に設定されていてもAPIFは1にセットされますが、この要因による割り込み要求はITCに送られません。また、PWM出力も初期レベルにはなりません。

*** APIE: ADC Protection Interrupt Enable Bit in the MFT Interrupt Enable (MFT_IE) Register (D1/0x5230)**

APIEが1に設定されている状態でAPIFが1にセットされると、MFTモジュールは割り込み要求をITCに出力します。この割り込み要求信号により、ITC内のMFT割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

MFT割り込みがADC保護入力によるものかどうかについては、MFT割り込み処理ルーチンでAPIFを読み出して確認してください。

また、割り込み処理ルーチン内では、ITCのMFT割り込みフラグではなくMFTモジュールのAPIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

ポート保護割り込み

この割り込み要求は、指定レベル(HighまたはLow)の信号がPWMPRT0端子に入力されると発生し、MFTモジュール内の割り込みフラグPPIF(D0/MFT_IFレジスタ)を1にセットします。

*** PPIF: Port Protection Interrupt Flag Bit in the MFT Interrupt Flag (MFT_IF) Register (D0/0x5238)**

PWM出力を禁止すると共にこの割り込みを使用するには、PPIE(D0/MFT_IEレジスタ)を1に設定します。PPIFが0(デフォルト)に設定されていてもPPIFは1にセットされますが、この要因による割り込み要求はITCに送られません。また、PWM出力も初期レベルにはなりません。

*** PPIE: Port Protection Interrupt Enable Bit in the MFT Interrupt Enable (MFT_IE) Register (D0/0x5230)**

PPIEが1に設定されている状態でPPIFが1にセットされると、MFTモジュールは割り込み要求をITCに出力します。この割り込み要求信号により、ITC内のMFT割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

MFT割り込みがポート保護入力によるものかどうかについては、MFT割り込み処理ルーチンでPPIFを読み出して確認してください。

また、割り込み処理ルーチン内では、ITCのMFT割り込みフラグではなくMFTモジュールのPPIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

注: 不要な割り込みの発生を防止するため、CMPPIE、PRDIE、APIE、またはPPIEによってMFT割り込みを許可する前に、対応するCMPPIF、PRDIF、APIF、またはPPIFをリセットしてください。

IV

MFT

MFT割り込み用ITCレジスタ

前述の設定により、割り込みを許可されたMFT割り込み要因が発生すると、MFTモジュールは割り込み信号をITCに出力します。MFT割り込みを発生させるには、ITCレジスタで割り込みレベルと割り込み許可の設定を行ってください。

以下に、MFT用のITC制御ビットを示します。

ITC内の割り込みフラグ

* **AIFT0**: MFT Interrupt Flag Bit in the Additional Interrupt Flag (ITC_AIFLG) Register (D0/0x42e0)

ITC内の割り込みイネーブルビット

* **AIEN0**: MFT Interrupt Enable Bit in the Additional Interrupt Enable (ITC_AEN) Register (D0/0x42e2)

ITC内の割り込みレベル設定ビット

* **AILV0[2:0]**: MFT Interrupt Level Bits in the Additional Interrupt Level Setup (ITC_AILV0) Register 0 (D[2:0]/0x42e6)

割り込みが許可されたMFT割り込み要因が発生すると、AIFT0が1にセットされます。

このとき、AIEN0が1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。MFTによる割り込みを禁止するには、AIEN0を0に設定しておきます。AIFT0は、AIEN0の設定にかかわらず(0に設定されていても)、MFTモジュールからの割り込み信号によって1にセットされます。

AILV0[2:0]は、MFT割り込みのレベル(0~7)を設定します。

S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- MFT割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“III.1 割り込みコントローラ(ITC)”を参照してください。

注: MFT割り込み発生後は、割り込み処理ルーチン内で、MFTモジュール内の割り込みフラグCMPIF、PRDIF、APIF、またはPPIFをリセットしてください(これによりITCの割り込みフラグもリセットされます)。

割り込みベクタ

MFT割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号: 8 (0x8)

ベクタアドレス: TTBR + 0x20

IV.2.8 制御レジスタ詳細

表IV.2.8.1 MFTレジスタ一覧

アドレス	レジスタ名		機 能
0x5200	MFT_TC	MFT Counter Data Register	カウンタデータ
0x5202	MFT_PRD	MFT Period Data Register	ピリオドデータの設定
0x5204	MFT_CMP	MFT Compare Data Register	コンペアデータの設定
0x5206	MFT_CTL	MFT Control Register	タイマモードの設定とタイマのRUN/STOP
0x521e	MFT_IOCTL	MFT Input/Output Control Register	クロック入出力の制御
0x5230	MFT_IE	MFT Interrupt Enable Register	MFT割り込みイネーブル
0x5238	MFT_IF	MFT Interrupt Flag Register	MFT割り込み発生状態の表示
0x527e	MFT_TST	MFT Test Register	MFTテスト機能の制御

以下、MFTのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5200: MFT Counter Data Register (MFT_TC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
MFT Counter Data Register (MFT_TC)	0x5200 (16 bits)	D15–0	TC[15:0]	Counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0x0	R/W	

D[15:0] TC[15:0]: Counter Data Bits

カウンタのデータが読み出せます。(デフォルト: 0x0)

また、このレジスタへの書き込みにより、データをカウンタに設定することができます。

0x5202: MFT Period Data Register (MFT_PRD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
MFT Period Data Register (MFT_PRD)	0x5202 (16 bits)	D15–0	PRD[15:0]	Period data PRD15 = MSB PRD0 = LSB	0x0 to 0xffff	0x0	R/W	

D[15:0] PRD[15:0]: Period Data Bits

ピリオドデータを設定します。(デフォルト: 0x0)

BUFEN(D7/MFT_CTLレジスタ)が0に設定されている場合、このアドレスを介してピリオドデータレジスタが直接読み出し/書き込み可能です。

BUFENが1に設定されている場合、このアドレスへのデータ書き込み/読み出しはピリオドデータバッファに対して行われます。バッファの内容はカウンタがリセットされた時点でピリオドデータレジスタにロードされます。

設定したデータがカウンタデータと比較され、内容が一致したところでピリオドマッチ割り込みが発生します。同時に、タイマ出力波形が変化し(OINV(D0/MFT_IOCTLレジスタ) = 0の場合は立ち下がり、OINV = 1の場合は立ち上がります)、カウンタが0にリセットされます。

0x5204: MFT Compare Data Register (MFT_CMP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
MFT Compare Data Register (MFT_CMP)	0x5204 (16 bits)	D15–0	CR[15:0]	Compare data CR15 = MSB CR0 = LSB	0x0 to 0xffff	0x0	R/W	

D[15:0] CR[15:0]: Compare Data Bits

コンペアデータを設定します。(デフォルト: 0x0)

BUFEN(D7/MFT_CTLレジスタ)が0に設定されている場合、このアドレスを介してコンペアデータレジスタが直接読み出し/書き込み可能です。

BUFENが1に設定されている場合、このアドレスへのデータ書き込み/読み出しはコンペアデータバッファに対して行われます。バッファの内容はカウンタがリセットされた時点でコンペアデータレジスタにロードされます。

設定したデータがカウンタデータと比較され、内容が一致したところでコンペアマッチ割り込みが発生します。同時に、タイマ出力波形が変化し(OINV(D0/MFT_IOCTLレジスタ) = 0の場合は立ち上がり、OINV = 1の場合は立ち下がります)。これらの処理は、カウンタのデータやカウントアップ動作には影響を与えません。

0x5206: MFT Control Register (MFT_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
MFT Control Register (MFT_CTL)	0x5206 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11	TPSON	Clock control	1 On 0 Off	0	R/W	
		D10–8	TPS[2:0]	Clock division ratio selection (Prescaler output clock)	TPS[2:0] Count clock 0x7 MFT_CLK•1/128 0x6 MFT_CLK•1/64 0x5 MFT_CLK•1/32 0x4 MFT_CLK•1/16 0x3 MFT_CLK•1/8 0x2 MFT_CLK•1/4 0x1 MFT_CLK•1/2 0x0 MFT_CLK•1/1	0x0	R/W	
		D7	BUFEN	Comparison/period buffer enable	1 Enable 0 Disable	0	R/W	
		D6	–	reserved	–	–	–	0 when being read.
		D5	TCKS	Input clock selection	1 External 0 Internal	0	R/W	
		D4–2	–	reserved	–	–	–	0 when being read.
		D1	PRST	Timer reset	1 Reset 0 Ignored	0	W	
		D0	TMEN	Timer run/stop control	1 Run 0 Stop	0	R/W	

D[15:12] Reserved

D11 TPSON: Clock Control Bit

MFTプリスケラからのカウントクロックの出力をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

MFTのカウントを開始する前に、このビットに1を書き込んでください。

D[10:8] TPS[2:0]: Clock Division Ratio Selection Bits

8種類のプリスケラ出力クロックから、MFTのカウントクロックを選択します。

表IV.2.8.2 カウントクロックの選択

TPS[2:0]	カウントクロック
0x7	MFT_CLK•1/128
0x6	MFT_CLK•1/64
0x5	MFT_CLK•1/32
0x4	MFT_CLK•1/16
0x3	MFT_CLK•1/8
0x2	MFT_CLK•1/4
0x1	MFT_CLK•1/2
0x0	MFT_CLK•1/1

(デフォルト: 0x0)

注: カウントクロックの設定は、MFTがカウント停止中に行ってください。

D7 BUFEN: Comparison/Period Data Buffer Enable Bit

コンペア/ピリオドデータバッファへの書き込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

BUFENが1に設定されていると、コンペアデータとピリオドデータの書き込み/読み出しがコンペアデータバッファとピリオドデータバッファに対して行われます。バッファの内容は、カウンタがソフトウェアまたはピリオドマッチ信号によってリセットされた時点でコンペアデータレジスタとピリオドデータレジスタにロードされます。

BUFENが0に設定されている場合は、コンペアデータとピリオドデータの書き込み/読み出しがコンペアデータレジスタとピリオドデータレジスタに対して直接行われます。

D6 Reserved

D5 TCKS: Input Clock Selection Bit

MFTの入力クロックを選択します。

1(R/W): 外部クロック

0(R/W): 内部クロック(デフォルト)

TCKSに0を書き込んだ場合は、タイマの入力クロックとして内部クロック(プリスケアラ出力)が選択されます。1を書き込んだ場合は外部クロック(EXCL0端子から入力するクロック)が選択され、イベントカウンタとして機能します。この場合、対応するポート機能選択レジスタでクロック入力端子を設定しておく必要があります。

D[4:2] Reserved

D1 PRST: Timer Reset Bit

カウンタをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

PRSTに1を書き込むことによって、MFTがリセットされます。

D0 TMEN: Timer Run/Stop Control Bit

タイマのRUN/STOPを制御します。

1(R/W): RUN

0(R/W): STOP(デフォルト)

MFTはTMENに1を書き込むことによってカウントアップを開始し、0の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

0x521e: MFT Input/Output Control Register (MFT_IOCTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
MFT Input/ Output Control Register (MFT_IOCTL)	0x521e (16 bits)	D15-7	—	reserved	—	—	—	0 when being read.
		D6	APIL	ADC protection input selection	1 Lower limit	0 Upper limit	0 R/W	
		D5	PPIL	Port protection input level selection	1 Low level	0 High level	0 R/W	
		D4	IQA	Port protection input noise filter	1 12 clocks	0 6 clocks	0 R/W	
		D3	—	reserved	—	—	—	0 when being read.
		D2	PTM	Clock output enable	1 Enable	0 Disable	0 R/W	
		D1	INITOL	Initial output level	1 High	0 Low	0 R/W	
		D0	OINV	Inverse output	1 Invert	0 Normal	0 R/W	

D[15:7] Reserved

D6 APIL: ADC Protection Input Selection Bit

電源保護に使用するADC範囲外信号を選択します。

1(R/W): 下限信号

0(R/W): 上限信号(デフォルト)

ADC保護はA/D変換結果が指定範囲外のときにPWM出力を停止する機能です。この機能を使用する場合は、保護機能を作動させるADC出力信号を、本ビットを使用して下限信号または上限信号から選択します。

なお、ADC保護機能は、APIE(D1/MFT_IEレジスタ)を1に設定することにより有効となります。

D5 PPIL: Port Protection Input Level Selection Bit

電源保護に使用するポート入力信号のレベルを選択します。

1(R/W): Lowレベル

0(R/W): Highレベル(デフォルト)

ポート保護はPWMPRT0入力信号によりPWM出力を停止する機能です。この機能を使用する場合は、保護機能を作動させる入力信号レベルを、本ビットを使用して選択します。

なお、ポート保護機能は、PIIE(D0/MFT_IEレジスタ)を1に設定することにより有効となります。

D4 IQA: Port Protection Input Noise Filter

ポート保護入力信号用のノイズフィルタを設定します。

1(R/W): 12クロック

0(R/W): 6クロック(デフォルト)

ノイズによってポート保護が働くことを防ぐため、MFTのPWMPRT0入力部にはノイズフィルタが設けられており、ノイズとして除去するパルス幅をIQAで選択できます。IQAを1に設定すると、システムクロックの12サイクル以下のパルスはノイズと見なされ、有効な入力としては受け付けられません。IQAが0に設定されている場合、システムクロックの6サイクル以下のパルスはノイズと見なされます。

D3 Reserved

D2 PTM: Clock Output Enable Bit

TM0と#TM0信号(タイマ出力クロック)の出力制御を行います。

1(R/W): On

0(R/W): Off(デフォルト)

PTMに1を書き込むと、TM0と#TM0信号が出力されます。PTMに0を書き込むことによって出力は停止し、OINV(D0)およびINITOL(D1)の設定値に従ったOFFレベルとなります。TM0と#TM0信号を出力する前に、対応するポート機能選択レジスタでクロック出力端子を設定しておく必要があります。

IV

MFT

D1 INITOL: Initial Output Level Bit

タイマ出力の初期出力レベルを設定します。

1(R/W): High

0(R/W): Low(デフォルト)

クロック出力をPTM(D2)への0書き込みによりOFFした場合、またはタイマをPRST(D1/MFT_CTLレジスタ)への1書き込みによりリセットした場合、タイマ出力端子はここで設定した初期出力レベルになります。ただし、OINV(D0)が1の場合、このレベルは反転します。

D0 OINV: Inverse Output Bit

タイマ出力信号の極性を選択します。

1(R/W): 反転(アクティブLow)

0(R/W): 通常(アクティブHigh) (デフォルト)

OINVに1を書き込むと、TM0出力用にアクティブLowの信号(Offレベル = High)が生成されます(#TM0はアクティブHigh)。OINVが0の場合は、TM0出力用にアクティブHighの信号(Offレベル = Low)が生成されます(#TM0はアクティブLow)。

本ビットへの1書き込みはINITOL(D1)で設定した初期出力レベルも反転します。

0x5230: MFT Interrupt Enable Register (MFT_IE)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
MFT Interrupt Enable Register (MFT_IE)	0x5230 (16 bits)	D15-4	—	reserved	—			—	—	0 when being read.
		D3	CMPIE	Compare-match interrupt enable	1	Enable	0	Disable	0	R/W
		D2	PRDIE	Period-match interrupt enable	1	Enable	0	Disable	0	R/W
		D1	APIE	ADC protection interrupt enable	1	Enable	0	Disable	0	R/W
		D0	PPIE	Port protection interrupt enable	1	Enable	0	Disable	0	R/W

D[15:4] Reserved**D3 CMPIE: Compare-Match Interrupt Enable Bit**

コンペアマッチによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

CMPIEを1に設定するとITCへのコンペアマッチ割り込み要求が許可され、0に設定すると割り込みが禁止されます。

なお、割り込みを発生させるには、ITCのMFT割り込みイネーブルビットも割り込み許可に設定する必要があります。

D2 PRDIE: Period-Match Interrupt Enable Bit

ピリオドマッチによる割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

PRDIEを1に設定するとITCへのピリオドマッチ割り込み要求が許可され、0に設定すると割り込みが禁止されます。

なお、割り込みを発生させるには、ITCのMFT割り込みイネーブルビットも割り込み許可に設定する必要があります。

D1 APIE: ADC Protection Interrupt Enable Bit

ADC保護割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

APIEを1に設定するとADC保護機能が有効になり、ITCへのADC保護割り込み要求も許可されます。0に設定するとADC保護機能が無効になり、割り込みが禁止されます。

なお、割り込みを発生させるには、ITCのMFT割り込みイネーブルビットも割り込み許可に設定する必要があります。

D0 PPIE: Port Protection Interrupt Enable Bit

ポート保護割り込みを許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

PPIEを1に設定するとポート保護機能が有効になり、ITCへのポート保護割り込み要求も許可されます。0に設定するとポート保護機能が無効になり、割り込みが禁止されます。

なお、割り込みを発生させるには、ITCのMFT割り込みイネーブルビットも割り込み許可に設定する必要があります。

IV**MFT**

0x5238: MFT Interrupt Flag Register (MFT_IF)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
MFT Interrupt Flag Register (MFT_IF)	0x5238 (16 bits)	D15-4	—	reserved	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	—	—	0 when being read.
		D3	CMPIF	Compare-match interrupt flag					0	R/W	Reset by writing 1.
		D2	PRDIF	Period-match interrupt flag					0	R/W	
		D1	APIF	ADC protection interrupt flag					0	R/W	
		D0	PPIF	Port protection interrupt flag					0	R/W	

D[15:4] Reserved**D3 CMPIF: Compare-Match Interrupt Flag Bit**

コンペアマッチ割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

CMPIFはコンペアマッチ割り込みに対応する割り込みフラグです。CMPIE(D3/MFT_IEレジスタ)を1に設定しておくことにより、カウント中にカウンタがコンペアデータレジスタの設定値に一致すると1にセットされます。同時に、ITCに対してMFT割り込み要求信号が出力されます。この割り込み要求信号により、ITC内のMFT割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

CMPIFは1の書き込みによりリセットされます。

D2 PRDIF: Period-Match Interrupt Flag Bit

ピリオドマッチ割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

PRDIFはピリオドマッチ割り込みに対応する割り込みフラグです。PRDIE(D2/MFT_IEレジスタ)を1に設定しておくことにより、カウント中にカウンタがピリオドデータレジスタの設定値に一致すると1にセットされます。同時に、ITCに対してMFT割り込み要求信号が出力されます。この割り込み要求信号により、ITC内のMFT割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

PRDIFは1の書き込みによりリセットされます。

D1 APIF: ADC Protection Interrupt Flag Bit

ADC保護割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

APIFはADC保護割り込みに対応する割り込みフラグです。APIE(D1/MFT_IEレジスタ)を1に設定しておくことにより、A/D変換器CH.0がA/D変換後にMFTに入力される範囲外信号(上限または下限信号を選択可能)をアクティブにすると1にセットされます。同時に、ITCに対してMFT割り込み要求信号が出力されます。この割り込み要求信号により、ITC内のMFT割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

APIFは1の書き込みによりリセットされます。

D0 PPIF: Port Protection Interrupt Flag Bit

ポート保護割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり
- 0(R): 割り込み要因なし(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無効

PPIFはADC保護割り込みに対応する割り込みフラグです。PPIE(D0/MFT_IEレジスタ)を1に設定しておくことにより、指定レベル(HighまたはLow)の信号がPWMPRT0端子に入力されると1にセットされます。同時に、ITCに対してMFT割り込み要求信号が出力されます。この割り込み要求信号により、ITC内のMFT割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

PPIFは1の書き込みによりリセットされます。

- 注:
- MFT割り込み発生後は、割り込み処理ルーチン内で、MFTモジュール内の割り込みフラグCMPIF、PRDIF、APIF、またはPPIFをリセットしてください(これによりITCの割り込みフラグもリセットされます)。
 - 不要な割り込みの発生を防止するため、CMPIE、PRDIE、APIE、またはPPIE(D3、D2、D1、D0/MFT_IEレジスタ)によってMFT割り込みを許可する前に、対応するCMPIF、PRDIF、APIF、またはPPIFをリセットしてください。

IV**MFT**

0x527e: MFT Test Register (MFT_TST)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
MFT Test Register (MFT_TST)	0x527e (16 bits)	D15-7	—	reserved	—	—	—	0 when being read.
		D6	DBGMD	MFT operation in debug mode	1 Stop 0 Run	0	R/W	
		D5-3	—	reserved	—	—	—	0 when being read.
		D2-0	—	reserved	0x7	0x7	—	Fix at 0x7.

D[15:7] Reserved**D6 DBGMD: MFT Operation in Debug Mode Bit**

デバッグモード時のMFT動作を選択します。

1(R/W): 停止

0(R/W): 動作(デフォルト)

DBGMDを0に設定しておく、MFTはデバッグモード中でも動作します。DBGMDが1に設定されていると、S1C17コアがデバッグモードになった時点でMFTは動作を停止します。

D[5:3] Reserved**D[2:0] Reserved**(これらのビットは常時0x7に固定してください。)

IV.2.9 注意事項

- カウントクロックの設定は、MFTが停止中に行ってください。
- コンペアデータレジスタとピリオドデータレジスタに同じ値を設定すると、ハザードパルスが出力されることがあります。タイマ出力を使用する場合は、MFT_CMP = MFT_PRDには設定しないでください。割り込み機能のみを使用する場合は、MFT_CMP = MFT_PRDでも問題ありません。
- タイマ出力を使用する場合、コンペア/ピリオドデータはMFT_CMP $\geq$ 0、MFT_PRD $\geq$ 1に設定してください。最小設定はMFT_CMP = 0、MFT_PRD = 1で、タイマ出力サイクルは入力クロックの1/2となります。
- コンペア/ピリオドデータをMFT_CMP > MFT_PRDに設定すると、コンペアマッチ信号は発生しません。この場合、タイマ出力はOFFレベルに固定されます。
- 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。

IV

MFT

このページはブランクです。

IV.3 ウォッチドッグタイマ(WDT)

IV.3.1 ウォッチドッグタイマの構成

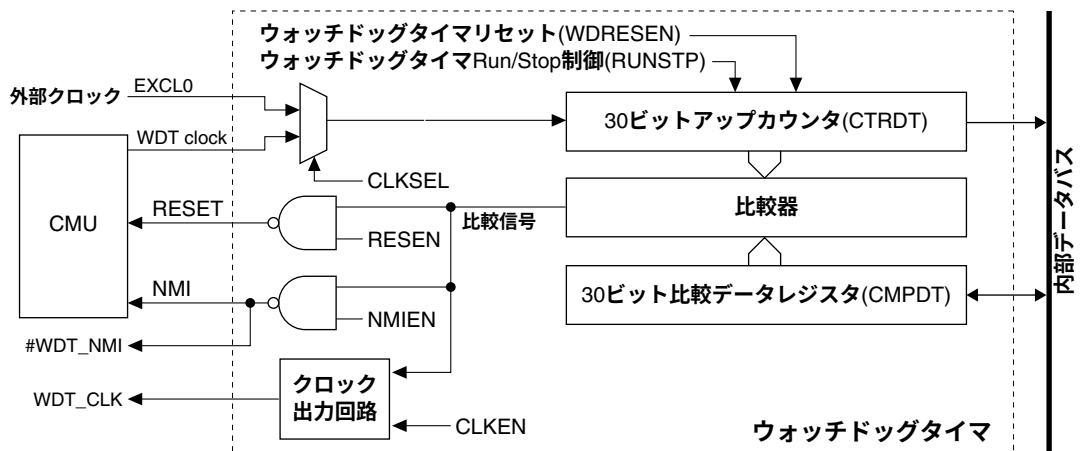
S1C17002は、CPUの暴走を検出するためのウォッチドッグタイマを内蔵しています。ウォッチドッグタイマは30ビットのアップカウンタと比較データレジスタで構成され、プログラマブルな周期でNMIまたは内部リセットを発生可能です。

ソフトウェアによってこの周期以内にウォッチドッグタイマをリセットし、NMI/リセットが発生しないように処理しておくことで、その処理ルーチンを通らないようなプログラムの暴走を検出することができます。

ウォッチドッグタイマのカウントクロックとしては、WDTクロック(= システムクロック)またはMFTの外部クロック入力(EXCL0)のいずれかを選択できます。

また、比較データレジスタで設定されるNMI/リセット発生周期によりクロックを生成し、ウォッチドッグタイマ出力クロックとしてチップ外部に出力することも可能です。

図IV.3.1.1にウォッチドッグタイマのブロック図を示します。



図IV.3.1.1 ウォッチドッグタイマのブロック図

IV.3.2 ウォッチドッグタイマの入出力端子

表IV.3.2.1 ウォッチドッグタイマの入出力端子

端子名	I/O	機能
EXCLO	I	外部クロック入力端子(MFT外部クロック入力)
WDT_CLK	O	ウォッチドッグタイマクロック出力端子
#WDT_NMI	O	ウォッチドッグタイマNMI出力端子

ウォッチドッグタイマのカウンタを外部クロックで動作させる場合はEXCLO端子を、またウォッチドッグタイマで生成するクロックを外部に出力する場合はWDT_CLK端子を使用します。

ウォッチドッグタイマで生成するNMI信号を外部に出力する場合は#WDT_NMI端子を使用します。

注: これらの端子は汎用入出力ポートあるいは他の周辺回路の入出力と兼用されており、初期状態ではウォッチドッグタイマ以外の機能に設定されます。ウォッチドッグタイマのクロック入出力ポートとして使用するには、端子に対応するPort Function Select Registerの設定により機能を切り換える必要があります。

端子の機能と切り換えの詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

IV.3.3 ウォッチドッグタイマの動作クロック

ウォッチドッグタイマモジュールは、CMUから供給されるWDTクロック(= システムクロック)で動作します。イニシャルリセット時は、このクロックが供給されるように設定されますが、ウォッチドッグタイマの動作を停止中、またはウォッチドッグタイマを使用しない場合は、CMUからの供給を停止して消費電流を低減することができます。この制御はCMUのWDT_CLK_EN(D2/CMU_GATEDCLK2レジスタ)で行います。

* **WDT_CLK_EN**: WDT Module Clock Control Bit in the Gated Clock Control 2 (CMU_GATEDCLK2) Register (D2/0x4908)

WDT_CLK_ENを0に設定すると、CMUからウォッチドッグタイマへのクロック供給が停止します。クロックの生成と制御については、“II.2 クロックマネージメントユニット(CMU)”を参照してください。

- 注: • ウォッチドッグタイマのカウントクロックに外部クロックを使用する場合も、WDTクロックはウォッチドッグタイマの動作および制御レジスタのアクセスに必要です。
- Gated Clock Control 2 Register(0x4908)は書き込み保護されています。このレジスタを含め、0x4900～0x4908番地のCMU制御レジスタを書き換えるには、CMU Write Protect Register(0x4920)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、0x4900～0x4908番地の不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はCMU Write Protect Register(0x4920)を0x96以外に設定してください。

IV.3.4 ウォッチドッグタイマの制御

IV.3.4.1 ウォッチドッグタイマの設定

カウントクロックの選択

30ビットのアップカウンタを内部クロックで動作させるか、外部クロック(EXCL0)で動作させるかをCLKSEL(D6/WD_ENレジスタ)で選択できます。

* **CLKSEL**: WDT Input Clock Select Bit in the WDT Enable and Setup (WD_EN) Register (D6/0x5662)

CLKSELが0(デフォルト)の場合は内部クロックが、1に設定すると外部クロック(EXCL0)が選択されます。外部クロックを使用する場合は、デフォルトで入出力ポート用に設定されている端子を、Port Function Select RegisterでEXCL0(MFT外部クロック入力)に設定しておく必要があります。端子の機能と切り換えの詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。WDTクロックの供給制御については、“II.2 クロックマネージメントユニット(CMU)”を参照してください。

NMI/リセット発生周期の設定

NMI/リセットを発生させる周期を設定するために、30ビットの比較データレジスタが設けられています。

* **CMPDT[15:0]**: WDT Comparison Data Bits in the WDT Comparison Data L (WD_CMP_L) Register (D[15:0]/0x5664)

* **CMPDT[29:16]**: WDT Comparison Data Bits in the WDT Comparison Data H (WD_CMP_H) Register (D[13:0]/0x5666)

ここに設定したデータはアップカウンタ値と比較され、アップカウンタ値が比較値と一致すると、指定されたNMI信号またはリセット信号が出力されるようになっています。アップカウンタも、この時点で0にリセットされます。

NMI/リセット発生周期は次の式から求められます。

$$\text{NMI発生周期} = \frac{\text{CMPDT} + 1}{f_{\text{WDTIN}}} \text{ [秒]}$$

CMPDT: CMPDT[29:0] (D[13:0]/WD_CMP_Hレジスタ、D[15:0]/WD_CMP_Lレジスタ)の設定値

f_{WDTIN}: 入力クロック周波数 [Hz]

たとえば、50MHzのクロックを入力する場合、指定可能な最大NMI/リセット発生周期は約21.47秒です。

注: 比較データレジスタには0x1f以下の値は設定しないでください。

NMI/リセット発生機能の選択

指定の周期以内にウォッチドッグタイマがリセットされなかった場合に、NMI信号を出力するにはNMIEN(D1/WD_ENレジスタ)を1に、リセット信号を出力するにはRESEN(D0/WD_ENレジスタ)を1に設定します。

* **NMIEN**: WDT NMI Enable Bit in the WDT Enable and Setup (WD_EN) Register (D1/0x5662)

* **RESEN**: WDT RESET Enable Bit in the WDT Enable and Setup (WD_EN) Register (D0/0x5662)

両方を0にした場合(デフォルト)、アップカウンタは動作可能でクロック出力も可能ですが、NMIまたはリセットは発生しません。

両方を1に設定すると、NMIとリセット信号が両方出力されます。ただし、優先順位の高いリセット処理が実行されます。

NMI信号とリセット信号は、どちらもシステムロックの32サイクル幅のパルスとして出力されます。

注: カウンタと比較レジスタの値によっては、ここでNMIまたはリセット機能をイネーブルにした後に(あるいはウォッチドッグタイマをスタートしていない場合でも)、NMIまたはリセットが発生する場合があります。NMIENまたはRESENに1を書き込む前に、必ず比較データを設定するとともにウォッチドッグタイマをリセットしてください。

ウォッチドッグタイマレジスタの書き込み保護

不要な書き込みによるNMIやリセットの発生を防止するため、WDT Enable and Setup Register(0x5662)とWDT Comparison Data Registers(0x5664、0x5666)は書き込み保護されています。これらのレジスタを書き換えるには、WDT Write Protect Register(0x5660)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、レジスタの設定が終了後は、WDT Write Protect Register(0x5660)を0x96以外に設定して、書き込み保護を有効にしてください。

IV.3.4.2 ウォッチドッグタイマのスタート/ストップ

ウォッチドッグタイマはRUNSTP(D4/WD_ENレジスタ)に1を書き込むことでカウントを開始し、0を書き込むと停止します。

* **RUNSTP**: WDT Run/Stop Control Bit in the WDT Enable and Setup (WD_EN) Register (D4/0x5662)

RUNSTPも書き込み保護されたWDT Enable and Setup Registerにありますので、内容を変更する前にWDT Write Protect Register(0x5660)に0x96を書き込んで、書き込み保護を解除する必要があります。

IV.3.4.3 ウォッチドッグタイマのリセット

ウォッチドッグタイマのNMI/リセット発生機能を使用する場合は、NMI/リセットが発生する前にウォッチドッグタイマをリセットするルーチンを定期的に処理される場所に用意しておきます。このルーチンは前述のNMI/リセット発生周期以内で処理されるようにしてください。

ウォッチドッグタイマはWDRESEN(D0/WD_CTLレジスタ)に1を書き込むことでリセットされます。この時点でアップカウンタが0にリセットされ、そこから新たなNMI/リセット発生周期のカウントを始めています。

* **WDRESEN**: WDT Reset Bit in the WDT Control (WD_CTL) Register (D0/0x566c)

何らかの原因によってウォッチドッグタイマが設定周期以内にリセットされなかった場合、NMIまたはリセットによってCPUはトラップ処理に移行し、処理ルーチンを実行します。

リセットとNMIのベクタアドレスは、それぞれデフォルトで0x20000と0x20008に設定されます。なお、ベクタテーブルのベースアドレスはTTBRで変更することも可能です。

アップカウンタのカウント値は、WDT Count Data Registers(0x5668、0x566a)から任意のタイミングで読み出し可能です。

* **CTRD[T15:0]**: WDT Counter Data Bits in the WDT Count Data L (WD_CNT_L) Register (D[15:0]/0x5668)

* **CTRD[T29:16]**: WDT Counter Data Bits in the WDT Count Data H (WD_CNT_H) Register (D[13:0]/0x566a)

IV.3.4.4 スタンバイモード時の動作

HALTモード時

HALTモード時はクロックが供給されるため、ウォッチドッグタイマは動作します。したがって、NMI/リセット発生周期以上、HALTモードを続けるとNMIまたはリセットによりHALTモードが解除されます。HALTモード時にウォッチドッグタイマを無効にするには、halt命令実行前にNMIEN(D1/WD_ENレジスタ)およびRESEN(D0/WD_ENレジスタ)を0に設定するか、RUNSTP(D4/WD_ENレジスタ)に0を書き込んでウォッチドッグタイマを停止させてください。

NMIEN(D1/WD_ENレジスタ)またはRESEN(D0/WD_ENレジスタ)によりNMIまたはリセットに発生を禁止した場合、ウォッチドッグタイマはHALTモード時もカウントを継続します。HALTモードを解除後にNMIまたはリセットの発生を許可する際には、その前にウォッチドッグタイマをリセットしてください。ウォッチドッグタイマを停止させてHALTモードに移行した場合も、動作を再開させる前にウォッチドッグタイマをリセットしてください。

SLEEPモード時

SLEEPモード時はCMUからのWDTクロックの供給が停止します。したがって、ウォッチドッグタイマも動作を停止します。SLEEPモード解除後に不要なNMIまたはリセットが発生することを防ぐため、slp命令の実行前にウォッチドッグタイマをリセットしてください。また、必要に応じNMIEN(D1/WD_ENレジスタ)およびRESEN(D0/WD_ENレジスタ)によってNMI/リセットの発生を禁止状態に設定してください。

IV.3.4.5 ウォッチドッグタイマのクロック出力

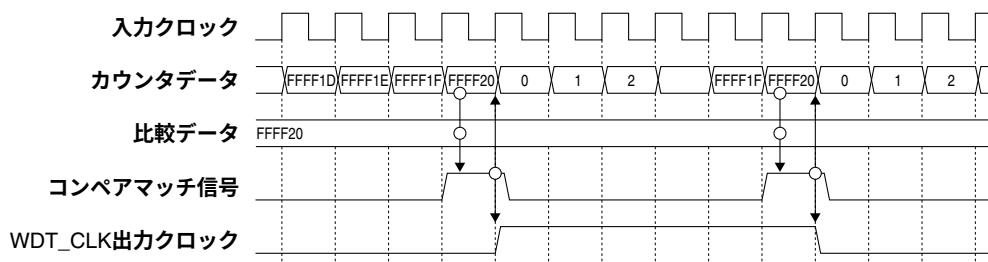
ウォッチドッグタイマはNMI/リセット発生周期のクロックをIC外部に出力することができます。この出力を行うにはWDT_CLK端子を設定した上で、CLKEN(D5/WD_ENレジスタ)を1に設定します。

* **CLKEN:** WDT Clock Output Control Bit in the WDT Enable and Setup (WD_EN) Register (D5/0x5662)

CLKENも書き込み保護されたWDT Enable and Setup Registerにありますので、内容を変更する前にWDT Write Protect Registerに0x96を書き込んで、書き込み保護を解除する必要があります。

ウォッチドッグタイマがソフトウェアでリセットされない場合、クロック出力はNMI発生周期でレベルが反転します。(リセットの発生を禁止している場合)

ソフトウェアでウォッチドッグタイマがリセットされると、クロック出力はその時点でLowレベルになります。

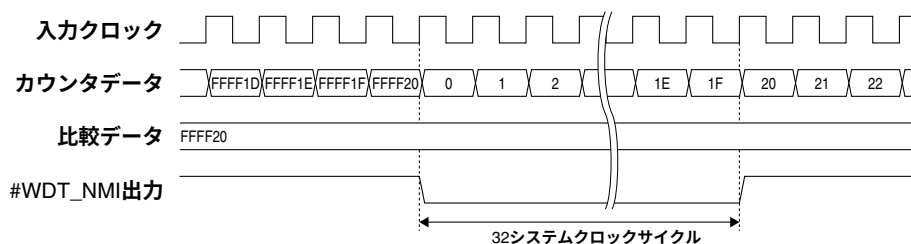


図IV.3.4.5.1 ウォッチドッグタイマのクロック出力

IV.3.4.6 NMI外部出力

ウォッチドッグタイマは生成したNMI信号をIC外部に出力することができます。出力には#WDT_NMI端子を使用しますが、この端子はインシュアルリセットで汎用入出力端子に設定されますので、端子機能を切り換えておく必要があります(I.3.3節参照)。

NMIEN(D1/WD_ENレジスタ)を1に設定すると、NMIの内部出力に加え外部出力も有効となります。ウォッチドッグタイマのカウンタが比較データの値になると、#WDT_NMI端子から32システムクロックサイクルのLowパルスが出力されます。



図IV.3.4.6.1 NMI外部出力

IV.3.5 制御レジスタ詳細

表IV.3.5.1 ウォッチドッグタイマ制御レジスタ一覧

アドレス	レジスタ名		機 能
0x5660	WD_WP	WDT Write Protect Register	WDT制御レジスタ書き込み保護の設定/解除
0x5662	WD_EN	WDT Enable and Setup Register	ウォッチドッグタイマの設定とスタート
0x5664	WD_CMP_L	WDT Comparison Data L Register	比較データ
0x5666	WD_CMP_H	WDT Comparison Data H Register	
0x5668	WD_CNT_L	WDT Count Data L Register	ウォッチドッグタイマカウンタデータ
0x566a	WD_CNT_H	WDT Count Data H Register	
0x566c	WD_CTL	WDT Control Register	ウォッチドッグタイマリセット

以下、ウォッチドッグタイマのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5660: WDT Write Protect Register (WD_WP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
WDT Write Protect Register (WD_WP)	0x5660 (16 bits)	D15-0	WDPTC [15:0]	WDT register write protect flag	Writing 0x96 removes the write protection of the WD_EN, WD_CMP_L, and WD_CMP_H registers (0x5662-0x5666). Writing another value set the write protection.	X	W	0 when being read.

D[15:0] WDPTC[15:0]: WDT Register Write Protect Flag Bits

アドレス0x5662～0x5666の書き込み保護を設定/解除します。

0x96(W): 書き込み保護解除

0x96以外(W): 書き込み保護(デフォルト: 不定)

0x0(R): 読み出し時は常時0x0

WDT Enable and Setup Register(0x5662)とWDT Comparison Data Registers(0x5664、0x5666)を変更する前に、本レジスタに0x96を書き込んで書き込み保護を解除してください。本レジスタが0x96以外に設定されている場合、書き込み命令が問題なく実行されてもレジスタの内容は変更されません。一度本レジスタに0x96を書き込むと、それ以外の値に設定するまでは上記レジスタの書き換えが何度でも行えます。クロック制御レジスタの設定後は、誤書き込み等を防止するため、本レジスタを0x96以外に設定してください。

0x5662: WDT Enable and Setup Register (WD_EN)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
WDT Enable and Setup Register (WD_EN)	0x5662 (16 bits)	D15-7	—	reserved	—		—	—	0 when being read.	
		D6	CLKSEL	WDT input clock select	1	External clk	0	Internal clk	0	R/W
		D5	CLKEN	WDT clock output control	1	On	0	Off	0	R/W
		D4	RUNSTP	WDT Run/Stop control	1	Run	0	Stop	0	R/W
		D3-2	—	reserved	—		—	—	0 when being read.	
		D1	NMIEN	WDT NMI enable	1	Enable	0	Disable	0	R/W
		D0	RESEN	WDT RESET enable	1	Enable	0	Disable	0	R/W

注: 不要な書き込みによるNMIやリセットの発生を防止するため、本レジスタは書き込み保護されています。レジスタを書き換えるには、WDT Write Protect Register(0x5660)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、レジスタの設定が終了後は、WDT Write Protect Register(0x5660)を0x96以外に設定して、書き込み保護を有効にしてください。

D[15:7] Reserved**D6 CLKSEL: WDT Input Clock Select Bit**

ウォッチドッグタイマのカウントクロックを選択します。

1(R/W): 外部クロック(EXCL0)

0(R/W): 内部クロック(デフォルト)

本ビットが0(デフォルト)の場合は内部クロックが、1に設定すると外部クロック(EXCL0)が選択されます。外部クロックを使用する場合は、デフォルトで入出力ポート用に設定されている端子を、Port Function Select RegisterでEXCL0(MFT外部クロック入力)に設定しておく必要があります。端子の機能と切り換えの詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

D5 CLKEN: WDT Clock Output Control Bit

ウォッチドッグタイマのクロック出力を制御します。

1(R/W): On

0(R/W): Off(デフォルト)

本ビットを1に設定すると、NMI/リセット発生周期のクロックが出力されます。ただし、デフォルトで入出力ポート用に設定されている端子を、Port Function Select RegisterでWDT_CLK(ウォッチドッグタイマクロック出力)に設定しておく必要があります。端子の機能と切り換えの詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

D4 RUNSTP: WDT Run/Stop Control Bit

ウォッチドッグタイマをスタート/ストップします。

1(R/W): スタート

0(R/W): ストップ(デフォルト)

NMIまたはリセット発生機能を有効にしている場合は、不要なNMIまたはリセットの発生を防ぐため、ウォッチドッグタイマをスタートする前に必ず比較データを設定するとともにウォッチドッグタイマをリセットしてください。

D[3:2] Reserved

IV

WDT

D1 NMIE: WDT NMI Enable Bit

ウォッチドッグタイマによるNMI信号出力を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

本ビットを1に設定すると、アップカウンタが比較データレジスタの設定値と一致した時点でNMI信号(システムクロックの32サイクル幅のパルス)をCMUと#WDT_NMI端子に出力します。本ビットを0に設定した場合、NMI信号は出力されません。

本ビットの設定にかかわらず、アップカウンタが比較データレジスタの設定値と一致するとアップカウンタは0にリセットされ、カウントを継続します。

D0 RESEN: WDT RESET Enable Bit

ウォッチドッグタイマによる内部リセット信号出力を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

本ビットを1に設定すると、アップカウンタが比較データレジスタの設定値と一致した時点でリセット信号(システムクロックの32サイクル幅のパルス)をCMUに出力します。本ビットを0に設定した場合、リセット信号は出力されません。

0x5664: WDT Comparison Data L Register (WD_CMP_L)**0x5666: WDT Comparison Data H Register (WD_CMP_H)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
WDT Comparison Data L Register (WD_CMP_L)	0x5664 (16 bits)	D15–0	CMPDT [15:0]	WDT comparison data CMPDT0 = LSB	0x0 to 0x3fffff (low-order 16 bits)	0x0	R/W	
WDT Comparison Data H Register (WD_CMP_H)	0x5666 (16 bits)	D15–14 D13–0	– CMPDT [29:16]	reserved WDT comparison data CMPDT29 = MSB	– 0x0 to 0x3fffff (high-order 14 bits)	– 0x0	– R/W	0 when being read.

注: 不要な書き込みによるNMIやリセットの発生を防止するため、本レジスタは書き込み保護されています。レジスタを書き換えるには、WDT Write Protect Register(0x5660)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、レジスタの設定が終了後は、WDT Write Protect Register (0x5660)を0x96以外に設定して、書き込み保護を有効にしてください。

NMI/リセット発生周期をこれらのレジスタで設定します。

NMIまたはリセットの発生が許可されていれば、アップカウンタがこれらのレジスタに設定した比較データに一致した時点でNMIまたはリセット信号が出力されます。

ウォッチドッグタイマからクロック出力を行う場合も、出力クロックの周期がこれらのレジスタで設定されます。

D[15:0]/0x5664 CMPDT[15:0]: WDT Comparison Data Bits (16 low-order bits)

比較データの低位16ビットを設定します。(デフォルト: 0x0)

D[13:0]/0x5666 CMPDT[29:16]: WDT Comparison Data Bits (14 high-order bits)

比較データの上位14ビットを設定します。(デフォルト: 0x0)

注: 比較データとして0x1f以下の値は設定しないでください。

IV**WDT**

0x5668: WDT Count Data L Register (WD_CNT_L)**0x566a: WDT Count Data H Register (WD_CNT_H)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
WDT Count Data L Register (WD_CNT_L)	0x5668 (16 bits)	D15-0	CTRDT [15:0]	WDT counter data CTRDT0 = LSB	0x0 to 0x3ffffff (low-order 16 bits)	X	R	
WDT Count Data H Register (WD_CNT_H)	0x566a (16 bits)	D15-14 D13-0	– CTRDT [29:16]	reserved WDT counter data CTRDT29 = MSB	– 0x0 to 0x3ffffff (high-order 14 bits)	– X	– R	0 when being read.

アップカウンタの現在のカウント値をこれらのレジスタから読み出すことができます。

D[15:0]/0x5668 CTRDT[15:0]: WDT Counter Data Bits (16 low-order bits)

30ビットアップカウンタの下位16ビットが読み出せます。(デフォルト: 不定)

D[13:0]/0x566a CTRDT[29:16]: WDT Counter Data Bits (14 high-order bits)

30ビットアップカウンタの上位14ビットが読み出せます。(デフォルト: 不定)

0x566c: WDT Control Register (WD_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks	
WDT Control Register (WD_CTL)	0x566c (16 bits)	D15-1	—	reserved	—		—	—	0 when being read.
		D0	WDRESEN	WDT reset	1 Reset	0 ignored	0	W	

D[15:1] Reserved**D0 WDRESEN: WDT Reset Bit**

ウォッチドッグタイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

NMIまたはリセット信号出力を許可している場合は、設定したNMI/リセット発生周期以内に本ビットに1を書き込み、ウォッチドッグタイマをリセットする必要があります。この書き込みでアップカウンタは0にリセットされ、そこから新たなNMI/リセット発生周期のカウントを始めます。

IV.3.6 注意事項

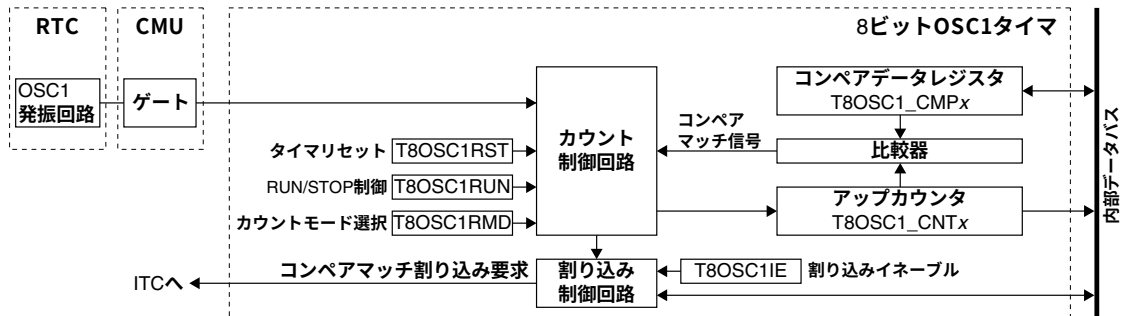
- ウォッチドッグタイマによるNMIまたはリセット信号出力を許可した場合は、設定したNMI/リセット発生周期以内にウォッチドッグタイマをリセットする必要があります。
- 比較データレジスタには0x01f以下の値は設定しないでください。
- カウンタと比較レジスタの値によっては、NMIまたはリセット機能をイネーブルにした後、あるいはウォッチドッグタイマをスタートした後すぐに、NMIまたはリセットが発生する場合があります。NMIEN(D1/WD_ENレジスタ)、RESEN(D0/WD_ENレジスタ)またはRUNSTP(D4/WD_ENレジスタ)に1を書き込む前に、必ず比較データを設定するとともにウォッチドッグタイマをリセットしてください。
 - * **NMIEN**: WDT NMI Enable Bit in the WDT Enable and Setup (WD_EN) Register (D1/0x5662)
 - * **RESEN**: WDT RESET Enable Bit in the WDT Enable and Setup (WD_EN) Register (D0/0x5662)
 - * **RUNSTP**: WDT Run/Stop Control Bit in the WDT Enable and Setup (WD_EN) Register (D4/0x5662)

IV.4 8ビットOSC1タイマ(T8OSC1)

IV.4.1 8ビットOSC1タイマの概要

S1C17002はOSC1クロックを源振とする8ビットOSC1タイマを2チャンネル内蔵しています。

図IV.4.1.1に8ビットOSC1タイマの構造を示します。



図IV.4.1.1 8ビットOSC1タイマの構造 (1チャンネル)

8ビットOSC1タイマには、8ビットのアップカウンタ（T8OSC1_CNTxレジスタ）と8ビットのコンペアデータレジスタ（T8OSC1_CMPxレジスタ）が設けられています。

8ビットカウンタはソフトウェアで0にリセット可能で、OSC1クロック（32.768kHz typ.）でカウントアップを行います。カウント値はソフトウェアで読み出すことができます。

コンペアデータレジスタはアップカウンタの内容と比較するためのデータを格納するレジスタです。カウンタ値がコンペアデータレジスタの内容に一致すると比較器によって信号が出力され、割り込みを制御します。したがって、コンペアデータレジスタにより割り込みの発生周期をプログラマブルに設定することができます。

注: 8ビットOSC1タイマの各チャンネルは、制御レジスタのアドレスを除きすべて同じ機能を持っていますので、本節内の説明は8ビットOSC1タイマの全チャンネルに適用されます。レジスタ名の‘x’はチャンネル番号(0または1)を表します。また、レジスタのアドレスは(CH.0/CH.1)のように記述されています。

例: T8OSC1_CTLxレジスタ (0x4a00/0x4b00)

CH.0: T8OSC1_CTL0レジスタ (0x4a00)

CH.1: T8OSC1_CTL1レジスタ (0x4b00)

IV.4.2 8ビットOSC1タイマのカウントモード

8ビットOSC1タイマはリピートモードとワンショットモードの2つのカウントモードを持っています。この選択は、T8OSC1RMD(D1/T8OSC1_CTLxレジスタ)で行います。

* **T8OSC1RMD**: Count Mode Select Bit in the 8-bit OSC1 Timer CH.x Control (T8OSC1_CTLx) Registers
(D1/0x4a00/0x4b00)

リピートモード(T8OSC1RMD = 0、デフォルト)

T8OSC1RMDを0に設定すると、8ビットOSC1タイマはリピートモードに設定されます。

このモードでは、カウントを開始するとアプリケーションプログラムで停止するまで8ビットOSC1タイマは停止しません。カウンタがコンペアデータに一致すると、タイマはカウンタをリセットしてカウントを継続します。同時に割り込み信号を出力しますので、任意の間隔で周期的な割り込みを発生させる場合に、8ビットOSC1タイマをこのモードに設定してください。

ワンショットモード(T8OSC1RMD = 1)

T8OSC1RMDを1に設定すると、8ビットOSC1タイマはワンショットモードに設定されます。

このモードでは、カウンタがコンペアデータに一致した時点で8ビットOSC1タイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、コンペアマッチ発生時に、タイマはカウンタをリセットしてから停止します。特定の待ち時間を作りたい場合などに、8ビットOSC1タイマをこのモードに設定してください。

注: カウントモードの設定は、8ビットOSC1タイマがカウント停止中に行ってください。

IV.4.3 カウントクロック

8ビットOSC1タイマは、CMUモジュールが出力するOSC1クロックをカウントクロックとして使用します。8ビットOSC1タイマへのOSC1クロックの供給は、T8OSC1_CLK_EN(D3/CMU_GATEDCLK1レジスタ)で制御します。T8OSC1_CLK_ENのデフォルト設定は1で、クロックが8ビットOSC1タイマに供給されるようになっています。8ビットOSC1タイマの動作が不要な場合は、消費電流を抑えるため、T8OSC1_CLK_ENを0に設定してクロック供給を停止してください。

* **T8OSC1_CLK_EN**: 8-bit OSC1 Timer Clock Control Bit in the Gated Clock Control 1 (CMU_GATEDCLK1) Register (D3/0x4907)

注: カウントクロックの設定は、8ビットOSC1タイマがカウント停止中に行ってください。

クロック制御の詳細については、“II.2 クロックマネージメントユニット(CMU)”を参照してください。

IV.4.4 8ビットOSC1タイマのリセット

8ビットOSC1タイマをリセットするには、T8OSC1RSTビット (D4/T8OSC1_CTLxレジスタ)に1を書き込みます。カウンタが0に初期化されます。

- * **T8OSC1RST**: Timer Reset Bit in the 8-bit OSC1 Timer CH.x Control (T8OSC1_CTLx) Registers
(D4/0x4a00/0x4b00)

通常は、カウントアップを開始する前に、このビットに1を書き込みカウンタをリセットします。
カウント開始後は、カウンタがコンペアデータに一致するとハードウェアによってリセットされます。

IV.4.5 コンペアデータの設定

コンペアデータはT8OSC1CMP[7:0](D[7:0]/T8OSC1_CMPxレジスタ)に書き込みます。

* **T8OSC1CMP[7:0]**: Compare Data Bits in the 8-bit OSC1 Timer CH.x Compare Data (T8OSC1_CMPx) Registers (D[7:0]/0x4a02/0x4b02)

イニシャルリセット時、コンペアデータレジスタは0x0に設定されます。

タイマはコンペアデータレジスタとカウントデータを比較し、同じ値になったところでカウンタをリセットすると共にコンペアマッチ信号を発生します。このコンペアマッチ信号により割り込みを発生可能です。

コンペアマッチ周期は次のように計算できます。

$$\text{コンペアマッチ期間} = \frac{\text{CMP} + 1}{\text{clk\_in}} [\text{s}]$$

$$\text{コンペアマッチ周期} = \frac{\text{clk\_in}}{\text{CMP} + 1} [\text{Hz}]$$

CMP: コンペアデータ (T8OSC1_CMPxレジスタ値)

clk_in: 8ビットOSC1タイマカウントクロック周波数

IV.4.6 8ビットOSC1タイマRUN/STOP制御

8ビットOSC1タイマの動作を開始させる前に、以下の設定を行ってください。

- (1) カウントモード(ワンショットまたはリピート)を設定します。IV.4.2節を参照してください。
- (2) 動作クロックを選択します。IV.4.3節を参照してください。
- (3) 割り込みを使用する場合は、割り込みレベルを設定し、8ビットOSC1タイマの割り込みを許可します。IV.4.7節を参照してください。
- (4) タイマをリセットします。IV.4.4節を参照してください。
- (5) コンペアデータを設定します。IV.4.5節を参照してください。

8ビットOSC1タイマには、Run/Stopを制御するT8OSC1RUN(D0/T8OSC1_CTLxレジスタ)が設けられています。

*** T8OSC1RUN:** Timer Run/Stop Control Bit in the 8-bit OSC1 Timer CH.x Control (T8OSC1_CTLx) Registers
(D0/0x4a00/0x4b00)

タイマはT8OSC1RUNに1を書き込むことによってカウントを開始します。T8OSC1RUNに0を書き込むとクロックの入力が禁止され、カウントは停止します。

この制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

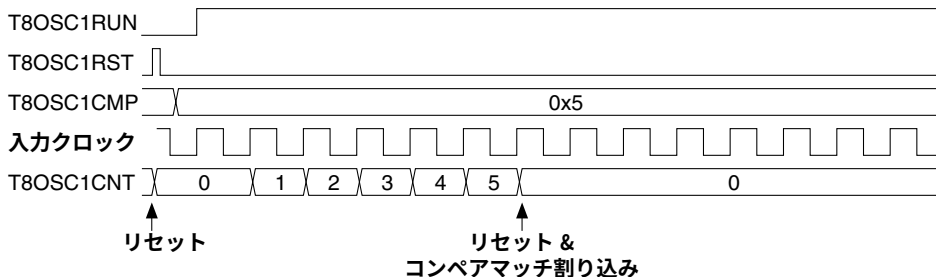
T8OSC1RUNとT8OSC1RSTに同時に1を書き込んだ場合、タイマはカウンタをリセット後にカウントを開始します。

カウント中にカウンタがコンペアデータレジスタの設定値と一致すると、コンペアマッチ信号が出力され、コンペアマッチ割り込み要因が発生します。同時にカウンタが0にリセットされます。割り込みを許可している場合は、割り込み要求が割り込みコントローラ(ITC)に送られます。

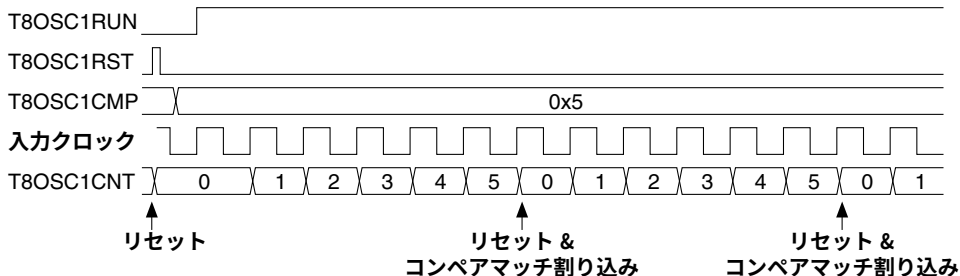
ワンショットモードに設定されている場合、タイマはカウントを停止します。

リピートモードに設定されている場合、タイマは0からカウントを継続します。

ワンショットモード



リピートモード



図IV.4.6.1 カウンタの基本動作タイミング

IV.4.7 8ビットOSC1タイマ割り込み

T8OSC1モジュールは、コンペアマッチにより割り込み要求を割り込みコントローラ(ITC)に出力可能です。

コンペアマッチ割り込み

この割り込み要求は、カウント中にカウンタがコンペアデータレジスタの設定値に一致すると発生し、T8OSC1モジュール内の割り込みフラグT8OSC1IF(D0/T8OSC1_IFLGxレジスタ)を1にセットします。

* **T8OSC1IF**: 8-bit OSC1 Timer Interrupt Flag Bit in the 8-bit OSC1 Timer CH.x Interrupt Flag (T8OSC1_IFLGx) Registers (D0/0x4a04/0x4b04)

この割り込みを使用するには、T8OSC1IE(D0/T8OSC1_IMSKxレジスタ)を1に設定します。T8OSC1IEが0(デフォルト)に設定されているとT8OSC1IFは1にセットされず、この要因による割り込み要求はITCに送られません。

* **T8OSC1IE**: 8-bit OSC1 Timer Interrupt Enable Bit in the 8-bit OSC1 Timer CH.x Interrupt Mask (T8OSC1_IMSKx) Registers (D0/0x4a03/0x4b03)

T8OSC1IFが1にセットされるとT8OSC1モジュールは割り込み要求をITCに出力します。この割り込み要求信号により、ITC内の8ビットOSC1タイマ割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

割り込み処理ルーチン内では、ITCの8ビットOSC1タイマ割り込みフラグではなくT8OSC1モジュールのT8OSC1IFをリセット(1を書き込み)して割り込み要因をクリアしてください。

注: 不要な割り込みの発生を防止するため、T8OSC1IEによって8ビットOSC1タイマ割り込みを許可する前に、T8OSC1IFをリセットしてください。

8ビットOSC1タイマ割り込み用ITCレジスタ

前述の設定により、コンペアマッチが発生すると、8ビットOSC1タイマは割り込み信号をITCに出力します。

8ビットOSC1タイマ割り込みを発生させるには、ITCレジスタで割り込みレベルと割り込み許可の設定を行ってください。

表IV.4.7.1に、各タイマチャンネル用のITC制御レジスタを示します。

表IV.4.7.1 ITCレジスタ

チャンネル	割り込みフラグ	割り込みイネーブルビット	割り込みレベル設定ビット
CH.0	AIFT5 (D5/ITC_AIFLG)	AIEN5 (D5/ITC_AEN)	AILV5[2:0] (D[10:8]/ITC_AILV2)
CH.1	AIFT6 (D6/ITC_AIFLG)	AIEN6 (D6/ITC_AEN)	AILV6[2:0] (D[2:0]/ITC_AILV3)

ITC_AIFLGレジスタ (0x42e0)

ITC_AENレジスタ (0x42e2)

ITC_AILV2、ITC_AILV3レジスタ (0x42ea、0x42ec)

8ビットOSC1タイマにコンペアマッチが発生すると、対応する割り込みフラグが1にセットされます。その割り込みフラグに対応する割り込みイネーブルビットが1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。8ビットOSC1タイマによる割り込みを禁止するには、割り込みイネーブルビットを0に設定しておきます。割り込みフラグは、割り込みイネーブルビットの設定にかかわらず(0に設定されていても)、8ビットOSC1タイマの割り込み信号によって1にセットされます。

割り込みレベル設定ビットは、タイマ割り込みのレベル(0~7)を設定します。同一の割り込みレベルに設定した場合、CH.0の優先順位が高く、CH.1が低い順位となります。

S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- 8ビットOSC1タイマ割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“III.1 割り込みコントローラ(ITC)”を参照してください。

割り込みベクタ

8ビットOSC1タイマ割り込みのベクタ番号とベクタアドレスは以下のとおりです。

表IV.4.7.2 タイマ割り込みベクタ

チャンネル	ベクタ番号	ベクタアドレス
CH.0	21 (0x15)	TTBR + 0x54
CH.1	22 (0x16)	TTBR + 0x58

IV.4.8 制御レジスタ詳細

表IV.4.8.1 8ビットOSC1タイマレジスタ一覧

アドレス	レジスタ名		機 能
0x4a00	T8OSC1_CTL0	8-bit OSC1 Timer CH.0 Control Register	タイマモードの設定とタイマのRUN/STOP
0x4a01	T8OSC1_CNT0	8-bit OSC1 Timer CH.0 Counter Data Register	カウンタデータ
0x4a02	T8OSC1_CMP0	8-bit OSC1 Timer CH.0 Compare Data Register	コンペアデータの設定
0x4a03	T8OSC1_IMSK0	8-bit OSC1 Timer CH.0 Interrupt Mask Register	割り込みマスクの設定
0x4a04	T8OSC1_IFLG0	8-bit OSC1 Timer CH.0 Interrupt Flag Register	割り込み発生状態の表示/リセット
0x4b00	T8OSC1_CTL1	8-bit OSC1 Timer CH.1 Control Register	タイマモードの設定とタイマのRUN/STOP
0x4b01	T8OSC1_CNT1	8-bit OSC1 Timer CH.1 Counter Data Register	カウンタデータ
0x4b02	T8OSC1_CMP1	8-bit OSC1 Timer CH.1 Compare Data Register	コンペアデータの設定
0x4b03	T8OSC1_IMSK1	8-bit OSC1 Timer CH.1 Interrupt Mask Register	割り込みマスクの設定
0x4b04	T8OSC1_IFLG1	8-bit OSC1 Timer CH.1 Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、8ビットOSC1タイマのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x4a00/0x4b00: 8-bit OSC1 Timer CH.x Control Registers (T8OSC1_CTLx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
8-bit OSC1 Timer CH.x Control Register (T8OSC1_ CTLx)	0x4a00 0x4b00 (8 bits)	D7–5	—	reserved	—		—	—	0 when being read.
		D4	T8OSC1RST	Timer reset	1 Reset	0 Ignored	0	W	
		D3–2	—	reserved	—		—	—	
		D1	T8OSC1RMD	Count mode select	1 One shot	0 Repeat	0	R/W	
		D0	T8OSC1RUN	Timer run/stop control	1 Run	0 Stop	0	R/W	

注: レジスタ名などの‘x’はチャンネル番号(0または1)を表します。

0x4a00: 8-bit OSC1 Timer CH.0 Control Register (T8OSC1_CTL0)

0x4b00: 8-bit OSC1 Timer CH.1 Control Register (T8OSC1_CTL1)

D[7:5] Reserved**D4 T8OSC1RST: Timer Reset Bit**

8ビットOSC1タイマをリセットします。

1(W): リセット

0(W): 無効

0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、カウンタが0にリセットされます。

D[3:2] Reserved**D1 T8OSC1RMD: Count Mode Select Bit**

8ビットOSC1タイマのカウントモードを選択します。

1(R/W): ワンショットモード

0(R/W): リピートモード(デフォルト)

T8OSC1RMDを0に設定すると、8ビットOSC1タイマはリピートモードに設定されます。このモードでは、カウントを開始するとアプリケーションプログラムで停止するまで8ビットタイマは停止しません。カウンタがコンペアデータレジスタの値に一致すると、タイマはカウンタをリセットし、カウントを継続します。これにより、タイマは周期的にコンペアマッチ信号を出力します。任意の間隔で周期的な割り込みを発生させる場合は、8ビットOSC1タイマをこのモードに設定してください。

T8OSC1RMDを1に設定すると、8ビットOSC1タイマはワンショットモードに設定されます。このモードでは、カウンタがコンペアデータレジスタの値に一致した時点で8ビットOSC1タイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、コンペアマッチ発生時に、タイマはカウンタをリセットしてから停止します。特定の待ち時間を作りたい場合などに、8ビットOSC1タイマをこのモードに設定してください。

注: カウントモードの設定は、8ビットOSC1タイマがカウント停止中に行ってください。

D0 T8OSC1RUN: Timer Run/Stop Control Bit

タイマのRun/Stopを制御します。

1(R/W): Run

0(R/W): Stop(デフォルト)

タイマはT8OSC1RUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。Stop状態ではリセットか次にRun状態にするまで、カウンタのデータは保持されます。

0x4a01/0x4b01: 8-bit OSC1 Timer CH.x Counter Data Registers (T8OSC1_CNTx)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
8-bit OSC1 Timer CH.x Counter Data Register (T8OSC1 _CNTx)	0x4a01 0x4b01 (8 bits)	D7-0	T8OSC1CNT [7:0]	Timer counter data T8OSC1CNT7 = MSB T8OSC1CNT0 = LSB	0x0 to 0xff	0x0	R	

注: レジスタ名などの'x'はチャンネル番号(0または1)を表します。

0x4a01: 8-bit OSC1 Timer CH.0 Counter Data Register (T8OSC1_CNT0)

0x4b01: 8-bit OSC1 Timer CH.1 Counter Data Register (T8OSC1_CNT1)

D[7:0] T8OSC1CNT[7:0]: Timer Counter Data Bits

カウンタデータが読み出せます。(デフォルト: 0x0)

このレジスタはリードオンリのため、データの書き込みはできません。

注: カウント動作中にこのレジスタを読み出すと、カウンタ値が正しく読み出されない(読み出し値が不定になる)ことがあります。

カウンタ値は、以下のいずれかの方法で取得してください。

- カウンタを停止した状態でカウンタ値を読み出します。
- カウンタ値を2回続けて読み出し、2回とも同じ結果が得られた場合にその値を有効とします。

IV

T8OSC1

**0x4a02/0x4b02: 8-bit OSC1 Timer CH.x Compare Data Registers
(T8OSC1_CMPx)**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
8-bit OSC1 Timer CH.x Compare Data Register (T8OSC1 _CMPx)	0x4a02 0x4b02 (8 bits)	D7-0	T8OSC1CMP [7:0]	Compare data T8OSC1CMP7 = MSB T8OSC1CMP0 = LSB	0x0 to 0xff	0x0	R/W	

注: レジスタ名などの‘x’はチャンネル番号(0または1)を表します。

0x4a02: 8-bit OSC1 Timer CH.0 Compare Data Register (T8OSC1_CMP0)

0x4b02: 8-bit OSC1 Timer CH.1 Compare Data Register (T8OSC1_CMP1)

D[7:0] T8OSC1CMP[7:0]: Compare Data Bits

8ビットOSC1タイマのコンペアデータを設定します。(デフォルト: 0x0)

設定したデータがカウンタデータと比較され、内容が一致したところでコンペアマッチ割り込み要因が発生します。同時に、カウンタが0にリセットされます。

0x4a03/0x4b03: 8-bit OSC1 Timer CH.x Interrupt Mask Register (T8OSC1_IMSKx)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
8-bit OSC1 Timer CH.x Interrupt Mask Register (T8OSC1_IMSKx)	0x4a03	D7-1	—	reserved	—			—	—	0 when being read.
	0x4b03 (8 bits)	D0	T8OSC1IE	8-bit OSC1 timer interrupt enable	1	Enable	0 Disable	0	R/W	

注: レジスタ名などの‘x’はチャンネル番号 (0または1) を表します。

0x4a03: 8-bit OSC1 Timer CH.0 Interrupt Mask Register (T8OSC1_IMSK0)

0x4b03: 8-bit OSC1 Timer CH.1 Interrupt Mask Register (T8OSC1_IMSK1)

D[7:1] **Reserved**

D0 **T8OSC1IE: 8-bit OSC1 Timer Interrupt Enable Bit**

コンペアマッチによる割り込みを許可または禁止します。

1 (R/W): 割り込み許可

0 (R/W): 割り込み禁止 (デフォルト)

T8OSC1IEを1に設定するとITCへの8ビットOSC1タイマ割り込み要求が許可され、0に設定すると割り込みが禁止されます。

なお、割り込みを発生させるには、ITCの8ビットOSC1タイマ割り込みイネーブルビットも割り込み許可に設定する必要があります。

0x4a04/0x4b04: 8-bit OSC1 Timer CH.x Interrupt Flag Registers (T8OSC1_IFLGx)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
8-bit OSC1 Timer CH.x Interrupt Flag Register (T8OSC1 _IFLGx)	0x4a04 0x4b04 (8 bits)	D7-1 D0	— T8OSC1IF	reserved 8-bit OSC1 timer interrupt flag	— 1 Cause of interrupt occurred0 Cause of interrupt not occurred			— 0	— R/W	0 when being read. Reset by writing 1.

注: レジスタ名などの'x'はチャンネル番号(0または1)を表します。

0x4a04: 8-bit OSC1 Timer CH.0 Interrupt Flag Register (T8OSC1_IFLG0)

0x4b04: 8-bit OSC1 Timer CH.1 Interrupt Flag Register (T8OSC1_IFLG1)

D[7:1] Reserved

D0 T8OSC1IF: 8-bit OSC1 Timer Interrupt Flag Bit

コンペアマッチ割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

T8OSC1IFはT8OSC1モジュールの割り込みフラグです。T8OSC1IE(D0/T8OSC1_IMSKxレジスタ)を1に設定しておくことにより、カウント中にカウンタがコンペアデータレジスタの設定値に一致すると1にセットされます。同時に、ITCに対して8ビットOSC1タイマ割り込み要求信号が出力されます。この割り込み要求信号により、ITC内の8ビットOSC1タイマ割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

T8OSC1IFは1の書き込みによりリセットされます。

注: 不要な割り込みの発生を防止するため、T8OSC1IE(D0/T8OSC1_IMSKxレジスタ)によってコンペアマッチ割り込みを許可する前に、T8OSC1IFをリセットしてください。

IV.4.9 注意事項

- 8ビットOSC1タイマを動作させるには、その前にCMUモジュールから8ビットOSC1タイマ用クロックを出力させておく必要があります。
- カウントクロックとカウントモードの設定は、8ビットOSC1タイマがカウント停止中に行ってください。
- 不要な割り込みの発生を防止するため、T8OSC1IE(D0/T8OSC1_IMSK_xレジスタ)によってコンペアマッチ割り込みを許可する前に、T8OSC1IF(D0/T8OSC1_IFLG_xレジスタ)をリセットしてください。
- カウント動作中にカウンタデータレジスタを読み出すと、カウンタ値が正しく読み出されない(読み出し値が不定になる)ことがあります。
カウンタ値を取得する場合は、カウンタを停止した状態でカウンタデータレジスタを読み出してください。あるいは、カウンタデータレジスタを2回続けて読み出して、2回とも同じ結果が得られた場合にその値を有効としてください。

IV

T8OSC1

このページはブランクです。

S1C17002 Technical Manual

V S1C17002インタフェースモジュール

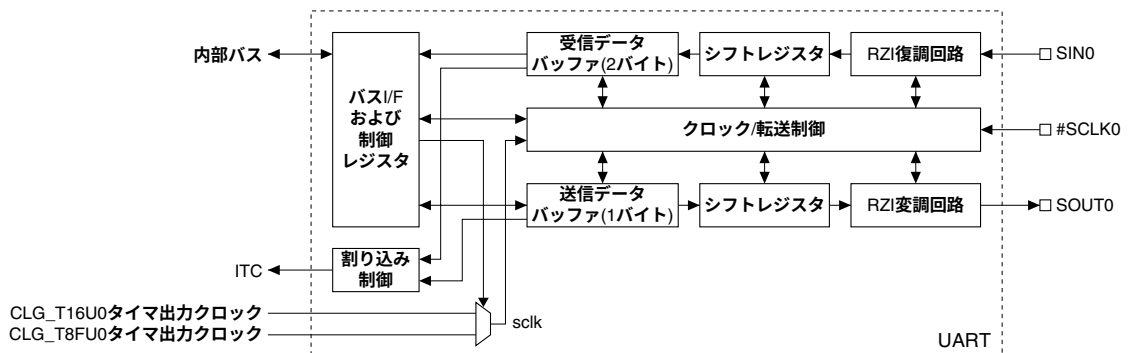
V.1 UART

V.1.1 UARTの構成

S1C17002はUARTを1チャンネル内蔵しています。UARTは150～460800bps(IrDAモードは115200bps)の転送速度で外部シリアルデバイスとの非同期データ転送を行います。2バイトの受信データバッファと1バイトの送信データバッファを内蔵し、全二重通信が可能です。転送クロックにはタイマモジュールによる内部生成クロックと、#SCLK0端子から入力する外部クロックのいずれかを使用できます。データ長(7ビットまたは8ビット)、ストップビット長(1ビットまたは2ビット)、パリティモード(偶数、奇数、パリティなし)はソフトウェアで選択します。スタートビットは1ビットに固定されています。データ受信時には、オーバーランエラー、フレーミングエラー、パリティエラーが検出可能です。UARTは3種類の割り込み(送信バッファエンプティ、受信バッファフル、受信エラー)を発生しますので、シリアルデータ転送を割り込み処理によって効率よく処理することができます。

また、本UARTモジュールにはRZI変調/復調回路が組み込まれており、簡単な外付け回路の追加のみで、IrDA 1.0に対応する赤外線通信回路を構成することができます。

図V.1.1.1に、UARTの構造を示します。



図V.1.1.1 UARTの構造

V.1.2 UART端子

表V.1.2.1にUARTの入出力端子の一覧を示します。

表V.1.2.1 UART端子一覧

端子名	I/O	本数	機 能
SIN0	I	1	UARTデータ入力端子 外部シリアルデバイスから送られるシリアルデータを入力します。
SOUT0	O	1	UARTデータ出力端子 外部シリアルデバイスに送るシリアルデータを出力します。
#SCLK0	I	1	UARTクロック入力端子 転送クロックに外部クロックを使用する場合に、この端子から入力します。

UARTの入出力端子(SIN0、SOUT0、#SCLK0)は汎用入出力ポート端子(P40、P41、P42)を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをUARTの入出力端子として使用するには、Port Function Select Registerの設定により機能を切り換える必要があります。端子機能の切り換えについては、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

V.1.3 転送クロック

UARTの転送クロックは、SSCK(D0/UART_MODレジスタ)を使用して内部クロックまたは外部クロックのいずれかを選択可能です。

* **SSCK**: Input Clock Select Bit in the UART Mode (UART_MOD) Register (D0/0x4103)

注: SSCKの変更は、必ずUARTが動作停止中(RXEN/UART_CTLレジスタ = 0)に行ってください。

* **RXEN**: UART Enable Bit in the UART Control (UART_CTL) Register (D0/0x4104)

内部クロック

SSCKを0(デフォルト)に設定すると、内部クロックが選択されます。UARTはCLG_T16U0タイマまたはCLG_T8FU0タイマの出力クロックを転送クロックとして使用します。

どちらのタイマをUARTのクロック源として使用するかについては、TMSEL(D5/UART_MODレジスタ)で選択します。

* **TMSEL**: Timer Select Bit in the UART Mode (UART_MOD) Register (D5/0x4103)

TMSELが0(デフォルト)の場合、CLG_T16U0タイマの出力クロックが使用されます。TMSELを1に設定すると、CLG_T8FU0タイマの出力クロックが使用されます。

また、UARTを使用する前に、CLG_T16U0/CLG_T8FU0タイマから転送レートに合ったクロックが出力されるようにプログラムしておく必要があります。CLG_T16U0タイマ、CLG_T8FU0タイマの制御については、“II.4 クロックジェネレータ(CLG)”を参照してください。

外部クロック

SSCKを1に設定すると、外部クロックが選択されます。この場合は、#SCLK0端子を設定し、外部クロックを入力してください。

注: • UARTはCLG_T16U0/CLG_T8FU0タイマの出力または外部クロックを1/16に分周してサンプリングクロックを生成します。転送レートを設定する際には注意してください。

• #SCLK0端子から外部クロックを入力する場合、クロックの周波数はPCLKの1/2以下で、デューティ比は50%である必要があります。

V.1.4 転送データの設定

以下の条件を選択して転送データ形式を設定できます。

- データ長: 7ビット、または8ビット
- スタートビット: 1ビット固定
- ストップビット: 1ビット、または2ビット
- パリティビット: 偶数、奇数、パリティなし

注: 転送データ形式の設定は、必ずUARTが動作停止中(RXEN/UART_CTLレジスタ = 0)に行ってください。

* **RXEN**: UART Enable Bit in the UART Control (UART_CTL) Register (D0/0x4104)

データ長

データ長は、CHLN(D4/UART_MODレジスタ)で選択します。CHLNを0(デフォルト)に設定すると、データ長は7ビットに設定されます。CHLNを1に設定すると、8ビットに設定されます。

* **CHLN**: Character Length Bit in the UART Mode (UART_MOD) Register (D4/0x4103)

ストップビット

ストップビット長はSTPB(D1/UART_MODレジスタ)で選択します。STPBを0(デフォルト)に設定すると、ストップビット長は1ビットに設定されます。STPBを1に設定すると、2ビットに設定されます。

* **STPB**: Stop Bit Select Bit in the UART Mode (UART_MOD) Register (D1/0x4103)

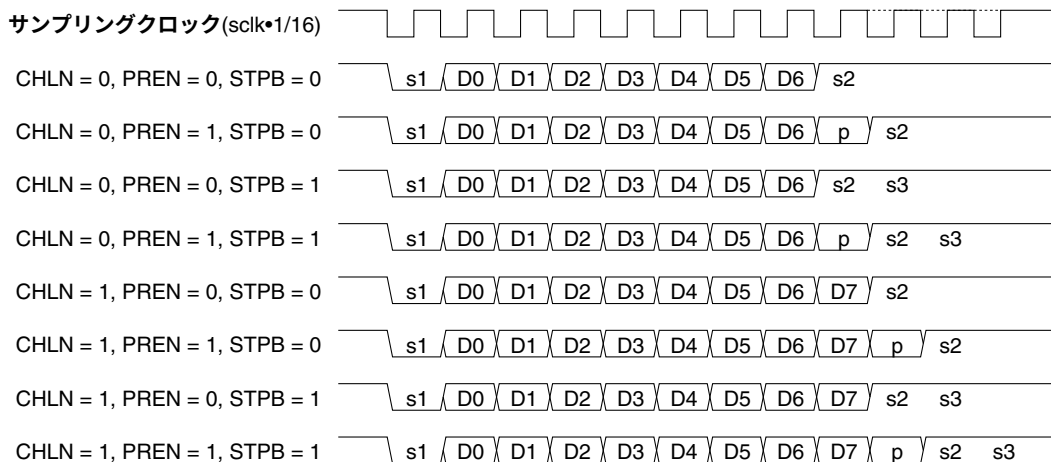
パリティビット

パリティ機能を有効にするか否かについては、PREN(D3/UART_MODレジスタ)で選択します。PRENを0(デフォルト)に設定すると、パリティ機能は無効となります。この場合、転送データにパリティビットは付加されず、データ受信時もパリティチェックは行われません。PRENを1に設定すると、パリティ機能が有効になります。この場合、転送データにパリティビットが付加され、データ受信時はパリティチェックを行います。

パリティ機能を有効にする場合は、PMD(D2/UART_MODレジスタ)でパリティモードを選択します。PMDを0(デフォルト)に設定すると、偶数パリティとしてパリティビットの付加とチェックが行われます。PMDを1に設定すると、奇数パリティとしてパリティビットの付加とチェックが行われます。

* **PREN**: Parity Enable Bit in the UART Mode (UART_MOD) Register (D3/0x4103)

* **PMD**: Parity Mode Select Bit in the UART Mode (UART_MOD) Register (D2/0x4103)



s1: スタートビット, s2 & s3: ストップビット, p: パリティビット

図V.1.4.1 転送データ形式

V.1.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) 入力クロックを選択します。V.1.3節を参照してください。
内部クロックを使用する場合は、転送クロックを出力するようにCLG_T16U0タイマまたはCLG_T8FU0タイマをプログラムし、使用するタイマを選択しておきます。II.4節とV.1.3節を参照してください。
- (2) 転送データ形式を設定します。V.1.4節を参照してください。
- (3) IrDAインタフェースを使用する場合は、IrDAモードを設定します。V.1.8節を参照してください。
- (4) UART割り込みを使用する場合は、割り込み条件を設定します。V.1.7節を参照してください。

注: 上記の設定は、必ずUARTが動作停止中(RXEN/UART_CTLレジスタ = 0)に行ってください。

* **RXEN**: UART Enable Bit in the UART Control (UART_CTL) Register (D0/0x4104)

データ送受信を許可

最初にRXENビット(D0/UART_CTLレジスタ)を1に設定してデータの送受信を許可します。これにより、送受信回路が送受信可能な状態になります。

注: UARTが送受信中はRXENビットを0に設定しないでください。

データ送信制御

送信を開始するには、UART_TXDレジスタ(0x4101)に送信データを書き込みます。

* **UART_TXD**: UART Transmit Data Register (0x4101)

データは送信データバッファに書き込まれ、送信回路がデータ送信を開始します。バッファのデータは送信用シフトレジスタに送られ、スタートビットがSOUT0端子から出力されます。続いて、シフトレジスタのデータがLSBから出力されます。転送データビットはサンプリングクロックの立ち上がりエッジに同期してシフトし、SOUT0端子から順次出力されます。MSBの出力後、パリティビット(パリティ有効時のみ)とストップビットが出力されます。

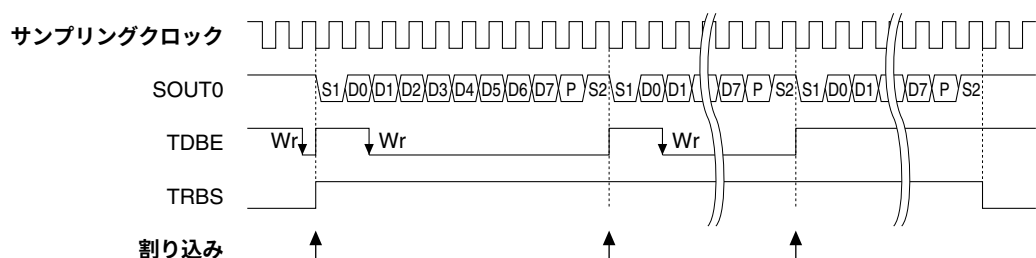
送信回路にはTDBE(D0/UART_STレジスタ)とTRBS(D2/UART_STレジスタ)の2つのステータスフラグが用意されています。

* **TDBE**: Transmit Data Buffer Empty Flag Bit in the UART Status (UART_ST) Register (D0/0x4100)

* **TRBS**: Transmit Busy Flag Bit in the UART Status (UART_ST) Register (D2/0x4100)

TDBEフラグは送信データバッファの状態を示します。このフラグはアプリケーションプログラムが送信データバッファにデータを書き込むと0になり、バッファのデータが送信用シフトレジスタに送られると1に戻ります。このフラグが1になった時点で割り込みを発生させることができます(V.1.7節参照)。この割り込みを利用するか、TDBEフラグの読み出しによって送信データバッファが空であることを確認し、次のデータ送信を行います。送信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、1つ前のデータを送信中に、データの書き込みが行えます。ただし、送信データを書き込む前に、送信データバッファが空になっていることを確認してください。TDBEフラグが0の場合にデータを書き込むと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。

TRBSフラグはシフトレジスタの状態を示します。このフラグは送信データが送信データバッファからシフトレジスタにロードされると1になり、データ送信が完了すると0に戻ります。送信回路が動作中か待機中かについては、このフラグを読み出して確認してください。



S1: スタートビット, S2: ストップビット, P: パリティビット,
Wr: 送信データバッファへのデータ書き込み

図V.1.5.1 データ送信タイミングチャート

データ受信制御

受信回路はRXENビットを1に設定すると起動し、外部シリアルデバイスからのデータを受信可能な状態になります。

外部シリアルデバイスがスタートビットを送信すると、受信回路はそのLowレベルを検出して、続くデータビットのサンプリングを開始します。データビットはサンプリングクロックの立ち上がりエッジでサンプリングされ、先頭ビットをLSBとして受信用シフトレジスタに取り込まれます。MSBをシフトレジスタに受信し終わると、受信データは受信データバッファにロードされます。パリティチェックが有効に設定されている場合、これと同時に、受信回路はMSBの直後に受信したパリティビットでパリティチェックを行います。

受信データバッファは2バイトのFIFOで、満杯になるまでデータを受信可能です。

バッファ内の受信データはUART_RXDレジスタ(0x4102)から読み出すことができます。古いデータから先に読み出され、読み出しによりクリアされます。

* **UART_RXD**: UART Receive Data Register (0x4102)

受信回路にはRDRY(D1/UART_STレジスタ)とRD2B(D3/UART_STレジスタ)の2つのバッファステータスフラグが用意されています。

* **RDRY**: Receive Data Ready Flag Bit in the UART Status (UART_ST) Register (D1/0x4100)

* **RD2B**: Second Byte Receive Flag Bit in the UART Status (UART_ST) Register (D3/0x4100)

(1) RDRY = 0, RD2B = 0

データを受信していません。したがって、受信データバッファを読み出す必要はありません。

(2) RDRY = 1, RD2B = 0

1個のデータを受信しています。受信データバッファを1回読み出してください。この読み出しによりRDRYフラグがリセットされます。バッファは上記(1)の状態に戻ります。

受信データバッファを2回読み出した場合、2回目の読み出しデータは無効です。

(3) RDRY = 1, RD2B = 1

2個のデータを受信しています。受信データバッファを2回読み出してください。最初の読み出しで、受信データバッファは古い方の受信データを出力します。この読み出しによりRD2Bフラグがリセットされます。バッファは上記(2)の状態になります。2回目の読み出しで最新の受信データが出力されます。2回の読み出し後、バッファは上記(1)の状態になります。

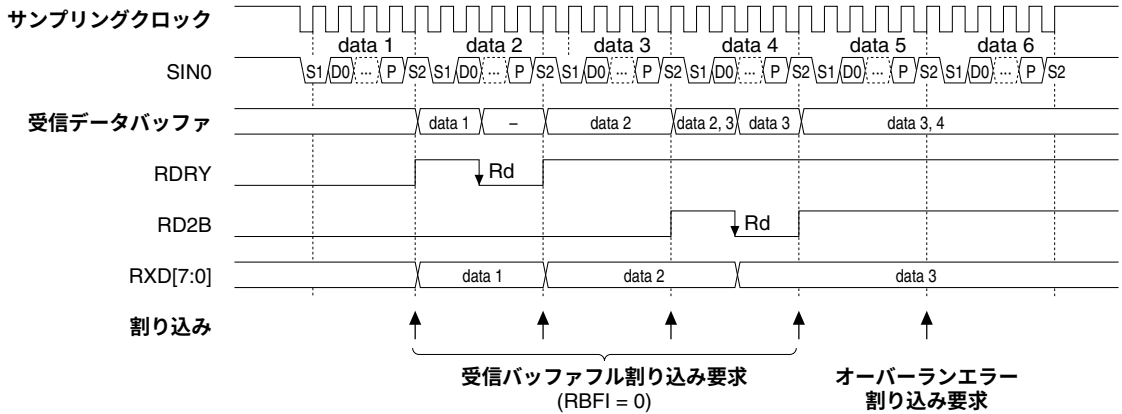
受信データバッファが満杯でも、シフトレジスタは8ビットデータの受信をもう1回開始することができます。受信データバッファが読み出されないままその受信が終了した場合はオーバーランエラーが発生し、最後の受信データを読み出すことはできません。したがって、受信データバッファはオーバーランエラーが発生する前に読み出してください。オーバーランエラーについては、V.1.6節を参照してください。

これらのフラグを読み出すことで、受信データ数を確認することができます。

また、UARTは受信データバッファにデータを受信した時点で受信バッファフル割り込みを発生可能で、この割り込みを利用して受信データバッファを読み出すことができます。デフォルト設定では、受信データバッファが1個のデータを受信すると(前記(2)の状態)、受信バッファフル割り込みが発生するようになっています。これを、RBFIBIT(D1/UART_CTLレジスタ)を1に設定することで、受信データバッファが2個のデータを受信した時点で割り込みが発生するように変更できます。

* **RBFIBIT**: Receive Buffer Full Interrupt Condition Bit in the UART Control (UART_CTL) Register (D1/0x4104)

前述のフラグの他に、3つのエラーフラグも用意されています。それらのフラグと受信エラーについては、V.1.6節を参照してください。



S1: スタートビット, S2: ストップビット, P: パリティビット, Rd: RXD[7:0]からのデータリード

図V.1.5.2 データ受信タイミングチャート

データ送受信を禁止

データ転送(送信と受信の両方)を終了後は、RXENビットに0を書き込んでデータ送受信を禁止します。ただし、データ送受信を禁止する前に、TDBEフラグが1、TRBSとRDRYフラグが0になっていることを確認してください。

RXENビットを0に設定すると、送信および受信データバッファは空の状態になります(データが残っていればクリアされます)。また、データの送受信中にRXENを0に設定した場合、転送中のデータは保証されません。

V.1.6 受信エラー

データ受信時は、3種類の受信エラーを検出可能です。

受信エラーは割り込み要因のため、割り込みを発生させてエラーを処理することができます。UART割り込みの制御については、V.1.7節を参照してください。

パリティエラー

PREN(D3/UART_MODレジスタ)が1(パリティ有効)に設定されている場合、受信時にパリティチェックが行われます。

パリティチェックはシフトレジスタに受信したデータが受信データバッファに転送される際に行われ、PMD(D2/UART_MODレジスタ)の設定(奇数または偶数パリティ)との整合をチェックします。この結果が不整合の場合はパリティエラーと判断され、パリティエラーフラグPER(D5/UART_STレジスタ)が1にセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、受信データはパリティエラーのため保証されません。

なお、PERフラグ(D5/UART_STレジスタ)は1を書き込むことによって0にリセットされます。

- * **PREN:** Parity Enable Bit in the UART Mode (UART_MOD) Register (D3/0x4103)
- * **PMD:** Parity Mode Select Bit in the UART Mode (UART_MOD) Register (D2/0x4103)
- * **PER:** Parity Error Flag Bit in the UART Status (UART_ST) Register (D5/0x4100)

フレーミングエラー

ストップビットを0として受信すると、UARTは同期ずれと判断してフレーミングエラーを発生します。ストップビットを2ビットに設定している場合は、最初の1ビットのみチェックします。

本エラーが発生すると、フレーミングエラーフラグFER(D6/UART_STレジスタ)が1にセットされます。本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。

なお、FERフラグ(D6/UART_STレジスタ)は1を書き込むことによって0にリセットされます。

- * **FER:** Framing Error Flag Bit in the UART Status (UART_ST) Register (D6/0x4100)

オーバーランエラー

受信データバッファが満杯(2データ受信済み)の状態でも、次に送られる3番目のデータはシフトレジスタに受信可能です。ただし、その受信が終了した時点で、受信データバッファに空きがなければ(それまでにデータが読み出されていなければ)、シフトレジスタに受信した3番目のデータはバッファに送られず、オーバーランエラーが発生します。

オーバーランエラーが発生するとオーバーランエラーフラグOER(D4/UART_STレジスタ)が1にセットされます。

本エラーが発生した場合でも、受信動作は継続して行われます。

なお、OERフラグ(D4/UART_STレジスタ)は1を書き込むことによって0にリセットされます。

- * **OER:** Overrun Error Flag Bit in the UART Status (UART_ST) Register (D4/0x4100)

V.1.7 UART割り込み

UARTには、以下の3種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 受信バッファフル割り込み
- 受信エラー割り込み

UARTは、上記3種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、ステータスフラグおよびエラーフラグを読み出してください。

送信バッファエンプティ割り込み

この割り込みを使用するには、TIEN(D4/UART_CTLレジスタ)を1に設定します。TIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

* **TIEN:** Transmit Buffer Empty Interrupt Enable Bit in the UART Control (UART_CTL) Register (D4/0x4104)

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、UARTはTDBEビット(D0/UART_STレジスタ)を1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(TIEN = 1)、これと同時に割り込み要求パルスがITCに出力されます。

* **TDBE:** Transmit Data Buffer Empty Flag Bit in the UART Status (UART_ST) Register (D0/0x4100)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

UART割り込みが送信バッファエンプティによるものかどうかについては、UART割り込み処理ルーチンでTDBEフラグを読み出して確認してください。TDBEが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

受信バッファフル割り込み

この割り込みを使用するには、RIEN(D5/UART_CTLレジスタ)を1に設定します。RIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

* **RIEN:** Receive Buffer Full Interrupt Enable Bit in the UART Control (UART_CTL) Register (D5/0x4104)

受信バッファフル割り込みが許可されている場合(RIEN = 1)、指定数の受信データが受信データバッファにロードされると、UARTは割り込み要求パルスをITCに出力します。RBF1(D1/UART_CTLレジスタ)が0の場合、1個の受信データが受信データバッファにロードされた(RDRYフラグ(D1/UART_STレジスタ)が1にセットされた)時点で割り込み要求パルスが出力されます。RBF1(D1/UART_CTLレジスタ)が1の場合、2個の受信データが受信データバッファにロードされた(RD2Bフラグ(D3/UART_STレジスタ)が1にセットされた)時点で割り込み要求パルスが出力されます。

* **RBF1:** Receive Buffer Full Interrupt Condition Bit in the UART Control (UART_CTL) Register (D1/0x4104)

* **RDRY:** Receive Data Ready Flag Bit in the UART Status (UART_ST) Register (D1/0x4100)

* **RD2B:** Second Byte Receive Flag Bit in the UART Status (UART_ST) Register (D3/0x4100)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

UART割り込みが受信バッファフルによるものかどうかについては、UART割り込み処理ルーチンでRDRYとRD2Bフラグを読み出して確認してください。RDRYまたはRD2Bが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。

受信エラー割り込み

この割り込みを使用するには、REIEN(D6/UART_CTLレジスタ)を1に設定します。REIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

* **REIEN**: Receive Error Interrupt Enable Bit in the UART Control (UART_CTL) Register (D6/0x4104)

データ受信時にパリティエラー、フレーミングエラー、またはオーバーランエラーを検出すると、UARTは以下に示すエラーフラグを1に設定します。受信エラー割り込みが許可されていれば(REIEN = 1)、これと同時に割り込み要求パルスがITCに出力されます。

* **PER**: Parity Error Flag Bit in the UART Status (UART_ST) Register (D5/0x4100)

* **FER**: Framing Error Flag Bit in the UART Status (UART_ST) Register (D6/0x4100)

* **OER**: Overrun Error Flag Bit in the UART Status (UART_ST) Register (D4/0x4100)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

UART割り込みが受信エラーによるものかどうかについては、UART割り込み処理ルーチンで上記のエラーフラグを読み出して確認してください。いずれかのエラーフラグが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。

UART割り込み用ITCレジスタ

以下に、UART用のITC制御ビットを示します。

割り込みフラグ

* **IIFT4**: UART Interrupt Flag Bit in the Interrupt Flag (ITC_IFLG) Register (D12/0x4300)

割り込みイネーブルビット

* **IEN4**: UART Interrupt Enable Bit in the Interrupt Enable (ITC_EN) Register (D12/0x4302)

割り込みレベル設定ビット

* **ILV4[2:0]**: UART Interrupt Level Bits in the Internal Interrupt Level Setup (ITC_ILV2) Register 2 (D[2:0]/0x4312)

UARTが割り込み要求パルスを出力すると、対応する割り込みフラグが1にセットされます。

その割り込みフラグに対応する割り込みイネーブルビットが1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。UARTによる割り込みを禁止するには、割り込みイネーブルビットを0に設定しておきます。割り込みフラグは、割り込みイネーブルビットの設定にかかわらず(0に設定されていても)、UARTの割り込み要求パルスによって1にセットされます。

割り込みレベル設定ビットは、UART割り込みのレベル(0~7)を設定します。

S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- UART割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“III.1 割り込みコントローラ(ITC)”を参照してください。

割り込みベクタ

UART割り込みのベクタ番号とベクタアドレスは以下のとおりです。

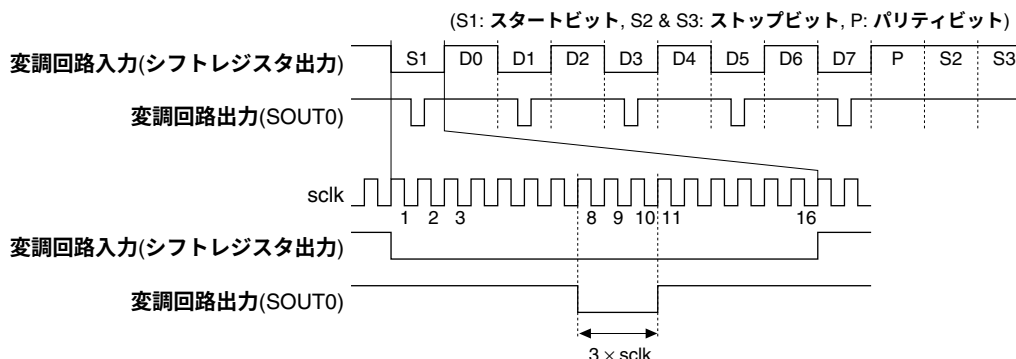
ベクタ番号: 16(0x10)

ベクタアドレス: TTBR + 0x40

V.1.8 IrDAインタフェース

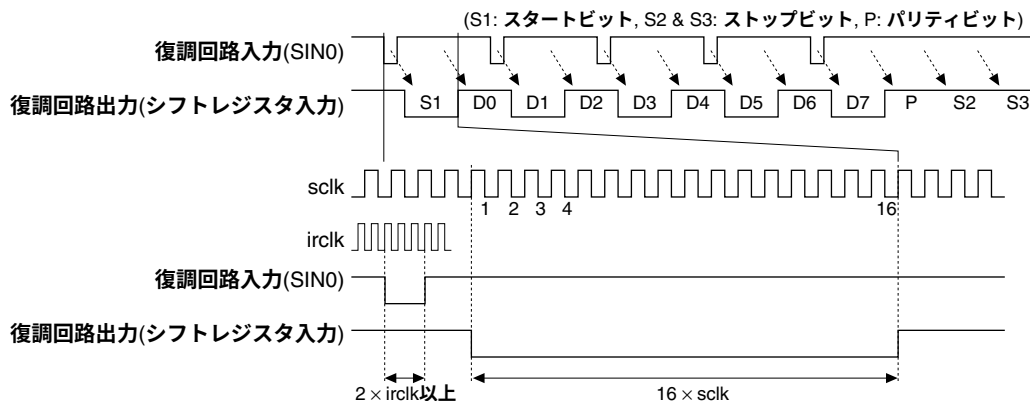
本UARTモジュールにはRZI変調/復調回路が組み込まれており、簡単な外付け回路の追加のみで、IrDA 1.0に対応する赤外線通信回路を構成することができます。

UARTの送信用シフトレジスタから出力された送信データは変調回路に入力され、Lowパルス幅が $3/16$ sclkサイクルに変換された後にSOUT0端子から出力されます。



図V.1.8.1 送信信号波形

受信したIrDA信号は復調回路に入力され、Lowパルス幅が 16 sclkサイクルに変換された後に受信用シフトレジスタに入力されます。入力されるLowパルス(最小パルス幅 = $1.41\mu\text{s}/115200\text{bps}$ 時)を検出するため、復調回路は転送クロックとは別に、プリスケアラ出力クロックから選択したパルス検出クロックを使用します。



図V.1.8.2 受信信号波形

IrDAイネーブル

IrDAインタフェース機能を使用するには、IRMD(D0/UART_EXPレジスタ)を1に設定します。これにより、RZI変調/復調回路が有効になります。

* **IRMD**: IrDA Mode Select Bit in the UART Expansion (UART_EXP) Register (D0/0x4105)

注: この設定は、UARTの他の条件を設定する前に行う必要があります。

IrDA受信検出クロックの選択

入力パルス検出用クロックを、IRCLK[2:0](D[6:4]/UART_EXPレジスタ)を使用してプリスケアラ出力クロックのPCLK•1/1～PCLK•1/128の中から選択します。

* **IRCLK[2:0]**: IrDA Receive Detection Clock Select Bits in the UART Expansion (UART_EXP) Register (D[6:4]/0x4105)

表V.1.8.1 IrDA受信検出クロックの選択

IRCLK[2:0]	プリスケアラ出力クロック
0x7	PCLK•1/128
0x6	PCLK•1/64
0x5	PCLK•1/32
0x4	PCLK•1/16
0x3	PCLK•1/8
0x2	PCLK•1/4
0x1	PCLK•1/2
0x0	PCLK•1/1

(デフォルト: 0x0)

このクロックには、CLG_T16U0/CLG_T8FU0タイマまたは#SCLK0端子から入力される転送クロック sclkよりも高速なクロックを選択する必要があります。

復調回路はIrDA受信検出クロックの2サイクル以上の幅を持つLowパルスを有効と見なし、16sclkサイクル幅のLowパルスに変換します。最小1.41μs幅の入力パルスが検出できるように、適切なプリスケアラ出力クロックを選択してください。

シリアルデータ転送の制御

IrDAモードの場合も、データ送受信の制御方法は通常のインタフェースと同じです。データ形式の設定やデータ転送、割り込みの制御方法については、前記の説明を参照してください。

V.1.9 制御レジスタ詳細

表V.1.9.1 UARTレジスタ一覧

アドレス	レジスタ名		機 能
0x4100	UART_ST	UART Status Register	転送、バッファ、エラーステータスの表示
0x4101	UART_TXD	UART Transmit Data Register	送信データ
0x4102	UART_RXD	UART Receive Data Register	受信データ
0x4103	UART_MOD	UART Mode Register	転送データ形式の設定
0x4104	UART_CTL	UART Control Register	データ転送の制御
0x4105	UART_EXP	UART Expansion Register	IrDAモードの設定

以下、UARTのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x4100: UART Status Register (UART_ST)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
UART Status Register (UART_ST)	0x4100 (8 bits)	D7	–	reserved	–		–	–	0 when being read.		
		D6	FER	Framing error flag	1	Error	0	Normal	0	R/W	Reset by writing 1.
		D5	PER	Parity error flag	1	Error	0	Normal	0	R/W	
		D4	OER	Overrun error flag	1	Error	0	Normal	0	R/W	
		D3	RD2B	Second byte receive flag	1	Ready	0	Empty	0	R	
		D2	TRBS	Transmit busy flag	1	Busy	0	Idle	0	R	Shift register status
		D1	RDRY	Receive data ready flag	1	Ready	0	Empty	0	R	
		D0	TDBE	Transmit data buffer empty flag	1	Empty	0	Not empty	1	R	

D7 Reserved**D6 FER: Framing Error Flag Bit**

フレーミングエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

FERはフレーミングエラーが発生すると1にセットされます。フレーミングエラーは、ストップビットを0としてデータを受信した場合に発生します。

FERは1を書き込むか、あるいはRXEN(D0/UART_CTLレジスタ)を0に設定することによりリセットされます。

D5 PER: Parity Error Flag Bit

パリティエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

PERはパリティエラーが発生すると1にセットされます。パリティチェックはPREN(D3/UART_MODレジスタ)が1に設定されている場合にのみ有効で、受信データがシフトレジスタから受信データバッファに転送される際に実行されます。

PERは1を書き込むか、あるいはRXEN(D0/UART_CTLレジスタ)を0に設定することによりリセットされます。

D4 OER: Overrun Error Flag Bit

オーバーランエラーが発生しているか否かを示します。

1(R): エラー発生

0(R): エラーなし(デフォルト)

1(W): 0にリセット

0(W): 無効

OERはオーバーランエラーが発生すると1にセットされます。オーバーランエラーは、受信データバッファが満杯の状態、次のデータをシフトレジスタに受信し、さらに続くデータが送られてきた場合に発生します。このエラーが発生した場合、受信データバッファは上書きされず、エラーが発生した時点のシフトレジスタが上書きされます。

OERは1を書き込むか、あるいはRXEN(D0/UART_CTLレジスタ)を0に設定することによりリセットされます。

D3 RD2B: Second Byte Receive Flag Bit

受信データバッファに2個の受信データがあることを示します。

1(R): 2バイト目が読み出し可

0(R): 2バイト目は未受信(デフォルト)

RD2Bは、受信データバッファに2バイト目のデータがロードされると1にセットされ、受信データバッファから最初のデータが読み出されると0にリセットされます。

D2 TRBS: Transmit Busy Flag Bit

送信シフトレジスタの状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

TRBSは、送信データが送信データバッファからシフトレジスタにロードされると1にセットされ、データ送信が完了すると0にリセットされます。送信回路が動作中か待機中かを確認する際に、読み出してください。

D1 RDRY: Receive Data Ready Flag Bit

受信データバッファに有効な受信データがあることを示します。

1(R): データ読み出し可

0(R): バッファは空(デフォルト)

RDRYは、受信データバッファに受信データがロードされると1にセットされ、受信データバッファからすべてのデータが読み出されると0にリセットされます。

D0 TDBE: Transmit Data Buffer Empty Flag Bit

送信データバッファの状態を示します。

1(R): バッファは空(デフォルト)

0(R): データあり

TDBEは、送信データが送信データバッファに書き込まれると0にリセットされ、そのデータがシフトレジスタに転送されると1にセットされます。

0x4101: UART Transmit Data Register (UART_TXD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Transmit Data Register (UART_TXD)	0x4101 (8 bits)	D7-0	TXD[7:0]	Transmit data TXD7(6) = MSB TXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R/W	

D[7:0] TXD[7:0]: Transmit Data Bits

送信データバッファにセットする送信データを書き込みます。(デフォルト: 0x0)
このレジスタにデータを書き込むことにより、UARTは送信を開始します。TXD[7:0]に書き込んだデータは送信データバッファに入り、送信まで待機します。
送信データバッファ内のデータが送信されると、送信バッファエンプティ割り込み要因が発生します。
7ビットモードでは、TXD7(MSB)が無効となります。
SOUT0端子からはシリアル変換されたデータがLSBを先頭に、1に設定されたビットがHighレベル、0に設定されたビットがLowレベルとして出力されます。
このレジスタは読み出しも可能です。

0x4102: UART Receive Data Register (UART_RXD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Receive Data Register (UART_RXD)	0x4102 (8 bits)	D7-0	RXD[7:0]	Receive data in the receive data buffer RXD7(6) = MSB RXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R	Older data in the buffer is read out first.

D[7:0] RXD[7:0]: Receive Data in the Receive Data Buffer Bits

受信データバッファのデータが古いものから順に読み出せます。受信したデータは受信データバッファに入ります。受信データバッファは2バイトのFIFOで、これが満杯になるまでは、読み出しを行わなくても正しく受信できます。バッファが満杯でシフトレジスタにもデータが受信されている状態では、次の受信が始まるまでにデータを読み出さないとオーバーランエラーになります。

受信回路にはRDRY(D1/UART_STレジスタ)とRD2B(D3/UART_STレジスタ)の2つの受信バッファステータスフラグが用意されています。RDRYフラグは受信データバッファ内に有効な受信データが存在することを示し、RD2Bフラグは受信データバッファに2個の受信データがあることを示します。

受信データバッファ内の受信データがRBF(D1/UART_CTLレジスタ)で指定した数になると、受信バッファフル割り込み要因が発生します。

7ビットモードでは、RXD7に0がロードされます。

SIN0端子から入力されたシリアルデータは先頭をLSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、受信データバッファにロードされます。

このレジスタは読み出し専用で、書き込みは行えません。(デフォルト: 0x0)

0x4103: UART Mode Register (UART_MOD)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks	
UART Mode Register (UART_MOD)	0x4103 (8 bits)	D7–6	–	reserved		–				–	–	0 when being read.
		D5	TMSEL	Timer select	1	CLG_T8FU0	0	CLG_T16U0	0	R/W		
		D4	CHLN	Character length	1	8 bits	0	7 bits	0	R/W		
		D3	PREN	Parity enable	1	With parity	0	No parity	0	R/W		
		D2	PMD	Parity mode select	1	Odd	0	Even	0	R/W		
		D1	STPB	Stop bit select	1	2 bits	0	1 bit	0	R/W		
		D0	SSCK	Input clock select	1	External	0	Internal	0	R/W		

D[7:6] Reserved**D5 TMSEL: Timer Select Bit**

内部クロック源のタイマを選択します。

1(R/W): CLG_T8FU0タイマ

0(R/W): CLG_T16U0タイマ(デフォルト)

SSCK(D0)で内部クロックを選択した場合に、UARTの入力クロックを生成するタイマを選択します。TMSELに1を書き込むとCLG_T8FU0タイマ、0を書き込むとCLG_T16U0タイマが選択されます。

D4 CHLN: Character Length Bit

シリアル転送データのデータ長を選択します。

1(R/W): 8ビット

0(R/W): 7ビット(デフォルト)

D3 PREN: Parity Enable Bit

パリティ機能を有効にします。

1(R/W): パリティ付き

0(R/W): パリティなし(デフォルト)

PRENによって、受信データのパリティチェック、および送信データへのパリティビットの付加を行うかどうかを選択します。PRENを1に設定すると、受信データはパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。PRENを0に設定した場合はパリティビットのチェックおよび付加は行われません。

D2 PMD: Parity Mode Select Bit

パリティモードを選択します。

1(R/W): 奇数パリティ

0(R/W): 偶数パリティ(デフォルト)

PMDに1を書き込むと奇数パリティが選択され、0を書き込むと偶数パリティが選択されます。パリティチェックおよびパリティビットの付加はPREN(D3)が1に設定されている場合にのみ有効で、PREN(D3)が0の場合、PMDの設定は無効となります。

D1 STPB: Stop Bit Select Bit

ストップビット長を選択します。

1(R/W): 2ビット

0(R/W): 1ビット(デフォルト)

STPBに1を書き込むとストップビットが2ビットに、0を書き込むと1ビットになります。スタートビットは1ビットに固定です。

D0 SSCK: Input Clock Select Bit

入力クロックを選択します。

1(R/W): 外部クロック(#SCLK0)

0(R/W): 内部クロック(デフォルト)

内部クロック(CLK_T16U0/CLK_T8FU0タイマ出力クロック)を使用するか、外部クロック(#SCLK0端子から入力)を使用するか選択します。SSCKに1を書き込むと外部クロック、0を書き込むと内部クロックが選択されます。

0x4104: UART Control Register (UART_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Control Register (UART_CTL)	0x4104 (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6	REIEN	Receive error int. enable	1 Enable 0 Disable	0	R/W	
		D5	RIEN	Receive buffer full int. enable	1 Enable 0 Disable	0	R/W	
		D4	TIEN	Transmit buffer empty int. enable	1 Enable 0 Disable	0	R/W	
		D3–2	—	reserved	—	—	—	0 when being read.
		D1	RBF1	Receive buffer full int. condition	1 2 bytes 0 1 byte	0	R/W	
		D0	RXEN	UART enable	1 Enable 0 Disable	0	R/W	

D7 Reserved**D6 REIEN: Receive Error Interrupt Enable Bit**

受信エラー発生時のITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

受信エラーを割り込みによって処理する場合は、このビットを1に設定してください。

D5 RIEN: Receive Buffer Full Interrupt Enable Bit

受信データバッファの受信データ数がRBF1(D1)の指定値になったことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

受信データを割り込みによって読み出す場合は、このビットを1に設定してください。

D4 TIEN: Transmit Buffer Empty Interrupt Enable Bit

送信データバッファの送信データがシフトレジスタに送られた(データ送信を開始した)ことによるITCへの割り込み要求を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

送信データバッファへのデータ書き込みを割り込みによって行う場合は、このビットを1に設定してください。

D[3:2] Reserved**D1 RBF1: Receive Buffer Full Interrupt Condition Bit**

受信バッファフル割り込みを発生させる、受信バッファ内のデータ数を設定します。

1(R/W): 2バイト

0(R/W): 1バイト(デフォルト)

受信バッファフル割り込みが許可されている場合(RIEN = 1)、RBF1で指定されている数の受信データが受信データバッファにロードされると、UARTは割り込み要求パルスをITCに出力します。RBF1ビットが0の場合、1個の受信データが受信データバッファにロードされた(RDRYフラグ(D1/UART_STレジスタ)が1にセットされた)時点で割り込み要求パルスが出力されます。RBF1が1の場合、2個の受信データが受信データバッファにロードされた(RD2Bフラグ(D3/UART_STレジスタ)が1にセットされた)時点で割り込み要求パルスが出力されます。

D0 RXEN: UART Enable Bit

UARTによるデータ送受信を許可します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

UARTで送受信を始める前にRXENを1に設定してください。RXENを0に設定するとデータ送受信が禁止されます。転送条件の設定は、RXENが0の状態で行ってください。

RXENに0を書き込んで送受信を禁止すると、送受信データバッファもクリアされます。

0x4105: UART Expansion Register (UART_EXP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Expansion Register (UART_EXP)	0x4105 (8 bits)	D7	—	reserved	—	—	—	0 when being read.
		D6–4	IRCLK[2:0]	IrDA receive detection clock select	IRCLK[2:0]	0x0	R/W	
					0x7	PCLK•1/128		
					0x6	PCLK•1/64		
					0x5	PCLK•1/32		
					0x4	PCLK•1/16		
					0x3	PCLK•1/8		
					0x2	PCLK•1/4		
					0x1	PCLK•1/2		
					0x0	PCLK•1/1		
		D3–1	—	reserved	—	—	—	0 when being read.
		D0	IRMD	IrDA mode select	1 On 0 Off	0	R/W	

D7 Reserved

D[6:4] IRCLK[2:0]: IrDA Receive Detection Clock Select Bits

IrDA入力パルス検出クロックとして使用するプリスケアラ出力クロックを選択します。

表V.1.9.2 IrDA受信検出クロックの選択

IRCLK[2:0]	プリスケアラ出力クロック
0x7	PCLK•1/128
0x6	PCLK•1/64
0x5	PCLK•1/32
0x4	PCLK•1/16
0x3	PCLK•1/8
0x2	PCLK•1/4
0x1	PCLK•1/2
0x0	PCLK•1/1

(デフォルト: 0x0)

このクロックには、CLG_T16U0/CLG_T8FU0タイマまたは#SCLK0端子から入力される転送クロックsclkよりも高速なクロックを選択する必要があります。

復調回路はIrDA受信検出クロックの2サイクル以上の幅を持つLowパルスを有効と見なします。最小1.41μs幅の入力パルスが検出できるように、適切なプリスケアラ出力クロックを選択してください。

D[3:1] Reserved

D0 IRMD: IrDA Mode Select Bit

IrDAインタフェース機能をOn/Offします。

1 (R/W): On

0 (R/W): Off(デフォルト)

IrDAインタフェースを使用する場合に1に設定します。0に設定すると、本モジュールはIrDA機能のない通常のUARTとして機能します。

V.1.10 注意事項

- UARTの以下のビットは、送受信禁止の状態(RXEN = 0)で設定してください。
 - UART_MODレジスタ(0x4103)のビットすべて(SSCK, STPB, PMD, PREN, CHLN, TMSEL)
 - UART_CTLレジスタ(0x4104)のRXEN以外のビットすべて(RBFI, TIEN, RIEN, REIEN)
 - UART_EXPレジスタ(0x4105)のビットすべて(IRMD, IRCLK[2:0])

* **RXEN**: UART Enable Bit in the UART Control (UART_CTL) Register (D0/0x4104)
- UARTが送信中または受信中の場合は、RXENを0に設定しないでください。
- UARTの転送レートは最大460800bps(IrDAモードは115200bps)に制限されています。これ以上の転送レートは設定しないでください。
- RXENを0に設定して送受信を禁止すると、送受信データバッファがクリア(初期化)されます。RXENに0を書き込む前に、バッファ内に送信待ちまたは読み出し前のデータが残っていないことを確認してください。
- IrDA受信検出クロックには、CLG_T16U0/CLG_T8FU0タイマまたは#SCLK0端子から入力される転送クロックsclkよりも高速なクロックを選択する必要があります。
- IrDAインタフェースの復調回路はIrDA受信検出クロックの2サイクル以上の幅を持つLowパルスを有効と見なします。最小1.41μs幅の入力パルスが検出できるように、適切なプリスケアラ出力クロックをIrDA受信検出クロックとして選択してください。

このページはブランクです。

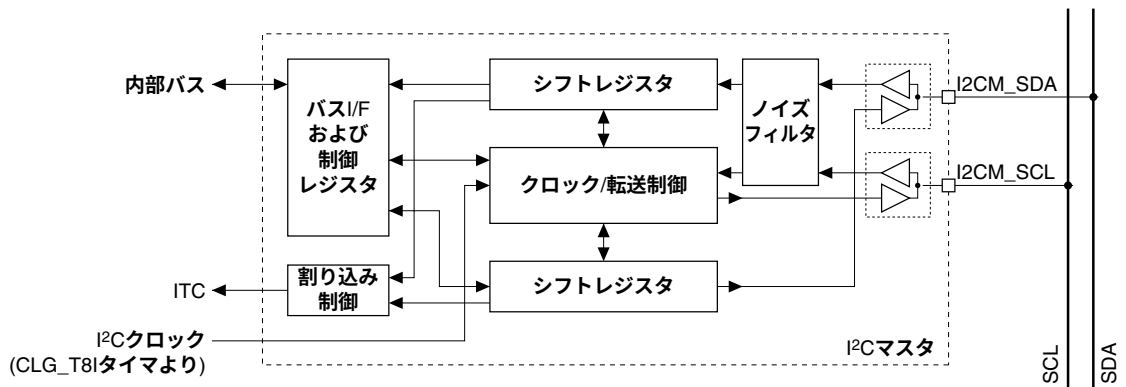
V.2 I²Cマスタ

V.2.1 I²Cマスタの構成

S1C17002は高速同期シリアル通信用に、I²Cマスタモジュールを内蔵しています。I²CマスタモジュールはCLG_T8Iタイマから供給されるクロックを使用し、I²Cバスのマスタデバイスとして動作します(シングルマスタとしてのみ使用可能です)。標準(100kbps)モードおよびファストモード(400kbps)、7ビット/10ビットスレーブアドレスモードに対応しています。また、データ転送の信頼性向上に役立つ、ノイズ除去機能が組み込まれています。

本モジュールは、2種類の割り込み(送信バッファエンプティと受信バッファフル割り込み)を発生可能で、連続したシリアルデータ転送を割り込みによって簡潔に処理することができます。

図V.2.1.1にI²Cマスタモジュールの構造を示します。



図V.2.1.1 I²Cマスタモジュールの構造

注: 本I²Cマスタモジュールにクロックストレッチ機能はありません。このため、クロックストレッチによって通信の同期を取るI²Cスレーブデバイスには対応しません。

V.2.2 I²Cマスタ入出力端子

表V.2.2.1にI²Cマスタ端子の一覧を示します。

表V.2.2.1 I²Cマスタ端子一覧

端子名	I/O	本数	機 能
I2CM_SDA	I/O	1	I ² Cマスタデータ入出力端子 I ² Cバスからシリアルデータを入力します。 また、シリアルデータをI ² Cバスに出力します。
I2CM_SCL	I/O	1	I ² Cマスタクロック入出力端子 SCLラインの状態を入力します。 また、シリアルクロックを出力します。

I²Cマスタの入出力端子(I2CM_SDA、I2CM_SCL)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをI²Cマスタの入出力端子として使用するには、Port Function Select Registerの設定により機能を切り換える必要があります。端子機能の切り換えについては、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

V.2.3 I²Cマスタクロック

I²Cマスタモジュールは、CLG_T8Iタイマが出力する内部クロックを同期クロックとして使用します。このクロックはシフトレジスタを駆動すると共に、I2CM_SCL端子からスレーブデバイスへ出力されます。CLG_T8Iタイマから転送レートに合ったクロックが出力されるようにプログラムしてください。CLG_T8Iタイマの制御については、“II.4 クロックジェネレータ (CLG)”を参照してください。

本モジュールはスレーブデバイスとしては機能しません。I2CM_SCL入力端子はI²CバスのI2CM_SCL信号の状態チェックに使用され、同期クロックの入力用には使用されません。

V.2.4 データ転送前の設定項目

I²Cマスタモジュールには、アプリケーションプログラムから選択可能なノイズ除去のオプション機能があります。

ノイズ除去機能

I²Cマスタモジュールには、I2CM_SDAおよびI2CM_SCL端子の入力信号からノイズを除去する機能が組み込まれています。この機能は、NSERM(D4/I2CM_CTLレジスタ)を1に設定することにより有効となります。

ただし、この機能を使用するには、I²Cマスタクロック(CLG_T8Iタイマ出力クロック)周波数をPCLKの1/6以下に設定する必要があります。

* **NSERM:** Noise Remove On/Off Bit in the I²C Master Control (I2CM_CTL) Register (D4/0x4342)

V.2.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) I²Cマスタクロックが出力されるようにCLG_T8Iタイマを設定します。II.4節を参照してください。
- (2) オプション機能を選択します。V.2.4節を参照してください。
- (3) I²Cマスタ割り込みを使用する場合は、割り込み条件を設定します。V.2.6節を参照してください。

注: 上記の設定は、必ずI²Cマスタモジュールが停止中(I2CMEN/I2CM_ENレジスタ = 0)に行ってください。

* **I2CMEN**: I²C Master Enable Bit in the I²C Master Enable (I2CM_EN) Register (D0/0x4340)

データ送受信を許可

最初にI2CMEN(D0/I2CM_ENレジスタ)を1に設定してI²Cマスタの動作を許可します。これにより、I²Cマスタが送受信可能な状態となり、クロックの出力も許可されます。

注: I²Cマスタモジュールが送受信中はI2CMENを0に設定しないでください。

データ送受信の開始

データの送受信を開始するには、I²Cマスタ(本モジュール)がスタートコンディションを生成する必要があります。それに引き続いてスレーブアドレスを送信し、通信を確立します。

(1) レジスタの設定順序

スタートコンディションを生成するには、以下の順序でレジスタを設定してください。

1. RTDT[7:0](D[7:0]/I2CM_DATレジスタ)にスレーブアドレスを設定
2. TXE(D9/I2CM_DATレジスタ)を1に設定
3. STRT(D0/I2CM_CTLレジスタ)を1に設定

* **RTDT[7:0]**: Receive/Transmit Data Bits in the I²C Master Data (I2CM_DAT) Register (D[7:0]/0x4344)

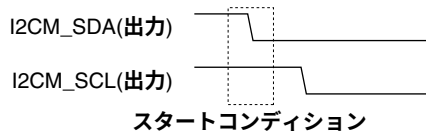
* **TXE**: Transmit Execution Bit in the I²C Master Data (I2CM_DAT) Register (D9/0x4344)

* **STRT**: Start Control Bit in the I²C Master Control (I2CM_CTL) Register (D0/0x4342)

これらの手順により、下記(2)と(3)の通信波形が生成されます。必ずレジスタの設定順序を守ってください。

(2) スタートコンディションの生成

I2CM_SCLラインをHighに保った状態で、I2CM_SDAラインをLowにすることがスタートコンディションです。



図V.2.5.1 スタートコンディション

スタートコンディションは、STRT(D0/I2CM_CTLレジスタ)を1に設定することで生成されます。

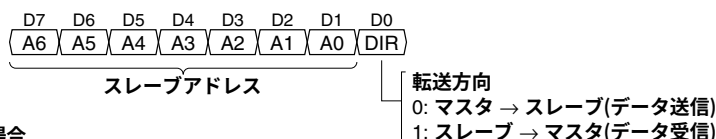
* **STRT**: Start Control Bit in the I²C Master Control (I2CM_CTL) Register (D0/0x4342)

スタートコンディションが生成されると、STRTは自動的に0にリセットされます。

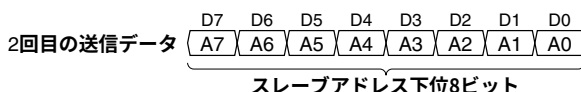
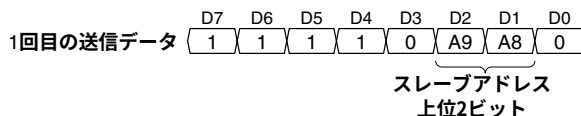
(3) スレーブアドレスの送信

スタートコンディションの生成後、I²Cマスタ(本モジュール)は通信を行うスレーブのアドレスと転送方向を示すビットを送信します。I²Cのスレーブアドレスには7ビットアドレスと10ビットアドレスの2種類があります。本モジュールは8ビットの送受信データレジスタを使用してスレーブアドレスと転送方向ビットを送信しますので、7ビットアドレスモードの場合は1回で送信可能です。10ビットの場合はソフトウェア制御により2回または3回の送信を行います。

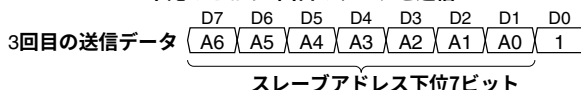
7ビットアドレスの場合



10ビットアドレスの場合



(データ受信時) 2回目の送信データの後にリピーテッドスタートコンディションを発行し、
下記のとおり3回目のデータを送信



図V.2.5.2 スレーブアドレスと転送方向を指定する送信データ

転送方向ビットはスレーブアドレスに続くデータ転送の方向を示します。マスタからスレーブへのデータ送信時は転送方向ビットを0に、スレーブからのデータの受信時は1に設定します。上記のとおり作成した8ビットのデータを送受信データレジスタに設定し、下記のとおり送信の制御を行います。

スレーブアドレスと転送方向ビットはスタートコンディション生成後に1度のみ送信します。スレーブアドレス出力後は、データの送信またはデータの受信を必要な回数行います。スレーブアドレスと共に設定した転送方向のとおり、データ送信またはデータ受信を行う必要があります。

データ送信制御

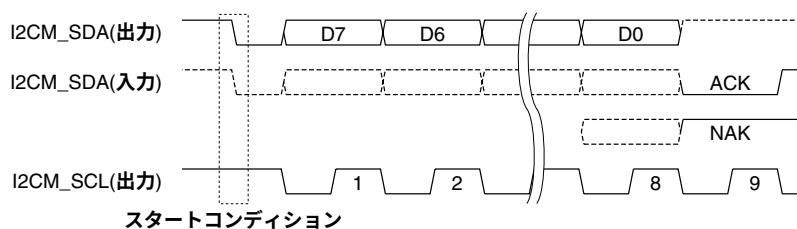
以下、データの送信方法を説明します。スレーブアドレスの送信も同じ手順で行います。バイトデータを送信するには、送信データをRTDT[7:0](D[7:0]/I2CM_DATレジスタ)に設定します。同時に、1バイトの送信を実行するTXE(D9/I2CM_DATレジスタ)を1に設定します。

* **RTDT[7:0]**: Receive/Transmit Data Bits in the I²C Master Data (I2CM_DAT) Register (D[7:0]/0x4344)

* **TXE**: Transmit Execution Bit in the I²C Master Data (I2CM_DAT) Register (D9/0x4344)

TXEビットが1に設定されると、I²Cマスタモジュールはクロックに同期してデータ送信を開始します。スタートコンディションまたは前のデータを送信中の場合は、その完了後に開始します。まず、I²Cマスタモジュールは書き込まれたデータをシフトレジスタに転送し、I2CM_SCL端子からクロックの出力を開始します。この時点でTXEが0にリセットされると共に割り込み要因が発生しますので、この後、次の送信データとTXEの再設定を行うことができます。シフトレジスタ内のデータビットはクロックの立ち下がりエッジで順次シフトされ、MSBを先頭にI2CM_SDA端子から出力されます。I²Cマスタモジュールは1回のデータ送信に9個のクロックを出力します。9個目のクロックサイクルでは、I2CM_SDA信号をハイインピーダンスにしてスレーブデバイスからのACKまたはNAKを受信します。

スレーブデバイスは、データを受信できた場合はマスタにACK(0)を返します。受信できなかったときはI2CM_SDAラインがプルダウンされませんので、I²CマスタモジュールはこれをNAK(1)と見なします(送信失敗)。



図V.2.5.3 ACKとNAK

I²Cマスタモジュールには送信の制御用にTBUSYフラグ(D8/I2CM_CTLレジスタ)とRTACK(D8/I2CM_DATレジスタ)の2つのステータスビットが用意されています。

* **TBUSY**: Transmit Busy Flag Bit in the I²C Master Control (I2CM_CTL) Register (D8/0x4342)

* **RTACK**: Receive/Transmit ACK Bit in the I²C Master Data (I2CM_DAT) Register (D8/0x4344)

TBUSYフラグはデータ送信状態を示します。このフラグは送信(スレーブアドレスの送信も含む)を開始すると1になり、データ送信が終了すると0に戻ります。また、ウェイト状態でも0に戻ります。I²Cマスタモジュールが送信動作中か待機中かについては、このフラグを読み出して確認してください。RTACKビットは、前回の送信時にスレーブデバイスがACKを返したかどうかを示します。ACKが返っていればRTACKは0、ACKが返っていなければRTACKは1となります。

データ受信制御

以下、データの受信方法を説明します。データ受信の場合も、その前にスタートコンディションを生成し、転送方向ビットを1としたスレーブアドレスを送信しておく必要があります。

データを受信するには、1バイトの受信を実行するRXE(D10/I2CM_DATレジスタ)を1に設定します。スレーブアドレス送信時にTXE(D9/I2CM_DATレジスタ)を1に設定しますが、そのとき同時にRXEを1に設定しておくことができます。TXEとRXEが両方共に1の場合はTXEが優先されます。

* **RXE**: Receive Execution Bit in the I²C Master Data (I2CM_DAT) Register (D10/0x4344)

RXEビットが1に設定され、受信が開始できる状態になると、I²CマスタモジュールはI2CM_SDAラインをハイインピーダンスにして、I2CM_SCL端子からクロックの出力を開始します。データはMSBを先頭に、クロックの立ち上がりエッジで順次シフトレジスタに取り込まれます。

RXEはD6の取り込み時に0にリセットされます。

8ビットのデータをシフトレジスタに受信し終わると、受信データはRTDT[7:0]にロードされます。

I²Cマスタモジュールには受信の制御用にRBRDY(D11/I2CM_DATレジスタ)とRBUSY(D9/I2CM_CTLレジスタ)の2つのステータスビットが用意されています。

* **RBRDY**: Receive Buffer Ready Bit in the I²C Master Data (I2CM_DAT) Register (D11/0x4344)

* **RBUSY**: Receive Busy Flag Bit in the I²C Master Control (I2CM_CTL) Register (D9/0x4342)

RBRDYフラグは受信データの状態を示します。このフラグはシフトレジスタに受信したデータがRTDT[7:0]にロードされると1になり、RTDT[7:0]から受信データが読み出されると0に戻ります。このフラグが1になった時点で割り込みを発生させることもできますので、この割り込みを利用するか、RBRDYフラグの読み出しによってRTDT[7:0]に有効な受信データがあることを確認し、受信データを読み出してください。RTDT[7:0]を読み出す前に次の受信が終了すると、RTDT[7:0]内の1つ前の受信データは新たな受信データで上書きされてしまいます。

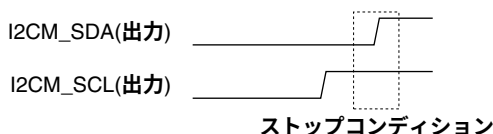
RBUSYフラグは受信動作状態を示します。このフラグは受信を開始すると1になり、データ受信が終了すると0に戻ります。また、ウェイト状態でも0に戻ります。I²Cマスタモジュールが受信動作中か待機中かについては、このフラグを読み出して確認してください。

I²Cマスタモジュールは1回のデータ受信に9個のクロックを出力します。9個目のクロックサイクルでは、RTACK(D8/I2CM_DATレジスタ)に設定された0または1が、それぞれACK、NAK応答として、I2CM_SDA端子からスレーブへ送信されます。ACK、NAKの応答期間中はRTACKを変更しないでください。

注: 受信バッファフル割り込みは、ACK/NAKの応答期間中(9個目のクロックサイクル)に発生します。この割り込みが発生した直後に、ACK/NAK期間の終了を待たずにRTACKの設定を書き換えた場合、I2CM_SDA端子から出力されているACK/NAK信号が応答期間中に変化してしまい、正しい通信が行えなくなってしまいます。

データ送受信の終了(ストップコンディションの生成)

全データの送受信が終了した後、データ転送を終了するには、I²Cマスタ(本モジュール)がストップコンディションを生成する必要があります。I2CM_SCLラインをHighに保った状態で、I2CM_SDAラインをLowからHighにすることがストップコンディションとなります。



図V.2.5.4 ストップコンディション

ストップコンディションは、STP(D1/I2CM_CTLレジスタ)を1に設定して生成します。

* **STP**: Stop Control Bit in the I²C Master Control (I2CM_CTL) Register (D1/0x4342)

STPを1に設定すると、I²CマスタモジュールはI²CバスのI2CM_SCLラインをHighに保った状態でI2CM_SDAラインをLowからHighにしてストップコンディションを生成します。これ以降I²Cバスは、フリー状態になります。また、ストップコンディションの生成は予約が可能です。ストップコンディションを予約するには、I²Cマスタが動作中(TBUSY = 1またはRBUSY = 1)であることを確認してからSTPを1に設定してください。データの送受信(ACK送受信も含む)が終了した時点でストップコンディションが生成されます。

ストップコンディションが生成されると、STPは自動的に0にリセットされます。

本I²Cマスタモジュールはリピーテッドスタートコンディションには対応していません。ストップコンディションを省略して、次のデータ転送のためのスタートコンディションを生成することはできません。

TXE、RXE、STRT、STP設定によるウェイト状態

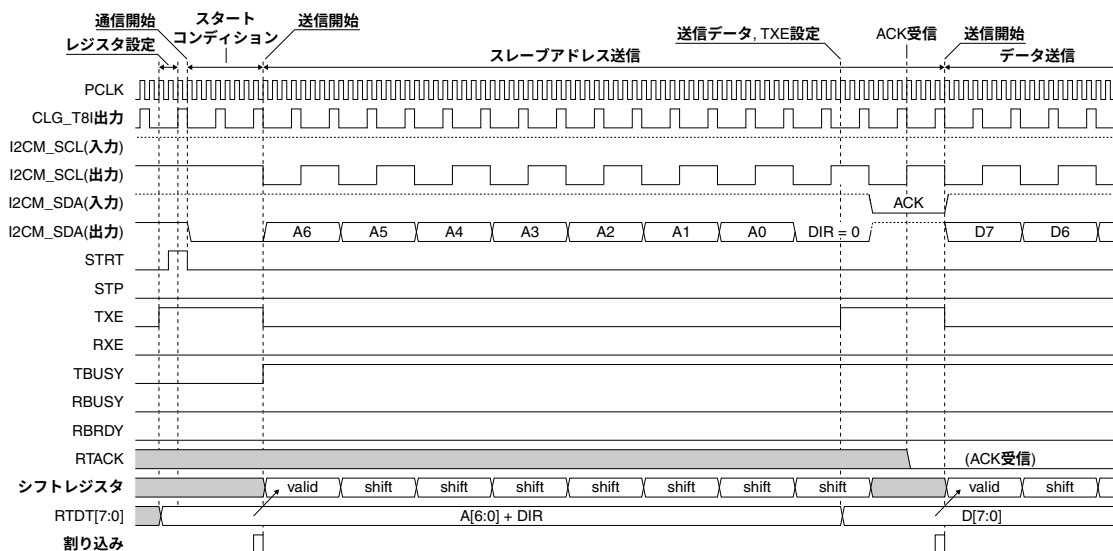
1バイトのデータとACKの送受信が終了した時点で、TXE(D9/I2CM_DATレジスタ)、RXE(D10/I2CM_DATレジスタ)、STRT(D0/I2CM_CTLレジスタ)、およびSTP(D1/I2CM_CTLレジスタ)の全ビットが0の場合、I2CM_SCL出力がLowに固定されウェイト状態になります。この状態は、TXEまたはRXEに1を書き込んでデータ送受信を再開するか、STPに1を書き込んでストップコンディションを生成することにより解除されます。

データ送受信を禁止

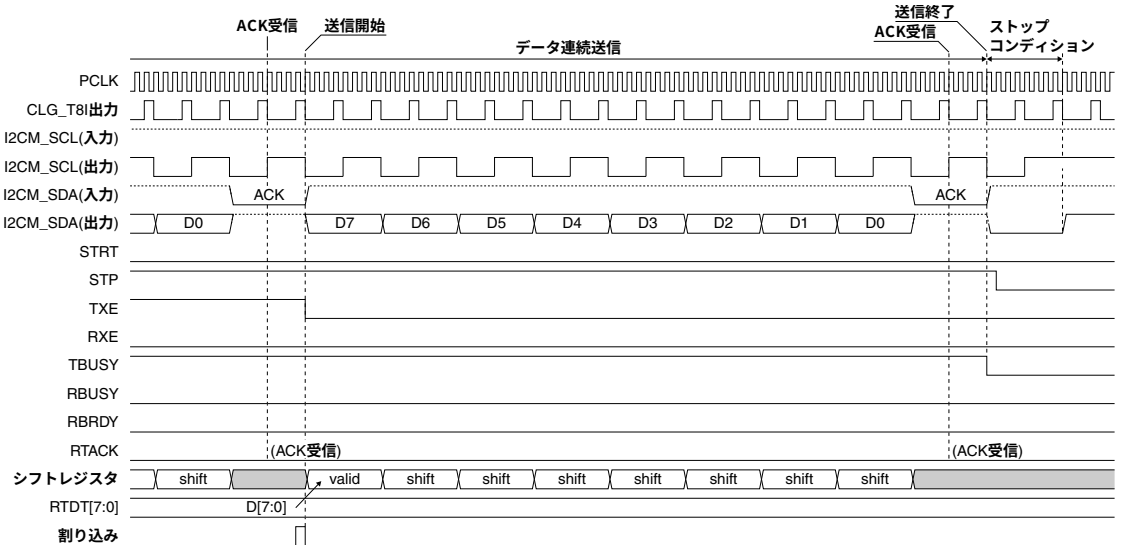
ストップコンディションを生成した後は、I2CMENに0を書き込んでデータ送受信を禁止します。ストップコンディションの生成が完了したことは、STPを1に設定した後に、0へ自動的にクリアされたことをポーリングすることにより、確認できます。

I²Cバスがビジー状態のときにI2CMENを0に設定した場合、I2CM_SCLとI2CM_SDAの出力レベル、および転送中のデータは保証されません。

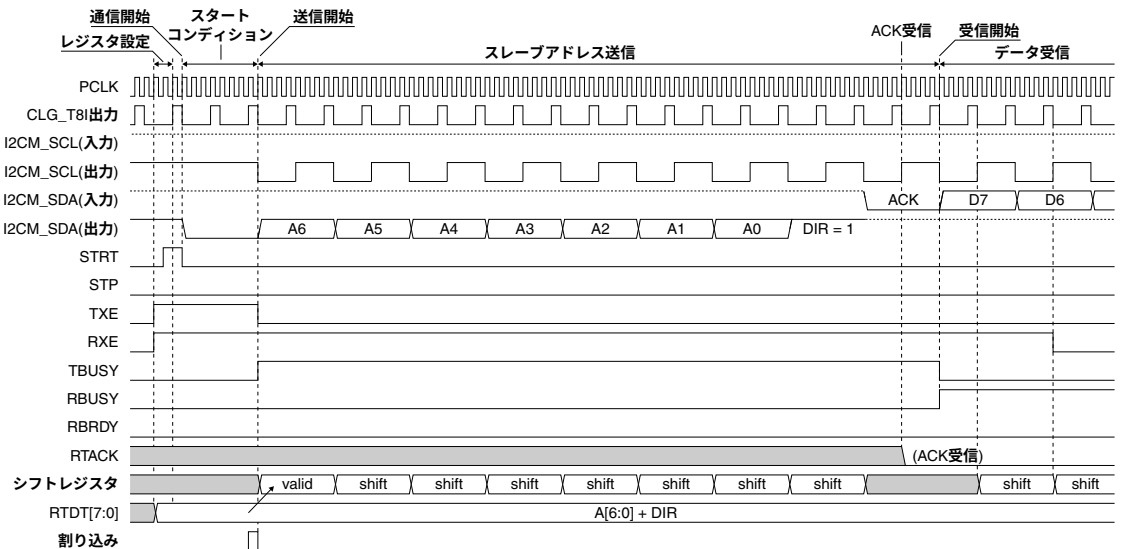
タイミングチャート



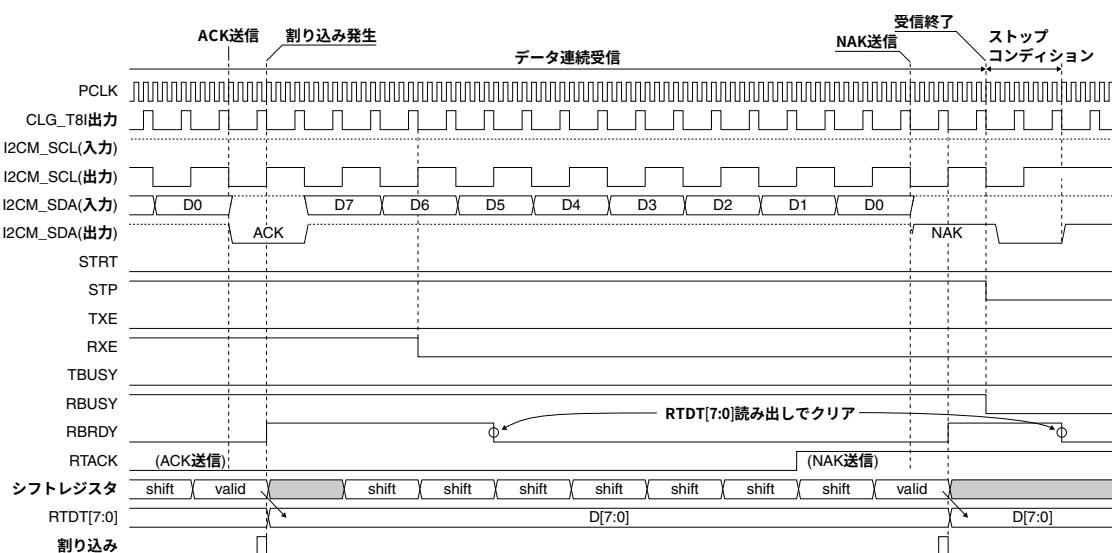
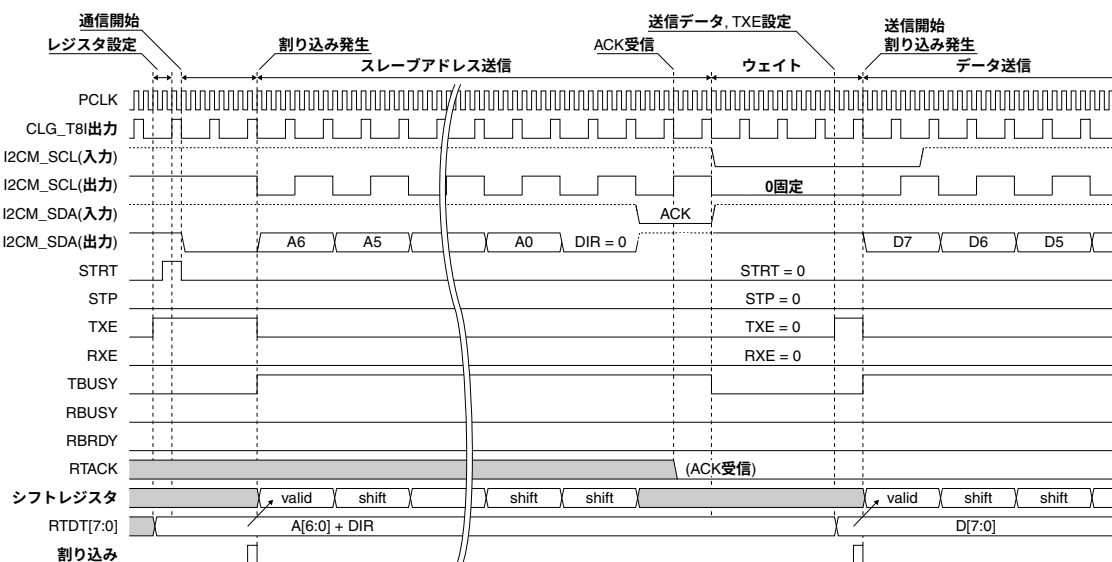
図V.2.5.5 I²Cマスタタイミングチャート1(スタートコンディション→データ送信)



図V.2.5.6 I²Cマスタタイミングチャート2(データ送信→ストップコンディション)



図V.2.5.7 I²Cマスタタイミングチャート3(スタートコンディション→データ受信)


図V.2.5.8 I²Cマスタタイミングチャート4(データ受信→ストップコンディション)

図V.2.5.9 I²Cマスタタイミングチャート5(ウェイト)

V.2.6 I²Cマスタ割り込み

I²Cマスタモジュールには、以下の2種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 受信バッファフル割り込み

I²Cマスタモジュールは、上記2種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。

送信バッファエンプティ割り込み

この割り込みを使用するには、TINTE(D0/I2CM_ICTLレジスタ)を1に設定します。TINTEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

* **TINTE**: Transmit Interrupt Enable Bit in the I²C Master Interrupt Control (I2CM_ICTL) Register (D0/0x4346)

送信バッファエンプティ割り込みが許可されていれば(TINTE = 1)、RTDT[7:0](D[7:0]/I2CM_DATレジスタ)に設定された送信データがシフトレジスタに転送された時点で割り込み要求パルスがITCに出力されます。

* **RTDT[7:0]**: Receive/Transmit Data Bits in the I²C Master Data (I2CM_DAT) Register (D[7:0]/0x4344)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

受信バッファフル割り込み

この割り込みを使用するには、RINTE(D1/I2CM_ICTLレジスタ)を1に設定します。RINTEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

* **RINTE**: Receive Interrupt Enable Bit in the I²C Master Interrupt Control (I2CM_ICTL) Register (D1/0x4346)

受信バッファフル割り込みが許可されていれば(RINTE = 1)、シフトレジスタに受信したデータがRTDT[7:0]にロードされた時点で割り込み要求パルスがITCに出力されます。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

I²Cマスタ割り込み用ITCレジスタ

ITC内のI²Cマスタモジュール用制御ビットを以下に示します。

割り込みフラグ

* **IIFT7**: I²C Master Interrupt Flag Bit in the Interrupt Flag (ITC_IFLG) Register (D15/0x4300)

割り込みイネーブルビット

* **IEN7**: I²C Master Interrupt Enable Bit in the Interrupt Enable (ITC_EN) Register (D15/0x4302)

割り込みレベル設定ビット

* **IILV7[2:0]**: I²C Master Interrupt Level Bits in the Internal Interrupt Level Setup (ITC_ILV3) Register 3 (D[10:8]/0x4314)

I²Cマスタモジュールが割り込み要求パルスを出力すると、割り込みフラグIIFT7が1にセットされます。割り込みイネーブルビットIEN7が1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。I²Cマスタによる割り込みを禁止するには、IEN7を0に設定しておきます。

IIFT7フラグは、IEN7ビットの設定にかかわらず(0に設定されていても)、I²Cマスタの割り込み要求パルスによって1にセットされます。

割り込みレベル設定ビットIILV7[2:0]は、I²Cマスタ割り込みのレベル(0~7)を設定します。

S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- I²Cマスタ割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“III.1 割り込みコントローラ(ITC)”を参照してください。

割り込みベクタ

I²Cマスタ割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号: 19(0x13)

ベクタアドレス: TTBR + 0x4c

V.2.7 制御レジスタ詳細

表V.2.7.1 I²Cレジスタ一覧

アドレス	レジスタ名		機 能
0x4340	I2CM_EN	I ² C Master Enable Register	I ² Cマスタモジュールイネーブル
0x4342	I2CM_CTL	I ² C Master Control Register	I ² Cマスタの制御と転送状態の表示
0x4344	I2CM_DAT	I ² C Master Data Register	送受信データ
0x4346	I2CM_ICTL	I ² C Master Interrupt Control Register	I ² Cマスタ割り込みの制御

以下、I²Cマスタモジュールのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: • レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

- I²Cマスタレジスタのリード/ライトには必ず16ビットアクセス命令を使用してください。32ビットおよび8ビットアクセス命令でI²Cマスタレジスタをリード/ライトすることはできません。

0x4340: I²C Master Enable Register (I2CM_EN)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
I ² C Master Enable Register (I2CM_EN)	0x4340 (16 bits)	D15-1	–	reserved	–		–	–	0 when being read.
		D0	I2CMEN	I ² C master enable	1 Enable	0 Disable	0	R/W	

D[15:1] Reserved

D0 I2CMEN: I²C Master Enable Bit

I²Cマスタモジュールの動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I2CMENを1に設定するとI²Cマスタモジュールが動作を開始し、データ転送が行える状態になります。I2CMENを0に設定すると、I²Cマスタモジュールは動作を停止します。

0x4342: I²C Master Control Register (I2CM_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Master Control Register (I2CM_CTL)	0x4342 (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.
		D9	RBUSY	Receive busy flag	1 Busy 0 Idle	0	R	
		D8	TBUSY	Transmit busy flag	1 Busy 0 Idle	0	R	
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	NSERM	Noise remove on/off	1 On 0 Off	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	STP	Stop control	1 Stop 0 Ignored	0	R/W	
		D0	STRT	Start control	1 Start 0 Ignored	0	R/W	

D[15:10] Reserved

D9 **RBUSY: Receive Busy Flag Bit**

I²Cマスタの受信動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

RBUSYはI²Cマスタがデータ受信を開始すると1にセットされ、受信中は1を保持します。受信動作が終了すると、0にクリアされます。また、ウェイト状態でも0に戻ります。

D8 **TBUSY: Transmit Busy Flag Bit**

I²Cマスタの送信動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

TBUSYはI²Cマスタがデータ送信を開始すると1にセットされ、送信中は1を保持します。送信動作が終了すると、0にクリアされます。また、ウェイト状態でも0に戻ります。

D[7:5] Reserved

D4 **NSERM: Noise Remove On/Off Bit**

ノイズ除去機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

I²Cマスタモジュールには、I2CM_SDAおよびI2CM_SCL端子の入力信号からノイズを除去する機能が組み込まれており、NSERMを1に設定することにより有効となります。ただし、この機能を使用するには、I²Cマスタクロック(CLG_T8Iタイマ出力クロック)周波数をPCLKの1/6以下に設定する必要があります。

D[3:2] Reserved

D1 **STP: Stop Control Bit**

ストップコンディションを生成します。

1(R/W): ストップコンディションを生成

0(R/W): 無効(デフォルト)

STPを1に設定すると、I²CマスタモジュールはI²CバスのI2CM_SCLラインをHighに保った状態でI2CM_SDAラインをLowからHighにしてストップコンディションを生成します。これ以降I²Cバスは、フリー状態になります。

また、ストップコンディションの生成は予約が可能です。ストップコンディションを予約するには、I²Cマスタが動作中(TBUSY = 1またはRBUSY = 1)であることを確認してからSTPを1に設定してください。データの送受信(ACK送受信も含む)が終了した時点でストップコンディションが生成されます。

ストップコンディションが生成されると、STPは自動的に0にリセットされます。

D0 STRT: Start Control Bit

スタートコンディションを生成します。

1(R/W): スタートコンディションを生成

0(R/W): 無効(デフォルト)

STRTを1に設定すると、I²CマスタモジュールはI²CバスのI2CM_SCLラインをHighに保った状態で、I2CM_SDAラインをLowにしてスタートコンディションを生成します。これ以降I²Cバスは、ビジー状態になります。

スタートコンディションを生成するには、以下の順序でレジスタを設定してください。

1. RTDT[7:0](D[7:0]/I2CM_DATレジスタ)にスレーブアドレスを設定
2. TXE(D9/I2CM_DATレジスタ)を1に設定
3. STRTを1に設定

スタートコンディションが生成されると、STRTは自動的に0にリセットされます。

0x4344: I²C Master Data Register (I2CM_DAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Master Data Register (I2CM_DAT)	0x4344 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11	RBRDY	Receive buffer ready	1 Ready 0 Empty	0	R	
		D10	RXE	Receive execution	1 Receive 0 Ignored	0	R/W	
		D9	TXE	Transmit execution	1 Transmit 0 Ignored	0	R/W	
		D8	RTACK	Receive/transmit ACK	1 Error 0 ACK	0	R/W	
		D7–0	RTDT[7:0]	Receive/transmit data RTDT7 = MSB RTDT0 = LSB	0x0 to 0xff	0x0	R/W	

D[15:12] Reserved**D11 RBRDY: Receive Buffer Ready Bit**

受信バッファの状態を示します。

1(R): 受信データあり

0(R): 受信データなし(デフォルト)

RBRDYフラグはシフトレジスタに受信したデータがRTDT[7:0](D[7:0])にロードされると1になり、RTDT[7:0]から受信データが読み出されると0に戻ります。このフラグが1になった時点で割り込みを発生させることもできますので、この割り込みを利用するか、RBRDYフラグの読み出しによってRTDT[7:0]に有効な受信データがあることを確認し、受信データを読み出してください。

D10 RXE: Receive Execution Bit

1バイトのデータ受信を実行します。

1(R/W): データ受信開始

0(R/W): 無効(デフォルト)

RXEを1、TXE(D9)を0に設定することにより、1バイトのデータ受信を開始します。スレーブアドレスの送信中またはデータの受信中でも、次の受信のためにRXEを1に設定しておくことができます。RXEはD6がシフトレジスタに取り込まれた時点で0にリセットされます。

D9 TXE: Transmit Execution Bit

1バイトのデータ送信を実行します。

1(R/W): データ送信開始

0(R/W): 無効(デフォルト)

送信データをRTDT[7:0](D[7:0])に設定するとともにTXEに1を書き込んで送信を開始します。スレーブアドレスまたはデータの送信中でも、次の送信のためにTXEを1に設定しておくことができます。TXEはRTDT[7:0]に設定したデータがシフトレジスタに転送された時点で0にリセットされます。

D8 RTACK: Receive/Transmit ACK Bit**データ送信時**

応答ビットの状態を示します。

1(R/W): エラー(NAK)

0(R/W): ACK(デフォルト)

1バイトのデータを送信後、スレーブからACKが返るとRTACKは0になります。これは、スレーブがデータを正常に受信できたことを示します。RTACKが1の場合、スレーブデバイスが動作していないか、データが正常に受信できなかったことを示します。

データ受信時

スレーブに送信する応答ビットを設定します。

1(R/W): エラー(NAK)

0(R/W): ACK(デフォルト)

データ受信後にACKを返す場合は、I²Cマスタモジュールが応答ビットを送る前にRTACKを0に設定してください。

NAKを返す場合は、RTACKを1に設定します。

D[7:0] RTDT[7:0]: Receive/Transmit Data Bits**データ送信時**

送信データを設定します。(デフォルト: 0x0)

データ送信は、TXE(D9)を1に設定することにより開始します。現在スレーブアドレスまたはデータを送信中の場合は、その終了後に新たな送信を開始します。I2CM_SDA端子からはシリアル変換されたデータがMSBを先頭に、0に設定されたビットをLowレベルとして出力されます。このレジスタに書き込んだデータがシフトレジスタに転送された時点で、送信バッファエンプティ割り込み要因が発生します。それ以降であれば、次の送信データを書き込むことができます。

データ受信時

受信データが読み出せます。(デフォルト: 0x0)

データ受信はRXE(D10)を1に設定すると開始します。現在スレーブアドレス送信中またはデータ受信中の場合は、その終了後に新たな受信を開始します。受信が終了し、シフトレジスタのデータがこのレジスタに転送された時点でRBRDYフラグ(D11)がセットされ、受信バッファフル割り込み要因が発生します。これ以降、次のデータの受信を終了するまで、データの読み出しが可能です。このレジスタを読み出す前に次の受信を終了した場合は、新たな受信データで上書きされます。

I2CM_SDA端子から入力されたシリアルデータは先頭をMSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。

0x4346: I²C Master Interrupt Control Register (I2CM_ICTL)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
I ² C Master Interrupt Control Register (I2CM_ICTL)	0x4346 (16 bits)	D15-2	--	reserved	--			--	--	0 when being read.
		D1	RINTE	Receive interrupt enable	1	Enable	0	Disable	0	R/W
		D0	TINTE	Transmit interrupt enable	1	Enable	0	Disable	0	R/W

D[15:2] Reserved**D1 RINTE: Receive Interrupt Enable Bit**

I²Cマスタの受信バッファフル割り込みを許可/禁止します。

1 (R/W): 許可

0 (R/W): 禁止(デフォルト)

RINTEを1に設定すると、受信バッファフルによるI²Cマスタ割り込み要求のITCへの出力を許可します。この割り込み要求は、シフトレジスタに受信したデータがRTDT[7:0](D[7:0]/I2CM_DATレジスタ)に転送される(受信が完了する)ことにより発生します。

RINTEを0に設定すると、I²Cマスタの受信バッファフル割り込みは発生しません。

D0 TINTE: Transmit Interrupt Enable Bit

I²Cマスタの送信バッファエンプティ割り込みを許可/禁止します。

1 (R/W): 許可

0 (R/W): 禁止(デフォルト)

TINTEを1に設定すると、送信バッファエンプティによるI²Cマスタ割り込み要求のITCへの出力を許可します。この割り込み要求は、RTDT[7:0](D[7:0]/I2CM_DATレジスタ)に書き込んだデータがシフトレジスタに転送されることにより発生します。

TINTEを0に設定すると、I²Cマスタの送信バッファエンプティ割り込みは発生しません。

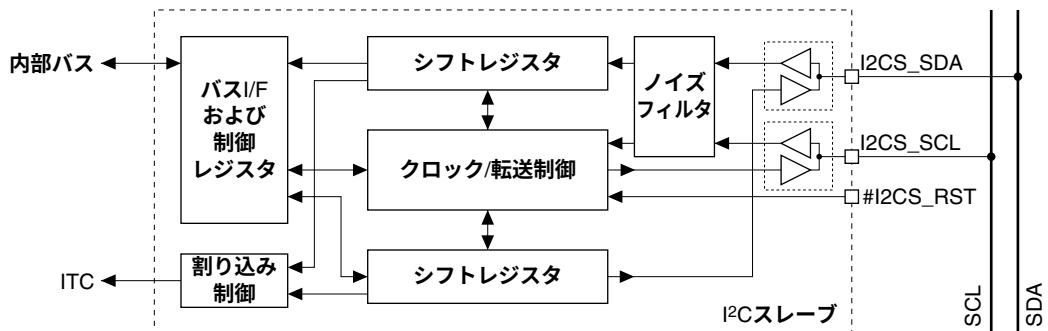
このページはブランクです。

V.3 I²Cスレーブ

V.3.1 I²Cスレーブの構成

S1C17002は高速同期シリアル通信用に、I²Cスレーブモジュールを内蔵しています。I²CスレーブモジュールはI²Cマスタから供給されるクロックを使用し、I²Cバスのスレーブデバイスとして動作します。標準(100kbps)モードおよびファストモード(400kbps)、7ビットスレーブアドレスモード、クロックストレッチに対応しています。また、データ転送の信頼性向上に役立つ、ノイズ除去機能が組み込まれています。本モジュールは、3種類の割り込み(送信割り込み、受信割り込み、およびバスステータス割り込み)を発生可能で、連続したシリアルデータ転送を割り込みによって簡潔に処理することができます。

図V.3.1.1にI²Cスレーブモジュールの構造を示します。



注: 本I²Cスレーブはゼネラルコールアドレスおよび10ビットアドレスモードには対応していません。

V

I²C

V.3.2 I²Cスレーブ入出力端子

表V.3.2.1にI²Cスレーブ端子の一覧を示します。

表V.3.2.1 I²Cスレーブ端子一覧

端子名	I/O	本数	機 能
I2CS_SDA	I/O	1	I ² Cスレーブデータ入出力端子 I ² Cバスからシリアルデータを入力します。 また、シリアルデータをI ² Cバスに出力します。
I2CS_SCL	I/O	1	I2CSクロック入出力端子 SCLラインの状態を入力します。 また、クロックストレッチ動作時はLowレベルを出力します。
#I2CS_RST	I	1	I ² Cバス解放要求入力端子 Low/パルスの入力により、I ² Cバスの解放を要求します。ソフトウェアによつて要求入力が許可されていれば、I ² Cスレーブの通信プロセスが初期化され、I2CS_SDAおよびI2CS_SCL端子がハイインピーダンスになります。

I²Cスレーブの入出力端子(I2CS_SDA、I2CS_SCL、#I2CS_RST)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをI²Cスレーブの入出力端子として使用するには、Port Function Select Registerの設定により機能を切り換える必要があります。端子機能の切り換えについては、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

V.3.3 I²Cスレーブクロック

I²Cスレーブモジュールは、外部I²Cマスタが出力するクロックをI2CS_SCL端子から入力して動作します。

I²Cスレーブモジュールの動作にはシステムクロック(PCLK)も使用されます。データ転送時はPCLKをI2CS_SCL入力クロック周波数の8倍以上に設定する必要がありますが、転送待機時は非同期アドレス検出機能によりPCLKを低く抑えることができます(消費電流を低減できます)。詳細については、“V.3.4.3 オプション機能”内の“非同期アドレス検出機能”を参照してください。

V.3.4 I²Cスレーブの初期設定

V.3.4.1 リセット

通信プロセスの初期化やI²Cバスを解放状態(ハイインピーダンス)にするため、I²Cスレーブモジュールをリセットする必要があります。モジュールをリセットする方法には、イニシャルリセットの他に以下の2種類があります。

(1)ソフトウェアリセット

SOFTRESET(D6/I2CS_CTLレジスタ)の操作により、I²Cスレーブモジュールをリセットできます。

* **SOFTRESET**: Software Reset Bit in the I²C Slave Control (I2CS_CTL) Register (D6/0x4366)

リセットするには、SOFTRESETに1を書き込んでI²Cスレーブモジュールをリセット状態にし、その後で0を書き込んでリセット状態を解除します。1と0の書き込みの間には、特に待ち時間の挿入は必要ありません。

この操作により、I²Cスレーブモジュールは、スタートコンディションに待機するため、I²Cスレーブの通信プロセスを初期化するとともに、I2CS_SDAおよびI2CS_SCL端子をハイインピーダンスにします。また、SOFTRESETを除くすべてのI²Cスレーブ制御ビットを初期化します。

通信を開始する前の初期設定時に、このリセット処理を行ってください。

(2) #I2CS_RST端子入力によるバス解放要求

I²Cスレーブモジュールは、#I2CS_RST端子入力によるバス解放要求を受け付け可能です。

本デバイスのデフォルト設定では、バス解放要求受け付け機能が無効です。機能を有効にするには、BFREQ_EN(D4/I2CS_CTLレジスタ)を1に設定してください。

* **BFREQ_EN**: Bus Free Request Enable Bit in the I²C Slave Control (I2CS_CTL) Register (D4/0x4366)

機能を有効にすると、#I2CS_RST端子へのLowパルス入力(周辺モジュールクロック(PCLK)1クロック以上のパルス幅が必要。2クロック以上を推奨)によりBFREQ(D4/I2CS_STATレジスタ)が1にセットされます。これにより、I²Cスレーブの通信プロセスが初期化され、I2CS_SDAおよびI2CS_SCL端子がハイインピーダンスになります。前述のソフトウェアリセットとは異なり、制御レジスタは初期化されません。

* **BFREQ**: Bus Free Request Bit in the I²C Slave Status (I2CS_STAT) Register (D4/0x4368)

注: BFREQが1にセットされた場合(割り込みにて確認可能)はソフトウェアリセットを行い、再度各レジスタの設定を行ってください。

V.3.4.2 スレーブアドレスの設定

I²Cスレーブは、各デバイスを識別するために固有のスレーブアドレスを持ちます。

本I²Cスレーブモジュールは7ビットアドレスに対応しており(10ビットアドレスには未対応)、本デバイスのアドレスをI2CS_SADRSレジスタ(0x4364)に設定しておきます。

V.3.4.3 オプション機能

I²Cスレーブモジュールには、アプリケーションプログラムから選択可能なクロックストレッチ、非同期アドレス検出、ノイズ除去のオプション機能があります。

クロックストレッチ機能

クロックストレッチは、スレーブデバイスが1つのデータとACKの送受信の後、次の送受信の準備が整うまでSCLラインを強制的にLowにプルダウンしてマスタデバイスにウェイトを要求する機能です。マスタはこの要求が解除される(SCLラインがHighになる)まで、送受信を中断して待機します。本デバイスのデフォルト設定では、クロックストレッチ機能が無効です。機能を有効にするには、送受信前にCLKSTR_EN(D3/I2CS_CTLレジスタ)を1に設定してください。なお、クロックストレッチ動作を行ったときのデータセットアップ時間(SDATA[7:0](D[7:0]/I2CS_TRNSレジスタ)のMSBをI2CS_SDA端子に出力してからI2CS_SCL端子のプルダウンを解除するまでは、I²Cスレーブモジュールの動作クロック(PCLK)周波数によって変わります。

* **CLKSTR_EN**: Clock Stretch On/Off Bit in the I²C Slave Control (I2CS_CTL) Register (D3/0x4366)

非同期アドレス検出機能

データ通信時は、I²Cスレーブモジュールの動作クロック(PCLK)を転送速度の8倍以上の周波数に設定する必要がありますが、通信待機中に他の処理が不要の場合は、PCLKの周波数を下げて消費電流を抑えることができます。非同期アドレス検出機能は、この場合でもマスタが送信する本I²Cスレーブのアドレスを検出するための機能です。

本デバイスのデフォルト設定では、非同期アドレス検出機能が無効です。機能を有効にするには、ASDET_EN(D1/I2CS_CTLレジスタ)を1に設定してください。

* **ASDET_EN**: Async. Address Detection On/Off Bit in the I²C Slave Control (I2CS_CTL) Register (D1/0x4366)

本機能を有効にした場合、マスタが送信したスレーブアドレスが本I²Cスレーブアドレスに一致すると、本モジュールはバスステータス割り込みを発生すると共にI²Cマスタに対してNAKを返し、再送を要求します。この割り込み処理ルーチン内でPCLKを転送速度の8倍以上に設定し、ASDET_ENを0にリセットしてください。この後、マスタからの再送により通常のデータ転送を再開できます。ストップコンディションによりバスがフリー状態になった後は、再度非同期アドレス検出機能を有効にして動作速度を下げるすることができます。

- 注:
- 非同期アドレス検出機能を有効にした場合、I²C信号はノイズフィルタを通さずに入力されます。このため、ノイズが多い環境ではスレーブアドレスを正しく検出できない場合があります。
 - 非同期アドレス検出機能を有効にすると、PCLKの周波数が転送速度の8倍以上あってもデータ転送は行えません。通常動作時は、非同期アドレス検出機能を必ず無効にしてください。

ノイズ除去機能

I²Cスレーブモジュールには、I2CS_SDAおよびI2CS_SCL端子の入力信号からノイズを除去する機能が組み込まれています。この機能は、NF_EN(D2/I2CS_CTLレジスタ)を1に設定することにより有効となります。

* **NF_EN**: Noise Filter On/Off Bit in the I²C Slave Control (I2CS_CTL) Register (D2/0x4366)

V

I²C

V.3.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) I²Cスレーブモジュールの初期設定を行います。V.3.4節を参照してください。
- (2) I²Cスレーブ割り込みを使用する場合は、割り込み条件を設定します。V.3.6節を参照してください。

注: 上記の設定は、必ずI²Cスレーブモジュールが停止中(I2C_EN/I2CS_CTLレジスタ = 0)に行ってください。

* **I2C_EN**: I²C Slave Enable Bit in the I²C Slave Control (I2CS_CTL) Register (D7/0x4366)

データ送受信を許可

最初にI2C_EN(D7/I2CS_CTLレジスタ)を1に設定してI²Cスレーブの動作を許可します。これにより、スタートコンディションの検出によって通信動作を開始できるようになります。

注: I²Cスレーブモジュールが送受信中はI2C_ENを0に設定しないでください。

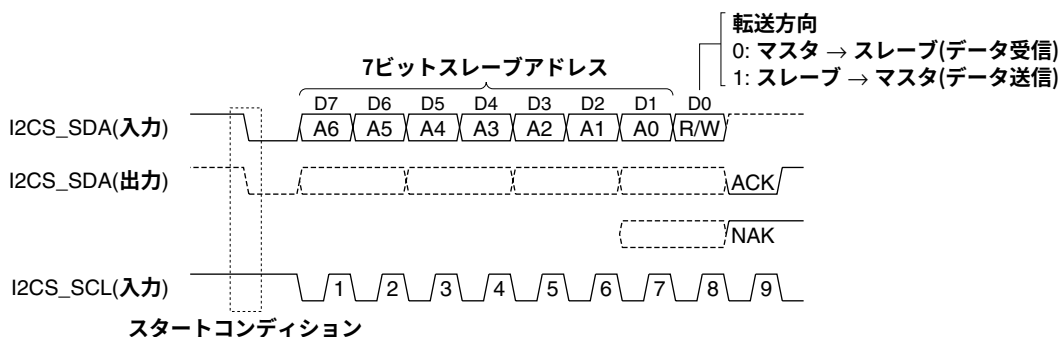
データ送受信の開始

データの送受信を開始するには、COM_MODE(D0/I2CS_CTLレジスタ)を1に設定して通信を許可します。

* **COM_MODE**: I²C Slave Communication Mode Bit in the I²C Slave Control (I2CS_CTL) Register (D0/0x4366)

スタートコンディションに続き、マスタから送られた本デバイスのスレーブアドレスを受信すると、I²CスレーブモジュールはマスタにACK(I2CS_SDA = Low)を返し、アドレスと共に受信した転送方向ビットによりデータ受信またはデータ送信動作を開始します。

COM_MODEが0(デフォルト)の場合、マスタから本デバイスのスレーブアドレスが送信されても応答しません(ホストはNAKが返ったものと見なします)。



図V.3.5.1 スレーブアドレスと転送方向ビットの受信

スタートコンディションを検出すると、BUSY(D2/I2CS_ASTATレジスタ)が1にセットされ、I²Cバスがビジー状態になったことを示します。また、本デバイスのスレーブアドレスを受信するとSELECTED(D1/I2CS_ASTATレジスタ)が1にセットされ、本モジュールがI²Cスレーブデバイスとして選択されたことを示します。BUSYはストップコンディションを検出するまで1を保持します。SELECTEDはストップコンディションからリピーテッドスタートコンディションを検出するまで1を保持します。また、転送方向ビットの値がR/W(D0/I2CS_ASTATレジスタ)にセットされますので、送信/受信処理の切り換えに利用してください。

* **BUSY**: I²C Bus Status Bit in the I²C Slave Access Status (I2CS_ASTAT) Register (D2/0x436a)

* **SELECTED**: I²C Slave Select Status Bit in the I²C Slave Access Status (I2CS_ASTAT) Register (D1/0x436a)

* **R/W**: Read/Write Direction Bit in the I²C Slave Access Status (I2CS_ASTAT) Register (D0/0x436a)

非同期アドレス検出機能を有効にしている場合に本デバイスのスレーブアドレスを検出すると、ASDET(D2/I2CS_STATレジスタ)が1にセットされます。本モジュールはバスステータス割り込みを発生すると共にI²Cマスタに対してNAKを返し、再送を要求します。この割り込み処理ルーチン内でPCLKを転送速度の8倍以上に設定し、非同期アドレス検出機能を無効にしてください。この後、マスタからの再送により通常のデータ転送を再開できます。ASDETは1の書き込みでクリアされます。

* **ASDET**: Async. Address Detection Status Bit in the I²C Slave Status (I2CS_STAT) Register (D2/0x4368)

データ送信

以下、データの送信方法を説明します。

前述のSELECTEDとR/Wビットがどちらも1になると、I²Cスレーブモジュールはデータ送信動作を開始します。TXEMP(D3/I2CS_ASTATレジスタ)が1にセットされ、送信データの書き込みをアプリケーションに要求します。送信データは、SDATA[7:0](D[7:0]/I2CS_TRNSレジスタ)に書き込みます。

* **TXEMP**: Transmit Data Empty Bit in the I²C Slave Access Status (I2CS_ASTAT) Register (D3/0x436a)

* **SDATA[7:0]**: I²C Slave Transmit Data Bits in the I²C Slave Transmit Data (I2CS_TRNS) Register (D[7:0]/0x4360)

スレーブ選択後に送信する最初のデータは、以下の点に注意して設定してください。

クロックストレッチ機能が無効(デフォルト)の場合

TXEMPが1にセットされてからI²Cスレーブクロック(I2CS_SCL)の1サイクル以内に送信データをSDATA[7:0]に書き込む必要があります。この時間が短いため、TXEMPがセットされる前に先行して送信データの書き込みを行っておきます。SDATA[7:0]に前回の送信データが残っていた場合も今回のデータにより上書きされますので、TBUF_CLRによるクリア操作(下記参照)は不要です。非同期アドレス検出機能を使用する場合、ASDET_ENを0にリセットする前に書き込みを行ったデータは無効となるため、TXEMPが1にセットされてから送信データを書き込む必要があります。

クロックストレッチ機能が有効の場合

クロックストレッチによるウェイト機能が働くため、TXEMPがセットされた後でも送信データの書き込みが可能です。ただし、SDATA[7:0]に前回の送信データが残っているとTXEMPがセットされた時点でそのデータが送信されてしまいますので、本I²Cスレーブが選択される前にTBUF_CLR(D8/I2CS_CTLレジスタ)を使用してI2CS_TRNSレジスタをクリアしておきます。TBUF_CLRに1を書き込んだ後、もう一度0を書き込むことによりI2CS_TRNSレジスタがクリアされます。

* **TBUF_CLR**: I2CS_TRNS Register Clear Bit in the I²C Slave Control (I2CS_CTL) Register (D8/0x4366)

TXEMPがセットされる前に最初の送信データを書き込んでおく場合は、I2CS_TRNSレジスタをクリアする必要はありません。

非同期アドレス検出機能を使用する場合、ASDET_ENを0にリセットする前に書き込みを行ったデータは無効となるため、TXEMPが1にセットされてから送信データを書き込む必要があります。

最初の送信時以外は、TXEMPがセットされた時点で割り込みを発生させることができますので、この割り込み処理ルーチン内で送信データを書き込んでください。送信中にSDATA[7:0]に書き込んだ送信データがシフトレジスタに送られた場合も、TXEMPが1にセットされます。TXEMPは送信データの書き込みによりクリアされます。

クロックストレッチ機能が無効(デフォルト)の場合

クロックストレッチ機能を無効にしている場合は、TXEMPのセットからI²Cスレーブクロック(I2CS_SCL)の7サイクル以内にデータをI2CS_TRNSレジスタに書き込む必要があります。

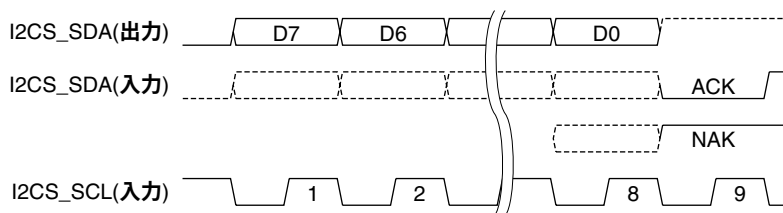
この時間内に書き込みを行わないと、現在のレジスタ値が送信されてしまいます。この場合、TXUDF(D5/I2CS_STATレジスタ)が1にセットされ、無効なデータが送られたことを示します。TXUDFがセットされた時点で割り込みを発生させることができますので、この割り込み処理ルーチン内でエラー処理が行えます。TXUDFは1の書き込みでクリアされます。

* **TXUDF**: Transmit Data Underflow Bit in the I²C Slave Status (I2CS_STAT) Register (D5/0x4368)

クロックストレッチ機能が有効の場合

クロックストレッチ機能を有効にしている場合は、送信データがI2CS_TRNSレジスタに書き込まれるまでI²CスレーブモジュールはI2CS_SCL端子をプルダウンしてクロックストレッチ(ウェイト)状態を生成します。

送信データはマスタから送られるI2CS_SCL入力クロックに同期してI2CS_SDA端子からMSBを先頭に出力されます。8ビットの送信後、9ビット目のクロックサイクルにマスタからACKまたはNAKが返ります。



図V.3.5.2 ACKとNAK

ACKはマスタがデータを受信したことを示します。このACKは続くデータの送信要求でもありますので、次の送信データが書き込まれている必要があります。クロックストレッチ機能を有効にしている場合は、ACKの受信によりクロックストレッチ状態になりますので、ACK受信後にデータを書き込むこともできます。マスタが正しく受信できなかった場合、あるいはマスタが受信を終了する場合はNAKが返ります。NAKが返った場合、クロックストレッチ機能を有効にしている場合でも、クロックストレッチ状態にはなりません。ACKとNAKのどちらが返ったかについては、DA_NAK(D1/I2CS_STATレジスタ)を読み出すことで確認できます。ACKが返るとDA_NAKは0に、NAKが返ると1に設定されます。DA_NAKが1にセットされた時点で割り込みを発生させることができますので、この割り込みを利用してエラー処理や送信終了処理を行うことができます。DA_NAKは1の書き込みでクリアされます。

* **DA_NAK**: NAK Receive Status Bit in the I²C Slave Status (I2CS_STAT) Register (D1/0x4368)

データ送信中はI2CS_SDAの状態がモジュール内にも取り込まれ、出力データと比較されます。この結果はDMS(D3/I2CS_STATレジスタ)にセットされます。正しく出力されている場合、DMSは0になります。I2CS_SDAの状態が出力データと異なる場合は1にセットされます。この場合、プルアップ抵抗値が低いか、ほかのI²CデバイスがI2CS_SDAラインを制御していることが考えられます。DMSが1にセットされた時点で割り込みを発生させることができますので、この割り込みを利用してエラー処理を行うことができます。DMSは1の書き込みでクリアされます。

* **DMS**: Output Data Mismatch Bit in the I²C Slave Status (I2CS_STAT) Register (D3/0x4368)

注: 下記の条件がすべて成立している状態で、マスタが送信したアドレスに対して本I²CスレーブがNAKを返信した場合、マスタは異なるスレーブヘッドレスを送信する前に33μs以上の待ち時間を取る必要があります(本I²Cスレーブのスレーブアドレスを送信する場合を除く)。

1. 通信レートを320kbps以上に設定している。
2. 非同期アドレス検出機能を有効にしている。
3. OSC1を動作クロック(PCLK)として、本I²Cスレーブが通信待機状態にある。

データ受信

以下、受信データの読み出し方法を説明します。

前述のSELECTEDビットが1、R/Wビットが0になると、I²Cスレーブモジュールはデータ受信動作を開始します。受信データは、マスタから送られるI2CS_SCL入力クロックに同期してI2CS_SDA端子から入力されます。8ビットのデータ(MSB先頭)がシフトレジスタに取り込まれると、受信データはRDATA[7:0](D7/I2CS_RECVレジスタ)にロードされます。

* **RDATA[7:0]**: I²C Slave Receive Data Bits in the I²C Slave Receive Data (I2CS_RECV) Register (D7/0x4362)

受信データがRDATA[7:0]にロードされると、RXRDY(D4/I2CS_ASTATレジスタ)が1にセットされ、RDATA[7:0]の読み出しをアプリケーションに要求します。RXRDYがセットされた時点で割り込みを発生させることができますので、この割り込み処理ルーチン内で受信データを読み出してください。RXRDYは受信データの読み出しによってクリアされます。

* **RXRDY**: Receive Data Ready Bit in the I²C Slave Access Status (I2CS_ASTAT) Register (D4/0x436a)

クロックストレッチ機能が無効(デフォルト)の場合

クロックストレッチ機能を無効にしている場合は、RXRDYのセットからI²Cスレーブクロック(I2CS_SCL)の7サイクル以内にデータをI2CS_RECVレジスタから読み出す必要があります。

クロックストレッチ機能が有効の場合

クロックストレッチ機能を有効にしている場合は、受信データがI2CS_RECVレジスタから読み出されるまでI²CスレーブモジュールはI2CS_SCL端子をプルダウンしてクロックストレッチ(ウェイト)状態を生成します。

データが読み出されずに次のデータを受信すると、RDATA[7:0]が上書きされてしまいます。この場合、RXOVF(D5/I2CS_STATレジスタ)が1にセットされ、受信データが上書きされたことを示します。RXOVFがセットされた時点で割り込みを発生させることができますので、この割り込み処理ルーチン内でエラー処理が行えます。RXOVFは1の書き込みでクリアされます。

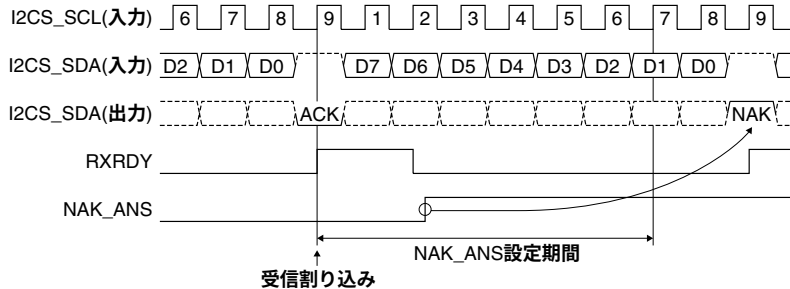
* **RXOVF**: Receive Data Overflow Bit in the I²C Slave Status (I2CS_STAT) Register (D5/0x4368)

データ受信時のNAK応答

データ受信時(マスタ送信時)は、8ビットの受信ごとにI²CスレーブモジュールがマスタにACK (I2CS_SDA = Low)を返します(デフォルト設定)。これをNAK_ANS(D5/I2CS_CTLレジスタ)の設定により、NAK(I2CS_SDA = Hi-Z)を返すように変更可能です。NAK_ANSが0の場合はACKが、1に設定するとNAKが返ります。

* **NAK_ANS**: NAK Answer Bit in the I²C Slave Control (I2CS_CTL) Register (D5/0x4366)

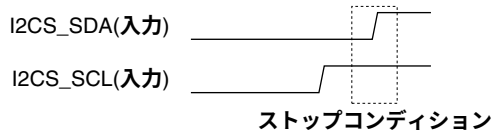
NAK_ANSの設定は、NAKを返す1つ前のデータ受信によるRXRDYのセットからPCスレーブクロック(I2CS_SCL)の7サイクル以内に行ってください。



図V.3.5.3 NAK_ANSの設定とNAK応答タイミング

データ送受信の終了(ストップコンディションの検出)

データ転送はマスタがストップコンディションを生成することで終了します。I2CS_SCLラインをHighに保った状態で、I2CS_SDAラインをLowからHighにすることがストップコンディションとなります。



図V.3.5.4 ストップコンディション

本モジュールがスレーブとして選択されている状態(SELECTED = 1)でストップコンディションを検出すると、PCスレーブモジュールはDA_STOP(D0/I2CS_STATレジスタ)を1にセットします。同時にI2CS_SDAおよびI2CS_SCL端子をハイインピーダンスにするとともに、次のスタートコンディションに待機するため、PCスレーブの通信プロセスを初期化します。この時点でSELECTEDとBUSYが0にリセットされます。

* **DA_STOP**: Stop Condition Detect Bit in the I²C Slave Status (I2CS_STAT) Register (D0/0x4368)

DA_STOPが1にセットされた時点で割り込みを発生させることができますので、この割り込みを利用して通信終了処理を行うことができます。DA_STOPは1の書き込みでクリアされます。

データ送受信を禁止

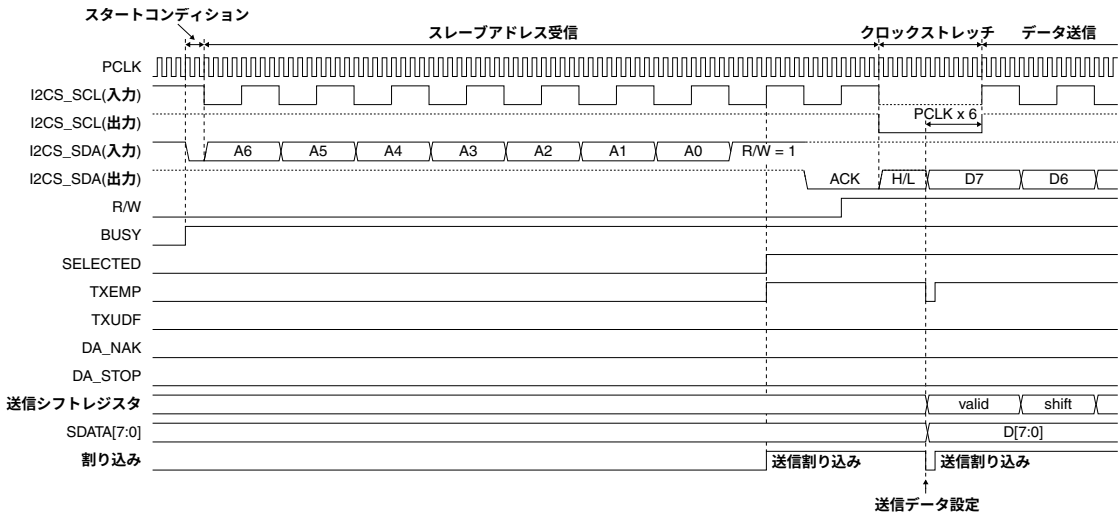
データ転送を終了後は、COM_MODE(D0/I2CS_CTLレジスタ)に0を書き込んでデータ送受信を禁止します。ただし、データ送受信を禁止する前に、BUSYとSELECTEDが0になっていることを確認してください。

I²Cスレーブ機能を終了させる場合は、I2C_EN(D7/I2CS_CTLレジスタ)を0に設定します。

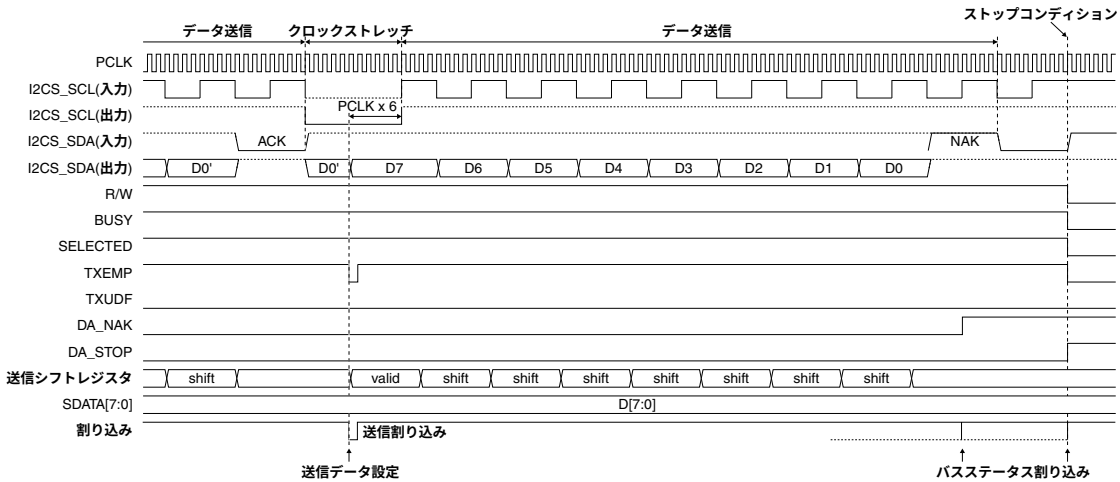
V

PCS

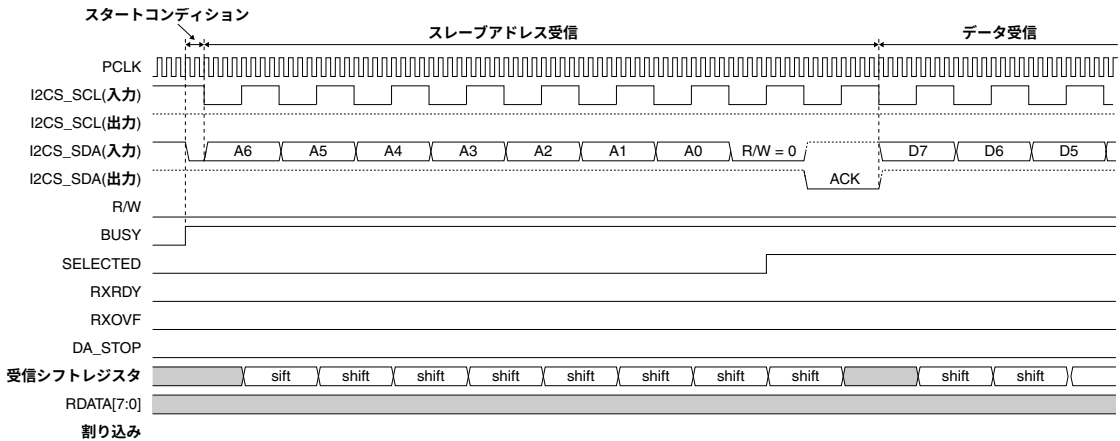
タイミングチャート



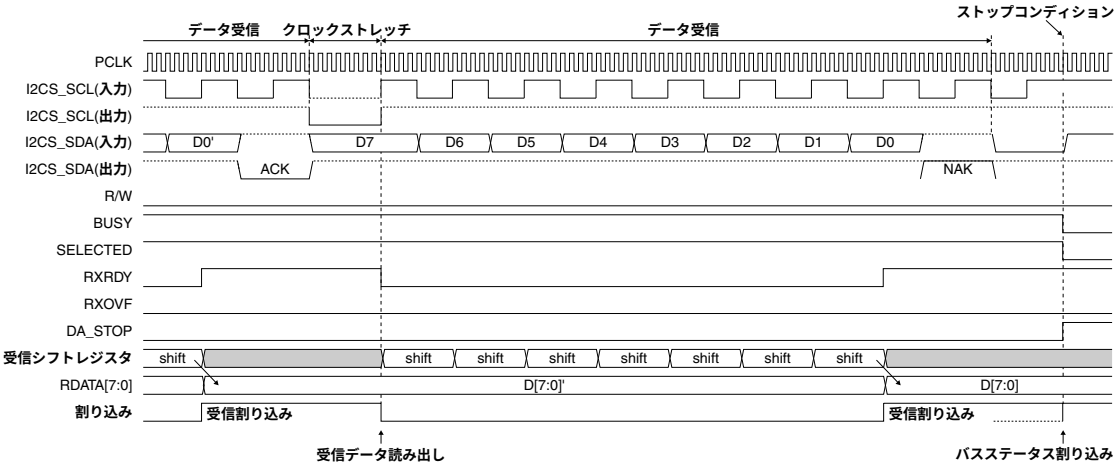
図V.3.5.5 I²Cスレーブタイミングチャート1(スタートコンディション→データ送信)



図V.3.5.6 I²Cスレーブタイミングチャート2(データ送信→ストップコンディション)



図V.3.5.7 I²Cスレーブタイミングチャート3(スタートコンディション→データ受信)



図V.3.5.8 I²Cスレーブタイミングチャート4(データ受信→ストップコンディション)

V.3.6 I²Cスレーブ割り込み

I²Cスレーブモジュールには、以下の3種類の割り込みを発生させる機能があります。

- 送信割り込み
- 受信割り込み
- バスステータス割り込み

送信割り込み

SDATA[7:0](D[7:0]/I2CS_TRNSレジスタ)に書き込んだ送信データがシフトレジスタに送られると、TXEMP(D3/I2CS_ASTATレジスタ)が1にセットされ、割り込み信号がITCに出力されます。この割り込みを利用して、次の送信データをSDATA[7:0]に書き込むことができます。

- * **SDATA[7:0]**: I²C Slave Transmit Data Bits in the I²C Slave Transmit Data (I2CS_TRNS) Register (D[7:0]/0x4360)
- * **TXEMP**: Transmit Data Empty Bit in the I²C Slave Access Status (I2CS_ASTAT) Register (D3/0x436a)

この割り込みを使用するには、TXEMP_IEN(D0/I2CS_ICTLレジスタ)を1に設定します。TXEMP_IENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

- * **TXEMP_IEN**: Transmit Interrupt Enable Bit in the I²C Slave Interrupt Control (I2CS_ICTL) Register (D0/0x436c)

受信割り込み

受信データがRDATA[7:0](D[7:0]/I2CS_RECVレジスタ)にロードされると、RXRDY(D4/I2CS_ASTATレジスタ)が1にセットされ、割り込み信号がITCに出力されます。この割り込みを利用して、受信データをRDATA[7:0]から読み出すことができます。

- * **RDATA[7:0]**: I²C Slave Receive Data Bits in the I²C Slave Receive Data (I2CS_RECV) Register (D[7:0]/0x4362)
- * **RXRDY**: Receive Data Ready Bit in the I²C Slave Access Status (I2CS_ASTAT) Register (D4/0x436a)

この割り込みを使用するには、RXRDY_IEN(D1/I2CS_ICTLレジスタ)を1に設定します。RXRDY_IENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

- * **RXRDY_IEN**: Receive Interrupt Enable Bit in the I²C Slave Interrupt Control (I2CS_ICTL) Register (D1/0x436c)

バスステータス割り込み

I²Cスレーブモジュールには、送受信やI²Cバスの状態を示す以下のステータスビットが設けられています(機能の詳細は、V.3.5節を参照してください)。

1. **ASDET**: 非同期アドレス検出時に1にセット
* **ASDET**: Async. Address Detection Status Bit in the I²C Slave Status (I2CS_STAT) Register (D2/0x4368)
2. **TXUDF**: 送信データ書き込み前に送信動作を開始した場合に1にセット
(クロックストレッチが無効の場合)
* **TXUDF**: Transmit Data Underflow Bit in the I²C Slave Status (I2CS_STAT) Register (D5/0x4368)
3. **DA_NAK**: 送信時にマスタデバイスからNAKが返った場合に1にセット
* **DA_NAK**: NAK Receive Status Bit in the I²C Slave Status (I2CS_STAT) Register (D1/0x4368)
4. **DMS**: 送信データとI2CS_SDAラインの状態が異なる場合に1にセット
* **DMS**: Output Data Mismatch Bit in the I²C Slave Status (I2CS_STAT) Register (D3/0x4368)

DMSは、他のスレーブデバイスが本I²Cスレーブアドレスに対してACK応答を行った場合もセットされます(ASDET_EN(D1/I2CS_CTLレジスタ) = 0の場合)。

注: 本ICを含む複数のスレーブデバイスがI²Cバスに接続されている状態でマスタデバイスと他のスレーブデバイスが通信を開始した場合、スレーブアドレスの送信に対して本I²CスレーブはNAKで応答します。選択されたスレーブデバイスはACKで応答するため、本I²Cスレーブによる出力内容とI2CS_SDAラインが異なる状態となりDMSが発生することがあります。DMSが発生した場合でもSELECTED(D1/I2CS_ASTATレジスタ)が0のときは、他のスレーブデバイスとACK/NAK応答が異なるだけで問題ありませんので無視してください。この場合でも、非同期アドレス検出状態(ASDET_EN = 0)に設定されているときはDMSは発生しません。

5. **RXOVF**: 受信データを読み出す前に次の受信が完了した(データが上書きされた)場合に1にセット
(クロックストレッチが無効の場合)
* **RXOVF**: Receive Data Overflow Bit in the I²C Slave Status (I2CS_STAT) Register (D5/0x4368)

6. BFREQ: バス解放要求を受け付けた場合に1にセット

* **BFREQ**: Bus Free Request Bit in the I²C Slave Status (I2CS_STAT) Register (D4/0x4368)

7. DA_STOP: スレーブ選択状態でストップコンディション、またはリピーテッドスタートコンディションを検出した場合に1にセット

* **DA_STOP**: Stop Condition Detect Bit in the I²C Slave Status (I2CS_STAT) Register (D0/0x4368)

この中のいずれかのビットが1にセットされると、同時にBSTAT(D7/I2CS_STATレジスタ)もセットされ、割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理や終了処理が行えます。

* **BSTAT**: Bus Status Transition Bit in the I²C Slave Status (I2CS_STAT) Register (D7/0x4368)

この割り込みを使用するには、BSTAT_IEN(D2/I2CS_ICTLレジスタ)を1に設定します。BSTAT_IENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

* **BSTAT_IEN**: Bus Status Interrupt Enable Bit in the I²C Slave Interrupt Control (I2CS_ICTL) Register (D2/0x436c)

I²Cスレーブ割り込み用ITCレジスタ

割り込みが許可されている割り込み要因が発生すると、I²Cスレーブモジュールは割り込み信号をITCに出力します。I²Cスレーブ割り込みを発生させるには、ITCレジスタで割り込みレベルと割り込み許可の設定を行ってください。表V.3.6.1に、I²Cスレーブ割り込み用のITC制御レジスタを示します。

表V.3.6.1 ITCレジスタ

割り込み要因	割り込みフラグ	割り込みイネーブルビット	割り込みレベル設定ビット
送信/受信	AIFT12(D12/ITC_AIFLG)	AIEN12(D12/ITC_AEN)	AILV12[2:0](D[2:0]/ITC_AILV6)
バスステータス	AIFT13(D13/ITC_AIFLG)	AIEN13(D13/ITC_AEN)	AILV13[2:0](D[10:8]/ITC_AILV6)

ITC_AIFLGレジスタ (0x42e0)

ITC_AENレジスタ (0x42e2)

ITC_AILV6レジスタ (0x42f2)

I²Cスレーブモジュールからの割り込み信号により、対応する割り込みフラグが1にセットされます。その割り込みフラグに対応する割り込みイネーブルビットが1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。I²Cスレーブモジュールによる割り込みを禁止するには、割り込みイネーブルビットを0に設定しておきます。割り込みフラグは、割り込みイネーブルビットの設定にかかわらず(0に設定されていても)、I²Cスレーブモジュールの割り込み信号によって1にセットされます。割り込みレベル設定ビットは、I²Cスレーブ割り込みのレベル(0~7)を設定します。同一の割り込みレベルに設定した場合、送信/受信割り込みの優先順位が高く、バスステータス割り込みが低い順位となります。

S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- I²Cスレーブ割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“III.1 割り込みコントローラ(ITC)”を参照してください。

割り込みベクタ

I²Cスレーブ割り込みのベクタ番号とベクタアドレスは以下のとおりです。

表V.3.6.2 I²Cスレーブ割り込みベクタ

割り込み要因	ベクタ番号	ベクタアドレス
送信/受信	28(0x1c)	TTBR + 0x70
バスステータス	29(0x1d)	TTBR + 0x74

V.3.7 制御レジスタ詳細

表V.3.7.1 I²Cスレーブレジスタ一覧

アドレス	レジスタ名		機 能
0x4360	I2CS_TRNS	I ² C Slave Transmit Data Write Register	I ² Cスレーブ送信データ
0x4362	I2CS_RECV	I ² C Slave Receive Data Read Register	I ² Cスレーブ受信データ
0x4364	I2CS_SADRS	I ² C Slave Address Setup Register	I ² Cスレーブアドレスの設定
0x4366	I2CS_CTL	I ² C Slave Control Register	I ² Cスレーブの制御
0x4368	I2CS_STAT	I ² C Slave Status Register	I ² Cスレーブのバスステータスの表示
0x436a	I2CS_ASTAT	I ² C Slave Access Status Register	I ² Cスレーブのアクセスステータスの表示
0x436c	I2CS_ICTL	I ² C Slave Interrupt Control Register	I ² Cスレーブ割り込みの制御

以下、I²Cスレーブモジュールのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x4360: I²C Slave Transmit Data Register (I2CS_TRNS)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Slave Transmit Data Register (I2CS_TRNS)	0x4360 (16 bits)	D15–8 D7–0	-- SDATA[7:0]	reserved I ² C slave transmit data	-- 0–0xff	-- 0x0	-- R/W	0 when being read.

D[15:8] **Reserved**

D[7:0] **SDATA[7:0]: I²C Slave Transmit Data Bits**

送信データを設定します。(デフォルト: 0x0)
I2CS_SDA端子からはシリアル変換されたデータがMSBを先頭に、0に設定されたビットをLowレベルとして出力されます。このレジスタに書き込んだデータがシフトレジスタに転送された時点で、送信割り込みが発生します。それ以降であれば、次の送信データを書き込むことができます。
クロックストレッチ機能を無効にしている場合は、送信割り込み発生後、PCスレーブクロック(I2CS_SCL)の7サイクル以内にデータを本レジスタに書き込む必要があります。
ただし、スレーブ選択後に送信する最初のデータは、以下の点に注意して設定してください。

クロックストレッチ機能が無効(デフォルト)の場合
TXEMPが1にセットされてからPCスレーブクロック(I2CS_SCL)の1サイクル以内に送信データをSDATA[7:0]に書き込む必要があります。
この時間が短いため、TXEMPがセットされる前に先行して送信データの書き込みを行っておきます。SDATA[7:0]に前回の送信データが残っていた場合も今回のデータにより上書きされますので、TBUF_CLRによるクリア操作(下記参照)は不要です。
非同期アドレス検出機能を使用する場合、ASDET_ENを0にリセットする前に書き込みを行ったデータは無効となるため、TXEMPが1にセットされてから送信データを書き込む必要があります。

クロックストレッチ機能が有効の場合
クロックストレッチによるウェイト機能が働くため、TXEMPがセットされた後でも送信データの書き込みが可能です。ただし、SDATA[7:0]に前回の送信データが残っているとTXEMPがセットされた時点でそのデータが送信されてしまいますので、本I²Cスレーブが選択される前にTBUF_CLR(D8/I2CS_CTLレジスタ)を使用してI2CS_TRNSレジスタをクリアしておきます。TBUF_CLRに1を書き込んだ後、もう一度0を書き込むことによりI2CS_TRNSレジスタがクリアされます。
TXEMPがセットされる前に最初の送信データを書き込んでおく場合は、I2CS_TRNSレジスタをクリアする必要はありません。
非同期アドレス検出機能を使用する場合、ASDET_ENを0にリセットする前に書き込みを行ったデータは無効となるため、TXEMPが1にセットされてから送信データを書き込む必要があります。

V

I²C S

0x4362: I²C Slave Receive Data Register (I2CS_RECV)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Slave Receive Data Register (I2CS_RECV)	0x4362 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	RDATA[7:0]	I ² C slave receive data	0–0xff	0x0	R	

D[15:8] Reserved

D[7:0] RDATA[7:0]: I²C Slave Receive Data Bits

受信データが読み出せます。(デフォルト: 0x0)

I2CS_SDA端子から入力されたシリアルデータは先頭をMSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。

受信が終了し、シフトレジスタのデータがこのレジスタに転送された時点でRXRDY(D4/I2CS_ASTATレジスタ)がセットされ、受信割り込みが発生します。これ以降、データの読み出しが可能です。

クロックストレッチ機能を無効にしている場合は、RXRDYのセットからI²Cスレーブクロック(I2CS_SCL)の7サイクル以内にデータを本レジスタから読み出す必要があります。データが読み出されずに次のデータを受信すると、本レジスタは新たな受信データで上書きされてしまいます。

0x4364: I²C Slave Address Setup Register (I2CS_SADRS)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Slave Address Setup Register (I2CS_SADRS)	0x4364 (16 bits)	D15-7	—	reserved	—	—	—	0 when being read.
		D6-0	SADRS[6:0]	I ² C slave address	0-0x7f	0x0	R/W	

D[15:7] **Reserved**

D[6:0] **SADRS[6:0]: I²C Slave Address Bits**
本モジュールのI²Cスレーブアドレスを設定します。(デフォルト: 0x0)

0x4366: I²C Slave Control Register (I2CS_CTL)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
I ² C Slave Control Register (I2CS_CTL)	0x4366 (16 bits)	D15-9	—	reserved	—		—	—	0 when being read.
		D8	TBUF_CLR	I2CS_TRNS register clear	1 Clear state	0 Normal	0	R/W	
		D7	I2C_EN	I ² C slave enable	1 Enable	0 Disable	0	R/W	
		D6	SOFTRESET	Software reset	1 Reset	0 Cancel	0	R/W	
		D5	NAK_ANS	NAK answer	1 NAK	0 ACK	0	R/W	
		D4	BFREQ_EN	Bus free request enable	1 Enable	0 Disable	0	R/W	
		D3	CLKSTR_EN	Clock stretch On/Off	1 On	0 Off	0	R/W	
		D2	NF_EN	Noise filter On/Off	1 On	0 Off	0	R/W	
		D1	ASDET_EN	Async.address detection On/Off	1 On	0 Off	0	R/W	
		D0	COM_MODE	I ² C slave communication mode	1 Active	0 Standby	0	R/W	

D[15:9] Reserved**D8 TBUF_CLR: I2CS_TRNS Register Clear Bit**

I2CS_TRNSレジスタ(0x4360)をクリアします。

1(R/W): クリア状態

0(R/W): 通常状態(クリア解除) (デフォルト)

TBUF_CLRに1を書き込むとI2CS_TRNSレジスタがクリア状態となり、その後0を書き込むとクリア状態が解除され通常の状態に戻ります。1と0の書き込みの間に待ち時間を挿入する必要があります。

以前に終了した送信のデータがI2CS_TRNSレジスタに残っている状態で新たな送信を開始すると、TXEMP(D3/I2CS_ASTATレジスタ)がセットされた時点でそのデータが送信されてしまいます。これを防ぐため、送信開始前(スレーブ選択の前)に本ビットによりI2CS_TRNSレジスタをクリアしてください。TXEMPのセット前に実際の送信データをI2CS_TRNSレジスタに書き込む場合、クリア操作は不要です。

I2CS_TRNSレジスタがクリア状態(TBUF_CLR = 1)でもI2CS_TRNSレジスタへのデータの書き込みは可能です。ただし、この書き込みによってTXEMPは0にリセットされません。また、その後TBUF_CLRを0に戻してもTXEMPは0にリセットされませんので、I2CS_TRNSレジスタへのデータの書き込みはTBUF_CLR = 0の状態で行ってください。

D7 I2C_EN: I²C Slave Enable Bit

I²Cスレーブモジュールの動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I2C_ENを1に設定するとI²Cスレーブモジュールが動作を開始し、データ転送が行える状態になります。I2C_ENを0に設定すると、I²Cスレーブモジュールは動作を停止します。

D6 SOFTRESET: Software Reset Bit

I²Cスレーブモジュールをリセットします。

1(R/W): リセット

0(R/W): リセット解除(デフォルト)

I²Cスレーブモジュールをリセットするには、SOFTRESETに1を書き込んでモジュールをリセット状態にし、その後で0を書き込んでリセット状態を解除します。1と0の書き込みの間には、特に待ち時間の挿入は必要ありません。この操作により、I²Cスレーブモジュールは、スタートコンディションに待機するため、I²Cスレーブの通信プロセスを初期化するとともに、I2CS_SDAおよびI2CS_SCL端子をハイインピーダンスにします。また、SOFTRESETを除くすべてのI²Cスレーブ制御ビットを初期化します。通信を開始する前の初期設定時に、このリセット処理を行ってください。

D5 NAK_ANS: NAK Answer Bit

データ受信後の応答ビットを指定します。

1(R/W): NAK

0(R/W): ACK(デフォルト)

8ビットデータの受信が完了後、I²CスレーブモジュールはマスタにACK(I2CS_SDA = Low)またはNAK(I2CS_SDA = Hi-Z)を返します。NAK_ANSでACKとNAKのどちらを返すか、1つ前のデータ受信によるRXRDYのセットからI²Cスレーブクロック(I2CS_SCL)の7サイクル以内で指定しておきます。

D4 BFREQ_EN: Bus Free Request Enable Bit

#I2CS_RST端子へのLowパルス入力によるI²Cバス解放要求を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I²Cバス解放要求を受け付ける場合に1に設定してください。バス解放要求を受け付けるとBFREQ(D4/I2CS_STATレジスタ)が1にセットされます。これにより、I²CスレーブモジュールはI²Cスレーブの通信プロセスを初期化し、I2CS_SDAおよびI2CS_SCL端子をハイインピーダンスにします。ソフトウェアリセットとは異なり、この処理で制御レジスタは初期化されません。

BFREQ_ENを0に設定すると、#I2CS_RST端子へのLowパルス入力は無視され、BFREQは1にセットされません。

D3 CLKSTR_EN: Clock Stretch On/Off Bit

クロックストレッチ機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

クロックストレッチは、スレーブデバイスが1つのデータとACKの送受信の後、次の送受信の準備が整うまでSCLラインを強制的にLowにプルダウンしてマスタデバイスにウェイトを要求する機能です。マスタはこの要求が解除される(SCLラインがHighになる)まで、送受信を中断して待機します。この機能を有効にするには、送受信前にCLKSTR_ENを1に設定してください。

D2 NF_EN: Noise Filter On/Off Bit

ノイズ除去機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

I²Cスレーブモジュールには、I2CS_SDAおよびI2CS_SCL端子の入力信号からノイズを除去する機能が組み込まれており、NF_ENを1に設定することにより有効となります。

D1 ASDET_EN: Async. Address Detection On/Off Bit

非同期アドレス検出機能をOn/Offします。

1(R/W): On

0(R/W): Off(デフォルト)

データ通信時は、I²Cスレーブモジュールの動作クロック(PCLK)を転送速度の8倍以上の周波数に設定する必要がありますが、通信待機中に他の処理が不要の場合は、PCLKの周波数を下げて消費電流を抑えるようにします。非同期アドレス検出機能は、この場合でもマスタが送信する本I²Cスレーブのアドレスを検出するための機能です。ASDET_ENを1に設定すると、この機能が有効になります。本機能を有効にした場合、マスタが送信したスレーブアドレスが本I²Cスレーブアドレスに一致すると、本モジュールはバスステータス割り込みを発生すると共にI²Cマスタに対してNAKを返し、再送を要求します。この割り込み処理ルーチン内でPCLKを転送速度の8倍以上に設定し、ASDET_ENを0にリセットしてください。この後、マスタからの再送により通常のデータ転送を再開できます。ストップコンディションによりバスがフリー状態になった後は、再度非同期アドレス検出機能を有効にして動作速度を下げることができます。

- 注:
- 非同期アドレス検出機能を有効にした場合、I²C信号はノイズフィルタを通さずに入力されます。このため、ノイズが多い環境ではスレーブアドレスを正しく検出できない場合があります。
 - 非同期アドレス検出機能を有効にすると、PCLKの周波数が転送速度の8倍以上あってもデータ転送は行えません。通常動作時は、非同期アドレス検出機能を必ず無効にしてください。

V

I²C

D0 COM_MODE: I²C Slave Communication Mode Bit

通信を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

I2C_EN(D7)を1に設定してI²Cスレーブの動作を許可した後、COM_MODEを1に設定して通信を許可します。

COM_MODEが0の場合、マスタから本デバイスのスレーブアドレスが送信されても応答しません(ホストはNAKが返ったものと見なします)。

0x4368: I²C Slave Status Register (I2CS_STAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Slave Status Register (I2CS_STAT)	0x4368 (16 bits)	D15-8	—	reserved	—	—	—	0 when being read.
		D7	BSTAT	Bus status transition	1 Changed 0 Unchanged	0	R	
		D6	—	reserved	—	—	—	0 when being read.
		D5	TXUDF RXOVF	Transmit data underflow Receive data overflow	1 Occurred 0 Not occurred	0	R/W	Reset by writing 1.
		D4	BFREQ	Bus free request	1 Occurred 0 Not occurred	0	R/W	
		D3	DMS	Output data mismatch	1 Error 0 Normal	0	R/W	
		D2	ASDET	Async. address detection status	1 Detected 0 Not detected	0	R/W	
		D1	DA_NAK	NAK receive status	1 NAK 0 ACK	0	R/W	
		D0	DA_STOP	STOP condition detect	1 Detected 0 Not detected	0	R/W	

D[15:8] Reserved

D7 **BSTAT: Bus Status Transition Bit**

バスの状態変化を示します。

1(R): 変化あり

0(R): 変化なし(デフォルト)

TXUDF/RXOVF(D5)、BFREQ(D4)、DMS(D3)、ASDET(D2)、DA_NAK(D1)、DA_STOP(D0)のいずれかのビットが1にセットされるとBSTATもセットされ、BSTAT_IEN(D2/I2CS_ICTLレジスタ)によって割り込みが許可されていれば割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理や終了処理が行えます。

TXUDF/RXOVF(D5)、BFREQ(D4)、DMS(D3)、ASDET(D2)、DA_NAK(D1)、DA_STOP(D0)のすべてのビットが0にリセットされることによりBSTATもリセットされます。

D6 Reserved

D5 **TXUDF: Transmit Data Underflow Bit(送信時)****RXOVF: Receive Data Overflow Bit(受信時)**

送信/受信データレジスタの状態を示します。

1(R/W): データアンダーフロー /オーバーフローあり

0(R/W): データアンダーフロー /オーバーフローなし(デフォルト)

このビットはクロックストレッチ機能を無効にして送信/受信を行っている場合にのみ有効です。I2CS_TRNSレジスタに送信データを書き込む前に次の送信が始まった場合、送信データアンダーフローとしてTXUDFが1にセットされます。または、I2CS_RECVレジスタの受信データを読み出す前に次の受信が終了し、新たな受信データによってI2CS_RECVレジスタが上書きされると、データオーバーフローとしてRXOVFが1にセットされます。

BSTAT_IEN(D2/I2CS_ICTLレジスタ)によって割り込みが許可されていれば、同時に割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理が行えます。

1にセットされたTXUDF/RXOVFは1の書き込みによりリセットできます。

D4 **BFREQ: Bus Free Request Bit**

I²Cバス解放要求の状態を示します。

1(R/W): 要求あり

0(R/W): 要求なし(デフォルト)

BFREQ_EN(D4/I2CS_CTLレジスタ)が1(バス解放要求受け付け機能が有効)に設定されている場合、#I2CS_RST端子からシステムクロック(PCLK)5クロック以上のパルス幅を持つLowパルスが入力されるとBFREQが1にセットされ、バス解放要求が受け付けられます。バス解放要求を受け付けると、I²CスレーブモジュールはI²Cの通信プロセスを初期化し、I2CS_SDAおよびI2CS_SCL端子をハイインピーダンスにします。この処理でI²Cスレーブの制御レジスタは初期化されません。

BSTAT_IEN(D2/I2CS_ICTLレジスタ)によって割り込みが許可されていれば、BFREQのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理が行えます。

1にセットされたBFREQは1の書き込みによりリセットできます。

BFREQ_ENが0に設定されていると、#I2CS_RST端子へのLowパルス入力は無視され、BFREQは1にセットされません。

D3 DMS: Output Data Mismatch Bit

出力データとI2SC_SDAラインの状態の比較結果を示します。

1(R/W): エラーあり

0(R/W): エラーなし(デフォルト)

データ送信中はI2CS_SDAの状態がモジュール内にも取り込まれ、出力データと比較されます。この結果がDMSにセットされます。正しく出力されている場合、DMSは0になります。I2CS_SDAの状態が出力データと異なる場合は1にセットされます。この場合、プルアップ抵抗値が低い、ほかのI²CデバイスがI2CS_SDAラインを制御していることが考えられます。BSTAT_IEN(D2/I2CS_ICTLレジスタ)によって割り込みが許可されていれば、DMSのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理が行えます。1にセットされたDMSは1の書き込みによりリセットできます。

注: 本ICを含む複数のスレーブデバイスがI²Cバスに接続されている状態でマスタデバイスと他のスレーブデバイスが通信を開始した場合、スレーブアドレスの送信に対して本I²CスレーブはNAKで応答します。選択されたスレーブデバイスはACKで応答するため、本I²Cスレーブによる出力内容とI2CS_SDAラインが異なる状態となりDMSが発生することがあります。DMSが発生した場合でもSELECTED(D1/I2CS_ASTATレジスタ)が0のときは、他のスレーブデバイスとACK/NAK応答が異なるだけで問題ありませんので無視してください。この場合でも、非同期アドレス検出状態(ASDET_EN = 0)に設定されているときはDMSは発生しません。

D2 ASDET: Async. Address Detection Status Bit

非同期アドレス検出の状態を示します。

1(R/W): 検出

0(R/W): 未検出(デフォルト)

データ通信時は、I²Cスレーブモジュールの動作クロック(PCLK)を転送速度の8倍以上の周波数に設定する必要がありますが、通信待機中に他の処理が不要の場合は、PCLKの周波数を下げて消費電流を抑えることができます。非同期アドレス検出機能は、この場合でもマスタが送信する本I²Cスレーブのアドレスを検出するための機能です。ASDET_EN(D1/I2CS_CTLレジスタ)によって非同期アドレス検出機能を有効にしている場合に本デバイスのスレーブアドレスを検出すると、ASDETが1にセットされます。本モジュールはI²Cマスタに対してNAKを返し、再送を要求します。BSTAT_IEN(D2/I2CS_ICTLレジスタ)によって割り込みが許可されていれば、ASDETのセットと同時に割り込み信号がITCに出力されます。この割り込み処理ルーチン内でPCLKを転送速度の8倍以上に設定し、非同期アドレス検出機能を無効にしてください。この後、マスタからの再送により通常のデータ転送を再開できます。1にセットされたASDETは1の書き込みによりリセットできます。

D1 DA_NAK: NAK Receive Status Bit

マスタの応答ビットを示します。

1(R/W): NAK

0(R/W): ACK(デフォルト)

8ビットのデータを送信後、マスタからACKが返るとDA_NAKは0になります。これは、マスタがデータを正常に受信できたことを示します。DA_NAKが1の場合、マスタが正しく受信できなかったか、あるいはマスタが受信を終了することを示します。

BSTAT_IEN(D2/I2CS_ICTLレジスタ)によって割り込みが許可されていれば、DA_NAKのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、エラー処理が行えます。

1にセットされたDA_NAKは1の書き込みによりリセットできます。

D0 DA_STOP: Stop Condition Detect Bit

ストップコンディションまたはリピーテッドスタートコンディションを検出したことを示します。

1(R/W): 検出

0(R/W): 未検出(デフォルト)

本モジュールがスレーブとして選択されている状態(SELECTED(D1/I2CS_ASTATレジスタ) = 1)でストップコンディションまたはリピーテッドスタートコンディションを検出すると、I²CスレーブモジュールはDA_STOPを1にセットします。同時にI²Cの通信プロセスを初期化します。BSTAT_IEN(D2/I2CS_ICTLレジスタ)によって割り込みが許可されていれば、DA_STOPのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、終了処理が行えます。1にセットされたDA_STOPは1の書き込みによりリセットできます。

V

I²C

0x436a: I²C Slave Access Status Register (I2CS_ASTAT)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
I ² C Slave Access Status Register (I2CS_ASTAT)	0x436a (16 bits)	D15–5	–	reserved	–			–	–	0 when being read.	
		D4	RXRDY	Receive data ready	1	Ready	0	Not ready	0		R
		D3	TXEMP	Transmit data empty	1	Empty	0	Not empty	0		R
		D2	BUSY	I ² C bus status	1	Busy	0	Free	0		R
		D1	SELECTED	I ² C slave select status	1	Selected	0	Not selected	0		R
		D0	R/W	Read/write direction	1	Output	0	Input	0		R

D[15:5] Reserved**D4 RXRDY: Receive Data Ready Bit**

受信データが読み出し可能であることを示します。

1(R): 受信データあり

0(R): 受信データなし(デフォルト)

受信データがI2CS_RECVレジスタにロードされるとRXRDYが1にセットされます。

RXRDY_IEN(D1/I2CS_ICTLレジスタ)によって割り込みが許可されていれば、RXRDYのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、受信データを読み出すことができます。

1にセットされたRXRDYは、I2CS_RECVレジスタの読み出しによってリセットされます。

D3 TXEMP: Transmit Data Empty Bit

送信データが書き込み可能であることを示します。

1(R): 送信データなし

0(R): 送信データあり(デフォルト)

I2CS_TRNSレジスタのデータが送信されるとTXEMPが1にセットされます。

TXEMP_IEN(D0/I2CS_ICTLレジスタ)によって割り込みが許可されていれば、TXEMPのセットと同時に割り込み信号がITCに出力されます。この割り込みを利用して、次の送信データを書き込むことができます。

1にセットされたTXEMPは、I2CS_TRNSレジスタへのデータ書き込みによってリセットされます。

D2 BUSY: I²C Bus Status Bit

I²Cバスの状態を示します。

1(R): 使用中

0(R): バスフリー状態(デフォルト)

スタートコンディションを検出、またはI2CS_SCLもしくはI2CS_SDAがLowレベルになったことを検出するとBUSYが1にセットされ、I²Cバスがビジー状態になったことを示します。本モジュールがスレーブデバイスとして選択されたか否かは、本ビットの状態には影響しません。1にセットされたBUSYはストップコンディションの検出によりリセットされます。

D1 SELECTED: I²C Slave Select Status Bit

本モジュールがI²Cスレーブデバイスとして選択されていることを示します。

1(R): 選択状態

0(R): 非選択状態(デフォルト)

本モジュールに設定したスレーブアドレスを受信するとSELECTEDが1にセットされ、本モジュールがI²Cスレーブデバイスとして選択されたことを示します。1にセットされたSELECTEDはストップコンディションまたはリピーテッドスタートコンディションの検出によりリセットされます。

D0 R/W: Read/Write Direction Bit

転送方向ビットの値を示します。

1(R): 出力(マスタによるリード)

0(R): 入力(マスタによるライト) (デフォルト)

スレーブアドレスと共に受信した転送方向ビットの値がセットされますので、送信/受信処理の切り換えに利用してください。

0x436c: I²C Slave Interrupt Control Register (I2CS_ICTL)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
I ² C Slave Interrupt Control Register (I2CS_ICTL)	0x436c (16 bits)	D15-3	—	reserved	—			—	—	0 when being read.
		D2	BSTAT_IEN	Bus status interrupt enable	1	Enable	0	Disable	0	R/W
		D1	RXRDY_IEN	Receive interrupt enable	1	Enable	0	Disable	0	R/W
		D0	TXEMP_IEN	Transmit interrupt enable	1	Enable	0	Disable	0	R/W

D[15:3] Reserved

D2 **BSTAT_IEN: Bus Status Interrupt Enable Bit**

バスステータス割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

BSTAT_IENを1に設定すると、バスの状態変化によるI²Cスレーブ割り込み要求のITCへの出力を許可します。この割り込み要求は、BSTAT(D7/I2CS_STATレジスタ)が1にセットされることにより発生します。(BSTATの説明を参照してください。)

BSTAT_IENを0に設定すると、バスステータス割り込みは発生しません。

D1 **RXRDY_IEN: Receive Interrupt Enable Bit**

I²Cスレーブの受信割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

RXRDY_IENを1に設定すると、受信によるI²Cスレーブ割り込み要求のITCへの出力を許可します。この割り込み要求は、シフトレジスタに受信したデータがI2CS_RECVレジスタに転送される(受信が完了する)ことにより発生します。

RXRDY_IENを0に設定すると、受信割り込みは発生しません。

D0 **TXEMP_IEN: Transmit Interrupt Enable Bit**

I²Cスレーブの送信割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

TXEMP_IENを1に設定すると、送信によるI²Cスレーブ割り込み要求のITCへの出力を許可します。この割り込み要求は、I2CS_TRNSレジスタに書き込んだデータがシフトレジスタに転送されることにより発生します。

TXEMP_IENを0に設定すると、送信割り込みは発生しません。

V

I²C

V.3.8 注意事項

- データ通信時は、I²Cスレーブモジュールの動作クロック(PCLK)を転送速度の8倍以上の周波数に設定する必要があります。
- 非同期アドレス検出機能を有効にした場合、I²C信号はノイズフィルタを通さずに入力されます。このため、ノイズが多い環境ではスレーブアドレスを正しく検出できない場合があります。
- 非同期アドレス検出機能を有効にすると、PCLKの周波数が転送速度の8倍以上であってもデータ転送は行えません。通常動作時は、非同期アドレス検出機能を必ず無効にしてください。
- 本ICを含む複数のスレーブデバイスがI²Cバスに接続されている状態でマスタデバイスと他のスレーブデバイスが通信を開始した場合、スレーブアドレスの送信に対して本I²CスレーブはNAKで応答します。選択されたスレーブデバイスはACKで応答するため、本I²Cスレーブによる出力内容とI2CS_SDAラインが異なる状態となりDMSが発生することがあります。
DMSが発生した場合でもSELECTED(D1/I2CS_ASTATレジスタ)が0のときは、他のスレーブデバイスとACK/NAK応答が異なるだけで問題ありませんので無視してください。
この場合でも、非同期アドレス検出状態(ASDET_EN = 0)に設定されているときはDMSは発生しません。
- スレーブ選択後に送信する最初のデータは、以下の点に注意して設定してください。

クロックストレッチ機能が無効(デフォルト)の場合

TXEMPが1にセットされてからI²Cスレーブクロック(I2CS_SCL)の1サイクル以内に送信データをSDATA[7:0]に書き込む必要があります。

この時間が短いため、TXEMPがセットされる前に先行して送信データの書き込みを行っておきます。SDATA[7:0]に前回の送信データが残っていた場合も今回のデータにより上書きされますので、TBUF_CLRによるクリア操作(下記参照)は不要です。

非同期アドレス検出機能を使用する場合、ASDET_ENを0にリセットする前に書き込みを行ったデータは無効となるため、TXEMPが1にセットされてから送信データを書き込む必要があります。

クロックストレッチ機能が有効の場合

クロックストレッチによるウェイト機能が働くため、TXEMPがセットされた後でも送信データの書き込みが可能です。ただし、SDATA[7:0]に前回の送信データが残っているとTXEMPがセットされた時点でそのデータが送信されてしまいますので、本I²Cスレーブが選択される前にTBUF_CLR(D8/I2CS_CTLレジスタ)を使用してI2CS_TRNSレジスタをクリアしておきます。TBUF_CLRに1を書き込んだ後、もう一度0を書き込むことによりI2CS_TRNSレジスタがクリアされます。

TXEMPがセットされる前に最初の送信データを書き込んでおく場合は、I2CS_TRNSレジスタをクリアする必要はありません。

非同期アドレス検出機能を使用する場合、ASDET_ENを0にリセットする前に書き込みを行ったデータは無効となるため、TXEMPが1にセットされてから送信データを書き込む必要があります。

- クロックストレッチ機能を無効にしている場合の送信データの書き込みと受信データの読み出しは、以下に示す時間内に行ってください。

データ送信時: TXEMPのセット(送信割り込みの発生)からI²Cスレーブクロック(I2CS_SCL)の7サイクル以内(スレーブ選択後、最初のデータ送信時については上記の注意を参照)

データ受信時: RXRDYのセット(受信割り込みの発生)からI²Cスレーブクロック(I2CS_SCL)の7サイクル以内

NAK_ANS(D5/I2CS_CTLレジスタ)によるNAK送信の設定もこの時間内に行ってください。

- 下記の条件がすべて成立している状態で、マスタが送信したアドレスに対して本I²CスレーブがNAKを返信した場合、マスタは異なるスレーブアドレスを送信する前に33μs以上の待ち時間を取る必要があります(本I²Cスレーブのスレーブアドレスを送信する場合を除く)。
 - 通信レートを320kbps以上に設定している。
 - 非同期アドレス検出機能を有効にしている。
 - OSC1を動作クロック(PCLK)として、本I²Cスレーブが通信待機状態にある。

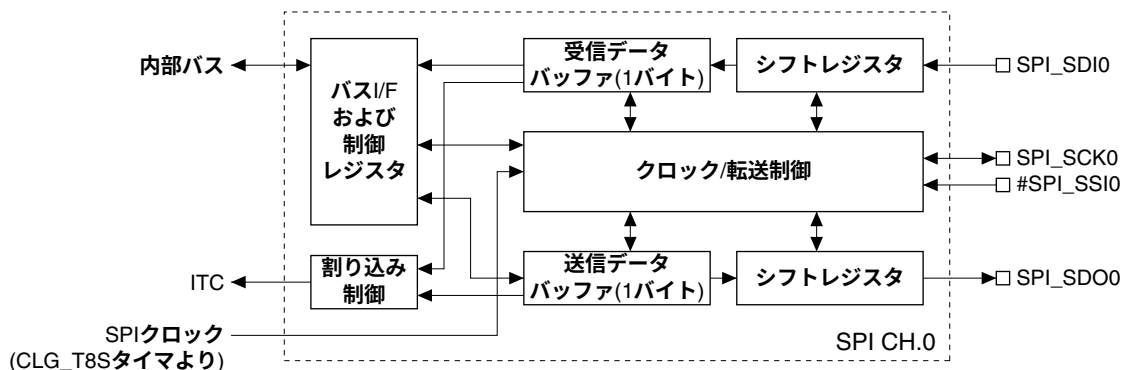
V.4 SPI(SPI CH.0)

V.4.1 SPI CH.0の構成

S1C17002は同期式シリアルインタフェースモジュール(以降SPI CH.0)を内蔵しています。このSPI CH.0はマスタおよびスレーブの両モードに対応し、8ビットのデータ転送を行います。データ転送のタイミング(クロックの位相と極性)は4種類から選択可能です。

シフトレジスタとは別に送信データバッファと受信データバッファを内蔵し、2種類の割り込み(送信バッファエンプティと受信バッファフル)を発生可能です。これにより、連続したシリアルデータ転送を割り込みによって簡潔に処理することができます。

図V.4.1.1にSPI CH.0の構造を示します。



図V.4.1.1 SPI CH.0の構造

V

SPI

V.4.2 SPI CH.0入出力端子

表V.4.2.1にSPI CH.0端子の一覧を示します。

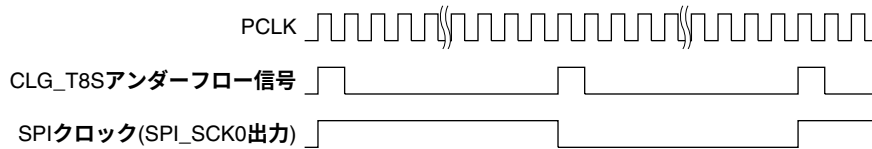
表V.4.2.1 SPI CH.0端子一覧

端子名	I/O	本数	機 能
SPI_SDI0	I	1	SPI CH.0データ入力端子 SPIバスからシリアルデータを入力します。
SPI_SDO0	O	1	SPI CH.0データ出力端子 シリアルデータをSPIバスに出力します。
SPI_SCK0	I/O	1	SPI CH.0外部クロック入出力端子 SPI CH.0がマスタモードの場合にSPIクロックを出力します。 SPI CH.0をスレーブモードで使用する場合は外部クロックを入力します。
#SPI_SSI0	I	1	SPI CH.0スレーブ選択信号(アクティブLow)入力端子 この端子へのLow入力により、SPI CH.0(スレーブモード)がスレーブデバイスとして選択されます。

SPI CH.0の入出力端子(SPI_SDI0、SPI_SDO0、SPI_SCK0、#SPI_SSI0)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをSPI CH.0の入出力端子として使用するには、Port Function Select Registerの設定により機能を切り換える必要があります。端子機能の切り換えについては、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

V.4.3 SPIクロック

マスタモードのSPI CH.0は、CLG_T8Sタイマが出力する内部クロックをSPIクロックとして使用します。このクロックはシフトレジスタを駆動すると共に、SPI_SCK0端子からスレーブデバイスへ出力されます。CLG_T8Sタイマから転送レートに合ったクロックが出力されるようにプログラムしてください。CLG_T8Sタイマの制御については、“II.4 クロックジェネレータ (CLG)”を参照してください。



図V.4.3.1 マスタモードのSPIクロック

スレーブモードでは、SPI_SCK0端子からSPIクロックを入力します。

注: SPI_SCK0端子から入力するクロックのデューティ比は50%である必要があります。

V.4.4 データ転送条件の設定

SPI CH.0はマスターモードまたはスレーブモードに設定できます。また、SPIクロックの極性と位相をSPI_CTL0レジスタで設定可能です。
データ長は8ビットに固定されています。

注: マスタ/スレーブモードの選択およびクロック条件の設定は、SPI CH.0が停止中(SPEN/SPI_CTL0レジスタ = 0)に行ってください。

* **SPEN**: SPI CH.0 Enable Bit in the SPI CH.0 Control (SPI_CTL0) Register (D0/0x4326)

マスタ/スレーブモードの選択

MSSL(D1/SPI_CTL0レジスタ)を使用して、SPI CH.0をマスターモードまたはスレーブモードに設定します。MSSLを1に設定するとマスターモード、0(デフォルト)に設定するとスレーブモードになります。マスターモードでは、内部クロックを使用してデータ転送を行います。スレーブモードでは、マスタデバイスのクロックを入力してデータ転送を行います。

* **MSSL**: Master/Slave Mode Select Bit in the SPI CH.0 Control (SPI_CTL0) Register (D1/0x4326)

SPIクロック極性と位相の設定

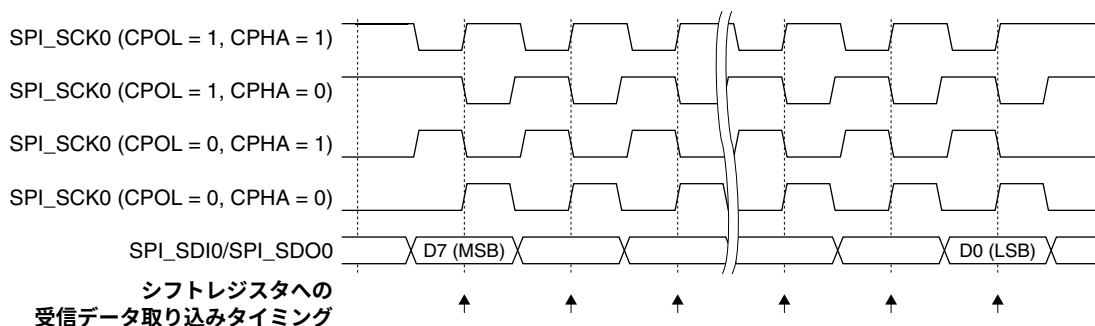
SPIクロックの極性は、CPOL(D2/SPI_CTL0レジスタ)で選択します。CPOLを1に設定するとSPIクロックはアクティブLow、0(デフォルト)に設定するとアクティブHighと見なされます。

* **CPOL**: Clock Polarity Select Bit in the SPI CH.0 Control (SPI_CTL0) Register (D2/0x4326)

SPIクロックの位相はCPHA(D3/SPI_CTL0レジスタ)で選択します。

* **CPHA**: Clock Phase Select Bit in the SPI CH.0 Control (SPI_CTL0) Register (D3/0x4326)

これらの制御ビットにより、転送タイミングは下図のように設定されます。



図V.4.4.1 クロックとデータ転送タイミング

V.4.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) SPIクロックが出力されるようにCLG_T8Sタイマを設定します。II.4節を参照してください。
- (2) マスタモードまたはスレーブモードを選択します。V.4.4節を参照してください。
- (3) クロック条件を設定します。V.4.4節を参照してください。
- (4) SPI CH.0割り込みを使用する場合は、割り込み条件を設定します。V.4.6節を参照してください。

注: 上記の設定は、必ずSPI CH.0が停止中(SPEN/SPI_CTL0レジスタ = 0)に行ってください。

* **SPEN**: SPI CH.0 Enable Bit in the SPI CH.0 Control (SPI_CTL0) Register (D0/0x4326)

データ送受信を許可

最初にSPEN(D0/SPI_CTL0レジスタ)を1に設定してSPI CH.0の動作を許可します。これにより、SPI CH.0が送受信可能な状態となり、クロックの入出力も許可されます。

注: SPI CH.0が送受信中はSPENを0に設定しないでください。

データ送信制御

送信を開始するには、SPI_TXD0レジスタ(0x4322)に送信データを書き込みます。

* **SPI_TXD0**: SPI CH.0 Transmit Data Register (0x4322)

データは送信データバッファに書き込まれ、SPI CH.0はデータ送信を開始します。バッファのデータは送信用シフトレジスタに送られます。マスタモードでは、SPI_SCK0端子からクロックの出力を開始します。スレーブモードではSPI_SCK0端子からのクロック入力待ちます。シフトレジスタ内のデータはCPHA(D3/SPI_CTL0レジスタ)とCPOL(D2/SPI_CTL0レジスタ)で決まるクロックの立ち上がりまたは立ち下がりエッジで順次シフトされ(図V.4.4.1参照)、SPI_SDO0端子からMSBを先頭に送信されます。

* **CPHA**: Clock Phase Select Bit in the SPI CH.0 Control (SPI_CTL0) Register (D3/0x4326)

* **CPOL**: Clock Polarity Select Bit in the SPI CH.0 Control (SPI_CTL0) Register (D2/0x4326)

SPI CH.0には送信の制御用にSPTBE(D0/SPI_ST0レジスタ)とSPBSY(D2/SPI_ST0レジスタ)の2つのステータスフラグが用意されています。

* **SPTBE**: Transmit Data Buffer Empty Flag Bit in the SPI CH.0 Status (SPI_ST0) Register (D0/0x4320)

* **SPBSY**: Transfer Busy Flag (Master)/ss Signal Low Flag (Slave) Bit in the SPI CH.0 Status (SPI_ST0) Register (D2/0x4320)

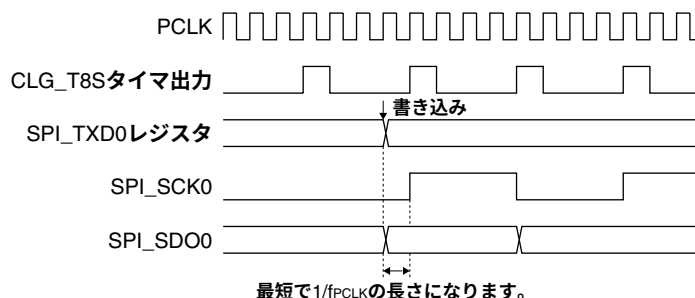
SPTBEフラグは送信データバッファの状態を示します。このフラグはアプリケーションプログラムがSPI_TXD0レジスタ(送信データバッファ)にデータを書き込むと0になり、バッファのデータが送信用シフトレジスタに送られると1に戻ります。このフラグが1になった時点で割り込みを発生させることができます(V.4.6節参照)。この割り込みを利用するか、SPTBEフラグの読み出しによって送信データバッファが空であることを確認し、次のデータ送信を行います。送信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、1つ前のデータを送信中に、データの書き込みが行えます。ただし、送信データを書き込む前に、送信データバッファが空になっていることを確認してください。SPTBEフラグが0の場合にデータを書き込むと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。

マスタモード時、SPBSYフラグはシフトレジスタの状態を示します。このフラグは送信データが送信データバッファからシフトレジスタにロードされると1になり、データ送信が完了すると0に戻ります。SPI CH.0が動作中か待機中かについては、このフラグを読み出して確認してください。スレーブモードのSPBSYフラグはSPI CH.0スレーブ選択信号(#SPI_SSI0端子)の状態を示します。SPI CH.0がスレーブとして選択されている場合に1となり、非選択状態では0になります。

V

SPI

注: SPI CH.0をマスタモードかつCPHA = 0の設定で使用する場合、送信データ1ビット目の変化からクロックの変化までが最短でシステムクロック (PCLK) の1周期の長さになる場合があります。



図V.4.5.1 CPHA = 0時のSPI_SDO0およびSPI_SCK0の変化タイミング

送信データの2ビット目以降および連続転送時の2バイト目以降については、データの変化からクロックの変化まではSPI_SCK0半周期の長さが確保されます。

データ受信制御

マスタモードの場合、ダミーデータをSPI_TXD0レジスタ (0x4322) に書き込みます。SPI_TXD0レジスタへの書き込みは、送信の開始だけではなく受信のトリガにもなります。実際の送信データを書き込んで送受信を同時に行うことも可能です。

これにより、SPI_SCK0端子からSPIクロック出力を開始します。

スレーブモードの場合は、SPI_SCK0端子からクロックが入力されるまで待機します。スレーブモードで受信のみを行い、送信が不要の場合はSPI_TXD0レジスタへの書き込み操作は必要ありません。受信動作はマスタデバイスからのクロック入力により開始します。送受信を同時に行う場合は、クロックが入力される前に送信データをSPI_TXD0レジスタに書き込んでおきます。

データはMSBを先頭に、CPHA (D3/SPI_CTL0レジスタ) とCPOL (D2/SPI_CTL0レジスタ) で決まるクロックの立ち上がりまたは立ち下がりエッジで順次シフトレジスタに取り込まれます (図V.4.4.1参照)。

8ビットのデータをシフトレジスタに受信し終わると、受信データは受信データバッファにロードされます。

バッファ内の受信データはSPI_RXD0レジスタ (0x4324) から読み出すことができます。

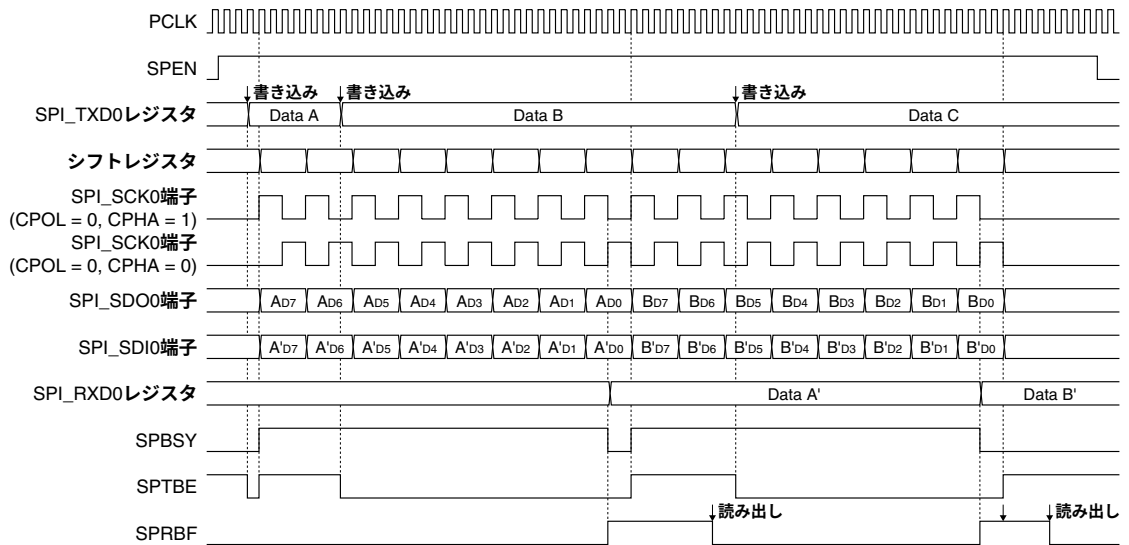
* **SPI_RXD0:** SPI CH.0 Receive Data Register (0x4324)

SPI CH.0には受信の制御用にSPRBFフラグ (D1/SPI_ST0レジスタ) が用意されています。

* **SPRBF:** Receive Data Buffer Full Flag Bit in the SPI CH.0 Status (SPI_ST0) Register (D1/0x4320)

SPRBFフラグは受信データバッファの状態を示します。このフラグはシフトレジスタに受信したデータが受信データバッファにロードされると1になり、受信データが読み出せることを示します。バッファのデータがSPI_RXD0レジスタから読み出されると0に戻ります。このフラグが1になった時点で割り込みを発生させることができます (V.4.6節参照)。この割り込みを利用するか、SPRBFフラグの読み出しによって受信データバッファに有効な受信データがあることを確認し、受信データを読み出してください。受信バッファサイズは1バイトですが、シフトレジスタが別に用意されているので、次のデータを受信中も、バッファ内の受信データは保持されます。ただし、次のデータ受信が終了する前に受信データバッファを読み出してください。受信データバッファを読み出す前に次の受信が終了すると、バッファ内の1つ前の受信データは新たな受信データで上書きされてしまいます。

マスタモードでは、シフトレジスタの状態を示すSPBSYフラグが、データ送信時と同様に使用可能です。



図V.4.5.2 データ送受信タイミングチャート

データ送受信を禁止

データ転送(送信と受信の両方)を終了後は、SPENビットに0を書き込んでデータ送受信を禁止します。ただし、データ送受信を禁止する前に、SPTBEフラグが1、SPBSYフラグが0になっていることを確認してください。

データの送受信中にSPENを0に設定した場合、転送中のデータは保証されません。

V.4.6 SPI CH.0割り込み

SPI CH.0には、以下の2種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 受信バッファフル割り込み

SPI CH.0は、上記2種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、ステータスフラグを読み出してください。

送信バッファエンプティ割り込み

この割り込みを使用するには、SPTIE(D4/SPI_CTL0レジスタ)を1に設定します。SPTIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

*** SPTIE:** Transmit Data Buffer Empty Interrupt Enable Bit in the SPI CH.0 Control (SPI_CTL0) Register (D4/0x4326)

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、SPI CH.0はSPTBEビット(D0/SPI_ST0レジスタ)を1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(SPTIE = 1)、これと同時に割り込み要求パルスがITCに出力されます。

*** SPTBE:** Transmit Data Buffer Empty Flag Bit in the SPI CH.0 Status (SPI_ST0) Register (D0/0x4320)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

SPI CH.0割り込みが送信バッファエンプティによるものかどうかについては、SPI CH.0割り込み処理ルーチンでSPTBEフラグを読み出して確認してください。SPTBEが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

受信バッファフル割り込み

この割り込みを使用するには、SPRIE(D5/SPI_CTL0レジスタ)を1に設定します。SPRIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

*** SPRIE:** Receive Data Buffer Full Interrupt Enable Bit in the SPI CH.0 Control (SPI_CTL0) Register (D5/0x4326)

シフトレジスタに受信したデータが受信データバッファにロードされると、SPI CH.0はSPRBFビット(D1/SPI_ST0レジスタ)を1にセットして、受信データバッファに読み出し可能な受信データがあることを示します。受信バッファフル割り込みが許可されていれば(SPRIE = 1)、これと同時に割り込み要求パルスがITCに出力されます。

*** SPRBF:** Receive Data Buffer Full Flag Bit in the SPI CH.0 Status (SPI_ST0) Register (D1/0x4320)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

SPI CH.0割り込みが受信バッファフルによるものかどうかについては、SPI CH.0割り込み処理ルーチンでSPRBFフラグを読み出して確認してください。SPRBFが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。

SPI CH.0割り込み用ITCレジスタ

ITC内のSPI CH.0用制御ビットを以下に示します。

割り込みフラグ

*** IIFT6:** SPI CH.0 Interrupt Flag Bit in the Interrupt Flag (ITC_IFLG) Register (D14/0x4300)

割り込みイネーブルビット

*** IIEN6:** SPI CH.0 Interrupt Enable Bit in the Interrupt Enable (ITC_EN) Register (D14/0x4302)

割り込みレベル設定ビット

*** IILV6[2:0]:** SPI CH.0 Interrupt Level Bits in the Internal Interrupt Level Setup (ITC_ILV3) Register 3 (D[2:0]/0x4314)

SPI CH.0が割り込み要求パルスを出力すると、割り込みフラグIIFT6が1にセットされます。

割り込みイネーブルビットIIEN6が1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。SPI CH.0による割り込みを禁止するには、IIEN6を0に設定しておきます。

IIFT6フラグは、IIEN6ビットの設定にかかわらず(0に設定されていても)、SPI CH.0の割り込み要求パルスによって1にセットされます。

割り込みレベル設定ビットIILV6[2:0]は、SPI CH.0割り込みのレベル(0～7)を設定します。

S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- SPI CH.0割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“III.1 割り込みコントローラ(ITC)”を参照してください。

割り込みベクタ

SPI CH.0割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号: 18(0x12)

ベクタアドレス: TTBR + 0x48

V.4.7 制御レジスタ詳細

表V.4.7.1 SPI CH.0レジスタ一覧

アドレス	レジスタ名		機 能
0x4320	SPI_ST0	SPI CH.0 Status Register	転送、バッファステータスの表示
0x4322	SPI_TXD0	SPI CH.0 Transmit Data Register	送信データ
0x4324	SPI_RXD0	SPI CH.0 Receive Data Register	受信データ
0x4326	SPI_CTL0	SPI CH.0 Control Register	SPI CH.0モードとデータ転送許可の設定

以下、SPI CH.0のレジスタを個々に説明します。これらはすべて16ビットレジスタです。

- 注: • レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。
- SPI CH.0レジスタのリード/ライトには必ず16ビットアクセス命令を使用してください。32ビットおよび8ビットアクセス命令でSPIレジスタをリード/ライトすることはできません。

0x4320: SPI CH.0 Status Register (SPI_ST0)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
SPI CH.0 Status Register (SPI_ST0)	0x4320 (16 bits)	D15-3	—	reserved	—			—	—	0 when being read.
		D2	SPBSY	Transfer busy flag (master)	1	Busy	0	Idle	0	R
				ss signal low flag (slave)	1	ss = L	0	ss = H		
		D1	SPRBF	Receive data buffer full flag	1	Full	0	Not full	0	R
		D0	SPTBE	Transmit data buffer empty flag	1	Empty	0	Not empty	1	R

D[15:3] Reserved

D2 **SPBSY: Transfer Busy Flag (Master)/ss Signal Low Flag (Slave) Bit**

 マスタモード

 SPI CH.0の送受信動作状態を示します。

 1(R): 動作中

 0(R): 待機中(デフォルト)

 SPBSYはSPI CH.0がマスタモードで送受信を開始すると1にセットされ、送受信中は1を保持します。送受信動作が終了すると、0にクリアされます。

 スレーブモード

 スレーブ選択(#SPI_SSI0)信号の状態を示します。

 1(R): Lowレベル(SPI CH.0が選択状態)

 0(R): Highレベル(SPI CH.0は非選択状態)(デフォルト)

 SPBSYは、マスタデバイスがSPI CH.0(スレーブデバイス)を選択するために#SPI_SSI0信号をアクティブにすると1にセットされます。マスタデバイスが#SPI_SSI0信号をインアクティブとしてSPI CH.0の選択を解除すると0に戻ります。

D1 **SPRBF: Receive Data Buffer Full Flag Bit**

 受信データバッファの状態を示します。

 1(R): データフル

 0(R): データなし(デフォルト)

 SPRBFはシフトレジスタに受信したデータが受信データバッファに転送されると(受信が完了すると)1となり、そのデータが読み出し可能であることを示します。バッファのデータがSPI_RXD0レジスタ(0x4324)から読み出されると0に戻ります。

D0 **SPTBE: Transmit Data Buffer Empty Flag Bit**

 送信データバッファの状態を示します。

 1(R): エンプティ(デフォルト)

 0(R): データあり

 SPTBEはSPI_TXD0レジスタ(送信データバッファ、0x4322)に送信データが書き込まれると0となり、そのデータがシフトレジスタに転送されると(送信を開始すると)1となります。

 SPI_TXD0レジスタへの送信データの書き込みは、このビットが1の場合に行います。

0x4322: SPI CH.0 Transmit Data Register (SPI_TXD0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI CH.0 Transmit Data Register (SPI_TXD0)	0x4322 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SPTDB[7:0]	SPI CH.0 transmit data buffer SPTDB7 = MSB SPTDB0 = LSB	0x0 to 0xff	0x0	R/W	

D[15:8] Reserved

D[7:0] SPTDB[7:0]: SPI CH.0 Transmit Data Buffer Bits

送信データバッファに書き込む送信データを設定します。(デフォルト: 0x0)

マスタモードでは、このレジスタにデータを書き込むことにより送信を開始します。スレーブモードでは、マスタからクロックが入力されるとこのレジスタの内容がシフトレジスタに送られ、送信を開始します。

このレジスタに書き込んだデータがシフトレジスタに転送された時点で、SPTBE(D0/SPI_ST0レジスタ)が1(エンプティ)にセットされます。同時に送信バッファエンプティ割り込み要因も発生します。それ以降であれば、データの送信中であっても次の送信データを書き込むことができます。

SPI_SDO0端子からはシリアル変換されたデータがMSBを先頭に、1に設定されたビットがHighレベル、0に設定されたビットがLowレベルとして出力されます。

注: データの送受信を行う場合、SPI_TXD0レジスタへの書き込みはSPENを1に設定した後に行ってください。

0x4324: SPI CH.0 Receive Data Register (SPI_RXD0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI CH.0 Receive Data Register (SPI_RXD0)	0x4324 (16 bits)	D15-8	--	reserved	--	--	--	0 when being read.
		D7-0	SPRDB[7:0]	SPI CH.0 receive data buffer SPRDB7 = MSB SPRDB0 = LSB	0x0 to 0xff	0x0	R	

D[15:8] **Reserved**

D[7:0] **SPRDB[7:0]: SPI CH.0 Receive Data Buffer Bits**

受信データが格納されます。(デフォルト: 0x0)
受信が終了し、シフトレジスタのデータが受信データバッファに転送された時点でSPRBF(D1/
SPI_ST0レジスタ)が1(バッファフル)にセットされます。同時に受信バッファフル割り込み要
因も発生します。これ以降、次のデータの受信を終了するまで、データの読み出しが可能です。
このレジスタを読み出す前に次の受信を終了した場合は、新たな受信データで上書きされます。
SPI_SDI0端子から入力されたシリアルデータは先頭をMSBとして、Highレベルのビットを1、
Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。
このレジスタは読み出し専用で、書き込みは行えません。

0x4326: SPI CH.0 Control Register (SPI_CTL0)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks
SPI CH.0 Control Register (SPI_CTL0)	0x4326 (16 bits)	D15-6	—	reserved	—			—	—	0 when being read.
		D5	SPRIE	Receive data buffer full int. enable	1	Enable	0	Disable	0	R/W
		D4	SPTIE	Transmit data buffer empty int. enable	1	Enable	0	Disable	0	R/W
		D3	CPHA	Clock phase select	1	Data out	0	Data in	0	R/W
		D2	CPOL	Clock polarity select	1	Active L	0	Active H	0	R/W
		D1	MSSL	Master/slave mode select	1	Master	0	Slave	0	R/W
		D0	SPEN	SPI CH.0 enable	1	Enable	0	Disable	0	R/W

D[15:6] Reserved**D5 SPRIE: Receive Data Buffer Full Interrupt Enable Bit**

受信データバッファフルによるSPI CH.0割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPRIEを1に設定すると、受信データバッファフルによるSPI CH.0割り込み要求のITCへの出力を許可します。この割り込み要求は、シフトレジスタに受信したデータが受信データバッファに転送される(受信が完了する)ことにより発生します。

SPRIEを0に設定すると、受信データバッファフルによるSPI CH.0割り込みは発生しません。

D4 SPTIE: Transmit Data Buffer Empty Interrupt Enable Bit

送信データバッファエンプティによるSPI CH.0割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPTIEを1に設定すると、送信データバッファエンプティによるSPI CH.0割り込み要求のITCへの出力を許可します。この割り込み要求は、送信データバッファに書き込んだデータがシフトレジスタに転送される(送信を開始する)ことにより発生します。

SPTIEを0に設定すると、送信データバッファエンプティによるSPI CH.0割り込みは発生しません。

D3 CPHA: Clock Phase Select Bit

SPIクロックの位相を選択します。(デフォルト: 0)

CPOL(D2)と共に、データ転送タイミングを設定します(図V.4.7.1参照)。

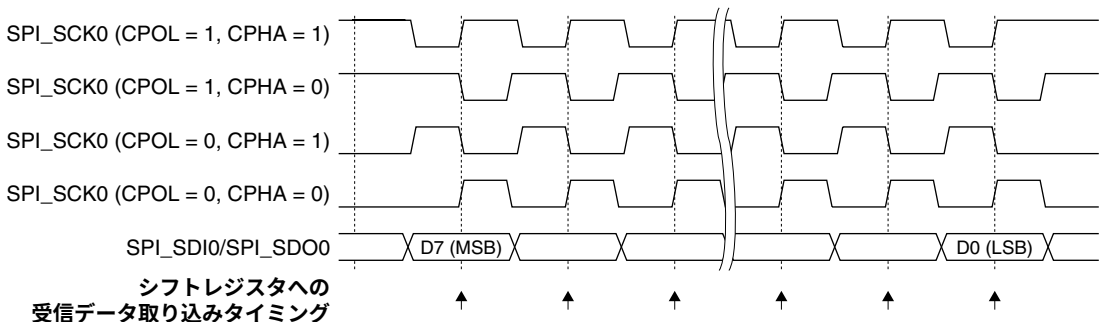
D2 CPOL: Clock Polarity Select Bit

SPIクロックの極性を選択します。

1(R/W): アクティブLow

0(R/W): アクティブHigh(デフォルト)

CPHA(D3)と共に、データ転送タイミングを設定します(図V.4.7.1参照)。



図V.4.7.1 クロックとデータ転送タイミング

D1 MSSL: Master/Slave Mode Select Bit

SPI CH.0をマスタモードまたはスレーブモードに設定します。

1(R/W): マスタモード

0(R/W): スレーブモード(デフォルト)

MSSLを1に設定するとマスタモード、0に設定するとスレーブモードになります。マスタモードでは、CLG_T8Sタイマで生成したクロックでデータ転送を行います。スレーブモードでは、マスタデバイスからクロックを入力してデータ転送を行います。

D0 SPEN: SPI CH.0 Enable Bit

SPI CH.0の動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

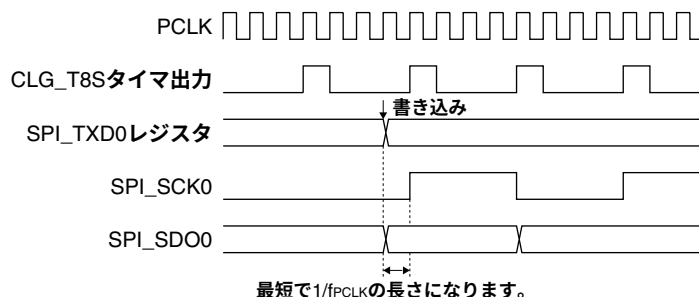
SPENを1に設定するとSPI CH.0が動作を開始し、データ転送が行える状態になります。

SPENを0に設定すると、SPI CH.0は動作を停止します。

注: CPHA、CPOL、MSSLビットの設定は、SPENビットを0に設定して行ってください。

V.4.8 注意事項

- SPI CH.0レジスタ(0x4320~0x4326)のリード/ライトには必ず16ビットアクセス命令を使用してください。32ビットおよび8ビットアクセス命令でSPI CH.0レジスタをリード/ライトすることはできません。
- SPBSYフラグ(D2/SPI_ST0レジスタ)が1の間(データの転送中)は、SPI_CTL0レジスタ(0x4326)にアクセスしないでください。
 - * **SPBSY**: Transfer Busy Flag (Master)/ss Signal Low Flag (Slave) Bit in the SPI CH.0 Status (SPI_ST0) Register (D2/0x4320)
- SPI CH.0をマスタモードかつCPHA = 0の設定で使用する場合、送信データ1ビット目の変化からクロックの変化までが最短でシステムクロック(PCLK)の1周期の長さになる場合があります。



図V.4.8.1 CPHA = 0時のSPI_SDO0およびSPI_SCK0の変化タイミング

送信データの2ビット目以降および連続転送時の2バイト目以降については、データの変化からクロックの変化まではSPI_SCK0半周期の長さが確保されます。

- データの送受信を行う場合、SPI_TXD0レジスタへの書き込みはSPENを1に設定した後に行ってください。

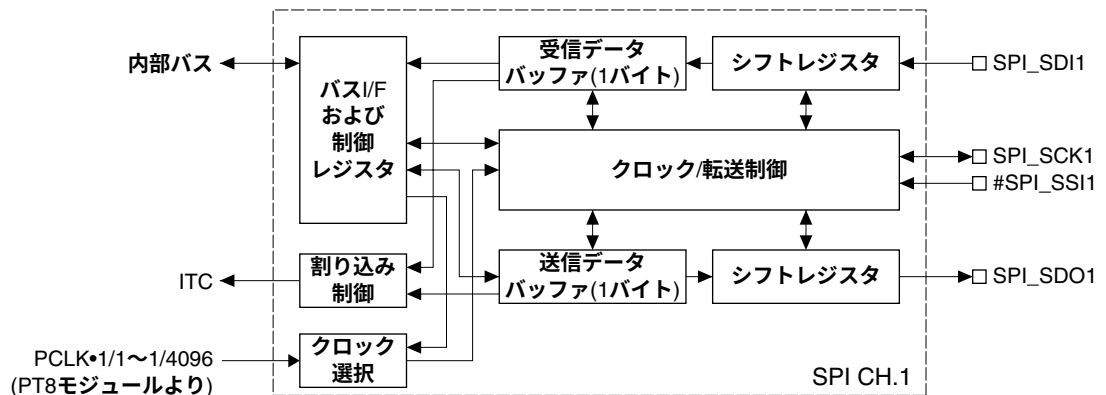
V.5 拡張SPI(SPI CH.1)

V.5.1 SPI CH.1の構成

S1C17002は同期式シリアルインタフェースモジュール(以降SPI CH.1)を内蔵しています。このSPI CH.1はマスタおよびスレーブの両モードに対応し、8ビットのデータ転送を行います。データ転送のタイミング(クロックの位相と極性)は4種類から選択可能です。

シフトレジスタとは別に送信データバッファと受信データバッファを内蔵し、2種類の割り込み(送信バッファエンプティと受信バッファフル)を発生可能です。これにより、連続したシリアルデータ転送を割り込みによって簡潔に処理することができます。

図V.5.1.1にSPI CH.1の構造を示します。



図V.5.1.1 SPI CH.1の構造

V.5.2 SPI CH.1入出力端子

表V.5.2.1にSPI CH.1端子の一覧を示します。

表V.5.2.1 SPI CH.1端子一覧

端子名	I/O	本数	機 能
SPI_SDI1	I	1	SPI CH.1データ入力端子 SPIバスからシリアルデータを入力します。
SPI_SDO1	O	1	SPI CH.1データ出力端子 シリアルデータをSPIバスに出力します。
SPI_SCK1	I/O	1	SPI CH.1外部クロック入出力端子 SPI CH.1がマスターモードの場合にSPIクロックを出力します。 SPI CH.1をスレーブモードで使用する場合は外部クロックを入力します。
#SPI_SSI1	I	1	SPI CH.1スレーブ選択信号(アクティブLow)入力端子 この端子へのLow入力により、SPI CH.1(スレーブモード)がスレーブデバイスとして選択されます。

SPI CH.1の入出力端子(SPI_SDI1、SPI_SDO1、SPI_SCK1、#SPI_SSI1)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをSPI CH.1の入出力端子として使用するには、Port Function Select Registerの設定により機能を切り換える必要があります。端子機能の切り換えについては、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

V.5.3 SPIクロック

マスタモードのSPI CH.1は、8ビットプログラマブルタイマ(PT8)モジュール内のプリスケアラが出力する内部クロックをSPIクロックとして使用します。

PT8のSPI CH.1用プリスケアラを動作させるには、以下の制御ビットを1に設定してCMUからPT8とSPI CH.1用の動作クロックを両方出力させておく必要があります。

- * **PT8_CLK_EN**: 8-bit Programmable Timer Clock Control Bit in the Gated Clock Control 1 (CMU_GATEDCLK1) Register (D1/0x4907)
- * **SPI_CLK_EN**: SPI CH.1 Module Clock Control Bit in the Gated Clock Control 2 (CMU_GATEDCLK2) Register (D5/0x4908)

PT8のプリスケアラはPCLK(システムクロックと同一周波数のクロック)を1/1～1/4096に分周して13種類のクロックを生成します。この中の1つをSPI_CLK[3:0](D[3:0]/SPI_CLK1レジスタ)で選択します。

- * **SPI_CLK[3:0]**: SPI CH.1 Clock Division Ratio Selection Bits in the SPI CH.1 Clock Control (SPI_CLK1) Register (D[3:0]/0x5708)

表V.5.3.1 SPIクロックの選択

SPI_CLK[3:0]	プリスケアラ出力クロック	SPI_CLK[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	Reserved	0x6	PCLK•1/64
0xd	Reserved	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

選択したクロックはSPI_CKE(D4/SPI_CLK1レジスタ)を1に設定することによりSPI CH.1に入力されます。

- * **SPI_CKE**: SPI CH.1 Clock Enable Bit in the SPI CH.1 Clock Control (SPI_CLK1) Register (D4/0x5708)

スレーブモードでは、SPI_SCK1端子からSPIクロックを入力します。

注: SPI_SCK1端子から入力するクロックのデューティ比は50%である必要があります。

V.5.4 データ転送条件の設定

SPI CH.1はマスタモードまたはスレーブモードに設定できます。また、SPIクロックの極性と位相をSPI_CTL1レジスタで設定可能です。
データ長は8ビットに固定されています。

注: マスタ/スレーブモードの選択およびクロック条件の設定は、SPI CH.1が停止中(SPEN/SPI_CTL1レジスタ = 0)に行ってください。

* **SPEN**: SPI CH.1 Enable Bit in the SPI CH.1 Control (SPI_CTL1) Register (D0/0x5706)

マスタ/スレーブモードの選択

MSSL(D1/SPI_CTL1レジスタ)を使用して、SPI CH.1をマスタモードまたはスレーブモードに設定します。MSSLを1に設定するとマスタモード、0(デフォルト)に設定するとスレーブモードになります。マスタモードでは、内部クロックを使用してデータ転送を行います。スレーブモードでは、マスタデバイスのクロックを入力してデータ転送を行います。

* **MSSL**: Master/Slave Mode Select Bit in the SPI CH.1 Control (SPI_CTL1) Register (D1/0x5706)

SPIクロック極性と位相の設定

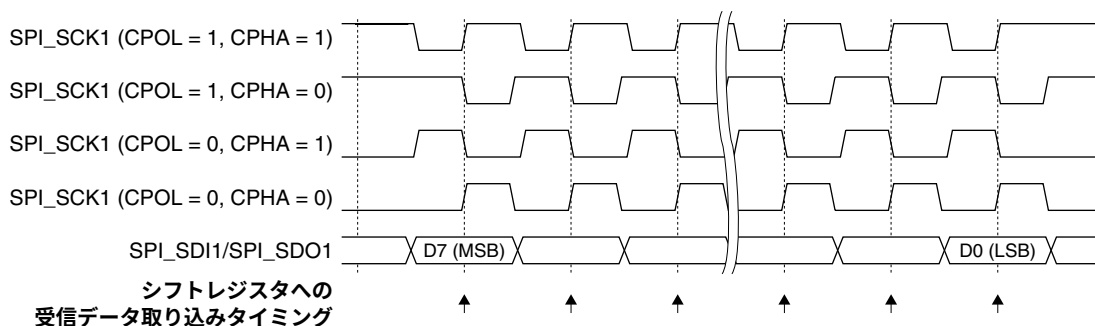
SPIクロックの極性は、CPOL(D2/SPI_CTL1レジスタ)で選択します。CPOLを1に設定するとSPIクロックはアクティブLow、0(デフォルト)に設定するとアクティブHighと見なされます。

* **CPOL**: Clock Polarity Select Bit in the SPI CH.1 Control (SPI_CTL1) Register (D2/0x5706)

SPIクロックの位相はCPHA(D3/SPI_CTL1レジスタ)で選択します。

* **CPHA**: Clock Phase Select Bit in the SPI CH.1 Control (SPI_CTL1) Register (D3/0x5706)

これらの制御ビットにより、転送タイミングは下図のように設定されます。



図V.5.4.1 クロックとデータ転送タイミング

V.5.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。

- (1) SPIクロックが出力されるようにPT8プリスケアラを設定します。V.5.3節を参照してください。
- (2) マスタモードまたはスレーブモードを選択します。V.5.4節を参照してください。
- (3) クロック条件を設定します。V.5.4節を参照してください。
- (4) SPI CH.1割り込みを使用する場合は、割り込み条件を設定します。V.5.6節を参照してください。

注: 上記の設定は、必ずSPI CH.1が停止中(SPEN/SPI_CTL1レジスタ = 0)に行ってください。

* **SPEN**: SPI CH.1 Enable Bit in the SPI CH.1 Control (SPI_CTL1) Register (D0/0x5706)

データ送受信を許可

最初にSPEN(D0/SPI_CTL1レジスタ)を1に設定してSPI CH.1の動作を許可します。これにより、SPI CH.1が送受信可能な状態となり、クロックの入出力も許可されます。

注: SPI CH.1が送受信中はSPENを0に設定しないでください。

データ送信制御

送信を開始するには、SPI_TXD1レジスタ(0x5702)に送信データを書き込みます。

* **SPI_TXD1**: SPI CH.1 Transmit Data Register (0x5702)

データは送信データバッファに書き込まれ、SPI CH.1はデータ送信を開始します。バッファのデータは送信用シフトレジスタに送られます。マスタモードでは、SPI_SCK1端子からクロックの出力を開始します。スレーブモードではSPI_SCK1端子からのクロック入力待ちます。シフトレジスタ内のデータはCPHA(D3/SPI_CTL1レジスタ)とCPOL(D2/SPI_CTL1レジスタ)で決まるクロックの立ち上がりまたは立ち下がりエッジで順次シフトされ(図V.5.4.1参照)、SPI_SDO1端子からMSBを先頭に送信されます。

* **CPHA**: Clock Phase Select Bit in the SPI CH.1 Control (SPI_CTL1) Register (D3/0x5706)

* **CPOL**: Clock Polarity Select Bit in the SPI CH.1 Control (SPI_CTL1) Register (D2/0x5706)

SPI CH.1には送信の制御用にSPTBE(D0/SPI_ST1レジスタ)とSPBSY(D2/SPI_ST1レジスタ)の2つのステータスフラグが用意されています。

* **SPTBE**: Transmit Data Buffer Empty Flag Bit in the SPI CH.1 Status (SPI_ST1) Register (D0/0x5700)

* **SPBSY**: Transfer Busy Flag (Master)/ss Signal Low Flag (Slave) Bit in the SPI CH.1 Status (SPI_ST1) Register (D2/0x5700)

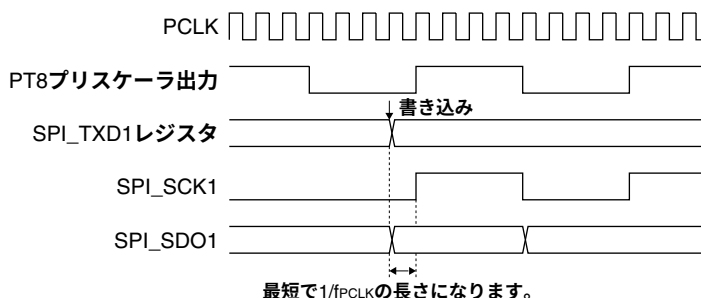
SPTBEフラグは送信データバッファの状態を示します。このフラグはアプリケーションプログラムがSPI_TXD1レジスタ(送信データバッファ)にデータを書き込むと0になり、バッファのデータが送信用シフトレジスタに送られると1に戻ります。このフラグが1になった時点で割り込みを発生させることができます(V.5.6節参照)。この割り込みを利用するか、SPTBEフラグの読み出しによって送信データバッファが空であることを確認し、次のデータ送信を行います。送信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、1つ前のデータを送信中に、データの書き込みが行えます。ただし、送信データを書き込む前に、送信データバッファが空になっていることを確認してください。SPTBEフラグが0の場合にデータを書き込むと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。

マスタモード時、SPBSYフラグはシフトレジスタの状態を示します。このフラグは送信データが送信データバッファからシフトレジスタにロードされると1になり、データ送信が完了すると0に戻ります。SPI CH.1が動作中か待機中かについては、このフラグを読み出して確認してください。スレーブモードのSPBSYフラグはSPI CH.1スレーブ選択信号(#SPI_SSI1端子)の状態を示します。SPI CH.1がスレーブとして選択されている場合に1となり、非選択状態では0になります。

V

ESPI

注: SPI CH.1をマスタモードかつCPHA = 0の設定で使用する場合、送信データ1ビット目の変化からクロックの変化までが最短でシステムクロック (PCLK) の1周期の長さになる場合があります。



図V.5.5.1 CPHA = 0時のSPI_SDO1およびSPI_SCK1の変化タイミング

送信データの2ビット目以降および連続転送時の2バイト目以降については、データの変化からクロックの変化まではSPI_SCK1半周期の長さが確保されます。

データ受信制御

マスタモードの場合、ダミーデータをSPI_TXD1レジスタ(0x5702)に書き込みます。SPI_TXD1レジスタへの書き込みは、送信の開始だけではなく受信のトリガにもなります。実際の送信データを書き込んで送受信を同時に行うことも可能です。

これにより、SPI_SCK1端子からSPIクロック出力を開始します。

スレーブモードの場合は、SPI_SCK1端子からクロックが入力されるまで待機します。スレーブモードで受信のみを行い、送信が不要の場合はSPI_TXD1レジスタへの書き込み操作は必要ありません。受信動作はマスタデバイスからのクロック入力により開始します。送受信を同時に行う場合は、クロックが入力される前に送信データをSPI_TXD1レジスタに書き込んでおきます。

データはMSBを先頭に、CPHA(D3/SPI_CTL1レジスタ)とCPOL(D2/SPI_CTL1レジスタ)で決まるクロックの立ち上がりまたは立ち下がりエッジで順次シフトレジスタに取り込まれます(図V.5.4.1参照)。

8ビットのデータをシフトレジスタに受信し終わると、受信データは受信データバッファにロードされます。

バッファ内の受信データはSPI_RXD1レジスタ(0x5704)から読み出すことができます。

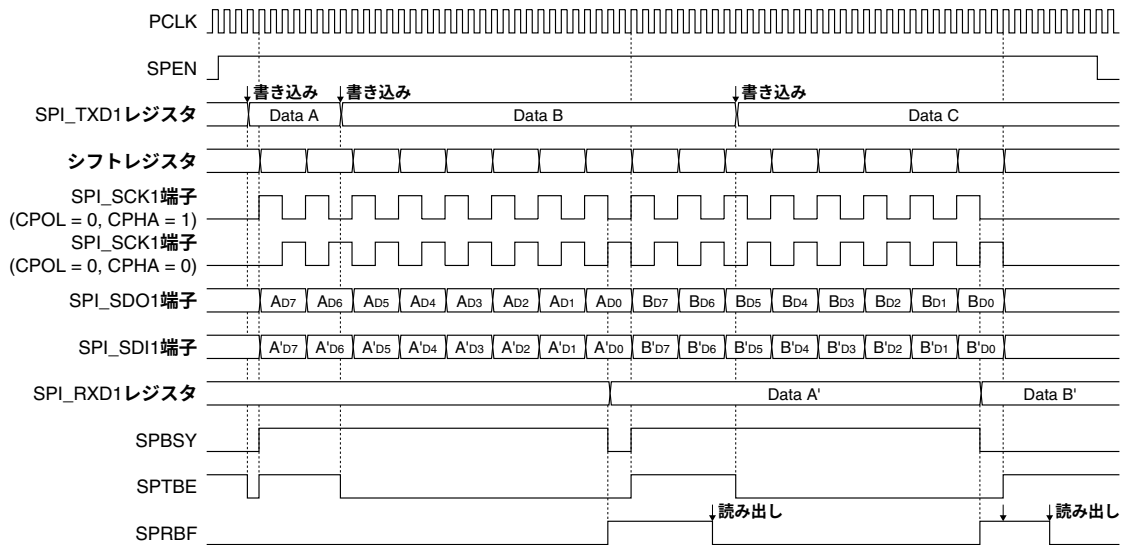
* **SPI_RXD1**: SPI CH.1 Receive Data Register (0x5704)

SPI CH.1には受信の制御用にSPRBFフラグ(D1/SPI_ST1レジスタ)が用意されています。

* **SPRBF**: Receive Data Buffer Full Flag Bit in the SPI CH.1 Status (SPI_ST1) Register (D1/0x5700)

SPRBFフラグは受信データバッファの状態を示します。このフラグはシフトレジスタに受信したデータが受信データバッファにロードされると1になり、受信データが読み出せることを示します。バッファのデータがSPI_RXD1レジスタから読み出されると0に戻ります。このフラグが1になった時点で割り込みを発生させることができます(V.5.6節参照)。この割り込みを利用するか、SPRBFフラグの読み出しによって受信データバッファに有効な受信データがあることを確認し、受信データを読み出してください。受信バッファサイズは1バイトですが、シフトレジスタが別に用意されているので、次のデータを受信中も、バッファ内の受信データは保持されます。ただし、次のデータ受信が終了する前に受信データバッファを読み出してください。受信データバッファを読み出す前に次の受信が終了すると、バッファ内の1つ前の受信データは新たな受信データで上書きされてしまいます。

マスタモードでは、シフトレジスタの状態を示すSPBSYフラグが、データ送信時と同様に使用可能です。



図V.5.5.2 データ送受信タイミングチャート

データ送受信を禁止

データ転送(送信と受信の両方)を終了後は、SPENビットに0を書き込んでデータ送受信を禁止します。ただし、データ送受信を禁止する前に、SPTBEフラグが1、SPBSYフラグが0になっていることを確認してください。

データの送受信中にSPENを0に設定した場合、転送中のデータは保証されません。

V.5.6 SPI CH.1割り込み

SPI CH.1には、以下の2種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 受信バッファフル割り込み

SPI CH.1は、上記2種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、ステータスフラグを読み出してください。

送信バッファエンプティ割り込み

この割り込みを使用するには、SPTIE(D4/SPI_CTL1レジスタ)を1に設定します。SPTIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

*** SPTIE:** Transmit Data Buffer Empty Interrupt Enable Bit in the SPI CH.1 Control (SPI_CTL1) Register (D4/0x5706)

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、SPI CH.1はSPTBEビット(D0/SPI_ST1レジスタ)を1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(SPTIE = 1)、これと同時に割り込み要求パルスがITCに出力されます。

*** SPTBE:** Transmit Data Buffer Empty Flag Bit in the SPI CH.1 Status (SPI_ST1) Register (D0/0x5700)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

SPI CH.1割り込みが送信バッファエンプティによるものかどうかについては、SPI CH.1割り込み処理ルーチンでSPTBEフラグを読み出して確認してください。SPTBEが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

受信バッファフル割り込み

この割り込みを使用するには、SPRIE(D5/SPI_CTL1レジスタ)を1に設定します。SPRIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

*** SPRIE:** Receive Data Buffer Full Interrupt Enable Bit in the SPI CH.1 Control (SPI_CTL1) Register (D5/0x5706)

シフトレジスタに受信したデータが受信データバッファにロードされると、SPI CH.1はSPRBFビット(D1/SPI_ST1レジスタ)を1にセットして、受信データバッファに読み出し可能な受信データがあることを示します。受信バッファフル割り込みが許可されていれば(SPRIE = 1)、これと同時に割り込み要求パルスがITCに出力されます。

*** SPRBF:** Receive Data Buffer Full Flag Bit in the SPI CH.1 Status (SPI_ST1) Register (D1/0x5700)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

SPI CH.1割り込みが受信バッファフルによるものかどうかについては、SPI CH.1割り込み処理ルーチンでSPRBFフラグを読み出して確認してください。SPRBFが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。

SPI CH.1割り込み用ITCレジスタ

ITC内のSPI CH.1用制御ビットを以下に示します。

割り込みフラグ

*** AIFT10:** SPI CH.1 Interrupt Flag Bit in the Additional Interrupt Flag (ITC_AIFLG) Register (D10/0x42e0)

割り込みイネーブルビット

*** AIEN10:** SPI CH.1 Interrupt Enable Bit in the Additional Interrupt Enable (ITC_AEN) Register (D10/0x42e2)

割り込みレベル設定ビット

*** AILV10[2:0]:** SPI CH.1 Interrupt Level Bits in the Additional Interrupt Level Setup (ITC_AILV5) Register 5 (D[2:0]/0x42f0)

SPI CH.1が割り込み要求パルスを出力すると、割り込みフラグAIFT10が1にセットされます。

割り込みイネーブルビットAIEN10が1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。SPI CH.1による割り込みを禁止するには、AIEN10を0に設定しておきます。

AIFT10フラグは、AIEN10ビットの設定にかかわらず(0に設定されていても)、SPI CH.1の割り込み要求パルスによって1にセットされます。

割り込みレベル設定ビットAILV10[2:0]は、SPI CH.1割り込みのレベル(0~7)を設定します。

S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- SPI CH.1割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“III.1 割り込みコントローラ(ITC)”を参照してください。

割り込みベクタ

SPI CH.1割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号: 26(0x1a)

ベクタアドレス: TTBR + 0x68

V.5.7 制御レジスタ詳細

表V.5.7.1 SPI CH.1レジスタ一覧

アドレス	レジスタ名		機 能
0x5700	SPI_ST1	SPI CH.1 Status Register	転送、バッファステータスの表示
0x5702	SPI_TXD1	SPI CH.1 Transmit Data Register	送信データ
0x5704	SPI_RXD1	SPI CH.1 Receive Data Register	受信データ
0x5706	SPI_CTL1	SPI CH.1 Control Register	SPI CH.1モードとデータ転送許可の設定
0x5708	SPI_CLK1	SPI CH.1 Clock Control Register	SPIクロックの設定

以下、SPI CH.1のレジスタを個々に説明します。これらはすべて16ビットレジスタです。

- 注: • レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。
- SPI CH.1レジスタのリード/ライトには必ず16ビットアクセス命令を使用してください。32ビットおよび8ビットアクセス命令でSPIレジスタをリード/ライトすることはできません。

0x5700: SPI CH.1 Status Register (SPI_ST1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI CH.1 Status Register (SPI_ST1)	0x5700 (16 bits)	D15-3	—	reserved	—	—	—	0 when being read.
		D2	SPBSY	Transfer busy flag (master)	1 Busy 0 Idle	0	R	
				ss signal low flag (slave)	1 ss = L 0 ss = H			
		D1	SPRBF	Receive data buffer full flag	1 Full 0 Not full	0	R	
		D0	SPTBE	Transmit data buffer empty flag	1 Empty 0 Not empty	1	R	

D[15:3] Reserved**D2 SPBSY: Transfer Busy Flag (Master)/ss Signal Low Flag (Slave) Bit****マスタモード**

SPI CH.1の送受信動作状態を示します。

1(R): 動作中

0(R): 待機中(デフォルト)

SPBSYはSPI CH.1がマスタモードで送受信を開始すると1にセットされ、送受信中は1を保持します。送受信動作が終了すると、0にクリアされます。

スレーブモード

スレーブ選択(#SPI_SSI1)信号の状態を示します。

1(R): Lowレベル(SPI CH.1が選択状態)

0(R): Highレベル(SPI CH.1は非選択状態)(デフォルト)

SPBSYは、マスタデバイスがSPI CH.1(スレーブデバイス)を選択するために#SPI_SSI1信号をアクティブにすると1にセットされます。マスタデバイスが#SPI_SSI1信号をインアクティブとしてSPI CH.1の選択を解除すると0に戻ります。

D1 SPRBF: Receive Data Buffer Full Flag Bit

受信データバッファの状態を示します。

1(R): データフル

0(R): データなし(デフォルト)

SPRBFはシフトレジスタに受信したデータが受信データバッファに転送されると(受信が完了すると)1となり、そのデータが読み出し可能であることを示します。バッファのデータがSPI_RXD1レジスタ(0x5704)から読み出されると0に戻ります。

D0 SPTBE: Transmit Data Buffer Empty Flag Bit

送信データバッファの状態を示します。

1(R): エンプティ(デフォルト)

0(R): データあり

SPTBEはSPI_TXD1レジスタ(送信データバッファ、0x5702)に送信データが書き込まれると0となり、そのデータがシフトレジスタに転送されると(送信を開始すると)1となります。

SPI_TXD1レジスタへの送信データの書き込みは、このビットが1の場合に行います。

V

ESPI

0x5702: SPI CH.1 Transmit Data Register (SPI_TXD1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI CH.1 Transmit Data Register (SPI_TXD1)	0x5702 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SPTDB[7:0]	SPI CH.1 transmit data buffer SPTDB7 = MSB SPTDB0 = LSB	0x0 to 0xff	0x0	R/W	

D[15:8] Reserved**D[7:0] SPTDB[7:0]: SPI CH.1 Transmit Data Buffer Bits**

送信データバッファに書き込む送信データを設定します。(デフォルト: 0x0)

マスタモードでは、このレジスタにデータを書き込むことにより送信を開始します。スレーブモードでは、マスタからクロックが入力されるとこのレジスタの内容がシフトレジスタに送られ、送信を開始します。

このレジスタに書き込んだデータがシフトレジスタに転送された時点で、SPTBE(D0/SPI_ST1 レジスタ)が1(エンプティ)にセットされます。同時に送信バッファエンプティ割り込み要因も発生します。それ以降であれば、データの送信中であっても次の送信データを書き込むことができます。

SPI_SDO1端子からはシリアル変換されたデータがMSBを先頭に、1に設定されたビットがHighレベル、0に設定されたビットがLowレベルとして出力されます。

注: データの送受信を行う場合、SPI_TXD1レジスタへの書き込みはSPENを1に設定した後に行ってください。

0x5704: SPI CH.1 Receive Data Register (SPI_RXD1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI CH.1 Receive Data Register (SPI_RXD1)	0x5704 (16 bits)	D15-8	--	reserved	--	--	--	0 when being read.
		D7-0	SPRDB[7:0]	SPI CH.1 receive data buffer SPRDB7 = MSB SPRDB0 = LSB	0x0 to 0xff	0x0	R	

D[15:8] Reserved

D[7:0] **SPRDB[7:0]: SPI CH.1 Receive Data Buffer Bits**

受信データが格納されます。(デフォルト: 0x0)
受信が終了し、シフトレジスタのデータが受信データバッファに転送された時点でSPRBF(D1/
SPI_ST1レジスタ)が1(バッファフル)にセットされます。同時に受信バッファフル割り込み要
因も発生します。これ以降、次のデータの受信を終了するまで、データの読み出しが可能です。
このレジスタを読み出す前に次の受信を終了した場合は、新たな受信データで上書きされます。
SPI_SDI1端子から入力されたシリアルデータは先頭をMSBとして、Highレベルのビットを1、
Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。
このレジスタは読み出し専用で、書き込みは行えません。

0x5706: SPI CH.1 Control Register (SPI_CTL1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI CH.1 Control Register (SPI_CTL1)	0x5706 (16 bits)	D15-6	—	reserved	—	—	—	0 when being read.
		D5	SPRIE	Receive data buffer full int. enable	1 Enable 0 Disable	0	R/W	
		D4	SPTIE	Transmit data buffer empty int. enable	1 Enable 0 Disable	0	R/W	
		D3	CPHA	Clock phase select	1 Data out 0 Data in	0	R/W	These bits must be set before setting
		D2	CPOL	Clock polarity select	1 Active L 0 Active H	0	R/W	SPEN to 1.
		D1	MSSL	Master/slave mode select	1 Master 0 Slave	0	R/W	
		D0	SPEN	SPI CH.1 enable	1 Enable 0 Disable	0	R/W	

D[15:6] Reserved

D5 SPRIE: Receive Data Buffer Full Interrupt Enable Bit

受信データバッファフルによるSPI CH.1割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPRIEを1に設定すると、受信データバッファフルによるSPI CH.1割り込み要求のITCへの出力を許可します。この割り込み要求は、シフトレジスタに受信したデータが受信データバッファに転送される(受信が完了する)ことにより発生します。

SPRIEを0に設定すると、受信データバッファフルによるSPI CH.1割り込みは発生しません。

D4 SPTIE: Transmit Data Buffer Empty Interrupt Enable Bit

送信データバッファエンプティによるSPI CH.1割り込みを許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPTIEを1に設定すると、送信データバッファエンプティによるSPI CH.1割り込み要求のITCへの出力を許可します。この割り込み要求は、送信データバッファに書き込んだデータがシフトレジスタに転送される(送信を開始する)ことにより発生します。

SPTIEを0に設定すると、送信データバッファエンプティによるSPI CH.1割り込みは発生しません。

D3 CPHA: Clock Phase Select Bit

SPIクロックの位相を選択します。(デフォルト: 0)

CPOL(D2)と共に、データ転送タイミングを設定します(図V.5.7.1参照)。

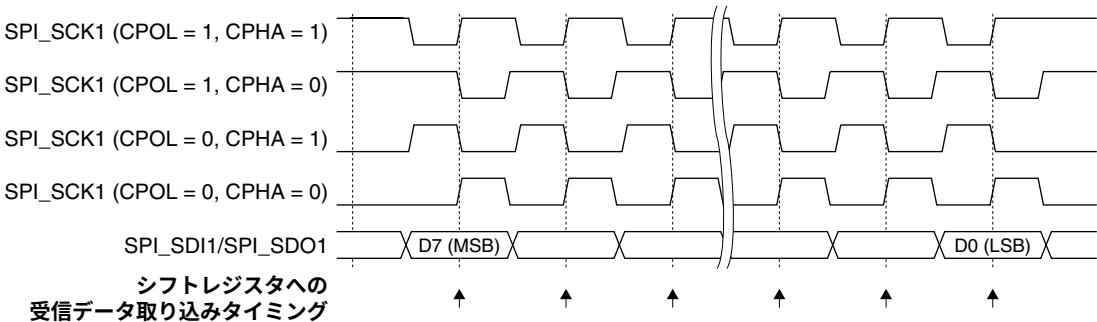
D2 CPOL: Clock Polarity Select Bit

SPIクロックの極性を選択します。

1(R/W): アクティブLow

0(R/W): アクティブHigh(デフォルト)

CPHA(D3)と共に、データ転送タイミングを設定します(図V.5.7.1参照)。



図V.5.7.1 クロックとデータ転送タイミング

D1 MSSL: Master/Slave Mode Select Bit

SPI CH.1をマスタモードまたはスレーブモードに設定します。

1(R/W): マスタモード

0(R/W): スレーブモード(デフォルト)

MSSLを1に設定するとマスタモード、0に設定するとスレーブモードになります。マスタモードでは、PT8プリスケアラで生成したクロックでデータ転送を行います。スレーブモードでは、マスタデバイスからクロックを入力してデータ転送を行います。

D0 SPEN: SPI CH.1 Enable Bit

SPI CH.1の動作を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

SPENを1に設定するとSPI CH.1が動作を開始し、データ転送が行える状態になります。

SPENを0に設定すると、SPI CH.1は動作を停止します。

注: CPHA、CPOL、MSSLビットの設定は、SPENビットを0に設定して行ってください。

0x5708: SPI CH.1 Clock Control Register (SPI_CLK1)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
SPI CH.1 Clock Control Register (SPI_CLK1)	0x5708 (16 bits)	D15–5	–	reserved	–		–	–	0 when being read.		
		D4	SPI_CKE	SPI CH.1 clock enable	1	Enable	0	Disable		0	R/W
		D3–0	SPI_CLK [3:0]	SPI CH.1 clock division ratio selection (Prescaler output clock)	SPI_CLK[3:0] Clock		0x0	R/W			
		0xf–0xd	reserved								
		0xc	PCLK•1/4096								
		0xb	PCLK•1/2048								
		0xa	PCLK•1/1024								
		0x9	PCLK•1/512								
		0x8	PCLK•1/256								
		0x7	PCLK•1/128								
0x6	PCLK•1/64										
0x5	PCLK•1/32										
0x4	PCLK•1/16										
0x3	PCLK•1/8										
0x2	PCLK•1/4										
0x1	PCLK•1/2										
0x0	PCLK•1/1										

D[15:5] Reserved**D4 SPI_CKE: SPI CH.1 Clock Enable Bit**

SPI CH.1への、内部生成したSPIクロックの入力を制御します。

1(R/W): 入力

0(R/W): 停止(デフォルト)

SPI CH.1をマスタモードで動作させる前にこのビットに1を書き込みます。

D[3:0] SPI_CLK[3:0]: SPI CH.1 Clock Division Ratio Selection Bits

13種類のPT8プリスケアラ出力クロックから、SPI CH.1に使用するSPIクロックを選択します。

表V.5.7.2 SPIクロックの選択

SPI_CLK[3:0]	プリスケアラ出力クロック	SPI_CLK[3:0]	プリスケアラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	Reserved	0x6	PCLK•1/64
0xd	Reserved	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

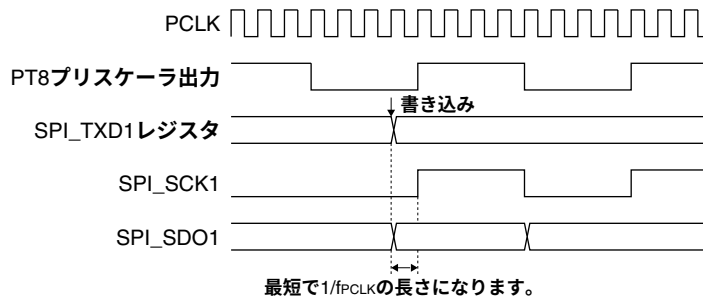
(デフォルト: 0x0)

V.5.8 注意事項

- SPI CH.1用の内部SPIクロックを生成するプリスケアラはPT8モジュールに組み込まれています。したがって、SPI CH.1をマスターモードで動作させるには、CMUからPT8とSPI CH.1用の動作クロックを両方出力させておく必要があります。
- SPI CH.1レジスタ(0x5700~0x5708)のリード/ライトには必ず16ビットアクセス命令を使用してください。32ビットおよび8ビットアクセス命令でSPI CH.1レジスタをリード/ライトすることはできません。
- SPBSYフラグ(D2/SPI_ST1レジスタ)が1の間(データの転送中)は、SPI_CTL1レジスタ(0x5706)にアクセスしないでください。

* **SPBSY**: Transfer Busy Flag (Master)/ss Signal Low Flag (Slave) Bit in the SPI CH.1 Status (SPI_ST1) Register (D2/0x5700)

- SPI CH.1をマスターモードかつCPHA = 0の設定で使用する場合、送信データ1ビット目の変化からクロックの変化までが最短でシステムクロック(PCLK)の1周期の長さになる場合があります。



図V.5.8.1 CPHA = 0時のSPI_SDO1およびSPI_SCK1の変化タイミング

送信データの2ビット目以降および連続転送時の2バイト目以降については、データの変化からクロックの変化まではSPI_SCK1半周期の長さが確保されます。

- データの送受信を行う場合、SPI_TXD1レジスタへの書き込みはSPENを1に設定した後に行ってください。

V

ESPI

このページはブランクです。

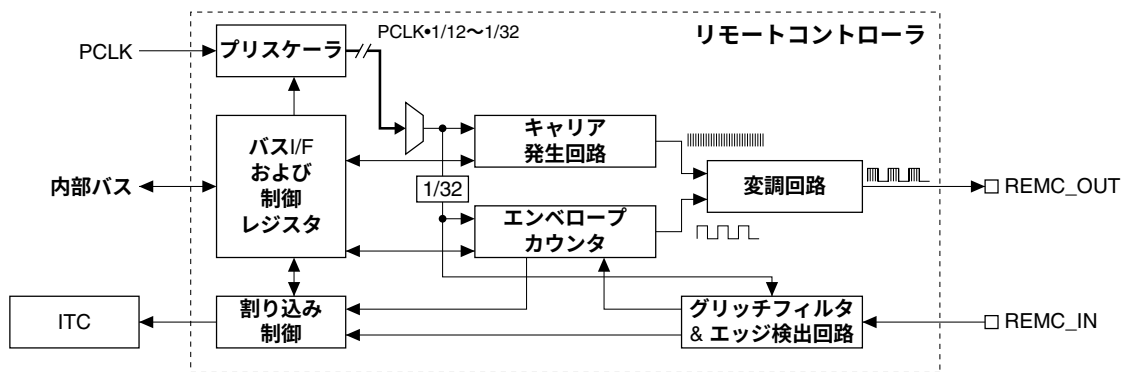
V.6 リモートコントローラ(REMC)

V.6.1 REMCの構成

S1C17002は赤外線リモコンの送受信信号を生成するリモートコントローラ(REMC)モジュールを内蔵しています。REMCモジュールは、キャリア信号を発生するキャリア発生回路、送受信データ長をカウントする16ビットエンベロープカウンタ、指定したキャリア長で送信データを生成する変調回路、入力信号の立ち上がりエッジ/立ち下がりエッジを検出するエッジ検出回路で構成されます。

また、エンベロープカウンタが0になり指定データ長の送信が終了したことを、あるいは指定長以上のデータを受信したことを示すカウンタアンダーフロー割り込み、データ受信時に入力信号の立ち上がりエッジを検出したことを示す入力立ち上がりエッジ割り込み、入力信号の立ち下がりエッジを検出したことを示す入力立ち下がりエッジ割り込みの、3種類の割り込みを発生可能です。

図V.6.1.1にREMCモジュールの構造を示します。



図V.6.1.1 REMCモジュールの構造

V

REMC

V.6.2 REMC入出力端子

表V.6.2.1にREMCの入出力端子を示します。

表V.6.2.1 REMC端子一覧

端子名	I/O	本数	機 能
REMC_IN	I	1	リモコン受信データ入力端子 受信データを入力します。
REMC_OUT	O	1	リモコン送信データ出力端子 変調したリモコン送信データを出力します。

REMCモジュールの入出力端子(REMC_IN、REMC_OUT)は汎用入出力ポート端子を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをREMCの入出力端子として使用するには、Port Function Select Registerの設定により機能を切り換える必要があります。端子機能の切り換えについては、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

V.6.3 プリスケアラとキャリア生成回路

REMCモジュールには、プリスケアラとキャリア発生回路が組み込まれています。キャリア発生回路はソフトウェアで設定されたキャリアH区間長、キャリアL区間長に従い、送信用キャリア信号を生成します。

プリスケアラの設定

REMCモジュールは、CMUから入力したPCLKクロックを分周してキャリア生成回路のカウントクロックを生成するプリスケアラを内蔵しています。プリスケアラはPCLKを1/12～1/32に分周して4種類のクロックを生成します。この中の1つをREMPSDIV[1:0](D[1:0]/REMC_PSCレジスタ)で選択します。

- * **REMPSDIV[1:0]**: REMC Prescaler Division Ratio Select Bits in the REMC Prescaler Control (REMC_PSC) Register (D[1:0]/0x5400)

表V.6.3.1 キャリア生成回路用クロックの選択

REMPSDIV[1:0]	プリスケアラ出力クロック
0x3	PCLK•1/32
0x2	PCLK•1/24
0x1	PCLK•1/16
0x0	PCLK•1/12

(デフォルト: 0x0)

一般の赤外線キャリアは、ほとんどが30kHz～56kHzの範囲の周波数、1/2、1/3または1/4のデューティ比に設定されています。キャリア周波数の精度を確保するには、1MHz(最低)から8MHz(最大)のプリスケアラ出力クロックを使用してください。

例: 1. PCLK周波数が48MHzの場合は、PCLK•1/24(2MHz)を推奨します。

2. PCLK周波数が60MHzの場合は、PCLK•1/32(1.875MHz)を推奨します。

デフォルト設定では、プリスケアラは停止しています。REMCモジュールを使用する前に、REMPSON(D2/REMC_PSCレジスタ)を1に設定し、プリスケアラをOnしてください。

- * **REMPSON**: REMC Prescaler Control Bit in the REMC Prescaler Control (REMC_PSC) Register (D2/0x5400)

プリスケアラクロックは更に1/32に分周された後、エンベロープカウンタとエッジ検出回路にも供給されます。

REMCモジュールを使用しない場合は消費電流低減のため、プリスケアラはOffにしてください(REMPSON = 0)。

キャリア信号の設定

キャリア信号のH区間長とL区間長は、それぞれCLDH[7:0](D[15:8]/REMC_CARLレジスタ)とCLDL[7:0](D[7:0]/REMC_CARLレジスタ)で設定します。これらのレジスタには、上記のとおり選択したクロックのサイクル数+1の値を設定します。

キャリアH区間長[s] = (CLDH[7:0] + 1) / f_{PSOUT} [Hz]

キャリアL区間長[s] = (CLDL[7:0] + 1) / f_{PSOUT} [Hz]

- * **CLDH[7:0]**: REMC Carrier High Width Setup Bits in the REMC Carrier Load (REMC_CARL) Register (D[15:8]/0x540c)
- * **CLDL[7:0]**: REMC Carrier Low Width Setup Bits in the REMC Carrier Load (REMC_CARL) Register (D[7:0]/0x540c)

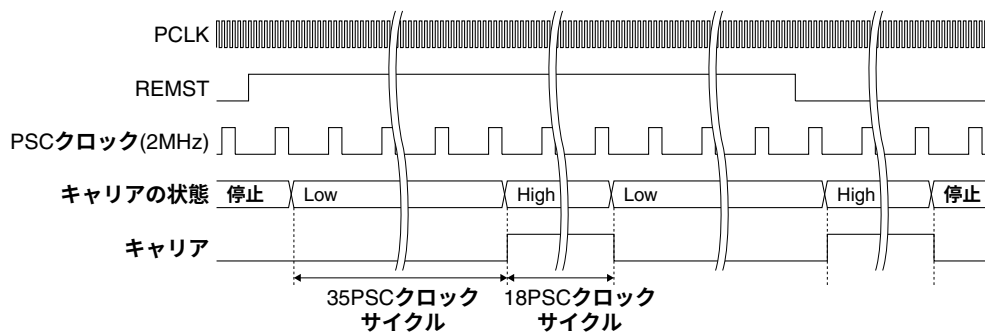
プリスケアラクロック周波数が2MHzの場合のキャリア設定例を下表に示します。

表V.6.3.2 キャリア設定例

プリスケアラクロック周波数	2MHz		
キャリア周波数	30kHz	38kHz	56kHz
キャリアデューティ	1/2	1/3	1/4
理想周期	33.333μs	26.316μs	17.857μs
CLDH[7:0]設定	32	17	8
CLDL[7:0]設定	32	34	26
区間誤差範囲	1%	0.7%	0.8%

キャリア信号は図V.6.3.1のように生成されます。

例: REMPSDIV[1:0] = 0x2 (PCLK・1/24、2MHz)、CLDH[7:0] = 17、CLDL[7:0] = 34
(キャリア38kHz、1/3デューティ)



図V.6.3.1 キャリア信号の生成

V.6.4 データ送受信の制御

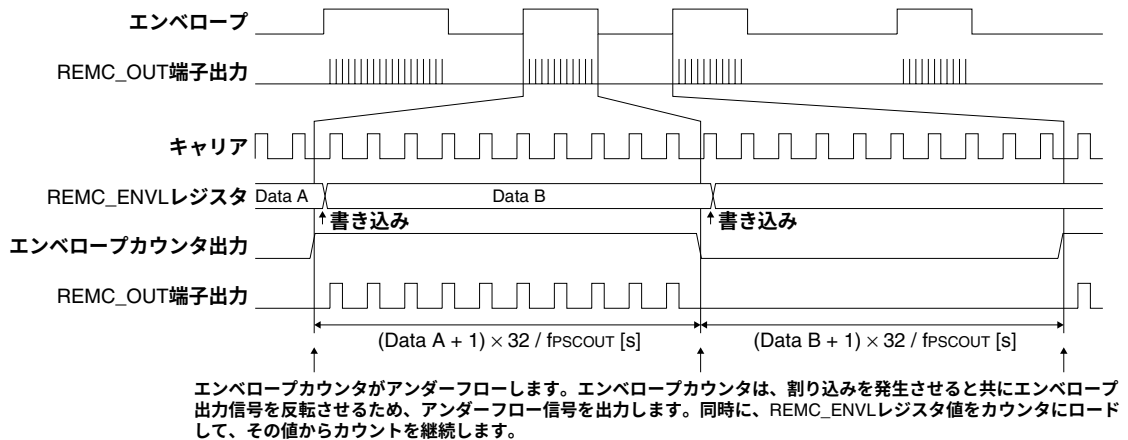
データ転送を開始する前に、以下の設定を行ってください。

- (1) キャリア信号を設定します。V.6.3節を参照してください。
- (2) 割り込み条件を設定します。V.6.5節を参照してください。

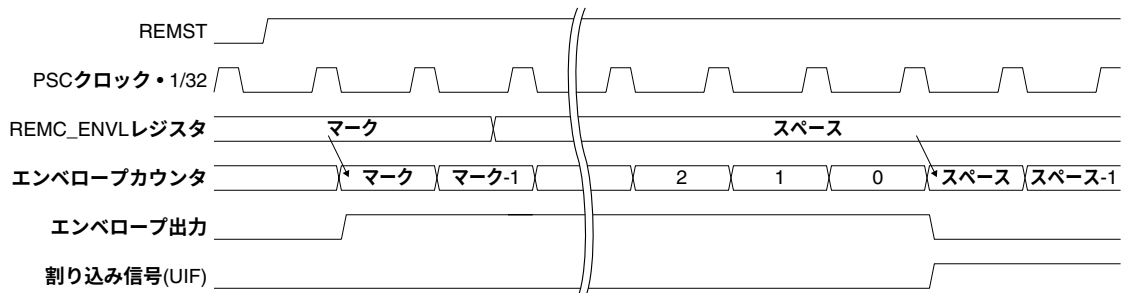
注: 上記の設定は必ずREMCモジュールが停止中(REMST/REMC_CTLレジスタ = 0)に行ってください。

* **REMST**: REMC Start/Stop Control Bit in the REMC Control (REMC_CTL) Register (D0/0x5408)

データ送信制御



図V.6.4.1 データ送信



図V.6.4.2 アンダーフロー割り込み発生タイミング

(1) データ送信モードの設定

MODE(D7/REMC_CFGレジスタ)に0を書き込み、REMCを送信モードに設定します。

* **MODE**: REMC Mode Select Bit in the REMC Configuration (REMC_CFG) Register (D7/0x5404)

(2) REMC_ENVLレジスタの設定

送信データのマーク幅(High期間)に相当する値をREMC_ENVLレジスタ(0x540e)に書き込みます。エンベロープカウンタに設定する値は、次の式で求めてください。

$$\text{REMC\_ENVL} = \frac{\text{マーク/スペース幅[s]} \times \text{プリスケアラ出力クロック周波数[Hz]}}{32} - 1$$

(3) データ送信を開始

送信を開始するには、REMST(D0/REMC_CTLレジスタ)を1に設定します。これにより、キャリア生成回路がキャリア信号の出力を開始します。エンベロープカウンタは次のカウントクロック(PSCクロック・1/32)でエンベロープ出力信号をHighに立ち上げ、REMC_ENVLレジスタの設定値をカウンタにロードします。エンベロープカウンタは、ロードされた値からカウントダウンを開始します。

(4) 次のエンベロープ区間を設定

送信開始後、現在出力中のマーク区間に続くスペース幅(Low区間)をREMC_ENVLレジスタに設定します。その後は、アンダーフロー割り込みの発生を待ちます。

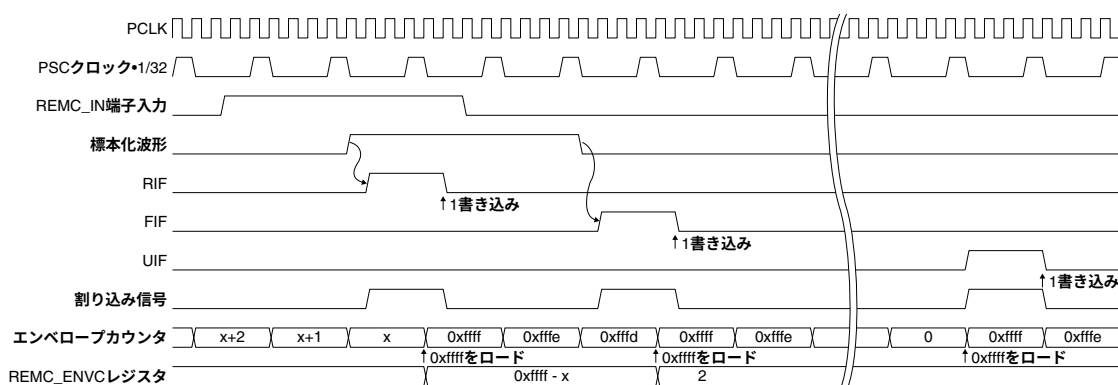
(5) アンダーフロー割り込み

エンベロープカウンタにアンダーフローが発生すると、エンベロープ出力信号レベルが反転し、REMC_ENVLレジスタ値がカウンタにロードされます。カウント動作は継続します。割り込みが許可されている場合、REMCモジュールはこれと同時に割り込み要求を割り込みコントローラ(ITC)に送ります。この割り込みを利用して、次の区間のカウントデータをREMC_ENVLレジスタに設定してください。

(6) データ送信の終了

データ送信を終了するには、最後のデータ送信が終了後(アンダーフロー割り込み発生後)、REMSTに0を書き込んでください。エンベロープカウンタは、REMSTが0に設定されると即時に停止します。

データ受信制御



図V.6.4.3 データ受信

(1) データ受信モードの設定

MODE(D7/REMC_CFGレジスタ)に1を書き込み、REMCを受信モードに設定します。

(2) REMC_ENVLレジスタの設定

REMC_ENVLレジスタ(0x540e)に0xffffを書き込みます。REMC_ENVLレジスタに0xffff以外の値を設定すると、正しいエンベロープパルス幅を得ることができませんので注意してください。

(3) データ受信を開始

データの受信(入力信号エッジ検出)を開始するには、REMST(D0/REMC_CTLレジスタ)を1に設定します。

(4) 立ち上がりエッジ/立ち下がりエッジ検出と割り込み

エッジ検出回路はREMC_IN端子から入力した信号をエンベロープカウントクロック(PSCクロック・1/32)でサンプリングし、入力の変化(信号の立ち上がりエッジまたは立ち下がりエッジ)を検出します。信号のエッジを検出すると、立ち上がりエッジまたは立ち下がりエッジ割り込み要因が発生します。このとき、割り込みが許可されていれば、REMCは割り込み要求をITCに送ります。立ち上がりエッジ割り込みと立ち下がりエッジ割り込みは個別に許可可能です。立ち上がりエッジ割り込みは、アプリケーションプログラムにスペース区間の終了とマーク区間の開始を通知します。立ち下がりエッジ割り込みは、アプリケーションプログラムにマーク区間の終了とスペース区間の開始を通知します。

入力に変化した後の信号レベルがサンプリングクロックの2サイクル以上続けて検出されない場合は、グリッチフィルタによりノイズと見なされます。この場合、立ち上がりエッジまたは立ち下がりエッジ割り込みは発生しません。

入力信号のエッジが検出されると、エンベロープカウンタのデータビットの反転値がREMC_ENVCレジスタ(0x5410)にロードされます。この値は受信したエンベロープのパルス幅を表します。エンベロープカウンタには0xffffがロードされ、次のエンベロープパルスのためのカウントを開始します。

0xffffを設定した後、立ち上がり/立ち下がりエッジ割り込みが発生せずにエンベロープカウンタが0になった場合は、受信データが終了したか、あるいは受信エラーが発生した可能性があります。データ受信時にもアンダーフロー割り込みは発生しますので、終了やエラー処理に利用してください。

注: REMSTを1に設定後、最初の入力信号エッジを検出すると、エンベロープカウンタにREMC_ENVLレジスタに書き込まれた0xffffがロードされます。割り込みが許可されていると、このときに立ち上がりエッジ割り込みが発生しますが、この割り込みは無視してください。

(5) エンベロープパルス幅の算出

上記の割り込みを利用してREMC_ENVCレジスタからカウント値を読み出してください。この値は、直前に受信したエンベロープのパルス幅を表します。

パルス幅は次の式から求められます。

$$\text{エンベロープパルス幅} = \frac{(\text{REMC\_ENVC} + 1) \times 32}{\text{fpsOUT [Hz]}} [\text{s}]$$

REMC_ENVCはREMC_ENVCレジスタ値、fpsOUTはプリスケアラ出力クロック周波数です。

REMC_ENVCレジスタ値は、次の立ち上がりエッジまたは立ち下がりエッジ割り込みが発生する前に読み出す必要があります。そうしないと、REMC_ENVCが次のカウントデータで上書きされてしまいます。

(6) データ受信の終了

データ受信を終了するには、最後のデータ受信が終了後、REMSTに0を書き込んでください。

V.6.5 REMC割り込み

REMCモジュールには、以下の3種類の割り込みを発生させる機能があります。

- アンダーフロー割り込み
- 立ち上がりエッジ割り込み
- 立ち下がりエッジ割り込み

REMCモジュールは、上記3種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、REMCモジュール内の割り込みフラグを読み出してください。

アンダーフロー割り込み

この割り込み要求は、エンベロープカウンタがカウントダウンによりアンダーフローすると発生し、REMC内の割り込みフラグUIF(D4/REMC_CFGレジスタ)を1にセットします。データ送信時は、設定した長さのエンベロープパルスの送信が完了したことを示します。データ受信時は受信データが終了したか、受信エラーが発生したことを示します。

* **UIF**: Underflow Interrupt Flag Bit in the REMC Configuration (REMC_CFG) Register (D4/0x5404)

この割り込みを使用するには、UIE(D0/REMC_CFGレジスタ)を1に設定します。UIEが0(デフォルト)に設定されているとUIFが1にセットされず、この要因による割り込み要求はITCに送られません。

* **UIE**: Underflow Interrupt Enable Bit in the REMC Configuration (REMC_CFG) Register (D0/0x5404)

UIFが1にセットされるとREMCは割り込み要求をITCに出力します。この割り込み要求信号により、ITC内のREMC割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。REMC割り込みがエンベロープカウンタのアンダーフローによるものかどうかについては、REMC割り込み処理ルーチンでUIFを読み出して確認してください。また、割り込み処理ルーチン内では、ITCのREMC割り込みフラグと共にREMCモジュールのUIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

立ち上がりエッジ割り込み

この割り込み要求は、REMC_IN端子の入力信号がLowからHighに変化すると発生し、REMC内の割り込みフラグRIF(D6/REMC_CFGレジスタ)を1にセットします。前回の立ち下がりエッジ検出時からカウントされたエンベロープカウンタ値がREMC_ENVCレジスタ(0x5410)にロードされます。この割り込み発生後にREMC_ENVCレジスタを読み出し、その値から受信したスペースパルス幅を求めることができます。この割り込みの発生と同時に、エンベロープカウンタには0xffffがロードされ、この割り込みと次の立ち下がりエッジ割り込み間の長さ(マークパルス幅)を測定するカウントを開始します。

* **RIF**: Rising Edge Interrupt Flag Bit in the REMC Configuration (REMC_CFG) Register (D6/0x5404)

この割り込みを使用するには、RIE(D2/REMC_CFGレジスタ)を1に設定します。RIEが0(デフォルト)に設定されているとRIFは1にセットされず、この要因による割り込み要求はITCに送られません。

* **RIE**: Rising Edge Interrupt Enable Bit in the REMC Configuration (REMC_CFG) Register (D2/0x5404)

RIFが1にセットされるとREMCは割り込み要求をITCに出力します。この割り込み要求信号により、ITC内のREMC割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。REMC割り込みが入力信号の立ち上がりエッジによるものかどうかについては、REMC割り込み処理ルーチンでRIFを読み出して確認してください。また、割り込み処理ルーチン内では、ITCのREMC割り込みフラグと共にREMCモジュールのRIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

立ち下がリエッジ割り込み

この割り込み要求は、REMC_IN端子の入力信号がHighからLowに変化すると発生し、REMC内の割り込みフラグFIF(D5/REMC_CFGレジスタ)を1にセットします。前回の立ち上がりエッジ検出時からカウントされたエンベロープカウンタ値がREMC_ENVCレジスタ(0x5410)にロードされます。この割り込み発生後にREMC_ENVCレジスタを読み出し、その値から受信したマークパルス幅を求めることができます。この割り込みの発生と同時に、エンベロープカウンタには0xffffがロードされ、この割り込みと次の立ち上がりエッジ割り込み間の長さ(スペースパルス幅)を測定するカウントを開始します。

＊ **FIF**: Falling Edge Interrupt Flag Bit in the REMC Configuration (REMC_CFG) Register (D5/0x5404)

この割り込みを使用するには、FIE(D1/REMC_CFGレジスタ)を1に設定します。FIEが0(デフォルト)に設定されているとFIFは1にセットされず、この要因による割り込み要求はITCに送られません。

＊ **FIE**: Falling Edge Interrupt Enable Bit in the REMC Configuration (REMC_CFG) Register (D1/0x5404)

FIFが1にセットされるとREMCは割り込み要求をITCに出力します。この割り込み要求信号により、ITC内のREMC割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。REMC割り込みが入力信号の立ち下がリエッジによるものかどうかについては、REMC割り込み処理ルーチンでFIFを読み出して確認してください。また、割り込み処理ルーチン内では、ITCのREMC割り込みフラグと共にREMCモジュールのFIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

REMC割り込み用ITCレジスタ

前述の設定により、割り込みを許可した要因が発生するとREMCモジュールは割り込み信号をITCに出力します。REMC割り込みを発生させるには、ITCレジスタで割り込みレベルと割り込み許可の設定を行ってください。

以下に、REMC用のITC制御ビットを示します。

ITC内の割り込みフラグ

＊ **AIFT14**: REMC Interrupt Flag Bit in the Additional Interrupt Flag (ITC_AIFLG) Register (D14/0x42e0)

ITC内の割り込みイネーブルビット

＊ **AIEN14**: REMC Interrupt Enable Bit in the Additional Interrupt Enable (ITC_AEN) Register (D14/0x42e2)

ITC内の割り込みレベル設定ビット

＊ **AILV14[2:0]**: REMC Interrupt Level Bits in the Additional Interrupt Level Setup (ITC_AILV7) Register 7 (D[2:0]/0x42f4)

REMCモジュールからの割り込み信号によりAIFT14が1にセットされます。このとき、AIEN14が1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。REMCモジュールによる割り込みを禁止するには、AIEN14を0に設定しておきます。AIFT14は、AIEN14の設定にかかわらず(0に設定されていても)、REMCモジュールからの割り込み信号によって1にセットされます。

AILV14[2:0]は、REMC割り込みのレベル(0～7)を設定します。

S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- REMC割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“III.1 割り込みコントローラ (ITC)”を参照してください。

割り込みベクタ

REMC割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号: 30(0x1e)

ベクタアドレス: TTBR + 0x78

V

REMC

V.6.6 制御レジスタ詳細

表V.6.6.1 REMCレジスタ一覧

アドレス	レジスタ名		機 能
0x5400	REMC_PSC	REMC Prescaler Control Register	REMCプリスケータの設定
0x5404	REMC_CFG	REMC Configuration Register	REMCモードの設定と割り込みの制御
0x5408	REMC_CTL	REMC Control Register	送信制御
0x540c	REMC_CARL	REMC Carrier Load Register	キャリア信号の設定
0x540e	REMC_ENVL	REMC Envelope Load Register	エンベローブパルス幅の設定
0x5410	REMC_ENVC	REMC Envelope Capture Register	入力エンベローブパルス幅

以下、REMCモジュールのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5400: REMC Prescaler Control Register (REMC_PSC)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
REMC Prescaler Control Register (REMC_PSC)	0x5400 (16 bits)	D15-3	—	reserved	—		—	—	0 when being read.
		D2	REMPSON	REMC prescaler control	1	On	0	Off	0 R/W
		D1-0	REMPSDIV [1:0]	REMC prescaler division ratio select (Prescaler output clock)	REMPSDIV[1:0]		Clock		0x0 R/W
					0x3	PCLK•1/32	0x2	PCLK•1/24	
					0x1	PCLK•1/16	0x0	PCLK•1/12	

D[15:3] Reserved

D2 REMPSON: REMC Prescaler Control Bit

REMCモジュールのプリスケアラをOn/Offします。

1 (R/W): On

0 (R/W): Off(デフォルト)

REMCモジュールを使用する前に、REMPSONを1に設定してプリスケアラをOnしてください。

D[1:0] REMPSDIV[1:0]: REMC Prescaler Division Ratio Select Bits

キャリア生成回路のカウントクロックを選択します。

表V.6.6.2 キャリア生成回路用クロックの選択

REMPSDIV[1:0]	プリスケアラ出力クロック
0x3	PCLK•1/32
0x2	PCLK•1/24
0x1	PCLK•1/16
0x0	PCLK•1/12

(デフォルト: 0x0)

一般の赤外線キャリアは、ほとんどが30kHz～56kHzの範囲の周波数、1/2、1/3または1/4のデューティ比に設定されています。キャリア周波数の精度を確保するには、1MHz(最低)から8MHz(最大)のプリスケアラ出力クロックを使用してください。

例: 1. PCLK周波数が48MHzの場合は、PCLK•1/24(2MHz)を推奨します。

2. PCLK周波数が60MHzの場合は、PCLK•1/32(1.875MHz)を推奨します。

プリスケアラクロックは更に1/32に分周された後、エンベロープカウンタとエッジ検出回路にも供給されます。

V

REMC

0x5404: REMC Configuration Register(REMC_CFG)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
REMC Configuration Register (REMC_CFG)	0x5404 (16 bits)	D15–8	—	reserved	—		—	—	0 when being read.		
		D7	MODE	REMC mode select	1	Receive	0	Transmit	0	R/W	
		D6	RIF	Rising edge interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D5	FIF	Falling edge interrupt flag					0	R/W	
		D4	UIF	Underflow interrupt flag					0	R/W	
		D3	—	reserved	—		—	—	0 when being read.		
		D2	RIE	Rising edge interrupt enable	1	Enable	0	Disable	0	R/W	
		D1	FIE	Falling edge interrupt enable	1	Enable	0	Disable	0	R/W	
		D0	UIE	Underflow interrupt enable	1	Enable	0	Disable	0	R/W	

D[15:8] Reserved**D7 MODE: REMC Mode Select Bit**

送受信方向を選択します。

1(R/W): 受信

0(R/W): 送信(デフォルト)

注: 設定を変更する場合は、REMST(D0/REMC_CTLレジスタ)が0(REMCが停止中)になっていることを確認してください。

D6 RIF: Rising Edge Interrupt Flag Bit

立ち上がりエッジ割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

RIFは入力信号の立ち上がりエッジが検出されると1にセットされます。このフラグはREMCが受信モードでRIE(D2)が1に設定されている場合にのみ有効です。RIEが0の場合、立ち上がりエッジが検出されてもRIFは1にセットされません。

本フラグが1にセットされると、ITCに対してREMC割り込み要求信号が出力されます。この割り込み要求信号により、ITC内のREMC割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

RIFは1の書き込みによりリセットされます。

D5 FIF: Falling Edge Interrupt Flag Bit

立ち下がりエッジ割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり

0(R): 割り込み要因なし(デフォルト)

1(W): フラグをリセット

0(W): 無効

FIFは入力信号の立ち下がりエッジが検出されると1にセットされます。このフラグはREMCが受信モードでFIE(D1)が1に設定されている場合にのみ有効です。FIEが0の場合、立ち下がりエッジが検出されてもFIFは1にセットされません。

本フラグが1にセットされると、ITCに対してREMC割り込み要求信号が出力されます。この割り込み要求信号により、ITC内のREMC割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

FIFは1の書き込みによりリセットされます。

D4 UIF: Underflow Interrupt Flag Bit

アンダーフロー割り込み要因の発生状態を示す割り込みフラグです。

- 1(R): 割り込み要因あり
- 0(R): 割り込み要因なし(デフォルト)
- 1(W): フラグをリセット
- 0(W): 無効

UIFはデータの送受信中にエンベロープカウンタがアンダーフローすると1にセットされます。このフラグはUIE(D0)が1に設定されている場合にのみ有効です。UIEが0の場合、エンベロープカウンタがアンダーフローしてもUIFは1にセットされません。

本フラグが1にセットされると、ITCに対してREMC割り込み要求信号が出力されます。この割り込み要求信号により、ITC内のREMC割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

UIFは1の書き込みによりリセットされます。

D3 Reserved**D2 RIE: Rising Edge Interrupt Enable Bit**

入力信号の立ち上がりエッジによる割り込みを許可または禁止します。

- 1(R/W): 割り込み許可
- 0(R/W): 割り込み禁止(デフォルト)

RIEを1に設定すると、立ち上がりエッジ割り込みが許可され、0に設定すると割り込みが禁止されます。なお、割り込みを発生させるには、ITCのREMC割り込みイネーブルビットも割り込み許可に設定する必要があります。

D1 FIE: Falling Edge Interrupt Enable Bit

入力信号の立ち下がりエッジによる割り込みを許可または禁止します。

- 1(R/W): 割り込み許可
- 0(R/W): 割り込み禁止(デフォルト)

FIEを1に設定すると、立ち下がりエッジ割り込みが許可され、0に設定すると割り込みが禁止されます。なお、割り込みを発生させるには、ITCのREMC割り込みイネーブルビットも割り込み許可に設定する必要があります。

D0 UIE: Underflow Interrupt Enable Bit

エンベロープカウンタのアンダーフローによる割り込みを許可または禁止します。

- 1(R/W): 割り込み許可
- 0(R/W): 割り込み禁止(デフォルト)

UIEを1に設定すると、アンダーフロー割り込みが許可され、0に設定すると割り込みが禁止されます。なお、割り込みを発生させるには、ITCのREMC割り込みイネーブルビットも割り込み許可に設定する必要があります。

注: 不要な割り込みの発生を防止するため、割り込みイネーブルビットによってREMC割り込みを許可する前に、割り込みフラグをリセットしてください。

V

REMC

0x5408: REMC Control Register(REMC_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
REMC Control Register (REMC_CTL)	0x5408 (16 bits)	D15-1	—	reserved	—	—	—	0 when being read.
		D0	REMST	REMC start/stop control	1 Start 0 Stop	0	R/W	

D[15:1] Reserved

D0 REMST: REMC Start/Stop Control Bit

REMCモジュールの動作を開始/停止させます。

1(R): REMCは送受信中

0(R): REMCは待機中(デフォルト)

1(W): REMC動作を開始

0(W): REMC動作を停止

REMSTを1に設定すると、REMCモジュールはMODE(D7/REMC_CFGレジスタ)の設定に従ってデータ送信または受信の動作を開始します。REMSTを0に設定すると、REMCモジュールは動作を停止します。

0x540c: REMC Carrier Load Register (REMC_CARL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
REMC Carrier Load Register (REMC_CARL)	0x540c (16 bits)	D15-8	CLDH[7:0]	REMC carrier high width setup	0x0 to 0xff	0x0	R/W	
		D7-0	CLDL[7:0]	REMC carrier low width setup	0x0 to 0xff	0x0	R/W	

注: 本レジスタは送信モード時にのみ有効で、受信モードでは使用しません。

D[15:8] CLDH[7:0]: REMC Carrier High Width Setup Bits

キャリア信号のH区間長を設定します。(デフォルト: 0x0)

プリスケラクロックのサイクル数+1の値を指定します。

キャリアH区間長[s] = (CLDH[7:0] + 1) / fpsOUT [Hz] (fpsOUT: プリスケラクロック周波数)

D[7:0] CLDL[7:0]: REMC Carrier Low Width Setup Bits

キャリア信号のL区間長を設定します。(デフォルト: 0x0)

プリスケラクロックのサイクル数+1の値を指定します。

キャリアL区間長[s] = (CLDL[7:0] + 1) / fpsOUT [Hz] (fpsOUT: プリスケラクロック周波数)

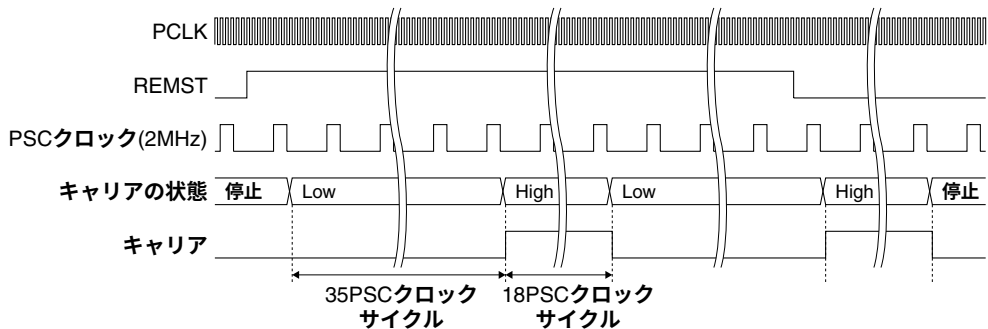
プリスケラクロック周波数が2MHzの場合のキャリア設定例を下表に示します。

表V.6.6.3 キャリア設定例

プリスケラクロック周波数	2MHz		
キャリア周波数	30kHz	38kHz	56kHz
キャリアデューティ	1/2	1/3	1/4
理想周期	33.333μs	26.316μs	17.857μs
CLDH[7:0]設定	32	17	8
CLDL[7:0]設定	32	34	26
区間誤差範囲	1%	0.7%	0.8%

キャリア信号は図V.6.6.1のように生成されます。

例: REMPSDIV[1:0] = 0x2(PCLK・1/24、2MHz)、CLDH[7:0] = 17、CLDL[7:0] = 34
(キャリア38kHz、1/3デューティ)



図V.6.6.1 キャリア信号の生成

V

REMC

0x540e: REMC Envelope Load Register (REMC_ENVL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
REMC Envelope Load Register (REMC_ENVL)	0x540e (16 bits)	D15-0	ELD[15:0]	Envelope counter preset data	0x0 to 0xffff	0x0	R/W	

D[15:0] ELD[15:0]: Envelope Counter Preset Data Bits

エンベロープカウンタにセットする初期値を設定します。(デフォルト: 0x0)
カウンタは0になると停止し、アンダーフロー割り込み要因を発生します。

データ送信モード時

データ送信時は送信するエンベロープパルス幅を設定します。
本レジスタに設定する値は、次の式で求めてください。

$$\text{REMC\_ENVL} = \frac{\text{マーク/スペース幅[s]} \times \text{プリスケラ出力クロック周波数[Hz]}}{32} - 1$$

REMST(D0/REMC_CTLレジスタ)に1を書き込んでデータ送信を開始すると、エンベロープカウンタは本レジスタに設定した値からカウントダウンを開始します。カウントダウンによりカウンタがアンダーフローすると、アンダーフロー割り込み要因が発生します。この割り込みを利用して、次のエンベロープパルス幅を設定することができます。アンダーフローが発生すると本レジスタの設定値がエンベロープカウンタにロードされ、カウントダウンを継続します。カウンタはREMSTが0に設定されると停止します。

データ受信モード時

データ受信時は、本レジスタに0xffffを設定します。この値は、入力エンベロープパルス幅をエンベロープカウンタでカウントするための初期値として使用されます。入力信号の立ち上がりまたは立ち下がりエッジを検出すると、割り込みが発生すると共に、エンベロープカウンタが本レジスタに設定した0xffffをロードしてカウントダウンを開始(継続)します。0xffffをロードする直前に、エンベロープカウンタのカウント値がビット反転の後にREMC_ENVCレジスタ(0x5410)に送られます。この値は、直前に受信したエンベロープのパルス幅を表します。

0x5410: REMC Envelope Capture Register (REMC_ENVC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
REMC Envelope Capture Register (REMC_ENVC)	0x5410 (16 bits)	D15–0	ECP[15:0]	Receive envelope pulse width	0x0 to 0xffff	0x0	R	

D[15:0] ECP[15:0]: Receive Envelope Pulse Width Bits

受信時にエンベロープカウンタで測定したエンベロープパルス幅が本レジスタにロードされます。(デフォルト: 0x0)

入力信号のエッジが検出されると、エンベロープカウンタのデータビットの反転値が本レジスタにロードされます。この値は受信したエンベロープのパルス幅を表します。

立ち上がりまたは立ち下がりエッジ割り込みが発生後、本レジスタの値を読み出してください。パルス幅は次の式から求められます。

$$\text{エンベロープパルス幅} = \frac{(\text{REMC\_ENVC} + 1) \times 32}{\text{fpsOUT [Hz]}} [\text{s}]$$

REMC_ENVCはREMC_ENVCレジスタ値、fpsOUTはプリスケアラ出力クロック周波数です。

REMC_ENVCレジスタ値は、次の立ち上がりエッジまたは立ち下がりエッジ割り込みが発生する前に読み出す必要があります。そうしないと、REMC_ENVCが次のカウントデータで上書きされてしまいます。

V.6.7 注意事項

- REMCモジュールで送受信を行うには、プリスケラを動作させる必要があります。
- プリスケラとキャリア生成回路の設定は必ずREMCモジュールが停止中 (REMST/REMC_CTLレジスタ = 0) に行ってください。
 - * **REMST**: REMC Start/Stop Control Bit in the REMC Control (REMC_CTL) Register (D0/0x5408)

S1C17002 Technical Manual

VI S1C17002入出力ポート

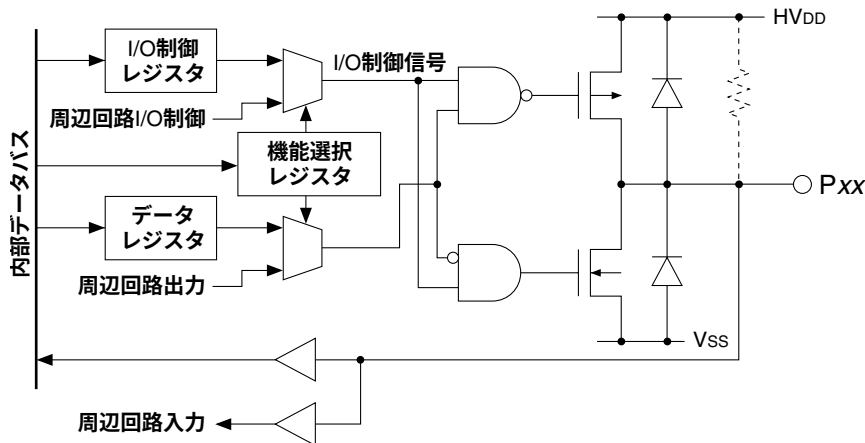
VI.1 汎用入出力ポート (GPIO)

VI.1.1 入出力ポートの構成

S1C17002は、4本の入力ポート (P0[3:0]) とプログラムにより入出力方向の切り換えが可能な30本の入出力ポート (P1[6:0]、P2[7:0]、P3[2:0]、P3[7:5]、P4[4:0]、およびP5[3:0]) を内蔵しています。それぞれ、内部周辺回路の入出力端子として使用されますが、周辺回路用に使用しない端子については、汎用の入出力ポートとして使用することができます。

また、入出力ポートは8系統の入力割り込みをサポートしています。

図VI.1.1.1に入出力ポートの構造を示します。



図VI.1.1.1 入出力ポートの構造

注: • P36ポートには100kΩのプルアップ抵抗が内蔵されています。その他のポートにプルアップ/ダウン抵抗は内蔵されていません。

- P0[3:0]ポートは入力専用ポートで、インタフェース電圧レベルもHVDDではなくAVDDです。
- ADC未使用かつ、P0[3:0]端子をアナログ入力ではなくデジタル信号の入力端子としてのみ使用する場合は、AVDD = 1.65~3.60Vで使用可能です。ただし、入力するデジタル信号のHighレベルはAVDD、LowレベルはGNDである必要があります。

VI
GPIO

VI.1.2 入出力端子機能の選択

入出力ポート端子は、周辺回路用の入出力端子あるいはバス信号を兼ねており、入出力ポートとして使用するか、周辺回路/バス信号用に使用するかをPort Function Select Registerによってビット単位に設定できるようになっています。周辺回路/バス信号用に使用しない端子は、すべて汎用入出力ポート端子として使用できます。

イニシャルリセットにより、各入出力ポート端子(Pxx)はデフォルトの機能に初期化されます。端子の機能と切り換えの詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

以下の節は、端子が汎用入出力ポートに設定されているものとしてポート機能を説明します。

注: P3[7:5]端子はデフォルトでデバッグインタフェース端子に設定されます。その他のPxx端子は汎用入出力ポートに設定されます。

VI.1.3 I/O制御レジスタと入出力モード

入出力ポートは、それぞれのビットに対応したIOC_xにデータを書き込むことによって、入力モードあるいは出力モードに設定されます。

- * **IOC1[6:0]:** P1[6:0] I/O Control Bits in the P1 I/O Control (P1_IOC) Register (D[6:0]/0x4403)
- * **IOC2[7:0]:** P2[7:0] I/O Control Bits in the P2 I/O Control (P2_IOC) Register (D[7:0]/0x4405)
- * **IOC3[2:0]:** P3[2:0] I/O Control Bits in the P3 I/O Control (P3_IOC) Register (D[2:0]/0x4407)
- * **IOC3[7:5]:** P3[7:5] I/O Control Bits in the P3 I/O Control (P3_IOC) Register (D[7:5]/0x4407)
- * **IOC4[4:0]:** P4[4:0] I/O Control Bits in the P4 I/O Control (P4_IOC) Register (D[4:0]/0x4409)
- * **IOC5[3:0]:** P5[3:0] I/O Control Bits in the P5 I/O Control (P5_IOC) Register (D[3:0]/0x440b)

入出力ポートを入力モードに設定する場合はI/O制御ビットに0を書き込みます。入力モードに設定された入出力ポートは、ハイインピーダンス状態となり入力ポートとして機能します。

入力モード時の読み出しでは入力端子の状態が直接読み込まれ、そのデータは入力端子がHigh(HV_{DD})レベルのときに1、Low(V_{SS})レベルのときに0となります。

出力モードに設定する場合はI/O制御ビットに1を書き込みます。出力モードに設定された入出力ポートは出力ポートとして機能し、ポート出力データが1の場合にHigh(HV_{DD})レベル、0の場合にLow(V_{SS})レベルを出力します。

VI.1.4 I/Oデータレジスタ

以下に示すレジスタを入出力ポート端子からのデータの読み込みと、出力データの設定に使用します。

- * **P0D[3:0]:** P0[3:0] Port Input Data Bits in the P0 Port Input Data (P0_DAT) Register (D[3:0]/0x4400)
- * **P1D[6:0]:** P1[6:0] Port Input/Output Data Bits in the P1 Port Input/Output Data (P1_DAT) Register (D[6:0]/0x4402)
- * **P2D[7:0]:** P2[7:0] Port Input/Output Data Bits in the P2 Port Input/Output Data (P2_DAT) Register (D[7:0]/0x4404)
- * **P3D[2:0]:** P3[2:0] Port Input/Output Data Bits in the P3 Port Input/Output Data (P3_DAT) Register (D[2:0]/0x4406)
- * **P3D[7:5]:** P3[7:5] Port Input/Output Data Bits in the P3 Port Input/Output Data (P3_DAT) Register (D[7:5]/0x4406)
- * **P4D[4:0]:** P4[4:0] Port Input/Output Data Bits in the P4 Port Input/Output Data (P4_DAT) Register (D[4:0]/0x4408)
- * **P5D[3:0]:** P5[3:0] Port Input/Output Data Bits in the P5 Port Input/Output Data (P5_DAT) Register (D[3:0]/0x440a)

入出力ポートが出力モードの場合、上記のレジスタに書き込まれたデータが直接、入出力ポート端子に出力されます。レジスタに書き込んだデータが1の場合、そのポート端子はHigh(HV_{DD})レベルになります。データが0の場合、ポート端子はLow(V_{SS})レベルになります。

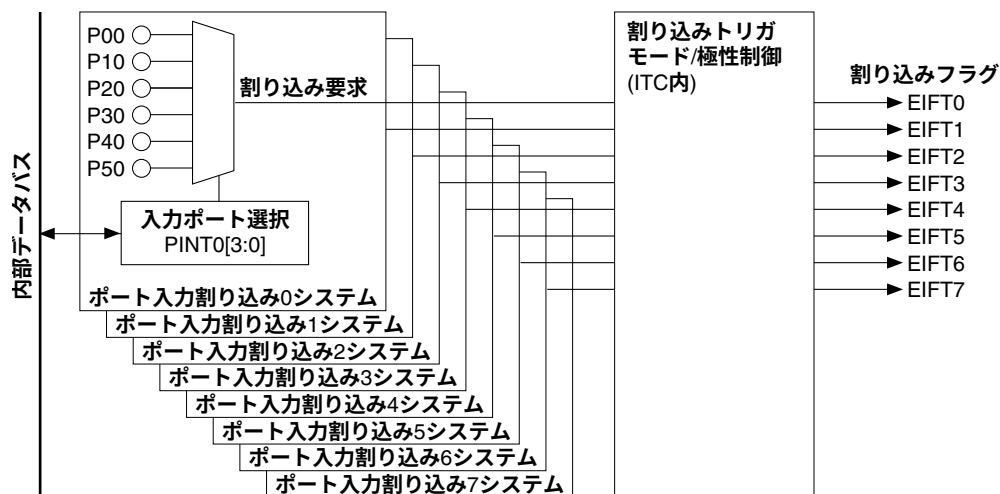
入力モード時においても、端子の状態に影響を与えることなくデータレジスタに対して書き込みは行えます。

レジスタリード時は、入出力モードの設定にかかわらず、ポート端子上の電圧レベルが読み出されます。端子電圧がHigh(HV_{DD})レベルのときは、入力データとして1が読み出されます。端子電圧がLow(V_{SS})レベルのときは、入力データとして0が読み出されます。

VI.1.5 ポート入力割り込み

GPIOモジュールは8本の割り込み系列(ポート入力割り込み0～7)を持ち、それぞれの割り込み要因を発生するポートを選択することができます。割り込み条件についても、入力信号のエッジ(立ち上がりエッジまたは立ち下がりエッジ)で割り込みを発生させるか、レベル(HighレベルまたはLowレベル)によって発生させるか、割り込みコントローラ(ITC)で選択可能です。

図VI.1.5.1にポート入力割り込み回路の構成を示します。



図VI.1.5.1 ポート入力割り込み回路の構成

VI.1.5.1 入力端子の選択

各割り込み系列ごとに、入力端子を既定の6本の中から選択できます。

以下に各割り込み系列のポートを選択する制御ビットとレジスタを示します。

- * **PINT0[3:0]**: Interrupt Port Select Bits in the Port Input Interrupt 0 Select (PINTSEL0) Register (D[7:4]/0x4440)
- * **PINT1[3:0]**: Interrupt Port Select Bits in the Port Input Interrupt 1 Select (PINTSEL1) Register (D[7:4]/0x4441)
- * **PINT2[3:0]**: Interrupt Port Select Bits in the Port Input Interrupt 2 Select (PINTSEL2) Register (D[7:4]/0x4442)
- * **PINT3[3:0]**: Interrupt Port Select Bits in the Port Input Interrupt 3 Select (PINTSEL3) Register (D[7:4]/0x4443)
- * **PINT4[3:0]**: Interrupt Port Select Bits in the Port Input Interrupt 4 Select (PINTSEL4) Register (D[7:4]/0x4444)
- * **PINT5[3:0]**: Interrupt Port Select Bits in the Port Input Interrupt 5 Select (PINTSEL5) Register (D[7:4]/0x4445)
- * **PINT6[3:0]**: Interrupt Port Select Bits in the Port Input Interrupt 6 Select (PINTSEL6) Register (D[7:4]/0x4446)
- * **PINT7[3:0]**: Interrupt Port Select Bits in the Port Input Interrupt 7 Select (PINTSEL7) Register (D[7:4]/0x4447)

表VI.1.5.1.1に各割り込み系列で選択可能な入力端子を示します。

表 VI.1.5.1.1 ポート入力割り込み用入力端子の選択

ポート入力 割り込み系列	PINTx[3:0]設定					
	0x0	0x1	0x2	0x3	0x4	0x5
0	P00	P10	P20	P30	P40	P50
1	P01	P11	P21	P31	P41	P51
2	P02	P12	P22	P32	P42	P52
3	P03	P13	P23	—	P43	P53
4	—	P14	P24	—	P44	—
5	—	P15	P25	P35	—	—
6	—	P16	P26	P36	—	—
7	—	—	P27	P37	—	—

VI.1.5.2 割り込みコントローラの制御レジスタ

トリガモードと極性の選択

割り込みコントローラ(ITC)は、ポート割り込み要求をパルス信号とレベル信号のどちらでも受け付けられるように、パルストリガモードとレベルトリガモードの2つの割り込みモードを持っています。トリガモードは、ITC_ELV_xレジスタ(0x4306~0x430c)のEITG_xビットで選択できます。EITG_xを1に設定するとレベルトリガモードが選択され、0(デフォルト)に設定するとパルストリガモードが選択されます。

また、ITCに入力するポート入力割り込み要求信号の極性もITC_ELV_xレジスタ(0x4306~0x430c)内のEITP_xビットで選択できます。EITP_xを1に設定すると正極性パルス/立ち上がりエッジ(パルストリガモード時)またはアクティブHigh(レベルトリガモード時)が選択され、0(デフォルト)に設定すると負極性パルス/立ち下がりエッジ(パルストリガモード時)またはアクティブLow(レベルトリガモード時)が選択されます。

表 VI.1.5.2.1 トリガモード/極性選択ビット

割り込み系列	トリガモード選択ビット	トリガ極性選択ビット	レジスタアドレス
ポート入力割り込み0	EITG0(D4/ITC_ELV0レジスタ)	EITP0(D5/ITC_ELV0レジスタ)	0x4306
ポート入力割り込み1	EITG1(D12/ITC_ELV0レジスタ)	EITP1(D13/ITC_ELV0レジスタ)	0x4306
ポート入力割り込み2	EITG2(D4/ITC_ELV1レジスタ)	EITP2(D5/ITC_ELV1レジスタ)	0x4308
ポート入力割り込み3	EITG3(D12/ITC_ELV1レジスタ)	EITP3(D13/ITC_ELV1レジスタ)	0x4308
ポート入力割り込み4	EITG4(D4/ITC_ELV2レジスタ)	EITP4(D5/ITC_ELV2レジスタ)	0x430a
ポート入力割り込み5	EITG5(D12/ITC_ELV2レジスタ)	EITP5(D13/ITC_ELV2レジスタ)	0x430a
ポート入力割り込み6	EITG6(D4/ITC_ELV3レジスタ)	EITP6(D5/ITC_ELV3レジスタ)	0x430c
ポート入力割り込み7	EITG7(D12/ITC_ELV3レジスタ)	EITP7(D13/ITC_ELV3レジスタ)	0x430c

これらのレジスタにより、ポート入力割り込み条件は表VI.1.5.2.2のようになります。

表VI.1.5.2.2 ポート入力割り込み条件

EITG _x	EITP _x	ポート入力割り込み条件
1	1	Highレベル
1	0	Lowレベル
0	1	立ち上がりエッジ
0	0	立ち下がりエッジ

ITCの割り込み制御レジスタ

各ポート入力割り込み系列ごとに用意されている割り込みコントローラの制御レジスタを、表VI.1.5.2.3に示します。

表VI.1.5.2.3 割り込みコントローラの制御レジスタ

割り込み系列	割り込みフラグ	割り込みイネーブルビット	割り込みレベル設定ビット
ポート入力割り込み0	EIFT0(D0/ITC_IFLG)	EIEN0(D0/ITC_EN)	EILV0[2:0](D[2:0]/ITC_ELV0)
ポート入力割り込み1	EIFT1(D1/ITC_IFLG)	EIEN1(D1/ITC_EN)	EILV1[2:0](D[10:8]/ITC_ELV0)
ポート入力割り込み2	EIFT2(D2/ITC_IFLG)	EIEN2(D2/ITC_EN)	EILV2[2:0](D[2:0]/ITC_ELV1)
ポート入力割り込み3	EIFT3(D3/ITC_IFLG)	EIEN3(D3/ITC_EN)	EILV3[2:0](D[10:8]/ITC_ELV1)
ポート入力割り込み4	EIFT4(D4/ITC_IFLG)	EIEN4(D4/ITC_EN)	EILV4[2:0](D[2:0]/ITC_ELV2)
ポート入力割り込み5	EIFT5(D5/ITC_IFLG)	EIEN5(D5/ITC_EN)	EILV5[2:0](D[10:8]/ITC_ELV2)
ポート入力割り込み6	EIFT6(D6/ITC_IFLG)	EIEN6(D6/ITC_EN)	EILV6[2:0](D[2:0]/ITC_ELV3)
ポート入力割り込み7	EIFT7(D7/ITC_IFLG)	EIEN7(D7/ITC_EN)	EILV7[2:0](D[10:8]/ITC_ELV3)

ITC_IFLGレジスタ(0x4300)

ITC_ENレジスタ(0x4302)

ITC_ELV0、ITC_ELV1、ITC_ELV2、ITC_ELV3レジスタ(0x4306、0x4308、0x430a、0x430c)

前述の入力割り込み発生条件が成立すると、それぞれに対応した割り込みフラグが1にセットされます。その割り込みフラグに対応する割り込みイネーブルビットが1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。ポート入力割り込みを禁止するには、割り込みイネーブルビットを0に設定しておきます。割り込みフラグは、割り込みイネーブルビットの設定にかかわらず(0に設定されていても)、割り込み条件の成立によって1にセットされます。

割り込みレベル設定ビットは、ポート入力割り込みのレベル(0~7)を設定します。同一の割り込みレベルに設定した場合、ポート入力割り込み0の優先順位が高く、ポート入力割り込み7が低い順位となります。

S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- ポート入力割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“III.1 割り込みコントローラ(ITC)”を参照してください。

割り込みベクタ

ポート入力割り込みのベクタ番号とベクタアドレスは以下のとおりです。

表VI.1.5.2.4 ポート入力割り込みベクタ

割り込み系列	ベクタ番号	ベクタアドレス
ポート入力割り込み0	4 (0x4)	TTBR + 0x10
ポート入力割り込み1	5 (0x5)	TTBR + 0x14
ポート入力割り込み2	6 (0x6)	TTBR + 0x18
ポート入力割り込み3	7 (0x7)	TTBR + 0x1c
ポート入力割り込み4	12 (0xc) または 16 (0x10)	TTBR + 0x30 または TTBR + 0x40
ポート入力割り込み5	13 (0xd) または 17 (0x11)	TTBR + 0x34 または TTBR + 0x44
ポート入力割り込み6	14 (0xe) または 18 (0x12)	TTBR + 0x38 または TTBR + 0x48
ポート入力割り込み7	15 (0xf) または 19 (0x13)	TTBR + 0x3c または TTBR + 0x4c

注: ポート入力割り込み4～7の割り込みベクタ番号12～16、18～19は他の割り込み要因と共有されます。これらのベクタ番号をポート入力割り込みで使用するには、ポート入力割り込み用の割り込みイネーブルビットを1に設定し、もう一方を0に設定してください。

表VI.1.5.2.5 割り込みベクタ12と16(UART CH.0、CLG_T16U0、ポート4割り込み)

割り込みイネーブルビット			割り込みベクタ12	割り込みベクタ16
IIEN4(UART CH.0)	IIEN0(CLG_T16U0)	EIEN4(ポート4)		
1	1	1	CLG_T16U0割り込み	UART CH.0割り込み
1	1	0	CLG_T16U0割り込み	UART CH.0割り込み
1	0	1	ポート割り込み4	UART CH.0割り込み
1	0	0	—	UART CH.0割り込み
0	1	1	CLG_T16U0割り込み	ポート割り込み4
0	1	0	CLG_T16U0割り込み	—
0	0	1	ポート割り込み4	ポート割り込み4
0	0	0	—	—

(割り込みイネーブルビット: 1 = 割り込み許可、0 = 割り込み禁止)

表VI.1.5.2.6 割り込みベクタ13(CLG_T8FU0、ポート5割り込み)

割り込みイネーブルビット		割り込みベクタ13
IIEN1(CLG_T8FU0)	EIEN5(ポート5)	
1	1	CLG_T8FU0割り込み
1	0	CLG_T8FU0割り込み
0	1	ポート割り込み5
0	0	—

表VI.1.5.2.7 割り込みベクタ14と18(SPI CH.0、CLG_T8S、ポート6割り込み)

割り込みイネーブルビット			割り込みベクタ14	割り込みベクタ18
IIEN6(SPI CH.0)	IIEN2(CLG_T8S)	EIEN6(ポート6)		
1	1	1	CLG_T8S割り込み	SPI CH.0割り込み
1	1	0	CLG_T8S割り込み	SPI CH.0割り込み
1	0	1	ポート割り込み6	SPI CH.0割り込み
1	0	0	—	SPI CH.0割り込み
0	1	1	CLG_T8S割り込み	ポート割り込み6
0	1	0	CLG_T8S割り込み	—
0	0	1	ポート割り込み6	ポート割り込み6
0	0	0	—	—

VI S1C17002入出力ポート: 汎用入出力ポート (GPIO)

表VI.1.5.2.8 割り込みベクタ15と19(I²Cマスタ、CLG_T8I、ポート7割り込み)

割り込みイネーブルビット			割り込みベクタ15	割り込みベクタ19
I ² Cマスタ	CLG_T8I	ポート7		
1	1	1	CLG_T8I割り込み	I ² Cマスタ割り込み
1	1	0	CLG_T8I割り込み	I ² Cマスタ割り込み
1	0	1	ポート割り込み7	I ² Cマスタ割り込み
1	0	0	—	I ² Cマスタ割り込み
0	1	1	CLG_T8I割り込み	ポート割り込み7
0	1	0	CLG_T8I割り込み	—
0	0	1	ポート割り込み7	ポート割り込み7
0	0	0	—	—

VI.1.6 制御レジスタ詳細

表VI.1.6.1 入出力ポートレジスタ一覧

アドレス	レジスタ名		機能
0x4400	P0_DAT	P0 Port Input Data Register	P0ポート入力データ
0x4402	P1_DAT	P1 Port Input/Output Data Register	P1ポート入出力データ
0x4403	P1_IOC	P1 Port I/O Control Register	P1ポート入出力方向の選択
0x4404	P2_DAT	P2 Port Input/Output Data Register	P2ポート入出力データ
0x4405	P2_IOC	P2 Port I/O Control Register	P2ポート入出力方向の選択
0x4406	P3_DAT	P3 Port Input/Output Data Register	P3ポート入出力データ
0x4407	P3_IOC	P3 Port I/O Control Register	P3ポート入出力方向の選択
0x4408	P4_DAT	P4 Port Input/Output Data Register	P4ポート入出力データ
0x4409	P4_IOC	P4 Port I/O Control Register	P4ポート入出力方向の選択
0x440a	P5_DAT	P5 Port Input/Output Data Register	P5ポート入出力データ
0x440b	P5_IOC	P5 Port I/O Control Register	P5ポート入出力方向の選択
0x4420	P0_03_CFP	P00–P03 Port Function Select Register	P00–P03ポート機能の選択
0x4422	P1_03_CFP	P10–P13 Port Function Select Register	P10–P13ポート機能の選択
0x4423	P1_46_CFP	P14–P16 Port Function Select Register	P14–P16ポート機能の選択
0x4425	P2_57_CFP	P25–P27 Port Function Select Register	P25–P27ポート機能の選択
0x4426	P3_02_CFP	P30–P32 Port Function Select Register	P30–P32ポート機能の選択
0x4427	P3_57_CFP	P35–P37 Port Function Select Register	P35–P37ポート機能の選択
0x4428	P4_03_CFP	P40–P43 Port Function Select Register	P40–P43ポート機能の選択
0x4429	P4_4_CFP	P44 Port Function Select Register	P44ポート機能の選択
0x442a	P5_03_CFP	P50–P53 Port Function Select Register	P50–P53ポート機能の選択
0x4440	PINTSEL0	Port Input Interrupt 0 Select Register	入力割り込み用Px0ポートの選択
0x4441	PINTSEL1	Port Input Interrupt 1 Select Register	入力割り込み用Px1ポートの選択
0x4442	PINTSEL2	Port Input Interrupt 2 Select Register	入力割り込み用Px2ポートの選択
0x4443	PINTSEL3	Port Input Interrupt 3 Select Register	入力割り込み用Px3ポートの選択
0x4444	PINTSEL4	Port Input Interrupt 4 Select Register	入力割り込み用Px4ポートの選択
0x4445	PINTSEL5	Port Input Interrupt 5 Select Register	入力割り込み用Px5ポートの選択
0x4446	PINTSEL6	Port Input Interrupt 6 Select Register	入力割り込み用Px6ポートの選択
0x4447	PINTSEL7	Port Input Interrupt 7 Select Register	入力割り込み用Px7ポートの選択

以下、入出力ポートのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x4400–0x440a: Px Port Input/Output Data Registers (Px_DAT)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Px Port Input /Output Data Register (Px_DAT)	0x4400 0x440a (8 bits)	D7–0	PxD[7:0]	Px[7:0] port input/output data	1	1 (High)	0	0 (Low)	Ext.	R/W	Ext.: The initial value depends on the external pin status.

注: ビット名などの‘x’はポート番号の0～5を示します。

- 0x4400 P0 Port Input Data Register (P0_DAT) * 入力のみ
- 0x4402 P1 Port Input/Output Data Register (P1_DAT)
- 0x4404 P2 Port Input/Output Data Register (P2_DAT)
- 0x4406 P3 Port Input/Output Data Register (P3_DAT)
- 0x4408 P4 Port Input/Output Data Register (P4_DAT)
- 0x440a P5 Port Input/Output Data Register (P5_DAT)

入出力ポート端子のデータの読み出し、および出力データの設定を行うレジスタです。(デフォルト: 外部端子状態)

- 1(R/W): Highレベル
- 0(R/W): Lowレベル

入出力ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力ポート端子に出力されます。ポートデータとして1を書き込んだ場合はポート端子はHigh(HV_{DD})レベルとなり、0を書き込んだ場合はLow(V_{SS})レベルとなります。
入力モードの場合もポートデータの書き込みは行えます。

データの読み出し時は、入出力ポートが入力モード、出力モードにかかわらず、ポート端子の電圧レベルが読み出されます。端子電圧がHigh(HV_{DD})レベルの場合は1、Low(V_{SS})レベルの場合は0がそれぞれ入力データとして読み出されます。

注: ノイズが入力データに影響するような場合は、2回読み出してどちらも同じ値であることを確認してください。

0x4403–0x440b: Px I/O Control Registers (Px_IOC)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Px I/O Control Register (Px_IOC)	0x4403 0x440b (8 bits)	D7–0	IOCx[7:0]	Px[7:0] I/O control	1	Output	0	Input	0	R/W	

注: ビット名などの'x'はポート番号の1～5を示します。

- 0x4403 P1 I/O Control Register (P1_IOC)
- 0x4405 P2 I/O Control Register (P2_IOC)
- 0x4407 P3 I/O Control Register (P3_IOC)
- 0x4409 P4 I/O Control Register (P4_IOC)
- 0x440b P5 I/O Control Register (P5_IOC)

入出力ポート端子の入力/出力モードの設定とI/O制御信号の値の読み出しが行えます。

1(R/W): 出力モード

0(R/W): 入力モード(デフォルト)

IOCxは各入出力ポートに対応するI/O制御ビットで、1に設定すると対応する入出力ポートが出力モードに、0に設定すると入力モードになります。

端子を周辺回路用を使用する場合の入出力方向は、周辺回路の機能により決まります。

データの読み出し時は、ポート端子のI/O制御信号の値が読み出されます。Port Function Select Registerによって入出力ポート機能を選択した場合、読み出し値は、IOCレジスタへの書き込み値と一致します。一方、周辺回路を選択した場合はその回路の状態により変化し、IOCxへの書き込み値とは異なる場合があります。

0x4420–0x442a: Port Function Select Registers (Px_xx_CFP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
Px0–Px3 Port Function Select Register (Px_03_CFP) or Px4–Px7 Port Function Select Register (Px_47_CFP)	0x4420 0x442a (8 bits)	D7–6	CFPx3[1:0] or CFPx7[1:0]	Px3/Px7 port function select	CFPx3/7[1:0]	Function	0x0	R/W	
					0x3	Pin function 3			
					0x2	Pin function 2			
					0x1	Pin function 1			
					0x0	Pin function 0			
		D5–4	CFPx2[1:0] or CFPx6[1:0]	Px2/Px6 port function select	CFPx2/6[1:0]	Function	0x0	R/W	
					0x3	Pin function 3			
					0x2	Pin function 2			
					0x1	Pin function 1			
					0x0	Pin function 0			
		D3–2	CFPx1[1:0] or CFPx5[1:0]	Px1/Px5 port function select	CFPx1/5[1:0]	Function	0x0	R/W	
					0x3	Pin function 3			
					0x2	Pin function 2			
					0x1	Pin function 1			
					0x0	Pin function 0			
		D1–0	CFPx0[1:0] or CFPx4[1:0]	Px0/Px4 port function select	CFPx0/4[1:0]	Function	0x0	R/W	
					0x3	Pin function 3			
					0x2	Pin function 2			
					0x1	Pin function 1			
					0x0	Pin function 0			

注: ビット名などの‘x’はポート番号の0～5を示します。

- 0x4420 P00–P03 Port Function Select Register (P0_03_CFP)
- 0x4422 P10–P13 Port Function Select Register (P1_03_CFP)
- 0x4423 P14–P16 Port Function Select Register (P1_46_CFP)
- 0x4425 P25–P27 Port Function Select Register (P2_57_CFP)
- 0x4426 P30–P32 Port Function Select Register (P3_02_CFP)
- 0x4427 P35–P37 Port Function Select Register (P3_57_CFP)
- 0x4428 P40–P43 Port Function Select Register (P4_03_CFP)
- 0x4429 P44 Port Function Select Register (P4_4_CFP)
- 0x442a P50–P53 Port Function Select Register (P5_03_CFP)

これらのビットは各入出力ポート端子の機能を選択します。(デフォルト: 0x0 = 端子機能0)

入出力ポート端子は、周辺回路用の入出力端子あるいはバス信号を兼ねており、入出力ポートとして使用するか、周辺回路/バス信号用に使用するかをこれらのレジスタによってビット単位に設定できるようになっています。周辺回路/バス信号用に使用しない端子は、すべて汎用入出力ポート端子として使用できます。

端子機能の詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

0x4440–0x4447: Port Input Interrupt x Select Registers (PINTSELx)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
Port Input Interrupt x Select Register (PINTSELx)	0x4440	D7–4	PINTx[3:0]	Interrupt port select	PINTx[3:0]	Function	0xf	R/W	
	0xf–0x6				reserved				
	0x5				P5x				
	0x4				P4x				
	0x3				P3x				
	0x2	P2x							
	0x1	P1x							
	0x0	P0x							
		D3–0	–	reserved	–		X	R	

注: ビット名などの‘x’はポート入力割り込み番号の0～7を示します。

- 0x4440 Port Input Interrupt 0 Select Register (PINTSEL0)
- 0x4441 Port Input Interrupt 1 Select Register (PINTSEL1)
- 0x4442 Port Input Interrupt 2 Select Register (PINTSEL2)
- 0x4443 Port Input Interrupt 3 Select Register (PINTSEL3)
- 0x4444 Port Input Interrupt 4 Select Register (PINTSEL4)
- 0x4445 Port Input Interrupt 5 Select Register (PINTSEL5)
- 0x4446 Port Input Interrupt 6 Select Register (PINTSEL6)
- 0x4447 Port Input Interrupt 7 Select Register (PINTSEL7)

PINTx[3:0]: Interrupt Port Select Bits

ポート入力割り込みを発生させる入出力ポートを選択します。

表VI.1.6.2 ポート入力割り込み用端子の選択

ポート入力 割り込み系列	PINTx[3:0]設定					
	0x0	0x1	0x2	0x3	0x4	0x5
0	P00	P10	P20	P30	P40	P50
1	P01	P11	P21	P31	P41	P51
2	P02	P12	P22	P32	P42	P52
3	P03	P13	P23	–	P43	P53
4	–	P14	P24	–	P44	–
5	–	P15	P25	P35	–	–
6	–	P16	P26	P36	–	–
7	–	–	P27	P37	–	–

(デフォルト: 0xf)

VI.1.7 注意事項

- ポート入力割り込み4～7の割り込みベクタ番号12～16、18～19は他の割り込み要因と共有されます。これらのベクタ番号をポート入力割り込みで使用するには、ポート入力割り込み用の割り込みイネーブルビットを1に設定し、もう一方を0に設定してください。
- SLEEPモードから再起動するトリガとしてポート入力割り込みを使用する場合、割り込み条件としてレベル割り込みを設定しておく必要があります。エッジ割り込みを設定しているポートからの割り込み信号によってSLEEPモードを解除することはできません。
- ポート入力割り込み(エッジ割り込み)を選択した場合、割り込みを確実に発生させるには、システムクロックの1サイクル以上のパルス幅を持つ信号を入力する必要があります。
- ノイズが入力データに影響するような場合は、2回読み出してどちらも同じ値であることを確認してください。
- ポート入力割り込み(レベル割り込み)を使用する場合、以下に示す時間以上、入力信号をアクティブレベルに保つ必要があります。
 - (1) SLEEPモード時にクロックを停止させる場合
OSC3発振開始時間 + OSC3 発振安定待ち時間(ユーザ設定) + システムクロック10サイクルの時間以上
 - (2) SLEEPモード時にクロックを停止させない場合、またはHALTモード時
システムクロック10サイクルの時間以上
 - (3) 通常動作時
システムクロック10サイクルの時間以上

S1C17002 Technical Manual

VII S1C17002アナログモジュール

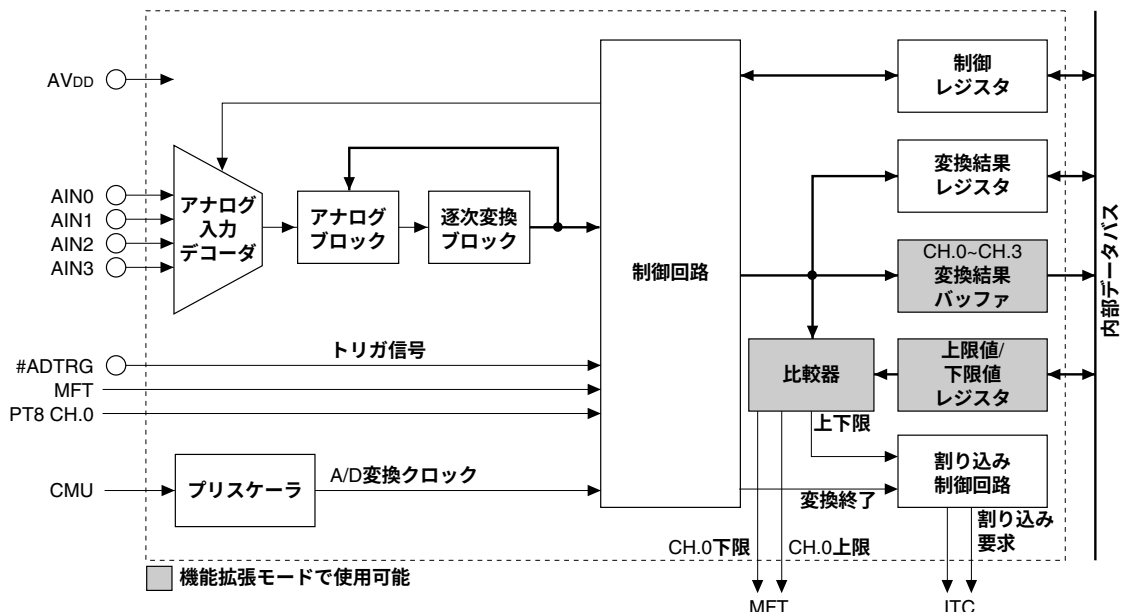
VII.1 A/D変換器(ADC)

VII.1.1 A/D変換器の特長と構成

S1C17002は以下の特長を持つA/D変換器を内蔵しています。

- 変換方式 逐次比較型
 - 分解能 10ビット
 - 入力チャネル 4チャネル
 - A/D変換器入力クロック 最大2MHz、最小16kHz
 - 変換時間 9クロック(サンプリング時間) + 11クロック(変換時間) = 20クロック
最小10μsec(2MHzの入力クロック選択時)
最大1250μsec(16kHzの入力クロック選択時)
 - 変換範囲 $V_{SS} \sim AV_{DD}$ 間
 - 2種類の変換モードが選択可能
通常モード: 1回の変換で終了
連続モード: 連続的に変換、ソフトウェア制御により終了
各モードで、複数チャネルの連続変換が可能
 - 4種類のA/D変換開始トリガが選択可能
外部端子(#ADTRG)によるトリガ
16ビットマルチファンクションタイマ(MFT)のピリオドマッチによるトリガ
8ビットプログラマブルタイマ(PT8 CH.0)のアンダーフローによるトリガ
ソフトウェアによるトリガ
 - A/D変換結果は10ビットデータレジスタ、または各チャネルの変換結果バッファ*から読み出し可能
 - A/D変換終了時、および変換結果が指定上下限範囲外*の場合に割り込み発生可能
 - CH.0の上下限範囲外信号をMFTに送り、IGBTの制御に使用可能
- * 拡張モードで使用可能な機能です。S1C17002のA/D変換器は従来のアナログブロックとの互換性を持つ標準モードと、拡張機能を使用可能な拡張モードの2種類の動作モードを持っています。

図VII.1.1.1にA/D変換器の構成を示します。



図VII.1.1.1 A/D変換器の構成

VII.1.2 A/D変換器の入力端子

表VII.1.2.1にA/D変換器で使用する端子を示します。

表VII.1.2.1 A/D変換器の入力端子

端子名	I/O	機能
AVDD	—	アナログ電源端子 AVDD端子はアナログ回路の電源端子です。
AIN0～AIN3	I	アナログ信号入力端子AIN0(CH.0)～AIN3(CH.3) 入力可能なアナログ電圧値AVINは $V_{SS} \leq AV_{IN} \leq AV_{DD}$ の範囲です。
#ADTRG	I	外部トリガ入力端子 #ADTRG端子は、IC外部よりA/D変換を開始させる場合のトリガ信号を入力する端子です。

A/D変換器の入力端子(AIN[3:0]、#ADTRG)は入力ポートと兼用されており、初期状態では汎用入力ポート端子に設定されます。これらの端子をA/D変換器の入力に使用するには、端子に対応するPort Function Select Registerの設定により機能を切り換える必要があります。端子の機能と切り換えの詳細については、“I.3.3 マルチプレックス端子の機能切り換え”を参照してください。

注: • A/D変換器をイネーブル状態にすると、A/D動作を行わないときにもAVDD～VSS間に電流が流れ電力を消費します。したがって、A/D変換器を使用しない場合は、必ずA/D変換器をディセーブル状態(ADE(D2/AD_CTLレジスタ)を0、デフォルト)に設定してください。

* ADE: A/D Enable Bit in the A/D Control/Status (AD_CTL) Register (D2/0x5544)

- プリント基板上の#ADTRG信号パターンを設計する際は、ノイズ対策を講じてください。
- AINx端子を入出力ポート(P0x)端子として使用する場合もインタフェース電圧レベルはAVDDとなりますので注意してください。

VII.1.3 A/D変換器の動作クロック

A/D変換器はCMUから供給されるADC_CLK(= PCLK)クロックで動作します。変換クロックはA/D変換器内で生成します。

動作クロックの供給制御

ADC_CLKクロックはデフォルト設定でA/D変換器に供給されるようになっています。A/D変換器を使用しない場合は、ADC_CLK_EN(D3/CMU_GATEDCLK2レジスタ)により供給を停止して消費電力を抑えることができます。

* **ADC_CLK_EN**: ADC Module Clock Control Bit in the Gated Clock Control 2 (CMU_GATEDCLK2) Register (D3/0x4908)

ADC_CLK_ENを0(初期設定は1)に設定すると、A/D変換器への動作クロックの供給が停止します。このクロック供給を停止すると、制御レジスタへのアクセスもできなくなります。

クロックの設定や制御については、“II.2 クロックマネージメントユニット(CMU)”を参照してください。

注: Gated Clock Control 2 Register(0x4908)は書き込み保護されています。このレジスタを含め、0x4900～0x4908番地のCMUレジスタを書き換えるには、CMU Write Protect Register(0x4920)に0x96を書き込んで、書き込み保護を解除する必要があります。なお、0x4900～0x4908番地の不要な書き換えはシステムの誤動作につながりますので、書き換え時以外はCMU Write Protect Register(0x4920)を0x96以外に設定してください。

スタンバイモード時のクロック状態

スタンバイモードの種類により、A/D変換器へのクロック供給は停止します。

HALTモード: 動作クロックは通常モードと同様に供給されます。

SLEEPモード: 動作クロックの供給が停止します。

したがって、SLEEPモード時はA/D変換器も動作を停止します。

VII.1.4 A/D変換器の設定

A/D変換器を使用する場合は、A/D変換開始前に以下の設定が必要です。

1. アナログ入力端子の設定 ... VII.1.2、I.3.3節参照
2. 動作モード(標準モード/拡張モード)の選択
3. 入力クロックの設定
4. アナログ変換開始チャンネル/終了チャンネルの選択
5. A/D変換モードの設定
6. トリガの選択
7. サンプリング時間の設定
8. 変換結果の上限値/下限値の設定(拡張モード)
9. 割り込みモードの設定(拡張モード)
10. 割り込みの設定 ... VII.1.6節参照

注: これらの設定は、必ずA/D変換器をディセーブル状態(ADE(D2/AD_CTLレジスタ) = 0)にして行ってください。イネーブル状態の設定変更は誤動作の原因となります。

* **ADE:** A/D Enable Bit in the A/D Control/Status (AD_CTL) Register (D2/0x5544)

動作モード(標準モード/拡張モード)の設定

S1C17002のA/D変換器は従来のアナログブロックとの互換性を持つ標準モードと、拡張機能を使用可能な拡張モードの2種類の動作モードを持っています。表VII.1.4.1に動作モードによる機能の相違点を示します。

表VII.1.4.1 標準モードと拡張モードの相違点

機能	標準モード	拡張モード
変換結果の読み出し	全チャンネル共通の変換結果レジスタから読み出します。複数チャンネルの変換を行う場合、次のチャンネルの変換終了前に変換結果レジスタを読み出す必要があります。	チャンネルごとに用意されている変換結果バッファから読み出すことができます。複数チャンネルの変換を行う場合、次のチャンネルの変換が終了しても、現在のチャンネルの変換結果が失われることはありません。
変換終了フラグ、オーバーライトエラーフラグ	それぞれ1ビットを、全チャンネル共通に使用します。	チャンネルごとにそれぞれのフラグが用意されています。
上限値/下限値の比較	この機能はありません。	上限値と下限値を設定し、指定チャンネルの変換結果がその範囲内かどうかを確認できます。
割り込み	変換終了割り込みのみ発生可能です。割り込みをチャンネル単位にマスクすることはできません。	変換終了割り込みと範囲外割り込みを発生可能です。チャンネル単位で変換終了割り込みをマスク可能です。

拡張モードにするには、ADCADV(D8/AD_ADVMODEレジスタ)を1に設定します。この設定後、拡張機能用制御ビットへのアクセスが可能となります。イニシャルリセット時はADCADVが0に設定され、標準モードになります。

* **ADCADV:** Standard/Advanced Mode Selection Bit in the A/D Converter Mode Select/Internal Status (AD_ADVMODE) Register (D8/0x555e)

以下の説明で、特に動作モードの指定がない箇所については、両モードに共通の内容です。拡張モードの各機能については、ADCADVが1に設定されているものとして説明します。

入力クロックの設定

A/D変換器はプリスケラを内蔵しており、A/D変換クロックを表VII.1.4.2に示す8種類から選択することができます。選択はPSAD[2:0](D[2:0]/AD_CLKCTLレジスタ)によって行います。

* **PSAD[2:0]**: A/D Converter Clock Division Ratio Selection Bits in the A/D Clock Control (AD_CLKCTL) Register (D[2:0]/0x5520)

表VII.1.4.2 入力クロックの選択

PSAD[2:0]	A/Dクロック
0x7	PCLK•1/256
0x6	PCLK•1/128
0x5	PCLK•1/64
0x4	PCLK•1/32
0x3	PCLK•1/16
0x2	PCLK•1/8
0x1	PCLK•1/4
0x0	PCLK•1/2

(デフォルト: 0x0)

選択したクロックは、PSONAD(D3/AD_CLKCTLレジスタ)に1を書き込むことによりプリスケラから出力されます。

* **PSONAD**: A/D Converter Clock Control Bit in the A/D Clock Control (AD_CLKCTL) Register (D3/0x5520)

注: • 入力クロックの周波数は、Max. 2MHz、Min. 16kHzを推奨します。

- プリスケラからA/D変換器へのクロック出力がOffの場合にA/D変換を開始させたり、A/D変換動作中にプリスケラのクロック出力をOffにしないでください。誤動作の原因となります。

アナログ変換開始チャネル/終了チャネルの選択

アナログ入力に設定した端子(チャネル)の中から、A/D変換を行うチャネルを選択します。

1回の変換動作で複数のチャネルのA/D変換を連続的に行えるようになっているため、CS[2:0](D[10:8]/AD_TRIG_CHレジスタ)とCE[2:0](D[13:11]/AD_TRIG_CHレジスタ)によって変換開始チャネルと変換終了チャネルをそれぞれ指定します。

* **CS[2:0]**: A/D Converter Start Channel Selection Bits in the A/D Trigger/Channel Select (AD_TRIG_CH) Register (D[10:8]/0x5542)

* **CE[2:0]**: A/D Converter End Channel Selection Bits in the A/D Trigger/Channel Select (AD_TRIG_CH) Register (D[13:11]/0x5542)

表VII.1.4.3 CS/CEと入力チャネルの関係

CS[2:0]/CE[2:0]	選択チャネル
0x7~0x4	Reserved
0x3	AIN3
0x2	AIN2
0x1	AIN1
0x0	AIN0

(デフォルト: 0x0)

例: 1回のA/D変換の動作

CS[2:0] = 0, CE[2:0] = 0: AIN0のみ変換

CS[2:0] = 0, CE[2:0] = 3: AIN0→AIN1→AIN2→AIN3の順に変換

CS[2:0] = 2, CE[2:0] = 1: AIN2→AIN3→(AIN4)→(AIN5)→(AIN6)→(AIN7)→AIN0→AIN1の順に変換

注: 本A/D変換器の制御部は将来の拡張のため8チャネル対応になっており、アナログ入力が存在しないチャネル(AIN4~AIN7)が指定された場合でも、通常の変換動作を行います。この場合、ADD[9:0](A/D変換結果レジスタ)には0x0が格納されます。

入力が存在しないチャネルの変換動作を行いたくない場合は、入力が存在するチャネルの範囲内でCS[2:0]がCE[2:0]と同じか小さくなるように設定してください。

A/D変換モードの設定

A/D変換器は次の2つのモードで動作可能で、この動作モードはMS(D5/AD_TRIG_CHレジスタ)で選択します。

* **MS**: A/D Conversion Mode Selection Bit in the A/D Trigger/Channel Select (AD_TRIG_CH) Register (D5/0x5542)

1. 通常モード(MS = 0)

CS[2:0](D[10:8]/AD_TRIG_CHレジスタ)とCE[2:0](D[13:11]/AD_TRIG_CHレジスタ)で選択したチャンネル範囲のすべての入力を1回A/D変換して停止します。

2. 連続モード(MS = 1)

ソフトウェアで停止させるまで、CS[2:0]およびCE[2:0]で選択したチャンネル範囲のA/D変換を連続的に実行します。

イニシャルリセット時は通常モードに設定されます。

トリガの選択

A/D変換を開始させるトリガ方式を、TS[1:0](D[4:3]/AD_TRIG_CHレジスタ)で表VII.1.4.4に示す4種類の中から選択します。

* **TS[1:0]**: A/D Conversion Trigger Selection Bits in the A/D Trigger/Channel Select (AD_TRIG_CH) Register (D[4:3]/0x5542)

表VII.1.4.4 トリガの選択

TS[1:0]	トリガソース
0x3	外部トリガ(#ADTRG端子)
0x2	8ビットプログラマブルタイマ(PT8)CH.0
0x1	16ビットマルチファンクションタイマ(MFT)
0x0	ソフトウェアトリガ

(デフォルト: 0x0)

1. 外部トリガ(#ADTRG)

#ADTRG端子への入力信号をトリガとして使用します。

このトリガ方式を使用する場合は、Port Function Select Registerで#ADTRG端子を設定しておく必要があります。A/D変換は、#ADTRG信号のLowレベルを検出して開始します。

2. 8ビットプログラマブルタイマ(PT8)CH.0

8ビットプログラマブルタイマ(PT8)CH.0のアンダーフロー信号をトリガとして使用します。その周期がタイマでプログラマブルに設定できますので、周期的なA/D変換が必要な場合に有効です。タイマの設定については、PT8の説明を参照してください。

3. 16ビットマルチファンクションタイマ(MFT)

16ビットマルチファンクションタイマ(MFT)のピリオドマッチ信号をトリガとして使用します。その周期がタイマでプログラマブルに設定できますので、周期的なA/D変換が必要な場合に有効です。タイマの設定については、MFTの説明を参照してください。

4. ソフトウェアトリガ

ソフトウェアによるADST(D1/AD_CTLレジスタ)への1書き込みをトリガとしてA/D変換を開始します。

* **ADST**: A/D Conversion Control/Status Bit in the A/D Control/Status (AD_CTL) Register (D1/0x5544)

サンプリング時間の設定

本A/D変換器には、アナログ信号の入力サンプリング時間を4段階(変換クロックの3、5、7または9クロック)に設定可能なST[1:0](D[9:8]/AD_CTLレジスタ)が設けられています。ただし、このレジスタはデフォルト(ST[1:0] = 11、9クロック)のまま使用してください。

* **ST[1:0]**: Input Signal Sampling Time Setup Bits in the A/D Control/Status (AD_CTL) Register (D[9:8]/0x5544)

変換結果の上限値/下限値設定(拡張モード)

拡張モードでは、上限値および下限値を設定し、変換結果がその範囲内かどうかを確認することができます。変換結果が範囲外の場合、A/D変換器は割り込みコントローラ(ITC)に割り込み信号を出力することができます。また、A/D変換器CH.0は、IGBTの制御に使用する上限範囲外信号または下限範囲外信号をMFTに出力します(IV.2節参照)。

1. チャネル設定

A/D変換結果と上限値/下限値の比較を行うチャネルをADCMP[2:0](D[14:12]/AD_CTLレジスタ)で選択します。

* **ADCMP[2:0]**: Upper/Lower-Limit Comparison Channel Selection Bits in the A/D Control/Status (AD_CTL) Register (D[14:12]/0x5544)

表VII.1.4.5 上限値/下限値比較チャネルの設定

ADCMP[2:0]	選択チャネル
0x7~0x4	Reserved
0x3	AIN3
0x2	AIN2
0x1	AIN1
0x0	AIN0

(デフォルト: 0x0)

ADCMP[2:0]は、範囲外割り込みを発生させるチャネルを選択します。A/D変換器CH.0からMFTへの範囲外信号の出力は、ADCMP[2:0]で他のチャネルを選択している場合でも行われます。

2. 上限値/下限値の設定

上限値をADUPR[9:0](D[9:0]/AD_UPPERレジスタ)に、下限値をADLWR[9:0](D[9:0]/AD_LOWERレジスタ)に設定します。

* **ADUPR[9:0]**: A/D Conversion Upper Limit Value Bits in the A/D Upper Limit Value (AD_UPPER) Register (D[9:0]/0x5558)

* **ADLWR[9:0]**: A/D Conversion Lower Limit Value Bits in the A/D Lower Limit Value (AD_LOWER) Register (D[9:0]/0x555a)

変換結果が設定した上限値より大きい場合、または設定した下限値より小さい場合に範囲外と判定されます。変換結果が設定した上限値または下限値に一致した場合は正常範囲と判定されます。

3. 上限値/下限値の比較をイネーブル

ADCMPE(D15/AD_CTLレジスタ)に1を書き込んで、上限値/下限値の比較機能を有効に設定します。

* **ADCMPE**: Upper/Lower-Limit Comparison Enable Bit in the A/D Control/Status (AD_CTL) Register (D15/0x5544)

ADCMPEをセットすることで、A/D変換器CH.0は範囲外信号をMFTに出力可能となります。

割り込みモードの設定(拡張モード)

拡張モードでは割り込み機能も増えており、以下の設定も必要です。

1. 変換終了割り込みのイネーブル/ディセーブル

CNVINTEN(D4/AD_CTLレジスタ)で変換終了割り込みを有効/無効に設定できます。変換終了割り込みを使用する場合はCNVINTENを1に、使用しない場合は0に設定します。イニシャルリセット時は1に設定され、変換終了割り込み機能は有効となります。

* **CNVINTEN**: Conversion-Complete Interrupt Enable Bit in the A/D Control/Status (AD_CTL) Register (D4/0x5544)

2. 範囲外割り込みのイネーブル/ディセーブル

CMPINTEN(D5/AD_CTLレジスタ)で範囲外割り込みを有効/無効に設定できます。範囲外割り込みを使用する場合はCMPINTENを1に、使用しない場合は0に設定します。イニシャルリセット時は0に設定され、範囲外割り込み機能は無効となります。

* **CMPINTEN**: Out-of-Range Interrupt Enable Bit in the A/D Control/Status (AD_CTL) Register (D5/0x5544)

3. 割り込み信号モードの設定

S1C17002のA/D変換器は上記の割り込み要因に対応する2つの割り込み要求出力を持っており、それぞれの割り込みを別個に処理可能です。初期設定では範囲外割り込み信号が変換終了割り込み信号とORされてITCに送られるようになっていますので、変換終了時あるいは変換結果が上下限範囲外の場合でもITC内の変換終了割り込みフラグがセットされます。この割り込み方式はINTMODE(D6/AD_CTLレジスタ)で解除できます。2つの割り込みを個別に扱う場合はINTMODEを1に設定します。これで、範囲外割り込み信号が変換終了割り込み信号とORされなくなります。

* **INTMODE**: Interrupt Signal Mode Bit in the A/D Control/Status (AD_CTL) Register (D6/0x5544)

4. 指定チャンネルの変換終了割り込みをマスク

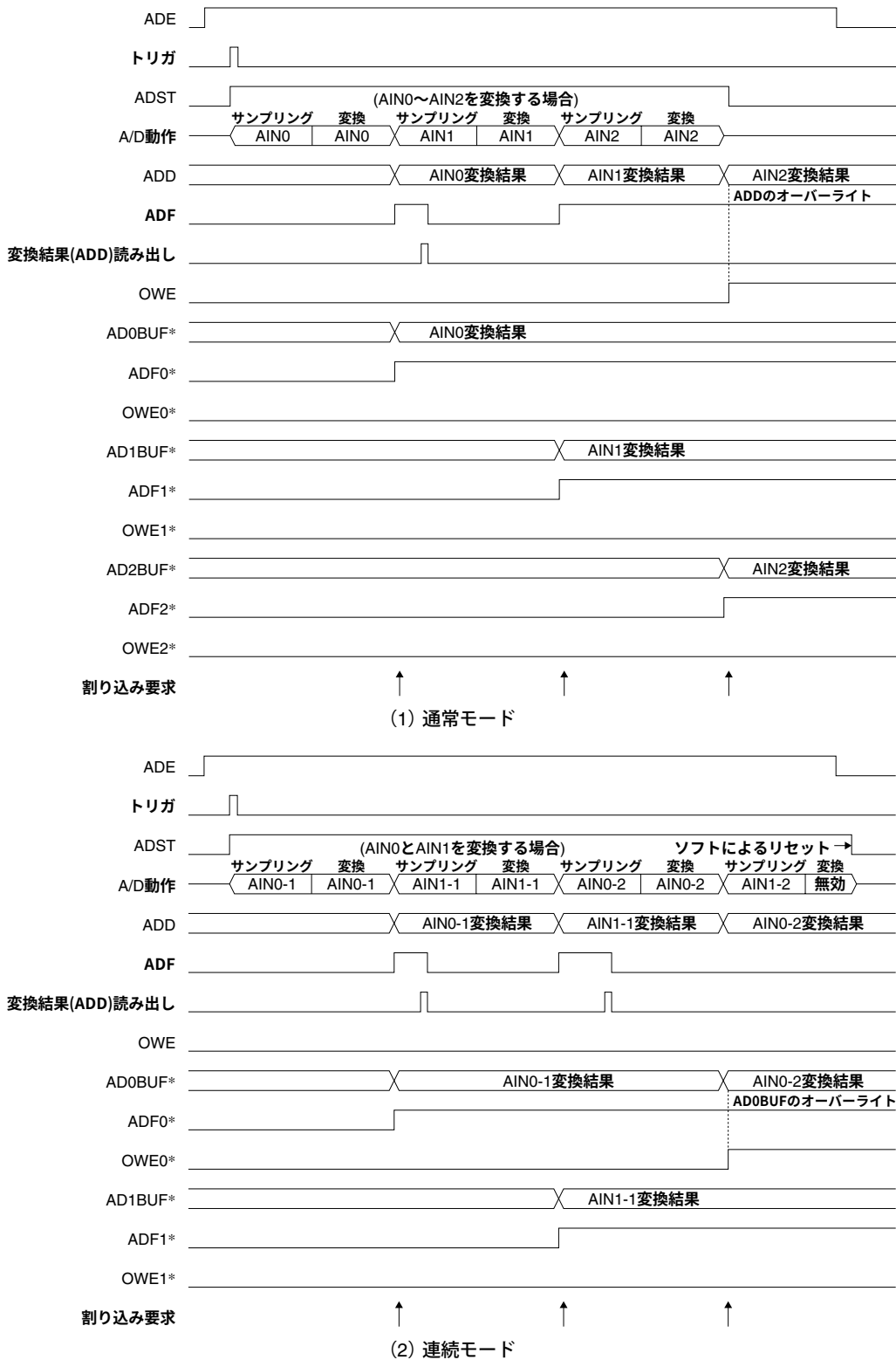
A/D変換終了割り込みマスクレジスタにより、指定チャンネルの変換終了割り込みをマスクすることができます。チャンネル'x'に対応するINTMASK_x(D_x/AD_INTMASKレジスタ)を0に設定すると、そのチャンネルの変換終了割り込みは発生しません。たとえば、上下限チェックを行うチャンネルの変換終了割り込みをマスクすることにより、範囲外割り込みのみを発生させることが可能となります。

* **INTMASK_x**: CH.x Conversion-Complete Interrupt Mask Bit in the A/D Conversion Complete Interrupt Mask (AD_INTMASK) Register (D_x/0x555c)

イニシャルリセット時、INTMASK_xはすべて1に設定され、変換終了割り込みが発生するようになっています。

VII.1.5 A/D変換の制御と動作

図VII.1.5.1にA/D変換器の動作を示します。



* ADCADV = 1の場合に使用可能な拡張機能

図VII.1.5.1 A/D変換器の動作

A/D変換回路の起動

前節に示した設定を終了後、ADE(D2/AD_CTLレジスタ)に1を書き込んでA/D変換器をイネーブル状態に設定します。これにより、A/D変換器はA/D変換開始のトリガを受け付け可能な状態となります。A/D変換器を再設定する場合、あるいは使用しない場合はADEを0に設定してください。

* **ADE**: A/D Enable Bit in the A/D Control/Status (AD_CTL) Register (D2/0x5544)

A/D変換の開始

A/D変換器はADEが1の状態ではトリガが入力されると、A/D変換を開始します。ソフトウェアトリガを選択した場合は、ADST(D1/0AD_CTLレジスタ)に1を書き込むことにより開始します。

* **ADST**: A/D Conversion Control/Status Bit in the A/D Control/Status (AD_CTL) Register (D1/0x5544)

トリガはTS[1:0](D[4:3]/AD_TRIG_CHレジスタ)で選択されている内容が有効で、それ以外のトリガは受け付けません。

* **TS[1:0]**: A/D Conversion Trigger Selection Bits in the A/D Trigger/Channel Select (AD_TRIG_CH) Register (D[4:3]/0x5542)

トリガが入力されると、A/D変換器はCS[2:0](D[10:8]/AD_TRIG_CHレジスタ)で選択した変換開始チャンネルからアナログ入力信号のサンプリングとA/D変換を行います。

* **CS[2:0]**: A/D Converter Start Channel Selection Bits in the A/D Trigger/Channel Select (AD_TRIG_CH) Register (D[10:8]/0x5542)

ソフトウェアトリガに使用するADSTは、他のトリガによる場合でもA/D変換中は1となり、A/D変換のステータスビットとして使用することができます。

また、変換中のチャンネルはCH[2:0](D[2:0]/AD_TRIG_CHレジスタ)を読み出すことで確認できます。

* **CH[2:0]**: A/D Conversion Channel Status Bits in the A/D Trigger/Channel Select (AD_TRIG_CH) Register (D[2:0]/0x5542)

A/D変換結果の読み出し

• 標準モード

変換開始チャンネルのA/D変換が終了すると、A/D変換器は変換結果を10ビットのデータレジスタADD[9:0](D[9:0]/AD_DATレジスタ)に格納し、変換終了フラグADF(D3/AD_CTLレジスタ)をセットします。CS[2:0](D[10:8]/AD_TRIG_CHレジスタ)とCE[2:0](D[13:11]/AD_TRIG_CHレジスタ)によって複数のチャンネルを指定している場合は、その後も続くチャンネルのA/D変換を継続します。

* **ADD[9:0]**: A/D Converted Data Bits in the A/D Conversion Result (AD_DAT) Register (D[9:0]/0x5540)

* **ADF**: Conversion-Complete Flag Bit in the A/D Control/Status (AD_CTL) Register (D3/0x5544)

* **CE[2:0]**: A/D Converter End Channel Selection Bits in the A/D Trigger/Channel Select (AD_TRIG_CH) Register (D[13:11]/0x5542)

A/D変換結果は1つのチャンネルの変換が終了するごとにADD[9:0]に格納されます。同時に割り込みを発生させることができますので、通常はその割り込みを利用して変換データの読み出しを行います。また、次の変換に備えて、割り込みフラグを必ずリセット(0書き込み)してください。

複数のA/D変換チャンネルを指定した場合は、次のチャンネルの変換が終了する前に変換結果を読み出す必要があります。前の変換結果が読み出される前に現在実行中のA/D変換が終了すると、ADD[9:0]は新しい変換結果で上書きされてしまいます。

なお、変換終了フラグADF(D3/AD_CTLレジスタ)が1にセットされている状態で(変換データを読み出す前に)ADD[9:0]が更新された場合、オーバーライトエラーフラグOWE(D0/AD_CTLレジスタ)が1にセットされます。変換終了フラグは変換データが読み出されると0にリセットされます。ADFが0にリセットされている状態でADD[9:0]が更新された場合はOWEは0となり、正常に終了したことを示します。データ読み出し時は、OWEも読み出してデータが有効であることを確認してください。OWEは一度セットされると、ソフトウェアで0を書き込むまでリセットされません。また、OWEがセットされている場合はADFもセットされていますので、変換データを読み出してADFをリセットしてください。

* **OWE**: Overwrite Error Flag Bit in the A/D Control/Status (AD_CTL) Register (D0/0x5544)

● 拡張モード

変換開始チャンネル(CH.x)のA/D変換が終了すると、A/D変換器は変換結果をCH.xの10ビットA/D変換結果バッファ ADxBUF[9:0](D[9:0]/AD_CHx_BUFレジスタ)に格納し、CH.x変換終了フラグADFx(Dx/AD_CH_STATレジスタ)をセットします。

CS[2:0](D[10:8]/AD_TRIG_CHレジスタ)とCE[2:0](D[13:11]/AD_TRIG_CHレジスタ)によって複数のチャンネルを指定している場合は、その後も続くチャンネルのA/D変換を継続します。

* **ADxBUF[9:0]**: A/D CH.x Converted Data Bits in the A/D CH.x Conversion Result Buffer (AD_CHx_BUF) Register (D[9:0]/0x5548 + 2•x)

* **ADFx**: CH.x Conversion-Complete Flag Bit in the A/D Channel Status Flag (AD_CH_STAT) Register (Dx/0x5546)

A/D変換結果は1つのチャンネルの変換が終了するとに各チャンネルのA/D変換結果バッファに格納されます。同時に割り込みを発生させることができますので、通常はその割り込みを利用して変換データの読み出しを行います。また、次の変換に備えて、割り込みフラグを必ずリセット(0書き込み)してください。

拡張モードでは、各チャンネルに変換結果バッファが設けられていますので、次のチャンネルの変換が終了する前に変換結果を読み出す必要はありません。ただし、同じチャンネルのA/D変換が終了すると、バッファは新しい変換結果で上書きされてしまいますので、その前に読み出す必要があります。

なお、変換終了フラグADFxが1にセットされている状態で(変換データを読み出す前に)ADxBUF[9:0]が更新された場合、オーバーライトエラーフラグOWEx(Dx + 8/AD_CH_STATレジスタ)が1にセットされます。変換終了フラグADFxは変換データが読み出されると0にリセットされます。ADFxが0にリセットされている状態でADxBUF[9:0]が更新された場合はOWExは0となり、正常に終了したことを示します。データ読み出し時は、OWExも読み出してデータが有効であることを確認してください。OWExは一度セットされると、ソフトウェアで0を書き込むまでリセットされません。また、OWExがセットされている場合はADFxもセットされていますので、変換データを読み出してADFxをリセットしてください。

* **OWEx**: CH.x Overwrite Error Flag Bit in the A/D Channel Status Flag (AD_CH_STAT) Register (Dx + 8/0x5546)

拡張モードにおいても、標準モードで使用するADD[9:0](D[9:0]/AD_DATレジスタ)、ADF(D3/AD_CTLレジスタ)、OWE(D0/AD_CTLレジスタ)は有効です。これらのレジスタ/ビットの動作は標準モードと同じです。OWEが1にセットされてしまいますが、特にリセットする必要はありません。

上下限範囲の判定(拡張モード)

拡張モードで上限値/下限値の比較を有効(ADCMPE(D15/AD_CTLレジスタ) = 1)に設定している場合にADCMP[2:0](D[14:12]/AD_CTLレジスタ)で指定したチャンネルのA/D変換が行われると、そのチャンネルの変換終了時に変換結果がADUPR[9:0](D[9:0]/AD_UPPERレジスタ)に設定された上限値およびADLWR[9:0](D[9:0]/AD_LOWERレジスタ)に設定された下限値と比較されます。

* **ADCMPE**: Upper/Lower-Limit Comparison Enable Bit in the A/D Control/Status (AD_CTL) Register (D15/0x5544)

* **ADCMP[2:0]**: Upper/Lower-Limit Comparison Channel Selection Bits in the A/D Control/Status (AD_CTL) Register (D[14:12]/0x5544)

* **ADUPR[9:0]**: A/D Conversion Upper Limit Value Bits in the A/D Upper Limit Value (AD_UPPER) Register (D[9:0]/0x5558)

* **ADLWR[9:0]**: A/D Conversion Lower Limit Value Bits in the A/D Lower Limit Value (AD_LOWER) Register (D[9:0]/0x555a)

変換結果が上限値より大きい場合は、上限値比較ステータスビットADUPRST(D11/AD_CTLレジスタ)が1にセットされます。変換結果が下限値より小さい場合は、下限値比較ステータスビットADLWRST(D10/AD_CTLレジスタ)が1にセットされます。範囲外割り込みを有効に設定している場合、どちらかのステータスビットがセットされると割り込みが発生します。

* **ADUPRST**: Upper-Limit Comparison Status Bit in the A/D Control/Status (AD_CTL) Register (D11/0x5544)

* **ADLWRST**: Lower-Limit Comparison Status Bit in the A/D Control/Status (AD_CTL) Register (D10/0x5544)

なお、変換結果が設定した上限値または下限値に一致した場合は正常範囲と判定され、割り込みは発生しません。

A/D変換器CH.0がA/D変換を終了すると、ADCMP[2:0]の設定内容にかかわらず、常に上下限範囲のチェックが行われます。変換結果が上限値より大きい場合は、上限範囲外信号がMFTに出力されます。変換結果が下限値より小さい場合は、下限範囲外信号がMFTに出力されます。

A/D変換の終了

• 通常モード(MS = 1)の場合

通常モードでは、CS[2:0](D[10:8]/AD_TRIG_CHレジスタ)で指定した変換開始チャネルからCE[2:0](D[13:11]/AD_TRIG_CHレジスタ)で指定した変換終了チャネルまでのA/D変換を連続的に1回実行したところで終了します。終了すると、ADST(D1/AD_CTLレジスタ)は0に戻ります。

* MS: A/D Conversion Mode Selection Bit in the A/D Trigger/Channel Select (AD_TRIG_CH) Register (D5/0x5542)

• 連続モード(MS = 0)の場合

連続モードでは、変換開始チャネルから変換終了チャネルまでのA/D変換を繰り返し実行し、ハードウェアはA/D変換を停止しません。終了させるにはソフトウェアでADST(D1/AD_CTLレジスタ)に0を書き込みます。ただし、ADSTに0を書き込むタイミングによって、動作中のA/D変換が正常に終了する場合と、強制的に中止させられる場合があります。正常終了した場合はADF(D3/AD_CTLレジスタ) = 1となり変換結果を得ることができますが、強制的に中止させられた場合はADFが前の状態を維持し、変換結果を得ることはできません。

• 強制終了

ADSTに0を書き込むことで実行中のA/D変換を終了させることができます。ただし、このときに変換中の結果を得ることはできません。

VII.1.6 A/D変換器割り込み

A/D変換器には、以下の2種類の割り込みを発生させる機能があります。

- 変換終了割り込み
- 範囲外割り込み(拡張モード)

変換終了割り込み

A/D変換器は1つのチャンネルのA/D変換を終了すると、変換終了割り込み信号を割り込みコントローラ(ITC)に出力して割り込みを要求します。

拡張モード時にこの割り込みを使用するには、CNVINTEN(D4/AD_CTLレジスタ)を1に設定します。CNVINTENが0に設定されていると、この要因による割り込み要求はITCに送られません。標準モードの場合は、CNVINTENをセットする必要はありません。

* **CNVINTEN:** Conversion-Complete Interrupt Enable Bit in the A/D Control/Status (AD_CTL) Register (D4/0x5544)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

拡張モードでは、INTMASK_x(D_x/AD_INTMASKレジスタ)を使用して、指定のチャンネルによる割り込みの発生を禁止することができます。INTMASK_xを0に設定すると、CH_xは変換終了割り込みを発生しません。

* **INTMASK_x:** CH_x Conversion-Complete Interrupt Mask Bit in the A/D Conversion Complete Interrupt Mask (AD_INTMASK) Register (D_x/0x555c)

範囲外割り込み(拡張モード)

上下限範囲チェック機能が有効に設定されている場合に変換結果がソフトウェアで指定した下限から上限の範囲を外れると、A/D変換器は範囲外割り込み信号を割り込みコントローラ(ITC)に出力して割り込みを要求します。

この割り込みを使用するには、A/D変換器を拡張モードに設定すると共にCMPINTEN(D5/AD_CTLレジスタ)を1に設定します。CMPINTENが0に設定されていると、この要因による割り込み要求はITCに送られません。

* **CMPINTEN:** Out-of-Range Interrupt Enable Bit in the A/D Control/Status (AD_CTL) Register (D5/0x5544)

デフォルト設定では、ITCへの範囲外割り込み要求にも変換終了割り込み信号線が使用されます。このため、A/D変換終了時も、変換結果が範囲外の場合もITC内の変換終了割り込みフラグがセットされます。範囲外割り込みを変換終了割り込みとは別に発生させるには、INTMODE(D6/AD_CTLレジスタ)を1に設定してください。

* **INTMODE:** Interrupt Signal Mode Bit in the A/D Control/Status (AD_CTL) Register (D6/0x5544)

標準モードでは、この割り込みを使用することはできません。

A/D変換器割り込み用ITCレジスタ

表VII.1.6.1に、各A/D変換器割り込み要因に対応するのITC制御レジスタを示します。

表VII.1.6.1 ITCレジスタ

割り込み要因	割り込みフラグ	割り込みイネーブルビット	割り込みレベル設定ビット
変換終了	AIFT3 (D3/ITC_AIFLG)	AIEN3 (D3/ITC_AEN)	AILV3[2:0] (D[10:8]/ITC_AILV1)
範囲外	AIFT2 (D2/ITC_AIFLG)	AIEN2 (D2/ITC_AEN)	AILV2[2:0] (D[2:0]/ITC_AILV1)

ITC_AIFLGレジスタ (0x42e0)

ITC_AENレジスタ (0x42e2)

ITC_AILV1レジスタ (0x42e8)

A/D変換器が割り込み信号を出力すると、対応する割り込みフラグが1にセットされます。

その割り込みフラグに対応する割り込みイネーブルビットが1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。A/D変換器による割り込みを禁止するには、割り込みイネーブルビットを0に設定しておきます。割り込みフラグは、割り込みイネーブルビットの設定にかかわらず(0に設定されていても)、割り込み信号によって1にセットされます。

割り込みレベル設定ビットは、A/D変換器割り込みのレベル(0~7)を設定します。同一の割り込みレベルに設定した場合、範囲外割り込みの優先順位が高く、変換終了割り込みが低い順位となります。S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- A/D変換器割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“III.1 割り込みコントローラ(ITC)”を参照してください。

割り込みベクタ

A/D変換器割り込みのベクタ番号とベクタアドレスは以下のとおりです。

表VII.1.6.2 A/D変換器割り込みベクタ

割り込み要因	ベクタ番号	ベクタアドレス
範囲外	10 (0xa)	TTBR + 0x28
変換終了	11 (0xb)	TTBR + 0x2c

VII.1.7 制御レジスタ詳細

表VII.1.7.1 A/D変換器レジスタ一覧

アドレス	レジスタ名		機 能
0x5520	AD_CLKCTL	A/D Clock Control Register	A/D変換クロックの制御
0x5540	AD_DAT	A/D Conversion Result Register	A/D変換データ
0x5542	AD_TRIG_CH	A/D Trigger/Channel Select Register	変換開始/終了チャンネルと変換モードの設定
0x5544	AD_CTL	A/D Control/Status Register	A/D変換器の制御とステータス表示
0x5546	AD_CH_STAT	A/D Channel Status Flag Register	オーバーライトエラーと変換完了ステータスの表示
0x5548	AD_CH0_BUF	A/D CH.0 Conversion Result Buffer Register	A/D CH.0変換データ
0x554a	AD_CH1_BUF	A/D CH.1 Conversion Result Buffer Register	A/D CH.1変換データ
0x554c	AD_CH2_BUF	A/D CH.2 Conversion Result Buffer Register	A/D CH.2変換データ
0x554e	AD_CH3_BUF	A/D CH.3 Conversion Result Buffer Register	A/D CH.3変換データ
0x5558	AD_UPPER	A/D Upper Limit Value Register	A/D変換上限値の設定
0x555a	AD_LOWER	A/D Lower Limit Value Register	A/D変換下限値の設定
0x555c	AD_INTMASK	A/D Conversion Complete Interrupt Mask Register	A/D変換完了割り込みチャンネルのマスク
0x555e	AD_ADVMODE	A/D Converter Mode Select/Internal Status Register	A/D動作モードの選択とA/D変換器内部状態/内部カウンタ値の表示

以下、A/D変換器のレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5520: A/D Clock Control Register (AD_CLKCTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Clock Control Register (AD_CLKCTL)	0x5520 (16 bits)	D15-4	—	reserved	—	—	—	0 when being read.
		D3	PSONAD	A/D converter clock control	1 On 0 Off	0	R/W	
		D2-0	PSAD[2:0]	A/D converter clock division ratio selection	PSAD[2:0]	A/D clock	0x0	R/W
					0x7	PCLK•1/256		
					0x6	PCLK•1/128		
					0x5	PCLK•1/64		
					0x4	PCLK•1/32		
					0x3	PCLK•1/16		
					0x2	PCLK•1/8		
					0x1	PCLK•1/4		
					0x0	PCLK•1/2		

D[15:4] Reserved**D3 PSONAD: A/D Converter Clock Control Bit**

A/D変換器へのA/D変換クロックの供給を制御します。

1(R/W): On

0(R/W): Off(デフォルト)

D[2:0] PSAD[2:0]: A/D Converter Clock Division Ratio Selection Bits

A/D変換クロックを生成するための分周比を選択します。

表VII.1.7.2 分周比の選択

PSAD[2:0]	A/Dクロック
0x7	PCLK•1/256
0x6	PCLK•1/128
0x5	PCLK•1/64
0x4	PCLK•1/32
0x3	PCLK•1/16
0x2	PCLK•1/8
0x1	PCLK•1/4
0x0	PCLK•1/2

(デフォルト: 0x0)

注: • 入力クロックの周波数は、Max. 2MHz、Min. 16kHzを推奨します。

- プリスケアラからA/D変換器へのクロック出力がOffの場合にA/D変換を開始させたり、A/D変換動作中にプリスケアラのクロック出力をOffにしないでください。誤動作の原因となります。

0x5540: A/D Conversion Result Register (AD_DAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Conversion Result Register (AD_DAT)	0x5540 (16 bits)	D15-10	—	reserved	—	—	—	0 when being read.
		D9-0	ADD[9:0]	A/D converted data ADD9 = MSB ADD0 = LSB	0x0 to 0x3ff	0x0	R	

D[15:10] Reserved

D[9:0] **ADD[9:0]: A/D Converted Data Bits**
A/D変換結果が格納されます。(デフォルト: 0x0)
ADD0がLSB、ADD9がMSBです。
このレジスタは読み出し専用で、書き込みは無効です。

0x5542: A/D Trigger/Channel Select Register (AD_TRIG_CH)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
A/D Trigger/ Channel Select Register (AD_TRIG_CH)	0x5542 (16 bits)	D15–14	–	reserved	–		–	–	0 when being read.
		D13–11	CE[2:0]	A/D converter end channel selection	0 to 3		0x0	R/W	
		D10–8	CS[2:0]	A/D converter start channel selection	0 to 3		0x0	R/W	
		D7–6	–	reserved	–		–	–	0 when being read.
		D5	MS	A/D conversion mode selection	1 Continuous	0 Normal	0	R/W	
		D4–3	TS[1:0]	A/D conversion trigger selection	TS[1:0]	Trigger	0x0	R/W	
					0x3 0x2 0x1 0x0	#ADTRG pin PT8 CH.0 MFT Software			
		D2–0	CH[2:0]	A/D conversion channel status	0 to 3		0x0	R	

D[15:14] Reserved**D[13:11] CE[2:0]: A/D Converter End Channel Selection Bits**

変換終了チャンネルをチャンネル番号(0～3)で設定します。(デフォルト: 0x0 = AIN0)

1回のA/D変換で、CS[2:0](D[10:8])で設定したチャンネルからこれらのビットで設定したチャンネルまでのアナログ入力を連続的に変換できます。

1つのチャンネルのみをA/D変換する場合は、CS[2:0]とCE[2:0]に同じチャンネル番号を設定してください。

D[10:8] CS[2:0]: A/D Converter Start Channel Selection Bits

変換開始チャンネルをチャンネル番号(0～3)で設定します。(デフォルト: 0x0 = AIN0)

1回のA/D変換で、これらのビットで設定したチャンネルからCE[2:0](D[13:11])で設定したチャンネルまでのアナログ入力を連続的に変換できます。

1つのチャンネルのみをA/D変換する場合は、CS[2:0]とCE[2:0]に同じチャンネル番号を設定してください。

D[7:6] Reserved**D5 MS: A/D Conversion Mode Selection Bit**

A/D変換モードを選択します。

1(R/W): 連続モード

0(R/W): 通常モード(デフォルト)

MSに1を書き込むことによりA/D変換器は連続モードに設定され、CS[2:0](D[10:8])およびCE[2:0](D[13:11])で選択したチャンネル範囲のA/D変換を、ソフトウェアで停止させるまで連続的に実行します。

MSが0の場合は通常モードで動作し、CS[2:0]とCE[2:0]で選択したチャンネル範囲のすべての入力を1回A/D変換して停止します。

D[4:3] TS[1:0]: A/D Conversion Trigger Selection Bits

A/D変換を開始させるトリガ方法を選択します。

表VII.1.7.3 トリガの選択

TS[1:0]	トリガソース
0x3	外部トリガ(#ADTRG端子)
0x2	8ビットプログラマブルタイム(PT8)CH.0
0x1	16ビットマルチファンクションタイム(MFT)
0x0	ソフトウェアトリガ

(デフォルト: 0x0)

外部トリガを使用する場合は、Port Function Select Registerで#ADTRG端子を設定しておく必要があります。A/D変換は、#ADTRG信号のLowレベルを検出して開始します。

8ビットプログラマブルタイムCH.0を使用する場合は、アンダーフロー信号がトリガとなりますので、タイマで周期およびその他の設定を行ってください。

16ビットマルチファンクションタイムを使用する場合は、ピリオドマッチ信号がトリガとなりますので、タイマで周期およびその他の設定を行ってください。

D[2:0] CH[2:0]: A/D Conversion Channel Status Bits

A/D変換中のチャンネル番号(0~3)を示します。(デフォルト: 0x0 = AIN0)

複数のチャンネルをA/D変換している場合、このビットを読み出すことによって現在変換中のチャンネルを確認できます。

A/D変換制御部は8チャンネル対応のため、CS[2:0]とCE[2:0]の設定によっては存在しないチャンネルを指し示す場合があります。

0x5544: A/D Control/Status Register (AD_CTL)

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
A/D Control/ Status Register (AD_CTL)	0x5544 (16 bits)	D15	ADCMPE	Upper/lower-limit comparison enable	1	Enable	0	Disable	0	R/W	Can be used when ADCADV = 1.
		D14–12	ADCMP[2:0]	Upper/lower-limit comparison channel selection	0 to 3			0x0	R/W		
		D11	ADUPRST	Upper-limit comparison status	1	Out of range	0	Within range	0	R	
		D10	ADLWRST	Lower-limit comparison status	1	Out of range	0	Within range	0	R	
		D9–8	ST[1:0]	Input signal sampling time setup	ST[1:0]		Sampling time		0x3	R/W	Use with 9 clocks.
					0x3	9 clocks					
					0x2	7 clocks					
					0x1	5 clocks					
					0x0	3 clocks					
		D7	–	reserved	–			–	–	0 when being read.	
		D6	INTMODE	Interrupt signal mode	1	Complete only	0	OR	0	R/W	Can be used when ADCADV = 1.
		D5	CMPINTEN	Out-of-range int. enable	1	Enable	0	Disable	0	R/W	
		D4	CNVINTEN	Conversion-complete int. enable	1	Enable	0	Disable	1	R/W	Can be changed when ADCADV = 1.
D3	ADF	Conversion-complete flag	1	Completed	0	Run/ Standby	0	R	Reset when ADD is read.		
D2	ADE	A/D enable	1	Enable	0	Disable	0	R/W			
D1	ADST	A/D conversion control/status	1	Start/Run	0	Stop	0	R/W			
D0	OWE	Overwrite error flag	1	Error	0	Normal	0	R/W	Reset by writing 0.		

D15 ADCMPE: Upper/Lower-Limit Comparison Enable Bit (拡張モード)

上限値/下限値の比較を許可/禁止します。

1(R/W): 許可

0(R/W): 禁止(デフォルト)

ADCMP[2:0](D[14:12])で指定したチャネルのA/D変換終了時に、変換結果と上限値/下限値との比較を行うかどうかを選択します。行う場合はADCMPEを1に、行わない場合は0に設定します。

D[14:12] ADCMP[2:0]: Upper/Lower-Limit Comparison Channel Selection Bits (拡張モード)

上限値/下限値の比較を行うチャネルをチャネル番号(0~3)で設定します。(デフォルト: 0x0 = AIN0)

これらのビットはCH.0によるMFTへの範囲外信号の出力には影響を与えません。

D11 ADUPRST: Upper-Limit Comparison Status Bit (拡張モード)

A/D変換値と上限値との比較結果を示します。

1(R): 上限オーバー

0(R): 範囲内(デフォルト)

上限値/下限値の比較が許可(ADCMPE(D15) = 1)されている場合、ADCMP[2:0](D[14:12])で指定したチャネルのA/D変換が終了した時点でA/D変換結果が上限値/下限値と比較されます。A/D変換結果がADUPR[9:0](D[9:0]/AD_UPPERレジスタ)に設定した上限値より大きい場合、ADUPRSTが1にセットされます。上限値と同じか小さい場合は0にセットされます。範囲外割り込みを有効に設定している場合、ADUPRSTが1にセットされると割り込みが発生します。

D10 ADLWRST: Lower-Limit Comparison Status Bit (拡張モード)

A/D変換値と下限値との比較結果を示します。

1(R): 下限アンダー

0(R): 範囲内(デフォルト)

上限値/下限値の比較が許可(ADCMPE(D15) = 1)されている場合、ADCMP[2:0](D[14:12])で指定したチャネルのA/D変換が終了した時点でA/D変換結果が上限値/下限値と比較されます。A/D変換結果がADLWR[9:0](D[9:0]/AD_LOWERレジスタ)に設定した下限値より小さい場合、ADLWRSTが1にセットされます。下限値と同じか大きい場合は0にセットされます。範囲外割り込みを有効に設定している場合、ADLWRSTが1にセットされると割り込みが発生します。

D[9:8] ST[1:0]: Input Signal Sampling Time Setup Bits

アナログ入力のスAMPLING時間を設定します。

表VII.1.7.4 サンプリング時間

ST[1:0]	サンプリング時間
0x3	9クロック
0x2	7クロック
0x1	5クロック
0x0	3クロック

(デフォルト: 0x3)

このサンプリング時間はA/D変換クロック数です。

変換精度を確保するため、このビットはデフォルトの9クロックのまま使用してください。

変換時間は11クロックに固定されています。

D7 Reserved**D6 INTMODE: Interrupt Signal Mode Bit (拡張モード)**

ITCへの変換終了割り込み信号を設定します。

1(R/W): 変換終了のみ

0(R/W): 変換終了と範囲外をOR(デフォルト)

ITCに接続された変換終了割り込み信号線に変換終了割り込み信号のみを出力するか、変換終了割り込み信号と範囲外割り込み信号をORして出力するかを選択します。範囲外割り込みを別の割り込みとして処理する場合はINTMODEを1に設定します。範囲外割り込みを使用する場合はCMPINTEN(D5)も1に設定する必要があります。

D5 CMPINTEN: Out-of-Range Interrupt Enable Bit (拡張モード)

範囲外割り込みを有効/無効に設定します。

1(R/W): 有効

0(R/W): 無効(デフォルト)

CMPINTENに1を書き込むと、上下限比較結果が割り込み要因として有効になります。0を書き込むと範囲外割り込みは発生しません。

D4 CNVINTEN: Conversion-Complete Interrupt Enable Bit

変換終了割り込みを有効/無効に設定します。

1(R/W): 有効(デフォルト)

0(R/W): 無効

CNVINTENに1を書き込むと、A/D変換終了が割り込み要因として有効になります。0を書き込むと変換終了割り込みは発生しません。

注: CNVINTENは標準モード時にも有効です。標準モードと拡張モードのいずれの場合も、A/D変換終了割り込みを使用するにはCNVINTENを1に設定してください。ただし、CNVINTENは拡張モード(ADCADV = 1)の場合にのみ変更が可能です。

D3 ADF: Conversion-Complete Flag Bit

A/D変換が終了したことを示します。

1(R): 変換終了

0(R): 変換中または待機中(デフォルト)

A/D変換が終了し、変換データがデータレジスタに格納されると1にセットされ、変換データを読み出すと0にリセットされます。複数のチャンネルをA/D変換している場合、ADFが1の状態(変換データを読み出す前に)次のA/D変換が終了すると、データレジスタは新たな変換結果で上書きされオーバーランエラーとなります。したがって、次のA/D変換が終了する前に変換データを読み出してADFをリセットする必要があります。

D2 ADE: A/D Enable Bit

A/D変換器をイネーブル(変換可能状態)に設定します。

1(R/W): イネーブル

0(R/W): ディセーブル(デフォルト)

ADEに1を書き込むことによってA/D変換器がイネーブルとなり、A/D変換を開始できる(トリガを受け付け可能な)状態となります。ADEが0の場合、A/D変換器はディセーブル状態に置かれ、トリガを受け付けません。

なお、モードや開始/終了チャンネルなどA/D変換器の設定を行う場合は、誤動作を避けるため、ADEを0に設定してから行ってください。

D1 ADST: A/D Conversion Control/Status Bit

A/D変換を制御します。

1(R/W): ソフトウェアトリガ

0(R/W): A/D変換停止(デフォルト)

ソフトウェアトリガによりA/D変換を開始させる場合、ADSTに1を書き込みます。他のトリガ方式の場合は、ハードウェアがADSTを1にセットします。

A/D変換中、ADSTは1を保持します。

通常モード時は、指定のチャンネルのA/D変換が終了するとADSTは0に戻り、A/D変換回路が停止します。連続モードのA/D変換を停止させる場合はADSTに0を書き込んでください。ADE(D2)が0(A/D変換禁止状態)の場合はADSTが0に固定され、トリガは受け付けません。

D0 OWE: Overwrite Error Flag Bit

変換データが上書きされたことを示します。

1(R): オーバーライト

0(R): 正常(デフォルト)

1(W): 無効

0(W): フラグをリセット

複数のチャンネルをA/D変換している場合に、前のチャンネルの変換によってセットされた変換終了フラグADF(D3)が変換データの読み出しによってリセットされる前に次のチャンネルの変換結果が変換データレジスタに書き込まれる(上書きされる)とOWEが1にセットされます。ADF(D3)がリセットされている場合は、変換データが読み出されているためOWEはセットされません。

OWEは1にセットされると、ソフトウェアで0を書き込むまでリセットされません。

0x5546: A/D Channel Status Flag Register (AD_CH_STAT)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks		
A/D Channel Status Flag Register (AD_CH_STAT)	0x5546 (16 bits)	D15–12	—	reserved	—		—	—	0 when being read.		
		D11	OWE3	CH.3 overwrite error flag	1	Error	0	Normal	0	R/W	Can be used when ADCADV = 1.
		D10	OWE2	CH.2 overwrite error flag					0	R/W	Reset by writing 0.
		D9	OWE1	CH.1 overwrite error flag					0	R/W	
		D8	OWE0	CH.0 overwrite error flag					0	R/W	
		D7–4	—	reserved	—		—	—	0 when being read.		
		D3	ADF3	CH.3 conversion-complete flag	1	Completed	0	Run/ Standby	0	R	Can be used when ADCADV = 1.
		D2	ADF2	CH.2 conversion-complete flag					0	R	Reset when ADxBUF [9:0] is read.
		D1	ADF1	CH.1 conversion-complete flag					0	R	
		D0	ADF0	CH.0 conversion-complete flag					0	R	

注: ビット名などの‘x’はチャンネル番号の0～3を示します。

D[15:12] Reserved**D[11:8] OWE[3:0]: CH.x Overwrite Error Flag Bits (拡張モード)**

これらのビットは各チャンネルの変換結果バッファが上書きされたことを示します。

1(R): オーバーライト

0(R): 正常(デフォルト)

1(W): 無効

0(W): フラグをリセット

連続モードでA/D変換している場合に、前回の変換によってセットされた変換終了フラグ ADF_xが変換結果バッファの読み出しによってリセットされる前に、同じチャンネルの次の変換結果でバッファが上書きされるとOWE_xが1にセットされます。ADF_xがリセットされている場合は、変換結果バッファが読み出されているためOWE_xはセットされません。OWE_xは1にセットされると、ソフトウェアで0を書き込むまでリセットされません。

D[7:4] Reserved**D[3:0] ADF[3:0]: CH.x Conversion-Complete Flag Bits (拡張モード)**

これらのビットは各チャンネルのA/D変換が終了したことを示します。

1(R): 変換終了

0(R): 変換中または待機中(デフォルト)

A/D変換が終了し、変換データが変換結果バッファに格納されると1にセットされ、変換結果バッファを読み出すと0にリセットされます。連続モードでA/D変換している場合、ADF_xが1の状態(変換結果バッファを読み出す前に)同じチャンネルの次のA/D変換が終了すると、データバッファは新たな変換結果で上書きされオーバーランエラーとなります。したがって、次のA/D変換が終了する前に変換データを読み出してADF_xをリセットする必要があります。

0x5548–0x554e: A/D CH.x Conversion Result Buffer Registers (AD_CHx_BUF)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D CH.x Conversion Result Buffer Register (AD_CHx_BUF)	0x5548	D15–10	–	reserved	–	–	–	0 when being read.
	0x554e (16 bits)	D9–0	ADxBUF [9:0]	A/D CH.x converted data ADxBUF9 = MSB ADxBUF0 = LSB	0x0 to 0x3ff	0x0	R	Can be used when ADCADV = 1.

注: ビット名などの‘x’はチャンネル番号の0～3を示します。

0x5548 A/D CH.0 Conversion Result Buffer Register (AD_CH0_BUF)

0x554a A/D CH.1 Conversion Result Buffer Register (AD_CH1_BUF)

0x554c A/D CH.2 Conversion Result Buffer Register (AD_CH2_BUF)

0x554e A/D CH.3 Conversion Result Buffer Register (AD_CH3_BUF)

D[15:10] Reserved**D[9:0] ADxBUF[9:0]: A/D CH.x Converted Data Bits (拡張モード)**

各チャンネルのA/D変換結果が格納されます。(デフォルト: 0x0)

このレジスタは読み出し専用で、書き込みは無効です。

0x5558: A/D Upper Limit Value Register (AD_UPPER)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Upper Limit Value Register (AD_UPPER)	0x5558 (16 bits)	D15-10	—	reserved	—	—	—	0 when being read.
		D9-0	ADUPR[9:0]	A/D conversion upper limit value ADUPR9 = MSB ADUPR0 = LSB	0x0 to 0x3ff	0x0	R/W	Can be used when ADCADV = 1.

D[15:10] Reserved

D[9:0] ADUPR[9:0]: A/D Conversion Upper Limit Value Bits (拡張モード)

A/D変換結果と比較する上限値を設定します。(デフォルト: 0x0)
ADCMP[2:0](D[14:12]/AD_CTLレジスタ)で指定したチャンネルのA/D変換で、ここに設定した値より大きな変換結果が得られたことを判定することができ、割り込みも発生可能です。

0x555a: A/D Lower Limit Value Register (AD_LOWER)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Lower Limit Value Register (AD_LOWER)	0x555a (16 bits)	D15-10	—	reserved	—	—	—	0 when being read.
		D9-0	ADLWR [9:0]	A/D conversion lower limit value ADLWR9 = MSB ADLWR0 = LSB	0x0 to 0x3ff	0x0	R/W	Can be used when ADCADV = 1.

D[15:10] Reserved

D[9:0] ADLWR[9:0]: A/D Conversion Lower Limit Value Bits (拡張モード)

A/D変換結果と比較する下限値を設定します。(デフォルト: 0x0)

ADCMP[2:0](D[14:12]/AD_CTLレジスタ)で指定したチャネルのA/D変換で、ここに設定した値より小さな変換結果が得られたことを判定することができ、割り込みも発生可能です。

0x555c: A/D Conversion Complete Interrupt Mask Register (AD_INTMASK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Conversion Complete Interrupt Mask Register (AD_INTMASK)	0x555c (16 bits)	D15-4	--	reserved	--		--	0 when being read.
		D3	INTMASK3	CH.3 conversion-complete int. mask	1 Interrupt enabled	0 Interrupt mask	1 R/W	Can be used when ADCADV = 1.
		D2	INTMASK2	CH.2 conversion-complete int. mask			1 R/W	
		D1	INTMASK1	CH.1 conversion-complete int. mask			1 R/W	
		D0	INTMASK0	CH.0 conversion-complete int. mask			1 R/W	

注: ビット名などの‘x’はチャンネル番号の0～3を示します。

D[15:4] Reserved**D[3:0] INTMASK[3:0]: CH.x Conversion-Complete Interrupt Mask Bits (拡張モード)**

これらのビットはA/D変換終了割り込みをチャンネル単位でマスクします。

1(R/W): 割り込み有効(デフォルト)

0(R/W): 割り込みマスク

INTMASK_xに0を書き込むとCH._xの変換終了割り込み要求はマスクされ、A/D変換が終了してもITCの割り込みフラグは1にセットされません。INTMASK_xが1の場合はCH._xの変換終了によって割り込みを発生させることができます。

注: 標準モードと拡張モードのいずれの場合も、A/D変換終了割り込みを使用するにはINTMASK[3:0]を1に設定しておく必要があります。

0x555e: A/D Converter Mode Select/Internal Status Register (AD_ADVMODE)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Converter Mode Select/Internal Status Register (AD_ADVMODE)	0x555e (16 bits)	D15-9	—	reserved	—	—	—	0 when being read.
		D8	ADCADV	Standard/advanced mode selection	1 Advanced 0 Standard	0	R/W	
		D7-6	—	reserved	—	—	—	0 when being read.
		D5-4	ISTATE[1:0]	Internal status	ISTATE[1:0]	Status	0x0	R
					0x3 0x2 0x1 0x0	Converting reserved Sampling Idle		
		D3-0	ICOUNTER [3:0]	Internal counter value	0 to 15	0x0	R	

D[15:9] **Reserved**

D8 **ADCADV: Standard/Advanced Mode Selection Bit**

A/D変換器の動作モードを選択します。

1(R/W): 拡張モード

0(R/W): 標準モード(デフォルト)

ADCADVに1を書き込むとA/D変換器は拡張モードに設定され、拡張機能用レジスタ/ビットが使用可能になります。

ADCADVが0の場合は、A/D変換器の基本機能のみが使用可能となります。このモードでは、拡張モード用に拡張されたレジスタ/ビットへの書き込みができなくなります。読み出しは可能です。

D[7:6] **Reserved**

D[5:4] **ISTATE[1:0]: Internal Status Bits**

A/D変換器の内部状態を示します。

表VII.1.7.5 内部状態

ISTATE[1:0]	内部状態
0x3	変換中
0x2	Reserved
0x1	サンプリング中
0x0	待機中

(デフォルト: 0x0)

D[3:0] **ICOUNTER[3:0]: Internal Counter Value Bits**

内部カウンタ値を示します。(デフォルト: 0x0)

VII.1.8 注意事項

- モードや開始/終了チャネルなどA/D変換器の設定を行う場合は、必ずA/D変換器をディセーブル状態(ADE(D2/AD_CTLレジスタ)を0)にして行ってください。イネーブル状態の設定変更は誤動作の原因となります。

* ADE: A/D Enable Bit in the A/D Control/Status (AD_CTL) Register (D2/0x5544)

- 変換精度を考慮すると、A/D変換クロックはMax. 2MHz(Min. 16kHz)を推奨します。
- プリスケアラからA/D変換器へのクロック出力がOffの場合にA/D変換を開始させたり、A/D変換動作中にプリスケアラのクロック出力をOffにしないでください。誤動作の原因となります。
- A/D変換器をイネーブル状態にすると、A/D動作を行わないときにもAV_{DD}～V_{SS}間に電流が流れ電力を消費します。したがって、A/D変換器を使用しない場合は、必ずA/D変換器をディセーブル状態(ADE(D2/AD_CTLレジスタ)を0、デフォルト)に設定してください。
- MFTのピリオドマッチ信号をトリガ要因とした場合、MFT内のプリスケアラの分周比をPCLK/1に設定しないでください。
- A/D変換のトリガとして外部トリガを使用する場合、#ADTRG端子への入力のLow期間は、CPUの動作クロック2サイクル以上の長さを確保してください。また、次のA/D変換トリガとして検出されないように、設定した入力クロックの20サイクル以内で#ADTRG端子への入力をHighに戻してください。
- A/D変換器をイネーブル状態にすると、A/D動作を行わないときにもAV_{DD}～V_{SS}間に電流が流れ電力を消費します。したがって、A/D変換器を使用しない場合は、必ずA/D変換器をディセーブル状態(ADE(D2/AD_CTLレジスタ)を0、デフォルト)に設定してください。
タイマ出力や外部入力をトリガとして使用する場合はA/D変換器を常にイネーブル状態にしておく必要があり、消費電流が増加します。消費電流を低減させるには、以下に示すようにソフトウェアトリガを使用してA/Dイネーブル時間をできるだけ減らすようなA/D変換制御を推奨します。
 - (1) A/D変換時以外はCPUクロックがOSC1の状態でHALTモードにしておきます。
 - (2) サンプリング周波数に合わせて割り込みを発生させ、HALTモードを解除します。
 - (3) CPUをOSC3クロックで動作させます。
 - (4) A/D変換器をイネーブルにします。
 - (5) ソフトウェアトリガでA/D変換を開始させます。
 - (6) 変換結果を読み出します。
 - (7) A/D変換器をディセーブルにします。
 - (8) 必要な処理の後、(1)に戻します。

このページはブランクです。

S1C17002 Technical Manual

APPENDIX

Appendix A I/Oレジスタ一覧

周辺回路	アドレス	レジスタ名		機 能
プリスケアラ (8ビットデバイス)	0x4020	PSC_CTL	Prescaler Control Register	プリスケアラのスタート/ストップ制御
	0x4021–0x403f	–	–	Reserved
UART (IrDA付き) (8ビットデバイス)	0x4100	UART_ST	UART Status Register	転送、バッファ、エラーステータスの表示
	0x4101	UART_TXD	UART Transmit Data Register	送信データ
	0x4102	UART_RXD	UART Receive Data Register	受信データ
	0x4103	UART_MOD	UART Mode Register	転送データ形式の設定
	0x4104	UART_CTL	UART Control Register	データ転送の制御
	0x4105	UART_EXP	UART Expansion Register	IrDAモードの設定
	0x4106–0x411f	–	–	Reserved
	0x4106–0x411f	–	–	Reserved
CLG_T16U0 タイマ (16ビットデバイス)	0x4200	CLG_T16U0_CLK	CLG_T16U0 Input Clock Select Register	プリスケアラ出力クロックの選択
	0x4202	CLG_T16U0_TR	CLG_T16U0 Reload Data Register	リロードデータの設定
	0x4204	CLG_T16U0_TC	CLG_T16U0 Counter Data Register	カウンタデータ
	0x4206	CLG_T16U0_CTL	CLG_T16U0 Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4208–0x421f	–	–	Reserved
CLG_T8FU0 タイマ (16ビットデバイス)	0x4220	CLG_T8FU0_CLK	CLG_T8S Input Clock Select Register	プリスケアラ出力クロックの選択
	0x4222	CLG_T8FU0_TR	CLG_T8S Reload Data Register	リロードデータの設定
	0x4224	CLG_T8FU0_TC	CLG_T8S Counter Data Register	カウンタデータ
	0x4226	CLG_T8FU0_CTL	CLG_T8S Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4228–0x423f	–	–	Reserved
CLG_T8Sタイマ (16ビットデバイス)	0x4240	CLG_T8S_CLK	CLG_T8S Input Clock Select Register	プリスケアラ出力クロックの選択
	0x4242	CLG_T8S_TR	CLG_T8S Reload Data Register	リロードデータの設定
	0x4244	CLG_T8S_TC	CLG_T8S Counter Data Register	カウンタデータ
	0x4246	CLG_T8S_CTL	CLG_T8S Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4248–0x425f	–	–	Reserved
CLG_T8Iタイマ (16ビットデバイス)	0x4260	CLG_T8I_CLK	CLG_T8I Input Clock Select Register	プリスケアラ出力クロックの選択
	0x4262	CLG_T8I_TR	CLG_T8I Reload Data Register	リロードデータの設定
	0x4264	CLG_T8I_TC	CLG_T8I Counter Data Register	カウンタデータ
	0x4266	CLG_T8I_CTL	CLG_T8I Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4268–0x427f	–	–	Reserved
割り込み コントローラ (16ビットデバイス)	0x42e0	ITC_AIFLG	Additional Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x42e2	ITC_AEN	Additional Interrupt Enable Register	各マスク可能割り込みの許可/禁止
	0x42e4	–	–	Reserved
	0x42e6	ITC_AILV0	Additional Interrupt Level Setup Register 0	MFT割り込みレベルの設定
	0x42e8	ITC_AILV1	Additional Interrupt Level Setup Register 1	ADC割り込みレベルの設定
	0x42ea	ITC_AILV2	Additional Interrupt Level Setup Register 2	RTC、PT8 CH.0/T8OSC1 CH.0割り込みレベルの設定
	0x42ec	ITC_AILV3	Additional Interrupt Level Setup Register 3	PT8 CH.1/T8OSC1 CH.1、PT8 CH.2割り込みレベルの設定
	0x42ee	ITC_AILV4	Additional Interrupt Level Setup Register 4	PT8 CH.3割り込みレベルの設定
	0x42f0	ITC_AILV5	Additional Interrupt Level Setup Register 5	SPI CH.1割り込みレベルの設定
	0x42f2	ITC_AILV6	Additional Interrupt Level Setup Register 6	I ² Cスレーブ割り込みレベルの設定
	0x42f4	ITC_AILV7	Additional Interrupt Level Setup Register 7	REMC割り込みレベルの設定
	0x42f6–0x42ff	–	–	Reserved
	0x4300	ITC_IFLG	Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x4302	ITC_EN	Interrupt Enable Register	各マスク可能割り込みの許可/禁止
	0x4304	ITC_CTL	ITC Control Register	ITC動作の許可/禁止
	0x4306	ITC_ELV0	External Interrupt Level Setup Register 0	ポート0、ポート1割り込みレベルとトリガモードの設定
	0x4308	ITC_ELV1	External Interrupt Level Setup Register 1	ポート2、ポート3割り込みレベルとトリガモードの設定
	0x430a	ITC_ELV2	External Interrupt Level Setup Register 2	ポート4、ポート5割り込みレベルとトリガモードの設定
	0x430c	ITC_ELV3	External Interrupt Level Setup Register 3	ポート6、ポート7割り込みレベルとトリガモードの設定
	0x430e	ITC_ILV0	Internal Interrupt Level Setup Register 0	CLG_T16U0、CLG_T8FU0タイマ割り込みレベルの設定
	0x4310	ITC_ILV1	Internal Interrupt Level Setup Register 1	CLG_T8S、CLG_T8Iタイマ割り込みレベルの設定
	0x4312	ITC_ILV2	Internal Interrupt Level Setup Register 2	UART割り込みレベルの設定
	0x4314	ITC_ILV3	Internal Interrupt Level Setup Register 3	SPI CH.0、I ² Cマスタ割り込みレベルの設定
	0x4316–0x431f	–	–	Reserved
SPI (16ビットデバイス)	0x4320	SPI_ST0	SPI CH.0 Status Register	転送、バッファステータスの表示
	0x4322	SPI_TXD0	SPI CH.0 Transmit Data Register	送信データ
	0x4324	SPI_RXD0	SPI CH.0 Receive Data Register	受信データ
	0x4326	SPI_CTL0	SPI CH.0 Control Register	SPI CH.0モードとデータ転送許可の設定
	0x4328–0x433f	–	–	Reserved

APPENDIX A I/Oレジスタ一覧

周辺回路	アドレス	レジスタ名		機 能
I ² Cマスタ (16ビットデバイス)	0x4340	I2CM_EN	I ² C Master Enable Register	I ² Cマスタモジュールイネーブル
	0x4342	I2CM_CTL	I ² C Master Control Register	I ² Cマスタの制御と転送状態の表示
	0x4344	I2CM_DAT	I ² C Master Data Register	I ² Cマスタ送受信データ
	0x4346	I2CM_ICTL	I ² C Master Interrupt Control Register	I ² Cマスタ割り込みの制御
	0x4348–0x435f	–	–	Reserved
I ² Cスレーブ (16ビットデバイス)	0x4360	I2CS_TRNS	I ² C Slave Transmit Data Write Register	I ² Cスレーブ送信データ
	0x4362	I2CS_RECV	I ² C Slave Receive Data Read Register	I ² Cスレーブ受信データ
	0x4364	I2CS_SADRS	I ² C Slave Address Setup Register	I ² Cスレーブアドレスの設定
	0x4366	I2CS_CTL	I ² C Slave Control Register	I ² Cスレーブの制御
	0x4368	I2CS_STAT	I ² C Slave Status Register	I ² Cスレーブのバスステータスの表示
	0x436a	I2CS_ASTAT	I ² C Slave Access Status Register	I ² Cスレーブのアクセスステータスの表示
	0x436c	I2CS_ICTL	I ² C Slave Interrupt Control Register	I ² Cスレーブ割り込みの制御
汎用入出力 ポート (8ビットデバイス)	0x436e–0x437f	–	–	Reserved
	0x4400	P0_DAT	P0 Port Input Data Register	P0ポート入力データ
	0x4401	–	–	Reserved
	0x4402	P1_DAT	P1 Port Input/Output Data Register	P1ポート入出力データ
	0x4403	P1_IOC	P1 Port I/O Control Register	P1ポート入出力方向の選択
	0x4404	P2_DAT	P2 Port Input/Output Data Register	P2ポート入出力データ
	0x4405	P2_IOC	P2 Port I/O Control Register	P2ポート入出力方向の選択
	0x4406	P3_DAT	P3 Port Input/Output Data Register	P3ポート入出力データ
	0x4407	P3_IOC	P3 Port I/O Control Register	P3ポート入出力方向の選択
	0x4408	P4_DAT	P4 Port Input/Output Data Register	P4ポート入出力データ
	0x4409	P4_IOC	P4 Port I/O Control Register	P4ポート入出力方向の選択
	0x440a	P5_DAT	P5 Port Input/Output Data Register	P5ポート入出力データ
	0x440b	P5_IOC	P5 Port I/O Control Register	P5ポート入出力方向の選択
	0x440c–0x441f	–	–	Reserved
	0x4420	P0_03_CFP	P00–P03 Port Function Select Register	P00–P03ポート機能の選択
	0x4421	–	–	Reserved
	0x4422	P1_03_CFP	P10–P13 Port Function Select Register	P10–P13ポート機能の選択
	0x4423	P1_46_CFP	P14–P16 Port Function Select Register	P14–P16ポート機能の選択
	0x4424	–	–	Reserved
	0x4425	P2_57_CFP	P25–P27 Port Function Select Register	P25–P27ポート機能の選択
	0x4426	P3_02_CFP	P30–P32 Port Function Select Register	P30–P32ポート機能の選択
	0x4427	P3_57_CFP	P35–P37 Port Function Select Register	P35–P37ポート機能の選択
	0x4428	P4_03_CFP	P40–P43 Port Function Select Register	P40–P43ポート機能の選択
	0x4429	P4_4_CFP	P44 Port Function Select Register	P44ポート機能の選択
	0x442a	P5_03_CFP	P50–P53 Port Function Select Register	P50–P53ポート機能の選択
	0x442b–0x443f	–	–	Reserved
	0x4440	PINTSEL0	Port Input Interrupt 0 Select Register	入力割り込み用Px0ポートの選択
	0x4441	PINTSEL1	Port Input Interrupt 1 Select Register	入力割り込み用Px1ポートの選択
	0x4442	PINTSEL2	Port Input Interrupt 2 Select Register	入力割り込み用Px2ポートの選択
	0x4443	PINTSEL3	Port Input Interrupt 3 Select Register	入力割り込み用Px3ポートの選択
	0x4444	PINTSEL4	Port Input Interrupt 4 Select Register	入力割り込み用Px4ポートの選択
	0x4445	PINTSEL5	Port Input Interrupt 5 Select Register	入力割り込み用Px5ポートの選択
	0x4446	PINTSEL6	Port Input Interrupt 6 Select Register	入力割り込み用Px6ポートの選択
	0x4447	PINTSEL7	Port Input Interrupt 7 Select Register	入力割り込み用Px7ポートの選択
	0x444e–0x44ff	–	–	Reserved
リアルタイム クロック (8ビットデバイス)	0x4600	RTC_INTSTAT	RTC Interrupt Status Register	RTC割り込み発生状態の表示
	0x4601	RTC_INTMODE	RTC Interrupt Mode Register	RTC割り込みモードの設定
	0x4602	RTC_CNTL0	RTC Control 0 Register	RTCの制御
	0x4603	RTC_CNTL1	RTC Control 1 Register	
	0x4604–0x4613	–	–	Reserved
	0x4614	RTC_SEC	RTC Second Register	秒カウンタデータ
	0x4615	RTC_MIN	RTC Minute Register	分カウンタデータ
	0x4616	RTC_HOUR	RTC Hour Register	時カウンタデータ
	0x4617	RTC_DAY	RTC Day Register	日カウンタデータ
	0x4618–0x4627	–	–	Reserved
	0x4628	RTC_MONTH	RTC Month Register	月カウンタデータ
	0x4629	RTC_YEAR	RTC Year Register	年カウンタデータ
	0x462a	RTC_WEEK	RTC Days of Week Register	曜日カウンタデータ
	0x462b–0x46ff	–	–	Reserved
8ビット プログラマブル タイマCH.0 (8ビットデバイス)	0x4800	PT8_CLK0	PT8 CH.0 Input Clock Select Register	カウントクロックの選択
	0x4801	PT8_RLD0	PT8 CH.0 Reload Data Register	リロードデータの設定
	0x4802	PT8_PTD0	PT8 CH.0 Counter Data Register	カウンタデータ
	0x4803	PT8_CTL0	PT8 CH.0 Control Register	タイマのRUN/STOP

周辺回路	アドレス	レジスタ名		機 能
8ビット プログラマブル タイマCH.1 (8ビットデバイス)	0x4804	PT8_CLK1	PT8 CH.1 Input Clock Select Register	カウントクロックの選択
	0x4805	PT8_RLD1	PT8 CH.1 Reload Data Register	リロードデータの設定
	0x4806	PT8_PTD1	PT8 CH.1 Counter Data Register	カウンタデータ
	0x4807	PT8_CTL1	PT8 CH.1 Control Register	タイマのRUN/STOP
8ビット プログラマブル タイマCH.2 (8ビットデバイス)	0x4808	PT8_CLK2	PT8 CH.2 Input Clock Select Register	カウントクロックの選択
	0x4809	PT8_RLD2	PT8 CH.2 Reload Data Register	リロードデータの設定
	0x480a	PT8_PTD2	PT8 CH.2 Counter Data Register	カウンタデータ
	0x480b	PT8_CTL2	PT8 CH.2 Control Register	タイマのRUN/STOP
8ビット プログラマブル タイマCH.3 (8ビットデバイス)	0x480c	PT8_CLK3	PT8 CH.3 Input Clock Select Register	カウントクロックの選択
	0x480d	PT8_RLD3	PT8 CH.3 Reload Data Register	リロードデータの設定
	0x480e	PT8_PTD3	PT8 CH.3 Counter Data Register	カウンタデータ
	0x480f	PT8_CTL3	PT8 CH.3 Control Register	タイマのRUN/STOP
	0x4810–0x48ff	–	–	Reserved
クロック マネージメント ユニット (8ビットデバイス)	0x4900	CMU_SYSCCLKCTL	System Clock Control Register	システムクロックの制御
	0x4901	CMU_OSC3_WCNT	OSC3 Wait Timer Register	OSC3発振安定待ちタイマの設定
	0x4902	CMU_NF	Noise Filter Control Register	ノイズフィルタのON/OFF
	0x4903	CMU_OSC3DIV	OSC3 Clock Divider Register	OSC3システムクロック周波数の選択
	0x4904	–	–	Reserved
	0x4905	CMU_CMUCLK	CMU_CLK Select Register	CMU_CLK出力周波数の選択
	0x4906	CMU_GATEDCLK0	Gated Clock Control 0 Register	周辺モジュールへのクロック供給制御
	0x4907	CMU_GATEDCLK1	Gated Clock Control 1 Register	
	0x4908	CMU_GATEDCLK2	Gated Clock Control 2 Register	
	0x4909–0x491f	–	–	Reserved
	0x4920	CMU_PROTECT	CMU Write Protect Register	CMUレジスタ(0x4900~0x4908)書き込み保護の設定/解除
	0x4921–0x49ff	–	–	Reserved
8ビットOSC1タイマCH.0 (8ビットデバイス)	0x4a00	T8OSC1_CTL0	T8OSC1 CH.0 Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4a01	T8OSC1_CNT0	T8OSC1 CH.0 Timer Counter Data Register	カウンタデータ
	0x4a02	T8OSC1_CMP0	T8OSC1 CH.0 Timer Compare Data Register	コンペアデータの設定
	0x4a03	T8OSC1_IMSK0	T8OSC1 CH.0 Timer Interrupt Mask Register	割り込みマスクの設定
	0x4a04	T8OSC1_IFLG0	T8OSC1 CH.0 Timer Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x4a05–0x4aff	–	–	Reserved
8ビットOSC1タイマCH.1 (8ビットデバイス)	0x4b00	T8OSC1_CTL1	T8OSC1 CH.1 Timer Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4b01	T8OSC1_CNT1	T8OSC1 CH.1 Timer Counter Data Register	カウンタデータ
	0x4b02	T8OSC1_CMP1	T8OSC1 CH.1 Timer Compare Data Register	コンペアデータの設定
	0x4b03	T8OSC1_IMSK1	T8OSC1 CH.1 Timer Interrupt Mask Register	割り込みマスクの設定
	0x4b04	T8OSC1_IFLG1	T8OSC1 CH.1 Timer Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x4b05–0x4bff	–	–	Reserved
SRAM コントローラ (16ビットデバイス)	0x5000–0x5017	–	–	Reserved
	0x5018	RTC_WAIT	RTC Wait Control Register	RTCアクセスサイクルの設定
	0x501a–0x50ff	–	–	Reserved
マルチファンクションタイマ (16ビットデバイス)	0x5200	MFT_TC	MFT Counter Data Register	カウンタデータ
	0x5202	MFT_PRD	MFT Period Data Register	ピリオドデータの設定
	0x5204	MFT_CMP	MFT Compare Data Register	コンペアデータの設定
	0x5206	MFT_CTL	MFT Control Register	タイマモードの設定とタイマのRUN/STOP
	0x5208–0x521d	–	–	Reserved
	0x521e	MFT_IOCTL	MFT Input/Output Control Register	クロック入出力の制御
	0x5230	MFT_IE	MFT Interrupt Enable Register	MFT割り込みイネーブル
	0x5238	MFT_IF	MFT Interrupt Flag Register	MFT割り込み発生状態の表示
	0x523a–0x527d	–	–	Reserved
	0x527e	MFT_TST	MFT Test Register	MFTテスト機能の制御
	0x5280–0x52ff	–	–	Reserved
リモート コントローラ (16ビットデバイス)	0x5400	REMC_PSC	REMC Prescaler Control Register	REMCプリスケラの設定
	0x5404	REMC_CFG	REMC Configuration Register	REMCモードの設定と割り込みの制御
	0x5406	–	–	Reserved
	0x5408	REMC_CTL	REMC Control Register	送信制御
	0x540a	–	–	Reserved
	0x540c	REMC_CARL	REMC Carrier Load Register	キャリア信号の設定
	0x540e	REMC_ENVL	REMC Envelope Load Register	エンベロープパルス幅の設定
	0x5410	REMC_ENVC	REMC Envelope Capture Register	入力エンベロープパルス幅
	0x5412–0x54ff	–	–	Reserved

APPENDIX A I/Oレジスタ一覧

周辺回路	アドレス	レジスタ名		機 能
A/D変換器 (16ビットデバイス)	0x5500–0x551f	–	–	Reserved
	0x5520	AD_CLKCTL	A/D Clock Control Register	A/D変換クロックの制御
	0x5522–0x553f	–	–	Reserved
	0x5540	AD_DAT	A/D Conversion Result Register	A/D変換データ
	0x5542	AD_TRIG_CH	A/D Trigger/Channel Select Register	変換開始/終了チャネルと変換モードの設定
	0x5544	AD_CTL	A/D Control/Status Register	A/D変換器の制御とステータス表示
	0x5546	AD_CH_STAT	A/D Channel Status Flag Register	オーバーライトエラーと変換完了ステータスの表示
	0x5548	AD_CH0_BUF	A/D CH.0 Conversion Result Buffer Register	A/D CH.0変換データ
	0x554a	AD_CH1_BUF	A/D CH.1 Conversion Result Buffer Register	A/D CH.1変換データ
	0x554c	AD_CH2_BUF	A/D CH.2 Conversion Result Buffer Register	A/D CH.2変換データ
	0x554e	AD_CH3_BUF	A/D CH.3 Conversion Result Buffer Register	A/D CH.3変換データ
	0x5550–0x5557	–	–	Reserved
	0x5558	AD_UPPER	A/D Upper Limit Value Register	A/D変換上限値の設定
	0x555a	AD_LOWER	A/D Lower Limit Value Register	A/D変換下限値の設定
	0x555c	AD_INTMASK	A/D Conversion Complete Interrupt Mask Register	A/D変換完了割り込みチャネルのマスク
	0x555e	AD_ADVMODE	A/D Converter Mode Select/Internal Status Register	A/D動作モードの選択とA/D変換器内部状態/内部カウンタ値の表示
ウォッチドッグ タイマ (16ビットデバイス)	0x5600–0x565f	–	–	Reserved
	0x5660	WD_WP	WDT Write Protect Register	WDT制御レジスタ書き込み保護の設定/解除
	0x5662	WD_EN	WDT Enable and Setup Register	ウォッチドッグタイマの設定とスタート
	0x5664	WD_CMP_L	WDT Comparison Data L Register	比較データ
	0x5666	WD_CMP_H	WDT Comparison Data H Register	
	0x5668	WD_CNT_L	WDT Count Data L Register	ウォッチドッグタイマカウンタデータ
	0x566a	WD_CNT_H	WDT Count Data H Register	
	0x566c	WD_CTL	WDT Control Register	ウォッチドッグタイマリセット
	0x566e–0x56ff	–	–	Reserved
拡張SPI (16ビットデバイス)	0x5700	SPI_ST1	SPI CH.1 Status Register	転送、バッファステータスの表示
	0x5702	SPI_TXD1	SPI CH.1 Transmit Data Register	送信データ
	0x5704	SPI_RXD1	SPI CH.1 Receive Data Register	受信データ
	0x5706	SPI_CTL1	SPI CH.1 Control Register	SPI CH.1モードとデータ転送許可の設定
	0x5708	SPI_CLK1	SPI CH.1 Clock Control Register	SPIクロックの設定
	0x570a–0x57ff	–	–	Reserved
ROM コントローラ (16ビットデバイス)	0x5800–0x5803	–	–	Reserved
	0x5804	ROMC_WAIT	ROMC Wait Register	ROMリード用ウェイトサイクルの設定
	0x5806–0x580f	–	–	Reserved
	0x5810	ROMC_PRT	ROMC Protect Register	ROMCレジスタ書き込み保護の設定/解除
	0x5812–0x5813	–	–	Reserved
	0x5814	TTBR_LOW	Trap Table Base Register 0	ベクタテーブルアドレスの設定
	0x5816	TTBR_HIGH	Trap Table Base Register 1	
	0x5818–0x58ff	–	–	Reserved
S1C17コアI/O	0xffff90	DBRAM	Debug RAM Base Register	デバッグRAMベースアドレスの表示

注: 表中の“Reserved”で示されたアドレス、および表に記載のない周辺回路エリアの未使用領域は、アプリケーションプログラムからアクセスしないでください。

0x4020**Prescaler**

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Prescaler Control Register (PSC_CTL)	0x4020 (8 bits)	D7–2	–	reserved	–			–	–	0 when being read.	
		D1	PRUND	Prescaler run/stop in debug mode	1	Run	0	Stop	0		R/W
		D0	PRUN	Prescaler run/stop control	1	Run	0	Stop	0		R/W

0x4100–0x4105

UART (with IrDA)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Status Register (UART_ST)	0x4100 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6	FER	Framing error flag	1 Error 0 Normal	0	R/W	Reset by writing 1.
		D5	PER	Parity error flag	1 Error 0 Normal	0	R/W	
		D4	OER	Overrun error flag	1 Error 0 Normal	0	R/W	
		D3	RD2B	Second byte receive flag	1 Ready 0 Empty	0	R	
		D2	TRBS	Transmit busy flag	1 Busy 0 Idle	0	R	Shift register status
		D1	RDRY	Receive data ready flag	1 Ready 0 Empty	0	R	
		D0	TDBE	Transmit data buffer empty flag	1 Empty 0 Not empty	1	R	
UART Transmit Data Register (UART_TXD)	0x4101 (8 bits)	D7–0	TXD[7:0]	Transmit data TXD7(6) = MSB TXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R/W	
UART Receive Data Register (UART_RXD)	0x4102 (8 bits)	D7–0	RXD[7:0]	Receive data in the receive data buffer RXD7(6) = MSB RXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R	Older data in the buffer is read out first.
UART Mode Register (UART_MOD)	0x4103 (8 bits)	D7–6	–	reserved	–	–	–	0 when being read.
		D5	TMSEL	Timer select	1 CLG_T8FU0 0 CLG_T16U0	0	R/W	
		D4	CHLN	Character length	1 8 bits 0 7 bits	0	R/W	
		D3	PREN	Parity enable	1 With parity 0 No parity	0	R/W	
		D2	PMD	Parity mode select	1 Odd 0 Even	0	R/W	
		D1	STPB	Stop bit select	1 2 bits 0 1 bit	0	R/W	
		D0	SSCK	Input clock select	1 External 0 Internal	0	R/W	
UART Control Register (UART_CTL)	0x4104 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6	REIEN	Receive error int. enable	1 Enable 0 Disable	0	R/W	
		D5	RIEN	Receive buffer full int. enable	1 Enable 0 Disable	0	R/W	
		D4	TIER	Transmit buffer empty int. enable	1 Enable 0 Disable	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	RBFI	Receive buffer full int. condition	1 2 bytes 0 1 byte	0	R/W	
		D0	RXEN	UART enable	1 Enable 0 Disable	0	R/W	
UART Expansion Register (UART_EXP)	0x4105 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6–4	IRCLK[2:0]	IrDA receive detection clock select	IRCLK[2:0] Clock	0x0	R/W	
					0x7 PCLK•1/128			
					0x6 PCLK•1/64			
					0x5 PCLK•1/32			
					0x4 PCLK•1/16			
					0x3 PCLK•1/8			
		D3–1	–	reserved	–	–	–	0 when being read.
		D0	IRMD	IrDA mode select	1 On 0 Off	0	R/W	

0x4200–0x4206

CLG_T16U0 Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T16U0 Input Clock Select Register (CLG_T16U0 _CLK)	0x4200 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3–0	DF[3:0]	Timer input clock select (Prescaler output clock)	DF[3:0] Clock	0x0	R/W	
					0xf reserved			
					0xe PCLK•1/16384			
					0xd PCLK•1/8192			
					0xc PCLK•1/4096			
					0xb PCLK•1/2048			
					0xa PCLK•1/1024			
					0x9 PCLK•1/512			
					0x8 PCLK•1/256			
					0x7 PCLK•1/128			
					0x6 PCLK•1/64			
					0x5 PCLK•1/32			
					0x4 PCLK•1/16			
					0x3 PCLK•1/8			
					0x2 PCLK•1/4			
					0x1 PCLK•1/2			
					0x0 PCLK•1/1			
CLG_T16U0 Reload Data Register (CLG_T16U0 _TR)	0x4202 (16 bits)	D15–0	TR[15:0]	16-bit timer reload data TR15 = MSB TR0 = LSB	0x0 to 0xffff	0x0	R/W	
CLG_T16U0 Counter Data Register (CLG_T16U0 _TC)	0x4204 (16 bits)	D15–0	TC[15:0]	16-bit timer counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0xffff	R	
CLG_T16U0 Control Register (CLG_T16U0 _CTL)	0x4206 (16 bits)	D15–5	–	reserved	–	–	–	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	

0x4220–0x4226

CLG_T8FU0 Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T8FU0 Input Clock Select Register (CLG_T8FU0_ CLK)	0x4220 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3–0	DF[3:0]	Timer input clock select (Prescaler output clock)	DF[3:0] Clock	0x0	R/W	
					0xf reserved			
					0xe PCLK•1/16384			
					0xd PCLK•1/8192			
					0xc PCLK•1/4096			
					0xb PCLK•1/2048			
					0xa PCLK•1/1024			
					0x9 PCLK•1/512			
					0x8 PCLK•1/256			
					0x7 PCLK•1/128			
					0x6 PCLK•1/64			
					0x5 PCLK•1/32			
					0x4 PCLK•1/16			
					0x3 PCLK•1/8			
					0x2 PCLK•1/4			
					0x1 PCLK•1/2			
					0x0 PCLK•1/1			
CLG_T8FU0 Reload Data Register (CLG_T8FU0_ TR)	0x4222 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TR[7:0]	CLG_T8FU0 reload data TR7 = MSB TR0 = LSB	0x0 to 0xff	0x0	R/W	
CLG_T8FU0 Counter Data Register (CLG_T8FU0_ TC)	0x4224 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TC[7:0]	CLG_T8FU0 counter data TC7 = MSB TC0 = LSB	0x0 to 0xff	0xff	R	
CLG_T8FU0 Control Register (CLG_T8FU0_ CTL)	0x4226 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11–8	TFMD[3:0]	Fine mode setup	0x0 to 0xf	0x0	R/W	Set a number of times to insert delay into a 16-underflow period.
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	

0x4240–0x4246

CLG_T8S Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T8S Input Clock Select Register (CLG_T8S_CLK)	0x4240 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3–0	DF[3:0]	Timer input clock select (Prescaler output clock)	DF[3:0] Clock	0x0	R/W	
					0xf reserved			
					0xe PCLK•1/16384			
					0xd PCLK•1/8192			
					0xc PCLK•1/4096			
					0xb PCLK•1/2048			
					0xa PCLK•1/1024			
					0x9 PCLK•1/512			
					0x8 PCLK•1/256			
					0x7 PCLK•1/128			
					0x6 PCLK•1/64			
					0x5 PCLK•1/32			
					0x4 PCLK•1/16			
					0x3 PCLK•1/8			
					0x2 PCLK•1/4			
					0x1 PCLK•1/2			
					0x0 PCLK•1/1			
CLG_T8S Reload Data Register (CLG_T8S_TR)	0x4242 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TR[7:0]	8-bit timer reload data TR7 = MSB TR0 = LSB	0x0 to 0xff	0x0	R/W	
CLG_T8S Counter Data Register (CLG_T8S_TC)	0x4244 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TC[7:0]	8-bit timer counter data TC7 = MSB TC0 = LSB	0x0 to 0xff	0xff	R	
CLG_T8S Control Register (CLG_T8S_CTL)	0x4246 (16 bits)	D15–5	–	reserved	–	–	–	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	

0x4260–0x4266

CLG_T8I Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
CLG_T8I Input Clock Select Register (CLG_T8I_CLK)	0x4260 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3–0	DF[3:0]	Timer input clock select (Prescaler output clock)	DF[3:0] Clock	0x0	R/W	
					0xf reserved			
					0xe PCLK•1/16384			
					0xd PCLK•1/8192			
					0xc PCLK•1/4096			
					0xb PCLK•1/2048			
					0xa PCLK•1/1024			
					0x9 PCLK•1/512			
					0x8 PCLK•1/256			
					0x7 PCLK•1/128			
					0x6 PCLK•1/64			
					0x5 PCLK•1/32			
					0x4 PCLK•1/16			
					0x3 PCLK•1/8			
					0x2 PCLK•1/4			
					0x1 PCLK•1/2			
					0x0 PCLK•1/1			
CLG_T8I Reload Data Register (CLG_T8I_TR)	0x4262 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TR[7:0]	8-bit timer reload data TR7 = MSB TR0 = LSB	0x0 to 0xff	0x0	R/W	
CLG_T8I Counter Data Register (CLG_T8I_TC)	0x4264 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TC[7:0]	8-bit timer counter data TC7 = MSB TC0 = LSB	0x0 to 0xff	0xff	R	
CLG_T8I Control Register (CLG_T8I_CTL)	0x4266 (16 bits)	D15–5	–	reserved	–	–	–	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	

0x42e0–0x42f2

Interrupt Controller

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Additional Interrupt Flag Register (ITC_AIFLG)	0x42e0 (16 bits)	D15	—	reserved	—			—	—	0 when being read.	
		D14	AIFT14	REMC interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D13	AIFT13	I ² C slave bus status interrupt flag					0	R/W	
		D12	AIFT12	I ² C slave transmit/receive interrupt flag					0	R/W	
		D11	—	reserved	—			—	—	0 when being read.	
		D10	AIFT10	SPI CH.1 interrupt flag	1	Occurred	0	Not occurred	0	R/W	Reset by writing 1.
		D9	—	reserved	—			—	—	0 when being read.	
		D8	AIFT8	PT8 CH.3 interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D7	AIFT7	PT8 CH.2 interrupt flag					0	R/W	
		D6	AIFT6	PT8 CH.1/T8OSC1 CH.1 interrupt flag					0	R/W	
		D5	AIFT5	PT8 CH.0/T8OSC1 CH.0 interrupt flag					0	R/W	
		D4	AIFT4	RTC interrupt flag					0	R/W	
		D3	AIFT3	ADC end-of-conversion interrupt flag					0	R/W	
		D2	AIFT2	ADC out-of-range interrupt flag					0	R/W	
		D1	—	reserved	—			—	—	0 when being read.	
D0	AIFT0	MFT interrupt flag	1	Occurred	0	Not occurred	0	R/W	Reset by writing 1.		
Additional Interrupt Enable Register (ITC_AEN)	0x42e2 (16 bits)	D15	—	reserved	—			—	—	0 when being read.	
		D14	AIEN14	REMC interrupt enable	1	Enable	0	Disable	0	R/W	
		D13	AIEN13	I ² C slave bus status interrupt enable					0	R/W	
		D12	AIEN12	I ² C slave transmit/receive interrupt enable					0	R/W	
		D11	—	reserved	—			—	—	0 when being read.	
		D10	AIEN10	SPI CH.1 interrupt enable	1	Enable	0	Disable	0	R/W	
		D9	—	reserved	—			—	—	0 when being read.	
		D8	AIEN8	PT8 CH.3 interrupt enable	1	Enable	0	Disable	0	R/W	
		D7	AIEN7	PT8 CH.2 interrupt enable					0	R/W	
		D6	AIEN6	PT8 CH.1/T8OSC1 CH.1 interrupt enable					0	R/W	
		D5	AIEN5	PT8 CH.0/T8OSC1 CH.0 interrupt enable					0	R/W	
		D4	AIEN4	RTC interrupt enable					0	R/W	
		D3	AIEN3	ADC end-of-conversion interrupt enable					0	R/W	
		D2	AIEN2	ADC out-of-range interrupt enable					0	R/W	
		D1	—	reserved	—			—	—	0 when being read.	
D0	AIEN0	MFT interrupt enable	1	Enable	0	Disable	0	R/W			
Additional Interrupt Level Setup Register 0 (ITC_AILV0)	0x42e6 (16 bits)	D15–3	—	reserved	—			—	—	0 when being read.	
		D2–0	AILV0[2:0]	MFT interrupt level	0 to 7		0x0	R/W			
Additional Interrupt Level Setup Register 1 (ITC_AILV1)	0x42e8 (16 bits)	D15–11	—	reserved	—			—	—	0 when being read.	
		D10–8	AILV3[2:0]	ADC end-of-conversion interrupt level	0 to 7		0x0	R/W			
		D7–3	—	reserved	—			—	—	0 when being read.	
		D2–0	AILV2[2:0]	ADC out-of-range interrupt level	0 to 7		0x0	R/W			
Additional Interrupt Level Setup Register 2 (ITC_AILV2)	0x42ea (16 bits)	D15–11	—	reserved	—			—	—	0 when being read.	
		D10–8	AILV5[2:0]	PT8 CH.0/T8OSC1 CH.0 interrupt level	0 to 7		0x0	R/W			
		D7–3	—	reserved	—			—	—	0 when being read.	
		D2–0	AILV4[2:0]	RTC interrupt level	0 to 7		0x0	R/W			
Additional Interrupt Level Setup Register 3 (ITC_AILV3)	0x42ec (16 bits)	D15–11	—	reserved	—			—	—	0 when being read.	
		D10–8	AILV7[2:0]	PT8 CH.2 interrupt level	0 to 7		0x0	R/W			
		D7–3	—	reserved	—			—	—	0 when being read.	
		D2–0	AILV6[2:0]	PT8 CH.1/T8OSC1 CH.1 interrupt level	0 to 7		0x0	R/W			
Additional Interrupt Level Setup Register 4 (ITC_AILV4)	0x42ee (16 bits)	D15–3	—	reserved	—			—	—	0 when being read.	
		D2–0	AILV8[2:0]	PT8 CH.3 interrupt level	0 to 7		0x0	R/W			
Additional Interrupt Level Setup Register 5 (ITC_AILV5)	0x42f0 (16 bits)	D15–3	—	reserved	—			—	—	0 when being read.	
		D2–0	AILV10[2:0]	SPI CH.1 interrupt level	0 to 7		0x0	R/W			
Additional Interrupt Level Setup Register 6 (ITC_AILV6)	0x42f2 (16 bits)	D15–11	—	reserved	—			—	—	0 when being read.	
		D10–8	AILV13[2:0]	I ² C slave bus status interrupt level	0 to 7		0x0	R/W			
		D7–3	—	reserved	—			—	—	0 when being read.	
		D2–0	AILV12[2:0]	I ² C slave transmit/receive interrupt level	0 to 7		0x0	R/W			

0x42f4–0x430a

Interrupt Controller

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
Additional Interrupt Level Setup Register 7 (ITC_AILV7)	0x42f4 (16 bits)	D15–3	–	reserved	–			–	–	0 when being read.	
		D2–0	AILV14[2:0]	REMC interrupt level	0 to 7			0x0	R/W		
Interrupt Flag Register (ITC_IFLG)	0x4300 (16 bits)	D15	IIFT7	I ² C master interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D14	IIFT6	SPI CH.0 interrupt flag					0	R/W	
		D13	–	reserved	–			–	–	0 when being read.	
		D12	IIFT4	UART interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D11	IIFT3	CLG_T8I timer interrupt flag					0	R/W	
		D10	IIFT2	CLG_T8S timer interrupt flag					0	R/W	
		D9	IIFT1	CLG_T8FU0 timer interrupt flag					0	R/W	
		D8	IIFT0	CLG_T16U0 timer interrupt flag					0	R/W	
		D7	EIFT7	Port interrupt 7 flag					0	R/W	Reset by writing 1 in pulse trigger mode.
		D6	EIFT6	Port interrupt 6 flag					0	R/W	
		D5	EIFT5	Port interrupt 5 flag					0	R/W	
		D4	EIFT4	Port interrupt 4 flag					0	R/W	
		D3	EIFT3	Port interrupt 3 flag					0	R/W	
		D2	EIFT2	Port interrupt 2 flag	0	R/W					
		D1	EIFT1	Port interrupt 1 flag	0	R/W					
D0	EIFT0	Port interrupt 0 flag	0	R/W							
Interrupt Enable Register (ITC_EN)	0x4302 (16 bits)	D15	IIEEN7	I ² C master interrupt enable	1	Enable	0	Disable	0	R/W	
		D14	IIEEN6	SPI CH.0 interrupt enable					0	R/W	
		D13	–	reserved	–			–	–	0 when being read.	
		D12	IIEEN4	UART interrupt enable	1	Enable	0	Disable	0	R/W	
		D11	IIEEN3	CLG_T8I timer interrupt enable					0	R/W	
		D10	IIEEN2	CLG_T8S timer interrupt enable					0	R/W	
		D9	IIEEN1	CLG_T8FU0 timer interrupt enable					0	R/W	
		D8	IIEEN0	CLG_T16U0 timer interrupt enable					0	R/W	
		D7	EIEN7	Port interrupt 7 enable					0	R/W	
		D6	EIEN6	Port interrupt 6 enable					0	R/W	
		D5	EIEN5	Port interrupt 5 enable					0	R/W	
		D4	EIEN4	Port interrupt 4 enable					0	R/W	
		D3	EIEN3	Port interrupt 3 enable					0	R/W	
		D2	EIEN2	Port interrupt 2 enable	0	R/W					
		D1	EIEN1	Port interrupt 1 enable	0	R/W					
D0	EIEN0	Port interrupt 0 enable	0	R/W							
ITC Control Register (ITC_CTL)	0x4304 (16 bits)	D15–1	–	reserved	–			–	–	0 when being read.	
		D0	ITEN	ITC enable	1	Enable	0	Disable	0	R/W	
External Interrupt Level Setup Register 0 (ITC_ELV0)	0x4306 (16 bits)	D15–14	–	reserved	–			–	–	0 when being read.	
		D13	EITP1	Port interrupt 1 trigger polarity	1	Positive	0	Negative	0	R/W	
		D12	EITG1	Port interrupt 1 trigger mode	1	Level	0	Pulse	0	R/W	
		D11	–	reserved	–			–	–	0 when being read.	
		D10–8	EILV1[2:0]	Port interrupt 1 level	0 to 7			0x0	R/W		
		D7–6	–	reserved	–			–	–	0 when being read.	
		D5	EITP0	Port interrupt 0 trigger polarity	1	Positive	0	Negative	0	R/W	
		D4	EITG0	Port interrupt 0 trigger mode	1	Level	0	Pulse	0	R/W	
		D3	–	reserved	–			–	–	0 when being read.	
		D2–0	EILV0[2:0]	Port interrupt 0 level	0 to 7			0x0	R/W		
External Interrupt Level Setup Register 1 (ITC_ELV1)	0x4308 (16 bits)	D15–14	–	reserved	–			–	–	0 when being read.	
		D13	EITP3	Port interrupt 3 trigger polarity	1	Positive	0	Negative	0	R/W	
		D12	EITG3	Port interrupt 3 trigger mode	1	Level	0	Pulse	0	R/W	
		D11	–	reserved	–			–	–	0 when being read.	
		D10–8	EILV3[2:0]	Port interrupt 3 level	0 to 7			0x0	R/W		
		D7–6	–	reserved	–			–	–	0 when being read.	
		D5	EITP2	Port interrupt 2 trigger polarity	1	Positive	0	Negative	0	R/W	
		D4	EITG2	Port interrupt 2 trigger mode	1	Level	0	Pulse	0	R/W	
		D3	–	reserved	–			–	–	0 when being read.	
D2–0	EILV2[2:0]	Port interrupt 2 level	0 to 7			0x0	R/W				
External Interrupt Level Setup Register 2 (ITC_ELV2)	0x430a (16 bits)	D15–14	–	reserved	–			–	–	0 when being read.	
		D13	EITP5	Port interrupt 5 trigger polarity	1	Positive	0	Negative	0	R/W	
		D12	EITG5	Port interrupt 5 trigger mode	1	Level	0	Pulse	0	R/W	
		D11	–	reserved	–			–	–	0 when being read.	
		D10–8	EILV5[2:0]	Port interrupt 5 level	0 to 7			0x0	R/W		
		D7–6	–	reserved	–			–	–	0 when being read.	
		D5	EITP4	Port interrupt 4 trigger polarity	1	Positive	0	Negative	0	R/W	
		D4	EITG4	Port interrupt 4 trigger mode	1	Level	0	Pulse	0	R/W	
		D3	–	reserved	–			–	–	0 when being read.	
D2–0	EILV4[2:0]	Port interrupt 4 level	0 to 7			0x0	R/W				

0x430c–0x4314

Interrupt Controller

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
External Interrupt Level Setup Register 3 (ITC_ILV3)	0x430c (16 bits)	D15–14	–	reserved	–	–	–	0 when being read.
		D13	EITP7	Port interrupt 7 trigger polarity	1 Positive 0 Negative	0	R/W	
		D12	EITG7	Port interrupt 7 trigger mode	1 Level 0 Pulse	0	R/W	
		D11	–	reserved	–	–	–	0 when being read.
		D10–8	EILV7[2:0]	Port interrupt 7 level	0 to 7	0x0	R/W	
		D7–6	–	reserved	–	–	–	0 when being read.
		D5	EITP6	Port interrupt 6 trigger polarity	1 Positive 0 Negative	0	R/W	
		D4	EITG6	Port interrupt 6 trigger mode	1 Level 0 Pulse	0	R/W	
Internal Interrupt Level Setup Register 0 (ITC_ILV0)	0x430e (16 bits)	D3	–	reserved	–	–	–	0 when being read.
		D2–0	EILV6[2:0]	Port interrupt 6 level	0 to 7	0x0	R/W	
		D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	IILV1[2:0]	CLG_T8FU0 timer interrupt level	0 to 7	0x0	R/W	
Internal Interrupt Level Setup Register 1 (ITC_ILV1)	0x4310 (16 bits)	D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	IILV0[2:0]	CLG_T16U0 timer interrupt level	0 to 7	0x0	R/W	
		D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	IILV3[2:0]	CLG_T8I timer interrupt level	0 to 7	0x0	R/W	
Internal Interrupt Level Setup Register 2 (ITC_ILV2)	0x4312 (16 bits)	D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	IILV2[2:0]	CLG_T8S timer interrupt level	0 to 7	0x0	R/W	
		D15–3	–	reserved	–	–	–	0 when being read.
		D2–0	IILV4[2:0]	UART interrupt level	0 to 7	0x0	R/W	
Internal Interrupt Level Setup Register 3 (ITC_ILV3)	0x4314 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	IILV7[2:0]	I ² C master interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	IILV6[2:0]	SPI CH.0 interrupt level	0 to 7	0x0	R/W	

0x4320–0x4326

SPI

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks	
SPI CH.0 Status Register (SPI_ST0)	0x4320 (16 bits)	D15–3	–	reserved	–		–	–	0 when being read.	
		D2	SPBSY	Transfer busy flag (master)	1	Busy	0	Idle	0	R
				ss signal low flag (slave)	1	ss = L	0	ss = H		
		D1	SPRBF	Receive data buffer full flag	1	Full	0	Not full	0	R
		D0	SPTBE	Transmit data buffer empty flag	1	Empty	0	Not empty	1	R
SPI CH.0 Transmit Data Register (SPI_TXD0)	0x4322 (16 bits)	D15–8	–	reserved	–		–	–	0 when being read.	
		D7–0	SPTDB[7:0]	SPI CH.0 transmit data buffer SPTDB7 = MSB SPTDB0 = LSB	0x0 to 0xff		0x0	R/W		
SPI CH.0 Receive Data Register (SPI_RXD0)	0x4324 (16 bits)	D15–8	–	reserved	–		–	–	0 when being read.	
		D7–0	SPRDB[7:0]	SPI CH.0 receive data buffer SPRDB7 = MSB SPRDB0 = LSB	0x0 to 0xff		0x0	R		
SPI CH.0 Control Register (SPI_CTL0)	0x4326 (16 bits)	D15–6	–	reserved	–		–	–	0 when being read.	
		D5	SPRIE	Receive data buffer full int. enable	1	Enable	0	Disable	0	R/W
		D4	SPTIE	Transmit data buffer empty int. enable	1	Enable	0	Disable	0	R/W
		D3	CPHA	Clock phase select	1	Data out	0	Data in	0	R/W
		D2	CPOL	Clock polarity select	1	Active L	0	Active H	0	R/W
		D1	MSSL	Master/slave mode select	1	Master	0	Slave	0	R/W
		D0	SPEN	SPI CH.0 enable	1	Enable	0	Disable	0	R/W

0x4340–0x4346

I²C Master

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Master Enable Register (I2CM_EN)	0x4340 (16 bits)	D15–1	–	reserved	–	–	–	0 when being read.
		D0	I2CMEN	I ² C master enable	1 Enable 0 Disable	0	R/W	
I ² C Master Control Register (I2CM_CTL)	0x4342 (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.
		D9	RBUSY	Receive busy flag	1 Busy 0 Idle	0	R	
		D8	TBUSY	Transmit busy flag	1 Busy 0 Idle	0	R	
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	NSERM	Noise remove on/off	1 On 0 Off	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	STP	Stop control	1 Stop 0 Ignored	0	R/W	
		D0	STRT	Start control	1 Start 0 Ignored	0	R/W	
I ² C Master Data Register (I2CM_DAT)	0x4344 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11	RBRDY	Receive buffer ready	1 Ready 0 Empty	0	R	
		D10	RXE	Receive execution	1 Receive 0 Ignored	0	R/W	
		D9	TXE	Transmit execution	1 Transmit 0 Ignored	0	R/W	
		D8	RTACK	Receive/transmit ACK	1 Error 0 ACK	0	R/W	
		D7–0	RTDT[7:0]	Receive/transmit data RTDT7 = MSB RTDT0 = LSB	0x0 to 0xff	0x0	R/W	
I ² C Master Interrupt Control Register (I2CM_ICTL)	0x4346 (16 bits)	D15–2	–	reserved	–	–	–	0 when being read.
		D1	RINTE	Receive interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	TINTE	Transmit interrupt enable	1 Enable 0 Disable	0	R/W	

0x4360–0x436c

I²C Slave

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I ² C Slave Transmit Data Register (I2CS_TRNS)	0x4360 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SDATA[7:0]	I ² C slave transmit data	0–0xff	0x0	R/W	
I ² C Slave Receive Data Register (I2CS_RECV)	0x4362 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	RDATA[7:0]	I ² C slave receive data	0–0xff	0x0	R	
I ² C Slave Address Setup Register (I2CS_SADRS)	0x4364 (16 bits)	D15–7	–	reserved	–	–	–	0 when being read.
		D6–0	SADRS[6:0]	I ² C slave address	0–0x7f	0x0	R/W	
I ² C Slave Control Register (I2CS_CTL)	0x4366 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	TBUF_CLR	I2CS_TRNS register clear	1 Clear state	0 Normal	0 R/W	
		D7	I2C_EN	I ² C slave enable	1 Enable	0 Disable	0 R/W	
		D6	SOFTRESET	Software reset	1 Reset	0 Cancel	0 R/W	
		D5	NAK_ANS	NAK answer	1 NAK	0 ACK	0 R/W	
		D4	BFREQ_EN	Bus free request enable	1 Enable	0 Disable	0 R/W	
		D3	CLKSTR_EN	Clock stretch On/Off	1 On	0 Off	0 R/W	
		D2	NF_EN	Noise filter On/Off	1 On	0 Off	0 R/W	
		D1	ASDET_EN	Async.address detection On/Off	1 On	0 Off	0 R/W	
		D0	COM_MODE	I ² C slave communication mode	1 Active	0 Standby	0 R/W	
I ² C Slave Status Register (I2CS_STAT)	0x4368 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7	BSTAT	Bus status transition	1 Changed	0 Unchanged	0 R	
		D6	–	reserved	–	–	–	0 when being read.
		D5	TXUDF	Transmit data underflow	1 Occurred	0 Not occurred	0 R/W	Reset by writing 1.
			RXOVF	Receive data overflow				
		D4	BFREQ	Bus free request	1 Occurred	0 Not occurred	0 R/W	
		D3	DMS	Output data mismatch	1 Error	0 Normal	0 R/W	
		D2	ASDET	Async. address detection status	1 Detected	0 Not detected	0 R/W	
		D1	DA_NAK	NAK receive status	1 NAK	0 ACK	0 R/W	
I ² C Slave Access Status Register (I2CS_ASTAT)	0x436a (16 bits)	D15–5	–	reserved	–	–	–	0 when being read.
		D4	RXRDY	Receive data ready	1 Ready	0 Not ready	0 R	
		D3	TXEMP	Transmit data empty	1 Empty	0 Not empty	0 R	
		D2	BUSY	I ² C bus status	1 Busy	0 Free	0 R	
		D1	SELECTED	I ² C slave select status	1 Selected	0 Not selected	0 R	
		D0	R/W	Read/write direction	1 Output	0 Input	0 R	
I ² C Slave Interrupt Control Register (I2CS_ICTL)	0x436c (16 bits)	D15–5	–	reserved	–	–	–	0 when being read.
		D4	RXRDY_DRQ_EN	RXRDY DMA request enable	1 Enable	0 Disable	0 R/W	Fix at 0.
		D3	TXEMP_DRQ_EN	TXEMP DMA request enable	1 Enable	0 Disable	0 R/W	
		D2	BSTAT_IEN	Bus status interrupt enable	1 Enable	0 Disable	0 R/W	
		D1	RXRDY_IEN	Receive interrupt enable	1 Enable	0 Disable	0 R/W	
		D0	TXEMP_IEN	Transmit interrupt enable	1 Enable	0 Disable	0 R/W	

0x4400–0x4422

GPIO & Port MUX

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
P0 Port Input Data Register (P0_DAT)	0x4400 (8 bits)	D7–4	–	reserved	–			–	–	0 when being read.	
		D3–0	P0D[3:0]	P0[3:0] port input data	1	1 (High)	0	0 (Low)	Ext.	R/W	Ext.: The initial value depends on the external pin status.
P1 Port Input /Output Data Register (P1_DAT)	0x4402 (8 bits)	D7	–	reserved	–			–	–	0 when being read.	
		D6–0	P1D[6:0]	P1[6:0] port input/output data	1	1 (High)	0	0 (Low)	Ext.	R/W	Ext.: The initial value depends on the external pin status.
P1 I/O Control Register (P1_IOC)	0x4403 (8 bits)	D7	–	reserved	–			–	–	0 when being read.	
		D6–0	IOC1[6:0]	P1[6:0] I/O control	1	Output	0	Input	0	R/W	
P2 Port Input /Output Data Register (P2_DAT)	0x4404 (8 bits)	D7–0	P2D[7:0]	P2[7:0] port input/output data	1	1 (High)	0	0 (Low)	Ext.	R/W	Ext.: The initial value depends on the external pin status.
P2 I/O Control Register (P2_IOC)	0x4405 (8 bits)	D7–0	IOC2[7:0]	P2[7:0] I/O control	1	Output	0	Input	0	R/W	
P3 Port Input /Output Data Register (P3_DAT)	0x4406 (8 bits)	D7–5	P3D[7:5]	P3[7:5] port input/output data	1	1 (High)	0	0 (Low)	Ext.	R/W	Ext.: The initial value depends on the external pin status.
		D4–3	–	reserved	–			–	–	0 when being read.	
		D2–0	P3D[2:0]	P3[2:0] port input/output data	1	1 (High)	0	0 (Low)	Ext.	R/W	
P3 I/O Control Register (P3_IOC)	0x4407 (8 bits)	D7–5	IOC3[7:5]	P3[7:5] I/O control	1	Output	0	Input	0	R/W	
		D4–3	–	reserved	–			–	–	0 when being read.	
		D2–0	IOC3[2:0]	P3[2:0] I/O control	1	Output	0	Input	0	R/W	
P4 Port Input /Output Data Register (P4_DAT)	0x4408 (8 bits)	D7–5	–	reserved	–			–	–	0 when being read.	
		D4–0	P4D[4:0]	P4[4:0] port input/output data	1	1 (High)	0	0 (Low)	Ext.	R/W	Ext.: The initial value depends on the external pin status.
P4 I/O Control Register (P4_IOC)	0x4409 (8 bits)	D7–5	–	reserved	–			–	–	0 when being read.	
		D4–0	IOC4[4:0]	P4[4:0] I/O control	1	Output	0	Input	0	R/W	
P5 Port Input /Output Data Register (P5_DAT)	0x440a (8 bits)	D7–4	–	reserved	–			–	–	0 when being read.	
		D3–0	P5D[3:0]	P5[3:0] port input/output data	1	1 (High)	0	0 (Low)	Ext.	R/W	Ext.: The initial value depends on the external pin status.
P5 I/O Control Register (P5_IOC)	0x440b (8 bits)	D7–4	–	reserved	–			–	–	0 when being read.	
		D3–0	IOC5[3:0]	P5[3:0] I/O control	1	Output	0	Input	0	R/W	
P00–P03 Port Function Select Register (P0_03_CFP)	0x4420 (8 bits)	D7–6	CFP03[1:0]	P03 port function select	CFP03[1:0]	Function	0x0	R/W			
					0x3–0x2	reserved					
					0x1	AIN3					
					0x0	P03					
		D5–4	CFP02[1:0]	P02 port function select	CFP02[1:0]	Function	0x0	R/W			
					0x3–0x2	reserved					
					0x1	AIN2					
					0x0	P02					
D3–2	CFP01[1:0]	P01 port function select	CFP01[1:0]	Function	0x0	R/W					
			0x3–0x2	reserved							
			0x1	AIN1							
			0x0	P01							
D1–0	CFP00[1:0]	P00 port function select	CFP00[1:0]	Function	0x0	R/W					
			0x3–0x2	reserved							
			0x1	AIN0							
			0x0	P00							
P10–P13 Port Function Select Register (P1_03_CFP)	0x4422 (8 bits)	D7–6	CFP13[1:0]	P13 port function select	CFP13[1:0]	Function	0x0	R/W			
					0x3	SPI_SDIO					
					0x2	#SPI_SSIO					
					0x1	#SPI_SSIO					
					0x0	P13					
		D5–4	CFP12[1:0]	P12 port function select	CFP12[1:0]	Function	0x0	R/W			
					0x3–0x2	reserved					
					0x1	SPI_SCK0					
D3–2	CFP11[1:0]	P11 port function select	CFP11[1:0]	Function	0x0	R/W					
			0x3–0x2	reserved							
D1–0	CFP10[1:0]	P10 port function select	CFP10[1:0]	Function	0x0	R/W					
			0x3–0x2	reserved							
			0x1	SPI_SDIO							

0x4423–0x4428

GPIO & Port MUX

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P14–P16 Port Function Select Register (P1_46_CFP)	0x4423 (8 bits)	D7–6	–	reserved	–	–	–	0 when being read.
		D5–4	CFP16[1:0]	P16 port function select	CFP16[1:0]	Function	0x0	R/W
					0x3–0x2 0x1 0x0	reserved SPI_SCK1 P16		
		D3–2	CFP15[1:0]	P15 port function select	CFP15[1:0]	Function	0x0	R/W
					0x3–0x2 0x1 0x0	reserved SPI_SDO1 P15		
		D1–0	CFP14[1:0]	P14 port function select	CFP14[1:0]	Function	0x0	R/W
					0x3–0x2 0x1 0x0	reserved SPI_SDI1 P14		
P25–P27 Port Function Select Register (P2_57_CFP)	0x4425 (8 bits)	D7–6	CFP27[1:0]	P27 port function select	CFP27[1:0]	Function	0x0	R/W
					0x3 0x2 0x1 0x0	reserved I2CS_SCL reserved P27		
		D5–4	CFP26[1:0]	P26 port function select	CFP26[1:0]	Function	0x0	R/W
					0x3 0x2 0x1 0x0	reserved I2CS_SDA reserved P26		
		D3–2	CFP25[1:0]	P25 port function select	CFP25[1:0]	Function	0x0	R/W
					0x3 0x2 0x1 0x0	reserved #I2CS_RST reserved P25		
		D1–0	–	reserved	–	–	–	0 when being read.
P30–P32 Port Function Select Register (P3_02_CFP)	0x4426 (8 bits)	D7–6	–	reserved	–	–	–	0 when being read.
		D5–4	CFP32[1:0]	P32 port function select	CFP32[1:0]	Function	0x0	R/W
					0x3 0x2 0x1 0x0	CMU_CLK #WDT_NMI WDT_CLK P32		
		D3–2	CFP31[1:0]	P31 port function select	CFP31[1:0]	Function	0x0	R/W
					0x3 0x2 0x1 0x0	#ADTRG #TM0 #I2CS_RST P31		
		D1–0	CFP30[1:0]	P30 port function select	CFP30[1:0]	Function	0x0	R/W
					0x3–0x2 0x1 0x0	reserved TM0 P30		
P35–P37 Port Function Select Register (P3_57_CFP)	0x4427 (8 bits)	D7–6	CFP37[1:0]	P37 port function select	CFP37[1:0]	Function	0x0	R/W
					0x3–0x2 0x1 0x0	reserved P37 DST2		
		D5–4	CFP36[1:0]	P36 port function select	CFP36[1:0]	Function	0x0	R/W
					0x3–0x2 0x1 0x0	reserved P36 DSIO		
		D3–2	CFP35[1:0]	P35 port function select	CFP35[1:0]	Function	0x0	R/W
					0x3–0x2 0x1 0x0	reserved P35 DCLK		
		D1–0	–	reserved	–	–	–	0 when being read.
P40–P43 Port Function Select Register (P4_03_CFP)	0x4428 (8 bits)	D7–6	CFP43[1:0]	P43 port function select	CFP43[1:0]	Function	0x0	R/W
					0x3 0x2 0x1 0x0	PWMPRT0 REMC_IN I2CS_SDA P43		
		D5–4	CFP42[1:0]	P42 port function select	CFP42[1:0]	Function	0x0	R/W
					0x3 0x2 0x1 0x0	reserved EXCL0 #SCLK0 P42		
		D3–2	CFP41[1:0]	P41 port function select	CFP41[1:0]	Function	0x0	R/W
					0x3–0x2 0x1 0x0	reserved SOUT0 P41		
		D1–0	CFP40[1:0]	P40 port function select	CFP40[1:0]	Function	0x0	R/W
					0x3–0x2 0x1 0x0	reserved SIN0 P40		

0x4429–0x4444

GPIO & Port MUX

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P44 Port Function Select Register (P4_4_CFP)	0x4429 (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1–0	CFP44[1:0]	P44 port function select	CFP44[1:0] Function	0x0	R/W	
					0x3 reserved			
					0x2 REMC_OUT			
					0x1 I2CS_SCL			
					0x0 P44			
P50–P53 Port Function Select Register (P5_03_CFP)	0x442a (8 bits)	D7–6	CFP53[1:0]	P53 port function select	CFP53[1:0] Function	0x0	R/W	
					0x3–0x2 reserved			
					0x1 REMC_OUT			
					0x0 P53			
		D5–4	CFP52[1:0]	P52 port function select	CFP52[1:0] Function	0x0	R/W	
					0x3 reserved			
					0x2 #TM0			
					0x1 REMC_IN			
					0x0 P52			
		D3–2	CFP51[1:0]	P51 port function select	CFP51[1:0] Function	0x0	R/W	
					0x3–0x2 reserved			
					0x1 I2C_SCL			
					0x0 P51			
		D1–0	CFP50[1:0]	P50 port function select	CFP50[1:0] Function	0x0	R/W	
					0x3 reserved			
					0x2 EXCL0			
					0x1 I2C_SDA			
					0x0 P50			
Port Input Interrupt 0 Select Register (PINTSEL0)	0x4440 (8 bits)	D7–4	PINT0[3:0]	Interrupt port select	PINT0[3:0] Function	0xf	R/W	
					0xc–0x6 reserved			
					0x5 P50			
					0x4 P40			
					0x3 P30			
					0x2 P20			
					0x1 P10			
					0x0 P00			
		D3–0	–	reserved	–	X	R	
Port Input Interrupt 1 Select Register (PINTSEL1)	0x4441 (8 bits)	D7–4	PINT1[3:0]	Interrupt port select	PINT1[3:0] Function	0xf	R/W	
					0xc–0x6 reserved			
					0x5 P51			
					0x4 P41			
					0x3 P31			
					0x2 P21			
					0x1 P11			
					0x0 P01			
		D3–0	–	reserved	–	X	R	
Port Input Interrupt 2 Select Register (PINTSEL2)	0x4442 (8 bits)	D7–4	PINT2[3:0]	Interrupt port select	PINT2[3:0] Function	0xf	R/W	
					0xc–0x6 reserved			
					0x5 P52			
					0x4 P42			
					0x3 P32			
					0x2 P22			
					0x1 P12			
					0x0 P02			
		D3–0	–	reserved	–	X	R	
Port Input Interrupt 3 Select Register (PINTSEL3)	0x4443 (8 bits)	D7–4	PINT3[3:0]	Interrupt port select	PINT3[3:0] Function	0xf	R/W	
					0xc–0x6 reserved			
					0x5 P53			
					0x4 P43			
					0x3 –			
					0x2 P23			
					0x1 P13			
					0x0 P03			
		D3–0	–	reserved	–	X	R	
Port Input Interrupt 4 Select Register (PINTSEL4)	0x4444 (8 bits)	D7–4	PINT4[3:0]	Interrupt port select	PINT4[3:0] Function	0xf	R/W	
					0xc–0x6 reserved			
					0x5 –			
					0x4 P44			
					0x3 –			
					0x2 P24			
					0x1 P14			
					0x0 –			
		D3–0	–	reserved	–	X	R	

0x4445–0x4447

GPIO & Port MUX

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
Port Input Interrupt 5 Select Register (PINTSEL5)	0x4445 (8 bits)	D7–4	PINT5[3:0]	Interrupt port select	PINT5[3:0]	Function	0xf	R/W	
					0xc–0x6	reserved			
					0x5	–			
					0x4	–			
					0x3	P35			
					0x2	P25			
					0x1	P15			
					0x0	–			
		D3–0	–	reserved	–		X	R	
Port Input Interrupt 6 Select Register (PINTSEL6)	0x4446 (8 bits)	D7–4	PINT6[3:0]	Interrupt port select	PINT6[3:0]	Function	0xf	R/W	
					0xc–0x6	reserved			
					0x5	–			
					0x4	–			
					0x3	P36			
					0x2	P26			
					0x1	P16			
					0x0	–			
		D3–0	–	reserved	–		X	R	
Port Input Interrupt 7 Select Register (PINTSEL7)	0x4447 (8 bits)	D7–4	PINT7[3:0]	Interrupt port select	PINT7[3:0]	Function	0xf	R/W	
					0xc–0x6	reserved			
					0x5	–			
					0x4	–			
					0x3	P37			
					0x2	P27			
					0x1	–			
					0x0	–			
		D3–0	–	reserved	–		X	R	

0x4600–0x462a

Real-time Clock

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
RTC Interrupt Status Register (RTC_INTSTAT)	0x4600 (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	RTCIHQ	Interrupt status	1 Occurred 0 Not occurred	X	R/W	Reset by writing 1.
RTC Interrupt Mode Register (RTC_INTMODE)	0x4601 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3–2	RTCT[1:0]	RTC interrupt cycle setup	RTCT[1:0] Cycle 0x3 1 hour 0x2 1 minute 0x1 1 second 0x0 1/64 second	X	R/W	
		D1	RTICMD	RTC interrupt mode select	1 Level sense 0 Edge trigger	X	R/W	
		D0	RTCIEN	RTC interrupt enable	1 Enable 0 Disable	X	R/W	
RTC Control 0 Register (RTC_CNTL0)	0x4602 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	RTC24H	24H/12H mode select	1 24H 0 12H	X	R/W	
		D3	–	reserved	–	–	–	0 when being read.
		D2	RTCADJ	30-second adjustment	1 Adjust 0 –	X	R/W	
		D1	RTCSTP	Counter run/stop control	1 Stop 0 Run	X	R/W	
		D0	RTCST	Software reset	1 Reset 0 –	X	R/W	
RTC Control 1 Register (RTC_CNTL1)	0x4603 (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1	RTCBSY	Counter busy flag	1 Busy 0 R/W possible	X	R	
		D0	RTCHLD	Counter hold control	1 Hold 0 Running	X	R/W	
RTC Second Register (RTC_SEC)	0x4614 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6–4	RTCSH[2:0]	RTC 10-second counter	0 to 5	X	R/W	
		D3–0	RTCSL[3:0]	RTC 1-second counter	0 to 9	X	R/W	
RTC Minute Register (RTC_MIN)	0x4615 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6–4	RTCMH[2:0]	RTC 10-minute counter	0 to 5	X	R/W	
		D3–0	RTCMIL[3:0]	RTC 1-minute counter	0 to 9	X	R/W	
RTC Hour Register (RTC_HOUR)	0x4616 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6	RTCAP	AM/PM indicator	1 PM 0 AM	X	R/W	
		D5–4	RTCHH[1:0]	RTC 10-hour counter	0 to 2 or 0 to 1	X	R/W	
		D3–0	RTCHL[3:0]	RTC 1-hour counter	0–9	X	R/W	
RTC Day Register (RTC_DAY)	0x4617 (8 bits)	D7–6	–	reserved	–	–	–	0 when being read.
		D5–4	RTCDH[1:0]	RTC 10-day counter	0 to 3	X	R/W	
		D3–0	RTCDL[3:0]	RTC 1-day counter	0 to 9	X	R/W	
RTC Month Register (RTC_MONTH)	0x4628 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	RTCMOH	RTC 10-month counter	0 to 1	X	R/W	
		D3–0	RTCMOL[3:0]	RTC 1-month counter	0 to 9	X	R/W	
RTC Year Register (RTC_YEAR)	0x4629 (8 bits)	D7–4	RTCYH[3:0]	RTC 10-year counter	0 to 9	X	R/W	
		D3–0	RTCYL[3:0]	RTC 1-year counter	0 to 9	X	R/W	
RTC Days of Week Register (RTC_WEEK)	0x462a (8 bits)	D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	RTCWK[2:0]	RTC days of week counter	RTCWK[2:0] Days of week 0x7 – 0x6 Saturday 0x5 Friday 0x4 Thursday 0x3 Wednesday 0x2 Tuesday 0x1 Monday 0x0 Sunday	X	R/W	

0x4800–0x4803

8-bit Programmable Timer CH.0

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PT8 CH.0 Input Clock Select Register (PT8_CLK0)	0x4800 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	PT8_EN	PT8 Clock Enable	1 Enable 0 Disable	0	R/W	
		D3–0	PT8_CLK [3:0]	PT8 clock division ratio selection (Prescaler output clock)	PT8_CLK[3:0] Clock 0xf–0xd reserved 0xc PT8_CLK•1/4096 0xb PT8_CLK•1/2048 0xa PT8_CLK•1/1024 0x9 PT8_CLK•1/512 0x8 PT8_CLK•1/256 0x7 PT8_CLK•1/128 0x6 PT8_CLK•1/64 0x5 PT8_CLK•1/32 0x4 PT8_CLK•1/16 0x3 PT8_CLK•1/8 0x2 PT8_CLK•1/4 0x1 PT8_CLK•1/2 0x0 PT8_CLK•1/1	0x0	R/W	
PT8 CH.0 Reload Data Register (PT8_RLD0)	0x4801 (8 bits)	D7–0	PT8_RLD [7:0]	8-bit programmable timer reload data PT8_RLD7 = MSB PT8_RLD0 = LSB	0 to 255	X	R/W	
PT8 CH.0 Counter Data Register (PT8_PTD0)	0x4802 (8 bits)	D7–0	PT8_PTD [7:0]	8-bit programmable timer counter data PT8_PTD7 = MSB PT8_PTD0 = LSB	0 to 255	X	R	
PT8 CH.0 Control Register (PT8_CTL0)	0x4803 (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1	PT8_PSET	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PT8_RUN	Timer run/stop control	1 Run 0 Stop	0	R/W	

0x4804–0x4807

8-bit Programmable Timer CH.1

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PT8 CH.1 Input Clock Select Register (PT8_CLK1)	0x4804 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	PT8_EN	PT8 Clock Enable	1 Enable 0 Disable	0	R/W	
		D3–0	PT8_CLK [3:0]	PT8 clock division ratio selection (Prescaler output clock)	PT8_CLK[3:0] Clock 0xf–0xd reserved 0xc PT8_CLK•1/4096 0xb PT8_CLK•1/2048 0xa PT8_CLK•1/1024 0x9 PT8_CLK•1/512 0x8 PT8_CLK•1/256 0x7 PT8_CLK•1/128 0x6 PT8_CLK•1/64 0x5 PT8_CLK•1/32 0x4 PT8_CLK•1/16 0x3 PT8_CLK•1/8 0x2 PT8_CLK•1/4 0x1 PT8_CLK•1/2 0x0 PT8_CLK•1/1	0x0	R/W	
PT8 CH.1 Reload Data Register (PT8_RLD1)	0x4805 (8 bits)	D7–0	PT8_RLD [7:0]	8-bit programmable timer reload data PT8_RLD7 = MSB PT8_RLD0 = LSB	0 to 255	X	R/W	
PT8 CH.1 Counter Data Register (PT8_PTD1)	0x4806 (8 bits)	D7–0	PT8_PTD [7:0]	8-bit programmable timer counter data PT8_PTD7 = MSB PT8_PTD0 = LSB	0 to 255	X	R	
PT8 CH.1 Control Register (PT8_CTL1)	0x4807 (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1	PT8_PSET	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PT8_RUN	Timer run/stop control	1 Run 0 Stop	0	R/W	

0x4808–0x480b

8-bit Programmable Timer CH.2

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PT8 CH.2 Input Clock Select Register (PT8_CLK2)	0x4808 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	PT8_EN	PT8 Clock Enable	1 Enable 0 Disable	0	R/W	
		D3–0	PT8_CLK [3:0]	PT8 clock division ratio selection (Prescaler output clock)	PT8_CLK[3:0] Clock 0xf–0xd reserved 0xc PT8_CLK•1/4096 0xb PT8_CLK•1/2048 0xa PT8_CLK•1/1024 0x9 PT8_CLK•1/512 0x8 PT8_CLK•1/256 0x7 PT8_CLK•1/128 0x6 PT8_CLK•1/64 0x5 PT8_CLK•1/32 0x4 PT8_CLK•1/16 0x3 PT8_CLK•1/8 0x2 PT8_CLK•1/4 0x1 PT8_CLK•1/2 0x0 PT8_CLK•1/1	0x0	R/W	
PT8 CH.2 Reload Data Register (PT8_RLD2)	0x4809 (8 bits)	D7–0	PT8_RLD [7:0]	8-bit programmable timer reload data PT8_RLD7 = MSB PT8_RLD0 = LSB	0 to 255	X	R/W	
PT8 CH.2 Counter Data Register (PT8_PTD2)	0x480a (8 bits)	D7–0	PT8_PTD [7:0]	8-bit programmable timer counter data PT8_PTD7 = MSB PT8_PTD0 = LSB	0 to 255	X	R	
PT8 CH.2 Control Register (PT8_CTL2)	0x480b (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1	PT8_PSET	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PT8_RUN	Timer run/stop control	1 Run 0 Stop	0	R/W	

0x480c–0x480f

8-bit Programmable Timer CH.3

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PT8 CH.3 Input Clock Select Register (PT8_CLK3)	0x480c (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	PT8_EN	PT8 Clock Enable	1 Enable 0 Disable	0	R/W	
		D3–0	PT8_CLK [3:0]	PT8 clock division ratio selection (Prescaler output clock)	PT8_CLK[3:0] Clock 0xf–0xd reserved 0xc PT8_CLK•1/4096 0xb PT8_CLK•1/2048 0xa PT8_CLK•1/1024 0x9 PT8_CLK•1/512 0x8 PT8_CLK•1/256 0x7 PT8_CLK•1/128 0x6 PT8_CLK•1/64 0x5 PT8_CLK•1/32 0x4 PT8_CLK•1/16 0x3 PT8_CLK•1/8 0x2 PT8_CLK•1/4 0x1 PT8_CLK•1/2 0x0 PT8_CLK•1/1	0x0	R/W	
PT8 CH.3 Reload Data Register (PT8_RLD3)	0x480d (8 bits)	D7–0	PT8_RLD [7:0]	8-bit programmable timer reload data PT8_RLD7 = MSB PT8_RLD0 = LSB	0 to 255	X	R/W	
PT8 CH.3 Counter Data Register (PT8_PTD3)	0x480e (8 bits)	D7–0	PT8_PTD [7:0]	8-bit programmable timer counter data PT8_PTD7 = MSB PT8_PTD0 = LSB	0 to 255	X	R	
PT8 CH.3 Control Register (PT8_CTL3)	0x480f (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1	PT8_PSET	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PT8_RUN	Timer run/stop control	1 Run 0 Stop	0	R/W	

0x4900–0x4920

Clock Management Unit

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
System Clock Control Register (CMU_SYCLKCTL)	0x4900 (8 bits)	D7	OSC3OFF	OSC3 disable during SLEEP	1 Stop 0 Run	0	R/W	
		D6	TMHSP	Wait-timer high-speed mode	1 High speed 0 Normal	0	R/W	
		D5	–	reserved	–	–	–	0 when being read.
		D4	WAKEUPWT	Wakeup-wait function enable	1 Wait interrupt 0 No wait	0	R/W	
		D3	–	reserved	–	–	–	0 when being read.
		D2	OSCSSEL	OSC clock selection	1 OSC1 0 OSC3	0	R/W	
		D1	SOSC3	OSC3 oscillator on/off	1 On 0 Off	1	R/W	
OSC3 Wait Timer Register (CMU_OSC3_WCNT)	0x4901 (8 bits)	D7–0	OSCTM[7:0]	OSC oscillation stabilization-wait timer	0–255	0x0	R/W	
Noise Filter Control Register (CMU_NF)	0x4902 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	DSINNF	DSIO input noise filter enable	1 Enable 0 Disable	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	INPORTNF	Input port noise filter enable	1 Disable 0 Enable	1	R/W	
OSC3 Clock Divider Register (CMU_OSC3DIV)	0x4903 (8 bits)	D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	OSC3DIV[2:0]	OSC3 clock divider selection	OSC3DIV[2:0] Divider 0x7 OSC3•1/1 0x6 OSC3•1/1 0x5 OSC3•1/32 0x4 OSC3•1/16 0x3 OSC3•1/8 0x2 OSC3•1/4 0x1 OSC3•1/2 0x0 OSC3•1/1	0x0	R/W	
CMU_CLK Select Register (CMU_CMUCLK)	0x4905 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3–0	CMU_CLKSEL[3:0]	CMU_CLK selection	CMU_CLKSEL[3:0] Clock source 0xf–0xa reserved 0x9 OSC3•1/32 0x8 OSC3•1/16 0x7 OSC3•1/8 0x6 OSC3•1/4 0x5 OSC3•1/2 0x4 OSC3•1/1 0x3 reserved 0x2 BCLK 0x1 OSC1 0x0 OSC3	0x0	R/W	
Gated Clock Control 0 Register (CMU_GATEDCLK0)	0x4906 (8 bits)	D7	ROMC_CLK_EN	ROMC clock control (in HALT mode)	1 On 0 Off	1	R/W	
		D6–1	–	reserved	–	–	–	0 when being read.
		D0	PCLK_EN	Core peripheral clock control	1 On 0 Off	1	R/W	
Gated Clock Control 1 Register (CMU_GATEDCLK1)	0x4907 (8 bits)	D7	SRAMC_CLK_EN	SRAMC clock control (in HALT mode)	1 On 0 Off	1	R/W	
		D6–4	–	reserved	–	–	–	0 when being read.
		D3	T8OSC1_CLK_EN	8-bit OSC1 timer clock control	1 On 0 Off	1	R/W	
		D2	–	reserved	–	–	–	0 when being read.
		D1	PT8_CLK_EN	8-bit programmable timer clock control	1 On 0 Off	1	R/W	
		D0	MFT_CLK_EN	Multi-function timer clock control		1	R/W	
Gated Clock Control 2 Register (CMU_GATEDCLK2)	0x4908 (8 bits)	D7–6	–	reserved	–	–	–	0 when being read.
		D5	SPI_CLK_EN	SPI CH.1 module clock control	1 On 0 Off	1	R/W	
		D4	REMC_CLK_EN	REMC module clock control		1	R/W	
		D3	ADC_CLK_EN	ADC module clock control		1	R/W	
		D2	WDT_CLK_EN	WDT module clock control		1	R/W	
		D1	PORT_CLK_EN	I/O port module clock control		1	R/W	
		D0	RTC_SAPB_CLK_EN	RTC SAPB I/F clock control		1	R/W	
CMU Write Protect Register (CMU_PROTECT)	0x4920 (8 bits)	D7–0	CLGP[7:0]	CMU register protect flag	Writing 10010110 (0x96) removes the write protection of the CMU registers (0x4900–0x4908). Writing another value set the write protection.	0x0	R/W	

0x4a00–0x4a04

8-bit OSC1 Timer CH.0

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
8-bit OSC1 Timer CH.0 Control Register (T8OSC1_ CTL0)	0x4a00 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	T8OSC1RST	Timer reset	1 Reset 0 Ignored	0	W	
		D3–2	–	reserved	–	–	–	
		D1	T8OSC1RMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D0	T8OSC1RUN	Timer run/stop control	1 Run 0 Stop	0	R/W	
8-bit OSC1 Timer CH.0 Counter Data Register (T8OSC1_ CNT0)	0x4a01 (8 bits)	D7–0	T8OSC1CNT [7:0]	Timer counter data T8OSC1CNT7 = MSB T8OSC1CNT0 = LSB	0x0 to 0xff	0x0	R	
8-bit OSC1 Timer CH.0 Compare Data Register (T8OSC1_ CMP0)	0x4a02 (8 bits)	D7–0	T8OSC1CMP [7:0]	Compare data T8OSC1CMP7 = MSB T8OSC1CMP0 = LSB	0x0 to 0xff	0x0	R/W	
8-bit OSC1 Timer CH.0 Interrupt Mask Register (T8OSC1_ IMSK0)	0x4a03 (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	T8OSC1IE	8-bit OSC1 timer interrupt enable	1 Enable 0 Disable	0	R/W	
8-bit OSC1 Timer CH.0 Interrupt Flag Register (T8OSC1_ IFLG0)	0x4a04 (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	T8OSC1IF	8-bit OSC1 timer interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

0x4b00–0x4b04

8-bit OSC1 Timer CH.1

Register name	Address	Bit	Name	Function	Setting			Init.	R/W	Remarks	
8-bit OSC1 Timer CH.1 Control Register (T8OSC1_ CTL1)	0x4b00 (8 bits)	D7–5	–	reserved	–			–	–	0 when being read.	
		D4	T8OSC1RST	Timer reset	1	Reset	0	Ignored	0		W
		D3–2	–	reserved	–			–	–		
		D1	T8OSC1RMD	Count mode select	1	One shot	0	Repeat	0	R/W	
		D0	T8OSC1RUN	Timer run/stop control	1	Run	0	Stop	0	R/W	
8-bit OSC1 Timer CH.1 Counter Data Register (T8OSC1_ CNT1)	0x4b01 (8 bits)	D7–0	T8OSC1CNT [7:0]	Timer counter data T8OSC1CNT7 = MSB T8OSC1CNT0 = LSB	0x0 to 0xff			0x0	R		
8-bit OSC1 Timer CH.1 Compare Data Register (T8OSC1_ CMP1)	0x4b02 (8 bits)	D7–0	T8OSC1CMP [7:0]	Compare data T8OSC1CMP7 = MSB T8OSC1CMP0 = LSB	0x0 to 0xff			0x0	R/W		
8-bit OSC1 Timer CH.1 Interrupt Mask Register (T8OSC1_ IMSK1)	0x4b03 (8 bits)	D7–1	–	reserved	–			–	–	0 when being read.	
		D0	T8OSC1IE	8-bit OSC1 timer interrupt enable	1	Enable	0	Disable	0	R/W	
8-bit OSC1 Timer CH.1 Interrupt Flag Register (T8OSC1_ IFLG1)	0x4b04 (8 bits)	D7–1	–	reserved	–			–	–	0 when being read.	
		D0	T8OSC1IF	8-bit OSC1 timer interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.

0x5018**SRAM Controller**

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
RTC Wait Control Register (RTC_WAIT)	0x5018 (16 bits)	D15–3	–	reserved	–		–	–	0 when being read.
		D2–0	RTC_WAIT [2:0]	RTC access wait cycle setup	RTC_WAIT[2:0]	Wait cycle	0x7	R/W	
					0x7	7 cycles			
					:	:			
					0x0	0 cycles			

0x5200–0x527e

Multi-Function Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
MFT Counter Data Register (MFT_TC)	0x5200 (16 bits)	D15–0	TC[15:0]	Counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0x0	R/W	
MFT Period Data Register (MFT_PRD)	0x5202 (16 bits)	D15–0	PRD[15:0]	Period data PRD15 = MSB PRD0 = LSB	0x0 to 0xffff	0x0	R/W	
MFT Compare Data Register (MFT_CMP)	0x5204 (16 bits)	D15–0	CR[15:0]	Compare data CR15 = MSB CR0 = LSB	0x0 to 0xffff	0x0	R/W	
MFT Control Register (MFT_CTL)	0x5206 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11	TPSON	Clock control	1 On 0 Off	0	R/W	
		D10–8	TPS[2:0]	Clock division ratio selection (Prescaler output clock)	TPS[2:0] 0x7 MFT_CLK•1/128 0x6 MFT_CLK•1/64 0x5 MFT_CLK•1/32 0x4 MFT_CLK•1/16 0x3 MFT_CLK•1/8 0x2 MFT_CLK•1/4 0x1 MFT_CLK•1/2 0x0 MFT_CLK•1/1	0x0	R/W	
		D7	BUFEN	Comparison/period buffer enable	1 Enable 0 Disable	0	R/W	
		D6	–	reserved	–	–	–	0 when being read.
		D5	TCKS	Input clock selection	1 External 0 Internal	0	R/W	
		D4–2	–	reserved	–	–	–	0 when being read.
		D1	PRST	Timer reset	1 Reset 0 Ignored	0	W	
		D0	TMEN	Timer run/stop control	1 Run 0 Stop	0	R/W	
		D15–7	–	reserved	–	–	–	0 when being read.
		D6	APIL	ADC protection input selection	1 Lower limit 0 Upper limit	0	R/W	
MFT Input/Output Control Register (MFT_IOCTL)	0x521e (16 bits)	D5	PPIL	Port protection input level selection	1 Low level 0 High level	0	R/W	
		D4	IQA	Port protection input noise filter	1 12 clocks 0 6 clocks	0	R/W	
		D3	–	reserved	–	–	–	0 when being read.
		D2	PTM	Clock output enable	1 Enable 0 Disable	0	R/W	
		D1	INITOL	Initial output level	1 High 0 Low	0	R/W	
		D0	OINV	Inverse output	1 Invert 0 Normal	0	R/W	
		D15–4	–	reserved	–	–	–	0 when being read.
MFT Interrupt Enable Register (MFT_IE)	0x5230 (16 bits)	D3	CMPIE	Compare-match interrupt enable	1 Enable 0 Disable	0	R/W	
		D2	PRDIE	Period-match interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	APIE	ADC protection interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	PPIE	Port protection interrupt enable	1 Enable 0 Disable	0	R/W	
		D15–7	–	reserved	–	–	–	0 when being read.
MFT Interrupt Flag Register (MFT_IF)	0x5238 (16 bits)	D3	CMPIF	Compare-match interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D2	PRDIF	Period-match interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	
		D1	APIF	ADC protection interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	
		D0	PPIF	Port protection interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	
MFT Test Register (MFT_TST)	0x527e (16 bits)	D15–7	–	reserved	–	–	–	0 when being read.
		D6	DBGMD	MFT operation in debug mode	1 Stop 0 Run	0	R/W	
		D5–3	–	reserved	–	–	–	0 when being read.
		D2–0	–	reserved	0x7	0x7	–	Fix at 0x7.

0x5400–0x5410

Remote Controller

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
REMC Prescaler Control Register (REMC_PSC)	0x5400 (16 bits)	D15–3	–	reserved	–				–	–	0 when being read.
		D2	REMPSON	REMC prescaler control	1 On	0 Off	0	R/W			
		D1–0	REMPSDIV [1:0]	REMC prescaler division ratio select (Prescaler output clock)	REMPSDIV[1:0] Clock		0x0	R/W			
					0x3	PCLK•1/32	0x0				
					0x2	PCLK•1/24					
0x1	PCLK•1/16										
0x0	PCLK•1/12										
REMC Configuration Register (REMC_CFG)	0x5404 (16 bits)	D15–8	–	reserved	–				–	–	0 when being read.
		D7	MODE	REMC mode select	1 Receive	0 Transmit	0	R/W	Reset by writing 1.		
		D6	RIF	Rising edge interrupt flag	1 Cause of interrupt occurred	0 Cause of interrupt not occurred	0	R/W			
		D5	FIF	Falling edge interrupt flag			0	R/W			
		D4	UIF	Underflow interrupt flag			0	R/W			
		D3	–	reserved	–				–	–	0 when being read.
		D2	RIE	Rising edge interrupt enable	1 Enable	0 Disable	0	R/W	0 when being read.		
		D1	FIE	Falling edge interrupt enable	1 Enable	0 Disable	0	R/W			
		D0	UIE	Underflow interrupt enable	1 Enable	0 Disable	0	R/W			
REMC Control Register (REMC_CTL)	0x5408 (16 bits)	D15–1	–	reserved	–				–	–	0 when being read.
		D0	REMST	REMC start/stop control	1 Start	0 Stop	0	R/W			
REMC Carrier Load Register (REMC_CARL)	0x540c (16 bits)	D15–8	CLDH[7:0]	REMC carrier high width setup	0x0 to 0xff				0x0	R/W	
		D7–0	CLDL[7:0]	REMC carrier low width setup	0x0 to 0xff				0x0	R/W	
REMC Envelope Load Register (REMC_ENVL)	0x540e (16 bits)	D15–0	ELD[15:0]	Envelope counter preset data	0x0 to 0xffff				0x0	R/W	
REMC Envelope Capture Register (REMC_ENVC)	0x5410 (16 bits)	D15–0	ECP[15:0]	Receive envelope pulse width	0x0 to 0xffff				0x0	R	

0x5520–0x555a

A/D Converter

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
A/D Clock Control Register (AD_CLKCTL)	0x5520 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3	PSONAD	A/D converter clock control	1 On 0 Off	0	R/W	
		D2–0	PSAD[2:0]	A/D converter clock division ratio selection	PSAD[2:0] A/D clock 0x7 PCLK•1/256 0x6 PCLK•1/128 0x5 PCLK•1/64 0x4 PCLK•1/32 0x3 PCLK•1/16 0x2 PCLK•1/8 0x1 PCLK•1/4 0x0 PCLK•1/2	0x0	R/W	
A/D Conversion Result Register (AD_DAT)	0x5540 (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.
		D9–0	ADD[9:0]	A/D converted data ADD9 = MSB ADD0 = LSB	0x0 to 0x3ff	0x0	R	
A/D Trigger/ Channel Select Register (AD_TRIG_CH)	0x5542 (16 bits)	D15–14	–	reserved	–	–	–	0 when being read.
		D13–11	CE[2:0]	A/D converter end channel selection	0 to 3	0x0	R/W	
		D10–8	CS[2:0]	A/D converter start channel selection	0 to 3	0x0	R/W	
		D7–6	–	reserved	–	–	–	0 when being read.
		D5	MS	A/D conversion mode selection	1 Continuous 0 Normal	0	R/W	
		D4–3	TS[1:0]	A/D conversion trigger selection	TS[1:0] Trigger 0x3 #ADTRG pin 0x2 PT8 CH.0 0x1 MFT 0x0 Software	0x0	R/W	
		D2–0	CH[2:0]	A/D conversion channel status	0 to 3	0x0	R	
A/D Control/ Status Register (AD_CTL)	0x5544 (16 bits)	D15	ADCMPPE	Upper/lower-limit comparison enable	1 Enable 0 Disable	0	R/W	Can be used when ADCADV = 1.
		D14–12	ADCMP[2:0]	Upper/lower-limit comparison channel selection	0 to 3	0x0	R/W	
		D11	ADUPRST	Upper-limit comparison status	1 Out of range 0 Within range	0	R	
		D10	ADLWRST	Lower-limit comparison status	1 Out of range 0 Within range	0	R	
		D9–8	ST[1:0]	Input signal sampling time setup	ST[1:0] Sampling time 0x3 9 clocks 0x2 7 clocks 0x1 5 clocks 0x0 3 clocks	0x3	R/W	Use with 9 clocks.
		D7	–	reserved	–	–	–	0 when being read.
		D6	INTMODE	Interrupt signal mode	1 Complete only 0 OR	0	R/W	Can be used when ADCADV = 1.
		D5	CMPINTEN	Out-of-range int. enable	1 Enable 0 Disable	0	R/W	
		D4	CNVINTEN	Conversion-complete int. enable	1 Enable 0 Disable	1	R/W	Can be changed when ADCADV = 1.
		D3	ADF	Conversion-complete flag	1 Completed 0 Run/Stand-by	0	R	Reset when ADD is read.
		D2	ADE	A/D enable	1 Enable 0 Disable	0	R/W	
		D1	ADST	A/D conversion control/status	1 Start/Run 0 Stop	0	R/W	
		D0	OWE	Overwrite error flag	1 Error 0 Normal	0	R/W	Reset by writing 0.
A/D Channel Status Flag Register (AD_CH_STAT)	0x5546 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11	OWE3	CH.3 overwrite error flag	1 Error 0 Normal	0	R/W	Can be used when ADCADV = 1.
		D10	OWE2	CH.2 overwrite error flag		0	R/W	Reset by writing 0.
		D9	OWE1	CH.1 overwrite error flag		0	R/W	
		D8	OWE0	CH.0 overwrite error flag		0	R/W	
		D7–4	–	reserved	–	–	–	0 when being read.
		D3	ADF3	CH.3 conversion-complete flag	1 Completed 0 Run/Stand-by	0	R	Can be used when ADCADV = 1.
		D2	ADF2	CH.2 conversion-complete flag		0	R	Reset when ADxBUF [9:0] is read.
		D1	ADF1	CH.1 conversion-complete flag		0	R	
		D0	ADF0	CH.0 conversion-complete flag		0	R	
A/D CH.x Conversion Result Buffer Register (AD_CHx_BUF)	0x5548 0x554e (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.
		D9–0	ADxBUF [9:0]	A/D CH.x converted data ADxBUF9 = MSB ADxBUF0 = LSB	0x0 to 0x3ff	0x0	R	Can be used when ADCADV = 1.
A/D Upper Limit Value Register (AD_UPPER)	0x5558 (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.
		D9–0	ADUPR[9:0]	A/D conversion upper limit value ADUPR9 = MSB ADUPR0 = LSB	0x0 to 0x3ff	0x0	R/W	Can be used when ADCADV = 1.
A/D Lower Limit Value Register (AD_LOWER)	0x555a (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.
		D9–0	ADLWR [9:0]	A/D conversion lower limit value ADLWR9 = MSB ADLWR0 = LSB	0x0 to 0x3ff	0x0	R/W	Can be used when ADCADV = 1.

0x555c–0x555e

A/D Converter

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
A/D Conversion Complete Interrupt Mask Register (AD_INTMASK)	0x555c (16 bits)	D15–4	–	reserved	–		–	–	0 when being read.
		D3	INTMASK3	CH.3 conversion-complete int. mask	1 Interrupt enabled	0 Interrupt mask	1	R/W	Can be used when ADCADV = 1.
		D2	INTMASK2	CH.2 conversion-complete int. mask			1	R/W	
		D1	INTMASK1	CH.1 conversion-complete int. mask			1	R/W	
		D0	INTMASK0	CH.0 conversion-complete int. mask			1	R/W	
A/D Converter Mode Select/ Internal Status Register (AD_ADVMODE)	0x555e (16 bits)	D15–9	–	reserved	–		–	–	0 when being read.
		D8	ADCADV	Standard/advanced mode selection	1 Advanced	0 Standard	0	R/W	
		D7–6	–	reserved	–		–	–	0 when being read.
		D5–4	ISTATE[1:0]	Internal status	ISTATE[1:0] Status		0x0	R	
					0x3	Converting			
					0x2	reserved			
					0x1	Sampling			
			0x0	Idle					
D3–0	ICOUNTER [3:0]	Internal counter value	0 to 15		0x0	R			

0x5660–0x566c

Watchdog Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
WDT Write Protect Register (WD_WP)	0x5660 (16 bits)	D15–0	WDPTC [15:0]	WDT register write protect flag	Writing 0x96 removes the write protection of the WD_EN, WD_CMP_L, and WD_CMP_H registers (0x5662–0x5666). Writing another value set the write protection.	X	W	0 when being read.
WDT Enable and Setup Register (WD_EN)	0x5662 (16 bits)	D15–7	–	reserved	–	–	–	0 when being read.
		D6	CLKSEL	WDT input clock select	1 External clk 0 Internal clk	0	R/W	
		D5	CLKEN	WDT clock output control	1 On 0 Off	0	R/W	
		D4	RUNSTP	WDT Run/Stop control	1 Run 0 Stop	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	NMIEN	WDT NMI enable	1 Enable 0 Disable	0	R/W	
		D0	RESEN	WDT RESET enable	1 Enable 0 Disable	0	R/W	
WDT Comparison Data L Register (WD_CMP_L)	0x5664 (16 bits)	D15–0	CMPDT [15:0]	WDT comparison data CMPDT0 = LSB	0x0 to 0x3ffffff (low-order 16 bits)	0x0	R/W	
WDT Comparison Data H Register (WD_CMP_H)	0x5666 (16 bits)	D15–14	–	reserved	–	–	–	0 when being read.
		D13–0	CMPDT [29:16]	WDT comparison data CMPDT29 = MSB	0x0 to 0x3ffffff (high-order 14 bits)	0x0	R/W	
WDT Count Data L Register (WD_CNT_L)	0x5668 (16 bits)	D15–0	CTRDT [15:0]	WDT counter data CTRDT0 = LSB	0x0 to 0x3ffffff (low-order 16 bits)	X	R	
WDT Count Data H Register (WD_CNT_H)	0x566a (16 bits)	D15–14	–	reserved	–	–	–	0 when being read.
		D13–0	CTRDT [29:16]	WDT counter data CTRDT29 = MSB	0x0 to 0x3ffffff (high-order 14 bits)	X	R	
WDT Control Register (WD_CTL)	0x566c (16 bits)	D15–1	–	reserved	–	–	–	0 when being read.
		D0	WDRESEN	WDT reset	1 Reset 0 Ignored	0	W	

0x5700–0x5708

Extended SPI

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI CH.1 Status Register (SPI_ST1)	0x5700 (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.
		D2	SPBSY	Transfer busy flag (master)	1 Busy 0 Idle	0	R	
				ss signal low flag (slave)	1 ss = L 0 ss = H			
		D1	SPRBF	Receive data buffer full flag	1 Full 0 Not full	0	R	
		D0	SPTBE	Transmit data buffer empty flag	1 Empty 0 Not empty	1	R	
SPI CH.1 Transmit Data Register (SPI_TXD1)	0x5702 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SPTDB[7:0]	SPI CH.1 transmit data buffer SPTDB7 = MSB SPTDB0 = LSB	0x0 to 0xff	0x0	R/W	
SPI CH.1 Receive Data Register (SPI_RXD1)	0x5704 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SPRDB[7:0]	SPI CH.1 receive data buffer SPRDB7 = MSB SPRDB0 = LSB	0x0 to 0xff	0x0	R	
SPI CH.1 Control Register (SPI_CTL1)	0x5706 (16 bits)	D15–6	–	reserved	–	–	–	0 when being read.
		D5	SPRIE	Receive data buffer full int. enable	1 Enable 0 Disable	0	R/W	
		D4	SPTIE	Transmit data buffer empty int. enable	1 Enable 0 Disable	0	R/W	
		D3	CPHA	Clock phase select	1 Data out 0 Data in	0	R/W	These bits must be set before setting SPEN to 1.
		D2	CPOL	Clock polarity select	1 Active L 0 Active H	0	R/W	
		D1	MSSL	Master/slave mode select	1 Master 0 Slave	0	R/W	
		D0	SPEN	SPI CH.1 enable	1 Enable 0 Disable	0	R/W	
SPI CH.1 Clock Control Register (SPI_CLK1)	0x5708 (16 bits)	D15–5	–	reserved	–	–	–	0 when being read.
		D4	SPI_CKE	SPI CH.1 clock enable	1 Enable 0 Disable	0	R/W	
		D3–0	SPI_CLK [3:0]	SPI CH.1 clock division ratio selection (Prescaler output clock)	SPI_CLK[3:0] Clock 0xf–0xd reserved 0xc PCLK•1/4096 0xb PCLK•1/2048 0xa PCLK•1/1024 0x9 PCLK•1/512 0x8 PCLK•1/256 0x7 PCLK•1/128 0x6 PCLK•1/64 0x5 PCLK•1/32 0x4 PCLK•1/16 0x3 PCLK•1/8 0x2 PCLK•1/4 0x1 PCLK•1/2 0x0 PCLK•1/1	0x0	R/W	

0x5804–0x5816

ROM Controller

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
ROMC Wait Register (ROMC_WAIT)	0x5804 (16 bits)	D15–3	–	reserved	–	–	–	0 when being read.
		D2–0	ROM_WAIT[2:0]	ROM read access wait cycle setup	ROM_WAIT[2:0] Wait cycle	0x7	R/W	
					0x7 7 cycles : : 0x0 0 cycles			
ROMC Protect Register (ROMC_PRT)	0x5810 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	ROMC_PRT[7:0]	ROMC register protect flag	Writing 10010110 (0x96) removes the write protection of the Trap Table Base Registers (0x5814–0x5816). Writing another value set the write protection.	0x0	R/W	
Vector Table Base Register 0 (TTBR_LOW)	0x5814 (16 bits)	D15–8	TTBR[15:8]	Vector table base address A[15:8]	0x0–0xff	0x0	R/W	
		D7–0	TTBR[7:0]	Vector table base address A[7:0] (fixed at 0)	0x0	0x0	R	
Vector Table Base Register 1 (TTBR_HIGH)	0x5816 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TTBR[23:16]	Vector table base address A[23:16]	0x0–0xff	0x2	R/W	

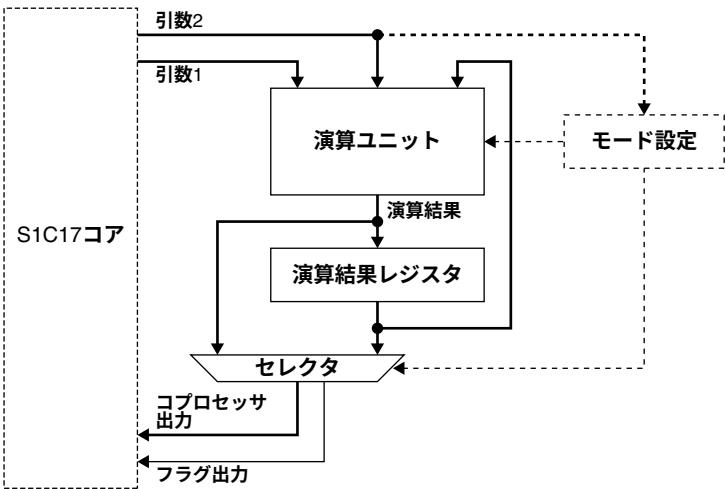
0xffff90**S1C17 Core I/O**

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Debug RAM Base Register (DBRAM)	0xffff90 (32 bits)	D31–24	–	Unused (fixed at 0)	0x0	0x0	R	
		D23–0	DBRAM[23:0]	Debug RAM base address	0x0	0x0	R	

Appendix B 乗除算器

B.1 概要

S1C17002は、符号付き/符号なし16 × 16ビット乗算機能、16 ÷ 16ビット除算機能、オーバーフロー検出が可能な符号付き16 × 16ビット + 32ビットMAC(積和演算)機能を提供するコプロセッサを内蔵しています。
ここでは、これらの機能の使用方法について説明します。



図B.1.1 乗除算器ブロック図

表B.1.1 演算サイクル数

演算	サイクル数
乗算	1サイクル
MAC演算	1サイクル
除算	17～20サイクル

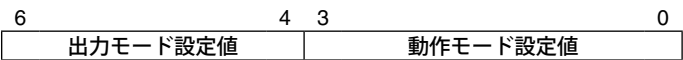
B.2 動作モードと出力モード

乗除算器はアプリケーションプログラムによって指定される動作モードに従って動作します。表B.2.1に示すとおり、乗除算器は9種類の動作に対応しています。

乗算、除算、MACの演算結果は32ビットデータです。このため、S1C17コアは1回のアクセスで結果を読み出すことができません。出力モードは、乗除算器から演算結果の上位16ビットを読み出すか、下位16ビットを読み出すかを指定するために用意されています。

動作モードと出力モードは、7ビットのデータを乗除算器内のモード設定レジスタに書き込むことにより指定します。書き込みには“ld.cw”命令を使用してください。

```
ld.cw  %rd,%rs      %rs[6:0]がモード設定レジスタに書き込まれます。（%rd: 未使用）
ld.cw  %rd,imm7      imm7[6:0]がモード設定レジスタに書き込まれます。（%rd: 未使用）
```



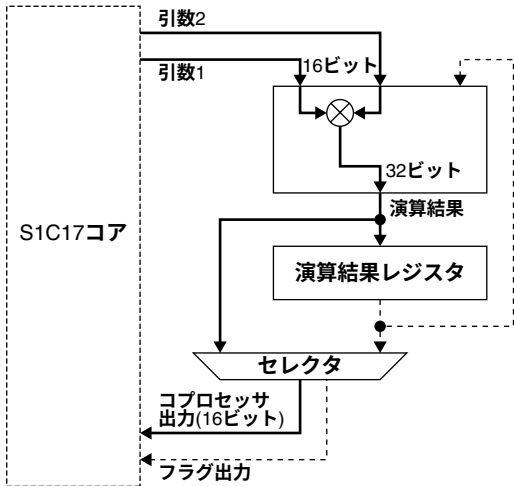
図B.2.1 モード設定レジスタ

表B.2.1 モード設定

設定値 (D[6:4])	出力モード	設定値 (D[3:0])	動作モード
0x0	下位16ビット出力モード コプロセッサ出力として、演算結果の下位16ビットが読み出せます。	0x0	初期化モード0 演算結果レジスタを0x0にクリアします。
0x1	上位16ビット出力モード コプロセッサ出力として、演算結果の上位16ビットが読み出せます。	0x1	初期化モード1 演算用の16ビット被加数を演算結果レジスタの下位16ビットにロードします。
0x2～0x7	Reserved	0x2	初期化モード2 演算用の32ビット被加数を演算結果レジスタにロードします。
		0x3	演算結果読み出しモード 演算は行わずに、演算結果レジスタのデータを出力します。
		0x4	符号なし乗算モード 符号なし乗算を実行します。
		0x5	符号付き乗算モード 符号付き乗算を実行します。
		0x6	Reserved
		0x7	符号付きMACモード 符号付きMAC演算を実行します。
		0x8	符号なし除算モード 符号なし除算を実行します。
		0x9	符号付き除算モード 符号付き除算を実行します。
		0xa～0xf	Reserved

B.3 乗算

乗算機能は、“ $A(32\text{ビット}) = B(16\text{ビット}) \times C(16\text{ビット})$ ”を実行します。
乗算を実行するには、動作モードを0x4(符号なし乗算)または0x5(符号付き乗算)に設定します。その後、16ビット被乗数(B)と16ビット乗数(C)を、“ld.ca”命令を使用して乗除算器に転送します。演算結果の1/2(出力モードに従った16ビット、A[15:0]またはA[31:16])とフラグの状態がCPUレジスタに返ります。演算結果の残りの1/2は、乗除算器を演算結果読み出しモードに設定して読み出します。



図B.3.1 乗算モードのデータ経路

表B.3.1 乗算モードの動作

モード 設定値	命令	動作	フラグ	備考
0x04 または 0x05	ld.ca %rd,%rs	res[31:0] ← %rd × %rs %rd ← res[15:0]	psr (CVZN) ← 0b0000	演算結果レジスタは他の演算によって書き込みが行われるまで、演算結果を保持します。
	(ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd × imm7/16 %rd ← res[15:0]		
0x14 または 0x15	ld.ca %rd,%rs	res[31:0] ← %rd × %rs %rd ← res[31:16]		
	(ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd × imm7/16 %rd ← res[31:16]		

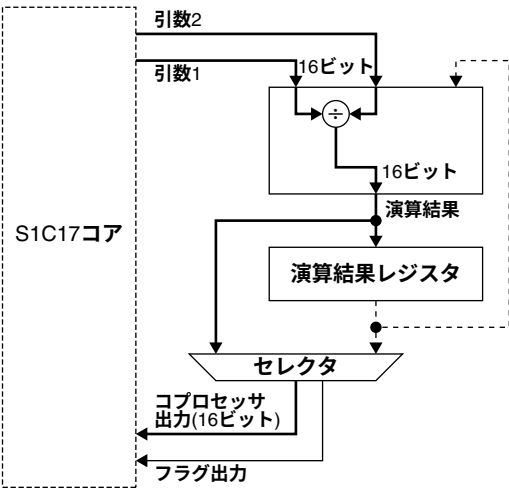
res: 演算結果レジスタ

例:

```
ld.cw %r0,0x4 ; モード設定(符号なし乗算モード & 下位16ビット出力モード)
ld.ca %r0,%r1 ; “res = %r0 × %r1”を実行し、結果の下位16ビットを%r0レジスタにロード
ld.cw %r0,0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード)
ld.ca %r1,%r0 ; 結果の上位16ビットを%r1レジスタにロード
```

B.4 除算

除算機能は、“ $A(16\text{ビット}) = B(16\text{ビット}) \div C(16\text{ビット})$, $D(16\text{ビット}) = \text{余り}$ ”を実行します。除算を実行するには、動作モードを0x8(符号なし除算)または0x9(符号付き除算)に設定します。その後、16ビット被除数(B)と16ビット除数(C)を、“ld.ca”命令を使用して乗除算器に転送します。商が演算結果レジスタの下位16ビットに、余りが上位16ビットに入ります。演算が終了すると、出力モードで指定した商または余りの16ビットとフラグの状態がCPUレジスタに戻ります。演算結果の残りの16ビットは、乗除算器を演算結果読み出しモードに設定して読み出します。



図B.4.1 除算モードのデータ経路

表B.4.1 除算モードの動作

モード 設定値	命令	動作	フラグ	備考
0x08 または 0x09	ld.ca %rd,%rs	$\text{res}[31:0] \leftarrow \%rd \div \%rs$ $\%rd \leftarrow \text{res}[15:0](\text{商})$	psr (CVZN) $\leftarrow 0b0000$	演算結果レジスタは他の演算によって書き込みが行われるまで、演算結果を保持します。
	(ext imm9) ld.ca %rd,imm7	$\text{res}[31:0] \leftarrow \%rd \div \text{imm}7/16$ $\%rd \leftarrow \text{res}[15:0](\text{商})$		
0x18 または 0x19	ld.ca %rd,%rs	$\text{res}[31:0] \leftarrow \%rd \div \%rs$ $\%rd \leftarrow \text{res}[31:16](\text{余り})$		
	(ext imm9) ld.ca %rd,imm7	$\text{res}[31:0] \leftarrow \%rd \div \text{imm}7/16$ $\%rd \leftarrow \text{res}[31:16](\text{余り})$		

res: 演算結果レジスタ

例:

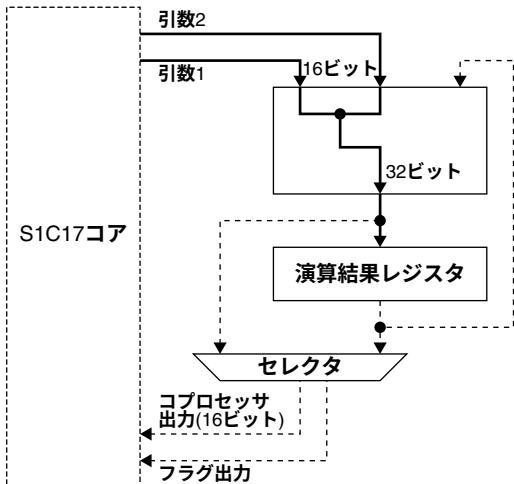
```
ld.cw %r0,0x8 ; モード設定(符号なし除算モード & 下位16ビット出力モード)
ld.ca %r0,%r1 ; “res = %r0 ÷ %r1”を実行し、結果の下位16ビット(商)を%r0レジスタにロード
ld.cw %r0,0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード)
ld.ca %r1,%r0 ; 結果の上位16ビット(余り)を%r1レジスタにロード
```

AP

Multi

B.5 MAC

MAC(積和演算)機能は、“A(32ビット) = B(16ビット) × C(16ビット) + A(32ビット)”を実行します。MAC演算を実行する前に初期値(A)を演算結果レジスタに設定しておく必要があります。演算結果レジスタをクリアするには(A = 0)、動作モードを0x0に設定します。別の命令で乗除算器に0x0を送る必要はありません。16ビット値または32ビット値を演算結果レジスタにロードするには、動作モードを0x1(16ビット)または0x2(32ビット)に設定します。その後、“ld.cf”命令で初期値を乗除算器に送ります。



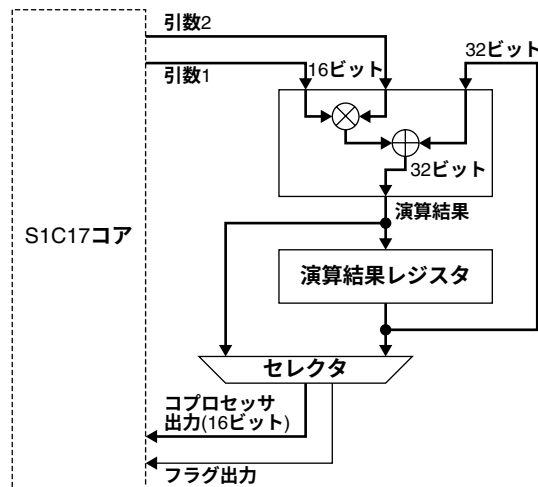
図B.5.1 初期化モード時のデータ経路

表B.5.1 演算結果レジスタの初期化

モード 設定値	命令	動作	備考
0x0	—	res[31:0] ← 0x0	動作モードの設定のみ(データの送信なし)で初期化を行います。
0x1	ld.cf %rd,%rs	res[31:16] ← 0x0 res[15:0] ← %rs	
	(ext imm9) ld.cf %rd,imm7	res[31:16] ← 0x0 res[15:0] ← imm7/16	
0x2	ld.cf %rd,%rs	res[31:16] ← %rd res[15:0] ← %rs	
	(ext imm9) ld.cf %rd,imm7	res[31:16] ← %rd res[15:0] ← imm7/16	

res: 演算結果レジスタ

MAC演算を実行するには、動作モードを0x7(符号付きMAC)に設定します。その後、16ビット被乗数(B)と16ビット乗数(C)を、“ld.ca”命令を使用して乗除算器に転送します。演算結果の1/2(出力モードに従った16ビット、A[15:0]またはA[31:16])とフラグの状態がCPUレジスタに返ります。演算結果の残りの1/2は、乗除算器を演算結果読み出しモードに設定して読み出します。演算結果により、PSRのオーバーフローフラグ(V)が1にセットされます。その他のフラグは0にクリアされます。演算結果読み出しモードに移行せずにMAC演算を継続する場合は、被乗数と乗数を必要な回数分送ります。この場合、データ送信のたびにMACモードに設定する必要はありません。



図B.5.2 MACモード時のデータ経路

表B.5.2 MACモードの動作

モード 設定値	命令	動作	フラグ	備考
0x07	ld.ca %rd,%rs	res[31:0] ← %rd × %rs + res[31:0] %rd ← res[15:0]	オーバーフローが発生 した場合 psr (CVZN) ← 0b0100	演算結果レジスタは 他の演算によって再 書き込みが行われる まで、演算結果を保持 します。
	(ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd × imm7/16 + res[31:0] %rd ← res[15:0]		
0x17	ld.ca %rd,%rs	res[31:0] ← %rd × %rs + res[31:0] %rd ← res[31:16]	それ以外 psr (CVZN) ← 0b0000	
	(ext imm9) ld.ca %rd,imm7	res[31:0] ← %rd × imm7/16 + res[31:0] %rd ← res[31:16]		

res: 演算結果レジスタ

例:

```
ld.cw %r0,0x7 ; モード設定(符号付きMACモード & 下位16ビット出力モード)
ld.ca %r0,%r1 ; “res = %r0 × %r1 + res”を実行し、結果の下位16ビットを%r0レジスタにロード
ld.cw %r0,0x13 ; モード設定(演算結果読み出しモード & 上位16ビット出力モード)
ld.ca %r1,%r0 ; 結果の上位16ビットを%r1レジスタにロード
```

オーバーフローフラグ(V)のセット条件

MAC演算で乗算結果の符号、演算結果レジスタの符号、および 演算結果の符号が以下の条件に合うとオーバーフローが発生し、オーバーフローフラグ(V)が1にセットされます。

表B.5.3 オーバーフローフラグ(V)のセット条件

モード設定値	乗算結果の符号	演算結果レジスタの符号	演算結果の符号
0x07	0(正)	0(正)	1(負)
0x07	1(負)	1(負)	0(正)

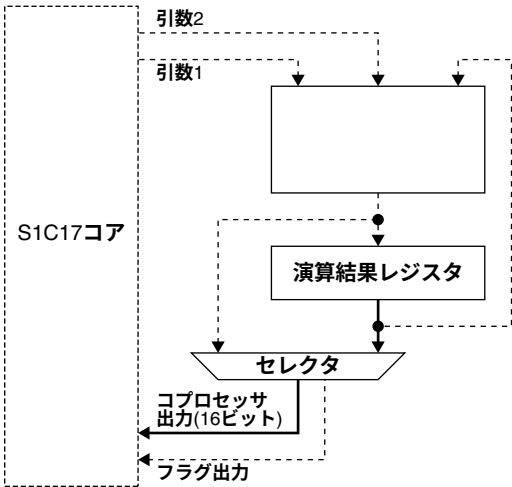
MAC演算で正と正の加算を行い、結果が負になる場合、または負と負の加算を行い、結果が正になる場合にオーバーフローが発生します。オーバーフローフラグ(V)がクリアされるまで、結果はコプロセッサ内に保持されます。

オーバーフローフラグ(V)のクリア条件

セットされたオーバーフローフラグ(V)は、MAC演算のために“ld.ca”命令を実行し、オーバーフローが発生しなかった場合、あるいは演算結果読み出しモード以外で“ld.ca”命令または“ld.cf”命令を実行した場合にクリアされます。

B.6 演算結果の読み出し

“ld.ca”命令は32ビットの演算結果をCPUレジスタにロードできません。このため、乗算とMAC演算は演算結果の1/2(出力モードに従った16ビット、A[15:0]またはA[31:16])とフラグの状態をCPUレジスタに返します。演算結果の残りの1/2は、乗除算器を演算結果読み出しモードに設定して読み出します。演算結果レジスタは他の演算によって再書き込みが行われるまで、演算結果を保持します。



図B.6.1 演算結果読み出しモードのデータ経路

表B.6.1 演算結果読み出しモードの動作

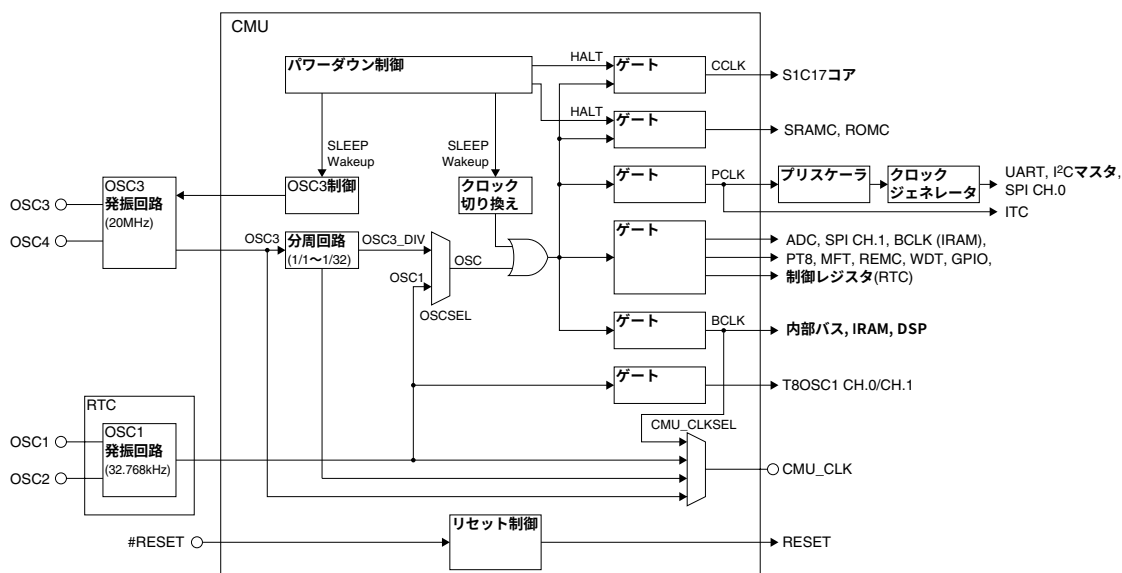
モード 設定値	命令	動作	フラグ	備考
0x03	ld.ca %rd,%rs	%rd ← res[15:0]	psr (CVZN) ← 0b0000	この動作モードは演算結果レジスタに影響を与えません。
	ld.ca %rd,imm7	%rd ← res[15:0]		
0x13	ld.ca %rd,%rs	%rd ← res[31:16]		
	ld.ca %rd,imm7	%rd ← res[31:16]		

res: 演算結果レジスタ

Appendix C パワーセーブ

消費電流はCPUの動作モード、動作クロック周波数、動作させる周辺回路により大きく変わります。以下に、省電力化のための制御方法をまとめます。

図C.1にS1C17002のクロックシステムを示します。



図C.1 クロックシステム

ソフトウェアによって制御可能なクロック系とパワーセーブのための制御内容を以下に示します。制御レジスタや制御方法の詳細については、それぞれのモジュールの章を参照してください。

システムのスリープ(全クロックの停止)

- **slp命令の実行**
システム全体を停止可能な場合は、slp命令を実行します。CPUは動作を停止し、CMUによる周辺回路へのクロック供給も停止します(詳細はII.2.6節参照)。これにより、OSC1発振回路とRTCを除き、周辺回路はすべて停止します。
OSC3発振回路は、OSC3OFF(D7/CMU_SYSCCLKCTLレジスタ)が1に設定されていると、SLEEPモード時に発振を停止します。
CPUは、イニシャルリセット、RTC割り込み(レベルトリガ)、または外部デバイスからの割り込み(レベルトリガのポート入力割り込み)によってSLEEPモード(WAKEUPWT(D4/CMU_SYSCCLKCTLレジスタ)=1の場合)から再起動します。
* **OSC3OFF**: OSC3 Disable During SLEEP Bit in the System Clock Control (CMU_SYSCCLKCTL) Register (D7/0x4900)
* **WAKEUPWT**: Wakeup-Wait Function Enable Bit in the System Clock Control (CMU_SYSCCLKCTL) Register (D4/0x4900)

システムクロック

- クロック源の選択(CMUモジュール)
システムクロック源をOSC3とするかOSC1とするか選択できます。低速動作で処理可能な際にはOSC1クロックを選択することで消費電流を低減できます。
- OSC3発振回路の停止(CMUモジュール)
システムクロック源としている発振回路を動作させ、可能であればもう一方を停止します。OSC1をシステムクロックとし、OSC3発振回路を停止することで、消費電流をより低減できます。
- 低速クロックギアの選択(CMUモジュール)
CMUモジュールは、クロックギアの設定により、システムクロックをOSC3クロックの1/1~1/32に減速することができます。アプリケーションに必要な最低限の速度でCPUを動作させることにより、消費電流を低減できます。

CPUクロック(CCLK)

- **halt命令の実行**
表示のみ必要な場合や割り込み待ちなど、CPUによるプログラムの実行が不要な場合は、halt命令を実行します。CPUはHALTモードとなり動作を停止しますが、周辺回路はhalt命令実行時の状態を維持します。このため、割り込みに使用する周辺回路を動作させておくことができます。また、不要な発振回路と周辺回路を停止してからhalt命令を実行することで、パワーセーブの効果は高まります。HALTモードからは、ポートまたはHALTモード時に動作させている周辺回路からの割り込みによりCPUが起動します。

周辺クロック

- 周辺クロックの停止(CMU、CLG、PSCモジュール)
周辺回路の動作が不要な場合は、以下の周辺クロックの供給を停止することができます。
 - HALTモード時のSRAMCクロック(CMU)
 - PSC、CLG、ITC用コア周辺回路クロック(CMU)
 - PT8クロック(CMU)
 - MFTクロック(CMU)
 - T8OSC1クロック(CMU)
 - SPI CH.1クロック(CMU)
 - REMCクロック(CMU)
 - ADCクロック(CMU)
 - WDTクロック(CMU)
 - 入出力ポートクロック(CMU)
 - RTCレジスタクロック(CMU)

- CLGクロック(PSC)
- UARTクロック(CLG)
- SPI CH.0クロック(CLG)
- I²Cマスタ/スレーブクロック(CLG)

クロック制御とCPUの起動/停止方法の一覧を表C.1に示します。

表C.1 クロック制御一覧

消費電流	OSC1	OSC3	CPU (CCLK)	周辺モジュール	CPU停止方法	CPU起動方法
↑ 低	発振	停止	停止	停止	slp命令実行	1
	発振	停止	停止	停止 (RTCのみ動作)	slp命令実行	1, 2
	発振 (システムCLK)	停止	停止	停止	halt命令実行	1, 2
	発振 (システムCLK)	停止	停止	動作	halt命令実行	1, 2, 3
	発振 (システムCLK)	停止	動作	動作		
	発振	発振 (システムCLK)	停止	動作	halt命令実行	1, 2, 3
	発振	発振 (システムCLK)	動作(低ギア)	動作		
高 ↓	発振	発振 (システムCLK)	動作(OSC3・1/1)	動作		

HALT、SLEEPモードの解除方法(CPU起動方法)

1. ポート入力割り込み(レベルトリガ)、#RESETによる起動
CPUは、ポート入力割り込み要因(レベルトリガ)、#RESET、またはデバッグ割り込み(ICD強制ブレーク発行)により起動します。II.2.8節を参照してください。
2. RTCによる起動
CPUはRTCの割り込み要因(レベルトリガ)により起動します。II.2.8節またはII.5.4節を参照してください。
3. 周辺モジュールによる起動
CPUは、割り込みコントローラで割り込みが許可されている周辺モジュールの割り込み要因により起動します。CPUのIEフラグが0の場合、CPUは割り込みを受け付けず、halt命令に続く命令を実行します。IEフラグが1の場合、CPUは割り込み処理ルーチンに分岐します。

Appendix D S1C17002マスクROMコードの開発について

- (1) S1C17002のマスクROMコードはS1C17511 Flashマイコンを用いて開発します。
- (2) EPSONに提出するROMデータの形式は“file.PAn”(winmdc出力)です。お客様のROMデータの最終検証は“file.psa”(sconv32出力)で行ってください。
- (3) S1C17002では、moto2ff実行時の引数に以下の値を設定をしてください。
- データの開始アドレス = 0x20000
 - データのブロックサイズ = 512 × 16ビット
- (4) 下表に示す機能の違いを充分考慮し、S1C17511で動作確認をしてください。
- IRAMのサイズが異なります。
 - アドレスが異なるため、S1C17511のIRAM2をS1C17002のIRAMの代用として開発することはできません。

表D.1 S1C17511とS1C17002の機能比較

回路/機能	S1C17511	S1C17002
FLASH	128KB	—
マスクROM	—	128KB
IRAM	4KB	8KB
IRAM2	2KB	—
最大動作周波数	48MHz (0~70°C) 40MHz (-40~85°C)	20MHz (-40~85°C)
OSC3発振回路	水晶/CR	←
OSC1発振回路	水晶	←
動作クロック入力(OSC3)	○	←
動作クロック入力(OSC1)	—	○
入出力ポート	91本(パッケージにより異なる)	30本
入力ポート	8本	4本
外部ポート割り込み	8本	←
SPI(マスタ/スレーブ)	2ch.	←
I ² C(マスタ/スレーブ)	2ch.	←
UART(IrDA1.0対応)	1ch.	←
CLG 8ビットタイマ(T8) SPI用	1ch.	←
CLG 8ビットタイマ(T8) I ² C用	1ch.	←
CLG 8ビットタイマ(T8F) UART用	1ch.	←
8ビットタイマ(PT8)	4ch.	←
CLG 16ビットタイマ(T16) UART用	1ch.	←
マルチファンクションタイマ(MFT)	1ch.	←
RTC	○	←
ウォッチドッグタイマ(WDT)	○	←
8ビットOSC1タイマ(T8OSC1)	2ch.	←
乗算器実行サイクル数	1サイクル/2サイクル	1サイクル
除算器実行サイクル数	17~20サイクル	←
A/D変換器	8ch.	4ch.
外部バスコントローラ	○	—
USBファンクションコントローラ	○	—
ブートアドレス	0x20000	←
TTBR	○	←
電源電圧	VDD = 3.0~3.6V AVDD = 2.7~3.6V RTCVDD = 3.0~3.6V	HVDD = 1.65~3.6V LVDD = 1.65~1.95V AVDD = 2.7~3.6V (1.65~3.6V*) * 使用条件あり。“1.4.4 アナログ回路用電源(AVDD)”参照
外部端子最大駆動能力	端子ごとに異なる。“1.3.4 入出力セルと入出力特性”参照	
パッケージ	TQFP14-100pin TQFP15-128pin PFBGA144	WCSP 48pin (3.124 × 3.124mm, 0.4mmピッチ) TQFP12-64pin チップ

改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
411554300	全ページ	新規制定
411554302	I-5-5	CPU: S1C17コア命令一覧(表I.5.3.1) (旧) ipa.d (新) jpa.d
	I-7-6	外部クロック入力特性: 入力立ち上がり/立ち下がり時間 (旧) 5ns(OSC1), 5ns(OSC3) (新) 200ns(OSC1), 10ns(OSC3)
	II-1-1	クロック系統図 図II.1.1修正
	V-1-6	UART: データ受信制御 (旧) (2) RDRY = 1, RD2B = 0 ... この読み出しによりバッファ内のデータはクリアされ、RDRYフラグもリセットされます。 ... (3) RDRY = 1, RD2B = 1 ... この読み出しにより、読み出されたバッファデータはクリアされ ... オーバーランエラーが発生し、シフトレジスタのデータは新しいデータで上書きされます。 (新) (2) RDRY = 1, RD2B = 0 ... この読み出しによりRDRYフラグがリセットされます。 ... (3) RDRY = 1, RD2B = 1 ... この読み出しにより、RD2Bフラグがリセットされます。 ... 受信データバッファが満杯でも、シフトレジスタは8ビットデータの受信をもう1回開始することができます。 ... オーバーランエラーが発生し、最後の受信データを読み出すことはできません。
	V-1-8	UART: オーバーランエラー (旧) 受信データバッファが満杯(2データ受信済み)の状態でも、... オーバーランエラーが発生します。 (新) 受信データバッファが満杯(2データ受信済み)の状態でも、... シフトレジスタに受信した3番目のデータはバッファに送られず、オーバーランエラーが発生します。
	V-2-1	I2CM: I2Cマスタの構成 (旧) ... 標準(100kbps)モードおよび ... 7ビットスレーブアドレスモードに対応しています。 ... (新) ... 標準(100kbps)モードおよび ... 7ビット/10ビットスレーブアドレスモードに対応しています。 ...
	V-2-5	I2CM: スレーブアドレスの送信 (旧) ... 本モジュールは7ビットアドレスのみに ... 7ビットアドレスを1回で送信可能です。 ... (新) ... I2Cのスレーブアドレスには7ビットアドレスと10ビットアドレスの2種類があります。 ... 10ビットの場合はソフトウェア制御により2回または3回の送信を行います。 ...
	V-2-6	I2CM: スレーブアドレスと転送方向を指定する送信データ 図V.2.5.2修正
	V-2-7	I2CM: データ受信制御 (旧) ... 9個目のクロックサイクルでは、... NAKを送信するにはRTACKを1に設定します。 (新) ... 9個目のクロックサイクルでは、... 注: 受信バッファフル割り込みは、... 正しい通信が行えなくなってしまう。
	V-2-8	I2CM: データ送受信を禁止 (旧) データ転送(送信と受信の両方)を終了後は、... 転送中のデータは保証されません。 (新) ストップコンディションを生成した後は、... I2CM_SCLとI2CM_SDAの出力レベル、および転送中のデータは保証されません。
V-2-8, V-2-9, V-2-10		I2CM: タイミングチャート 図V.2.5.5、図V.2.5.7、図V.2.5.8、図V.2.5.9修正
	V-3-1	I2CS: I2Cスレーブモジュールの構造 図V.3.1.1修正
	V-3-2	I2CS: I2Cスレーブ端子一覧 - I2CS_SCL 表V.3.2.1修正
	V-3-4	I2CS: #I2CS_RST端子入力によるバス解放要求 (旧) 機能を有効にすると、#I2CS_RST端子へのLowパルス入力(システムクロック(PCLK)5クロック以上のパルス幅が必要)によりBFREQ(D4/I2CS_STATレジスタ)が1にセットされます。 (新) 機能を有効にすると、#I2CS_RST端子へのLowパルス入力(周辺モジュールクロック(PCLK)1クロック以上のパルス幅が必要。2クロック以上を推奨)により ... 1にセットされます。 I2CS: クロックストレッチ機能 (旧) なし (新) なお、クロックストレッチ動作を行ったときの ... 動作クロック(PCLK)周波数によって変わります。
	V-3-6	I2CS: データ送受信の開始 (旧) BUSYとSELECTEDのどちらのステータスビットも、... 検出するまで1を保持します。 (新) BUSYはストップコンディションを検出するまで1を保持します。SELECTEDはストップコンディションかリピーテッドスタートコンディションを検出するまで1を保持します。
V-3-7, V-3-15, V-3-26		I2CS: データ送信 (旧) なし (新) 非同期アドレス検出機能を使用する場合、ASDET_ENを0にリセットする前に書き込みを行ったデータは無効となるため、TXEMPが1にセットされてから送信データを書き込む必要があります。

改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む) および改訂理由
411554302	V-3-8, V-3-26	I2CS: データ送信時の注意事項 (旧) なし (新) 注: 下記の条件がすべて成立している状態で、... 1. 通信レートを320kbps以上に設定している。... 3. OSC1を動作クロック(PCLK)として、本I2Cスレーブが通信待機状態にある。
	V-3-10, V-3-11	I2CS: タイミングチャート 図V.3.5.5～図V.3.5.8修正
	V-3-13	I2CS: バスステータス割り込み (旧) 7. DA_STOP: ... ストップコンディションを検出した場合に1にセット (新) 7. DA_STOP: ... ストップコンディション、またはリピーテッドスタートコンディションを検出した場合に1にセット
	V-3-23	I2CS: I2C Slave Status Register (I2CS_STAT) - (D0) DA_STOP: Stop Condition Detect Bit (旧) ストップコンディションを検出したことを示します。 ... 次のスタートコンディションに待機するため、I2Cの通信プロセスを初期化します。 (新) ストップコンディションまたはリピーテッドスタートコンディションを検出したことを示します。 ... I2CSモジュールはDA_STOPを1にセットします。同時にI2Cの通信プロセスを初期化します。
	V-3-24	I2CS: I2C Slave Access Status Register (I2CS_ASTAT) - (D1) SELECTED: I2C Slave Select Status Bit (旧) 1にセットされたSELECTEDはストップコンディションの検出によりリセットされます。 (新) 1にセットされた ... またはリピーテッドスタートコンディションの検出によりリセットされます。
	V-4-3, V-5-3	SPI/ESPI: SPIクロック (旧) スレーブモードでは、... 入力クロックは微分されPCLKクロックとの同期用に使用されます。 (新) スレーブモードでは、SPI_SCKx端子からSPIクロックを入力します。 SPI/ESPI: SPIスレーブモード時の外部クロック 図V.4.3.2、図V.5.3.1削除
	V-4-6, V-5-6	SPI/ESPI: データ送信タイミングチャート 図V.4.5.1、図V.5.5.1削除
	V-4-6, V-4-16, V-5-6, V-5-17	SPI/ESPI: データ送信制御 (旧) なし (新) 注: SPI CH.xをマスタモードかつCPHA = 0の設定で使用する場合、... (図V.4.5.1、図V.5.5.1追加) ... データの変化からクロックの変化まではSPI_SCKx半周期の長さが確保されます。
	V-4-7, V-5-7	SPI/ESPI: データ送受信タイミングチャート 図V.4.5.2、図V.5.5.2修正
	V-4-7, V-5-7	SPI/ESPI: データ送受信を禁止 (旧) データ転送(送信と受信の両方)を ... SPRBFフラグが0になっていることを確認してください。 SPENを0に設定すると、... 転送中のデータは保証されません。 (新) データ転送(送信と受信の両方)を ... SPBSYフラグが0になっていることを確認してください。 データの送受信中にSPENを0に設定した場合、転送中のデータは保証されません。
	V-4-12, V-4-16, V-5-12, V-5-17	SPI/ESPI: SPI Ch.x Transmit Data Register (SPI_TXDx) (旧) なし (新) 注: データの送受信を行う場合、... 書き込みはSPENを1に設定した後に行ってください。

セイコーエプソン株式会社
マイクロデバイス事業本部 デバイス営業部

東京 〒191-8501 東京都日野市日野421-8

TEL (042) 587-5313 (直通)

FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F

TEL (06) 6120-6000 (代表)

FAX (06) 6120-6100

ドキュメントコード：411554303

2008年 9月 作成 ①

2011年 3月 改訂