EPSON
EXCEED YOUR VISION

CMOS 16-BIT SINGLE CHIP MICROCONTROLLER

S1C17701
テクニカルマニュアル

セイコーエプソン株式会社

Rev. 1.4

本資料のご使用につきましては、次の点にご留意願います。

本資料の内容については、予告なく変更することがあります。

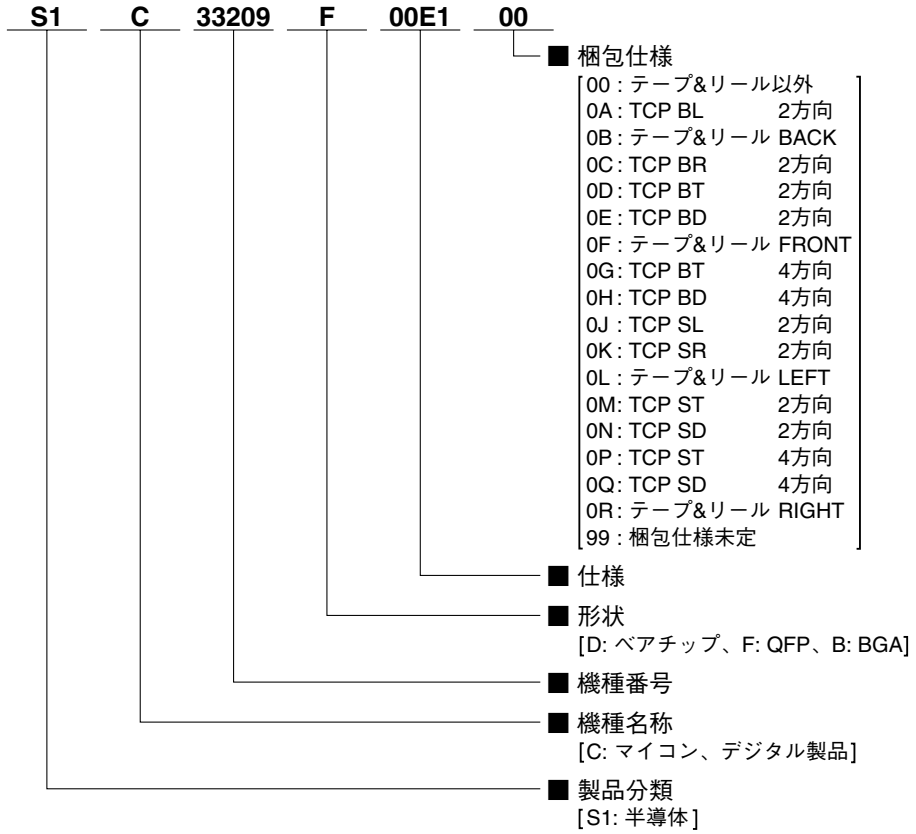
1. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りいたします。
2. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これら起因する第三者の知的財産権およびその他の権利侵害あるいは損害の発生に対し、弊社はいかなる保証を行うものではありません。また、本資料によって第三者または弊社の知的財産権およびその他の権利の実施権の許諾を行うものではありません。
3. 特性値の数値の大小は、数直線上の大小関係で表しています。
4. 本資料に掲載されている製品のうち、「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
5. 本資料に掲載されている製品は、生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合のいかなる責任についても負いかねます。
6. 本資料に掲載されている会社名、商品名は、各社の商標または登録商標です。

本製品はSilicon Storage Technology, Inc.**よりライセンスされた**SuperFlash®**テクノロジを使用しています。**

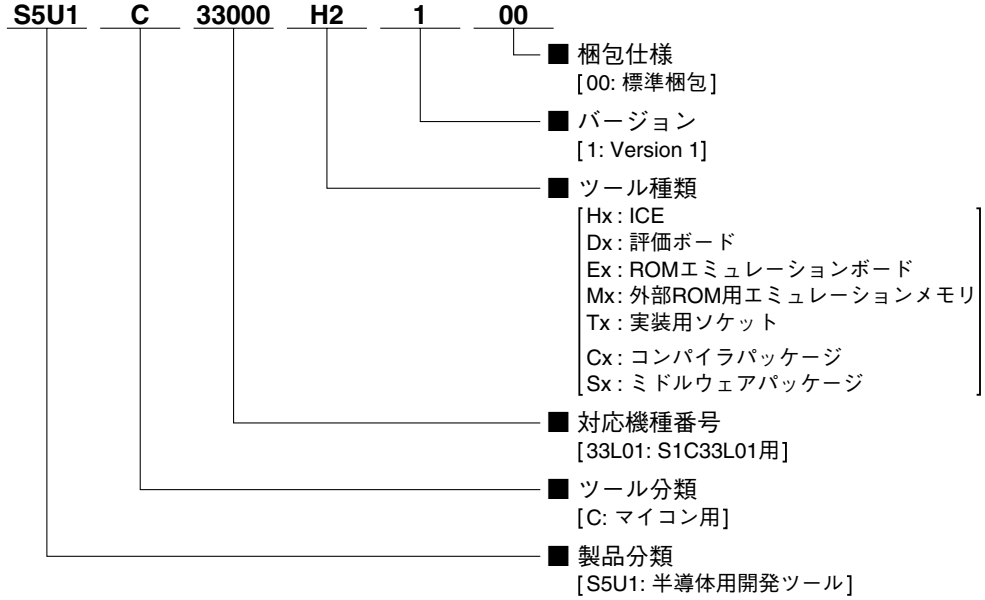
© SEIKO EPSON CORPORATION 2011, All rights reserved.

製品型番体系

●デバイス



●開発ツール



- 目 次 -

1 概要 1-1
1.1 特長 1-2
1.2 ブロック図 1-3
1.3 端子 1-4
1.3.1 端子配置図 1-4
1.3.2 端子説明 1-7
2 CPU 2-1
2.1 S1C17コアの特長 2-1
2.2 CPUレジスタ 2-2
2.3 命令セット 2-3
2.4 ベクタテーブル 2-7
2.5 プロセッサ情報 2-8
3 メモリマップ, バス制御 3-1
3.1 バスサイクル 3-2
3.1.1 アクセスサイズ制限 3-2
3.1.2 命令実行サイクルの制限 3-2
3.2 Flashエリア 3-3
3.2.1 内蔵Flashメモリ 3-3
3.2.2 Flashプログラミング 3-3
3.2.3 プロテクトビット 3-3
0x17ffc–0x17ffe: Flash Protect Bits 3-3
3.2.4 Flashコントローラのアクセス制御 3-4
0x5320: FLASHC Control Register (MISC_FL) 3-4
3.3 内蔵RAMエリア 3-5
3.3.1 内蔵RAM 3-5
3.4 表示RAMエリア 3-6
3.4.1 表示RAM 3-6
3.4.2 SRAMコントローラのアクセス制御 3-6
0x5321: SRAMC Control Register (MISC_SR) 3-6
3.5 内蔵周辺回路エリア 3-7
3.5.1 内蔵周辺回路エリア1（0x4000~） 3-7
3.5.2 内蔵周辺回路エリア2（0x5000~） 3-7
3.5.3 I/Oマップ 3-8
3.6 コアI/O予約エリア 3-11
4 電源 4-1
4.1 電源電圧 4-1
4.2 内部電源回路 4-2
4.3 電源回路の制御 4-3
4.4 重負荷保護機能 4-5
4.5 制御レジスタ詳細 4-6
0x5120: V_{D1} Control Register (VD1_CTL) 4-7
0x50a3: LCD Voltage Regulator Control Register (LCD_VREG) 4-8
0x50a4: LCD Power Voltage Booster Control Register (LCD_PWR) 4-9
4.6 注意事項 4-10

5 イニシャルリセット 5-1
5.1 イニシャルリセット要因.....5-1
5.1.1 #RESET端子.....5-1
5.1.2 P0ポートキー入力リセット.....5-2
5.1.3 ウォッチドッグタイマによるリセット.....5-2
5.2 イニシャルリセットシーケンス.....5-3
5.3 イニシャルリセット時の初期設定.....5-4
6 割り込みコントローラ(ITC) 6-1
6.1 ITCの構成.....6-1
6.2 ベクタテーブル.....6-2
6.3 マスク可能割り込みの制御.....6-3
6.3.1 ITCイネーブル.....6-3
6.3.2 周辺モジュールからの割り込み要求と割り込みフラグ.....6-3
6.3.3 割り込みの許可/禁止.....6-4
6.3.4 複数の割り込み発生時の処理.....6-5
6.3.5 割り込みのトリガモード.....6-6
6.3.6 S1C17コアの割り込み処理.....6-8
6.4 NMI.....6-9
6.5 ソフトウェア割り込み.....6-10
6.6 割り込み要因によるHALT, SLEEPモードの解除.....6-11
6.7 制御レジスタ詳細.....6-12
0x4300: Interrupt Flag Register (ITC_IFLG).....6-13
0x4302: Interrupt Enable Register (ITC_EN).....6-15
0x4304: ITC Control Register (ITC_CTL).....6-16
0x4306: External Interrupt Level Setup Register 0 (ITC_ELV0).....6-17
0x4308: External Interrupt Level Setup Register 1 (ITC_ELV1).....6-18
0x430a: External Interrupt Level Setup Register 2 (ITC_ELV2).....6-19
0x430c: External Interrupt Level Setup Register 3 (ITC_ELV3).....6-20
0x430e: Internal Interrupt Level Setup Register 0 (ITC_ILV0).....6-21
0x4310: Internal Interrupt Level Setup Register 1 (ITC_ILV1).....6-22
0x4312: Internal Interrupt Level Setup Register 2 (ITC_ILV2).....6-23
0x4314: Internal Interrupt Level Setup Register 3 (ITC_ILV3).....6-24
6.8 注意事項.....6-25
7 発振回路(OSC) 7-1
7.1 OSCモジュールの構成.....7-1
7.2 OSC3発振回路.....7-2
7.3 OSC1発振回路.....7-4
7.4 システムクロックの切り換え.....7-5
7.5 LCDクロックの制御.....7-6
7.6 8ビットOSC1タイマクロックの制御.....7-7
7.7 クロック外部出力(FOUT3, FOUT1).....7-8
7.8 RESET, NMI入力ノイズフィルタ.....7-10
7.9 制御レジスタ詳細.....7-11
0x5060: Clock Source Select Register (OSC_SRC).....7-12
0x5061: Oscillation Control Register (OSC_CTL).....7-13
0x5062: Noise Filter Enable Register (OSC_NFEN).....7-14
0x5063: LCD Clock Setup Register (OSC_LCLK).....7-15
0x5064: FOUT Control Register (OSC_FOUT).....7-16
0x5065: T8OSC1 Clock Control Register (OSC_T8OSC1).....7-17
7.10 注意事項.....7-18

8 クロックジェネレータ(CLG) 8-1
8.1 クロックジェネレータの構成 8-1
8.2 CPUコアクロック(CCLK)の制御 8-2
8.3 周辺モジュールクロック(PCLK)の制御 8-3
8.4 制御レジスタ詳細 8-4
0x5080: PCLK Control Register (CLG_PCLK) 8-5
0x5081: CCLK Control Register (CLG_CCLK) 8-6
8.5 注意事項 8-7
9 プリスケーラ(PSC) 9-1
9.1 プリスケーラの構成 9-1
9.2 制御レジスタ詳細 9-2
0x4020: Prescaler Control Register (PSC_CTL) 9-2
9.3 注意事項 9-3
10 入出力ポート(P) 10-1
10.1 入出力ポートの構成 10-1
10.2 入出力端子機能の選択(ポートMUX) 10-2
10.3 データの入出力 10-3
10.4 プルアップ制御 10-4
10.5 入力インタフェースレベル 10-5
10.6 P0ポートのチャタリング除去機能 10-6
10.7 ポート入力割り込み 10-7
10.8 制御レジスタ詳細 10-10
0x5200/0x5210/0x5220/0x5230: P***x*** Port Input Data Registers (P***x***_IN) 10-11
0x5201/0x5211/0x5221/0x5231: P***x*** Port Output Data Registers (P***x***_OUT) 10-12
0x5202/0x5212/0x5222/0x5232: P***x*** Port I/O Direction Control Registers (P***x***_IO) 10-13
0x5203/0x5213/0x5223/0x5233: P***x*** Port Pull-up Control Registers (P***x***_PU) 10-14
0x5204/0x5214/0x5224/0x5234: P***x*** Port Schmitt Trigger Control Registers (P***x***_SM) 10-15
0x5205/5215: P***x*** Port Interrupt Mask Registers (P***x***_IMSK) 10-16
0x5206/5216: P***x*** Port Interrupt Edge Select Registers (P***x***_EDGE) 10-17
0x5207/5217: P***x*** Port Interrupt Flag Registers (P***x***_IFLG) 10-18
0x5208: P0 Port Chattering Filter Control Register (P0_CHAT) 10-19
0x5209: P0 Port Key-Entry Reset Configuration Register (P0_KRST) 10-20
0x52a0: P0 Port Function Select Register (P0_PMUX) 10-21
0x52a1: P1 Port Function Select Register (P1_PMUX) 10-22
0x52a2: P2 Port Function Select Register (P2_PMUX) 10-23
0x52a3: P3 Port Function Select Register (P3_PMUX) 10-24
10.9 注意事項 10-25
11 16ビットタイマ(T16) 11-1
11.1 16ビットタイマの概要 11-1
11.2 16ビットタイマの動作モード 11-2
11.2.1 内部クロックモード 11-2
11.2.2 外部クロックモード 11-3
11.2.3 パルス幅測定モード 11-4
11.3 カウントモード 11-5
11.4 16ビットタイマリロードレジスタとアンダーフロー周期 11-6
11.5 16ビットタイマのリセット 11-7
11.6 16ビットタイマRUN/STOP制御 11-8
11.7 16ビットタイマ出力信号 11-9
11.8 16ビットタイマ割り込み 11-10

11.9 制御レジスタ詳細 11-11
0x4220/0x4240/0x4260: 16-bit Timer Ch.*x* Input Clock Select Registers (T16_CLK*x*) 11-12
0x4222/0x4242/0x4262: 16-bit Timer Ch.*x* Reload Data Registers (T16_TR*x*) 11-13
0x4224/0x4244/0x4264: 16-bit Timer Ch.*x* Counter Data Registers (T16_TC*x*) 11-14
0x4226/0x4246/0x4266: 16-bit Timer Ch.*x* Control Registers (T16_CTL*x*) 11-15
11.10 注意事項 11-17
12 8ビットタイマ（T8F） 12-1
12.1 8ビットタイマの概要 12-1
12.2 8ビットタイマのカウントモード 12-2
12.3 カウントクロック 12-3
12.4 8ビットタイマリロードレジスタとアンダーフロー周期 12-4
12.5 8ビットタイマのリセット 12-5
12.6 8ビットタイマRUN/STOP制御 12-6
12.7 8ビットタイマ出力信号 12-7
12.8 ファインモード 12-8
12.9 8ビットタイマ割り込み 12-9
12.10 制御レジスタ詳細 12-10
0x4200: 8-bit Timer Input Clock Select Register (T8F_CLK) 12-11
0x4202: 8-bit Timer Reload Data Register (T8F_TR) 12-12
0x4204: 8-bit Timer Counter Data Register (T8F_TC) 12-13
0x4206: 8-bit Timer Control Register (T8F_CTL) 12-14
12.11 注意事項 12-16
13 PWM&キャプチャタイマ（T16E） 13-1
13.1 PWM&キャプチャタイマの概要 13-1
13.2 PWM&キャプチャタイマの動作モード 13-2
13.3 カウンタ値のセット/リセット 13-3
13.4 コンペアデータの設定 13-4
13.5 PWM&キャプチャタイマRUN/STOP制御 13-5
13.6 クロック出力の制御 13-6
13.7 PWM&キャプチャタイマ割り込み 13-9
13.8 制御レジスタ詳細 13-11
0x5300: PWM Timer Compare Data A Register (T16E_CA) 13-12
0x5302: PWM Timer Compare Data B Register (T16E_CB) 13-13
0x5304: PWM Timer Counter Data Register (T16E_TC) 13-14
0x5306: PWM Timer Control Register (T16E_CTL) 13-15
0x5308: PWM Timer Input Clock Select Register (T16E_CLK) 13-17
0x530a: PWM Timer Interrupt Mask Register (T16E_IMSK) 13-18
0x530c: PWM Timer Interrupt Flag Register (T16E_IFLG) 13-19
13.9 注意事項 13-20
14 8ビットOSC1タイマ（T8OSC1） 14-1
14.1 8ビットOSC1タイマの概要 14-1
14.2 8ビットOSC1タイマのカウントモード 14-2
14.3 カウントクロック 14-3
14.4 8ビットOSC1タイマのリセット 14-4
14.5 コンペアデータの設定 14-5
14.6 8ビットOSC1タイマRUN/STOP制御 14-6
14.7 8ビットOSC1タイマ割り込み 14-7
14.8 制御レジスタ詳細 14-9
0x50c0: 8-bit OSC1 Timer Control Register (T8OSC1_CTL) 14-10
0x50c1: 8-bit OSC1 Timer Counter Data Register (T8OSC1_CNT) 14-11

0x50c2: 8-bit OSC1 Timer Compare Data Register (T8OSC1_CMP) 14-12
0x50c3: 8-bit OSC1 Timer Interrupt Mask Register (T8OSC1_IMSK) 14-13
0x50c4: 8-bit OSC1 Timer Interrupt Flag Register (T8OSC1_IFLG) 14-14
14.9 注意事項 14-15

15 計時タイマ(CT) 15-1

15.1 計時タイマの概要 15-1
15.2 動作クロック 15-2
15.3 計時タイマのリセット 15-3
15.4 計時タイマRUN/STOP制御 15-4
15.5 計時タイマ割り込み 15-5
15.6 制御レジスタ詳細 15-7
0x5000: Clock Timer Control Register (CT_CTL) 15-8
0x5001: Clock Timer Counter Register (CT_CNT) 15-9
0x5002: Clock Timer Interrupt Mask Register (CT_IMSK) 15-10
0x5003: Clock Timer Interrupt Flag Register (CT_IFLG) 15-11
15.7 注意事項 15-12

16 ストップウォッチタイマ(SWT) 16-1

16.1 ストップウォッチタイマの概要 16-1
16.2 BCDカウンタ 16-2
16.3 動作クロック 16-3
16.4 ストップウォッチタイマのリセット 16-4
16.5 ストップウォッチタイマRUN/STOP制御 16-5
16.6 ストップウォッチタイマ割り込み 16-6
16.7 制御レジスタ詳細 16-8
0x5020: Stopwatch Timer Control Register (SWT_CTL) 16-9
0x5021: Stopwatch Timer BCD Counter Register (SWT_BCNT) 16-10
0x5022: Stopwatch Timer Interrupt Mask Register (SWT_IMSK) 16-11
0x5023: Stopwatch Timer Interrupt Flag Register (SWT_IFLG) 16-12
16.8 注意事項 16-13

17 ウォッチドッグタイマ(WDT) 17-1

17.1 ウォッチドッグタイマの概要 17-1
17.2 動作クロック 17-2
17.3 ウォッチドッグタイマの制御 17-3
17.3.1 NMI/リセットモードの選択 17-3
17.3.2 ウォッチドッグタイマのRUN/STOP制御 17-3
17.3.3 ウォッチドッグタイマのリセット 17-3
17.3.4 スタンバイモード時の動作 17-3
17.4 制御レジスタ詳細 17-4
0x5040: Watchdog Timer Control Register (WDT_CTL) 17-5
0x5041: Watchdog Timer Status Register (WDT_ST) 17-6
17.5 注意事項 17-7

18 UART 18-1

18.1 UARTの構成 18-1
18.2 UART端子 18-2
18.3 転送クロック 18-3
18.4 転送データの設定 18-4
18.5 データ送受信の制御 18-5
18.6 受信エラー 18-8
18.7 UART割り込み 18-9

18.8 IrDAインタフェース 18-11
18.9 制御レジスタ詳細 18-13
0x4100: UART Status Register (UART_ST) 18-14
0x4101: UART Transmit Data Register (UART_TXD) 18-16
0x4102: UART Receive Data Register (UART_RXD) 18-17
0x4103: UART Mode Register (UART_MOD) 18-18
0x4104: UART Control Register (UART_CTL) 18-19
0x4105: UART Expansion Register (UART_EXP) 18-20
18.10 注意事項 18-21

19 SPI 19-1

19.1 SPIの構成 19-1
19.2 SPI入出力端子 19-2
19.3 SPIクロック 19-3
19.4 データ転送条件の設定 19-4
19.5 データ送受信の制御 19-5
19.6 SPI割り込み 19-8
19.7 制御レジスタ詳細 19-10
0x4320: SPI Status Register (SPI_ST) 19-11
0x4322: SPI Transmit Data Register (SPI_TXD) 19-12
0x4324: SPI Receive Data Register (SPI_RXD) 19-13
0x4326: SPI Control Register (SPI_CTL) 19-14
19.8 注意事項 19-16

20 I^2C 20-1

20.1 I^2Cの構成 20-1
20.2 I^2C入出力端子 20-2
20.3 I^2Cクロック 20-3
20.4 データ転送前の設定項目 20-4
20.5 データ送受信の制御 20-5
20.6 I^2C割り込み 20-12
20.7 制御レジスタ詳細 20-13
0x4340: I^2C Enable Register (I2C_EN) 20-14
0x4342: I^2C Control Register (I2C_CTL) 20-15
0x4344: I^2C Data Register (I2C_DAT) 20-17
0x4346: I^2C Interrupt Control Register (I2C_ICTL) 20-19

21 リモートコントローラ（REMC） 21-1

21.1 REMCの構成 21-1
21.2 REMC入出力端子 21-2
21.3 キャリアの生成 21-3
21.4 データ長カウンタのクロック設定 21-4
21.5 データ送受信の制御 21-5
21.6 REMC割り込み 21-8
21.7 制御レジスタ詳細 21-10
0x5340: REMC Configuration Register (REMC_CFG) 21-11
0x5341: REMC Prescaler Clock Select Register (REMC_PSC) 21-12
0x5342: REMC H Carrier Length Setup Register (REMC_CARH) 21-13
0x5343: REMC L Carrier Length Setup Register (REMC_CARL) 21-14
0x5344: REMC Status Register (REMC_ST) 21-15
0x5345: REMC Length Counter Register (REMC_LCNT) 21-16
0x5346: REMC Interrupt Mask Register (REMC_IMSK) 21-17
0x5347: REMC Interrupt Flag Register (REMC_IFLG) 21-18
21.8 注意事項 21-19

22 LCDドライバ(LCD) 22-1
22.1 LCDドライバの構成 22-1
22.2 LCD電源 22-2
22.3 LCDクロック 22-3
22.3.1 LCD動作クロック 22-3
22.3.2 フレーム信号 22-3
22.4 駆動デューティの切り換え 22-4
22.5 表示メモリ 22-7
22.6 表示の制御 22-9
22.6.1 表示のOn/Off 22-9
22.6.2 LCDコントラスト調整 22-9
22.6.3 反転表示 22-9
22.6.4 階調表示の制御 22-10
22.7 LCD割り込み 22-11
22.8 制御レジスタ詳細 22-13
0x50a0: LCD Display Control Register (LCD_DCTL) 22-14
0x50a1: LCD Contrast Adjust Register (LCD_CADJ) 22-16
0x50a2: LCD Clock Control Register (LCD_CCTL) 22-17
0x50a3: LCD Voltage Regulator Control Register (LCD_VREG) 22-18
0x50a4: LCD Power Voltage Booster Control Register (LCD_PWR) 22-19
0x50a5: LCD Interrupt Mask Register (LCD_IMSK) 22-20
0x50a6: LCD Interrupt Flag Register (LCD_IFLG) 22-21
22.9 注意事項 22-22
23 電源電圧検出回路(SVD) 23-1
23.1 SVDモジュールの構成 23-1
23.2 比較電圧の設定 23-2
23.3 SVD回路の制御 23-3
23.4 SVD割り込み 23-4
23.5 制御レジスタ詳細 23-6
0x5100: SVD Enable Register (SVD_EN) 23-7
0x5101: SVD Compare Voltage Register (SVD_CMP) 23-8
0x5102: SVD Detection Result Register (SVD_RSLT) 23-9
0x5103: SVD Interrupt Mask Register (SVD_IMSK) 23-10
0x5104: SVD Interrupt Flag Register (SVD_IFLG) 23-11
23.6 注意事項 23-12
24 オンチップデバッガ(DBG) 24-1
24.1 リソース要件とデバッグツール 24-1
24.2 デバッグブレーク時の動作状態 24-2
24.3 制御レジスタ詳細 24-3
0x5322: OSC1 Peripheral Control Register (MISC_OSC1) 24-4
0xffff90: Debug RAM Base Register (DBRAM) 24-5
25 基本外部結線図 25-1
26 電気的特性 26-1
26.1 絶対最大定格 26-1
26.2 推奨動作条件 26-1
26.3 DC特性 26-2
26.4 アナログ回路特性 26-3
26.5 消費電流 26-5

26.6 AC特性 26-6
26.6.1 SPI AC特性 26-6
26.6.2 I²C AC特性 26-6
26.6.3 外部クロック入力AC特性 26-7
26.6.4 システムAC特性 26-7
26.7 発振特性 26-8
26.8 特性グラフ（参考値） 26-9

27 パッケージ 27-1

28 パッド配置 28-1
28.1 パッド配置図 28-1
28.2 パッド座標 28-2

Appendix A I/Oレジスター覧 AP-1
0x4020 Prescaler AP-4
0x4100–0x4105 UART (with IrDA) AP-5
0x4200–0x4206 8-bit Timer (with Fine Mode) AP-6
0x4220–0x4266 16-bit Timer AP-7
0x4300–0x4314 Interrupt Controller AP-9
0x4320–0x4326 SPI AP-11
0x4340–0x4346 I²C AP-12
0x5000–0x5003 Clock Timer AP-13
0x5020–0x5023 Stopwatch Timer AP-14
0x5040–0x5041 Watchdog Timer AP-15
0x5060–0x5065 Oscillator AP-16
0x5080–0x5081 Clock Generator AP-17
0x50a0–0x50a6 LCD Driver AP-18
0x50c0–0x50c4 8-bit OSC1 Timer AP-19
0x5100–0x5104 SVD Circuit AP-20
0x5120 Power Generator AP-21
0x5200–0x52a3 P Port & Port MUX AP-22
0x5300–0x530c PWM & Capture Timer AP-24
0x5320–0x5322 MISC Registers AP-25
0x5340–0x5347 Remote Controller AP-26
0xffff80–0xffff90 S1C17 Core I/O AP-27

Appendix B Flashプログラミング AP-28
B.1 デバッガによるプログラミング AP-28
B.2 ユーザプログラムによる自己プログラミング AP-29

Appendix C パワーセーブ AP-30
C.1 クロック制御によるパワーセーブ AP-30
C.2 電源制御によるパワーセーブ AP-33

Appendix D 実装上の注意事項 AP-34

Appendix E 初期化ルーチン AP-38

改訂履歴表

1 概要

S1C17701は、高速かつ低電力動作、省サイズ、広アドレス空間、オンチップICEを実現した16ビットMCUです。S1C17 CPUコアを中心に、64KバイトのFlashメモリ、4KバイトのRAM、高ビットレートおよびIrDA1.0に対応したUART、SPI、I²Cなどの各種センサに対応可能なシリアルインタフェース、8ビットタイマ、16ビットタイマ、PWM&キャプチャタイマ、計時タイマ、ストップウォッチタイマ、ウォッチドッグタイマ、28本の汎用入出力ポート、最大56セグメント × 32コモンのLCDドライバと電源電圧昇圧回路、電源電圧検出回路、32kHzおよび最大8.2MHzの発振回路、内部1.8V定電圧回路を内蔵しています。1.8Vの動作電圧でも8.2MHzの高速動作が可能で、16ビットRISC処理により1命令を1.5クロックで実行します。
オンチップICE機能は、ICD Mini（S5U1C17001H）と3本の信号線を接続することにより、オンボードでの内蔵Flashメモリの消去と書き込み、プログラムのデバッグと評価を可能とします。
S1C17701は、電池駆動とセンサインタフェース、56×32ドットまでの液晶表示を必要とするアプリケーション（リモコン、スポーツウォッチ等）に最適です。

S1C17701はメイン発振回路の種類により、2つの製品が用意されています。

メイン（OSC3）発振回路
- 水晶発振回路/セラミック発振回路 8.2MHz（max.）
- CR発振回路 2.2MHz（max.）

※ 本製品はSilicon Storage Technology, Inc.よりライセンスされたSuperFlash® Technologyを使用しています。

1.1 特長

以下にS1C17701の主な機能と特長を示します。

●CPU
- EPSONオリジナル16ビットRISC CPUコア S1C17

●メイン(OSC3)発振回路
- 水晶発振回路/セラミック発振回路 8.2MHz(max.)
- CR発振回路 2.2MHz(max.)

●サブ(OSC1)発振回路
- 水晶発振回路 32.786kHz(typ.)

●内蔵Flashメモリ
- 64Kバイト(命令/データ共用)
- 1,000回書き換え可能
- 書き込み/読み出し保護機能
- デバッグツールICD Mini(S5U1C17001H)からのオンボード書き換え、プログラムによる自己書き換え可能

●内蔵RAM
- 4Kバイト

●内蔵表示RAM
- 576バイト

●入出力ポート
- 最大28ビットの汎用入出力(周辺回路の入出力と端子を共用)

●シリアルインタフェース
- SPI(マスタ/スレーブ) 1ch.
- I²C(マスタ) 1ch.
- UART(115200bps、IrDA1.0対応) 1ch.
- リモートコントローラ(REMC) 1ch.

●タイマ
- 8ビットタイマ(T8F) 1ch.
- 16ビットタイマ(T16) 3ch.
- PWM&キャプチャタイマ(T16E) 1ch.
- 計時タイマ(CT) 1ch.
- ストップウォッチタイマ(SWT) 1ch.
- ウォッチドッグタイマ(WDT) 1ch.
- 8ビットOSC1タイマ(T8OSC1) 1ch.

●LCDドライバ
- 56SEG × 32COMまたは72SEG × 16COM(1/5バイアス)
- 昇圧電源回路内蔵

●電源電圧検出(SVD)回路
- 13値プログラマブル(1.8V～2.7V)

●割り込み
- リセット
- NMI
- プログラマブル割り込み16本(8レベル)

●電源電圧
- 1.8V～3.6V(通常動作時、レギュレータにより内部1.8V低パワー動作)
- 2.7V～3.6V(Flash消去/書き込み時、内部2.5V動作)

●動作温度
- -20°C～70°C

●消費電流
- SLEEP時 1μA typ.
- HALT時 2.6μA typ. (32kHz OSC1水晶発振、LCD OFF)
- 動作時 14μA typ. (32kHz OSC1水晶発振、LCD OFF)
  1800μA typ. (8MHz OSC3セラミック発振、LCD OFF)

●出荷形態
- TQFP24-144pinプラスチックパッケージ
  (16mm × 16mm × 1.0mm、リードピッチ: 0.4mm)
- VFBGA7H-161パッケージ
  (7mm × 7mm × 1.0mm、ボールピッチ: 0.5mm)
- VFBGA10H-144パッケージ
  (10mm × 10mm × 1.0mm、ボールピッチ: 0.8mm)
- チップ

1.2 ブロック図

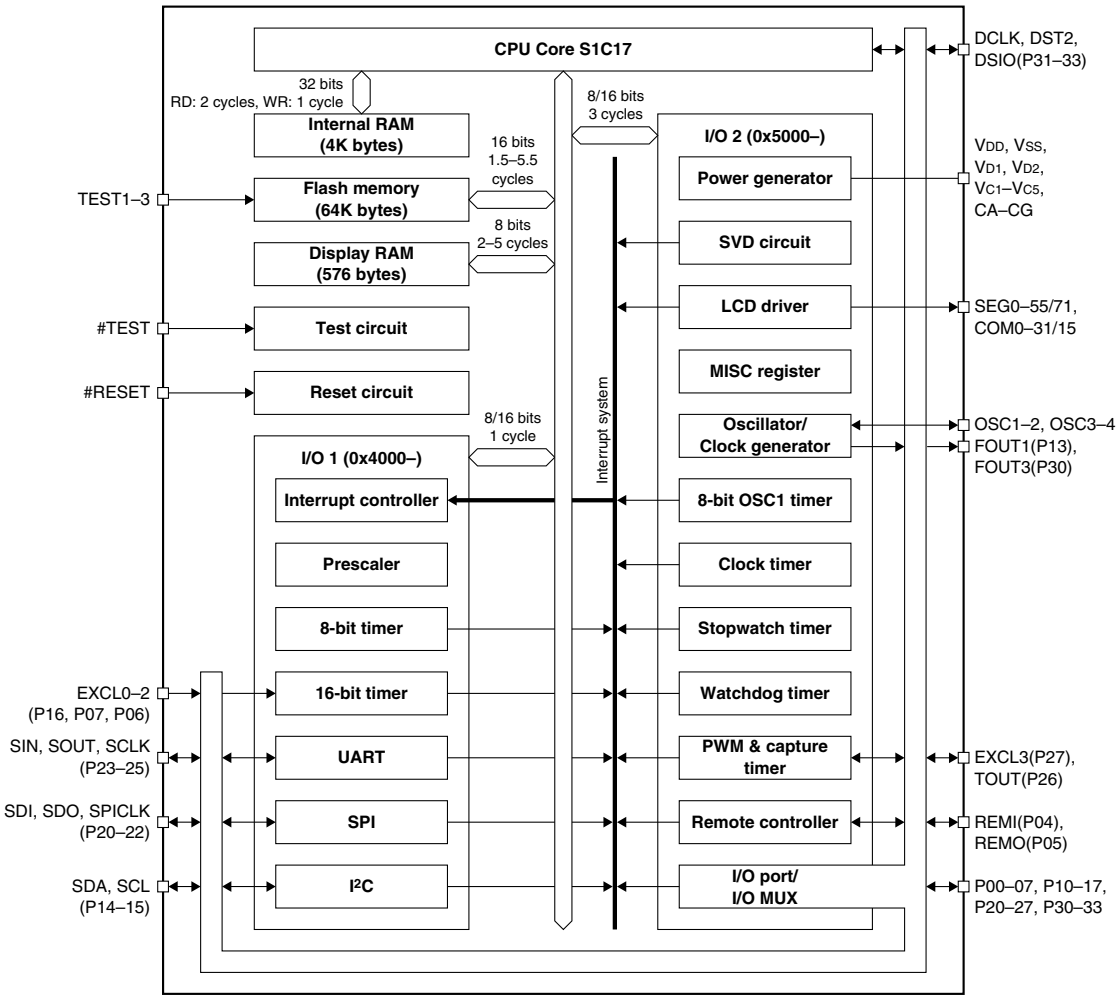


図1.2.1 ブロック図

1.3 端子

1.3.1 端子配置図

TQFP24-144pin

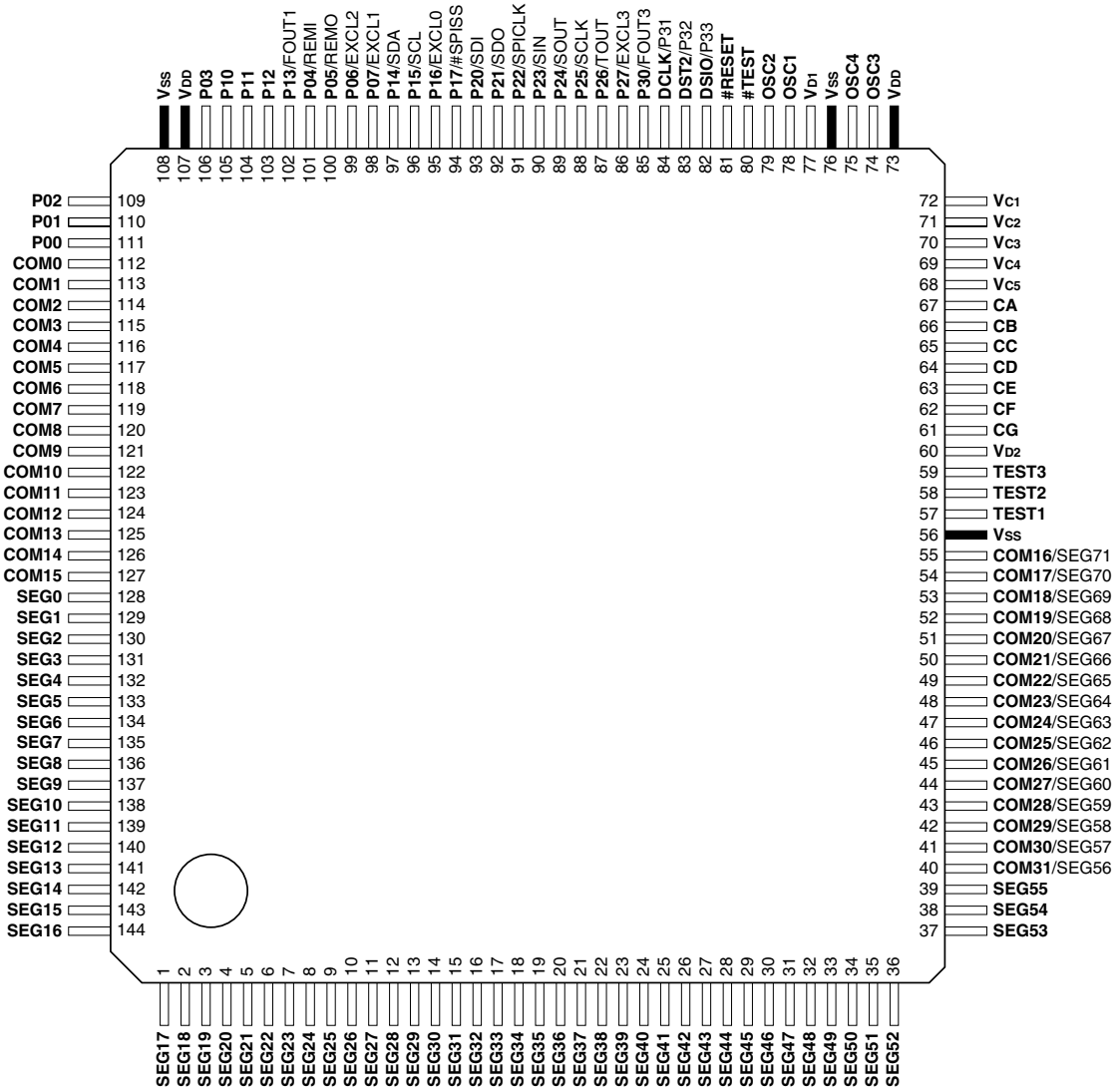
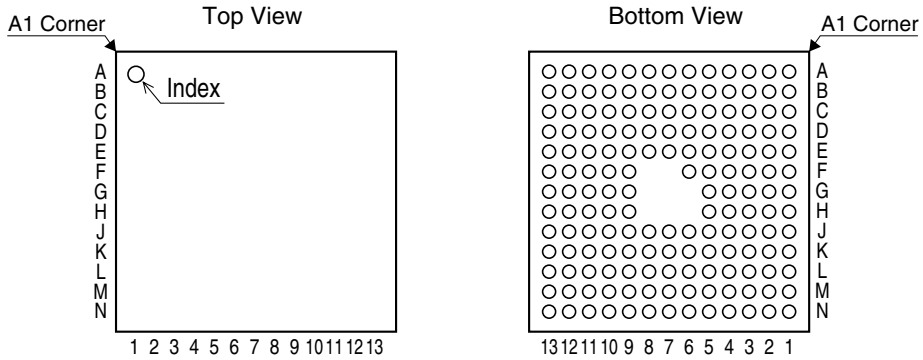


図1.3.1.1 端子配置図(TQFP24-144pin)

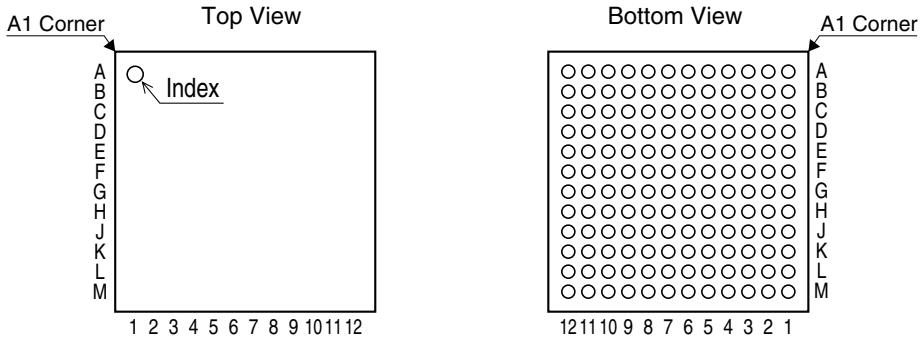
VFBGA7H-161



	1	2	3	4	5	6	7	8	9	10	11	12	13	
A	N.C.	SEG16	SEG12	SEG10	SEG7	SEG3	COM15	COM12	COM6	COM4	COM0	P01	N.C.	A
B	SEG17	SEG15	SEG13	SEG8	SEG6	SEG2	COM14	COM9	COM7	COM3	P00	P02	P03	B
C	SEG20	SEG18	SEG14	SEG11	SEG9	SEG4	COM13	COM11	COM8	COM2	P12	P11	P10	C
D	SEG23	SEG22	SEG21	SEG19	SEG5	SEG1	SEG0	COM10	COM5	COM1	P13 FOUT1	P04 REMI	P05 REMO	D
E	SEG27	SEG26	SEG25	SEG24	VSS	VSS	VSS	VSS	VDD	P06 EXCL2	P07 EXCL1	P14 SDA	P15 SCL	E
F	SEG30	SEG29	SEG28	SEG31	VSS	VSS			VDD	P16 EXCL0	P20 SDI	P21 SDO	P22 SPICLK	F
G	SEG33	SEG32	SEG34	SEG35	VSS		Top View		VSS	P17 #SPISS	P23 SIN	P24 SOUT	P25 SCLK	G
H	SEG37	SEG36	SEG38	SEG39	VSS				VSS	P27 EXCL3	P26 TOUT	P30 FOUT3	DCLK P31	H
J	SEG40	SEG41	SEG42	SEG43	VSS	VSS	VSS	TEST3	VDD	VC4	DST2 P32	#RESET	DSIO P33	J
K	SEG44	SEG45	SEG46	SEG48	COM28 SEG59	COM24 SEG63	TEST2	TEST1	CD	VC5	#TEST	OSC2	OSC1	K
L	SEG47	SEG49	SEG50	COM31 SEG56	COM27 SEG60	COM23 SEG64	COM20 SEG67	COM17 SEG70	CG	CA	VC1	VD1	VSS	L
M	SEG52	SEG51	SEG54	COM30 SEG57	COM26 SEG61	COM22 SEG65	COM19 SEG68	COM16 SEG71	CF	CC	VC2	OSC4	VDD	M
N	N.C.	SEG53	SEG55	COM29 SEG58	COM25 SEG62	COM21 SEG66	COM18 SEG69	VD2	CE	CB	VC3	OSC3	N.C.	N
	1	2	3	4	5	6	7	8	9	10	11	12	13	

図1.3.1.2 端子配置図(VFBGA7H-161)

VFBGA10H-144



	1	2	3	4	5	6	7	8	9	10	11	12	
A	SEG17	SEG14	SEG11	SEG06	SEG03	COM14	COM10	COM06	COM02	P00	P02	VSS	A
B	SEG18	SEG16	SEG13	SEG10	SEG04	COM15	COM09	COM07	COM01	P01	P03	P10	B
C	SEG20	SEG19	SEG15	SEG09	SEG05	SEG00	COM08	COM05	COM00	P12	P11	P04 REMI	C
D	SEG23	SEG22	SEG21	SEG12	SEG07	SEG01	COM11	COM04	P06 EXCL2	P13 FOUT1	P05 REMO	P14 SDA	D
E	SEG27	SEG26	SEG25	SEG24	SEG08	SEG02	COM12	COM03	P07 EXCL1	P17 SPISS	P16 EXCL0	P15 SCL	E
F	SEG30	SEG29	SEG28	SEG31	SEG32	TEST2	COM13	VDD	P23 SIN	P20 SDI	P21 SDO	P22 SPICLK	F
G	SEG34	SEG33	SEG35	SEG36	SEG37	TEST1	TEST3	P24 SOUT	P26 TOUT	P27 EXCL3	P25 SCLK	DCLK P31	G
H	SEG38	SEG42	SEG41	SEG40	SEG39	COM24 SEG63	VSS	VDD TEST	P30 FOUT3	DST2 P32	RESET	DSIO P33	H
J	SEG43	SEG45	SEG44	SEG46	COM28 SEG59	COM23 SEG64	COM19 SEG68	CE	CD	VSS	OSC2	OSC1	J
K	SEG47	SEG49	SEG48	COM31 SEG56	COM27 SEG60	COM22 SEG65	COM18 SEG69	CF	CC	VC5	OSC4	VD1	K
L	SEG50	SEG51	SEG54	COM30 SEG57	COM26 SEG61	COM21 SEG66	COM16 SEG71	CG	CB	VC4	VC1	OSC3	L
M	SEG52	SEG53	SEG55	COM29 SEG58	COM25 SEG62	COM20 SEG67	COM17 SEG70	VD2	CA	VC3	VC2	VDD	M
	1	2	3	4	5	6	7	8	9	10	11	12	

Top View

図1.3.1.3 端子配置図（VFBGA10H-144）

1.3.2 端子説明

表1.3.2.1 端子説明

端子No.			名称	I/O	初期状態	機　能
QFP	VFBGA7	VFBGA10				
1~39	∗1	∗2	**SEG17~55**	O	O(L)	LCDセグメント出力端子
40~55	∗3	∗4	**COM31~16**/ SEG56~71	O	O(L)	LCDコモン出力端子*/LCDセグメント出力端子
56	∗5	∗6	**VSS**	–	–	電源端子(GND)
57	K8	G6	**TEST1**	–	–	Flashテスト端子(通常動作時はオープン)
58	K7	F6	**TEST2**	–	–	Flashテスト端子(通常動作時はHighに固定)
59	J8	G7	**TEST3**	–	–	Flashテスト端子(通常動作時はオープン)
60	N8	M8	**VD2**	–	–	LCD回路用電源昇圧出力端子
61	L9	L8	**CG**	–	–	電源電圧昇圧コンデンサ接続端子
62	M9	K8	**CF**	–	–	電源電圧昇圧コンデンサ接続端子
63	N9	J8	**CE**	–	–	LCD昇圧コンデンサ接続端子
64	K9	J9	**CD**	–	–	LCD昇圧コンデンサ接続端子
65	M10	K9	**CC**	–	–	LCD昇圧コンデンサ接続端子
66	N10	L9	**CB**	–	–	LCD昇圧コンデンサ接続端子
67	L10	M9	**CA**	–	–	LCD昇圧コンデンサ接続端子
68	K10	K10	**VC5**	–	–	LCD系駆動電圧出力端子
69	J10	L10	**VC4**	–	–	LCD系駆動電圧出力端子
70	N11	M10	**VC3**	–	–	LCD系駆動電圧出力端子
71	M11	M11	**VC2**	–	–	LCD系駆動電圧出力端子
72	L11	L11	**VC1**	–	–	LCD系駆動電圧出力端子
73	∗7	∗8	**VDD**	–	–	電源端子(+)
74	N12	L12	**OSC3**	I	I	OSC3発振入力端子
75	M12	K11	**OSC4**	O	O	OSC3発振出力端子
76	∗5	∗6	**VSS**	–	–	電源端子(GND)
77	L12	K12	**VD1**	–	–	内部ロジックおよび発振系定電圧回路出力端子
78	K13	J12	**OSC1**	I	I	OSC1発振入力端子
79	K12	J11	**OSC2**	O	O	OSC1発振出力端子
80	K11	H8	**#TEST** (VFBGA7) **VDD/#TEST** (VFBGA10)	I	I(Pull-UP)	テスト端子(通常動作時はHighに固定)
81	J12	H11	**#RESET**	I	I(Pull-UP)	イニシャルセット入力端子
82	J13	H12	**DSIO**/P33	I/O	I(Pull-UP)	オンチップデバッガデータ入出力端子*/入出力ポート端子
83	J11	H10	**DST2**/P32	I/O	O(L)	オンチップデバッガステータス出力端子*/入出力ポート端子
84	H13	G12	**DCLK**/P31	I/O	O(H)	オンチップデバッガクロック出力端子*/入出力ポート端子
85	H12	H9	**P30**/FOUT3	I/O	I(Pull-UP)	入出力ポート端子*/OSC3分周クロック出力端子
86	H10	G10	**P27**/EXCL3	I/O	I(Pull-UP)	入出力ポート端子*/T16E外部クロック入力端子
87	H11	G9	**P26**/TOUT	I/O	I(Pull-UP)	入出力ポート端子*/T16E PWM信号出力端子
88	G13	G11	**P25**/SCLK	I/O	I(Pull-UP)	入出力ポート端子*/UARTクロック入力端子
89	G12	G8	**P24**/SOUT	I/O	I(Pull-UP)	入出力ポート端子*/UARTデータ出力端子
90	G11	F9	**P23**/SIN	I/O	I(Pull-UP)	入出力ポート端子*/UARTデータ入力端子
91	F13	F12	**P22**/SPICLK	I/O	I(Pull-UP)	入出力ポート端子*/SPIクロック入出力端子
92	F12	F11	**P21**/SDO	I/O	I(Pull-UP)	入出力ポート端子*/SPIデータ出力端子
93	F11	F10	**P20**/SDI	I/O	I(Pull-UP)	入出力ポート端子*/SPIデータ入力端子
94	G10	E10	**P17**/#SPISS	I/O	I(Pull-UP)	入出力ポート端子(割り込み付き)*/SPIスレーブセレクト入力端子
95	F10	E11	**P16**/EXCL0	I/O	I(Pull-UP)	入出力ポート端子(割り込み付き)*/T16 Ch.0外部クロック入力端子
96	E13	E12	**P15**/SCL	I/O	I(Pull-UP)	入出力ポート端子(割り込み付き)*/I²Cクロック出力端子
97	E12	D12	**P14**/SDA	I/O	I(Pull-UP)	入出力ポート端子(割り込み付き)*/I²Cデータ入出力端子
98	E11	E9	**P07**/EXCL1	I/O	I(Pull-UP)	入出力ポート端子(割り込み付き)*/T16 Ch.1外部クロック入力端子
99	E10	D9	**P06**/EXCL2	I/O	I(Pull-UP)	入出力ポート端子(割り込み付き)*/T16 Ch.2外部クロック入力端子
100	D13	D11	**P05**/REMO	I/O	I(Pull-UP)	入出力ポート端子(割り込み付き)*/リモート出力端子

端子No.			名称	I/O	初期状態	機　能
QFP	VFBGA7	VFBGA10				
101	D12	C12	**P04**/REMI	I/O	I(Pull-UP)	入出力ポート端子(割り込み付き)*/リモート入力端子
102	D11	D10	**P13**/FOUT1	I/O	I(Pull-UP)	入出力ポート端子(割り込み付き)*/OSC1クロック出力端子
103	C11	C10	**P12**	I/O	I(Pull-UP)	入出力ポート端子(割り込み付き)
104	C12	C11	**P11**	I/O	I(Pull-UP)	入出力ポート端子(割り込み付き)
105	C13	B12	**P10**	I/O	I(Pull-UP)	入出力ポート端子(割り込み付き)
106	B13	B11	**P03**	I/O	I(Pull-UP)	入出力ポート端子(割り込み付き)
107	*7	*8	**V_{DD}**	–	–	電源端子(+)
108	*5	*6	**V_{SS}**	–	–	電源端子(GND)
109	B12	A11	**P02**	I/O	I(Pull-UP)	入出力ポート端子(割り込み付き)
110	A12	B10	**P01**	I/O	I(Pull-UP)	入出力ポート端子(割り込み付き)
111	B11	A10	**P00**	I/O	I(Pull-UP)	入出力ポート端子(割り込み付き)
112~127	*9	*10	**COM0~15**	O	O(L)	LCDコモン出力端子
128~144	*11	*12	**SEG0~16**	O	O(L)	LCDセグメント出力端子

*1: SEG17~SEG55(VFBGA7)
B1, C2, D4, C1, D3, D2, D1, E4, E3, E2, E1, F3, F2, F1, F4, G2, G1, G3, G4, H2, H1, H3, H4, J1, J2, J3, J4, K1, K2, K3, L1, K4, L2, L3, M2, M1, N2, M3, N3
*2: SEG17~SEG55(VFBGA10)
A1, B1, C2, C1, D3, D2, D1, E4, E3, E2, E1, F3, F2, F1, F4, F5, G2, G1, G3, G4, G5, H1, H5, H4, H3, H2, J1, J3, J2, J4, K1, K3, K2, L1, L2, M1, M2, L3, M3
*3: COM31~16/SEG56~71(VFBGA7)
L4, M4, N4, K5, L5, M5, N5, K6, L6, M6, N6, L7, M7, N7, L8, M8
*4: COM31~16/SEG56~71(VFBGA10)
K4, L4, M4, J5, K5, L5, M5, H6, J6, K6, L6, M6, J7, K7, M7, L7
*5: V_{SS}(VFBGA7)
E5, E6, E7, E8, F5, F6, G5, G9, H5, H9, J5, J6, J7, L13
*6: V_{SS}(VFBGA10)
A12, H7, J10
*7: V_{DD}(VFBGA7)
E9, F9, J9, M13
*8: V_{DD}(VFBGA10)
F8, M12
*9: COM0~15(VFBGA7)
A11, D10, C10, B10, A10, D9, A9, B9, C9, B8, D8, C8, A8, C7, B7, A7
*10: COM0~15(VFBGA10)
C9, B9, A9, E8, D8, C8, A8, B8, C7, B7, A7, D7, E7, F7, A6, B6
*11: SEG0~16(VFBGA7)
D7, D6, B6, A6, C6, D5, B5, A5, B4, C5, A4, C4, A3, B3, C3, B2, A2
*12: SEG0~16(VFBGA10)
C6, D6, E6, A5, B5, C5, A4, D5, E5, C4, B4, A3, D4, B3, A2, C3, B2

注: 太字の端子名、および'*'の付いた機能がデフォルト設定の内容です。

2 CPU

S1C17701はコアプロセッサとしてS1C17コアを搭載しています。
S1C17コアはセイコーエプソンオリジナルの16ビットRISCプロセッサです。
低消費電力、高速動作、広いアドレス空間、主要命令の1クロック実行、省ゲート設計を特長とし、8ビットCPUがよく使われるコントローラやシーケンサ等への組み込み用に最適です。
S1C17コアの詳細については、“S1C17 Family S1C17コアマニュアル”を参照してください。

2.1 S1C17コアの特長

プロセッサ形式
- セイコーエプソンオリジナル16ビットRISCプロセッサ
- 0.35～0.15µm低電力CMOSプロセステクノロジ

命令セット
- コード長　　16ビット固定長
- 命令数　　基本命令111個（全184命令）
- 実行サイクル　　主要命令は1サイクルで実行
- 即値拡張命令　　即値を24ビットまで拡張
- Cによる開発用に最適化されたコンパクトかつ高速な命令セット

レジスタセット
- 24ビット汎用レジスタ×8
- 24ビット特殊レジスタ×2
- 8ビット特殊レジスタ×1

メモリ空間, バス
- 最大16Mバイトのメモリ空間（24ビットアドレス）
- 命令バス（16ビット）とデータバス（32ビット）を分離したハーバードアーキテクチャ

割り込み
- リセット、NMI、32種類の外部割り込みに対応
- アドレス不整割り込み
- デバッグ割り込み
- ベクタテーブルからベクタを読み込み、割り込み処理ルーチンへ直接分岐
- ベクタ番号によるソフトウェア割り込みを発生可能（全ベクタ番号を指定可能）

パワーセーブ
- HALT（halt命令）
- SLEEP（slp命令）

2.2 CPUレジスタ

S1C17コアは、8本の汎用レジスタおよび3本の特殊レジスタを内蔵しています。

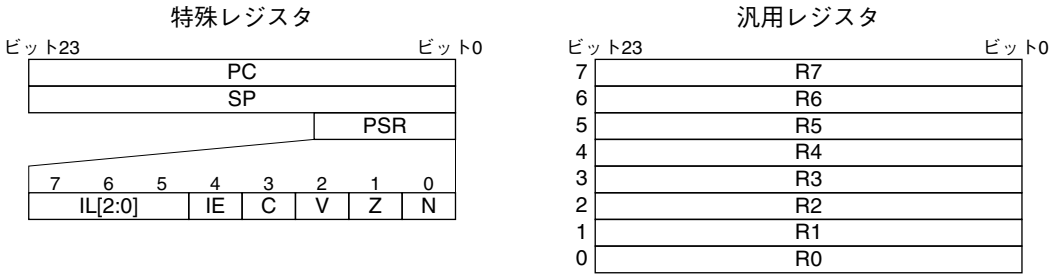


図2.2.1 レジスタ

2.3 命令セット

S1C17コアの命令コードはすべて16ビットの固定長で、パイプライン処理を行うことによって主要な命令を1サイクルで実行します。各命令の詳細については“S1C17 Family S1C17コアマニュアル”を参照してください。

表2.3.1 S1C17コア命令一覧

種 類	ニーモニック		機 能
データ転送	ld.b	%rd,%rs	汎用レジスタ(バイト) → 汎用レジスタ(符号拡張)
		%rd,[%rb]	メモリ(バイト) → 汎用レジスタ(符号拡張)
		%rd,[%rb]+	メモリアドレスのポストインクリメント、ポストデクリメント、
		%rd,[%rb]-	プリデクリメント機能を使用可能
		%rd,-[%rb]	
		%rd,[%sp+imm7]	スタック(バイト) → 汎用レジスタ(符号拡張)
		%rd,[imm7]	メモリ(バイト) → 汎用レジスタ(符号拡張)
		[%rb],%rs	汎用レジスタ(バイト) → メモリ
		[%rb]+,%rs	メモリアドレスのポストインクリメント、ポストデクリメント、
		[%rb]-,%rs	プリデクリメント機能を使用可能
		-[%rb],%rs	
		[%sp+imm7],%rs	汎用レジスタ(バイト) → スタック
		[imm7],%rs	汎用レジスタ(バイト) → メモリ
	ld.ub	%rd,%rs	汎用レジスタ(バイト) → 汎用レジスタ(ゼロ拡張)
		%rd,[%rb]	メモリ(バイト) → 汎用レジスタ(ゼロ拡張)
		%rd,[%rb]+	メモリアドレスのポストインクリメント、ポストデクリメント、
		%rd,[%rb]-	プリデクリメント機能を使用可能
		%rd,-[%rb]	
		%rd,[%sp+imm7]	スタック(バイト) → 汎用レジスタ(ゼロ拡張)
		%rd,[imm7]	メモリ(バイト) → 汎用レジスタ(ゼロ拡張)
	ld	%rd,%rs	汎用レジスタ(16ビット) → 汎用レジスタ
		%rd,sign7	即値 → 汎用レジスタ(符号拡張)
		%rd,[%rb]	メモリ(16ビット) → 汎用レジスタ
		%rd,[%rb]+	メモリアドレスのポストインクリメント、ポストデクリメント、
		%rd,[%rb]-	プリデクリメント機能を使用可能
		%rd,-[%rb]	
		%rd,[%sp+imm7]	スタック(16ビット) → 汎用レジスタ
		%rd,[imm7]	メモリ(16ビット) → 汎用レジスタ
		[%rb],%rs	汎用レジスタ(16ビット) → メモリ
		[%rb]+,%rs	メモリアドレスのポストインクリメント、ポストデクリメント、
		[%rb]-,%rs	プリデクリメント機能を使用可能
		-[%rb],%rs	
		[%sp+imm7],%rs	汎用レジスタ(16ビット) → スタック
		[imm7],%rs	汎用レジスタ(16ビット) → メモリ
	ld.a	%rd,%rs	汎用レジスタ(24ビット) → 汎用レジスタ
		%rd,imm7	即値 → 汎用レジスタ(ゼロ拡張)
		%rd,[%rb]	メモリ(32ビット) → 汎用レジスタ (*1)
		%rd,[%rb]+	メモリアドレスのポストインクリメント、ポストデクリメント、
		%rd,[%rb]-	プリデクリメント機能を使用可能
		%rd,-[%rb]	
		%rd,[%sp+imm7]	スタック(32ビット) → 汎用レジスタ (*1)
		%rd,[imm7]	メモリ(32ビット) → 汎用レジスタ (*1)
		[%rb],%rs	汎用レジスタ(32ビット、ゼロ拡張) → メモリ (*1)
		[%rb]+,%rs	メモリアドレスのポストインクリメント、ポストデクリメント、
		[%rb]-,%rs	プリデクリメント機能を使用可能
		-[%rb],%rs	
		[%sp+imm7],%rs	汎用レジスタ(32ビット、ゼロ拡張) → スタック (*1)
		[imm7],%rs	汎用レジスタ(32ビット、ゼロ拡張) → メモリ (*1)
		%rd,%sp	SP → 汎用レジスタ
		%rd,%pc	PC → 汎用レジスタ
		%rd,[%sp]	スタック(32ビット) → 汎用レジスタ (*1)
		%rd,[%sp]+	スタックポインタのポストインクリメント、ポストデクリメント、
		%rd,[%sp]-	プリデクリメント機能を使用可能
		%rd,-[%sp]	

種 類	ニーモニック		機 能
データ転送	ld.a	[%sp],%*rs*	汎用レジスタ(32ビット、ゼロ拡張) → スタック (*1)
		[%sp]+,%*rs*	スタックポインタのポストインクリメント、ポストデクリメント、
		[%sp]-,%*rs*	プリデクリメント機能を使用可能
		-[%sp],%*rs*	
		%sp,%*rs*	汎用レジスタ(24ビット) → SP
		%sp,*imm7*	即値 → SP
整数算術演算	add	%*rd*,%*rs*	汎用レジスタ間の16ビット加算
	add/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	add/nc		
	add	%*rd*,*imm7*	汎用レジスタと即値の16ビット加算
	add.a	%*rd*,%*rs*	汎用レジスタ間の24ビット加算
	add.a/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	add.a/nc		
	add.a	%sp,%*rs*	SPと汎用レジスタの24ビット加算
		%*rd*,*imm7*	汎用レジスタと即値の24ビット加算
		%sp,*imm7*	SPと即値の24ビット加算
	adc	%*rd*,%*rs*	汎用レジスタ間のキャリー付き16ビット加算
	adc/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	adc/nc		
	adc	%*rd*,*imm7*	汎用レジスタと即値のキャリー付き16ビット加算
	sub	%*rd*,%*rs*	汎用レジスタ間の16ビット減算
	sub/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	sub/nc		
	sub	%*rd*,*imm7*	汎用レジスタと即値の16ビット減算
	sub.a	%*rd*,%*rs*	汎用レジスタ間の24ビット減算
	sub.a/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	sub.a/nc		
	sub.a	%sp,%*rs*	SPと汎用レジスタの24ビット減算
		%*rd*,*imm7*	汎用レジスタと即値の24ビット減算
		%sp,*imm7*	SPと即値の24ビット減算
	sbc	%*rd*,%*rs*	汎用レジスタ間のキャリー付き16ビット減算
	sbc/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	sbc/nc		
	sbc	%*rd*,*imm7*	汎用レジスタと即値のキャリー付き16ビット減算
	cmp	%*rd*,%*rs*	汎用レジスタ間の16ビット比較
	cmp/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	cmp/nc		
	cmp	%*rd*,*sign7*	汎用レジスタと即値の16ビット比較
	cmp.a	%*rd*,%*rs*	汎用レジスタ間の24ビット比較
	cmp.a/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	cmp.a/nc		
	cmp.a	%*rd*,*imm7*	汎用レジスタと即値の24ビット比較
	cmc	%*rd*,%*rs*	汎用レジスタ間のキャリー付き16ビット比較
	cmc/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	cmc/nc		
	cmc	%*rd*,*sign7*	汎用レジスタと即値のキャリー付き16ビット比較
論理演算	and	%*rd*,%*rs*	汎用レジスタ間の論理積
	and/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	and/nc		
	and	%*rd*,*sign7*	汎用レジスタと即値の論理積
	or	%*rd*,%*rs*	汎用レジスタ間の論理和
	or/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	or/nc		
	or	%*rd*,*sign7*	汎用レジスタと即値の論理和
	xor	%*rd*,%*rs*	汎用レジスタ間の排他的論理和
	xor/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	xor/nc		
	xor	%*rd*,*sign7*	汎用レジスタと即値の排他的論理和
	not	%*rd*,%*rs*	汎用レジスタ間の論理否定(1の補数)
	not/c		条件実行に対応(/c: C = 1の場合に実行, /nc: C = 0の場合に実行)
	not/nc		
	not	%*rd*,*sign7*	汎用レジスタと即値の論理否定(1の補数)

種 類	ニーモニック		機 能
シフト&スワップ	sr	*%rd,%rs*	右論理シフト(レジスタによるシフトビット数指定)
		%rd,imm7	右論理シフト(即値によるシフトビット数指定)
	sa	*%rd,%rs*	右算術シフト(レジスタによるシフトビット数指定)
		%rd,imm7	右算術シフト(即値によるシフトビット数指定)
	sl	*%rd,%rs*	左論理シフト(レジスタによるシフトビット数指定)
		%rd,imm7	左論理シフト(即値によるシフトビット数指定)
	swap	*%rd,%rs*	16ビット境界でバイト単位のスワップ
即値拡張	ext	*imm13*	直後の命令のオペランドを拡張
コンバージョン	cv.ab	*%rd,%rs*	符号付き8ビットデータを24ビットに変換
	cv.as	*%rd,%rs*	符号付き16ビットデータを24ビットに変換
	cv.al	*%rd,%rs*	32ビットデータを24ビットに変換
	cv.la	*%rd,%rs*	24ビットデータを32ビットに変換
	cv.ls	*%rd,%rs*	16ビットデータを32ビットに変換
分岐	jpr	*sign10*	PC相対ジャンプ
	jpr.d	*%rb*	ディレイド分岐可
	jpa	*imm7*	絶対ジャンプ
	jpa.d	*%rb*	ディレイド分岐可
	jrgt	*sign7*	PC相対条件ジャンプ　分岐条件: !Z & !(N ^ V)
	jrgt.d		ディレイド分岐可
	jrge	*sign7*	PC相対条件ジャンプ　分岐条件: !(N ^ V)
	jrge.d		ディレイド分岐可
	jrlt	*sign7*	PC相対条件ジャンプ　分岐条件: N ^ V
	jrlt.d		ディレイド分岐可
	jrle	*sign7*	PC相対条件ジャンプ　分岐条件: Z | N ^ V
	jrle.d		ディレイド分岐可
	jrugt	*sign7*	PC相対条件ジャンプ　分岐条件: !Z & !C
	jrugt.d		ディレイド分岐可
	jruge	*sign7*	PC相対条件ジャンプ　分岐条件: !C
	jruge.d		ディレイド分岐可
	jrult	*sign7*	PC相対条件ジャンプ　分岐条件: C
	jrult.d		ディレイド分岐可
	jrule	*sign7*	PC相対条件ジャンプ　分岐条件: Z | C
	jrule.d		ディレイド分岐可
	jreq	*sign7*	PC相対条件ジャンプ　分岐条件: Z
	jreq.d		ディレイド分岐可
	jrne	*sign7*	PC相対条件ジャンプ　分岐条件: !Z
	jrne.d		ディレイド分岐可
	call	*sign10*	PC相対サブルーチンコール
	call.d	*%rb*	ディレイド分岐可
	calla	*imm7*	絶対サブルーチンコール
	calla.d	*%rb*	ディレイド分岐可
	ret		サブルーチンからのリターン
	ret.d		ディレイド分岐可
	int	*imm5*	ソフトウェア割り込み
	intl	*imm5,imm3*	割り込みレベル指定付きソフトウェア割り込み
	reti		割り込みからのリターン
	reti.d		ディレイド分岐可
	brk		デバッグ割り込み
	retd		デバッグ処理からのリターン
システム制御	nop		ノーオペレーション
	halt		HALT
	slp		SLEEP
	ei		割り込み許可
	di		割り込み禁止

*1 ld.a命令は32ビットのメモリアクセスを行います。レジスタからメモリへのデータ転送では上位8ビットを0とした32ビットデータがメモリに書き込まれます。メモリからの読み出し時は、読み出しデータの上位8ビットが無視されます。

*2 S1C17701はコプロセッサを内蔵していません。このため、コプロセッサ命令は予約命令となります。

表中の記号の意味は次のとおりです。

表2.3.2 記号の意味

記 号	説 明
%*rs*	汎用ソースレジスタ
%*rd*	汎用デスティネーションレジスタ
[%*rb*]	汎用レジスタで間接指定されるメモリ
[%*rb*]+	汎用レジスタで間接指定されるメモリ(アドレスポストインクリメント付き)
[%*rb*]-	汎用レジスタで間接指定されるメモリ(アドレスポストデクリメント付き)
-[%*rb*]	汎用レジスタで間接指定されるメモリ(アドレスプリデクリメント付き)
%sp	スタックポインタ
[%sp],[%sp+*imm7*]	スタック
[%sp]+	スタック(アドレスポストインクリメント付き)
[%sp]-	スタック(アドレスポストデクリメント付き)
-[%sp]	スタック(アドレスプリデクリメント付き)
imm3,*imm5*,*imm7*,*imm13*	符号なし即値(数値はビット長)
sign7,*sign10*	符号付き即値(数値はビット長)

2.4 ベクタテーブル

ベクタテーブルは、割り込み処理ルーチンへのベクタ(処理ルーチン開始アドレス)を格納します。割り込みが発生すると、S1C17コアは割り込みに対応するベクタを読み出して、その処理ルーチンを実行します。ベクタテーブルの先頭には、リセット後にプログラムの実行を開始するブートアドレスを書き込んでおく必要があります。
S1C17701のベクタテーブルは、0x8000番地から配置されます。このベクタテーブルベースアドレスは0xffff80番地のTTBR(ベクタテーブルベースレジスタ)から読み出すことができます。
表2.4.1にS1C17701のベクタテーブルを示します。

表2.4.1 ベクタテーブル

ベクタNo./ソフトウェア割り込みNo.	ベクタアドレス	ハードウェア割り込み名	ハードウェア割り込み要因	優先順位
0 (0x00)	0x8000	リセット	• #RESET端子へのLow入力 • ウォッチドッグタイマオーバーフロー *2	1
1 (0x01)	0x8004	アドレス不整割り込み	メモリアクセス命令	2
–	(0xfffc00)	デバッグ割り込み	brk命令等	3
2 (0x02)	0x8008	NMI	ウォッチドッグタイマオーバーフロー *2	4
3 (0x03)	0x800c	reserved	–	–
4 (0x04)	0x8010	P0ポート割り込み	P00~P07ポート入力	高い *1
5 (0x05)	0x8014	P1ポート割り込み	P10~P17ポート入力	↑
6 (0x06)	0x8018	ストップウォッチタイマ割り込み	• タイマ100Hz信号 • タイマ10Hz信号 • タイマ1Hz信号	
7 (0x07)	0x801c	計時タイマ割り込み	• タイマ32Hz信号 • タイマ8Hz信号 • タイマ2Hz信号 • タイマ1Hz信号	
8 (0x08)	0x8020	8ビットOSC1タイマ割り込み	コンペアマッチ	
9 (0x09)	0x8024	SVD割り込み	電源電圧低下検出	
10 (0x0a)	0x8028	LCD割り込み	フレーム信号	
11 (0x0b)	0x802c	PWM&キャプチャタイマ割り込み	• コンペアA • コンペアB	
12 (0x0c)	0x8030	8ビットタイマ割り込み	タイマアンダーフロー	
13 (0x0d)	0x8034	16ビットタイマCh.0割り込み	タイマアンダーフロー	
14 (0x0e)	0x8038	16ビットタイマCh.1割り込み	タイマアンダーフロー	
15 (0x0f)	0x803c	16ビットタイマCh.2割り込み	タイマアンダーフロー	
16 (0x10)	0x8040	UART割り込み	• 送信バッファエンプティ • 受信バッファフル • 受信エラー	
17 (0x11)	0x8044	リモートコントローラ割り込み	• データ長カウンタアンダーフロー • 入力立ち上がりエッジ検出 • 入力立ち下がりエッジ検出	
18 (0x12)	0x8048	SPI割り込み	• 送信バッファエンプティ • 受信バッファフル	
19 (0x13)	0x804c	I^2C割り込み	• 送信バッファエンプティ • 受信バッファフル	
20 (0x14) : 31 (0x1f)	0x8050 : 0x807c	reserved : reserved	– : –	↓ 低い *1

*1 同一の割り込みレベルが設定されている場合
*2 ウォッチドッグタイマの割り込みは、ソフトウェアにてリセットまたはNMIのいずれかを選択

0xffff80: Vector Table Base Register (TTBR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Vector Table Base Register (TTBR)	0xffff80 (32 bits)	D31–24	–	Unused (fixed at 0)	0x0	0x0	R	
		D23–0	TTBR[23:0]	Vector table base address	0x8000	0x8000	R	

2.5 プロセッサ情報

S1C17701はProcessor ID Register(0xffff84)を内蔵しており、アプリケーションソフトウェアからCPUコアの種類を特定することができます。

0xffff84: Processor ID Register (IDIR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Processor ID Register (IDIR)	**0xffff84** (8 bits)	D7–0	**IDIR[7:0]**	Processor ID 0x10: S1C17 Core	0x10	0x10	R	

プロセッサの機種を示すIDコードが格納されるリードオンリレジスタです。S1C17コアのIDコードは0x10です。

3 メモリマップ, バス制御

図3.1にS1C17701のメモリマップを示します。

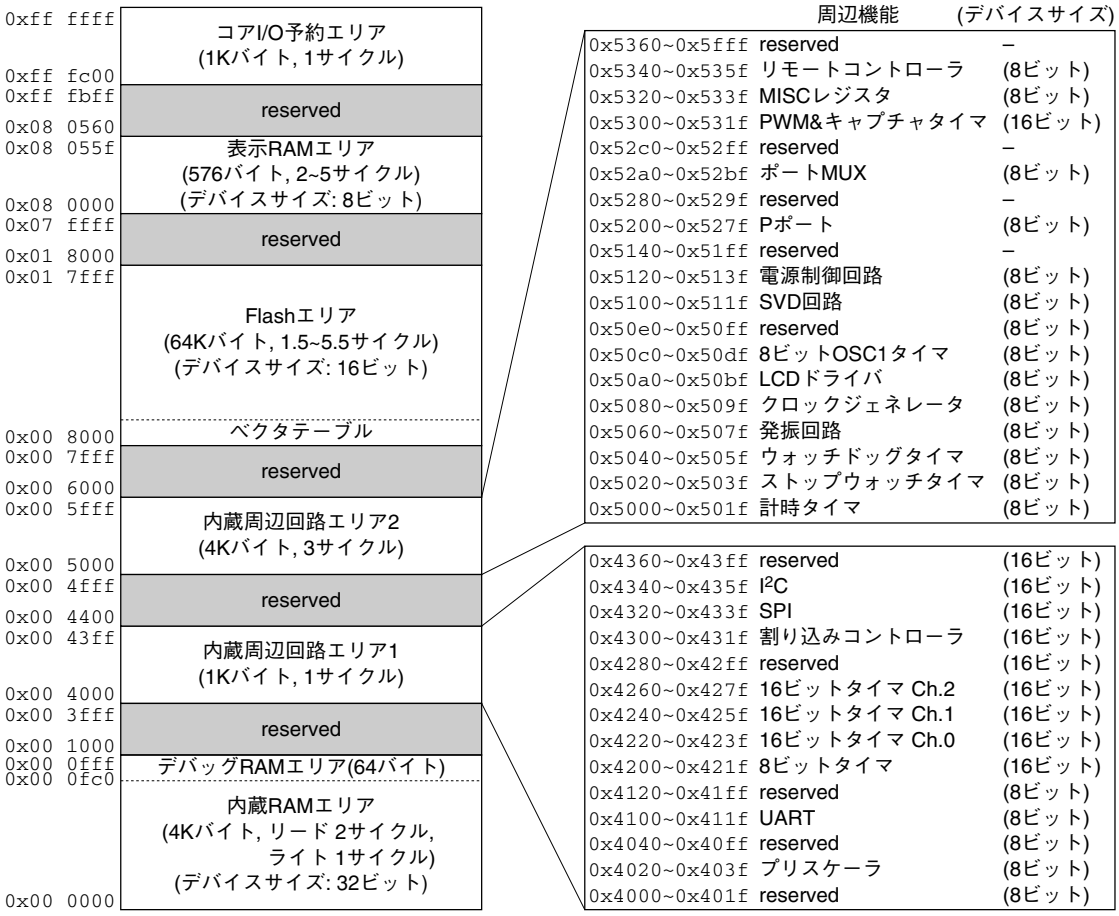


図3.1 S1C17701メモリマップ

3.1 バスサイクル

CPUはCCLKを基準に動作します。CCLKについては、“8.2 CPUコアクロック(CCLK)の制御”を参照してください。
CCLKの立ち上がりから次の立ち上がりまでを1 CCLKとし、これを1バスサイクルとします。図3.1に示したとおり、1回のバスアクセスにかかるサイクル数は、周辺回路やメモリによって異なります。また、CPUの命令(アクセスサイズ)とデバイスサイズによりバスアクセス回数も変わります。

表3.1.1 バスアクセス回数

デバイスサイズ	CPUアクセスサイズ	バスアクセス回数
8ビット	8ビット	1
	16ビット	2
	32ビット*	4
16ビット	8ビット	1
	16ビット	1
	32ビット*	2
32ビット	8ビット	1
	16ビット	1
	32ビット*	1

* 32ビットアクセス時の上位8ビットデータについて
32ビットデータは上位8ビットを0としてメモリに書き込まれます。メモリからの読み出し時は上位8ビットが無視されます。割り込み処理のスタック操作時は、PSRの値を上位8ビットに、戻りアドレスを下位24ビットとした32ビットの書き込み/読み出しを行います。

バスサイクル数の計算例

表示RAMエリア(8ビットデバイス, 2サイクル設定)に、CPUから16ビットリード/ライト命令でアクセスする場合のバスサイクル数
2 [サイクル] × 2 [バスアクセス回数] = 4 [CCLKサイクル]

3.1.1 アクセスサイズ制限

以下に示すモジュールにはアクセスサイズに制限がありますので、プログラミングの際には使用する命令に注意してください。

Flashメモリ

Flashメモリのプログラミングには、16ビットライト命令のみ使用可能です。データの読み出しには特に制限はありません。

SPI, I²C

SPIとI²Cのレジスタへのアクセスには、16ビットリード/ライト命令のみ使用可能です。

上記以外のモジュールは8ビット、16ビット、32ビットのいずれの命令でもアクセス可能です。ただし、必要のないレジスタの読み出しによって周辺回路の状態が変わり、問題が発生する場合もありますので、できるだけデバイスサイズに合わせてアクセスすることを推奨します。

3.1.2 命令実行サイクルの制限

以下のいずれかの条件下では命令のフェッチとデータアクセスが同時に行われず、データの存在するエリアのアクセスサイクル分、命令フェッチのサイクルが長くなります。

- Flashエリアで命令を実行し、Flashエリア、表示RAMエリア、内蔵周辺回路エリア2(0x5000～)のデータにアクセスする場合
- 内蔵RAMエリアで命令を実行し、内蔵RAMエリアのデータにアクセスする場合

3.2 Flashエリア

3.2.1 内蔵Flashメモリ

0x8000番地から0x17fff番地までの64Kバイトの領域にはFlashメモリ(4Kバイト × 16セクタ)が内蔵されており、アプリケーションプログラムやデータを書き込んでおくことができます。0x8000番地はベクタテーブルベースアドレスとして定義されていますので、この領域の先頭にベクタテーブル(“2.4 ベクタテーブル”参照)を置く必要があります。Flashメモリの読み出しは1.5～5.5サイクルで行われます。

3.2.2 Flashプログラミング

S1C17701はFlashメモリのオンボードプログラミングに対応しており、ICD(S5U1C17001H等)を介してデバッガからプログラム/データを書き込むことができます。また、プログラムによる自己書き換えも行えます。プログラミングは16ビット単位で行えます。Flashメモリのプログラミングについては、“Appendix B Flashプログラミング”を参照してください。
消去方法にはチップ消去とセクタ消去の2種類があります。セクタ消去に用いるアドレスとセクタの対応は下表を参照してください。

注: デバッガはチップ消去にのみ対応しています。デバッガからのセクタ消去はできません。

表3.2.2.1 メモリアドレスとFlashセクタの対応

S1C17701アドレス	Flashセクタ番号	S1C17701アドレス	Flashセクタ番号
0x0f000~0x0ffff	7	0x17000~0x17fff	15
0x0e000~0x0efff	6	0x16000~0x16fff	14
0x0d000~0x0dfff	5	0x15000~0x15fff	13
0x0c000~0x0cfff	4	0x14000~0x14fff	12
0x0b000~0x0bfff	3	0x13000~0x13fff	11
0x0a000~0x0afff	2	0x12000~0x12fff	10
0x09000~0x09fff	1	0x11000~0x11fff	9
0x08000~0x08fff	0	0x10000~0x10fff	8

注: セクタ15の最後尾の32ビット(0x17ffc～0x17fff)はプロテクトビットとしてシステムに予約されています。プロテクトの設定以外のデータが書き込まれないように注意してください。

3.2.3 プロテクトビット

内蔵Flashメモリの内容を保護するため、ライトプロテクトとデータリードプロテクトの2種類を16Kバイトの領域ごとに設定できます。
ライトプロテクトは、設定した領域へのデータ書き込みを禁止します。
データリードプロテクトは、設定した領域からのデータ読み出しを禁止します(読み出し値が常に0x0000になります)。ただし、CPUの命令フェッチ動作はプロテクトしません。
この設定には、以下に示すプロテクトビットを使用します。プロテクトを設定する場合は、設定する領域に対応したプロテクトビットを0にプログラミングします。

0x17ffc–0x17ffe: Flash Protect Bits

Address	Bit	Function	Setting				Init.	R/W	Remarks
0x17ffc (16 bits)	D15–4	reserved	–				–	–	
	D3	Flash write-protect bit for 0x14000–0x17fff	1	Writable	0	Protected	1	R/W	
	D2	Flash write-protect bit for 0x10000–0x13fff	1	Writable	0	Protected	1	R/W	
	D1	Flash write-protect bit for 0x0c000–0x0ffff	1	Writable	0	Protected	1	R/W	
	D0	Flash write-protect bit for 0x08000–0x0bfff	1	Writable	0	Protected	1	R/W	
0x17ffe (16 bits)	D15–4	reserved	–				–	–	
	D3	Flash data-read-protect bit for 0x14000–0x17fff	1	Readable	0	Protected	1	R/W	
	D2	Flash data-read-protect bit for 0x10000–0x13fff	1	Readable	0	Protected	1	R/W	
	D1	Flash data-read-protect bit for 0x0c000–0x0ffff	1	Readable	0	Protected	1	R/W	
	D0	reserved	1				1	R/W	必ず1に設定

注:
- **データリードプロテクトを設定する領域を、.dataまたは.rodataセクションに配置しないでください。**
- **0x17ffeのD0は必ず1に設定してください。0に設定するとプログラムがブートできません。**

3.2.4 Flashコントローラのアクセス制御

S1C17701の内蔵Flashメモリは、専用のFlashコントローラを介してアクセスされます。このコントローラへのアクセスに関する設定がMISCレジスタで行えます。

Flashコントローラのリードアクセスサイクルの設定

Flashメモリのデータを正しく読み出すため、CCLK周波数に合わせ、最適なリードアクセスサイクルをFLCYC[2:0](D[2:0]/MISC_FLレジスタ)で設定してください。

0x5320: FLASHC Control Register (MISC_FL)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
FLASHC Control Register (MISC_FL)	0x5320 (8 bits)	D7–3	–	reserved	–		–	–	0 when being read.
		D2–0	FLCYC[2:0]	FLASHC read access cycle	FLCYC[2:0]	Read cycle	0x3	R/W	
					0x7–0x5	reserved			
					0x4	1.5 cycles			
					0x3	5.5 cycles			
					0x2	4.5 cycles			
					0x1	3.5 cycles			
					0x0	2.5 cycles			

D[7:3] Reserved

D[2:0] FLCYC[2:0]: FLASHC Read Access Cycle Setup Bits

Flashコントローラのリードアクセスサイクル数を設定します。

表3.2.4.1 Flashコントローラのリードアクセスサイクルの設定

FLCYC[2:0]	リードアクセスサイクル数	CCLK周波数
0x7～0x5	Reserved	–
0x4	1.5サイクル	3.3MHz max.
0x3	5.5サイクル	8.2MHz max.
0x2	4.5サイクル	8.2MHz max.
0x1	3.5サイクル	8.2MHz max.
0x0	2.5サイクル	6MHz max.

(デフォルト: 0x3)

注: 誤動作の原因になりますので、CCLKの最大許容周波数を超えるリードアクセスサイクル数は設定しないでください。

3.3 内蔵RAMエリア

3.3.1 内蔵RAM

0x0番地から0xfff番地までの4Kバイトの領域にはRAMが内蔵されています。このRAMは、リード時は2サイクル、ライト時は1サイクルでアクセスされます。変数などの格納以外に、命令コードをコピーしてRAM上で高速に実行させることもできます。

注: 内蔵RAMの最後尾の64バイト（0xfc0～0xfff）はオンチップデバッガ用に予約されています。アプリケーション開発中などデバッグ機能を使用する場合は、アプリケーションプログラムからはこの領域をアクセスしないでください。
デバッグの不要な量産品ではアプリケーション用に使用可能です。

3.4 表示RAMエリア

3.4.1 表示RAM

0x80000番地から0x8055f番地までの576バイトの領域には内蔵LCDドライバ用の表示RAMが8ビットデバイスとして割り付けられています。このRAMは2～5サイクルでアクセスされます。表示に使用しない領域は汎用RAMとして使用可能です。
表示メモリの詳細については、“22.5 表示メモリ”を参照してください。

3.4.2 SRAMコントローラのアクセス制御

S1C17701の表示RAMは、専用SRAMコントローラを介してアクセスされます。このコントローラへのアクセスに関する設定がMISCレジスタで行えます。

SRAMコントローラのアクセスサイクルの設定

表示RAMのデータを正しくリード/ライトするため、CCLK周波数に合わせ、最適なアクセスサイクルをSRCYC[1:0](D[1:0]/MISC_SRレジスタ)で設定してください。

0x5321: SRAMC Control Register (MISC_SR)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
SRAMC Control Register (MISC_SR)	0x5321 (8 bits)	D7–2	–	reserved	–		–	–	0 when being read.
		D1–0	SRCYC[1:0]	SRAMC access cycle	SRCYC[1:0]	Access cycle	0x3	R/W	
					0x3	5 cycles			
					0x2	4 cycles			
					0x1	3 cycles			
					0x0	2 cycles			

D[7:2] Reserved

D[1:0] SRCYC[1:0]: SRAMC Access Cycle Setup Bits
SRAM(表示RAM)コントローラのアクセスサイクルを設定します。

表3.4.2.1 SRAMコントローラのアクセスサイクルの設定

SRCYC[1:0]	アクセスサイクル数	CCLK周波数
0x3	5サイクル	8.2MHz max.
0x2	4サイクル	8.2MHz max.
0x1	3サイクル	8.2MHz max.
0x0	2サイクル	6MHz max.

(デフォルト: 0x3)

3.5 内蔵周辺回路エリア

0x4000番地から始まる1Kバイトと、0x5000番地から始まる4Kバイトのエリアには、内蔵周辺回路のI/Oおよび制御レジスタが割り付けられています。

3.5.1 内蔵周辺回路エリア1（0x4000~）

0x4000番地から始まる内蔵周辺回路エリア1には以下の内蔵周辺機能用I/Oメモリが割り付けられており、1サイクルでアクセス可能です。

- プリスケーラ（PSC, 8ビットデバイス）
- UART（UART, 8ビットデバイス）
- 8ビットタイマ（T8F, 16ビットデバイス）
- 16ビットタイマ（T16, 16ビットデバイス）
- 割り込みコントローラ（ITC, 16ビットデバイス）
- SPI（SPI, 16ビットデバイス）
- I²C（I2C, 16ビットデバイス）

3.5.2 内蔵周辺回路エリア2（0x5000~）

0x5000番地から始まる内蔵周辺回路エリア2には以下の内蔵周辺機能用I/Oメモリが割り付けられており、3サイクルでアクセス可能です。

- 計時タイマ（CT, 8ビットデバイス）
- ストップウォッチタイマ（SWT, 8ビットデバイス）
- ウォッチドッグタイマ（WDT, 8ビットデバイス）
- 発振回路（OSC, 8ビットデバイス）
- クロックジェネレータ（CLG, 8ビットデバイス）
- LCDドライバ（LCD, 8ビットデバイス）
- 8ビットOSC1タイマ（T8OSC1, 8ビットデバイス）
- SVD回路（SVD, 8ビットデバイス）
- 電源回路（VD1, 8ビットデバイス）
- 入出力ポート&ポートMUX（P, 8ビットデバイス）
- PWM&キャプチャタイマ（T16E, 16ビットデバイス）
- MISCレジスタ（MISC, 8ビットデバイス）
- リモートコントローラ（REMC, 8ビットデバイス）

3.5.3 I/Oマップ

内蔵周辺回路エリアのI/Oマップを以下に示します。各制御レジスタの詳細については、AppendixのI/Oレジスタ一覧または各周辺回路の説明を参照してください。

表3.5.3.1 I/Oマップ（内蔵周辺回路エリア1）

周辺回路	アドレス	レジスタ名		機　能
プリスケーラ（8ビットデバイス）	0x4020	PSC_CTL	Prescaler Control Register	プリスケーラのスタート/ストップ制御
	0x4021~0x403f	–	–	Reserved
UART（IrDA付き）（8ビットデバイス）	0x4100	UART_ST	UART Status Register	転送、バッファ、エラーステータスの表示
	0x4101	UART_TXD	UART Transmit Data Register	送信データ
	0x4102	UART_RXD	UART Receive Data Register	受信データ
	0x4103	UART_MOD	UART Mode Register	転送データ形式の設定
	0x4104	UART_CTL	UART Control Register	データ転送の制御
	0x4105	UART_EXP	UART Expansion Register	IrDAモードの設定
	0x4106~0x411f	–	–	Reserved
8ビットタイマ（Fモード付き）（16ビットデバイス）	0x4200	T8F_CLK	8-bit Timer Input Clock Select Register	プリスケーラ出力クロックの選択
	0x4202	T8F_TR	8-bit Timer Reload Data Register	リロードデータの設定
	0x4204	T8F_TC	8-bit Timer Counter Data Register	カウンタデータ
	0x4206	T8F_CTL	8-bit Timer Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4208~0x421f	–	–	Reserved
16ビットタイマ Ch.0（16ビットデバイス）	0x4220	T16_CLK0	16-bit Timer Ch.0 Input Clock Select Register	プリスケーラ出力クロックの選択
	0x4222	T16_TR0	16-bit Timer Ch.0 Reload Data Register	リロードデータの設定
	0x4224	T16_TC0	16-bit Timer Ch.0 Counter Data Register	カウンタデータ
	0x4226	T16_CTL0	16-bit Timer Ch.0 Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4228~0x423f	–	–	Reserved
16ビットタイマ Ch.1（16ビットデバイス）	0x4240	T16_CLK1	16-bit Timer Ch.1 Input Clock Select Register	プリスケーラ出力クロックの選択
	0x4242	T16_TR1	16-bit Timer Ch.1 Reload Data Register	リロードデータの設定
	0x4244	T16_TC1	16-bit Timer Ch.1 Counter Data Register	カウンタデータ
	0x4246	T16_CTL1	16-bit Timer Ch.1 Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4248~0x425f	–	–	Reserved
16ビットタイマ Ch.2（16ビットデバイス）	0x4260	T16_CLK2	16-bit Timer Ch.2 Input Clock Select Register	プリスケーラ出力クロックの選択
	0x4262	T16_TR2	16-bit Timer Ch.2 Reload Data Register	リロードデータの設定
	0x4264	T16_TC2	16-bit Timer Ch.2 Counter Data Register	カウンタデータ
	0x4266	T16_CTL2	16-bit Timer Ch.2 Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4268~0x427f	–	–	Reserved
割り込みコントローラ（16ビットデバイス）	0x4300	ITC_IFLG	Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x4302	ITC_EN	Interrupt Enable Register	各マスク可能割り込みの許可/禁止
	0x4304	ITC_CTL	ITC Control Register	ITC動作の許可/禁止
	0x4306	ITC_ELV0	External Interrupt Level Setup Register 0	P0、P1ポート割り込みレベルとトリガモードの設定
	0x4308	ITC_ELV1	External Interrupt Level Setup Register 1	ストップウォッチタイマ、計時タイマ割り込みレベルとトリガモードの設定
	0x430a	ITC_ELV2	External Interrupt Level Setup Register 2	8ビットOSC1タイマ、SVD割り込みレベルとトリガモードの設定
	0x430c	ITC_ELV3	External Interrupt Level Setup Register 3	LCD、PWM&キャプチャタイマ割り込みレベルとトリガモードの設定
	0x430e	ITC_ILV0	Internal Interrupt Level Setup Register 0	8ビットタイマ、16ビットタイマCh.0割り込みレベルの設定
	0x4310	ITC_ILV1	Internal Interrupt Level Setup Register 1	16ビットタイマCh.1、16ビットタイマCh.2割り込みレベルの設定
	0x4312	ITC_ILV2	Internal Interrupt Level Setup Register 2	UART、リモートコントローラ割り込みレベルの設定
	0x4314	ITC_ILV3	Internal Interrupt Level Setup Register 3	SPI、I²C割り込みレベルの設定
	0x4316~0x431f	–	–	Reserved
SPI（16ビットデバイス）	0x4320	SPI_ST	SPI Status Register	転送、バッファステータスの表示
	0x4322	SPI_TXD	SPI Transmit Data Register	送信データ
	0x4324	SPI_RXD	SPI Receive Data Register	受信データ
	0x4326	SPI_CTL	SPI Control Register	SPIモードとデータ転送許可の設定
	0x4328~0x433f	–	–	Reserved
I²C（16ビットデバイス）	0x4340	I2C_EN	I²C Enable Register	I²Cモジュールイネーブル
	0x4342	I2C_CTL	I²C Control Register	I²Cの制御と転送状態の表示
	0x4344	I2C_DAT	I²C Data Register	送受信データ
	0x4346	I2C_ICTL	I²C Interrupt Control Register	I²C割り込みの制御
	0x4348~0x435f	–	–	Reserved

表3.5.3.2 I/Oマップ(内蔵周辺回路エリア2)

周辺回路	アドレス	レジスタ名		機　能
計時タイマ (8ビットデバイス)	0x5000	CT_CTL	Clock Timer Control Register	タイマのリセットとRUN/STOP制御
	0x5001	CT_CNT	Clock Timer Counter Register	カウンタデータ
	0x5002	CT_IMSK	Clock Timer Interrupt Mask Register	割り込みマスクの設定
	0x5003	CT_IFLG	Clock Timer Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x5004~0x501f	–	–	Reserved
ストップ ウォッチタイマ (8ビットデバイス)	0x5020	SWT_CTL	Stopwatch Timer Control Register	タイマのリセットとRUN/STOP制御
	0x5021	SWT_BCNT	Stopwatch Timer BCD Counter Register	BCDカウンタデータ
	0x5022	SWT_IMSK	Stopwatch Timer Interrupt Mask Register	割り込みマスクの設定
	0x5023	SWT_IFLG	Stopwatch Timer Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x5024~0x503f	–	–	Reserved
ウォッチドッグ タイマ (8ビットデバイス)	0x5040	WDT_CTL	Watchdog Timer Control Register	タイマのリセットとRUN/STOP制御
	0x5041	WDT_ST	Watchdog Timer Status Register	タイマモードの設定とNMI状態表示
	0x5042~0x505f	–	–	Reserved
発振回路 (8ビットデバイス)	0x5060	OSC_SRC	Clock Source Select Register	クロック源の選択
	0x5061	OSC_CTL	Oscillation Control Register	発振制御
	0x5062	OSC_NFEN	Noise Filter Enable Register	ノイズフィルタのON/OFF
	0x5063	OSC_LCLK	LCD Clock Setup Register	LCDクロックの設定
	0x5064	OSC_FOUT	FOUT Control Register	クロック外部出力の制御
	0x5065	OSC_T8OSC1	T8OSC1 Clock Control Register	8ビットOSC1タイマクロックの設定
	0x5066~0x507f	–	–	Reserved
クロック ジェネレータ (8ビットデバイス)	0x5080	CLG_PCLK	PCLK Control Register	PCLK供給制御
	0x5081	CLG_CCLK	CCLK Control Register	CCLK分周比の設定
	0x5082~0x509f	–	–	Reserved
LCDドライバ (8ビットデバイス)	0x50a0	LCD_DCTL	LCD Display Control Register	LCD表示の制御
	0x50a1	LCD_CADJ	LCD Contrast Adjust Register	コントラストの制御
	0x50a2	LCD_CCTL	LCD Clock Control Register	LCDクロックデューティ選択
	0x50a3	LCD_VREG	LCD Voltage Regulator Control Register	LCDドライバ用定電圧回路の制御
	0x50a4	LCD_PWR	LCD Power Voltage Booster Control Register	LCD電源電圧昇圧回路の制御
	0x50a5	LCD_IMSK	LCD Interrupt Mask Register	割り込みマスクの設定
	0x50a6	LCD_IFLG	LCD Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x50a7~0x50bf	–	–	Reserved
8ビットOSC1 タイマ (8ビットデバイス)	0x50c0	T8OSC1_CTL	8-bit OSC1 Timer Control Register	タイマモードの設定とタイマのRUN/STOP
	0x50c1	T8OSC1_CNT	8-bit OSC1 Timer Counter Data Register	カウンタデータ
	0x50c2	T8OSC1_CMP	8-bit OSC1 Timer Compare Data Register	コンペアデータの設定
	0x50c3	T8OSC1_IMSK	8-bit OSC1 Timer Interrupt Mask Register	割り込みマスクの設定
	0x50c4	T8OSC1_IFLG	8-bit OSC1 Timer Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x50c5~0x50df	–	–	Reserved
SVD回路 (8ビットデバイス)	0x5100	SVD_EN	SVD Enable Register	SVD動作の許可/禁止
	0x5101	SVD_CMP	SVD Compare Voltage Register	比較電圧の設定
	0x5102	SVD_RSLT	SVD Detection Result Register	電圧検出結果
	0x5103	SVD_IMSK	SVD Interrupt Mask Register	割り込みマスクの設定
	0x5104	SVD_IFLG	SVD Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x5105~0x511f	–	–	Reserved
電源回路 (8ビットデバイス)	0x5120	VD1_CTL	V_{D1} Control Register	V_{D1}電圧と重負荷保護の制御
	0x5121~0x513f	–	–	Reserved
Pポート& ポートMUX (8ビットデバイス)	0x5200	P0_IN	P0 Port Input Data Register	P0ポート入力データ
	0x5201	P0_OUT	P0 Port Output Data Register	P0ポート出力データ
	0x5202	P0_IO	P0 Port I/O Direction Control Register	P0ポート入出力方向の選択
	0x5203	P0_PU	P0 Port Pull-up Control Register	P0ポートのプルアップ制御
	0x5204	P0_SM	P0 Port Schmitt Trigger Control Register	P0ポートのシュミットトリガ制御
	0x5205	P0_IMSK	P0 Port Interrupt Mask Register	P0ポート割り込みマスクの設定
	0x5206	P0_EDGE	P0 Port Interrupt Edge Select Register	P0ポート割り込みエッジの選択
	0x5207	P0_IFLG	P0 Port Interrupt Flag Register	P0ポート割り込み発生状態の表示/リセット
	0x5208	P0_CHAT	P0 Port Chattering Filter Control Register	P0ポートチャタリング除去制御
	0x5209	P0_KRST	P0 Port Key-Entry Reset Configuration Register	P0ポートキー入力リセットの設定
	0x520a~0x520f	–	–	Reserved
	0x5210	P1_IN	P1 Port Input Data Register	P1ポート入力データ
	0x5211	P1_OUT	P1 Port Output Data Register	P1ポート出力データ
	0x5212	P1_IO	P1 Port I/O Direction Control Register	P1ポート入出力方向の選択
	0x5213	P1_PU	P1 Port Pull-up Control Register	P1ポートのプルアップ制御
	0x5214	P1_SM	P1 Port Schmitt Trigger Control Register	P1ポートのシュミットトリガ制御
	0x5215	P1_IMSK	P1 Port Interrupt Mask Register	P1ポート割り込みマスクの設定
	0x5216	P1_EDGE	P1 Port Interrupt Edge Select Register	P1ポート割り込みエッジの選択
	0x5217	P1_IFLG	P1 Port Interrupt Flag Register	P1ポート割り込み発生状態の表示/リセット
	0x5218~0x521f	–	–	Reserved

周辺回路	アドレス	レジスタ名		機　能
Pポート& ポートMUX (8ビットデバイス)	0x5220	P2_IN	P2 Port Input Data Register	P2ポート入力データ
	0x5221	P2_OUT	P2 Port Output Data Register	P2ポート出力データ
	0x5222	P2_IO	P2 Port I/O Direction Control Register	P2ポート入出力方向の選択
	0x5223	P2_PU	P2 Port Pull-up Control Register	P2ポートのプルアップ制御
	0x5224	P2_SM	P2 Port Schmitt Trigger Control Register	P2ポートのシュミットトリガ制御
	0x5225~0x522f	–	–	Reserved
	0x5230	P3_IN	P3 Port Input Data Register	P3ポート入力データ
	0x5231	P3_OUT	P3 Port Output Data Register	P3ポート出力データ
	0x5232	P3_IO	P3 Port I/O Direction Control Register	P3ポート入出力方向の選択
	0x5233	P3_PU	P3 Port Pull-up Control Register	P3ポートのプルアップ制御
	0x5234	P3_SM	P3 Port Schmitt Trigger Control Register	P3ポートのシュミットトリガ制御
	0x5235~0x527f	–	–	Reserved
	0x52a0	P0_PMUX	P0 Port Function Select Register	P0ポート機能の選択
	0x52a1	P1_PMUX	P1 Port Function Select Register	P1ポート機能の選択
	0x52a2	P2_PMUX	P2 Port Function Select Register	P2ポート機能の選択
	0x52a3	P3_PMUX	P3 Port Function Select Register	P3ポート機能の選択
	0x52a4~0x52bf	–	–	Reserved
PWM& キャプチャタイマ (16ビットデバイス)	0x5300	T16E_CA	PWM Timer Compare Data A Register	コンペアデータAの設定
	0x5302	T16E_CB	PWM Timer Compare Data B Register	コンペアデータBの設定
	0x5304	T16E_TC	PWM Timer Counter Data Register	カウンタデータ
	0x5306	T16E_CTL	PWM Timer Control Register	タイマモードの設定とタイマのRUN/STOP
	0x5308	T16E_CLK	PWM Timer Input Clock Select Register	プリスケーラ出力クロックの選択
	0x530a	T16E_IMSK	PWM Timer Interrupt Mask Register	割り込みマスクの設定
	0x530c	T16E_IFLG	PWM Timer Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x530e~0x531f	–	–	Reserved
MISCレジスタ (8ビットデバイス)	0x5320	MISC_FL	FLASHC Control Register	FLASHCアクセス条件設定
	0x5321	MISC_SR	SRAMC Control Register	SRAMCアクセス条件設定
	0x5322	MISC_OSC1	OSC1 Peripheral Control Register	デバッグ時のOSC1動作周辺機能の設定
	0x5323~0x533f	–	–	Reserved
リモート コントローラ (8ビットデバイス)	0x5340	REMC_CFG	REMC Configuration Register	送受信の選択と許可
	0x5341	REMC_PSC	REMC Prescaler Clock Select Register	プリスケーラ出力クロックの選択
	0x5342	REMC_CARH	REMC H Carrier Length Setup Register	キャリアのH区間長設定
	0x5343	REMC_CARL	REMC L Carrier Length Setup Register	キャリアのL区間長設定
	0x5344	REMC_ST	REMC Status Register	送受信ビット
	0x5345	REMC_LCNT	REMC Length Counter Register	送受信データ長の設定
	0x5346	REMC_IMSK	REMC Interrupt Mask Register	割り込みマスクの設定
	0x5347	REMC_IFLG	REMC Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x5348~0x535f	–	–	Reserved

注: 表中の“Reserved”で示されたアドレス、および表に記載のない周辺回路エリアの未使用領域は、アプリケーションプログラムからアクセスしないでください。

3.6 コアI/O予約エリア

0xfffc00～0xffffffの1KバイトはCPUコアI/Oエリアとして使用され、以下のI/Oレジスタが割り付けられています。

表3.6.1 I/Oマップ（コアI/O予約エリア）

周辺回路	アドレス	レジスタ名		機　能
S1C17コアI/O	0xffff80	TTBR	Vector Table Base Register	ベクタテーブルベースアドレスの表示
	0xffff84	IDIR	Processor ID Register	プロセッサIDの表示
	0xffff90	DBRAM	Debug RAM Base Register	デバッグRAMベースアドレスの表示

TTBRについては“2.4 ベクタテーブル”を、IDIRについては“2.5 プロセッサ情報”を参照してください。
DBRAMについては、“24 オンチップデバッガ（DBG）”を参照してください。

このページはブランクです。

4 電源

4.1 電源電圧

S1C17701の動作電源電圧は次のとおりです。

通常動作時: 1.8V～3.6V
Flashプログラミング時: 2.7V～3.6V

V_{SS}端子をGNDとして、この範囲内の電圧をV_{DD}端子に供給してください。
S1C17701には2本のV_{DD}端子と3本のV_{SS}端子があります。いずれもオープンにせず、必ず+電源とGNDに接続してください。

4.2 内部電源回路

S1C17701は図4.2.1に示す電源回路を内蔵しており、内部回路に必要なすべての電圧をIC内部で発生します。電源回路は大きく3つに分けられます。

表4.2.1 電源回路

回路系	電源回路	出力電圧
発振回路、内部回路	内部定電圧回路	V_{D1}
LCD系定電圧回路	電源電圧昇圧回路	V_{DD}またはV_{D2}
LCDドライバ	LCD系定電圧回路	V_{C1}～V_{C5}

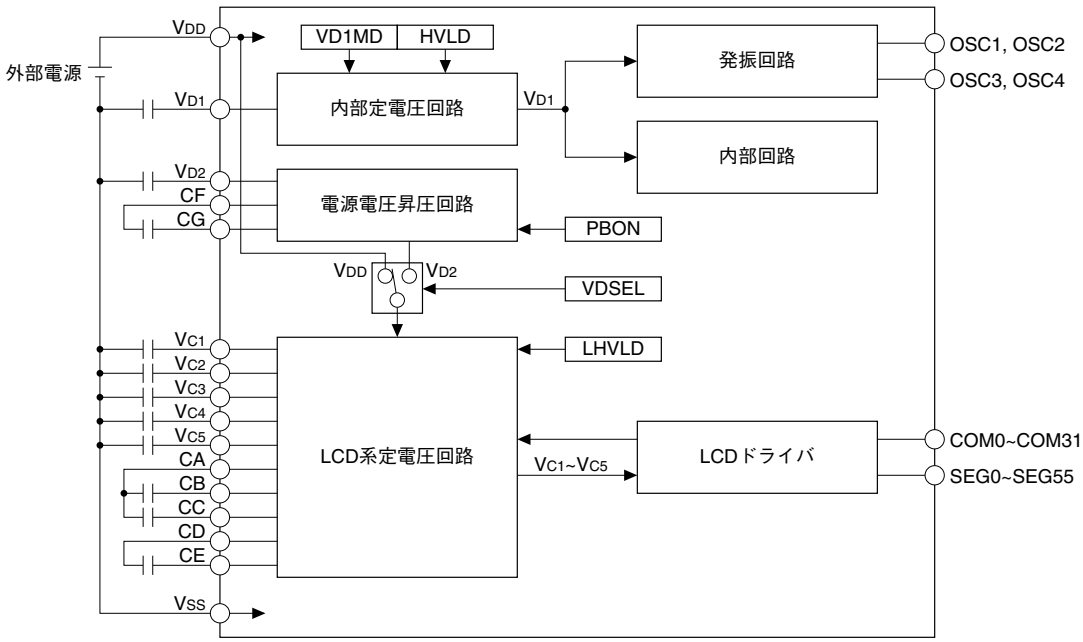


図4.2.1 電源回路の構成

注: V_{D1}、V_{D2}、V_{C1}～V_{C5}端子の出力を外部回路の駆動には絶対に使用しないでください。

内部定電圧回路

内部定電圧回路は、内部ロジック回路と発振回路の動作電圧V_{D1}を発生します。V_{D1}の電圧値はプログラムで切り換えられるようになっており、通常動作時は1.8Vに、Flashプログラミング時は2.5Vに設定します。

電源電圧昇圧回路

電源電圧昇圧回路は、LCD系定電圧回路の動作電圧V_{D2}を発生します。電源電圧V_{DD}に応じて、LCD系定電圧回路の電源として、V_{DD}を供給するかV_{D2}を供給するかを選択します。

表4.2.2 LCD系定電圧回路の電源

電源電圧V_{DD}	LCD系定電圧回路電源
1.8～2.5V	V_{D2} (≒ $V_{DD} \times 2$)
2.5～3.6V	V_{DD}

LCD系定電圧回路

LCD系定電圧回路はLCDの1/5バイアス用駆動電圧V_{C1}、V_{C2}、V_{C3}、V_{C4}、V_{C5}を発生します。
S1C17701では、内蔵LCDドライバにこれらのLCD駆動電圧が供給され、コモン/セグメント端子に接続されたLCDパネルを駆動します。

注: V_{DD}が2.5V以下のときにLCD系定電圧回路の電源としてV_{DD}を使用すると、V_{C1}～V_{C5}の電圧は正しい値になりません。

4.3 電源回路の制御

電源電圧や動作モードに合わせてチップ内の動作電圧を正しく生成するため、あるいは消費電流を低減するため、各電源回路はソフトウェアで制御できるようになっています。

動作モードの切り換え

S1C17701には2種類の動作モードがあります。

1. 通常動作モード
   アプリケーションプログラムを実行する通常の動作モードです。
   V_{DD} = 1.8～3.6V、内部動作電圧 V_{D1} = 1.8V

2. Flash消去/プログラミングモード
   Flashメモリの消去やプログラム/データの書き込みを行う動作モードです。
   V_{DD} = 2.7～3.6V、内部動作電圧 V_{D1} = 2.5V

上記のとおり、モードに合わせてV_{D1}電圧値を切り換える必要があり、これをVD1MD(D0/VD1_CTLレジスタ)で行えるようになっています。通常はVD1MDをデフォルト設定の0(V_{D1} = 1.8V)にして使用します。Flashメモリの消去/プログラミングを行う場合に、VD1MDを1に設定します。

* **VD1MD**: Flash Erase/Program Mode Bit in the V_{D1} Control (VD1_CTL) Register (D0/0x5120)

注: 動作モードを切り換え後、内部動作電圧が安定するまでに5ms(max.)の時間を要します。Flashメモリのプログラミングは、この安定時間が経過した後に開始してください。

LCD電源の制御

適正なLCD駆動電圧V_{C1}～V_{C5}を生成するためには、LCD系定電圧回路を2.5V以上で動作させる必要があります。1.8V～2.5Vの電源(V_{DD})を使用する場合は、電源電圧昇圧回路でV_{DD}を約2倍に昇圧し、その出力電圧V_{D2}でLCD系定電圧回路を動作させます。この場合はPBON(D0/LCD_PWRレジスタ)を1に設定して電源電圧昇圧回路をOnします。これにより生成されたV_{D2}でLCD系定電圧回路を動作させるには、さらにVDSEL(D1/LCD_PWRレジスタ)を1に設定します。PBON = 1の設定は、必ずV_{D2}電圧への切り換えの前に行ってください。

* **PBON**: Power Voltage Booster Control Bit in the LCD Power Voltage Booster Control (LCD_PWR) Register (D0/0x50a4)
* **VDSEL**: Regulator Power Source Select Bit in the LCD Power Voltage Booster Control (LCD_PWR) Register (D1/0x50a4)

2.5V以上の電源(V_{DD})を使用する場合は、V_{DD}でLCD系定電圧回路を動作させます。電源電圧昇圧回路は消費電流を低減するためOffします。この場合、PBONとVDSELはどちらもデフォルト値の0のままとします。

注: 電源電圧昇圧回路をOnしてから出力電圧V_{D2}が安定するまでに約1msの時間を要します。この間は、LCD系定電圧回路の電源をV_{D2}に切り換えないでください。

LCD駆動電圧V_{C1}～V_{C5}は、DSPC[1:0](D[1:0]/LCD_DCTLレジスタ)を0x0(表示Off)以外に設定するとLCDドライバに供給されます。

* **DSPC[1:0]**: LCD Display Control Bits in the LCD Display Control (LCD_DCTL) Register (D[1:0]/0x50a0)

内蔵LCDドライバを使用しない場合は、消費電流の低減のため、電源電圧昇圧回路とLCD系定電圧回路をOffにしてください。PBON、VDSEL、DSPC[1:0]はすべて0(デフォルト)にします。

電源制御ビット設定一覧

表4.3.1に動作条件による電源制御ビットの設定を示します。

表4.3.1 電源制御ビット設定一覧

条件			制御ビット			
動作モード	V_{DD}	LCDドライバ	VD1MD	PBON	VDSEL	DSPC[1:0]
通常動作	1.8～2.5V	使用する	0	1	1	0x0以外
	2.5～3.6V	使用する	0	0	0	0x0以外
	1.8～3.6V	使用しない	0	0	0	0x0
Flash消去/プログラミング	1.8～2.7V	–	(使用禁止)			
	2.7～3.6V	使用する	1	0	0	0x0以外
	2.7～3.6V	使用しない	1	0	0	0x0

DSPC[1:0]の設定については、22.8節内の“0x50a0: LCD Display Control Register (LCD_DCTL)”を参照してください。

4.4 重負荷保護機能

外付け負荷の駆動などによって電源電圧が変動した場合でもできるかぎり安定した動作やLCD表示が行えるように、内部定電圧回路とLCD系定電圧回路はソフトウェアで設定可能な重負荷保護機能を持っています。
内部定電圧回路はHVLD(D4/VD1_CTLレジスタ)に1を書き込むと重負荷保護モードとなり、V_{D1}出力の安定化を図ります。ポート出力によりランプやブザーなどの重負荷を駆動する前に設定してください。

* **HVLD**: V_{D1} Heavy Load Protection Mode Bit in the V_{D1} Control (VD1_CTL) Register (D4/0x5120)

LCD系定電圧回路はLHVLD(D4/LCD_VREGレジスタ)に1を書き込むと重負荷保護モードとなり、V_{C1}～V_{C5}出力の安定化を図ります。液晶表示に濃淡が現れる場合などに設定してください。

* **LHVLD**: LCD Heavy Load Protection Mode Bit in the LCD Voltage Regulator Control (LCD_VREG) Register (D4/0x50a3)

注: 重負荷保護モードでは、通常動作時より消費電流が多くなります。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないでください。

4.5 制御レジスタ詳細

表4.5.1 電源制御レジスター一覧

アドレス	レジスタ名		機　能
0x5120	VD1_CTL	V_{D1} Control Register	V_{D1}電圧と重負荷保護の制御
0x50a3	LCD_VREG	LCD Voltage Regulator Control Register	LCDドライバ用定電圧回路の制御
0x50a4	LCD_PWR	LCD Power Voltage Booster Control Register	LCD電源電圧昇圧回路の制御

以下に電源制御レジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5120: V_{D1} Control Register (VD1_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
V_{D1} Control Register (VD1_CTL)	0x5120 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	HVLD	V_{D1} heavy load protection mode	1 On 0 Off	0	R/W	
		D3–1	–	reserved	–	–	–	0 when being read.
		D0	VD1MD	Flash erase/program mode	1 Flash (2.5 V) 0 Norm.(1.8 V)	0	R/W	

D[7:5] Reserved

D4 HVLD: V_{D1} Heavy Load Protection Mode Bit

内部定電圧回路を重負荷保護モードに設定します。
1(R/W): 重負荷保護On
0(R/W): 重負荷保護Off(デフォルト)

内部定電圧回路はHVLDに1を書き込むと重負荷保護モードとなり、V_{D1}出力の安定化を図ります。ポート出力によりランプやブザーなどの重負荷を駆動する前に設定してください。
重負荷保護モードでは消費電流が増加しますので、必要なとき以外は設定しないでください。

D[3:1] Reserved

D0 VD1MD: Flash Erase/Program Mode Bit

内部動作電圧V_{D1}の値(動作モード)を選択します。
1(R/W): V_{D1} = 2.5V、Flash消去/プログラミングモード
0(R/W): V_{D1} = 1.8V、通常動作モード(デフォルト)

通常はVD1MDをデフォルト設定の0(V_{D1} = 1.8V)にして使用します。Flashメモリの消去/プログラミングを行う場合に、VD1MDを1に設定します。

注: 動作モードを切り換え後、内部動作電圧が安定するまでに5ms(max.)の時間を要します。Flashメモリのプログラミングは、この安定時間が経過した後に開始してください。

0x50a3: LCD Voltage Regulator Control Register (LCD_VREG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
LCD Voltage Regulator Control Register (LCD_VREG)	0x50a3 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	LHVLD	LCD heavy load protection mode	1 On 0 Off	0	R/W	
		D3–0	–	reserved	–	–	–	0 when being read.

D[7:5] Reserved

D4 LHVLD: LCD Heavy Load Protection Mode Bit

LCD系定電圧回路を重負荷保護モードに設定します。
1(R/W): 重負荷保護On
0(R/W): 重負荷保護Off(デフォルト)

LCD系定電圧回路はLHVLDに1を書き込むと重負荷保護モードとなり、V_{C1}～V_{C5}出力の安定化を図ります。液晶表示に濃淡が現れる場合などに設定してください。
重負荷保護モードでは消費電流が増加しますので、必要なとき以外は設定しないでください。

D[3:0] Reserved

0x50a4: LCD Power Voltage Booster Control Register (LCD_PWR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
LCD Power Voltage Booster Control Register (LCD_PWR)	0x50a4 (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1	VDSEL	Regulator power source select	1 V_{D2} 0 V_{DD}	0	R/W	
		D0	PBON	Power voltage booster control	1 On 0 Off	0	R/W	

D[7:2] Reserved

D1 VDSEL: Regulator Power Source Select Bit

LCD系定電圧回路の電源電圧を選択します。
1(R/W): V_{D2}
0(R/W): V_{DD}(デフォルト)

1.8V～2.5Vの電源(V_{DD})を使用する場合はVDSELに1を書き込み、電源電圧昇圧回路が生成したV_{D2}でLCD系定電圧回路を動作させます。この設定の前に、PBON(D0)に1を書き込み、電源電圧昇圧回路をOnしておく必要があります。
2.5V以上の電源(V_{DD})を使用する場合はVDSELを0に設定し、V_{DD}でLCD系定電圧回路を動作させます。この場合、電源電圧昇圧回路は消費電流を低減するためOffします。

D0 PBON: Power Voltage Booster Control Bit

電源電圧昇圧回路を制御します。
1(R/W): On
0(R/W): Off(デフォルト)

1.8V～2.5Vの電源(V_{DD})を使用する場合はPBONに1を書き込み、電源電圧昇圧回路をOnします。電源電圧昇圧回路はV_{DD}を約2倍に昇圧し、LCD系定電圧回路を動作させるV_{D2}を生成します。V_{D2}でLCD系定電圧回路を動作させるには、さらにVDSEL(D1)を1に設定します。2.5V以上の電源(V_{DD})を使用する場合はV_{D2}を生成する必要はありません。電源電圧昇圧回路は消費電流を低減するためOffにしてください。

注: 電源電圧昇圧回路をOnしてから出力電圧V_{D2}が安定するまでに約1msの時間を要します。この間は、LCD系定電圧回路の電源をV_{D2}に切り換えないでください。

4.6 注意事項

- V_{D1}、V_{D2}、V_{C1}～V_{C5}端子の出力を外部回路の駆動には絶対に使用しないでください。
- V_{DD}が2.5V以下のときにLCD系定電圧回路の電源としてV_{DD}を使用すると、V_{C1}～V_{C5}の電圧は正しい値になりません。
- 通常動作モードからFlash消去/プログラミングモードへ切り換え後、内部動作電圧が安定するまでに5ms(max.)の時間を要します。Flashメモリのプログラミングは、この安定時間が経過した後に開始してください。
- 電源電圧昇圧回路をOnしてから出力電圧V_{D2}が安定するまでに約1msの時間を要します。この間は、LCD系定電圧回路の電源をV_{D2}に切り換えないでください。
- 重負荷保護モードでは、通常動作時より消費電流が多くなります。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないでください。

5 イニシャルリセット

5.1 イニシャルリセット要因

S1C17701の内部回路を初期化するイニシャルリセット要因は、以下の3種類です。

(1) #RESET端子による外部イニシャルリセット
(2) P0ポート(P00～P03端子)のキー入力による外部イニシャルリセット(ソフトウェアで設定)
(3) ウォッチドッグタイマによる内部イニシャルリセット(ソフトウェアで設定)

図5.1.1にイニシャルリセット回路の構成を示します。

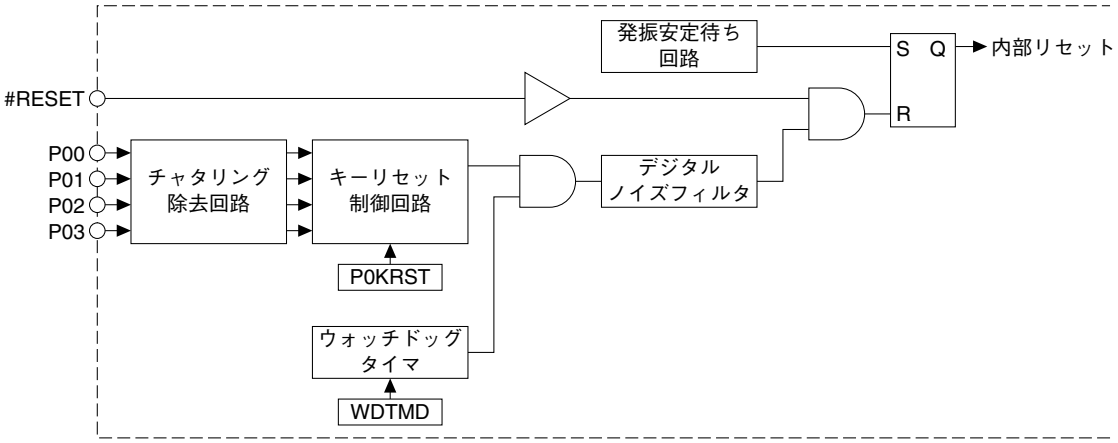


図5.1.1 イニシャルリセット回路の構成

イニシャルリセット要因によってCPUおよび周辺回路が初期化され、要因が解除されるとCPUはリセット処理を開始します。
これによって、ベクタテーブルの先頭からリセットベクタが読み出され、そのアドレスから始まるプログラム(初期化ルーチン)の実行を開始します。

5.1.1 #RESET端子

外部から#RESET端子にLowレベルを入力することでイニシャルリセットが行えます。
S1C17701を確実に初期化するため、電源電圧立ち上がり後、#RESET端子を規定の時間以上Lowレベルに保持してください。(“26.6 AC特性”参照)
#RESET入力がLowからHighになると、イニシャルリセットが解除され、CPUはリセット割り込み処理を開始します
#RESET端子には、プルアップ抵抗が内蔵されています。

5.1.2 P0ポートキー入力リセット

ソフトウェアで選択されたポート(P00～P03)に、外部から同時にLowレベルを入力することでイニシャルリセットが行えます。使用するポートはP0KRST[1:0](D[1:0]/P0_KRSTレジスタ)で選択できます。

* **P0KRST[1:0]**: P0 Port Key-Entry Reset Configuration Bits in the P0 Port Key-Entry Reset Configuration (P0_KRST) Register (D[1:0]/0x5209)

表5.1.2.1 P0ポートキー入力リセットの設定

P0KRST[1:0]	使用するポート
0x3	P00, P01, P02, P03
0x2	P00, P01, P02
0x1	P00, P01
0x0	使用しない

たとえば、P0KRST[1:0]を0x3に設定した場合、P00～P03の4ポートの入力が同時にLowレベルになったときにイニシャルリセットがかかります。

注: • P0ポートキー入力リセット機能を使用する場合、通常動作時に指定ポートが同時にLowレベルにならないように注意してください。
- P0ポートキー入力リセット機能はソフトウェアで有効にしますので、電源投入時のリセットには使用できません。
- SLEEP状態では、P0ポートキー入力リセット機能は使用できません。

5.1.3 ウォッチドッグタイマによるリセット

S1C17701は、CPUの暴走を検出するためのウォッチドッグタイマを内蔵しています。ウォッチドッグタイマは4秒周期以内にソフトウェアによってリセットされない場合(CPUが暴走した場合)、タイマがオーバーフローし、このオーバーフロー信号によりNMIまたはリセットを発生するようになっています。リセットを発生させるにはWDTMD(D1/WDT_STレジスタ)に1を書き込みます(WDTMDが0の場合はNMIを発生します)。

* **WDTMD**: NMI/Reset Mode Select Bit in the Watchdog Timer Status (WDT_ST) Register (D1/0x5041)

ウォッチドッグタイマの詳細については、"17 ウォッチドッグタイマ(WDT)"を参照してください。

注: • ウォッチドッグタイマによるリセット機能を使用する場合は、必ず4秒周期以内にウォッチドッグタイマをリセットし、不要なリセットが発生しないようにプログラムしてください。
- ウォッチドッグタイマによるリセット機能はソフトウェアで有効にしますので、電源投入時のリセットには使用できません。

5.2 イニシャルリセットシーケンス

電源投入時の#RESET端子によるリセット解除後、発振安定待ち時間（1024/fosc3秒*）が経過するまでCPUの起動は待たされます。図5.2.1にイニシャルリセット解除後の動作シーケンスを示します。CPUはリセット解除後、OSC3クロックに同期して起動します。

* fosc3: OSC3クロック周波数

注: 発振安定待ち時間には、発振開始時間は含まれていません。そのため、電源投入時やSLEEP解除後の命令実行までの時間は、下図よりも長くなる場合があります。

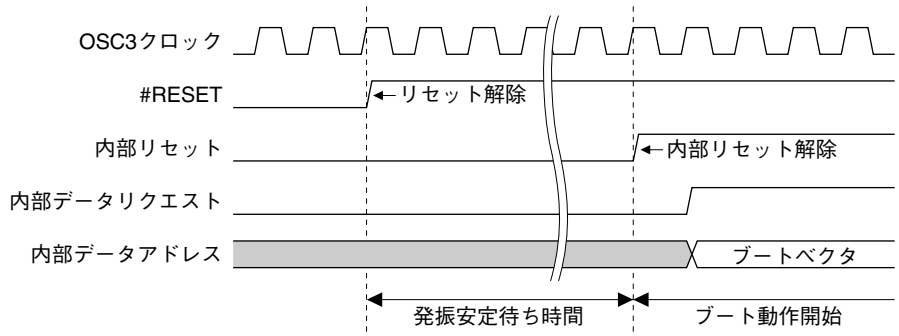


図5.2.1 イニシャルリセット解除後の動作シーケンス

5.3 イニシャルリセット時の初期設定

イニシャルリセットによりCPUの内部レジスタは以下のように初期化されます。

R0～R7: 0x0
PSR: 0x0（割り込みレベル = 0、割り込み禁止）
SP: 0x0
PC: リセット処理によりベクタテーブル先頭のリセットベクタがロードされます。

内蔵RAMおよび表示メモリはイニシャルリセット時に初期化されませんので、ソフトウェアで初期化してください。

内蔵の周辺回路については、それぞれ所定の初期化が行われます。必要に応じてソフトウェアで再設定してください。イニシャルリセット時の初期値については、AppendixのI/Oレジスタ一覧または各周辺回路の説明を参照してください。

6 割り込みコントローラ(ITC)

6.1 ITCの構成

S1C17701には以下に示す16系統の割り込みが用意されています。

1. P00～P07入力割り込み(8種類)
2. P10～P17入力割り込み(8種類)
3. ストップウォッチタイマ割り込み(3種類)
4. 計時タイマ割り込み(4種類)
5. 8ビットOSC1タイマ割り込み(1種類)
6. SVD割り込み(1種類)
7. LCD割り込み(1種類)
8. PWM&キャプチャタイマ割り込み(2種類)
9. 8ビットタイマ割り込み(1種類)
10. 16ビットタイマCh.0割り込み(1種類)
11. 16ビットタイマCh.1割り込み(1種類)
12. 16ビットタイマCh.2割り込み(1種類)
13. UART割り込み(3種類)
14. リモートコントローラ割り込み(3種類)
15. SPI割り込み(2種類)
16. I²C割り込み(2種類)

それぞれの割り込み系列には、周辺モジュールからの割り込み要求の発生を示す割り込みフラグと割り込みを許可/禁止する割り込みイネーブルビットが設けられています。また、複数の割り込みが同時に発生した場合に、処理する順序を決定する割り込みレベル(優先順位)を割り込み系列ごとに設定することができます。
各割り込み系列には上記の( )内に示した数の割り込み要因があります。どの割り込み要因でITCに対する割り込み要求を発生させるかについてはそれぞれの周辺モジュールのレジスタで制御します。割り込み要因とその制御の詳細については、各周辺モジュールの説明を参照してください。
図6.1.1に割り込みシステムの構成を示します。

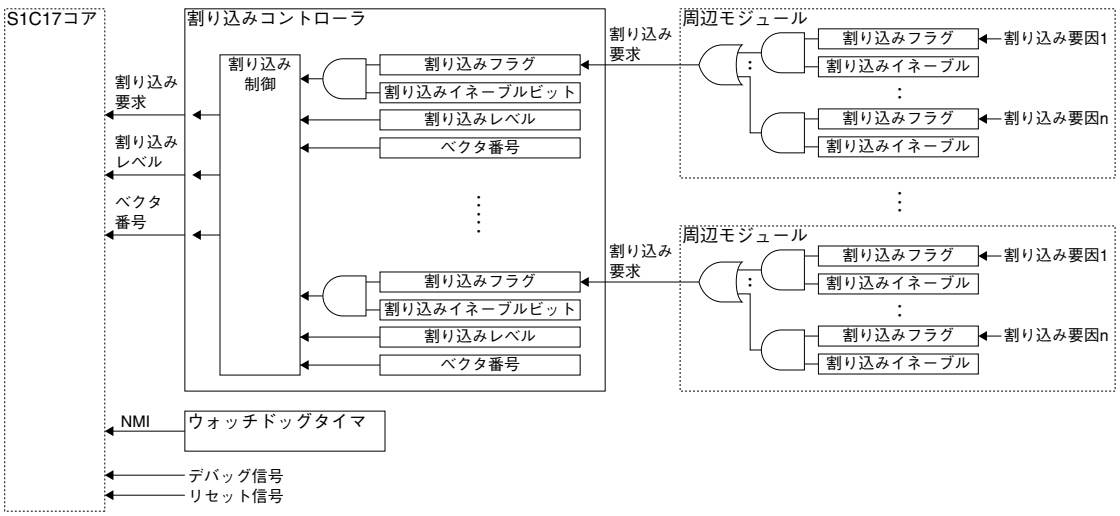


図6.1.1 割り込みシステム

6.2 ベクタテーブル

ベクタテーブルは、割り込み処理ルーチンへのベクタ(処理ルーチン開始アドレス)を格納します。割り込みが発生すると、S1C17コアは割り込みに対応するベクタを読み出して、その処理ルーチンを実行します。S1C17701のベクタテーブルは、0x8000番地から配置されます。このベクタテーブルベースアドレスはTTBRレジスタ(0xffff80)から読み出すことができます。
表6.2.1にS1C17701のベクタテーブルを示します。

表6.2.1 ベクタテーブル

ベクタNo./ソフトウェア割り込みNo.	ベクタアドレス	ハードウェア割り込み名	ハードウェア割り込み要因	優先順位
0 (0x00)	0x8000	リセット	• #RESET端子へのLow入力 • ウォッチドッグタイマオーバーフロー *2	1
1 (0x01)	0x8004	アドレス不整割り込み	メモリアクセス命令	2
–	(0xfffc00)	デバッグ割り込み	brk命令等	3
2 (0x02)	0x8008	NMI	ウォッチドッグタイマオーバーフロー *2	4
3 (0x03)	0x800c	reserved	–	–
4 (0x04)	0x8010	P0ポート割り込み	P00~P07ポート入力	高い *1
5 (0x05)	0x8014	P1ポート割り込み	P10~P17ポート入力	↑
6 (0x06)	0x8018	ストップウォッチタイマ割り込み	• タイマ100Hz信号 • タイマ10Hz信号 • タイマ1Hz信号	
7 (0x07)	0x801c	計時タイマ割り込み	• タイマ32Hz信号 • タイマ8Hz信号 • タイマ2Hz信号 • タイマ1Hz信号	
8 (0x08)	0x8020	8ビットOSC1タイマ割り込み	コンペアマッチ	
9 (0x09)	0x8024	SVD割り込み	電源電圧低下検出	
10 (0x0a)	0x8028	LCD割り込み	フレーム信号	
11 (0x0b)	0x802c	PWM&キャプチャタイマ割り込み	• コンペアA • コンペアB	
12 (0x0c)	0x8030	8ビットタイマ割り込み	タイマアンダーフロー	
13 (0x0d)	0x8034	16ビットタイマCh.0割り込み	タイマアンダーフロー	
14 (0x0e)	0x8038	16ビットタイマCh.1割り込み	タイマアンダーフロー	
15 (0x0f)	0x803c	16ビットタイマCh.2割り込み	タイマアンダーフロー	
16 (0x10)	0x8040	UART割り込み	• 送信バッファエンプティ • 受信バッファフル • 受信エラー	
17 (0x11)	0x8044	リモートコントローラ割り込み	• データ長カウンタアンダーフロー • 入力立ち上がりエッジ検出 • 入力立ち下がりエッジ検出	
18 (0x12)	0x8048	SPI割り込み	• 送信バッファエンプティ • 受信バッファフル	
19 (0x13)	0x804c	I²C割り込み	• 送信バッファエンプティ • 受信バッファフル	
20 (0x14)	0x8050	reserved	–	
:	:	:	:	↓
31 (0x1f)	0x807c	reserved	–	低い *1

*1 同一の割り込みレベルが設定されている場合
*2 ウォッチドッグタイマの割り込みは、ソフトウェアにてリセットまたはNMIのいずれかを選択

ベクタ番号4～19に、S1C17701が対応しているマスク可能な割り込みが割り当てられています。

6.3 マスク可能割り込みの制御

6.3.1 ITCイネーブル

ITCを使用するには、ITEN(D0/ITC_CTLレジスタ)を1に設定します。

∗ **ITEN**: ITC Enable Bit in the ITC Control (ITC_CTL) Register (D0/0x4304)

ITENが0の場合、他のレジスタの設定にかかわらず、マスク可能な割り込みは発生しません。

6.3.2 周辺モジュールからの割り込み要求と割り込みフラグ

周辺モジュールで割り込みを許可した割り込み要因が発生すると、そのモジュールはITCに割り込み要求信号を送ります。この割り込み要求信号により、ITC内の対応する割り込みフラグが1にセットされます。割り込みフラグは0にリセットされるまで1を保持し、周辺モジュールからの割り込み要求が発生したことを示します。割り込みフラグの状態は、ITC_IFLGレジスタ(0x4300)から読み出し可能です。
表6.3.2.1に割り込み要因と割り込みフラグの対応を示します。

表6.3.2.1 ハードウェア割り込み要因と割り込みフラグ

ベクタNo.	ハードウェア割り込み要求	割り込みフラグ
4	P0ポート割り込み: P00～P07ポート入力	EIFT0 (D0/ITC_IFLGレジスタ)
5	P1ポート割り込み: P10～P17ポート入力	EIFT1 (D1/ITC_IFLGレジスタ)
6	ストップウォッチタイマ割り込み: 100Hz/10Hz/1Hz信号	EIFT2 (D2/ITC_IFLGレジスタ)
7	計時タイマ割り込み: 32Hz/8Hz/2Hz/1Hz信号	EIFT3 (D3/ITC_IFLGレジスタ)
8	8ビットOSC1タイマ割り込み: コンペアマッチ	EIFT4 (D4/ITC_IFLGレジスタ)
9	SVD割り込み: 電源電圧低下検出	EIFT5 (D5/ITC_IFLGレジスタ)
10	LCD割り込み: フレーム信号	EIFT6 (D6/ITC_IFLGレジスタ)
11	PWM&キャプチャタイマ割り込み: コンペアA/コンペアBマッチ	EIFT7 (D7/ITC_IFLGレジスタ)
12	8ビットタイマ割り込み: タイマアンダーフロー	IIFT0 (D8/ITC_IFLGレジスタ)
13	16ビットタイマCh.0割り込み: タイマアンダーフロー	IIFT1 (D9/ITC_IFLGレジスタ)
14	16ビットタイマCh.1割り込み: タイマアンダーフロー	IIFT2 (D10/ITC_IFLGレジスタ)
15	16ビットタイマCh.2割り込み: タイマアンダーフロー	IIFT3 (D11/ITC_IFLGレジスタ)
16	UART割り込み: 送信バッファエンプティ/受信バッファフル/受信エラー	IIFT4 (D12/ITC_IFLGレジスタ)
17	リモートコントローラ割り込み: データ長カウンタアンダーフロー/入力立ち上がり/入力立ち下がり	IIFT5 (D13/ITC_IFLGレジスタ)
18	SPI割り込み: 送信バッファエンプティ/受信バッファフル	IIFT6 (D14/ITC_IFLGレジスタ)
19	I²C割り込み: 送信バッファエンプティ/受信バッファフル	IIFT7 (D15/ITC_IFLGレジスタ)

ITCは割り込みフラグを使用してS1C17コアに割り込みを発生します。
割り込みが許可されている状態(次節参照)で割り込みフラグが1にセットされると、ITCは割り込み要求、割り込みレベルおよびベクタ番号の信号をS1C17コアに送ります。

1にセットされた割り込みフラグは1を書き込むことでリセットされます。割り込み処理ルーチンの中で割り込みフラグを0にリセットしてください。割り込み処理ルーチンが割り込みフラグをリセットしない場合、割り込み処理ルーチン終了後に同じ割り込みが再度発生してしまいます(割り込みは割り込み処理の間禁止され、割り込み処理の最後に`reti`命令を実行することで許可状態に戻ります)。
ただし、レベルトリガに設定した割り込み(6.3.5節参照)の割り込みフラグ(EIFT0～EIFT7)は1の書き込みでリセットされません。これらの割り込みフラグは、割り込み発生源が割り込み信号をインアクティブにすることによりリセットされます。

割り込み要因の発生条件やモジュール固有の割り込み設定については、割り込み発生源のモジュールの節を参照してください。

6.3.3 割り込みの許可/禁止

割り込み要求をS1C17コアに送るには、割り込みフラグに対応するITC_ENレジスタ(0x4302)内の割り込みイネーブルビットを使用して、割り込みを個々に許可しておく必要があります。割り込みは割り込みイネーブルビットを1に設定すると許可され、0(デフォルト)に設定すると禁止されます。割り込みイネーブルビットは割り込みフラグには影響を与えません。割り込みイネーブルビットの設定にかかわらず、周辺モジュールからの割り込み要求の発生により割り込みフラグはセットされます。
表6.3.3.1に割り込みイネーブルビットと割り込みフラグの対応を示します。

表6.3.3.1 割り込みイネーブルビット一覧

ベクタNo.	ハードウェア割り込み	割り込みフラグ	割り込みイネーブルビット
4	P0ポート割り込み	EIFT0 (D0/ITC_IFLGレジスタ)	EIEN0 (D0/ITC_ENレジスタ)
5	P1ポート割り込み	EIFT1 (D1/ITC_IFLGレジスタ)	EIEN1 (D1/ITC_ENレジスタ)
6	ストップウォッチタイマ割り込み	EIFT2 (D2/ITC_IFLGレジスタ)	EIEN2 (D2/ITC_ENレジスタ)
7	計時タイマ割り込み	EIFT3 (D3/ITC_IFLGレジスタ)	EIEN3 (D3/ITC_ENレジスタ)
8	8ビットOSC1タイマ割り込み	EIFT4 (D4/ITC_IFLGレジスタ)	EIEN4 (D4/ITC_ENレジスタ)
9	SVD割り込み	EIFT5 (D5/ITC_IFLGレジスタ)	EIEN5 (D5/ITC_ENレジスタ)
10	LCD割り込み	EIFT6 (D6/ITC_IFLGレジスタ)	EIEN6 (D6/ITC_ENレジスタ)
11	PWM&キャプチャタイマ割り込み	EIFT7 (D7/ITC_IFLGレジスタ)	EIEN7 (D7/ITC_ENレジスタ)
12	8ビットタイマ割り込み	IIFT0 (D8/ITC_IFLGレジスタ)	IIEN0 (D8/ITC_ENレジスタ)
13	16ビットタイマCh.0割り込み	IIFT1 (D9/ITC_IFLGレジスタ)	IIEN1 (D9/ITC_ENレジスタ)
14	16ビットタイマCh.1割り込み	IIFT2 (D10/ITC_IFLGレジスタ)	IIEN2 (D10/ITC_ENレジスタ)
15	16ビットタイマCh.2割り込み	IIFT3 (D11/ITC_IFLGレジスタ)	IIEN3 (D11/ITC_ENレジスタ)
16	UART割り込み	IIFT4 (D12/ITC_IFLGレジスタ)	IIEN4 (D12/ITC_ENレジスタ)
17	リモートコントローラ割り込み	IIFT5 (D13/ITC_IFLGレジスタ)	IIEN5 (D13/ITC_ENレジスタ)
18	SPI割り込み	IIFT6 (D14/ITC_IFLGレジスタ)	IIEN6 (D14/ITC_ENレジスタ)
19	I^2C割り込み	IIFT7 (D15/ITC_IFLGレジスタ)	IIEN7 (D15/ITC_ENレジスタ)

注: • 不要な割り込みの発生を避けるため、割り込みイネーブルビットへの1書き込みにより割り込みを許可する前に、必ず割り込みフラグをリセットしてください。

• 実際に割り込みを発生させるには、割り込みイネーブルビットに加え、S1C17コアのProcessor Status Register(PSR)にあるIEビットも1に設定する必要があります。IEビットが0に設定されている場合、S1C17コアはマスク可能な割り込み要求を受け付けません。この場合、ITCからの割り込み要求は保持され、IEビットが1に設定された後に受け付けられます。

6.3.4 複数の割り込み発生時の処理

ITCのITC_ELV*x*、ITC_ILV*x*レジスタ(0x4306～0x4314)は各割り込み要因の割り込みレベル(0～7)を設定します。

表6.3.4.1 割り込みレベル設定ビット

ベクタNo.	ハードウェア割り込み	割り込みレベル設定ビット	レジスタアドレス
4	P0ポート割り込み	EILV0[2:0] (D[2:0]/ITC_ELV0レジスタ)	0x4306
5	P1ポート割り込み	EILV1[2:0] (D[10:8]/ITC_ELV0レジスタ)	0x4306
6	ストップウォッチタイマ割り込み	EILV2[2:0] (D[2:0]/ITC_ELV1レジスタ)	0x4308
7	計時タイマ割り込み	EILV3[2:0] (D[10:8]/ITC_ELV1レジスタ)	0x4308
8	8ビットOSC1タイマ割り込み	EILV4[2:0] (D[2:0]/ITC_ELV2レジスタ)	0x430a
9	SVD割り込み	EILV5[2:0] (D[10:8]/ITC_ELV2レジスタ)	0x430a
10	LCD割り込み	EILV6[2:0] (D[2:0]/ITC_ELV3レジスタ)	0x430c
11	PWM&キャプチャタイマ割り込み	EILV7[2:0] (D[10:8]/ITC_ELV3レジスタ)	0x430c
12	8ビットタイマ割り込み	IILV0[2:0] (D[2:0]/ITC_ILV0レジスタ)	0x430e
13	16ビットタイマCh.0割り込み	IILV1[2:0] (D[10:8]/ITC_ILV0レジスタ)	0x430e
14	16ビットタイマCh.1割り込み	IILV2[2:0] (D[2:0]/ITC_ILV1レジスタ)	0x4310
15	16ビットタイマCh.2割り込み	IILV3[2:0] (D[10:8]/ITC_ILV1レジスタ)	0x4310
16	UART割り込み	IILV4[2:0] (D[2:0]/ITC_ILV2レジスタ)	0x4312
17	リモートコントローラ割り込み	IILV5[2:0] (D[10:8]/ITC_ILV2レジスタ)	0x4312
18	SPI割り込み	IILV6[2:0] (D[2:0]/ITC_ILV3レジスタ)	0x4314
19	I²C割り込み	IILV7[2:0] (D[10:8]/ITC_ILV3レジスタ)	0x4314

割り込みレベルは、最高値が7、最低値が0です。
設定された割り込みレベルは、ITCが割り込み要求を出力する際に同時にS1C17コアに送られます。S1C17コアでは、この割り込みレベルを使用して、それ以降に発生する同一あるいはそれ以下のレベルの割り込みを禁止します(6.3.6節参照)。
イニシャルリセット時、割り込みレベルはすべて0に設定されます。割り込みレベルが0の場合、S1C17コアはその割り込み要求を受け付けません。

ITC内では、割り込みレベルを複数の割り込み要因が同時に発生した場合に使用します。
割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCはITC_ELV*x*、ITC_ILV*x*レジスタで設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。
同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。
同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。
ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

6.3.5 割り込みのトリガモード

ITCにはパルストリガモードおよびレベルトリガモードの2つのトリガモードが用意されており、EIFTフラグをセットする割り込み要求をパルス信号またはレベル信号として受け付けることができます。
トリガモードはITC_ELV*x*レジスタ(0x4306～0x430c)内のEITG*x*ビットで選択できます。EITG*x*を1に設定するとレベルトリガモードが選択され、0(デフォルト)に設定するとパルストリガモードが選択されます。

注: S1C17701の場合、EITG*x*はすべて1(レベルトリガモード)に設定してください。

表6.3.5.1 トリガモード選択ビット

ハードウェア割り込み	トリガモード選択ビット	レジスタアドレス
P0ポート割り込み	EITG0 (D4/ITC_ELV0レジスタ)	0x4306
P1ポート割り込み	EITG1 (D12/ITC_ELV0レジスタ)	0x4306
ストップウォッチタイマ割り込み	EITG2 (D4/ITC_ELV1レジスタ)	0x4308
計時タイマ割り込み	EITG3 (D12/ITC_ELV1レジスタ)	0x4308
8ビットOSC1タイマ割り込み	EITG4 (D4/ITC_ELV2レジスタ)	0x430a
SVD割り込み	EITG5 (D12/ITC_ELV2レジスタ)	0x430a
LCD割り込み	EITG6 (D4/ITC_ELV3レジスタ)	0x430c
PWM&キャプチャタイマ割り込み	EITG7 (D12/ITC_ELV3レジスタ)	0x430c

IIFTフラグをセットするモジュールはITCへの割り込み要求にパルス信号のみを出力します。したがって、トリガモード選択ビットは用意さていません。

パルストリガモード

パルストリガモードの場合、ITCは割り込み信号をシステムクロックの立ち上がりエッジでサンプリングします。パルスのHigh期間が検出されると、ITCは割り込みフラグ(IIFT*x*)を1にセットし、その割り込み信号のサンプリングを停止します。アプリケーションプログラム(割り込み処理ルーチン)が割り込みフラグ(IIFT*x*)を0にリセット後、ITCはこの割り込み信号のサンプリングを再開します。

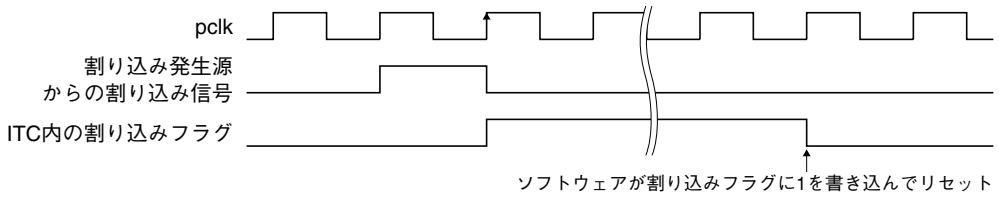


図6.3.5.1 パルストリガモード

注: S1C17701の以下の割り込みはパルストリガモードです。割り込みが発生した際は、割り込み処理ルーチンの中で割り込みフラグIIFT*x*をリセット(1書き込み)してください。

- 8ビットタイマ割り込み
- 16ビットタイマCh.0割り込み
- 16ビットタイマCh.1割り込み
- 16ビットタイマCh.2割り込み
- UART割り込み
- リモートコントローラ割り込み
- SPI割り込み
- I²C割り込み

レベルトリガモード

レベルトリガモードの場合、ITCは割り込み信号をシステムクロックの立ち上がりエッジで連続的にサンプリングします。割り込みフラグ(EIFT*x*)はHighレベルが検出されると1に設定され、その後Lowレベルが検出されると0にリセットされます。このモードでは1の書き込みで割り込みフラグ(EIFT*x*)をリセットすることはできません。したがって、割り込み発生源モジュールがS1C17コアに受け付けられるまで割り込み信号をHighに保持し、その後割り込み信号をクリアする必要があります。

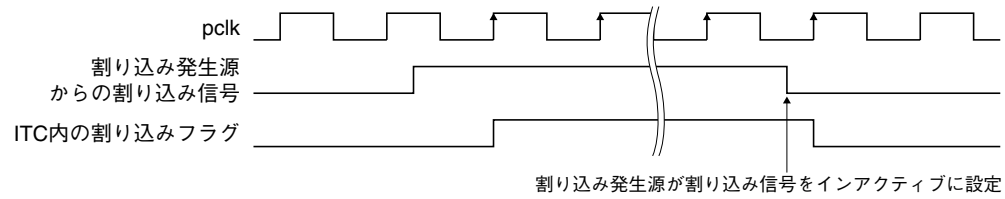


図6.3.5.2 レベルトリガモード

注: S1C17701の以下の割り込みはレベルトリガモードです。割り込み処理ルーチンの中では、EIFT*x*ではなく、周辺モジュール内の割り込みフラグをリセット(1書き込み)する必要があります。
- P0ポート割り込み
- P1ポート割り込み
- ストップウォッチタイマ割り込み
- 計時タイマ割り込み
- 8ビットOSC1タイマ割り込み
- SVD割り込み
- LCD割り込み
- PWM&キャプチャタイマ割り込み

リセットする割り込みフラグについては、各周辺モジュールの説明を参照してください。

6.3.6 S1C17コアの割り込み処理

S1C17コアに対するマスク可能な割り込みは、以下のすべての条件が成立している場合に発生します。

- ITEN(D0/ITC_CTLレジスタ)が1に設定されている。
  * **ITEN**: ITC Enable Bit in the ITC Control (ITC_CTL) Register (D0/0x4304)
- 発生した割り込み要因に対応する割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- 発生した割り込み要因が、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

割り込み要因が発生すると対応する割り込みフラグが1にセットされ、プログラムまたはハードウェア(レベルトリガモードに設定されている割り込みの場合)でリセットするまではその状態を保持します。したがって、割り込み要因の発生時点で上記の条件が満たされていない場合でも発生した割り込み要因がクリアされることはありません。上記の条件が満たされた時点で割り込みが発生します。
同時に複数のマスク可能な割り込み要因が発生した場合は、その中で最も高いレベルを持つ割り込み要因がその時点でのS1C17コアへの割り込み要求の対象となります。レベルの低い割り込みは、その後、上記の条件が成立するまで保留されます。

S1C17コアは毎サイクル、割り込み要求のサンプリングを行っています。S1C17コアは割り込み要求を受け付けるとその時点の命令の実行終了後、割り込み処理に移行します。
割り込み処理で実行される内容は以下のとおりです。

(1)PSRおよび現在のプログラムカウンタ(PC)値をスタックに退避
(2)PSRのIEビットを0にリセット(以降のマスク可能な割り込みを禁止)
(3)PSRのILを受け付けた割り込みのレベルにセット(NMIは割り込みレベルを変更しない)
(4)発生した割り込み要因のベクタをPCにロードして割り込み処理ルーチンを実行

したがって、割り込みを受け付けると、(2)によって以降のマスク可能な割り込みは禁止されます。
割り込み処理ルーチン内でIEビットを1にセットすることで、多重割り込みにも対応できます。その場合、(3)によってILが変更されていますので、現在処理中の割り込みより高いレベルの割り込みのみが受け付けられます。
割り込み処理ルーチンを`reti`命令で終了すると、PSRが割り込み発生前の状態に戻ります。プログラムは割り込み発生時に実行していた命令の次の命令に分岐して処理を再開します。

6.4 NMI

S1C17701では、ウォッチドッグタイマでNMI(ノンマスカブル割り込み)を発生させることができます。NMIのベクタ番号は2で、ベクタアドレスはベクタテーブル先頭アドレス + 8バイトに設定されています。この割り込みは他の割り込み要因に優先して、無条件にS1C17コアに受け付けられます。

NMIを発生させる方法については、“17 ウォッチドッグタイマ(WDT)”を参照してください。

6.5 ソフトウェア割り込み

S1C17コアのint *imm5*またはintl *imm5*,*imm3*命令を使用することによって、ソフトウェアで任意の割り込みを発生させることができます。オペランドの即値*imm5*でベクタテーブルのベクタ番号(0～31)を指定します。intl命令では、*imm3*でPSRのILフィールドに設定する割り込みレベル(0～7)を指定することもできます。
プロセッサの割り込み処理の内容は、ハードウェアによる割り込み発生時と同様です。

6.6 割り込み要因によるHALT, SLEEPモードの解除

HALT、SLEEPモードは割り込み要因によって解除され、CPUが起動します。
HALT、SLEEPモード時の各クロックの状態によって、CPUを起動可能な割り込み要因とCPU起動後のプログラム実行内容(割り込み処理ルーチンに分岐するか否か)が異なります。
詳細は、Appendix Cの“C.1 クロック制御によるパワーセーブ”を参照してください。

6.7 制御レジスタ詳細

表6.7.1 ITCレジスター覧

アドレス	レジスタ名		機　能
0x4300	ITC_IFLG	Interrupt Flag Register	割り込み発生状態の表示/リセット
0x4302	ITC_EN	Interrupt Enable Register	各マスク可能割り込みの許可/禁止
0x4304	ITC_CTL	ITC Control Register	ITC動作の許可/禁止
0x4306	ITC_ELV0	External Interrupt Level Setup Register 0	P0、P1ポート割り込みレベルとトリガモードの設定
0x4308	ITC_ELV1	External Interrupt Level Setup Register 1	ストップウォッチタイマ、計時タイマ割り込みレベルとトリガモードの設定
0x430a	ITC_ELV2	External Interrupt Level Setup Register 2	8ビットOSC1タイマ、SVD割り込みレベルとトリガモードの設定
0x430c	ITC_ELV3	External Interrupt Level Setup Register 3	LCD、PWM&キャプチャタイマ割り込みレベルとトリガモードの設定
0x430e	ITC_ILV0	Internal Interrupt Level Setup Register 0	8ビットタイマ、16ビットタイマCh.0割り込みレベルの設定
0x4310	ITC_ILV1	Internal Interrupt Level Setup Register 1	16ビットタイマCh.1、16ビットタイマCh.2割り込みレベルの設定
0x4312	ITC_ILV2	Internal Interrupt Level Setup Register 2	UART、リモートコントローラ割り込みレベルの設定
0x4314	ITC_ILV3	Internal Interrupt Level Setup Register 3	SPI、I²C割り込みレベルの設定

以下、ITCのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x4300: Interrupt Flag Register (ITC_IFLG)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
Interrupt Flag Register (ITC_IFLG)	0x4300 (16 bits)	D15	**IIFT7**	I²C interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D14	**IIFT6**	SPI interrupt flag					0	R/W	
		D13	**IIFT5**	Remote controller interrupt flag					0	R/W	
		D12	**IIFT4**	UART interrupt flag					0	R/W	
		D11	**IIFT3**	16-bit timer Ch.2 interrupt flag					0	R/W	
		D10	**IIFT2**	16-bit timer Ch.1 interrupt flag					0	R/W	
		D9	**IIFT1**	16-bit timer Ch.0 interrupt flag					0	R/W	
		D8	**IIFT0**	8-bit timer interrupt flag					0	R/W	
		D7	**EIFT7**	PWM&capture timer interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1 in pulse trigger mode. Cannot be reset by software in level trigger mode.
		D6	**EIFT6**	LCD interrupt flag					0	R/W	
		D5	**EIFT5**	SVD interrupt flag					0	R/W	
		D4	**EIFT4**	8-bit OSC1 timer interrupt flag					0	R/W	
		D3	**EIFT3**	Clock timer interrupt flag					0	R/W	
		D2	**EIFT2**	Stopwatch timer interrupt flag					0	R/W	
		D1	**EIFT1**	P1 port interrupt flag					0	R/W	
		D0	**EIFT0**	P0 port interrupt flag					0	R/W	

D[15:8] IIFT[7:0]: Interrupt Flags (for Pulse Trigger)

割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり
0(R): 割り込み要因なし(デフォルト)
1(W): フラグをリセット
0(W): 無効

割り込みフラグは各周辺モジュールで割り込み要因が発生すると1にセットされます。
このとき、以下の条件が成立していれば、S1C17コアに対し割り込みが発生します。

1. 対応する割り込みイネーブルビットが1に設定されている。
2. 他の優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが1(割り込み許可)に設定されている。
4. 対応する割り込みレベル設定ビットがS1C17コアの割り込みレベル(IL)より高いレベルに設定されている。

割り込みフラグは割り込みイネーブルビットや割り込みレベル設定ビットの状態にかかわらず、割り込み要因の発生により1にセットされます。
割り込み発生後、次の割り込みを受け付けるには、割り込みフラグのリセットとPSRの再設定(IEビットを1にセットするか、reti命令を実行する)が必要です。
1にセットされた割り込み要因フラグは、1の書き込みによってリセットされます。

表6.7.2 ハードウェア割り込み要因と割り込みフラグ

割り込みフラグ	ハードウェア割り込み要因
IIFT0 (D8)	8ビットタイマ割り込み: タイマアンダーフロー
IIFT1 (D9)	16ビットタイマCh.0割り込み: タイマアンダーフロー
IIFT2 (D10)	16ビットタイマCh.1割り込み: タイマアンダーフロー
IIFT3 (D11)	16ビットタイマCh.2割り込み: タイマアンダーフロー
IIFT4 (D12)	UART割り込み: 送信バッファエンプティ /受信バッファフル/受信エラー
IIFT5 (D13)	リモートコントローラ割り込み: データ長カウンタアンダーフロー /入力立ち上がり /入力立ち下がり
IIFT6 (D14)	SPI割り込み: 送信バッファエンプティ /受信バッファフル
IIFT7 (D15)	I²C割り込み: 送信バッファエンプティ /受信バッファフル

D[7:0] EIFT[7:0]: Interrupt Flags (for Level Trigger)

割り込み要因の発生状態を示す割り込みフラグです。
1(R): 割り込み要因あり
0(R): 割り込み要因なし(デフォルト)
1(W): 無効
0(W): 無効

IIFT[7:0]の説明を参照してください。
ただし、これらの割り込みはITC_ELV*x*レジスタ(0x4306～0x430c)でレベルトリガモードに設定する必要があります。そのため、本ビットへの1書き込みではリセットされません。割り込みフラグをリセットするには、周辺モジュール内の割り込みフラグに1を書き込みます。

表6.7.3 ハードウェア割り込み要因と割り込みフラグ

割り込みフラグ	ハードウェア割り込み要因
EIFT0 (D0)	P0ポート割り込み: P00～P07ポート入力
EIFT1 (D1)	P1ポート割り込み: P10～P17ポート入力
EIFT2 (D2)	ストップウォッチタイマ割り込み: 100Hz/10Hz/1Hz信号
EIFT3 (D3)	計時タイマ割り込み: 32Hz/8Hz/2Hz/1Hz信号
EIFT4 (D4)	8ビットOSC1タイマ割り込み: コンペアマッチ
EIFT5 (D5)	SVD割り込み: 電源電圧低下検出
EIFT6 (D6)	LCD割り込み: フレーム信号
EIFT7 (D7)	PWM&キャプチャタイマ割り込み: コンペアA/コンペアBマッチ

注: マスク可能な割り込み要求がS1C17コアに受け付けられ、割り込み処理ルーチンに分岐しても、割り込みフラグはリセットされません。プログラムで割り込みフラグをリセットせずに`reti`命令で割り込み処理ルーチンからリターンすると、再度同一の割り込みが発生しますので注意してください。レベルトリガに設定された割り込みフラグは周辺モジュール内の制御レジスタでリセットする必要があります。

0x4302: Interrupt Enable Register (ITC_EN)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
Interrupt Enable Register (ITC_EN)	0x4302 (16 bits)	D15	IIEN7	I²C interrupt enable	1	Enable	0	Disable	0	R/W	
		D14	IIEN6	SPI interrupt enable					0	R/W	
		D13	IIEN5	Remote controller interrupt enable					0	R/W	
		D12	IIEN4	UART interrupt enable					0	R/W	
		D11	IIEN3	16-bit timer Ch.2 interrupt enable					0	R/W	
		D10	IIEN2	16-bit timer Ch.1 interrupt enable					0	R/W	
		D9	IIEN1	16-bit timer Ch.0 interrupt enable					0	R/W	
		D8	IIEN0	8-bit timer interrupt enable					0	R/W	
		D7	EIEN7	PWM&capture timer interrupt enable					0	R/W	
		D6	EIEN6	LCD interrupt enable					0	R/W	
		D5	EIEN5	SVD interrupt enable					0	R/W	
		D4	EIEN4	8-bit OSC1 timer interrupt enable					0	R/W	
		D3	EIEN3	Clock timer interrupt enable					0	R/W	
		D2	EIEN2	Stopwatch timer interrupt enable					0	R/W	
		D1	EIEN1	P1 port interrupt enable					0	R/W	
		D0	EIEN0	P0 port interrupt enable					0	R/W	

D[15:0] IIEN[7:0], EIEN[7:0]: Interrupt Enable Bits

これらのビットは、割り込みの発生を許可または禁止します。

1(R/W): 割り込み許可

0(R/W): 割り込み禁止(デフォルト)

割り込みイネーブルビットを1に設定すると対応する割り込みが許可され、0に設定すると割り込みが禁止されます。

表6.7.4 ハードウェア割り込み要因と割り込みイネーブルビット

割り込みイネーブルビット	ハードウェア割り込み要因
EIEN0 (D0)	P0ポート割り込み: P00～P07ポート入力
EIEN1 (D1)	P1ポート割り込み: P10～P17ポート入力
EIEN2 (D2)	ストップウォッチタイマ割り込み: 100Hz/10Hz/1Hz信号
EIEN3 (D3)	計時タイマ割り込み: 32Hz/8Hz/2Hz/1Hz信号
EIEN4 (D4)	8ビットOSC1タイマ割り込み: コンペアマッチ
EIEN5 (D5)	SVD割り込み: 電源電圧低下検出
EIEN6 (D6)	LCD割り込み: フレーム信号
EIEN7 (D7)	PWM&キャプチャタイマ割り込み: コンペアA/コンペアBマッチ
IIEN0 (D8)	8ビットタイマ割り込み: タイマアンダーフロー
IIEN1 (D9)	16ビットタイマCh.0割り込み: タイマアンダーフロー
IIEN2 (D10)	16ビットタイマCh.1割り込み: タイマアンダーフロー
IIEN3 (D11)	16ビットタイマCh.2割り込み: タイマアンダーフロー
IIEN4 (D12)	UART割り込み: 送信バッファエンプティ /受信バッファフル/受信エラー
IIEN5 (D13)	リモートコントローラ割り込み: データ長カウンタアンダーフロー /入力立ち上がり /入力立ち下がり
IIEN6 (D14)	SPI割り込み: 送信バッファエンプティ /受信バッファフル
IIEN7 (D15)	I²C割り込み: 送信バッファエンプティ /受信バッファフル

0x4304: ITC Control Register (ITC_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
ITC Control Register (ITC_CTL)	0x4304 (16 bits)	D15–1	–	reserved	–	–	–	0 when being read.
		D0	ITEN	ITC enable	1 Enable 0 Disable	0	R/W	

D[15:1] Reserved

D0 ITEN: ITC Enable Bit

ITCによる割り込みの制御を許可します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

ITCを使用する前に、1に設定してください。

0x4306: External Interrupt Level Setup Register 0 (ITC_ELV0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
External Interrupt Level Setup Register 0 (ITC_ELV0)	0x4306 (16 bits)	D15–13	–	reserved	–	–	–	0 when being read.
		D12	EITG1	P1 interrupt trigger mode	1 Level 0 Pulse	0	R/W	Be sure to set to 1.
		D11	–	reserved	–	–	–	0 when being read.
		D10–8	EILV1[2:0]	P1 interrupt level	0 to 7	0x0	R/W	
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	EITG0	P0 interrupt trigger mode	1 Level 0 Pulse	0	R/W	Be sure to set to 1.
		D3	–	reserved	–	–	–	0 when being read.
		D2–0	EILV0[2:0]	P0 interrupt level	0 to 7	0x0	R/W	

D[15:13] Reserved

D12 EITG1: P1 Port Interrupt Trigger Mode Select Bit

P1ポート割り込みのトリガモードを選択します。S1C17701では1に設定してください。
1(R/W): レベルトリガモード
0(R/W): パルストリガモード(デフォルト)

パルストリガモードの場合、ITCは割り込み信号をシステムクロックの立ち上がりエッジでサンプリングします。パルスのHigh期間が検出されると、ITCは割り込みフラグ(EIFT*x*)を1にセットし、その割り込み信号のサンプリングを停止します。アプリケーションプログラム(割り込み処理ルーチン)が割り込みフラグ(EIFT*x*)を0にリセット後、ITCはこの割り込み信号のサンプリングを再開します。
レベルトリガモードの場合、ITCは割り込み信号をシステムクロックの立ち上がりエッジで連続的にサンプリングします。割り込みフラグ(EIFT*x*)はHighレベルが検出されると1に設定され、その後Lowレベルが検出されると0にリセットされます。このモードでは1の書き込みで割り込みフラグ(EIFT*x*)をリセットすることはできません。したがって、割り込み発生源モジュールが、S1C17コアに受け付けられるまで割り込み信号をHighに保持し、その後割り込み信号をクリアする必要があります。

D11 Reserved

D[10:8] EILV1[2:0]: P1 Port Interrupt Level Bits

P1ポート割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0)
S1C17コアは、PSRのILの値より低いレベルに設定された割り込みを受け付けません。
ITC内では、割り込みレベルを複数の割り込み要因が同時に発生した場合に使用します。
割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCはITC_ELV*x*、ITC_ILV*x*レジスタ(0x4306～0x4314)で設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。
同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。
ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

D[7:5] Reserved

D4 EITG0: P0 Port Interrupt Trigger Mode Select Bit

P0ポート割り込みのトリガモードを選択します。S1C17701では1に設定してください。
1(R/W): レベルトリガモード
0(R/W): パルストリガモード(デフォルト)

EITG1(D12)の説明を参照してください。

D3 Reserved

D[2:0] EILV0[2:0]: P0 Port Interrupt Level Bits

P0ポート割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0)
EILV1[2:0](D[10:8])の説明を参照してください。

0x4308: External Interrupt Level Setup Register 1 (ITC_ELV1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
External Interrupt Level Setup Register 1 (ITC_ELV1)	0x4308 (16 bits)	D15–13	–	reserved	–	–	–	0 when being read.
		D12	EITG3	CT interrupt trigger mode	1 Level 0 Pulse	0	R/W	Be sure to set to 1.
		D11	–	reserved	–	–	–	0 when being read.
		D10–8	EILV3[2:0]	CT interrupt level	0 to 7	0x0	R/W	
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	EITG2	SWT interrupt trigger mode	1 Level 0 Pulse	0	R/W	Be sure to set to 1.
		D3	–	reserved	–	–	–	0 when being read.
		D2–0	EILV2[2:0]	SWT interrupt level	0 to 7	0x0	R/W	

D[15:13] Reserved

D12 EITG3: Clock Timer Interrupt Trigger Mode Select Bit

計時タイマ割り込みのトリガモードを選択します。S1C17701では1に設定してください。
1(R/W): レベルトリガモード
0(R/W): パルストリガモード(デフォルト)

ITC_ELV0レジスタ(0x4306)のEITG1(D12)の説明を参照してください。

D11 Reserved

D[10:8] EILV3[2:0]: Clock Timer Interrupt Level Bits

計時タイマ割り込みの割り込みレベル(0~7)を設定します。(デフォルト: 0)
ITC_ELV0レジスタ(0x4306)のEILV1[2:0](D[10:8])の説明を参照してください。

D[7:5] Reserved

D4 EITG2: Stopwatch Timer Interrupt Trigger Mode Select Bit

ストップウォッチタイマ割り込みのトリガモードを選択します。S1C17701では1に設定してください。
1(R/W): レベルトリガモード
0(R/W): パルストリガモード(デフォルト)

ITC_ELV0レジスタ(0x4306)のEITG1(D12)の説明を参照してください。

D3 Reserved

D[2:0] EILV2[2:0]: Stopwatch Timer Interrupt Level Bits

ストップウォッチタイマ割り込みの割り込みレベル(0~7)を設定します。(デフォルト: 0)
ITC_ELV0レジスタ(0x4306)のEILV1[2:0](D[10:8])の説明を参照してください。

0x430a: External Interrupt Level Setup Register 2 (ITC_ELV2)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
External Interrupt Level Setup Register 2 (ITC_ELV2)	0x430a (16 bits)	D15–13	–	reserved	–	–	–	0 when being read.
		D12	EITG5	SVD interrupt trigger mode	1 Level 0 Pulse	0	R/W	Be sure to set to 1.
		D11	–	reserved	–	–	–	0 when being read.
		D10–8	EILV5[2:0]	SVD interrupt level	0 to 7	0x0	R/W	
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	EITG4	T8OSC1 interrupt trigger mode	1 Level 0 Pulse	0	R/W	Be sure to set to 1.
		D3	–	reserved	–	–	–	0 when being read.
		D2–0	EILV4[2:0]	T8OSC1 interrupt level	0 to 7	0x0	R/W	

D[15:13] Reserved

D12 EITG5: SVD Interrupt Trigger Mode Select Bit

SVD割り込みのトリガモードを選択します。S1C17701では1に設定してください。
1(R/W): レベルトリガモード
0(R/W): パルストリガモード(デフォルト)

ITC_ELV0レジスタ(0x4306)のEITG1(D12)の説明を参照してください。

D11 Reserved

D[10:8] EILV5[2:0]: SVD Interrupt Level Bits

SVD割り込みの割り込みレベル(0〜7)を設定します。(デフォルト: 0)
ITC_ELV0レジスタ(0x4306)のEILV1[2:0](D[10:8])の説明を参照してください。

D[7:5] Reserved

D4 EITG4: 8-bit OSC1 Timer Interrupt Trigger Mode Select Bit

8ビットOSC1タイマ割り込みのトリガモードを選択します。S1C17701では1に設定してください。
1(R/W): レベルトリガモード
0(R/W): パルストリガモード(デフォルト)

ITC_ELV0レジスタ(0x4306)のEITG1(D12)の説明を参照してください。

D3 Reserved

D[2:0] EILV4[2:0]: 8-bit OSC1 Timer Interrupt Level Bits

8ビットOSC1タイマ割り込みの割り込みレベル(0〜7)を設定します。(デフォルト: 0)
ITC_ELV0レジスタ(0x4306)のEILV1[2:0](D[10:8])の説明を参照してください。

0x430c: External Interrupt Level Setup Register 3 (ITC_ELV3)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
External Interrupt Level Setup Register 3 (ITC_ELV3)	0x430c (16 bits)	D15–13	–	reserved	–	–	–	0 when being read.
		D12	EITG7	T16E interrupt trigger mode	1 Level 0 Pulse	0	R/W	Be sure to set to 1.
		D11	–	reserved	–	–	–	0 when being read.
		D10–8	EILV7[2:0]	T16E interrupt level	0 to 7	0x0	R/W	
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	EITG6	LCD interrupt trigger mode	1 Level 0 Pulse	0	R/W	Be sure to set to 1.
		D3	–	reserved	–	–	–	0 when being read.
		D2–0	EILV6[2:0]	LCD interrupt level	0 to 7	0x0	R/W	

D[15:13] Reserved

D12 EITG7: PWM & Capture Timer Interrupt Trigger Mode Select Bit

PWM&キャプチャタイマ割り込みのトリガモードを選択します。S1C17701では1に設定してください。

1(R/W): レベルトリガモード

0(R/W): パルストリガモード(デフォルト)

ITC_ELV0レジスタ(0x4306)のEITG1(D12)の説明を参照してください。

D11 Reserved

D[10:8] EILV7[2:0]: PWM & Capture Timer Interrupt Level Bits

PWM&キャプチャタイマ割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0)

ITC_ELV0レジスタ(0x4306)のEILV1[2:0](D[10:8])の説明を参照してください。

D[7:5] Reserved

D4 EITG6: LCD Interrupt Trigger Mode Select Bit

LCD割り込みのトリガモードを選択します。S1C17701では1に設定してください。

1(R/W): レベルトリガモード

0(R/W): パルストリガモード(デフォルト)

ITC_ELV0レジスタ(0x4306)のEITG1(D12)の説明を参照してください。

D3 Reserved

D[2:0] EILV6[2:0]: LCD Interrupt Level Bits

LCD割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0)

ITC_ELV0レジスタ(0x4306)のEILV1[2:0](D[10:8])の説明を参照してください。

0x430e: Internal Interrupt Level Setup Register 0 (ITC_ILV0)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Internal Interrupt Level Setup Register 0 (ITC_ILV0)	0x430e (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	IILV1[2:0]	T16 Ch.0 interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	IILV0[2:0]	T8 interrupt level	0 to 7	0x0	R/W	

D[15:11] Reserved

D[10:8] IILV1[2:0]: 16-bit Timer Ch.0 Interrupt Level Bits

16ビットタイマCh.0割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0)
S1C17コアは、PSRのILの値より低いレベルに設定された割り込みを受け付けません。
ITC内では、割り込みレベルを複数の割り込み要因が同時に発生した場合に使用します。
割り込みイネーブルビットにより許可されている複数の割り込みが同時に発生した場合、ITCはITC_ELV*x*、ITCILV*x*レジスタ(0x4306～0x4314)で設定されている最も高いレベルを持つ割り込みの要求をS1C17コアに送ります。
同一の割り込みレベルを持つ複数の割り込み要因が同時に発生した場合は、ベクタ番号の小さい割り込みが先に処理されます。
同時発生したその他の割り込みは、より高い優先順位を持つ割り込みがすべてS1C17コアに受け付けられるまで保留されます。
ITCが割り込み要求信号をS1C17コアに出力中(S1C17コアに受け付けられる前)に、より高い優先順位を持つ割り込み要因が発生した場合、ITCはベクタ番号および割り込みレベル信号を新たに発生した割り込みの設定内容に変更します。先に発生していた割り込みは保留されます。

D[7:3] Reserved

D[2:0] IILV0[2:0]: 8-bit Timer Interrupt Level Bits

8ビットタイマ割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0)
IILV1[2:0](D[10:8])の説明を参照してください。

0x4310: Internal Interrupt Level Setup Register 1 (ITC_ILV1)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Internal Interrupt Level Setup Register 1 (ITC_ILV1)	0x4310 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	IILV3[2:0]	T16 Ch.2 interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	IILV2[2:0]	T16 Ch.1 interrupt level	0 to 7	0x0	R/W	

D[15:11] Reserved

D[10:8] IILV3[2:0]: 16-bit Timer Ch.2 Interrupt Level Bits
16ビットタイマCh.2割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0)
ITC_ILV0レジスタ(0x430e)のIILV1[2:0](D[10:8])の説明を参照してください。

D[7:3] Reserved

D[2:0] IILV2[2:0]: 16-bit Timer Ch.1 Interrupt Level Bits
16ビットタイマCh.1割り込みの割り込みレベル(0～7)を設定します。(デフォルト: 0)
ITC_ILV0レジスタ(0x430e)のIILV1[2:0](D[10:8])の説明を参照してください。

0x4312: Internal Interrupt Level Setup Register 2 (ITC_ILV2)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Internal Interrupt Level Setup Register 2 (ITC_ILV2)	**0x4312** (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	**IILV5[2:0]**	REMC interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	**IILV4[2:0]**	UART interrupt level	0 to 7	0x0	R/W	

D[15:11] Reserved

D[10:8] IILV5[2:0]: Remote Controller Interrupt Level Bits
リモートコントローラ割り込みの割り込みレベル（0～7）を設定します。（デフォルト: 0）
ITC_ILV0レジスタ（0x430e）のIILV1[2:0]（D[10:8]）の説明を参照してください。

D[7:3] Reserved

D[2:0] IILV4[2:0]: UART Interrupt Level Bits
UART割り込みの割り込みレベル（0～7）を設定します。（デフォルト: 0）
ITC_ILV0レジスタ（0x430e）のIILV1[2:0]（D[10:8]）の説明を参照してください。

0x4314: Internal Interrupt Level Setup Register 3 (ITC_ILV3)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Internal Interrupt Level Setup Register 3 (ITC_ILV3)	0x4314 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10–8	IILV7[2:0]	I²C interrupt level	0 to 7	0x0	R/W	
		D7–3	–	reserved	–	–	–	0 when being read.
		D2–0	IILV6[2:0]	SPI interrupt level	0 to 7	0x0	R/W	

D[15:11] Reserved

D[10:8] IILV7[2:0]: I²C Interrupt Level Bits

I²C割り込みの割り込みレベル(0〜7)を設定します。(デフォルト: 0)
ITC_ILV0レジスタ(0x430e)のIILV1[2:0](D[10:8])の説明を参照してください。

D[7:3] Reserved

D[2:0] IILV6[2:0]: SPI Interrupt Level Bits

SPI割り込みの割り込みレベル(0〜7)を設定します。(デフォルト: 0)
ITC_ILV0レジスタ(0x430e)のIILV1[2:0](D[10:8])の説明を参照してください。

6.8 注意事項

- 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、割り込みを許可、PSRを再設定またはreti命令を実行する前に必ず割り込みフラグをリセットしてください。
- S1C17701の以下の割り込みはレベルトリガモードです。
  - P0ポート割り込み
  - P1ポート割り込み
  - ストップウォッチタイマ割り込み
  - 計時タイマ割り込み
  - 8ビットOSC1タイマ割り込み
  - SVD割り込み
  - LCD割り込み
  - PWM&キャプチャタイマ割り込み

  ITC_ELV*x*レジスタ(0x4306～0x430c)内のEITG*x*ビットはすべて1(レベルトリガモード)に設定してください。
  また、割り込み処理ルーチンの中では、EIFT*x*ではなく、周辺モジュール内の割り込みフラグをリセット(1書き込み)する必要があります。リセットする割り込みフラグについては、各周辺モジュールの説明を参照してください。

このページはブランクです。

7 発振回路(OSC)

7.1 OSCモジュールの構成

S1C17701は2種類の発振回路(OSC3およびOSC1)を内蔵しています。OSC3発振回路はS1C17コアや周辺回路を高速動作させるためのメインクロック(Max. 8.2MHz)を、OSC1発振回路はタイマ動作や低電力動作用のサブクロック(Typ. 32.768kHz)を発生します。
イニシャルリセット時、システムクロックにはOSC3クロックが選択されます。
発振回路のOn/Offとシステムクロックの切り換え(OSC3↔OSC1)はソフトウェアによって制御できます。
また、外部へのクロック出力も可能となっています。
図7.1.1にクロックシステムとOSCモジュールの構成を示します。

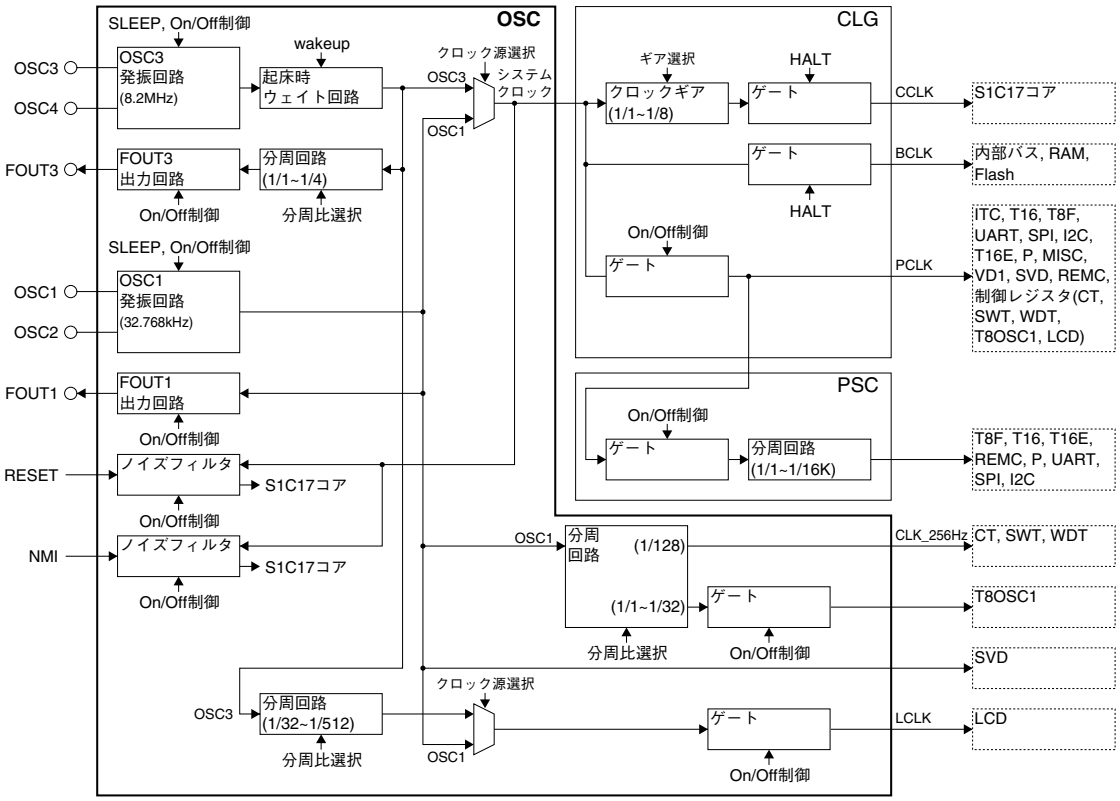


図7.1.1 OSCモジュールの構成

処理に合わせてクロックを制御し、さらにスタンバイモードを組み合わせることで消費電流を抑えることができます。消費電流を抑える手法については、“Appendix C パワーセーブ”を参照してください。

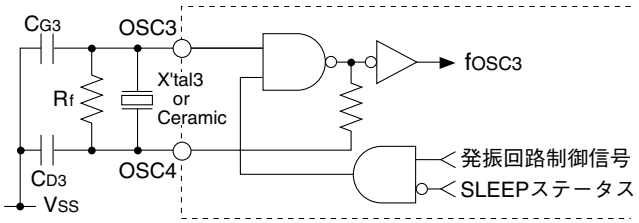
7.2 OSC3発振回路

OSC3発振回路はS1C17コアと周辺回路を高速動作させるメインクロックを発生します。発振回路の種類は水晶/セラミック発振(Max. 8.2MHz)またはCR発振(Max. 2.2MHz)で、それぞれ型番の異なる製品として用意されています。

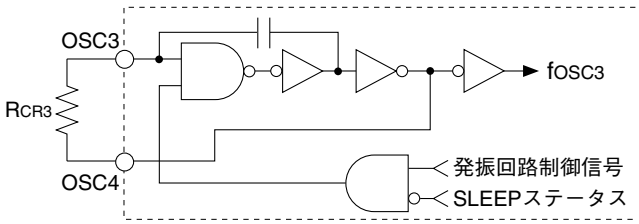
表7.2.1 ラインアップ

型番	OSC3発振回路
S1C17701F00B100	水晶/セラミック
S1C17701F00E100	CR発振

図7.2.1にOSC3発振回路の構造を示します。



(1) 水晶/セラミック発振回路



(2) CR発振回路

図7.2.1 OSC3発振回路

水晶/セラミック発振回路を選択した場合は、OSC3端子とOSC4端子間に水晶振動子(X'tal3)またはセラミック振動子(Ceramic)と帰還抵抗(R_f)を、同OSC3、OSC4端子とV_{SS}間にキャパシタを2個(C_{G3}、C_{D3})接続します。
CR発振を選択した場合は、OSC3端子とOSC4端子間に抵抗(R_{CR3})のみを接続します。

OSC3発振のOn/Off

OSC3発振回路はOSC3EN(D0/OSC_CTLレジスタ)を0に設定すると発振を停止し、1に設定すると発振を開始します。OSC3発振回路はSLEEPモードでも発振を停止します。

* **OSC3EN**: OSC3 Enable Bit in the Oscillation Control (OSC_CTL) Register (D0/0x5061)

イニシャルリセット時はOSC3ENが1に設定され、OSC3発振回路はOnします。また、OSC3クロックがシステムクロックとなりますので、S1C17コアはOSC3クロックで動作を開始します。

OSC3発振開始時の安定待ち時間

電源投入時、SLEEPからの起床時、ソフトウェアでOSC3発振回路をOnにした場合など、OSC3発振開始時の不安定なクロックによる誤動作を防止するため、OSC3発振回路には発振安定待ちタイマが設けられています。このタイマで設定した時間が経過するまで、OSC3クロックはシステムに供給されません。
この発振安定待ち時間はOSC3WT[1:0](D[5:4]/OSC_CTLレジスタ)で4種類から選択します。

* **OSC3WT[1:0]**: OSC3 Wait Cycle Select Bits in the Oscillation Control (OSC_CTL) Register (D[5:4]/0x5061)

表7.2.2 OSC3発振安定待ち時間の設定

OSC3WT[1:0]	発振安定待ち時間
0x3	128サイクル
0x2	256サイクル
0x1	512サイクル
0x0	1024サイクル

(デフォルト: 0x0)

イニシャルリセット時は1024サイクル(OSC3クロック)に設定されますので、リセット解除後はこの時間が経過するまでCPUは動作を開始しません。

注: OSC3発振開始時間は振動子、外付け部品によって変動します。発振安定待ち時間は余裕を持って設定してください。"26 電気的特性"に発振開始時間の一例を示しますので参考にしてください。

7.3 OSC1発振回路

OSC1発振回路は32.768kHz(Typ.)のサブクロックを発生します。
通常、OSC1クロックはタイマ(計時タイマ、ストップウォッチタイマ、ウォッチドッグタイマ、8ビットOSC1タイマ)の動作クロックとして使用します。また、高速な処理が不要な場合は、消費電流を低減するため、OSC3クロックの代わりにシステムクロックとしても使用可能です。
発振回路の種類は水晶発振です。
図7.3.1にOSC1発振回路の構造を示します。

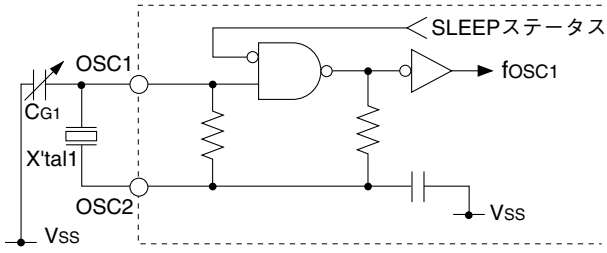


図7.3.1 OSC1発振回路

OSC1端子とOSC2端子間に水晶振動子X'tal1(Typ. 32.768kHz)を、OSC1端子とVss間にトリマキャパシタC_{G1}(0～25pF)を接続します。

OSC1発振のOn/Off

OSC1発振回路はOSC1EN(D1/OSC_CTLレジスタ)を0に設定すると発振を停止し、1に設定すると発振を開始します。OSC1発振回路はSLEEPモードでも発振を停止します。

* **OSC1EN**: OSC1 Enable Bit in the Oscillation Control (OSC_CTL) Register (D1/0x5061)

OSC1発振開始時の安定待ち時間

電源投入時、SLEEPからの起床時、ソフトウェアでOSC1発振回路をOnにした場合など、OSC1発振開始時の不安定なクロックによる誤動作を防止するため、OSC1発振回路には発振安定待ちタイマが設けられています。発振開始後、OSC1クロックは256サイクルの期間、システムに供給されません。

7.4 システムクロックの切り換え

OSC3とOSC1クロックのどちらをシステムクロックとして使用するか、ソフトウェアによって切り換えることができます。可能であれば、システムクロックをOSC1に切り換え後にOSC3発振を停止させることで、消費電流を低減できます。
この制御手順を以下に示します。

OSC3→OSC1

1. OSC1発振が停止している場合は、OSC1EN(D1/OSC_CTLレジスタ)を1に設定して発振を開始させます。

   * **OSC1EN**: OSC1 Enable Bit in the Oscillation Control (OSC_CTL) Register (D1/0x5061)

2. CLKSRC(D0/OSC_SRCレジスタ)を1に設定して、システムクロックをOSC3からOSC1に切り換えます。

   * **CLKSRC**: System Clock Source Select Bit in the Clock Source Select (OSC_SRC) Register (D0/0x5060)

3. OSC3を原振とする周辺モジュールの動作が不要な場合は、OSC3EN(D0/OSC_CTLレジスタ)を0に設定してOSC3発振を停止させます。

   * **OSC3EN**: OSC3 Enable Bit in the Oscillation Control (OSC_CTL) Register (D0/0x5061)

注: • OSC1発振開始直後に、システムクロックをOSC3からOSC1に切り換えると、OSC1クロックが立ち上がるまで(OSC1クロックの256サイクルの期間)、システムクロックは停止します。

• システムクロックをOSC1に切り換える前にOSC3発振を停止することはできません。

OSC1→OSC3

1. OSC3WT[1:0](D[5:4]/OSC_CTLレジスタ)を、OSC3発振開始時間以上の発振安定待ち時間(表7.2.2参照)に設定します(すでに設定済みの場合は不要)。

   * **OSC3WT[1:0]**: OSC3 Wait Cycle Select Bits in the Oscillation Control (OSC_CTL) Register (D[5:4]/0x5061)

2. OSC3発振が停止している場合は、OSC3EN(D0/OSC_CTLレジスタ)を1に設定して発振を開始させます。OSC3発振開始直後は、OSC3WT[1:0](D[5:4]/OSC_CTLレジスタ)による設定時間が経過するまで、OSC3クロックは供給されません。

3. CLKSRC(D0/OSC_SRCレジスタ)を0に設定して、システムクロックをOSC1からOSC3に切り換えます。

4. OSC1を原振とする周辺モジュールの動作が不要な場合は、OSC1EN(D1/OSC_CTLレジスタ)を0に設定してOSC1発振を停止させます。

注: • OSC3発振回路がすでに動作中の場合、1と2の操作は不要です。

• OSC3発振開始時間は振動子、外付け部品によって変動します。発振安定待ち時間は余裕を持って設定してください。"26 電気的特性"に発振開始時間の一例を示しますので参考にしてください。

• システムクロックをOSC3に切り換える前にOSC1発振を停止することはできません。

7.5 LCDクロックの制御

OSCモジュールには、LCDドライバの動作クロック(LCLK)を生成するLCDクロックジェネレータが組み込まれています。LCDドライバの詳細については、“22 LCDドライバ(LCD)”を参照してください。

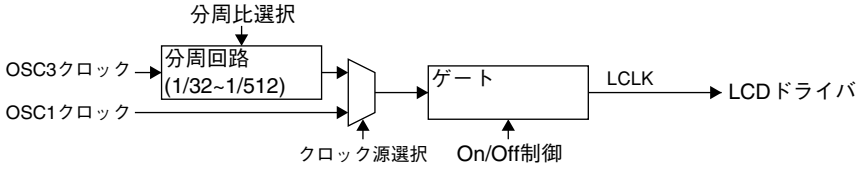


図7.5.1 LCDクロックジェネレータ

原振クロックの選択

LCDクロックをOSC1とOSC3のどちらから生成するか、LCKSRC(D1/OSC_LCLKレジスタ)で選択できます。LCKSRCが1(デフォルト)の場合はOSC1、0に設定するとOSC3が選択されます。

∗ **LCKSRC**: LCD Clock Source Select Bit in the LCD Clock Setup (OSC_LCLK) Register (D1/0x5063)

クロック分周比の選択

OSC1クロックの場合

原振クロックにOSC1を選択した場合、分周比を選択する操作は不要です。OSC1クロック(Typ. 32.768kHz)がそのままLCDドライバに送られます。

OSC3クロックの場合

原振クロックにOSC3を選択した場合は、LCKDV[2:0](D[4:2]/OSC_LCLKレジスタ)で分周比を選択します。

∗ **LCKDV[2:0]**: LCD Clock Division Ratio Select Bits in the LCD Clock Setup (OSC_LCLK) Register (D[4:2]/0x5063)

表7.5.1 LCDクロック分周比の選択

LCKDV[2:0]	分周比
0x7〜0x5	Reserved
0x4	OSC3•1/512
0x3	OSC3•1/256
0x2	OSC3•1/128
0x1	OSC3•1/64
0x0	OSC3•1/32

(デフォルト: 0x0)

クロック供給の制御

LCDドライバへのクロック供給は、LCKEN(D0/OSC_LCLKレジスタ)で制御します。LCKENのデフォルト設定は0で、クロックの供給は停止しています。LCKENを1に設定すると、上記のとおり生成されたクロックがLCDドライバに送られます。

∗ **LCKEN**: LCD Clock Enable Bit in the LCD Clock Setup (OSC_LCLK) Register (D0/0x5063)

注: DSPC[1:0]/ LCD_DCTLレジスタ=0に設定した後、LCKEN/OSC_LCLKレジスタ=0に設定する場合、1LCDクロック以上の時間を待ってください。また、1LCDクロック以上待たずに停止させ、再度LCKEN/OSC_LCLKレジスタ=1に設定した場合、1LCDクロック以上の時間を待ってから、DSPC[1:0]/LCD_DCTLレジスタ=1に設定してください。

7.6 8ビットOSC1タイマクロックの制御

OSCモジュールには、8ビットOSC1タイマの動作クロックを生成する分周回路と供給を制御する機構が組み込まれています。8ビットOSC1タイマはOSC1分周クロックのみで動作するプログラマブルタイマです。詳細については、“14 8ビットOSC1タイマ(T8OSC1)”を参照してください。

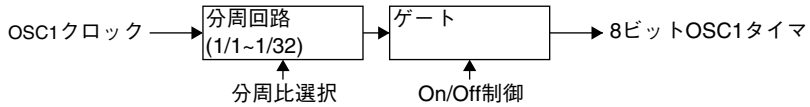


図7.6.1 8ビットOSC1タイマクロック制御回路

クロック分周比の選択

T8O1CK[2:0](D[3:1]/OSC_T8OSC1レジスタ)でOSC1クロックの分周比を選択します。

* **T8O1CK[2:0]**: T8OSC1 Clock Division Ratio Select Bits in the T8OSC1 Clock Control (OSC_T8OSC1) Register (D[3:1]/0x5065)

表7.6.1 T8OSC1クロック分周比の選択

T8O1CK[2:0]	分周比
0x7～0x6	Reserved
0x5	OSC1•1/32
0x4	OSC1•1/16
0x3	OSC1•1/8
0x2	OSC1•1/4
0x1	OSC1•1/2
0x0	OSC1•1/1

(デフォルト: 0x0)

クロック供給の制御

8ビットOSC1タイマへのクロック供給は、T8O1CE(D0/OSC_T8OSC1レジスタ)で制御します。T8O1CEのデフォルト設定は0で、クロックの供給は停止しています。T8O1CEを1に設定すると、上記のとおり生成されたクロックが8ビットOSC1タイマに送られます。8ビットOSC1タイマの動作が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

* **T8O1CE**: T8OSC1 Clock Enable Bit in the T8OSC1 Clock Control (OSC_T8OSC1) Register (D0/0x5065)

7.7 クロック外部出力(FOUT3, FOUT1)

OSC3の分周クロック(FOUT3)、OSC1クロック(FOUT1)をチップ外部へ出力することができます。

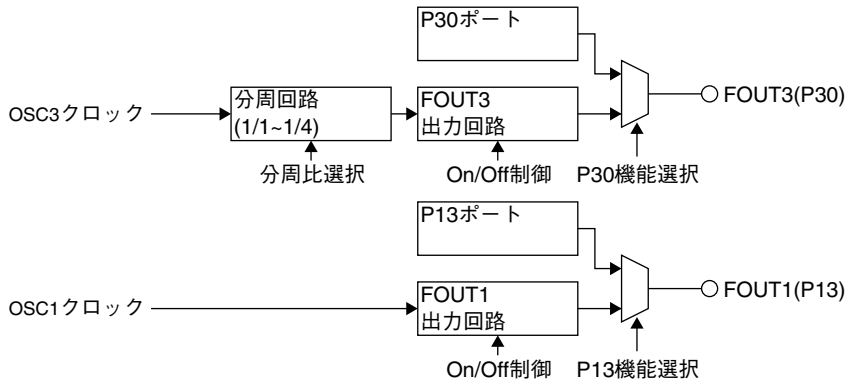


図7.7.1 クロック出力回路

FOUT3出力

FOUT3はOSC3の分周クロックです。

出力端子の設定

FOUT3出力端子はP30ポート端子を兼ねています。デフォルト設定ではP30ポート端子として機能しますので、FOUT3出力として使用する場合はP30MUX(D0/P3_PMUXレジスタ)に1を書き込み、端子機能を変更してください。

* **P30MUX**: P30 Port Function Select Bit in the P3 Port Function Select (P3_PMUX) Register (D0/0x52a3)

FOUT3クロック周波数の選択

出力するクロック周波数は3種類から選択できます。FOUT3D[1:0](D[3:2]/OSC_FOUTレジスタ)でOSC3クロックの分周比を選択してください。

* **FOUT3D[1:0]**: FOUT3 Clock Division Ratio Select Bits in the FOUT Control (OSC_FOUT) Register (D[3:2]/0x5064)

表7.7.1 FOUT3クロック分周比の選択

FOUT3D[1:0]	分周比
0x3	Reserved
0x2	OSC3•1/4
0x1	OSC3•1/2
0x0	OSC3•1/1

(デフォルト: 0x0)

クロック出力の制御

クロック出力は、FOUT3E(D1/OSC_FOUTレジスタ)で制御します。FOUT3Eを1に設定するとFOUT3クロックがFOUT3端子から出力され、FOUT3Eを0に設定すると出力は停止します。

* **FOUT3E**: FOUT3 Output Enable Bit in the FOUT Control (OSC_FOUT) Register (D1/0x5064)

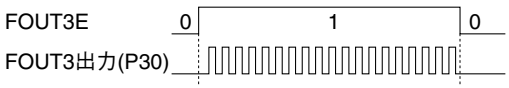


図7.7.2 FOUT3出力

注: FOUT3信号はFOUT3Eの書き込みとは非同期に生成されますので、出力のOn/Off時にはハザードを生じます。

FOUT1出力

FOUT1はOSC1クロックです。

出力端子の設定

FOUT1出力端子はP13ポート端子を兼ねています。デフォルト設定ではP13ポート端子として機能しますので、FOUT1出力として使用する場合はP13MUX(D3/P1_PMUXレジスタ)に1を書き込み、端子機能を変更してください。

* **P13MUX**: P13 Port Function Select Bit in the P1 Port Function Select (P1_PMUX) Register (D3/0x52a1)

クロック出力の制御

クロック出力は、FOUT1E(D0/OSC_FOUTレジスタ)で制御します。FOUT1Eを1に設定するとFOUT1クロックがFOUT1端子から出力され、FOUT1Eを0に設定すると出力は停止します。

* **FOUT1E**: FOUT1 Output Enable Bit in the FOUT Control (OSC_FOUT) Register (D0/0x5064)

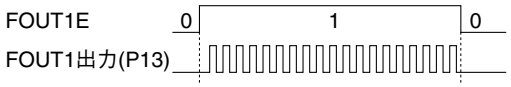


図7.7.3 FOUT1出力

注: FOUT1信号はFOUT1Eの書き込みとは非同期に生成されますので、出力のOn/Off時にはハザードを生じます。

7.8 RESET, NMI入力ノイズフィルタ

S1C17コアの入力信号の中で、RESET、NMIがノイズの影響により誤まってアクティブになると、不要なリセット、NMI処理を実行してしまいます。
これを防ぐため、OSCモジュールにはシステムクロックで動作するノイズフィルタが組み込まれており、これらの信号がS1C17コアに入力される前にノイズを除去できるようになっています。
ノイズフィルタは信号ごとに独立しており、個別に有効とするかバイパスさせるか選択できます。

RESET入力ノイズフィルタ: RSTFE(D1/OSC_NFENレジスタ) = 1でノイズ除去、RSTFE = 0でバイパス
NMI入力ノイズフィルタ: NMIFE(D0/OSC_NFENレジスタ) = 1でノイズ除去、NMIFE = 0でバイパス

* **RSTFE**: Reset Noise Filter Enable Bit in the Noise Filter Enable (OSC_NFEN) Register (D1/0x5062)
* **NMIFE**: NMI Noise Filter Enable Bit in the Noise Filter Enable (OSC_NFEN) Register (D0/0x5062)

ノイズフィルタはシステムクロック(OSC3クロックまたはOSC1クロック)を1/8に分周したクロックで動作します。有効にすると、このクロックの2サイクル以下のパルスはノイズとして除去されます。
したがって、有効な信号として入力するためには、システムクロックの16サイクル以上のパルス幅が必要です。

注:
- **通常、RESET入力のノイズフィルタは有効に設定してください。**
- **S1C17701には外部NMI入力端子はありませんが、ウォッチドッグタイマのNMI要求信号がこのノイズフィルタを通ります。**

7.9 制御レジスタ詳細

表7.9.1 OSCレジスター一覧

アドレス	レジスタ名		機　能
0x5060	OSC_SRC	Clock Source Select Register	クロック源の選択
0x5061	OSC_CTL	Oscillation Control Register	発振制御
0x5062	OSC_NFEN	Noise Filter Enable Register	ノイズフィルタのON/OFF
0x5063	OSC_LCLK	LCD Clock Setup Register	LCDクロックの設定
0x5064	OSC_FOUT	FOUT Control Register	クロック外部出力の制御
0x5065	OSC_T8OSC1	T8OSC1 Clock Control Register	8ビットOSC1タイマクロックの設定

以下、OSCモジュールのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5060: Clock Source Select Register (OSC_SRC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Source Select Register (OSC_SRC)	0x5060 (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	CLKSRC	System clock source select	1 OSC1 0 OSC3	0	R/W	

D[7:1] Reserved

D0 CLKSRC: System Clock Source Select Bit

システムのクロックソースを選択します。
1(R/W): OSC1
0(R/W): OSC3(デフォルト)

通常(高速)動作時はOSC3を選択します。OSC3クロックが不要な場合は、OSC1をシステムクロックに設定し、OSC3発振を停止することで消費電流を低減できます。

注: OSC1発振開始直後に、システムクロックをOSC3からOSC1に切り換えると、OSC1クロックが立ち上がるまで(OSC1クロックの256サイクルの期間)、システムクロックは停止します。

0x5061: Oscillation Control Register (OSC_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Oscillation Control Register (OSC_CTL)	0x5061 (8 bits)	D7–6	–	reserved	–	–	–	0 when being read.
		D5–4	OSC3WT[1:0]	OSC3 wait cycle select	OSC3WT[1:0] Wait cycle 0x3 128 cycles 0x2 256 cycles 0x1 512 cycles 0x0 1024 cycles	0x0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	OSC1EN	OSC1 enable	1 Enable 0 Disable	1	R/W	
		D0	OSC3EN	OSC3 enable	1 Enable 0 Disable	1	R/W	

D[7:6] Reserved

D[5:4] OSC3WT[1:0]: OSC3 Wait Cycle Select Bits

OSC3発振開始時の不安定なクロックによる誤動作を防止するための、発振安定待ち時間を設定します。

電源投入時、SLEEPからの起床時、ソフトウェアでOSC3発振回路をOnにした場合など、OSC3発振開始直後は、ここで設定した時間が経過するまで、OSC3クロックはシステムに供給されません。

表7.9.2 OSC3発振安定待ち時間の設定

OSC3WT[1:0]	発振安定待ち時間
0x3	128サイクル
0x2	256サイクル
0x1	512サイクル
0x0	1024サイクル

(デフォルト: 0x0)

イニシャルリセット時は1024サイクル(OSC3クロック)に設定されますので、リセット解除後はこの時間が経過するまでCPUは動作を開始しません。

注: OSC3発振開始時間は振動子、外付け部品によって変動します。発振安定待ち時間は余裕を持って設定してください。"26 電気的特性"に発振開始時間の一例を示しますので参考にしてください。

D[3:2] Reserved

D1 OSC1EN: OSC1 Enable Bit

OSC1発振回路の動作を許可/禁止します。
1(R/W): 許可(On)(デフォルト)
0(R/W): 禁止(Off)

注:
- **OSC1クロックをシステムクロックとして使用している場合、OSC1発振回路を停止することはできません。**
- **OSC1ENを0から1に設定してOSC1発振を開始させた直後は誤動作を防ぐため、OSC1クロックは256サイクルの期間、システムに供給されません。**

D0 OSC3EN: OSC3 Enable Bit

OSC3発振回路の動作を許可/禁止します。
1(R/W): 許可(On)(デフォルト)
0(R/W): 禁止(Off)

注: OSC3クロックをシステムクロックとして使用している場合、OSC3発振回路を停止することはできません。

0x5062: Noise Filter Enable Register (OSC_NFEN)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
Noise Filter Enable Register (OSC_NFEN)	0x5062 (8 bits)	D7–2	–	reserved	–				–	–	0 when being read.
		D1	RSTFE	Reset noise filter enable	1	Enable	0	Disable	1	R/W	
		D0	NMIFE	NMI noise filter enable	1	Enable	0	Disable	0	R/W	

D[7:2] Reserved

D1 RSTFE: Reset Noise Filter Enable Bit

RESET入力用ノイズフィルタの動作を有効/無効にします。
1（R/W）: 有効（ノイズ除去）（デフォルト）
0（R/W）: 無効（バイパス）

このノイズフィルタは、システムクロック（OSC3クロックまたはOSC1クロック）16サイクル以上の幅のRESETパルスのみをS1C17コアに入力します。パルス幅が16サイクル未満の場合はノイズとして除去されます。通常は有効に設定してください。

D0 NMIFE: NMI Noise Filter Enable Bit

NMI入力用ノイズフィルタの動作を有効/無効にします。
1（R/W）: 有効（ノイズ除去）
0（R/W）: 無効（バイパス）（デフォルト）

このノイズフィルタは、システムクロック（OSC3クロックまたはOSC1クロック）16サイクル以上の幅のNMIパルスのみをS1C17コアに入力します。パルス幅が16サイクル未満の場合はノイズとして除去されます。

注: S1C17701には外部NMI入力端子はありませんが、ウォッチドッグタイマのNMI要求信号がこのノイズフィルタを通ります。

0x5063: LCD Clock Setup Register (OSC_LCLK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
LCD Clock Setup Register (OSC_LCLK)	0x5063 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4–2	LCKDV[2:0]	LCD clock division ratio select	LCKDV[2:0] / Division ratio 0x7–0x5 / reserved 0x4 / OSC3•1/512 0x3 / OSC3•1/256 0x2 / OSC3•1/128 0x1 / OSC3•1/64 0x0 / OSC3•1/32	0x0	R/W	
		D1	LCKSRC	LCD clock source select	1 OSC1 / 0 OSC3	1	R/W	
		D0	LCKEN	LCD clock enable	1 Enable / 0 Disable	0	R/W	

D[7:5] Reserved

D[4:2] LCKDV[2:0]: LCD Clock Division Ratio Select Bits

LCDクロック源にOSC3を選択した場合に、ここで分周比を選択します。

表7.9.3 LCDクロック分周比の選択

LCKDV[2:0]	分周比
0x7～0x5	Reserved
0x4	OSC3•1/512
0x3	OSC3•1/256
0x2	OSC3•1/128
0x1	OSC3•1/64
0x0	OSC3•1/32

(デフォルト: 0x0)

LCDクロック源にOSC1を選択した場合、分周比を選択する操作は不要です。

D1 LCKSRC: LCD Clock Source Select Bit

LCDクロック源を選択します。
1(R/W): OSC1(デフォルト)
0(R/W): OSC3

D0 LCKEN: LCD Clock Enable Bit

LCDドライバへのLCDクロックの供給を許可/禁止します。
1(R/W): 許可(On)
0(R/W): 禁止(Off)(デフォルト)

LCKENのデフォルト設定は0で、クロックの供給は停止しています。LCKENを1に設定すると、上記のビットで選択されたクロックがLCDドライバに送られます。LCDの表示が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

0x5064: FOUT Control Register (OSC_FOUT)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
FOUT Control Register (OSC_FOUT)	0x5064 (8 bits)	D7–4	–	reserved	–				–	–	0 when being read.
		D3–2	FOUT3D[1:0]	FOUT3 clock division ratio select	FOUT3D[1:0]	Division ratio			0x0	R/W	
					0x3	reserved					
					0x2	OSC3•1/4					
					0x1	OSC3•1/2					
					0x0	OSC3•1/1					
		D1	FOUT3E	FOUT3 output enable	1	Enable	0	Disable	0	R/W	
		D0	FOUT1E	FOUT1 output enable	1	Enable	0	Disable	0	R/W	

D[7:4] Reserved

D[3:2] FOUT3D[1:0]: FOUT3 Clock Division Ratio Select Bits

OSC3クロックの分周比を選択し、FOUT3クロック周波数を設定します。

表7.9.4 FOUT3クロック分周比の選択

FOUT3D[1:0]	分周比
0x3	Reserved
0x2	OSC3•1/4
0x1	OSC3•1/2
0x0	OSC3•1/1

（デフォルト: 0x0）

D1 FOUT3E: FOUT3 Output Enable Bit

FOUT3クロック（OSC3分周クロック）の外部出力を許可/禁止します。
1（R/W）: 許可（On）
0（R/W）: 禁止（Off）（デフォルト）

FOUT3Eを1に設定するとFOUT3クロックがFOUT3端子から出力され、FOUT3Eを0に設定すると出力は停止します。
FOUT3出力端子はP30ポート端子を兼ねています。デフォルト設定ではP30ポート端子として機能しますので、FOUT3出力として使用する場合はP30MUX（D0/P3_PMUXレジスタ）に1を書き込み、端子機能を変更してください。

＊ **P30MUX**: P30 Port Function Select Bit in the P3 Port Function Select (P3_PMUX) Register (D0/0x52a3)

D0 FOUT1E: FOUT1 Output Enable Bit

FOUT1クロック（OSC1クロック）の外部出力を許可/禁止します。
1（R/W）: 許可（On）
0（R/W）: 禁止（Off）（デフォルト）

FOUT1Eを1に設定するとFOUT1クロックがFOUT1端子から出力され、FOUT1Eを0に設定すると出力は停止します。
FOUT1出力端子はP13ポート端子を兼ねています。デフォルト設定ではP13ポート端子として機能しますので、FOUT1出力として使用する場合はP13MUX（D3/P1_PMUXレジスタ）に1を書き込み、端子機能を変更してください。

＊ **P13MUX**: P13 Port Function Select Bit in the P1 Port Function Select (P1_PMUX) Register (D3/0x52a1)

0x5065: T8OSC1 Clock Control Register (OSC_T8OSC1)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
T8OSC1 Clock Control Register (OSC_T8OSC1)	0x5065 (8 bits)	D7–4	–	reserved	–		–	–	0 when being read.
		D3–1	T8O1CK[2:0]	T8OSC1 clock division ratio select	T8O1CK[2:0]	Division ratio	0x0	R/W	
					0x7–0x6	reserved			
					0x5	OSC1•1/32			
					0x4	OSC1•1/16			
					0x3	OSC1•1/8			
					0x2	OSC1•1/4			
					0x1	OSC1•1/2			
					0x0	OSC1•1/1			
		D0	T8O1CE	T8OSC1 clock output enable	1 Enable	0 Disable	0	R/W	

D[7:4] Reserved

D[3:1] T8O1CK[2:0]: T8OSC1 Clock Division Ratio Select Bits

OSC1クロックの分周比を選択し、8ビットOSC1タイマの動作クロックを設定します。

表7.9.5 T8OSC1クロック分周比の選択

T8O1CK[2:0]	分周比
0x7～0x6	Reserved
0x5	OSC1•1/32
0x4	OSC1•1/16
0x3	OSC1•1/8
0x2	OSC1•1/4
0x1	OSC1•1/2
0x0	OSC1•1/1

(デフォルト: 0x0)

D0 T8O1CE: T8OSC1 Clock Output Enable Bit

8ビットOSC1タイマへのクロック供給を許可/禁止します。

1(R/W): 許可(On)

0(R/W): 禁止(Off)(デフォルト)

T8O1CEのデフォルト設定は0で、クロックの供給は停止しています。T8O1CEを1に設定すると、上記のビットで選択されたクロックが8ビットOSC1タイマに送られます。8ビットOSC1タイマの動作が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

7.10 注意事項

- 発振開始時間は振動子、外付け部品によって変動します。OSC3発振安定待ち時間は余裕を持って設定してください。“26 電気的特性”に発振開始時間の一例を示しますので参考にしてください。
- OSC1発振開始直後に、システムクロックをOSC3からOSC1に切り換えると、OSC1クロックが立ち上がるまで（OSC1クロックの256サイクルの期間）、システムクロックは停止します。
- OSC3クロックをシステムクロックとして使用している場合、OSC3発振回路を停止することはできません。
- OSC1クロックをシステムクロックとして使用している場合、OSC1発振回路を停止することはできません。
- FOUT3/FOUT1信号はFOUT3E/FOUT1Eの書き込みとは非同期に生成されますので、出力のOn/Off時にはハザードを生じます。

8 クロックジェネレータ(CLG)

8.1 クロックジェネレータの構成

クロックジェネレータは、S1C17コアや周辺モジュールへのシステムクロックの供給を制御します。
図8.1.1にクロックシステムとCLGモジュールの構成を示します。

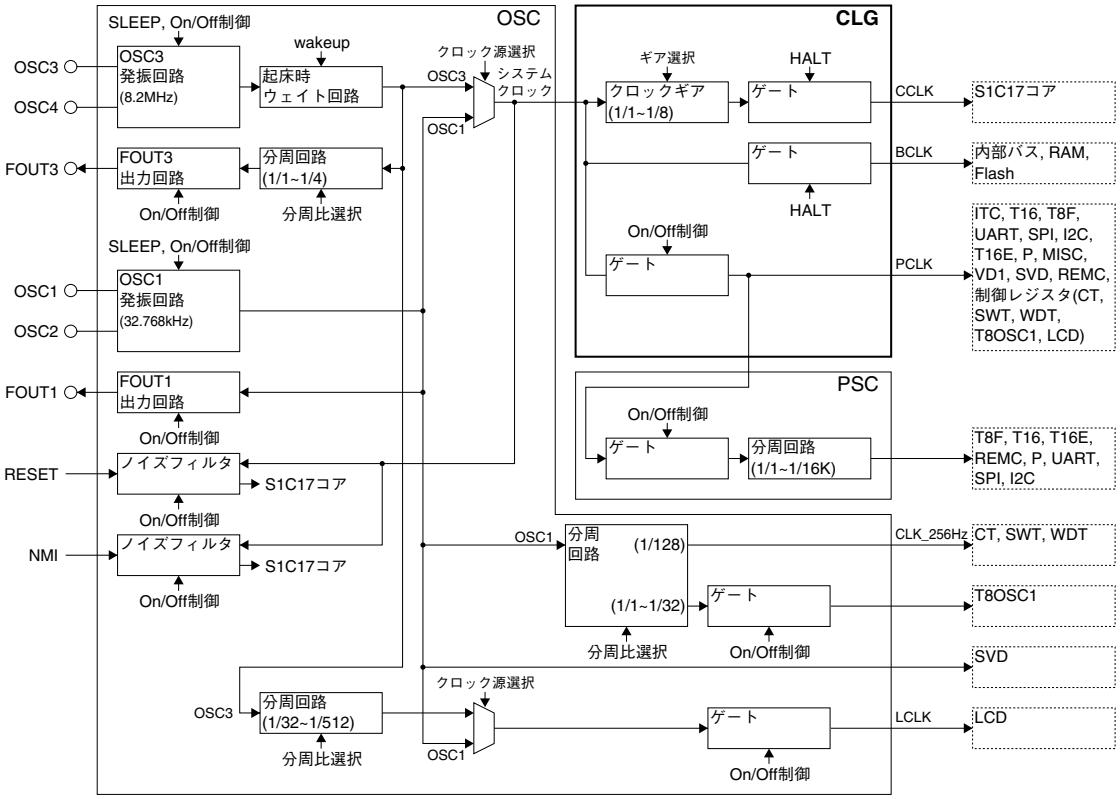


図8.1.1 CLGモジュールの構成

処理に合わせてクロックを制御し、さらにスタンバイモードを組み合わせることで消費電流を抑えることができます。消費電流を抑える手法については、“Appendix C パワーセーブ”を参照してください。

8.2 CPUコアクロック(CCLK)の制御

CLGモジュールには、システムクロックを減速させてS1C17コアに送るためのクロックギアが組み込まれています。できるだけ低速なクロックでS1C17コアを動作させることで消費電流を抑えることができます。また、halt命令が実行されると、CLGはS1C17コアへのクロック供給を停止してパワーセーブを図ります。

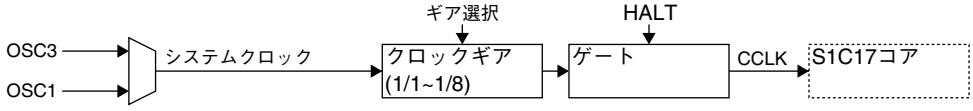


図8.2.1 CCLK供給システム

クロックギアの設定

CCLKGR[1:0](D[1:0]/CLG_CCLKレジスタ)でシステムクロックを減速するギア比を選択します。

* **CCLKGR[1:0]**: CCLK Clock Gear Ratio Select Bits in the CCLK Control (CLG_CCLK) Register (D[1:0]/0x5081)

表8.2.1 CCLKギア比の選択

CCLKGR[1:0]	ギア比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

(デフォルト: 0x0)

クロック供給の制御

CCLKクロックの供給を停止するには、halt命令を実行します。システムクロックは停止しませんので、周辺モジュールは動作します。

HALTモードはリセット、NMI、その他の割り込みで解除され、それと同時にCCLKの供給も再開します。

slp命令を実行した場合はCLGへのシステムクロックの供給が停止しますので、CCLKの供給は停止します。SLEEPモードが外部割り込み等で解除されるとシステムクロックの供給が再開され、CCLKの供給も再開します。

システムクロックの制御については、"7 発振回路(OSC)"を参照してください。

8.3 周辺モジュールクロック(PCLK)の制御

CLGモジュールは、周辺モジュールへのクロック供給も制御します。
周辺モジュールクロック(PCLK)にはシステムクロックがそのまま使用されます。

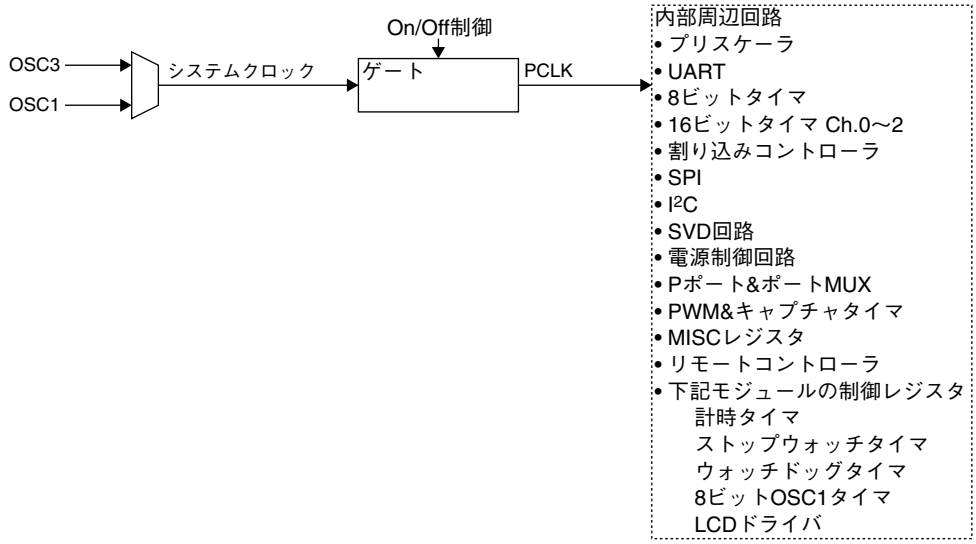


図8.3.1 周辺モジュールクロック制御回路

クロック供給の制御

PCLKの供給はPCKEN[1:0](D[1:0]/CLG_PCLKレジスタ)で制御します。

* **PCKEN[1:0]**: PCLK Enable Bits in the PCLK Control (CLG_PCLK) Register (D[1:0]/0x5080)

表8.3.1 PCLKの制御

PCKEN[1:0]	PCLKの供給
0x3	許可(On)
0x2	設定禁止
0x1	設定禁止
0x0	禁止(Off)

(デフォルト: 0x3)

デフォルト設定は0x3で、クロックが供給されるようになっています。内部周辺回路エリア内の全周辺モジュール(上記のリストにあるモジュール)の動作が不要な場合は、消費電流を抑えるため、クロックの供給を停止してください。

注: 一部の周辺モジュールが動作を停止しますので、PCKEN[1:0](D[1:0]/CLG_PCLKレジスタ)を0x2または0x1には設定しないでください。

PCLK以外で動作する周辺モジュール

以下の周辺モジュールは制御レジスタへのアクセスを除き、PCLK以外のクロックで動作します。したがって、制御レジスタを設定して動作を開始後はPCLKは必要ありません。

OSC1周辺モジュール

計時タイマ、ストップウォッチタイマ、ウォッチドッグタイマ、8ビットOSC1タイマはOSC1分周クロックで動作します。PCLKを停止すると制御レジスタは読み出し、書き込み共にできなくなりますが、動作は継続します。

LCDドライバ

LCDドライバはOSC1クロックまたはOSC3分周クロックで動作します。PCLKを停止すると制御レジスタは読み出し、書き込み共にできなくなりますが、表示動作は継続します。
また、表示メモリへのアクセスにもPCLKは必要ありません。

8.4 制御レジスタ詳細

表8.4.1 CLGレジスター覧

アドレス	レジスタ名		機　能
0x5080	CLG_PCLK	PCLK Control Register	PCLK供給制御
0x5081	CLG_CCLK	CCLK Control Register	CCLK分周比の設定

以下、CLGモジュールのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5080: PCLK Control Register (CLG_PCLK)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PCLK Control Register (CLG_PCLK)	0x5080 (8 bits)	D7–2	–	reserved	–		–	–	0 when being read.
		D1–0	PCKEN[1:0]	PCLK enable	PCKEN[1:0]	PCLK supply	0x3	R/W	
					0x3	Enable			
					0x2	Not allowed			
					0x1	Not allowed			
					0x0	Disable			

D[7:2] Reserved

D[1:0] PCKEN[1:0]: PCLK Enable Bits

内部周辺モジュールへのクロック(PCLK)の供給を許可/禁止します。

表8.4.2 PCLKの制御

PCKEN[1:0]	PCLKの供給
0x3	許可(On)
0x2	設定禁止
0x1	設定禁止
0x0	禁止(Off)

(デフォルト: 0x3)

PCKEN[1:0]のデフォルト設定は0x3で、クロックは供給されるようになっています。下記の周辺モジュールを使用しない場合は、消費電流を抑えるため、クロック供給を停止してください。

PCLKで動作する周辺モジュール
- プリスケーラ(PWM&キャプチャタイマ、リモートコントローラ、Pポート)
- UART
- 8ビットタイマ
- 16ビットタイマ Ch.0〜2
- 割り込みコントローラ
- SPI
- I²C
- SVD回路
- 電源制御回路
- Pポート&ポートMUX
- PWM&キャプチャタイマ
- MISCレジスタ
- リモートコントローラ

以下の周辺モジュールは制御レジスタへのアクセスを除き、PCLK以外のクロックで動作します。したがって、制御レジスタを設定して動作を開始後はPCLKは必要ありません。
- 計時タイマ
- ストップウォッチタイマ
- ウォッチドッグタイマ
- 8ビットOSC1タイマ
- LCDドライバ

注: 一部の周辺モジュールが動作を停止しますので、PCKEN[1:0]を0x2または0x1には設定しないでください。

0x5081: CCLK Control Register (CLG_CCLK)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
CCLK Control Register (CLG_CCLK)	0x5081 (8 bits)	D7–2	–	reserved	–		–	–	0 when being read.
		D1–0	CCLKGR[1:0]	CCLK clock gear ratio select	CCLKGR[1:0]	Gear ratio	0x0	R/W	
					0x3	1/8			
					0x2	1/4			
					0x1	1/2			
					0x0	1/1			

D[7:2] Reserved

D[1:0] CCLKGR[1:0]: CCLK Clock Gear Ratio Select Bits

システムクロックを減速するギア比を選択し、S1C17コアを動作させるCCLKクロックの速度を設定します。できるだけ低速なクロックでS1C17コアを動作させることで消費電流を抑えることができます。

表8.4.3 CCLKギア比の選択

CCLKGR[1:0]	ギア比
0x3	1/8
0x2	1/4
0x1	1/2
0x0	1/1

（デフォルト: 0x0）

8.5 注意事項

(1) デフォルト設定では、周辺モジュールにPCLKが供給されるようになっています。下記の周辺モジュールを使用しない場合は、消費電流を抑えるため、クロック供給を停止してください。

PCLKで動作する周辺モジュール
- プリスケーラ(PWM&キャプチャタイマ、リモートコントローラ、Pポート)
- UART
- 8ビットタイマ
- 16ビットタイマ Ch.0〜2
- 割り込みコントローラ
- SPI
- I^2C
- SVD回路
- 電源制御回路
- Pポート&ポートMUX
- PWM&キャプチャタイマ
- MISCレジスタ
- リモートコントローラ

以下の周辺モジュールは制御レジスタへのアクセスを除き、PCLK以外のクロックで動作します。したがって、制御レジスタを設定して動作を開始後はPCLKは必要ありません。
- 計時タイマ
- ストップウォッチタイマ
- ウォッチドッグタイマ
- 8ビットOSC1タイマ
- LCDドライバ

(2) 一部の周辺モジュールが動作を停止しますので、PCKEN[1:0](D[1:0]/CLG_PCLKレジスタ)を0x2または0x1には設定しないでください。

＊ **PCKEN[1:0]**: PCLK Enable Bits in the PCLK Control (CLG_PCLK) Register (D[1:0]/0x5080)

このページはブランクです。

9 プリスケーラ(PSC)

9.1 プリスケーラの構成

S1C17701はタイマなどの動作クロックを生成するプリスケーラを内蔵しています。プリスケーラはクロックジェネレータから供給されるPCLKクロックを1/1～1/16Kに分周し、15種類の周波数を生成します。クロック供給先の周辺モジュールにはクロック選択レジスタが設けられており、この中の1つをカウントクロックや動作クロックとして選択できるようになっています。

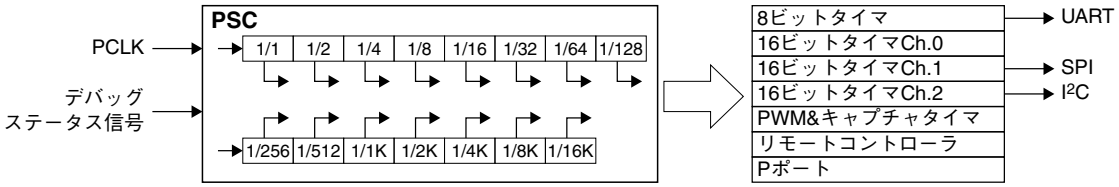


図9.1.1 プリスケーラ

プリスケーラはPRUNビット(D0/PSC_CTLレジスタ)で制御します。プリスケーラを動作させるにはPRUNに1を書き込みます。0を書き込むとプリスケーラは停止します。タイマやインタフェースモジュールが停止中は、プリスケーラを停止させることで消費電流を低減できます。イニシャルリセット後、プリスケーラは停止しています。

* **PRUN**: Prescaler Run/Stop Control Bit in the Prescaler Control (PSC_CTL) Register (D0/0x4020)

注: プリスケーラを使用するには、クロックジェネレータからPCLKが供給されている必要があります。

プリスケーラにはもう一つの制御ビット、PRUND(D1/PSC_CTLレジスタ)が用意されています。このビットはデバッグモード時のプリスケーラの動作を指定します。PRUNDを1に設定すると、プリスケーラはデバッグモード時も動作します。PRUNDを0に設定すると、S1C17コアがデバッグモードになった時点でプリスケーラは停止します。デバッグ中にタイマやインタフェースモジュールを使用する場合は、PRUNDを1に設定してください。

* **PRUND**: Prescaler Run/Stop Setting Bit in Debug Mode in the Prescaler Control (PSC_CTL) Register (D1/0x4020)

9.2 制御レジスタ詳細

表9.2.1 プリスケーラレジスタ

アドレス	レジスタ名		機　能
0x4020	PSC_CTL	Prescaler Control Register	プリスケーラのスタート/ストップ制御

プリスケーラのレジスタは8ビットレジスタです。

注: レジスタにデータを書き込む際、"Reserved"のビットには必ず0を書き込み、1は書き込まないでください。

0x4020: Prescaler Control Register (PSC_CTL)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
Prescaler Control Register (PSC_CTL)	**0x4020** (8 bits)	D7–2	**–**	reserved	–				–	–	0 when being read.
		D1	**PRUND**	Prescaler run/stop in debug mode	1	Run	0	Stop	0	R/W	
		D0	**PRUN**	Prescaler run/stop control	1	Run	0	Stop	0	R/W	

D[7:2] Reserved

D1 PRUND: Prescaler Run/Stop Setting Bit for Debug Mode

デバッグモード時のプリスケーラの動作を選択します。
1(R/W): 動作
0(R/W): 停止(デフォルト)

PRUNDを1に設定すると、プリスケーラはデバッグモード時も動作します。PRUNDを0に設定すると、S1C17コアがデバッグモードになった時点でプリスケーラは停止します。デバッグ中にタイマやインタフェースモジュールを使用する場合は、PRUNDを1に設定してください。

D0 PRUN: Prescaler Run/Stop Control Bit

プリスケーラの動作を開始/停止させます。
1(R/W): 動作開始
0(R/W): 停止(デフォルト)

プリスケーラを動作させるにはPRUNに1を書き込みます。0を書き込むとプリスケーラは停止します。タイマやインタフェースモジュールが停止中は、プリスケーラを停止させることで消費電流を低減できます。

9.3 注意事項

プリスケーラを使用するには、クロックジェネレータからPCLKが供給されている必要があります。

このページはブランクです。

10 入出力ポート(P)

10.1 入出力ポートの構成

S1C17701は、ソフトウェアによって入出力方向の切り換えが可能な28の入出力ポート(P0[7:0]、P1[7:0]、P2[7:0]、P3[3:0])を内蔵しています。一部を除き内部周辺モジュールの入出力端子を兼ねていますが、周辺モジュール用に使用しない端子については、汎用の入出力ポートとして使用することができます。
図10.1.1に入出力ポートの構造を示します。

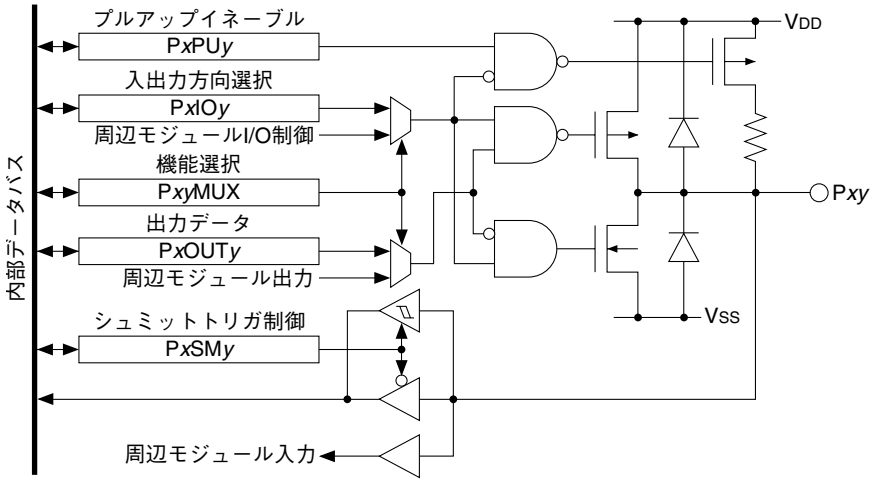


図10.1.1 入出力ポートの構造

P0およびP1ポートは入力割り込みを発生可能です。
また、P0[3:0]ポートはキー入力リセットに使用することもできます(詳細は"5.1.2 P0ポートキー入力リセット"を参照)。

注: 入出力ポートをアクセスするためには、クロックジェネレータからPCLKクロックが供給されている必要があります。
また、P0ポートのチャタリングフィルタの動作にはプリスケーラ出力クロックも必要です。この機能を使用する場合は、プリスケーラもOnにしてください。

10.2 入出力端子機能の選択(ポートMUX)

入出力ポート端子は一部を除いて周辺モジュール用の入出力端子を兼ねており、入出力ポートとして使用するか、周辺モジュール用に使用するかを各ポートに対応するポート機能選択ビットによって設定できるようになっています。周辺モジュール用に使用しない端子は、すべて汎用入出力ポート端子として使用できます。

表10.2.1 入出力端子機能の選択

端子機能1 P*xx*MUX = 0	端子機能2 P*xx*MUX = 1	ポート機能 選択ビット	制御レジスタ
P00	–	–	–
P01	–	–	–
P02	–	–	–
P03	–	–	–
P04	REMI (REMC)	P04MUX (D4)	P0 Port Function Select (P0_PMUX) Register (0x52a0)
P05	REMO (REMC)	P05MUX (D5)	
P06/EXCL2 (T16CH2)	–	–	–
P07/EXCL1 (T16CH1)	–	–	–
P10	–	–	–
P11	–	–	–
P12	–	–	–
P13	FOUT1 (OSC)	P13MUX (D3)	P1 Port Function Select (P1_PMUX) Register (0x52a1)
P14	SDA (I2C)	P14MUX (D4)	
P15	SCL (I2C)	P15MUX (D5)	
P16/EXCL0 (T16CH0)	–	–	–
P17	#SPISS (SPI)	P17MUX (D7)	P1 Port Function Select (P1_PMUX) Register (0x52a1)
P20	SDI (SPI)	P20MUX (D0)	P2 Port Function Select (P2_PMUX) Register (0x52a2)
P21	SDO (SPI)	P21MUX (D1)	
P22	SPICLK (SPI)	P22MUX (D2)	
P23	SIN (UART)	P23MUX (D3)	
P24	SOUT (UART)	P24MUX (D4)	
P25	SCLK (UART)	P25MUX (D5)	
P26	TOUT (T16E)	P26MUX (D6)	
P27	EXCL3 (T16E)	P27MUX (D7)	
P30	FOUT3 (OSC)	P30MUX (D0)	P3 Port Function Select (P3_PMUX) Register (0x52a3)
DCLK (DBG)	P31	P31MUX (D1)	
DST2 (DBG)	P32	P32MUX (D2)	
DSIO (DBG)	P33	P33MUX (D3)	

イニシャルリセットにより、各入出力ポート端子(P*xx*)はデフォルト(表10.2.1の端子機能1)の機能に初期化されます。

P06、P07、P16端子は入力モードに設定することで16ビットタイマの外部クロック入力端子としても使用できます。ただし、汎用入力ポートとしての機能も同時に有効なため、ポート機能選択ビットは設けられていません。

入出力ポート以外の機能については、( )で示した周辺モジュールの説明を参照してください。
以下の節は、端子が汎用入出力ポートに設定されているものとしてポート機能を説明します。

10.3 データの入出力

入出力ポートは、P*x*IO[7:0](P*x*_IOレジスタ)によってビットごとにデータの入出力方向を選択できるようになっています。

* **P0IO[7:0]**: P0[7:0] Port I/O Direction Select Bits in the P0 Port I/O Direction Control (P0_IO) Register (D[7:0]/0x5202)
* **P1IO[7:0]**: P1[7:0] Port I/O Direction Select Bits in the P1 Port I/O Direction Control (P1_IO) Register (D[7:0]/0x5212)
* **P2IO[7:0]**: P2[7:0] Port I/O Direction Select Bits in the P2 Port I/O Direction Control (P2_IO) Register (D[7:0]/0x5222)
* **P3IO[3:0]**: P3[3:0] Port I/O Direction Select Bits in the P3 Port I/O Direction Control (P3_IO) Register (D[3:0]/0x5232)

周辺モジュール用の機能を選択したポートの入出力方向は周辺モジュールによって制御され、P*x*IO[7:0]の設定は無視されます。

データ入力

入力モードに設定する場合はP*x*IO[7:0]を0(デフォルト)に設定します。入力モードに設定された入出力ポートは、ハイインピーダンス状態となり入力ポートとして機能します。P*x*_PUレジスタでプルアップを有効にしている場合は、ポートがプルアップされます。
入力モード時は、入力端子の状態をP*x*IN[7:0](P*x*_INレジスタ)から直接読み出すことができます。読み出し値は入力端子がHigh(V_{DD})レベルのときに1、Low(V_{SS})レベルのときに0となります。

* **P0IN[7:0]**: P0[7:0] Port Input Data Bits in the P0 Port Input Data (P0_IN) Register (D[7:0]/0x5200)
* **P1IN[7:0]**: P1[7:0] Port Input Data Bits in the P1 Port Input Data (P1_IN) Register (D[7:0]/0x5210)
* **P2IN[7:0]**: P2[7:0] Port Input Data Bits in the P2 Port Input Data (P2_IN) Register (D[7:0]/0x5220)
* **P3IN[3:0]**: P3[3:0] Port Input Data Bits in the P3 Port Input Data (P3_IN) Register (D[3:0]/0x5230)

データ出力

出力モードに設定する場合はP*x*IO[7:0]を1に設定します。出力モードに設定された入出力ポートは出力ポートとして機能し、P*x*OUT[7:0](P*x*_OUTレジスタ)に1を書き込むとポート端子はHigh(V_{DD})レベル、0を書き込むとLow(V_{SS})レベルを出力します。なお、P*x*_PUレジスタでプルアップを有効にした場合でも、ポートが出力モード時はプルアップされません。

* **P0OUT[7:0]**: P0[7:0] Port Output Data Bits in the P0 Port Output Data (P0_OUT) Register (D[7:0]/0x5201)
* **P1OUT[7:0]**: P1[7:0] Port Output Data Bits in the P1 Port Output Data (P1_OUT) Register (D[7:0]/0x5211)
* **P2OUT[7:0]**: P2[7:0] Port Output Data Bits in the P2 Port Output Data (P2_OUT) Register (D[7:0]/0x5221)
* **P3OUT[3:0]**: P3[3:0] Port Output Data Bits in the P3 Port Output Data (P3_OUT) Register (D[3:0]/0x5231)

入力モード時も、端子の状態に影響を与えることなくP*x*OUT[7:0]に対して書き込みは行えます。

10.4 プルアップ制御

入出力ポートはプルアップ抵抗を内蔵しており、これを使用するかしないか、P*x*PU[7:0](P*x*_PUレジスタ)によってビットごとに選択できるようになっています。

* **P0PU[7:0]**: P0[7:0] Port Pull-up Enable Bits in the P0 Port Pull-up Control (P0_PU) Register (D[7:0]/0x5203)
* **P1PU[7:0]**: P1[7:0] Port Pull-up Enable Bits in the P1 Port Pull-up Control (P1_PU) Register (D[7:0]/0x5213)
* **P2PU[7:0]**: P2[7:0] Port Pull-up Enable Bits in the P2 Port Pull-up Control (P2_PU) Register (D[7:0]/0x5223)
* **P3PU[3:0]**: P3[3:0] Port Pull-up Enable Bits in the P3 Port Pull-up Control (P3_PU) Register (D[3:0]/0x5233)

P*x*PU[7:0]を1(デフォルト)に設定することによりプルアップ抵抗が有効になり、入力モード時にポート端子がプルアップされます。0に設定するとプルアップされません。
出力モード時には、P*x*PU[7:0]の設定は無効となり、プルアップされません。

使用しない入出力ポートについてはプルアップを有効に設定してください。
周辺モジュール用の機能を選択したポートも、このプルアップ設定は有効です。

内蔵プルアップ抵抗によって、ポート端子をLowレベルからHighレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入出力ポートの取り込みには適切な待ち時間の設定が必要となります。待ち時間は以下の式で求められる値以上を設定してください。

待ち時間 = R_{IN} × (C_{IN} + 基板上の負荷容量) × 1.6 [秒]
R_{IN}: プルアップ抵抗Max.値
C_{IN}: 端子容量Max.値

10.5 入力インタフェースレベル

入出力ポートの入力インタフェースレベルをP*x*SM[7:0](P*x*_SMレジスタ)によってビットごとに選択できるようになっています。

- **P0SM[7:0]**: P0[7:0] Port Schmitt Trigger Input Enable Bits in the P0 Port Schmitt Trigger Control (P0_SM) Register (D[7:0]/0x5204)
- **P1SM[7:0]**: P1[7:0] Port Schmitt Trigger Input Enable Bits in the P1 Port Schmitt Trigger Control (P1_SM) Register (D[7:0]/0x5214)
- **P2SM[7:0]**: P2[7:0] Port Schmitt Trigger Input Enable Bits in the P2 Port Schmitt Trigger Control (P2_SM) Register (D[7:0]/0x5224)
- **P3SM[3:0]**: P3[3:0] Port Schmitt Trigger Input Enable Bits in the P3 Port Schmitt Trigger Control (P3_SM) Register (D[3:0]/0x5234)

P*x*SM[7:0]を1(デフォルト)に設定するとCMOSシュミットレベル、0に設定するとCMOSレベルとなります。

10.6 P0ポートのチャタリング除去機能

P0ポートにはキー入力用のチャタリング除去回路が設けられています。この機能を使用するか否か、また、使用する場合は検定時間を、P0CF*x*[2:0](P0_CHATレジスタ)によってP0[3:0]、P0[7:4]の4ポートごとに選択します。

* **P0CF1[2:0]**: P0[3:0] Chattering Filter Time Select Bits in the P0 Port Chattering Filter Control (P0_CHAT) Register (D[2:0]/0x5208)
* **P0CF2[2:0]**: P0[7:4] Chattering Filter Time Select Bits in the P0 Port Chattering Filter Control (P0_CHAT) Register (D[6:4]/0x5208)

表10.6.1 チャタリング除去機能の設定

P0CF*x*[2:0]	検定時間 *
0x7	16384/fPCLK (8ms)
0x6	8192/fPCLK (4ms)
0x5	4096/fPCLK (2ms)
0x4	2048/fPCLK (1ms)
0x3	1024/fPCLK (512µs)
0x2	512/fPCLK (256µs)
0x1	256/fPCLK (128µs)
0x0	なし(Off)

(デフォルト: 0x0, * OSC3=2MHz, PCLK=OSC3の場合)

注:
- チャタリング除去の検定時間は、除去できる最大パルス幅のことを指します。入力割り込みを発生させるには、最小で検定時間、最大で検定時間の2倍の入力時間が必要になります。
- チャタリング除去がOnに設定されたままSLEEPモードに入ると、入力割り込みを受け付けません。slp命令実行前に、チャタリング除去をOff(時間検定なし)に設定してください。
- P0_CHATレジスタ(0x5208)の設定変更は、必ずP0ポート割り込みが禁止されている状態で行ってください。割り込みが許可されている状態で設定を変更すると、P0ポート割り込みが誤って発生する場合があります。
- 入力信号の立ち上がり/立ち下がり時間が遅い場合、信号がしきい値を通過するまでに時間がかかり、内部信号が発振する現象が起こる可能性があります。この場合、入力割り込みは誤動作しますので、入力信号の立ち上がり/立ち下がり時間は25ns以下を目安に設定してください。

10.7 ポート入力割り込み

P0およびP1ポートは入力割り込み機能を持っています。
16ポートの中から割り込みに使用するポートを任意に選択可能です。また、割り込み発生条件についても、入力信号の立ち上がりエッジまたは立ち下がりエッジのどちらで割り込みを発生させるか選択可能です。
図10.7.1にポート入力割り込み回路の構成を示します。

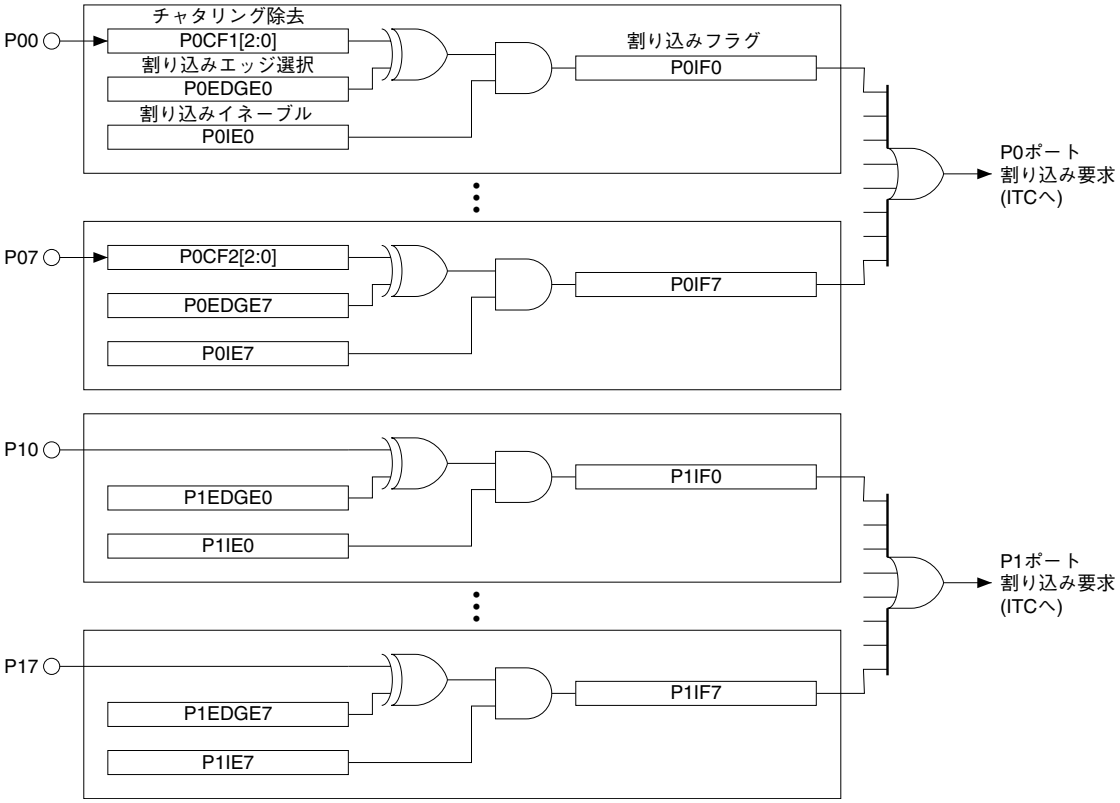


図10.7.1 ポート入力割り込み回路の構成

割り込みポートの選択

割り込みを発生させるポートをP*x*IE[7:0](P*x*_IMSKレジスタ)によって選択します。

- **P0IE[7:0]**: P0[7:0] Port Interrupt Enable Bits in the P0 Port Interrupt Mask (P0_IMSK) Register (D[7:0]/0x5205)
- **P1IE[7:0]**: P1[7:0] Port Interrupt Enable Bits in the P1 Port Interrupt Mask (P1_IMSK) Register (D[7:0]/0x5215)

P*x*IE[7:0]を1に設定すると、対応するポートが割り込みを発生可能となります。0(デフォルト)に設定すると割り込みを発生しません。
実際に割り込みを発生させるためには、割り込みコントローラの設定も必要です。割り込みコントローラの設定方法については、"6 割り込みコントローラ(ITC)"を参照してください。

割り込みエッジの選択

ポート入力割り込みは、入力信号の立ち上がりエッジまたは立ち下がりエッジで発生させることができます。どちらのエッジで発生させるかを、P*x*EDGE[7:0](P*x*_EDGEレジスタ)によって選択します。

- **P0EDGE[7:0]**: P0[7:0] Port Interrupt Edge Select Bits in the P0 Port Interrupt Edge Select (P0_EDGE) Register (D[7:0]/0x5206)
- **P1EDGE[7:0]**: P1[7:0] Port Interrupt Edge Select Bits in the P1 Port Interrupt Edge Select (P1_EDGE) Register (D[7:0]/0x5216)

P*x*EDGE[7:0]を1に設定するとポート入力割り込みは入力信号の立ち下がりエッジで発生し、0(デフォルト)に設定すると立ち上がりエッジで発生します。

Pポートモジュール内の割り込みフラグ

ITCはP0ポート割り込みとP1ポート割り込みの2系統の割り込み要求を受け付け可能ですが、P0[7:0]とP1[7:0]の16ポートの割り込みを個々に制御できるよう、Pポートモジュール内には、16ポートに個々に対応する割り込みフラグP*x*IF[7:0]が用意されています。対応するP*x*IE[7:0]を1に設定しておくことにより、P*x*IF[7:0]は入力信号の指定エッジ(立ち上がりエッジまたは立ち下がりエッジ)で1にセットされます。同時に、ITCに対してP0またはP1ポート割り込み要求信号が出力されます。この割り込み要求信号により、ITC内のP0/P1ポート割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

* **P0IF[7:0]**: P0[7:0] Port Interrupt Flags in the P0 Port Interrupt Flag (P0_IFLG) Register (D[7:0]/0x5207)
* **P1IF[7:0]**: P1[7:0] Port Interrupt Flags in the P1 Port Interrupt Flag (P1_IFLG) Register (D[7:0]/0x5217)

割り込み要因の発生状態をPポートモジュールの割り込みフラグで管理するため、以下の処理が必要です。

1. ITCのP0およびP1割り込みのトリガモードをレベルトリガモードに設定
2. 割り込み発生後は、割り込み処理ルーチン内で、Pポートモジュール内の割り込みフラグP*x*IF[7:0]をリセット(これによりITCの割り込みフラグもリセットされます)

P*x*IF[7:0]は1の書き込みによりリセットされます。

注: 不要な割り込みの発生を防止するため、P*x*IE[7:0](P*x*_IMSKレジスタ)によって必要なポートの割り込みを許可する前に、対応するP*x*IF[7:0]をリセットしてください。

ポート割り込み用ITCレジスタ

前述の設定により、割り込みを許可されたポートが入力信号の指定のエッジを検出すると、P0またはP1ポート割り込み信号をITCに出力します。
ポート割り込みを発生させるには、ITCレジスタで割り込みレベルと割り込み許可の設定を行ってください。
表10.7.1に、ポート割り込み用のITC制御ビットを示します。

表10.7.1 ITCの制御ビット

ポート	割り込みフラグ	割り込みイネーブル	割り込みレベル設定	トリガモード設定
P0	EIFT0 (D0/ITC_IFLG)	EIEN0 (D0/ITC_EN)	EILV0[2:0] (D[2:0]/ITC_ELV0)	EITG0 (D4/ITC_ELV0)
P1	EIFT1 (D1/ITC_IFLG)	EIEN1 (D1/ITC_EN)	EILV1[2:0] (D[10:8]/ITC_ELV0)	EITG1 (D12/ITC_ELV0)

ITC_IFLGレジスタ(0x4300)
ITC_ENレジスタ(0x4302)
ITC_ELV0レジスタ(0x4306)

P0またはP1ポート割り込み信号がアクティブになると、対応するITCの割り込みフラグが1にセットされます。その割り込みフラグに対応する割り込みイネーブルビットが1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。ポート割り込みを禁止するには、割り込みイネーブルビットを0に設定しておきます。割り込みフラグは、割り込みイネーブルビットの設定にかかわらず(0に設定されていても)、P0またはP1ポート割り込み信号によって1にセットされます。
割り込みレベル設定ビットは、ポート割り込みのレベル(0〜7)を設定します。同一の割り込みレベルに設定した場合、P0ポートの優先順位が高くなっています。
前述のとおり、ポート割り込みのトリガモード設定ビットは必ず1(レベルトリガ)に設定してください。

S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- ポート割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、"6 割り込みコントローラ(ITC)"を参照してください。

割り込みベクタ

ポート割り込みのベクタ番号とベクタアドレスは以下のとおりです。

表10.7.2 ポート割り込みベクタ

ポート	ベクタ番号	ベクタアドレス
P0	4(0x04)	0x8010
P1	5(0x05)	0x8014

10.8 制御レジスタ詳細

表10.8.1 入出力ポート制御レジスター覧

アドレス	レジスタ名		機　能
0x5200	P0_IN	P0 Port Input Data Register	P0ポート入力データ
0x5201	P0_OUT	P0 Port Output Data Register	P0ポート出力データ
0x5202	P0_IO	P0 Port I/O Direction Control Register	P0ポート入出力方向の選択
0x5203	P0_PU	P0 Port Pull-up Control Register	P0ポートのプルアップ制御
0x5204	P0_SM	P0 Port Schmitt Trigger Control Register	P0ポートのシュミットトリガ制御
0x5205	P0_IMSK	P0 Port Interrupt Mask Register	P0ポート割り込みマスクの設定
0x5206	P0_EDGE	P0 Port Interrupt Edge Select Register	P0ポート割り込みエッジの選択
0x5207	P0_IFLG	P0 Port Interrupt Flag Register	P0ポート割り込み発生状態の表示/リセット
0x5208	P0_CHAT	P0 Port Chattering Filter Control Register	P0ポートチャタリング除去制御
0x5209	P0_KRST	P0 Port Key-Entry Reset Configuration Register	P0ポートキー入力リセットの設定
0x5210	P1_IN	P1 Port Input Data Register	P1ポート入力データ
0x5211	P1_OUT	P1 Port Output Data Register	P1ポート出力データ
0x5212	P1_IO	P1 Port I/O Direction Control Register	P1ポート入出力方向の選択
0x5213	P1_PU	P1 Port Pull-up Control Register	P1ポートのプルアップ制御
0x5214	P1_SM	P1 Port Schmitt Trigger Control Register	P1ポートのシュミットトリガ制御
0x5215	P1_IMSK	P1 Port Interrupt Mask Register	P1ポート割り込みマスクの設定
0x5216	P1_EDGE	P1 Port Interrupt Edge Select Register	P1ポート割り込みエッジの選択
0x5217	P1_IFLG	P1 Port Interrupt Flag Register	P1ポート割り込み発生状態の表示/リセット
0x5220	P2_IN	P2 Port Input Data Register	P2ポート入力データ
0x5221	P2_OUT	P2 Port Output Data Register	P2ポート出力データ
0x5222	P2_IO	P2 Port I/O Direction Control Register	P2ポート入出力方向の選択
0x5223	P2_PU	P2 Port Pull-up Control Register	P2ポートのプルアップ制御
0x5224	P2_SM	P2 Port Schmitt Trigger Control Register	P2ポートのシュミットトリガ制御
0x5230	P3_IN	P3 Port Input Data Register	P3ポート入力データ
0x5231	P3_OUT	P3 Port Output Data Register	P3ポート出力データ
0x5232	P3_IO	P3 Port I/O Direction Control Register	P3ポート入出力方向の選択
0x5233	P3_PU	P3 Port Pull-up Control Register	P3ポートのプルアップ制御
0x5234	P3_SM	P3 Port Schmitt Trigger Control Register	P3ポートのシュミットトリガ制御
0x52a0	P0_PMUX	P0 Port Function Select Register	P0ポート機能の選択
0x52a1	P1_PMUX	P1 Port Function Select Register	P1ポート機能の選択
0x52a2	P2_PMUX	P2 Port Function Select Register	P2ポート機能の選択
0x52a3	P3_PMUX	P3 Port Function Select Register	P3ポート機能の選択

以下、入出力ポートのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5200/0x5210/0x5220/0x5230: P*x* Port Input Data Registers (P*x*_IN)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
P0 Port Input Data Register (P0_IN)	**0x5200** (8 bits)	D7–0	**P0IN[7:0]**	P0[7:0] port input data	1	1 (H)	0	0 (L)	×	R	
P1 Port Input Data Register (P1_IN)	**0x5210** (8 bits)	D7–0	**P1IN[7:0]**	P1[7:0] port input data	1	1 (H)	0	0 (L)	×	R	
P2 Port Input Data Register (P2_IN)	**0x5220** (8 bits)	D7–0	**P2IN[7:0]**	P2[7:0] port input data	1	1 (H)	0	0 (L)	×	R	
P3 Port Input Data Register (P3_IN)	**0x5230** (8 bits)	D7–4	**–**	reserved	–				–	–	0 when being read.
		D3–0	**P3IN[3:0]**	P3[3:0] port input data	1	1 (H)	0	0 (L)	×	R	

注: ビット名などの'*x*はポート番号の0～3を示します。

D[7:0] P*x*IN[7:0]: P*x*[7:0] Port Input Data Bits（P3ポートはP3IN[3:0]）

Pポート端子の状態が読み出せます。（デフォルト: 外部端子の状態）

1(R): Highレベル

0(R): Lowレベル

P*x*IN[7:0]はP*x*[7:0]端子と1対1に対応し、入力モード時は端子の電圧レベルが読み出せます。
端子電圧がHighの場合の読み出し値は1、Lowの場合の読み出し値は0です。
出力モード時は読み出し値は不定となります。
P*x*IN[7:0]は読み出し専用のため、書き込み操作は無効です。

0x5201/0x5211/0x5221/0x5231: P*x* Port Output Data Registers (P*x*_OUT)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
P0 Port Output Data Register (P0_OUT)	**0x5201** (8 bits)	D7–0	**P0OUT[7:0]**	P0[7:0] port output data	1	1 (H)	0	0 (L)	0	R/W	
P1 Port Output Data Register (P1_OUT)	**0x5211** (8 bits)	D7–0	**P1OUT[7:0]**	P1[7:0] port output data	1	1 (H)	0	0 (L)	0	R/W	
P2 Port Output Data Register (P2_OUT)	**0x5221** (8 bits)	D7–0	**P2OUT[7:0]**	P2[7:0] port output data	1	1 (H)	0	0 (L)	0	R/W	
P3 Port Output Data Register (P3_OUT)	**0x5231** (8 bits)	D7–4	**–**	reserved	–				–	–	0 when being read.
		D3–0	**P3OUT[3:0]**	P3[3:0] port output data	1	1 (H)	0	0 (L)	0	R/W	

注: ビット名などの'*x*'はポート番号の0～3を示します。

D[7:0] **P*x*OUT[7:0]: P*x*[7:0] Port Output Data Bits**（P3ポートはP3OUT[3:0]）
ポート端子から出力するデータを設定します。
1(R/W): Highレベル
0(R/W): Lowレベル(デフォルト)

P*x*OUT[7:0]はP*x*[7:0]端子と1対1に対応し、書き込んだデータがそのままポート端子から出力されます。データビットを1に設定するとポート端子はHighとなり、0に設定するとLowになります。
入力モードの場合もポートデータの書き込みは行えます。

0x5202/0x5212/0x5222/0x5232: P*x* Port I/O Direction Control Registers (P*x*_IO)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
P0 Port I/O Direction Control Register (P0_IO)	**0x5202** (8 bits)	D7–0	**P0IO[7:0]**	P0[7:0] port I/O direction select	1	Output	0	Input	0	R/W	
P1 Port I/O Direction Control Register (P1_IO)	**0x5212** (8 bits)	D7–0	**P1IO[7:0]**	P1[7:0] port I/O direction select	1	Output	0	Input	0	R/W	
P2 Port I/O Direction Control Register (P2_IO)	**0x5222** (8 bits)	D7–0	**P2IO[7:0]**	P2[7:0] port I/O direction select	1	Output	0	Input	0	R/W	
P3 Port I/O Direction Control Register (P3_IO)	**0x5232** (8 bits)	D7–4	–	reserved	–				–	–	0 when being read.
		D3–0	**P3IO[3:0]**	P3[3:0] port I/O direction select	1	Output	0	Input	0	R/W	

注: ビット名などの'*x*はポート番号の0～3を示します。

D[7:0] **P*x*IO[7:0]: P*x*[7:0] Port I/O Direction Select Bits**（P3ポートはP3IO[3:0]）
入出力ポートの入力/出力モードを設定します。
1(R/W): 出力モード
0(R/W): 入力モード(デフォルト)

P*x*IO[7:0]はP*x*[7:0]ポートと1対1に対応する入出力方向選択ビットで、1に設定するとポートが出力モードに、0に設定すると入力モードになります。端子を周辺モジュール用に使用する場合の入出力方向は、周辺モジュールの機能により決まります。

0x5203/0x5213/0x5223/0x5233: P*x* Port Pull-up Control Registers (P*x*_PU)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
P0 Port Pull-up Control Register (P0_PU)	0x5203 (8 bits)	D7–0	P0PU[7:0]	P0[7:0] port pull-up enable	1	Enable	0	Disable	1 (0xff)	R/W	
P1 Port Pull-up Control Register (P1_PU)	0x5213 (8 bits)	D7–0	P1PU[7:0]	P1[7:0] port pull-up enable	1	Enable	0	Disable	1 (0xff)	R/W	
P2 Port Pull-up Control Register (P2_PU)	0x5223 (8 bits)	D7–0	P2PU[7:0]	P2[7:0] port pull-up enable	1	Enable	0	Disable	1 (0xff)	R/W	
P3 Port Pull-up Control Register (P3_PU)	0x5233 (8 bits)	D7–4	–	reserved	–				–	–	0 when being read.
		D3–0	P3PU[3:0]	P3[3:0] port pull-up enable	1	Enable	0	Disable	1 (0xff)	R/W	

注: ビット名などの'*x*'はポート番号の0～3を示します。

D[7:0] P*x*PU[7:0]: P*x*[7:0] Port Pull-up Enable Bits（P3ポートはP3PU[3:0]）

各ポートに内蔵されているプルアップ抵抗を有効/無効に設定します。
1(R/W): 有効(デフォルト)
0(R/W): 無効

P*x*PU[7:0]はP*x*[7:0]ポートと1対1に対応するプルアップ制御ビットで、1に設定するとプルアップ抵抗が有効になり、入力モード時にポート端子がプルアップされます。0に設定するとプルアップされません。
出力モード時には、P*x*PU[7:0]の設定は無効となり、プルアップされません。
使用しない入出力ポートについてはプルアップを有効に設定してください。
周辺モジュール用の機能を選択したポートも、このプルアップ設定は有効です。

内蔵プルアップ抵抗によって、ポート端子をLowレベルからHighレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入出力ポートの取り込みには適切な待ち時間の設定が必要となります。待ち時間は以下の式で求められる値以上を設定してください。

待ち時間 = R_{IN} × (C_{IN} + 基板上の負荷容量) × 1.6 [秒]
R_{IN}: プルアップ抵抗Max.値
C_{IN}: 端子容量Max.値

0x5204/0x5214/0x5224/0x5234: P*x* Port Schmitt Trigger Control Registers (P*x*_SM)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
P0 Port Schmitt Trigger Control Register (P0_SM)	**0x5204** (8 bits)	D7–0	**P0SM[7:0]**	P0[7:0] port Schmitt trigger input enable	1	Enable (Schmitt)	0	Disable (CMOS)	1 (0xff)	R/W	
P1 Port Schmitt Trigger Control Register (P1_SM)	**0x5214** (8 bits)	D7–0	**P1SM[7:0]**	P1[7:0] port Schmitt trigger input enable	1	Enable (Schmitt)	0	Disable (CMOS)	1 (0xff)	R/W	
P2 Port Schmitt Trigger Control Register (P2_SM)	**0x5224** (8 bits)	D7–0	**P2SM[7:0]**	P2[7:0] port Schmitt trigger input enable	1	Enable (Schmitt)	0	Disable (CMOS)	1 (0xff)	R/W	
P3 Port Schmitt Trigger Control Register (P3_SM)	**0x5234** (8 bits)	D7–4	**–**	reserved	–				–	–	0 when being read.
		D3–0	**P3SM[3:0]**	P3[3:0] port Schmitt trigger input enable	1	Enable (Schmitt)	0	Disable (CMOS)	1 (0xff)	R/W	

注: ビット名などの'*x*'はポート番号の0～3を示します。

D[7:0] **P*x*SM[7:0]: P*x*[7:0] Port Schmitt Trigger Input Enable Bits**（P3ポートはP3SM[3:0]）
各ポートのシュミットトリガ入力バッファを有効/無効に設定します。
1(R/W): 有効(シュミット入力)（デフォルト）
0(R/W): 無効(CMOSレベル)

P*x*SM[7:0]はP*x*[7:0]ポートと1対1に対応するシュミット入力制御ビットで、1に設定するとシュミットトリガ入力バッファが有効になり、0に設定するとCMOSレベルの入力バッファが使用されます。

0x5205/5215: P*x* Port Interrupt Mask Registers (P*x*_IMSK)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
P0 Port Interrupt Mask Register (P0_IMSK)	**0x5205** (8 bits)	D7–0	**P0IE[7:0]**	P0[7:0] port interrupt enable	1	Enable	0	Disable	0	R/W	
P1 Port Interrupt Mask Register (P1_IMSK)	**0x5215** (8 bits)	D7–0	**P1IE[7:0]**	P1[7:0] port interrupt enable	1	Enable	0	Disable	0	R/W	

注: ビット名などの'*x*'はポート番号の0と1を示します。

D[7:0] P*x*IE[7:0]: P*x*[7:0] Port Interrupt Enable Bits

P0[7:0]とP1[7:0]の各ポートによる割り込みを許可または禁止します。
1(R/W): 割り込み許可
0(R/W): 割り込み禁止(デフォルト)

P*x*IE[7:0]を1に設定すると対応する割り込みが許可され、0に設定すると割り込みが禁止されます。割り込み禁止に設定した入力端子の状態変化は、割り込みの発生に影響を与えません。

なお、割り込みを発生させるには、ITCのP0、P1ポート割り込みイネーブルビットも割り込み許可に設定する必要があります。

0x5206/5216: P*x* Port Interrupt Edge Select Registers (P*x*_EDGE)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
P0 Port Interrupt Edge Select Register (P0_EDGE)	**0x5206** (8 bits)	D7–0	**P0EDGE[7:0]**	P0[7:0] port interrupt edge select	1	Falling edge	0	Rising edge	0	R/W	
P1 Port Interrupt Edge Select Register (P1_EDGE)	**0x5216** (8 bits)	D7–0	**P1EDGE[7:0]**	P1[7:0] port interrupt edge select	1	Falling edge	0	Rising edge	0	R/W	

注: ビット名などの'*x*はポート番号の0と1を示します。

D[7:0] P*x*EDGE[7:0]: P*x*[7:0] Port Interrupt Edge Select Bits

P0[7:0]とP1[7:0]の各ポートの割り込みを発生させる入力信号のエッジを選択します。
1(R/W): 立ち下がりエッジ
0(R/W): 立ち上がりエッジ(デフォルト)

P*x*EDGE[7:0]を1に設定したポートの割り込みは入力信号の立ち下がりエッジで発生し、0に設定すると立ち上がりエッジで発生します。

0x5207/5217: P*x* Port Interrupt Flag Registers (P*x*_IFLG)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
P0 Port Interrupt Flag Register (P0_IFLG)	**0x5207** (8 bits)	D7–0	**P0IF[7:0]**	P0[7:0] port interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.
P1 Port Interrupt Flag Register (P1_IFLG)	**0x5217** (8 bits)	D7–0	**P1IF[7:0]**	P1[7:0] port interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.

注: ビット名などの'*x*'はポート番号の0と1を示します。

D[7:0] P*x*IF[7:0]: P*x*[7:0] Port Interrupt Flags

割り込み要因の発生状態を示す割り込みフラグです。
1(R): 割り込み要因あり
0(R): 割り込み要因なし(デフォルト)
1(W): フラグをリセット
0(W): 無効

P*x*IF[7:0]はP0[7:0]とP1[7:0]の16ポートに個々に対応する割り込みフラグです。対応するP*x*IE[7:0](P*x*_IMSKレジスタ)を1に設定しておくことにより、入力信号の指定エッジ(立ち上がりエッジまたは立ち下がりエッジ)で1にセットされます。同時に、ITCに対してP0またはP1ポート割り込み要求信号が出力されます。この割り込み要求信号により、ITC内のP0/P1ポート割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。
割り込み要因の発生状態をP*x*IF[7:0]で管理するため、以下の処理が必要です。

1. ITCのP0およびP1割り込みのトリガモードをレベルトリガモードに設定
2. 割り込み発生後は、割り込み処理ルーチン内で、Pポートモジュール内の割り込みフラグP*x*IF[7:0]をリセット(これによりITCの割り込みフラグもリセットされます)

P*x*IF[7:0]は1の書き込みによりリセットされます。

注: 不要な割り込みの発生を防止するため、P*x*IE[7:0](P*x*_IMSKレジスタ)によって必要なポートの割り込みを許可する前に、対応するP*x*IF[7:0]をリセットしてください。

* **P0IE[7:0]**: P0[7:0] Port Interrupt Enable Bits in the P0 Port Interrupt Mask (P0_IMSK) Register (D[7:0]/0x5205)
* **P1IE[7:0]**: P1[7:0] Port Interrupt Enable Bits in the P1 Port Interrupt Mask (P1_IMSK) Register (D[7:0]/0x5215)

0x5208: P0 Port Chattering Filter Control Register (P0_CHAT)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P0 Port Chattering Filter Control Register (P0_CHAT)	0x5208 (8 bits)	D7	–	reserved	–		–	–	0 when being read.
		D6–4	P0CF2[2:0]	P0[7:4] chattering filter time	P0CF2[2:0]	Filter time	0	R/W	
					0x7	16384/fPCLK	0x0	R/W	
					0x6	8192/fPCLK			
					0x5	4096/fPCLK			
					0x4	2048/fPCLK			
					0x3	1024/fPCLK			
					0x2	512/fPCLK			
					0x1	256/fPCLK			
					0x0	None			
		D3	–	reserved	–		–	–	0 when being read.
		D2–0	P0CF1[2:0]	P0[3:0] chattering filter time	P0CF1[2:0]	Filter time	0x0	R/W	
					0x7	16384/fPCLK			
					0x6	8192/fPCLK			
					0x5	4096/fPCLK			
					0x4	2048/fPCLK			
					0x3	1024/fPCLK			
					0x2	512/fPCLK			
					0x1	256/fPCLK			
					0x0	None			

D7 Reserved

D[6:4] P0CF2[2:0]: P0[7:4] Chattering Filter Time Select Bits
P0[7:4]ポートに組み込まれているチャタリング除去回路を設定します。

D3 Reserved

D[2:0] P0CF1[2:0]: P0[3:0] Chattering Filter Time Select Bits
P0[3:0]ポートに組み込まれているチャタリング除去回路を設定します。

P0ポートにはキー入力用のチャタリング除去回路が設けられています。この機能を使用するか否か、また、使用する場合は検定時間を、P0CF*x*[2:0]によってP0[3:0]、P0[7:4]の4ポートごとに選択します。

表10.8.2 チャタリング除去機能の設定

P0CF*x*[2:0]	検定時間 *
0x7	16384/fPCLK (8ms)
0x6	8192/fPCLK (4ms)
0x5	4096/fPCLK (2ms)
0x4	2048/fPCLK (1ms)
0x3	1024/fPCLK (512µs)
0x2	512/fPCLK (256µs)
0x1	256/fPCLK (128µs)
0x0	なし(Off)

(デフォルト: 0x0, * OSC3=2MHz, PCLK=OSC3の場合)

注: • チャタリング除去の検定時間は、除去できる最大パルス幅のことを指します。入力割り込みを発生させるには、最小で検定時間、最大で検定時間の2倍の入力時間が必要になります。

- チャタリング除去がOnに設定されたままSLEEPモードに入ると、入力割り込みを受け付けません。slp命令実行前に、チャタリング除去をOff(時間検定なし)に設定してください。
- P0_CHATレジスタの設定変更は、必ずP0ポート割り込みが禁止されている状態で行ってください。割り込みが許可されている状態で設定を変更すると、P0ポート割り込みが誤って発生する場合があります。
- 入力信号の立ち上がり/立ち下がり時間が遅い場合、信号がしきい値を通過するまでに時間がかかり、内部信号が発振する現象が起こる可能性があります。この場合、入力割り込みは誤動作しますので、入力信号の立ち上がり/立ち下がり時間は25ns以下を目安に設定してください。

0x5209: P0 Port Key-Entry Reset Configuration Register (P0_KRST)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
P0 Port Key-Entry Reset Configuration Register (P0_KRST)	0x5209 (8 bits)	D7–2	–	reserved	–		–	–	0 when being read.
		D1–0	P0KRST[1:0]	P0 port key-entry reset configuration	P0KRST[1:0]	Configuration	0x0	R/W	
					0x3	P0[3:0] = 0			
					0x2	P0[2:0] = 0			
					0x1	P0[1:0] = 0			
					0x0	Disable			

D[7:2] Reserved

D[1:0] P0KRST[1:0]: P0 Port Key-Entry Reset Configuration Bits

P0ポートキー入力リセットに使用するポートの組み合わせを選択します。

表10.8.3 P0ポートキー入力リセットの設定

P0KRST[1:0]	使用するポート
0x3	P00, P01, P02, P03
0x2	P00, P01, P02
0x1	P00, P01
0x0	使用しない

(デフォルト: 0x0)

キー入力リセットは、ここで選択されたポートに、外部から同時にLowレベルを入力することでイニシャルリセットを行う機能です。
たとえば、P0KRST[1:0]を0x3に設定した場合、P00～P03の4ポートの入力が同時にLowレベルになったときにイニシャルリセットがかかります。
このリセット機能を使用しない場合はP0KRST[1:0]を0x0に設定します。

注: • P0ポートキー入力リセット機能を使用する場合、通常動作時に指定ポートが同時にLowレベルにならないように注意してください。
• P0ポートキー入力リセット機能はイニシャルリセット時に無効となりますので、電源投入時のリセットには使用できません。
• SLEEP状態では、P0ポートキー入力リセット機能は使用できません。

0x52a0: P0 Port Function Select Register (P0_PMUX)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P0 Port Function Select Register (P0_PMUX)	0x52a0 (8 bits)	D7–6	–	reserved	–	–	–	0 when being read.
		D5	P05MUX	P05 port function select	1 REMO 0 P05	0	R/W	
		D4	P04MUX	P04 port function select	1 REMI 0 P04	0	R/W	
		D3–0	–	reserved	–	–	–	0 when being read.

P04とP05入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どちらの端子として使用するか選択します。

D[7:6] Reserved

D5 P05MUX: P05 Port Function Select Bit

1（R/W）: REMO（REMC）
0（R/W）: P05ポート（デフォルト）

D4 P04MUX: P04 Port Function Select Bit

1（R/W）: REMI（REMC）
0（R/W）: P04ポート（デフォルト）

D[3:0] Reserved

0x52a1: P1 Port Function Select Register (P1_PMUX)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P1 Port Function Select Register (P1_PMUX)	0x52a1 (8 bits)	D7	P17MUX	P17 port function select	1 #SPISS 0 P17	0	R/W	
		D6	–	reserved	–	–	–	0 when being read.
		D5	P15MUX	P15 port function select	1 SCL 0 P15	0	R/W	
		D4	P14MUX	P14 port function select	1 SDA 0 P14	0	R/W	
		D3	P13MUX	P13 port function select	1 FOUT1 0 P13	0	R/W	
		D2–0	–	reserved	–	–	–	0 when being read.

P13～P15とP17入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どちらの端子として使用するか選択します。

D7 P17MUX: P17 Port Function Select Bit
1(R/W): #SPISS(SPI)
0(R/W): P17ポート(デフォルト)

D6 Reserved

D5 P15MUX: P15 Port Function Select Bit
1(R/W): SCL(I2C)
0(R/W): P15ポート(デフォルト)

D4 P14MUX: P14 Port Function Select Bit
1(R/W): SDA(I2C)
0(R/W): P14ポート(デフォルト)

D3 P13MUX: P13 Port Function Select Bit
1(R/W): FOUT1(OSC)
0(R/W): P13ポート(デフォルト)

D[2:0] Reserved

0x52a2: P2 Port Function Select Register (P2_PMUX)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
P2 Port Function Select Register (P2_PMUX)	0x52a2 (8 bits)	D7	P27MUX	P27 port function select	1	EXCL3	0	P27	0	R/W	
		D6	P26MUX	P26 port function select	1	TOUT	0	P26	0	R/W	
		D5	P25MUX	P25 port function select	1	SCLK	0	P25	0	R/W	
		D4	P24MUX	P24 port function select	1	SOUT	0	P24	0	R/W	
		D3	P23MUX	P23 port function select	1	SIN	0	P23	0	R/W	
		D2	P22MUX	P22 port function select	1	SPICLK	0	P22	0	R/W	
		D1	P21MUX	P21 port function select	1	SDO	0	P21	0	R/W	
		D0	P20MUX	P20 port function select	1	SDI	0	P20	0	R/W	

P20～P27入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どちらの端子として使用するか選択します。

D7 P27MUX: P27 Port Function Select Bit
1(R/W): EXCL3(T16E)
0(R/W): P27ポート(デフォルト)

D6 P26MUX: P26 Port Function Select Bit
1(R/W): TOUT(T16E)
0(R/W): P26ポート(デフォルト)

D5 P25MUX: P25 Port Function Select Bit
1(R/W): SCLK(UART)
0(R/W): P25ポート(デフォルト)

D4 P24MUX: P24 Port Function Select Bit
1(R/W): SOUT(UART)
0(R/W): P24ポート(デフォルト)

D3 P23MUX: P23 Port Function Select Bit
1(R/W): SIN(UART)
0(R/W): P23ポート(デフォルト)

D2 P22MUX: P22 Port Function Select Bit
1(R/W): SPICLK(SPI)
0(R/W): P22ポート(デフォルト)

D1 P21MUX: P21 Port Function Select Bit
1(R/W): SDO(SPI)
0(R/W): P21ポート(デフォルト)

D0 P20MUX: P20 Port Function Select Bit
1(R/W): SDI(SPI)
0(R/W): P20ポート(デフォルト)

0x52a3: P3 Port Function Select Register (P3_PMUX)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
P3 Port Function Select Register (P3_PMUX)	0x52a3 (8 bits)	D7–4	–	reserved	–				–	–	0 when being read.
		D3	P33MUX	P33 port function select	1	P33	0	DSIO	0	R/W	
		D2	P32MUX	P32 port function select	1	P32	0	DST2	0	R/W	
		D1	P31MUX	P31 port function select	1	P31	0	DCLK	0	R/W	
		D0	P30MUX	P30 port function select	1	FOUT3	0	P30	0	R/W	

P30～P33入出力ポート端子は周辺モジュール用端子を兼ねています。このレジスタで、どちらの端子として使用するか選択します。

D[7:4] Reserved

D3 P33MUX: P33 Port Function Select Bit
1(R/W): P33ポート
0(R/W): DSIO(DBG)(デフォルト)

D2 P32MUX: P32 Port Function Select Bit
1(R/W): P32ポート
0(R/W): DST2(DBG)(デフォルト)

D1 P31MUX: P31 Port Function Select Bit
1(R/W): P31ポート
0(R/W): DCLK(DBG)(デフォルト)

D0 P30MUX: P30 Port Function Select Bit
1(R/W): FOUT3(OSC)
0(R/W): P30ポート(デフォルト)

10.9 注意事項

動作クロック

- 入出力ポートをアクセスするためには、クロックジェネレータからPCLKクロックが供給されている必要があります。
  また、P0ポートのチャタリングフィルタの動作にはプリスケーラ出力クロックも必要です。この機能を使用する場合は、プリスケーラもOnにしてください。

プルアップ

- 内蔵プルアップ抵抗によって、ポート端子をLowレベルからHighレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入出力ポートの取り込みには適切な待ち時間の設定が必要となります。待ち時間は以下の式で求められる値以上を設定してください。
  待ち時間 = R_{IN} × (C_{IN} + 基板上の負荷容量) × 1.6 [秒]
  R_{IN}: プルアップ抵抗Max.値
  C_{IN}: 端子容量Max.値
- 使用しない入出力ポートについてはプルアップ抵抗を有効に設定してください。

P0、P1ポート割り込み

- 不要な割り込みの発生を防止するため、P0_IMSKレジスタ(0x5205)、P1_IMSKレジスタ(0x5215)によって必要なポートの割り込みを許可する前に、対応する割り込みフラグP0IF[7:0](0x5207)、P1IF[7:0](0x5217)をリセットしてください。
- ITCのP0およびP1ポート割り込みのトリガモードをレベルトリガモードに設定してください。
  割り込み発生後は、割り込み処理ルーチン内で、Pポートモジュール内の割り込みフラグP0IF[7:0](0x5207)、P1IF[7:0](0x5217)をリセットします。(これによりITCの割り込みフラグもリセットされます。)

P0ポートチャタリング除去回路

- チャタリング除去がOnに設定されたままSLEEPモードに入ると、入力割り込みを受け付けません。slp命令実行前に、チャタリング除去をOff(時間検定なし)に設定してください。
- P0_CHATレジスタ(0x5208)の設定変更は、必ずP0ポート割り込みが禁止されている状態で行ってください。割り込みが許可されている状態で設定を変更すると、P0ポート割り込みが誤って発生する場合があります。
- チャタリング除去の検定時間は、除去できる最大パルス幅のことを指します。入力割り込みを発生させるには、最小で検定時間、最大で検定時間の2倍の入力時間が必要になります。
- 入力信号の立ち上がり/立ち下がり時間が遅い場合、信号がしきい値を通過するまでに時間がかかり、内部信号が発振する現象が起こる可能性があります。この場合、入力割り込みは誤動作しますので、入力信号の立ち上がり/立ち下がり時間は25ns以下を目安に設定してください。

P0ポートキー入力リセット

- P0ポートキー入力リセット機能を使用する場合、通常動作時に指定ポートが同時にLowレベルにならないように注意してください。
- P0ポートキー入力リセット機能はイニシャルリセット時に無効となりますので、電源投入時のリセットには使用できません。
- SLEEP状態では、P0ポートキー入力リセット機能は使用できません。

このページはブランクです。

11 16ビットタイマ(T16)

11.1 16ビットタイマの概要

S1C17701には3チャネルの16ビットタイマ(T16)が内蔵されています。
16ビットタイマは16ビットプリセッタブルダウンカウンタとプリセット値を保持する16ビットリロードデータレジスタで構成されます。タイマはリロードデータレジスタに設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号は、割り込みの発生や内部シリアルインタフェース用のクロック生成に使用されます。アンダーフロー周期はプリスケーラクロックとリロードデータの選択によりプログラム可能なため、アプリケーションプログラムは任意の時間間隔やシリアル転送速度を得ることができます。
また、入出力ポート端子を使用したイベントカウンタ機能と外部入力信号のパルス幅測定機能も合わせ持っています。
図11.1.1に16ビットタイマの構造を示します。

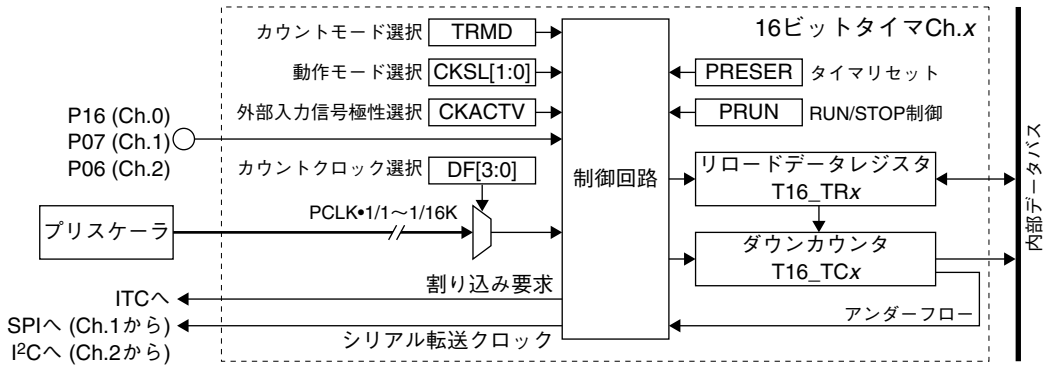


図11.1.1 16ビットタイマの構造(1チャネル)

注: 3チャネルの16ビットタイマモジュールは、制御レジスタのアドレスを除きすべて同じ機能を持っていますので、本節内の説明は16ビットタイマの全チャネルに適用されます。レジスタ名の'*x*'はチャネル番号(0～2)を表します。また、レジスタのアドレスは(*Ch.0*/*Ch.1*/*Ch.2*)のように記述されています。
例: T16_CTL*x*レジスタ(0x4226/0x4246/0x4266)
Ch.0: T16_CTL0レジスタ(0x4226)
Ch.1: T16_CTL1レジスタ(0x4246)
Ch.2: T16_CTL2レジスタ(0x4266)

11.2 16ビットタイマの動作モード

16ビットタイマには3つの動作モードがあります。
1. 内部クロックモード(内部クロックをカウントする通常のタイマ)
2. 外部クロックモード(イベントカウンタとして機能)
3. パルス幅測定モード(外部入力パルス幅を内部クロックでカウント)

この中の1つをCKSL[1:0](D[9:8]/T16_CTL*x*レジスタ)で選択します。

* **CKSL[1:0]**: Input Clock and Pulse Width Count Mode Select Bits in the 16-bit Timer Ch.*x* Control (T16_CTL*x*) Register (D[9:8]/0x4226/0x4246/0x4266)

表11.2.1 動作モードの選択

CKSL[1:0]	動作モード
0x3	Reserved
0x2	パルス幅測定モード
0x1	外部クロックモード
0x0	内部クロックモード

(デフォルト: 0x0)

11.2.1 内部クロックモード

内部クロックモードでは、プリスケーラ出力クロックをカウントクロックとして使用します。
タイマはリロードデータレジスタに設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号は、割り込みの発生や内部シリアルインタフェース用のクロック生成に使用されます。プリスケーラクロックとカウンタ初期値の選択によってアンダーフロー発生までの時間を細かくプログラム可能なため、シリアル転送クロックの生成や単発的な時間計測等に有効です。

カウントクロックの選択

カウントクロックは、プリスケーラがPCLKクロックを1/1～1/16Kに分周して生成した15種類の中から1つをDF[3:0](D[3:0]/T16_CLK*x*レジスタ)で選択します。

* **DF[3:0]**: Timer Input Clock Select Bits in the 16-bit Timer Ch.*x* Input Clock Select (T16_CLK*x*) Register (D[3:0]/0x4220/0x4240/0x4260)

表11.2.1.1 カウントクロックの選択

DF[3:0]	プリスケーラ出力クロック	DF[3:0]	プリスケーラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

注: • 16ビットタイマを内部クロックモードで動作させるには、その前にプリスケーラを動作させておく必要があります。
• カウントクロックの設定は、16ビットタイマがカウント停止中に行ってください。

プリスケーラの制御については、“9 プリスケーラ(PSC)”を参照してください。

11.2.2 外部クロックモード

外部クロックモードでは、入出力ポートから入力したクロックやパルスをカウントクロックとして使用します。したがって、イベントカウンタとして使用可能です。入力クロック以外のタイマの動作は内部クロックモードと同じです。

外部クロック入力ポート

外部クロック/パルス入力に使用する入力ポートは次のとおりです。

表11.2.2.1 外部クロック入力ポート

タイマチャネル	入力信号名	入出力ポート端子
Ch.0	EXCL0	P16
Ch.1	EXCL1	P07
Ch.2	EXCL2	P06

外部クロック/パルス入力に使用する入出力ポートは入力モード(デフォルト)に設定してください。端子機能選択の操作は不要です。入出力ポートは汎用入力として機能しますが、入力信号は16ビットタイマにも送られます。

16ビットタイマCh.1とCh.2が使用するP07とP06ポートにはチャタリング除去回路が組み込まれており、EXCL*x*入力として使用する場合も有効です。チャタリング除去回路の制御方法については、"10.6 P0ポートのチャタリング除去機能"を参照してください。

信号極性の選択

このモードでは、カウントを入力信号の立ち下がりエッジで行うか、立ち上がりエッジで行うかをCKACTV(D10/T16_CTL*x*レジスタ)で選択できます。

* **CKACTV**: External Clock Active Level Select Bit in the 16-bit Timer Ch.*x* Control (T16_CTL*x*) Register (D10/0x4226/0x4246/0x4266)

CKACTVが1(デフォルト)の場合は立ち上がりエッジでカウントダウン、0に設定すると立ち下がりエッジでカウントダウンします。

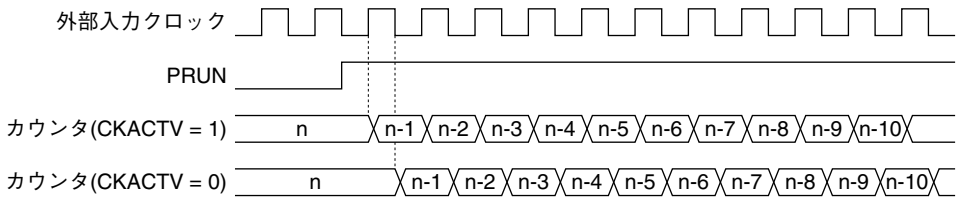


図11.2.2.1 外部クロックモードのカウント

16ビットタイマは、このモードではプリスケーラを使用しません。ほかにプリスケーラクロックを使用する周辺モジュールがない場合はプリスケーラを停止して消費電流を低減できます。(P0ポートのチャタリング除去にはプリスケーラクロックが使用されます。)

11.2.3 パルス幅測定モード

パルス幅測定モードでは、指定極性のパルスが外部クロックポートから入力されると、その信号がアクティブな期間のみ内部クロックが供給され、カウントを行います。これにより、指定幅以上のパルス入力で割り込みを発生させたり、入力パルス幅を測定したりすることができます。

パルス入力ポート

外部パルスの入力に使用する入出力ポートは、外部クロックモードと同様です(表11.2.2.1参照)。
使用するタイマチャネルに対応する入出力ポートを入力モードにして、パルスを入力してください。

カウントクロックの選択

内部クロックモードと同様に、DF[3:0](D[3:0]/T16_CLK*x*レジスタ)で選択したプリスケーラ出力クロックでカウントを行います。入力パルスのおおよその幅や測定精度に合わせてクロックを選択してください(表11.2.1.1参照)。

信号極性の選択

CKACTV(D10/T16_CTL*x*レジスタ)で測定するパルスのアクティブレベルを選択します。CKACTVが1(デフォルト)の場合はHigh期間を測定、0に設定するとLow期間を測定します。

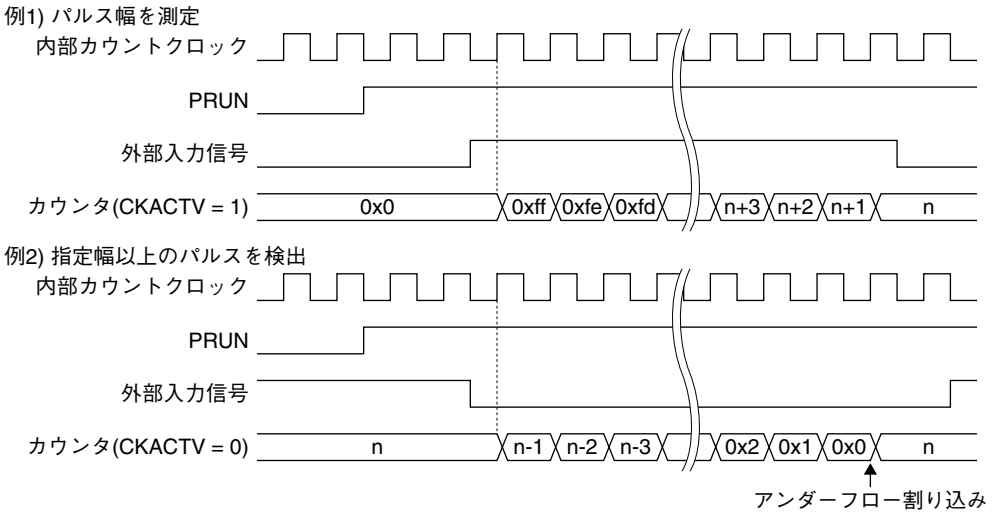


図11.2.3.1 パルス幅測定モードのカウント動作

11.3 カウントモード

16ビットタイマはリピートモードとワンショットモードの2つのカウントモードを持っています。この選択は、TRMD(D4/T16_CTL*x*レジスタ)で行います。

* **TRMD**: Count Mode Select Bit in the 16-bit Timer Ch.*x* Control (T16_CTL*x*) Register (D4/0x4226/0x4246/0x4266)

リピートモード(TRMD = 0、デフォルト)

TRMDを0に設定すると、16ビットタイマはリピートモードに設定されます。
このモードでは、カウントを開始するとアプリケーションプログラムで停止するまで16ビットタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、16ビットタイマをこのモードに設定してください。

ワンショットモード(TRMD = 1)

TRMDを1に設定すると、16ビットタイマはワンショットモードに設定されます。
このモードでは、カウンタがアンダーフローした時点で16ビットタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合やパルス幅測定時などに、16ビットタイマをこのモードに設定してください。

11.4 16ビットタイマリロードレジスタとアンダーフロー周期

リロードデータレジスタT16_TR*x*(0x4222/0x4242/0x4262)は、ダウンカウンタに初期値をセットするために使用します。
リロードデータレジスタに設定したカウンタ初期値は、16ビットタイマがリセットされるか、カウンタがアンダーフローした時点でダウンカウンタにプリセットされます。16ビットタイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、特定の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

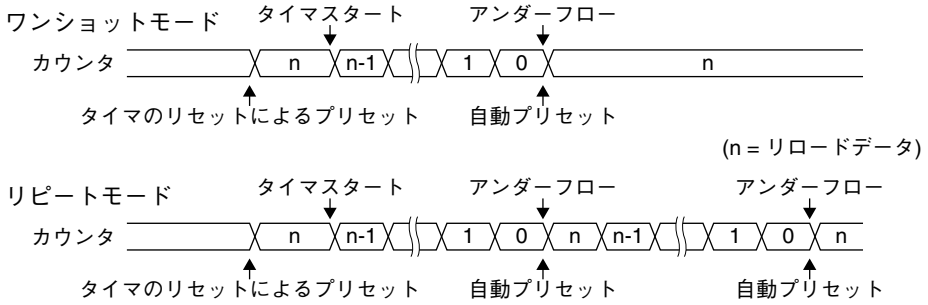


図11.4.1 プリセットタイミング

アンダーフロー周期は次のように計算できます。

$$\text{アンダーフロー期間} = \frac{TR + 1}{clk_in}\ [s] \qquad \text{アンダーフローサイクル} = \frac{clk_in}{TR + 1}\ [Hz]$$

clk_in: カウントクロック(プリスケーラ出力クロック)周波数 [Hz]
TR: リロードデータ(0～65535)

11.5 16ビットタイマのリセット

16ビットタイマをリセットするには、PRESER(D1/T16_CTL*x*レジスタ)に1を書き込みます。リロードデータがプリセットされ、カウンタが初期化されます。

* **PRESER**: Timer Reset Bit in the 16-bit Timer Ch.*x* Control (T16_CTL*x*) Register (D1/0x4226/0x4246/0x4266)

11.6 16ビットタイマRUN/STOP制御

16ビットタイマの動作を開始させる前に、以下の設定を行ってください。
(1)動作モード(内部クロック、外部クロック、パルス幅測定)を選択します。11.2節を参照してください。
(2)内部クロックまたはパルス幅測定モードの場合はカウントクロック(プリスケーラ出力クロック)を選択します。11.2.1節を参照してください。
(3)カウントモード(ワンショットまたはリピート)を設定します。11.3節を参照してください。
(4)カウンタ初期値を計算してリロードデータレジスタに設定します。11.4節を参照してください。
(5)タイマをリセットして初期値をカウンタにプリセットします。11.5節を参照してください。
(6)タイマ割り込みを使用する場合は、割り込みレベルを設定し、該当タイマチャネルの割り込みを許可します。11.8節を参照してください。

16ビットタイマの動作を開始させるには、PRUN(D0/T16_CTL*x*レジスタ)に1を書き込みます。

∗ **PRUN**: Timer Run/Stop Control Bit in the 16-bit Timer Ch.*x* Control (T16_CTL*x*) Register (D0/0x4226/0x4246/0x4266)

タイマは初期値から、あるいは初期値をプリセットしなかった場合は現在のカウンタ値からカウントダウンを開始します。カウンタがアンダーフローすると、タイマはアンダーフローパルスを出力し、初期値を再びカウンタにプリセットします。これと同時に、割り込み要求が割り込みコントローラ(ITC)に送られます。
ワンショットモードに設定されている場合、タイマはカウントを停止します。
リピートモードに設定されている場合、タイマはリロードされた初期値からカウントを継続します。

アプリケーションプログラムから16ビットタイマを停止させるには、PRUNに0を書き込みます。カウンタはカウント動作を停止し、タイマのリセットまたは再スタートまで、現在のカウンタ値を保持します。初期値からカウントを再スタートさせる場合は、PRUNに1を書き込む前にタイマをリセットしてください。

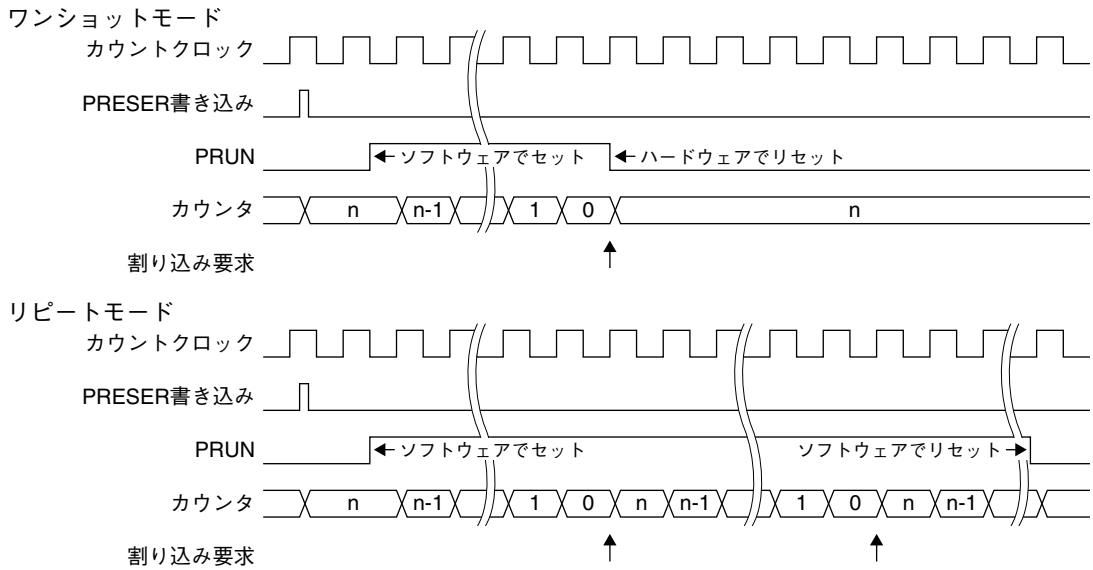


図11.6.1 カウント動作

パルス幅測定モードの場合は、PRUNが1に設定され、かつ外部入力信号が指定したアクティブレベルの間のみカウントを行います。外部入力信号がインアクティブになると、16ビットタイマはカウントを停止し、次のアクティブレベルの入力までカウンタ値を保持します。(図11.2.3.1参照)

11.7 16ビットタイマ出力信号

16ビットタイマはカウンタがアンダーフローするとアンダーフローパルスを出力します。
このパルスは、タイマ割り込み要求に使用されます。
また、内部シリアルインタフェース用のシリアル転送クロックの生成にも使用されます。

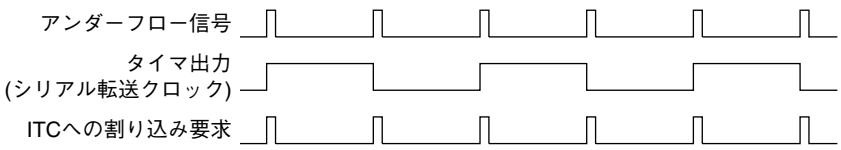


図11.7.1 タイマ出力クロック

生成されたクロックは以下のとおり、内部シリアルインタフェースに送られます。
16ビットタイマCh.1出力クロック → SPI
16ビットタイマCh.2出力クロック → I²C

希望の転送レートを得るためのリロードデータレジスタ値は次の式で計算できます。

SPI $TR = \frac{clk_in}{bps \times 2} - 1$

I²C $TR = \frac{clk_in}{bps \times 2} - 1$

clk_in: カウントクロック(プリスケーラ出力クロック)周波数 [Hz]
TR: リロードデータ(0～65535)
bps: 転送レート(ビット/秒)

11.8 16ビットタイマ割り込み

16ビットタイマは、カウンタのアンダーフローにより、割り込み要求を割り込みコントローラ(ITC)に出力します。
タイマアンダーフロー割り込みを発生させるには、ITCレジスタで割り込みレベルと割り込み許可の設定を行ってください。

タイマ割り込み用ITCレジスタ

表11.8.1に、各タイマチャネル用のITC制御レジスタを示します。

表11.8.1 ITCレジスタ

タイマチャネル	割り込みフラグ	割り込みイネーブルビット	割り込みレベル設定ビット
Ch.0	IIFT1 (D9/ITC_IFLG)	IIEN1 (D9/ITC_EN)	IILV1[2:0] (D[10:8]/ITC_ILV0)
Ch.1	IIFT2 (D10/ITC_IFLG)	IIEN2 (D10/ITC_EN)	IILV2[2:0] (D[2:0]/ITC_ILV1)
Ch.2	IIFT3 (D11/ITC_IFLG)	IIEN3 (D11/ITC_EN)	IILV3[2:0] (D[10:8]/ITC_ILV1)

ITC_IFLGレジスタ(0x4300)
ITC_ENレジスタ(0x4302)
ITC_ILV0レジスタ(0x430e)
ITC_ILV1レジスタ(0x4310)

タイマにアンダーフローが発生すると、対応する割り込みフラグが1にセットされます。
その割り込みフラグに対応する割り込みイネーブルビットが1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。タイマによる割り込みを禁止するには、割り込みイネーブルビットを0に設定しておきます。割り込みフラグは、割り込みイネーブルビットの設定にかかわらず(0に設定されていても)、タイマのアンダーフローパルスによって1にセットされます。
割り込みレベル設定ビットは、タイマ割り込みのレベル(0〜7)を設定します。同一の割り込みレベルに設定した場合、16ビットタイマCh.0の優先順位が最も高く、16ビットタイマCh.2が最も低い順位となります。
S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- タイマ割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、"6 割り込みコントローラ(ITC)"を参照してください。

割り込みベクタ

タイマ割り込みのベクタ番号とベクタアドレスは以下のとおりです。

表11.8.2 タイマ割り込みベクタ

タイマチャネル	ベクタ番号	ベクタアドレス
タイマCh.0	13(0x0d)	0x8034
タイマCh.1	14(0x0e)	0x8038
タイマCh.2	15(0x0f)	0x803c

11.9 制御レジスタ詳細

表11.9.1 16ビットタイマレジスター一覧

アドレス	レジスタ名		機　能
0x4220	T16_CLK0	16-bit Timer Ch.0 Input Clock Select Register	プリスケーラ出力クロックの選択
0x4222	T16_TR0	16-bit Timer Ch.0 Reload Data Register	リロードデータの設定
0x4224	T16_TC0	16-bit Timer Ch.0 Counter Data Register	カウンタデータ
0x4226	T16_CTL0	16-bit Timer Ch.0 Control Register	タイマモードの設定とタイマのRUN/STOP
0x4240	T16_CLK1	16-bit Timer Ch.1 Input Clock Select Register	プリスケーラ出力クロックの選択
0x4242	T16_TR1	16-bit Timer Ch.1 Reload Data Register	リロードデータの設定
0x4244	T16_TC1	16-bit Timer Ch.1 Counter Data Register	カウンタデータ
0x4246	T16_CTL1	16-bit Timer Ch.1 Control Register	タイマモードの設定とタイマのRUN/STOP
0x4260	T16_CLK2	16-bit Timer Ch.2 Input Clock Select Register	プリスケーラ出力クロックの選択
0x4262	T16_TR2	16-bit Timer Ch.2 Reload Data Register	リロードデータの設定
0x4264	T16_TC2	16-bit Timer Ch.2 Counter Data Register	カウンタデータ
0x4266	T16_CTL2	16-bit Timer Ch.2 Control Register	タイマモードの設定とタイマのRUN/STOP

以下、16ビットタイマのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x4220/0x4240/0x4260: 16-bit Timer Ch.*x* Input Clock Select Registers (T16_CLK*x*)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
16-bit Timer Ch.*x* Input Clock Select Register (T16_CLK*x*)	0x4220 0x4240 0x4260 (16 bits)	D15–4	–	reserved	–		–	–	0 when being read.
		D3–0	DF[3:0]	Timer input clock select (Prescaler output clock)	DF[3:0]	Clock	0x0	R/W	
					0xf	reserved			
					0xe	PCLK•1/16384			
					0xd	PCLK•1/8192			
					0xc	PCLK•1/4096			
					0xb	PCLK•1/2048			
					0xa	PCLK•1/1024			
					0x9	PCLK•1/512			
					0x8	PCLK•1/256			
					0x7	PCLK•1/128			
					0x6	PCLK•1/64			
					0x5	PCLK•1/32			
					0x4	PCLK•1/16			
					0x3	PCLK•1/8			
					0x2	PCLK•1/4			
					0x1	PCLK•1/2			
					0x0	PCLK•1/1			

注: レジスタ名などの'*x*はチャネル番号の0〜2を表します。

0x4220: 16-bit Timer Ch.0 Input Clock Select Register (T16_CLK0)
0x4240: 16-bit Timer Ch.1 Input Clock Select Register (T16_CLK1)
0x4260: 16-bit Timer Ch.2 Input Clock Select Register (T16_CLK2)

D[15:4] Reserved

D[3:0] DF[3:0]: Timer Input Clock Select Bits

15種類のプリスケーラ出力クロックから、16ビットタイマのカウントクロックを選択します。

表11.9.2 カウントクロックの選択

DF[3:0]	プリスケーラ出力クロック	DF[3:0]	プリスケーラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

注: カウントクロックの設定は、16ビットタイマがカウント停止中に行ってください。

0x4222/0x4242/0x4262: 16-bit Timer Ch.*x* Reload Data Registers (T16_TR*x*)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
16-bit Timer Ch.*x* Reload Data Register (T16_TR*x*)	**0x4222** **0x4242** **0x4262** (16 bits)	D15–0	**TR[15:0]**	16-bit timer reload data TR15 = MSB TR0 = LSB	0x0 to 0xffff	0x0	R/W	

注: レジスタ名などの'*x*'はチャネル番号の0〜2を表します。

0x4222: 16-bit Timer Ch.0 Reload Data Register (T16_TR0)
0x4242: 16-bit Timer Ch.1 Reload Data Register (T16_TR1)
0x4262: 16-bit Timer Ch.2 Reload Data Register (T16_TR2)

D[15:0] TR[15:0]: 16-bit Timer Reload Data

カウンタの初期値を設定します。(デフォルト: 0x0)
このレジスタに設定したリロードデータは、タイマがリセットされるか、カウンタがアンダーフローした時点でカウンタにプリセットされます。
16ビットタイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、任意の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

0x4224/0x4244/0x4264: 16-bit Timer Ch.*x* Counter Data Registers (T16_TC*x*)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
16-bit Timer Ch.*x* Counter Data Register (T16_TC*x*)	**0x4224** **0x4244** **0x4264** (16 bits)	D15–0	**TC[15:0]**	16-bit timer counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0xffff	R	

注: レジスタ名などの'*x*'はチャネル番号の0～2を表します。

0x4224: 16-bit Timer Ch.0 Counter Data Register (T16_TC0)
0x4244: 16-bit Timer Ch.1 Counter Data Register (T16_TC1)
0x4264: 16-bit Timer Ch.2 Counter Data Register (T16_TC2)

D[15:0] TC[15:0]: 16-bit Timer Counter Data

カウンタデータが読み出せます。（デフォルト: 0xffff）
このレジスタはリードオンリのため、データの書き込みはできません。

0x4226/0x4246/0x4266: 16-bit Timer Ch.*x* Control Registers (T16_CTL*x*)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
16-bit Timer Ch.*x* Control Register (T16_CTL*x*)	0x4226 0x4246 0x4266 (16 bits)	D15–11	–	reserved	–	–	–	0 when being read.
		D10	**CKACTV**	External clock active level select	1 High 0 Low	1	R/W	
		D9–8	**CKSL[1:0]**	Input clock and pulse width measurement mode select	CKSL[1:0] Mode 0x3 reserved 0x2 Pulse width 0x1 External clock 0x0 Internal clock	0x0	R/W	
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	**TRMD**	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	**PRESER**	Timer reset	1 Reset 0 Ignored	0	W	
		D0	**PRUN**	Timer run/stop control	1 Run 0 Stop	0	R/W	

注: レジスタ名などの'*x*はチャネル番号の0〜2を表します。

0x4226: 16-bit Timer Ch.0 Control Register (T16_CTL0)
0x4246: 16-bit Timer Ch.1 Control Register (T16_CTL1)
0x4266: 16-bit Timer Ch.2 Control Register (T16_CTL2)

D[15:11] Reserved

D10 CKACTV: External Clock Active Level Select Bit

外部入力パルスの極性、または外部クロックのカウントエッジを選択します。
1(R/W): アクティブHigh/立ち上がりエッジ(デフォルト)
0(R/W): アクティブLow/立ち下がりエッジ

外部クロックモード時(CKSL[1:0] = 0x1)は、外部入力クロックの立ち上がりエッジまたは立ち下がりエッジのどちらでカウントを行うか選択します。パルス幅測定モード時(CKSL[1:0] = 0x2)は、外部入力パルスの極性を選択します。

D[9:8] CKSL[1:0]: Input Clock and Pulse Width Measurement Mode Select Bits

16ビットタイマの動作モードを選択します。

表11.9.3 動作モードの選択

CKSL[1:0]	動作モード
0x3	Reserved
0x2	パルス幅測定モード
0x1	外部クロックモード
0x0	内部クロックモード

(デフォルト: 0x0)

内部クロックモードでは、プリスケーラ出力クロックをカウントクロックとして使用します。タイマはリロードデータレジスタに設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号は、割り込みの発生や内部シリアルインタフェース用のクロック生成に使用されます。プリスケーラクロックとカウンタ初期値の選択によってアンダーフロー発生までの時間を細かくプログラム可能なため、シリアル転送クロックの生成や単発的な時間計測等に有効です。

外部クロックモードでは、入出力ポート(Ch.0: P16、Ch.1: P07、Ch.2: P06)から入力したクロックやパルスをカウントクロックとして使用します。したがって、イベントカウンタとして使用可能です。入力クロック以外のタイマの動作は内部クロックモードと同じです。

パルス幅測定モードでは、指定極性のパルスが外部クロックポートから入力されると、その信号がアクティブな期間のみ内部クロックが供給され、カウントを行います。これにより、指定幅以上のパルス入力で割り込みを発生させたり、入力パルス幅を測定したりすることができます。

D[7:5] Reserved

D4 TRMD: Count Mode Select Bit

16ビットタイマのカウントモードを選択します。
1(R/W): ワンショットモード
0(R/W): リピートモード(デフォルト)

TRMDを0に設定すると、16ビットタイマはリピートモードに設定されます。このモードでは、カウントを開始するとアプリケーションプログラムで停止するまで16ビットタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、16ビットタイマをこのモードに設定してください。

TRMDを1に設定すると、16ビットタイマはワンショットモードに設定されます。このモードでは、カウンタがアンダーフローした時点で16ビットタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合やパルス幅測定時などに、16ビットタイマをこのモードに設定してください。

D[3:2] Reserved

D1 PRESER: Timer Reset Bit

16ビットタイマをリセットします。
1(W): リセット
0(W): 無効
0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、リロードデータがカウンタにプリセットされます。

D0 PRUN: Timer Run/Stop Control Bit

タイマのRUN/STOPを制御します。
1(R/W): RUN
0(R/W): STOP(デフォルト)

タイマはPRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。

11.10 注意事項

- 16ビットタイマを動作させるには、その前にプリスケーラを動作させておく必要があります。
- カウントクロックとカウントモードの設定は、16ビットタイマがカウント停止中に行ってください。

このページはブランクです。

12 8ビットタイマ(T8F)

12.1 8ビットタイマの概要

S1C17701はファインモード付き8ビットタイマを1チャネル内蔵しています。
8ビットタイマは8ビットプリセッタブルダウンカウンタとプリセット値を保持する8ビットリロードデータレジスタで構成されます。タイマはリロードデータレジスタに設定した初期値からカウントダウンを行い、カウンタのアンダーフローによってアンダーフロー信号を出力します。アンダーフロー信号は、割り込みの発生やUART用のクロック生成に使用されます。アンダーフロー周期はプリスケーラクロックとリロードデータの選択によりプログラム可能なため、アプリケーションプログラムは任意の時間間隔やシリアル転送速度を得ることができます。ファインモードは、転送レートの誤差を最小限に抑える機能を提供します。
図12.1.1に8ビットタイマの構造を示します。

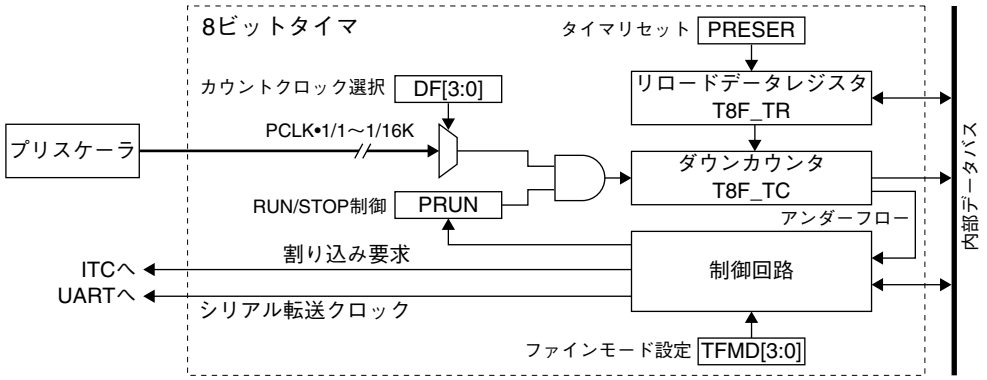


図12.1.1 8ビットタイマの構造

12.2 8ビットタイマのカウントモード

8ビットタイマはリピートモードとワンショットモードの2つのカウントモードを持っています。この選択は、TRMDビット(D4/T8F_CTLレジスタ)で行います。

* **TRMD**: Count Mode Select Bit in the 8-bit Timer Control (T8F_CTL) Register (D4/0x4206)

リピートモード(TRMD = 0、デフォルト)

TRMDを0に設定すると、8ビットタイマはリピートモードに設定されます。
このモードでは、カウントを開始するとアプリケーションプログラムで停止するまで8ビットタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、8ビットタイマをこのモードに設定してください。

ワンショットモード(TRMD = 1)

TRMDを1に設定すると、8ビットタイマはワンショットモードに設定されます。
このモードでは、カウンタがアンダーフローした時点で8ビットタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、8ビットタイマをこのモードに設定してください。

注: カウントモードの設定は、8ビットタイマがカウント停止中に行ってください。

12.3 カウントクロック

8ビットタイマはプリスケーラ出力クロックをカウントクロックとして使用します。プリスケーラはPCLKクロックを1/1～1/16Kに分周して15種類のクロックを生成します。この中の1つをDF[3:0]ビット(D[3:0]/T8F_CLKレジスタ)で選択します。

* **DF[3:0]**: Timer Input Clock Select Bits in the 8-bit Timer Input Clock Select (T8F_CLK) Register (D[3:0]/0x4200)

表12.3.1 カウントクロックの選択

DF[3:0]	プリスケーラ出力クロック	DF[3:0]	プリスケーラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

注:
- **8ビットタイマを動作させるには、その前にプリスケーラを動作させておく必要があります。**
- **カウントクロックの設定は、8ビットタイマがカウント停止中に行ってください。**

プリスケーラの制御については、"9 プリスケーラ(PSC)"を参照してください。

12.4 8ビットタイマリロードレジスタとアンダーフロー周期

リロードデータレジスタT8F_TR(0x4202)は、ダウンカウンタに初期値をセットするために使用します。リロードデータレジスタに設定したカウンタ初期値は、8ビットタイマがリセットされるか、カウンタがアンダーフローした時点でダウンカウンタにプリセットされます。8ビットタイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、特定の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

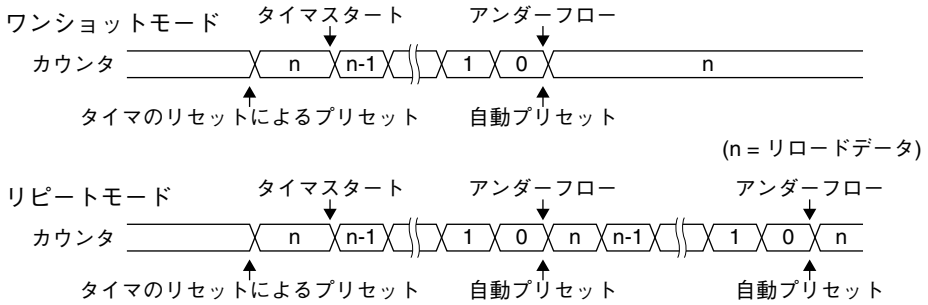


図12.4.1 プリセットタイミング

アンダーフロー周期は次のように計算できます。

$$\text{アンダーフロー期間} = \frac{\text{T8F_TR} + 1}{\text{clk_in}}\ [\text{s}] \qquad \text{アンダーフローサイクル} = \frac{\text{clk_in}}{\text{T8F_TR} + 1}\ [\text{Hz}]$$

clk_in: カウントクロック(プリスケーラ出力クロック)周波数 [Hz]
T8F_TR: リロードデータ(0～255)

注: UARTは8ビットタイマの出力を1/16に分周してサンプリングクロックを生成します。転送レートを設定する際には注意してください。

12.5 8ビットタイマのリセット

8ビットタイマをリセットするには、PRESERビット（D1/T8F_CTLレジスタ）に1を書き込みます。リロードデータがプリセットされ、カウンタが初期化されます。

* **PRESER**: Timer Reset Bit in the 8-bit Timer Control (T8F_CTL) Register (D1/0x4206)

12.6 8ビットタイマRUN/STOP制御

8ビットタイマの動作を開始させる前に、以下の設定を行ってください。
(1)カウントモード(ワンショットまたはリピート)を設定します。12.2節を参照してください。
(2)カウントクロック(プリスケーラ出力クロック)を選択します。12.3節を参照してください。
(3)カウンタ初期値を計算してリロードデータレジスタに設定します。12.4節を参照してください。
(4)タイマをリセットして初期値をカウンタにプリセットします。12.5節を参照してください。
(5)タイマ割り込みを使用する場合は、割り込みレベルを設定し、割り込みを許可します。12.9節を参照してください。

8ビットタイマの動作を開始させるには、PRUNビット(D0/T8F_CTLレジスタ)に1を書き込みます。

* **PRUN**: Timer Run/Stop Control Bit in the 8-bit Timer Control (T8F_CTL) Register (D0/0x4206)

タイマは初期値から、あるいは初期値をプリセットしなかった場合は現在のカウンタ値からカウントダウンを開始します。カウンタがアンダーフローすると、タイマはアンダーフローパルスを出力し、初期値を再びカウンタにプリセットします。これと同時に、割り込み要求が割り込みコントローラ(ITC)に送られます。
ワンショットモードに設定されている場合、タイマはカウントを停止します。
リピートモードに設定されている場合、タイマはリロードされた初期値からカウントを継続します。

アプリケーションプログラムから8ビットタイマを停止させるには、PRUNビットに0を書き込みます。カウンタはカウント動作を停止し、タイマのリセットまたは再スタートまで、現在のカウンタ値を保持します。初期値からカウントを再スタートさせる場合は、PRUNビットに1を書き込む前にタイマをリセットしてください。

カウント中にタイマのリセットを行うと、リロードレジスタ値がカウンタにロードされ、カウントが継続します。

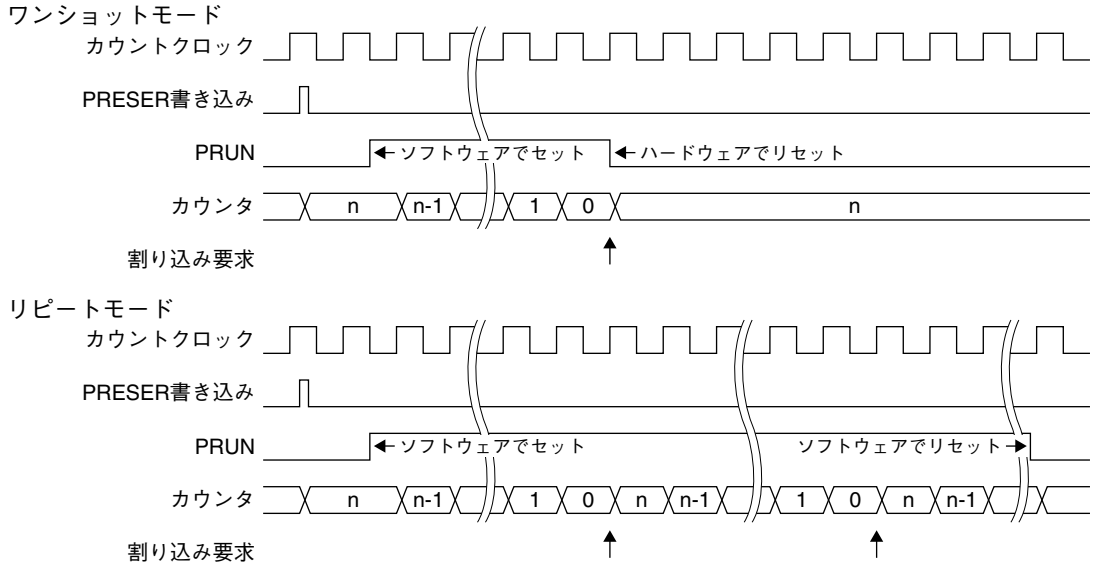


図12.6.1 カウント動作

12.7 8ビットタイマ出力信号

8ビットタイマはカウンタがアンダーフローするとアンダーフローパルスを出力します。
このパルスは、タイマ割り込み要求に使用されます。

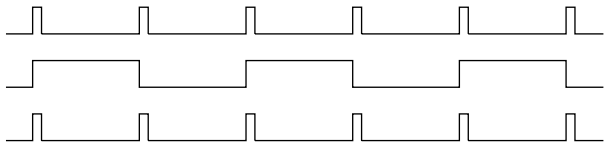


図12.7.1 タイマ出力クロック

また、アンダーフローパルスはシリアル転送クロックの生成にも使用され、UARTに送られます。
希望の転送レートを得るためのリロードデータレジスタ値は次の式で計算できます。

$$bps = \frac{clk_in}{\{(T8F_TR + 1) \times 16 + TFMD\}}$$

$$T8F_TR = \left(\frac{clk_in}{bps} - TFMD - 16\right) \div 16$$

clk_in: カウントクロック(プリスケーラ出力クロック)周波数 [Hz]
T8F_TR: リロードデータ(0～255)
bps: 転送レート(ビット/秒)
TFMD: ファインモード設定値(0～15)

12.8 ファインモード

ファインモードは、転送レートの誤差を最小限に抑える機能を提供します。
8ビットタイマはプログラマブルなクロックを出力可能で、その信号はUARTのシリアル転送クロックとして使用されます。プリスケーラ出力クロックとリロードデータの適切な選択により、タイマ出力クロックを希望の周波数に設定することができます。ただし、転送レートによっては誤差を生じます。ファインモードでは、カウンタによるアンダーフローパルスの出力を遅らせ、出力クロック周期を延ばします。この遅延量はTFMD[3:0]ビット(D[11:8]/T8F_CTLレジスタ)で指定できます。

* **TFMD[3:0]**: Fine Mode Setup Bits in the 8-bit Timer Control (T8F_CTL) Register (D[11:8]/0x4206)

TFMD[3:0]ビットは16アンダーフロー期間に挿入する遅延パターンを指定します。遅延の挿入1回につき、出力クロック周期はカウントクロック1サイクル分延長されます。この設定により、割り込みタイミングも同様に遅延します。

表12.8.1 TFMD[3:0]で指定する遅延パターン

TFMD[3:0]	アンダーフロー番号															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0x0	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
0x1	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	D
0x2	–	–	–	–	–	–	–	D	–	–	–	–	–	–	–	D
0x3	–	–	–	–	–	–	–	D	–	–	–	D	–	–	–	D
0x4	–	–	–	D	–	–	–	D	–	–	–	D	–	–	–	D
0x5	–	–	–	D	–	–	–	D	–	–	–	D	–	D	–	D
0x6	–	–	–	D	–	D	–	D	–	–	–	D	–	D	–	D
0x7	–	–	–	D	–	D	–	D	–	D	–	D	–	D	–	D
0x8	–	D	–	D	–	D	–	D	–	D	–	D	–	D	–	D
0x9	–	D	–	D	–	D	–	D	–	D	–	D	–	D	D	D
0xa	–	D	–	D	–	D	D	D	–	D	–	D	–	D	D	D
0xb	–	D	–	D	–	D	D	D	–	D	D	D	–	D	D	D
0xc	–	D	D	D	–	D	D	D	–	D	D	D	–	D	D	D
0xd	–	D	D	D	–	D	D	D	–	D	D	D	D	D	D	D
0xe	–	D	D	D	D	D	D	D	–	D	D	D	D	D	D	D
0xf	–	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D

D: 遅延サイクルが挿入されることを示します。

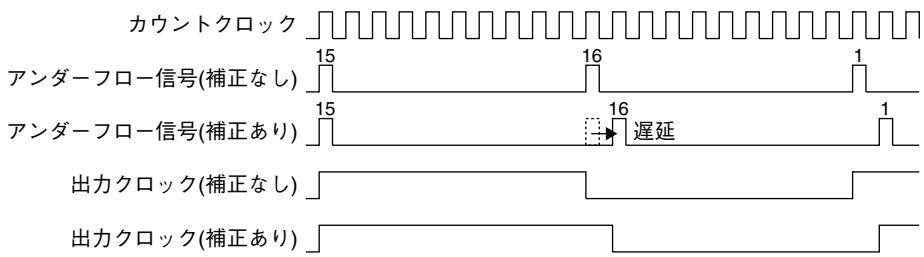


図12.8.1 ファインモードでの遅延サイクルの挿入

イニシャルリセット時、TFMD[3:0]は0x0に設定され、遅延サイクルは挿入されません。

12.9 8ビットタイマ割り込み

8ビットタイマは、カウンタのアンダーフローにより、割り込み要求を割り込みコントローラ(ITC)に出力します。
タイマアンダーフロー割り込みを発生させるには、ITCレジスタで割り込みレベルと割り込み許可の設定を行ってください。

タイマ割り込み用ITCレジスタ

以下に、8ビットタイマ用のITC制御ビットを示します。

割り込みフラグ IIFT0

* **IIFT0**: 8-bit Timer Interrupt Flag in the Interrupt Flag (ITC_IFLG) Register (D8/0x4300)

割り込みイネーブルビット IIEN0

* **IIEN0**: 8-bit Timer Interrupt Enable Bit in the Interrupt Enable (ITC_EN) Register (D8/0x4302)

割り込みレベル設定ビット IILV0

* **IILV0[2:0]**: 8-bit Timer Interrupt Level Bits in the Internal Interrupt Level Setup (ITC_ILV0) Register 0 (D[2:0]/0x430e)

タイマにアンダーフローが発生すると、対応する割り込みフラグが1にセットされます。
その割り込みフラグに対応する割り込みイネーブルビットが1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。タイマによる割り込みを禁止するには、割り込みイネーブルビットを0に設定しておきます。割り込みフラグは、割り込みイネーブルビットの設定にかかわらず(0に設定されていても)、タイマのアンダーフローパルスによって1にセットされます。
割り込みレベル設定ビットは、タイマ割り込みのレベル(0~7)を設定します。
S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- タイマ割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、"6 割り込みコントローラ(ITC)"を参照してください。

割り込みベクタ

8ビットタイマ割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号:　12(0x0c)
ベクタアドレス:0x8030

12.10 制御レジスタ詳細

表12.10.1 8ビットタイマレジスター覧

アドレス	レジスタ名		機　能
0x4200	T8F_CLK	8-bit Timer Input Clock Select Register	プリスケーラ出力クロックの選択
0x4202	T8F_TR	8-bit Timer Reload Data Register	リロードデータの設定
0x4204	T8F_TC	8-bit Timer Counter Data Register	カウンタデータ
0x4206	T8F_CTL	8-bit Timer Control Register	タイマモードの設定とタイマのRUN/STOP

以下、8ビットタイマのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x4200: 8-bit Timer Input Clock Select Register (T8F_CLK)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
8-bit Timer Input Clock Select Register (T8F_CLK)	0x4200 (16 bits)	D15–4	–	reserved	–		–	–	0 when being read.
		D3–0	DF[3:0]	Timer input clock select (Prescaler output clock)	DF[3:0]	Clock	0x0	R/W	
					0xf	reserved			
					0xe	PCLK•1/16384			
					0xd	PCLK•1/8192			
					0xc	PCLK•1/4096			
					0xb	PCLK•1/2048			
					0xa	PCLK•1/1024			
					0x9	PCLK•1/512			
					0x8	PCLK•1/256			
					0x7	PCLK•1/128			
					0x6	PCLK•1/64			
					0x5	PCLK•1/32			
					0x4	PCLK•1/16			
					0x3	PCLK•1/8			
					0x2	PCLK•1/4			
					0x1	PCLK•1/2			
					0x0	PCLK•1/1			

D[15:4] Reserved

D[3:0] DF[3:0]: Timer Input Clock Select Bits

15種類のプリスケーラ出力クロックから、8ビットタイマのカウントクロックを選択します。

表12.10.2 カウントクロックの選択

DF[3:0]	プリスケーラ出力クロック	DF[3:0]	プリスケーラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

（デフォルト: 0x0）

注: カウントクロックの設定は、8ビットタイマがカウント停止中に行ってください。

0x4202: 8-bit Timer Reload Data Register (T8F_TR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
8-bit Timer Reload Data Register (T8F_TR)	0x4202 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	TR[7:0]	8-bit timer reload data TR7 = MSB TR0 = LSB	0x0 to 0xff	0x0	R/W	

D[15:8] Reserved

D[7:0] TR[7:0]: 8-bit Timer Reload Data

カウンタの初期値を設定します。(デフォルト: 0x0)
このレジスタに設定したリロードデータは、タイマがリセットされるか、カウンタがアンダーフローした時点でカウンタにプリセットされます。
8ビットタイマをリセット後にスタートさせると、タイマはリロード値(初期値)からカウントダウンを行います。したがって、このリロード値と入力クロック周波数により、タイマスタートからアンダーフローが発生するまで(またはアンダーフロー間)の時間が決まります。これにより、任意の待ち時間、周期的な割り込みの発生間隔、あるいはプログラマブルなシリアルインタフェースの転送クロックが得られます。

0x4204: 8-bit Timer Counter Data Register (T8F_TC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
8-bit Timer Counter Data Register (T8F_TC)	**0x4204** (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	**TC[7:0]**	8-bit timer counter data TC7 = MSB TC0 = LSB	0x0 to 0xff	0xff	R	

D[15:8] Reserved

D[7:0] TC[7:0]: 8-bit Timer Counter Data

カウンタデータが読み出せます。（デフォルト: 0xff）
このレジスタはリードオンリのため、データの書き込みはできません。

0x4206: 8-bit Timer Control Register (T8F_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
8-bit Timer Control Register (T8F_CTL)	0x4206 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11–8	TFMD[3:0]	Fine mode setup	0x0 to 0xf	0x0	R/W	Set a number of times to insert delay into a 16-underflow period.
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	TRMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	PRESER	Timer reset	1 Reset 0 Ignored	0	W	
		D0	PRUN	Timer run/stop control	1 Run 0 Stop	0	R/W	

D[15:12] Reserved

D[11:8] TFMD[3:0]: Fine Mode Setup Bits

転送レートの誤差を補正します。（デフォルト: 0x0）

TFMD[3:0]ビットは16アンダーフロー期間に挿入する遅延パターンを指定します。遅延の挿入1回につき、出力クロック周期はカウントクロック1サイクル分延長されます。この設定により、割り込みタイミングも同様に遅延します。

表12.10.3 TFMD[3:0]で指定する遅延パターン

TFMD[3:0]	アンダーフロー番号															
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
0x0	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–
0x1	–	–	–	–	–	–	–	–	–	–	–	–	–	–	–	D
0x2	–	–	–	–	–	–	–	D	–	–	–	–	–	–	–	D
0x3	–	–	–	–	–	–	–	D	–	–	–	D	–	–	–	D
0x4	–	–	–	D	–	–	–	D	–	–	–	D	–	–	–	D
0x5	–	–	–	D	–	–	–	D	–	–	–	D	–	D	–	D
0x6	–	–	–	D	–	D	–	D	–	–	–	D	–	D	–	D
0x7	–	–	–	D	–	D	–	D	–	D	–	D	–	D	–	D
0x8	–	D	–	D	–	D	–	D	–	D	–	D	–	D	–	D
0x9	–	D	–	D	–	D	–	D	–	D	–	D	–	D	D	D
0xa	–	D	–	D	–	D	D	D	–	D	–	D	–	D	D	D
0xb	–	D	–	D	–	D	D	D	–	D	D	D	–	D	D	D
0xc	–	D	D	D	–	D	D	D	–	D	D	D	–	D	D	D
0xd	–	D	D	D	–	D	D	D	–	D	D	D	D	D	D	D
0xe	–	D	D	D	D	D	D	D	–	D	D	D	D	D	D	D
0xf	–	D	D	D	D	D	D	D	D	D	D	D	D	D	D	D

D: 遅延サイクルが挿入されることを示します。

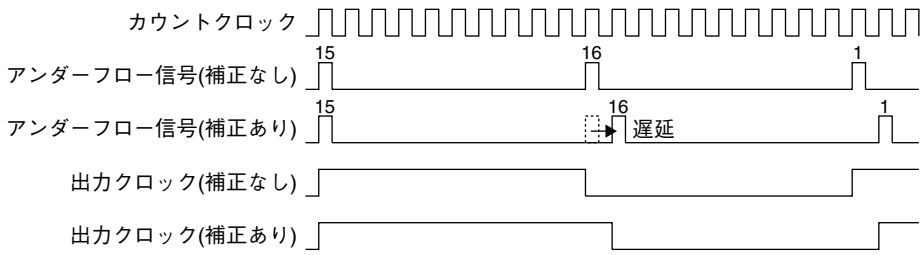


図12.10.1 ファインモードでの遅延サイクルの挿入

D[7:5] Reserved

D4 TRMD: Count Mode Select Bit

8ビットタイマのカウントモードを選択します。
1(R/W): ワンショットモード
0(R/W): リピートモード(デフォルト)

TRMDを0に設定すると、8ビットタイマはリピートモードに設定されます。このモードでは、カウントを開始するとアプリケーションプログラムで停止するまで8ビットタイマは停止しません。カウンタがアンダーフローすると、タイマはリロードデータレジスタの値をカウンタにプリセットし、カウントを継続します。これにより、タイマは周期的にアンダーフローパルスを出力します。任意の間隔で周期的な割り込みを発生させる場合や、シリアル転送クロックを生成する場合は、8ビットタイマをこのモードに設定してください。

TRMDを1に設定すると、8ビットタイマはワンショットモードに設定されます。このモードでは、カウンタがアンダーフローした時点で8ビットタイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、アンダーフロー発生時に、タイマはリロードデータレジスタの値をカウンタにプリセットしてから停止します。特定の待ち時間を作りたい場合などに、8ビットタイマをこのモードに設定してください。

注: カウントモードの設定は、8ビットタイマがカウント停止中に行ってください。

D[3:2] Reserved

D1 PRESER: Timer Reset Bit

8ビットタイマをリセットします。
1(W): リセット
0(W): 無効
0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、リロードデータがカウンタにプリセットされます。

D0 PRUN: Timer Run/Stop Control Bit

タイマのRUN/STOPを制御します。
1(R/W): RUN
0(R/W): STOP(デフォルト)

タイマはPRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。

12.11 注意事項

- 8ビットタイマを動作させるには、その前にプリスケーラを動作させておく必要があります。
- カウントクロックとカウントモードの設定は、8ビットタイマがカウント停止中に行ってください。

13 PWM&キャプチャタイマ(T16E)

13.1 PWM&キャプチャタイマの概要

S1C17701はPWM&キャプチャタイマを1チャネル内蔵しています。
図13.1.1にPWM&キャプチャタイマの構造を示します。

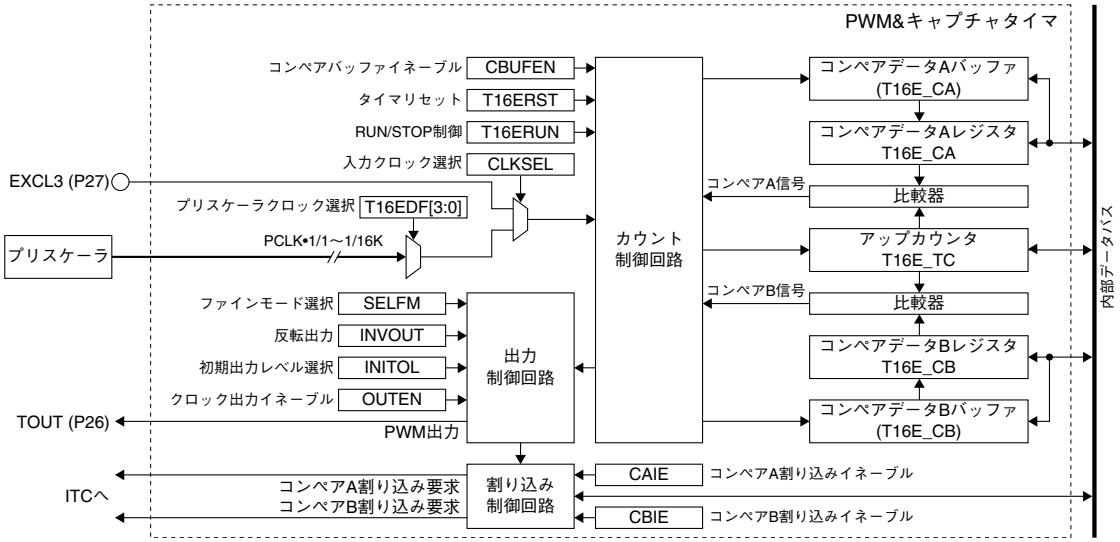


図13.1.1 PWM&キャプチャタイマの構造

PWM&キャプチャタイマには、16ビットのアップカウンタ(T16E_TCレジスタ)と、2つの16ビットコンペアデータレジスタ(T16E_CAレジスタ、T16E_CBレジスタ)とそのバッファが設けられています。

16ビットカウンタはソフトウェアで0にリセットおよびカウンタ値のセットが可能で、プリスケーラ出力クロックまたはP27ポート端子からの外部信号でカウントアップを行います。カウント値はソフトウェアで読み出すことができます。

コンペアデータAおよびBレジスタはアップカウンタの内容と比較するためのデータを格納するレジスタです。コンペアデータレジスタは、直接データの書き込み/読み出しが可能です。また、コンペアデータバッファを使用すると、カウンタがソフトウェアまたはコンペアBマッチ信号によってリセットされた時点で設定した比較値をコンペアデータレジスタにロードすることができます。比較値をコンペアデータレジスタとバッファのどちらに書き込むかについては、ソフトウェアで設定可能です。

カウンタ値が各コンペアデータレジスタの内容に一致すると比較器によって信号が出力され、割り込みや出力信号を制御します。したがって、これらのレジスタにより割り込みの発生周期や出力クロックの周波数とデューティ比をプログラマブルに設定することができます。

13.2 PWM&キャプチャタイマの動作モード

PWM&キャプチャタイマには2つの動作モードがあります。
1. 内部クロックモード(内部クロックをカウントするタイマ)
2. 外部クロックモード(イベントカウンタとして機能)

いずれか1つをCLKSEL(D3/T16E_CTLレジスタ)で選択します。

* **CLKSEL**: Input Clock Select Bit in the PWM Timer Control (T16E_CTL) Register (D3/0x5306)

CLKSELが0(デフォルト)の場合は内部クロックモード、1に設定すると外部クロックモードになります。

内部クロックモード

内部クロックモードでは、プリスケーラ出力クロックをカウントクロックとして使用します。
カウントクロックは、プリスケーラがPCLKクロックを1/1～1/16Kに分周して生成した15種類の中から1つをT16EDF[3:0](D[3:0]/T16E_CLKレジスタ)で選択します。

* **T16EDF[3:0]**: Timer Input Clock Select Bits in the PWM Timer Input Clock Select (T16E_CLK) Register (D[3:0]/0x5308)

表13.2.1 プリスケーラクロックの選択

T16EDF[3:0]	プリスケーラ出力クロック	T16EDF[3:0]	プリスケーラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

注:
- **PWM&キャプチャタイマを内部クロックモードで動作させるには、その前にプリスケーラを動作させておく必要があります。**
- **カウントクロックの設定は、PWM&キャプチャタイマがカウント停止中に行ってください。**

プリスケーラの制御については“9 プリスケーラ(PSC)”を参照してください。

外部クロックモード

外部クロックモードでは、P27(EXCL3)ポートから入力したクロックやパルスをカウントクロックとして使用します。したがって、イベントカウンタとして使用可能です。入力クロック以外のタイマの動作は内部クロックモードと同じです。
P27ポートからEXCL3クロックを入力するには、P27MUX(D7/P2_PMUXレジスタ)に1を書き込み、P27端子の機能を変更しておく必要があります。

* **P27MUX**: P27 Port Function Select Bit in the P2 Port Function Select (P2_PMUX) Register

PWM&キャプチャタイマは入力信号の立ち上がりエッジでカウントアップします。

PWM&キャプチャタイマは、このモードではプリスケーラを使用しません。ほかにプリスケーラクロックを使用する周辺モジュールがない場合はプリスケーラを停止して消費電流を低減できます。

13.3 カウンタ値のセット/リセット

PWM&キャプチャタイマのカウンタをリセットするには、T16ERSTビット(D1/T16E_CTLレジスタ)に1を書き込みます。カウンタが0に初期化されます。

* **T16ERST**: Timer Reset Bit in the PWM Timer Control (T16E_CTL) Register (D1/0x5306)

通常は、カウントアップを開始する前に、このビットに1を書き込みカウンタをリセットします。
カウント開始後は、カウンタがコンペアデータBに一致するとハードウェアによってリセットされます。

また、T16ETC[15:0](D[15:0]/T16E_TCレジスタ)にデータを書き込むことにより、カウンタに任意の値をセットすることもできます。

* **T16ETC[15:0]**: Counter Data in the PWM Timer Counter Data (T16E_TC) Register (D[15:0]/0x5304)

13.4 コンペアデータの設定

コンペアデータレジスタ/バッファの選択

PWM&キャプチャタイマにはデータの比較器が内蔵されており、カウントデータを任意の値と比較することができます。この比較データを格納するレジスタがコンペアデータAレジスタとコンペアデータBレジスタです。コンペアデータレジスタは直接データの書き込み/読み出しが可能です。
また、コンペアデータバッファを使用すると、カウンタがソフトウェア(T16ERSTへの1書き込み)またはコンペアBマッチ信号によってリセットされた時点で、バッファに設定した比較値を自動的にコンペアデータレジスタにロードすることができます。比較値をコンペアデータレジスタとバッファのどちらに書き込むかについては、CBUFEN(D5/0x5306)で設定します。

* **CBUFEN**: Comparison Buffer Enable Bit in the PWM Timer Control (T16E_CTL) Register (D5/0x5306)

CBUFENに1を書き込むとコンペアデータバッファ、0を書き込むとコンペアデータレジスタが選択されます。イニシャルリセット時は、コンペアデータレジスタが選択されます。

コンペアデータの書き込み

コンペアデータAはT16ECA[15:0](D[15:0]/T16E_CAレジスタ)に、コンペアデータBはT16ECB[15:0](D[15:0]/T16E_CBレジスタ)に書き込みます。

* **T16ECA[15:0]**: Compare Data A in the PWM Timer Compare Data A (T16E_CA) Register (D[15:0]/0x5300)
* **T16ECB[15:0]**: Compare Data B in the PWM Timer Compare Data B (T16E_CB) Register (D[15:0]/0x5302)

CBUFENが0に設定されている場合、これらのレジスタによりコンペアデータレジスタ値が直接読み出し/書き込み可能です。
CBUFENが1に設定されている場合、これらのレジスタへのデータ書き込み/読み出しはコンペアデータバッファに対して行われます。バッファの内容はカウンタがリセットされた時点でコンペアデータレジスタにロードされます。
イニシャルリセット時、コンペアデータレジスタ/バッファは0x0に設定されます。

タイマはコンペアデータレジスタとカウントデータを比較し、同じ値になったところでコンペアマッチ信号を発生します。このコンペアマッチ信号は割り込みを発生するとともに外部へのクロック(TOUT信号)出力を制御します。

コンペアデータBはカウンタのリセット周期も決定します。
カウンタのリセット周期は次のように計算できます。

$$\text{カウンタリセット期間} = \frac{CB + 1}{clk_in}\ [s]$$

$$\text{カウンタリセット周期} = \frac{clk_in}{CB + 1}\ [Hz]$$

CB: コンペアデータB(T16E_CBレジスタ値)
clk_in: プリスケーラ出力クロック周波数

13.5 PWM&キャプチャタイマRUN/STOP制御

PWM&キャプチャタイマの動作を開始させる前に、以下の設定を行ってください。
(1)動作モード(入力クロック)を設定します。13.2節を参照してください。
(2)クロック出力の設定を行います。13.6節を参照してください。
(3)割り込みを使用する場合は、割り込みレベルを設定し、PWM&キャプチャタイマの割り込みを許可します。13.7節を参照してください。
(4)カウンタに値をセット、または0にリセットします。13.3節を参照してください。
(5)コンペアデータを設定します。13.4節を参照してください。

PWM&キャプチャタイマには、Run/Stopを制御するT16ERUN(D0/T16E_CTLレジスタ)が設けられています。

* **T16ERUN**: Timer Run/Stop Control Bit in the PWM Timer Control (T16E_CTL) Register (D0/0x5306)

タイマはT16ERUNに1を書き込むことによってカウントを開始します。T16ERUNに0を書き込むとクロックの入力が禁止され、カウントは停止します。
この制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。
T16ERUNとT16ERSTに同時に1を書き込んだ場合、タイマはカウンタをリセット後にカウントを開始します。

カウント中にカウンタがコンペアデータAレジスタの設定値と一致すると、コンペアAマッチ信号が出力され、コンペアA割り込み要因が発生します。
また、カウンタがコンペアデータBレジスタの設定値と一致すると、コンペアBマッチ信号が出力され、コンペアB割り込み要因が発生します。同時にカウンタが0にリセットされます。CBUFENが1に設定されている場合は、コンペアデータバッファに設定してある値がコンペアデータレジスタにロードされます。
割り込みを許可している場合は、割り込み要求が割り込みコントローラ(ITC)に送られます。
どちらの場合もカウント動作はそのまま継続します。コンペアBの場合はカウンタ値0からのカウントとなります。

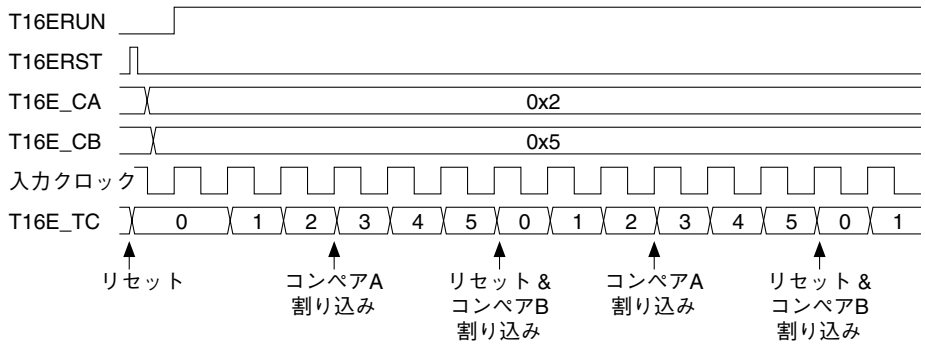


図13.5.1 カウンタの基本動作タイミング

13.6 クロック出力の制御

PWM&キャプチャタイマは、コンペアマッチ信号によってTOUT信号を発生させることができます。
図13.6.1にPWM&キャプチャタイマのクロック出力回路を示します。

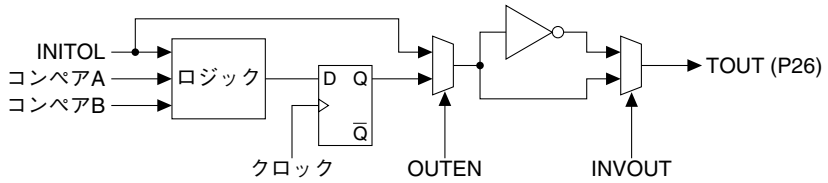


図13.6.1 PWM&キャプチャタイマのクロック出力回路

初期出力レベルの設定

クロック出力がOffの状態でのデフォルト出力レベルは0(Lowレベル)です。これをINITOL(D8/T16E_CTLレジスタ)で1(Highレベル)に変更することができます。

* **INITOL**: Initial Output Level Select Bit in the PWM Timer Control (T16E_CTL) Register (D8/0x5306)

INITOLが0(デフォルト)の場合、初期出力レベルはLowです。1に設定すると、初期出力レベルはHighになります。
T16ERSTへの1書き込みによりタイマをリセットした場合も、タイマ出力はここで設定した初期出力レベルになります。

出力信号の極性選択

デフォルトでは、アクティブHigh(ノーマルLow)の出力信号が生成されます。この論理をINVOUT(D4/T16E_CTLレジスタ)で反転させることができます。INVOUTに1を書き込むと、タイマはアクティブLow(ノーマルHigh)の信号を生成します。

* **INVOUT**: Inverse Output Control Bit in the PWM Timer Control (T16E_CTL) Register (D4/0x5306)

INVOUTを1に設定すると、INITOLで設定した初期出力レベルも反転します。
出力波形については図13.6.2を参照してください。

出力端子の設定

ここで発生したTOUT信号は、TOUT(P26)端子から出力可能で、外部デバイス等に対してプログラマブルなクロックやPWM信号を供給することができます。
イニシャルリセット時、出力に使用するP26端子は入出力ポート用に設定され、入力モードとなります。このときの端子の状態はハイインピーダンスとなります。
端子機能をTOUT出力に切り換えると、INITOLおよびINVOUTの設定に従ったレベルの出力を行います。タイマ出力を開始後、カウンタ値によって変化するまで出力はこのレベルに保たれます。

表13.6.1 初期出力レベル

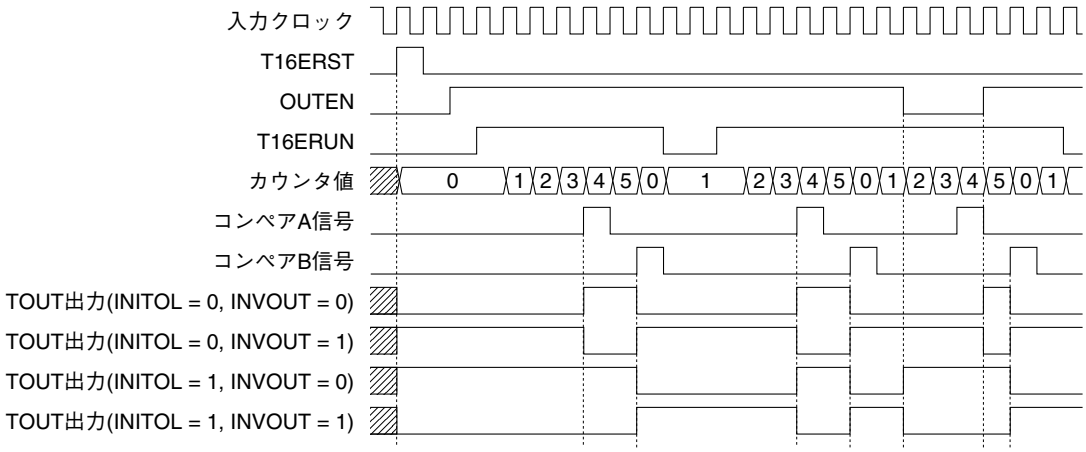
INITOL	INVOUT	初期出力レベル
1	1	Low
1	0	High
0	1	High
0	0	Low

クロック出力の開始

TOUTクロックを出力するには、OUTEN(D2/T16E_CTLレジスタ)に1を書き込みます。OUTENに0を書き込むと、出力はINITOLおよびINVOUTの設定値に従った初期出力レベルとなります。

* **OUTEN**: Clock Output Enable Bit in the PWM Timer Control (T16E_CTL) Register (D2/0x5306)

図13.6.2に出力波形を示します。



(T16E_CA = 3、T16E_CB = 5の場合)

図13.6.2 PWM&キャプチャタイマの出力波形

INVOUT = 0(アクティブHigh)の場合

タイマは、カウンタがT16E_CAレジスタ(0x5300)に設定したコンペアデータAに一致するまでLowレベル(出力開始時は初期出力レベル)を出力します。カウンタがコンペアデータAの次の値になると、出力端子はHighレベルとなりコンペアA割り込み要因が発生します。その後、カウンタがT16E_CBレジスタ(0x5302)に設定したコンペアデータBまでカウントアップされると、カウンタがリセットされ、出力端子はLowレベルに戻ります。同時にコンペアB割り込み要因も発生します。

INVOUT = 1(アクティブLow)の場合

タイマは、カウンタがT16E_CAレジスタ(0x5300)に設定したコンペアデータAに一致するまでHighレベル(出力開始時は初期出力レベルの反転値)を出力します。カウンタがコンペアデータAの次の値になると、出力端子はLowレベルとなりコンペアA割り込み要因が発生します。その後、カウンタがT16E_CBレジスタ(0x5302)に設定したコンペアデータBまでカウントアップされると、カウンタがリセットされ、出力端子はHighレベルに戻ります。同時にコンペアB割り込み要因も発生します。

クロック出力ファインモードの設定

デフォルト設定では、コンペアデータAとカウンタ値が一致した場合、入力クロックの立ち上がりでクロック出力が変化します。

ファインモードのクロック出力は、コンペアデータAレジスタT16ECA0[15:1]とカウンタデータレジスタT16ETC[14:0]が一致した場合に、コンペアデータAのビット0(T16ECA0)の値に従って変化します。
T16ECA0が0の場合: 入力クロックの立ち上がりで変化
T16ECA0が1の場合: 半周期遅れの入力クロックの立ち下がりで変化

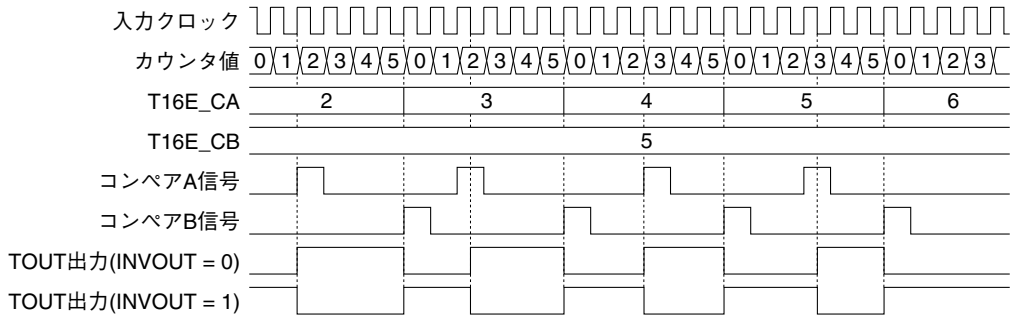


図13.6.3 ファインモードのクロック出力

このように、ファインモードでは入力クロックの半周期きざみで出力デューティを調節することができます。ただし、コンペアデータA = 0の場合は、入力クロックの1周期幅のパルスが出力されます(デフォルトの場合と同様)。ファインモードでのコンペアデータBの最大値は2^{15} - 1 = 32,767、コンペアデータAの設定範囲は0～(2 × コンペアデータB - 1)となります。

ファインモードはSELFM(D6/T16E_CTLレジスタ)で設定します。

* **SELFM**: Fine Mode Select Bit in the PWM Timer Control (T16E_CTL) Register (D6/0x5306)

SELFMに1を書き込むと、ファインモードが設定されます。イニシャルリセット時はファインモードがディセーブル状態となります。

注意事項

(1) タイマ出力を使用する場合、コンペアデータはA≧0、B≧1を設定してください。最小設定はA = 0、B = 1で、タイマ出力サイクルは入力クロックの1/2となります。

(2) コンペアデータをA > B(ファインモードの場合はA > B × 2)に設定するとコンペアBマッチ信号のみ発生し、コンペアAマッチ信号は発生しません。この場合、タイマ出力はLow(INVOUT = 1の場合はHigh)に固定されます。

13.7 PWM&キャプチャタイマ割り込み

T16Eモジュールには、以下の2種類の割り込みを発生させる機能があります。
• コンペアAマッチ割り込み
• コンペアBマッチ割り込み

T16Eモジュールは、上記2種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、T16Eモジュール内の割り込みフラグを読み出してください。

コンペアAマッチ割り込み

この割り込み要求は、カウント中にカウンタがコンペアデータAレジスタの設定値に一致すると発生し、T16Eモジュール内の割り込みフラグCAIF(D0/T16E_IFLGレジスタ)を1にセットします。

∗ **CAIF**: Compare A Interrupt Flag in the PWM Timer Interrupt Flag (T16E_IFLG) Register (D0/0x530c)

この割り込みを使用するには、CAIE(D0/T16E_IMSKレジスタ)を1に設定します。CAIEが0(デフォルト)に設定されているとCAIFが1にセットされず、この要因による割り込み要求はITCに送られません。

∗ **CAIE**: Compare A Interrupt Enable Bit in the PWM Timer Interrupt Mask (T16E_IMSK) Register (D0/0x530a)

CAIFが1にセットされるとT16Eモジュールは割り込み要求をITCに出力します。この割り込み要求信号により、ITC内のPWM&キャプチャタイマ割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。
PWM&キャプチャタイマ割り込みがコンペアAマッチによるものかどうかについては、PWM&キャプチャタイマ割り込み処理ルーチンでCAIFを読み出して確認してください。
また、割り込み処理ルーチン内では、ITCのPWM&キャプチャタイマ割り込みフラグではなくT16EモジュールのCAIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

コンペアBマッチ割り込み

この割り込み要求は、カウント中にカウンタがコンペアデータBレジスタの設定値に一致すると発生し、T16Eモジュール内の割り込みフラグCBIF(D1/T16E_IFLGレジスタ)を1にセットします。

∗ **CBIF**: Compare B Interrupt Flag in the PWM Timer Interrupt Flag (T16E_IFLG) Register (D1/0x530c)

この割り込みを使用するには、CBIE(D1/T16E_IMSKレジスタ)を1に設定します。CBIEが0(デフォルト)に設定されているとCBIFが1にセットされず、この要因による割り込み要求はITCに送られません。

∗ **CBIE**: Compare B Interrupt Enable Bit in the PWM Timer Interrupt Mask (T16E_IMSK) Register (D1/0x530a)

CBIFが1にセットされるとT16Eモジュールは割り込み要求をITCに出力します。この割り込み要求信号により、ITC内のPWM&キャプチャタイマ割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。
PWM&キャプチャタイマ割り込みがコンペアBマッチによるものかどうかについては、PWM&キャプチャタイマ割り込み処理ルーチンでCBIFを読み出して確認してください。
また、割り込み処理ルーチン内では、ITCのPWM&キャプチャタイマ割り込みフラグではなくT16EモジュールのCBIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

注: 不要な割り込みの発生を防止するため、CAIEまたはCBIEによってコンペアAまたはコンペアB割り込みを許可する前に、対応するCAIFまたはCBIFをリセットしてください。

PWM&キャプチャタイマ割り込み用ITCレジスタ

前述の設定により、割り込みを許可されたコンペアマッチが発生すると、T16Eモジュールは割り込み信号をITCに出力します。PWM&キャプチャタイマ割り込みを発生させるには、ITCレジスタで割り込みレベルと割り込み許可の設定を行ってください。
以下に、PWM&キャプチャタイマ用のITC制御ビットを示します。

ITC内の割り込みフラグ

* **EIFT7**: PWM & Capture Timer Interrupt Flag in the Interrupt Flag (ITC_IFLG) Register (D7/0x4300)

ITC内の割り込みイネーブルビット

* **EIEN7**: PWM & Capture Timer Interrupt Enable Bit in the Interrupt Enable (ITC_EN) Register (D7/0x4302)

ITC内の割り込みレベル設定ビット

* **EILV7[2:0]**: T16E Interrupt Level Bits in the External Interrupt Level Setup (ITC_ELV3) Register 3 (D[10:8]/0x430c)

ITC内の割り込みトリガモード選択ビット(1に固定してください)

* **EITG7**: T16E Interrupt Trigger Mode Select Bit in the External Interrupt Level Setup (ITC_ELV3) Register 3 (D12/0x430c)

T16Eモジュールで割り込みが許可されたコンペアマッチが発生すると、EIFT7が1にセットされます。このとき、EIEN7が1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。PWM&キャプチャタイマによる割り込みを禁止するには、EIEN7を0に設定しておきます。EIFT7は、EIEN7の設定にかかわらず(0に設定されていても)、T16Eモジュールからの割り込み信号によって1にセットされます。
EILV7[2:0]は、PWM&キャプチャタイマ割り込みのレベル(0〜7)を設定します。

S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。
- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- PWM&キャプチャタイマ割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、"6 割り込みコントローラ(ITC)"を参照してください。

注: 割り込み要因の発生状態をT16Eモジュールの割り込みフラグで管理するため、以下の処理が必要です。

1. ITCのPWM&キャプチャタイマ割り込みのトリガモードをレベルトリガモードに設定
2. 割り込み発生後は、割り込み処理ルーチン内で、T16Eモジュール内の割り込みフラグCAIF、CBIFをリセット(これによりITCの割り込みフラグもリセットされます)

割り込みベクタ

PWM&キャプチャタイマ割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号: 11(0x0b)
ベクタアドレス: 0x802c

13.8 制御レジスタ詳細

表13.8.1 PWM&キャプチャタイマレジスター覧

アドレス	レジスタ名		機　能
0x5300	T16E_CA	PWM Timer Compare Data A Register	コンペアデータAの設定
0x5302	T16E_CB	PWM Timer Compare Data B Register	コンペアデータBの設定
0x5304	T16E_TC	PWM Timer Counter Data Register	カウンタデータ
0x5306	T16E_CTL	PWM Timer Control Register	タイマモードの設定とタイマのRUN/STOP
0x5308	T16E_CLK	PWM Timer Input Clock Select Register	プリスケーラ出力クロックの選択
0x530a	T16E_IMSK	PWM Timer Interrupt Mask Register	割り込みマスクの設定
0x530c	T16E_IFLG	PWM Timer Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、PWM&キャプチャタイマのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5300: PWM Timer Compare Data A Register (T16E_CA)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PWM Timer Compare Data A Register (T16E_CA)	0x5300 (16 bits)	D15–0	T16ECA[15:0]	Compare data A T16ECA15 = MSB T16ECA0 = LSB	0x0 to 0xffff	0x0	R/W	

D[15:0] T16ECA[15:0]: Compare Data A

PWM&キャプチャタイマのコンペアデータAを設定します。（デフォルト: 0x0）
CBUFEN（D5/T16E_CTLレジスタ）が0に設定されている場合、このレジスタによりコンペアデータAレジスタが直接読み出し/書き込み可能です。
CBUFENが1に設定されている場合、これらのレジスタへのデータ書き込み/読み出しはコンペアデータAバッファに対して行われます。バッファの内容はカウンタがリセットされた時点でコンペアデータAレジスタにロードされます。
設定したデータがカウンタデータと比較され、内容が一致したところでコンペアA割り込み要因が発生します。同時に、タイマ出力波形が変化します（INVOUT（D4/T16E_CTLレジスタ）= 0の場合は立ち上がり、INVOUT = 1の場合は立ち下がります）。これらの処理は、カウンタのデータやカウントアップ動作には影響を与えません。

0x5302: PWM Timer Compare Data B Register (T16E_CB)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PWM Timer Compare Data B Register (T16E_CB)	**0x5302** (16 bits)	D15–0	**T16ECB[15:0]**	Compare data B T16ECB15 = MSB T16ECB0 = LSB	0x0 to 0xffff	0x0	R/W	

D[15:0] T16ECB[15:0]: Compare Data B

PWM&キャプチャタイマのコンペアデータBを設定します。（デフォルト: 0x0）
CBUFEN（D5/T16E_CTLレジスタ）が0に設定されている場合、このレジスタによりコンペアデータBレジスタが直接読み出し/書き込み可能です。
CBUFENが1に設定されている場合、これらのレジスタへのデータ書き込み/読み出しはコンペアデータBバッファに対して行われます。バッファの内容はカウンタがリセットされた時点でコンペアデータBレジスタにロードされます。
設定したデータがカウンタデータと比較され、内容が一致したところでコンペアB割り込み要因が発生します。同時に、タイマ出力波形が変化し（INVOUT（D4/T16E_CTLレジスタ）= 0の場合は立ち上がり、INVOUT = 1の場合は立ち下がります）、カウンタが0にリセットされます。

0x5304: PWM Timer Counter Data Register (T16E_TC)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PWM Timer Counter Data Register (T16E_TC)	**0x5304** (16 bits)	D15–0	**T16ETC[15:0]**	Counter data T16ETC15 = MSB T16ETC0 = LSB	0x0 to 0xffff	0x0	R/W	

D[15:0] T16ETC[15:0]: Counter Data

カウンタデータが読み出せます。（デフォルト: 0x0）
また、このレジスタにデータを書き込むことにより、カウンタ値をセットすることもできます。

0x5306: PWM Timer Control Register (T16E_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PWM Timer Control Register (T16E_CTL)	0x5306 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	INITOL	Initial output level	1 High 0 Low	0	R/W	
		D7	–	reserved	–	–	–	0 when being read.
		D6	SELFM	Fine mode select	1 Fine mode 0 Normal mode	0	R/W	
		D5	CBUFEN	Comparison buffer enable	1 Enable 0 Disable	0	R/W	
		D4	INVOUT	Inverse output	1 Invert 0 Normal	0	R/W	
		D3	CLKSEL	Input clock select	1 External 0 Internal	0	R/W	
		D2	OUTEN	Clock output enable	1 Enable 0 Disable	0	R/W	
		D1	T16ERST	Timer reset	1 Reset 0 Ignored	0	W	0 when being read.
		D0	T16ERUN	Timer run/stop control	1 Run 0 Stop	0	R/W	

D[15:9] Reserved

D8 INITOL: Initial Output Level Bit

タイマ出力の初期出力レベルを設定します。
1(R/W): High
0(R/W): Low(デフォルト)

クロック出力をOUTEN(D2)への0書き込みによりOffした場合、またはタイマをT16ERST(D1)への1書き込みによりリセットした場合、タイマ出力端子はここで設定した初期出力レベルになります。ただし、INVOUT(D4)が1の場合、このレベルは反転します。

D7 Reserved

D6 SELFM: Fine Mode Select Bit

クロック出力をファインモードに設定します。
1(R/W): ファインモード
0(R/W): 通常出力(デフォルト)

SELFMが1に設定されていると、クロック出力がファインモードに設定され、出力クロックのデューティを入力クロックの半周期単位で調整可能となります。
SELFMが0に設定されている場合は、通常のクロック出力が行われます。

D5 CBUFEN: Comparison Buffer Enable Bit

コンペアデータバッファへの書き込みを許可/禁止します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

CBUFENが1に設定されていると、コンペアデータの書き込み/読み出しがコンペアデータバッファに対して行われます。バッファの内容は、カウンタがソフトウェアまたはコンペアB信号によってリセットされた時点でコンペアデータレジスタにロードされます。
CBUFENが0に設定されている場合は、コンペアデータの書き込み/読み出しがコンペアデータレジスタに対して直接行われます。

D4 INVOUT: Inverse Output Control Bit

タイマ出力信号の極性を選択します。
1(R/W): 反転(アクティブLow)
0(R/W): 通常(アクティブHigh)(デフォルト)

INVOUTに1を書き込むと、TOUT出力用にアクティブLowの信号(Offレベル = High)が生成されます。INVOUTが0の場合は、アクティブHighの信号(Offレベル = Low)が生成されます。
本ビットへの1書き込みはINITOL(D8)で設定した初期出力レベルも反転します。

D3 CLKSEL: Input Clock Select Bit

タイマの入力クロックを選択します。
1(R/W): 外部クロック
0(R/W): 内部クロック(デフォルト)

CLKSELに0を書き込んだ場合は、タイマの入力クロックとして内部クロック(プリスケーラ出力)が選択されます。1を書き込んだ場合は外部クロック(EXCL3(P27)端子から入力するクロック)が選択され、イベントカウンタとして機能します。

注: P27ポートからEXCL3クロックを入力するには、P27MUX(D7/P2_PMUXレジスタ)に1を書き込み、P27端子の機能を変更しておく必要があります。

* **P27MUX**: P27 Port Function Select Bit in the P2 Port Function Select (P2_PMUX) Register

D2 OUTEN: Clock Output Enable Bit

TOUT信号(タイマ出力クロック)の出力制御を行います。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

OUTENに1を書き込むと、TOUT信号がTOUT(P26)出力端子から出力されます。OUTENに0を書き込むことによって出力は停止し、INVOUT(D4)およびINITOL(D8)の設定値に従ったOffレベルとなります。TOUT信号を出力する前に、P26ポート機能選択レジスタでP26をTOUT端子に設定しておく必要があります。

D1 T16ERST: Timer Reset Bit

カウンタをリセットします。
1(W): リセット
0(W): 無効
0(R): 読み出し時は常時0(デフォルト)

T16ERSTに1を書き込むことによって、PWM&キャプチャタイマのカウンタがリセットされます。

D0 T16ERUN: Timer Run/Stop Control Bit

タイマのRun/Stopを制御します。
1(R/W): Run
0(R/W): Stop(デフォルト)

PWM&キャプチャタイマはT16ERUNに1を書き込むことによってカウントアップを開始し、0の書き込みにより停止します。Stop状態ではリセットか次にRun状態にするまで、カウンタのデータは保持されます。また、Stop状態からRun状態にすることによって、保持していたデータから継続してカウントを進めることができます。

0x5308: PWM Timer Input Clock Select Register (T16E_CLK)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PWM Timer Input Clock Select Register (T16E_CLK)	0x5308 (16 bits)	D15–4	–	reserved	–		–	–	0 when being read.
		D3–0	T16EDF[3:0]	Timer input clock select (Prescaler output clock)	T16EDF[3:0]	Clock	0x0	R/W	
					0xf	reserved			
					0xe	PCLK•1/16384			
					0xd	PCLK•1/8192			
					0xc	PCLK•1/4096			
					0xb	PCLK•1/2048			
					0xa	PCLK•1/1024			
					0x9	PCLK•1/512			
					0x8	PCLK•1/256			
					0x7	PCLK•1/128			
					0x6	PCLK•1/64			
					0x5	PCLK•1/32			
					0x4	PCLK•1/16			
					0x3	PCLK•1/8			
					0x2	PCLK•1/4			
					0x1	PCLK•1/2			
					0x0	PCLK•1/1			

D[15:4] Reserved

D[3:0] T16EDF[3:0]: Timer Input Clock Select Bits

15種類のプリスケーラ出力クロックから、PWM&キャプチャタイマのカウントクロックを選択します。

表13.8.2 カウントクロックの選択

T16EDF[3:0]	プリスケーラ出力クロック	T16EDF[3:0]	プリスケーラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

（デフォルト: 0x0）

注: カウントクロックの設定は、PWM&キャプチャタイマがカウント停止中に行ってください。

0x530a: PWM Timer Interrupt Mask Register (T16E_IMSK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PWM Timer Interrupt Mask Register (T16E_IMSK)	0x530a (16 bits)	D15–2	–	reserved	–	–	–	0 when being read.
		D1	CBIE	Compare B interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	CAIE	Compare A interrupt enable	1 Enable 0 Disable	0	R/W	

D[15:2] Reserved

D1 CBIE: Compare B Interrupt Enable Bit

コンペアBマッチによる割り込みを許可または禁止します。
1（R/W）: 割り込み許可
0（R/W）: 割り込み禁止（デフォルト）

CBIEを1に設定するとITCへのコンペアB割り込み要求が許可され、0に設定すると割り込みが禁止されます。
なお、割り込みを発生させるには、ITCのPWM&キャプチャタイマ割り込みイネーブルビットも割り込み許可に設定する必要があります。

D0 CAIE: Compare A Interrupt Enable Bit

コンペアAマッチによる割り込みを許可または禁止します。
1（R/W）: 割り込み許可
0（R/W）: 割り込み禁止（デフォルト）

CAIEを1に設定するとITCへのコンペアA割り込み要求が許可され、0に設定すると割り込みが禁止されます。
なお、割り込みを発生させるには、ITCのPWM&キャプチャタイマ割り込みイネーブルビットも割り込み許可に設定する必要があります。

0x530c: PWM Timer Interrupt Flag Register (T16E_IFLG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PWM Timer Interrupt Flag Register (T16E_IFLG)	0x530c (16 bits)	D15–2	–	reserved	–	–	–	0 when being read.
		D1	CBIF	Compare B interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D0	CAIF	Compare A interrupt flag		0	R/W	

D[15:2] Reserved

D1 CBIF: Compare B Interrupt Flag

コンペアB割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり
0(R): 割り込み要因なし(デフォルト)
1(W): フラグをリセット
0(W): 無効

CBIFはコンペアB割り込みに対応する割り込みフラグです。CBIE(D1/T16E_IMSK)を1に設定しておくことにより、カウント中にカウンタがコンペアデータBレジスタの設定値に一致すると1にセットされます。同時に、ITCに対してPWM&キャプチャタイマ割り込み要求信号が出力されます。この割り込み要求信号により、ITC内のPWM&キャプチャタイマ割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

D0 CAIF: Compare A Interrupt Flag

コンペアA割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり
0(R): 割り込み要因なし(デフォルト)
1(W): フラグをリセット
0(W): 無効

CAIFはコンペアA割り込みに対応する割り込みフラグです。CAIE(D0/T16E_IMSK)を1に設定しておくことにより、カウント中にカウンタがコンペアデータAレジスタの設定値に一致すると1にセットされます。同時に、ITCに対してPWM&キャプチャタイマ割り込み要求信号が出力されます。この割り込み要求信号により、ITC内のPWM&キャプチャタイマ割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

割り込み要因の発生状態を本レジスタで管理するため、以下の処理が必要です。

1. ITCのPWM&キャプチャタイマ割り込みのトリガモードをレベルトリガモードに設定
2. 割り込み発生後は、割り込み処理ルーチン内で、T16Eモジュール内の割り込みフラグCAIF、CBIFをリセット(これによりITCの割り込みフラグもリセットされます)

CAIF、CBIFは1の書き込みによりリセットされます。

注: 不要な割り込みの発生を防止するため、CAIE(D0/T16E_IMSK)またはCBIE(D1/T16E_IMSK)によってコンペアAまたはコンペアB割り込みを許可する前に、対応するCAIFまたはCBIFをリセットしてください。

13.9 注意事項

- PWM&キャプチャタイマを動作させるには、その前にプリスケーラを動作させておく必要があります。
- カウントクロックの設定は、PWM&キャプチャタイマがカウント停止中に行ってください。
- タイマ出力を使用する場合、コンペアデータはA≧0、B≧1を設定してください。最小設定はA = 0、B = 1で、タイマ出力サイクルは入力クロックの1/2となります。
- コンペアデータをA > B(ファインモードの場合はA > B × 2)に設定するとコンペアBマッチ信号のみ発生し、コンペアAマッチ信号は発生しません。この場合、タイマ出力はLow(INVOUT = 1の場合はHigh)に固定されます。
- 不要な割り込みの発生を防止するため、CAIE(D0/T16E_IMSKレジスタ)またはCBIE(D1/T16E_IMSKレジスタ)によってコンペアAまたはコンペアB割り込みを許可する前に、対応するCAIF(D0/T16E_IFLGレジスタ)またはCBIF(D1/T16E_IFLGレジスタ)をリセットしてください。

14 8ビットOSC1タイマ(T8OSC1)

14.1 8ビットOSC1タイマの概要

S1C17701はOSC1クロックを源振とする8ビットOSC1タイマを1チャネル内蔵しています。
図14.1.1に8ビットOSC1タイマの構造を示します。

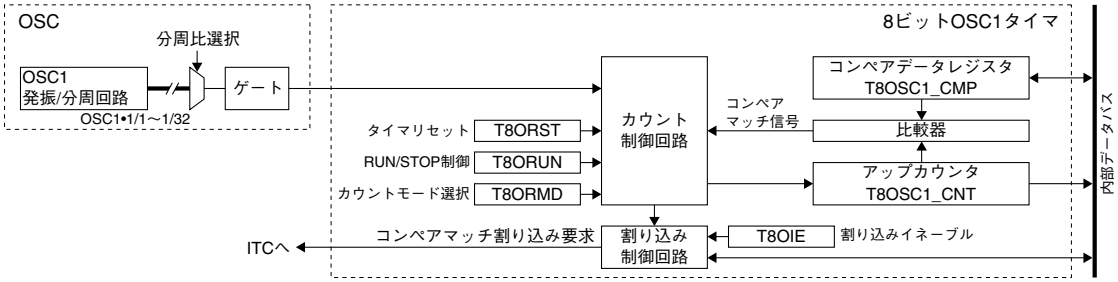


図14.1.1 8ビットOSC1タイマの構造

8ビットOSC1タイマには、8ビットのアップカウンタ(T8OSC1_CNTレジスタ)と8ビットのコンペアデータレジスタ(T8OSC1_CMPレジスタ)が設けられています。

8ビットカウンタはソフトウェアで0にリセット可能で、OSC1分周クロック(OSC1•1/1～OSC1•1/32)でカウントアップを行います。カウント値はソフトウェアで読み出すことができます。

コンペアデータレジスタはアップカウンタの内容と比較するためのデータを格納するレジスタです。カウンタ値がコンペアデータレジスタの内容に一致すると比較器によって信号が出力され、割り込みを制御します。したがって、コンペアデータレジスタにより割り込みの発生周期をプログラマブルに設定することができます。

14.2 8ビットOSC1タイマのカウントモード

8ビットOSC1タイマはリピートモードとワンショットモードの2つのカウントモードを持っています。この選択は、T8ORMD（D1/T8OSC1_CTLレジスタ）で行います。

＊ **T8ORMD**: Count Mode Select Bit in the 8-bit OSC1 Timer Control (T8OSC1_CTL) Register (D1/0x50c0)

リピートモード（T8ORMD = 0、デフォルト）

T8ORMDを0に設定すると、8ビットOSC1タイマはリピートモードに設定されます。
このモードでは、カウントを開始するとアプリケーションプログラムで停止するまで8ビットOSC1タイマは停止しません。カウンタがコンペアデータに一致すると、タイマはカウンタをリセットしてカウントを継続します。同時に割り込み信号を出力しますので、任意の間隔で周期的な割り込みを発生させる場合に、8ビットOSC1タイマをこのモードに設定してください。

ワンショットモード（T8ORMD = 1）

T8ORMDを1に設定すると、8ビットOSC1タイマはワンショットモードに設定されます。
このモードでは、カウンタがコンペアデータに一致した時点で8ビットOSC1タイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、コンペアマッチ発生時に、タイマはカウンタをリセットしてから停止します。特定の待ち時間を作りたい場合などに、8ビットOSC1タイマをこのモードに設定してください。

注: カウントモードの設定は、8ビットOSC1タイマがカウント停止中に行ってください。

14.3 カウントクロック

8ビットOSC1タイマは、OSCモジュールが出力するOSC1分周クロックをカウントクロックとして使用します。OSCモジュールはOSC1クロックを1/1～1/32に分周して6種類のクロックを生成します。この中の1つをT8O1CK[2:0]（D[3:1]/OSC_T8OSC1レジスタ）で選択します。

* **T8O1CK[2:0]**: T8OSC1 Clock Division Ratio Select Bits in the T8OSC1 Clock Control (OSC_T8OSC1) Register (D[3:1]/0x5065)

表14.3.1 カウントクロックの選択

T8O1CK[2:0]	分周比
0x7～0x6	Reserved
0x5	OSC1•1/32
0x4	OSC1•1/16
0x3	OSC1•1/8
0x2	OSC1•1/4
0x1	OSC1•1/2
0x0	OSC1•1/1

（デフォルト: 0x0）

8ビットOSC1タイマへのクロック供給は、T8O1CE（D0/OSC_T8OSC1レジスタ）で制御します。T8O1CEのデフォルト設定は0で、クロックの供給は停止しています。T8O1CEを1に設定すると、上記の中から選択されたクロックが8ビットOSC1タイマに送られます。8ビットOSC1タイマの動作が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。

* **T8O1CE**: T8OSC1 Clock Enable Bit in the T8OSC1 Clock Control (OSC_T8OSC1) Register (D0/0x5065)

注: カウントクロックの設定は、8ビットOSC1タイマがカウント停止中に行ってください。

クロック制御の詳細については、“7 発振回路（OSC）”を参照してください。

14.4 8ビットOSC1タイマのリセット

8ビットOSC1タイマをリセットするには、T8ORSTビット（D4/T8OSC1_CTLレジスタ）に1を書き込みます。カウンタが0に初期化されます。

* **T8ORST**: Timer Reset Bit in the 8-bit OSC1 Timer Control (T8OSC1_CTL) Register (D4/0x50c0)

通常は、カウントアップを開始する前に、このビットに1を書き込みカウンタをリセットします。
カウント開始後は、カウンタがコンペアデータに一致するとハードウェアによってリセットされます。

14.5 コンペアデータの設定

コンペアデータはT8OCMP[7:0]（D[7:0]/T8OSC1_CMPレジスタ）に書き込みます。

＊ **T8OCMP[7:0]**: Compare Data Bits in the 8-bit OSC1 Timer Compare Data (T8OSC1_CMP) Register (D[7:0]/0x50c2)

イニシャルリセット時、コンペアデータレジスタは0x0に設定されます。

タイマはコンペアデータレジスタとカウントデータを比較し、同じ値になったところでカウンタをリセットすると共にコンペアマッチ信号を発生します。このコンペアマッチ信号により割り込みを発生可能です。
コンペアマッチ周期は次のように計算できます。

$$\text{コンペアマッチ期間} = \frac{\text{CMP} + 1}{\text{clk_in}} \text{ [s]}$$

$$\text{コンペアマッチ周期} = \frac{\text{clk_in}}{\text{CMP} + 1} \text{ [Hz]}$$

CMP: コンペアデータ（T8OSC1_CMPレジスタ値）
clk_in: 8ビットOSC1タイマカウントクロック周波数

14.6 8ビットOSC1タイマRUN/STOP制御

8ビットOSC1タイマの動作を開始させる前に、以下の設定を行ってください。
(1)カウントモード(ワンショットまたはリピート)を設定します。14.2節を参照してください。
(2)動作クロックを選択します。14.3節を参照してください。
(3)割り込みを使用する場合は、割り込みレベルを設定し、8ビットOSC1タイマの割り込みを許可します。14.7節を参照してください。
(4)タイマをリセットします。14.4節を参照してください。
(5)コンペアデータを設定します。14.5節を参照してください。

8ビットOSC1タイマには、Run/Stopを制御するT8ORUN(D0/T8OSC1_CTLレジスタ)が設けられています。

* **T8ORUN**: Timer Run/Stop Control Bit in the 8-bit OSC1 Timer Control (T8OSC1_CTL) Register (D0/0x50c0)

タイマはT8ORUNに1を書き込むことによってカウントを開始します。T8ORUNに0を書き込むとクロックの入力が禁止され、カウントは停止します。
この制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。
T8ORUNとT8ORSTに同時に1を書き込んだ場合、タイマはカウンタをリセット後にカウントを開始します。

カウント中にカウンタがコンペアデータレジスタの設定値と一致すると、コンペアマッチ信号が出力され、コンペアマッチ割り込み要因が発生します。同時にカウンタが0にリセットされます。割り込みを許可している場合は、割り込み要求が割り込みコントローラ(ITC)に送られます。
ワンショットモードに設定されている場合、タイマはカウントを停止します。
リピートモードに設定されている場合、タイマは0からカウントを継続します。

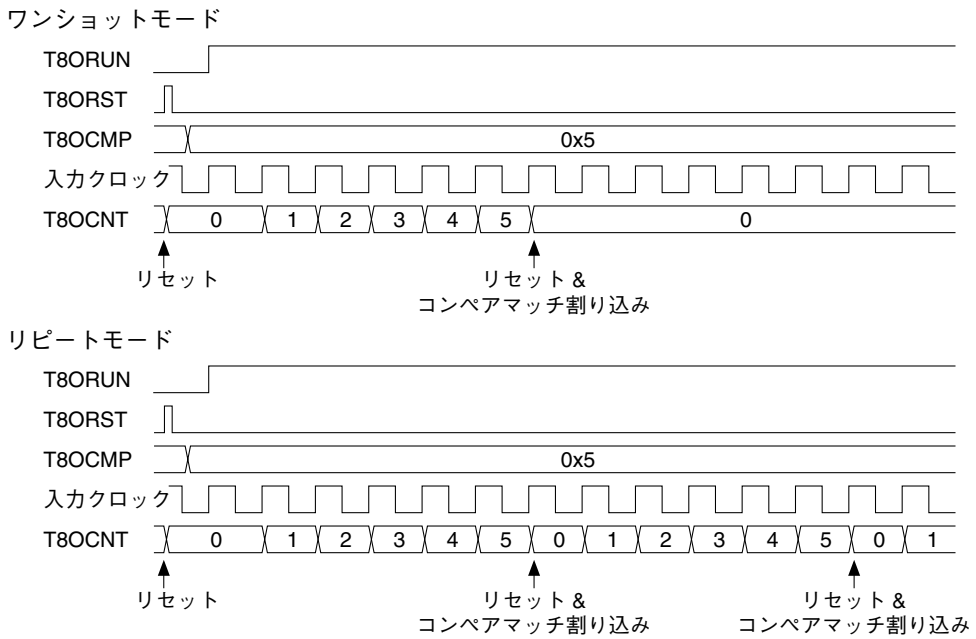


図14.6.1 カウンタの基本動作タイミング

14.7 8ビットOSC1タイマ割り込み

T8OSC1モジュールは、コンペアマッチにより割り込み要求を割り込みコントローラ(ITC)に出力可能です。

コンペアマッチ割り込み

この割り込み要求は、カウント中にカウンタがコンペアデータレジスタの設定値に一致すると発生し、T8OSC1モジュール内の割り込みフラグT8OIF(D0/T8OSC1_IFLGレジスタ)を1にセットします。

* **T8OIF**: 8-bit OSC1 Timer Interrupt Flag in the 8-bit OSC1 Timer Interrupt Flag (T8OSC1_IFLG) Register (D0/0x50c4)

この割り込みを使用するには、T8OIE(D0/T8OSC1_IMSKレジスタ)を1に設定します。T8OIEが0(デフォルト)に設定されているとT8OIFは1にセットされず、この要因による割り込み要求はITCに送られません。

* **T8OIE**: 8-bit OSC1 Timer Interrupt Enable Bit in the 8-bit OSC1 Timer Interrupt Mask (T8OSC1_IMSK) Register (D0/0x50c3)

T8OIFが1にセットされるとT8OSC1モジュールは割り込み要求をITCに出力します。この割り込み要求信号により、ITC内の8ビットOSC1タイマ割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。
割り込み処理ルーチン内では、ITCの8ビットOSC1タイマ割り込みフラグではなくT8OSC1モジュールのT8OIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

注: 不要な割り込みの発生を防止するため、T8OIEによって8ビットOSC1タイマ割り込みを許可する前に、T8OIFをリセットしてください。

8ビットOSC1タイマ割り込み用ITCレジスタ

前述の設定により、コンペアマッチが発生すると、8ビットOSC1タイマは割り込み信号をITCに出力します。
8ビットOSC1タイマ割り込みを発生させるには、ITCレジスタで割り込みレベルと割り込み許可の設定を行ってください。
以下に、8ビットOSC1タイマ用のITC制御ビットを示します。

ITC内の割り込みフラグ

* **EIFT4**: 8-bit OSC1 Timer Interrupt Flag in the Interrupt Flag (ITC_IFLG) Register (D4/0x4300)

ITC内の割り込みイネーブルビット

* **EIEN4**: 8-bit OSC1 Timer Interrupt Enable Bit in the Interrupt Enable (ITC_EN) Register (D4/0x4302)

ITC内の割り込みレベル設定ビット

* **EILV4[2:0]**: T8OSC1 Interrupt Level Bits in the External Interrupt Level Setup (ITC_ELV2) Register 2 (D[2:0]/0x430a)

ITC内の割り込みトリガモード選択ビット(1に固定してください)

* **EITG4**: T8OSC1 Interrupt Trigger Mode Select Bit in the External Interrupt Level Setup (ITC_ELV2) Register 2 (D4/0x430a)

T8OSC1モジュールで割り込みが許可されたコンペアマッチが発生すると、EIFT4が1にセットされます。このとき、EIEN4が1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。8ビットOSC1タイマによる割り込みを禁止するには、EIEN4を0に設定しておきます。EIFT4は、EIEN4の設定にかかわらず(0に設定されていても)、T8OSC1モジュールからの割り込み信号によって1にセットされます。
EILV4[2:0]は、8ビットOSC1タイマ割り込みのレベル(0～7)を設定します。

S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。
- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- 8ビットOSC1タイマ割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、"6 割り込みコントローラ(ITC)"を参照してください。

注: 割り込み要因の発生状態をT8OSC1モジュールの割り込みフラグで管理するため、以下の処理が必要です。

1. **ITCの8ビットOSC1タイマ割り込みのトリガモードをレベルトリガモードに設定**
2. **割り込み発生後は、割り込み処理ルーチン内で、T8OSC1モジュール内の割り込みフラグT8OIFをリセット(これによりITCの割り込みフラグもリセットされます)**

割り込みベクタ

8ビットOSC1タイマ割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号: 8(0x08)
ベクタアドレス: 0x8020

14.8 制御レジスタ詳細

表14.8.1 8ビットOSC1タイマレジスター覧

アドレス	レジスタ名		機　能
0x50c0	T8OSC1_CTL	8-bit OSC1 Timer Control Register	タイマモードの設定とタイマのRUN/STOP
0x50c1	T8OSC1_CNT	8-bit OSC1 Timer Counter Data Register	カウンタデータ
0x50c2	T8OSC1_CMP	8-bit OSC1 Timer Compare Data Register	コンペアデータの設定
0x50c3	T8OSC1_IMSK	8-bit OSC1 Timer Interrupt Mask Register	割り込みマスクの設定
0x50c4	T8OSC1_IFLG	8-bit OSC1 Timer Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、8ビットOSC1タイマのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x50c0: 8-bit OSC1 Timer Control Register (T8OSC1_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
8-bit OSC1 Timer Control Register (T8OSC1_CTL)	0x50c0 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	T8ORST	Timer reset	1 Reset 0 Ignored	0	W	
		D3–2	–	reserved	–	–	–	
		D1	T8ORMD	Count mode select	1 One shot 0 Repeat	0	R/W	
		D0	T8ORUN	Timer run/stop control	1 Run 0 Stop	0	R/W	

D[7:5] Reserved

D4 T8ORST: Timer Reset Bit

8ビットOSC1タイマをリセットします。
1（W）: リセット
0（W）: 無効
0（R）: 読み出し時は常時0（デフォルト）

このビットに1を書き込むことによって、カウンタが0にリセットされます。

D[3:2] Reserved

D1 T8ORMD: Count Mode Select Bit

8ビットOSC1タイマのカウントモードを選択します。
1（R/W）: ワンショットモード
0（R/W）: リピートモード（デフォルト）

T8ORMDを0に設定すると、8ビットOSC1タイマはリピートモードに設定されます。このモードでは、カウントを開始するとアプリケーションプログラムで停止するまで8ビットタイマは停止しません。カウンタがコンペアデータレジスタの値に一致すると、タイマはカウンタをリセットし、カウントを継続します。これにより、タイマは周期的にコンペアマッチ信号を出力します。任意の間隔で周期的な割り込みを発生させる場合は、8ビットOSC1タイマをこのモードに設定してください。

T8ORMDを1に設定すると、8ビットOSC1タイマはワンショットモードに設定されます。このモードでは、カウンタがコンペアデータレジスタの値に一致した時点で8ビットOSC1タイマは自動的に停止します。したがって、タイマをスタート後、割り込みを1回のみ発生可能です。なお、コンペアマッチ発生時に、タイマはカウンタをリセットしてから停止します。特定の待ち時間を作りたい場合などに、8ビットOSC1タイマをこのモードに設定してください。

注: カウントモードの設定は、8ビットOSC1タイマがカウント停止中に行ってください。

D0 T8ORUN: Timer Run/Stop Control Bit

タイマのRun/Stopを制御します。
1（R/W）: Run
0（R/W）: Stop（デフォルト）

タイマはT8ORUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。Stop状態ではリセットか次にRun状態にするまで、カウンタのデータは保持されます。

0x50c1: 8-bit OSC1 Timer Counter Data Register (T8OSC1_CNT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
8-bit OSC1 Timer Counter Data Register (T8OSC1_CNT)	0x50c1 (8 bits)	D7–0	T8OCNT[7:0]	Timer counter data T8OCNT7 = MSB T8OCNT0 = LSB	0x0 to 0xff	0x0	R	

D[7:0] T8OCNT[7:0]: Counter Data

カウンタデータが読み出せます。（デフォルト: 0x0）
このレジスタはリードオンリのため、データの書き込みはできません。

注: カウント動作中にこのレジスタを読み出すと、カウンタ値が正しく読み出されない（読み出し値が不定になる）ことがあります。
カウンタ値は、以下のいずれかの方法で取得してください。
- カウンタを停止した状態でカウンタ値を読み出します。
- カウンタ値を2回続けて読み出し、2回とも同じ結果が得られた場合にその値を有効とします。

0x50c2: 8-bit OSC1 Timer Compare Data Register (T8OSC1_CMP)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
8-bit OSC1 Timer Compare Data Register (T8OSC1_CMP)	0x50c2 (8 bits)	D7–0	T8OCMP[7:0]	Compare data T8OCMP7 = MSB T8OCMP0 = LSB	0x0 to 0xff	0x0	R/W	

D[7:0] T8OCMP[7:0]: Compare Data

8ビットOSC1タイマのコンペアデータを設定します。（デフォルト: 0x0）
設定したデータがカウンタデータと比較され、内容が一致したところでコンペアマッチ割り込み要因が発生します。同時に、カウンタが0にリセットされます。

0x50c3: 8-bit OSC1 Timer Interrupt Mask Register (T8OSC1_IMSK)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
8-bit OSC1 Timer Interrupt Mask Register (T8OSC1_IMSK)	0x50c3 (8 bits)	D7–1	–	reserved	–				–	–	0 when being read.
		D0	T8OIE	8-bit OSC1 timer interrupt enable	1	Enable	0	Disable	0	R/W	

D[7:1] Reserved

D0 T8OIE: 8-bit OSC1 Timer Interrupt Enable Bit

コンペアマッチによる割り込みを許可または禁止します。
1（R/W）: 割り込み許可
0（R/W）: 割り込み禁止（デフォルト）

T8OIEを1に設定するとITCへの8ビットOSC1タイマ割り込み要求が許可され、0に設定すると割り込みが禁止されます。
なお、割り込みを発生させるには、ITCの8ビットOSC1タイマ割り込みイネーブルビットも割り込み許可に設定する必要があります。

0x50c4: 8-bit OSC1 Timer Interrupt Flag Register (T8OSC1_IFLG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
8-bit OSC1 Timer Interrupt Flag Register (T8OSC1_IFLG)	0x50c4 (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	T8OIF	8-bit OSC1 timer interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

D[7:1] Reserved

D0 T8OIF: 8-bit OSC1 Timer Interrupt Flag

コンペアマッチ割り込み要因の発生状態を示す割り込みフラグです。

1（R）: 割り込み要因あり
0（R）: 割り込み要因なし（デフォルト）
1（W）: フラグをリセット
0（W）: 無効

T8OIFはT8OSC1モジュールの割り込みフラグです。T8OIE（D0/T8OSC1_IMSKレジスタ）を1に設定しておくことにより、カウント中にカウンタがコンペアデータレジスタの設定値に一致すると1にセットされます。同時に、ITCに対して8ビットOSC1タイマ割り込み要求信号が出力されます。この割り込み要求信号により、ITC内の8ビットOSC1タイマ割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。
割り込み要因の発生状態を本レジスタで管理するため、以下の処理が必要です。

1. ITCの8ビットOSC1タイマ割り込みのトリガモードをレベルトリガモードに設定
2. 割り込み発生後は、割り込み処理ルーチン内で、T8OSC1モジュール内の割り込みフラグT8OIFをリセット（これによりITCの割り込みフラグもリセットされます）

T8OIFは1の書き込みによりリセットされます。

注: 不要な割り込みの発生を防止するため、T8OIE（D0/T8OSC1_IMSKレジスタ）によってコンペアマッチ割り込みを許可する前に、T8OIFをリセットしてください。

14.9 注意事項

- 8ビットOSC1タイマを動作させるには、その前にOSCモジュールから8ビットOSC1タイマ用クロックを出力させておく必要があります。
- カウントクロックとカウントモードの設定は、8ビットOSC1タイマがカウント停止中に行ってください。
- 不要な割り込みの発生を防止するため、T8OIE(D0/T8OSC1_IMSKレジスタ)によってコンペアマッチ割り込みを許可する前に、T8OIF(D0/T8OSC1_IFLGレジスタ)をリセットしてください。
- カウント動作中にカウンタデータレジスタを読み出すと、カウンタ値が正しく読み出されない(読み出し値が不定になる)ことがあります。
  カウンタ値を取得する場合は、カウンタを停止した状態でカウンタデータレジスタを読み出してください。あるいは、カウンタデータレジスタを2回続けて読み出して、2回とも同じ結果が得られた場合にその値を有効としてください。

このページはブランクです。

15 計時タイマ(CT)

15.1 計時タイマの概要

S1C17701はOSC1クロックを源振とする計時タイマを1チャネル内蔵しています。
計時タイマはOSC1クロックを分周した256Hz信号を入力クロックとする8ビットのバイナリカウンタで構成され、各ビット(128～1Hz)のデータをソフトウェアによって読み出すことができます。
また、計時タイマは32Hz、8Hz、2Hz、1Hzの各信号によって割り込みを発生させることができます。
通常はこの計時タイマを、時計などのような各種の計時機能に使用します。
図15.1.1に計時タイマの構造を示します。

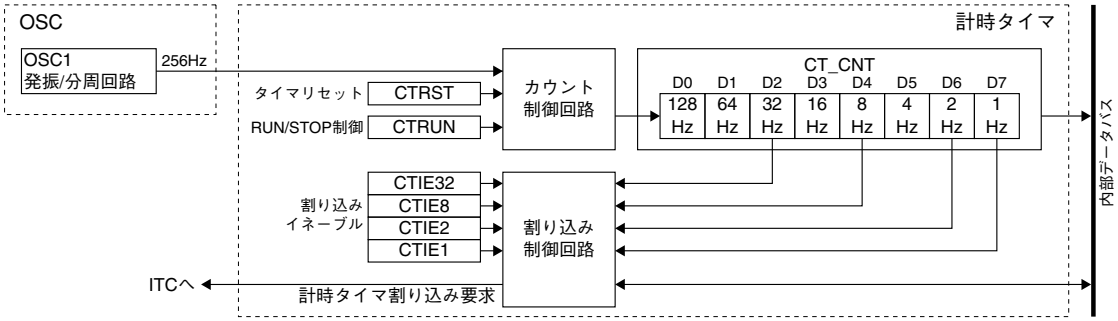


図15.1.1 計時タイマの構造

15.2 動作クロック

計時タイマは、OSCモジュールが出力する256Hzクロックを動作クロックとして使用します。
OSCモジュールはOSC1クロックを1/128に分周してこの動作クロックを生成します。したがって、OSC1クロック周波数が32.768kHzの場合に256Hzとなります。それ以外のOSC1クロック周波数では、本節に記載の周波数が変わります。
OSCモジュールに256Hzクロックの出力制御ビットは設けられていません。OSC1発振がOnの場合は、常に256Hzクロックが計時タイマに供給されます。
OSC1発振回路の制御については、“7 発振回路(OSC)”を参照してください。

15.3 計時タイマのリセット

計時タイマをリセットするには、CTRSTビット（D4/CT_CTLレジスタ）に1を書き込みます。カウンタが0にクリアされます。

＊ **CTRST**: Clock Timer Reset Bit in the Clock Timer Control (CT_CTL) Register (D4/0x5000)

この操作以外では、イニシャルリセットによりカウンタがクリアされます。

15.4 計時タイマRUN/STOP制御

計時タイマの動作を開始させる前に、以下の設定を行ってください。
(1)割り込みを使用する場合は、割り込みレベルを設定し、計時タイマの割り込みを許可します。15.5節を参照してください。
(2)タイマをリセットします。15.3節を参照してください。

計時タイマには、Run/Stopを制御するCTRUN(D0/CT_CTLレジスタ)が設けられています。

* **CTRUN**: Clock Timer Run/Stop Control Bit in the Clock Timer Control (CT_CTL) Register (D0/0x5000)

計時タイマはCTRUNに1を書き込むことによって動作を開始します。CTRUNに0を書き込むとクロックの入力が禁止され、動作は停止します。
この制御はカウンタ(CT_CNTレジスタ)のデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。CTRUNとCTRSTに同時に1を書き込んだ場合、計時タイマはカウンタをリセット後にカウントを開始します。

カウント中は32Hz、8Hz、2Hz、1Hz信号の立ち下がりエッジでそれぞれの割り込み要因が発生します。割り込みを許可している場合は、割り込み要求が割り込みコントローラ(ITC)に送られます。

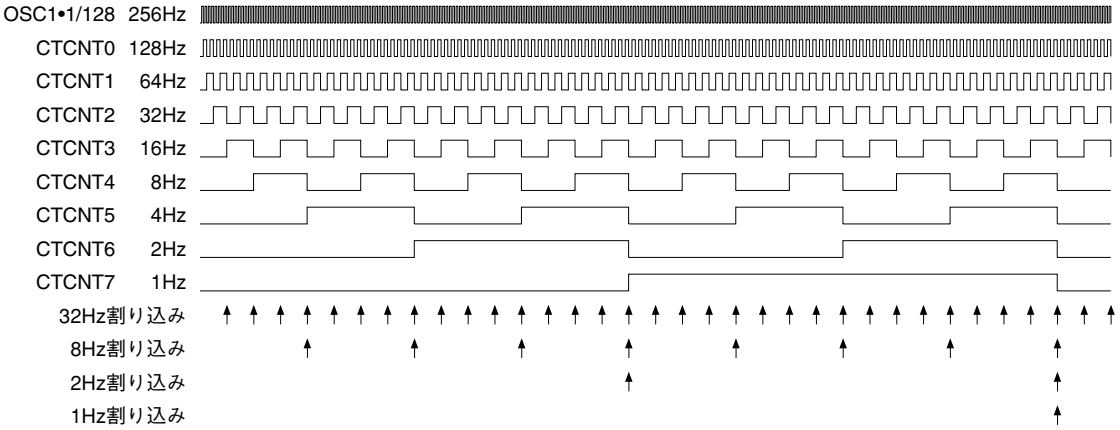


図15.4.1 計時タイマのタイミングチャート

注: 計時タイマはCTRUNへの書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRun/Stop状態となります。したがって、CTRUNに0を書き込んだ場合は、"+1"余分にカウントしたところでタイマが停止状態となります。また、このときCTRUNは実際にタイマがStop状態となるまで、読み出しに対して1を保持します。
図15.4.2にRun/Stop制御のタイミングチャートを示します。

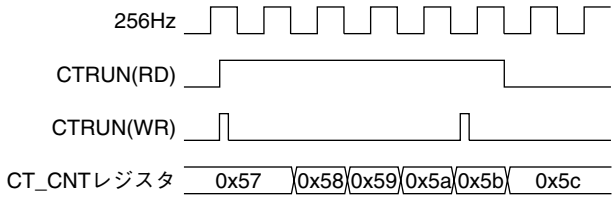


図15.4.2 Run/Stop制御のタイミングチャート

15.5 計時タイマ割り込み

CTモジュールには、以下の4種類の割り込みを発生させる機能があります。
• 32Hz割り込み
• 8Hz割り込み
• 2Hz割り込み
• 1Hz割り込み

CTモジュールは、上記4種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、CTモジュール内の割り込みフラグを読み出してください。

32Hz、8Hz、2Hz、1Hz割り込み

これらの割り込み要求は、32Hz、8Hz、2Hz、1Hz信号の立ち下がりエッジで発生し、CTモジュール内の以下の割り込みフラグを1にセットします。

* **CTIF32**: 32 Hz Interrupt Flag in the Clock Timer Interrupt Flag (CT_IFLG) Register (D3/0x5003)
* **CTIF8**: 8 Hz Interrupt Flag in the Clock Timer Interrupt Flag (CT_IFLG) Register (D2/0x5003)
* **CTIF2**: 2 Hz Interrupt Flag in the Clock Timer Interrupt Flag (CT_IFLG) Register (D1/0x5003)
* **CTIF1**: 1 Hz Interrupt Flag in the Clock Timer Interrupt Flag (CT_IFLG) Register (D0/0x5003)

これらの割り込みを使用するには、割り込みフラグに対応する以下の割り込みイネーブルビットを1に設定します。割り込みイネーブルビットが0(デフォルト)に設定されていると割り込みフラグは1にセットされず、その要因による割り込み要求はITCに送られません。

* **CTIE32**: 32 Hz Interrupt Enable Bit in the Clock Timer Interrupt Mask (CT_IMSK) Register (D3/0x5002)
* **CTIE8**: 8 Hz Interrupt Enable Bit in the Clock Timer Interrupt Mask (CT_IMSK) Register (D2/0x5002)
* **CTIE2**: 2 Hz Interrupt Enable Bit in the Clock Timer Interrupt Mask (CT_IMSK) Register (D1/0x5002)
* **CTIE1**: 1 Hz Interrupt Enable Bit in the Clock Timer Interrupt Mask (CT_IMSK) Register (D0/0x5002)

CTIF*が1にセットされるとCTモジュールは割り込み要求をITCに出力します。この割り込み要求信号により、ITC内の計時タイマ割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。
計時タイマ割り込みがどの周波数によるものかについては、計時タイマ割り込み処理ルーチンでCTIF*を読み出して確認してください。
また、割り込み処理ルーチン内では、ITCの計時タイマ割り込みフラグではなくCTモジュールのCTIF*をリセット(1を書き込み)して割り込み要因をクリアしてください。

注: 不要な割り込みの発生を防止するため、CTIE*によって計時タイマ割り込みを許可する前に、CTIF*をリセットしてください。

計時タイマ割り込み用ITCレジスタ

前述の設定により、割り込みを許可した周波数の立ち下がりエッジで計時タイマは割り込み信号をITCに出力します。計時タイマ割り込みを発生させるには、ITCレジスタで割り込みレベルと割り込み許可の設定を行ってください。
以下に、計時タイマ用のITC制御ビットを示します。

ITC内の割り込みフラグ
* **EIFT3**: Clock Timer Interrupt Flag in the Interrupt Flag (ITC_IFLG) Register (D3/0x4300)

ITC内の割り込みイネーブルビット
* **EIEN3**: Clock Timer Interrupt Enable Bit in the Interrupt Enable (ITC_EN) Register (D3/0x4302)

ITC内の割り込みレベル設定ビット
* **EILV3[2:0]**: CT Interrupt Level Bits in the External Interrupt Level Setup (ITC_ELV1) Register 1 (D[10:8]/0x4308)

ITC内の割り込みトリガモード選択ビット(1に固定してください)
* **EITG3**: CT Interrupt Trigger Mode Select Bit in the External Interrupt Level Setup (ITC_ELV1) Register 1 (D12/0x4308)

CTモジュールで割り込みが許可された32/8/2/1Hz信号の立ち下がりエッジで、EIFT3が1にセットされます。このとき、EIEN3が1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。計時タイマによる割り込みを禁止するには、EIEN3を0に設定しておきます。EIFT3は、EIEN3の設定にかかわらず(0に設定されていても)、CTモジュールからの割り込み信号によって1にセットされます。
EILV3[2:0]は、計時タイマ割り込みのレベル(0〜7)を設定します。
S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- 計時タイマ割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、"6 割り込みコントローラ(ITC)"を参照してください。

注: 割り込み要因の発生状態をCTモジュールの割り込みフラグで管理するため、以下の処理が必要です。

1. **ITCの計時タイマ割り込みのトリガモードをレベルトリガモードに設定**
2. **割り込み発生後は、割り込み処理ルーチン内で、CTモジュール内の割り込みフラグCTIF*をリセット(これによりITCの割り込みフラグもリセットされます)**

割り込みベクタ

計時タイマ割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号: 7(0x07)
ベクタアドレス: 0x801c

15.6 制御レジスタ詳細

表15.6.1 計時タイマレジスター一覧

アドレス	レジスタ名		機　能
0x5000	CT_CTL	Clock Timer Control Register	タイマのリセットとRUN/STOP制御
0x5001	CT_CNT	Clock Timer Counter Register	カウンタデータ
0x5002	CT_IMSK	Clock Timer Interrupt Mask Register	割り込みマスクの設定
0x5003	CT_IFLG	Clock Timer Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、計時タイマのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5000: Clock Timer Control Register (CT_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Timer Control Register (CT_CTL)	0x5000 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	CTRST	Clock timer reset	1 Reset 0 Ignored	0	W	
		D3–1	–	reserved	–	–	–	
		D0	CTRUN	Clock timer run/stop control	1 Run 0 Stop	0	R/W	

D[7:5] Reserved

D4 CTRST: Clock Timer Reset Bit

計時タイマをリセットします。
1(W): リセット
0(W): 無効
0(R): 読み出し時は常時0(デフォルト)

このビットに1を書き込むことによって、カウンタが0x0にリセットされます。計時タイマがRun状態でリセットを行うとリセット直後にリスタートします。また、Stop状態の場合はリセットデータ0x0が保持されます。

D[3:1] Reserved

D0 CTRUN: Clock Timer Run/Stop Control Bit

計時タイマのRun/Stopを制御します。
1(R/W): Run
0(R/W): Stop(デフォルト)

計時タイマはCTRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。Stop状態ではリセットか次にRun状態にするまで、カウンタのデータは保持されます。

0x5001: Clock Timer Counter Register (CT_CNT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Timer Counter Register (CT_CNT)	**0x5001** (8 bits)	D7–0	**CTCNT[7:0]**	Clock timer counter value	0x0 to 0xff	0	R	

D[7:0] CTCNT[7:0]: Clock Timer Counter Value

カウンタデータが読み出せます。(デフォルト: 0xff)
このレジスタはリードオンリのため、データの書き込みはできません。
各ビットと周波数の対応は以下のとおりです。

D7: 1Hz
D6: 2Hz
D5: 4Hz
D4: 8Hz
D3: 16Hz
D2: 32Hz
D1: 64Hz
D0: 128Hz

注: カウント動作中にこのレジスタを読み出すと、カウンタ値が正しく読み出されない(読み出し値が不定になる)ことがあります。
カウンタ値は、以下のいずれかの方法で取得してください。
- カウンタを停止した状態でカウンタ値を読み出します。
- カウンタ値を2回続けて読み出し、2回とも同じ結果が得られた場合にその値を有効とします。

0x5002: Clock Timer Interrupt Mask Register (CT_IMSK)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
Clock Timer Interrupt Mask Register (CT_IMSK)	0x5002 (8 bits)	D7–4	–	reserved	–				–	–	0 when being read.
		D3	CTIE32	32 Hz interrupt enable	1	Enable	0	Disable	0	R/W	
		D2	CTIE8	8 Hz interrupt enable	1	Enable	0	Disable	0	R/W	
		D1	CTIE2	2 Hz interrupt enable	1	Enable	0	Disable	0	R/W	
		D0	CTIE1	1 Hz interrupt enable	1	Enable	0	Disable	0	R/W	

本レジスタは、計時タイマの32Hz、8Hz、2Hz、1Hz信号による割り込み要求を個々に許可または禁止します。CTIE∗ビットを1に設定すると、対応する周波数の信号の立ち下がりエッジによる計時タイマ割り込み要求が許可され、0に設定すると割り込みが禁止されます。
なお、割り込みを発生させるには、ITCの計時タイマ割り込みイネーブルビットも割り込み許可に設定する必要があります。

D[7:4] Reserved

D3 CTIE32: 32 Hz Interrupt Enable Bit
32Hz信号による割り込みを許可または禁止します。
1(R/W): 割り込み許可
0(R/W): 割り込み禁止(デフォルト)

D2 CTIE8: 8 Hz Interrupt Enable Bit
8Hz信号による割り込みを許可または禁止します。
1(R/W): 割り込み許可
0(R/W): 割り込み禁止(デフォルト)

D1 CTIE2: 2 Hz Interrupt Enable Bit
2Hz信号による割り込みを許可または禁止します。
1(R/W): 割り込み許可
0(R/W): 割り込み禁止(デフォルト)

D0 CTIE1: 1 Hz Interrupt Enable Bit
1Hz信号による割り込みを許可または禁止します。
1(R/W): 割り込み許可
0(R/W): 割り込み禁止(デフォルト)

0x5003: Clock Timer Interrupt Flag Register (CT_IFLG)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
Clock Timer Interrupt Flag Register (CT_IFLG)	0x5003 (8 bits)	D7–4	–	reserved	–				–	–	0 when being read.
		D3	CTIF32	32 Hz interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D2	CTIF8	8 Hz interrupt flag					0	R/W	
		D1	CTIF2	2 Hz interrupt flag					0	R/W	
		D0	CTIF1	1 Hz interrupt flag					0	R/W	

本レジスタは、計時タイマの32Hz、8Hz、2Hz、1Hz信号による割り込み要因の発生状態を示します。計時タイマ割り込みが発生した場合は、本レジスタの割り込みフラグを読み出して発生した割り込み要因(周波数)を特定してください。CTIF*は32Hz、8Hz、2Hz、1Hz割り込みに個々に対応するCTモジュールの割り込みフラグです。CTIE*(CT_IMSKレジスタ)を1に設定しておくことにより、各信号の立ち下がりエッジで1にセットされます。同時に、ITCに対して計時タイマ割り込み要求信号が出力されます。この割り込み要求信号により、ITC内の計時タイマ割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。
割り込み要因の発生状態を本レジスタで管理するため、以下の処理が必要です。

1. ITCの計時タイマ割り込みのトリガモードをレベルトリガモードに設定
2. 割り込み発生後は、割り込み処理ルーチン内で、CTモジュール内の割り込みフラグをリセット
   (これによりITCの割り込みフラグもリセットされます)

CTIF*は1の書き込みによりリセットされます。

注: 不要な割り込みの発生を防止するため、CTIE*によって計時タイマ割り込みを許可する前に、CTIF*をリセットしてください。

D[7:4] Reserved

D3 CTIF32: 32 Hz Interrupt Flag

32Hz割り込み要因の発生状態を示す割り込みフラグです。
1(R): 割り込み要因あり
0(R): 割り込み要因なし(デフォルト)
1(W): フラグをリセット
0(W): 無効

CTIF32はCTIE32(D3/CT_IMSKレジスタ)を1に設定しておくことにより、32Hz信号の立ち下がりエッジで1にセットされます。

D2 CTIF8: 8 Hz Interrupt Flag

8Hz割り込み要因の発生状態を示す割り込みフラグです。
1(R): 割り込み要因あり
0(R): 割り込み要因なし(デフォルト)
1(W): フラグをリセット
0(W): 無効

CTIF8はCTIE8(D2/CT_IMSKレジスタ)を1に設定しておくことにより、8Hz信号の立ち下がりエッジで1にセットされます。

D1 CTIF2: 2 Hz Interrupt Flag

2Hz割り込み要因の発生状態を示す割り込みフラグです。
1(R): 割り込み要因あり
0(R): 割り込み要因なし(デフォルト)
1(W): フラグをリセット
0(W): 無効

CTIF2はCTIE2(D1/CT_IMSKレジスタ)を1に設定しておくことにより、2Hz信号の立ち下がりエッジで1にセットされます。

D0 CTIF1: 1 Hz Interrupt Flag

1Hz割り込み要因の発生状態を示す割り込みフラグです。
1(R): 割り込み要因あり
0(R): 割り込み要因なし(デフォルト)
1(W): フラグをリセット
0(W): 無効

CTIF1はCTIE1(D0/CT_IMSKレジスタ)を1に設定しておくことにより、1Hz信号の立ち下がりエッジで1にセットされます。

15.7 注意事項

- 計時タイマを動作させるには、その前にOSC1発振回路をOnさせておく必要があります。
- 不要な割り込みの発生を防止するため、CT_IMSKレジスタによって計時タイマ割り込みを許可する前に、CT_IFLGレジスタの割り込みフラグをリセットしてください。
- 計時タイマはCTRUN(D0/CT_CTLレジスタ)への書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRun/Stop状態となります。したがって、CTRUNに0を書き込んだ場合は、“+1”余分にカウントしたところでタイマが停止状態となります。また、このときCTRUNは実際にタイマがStop状態となるまで、読み出しに対して1を保持します。
  図15.7.1にRun/Stop制御のタイミングチャートを示します。

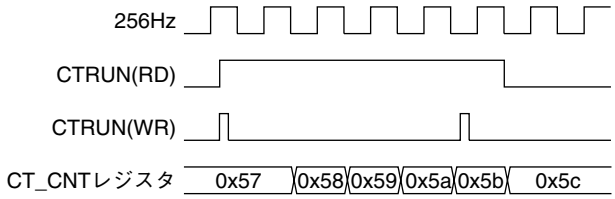


図15.7.1 Run/Stop制御のタイミングチャート

- 計時タイマがRunしている状態(CTRUN = 1)でslp命令を実行した場合は、SLEEP状態からの復帰時に計時タイマが不安定な動作となります。したがって、SLEEP状態へ移行する場合は、slp命令の実行以前に計時タイマをSTOP状態(CTRUN = 0)に設定してください。
- カウント動作中にカウンタレジスタを読み出すと、カウンタ値が正しく読み出されない(読み出し値が不定になる)ことがあります。
  カウンタ値を取得する場合は、カウンタを停止した状態でカウンタレジスタを読み出してください。あるいは、カウンタレジスタを2回続けて読み出して、2回とも同じ結果が得られた場合にその値を有効としてください。

16 ストップウォッチタイマ(SWT)

16.1 ストップウォッチタイマの概要

S1C17701は1/100秒と1/10秒のストップウォッチタイマを内蔵しています。ストップウォッチタイマはOSC1クロックを分周した256Hz信号を入力クロックとする4ビット2段のBCDカウンタ(1/100秒単位、1/10秒単位)で構成され、カウントデータをソフトウェアによって読み出すことができます。
また、ストップウォッチタイマは100Hz(近似100Hz)、10Hz(近似10Hz)、1Hzの各信号によって割り込みを発生させることができます。
図16.1.1にストップウォッチタイマの構造を示します。

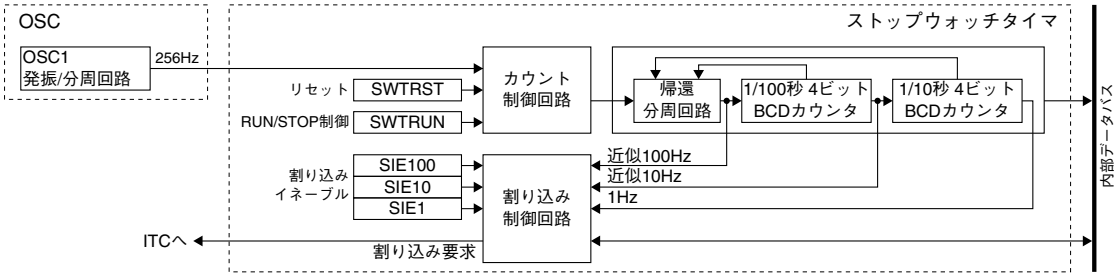


図16.1.1 ストップウォッチタイマの構造

16.2 BCDカウンタ

ストップウォッチタイマは、1/100秒と1/10秒の2個の4ビットBCDカウンタで構成されています。
カウント値はSWT_BCNTレジスタから読み出し可能です。

1/100秒カウンタ

* **BCD100[3:0]**: 1/100 Sec. BCD Counter Value in the Stopwatch Timer BCD Counter (SWT_BCNT) Register (D[3:0]/0x5021)

1/10秒カウンタ

* **BCD10[3:0]**: 1/10 Sec. BCD Counter Value in the Stopwatch Timer BCD Counter (SWT_BCNT) Register (D[7:4]/0x5021)

カウントアップパターン

256Hzクロックから100Hz信号、10Hz信号、1Hz信号を生成するため、帰還分周回路を使用して図16.2.1のようにカウンタのカウントアップパターンを変化させています。

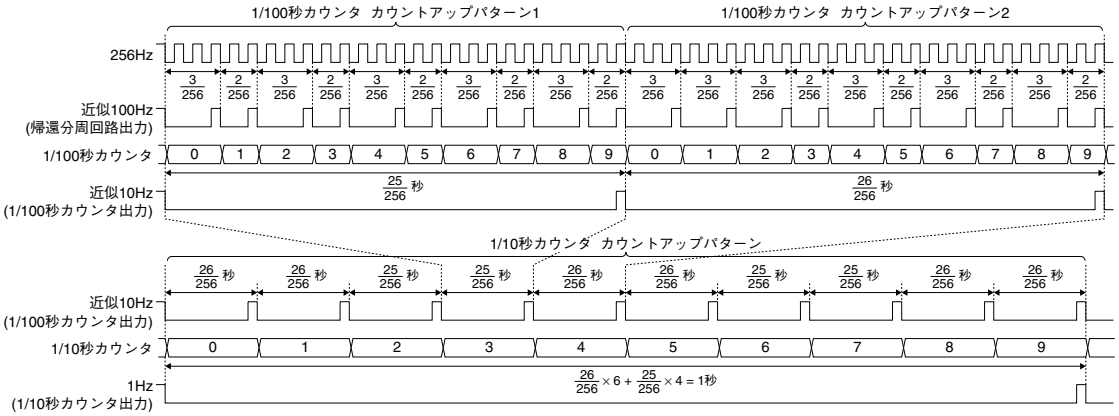


図16.2.1 ストップウォッチタイマのカウントアップパターン

帰還分周回路はOSCモジュールから供給される256Hz信号から2/256秒と3/256秒間隔の近似100Hz信号を発生します。

1/100秒カウンタは帰還分周回路が出力する近似100Hz信号をカウントして、25/256秒と26/256秒間隔の近似10Hz信号を発生します。
カウントアップは、2/256秒と3/256秒間隔による擬似的な1/100秒カウントとなります。

1/10秒カウンタは、1/100秒カウンタが発生する近似10Hz信号を4:6の割合でカウントして、1Hz信号を発生します。
カウントアップは、25/256秒と26/256秒間隔による擬似的な1/10秒カウントとなります。

16.3 動作クロック

ストップウォッチタイマは、OSCモジュールが出力する256Hzクロックを動作クロックとして使用します。OSCモジュールはOSC1クロックを1/128に分周してこの動作クロックを生成します。したがって、OSC1クロック周波数が32.768kHzの場合に256Hzとなります。それ以外のOSC1クロック周波数では、本節に記載の周波数が変わります。
OSCモジュールに256Hzクロックの出力制御ビットは設けられていません。OSC1発振がOnの場合は、常に256Hzクロックがストップウォッチタイマに供給されます。
OSC1発振回路の制御については、“7 発振回路(OSC)”を参照してください。

16.4 ストップウォッチタイマのリセット

ストップウォッチタイマをリセットするには、SWTRSTビット(D4/SWT_CTLレジスタ)に1を書き込みます。カウンタが0にクリアされます。

* **SWTRST**: Stopwatch Timer Reset Bit in the Stopwatch Timer Control (SWT_CTL) Register (D4/0x5020)

この操作以外では、イニシャルリセットによりカウンタがクリアされます。

16.5 ストップウォッチタイマRUN/STOP制御

ストップウォッチタイマの動作を開始させる前に、以下の設定を行ってください。
(1)割り込みを使用する場合は、割り込みレベルを設定し、ストップウォッチタイマの割り込みを許可します。16.6節を参照してください。
(2)タイマをリセットします。16.4節を参照してください。

ストップウォッチタイマには、Run/Stopを制御するSWTRUN(D0/SWT_CTLレジスタ)が設けられています。

＊ **SWTRUN**: Stopwatch Timer Run/Stop Control Bit in the Stopwatch Timer Control (SWT_CTL) Register (D0/0x5020)

ストップウォッチタイマはSWTRUNに1を書き込むことによって動作を開始します。SWTRUNに0を書き込むとクロックの入力が禁止され、動作は停止します。
この制御はカウンタ(SWT_BCNTレジスタ)のデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。SWTRUNとSWTRSTに同時に1を書き込んだ場合、ストップウォッチタイマはカウンタをリセット後にカウントを開始します。

カウント中は100Hz(近似100Hz)、10Hz(近似10Hz)、1Hz信号の立ち下がりエッジでそれぞれの割り込み要因が発生します。割り込みを許可している場合は、割り込み要求が割り込みコントローラ(ITC)に送られます。

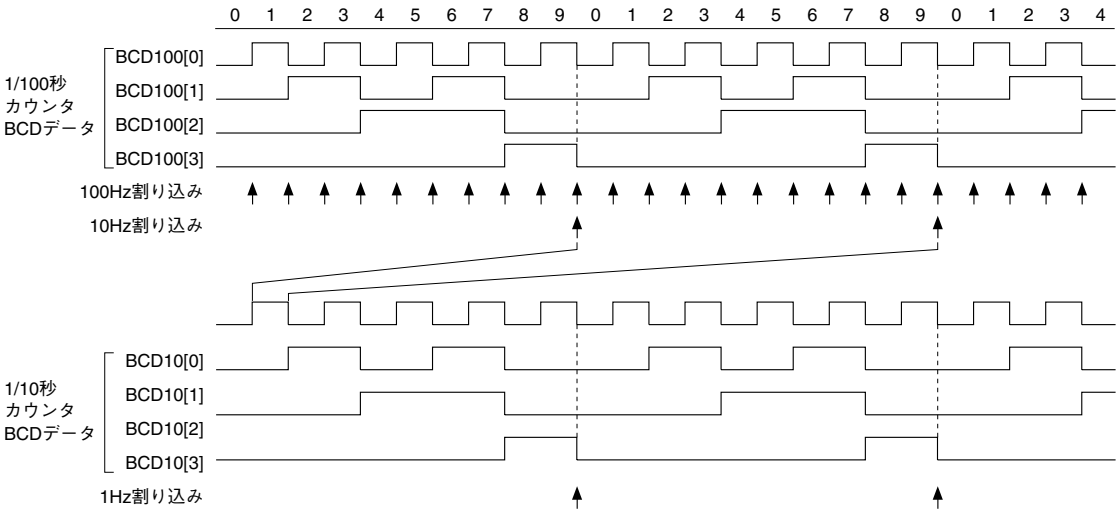


図16.5.1 ストップウォッチタイマのタイミングチャート

注: ストップウォッチタイマはSWTRUNへの書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRun/Stop状態となる場合があります。したがって、SWTRUNに0を書き込んだ場合は、"+1"余分にカウントしたところでタイマが停止状態となります。また、このときSWTRUNは実際にタイマがStop状態となるまで、読み出しに対して1を保持します。
図16.5.2にRun/Stop制御のタイミングチャートを示します。

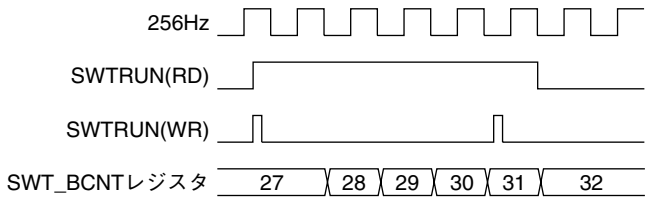


図16.5.2 Run/Stop制御のタイミングチャート

16.6 ストップウォッチタイマ割り込み

SWTモジュールには、以下の3種類の割り込みを発生させる機能があります。
• 100Hz割り込み
• 10Hz割り込み
• 1Hz割り込み

SWTモジュールは、上記3種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、SWTモジュール内の割り込みフラグを読み出してください。

100Hz、10Hz、1Hz割り込み

これらの割り込み要求は、100Hz(近似100Hz)、10Hz(近似10Hz)、1Hz信号の立ち下がりエッジで発生し、SWTモジュール内の以下の割り込みフラグを1にセットします。

* **SIF1**: 1 Hz Interrupt Flag in the Stopwatch Timer Interrupt Flag (SWT_IFLG) Register (D2/0x5023)
* **SIF10**: 10 Hz Interrupt Flag in the Stopwatch Timer Interrupt Flag (SWT_IFLG) Register (D1/0x5023)
* **SIF100**: 100 Hz Interrupt Flag in the Stopwatch Timer Interrupt Flag (SWT_IFLG) Register (D0/0x5023)

これらの割り込みを使用するには、割り込みフラグに対応する以下の割り込みイネーブルビットを1に設定します。割り込みイネーブルビットが0(デフォルト)に設定されていると割り込みフラグが1にセットされず、その要因による割り込み要求はITCに送られません。

* **SIE1**: 1 Hz Interrupt Enable Bit in the Stopwatch Timer Interrupt Mask (SWT_IMSK) Register (D2/0x5022)
* **SIE10**: 10 Hz Interrupt Enable Bit in the Stopwatch Timer Interrupt Mask (SWT_IMSK) Register (D1/0x5022)
* **SIE100**: 100 Hz Interrupt Enable Bit in the Stopwatch Timer Interrupt Mask (SWT_IMSK) Register (D0/0x5022)

SIF*が1にセットされるとSWTモジュールは割り込み要求をITCに出力します。この割り込み要求信号により、ITC内のストップウォッチタイマ割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。
ストップウォッチタイマ割り込みがどの周波数によるものかについては、ストップウォッチタイマ割り込み処理ルーチンでSIF*を読み出して確認してください。
また、割り込み処理ルーチン内では、ITCのストップウォッチタイマ割り込みフラグではなくSWTモジュールのSIF*をリセット(1を書き込み)して割り込み要因をクリアしてください。

注: 不要な割り込みの発生を防止するため、SIE*によってストップウォッチタイマ割り込みを許可する前に、SIF*をリセットしてください。

ストップウォッチタイマ割り込み用ITCレジスタ

前述の設定により、割り込みを許可した周波数の立ち下がりエッジでストップウォッチタイマは割り込み信号をITCに出力します。ストップウォッチタイマ割り込みを発生させるには、ITCレジスタで割り込みレベルと割り込み許可の設定を行ってください。
以下に、ストップウォッチタイマ用のITC制御ビットを示します。

ITC内の割り込みフラグ
* **EIFT2**: Stopwatch Timer Interrupt Flag in the Interrupt Flag (ITC_IFLG) Register (D2/0x4300)

ITC内の割り込みイネーブルビット
* **EIEN2**: Stopwatch Timer Interrupt Enable Bit in the Interrupt Enable (ITC_EN) Register (D2/0x4302)

ITC内の割り込みレベル設定ビット
* **EILV2[2:0]**: SWT Interrupt Level Bits in the External Interrupt Level Setup (ITC_ELV1) Register 1 (D[2:0]/0x4308)

ITC内の割り込みトリガモード選択ビット(1に固定してください)
* **EITG2**: SWT Interrupt Trigger Mode Select Bit in the External Interrupt Level Setup (ITC_ELV1) Register 1 (D4/0x4308)

SWTモジュールで割り込みが許可された100/10/1Hz信号の立ち下がりエッジで、EIFT2が1にセットされます。このとき、EIEN2が1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。ストップウォッチタイマによる割り込みを禁止するには、EIEN2を0に設定しておきます。EIFT2は、EIEN2の設定にかかわらず(0に設定されていても)、SWTモジュールからの割り込み信号によって1にセットされます。
EILV2[2:0]は、ストップウォッチタイマ割り込みのレベル(0〜7)を設定します。

S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。
- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- ストップウォッチタイマ割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、"6 割り込みコントローラ(ITC)"を参照してください。

注: 割り込み要因の発生状態をSWTモジュールの割り込みフラグで管理するため、以下の処理が必要です。

1. **ITCのストップウォッチタイマ割り込みのトリガモードをレベルトリガモードに設定**
2. **割り込み発生後は、割り込み処理ルーチン内で、SWTモジュール内の割り込みフラグSIF*をリセット(これによりITCの割り込みフラグもリセットされます)**

割り込みベクタ

ストップウォッチタイマ割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号: 6(0x06)
ベクタアドレス: 0x8018

16.7 制御レジスタ詳細

表16.7.1 ストップウォッチタイマレジスター覧

アドレス	レジスタ名		機　能
0x5020	SWT_CTL	Stopwatch Timer Control Register	タイマのリセットとRUN/STOP制御
0x5021	SWT_BCNT	Stopwatch Timer BCD Counter Register	BCDカウンタデータ
0x5022	SWT_IMSK	Stopwatch Timer Interrupt Mask Register	割り込みマスクの設定
0x5023	SWT_IFLG	Stopwatch Timer Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、ストップウォッチタイマのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5020: Stopwatch Timer Control Register (SWT_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Stopwatch Timer Control Register (SWT_CTL)	0x5020 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	SWTRST	Stopwatch timer reset	1 Reset 0 Ignored	0	W	
		D3–1	–	reserved	–	–	–	
		D0	SWTRUN	Stopwatch timer run/stop control	1 Run 0 Stop	0	R/W	

D[7:5] Reserved

D4 SWTRST: Stopwatch Timer Reset Bit

ストップウォッチタイマをリセットします。
1（W）: リセット
0（W）: 無効
0（R）: 読み出し時は常時0（デフォルト）

このビットに1を書き込むことによって、カウンタが0x0にリセットされます。ストップウォッチタイマがRun状態でリセットを行うとリセット直後にリスタートします。また、Stop状態の場合はリセットデータ0x0が保持されます。

D[3:1] Reserved

D0 SWTRUN: Stopwatch Timer Run/Stop Control Bit

ストップウォッチタイマのRun/Stopを制御します。
1（R/W）: Run
0（R/W）: Stop（デフォルト）

ストップウォッチタイマはSWTRUNに1を書き込むことによってカウントを開始し、0の書き込みにより停止します。Stop状態ではリセットか次にRun状態にするまで、カウンタのデータは保持されます。

0x5021: Stopwatch Timer BCD Counter Register (SWT_BCNT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Stopwatch Timer BCD Counter Register (SWT_BCNT)	0x5021 (8 bits)	D7–4	BCD10[3:0]	1/10 sec. BCD counter value	0 to 9	0	R	
		D3–0	BCD100[3:0]	1/100 sec. BCD counter value	0 to 9	0	R	

D[7:4] BCD10[3:0]: 1/10 Sec. BCD Counter Value
1/10秒カウンタのBCDデータが読み出せます。(デフォルト: 0)
このレジスタはリードオンリのため、データの書き込みはできません。

D[3:0] BCD100[3:0]: 1/100 Sec. BCD Counter Value
1/100秒カウンタのBCDデータが読み出せます。(デフォルト: 0)
このレジスタはリードオンリのため、データの書き込みはできません。

注: カウント動作中にこのレジスタを読み出すと、カウンタ値が正しく読み出されない(読み出し値が不定になる)ことがあります。
カウンタ値は、以下のいずれかの方法で取得してください。
- カウンタを停止した状態でカウンタ値を読み出します。
- カウンタ値を2回続けて読み出し、2回とも同じ結果が得られた場合にその値を有効とします。

0x5022: Stopwatch Timer Interrupt Mask Register (SWT_IMSK)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
Stopwatch Timer Interrupt Mask Register (SWT_IMSK)	0x5022 (8 bits)	D7–3	–	reserved	–				–	–	0 when being read.
		D2	SIE1	1 Hz interrupt enable	1	Enable	0	Disable	0	R/W	
		D1	SIE10	10 Hz interrupt enable	1	Enable	0	Disable	0	R/W	
		D0	SIE100	100 Hz interrupt enable	1	Enable	0	Disable	0	R/W	

本レジスタは、ストップウォッチタイマの100Hz、10Hz、1Hz信号による割り込み要求を個々に許可または禁止します。SIE*ビットを1に設定すると、対応する周波数の信号の立ち下がりエッジによるストップウォッチタイマ割り込み要求が許可され、0に設定すると割り込みが禁止されます。
なお、割り込みを発生させるには、ITCのストップウォッチタイマ割り込みイネーブルビットも割り込み許可に設定する必要があります。

D[7:3] Reserved

D2 SIE1: 1 Hz Interrupt Enable Bit
1Hz信号による割り込みを許可または禁止します。
1（R/W）: 割り込み許可
0（R/W）: 割り込み禁止（デフォルト）

D1 SIE10: 10 Hz Interrupt Enable Bit
10Hz信号による割り込みを許可または禁止します。
1（R/W）: 割り込み許可
0（R/W）: 割り込み禁止（デフォルト）

D0 SIE100: 100 Hz Interrupt Enable Bit
100Hz信号による割り込みを許可または禁止します。
1（R/W）: 割り込み許可
0（R/W）: 割り込み禁止（デフォルト）

0x5023: Stopwatch Timer Interrupt Flag Register (SWT_IFLG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Stopwatch Timer Interrupt Flag Register (SWT_IFLG)	0x5023 (8 bits)	D7–3	–	reserved	–	–	–	0 when being read.
		D2	SIF1	1 Hz interrupt flag	1 Cause of interrupt occurred / 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D1	SIF10	10 Hz interrupt flag		0	R/W	
		D0	SIF100	100 Hz interrupt flag		0	R/W	

本レジスタは、ストップウォッチタイマの100Hz、10Hz、1Hz信号による割り込み要因の発生状態を示します。ストップウォッチタイマ割り込みが発生した場合は、本レジスタの割り込みフラグを読み出して発生した割り込み要因(周波数)を特定してください。
SIF*は100Hz、10Hz、1Hz割り込みに個々に対応するSWTモジュールの割り込みフラグです。SIE*(SWT_IMSKレジスタ)を1に設定しておくことにより、各信号の立ち下がりエッジで1にセットされます。同時に、ITCに対してストップウォッチタイマ割り込み要求信号が出力されます。この割り込み要求信号により、ITC内のストップウォッチタイマ割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。
割り込み要因の発生状態を本レジスタで管理するため、以下の処理が必要です。

1. ITCのストップウォッチタイマ割り込みのトリガモードをレベルトリガモードに設定
2. 割り込み発生後は、割り込み処理ルーチン内で、SWTモジュール内の割り込みフラグをリセット(これによりITCの割り込みフラグもリセットされます)

SIF*は1の書き込みによりリセットされます。

注: 不要な割り込みの発生を防止するため、SIE*によってストップウォッチタイマ割り込みを許可する前に、SIF*をリセットしてください。

D[7:3] Reserved

D2 SIF1: 1 Hz Interrupt Flag

1Hz割り込み要因の発生状態を示す割り込みフラグです。
1(R): 割り込み要因あり
0(R): 割り込み要因なし(デフォルト)
1(W): フラグをリセット
0(W): 無効

SIF1はSIE1(D2/SWT_IMSKレジスタ)を1に設定しておくことにより、1Hz信号の立ち下がりエッジで1にセットされます。

D1 SIF10: 10 Hz Interrupt Flag

10Hz割り込み要因の発生状態を示す割り込みフラグです。
1(R): 割り込み要因あり
0(R): 割り込み要因なし(デフォルト)
1(W): フラグをリセット
0(W): 無効

SIF10はSIE10(D1/SWT_IMSKレジスタ)を1に設定しておくことにより、10Hz信号の立ち下がりエッジで1にセットされます。

D0 SIF100: 100 Hz Interrupt Flag

100Hz割り込み要因の発生状態を示す割り込みフラグです。
1(R): 割り込み要因あり
0(R): 割り込み要因なし(デフォルト)
1(W): フラグをリセット
0(W): 無効

SIF100はSIE100(D0/SWT_IMSKレジスタ)を1に設定しておくことにより、100Hz信号の立ち下がりエッジで1にセットされます。

16.8 注意事項

- ストップウォッチタイマを動作させるには、その前にOSC1発振回路をOnさせておく必要があります。
- 不要な割り込みの発生を防止するため、SWT_IMSKレジスタによってストップウォッチタイマ割り込みを許可する前に、SWT_IFLGレジスタの割り込みフラグをリセットしてください。
- ストップウォッチタイマはSWTRUN(D0/SWT_CTLレジスタ)への書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRun/Stop状態となる場合があります。したがって、SWTRUNに0を書き込んだ場合は、"+1"余分にカウントしたところでタイマが停止状態となります。また、このときSWTRUNは実際にタイマがStop状態となるまで、読み出しに対して1を保持します。
  図16.8.1にRun/Stop制御のタイミングチャートを示します。

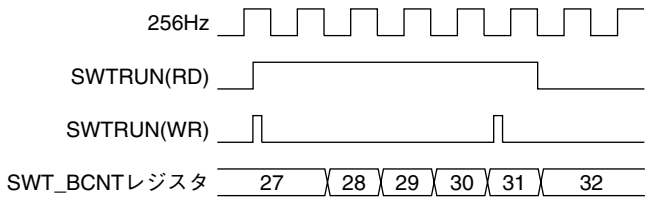


図16.8.1 Run/Stop制御のタイミングチャート

- ストップウォッチタイマがRunしている状態(SWTRUN = 1)でslp命令を実行した場合は、SLEEP状態からの復帰時にストップウォッチタイマが不安定な動作となります。したがって、SLEEP状態へ移行する場合は、slp命令の実行以前にストップウォッチタイマをSTOP状態(SWTRUN = 0)に設定してください。
- カウント動作中にカウンタレジスタを読み出すと、カウンタ値が正しく読み出されない(読み出し値が不定になる)ことがあります。
  カウンタ値を取得する場合は、カウンタを停止した状態でカウンタレジスタを読み出してください。あるいは、カウンタレジスタを2回続けて読み出して、2回とも同じ結果が得られた場合にその値を有効としてください。

このページはブランクです。

17 ウォッチドッグタイマ(WDT)

17.1 ウォッチドッグタイマの概要

S1C17701はOSC1発振回路を原振とするウォッチドッグタイマを内蔵しています。ウォッチドッグタイマは131072/fosc1秒(fosc1 = 32.768kHzの場合4秒)以上リセットが行われない場合、CPUに対してNMIまたはリセット(ソフトウェアで選択可能)を発生します。
ソフトウェアによってこの周期以内にウォッチドッグタイマをリセットし、NMI/リセットが発生しないように処理しておくことで、その処理ルーチンを通らないようなプログラムの暴走を検出することができます。
図17.1.1にウォッチドッグタイマのブロック図を示します。

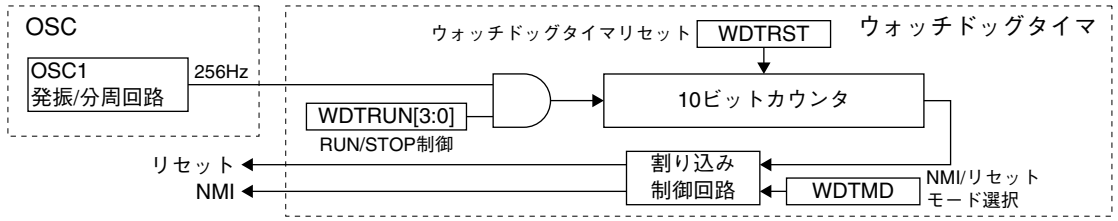


図17.1.1 ウォッチドッグタイマのブロック図

17.2 動作クロック

ウォッチドッグタイマは、OSCモジュールが出力する256Hzクロックを動作クロックとして使用します。
OSCモジュールはOSC1クロックを1/128に分周してこの動作クロックを生成します。したがって、OSC1クロック周波数が32.768kHzの場合に256Hzとなります。それ以外のOSC1クロック周波数では、本節に記載の周波数や時間が変わります。
OSCモジュールに256Hzクロックの出力制御ビットは設けられていません。OSC1発振がOnの場合は、常に256Hzクロックがウォッチドッグタイマに供給されます。
OSC1発振回路の制御については、“7 発振回路（OSC）”を参照してください。

17.3 ウォッチドッグタイマの制御

17.3.1 NMI/リセットモードの選択

NMI/リセット発生周期以内にウォッチドッグタイマがリセットされなかった場合に、NMI信号を出力するかリセット信号を出力するかWDTMD（D1/WDT_STレジスタ）で選択できます。

* **WDTMD**: NMI/Reset Mode Select Bit in the Watchdog Timer Status (WDT_ST) Register (D1/0x5041)

NMIを発生させるにはWDTMDを0（デフォルト）に、リセットを発生させるには1に設定します。

17.3.2 ウォッチドッグタイマのRUN/STOP制御

ウォッチドッグタイマはWDTRUN[3:0]（D[3:0]/WDT_CTLレジスタ）に0b1010以外の値を書き込むことでカウントを開始し、0b1010を書き込むと停止します。

* **WDTRUN[3:0]**: Watchdog Timer Run/Stop Control Bits in the Watchdog Timer Control (WDT_CTL) Register (D[3:0]/0x5040)

イニシャルリセット時はWDTRUN[3:0]が0b1010に設定され、ウォッチドッグタイマは停止状態となります。カウンタの値によってはRun直後にNMI/リセットが発生する場合がありますので、ウォッチドッグタイマをRunさせる際には次節で説明するウォッチドッグタイマのリセットも同時に行ってください。

17.3.3 ウォッチドッグタイマのリセット

ウォッチドッグタイマをリセットするには、WDTRST（D4/WDT_CTLレジスタ）に1を書き込みます。

* **WDTRST**: Watchdog Timer Reset Bit in the Watchdog Timer Control (WDT_CTL) Register (D4/0x5040)

ウォッチドッグタイマを使用する場合は、NMI/リセットが発生する前にウォッチドッグタイマをリセットするルーチンを定期的に処理される場所に用意しておきます。このルーチンは131072/$fosc_1$秒（$fosc_1$ = 32.768kHzの場合4秒）周期以内で処理されるようにしてください。
リセット後、ウォッチドッグタイマは新たなNMI/リセット発生周期のカウントを始めます。

何らかの原因によってウォッチドッグタイマがNMI/リセット発生周期以内にリセットされなかった場合、NMIまたはリセットによってCPUは割り込み処理に移行し、割り込みベクタを読み出して割り込み処理ルーチンを実行します。
リセットとNMIのベクタアドレスは、0x8000と0x8008です。

ウォッチドッグタイマがリセットされずにカウンタがオーバーフローしてNMIが発生した場合は、WDTST（D0/WDT_STレジスタ）が1に設定されます。

* **WDTST**: NMI Status Bit in the Watchdog Timer Status (WDT_ST) Register (D0/0x5041)

このビットはNMIの発生元がウォッチドッグタイマであることを確認するために設けられています。
1にセットされたWDTSTはウォッチドッグタイマをリセットすることで0にクリアされます。

17.3.4 スタンバイモード時の動作

HALTモード時

HALTモード時はクロックが供給されるため、ウォッチドッグタイマは動作します。したがって、NMI/リセット発生周期以上、HALTモードを続けるとNMIまたはリセットによりHALTモードが解除されます。HALTモード時にウォッチドッグタイマを無効にするには、halt命令実行前にWDTRUN[3:0]に0b1010を書き込んでウォッチドッグタイマを停止させてください。HALTモードを解除後は、動作を再開させる前にウォッチドッグタイマをリセットしてください。

SLEEPモード時

SLEEPモード時はOSCモジュールからのクロックの供給が停止します。したがって、ウォッチドッグタイマも動作を停止します。SLEEPモード解除後に不要なNMIまたはリセットが発生することを防ぐため、slp命令の実行前にウォッチドッグタイマをリセットしてください。また、必要に応じWDTRUN[3:0]によってウォッチドッグタイマを停止させてください。

17.4 制御レジスタ詳細

表17.4.1 ウォッチドッグタイマレジスター覧

アドレス	レジスタ名		機　能
0x5040	WDT_CTL	Watchdog Timer Control Register	タイマのリセットとRUN/STOP制御
0x5041	WDT_ST	Watchdog Timer Status Register	タイマモードの設定とNMI状態表示

以下、ウォッチドッグタイマのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5040: Watchdog Timer Control Register (WDT_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Watchdog Timer Control Register (WDT_CTL)	0x5040 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	WDTRST	Watchdog timer reset	1 Reset / 0 Ignored	0	W	
		D3–0	WDTRUN[3:0]	Watchdog timer run/stop control	Other than 1010 Run / 1010 Stop	1010	R/W	

D[7:5] Reserved

D4 WDTRST: Watchdog Timer Reset Bit

ウォッチドッグタイマをリセットします。
1（W）: リセット
0（W）: 無効
0（R）: 読み出し時は常時0（デフォルト）

ウォッチドッグタイマを使用する場合は、NMI/リセット発生周期（$fosc_1$ = 32.768kHzの場合4秒）以内に本ビットに1を書き込み、ウォッチドッグタイマをリセットする必要があります。この書き込みでアップカウンタは0にリセットされ、そこから新たなNMI/リセット発生周期のカウントを始めます。

D[3:0] WDTRUN[3:0]: Watchdog Timer Run/Stop Control Bits

ウォッチドッグタイマのRun/Stopを制御します。
0b1010以外（R/W）: Run
0b1010（R/W）: Stop（デフォルト）

ウォッチドッグタイマをRunさせる場合は、不要なNMIまたはリセットの発生を防ぐため、必ずウォッチドッグタイマのリセットも行ってください。

0x5041: Watchdog Timer Status Register (WDT_ST)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
Watchdog Timer Status Register (WDT_ST)	0x5041 (8 bits)	D7–2	–	reserved	–				–	–	0 when being read.
		D1	WDTMD	NMI/Reset mode select	1	Reset	0	NMI	0	R/W	
		D0	WDTST	NMI status	1	NMI occurred	0	Not occurred	0	R	

D[7:2] Reserved

D1 WDTMD: NMI/Reset Mode Select Bit

カウンタのオーバーフロー時にNMIとリセットのどちらを発生させるか選択します。
1（R/W）: リセット
0（R/W）: NMI（デフォルト）

本ビットを1に設定すると、カウンタがオーバーフローした時点でリセット信号を出力します。0に設定した場合はNMI信号を出力します。

D0 WDTST: NMI Status Bit

カウンタがオーバーフローしてNMIが発生したことを示します。
1（R）: NMI発生（カウンタオーバーフロー）
0（R）: NMI未発生（デフォルト）

このビットはNMIの発生元がウォッチドッグタイマであることを確認するために設けられています。1にセットされたWDTSTはウォッチドッグタイマをリセットすることで0にクリアされます。
リセット出力選択時も、カウンタオーバーフローで一旦セットされますが、イニシャルリセットによりクリアされ確認することはできません。

17.5 注意事項

- ウォッチドッグタイマを使用する場合は、131072/fosc1秒（fosc1 = 32.768kHzの場合4秒）周期以内に必ずソフトウェアでリセットする必要があります。
- ウォッチドッグタイマをRunさせる場合は、不要なNMIまたはリセットの発生を防ぐため、必ずウォッチドッグタイマのリセットも行ってください。

このページはブランクです。

18 UART

18.1 UARTの構成

S1C17701はUARTを1チャネル内蔵しています。UARTは150～115200bpsの転送速度で外部シリアルデバイスとの非同期データ転送を行います。2バイトの受信データバッファと1バイトの送信データバッファを内蔵し、全二重通信が可能です。転送クロックにはタイマモジュールによる内部生成クロックと、SCLK(P25)端子から入力する外部クロックのいずれかを使用できます。データ長(7ビットまたは8ビット)、ストップビット長(1ビットまたは2ビット)、パリティモード(偶数、奇数、パリティなし)はソフトウェアで選択します。スタートビットは1ビットに固定されています。データ受信時には、オーバーランエラー、フレーミングエラー、パリティエラーが検出可能です。UARTは3種類の割り込み(送信バッファエンプティ、受信バッファフル、受信エラー)を発生しますので、シリアルデータ転送を割り込み処理によって効率よく処理することができます。
また、本UARTモジュールにはRZI変調/復調回路が組み込まれており、簡単な外付け回路の追加のみで、IrDA 1.0に対応する赤外線通信回路を構成することができます。
図18.1.1に、UARTの構造を示します。

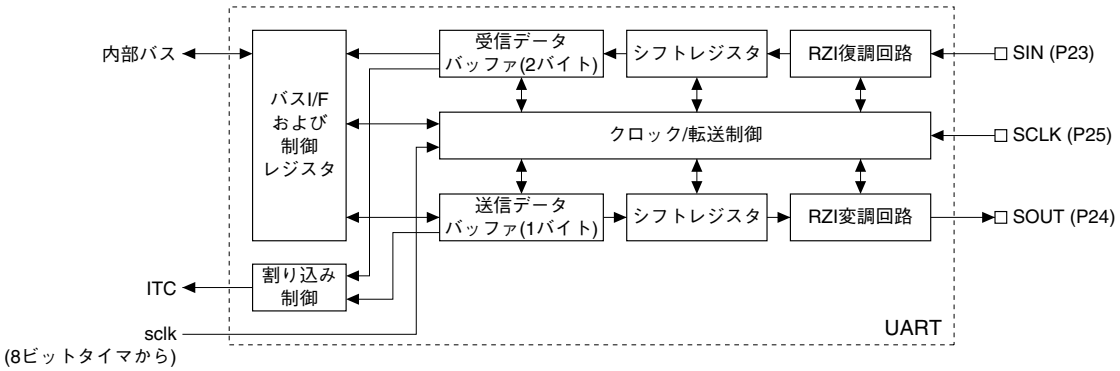


図18.1.1 UARTの構造

18.2 UART端子

表18.2.1にUARTの入出力端子の一覧を示します。

表18.2.1 UART端子一覧

端子名	I/O	本数	機　能
SIN (P23)	I	1	UARTデータ入力端子 外部シリアルデバイスから送られるシリアルデータを入力します。
SOUT (P24)	O	1	UARTデータ出力端子 外部シリアルデバイスに送るシリアルデータを出力します。
SCLK (P25)	I	1	UARTクロック入力端子 転送クロックに外部クロックを使用する場合に、この端子から入力します。

UARTの入出力端子(SIN、SOUT、SCLK)は汎用入出力ポート端子(P23、P24、P25)を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをUARTの入出力端子として使用するには、P2_PMUXレジスタの設定により機能を切り換える必要があります。以下の制御ビットを1に設定して、端子をシリアルインタフェース用に切り換えてください。

P23 → SIN
- **P23MUX**: P23 Port Function Select Bit in the P2 Port Function Select (P2_PMUX) Register (D3/0x52a2)

P24 → SOUT
- **P24MUX**: P24 Port Function Select Bit in the P2 Port Function Select (P2_PMUX) Register (D4/0x52a2)

P25 → SCLK (外部クロックを使用する場合のみ)
- **P25MUX**: P25 Port Function Select Bit in the P2 Port Function Select (P2_PMUX) Register (D5/0x52a2)

端子の機能と切り換えの詳細については、“10.2 入出力端子機能の選択(ポートMUX)”を参照してください。

18.3 転送クロック

UARTの転送クロックは、SSCK(D0/UART_MODレジスタ)を使用して内部クロックまたは外部クロックのいずれかを選択可能です。

* **SSCK**: Input Clock Select Bit in the UART Mode (UART_MOD) Register (D0/0x4103)

注: SSCKの変更は、必ずUARTが動作停止中(RXEN/UART_CTLレジスタ = 0)に行ってください。

* **RXEN**: UART Enable Bit in the UART Control (UART_CTL) Register (D0/0x4104)

内部クロック

SSCKを0(デフォルト)に設定すると、内部クロックが選択されます。UARTは8ビットタイマの出力クロックを転送クロックとして使用します。したがって、8ビットタイマを、転送レートに合ったクロックを出力するようにプログラムしておく必要があります。
8ビットタイマの制御については、"12 8ビットタイマ(T8F)"を参照してください。

外部クロック

SSCKを1に設定すると、外部クロックが選択されます。この場合は、P25をSCLK端子に設定し(18.2節参照)、外部クロックを入力してください。

注: • UARTは8ビットタイマの出力または外部クロックを1/16に分周してサンプリングクロックを生成します。転送レートを設定する際には注意してください。

• SCLK端子から外部クロックを入力する場合、クロックの周波数はPCLKの1/2以下で、デューティ比は50%である必要があります。

18.4 転送データの設定

以下の条件を選択して転送データ形式を設定できます。
- データ長: 7ビット、または8ビット
- スタートビット: 1ビット固定
- ストップビット: 1ビット、または2ビット
- パリティビット: 偶数、奇数、パリティなし

注: 転送データ形式の設定は、必ずUARTが動作停止中(RXEN/UART_CTLレジスタ = 0)に行ってください。

* **RXEN**: UART Enable Bit in the UART Control (UART_CTL) Register (D0/0x4104)

データ長

データ長は、CHLN(D4/UART_MODレジスタ)で選択します。CHLNを0(デフォルト)に設定すると、データ長は7ビットに設定されます。CHLNを1に設定すると、8ビットに設定されます。

* **CHLN**: Character Length Select Bit in the UART Mode (UART_MOD) Register (D4/0x4103)

ストップビット

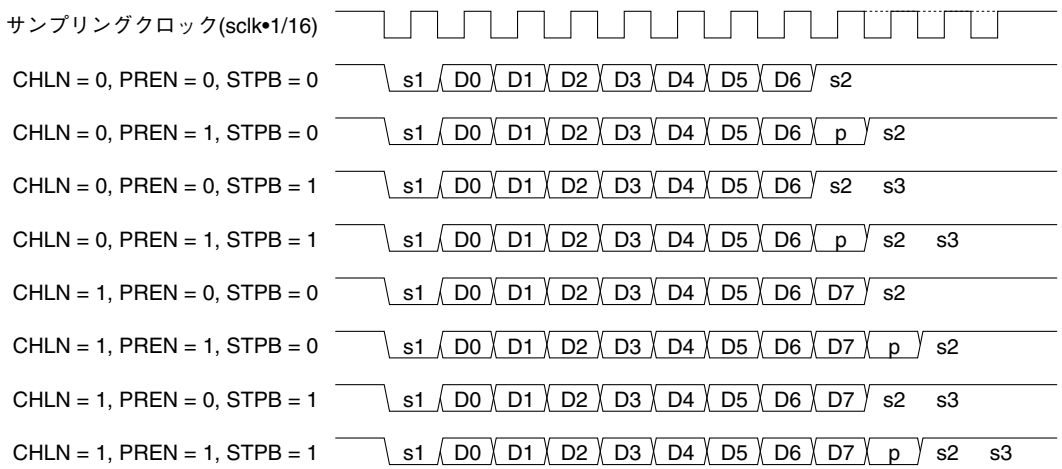
ストップビット長はSTPB(D1/UART_MODレジスタ)で選択します。STPBを0(デフォルト)に設定すると、ストップビット長は1ビットに設定されます。STPBを1に設定すると、2ビットに設定されます。

* **STPB**: Stop Bit Select Bit in the UART Mode (UART_MOD) Register (D1/0x4103)

パリティビット

パリティ機能を有効にするか否かについては、PREN(D3/UART_MODレジスタ)で選択します。PRENを0(デフォルト)に設定すると、パリティ機能は無効となります。この場合、転送データにパリティビットは付加されず、データ受信時もパリティチェックは行われません。PRENを1に設定すると、パリティ機能が有効になります。この場合、転送データにパリティビットが付加され、データ受信時はパリティチェックを行います。
パリティ機能を有効にする場合は、PMD(D2/UART_MODレジスタ)でパリティモードを選択します。PMDを0(デフォルト)に設定すると、偶数パリティとしてパリティビットの付加とチェックが行われます。PMDを1に設定すると、奇数パリティとしてパリティビットの付加とチェックが行われます。

* **PREN**: Parity Enable Bit in the UART Mode (UART_MOD) Register (D3/0x4103)
* **PMD**: Parity Mode Select Bit in the UART Mode (UART_MOD) Register (D2/0x4103)



s1: スタートビット, s2 & s3: ストップビット, p: パリティビット

図18.4.1 転送データ形式

18.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。
(1) 入力クロックを選択します。18.3節を参照してください。
内部クロックを使用する場合は、転送クロックを出力するように8ビットタイマをプログラムします。12章を参照してください。
(2) 転送データ形式を設定します。18.4節を参照してください。
(3) IrDAインタフェースを使用する場合は、IrDAモードを設定します。18.8節を参照してください。
(4) UART割り込みを使用する場合は、割り込み条件を設定します。18.7節を参照してください。

注: 上記の設定は、必ずUARTが動作停止中(RXEN/UART_CTLレジスタ = 0)に行ってください。

* **RXEN**: UART Enable Bit in the UART Control (UART_CTL) Register (D0/0x4104)

データ送受信を許可

最初にRXENビット(D0/UART_CTLレジスタ)を1に設定してデータの送受信を許可します。これにより、送受信回路が送受信可能な状態になります。

注: UARTが送受信中はRXENビットを0に設定しないでください。

データ送信制御

送信を開始するには、UART_TXDレジスタ(0x4101)に送信データを書き込みます。

* **UART_TXD**: UART Transmit Data Register (0x4101)

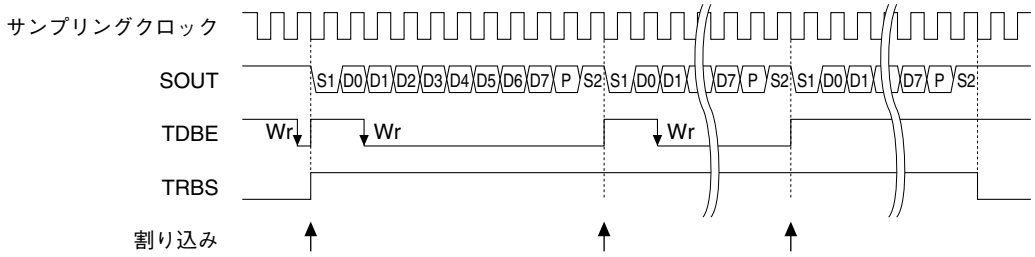
データは送信データバッファに書き込まれ、送信回路がデータ送信を開始します。
バッファのデータは送信用シフトレジスタに送られ、スタートビットがSOUT端子から出力されます。続いて、シフトレジスタのデータがLSBから出力されます。転送データビットはサンプリングクロックの立ち上がりエッジに同期してシフトし、SOUT端子から順次出力されます。MSBの出力後、パリティビット(パリティ有効時のみ)とストップビットが出力されます。

送信回路にはTDBE(D0/UART_STレジスタ)とTRBS(D2/UART_STレジスタ)の2つのステータスフラグが用意されています。

* **TDBE**: Transmit Data Buffer Empty Flag in the UART Status (UART_ST) Register (D0/0x4100)
* **TRBS**: Transmit Busy Flag in the UART Status (UART_ST) Register (D2/0x4100)

TDBEフラグは送信データバッファの状態を示します。このフラグはアプリケーションプログラムが送信データバッファにデータを書き込むと0になり、バッファのデータが送信用シフトレジスタに送られると1に戻ります。このフラグが1になった時点で割り込みを発生させることができます(18.7節参照)。この割り込みを利用するか、TDBEフラグの読み出しによって送信データバッファが空であることを確認し、次のデータ送信を行います。送信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、1つ前のデータを送信中に、データの書き込みが行えます。 ただし、送信データを書き込む前に、送信データバッファが空になっていることを確認してください。TDBEフラグが0の場合にデータを書き込むと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。

TRBSフラグはシフトレジスタの状態を示します。このフラグは送信データが送信データバッファからシフトレジスタにロードされると1になり、データ送信が完了すると0に戻ります。送信回路が動作中か待機中かについては、このフラグを読み出して確認してください。



S1: スタートビット, S2: ストップビット, P: パリティビット,
Wr: 送信データバッファへのデータ書き込み

図18.5.1 データ送信タイミングチャート

データ受信制御

受信回路はRXENビットを1に設定すると起動し、外部シリアルデバイスからのデータを受信可能な状態になります。
外部シリアルデバイスがスタートビットを送信すると、受信回路はそのLowレベルを検出して、続くデータビットのサンプリングを開始します。データビットはサンプリングクロックの立ち上がりエッジでサンプリングされ、先頭ビットをLSBとして受信用シフトレジスタに取り込まれます。MSBをシフトレジスタに受信し終わると、受信データは受信データバッファにロードされます。パリティチェックが有効に設定されている場合、これと同時に、受信回路はMSBの直後に受信したパリティビットでパリティチェックを行います。
受信データバッファは2バイトのFIFOで、満杯になるまでデータを受信可能です。

バッファ内の受信データはUART_RXDレジスタ(0x4102)から読み出すことができます。古いデータから先に読み出され、読み出しによりクリアされます。

* **UART_RXD**: UART Receive Data Register (0x4102)

受信回路にはRDRY(D1/UART_STレジスタ)とRD2B(D3/UART_STレジスタ)の2つのバッファステータスフラグが用意されています。

* **RDRY**: Receive Data Ready Flag in the UART Status (UART_ST) Register (D1/0x4100)
* **RD2B**: Second Byte Receive Flag in the UART Status (UART_ST) Register (D3/0x4100)

RDRYフラグは受信データバッファ内に受信データが存在することを示します。RD2Bフラグは受信データバッファが満杯になっていることを示します。

(1)RDRY = 0, RD2B = 0
データを受信していません。したがって、受信データバッファを読み出す必要はありません。

(2)RDRY = 1, RD2B = 0
1個のデータを受信しています。受信データバッファを1回読み出してください。この読み出しによりRDRYフラグがリセットされます。バッファは上記(1)の状態に戻ります。
受信データバッファを2回読み出した場合、2つ目の読み出しデータは無効です。

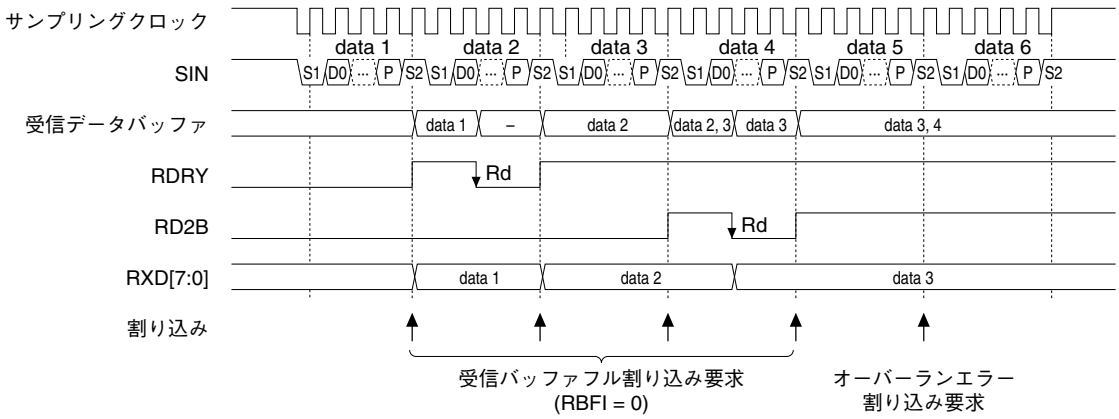
(3)RDRY = 1, RD2B = 1
2個のデータを受信しています。受信データバッファを2回読み出してください。最初の読み出しで、受信データバッファは古い方の受信データを出力します。この読み出しにより、RD2Bフラグがリセットされます。バッファは上記(2)の状態になります。2回目の読み出しで最新の受信データが出力されます。2回の読み出し後、バッファは上記(1)の状態になります。
受信バッファが満杯でも、シフトレジスタは8ビットデータをもう一つ受信開始することができます。受信データバッファの読み出しがなく受信が終了した場合、オーバーランエラーが発生し、最後の受信データは読み出すことができません。したがって、受信データバッファはオーバーランエラーが発生する前に読み出してください。オーバーランエラーについては、18.6節を参照してください。

これらのフラグを読み出すことで、受信データ数を確認することができます。
また、UARTは受信データバッファにデータを受信した時点で受信バッファフル割り込みを発生可能で、この割り込みを利用して受信データバッファを読み出すことができます。デフォルト設定では、

受信データバッファが1個のデータを受信すると(前記(2)の状態)、受信バッファフル割り込みが発生するようになっています。これを、RBFIビット(D1/UART_CTLレジスタ)を1に設定することで、受信データバッファが2個のデータを受信した時点で割り込みが発生するように変更できます。

* **RBFI**: Receive Buffer Full Interrupt Condition Setup Bit in the UART Control (UART_CTL) Register (D1/0x4104)

前述のフラグの他に、3つのエラーフラグも用意されています。それらのフラグと受信エラーについては、18.6節を参照してください。



S1: スタートビット, S2: ストップビット, P: パリティビット, Rd: RXD[7:0]からのデータリード

図18.5.2 データ受信タイミングチャート

データ送受信を禁止

データ転送(送信と受信の両方)を終了後は、RXENビットに0を書き込んでデータ送受信を禁止します。ただし、データ送受信を禁止する前に、TDBEフラグが1、TRBSとRDRYフラグが0になっていることを確認してください。

RXENビットを0に設定すると、送信データバッファは空の状態になります(データが残っていればクリアされます)。また、データの送受信中にRXENを0に設定した場合、転送中のデータは保証されません。

18.6 受信エラー

データ受信時は、3種類の受信エラーを検出可能です。
受信エラーは割り込み要因のため、割り込みを発生させてエラーを処理することができます。UART割り込みの制御については、18.7節を参照してください。

パリティエラー

PREN(D3/UART_MODレジスタ)が1(パリティ有効)に設定されている場合、受信時にパリティチェックが行われます。
パリティチェックはシフトレジスタに受信したデータが受信データバッファに転送される際に行われ、PMD(D2/UART_MODレジスタ)の設定(奇数または偶数パリティ)との整合をチェックします。この結果が不整合の場合はパリティエラーと判断され、パリティエラーフラグPER(D5/UART_STレジスタ)が1にセットされます。
本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、受信データはパリティエラーのため保証されません。
なお、PERフラグ(D5/UART_STレジスタ)は1を書き込むことによって0にリセットされます。

* **PREN**: Parity Enable Bit in the UART Mode (UART_MOD) Register (D3/0x4103)
* **PMD**: Parity Mode Select Bit in the UART Mode (UART_MOD) Register (D2/0x4103)
* **PER**: Parity Error Flag in the UART Status (UART_ST) Register (D5/0x4100)

フレーミングエラー

ストップビットを0として受信すると、UARTは同期ずれと判断してフレーミングエラーを発生します。ストップビットを2ビットに設定している場合は、最初の1ビットのみチェックします。
本エラーが発生すると、フレーミングエラーフラグFER(D6/UART_STレジスタ)が1にセットされます。
本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続して行われます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。
なお、FERフラグ(D6/UART_STレジスタ)は1を書き込むことによって0にリセットされます。

* **FER**: Framing Error Flag in the UART Status (UART_ST) Register (D6/0x4100)

オーバーランエラー

受信データバッファが満杯(2データ受信済み)の状態でも、次に送られる3番目のデータはシフトレジスタに受信可能です。ただし、その受信が終了した時点で、受信データバッファに空きがなければ(それまでにデータが読み出されていなければ)、シフトレジスタに受信した3番目のデータはバッファに送られず、オーバーランエラーが発生します。
オーバーランエラーが発生するとオーバーランエラーフラグOER(D4/UART_STレジスタ)が1にセットされます。
本エラーが発生した場合でも、受信動作は継続して行われます。
なお、OERフラグ(D4/UART_STレジスタ)は1を書き込むことによって0にリセットされます。

* **OER**: Overrun Error Flag in the UART Status (UART_ST) Register (D4/0x4100)

18.7 UART割り込み

UARTには、以下の3種類の割り込みを発生させる機能があります。
• 送信バッファエンプティ割り込み
• 受信バッファフル割り込み
• 受信エラー割り込み

UARTは、上記3種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、ステータスフラグおよびエラーフラグを読み出してください。

送信バッファエンプティ割り込み

この割り込みを使用するには、TIEN(D4/UART_CTLレジスタ)を1に設定します。TIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

∗ **TIEN**: Transmit Buffer Empty Interrupt Enable Bit in the UART Control (UART_CTL) Register (D4/0x4104)

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、UARTはTDBEビット(D0/UART_STレジスタ)を1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(TIEN = 1)、これと同時に割り込み要求パルスがITCに出力されます。

∗ **TDBE**: Transmit Data Buffer Empty Flag in the UART Status (UART_ST) Register (D0/0x4100)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。
UART割り込みが送信バッファエンプティによるものかどうかについては、UART割り込み処理ルーチンでTDBEフラグを読み出して確認してください。TDBEが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

受信バッファフル割り込み

この割り込みを使用するには、RIEN(D5/UART_CTLレジスタ)を1に設定します。RIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

∗ **RIEN**: Receive Buffer Full Interrupt Enable Bit in the UART Control (UART_CTL) Register (D5/0x4104)

受信バッファフル割り込みが許可されている場合(RIEN = 1)、指定数の受信データが受信データバッファにロードされると、UARTは割り込み要求パルスをITCに出力します。RBFI(D1/UART_CTLレジスタ)が0の場合、1個の受信データが受信データバッファにロードされた(RDRYフラグ(D1/UART_STレジスタ)が1にセットされた)時点で割り込み要求パルスが出力されます。RBFI(D1/UART_CTLレジスタ)が1の場合、2個の受信データが受信データバッファにロードされた(RD2Bフラグ(D3/UART_STレジスタ)が1にセットされた)時点で割り込み要求パルスが出力されます。

∗ **RBFI**: Receive Buffer Full Interrupt Condition Setup Bit in the UART Control (UART_CTL) Register (D1/0x4104)
∗ **RDRY**: Receive Data Ready Flag in the UART Status (UART_ST) Register (D1/0x4100)
∗ **RD2B**: Second Byte Receive Flag in the UART Status (UART_ST) Register (D3/0x4100)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。
UART割り込みが受信バッファフルによるものかどうかについては、UART割り込み処理ルーチンでRDRYとRD2Bフラグを読み出して確認してください。RDRYまたはRD2Bが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。

受信エラー割り込み

この割り込みを使用するには、REIEN(D6/UART_CTLレジスタ)を1に設定します。REIENが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

* **REIEN**: Receive Error Interrupt Enable Bit in the UART Control (UART_CTL) Register (D6/0x4104)

データ受信時にパリティエラー、フレーミングエラー、またはオーバーランエラーを検出すると、UARTは以下に示すエラーフラグを1に設定します。受信エラー割り込みが許可されていれば(REIEN = 1)、これと同時に割り込み要求パルスがITCに出力されます。

* **PER**: Parity Error Flag in the UART Status (UART_ST) Register (D5/0x4100)
* **FER**: Framing Error Flag in the UART Status (UART_ST) Register (D6/0x4100)
* **OER**: Overrun Error Flag in the UART Status (UART_ST) Register (D4/0x4100)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。
UART割り込みが受信エラーによるものかどうかについては、UART割り込み処理ルーチンで上記のエラーフラグを読み出して確認してください。いずれかのエラーフラグが1であれば、割り込み処理ルーチンでエラーからの復旧処理を行います。

UART割り込み用ITCレジスタ

以下に、UART用のITC制御ビットを示します。

割り込みフラグ

* **IIFT4**: UART Interrupt Flag in the Interrupt Flag (ITC_IFLG) Register (D12/0x4300)

割り込みイネーブルビット

* **IIEN4**: UART Interrupt Enable Bit in the Interrupt Enable (ITC_EN) Register (D12/0x4302)

割り込みレベル設定ビット

* **IILV4[2:0]**: UART Interrupt Level Bits in the Internal Interrupt Level Setup (ITC_ILV2) Register 2 (D[2:0]/0x4312)

UARTが割り込み要求パルスを出力すると、対応する割り込みフラグが1にセットされます。
その割り込みフラグに対応する割り込みイネーブルビットが1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。UARTによる割り込みを禁止するには、割り込みイネーブルビットを0に設定しておきます。割り込みフラグは、割り込みイネーブルビットの設定にかかわらず(0に設定されていても)、UARTの割り込み要求パルスによって1にセットされます。
割り込みレベル設定ビットは、UART割り込みのレベル(0〜7)を設定します。
S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- UART割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、"6 割り込みコントローラ(ITC)"を参照してください。

割り込みベクタ

UART割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号:　16(0x10)
ベクタアドレス: 0x8040

18.8 IrDAインタフェース

本UARTモジュールにはRZI変調/復調回路が組み込まれており、簡単な外付け回路の追加のみで、IrDA 1.0に対応する赤外線通信回路を構成することができます。

UARTの送信用シフトレジスタから出力された送信データは変調回路に入力され、Lowパルス幅が3/16 sclkサイクルに変換された後にSOUT端子から出力されます。

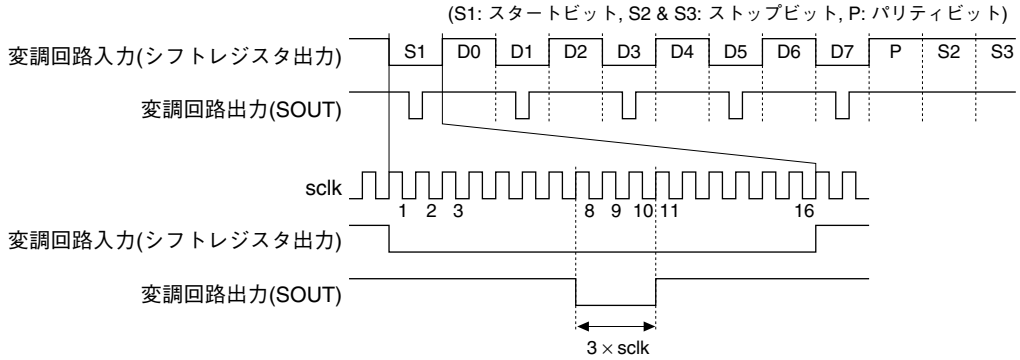


図18.8.1 送信信号波形

受信したIrDA信号は復調回路に入力され、Lowパルス幅が16 sclkサイクルに変換された後に受信用シフトレジスタに入力されます。入力されるLowパルス(最小パルス幅 = 1.41µs/115200bps時)を検出するため、復調回路は転送クロックとは別に、プリスケーラ出力クロックから選択したパルス検出クロックを使用します。

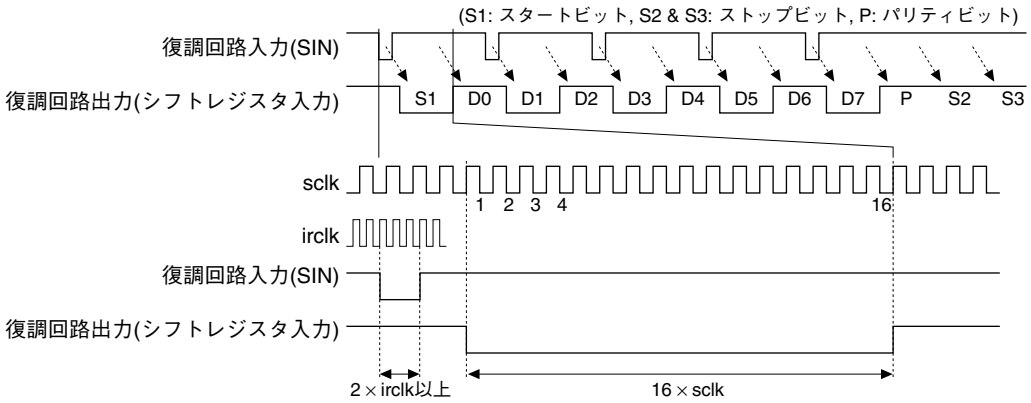


図18.8.2 受信信号波形

IrDAイネーブル

IrDAインタフェース機能を使用するには、IRMD(D0/UART_EXPレジスタ)を1に設定します。これにより、RZI変調/復調回路が有効になります。

* **IRMD**: IrDA Mode Select Bit in the UART Expansion (UART_EXP) Register (D0/0x4105)

注: この設定は、UARTの他の条件を設定する前に行う必要があります。

IrDA受信検出クロックの選択

入力パルス検出用クロックを、IRCLK[2:0]（D[6:4]/UART_EXPレジスタ）を使用してプリスケーラ出力クロックのPCLK•1/1～PCLK•1/128の中から選択します。

* **IRCLK[2:0]**: IrDA Receive Detection Clock Select Bits in the UART Expansion (UART_EXP) Register (D[6:4]/0x4105)

表18.8.1 IrDA受信検出クロックの選択

IRCLK[2:0]	プリスケーラ出力クロック
0x7	PCLK•1/128
0x6	PCLK•1/64
0x5	PCLK•1/32
0x4	PCLK•1/16
0x3	PCLK•1/8
0x2	PCLK•1/4
0x1	PCLK•1/2
0x0	PCLK•1/1

（デフォルト: 0x0）

このクロックには、8ビットタイマまたはSCLK端子から入力される転送クロックsclkよりも高速なクロックを選択する必要があります。
復調回路はIrDA受信検出クロックの2サイクル以上の幅を持つLowパルスを有効と見なし、16 sclkサイクル幅のLowパルスに変換します。最小1.41µs幅の入力パルスが検出できるように、適切なプリスケーラ出力クロックを選択してください。

シリアルデータ転送の制御

IrDAモードの場合も、データ送受信の制御方法は通常のインタフェースと同じです。データ形式の設定やデータ転送、割り込みの制御方法については、前記の説明を参照してください。

18.9 制御レジスタ詳細

表18.9.1 UARTレジスター覧

アドレス	レジスタ名		機　能
0x4100	UART_ST	UART Status Register	転送、バッファ、エラーステータスの表示
0x4101	UART_TXD	UART Transmit Data Register	送信データ
0x4102	UART_RXD	UART Receive Data Register	受信データ
0x4103	UART_MOD	UART Mode Register	転送データ形式の設定
0x4104	UART_CTL	UART Control Register	データ転送の制御
0x4105	UART_EXP	UART Expansion Register	IrDAモードの設定

以下、UARTのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x4100: UART Status Register (UART_ST)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
UART Status Register (UART_ST)	0x4100 (8 bits)	D7	–	reserved	–				–	–	0 when being read.
		D6	FER	Framing error flag	1	Error	0	Normal	0	R/W	Reset by writing 1.
		D5	PER	Parity error flag	1	Error	0	Normal	0	R/W	
		D4	OER	Overrun error flag	1	Error	0	Normal	0	R/W	
		D3	RD2B	Second byte receive flag	1	Ready	0	Empty	0	R	
		D2	TRBS	Transmit busy flag	1	Busy	0	Idle	0	R	Shift register status
		D1	RDRY	Receive data ready flag	1	Ready	0	Empty	0	R	
		D0	TDBE	Transmit data buffer empty flag	1	Empty	0	Not empty	1	R	

D7 Reserved

D6 FER: Framing Error Flag

フレーミングエラーが発生しているか否かを示します。
1(R): エラー発生
0(R): エラーなし(デフォルト)
1(W): 0にリセット
0(W): 無効

FERはフレーミングエラーが発生すると1にセットされます。フレーミングエラーは、ストップビットを0としてデータを受信した場合に発生します。
FERは1を書き込むことによりリセットされます。

D5 PER: Parity Error Flag

パリティエラーが発生しているか否かを示します。
1(R): エラー発生
0(R): エラーなし(デフォルト)
1(W): 0にリセット
0(W): 無効

PERはパリティエラーが発生すると1にセットされます。パリティチェックはPREN(D3/UART_MODレジスタ)が1に設定されている場合にのみ有効で、受信データがシフトレジスタから受信データバッファに転送される際に実行されます。
PERは1を書き込むことによりリセットされます。

D4 OER: Overrun Error Flag

オーバーランエラーが発生しているか否かを示します。
1(R): エラー発生
0(R): エラーなし(デフォルト)
1(W): 0にリセット
0(W): 無効

OERはオーバーランエラーが発生すると1にセットされます。オーバーランエラーは、受信データバッファが満杯の状態で、次のデータをシフトレジスタに受信し、さらに続くデータが送られてきた場合に発生します。このエラーが発生した場合、受信データバッファは上書きされず、エラーが発生した時点のシフトレジスタが上書きされます。
OERは1を書き込むことによりリセットされます。

D3 RD2B: Second Byte Received Flag

受信データバッファに2個の受信データがあることを示します。
1(R): 2バイト目が読み出し可
0(R): 2バイト目は未受信(デフォルト)

RD2Bは、受信データバッファに2バイト目のデータがロードされると1にセットされ、受信データバッファから最初のデータが読み出されると0にリセットされます。

D2 TRBS: Transmit Busy Flag

送信シフトレジスタの状態を示します。
1(R): 動作中
0(R): 待機中(デフォルト)

TRBSは、送信データが送信データバッファからシフトレジスタにロードされると1にセットされ、データ送信が完了すると0にリセットされます。送信回路が動作中か待機中かを確認する際に、読み出してください。

D1 RDRY: Receive Data Ready Flag

受信データバッファに有効な受信データがあることを示します。
1(R): データ読み出し可
0(R): バッファは空(デフォルト)

RDRYは、受信データバッファに受信データがロードされると1にセットされ、受信データバッファからすべてのデータが読み出されると0にリセットされます。

D0 TDBE: Transmit Data Buffer Empty Flag

送信データバッファの状態を示します。
1(R): バッファは空(デフォルト)
0(R): データあり

TDBEは、送信データが送信データバッファに書き込まれると0にリセットされ、そのデータがシフトレジスタに転送されると1にセットされます。

0x4101: UART Transmit Data Register (UART_TXD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Transmit Data Register (UART_TXD)	0x4101 (8 bits)	D7–0	TXD[7:0]	Transmit data TXD7(6) = MSB TXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R/W	

D[7:0] TXD[7:0]: Transmit Data

送信データバッファにセットする送信データを書き込みます。(デフォルト: 0x0)
このレジスタにデータを書き込むことにより、UARTは送信を開始します。TXD[7:0]に書き込んだデータは送信データバッファに入り送信まで待機します。
送信データバッファ内のデータが送信されると、送信バッファエンプティ割り込み要因が発生します。
7ビットモードでは、TXD7(MSB)が無効となります。
SOUT端子からはシリアル変換されたデータがLSBを先頭に、1に設定されたビットがHighレベル、0に設定されたビットがLowレベルとして出力されます。
このレジスタは読み出しも可能です。

0x4102: UART Receive Data Register (UART_RXD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Receive Data Register (UART_RXD)	**0x4102** (8 bits)	D7–0	**RXD[7:0]**	Receive data in the receive data buffer RXD7(6) = MSB RXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R	Older data in the buffer is read out first.

D[7:0] RXD[7:0]: Receive Data

受信データバッファのデータが古いものから順に読み出せます。受信したデータは受信データバッファに入ります。受信データバッファは2バイトのFIFOで、これが満杯になるまでは、読み出しを行わなくても正しく受信できます。バッファが満杯でシフトレジスタにもデータが受信されている状態では、次の受信が始まるまでにデータを読み出さないとオーバーランエラーになります。

受信回路にはRDRY（D1/UART_STレジスタ）とRD2B（D3/UART_STレジスタ）の2つの受信バッファステータスフラグが用意されています。RDRYフラグは受信データバッファ内に有効な受信データが存在することを示し、RD2Bフラグは受信データバッファに2個の受信データがあることを示します。

受信データバッファ内の受信データがRBFI（D1/UART_CTLレジスタ）で指定した数になると、受信バッファフル割り込み要因が発生します。

7ビットモードでは、RXD7に0がロードされます。

SIN端子から入力されたシリアルデータは先頭をLSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、受信データバッファにロードされます。

このレジスタは読み出し専用で、書き込みは行えません。（デフォルト: 0x0）

0x4103: UART Mode Register (UART_MOD)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
UART Mode Register (UART_MOD)	0x4103 (8 bits)	D7–5	–	reserved	–				–	–	0 when being read.
		D4	CHLN	Character length	1	8 bits	0	7 bits	0	R/W	
		D3	PREN	Parity enable	1	With parity	0	No parity	0	R/W	
		D2	PMD	Parity mode select	1	Odd	0	Even	0	R/W	
		D1	STPB	Stop bit select	1	2 bits	0	1 bit	0	R/W	
		D0	SSCK	Input clock select	1	External	0	Internal	0	R/W	

D[7:5] Reserved

D4 CHLN: Character Length Select Bit

シリアル転送データのデータ長を選択します。
1(R/W): 8ビット
0(R/W): 7ビット(デフォルト)

D3 PREN: Parity Enable Bit

パリティ機能を有効にします。
1(R/W): パリティ付き
0(R/W): パリティなし(デフォルト)

PRENによって、受信データのパリティチェック、および送信データへのパリティビットの付加を行うかどうかを選択します。PRENを1に設定すると、受信データはパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。PRENを0に設定した場合はパリティビットのチェックおよび付加は行われません。

D2 PMD: Parity Mode Select Bit

パリティモードを選択します。
1(R/W): 奇数パリティ
0(R/W): 偶数パリティ(デフォルト)

PMDに1を書き込むと奇数パリティが選択され、0を書き込むと偶数パリティが選択されます。パリティチェックおよびパリティビットの付加はPREN(D3)が1に設定されている場合にのみ有効で、PREN(D3)が0の場合、PMDの設定は無効となります。

D1 STPB: Stop Bit Select Bit

ストップビット長を選択します。
1(R/W): 2ビット
0(R/W): 1ビット(デフォルト)

STPBに1を書き込むとストップビットが2ビットに、0を書き込むと1ビットになります。スタートビットは1ビットに固定です。

D0 SSCK: Input Clock Select Bit

入力クロックを選択します。
1(R/W): 外部クロック(SCLK)
0(R/W): 内部クロック(デフォルト)

内部クロック(8ビットタイマ出力クロック)を使用するか、外部クロック(SCLK端子から入力)を使用するか選択します。SSCKに1を書き込むと外部クロック、0を書き込むと内部クロックが選択されます。

0x4104: UART Control Register (UART_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Control Register (UART_CTL)	0x4104 (8 bits)	D7	–	reserved	–	–	–	0 when being read.
		D6	REIEN	Receive error int. enable	1 Enable 0 Disable	0	R/W	
		D5	RIEN	Receive buffer full int. enable	1 Enable 0 Disable	0	R/W	
		D4	TIEN	Transmit buffer empty int. enable	1 Enable 0 Disable	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	RBFI	Receive buffer full int. condition	1 2 bytes 0 1 byte	0	R/W	
		D0	RXEN	UART enable	1 Enable 0 Disable	0	R/W	

D7 Reserved

D6 REIEN: Receive Error Interrupt Enable Bit

受信エラー発生時のITCへの割り込み要求を許可します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

受信エラーを割り込みによって処理する場合は、このビットを1に設定してください。

D5 RIEN: Receive Buffer Full Interrupt Enable Bit

受信データバッファの受信データ数がRBFI(D1)の指定値になったことによるITCへの割り込み要求を許可します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

受信データを割り込みによって読み出す場合は、このビットを1に設定してください。

D4 TIEN: Transmit Buffer Empty Interrupt Enable Bit

送信データバッファの送信データがシフトレジスタに送られた(データ送信を開始した)ことによるITCへの割り込み要求を許可します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

送信データバッファへのデータ書き込みを割り込みによって行う場合は、このビットを1に設定してください。

D[3:2] Reserved

D1 RBFI: Receive Buffer Full Interrupt Condition Setup Bit

受信バッファフル割り込みを発生させる、受信バッファ内のデータ数を設定します。
1(R/W): 2バイト
0(R/W): 1バイト(デフォルト)

受信バッファフル割り込みが許可されている場合(RIEN = 1)、RBFIで指定されている数の受信データが受信データバッファにロードされると、UARTは割り込み要求パルスをITCに出力します。RBFIビットが0の場合、1個の受信データが受信データバッファにロードされた(RDRYフラグ(D1/UART_STレジスタ)が1にセットされた)時点で割り込み要求パルスが出力されます。RBFIが1の場合、2個の受信データが受信データバッファにロードされた(RD2Bフラグ(D3/UART_STレジスタ)が1にセットされた)時点で割り込み要求パルスが出力されます。

D0 RXEN: UART Enable Bit

UARTによるデータ送受信を許可します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

UARTで送受信を始める前にRXENを1に設定してください。RXENを0に設定するとデータ送受信が禁止されます。転送条件の設定は、RXENが0の状態で行ってください。
RXENに0を書き込んで送受信を禁止すると、送信データバッファもクリアされます。

0x4105: UART Expansion Register (UART_EXP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
UART Expansion Register (UART_EXP)	0x4105 (8 bits)	D7	–	reserved	–		–	–	0 when being read.
		D6–4	IRCLK[2:0]	IrDA receive detection clock select	IRCLK[2:0]	Clock	0x0	R/W	
					0x7	PCLK•1/128			
					0x6	PCLK•1/64			
					0x5	PCLK•1/32			
					0x4	PCLK•1/16			
					0x3	PCLK•1/8			
					0x2	PCLK•1/4			
					0x1	PCLK•1/2			
					0x0	PCLK•1/1			
		D3–1	–	reserved	–		–	–	0 when being read.
		D0	IRMD	IrDA mode select	1 On	0 Off	0	R/W	

D7 Reserved

D[6:4] IRCLK[2:0]: IrDA Receive Detection Clock Select Bits

IrDA入力パルス検出クロックとして使用するプリスケーラ出力クロックを選択します。

表18.9.2 IrDA受信検出クロックの選択

IRCLK[2:0]	プリスケーラ出力クロック
0x7	PCLK•1/128
0x6	PCLK•1/64
0x5	PCLK•1/32
0x4	PCLK•1/16
0x3	PCLK•1/8
0x2	PCLK•1/4
0x1	PCLK•1/2
0x0	PCLK•1/1

（デフォルト: 0x0）

このクロックには、8ビットタイマまたはSCLK端子から入力される転送クロックsclkよりも高速なクロックを選択する必要があります。
復調回路はIrDA受信検出クロックの2サイクル以上の幅を持つLowパルスを有効と見なします。最小1.41µs幅の入力パルスが検出できるように、適切なプリスケーラ出力クロックを選択してください。

D[3:1] Reserved

D0 IRMD: IrDA Mode Select Bit

IrDAインタフェース機能をOn/Offします。
1（R/W）: On
0（R/W）: Off（デフォルト）

IrDAインタフェースを使用する場合に1に設定します。0に設定すると、本モジュールはIrDA機能のない通常のUARTとして機能します。

18.10 注意事項

- UARTの以下のビットは、送受信禁止の状態（RXEN = 0）で設定してください。
  - UART_MODレジスタ（0x4103）のビットすべて（SSCK, STPB, PMD, PREN, CHLN）
  - UART_CTLレジスタ（0x4104）の RXEN以外のビットすべて（RBFI, TIEN, RIEN, REIEN）
  - UART_EXPレジスタ（0x4105）のビットすべて（IRMD, IRCLK[2:0]）

  ＊ **RXEN**: UART Enable Bit in the UART Control (UART_CTL) Register (D0/0x4104)
- UARTが送信または受信中は、RXENを0に設定しないでください。
- UARTの転送レートは最大115200bpsに制限されています。これ以上の転送レートは設定しないでください。
- RXENを0に設定して送受信を禁止すると、送信データバッファがクリア（初期化）されます。RXENに0を書き込む前に、バッファ内に送信待ちのデータが残っていないことを確認してください。
- IrDA受信検出クロックには、8ビットタイマまたはSCLK端子から入力される転送クロックsclkよりも高速なクロックを選択する必要があります。
- IrDAインタフェースの復調回路はIrDA受信検出クロックの2サイクル以上の幅を持つLowパルスを有効と見なします。最小1.41µs幅の入力パルスが検出できるように、適切なプリスケーラ出力クロックをIrDA受信検出クロックとして選択してください。

このページはブランクです。

19 SPI

19.1 SPIの構成

S1C17701は同期式シリアルインタフェースモジュール(以降SPI)を内蔵しています。このSPIモジュールはマスタおよびスレーブの両モードに対応し、8ビットのデータ転送を行います。データ転送のタイミング(クロックの位相と極性)は4種類から選択可能です。
シフトレジスタとは別に送信データバッファと受信データバッファを内蔵し、2種類の割り込み(送信バッファエンプティと受信バッファフル)を発生可能です。これにより、連続したシリアルデータ転送を割り込みによって簡潔に処理することができます。
図19.1.1にSPIモジュールの構造を示します。

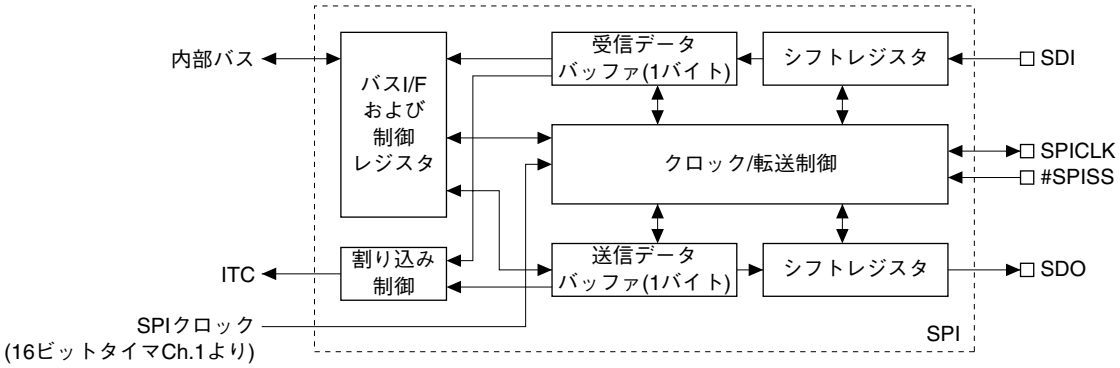


図19.1.1 SPIモジュールの構造

19.2 SPI入出力端子

表19.2.1にSPI端子の一覧を示します。

表19.2.1 SPI端子一覧

端子名	I/O	本数	機　能
SDI (P20)	I	1	SPIデータ入力端子 SPIバスからシリアルデータを入力します。
SDO (P21)	O	1	SPIデータ出力端子 シリアルデータをSPIバスに出力します。
SPICLK (P22)	I/O	1	SPI外部クロック入出力端子 本SPIがマスタモードの場合にSPIクロックを出力します。 本SPIをスレーブモードで使用する場合は外部クロックを入力します。
#SPISS (P17)	I	1	SPIスレーブ選択信号（アクティブLow）入力端子 この端子へのLow入力により、本SPI（スレーブモード）がスレーブデバイスとして選択されます。

SPIの入出力端子（SDI、SDO、SPICLK、#SPISS）は汎用入出力ポート端子（P20、P21、P22、P17）を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをSPIの入出力端子として使用するには、P2_PMUXおよびP1_PMUXレジスタの設定により機能を切り換える必要があります。以下の制御ビットを1に設定して、端子をSPI用に切り換えてください。

P20 → SDI
- **P20MUX**: P20 Port Function Select Bit in the P2 Port Function Select (P2_PMUX) Register (D0/0x52a2)

P21 → SDO
- **P21MUX**: P21 Port Function Select Bit in the P2 Port Function Select (P2_PMUX) Register (D1/0x52a2)

P22 → SPICLK
- **P22MUX**: P22 Port Function Select Bit in the P2 Port Function Select (P2_PMUX) Register (D2/0x52a2)

P17 → #SPISS
- **P17MUX**: P17 Port Function Select Bit in the P1 Port Function Select (P1_PMUX) Register (D7/0x52a1)

端子の機能と切り換えの詳細については、“10.2 入出力端子機能の選択（ポートMUX）”を参照してください。

19.3 SPIクロック

マスタモードのSPIは、16ビットタイマCh.1が出力する内部クロックをSPIクロックとして使用します。このクロックはシフトレジスタを駆動すると共に、SPICLK端子からスレーブデバイスへ出力されます。16ビットタイマCh.1から転送レートに合ったクロックが出力されるようにプログラムしてください。16ビットタイマの制御については、“11 16ビットタイマ(T16)”を参照してください。

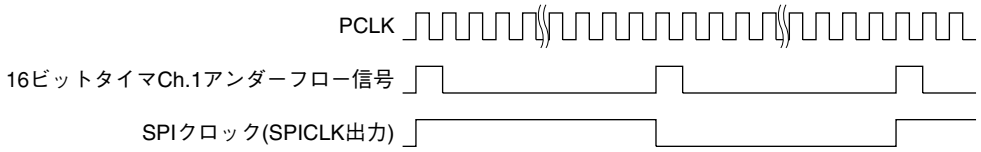


図19.3.1 マスタモードのSPIクロック

スレーブモードでは、SPICLK端子からSPIクロックを入力します。

注: SPICLK端子から入力するクロックのデューティ比は50%である必要があります。

19.4 データ転送条件の設定

SPIモジュールはマスタモードまたはスレーブモードに設定できます。また、SPIクロックの極性と位相をSPI_CTLレジスタで設定可能です。
データ長は8ビットに固定されています。

注: マスタ/スレーブモードの選択およびクロック条件の設定は、SPIモジュールが停止中(SPEN/SPI_CTLレジスタ = 0)に行ってください。

∗ **SPEN**: SPI Enable Bit in the SPI Control (SPI_CTL) Register (D0/0x4326)

マスタ/スレーブモードの選択

MSSL(D1/SPI_CTLレジスタ)を使用して、SPIモジュールをマスタモードまたはスレーブモードに設定します。MSSLを1に設定するとマスタモード、0(デフォルト)に設定するとスレーブモードになります。マスタモードでは、内部クロックを使用してデータ転送を行います。スレーブモードでは、マスタデバイスのクロックを入力してデータ転送を行います。

∗ **MSSL**: Master/Slave Mode Select Bit in the SPI Control (SPI_CTL) Register (D1/0x4326)

SPIクロック極性と位相の設定

SPIクロックの極性は、CPOL(D2/SPI_CTLレジスタ)で選択します。CPOLを1に設定するとSPIクロックはアクティブLow、0(デフォルト)に設定するとアクティブHighと見なされます。

∗ **CPOL**: Clock Polarity Select Bit in the SPI Control (SPI_CTL) Register (D2/0x4326)

SPIクロックの位相はCPHA(D3/SPI_CTLレジスタ)で選択します。

∗ **CPHA**: Clock Phase Select Bit in the SPI Control (SPI_CTL) Register (D3/0x4326)

これらの制御ビットにより、転送タイミングは下図のように設定されます。

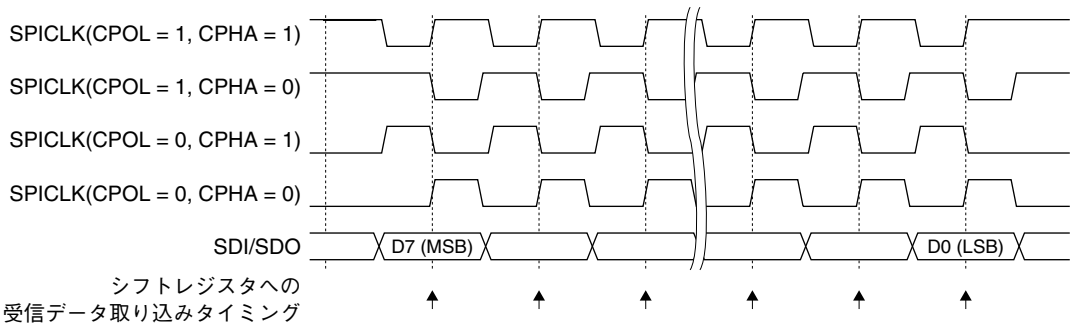


図19.4.1 クロックとデータ転送タイミング

注: SPIをマスタモードかつCPHA = 0の設定で使用する場合、送信データ1ビット目の変化からクロックの変化までが最短でシステムクロックの1周期の長さになる場合があります。

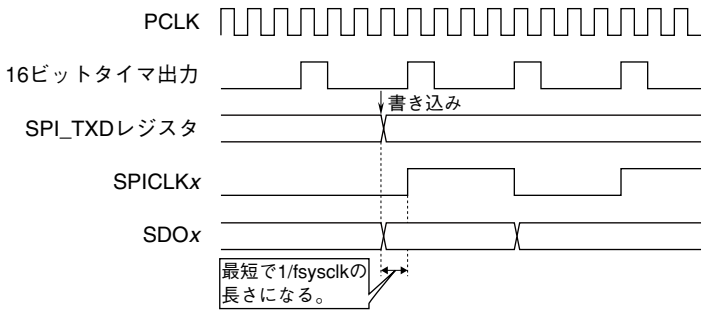


図19.4.2 CPHA = 0 時のSDO*x*およびSPICLK*x*の変化タイミング

送信データの2ビット目以降および連続転送時の2バイト目以降については、データの変化からクロックの変化まではSPICLK*x*半周期の長さが確保されます。

19.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。
(1) SPIクロックが出力されるように16ビットタイマCh.1を設定します。11章を参照してください。
(2) マスタモードまたはスレーブモードを選択します。19.4節を参照してください。
(3) クロック条件を設定します。19.4節を参照してください。
(4) SPI割り込みを使用する場合は、割り込み条件を設定します。19.6節を参照してください。

注: 上記の設定は、必ずSPIが停止中(SPEN/SPI_CTLレジスタ = 0)に行ってください。

* **SPEN**: SPI Enable Bit in the SPI Control (SPI_CTL) Register (D0/0x4326)

データ送受信を許可

最初にSPEN(D0/SPI_CTLレジスタ)を1に設定してSPIの動作を許可します。これにより、SPIが送受信可能な状態となり、クロックの入出力も許可されます。

注: SPIモジュールが送受信中はSPENを0に設定しないでください。

データ送信制御

送信を開始するには、SPI_TXDレジスタ(0x4322)に送信データを書き込みます。

* **SPI_TXD**: SPI Transmit Data Register (0x4322)

データは送信データバッファに書き込まれ、SPIモジュールはデータ送信を開始します。
バッファのデータは送信用シフトレジスタに送られます。マスタモードでは、SPICLK端子からクロックの出力を開始します。スレーブモードではSPICLK端子からのクロック入力を待ちます。シフトレジスタ内のデータはCPHA(D3/SPI_CTLレジスタ)とCPOL(D2/SPI_CTLレジスタ)で決まるクロックの立ち上がりまたは立ち下がりエッジで順次シフトされ(図19.4.1参照)、SDO端子からMSBを先頭に送信されます。

* **CPHA**: Clock Phase Select Bit in the SPI Control (SPI_CTL) Register (D3/0x4326)
* **CPOL**: Clock Polarity Select Bit in the SPI Control (SPI_CTL) Register (D2/0x4326)

SPIモジュールには送信の制御用にSPTBE(D0/SPI_STレジスタ)とSPBSY(D2/SPI_STレジスタ)の2つのステータスフラグが用意されています。

* **SPTBE**: Transmit Data Buffer Empty Flag in the SPI Status (SPI_ST) Register (D0/0x4320)
* **SPBSY**: Transfer Busy Flag in the SPI Status (SPI_ST) Register (D2/0x4320)

SPTBEフラグは送信データバッファの状態を示します。このフラグはアプリケーションプログラムがSPI_TXDレジスタ(送信データバッファ)にデータを書き込むと0になり、バッファのデータが送信用シフトレジスタに送られると1に戻ります。このフラグが1になった時点で割り込みを発生させることができます(19.6節参照)。この割り込みを利用するか、SPTBEフラグの読み出しによって送信データバッファが空であることを確認し、次のデータ送信を行います。送信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、1つ前のデータを送信中に、データの書き込みが行えます。 ただし、送信データを書き込む前に、送信データバッファが空になっていることを確認してください。SPTBEフラグが0の場合にデータを書き込むと、送信データバッファ内にある1つ前の送信データが新たなデータで上書きされてしまいます。

マスタモード時、SPBSYフラグはシフトレジスタの状態を示します。このフラグは送信データが送信データバッファからシフトレジスタにロードされると1になり、データ送信が完了すると0に戻ります。SPIモジュールが動作中か待機中かについては、このフラグを読み出して確認してください。
スレーブモードのSPBSYフラグはSPIスレーブ選択信号(#SPISS端子)の状態を示します。本SPIモジュールがスレーブとして選択されている場合に1となり、非選択状態では0になります。

データ受信制御

マスタモードの場合、ダミーデータをSPI_TXDレジスタ(0x4322)に書き込みます。SPI_TXDレジスタへの書き込みは、送信の開始だけではなく受信のトリガにもなります。実際の送信データを書き込んで送受信を同時に行うことも可能です。
これにより、SPICLKからSPIクロック出力を開始します。

スレーブモードの場合は、SPICLKからクロックが入力されるまで待機します。スレーブモードで受信のみを行い、送信が不要の場合はSPI_TXDレジスタへの書き込み操作は必要ありません。受信動作はマスタデバイスからのクロック入力により開始します。送受信を同時に行う場合は、クロックが入力される前に送信データをSPI_TXDレジスタに書き込んでおきます。

データはMSBを先頭に、CPHA(D3/SPI_CTLレジスタ)とCPOL(D2/SPI_CTLレジスタ)で決まるクロックの立ち上がりまたは立ち下がりエッジで順次シフトレジスタに取り込まれます(図19.4.1参照)。
8ビットのデータをシフトレジスタに受信し終わると、受信データは受信データバッファにロードされます。

バッファ内の受信データはSPI_RXDレジスタ(0x4324)から読み出すことができます。

* **SPI_RXD**: SPI Receive Data Register (0x4324)

SPIモジュールには受信の制御用にSPRBFフラグ(D1/SPI_STレジスタ)が用意されています。

* **SPRBF**: Receive Data Buffer Full Flag in the SPI Status (SPI_ST) Register (D1/0x4320)

SPRBFフラグは受信データバッファの状態を示します。このフラグはシフトレジスタに受信したデータが受信データバッファにロードされると1になり、受信データが読み出せることを示します。バッファのデータがSPI_RXDレジスタから読み出されると0に戻ります。このフラグが1になった時点で割り込みを発生させることができます(19.6節参照)。この割り込みを利用するか、SPRBFフラグの読み出しによって受信データバッファに有効な受信データがあることを確認し、受信データを読み出してください。受信バッファサイズは1バイトですが、シフトレジスタが別に用意されていますので、次のデータを受信中も、バッファ内の受信データは保持されます。 ただし、次のデータ受信が終了する前に受信データバッファを読み出してください。受信データバッファを読み出す前に次の受信が終了すると、バッファ内の1つ前の受信データは新たな受信データで上書きされてしまいます。

マスタモードでは、シフトレジスタの状態を示すSPBSYフラグが、データ送信時と同様に使用可能です。

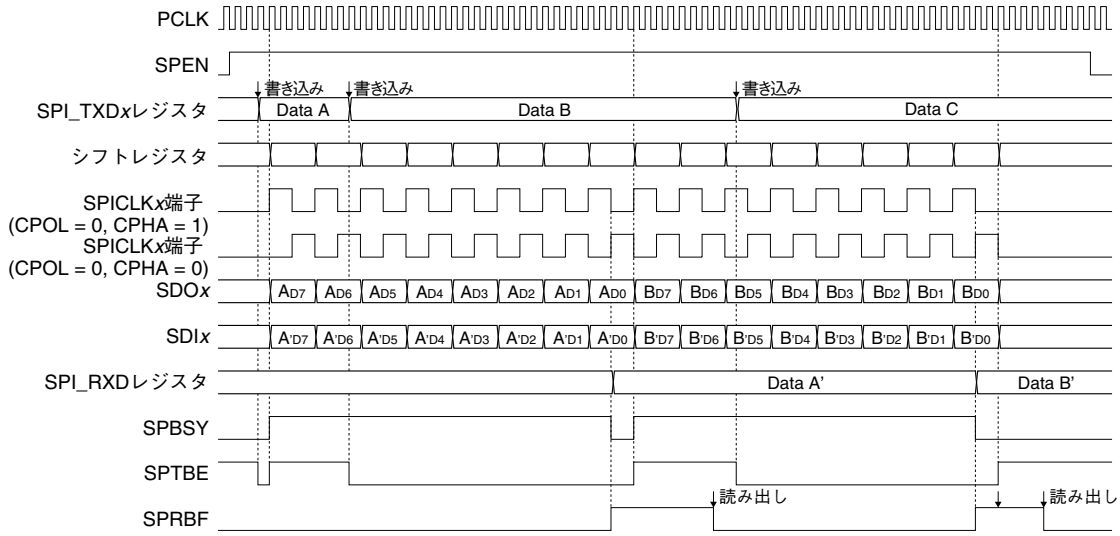


図19.5.1 データ送受信タイミングチャート(MSB先頭)

データ送受信を禁止

データ転送(送信と受信の両方)を終了後は、SPENビットに0を書き込んでデータ送受信を禁止します。ただし、データ送受信を禁止する前に、SPTBEフラグが1、SPBSYフラグが0になっていることを確認してください。

データの送受信中にSPENを0に設定した場合、転送中のデータは保証されません。

19.6 SPI割り込み

SPIモジュールには、以下の2種類の割り込みを発生させる機能があります。
• 送信バッファエンプティ割り込み
• 受信バッファフル割り込み

SPIモジュールは、上記2種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、ステータスフラグを読み出してください。

送信バッファエンプティ割り込み

この割り込みを使用するには、SPTIE(D4/SPI_CTLレジスタ)を1に設定します。SPTIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

∗ **SPTIE**: Transmit Data Buffer Empty Interrupt Enable Bit in the SPI Control (SPI_CTL) Register (D4/0x4326)

送信データバッファに書き込まれた送信データがシフトレジスタに転送されると、SPIモジュールはSPTBEビット(D0/SPI_STレジスタ)を1にセットして送信データバッファが空であることを示します。送信バッファエンプティ割り込みが許可されていれば(SPTIE = 1)、これと同時に割り込み要求パルスがITCに出力されます。

∗ **SPTBE**: Transmit Data Buffer Empty Flag in the SPI Status (SPI_ST) Register (D0/0x4320)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。
SPI割り込みが送信バッファエンプティによるものかどうかについては、SPI割り込み処理ルーチンでSPTBEフラグを読み出して確認してください。SPTBEが1であれば、割り込み処理ルーチンで次の送信データを送信データバッファに書き込むことができます。

受信バッファフル割り込み

この割り込みを使用するには、SPRIE(D5/SPI_CTLレジスタ)を1に設定します。SPRIEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

∗ **SPRIE**: Receive Data Buffer Full Interrupt Enable Bit in the SPI Control (SPI_CTL) Register (D5/0x4326)

シフトレジスタに受信したデータが受信データバッファにロードされると、SPIモジュールはSPRBFビット(D1/SPI_STレジスタ)を1にセットして、受信データバッファに読み出し可能な受信データがあることを示します。受信バッファフル割り込みが許可されていれば(SPRIE = 1)、これと同時に割り込み要求パルスがITCに出力されます。

∗ **SPRBF**: Receive Data Buffer Full Flag in the SPI Status (SPI_ST) Register (D1/0x4320)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。
SPI割り込みが受信バッファフルによるものかどうかについては、SPI割り込み処理ルーチンでSPRBFフラグを読み出して確認してください。SPRBFが1であれば、割り込み処理ルーチンで受信データバッファから受信データを読み出すことができます。

SPI割り込み用ITCレジスタ

ITC内のSPIモジュール用制御ビットを以下に示します。

割り込みフラグ

∗ **IIFT6**: SPI Interrupt Flag in the Interrupt Flag (ITC_IFLG) Register (D14/0x4300)

割り込みイネーブルビット

∗ **IIEN6**: SPI Interrupt Enable Bit in the Interrupt Enable (ITC_EN) Register (D14/0x4302)

割り込みレベル設定ビット

∗ **IILV6[2:0]**: SPI Interrupt Level Bits in the Internal Interrupt Level Setup (ITC_ILV3) Register 3 (D[2:0]/0x4314)

SPIモジュールが割り込み要求パルスを出力すると、割り込みフラグIIFT6が1にセットされます。
割り込みイネーブルビットIIEN6が1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。SPIによる割り込みを禁止するには、IIEN6を0に設定しておきます。
IIFT6フラグは、IIEN6ビットの設定にかかわらず(0に設定されていても)、SPIの割り込み要求パルスによって1にセットされます。

割り込みレベル設定ビットIILV6[2:0]は、SPI割り込みのレベル(0〜7)を設定します。

S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。
- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- SPI割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、"6 割り込みコントローラ(ITC)"を参照してください。

割り込みベクタ

SPI割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号:　　18(0x12)
ベクタアドレス: 0x8048

19.7 制御レジスタ詳細

表19.7.1 SPIレジスター覧

アドレス	レジスタ名		機　能
0x4320	SPI_ST	SPI Status Register	転送、バッファステータスの表示
0x4322	SPI_TXD	SPI Transmit Data Register	送信データ
0x4324	SPI_RXD	SPI Receive Data Register	受信データ
0x4326	SPI_CTL	SPI Control Register	SPIモードとデータ転送許可の設定

以下、SPIのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: • レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

• SPIレジスタのリード/ライトには必ず16ビットアクセス命令を使用してください。32ビットおよび8ビットアクセス命令でSPIレジスタをリード/ライトすることはできません。

0x4320: SPI Status Register (SPI_ST)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
SPI Status Register (SPI_ST)	0x4320 (16 bits)	D15–3	–	reserved	–				–	–	0 when being read.
		D2	SPBSY	Transfer busy flag (master)	1	Busy	0	Idle	0	R	
				ss signal low flag (slave)	1	ss = L	0	ss = H			
		D1	SPRBF	Receive data buffer full flag	1	Full	0	Not full	0	R	
		D0	SPTBE	Transmit data buffer empty flag	1	Empty	0	Not empty	1	R	

D[15:3] Reserved

D2 SPBSY: Transfer Busy Flag (Master Mode)/ss Signal Low Flag (Slave Mode)

マスタモード

SPIの送受信動作状態を示します。
1(R): 動作中
0(R): 待機中(デフォルト)

SPBSYはSPIがマスタモードで送受信を開始すると1にセットされ、送受信中は1を保持します。送受信動作が終了すると、0にクリアされます。

スレーブモード

スレーブ選択(#SPISS)信号の状態を示します。
1(R): Lowレベル(本SPIが選択状態)
0(R): Highレベル(本SPIは非選択状態)(デフォルト)

SPBSYは、マスタデバイスが本SPIモジュール(スレーブデバイス)を選択するために#SPISS信号をアクティブにすると1にセットされます。マスタデバイスが#SPISS信号をインアクティブとして本SPIモジュールの選択を解除すると0に戻ります。

D1 SPRBF: Receive Data Buffer Full Flag

受信データバッファの状態を示します。
1(R): データフル
0(R): データなし(デフォルト)

SPRBFはシフトレジスタに受信したデータが受信データバッファに転送されると(受信が完了すると)1となり、そのデータが読み出し可能であることを示します。バッファのデータがSPI_RXDレジスタ(0x4324)から読み出されると0に戻ります。

D0 SPTBE: Transmit Data Buffer Empty Flag

送信データバッファの状態を示します。
1(R): エンプティ(デフォルト)
0(R): データあり

SPTBEはSPI_TXDレジスタ(送信データバッファ、0x4322)に送信データが書き込まれると0となり、そのデータがシフトレジスタに転送されると(送信を開始すると)1となります。
SPI_TXDレジスタへの送信データの書き込みは、このビットが1の場合に行います。

0x4322: SPI Transmit Data Register (SPI_TXD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI Transmit Data Register (SPI_TXD)	0x4322 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SPTDB[7:0]	SPI transmit data buffer SPTDB7 = MSB SPTDB0 = LSB	0x0 to 0xff	0x0	R/W	

D[15:8] Reserved

D[7:0] SPTDB[7:0]: SPI Transmit Data Buffer Bits

送信データバッファに書き込む送信データを設定します。(デフォルト: 0x0)
マスタモードでは、このレジスタにデータを書き込むことにより送信を開始します。スレーブモードでは、マスタからクロックが入力されるとこのレジスタの内容がシフトレジスタに送られ、送信を開始します。
このレジスタに書き込んだデータがシフトレジスタに転送された時点で、SPTBE(D0/SPI_STレジスタ)が1(エンプティ)にセットされます。同時に送信バッファエンプティ割り込み要因も発生します。それ以降であれば、データの送信中であっても次の送信データを書き込むことができます。
SDO端子からはシリアル変換されたデータがMSBを先頭に、1に設定されたビットがHighレベル、0に設定されたビットがLowレベルとして出力されます。

注: データの送受信を行う場合、SPI_TXDへの書き込みはSPENを1に設定した後に行ってください。

0x4324: SPI Receive Data Register (SPI_RXD)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SPI Receive Data Register (SPI_RXD)	0x4324 (16 bits)	D15–8	–	reserved	–	–	–	0 when being read.
		D7–0	SPRDB[7:0]	SPI receive data buffer SPRDB7 = MSB SPRDB0 = LSB	0x0 to 0xff	0x0	R	

D[15:8] Reserved

D[7:0] SPRDB[7:0]: SPI Receive Data Buffer Bits

受信データが格納されます。(デフォルト: 0x0)
受信が終了し、シフトレジスタのデータが受信データバッファに転送された時点でSPRBF(D1/SPI_STレジスタ)が1(データフル)にセットされます。同時に受信バッファフル割り込み要因も発生します。これ以降、次のデータの受信を終了するまで、データの読み出しが可能です。このレジスタを読み出す前に次の受信を終了した場合は、新たな受信データで上書きされます。
SDI端子から入力されたシリアルデータは先頭をMSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。
このレジスタは読み出し専用で、書き込みは行えません。

0x4326: SPI Control Register (SPI_CTL)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
SPI Control Register (SPI_CTL)	0x4326 (16 bits)	D15–6	–	reserved	–				–	–	0 when being read.
		D5	SPRIE	Receive data buffer full int. enable	1	Enable	0	Disable	0	R/W	
		D4	SPTIE	Transmit data buffer empty int. enable	1	Enable	0	Disable	0	R/W	
		D3	CPHA	Clock phase select	1	Data out	0	Data in	0	R/W	These bits must be set before setting SPEN to 1.
		D2	CPOL	Clock polarity select	1	Active L	0	Active H	0	R/W	
		D1	MSSL	Master/slave mode select	1	Master	0	Slave	0	R/W	
		D0	SPEN	SPI enable	1	Enable	0	Disable	0	R/W	

D[15:6] Reserved

D5 SPRIE: Receive Data Buffer Full Interrupt Enable Bit

受信データバッファフルによるSPI割り込みを許可/禁止します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

SPRIEを1に設定すると、受信データバッファフルによるSPI割り込み要求のITCへの出力を許可します。この割り込み要求は、シフトレジスタに受信したデータが受信データバッファに転送される(受信が完了する)ことにより発生します。
SPRIEを0に設定すると、受信データバッファフルによるSPI割り込みは発生しません。

D4 SPTIE: Transmit Data Buffer Empty Interrupt Enable Bit

送信データバッファエンプティによるSPI割り込みを許可/禁止します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

SPTIEを1に設定すると、送信データバッファエンプティによるSPI割り込み要求のITCへの出力を許可します。この割り込み要求は、送信データバッファに書き込んだデータがシフトレジスタに転送される(送信を開始する)ことにより発生します。
SPTIEを0に設定すると、送信データバッファエンプティによるSPI割り込みは発生しません。

D3 CPHA: SPI Clock Phase Select Bit

SPIクロックの位相を選択します。(デフォルト: 0)
CPOL(D2)と共に、データ転送タイミングを設定します(図19.7.1参照)。

D2 CPOL: SPI Clock Polarity Select Bit

SPIクロックの極性を選択します。
1(R/W): アクティブLow
0(R/W): アクティブHigh(デフォルト)

CPHA(D3)と共に、データ転送タイミングを設定します(図19.7.1参照)。

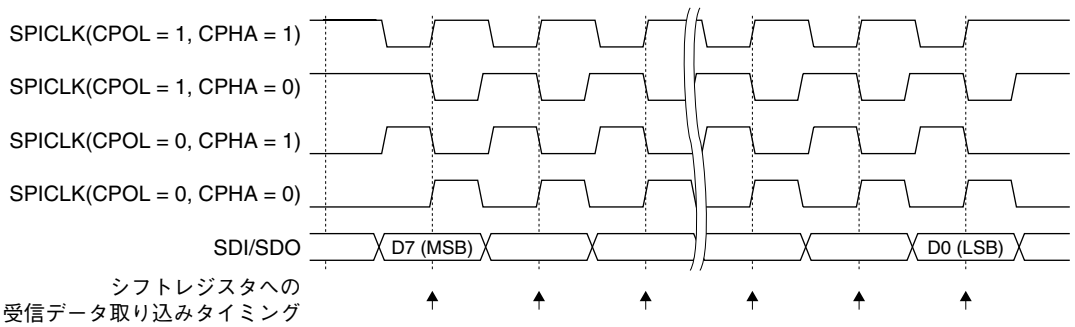


図19.7.1 クロックとデータ転送タイミング

D1 MSSL: Master/Slave Mode Select Bit

SPIモジュールをマスタモードまたはスレーブモードに設定します。
1(R/W): マスタモード
0(R/W): スレーブモード(デフォルト)

MSSLを1に設定するとマスタモード、0に設定するとスレーブモードになります。マスタモードでは、16ビットタイマCh.1で生成したクロックでデータ転送を行います。スレーブモードでは、マスタデバイスからクロックを入力してデータ転送を行います。

D0 SPEN: SPI Enable Bit

SPIモジュールの動作を許可/禁止します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

SPENを1に設定するとSPIモジュールが動作を開始し、データ転送が行える状態になります。
SPENを0に設定すると、SPIモジュールは動作を停止します。

注: CPHA、CPOL、MSSLビットの設定は、SPENビットを0に設定して行ってください。

19.8 注意事項

- SPIレジスタ(0x4320～0x4326)のリード/ライトには必ず16ビットアクセス命令を使用してください。32ビットおよび8ビットアクセス命令でSPIレジスタをリード/ライトすることはできません。
- SPBSYフラグ(D2/SPI_STレジスタ)が1の間(データの転送中)は、SPI_CTLレジスタ(0x4326)にアクセスしないでください。

  * **SPBSY**: Transfer Busy Flag in the SPI Status (SPI_ST) Register (D2/0x4320)

20 I²C

20.1 I²Cの構成

S1C17701は高速同期シリアル通信用に、I²Cバスインタフェースモジュールを内蔵しています。I²Cモジュールは16ビットタイマCh.2から供給されるクロックを使用し、マスタデバイスとして動作します(シングルマスタとしてのみ使用可能です)。標準(100kbps)モードおよびファストモード(400kbps)、7ビット/10ビットスレーブアドレスモードに対応しています。また、データ転送の信頼性向上に役立つ、ノイズ除去機能が組み込まれています。
本モジュールは、2種類の割り込み(送信バッファエンプティと受信バッファフル割り込み)を発生可能で、連続したシリアルデータ転送を割り込みによって簡潔に処理することができます。
図20.1.1にI²Cモジュールの構造を示します。

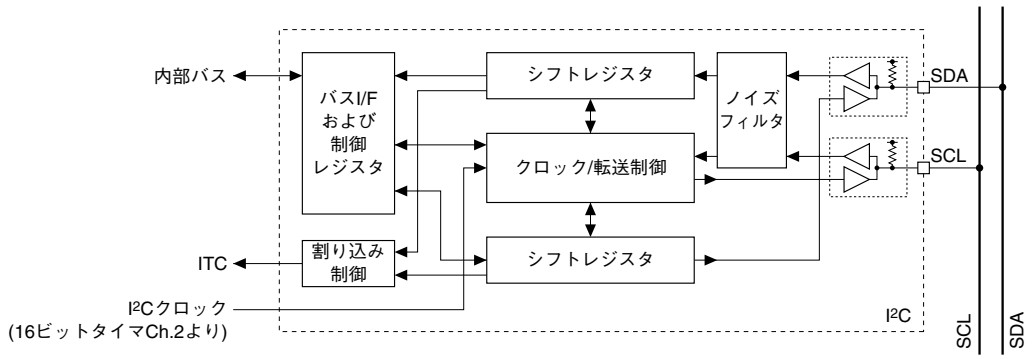


図20.1.1 I²Cモジュールの構造

注: 本I²Cモジュールにクロックストレッチ機能はありません。このため、クロックストレッチによって通信の同期を取るI²Cスレーブデバイスには対応しません。

20.2 I²C入出力端子

表20.2.1にI²C端子の一覧を示します。

表20.2.1 I²C端子一覧

端子名	I/O	本数	機　能
SDA (P14)	I/O	1	I²Cデータ入出力端子 I²Cバスからシリアルデータを入力します。 また、シリアルデータをI²Cバスに出力します。
SCL (P15)	I/O	1	I²Cクロック入出力端子 SCLラインの状態を入力します。 また、シリアルクロックを出力します。

I²Cの入出力端子(SDA、SCL)は汎用入出力ポート端子(P14、P15)を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをI²Cの入出力端子として使用するには、P1_PMUXレジスタの設定により機能を切り換える必要があります。以下の制御ビットを1に設定して、端子をI²C用に切り換えてください。

P14 → SDA

* **P14MUX**: P14 Port Function Select Bit in the P1 Port Function Select (P1_PMUX) Register (D4/0x52a1)

P15 → SCL

* **P15MUX**: P15 Port Function Select Bit in the P1 Port Function Select (P1_PMUX) Register (D5/0x52a1)

端子の機能と切り換えの詳細については、“10.2 入出力端子機能の選択(ポートMUX)”を参照してください。

20.3 I²Cクロック

I²Cモジュールは、16ビットタイマCh.2が出力する内部クロックを同期クロックとして使用します。このクロックはシフトレジスタを駆動すると共に、SCL端子からスレーブデバイスへ出力されます。
16ビットタイマCh.2から転送レートに合ったクロックが出力されるようにプログラムしてください。16ビットタイマの制御については、“11 16ビットタイマ(T16)”を参照してください。

I²Cモジュールはスレーブデバイスとしては機能しません。SCL入力端子はI²CバスのSCL信号の状態チェックに使用され、同期クロックの入力用には使用されません。

20.4 データ転送前の設定項目

I²Cモジュールには、アプリケーションプログラムから選択可能なノイズ除去のオプション機能があります。

ノイズ除去機能

I²Cモジュールには、SDAおよびSCL端子の入力信号からノイズを除去する機能が組み込まれています。この機能は、NSERM（D4/I2C_CTLレジスタ）を1に設定することにより有効となります。
ただし、この機能を使用するには、I²Cクロック（16ビットタイマCh.2出力クロック）周波数をPCLKの1/6以下に設定する必要があります。

* **NSERM**: Noise Remove On/Off Bit in the I²C Control (I2C_CTL) Register (D4/0x4342)

20.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。
(1) I²Cクロックが出力されるように16ビットタイマCh.2を設定します。11章を参照してください。
(2) オプション機能を選択します。 20.4節を参照してください。
(3) I²C割り込みを使用する場合は、割り込み条件を設定します。20.6節を参照してください。

注: 上記の設定は、必ずI²Cモジュールが停止中(I2CEN/I2C_ENレジスタ = 0)に行ってください。

∗ **I2CEN**: I²C Enable Bit in the I²C Enable (I2C_EN) Register (D0/0x4340)

データ送受信を許可

最初にI2CEN(D0/I2C_ENレジスタ)を1に設定してI²Cの動作を許可します。これにより、I²Cが送受信可能な状態となり、クロックの出力も許可されます。

注: I²Cモジュールが送受信中はI2CENを0に設定しないでください。

データ送受信の開始

データの送受信を開始するには、I²Cマスタ(本モジュール)がスタートコンディションを生成する必要があります。それに引き続いてスレーブアドレスを送信し、通信を確立します。

(1) レジスタの設定順序

スタートコンディションを生成するには、以下の順序でレジスタを設定してください。

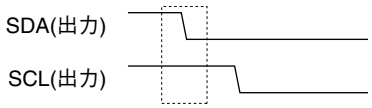
1. RTDT[7:0](D[7:0]/I2C_DATレジスタ)にスレーブアドレスを設定(10ビットアドレスの場合は1回目の送信データ、図20.5.2参照)
2. TXE(D9/I2C_DATレジスタ)を1に設定
3. STRT(D0/I2C_CTLレジスタ)を1に設定

∗ **RTDT[7:0]**: Receive/Transmit Data Bits in the I²C Data (I2C_DAT) Register (D[7:0]/0x4344)
∗ **TXE**: Transmit Execution Bit in the I²C Data (I2C_DAT) Register (D9/0x4344)
∗ **STRT**: Start Control Bit in the I²C Control (I2C_CTL) Register (D0/0x4342)

これらの手順により、下記(2)と(3)の通信波形が生成されます。必ずレジスタの設定順序を守ってください。

(2) スタートコンディションの生成

SCLラインをHighに保った状態で、SDAラインをLowにすることがスタートコンディションです。



スタートコンディション

図20.5.1 スタートコンディション

スタートコンディションは、STRT(D0/I2C_CTLレジスタ)を1に設定することで生成されます。

∗ **STRT**: Start Control Bit in the I²C Control (I2C_CTL) Register (D0/0x4342)

スタートコンディションが生成されると、STRTは自動的に0にリセットされます。

(3) スレーブアドレスの送信

スタートコンディションの生成後、I²Cマスタ(本モジュール)は通信を行うスレーブのアドレスと転送方向を示すビットを送信します。I²Cのスレーブアドレスには7ビットアドレスと10ビットアドレスの2種類があります。本モジュールは8ビットの送受信データレジスタを使用してスレーブアドレスと転送方向ビットを送信しますので、7ビットアドレスモードの場合は1回で送信可能です。10ビットの場合はソフトウェア制御により2回または3回の送信を行います。アドレスデータの構成を図20.5.2に示します。

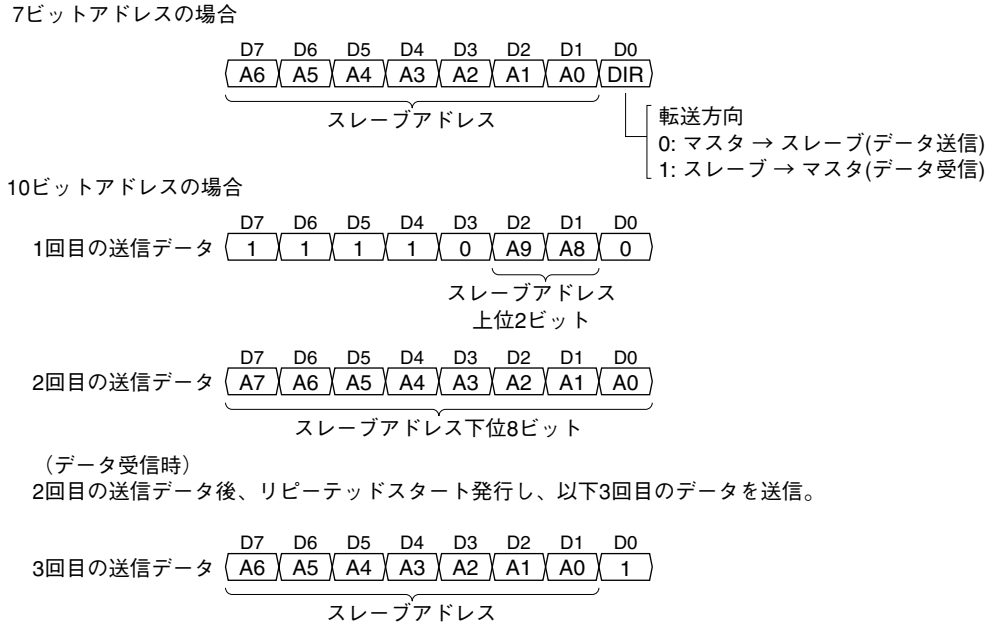


図20.5.2 スレーブアドレスと転送方向を指定する送信データ

転送方向ビットはスレーブアドレスに続くデータ転送の方向を示します。マスタからスレーブへのデータ送信時は転送方向ビットを0に、スレーブからのデータの受信時は1に設定します。
上記のとおり作成した8ビットのデータを送受信データレジスタに設定し、下記のとおり送信の制御を行います。

スレーブアドレスと転送方向ビットはスタートコンディション生成後に1度のみ送信します。
スレーブアドレス出力後は、データの送信またはデータの受信を必要な回数行います。スレーブアドレスと共に設定した転送方向のとおり、データ送信またはデータ受信を行う必要があります。

データ送信制御

以下、データの送信方法を説明します。スレーブアドレスの送信も同じ手順で行います。
バイトデータを送信するには、送信データをRTDT[7:0](D[7:0]/I2C_DATレジスタ)に設定します。同時に、1バイトの送信を実行するTXE(D9/I2C_DATレジスタ)を1に設定します。

* **RTDT[7:0]**: Receive/Transmit Data Bits in the I²C Data (I2C_DAT) Register (D[7:0]/0x4344)
* **TXE**: Transmit Execution Bit in the I²C Data (I2C_DAT) Register (D9/0x4344)

TXEビットが1に設定されると、I²Cモジュールはクロックに同期してデータ送信を開始します。スタートコンディションまたは前のデータを送信中の場合は、その完了後に開始します。
まず、I²Cモジュールは書き込まれたデータをシフトレジスタに転送し、SCLからクロックの出力を開始します。この時点でTXEが0にリセットされると共に割り込み要因が発生しますので、この後、次の送信データとTXEの再設定を行うことができます。
シフトレジスタ内のデータビットはクロックの立ち下がりエッジで順次シフトされ、MSBを先頭にSDA端子から出力されます。
I²Cモジュールは1回のデータ送信に9個のクロックを出力します。9個目のクロックサイクルでは、SDA信号をハイインピーダンスにしてスレーブデバイスからのACKまたはNACKを受信します。
スレーブデバイスは、データを受信できた場合はマスタにACK(0)を返します。受信できなかったときはSDAラインがプルダウンされませんので、I²CモジュールはこれをNACK(1)と見なします(送信失敗)。

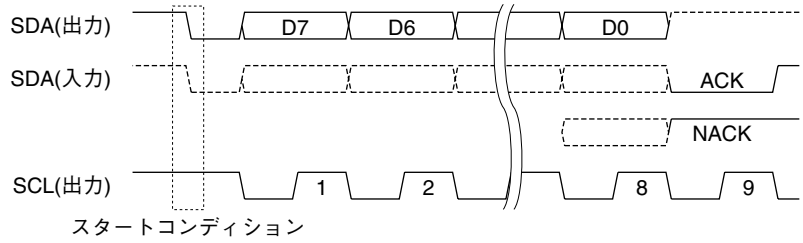


図20.5.3 ACKとNACK

I²Cモジュールには送信の制御用にTBUSY(D8/I2C_CTLレジスタ)とRTACK(D8/I2C_DATレジスタ)の2つのステータスビットが用意されています。

* **TBUSY**: Transmit Busy Flag in the I²C Control (I2C_CTL) Register (D8/0x4342)
* **RTACK**: Receive/Transmit ACK Bit in the I²C Data (I2C_DAT) Register (D8/0x4344)

TBUSYフラグはデータ送信状態を示します。このフラグは送信(スレーブアドレスの送信も含む)を開始すると1になり、データ送信が終了すると0に戻ります。また、ウェイト状態でも0に戻ります。I²Cモジュールが送信動作中か待機中かについては、このフラグを読み出して確認してください。
RTACKビットは、前回の送信時にスレーブデバイスがACKを返したかどうかを示します。ACKが返っていればRTACKは0、ACKが返っていなければRTACKは1となります。

データ受信制御

以下、データの受信方法を説明します。データ受信の場合も、その前にスタートコンディションを生成し、転送方向ビットを1としたスレーブアドレスを送信しておく必要があります。
データを受信するには、1バイトの受信を実行するRXE(D10/I2C_DATレジスタ)を1に設定します。スレーブアドレス送信時にTXE(D9/I2C_DATレジスタ)を1に設定しますが、そのとき同時にRXEを1に設定しておくことができます。TXEとRXEが両方共に1の場合はTXEが優先されます。

* **RXE**: Receive Execution Bit in the I²C Data (I2C_DAT) Register (D10/0x4344)

RXEビットが1に設定され、受信が開始できる状態になると、I²CモジュールはSDAラインをハイインピーダンスにして、SCL端子からクロックの出力を開始します。データはMSBを先頭に、クロックの立ち上がりエッジで順次シフトレジスタに取り込まれます。
RXEはD6の取り込み時に0にリセットされます。
8ビットのデータをシフトレジスタに受信し終わると、受信データはRTDT[7:0]にロードされます。
I²Cモジュールには受信の制御用にRBRDY(D11/I2C_DATレジスタ)とRBUSY(D9/I2C_CTLレジスタ)の2つのステータスビットが用意されています。

* **RBRDY**: Receive Buffer Ready Bit in the I²C Data (I2C_DAT) Register (D11/0x4344)
* **RBUSY**: Receive Busy Flag in the I²C Control (I2C_CTL) Register (D9/0x4342)

RBRDYフラグは受信データの状態を示します。このフラグはシフトレジスタに受信したデータがRTDT[7:0]にロードされると1になり、RTDT[7:0]から受信データが読み出されると0に戻ります。このフラグが1になった時点で割り込みを発生させることもできますので、この割り込みを利用するか、RBRDYフラグの読み出しによってRTDT[7:0]に有効な受信データがあることを確認し、受信データを読み出してください。RTDT[7:0]を読み出す前に次の受信が終了すると、RTDT[7:0]内の1つ前の受信データは新たな受信データで上書きされてしまいます。
RBUSYフラグは受信動作状態を示します。このフラグは受信を開始すると1になり、データ受信が終了すると0に戻ります。また、ウェイト状態でも0に戻ります。I²Cモジュールが受信動作中か待機中かについては、このフラグを読み出して確認してください。
I²Cモジュールは1回のデータ受信に9個のクロックを出力します。9個目のクロックサイクルでは、RTACK(D8/I2C_DATレジスタ)に設定された0または1が、それぞれACK、NACK応答として、SDA端子からスレーブへ送信されます。ACK、NACKの応答期間中はRTACKを変化させないようにしてください。

注: 受信バッファフル割り込みは、ACK/NACKの応答期間中(9個目のクロックサイクル)に発生します。この割り込みが発生した直後に、ACK/NACK期間の終了を待たずにRTACKの設定を書き換えた場合、SDA端子に出力されているACK/NACK応答が応答期間中に変化してしまい、正しい通信が行えなくなってしまいます。

データ送受信の終了(ストップコンディションの生成)

全データの送受信が終了した後、データ転送を終了するには、I²Cマスタ(本モジュール)がストップコンディションを生成する必要があります。SCLラインをHighに保った状態で、SDAラインをLowからHighにすることがストップコンディションとなります。

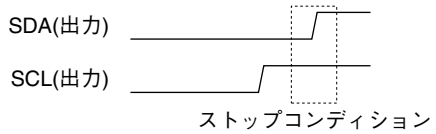


図20.5.4 ストップコンディション

ストップコンディションは、STP(D1/I2C_CTLレジスタ)を1に設定して生成します。

* **STP**: Stop Control Bit in the I²C Control (I2C_CTL) Register (D1/0x4342)

STPを1に設定すると、I²CモジュールはI²CバスのSCLラインをHighに保った状態でSDAラインをLowからHighにしてストップコンディションを生成します。これ以降I²Cバスは、フリー状態になります。また、ストップコンディションの生成は予約が可能です。ストップコンディションを予約するには、I²Cが動作中(TBUSY = 1またはRBUSY = 1)であることを確認してからSTPを1に設定してください。データの送受信(ACK送受信も含む)が終了した時点でストップコンディションが生成されます。
ストップコンディションが生成されると、STPは自動的に0にリセットされます。

本I²Cモジュールはリピーテッドスタートコンディションには対応していません。ストップコンディションを省略して、次のデータ転送のためのスタートコンディションを生成することはできません。

TXE、RXE、STRT、STP設定によるウェイト状態

1バイトのデータとACKの送受信が終了した時点で、TXE(D9/I2C_DATレジスタ)、RXE(D10/I2C_DATレジスタ)、STRT(D0/I2C_CTLレジスタ)、およびSTP(D1/I2C_CTLレジスタ)の全ビットが0の場合、SCL出力がLowに固定されウェイト状態になります。この状態は、TXEまたはRXEに1を書き込んでデータ送受信を再開するか、STPによってストップコンディションを生成することで解除されます。

データ送受信を禁止

ストップコンディションを生成した後は、I2CENビットに0を書き込んでデータ送受信を禁止します。ストップコンディション生成の完了は、STPを1に設定したのちに、0へ自動的にクリアされたことをポーリングすることにより、確認できます。
I²Cバスがビジー状態のときにI2CMENを0に設定した場合、SCL0、SDA0の出力レベル、および転送中のデータは保証されません。

タイミングチャート

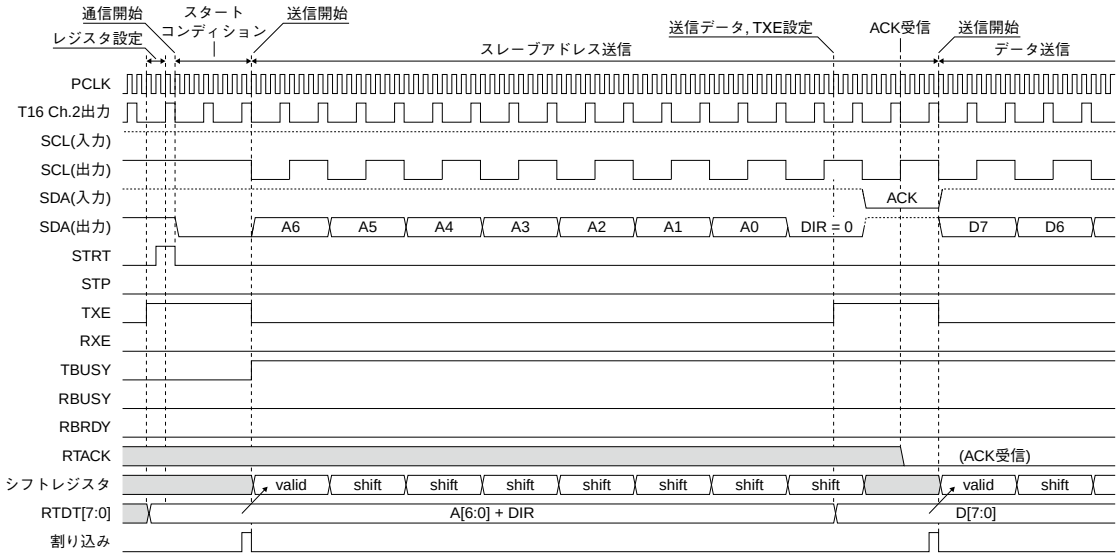


図20.5.5 I²Cタイミングチャート1(スタートコンディション→データ送信)

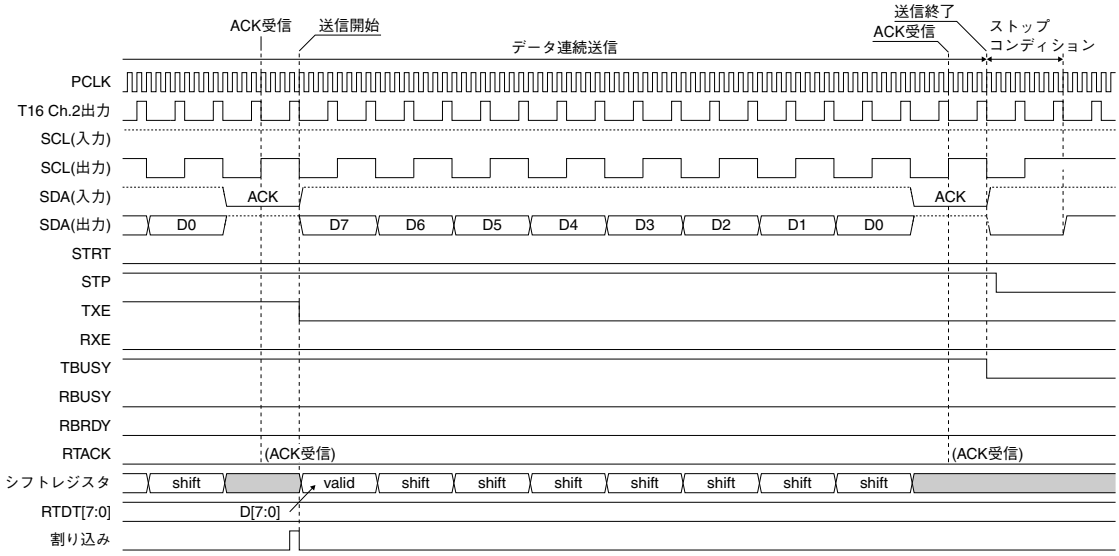


図20.5.6 I²Cタイミングチャート2(データ送信→ストップコンディション)

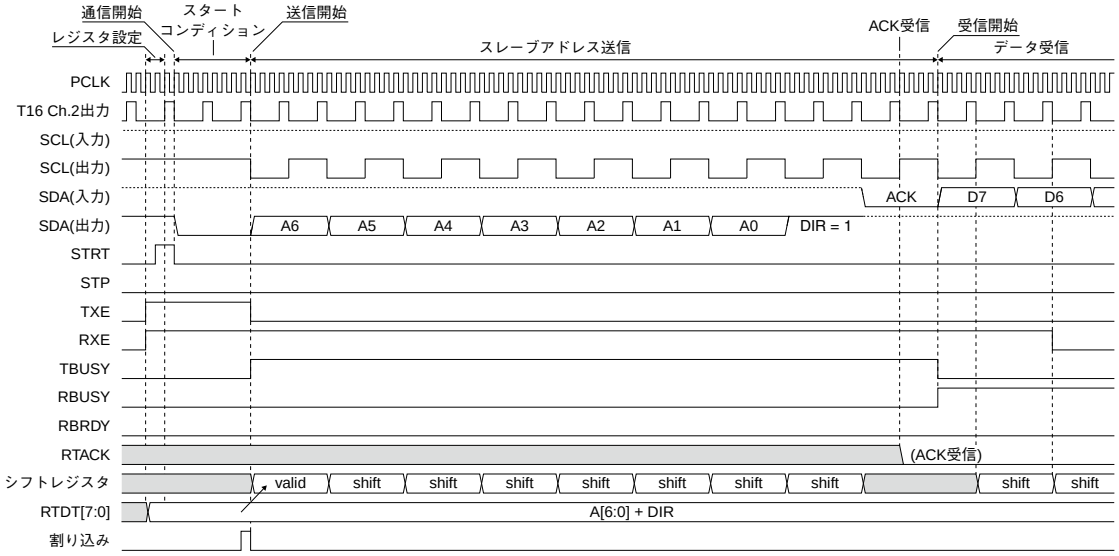


図20.5.7 I²Cタイミングチャート3(スタートコンディション→データ受信)

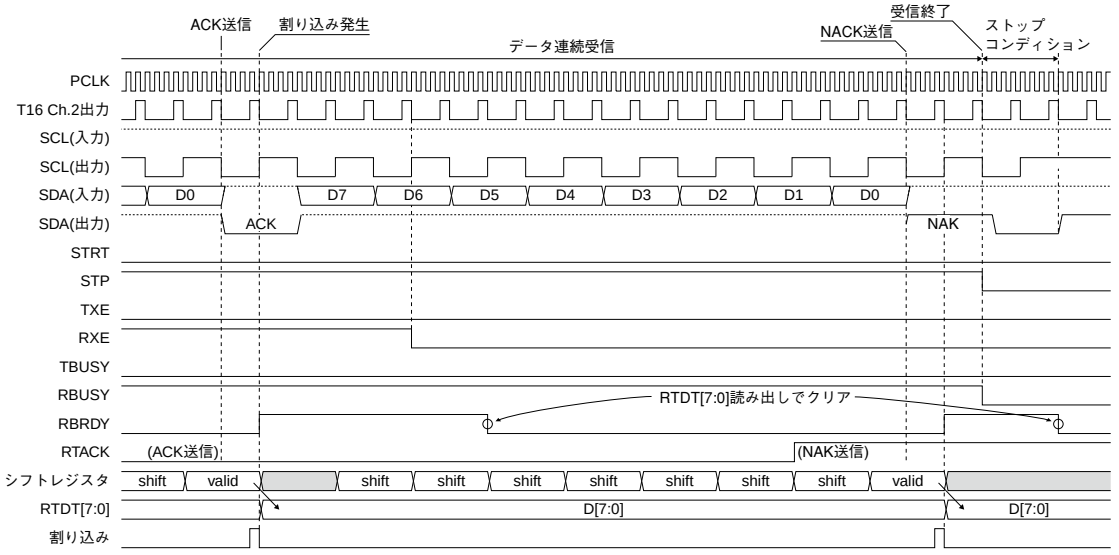


図20.5.8 I²Cタイミングチャート4(データ受信→ストップコンディション)

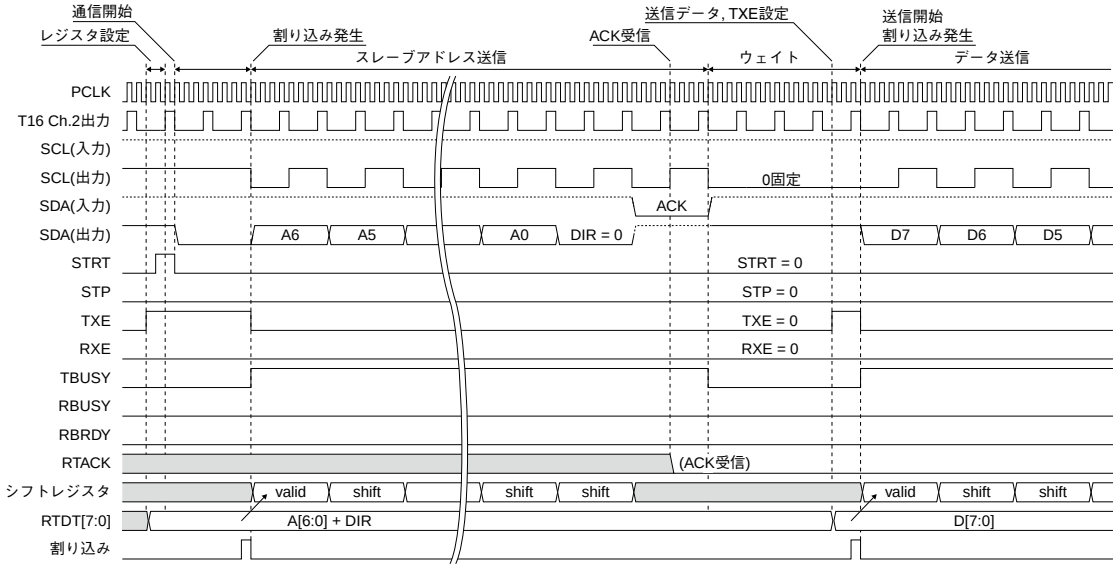


図20.5.9 I²Cタイミングチャート5(ウェイト)

20.6 I²C割り込み

I²Cモジュールには、以下の2種類の割り込みを発生させる機能があります。
• 送信バッファエンプティ割り込み
• 受信バッファフル割り込み

I²Cモジュールは、上記2種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。

送信バッファエンプティ割り込み

この割り込みを使用するには、TINTE(D0/I2C_ICTLレジスタ)を1に設定します。TINTEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

∗ **TINTE**: Transmit Interrupt Enable Bit in the I²C Interrupt Control (I2C_ICTL) Register (D0/0x4346)

送信バッファエンプティ割り込みが許可されていれば(TINTE = 1)、RTDT[7:0](D[7:0]/I2C_DATレジスタ)に設定された送信データがシフトレジスタに転送された時点で割り込み要求パルスがITCに出力されます。
送信バッファエンプティ割り込みは、データ送信時にのみ、発生します。

• 送信バッファエンプティ割り込みのクリア方法
RTDT/I2CM_DATにデータをライトします。
TXE/I2CM_DAT=0 とした場合、データは送信されず、割り込みクリアのみ行います。

∗ **RTDT[7:0]**: Receive/Transmit Data Bits in the I²C Data (I2C_DAT) Register (D[7:0]/0x4344)

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

受信バッファフル割り込み

この割り込みを使用するには、RINTE(D1/I2C_ICTLレジスタ)を1に設定します。RINTEが0(デフォルト)に設定されていると、この要因による割り込み要求はITCに送られません。

∗ **RINTE**: Receive Interrupt Enable Bit in the I²C Interrupt Control (I2C_ICTL) Register (D1/0x4346)

受信バッファフル割り込みが許可されていれば(RINTE = 1)、シフトレジスタに受信したデータがRTDT[7:0]にロードされた時点で割り込み要求パルスがITCに出力されます。
受信バッファフル割り込みは、データ受信時にのみ、発生します。

• 受信バッファフル割り込みのクリア方法
RTDT/I2CM_DATからデータをリードします。

注: I2CMの割り込み発生時、I²Cマスタのシーケンス処理に応じて送信バッファエンプティ割り込みと受信バッファフル割り込みを判断してください。送信バッファエンプティ割り込み、または、受信バッファフル割り込みのどちらが発生したかを確認できるレジスタはありません。

もし、他の割り込み条件が満たされていれば、割り込みが発生します。

I²C割り込み用ITCレジスタ

ITC内のI²Cモジュール用制御ビットを以下に示します。

割り込みフラグ

∗ **IIFT7**: I²C Interrupt Flag in the Interrupt Flag (ITC_IFLG) Register (D15/0x4300)

割り込みイネーブルビット

∗ **IIEN7**: I²C Interrupt Enable Bit in the Interrupt Enable (ITC_EN) Register (D15/0x4302)

割り込みレベル設定ビット

∗ **IILV7[2:0]**: I²C Interrupt Level Bits in the Internal Interrupt Level Setup (ITC_ILV3) Register 3 (D[10:8]/0x4314)

I²Cモジュールが割り込み要求パルスを出力すると、割り込みフラグIIFT7が1にセットされます。
割り込みイネーブルビットIIEN7が1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。I²Cによる割り込みを禁止するには、IIEN7を0に設定しておきます。

IIFT7フラグは、IIEN7ビットの設定にかかわらず(0に設定されていても)、I²Cの割り込み要求パルスによって1にセットされます。
割り込みレベル設定ビットIILV7[2:0]は、I²C割り込みのレベル(0～7)を設定します。
S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- I²C割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、"6 割り込みコントローラ(ITC)"を参照してください。

割り込みベクタ

I²C割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号:　19(0x13)
ベクタアドレス: 0x804c

20.7 制御レジスタ詳細

表20.7.1 I²Cレジスター覧

アドレス	レジスタ名		機　能
0x4340	I2C_EN	I²C Enable Register	I²Cモジュールイネーブル
0x4342	I2C_CTL	I²C Control Register	I²Cの制御と転送状態の表示
0x4344	I2C_DAT	I²C Data Register	送受信データ
0x4346	I2C_ICTL	I²C Interrupt Control Register	I²C割り込みの制御

以下、I²Cモジュールのレジスタを個々に説明します。これらはすべて16ビットレジスタです。

注: • レジスタにデータを書き込む際、"Reserved"のビットには必ず0を書き込み、1は書き込まないでください。

• I²Cレジスタのリード/ライトには必ず16ビットアクセス命令を使用してください。32ビットおよび8ビットアクセス命令でI²Cレジスタをリード/ライトすることはできません。

0x4340: I²C Enable Register (I2C_EN)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I²C Enable Register (I2C_EN)	0x4340 (16 bits)	D15–1	–	reserved	–	–	–	0 when being read.
		D0	I2CEN	I²C enable	1 Enable 0 Disable	0	R/W	

D[15:1] Reserved

D0 I2CEN: I²C Enable Bit

I²Cモジュールの動作を許可/禁止します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

I2CENを1に設定するとI²Cモジュールが動作を開始し、データ転送が行える状態になります。
I2CENを0に設定すると、I²Cモジュールは動作を停止します。

0x4342: I²C Control Register (I2C_CTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I²C Control Register (I2C_CTL)	0x4342 (16 bits)	D15–10	–	reserved	–	–	–	0 when being read.
		D9	RBUSY	Receive busy flag	1 Busy 0 Idle	0	R	
		D8	TBUSY	Transmit busy flag	1 Busy 0 Idle	0	R	
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	NSERM	Noise remove on/off	1 On 0 Off	0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	STP	Stop control	1 Stop 0 Ignored	0	R/W	
		D0	STRT	Start control	1 Start 0 Ignored	0	R/W	

D[15:10] Reserved

D9 RBUSY: Receive Busy Flag

I²Cの受信動作状態を示します。
1(R): 動作中
0(R): 待機中(デフォルト)

RBUSYはI²Cがデータ受信を開始すると1にセットされ、受信中は1を保持します。受信動作が終了すると、0にクリアされます。また、ウェイト状態でも0に戻ります。

D8 TBUSY: Transmit Busy Flag

I²Cの送信動作状態を示します。
1(R): 動作中
0(R): 待機中(デフォルト)

TBUSYはI²Cがデータ送信を開始すると1にセットされ、送信中は1を保持します。送信動作が終了すると、0にクリアされます。また、ウェイト状態でも0に戻ります。

D[7:5] Reserved

D4 NSERM: Noise Remove On/Off Bit

ノイズ除去機能をOn/Offします。
1(R/W): On
0(R/W): Off(デフォルト)

I²Cモジュールには、SDAおよびSCL端子の入力信号からノイズを除去する機能が組み込まれており、NSERMを1に設定することにより有効となります。
ただし、この機能を使用するには、I²Cクロック(16ビットタイマCh.2出力クロック)周波数をPCLKの1/6以下に設定する必要があります。

D[3:2] Reserved

D1 STP: Stop Control Bit

ストップコンディションを生成します。
1(R/W): ストップコンディションを生成
0(R/W): 無効(デフォルト)

STPを1に設定すると、I²CモジュールはI²CバスのSCLラインをHighに保った状態でSDAラインをLowからHighにしてストップコンディションを生成します。これ以降I²Cバスは、フリー状態になります。
また、ストップコンディションの生成は予約が可能です。ストップコンディションを予約するには、I²Cが動作中(TBUSY(D8) = 1またはRBUSY(D9) = 1)であることを確認してからSTPを1に設定してください。データの送受信(ACK送受信も含む)が終了した時点でストップコンディションが生成されます。
ストップコンディションが生成されると、STPは自動的に0にリセットされます。

D0 STRT: Start Control Bit

スタートコンディションを生成します。
1(R/W): スタートコンディションを生成
0(R/W): 無効(デフォルト)

STRTを1に設定すると、I²CモジュールはI²CバスのSCLラインをHighに保った状態で、SDAラインをLowにしてスタートコンディションを生成します。これ以降I²Cバスは、ビジー状態になります。
スタートコンディションを生成するには、以下の順序でレジスタを設定してください。

1. RTDT[7:0](D[7:0]/I2C_DATレジスタ)にスレーブアドレスを設定(10ビットアドレスの場合は1回目の送信データ、図20.5.2参照)
2. TXE(D9/I2C_DATレジスタ)を1に設定
3. STRTを1に設定

スタートコンディションが生成されると、STRTは自動的に0にリセットされます。

0x4344: I²C Data Register (I2C_DAT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I²C Data Register (I2C_DAT)	0x4344 (16 bits)	D15–12	–	reserved	–	–	–	0 when being read.
		D11	**RBRDY**	Receive buffer ready	1 Ready 0 Empty	0	R	
		D10	**RXE**	Receive execution	1 Receive 0 Ignored	0	R/W	
		D9	**TXE**	Transmit execution	1 Transmit 0 Ignored	0	R/W	
		D8	**RTACK**	Receive/transmit ACK	1 Error 0 ACK	0	R/W	
		D7–0	**RTDT[7:0]**	Receive/transmit data RTDT7 = MSB RTDT0 = LSB	0x0 to 0xff	0x0	R/W	

D[15:12] Reserved

D11 RBRDY: Receive Buffer Ready Flag

受信バッファの状態を示します。
1(R): 受信データあり
0(R): 受信データなし(デフォルト)

RBRDYフラグはシフトレジスタに受信したデータがRTDT[7:0](D[7:0])にロードされると1になり、RTDT[7:0]から受信データが読み出されると0に戻ります。このフラグが1になった時点で割り込みを発生させることもできますので、この割り込みを利用するか、RBRDYフラグの読み出しによってRTDT[7:0]に有効な受信データがあることを確認し、受信データを読み出してください。

D10 RXE: Receive Execution Bit

1バイトのデータ受信を実行します。
1(R/W): データ受信開始
0(R/W): 無効(デフォルト)

RXEを1、TXE(D9)を0に設定することにより、1バイトのデータ受信を開始します。スレーブアドレスの送信中またはデータの受信中であっても、次の受信のためにRXEを1に設定しておくことができます。RXEはD6がシフトレジスタに取り込まれた時点で0にリセットされます。

D9 TXE: Transmit Execution Bit

1バイトのデータ送信を実行します。
1(R/W): データ送信開始
0(R/W): 無効(デフォルト)

送信データをRTDT[7:0](D[7:0])に設定するとともにTXEに1を書き込んで送信を開始します。スレーブアドレスまたはデータの送信中であっても、次の送信のためにTXEを1に設定しておくことができます。TXEはRTDT[7:0]に設定したデータがシフトレジスタに転送された時点で0にリセットされます。

D8 RTACK: Receive/Transmit ACK Bit

データ送信時

応答ビットの状態を示します。
1(R/W): エラー(NACK)
0(R/W): ACK(デフォルト)

1バイトのデータを送信後、スレーブからACKが返るとRTACKは0になります。これは、スレーブがデータを正常に受信できたことを示します。RTACKが1の場合、スレーブデバイスが動作していないか、データが正常に受信できなかったことを示します。

データ受信時

スレーブに送信する応答ビットを設定します。
1(R/W): エラー(NACK)
0(R/W): ACK(デフォルト)

データ受信後にACKを返す場合は、I²Cモジュールが応答ビットを送る前にRTACKを0に設定してください。
NACKを返す場合は、RTACKを1に設定します。

D[7:0] RTDT[7:0]: Receive/Transmit Data Bits

データ送信時

送信データを設定します。(デフォルト: 0x0)
データ送信は、TXE(D9)を1に設定することにより開始します。現在スレーブアドレスまたはデータを送信中の場合は、その終了後に新たな送信を開始します。SDA端子からはシリアル変換されたデータがMSBを先頭に、0に設定されたビットをLowレベルとして出力されます。このレジスタに書き込んだデータがシフトレジスタに転送された時点で、送信バッファエンプティ割り込み要因が発生します。それ以降であれば、次の送信データを書き込むことができます。

データ受信時

受信データが読み出せます。(デフォルト: 0x0)
データ受信はRXE(D10)を1に設定すると開始します。現在スレーブアドレス送信中またはデータ受信中の場合は、その終了後に新たな受信を開始します。受信が終了し、シフトレジスタのデータがこのレジスタに転送された時点でRBRDYフラグ(D11)がセットされ、受信バッファフル割り込み要因が発生します。これ以降、次のデータの受信を終了するまで、データの読み出しが可能です。このレジスタを読み出す前に次の受信を終了した場合は、新たな受信データで上書きされます。
SDA端子から入力されたシリアルデータは先頭をMSBとして、Highレベルのビットを1、Lowレベルのビットを0としてパラレル変換され、本レジスタにロードされます。

0x4346: I²C Interrupt Control Register (I2C_ICTL)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
I²C Interrupt Control Register (I2C_ICTL)	0x4346 (16 bits)	D15–2	–	reserved	–				–	–	0 when being read.
		D1	RINTE	Receive interrupt enable	1	Enable	0	Disable	0	R/W	
		D0	TINTE	Transmit interrupt enable	1	Enable	0	Disable	0	R/W	

D[15:2] Reserved

D1 RINTE: Receive Interrupt Enable Bit

I²Cの受信バッファフル割り込みを許可/禁止します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

RINTEを1に設定すると、受信バッファフルによるI²C割り込み要求のITCへの出力を許可します。この割り込み要求は、シフトレジスタに受信したデータがRTDT[7:0](D[7:0]/I2C_DATレジスタ)に転送される(受信が完了する)ことにより発生します。
RINTEを0に設定すると、I²C受信バッファフル割り込みは発生しません。

D0 TINTE: Transmit Interrupt Enable Bit

I²Cの送信バッファエンプティ割り込みを許可/禁止します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

TINTEを1に設定すると、送信バッファエンプティによるI²C割り込み要求のITCへの出力を許可します。この割り込み要求は、RTDT[7:0](D[7:0]/I2C_DATレジスタ)に書き込んだデータがシフトレジスタに転送されることにより発生します。
TINTEを0に設定すると、I²C送信バッファエンプティ割り込みは発生しません。

このページはブランクです。

21 リモートコントローラ(REMC)

21.1 REMCの構成

S1C17701は赤外線リモコンの送受信信号を生成するリモートコントローラ(REMC)モジュールを内蔵しています。REMCモジュールは、プリスケーラ出力クロックを使用してキャリア信号を発生するキャリア発生回路、送受信データ長をカウントする8ビットダウンカウンタ、指定したキャリア長で送信データを生成する変調回路、入力信号の立ち上がりエッジ/立ち下がりエッジを検出するエッジ検出回路で構成されます。
また、指定データ長の送信が終了したことを示すカウンタアンダーフロー割り込み、データ受信処理用の入力立ち上がりエッジ/立ち下がりエッジ検出割り込みを発生可能です。
図21.1.1にREMCモジュールの構造を示します。

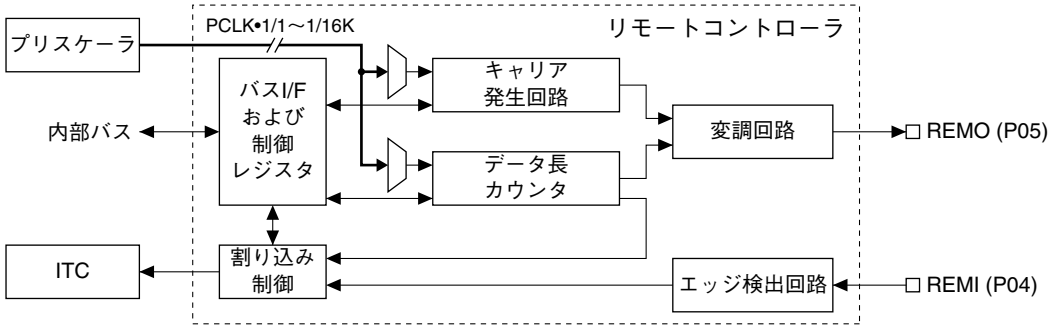


図21.1.1 REMCモジュールの構造

21.2 REMC入出力端子

表21.2.1にREMCの入出力端子を示します。

表21.2.1 REMC端子一覧

端子名	I/O	本数	機　能
REMI (P04)	I	1	リモコン受信データ入力端子 受信データを入力します。
REMO (P05)	O	1	リモコン送信データ出力端子 変調したリモコン送信データを出力します。

REMCモジュールの入出力端子(REMI、REMO)は汎用入出力ポート端子(P04、P05)を兼用しており、初期状態では汎用入出力ポート端子に設定されます。これらをREMCの入出力端子として使用するには、P0_PMUXレジスタの設定により機能を切り換える必要があります。以下の制御ビットを1に設定して、端子をREMC用に切り換えてください。

P04 → REMI
- **P04MUX**: P04 Port Function Select Bit in the P0 Port Function Select (P0_PMUX) Register (D4/0x52a0)

P05 → REMO
- **P05MUX**: P05 Port Function Select Bit in the P0 Port Function Select (P0_PMUX) Register (D5/0x52a0)

端子の機能と切り換えの詳細については、“10.2 入出力端子機能の選択(ポートMUX)”を参照してください。

21.3 キャリアの生成

REMCモジュールには、キャリア発生回路が組み込まれています。キャリア発生回路はソフトウェアで設定されたクロック、キャリアH区間長、キャリアL区間長に従い、送信用キャリア信号を生成します。

キャリア信号生成用クロックにはプリスケーラ出力クロックを使用します。プリスケーラはPCLKクロックを1/1～1/16Kに分周して15種類のクロックを生成します。この中から1つをCGCLK[3:0](D[7:4]/REMC_PSCレジスタ)で選択します。

* **CGCLK[3:0]**: Carrier Generator Clock Select Bits in the REMC Prescaler Clock Select (REMC_PSC) Register (D[7:4]/0x5341)

表21.3.1 キャリア生成用クロックの選択

CGCLK[3:0]	プリスケーラ出力クロック	CGCLK[3:0]	プリスケーラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

プリスケーラの制御については、"9 プリスケーラ(PSC)"を参照してください。

注: REMCモジュールを動作させるには、その前にプリスケーラを動作させておく必要があります。

キャリアH区間長とキャリアL区間長は、それぞれREMCH[5:0](D[5:0]/REMC_CARHレジスタ)とREMCL[5:0](D[5:0]/REMC_CARLレジスタ)で設定します。これらのレジスタには、上記のとおり選択したクロックのサイクル数+1の値を設定します。

* **REMCH[5:0]**: H Carrier Length Setup Bits in the REMC H Carrier Length Setup (REMC_CARH) Register (D[5:0]/0x5342)
* **REMCL[5:0]**: L Carrier Length Setup Bits in the REMC L Carrier Length Setup (REMC_CARL) Register (D[5:0]/0x5343)

キャリアH区間長およびキャリアL区間長は次のように計算できます。

$$\text{キャリアH区間長} = \frac{\text{REMCH} + 1}{\text{clk_in}} \text{ [s]}$$

$$\text{キャリアL区間長} = \frac{\text{REMCL} + 1}{\text{clk_in}} \text{ [s]}$$

REMCH: キャリアH区間長レジスタデータ値
REMCL: キャリアL区間長レジスタデータ値
clk_in: プリスケーラ出力クロック周波数

これらの設定により、キャリア信号は図21.3.1のとおり生成されます。

例: CGCLK[3:0] = 0x2(PCLK•1/4)、REMCH[5:0] = 2、REMCL[5:0] = 1

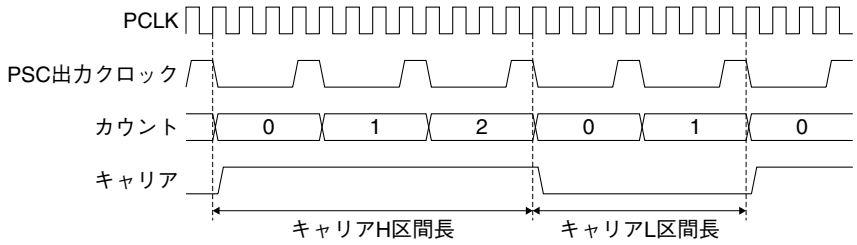


図21.3.1 キャリア信号の生成

21.4 データ長カウンタのクロック設定

データ長カウンタはデータ送信時にデータ長を設定するための8ビットカウンタです。
データ送信時にデータパルス幅に相当する値を書き込むと、データ長カウンタはその値からカウントダウンを開始し、カウンタが0になるとアンダーフロー割り込み要因を発生して停止します。
この割り込みを利用して、次の送信データを設定します。

データ受信時もこのカウンタを使用して、受信データ長を計測することができます。データ受信時は、入力信号の立ち上がりおよび立ち下がりエッジで割り込みを発生可能です。入力変化時の割り込みを利用してデータ長カウンタに0xffを設定し、次の入力変化による割り込み発生時にカウント値を読み出すことで、その差分からデータパルス長が得られます。

このデータ長カウンタのカウントクロックにもプリスケーラ出力クロックが使用され、15種類から1つを選択することができます。プリスケーラ出力クロックは、キャリア生成用クロックとは別に用意されている制御ビットLCCLK[3:0](D[3:0]/REMC_PSCレジスタ)で選択します。

* **LCCLK[3:0]**: Length Counter Clock Select Bits in the REMC Prescaler Clock Select (REMC_PSC) Register (D[3:0]/0x5341)

表21.4.1 データ長カウンタ用クロックの選択

LCCLK[3:0]	プリスケーラ出力クロック	LCCLK[3:0]	プリスケーラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

(デフォルト: 0x0)

データ長カウンタは最大256までカウント可能です。データ長がこの範囲に収まるようにカウントクロックを選択してください。

21.5 データ送受信の制御

データ転送を開始する前に、以下の設定を行ってください。
(1)キャリア信号を設定します。21.3節を参照してください。
(2)データ長カウンタのクロックを選択します。21.4節を参照してください。
(3)割り込み条件を設定します。21.6節を参照してください。

注: 上記の設定は必ずREMCモジュールが停止中(REMEN/REMC_CFGレジスタ = 0)に行ってください。

* **REMEN**: REMC Enable Bit in the REMC Configuration (REMC_CFG) Register (D0/0x5340)

データ送信制御

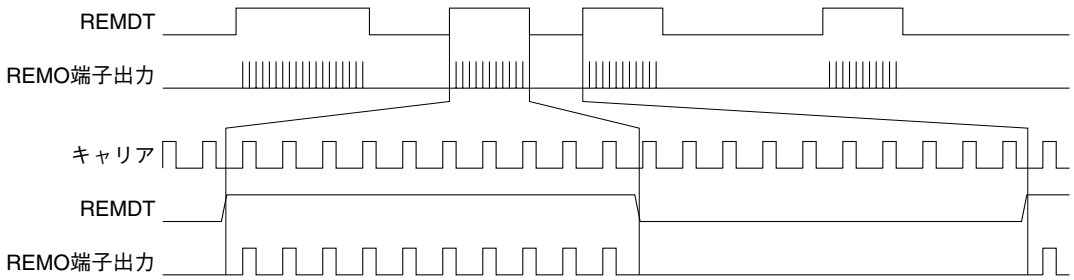


図21.5.1 データ送信

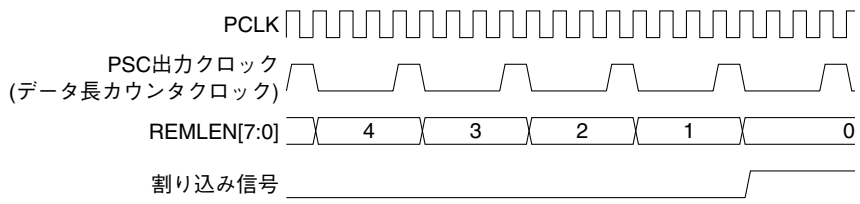


図21.5.2 アンダーフロー割り込み発生タイミング

(1)データ送信モードの設定

REMMD(D1/REMC_CFGレジスタ)に0を書き込み、REMCを送信モードに設定します。

* **REMMD**: REMC Mode Select Bit in the REMC Configuration (REMC_CFG) Register (D1/0x5340)

(2)データ送信を許可

REMEN(D0/REMC_CFGレジスタ)を1に設定してREMCの動作を許可します。これにより、REMCが送信動作を開始します。

不要なデータが送信されないように、REMENに1を書き込む前にREMDT(D0/REMC_STレジスタ)を0、REMLEN[7:0](D[7:0]/REMC_LCNTレジスタ)を0x0に設定してください。

(3)送信データの設定

送信するデータ(HighまたはLow)をREMDT(D0/REMC_STレジスタ)に設定します。

* **REMDT**: Transmit/Receive Data Bit in the REMC Status (REMC_ST) Register (D0/0x5344)

REMDTを1に設定するとHigh、0に設定するとLow出力となり、キャリア信号で変調されたのち、REMO端子から出力されます。

(4)データパルス長の設定

送信を開始したデータのパルス長(High期間またはLow期間)に相当する値をREMLEN[7:0](D[7:0]/REMC_LCNTレジスタ)に書き込んで、データ長カウンタに設定します。

* **REMLEN[7:0]**: Transmit/Receive Data Length Count Bits in the REMC Length Counter (REMC_LCNT) Register (D[7:0]/0x5345)

データ長カウンタに設定する値は次のとおりです。

設定値 = データパルス長(秒) × プリスケーラ出力クロック周波数(Hz)

データ長カウンタは書き込まれた値から、選択されているプリスケーラ出力クロックでカウントダウンを開始します。
データ長カウンタの値が0になるとアンダーフロー割り込み要因が発生し、割り込みが許可されている場合は割り込みコントローラ(ITC)にREMC割り込み要求を出力します。データ長カウンタは0の状態でカウントを停止します。

(5) 割り込み処理

続くデータを送信する場合は、データ長カウンタのアンダーフローにより発生した割り込みの処理ルーチンの中で、次の送信データの設定(3)とデータパルス長の設定(4)を行います。

(6) データ送信の終了

データ送信を終了するには、最後のデータ送信が終了後(アンダーフロー割り込み発生後)、REMENに0を書き込んでください。

データ受信制御

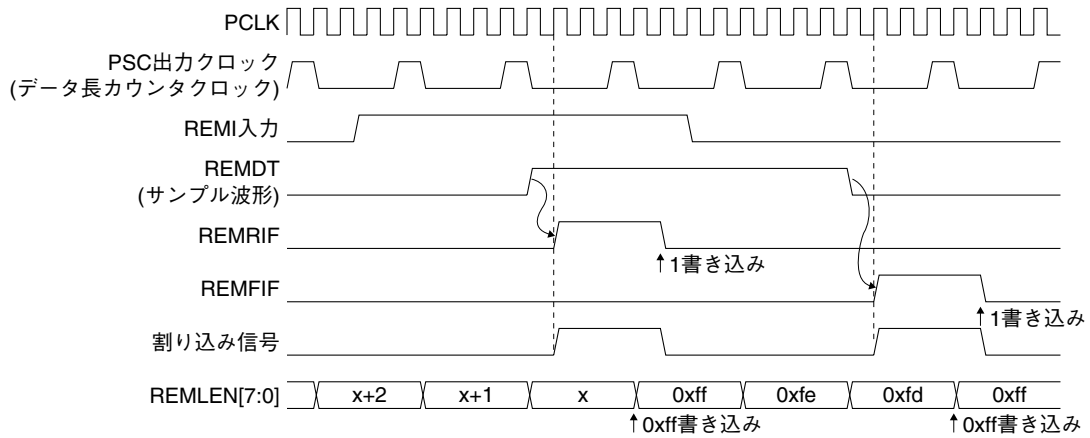


図21.5.3 データ受信

(1) データ受信モードの設定

REMMD(D1/REMC_CFGレジスタ)に1を書き込み、REMCを受信モードに設定します。

(2) データ受信を許可

REMEN(D0/REMC_CFGレジスタ)を1に設定してREMCの動作を許可します。これにより、REMCが受信動作(入力エッジ検出動作)を開始します。

REMCはREMI端子からの入力信号を、キャリア生成用に選択したプリスケーラ出力クロックでサンプリングして入力の変化(信号の立ち上がりエッジまたは立ち下がりエッジ)を検出します。信号のエッジが検出されると、立ち上がりエッジまたは立ち下がりエッジ割り込み要因が発生し、割り込みが許可されている場合はITCにREMC割り込み要求を出力します。立ち上がりエッジ割り込みと立ち下がりエッジ割り込みは個別に許可/禁止が可能です。

なお、入力が変化した後の信号レベルがサンプリングクロックの2サイクル以上連続して検出されない場合はノイズと見なされ、立ち上がりエッジまたは立ち下がりエッジ割り込みは発生しません。

(3) 割り込み処理

立ち上がりエッジまたは立ち下がりエッジ割り込みが発生した場合は、その割り込み処理ルーチンの中で、0xffをREMLEN[7:0](D[7:0]/REMC_LCNTレジスタ)に書き込んで、データ長カウンタに設定します。

データ長カウンタは書き込まれた値から、選択されているプリスケーラ出力クロックでカウントダウンを開始します。

受信したデータはREMDT(D0/REMC_STレジスタ)から読み出すことができます。

データパルスが終了すると次の立ち下がりエッジまたは立ち上がりエッジ割り込みが発生しますので、そこでデータ長カウンタを読み出します。0xffと読み出し値の差分からデータ長が算出できます。続くデータを受信する場合は、データ長カウンタを再度0xffに設定し、次の割り込みを待ちます。

データ長カウンタを0xffに設定後、エッジ割り込みが発生せずにデータ長カウンタが0になった場合はデータの終了か、何らかの受信エラーが考えられます。受信時でもデータ長カウンタのアンダーフロー割り込みは発生しますので、終了/エラー処理に利用してください。

(4) データ受信の終了

データ受信を終了するには、最後のデータ受信が終了後、REMENに0を書き込んでください。

21.6 REMC割り込み

REMCモジュールには、以下の3種類の割り込みを発生させる機能があります。
• アンダーフロー割り込み
• 立ち上がりエッジ割り込み
• 立ち下がりエッジ割り込み

REMCモジュールは、上記3種類の割り込み要因が共有する1本の割り込み信号を割り込みコントローラ(ITC)に対して出力します。発生した割り込み要因を特定するには、REMCモジュール内の割り込みフラグを読み出してください。

アンダーフロー割り込み

この割り込み要求は、データ長カウンタがカウントダウンにより0になった時点で発生し、REMC内の割り込みフラグREMUIF(D0/REMC_IFLGレジスタ)を1にセットします。
データ送信時は、設定したデータ長の送信が完了したことを示します。データ受信時は受信データが終了したか、受信エラーが発生したことを示します。

∗ **REMUIF**: Underflow Interrupt Flag in the REMC Interrupt Flag (REMC_IFLG) Register (D0/0x5347)

この割り込みを使用するには、REMUIE(D0/REMC_IMSKレジスタ)を1に設定します。REMUIEが0(デフォルト)に設定されているとREMUIFが1にセットされず、この要因による割り込み要求はITCに送られません。

∗ **REMUIE**: Underflow Interrupt Enable Bit in the REMC Interrupt Mask (REMC_IMSK) Register (D0/0x5346)

REMUIFが1にセットされるとREMCは割り込み要求をITCに出力します。この割り込み要求信号により、ITC内のREMC割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。
REMC割り込みがデータ長カウンタのアンダーフローによるものかどうかについては、REMC割り込み処理ルーチンでREMUIFを読み出して確認してください。
また、割り込み処理ルーチン内では、ITCのREMC割り込みフラグと共にREMCモジュールのREMUIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

立ち上がりエッジ割り込み

この割り込み要求は、REMI端子の入力信号がLowからHighに変化すると発生し、REMC内の割り込みフラグREMRIF(D1/REMC_IFLGレジスタ)を1にセットします。
データ受信時、本割り込みと立ち下がりエッジ割り込みの間にデータ長カウンタを動作させることで、そのカウント値から受信データのパルス幅を算出することができます。

∗ **REMRIF**: Rising Edge Interrupt Flag in the REMC Interrupt Flag (REMC_IFLG) Register (D1/0x5347)

この割り込みを使用するには、REMRIE(D1/REMC_IMSKレジスタ)を1に設定します。REMRIEが0(デフォルト)に設定されているとREMRIFは1にセットされず、この要因による割り込み要求はITCに送られません。

∗ **REMRIE**: Rising Edge Interrupt Enable Bit in the REMC Interrupt Mask (REMC_IMSK) Register (D1/0x5346)

REMRIFが1にセットされるとREMCは割り込み要求をITCに出力します。この割り込み要求信号により、ITC内のREMC割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。
REMC割り込みが入力信号の立ち上がりエッジによるものかどうかについては、REMC割り込み処理ルーチンでREMRIFを読み出して確認してください。
また、割り込み処理ルーチン内では、ITCのREMC割り込みフラグと共にREMCモジュールのREMRIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

立ち下がりエッジ割り込み

この割り込み要求は、REMI端子の入力信号がHighからLowに変化すると発生し、REMC内の割り込みフラグREMFIF(D2/REMC_IFLGレジスタ)を1にセットします。
データ受信時、本割り込みと立ち上がりエッジ割り込みの間にデータ長カウンタを動作させることで、そのカウント値から受信データのパルス幅を算出することができます。

∗ **REMFIF**: Falling Edge Interrupt Flag in the REMC Interrupt Flag (REMC_IFLG) Register (D2/0x5347)

この割り込みを使用するには、REMFIE(D2/REMC_IMSKレジスタ)を1に設定します。REMFIEが0(デフォルト)に設定されているとREMFIFが1にセットされず、この要因による割り込み要求はITCに送られません。

∗ **REMFIE**: Falling Edge Interrupt Enable Bit in the REMC Interrupt Mask (REMC_IMSK) Register (D2/0x5346)

REMFIFが1にセットされるとREMCは割り込み要求をITCに出力します。この割り込み要求信号により、ITC内のREMC割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。
REMC割り込みが入力信号の立ち下がりエッジによるものかどうかについては、REMC割り込み処理ルーチンでREMFIFを読み出して確認してください。
また、割り込み処理ルーチン内では、ITCのREMC割り込みフラグと共にREMCモジュールのREMFIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

REMC割り込み用ITCレジスタ

前述の設定により、割り込みを許可した要因が発生するとREMCモジュールは割り込み信号をITCに出力します。REMC割り込みを発生させるには、ITCレジスタで割り込みレベルと割り込み許可の設定を行ってください。
以下に、REMC用のITC制御ビットを示します。

ITC内の割り込みフラグ

∗ **IIFT5**: Remote Controller Interrupt Flag in the Interrupt Flag (ITC_IFLG) Register (D13/0x4300)

ITC内の割り込みイネーブルビット

∗ **IIEN5**: Remote Controller Interrupt Enable Bit in the Interrupt Enable (ITC_EN) Register (D13/0x4302)

ITC内の割り込みレベル設定ビット

∗ **IILV5[2:0]**: REMC Interrupt Level Bits in the Internal Interrupt Level Setup (ITC_ILV2) Register 2 (D[10:8]/0x4312)

REMCモジュールからの割り込み信号によりIIFT5が1にセットされます。このとき、IIEN5が1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。REMCモジュールによる割り込みを禁止するには、IIEN5を0に設定しておきます。IIFT5は、IIEN5の設定にかかわらず(0に設定されていても)、REMCモジュールからの割り込み信号によって1にセットされます。
IILV5[2:0]は、REMC割り込みのレベル(0〜7)を設定します。

S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- REMC割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“6 割り込みコントローラ(ITC)”を参照してください。

割り込みベクタ

REMC割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号:　　17(0x11)
ベクタアドレス: 0x8044

21.7 制御レジスタ詳細

表21.7.1 REMCレジスター覧

アドレス	レジスタ名		機　能
0x5340	REMC_CFG	REMC Configuration Register	送受信の選択と許可
0x5341	REMC_PSC	REMC Prescaler Clock Select Register	プリスケーラ出力クロックの選択
0x5342	REMC_CARH	REMC H Carrier Length Setup Register	キャリアのH区間長設定
0x5343	REMC_CARL	REMC L Carrier Length Setup Register	キャリアのL区間長設定
0x5344	REMC_ST	REMC Status Register	送受信ビット
0x5345	REMC_LCNT	REMC Length Counter Register	送受信データ長の設定
0x5346	REMC_IMSK	REMC Interrupt Mask Register	割り込みマスクの設定
0x5347	REMC_IFLG	REMC Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、REMCモジュールのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5340: REMC Configuration Register (REMC_CFG)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
REMC Configuration Register (REMC_CFG)	0x5340 (8 bits)	D7–2	–	reserved	–				–	–	0 when being read.
		D1	REMMD	REMC mode select	1	Receive	0	Transmit	0	R/W	
		D0	REMEN	REMC enable	1	Enable	0	Disable	0	R/W	

D[7:2] Reserved

D1 REMMD: REMC Mode Select Bit

送受信方向を選択します。
1（R/W）: 受信
0（R/W）: 送信（デフォルト）

D0 REMEN: REMC Enable Bit

REMCモジュールの送受信を許可/禁止します。
1（R/W）: 許可
0（R/W）: 禁止（デフォルト）

REMENを1に設定するとREMMD（D1）の設定に従って送信または受信の動作を開始します。
REMENを0に設定すると、REMCモジュールは動作を停止します。

0x5341: REMC Prescaler Clock Select Register (REMC_PSC)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
REMC Prescaler Clock Select Register (REMC_PSC)	0x5341 (8 bits)	D7–4	CGCLK[3:0]	Carrier generator clock select (Prescaler output clock)	CGCLK[3:0] LCCLK[3:0]	Clock	0x0	R/W	
					0xf	reserved			
					0xe	PCLK•1/16384			
					0xd	PCLK•1/8192			
					0xc	PCLK•1/4096			
					0xb	PCLK•1/2048			
					0xa	PCLK•1/1024			
					0x9	PCLK•1/512			
		D3–0	LCCLK[3:0]	Length counter clock select (Prescaler output clock)	0x8	PCLK•1/256	0x0	R/W	
					0x7	PCLK•1/128			
					0x6	PCLK•1/64			
					0x5	PCLK•1/32			
					0x4	PCLK•1/16			
					0x3	PCLK•1/8			
					0x2	PCLK•1/4			
					0x1	PCLK•1/2			
					0x0	PCLK•1/1			

D[7:4] CGCLK[3:0]: Carrier Generator Clock Select Bits

15種類のプリスケーラ出力クロックから、キャリア生成用クロックを選択します。

表21.7.2 キャリア生成用クロックの選択

CGCLK[3:0]	プリスケーラ出力クロック	CGCLK[3:0]	プリスケーラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

（デフォルト: 0x0）

D[3:0] LCCLK[3:0]: Length Counter Clock Select Bits

15種類のプリスケーラ出力クロックから、データ長カウンタ用クロックを選択します。

表21.7.3 データ長カウンタ用クロックの選択

LCCLK[3:0]	プリスケーラ出力クロック	LCCLK[3:0]	プリスケーラ出力クロック
0xf	Reserved	0x7	PCLK•1/128
0xe	PCLK•1/16384	0x6	PCLK•1/64
0xd	PCLK•1/8192	0x5	PCLK•1/32
0xc	PCLK•1/4096	0x4	PCLK•1/16
0xb	PCLK•1/2048	0x3	PCLK•1/8
0xa	PCLK•1/1024	0x2	PCLK•1/4
0x9	PCLK•1/512	0x1	PCLK•1/2
0x8	PCLK•1/256	0x0	PCLK•1/1

（デフォルト: 0x0）

注: クロックの設定は、REMCモジュールが停止中（REMEN/REMC_CFGレジスタ = 0）に行ってください。

0x5342: REMC H Carrier Length Setup Register (REMC_CARH)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
REMC H Carrier Length Setup Register (REMC_CARH)	0x5342 (8 bits)	D7–6	–	reserved	–	–	–	0 when being read.
		D5–0	REMCH[5:0]	H carrier length setup	0x0 to 0x3f	0x0	R/W	

D[7:6] Reserved

D[5:0] REMCH[5:0]: H Carrier Length Setup Bits

キャリア信号のH区間長を設定します。（デフォルト: 0x0）
CGCLK[3:0]（D[7:4]/REMC_PSCレジスタ）で選択したキャリア生成用クロックのサイクル数+1の値を指定します。
キャリアH区間長は次のように計算できます。

$$\text{キャリアH区間長} = \frac{\text{REMCH} + 1}{\text{clk_in}} \text{ [s]}$$

REMCH: REMCH[5:0]設定値
clk_in: プリスケーラ出力クロック周波数

REMCL[5:0]（D[5:0]/REMC_CARLレジスタ）でL区間長を指定します。
これらの設定により、キャリア信号は図21.7.1のとおり生成されます。

例: CGCLK[3:0] = 0x2（PCLK•1/4）、REMCH[5:0] = 2、REMCL[5:0] = 1

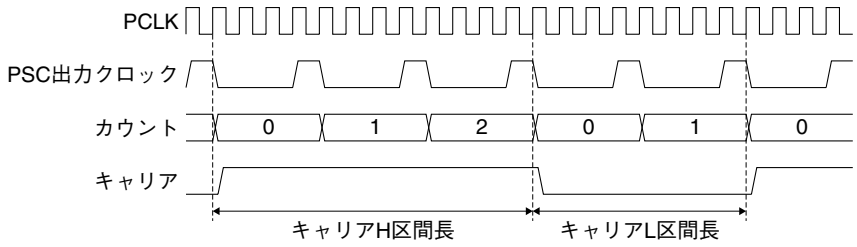


図21.7.1 キャリア信号の生成

0x5343: REMC L Carrier Length Setup Register (REMC_CARL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
REMC L Carrier Length Setup Register (REMC_CARL)	0x5343 (8 bits)	D7–6	–	reserved	–	–	–	0 when being read.
		D5–0	REMCL[5:0]	L carrier length setup	0x0 to 0x3f	0x0	R/W	

D[7:6] Reserved

D[5:0] REMCL[5:0]: L Carrier Length Setup Bits

キャリア信号のL区間長を設定します。（デフォルト: 0x0）
CGCLK[3:0]（D[7:4]/REMC_PSCレジスタ）で選択したキャリア生成用クロックのサイクル数+1の値を指定します。
キャリアL区間長は次のように計算できます。

$$\text{キャリアL区間長} = \frac{\text{REMCL} + 1}{\text{clk_in}} \text{ [s]}$$

REMCL: REMCL[5:0]設定値
clk_in: プリスケーラ出力クロック周波数

REMCH[5:0]（D[5:0]/REMC_CARHレジスタ）でH区間長を指定します。
これらの設定により、キャリア信号は図21.7.1のとおり生成されます。

0x5344: REMC Status Register (REMC_ST)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
REMC Status Register (REMC_ST)	0x5344 (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	REMDT	Transmit/receive data	1 1 (H) 0 0 (L)	0	R/W	

D[7:1] Reserved

D0 REMDT: Transmit/Receive Data Bit

データ送信時は送信データを設定します。データ受信時は受信データが読み出せます。
1（R/W）: 1（H）
0（R/W）: 0（L）（デフォルト）

REMEN（D0/REMC_CFGレジスタ）が1に設定されている場合、データ送信時はREMDTの設定値がキャリア信号で変調され、REMO端子から出力されます。データ受信時は入力したデータパルスの信号レベルがこのビットにセットされます。

0x5345: REMC Length Counter Register (REMC_LCNT)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
REMC Length Counter Register (REMC_LCNT)	0x5345 (8 bits)	D7–0	REMLEN[7:0]	Transmit/receive data length count (down counter)	0x0 to 0xff	0x0	R/W	

D[7:0] REMLEN[7:0]: Transmit/Receive Data Length Count Bits

データ長カウンタに値を設定しカウントを開始させます。（デフォルト: 0x0）
カウンタは0になると停止し、アンダーフロー割り込み要因を発生します。

データ送信時

データ送信時は送信データ長を設定します。
データパルス幅に相当する値を書き込むと、データ長カウンタはその値からカウントダウンを開始し、カウンタが0になるとアンダーフロー割り込み要因を発生して停止します。
この割り込みを利用して、次の送信データを設定します。

データ受信時

データ受信時は、入力信号の立ち上がりおよび立ち下がりエッジで割り込みを発生可能です。
入力変化時の割り込みを利用してデータ長カウンタに0xffを設定し、次の入力変化による割り込み発生時にカウント値を読み出すことで、その差分からデータパルス長が得られます。

0x5346: REMC Interrupt Mask Register (REMC_IMSK)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
REMC Interrupt Mask Register (REMC_IMSK)	0x5346 (8 bits)	D7–3	–	reserved	–				–	–	0 when being read.
		D2	REMFIE	Falling edge interrupt enable	1	Enable	0	Disable	0	R/W	
		D1	REMRIE	Rising edge interrupt enable	1	Enable	0	Disable	0	R/W	
		D0	REMUIE	Underflow interrupt enable	1	Enable	0	Disable	0	R/W	

本レジスタは、データ長カウンタのアンダーフロー、入力信号の立ち上がりエッジ、入力信号の立ち下がりエッジによる割り込み要求を個々に許可または禁止します。割り込みイネーブルビットを1に設定すると、対応する割り込み要因による割り込み要求が許可され、0に設定すると割り込みが禁止されます。なお、割り込みを発生させるには、ITCのREMC割り込みイネーブルビットも割り込み許可に設定する必要があります。

D[7:3] Reserved

D2 REMFIE: Falling Edge Interrupt Enable Bit
入力信号の立ち下がりエッジによる割り込みを許可または禁止します。
1（R/W）: 割り込み許可
0（R/W）: 割り込み禁止（デフォルト）

D1 REMRIE: Rising Edge Interrupt Enable Bit
入力信号の立ち上がりエッジによる割り込みを許可または禁止します。
1（R/W）: 割り込み許可
0（R/W）: 割り込み禁止（デフォルト）

D0 REMUIE: Underflow Interrupt Enable Bit
データ長カウンタのアンダーフローによる割り込みを許可または禁止します。
1（R/W）: 割り込み許可
0（R/W）: 割り込み禁止（デフォルト）

0x5347: REMC Interrupt Flag Register (REMC_IFLG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
REMC Interrupt Flag Register (REMC_IFLG)	0x5347 (8 bits)	D7–3	–	reserved	–	–	–	0 when being read.
		D2	REMFIF	Falling edge interrupt flag	1 Cause of interrupt occurred / 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D1	REMRIF	Rising edge interrupt flag		0	R/W	
		D0	REMUIF	Underflow interrupt flag		0	R/W	

本レジスタは、データ長カウンタのアンダーフロー、入力信号の立ち上がりエッジ、入力信号の立ち下がりエッジ割り込み要因の発生状態を示します。REMC割り込みが発生した場合は、本レジスタの割り込みフラグを読み出して発生した割り込み要因を特定してください。
対応する割り込みイネーブルビットを1に設定しておくことで、割り込みフラグはデータ長カウンタのアンダーフロー、入力信号の立ち上がりエッジ、入力信号の立ち下がりエッジにより1にセットされます。同時に、ITCに対してREMC割り込み要求信号が出力されます。この割り込み要求信号により、ITC内のREMC割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

注: 不要な割り込みの発生を防止するため、割り込みイネーブルビットによって割り込みを許可する前に、割り込みフラグをリセットしてください。

D[7:3] Reserved

D2 REMFIF: Falling Edge Interrupt Flag

立ち下がりエッジ割り込み要因の発生状態を示す割り込みフラグです。
1(R): 割り込み要因あり
0(R): 割り込み要因なし(デフォルト)
1(W): フラグをリセット
0(W): 無効

REMFIFはREMFIE(D2/REMC_IMSKレジスタ)を1に設定しておくことにより、入力信号の立ち下がりエッジで1にセットされます。

D1 REMRIF: Rising Edge Interrupt Flag

立ち上がりエッジ割り込み要因の発生状態を示す割り込みフラグです。
1(R): 割り込み要因あり
0(R): 割り込み要因なし(デフォルト)
1(W): フラグをリセット
0(W): 無効

REMRIFはREMRIE(D1/REMC_IMSKレジスタ)を1に設定しておくことにより、入力信号の立ち上がりエッジで1にセットされます。

D0 REMUIF: Underflow Interrupt Flag

アンダーフロー割り込み要因の発生状態を示す割り込みフラグです。
1(R): 割り込み要因あり
0(R): 割り込み要因なし(デフォルト)
1(W): フラグをリセット
0(W): 無効

REMUIFはREMUIE(D1/REMC_IMSKレジスタ)を1に設定しておくことにより、データ長カウンタのアンダーフローによって1にセットされます。

21.8 注意事項

REMCモジュールを動作させるには、その前にプリスケーラを動作させておく必要があります。

このページはブランクです。

22 LCDドライバ(LCD)

22.1 LCDドライバの構成

S1C17701は最大1,792ドット(56セグメント×32コモン)のLCDパネルが駆動可能なドットマトリクスLCDドライバを内蔵しています。図22.1.1にLCDドライバと駆動電源の構成を示します。

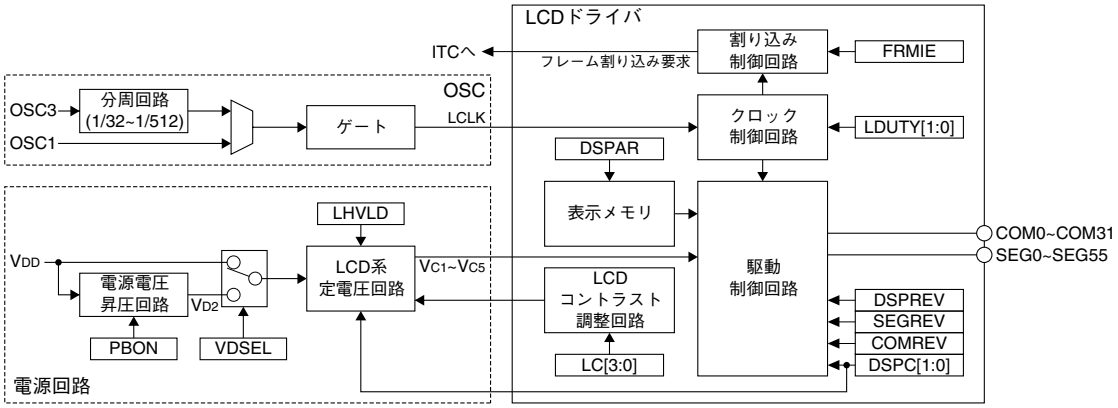


図22.1.1 LCDドライバと駆動電源の構成

22.2 LCD電源

LCD系の駆動電圧V_{C1}～V_{C5}は、チップ内部のLCD系定電圧回路や電源電圧昇圧回路を使用して発生します。外部より印加する必要はありません。LCD電源の詳細については、“4 電源”を参照してください。

22.3 LCDクロック

LCDクロックの供給システムを図22.3.1に示します。

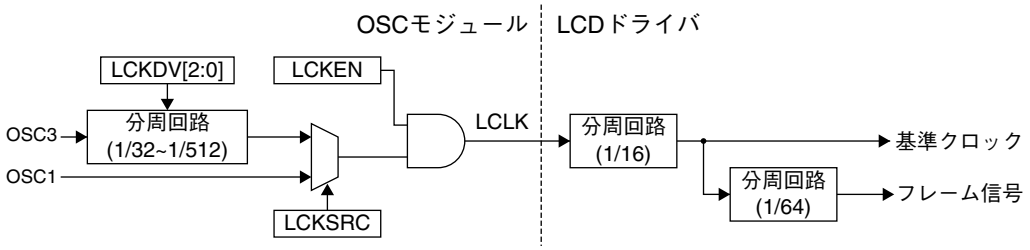


図22.3.1 LCDクロックシステム

22.3.1 LCD動作クロック

LCDドライバの動作クロック(LCLK)は、OSCモジュール内のLCDクロックジェネレータが生成します。OSCモジュールの詳細については、“7 発振回路(OSC)”を参照してください。

22.3.2 フレーム信号

フレーム信号はLCLKを1/1024に分周して生成されます。フレーム周波数は以下のようになります。図22.4.1と22.4.2に示す1フレームの時間をフレーム周波数とします。

LCDクロックの原振にOSC1(32.768kHz typ.)を選択した場合

フレーム周波数 = 64Hz (typ.)

LCDクロックの原振にOSC3を選択した場合

$$\text{フレーム周波数} = \frac{f_{OSC3}}{512} \times \text{LCKDV [Hz]}$$

f_{OSC3}: OSC3クロック周波数[Hz]
LCKDV: OSC3分周比1/32～1/512

22.4 駆動デューティの切り換え

駆動デューティはLDUTY[1:0](D[1:0]/LCD_CCTLレジスタ)により1/32、1/16の2種類に切り換えることができます。表22.4.1にLDUTY[1:0]の設定と駆動デューティ、最大表示ドット数の対応を示します。

* **LDUTY[1:0]**: LCD Duty Select Bits in the LCD Clock Control (LCD_CCTL) Register (D[1:0]/0x50a2)

表22.4.1 駆動デューティの設定

LDUTY[1:0]	デューティ	有効コモン端子	有効セグメント端子	最大表示ドット数
0x3	Reserved	–	–	–
0x2	1/32	COM0～COM31	SEG0～SEG55	1,792ドット
0x1	1/16	COM0～COM15	SEG0～SEG71	1,152ドット
0x0	Reserved	–	–	–

(デフォルト: 0x2)

COM16～COM31/SEG71～SEG56端子は、1/32デューティ選択時はコモン出力端子、1/16デューティ選択時はセグメント出力端子に設定されます。
1/32、1/16デューティいずれも駆動バイアスは1/5(VC1、VC2、VC3、VC4、VC5の5電位)で、駆動波形はそれぞれ図22.4.1、図22.4.2のようになります。

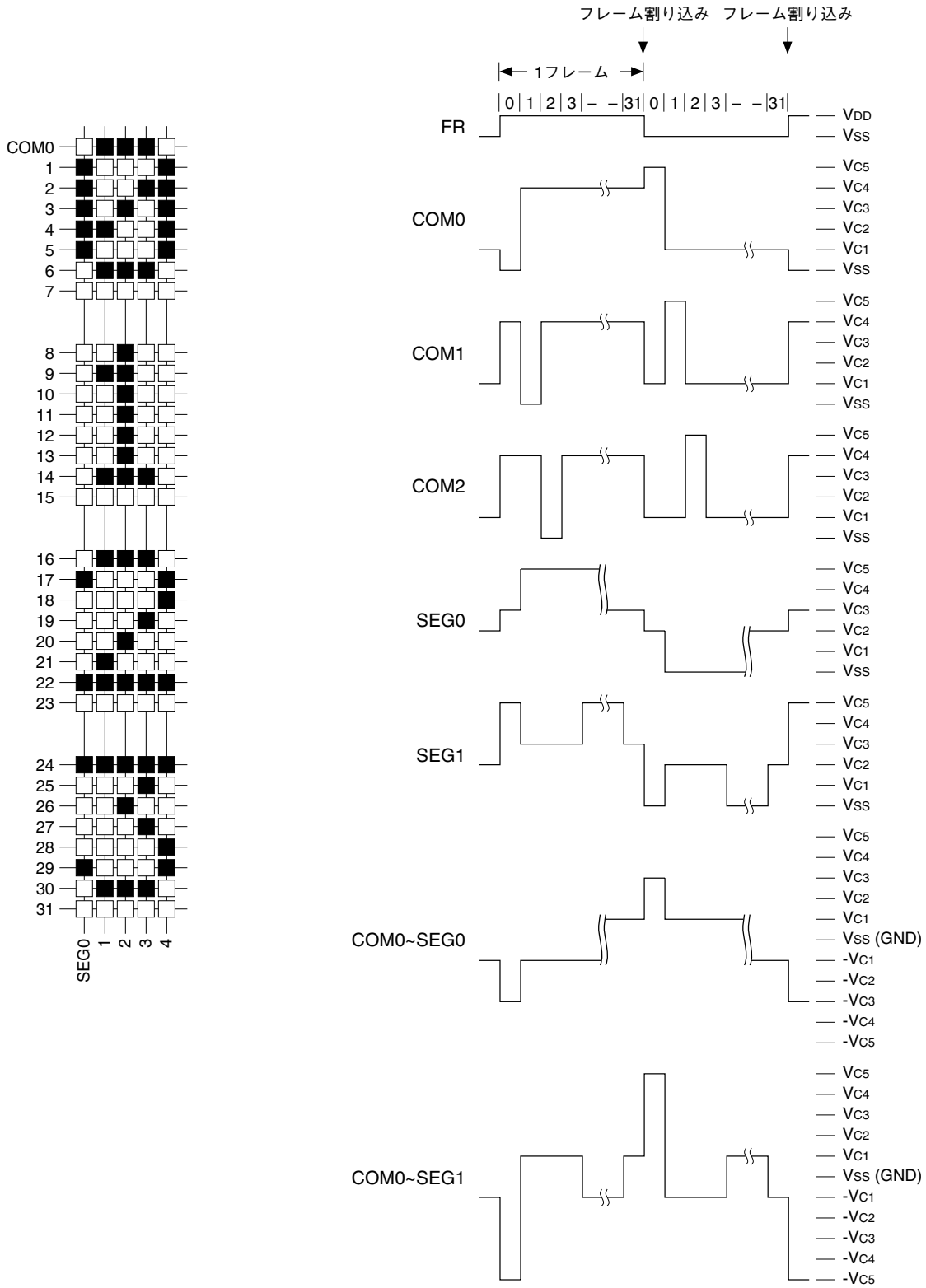


図22.4.1 1/32デューティの駆動波形

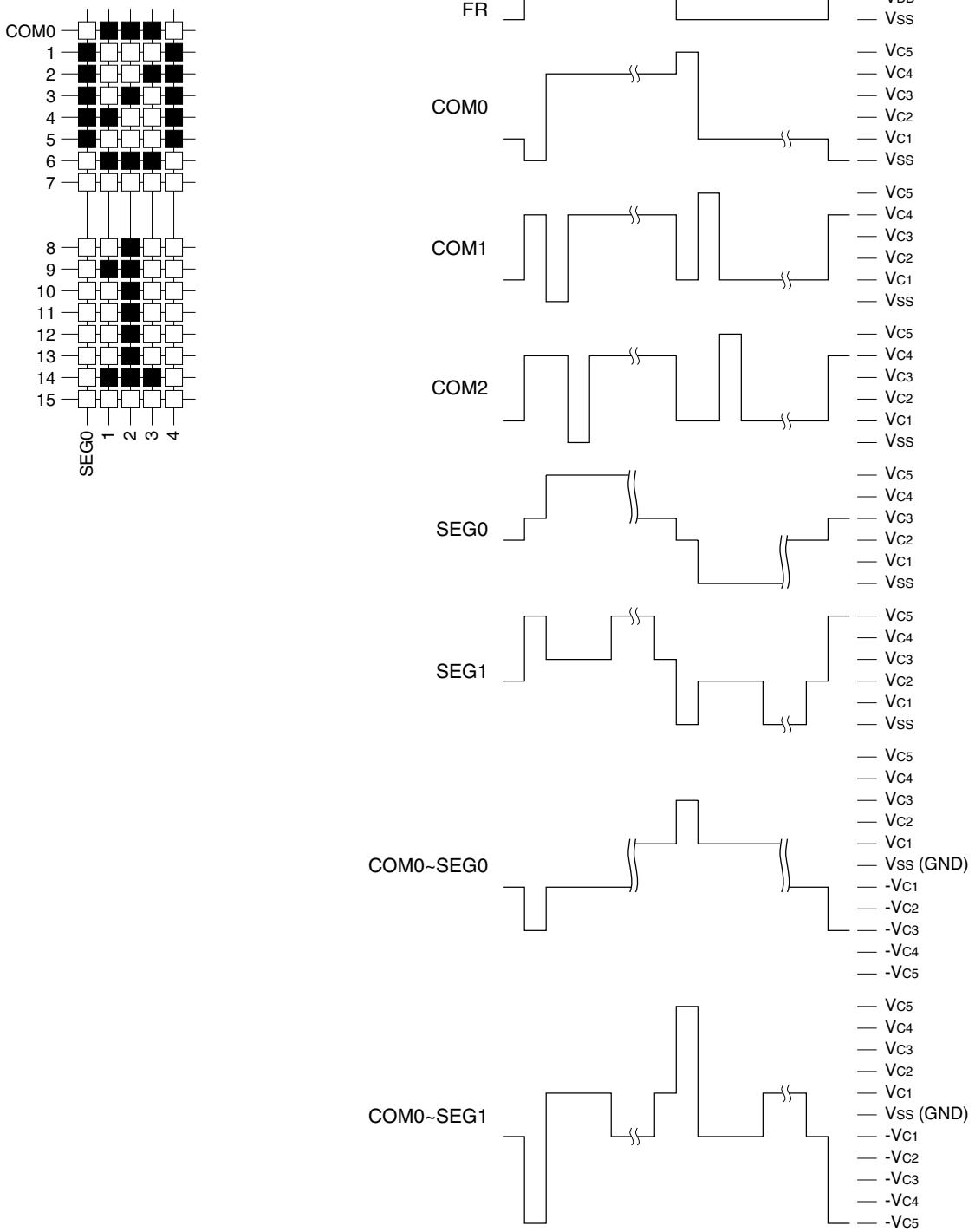


図22.4.2 1/16デューティの駆動波形

22.5 表示メモリ

S1C17701は576バイトの表示メモリを内蔵しています。表示メモリはアドレス0x80000～0x8055fに割り付けられており、メモリビットとコモン/セグメント端子の対応は次に示す項目の選択状態にしたがって変化します。
(1)駆動デューティ(1/32または1/16デューティ)
(2)SEG端子割り付け(通常または反転)
(3)COM端子割り付け(通常または反転)

駆動デューティごとの表示メモリとコモン/セグメント端子の対応を図22.5.1と図22.5.2に示します。
LCDパネル上のドットに対応する表示メモリのビットに1を書き込むとそのドットがONし、0を書き込むとOFFします。表示メモリはリード/ライト可能なRAM構造となっているため、論理演算命令等(リードモディファイライト命令)によるビット単位の制御を行うことができます。
576バイトの表示メモリ中で表示領域に割り当てられないビットは、リード/ライト可能な汎用RAMとして使用することができます。

アドレス上位16ビット	ビット	アドレス下位8ビット 0x00 … 0x0f	0x10 … 0x1f	0x20 … 0x2f	0x30 … 0x37	0x38 … 0x47	0x48 … 0x5f	0x60 … 0xff	COMREV = 1	COMREV = 0
0x800**	D0	表示領域				未使用領域(汎用メモリ)		未実装領域	COM0	COM31
	D1								COM1	COM30
	D2								COM2	COM29
	D3								COM3	COM28
	D4								COM4	COM27
	D5								COM5	COM26
	D6								COM6	COM25
	D7								COM7	COM24
0x801**	D0								COM8	COM23
	D1								COM9	COM22
	D2								COM10	COM21
	D3								COM11	COM20
	D4								COM12	COM19
	D5								COM13	COM18
	D6								COM14	COM17
	D7								COM15	COM16
0x802**	D0								COM16	COM15
	D1								COM17	COM14
	D2								COM18	COM13
	D3								COM19	COM12
	D4								COM20	COM11
	D5								COM21	COM10
	D6								COM22	COM9
	D7								COM23	COM8
0x803**	D0								COM24	COM7
	D1								COM25	COM6
	D2								COM26	COM5
	D3								COM27	COM4
	D4								COM28	COM3
	D5								COM29	COM2
	D6								COM30	COM1
	D7								COM31	COM0
0x804**	D0									
	D1									
	D2									
	D3									
	D4									
	D5									
	D6									
	D7									
0x805**	D0									
	D1									
	D2									
	D3									
	D4									
	D5									
	D6									
	D7									
SEGREV = 1		SEG0 … SEG15	SEG16 … SEG31	SEG32 … SEG47	SEG48 … SEG55					
SEGREV = 0		SEG55 … SEG40	SEG39 … SEG24	SEG23 … SEG8	SEG7 … SEG0					

図22.5.1 表示メモリマップ(1/32デューティ選択時)

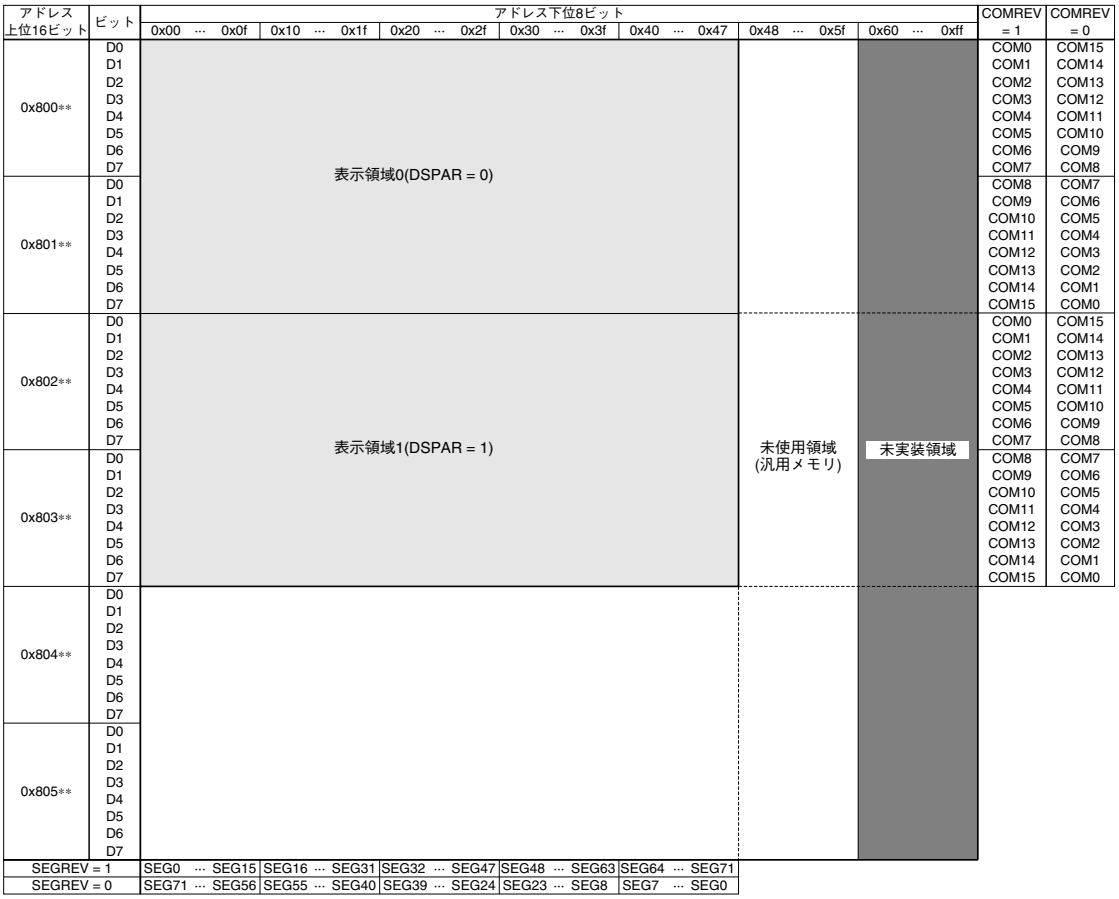


図22.5.2 表示メモリマップ(1/16デューティ選択時)

表示領域の選択(1/16デューティ選択時)

駆動デューティとして1/16デューティを選択した場合は表示メモリ内に2画面分の領域を確保することができ、DSPAR(D5/LCD_DCTLレジスタ)によって画面の切り換えを行うことができます。DSPARを0に設定した場合は表示領域0、1に設定した場合は表示領域1が選択されます。

* **DSPAR**: Display Memory Area Control Bit in the LCD Display Control (LCD_DCTL) Register (D5/0x50a0)

SEG端子割り付け

SEG端子に対する表示メモリアドレスの割り当てを、SEGREV(D7/LCD_DCTLレジスタ)で反転することができます。SEGREVが1(デフォルト)の場合、SEG端子に対してメモリアドレスが昇順に割り当てられます。SEGREVを0に設定すると、SEG端子に対してメモリアドレスが降順に割り当てられます。(図22.5.1、22.5.2参照)

* **SEGREV**: Segment Output Assignment Control Bit in the LCD Display Control (LCD_DCTL) Register (D7/0x50a0)

COM端子割り付け

COM端子に対する表示メモリビットの割り当てを、COMREV(D6/LCD_DCTLレジスタ)で反転することができます。COMREVが1(デフォルト)の場合、COM端子に対してメモリビットが昇順に割り当てられます。COMREVを0に設定すると、COM端子に対してメモリビットが降順に割り当てられます。(図22.5.1、22.5.2参照)

* **COMREV**: Common Output Assignment Control Bit in the LCD Display Control (LCD_DCTL) Register (D6/0x50a0)

22.6 表示の制御

22.6.1 表示のOn/Off

LCDの表示状態はDSPC[1:0](D[1:0]/LCD_DCTLレジスタ)によって制御します。

* **DSPC[1:0]**: LCD Display Control Bits in the LCD Display Control (LCD_DCTL) Register (D[1:0]/0x50a0)

表22.6.1.1 LCD表示制御

DSPC[1:0]	LCD表示
0x3	全消灯(スタティック)
0x2	全点灯(ダイナミック)
0x1	通常表示
0x0	表示Off

(デフォルト: 0x0)

通常の表示を行うには、DSPC[1:0]を0x1に設定します。ただし、クロックが供給されている必要があります(22.3節参照)。クロックが供給される前に、DSPC[1:0] = 0x0以外に設定した場合、LCD電源が正しく生成されない場合があります。このとき、一旦、DSPC[1:0] = 0x0へ戻し、クロックが供給された後に、再度DSPC[1:0] = 0x0以外に設定してください。

注: クロックが供給されている状態とは、発振回路の動作許可後、発振開始時間、発振安定待ち時間が経過し、LCDクロックがイネーブルに設定され、LCDドライバ回路に伝播している状態のことを指します。

表示Offを選択した場合、LCD系定電圧回路からの駆動電圧の供給が停止し、V_{C1}～V_{C5}端子はすべてVssレベルとなります。

全点灯および全消灯はLCDドライバが出力する駆動波形を直接制御するもので、表示メモリのデータは変更されません。また、コモン端子は全点灯ではダイナミック駆動、全消灯ではスタティック駆動となります。この機能を使用することにより、表示メモリを変更せずに表示を点滅させることができます。

イニシャルリセット時、DSPC[1:0]は0x0(表示Off)にリセットされます。
slp命令実行時、DSPC[1:0]は0x0(表示Off)にリセットされません。
液晶表示時slp命令を実行する場合、LCDを劣化させるおそれがありますので、ソフトウェアでDSPC[1:0]を0x0(表示Off)にリセットしてからslp命令を実行してください。

22.6.2 LCDコントラスト調整

LCDのコントラストは、LC[3:0](D[3:0]/LCD_CADJレジスタ)によって16段階に調整できます。
これは内蔵のLCD系電圧回路が出力するV_{C1}～V_{C5}の電圧を制御することによって実現しています。

* **LC[3:0]**: LCD Contrast Adjustment Bits in the LCD Contrast Adjust (LCD_CADJ) Register (D[3:0]/0x50a1)

表22.6.2.1 LCDコントラスト調整

LC[3:0]	コントラスト
0xf	高い(濃)
0xe	↑
:	:
0x1	↓
0x0	低い(淡)

(デフォルト: 0x0)

イニシャルリセット時、LC[3:0]は0x0になります。希望のコントラストを得るにはソフトウェアによる初期化が必要です。

22.6.3 反転表示

表示メモリを変更せずに制御ビットの操作のみでLCDの表示を反転(白黒反転)させることができます。
DSPREV(D4/LCD_DCTLレジスタ)を0に設定すると表示が反転し、1にすると通常の表示に戻ります。

* **DSPREV**: Reverse Display Control Bit in the LCD Display Control (LCD_DCTL) Register (D4/0x50a0)

ただし、DSPC[1:0](D[1:0]/LCD_DCTLレジスタ)で全消灯を選択している場合は、表示が反転しません。
全点灯選択時はDSPREVにより表示が反転します。

22.6.4 階調表示の制御

LCDドライバには1フレームごとに割り込みを発生させる機能があります。この割り込みを利用してドットをOn/Offすることにより階調表示を実現できます。
LCDパネルの特性によって階調表現が異なるため、フレーム周波数およびドットをOn/Offするフレーム周期を調整して階調表示を制御してください。
フレーム割り込みについては、22.7節を参照してください。

22.7 LCD割り込み

LCDモジュールには、フレーム信号によって割り込みを発生させる機能があります。

フレーム割り込み

この割り込み要求は、1フレームごとに発生し、LCDモジュール内の割り込みフラグFRMIF(D0/LCD_IFLGレジスタ)を1にセットします。
割り込みのタイミングは図22.4.1と22.4.2を参照してください。

* **FRMIF**: Frame Signal Interrupt Flag in the LCD Interrupt Flag (LCD_IFLG) Register (D0/0x50a6)

この割り込みを使用するには、FRMIE(D0/LCD_IMSKレジスタ)を1に設定します。FRMIEが0(デフォルト)に設定されていると、この要因による割り込み要求は割り込みコントローラ(ITC)に送られません。

* **FRMIE**: Frame Signal Interrupt Enable Bit in the LCD Interrupt Mask (LCD_IMSK) Register (D0/0x50a5)

FRMIEが1(割り込み許可)に設定されている状態で、FRMIFが1にセットされるとLCDモジュールは割り込み要求をITCに出力します。この割り込み要求信号により、ITC内のLCD割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。
割り込み処理ルーチン内では、ITCのLCD割り込みフラグではなくLCDモジュールのFRMIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

注: 不要な割り込みの発生を防止するため、FRMIEによってLCD割り込みを許可する前に、FRMIFをリセットしてください。

LCD割り込み用ITCレジスタ

前述の設定により、フレーム信号の立ち上がりエッジで、LCDモジュールは割り込み信号をITCに出力します。LCD割り込みを発生させるには、ITCレジスタで割り込みレベルと割り込み許可の設定を行ってください。以下に、LCD割り込み用のITC制御ビットを示します。

ITC内の割り込みフラグ

* **EIFT6**: LCD Interrupt Flag in the Interrupt Flag (ITC_IFLG) Register (D6/0x4300)

ITC内の割り込みイネーブルビット

* **EIEN6**: LCD Interrupt Enable Bit in the Interrupt Enable (ITC_EN) Register (D6/0x4302)

ITC内の割り込みレベル設定ビット

* **EILV6[2:0]**: LCD Interrupt Level Bits in the External Interrupt Level Setup (ITC_ELV3) Register 3 (D[2:0]/0x430c)

ITC内の割り込みトリガモード選択ビット(1に固定してください)

* **EITG6**: LCD Interrupt Trigger Mode Select Bit in the External Interrupt Level Setup (ITC_ELV3) Register 3 (D4/0x430c)

LCDの割り込み信号により、EIFT6が1にセットされます。
このとき、EIEN6が1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。LCD割り込みを禁止するには、EIEN6を0に設定しておきます。EIFT6は、EIEN6の設定にかかわらず(0に設定されていても)、LCDモジュールからの割り込み信号によって1にセットされます。
EILV6[2:0]は、LCD割り込みのレベル(0〜7)を設定します。

S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。

- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- LCD割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、"6 割り込みコントローラ(ITC)"を参照してください。

注: 割り込み要因の発生状態をLCDモジュールの割り込みフラグで管理するため、以下の処理が必要です。

1. ITCのLCD割り込みのトリガモードをレベルトリガモードに設定
2. 割り込み発生後は、割り込み処理ルーチン内で、LCDモジュール内の割り込みフラグFRMIFをリセット(これによりITCの割り込みフラグもリセットされます)

割り込みベクタ

LCD割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号:　　10(0x0a)
ベクタアドレス: 0x8028

22.8 制御レジスタ詳細

表22.8.1 LCDレジスター覧

アドレス	レジスタ名		機　能
0x50a0	LCD_DCTL	LCD Display Control Register	LCD表示の制御
0x50a1	LCD_CADJ	LCD Contrast Adjust Register	コントラストの制御
0x50a2	LCD_CCTL	LCD Clock Control Register	LCDクロックデューティ選択
0x50a3	LCD_VREG	LCD Voltage Regulator Control Register	LCDドライバ用定電圧回路の制御
0x50a4	LCD_PWR	LCD Power Voltage Booster Control Register	LCD電源電圧昇圧回路の制御
0x50a5	LCD_IMSK	LCD Interrupt Mask Register	割り込みマスクの設定
0x50a6	LCD_IFLG	LCD Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、LCDモジュールのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x50a0: LCD Display Control Register (LCD_DCTL)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
LCD Display Control Register (LCD_DCTL)	0x50a0 (8 bits)	D7	SEGREV	Segment output assignment control	1 Normal 0 Reverse	1	R/W	
		D6	COMREV	Common output assignment control	1 Normal 0 Reverse	1	R/W	
		D5	DSPAR	Display memory area control	1 Area 1 0 Area 0	0	R/W	
		D4	DSPREV	Reverse display control	1 Normal 0 Reverse	1	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1–0	DSPC[1:0]	LCD display control	DSPC[1:0] Display: 0x3 All off; 0x2 All on; 0x1 Normal display; 0x0 Display off	0x0	R/W	

D7 SEGREV: Segment Output Assignment Control Bit

SEG端子に対するメモリの割り当てを反転します。
1(R/W): 通常(デフォルト)
0(R/W): 反転

SEGREVが1(デフォルト)の場合、SEG端子に対してメモリアドレスが昇順に割り当てられます。SEGREVを0に設定すると、SEG端子に対してメモリアドレスが降順に割り当てられます。(図22.5.1、22.5.2参照)

D6 COMREV: Common Output Assignment Control Bit

COM端子に対するメモリの割り当てを反転します。
1(R/W): 通常(デフォルト)
0(R/W): 反転

COMREVが1(デフォルト)の場合、COM端子に対してメモリビットが昇順に割り当てられます。COMREVを0に設定すると、COM端子に対してメモリビットが降順に割り当てられます。(図22.5.1、22.5.2参照)

D5 DSPAR: Display Memory Area Control Bit

1/16デューティで駆動する場合に、表示領域を選択します。
1(R/W): 表示領域1
0(R/W): 表示領域0(デフォルト)

1/16デューティ駆動の場合に、表示メモリ中に2画面分確保される表示領域のどちらを表示させるかを選択します。DSPARを0に設定すると表示領域0、1に設定すると表示領域1が選択されます。表示領域については、図22.5.2を参照してください。

D4 DSPREV: Reverse Display Control Bit

LCD上の表示を反転(ネガ表示)します。
1(R/W): 通常表示(デフォルト)
0(R/W): 反転表示

DSPREVを0に設定するとLCDパネル上の表示が白黒反転します。1に設定すると通常の表示を行います。この操作は、表示メモリには影響を与えません。

D[3:2] Reserved

D[1:0] DSPC[1:0]: LCD Display Control Bit

LCDの表示を制御します。

表22.8.2 LCD表示制御

DSPC[1:0]	LCD表示
0x3	全消灯(スタティック)
0x2	全点灯(ダイナミック)
0x1	通常表示
0x0	表示Off

(デフォルト: 0x0)

通常の表示を行うには、DSPC[1:0]を0x1に設定します。ただし、クロックが供給されている必要があります(22.3節参照)。

表示Offを選択した場合、LCD系定電圧回路からの駆動電圧の供給が停止し、V_{C1}～V_{C5}端子はすべてVssレベルとなります。

全点灯および全消灯はLCDドライバが出力する駆動波形を直接制御するもので、表示メモリのデータは変更されません。また、コモン端子は全点灯ではダイナミック駆動、全消灯ではスタティック駆動となります。この機能を使用することにより、表示メモリを変更せずに表示を点滅させることができます。

イニシャルリセット時、DSPC[1:0]は0x0(表示Off)にリセットされます。
slp命令実行時、DSPC[1:0]は0x0(表示Off)にリセットされません。
液晶表示時slp命令を実行する場合、LCDを劣化させるおそれがありますので、ソフトウェアでDSPC[1:0]を0x0(表示Off)にリセットしてからslp命令を実行してください。

0x50a1: LCD Contrast Adjust Register (LCD_CADJ)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
LCD Contrast Adjust Register (LCD_CADJ)	0x50a1 (8 bits)	D7–4	–	reserved	–		–	–	0 when being read.
		D3–0	LC[3:0]	LCD contrast adjustment	LC[3:0]	Display	0x0	R/W	
					0xf : 0x0	Dark : Light			

D[7:4] Reserved

D[3:0] LC[3:0]: LCD Contrast Adjustment Bits

LCDのコントラストを調整します。これは内蔵のLCD系電圧回路が出力するV_{C1}～V_{C5}の電圧を制御することによって実現しています。

表22.8.3 LCDコントラスト調整

LC[3:0]	コントラスト
0xf	高い(濃)
0xe	↑
:	:
0x1	↓
0x0	低い(淡)

(デフォルト: 0x0)

イニシャルリセット時、LC[3:0]は0x0になります。希望のコントラストを得るにはソフトウェアによる初期化が必要です。

0x50a2: LCD Clock Control Register (LCD_CCTL)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
LCD Clock Control Register (LCD_CCTL)	0x50a2 (8 bits)	D7–2	–	reserved	–		–	–	0 when being read.
		D1–0	LDUTY[1:0]	LCD duty select	LDUTY[1:0]	Duty	0x2	R/W	
					0x3	reserved			
					0x2	1/32			
					0x1	1/16			
					0x0	reserved			

D[7:2] Reserved

D[1:0] LDUTY[1:0]: LCD Duty Select Bits

駆動デューティを選択します。

表22.8.4 駆動デューティの設定

LDUTY[1:0]	デューティ	有効コモン端子	有効セグメント端子	最大表示ドット数
0x3	Reserved	–	–	–
0x2	1/32	COM0～COM31	SEG0～SEG55	1,792ドット
0x1	1/16	COM0～COM15	SEG0～SEG71	1,152ドット
0x0	Reserved	–	–	–

（デフォルト: 0x2）

0x50a3: LCD Voltage Regulator Control Register (LCD_VREG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
LCD Voltage Regulator Control Register (LCD_VREG)	0x50a3 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	LHVLD	LCD heavy load protection mode	1 On 0 Off	0	R/W	
		D3–0	–	reserved	–	–	–	0 when being read.

制御ビットの詳細については、4.5節内の“0x50a3: LCD Voltage Regulator Control Register (LCD_VREG)”を参照してください。

0x50a4: LCD Power Voltage Booster Control Register (LCD_PWR)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
LCD Power Voltage Booster Control Register (LCD_PWR)	**0x50a4** (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1	**VDSEL**	Regulator power source select	1 V_{D2} 0 V_{DD}	0	R/W	
		D0	**PBON**	Power voltage booster control	1 On 0 Off	0	R/W	

制御ビットの詳細については、4.5節内の“0x50a4: LCD Power Voltage Booster Control Register (LCD_PWR)”を参照してください。

0x50a5: LCD Interrupt Mask Register (LCD_IMSK)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
LCD Interrupt Mask Register (LCD_IMSK)	0x50a5 (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	FRMIE	Frame signal interrupt enable	1 Enable 0 Disable	0	R/W	

D[7:1] Reserved

D0 FRMIE: Frame Signal Interrupt Enable Bit

フレーム割り込みを許可または禁止します。
1(R/W): 割り込み許可
0(R/W): 割り込み禁止(デフォルト)

FRMIEを1に設定するとITCへのLCD割り込み要求が許可され、0に設定すると割り込みが禁止されます。
なお、割り込みを発生させるには、ITCのLCD割り込みイネーブルビットも割り込み許可に設定する必要があります。

0x50a6: LCD Interrupt Flag Register (LCD_IFLG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
LCD Interrupt Flag Register (LCD_IFLG)	0x50a6 (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	FRMIF	Frame signal interrupt flag	1 Occurred 0 Not occurred	0	R/W	Reset by writing 1.

D[7:1] Reserved

D0 FRMIF: Frame Signal Interrupt Flag

フレーム割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり
0(R): 割り込み要因なし(デフォルト)
1(W): フラグをリセット
0(W): 無効

FRMIFはLCDモジュールの割り込みフラグで、フレーム信号の立ち上がりエッジ1にセットされます。このとき、FRMIE(D0/LCD_IMSKレジスタ)が1に設定されていれば、ITCに対してLCD割り込み要求信号が出力されます。この割り込み要求信号により、ITC内のLCD割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。

割り込み要因の発生状態を本レジスタで管理するため、以下の処理が必要です。

1. ITCのLCD割り込みのトリガモードをレベルトリガモードに設定
2. 割り込み発生後は、割り込み処理ルーチン内で、LCDモジュール内の割り込みフラグFRMIFをリセット(これによりITCの割り込みフラグもリセットされます)

FRMIFは1の書き込みによりリセットされます。

注: 不要な割り込みの発生を防止するため、FRMIEによってLCD割り込みを許可する前に、FRMIFをリセットしてください。

22.9 注意事項

- 不要な割り込みの発生を防止するため、FRMIE(D0/LCD_IMSKレジスタ)によってLCD割り込みを許可する前に、FRMIF(D0/LCD_IFLGレジスタ)をリセットしてください。
- LCD電源に関する注意については“4.6 注意事項”を参照してください。

23 電源電圧検出回路(SVD)

23.1 SVDモジュールの構成

S1C17701は電源電圧の低下を検出するSVD(電源電圧検出)回路を内蔵しています。SVD回路のOn/Off、比較電圧の設定、検出結果の読み出しはソフトウェアによって行えます。また、電圧低下を検出した場合に割り込みを発生させることもできます。
図23.1.1にSVD回路の構成を示します。

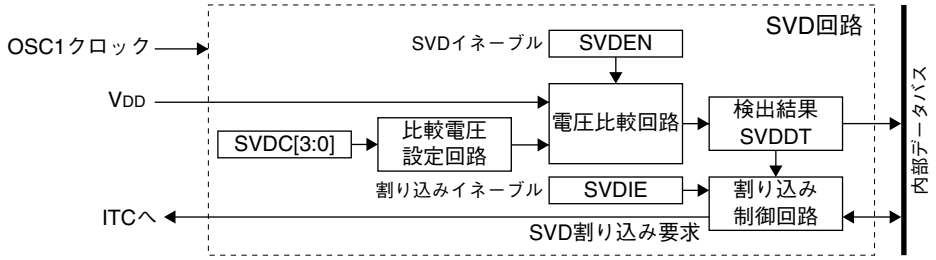


図23.1.1 SVD回路の構成

23.2 比較電圧の設定

SVD回路はソフトウェアによって設定した比較電圧と電源電圧（VDD）の比較を行い、電源電圧が比較電圧以上あるか否かを結果として出力します。比較電圧はSVDC[3:0]（D[3:0]/SVD_CMPレジスタ）によって表23.2.1の13種類から選択できます。

＊ **SVDC[3:0]**: SVD Compare Voltage Select Bits in the SVD Compare Voltage (SVD_CMP) Register (D[3:0]/0x5101)

表23.2.1 比較電圧の設定

SVDC[3:0]	比較電圧
0xf	2.7V
0xe	2.6V
0xd	2.5V
0xc	2.4V
0xb	2.3V
0xa	2.2V
0x9	2.1V
0x8	2.05V
0x7	2.0V
0x6	1.95V
0x5	1.9V
0x4	1.85V
0x3	1.8V
0x2～0x0	Reserved

（デフォルト: 0x0）

23.3 SVD回路の制御

SVD回路による電源電圧の検出動作はSVDEN(D0/SVD_ENレジスタ)に1を書き込むことによって開始し、0を書き込むことによって停止します。

∗ **SVDEN**: SVD Enable Bit in the SVD Enable (SVD_EN) Register (D0/0x5100)

検出結果はSVDDT(D0/SVD_RSLTレジスタ)から読み出すことができます。

∗ **SVDDT**: SVD Detection Result Bit in the SVD Detection Result (SVD_RSLT) Register (D0/0x5102)

検出結果とSVDDTの読み出し値は次のとおりです。

- 電源電圧(V_{DD})≧比較電圧の場合、SVDDT = 0
- 電源電圧(V_{DD})＜比較電圧の場合、SVDDT = 1

また、SVD割り込みを許可してSVDENを1に設定した場合、電源電圧が比較電圧を下回り、検出結果が1となった時点で割り込みが発生します。この割り込みを利用して、電池消耗の表示や重負荷保護の設定を行うことが可能です。割り込みの制御については次節を参照してください。
なお、一時的な電圧低下で割り込みが発生した場合、その後電圧が比較値以上に戻っても割り込みは解除されません。割り込み処理ルーチン内で、SVDDTを読み出して確認してください。

注:
- **SVD回路が動作を開始後、安定した検出結果が得られるまでに最大500μsの時間が必要です。割り込みを使用せずに検出結果を読み出す場合は、SVDEN(D0/SVD_ENレジスタ)に1を書き込み後、SVDDT(D0/SVD_RSLTレジスタ)を読み出す前にこの安定待ち時間を取ってください。**
- **SVD回路を動作させると消費電流が増加します。電源電圧の検出が不要な場合は、SVDENを0に設定してSVD動作を停止してください。**

23.4 SVD割り込み

SVDモジュールには、電源電圧の低下を検出した場合に割り込みを発生させる機能があります。

電源電圧低下検出割り込み

この割り込み要求は、SVD動作中(SVDEN(D0/SVD_ENレジスタ) = 1)に電源電圧(V_{DD})の検出値が比較電圧より低くなった時点で発生し、SVDモジュール内の割り込みフラグSVDIF(D0/SVD_IFLGレジスタ)を1にセットします。セットされたSVDIFは、その後電源電圧が比較値以上に戻ってもリセットされません。

* **SVDIF**: SVD Interrupt Flag in the SVD Interrupt Flag (SVD_IFLG) Register (D0/0x5104)

この割り込みを使用するには、SVDIE(D0/SVD_IMSKレジスタ)を1に設定します。SVDIEが0(デフォルト)に設定されていると、この要因による割り込み要求は割り込みコントローラ(ITC)に送られません。

* **SVDIE**: SVD Interrupt Enable Bit in the SVD Interrupt Mask (SVD_IMSK) Register (D0/0x5103)

SVDIEが1(割り込み許可)に設定されている状態で、SVDIFが1にセットされるとSVDモジュールは割り込み要求をITCに出力します。この割り込み要求信号により、ITC内のSVD割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。
割り込み処理ルーチン内では、ITCのSVD割り込みフラグではなくSVDモジュールのSVDIFをリセット(1を書き込み)して割り込み要因をクリアしてください。

注:
- **SVDIEを1(割り込み許可)に設定した時点で既に電源電圧が比較電圧より低い場合、割り込みは発生しません。**
- **不要な割り込みの発生を防止するため、SVDIEによってSVD割り込みを許可する前に、SVDIFをリセットしてください。**

SVD割り込み用ITCレジスタ

前述の設定により、電源電圧の低下を検出すると、SVDモジュールは割り込み信号をITCに出力します。SVD割り込みを発生させるには、ITCレジスタで割り込みレベルと割り込み許可の設定を行ってください。以下に、SVD割り込み用のITC制御ビットを示します。

ITC内の割り込みフラグ
* **EIFT5**: SVD Interrupt Flag in the Interrupt Flag (ITC_IFLG) Register (D5/0x4300)

ITC内の割り込みイネーブルビット
* **EIEN5**: SVD Interrupt Enable Bit in the Interrupt Enable (ITC_EN) Register (D5/0x4302)

ITC内の割り込みレベル設定ビット
* **EILV5[2:0]**: SVD Interrupt Level Bits in the External Interrupt Level Setup (ITC_ELV2) Register 2 (D[10:8]/0x430a)

ITC内の割り込みトリガモード選択ビット(1に固定してください)
* **EITG5**: SVD Interrupt Trigger Mode Select Bit in the External Interrupt Level Setup (ITC_ELV2) Register 2 (D12/0x430a)

SVDモジュールが電源電圧の低下を検出すると、EIFT5が1にセットされます。
このとき、EIEN5が1に設定されていると、ITCは割り込み要求をS1C17コアに送ります。SVD割り込みを禁止するには、EIEN5を0に設定しておきます。EIFT5は、EIEN5の設定にかかわらず(0に設定されていても)、SVDモジュールからの割り込み信号によって1にセットされます。
EILV5[2:0]は、SVD割り込みのレベル(0〜7)を設定します。

S1C17コアは、以下のすべての条件が成立している場合に割り込みを受け付けます。
- 割り込みイネーブルビットが1にセットされている。
- PSR(S1C17コア内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが1にセットされている。
- SVD割り込みが、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。
- NMIなど、他の優先順位の高い割り込み要因が発生していない。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については、“6 割り込みコントローラ(ITC)”を参照してください。

注: 割り込み要因の発生状態をSVDモジュールの割り込みフラグで管理するため、以下の処理が必要です。

1. **ITCのSVD割り込みのトリガモードをレベルトリガモードに設定**
2. **割り込み発生後は、割り込み処理ルーチン内で、SVDモジュール内の割り込みフラグSVDIFをリセット(これによりITCの割り込みフラグもリセットされます)**

割り込みベクタ

SVD割り込みのベクタ番号とベクタアドレスは以下のとおりです。

ベクタ番号:　　9(0x09)
ベクタアドレス: 0x8024

23.5 制御レジスタ詳細

表23.5.1 SVDレジスター覧

アドレス	レジスタ名		機　能
0x5100	SVD_EN	SVD Enable Register	SVD動作の許可
0x5101	SVD_CMP	SVD Compare Voltage Register	比較電圧の設定
0x5102	SVD_RSLT	SVD Detection Result Register	電圧検出結果
0x5103	SVD_IMSK	SVD Interrupt Mask Register	割り込みマスクの設定
0x5104	SVD_IFLG	SVD Interrupt Flag Register	割り込み発生状態の表示/リセット

以下、SVDモジュールのレジスタを個々に説明します。これらはすべて8ビットレジスタです。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5100: SVD Enable Register (SVD_EN)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
SVD Enable Register (SVD_EN)	0x5100 (8 bits)	D7–1	–	reserved	–				–	–	0 when being read.
		D0	SVDEN	SVD enable	1	Enable	0	Disable	0	R/W	

D[7:1] Reserved

D0 SVDEN: SVD Enable Bit

SVD回路の動作を許可/禁止します。
1(R/W): 許可
0(R/W): 禁止(デフォルト)

SVDENを1に設定すると電源電圧の検出を開始し、0に設定すると停止します。

注: • SVD回路が動作を開始後、安定した検出結果が得られるまでに最大500µsの時間が必要です。割り込みを使用せずに検出結果を読み出す場合は、SVDENに1を書き込み後、SVDDT(D0/SVD_RSLTレジスタ)を読み出す前にこの安定待ち時間を取ってください。

• SVD回路を動作させると消費電流が増加します。電源電圧の検出が不要な場合は、SVDENを0に設定してSVD動作を停止してください。

0x5101: SVD Compare Voltage Register (SVD_CMP)

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
SVD Compare Voltage Register (SVD_CMP)	0x5101 (8 bits)	D7–4	–	reserved	–		–	–	0 when being read.
		D3–0	SVDC[3:0]	SVD compare voltage	SVDC[3:0]	Voltage	0x0	R/W	
					0xf	2.7 V			
					0xe	2.6 V			
					0xd	2.5 V			
					0xc	2.4 V			
					0xb	2.3 V			
					0xa	2.2 V			
					0x9	2.1 V			
					0x8	2.05 V			
					0x7	2.0 V			
					0x6	1.95 V			
					0x5	1.9 V			
					0x4	1.85 V			
					0x3	1.8 V			
					0x2	–			
					0x1	–			
					0x0	–			

D[7:4] Reserved

D[3:0] SVDC[3:0]: SVD Compare Voltage Select Bits

電圧低下を検出するための比較電圧を13種類から選択します。

表23.5.2 比較電圧の設定

SVDC[3:0]	比較電圧
0xf	2.7V
0xe	2.6V
0xd	2.5V
0xc	2.4V
0xb	2.3V
0xa	2.2V
0x9	2.1V
0x8	2.05V
0x7	2.0V
0x6	1.95V
0x5	1.9V
0x4	1.85V
0x3	1.8V
0x2～0x0	Reserved

（デフォルト: 0x0）

SVD回路はSVDC[3:0]によって設定した比較電圧と電源電圧（VDD）の比較を行い、電源電圧が比較電圧以上あるか否かを結果として出力します。

0x5102: SVD Detection Result Register (SVD_RSLT)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
SVD Detection Result Register (SVD_RSLT)	0x5102 (8 bits)	D7–1	–	reserved	–				–	–	0 when being read.
		D0	SVDDT	SVD detection result	1	Low	0	Normal	×	R	

D[7:1] Reserved

D0 SVDDT: SVD Detection Result Bit

電源電圧の検出結果が読み出せます。
1(R): 電源電圧(V_{DD})＜比較電圧
0(R): 電源電圧(V_{DD})≧比較電圧

SVDEN(D0/SVD_ENレジスタ) = 1の間、SVD回路は電源電圧(V_{DD})をSVDC[3:0](D[3:0]/SVD_CMPレジスタ)で設定した電圧値と比較します。SVDDTを読み出すことにより、現在の電源電圧の状態を確認できます。

0x5103: SVD Interrupt Mask Register (SVD_IMSK)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
SVD Interrupt Mask Register (SVD_IMSK)	0x5103 (8 bits)	D7–1	–	reserved	–				–	–	0 when being read.
		D0	SVDIE	SVD interrupt enable	1	Enable	0	Disable	0	R/W	

D[7:1] Reserved

D0 SVDIE: SVD Interrupt Enable Bit

電源電圧低下検出時の割り込みを許可または禁止します。
1(R/W): 割り込み許可
0(R/W): 割り込み禁止(デフォルト)

SVDIEを1に設定するとITCへのSVD割り込み要求が許可され、0に設定すると割り込みが禁止されます。
なお、割り込みを発生させるには、ITCのSVD割り込みイネーブルビットも割り込み許可に設定する必要があります。

0x5104: SVD Interrupt Flag Register (SVD_IFLG)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SVD Interrupt Flag Register (SVD_IFLG)	0x5104 (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	SVDIF	SVD interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

D[7:1] Reserved

D0 SVDIF: SVD Interrupt Flag

電源電圧低下検出割り込み要因の発生状態を示す割り込みフラグです。

1(R): 割り込み要因あり
0(R): 割り込み要因なし(デフォルト)
1(W): フラグをリセット
0(W): 無効

SVDIFはSVDモジュールの割り込みフラグで、電源電圧の低下を検出すると1にセットされます。このとき、SVDIE(D0/SVD_IMSKレジスタ)が1に設定されていれば、ITCに対してSVD割り込み要求信号が出力されます。この割り込み要求信号により、ITC内のSVD割り込みフラグが1にセットされ、ITCとS1C17コアの割り込み条件が成立していれば割り込みが発生します。割り込み要因の発生状態を本レジスタで管理するため、以下の処理が必要です。

1. ITCのSVD割り込みのトリガモードをレベルトリガモードに設定
2. 割り込み発生後は、割り込み処理ルーチン内で、SVDモジュール内の割り込みフラグSVDIFをリセット(これによりITCの割り込みフラグもリセットされます)

SVDIFは1の書き込みによりリセットされます。

注: 不要な割り込みの発生を防止するため、SVDIE(D0/SVD_IMSKレジスタ)によってSVD割り込みを許可する前に、SVDIFをリセットしてください。

23.6 注意事項

- SVD回路が動作を開始後、安定した検出結果が得られるまでに最大500µsの時間が必要です。割り込みを使用せずに検出結果を読み出す場合は、SVDEN(D0/SVD_ENレジスタ)に1を書き込み後、SVDDT(D0/SVD_RSLTレジスタ)を読み出す前にこの安定待ち時間を取ってください。
- SVD回路を動作させると消費電流が増加します。電源電圧の検出が不要な場合は、SVDEN(D0/SVD_ENレジスタ)を0に設定してSVD動作を停止してください。
- 不要な割り込みの発生を防止するため、SVDIE(D0/SVD_IMSKレジスタ)によってSVD割り込みを許可する前に、SVDIF(D0/SVD_IFLGレジスタ)をリセットしてください。

24 オンチップデバッガ(DBG)

24.1 リソース要件とデバッグツール

デバッグ用ワークエリア

デバッグを行うには、64バイトのデバッグ用ワークエリアが必要です。S1C17701ではRAM内のアドレス0x000fc0～0x000fffがデバッグ用ワークエリアに設定されています。デバッグ機能を使用する場合、この領域をユーザプログラムからは使用しないでください。
このデバッグ用ワークエリアのスタートアドレスはDBRAMレジスタ(0xffff90)から読み出すことができます。

デバッグツール

デバッグは、S1C17701のデバッグ端子にS5U1C17001H(ICD Mini)等のICD(In-Circuit Debugger)を接続し、パソコン上のデバッガからデバッグコマンドを入力して行います。このため、以下のツールが必要です。

- S1C17 Family In-Circuit Debugger(S5U1C17001H等)
- S1C17 Family Cコンパイラパッケージ(S5U1C17001C等)

デバッグ端子

ICD(S5U1C17001H等)との接続に以下のデバッグ端子を使用します。

表24.1.1 デバッグ端子一覧

端子名	I/O	本数	機　能
DCLK(P31)	O	1	オンチップデバッガクロック出力端子 ICD Mini(S5U1C17001H)にクロックを出力します。
DSIO(P33)	I/O	1	オンチップデバッガデータ入出力端子 デバッグ用データの入出力およびブレーク信号の入力に使用します。
DST2(P32)	O	1	オンチップデバッガステータス信号出力端子 デバッグ中のプロセッサの状態を出力します。

オンチップデバッガの入出力端子(DCLK、DST2、DSIO)は汎用入出力ポート端子(P31、P32、P33)を兼用しており、初期状態ではデバッグ端子に設定されます。デバッグ機能を使用しない場合は、P3_PMUXレジスタの設定により、これらの端子を汎用入出力ポート端子に切り換えることができます。以下の制御ビットを1に設定することにより、端子が汎用入出力ポート用に切り換わります。

DCLK → P31
- ∗ **P31MUX**: P31 Port Function Select Bit in the P3 Port Function Select (P3_PMUX) Register (D1/0x52a3)

DST2 → P32
- ∗ **P32MUX**: P32 Port Function Select Bit in the P3 Port Function Select (P3_PMUX) Register (D2/0x52a3)

DSIO → P33
- ∗ **P33MUX**: P33 Port Function Select Bit in the P3 Port Function Select (P3_PMUX) Register (D3/0x52a3)

端子の機能と切り換えの詳細については、“10.2 入出力端子機能の選択(ポートMUX)”を参照してください。

24.2 デバッグブレーク時の動作状態

brk命令の実行、またはDSIO端子へのブレーク信号(Low)入力によりデバッグ割り込みが発生すると、S1C17コアはデバッグモードに入ります。この状態はretd命令が実行されるまで続きます。
この間、ハードウェア割り込みおよびNMIは受け付けられません。
デフォルト設定では、周辺回路の動作は停止します。これをデバッグ中でも動作するように変更することができます。
LCDドライバはデバッグ割り込み発生時の状態を継続します。

プリスケーラ出力クロックで動作する周辺回路

- 8ビットタイマ
- 16ビットタイマ
- PWM&キャプチャタイマ
- リモートコントローラ
- Pポート
- UART
- SPI
- I^2C

デフォルト設定では、デバッグモード時にプリスケーラが停止します。そのため、プリスケーラ出力クロックを使用する上記の周辺回路も停止します。プリスケーラには、デバッグモード時のプリスケーラの動作を指定するPRUND(D1/PSC_CTLレジスタ)が用意されています。PRUNDを1に設定すると、プリスケーラはデバッグモード時も動作します。これにより、上記の周辺回路も動作可能となります。PRUNDが0(デフォルト)の場合、S1C17コアがデバッグモードになった時点でプリスケーラおよび上記の周辺回路は停止します。

* **PRUND**: Prescaler Run/Stop Setting (in Debug Mode) Bit in the Prescaler Control (PSC_CTL) Register (D1/0x4020)

OSC1クロックで動作する周辺回路

- 計時タイマ
- ウォッチドッグタイマ
- ストップウォッチタイマ

MISCレジスタに、デバッグモード時のOSC1周辺回路(上記)の動作を指定するO1DBG(D0/MISC_OSC1レジスタ)が用意されています。O1DBGを1に設定すると、OSC1周辺回路はデバッグモード時も動作します。O1DBGが0(デフォルト)の場合、S1C17コアがデバッグモードになった時点でOSC1周辺回路は停止します。

* **O1DBG**: OSC1 Peripheral Control (in Debug Mode) Bit in the OSC1 Peripheral Control (MISC_OSC1) Register (D0/0x5322)

O1DBGを1に設定しても、8ビットOSC1タイマはデバッグモード時に停止しません。

24.3 制御レジスタ詳細

表24.3.1 デバッグ用レジスター覧

アドレス	レジスタ名		機　能
0x5322	MISC_OSC1	OSC1 Peripheral Control Register	デバッグ時のOSC1動作周辺機能の設定
0xffff90	DBRAM	Debug RAM Base Register	デバッグRAMベースアドレスの表示

以下、デバッグ用のレジスタを個々に説明します。

注: レジスタにデータを書き込む際、“Reserved”のビットには必ず0を書き込み、1は書き込まないでください。

0x5322: OSC1 Peripheral Control Register (MISC_OSC1)

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
OSC1 Peripheral Control Register (MISC_OSC1)	0x5322 (8 bits)	D7–1	–	reserved	–				–	–	0 when being read.
		D0	O1DBG	OSC1 peripheral control in debug mode	1	Run	0	Stop	0	R/W	

D[7:1] Reserved

D0 O1DBG: OSC1 Peripheral Control in Debug Mode Bit

デバッグモード時のOSC1周辺回路の動作を設定します。
1(R/W): 動作
0(R/W): 停止(デフォルト)

OSC1周辺回路はOSC1クロックで動作する以下の周辺回路のことです。
- 計時タイマ
- ウォッチドッグタイマ
- ストップウォッチタイマ

O1DBGを1に設定しても、8ビットOSC1タイマはデバッグモード時に停止しません。

0xffff90: Debug RAM Base Register (DBRAM)

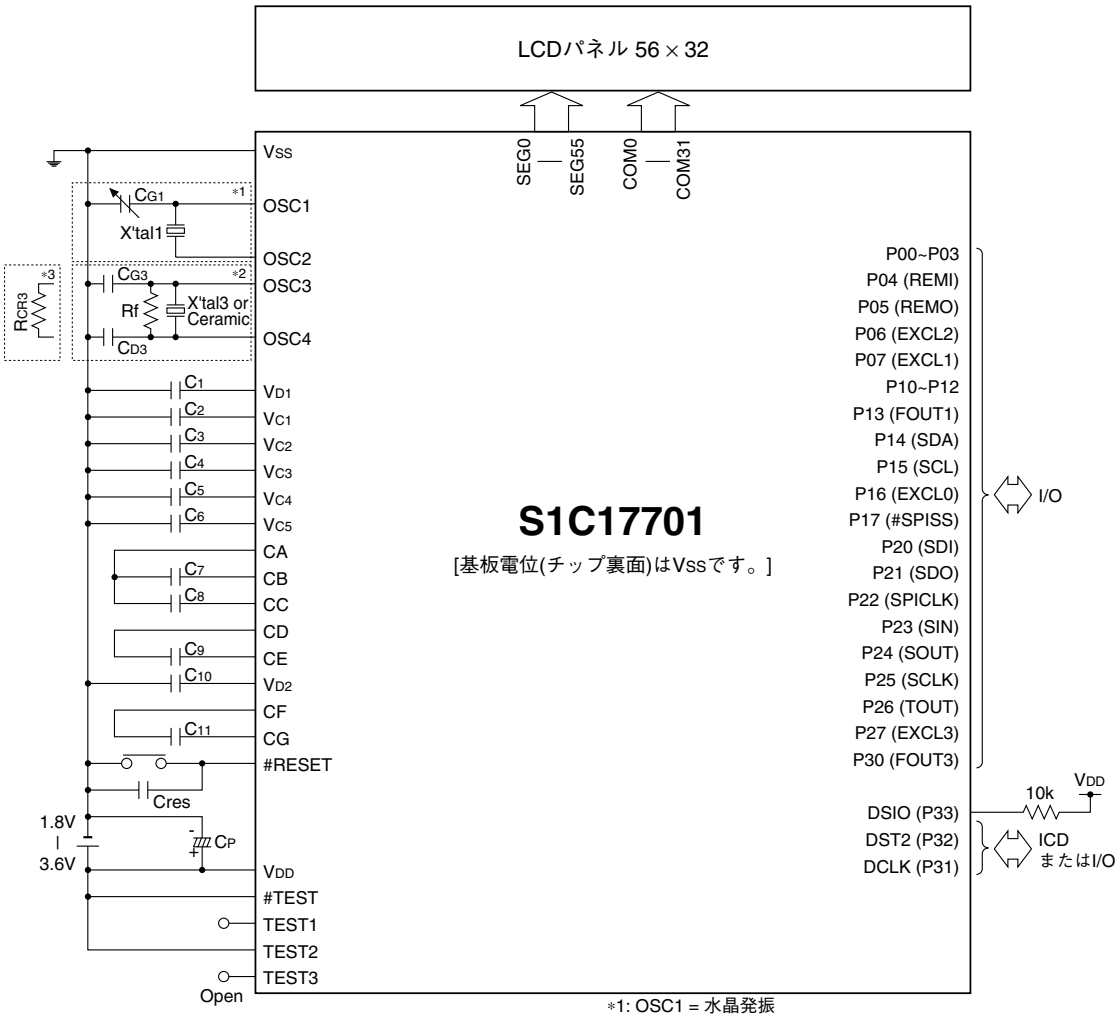
Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Debug RAM Base Register (DBRAM)	**0xffff90** (32 bits)	D31–24	–	Unused (fixed at 0)	0x0	0x0	R	
		D23–0	**DBRAM[23:0]**	Debug RAM base address	0xfc0	0xfc0	R	

D[31:24] 未使用(0固定)

D[23:0] DBRAM[23:0]: Debug RAM Base Address Bits
デバッグ用ワークエリア(64バイト)の先頭アドレスが格納されるリードオンリレジスタです。

このページはブランクです。

25 基本外部結線図



∗1: OSC1 = 水晶発振
∗2: OSC3 = 水晶またはセラミック発振(S1C17701F00B100)
∗3: OSC3 = CR発振(S1C17701F00E100)

外付部品推奨値

シンボル	名称	推奨値
X'tal1	水晶振動子	32.768kHz
C_{G1}	トリマキャパシタ	0~25pF
X'tal3	水晶振動子	0.2~8MHz
Ceramic	セラミック振動子	0.2~8MHz
Rf	帰還抵抗	1MΩ
C_{G3}	ゲートキャパシタ	15pF(水晶発振) 30pF(セラミック発振)
C_{D3}	ドレインキャパシタ	15pF(水晶発振) 30pF(セラミック発振)
R_{CR3}	CR発振用抵抗	30kΩ

シンボル	名称	推奨値
C_1	V_{SS}~V_{D1}間キャパシタ	0.1µF
C_2	V_{SS}~V_{C1}間キャパシタ	0.1µF
C_3	V_{SS}~V_{C2}間キャパシタ	0.1µF
C_4	V_{SS}~V_{C3}間キャパシタ	0.1µF
C_5	V_{SS}~V_{C4}間キャパシタ	0.1µF
C_6	V_{SS}~V_{C5}間キャパシタ	0.1µF
C_7~C_9	昇圧キャパシタ	0.1µF
C_{10}	V_{SS}~V_{D2}間キャパシタ	0.1µF
C_{11}	昇圧キャパシタ	0.1µF
C_P	電源間キャパシタ	3.3µF
Cres	#RESET端子キャパシタ	0.47µF

このページはブランクです。

26 電気的特性

26.1 絶対最大定格

(V_{SS} = 0V)

項 目	記号	条 件	定 格 値	単位
電源電圧	V_{DD}		-0.3~4.0	V
液晶電源電圧	V_{C5}		-0.3~6.0	V
入力電圧	V_I		-0.3~V_{DD} + 0.3	V
出力電圧	V_O		-0.3~V_{DD} + 0.3	V
高レベル出力電流	I_{OH}	1端子	-5	mA
		全端子合計	-20	mA
低レベル出力電流	I_{OL}	1端子	5	mA
		全端子合計	20	mA
許容損失 *1	V_O		200	mW
動作温度	Ta		-20~70	°C
保存温度	Tstg		-65~150	°C
半田付け温度・時間	Tsol		260°C, 10秒(リード部)	–

*1 プラスチックパッケージの場合

26.2 推奨動作条件

(Ta = -20~70°C)

項 目	記号	条 件	Min.	Typ.	Max.	単位
動作電源電圧	V_{DD}	通常動作モード	1.8		3.6	V
		Flashプログラミングモード	2.7		3.6	V
動作周波数	f_{OSC3}	水晶/セラミック発振	0.2		8.2	MHz
		CR発振	0.2		2.2	MHz
	f_{OSC1}	水晶発振		32.768	100	kHz
V_{SS}〜V_{D1}間キャパシタ *1	C_1			0.1		µF
V_{SS}〜V_{C1}間キャパシタ *1	C_2			0.1		µF
V_{SS}〜V_{C2}間キャパシタ *1	C_3			0.1		µF
V_{SS}〜V_{C3}間キャパシタ *1	C_4			0.1		µF
V_{SS}〜V_{C4}間キャパシタ *1	C_5			0.1		µF
V_{SS}〜V_{C5}間キャパシタ *1	C_6			0.1		µF
CA〜CB間キャパシタ *1	C_7			0.1		µF
CA〜CC間キャパシタ *1	C_8			0.1		µF
CD〜CE間キャパシタ *1	C_9			0.1		µF
V_{SS}〜V_{D2}間キャパシタ *1	C_{10}			0.1		µF
CF〜CG間キャパシタ *1	C_{11}			0.1		µF

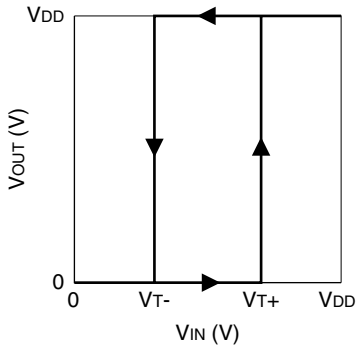
*1 LCDドライバを使用しない場合、キャパシタは必要ありません。また、V_{C1}~V_{C5}およびCA~CGは開放としてください。

26.3 DC特性

特記なき場合: V_{DD} = 1.8~3.6V, V_{SS} = 0V, Ta = -20~70°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
高レベル入力電圧	V_{IH}	P*xx*	0.8V_{DD}		V_{DD}	V
低レベル入力電圧	V_{IL}	P*xx*	0		0.2V_{DD}	V
高レベルシュミット入力電圧(1)	V_{T1+}	#RESET	0.5V_{DD}		0.9V_{DD}	V
低レベルシュミット入力電圧(1)	V_{T1-}	#RESET	0.1V_{DD}		0.5V_{DD}	V
高レベルシュミット入力電圧(2) *1	V_{T2+}	P*xx*	0.5V_{DD}		0.9V_{DD}	V
低レベルシュミット入力電圧(2) *1	V_{T2-}	P*xx*	0.1V_{DD}		0.5V_{DD}	V
高レベル出力電流	I_{OH}	P*xx*, V_{OH} = 0.9V_{DD}			-0.5	mA
低レベル出力電流	I_{OL}	P*xx*, V_{OL} = 0.1V_{DD}	0.5			mA
入力リーク電流	I_{LI}	P*xx*, #RESET	-1		1	µA
出力リーク電流	I_{LO}	P*xx*	-1		1	µA
入力プルアップ抵抗	R_{IN}	P*xx*, #RESET	100		500	kΩ
入力端子容量	C_{IN}	P*xx*, V_{IN} = 0V, f = 1MHz, Ta = 25°C			15	pF
セグメント, コモン出力電流	I_{SEGH}	SEG*xx*, COM*xx*, V_{SEGH} = V_{C5} - 0.1V			-5	µA
	I_{SEGL}	SEG*xx*, COM*xx*, V_{SEGL} = 0.1V	5			µA

*1 シュミット入力を有効にした場合



26.4 アナログ回路特性

LCDドライバ

LCDドライバは、パネル負荷(パネルの大きさ、駆動デューティ、表示点灯数、表示パターン)によってTyp.値がシフトしますので、実際に使用するパネルを接続して評価してください。負荷特性については、“26.8 特性グラフ”を参照してください。

特記なき場合: V_{DD} = 1.8~3.6V, V_{SS} = 0V, Ta = 25°C, C_1~C_{11} = 0.1µF, 市松模様出力時, パネル負荷なし

項 目	記号	条 件		Min.	Typ.	Max.	単位
LCD駆動電圧	V_{C1}	V_{SS}~V_{C1}間に1MΩの負荷抵抗を接続		0.18V_{C5}		0.22V_{C5}	V
	V_{C2}	V_{SS}~V_{C2}間に1MΩの負荷抵抗を接続		0.39V_{C5}		0.43V_{C5}	V
	V_{C3}	V_{SS}~V_{C3}間に1MΩの負荷抵抗を接続		0.59V_{C5}		0.63V_{C5}	V
	V_{C4}	V_{SS}~V_{C4}間に1MΩの負荷抵抗を接続		0.79V_{C5}		0.83V_{C5}	V
	V_{C5}	V_{SS}~V_{C5}間に1MΩの負荷抵抗を接続	LC[3:0] = 0x0	Typ. × 0.94	4.20	Typ. × 1.06	V
			LC[3:0] = 0x1		4.30		V
			LC[3:0] = 0x2		4.40		V
			LC[3:0] = 0x3		4.50		V
			LC[3:0] = 0x4		4.60		V
			LC[3:0] = 0x5		4.70		V
			LC[3:0] = 0x6		4.80		V
			LC[3:0] = 0x7		4.90		V
			LC[3:0] = 0x8		5.00		V
			LC[3:0] = 0x9		5.10		V
			LC[3:0] = 0xa		5.20		V
			LC[3:0] = 0xb		5.30		V
			LC[3:0] = 0xc		5.40		V
			LC[3:0] = 0xd		5.50		V
			LC[3:0] = 0xe		5.60		V
			LC[3:0] = 0xf		5.70		V

SVD回路

特記なき場合: V_{DD} = 1.8~3.6V, V_{SS} = 0V, Ta = 25°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
SVD電圧	V_{SVD}	SVDC[3:0] = 0x0		–		V
		SVDC[3:0] = 0x1		–		V
		SVDC[3:0] = 0x2		–		V
		SVDC[3:0] = 0x3	Typ. × 0.91	1.8	Typ. × 1.09	V
		SVDC[3:0] = 0x4		1.85		V
		SVDC[3:0] = 0x5		1.9		V
		SVDC[3:0] = 0x6		1.95		V
		SVDC[3:0] = 0x7		2.0		V
		SVDC[3:0] = 0x8		2.05		V
		SVDC[3:0] = 0x9		2.1		V
		SVDC[3:0] = 0xa		2.2		V
		SVDC[3:0] = 0xb		2.3		V
		SVDC[3:0] = 0xc		2.4		V
		SVDC[3:0] = 0xd		2.5		V
		SVDC[3:0] = 0xe		2.6		V
		SVDC[3:0] = 0xf		2.7		V
SVD回路応答時間	t_{SVD}				500	µs

Flashメモリ

特記なき場合: V_{DD} = 2.7~3.6V（VD1MD = 1）, V_{SS} = 0V, Ta = 25°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
消去時間 *1	t_{SE}	4Kバイト消去			25	ms
書き込み時間 *1	t_{BP}	16ビット書き込み			20	µs
書き換え回数 *2	C_{FEP}	データ保持10年保証時	1000			回

*1 データ転送およびベリファイを含み、消去/書き込み開始制御時間を除く
*2 消去+書き込み、または書き込みのみを1回とする

26.5 消費電流

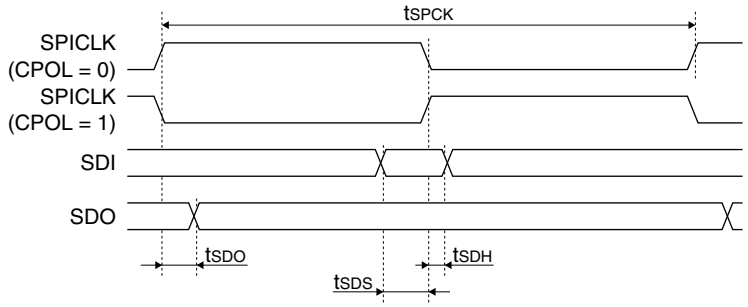
特記なき場合: V_{DD} = 1.8~3.6V, V_{SS} = 0V, Ta = 25°C, C_1~C_{11} = 0.1µF, パネル負荷なし, PCKEN = 3

項 目	記号	条 件	Min.	Typ.	Max.	単位
SLEEP時消費電流	I_{SLP}	OSC1 = OFF, OSC3 = OFF, VD1MD = 0		1	2.5	µA
HALT時消費電流	I_{HALT1}	OSC1 = 32kHz, OSC3 = OFF, VD1MD = 0, PCKEN = 0		2.6	5	µA
	I_{HALT2}	OSC1 = 32kHz, OSC3 = 8MHz(セラミック), VD1MD = 0		610	1200	µA
	I_{HALT3}	OSC1 = 32kHz, OSC3 = 2MHz(CR), VD1MD = 0		390	780	µA
実行時消費電流 *8	I_{EXE1}	OSC1 = 32kHz, OSC3 = OFF, VD1MD = 0, FLCYC = 4(1.5サイクル)		14	20	µA
	I_{EXE2}	OSC1 = 32kHz, OSC3 = 8MHz(セラミック), VD1MD = 0, FLCYC = 1(3.5サイクル)		1800	2700	µA
	I_{EXE2L}	OSC1 = 32kHz, OSC3 = 2MHz(セラミック), VD1MD = 0, FLCYC = 4(1.5サイクル)		780	1170	µA
	I_{EXE3}	OSC1 = 32kHz, OSC3 = 2MHz(CR), VD1MD = 0		1000	2000	µA
	I_{EXE11}	OSC1 = 32kHz, OSC3 = OFF, VD1MD = 1, FLCYC = 4(1.5サイクル)		32	50	µA
	I_{EXE21}	OSC1 = 32kHz, OSC3 = 8MHz(セラミック), VD1MD = 1, FLCYC = 1(3.5サイクル)		3200	4800	µA
	I_{EXE31}	OSC1 = 32kHz, OSC3 = 2MHz(CR), VD1MD = 1		2100	4200	µA
重負荷保護モード *8 実行時消費電流	I_{EXE1H}	OSC1 = 32kHz, OSC3 = OFF, VD1MD = 0, HVLD = 1, FLCYC = 4(1.5サイクル)		19	30	µA
LCD回路電流 *1	I_{LCD1}	DSPC[1:0] = 3(全消灯), LC[3:0] = 0xf, OSC1 = 32kHz, V_{DD} = 2.5~3.6V		4	10	µA
重負荷保護モード LCD回路電流 *2	I_{LCD1H}	DSPC[1:0] = 3(全消灯), LC[3:0] = 0xf, OSC1 = 32kHz, V_{DD} = 2.5~3.6V, LHVLD = 1		17	30	µA
電源電圧昇圧時 LCD回路電流 *3	I_{LCD2}	DSPC[1:0] = 3(全消灯), LC[3:0] = 0xf, OSC1 = 32kHz, PBON = 1, V_{DD} = 1.8~2.5V		7	20	µA
重負荷保護モード, 電源電圧昇圧時 LCD回路電流 *4	I_{LCD2H}	DSPC[1:0] = 3(全消灯), LC[3:0] = 0xf, OSC1 = 32kHz, PBON = 1, V_{DD} = 1.8~2.5V, LHVLD = 1		35	60	µA
SVD回路電流 *5	I_{SVD}	V_{DD} = 3.6V		5	10	µA
Flashメモリ 消去電流 *6	I_{FERS}	8MHz CPU動作時, VD1MD = 1		7	14	mA
Flashメモリ 書き込み電流 *7	I_{FPRG}	8MHz CPU動作時, VD1MD = 1		7	14	mA

*1 LCD回路動作時にHALT時/実行時消費電流に加算されます。
消費電流は表示パターン、パネル負荷によって増加します。
*2 LCD回路動作時に重負荷保護モード実行時消費電流に加算されます。
消費電流は表示パターン、パネル負荷によって増加します。
*3 電源電圧昇圧回路+LCD回路動作時にHALT時/実行時消費電流に加算されます。
消費電流は表示パターン、パネル負荷によって増加します。
*4 電源電圧昇圧回路+LCD回路動作時に重負荷保護モード実行時消費電流に加算されます。
消費電流は表示パターン、パネル負荷によって増加します。
*5 SVD回路動作時に実行時消費電流/重負荷保護モード実行時消費電流に加算されます。
*6 自己プログラミングの消去動作時に実行時消費電流に加算されます。
*7 自己プログラミングの書き込み動作時に実行時消費電流に加算されます。
*8 実行時の消費電流は、“ALU命令 60.5%、分岐命令 17%、メモリリード 12%、メモリライト 10.5%”の試験プログラムをFlashメモリからフェッチしながら連続動作させた場合の値です。

26.6 AC特性

26.6.1 SPI AC特性



マスタモード時

特記なき場合: V_{DD} = 1.8~3.6V, V_{SS} = 0V, Ta = -20~70°C

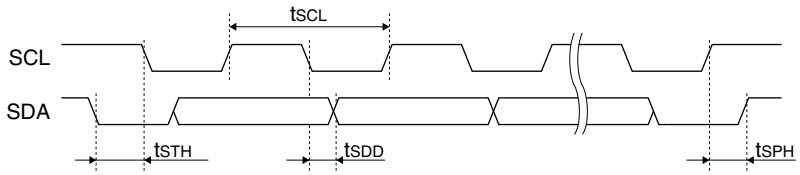
項 目	記号	Min.	Typ.	Max.	単位
SPICLKサイクル時間	t_{SPCK}	500			ns
SDIセットアップ時間	t_{SDS}	70			ns
SDIホールド時間	t_{SDH}	10			ns
SDO出力遅延時間	t_{SDO}			20	ns

スレーブモード時

特記なき場合: V_{DD} = 1.8~3.6V, V_{SS} = 0V, Ta = -20~70°C

項 目	記号	Min.	Typ.	Max.	単位
SPICLKサイクル時間	t_{SPCK}	500			ns
SDIセットアップ時間	t_{SDS}	10			ns
SDIホールド時間	t_{SDH}	10			ns
SDO出力遅延時間	t_{SDO}			80	ns

26.6.2 I²C AC特性

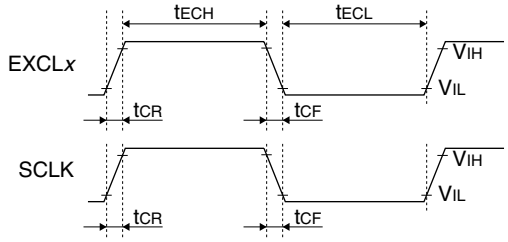


特記なき場合: V_{DD} = 1.8~3.6V, V_{SS} = 0V, Ta = -20~70°C

項 目	記号	Min.	Typ.	Max.	単位
SCLサイクル時間	t_{SCL}	2500			ns
スタートコンディションホールド時間	t_{STH}	1/f_{SYS}			ns
データ出力遅延時間	t_{SDD}	1/f_{SYS}			ns
ストップコンディションホールド時間	t_{SPH}	1/f_{SYS}			ns

* f_{SYS}: システム動作クロック周波数

26.6.3 外部クロック入力AC特性

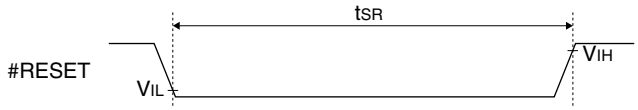


特記なき場合: V_{DD} = 1.8~3.6V, V_{SS} = 0V, V_{IH} = 0.8V_{DD}, V_{IL} = 0.2V_{DD}, Ta = -20~70°C

項 目	記号	Min.	Typ.	Max.	単位
EXCL*x*入力Highパルス幅	t_{ECH}	2/f_{SYS}			s
EXCL*x*入力Lowパルス幅	t_{ECL}	2/f_{SYS}			s
UART転送レート	R_U			115200	bps
入力立ち上がり時間	t_{CR}			80	ns
入力立ち下がり時間	t_{CF}			80	ns

* f_{SYS}: システム動作クロック周波数

26.6.4 システムAC特性



特記なき場合: V_{DD} = 1.8~3.6V, V_{SS} = 0V, V_{IH} = 0.8V_{DD}, V_{IL} = 0.2V_{DD}, Ta = -20~70°C

項 目	記号	Min.	Typ.	Max.	単位
リセットLowパルス幅	t_{SR}	100			µs

26.7 発振特性

発振特性は諸条件(基板パターン、使用部品など)により変化します。以下の特性は参考値として使用してください。特にOSC3にセラミック振動子または水晶振動子を使用する場合、容量や抵抗などの定数は振動子メーカーの推奨値を使用してください。また発振開始時間は、OSC3のクロックを使用する場合の待ち時間となりますので重要な項目です。

OSC1水晶発振

特記なき場合: V_{DD} = 1.8~3.6V, V_{SS} = 0V, Ta = 25°C, 水晶発振子 = C-002RX(R_1 = 30kΩ Typ., C_L = 12.5pF)*1, C_{G1} = 25pF外付け, C_{D1} = 内蔵

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振開始時間	t_{sta}				3	s
外付けゲート容量	C_{G1}	基板容量など含む	0		25	pF
内蔵ドレイン容量	C_{D1}	チップの場合		10		pF
周波数IC偏差	∂f/∂IC	V_{DD} = 一定	-10		10	ppm
周波数電源電圧偏差	∂f/∂V				1	ppm/V
周波数調整範囲	∂f/∂C_G	V_{DD} = 一定, C_G = 0~25pF	25			ppm

*1 C-002RX: セイコーエプソン製

OSC3水晶発振

特記なき場合: V_{DD} = 1.8~3.6V, V_{SS} = 0V, Ta = 25°C, 水晶発振子 = CA-301*1, R_f = 1MΩ, C_{G3} = C_{D3} = 15pF

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振開始時間 *2	t_{sta}				10	ms

*1 CA-301: セイコーエプソン製
*2 水晶発振開始時間は、使用する水晶振動子およびC_{G3}, C_{D3}により変化します。

OSC3セラミック発振

特記なき場合: V_{DD} = 1.8~3.6V, V_{SS} = 0V, Ta = 25°C, セラミック振動子 = KBR-4.0MSB/KBR-8.0MSB*1, R_f = 1MΩ, C_{G3} = C_{D3} = 30pF

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振開始時間 *2	t_{sta}				1	ms

*1 KBR-4.0MSB/KBR-8.0MSB: Kyocera製
*2 セラミック発振開始時間は、使用するセラミック振動子およびC_{G3}, C_{D3}により変化します。

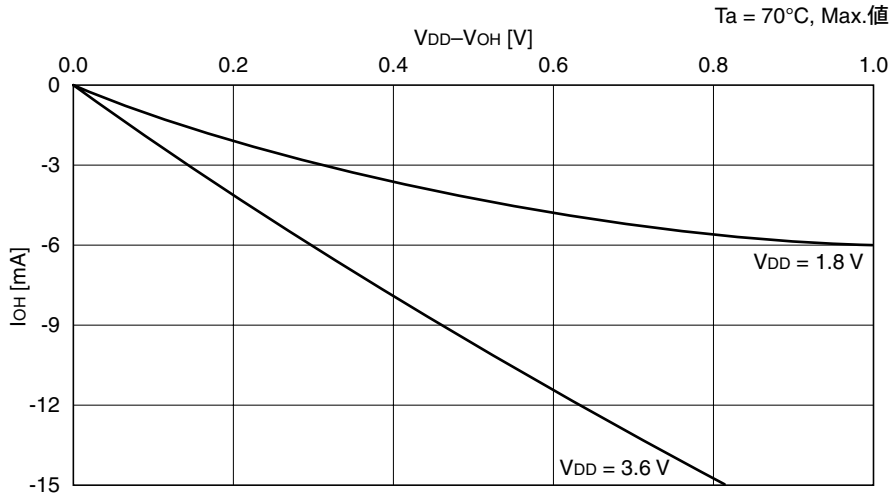
OSC3 CR発振

特記なき場合: V_{DD} = 1.8~3.6V, V_{SS} = 0V, Ta = 25°C

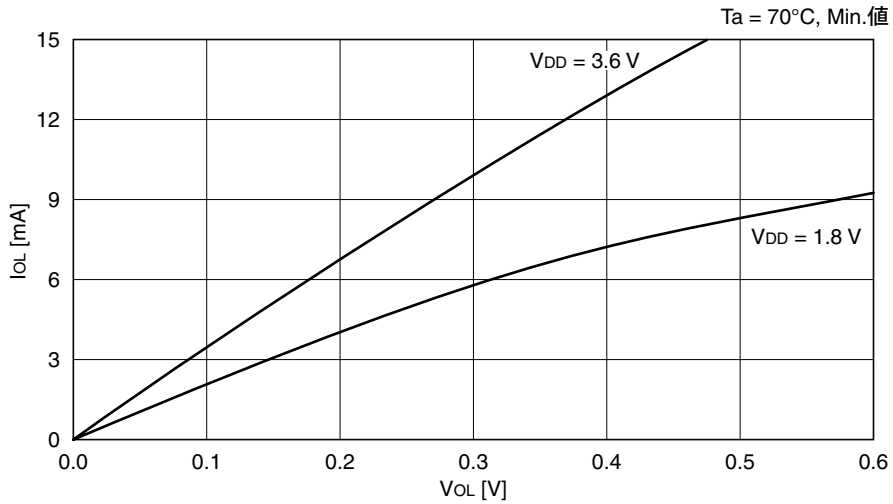
項 目	記号	条 件	Min.	Typ.	Max.	単位
発振開始時間	t_{sta}				100	µs
周波数IC偏差	∂f/∂IC	R_{CR} = 一定	-25		25	%

26.8 特性グラフ（参考値）

高レベル出力電流特性



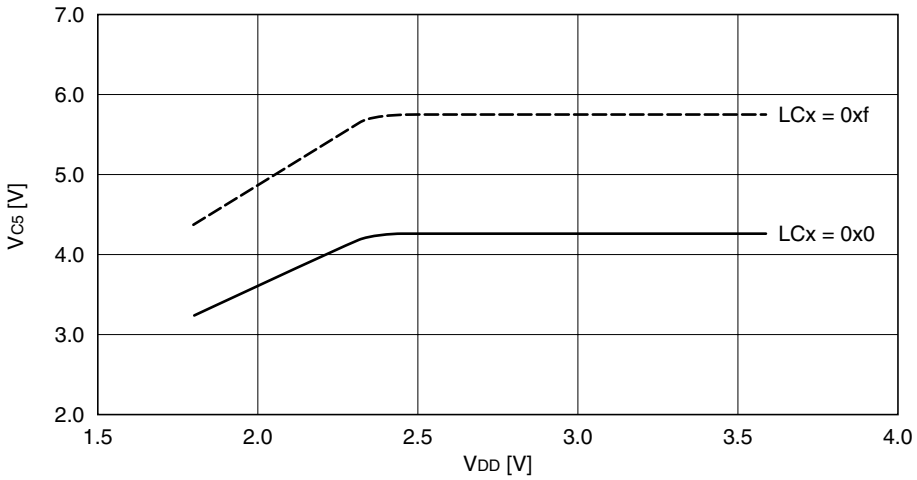
低レベル出力電流特性



LCD駆動電圧電源電圧特性(電源電圧昇圧回路未使用時)

V_{SS}～V_{C5}間に1MΩの負荷抵抗を接続した場合(パネル負荷なし)

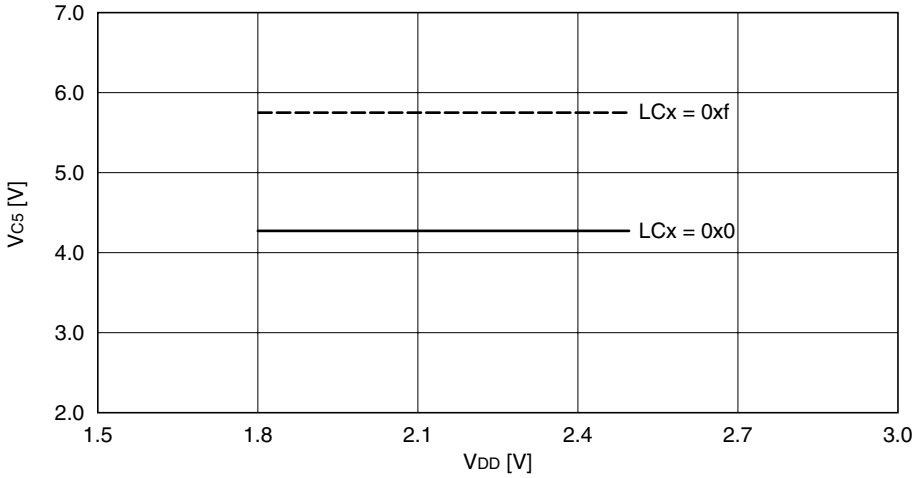
Ta = 25°C, Typ.値



LCD駆動電圧電源電圧特性(電源電圧昇圧回路使用時)

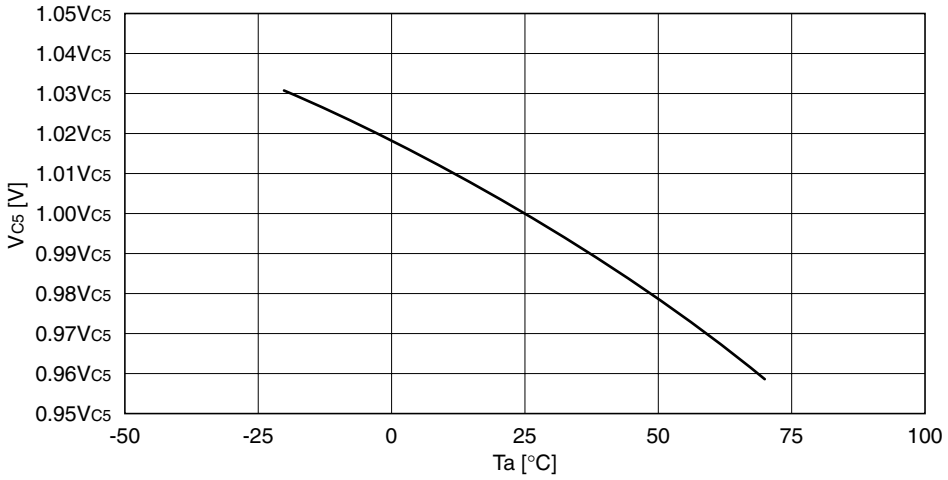
V_{SS}～V_{C5}間に1MΩの負荷抵抗を接続した場合(パネル負荷なし)

Ta = 25°C, Typ.値



LCD駆動電圧温度特性

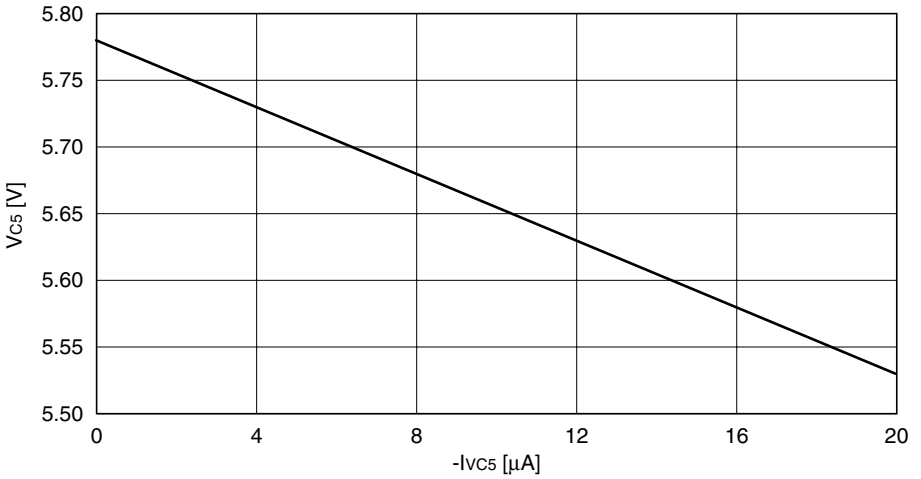
Typ.値



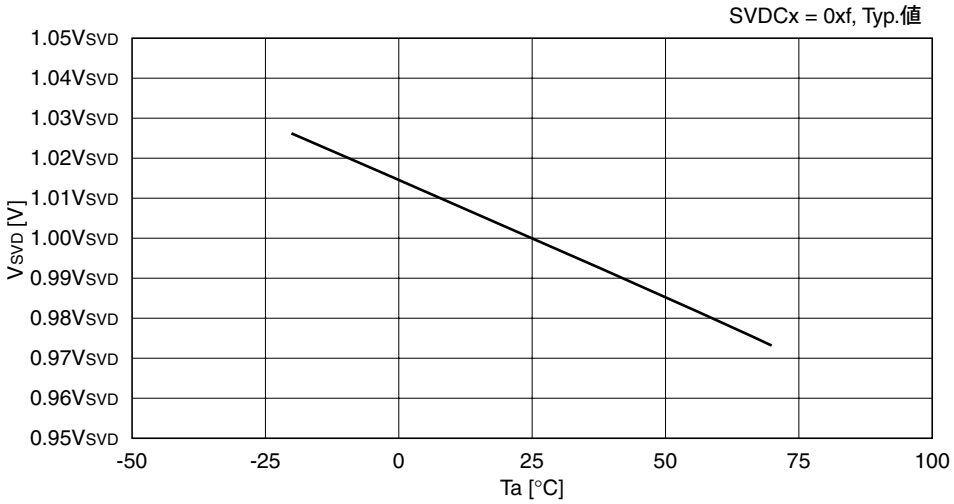
LCD駆動電圧負荷特性

VC5端子のみに負荷を接続した場合

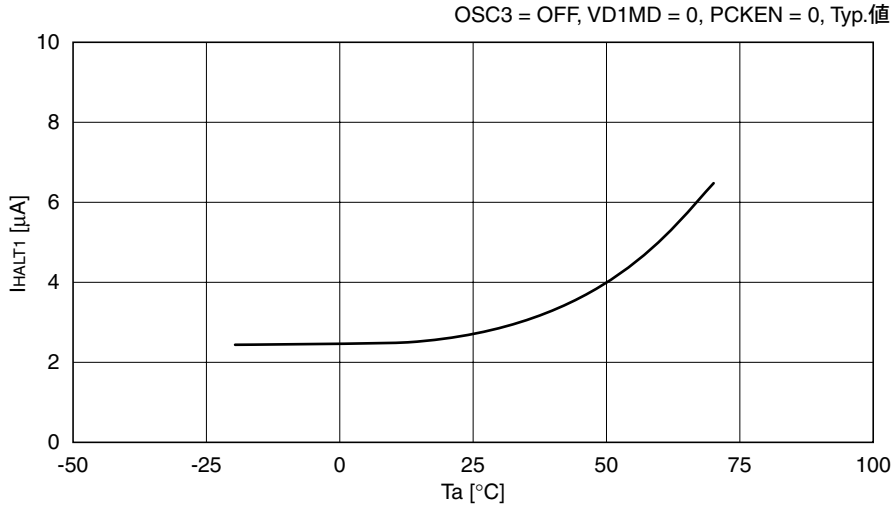
LCx = 0xf, Ta = 25°C, Typ.値



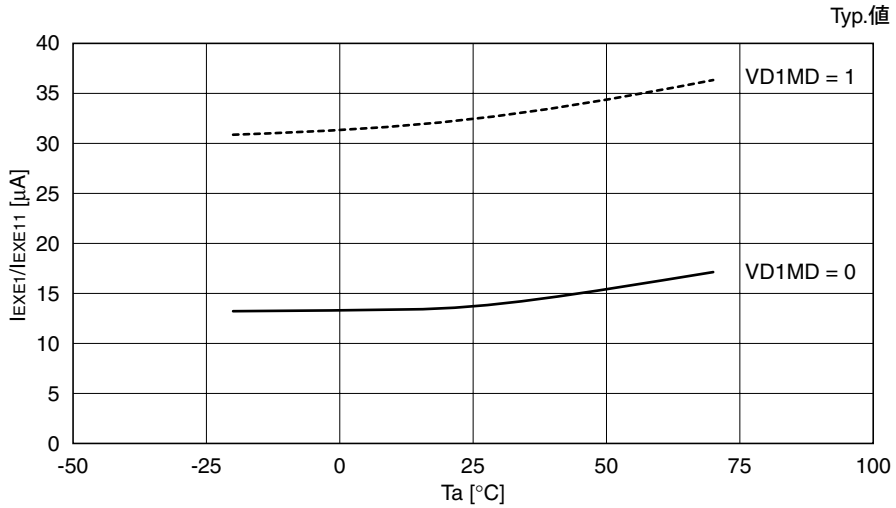
SVD電圧温度特性



HALT時消費電流温度特性 (OSC1動作時)　<水晶発振, fosc1 = 32.768kHz>

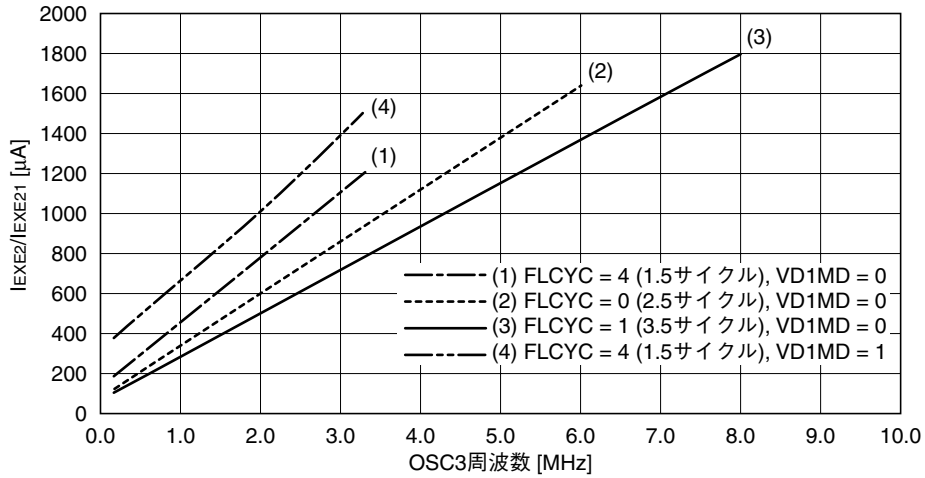


実行時消費電流温度特性 (OSC1動作時)　<水晶発振, fosc1 = 32.768kHz>



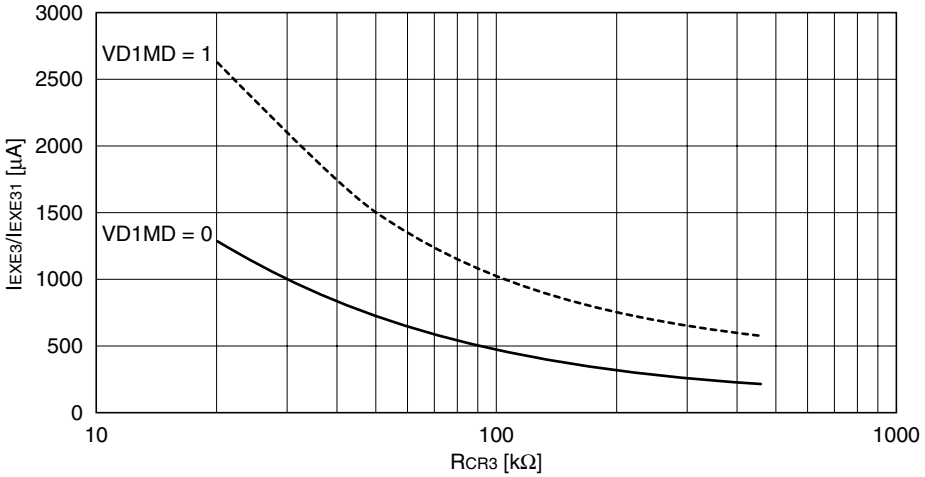
実行時消費電流周波数特性 (OSC3動作時)　<水晶発振/セラミック発振>

V_{DD} = 3.6V, Ta = 25°C, Typ.値



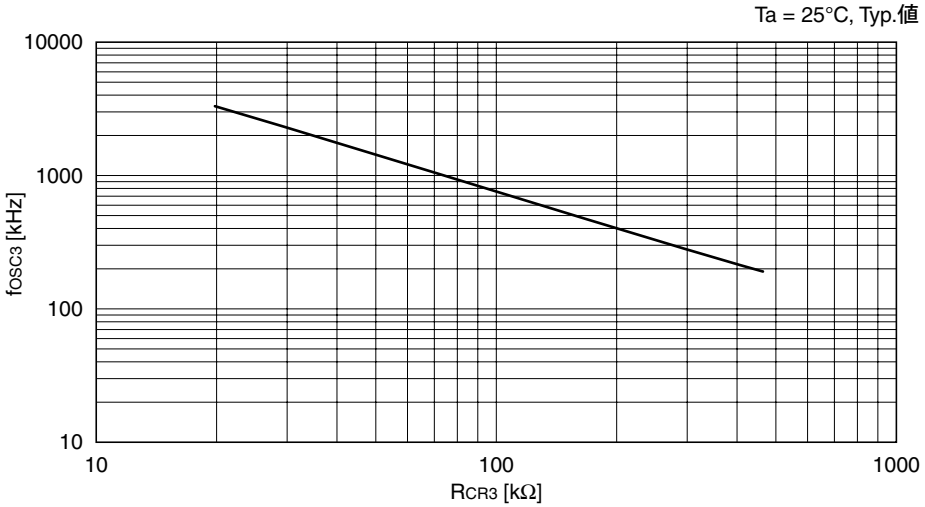
実行時消費電流抵抗特性 (OSC3動作時)　<CR発振>

Ta = 25°C, Typ.値



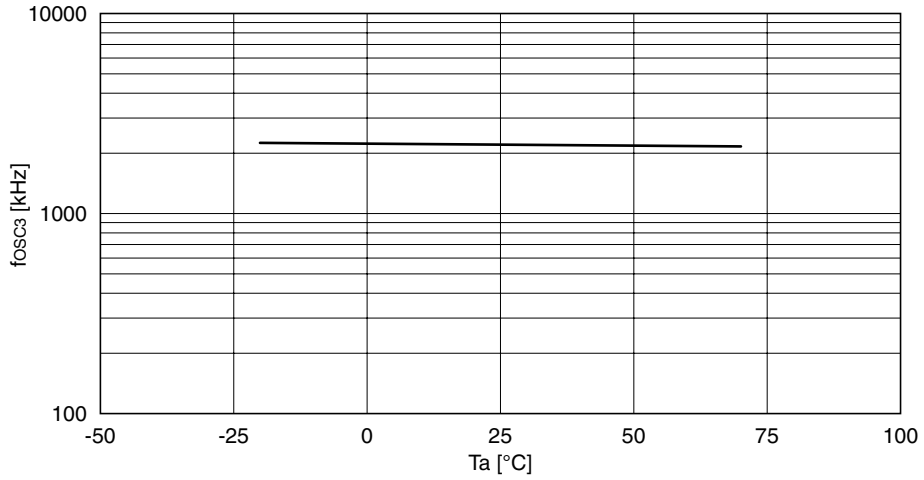
発振周波数抵抗特性 (OSC3)　<CR発振>

Ta = 25°C, Typ.値



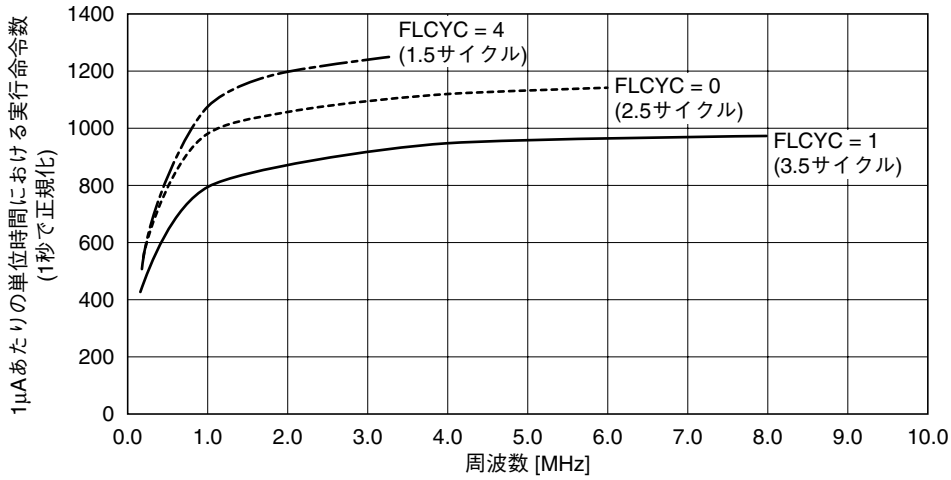
発振周波数温度特性 (OSC3) <CR発振>

R_{CR3} = 30kΩ, Typ.値



処理能力周波数特性

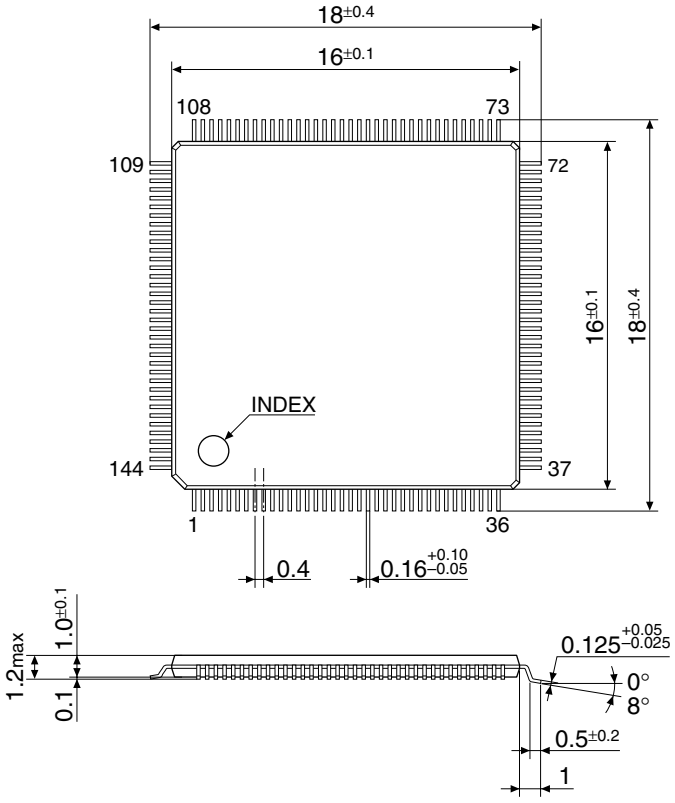
V_{DD} = 3.6V, VD1MD = 0, Typ.値



27 パッケージ

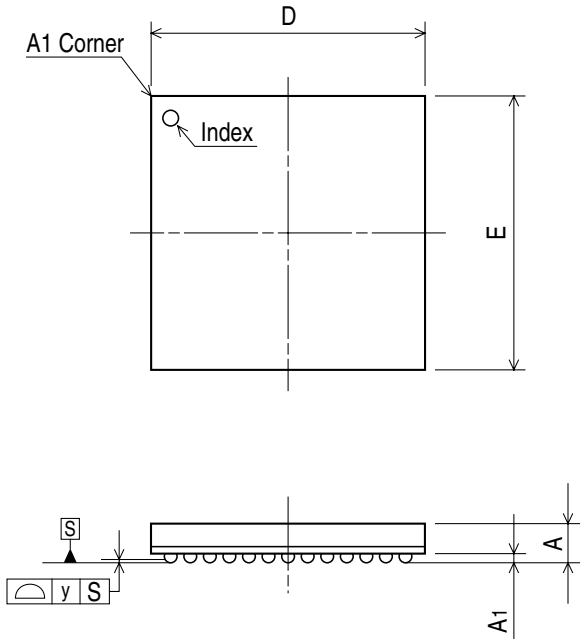
TQFP24-144pinパッケージ

（単位: mm）

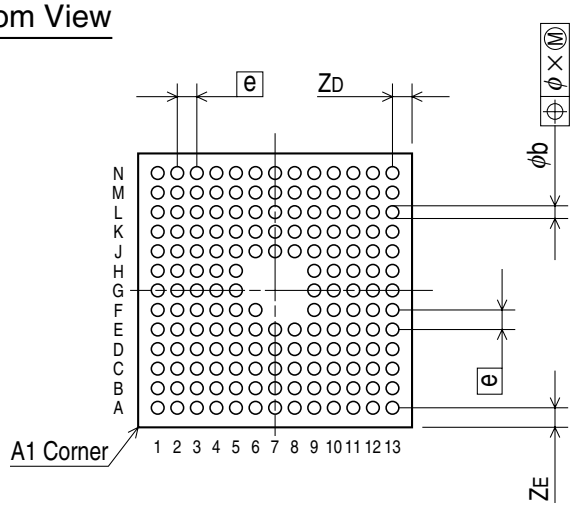


VFBGA7H-161パッケージ

Top View



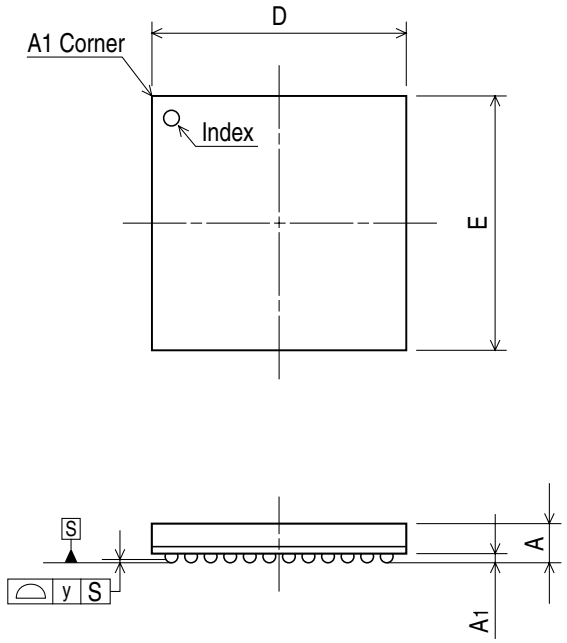
Bottom View



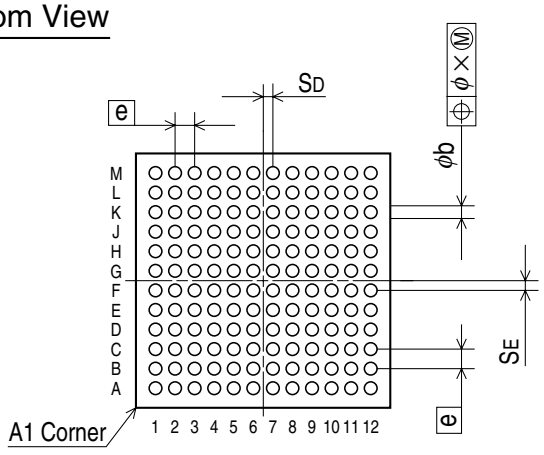
Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	–	7	–
E	–	7	–
A	–	–	1.0
A_1	–	0.23	–
e	–	0.5	–
b	0.26	–	0.36
X	–	–	0.08
y	–	–	0.1
Z_D	–	0.5	–
Z_E	–	0.5	–

VFBGA10H-144パッケージ

Top View



Bottom View

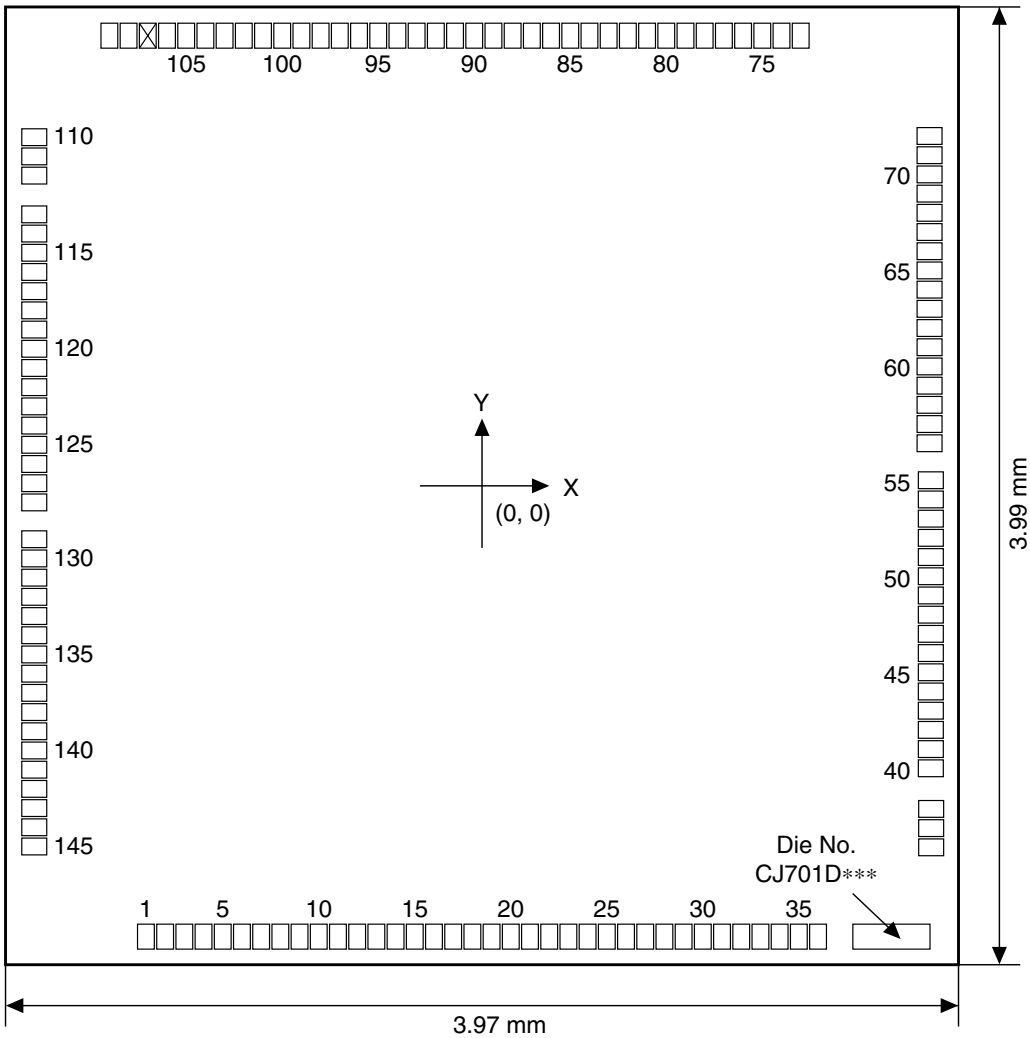


Symbol	Dimension in Millimeters		
	Min.	Nom.	Max.
D	–	10	–
E	–	10	–
A	–	–	1.0
A_1	–	0.3	–
e	–	0.8	–
b	0.38	–	0.48
X	–	–	0.08
y	–	–	0.1
S_D	–	0.4	–
S_E	–	0.4	–

このページはブランクです。

28 パッド配置

28.1 パッド配置図



パッド開口部) Pad No. 1〜36, 73〜109 : 70 × 104µm
Pad No. 37〜72, 110〜145: 104 × 70µm
チップ厚) 400µm

28.2 パッド座標

(単位: mm)

No.	名称	X	Y	No.	名称	X	Y	No.	名称	X	Y	No.	名称	X	Y
1	SEG17	-1.400	-1.880	37	SEG53	1.870	-1.505	73	V_{DD}	1.325	1.880	110	P02	-1.870	1.455
2	SEG18	-1.320	-1.880	38	SEG54	1.870	-1.425	74	OSC3	1.245	1.880	111	P01	-1.870	1.375
3	SEG19	-1.240	-1.880	39	SEG55	1.870	-1.345	75	OSC4	1.165	1.880	112	P00	-1.870	1.295
4	SEG20	-1.160	-1.880	40	COM31/SEG56	1.870	-1.185	76	V_{SS}	1.085	1.880	113	COM0	-1.870	1.135
5	SEG21	-1.080	-1.880	41	COM30/SEG57	1.870	-1.105	77	V_{D1}	1.005	1.880	114	COM1	-1.870	1.055
6	SEG22	-1.000	-1.880	42	COM29/SEG58	1.870	-1.025	78	OSC1	0.925	1.880	115	COM2	-1.870	0.975
7	SEG23	-0.920	-1.880	43	COM28/SEG59	1.870	-0.945	79	OSC2	0.845	1.880	116	COM3	-1.870	0.895
8	SEG24	-0.840	-1.880	44	COM27/SEG60	1.870	-0.865	80	#TEST	0.765	1.880	117	COM4	-1.870	0.815
9	SEG25	-0.760	-1.880	45	COM26/SEG61	1.870	-0.785	81	#RESET	0.685	1.880	118	COM5	-1.870	0.735
10	SEG26	-0.680	-1.880	46	COM25/SEG62	1.870	-0.705	82	DSIO/P33	0.605	1.880	119	COM6	-1.870	0.655
11	SEG27	-0.600	-1.880	47	COM24/SEG63	1.870	-0.625	83	DST2/P32	0.525	1.880	120	COM7	-1.870	0.575
12	SEG28	-0.520	-1.880	48	COM23/SEG64	1.870	-0.545	84	DCLK/P31	0.445	1.880	121	COM8	-1.870	0.495
13	SEG29	-0.440	-1.880	49	COM22/SEG65	1.870	-0.465	85	P30/FOUT3	0.365	1.880	122	COM9	-1.870	0.415
14	SEG30	-0.360	-1.880	50	COM21/SEG66	1.870	-0.385	86	P27/EXCL3	0.285	1.880	123	COM10	-1.870	0.335
15	SEG31	-0.280	-1.880	51	COM20/SEG67	1.870	-0.305	87	P26/TOUT	0.205	1.880	124	COM11	-1.870	0.255
16	SEG32	-0.200	-1.880	52	COM19/SEG68	1.870	-0.225	88	P25/SCLK	0.125	1.880	125	COM12	-1.870	0.175
17	SEG33	-0.120	-1.880	53	COM18/SEG69	1.870	-0.145	89	P24/SOUT	0.045	1.880	126	COM13	-1.870	0.095
18	SEG34	-0.040	-1.880	54	COM17/SEG70	1.870	-0.065	90	P23/SIN	-0.035	1.880	127	COM14	-1.870	0.015
19	SEG35	0.040	-1.880	55	COM16/SEG71	1.870	0.015	91	P22/SPICLK	-0.115	1.880	128	COM15	-1.870	-0.065
20	SEG36	0.120	-1.880	56	V_{SS}	1.870	0.175	92	P21/SDO	-0.195	1.880	129	SEG0	-1.870	-0.225
21	SEG37	0.200	-1.880	57	TEST1	1.870	0.255	93	P20/SDI	-0.275	1.880	130	SEG1	-1.870	-0.305
22	SEG38	0.280	-1.880	58	TEST2	1.870	0.335	94	P17/#SPISS	-0.355	1.880	131	SEG2	-1.870	-0.385
23	SEG39	0.360	-1.880	59	TEST3	1.870	0.415	95	P16/EXCL0	-0.435	1.880	132	SEG3	-1.870	-0.465
24	SEG40	0.440	-1.880	60	V_{D2}	1.870	0.495	96	P15/SCL	-0.515	1.880	133	SEG4	-1.870	-0.545
25	SEG41	0.520	-1.880	61	CG	1.870	0.575	97	P14/SDA	-0.595	1.880	134	SEG5	-1.870	-0.625
26	SEG42	0.600	-1.880	62	CF	1.870	0.655	98	P07/EXCL1	-0.675	1.880	135	SEG6	-1.870	-0.705
27	SEG43	0.680	-1.880	63	CE	1.870	0.735	99	P06/EXCL2	-0.755	1.880	136	SEG7	-1.870	-0.785
28	SEG44	0.760	-1.880	64	CD	1.870	0.815	100	P05/REMO	-0.835	1.880	137	SEG8	-1.870	-0.865
29	SEG45	0.840	-1.880	65	CC	1.870	0.895	101	P04/REMI	-0.915	1.880	138	SEG9	-1.870	-0.945
30	SEG46	0.920	-1.880	66	CB	1.870	0.975	102	P13/FOUT1	-0.995	1.880	139	SEG10	-1.870	-1.025
31	SEG47	1.000	-1.880	67	CA	1.870	1.055	103	P12	-1.075	1.880	140	SEG11	-1.870	-1.105
32	SEG48	1.080	-1.880	68	V_{C5}	1.870	1.135	104	P11	-1.155	1.880	141	SEG12	-1.870	-1.185
33	SEG49	1.160	-1.880	69	V_{C4}	1.870	1.215	105	P10	-1.235	1.880	142	SEG13	-1.870	-1.265
34	SEG50	1.240	-1.880	70	V_{C3}	1.870	1.295	106	P03	-1.315	1.880	143	SEG14	-1.870	-1.345
35	SEG51	1.320	-1.880	71	V_{C2}	1.870	1.375	107	N.C.	-1.395	1.880	144	SEG15	-1.870	-1.425
36	SEG52	1.400	-1.880	72	V_{C1}	1.870	1.455	108	V_{DD}	-1.475	1.880	145	SEG16	-1.870	-1.505
–	–	–	–	–	–	–	–	109	V_{SS}	-1.555	1.880	–	–	–	–

Appendix A I/Oレジスタ一覧

周辺回路	アドレス	レジスタ名		機　能
プリスケーラ（8ビットデバイス）	0x4020	PSC_CTL	Prescaler Control Register	プリスケーラのスタート/ストップ制御
	0x4021~0x403f	–	–	Reserved
UART（IrDA付き）（8ビットデバイス）	0x4100	UART_ST	UART Status Register	転送、バッファ、エラーステータスの表示
	0x4101	UART_TXD	UART Transmit Data Register	送信データ
	0x4102	UART_RXD	UART Receive Data Register	受信データ
	0x4103	UART_MOD	UART Mode Register	転送データ形式の設定
	0x4104	UART_CTL	UART Control Register	データ転送の制御
	0x4105	UART_EXP	UART Expansion Register	IrDAモードの設定
	0x4106~0x411f	–	–	Reserved
8ビットタイマ（Fモード付き）（16ビットデバイス）	0x4200	T8F_CLK	8-bit Timer Input Clock Select Register	プリスケーラ出力クロックの選択
	0x4202	T8F_TR	8-bit Timer Reload Data Register	リロードデータの設定
	0x4204	T8F_TC	8-bit Timer Counter Data Register	カウンタデータ
	0x4206	T8F_CTL	8-bit Timer Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4208~0x421f	–	–	Reserved
16ビットタイマ Ch.0（16ビットデバイス）	0x4220	T16_CLK0	16-bit Timer Ch.0 Input Clock Select Register	プリスケーラ出力クロックの選択
	0x4222	T16_TR0	16-bit Timer Ch.0 Reload Data Register	リロードデータの設定
	0x4224	T16_TC0	16-bit Timer Ch.0 Counter Data Register	カウンタデータ
	0x4226	T16_CTL0	16-bit Timer Ch.0 Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4228~0x423f	–	–	Reserved
16ビットタイマ Ch.1（16ビットデバイス）	0x4240	T16_CLK1	16-bit Timer Ch.1 Input Clock Select Register	プリスケーラ出力クロックの選択
	0x4242	T16_TR1	16-bit Timer Ch.1 Reload Data Register	リロードデータの設定
	0x4244	T16_TC1	16-bit Timer Ch.1 Counter Data Register	カウンタデータ
	0x4246	T16_CTL1	16-bit Timer Ch.1 Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4248~0x425f	–	–	Reserved
16ビットタイマ Ch.2（16ビットデバイス）	0x4260	T16_CLK2	16-bit Timer Ch.2 Input Clock Select Register	プリスケーラ出力クロックの選択
	0x4262	T16_TR2	16-bit Timer Ch.2 Reload Data Register	リロードデータの設定
	0x4264	T16_TC2	16-bit Timer Ch.2 Counter Data Register	カウンタデータ
	0x4266	T16_CTL2	16-bit Timer Ch.2 Control Register	タイマモードの設定とタイマのRUN/STOP
	0x4268~0x427f	–	–	Reserved
割り込みコントローラ（16ビットデバイス）	0x4300	ITC_IFLG	Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x4302	ITC_EN	Interrupt Enable Register	各マスク可能割り込みの許可/禁止
	0x4304	ITC_CTL	ITC Control Register	ITC動作の許可/禁止
	0x4306	ITC_ELV0	External Interrupt Level Setup Register 0	P0、P1ポート割り込みレベルとトリガモードの設定
	0x4308	ITC_ELV1	External Interrupt Level Setup Register 1	ストップウォッチタイマ、計時タイマ割り込みレベルとトリガモードの設定
	0x430a	ITC_ELV2	External Interrupt Level Setup Register 2	8ビットOSC1タイマ、SVD割り込みレベルとトリガモードの設定
	0x430c	ITC_ELV3	External Interrupt Level Setup Register 3	LCD、PWM&キャプチャタイマ割り込みレベルとトリガモードの設定
	0x430e	ITC_ILV0	Internal Interrupt Level Setup Register 0	8ビットタイマ、16ビットタイマCh.0割り込みレベルの設定
	0x4310	ITC_ILV1	Internal Interrupt Level Setup Register 1	16ビットタイマCh.1、16ビットタイマCh.2割り込みレベルの設定
	0x4312	ITC_ILV2	Internal Interrupt Level Setup Register 2	UART、リモートコントローラ割り込みレベルの設定
	0x4314	ITC_ILV3	Internal Interrupt Level Setup Register 3	SPI、I²C割り込みレベルの設定
	0x4316~0x431f	–	–	Reserved
SPI（16ビットデバイス）	0x4320	SPI_ST	SPI Status Register	転送、バッファステータスの表示
	0x4322	SPI_TXD	SPI Transmit Data Register	送信データ
	0x4324	SPI_RXD	SPI Receive Data Register	受信データ
	0x4326	SPI_CTL	SPI Control Register	SPIモードとデータ転送許可の設定
	0x4328~0x433f	–	–	Reserved
I²C（16ビットデバイス）	0x4340	I2C_EN	I²C Enable Register	I²Cモジュールイネーブル
	0x4342	I2C_CTL	I²C Control Register	I²Cの制御と転送状態の表示
	0x4344	I2C_DAT	I²C Data Register	送受信データ
	0x4346	I2C_ICTL	I²C Interrupt Control Register	I²C割り込みの制御
	0x4348~0x435f	–	–	Reserved

周辺回路	アドレス	レジスタ名		機　能
計時タイマ（8ビットデバイス）	0x5000	CT_CTL	Clock Timer Control Register	タイマのリセットとRUN/STOP制御
	0x5001	CT_CNT	Clock Timer Counter Register	カウンタデータ
	0x5002	CT_IMSK	Clock Timer Interrupt Mask Register	割り込みマスクの設定
	0x5003	CT_IFLG	Clock Timer Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x5004~0x501f	–	–	Reserved
ストップウォッチタイマ（8ビットデバイス）	0x5020	SWT_CTL	Stopwatch Timer Control Register	タイマのリセットとRUN/STOP制御
	0x5021	SWT_BCNT	Stopwatch Timer BCD Counter Register	BCDカウンタデータ
	0x5022	SWT_IMSK	Stopwatch Timer Interrupt Mask Register	割り込みマスクの設定
	0x5023	SWT_IFLG	Stopwatch Timer Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x5024~0x503f	–	–	Reserved
ウォッチドッグタイマ（8ビットデバイス）	0x5040	WDT_CTL	Watchdog Timer Control Register	タイマのリセットとRUN/STOP制御
	0x5041	WDT_ST	Watchdog Timer Status Register	タイマモードの設定とNMI状態表示
	0x5042~0x505f	–	–	Reserved
発振回路（8ビットデバイス）	0x5060	OSC_SRC	Clock Source Select Register	クロック源の選択
	0x5061	OSC_CTL	Oscillation Control Register	発振制御
	0x5062	OSC_NFEN	Noise Filter Enable Register	ノイズフィルタのON/OFF
	0x5063	OSC_LCLK	LCD Clock Setup Register	LCDクロックの設定
	0x5064	OSC_FOUT	FOUT Control Register	クロック外部出力の制御
	0x5065	OSC_T8OSC1	T8OSC1 Clock Control Register	8ビットOSC1タイマクロックの設定
	0x5066~0x507f	–	–	Reserved
クロックジェネレータ（8ビットデバイス）	0x5080	CLG_PCLK	PCLK Control Register	PCLK供給制御
	0x5081	CLG_CCLK	CCLK Control Register	CCLK分周比の設定
	0x5082~0x509f	–	–	Reserved
LCDドライバ（8ビットデバイス）	0x50a0	LCD_DCTL	LCD Display Control Register	LCD表示の制御
	0x50a1	LCD_CADJ	LCD Contrast Adjust Register	コントラストの制御
	0x50a2	LCD_CCTL	LCD Clock Control Register	LCDクロックデューティ選択
	0x50a3	LCD_VREG	LCD Voltage Regulator Control Register	LCDドライバ用定電圧回路の制御
	0x50a4	LCD_PWR	LCD Power Voltage Booster Control Register	LCD電源電圧昇圧回路の制御
	0x50a5	LCD_IMSK	LCD Interrupt Mask Register	割り込みマスクの設定
	0x50a6	LCD_IFLG	LCD Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x50a7~0x50bf	–	–	Reserved
8ビットOSC1タイマ（8ビットデバイス）	0x50c0	T8OSC1_CTL	8-bit OSC1 Timer Control Register	タイマモードの設定とタイマのRUN/STOP
	0x50c1	T8OSC1_CNT	8-bit OSC1 Timer Counter Data Register	カウンタデータ
	0x50c2	T8OSC1_CMP	8-bit OSC1 Timer Compare Data Register	コンペアデータの設定
	0x50c3	T8OSC1_IMSK	8-bit OSC1 Timer Interrupt Mask Register	割り込みマスクの設定
	0x50c4	T8OSC1_IFLG	8-bit OSC1 Timer Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x50c5~0x50df	–	–	Reserved
SVD回路（8ビットデバイス）	0x5100	SVD_EN	SVD Enable Register	SVD動作の許可/禁止
	0x5101	SVD_CMP	SVD Compare Voltage Register	比較電圧の設定
	0x5102	SVD_RSLT	SVD Detection Result Register	電圧検出結果
	0x5103	SVD_IMSK	SVD Interrupt Mask Register	割り込みマスクの設定
	0x5104	SVD_IFLG	SVD Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x5105~0x511f	–	–	Reserved
電源回路（8ビットデバイス）	0x5120	VD1_CTL	V_{D1} Control Register	V_{D1}電圧と重負荷保護の制御
	0x5121~0x513f	–	–	Reserved
Pポート&ポートMUX（8ビットデバイス）	0x5200	P0_IN	P0 Port Input Data Register	P0ポート入力データ
	0x5201	P0_OUT	P0 Port Output Data Register	P0ポート出力データ
	0x5202	P0_IO	P0 Port I/O Direction Control Register	P0ポート入出力方向の選択
	0x5203	P0_PU	P0 Port Pull-up Control Register	P0ポートのプルアップ制御
	0x5204	P0_SM	P0 Port Schmitt Trigger Control Register	P0ポートのシュミットトリガ制御
	0x5205	P0_IMSK	P0 Port Interrupt Mask Register	P0ポート割り込みマスクの設定
	0x5206	P0_EDGE	P0 Port Interrupt Edge Select Register	P0ポート割り込みエッジの選択
	0x5207	P0_IFLG	P0 Port Interrupt Flag Register	P0ポート割り込み発生状態の表示/リセット
	0x5208	P0_CHAT	P0 Port Chattering Filter Control Register	P0ポートチャタリング除去制御
	0x5209	P0_KRST	P0 Port Key-Entry Reset Configuration Register	P0ポートキー入力リセットの設定
	0x520a~0x520f	–	–	Reserved
	0x5210	P1_IN	P1 Port Input Data Register	P1ポート入力データ
	0x5211	P1_OUT	P1 Port Output Data Register	P1ポート出力データ
	0x5212	P1_IO	P1 Port I/O Direction Control Register	P1ポート入出力方向の選択
	0x5213	P1_PU	P1 Port Pull-up Control Register	P1ポートのプルアップ制御
	0x5214	P1_SM	P1 Port Schmitt Trigger Control Register	P1ポートのシュミットトリガ制御
	0x5215	P1_IMSK	P1 Port Interrupt Mask Register	P1ポート割り込みマスクの設定
	0x5216	P1_EDGE	P1 Port Interrupt Edge Select Register	P1ポート割り込みエッジの選択
	0x5217	P1_IFLG	P1 Port Interrupt Flag Register	P1ポート割り込み発生状態の表示/リセット
	0x5218~0x521f	–	–	Reserved

周辺回路	アドレス	レジスタ名		機　能
Pポート& ポートMUX (8ビットデバイス)	0x5220	P2_IN	P2 Port Input Data Register	P2ポート入力データ
	0x5221	P2_OUT	P2 Port Output Data Register	P2ポート出力データ
	0x5222	P2_IO	P2 Port I/O Direction Control Register	P2ポート入出力方向の選択
	0x5223	P2_PU	P2 Port Pull-up Control Register	P2ポートのプルアップ制御
	0x5224	P2_SM	P2 Port Schmitt Trigger Control Register	P2ポートのシュミットトリガ制御
	0x5225~0x522f	–	–	Reserved
	0x5230	P3_IN	P3 Port Input Data Register	P3ポート入力データ
	0x5231	P3_OUT	P3 Port Output Data Register	P3ポート出力データ
	0x5232	P3_IO	P3 Port I/O Direction Control Register	P3ポート入出力方向の選択
	0x5233	P3_PU	P3 Port Pull-up Control Register	P3ポートのプルアップ制御
	0x5234	P3_SM	P3 Port Schmitt Trigger Control Register	P3ポートのシュミットトリガ制御
	0x5235~0x527f	–	–	Reserved
	0x52a0	P0_PMUX	P0 Port Function Select Register	P0ポート機能の選択
	0x52a1	P1_PMUX	P1 Port Function Select Register	P1ポート機能の選択
	0x52a2	P2_PMUX	P2 Port Function Select Register	P2ポート機能の選択
	0x52a3	P3_PMUX	P3 Port Function Select Register	P3ポート機能の選択
	0x52a4~0x52bf	–	–	Reserved
PWM& キャプチャタイマ (16ビットデバイス)	0x5300	T16E_CA	PWM Timer Compare Data A Register	コンペアデータAの設定
	0x5302	T16E_CB	PWM Timer Compare Data B Register	コンペアデータBの設定
	0x5304	T16E_TC	PWM Timer Counter Data Register	カウンタデータ
	0x5306	T16E_CTL	PWM Timer Control Register	タイマモードの設定とタイマのRUN/STOP
	0x5308	T16E_CLK	PWM Timer Input Clock Select Register	プリスケーラ出力クロックの選択
	0x530a	T16E_IMSK	PWM Timer Interrupt Mask Register	割り込みマスクの設定
	0x530c	T16E_IFLG	PWM Timer Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x530e~0x531f	–	–	Reserved
MISCレジスタ (8ビットデバイス)	0x5320	MISC_FL	FLASHC Control Register	FLASHCアクセス条件設定
	0x5321	MISC_SR	SRAMC Control Register	SRAMCアクセス条件設定
	0x5322	MISC_OSC1	OSC1 Peripheral Control Register	デバッグ時のOSC1動作周辺機能の設定
	0x5323~0x533f	–	–	Reserved
リモート コントローラ (8ビットデバイス)	0x5340	REMC_CFG	REMC Configuration Register	送受信の選択と許可
	0x5341	REMC_PSC	REMC Prescaler Clock Select Register	プリスケーラ出力クロックの選択
	0x5342	REMC_CARH	REMC H Carrier Length Setup Register	キャリアのH区間長設定
	0x5343	REMC_CARL	REMC L Carrier Length Setup Register	キャリアのL区間長設定
	0x5344	REMC_ST	REMC Status Register	送受信ビット
	0x5345	REMC_LCNT	REMC Length Counter Register	送受信データ長の設定
	0x5346	REMC_IMSK	REMC Interrupt Mask Register	割り込みマスクの設定
	0x5347	REMC_IFLG	REMC Interrupt Flag Register	割り込み発生状態の表示/リセット
	0x5348~0x535f	–	–	Reserved
S1C17コアI/O	0xffff80	TTBR	Vector Table Base Register	ベクタテーブルベースアドレスの表示
	0xffff84	IDIR	Processor ID Register	プロセッサIDの表示
	0xffff90	DBRAM	Debug RAM Base Register	デバッグRAMベースアドレスの表示

注: 表中の“Reserved”で示されたアドレス、および表に記載のない周辺回路エリアの未使用領域は、アプリケーションプログラムからアクセスしないでください。

0x4020 Prescaler

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
Prescaler Control Register (PSC_CTL)	**0x4020** (8 bits)	D7–2	**–**	reserved	–				–	–	0 when being read.
		D1	**PRUND**	Prescaler run/stop in debug mode	1	Run	0	Stop	0	R/W	
		D0	**PRUN**	Prescaler run/stop control	1	Run	0	Stop	0	R/W	

0x4100–0x4105 UART (with IrDA)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
UART Status Register (UART_ST)	**0x4100** (8 bits)	D7	**–**	reserved	–	–	–	0 when being read.
		D6	**FER**	Framing error flag	1 Error 0 Normal	0	R/W	Reset by writing 1.
		D5	**PER**	Parity error flag	1 Error 0 Normal	0	R/W	
		D4	**OER**	Overrun error flag	1 Error 0 Normal	0	R/W	
		D3	**RD2B**	Second byte receive flag	1 Ready 0 Empty	0	R	
		D2	**TRBS**	Transmit busy flag	1 Busy 0 Idle	0	R	Shift register status
		D1	**RDRY**	Receive data ready flag	1 Ready 0 Empty	0	R	
		D0	**TDBE**	Transmit data buffer empty flag	1 Empty 0 Not empty	1	R	
UART Transmit Data Register (UART_TXD)	**0x4101** (8 bits)	D7–0	**TXD[7:0]**	Transmit data TXD7(6) = MSB TXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R/W	
UART Receive Data Register (UART_RXD)	**0x4102** (8 bits)	D7–0	**RXD[7:0]**	Receive data in the receive data buffer RXD7(6) = MSB RXD0 = LSB	0x0 to 0xff (0x7f)	0x0	R	Older data in the buffer is read out first.
UART Mode Register (UART_MOD)	**0x4103** (8 bits)	D7–5	**–**	reserved	–	–	–	0 when being read.
		D4	**CHLN**	Character length	1 8 bits 0 7 bits	0	R/W	
		D3	**PREN**	Parity enable	1 With parity 0 No parity	0	R/W	
		D2	**PMD**	Parity mode select	1 Odd 0 Even	0	R/W	
		D1	**STPB**	Stop bit select	1 2 bits 0 1 bit	0	R/W	
		D0	**SSCK**	Input clock select	1 External 0 Internal	0	R/W	
UART Control Register (UART_CTL)	**0x4104** (8 bits)	D7	**–**	reserved	–	–	–	0 when being read.
		D6	**REIEN**	Receive error int. enable	1 Enable 0 Disable	0	R/W	
		D5	**RIEN**	Receive buffer full int. enable	1 Enable 0 Disable	0	R/W	
		D4	**TIEN**	Transmit buffer empty int. enable	1 Enable 0 Disable	0	R/W	
		D3–2	**–**	reserved	–	–	–	0 when being read.
		D1	**RBFI**	Receive buffer full int. condition	1 2 bytes 0 1 byte	0	R/W	
		D0	**RXEN**	UART enable	1 Enable 0 Disable	0	R/W	
UART Expansion Register (UART_EXP)	**0x4105** (8 bits)	D7	**–**	reserved	–	–	–	0 when being read.
		D6–4	**IRCLK[2:0]**	IrDA receive detection clock select	IRCLK[2:0] Clock 0x7 PCLK•1/128 0x6 PCLK•1/64 0x5 PCLK•1/32 0x4 PCLK•1/16 0x3 PCLK•1/8 0x2 PCLK•1/4 0x1 PCLK•1/2 0x0 PCLK•1/1	0x0	R/W	
		D3–1	**–**	reserved	–	–	–	0 when being read.
		D0	**IRMD**	IrDA mode select	1 On 0 Off	0	R/W	

0x4200–0x4206 8-bit Timer (with Fine Mode)

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
8-bit Timer Input Clock Select Register (T8F_CLK)	**0x4200** (16 bits)	D15–4	**–**	reserved	–	–	–	0 when being read.
		D3–0	**DF[3:0]**	Timer input clock select (Prescaler output clock)	DF[3:0] / Clock 0xf reserved 0xe PCLK•1/16384 0xd PCLK•1/8192 0xc PCLK•1/4096 0xb PCLK•1/2048 0xa PCLK•1/1024 0x9 PCLK•1/512 0x8 PCLK•1/256 0x7 PCLK•1/128 0x6 PCLK•1/64 0x5 PCLK•1/32 0x4 PCLK•1/16 0x3 PCLK•1/8 0x2 PCLK•1/4 0x1 PCLK•1/2 0x0 PCLK•1/1	0x0	R/W	
8-bit Timer Reload Data Register (T8F_TR)	**0x4202** (16 bits)	D15–8	**–**	reserved	–	–	–	0 when being read.
		D7–0	**TR[7:0]**	8-bit timer reload data TR7 = MSB TR0 = LSB	0x0 to 0xff	0x0	R/W	
8-bit Timer Counter Data Register (T8F_TC)	**0x4204** (16 bits)	D15–8	**–**	reserved	–	–	–	0 when being read.
		D7–0	**TC[7:0]**	8-bit timer counter data TC7 = MSB TC0 = LSB	0x0 to 0xff	0xff	R	
8-bit Timer Control Register (T8F_CTL)	**0x4206** (16 bits)	D15–12	**–**	reserved	–	–	–	0 when being read.
		D11–8	**TFMD[3:0]**	Fine mode setup	0x0 to 0xf	0x0	R/W	Set a number of times to insert delay into a 16-underflow period.
		D7–5	**–**	reserved	–	–	–	0 when being read.
		D4	**TRMD**	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	**–**	reserved	–	–	–	0 when being read.
		D1	**PRESER**	Timer reset	1 Reset 0 Ignored	0	W	
		D0	**PRUN**	Timer run/stop control	1 Run 0 Stop	0	R/W	

0x4220–0x4246 16-bit Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
16-bit Timer Ch.0 Input Clock Select Register (T16_CLK0)	**0x4220** (16 bits)	D15–4	**–**	reserved	–	–	–	0 when being read.
		D3–0	**DF[3:0]**	Timer input clock select (Prescaler output clock)	DF[3:0] / Clock 0xf reserved 0xe PCLK•1/16384 0xd PCLK•1/8192 0xc PCLK•1/4096 0xb PCLK•1/2048 0xa PCLK•1/1024 0x9 PCLK•1/512 0x8 PCLK•1/256 0x7 PCLK•1/128 0x6 PCLK•1/64 0x5 PCLK•1/32 0x4 PCLK•1/16 0x3 PCLK•1/8 0x2 PCLK•1/4 0x1 PCLK•1/2 0x0 PCLK•1/1	0x0	R/W	
16-bit Timer Ch.0 Reload Data Register (T16_TR0)	**0x4222** (16 bits)	D15–0	**TR[15:0]**	16-bit timer reload data TR15 = MSB TR0 = LSB	0x0 to 0xffff	0x0	R/W	
16-bit Timer Ch.0 Counter Data Register (T16_TC0)	**0x4224** (16 bits)	D15–0	**TC[15:0]**	16-bit timer counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0xffff	R	
16-bit Timer Ch.0 Control Register (T16_CTL0)	**0x4226** (16 bits)	D15–11	**–**	reserved	–	–	–	0 when being read.
		D10	**CKACTV**	External clock active level select	1 High 0 Low	1	R/W	
		D9–8	**CKSL[1:0]**	Input clock and pulse width measurement mode select	CKSL[1:0] / Mode 0x3 reserved 0x2 Pulse width 0x1 External clock 0x0 Internal clock	0x0	R/W	
		D7–5	**–**	reserved	–	–	–	0 when being read.
		D4	**TRMD**	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	**–**	reserved	–	–	–	0 when being read.
		D1	**PRESER**	Timer reset	1 Reset 0 Ignored	0	W	
		D0	**PRUN**	Timer run/stop control	1 Run 0 Stop	0	R/W	
16-bit Timer Ch.1 Input Clock Select Register (T16_CLK1)	**0x4240** (16 bits)	D15–4	**–**	reserved	–	–	–	0 when being read.
		D3–0	**DF[3:0]**	Timer input clock select (Prescaler output clock)	DF[3:0] / Clock 0xf reserved 0xe PCLK•1/16384 0xd PCLK•1/8192 0xc PCLK•1/4096 0xb PCLK•1/2048 0xa PCLK•1/1024 0x9 PCLK•1/512 0x8 PCLK•1/256 0x7 PCLK•1/128 0x6 PCLK•1/64 0x5 PCLK•1/32 0x4 PCLK•1/16 0x3 PCLK•1/8 0x2 PCLK•1/4 0x1 PCLK•1/2 0x0 PCLK•1/1	0x0	R/W	
16-bit Timer Ch.1 Reload Data Register (T16_TR1)	**0x4242** (16 bits)	D15–0	**TR[15:0]**	16-bit timer reload data TR15 = MSB TR0 = LSB	0x0 to 0xffff	0x0	R/W	
16-bit Timer Ch.1 Counter Data Register (T16_TC1)	**0x4244** (16 bits)	D15–0	**TC[15:0]**	16-bit timer counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0xffff	R	
16-bit Timer Ch.1 Control Register (T16_CTL1)	**0x4246** (16 bits)	D15–11	**–**	reserved	–	–	–	0 when being read.
		D10	**CKACTV**	External clock active level select	1 High 0 Low	1	R/W	
		D9–8	**CKSL[1:0]**	Input clock and pulse width measurement mode select	CKSL[1:0] / Mode 0x3 reserved 0x2 Pulse width 0x1 External clock 0x0 Internal clock	0x0	R/W	
		D7–5	**–**	reserved	–	–	–	0 when being read.
		D4	**TRMD**	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	**–**	reserved	–	–	–	0 when being read.
		D1	**PRESER**	Timer reset	1 Reset 0 Ignored	0	W	
		D0	**PRUN**	Timer run/stop control	1 Run 0 Stop	0	R/W	

0x4260–0x4266 16-bit Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
16-bit Timer Ch.2 Input Clock Select Register (T16_CLK2)	**0x4260** (16 bits)	D15–4	**–**	reserved	–	–	–	0 when being read.
		D3–0	**DF[3:0]**	Timer input clock select (Prescaler output clock)	DF[3:0] / Clock 0xf reserved 0xe PCLK•1/16384 0xd PCLK•1/8192 0xc PCLK•1/4096 0xb PCLK•1/2048 0xa PCLK•1/1024 0x9 PCLK•1/512 0x8 PCLK•1/256 0x7 PCLK•1/128 0x6 PCLK•1/64 0x5 PCLK•1/32 0x4 PCLK•1/16 0x3 PCLK•1/8 0x2 PCLK•1/4 0x1 PCLK•1/2 0x0 PCLK•1/1	0x0	R/W	
16-bit Timer Ch.2 Reload Data Register (T16_TR2)	**0x4262** (16 bits)	D15–0	**TR[15:0]**	16-bit timer reload data TR15 = MSB TR0 = LSB	0x0 to 0xffff	0x0	R/W	
16-bit Timer Ch.2 Counter Data Register (T16_TC2)	**0x4264** (16 bits)	D15–0	**TC[15:0]**	16-bit timer counter data TC15 = MSB TC0 = LSB	0x0 to 0xffff	0xffff	R	
16-bit Timer Ch.2 Control Register (T16_CTL2)	**0x4266** (16 bits)	D15–11	**–**	reserved	–	–	–	0 when being read.
		D10	**CKACTV**	External clock active level select	1 High 0 Low	1	R/W	
		D9–8	**CKSL[1:0]**	Input clock and pulse width measurement mode select	CKSL[1:0] / Mode 0x3 reserved 0x2 Pulse width 0x1 External clock 0x0 Internal clock	0x0	R/W	
		D7–5	**–**	reserved	–	–	–	0 when being read.
		D4	**TRMD**	Count mode select	1 One shot 0 Repeat	0	R/W	
		D3–2	**–**	reserved	–	–	–	0 when being read.
		D1	**PRESER**	Timer reset	1 Reset 0 Ignored	0	W	
		D0	**PRUN**	Timer run/stop control	1 Run 0 Stop	0	R/W	

0x4300–0x430c Interrupt Controller

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Interrupt Flag Register (ITC_IFLG)	0x4300 (16 bits)	D15	**IIFT7**	I²C interrupt flag	1 Cause of interrupt occurred / 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D14	**IIFT6**	SPI interrupt flag		0	R/W	
		D13	**IIFT5**	Remote controller interrupt flag		0	R/W	
		D12	**IIFT4**	UART interrupt flag		0	R/W	
		D11	**IIFT3**	16-bit timer Ch.2 interrupt flag		0	R/W	
		D10	**IIFT2**	16-bit timer Ch.1 interrupt flag		0	R/W	
		D9	**IIFT1**	16-bit timer Ch.0 interrupt flag		0	R/W	
		D8	**IIFT0**	8-bit timer interrupt flag		0	R/W	
		D7	**EIFT7**	PWM&capture timer interrupt flag	1 Cause of interrupt occurred / 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1 in pulse trigger mode. Cannot be reset by software in level trigger mode.
		D6	**EIFT6**	LCD interrupt flag		0	R/W	
		D5	**EIFT5**	SVD interrupt flag		0	R/W	
		D4	**EIFT4**	8-bit OSC1 timer interrupt flag		0	R/W	
		D3	**EIFT3**	Clock timer interrupt flag		0	R/W	
		D2	**EIFT2**	Stopwatch timer interrupt flag		0	R/W	
		D1	**EIFT1**	P1 port interrupt flag		0	R/W	
		D0	**EIFT0**	P0 port interrupt flag		0	R/W	
Interrupt Enable Register (ITC_EN)	0x4302 (16 bits)	D15	**IIEN7**	I²C interrupt enable	1 Enable / 0 Disable	0	R/W	
		D14	**IIEN6**	SPI interrupt enable		0	R/W	
		D13	**IIEN5**	Remote controller interrupt enable		0	R/W	
		D12	**IIEN4**	UART interrupt enable		0	R/W	
		D11	**IIEN3**	16-bit timer Ch.2 interrupt enable		0	R/W	
		D10	**IIEN2**	16-bit timer Ch.1 interrupt enable		0	R/W	
		D9	**IIEN1**	16-bit timer Ch.0 interrupt enable		0	R/W	
		D8	**IIEN0**	8-bit timer interrupt enable		0	R/W	
		D7	**EIEN7**	PWM&capture timer interrupt enable		0	R/W	
		D6	**EIEN6**	LCD interrupt enable		0	R/W	
		D5	**EIEN5**	SVD interrupt enable		0	R/W	
		D4	**EIEN4**	8-bit OSC1 timer interrupt enable		0	R/W	
		D3	**EIEN3**	Clock timer interrupt enable		0	R/W	
		D2	**EIEN2**	Stopwatch timer interrupt enable		0	R/W	
		D1	**EIEN1**	P1 port interrupt enable		0	R/W	
		D0	**EIEN0**	P0 port interrupt enable		0	R/W	
ITC Control Register (ITC_CTL)	0x4304 (16 bits)	D15–1	–	reserved	–	–	–	0 when being read.
		D0	**ITEN**	ITC enable	1 Enable / 0 Disable	0	R/W	
External Interrupt Level Setup Register 0 (ITC_ELV0)	0x4306 (16 bits)	D15–13	–	reserved	–	–	–	0 when being read.
		D12	**EITG1**	P1 interrupt trigger mode	1 Level / 0 Pulse	0	R/W	Be sure to set to 1.
		D11	–	reserved	–	–	–	0 when being read.
		D10–8	**EILV1[2:0]**	P1 interrupt level	0 to 7	0x0	R/W	
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	**EITG0**	P0 interrupt trigger mode	1 Level / 0 Pulse	0	R/W	Be sure to set to 1.
		D3	–	reserved	–	–	–	0 when being read.
		D2–0	**EILV0[2:0]**	P0 interrupt level	0 to 7	0x0	R/W	
External Interrupt Level Setup Register 1 (ITC_ELV1)	0x4308 (16 bits)	D15–13	–	reserved	–	–	–	0 when being read.
		D12	**EITG3**	CT interrupt trigger mode	1 Level / 0 Pulse	0	R/W	Be sure to set to 1.
		D11	–	reserved	–	–	–	0 when being read.
		D10–8	**EILV3[2:0]**	CT interrupt level	0 to 7	0x0	R/W	
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	**EITG2**	SWT interrupt trigger mode	1 Level / 0 Pulse	0	R/W	Be sure to set to 1.
		D3	–	reserved	–	–	–	0 when being read.
		D2–0	**EILV2[2:0]**	SWT interrupt level	0 to 7	0x0	R/W	
External Interrupt Level Setup Register 2 (ITC_ELV2)	0x430a (16 bits)	D15–13	–	reserved	–	–	–	0 when being read.
		D12	**EITG5**	SVD interrupt trigger mode	1 Level / 0 Pulse	0	R/W	Be sure to set to 1.
		D11	–	reserved	–	–	–	0 when being read.
		D10–8	**EILV5[2:0]**	SVD interrupt level	0 to 7	0x0	R/W	
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	**EITG4**	T8OSC1 interrupt trigger mode	1 Level / 0 Pulse	0	R/W	Be sure to set to 1.
		D3	–	reserved	–	–	–	0 when being read.
		D2–0	**EILV4[2:0]**	T8OSC1 interrupt level	0 to 7	0x0	R/W	
External Interrupt Level Setup Register 3 (ITC_ELV3)	0x430c (16 bits)	D15–13	–	reserved	–	–	–	0 when being read.
		D12	**EITG7**	T16E interrupt trigger mode	1 Level / 0 Pulse	0	R/W	Be sure to set to 1.
		D11	–	reserved	–	–	–	0 when being read.
		D10–8	**EILV7[2:0]**	T16E interrupt level	0 to 7	0x0	R/W	
		D7–5	–	reserved	–	–	–	0 when being read.
		D4	**EITG6**	LCD interrupt trigger mode	1 Level / 0 Pulse	0	R/W	Be sure to set to 1.
		D3	–	reserved	–	–	–	0 when being read.
		D2–0	**EILV6[2:0]**	LCD interrupt level	0 to 7	0x0	R/W	

0x430e–0x4314 Interrupt Controller

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Internal Interrupt Level Setup Register 0 (ITC_ILV0)	**0x430e** (16 bits)	D15–11	**–**	reserved	–	–	–	0 when being read.
		D10–8	**IILV1[2:0]**	T16 Ch.0 interrupt level	0 to 7	0x0	R/W	
		D7–3	**–**	reserved	–	–	–	0 when being read.
		D2–0	**IILV0[2:0]**	T8 interrupt level	0 to 7	0x0	R/W	
Internal Interrupt Level Setup Register 1 (ITC_ILV1)	**0x4310** (16 bits)	D15–11	**–**	reserved	–	–	–	0 when being read.
		D10–8	**IILV3[2:0]**	T16 Ch.2 interrupt level	0 to 7	0x0	R/W	
		D7–3	**–**	reserved	–	–	–	0 when being read.
		D2–0	**IILV2[2:0]**	T16 Ch.1 interrupt level	0 to 7	0x0	R/W	
Internal Interrupt Level Setup Register 2 (ITC_ILV2)	**0x4312** (16 bits)	D15–11	**–**	reserved	–	–	–	0 when being read.
		D10–8	**IILV5[2:0]**	REMC interrupt level	0 to 7	0x0	R/W	
		D7–3	**–**	reserved	–	–	–	0 when being read.
		D2–0	**IILV4[2:0]**	UART interrupt level	0 to 7	0x0	R/W	
Internal Interrupt Level Setup Register 3 (ITC_ILV3)	**0x4314** (16 bits)	D15–11	**–**	reserved	–	–	–	0 when being read.
		D10–8	**IILV7[2:0]**	I^2C interrupt level	0 to 7	0x0	R/W	
		D7–3	**–**	reserved	–	–	–	0 when being read.
		D2–0	**IILV6[2:0]**	SPI interrupt level	0 to 7	0x0	R/W	

0x4320–0x4326 SPI

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
SPI Status Register (SPI_ST)	**0x4320** (16 bits)	D15–3	–	reserved	–				–	–	0 when being read.
		D2	**SPBSY**	Transfer busy flag (master)	1	Busy	0	Idle	0	R	
				ss signal low flag (slave)	1	ss = L	0	ss = H			
		D1	**SPRBF**	Receive data buffer full flag	1	Full	0	Not full	0	R	
		D0	**SPTBE**	Transmit data buffer empty flag	1	Empty	0	Not empty	1	R	
SPI Transmit Data Register (SPI_TXD)	**0x4322** (16 bits)	D15–8	–	reserved	–				–	–	0 when being read.
		D7–0	**SPTDB[7:0]**	SPI transmit data buffer SPTDB7 = MSB SPTDB0 = LSB	0x0 to 0xff				0x0	R/W	
SPI Receive Data Register (SPI_RXD)	**0x4324** (16 bits)	D15–8	–	reserved	–				–	–	0 when being read.
		D7–0	**SPRDB[7:0]**	SPI receive data buffer SPRDB7 = MSB SPRDB0 = LSB	0x0 to 0xff				0x0	R	
SPI Control Register (SPI_CTL)	**0x4326** (16 bits)	D15–6	–	reserved	–				–	–	0 when being read.
		D5	**SPRIE**	Receive data buffer full int. enable	1	Enable	0	Disable	0	R/W	
		D4	**SPTIE**	Transmit data buffer empty int. enable	1	Enable	0	Disable	0	R/W	
		D3	**CPHA**	Clock phase select	1	Data out	0	Data in	0	R/W	These bits must be set before setting SPEN to 1.
		D2	**CPOL**	Clock polarity select	1	Active L	0	Active H	0	R/W	
		D1	**MSSL**	Master/slave mode select	1	Master	0	Slave	0	R/W	
		D0	**SPEN**	SPI enable	1	Enable	0	Disable	0	R/W	

0x4340–0x4346 I²C

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
I²C Enable Register (I2C_EN)	**0x4340** (16 bits)	D15–1	**–**	reserved	–	–	–	0 when being read.
		D0	**I2CEN**	I²C enable	1 Enable 0 Disable	0	R/W	
I²C Control Register (I2C_CTL)	**0x4342** (16 bits)	D15–10	**–**	reserved	–	–	–	0 when being read.
		D9	**RBUSY**	Receive busy flag	1 Busy 0 Idle	0	R	
		D8	**TBUSY**	Transmit busy flag	1 Busy 0 Idle	0	R	
		D7–5	**–**	reserved	–	–	–	0 when being read.
		D4	**NSERM**	Noise remove on/off	1 On 0 Off	0	R/W	
		D3–2	**–**	reserved	–	–	–	0 when being read.
		D1	**STP**	Stop control	1 Stop 0 Ignored	0	R/W	
		D0	**STRT**	Start control	1 Start 0 Ignored	0	R/W	
I²C Data Register (I2C_DAT)	**0x4344** (16 bits)	D15–12	**–**	reserved	–	–	–	0 when being read.
		D11	**RBRDY**	Receive buffer ready	1 Ready 0 Empty	0	R	
		D10	**RXE**	Receive execution	1 Receive 0 Ignored	0	R/W	
		D9	**TXE**	Transmit execution	1 Transmit 0 Ignored	0	R/W	
		D8	**RTACK**	Receive/transmit ACK	1 Error 0 ACK	0	R/W	
		D7–0	**RTDT[7:0]**	Receive/transmit data RTDT7 = MSB RTDT0 = LSB	0x0 to 0xff	0x0	R/W	
I²C Interrupt Control Register (I2C_ICTL)	**0x4346** (16 bits)	D15–2	**–**	reserved	–	–	–	0 when being read.
		D1	**RINTE**	Receive interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	**TINTE**	Transmit interrupt enable	1 Enable 0 Disable	0	R/W	

0x5000–0x5003 Clock Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Timer Control Register (CT_CTL)	**0x5000** (8 bits)	D7–5	**–**	reserved	–	–	–	0 when being read.
		D4	**CTRST**	Clock timer reset	1 Reset 0 Ignored	0	W	
		D3–1	**–**	reserved	–	–	–	
		D0	**CTRUN**	Clock timer run/stop control	1 Run 0 Stop	0	R/W	
Clock Timer Counter Register (CT_CNT)	**0x5001** (8 bits)	D7–0	**CTCNT[7:0]**	Clock timer counter value	0x0 to 0xff	0	R	
Clock Timer Interrupt Mask Register (CT_IMSK)	**0x5002** (8 bits)	D7–4	**–**	reserved	–	–	–	0 when being read.
		D3	**CTIE32**	32 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D2	**CTIE8**	8 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	**CTIE2**	2 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	**CTIE1**	1 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
Clock Timer Interrupt Flag Register (CT_IFLG)	**0x5003** (8 bits)	D7–4	**–**	reserved	–	–	–	0 when being read.
		D3	**CTIF32**	32 Hz interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D2	**CTIF8**	8 Hz interrupt flag		0	R/W	
		D1	**CTIF2**	2 Hz interrupt flag		0	R/W	
		D0	**CTIF1**	1 Hz interrupt flag		0	R/W	

0x5020–0x5023 Stopwatch Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Stopwatch Timer Control Register (SWT_CTL)	0x5020 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	SWTRST	Stopwatch timer reset	1 Reset 0 Ignored	0	W	
		D3–1	–	reserved	–	–	–	
		D0	SWTRUN	Stopwatch timer run/stop control	1 Run 0 Stop	0	R/W	
Stopwatch Timer BCD Counter Register (SWT_BCNT)	0x5021 (8 bits)	D7–4	BCD10[3:0]	1/10 sec. BCD counter value	0 to 9	0	R	
		D3–0	BCD100[3:0]	1/100 sec. BCD counter value	0 to 9	0	R	
Stopwatch Timer Interrupt Mask Register (SWT_IMSK)	0x5022 (8 bits)	D7–3	–	reserved	–	–	–	0 when being read.
		D2	SIE1	1 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	SIE10	10 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	SIE100	100 Hz interrupt enable	1 Enable 0 Disable	0	R/W	
Stopwatch Timer Interrupt Flag Register (SWT_IFLG)	0x5023 (8 bits)	D7–3	–	reserved	–	–	–	0 when being read.
		D2	SIF1	1 Hz interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D1	SIF10	10 Hz interrupt flag		0	R/W	
		D0	SIF100	100 Hz interrupt flag		0	R/W	

0x5040–0x5041 Watchdog Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Watchdog Timer Control Register (WDT_CTL)	0x5040 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	WDTRST	Watchdog timer reset	1 Reset 0 Ignored	0	W	
		D3–0	WDTRUN[3:0]	Watchdog timer run/stop control	Other than 1010 Run 1010 Stop	1010	R/W	
Watchdog Timer Status Register (WDT_ST)	0x5041 (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1	WDTMD	NMI/Reset mode select	1 Reset 0 NMI	0	R/W	
		D0	WDTST	NMI status	1 NMI occurred 0 Not occurred	0	R	

0x5060–0x5065 Oscillator

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Clock Source Select Register (OSC_SRC)	0x5060 (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	CLKSRC	System clock source select	1 OSC1 0 OSC3	0	R/W	
Oscillation Control Register (OSC_CTL)	0x5061 (8 bits)	D7–6	–	reserved	–	–	–	0 when being read.
		D5–4	OSC3WT[1:0]	OSC3 wait cycle select	OSC3WT[1:0] / Wait cycle: 0x3 128 cycles; 0x2 256 cycles; 0x1 512 cycles; 0x0 1024 cycles	0x0	R/W	
		D3–2	–	reserved	–	–	–	0 when being read.
		D1	OSC1EN	OSC1 enable	1 Enable 0 Disable	1	R/W	
		D0	OSC3EN	OSC3 enable	1 Enable 0 Disable	1	R/W	
Noise Filter Enable Register (OSC_NFEN)	0x5062 (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1	RSTFE	Reset noise filter enable	1 Enable 0 Disable	1	R/W	
		D0	NMIFE	NMI noise filter enable	1 Enable 0 Disable	0	R/W	
LCD Clock Setup Register (OSC_LCLK)	0x5063 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4–2	LCKDV[2:0]	LCD clock division ratio select	LCKDV[2:0] / Division ratio: 0x7–0x5 reserved; 0x4 OSC3•1/512; 0x3 OSC3•1/256; 0x2 OSC3•1/128; 0x1 OSC3•1/64; 0x0 OSC3•1/32	0x0	R/W	
		D1	LCKSRC	LCD clock source select	1 OSC1 0 OSC3	1	R/W	
		D0	LCKEN	LCD clock enable	1 Enable 0 Disable	0	R/W	
FOUT Control Register (OSC_FOUT)	0x5064 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3–2	FOUT3D[1:0]	FOUT3 clock division ratio select	FOUT3D[1:0] / Division ratio: 0x3 reserved; 0x2 OSC3•1/4; 0x1 OSC3•1/2; 0x0 OSC3•1/1	0x0	R/W	
		D1	FOUT3E	FOUT3 output enable	1 Enable 0 Disable	0	R/W	
		D0	FOUT1E	FOUT1 output enable	1 Enable 0 Disable	0	R/W	
T8OSC1 Clock Control Register (OSC_T8OSC1)	0x5065 (8 bits)	D7–4	–	reserved	–	–	–	0 when being read.
		D3–1	T8O1CK[2:0]	T8OSC1 clock division ratio select	T8O1CK[2:0] / Division ratio: 0x7–0x6 reserved; 0x5 OSC1•1/32; 0x4 OSC1•1/16; 0x3 OSC1•1/8; 0x2 OSC1•1/4; 0x1 OSC1•1/2; 0x0 OSC1•1/1	0x0	R/W	
		D0	T8O1CE	T8OSC1 clock output enable	1 Enable 0 Disable	0	R/W	

0x5080–0x5081 Clock Generator

Register name	Address	Bit	Name	Function	Setting		Init.	R/W	Remarks
PCLK Control Register (CLG_PCLK)	**0x5080** (8 bits)	D7–2	–	reserved	–		–	–	0 when being read.
		D1–0	**PCKEN[1:0]**	PCLK enable	PCKEN[1:0]	PCLK supply	0x3	R/W	
					0x3	Enable			
					0x2	Not allowed			
					0x1	Not allowed			
					0x0	Disable			
CCLK Control Register (CLG_CCLK)	**0x5081** (8 bits)	D7–2	–	reserved	–		–	–	0 when being read.
		D1–0	**CCLKGR[1:0]**	CCLK clock gear ratio select	CCLKGR[1:0]	Gear ratio	0x0	R/W	
					0x3	1/8			
					0x2	1/4			
					0x1	1/2			
					0x0	1/1			

0x50a0–0x50a6 LCD Driver

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
LCD Display Control Register (LCD_DCTL)	**0x50a0** (8 bits)	D7	**SEGREV**	Segment output assignment control	1 Normal 0 Reverse	1	R/W	
		D6	**COMREV**	Common output assignment control	1 Normal 0 Reverse	1	R/W	
		D5	**DSPAR**	Display memory area control	1 Area 1 0 Area 0	0	R/W	
		D4	**DSPREV**	Reverse display control	1 Normal 0 Reverse	1	R/W	
		D3–2	**–**	reserved	–	–	–	0 when being read.
		D1–0	**DSPC[1:0]**	LCD display control	DSPC[1:0] / Display 0x3 / All off 0x2 / All on 0x1 / Normal display 0x0 / Display off	0x0	R/W	
LCD Contrast Adjust Register (LCD_CADJ)	**0x50a1** (8 bits)	D7–4	**–**	reserved	–	–	–	0 when being read.
		D3–0	**LC[3:0]**	LCD contrast adjustment	LC[3:0] / Display 0xf / Dark : / : 0x0 / Light	0x0	R/W	
LCD Clock Control Register (LCD_CCTL)	**0x50a2** (8 bits)	D7–2	**–**	reserved	–	–	–	0 when being read.
		D1–0	**LDUTY[1:0]**	LCD duty select	LDUTY[1:0] / Duty 0x3 / reserved 0x2 / 1/32 0x1 / 1/16 0x0 / reserved	0x2	R/W	
LCD Voltage Regulator Control Register (LCD_VREG)	**0x50a3** (8 bits)	D7–5	**–**	reserved	–	–	–	0 when being read.
		D4	**LHVLD**	LCD heavy load protection mode	1 On 0 Off	0	R/W	
		D3–0	**–**	reserved	–	–	–	0 when being read.
LCD Power Voltage Booster Control Register (LCD_PWR)	**0x50a4** (8 bits)	D7–2	**–**	reserved	–	–	–	0 when being read.
		D1	**VDSEL**	Regulator power source select	1 V_{D2} 0 V_{DD}	0	R/W	
		D0	**PBON**	Power voltage booster control	1 On 0 Off	0	R/W	
LCD Interrupt Mask Register (LCD_IMSK)	**0x50a5** (8 bits)	D7–1	**–**	reserved	–	–	–	0 when being read.
		D0	**FRMIE**	Frame signal interrupt enable	1 Enable 0 Disable	0	R/W	
LCD Interrupt Flag Register (LCD_IFLG)	**0x50a6** (8 bits)	D7–1	**–**	reserved	–	–	–	0 when being read.
		D0	**FRMIF**	Frame signal interrupt flag	1 Occurred 0 Not occurred	0	R/W	Reset by writing 1.

0x50c0–0x50c4 8-bit OSC1 Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
8-bit OSC1 Timer Control Register (T8OSC1_CTL)	**0x50c0** (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	**T8ORST**	Timer reset	1 Reset 0 Ignored	0	W	
		D3–2	–	reserved	–	–	–	
		D1	**T8ORMD**	Count mode select	1 One shot 0 Repeat	0	R/W	
		D0	**T8ORUN**	Timer run/stop control	1 Run 0 Stop	0	R/W	
8-bit OSC1 Timer Counter Data Register (T8OSC1_CNT)	**0x50c1** (8 bits)	D7–0	**T8OCNT[7:0]**	Timer counter data T8OCNT7 = MSB T8OCNT0 = LSB	0x0 to 0xff	0x0	R	
8-bit OSC1 Timer Compare Data Register (T8OSC1_CMP)	**0x50c2** (8 bits)	D7–0	**T8OCMP[7:0]**	Compare data T8OCMP7 = MSB T8OCMP0 = LSB	0x0 to 0xff	0x0	R/W	
8-bit OSC1 Timer Interrupt Mask Register (T8OSC1_IMSK)	**0x50c3** (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	**T8OIE**	8-bit OSC1 timer interrupt enable	1 Enable 0 Disable	0	R/W	
8-bit OSC1 Timer Interrupt Flag Register (T8OSC1_IFLG)	**0x50c4** (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	**T8OIF**	8-bit OSC1 timer interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

0x5100–0x5104 SVD Circuit

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
SVD Enable Register (SVD_EN)	**0x5100** (8 bits)	D7–1	**–**	reserved	–	–	–	0 when being read.
		D0	**SVDEN**	SVD enable	1 Enable 0 Disable	0	R/W	
SVD Compare Voltage Register (SVD_CMP)	**0x5101** (8 bits)	D7–4	**–**	reserved	–	–	–	0 when being read.
		D3–0	**SVDC[3:0]**	SVD compare voltage	SVDC[3:0] / Voltage: 0xf 2.7 V 0xe 2.6 V 0xd 2.5 V 0xc 2.4 V 0xb 2.3 V 0xa 2.2 V 0x9 2.1 V 0x8 2.05 V 0x7 2.0 V 0x6 1.95 V 0x5 1.9 V 0x4 1.85 V 0x3 1.8 V 0x2 – 0x1 – 0x0 –	0x0	R/W	
SVD Detection Result Register (SVD_RSLT)	**0x5102** (8 bits)	D7–1	**–**	reserved	–	–	–	0 when being read.
		D0	**SVDDT**	SVD detection result	1 Low 0 Normal	×	R	
SVD Interrupt Mask Register (SVD_IMSK)	**0x5103** (8 bits)	D7–1	**–**	reserved	–	–	–	0 when being read.
		D0	**SVDIE**	SVD interrupt enable	1 Enable 0 Disable	0	R/W	
SVD Interrupt Flag Register (SVD_IFLG)	**0x5104** (8 bits)	D7–1	**–**	reserved	–	–	–	0 when being read.
		D0	**SVDIF**	SVD interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.

0x5120 Power Generator

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
V_{D1} Control Register (VD1_CTL)	0x5120 (8 bits)	D7–5	–	reserved	–	–	–	0 when being read.
		D4	HVLD	V_{D1} heavy load protection mode	1 On 0 Off	0	R/W	
		D3–1	–	reserved	–	–	–	0 when being read.
		D0	VD1MD	Flash erase/program mode	1 Flash (2.5 V) 0 Norm.(1.8 V)	0	R/W	

0x5200–0x5214 P Port & Port MUX

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
P0 Port Input Data Register (P0_IN)	**0x5200** (8 bits)	D7–0	**P0IN[7:0]**	P0[7:0] port input data	1: 1 (H) 0: 0 (L)	×	R	
P0 Port Output Data Register (P0_OUT)	**0x5201** (8 bits)	D7–0	**P0OUT[7:0]**	P0[7:0] port output data	1: 1 (H) 0: 0 (L)	0	R/W	
P0 Port I/O Direction Control Register (P0_IO)	**0x5202** (8 bits)	D7–0	**P0IO[7:0]**	P0[7:0] port I/O direction select	1: Output 0: Input	0	R/W	
P0 Port Pull-up Control Register (P0_PU)	**0x5203** (8 bits)	D7–0	**P0PU[7:0]**	P0[7:0] port pull-up enable	1: Enable 0: Disable	1 (0xff)	R/W	
P0 Port Schmitt Trigger Control Register (P0_SM)	**0x5204** (8 bits)	D7–0	**P0SM[7:0]**	P0[7:0] port Schmitt trigger input enable	1: Enable (Schmitt) 0: Disable (CMOS)	1 (0xff)	R/W	
P0 Port Interrupt Mask Register (P0_IMSK)	**0x5205** (8 bits)	D7–0	**P0IE[7:0]**	P0[7:0] port interrupt enable	1: Enable 0: Disable	0	R/W	
P0 Port Interrupt Edge Select Register (P0_EDGE)	**0x5206** (8 bits)	D7–0	**P0EDGE[7:0]**	P0[7:0] port interrupt edge select	1: Falling edge 0: Rising edge	0	R/W	
P0 Port Interrupt Flag Register (P0_IFLG)	**0x5207** (8 bits)	D7–0	**P0IF[7:0]**	P0[7:0] port interrupt flag	1: Cause of interrupt occurred 0: Cause of interrupt not occurred	0	R/W	Reset by writing 1.
P0 Port Chattering Filter Control Register (P0_CHAT)	**0x5208** (8 bits)	D7	**–**	reserved	–	–	–	0 when being read.
		D6–4	**P0CF2[2:0]**	P0[7:4] chattering filter time	P0CF2[2:0] / Filter time 0x7: 16384/f_{PCLK} 0x6: 8192/f_{PCLK} 0x5: 4096/f_{PCLK} 0x4: 2048/f_{PCLK} 0x3: 1024/f_{PCLK} 0x2: 512/f_{PCLK} 0x1: 256/f_{PCLK} 0x0: None	0x0	R/W	
		D3	**–**	reserved	–	–	–	0 when being read.
		D2–0	**P0CF1[2:0]**	P0[3:0] chattering filter time	P0CF1[2:0] / Filter time 0x7: 16384/f_{PCLK} 0x6: 8192/f_{PCLK} 0x5: 4096/f_{PCLK} 0x4: 2048/f_{PCLK} 0x3: 1024/f_{PCLK} 0x2: 512/f_{PCLK} 0x1: 256/f_{PCLK} 0x0: None	0x0	R/W	
P0 Port Key-Entry Reset Configuration Register (P0_KRST)	**0x5209** (8 bits)	D7–2	**–**	reserved	–	–	–	0 when being read.
		D1–0	**P0KRST[1:0]**	P0 port key-entry reset configuration	P0KRST[1:0] / Configuration 0x3: P0[3:0] = 0 0x2: P0[2:0] = 0 0x1: P0[1:0] = 0 0x0: Disable	0x0	R/W	
P1 Port Input Data Register (P1_IN)	**0x5210** (8 bits)	D7–0	**P1IN[7:0]**	P1[7:0] port input data	1: 1 (H) 0: 0 (L)	×	R	
P1 Port Output Data Register (P1_OUT)	**0x5211** (8 bits)	D7–0	**P1OUT[7:0]**	P1[7:0] port output data	1: 1 (H) 0: 0 (L)	0	R/W	
P1 Port I/O Direction Control Register (P1_IO)	**0x5212** (8 bits)	D7–0	**P1IO[7:0]**	P1[7:0] port I/O direction select	1: Output 0: Input	0	R/W	
P1 Port Pull-up Control Register (P1_PU)	**0x5213** (8 bits)	D7–0	**P1PU[7:0]**	P1[7:0] port pull-up enable	1: Enable 0: Disable	1 (0xff)	R/W	
P1 Port Schmitt Trigger Control Register (P1_SM)	**0x5214** (8 bits)	D7–0	**P1SM[7:0]**	P1[7:0] port Schmitt trigger input enable	1: Enable (Schmitt) 0: Disable (CMOS)	1 (0xff)	R/W	

0x5215–0x52a3 P Port & Port MUX

Register name	Address	Bit	Name	Function	Setting				Init.	R/W	Remarks
P1 Port Interrupt Mask Register (P1_IMSK)	0x5215 (8 bits)	D7–0	P1IE[7:0]	P1[7:0] port interrupt enable	1	Enable	0	Disable	0	R/W	
P1 Port Interrupt Edge Select Register (P1_EDGE)	0x5216 (8 bits)	D7–0	P1EDGE[7:0]	P1[7:0] port interrupt edge select	1	Falling edge	0	Rising edge	0	R/W	
P1 Port Interrupt Flag Register (P1_IFLG)	0x5217 (8 bits)	D7–0	P1IF[7:0]	P1[7:0] port interrupt flag	1	Cause of interrupt occurred	0	Cause of interrupt not occurred	0	R/W	Reset by writing 1.
P2 Port Input Data Register (P2_IN)	0x5220 (8 bits)	D7–0	P2IN[7:0]	P2[7:0] port input data	1	1 (H)	0	0 (L)	×	R	
P2 Port Output Data Register (P2_OUT)	0x5221 (8 bits)	D7–0	P2OUT[7:0]	P2[7:0] port output data	1	1 (H)	0	0 (L)	0	R/W	
P2 Port I/O Direction Control Register (P2_IO)	0x5222 (8 bits)	D7–0	P2IO[7:0]	P2[7:0] port I/O direction select	1	Output	0	Input	0	R/W	
P2 Port Pull-up Control Register (P2_PU)	0x5223 (8 bits)	D7–0	P2PU[7:0]	P2[7:0] port pull-up enable	1	Enable	0	Disable	1 (0xff)	R/W	
P2 Port Schmitt Trigger Control Register (P2_SM)	0x5224 (8 bits)	D7–0	P2SM[7:0]	P2[7:0] port Schmitt trigger input enable	1	Enable (Schmitt)	0	Disable (CMOS)	1 (0xff)	R/W	
P3 Port Input Data Register (P3_IN)	0x5230 (8 bits)	D7–4	–	reserved	–				–	–	0 when being read.
		D3–0	P3IN[3:0]	P3[3:0] port input data	1	1 (H)	0	0 (L)	×	R	
P3 Port Output Data Register (P3_OUT)	0x5231 (8 bits)	D7–4	–	reserved	–				–	–	0 when being read.
		D3–0	P3OUT[3:0]	P3[3:0] port output data	1	1 (H)	0	0 (L)	0	R/W	
P3 Port I/O Direction Control Register (P3_IO)	0x5232 (8 bits)	D7–4	–	reserved	–				–	–	0 when being read.
		D3–0	P3IO[3:0]	P3[3:0] port I/O direction select	1	Output	0	Input	0	R/W	
P3 Port Pull-up Control Register (P3_PU)	0x5233 (8 bits)	D7–4	–	reserved	–				–	–	0 when being read.
		D3–0	P3PU[3:0]	P3[3:0] port pull-up enable	1	Enable	0	Disable	1 (0xff)	R/W	
P3 Port Schmitt Trigger Control Register (P3_SM)	0x5234 (8 bits)	D7–4	–	reserved	–				–	–	0 when being read.
		D3–0	P3SM[3:0]	P3[3:0] port Schmitt trigger input enable	1	Enable (Schmitt)	0	Disable (CMOS)	1 (0xff)	R/W	
P0 Port Function Select Register (P0_PMUX)	0x52a0 (8 bits)	D7–6	–	reserved	–				–	–	0 when being read.
		D5	P05MUX	P05 port function select	1	REMO	0	P05	0	R/W	
		D4	P04MUX	P04 port function select	1	REMI	0	P04	0	R/W	
		D3–0	–	reserved	–				–	–	0 when being read.
P1 Port Function Select Register (P1_PMUX)	0x52a1 (8 bits)	D7	P17MUX	P17 port function select	1	#SPISS	0	P17	0	R/W	
		D6	–	reserved	–				–	–	0 when being read.
		D5	P15MUX	P15 port function select	1	SCL	0	P15	0	R/W	
		D4	P14MUX	P14 port function select	1	SDA	0	P14	0	R/W	
		D3	P13MUX	P13 port function select	1	FOUT1	0	P13	0	R/W	
		D2–0	–	reserved	–				–	–	0 when being read.
P2 Port Function Select Register (P2_PMUX)	0x52a2 (8 bits)	D7	P27MUX	P27 port function select	1	EXCL3	0	P27	0	R/W	
		D6	P26MUX	P26 port function select	1	TOUT	0	P26	0	R/W	
		D5	P25MUX	P25 port function select	1	SCLK	0	P25	0	R/W	
		D4	P24MUX	P24 port function select	1	SOUT	0	P24	0	R/W	
		D3	P23MUX	P23 port function select	1	SIN	0	P23	0	R/W	
		D2	P22MUX	P22 port function select	1	SPICLK	0	P22	0	R/W	
		D1	P21MUX	P21 port function select	1	SDO	0	P21	0	R/W	
		D0	P20MUX	P20 port function select	1	SDI	0	P20	0	R/W	
P3 Port Function Select Register (P3_PMUX)	0x52a3 (8 bits)	D7–4	–	reserved	–				–	–	0 when being read.
		D3	P33MUX	P33 port function select	1	P33	0	DSIO	0	R/W	
		D2	P32MUX	P32 port function select	1	P32	0	DST2	0	R/W	
		D1	P31MUX	P31 port function select	1	P31	0	DCLK	0	R/W	
		D0	P30MUX	P30 port function select	1	FOUT3	0	P30	0	R/W	

0x5300–0x530c PWM & Capture Timer

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
PWM Timer Compare Data A Register (T16E_CA)	0x5300 (16 bits)	D15–0	T16ECA[15:0]	Compare data A T16ECA15 = MSB T16ECA0 = LSB	0x0 to 0xffff	0x0	R/W	
PWM Timer Compare Data B Register (T16E_CB)	0x5302 (16 bits)	D15–0	T16ECB[15:0]	Compare data B T16ECB15 = MSB T16ECB0 = LSB	0x0 to 0xffff	0x0	R/W	
PWM Timer Counter Data Register (T16E_TC)	0x5304 (16 bits)	D15–0	T16ETC[15:0]	Counter data T16ETC15 = MSB T16ETC0 = LSB	0x0 to 0xffff	0x0	R/W	
PWM Timer Control Register (T16E_CTL)	0x5306 (16 bits)	D15–9	–	reserved	–	–	–	0 when being read.
		D8	INITOL	Initial output level	1 High 0 Low	0	R/W	
		D7	–	reserved	–	–	–	0 when being read.
		D6	SELFM	Fine mode select	1 Fine mode 0 Normal mode	0	R/W	
		D5	CBUFEN	Comparison buffer enable	1 Enable 0 Disable	0	R/W	
		D4	INVOUT	Inverse output	1 Invert 0 Normal	0	R/W	
		D3	CLKSEL	Input clock select	1 External 0 Internal	0	R/W	
		D2	OUTEN	Clock output enable	1 Enable 0 Disable	0	R/W	
		D1	T16ERST	Timer reset	1 Reset 0 Ignored	0	W	0 when being read.
		D0	T16ERUN	Timer run/stop control	1 Run 0 Stop	0	R/W	
PWM Timer Input Clock Select Register (T16E_CLK)	0x5308 (16 bits)	D15–4	–	reserved	–	–	–	0 when being read.
		D3–0	T16EDF[3:0]	Timer input clock select (Prescaler output clock)	T16EDF[3:0] Clock 0xf reserved 0xe PCLK•1/16384 0xd PCLK•1/8192 0xc PCLK•1/4096 0xb PCLK•1/2048 0xa PCLK•1/1024 0x9 PCLK•1/512 0x8 PCLK•1/256 0x7 PCLK•1/128 0x6 PCLK•1/64 0x5 PCLK•1/32 0x4 PCLK•1/16 0x3 PCLK•1/8 0x2 PCLK•1/4 0x1 PCLK•1/2 0x0 PCLK•1/1	0x0	R/W	
PWM Timer Interrupt Mask Register (T16E_IMSK)	0x530a (16 bits)	D15–2	–	reserved	–	–	–	0 when being read.
		D1	CBIE	Compare B interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	CAIE	Compare A interrupt enable	1 Enable 0 Disable	0	R/W	
PWM Timer Interrupt Flag Register (T16E_IFLG)	0x530c (16 bits)	D15–2	–	reserved	–	–	–	0 when being read.
		D1	CBIF	Compare B interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D0	CAIF	Compare A interrupt flag		0	R/W	

0x5320–0x5322 MISC Registers

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
FLASHC Control Register (MISC_FL)	**0x5320** (8 bits)	D7–3	**–**	reserved	–	–	–	0 when being read.
		D2–0	**FLCYC[2:0]**	FLASHC read access cycle	FLCYC[2:0] / Read cycle 0x7–0x5 / reserved 0x4 / 1.5 cycles 0x3 / 5.5 cycles 0x2 / 4.5 cycles 0x1 / 3.5 cycles 0x0 / 2.5 cycles	0x3	R/W	
SRAMC Control Register (MISC_SR)	**0x5321** (8 bits)	D7–2	**–**	reserved	–	–	–	0 when being read.
		D1–0	**SRCYC[1:0]**	SRAMC access cycle	SRCYC[1:0] / Access cycle 0x3 / 5 cycles 0x2 / 4 cycles 0x1 / 3 cycles 0x0 / 2 cycles	0x3	R/W	
OSC1 Peripheral Control Register (MISC_OSC1)	**0x5322** (8 bits)	D7–1	**–**	reserved	–	–	–	0 when being read.
		D0	**O1DBG**	OSC1 peripheral control in debug mode	1 Run 0 Stop	0	R/W	

0x5340–0x5347 Remote Controller

Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
REMC Configuration Register (REMC_CFG)	0x5340 (8 bits)	D7–2	–	reserved	–	–	–	0 when being read.
		D1	REMMD	REMC mode select	1 Receive 0 Transmit	0	R/W	
		D0	REMEN	REMC enable	1 Enable 0 Disable	0	R/W	
REMC Prescaler Clock Select Register (REMC_PSC)	0x5341 (8 bits)	D7–4	CGCLK[3:0]	Carrier generator clock select (Prescaler output clock)	CGCLK[3:0] LCCLK[3:0] / Clock: 0xf reserved; 0xe PCLK•1/16384; 0xd PCLK•1/8192; 0xc PCLK•1/4096; 0xb PCLK•1/2048; 0xa PCLK•1/1024; 0x9 PCLK•1/512; 0x8 PCLK•1/256; 0x7 PCLK•1/128; 0x6 PCLK•1/64; 0x5 PCLK•1/32; 0x4 PCLK•1/16; 0x3 PCLK•1/8; 0x2 PCLK•1/4; 0x1 PCLK•1/2; 0x0 PCLK•1/1	0x0	R/W	
		D3–0	LCCLK[3:0]	Length counter clock select (Prescaler output clock)	(same as CGCLK[3:0])	0x0	R/W	
REMC H Carrier Length Setup Register (REMC_CARH)	0x5342 (8 bits)	D7–6	–	reserved	–	–	–	0 when being read.
		D5–0	REMCH[5:0]	H carrier length setup	0x0 to 0x3f	0x0	R/W	
REMC L Carrier Length Setup Register (REMC_CARL)	0x5343 (8 bits)	D7–6	–	reserved	–	–	–	0 when being read.
		D5–0	REMCL[5:0]	L carrier length setup	0x0 to 0x3f	0x0	R/W	
REMC Status Register (REMC_ST)	0x5344 (8 bits)	D7–1	–	reserved	–	–	–	0 when being read.
		D0	REMDT	Transmit/receive data	1 1 (H) 0 0 (L)	0	R/W	
REMC Length Counter Register (REMC_LCNT)	0x5345 (8 bits)	D7–0	REMLEN[7:0]	Transmit/receive data length count (down counter)	0x0 to 0xff	0x0	R/W	
REMC Interrupt Mask Register (REMC_IMSK)	0x5346 (8 bits)	D7–3	–	reserved	–	–	–	0 when being read.
		D2	REMFIE	Falling edge interrupt enable	1 Enable 0 Disable	0	R/W	
		D1	REMRIE	Rising edge interrupt enable	1 Enable 0 Disable	0	R/W	
		D0	REMUIE	Underflow interrupt enable	1 Enable 0 Disable	0	R/W	
REMC Interrupt Flag Register (REMC_IFLG)	0x5347 (8 bits)	D7–3	–	reserved	–	–	–	0 when being read.
		D2	REMFIF	Falling edge interrupt flag	1 Cause of interrupt occurred 0 Cause of interrupt not occurred	0	R/W	Reset by writing 1.
		D1	REMRIF	Rising edge interrupt flag		0	R/W	
		D0	REMUIF	Underflow interrupt flag		0	R/W	

0xffff80–0xffff90 S1C17 Core I/O

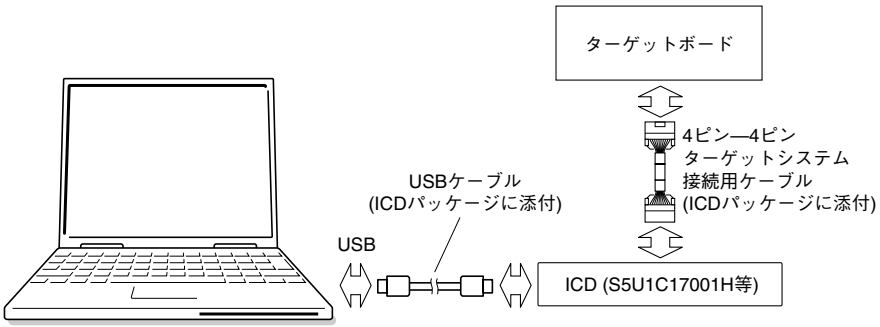
Register name	Address	Bit	Name	Function	Setting	Init.	R/W	Remarks
Vector Table Base Register (TTBR)	**0xffff80** (32 bits)	D31–24	–	Unused (fixed at 0)	0x0	0x0	R	
		D23–0	**TTBR[23:0]**	Vector table base address	0x8000	0x8000	R	
Processor ID Register (IDIR)	**0xffff84** (8 bits)	D7–0	**IDIR[7:0]**	Processor ID 0x10: S1C17 Core	0x10	0x10	R	
Debug RAM Base Register (DBRAM)	**0xffff90** (32 bits)	D31–24	–	Unused (fixed at 0)	0x0	0x0	R	
		D23–0	**DBRAM[23:0]**	Debug RAM base address	0xfc0	0xfc0	R	

Appendix B Flashプログラミング

Flashメモリのプログラミングには、S5U1C17001H(ICD Mini)等のICD(In-Circuit Debugger)が持つFlashライタ機能を使用してデバッガからプログラムする方法と、ユーザプログラムからの自己プログラミングの2種類の方法があります。

B.1 デバッガによるプログラミング

S1C17 Family Cコンパイラパッケージに含まれるデバッガには、ICD(S5U1C17001H等)をFlashライタとして使用する機能があります。



図B.1.1 デバッガを使用するFlashプログラミングシステム

この機能を使用してS1C17701のFlashメモリをプログラムするには、ターゲットボード上にICD(S5U1C17001H等)を接続する4ピンコネクタを設ける必要があります。
S1C17701のDCLK(P31)、DST2(P32)、DSIO(P33)端子をデバッグ端子として使用し、4ピンコネクタに接続します。そのため、P31～P33汎用入出力ポートを使用することはできません。

このシステムを用いたFlashプログラミング方法については、S1C17 Family Cコンパイラパッケージ(S5U1C17001C等)のマニュアルを、4ピンコネクタのピン配置についてはICD(S5U1C17001H等)のマニュアルをそれぞれ参照してください。

B.2 ユーザプログラムによる自己プログラミング

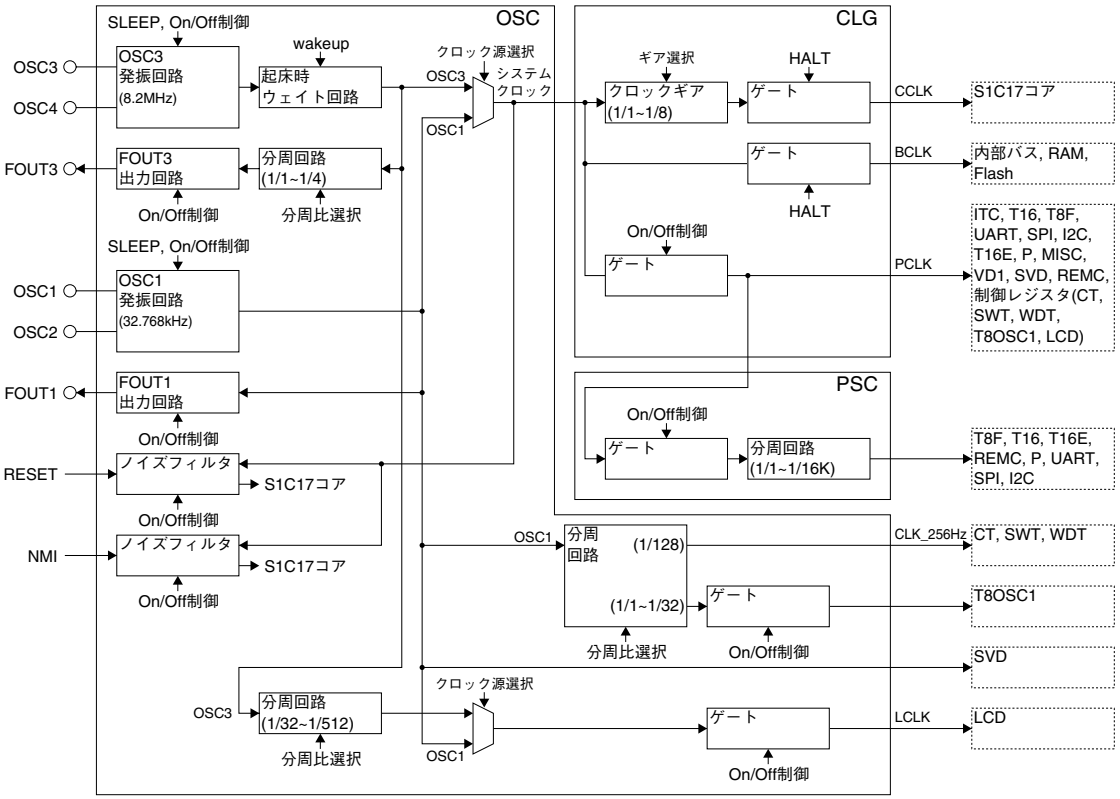
S1C17701は、ターゲットボード上で動作中に実行中のユーザプログラムによってFlashメモリの消去/書き換えを行う、自己プログラミング機能を搭載しています。自己プログラミングのための各種機能ルーチンをオブジェクトファイルとして提供する、自己プログラミングパッケージが別途用意されています。ユーザアプリケーションプログラムにこのオブジェクトをリンクすることで、容易に自己プログラミング機能を実装することができます。その詳細については、自己プログラミングパッケージのマニュアルを参照してください。

Appendix C パワーセーブ

消費電流はCPUの動作モード、動作クロック周波数、動作させる周辺回路により大きく変わります。以下に、省電力化のための制御方法をまとめます。

C.1 クロック制御によるパワーセーブ

図C.1.1にS1C17701のクロックシステムを示します。



図C.1.1 クロックシステム

ソフトウェアによって制御可能なクロック系とパワーセーブのための制御内容を以下に示します。制御レジスタや制御方法の詳細については、それぞれのモジュールの章を参照してください。

システムのスリープ(全クロックの停止)

- slp命令の実行
  システム全体を停止可能な場合は、slp命令を実行します。CPUはSLEEPモードとなり、OSC1/OSC3発振回路が停止します。これにより、クロックを使用する周辺回路はすべて停止します。このため、SLEEPモードからのCPUの起動方法はポートによる起動(後述)に限られます。

システムクロック

- クロック源の選択(OSCモジュール)
  システムクロック源をOSC3とするかOSC1とするか選択できます。低速動作で処理可能な際にはOSC1クロックを選択することで消費電流を低減できます。
- OSC3発振回路の停止(OSCモジュール)
  システムクロック源としている発振回路を動作させ、可能であればもう一方を停止します。OSC1をシステムクロックとし、OSC3発振回路を停止することで、消費電流をより低減できます。

CPUクロック(CCLK)

- halt命令の実行
  表示のみ必要な場合や割り込み待ちなど、CPUによるプログラムの実行が不要な場合は、halt命令を実行します。CPUはHALTモードとなり動作を停止しますが、周辺回路はhalt命令実行時の状態を維持します。このため、LCDドライバや、割り込みに使用する周辺回路を動作させておくことができます。また、不要な発振回路と周辺回路を停止してからhalt命令を実行することで、パワーセーブの効果は高まります。HALTモードからは、ポートまたはHALTモード時に動作させている周辺回路からの割り込みによりCPUが起動します。
- 低速クロックギアの選択(CLGモジュール)
  CLGモジュールは、クロックギアの設定により、CPUクロックをシステムクロックの1/1～1/8に減速することができます。アプリケーションに必要最低限の速度でCPUを動作させることにより、消費電流を低減できます。

周辺クロック(PCLK)

- PCLKの停止(CLGモジュール)
  以下の周辺回路の動作がすべて不要な場合は、CLGから周辺回路へのPCLKクロックの供給を停止することができます。

  PCLKで動作する周辺モジュール
  - プリスケーラ(PWM&キャプチャタイマ、リモートコントローラ、Pポート)
  - UART
  - 8ビットタイマ
  - 16ビットタイマ Ch.0～2
  - 割り込みコントローラ
  - SPI
  - I^2C
  - SVD回路
  - 電源制御回路
  - Pポート&ポートMUX(制御レジスタ、チャタリング除去)
  - PWM&キャプチャタイマ
  - MISCレジスタ
  - リモートコントローラ

以下の周辺モジュールは制御レジスタへのアクセスを除き、PCLK以外のクロックで動作します。したがって、制御レジスタを設定して動作を開始後はPCLKは必要ありません。

- 計時タイマ
- ストップウォッチタイマ
- ウォッチドッグタイマ
- 8ビットOSC1タイマ
- LCDドライバ

PCLKが停止中はマスク可能な割り込みは発生しません。PCLKの供給を再開するまで、割り込みは保留されます。

クロック制御とCPUの起動/停止方法の一覧を表C.1.1に示します。

表C.1.1 クロック制御一覧

消費電流	OSC1	OSC3	CPU(CCLK)	PCLK周辺	OSC1周辺	CPU停止方法	CPU起動方法
↑ 低	停止	停止	停止	停止	停止	slp命令実行	1
	発振 (システムCLK)	停止	停止	停止	動作	halt命令実行	1, 2
	発振 (システムCLK)	停止	停止	動作	動作	halt命令実行	1, 2, 3
	発振 (システムCLK)	停止	動作(1/1)	動作	動作		
	発振	発振 (システムCLK)	停止	動作	動作	halt命令実行	1, 2, 3
	発振	発振 (システムCLK)	動作(低ギア)	動作	動作		
高 ↓	発振	発振 (システムCLK)	動作(1/1)	動作	動作		

HALT, SLEEPモードの解除方法(CPU起動方法)

1. ポートによる起動
   入出力ポート割り込み要因、デバッグ割り込み(ICD強制ブレーク発行)により起動します。入出力ポート割り込みが、割り込みコントローラ、CPUのIEフラグで禁止されている場合、CPUは割り込みを受け付けず、haltまたはslp命令に続く命令を実行します。割り込みが許可されていて、かつhaltまたはslp命令実行前にPCLKが動作していた場合、CPUは割り込み処理ルーチンに分岐します。割り込みが許可されていても、haltまたはslp命令実行前にPCLKが停止していた場合は、PCLKを動作させるまで割り込み処理ルーチンへの分岐は保留されます。
2. OSC1周辺回路による起動
   計時タイマ、ストップウォッチタイマ、ウォッチドッグタイマ、8ビットOSC1タイマの割り込み要因により起動します。これらの割り込みが、割り込みコントローラ、CPUのIEフラグで禁止されている場合、CPUは割り込みを受け付けず、halt命令に続く命令を実行します。割り込みが許可されていて、かつhalt命令実行前にPCLKが動作していた場合、CPUは割り込み処理ルーチンに分岐します。割り込みが許可されていても、halt命令実行前にPCLKが停止していた場合は、PCLKを動作させるまで割り込み処理ルーチンへの分岐は保留されます。
3. PCLK周辺回路による起動
   割り込みコントローラで割り込みが許可されているPCLK周辺回路の割り込み要因により起動します。CPUのIEフラグが0の場合、CPUは割り込みを受け付けず、halt命令に続く命令を実行します。IEフラグが1の場合、CPUは割り込み処理ルーチンに分岐します。

C.2 電源制御によるパワーセーブ

パワーセーブに有効な電源の制御を以下に示します。

内部定電圧回路

- 内部動作電圧V_{D1}を2.5Vに設定すると消費電流が増加します。
  通常動作時はV_{D1}を1.8Vに設定し、Flashプログラミング時のみ2.5Vに切り換えてください。
- 内部定電圧回路の重負荷保護をOnすると消費電流が増加します。
  通常動作時は重負荷保護をOffにします。動作が安定しない場合のみOnにしてください。

LCD系定電圧回路

- 電源電圧昇圧回路をOnすると消費電流が増加します。
  電源電圧V_{DD}が2.5V以上のときは電源電圧昇圧回路をOffし、LCD系定電圧回路をV_{DD}で駆動してください。電源電圧昇圧回路はV_{DD}が2.5V以下の場合のみ使用します。
- LCD系定電圧回路の重負荷保護をOnすると消費電流が増加します。
  通常動作時は重負荷保護をOffにします。表示が安定しない場合のみOnにしてください。
- LCDの表示を行わないときはLCDの駆動をOffにするとともに、電源電圧昇圧回路をOffにしてください。

電源電圧検出(SVD)回路

- SVD回路を動作させると消費電流が増加します。
  電源電圧の検出が不要な場合はOffにしてください。

Appendix D 実装上の注意事項

基板の設計およびICを実装する際の注意事項を以下に示します。

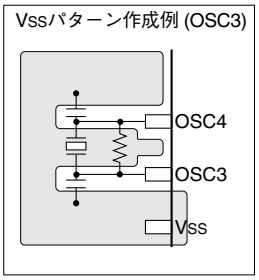
発振回路

- 発振特性は使用部品(振動子、Rf、CG、CD)や基板パターンなどにより変化します。特にセラミック発振子または水晶振動子を使用する場合、外付けの抵抗(Rf)や容量(CG、CD)の値は、実際の基板上に各部品を実装した状態で十分評価を行って適切なものを選んでください。
- ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため以下の点に配慮してください。特に最新機種は、より微細なプロセスで製造されており、ノイズに敏感になっています。
  最もノイズ対策が必要となるのは、OSC2端子とその回路構成部品および配線です。OSC1端子の処理もこれらと同様に重要です。以下、OSC1、OSC2端子のノイズ対策を記載します。
  なお、OSC3、OSC4端子や配線等、高速発振回路系についても、これに準じたノイズ対策を施すことを推奨します。

(1)OSC1(OSC3)、OSC2(OSC4)端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。

(2)OSC1(OSC3)、OSC2(OSC4)端子とこれらの回路構成部品、および配線から3mm以内の領域には、できるだけデジタル信号線を配置しないでください。特に、スイッチングが激しい信号を近くに配置することは避けてください。多層プリント基板の各層の間隔は0.1～0.2mm程度しかありませんので、デジタル信号線を他のどの層に配置する場合でも同様です。
また、これらの部品や配線とデジタル信号線を絶対に並走させないでください。3mm以上の距離がある場合や基板の他の層であっても禁止します。配線を交差させることも避けてください。

(3)OSC1(OSC3)、OSC2(OSC4)端子と配線は、基板の隣接する層も含めVssでシールドしてください。
配線する層は、右の図のように広めにシールドしてください。
隣接する層についてはできれば全面をグラウンド層に、最低でも上記端子と配線の周囲を5mm以上カバーするようにシールドしてください。
この対策を施した場合でも、(2)に記載したようにデジタル信号線との並走は禁止します。他の層での交差についても、スイッチング頻度の低い信号以外はできるだけ避けてください。



(4)上記の対策を施した後は、実機で実際のアプリケーションプログラムを動作させた状態での出力クロック波形も確認してください。
FOUT1/FOUT3端子の出力をオシロスコープなどで確認します。
OSC3の出力波形の品質は、FOUT3出力で確認します。設計どおりの周波数でノイズが乗っていないかどうか、およびジッタがほとんどないことを確認してください。
OSC1波形の品質はFOUT1出力で確認します。特にクロックの立ち上がり/立ち下がりの両エッジの前後を拡大し、前後100ns程度の範囲にクロック状のノイズやスパイクノイズなどが乗っていないか注意して見てください。

(1)～(3)の対応が不十分な場合、OSC3出力にはジッタが発生し、OSC1出力にはノイズが乗ることがあります。OSC3出力にジッタが発生するとその分、動作周波数が低下します。OSC1出力にノイズが乗ると、OSC1クロックで動作するタイマや、システムクロックをOSC1に切り換えた際のCPUコアの動作が不安定になります。

リセット回路

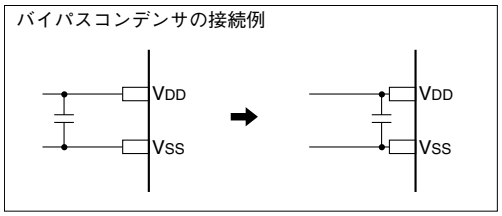
- 電源投入時、#RESET端子に入力されるリセット信号は、諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。#RESET端子のプルアップ抵抗については、抵抗値のばらつきを十分考慮した定数設定が必要です。
- ノイズによる動作中のリセットを防ぐため、#RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

電源回路

ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

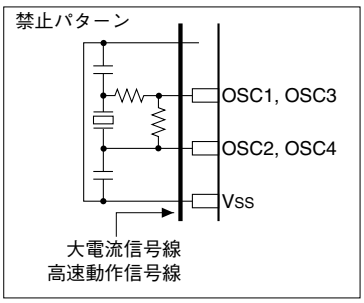
(1) 電源からVDDおよびVSS端子へはできるだけ短くかつ太いパターンで接続してください。

(2) VDD－VSSのバイパスコンデンサを接続する場合、VDD端子とVSS端子をできるだけ最短で接続してください。



信号線の配置

- 相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。
- 高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。
  特に、発振部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



ノイズによる誤動作について

ノイズによるICの誤動作が考えられる場合、以下の3点について確認してみてください。

(1) DSIO端子
この端子にLowレベルのノイズが入るとデバッグモードになります。デバッグモードになったことは、DCLKからクロックが出力され、DST2端子がHighになっていることで確認できます。
製品版では、DSIO端子をV_{DD}に直結、もしくは10kΩ以下の抵抗でプルアップすることを推奨します。
IC内にプルアップ抵抗が付いていますが、100～500kΩ程度と高インピーダンスなため、ノイズには強くありません。

(2) #RESET端子
この端子にLowレベルのノイズが入るとICがリセットされます。ただし、入力波形によっては正常なリセット動作が行えない場合があります。
回路設計上、リセット入力がHigh状態でのインピーダンスが高いときに起こりやすくなります。

(3) V_{DD}、V_{SS}電源
規定の電圧を下回るようなノイズが入った場合、その瞬間にICが誤動作します。
基板の電源系のベタパターン化、ノイズ除去用デカップリングコンデンサの追加、電源ラインへのサージ/ノイズ対策部品の追加など、基板上での対策をお願いします。

上記の確認作業は、200MHz以上の波形が観測できるオシロスコープを使用して行ってください。低速なオシロスコープでは、高速なノイズの発生を観測できない場合があります。

ノイズによる誤動作の可能性をオシロスコープの波形観測で発見した場合は、その端子をGNDまたは電源に低インピーダンス(1kΩ以下)で接続して再確認してください。誤動作しなくなる、頻度が低くなる、あるいは症状が変わるなどの変化が見受けられる場合、その端子での誤動作が確実と考えられます。

上記のDSIO、#RESET入力の回路は入力信号のエッジを検出しているため、ひげ状のノイズでも誤動作しやすく、デジタル信号の中では最もノイズに弱い端子です。
ノイズが乗りにくいように、基板設計の際には以下の2点を考慮してください。

(A)まず、上記の各項目にあるように、信号を駆動するインピーダンスを低くすることが重要です。目安としては1kΩ以下、できれば0Ωとなるように電源やGNDに接続してください。また、接続する信号線長は5cm程度以下としてください。

(B)基板上で他のデジタル線と並走したために、その信号の1→0、0→1の変化点で発生するノイズの影響を受ける場合があります。
特に、同時変化する複数の信号線に両側から挟まれると、最も大きなノイズが乗ります。並走距離を短くする(数cm以下に抑える)、信号を離す(2mm以上離す)、といった対策が有効です。

光に対する取り扱い(ベアチップ実装の場合)

半導体素子は、光が照射されると特性が変化します。このため、ICに光が当たると誤動作を起こしたり、不揮発性メモリのデータが消去される可能性があります。
光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。

(1) 実使用時にICの遮光性が考慮された構造となるよう、設計および実装を行ってください。

(2) 検査工程では、ICの遮光性が考慮された環境設計を行ってください。

(3) ICの遮光は、ICチップの表面、裏面および側面について考慮してください。

(4) ICチップ状態での保管は開封後1週間以内とし、この期限までに実装をお願いします。ICチップ状態での保管の必要がある場合は、必ず遮光の措置を講じてください。

(5) 実装工程において通常のリフロー条件を超えるような熱ストレスが印加される場合、製品出荷前に不揮発性メモリのデータ保持に関して十分な評価をお願いします。

その他

本製品シリーズは0.25µm微細プロセスにより製造されています。
ICの基本信頼性に関してはEIAJ、MIL規格を満足するように設計されていますが、実装段階においては以下の点に十分注意してください。
全発振回路入出力端子は、内部の0.25µmトランジスタを直接使用する構造となっていますので、実装時の機械的ダメージのほか、

(1)実装時リフロー工程、実装後のリワーク、個別特性評価(実験確認)の各工程における商用電源からの電磁誘導ノイズ
(2)半田ごて使用時のこて先からの電磁誘導ノイズ

など、緩やかな時間的変化を伴う絶対最大定格(2.5V)以上の電圧となる外乱が、電気的損傷につながる可能性があります。
特に半田ごて使用時には、ICのGNDと半田ごてのGND(こて先の電位)を同電位として作業を行ってください。

Appendix E 初期化ルーチン

ベクタテーブルと初期化ルーチンの例を以下に示します。

boot.s

```
.org    0x8000
.section .rodata                                                              ...(1)

; ======================================================================
;       Vector table
; ======================================================================
                        ; interrupt  vector  interrupt
                        ; number     offset  source

.long BOOT              ; 0x00       0x00    reset                            ...(2)
.long unalign_handler   ; 0x01       0x04    unalign
.long nmi_handler       ; 0x02       0x08    NMI
.long int03_handler     ; 0x03       0x0c    -
.long p0_handler        ; 0x04       0x10    P0 port
.long p1_handler        ; 0x05       0x14    P1 port
.long swt_handler       ; 0x06       0x18    SWT
.long ct_handler        ; 0x07       0x1c    CT
.long t8osc1_handler    ; 0x08       0x20    T8OSC1
.long int09_handler     ; 0x09       0x24    SVD
.long lcd_handler       ; 0x0a       0x28    LCD
.long t16e_handler      ; 0x0b       0x2c    T16E
.long t8f_handler       ; 0x0c       0x30    T8F
.long t16_0_handler     ; 0x0d       0x34    T16 ch0
.long t16_1_handler     ; 0x0e       0x38    T16 ch1
.long t16_2_handler     ; 0x0f       0x3c    T16 ch2
.long uart_handler      ; 0x10       0x40    UART
.long remc_handler      ; 0x11       0x44    REMC
.long spi_handler       ; 0x12       0x48    SPI
.long i2c_handler       ; 0x13       0x4c    I2C
.long int14_handler     ; 0x14       0x50    -
.long int15_handler     ; 0x15       0x54    -
.long int16_handler     ; 0x16       0x58    -
.long int17_handler     ; 0x17       0x5c    -
.long int18_handler     ; 0x18       0x60    -
.long int19_handler     ; 0x19       0x64    -
.long int1a_handler     ; 0x1a       0x68    -
.long int1b_handler     ; 0x1b       0x6c    -
.long int1c_handler     ; 0x1c       0x70    -
.long int1d_handler     ; 0x1d       0x74    -
.long int1e_handler     ; 0x1e       0x78    -
.long int1f_handler     ; 0x1f       0x7c    -

; ======================================================================
;       Program code
; ======================================================================

.text                                                                         ...(3)
.align 1

BOOT:
        ; ===== Initialize ============================================

        ; ----- Stack pointer --------------------
        Xld.a   %sp, 0x0f00                                                   ...(4)

        ; ----- Memory controller ----------------
        Xld.a   %r1, 0x5320     ; MISC register base address

        ; FLASHC
        Xld.a   %r0, 0x04       ; 1 cycle access, under 3.3 MHz system clock
        ld.b    [%r1], %r0      ; [0x5320] <= 0x04                            ...(5)

        ; SRAMC
        Xld.a   %r0, 0x00       ; 2 cycle access
        ext     0x01
        ld.b    [%r1], %r0      ; [0x5321] <= 0x01                            ...(6)
```

```
        ; ----- ITC (interrupt controller) ------
        Xld.a   %r7, 0x4300     ; ITC register base address

        Xld.a   %r0, 0x1010     ; P0, P1 interrupt level & trigger mode
        ext     0x06
        ld      [%r7], %r0      ; [0x4306] <= 0x1010                        ...(7)

        Xld.a   %r0, 0x1010     ; SWT, CT interrupt level & trigger mode
        ext     0x08
        ld      [%r7], %r0      ; [0x4308] <= 0x1010                        ...(7)

        Xld.a   %r0, 0x1010     ; T8OSC1, SVD interrupt level & trigger mode
        ext     0x0a
        ld      [%r7], %r0      ; [0x430a] <= 0x1010                        ...(7)

        Xld.a   %r0, 0x1010     ; LCD, T16E interrupt level & trigger mode
        ext     0x0c
        ld      [%r7], %r0      ; [0x430c] <= 0x1010                        ...(7)

        ; ===== Main routine ======================================
         ...

; ========================================================================
;       Interrupt handler
; ========================================================================

; ----- Address unalign --------------------------
unalign_handler:
        ...

; ----- NMI ----------------------------------
nmi_handler:
        ...
```

---

(1) ベクタテーブルを.vectorセクションに配置するために.rodataセクションを宣言します。

(2) 割り込み処理ルーチンのアドレスをベクタとして定義します。
int*XX*_handlerはソフトウェア割り込みとして使用可能です。

(3) プログラムコードは.textセクションに記述します。

(4) スタックポインタを設定します。

(5) Flashコントローラのアクセスサイクル数を設定します。
システムクロックが3.3MHz以下の場合は1サイクルアクセスに設定可能です。
(“3 メモリマップ, バス制御”参照)

(6) SRAMコントローラのアクセス条件を設定します。
(“3 メモリマップ, バス制御”参照)

(7) 以下の周辺回路については、割り込みのトリガモードをレベルトリガに設定します。
P0ポート、P1ポート、ストップウォッチタイマ、計時タイマ、8ビットOSC1タイマ、SVD回路、LCDドライバ、PWM&キャプチャタイマ
(“6 割り込みコントローラ(ITC)”参照)

改訂履歴表

コードNo.	ページ	改訂内容(旧内容を含む)および改訂理由
411089701	1-1	表1.1削除 説明追加 メイン(OSC3)発振回路 • 水晶発振回路/セラミック発振回路 8.2MHz(max.) • CR発振回路 2.2MHz(max.)
	1-2	品番削除 メイン(OSC3)発振回路 (• S1C17701F00B100) (• S1C17701F00E100)
		説明変更 出荷形態 プラスチックパッケージの品番変更 記述追加 • VFBGA7H-161パッケージ (7mm × 7mm × 1.0mm、ボールピッチ: 0.5mm) • VFBGA10H-144パッケージ (10mm × 10mm × 1.0mm、ボールピッチ: 0.8mm)
	1-4	品番追加 TQFP24-144pin
		図1.3.1.1 端子配置図の品番変更 QFP24-144pin→TQFP24-144pin
	1-5	図1.3.1.2追加
	1-6	図1.3.1.3追加
	1-7	表1.3.2.1変更
	1-8	説明追加 ＊1: SEG17 ～ SEG55(VFBGA7)...C6, D6, E6, A5, B5, C5, A4, D5, E5, C4, B4, A3, D4, B3, A2, C3, B2
	6-15	説明削除 (割り込み禁止に設定した場合でも、対応する割り込みをスタンバイモードの解除に使用することができます。)
	10-11	説明変更 PxIN[7:0]はPx[7:0]端子と1対1に対応し、入力モード時は端子の電圧レベルが読み出せます...出力モード時は読み出し値は不定となります。
	11-9	記述変更 I²Cの数式
	22-3	説明削除 (表22.3.1参照)
	22-9	説明変更 イニシャルリセット時、DSPC[1:0]は0x0(表示Off)にリセットされます...ソフトウェアでDSPC[1:0]を0x0(表示Off)にリセットしてからslp命令を実行してください。
	22-14	表変更 0x50a0: LCD Display Control Register (LCD_DCTL)の記述
	22-15	表22.8.2変更
		説明変更 イニシャルリセット時、DSPC[1:0]は0x0(表示Off)にリセットされます...ソフトウェアでDSPC[1:0]を0x0(表示Off)にリセットしてからslp命令を実行してください。
	26-5	表変更
	26-7	表変更
	27-1	品番変更 QFP24-144pinパッケージ→TQFP24-144pinパッケージ
	27-2	図追加 VFBGA7H-161パッケージ
	27-3	図追加 VFBGA10H-144パッケージ
	28-2	表変更 座標変更
	AP-18	0x50a0−0x50a6の表変更
	AP-36	「ノイズによる誤動作について」の説明変更
411089703	2-5	説明変更 分岐　ipa.d→jpa.d
	7-6	説明削除 LCDの表示が不要な場合は、消費電流を抑えるため、クロック供給を停止してください。 説明追加 注: DSPC[1:0]/ LCD_DCTLレジスタ...DSPC[1:0]/LCD_DCTLレジスタ=1に設定してください。

	7-8, 7-9	図7.7.2、図7.7.3変更
	18-6	説明変更 (2) RDRY = 1, RD2B = 0...したがって、受信データバッファはオーバーランエラーが発生する前に読み出してください。
	18-7, 18-19, 18-21	説明変更 RXENビットを0に設定すると、送信データバッファは空の状態になります RXENに0を書き込んで送受信を禁止すると、送信データバッファもクリアされます。 •RXENを0に設定して送受信を禁止すると、送信データバッファがクリア(初期化)されます。RXENに0を書き込む前に、バッファ内に送信待ちのデータが残っていないことを確認してください。
	18-8	説明削除 バッファに送られません。その状態でさらに4番目のデータが送られてくると、シフトレジスタ(3番目のデータ)はそのデータで上書きされ、
	18-14	説明変更 FERは1を書き込むことによりリセットされます。...OERは1を書き込むことによりリセットされます。
	18-21	説明変更 - UART_CTLxレジスタのRBFIビット
	19-3	説明削除 内部回路はPCLKクロックに同期して動作するため、入力クロックは微分されPCLKクロックとの同期用に使用されます。 図19.3.2削除
	19-4	説明追加 図19.4.2追加
	19-6, 19-7	図19.5.1、図19.5.2削除 図19.5.1追加
	19-7	説明変更 データ転送(送信と受信の両方)を終了後は...を0に設定した場合、転送中のデータは保証されません。
	19-12	説明追加 注:データの送受信を行う場合、SPI_TXDへの書き込みはSPENを1に設定した後に行ってください。
	20-5	説明変更 10ビットの場合はソフトウェア制御により2回または3回の送信を行います。
	20-6	図20.5.2変更
	20-7	説明変更 9個目のクロックサイクルでは、RTACK...正しい通信が行えなくなってしまいます。
	20-8	説明変更 ストップコンディションを生成した後は...出力レベル、および転送中のデータは保証されません。
	20-9	図20.5.5変更
	20-10	図20.5.7、図20.5.8変更
	20-11	図20.9変更
	20-12	説明追加 送信バッファエンプティ割り込み...割り込みを判断してください。送信バッファエンプティ割り込み、または、受信バッファフル割り込みのどちらが発生したかを確認できるレジスタはありません。
	22-9	説明追加 クロックが供給される前に、DSPC[1:0] = 0x0以外に設定...LCDクロックがイネーブルに設定され、LCDドライバ回路に伝播している状態のことを指します。

セイコーエプソン株式会社
マイクロデバイス事業本部　デバイス営業部

<IC国内営業グループ>

東京　〒191-8501　東京都日野市日野421-8
TEL（042）587-5313（直通）　FAX（042）587-5116

大阪　〒541-0059　大阪市中央区博労町3-5-1　エプソン大阪ビル15F
TEL（06）6120-6000（代表）　FAX（06）6120-6100

ドキュメントコード：411089704
2007年11月 作成
2011年3月 改訂 Ⓗ