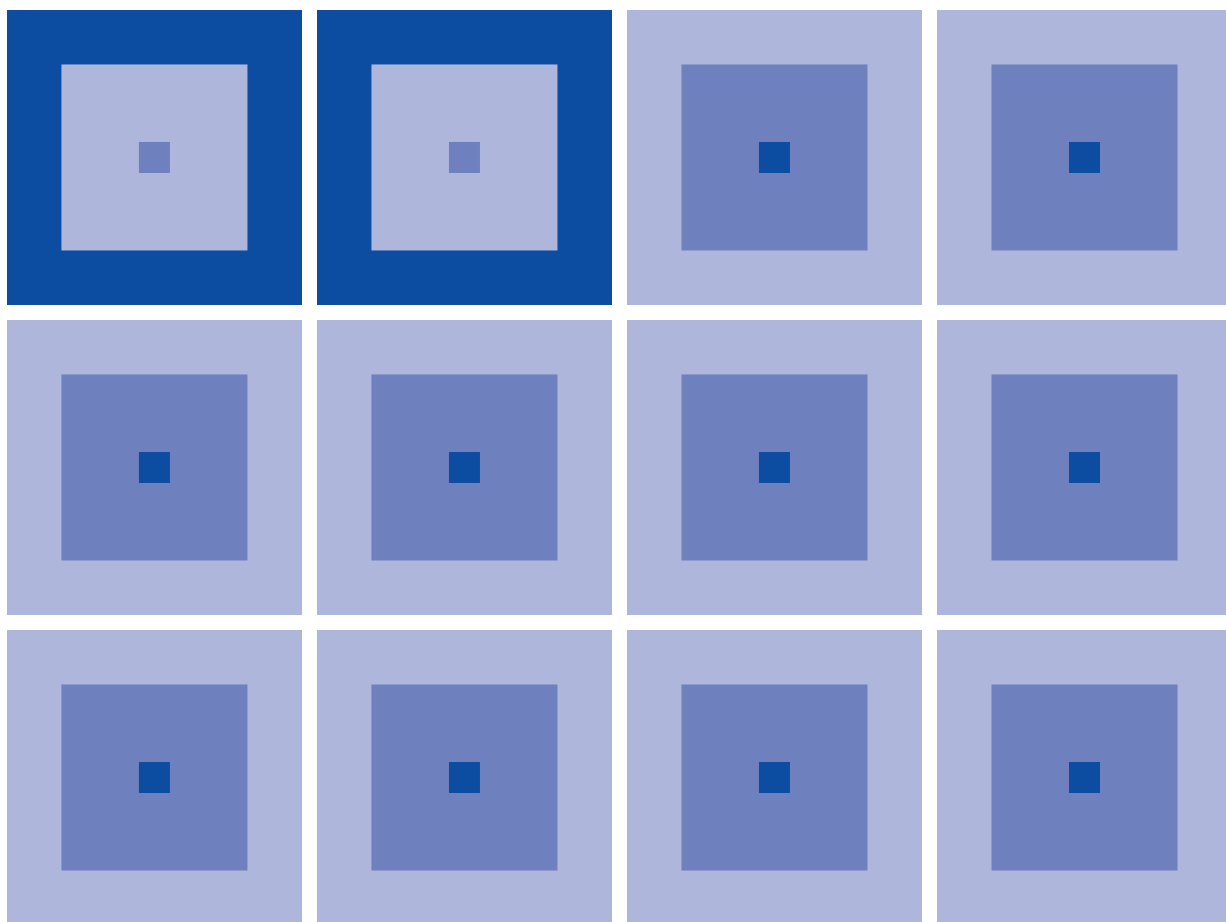


CMOS 8-BIT SINGLE CHIP MICROCOMPUTER

S1C8F626

テクニカルマニュアル



本資料のご使用につきましては、次の点にご留意願います。

1. 本資料の内容については、予告なく変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利(工業所有権を含む)侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち、「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、一般民生用です。生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合の如何なる責任についても負いかねます。

Windows 2000及びWindows XPIは米国マイクロソフト社の登録商標です。

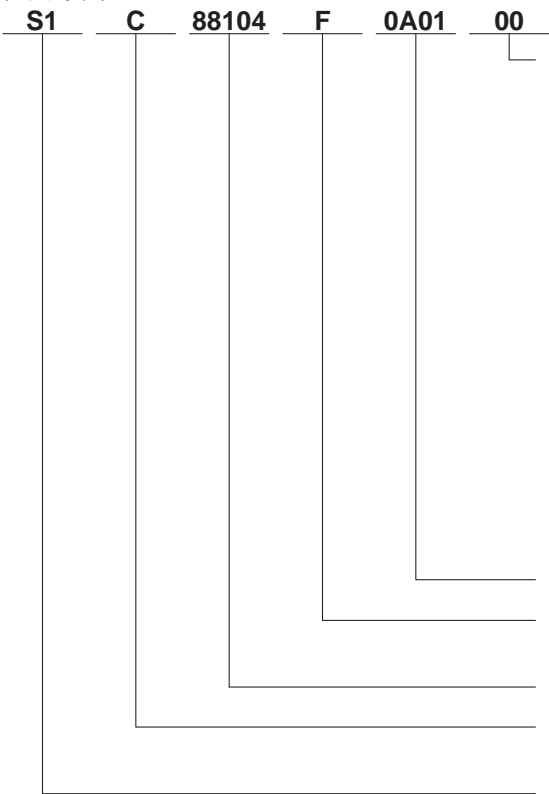
PC/AT及びIBMは、米国International Business Machines社の登録商標です。

その他のブランド名または製品名は、それらの所有者の商標もしくは登録商標です。

本製品はSilicon Storage Technology, Inc.よりライセンスされたSuperFlash®テクノロジーを使用しています。

製品型番体系

デバイス



梱包仕様

- 00 : テープ&リール以外
- 0A : TCP BL 2方向
- 0B : テープ&リール BACK
- 0C : TCP BR 2方向
- 0D : TCP BT 2方向
- 0E : TCP BD 2方向
- 0F : テープ&リール FRONT
- 0G : TCP BT 4方向
- 0H : TCP BD 4方向
- 0J : TCP SL 2方向
- 0K : TCP SR 2方向
- 0L : テープ&リール LEFT
- 0M : TCP ST 2方向
- 0N : TCP SD 2方向
- 0P : TCP ST 4方向
- 0Q : TCP SD 4方向
- 0R : テープ&リール RIGHT
- 99 : 梱包仕様未定

仕様

形状

[D: ペアチップ、F: QFP、B: BGA]

機種番号

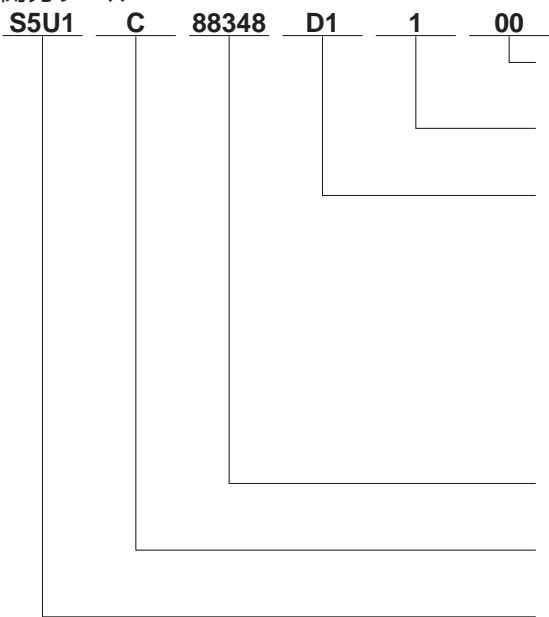
機種名称

[C: マイコン、デジタル製品]

製品分類

[S1: 半導体]

開発ツール



梱包仕様

[00: 標準梱包]

バージョン

[1: Version 1]

ツール種類

- Hx : ICE
- Ex : EVAボード
- Px : ペリフェラルボード
- Wx : FLASHマイコン用ROMライター
- Xx : ROMライター周辺ボード
- Cx : Cコンパイラパッケージ
- Ax : アセンブラパッケージ
- Dx : 機種別ユーティリティツール
- Qx : ソフトシミュレータ

対応機種番号

[88348: S1C88348用]

ツール分類

[C: マイコン用]

製品分類

[S5U1: 半導体用開発ツール]

— 目 次 —

1	概要	1
1.1	特長	1
1.2	ブロック図	2
1.3	端子	3
1.3.1	端子配置図	3
1.3.2	端子説明	5
1.4	マスクオプション	6
2	電源	7
2.1	動作電圧	7
2.2	内部電源回路	7
3	CPU	8
3.1	CPU	8
3.2	内蔵メモリ	8
3.2.1	Flash EEPROM	8
3.2.2	RAM	8
3.2.3	I/Oメモリ	8
3.2.4	表示メモリ	8
3.3	例外処理ベクタ	9
3.4	CC (カスタマイズコンディションフラグ)	9
3.5	CPUモード	9
4	イニシャルリセット	10
4.1	イニシャルリセット要因	10
4.1.1	RESET端子	10
4.1.2	入力ポート(K00 ~ K03)の同時LOWレベル入力	10
4.1.3	イニシャルリセットシーケンス	11
4.2	イニシャルリセット時の初期設定	12
5	周辺回路と動作	13
5.1	I/Oメモリマップ	13
5.2	システムコントローラ	29
5.2.1	CPUモードの設定	29
5.2.2	スタックページの設定	29
5.2.3	システムコントローラの制御方法	30
5.2.4	プログラミング上の注意事項	30
5.3	ウォッチドッグタイマ	31
5.3.1	ウォッチドッグタイマの構成	31
5.3.2	割り込み機能	31
5.3.3	ウォッチドッグタイマの制御方法	32
5.3.4	プログラミング上の注意事項	32
5.4	発振回路と動作モード	33
5.4.1	発振回路の構成	33
5.4.2	マスクオプション	33
5.4.3	OSC1発振回路	33
5.4.4	OSC3発振回路	33
5.4.5	CPUクロックの切り換え	34

5.4.6 動作モードの切り換え	35
5.4.7 発振回路と動作モードの制御方法	35
5.4.8 プログラミング上の注意事項	36
5.5 入力ポート (Kポート)	37
5.5.1 入力ポートの構成	37
5.5.2 入力インタフェースレベル	37
5.5.3 プルアップ制御	37
5.5.4 割り込み機能と入力比較レジスタ	37
5.5.5 入力ポートの制御方法	39
5.5.6 プログラミング上の注意事項	42
5.6 入出力兼用ポート (Pポート)	43
5.6.1 入出力兼用ポートの構成	43
5.6.2 I/Oコントロールレジスタと入力/出力モード	43
5.6.3 入力インタフェースレベル	43
5.6.4 プルアップ制御	44
5.6.5 特殊出力	44
5.6.6 入出力兼用ポートの制御方法	46
5.6.7 プログラミング上の注意事項	51
5.7 シリアルインタフェース	52
5.7.1 シリアルインタフェースの構成	52
5.7.2 入出力端子仕様	53
5.7.3 転送モード	53
5.7.4 クロック源	54
5.7.5 送受信の制御	55
5.7.6 クロック同期式転送の動作	56
5.7.7 調歩同期式転送の動作	60
5.7.8 赤外線インタフェース	65
5.7.9 割り込み機能	67
5.7.10 シリアルインタフェースの制御方法	69
5.7.11 プログラミング上の注意事項	76
5.8 計時タイマ	77
5.8.1 計時タイマの構成	77
5.8.2 割り込み機能	77
5.8.3 計時タイマの制御方法	79
5.8.4 プログラミング上の注意事項	81
5.9 ストップウォッチタイマ	82
5.9.1 ストップウォッチタイマの構成	82
5.9.2 カウントアップパターン	82
5.9.3 割り込み機能	83
5.9.4 ストップウォッチタイマの制御方法	84
5.9.5 プログラミング上の注意事項	86
5.10 プログラマブルタイマ	87
5.10.1 プログラマブルタイマの構成	87
5.10.2 動作モード	88
5.10.3 入力クロックの設定	90
5.10.4 タイマの動作と制御	90
5.10.5 割り込み機能	92
5.10.6 TOUT出力の設定	94

5.10.7 シリアルインタフェースの転送速度設定	95
5.10.8 LCDドライバ用フレーム周波数の設定	95
5.10.9 プログラマブルタイマの制御方法	96
5.10.10 プログラミング上の注意事項	108
5.11 LCDドライバ	109
5.11.1 LCDドライバの構成	109
5.11.2 LCD電源	109
5.11.3 フレーム周波数	110
5.11.4 駆動デューティの切り換え	110
5.11.5 表示メモリ	114
5.11.6 表示の制御	121
5.11.7 LCDドライバの制御方法	122
5.11.8 プログラミング上の注意事項	124
5.12 電源電圧検出(SVD)回路	125
5.12.1 SVD回路の構成	125
5.12.2 SVD動作	125
5.12.3 SVD回路の制御方法	126
5.12.4 プログラミング上の注意事項	126
5.13 重負荷保護機能	127
5.13.1 重負荷保護モード	127
5.13.2 重負荷保護機能の制御	127
5.13.3 プログラミング上の注意事項	127
5.14 割り込みとスタンバイ状態	128
5.14.1 割り込み発生条件	128
5.14.2 割り込み要因フラグ	130
5.14.3 割り込みイネーブルレジスタ	131
5.14.4 割り込みプライオリティレジスタと割り込み優先レベル	132
5.14.5 例外処理ベクタ	133
5.14.6 割り込みの制御	134
5.14.7 プログラミング上の注意事項	136
6 Flash EEPROM	137
6.1 On Board Writerを用いたROMプログラミング	137
6.2 ユーザプログラムによるROMプログラミング	138
7 注意事項	139
7.1 低消費電力化のための注意事項	139
7.2 実装上の注意事項	140
8 基本外部結線図	142
9 電気的特性	143
9.1 絶対最大定格	143
9.2 推奨動作条件	143
9.3 DC特性	144
9.4 アナログ回路特性	145
9.5 消費電流	147
9.6 AC特性	148
9.7 発振特性	152
9.8 特性グラフ (参考値)	153

10 パッケージ	160
10.1 プラスチックパッケージ	160
10.2 テストサンプル用セラミックパッケージ	162
11 パッド配置	163
11.1 パッド配置図	163
11.2 パッド座標	164
Appendix A S5U1C88000P1&S5U1C88655P2 Manual (Peripheral Circuit Board for S1C8F626)	165
A.1 各部の名称と機能	165
A.2 装着方法	167
A.2.1 S5U1C88000P1へのS5U1C88655P2の装着	167
A.2.2 ICE(S5U1C88000H5)への装着	167
A.3 ターゲットシステムとの接続	168
A.4 S5U1C88000P1への回路データのダウンロード	171
A.5 使用上の注意	171
A.5.1 操作上の注意事項	171
A.5.2 実際のICとの相違点	171
A.6 製品の仕様	174
A.6.1 S5U1C88000P1の仕様	174
A.6.2 S5U1C88655P2の仕様	174
Appendix B 漢字フォントの使用について	175
Appendix C PROMプログラミング	176
C.1 PROMプログラミングツールの概要	176
C.2 PROMプログラミングの方法	177
C.2.1 PROMプログラミングシステム環境	177
C.2.2 PROMプログラミングシステムの接続	178
C.2.3 PROMプログラミング手順	179
C.2.4 PROMプログラミング結線図	183
C.2.5 On Board Writerコントロールソフトウェア	185
C.2.5.1 起動方法	185
C.2.5.2 設定	186
C.2.5.3 操作方法	187
1 LOAD(PSAファイル)	188
2 ERASE	189
3 BLANK CHECK	190
4 PROGRAM	191
5 VERIFY	192
6 READ	193
7 PROTECT	194
8 MACRO	195
9 ALL	196
10 DUMP	197
11 OPEN LOG FILE	198
12 SAVE	199
C.2.6 コマンド一覧	200
C.2.7 エラーメッセージ一覧	200
Appendix D S1C88649/650との相違点	201

1 概要

S1C8F626は8ビットCPU S1C88(MODEL3)を中心に、ワンチップ上に48K+192KバイトのFlash EEPROM、8KバイトのRAM、16ビットプログラマブルタイマ(PWM)、シリアルインタフェース、ウォッチドッグタイマ、ストップウォッチタイマ、最大96セグメント×32コモンのLCDドライバ、電源電圧検出回路等を内蔵したマイクロコンピュータです。

1.8Vの動作電圧でも8.2MHzと高速で、HALT時は2.5μAと低消費電流です。

また、本ICをターゲット基板に実装した状態で、内蔵ROMのプログラミング(消去/書き込み/検証等)が可能です。

11×12のJIS第1水準、JIS第2水準、非漢字の漢字フォントおよびユーザ外字を内蔵可能で、外付けの漢字フォント用ROMを使わずに容易に漢字を表示することができます("Appendix B 漢字フォントの使用について"参照)。

S1C8F626は電池駆動を必要とする各種コントローラへの応用に適しています。

1.1 特長

表1.1.1にS1C8F626の特長を示します。

表1.1.1 特長

コアCPU	CMOS 8ビットコアCPU S1C88 (MODEL3)		
メイン(OSC3)発振回路	水晶発振回路/セラミック発振回路 8.2MHz (Max.)、またはCR発振回路 2.2MHz (Max.)		
サブ(OSC1)発振回路	水晶発振回路 32.768kHz (Typ.)		
命令セット	608種類 (乗除算命令使用可能)		
最小命令実行時間	0.244μsec/8.2MHz (2クロック)		
内蔵ROM容量 (Flash EEPROM)	48Kバイト: プログラムROM 192Kバイト: プログラムおよびデータ(フォント)格納用ROM On Board Writerによるプログラミングが可能(各種セキュリティ設定をサポート) ユーザプログラムからの自己プログラミングが可能		
内蔵RAM容量	8Kバイト: RAM 576バイト: 表示メモリ(4608ビット/画面×2)		
入力ポート	8ビット (4ビットをPWMタイマの源振クロック入力として使用可能)		
入出力兼用ポート	24ビット (シリアルI/F、FOUT、TOUT出力と端子を兼用)		
シリアルインタフェース	2ch (クロック同期式/調歩同期式/IrDA1.0の選択が可能)		
タイマ	プログラマブルタイマ: 16ビット(8ビット×2) 4ch (PWM機能付き) 計時タイマ: 1ch ストップウォッチタイマ: 1ch		
LCDドライバ	ドットマトリクス方式 (16×16/5×8または12×12ドットフォント) 96セグメント×32、16または8コモン (1/5バイアス) LCD電源回路内蔵 (5電位昇圧タイプ)		
ウォッチドッグタイマ	内蔵		
電源電圧検出回路(SVD)	13値プログラマブル (1.8~2.7V)		
割り込み	外部割り込み: 入力割り込み 1系統 (8種類) 内部割り込み: タイマ割り込み 6系統 (23種類) シリアルインタフェース割り込み 2系統 (6種類)		
電源電圧	1.8V~3.6V(通常動作時、内部動作電圧V _{D1} =1.8V) 2.7V~3.6V(Flashプログラミング/消去時、内部動作電圧V _{D1} =2.5V)		
消費電流	SLEEP時: 1μA (Typ.) HALT時: 2.5μA (Typ.) 32kHz 水晶発振、LCD OFF 7.5μA (Typ.) 32kHz 水晶発振、LCD ON*、V _{DD} =2.5~3.6V 実行時: 10μA (Typ.) 32kHz 水晶発振、LCD OFF 1.8mA (Typ.) 8MHz セラミック発振、LCD OFF 700μA (Typ.) 2MHz CR発振、LCD OFF 15μA (Typ.) 32kHz 水晶発振、LCD ON*、V _{DD} =2.5~3.6V 28μA (Typ.) 32kHz 水晶発振、LCD ON*、V _{DD} =1.8~2.5V、電源電圧昇圧回路ON 15μA (Typ.) 32kHz 水晶発振、SVD ON		
出荷形態	チップ、VFBGA10H-240pinまたはQFP21-216pin/パッケージ		

* LCD ON時の消費電流は、LDCx = 全点灯、LCx = FH、パネル負荷なしの場合です。消費電流は表示パターン、パネル負荷によって増加します。

1.2 ブロック図

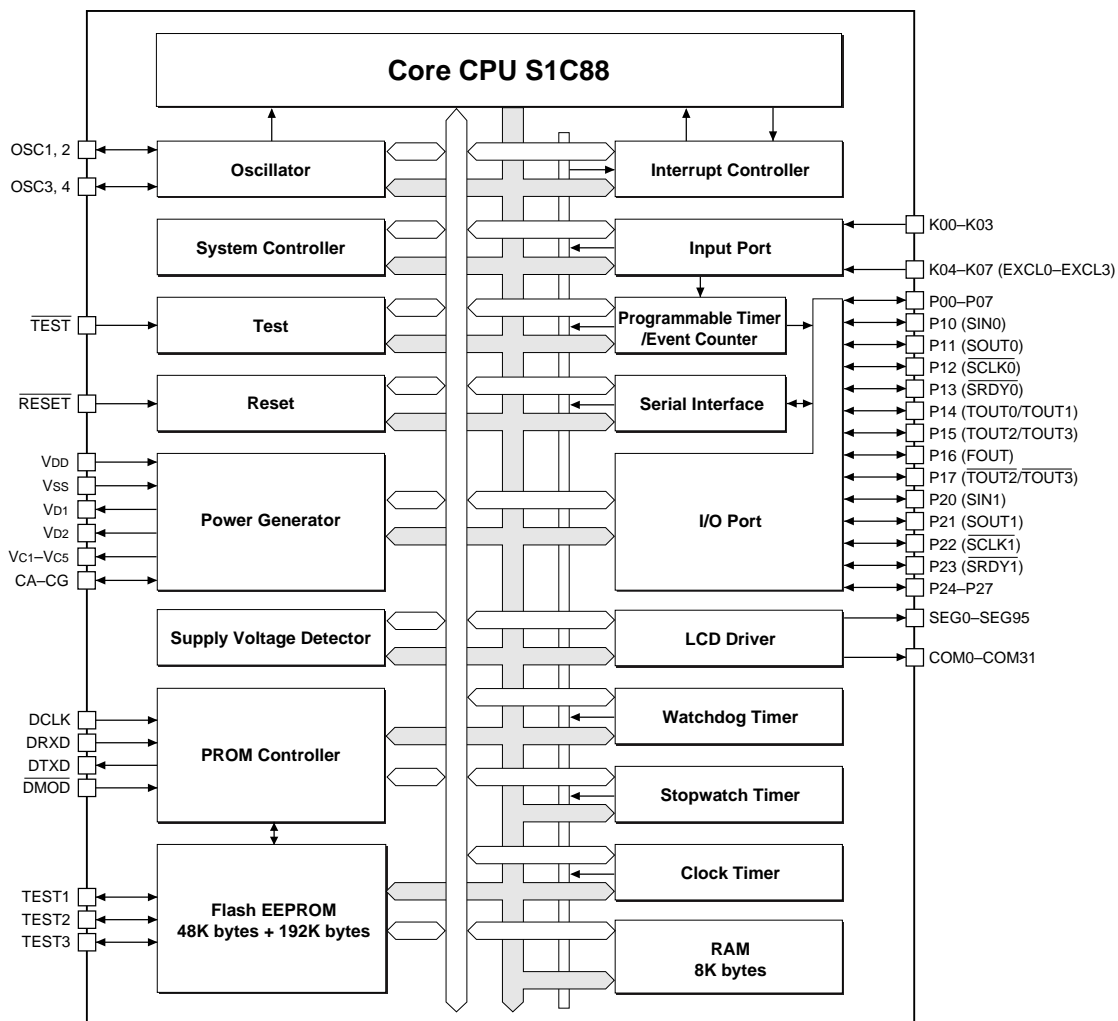


図1.2.1 S1C8F626ブロック図

1.3 端子

1.3.1 端子配置図

VFBGA10H-240pin

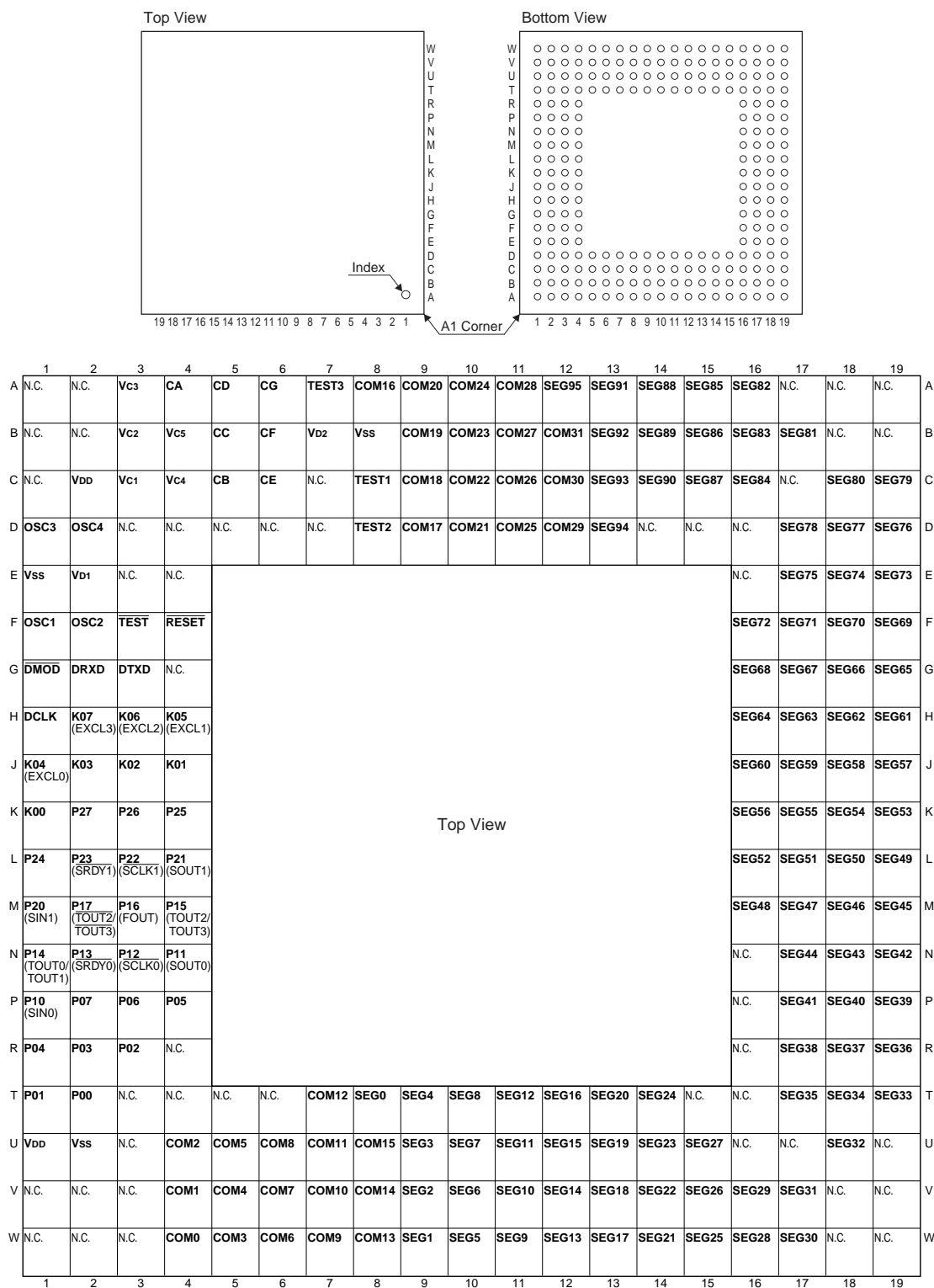
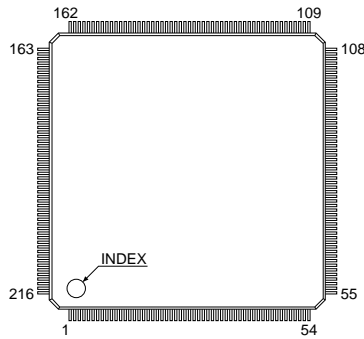


図1.3.1.1 S1C8F626端子配置図(VFBGA10H-240pin)

QFP21-216pin



No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	—	55	—	109	—	163	—
2	—	56	—	110	—	164	—
3	—	57	—	111	—	165	—
4	SEG32	58	SEG81	112	V _{DD}	166	COM0
5	SEG33	59	SEG82	113	OSC3	167	COM1
6	SEG34	60	SEG83	114	OSC4	168	COM2
7	SEG35	61	SEG84	115	V _{SS}	169	COM3
8	SEG36	62	SEG85	116	V _{D1}	170	COM4
9	SEG37	63	SEG86	117	OSC1	171	COM5
10	SEG38	64	SEG87	118	OSC2	172	COM6
11	SEG39	65	SEG88	119	TEST	173	COM7
12	SEG40	66	SEG89	120	RESET	174	COM8
13	SEG41	67	SEG90	121	D _{MOD}	175	COM9
14	SEG42	68	SEG91	122	DRXD	176	COM10
15	SEG43	69	SEG92	123	DTXD	177	COM11
16	SEG44	70	SEG93	124	DCLK	178	COM12
17	SEG45	71	SEG94	125	K07/EXCL3	179	COM13
18	SEG46	72	SEG95	126	K06/EXCL2	180	COM14
19	SEG47	73	COM31	127	K05/EXCL1	181	COM15
20	SEG48	74	COM30	128	K04/EXCL0	182	SEG0
21	SEG49	75	COM29	129	K03	183	SEG1
22	SEG50	76	COM28	130	K02	184	SEG2
23	SEG51	77	COM27	131	K01	185	SEG3
24	SEG52	78	COM26	132	K00	186	SEG4
25	SEG53	79	COM25	133	P27	187	SEG5
26	SEG54	80	COM24	134	P26	188	SEG6
27	SEG55	81	COM23	135	P25	189	SEG7
28	SEG56	82	COM22	136	P24	190	SEG8
29	SEG57	83	COM21	137	P23/SRDY1	191	SEG9
30	SEG58	84	COM20	138	P22/SCLK1	192	SEG10
31	SEG59	85	COM19	139	P21/SOUT1	193	SEG11
32	SEG60	86	COM18	140	P20/SIN1	194	SEG12
33	SEG61	87	COM17	141	P17/TOUT2/TOUT3	195	SEG13
34	SEG62	88	COM16	142	P16/FOUT	196	SEG14
35	SEG63	89	V _{SS}	143	P15/TOUT2/TOUT3	197	SEG15
36	SEG64	90	TEST1	144	P14/TOUT0/TOUT1	198	SEG16
37	SEG65	91	TEST2	145	P13/SRDY0	199	SEG17
38	SEG66	92	TEST3	146	P12/SCLK0	200	SEG18
39	SEG67	93	V _{D2}	147	P11/SOUT0	201	SEG19
40	SEG68	94	CG	148	P10/SIN0	202	SEG20
41	SEG69	95	CF	149	P07	203	SEG21
42	SEG70	96	CE	150	P06	204	SEG22
43	SEG71	97	CD	151	P05	205	SEG23
44	SEG72	98	CC	152	P04	206	SEG24
45	SEG73	99	CB	153	P03	207	SEG25
46	SEG74	100	CA	154	P02	208	SEG26
47	SEG75	101	V _{C5}	155	P01	209	SEG27
48	SEG76	102	V _{C4}	156	P00	210	SEG28
49	SEG77	103	V _{C3}	157	V _{DD}	211	SEG29
50	SEG78	104	V _{C2}	158	V _{SS}	212	SEG30
51	SEG79	105	V _{C1}	159	—	213	SEG31
52	SEG80	106	—	160	—	214	—
53	—	107	—	161	—	215	—
54	—	108	—	162	—	216	—

図1.3.1.2 S1C8F626端子配置図(QFP21-216pin)

1.3.2 端子説明

表1.3.2.1 S1C8F626端子説明

端子名	端子No. (VFBGA)	端子No. (QFP)	I/O	初期状態*3	機能
VDD	C2, U1	112, 157	—	—	電源(+)端子
VSS	B8, E1, U2	89, 115, 158	—	—	電源(GND)端子
VD1	E2	116	—	—	内部ロジックおよび発振系定電圧回路出力端子
VD2	B7	93	—	—	LCD回路用電源昇圧出力端子
VC1~VC5	C3, B3, A3, C4, B4	105~101	—	—	LCD系駆動電圧出力端子
CA~CG	A4, C5, B5, A5, C6, B6, A6	100~94	—	—	LCD/電源電圧昇圧コンデンサ接続端子
OSC1	F1	117	I	I	OSC1発振入力端子(水晶発振)
OSC2	F2	118	O	O	OSC1発振出力端子
OSC3	D1	113	I	I	OSC3発振入力端子(水晶/セラミックまたはCR発振)
OSC4	D2	114	O	O	OSC3発振出力端子
K00~K03	K1, J4, J3, J2	132~129	I	I (Pull-up)	入力ポート端子
K04 (EXCL0)	J1	128	I (I)	I (Pull-up)	入力ポート端子 (プログラマブルタイム外部クロック入力端子)
K05 (EXCL1)	H4	127	I (I)	I (Pull-up)	入力ポート端子 (プログラマブルタイム外部クロック入力端子)
K06 (EXCL2)	H3	126	I (I)	I (Pull-up)	入力ポート端子 (プログラマブルタイム外部クロック入力端子)
K07 (EXCL3)	H2	125	I (I)	I (Pull-up)	入力ポート端子 (プログラマブルタイム外部クロック入力端子)
P00~P07	T2, T1, R3, R2, R1, P4, P3, P2	156~149	I/O	I (Pull-up)	入出力兼用ポート端子
P10 (SIN0)	P1	148	I/O (I)	I (Pull-up)	入出力兼用ポート端子 (シリアル/F Ch.0データ入力端子)
P11 (SOUT0)	N4	147	I/O (O)	I (Pull-up)	入出力兼用ポート端子 (シリアル/F Ch.0データ出力端子)
P12 (SCLK0)	N3	146	I/O (I/O)	I (Pull-up)	入出力兼用ポート端子 (シリアル/F Ch.0クロック入出力端子)
P13 (SRDY0)	N2	145	I/O (O)	I (Pull-up)	入出力兼用ポート端子 (シリアル/F Ch.0レディ信号力端子)
P14 (TOUT0/TOUT1)	N1	144	I/O (O)	I (Pull-up)	入出力兼用ポート端子 (プログラマブルタイム0/1出力端子)
P15 (TOUT2/TOUT3)	M4	143	I/O (O)	I (Pull-up)	入出力兼用ポート端子 (プログラマブルタイム2/3出力端子)
P16 (FOUT)	M3	142	I/O (O)	I (Pull-up)	入出力兼用ポート端子 (FOUTクロック出力端子)
P17 (TOUT2/TOUT3)	M2	141	I/O (O)	I (Pull-up)	入出力兼用ポート端子 (プログラマブルタイム2/3反転出力端子)
P20 (SIN1)	M1	140	I/O (I)	I (Pull-up)	入出力兼用ポート端子 (シリアル/F Ch.1データ入力端子)
P21 (SOUT1)	L4	139	I/O (O)	I (Pull-up)	入出力兼用ポート端子 (シリアル/F Ch.1データ出力端子)
P22 (SCLK1)	L3	138	I/O (I/O)	I (Pull-up)	入出力兼用ポート端子 (シリアル/F Ch.1クロック入出力端子)
P23 (SRDY1)	L2	137	I/O (O)	I (Pull-up)	入出力兼用ポート端子 (シリアル/F Ch.1レディ信号力端子)
P24~P27	L1, K4, K3, K2	136~133	I/O	I (Pull-up)	入出力兼用ポート端子
COM0~COM31	*1	166~181, 88~73	O	O (L)	LCDコモン出力端子
SEG0~SEG95	*2	182~213, 4~52, 58~72	O	O (L)	LCDセグメント出力端子
DMOD	G1	121	I	I (Pull-up)	PROMプログラミング制御入力端子
DCLK	H1	124	I	I (Pull-up)	PROMプログラミングクロック入力端子
DRXD	G2	122	I	I (Pull-up)	PROMプログラミングシリアルデータ入力端子
DTXD	G3	123	O	O (H)	PROMプログラミングシリアルデータ出力端子
RESET	F4	120	I	I (Pull-up)	イニシャルセット入力端子
TEST	F3	119	I	I (Pull-up)	テスト用入力端子
TEST1~TEST3	C8, D8, A7	90~92	I/O	—	テスト端子(通常動作時はTEST1とTEST3をオープン、TEST2はVDDに接続)

*1 COM0~COM31: W4, V4, U4, W5, V5, U5, W6, V6, U6, W7, V7, U7, T7, W8, V8, U8, A8, D9, C9, B9, A9, D10, C10, B10, A10, D11, C11, B11, A11, D12, C12, B12

*2 SEG0~SEG95: T8, W9, V9, U9, T9, W10, V10, U10, T10, W11, V11, U11, T11, W12, V12, U12, T12, W13, V13, U13, T13, W14, V14, U14, T14, W15, V15, U15, W16, V16, W17, V17, U18, T19, T18, T17, R19, R18, R17, P19, P18, P17, N19, N18, N17, M19, M18, M17, M16, L19, L18, L17, L16, K19, K18, K17, K16, J19, J18, J17, J16, H19, H18, H17, H16, G19, G18, G17, G16, F19, F18, F17, F16, E19, E18, E17, D19, D18, D17, C19, C18, B17, A16, B16, C16, A15, B15, C15, A14, B14, C14, A13, B13, C13, D13, A12

*3 (Pull-up): ブルアップ, (H): HIGHレベル出力, (L): LOWレベル出力

注: S1C8F626で出力に設定したポートをハイインピーダンス状態にすることはできません。

1.4 マスクオプション

S1C8F626では、内蔵発振回路の種類を表1.4.1に示す2種類のオプション(設定1、設定2)から選択できるようになっています。

表1.4.1 S1C8F626のオプション

オプション	OSC1発振回路	OSC3発振回路
設定1	水晶	水晶/セラミック
設定2	水晶	CR

また、ICE (S5U1C88000H5)とPeripheral Circuit Board (S5U1C88000P1&S5U1C88655P2)を使用してデバッグや評価を行う場合は、表1.4.2に示すオプションをファンクションオプションジェネレータ winfogで選択し、オプションデータファイルを作成する必要があります。このオプションは、OSC1およびOSC3クロックとしてPeripheral Circuit Board上のクロックとユーザクロックのどちらを使用するか選択します。ユーザクロックを選択した場合は、Peripheral Circuit BoardコネクタのOSC1/OSC3端子から任意のクロックを入力してください。また、内部クロックを選択した場合、ICのオプション選択により、使用できる周波数が異なります。このオプションはICの動作には影響を与えません。

Peripheral Circuit Boardの詳細については本書のAppendixを、winfogについては"S5U1C88000C Manual II"を参照してください。

表1.4.2 Peripheral Circuit Boardのオプション

項 目	オプション
OSC1発振回路 (OSC1 SYSTEM CLOCK)	1. 内部クロック 2. ユーザクロック
OSC3発振回路 (OSC3 SYSTEM CLOCK)	1. 内部クロック 2. ユーザクロック

2 電源

ここでは、S1C8F626の動作電圧、および内部電源回路の構成について説明します。

2.1 動作電圧

S1C8F626の動作電源電圧は次のとおりです。

通常動作時: 1.8V ~ 3.6V

Flashプログラミング時: 2.7V ~ 3.6V

2.2 内部電源回路

S1C8F626は図2.2.1に示す電源回路を内蔵しており、前記の範囲内の電圧をVDD(+)、VSS(GND)間に供給することによって内部回路に必要なすべての電圧をIC内部で発生します。

電源回路は大きく3つに分けられます。

表2.2.1 電源回路

回路系	電源回路	出力電圧
発振回路、内部回路	内部定電圧回路	V _{D1}
LCD系定電圧回路	電源電圧昇圧回路	V _{DD} またはV _{D2}
LCDドライバ	LCD系定電圧回路	V _{C1} ~ V _{C5}

内部定電圧回路は、内部ロジック回路と発振回路の動作電圧<V_{D1}>を発生します。

V_{D1}の電圧値はプログラムで切り換えられるようになっており、通常動作時は1.8Vに、Flashプログラミング時は2.5Vに設定します。

V_{D1}電圧値の切り換えについては"5.4 発振回路と動作モード"を参照してください。

電源電圧昇圧回路は、LCD系定電圧回路の動作電圧<V_{D2}>を発生します。

電源電圧<V_{DD}>に応じて、LCD系定電圧回路の電源として、<V_{DD}>を供給するか<V_{D2}>を供給するかを選択します。

表2.2.2 LCD系定電圧回路の電源

電源電圧 V _{DD}	LCD系定電圧回路電源
1.8 ~ 2.5V	V _{D2}
2.5 ~ 3.6V	V _{DD}

V_{D2}の電圧値はV_{DD}のおおよそ2倍の値になります。詳細については"9 電気的特性"を参照してください。

LCD系定電圧回路はLCDの1/5バイアス用駆動電圧<V_{C1}>、<V_{C2}>、<V_{C3}>、<V_{C4}>、<V_{C5}>を発生します。各電圧値については"9 電気的特性"を参照してください。

S1C8F626では、内蔵されたLCDドライバにこのLCD駆動電圧が供給され、コモン/セグメント端子に接続されたLCDパネルを駆動します。

注! • V_{D1}、V_{D2}、V_{C1}、V_{C2}、V_{C3}、V_{C4}、V_{C5}端子の出力を外部回路の駆動には絶対に使用しないでください。

- V_{DD} = 2.5V以下のときにLCD系定電圧回路の電源としてV_{DD}を使用すると、V_{C1} ~ V_{C5}の電圧は正しい電圧とはなりません。

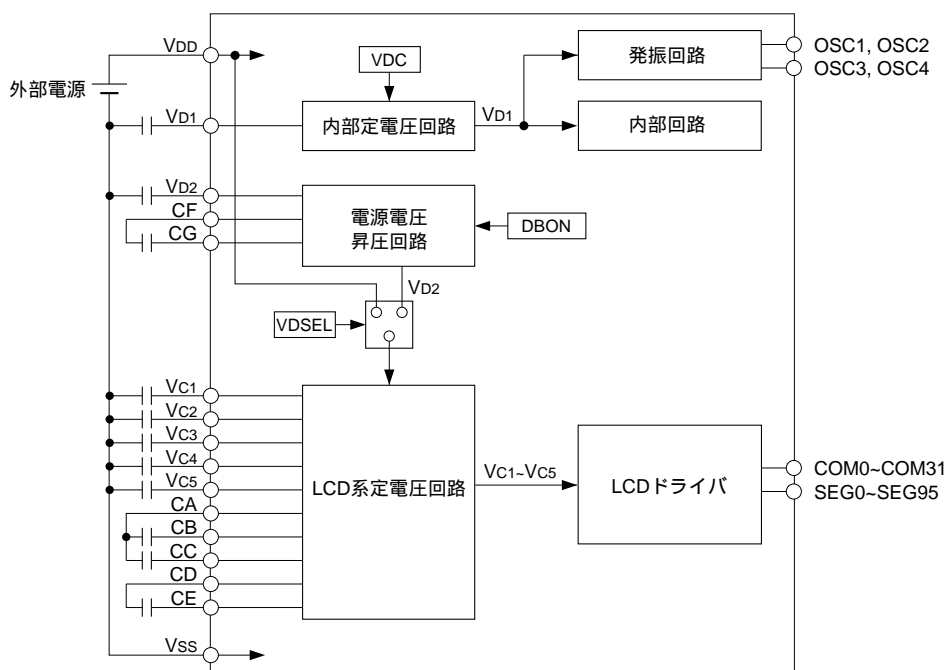


図2.2.1 電源回路の構成

3 CPU

ここでは、CPUと動作モードについて説明します。

3.1 CPU

S1C8F626はCPUとして8ビットコアCPU S1C88を使用しており、レジスタ構成、命令等は他のS1C88を使用したファミリプロセッサとほぼ同様です。S1C88については"S1C88コアCPUマニュアル"を参照してください。

使用しているS1C88のCPUモデルはMODEL3です。

3.2 内蔵メモリ

S1C8F626は図3.2.1に示すFlash EEPROMおよびRAMを内蔵しています。

03FFFFH	Flash EEPROM エリア2 (192K bytes)
010000H	
00FFFFH	I/Oメモリ
00FF00H	
00FEFFH	未使用領域
00FD60H	
00FD5FH	表示メモリ
00F800H	
00F7FFH	RAM (8K bytes)
00D800H	
00D7FFH	未使用領域
:	
00C000H	Flash EEPROM エリア1 (48K bytes)
00BFFFH	
000000H	

図3.2.1 内蔵メモリマップ

3.2.1 Flash EEPROM

S1C8F626は専用PROMプログラムによる書き込み/消去、またはユーザプログラムによる自己書き込み/消去が可能なFlash EEPROMを内蔵しています。Flash EEPROMは2つのエリアに分けられています。

エリア1: 000000H ~ 00BFFFH, 48Kバイト

このエリアはプログラムROMとして使用します。

エリア2: 010000H ~ 03FFFFH, 192Kバイト

このエリアはフォント格納用に使用します。また、フォントデータを使用しない場合は領域のすべてを、あるいはフォントデータ以外の未使用領域をプログラムおよびデータ格納用として使用することができます。

3.2.2 RAM

内蔵RAMの容量は8Kバイトで、00D800H ~ 00F7FFHに配置されています。

3.2.3 I/Oメモリ

S1C8F626では、内蔵する周辺回路とのインタフェースにメモリマップドI/O方式を採用しています。各周辺回路の制御ビットやデータレジスタはメモリ空間上に配置され、通常のメモリアクセスによって制御およびデータのやりとりが行えます。I/Oメモリが配置されている領域は00FF00H ~ 00FFFFHです。I/Oメモリの詳細については"5.1 I/Oメモリマップ"を参照してください。

3.2.4 表示メモリ

S1C8F626はLCDドライバの表示データを保持する表示メモリを内蔵しています。表示メモリが配置されている領域は00Fx00H ~ 00Fx5FH(x=8 ~ DH)です。表示メモリの詳細については"5.11 LCDドライバ"を参照してください。

3.3 例外処理ベクタ

S1C8F626ではプログラム領域の000000H～000051Hが例外処理ベクタとして割り当てられています。また、000054H～0000FFHまでは任意の偶数番地から始まる2バイトにソフトウェア割り込みのベクタを割り付けることができます。表3.3.1にベクタアドレスと例外処理要因の対応を示します。

表3.3.1 ベクタアドレスと例外処理要因の対応

ベクタ アドレス	例外処理要因	優先 順位
000000H	リセット	高い
000002H	ゼロ除算	
000004H	ウォッチドッグタイマ (NMI)	
000006H	K07入力割り込み	
000008H	K06入力割り込み	
00000AH	K05入力割り込み	
00000CH	K04入力割り込み	
00000EH	K03入力割り込み	
000010H	K02入力割り込み	
000012H	K01入力割り込み	
000014H	K00入力割り込み	
000016H	Pタイム0アンダーフロー割り込み	
000018H	Pタイム0コンペアマッチ割り込み	
00001AH	Pタイム1アンダーフロー割り込み	
00001CH	Pタイム1コンペアマッチ割り込み	
00001EH	Pタイム2アンダーフロー割り込み	
000020H	Pタイム2コンペアマッチ割り込み	
000022H	Pタイム3アンダーフロー割り込み	
000024H	Pタイム3コンペアマッチ割り込み	
000026H	システム予約 (使用不可)	
000028H	シリアルI/F Ch.0エラー割り込み	
00002AH	シリアルI/F Ch.0受信完了割り込み	
00002CH	シリアルI/F Ch.0送信完了割り込み	
00002EH	ストップウォッチタイマ100Hz割り込み	低い
000030H	ストップウォッチタイマ10Hz割り込み	
000032H	ストップウォッチタイマ1Hz割り込み	
000034H	計時タイマ32Hz割り込み	
000036H	計時タイマ8Hz割り込み	
000038H	計時タイマ2Hz割り込み	
00003AH	計時タイマ1Hz割り込み	
00003CH	Pタイム4アンダーフロー割り込み	
00003EH	Pタイム4コンペアマッチ割り込み	
000040H	Pタイム5アンダーフロー割り込み	
000042H	Pタイム5コンペアマッチ割り込み	なし
000044H	Pタイム6アンダーフロー割り込み	
000046H	Pタイム6コンペアマッチ割り込み	
000048H	Pタイム7アンダーフロー割り込み	
00004AH	Pタイム7コンペアマッチ割り込み	
00004CH	シリアルI/F Ch.1エラー割り込み	
00004EH	シリアルI/F Ch.1受信完了割り込み	
000050H	シリアルI/F Ch.1送信完了割り込み	
000052H	システム予約 (使用不可)	
000054H : 0000FEH	ソフトウェア割り込み	

各ベクタアドレスとその次のアドレスに、例外処理ルーチンの先頭アドレスを下位、上位の順に格納しておきます。例外処理要因が発生すると、設定されたアドレスから始まる例外処理ルーチンを実行します。

同時に複数の例外処理が発生した場合は優先順位の高いものから先に実行されます。

なお、表3.3.1に示された割り込みの優先順位は、割り込み優先レベルがすべて同じ場合のもので、各割り込みの優先レベルは系列ごとにソフトウェアで設定することができます。("5.14 割り込みとスタンバイ状態"参照)

注! リセット以外の例外処理ではSC(システムコンディションフラグ)およびPC(プログラムカウンタ)をスタックに退避させ、各例外処理ルーチンに分岐します。したがって、例外処理ルーチンからメインルーチンに戻す際にはRETE命令を使用してください。

例外処理要因発生時のCPUの動作については"S1C88コアCPUマニュアル"を参照してください。

3.4 CC (カスタマイズコンディションフラグ)

S1C8F626ではコアCPU内のカスタマイズコンディションフラグ(CC)を使用していません。したがって、条件付き分岐命令(JRS、CARS)の分岐条件として使用することはできません。

3.5 CPUモード

CPUの動作については、プログラミング領域に応じて、以下の2種類がソフトウェアによって選択できます。

ミニマムモード

プログラム領域は、バンク0+任意の1バンクの64Kバイト以内に設定されます。ただし、CBレジスタは任意の1バンクを設定しておく必要があります。サブルーチンコール時にCBレジスタをスタックしないため、スタック領域が節約できます。プログラム容量が小～中規模、データ容量が大規模なシステムに適しています。

マキシマムモード

プログラム領域は、64Kバイトを超える領域で使うことが可能です。ただし、64Kバイトを超える領域をアクセスするためにはCBレジスタを設定しなくてはなりません。サブルーチンコール時にCBレジスタをスタックします。プログラム容量、データ容量ともに大規模なシステムに適しています。

4 イニシャルリセット

S1C8F626は回路を初期化するためにイニシャルリセットを必要とします。

ここでは、イニシャルリセットの要因と内部レジスタ等の初期設定について説明します。

4.1 イニシャルリセット要因

S1C8F626のイニシャルリセット要因としては以下の2種類があります。

- (1) RESET端子による外部イニシャルリセット
- (2) 入力ポート(K00 ~ K03端子)の同時LOWレベル入力による外部イニシャルリセット(ソフトウェアで設定)

図4.1.1にイニシャルリセット回路の構成を示します。イニシャルリセット要因によってCPUおよび周辺回路が初期化され、要因が解除されるとCPUはリセット例外処理を開始します。("S1C88コアCPUマニュアル"参照)

これによって、バンク0先頭(000000H ~ 000001H)のリセット例外処理ベクタが読み出され、その読み出されたアドレスから始まるプログラム(初期化ルーチン)の実行を開始します。

4.1.1 RESET端子

外部からRESET端子にLOWレベルを入力することでイニシャルリセットが行えます。

S1C8F626を確実に初期化するため、電源電圧立ち上がり後規定の時間RESET端子をLOWレベルに保持してください。("9.6 AC特性"参照)

RESET端子には、プルアップ抵抗が内蔵されています。

4.1.2 入力ポート(K00 ~ K03)の同時LOWレベル入力

ソフトウェアで選択された入力ポート(K00 ~ K03)に、外部から同時にLOWレベルを入力することでイニシャルリセットが行えます。本イニシャルリセット手段は時間検定回路を内蔵しているため、65536/fosc1秒(発振周波数fosc1=32.768kHzの場合2秒)以上、指定入力ポート端子をLOWレベルに保つ必要があります。ソフトウェア(KEYR0 ~ KEYR1レジスタ)で選択できる入力ポート(K00 ~ K03)の組合せは次のとおりです。

キー同時押しリセット

- 使用しない (KEYR0 ~ KEYR1 = 0)
- K00 & K01 (KEYR0 ~ KEYR1 = 1)
- K00 & K01 & K02 (KEYR0 ~ KEYR1 = 2)
- K00 & K01 & K02 & K03 (KEYR0 ~ KEYR1 = 3)

たとえば、"K00 & K01 & K02 & K03"を選択した場合、K00 ~ K03の4ポートの入力が同時にLOWレベルになったときにイニシャルリセットがかかります。KEYR0 ~ KEYR1レジスタの詳細は"5.5 入力ポート"を参照してください。

- 注!
- キー同時押しリセット機能を使用する場合、通常動作時に指定入力ポートが同時にLOWレベルにならないように注意してください。
 - キー同時押しリセット機能はソフトウェアで有効にしますので、電源投入時のリセットには使用できません。
 - SLEEP状態では、キー同時押しリセットは使用できません。

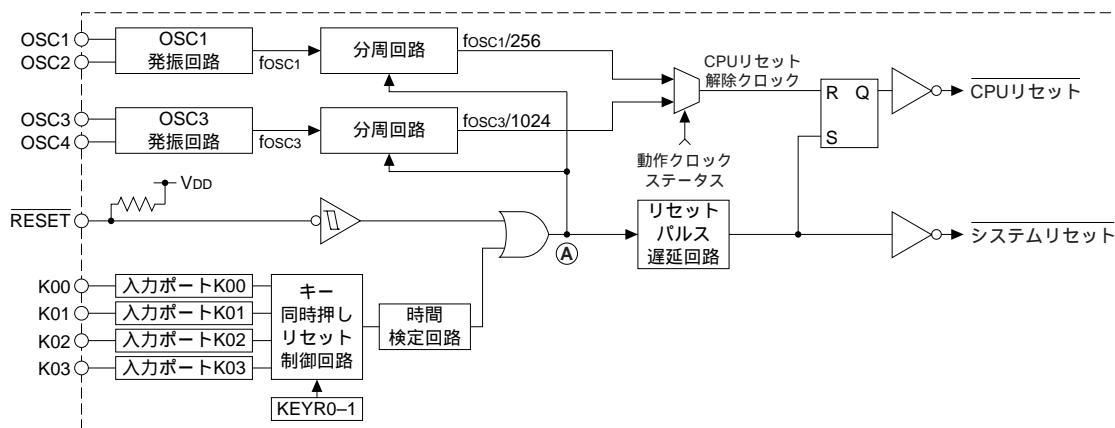


図4.1.1 イニシャルリセット回路の構成

4.1.3 イニシャルリセットシーケンス

電源投入時のRESET端子によるリセット解除後、発振安定待ち時間(512/fosc3秒)が経過するまでCPUの起動は待たされます。

図4.1.3.1にイニシャルリセット解除後の動作シーケンスを示します。

CPUはリセット解除後fosc3に同期して起動します。

注! 発振安定待ち時間には、発振開始時間は含まれていません。そのため、電源投入時やSLEEP状態解除時の命令実行までの時間は、下図よりも長くなる場合があります。

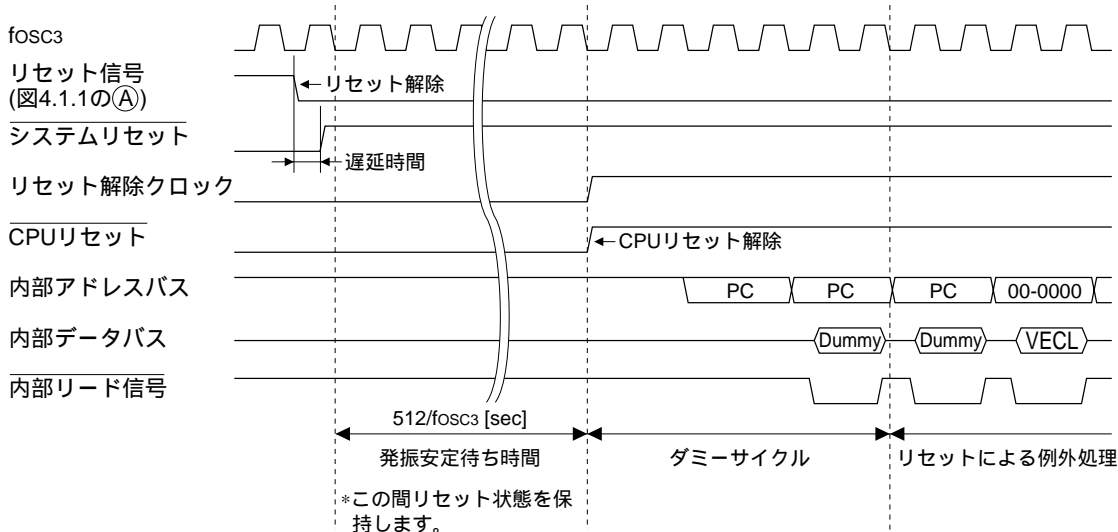


図4.1.3.1 イニシャルリセット解除後の動作シーケンス

4.2 イニシャルリセット時の初期設定

イニシャルリセットによりCPUの内部レジスタは以下のように初期化されます。

表4.2.1 初期設定値

レジスタ名称	記号	ビット長	初期値
データレジスタA	A	8	不定
データレジスタB	B	8	不定
インデックス(データ)レジスタL	L	8	不定
インデックス(データ)レジスタH	H	8	不定
インデックスレジスタIX	IX	16	不定
インデックスレジスタIY	IY	16	不定
プログラムカウンタ	PC	16	不定*
スタックポインタ	SP	16	不定
ベースレジスタ	BR	8	不定
ゼロフラグ	Z	1	0
キャリーフラグ	C	1	0
オーバーフローフラグ	V	1	0
ネガティブフラグ	N	1	0
デシマルフラグ	D	1	0
アンパックフラグ	U	1	0
インタラプトフラグ0	I0	1	1
インタラプトフラグ1	I1	1	1
ニューコードバンクレジスタ	NB	8	01H
コードバンクレジスタ	CB	8	不定*
エクスパンドページレジスタ	EP	8	00H
IX用エクスパンドページレジスタ	XP	8	00H
IY用エクスパンドページレジスタ	YP	8	00H

* リセット例外処理によって、0バンクのメモリ
の先頭(000000H～000001H)に格納されている
値がPCにロードされます。また、このとき同
時にNBの初期値01HがCBにロードされます。

イニシャルリセット時に初期化されない(不定)レジスタはソフトウェアで初期化してください。

内蔵RAMおよび表示メモリについてもイニシャルリセット時に初期化されませんので、同様にソフトウェアで初期化してください。

内蔵の周辺回路については、それぞれ所定の初期化が行われます。必要に応じてソフトウェアで初期化してください。

イニシャルリセット時の初期値については、次章のI/Oメモリマップまたは各周辺回路の説明を参照してください。

5 周辺回路と動作

S1C8F626の周辺回路はメモリマップドI/O方式でCPUとインタフェースされています。このため、他のメモリアクセスと同様にI/Oメモリを操作して周辺回路を制御することができます。以下、各周辺回路別とその動作と制御方法を説明します。

5.1 I/Oメモリマップ

表5.1.1(a) I/Oメモリマップ(00FF00H～00FF10H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF00	D7	—	—	—	—	—	—	読み出し時は"0"
	D6	CPU MOD	CPUモード	マキシマム	ミニマム	0	R/W	
	D5	—	—	—	—	—	—	読み出し時は 常時"0"
	D4	—	—	—	—	—	—	
	D3	—	—	—	—	—	—	
	D2	—	—	—	—	—	—	
	D1	—	—	—	—	—	—	
	D0	—	—	—	—	—	—	
00FF01	D7	SPP7	スタックポインタページアドレス (MSB)	1	0	0	R/W	
	D6	SPP6		1	0	0	R/W	
	D5	SPP5		1	0	0	R/W	
	D4	SPP4		1	0	0	R/W	
	D3	SPP3		1	0	0	R/W	
	D2	SPP2		1	0	0	R/W	
	D1	SPP1		1	0	0	R/W	
	D0	SPP0	(LSB)	1	0	0	R/W	
00FF02	D7	—	—	—	—	—	—	読み出し時は 常時"0"
	D6	—	—	—	—	—	—	
	D5	—	—	—	—	—	—	
	D4	—	—	—	—	—	—	
	D3	CLKCHG	CPU動作クロック切り換え	OSC3	OSC1	1	R/W	
	D2	SOSC3	OSC3発振On/Off制御	On	Off	1	R/W	
	D1	—	—	—	—	—	—	
	D0	VDC	動作モード選択	V _{D1} = 2.5V	V _{D1} = 1.8V	0	R/W	
00FF03	D7	—	—	—	—	—	—	読み出し時は 常時"0"
	D6	—	—	—	—	—	—	
	D5	—	—	—	—	—	—	
	D4	—	—	—	—	—	—	
	D3	—	—	—	—	—	—	
	D2	—	—	—	—	—	—	
	D1	VDSEL	液晶系定電圧回路用電源選択	V _{D2}	V _{DD}	0	R/W	
	D0	DBON	電源電圧昇圧回路On/Off制御	On	Off	0	R/W	
00FF10	D7	HLMOD	重負荷保護モード	On	Off	0	R/W	予約レジスタ
	D6	SEGREV	SEG出力対応反転	反転	通常	0	R/W	
	D5	—	汎用レジスタ	1	0	0	R/W	
	D4	—	汎用レジスタ	1	0	0	R/W	
	D3	—	汎用レジスタ	1	0	0	R/W	
	D2	DTFNT	LCDドットフォント選択	12×12	16×16/5×8	0	R/W	
	D1	LDUTY1	LCD駆動デューティ選択			1	R/W	
	D0	LDUTY0	LDUTY1 LDUTY0 デューティ					
			1 1 禁止					
			1 0 1/16			0	R/W	
			0 1 1/32					
			0 0 1/8					

注! アドレス00FF00Hおよび00FF01Hに任意の値をそれぞれ書き込むまで、 $\overline{\text{NMI}}$ を含めたすべての割り込みはマスクされます。

表5.1.1(b) I/Oメモリマップ(00FF11H~00FF15H)

アドレス	ビット	名称	機 能		1	0	SR	R/W	注 釈		
00FF11	D7	FRMCS	LCDフレーム周波数源振クロック選択			Pタイマ	fosc1	0	R/W	SLP命令実行時に (0, 0)にリセット	
	D6	DSPAR	LCD表示メモリ領域選択			表示領域1	表示領域0	0	R/W		
	D5	LCDC1	LCD表示制御					0	R/W		
			LCDC1	LCDC0	LCD表示						
	D4	LCDC0	1	1	全点灯			0	R/W		
			1	0	全消灯						
			0	1	通常表示						
			0	0	駆動Off						
	D3	LC3	LCDコントラスト調整					0	R/W		
D2	LC2	LC3	LC2	LC1	LC0	コントラスト		0	R/W		
		1	1	1	1	濃					
D1	LC1	1	1	1	0	:		0	R/W		
		:	:	:	:	:					
D0	LC0	0	0	0	0	淡		0	R/W		
00FF12	D7	—	—			—	—	—		読み出し時は 常時"0"	
	D6	—	—			—	—	—			
	D5	SVDDT	SVD検出データ			Low	Normal	0	R		
	D4	SVDON	SVD回路On/Off			On	Off	0	R/W		
	D3	SVDS3	SVD比較電圧設定					0	R/W		
	D2	SVDS2	SVDS3	SVDS2	SVDS1	SVDS0	電圧(V)		0		R/W
			1	1	1	1	2.7				
	D1	SVDS1	1	1	1	0	2.6		0		R/W
			1	1	0	1	2.5				
D0	SVDS0	:	:	:	:	:		0	R/W		
		0	0	1	1	1.8					
00FF14	D7	PRPRT1	プログラマブルタイマ1クロック制御			On	Off	0	R/W		
	D6	PST12	プログラマブルタイマ1分周比					0	R/W		
			PST12	PST11	PST10	(OSC3)	(OSC1)				
			1	1	1	fosc3 / 4096	fosc1 / 128				
	D5	PST11	1	1	0	fosc3 / 1024	fosc1 / 64		0		R/W
			1	0	1	fosc3 / 256	fosc1 / 32				
			1	0	0	fosc3 / 64	fosc1 / 16				
			0	1	1	fosc3 / 32	fosc1 / 8				
	D4	PST10	0	1	0	fosc3 / 8	fosc1 / 4		0		R/W
			0	0	1	fosc3 / 2	fosc1 / 2				
D3	PRPRT0	プログラマブルタイマ0クロック制御			On	Off	0	R/W			
D2	PST02	プログラマブルタイマ0分周比					0	R/W			
		PST02	PST01	PST00	(OSC3)	(OSC1)					
		1	1	1	fosc3 / 4096	fosc1 / 128					
D1	PST01	1	1	0	fosc3 / 1024	fosc1 / 64		0	R/W		
		1	0	1	fosc3 / 256	fosc1 / 32					
		1	0	0	fosc3 / 64	fosc1 / 16					
		0	1	1	fosc3 / 32	fosc1 / 8					
D0	PST00	0	1	0	fosc3 / 8	fosc1 / 4		0	R/W		
		0	0	1	fosc3 / 2	fosc1 / 2					
		0	0	0	fosc3 / 1	fosc1 / 1					
00FF15	D7	PRPRT3	プログラマブルタイマ3クロック制御			On	Off	0	R/W		
	D6	PST32	プログラマブルタイマ3分周比					0	R/W		
			PST32	PST31	PST30	(OSC3)	(OSC1)				
			1	1	1	fosc3 / 4096	fosc1 / 128				
	D5	PST31	1	1	0	fosc3 / 1024	fosc1 / 64		0		R/W
			1	0	1	fosc3 / 256	fosc1 / 32				
			1	0	0	fosc3 / 64	fosc1 / 16				
			0	1	1	fosc3 / 32	fosc1 / 8				
	D4	PST30	0	1	0	fosc3 / 8	fosc1 / 4		0		R/W
			0	0	1	fosc3 / 2	fosc1 / 2				
		0	0	0	fosc3 / 1	fosc1 / 1					
D3	PRPRT2	プログラマブルタイマ2クロック制御			On	Off	0	R/W			
D2	PST22	プログラマブルタイマ2分周比					0	R/W			
		PST22	PST21	PST20	(OSC3)	(OSC1)					
		1	1	1	fosc3 / 4096	fosc1 / 128					
D1	PST21	1	1	0	fosc3 / 1024	fosc1 / 64		0	R/W		
		1	0	1	fosc3 / 256	fosc1 / 32					
		1	0	0	fosc3 / 64	fosc1 / 16					
		0	1	1	fosc3 / 32	fosc1 / 8					
D0	PST20	0	1	0	fosc3 / 8	fosc1 / 4		0	R/W		
		0	0	1	fosc3 / 2	fosc1 / 2					
		0	0	0	fosc3 / 1	fosc1 / 1					

表5.1.1(c) I/Oメモリマップ(00FF17H~00FF1BH)

アドレス	ビット	名称	機 能		1	0	SR	R/W	注 釈	
00FF17	D7	—	—		—	—	—		読み出し時は 常時"0"	
	D6	—	—		—	—	—			
	D5	—	—		—	—	—			
	D4	—	汎用レジスタ		1	0	0	R/W	予約レジスタ	
	D3	PRTF3	プログラマブルタイマ3源振クロック選択		fosc1	fosc3	0	R/W		
	D2	PRTF2	プログラマブルタイマ2源振クロック選択		fosc1	fosc3	0	R/W		
	D1	PRTF1	プログラマブルタイマ1源振クロック選択		fosc1	fosc3	0	R/W		
	D0	PRTF0	プログラマブルタイマ0源振クロック選択		fosc1	fosc3	0	R/W		
00FF18	D7	PRPRT5	プログラマブルタイマ5クロック制御		On	Off	0	R/W		
	D6	PST52	プログラマブルタイマ5分周比 PST52 PST51 PST50 (OSC3) (OSC1)				0	R/W		
	D5	PST51	1	1	1	fosc3 / 4096	fosc1 / 128	0		R/W
			1	1	0	fosc3 / 1024	fosc1 / 64			
			1	0	1	fosc3 / 256	fosc1 / 32			
			1	0	0	fosc3 / 64	fosc1 / 16			
	D4	PST50	0	1	1	fosc3 / 32	fosc1 / 8	0		R/W
			0	1	0	fosc3 / 8	fosc1 / 4			
			0	0	1	fosc3 / 2	fosc1 / 2			
			0	0	0	fosc3 / 1	fosc1 / 1			
	D3	PRPRT4	プログラマブルタイマ4クロック制御		On	Off	0	R/W		
	D2	PST42	プログラマブルタイマ4分周比 PST42 PST41 PST40 (OSC3) (OSC1)				0	R/W		
	D1	PST41	1	1	1	fosc3 / 4096	fosc1 / 128	0		R/W
			1	1	0	fosc3 / 1024	fosc1 / 64			
			1	0	1	fosc3 / 256	fosc1 / 32			
			1	0	0	fosc3 / 64	fosc1 / 16			
	D0	PST40	0	1	1	fosc3 / 32	fosc1 / 8	0		R/W
			0	1	0	fosc3 / 8	fosc1 / 4			
			0	0	1	fosc3 / 2	fosc1 / 2			
			0	0	0	fosc3 / 1	fosc1 / 1			
00FF19	D7	PRPRT7	プログラマブルタイマ7クロック制御		On	Off	0	R/W		
	D6	PST72	プログラマブルタイマ7分周比 PST72 PST71 PST70 (OSC3) (OSC1)				0	R/W		
	D5	PST71	1	1	1	fosc3 / 4096	fosc1 / 128	0		R/W
			1	1	0	fosc3 / 1024	fosc1 / 64			
			1	0	1	fosc3 / 256	fosc1 / 32			
			1	0	0	fosc3 / 64	fosc1 / 16			
	D4	PST70	0	1	1	fosc3 / 32	fosc1 / 8	0		R/W
			0	1	0	fosc3 / 8	fosc1 / 4			
			0	0	1	fosc3 / 2	fosc1 / 2			
			0	0	0	fosc3 / 1	fosc1 / 1			
	D3	PRPRT6	プログラマブルタイマ6クロック制御		On	Off	0	R/W		
	D2	PST62	プログラマブルタイマ6分周比 PST62 PST61 PST60 (OSC3) (OSC1)				0	R/W		
	D1	PST61	1	1	1	fosc3 / 4096	fosc1 / 128	0		R/W
			1	1	0	fosc3 / 1024	fosc1 / 64			
			1	0	1	fosc3 / 256	fosc1 / 32			
			1	0	0	fosc3 / 64	fosc1 / 16			
	D0	PST60	0	1	1	fosc3 / 32	fosc1 / 8	0		R/W
			0	1	0	fosc3 / 8	fosc1 / 4			
			0	0	1	fosc3 / 2	fosc1 / 2			
			0	0	0	fosc3 / 1	fosc1 / 1			
00FF1B	D7	—	—		—	—	—		読み出し時は 常時"0"	
	D6	—	—		—	—	—			
	D5	—	—		—	—	—			
	D4	—	—		—	—	—			
	D3	PRTF7	プログラマブルタイマ7源振クロック選択		fosc1	fosc3	0	R/W		
	D2	PRTF6	プログラマブルタイマ6源振クロック選択		fosc1	fosc3	0	R/W		
	D1	PRTF5	プログラマブルタイマ5源振クロック選択		fosc1	fosc3	0	R/W		
	D0	PRTF4	プログラマブルタイマ4源振クロック選択		fosc1	fosc3	0	R/W		

表5.1.1(d) I/Oメモリマップ(00FF20H~00FF25H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF20	D7	PK01	K00~K07割り込み	PK01 PK00 PSIF01 PSIF00 PSW1 PSW0 優先 PTM1 PTM0 レベル 1 1 レベル3 1 0 レベル2 0 1 レベル1 0 0 レベル0		0	R/W	
	D6	PK00	プライオリティレジスタ			0	R/W	
	D5	PSIF01	シリアルインタフェース0割り込み			0	R/W	
	D4	PSIF00	プライオリティレジスタ			0	R/W	
	D3	PSW1	ストップウォッチタイマ割り込み			0	R/W	
	D2	PSW0	プライオリティレジスタ			0	R/W	
	D1	PTM1	計時タイマ割り込み			0	R/W	
	D0	PTM0	プライオリティレジスタ			0	R/W	
00FF21	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	PPT3	プログラマブルタイマ3-2割り込み	PPT3 PPT2 優先 PPT1 PPT0 レベル PSIF11 PSIF10 レベル3 1 1 レベル2 1 0 レベル1 0 1 レベル0 0 0		0	R/W	
	D4	PPT2	プライオリティレジスタ			0	R/W	
	D3	PPT1	プログラマブルタイマ1-0割り込み			0	R/W	
	D2	PPT0	プライオリティレジスタ			0	R/W	
	D1	PSIF11	シリアルインタフェース1割り込み			0	R/W	
	D0	PSIF10	プライオリティレジスタ			0	R/W	
00FF22	D7	—	—	—	—	—		読み出し時は"0"
	D6	ESW100	ストップウォッチ100Hz割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W	
	D5	ESW10	ストップウォッチ10Hz割り込みイネーブル			0	R/W	
	D4	ESW1	ストップウォッチ1Hz割り込みイネーブル			0	R/W	
	D3	ETM32	計時タイマ32Hz割り込みイネーブル			0	R/W	
	D2	ETM8	計時タイマ8Hz割り込みイネーブル			0	R/W	
	D1	ETM2	計時タイマ2Hz割り込みイネーブル			0	R/W	
	D0	ETM1	計時タイマ1Hz割り込みイネーブル			0	R/W	
00FF23	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	ESERR1	シリアルI/F1(エラー)割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W	
	D4	ESREC1	シリアルI/F1(受信)割り込みイネーブル			0	R/W	
	D3	ESTRA1	シリアルI/F1(送信)割り込みイネーブル			0	R/W	
	D2	ESERR0	シリアルI/F0(エラー)割り込みイネーブル			0	R/W	
	D1	ESREC0	シリアルI/F0(受信)割り込みイネーブル			0	R/W	
	D0	ESTRA0	シリアルI/F0(送信)割り込みイネーブル			0	R/W	
00FF24	D7	EK07	K07割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W	
	D6	EK06	K06割り込みイネーブル			0	R/W	
	D5	EK05	K05割り込みイネーブル			0	R/W	
	D4	EK04	K04割り込みイネーブル			0	R/W	
	D3	EK03	K03割り込みイネーブル			0	R/W	
	D2	EK02	K02割り込みイネーブル			0	R/W	
	D1	EK01	K01割り込みイネーブル			0	R/W	
	D0	EK00	K00割り込みイネーブル			0	R/W	
00FF25	D7	ETC3	PTM3コンペアマッチ割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W	
	D6	ETU3	PTM3アンダーフロー割り込みイネーブル			0	R/W	
	D5	ETC2	PTM2コンペアマッチ割り込みイネーブル			0	R/W	
	D4	ETU2	PTM2アンダーフロー割り込みイネーブル			0	R/W	
	D3	ETC1	PTM1コンペアマッチ割り込みイネーブル			0	R/W	
	D2	ETU1	PTM1アンダーフロー割り込みイネーブル			0	R/W	
	D1	ETC0	PTM0コンペアマッチ割り込みイネーブル			0	R/W	
	D0	ETU0	PTM0アンダーフロー割り込みイネーブル			0	R/W	

表5.1.1(e) I/Oメモリマップ(00FF26H ~ 00FF2CH)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈	
00FF26	D7	—	—	—	—	—		読み出し時は"0"	
	D6	FSW100	ストップウォッチ100Hz割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W		
	D5	FSW10	ストップウォッチ10Hz割り込み要因フラグ						
	D4	FSW1	ストップウォッチ1Hz割り込み要因フラグ						
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ	(W) リセット	(W) 無効				
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ						
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ						
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ						
00FF27	D7	—	—	—	—				—
	D6	—	—	—	—	—		常時"0"	
	D5	FSERR1	シリアル/F1(エラー)割り込み要因フラグ	(R)	(R)	0	R/W		
	D4	FSREC1	シリアル/F1(受信)割り込み要因フラグ	割り込み	割り込み				
	D3	FSTRA1	シリアル/F1(送信)割り込み要因フラグ	要因あり	要因なし				
	D2	FSERR0	シリアル/F0(エラー)割り込み要因フラグ	(W)	(W)				
	D1	FSREC0	シリアル/F0(受信)割り込み要因フラグ	リセット	無効				
	D0	FSTRA0	シリアル/F0(送信)割り込み要因フラグ						
00FF28	D7	FK07	K07割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし				0
	D6	FK06	K06割り込み要因フラグ						
	D5	FK05	K05割り込み要因フラグ						
	D4	FK04	K04割り込み要因フラグ	(W) リセット	(W) 無効				
	D3	FK03	K03割り込み要因フラグ						
	D2	FK02	K02割り込み要因フラグ						
	D1	FK01	K01割り込み要因フラグ						
	D0	FK00	K00割り込み要因フラグ						
00FF29	D7	FTC3	PTM3コンペアマッチ割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W		
	D6	FTU3	PTM3アンダーフロー割り込み要因フラグ						
	D5	FTC2	PTM2コンペアマッチ割り込み要因フラグ						
	D4	FTU2	PTM2アンダーフロー割り込み要因フラグ	(W) リセット	(W) 無効				
	D3	FTC1	PTM1コンペアマッチ割り込み要因フラグ						
	D2	FTU1	PTM1アンダーフロー割り込み要因フラグ						
	D1	FTC0	PTM0コンペアマッチ割り込み要因フラグ						
	D0	FTU0	PTM0アンダーフロー割り込み要因フラグ						
00FF2A	D7	—	—	—	—	—		読み出し時は	
	D6	—	—	—	—	—		常時"0"	
	D5	—	—	—	—	—			
	D4	—	—	—	—	—			
	D3	PPT7	プログラマブルタイマ7-6割り込み	PPT7	PPT6	優先	0	R/W	
	D2	PPT6	プライオリティレジスタ	PPT5	PPT4	レベル			
	D1	PPT5	プログラマブルタイマ5-4割り込み	1	1	レベル3	0	R/W	
	D0	PPT4	プライオリティレジスタ	0	1	レベル2			
00FF2C	D7	ETC7	PTM7コンペアマッチ割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W		
	D6	ETU7	PTM7アンダーフロー割り込みイネーブル						
	D5	ETC6	PTM6コンペアマッチ割り込みイネーブル						
	D4	ETU6	PTM6アンダーフロー割り込みイネーブル						
	D3	ETC5	PTM5コンペアマッチ割り込みイネーブル						
	D2	ETU5	PTM5アンダーフロー割り込みイネーブル						
	D1	ETC4	PTM4コンペアマッチ割り込みイネーブル						
	D0	ETU4	PTM4アンダーフロー割り込みイネーブル						

表5.1.1(f) I/Oメモリマップ(00FF2EH~00FF34H)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈		
00FF2E	D7	FTC7	PTM7コンペアマッチ割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W			
	D6	FTU7	PTM7アンダーフロー割り込み要因フラグ							
	D5	FTC6	PTM6コンペアマッチ割り込み要因フラグ							
	D4	FTU6	PTM6アンダーフロー割り込み要因フラグ							
	D3	FTC5	PTM5コンペアマッチ割り込み要因フラグ	(W) リセット	(W) 無効					
	D2	FTU5	PTM5アンダーフロー割り込み要因フラグ							
	D1	FTC4	PTM4コンペアマッチ割り込み要因フラグ							
	D0	FTU4	PTM4アンダーフロー割り込み要因フラグ							
00FF30	D7	MODE16_A	PTM0-1 8/16ビットモード選択	16ビット×1	8ビット×2	0	R/W			
	D6	PTNREN_A	外部クロック0ノイズリジェクタ選択	有効	無効	0	R/W			
	D5	—	—	—	—	—			読み出し時は"0"	
	D4	—	汎用レジスタ	1	0	0	R/W		予約レジスタ	
	D3	PTOUT0	PTM0クロック出力制御	On	Off	0	R/W			
	D2	PTRUN0	PTM0 Run/Stop制御	Run	Stop	0	R/W			
	D1	PSET0	PTM0プリセット	プリセット	無効	0	W			読み出し時は"0"
	D0	CKSEL0	PTM0入力クロック選択	外部クロック	内部クロック	0	R/W			
00FF31	D7	—	—	—	—	—		読み出し時は 常時"0"		
	D6	—	—	—	—	—				
	D5	—	—	—	—	—				
	D4	—	汎用レジスタ	1	0	0	R/W	予約レジスタ		
	D3	PTOUT1	PTM1クロック出力制御	On	Off	0	R/W			
	D2	PTRUN1	PTM1 Run/Stop制御	Run	Stop	0	R/W			
	D1	PSET1	PTM1プリセット	プリセット	無効	0	W		読み出し時は"0"	
	D0	CKSEL1	PTM1入力クロック選択	外部クロック	内部クロック	0	R/W			
00FF32	D7	RDR07	PTM0リロードデータD7 (MSB)	High	Low	1	R/W			
	D6	RDR06	PTM0リロードデータD6							
	D5	RDR05	PTM0リロードデータD5							
	D4	RDR04	PTM0リロードデータD4							
	D3	RDR03	PTM0リロードデータD3							
	D2	RDR02	PTM0リロードデータD2							
	D1	RDR01	PTM0リロードデータD1							
	D0	RDR00	PTM0リロードデータD0 (LSB)							
00FF33	D7	RDR17	PTM1リロードデータD7 (MSB)	High	Low	1	R/W			
	D6	RDR16	PTM1リロードデータD6							
	D5	RDR15	PTM1リロードデータD5							
	D4	RDR14	PTM1リロードデータD4							
	D3	RDR13	PTM1リロードデータD3							
	D2	RDR12	PTM1リロードデータD2							
	D1	RDR11	PTM1リロードデータD1							
	D0	RDR10	PTM1リロードデータD0 (LSB)							
00FF34	D7	CDR07	PTM0コンペアデータD7 (MSB)	High	Low	0	R/W			
	D6	CDR06	PTM0コンペアデータD6							
	D5	CDR05	PTM0コンペアデータD5							
	D4	CDR04	PTM0コンペアデータD4							
	D3	CDR03	PTM0コンペアデータD3							
	D2	CDR02	PTM0コンペアデータD2							
	D1	CDR01	PTM0コンペアデータD1							
	D0	CDR00	PTM0コンペアデータD0 (LSB)							

表5.1.1(g) I/Oメモリマップ(00FF35H ~ 00FF3AH)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF35	D7	CDR17	PTM1コンペアデータD7 (MSB)	High	Low	0	R/W	
	D6	CDR16	PTM1コンペアデータD6					
	D5	CDR15	PTM1コンペアデータD5					
	D4	CDR14	PTM1コンペアデータD4					
	D3	CDR13	PTM1コンペアデータD3					
	D2	CDR12	PTM1コンペアデータD2					
	D1	CDR11	PTM1コンペアデータD1					
	D0	CDR10	PTM1コンペアデータD0 (LSB)					
00FF36	D7	PTM07	PTM0データD7 (MSB)	High	Low	1	R	
	D6	PTM06	PTM0データD6					
	D5	PTM05	PTM0データD5					
	D4	PTM04	PTM0データD4					
	D3	PTM03	PTM0データD3					
	D2	PTM02	PTM0データD2					
	D1	PTM01	PTM0データD1					
	D0	PTM00	PTM0データD0 (LSB)					
00FF37	D7	PTM17	PTM1データD7 (MSB)	High	Low	1	R	
	D6	PTM16	PTM1データD6					
	D5	PTM15	PTM1データD5					
	D4	PTM14	PTM1データD4					
	D3	PTM13	PTM1データD3					
	D2	PTM12	PTM1データD2					
	D1	PTM11	PTM1データD1					
	D0	PTM10	PTM1データD0 (LSB)					
00FF38	D7	MODE16_B	PTM2-3 8/16ビットモード選択	16ビット×1	8ビット×2	0	R/W	読み出し時は"0"
	D6	PTNREN_B	外部クロック1ノイズリジェクタ選択	有効	無効	0	R/W	
	D5	—	—	—	—	—		
	D4	RPTOUT2	PTM2反転クロック出力制御	On	Off	0	R/W	
	D3	PTOUT2	PTM2クロック出力制御	On	Off	0	R/W	
	D2	PTRUN2	PTM2 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET2	PTM2プリセット	プリセット	無効	0	W	
	D0	CKSEL2	PTM2入力クロック選択	外部クロック	内部クロック	0	R/W	
00FF39	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	RPTOUT3	PTM3反転クロック出力制御	On	Off	0	R/W	読み出し時は"0"
	D3	PTOUT3	PTM3クロック出力制御	On	Off	0	R/W	
	D2	PTRUN3	PTM3 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET3	PTM3プリセット	プリセット	無効	0	W	
	D0	CKSEL3	PTM3入力クロック選択	外部クロック	内部クロック	0	R/W	
00FF3A	D7	RDR27	PTM2リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RDR26	PTM2リロードデータD6					
	D5	RDR25	PTM2リロードデータD5					
	D4	RDR24	PTM2リロードデータD4					
	D3	RDR23	PTM2リロードデータD3					
	D2	RDR22	PTM2リロードデータD2					
	D1	RDR21	PTM2リロードデータD1					
	D0	RDR20	PTM2リロードデータD0 (LSB)					

表5.1.1(h) I/Oメモリマップ(00FF3BH ~ 00FF40H)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈																																		
00FF3B	D7	RDR37	PTM3リロードデータD7 (MSB)	High	Low	1	R/W																																			
	D6	RDR36	PTM3リロードデータD6																																							
	D5	RDR35	PTM3リロードデータD5																																							
	D4	RDR34	PTM3リロードデータD4																																							
	D3	RDR33	PTM3リロードデータD3																																							
	D2	RDR32	PTM3リロードデータD2																																							
	D1	RDR31	PTM3リロードデータD1																																							
	D0	RDR30	PTM3リロードデータD0 (LSB)																																							
00FF3C	D7	CDR27	PTM2コンペアデータD7 (MSB)	High	Low	0	R/W																																			
	D6	CDR26	PTM2コンペアデータD6																																							
	D5	CDR25	PTM2コンペアデータD5																																							
	D4	CDR24	PTM2コンペアデータD4																																							
	D3	CDR23	PTM2コンペアデータD3																																							
	D2	CDR22	PTM2コンペアデータD2																																							
	D1	CDR21	PTM2コンペアデータD1																																							
	D0	CDR20	PTM2コンペアデータD0 (LSB)																																							
00FF3D	D7	CDR37	PTM3コンペアデータD7 (MSB)	High	Low	0	R/W																																			
	D6	CDR36	PTM3コンペアデータD6																																							
	D5	CDR35	PTM3コンペアデータD5																																							
	D4	CDR34	PTM3コンペアデータD4																																							
	D3	CDR33	PTM3コンペアデータD3																																							
	D2	CDR32	PTM3コンペアデータD2																																							
	D1	CDR31	PTM3コンペアデータD1																																							
	D0	CDR30	PTM3コンペアデータD0 (LSB)																																							
00FF3E	D7	PTM27	PTM2データD7 (MSB)	High	Low	1	R																																			
	D6	PTM26	PTM2データD6																																							
	D5	PTM25	PTM2データD5																																							
	D4	PTM24	PTM2データD4																																							
	D3	PTM23	PTM2データD3																																							
	D2	PTM22	PTM2データD2																																							
	D1	PTM21	PTM2データD1																																							
	D0	PTM20	PTM2データD0 (LSB)																																							
00FF3F	D7	PTM37	PTM3データD7 (MSB)	High	Low	1	R																																			
	D6	PTM36	PTM3データD6																																							
	D5	PTM35	PTM3データD5																																							
	D4	PTM34	PTM3データD4																																							
	D3	PTM33	PTM3データD3																																							
	D2	PTM32	PTM3データD2																																							
	D1	PTM31	PTM3データD1																																							
	D0	PTM30	PTM3データD0 (LSB)																																							
00FF40	D7	WDEN	ウォッチドッグタイミネーブル	有効	無効	1	R/W																																			
	D6	FOUT2	FOUT周波数選択			0	R/W																																			
			<table><tr><td>FOUT2</td><td>FOUT1</td><td>FOUT0</td><td>周波数</td></tr><tr><td>1</td><td>1</td><td>1</td><td>fosc3 / 8</td></tr><tr><td>1</td><td>1</td><td>0</td><td>fosc3 / 4</td></tr><tr><td>1</td><td>0</td><td>1</td><td>fosc3 / 2</td></tr><tr><td>1</td><td>0</td><td>0</td><td>fosc3 / 1</td></tr><tr><td>0</td><td>1</td><td>1</td><td>fosc1 / 8</td></tr><tr><td>0</td><td>1</td><td>0</td><td>fosc1 / 4</td></tr><tr><td>0</td><td>0</td><td>1</td><td>fosc1 / 2</td></tr><tr><td>0</td><td>0</td><td>0</td><td>fosc1 / 1</td></tr></table>			FOUT2	FOUT1		FOUT0	周波数	1	1	1	fosc3 / 8	1	1	0	fosc3 / 4	1	0	1	fosc3 / 2	1	0	0	fosc3 / 1	0	1	1	fosc1 / 8	0	1	0	fosc1 / 4	0	0	1	fosc1 / 2	0	0	0	fosc1 / 1
			FOUT2			FOUT1	FOUT0		周波数																																	
			1			1	1		fosc3 / 8																																	
			1			1	0		fosc3 / 4																																	
			1			0	1		fosc3 / 2																																	
	1	0	0	fosc3 / 1																																						
	0	1	1	fosc1 / 8																																						
	0	1	0	fosc1 / 4																																						
	0	0	1	fosc1 / 2																																						
	0	0	0	fosc1 / 1																																						
D5	FOUT1	<table><tr><td>1</td><td>1</td><td>0</td><td>fosc3 / 4</td></tr><tr><td>1</td><td>0</td><td>1</td><td>fosc3 / 2</td></tr><tr><td>1</td><td>0</td><td>0</td><td>fosc3 / 1</td></tr></table>	1	1	0	fosc3 / 4	1	0	1	fosc3 / 2	1	0	0	fosc3 / 1																												
		1	1	0	fosc3 / 4																																					
		1	0	1	fosc3 / 2																																					
1	0	0	fosc3 / 1																																							
D4	FOUT0	<table><tr><td>0</td><td>1</td><td>1</td><td>fosc1 / 8</td></tr><tr><td>0</td><td>1</td><td>0</td><td>fosc1 / 4</td></tr><tr><td>0</td><td>0</td><td>1</td><td>fosc1 / 2</td></tr><tr><td>0</td><td>0</td><td>0</td><td>fosc1 / 1</td></tr></table>	0	1	1	fosc1 / 8	0	1	0	fosc1 / 4	0	0	1	fosc1 / 2	0	0	0	fosc1 / 1																								
		0	1	1	fosc1 / 8																																					
		0	1	0	fosc1 / 4																																					
0	0	1	fosc1 / 2																																							
0	0	0	fosc1 / 1																																							
D3	FOUTON	FOUT出力制御	On	Off	0	R/W																																				
D2	WDRST	ウォッチドッグタイマリセット	リセット	無効	－	W	読み出し時は																																			
D1	TMRST	計時タイマリセット	リセット	無効	－	W	常時"0"																																			
D0	TMRUN	計時タイマRun/Stop制御	Run	Stop	0	R/W																																				

表5.1.1(i) I/Oメモリマップ(00FF41H ~ 00FF49H)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF41	D7	TMD7	計時タイマデータ 1Hz	High	Low	0	R	
	D6	TMD6	計時タイマデータ 2Hz					
	D5	TMD5	計時タイマデータ 4Hz					
	D4	TMD4	計時タイマデータ 8Hz					
	D3	TMD3	計時タイマデータ 16Hz					
	D2	TMD2	計時タイマデータ 32Hz					
	D1	TMD1	計時タイマデータ 64Hz					
	D0	TMD0	計時タイマデータ 128Hz					
00FF42	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	SWRST	ストップウォッチタイマリセット	リセット	無効	—	W	
	D0	SWRUN	ストップウォッチタイマRun/Stop制御	Run	Stop	0	R/W	
00FF43	D7	SWD7	ストップウォッチタイマデータ			0	R	
	D6	SWD6	BCD (1/10sec)					
	D5	SWD5						
	D4	SWD4	ストップウォッチタイマデータ					
	D3	SWD3						
	D2	SWD2						
	D1	SWD1	BCD (1/100sec)					
	D0	SWD0						
00FF48	D7	—	—	—	—	—		読み出し時は"0"
	D6	EPR0	シリアルI/F0パリティイネーブルレジスタ	パリティ付き	パリティなし	0	R/W	調歩同期式のみ
	D5	PMD0	シリアルI/F0パリティモード選択	奇数	偶数	0	R/W	
	D4	SCS01	シリアルI/F0クロック源選択			0	R/W	クロック同期式 スレーブモード では外部クロック が選択される
			SCS01 SCS00 クロック源					
			1 1 プログラマブルタイマ1					
			1 0 fosc3 / 4					
	D3	SCS00	1 0 fosc3 / 4			0	R/W	
			0 1 fosc3 / 8					
			0 0 fosc3 / 16					
	D2	SMD01	シリアルI/F0モード選択			0	R/W	
	SMD01 SMD00 モード							
	1 1 調歩同期式8ビット							
1 0 調歩同期式7ビット								
D1	SMD00	0 1 クロック同期式スレーブ			0	R/W		
		0 0 クロック同期式マスタ						
		0 0 クロック同期式マスタ						
D0	ESIF0	シリアルI/F0イネーブルレジスタ	シリアルI/F	I/Oポート	0	R/W		
00FF49	D7	—	—	—	—	—		読み出し時は"0"
	D6	FER0	シリアルI/F0	R エラー	エラーなし	0	R/W	調歩同期式のみ
			フレーミングエラーフラグ	W リセット(0)	無効			
	D5	PER0	シリアルI/F0	R エラー	エラーなし	0	R/W	
			パリティエラーフラグ	W リセット(0)	無効			
	D4	OER0	シリアルI/F0	R エラー	エラーなし	0	R/W	
			オーバーランエラーフラグ	W リセット(0)	無効			
	D3	RXTRG0	シリアルI/F0受信トリガ/ステータス	R 受信中	停止中	0	R/W	
				W トリガ	無効			
	D2	RXEN0	シリアルI/F0受信許可	許可	禁止	0	R/W	
D1	TXTRG0	シリアルI/F0送信トリガ/ステータス	R 送信中	停止中	0	R/W		
			W トリガ	無効				
D0	TXEN0	シリアルI/F0送信許可	許可	禁止	0	R/W		

表5.1.1(j) I/Oメモリマップ(00FF4AH ~ 00FF4EH)

アドレス	ビット	名称	機 能		1	0	SR	R/W	注 釈
00FF4A	D7	TRXD07	シリアルI/F0送受信データD7 (MSB)		High	Low	X	R/W	読み出し時: 受信データ 書き込み時: 送信データ
	D6	TRXD06	シリアルI/F0送受信データD6				X	R/W	
	D5	TRXD05	シリアルI/F0送受信データD5				X	R/W	
	D4	TRXD04	シリアルI/F0送受信データD4				X	R/W	
	D3	TRXD03	シリアルI/F0送受信データD3				X	R/W	
	D2	TRXD02	シリアルI/F0送受信データD2				X	R/W	
	D1	TRXD01	シリアルI/F0送受信データD1				X	R/W	
	D0	TRXD00	シリアルI/F0送受信データD0 (LSB)				X	R/W	
00FF4B	D7	IRTL0	SI/F0 IrDAインタフェース出力論理反転		反転	反転なし	0	R/W	読み出し時は"0"
	D6	IRIL0	SI/F0 IrDAインタフェース入力論理反転		反転	反転なし	0	R/W	
	D5	—	—		—	—	—	—	
	D4	IRST0	SI/F0 IrDAインタフェース設定		IrDA	通常	0	R/W	
	D3	—	—		—	—	—	—	
	D2	—	—		—	—	—	—	
	D1	STPB0	シリアルI/F0ストップビット選択		2ビット	1ビット	0	R/W	
	D0	SDP0	シリアルI/F0データ入出力順列選択		MSB先頭	LSB先頭	0	R/W	
00FF4C	D7	—	—		—	—	—	—	読み出し時は"0"
	D6	EPR1	シリアルI/F1パリティイネーブルレジスタ		パリティ付き	パリティなし	0	R/W	調歩同期式のみ
	D5	PMD1	シリアルI/F1パリティモード選択		奇数	偶数	0	R/W	クロック同期式 スレープモード では外部クロック が選択される
	D4	SCS11	シリアルI/F1クロック源選択				0	R/W	
			<div>SCS11 SCS10 クロック源</div>						
			1 1 プログラマブルタイマ7						
			1 0 fosc3 / 4						
	D3	SCS10	0 1 fosc3 / 8				0	R/W	
			0 0 fosc3 / 16						
D2	SMD11	シリアルI/F1モード選択				0	R/W		
<div>SMD11 SMD10 モード</div>									
1 1 調歩同期式8ビット									
1 0 調歩同期式7ビット									
D1	SMD10	0 1 クロック同期式スレープ				0	R/W		
		0 0 クロック同期式マスタ							
D0	ESIF1	シリアルI/F1イネーブルレジスタ		シリアルI/F	I/Oポート	0	R/W		
00FF4D	D7	—	—		—	—	—	—	読み出し時は"0"
	D6	FER1	シリアルI/F1	R	エラー	エラーなし	0	R/W	調歩同期式のみ
			フレーミングエラーフラグ	W	リセット(0)	無効			
	D5	PER1	シリアルI/F1	R	エラー	エラーなし	0	R/W	
			パリティエラーフラグ	W	リセット(0)	無効			
	D4	OER1	シリアルI/F1	R	エラー	エラーなし	0	R/W	
			オーバーランエラーフラグ	W	リセット(0)	無効			
	D3	RXTRG1	シリアルI/F1受信トリガ/ステータス	R	受信中	停止中	0	R/W	
				W	トリガ	無効			
	D2	RXEN1	シリアルI/F1受信許可		許可	禁止	0	R/W	
D1	TXTRG1	シリアルI/F1送信トリガ/ステータス	R	送信中	停止中	0	R/W		
			W	トリガ	無効				
D0	TXEN1	シリアルI/F1送信許可		許可	禁止	0	R/W		
00FF4E	D7	TRXD17	シリアルI/F1送受信データD7 (MSB)		High	Low	X	R/W	読み出し時: 受信データ 書き込み時: 送信データ
	D6	TRXD16	シリアルI/F1送受信データD6				X	R/W	
	D5	TRXD15	シリアルI/F1送受信データD5				X	R/W	
	D4	TRXD14	シリアルI/F1送受信データD4				X	R/W	
	D3	TRXD13	シリアルI/F1送受信データD3				X	R/W	
	D2	TRXD12	シリアルI/F1送受信データD2				X	R/W	
	D1	TRXD11	シリアルI/F1送受信データD1				X	R/W	
	D0	TRXD10	シリアルI/F1送受信データD0 (LSB)				X	R/W	

表5.1.1(k) I/Oメモリマップ(00FF4FH ~ 00FF58H)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF4F	D7	IRTL1	SI/F1 IrDAインタフェース出力論理反転	反転	反転なし	0	R/W	
	D6	IRIL1	SI/F1 IrDAインタフェース入力論理反転	反転	反転なし	0	R/W	
	D5	—	—	—	—	—	—	読み出し時は"0"
	D4	IRST1	SI/F1 IrDAインタフェース設定	IrDA	通常	0	R/W	
	D3	—	—	—	—	—	—	読み出し時は
	D2	—	—	—	—	—	—	常時"0"
	D1	STPB1	シリアルI/F1ストップビット選択	2ビット	1ビット	0	R/W	
	D0	SDP1	シリアルI/F1データ入出力順列選択	MSB先頭	LSB先頭	0	R/W	
00FF52	D7	KCP07	K07入力比較レジスタ	立ち下がり エッジで 割り込み 発生	立ち上がり エッジで 割り込み 発生	1	R/W	
	D6	KCP06	K06入力比較レジスタ					
	D5	KCP05	K05入力比較レジスタ					
	D4	KCP04	K04入力比較レジスタ					
	D3	KCP03	K03入力比較レジスタ					
	D2	KCP02	K02入力比較レジスタ					
	D1	KCP01	K01入力比較レジスタ					
	D0	KCP00	K00入力比較レジスタ					
00FF54	D7	K07D	K07入力ポートデータ	Highレベル 入力	Lowレベル 入力	—	R	
	D6	K06D	K06入力ポートデータ					
	D5	K05D	K05入力ポートデータ					
	D4	K04D	K04入力ポートデータ					
	D3	K03D	K03入力ポートデータ					
	D2	K02D	K02入力ポートデータ					
	D1	K01D	K01入力ポートデータ					
	D0	K00D	K00入力ポートデータ					
00FF56	D7	PULK07	K07プルアップコントロールレジスタ	On	Off	1	R/W	
	D6	PULK06	K06プルアップコントロールレジスタ					
	D5	PULK05	K05プルアップコントロールレジスタ					
	D4	PULK04	K04プルアップコントロールレジスタ					
	D3	PULK03	K03プルアップコントロールレジスタ					
	D2	PULK02	K02プルアップコントロールレジスタ					
	D1	PULK01	K01プルアップコントロールレジスタ					
	D0	PULK00	K00プルアップコントロールレジスタ					
00FF58	D7	—	—	—	—	—	—	読み出し時は"0"
	D6	CTK02H	K04 ~ K07ポートチャタリング防止 (入力レベル検定時間) CTK02H CTK01H CTK00H 検定時間[秒]			0	R/W	
	D5	CTK01H	1 1 1 4/fosc3			0	R/W	
			1 1 0 2/fosc3					
			1 0 1 1/fosc3					
			1 0 0 4096/fosc1					
	D4	CTK00H	0 1 1 2048/fosc1			0	R/W	
			0 1 0 512/fosc1					
			0 0 1 128/fosc1					
			0 0 0 なし					
	D3	—	—	—	—	—	—	読み出し時は"0"
	D2	CTK02L	K00 ~ K03ポートチャタリング防止 (入力レベル検定時間) CTK02L CTK01L CTK00L 検定時間[秒]			0	R/W	
	D1	CTK01L	1 1 1 4/fosc3			0	R/W	
			1 1 0 2/fosc3					
			1 0 1 1/fosc3					
			1 0 0 4096/fosc1					
	D0	CTK00L	0 1 1 2048/fosc1			0	R/W	
			0 1 0 512/fosc1					
			0 0 1 128/fosc1					
			0 0 0 なし					

表5.1.1(l) I/Oメモリマップ(00FF5AH ~ 00FF63H)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF5A	D7	IFLK07	K07入力I/Fレベル選択レジスタ	CMOS シュミット	CMOS レベル	0	R/W	
	D6	IFLK06	K06入力I/Fレベル選択レジスタ					
	D5	IFLK05	K05入力I/Fレベル選択レジスタ					
	D4	IFLK04	K04入力I/Fレベル選択レジスタ					
	D3	IFLK03	K03入力I/Fレベル選択レジスタ					
	D2	IFLK02	K02入力I/Fレベル選択レジスタ					
	D1	IFLK01	K01入力I/Fレベル選択レジスタ					
	D0	IFLK00	K00入力I/Fレベル選択レジスタ					
00FF5C	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	KEYR1	キー同時押しリセット選択 KEYR1 KEYR0 使用ポート 1 1 K00-K03			0	R/W	
	D0	KEYR0	1 0 K00-K02 0 1 K00-K01 0 0 なし			0	R/W	
00FF60	D7	IOC07	P07 I/Oコントロールレジスタ	出力	入力	0	R/W	
	D6	IOC06	P06 I/Oコントロールレジスタ					
	D5	IOC05	P05 I/Oコントロールレジスタ					
	D4	IOC04	P04 I/Oコントロールレジスタ					
	D3	IOC03	P03 I/Oコントロールレジスタ					
	D2	IOC02	P02 I/Oコントロールレジスタ					
	D1	IOC01	P01 I/Oコントロールレジスタ					
	D0	IOC00	P00 I/Oコントロールレジスタ					
00FF61	D7	IOC17	P17 I/Oコントロールレジスタ	出力	入力	0	R/W	
	D6	IOC16	P16 I/Oコントロールレジスタ					
	D5	IOC15	P15 I/Oコントロールレジスタ					
	D4	IOC14	P14 I/Oコントロールレジスタ					
	D3	IOC13	P13 I/Oコントロールレジスタ					
	D2	IOC12	P12 I/Oコントロールレジスタ					
	D1	IOC11	P11 I/Oコントロールレジスタ					
	D0	IOC10	P10 I/Oコントロールレジスタ					
00FF62	D7	P07D	P07入出力兼用ポートデータ	High	Low	1	R/W	
	D6	P06D	P06入出力兼用ポートデータ					
	D5	P05D	P05入出力兼用ポートデータ					
	D4	P04D	P04入出力兼用ポートデータ					
	D3	P03D	P03入出力兼用ポートデータ					
	D2	P02D	P02入出力兼用ポートデータ					
	D1	P01D	P01入出力兼用ポートデータ					
	D0	P00D	P00入出力兼用ポートデータ					
00FF63	D7	P17D	P17入出力兼用ポートデータ	High	Low	1	R/W	
	D6	P16D	P16入出力兼用ポートデータ					
	D5	P15D	P15入出力兼用ポートデータ					
	D4	P14D	P14入出力兼用ポートデータ					
	D3	P13D	P13入出力兼用ポートデータ					
	D2	P12D	P12入出力兼用ポートデータ					
	D1	P11D	P11入出力兼用ポートデータ					
	D0	P10D	P10入出力兼用ポートデータ					

表5.1.1(m) I/Oメモリマップ(00FF64H ~ 00FF6CH)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF64	D7	PULP07	P07ブルアップコントロールレジスタ	On	Off	1	R/W	
	D6	PULP06	P06ブルアップコントロールレジスタ					
	D5	PULP05	P05ブルアップコントロールレジスタ					
	D4	PULP04	P04ブルアップコントロールレジスタ					
	D3	PULP03	P03ブルアップコントロールレジスタ					
	D2	PULP02	P02ブルアップコントロールレジスタ					
	D1	PULP01	P01ブルアップコントロールレジスタ					
	D0	PULP00	P00ブルアップコントロールレジスタ					
00FF65	D7	PULP17	P17ブルアップコントロールレジスタ	On	Off	1	R/W	
	D6	PULP16	P16ブルアップコントロールレジスタ					
	D5	PULP15	P15ブルアップコントロールレジスタ					
	D4	PULP14	P14ブルアップコントロールレジスタ					
	D3	PULP13	P13ブルアップコントロールレジスタ					
	D2	PULP12	P12ブルアップコントロールレジスタ					
	D1	PULP11	P11ブルアップコントロールレジスタ					
	D0	PULP10	P10ブルアップコントロールレジスタ					
00FF67	D7	IFLP17	P17入力/Fレベル選択レジスタ	CMOS シュミット	CMOS レベル	0	R/W	
	D6	IFLP16	P16入力/Fレベル選択レジスタ					
	D5	IFLP15	P15入力/Fレベル選択レジスタ					
	D4	IFLP14	P14入力/Fレベル選択レジスタ					
	D3	IFLP13	P13入力/Fレベル選択レジスタ					
	D2	IFLP12	P12入力/Fレベル選択レジスタ					
	D1	IFLP11	P11入力/Fレベル選択レジスタ					
	D0	IFLP10	P10入力/Fレベル選択レジスタ					
00FF68	D7	IOC27	P27 I/Oコントロールレジスタ	出力	入力	0	R/W	
	D6	IOC26	P26 I/Oコントロールレジスタ					
	D5	IOC25	P25 I/Oコントロールレジスタ					
	D4	IOC24	P24 I/Oコントロールレジスタ					
	D3	IOC23	P23 I/Oコントロールレジスタ					
	D2	IOC22	P22 I/Oコントロールレジスタ					
	D1	IOC21	P21 I/Oコントロールレジスタ					
	D0	IOC20	P20 I/Oコントロールレジスタ					
00FF6A	D7	P27D	P27入出力兼用ポートデータ	High	Low	1	R/W	
	D6	P26D	P26入出力兼用ポートデータ					
	D5	P25D	P25入出力兼用ポートデータ					
	D4	P24D	P24入出力兼用ポートデータ					
	D3	P23D	P23入出力兼用ポートデータ					
	D2	P22D	P22入出力兼用ポートデータ					
	D1	P21D	P21入出力兼用ポートデータ					
	D0	P20D	P20入出力兼用ポートデータ					
00FF6C	D7	PULP27	P27ブルアップコントロールレジスタ	On	Off	1	R/W	
	D6	PULP26	P26ブルアップコントロールレジスタ					
	D5	PULP25	P25ブルアップコントロールレジスタ					
	D4	PULP24	P24ブルアップコントロールレジスタ					
	D3	PULP23	P23ブルアップコントロールレジスタ					
	D2	PULP22	P22ブルアップコントロールレジスタ					
	D1	PULP21	P21ブルアップコントロールレジスタ					
	D0	PULP20	P20ブルアップコントロールレジスタ					

表5.1.1(n) I/Oメモリマップ(00FF6EH~00FFB4H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF6E	D7	IFLP27	P27入力I/Fレベル選択レジスタ	CMOS シュミット	CMOS レベル	0	R/W	
	D6	IFLP26	P26入力I/Fレベル選択レジスタ					
	D5	IFLP25	P25入力I/Fレベル選択レジスタ					
	D4	IFLP24	P24入力I/Fレベル選択レジスタ					
	D3	IFLP23	P23入力I/Fレベル選択レジスタ					
	D2	IFLP22	P22入力I/Fレベル選択レジスタ					
	D1	IFLP21	P21入力I/Fレベル選択レジスタ					
	D0	IFLP20	P20入力I/Fレベル選択レジスタ					
00FFB0	D7	MODE16_C	PTM4-5 8/16ビットモード選択	16ビット×1	8ビット×2	0	R/W	
	D6	PTNREN_C	外部クロック2ノイズリジェクタ選択	有効	無効	0	R/W	
	D5	—	—	—	—	—		読み出し時は"0"
	D4	—	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D3	—	汎用レジスタ	1	0	0	R/W	
	D2	PTRUN4	PTM4 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET4	PTM4プリセット	プリセット	無効	0	W	読み出し時は"0"
	D0	CKSEL4	PTM4入力クロック選択	外部クロック	内部クロック	0	R/W	
00FFB1	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D3	—	汎用レジスタ	1	0	0	R/W	
	D2	PTRUN5	PTM5 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET5	PTM5プリセット	プリセット	無効	0	W	読み出し時は"0"
	D0	CKSEL5	PTM5入力クロック選択	外部クロック	内部クロック	0	R/W	
00FFB2	D7	RDR47	PTM4リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RDR46	PTM4リロードデータD6					
	D5	RDR45	PTM4リロードデータD5					
	D4	RDR44	PTM4リロードデータD4					
	D3	RDR43	PTM4リロードデータD3					
	D2	RDR42	PTM4リロードデータD2					
	D1	RDR41	PTM4リロードデータD1					
	D0	RDR40	PTM4リロードデータD0 (LSB)					
00FFB3	D7	RDR57	PTM5リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RDR56	PTM5リロードデータD6					
	D5	RDR55	PTM5リロードデータD5					
	D4	RDR54	PTM5リロードデータD4					
	D3	RDR53	PTM5リロードデータD3					
	D2	RDR52	PTM5リロードデータD2					
	D1	RDR51	PTM5リロードデータD1					
	D0	RDR50	PTM5リロードデータD0 (LSB)					
00FFB4	D7	CDR47	PTM4コンペアデータD7 (MSB)	High	Low	0	R/W	
	D6	CDR46	PTM4コンペアデータD6					
	D5	CDR45	PTM4コンペアデータD5					
	D4	CDR44	PTM4コンペアデータD4					
	D3	CDR43	PTM4コンペアデータD3					
	D2	CDR42	PTM4コンペアデータD2					
	D1	CDR41	PTM4コンペアデータD1					
	D0	CDR40	PTM4コンペアデータD0 (LSB)					

表5.1.1(o) I/Oメモリマップ(00FFB5H ~ 00FFBAH)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FFB5	D7	CDR57	PTM5コンペアデータD7 (MSB)	High	Low	0	R/W	
	D6	CDR56	PTM5コンペアデータD6					
	D5	CDR55	PTM5コンペアデータD5					
	D4	CDR54	PTM5コンペアデータD4					
	D3	CDR53	PTM5コンペアデータD3					
	D2	CDR52	PTM5コンペアデータD2					
	D1	CDR51	PTM5コンペアデータD1					
	D0	CDR50	PTM5コンペアデータD0 (LSB)					
00FFB6	D7	PTM47	PTM4データD7 (MSB)	High	Low	1	R	
	D6	PTM46	PTM4データD6					
	D5	PTM45	PTM4データD5					
	D4	PTM44	PTM4データD4					
	D3	PTM43	PTM4データD3					
	D2	PTM42	PTM4データD2					
	D1	PTM41	PTM4データD1					
	D0	PTM40	PTM4データD0 (LSB)					
00FFB7	D7	PTM57	PTM5データD7 (MSB)	High	Low	1	R	
	D6	PTM56	PTM5データD6					
	D5	PTM55	PTM5データD5					
	D4	PTM54	PTM5データD4					
	D3	PTM53	PTM5データD3					
	D2	PTM52	PTM5データD2					
	D1	PTM51	PTM5データD1					
	D0	PTM50	PTM5データD0 (LSB)					
00FFB8	D7	MODE16_D	PTM6-7 8/16ビットモード選択	16ビット×1	8ビット×2	0	R/W	読み出し時は"0" 予約レジスタ
	D6	PTNREN_D	外部クロック3ノイズリジェクタ選択	有効	無効	0	R/W	
	D5	—	—	—	—	—	—	
	D4	—	汎用レジスタ	1	0	0	R/W	
	D3	—	汎用レジスタ	1	0	0	R/W	
	D2	PTRUN6	PTM6 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET6	PTM6プリセット	プリセット	無効	0	W	
	D0	CKSEL6	PTM6入力クロック選択	外部クロック	内部クロック	0	R/W	
00FFB9	D7	—	—	—	—	—	—	読み出し時は 常時"0" 予約レジスタ
	D6	—	—	—	—	—	—	
	D5	—	—	—	—	—	—	
	D4	—	汎用レジスタ	1	0	0	R/W	
	D3	—	汎用レジスタ	1	0	0	R/W	
	D2	PTRUN7	PTM7 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET7	PTM7プリセット	プリセット	無効	0	W	
	D0	CKSEL7	PTM7入力クロック選択	外部クロック	内部クロック	0	R/W	
00FFBA	D7	RDR67	PTM6リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RDR66	PTM6リロードデータD6					
	D5	RDR65	PTM6リロードデータD5					
	D4	RDR64	PTM6リロードデータD4					
	D3	RDR63	PTM6リロードデータD3					
	D2	RDR62	PTM6リロードデータD2					
	D1	RDR61	PTM6リロードデータD1					
	D0	RDR60	PTM6リロードデータD0 (LSB)					

表5.1.1(p) I/Oメモリマップ(00FFBBH~00FFBFH)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FFBB	D7	RDR77	PTM7リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RDR76	PTM7リロードデータD6					
	D5	RDR75	PTM7リロードデータD5					
	D4	RDR74	PTM7リロードデータD4					
	D3	RDR73	PTM7リロードデータD3					
	D2	RDR72	PTM7リロードデータD2					
	D1	RDR71	PTM7リロードデータD1					
	D0	RDR70	PTM7リロードデータD0 (LSB)					
00FFBC	D7	CDR67	PTM6コンペアデータD7 (MSB)	High	Low	0	R/W	
	D6	CDR66	PTM6コンペアデータD6					
	D5	CDR65	PTM6コンペアデータD5					
	D4	CDR64	PTM6コンペアデータD4					
	D3	CDR63	PTM6コンペアデータD3					
	D2	CDR62	PTM6コンペアデータD2					
	D1	CDR61	PTM6コンペアデータD1					
	D0	CDR60	PTM6コンペアデータD0 (LSB)					
00FFBD	D7	CDR77	PTM7コンペアデータD7 (MSB)	High	Low	0	R/W	
	D6	CDR76	PTM7コンペアデータD6					
	D5	CDR75	PTM7コンペアデータD5					
	D4	CDR74	PTM7コンペアデータD4					
	D3	CDR73	PTM7コンペアデータD3					
	D2	CDR72	PTM7コンペアデータD2					
	D1	CDR71	PTM7コンペアデータD1					
	D0	CDR70	PTM7コンペアデータD0 (LSB)					
00FFBE	D7	PTM67	PTM6データD7 (MSB)	High	Low	1	R	
	D6	PTM66	PTM6データD6					
	D5	PTM65	PTM6データD5					
	D4	PTM64	PTM6データD4					
	D3	PTM63	PTM6データD3					
	D2	PTM62	PTM6データD2					
	D1	PTM61	PTM6データD1					
	D0	PTM60	PTM6データD0 (LSB)					
00FFBF	D7	PTM77	PTM7データD7 (MSB)	High	Low	1	R	
	D6	PTM76	PTM7データD6					
	D5	PTM75	PTM7データD5					
	D4	PTM74	PTM7データD4					
	D3	PTM73	PTM7データD3					
	D2	PTM72	PTM7データD2					
	D1	PTM71	PTM7データD1					
	D0	PTM70	PTM7データD0 (LSB)					

5.2 システムコントローラ

システムコントローラはCPUモードの設定にしたがって、メモリアクセスを制御するユニットです。プログラム領域のサイズにしたがって、以下の設定をソフトウェアによって行います。

- (1) CPUモードの設定
- (2) スタックポインタのページアドレスの設定

以下、これらの設定方法について説明します。

注! CPUモードをミニマムモードで使用する場合は特に初期設定値を変更する必要はありませんが、イニシャルリセットによって設定された割り込みのマスクを解除するためには、システムコントローラのレジスタアドレス(FF00HとFF01H)にデータを書き込む必要があります。

5.2.1 CPUモードの設定

S1C8F626には2種類のCPUモード(ミニマムモード、マキシマムモード)があり、プログラムサイズに合わせて設定します。設定にはCPUMODレジスタを使用します。

- ミニマムモード(CPUMOD = "0")

プログラムサイズが64Kバイト以下で、プログラム領域が以下の構成の場合はミニマムモードで使します。

構成1: ROMエリア1(0H ~ BFFFHの48Kバイト)のみを使用

バンク0(0H ~ 7FFFH)とバンク1(8000H ~ BFFFH)を使用するため、CBレジスタには1(バンク1)を設定します。

構成2: ROMエリア1のバンク0(0H ~ 7FFFHの32Kバイト)とROMエリア2(10000H ~ 3FFFFH)内の任意の1バンク(32Kバイト)を使用

プログラム用に使用するバンクの番号(2 ~ 7)をCBレジスタに設定します。

この構成ではバンク1(8000H ~ BFFFH、ROMエリア1の16Kバイト)をプログラム領域としては使用できなくなります。

ミニマムモードはサブルーチンコール時にCBレジスタをスタックしないため、スタック領域が節約できます。

- マキシマムモード(CPUMOD = "1")

ROMの全領域をプログラム領域として使用可能です。ただし、64Kバイトを超える領域をアクセスするためにはバンクが変わるごとにCBレジスタを設定しなくてはなりません。このモードは、サブルーチンコール時にCBレジスタをスタックします。

5.2.2 スタックページの設定

サブルーチンコール時のレジスタ退避などに使用されるスタック領域は、スタックポインタSPによってデータRAM上の任意のエリアに確保できますが、このページアドレスはI/Oメモリ上のレジスタSPP0 ~ SPP7によって設定されます。

イニシャルリセット時はSPP0 ~ SPP7が"00H"(0ページ)に設定され、本ICでは値を変更する必要はありません。ただし、割り込みのマスクを解除するため、イニシャルリセット後に"00H"を書き込んでください。

また、内蔵RAMの最終アドレスからスタック領域を設定する場合はSPに"F800H"を初期設定します。(SPIはプリデクリメント)

- * ページはデータメモリを0番地から64Kバイトごとに分割したそれぞれの領域のことで。

5.2.3 システムコントローラの制御方法

表5.2.3.1にシステムコントローラの制御ビットを示します。

表5.2.3.1 システムコントローラの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF00	D7	—	—	—	—	—		読み出し時は"0"
	D6	CPUMOD	CPUモード	マキシマム	ミニマム	0	R/W	
	D5	—	—	—	—	—		読み出し時は 常時"0"
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	—	—	—	—	—		
	D0	—	—	—	—	—		
00FF01	D7	SPP7	スタックポインタページアドレス (MSB)	1	0	0	R/W	
	D6	SPP6		1	0	0	R/W	
	D5	SPP5		1	0	0	R/W	
	D4	SPP4		1	0	0	R/W	
	D3	SPP3		1	0	0	R/W	
	D2	SPP2		1	0	0	R/W	
	D1	SPP1		1	0	0	R/W	
	D0	SPP0	(LSB)	1	0	0	R/W	

CPUMOD: 00FF00H-D6

CPUモードを設定します。

"1"書き込み: マキシマムモード

"0"書き込み: ミニマムモード

読み出し: 可能

プログラムサイズが64Kバイト以下の場合はミニマムモードに、64Kバイトを超える場合はマキシマムモードに設定します。

イニシャルリセット時、本レジスタは"0"(ミニマムモード)に設定されます。

SPP0~SPP7: 00FF01H

スタック領域のページアドレスを設定します。

イニシャルリセット時、本レジスタは"00H"(0ページ)に設定されます。

注! 初期設定前の割り込み発生によるシステムの誤動作を回避するため、アドレス00FF00Hおよび00FF01Hに任意の値を書き込むまで、 $\overline{\text{NMI}}$ を含めたすべての割り込みはマスクされます。また、スタック領域設定の継ぎ目で割り込みが発生するのを回避するため、アドレス00FF01Hへの書き込み後1命令実行期間、 $\overline{\text{NMI}}$ を含めたすべての割り込みはマスクされます。

5.2.4 プログラミング上の注意事項

アドレス00FF00Hおよび00FF01Hに任意の値をそれぞれ書き込むまで、 $\overline{\text{NMI}}$ を含めたすべての割り込みはマスクされます。したがって、本アドレスの内容を変更しない(初期値をそのまま使用する)場合でも、書き込み動作は初期化ルーチン内で必ず行ってください。

5.3 ウォッチドッグタイマ

5.3.1 ウォッチドッグタイマの構成

S1C8F626はOSC1発振回路を原振とするウォッチドッグタイマを内蔵しています。ウォッチドッグタイマはソフトウェアによって周期的にリセットする必要があり、 $131072/f_{OSC1}$ 秒($f_{OSC1}=32.768\text{kHz}$ の場合4秒)以上リセットが行われない場合、CPUに対してノンマスクابلインタラプトを発生します。ウォッチドッグタイマはイニシャルリセット時に動作状態に設定されますが、ソフトウェアにより動作を停止させることもできます。

図5.3.1.1にウォッチドッグタイマのブロック図を示します。プログラムのメインルーチン上でウォッチドッグタイマのリセット処理をすることにより、メインルーチンのウォッチドッグタイマ処理を通らないようなプログラムの暴走を検出することができます。通常はこのルーチンを定期的に処理される箇所に組み込みます。

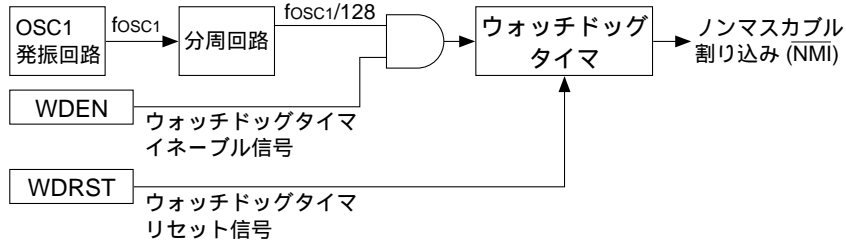


図5.3.1.1 ウォッチドッグタイマのブロック図

なお、ウォッチドッグタイマはHALT時も動作しており、HALT状態を $131072/f_{OSC1}$ 秒以上続けるとCPUは例外処理に移行します。SLEEP時はウォッチドッグタイマも停止します。

5.3.2 割り込み機能

ウォッチドッグタイマがソフトウェアによって周期的にリセットされない場合、ウォッチドッグタイマはコアCPUのNMI(レベル4)入力に対して割り込み信号を出力します。この割り込みはマスクが不可能で、他の割り込みに優先して例外処理が発生します。NMI例外処理の詳細については"S1C88コアCPUマニュアル"を参照してください。本例外処理ベクタアドレスは、000004Hに設定されています。

5.3.3 ウォッチドッグタイマの制御方法

表5.3.3.1にウォッチドッグタイマの制御ビットを示します。

表5.3.3.1 ウォッチドッグタイマの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF40	D7	WDEN	ウォッチドッグタイマイネーブル	有効	無効	1	R/W	
	D6	FOUT2	FOUT周波数選択			0	R/W	
			FOUT2 FOUT1 FOUT0 周波数					
			1 1 1 fosc3 / 8					
	D5	FOUT1	1 1 0 fosc3 / 4			0	R/W	
			1 0 1 fosc3 / 2					
			1 0 0 fosc3 / 1					
	D4	FOUT0	0 1 1 fosc1 / 8			0	R/W	
			0 1 0 fosc1 / 4					
			0 0 1 fosc1 / 2					
			0 0 0 fosc1 / 1					
	D3	FOUTON	FOUT出力制御	On	Off	0	R/W	
	D2	WDRST	ウォッチドッグタイマリセット	リセット	無効	–	W	読み出し時は
	D1	TMRST	計時タイマリセット	リセット	無効	–	W	常時"0"
	D0	TMRUN	計時タイマRun/Stop制御	Run	Stop	0	R/W	

WDEN: 00FF40H・D7

ウォッチドッグタイマを使用するかしないか選択します。

"1"書き込み: 有効

"0"書き込み: 無効

読み出し: 可能

WDENに"1"を書き込むことによりウォッチドッグタイマは有効となり、カウント動作を行います。"0"を書き込んだ場合は無効となります。カウント動作が停止するため割り込み(NMI)も発生しません。イニシャルリセット時、このレジスタは"1"にセットされます。

WDRST: 00FF40H・D2

ウォッチドッグタイマをリセットします。

"1"書き込み: ウォッチドッグタイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

WDRSTに"1"を書き込むことによりウォッチドッグタイマはリセットされ、その直後リスタートします。"0"の書き込みはノーオペレーションとなります。

WDRSTは書き込み専用のため、読み出し時は常時"0"となります。

5.3.4 プログラミング上の注意事項

- (1) ウォッチドッグタイマを使用する場合は、4秒周期以内に必ずソフトウェアでリセットをする必要があります。(fosc1=32.768kHzの場合)
- (2) NMI割り込み発生から2msec以内はSLP命令を実行しないでください。(fosc1=32.768kHzの場合)
- (3) イニシャルリセットによりウォッチドッグタイマは動作状態に設定されますので、使用しない場合は割り込み(NMI)発生前にウォッチドッグタイマを無効に設定してください。

5.4 発振回路と動作モード

5.4.1 発振回路の構成

S1C8F626は2種類の発振回路(OSC1およびOSC3)を内蔵したツインクロック仕様となっています。OSC3発振回路はCPUや一部の周辺回路を高速動作させるためのメインクロック(Max. 8.2MHz)を、OSC1発振回路は低電力動作のサブクロック(Typ. 32.768kHz)を発生します。

図5.4.1.1に発振回路の構成を示します。

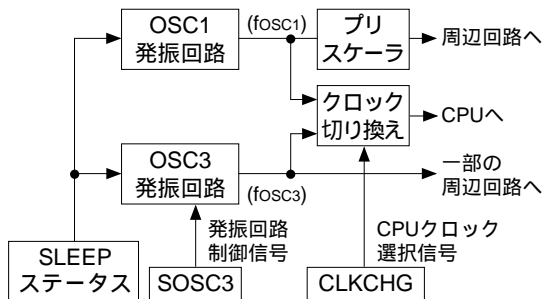


図5.4.1.1 発振回路の構成

イニシャルリセット時、CPUの動作クロックにはOSC3発振回路が選択されます。OSC3発振回路のON/OFFとシステムクロックの切り換え(OSC3 \leftrightarrow OSC1)はソフトウェアによって制御できます。OSC3発振回路はCPUや一部の周辺回路の高速動作が必要な場合に使用します。それ以外の場合は消費電流を低減させるためにOSC3発振を停止させ、OSC1を動作クロックとして使用してください。

5.4.2 マスクオプション

S1C8F626では、内蔵発振回路の種類を表5.4.2.1に示す2種類のオプション(設定1～設定2)から選択できるようになっています。

表5.4.2.1 S1C8F626のオプション

オプション	OSC1発振回路	OSC3発振回路
設定1	水晶	水晶/セラミック
設定2	水晶	CR

5.4.3 OSC1発振回路

OSC1発振回路は32.768kHz(Typ.)のシステムクロックを発生します。

OSC1発振クロックはCPUおよび周辺回路の低速(低消費電力)動作時のシステムクロックとして使用されます。また、OSC3をシステムクロックとして使用する場合にも、計時タイマやストップウォッチタイマの原振として使用されます。本発振回路は、SLP命令実行時に発振停止状態となります。

図5.4.3.1にOSC1発振回路の構造を示します。

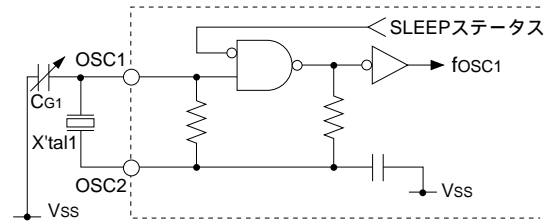
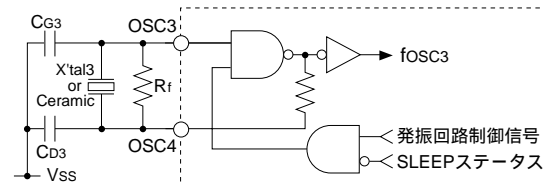


図5.4.3.1 OSC1発振回路(水晶発振)

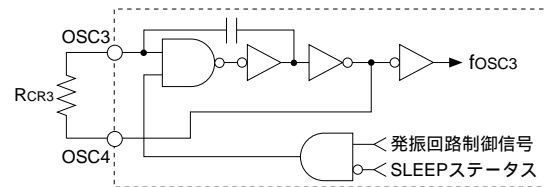
OSC1端子とOSC2端子間に水晶振動子X'tal 1(Typ. 32.768kHz)を、OSC1端子とVss間にトリマキャパシタCg1(0～25pF)をそれぞれ接続することにより、容易に水晶発振回路を構成できます。

5.4.4 OSC3発振回路

OSC3発振回路はCPUや一部の周辺回路を高速動作させる場合のシステムクロックを発生します。本発振回路はSLP命令実行時、またはレジスタSOSC3に"0"設定時に発振停止状態となります。発振回路の種類としては水晶/セラミック発振、CR発振のいずれかをオプションで選択できます。図5.4.4.1にOSC3発振回路の構造を示します。



(1) 水晶/セラミック発振回路



(2) CR発振回路

図5.4.4.1 OSC3発振回路

水晶/セラミック発振回路を選択した場合は、OSC3端子とOSC4端子間に水晶振動子(X'tal3)またはセラミック振動子(Ceramic)と帰還抵抗(Rf)を、同OSC3、OSC4端子とVss間にキャパシタを2個(CG3、Cd3)それぞれ接続することで水晶またはセラミック発振回路(Max. 8.2MHz)を構成できます。CR発振を選択した場合はOSC3端子とOSC4端子間に抵抗(RCR3)を接続するだけでCR発振回路(Max. 2.2MHz)を構成できます。

5.4.5 CPUクロックの切り換え

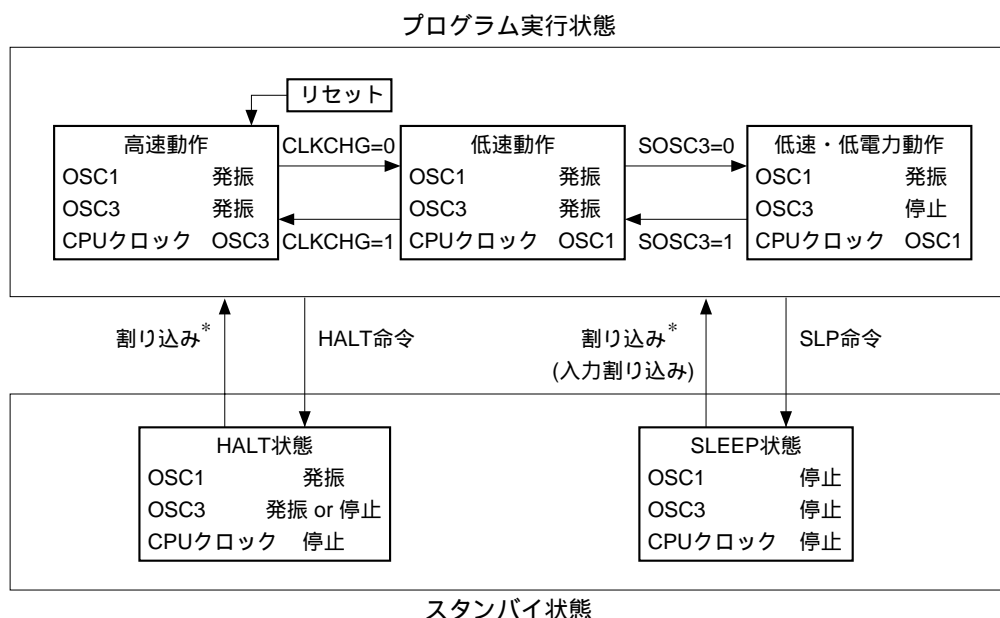
OSC1とOSC3のどちらをCPUのシステムクロックとして使用するかを、ソフトウェアによって切り換えることができます。

OSC1でCPUが動作している間は、OSC3発振回路をOFFさせることでパワーセーブが実現できます。

OSC3での動作が必要な場合にOSC3発振回路をONさせ、システムクロックを切り換えることで高速動作が実現できます。この場合、OSC3発振回路をONにしてから発振が安定するまでに数10 μ sec～数10msecの時間を必要としますので、その時間が経過した後にクロックの切り換えを行ってください。

OSC3からOSC1に切り換える場合は、クロック切り換えの直後にOSC3発振回路をOFFしてください。また、電源投入時にOSC3からOSC1へ切り換える場合は、OSC1の発振が十分安定するまでに数10msec～数秒の時間を必要としますので、その時間が経過した後にクロックの切り換えを行ってください。(発振開始時間は発振子、外付け部品によって変動します。"9 電気的特性"に発振開始時間の一例を示しますので参照してください。)

図5.4.5.1にクロック切り換えの状態遷移図を示します。



* スタンバイ状態からの復帰先は、スタンバイ状態へ遷移する以前のプログラム実行状態となります。

図5.4.5.1 クロック切り換えの状態遷移図

5.4.6 動作モードの切り換え

S1C8F626は2種類の動作モードを持ちます。

1. 通常動作モード

Flash EEPROM内のプログラムを実行する通常の動作モードです。

VDD = 1.8 ~ 3.6V、内部動作電圧 V_{D1} = 1.8V

2. Flashプログラミングモード

Flash EEPROMの消去やプログラム/データの書き込みを行う動作モードです。

VDD = 2.7 ~ 3.6V、内部動作電圧 V_{D1} = 2.5V

上記のとおり、モードにより内部動作電圧を切り換える必要があり、これをVDCレジスタで行えるようになっています。通常はVDCレジスタをデフォルト設定の"0"(V_{D1} = 1.8V)にして使用します。動作クロックに合わせた切り換え操作は必要ありません。Flash EEPROMのプログラミングを行う場合に、VDCレジスタを"1"に設定します。

注! ・動作モードを切り換え後、内部動作電圧が安定するまでに5msec(Max.)の時間を要します。Flash EEPROMのプログラミングは、この安定時間が経過した後に開始してください。また、再度通常動作モードに戻す場合も、必ず安定時間経過後にVDCレジスタを"0"に設定してください。

- ・VDC = "1"の状態では消費電流が増加します。Flash EEPROMのプログラミング終了後は、必ずVDCレジスタを"0"に戻してください。

5.4.7 発振回路と動作モードの制御方法

表5.4.7.1に発振回路と動作モードの制御ビットを示します。

SOSC3: 00FF02H·D2

OSC3発振回路の発振ON、OFFを制御します。

"1"書き込み: OSC3発振ON

"0"書き込み: OSC3発振OFF

読み出し: 可能

CPUや一部の周辺回路を高速動作させる必要のある場合にSOSC3を"1"とし、それ以外の場合は、低消費電力化のため"0"としてください。

イニシャルリセット時、SOSC3は"1"(OSC3発振ON)に設定されます。

CLKCHG: 00FF02H·D3

CPUの動作クロックを選択します。

"1"書き込み: OSC3クロック

"0"書き込み: OSC1クロック

読み出し: 可能

CPUの動作クロックはCLKCHGに"1"を設定した場合OSC3、"0"を設定した場合OSC1となります。

イニシャルリセット時、CLKCHGは"1"(OSC3クロック)に設定されます。

VDC: 00FF02H·D0

内部動作電圧V_{D1}の値(動作モード)を選択します。

"1"書き込み: 2.5V(Flashプログラミングモード)

"0"書き込み: 1.8V(通常動作モード)

読み出し: 可能

通常動作時はVDC = "0"(V_{D1} = 1.8V)で使用します。Flash EEPROMのプログラミングを行う場合は、その前にVDCに"1"を書き込み、V_{D1}を2.5Vに設定してください。

イニシャルリセット時、VDCは"0"(V_{D1} = 1.8V)に設定されます。

表5.4.7.1 発振回路と動作モードの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF02	D7	—	—	—	—	—	—	読み出し時は 常時"0"
	D6	—	—	—	—	—	—	
	D5	—	—	—	—	—	—	
	D4	—	—	—	—	—	—	
	D3	CLKCHG	CPU動作クロック切り換え	OSC3	OSC1	1	—	読み出し時は"0"
	D2	SOSC3	OSC3発振On/Off制御	On	Off	1	—	
	D1	—	—	—	—	—	—	
	D0	VDC	動作モード選択	V _{D1} = 2.5V	V _{D1} = 1.8V	0	—	

5.4.8 プログラミング上の注意事項

- (1) CPUの高速動作を必要としない場合は低消費電力化のため、以下に示す設定内容にしたがって周辺回路を動作させてください。

- CPU動作クロック OSC1
- OSC3発振回路 OFF

(一部の周辺回路に対して
OSC3クロックが必要ない
場合)

- (2) OSC3発振回路をONにしてから発振が安定するまでに、数10 μ sec ~ 数10msecの時間を必要とします。したがって、CPUの動作クロック切り換え(OSC1→OSC3)はOSC3発振ONの後、十分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"9 電気的特性"に発振開始時間の一例を示しますので参照してください。)
- (3) OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々の命令で行ってください。1命令で同時に処理すると、CPUの誤動作につながります。
- (4) 電源投入時にOSC3からOSC1へ切り換える場合は、OSC1の発振が十分安定するまでに数10msec ~ 数秒の時間を必要としますので、その時間が経過した後にクロックの切り換えを行ってください。(発振開始時間は発振子、外付け部品によって変動します。"9 電気的特性"に発振開始時間の一例を示しますので参照してください。)
- (5) 動作モードを切り換え後、内部動作電圧が安定するまでに5msec(Max.)の時間を要します。Flash EEPROMのプログラミングは、この安定時間が経過した後に開始してください。また、再度通常動作モードに戻す場合も、必ず安定時間経過後にVDCレジスタを"0"に設定してください。
- (6) VDC = "1"の状態では消費電流が増加します。Flash EEPROMのプログラミング終了後は、必ずVDCレジスタを"0"に戻してください。

5.5 入力ポート (Kポート)

5.5.1 入力ポートの構成

S1C8F626は8ビット(K00～K07)の入力ポートを内蔵しており、これらのポートはすべて割り込み機能を持つ汎用入力ポート端子として使用できます。

K04～K07入力ポート端子はプログラマブルタイマ(イベントカウンタ)の外部クロック(EXCL0～EXCL3)入力端子も兼ねており、入力ポート機能はそのままに入力信号が共有されます("5.10 プログラマブルタイマ"参照)。

K00～K03入力ポートはキー同時押しリセットに使用することができます("4.1.2 入力ポート(K00～K03)の同時LOWレベル入力"参照)。キー同時押しリセット機能を使用する場合、使用するポートの組み合わせはソフトウェアで選択できます。

図5.5.1.1に入力ポートの構造を示します。

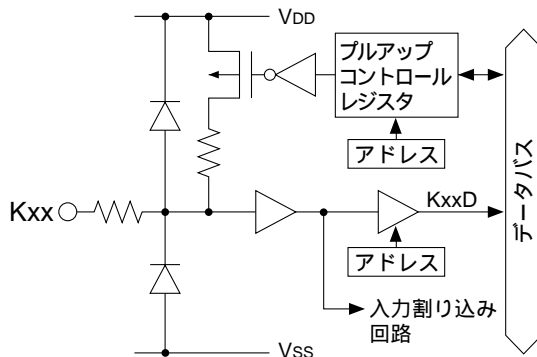


図5.5.1.1 入力ポートの構造

各入力ポート端子は3ステートバッファを通して直接データバスに接続されており、入力ポート読み出し時点での入力信号の状態がそのままデータとして読み込まれます。

5.5.2 入力インタフェースレベル

S1C8F626の入力ポートはソフトウェアで入力インタフェースレベルが選択できるようになっています。各ポートに対応した入力I/Fレベル選択レジスタIFLK0xを"0"に設定することにより、CMOSレベル、"1"を設定することによりCMOSシュミットレベルとなります。イニシャルリセット時は全ポートがCMOSレベルに設定されます。

5.5.3 プルアップ制御

S1C8F626は入力ポートにプルアップ抵抗を内蔵しており、これを使用するかしないかをポート(1ビット)ごとにソフトウェアで選択できます。

各ポートに対応したプルアップコントロールレジスタPULK0xに"1"を書き込むことによりプルアップ抵抗が有効になり、入力ラインがプルアップされます。"0"を書き込んだ場合、プルアップは行われません。

イニシャルリセット時、プルアップコントロールレジスタは"1"(プルアップ)に設定されます。

プルアップ付きポートはプッシュスイッチ、キーマトリクス等の入力に適当です。

内蔵プルアップ抵抗によって、入力端子をLOWレベルからHIGHレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入力ポートの取り込みには適切な待ち時間の設定が必要となります。これについては特に、キーマトリクス構成時のキースキャン等に注意が必要です。待ち時間は以下の式で求められる値以上を設定してください。

待ち時間 = $R_{IN} \times (C_{IN} + \text{基板上的負荷容量}) \times 1.6 [\text{sec}]$

RIN: プルアップ抵抗Max.値

CIN: 端子容量Max.値

プルアップなしのポートは、スライドスイッチ入力、他LSIとのインタフェースなどに適当となります。この場合は、入力にフローティング状態が発生しないよう注意してください。

使用しない入力ポートについてはプルアップコントロールレジスタでプルアップを有効に設定してください。

5.5.4 割り込み機能と入力比較レジスタ

入力ポートK00～K07は、すべて割り込み機能を持っており、端子ごとに割り込み発生条件をソフトウェアで設定することができます。

端子ごとに設定した割り込み発生条件が成立すると、それぞれに対応した割り込み要因フラグFK00～FK07が"1"にセットされ、割り込みが発生します。K00～K07に対応した割り込みイネーブルレジスタEK00～EK07の設定により、CPUに対する割り込みを許可/禁止することができます。

また、CPUに対する入力割り込みの優先レベルを、割り込みプライオリティレジスタPK00～PK01によって、任意のレベル(0～3)に設定できます。上記、割り込み制御レジスタの詳細と割り込み発生後の動作については"5.14 割り込みとスタンバイ状態"を参照してください。

入力割り込みの例外処理ベクタは、それぞれ以下のとおり設定されています。

K07入力: 000006H K03入力: 00000EH
 K06入力: 000008H K02入力: 000010H
 K05入力: 00000AH K01入力: 000012H
 K04入力: 00000CH K00入力: 000014H

図5.5.4.1に入力割り込み回路の構成を示します。入力比較レジスタKCPは、各入力ポートの割り込みを入力の上立ち上がりエッジで発生させるか、立ち下がりエッジで発生させるかを選択します。入力端子K0xが入力比較レジスタKCP0xで指定された状態に変化すると、割り込み要因フラグFK0xが"1"にセットされ、割り込みが発生します。なお、各入力ポートにはチャタリングによる誤った割り込み発生を防止するため、チャタリング除去回路が設けられ、入力レベルを検定しています。チャタリング除去は、K00～K03、K04～K07に対して、それぞれに設定することが可能です。また、検定時間をCTK00x～CTK02xレジスタによって表5.5.4.1に示すとおり選択することができます。

表5.5.4.1 入力検定時間の設定

CTK02x	CTK01x	CTK00x	検定時間 (*)
1	1	1	$4/f_{osc3}$ (2 μ s)
1	1	0	$2/f_{osc3}$ (1 μ s)
1	0	1	$1/f_{osc3}$ (0.5 μ s)
1	0	0	$4096/f_{osc1}$ (128ms)
0	1	1	$2048/f_{osc1}$ (64ms)
0	1	0	$512/f_{osc1}$ (16ms)
0	0	1	$128/f_{osc1}$ (4ms)
0	0	0	なし -

※: OSC1=32kHz, OSC3=2MHz時

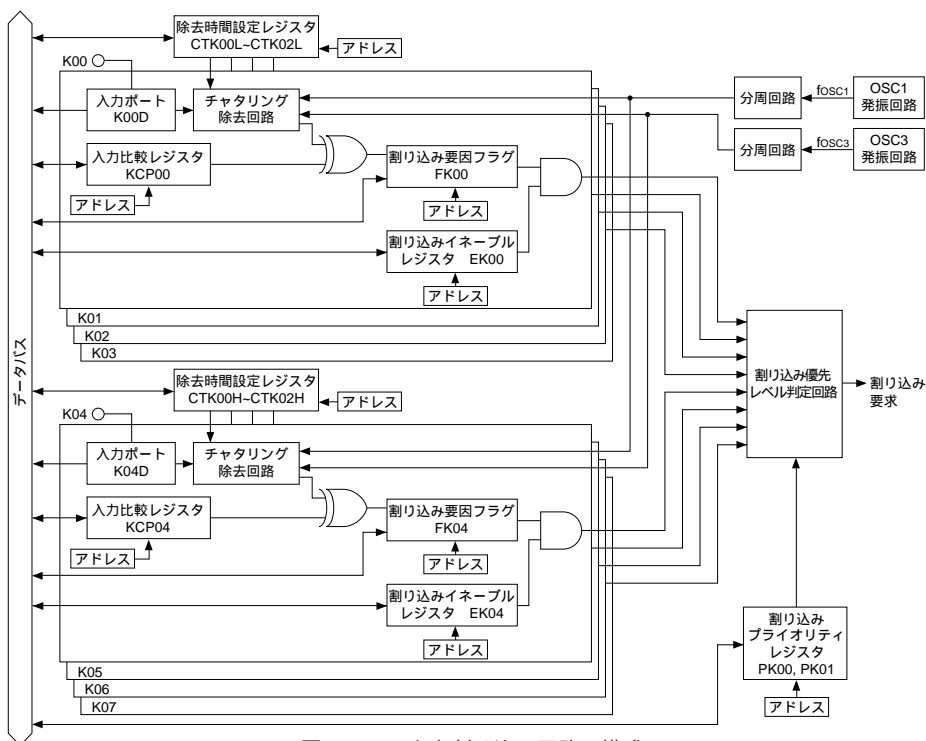


図5.5.4.1 入力割り込み回路の構成

注! ・チャタリング除去がONに設定されたままSLEEPモードに入ると、入力割り込みを受け付けません。SLP命令実行前に、チャタリング除去をOFF(時間検定なし)に設定してください。

・CTK0xレジスタの設定変更は、必ず割り込みが禁止されている状態で行ってください。割り込みイネーブルレジスタEK0xによって割り込みが許可されている状態で設定を変更すると、割り込みが誤って発生する場合があります。

・チャタリング除去の検定時間とは、除去できる最大パルス幅のことを指します。ポートの割り込みを有効にしたい場合は、最小で検定時間、最大で検定時間の2倍の入力時間が必要になります。

・入力信号の立ち上がり/立ち下がり時間が遅い場合、信号がしきい値を通過するまでに時間がかかり、内部信号が発振する現象が起こる可能性があります。この場合、入力割り込みは誤動作しますので、入力信号の立ち上がり/立ち下がり時間は25nsec以下を目安に設定してください。

5.5.5 入力ポートの制御方法

表5.5.5.1に入力ポートの制御ビットを示します。

表5.5.5.1(a) 入力ポートの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈		
00FF52	D7	KCP07	K07入力比較レジスタ	立ち下がり エッジで 割り込み 発生	立ち上がり エッジで 割り込み 発生	1	R/W			
	D6	KCP06	K06入力比較レジスタ							
	D5	KCP05	K05入力比較レジスタ							
	D4	KCP04	K04入力比較レジスタ							
	D3	KCP03	K03入力比較レジスタ							
	D2	KCP02	K02入力比較レジスタ							
	D1	KCP01	K01入力比較レジスタ							
	D0	KCP00	K00入力比較レジスタ							
00FF54	D7	K07D	K07入力ポートデータ	Highレベル 入力	Lowレベル 入力	－	R			
	D6	K06D	K06入力ポートデータ							
	D5	K05D	K05入力ポートデータ							
	D4	K04D	K04入力ポートデータ							
	D3	K03D	K03入力ポートデータ							
	D2	K02D	K02入力ポートデータ							
	D1	K01D	K01入力ポートデータ							
	D0	K00D	K00入力ポートデータ							
00FF56	D7	PULK07	K07プルアップコントロールレジスタ	On	Off	1	R/W			
	D6	PULK06	K06プルアップコントロールレジスタ							
	D5	PULK05	K05プルアップコントロールレジスタ							
	D4	PULK04	K04プルアップコントロールレジスタ							
	D3	PULK03	K03プルアップコントロールレジスタ							
	D2	PULK02	K02プルアップコントロールレジスタ							
	D1	PULK01	K01プルアップコントロールレジスタ							
	D0	PULK00	K00プルアップコントロールレジスタ							
00FF58	D7	－	－	－	－	－		読み出し時は"0"		
	D6	CTK02H	K04～K07ポートチャタリング防止 (入力レベル検定時間) CTK02H CTK01H CTK00H 検定時間[秒]			0	R/W			
	D5		CTK01H			1 1 1 4/fosc3	0		R/W	
						1 1 0 2/fosc3				
	D4	CTK00H	1 0 1 1/fosc3	0	R/W					
			1 0 0 4096/fosc1							
			0 1 1 2048/fosc1							
			0 1 0 512/fosc1							
	D3	－	0 0 1 128/fosc1	－	－	－	読み出し時は"0"			
			0 0 0 なし							
	D2	CTK02L	K00～K03ポートチャタリング防止 (入力レベル検定時間) CTK02L CTK01L CTK00L 検定時間[秒]			0	R/W			
	D1		CTK01L			1 1 1 4/fosc3	0		R/W	
						1 1 0 2/fosc3				
	D0	CTK00L	1 0 1 1/fosc3			0	R/W			
1 0 0 4096/fosc1										
0 1 1 2048/fosc1										
0 1 0 512/fosc1										
0 0 1 128/fosc1										
0 0 0 なし										

表5.5.5.1(b) 入力ポートの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF5A	D7	IFLK07	K07入力I/Fレベル選択レジスタ	CMOS シュミット	CMOS レベル	0	R/W	
	D6	IFLK06	K06入力I/Fレベル選択レジスタ					
	D5	IFLK05	K05入力I/Fレベル選択レジスタ					
	D4	IFLK04	K04入力I/Fレベル選択レジスタ					
	D3	IFLK03	K03入力I/Fレベル選択レジスタ					
	D2	IFLK02	K02入力I/Fレベル選択レジスタ					
	D1	IFLK01	K01入力I/Fレベル選択レジスタ					
	D0	IFLK00	K00入力I/Fレベル選択レジスタ					
00FF5C	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	KEYR1	キー同時押しリセット選択 KEYR1 KEYR0 使用ポート			0	R/W	
	D0	KEYR0	1 1 K00-K03			0	R/W	
			1 0 K00-K02					
			0 1 K00-K01					
0 0 なし								
00FF20	D7	PK01	K00～K07割り込み	PK01 PK00 PSIF01 PSIF00 PSW1 PSW0 優先 PTM1 PTM0 レベル	1 1 レベル3 1 0 レベル2 0 1 レベル1 0 0 レベル0	0	R/W	
	D6	PK00	プライオリティレジスタ			0	R/W	
	D5	PSIF01	シリアルインタフェース0割り込み			0	R/W	
	D4	PSIF00	プライオリティレジスタ			0	R/W	
	D3	PSW1	ストップウォッチタイマ割り込み			0	R/W	
	D2	PSW0	プライオリティレジスタ			0	R/W	
	D1	PTM1	計時タイマ割り込み			0	R/W	
	D0	PTM0	プライオリティレジスタ			0	R/W	
00FF24	D7	EK07	K07割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W	
	D6	EK06	K06割り込みイネーブル					
	D5	EK05	K05割り込みイネーブル					
	D4	EK04	K04割り込みイネーブル					
	D3	EK03	K03割り込みイネーブル					
	D2	EK02	K02割り込みイネーブル					
	D1	EK01	K01割り込みイネーブル					
	D0	EK00	K00割り込みイネーブル					
	00FF28	D7	FK07					
D6		FK06	K06割り込み要因フラグ					
D5		FK05	K05割り込み要因フラグ					
D4		FK04	K04割り込み要因フラグ					
D3		FK03	K03割り込み要因フラグ	(W) リセット	(W) 無効			
D2		FK02	K02割り込み要因フラグ					
D1		FK01	K01割り込み要因フラグ					
D0		FK00	K00割り込み要因フラグ					

K00D~K07D: 00FF54H

K0x入力ポート端子の入力データが読み出せます。

- "1"読み出し: HIGHレベル
- "0"読み出し: LOWレベル
- 書き込み: 無効

入力ポートK00~K07の端子電圧がそれぞれHIGH(V_{DD})レベルのとき"1"、LOW(V_{SS})レベルのとき"0"として直接読み出せます。
本ビットは読み出し専用のため、書き込み動作は無効となります。

IFLK00~IFLK07: 00FF5AH

入力インタフェースレベルを選択します。

- "1"書き込み: CMOSシュミット
- "0"書き込み: CMOSレベル
- 読み出し: 可能

IFLK0xは各入力ポートK0xに対応する入力I/Fレベル選択レジスタです。
IFLK0xに"1"を書き込むことにより、対応する入力ポートK0xがCMOSシュミット入力に設定されます。"0"を書き込んだ場合は、CMOSレベルのI/Fに設定されます。
イニシャルリセット時、本レジスタは"0"(CMOSレベル)に設定されます。

PULK00~PULK07: 00FF56H

入力プルアップ抵抗を制御します。

- "1"書き込み: プルアップON
- "0"書き込み: プルアップOFF
- 読み出し: 可能

PULK0xは各入力ポートK0xに対応するプルアップコントロールレジスタで、各入力ポートに内蔵されたプルアップ抵抗をON/OFFします。
PULK0xに"1"を書き込むことにより、対応する入力ポートK0xがプルアップされます。"0"を書き込んだ場合、プルアップは行われません。
イニシャルリセット時、本レジスタは"1"(プルアップON)に設定されます。

KCP00~KCP07: 00FF52H

K00~K07入力ポート端子の割り込み発生条件(割り込み発生タイミング)を設定します。

- "1"書き込み: 立ち下がりエッジ
- "0"書き込み: 立ち上がりエッジ
- 読み出し: 可能

KCP0xは各入力ポートK0xに対応する入力比較レジスタで、"1"に設定した入力ポートの割り込みは入力の立ち下がりエッジで、"0"に設定した入力ポートの割り込みは入力の立ち上がりエッジでそれぞれ発生します。

イニシャルリセット時、本レジスタは"1"(立ち下がりエッジ)に設定されます。

CTK00L~CTK02L: 00FF58H・D0~D2

K00~K03入力ポート割り込み用チャタリング除去回路の入力レベル検定時間を表5.5.5.2のとおり設定します。

表5.5.5.2 入力検定時間の設定

CTK02L	CTK01L	CTK00L	入力レベル検定時間[秒]
1	1	1	4/fosc3
1	1	0	2/fosc3
1	0	1	1/fosc3
1	0	0	4096/fosc1
0	1	1	2048/fosc1
0	1	0	512/fosc1
0	0	1	128/fosc1
0	0	0	なし

本レジスタの設定変更は、必ず割り込みが禁止されている状態で行ってください。

割り込みイネーブルレジスタEK0xによって割り込みが許可されている状態で設定を変更すると、割り込みが誤って発生する場合があります。

イニシャルリセット時、本レジスタは"0"(なし)に設定されます。

CTK00H~CTK02H: 00FF58H・D4~D6

K04~K07入力ポート割り込み用チャタリング除去回路の入力レベル検定時間を表5.5.5.3のとおり設定します。

表5.5.5.3 入力検定時間の設定

CTK02H	CTK01H	CTK00H	入力レベル検定時間[秒]
1	1	1	4/fosc3
1	1	0	2/fosc3
1	0	1	1/fosc3
1	0	0	4096/fosc1
0	1	1	2048/fosc1
0	1	0	512/fosc1
0	0	1	128/fosc1
0	0	0	なし

本レジスタの設定変更は、必ず割り込みが禁止されている状態で行ってください。

割り込みイネーブルレジスタEK0xによって割り込みが許可されている状態で設定を変更すると、割り込みが誤って発生する場合があります。

イニシャルリセット時、本レジスタは"0"(なし)に設定されます。

PK00, PK01: 00FF20H-D6, D7

入力割り込みの優先レベルを設定します。

PK00、PK01は入力割り込みに対応した割り込みプライオリティレジスタです。

本レジスタによって設定できる割り込み優先レベルは表5.5.5.4のとおりです。

表5.5.5.4 割り込み優先レベルの設定

PK01	PK00	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

EK00~EK07: 00FF24H

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

EK0xは各入力ポートK0xに対応する割り込みイネーブルレジスタで、"1"に設定した端子の割り込みが許可され、"0"に設定した端子の割り込みが禁止されます。

イニシャルリセット時、本レジスタは"0"(割り込み禁止)に設定されます。

FK00~FK07: 00FF28H

入力割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

FK0xは各入力ポートK0xに対応する割り込み要因フラグで、割り込み発生条件の成立により"1"にセットされます。このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、本フラグはすべて"0"にリセットされます。

KEYR0, KEYR1: 00FF5CH-D0, D1

キー同時押しリセットを設定します。

表5.5.5.5 キー同時押しリセットの設定

KEYR1	KEYR0	ポートの組み合わせ
1	1	K00 & K01 & K02 & K03
1	0	K00 & K01 & K02
0	1	K00 & K01
0	0	なし

"なし"を選択すると、キー同時押しリセット機能は働きません。ポートの組み合わせを選択すると、それらのポートが同時にLOWになることでリセットがかかります。

イニシャルリセット時、本レジスタは"0"(なし)に設定されます。

5.5.6 プログラミング上の注意事項

- (1) 入力ポートをLOWレベルからブルアップ抵抗でHIGHレベルに変化させる場合、ブルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入力ポートの取り込みには適切な待ち時間の設定が必要となります。これについては特に、キーマトリクス構成時のキースキャン等に注意が必要です。待ち時間は以下の式で求められる値以上を設定してください。

$$\text{待ち時間} = R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6 [\text{sec}]$$

RIN: ブルアップ抵抗Max.値

CIN: 端子容量Max.値

- (2) CTK0xレジスタの設定変更は、必ず割り込みが禁止されている状態で行ってください。割り込みイネーブルレジスタEK0xによって割り込みが許可されている状態で設定を変更すると、割り込みが誤って発生する場合があります。

5.6 入出力兼用ポート (Pポート)

5.6.1 入出力兼用ポートの構成

S1C8F626は24ビット(P00～P07、P10～P17、P20～P27)の入出力兼用(I/O)ポートを内蔵しています。

図5.6.1.1に入出力兼用ポートの構造を示します。

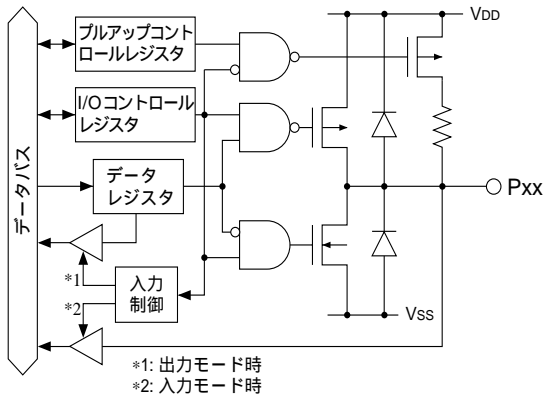


図5.6.1.1 入出力兼用ポートの構造

入出力兼用ポートは1ビットごとに入力モード、または出力モードを設定することができます。この設定はI/Oコントロールレジスタにデータを書き込むことによって行います。

入出力兼用ポートP10～P13はシリアルインタフェースCh.0、P20～P23はシリアルインタフェースCh.1の入出力端子と共用されており、どちらの用途で使用するかをソフトウェアによって選択することができます。

シリアルインタフェースの詳細については"5.7 シリアルインタフェース"を参照してください。

シリアルインタフェースの出力端子に設定される入出力兼用ポートのデータレジスタとI/Oコントロールレジスタは、端子の入出力には影響を与えないリード/ライト可能な汎用レジスタとして使用することができます。また、シリアルインタフェースの入力端子に設定される入出力兼用ポートのI/Oコントロールレジスタも同様に、汎用レジスタとして使用することができます。

入出力兼用ポートP14～P17は汎用DC入出力のほか、に特殊出力機能を持っており、ソフトウェアによってどちらを使用するかを選択することができます。

5.6.2 I/Oコントロールレジスタと入力/出力モード

入出力兼用ポートは、それぞれのビットに対応したI/OコントロールレジスタIOCxxにデータを書き込むことによって、入力モードあるいは出力モードに設定されます。

入力モードに設定する場合はI/Oコントロールレジスタに"0"を書き込みます。入力モードに設定された入出力兼用ポートは、ハイインピーダンス状態となり入力ポートとして機能します。

入力モード時の読み出しでは入力端子の状態が直接読み込まれ、そのデータは入力端子がHIGH(VDD)レベルのときに"1"、LOW(VSS)レベルのときに"0"となります。

ソフトウェアで内蔵プルアップ抵抗を有効に設定しておくと、入力モード時にポート端子がプルアップされます。

入力モード時においても、端子の状態に影響を与えることなくデータレジスタに対して書き込みは行えます。

出力モードに設定する場合はI/Oコントロールレジスタに"1"を書き込みます。出力モードに設定された入出力兼用ポートは出力ポートとして機能し、ポート出力データが"1"の場合にHIGH(VDD)レベル、"0"の場合にLOW(VSS)レベルを出力します。

出力モード時の読み出しでは、データレジスタの内容が読み込まれます。

イニシャルリセット時、I/Oコントロールレジスタは"0"(入出力兼用ポートは入力モード)に設定されます。

5.6.3 入力インタフェースレベル

入出力兼用ポートP10～P17とP20～P27はソフトウェアで入力インタフェースレベルが選択できるようになっています。各ポートに対応した入力I/Fレベル選択レジスタIFLPxxを"0"に設定することにより、CMOSレベル、"1"を設定することによりCMOSシュミットレベルとなります。イニシャルリセット時は全ポートがCMOSレベルに設定されます。

5.6.4 プルアップ制御

S1C8F626は入出力兼用ポートにプルアップ抵抗を内蔵しており、これを使用するかしないかをポート(1ビット)ごとにソフトウェアで選択できます。各ポートに対応したプルアップコントロールレジスタPULPxxに"1"を書き込むことによりプルアップ抵抗が有効になり、入力モード時にPxx端子がプルアップされます。"0"を書き込んだ場合、プルアップは行われません。

出力モード時には、プルアップコントロールレジスタの設定は無効になります(出力時にはプルアップされません)。

イニシャルリセット時、プルアップコントロールレジスタは"1"(プルアップ)に設定されます。

内蔵プルアップ抵抗によって、ポート端子をLOWレベルからHIGHレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入出力兼用ポートの取り込みには適切な待ち時間の設定が必要となります。待ち時間は以下の式で求められる値以上を設定してください。

待ち時間 = $R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6 [\text{sec}]$

R_{IN} : プルアップ抵抗Max.値

C_{IN} : 端子容量Max.値

使用しない入出力兼用ポートについてはプルアップコントロールレジスタでプルアップを有効に設定してください。

5.6.5 特殊出力

入出力兼用ポートP14～P17は汎用DC入出力のほか、表5.6.5.1に示す特殊出力をソフトウェアによって選択することができます。

表5.6.5.1 特殊出力ポート

出力ポート	特殊出力
P14	TOUT0/TOUT1出力
P15	TOUT2/TOUT3出力
P16	FOUT出力
P17	TOUT2/TOUT3出力

P14～P17を特殊出力ポートとして使用する場合は、対応するI/Oコントロールレジスタ(IOC14～IOC17)に"1"を書き込み、ポートを出力モードに設定してください。

TOUT出力(P14, P15)

S1C8F626は外部デバイスに対してクロックを供給する場合などのために、TOUTx信号(プログラマブルタイマの出力クロック)をP14、P15端子から出力させることができます。

TOUTx信号(x=0～3)の出力はレジスタPTOUTxによって制御します。PTOUTxに"1"を設定するとTOUTx信号が対応するポート端子から出力され、"0"を設定するとDC出力を行います。このとき、I/OコントロールレジスタIOC14/IOC15およびデータレジスタP14D/P15Dの設定は無効になります。

TOUT0～TOUT3信号はプログラマブルタイマ0～3のアンダーフローおよびコンペアマッチによって生成されたタイマ出力信号です。周波数の制御等については"5.10 プログラマブルタイマ"を参照してください。

なお、TOUTx信号はレジスタPTOUTxとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.6.5.1にTOUT信号の出力波形を示します。

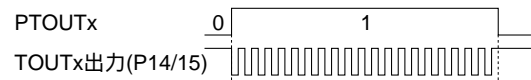


図5.6.5.1 TOUT信号の出力波形

注! PTOUT0とPTOUT1を同時に設定した場合はPTOUT1が、PTOUT2とPTOUT3を同時に設定した場合はPTOUT3が有効になります。

FOUT出力(P16)

S1C8F626は外部デバイスに対してクロックを供給する場合などのために、FOUT信号(発振クロックfosc1またはfosc3の分周クロック)をP16ポート端子から出力させることができます。

FOUT信号の出力はレジスタFOUTONによって制御します。FOUTONに"1"を設定するとFOUT信号がP16ポート端子から出力され、"0"を設定するとDC出力を行います。このとき、I/OコントロールレジスタIOC16およびデータレジスタP16Dの設定は無効になります。

FOUT信号の周波数はソフトウェアによるレジスタFOUT0～FOUT2への設定によって、表5.6.5.2に示す8種類の中から1つを選択することができます。

表5.6.5.2 FOUT周波数の設定

FOUT2	FOUT1	FOUT0	FOUT周波数
1	1	1	fosc3 / 8
1	1	0	fosc3 / 4
1	0	1	fosc3 / 2
1	0	0	fosc3 / 1
0	1	1	fosc1 / 8
0	1	0	fosc1 / 4
0	0	1	fosc1 / 2
0	0	0	fosc1 / 1

(fosc1: OSC1発振周波数、fosc3: OSC3発振周波数)

FOUTの周波数を"fosc3/n"とする場合は、FOUTを出力する以前にOSC3の発振をONさせる必要があります。

なお、OSC3発振回路をONにしてから発振が安定するまでに数10μsec～数10msecの時間を必要とします。したがって、不安定なFOUT信号が外部に出力されることで不具合が生じる場合はOSC3発振ONの後、十分な待ち時間をおいてからFOUTの出力を行ってください。(発振開始時間は発振子、外付け部品によって変動します。"9 電氣的特性"に発振開始時間の一例を示しますので参照してください。)

なお、FOUT信号はレジスタFOUTONとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.6.5.2にFOUT信号の出力波形を示します。

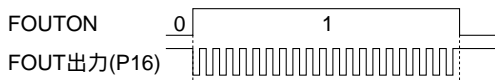


図5.6.5.2 FOUT信号の出力波形

反転TOUT出力(P17)

S1C8F626は外部デバイスに対してクロックを供給する場合やブザーを駆動するために、TOUT2またはTOUT3信号(プログラマブルタイマの出力クロック)の反転出力を行うことができます。

P15のTOUT2またはTOUT3と組み合わせてブザーに接続することにより、より大きなバイアスがかかることが可能です。

TOUTx信号(x=2, 3)の出力はレジスタRPTOUTxによって制御します。RPTOUTxに"1"を設定するとTOUTx信号が対応するポート端子から出力され、"0"を設定するとDC出力を行います。このとき、I/OコントロールレジスタIOC17およびデータレジスタP17Dの設定は無効になります。

TOUT2とTOUT3信号はプログラマブルタイマ2と3のアンダーフローおよびコンペアマッチによって生成されたタイマ出力信号です。周波数の制御等については"5.10 プログラマブルタイマ"を参照してください。

なお、TOUTx信号はレジスタRPTOUTxとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.6.5.3にTOUT信号の出力波形を示します。

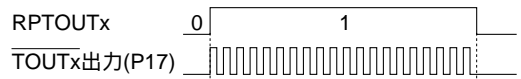


図5.6.5.3 TOUT信号の出力波形

注! RPTOUT2とRPTOUT3を同時に設定した場合はRPTOUT3が有効になります。

5.6.6 入出力兼用ポートの制御方法

表5.6.6.1に入出力兼用ポートの制御ビットを示します。

表5.6.6.1(a) 入出力兼用ポートの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF60	D7	IOC07	P07 I/Oコントロールレジスタ	出力	入力	0	R/W	
	D6	IOC06	P06 I/Oコントロールレジスタ					
	D5	IOC05	P05 I/Oコントロールレジスタ					
	D4	IOC04	P04 I/Oコントロールレジスタ					
	D3	IOC03	P03 I/Oコントロールレジスタ					
	D2	IOC02	P02 I/Oコントロールレジスタ					
	D1	IOC01	P01 I/Oコントロールレジスタ					
	D0	IOC00	P00 I/Oコントロールレジスタ					
00FF61	D7	IOC17	P17 I/Oコントロールレジスタ	出力	入力	0	R/W	
	D6	IOC16	P16 I/Oコントロールレジスタ					
	D5	IOC15	P15 I/Oコントロールレジスタ					
	D4	IOC14	P14 I/Oコントロールレジスタ					
	D3	IOC13	P13 I/Oコントロールレジスタ					
	D2	IOC12	P12 I/Oコントロールレジスタ					
	D1	IOC11	P11 I/Oコントロールレジスタ					
	D0	IOC10	P10 I/Oコントロールレジスタ					
00FF62	D7	P07D	P07入出力兼用ポートデータ	High	Low	1	R/W	
	D6	P06D	P06入出力兼用ポートデータ					
	D5	P05D	P05入出力兼用ポートデータ					
	D4	P04D	P04入出力兼用ポートデータ					
	D3	P03D	P03入出力兼用ポートデータ					
	D2	P02D	P02入出力兼用ポートデータ					
	D1	P01D	P01入出力兼用ポートデータ					
	D0	P00D	P00入出力兼用ポートデータ					
00FF63	D7	P17D	P17入出力兼用ポートデータ	High	Low	1	R/W	
	D6	P16D	P16入出力兼用ポートデータ					
	D5	P15D	P15入出力兼用ポートデータ					
	D4	P14D	P14入出力兼用ポートデータ					
	D3	P13D	P13入出力兼用ポートデータ					
	D2	P12D	P12入出力兼用ポートデータ					
	D1	P11D	P11入出力兼用ポートデータ					
	D0	P10D	P10入出力兼用ポートデータ					
00FF64	D7	PULP07	P07プルアップコントロールレジスタ	On	Off	1	R/W	
	D6	PULP06	P06プルアップコントロールレジスタ					
	D5	PULP05	P05プルアップコントロールレジスタ					
	D4	PULP04	P04プルアップコントロールレジスタ					
	D3	PULP03	P03プルアップコントロールレジスタ					
	D2	PULP02	P02プルアップコントロールレジスタ					
	D1	PULP01	P01プルアップコントロールレジスタ					
	D0	PULP00	P00プルアップコントロールレジスタ					
00FF65	D7	PULP17	P17プルアップコントロールレジスタ	On	Off	1	R/W	
	D6	PULP16	P16プルアップコントロールレジスタ					
	D5	PULP15	P15プルアップコントロールレジスタ					
	D4	PULP14	P14プルアップコントロールレジスタ					
	D3	PULP13	P13プルアップコントロールレジスタ					
	D2	PULP12	P12プルアップコントロールレジスタ					
	D1	PULP11	P11プルアップコントロールレジスタ					
	D0	PULP10	P10プルアップコントロールレジスタ					

表5.6.6.1(b) 入出力兼用ポートの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF67	D7	IFLP17	P17入力I/Fレベル選択レジスタ	CMOS シュミット	CMOS レベル	0	R/W	
	D6	IFLP16	P16入力I/Fレベル選択レジスタ					
	D5	IFLP15	P15入力I/Fレベル選択レジスタ					
	D4	IFLP14	P14入力I/Fレベル選択レジスタ					
	D3	IFLP13	P13入力I/Fレベル選択レジスタ					
	D2	IFLP12	P12入力I/Fレベル選択レジスタ					
	D1	IFLP11	P11入力I/Fレベル選択レジスタ					
	D0	IFLP10	P10入力I/Fレベル選択レジスタ					
00FF68	D7	IOC27	P27 I/Oコントロールレジスタ	出力	入力	0	R/W	
	D6	IOC26	P26 I/Oコントロールレジスタ					
	D5	IOC25	P25 I/Oコントロールレジスタ					
	D4	IOC24	P24 I/Oコントロールレジスタ					
	D3	IOC23	P23 I/Oコントロールレジスタ					
	D2	IOC22	P22 I/Oコントロールレジスタ					
	D1	IOC21	P21 I/Oコントロールレジスタ					
	D0	IOC20	P20 I/Oコントロールレジスタ					
00FF6A	D7	P27D	P27入出力兼用ポートデータ	High	Low	1	R/W	
	D6	P26D	P26入出力兼用ポートデータ					
	D5	P25D	P25入出力兼用ポートデータ					
	D4	P24D	P24入出力兼用ポートデータ					
	D3	P23D	P23入出力兼用ポートデータ					
	D2	P22D	P22入出力兼用ポートデータ					
	D1	P21D	P21入出力兼用ポートデータ					
	D0	P20D	P20入出力兼用ポートデータ					
00FF6C	D7	PULP27	P27プルアップコントロールレジスタ	On	Off	1	R/W	
	D6	PULP26	P26プルアップコントロールレジスタ					
	D5	PULP25	P25プルアップコントロールレジスタ					
	D4	PULP24	P24プルアップコントロールレジスタ					
	D3	PULP23	P23プルアップコントロールレジスタ					
	D2	PULP22	P22プルアップコントロールレジスタ					
	D1	PULP21	P21プルアップコントロールレジスタ					
	D0	PULP20	P20プルアップコントロールレジスタ					
00FF6E	D7	IFLP27	P27入力I/Fレベル選択レジスタ	CMOS シュミット	CMOS レベル	0	R/W	
	D6	IFLP26	P26入力I/Fレベル選択レジスタ					
	D5	IFLP25	P25入力I/Fレベル選択レジスタ					
	D4	IFLP24	P24入力I/Fレベル選択レジスタ					
	D3	IFLP23	P23入力I/Fレベル選択レジスタ					
	D2	IFLP22	P22入力I/Fレベル選択レジスタ					
	D1	IFLP21	P21入力I/Fレベル選択レジスタ					
	D0	IFLP20	P20入力I/Fレベル選択レジスタ					
00FF30	D7	MODE16_A	PTM0-1 8/16ビットモード選択	16ビット×1	8ビット×2	0	R/W	読み出し時は"0"
	D6	PTNREN_A	外部クロック0ノイズリジェクタ選択	有効	無効	0	R/W	
	D5	—	—	—	—	—		
	D4	—	汎用レジスタ	1	0	0	R/W	
	D3	PTOUT0	PTM0クロック出力制御	On	Off	0	R/W	予約レジスタ
	D2	PTRUN0	PTM0 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET0	PTM0プリセット	プリセット	無効	0	W	
	D0	CKSEL0	PTM0入力クロック選択	外部クロック	内部クロック	0	R/W	

表5.6.6.1(c) 入出力兼用ポートの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF31	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D3	PTOUT1	PTM1クロック出力制御	On	Off	0	R/W	
	D2	PTRUN1	PTM1 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET1	PTM1プリセット	プリセット	無効	0	W	読み出し時は"0"
	D0	CKSEL1	PTM1入力クロック選択	外部クロック	内部クロック	0	R/W	
00FF38	D7	MODE16_B	PTM2-3 8/16ビットモード選択	16ビット×1	8ビット×2	0	R/W	
	D6	PTNREN_B	外部クロック1ノイズリジェクタ選択	有効	無効	0	R/W	
	D5	—	—	—	—	—		読み出し時は"0"
	D4	RPTOUT2	PTM2反転クロック出力制御	On	Off	0	R/W	
	D3	PTOUT2	PTM2クロック出力制御	On	Off	0	R/W	
	D2	PTRUN2	PTM2 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET2	PTM2プリセット	プリセット	無効	0	W	読み出し時は"0"
	D0	CKSEL2	PTM2入力クロック選択	外部クロック	内部クロック	0	R/W	
00FF39	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	RPTOUT3	PTM3反転クロック出力制御	On	Off	0	R/W	
	D3	PTOUT3	PTM3クロック出力制御	On	Off	0	R/W	
	D2	PTRUN3	PTM3 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET3	PTM3プリセット	プリセット	無効	0	W	読み出し時は"0"
	D0	CKSEL3	PTM3入力クロック選択	外部クロック	内部クロック	0	R/W	
00FF40	D7	WDEN	ウォッチドッグタイマイネーブル	有効	無効	1	R/W	
	D6	FOUT2	FOUT周波数選択			0	R/W	
			FOUT2 FOUT1 FOUT0 周波数					
			1 1 1 fosc3 / 8					
	D5	FOUT1	1 1 0 fosc3 / 4			0	R/W	
			1 0 1 fosc3 / 2					
			1 0 0 fosc3 / 1					
	D4	FOUT0	0 1 1 fosc1 / 8			0	R/W	
			0 1 0 fosc1 / 4					
			0 0 1 fosc1 / 2					
			0 0 0 fosc1 / 1					
	D3	FOUTON	FOUT出力制御	On	Off	0	R/W	
	D2	WDRST	ウォッチドッグタイマリセット	リセット	無効	—	W	読み出し時は
	D1	TMRST	計時タイマリセット	リセット	無効	—	W	常時"0"
	D0	TMRUN	計時タイマRun/Stop制御	Run	Stop	0	R/W	

DC出力制御

P00D~P07D: 00FF62H**P10D~P17D: 00FF63H****P20D~P27D: 00FF6AH**

Pxx入出力兼用ポート端子のデータの読み出し、および出力データの設定を行います。

データ書き込み時

"1"書き込み: HIGHレベル

"0"書き込み: LOWレベル

入出力兼用ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力兼用ポート端子に出力されます。ポートデータとして"1"を書き込んだ場合はポート端子はHIGH(V_{DD})レベルとなり、"0"を書き込んだ場合はLOW(V_{SS})レベルとなります。

入力モードの場合もポートデータの書き込みは行えます。

データ読み出し時

"1"読み出し: HIGHレベル("1")

"0"読み出し: LOWレベル("0")

入出力兼用ポートが入力モードの場合はポート端子に入力されている電圧レベルが読み出されます。端子電圧がHIGH(V_{DD})レベルの場合は"1"、LOW(V_{SS})レベルの場合は"0"がそれぞれ入力データとして読み出されます。

また、出力モードの場合はデータレジスタの内容が読み出されます。

イニシャルリセット時、本レジスタはすべて"1"(HIGHレベル)に設定されます。

注! 特殊出力およびシリアルインタフェースの出力端子に設定される入出力兼用ポートのデータレジスタは、端子の入出力には影響を与えないリード/ライト可能な汎用レジスタとして使用することができます。

IOC00~IOC07: 00FF60H**IOC10~IOC17: 00FF61H****IOC20~IOC27: 00FF68H**

入出力兼用ポートの入力/出力モードを設定します。

"1"書き込み: 出力モード

"0"書き込み: 入力モード

読み出し: 可能

IOCxxは各入出力兼用ポートにビット単位で対応するI/Oコントロールレジスタです。IOCxxに"1"を書き込むと対応する入出力兼用ポートPxxが出力モードとなり、"0"を書き込むと入力モードとなります。なお、特殊出力を使用する場合は、出力端子となる入出力兼用ポートのI/Oコントロールレジスタ(IOC14~IOC17)に常時"1"を設定する必要があります。

イニシャルリセット時、本レジスタはすべて"0"(入力モード)に設定されます。

注! 特殊出力およびシリアルインタフェースの入出力端子に設定される入出力兼用ポートのI/Oコントロールレジスタは、端子の入出力には影響を与えないリード/ライト可能な汎用レジスタとして使用することができます。

IFLP10~IFLP17: 00FF67H**IFLP20~IFLP27: 00FF6EH**

入力インタフェースレベルを選択します。

"1"書き込み: CMOSシュミット

"0"書き込み: CMOSレベル

読み出し: 可能

IFLPxxはP10~P17とP20~P27入出力兼用ポートにビット単位で対応する入力I/Fレベル選択レジスタです。

IFLPxxに"1"を書き込むことにより、対応する入出力兼用ポートPxxがCMOSシュミット入力に設定されます。"0"を書き込んだ場合は、CMOSレベルの入力I/Fに設定されます。

イニシャルリセット時、本レジスタは"0"(CMOSレベル)に設定されます。

PULP00~PULP07: 00FF64H**PULP10~PULP17: 00FF65H****PULP20~PULP27: 00FF6CH**

入力モード時のプルアップを設定します。

"1"書き込み: プルアップON

"0"書き込み: プルアップOFF

読み出し: 可能

PULPxxは各入出力兼用ポートにビット単位で対応するプルアップコントロールレジスタです。

PULPxxに"1"を書き込むことにより、対応する入出力兼用ポートが入力モード時にプルアップがONとなります。"0"を書き込んだ場合、プルアップは行われません。

イニシャルリセット時、これらのレジスタは"1"に設定され、プルアップ抵抗がすべてONになります。

注! 特殊出力およびシリアルインタフェースの出力端子に設定される入出力兼用ポートのプルアップコントロールレジスタは、プルアップには影響を与えないリード/ライト可能な汎用レジスタとして使用することができます。シリアル入力に用いられるポートのプルアップコントロールレジスタは入出力兼用ポートの場合と同様に機能します。

特殊出力制御

PTOUT0: 00FF30H-D3**PTOUT1: 00FF31H-D3****PTOUT2: 00FF38H-D3****PTOUT3: 00FF39H-D3**

TOUT(プログラマブルタイマ出力クロック)信号の出力制御を行います。

"1"書き込み: TOUT信号出力

"0"書き込み: DC出力

読み出し: 可能

PTOUT0 ~ PTOUT3はTOUT0 ~ TOUT3信号の出力制御レジスタです。"1"を設定するとTOUT0またはTOUT1信号はP14ポート端子から、TOUT2またはTOUT3信号はP15ポート端子から出力され、"0"を設定するとDC出力を行います。

このとき、I/OコントロールレジスタIOC14/IOC15およびデータレジスタP14D/P15Dの設定は無効になります。

イニシャルリセット時、PTOUTは"0"(DC出力)に設定されます。

注! PTOUT0とPTOUT1を同時に設定した場合はPTOUT1が、PTOUT2とPTOUT3を同時に設定した場合はPTOUT3が有効になります。なお、プログラマブルタイマを16ビットモードに設定した場合、TOUT0、TOUT2を出力することはできません。

RPTOUT2: 00FF38H-D4**RPTOUT3: 00FF39H-D4**

TOUT2/TOUT3信号(TOUT2/TOUT3反転信号)の出力制御を行います。

"1"書き込み: TOUT信号出力

"0"書き込み: DC出力

読み出し: 可能

RPTOUT2とRPTOUT3はTOUT2またはTOUT3信号の出力制御レジスタです。"1"を設定するとTOUT2またはTOUT3信号がP17ポート端子から出力され、"0"を設定するとDC出力を行います。

このとき、I/OコントロールレジスタIOC17およびデータレジスタP17Dの設定は無効になります。

イニシャルリセット時、RPTOUTは"0"(DC出力)に設定されます。

注! RPTOUT2とRPTOUT3を同時に設定した場合はRPTOUT3が有効になります。なお、プログラマブルタイマを16ビットモードに設定した場合、TOUT2を出力することはできません。

FOUTON: 00FF40H-D3

FOUT(fosc1/fosc3分周クロック)信号の出力制御を行います。

"1"書き込み: FOUT信号出力

"0"書き込み: DC出力

読み出し: 可能

FOUTONはFOUT信号の出力制御レジスタで、"1"を設定するとFOUT信号がP16ポート端子から出力され、"0"を設定するとDC出力を行います。

このとき、I/OコントロールレジスタIOC16およびデータレジスタP16Dの設定は無効になります。

イニシャルリセット時、FOUTONは"0"(DC出力)に設定されます。

FOUT0~FOUT2: 00FF40H-D4~D6

FOUT信号の周波数を表5.6.6.2のとおり設定します。

表5.6.6.2 FOUT周波数の設定

FOUT2	FOUT1	FOUT0	FOUT周波数
1	1	1	fosc3 / 8
1	1	0	fosc3 / 4
1	0	1	fosc3 / 2
1	0	0	fosc3 / 1
0	1	1	fosc1 / 8
0	1	0	fosc1 / 4
0	0	1	fosc1 / 2
0	0	0	fosc1 / 1

(fosc1: OSC1発振周波数、fosc3: OSC3発振周波数)

イニシャルリセット時、本レジスタは"0"(fosc1/1)に設定されます。

5.6.7 プログラミング上の注意事項

- (1) プルアップ抵抗を有効に設定したポート端子を LOWレベルからHIGHレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入出力兼用ポートの取り込みには適切な待ち時間の設定が必要となります。待ち時間は以下の式で求められる値以上を設定してください。

$$\text{待ち時間} = R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6 [\text{sec}]$$

R_{IN} : プルアップ抵抗Max.値

C_{IN} : 端子容量Max.値

- (2) 特殊出力(TOUT0～3、 $\overline{\text{TOUT2}}$ またはTOUT3、FOUT)信号は出力制御レジスタ(PTOUT0～3、RPTOUT2～3、FOUTON)とは非同期に発生していますので、出力制御レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- (3) FOUTの周波数を" f_{osc3}/n "とする場合は、FOUTを出力する以前にOSC3の発振をONさせる必要があります。
なお、OSC3発振回路をONにしてから発振が安定するまでに数10 μsec ～数10msecの時間を必要とします。したがって、不安定なFOUT信号が外部に出力されることで不具合が生じる場合はOSC3発振ONの後、十分な待ち時間をおいてからFOUTの出力を行ってください。(発振開始時間は発振子、外付け部品によって変動します。
"9 電気的特性"に発振開始時間の一例を示しますので参照してください。)
- (4) 特殊出力(TOUT0～3、 $\overline{\text{TOUT2}}$ またはTOUT3、FOUT)信号がイネーブルの状態ですLEEP命令を実行した場合は、SLEEP状態からの復帰時に特殊出力に不安定なクロックが出力されます。したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前に特殊出力信号をディセーブル状態に設定してください。

5.7 シリアルインタフェース

5.7.1 シリアルインタフェースの構成

S1C8F626はクロック同期式または調歩同期式の選択が可能な全二重方式(調歩同期式選択時)のシリアルインタフェースを2チャンネル内蔵しています。転送方式はソフトウェアによって選択でき、クロック同期式を選択した場合は8ビットのデータ転送が可能です。調歩同期式では7ビットまたは8ビットのデータ転送が可能で、受信データのパリティチェックおよび送信データへのパリティビットの付加もソフトウェア選択によって自動的行えます。

図5.7.1.1にシリアルインタフェースの構成を示します。

注! シリアルインタフェースのチャンネル0とチャンネル1は全く同じ機能を持っており、信号名やレジスタ名はチャンネル番号(0と1)を付けて区別しています(例: チャンネル0はSIN0端子、チャンネル1はSIN1端子等)。以下、特に区別が必要な箇所以外は信号名やレジスタ名のチャンネル番号を"x"として両チャンネルを一括して説明します(例: SIN0/SIN1 SINx)。

シリアルインタフェースチャンネル0の入出力端子SIN0、SOUT0、SCLK0、SRDY0は入出力兼用ポートP10～P13と、チャンネル1の入出力端子SIN1、SOUT1、SCLK1、SRDY1は入出力兼用ポートP20～P23と共用されており、シリアルインタフェースの入出力端子として用いる場合はレジスタESIFxに"1"を書き込む必要があります。イニシャルリセット時は入出力兼用ポート端子に設定されます。

シリアルインタフェースの入出力端子に設定される入出力兼用ポート端子はそれぞれの信号と転送モードによって入出力方向が設定され、対応する入出力兼用ポートのI/Oコントロールレジスタの設定は無効となります。

表5.7.1.1 入出力端子の構成

端子	シリアルインタフェース選択時
P10	SIN0
P11	SOUT0
P12	SCLK0
P13	SRDY0
P20	SIN1
P21	SOUT1
P22	SCLK1
P23	SRDY1

* 転送モードにより使用する端子が異なります。

使用する端子の構成は、レジスタSMDx0およびSMDx1によって設定する転送モードによって決まります。

SINx、SOUTxはそれぞれシリアルデータの入力、出力端子で、クロック同期式および調歩同期式ともに共通です。SCLKxはクロック同期式専用で、同期クロックの入出力端子となります。SRDYxはクロック同期式スレーブモード専用で、送受信レディ信号の出力端子となっています。調歩同期式を選択した場合はSCLKxおよびSRDYxを使用しませんので、P12/P22、P13/P23入出力兼用ポート端子は入出力兼用ポートとして使用することができません。

同様に、クロック同期式マスタモードを選択した場合はSRDYxを使用しませんので、P13/P23入出力兼用ポート端子は入出力兼用ポートとして使用することができます。

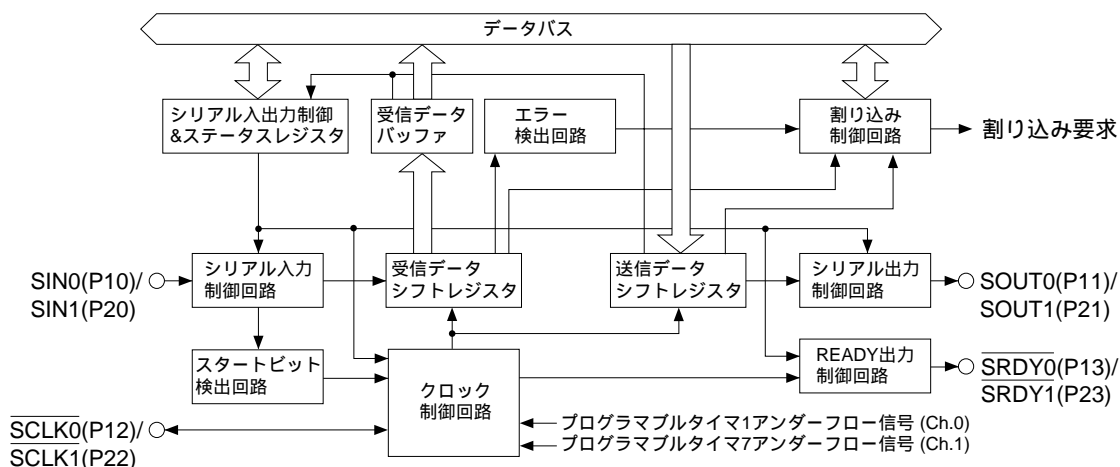


図5.7.1.1 シリアルインタフェースの構成(1チャンネルのみ)

5.7.2 入出力端子仕様

シリアルインタフェースの入出力端子は入出力兼用ポートと共用されているため、入出力兼用ポートの設定によってシリアルインタフェースの端子仕様も決定します。

入出力兼用ポートの各端子には入力モード時においてONするプルアップ抵抗が内蔵されており、これを使用するかしないかをポート(1ビット)ごとに選択することができます。シリアルインタフェース使用時に入力端子となるP10(SIN0)、P12(SCLK0)、P20(SIN1)、P22(SCLK1)端子は、入出力兼用ポートのPULPxxレジスタによってプルアップを使用するかしないかが決定します。プルアップを無効に設定した場合は、入力端子がフローティング状態にならないよう注意してください。また、これらの端子の入力インタフェースレベル(CMOSレベルまたはCMOSシュミット)も入出力兼用ポートのIFLPxxレジスタによって設定可能です。プルアップと入力インタフェースレベルの制御方法については、「5.6 入出力兼用ポート」を参照してください。

出力仕様はコンプリメンタリ出力のみで、オープンドレイン出力の選択や、ハイインピーダンス制御は行えません。

5.7.3 転送モード

シリアルインタフェースの転送モードは、モード選択レジスタSMDx0およびSMDx1の2ビットの設定によって以下の4種類が選択できます。

表5.7.3.1 転送モード

SMDx1	SMDx0	モード
1	1	調歩同期式8ビット
1	0	調歩同期式7ビット
0	1	クロック同期式スレーブ
0	0	クロック同期式マスタ

表5.7.3.2 転送モードによる端子設定

モード	SINx	SOUTx	SCLKx	SRDYx
調歩同期式8ビット	入力	出力	P12/P22	P13/P23
調歩同期式7ビット	入力	出力	P12/P22	P13/P23
クロック同期式スレーブ	入力	出力	入力	出力
クロック同期式マスタ	入力	出力	出力	P13/P23

イニシャルリセット時はクロック同期式マスタモードに設定されます。

クロック同期式マスタモード

本モードでは、内蔵シフトレジスタの同期クロックとして内部クロックを使用する、本シリアルインタフェースをマスタとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックはSCLKx端子からも出力され、外部(スレーブ側)のシリアル入出力デバイスを制御することができます。

このモードではSRDYx端子を使用しませんので、この端子を入出力兼用ポートとして使用することができます。

図5.7.3.1(a)にクロック同期式マスタモードにおける入出力端子の接続例を示します。

クロック同期式スレーブモード

本モードでは、外部(マスタ側)のシリアル入出力デバイスから供給される同期クロックを使用する、本シリアルインタフェースをスレーブとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックはSCLKx端子より入力し、本シリアルインタフェースの同期クロックとして使用します。

また、SRDYx端子からは送受信レディ状態を示すSRDYx信号がシリアルインタフェースの動作状態にしたがって出力されます。

スレーブモードではクロック源を選択するレジスタSCSx0、SCSx1の設定が無効となります。図5.7.3.1(b)にクロック同期式スレーブモードにおける入出力端子の接続例を示します。

調歩同期式7ビットモード

このモードでは、調歩同期式7ビット転送が行えます。データ受信時のパリティチェックおよびデータ送信時のパリティビットの付加(奇数/偶数/なし)を指定でき、データをパリティなし7ビットまたはパリティ付き7ビットとして処理できます。このモードでは内部クロックを使用しますので、SCLKx端子は使用しません。また、SRDYx端子も使用しませんので、この2つの端子は入出力兼用ポートとして使用することができます。

図5.7.3.1(c)に調歩同期式モードにおける入出力端子の接続例を示します。

調歩同期式8ビットモード

このモードでは、調歩同期式8ビット転送が行えます。データ受信時のパリティチェックおよびデータ送信時のパリティビットの付加(奇数/偶数/なし)を指定でき、データをパリティなし8ビットまたはパリティ付き8ビットとして処理できます。このモードでは内部クロックを使用しますので、SCLKx端子は使用しません。また、SRDYx端子も使用しませんので、この2つの端子は入出力兼用ポートとして使用することができます。

図5.7.3.1(c)に調歩同期式モードにおける入出力端子の接続例を示します。

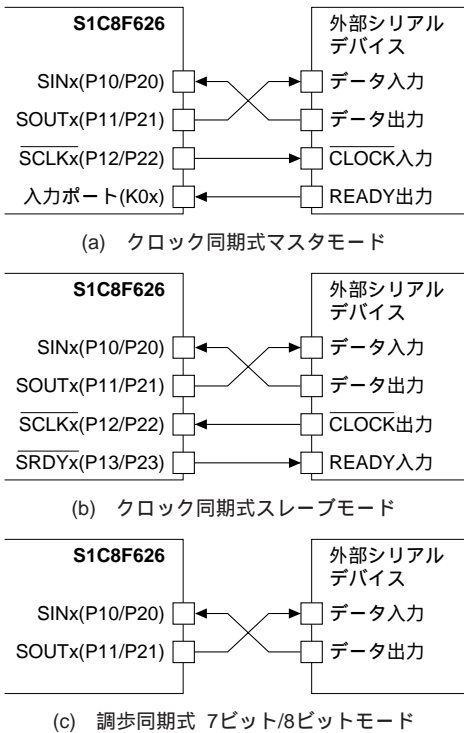


図5.7.3.1 シリアルインタフェース入出力端子の接続例

5.7.4 クロック源

クロック源はクロック選択レジスタSCSx0、SCSx1の2ビットの設定によって以下の4種類が選択できます。

表5.7.4.1 クロック源

SCSx1	SCSx0	クロック源
1	1	プログラマブルタイマ1 (Ch.0) プログラマブルタイマ7 (Ch.1)
1	0	fosc3 / 4
0	1	fosc3 / 8
0	0	fosc3 / 16

クロック同期式スレーブモードでは本レジスタの設定は無効となり、SCLKx端子より入力される外部クロックが使用されます。

"プログラマブルタイマ"を選択した場合は、プログラマブルタイマ1(Ch.0)またはタイマ7(Ch.1)のアンダーフローを1/2分周した信号がクロック源として使用されます。転送速度設定の詳細については"5.10 プログラマブルタイマ"を参照してください。イニシャルリセット時は"fosc3/16"が設定されます。

選択したクロックはさらに1/16に分周され、同期クロックおよびサンプリングクロックとして使用されます。

また、クロック同期式スレーブモードのSCLKxは外部からの入力そのまま使用されます。

表5.7.4.2にプログラマブルタイマをクロック源とした場合の転送速度とOSC3発振周波数の例を示します。

OSC3発振回路の分周信号をクロック源とする場合は、シリアルインタフェースを使用する以前にOSC3の発振をONさせる必要があります。

なお、OSC3発振回路をONにしてから発振が安定するまでに数10μsec～数10msecの時間を必要とします。したがって、シリアルインタフェースの送受信開始はOSC3発振ONの後、充分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"9 電気的特性"に発振開始時間の一例を示しますので参照してください。)

イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

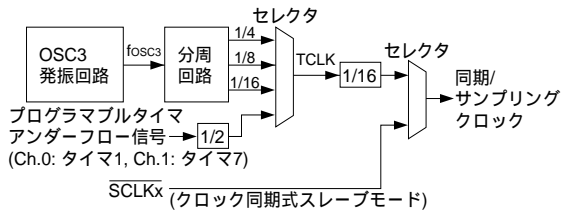


図5.7.4.1 同期クロックの分周

表5.7.4.2 転送速度とOSC3発振周波数

転送速度 (bps)	OSC3発振周波数/プログラマブルタイマの設定					
	fosc3 = 2.4576MHz		fosc3 = 3.0720MHz		fosc3 = 3.6864MHz	
	PST1x/7x	RDR1x/7x	PST1x/7x	RDR1x/7x	PST1x/7x	RDR1x/7x
19,200	00H	03H	00H	04H	00H	05H
9,600	00H	07H	00H	09H	00H	0BH
4,800	00H	0FH	00H	13H	00H	17H
2,400	00H	1FH	00H	27H	00H	2FH
1,200	00H	3FH	00H	4FH	00H	5FH
600	00H	7FH	00H	9FH	00H	BFH
300	02H	1FH	03H	09H	01H	BFH
150	02H	3FH	03H	13H	02H	5FH

* アンダーフロー信号を用いるためCDR1x/7xの値は影響しません。

5.7.5 送受信の制御

以下に送受信の制御を行うレジスタ等を説明します。送受信の制御手順と動作については次項よりモード別に説明しますので、そちらを参照してください。

シフトレジスタと受信データバッファ

本シリアルインタフェースには、送信と受信それぞれに専用のシフトレジスタが設けられています。このため、調歩同期式モード選択時には送信と受信を同時に行う全二重通信が可能です。

TRXDx0 ~ TRXDx7に書き込まれた送信データはシフトレジスタによってシリアル変換され、SOUTx端子から出力されます。

受信部にはシフトレジスタとは別に受信データバッファが設けられています。

受信時には、SINx端子から入力されたデータが、シフトレジスタによってパラレル変換され、受信データバッファに書き込まれます。受信データバッファの読み出しをシリアル入力とは非同期にその動作中に行えるため、効率のよい連続受信が行えます。

ただし、クロック同期式モードではバッファ機能を使用しませんので、次のデータ受信が始まる前にデータを読み出す必要があります。

送信許可レジスタ、送信制御ビット

送信の制御には、送信許可レジスタTXENxと送信制御ビットTXTRGxを使用します。

送信許可レジスタTXENxは送信の許可/禁止状態を設定するレジスタです。このレジスタに"1"を書き込んで送信を許可状態にすると、シフトレジスタへのクロック入力がいネーブルとなり、データの送信が行える状態となります。クロック同期式モードでは、 $\overline{\text{SCLKx}}$ 端子の同期クロック入出力もいネーブルとなります。

送信制御ビットTXTRGxは送信開始のトリガとして使用します。

送信シフトレジスタに送信データを書き込み、送信準備ができたところでTXTRGxに"1"を書き込み送信を開始させます。

割り込みを許可している場合は、送信が終了した時点で割り込みが発生します。

次の送信データがある場合は、この割り込みを利用してデータの書き込みを行うことができます。

また、TXTRGxはステータスとして読み出しが可能で、"1"の場合は送信動作中、"0"の場合は送信停止中を示します。

詳細タイミングについては、各モードのタイミングチャートをそれぞれ参照してください。

なお、送信を行わない場合はTXENxを"0"として、送信禁止状態に設定してください。

受信許可レジスタ、受信制御ビット

受信の制御には、受信許可レジスタRXENxと受信制御ビットRXTRGxを使用します。

受信許可レジスタRXENxは受信の許可/禁止状態を設定するレジスタです。このレジスタに"1"を書き込んで受信を許可状態にすると、シフトレジスタへのクロック入力がいネーブルとなり、データの受信が行える状態となります。クロック同期式モードでは、 $\overline{\text{SCLKx}}$ 端子の同期クロック入出力もいネーブルとなります。これによって受信を開始し、SINx端子から入力されるシリアルデータをシフトレジスタに取り込みます。

受信制御ビットRXTRGxは、クロック同期式と調歩同期式で若干動作が異なります。

クロック同期式でのRXTRGxは受信開始のトリガとして使用します。

受信データを読み出し、次の受信準備ができたところでRXTRGxに"1"を書き込み受信を開始させます。(スレープモードではRXTRGxに"1"を書き込んだところでSRDYxが"0"となります。)

調歩同期式でのRXTRGxは、次のデータの受信準備に使用します。受信データバッファにある受信データを読み出し、バッファが空となったことを知らせるためRXTRGxに"1"を書き込みます。RXTRGxに"1"を書き込まなかった場合は、次の受信が終了した時点でオーバーランエラーフラグOERxが"1"にセットされます。(受信データを読み出す動作とRXTRGxに"1"を書き込む動作との間に受信を終了した場合は、オーバーランエラーとなります。)

また、RXTRGxはステータスとして読み出しが可能で、クロック同期式、調歩同期式どちらのモードでも"1"の場合は受信動作中、"0"の場合は受信停止中を示します。

詳細タイミングについては、各モードのタイミングチャートをそれぞれ参照してください。

なお、受信を行わない場合はRXENxを"0"として、受信禁止状態に設定してください。

5.7.6 クロック同期式転送の動作

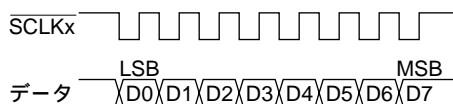
クロック同期式転送は8ビットデータを8個のクロックに同期させて転送する方式で、送信側、受信側で同じ同期クロックを使用します。

本シリアルインタフェースをマスタモードで使用する場合はSCSx0、SCSx1で選択したクロックを1/16に分周したものが同期クロックとして使用され、さらにSCLKx端子を通してスレーブ側(外部のシリアル入出力デバイス)に出力されます。スレーブモードで使用する場合は、マスタ側(外部のシリアル入出力デバイス)からSCLKx端子に入力されたクロックを同期クロックとして使用します。

クロック同期式モードでは1本のクロックライン(SCLKx)を送受信で共用するため、送信と受信を同時に行うことはできません。(クロック同期式モードでは半二重通信となります。)

転送データは8ビット固定で、LSB(ビット0)を先頭にするかMSB(ビット7)を先頭にするかは、レジスタにより切り換えることができます。

LSB先頭



MSB先頭

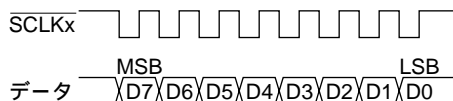


図5.7.6.1 クロック同期式の転送データフォーマット

以下にクロック同期式転送を行う場合の初期化および送受信の制御手順と動作について説明します。シリアルインタフェース割り込みについては"5.7.9 割り込み機能"を参照してください。

シリアルインタフェースの初期化

クロック同期式転送を行う場合には以下の初期設定を行う必要があります。

(1) 送受信禁止に設定

シリアルインタフェースの設定は、送信許可レジスタTXENxおよび受信許可レジスタRXENxにそれぞれ"0"を書き込んで、送受信を禁止にした状態で行ってください。

なお、この2つのレジスタは実際にデータ転送を開始するまで、禁止状態に固定してください。

(2) ポート選択

イニシャルリセット時、シリアルインタフェースの入出力端子SINx、SOUTx、SCLKx、SRDYxは入出力兼用ポート端子P10～P13(チャネル0)/P20～P23(チャネル1)に設定されますので、シリアルインタフェースイネーブルレジスタESIFxに"1"を書き込んでこれらの端子をシリアルインタフェース用に設定します。

(3) 転送モードの設定

モード選択レジスタSMDx0およびSMDx1の2ビットに以下のデータを書き込んでクロック同期式モードを選択します。

マスタモード SMDx0 = "0"、SMDx1 = "0"

スレーブモード SMDx0 = "1"、SMDx1 = "0"

(4) クロック源の選択

マスタモードの場合はクロック源選択レジスタSCSx0、SCSx1の2ビットにデータを書き込んで同期クロック源を選択します。(表5.7.4.1参照)

スレーブモードでは、この選択は不要です。

(2)～(4)の各レジスタは同一アドレス上に割り付けられていますので、1命令で一度に設定が可能です。

なお、このアドレスにはパリティイネーブルレジスタEPRxも割り付けられていますが、クロック同期式モードではパリティを必要としないため、その設定内容にかかわらずパリティチェックは行われません。

(5) クロック源の制御

マスタモードを選択し、クロック源にプログラマブルタイマを選択した場合は、プログラマブルタイマ側で転送速度の設定を行ってください。("5.10 プログラマブルタイマ"参照)

OSC3発振回路の分周信号をクロック源として選択した場合は、データ転送を開始する以前にOSC3の発振をONさせる必要があります。("5.4 発振回路と動作モード"参照)

(6) シリアルデータの入出力順序

データ入出力順序選択レジスタSDPxにより、シリアルデータの入出力の順序をLSBを先頭にするか、MSBを先頭にするか切り換えることができます。SDPxの設定はTRXDx0～TRXDx7にデータを設定する前に行ってください。

データの送信手順

送信時の制御手順と動作は以下のとおりです。

- (1) 送信許可レジスタTXENxおよび受信許可レジスタRXENxに"0"を書き込み、シリアルインタフェースをリセットします。
- (2) 送信許可レジスタTXENxに"1"を書き込み、送信許可状態に設定します。
- (3) 送信するデータをTRXDx0 ~ TRXDx7に書き込みます。
- (4) マスタモードの場合は、必要に応じてスレーブ側(外部シリアル入出力デバイス)の受信レディ状態を確認してください。受信レディ状態になるまで待ちます。
- (5) 送信制御ビットTXTRGxに"1"を書き込み、送信を開始させます。

マスタモードであれば、この制御によって同期クロックがイネーブルとなり、送信用シフトレジスタに供給されるとともにSCLKx端子から出力されます。

スレーブモードでは、SCLKx端子に同期クロックが入力されるのを待ちます。

シフトレジスタの送信データは同期クロックの各立ち下がりエッジで1ビットずつシフトされ、SOUTx端子より出力されます。最後のビット(LSB先頭の場合はMSB、MSB先頭の場合はLSB)が出力されると、次の送信が開始されるまでSOUTx端子はそのレベルを保持します。

シフトレジスタのデータ送信が終了したところで、送信完了割り込み要因フラグFSTRxが"1"にセットされます。割り込みが許可されている場合は、この時点で送信完了割り込みが発生します。

本割り込みを利用して次の送信データをセットしてください。

- (6) 送信データのバイト数だけ(3) ~ (5)を繰り返し、送信が終了した時点で送信許可レジスタTXENxに"0"を書き込み、送信禁止状態に設定します。

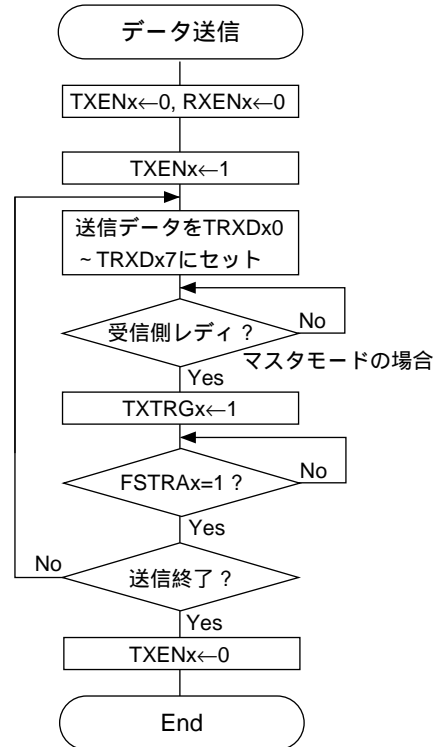


図5.7.6.2 クロック同期式の送信手順

データの受信手順

受信時の制御手順と動作は以下のとおりです。

- (1) 受信許可レジスタRXENxおよび送信許可レジスタTXENxに"0"を書き込み、シリアルインタフェースをリセットします。
- (2) 受信許可レジスタRXENxに"1"を書き込み、受信許可状態に設定します。
- (3) マスタモードの場合は、必要に応じてスレーブ側(外部シリアル入出力デバイス)の送信レディ状態を確認してください。送信レディ状態になるまで待ちます。
- (4) 受信制御ビットRXTRGxに"1"を書き込み、受信を開始させます。

マスタモードであれば、この制御によって同期クロックがイネーブルとなり、受信用シフトレジスタに供給されるとともにSCLKx端子から出力されます。

スレーブモードでは、SCLKx端子に同期クロックが入力されるのを待ちます。

SINx端子から入力される受信データは同期クロックの立ち上がりエッジに同期して順次シフトレジスタ内に取り込まれます。

8ビット目のデータが同期クロック最後(8個目)の立ち上がりエッジで取り込まれたところで、シフトレジスタ内のデータが受信データバッファに転送され、受信完了割り込み要因フラグFSRECxが"1"にセットされます。割り込みが許可されている場合は、この時点で受信完了割り込みが発生します。

- (5) 受信完了割り込みを利用して、受信データをTRXDx0～TRXDx7から読み出します。
- (6) 受信データのバイト数だけ(3)～(5)を繰り返し、受信が終了した時点で受信許可レジスタRXENxに"0"を書き込み、受信禁止状態に設定します。

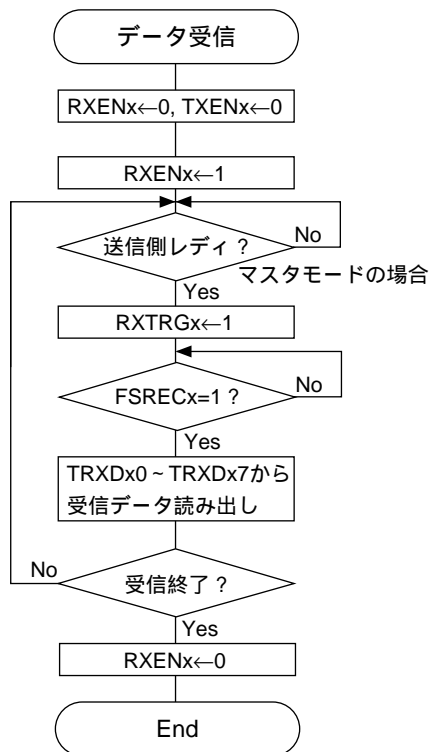
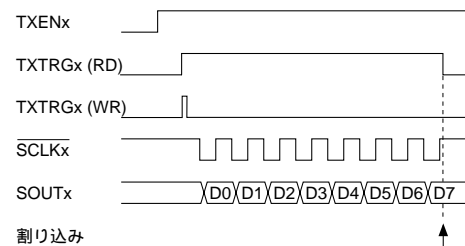


図5.7.6.3 クロック同期式の受信手順

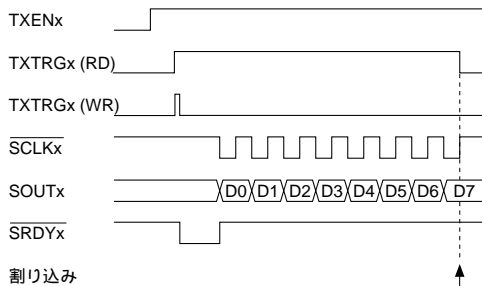
送受信レディ(SRDYx)信号

本シリアルインタフェースをクロック同期式スレーブモード(外部クロック入力)で使用する場合は、マスタ側(外部のシリアル入出力デバイス)に対して本シリアルインタフェースが送受信可能かどうかを示すSRDYx信号が出力されます。この信号はSRDYx端子から出力され、本インタフェースが送信または受信可能なREADY状態のときに"0"(LOWレベル)、送受信動作時などのBUSY状態のときに"1"(HIGHレベル)となります。

SRDYx信号は送信制御ビットTXTRGx、または受信制御ビットRXTRGxに"1"を書き込んだ直後に"1"から"0"に変化し、初の同期クロックが入力された時点(立ち下がりエッジ)で"0"から"1"に戻ります。



(a) マスタモード送信タイミング

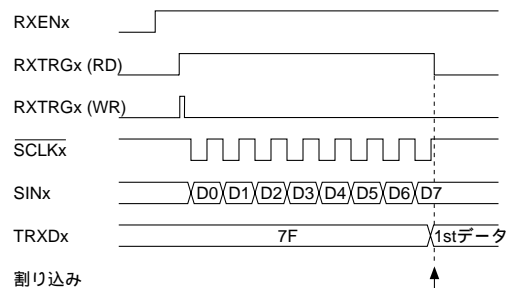


(b) スレーブモード送信タイミング

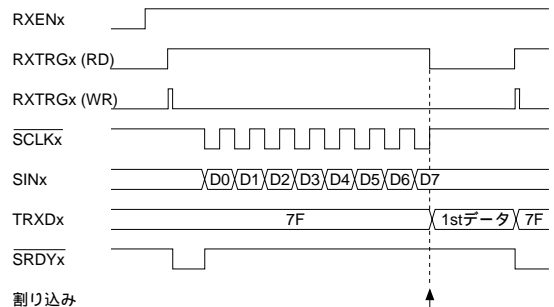
マスタモードに設定した場合は、スレーブ側から同様の信号を入力ポートまたは入出力兼用ポートを使用して取り込み、転送の制御を行ってください。この場合、SRDYx端子は設定されずP13/P23端子が入出力兼用ポートとして機能しますので、このポートをその制御にあてることもできます。

タイミングチャート

クロック同期式転送のタイミングチャートを図5.7.6.4に示します。



(c) マスタモード受信タイミング



(d) スレーブモード受信タイミング

図5.7.6.4 タイミングチャート(クロック同期式転送、LSB先頭の場合)

5.7.7 調歩同期式転送の動作

調歩同期式転送は、シリアル変換した各データの前後にスタートビットとストップビットを付加して転送を行う方式です。この方式では、送信側、受信側それぞれで完全に同期の一致したクロックを用いる必要はなく、各データの前後に付けられたスタート/ストップビットで同期をとりながら転送を行います。この転送モードを選択することによって、RS-232Cインタフェース機能などを容易に実現することができます。

本インタフェースは送受信個別にシフトレジスタを持っており、送受信が同時に行える全二重方式の転送が可能となっています。

調歩同期式での転送速度は、通常モード時で最大19200bps、低パワーモード時で最大600bpsとなります。

転送データは、調歩同期式7ビットモードでは7ビットデータ(パリティなし)または7ビットデータ+パリティビットのいずれかが選択できます。調歩同期式8ビットモードでは8ビットデータ(パリティなし)または8ビットデータ+パリティビットのいずれかが同様に選択できます。パリティには偶数または奇数が選択でき、受信データのパリティチェックおよび送信データへのパリティビット付加を自動的に行います。したがって、プログラムでパリティデータそのものを意識する必要はありません。

スタートビットは1ビット固定、ストップビットはストップビット選択レジスタSTPBxにより、1ビットまたは2ビットを選択できます。また、LSB(ビット0)を先頭とするかMSB(ビット7)を先頭とするかは、データ入出力順列選択レジスタSDPxにより切り換えることができます。

LSB先頭の場合



MSB先頭の場合



s1: スタートビット(Lowレベル, 1ビット)
s2: ストップビット(Highレベル, 1ビットまたは2ビット)
p: パリティビット

図5.7.7.1 調歩同期式の転送データフォーマット

以下に調歩同期式転送を行う場合の初期化および送受信の制御手順と動作について説明します。シリアルインタフェース割り込みについては"5.7.9 割り込み機能"を参照してください。

シリアルインタフェースの初期化

調歩同期式転送を行う場合には以下の初期設定を行う必要があります。

- (1) 送受信禁止に設定
シリアルインタフェースの設定は、送信許可レジスタTXENxおよび受信許可レジスタRXENxにそれぞれ"0"を書き込んで、送受信を禁止にした状態で行ってください。
なお、この2つのレジスタは実際にデータ転送を開始するまで、禁止状態に固定してください。
- (2) ポート選択
イニシャルリセット時、シリアルインタフェースの入出力端子SINx、SOUTxは入出力兼用ポート端子P10/P20、P11/P21に設定されますので、シリアルインタフェースイネーブルレジスタESIFxに"1"を書き込んでこれらの端子をシリアルインタフェース用に設定します。
クロック同期式モードにおいて設定されるSCLKx、SRDYx端子は調歩同期式モードでは使用しません。これらの端子は入出力兼用ポート端子P12/P22、P13/P23として機能します。
- (3) 転送モードの設定
モード選択レジスタSMDx0およびSMDx1の2ビットに以下のデータを書き込んで調歩同期式モードを選択します。
7ビットモード SMDx0 = "0", SMDx1 = "1"
8ビットモード SMDx0 = "1", SMDx1 = "1"
- (4) パリティビットの選択
パリティビットをチェックおよび付加する場合はパリティイネーブルレジスタEPRxに"1"を書き込んで"パリティチェックあり"に設定してください。この設定によって、調歩同期式7ビットモードでは7ビットデータ+パリティビットのデータ構成に、調歩同期式8ビットモードでは8ビットデータ+パリティビットのデータ構成にそれぞれ設定されます。この場合、受信時のパリティチェックと送信時のパリティビット付加は、ハードウェアによって自動的に行われます。また、"パリティチェックあり"とした場合は、さらにパリティモード選択レジスタPMDxによって、パリティを"奇数"とするか"偶数"とするかを、選択する必要があります。

レジスタEPRxに"0"を書き込んで"パリティチェックなし"を選択すると、調歩同期式7ビットモードでは7ビットデータ(パリティなし)のデータ構成に、調歩同期式8ビットモードでは8ビットデータ(パリティなし)のデータ構成にそれぞれ設定され、パリティチェックおよびパリティビットの付加は行われません。

(5) クロック源の選択

クロック源選択レジスタSCSx0およびSCSx1の2ビットにデータを書き込んでクロック源を選択します。(表5.7.4.1参照)

(2)～(5)の各レジスタは同一アドレス上に割り付けられていますので、1命令で一度に設定が可能です。

(6) クロック源の制御

クロック源にプログラマブルタイマを選択した場合は、プログラマブルタイマ側で転送速度の設定を行ってください。("5.10 プログラマブルタイマ"参照)

OSC3発振回路の分周信号をクロック源として選択した場合は、データ転送を開始する以前にOSC3の発振をONさせる必要があります。("5.4 発振回路と動作モード"参照)

(7) ストップビット長の選択

ストップビット選択レジスタSTPBxにより、ストップビットを1ビットにするか2ビットにするかを選択することができます。

表5.7.7.1 ストップビットとパリティビットの設定

STPBx	EPRx	PMDx	設 定	
			ストップビット	パリティビット
1	1	1	2ビット	奇数
		0	2ビット	偶数
	0	–	2ビット	なし
0	1	1	1ビット	奇数
		0	1ビット	偶数
	0	–	1ビット	なし

(8) シリアルデータの入出力順列

データ入出力順列選択レジスタSDPxにより、シリアルデータの入出力の順列をLSBを先頭にするか、MSBを先頭にするか切り換えることができます。SDPxの設定はTRXDx0～TRXDx7にデータを設定する前に行ってください。

データの送信

送信時の制御手順と動作は以下のとおりです。

- (1) 送信許可レジスタTXENxに"0"を書き込み、シリアルインタフェースをリセットします。
- (2) 送信許可レジスタTXENxに"1"を書き込み、送信許可状態に設定します。
- (3) 送信するデータをTRXDx0～TRXDx7に書き込みます。
なお、7ビットデータ選択時は、TRXDx7のデータは無効となります。

- (4) 送信制御ビットTXTRGxに"1"を書き込み、送信を開始させます。

この制御によってシフトクロックがイネーブルとなり、その立ち上がりエッジに同期してスタートビット(LOW)がSOUTx端子に出力されます。シフトレジスタに設定された送信データは、その後のクロックの各立ち上がりエッジで1ビットずつシフトされSOUTx端子より出力されます。データ出力後はストップビット(HIGH)が出力され、次のスタートビットの出力までHIGHレベルが保持されます。

送信が終了したところで、送信完了割り込み要因フラグFSTRAxが"1"にセットされます。割り込みが許可されている場合は、この時点で送信完了割り込みが発生します。

本割り込みを利用して次の送信データをセットしてください。

- (5) 送信データのバイト数だけ(3)～(4)を繰り返し、送信が終了した時点で送信許可レジスタTXENxに"0"を書き込み、送信禁止状態に設定します。

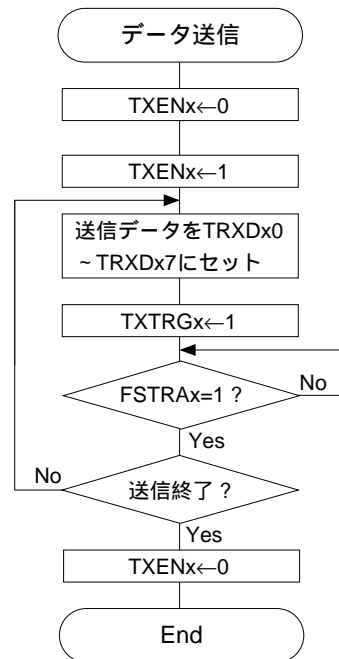


図5.7.7.2 調歩同期式の送信手順

データの受信

受信時の制御手順と動作は以下のとおりです。

- (1) 受信許可レジスタRXENxに"0"を書き込んで受信禁止状態に設定し、パリティエラー、オーバーランエラー、フレーミングエラーの発生を示すPERxフラグ、OERxフラグ、FERxフラグをそれぞれリセットします。
- (2) 受信許可レジスタRXENxに"1"を書き込み、受信許可状態に設定します。
- (3) SINx端子にスタートビット(LOW)が入力された時点からシフトクロックがイネーブルとなり、受信データが2個目以降のクロックの立ち上がりエッジに同期して順次シフトレジスタ内に取り込まれます。

データビットが取り込まれた後、ストップビットがチェックされ、HIGHレベルでない場合にはフレーミングエラーとなり、エラー割り込み要因フラグFSERRxが"1"にセットされます。割り込みが許可されている場合には、この時点でエラー割り込みが発生します。

受信が終了すると、シフトレジスタ内のデータが受信データバッファに転送され、受信完了割り込み要因フラグFSRECxが"1"にセットされます。割り込みが許可されている場合には、この時点で受信完了割り込みが発生します。(オーバーランエラー発生時は割り込み要因フラグFSRECxは"1"にセットされず、受信完了割り込みも発生しません。)

また、"パリティチェックあり"を選択している場合は、シフトレジスタから受信データバッファにデータが転送される際にパリティチェックが行われ、パリティエラーが検出された場合にはエラー割り込み要因フラグFSERRxが"1"にセットされます。割り込みを許可している場合には、前記フレーミングエラー同様この時点でエラー割り込みが発生します。

- (4) 受信完了割り込みを利用して、受信データをTRXDx0 ~ TRXDx7から読み出します。

- (5) 受信制御ビットRXTRGxに"1"を書き込み、受信データが読み出されたことを知らせます。

RXTRGxに"1"を書き込む以前に次のデータを受信すると、オーバーランエラーと認識され、エラー割り込み要因フラグFSERRxが"1"にセットされます。割り込みを許可している場合には、前記フレーミングエラー、パリティエラー同様この時点でエラー割り込みが発生します。

- (6) 受信データのバイト数だけ(3) ~ (5)を繰り返し、受信が終了した時点で受信許可レジスタRXENxに"0"を書き込み、受信禁止状態に設定します。

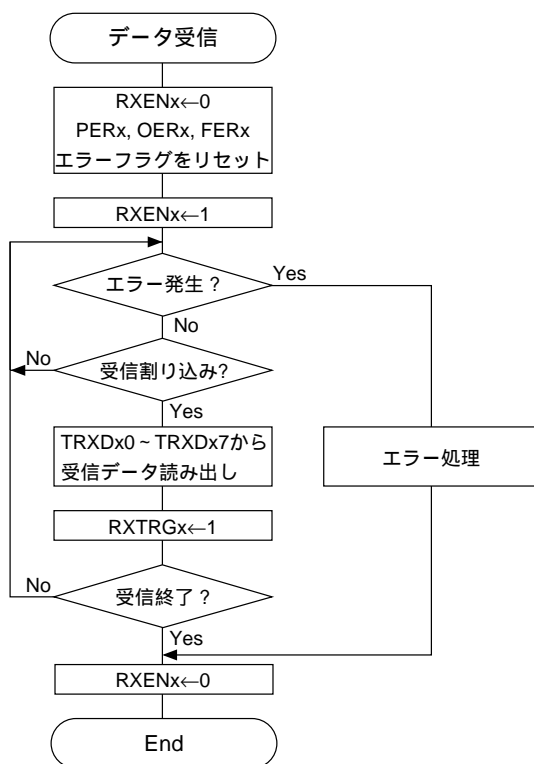


図5.7.7.3 調歩同期式の受信手順

受信エラー

受信時には以下の3種類のエラーを、割り込みによって検出することができます。

(1) パリティエラー

レジスタEPRxに"1"を書き込んで"パリティチェックあり"を選択した場合には、受信時にパリティチェック(垂直パリティチェック)が行われます。これは送信データ(1キャラクタ)中の"1"のビット数の合計にパリティを加え、その数が奇数が偶数かをパリティビットにのせて送信し、それを受信側でチェックする方式です。パリティチェックはシフトレジスタに受信されたデータが受信データバッファに転送される際に行われ、データ(パリティビット含)中の"1"のビット数がレジスタPMDxで設定した奇数または偶数パリティと整合がとれるかをチェックします。このとき、不整合となった場合にはパリティエラーと認識され、パリティエラーフラグPERxおよびエラー割り込み要因フラグFSERRxが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグPERxは"1"を書き込むことによって"0"にリセットされます。本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。ただし、その時点での受信データはパリティエラーのため保証されません。

(2) フレーミングエラー

調歩同期式転送ではスタートビット("0")とストップビット("1")で1キャラクタごとに同期をとっています。ストップビットを"0"として受信した場合、シリアルインタフェースは同期ずれと判断してフレーミングエラーが発生します。本エラーが発生すると、フレーミングエラーフラグFERxおよびエラー割り込み要因フラグFSERRxが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグFERxは"1"を書き込むことによって"0"にリセットされます。本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。

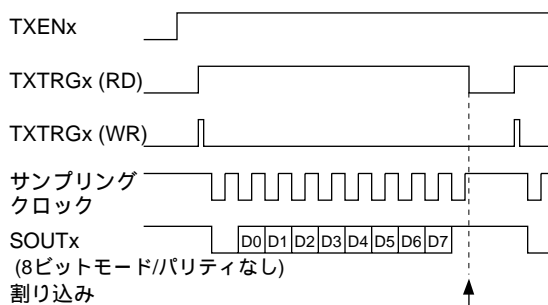
(3) オーバーランエラー

RXTRGxに"1"を書き込む前に次のデータを受信すると、前回の受信データが上書きされるためオーバーランエラーが発生します。

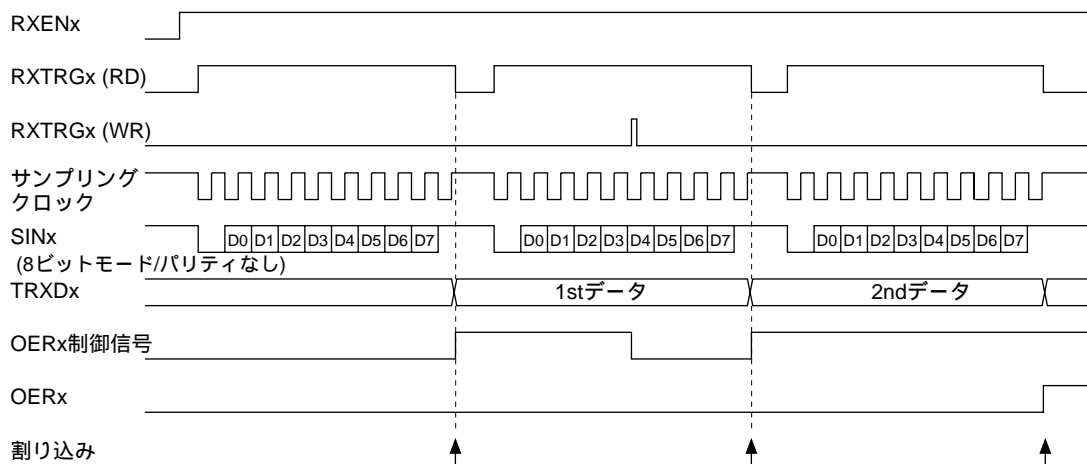
本エラーが発生すると、オーバーランエラーフラグOERxおよびエラー割り込み要因フラグFSERRxが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグOERxは"1"を書き込むことによって"0"にリセットされます。本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。なお、RXTRGxに"1"を書き込むタイミングと受信データが受信データバッファに転送されるタイミングが重なった場合は、オーバーランエラーと認識されます。

タイミングチャート

調歩同期式転送のタイミングチャートを図5.7.7.4に示します。



(a) 送信タイミング



(b) 受信タイミング

図5.7.7.4 タイミングチャート(調歩同期式転送、LSB先頭、ストップビット=1ビットの場合)

5.7.8 赤外線インタフェース

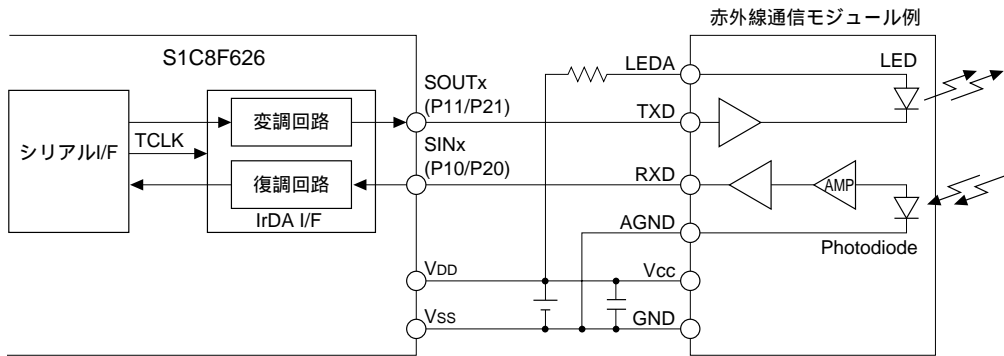


図5.7.8.1 IrDAインタフェースの構成例

シリアルインタフェースは変調/復調回路を内蔵しており、IrDA(Infrared Data Association)規格に準拠した赤外線通信の回路を簡単な外部回路を追加することにより構成できるようになっています。

IrDAインタフェースの設定

この変調/復調回路を使用できるのは、調歩同期式モードに設定されている場合に限られます。IrDAインタフェースを使用する場合はIRSTxレジスタの設定を行い、シリアルインタフェースの機能を切り換えてください。(表5.7.8.1参照)

表5.7.8.1 IrDAインタフェースの設定

IRSTx	設定内容
1	IrDAインタフェースに設定
0	IrDAインタフェースに設定しない (通常のインタフェース)

イニシャルリセット時は、通常のインタフェースとなるように設定されます。

IrDAインタフェースに設定した場合は、シリアルインタフェースの入出力信号の論理極性を外部に接続する赤外線通信モジュールに合わせて反転させることができます。通常はLOWアクティブ(負極性)ですが、HIGHアクティブ(正極性)の信号を入出力する場合に論理を反転します。入力SINxと出力SOUTxの論理をそれぞれIRILxレジスタ、IRTLxレジスタによって個別に設定することができます。(表5.7.8.2、表5.7.8.3参照)

イニシャルリセット時はIRILxレジスタ、IRTLxレジスタ共に"0"(論理反転しない)に設定されます。

IrDAインタフェースの制御

変調/復調回路による入力信号の変換動作は図5.7.8.2と5.7.8.3のとおりです。

データ転送の制御方法は調歩同期式モードの場合とまったく同じです。"5.7.5 送受信の制御"を参照してください。

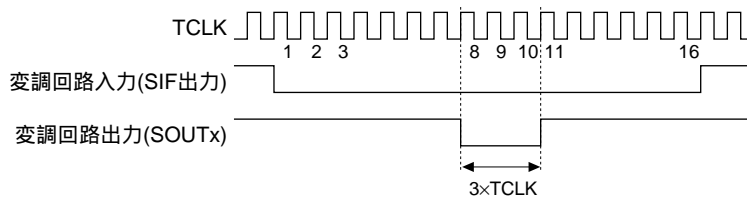


図5.7.8.2 入出力信号(送信時)

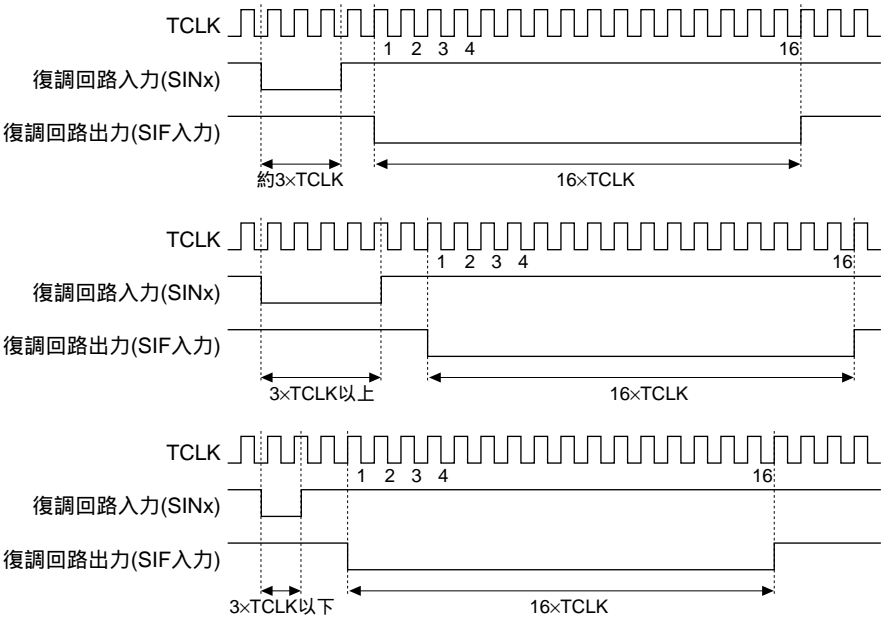


図5.7.8.3 入出力信号(受信時)

入出力論理設定例

- 8ビット調歩同期式
- LSB先頭
- 奇数パリティ
- ストップビット 2ビット

表5.7.8.2 IrDAインタフェースの入力論理

IRILx	設定内容
1	SINxからの入力論理を反転する(HIGHアクティブ)
0	SINxからの入力論理を反転しない(LOWアクティブ)

表5.7.8.3 IrDAインタフェースの出力論理

IRTLx	設定内容
1	SOUTxからの出力論理を反転する(HIGHアクティブ)
0	SOUTxからの出力論理を反転しない(LOWアクティブ)

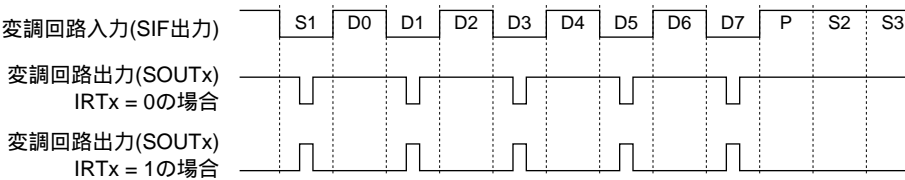


図5.7.8.4 送信波形の例

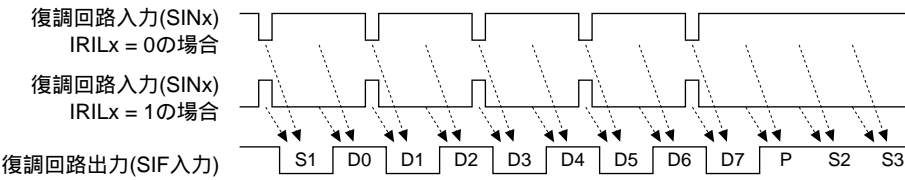


図5.7.8.5 受信波形の例

5.7.9 割り込み機能

本シリアルインタフェースには以下に示す3種類の割り込みを発生させる機能があります。

- 送信完了割り込み
- 受信完了割り込み
- エラー割り込み

それぞれの割り込み要因に対して割り込み要因フラグFSxxxと割り込みイネーブルレジスタESxxxが設けられており、割り込みの許可/禁止をソフトウェアによって設定することができます。また、CPUに対するシリアルインタフェース割り込みの優先レベルを割り込みプライオリティレジスタPSIFx0、PSIFx1によって任意のレベル(0~3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については、「5.14 割り込みとスタンバイ状態」を参照してください。

図5.7.9.1にシリアルインタフェース割り込み回路の構成を示します。

送信完了割り込み

本割り込み要因は、シフトレジスタに書き込んだデータの送信が終了した時点で発生し、割り込み要因フラグFSTRxを"1"にセットします。このとき、割り込みイネーブルレジスタESTRxxが"1"で、かつ割り込みプライオリティレジスタPSIFx0、PSIFx1がインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込みイネーブルレジスタESTRxxに"0"が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグFSTRxxは"1"にセットされます。

割り込み要因フラグFSTRxxは"1"を書き込むことによって"0"にリセットされます。

本割り込み要因の発生によって、次の送信データのセットと送信開始の制御(TXTRGxxに"1"を書き込む)を行うことができます。

本割り込み要因の例外処理ベクタアドレスは、チャンネル0が00002CH、チャンネル1が000050Hに設定されています。

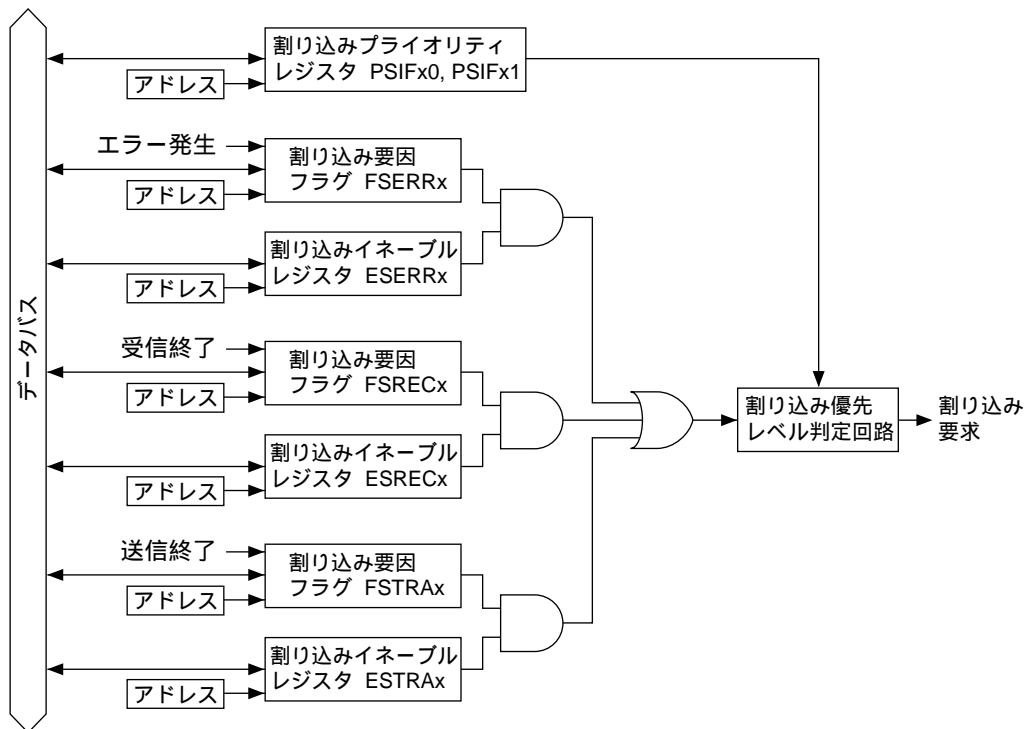


図5.7.9.1 シリアルインタフェース割り込み回路の構成

受信完了割り込み

本割り込み要因は、受信が完了してシフトレジスタに取り込まれた受信データが受信データバッファに転送された時点で発生し、割り込み要因フラグFSRExCを"1"にセットします。このとき、割り込みイネーブルレジスタESRExCが"1"で、かつ割り込みプライオリティレジスタPSIFx0、PSIFx1がインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込みイネーブルレジスタESRExCに"0"が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグFSRExCは"1"にセットされます。

割り込み要因フラグFSRExCは"1"を書き込むことによって"0"にリセットされます。

本割り込み要因の発生により、受信データの読み出しが可能となります。

なお、パリティエラーおよびフレーミングエラー発生時にも割り込み要因フラグFSRExCは"1"にセットされます。

本割り込み要因の例外処理ベクタアドレスは、チャンネル0が00002AH、チャンネル1が00004EHに設定されています。

エラー割り込み

本割り込み要因は、受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された時点で発生し、割り込み要因フラグFSERRxを"1"にセットします。このとき、割り込みイネーブルレジスタESERRxが"1"で、かつ割り込みプライオリティレジスタPSIFx0、PSIFx1がインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込みイネーブルレジスタESERRxに"0"が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグFSERRxは"1"にセットされます。

割り込み要因フラグFSERRxは"1"を書き込むことによって"0"にリセットされます。

3種類のエラーとも同一の割り込み要因となっていますので、発生したエラーの識別はエラーフラグPERx(パリティエラー)、OERx(オーバーランエラー)、FERx(フレーミングエラー)で行ってください。

本割り込み要因の例外処理ベクタアドレスは、チャンネル0が000028H、チャンネル1が00004CHに設定されています。

5.7.10 シリアルインタフェースの制御方法

表5.7.10.1にシリアルインタフェースの制御ビットを示します。

表5.7.10.1(a) シリアルインタフェースの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF48	D7	—	—	—	—	—		読み出し時は"0"
	D6	EPR0	シリアルI/F0パリティイネーブルレジスタ	パリティ付き	パリティなし	0	R/W	調歩同期式のみ
	D5	PMD0	シリアルI/F0パリティモード選択	奇数	偶数	0	R/W	
	D4	SCS01	シリアルI/F0クロック源選択			0	R/W	クロック同期式 スレーブモード では外部クロック が選択される
			SCS01 SCS00 クロック源					
			1 1 プログラマブルタイマ1					
			1 0 fosc3 / 4					
			0 1 fosc3 / 8					
			0 0 fosc3 / 16					
	D3	SCS00				0	R/W	
00FF49	D2	SMD01	シリアルI/F0モード選択			0	R/W	
	D1	SMD00	SMD01 SMD00 モード					
			1 1 調歩同期式8ビット					
			1 0 調歩同期式7ビット			0	R/W	
			0 1 クロック同期式スレーブ					
			0 0 クロック同期式マスタ					
	D0	ESIF0	シリアルI/F0イネーブルレジスタ	シリアルI/F	I/Oポート	0	R/W	
	D7	—	—	—	—	—		読み出し時は"0"
	D6	FER0	シリアルI/F0 フレーミングエラーフラグ	R エラー W リセット(0)	エラーなし 無効	0	R/W	調歩同期式のみ
	D5	PER0	シリアルI/F0 パリティエラーフラグ	R エラー W リセット(0)	エラーなし 無効	0	R/W	
	D4	OER0	シリアルI/F0 オーバーランエラーフラグ	R エラー W リセット(0)	エラーなし 無効	0	R/W	
	D3	RXTRG0	シリアルI/F0受信トリガ/ステータス	R 受信中 W トリガ	停止中 無効	0	R/W	
	D2	RXEN0	シリアルI/F0受信許可		許可 禁止	0	R/W	
	D1	TXTRG0	シリアルI/F0送信トリガ/ステータス	R 送信中 W トリガ	停止中 無効	0	R/W	
	D0	TXEN0	シリアルI/F0送信許可		許可 禁止	0	R/W	
00FF4A	D7	TRXD07	シリアルI/F0送受信データD7 (MSB)			X	R/W	読み出し時: 受信データ 書き込み時: 送信データ
	D6	TRXD06	シリアルI/F0送受信データD6			X	R/W	
	D5	TRXD05	シリアルI/F0送受信データD5			X	R/W	
	D4	TRXD04	シリアルI/F0送受信データD4			X	R/W	
	D3	TRXD03	シリアルI/F0送受信データD3			X	R/W	
	D2	TRXD02	シリアルI/F0送受信データD2			X	R/W	
	D1	TRXD01	シリアルI/F0送受信データD1			X	R/W	
	D0	TRXD00	シリアルI/F0送受信データD0 (LSB)			X	R/W	
				High	Low			
00FF4B	D7	IRTL0	SI/F0 IrDAインタフェース出力論理反転	反転	反転なし	0	R/W	
	D6	IRIL0	SI/F0 IrDAインタフェース入力論理反転	反転	反転なし	0	R/W	
	D5	—	—	—	—	—		読み出し時は"0"
	D4	IRST0	SI/F0 IrDAインタフェース設定	IrDA	通常	0	R/W	
	D3	—	—	—	—	—		読み出し時は 常時"0"
	D2	—	—	—	—	—		
	D1	STPB0	シリアルI/F0ストップビット選択	2ビット	1ビット	0	R/W	
	D0	SDP0	シリアルI/F0データ入出力順列選択	MSB先頭	LSB先頭	0	R/W	

表5.7.10.1(b) シリアルインタフェースの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF4C	D7	—	—	—	—	—		読み出し時は"0"
	D6	EPR1	シリアル/F1パリティイネーブルレジスタ	パリティ付き	パリティなし	0	R/W	調歩同期式のみ
	D5	PMD1	シリアル/F1パリティモード選択	奇数	偶数	0	R/W	
	D4	SCS11	シリアル/F1クロック源選択 SCS11 SCS10 クロック源			0	R/W	クロック同期式 スレーブモード では外部クロック が選択される
	D3	SCS10	1 1 プログラマブルタイマ7					
			1 0 fosc3 / 4					
			0 1 fosc3 / 8					
			0 0 fosc3 / 16					
00FF4D	D2	SMD11	シリアル/F1モード選択 SMD11 SMD10 モード			0	R/W	調歩同期式8ビット
	D1	SMD10	1 1 調歩同期式7ビット					
			1 0 調歩同期式7ビット					
			0 1 クロック同期式スレーブ					
			0 0 クロック同期式マスタ					
	D0	ESIF1	シリアル/F1イネーブルレジスタ	シリアル/F	I/Oポート	0	R/W	
	D7	—	—	—	—	—		読み出し時は"0"
	D6	FER1	シリアル/F1 フレーミングエラーフラグ	R エラー W リセット(0)	エラーなし 無効	0	R/W	調歩同期式のみ
00FF4E	D5	PER1	シリアル/F1 パリティエラーフラグ	R エラー W リセット(0)	エラーなし 無効	0	R/W	
	D4	OER1	シリアル/F1 オーバーランエラーフラグ	R エラー W リセット(0)	エラーなし 無効	0	R/W	受信データ 書き込み時: 送信データ
	D3	RXTRG1	シリアル/F1受信トリガ/ステータス	R 受信中 W トリガ	停止中 無効	0	R/W	
	D2	RXEN1	シリアル/F1受信許可	許可	禁止	0	R/W	
	D1	TXTRG1	シリアル/F1送信トリガ/ステータス	R 送信中 W トリガ	停止中 無効	0	R/W	
	D0	TXEN1	シリアル/F1送信許可	許可	禁止	0	R/W	
	D7	TRXD17	シリアル/F1送受信データD7 (MSB)	High	Low	X	R/W	読み出し時: 受信データ 書き込み時: 送信データ
	D6	TRXD16	シリアル/F1送受信データD6			X	R/W	
	D5	TRXD15	シリアル/F1送受信データD5			X	R/W	
	D4	TRXD14	シリアル/F1送受信データD4			X	R/W	
	D3	TRXD13	シリアル/F1送受信データD3			X	R/W	
	D2	TRXD12	シリアル/F1送受信データD2			X	R/W	
	D1	TRXD11	シリアル/F1送受信データD1			X	R/W	
	D0	TRXD10	シリアル/F1送受信データD0 (LSB)			X	R/W	
00FF4F	D7	IRTL1	SI/F1 IrDAインタフェース出力論理反転	反転	反転なし	0	R/W	
	D6	IRIL1	SI/F1 IrDAインタフェース入力論理反転	反転	反転なし	0	R/W	
	D5	—	—	—	—	—		読み出し時は"0"
	D4	IRST1	SI/F1 IrDAインタフェース設定	IrDA	通常	0	R/W	
	D3	—	—	—	—	—		読み出し時は 常時"0"
	D2	—	—	—	—	—		
	D1	STPB1	シリアル/F1ストップビット選択	2ビット	1ビット	0	R/W	
	D0	SDP1	シリアル/F1データ入出力順列選択	MSB先頭	LSB先頭	0	R/W	

表5.7.10.1(c) シリアルインタフェースの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF20	D7	PK01	K00 ~ K07割り込み	PK01 PK00 PSIF01 PSIF00 PSW1 PSW0 PTM1 PTM0 1 1 1 0 0 1 0 0	優先 レベル レベル3 レベル2 レベル1 レベル0	0	R/W	
	D6	PK00	プライオリティレジスタ			0	R/W	
	D5	PSIF01	シリアルインタフェース0割り込み			0	R/W	
	D4	PSIF00	プライオリティレジスタ			0	R/W	
	D3	PSW1	ストップウォッチタイマ割り込み			0	R/W	
	D2	PSW0	プライオリティレジスタ			0	R/W	
	D1	PTM1	計時タイマ割り込み			0	R/W	
00FF21	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	PPT3	プログラマブルタイマ3-2割り込み	PPT3 PPT2 PPT1 PPT0 PSIF11 PSIF10 1 1 1 0 0 1 0 0	優先 レベル レベル3 レベル2 レベル1 レベル0	0	R/W	
	D4	PPT2	プライオリティレジスタ			0	R/W	
	D3	PPT1	プログラマブルタイマ1-0割り込み			0	R/W	
	D2	PPT0	プライオリティレジスタ			0	R/W	
	D1	PSIF11	シリアルインタフェース1割り込み			0	R/W	
	D0	PSIF10	プライオリティレジスタ			0	R/W	
00FF23	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	ESERR1	シリアル/F1(エラー)割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W	
	D4	ESREC1	シリアル/F1(受信)割り込みイネーブル			0	R/W	
	D3	ESTRA1	シリアル/F1(送信)割り込みイネーブル			0	R/W	
	D2	ESERR0	シリアル/F0(エラー)割り込みイネーブル			0	R/W	
	D1	ESREC0	シリアル/F0(受信)割り込みイネーブル			0	R/W	
	D0	ESTRA0	シリアル/F0(送信)割り込みイネーブル			0	R/W	
00FF27	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	FSERR1	シリアル/F1(エラー)割り込み要因フラグ	(R)	(R)	0	R/W	
	D4	FSREC1	シリアル/F1(受信)割り込み要因フラグ	割り込み 要因あり	割り込み 要因なし	0	R/W	
	D3	FSTRA1	シリアル/F1(送信)割り込み要因フラグ	(W)	(W)	0	R/W	
	D2	FSERR0	シリアル/F0(エラー)割り込み要因フラグ	リセット	無効	0	R/W	
	D1	FSREC0	シリアル/F0(受信)割り込み要因フラグ			0	R/W	
	D0	FSTRA0	シリアル/F0(送信)割り込み要因フラグ			0	R/W	

ESIF0: 00FF48H・D0**ESIF1: 00FF4CH・D0**

シリアルインタフェース用端子(P10 ~ P13、P20 ~ P23)の設定を行います。

"1"書き込み: シリアル入出力端子

"0"書き込み: 入出力兼用ポート端子

読み出し: 可能

ESIFxはシリアルインタフェースイネーブルレジスタで、"1"を書き込んだ場合はP10 ~ P13/P20 ~ P23端子がシリアル入出力端子(SINx、SOUTx、SCLKx、SRDYx)となり、"0"を書き込んだ場合は入出力兼用ポート端子となります。

なお、転送モードによる端子の設定は表5.7.3.2を参照してください。

イニシャルリセット時、ESIFxは"0"(入出力兼用ポート)に設定されます。

SMD00, SMD01: 00FF48H・D1, D2**SMD10, SMD11: 00FF4CH・D1, D2**

転送モードを表5.7.10.2のとおり設定します。

表5.7.10.2 転送モードの設定

SMDx1	SMDx0	モード
1	1	調歩同期式8ビット
1	0	調歩同期式7ビット
0	1	クロック同期式スレーブ
0	0	クロック同期式マスタ

SMDx0、SMDx1は読み出しも可能です。
イニシャルリセット時、本レジスタは"0"(クロック同期式マスタモード)に設定されます。

SCS00, SCS01: 00FF48H-D3, D4**SCS10, SCS11: 00FF4CH-D3, D4**

クロック源を表5.7.10.3のとおり選択します。

表5.7.10.3 クロック源の選択

SCSx1	SCSx0	クロック源
1	1	プログラマブルタイマ1 (Ch.0) プログラマブルタイマ7 (Ch.1)
1	0	fosc3 / 4
0	1	fosc3 / 8
0	0	fosc3 / 16

SCSx0、SCSx1は読み出しも可能です。

クロック同期式スレーブモードでは、本レジスタの設定は無効です。

イニシャルリセット時、本レジスタは"0"(fosc3/16)に設定されます。

SDP0: 00FF4BH-D0**SDP1: 00FF4FH-D0**

シリアルデータの入出力順序を選択します。

"1"書き込み: MSB先頭

"0"書き込み: LSB先頭

読み出し: 可能

データの入出力をMSB先頭で行うか、LSB先頭で行うか選択します。

イニシャルリセット時、SDPxは"0"(LSB先頭)に設定されます。

STPB0: 00FF4BH-D1**STPB1: 00FF4FH-D1**

調歩同期式転送を行う場合のストップビット長を選択します。

"1"書き込み: 2ビット

"0"書き込み: 1ビット

読み出し: 可能

STPBxは調歩同期式転送時にのみ有効なストップビット選択レジスタです。"1"を書き込むとストップビットが2ビットに、"0"を書き込むと1ビットになります。スタートビットは1ビットに固定です。クロック同期式転送を行う場合、スタート/ストップビットを付加することはできません。よって、STPBxの設定も無効となります。

イニシャルリセット時、STPBxは"0"(1ビット)に設定されます。

EPR0: 00FF48H-D6**EPR1: 00FF4CH-D6**

パリティ機能を選択します。

"1"書き込み: パリティあり

"0"書き込み: パリティなし

読み出し: 可能

受信データのパリティチェックおよび送信データへのパリティビットの付加を行うか行わないかを選択します。EPRxに"1"を書き込むと受信データの最上位ビットがパリティビットと見なされてパリティチェックが行われます。

送信データに対してはパリティビットが自動的に付加されます。"0"を書き込んだ場合はチェックおよび付加は行われません。

パリティは調歩同期式モードの場合にのみ有効で、クロック同期式モードではEPRxの設定は無効となります。

イニシャルリセット時、EPRxは"0"(パリティなし)に設定されます。

PMD0: 00FF48H-D5**PMD1: 00FF4CH-D5**

奇数パリティ/偶数パリティを選択します。

"1"書き込み: 奇数パリティ

"0"書き込み: 偶数パリティ

読み出し: 可能

PMDxに"1"を書き込むと奇数パリティが選択され、"0"を書き込むと偶数パリティが選択されます。パリティチェックおよびパリティビットの付加はEPRxに"1"が書き込まれている場合にのみ有効で、EPRxに"0"が書き込まれている場合は、PMDxによる奇数パリティ/偶数パリティの設定は無効となります。イニシャルリセット時、PMDxは"0"(偶数パリティ)に設定されます。

TXEN0: 00FF49H-D0**TXEN1: 00FF4DH-D0**

シリアルインタフェースを送信許可状態に設定します。

"1"書き込み: 送信許可

"0"書き込み: 送信禁止

読み出し: 可能

TXENxに"1"を書き込むとシリアルインタフェースが送信許可状態となり、"0"を書き込むと送信禁止状態となります。

シリアルインタフェースのモード初期設定等を行う場合は、TXENxを"0"に設定してください。

イニシャルリセット時、TXENxは"0"(送信禁止)に設定されます。

TXTRG0: 00FF49H-D1**TXTRG1: 00FF4DH-D1**

送信開始のトリガ/動作状態(送信中/停止中)を示すステータスとして機能します。

"1"読み出し: 送信中

"0"読み出し: 停止中

"1"書き込み: 送信開始

"0"書き込み: 無効

送信データを書き込んだ後、TXTRGxに"1"を書き込むことで送信処理を開始します。

TXTRGxはステータスとして読み出しが可能で、"1"の場合は送信動作中、"0"の場合は送信停止中を示します。

イニシャルリセット時、TXTRGxは"0"(停止中)に設定されます。

RXEN0: 00FF49H-D2**RXEN1: 00FF4DH-D2**

シリアルインタフェースを受信許可状態に設定します。

"1"書き込み: 受信許可

"0"書き込み: 受信禁止

読み出し: 可能

RXENxに"1"を書き込むとシリアルインタフェースが受信許可状態となり、"0"を書き込むと受信禁止状態となります。

シリアルインタフェースのモード初期設定等を行う場合は、RXENxを"0"に設定してください。

イニシャルリセット時、RXENxは"0"(受信禁止)に設定されます。

RXTRG0: 00FF49H-D3**RXTRG1: 00FF4DH-D3**

受信開始のトリガ/次のデータの受信準備/動作状態(受信/停止中)を示すステータスとして機能します。

"1"読み出し: 受信中

"0"読み出し: 停止中

"1"書き込み: 受信開始/次のデータの受信準備

"0"書き込み: 無効

RXTRGxは、クロック同期式と調歩同期式で若干動作が異なります。

クロック同期式でのRXTRGxは受信開始のトリガとして使用します。

受信データを読み出し、次の受信準備ができたところでRXTRGxに"1"を書き込み受信を開始させます。(スレーブモードではRXTRGxに"1"を書き込んだところでSRDYxが"0"となります。)

調歩同期式でのRXTRGxは、次のデータの受信準備に使用します。受信データバッファにある受信データを読み出し、バッファが空となったことを知らせるためRXTRGxに"1"を書き込みます。RXTRGxに"1"を書き込まなかった場合、次の受信が終了した時点でオーバーランエラーフラグOERxが"1"にセットされます。(受信データを読み出す動作とRXTRGxに"1"を書き込む動作との間に受信を終了した場合はオーバーランエラーとなります。)

また、RXTRGxはステータスとして読み出しが可能で、クロック同期式、調歩同期式どちらのモードでも"1"の場合は受信動作中、"0"の場合は受信停止中を示します。

イニシャルリセット時、RXTRGxは"0"(停止中)に設定されます。

TRXD00~TRXD07: 00FF4AH**TRXD10~TRXD17: 00FF4EH**

送信時

送信データを送信シフトレジスタに書き込みます。

"1"書き込み: HIGHレベル

"0"書き込み: LOWレベル

送信開始前に送信データを書き込みます。

連続送信の場合、データの書き込みは送信完了割り込みを待ってから行ってください。

調歩同期式7ビットモードにおいてはTRXDx7が無効となります。

SOUTx端子からはシリアル変換されたデータが、"1"に設定されたビットがHIGH(V_{DD})レベル、"0"に設定されたビットがLOW(V_{SS})レベルとして出力されます。

受信時

受信データを読み出します。

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

受信データバッファのデータが読み出せます。

シフトレジスタが本バッファとは別に設けられていますので、調歩同期式モードでは受信動作中にデータの読み出しが行えます。(クロック同期式モードではバッファ機能を使用しません。)

データの読み出しは受信完了割り込みを待ってから行ってください。

調歩同期式7ビットモードにおいてパリティチェックを行っている場合、パリティビットに対応する8ビット目(TRXDx7)には"0"がロードされます。

SINx端子から入力されたシリアルデータはHIGH(V_{DD})レベルのビットを"1"、LOW(V_{SS})レベルのビットを"0"としてパラレル変換され、本バッファにロードされます。

イニシャルリセット時、バッファの内容は不定となります。

OER0: 00FF49H-D4**OER1: 00FF4DH-D4**

オーバーランエラーの発生を示します。

"1"読み出し: エラーあり

"0"読み出し: エラーなし

"1"書き込み: "0"にリセット

"0"書き込み: 無効

OERxはオーバーランエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。オーバーランエラーは調歩同期式モードの受信において、RXTRGxに"1"を書き込む前に次のデータの受信を完了した場合に発生します。OERxは"1"を書き込むことで"0"にリセットされます。イニシャルリセット時、およびRXENxが"0"のときOERxは"0"(エラーなし)に設定されます。

PER0: 00FF49H-D5**PER1: 00FF4DH-D5**

パリティエラーの発生を示します。

"1"読み出し: エラーあり

"0"読み出し: エラーなし

"1"書き込み: "0"にリセット

"0"書き込み: 無効

PERxはパリティエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。パリティエラーは調歩同期式モードでパリティチェックを行っている場合に、パリティの合っていないデータを受信すると発生します。PERxは"1"を書き込むことで"0"にリセットされます。イニシャルリセット時、およびRXENxが"0"のとき、PERxは"0"(エラーなし)に設定されます。

FER0: 00FF49H-D6**FER1: 00FF4DH-D6**

フレーミングエラーの発生を示します。

"1"読み出し: エラーあり

"0"読み出し: エラーなし

"1"書き込み: "0"にリセット

"0"書き込み: 無効

FERxはフレーミングエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。フレーミングエラーは調歩同期式モードの受信において、ストップビットが"0"になっていた場合に発生します。FERxは"1"を書き込むことで"0"にリセットされます。イニシャルリセット時、およびRXENxが"0"のときFERxは"0"(エラーなし)に設定されます。

IRST0: 00FF4BH-D4**IRST1: 00FF4FH-D4**

IrDAインタフェース機能を選択します。

"1"書き込み: IrDAインタフェース

"0"書き込み: 通常のインタフェース

読み出し: 可能

IrDAインタフェース機能を使用する場合は、IRSTxに"1"を書き込んでください。IrDA機能を使用しない場合はIRSTxに"0"を書き込んでください。イニシャルリセット時、IRSTxは"0"(通常のインタフェース)に設定されます。

IRTLO: 00FF4BH-D7**IRTL1: 00FF4FH-D7**

IrDA出力信号の論理を反転します。

"1"書き込み: 反転

"0"書き込み: 反転なし

読み出し: 可能

IrDAインタフェースを使用する場合に、SOUTx出力信号の論理を外部に接続する赤外線通信回路に合わせて設定します。IRTLxに"1"を書き込むと、出力データが"0"のときにHIGHパルスを出力するように設定されます(出力データが"1"のときはLOWレベルを保持)。
"0"を書き込んだ場合は、出力データが"0"のときにLOWパルスを出力するように設定されます(出力データが"1"のときはHIGHレベルを保持)。
イニシャルリセット時、IRTLxは"0"(反転なし)に設定されます。

IRILO: 00FF4BH-D6**IRILI: 00FF4FH-D6**

IrDA入力信号の論理を反転します。

"1"書き込み: 反転

"0"書き込み: 反転なし

読み出し: 可能

IrDAインタフェースを使用する場合に、外部に接続する赤外線通信回路からの入力信号の論理をシリアルインタフェースに合わせて設定します。IRILxに"1"を書き込むと、HIGHパルスを"0"として入力します。
"0"を書き込んだ場合は、LOWパルスを"0"として入力します。
イニシャルリセット時、IRILxは"0"(反転なし)に設定されます。

PSIF00, PSIF01: 00FF21H-D0, D1**PSIF10, PSIF11: 00FF21H-D2, D3**

シリアルインタフェース割り込みの優先レベルを設定します。

PSIFx0、PSIFx1はシリアルインタフェース割り込みに対応した割り込みプライオリティレジスタで、設定できる割り込み優先レベルは表5.7.10.4のとおりです。

表5.7.10.4 割り込み優先レベルの設定

PSIFx1	PSIFx0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

ESTRA0, ESREC0, ESERR0: 00FF24H-D0, D1, D2**ESTRA1, ESREC1, ESERR1: 00FF24H-D4, D5, D6**

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

ESTRAx、ESRECx、ESERRxはそれぞれ送信完了、受信完了、受信エラーの割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

FSTRA0, FSREC0, FSERR0: 00FF27H-D0, D1, D2**FSTRA1, FSREC1, FSERR1: 00FF27H-D4, D5, D6**

シリアルインタフェース割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

FSTRAx、FSRECx、FSERRxはそれぞれ送信完了、受信完了、受信エラーの割り込みに対応する割り込み要因フラグで、それぞれの要因の発生により"1"にセットされます。

送信完了割り込み要因は、シフトレジスタのデータ送信が終了したところで発生します。

受信完了割り込み要因は、受信データが受信データバッファに転送されたところで発生します。

受信エラー割り込み要因は、データ受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された場合に発生します。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、本フラグはすべて"0"にリセットされます。

5.7.11 プログラミング上の注意事項

- (1) シリアルインタフェースのモード初期設定は、送受信が禁止の状態(TXENx=RXENx="0")で行ってください。
- (2) シリアルインタフェースが送信(受信)中のときは、TXTRGx(RXTRGx)に対して二重トリガ("1"書き込み)は行わないでください。また、SLP命令も実行しないでください。(SLP命令を実行する場合はTXENx=RXENx="0"としてください。)
- (3) クロック同期式モードでは1本のクロックライン(SCLKx)を送受信で共用するため、送信と受信を同時に行うことはできません。したがって、TXTRGx(RXTRGx)が"1"の最中はRXTRGx(TXTRGx)に"1"は書き込まないでください。
- (4) 調歩同期式モードにおいて、受信時にパリティエラーおよびフレーミングエラーが発生した場合は受信エラー割り込み要因フラグFSERRxは、受信完了割り込み要因フラグFSRECxに対して表5.7.11.1に示す時間早く"1"にセットされます。したがって、エラー処理ルーチン等で待ち時間を設けて、受信完了割り込み要因フラグFSRECxを"0"にリセットしてください。
なお、オーバーランエラー発生時には受信完了割り込み要因フラグFSRECxは"1"にセットされず、受信完了割り込みも発生しません。

表5.7.11.1 エラー発生時のFSERRxとFSRECxの時間差

クロック源	時間差
fosc3 / n	fosc3 / n の1/2周期
プログラマブルタイマ	タイマ1/7アンダーフローの1周期

- (5) OSC3発振回路の分周信号をクロック源とする場合は、シリアルインタフェースを使用する以前にOSC3の発振をONさせる必要があります。なお、OSC3発振回路をONにしてから発振が安定するまでに数10 μ sec ~ 数10msecの時間を必要とします。したがって、シリアルインタフェースの送受信開始はOSC3発振ONの後、十分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"9 電気的特性"に発振開始時間の一例を示しますので参照してください。)
イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

5.8 計時タイマ

5.8.1 計時タイマの構成

S1C8F626はOSC1発振回路を原振とする計時タイマを内蔵しています。計時タイマは f_{OSC1} を分周した256Hz信号を入力クロックとする8ビットのバイナリカウンタで構成され、各ビット(128~1Hz)のデータをソフトウェアによって読み出すことができます。

通常はこの計時タイマを、時計などのような各種の計時機能に使用します。

図5.8.1.1に計時タイマの構成を示します。

5.8.2 割り込み機能

計時タイマは32Hz、8Hz、2Hz、1Hzの各信号によって割り込みを発生させることができます。

図5.8.2.1に計時タイマ割り込み回路の構成を示します。

32Hz、8Hz、2Hz、1Hz信号の立ち上がりエッジで、それぞれに対応する割り込み要因フラグFTM32、FTM8、FTM2、FTM1が"1"にセットされ、割り込みが発生します。各割り込み要因フラグに対応した割り込みイネーブルレジスタETM32、ETM8、ETM2、ETM1の設定により、割り込みを禁止することもできます。

また、CPUに対する計時タイマ割り込みの優先レベルを割り込みプライオリティレジスタPTM0、PTM1によって任意のレベル(0~3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については"5.14 割り込みとスタンバイ状態"を参照してください。

各割り込み要因の例外処理ベクタアドレスは、それぞれ以下のとおり設定されています。

32Hz割り込み: 000034H

8Hz割り込み: 000036H

2Hz割り込み: 000038H

1Hz割り込み: 00003AH

図5.8.2.2に計時タイマのタイミングチャートを示します。

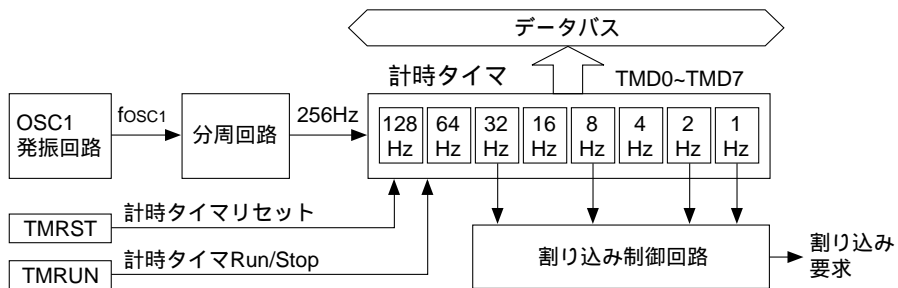


図5.8.1.1 計時タイマの構成

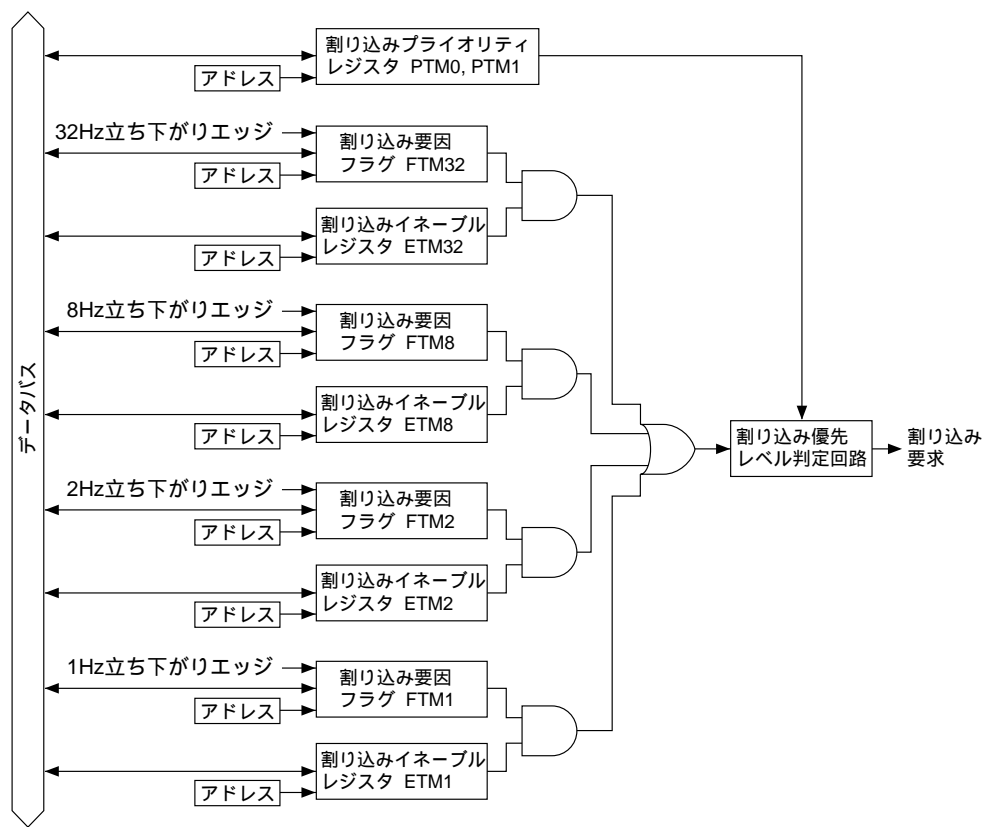


図5.8.2.1 計時タイマ割り込み回路の構成

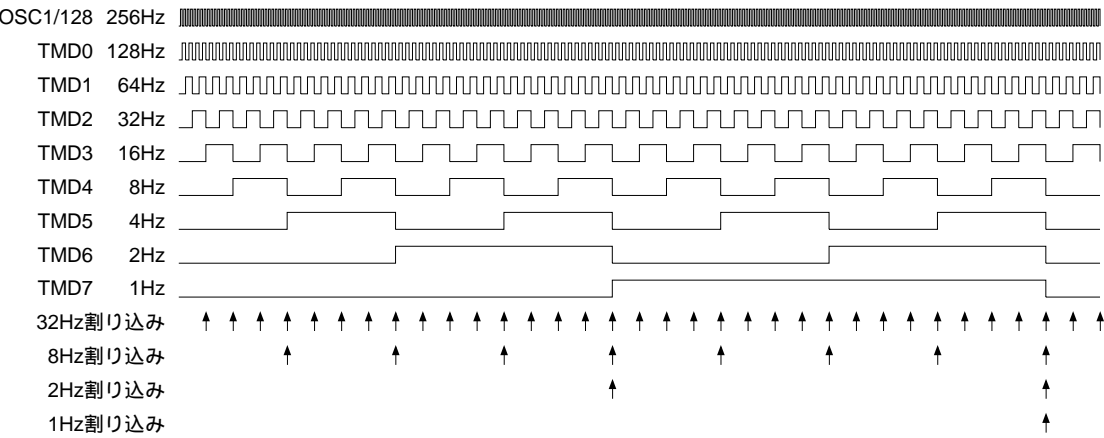


図5.8.2.2 計時タイマのタイミングチャート

5.8.3 計時タイマの制御方法

表5.8.3.1に計時タイマの制御ビットを示します。

表5.8.3.1 計時タイマの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈															
00FF40	D7	WDEN	ウォッチドッグタイマイネーブル	有効	無効	1	R/W																
	D6	FOUT2	FOUT周波数選択			0	R/W																
			<table><tr><th>FOUT2</th><th>FOUT1</th><th>FOUT0</th><th>周波数</th></tr><tr><td>1</td><td>1</td><td>1</td><td>fosc3 / 8</td></tr></table>						FOUT2	FOUT1	FOUT0	周波数	1	1	1	fosc3 / 8							
	FOUT2	FOUT1	FOUT0	周波数																			
	1	1	1	fosc3 / 8																			
	D5	FOUT1	1 1 0 fosc3 / 4			0	R/W																
			1 0 1 fosc3 / 2																				
			1 0 0 fosc3 / 1																				
			0 1 1 fosc1 / 8																				
	D4	FOUT0	0 1 0 fosc1 / 4			0	R/W																
0 0 1 fosc1 / 2																							
0 0 0 fosc1 / 1																							
D3	FOUTON	FOUT出力制御	On	Off	0	R/W																	
D2	WDRST	ウォッチドッグタイマリセット	リセット	無効	－	W	読み出し時は																
D1	TMRST	計時タイマリセット	リセット	無効	－	W	常時"0"																
D0	TMRUN	計時タイマRun/Stop制御	Run	Stop	0	R/W																	
00FF41	D7	TMD7	計時タイマデータ 1Hz	High	Low	0	R																
	D6	TMD6	計時タイマデータ 2Hz																				
	D5	TMD5	計時タイマデータ 4Hz																				
	D4	TMD4	計時タイマデータ 8Hz																				
	D3	TMD3	計時タイマデータ 16Hz																				
	D2	TMD2	計時タイマデータ 32Hz																				
	D1	TMD1	計時タイマデータ 64Hz																				
	D0	TMD0	計時タイマデータ 128Hz																				
	00FF20	D7	PK01						K00～K07割り込み	<table><tr><td>PK01</td><td>PK00</td></tr><tr><td>PSIF01</td><td>PSIF00</td></tr><tr><td>PSW1</td><td>PSW0</td></tr><tr><td>PTM1</td><td>PTM0</td></tr><tr><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td></tr><tr><td>0</td><td>1</td></tr><tr><td>0</td><td>0</td></tr></table> 優先 レベル	PK01	PK00	PSIF01	PSIF00	PSW1	PSW0	PTM1	PTM0	1	1	1	0	0
PK01		PK00																					
PSIF01		PSIF00																					
PSW1		PSW0																					
PTM1		PTM0																					
1		1																					
1		0																					
0		1																					
0	0																						
D6	PK00	プライオリティレジスタ																					
D5	PSIF01	シリアルインタフェース0割り込み																					
D4	PSIF00	プライオリティレジスタ																					
D3	PSW1	ストップウォッチタイマ割り込み																					
D2	PSW0	プライオリティレジスタ																					
D1	PTM1	計時タイマ割り込み																					
D0	PTM0	プライオリティレジスタ																					
00FF22	D7	－	－	－	－	－		読み出し時は"0"															
	D6	ESW100	ストップウォッチ100Hz割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W																
	D5	ESW10	ストップウォッチ10Hz割り込みイネーブル																				
	D4	ESW1	ストップウォッチ1Hz割り込みイネーブル																				
	D3	ETM32	計時タイマ32Hz割り込みイネーブル																				
	D2	ETM8	計時タイマ8Hz割り込みイネーブル																				
	D1	ETM2	計時タイマ2Hz割り込みイネーブル																				
	D0	ETM1	計時タイマ1Hz割り込みイネーブル																				
00FF26	D7	－	－						－	－	－		読み出し時は"0"										
	D6	FSW100	ストップウォッチ100Hz割り込み要因フラグ	(R)	(R)	0	R/W																
	D5	FSW10	ストップウォッチ10Hz割り込み要因フラグ	割り込み 要因あり	割り込み 要因なし																		
	D4	FSW1	ストップウォッチ1Hz割り込み要因フラグ																				
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ																				
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ	(W) リセット	(W) 無効																		
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ																				
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ																				

TMD0~TMD7: 00FF41H

計時タイマのデータが読み出せます。
各ビットと周波数との対応は以下のとおりです。

TMD0: 128Hz	TMD4: 8Hz
TMD1: 64Hz	TMD5: 4Hz
TMD2: 32Hz	TMD6: 2Hz
TMD3: 16Hz	TMD7: 1Hz

TMD0~TMD7は読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、タイマデータは"00H"に設定されます。

TMRST: 00FF40H-D1

計時タイマをリセットします。

- "1"書き込み: 計時タイマリセット
- "0"書き込み: ノーオペレーション
- 読み出し: 常時"0"

計時タイマはTMRSTに"1"を書き込むことによってリセットされます。計時タイマがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合はリセットデータ"00H"が保持されます。

"0"の書き込みはノーオペレーションとなります。TMRSTは書き込み専用のため、読み出し時は常時"0"となります。

TMRUN: 00FF40H-D0

計時タイマのRUN/STOPを制御します。

- "1"書き込み: RUN
- "0"書き込み: STOP
- 読み出し: 可能

計時タイマはTMRUNに"1"を書き込むことによってアップカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではリセットか次にRUN状態にするまで、タイマのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

イニシャルリセット時、TMRUNは"0"(STOP)に設定されます。

PTM0, PTM1: 00FF20H-D0, D1

計時タイマ割り込みの優先レベルを設定します。PTM0、PTM1は計時タイマ割り込みに対応した割り込みプライオリティレジスタで、設定できる割り込み優先レベルは表5.8.3.2のとおりです。

表5.8.3.2 割り込み優先レベルの設定

PTM1	PTM0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

ETM1, ETM2, ETM8, ETM32: 00FF22H-D0~D3

CPUに対する割り込みの発生を許可または禁止します。

- "1"書き込み: 割り込み許可
- "0"書き込み: 割り込み禁止
- 読み出し: 可能

ETM1、ETM2、ETM8、ETM32はそれぞれ1Hz、2Hz、8Hz、32Hzの割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

FTM1, FTM2, FTM8, FTM32: 00FF26H-D0~D3

計時タイマ割り込みの発生状態を示します。

- "1"読み出し: 割り込み要因あり
- "0"読み出し: 割り込み要因なし

- "1"書き込み: 要因フラグをリセット
- "0"書き込み: 無効

FTM1、FTM2、FTM8、FTM32はそれぞれ1Hz、2Hz、8Hz、32Hzの割り込みに対応する割り込み要因フラグで、各信号の立ち下がりエッジに同期して"1"にセットされます。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、本フラグはすべて"0"にリセットされます。

5.8.4 プログラミング上の注意事項

- (1) 計時タイマはレジスタTMRUNへの書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRUN/STOP状態となります。
したがって、TMRUNに"0"を書き込んだ場合は、"+1"余分にカウントしたところでタイマが停止状態となります。また、このときTMRUNは実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。
図5.8.4.1にRUN/STOP制御のタイミングチャートを示します。

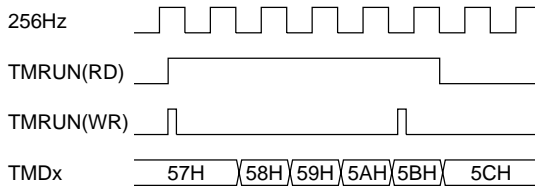


図5.8.4.1 RUN/STOP制御のタイミングチャート

- (2) 計時タイマがRUNしている状態(TMRUN="1")でSLP命令を実行した場合は、SLEEP状態からの復帰時に計時タイマが不安定な動作となります。したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前に計時タイマをSTOP状態(TMRUN="0")に設定してください。

5.9 ストップウォッチタイマ

5.9.1 ストップウォッチタイマの構成

S1C8F626は1/100sec単位と1/10sec単位のストップウォッチタイマを内蔵しています。ストップウォッチタイマはfosc1を分周した256Hz信号を入力クロックとする4ビット2段のBCDカウンタ(1/100sec単位、1/10sec単位)で構成され、カウントデータをソフトウェアによって読み出すことができます。図5.9.1.1にストップウォッチタイマの構成を示します。

ストップウォッチタイマは計時タイマとは別のタイマとして使用することができ、ストップウォッチ機能などをソフトウェアによって容易に実現することができます。

5.9.2 カウントアップパターン

ストップウォッチタイマは、それぞれ4ビットのBCDカウンタSWD0～SWD3とSWD4～SWD7で構成されています。

図5.9.2.1にストップウォッチタイマのカウントアップパターンを示します。

帰還分周回路はfosc1を分周した256Hz信号から2/256secと3/256sec間隔の近似100Hz信号を発生します。

1/100secカウンタ(SWD0～SWD3)は、帰還分周回路が2/256secと3/256sec間隔で発生する近似100Hz信号をカウントして、25/256secと26/256sec間隔の近似10Hz信号を発生します。

カウントアップは、2/256secと3/256sec間隔による擬似的な1/100secカウントとなります。

1/10secカウンタ(SWD4～SWD7)は、1/100secカウンタが25/256secと26/256sec間隔で発生する近似10Hz信号を4:6の割合でカウントして、1Hz信号を発生します。

カウントアップは、25/256secと26/256sec間隔による擬似的な1/10secカウントとなります。

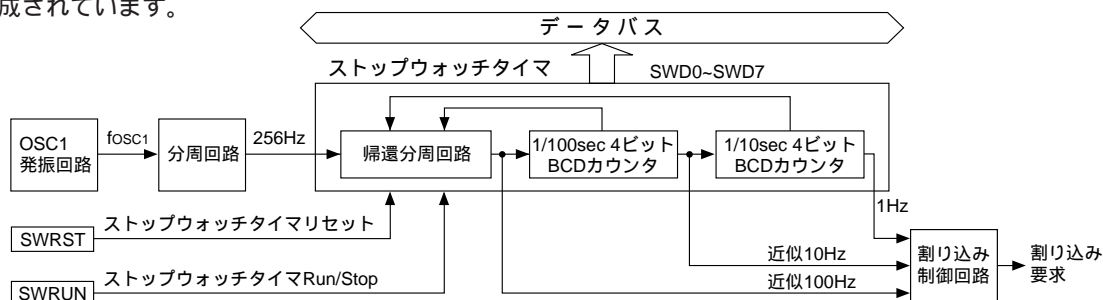


図5.9.1.1 ストップウォッチタイマの構成

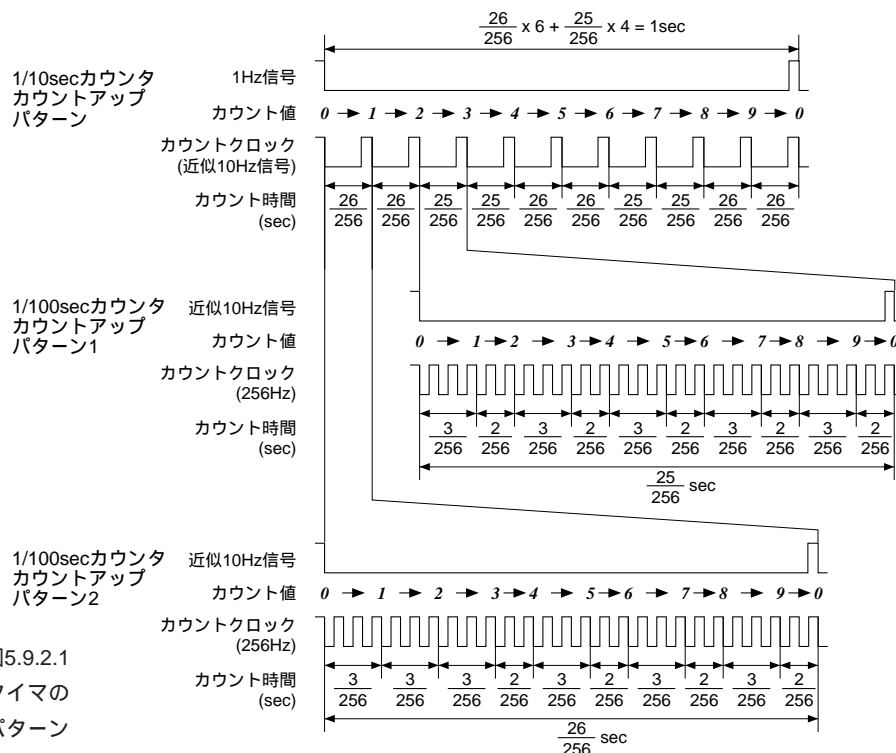


図5.9.2.1

ストップウォッチタイマの
カウントアップパターン

5.9.3 割り込み機能

ストップウォッチタイマは100Hz(近似100Hz)、10Hz(近似10Hz)、1Hzの各信号によって割り込みを発生させることができます。

図5.9.3.1にストップウォッチタイマ割り込み回路の構成を示します。

100Hz、10Hz、1Hz信号の立ち下がりエッジで、それぞれに対応する割り込み要因フラグFSW100、FSW10、FSW1が"1"にセットされ、割り込みが発生します。各割り込み要因フラグに対応した割り込みイネーブルレジスタESW100、ESW10、ESW1の設定により、割り込みを禁止することもできます。

また、CPUに対するストップウォッチタイマ割り込みの優先レベルを割り込みプライオリティレジスタPSW0、PSW1によって任意のレベル(0~3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については"5.14 割り込みとスタンバイ状態"を参照してください。

各割り込み要因の例外処理ベクタアドレスは、それぞれ以下のとおり設定されています。

100Hz割り込み: 00002EH

10Hz割り込み: 000030H

1Hz割り込み: 000032H

図5.9.3.2にストップウォッチタイマのタイミングチャートを示します。

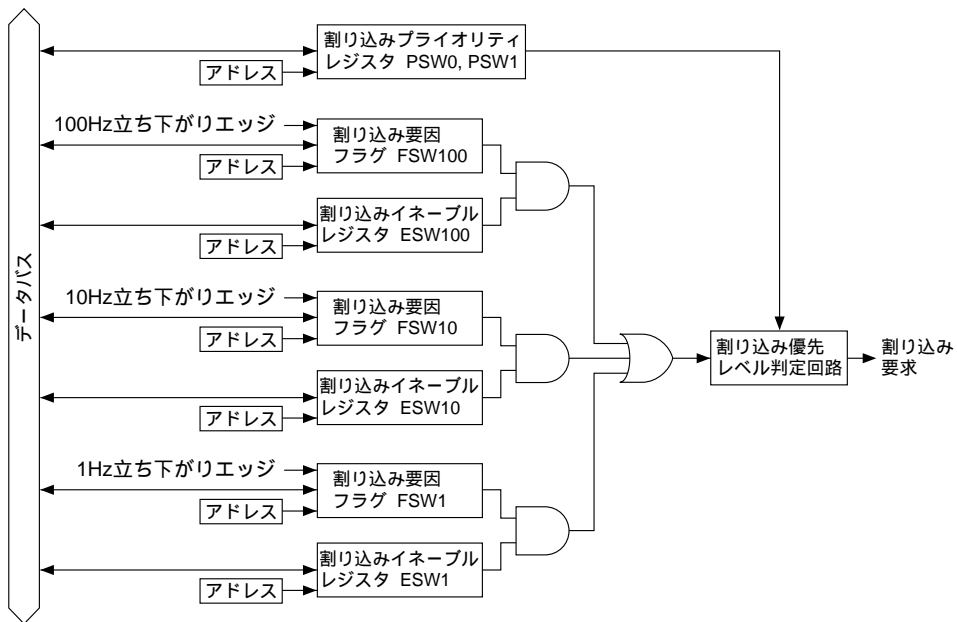


図5.9.3.1 ストップウォッチタイマ割り込み回路の構成

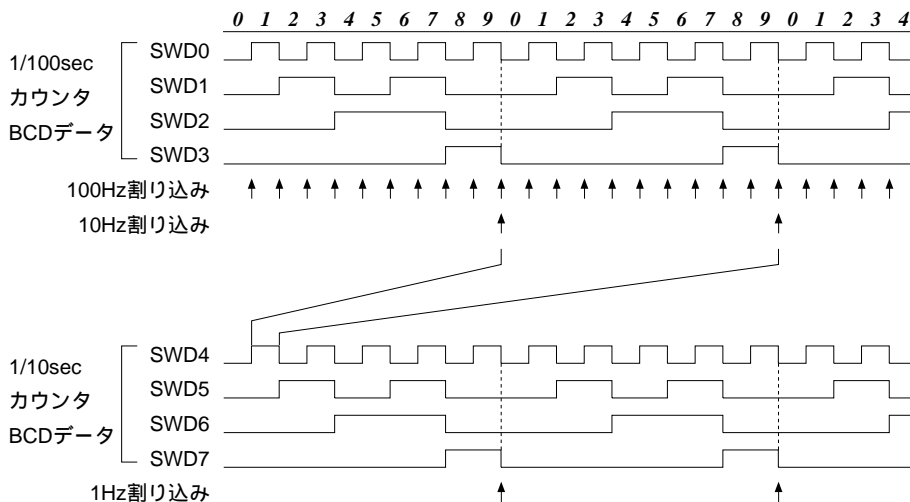


図5.9.3.2 ストップウォッチタイマのタイミングチャート

5.9.4 ストップウォッチタイマの制御方法

表5.9.4.1にストップウォッチタイマの制御ビットを示します。

表5.9.4.1 ストップウォッチタイマの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈	
00FF42	D7	—	—	—	—	—		読み出し時は 常時"0"	
	D6	—	—	—	—	—			
	D5	—	—	—	—	—			
	D4	—	—	—	—	—			
	D3	—	—	—	—	—			
	D2	—	—	—	—	—			
	D1	SWRST	ストップウォッチタイマリセット	リセット	無効	—	W		
	D0	SWRUN	ストップウォッチタイマRun/Stop制御	Run	Stop	0	R/W		
00FF43	D7	SWD7	ストップウォッチタイマデータ			0	R		
	D6	SWD6	BCD (1/10sec)						
	D5	SWD5							
	D4	SWD4							
	D3	SWD3	ストップウォッチタイマデータ						
	D2	SWD2	BCD (1/100sec)						
	D1	SWD1							
	D0	SWD0							
00FF20	D7	PK01	K00～K07割り込み	PK01 PK00 PSIF01 PSIF00 PSW1 PSW0 PTM1 PTM0 優先 レベル		0	R/W		
	D6	PK00	プライオリティレジスタ			0	R/W		
	D5	PSIF01	シリアルインタフェース0割り込み			レベル3 レベル2 レベル1 レベル0	0		R/W
	D4	PSIF00	プライオリティレジスタ				0		R/W
	D3	PSW1	ストップウォッチタイマ割り込み			1 1	0		0
	D2	PSW0	プライオリティレジスタ			1 0	1 0		
	D1	PTM1	計時タイマ割り込み			0 1	0 0		
	D0	PTM0	プライオリティレジスタ			0 0	0 0		
00FF22	D7	—	—	—	—	—		読み出し時は"0"	
	D6	ESW100	ストップウォッチ100Hz割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W		
	D5	ESW10	ストップウォッチ10Hz割り込みイネーブル						
	D4	ESW1	ストップウォッチ1Hz割り込みイネーブル						
	D3	ETM32	計時タイマ32Hz割り込みイネーブル						
	D2	ETM8	計時タイマ8Hz割り込みイネーブル						
	D1	ETM2	計時タイマ2Hz割り込みイネーブル						
	D0	ETM1	計時タイマ1Hz割り込みイネーブル						
00FF26	D7	—	—						—
	D6	FSW100	ストップウォッチ100Hz割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W		
	D5	FSW10	ストップウォッチ10Hz割り込み要因フラグ						
	D4	FSW1	ストップウォッチ1Hz割り込み要因フラグ						
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ	(W) リセット	(W) 無効				
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ						
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ						
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ						

SWD0~SWD7: 00FF43H

ストップウォッチタイマのデータが読み出せます。
上位/下位ニブルとBCD桁との対応は以下のとおりです。

SWD0 ~ SWD3: BCD (1/100sec)

SWD4 ~ SWD7: BCD (1/10sec)

SWD0 ~ SWD7は読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、タイマデータは"00H"に設定されます。

SWRST: 00FF42H-D1

ストップウォッチタイマをリセットします。

"1"書き込み: ストップウォッチタイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

ストップウォッチタイマはSWRSTに"1"を書き込むことによってリセットされます。ストップウォッチタイマがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合はリセットデータ"00H"が保持されます。

"0"の書き込みはノーオペレーションとなります。SWRSTは書き込み専用のため、読み出し時は常時"0"となります。

SWRUN: 00FF42H-D0

ストップウォッチタイマのRUN/STOPを制御します。

"1"書き込み: RUN

"0"書き込み: STOP

読み出し: 可能

ストップウォッチタイマはSWRUNに"1"を書き込むことによってアップカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではリセットか次にRUN状態にするまで、タイマのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

イニシャルリセット時、SWRUNは"0"(STOP)に設定されます。

PSW0, PSW1: 00FF20H-D2, D3

ストップウォッチタイマ割り込みの優先レベルを設定します。PSW0、PSW1はストップウォッチタイマ割り込みに対応した割り込みプライオリティレジスタで、設定できる割り込み優先レベルは表5.9.4.2のとおりです。

表5.9.4.2 割り込み優先レベルの設定

PSW1	PSW0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

ESW1, ESW10, ESW100: 00FF22H-D4, D5, D6

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

ESW1、ESW10、ESW100はそれぞれ1Hz、10Hz、100Hzの割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

FSW1, FSW10, FSW100: 00FF26H-D4, D5, D6

タイマ割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

FSW1、FSW10、FSW100はそれぞれ1Hz、10Hz、100Hzの割り込みに対応する割り込み要因フラグで、各信号の立ち下がりエッジに同期して"1"にセットされます。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、本フラグはすべて"0"にリセットされます。

5.9.5 プログラミング上の注意事項

- (1) ストップウォッチタイマはレジスタSWRUNへの書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRUN/STOP状態となります。

したがって、SWRUNに"0"を書き込んだ場合は、"+1"余分にカウントしたところでタイマが停止状態となる場合があります。また、このときSWRUNは実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。

図5.9.5.1にRUN/STOP制御のタイミングチャートを示します。

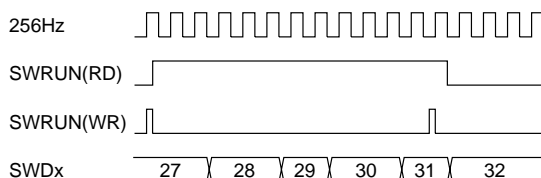


図5.9.5.1 RUN/STOP制御のタイミングチャート

- (2) ストップウォッチタイマがRUNしている状態 (SWRUN="1")でSLP命令を実行した場合は、SLEEP状態からの復帰時にストップウォッチタイマが不安定な動作となります。

したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前にストップウォッチタイマをSTOP状態(SWRUN="0")に設定してください。

5.10 プログラマブルタイマ

5.10.1 プログラマブルタイマの構成

S1C8F626は16ビットのプログラマブルタイマを4系統内蔵しています。それぞれの系統のタイマは16ビットプリセッタブルダウンカウンタで構成され、16ビット×1チャンネルあるいは8ビット×2チャンネルのプログラマブルタイマとして使用することができます。また、入力ポート端子を使用したイベントカウンタ機能も合わせ持っています。

図5.10.1.1と図5.10.1.2に16ビットプログラマブルタイマの構成を示します。

各系統の16ビットプログラマブルタイマには、8ビットのダウンカウンタ2本と、それぞれのダウンカウンタに対応した8ビットのリロードデータレジスタRDRおよび8ビットのコンペアデータレジスタCDRが設けられています。

リロードデータレジスタはダウンカウンタの初期値を設定するレジスタです。コンペアデータレジスタはダウンカウンタの内容と比較するためのデータを格納するレジスタです。

これらのレジスタの設定により、PWM波形を生成し、TOUT0～3信号として外部デバイスに対して出力することもできます。また、タイマ1とタイマ7のアンダーフローからシリアルインタフェースのクロックが生成されます。タイマ5のアンダーフローでLCDドライバのフレーム周波数を設定することも可能です。



図5.10.1.1 16ビットプログラマブルタイマの構成(タイマ0～3)

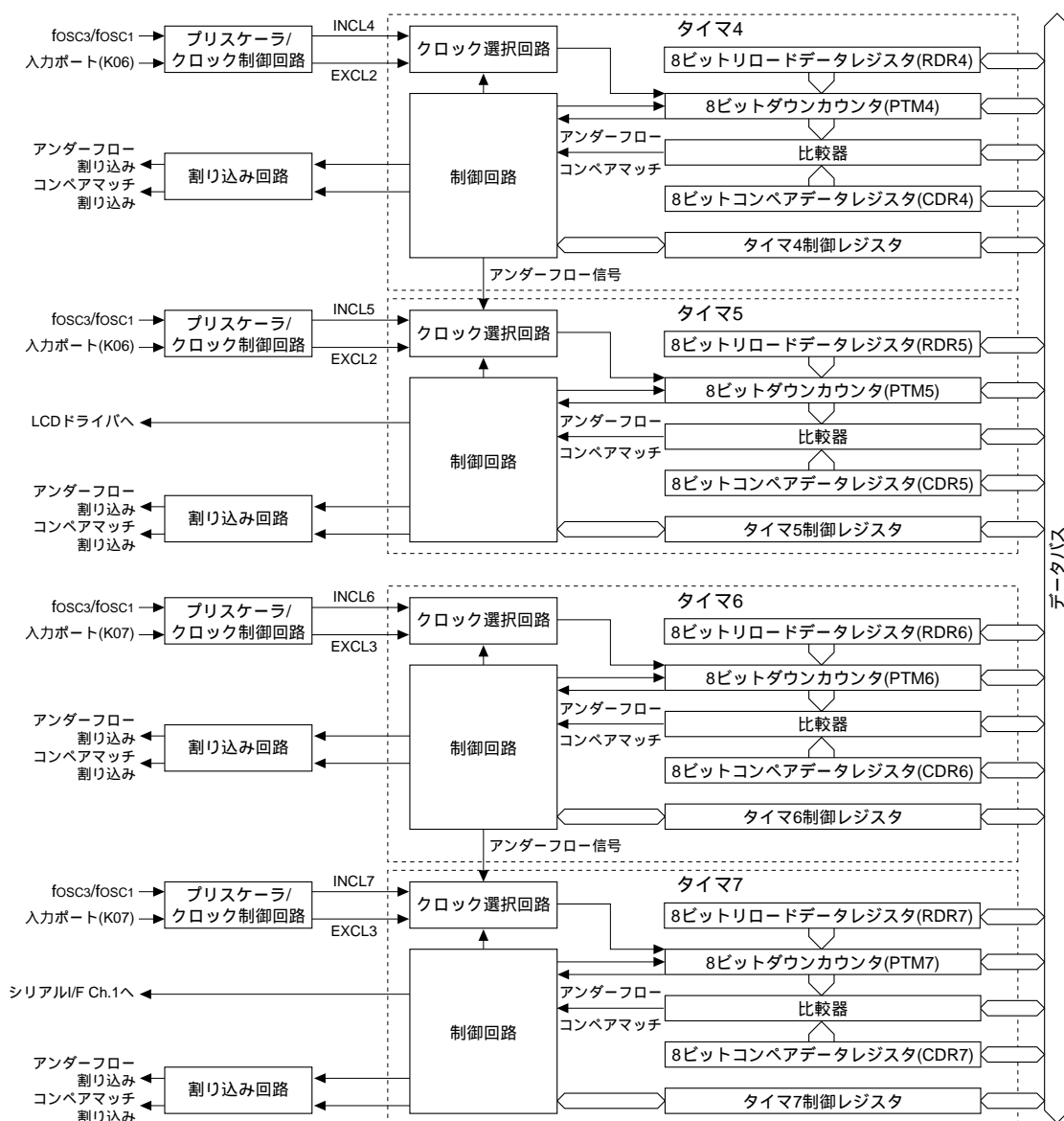


図5.10.1.2 16ビットプログラマブルタイムの構成(タイマ4~7)

5.10.2 動作モード

タイマ0と1、タイマ2と3、タイマ4と5、タイマ6と7はそれぞれ2チャンネルの8ビットタイマまたは1チャンネルの16ビットタイマとして使用することができます。これに対応する2種類の動作モードが設定されており、8/16ビットモード選択レジスタMODE16_A(タイマ0-1用)~MODE16_D(タイマ6-7用)によって選択することができます。MODE16_Aを"0"に設定するとタイマ0と1は8ビットモード(8ビット×2チャンネル)、“1”を設定すると16ビットモード(16ビット×1チャンネル)になります。

8ビットモードでは、タイマ0と1をそれぞれ個別に制御することができます。

16ビットモードでは、タイマ0のアンダーフロー信号がタイマ1の入力クロックとなり、16ビットの連続したダウンカウンタとして動作します。

16ビットモード時のタイマの制御は、クロック出力を除き、タイマ0の制御レジスタによって行います。

MODE16_B ~ MODE16_Dも同様です。

動作モードによるタイマ構成を図5.10.2.1に、制御レジスタの構成を表5.10.2.1に示します。

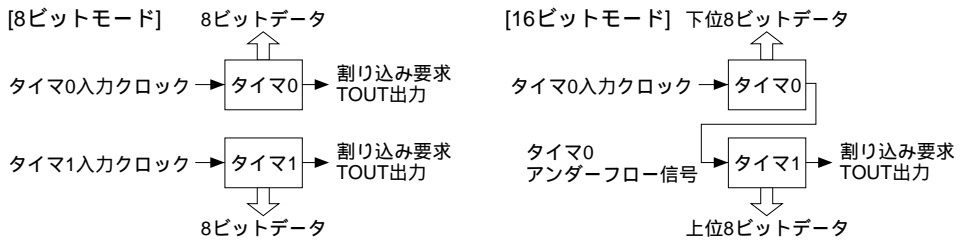


図5.10.2.1 8/16ビットモードのカウンタ構成(タイマ0と1の例)

表5.10.2.1(a) 8ビットモード時の制御レジスタ(タイマ0と1の例)

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF30	D7	MODE16_A	PTM0-1 8/16ビットモード選択	16ビット×1	8ビット×2	0	R/W	
	D6	PTNREN_A	外部クロック0ノイズリジクタ選択	有効	無効	0	R/W	
	D5	—	—	—	—	—	—	読み出し時は"0"
	D4	—	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D3	PTOUT0	PTM0クロック出力制御	On	Off	0	R/W	
	D2	PTRUN0	PTM0 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET0	PTM0プリセット	プリセット	無効	0	W	読み出し時は"0"
	D0	CKSEL0	PTM0入力クロック選択	外部クロック	内部クロック	0	R/W	
00FF31	D7	—	—	—	—	—	—	読み出し時は常時"0"
	D6	—	—	—	—	—	—	
	D5	—	—	—	—	—	—	
	D4	—	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D3	PTOUT1	PTM1クロック出力制御	On	Off	0	R/W	
	D2	PTRUN1	PTM1 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET1	PTM1プリセット	プリセット	無効	0	W	読み出し時は"0"
	D0	CKSEL1	PTM1入力クロック選択	外部クロック	内部クロック	0	R/W	

表5.10.2.1(b) 16ビットモード時の制御レジスタ(タイマ0と1の例)

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF30	D7	MODE16_A	PTM0-1 8/16ビットモード選択	16ビット×1	8ビット×2	0	R/W	
	D6	PTNREN_A	外部クロック0ノイズリジクタ選択	有効	無効	0	R/W	
	D5	—	—	—	—	—	—	読み出し時は"0"
	D4	—	無効(0固定)	無効	"0"固定	0	R/W	予約レジスタ
	D3	PTOUT0	無効(0固定)	無効	"0"固定	0	R/W	
	D2	PTRUN0	PTM0 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET0	PTM0プリセット	プリセット	無効	0	W	読み出し時は"0"
	D0	CKSEL0	PTM0入力クロック選択	外部クロック	内部クロック	0	R/W	
00FF31	D7	—	—	—	—	—	—	読み出し時は常時"0"
	D6	—	—	—	—	—	—	
	D5	—	—	—	—	—	—	
	D4	—	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D3	PTOUT1	PTM1クロック出力制御	On	Off	0	R/W	
	D2	PTRUN1	無効(0固定)	無効	"0"固定	0	R/W	
	D1	PSET1	無効(0固定)	無効	"0"固定	0	W	読み出し時は"0"
	D0	CKSEL1	無効(0固定)	無効	"0"固定	0	R/W	

注! レジスタ名にはタイマ番号を示す数値(0~7)が付けられています。以降の説明では特に必要な場合を除き、これを"x"と記述します。たとえば、PTRUNxはPTRUN0~PTRUN7を表します。また、16ビットモード時の説明には1対のタイマをタイマ(L)とタイマ(H)と記述します。

タイマ(L) = タイマ0、タイマ2、タイマ4、タイマ6

タイマ(H) = タイマ1、タイマ3、タイマ5、タイマ7

レジスタ名も同様です。

5.10.3 入力クロックの設定

カウンタに入力するクロックは、各タイマごとに設けられた入力クロック選択レジスタ(CKSEL)によって内部クロックまたは外部クロックから選択できます。内部クロックはプリスケアラの出力です。外部クロックはイベントカウンタとして使用するもので、入力ポートの信号をカウントクロックとして使用します。各タイマの入力クロック選択レジスタと入力クロックを表5.10.3.1に示します。

表5.10.3.1 入力クロックの選択

タイマ	レジスタ設定	入力クロック
タイマ0	CKSEL0 = "0"	INCL0 (プリスケアラ)
	CKSEL0 = "1"	EXCL0 (K04入力)
タイマ1	CKSEL1 = "0"	INCL1 (プリスケアラ)
	CKSEL1 = "1"	EXCL0 (K04入力)
タイマ2	CKSEL2 = "0"	INCL2 (プリスケアラ)
	CKSEL2 = "1"	EXCL1 (K05入力)
タイマ3	CKSEL3 = "0"	INCL3 (プリスケアラ)
	CKSEL3 = "1"	EXCL1 (K05入力)
タイマ4	CKSEL4 = "0"	INCL4 (プリスケアラ)
	CKSEL4 = "1"	EXCL2 (K06入力)
タイマ5	CKSEL5 = "0"	INCL5 (プリスケアラ)
	CKSEL5 = "1"	EXCL2 (K06入力)
タイマ6	CKSEL6 = "0"	INCL6 (プリスケアラ)
	CKSEL6 = "1"	EXCL3 (K07入力)
タイマ7	CKSEL7 = "0"	INCL7 (プリスケアラ)
	CKSEL7 = "1"	EXCL3 (K07入力)

外部クロックを選択した場合は、入力ポートの信号がプログラマブルタイマに入力されます。この外部クロック入力部にはノイズリジェクタが設けられており、EXCL0～EXCL3に対応する外部クロックノイズリジェクタ選択レジスタPTNREN_A～PTNREN_Dによって個々に使用するかしないかを選択することができます。PTNREN_A(～D)に"1"を書き込むことによって、外部クロックEXCL0(～3)のノイズリジェクタが有効となります。これにより、16/fosc1秒以下のパルスはノイズとみなされて除去されます(クロックとしては最低2倍以上のパルス幅が必要です)。PTNREN_A(～D)が"0"の場合、外部クロックはノイズリジェクタをバイパスします。

内部クロックを使用する場合、タイマごとに源振クロックとプリスケアラの分周比を選択して、クロック周波数を設定します。

源振クロックは、タイマ個々に用意された源振クロック選択レジスタPRTFxで指定します。PRTFxに"1"を書き込むとタイマxの源振クロックとしてOSC1クロックが、"0"を書き込むとOSC3クロックが選択されます。OSC3クロックを使用する場合は、OSC3発振回路をONにしておく必要があります。OSC3発振回路の制御については"5.4 発振回路と動作モード"を参照してください。

プリスケアラにはタイマ個別に分周比選択レジスタPSTx0～PSTx2が設けられています。なお、分周比は源振によって設定内容が変わりますので注意してください。

表5.10.3.2 分周比と制御レジスタ

分周比選択レジスタ			分周比	
PSTx2	PSTx1	PSTx0	(OSC3)	(OSC1)
1	1	1	fosc3/4096	fosc1/128
1	1	0	fosc3/1024	fosc1/64
1	0	1	fosc3/256	fosc1/32
1	0	0	fosc3/64	fosc1/16
0	1	1	fosc3/32	fosc1/8
0	1	0	fosc3/8	fosc1/4
0	0	1	fosc3/2	fosc1/2
0	0	0	fosc3/1	fosc1/1

設定したクロックはクロック出力ON/OFF制御レジスタPRPRTxに"1"を書き込むことにより、タイマxに出力されます。

16ビットモードを選択している場合は、タイマ(L)の入力クロックで動作し、タイマ(H)にはタイマ(L)のアンダーフロー信号がクロックとして入力されます。したがって、タイマ(H)の入力クロックの設定は無効となります。

5.10.4 タイマの動作と制御

リロードデータレジスタと初期値の設定
リロードデータレジスタ(RDRx)はダウンカウンタの初期値を設定するレジスタです。

8ビットモード時はタイマごとに独立した8ビットレジスタRDRxとして使用します。

16ビットモード時はRDR(L)レジスタがリロードデータの下位8ビット、RDR(H)レジスタが上位8ビットとして扱われます。

リロードデータレジスタは読み出し/書き込み可能で、イニシャルリセット時はすべてFFHに設定されます。

ここに書き込んだデータがダウンカウンタにプリセットされ、その値からダウンカウントが行われます。

ダウンカウンタへのプリセットは、次の2つの場合に行われます

- 1) ソフトウェアでプリセットを行った場合
ソフトウェアによるプリセットはタイマxに対応するプリセット制御ビットPSETxによって行います。このビットに"1"を書き込むと、その時点でリロードデータレジスタの内容がダウンカウンタにロードされます。
16ビットモード時はPSET(L)によって16ビットリロードデータが1度にロードされます。この場合、PSET(H)への書き込みは無効となります。
- 2) ダウンカウンタがカウント中にアンダーフローした場合
ダウンカウンタはそのアンダーフローによりリロードデータをプリセットしますので、リロードデータレジスタの設定値により、アンダーフロー周期が決定します。このアンダーフローは割り込みを発生するとともに外部へのクロック(TOUTx信号)出力を制御します。

コンペアデータレジスタ

プログラマブルタイマにはデータの比較器が内蔵されており、カウントデータを任意の値と比較することができます。この値を設定するレジスタがコンペアデータレジスタ(CDRx)です。

8ビットモード時はタイマごとに独立した8ビットレジスタCDRxとして使用します。

16ビットモード時はCDR(L)レジスタがコンペアデータの低位8ビット、CDR(H)レジスタが上位8ビットとして扱われます。

コンペアデータレジスタは読み出し/書き込み可能で、イニシャルリセット時はすべて00Hに設定されます。

プログラマブルタイマはコンペアデータレジスタ(CDRx)とカウントデータを比較し、同じ値になったところでコンペアマッチ信号を発生します。このコンペアマッチ信号は割り込みを発生するとともに外部へのクロック(TOUTx信号)出力を制御します。

タイマの動作

タイマにはそれぞれ、RUN/STOPを制御するレジスタPTRUNxが設けられています。タイマxはPTRUNxに"1"を書き込むことによってダウンカウントを開始します。

なお、カウントを始める前に、入力クロックの制御とリロードデータをプリセットしておく必要があります。

PTRUNxレジスタに"0"を書き込むとクロックの入力が禁止され、カウントは停止します。

このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

8ビットモード時はPTRUNxレジスタにより、タイマ個別に制御可能です。

16ビットモード時はPTRUN(L)レジスタにより16ビットを一括して制御します。この場合、PTRUN(H)レジスタの制御は無効となります。

カウンタにはバッファPTMxが付属しており、任意のタイミングで読み出しが可能です。

ダウンカウント中にカウンタがコンペアデータレジスタの設定値と一致すると、コンペアマッチ割り込みを発生します。

また、カウンタがアンダーフローすると、アンダーフロー割り込みが発生するとともに、リロードデータレジスタに設定された初期値をカウンタにリロードします。

どちらの割り込みが発生した場合もダウンカウントはそのまま継続します。アンダーフロー割り込みの場合はリロードされた初期値からのカウントとなります。

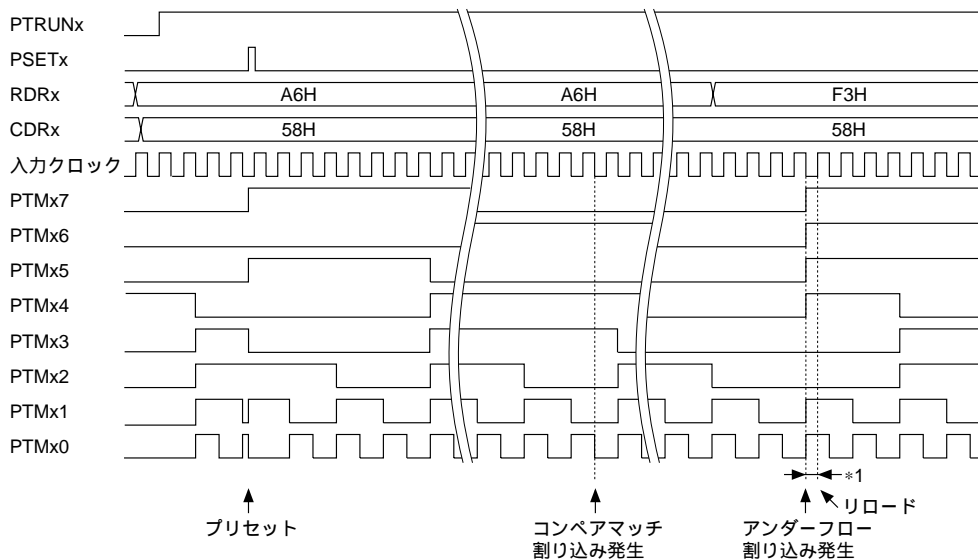


図5.10.4.1 カウンタの基本動作タイミング(8ビットモードの例)

注! プログラマブルタイマは入力クロックの立ち下がりエッジでダウンカウントを行い、そこでアンダーフローが発生した場合は同時に割り込みを発生します。その後、リロードデータをカウンタにセットする動作を開始し、入力クロックの次の立ち上がりエッジでカウンタデータが確定します(*1の区間)。リロードデータを正しくカウンタにセットするために、割り込み発生後は*1の区間を含め、カウンタデータが確定するまではリロードデータの書き換えを行わないでください。入力クロックの源振にOSC1(低速クロック)を使用し、CPUがOSC3(高速クロック)で動作している場合は、特に注意が必要です。

5.10.5 割り込み機能

16ビットプログラマブルタイムは、各タイムのコンペアマッチ信号およびアンダーフロー信号によって割り込みを発生させることができます。

図5.10.5.1に16ビットプログラマブルタイム割り込み回路の構成を示します。

各タイムのコンペアマッチ信号およびアンダーフロー信号によって、それぞれに対応する割り込み要因フラグが"1"にセットされ、割り込みが発生します。各割り込み要因フラグに対応した割り込みイネーブルレジスタの設定により、割り込みを禁止することもできます。

また、CPUに対する割り込みの優先レベルを割り込みプライオリティレジスタによって任意のレベル(0～3)に設定できます。

それぞれの割り込み要因に対応する割り込み要因フラグ、割り込みイネーブルレジスタ、割り込みプライオリティレジスタは表5.10.5.1のとおりです。

8ビットモード時はタイム個別にコンペアマッチ割り込み要因フラグとアンダーフロー割り込み要因フラグがセットされます。

16ビットモード時は16ビットのコンペアマッチ、アンダーフローによりタイム(H)の割り込み要因フラグがセットされます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については"5.14 割り込みとスタンバイ状態"を参照してください。

各割り込み要因の例外処理ベクタアドレスは、それぞれ以下のとおり設定されています。

タイム0アンダーフロー割り込み: 000016H
 タイム0コンペアマッチ割り込み: 000018H
 タイム1アンダーフロー割り込み: 00001AH
 タイム1コンペアマッチ割り込み: 00001CH
 タイム2アンダーフロー割り込み: 00001EH
 タイム2コンペアマッチ割り込み: 000020H
 タイム3アンダーフロー割り込み: 000022H
 タイム3コンペアマッチ割り込み: 000024H
 タイム4アンダーフロー割り込み: 00003CH
 タイム4コンペアマッチ割り込み: 00003EH
 タイム5アンダーフロー割り込み: 000040H
 タイム5コンペアマッチ割り込み: 000042H
 タイム6アンダーフロー割り込み: 000044H
 タイム6コンペアマッチ割り込み: 000046H
 タイム7アンダーフロー割り込み: 000048H
 タイム7コンペアマッチ割り込み: 00004AH

表5.10.5.1 割り込み制御レジスタ

割り込み要因		割り込み要因フラグ		割り込みイネーブルレジスタ		割り込みプライオリティレジスタ	
		名称	アドレス・Dx	名称	アドレス・Dx	名称	アドレス・Dx
タイム0	カウンタのアンダーフロー	FTU0	00FF29H-D0	ETU0	00FF25H-D0	PPT0	00FF21H-D2
	コンペアマッチ	FTC0	00FF29H-D1	ETC0	00FF25H-D1	PPT1	00FF21H-D3
タイム1	カウンタのアンダーフロー	FTU1	00FF29H-D2	ETU1	00FF25H-D2		
	コンペアマッチ	FTC1	00FF29H-D3	ETC1	00FF25H-D3		
タイム2	カウンタのアンダーフロー	FTU2	00FF29H-D4	ETU2	00FF25H-D4	PPT2	00FF21H-D4
	コンペアマッチ	FTC2	00FF29H-D5	ETC2	00FF25H-D5	PPT3	00FF21H-D5
タイム3	カウンタのアンダーフロー	FTU3	00FF29H-D6	ETU3	00FF25H-D6		
	コンペアマッチ	FTC3	00FF29H-D7	ETC3	00FF25H-D7		
タイム4	カウンタのアンダーフロー	FTU4	00FF2EH-D0	ETU4	00FF2CH-D0	PPT4	00FF2AH-D0
	コンペアマッチ	FTC4	00FF2EH-D1	ETC4	00FF2CH-D1	PPT5	00FF2AH-D1
タイム5	カウンタのアンダーフロー	FTU5	00FF2EH-D2	ETU5	00FF2CH-D2		
	コンペアマッチ	FTC5	00FF2EH-D3	ETC5	00FF2CH-D3		
タイム6	カウンタのアンダーフロー	FTU6	00FF2EH-D4	ETU6	00FF2CH-D4	PPT6	00FF2AH-D2
	コンペアマッチ	FTC6	00FF2EH-D5	ETC6	00FF2CH-D5	PPT7	00FF2AH-D3
タイム7	カウンタのアンダーフロー	FTU7	00FF2EH-D6	ETU7	00FF2CH-D6		
	コンペアマッチ	FTC7	00FF2EH-D7	ETC7	00FF2CH-D7		

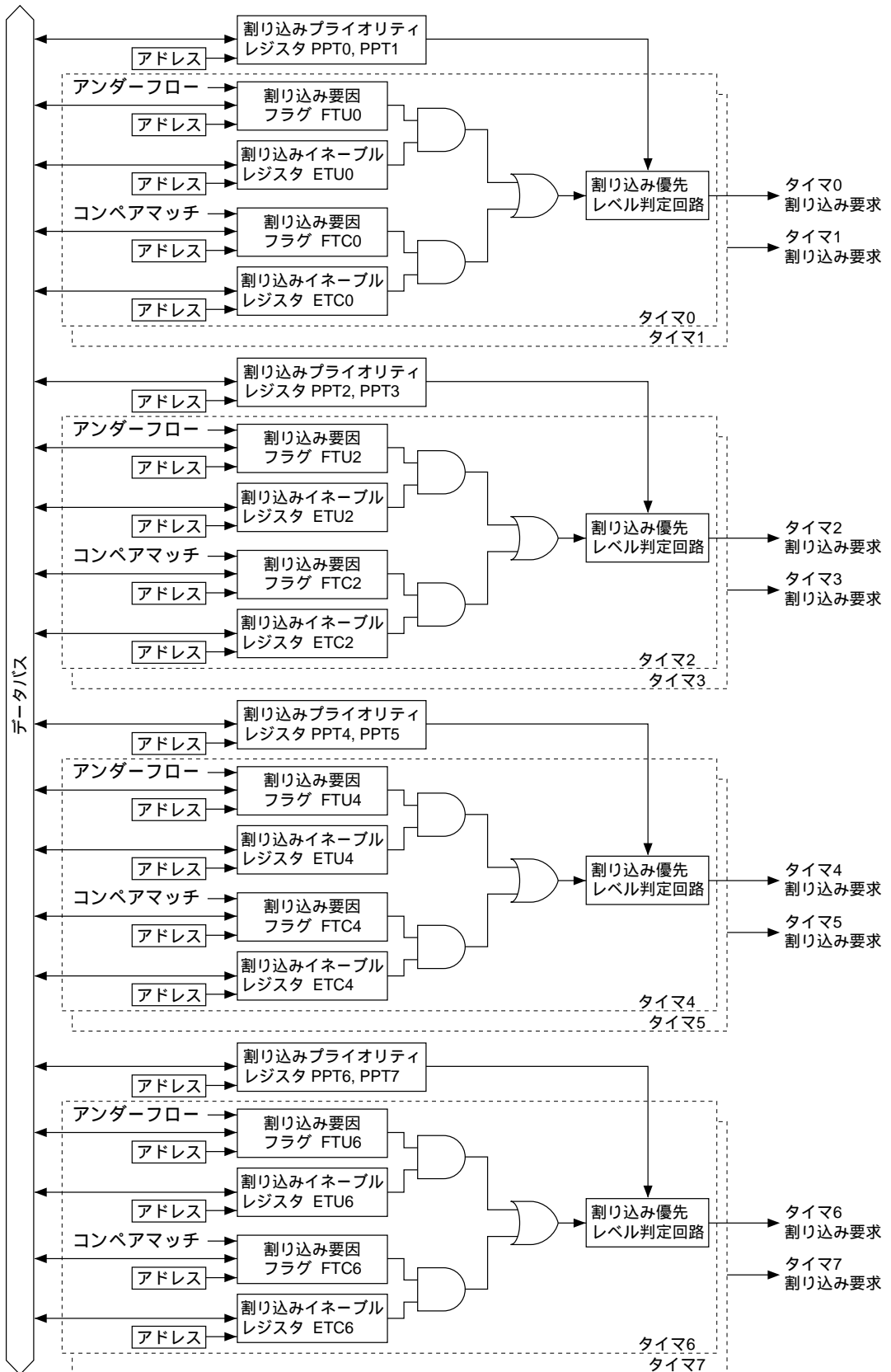


図5.10.5.1 16ビットプログラマブルタイム割り込み回路の構成

5.10.6 TOUT出力の設定

16ビットプログラマブルタイマは、タイマ0～タイマ3のアンダーフローおよびコンペアマッチ信号によってTOUT信号を発生させることができます。ここで発生したTOUT信号は、表5.10.6.1に示す出力兼用ポート端子から出力させることができ、外部デバイスへのクロック供給やPWM波形出力として利用できます。

表5.10.6.1 TOUT出力端子

タイマ	出力クロック名	出力端子
タイマ0	TOUT0	P14
タイマ1	TOUT1	P14
タイマ2	TOUT2	P15
	$\overline{\text{TOUT2}}$	P17
タイマ3	TOUT3	P15
	$\overline{\text{TOUT3}}$	P17

TOUT信号はアンダーフロー信号の立ち下がりエッジで立ち上がり、コンペアマッチ信号の立ち下がりエッジで立ち下がります。 $\overline{\text{TOUT}}$ 信号はその反転波形です。したがって、リロードデータレジスタ(RDR)とコンペアデータレジスタ(CDR)の設定によりTOUT信号の周波数とデューティ比を变化させることができます。

ただし、条件として $\text{RDR} > \text{CDR}$ 、 $\text{CDR} \neq 0$ としておく必要があります。 $\text{RDR} \leq \text{CDR}$ の場合、TOUT信号は"1"に固定されます。

TOUT出力は各タイマのクロック出力制御レジスタPTOUTxによって、TOUT出力はタイマ2とタイマ3の反転クロック出力制御レジスタRPTOUTxによってON/OFFを制御できます。

PTOUTx(RPTOUTx)に"1"を設定するとTOUTx(TOUT \overline{x})信号が対応するポート端子から出力され、"0"を設定するとDC出力を行います。このとき、I/OコントロールレジスタIOC14/IOC15/IOC17およびデータレジスタP14D/P15D/P17Dの設定は無効になります。

注! PTOUT0とPTOUT1を同時に設定した場合はPTOUT1が、PTOUT2(RPTOUT2)とPTOUT3(RPTOUT3)を同時に設定した場合はPTOUT3(RPTOUT3)が有効になります。

16ビットモード時はタイマ(H)の制御レジスタPTOUT(H)によって出力を制御します。クロック出力もタイマ(H)から行われます。

なお、TOUTx(TOUT \overline{x})信号はレジスタPTOUTx(RPTOUTx)とは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.10.6.1にTOUT信号の出力波形を示します。

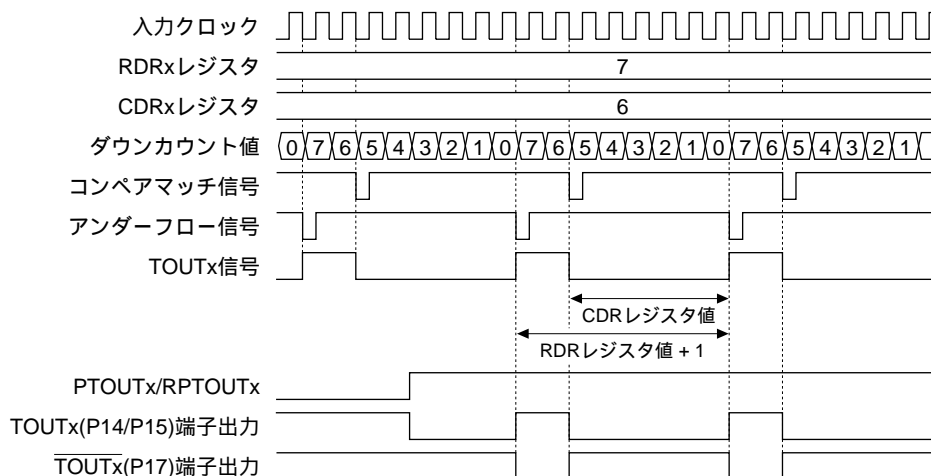


図5.10.6.1 TOUT信号の出力波形

5.10.7 シリアルインタフェースの転送速度設定

タイマ1/タイマ7のアンダーフロー信号をそれぞれシリアルインタフェースCh.0/Ch.1のクロック源として使用することができます。

この場合の転送速度の設定はレジスタPST1x/PST7x、RDR1x/RDR7xによって行います(アンダーフロー信号を用いるためCDR1x/CDR7xの値は影響しません。任意の値に設定してください)。

タイマのアンダーフロー信号はシリアルインタフェース内で1/32分周されるため、転送速度に対するレジスタRDR1x/RDR7xへの設定値は次式的ようになります。

$$RDR = \frac{fdiv}{32 \times bps} - 1$$

fdiv: 入力クロック周波数(PST1x/PST7xの設定)

bps: 転送速度

表5.10.7.1 転送速度とOSC3発振周波数

転送速度 (bps)	OSC3発振周波数/プログラマブルタイマの設定					
	fosc3 = 2.4576MHz		fosc3 = 3.0720MHz		fosc3 = 3.6864MHz	
	PST1x/7x	RDR1x/7x	PST1x/7x	RDR1x/7x	PST1x/7x	RDR1x/7x
19,200	00H	03H	00H	04H	00H	05H
9,600	00H	07H	00H	09H	00H	0BH
4,800	00H	0FH	00H	13H	00H	17H
2,400	00H	1FH	00H	27H	00H	2FH
1,200	00H	3FH	00H	4FH	00H	5FH
600	00H	7FH	00H	9FH	00H	BFH
300	02H	1FH	03H	09H	01H	BFH
150	02H	3FH	03H	13H	02H	5FH

* アンダーフロー信号を用いるためCDR1x/CDR7xの値は影響しません。

5.10.8 LCDドライバ用フレーム周波数の設定

タイマ5のアンダーフロー信号をLCDドライバのフレーム周波数を決定するクロック源として使用することができます。

この場合の周波数の設定はレジスタPST5x、RDR5xによって行います(アンダーフロー信号を用いるためCDR5xの値は影響しません。任意の値に設定してください)。

タイマ5のアンダーフロー信号はLCDドライバ内で1/128分周(1/16、1/32デューティ)または1/256分周(1/8デューティ)されるため、レジスタRDR5xへの設定値は次式的ようになります。

(1/16、1/32デューティ)

$$RDR5x = \frac{fdiv}{128 \times fFRM} - 1$$

(1/8デューティ)

$$RDR5x = \frac{fdiv}{256 \times fFRM} - 1$$

fdiv: 入力クロック周波数(PST5xの設定)

fFRM: フレーム周波数(Hz)

5.10.9 プログラマブルタイマの制御方法

表5.10.9.1にプログラマブルタイマの制御ビットを示します。

表5.10.9.1(a) プログラマブルタイマの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF14	D7	PRPRT1	プログラマブルタイマ1クロック制御	On	Off	0	R/W	
	D6	PST12	プログラマブルタイマ1分周比 PST12 PST11 PST10 (OSC3) (OSC1)			0	R/W	
	D5	PST11	1 1 1 fosc3 / 4096 fosc1 / 128			0	R/W	
			1 1 0 fosc3 / 1024 fosc1 / 64					
			1 0 1 fosc3 / 256 fosc1 / 32					
			1 0 0 fosc3 / 64 fosc1 / 16					
	D4	PST10	0 1 1 fosc3 / 32 fosc1 / 8			0	R/W	
			0 1 0 fosc3 / 8 fosc1 / 4					
			0 0 1 fosc3 / 2 fosc1 / 2					
			0 0 0 fosc3 / 1 fosc1 / 1					
	D3	PRPRT0	プログラマブルタイマ0クロック制御	On	Off	0	R/W	
	D2	PST02	プログラマブルタイマ0分周比 PST02 PST01 PST00 (OSC3) (OSC1)			0	R/W	
	D1	PST01	1 1 1 fosc3 / 4096 fosc1 / 128			0	R/W	
			1 1 0 fosc3 / 1024 fosc1 / 64					
			1 0 1 fosc3 / 256 fosc1 / 32					
			1 0 0 fosc3 / 64 fosc1 / 16					
00FF15	D7	PRPRT3	プログラマブルタイマ3クロック制御	On	Off	0	R/W	
	D6	PST32	プログラマブルタイマ3分周比 PST32 PST31 PST30 (OSC3) (OSC1)			0	R/W	
	D5	PST31	1 1 1 fosc3 / 4096 fosc1 / 128			0	R/W	
			1 1 0 fosc3 / 1024 fosc1 / 64					
			1 0 1 fosc3 / 256 fosc1 / 32					
			1 0 0 fosc3 / 64 fosc1 / 16					
	D4	PST30	0 1 1 fosc3 / 32 fosc1 / 8			0	R/W	
			0 1 0 fosc3 / 8 fosc1 / 4					
			0 0 1 fosc3 / 2 fosc1 / 2					
			0 0 0 fosc3 / 1 fosc1 / 1					
	D3	PRPRT2	プログラマブルタイマ2クロック制御	On	Off	0	R/W	
	D2	PST22	プログラマブルタイマ2分周比 PST22 PST21 PST20 (OSC3) (OSC1)			0	R/W	
	D1	PST21	1 1 1 fosc3 / 4096 fosc1 / 128			0	R/W	
			1 1 0 fosc3 / 1024 fosc1 / 64					
			1 0 1 fosc3 / 256 fosc1 / 32					
			1 0 0 fosc3 / 64 fosc1 / 16					
00FF18	D7	PRPRT5	プログラマブルタイマ5クロック制御	On	Off	0	R/W	
	D6	PST52	プログラマブルタイマ5分周比 PST52 PST51 PST50 (OSC3) (OSC1)			0	R/W	
	D5	PST51	1 1 1 fosc3 / 4096 fosc1 / 128			0	R/W	
			1 1 0 fosc3 / 1024 fosc1 / 64					
			1 0 1 fosc3 / 256 fosc1 / 32					
			1 0 0 fosc3 / 64 fosc1 / 16					
	D4	PST50	0 1 1 fosc3 / 32 fosc1 / 8			0	R/W	
			0 1 0 fosc3 / 8 fosc1 / 4					
			0 0 1 fosc3 / 2 fosc1 / 2					
			0 0 0 fosc3 / 1 fosc1 / 1					
	D3	PRPRT4	プログラマブルタイマ4クロック制御	On	Off	0	R/W	
	D2	PST42	プログラマブルタイマ4分周比 PST42 PST41 PST40 (OSC3) (OSC1)			0	R/W	
	D1	PST41	1 1 1 fosc3 / 4096 fosc1 / 128			0	R/W	
			1 1 0 fosc3 / 1024 fosc1 / 64					
			1 0 1 fosc3 / 256 fosc1 / 32					
			1 0 0 fosc3 / 64 fosc1 / 16					
	D0	PST40	0 1 1 fosc3 / 32 fosc1 / 8			0	R/W	
			0 1 0 fosc3 / 8 fosc1 / 4					
			0 0 1 fosc3 / 2 fosc1 / 2					
			0 0 0 fosc3 / 1 fosc1 / 1					

表5.10.9.1(b) プログラマブルタイマの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈				
00FF19	D7	PRPRT7	プログラマブルタイマ7クロック制御	On	Off	0	R/W					
	D6	PST72	プログラマブルタイマ7分周比 PST72 PST71 PST70 (OSC3) (OSC1) 1 1 1 fosc3 / 4096 fosc1 / 128 1 1 0 fosc3 / 1024 fosc1 / 64 1 0 1 fosc3 / 256 fosc1 / 32 1 0 0 fosc3 / 64 fosc1 / 16 0 1 1 fosc3 / 32 fosc1 / 8			0	R/W					
	D5	PST71	0 1 0 fosc3 / 8 fosc1 / 4									
			0 0 1 fosc3 / 2 fosc1 / 2									
			0 0 0 fosc3 / 1 fosc1 / 1									
			D4						PST70	0 1 0 fosc3 / 8 fosc1 / 4 0 0 1 fosc3 / 2 fosc1 / 2 0 0 0 fosc3 / 1 fosc1 / 1		
	D3	PRPRT6	プログラマブルタイマ6クロック制御	On	Off	0	R/W					
	D2	PST62	プログラマブルタイマ6分周比 PST62 PST61 PST60 (OSC3) (OSC1) 1 1 1 fosc3 / 4096 fosc1 / 128 1 1 0 fosc3 / 1024 fosc1 / 64 1 0 1 fosc3 / 256 fosc1 / 32 1 0 0 fosc3 / 64 fosc1 / 16 0 1 1 fosc3 / 32 fosc1 / 8			0	R/W					
	D1	PST61	0 1 0 fosc3 / 8 fosc1 / 4									
			0 0 1 fosc3 / 2 fosc1 / 2									
			0 0 0 fosc3 / 1 fosc1 / 1									
			D0						PST60	0 1 0 fosc3 / 8 fosc1 / 4 0 0 1 fosc3 / 2 fosc1 / 2 0 0 0 fosc3 / 1 fosc1 / 1		
00FF17	D7	—	—	—	—	—	読み出し時は 常時"0"					
	D6	—	—	—	—	—						
	D5	—	—	—	—	—						
	D4	—	汎用レジスタ	1	0	0		R/W	予約レジスタ			
	D3	PRTF3	プログラマブルタイマ3源振クロック選択	fosc1	fosc3	0	R/W					
	D2	PRTF2	プログラマブルタイマ2源振クロック選択	fosc1	fosc3	0	R/W					
	D1	PRTF1	プログラマブルタイマ1源振クロック選択	fosc1	fosc3	0	R/W					
	D0	PRTF0	プログラマブルタイマ0源振クロック選択	fosc1	fosc3	0	R/W					
	00FF1B	D7	—	—	—	—	—		読み出し時は 常時"0"			
		D6	—	—	—	—	—					
D5		—	—	—	—	—						
D4		—	—	—	—	—						
D3		PRTF7	プログラマブルタイマ7源振クロック選択	fosc1	fosc3	0	R/W					
D2		PRTF6	プログラマブルタイマ6源振クロック選択	fosc1	fosc3	0	R/W					
D1		PRTF5	プログラマブルタイマ5源振クロック選択	fosc1	fosc3	0	R/W					
D0		PRTF4	プログラマブルタイマ4源振クロック選択	fosc1	fosc3	0	R/W					
00FF21	D7	—	—	—	—	—	読み出し時は 常時"0"					
	D6	—	—	—	—	—						
	D5	PPT3	プログラマブルタイマ3-2割り込み	PPT3 PPT2 PPT1 PPT0 PSIF11 PSIF10	優先 レベル	0	R/W					
	D4	PPT2	プライオリティレジスタ									
	D3	PPT1	プログラマブルタイマ1-0割り込み			0	R/W					
	D2	PPT0	プライオリティレジスタ									
	D1	PSIF11	シリアルインタフェース1割り込み	0	R/W							
	D0	PSIF10	プライオリティレジスタ									
00FF2A	D7	—	—	—	—	—	読み出し時は 常時"0"					
	D6	—	—	—	—	—						
	D5	—	—	—	—	—						
	D4	—	—	—	—	—						
	D3	PPT7	プログラマブルタイマ7-6割り込み	PPT7 PPT6 PPT5 PPT4	優先 レベル	0	R/W					
	D2	PPT6	プライオリティレジスタ									
	D1	PPT5	プログラマブルタイマ5-4割り込み	0	R/W							
	D0	PPT4	プライオリティレジスタ									

表5.10.9.1(c) プログラマブルタイマの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈	
00FF25	D7	ETC3	PTM3コンペアマッチ割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W		
	D6	ETU3	PTM3アンダーフロー割り込みイネーブル						
	D5	ETC2	PTM2コンペアマッチ割り込みイネーブル						
	D4	ETU2	PTM2アンダーフロー割り込みイネーブル						
	D3	ETC1	PTM1コンペアマッチ割り込みイネーブル						
	D2	ETU1	PTM1アンダーフロー割り込みイネーブル						
	D1	ETC0	PTM0コンペアマッチ割り込みイネーブル						
	D0	ETU0	PTM0アンダーフロー割り込みイネーブル						
00FF29	D7	FTC3	PTM3コンペアマッチ割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W		
	D6	FTU3	PTM3アンダーフロー割り込み要因フラグ						
	D5	FTC2	PTM2コンペアマッチ割り込み要因フラグ						
	D4	FTU2	PTM2アンダーフロー割り込み要因フラグ						
	D3	FTC1	PTM1コンペアマッチ割り込み要因フラグ	(W) リセット	(W) 無効				
	D2	FTU1	PTM1アンダーフロー割り込み要因フラグ						
	D1	FTC0	PTM0コンペアマッチ割り込み要因フラグ						
	D0	FTU0	PTM0アンダーフロー割り込み要因フラグ						
00FF2C	D7	ETC7	PTM7コンペアマッチ割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W		
	D6	ETU7	PTM7アンダーフロー割り込みイネーブル						
	D5	ETC6	PTM6コンペアマッチ割り込みイネーブル						
	D4	ETU6	PTM6アンダーフロー割り込みイネーブル						
	D3	ETC5	PTM5コンペアマッチ割り込みイネーブル						
	D2	ETU5	PTM5アンダーフロー割り込みイネーブル						
	D1	ETC4	PTM4コンペアマッチ割り込みイネーブル						
	D0	ETU4	PTM4アンダーフロー割り込みイネーブル						
00FF2E	D7	FTC7	PTM7コンペアマッチ割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W		
	D6	FTU7	PTM7アンダーフロー割り込み要因フラグ						
	D5	FTC6	PTM6コンペアマッチ割り込み要因フラグ						
	D4	FTU6	PTM6アンダーフロー割り込み要因フラグ						
	D3	FTC5	PTM5コンペアマッチ割り込み要因フラグ	(W) リセット	(W) 無効				
	D2	FTU5	PTM5アンダーフロー割り込み要因フラグ						
	D1	FTC4	PTM4コンペアマッチ割り込み要因フラグ						
	D0	FTU4	PTM4アンダーフロー割り込み要因フラグ						
00FF30	D7	MODE16_A	PTM0-1 8/16ビットモード選択	16ビット×1	8ビット×2	0	R/W		
	D6	PTNREN_A	外部クロック0ノイズリジェクタ選択	有効	無効	0	R/W		
	D5	—	—	—	—	—			読み出し時は"0"
	D4	—	汎用レジスタ	1	0	0	R/W		予約レジスタ
	D3	PTOUT0	PTM0クロック出力制御	On	Off	0	R/W		
	D2	PTRUN0	PTM0 Run/Stop制御	Run	Stop	0	R/W		
	D1	PSET0	PTM0プリセット	プリセット	無効	0	W		
	D0	CKSEL0	PTM0入力クロック選択	外部クロック	内部クロック	0	R/W		
00FF31	D7	—	—	—	—	—		読み出し時は 常時"0"	
	D6	—	—	—	—	—			
	D5	—	—	—	—	—			
	D4	—	汎用レジスタ	1	0	0	R/W		予約レジスタ
	D3	PTOUT1	PTM1クロック出力制御	On	Off	0	R/W		
	D2	PTRUN1	PTM1 Run/Stop制御	Run	Stop	0	R/W		
	D1	PSET1	PTM1プリセット	プリセット	無効	0	W		読み出し時は"0"
	D0	CKSEL1	PTM1入力クロック選択	外部クロック	内部クロック	0	R/W		

表5.10.9.1(d) プログラマブルタイマの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF32	D7	RDR07	PTM0リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RDR06	PTM0リロードデータD6					
	D5	RDR05	PTM0リロードデータD5					
	D4	RDR04	PTM0リロードデータD4					
	D3	RDR03	PTM0リロードデータD3					
	D2	RDR02	PTM0リロードデータD2					
	D1	RDR01	PTM0リロードデータD1					
	D0	RDR00	PTM0リロードデータD0 (LSB)					
00FF33	D7	RDR17	PTM1リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RDR16	PTM1リロードデータD6					
	D5	RDR15	PTM1リロードデータD5					
	D4	RDR14	PTM1リロードデータD4					
	D3	RDR13	PTM1リロードデータD3					
	D2	RDR12	PTM1リロードデータD2					
	D1	RDR11	PTM1リロードデータD1					
	D0	RDR10	PTM1リロードデータD0 (LSB)					
00FF34	D7	CDR07	PTM0コンペアデータD7 (MSB)	High	Low	0	R/W	
	D6	CDR06	PTM0コンペアデータD6					
	D5	CDR05	PTM0コンペアデータD5					
	D4	CDR04	PTM0コンペアデータD4					
	D3	CDR03	PTM0コンペアデータD3					
	D2	CDR02	PTM0コンペアデータD2					
	D1	CDR01	PTM0コンペアデータD1					
	D0	CDR00	PTM0コンペアデータD0 (LSB)					
00FF35	D7	CDR17	PTM1コンペアデータD7 (MSB)	High	Low	0	R/W	
	D6	CDR16	PTM1コンペアデータD6					
	D5	CDR15	PTM1コンペアデータD5					
	D4	CDR14	PTM1コンペアデータD4					
	D3	CDR13	PTM1コンペアデータD3					
	D2	CDR12	PTM1コンペアデータD2					
	D1	CDR11	PTM1コンペアデータD1					
	D0	CDR10	PTM1コンペアデータD0 (LSB)					
00FF36	D7	PTM07	PTM0データD7 (MSB)	High	Low	1	R	
	D6	PTM06	PTM0データD6					
	D5	PTM05	PTM0データD5					
	D4	PTM04	PTM0データD4					
	D3	PTM03	PTM0データD3					
	D2	PTM02	PTM0データD2					
	D1	PTM01	PTM0データD1					
	D0	PTM00	PTM0データD0 (LSB)					
00FF37	D7	PTM17	PTM1データD7 (MSB)	High	Low	1	R	
	D6	PTM16	PTM1データD6					
	D5	PTM15	PTM1データD5					
	D4	PTM14	PTM1データD4					
	D3	PTM13	PTM1データD3					
	D2	PTM12	PTM1データD2					
	D1	PTM11	PTM1データD1					
	D0	PTM10	PTM1データD0 (LSB)					

表5.10.9.1(e) プログラマブルタイマの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF38	D7	MODE16_B	PTM2-3 8/16ビットモード選択	16ビット×1	8ビット×2	0	R/W	
	D6	PTNREN_B	外部クロック1ノイズリジェクタ選択	有効	無効	0	R/W	
	D5	—	—	—	—	—		読み出し時は"0"
	D4	RPTOUT2	PTM2反転クロック出力制御	On	Off	0	R/W	
	D3	PTOUT2	PTM2クロック出力制御	On	Off	0	R/W	
	D2	PTRUN2	PTM2 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET2	PTM2プリセット	プリセット	無効	0	W	読み出し時は"0"
	D0	CKSEL2	PTM2入力クロック選択	外部クロック	内部クロック	0	R/W	
00FF39	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	RPTOUT3	PTM3反転クロック出力制御	On	Off	0	R/W	
	D3	PTOUT3	PTM3クロック出力制御	On	Off	0	R/W	
	D2	PTRUN3	PTM3 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET3	PTM3プリセット	プリセット	無効	0	W	読み出し時は"0"
	D0	CKSEL3	PTM3入力クロック選択	外部クロック	内部クロック	0	R/W	
00FF3A	D7	RDR27	PTM2リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RDR26	PTM2リロードデータD6					
	D5	RDR25	PTM2リロードデータD5					
	D4	RDR24	PTM2リロードデータD4					
	D3	RDR23	PTM2リロードデータD3					
	D2	RDR22	PTM2リロードデータD2					
	D1	RDR21	PTM2リロードデータD1					
	D0	RDR20	PTM2リロードデータD0 (LSB)					
00FF3B	D7	RDR37	PTM3リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RDR36	PTM3リロードデータD6					
	D5	RDR35	PTM3リロードデータD5					
	D4	RDR34	PTM3リロードデータD4					
	D3	RDR33	PTM3リロードデータD3					
	D2	RDR32	PTM3リロードデータD2					
	D1	RDR31	PTM3リロードデータD1					
	D0	RDR30	PTM3リロードデータD0 (LSB)					
00FF3C	D7	CDR27	PTM2コンペアデータD7 (MSB)	High	Low	0	R/W	
	D6	CDR26	PTM2コンペアデータD6					
	D5	CDR25	PTM2コンペアデータD5					
	D4	CDR24	PTM2コンペアデータD4					
	D3	CDR23	PTM2コンペアデータD3					
	D2	CDR22	PTM2コンペアデータD2					
	D1	CDR21	PTM2コンペアデータD1					
	D0	CDR20	PTM2コンペアデータD0 (LSB)					
00FF3D	D7	CDR37	PTM3コンペアデータD7 (MSB)	High	Low	0	R/W	
	D6	CDR36	PTM3コンペアデータD6					
	D5	CDR35	PTM3コンペアデータD5					
	D4	CDR34	PTM3コンペアデータD4					
	D3	CDR33	PTM3コンペアデータD3					
	D2	CDR32	PTM3コンペアデータD2					
	D1	CDR31	PTM3コンペアデータD1					
	D0	CDR30	PTM3コンペアデータD0 (LSB)					

表5.10.9.1(f) プログラマブルタイマの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF3E	D7	PTM27	PTM2データD7 (MSB)	High	Low	1	R	
	D6	PTM26	PTM2データD6					
	D5	PTM25	PTM2データD5					
	D4	PTM24	PTM2データD4					
	D3	PTM23	PTM2データD3					
	D2	PTM22	PTM2データD2					
	D1	PTM21	PTM2データD1					
	D0	PTM20	PTM2データD0 (LSB)					
00FF3F	D7	PTM37	PTM3データD7 (MSB)	High	Low	1	R	
	D6	PTM36	PTM3データD6					
	D5	PTM35	PTM3データD5					
	D4	PTM34	PTM3データD4					
	D3	PTM33	PTM3データD3					
	D2	PTM32	PTM3データD2					
	D1	PTM31	PTM3データD1					
	D0	PTM30	PTM3データD0 (LSB)					
00FFB0	D7	MODE16_C	PTM4-5 8/16ビットモード選択	16ビット×1	8ビット×2	0	R/W	
	D6	PTNREN_C	外部クロック2ノイズリジェクタ選択	有効	無効	0	R/W	
	D5	—	—	—	—	—		
	D4	—	汎用レジスタ	1	0	0	R/W	
	D3	—	汎用レジスタ	1	0	0	R/W	
	D2	PTRUN4	PTM4 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET4	PTM4プリセット	プリセット	無効	0	W	
	D0	CKSEL4	PTM4入力クロック選択	外部クロック	内部クロック	0	R/W	
00FFB1	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D3	—	汎用レジスタ	1	0	0	R/W	
	D2	PTRUN5	PTM5 Run/Stop制御	Run	Stop	0	R/W	読み出し時は"0"
	D1	PSET5	PTM5プリセット	プリセット	無効	0	W	
	D0	CKSEL5	PTM5入力クロック選択	外部クロック	内部クロック	0	R/W	
00FFB2	D7	RDR47	PTM4リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RDR46	PTM4リロードデータD6					
	D5	RDR45	PTM4リロードデータD5					
	D4	RDR44	PTM4リロードデータD4					
	D3	RDR43	PTM4リロードデータD3					
	D2	RDR42	PTM4リロードデータD2					
	D1	RDR41	PTM4リロードデータD1					
	D0	RDR40	PTM4リロードデータD0 (LSB)					
00FFB3	D7	RDR57	PTM5リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RDR56	PTM5リロードデータD6					
	D5	RDR55	PTM5リロードデータD5					
	D4	RDR54	PTM5リロードデータD4					
	D3	RDR53	PTM5リロードデータD3					
	D2	RDR52	PTM5リロードデータD2					
	D1	RDR51	PTM5リロードデータD1					
	D0	RDR50	PTM5リロードデータD0 (LSB)					

表5.10.9.1(g) プログラマブルタイマの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FFB4	D7	CDR47	PTM4コンペアデータD7 (MSB)	High	Low	0	R/W	
	D6	CDR46	PTM4コンペアデータD6					
	D5	CDR45	PTM4コンペアデータD5					
	D4	CDR44	PTM4コンペアデータD4					
	D3	CDR43	PTM4コンペアデータD3					
	D2	CDR42	PTM4コンペアデータD2					
	D1	CDR41	PTM4コンペアデータD1					
	D0	CDR40	PTM4コンペアデータD0 (LSB)					
00FFB5	D7	CDR57	PTM5コンペアデータD7 (MSB)	High	Low	0	R/W	
	D6	CDR56	PTM5コンペアデータD6					
	D5	CDR55	PTM5コンペアデータD5					
	D4	CDR54	PTM5コンペアデータD4					
	D3	CDR53	PTM5コンペアデータD3					
	D2	CDR52	PTM5コンペアデータD2					
	D1	CDR51	PTM5コンペアデータD1					
	D0	CDR50	PTM5コンペアデータD0 (LSB)					
00FFB6	D7	PTM47	PTM4データD7 (MSB)	High	Low	1	R	
	D6	PTM46	PTM4データD6					
	D5	PTM45	PTM4データD5					
	D4	PTM44	PTM4データD4					
	D3	PTM43	PTM4データD3					
	D2	PTM42	PTM4データD2					
	D1	PTM41	PTM4データD1					
	D0	PTM40	PTM4データD0 (LSB)					
00FFB7	D7	PTM57	PTM5データD7 (MSB)	High	Low	1	R	
	D6	PTM56	PTM5データD6					
	D5	PTM55	PTM5データD5					
	D4	PTM54	PTM5データD4					
	D3	PTM53	PTM5データD3					
	D2	PTM52	PTM5データD2					
	D1	PTM51	PTM5データD1					
	D0	PTM50	PTM5データD0 (LSB)					
00FFB8	D7	MODE16_D	PTM6-7 8/16ビットモード選択	16ビット×1	8ビット×2	0	R/W	読み出し時は"0" 予約レジスタ
	D6	PTNREN_D	外部クロック3ノイズリジェクタ選択	有効	無効	0	R/W	
	D5	—	—	—	—	—		
	D4	—	汎用レジスタ	1	0	0	R/W	
	D3	—	汎用レジスタ	1	0	0	R/W	
	D2	PTRUN6	PTM6 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET6	PTM6プリセット	プリセット	無効	0	W	
	D0	CKSEL6	PTM6入力クロック選択	外部クロック	内部クロック	0	R/W	
00FFB9	D7	—	—	—	—	—		読み出し時は 常時"0" 予約レジスタ
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	汎用レジスタ	1	0	0	R/W	
	D3	—	汎用レジスタ	1	0	0	R/W	
	D2	PTRUN7	PTM7 Run/Stop制御	Run	Stop	0	R/W	
	D1	PSET7	PTM7プリセット	プリセット	無効	0	W	
	D0	CKSEL7	PTM7入力クロック選択	外部クロック	内部クロック	0	R/W	

表5.10.9.1(h) プログラマブルタイマの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FFBA	D7	RDR67	PTM6リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RDR66	PTM6リロードデータD6					
	D5	RDR65	PTM6リロードデータD5					
	D4	RDR64	PTM6リロードデータD4					
	D3	RDR63	PTM6リロードデータD3					
	D2	RDR62	PTM6リロードデータD2					
	D1	RDR61	PTM6リロードデータD1					
	D0	RDR60	PTM6リロードデータD0 (LSB)					
00FFBB	D7	RDR77	PTM7リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RDR76	PTM7リロードデータD6					
	D5	RDR75	PTM7リロードデータD5					
	D4	RDR74	PTM7リロードデータD4					
	D3	RDR73	PTM7リロードデータD3					
	D2	RDR72	PTM7リロードデータD2					
	D1	RDR71	PTM7リロードデータD1					
	D0	RDR70	PTM7リロードデータD0 (LSB)					
00FFBC	D7	CDR67	PTM6コンペアデータD7 (MSB)	High	Low	0	R/W	
	D6	CDR66	PTM6コンペアデータD6					
	D5	CDR65	PTM6コンペアデータD5					
	D4	CDR64	PTM6コンペアデータD4					
	D3	CDR63	PTM6コンペアデータD3					
	D2	CDR62	PTM6コンペアデータD2					
	D1	CDR61	PTM6コンペアデータD1					
	D0	CDR60	PTM6コンペアデータD0 (LSB)					
00FFBD	D7	CDR77	PTM7コンペアデータD7 (MSB)	High	Low	0	R/W	
	D6	CDR76	PTM7コンペアデータD6					
	D5	CDR75	PTM7コンペアデータD5					
	D4	CDR74	PTM7コンペアデータD4					
	D3	CDR73	PTM7コンペアデータD3					
	D2	CDR72	PTM7コンペアデータD2					
	D1	CDR71	PTM7コンペアデータD1					
	D0	CDR70	PTM7コンペアデータD0 (LSB)					
00FFBE	D7	PTM67	PTM6データD7 (MSB)	High	Low	1	R	
	D6	PTM66	PTM6データD6					
	D5	PTM65	PTM6データD5					
	D4	PTM64	PTM6データD4					
	D3	PTM63	PTM6データD3					
	D2	PTM62	PTM6データD2					
	D1	PTM61	PTM6データD1					
	D0	PTM60	PTM6データD0 (LSB)					
00FFBF	D7	PTM77	PTM7データD7 (MSB)	High	Low	1	R	
	D6	PTM76	PTM7データD6					
	D5	PTM75	PTM7データD5					
	D4	PTM74	PTM7データD4					
	D3	PTM73	PTM7データD3					
	D2	PTM72	PTM7データD2					
	D1	PTM71	PTM7データD1					
	D0	PTM70	PTM7データD0 (LSB)					

MODE16_A: 00FF30H-D7**MODE16_B: 00FF38H-D7****MODE16_C: 00FFB0H-D7****MODE16_D: 00FFB8H-D7**

8/16ビットモードを選択します。

"1"書き込み: 16ビット×1チャンネル

"0"書き込み: 8ビット×2チャンネル

読み出し: 可能

MODE16_Aはタイマ0-1、MODE16_Bはタイマ2-3、MODE16_Cはタイマ4-5、MODE16_Dはタイマ6-7に対応する8/16ビットモード選択レジスタで、タイマ(L)とタイマ(H)を独立した2チャンネルの8ビットタイマとして使用するか、組み合わせた1チャンネルの16ビットタイマとして使用するか選択します。MODE16_A(～D)に"0"を書き込んだ場合は8ビット×2チャンネル、"1"を書き込んだ場合は16ビット×1チャンネルがそれぞれ選択されます。イニシャルリセット時、本レジスタは"0"(8ビット×2チャンネル)に設定されます。

PTNREN_A: 00FF30H-D6**PTNREN_B: 00FF38H-D6****PTNREN_C: 00FFB0H-D6****PTNREN_D: 00FFB8H-D6**

外部クロック入力部のノイズリジェクタを有効/無効にします。

"1"書き込み: 有効

"0"書き込み: 無効

読み出し: 可能

PTNREN_A(～D)に"1"を書き込むことによって、外部クロックEXCL0(～3)のノイズリジェクタが有効となります。これにより、16/fosc1以下のパルスはノイズとみなされて除去されます。PTNREN_A(～D)が"0"の場合、外部クロックはノイズリジェクタをバイパスします。イニシャルリセット時、PTNREN_A(～D)は"0"(無効)に設定されます。

CKSEL0: 00FF30H-D0**CKSEL1: 00FF31H-D0****CKSEL2: 00FF38H-D0****CKSEL3: 00FF39H-D0****CKSEL4: 00FFB0H-D0****CKSEL5: 00FFB1H-D0****CKSEL6: 00FFB8H-D0****CKSEL7: 00FFB9H-D0**

各タイマの入力クロックを選択します。

"1"書き込み: 外部クロック

"0"書き込み: 内部クロック

読み出し: 可能

各タイマの入力クロックを外部クロック(入力ポートの入力信号)とするか内部クロック(プリスケアラの出力クロック)とするかを選択します。

CKSELxに"0"を書き込んだ場合はタイマxの入力クロックとして内部クロック(プリスケアラ出力INCLx)が選択されます。

"1"を書き込んだ場合は外部クロック(タイマ0と1はK04入力EXCL0、タイマ2と3はK05入力EXCL1、タイマ4と5はK06入力EXCL2、タイマ6と7はK07入力EXCL3)が選択され、イベントカウンタとして機能します。

なお、16ビットモードではCKSEL(H)の設定が無効となります。

イニシャルリセット時、本レジスタは"0"(内部クロック)に設定されます。

PRTF0: 00FF17H-D0**PRTF1: 00FF17H-D1****PRTF2: 00FF17H-D2****PRTF3: 00FF17H-D3****PRTF4: 00FF1BH-D0****PRTF5: 00FF1BH-D1****PRTF6: 00FF1BH-D2****PRTF7: 00FF1BH-D3**

各タイマの原振クロックを選択します(内部クロック使用時)。

"1"書き込み: fosc1

"0"書き込み: fosc3

読み出し: 可能

PRTFxに"1"を書き込むことにより、OSC1クロックがタイマxの原振として選択されます。"0"を書き込むと、OSC3クロックが選択されます。イニシャルリセット時、本レジスタは"0"(fosc3)に設定されます。

PST00~PST02: 00FF14H-D0~D2**PST10~PST12: 00FF14H-D4~D6****PST20~PST22: 00FF15H-D0~D2****PST30~PST32: 00FF15H-D4~D6****PST40~PST42: 00FF18H-D0~D2****PST50~PST52: 00FF18H-D4~D6****PST60~PST62: 00FF19H-D0~D2****PST70~PST72: 00FF19H-D4~D6**

各タイマの入力クロックを設定します(内部クロック使用時)。

表5.10.9.1(a)、(b)に示した8種類の分周比の中から選択できます。

本レジスタは読み出しも可能です。

イニシャルリセット時、本レジスタは"0"に設定されます。

PRPRT0: 00FF14H-D3
PRPRT1: 00FF14H-D7
PRPRT2: 00FF15H-D3
PRPRT3: 00FF15H-D7
PRPRT4: 00FF18H-D3
PRPRT5: 00FF18H-D7
PRPRT6: 00FF19H-D3
PRPRT7: 00FF19H-D7

各タイマへのクロック供給を制御します(内部クロック使用時)。

"1"書き込み: ON
 "0"書き込み: OFF
 読み出し: 可能

PRPRTxレジスタに"1"を書き込むことにより、PSTxレジスタで選択したクロックがタイマxに出力されます。

"0"を書き込むと、クロックは出力されません。イニシャルリセット時、本レジスタは"0"(OFF)に設定されます。

RDR00~RDR07: 00FF32H
RDR10~RDR17: 00FF33H
RDR20~RDR27: 00FF3AH
RDR30~RDR37: 00FF3BH
RDR40~RDR47: 00FFB2H
RDR50~RDR57: 00FFB3H
RDR60~RDR67: 00FFBAH
RDR70~RDR77: 00FFBBH

各タイマのカウンタの初期値を設定します。本レジスタに設定したリロードデータがそれぞれのカウンタにロードされ、それを初期値としてダウンカウントが行われます。

リロードデータがカウンタにロードされる条件はPSETxに"1"を書き込んでプリセットを行う場合と、カウンタのアンダーフローによって自動的にリロードが行われる場合です。

本レジスタは読み出しも可能です。イニシャルリセット時、本レジスタは"FFH"に設定されます。

CDR00~CDR07: 00FF34H
CDR10~CDR17: 00FF35H
CDR20~CDR27: 00FF3CH
CDR30~CDR37: 00FF3DH
CDR40~CDR47: 00FFB4H
CDR50~CDR57: 00FFB5H
CDR60~CDR67: 00FFBCH
CDR70~CDR77: 00FFBDH

各タイマのコンペアデータを設定します。本レジスタに設定したデータがそれぞれのカウンタデータと比較され、内容が一致したところでコンペアマッチ信号を出力します。コンペアマッチ信号は割り込みとTOUT出力波形を制御します。

本レジスタは読み出しも可能です。イニシャルリセット時、本レジスタは"00H"に設定されます。

PTM00~PTM07: 00FF36H
PTM10~PTM17: 00FF37H
PTM20~PTM27: 00FF3EH
PTM30~PTM37: 00FF3FH
PTM40~PTM47: 00FFB6H
PTM50~PTM57: 00FFB7H
PTM60~PTM67: 00FFBEH
PTM70~PTM77: 00FFBFH

各タイマのカウンタデータが読み出せます。データは任意のタイミングで読み出しが可能です。ただし、16ビットモードでは、PTM(L)の読み出しによるPTM(H)のタイマ(H)カウンタデータのラッチは行われません。

タイマ(L)からタイマ(H)へのポロー発生を回避する必要がある場合は、PTRUN(L)に"0"を書き込み、タイマをストップしてからカウンタデータの読み出しを行ってください。

PTMxは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、PTMxは"FFH"に設定されます。

PSET0: 00FF30H-D1
PSET1: 00FF31H-D1
PSET2: 00FF38H-D1
PSET3: 00FF39H-D1
PSET4: 00FFB0H-D1
PSET5: 00FFB1H-D1
PSET6: 00FFB8H-D1
PSET7: 00FFB9H-D1

リロードデータをカウンタにプリセットします。

"1"書き込み: プリセット
 "0"書き込み: 無効
 読み出し: 常時"0"

PSETxに"1"を書き込むことによって、RDRxのリロードデータがタイマxのカウンタにプリセットされます。タイマxのカウンタがRUN状態のときにプリセットを行うとリロードデータのプリセット直後にリスタートします。

また、STOP状態の場合はプリセットされたリロードデータがそのまま保持されます。

"0"の書き込みはノーオペレーションとなります。なお、16ビットモードを選択している場合はPSET(L)によって16ビットのプリセットが行われるため、PSET(H)への"1"書き込みは無効となります。

PSETxは書き込み専用のため、読み出しは常時"0"となります。

PTRUN0: 00FF30H-D2
PTRUN1: 00FF31H-D2
PTRUN2: 00FF38H-D2
PTRUN3: 00FF39H-D2
PTRUN4: 00FFB0H-D2
PTRUN5: 00FFB1H-D2
PTRUN6: 00FFB8H-D2
PTRUN7: 00FFB9H-D2

カウンタのRUN/STOPを制御します。

"1"書き込み: RUN
 "0"書き込み: STOP
 読み出し: 可能

タイマxのカウンタはPTRUNxに"1"を書き込むことによってダウンカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではプリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

なお、16ビットモードを選択している場合はPTRUN(L)によって制御します。その場合、PTRUN(H)は"0"に固定されます。

イニシャルリセット時、本レジスタは"0"(STOP)に設定されます。

PTOUT0: 00FF30H-D3
PTOUT1: 00FF31H-D3
PTOUT2: 00FF38H-D3
PTOUT3: 00FF39H-D3

TOUT信号の出力制御を行います。

"1"書き込み: TOUT信号出力
 "0"書き込み: DC出力
 読み出し: 可能

PTOUTxはTOUTx信号(タイマx出力クロック)の出力制御レジスタです。"1"を設定するとTOUT0またはTOUT1信号はP14ポート端子から、TOUT2またはTOUT3信号はP15ポート端子から出力され、"0"を設定するとDC出力を行います。

このとき、I/OコントロールレジスタIOC14/IOC15およびデータレジスタP14D/P15Dの設定は無効になります。

16ビットモードを選択している場合はPTOUT(H)によって制御します。その場合、PTOUT(L)は"0"に固定されます。

イニシャルリセット時、本レジスタは"0"(DC出力)に設定されます。

注! PTOUT0とPTOUT1を同時に設定した場合はPTOUT1が、PTOUT2とPTOUT3を同時に設定した場合はPTOUT3が有効になります。
 なお、プログラマブルタイマを16ビットモードに設定した場合、TOUT0、TOUT2を出力することはできません。

RPTOUT2: 00FF38H-D4
RPTOUT3: 00FF39H-D4

TOUT信号の出力制御を行います。

"1"書き込み: TOUT信号出力
 "0"書き込み: DC出力
 読み出し: 可能

RPTOUTxはTOUTx信号(タイマx出力反転クロック)の出力制御レジスタです。"1"を設定するとTOUT2またはTOUT3信号はP17ポート端子から出力され、"0"を設定するとDC出力を行います。
 このとき、I/OコントロールレジスタIOC17およびデータレジスタP17Dの設定は無効になります。
 16ビットモードを選択している場合はRPTOUT3によって制御します。その場合、RPTOUT2は"0"に固定されます。

イニシャルリセット時、本レジスタは"0"(DC出力)に設定されます。

注! RPTOUT2とRPTOUT3を同時に設定した場合はRPTOUT3が有効になります。

PPT0, PPT1: 00FF21H-D2, D3
PPT2, PPT3: 00FF21H-D4, D5
PPT4, PPT5: 00FF2AH-D0, D1
PPT6, PPT7: 00FF2AH-D2, D3

プログラマブルタイマ割り込みの優先レベルを設定します。

PPT0とPPT1はタイマ0と1、PPT2とPPT3はタイマ2と3、PPT4とPPT5はタイマ4と5、PPT6とPPT7はタイマ6と7の割り込みに対応した割り込みプライオリティレジスタです。

設定できる割り込み優先レベルは表5.10.9.2のとおりです。

表5.10.9.2 割り込み優先レベルの設定

PPT7 PPT5 PPT3 PPT1	PPT6 PPT4 PPT2 PPT0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

ETU0: 00FF25H-D0
ETU1: 00FF25H-D2
ETU2: 00FF25H-D4
ETU3: 00FF25H-D6
ETU4: 00FF2CH-D0
ETU5: 00FF2CH-D2
ETU6: 00FF2CH-D4
ETU7: 00FF2CH-D6

CPUに対するアンダーフロー割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可
 "0"書き込み: 割り込み禁止
 読み出し: 可能

ETUxレジスタはタイマxのアンダーフロー割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

なお、16ビットモードを選択している場合はETU(L)の設定は無効となります。

イニシャルリセット時、本レジスタは"0"(割り込み禁止)に設定されます。

ETC0: 00FF25H-D1
ETC1: 00FF25H-D3
ETC2: 00FF25H-D5
ETC3: 00FF25H-D7
ETC4: 00FF2CH-D1
ETC5: 00FF2CH-D3
ETC6: 00FF2CH-D5
ETC7: 00FF2CH-D7

CPUに対するコンペアマッチ割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可
 "0"書き込み: 割り込み禁止
 読み出し: 可能

ETCxレジスタはタイマxのコンペアマッチ割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

なお、16ビットモードを選択している場合はETC(L)の設定は無効となります。

イニシャルリセット時、本レジスタは"0"(割り込み禁止)に設定されます。

FTU0: 00FF29H-D0
FTU1: 00FF29H-D2
FTU2: 00FF29H-D4
FTU3: 00FF29H-D6
FTU4: 00FF2EH-D0
FTU5: 00FF2EH-D2
FTU6: 00FF2EH-D4
FTU7: 00FF2EH-D6

アンダーフロー割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり
 "0"読み出し: 割り込み要因なし
 "1"書き込み: 要因フラグをリセット
 "0"書き込み: 無効

FTUxはタイマxの割り込みに対応する割り込み要因フラグで、それぞれのカウンタのアンダーフローに同期して"1"にセットされます。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

なお、16ビットモードを選択している場合は割り込み要因フラグFTU(L)は"1"にセットされず、タイマ(L)の割り込みも発生しません。16ビットモード時は、16ビットカウンタのアンダーフローによって割り込み要因フラグFTU(H)が"1"にセットされます。イニシャルリセット時、本フラグは"0"にリセットされます。

FTC0: 00FF29H・D1
FTC1: 00FF29H・D3
FTC2: 00FF29H・D5
FTC3: 00FF29H・D7
FTC4: 00FF2EH・D1
FTC5: 00FF2EH・D3
FTC6: 00FF2EH・D5
FTC7: 00FF2EH・D7

コンペアマッチ割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

FTCxはタイマxの割り込みに対応する割り込み要因フラグで、それぞれのカウンタのコンペアマッチ信号に同期して"1"にセットされます。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

なお、16ビットモードを選択している場合は割り込み要因フラグFTCx(L)は"1"にセットされず、タイマ(L)の割り込みも発生しません。16ビットモード時は、16ビットカウンタのコンペアマッチによって割り込み要因フラグFTCx(H)が"1"にセットされます。イニシャルリセット時、本フラグは"0"にリセットされます。

5.10.10 プログラミング上の注意事項

- (1) プログラマブルタイマはレジスタPTRUNxへの書き込みに対して、入力クロックの立ち下がりエッジに同期して実際にRUN/STOP状態となります。

したがって、PTRUNxに"0"を書き込んだ場合は、"-1"余分にカウントしたところでタイマが停止状態となります。また、このときPTRUNxは実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。

図5.10.10.1にRUN/STOP制御のタイミングチャートを示します。

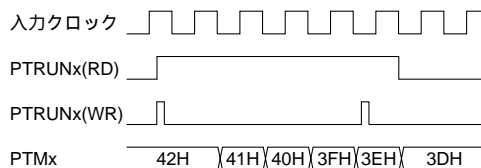


図5.10.10.1 RUN/STOP制御のタイミングチャート

- (2) プログラマブルタイマがRUNしている状態(PTRUNx="1")でSLP命令を実行した場合は、SLEEP状態からの復帰時にプログラマブルタイマが不安定な動作となります。したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前にプログラマブルタイマをSTOP状態(PTRUNx="0")に設定してください。また、同様にクロック出力ポート端子に不安定なクロックが出力されないようTOUT信号をディセーブル状態(PTOUTx="0")に設定してください。
- (3) 16ビットモードでは、PTM(L)の読み出しによるPTM(H)のタイマ(H)カウンタデータのラッチは行われません。タイマ(L)からタイマ(H)へのポーラ発生を回避する必要がある場合は、PTRUN(L)に"0"を書き込み、タイマをストップしてからカウンタデータの読み出しを行ってください。
- (4) プログラマブルタイマ動作中にプログラマブルタイマ割り込み発生間隔を変更する場合、以下の理由によりリロードデータを書き込むタイミングに注意が必要です。プログラマブルタイマは入力クロックの立ち下がりエッジでダウncountを行い、そこでアンダーフローが発生した場合は同時に割り込みを発生します。その後、リロードデータをカウンタにセットする動作を開始し、入力クロックの次の立ち上がりエッジでカウンタデータが確定します(の区間)。

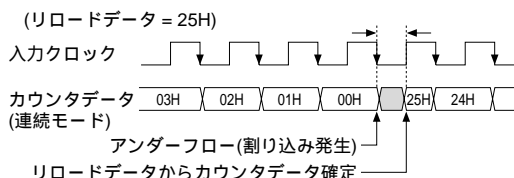


図5.10.10.2 プログラマブルタイマリロードタイミング

リロードデータを正しくカウンタにセットするために、割り込み発生後はの区間を含め、カウンタデータが確定するまではリロードデータの書き換えを行わないでください。入力クロックの源振にOSC1(低速クロック)を使用し、CPUがOSC3(高速クロック)で動作している場合は、特に注意が必要です。

5.11 LCDドライバ

5.11.1 LCDドライバの構成

S1C8F626は最大3,072ドット(96セグメント×32コモン)のLCDパネルが駆動可能なドットマトリクスLCDドライバを内蔵しています。図5.11.1.1にLCDドライバと駆動電源の構成を示します。

5.11.2 LCD電源

LCD系の駆動電圧 $V_{C1} \sim V_{C5}$ は、内部のLCD系定電圧回路によって発生します。外部より印加する必要はありません。また、この内部発生電圧で外部の負荷を駆動することはできません。

LCD系定電圧回路は電源電圧により V_{DD} または V_{D2} で駆動できるようになっており、この切り換えを液晶系定電圧回路用電源選択レジスタ $VDSEL$ により行います。 $VDSEL$ が"0"の場合は V_{DD} が、"1"の場合は V_{D2} が選択されます。 V_{D2} は V_{DD} を電源電圧昇圧回路により約2倍に昇圧した電圧です。 V_{D2} を使用するには V_{D2} に切り換える前に電源電圧昇圧回路ON/OFF制御レジスタ $DBON$ に"1"を書き込み、電源電圧昇圧回路をONしておく必要があります。

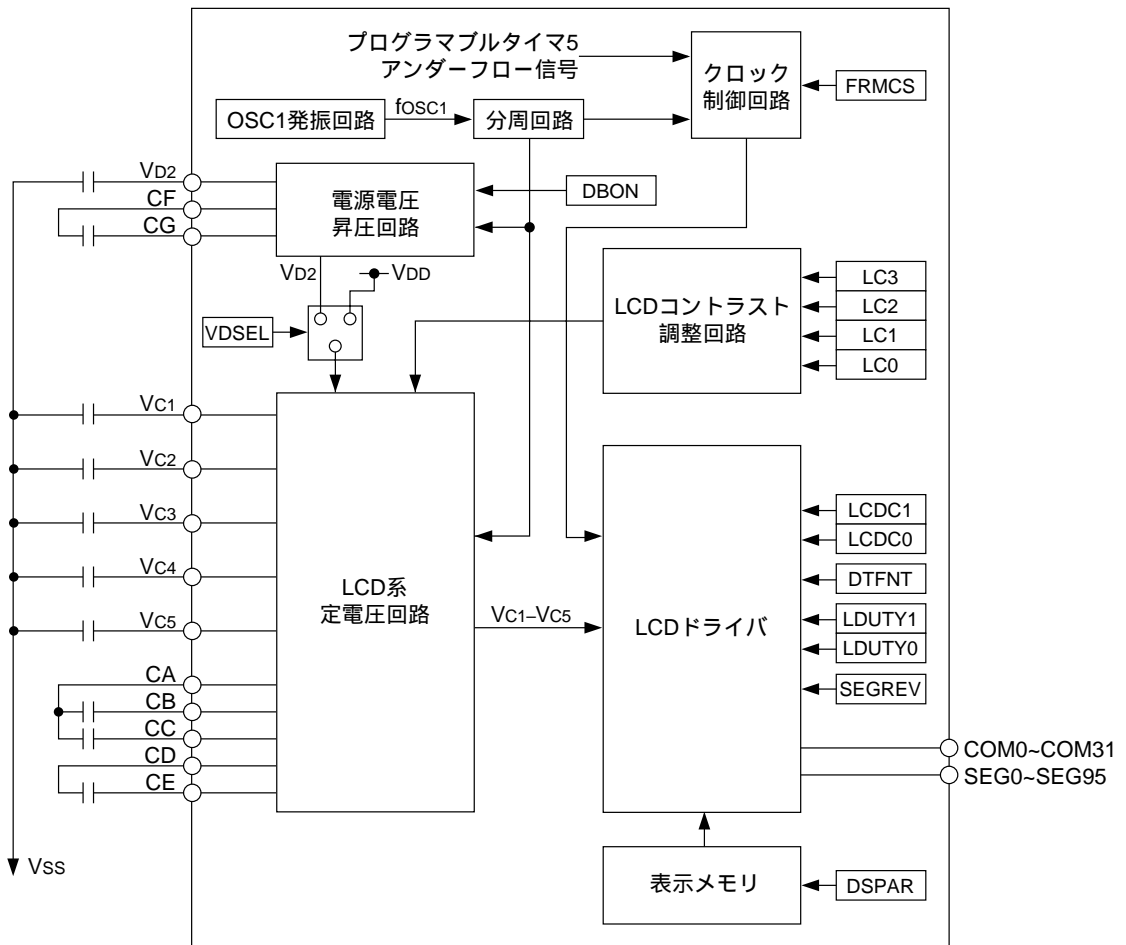


図5.11.1.1 LCDドライバと駆動電源の構成

5.11.3 フレーム周波数

本LCDドライバはフレーム信号を生成するための源振クロックを、OSC1発振クロック(f_{osc1})またはプログラマブルタイマ5のアンダーフロー信号から選択できます。プログラマブルタイマ5を使用すると、フレーム周波数を細かく調整可能です。設定値については、"5.10.8 LCDドライバ用フレーム周波数の設定"を参照してください。

源振クロックはLCDフレーム周波数源振クロック選択レジスタFRMCSによって選択します。FRMCSが"0"の場合が f_{osc1} 、"1"の場合がプログラマブルタイマ5となります。源振クロックに f_{osc1} を選択した場合のフレーム周波数は以下のとおりです($f_{osc1}=32.768\text{kHz}$ の場合)。

1/8デューティ: 64Hz

1/16デューティ: 32Hz

1/32デューティ: 32Hz

5.11.4 駆動デューティの切り換え

S1C8F626はソフトウェアにより駆動デューティを1/8、1/16、1/32の3種類に切り換えることができます。この設定はレジスタLDUTY0、1によって行います。

表5.11.4.1にLDUTYの設定と駆動デューティ、最大表示ドット数の対応を示します。

1/32デューティ選択時は96セグメント×32コモン(最大3,072ドット)のLCDパネルが駆動可能となります。

1/16デューティ選択時は96セグメント×16コモン(最大1,536ドット)のLCDパネルが駆動可能となります。なお、1/16デューティ選択時はCOM16～COM31端子が常時OFF信号を出力する無効な端子となります。

1/8デューティ選択時は96セグメント×8コモン(最大768ドット)のLCDパネルが駆動可能となります。なお、1/8デューティ選択時はCOM8～COM31端子が常時OFF信号を出力する無効な端子となります。

1/32、1/16、1/8デューティいずれも駆動バイアスは1/5(V_{C1} 、 V_{C2} 、 V_{C3} 、 V_{C4} 、 V_{C5} による5電位)で、駆動波形はそれぞれ図5.11.4.1～図5.11.4.3に示すとおりとなります。

表5.11.4.1 LDUTYの設定と駆動デューティ、最大表示ドット数の対応

LDUTY1	LDUTY0	デューティ	コモン端子	セグメント端子	最大表示ドット数
1	1	禁止	—	—	—
1	0	1/16	COM0～COM15	SEG0～SEG95	1,536ドット
0	1	1/32	COM0～COM31	SEG0～SEG95	3,072ドット
0	0	1/8	COM0～COM7	SEG0～SEG95	768ドット

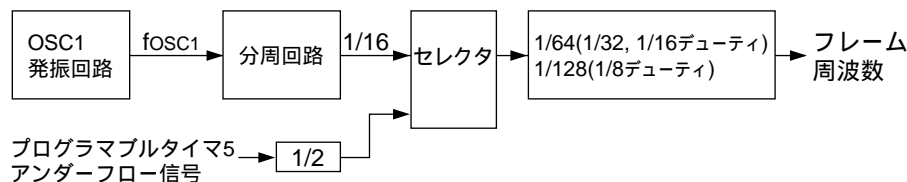
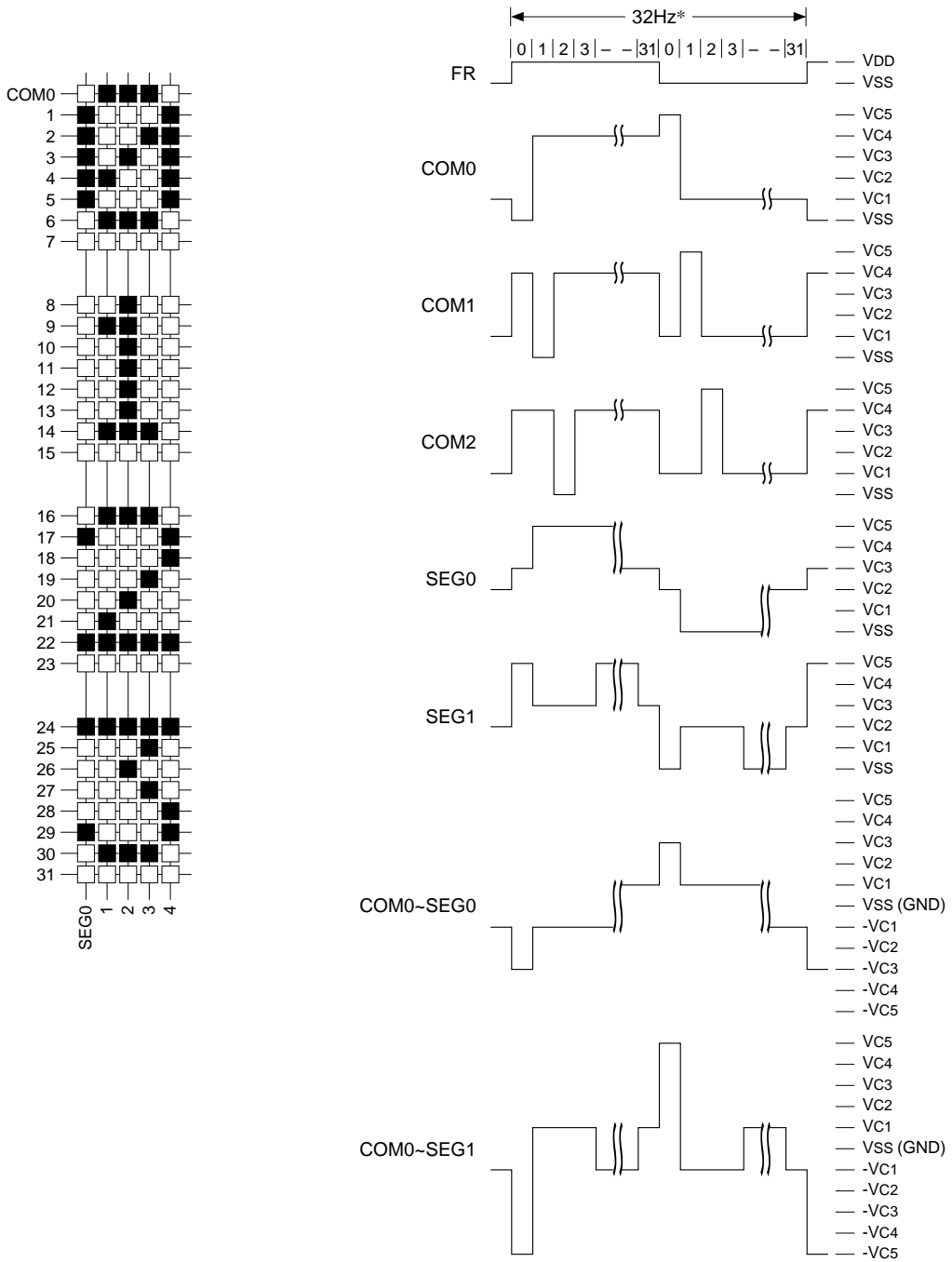
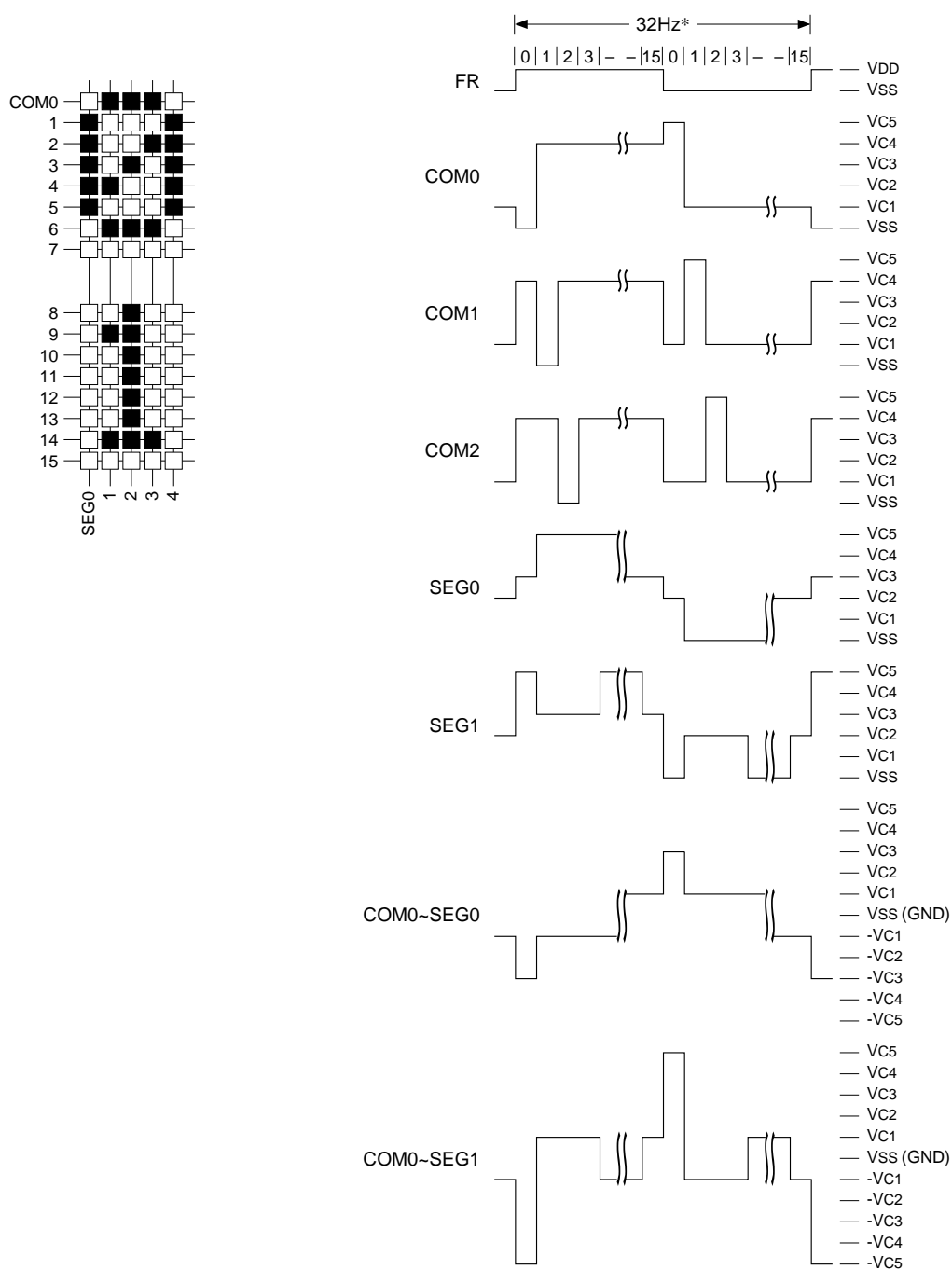


図5.11.3.1 フレーム周波数源振クロックの分周



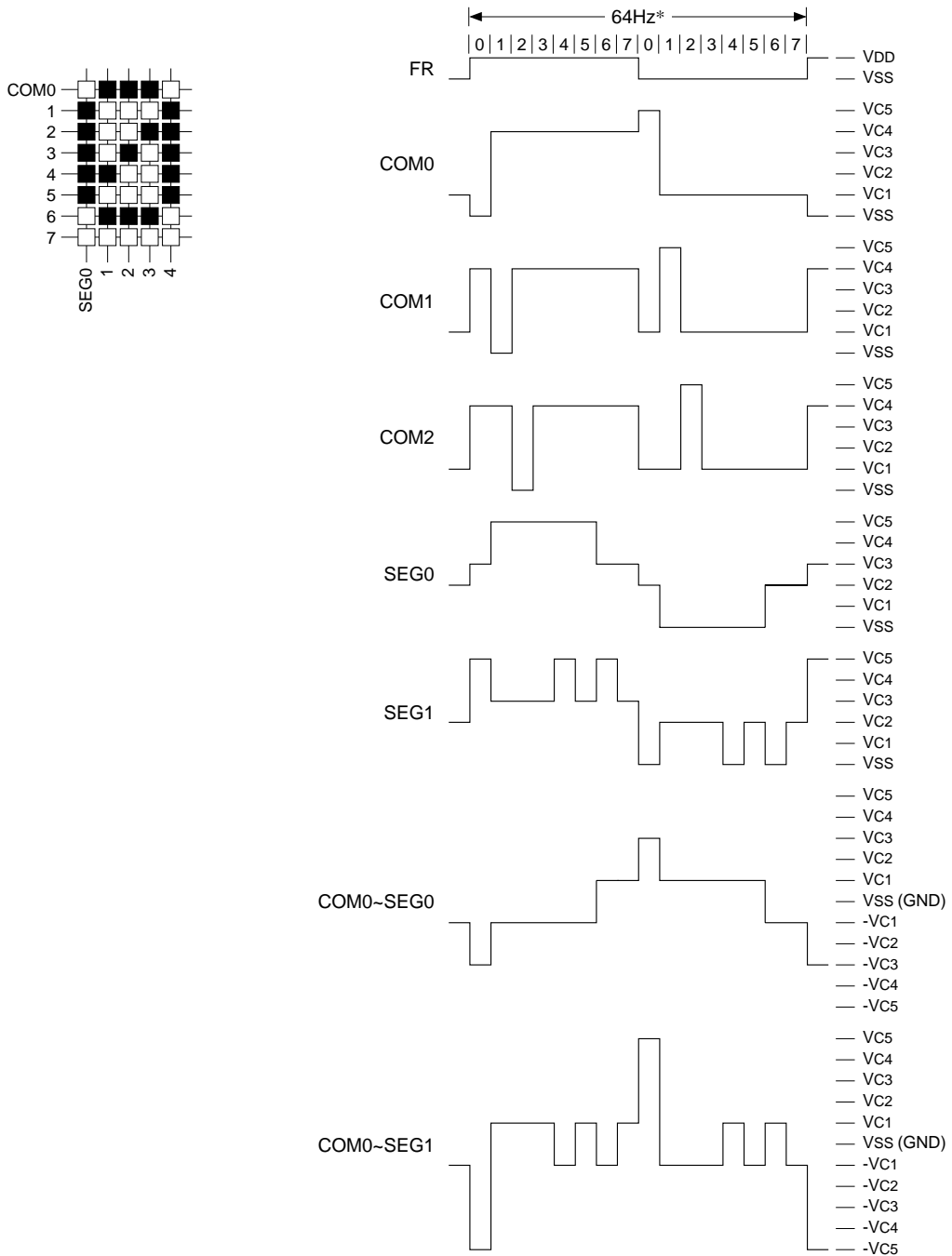
* fosc1(32.768kHz)を源振クロックに選択した場合(FRMCS="0")

図5.11.4.1 1/32デューティの駆動波形



* fosc1(32.768kHz)を源振クロックに選択した場合(FRMCS="0")

図5.11.4.2 1/16デューティの駆動波形



* fosc1(32.768kHz)を源振クロックに選択した場合(FRMCS="0")

図5.11.4.3 1/8デューティの駆動波形

5.11.5 表示メモリ

S1C8F626は576バイトの表示メモリを内蔵しています。表示メモリはアドレスFx00H～Fx5FH(x=8～DH)に割り付けられており、メモリビットとコモン/セグメント端子の対応は次に示す項目の選択状態にしたがって変化します。

- (1) 駆動デューティ(1/32、1/16または1/8デューティ)
- (2) ドットフォント(16×16/5×8または12×12ドット)
- (3) SEG端子割り付け(通常または反転)

駆動デューティとして1/16または1/8デューティを選択した場合は2画面分のメモリを確保することができ、表示メモリ領域選択レジスタDSPARによって画面の切り換えを行うことができます。DSPARに"0"を書き込んだ場合は表示領域0、"1"を書き込んだ場合は表示領域1がそれぞれ選択されます。

また、12×12ドットフォントのLCDパネルにソフトウェアで容易にキャラクタを表示できるよう16×16/5×8ドットと12×12ドット間で別々のメモリ配置を選択することができます。

この選択はドットフォント選択レジスタDTFNTによって行われ、DTFNTに"0"を書き込んだ場合は16×16/5×8ドット、"1"を書き込んだ場合は12×12ドットがそれぞれ選択されます。

SEG端子に対応するメモリの割り付けをSEG出力対応反転レジスタSEGREVで反転することもできます。

表5.11.5.1 SEG端子割り付けの反転

SEGREV	割り付け	Fx00H	Fx5FH
1	反転	SEG95	SEG0
0	通常	SEG0	SEG95

駆動デューティとドットフォントの選択にしたがった表示メモリのビットとコモン/セグメント端子の対応を図5.11.5.1～図5.11.5.6にそれぞれ示します。LCDパネル上のドットに対応する表示メモリのビットに"1"を書き込むとそのドットがONし、"0"を書き込むとOFFします。表示メモリはリード/ライト可能なRAM構造となっているため、論理演算命令等(リードモディファイライト命令)によるビット単位の制御を行うことができます。

576バイトの表示メモリ中で表示領域に割り当てられないビットは、リード/ライト可能な汎用RAMとして使用することができます。

アドレス / データビット		0	1	2	3	4	5	COM
		0-F	0-F	0-F	0-F	0-F	0-F	
00F800H 00F85FH	D0	表示領域						0
	D1							1
	D2							2
	D3							3
	D4							4
	D5							5
	D6							6
	D7							7
00F900H 00F95FH	D0	表示領域						8
	D1							9
	D2							10
	D3							11
	D4							12
	D5							13
	D6							14
	D7							15
00FA00H 00FA5FH	D0	表示領域						16
	D1							17
	D2							18
	D3							19
	D4							20
	D5							21
	D6							22
	D7							23
00FB00H 00FB5FH	D0	表示領域						24
	D1							25
	D2							26
	D3							27
	D4							28
	D5							29
	D6							30
	D7							31
00FC00H 00FC5FH	D0							
	D1							
	D2							
	D3							
	D4							
	D5							
	D6							
	D7							
00FD00H 00FD5FH	D0							
	D1							
	D2							
	D3							
	D4							
	D5							
	D6							
	D7							
SEG(通常)*1		0-15	16-31	32-47	48-63	64-79	80-95	
SEG(反転)*2		95-80	79-64	63-48	47-32	31-16	15-0	

*1: SEGREV = "0"

*2: SEGREV = "1"

図5.11.5.1 1/32デューティ、16×16/5×8ドット表示メモリマップ

アドレス/ データビット		0 0-F	1 0-F	2 0-F	3 0-F	4 0-F	5 0-F	COM
00F800H 00F85FH	D0	表示領域						0
	D1							1
	D2							2
	D3							3
	D4							4
	D5							5
	D6							6
	D7							7
00F900H 00F95FH	D0	表示領域						8
	D1							9
	D2							10
	D3							11
	D4							
	D5							
	D6							
	D7							
00FA00H 00FA5FH	D0	表示領域						12
	D1							13
	D2							14
	D3							15
	D4							
	D5							
	D6							
	D7							
00FB00H 00FB5FH	D0	表示領域						16
	D1							17
	D2							18
	D3							19
	D4							20
	D5							21
	D6							22
	D7							23
00FC00H 00FC5FH	D0	表示領域						24
	D1							25
	D2							26
	D3							27
	D4							
	D5							
	D6							
	D7							
00FD00H 00FD5FH	D0	表示領域						28
	D1							29
	D2							30
	D3							31
	D4							
	D5							
	D6							
	D7							
SEG(通常)*1		0-15	16-31	32-47	48-63	64-79	80-95	
SEG(反転)*2		95-80	79-64	63-48	47-32	31-16	15-0	

*1: SEGREV = "0"

*2: SEGREV = "1"

図5.11.5.2 1/32デューティ、12×12ドット表示メモリマップ

アドレス / データビット		0	1	2	3	4	5	COM
		0-F	0-F	0-F	0-F	0-F	0-F	
00F800H 00F85FH	D0	表示領域0(DSPARに"0"が設定されている場合)						0
	D1							1
	D2							2
	D3							3
	D4							4
	D5							5
	D6							6
	D7							7
00F900H 00F95FH	D0	表示領域0(DSPARに"0"が設定されている場合)						8
	D1							9
	D2							10
	D3							11
	D4							12
	D5							13
	D6							14
	D7							15
00FA00H 00FA5FH	D0	表示領域1(DSPARに"1"が設定されている場合)						0
	D1							1
	D2							2
	D3							3
	D4							4
	D5							5
	D6							6
	D7							7
00FB00H 00FB5FH	D0	表示領域1(DSPARに"1"が設定されている場合)						8
	D1							9
	D2							10
	D3							11
	D4							12
	D5							13
	D6							14
	D7							15
00FC00H 00FC5FH	D0							
	D1							
	D2							
	D3							
	D4							
	D5							
	D6							
	D7							
00FD00H 00FD5FH	D0							
	D1							
	D2							
	D3							
	D4							
	D5							
	D6							
	D7							
SEG(通常)*1		0-15	16-31	32-47	48-63	64-79	80-95	
SEG(反転)*2		95-80	79-64	63-48	47-32	31-16	15-0	

*1: SEGREV = "0"

*2: SEGREV = "1"

図5.11.5.3 1/16デューティ、16×16/5×8ドット表示メモリマップ

アドレス/ データビット		0 0-F	1 0-F	2 0-F	3 0-F	4 0-F	5 0-F	COM
00F800H 00F85FH	D0	表示領域0(DSPARに"0"が設定されている場合)						0
	D1							1
	D2							2
	D3							3
	D4							4
	D5							5
	D6							6
	D7							7
00F900H 00F95FH	D0							8
	D1							9
	D2							10
	D3							11
	D4							
	D5							
	D6							
	D7							
00FA00H 00FA5FH	D0	表示領域0(DSPARに"0"が設定されている場合)						12
	D1							13
	D2							14
	D3							15
	D4							
	D5							
	D6							
	D7							
00FB00H 00FB5FH	D0	表示領域1(DSPARに"1"が設定されている場合)						0
	D1							1
	D2							2
	D3							3
	D4							4
	D5							5
	D6							6
	D7							7
00FC00H 00FC5FH	D0							8
	D1							9
	D2							10
	D3							11
	D4							
	D5							
	D6							
	D7							
00FD00H 00FD5FH	D0	表示領域1(DSPARに"1"が設定されている場合)						12
	D1							13
	D2							14
	D3							15
	D4							
	D5							
	D6							
	D7							
SEG(通常)*1		0-15	16-31	32-47	48-63	64-79	80-95	
SEG(反転)*2		95-80	79-64	63-48	47-32	31-16	15-0	

*1: SEGREV = "0"

*2: SEGREV = "1"

図5.11.5.4 1/16デューティ、12×12ドット表示メモリマップ

アドレス / データビット		0 0-F	1 0-F	2 0-F	3 0-F	4 0-F	5 0-F	COM
00F800H 00F85FH	D0	表示領域0(DSPARに"0"が設定されている場合)						0
	D1							1
	D2							2
	D3							3
	D4							4
	D5							5
	D6							6
	D7							7
00F900H 00F95FH	D0							
	D1							
	D2							
	D3							
	D4							
	D5							
	D6							
	D7							
00FA00H 00FA5FH	D0	表示領域1(DSPARに"1"が設定されている場合)						0
	D1							1
	D2							2
	D3							3
	D4							4
	D5							5
	D6							6
	D7							7
00FB00H 00FB5FH	D0							
	D1							
	D2							
	D3							
	D4							
	D5							
	D6							
	D7							
00FC00H 00FC5FH	D0							
	D1							
	D2							
	D3							
	D4							
	D5							
	D6							
	D7							
00FD00H 00FD5FH	D0							
	D1							
	D2							
	D3							
	D4							
	D5							
	D6							
	D7							
SEG(通常)*1		0-15	16-31	32-47	48-63	64-79	80-95	
SEG(反転)*2		95-80	79-64	63-48	47-32	31-16	15-0	

*1: SEGREV = "0"

*2: SEGREV = "1"

図5.11.5.5 1/8デューティ、5×8ドット表示メモリマップ

アドレス/ データビット		0	1	2	3	4	5	COM
		0-F	0-F	0-F	0-F	0-F	0-F	
00F800H 00F85FH	D0	表示領域0(DSPARに"0"が設定されている場合)						0
	D1							1
	D2							2
	D3							3
	D4							4
	D5							5
	D6							6
	D7							7
00F900H 00F95FH	D0							
	D1							
	D2							
	D3							
	D4							
	D5							
	D6							
	D7							
00FA00H 00FA5FH	D0							
	D1							
	D2							
	D3							
	D4							
	D5							
	D6							
	D7							
00FB00H 00FB5FH	D0	表示領域1(DSPARに"1"が設定されている場合)						0
	D1							1
	D2							2
	D3							3
	D4							4
	D5							5
	D6							6
	D7							7
00FC00H 00FC5FH	D0							
	D1							
	D2							
	D3							
	D4							
	D5							
	D6							
	D7							
00FD00H 00FD5FH	D0							
	D1							
	D2							
	D3							
	D4							
	D5							
	D6							
	D7							
SEG(通常)*1		0-15	16-31	32-47	48-63	64-79	80-95	
SEG(反転)*2		95-80	79-64	63-48	47-32	31-16	15-0	

*1: SEGREV = "0"

*2: SEGREV = "1"

図5.11.5.6 1/8デューティ、12×12ドット表示メモリマップ

5.11.6 表示の制御

内蔵LCDドライバの表示状態とコントラストの調整を内蔵のLCDドライバによって制御することができます。

LCDの表示状態は表示制御レジスタLCDC0、LCDC1によって選択され、設定値と表示状態が表5.11.6.1に示すとおり対応しています。

表5.11.6.1 LCD表示制御

LCDC1	LCDC0	LCD表示
1	1	全点灯 (スタティック)
1	0	全消灯 (ダイナミック)
0	1	通常表示
0	0	駆動 OFF

全点灯および全消灯はLCDドライバが出力する駆動波形を直接制御するもので、表示メモリのデータは変更されません。また、このときのコモン端子はそれぞれ全点灯ではスタティック駆動、全消灯ではダイナミック駆動となるため、次のような用途にこの機能を使用することができます。

- (1) 全点灯はスタティック駆動による2値(V_{C5} と V_{SS})出力となるため、コモン/セグメント端子をOSC1発振周波数の周波数調整用モニタ端子として使用することができます。
- (2) 全消灯はダイナミック駆動のため、LCD表示全体を点滅させたい場合に表示メモリのデータを変更せずに点滅を実現することができます。

駆動OFFを選択した場合はLCD駆動電源回路がOFFとなり、 $V_{C1} \sim V_{C5}$ 端子はすべて V_{SS} レベルとなります。

なお、レジスタLCDC0、LCDC1はSLP命令が実行されることで、自動的にハードウェアによって"0"にリセット("駆動OFF"に設定)されます。

LCDのコントラストは16段階の調整が可能です。この調整はコントラスト調整レジスタLC0～LC3によって行われ、設定値とコントラストの濃淡が表5.11.6.2に示すとおり対応しています。

表5.11.6.2 LCDのコントラスト調整

LC3	LC2	LC1	LC0	コントラスト
1	1	1	1	濃
1	1	1	0	↑
1	1	0	1	
⋮	⋮	⋮	⋮	
0	0	1	0	
0	0	0	1	↓
0	0	0	0	淡

5.11.7 LCDドライバの制御方法

表5.11.7.1にLCDドライバの制御ビットを示します。

表5.11.7.1 LCDドライバの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF03	D7	—	—	—	—	—	—	読み出し時は 常時"0"
	D6	—	—	—	—	—	—	
	D5	—	—	—	—	—	—	
	D4	—	—	—	—	—	—	
	D3	—	—	—	—	—	—	
	D2	—	—	—	—	—	—	
	D1	VDSEL	液晶系定電圧回路用電源選択	V _{D2}	V _{DD}	0	R/W	
	D0	DBON	電源電圧昇圧回路On/Off制御	On	Off	0	R/W	
00FF10	D7	HLMOD	重負荷保護モード	On	Off	0	R/W	予約レジスタ
	D6	SEGREV	SEG出力対応反転	反転	通常	0	R/W	
	D5	—	汎用レジスタ	1	0	0	R/W	
	D4	—	汎用レジスタ	1	0	0	R/W	
	D3	—	汎用レジスタ	1	0	0	R/W	
	D2	DTFNT	LCDドットフォント選択	12×12	16×16/5×8	0	R/W	
	D1	LDUTY1	LCD駆動デューティ選択			1	R/W	
	D0	LDUTY0	LDUTY1 LDUTY0 デューティ			0	R/W	
00FF11	D7	FRMCS	LCDフレーム周波数源振クロック選択	Pタイマ	fosc1	0	R/W	SLP命令実行時に (0, 0)にリセット
	D6	DSPAR	LCD表示メモリ領域選択	表示領域1	表示領域0	0	R/W	
	D5	LCDC1	LCD表示制御			0	R/W	
	D4	LCDC0	LCDC1 LCDC0 LCD表示			0	R/W	
	D3	LC3	LCDコントラスト調整			0	R/W	
	D2	LC2	LC3 LC2 LC1 LC0 コントラスト			0	R/W	
	D1	LC1	濃			0	R/W	
	D0	LC0	淡			0	R/W	

LDUTY0, LDUTY1: 00FF10H・D0, D1

駆動デューティを選択します。

表5.11.7.2 駆動デューティの設定

LDUTY1	LDUTY0	デューティ	コモン端子	セグメント端子	最大表示ドット数
1	1	禁止	—	—	—
1	0	1/16	COM0~COM15	SEG0~SEG95	1,536ドット
0	1	1/32	COM0~COM31	SEG0~SEG95	3,072ドット
0	0	1/8	COM0~COM7	SEG0~SEG95	768ドット

イニシャルリセット時、LDUTYは"10"(1/16デューティ)に設定されます。

DTFNT: 00FF10H·D2

ドットフォントを選択します。

"1"書き込み: 12×12ドット

"0"書き込み: 16×16/5×8ドット

読み出し: 可能

表示メモリ上の表示領域を16×16/5×8ドットに適合させるか、12×12ドットに適合させるかを選択します。DTFNTに"0"を書き込むと16×16/5×8ドット、"1"を書き込むと12×12ドットがそれぞれ選択されます。

ドットフォントの選択にしたがった表示メモリのビットとコモン/セグメント端子の対応については、図5.11.5.1～図5.11.5.5を参照してください。イニシャルリセット時、DTFNTは"0"(16×16/5×8ドット)に設定されます。

SEGREV: 00FF10H·D6

SEG端子に対するメモリの割り付けを反転します。

表5.11.7.3 SEG端子割り付けの反転

SEGREV	割り付け	Fx00H	Fx5FH
1	反転	SEG95	SEG0
0	通常	SEG0	SEG95

イニシャルリセット時、SEGREVは"0"(通常)に設定されます。

DSPAR: 00FF11H·D6

表示領域を選択します。

"1"書き込み: 表示領域1

"0"書き込み: 表示領域0

読み出し: 可能

表示メモリ中に2画面分確保される表示領域のどちらを表示させるかを選択します。DSPARに"0"を書き込むと表示領域0、"1"を書き込むと表示領域1がそれぞれ選択されます。

表示領域の選択にしたがった表示メモリのビットとコモン/セグメント端子の対応については、図5.11.5.1～図5.11.5.5を参照してください。イニシャルリセット時、DSPARは"0"(表示領域0)に設定されます。

LCDC0, LCDC1: 00FF11H·D4, D5

LCDの表示を制御します。

表5.11.7.4 LCDの表示制御

LCDC1	LCDC0	LCD表示
1	1	全点灯 (スタティック)
1	0	全消灯 (ダイナミック)
0	1	通常表示
0	0	駆動 OFF

上記4種類の状態を表示メモリのデータを変更せずに設定することができます。

イニシャルリセット時、およびSLEEP状態のとき本レジスタは"0"(駆動OFF)に設定されます。

LC0~LC3: 00FF11H·D0~D3

LCDのコントラストを調整します。

表5.11.7.5 LCDのコントラスト調整

LC3	LC2	LC1	LC0	コントラスト
1	1	1	1	濃 ↑
1	1	1	0	
1	1	0	1	
1	1	0	0	
1	0	1	1	
1	0	1	0	
1	0	0	1	
1	0	0	0	
0	1	1	1	
0	1	1	0	
0	1	0	1	↓ 淡
0	1	0	0	
0	0	1	1	
0	0	1	0	
0	0	0	1	
0	0	0	0	
0	0	0	1	
0	0	0	0	

コントラストは上記16段階の調整を行うことができ、これによってLCD駆動電圧V_{C1}～V_{C5}が変化します。

イニシャルリセット時、本レジスタは"0"に設定されます。

FRMCS: 00FF11H·D7

フレーム信号を生成するための源振クロックを選択します。

"1"書き込み: プログラマブルタイマ5

"0"書き込み: fosc1

読み出し: 可能

FRMCSに"0"を書き込むとfosc1、"1"を書き込むとプログラマブルタイマ5が選択されます。

イニシャルリセット時、FRMCSは"0"(fosc1)に設定されます。

DBON: 00FF03H·D0

電源電圧昇圧回路を制御します。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

DBONに"1"を書き込むと電源電圧昇圧回路がONし、V_{DD}を約2倍に昇圧したV_{D2}を出力します。V_{D2}でLCD系定電圧回路を駆動する場合にONします。DBONに"0"を書き込むと電源電圧昇圧回路はOFFします。消費電流を低減するため、V_{DD}でLCD系定電圧回路を駆動する場合はOFFにして使用してください。

イニシャルリセット時、DBONは"0"(OFF)に設定されます。

VDSEL: 00FF03H·D1

LCD系定電圧回路の電源電圧を選択します。

"1"書き込み: V_{D2}

"0"書き込み: V_{DD}

読み出し: 可能

VDSELに"1"を書き込むと電源電圧昇圧回路が出力するV_{D2}でLCD系定電圧回路が動作します。この設定の前に、DBONに"1"を書き込み、電源電圧昇圧回路をONしておく必要があります。なお、電源電圧昇圧回路をONしてから電圧が安定するまでの約1msecの間はV_{D2}に切り換えしないでください。

VDSELに"0"を書き込んだ場合は、V_{DD}でLCD系定電圧回路が動作します。

イニシャルリセット時、VDSELは"0"(V_{DD})に設定されます。

5.11.8 プログラミング上の注意事項

- (1) 表示制御レジスタLCDC0、LCDC1はSLP命令が実行されることで、自動的にハードウェアによって"0"にリセットされます。
- (2) LCD系定電圧回路をV_{D2}で動作させる場合、電源電圧昇圧回路をONしてから電圧が安定するまでの約1msecの間は、LCD系定電圧回路の電源電圧をVDSELによってV_{D2}に切り換えしないでください。

5.12 電源電圧検出(SVD)回路

5.12.1 SVD回路の構成

S1C8F626は、SVD(電源電圧検出)回路が内蔵されており、ソフトウェアによって電源電圧低下を知ることができます。

SVD回路のON/OFFおよび比較電圧の設定はソフトウェアによって行えます。

図5.12.1.1にSVD回路の構成を示します。

5.12.2 SVD動作

SVD回路はソフトウェアによって設定した比較電圧と電源電圧($V_{DD}-V_{SS}$)の比較を行い、その結果をSVDDTラッチにセットします。このSVDDTラッチのデータを読み出すことにより、電源電圧が正常か、あるいは低下していることをソフトウェアによって判断できます。

比較電圧はレジスタSVDS3～SVDS0によって表5.12.2.1の13種類に設定できます。

表5.12.2.1 比較電圧の設定

SVDS3	SVDS2	SVDS1	SVDS0	比較電圧 (V)
1	1	1	1	2.7
1	1	1	0	2.6
1	1	0	1	2.5
1	1	0	0	2.4
1	0	1	1	2.3
1	0	1	0	2.2
1	0	0	1	2.1
1	0	0	0	2.05
0	1	1	1	2.0
0	1	1	0	1.95
0	1	0	1	1.9
0	1	0	0	1.85
0	0	1	1	1.8
0	0	1	0	–
0	0	0	1	–
0	0	0	0	–

SVD回路による電源電圧の検出動作はレジスタSVDONに"1"を書き込むことによって開始します。その後SVDONに"0"を書き込むことにより、SVD回路は検出結果をSVDDTラッチにセットして検出動作を停止(回路をOFF)します。

なお、安定した検出結果を得るためには少なくとも500 μ sec以上SVD回路をONにする必要があります。したがって、電源電圧の検出は次のシーケンスで行ってください。

1. SVDONを"1"にセット
2. 500 μ sec以上保持
3. SVDONを"0"にセット
4. SVDDTの読み出し

なお、SVD動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD回路をOFFに設定してください。

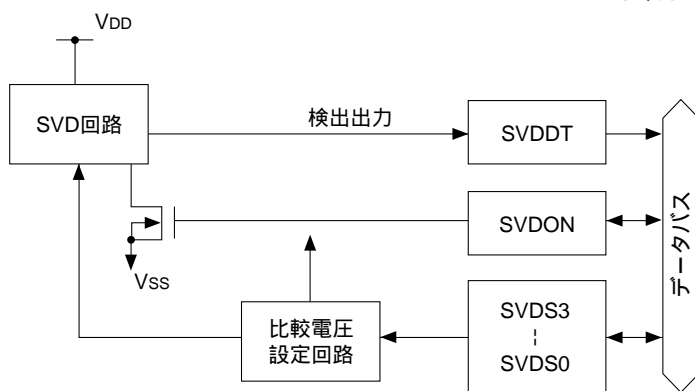


図5.12.1.1 SVD回路の構成

5.12.3 SVD回路の制御方法

表5.12.3.1にSVD回路の制御ビットを示します。

表5.12.3.1 SVD回路の制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF12	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	SVDDT	SVD検出データ	Low	Normal	0	R	
	D4	SVDON	SVD回路On/Off	On	Off	0	R/W	
	D3	SVDS3	SVD比較電圧設定			0	R/W	
	D2	SVDS2	SVDS3 SVDS2 SVDS1 SVDS0 電圧(V)			0	R/W	
	D1	SVDS1	1 1 1 0 1 2.5			0	R/W	
	D0	SVDS0	: : : : : 1.8			0	R/W	

SVDS3~SVDS0: 00FF12H・D3~D0

SVDの比較電圧を表5.12.2.1に示すとおり設定します。
イニシャルリセット時、このレジスタは"0"に設定されます。

SVDON: 00FF12H・D4

SVD回路のON/OFFを制御します。

"1"書き込み: SVD回路 ON

"0"書き込み: SVD回路 OFF

読み出し: 可能

SVDONを"1"にセットすることによりSVD検出が行われ、SVDONを"0"にリセットした直後にSVDDTラッチへ検出結果が書き込まれます。

なお、安定したSVD検出結果を得るためには、少なくとも500μsec以上SVD回路をONにする必要があります。

イニシャルリセット時、このレジスタは"0"に設定されます。

SVDDT: 00FF12H・D5

SVDによる検出結果がセットされます。

"0"読み出し: 比較電圧より電源電圧(V_{DD}-V_{SS})が高い

"1"読み出し: 比較電圧より電源電圧(V_{DD}-V_{SS})が低い

書き込み: 無効

SVDONを"0"にした時点の検出結果を読み出すことができます。

イニシャルリセット時、SVDDTは"0"に設定されます。

5.12.4 プログラミング上の注意事項

- (1) SVD回路はONさせてから安定した結果が得られるまでに500μsecの時間を必要とします。このため、SVDONに"1"を書き込み後、500μsec以上経過後にSVDONに"0"を書き込んでSVDDTを読み出してください。
- (2) SVD検出動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD検出をOFFに設定してください。

5.13 重負荷保護機能

5.13.1 重負荷保護モード

S1C8F626は、外付けランプ点灯時やOSC3高速駆動時など電池の負荷が重くなり電源電圧が変動する場合に備えて、重負荷保護機能を持っています。この重負荷保護機能が働いているモードを重負荷保護モードと呼びます。液晶の表示の濃淡が現れる場合などにも、重負荷保護モードを適用してください。通常動作モードから重負荷保護モードへは、ソフトウェアでHLMODを"1"にセットした場合に移行します。

注! 重負荷保護モードでは、通常動作モードより消費電流が多くなります。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないように注意してください。

5.13.2 重負荷保護機能の制御

表5.13.2.1に重負荷保護機能の制御ビットを示します。

表5.13.2.1 重負荷保護機能の制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF10	D7	HLMOD	重負荷保護モード	On	Off	0	R/W	予約レジスタ
	D6	SEGREV	SEG出力対応反転	反転	通常	0	R/W	
	D5	—	汎用レジスタ	1	0	0	R/W	
	D4	—	汎用レジスタ	1	0	0	R/W	
	D3	—	汎用レジスタ	1	0	0	R/W	
	D2	DTFNT	LCDドットフォント選択	12×12	16×16/5×8	0	R/W	
	D1	LDUTY1	LCD駆動デューティ選択			1	R/W	
			LDUTY1 LDUTY0 デューティ					
	D0	LDUTY0	1 1 禁止 1 0 1/16 0 1 1/32 0 0 1/8			0	R/W	

HLMOD: 00FF10H・D7

重負荷保護機能を制御します。

- "1"書き込み: 重負荷保護モード ON
- "0"書き込み: 重負荷保護モード OFF
- 読み出し: 可能

HLMODに"1"を書き込むと重負荷保護モードになり、"0"を書き込むと通常モードに戻ります。重負荷保護モードは消費電流が大きくなりますので、必要なとき以外はソフトウェアにより重負荷保護モードに設定しないでください。イニシャルリセット時、このレジスタは"0"に設定されます。

5.13.3 プログラミング上の注意事項

重負荷保護モードでは、通常モードよりも消費電流が大きくなります。必要なとき以外はソフトウェアで重負荷保護モードに設定しないように注意してください。

5.14 割り込みとスタンバイ状態

割り込みの種類

S1C8F626には以下に示す5系統37種類の割り込みが用意されています。

外部割り込み

- K00 ~ K07入力割り込み(8種類)

内部割り込み

- 計時タイマ割り込み(4種類)
- ストップウォッチタイマ割り込み(3種類)
- プログラマブルタイマ割り込み(16種類)
- シリアルインタフェース割り込み(6種類)

それぞれの割り込みには、割り込み要因の発生を示す割り込み要因フラグと割り込み要求の許可/禁止を設定する割り込みイネーブルレジスタが設けられており、個々の要因に対して割り込みの発生を任意に設定することができます。また、割り込みの各系統には割り込みプライオリティレジスタが設けられており、各系統ごとに割り込み処理の優先度を3レベルまで設定することができます。

図5.14.1に割り込み回路の構成を示します。各割り込みの詳細については、それぞれの周辺回路の説明を参照してください。

HALT状態

プログラム上でHALT命令を実行することで、S1C8F626はHALT状態となります。HALT状態ではCPUの動作が停止するため、周辺回路のみの動作による低消費電力化が実現できます。HALT状態の解除はイニシャルリセット、または任意の割り込み要求によって行われ、CPUは例外処理ルーチンからプログラムの実行を再開します。HALT状態と再起動のシーケンスについては、"S1C88コアCPUマニュアル"を参照してください。

SLEEP状態

プログラム上でSLP命令を実行することで、S1C8F626はSLEEP状態となります。SLEEP状態ではCPUと周辺回路が完全に動作を停止するため、HALT状態以上の低消費電力が実現できます。SLEEP状態の解除はイニシャルリセット、または入力ポートからの入力割り込みによって行われ、128/fosc1秒もしくは512/fosc3秒の発振安定待ち時間後にCPUは再起動します(発振安定待ち時間は、SLP命令実行時の動作クロックによって異なります)。このとき、CPUは例外処理ルーチン(入力割り込みルーチン)からプログラムの実行を再開します。

注! SLEEP状態からの再起動時は、しばらくの間発振が不安定となるため、128/fosc1秒もしくは512/fosc3秒以上かかる場合があります。

5.14.1 割り込み発生条件

先に示した5系統37種類の割り込みには、それぞれの割り込み要因の発生を示す割り込み要因フラグが設けられており、要因の発生によって"1"にセットされます。

また、各割り込み要因フラグには1対1に対応する割り込みイネーブルレジスタが設けられており、"1"を書き込むと割り込み許可、"0"を書き込むと割り込み禁止となります。

CPUは割り込み要求の許可/禁止を割り込み優先レベルによって管理しています。5系統の各割り込みには優先レベルを設定する割り込みプライオリティレジスタが設けられており、CPUはインタラプトフラグ(I0、I1)が示すレベルより高いレベルの割り込みのみ受け付けます。

したがって、実際にCPUが割り込みを受け付けるには、以下の3条件の成立が必要です。

- (1) 割り込み要因の発生によって、割り込み要因フラグが"1"にセットされている。
- (2) 先に対応する割り込みイネーブルレジスタが"1"に設定されている。
- (3) 先に対応する割り込みプライオリティレジスタが、インタラプトフラグ(I0、I1)より高い割り込み優先レベルに設定されている。

CPUは各命令の第1オペコードフェッチサイクルの最初で割り込みのサンプリングを行います。ここで上記の条件が成立していると、CPUは例外処理に移行します。

例外処理のシーケンスについては"S1C88コアCPUマニュアル"を参照してください。

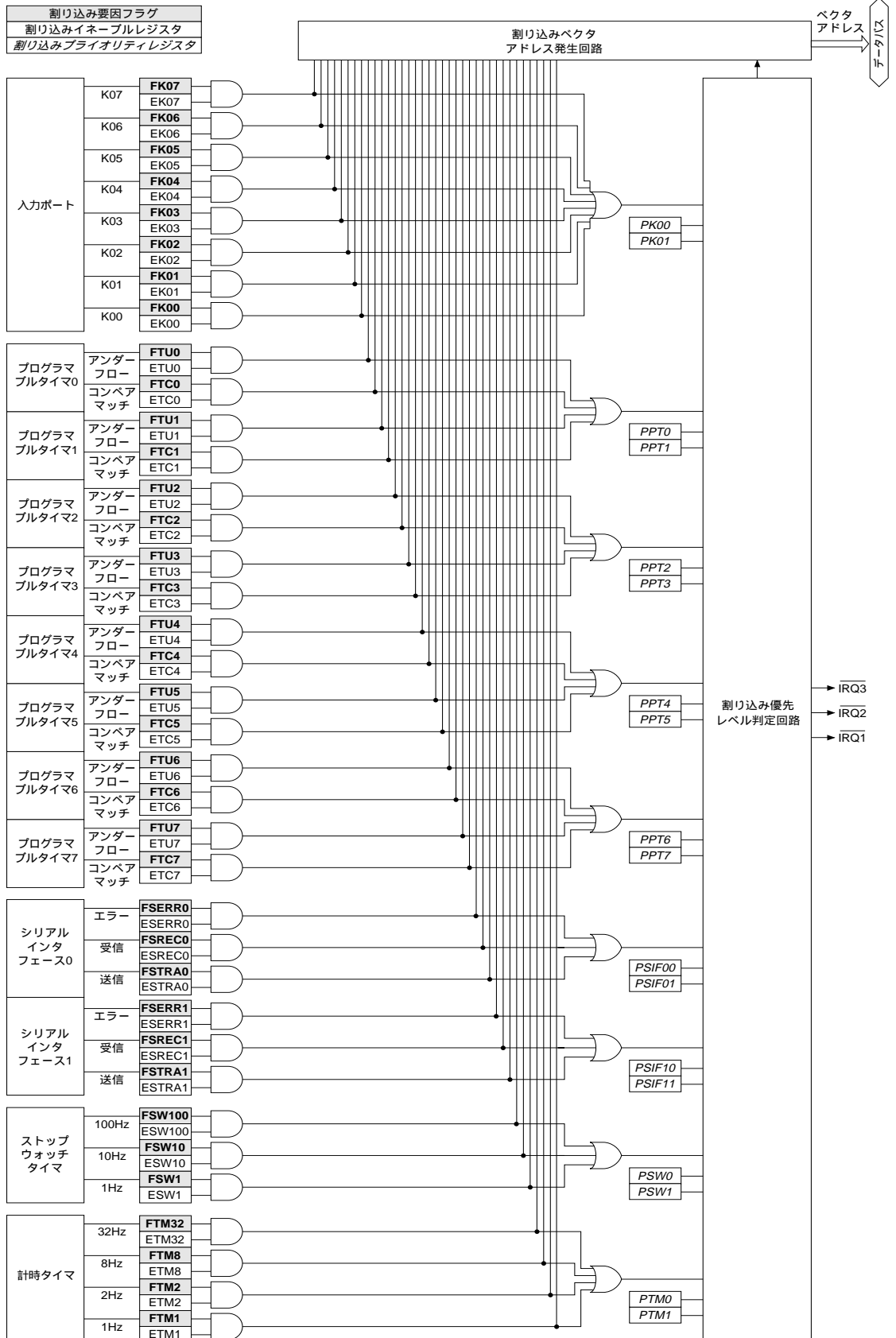


図5.14.1 割り込み回路の構成

5.14.2 割り込み要因フラグ

割り込みを発生する要因と割り込み要因フラグの対応を表5.14.2.1に示します。

それぞれの割り込み要因の発生によって、対応する割り込み要因フラグが"1"にセットされます。ソフトウェアによってこのフラグを読み出すことで、発生した割り込み要因の種類を確認することができます。

"1"にセットされた割り込み要因フラグは、"1"を書き込むことで"0"にリセットされます。

イニシャルリセット時、割り込み要因フラグは"0"にリセットされます。

注! 割り込み発生後、割り込み要因フラグをリセットせずにRETE命令を実行すると、再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、そのルーチンに対応する割り込み要因フラグのリセット("1"書き込み)を必ず行ってください。

表5.14.2.1 割り込み要因

割り込み要因	割り込み要因フラグ	
K07入力の立ち下がりまたは立ち上がり(KCP07で指定)	FK07	00FF28H-D7
K06入力の立ち下がりまたは立ち上がり(KCP06で指定)	FK06	00FF28H-D6
K05入力の立ち下がりまたは立ち上がり(KCP05で指定)	FK05	00FF28H-D5
K04入力の立ち下がりまたは立ち上がり(KCP04で指定)	FK04	00FF28H-D4
K03入力の立ち下がりまたは立ち上がり(KCP03で指定)	FK03	00FF28H-D3
K02入力の立ち下がりまたは立ち上がり(KCP02で指定)	FK02	00FF28H-D2
K01入力の立ち下がりまたは立ち上がり(KCP01で指定)	FK01	00FF28H-D1
K00入力の立ち下がりまたは立ち上がり(KCP00で指定)	FK00	00FF28H-D0
プログラマブルタイマ0のアンダーフロー	FTU0	00FF29H-D0
プログラマブルタイマ0のコンペアマッチ	FTC0	00FF29H-D1
プログラマブルタイマ1のアンダーフロー	FTU1	00FF29H-D2
プログラマブルタイマ1のコンペアマッチ	FTC1	00FF29H-D3
プログラマブルタイマ2のアンダーフロー	FTU2	00FF29H-D4
プログラマブルタイマ2のコンペアマッチ	FTC2	00FF29H-D5
プログラマブルタイマ3のアンダーフロー	FTU3	00FF29H-D6
プログラマブルタイマ3のコンペアマッチ	FTC3	00FF29H-D7
プログラマブルタイマ4のアンダーフロー	FTU4	00FF2EH-D0
プログラマブルタイマ4のコンペアマッチ	FTC4	00FF2EH-D1
プログラマブルタイマ5のアンダーフロー	FTU5	00FF2EH-D2
プログラマブルタイマ5のコンペアマッチ	FTC5	00FF2EH-D3
プログラマブルタイマ6のアンダーフロー	FTU6	00FF2EH-D4
プログラマブルタイマ6のコンペアマッチ	FTC6	00FF2EH-D5
プログラマブルタイマ7のアンダーフロー	FTU7	00FF2EH-D6
プログラマブルタイマ7のコンペアマッチ	FTC7	00FF2EH-D7
シリアルインタフェース0の受信エラー (調歩同期式モード時)	FSERR0	00FF27H-D2
シリアルインタフェース0の受信完了	FSREC0	00FF27H-D1
シリアルインタフェース0の送信完了	FSTRA0	00FF27H-D0
シリアルインタフェース1の受信エラー (調歩同期式モード時)	FSERR1	00FF27H-D5
シリアルインタフェース1の受信完了	FSREC1	00FF27H-D4
シリアルインタフェース1の送信完了	FSTRA1	00FF27H-D3
ストップウォッチタイマ 100Hzの立ち下がりエッジ	FSW100	00FF26H-D6
ストップウォッチタイマ 10Hzの立ち下がりエッジ	FSW10	00FF26H-D5
ストップウォッチタイマ 1Hzの立ち下がりエッジ	FSW1	00FF26H-D4
計時タイマ32Hz信号の立ち下がりエッジ	FTM32	00FF26H-D3
計時タイマ8Hz信号の立ち下がりエッジ	FTM8	00FF26H-D2
計時タイマ2Hz信号の立ち下がりエッジ	FTM2	00FF26H-D1
計時タイマ1Hz信号の立ち下がりエッジ	FTM1	00FF26H-D0

5.14.3 割り込みイネーブルレジスタ

割り込みイネーブルレジスタは各割り込み要因フラグに1対1で対応しており、個々に割り込み要求の許可/禁止を設定することができます。

割り込みイネーブルレジスタに"1"を書き込むと割り込み要求が許可され、"0"を書き込むと禁止されます。

このレジスタは読み出しも可能で、その時点の設定状態を確認することもできます。

イニシャルリセット時、割り込みイネーブルレジスタは"0"に設定され、割り込み禁止状態となります。表5.14.3.1に割り込みイネーブルレジスタと割り込み要因フラグの対応を示します。

表5.14.3.1 割り込みイネーブルレジスタと割り込み要因フラグ

割り込み	割り込み要因フラグ		割り込みイネーブルレジスタ	
K07入力	FK07	00FF28H-D7	EK07	00FF24H-D7
K06入力	FK06	00FF28H-D6	EK06	00FF24H-D6
K05入力	FK05	00FF28H-D5	EK05	00FF24H-D5
K04入力	FK04	00FF28H-D4	EK04	00FF24H-D4
K03入力	FK03	00FF28H-D3	EK03	00FF24H-D3
K02入力	FK02	00FF28H-D2	EK02	00FF24H-D2
K01入力	FK01	00FF28H-D1	EK01	00FF24H-D1
K00入力	FK00	00FF28H-D0	EK00	00FF24H-D0
タイマ0のアンダーフロー	FTU0	00FF29H-D0	ETU0	00FF25H-D0
タイマ0のコンペアマッチ	FTC0	00FF29H-D1	ETC0	00FF25H-D1
タイマ1のアンダーフロー	FTU1	00FF29H-D2	ETU1	00FF25H-D2
タイマ1のコンペアマッチ	FTC1	00FF29H-D3	ETC1	00FF25H-D3
タイマ2のアンダーフロー	FTU2	00FF29H-D4	ETU2	00FF25H-D4
タイマ2のコンペアマッチ	FTC2	00FF29H-D5	ETC2	00FF25H-D5
タイマ3のアンダーフロー	FTU3	00FF29H-D6	ETU3	00FF25H-D6
タイマ3のコンペアマッチ	FTC3	00FF29H-D7	ETC3	00FF25H-D7
タイマ4のアンダーフロー	FTU4	00FF2EH-D0	ETU4	00FF2CH-D0
タイマ4のコンペアマッチ	FTC4	00FF2EH-D1	ETC4	00FF2CH-D1
タイマ5のアンダーフロー	FTU5	00FF2EH-D2	ETU5	00FF2CH-D2
タイマ5のコンペアマッチ	FTC5	00FF2EH-D3	ETC5	00FF2CH-D3
タイマ6のアンダーフロー	FTU6	00FF2EH-D4	ETU6	00FF2CH-D4
タイマ6のコンペアマッチ	FTC6	00FF2EH-D5	ETC6	00FF2CH-D5
タイマ7のアンダーフロー	FTU7	00FF2EH-D6	ETU7	00FF2CH-D6
タイマ7のコンペアマッチ	FTC7	00FF2EH-D7	ETC7	00FF2CH-D7
シリアルI/F0受信エラー	FSERR0	00FF27H-D2	ESERR0	00FF23H-D2
シリアルI/F0受信完了	FSREC0	00FF27H-D1	ESREC0	00FF23H-D1
シリアルI/F0送信完了	FSTRA0	00FF27H-D0	ESTRA0	00FF23H-D0
シリアルI/F1受信エラー	FSERR1	00FF27H-D5	ESERR1	00FF23H-D5
シリアルI/F1受信完了	FSREC1	00FF27H-D4	ESREC1	00FF23H-D4
シリアルI/F1送信完了	FSTRA1	00FF27H-D3	ESTRA1	00FF23H-D3
ストップウォッチタイマ100Hz	FSW100	00FF26H-D6	ESW100	00FF22H-D6
ストップウォッチタイマ10Hz	FSW10	00FF26H-D5	ESW10	00FF22H-D5
ストップウォッチタイマ1Hz	FSW1	00FF26H-D4	ESW1	00FF22H-D4
計時タイマ32Hz	FTM32	00FF26H-D3	ETM32	00FF22H-D3
計時タイマ8Hz	FTM8	00FF26H-D2	ETM8	00FF22H-D2
計時タイマ2Hz	FTM2	00FF26H-D1	ETM2	00FF22H-D1
計時タイマ1Hz	FTM1	00FF26H-D0	ETM1	00FF22H-D0

5.14.4 割り込みプライオリティレジスタと割り込み優先レベル

表5.14.4.1 割り込みプライオリティレジスタ

割り込み	割り込みプライオリティレジスタ	
K00 ~ K07入力	PK00, PK01	00FF20-D6, D7
プログラマブルタイマ1-0	PPT0, PPT1	00FF21-D2, D3
プログラマブルタイマ3-2	PPT2, PPT3	00FF21-D4, D5
プログラマブルタイマ5-4	PPT4, PPT5	00FF2A-D0, D1
プログラマブルタイマ7-6	PPT6, PPT7	00FF2A-D2, D3
シリアルインタフェース0	PSIF00, PSIF01	00FF20-D4, D5
シリアルインタフェース1	PSIF10, PSIF11	00FF21-D0, D1
ストップウォッチタイマ	PSW0, PSW1	00FF20-D2, D3
計時タイマ	PTM0, PTM1	00FF20-D0, D1

割り込みの各系列には、表5.14.4.1に示す割り込みプライオリティレジスタが設けられており、CPUに対する割り込みの優先レベル(0 ~ 3)を任意に設定することができます。

これによって、割り込みの優先処理順位をシステムに適合させた多重割り込みが可能となります。

各系列間の割り込み優先レベルは、割り込みプライオリティレジスタによって任意に3レベルまで設定できます。ただし、複数の系列を同一の優先レベルに設定した場合は、デフォルトの優先順位にしたがって処理されます。

表5.14.4.2 割り込み優先レベルの設定

P*1	P*0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、割り込みプライオリティレジスタはすべて"0"に設定され、各割り込みはレベル0となります。

なお、各系列内での優先レベルはあらかじめ決められており、これを変更することはできません。

CPUはインタラプトフラグ(I0, I1)の設定によって各割り込みをマスクすることができます。各系列の割り込み優先レベルとインタラプトフラグの関係は表5.14.4.3のとおりで、CPUはインタラプトフラグが示すレベルより高い優先レベルの割り込みのみ受け付けます。このうち、レベル4の優先度を持っているNMI(ウォッチドッグタイマ)は、インタラプトフラグの設定にかかわらず常時受け付けられます。

表5.14.4.3 CPUの割り込みマスク設定

I1	I0	受け付け可能な割り込み
1	1	レベル4 (NMI)
1	0	レベル4、レベル3 (IRQ3)
0	1	レベル4、レベル3、レベル2 (IRQ2)
0	0	レベル4、レベル3、レベル2、レベル1 (IRQ1)

割り込みが受け付けられた後は、表5.14.4.4に示すとおりインタラプトフラグが受け付けた割り込みと同じレベルに書き換えられます。ただし、NMI受け付け後のインタラプトフラグの書き換えはレベル3(I0=I1="1")となります。

表5.14.4.4 割り込み受け付け後のインタラプトフラグ

受け付けた割り込みの優先レベル	I1	I0
レベル4 (NMI)	1	1
レベル3 (IRQ3)	1	1
レベル2 (IRQ2)	1	0
レベル1 (IRQ1)	0	1

インタラプトフラグは、割り込み処理ルーチンからの復帰時に、設定が元の値に戻されます。したがって、3レベルまでの多重割り込みは、割り込みプライオリティレジスタへの初期設定のみで制御することができます。また、それ以上の多重化は、インタラプトフラグと割り込みイネーブルレジスタを割り込み処理ルーチン内で書き換えることで実現できます。

注! 割り込み発生後、割り込み要因フラグをリセットする前にインタラプトフラグを書き換える(低い優先レベルに設定する)と、再度同一の割り込みが発生してしまいますので注意してください。

5.14.5 例外処理ベクタ

CPUが割り込みを受け付けると、実行中の命令の終了後に例外処理を開始します。例外処理ではプログラム分岐のために、以下の操作が行われます。

- (1) ミニマムモードではプログラムカウンタ(PC)とシステムコンディションフラグ(SC)を、マキシマムモードではコードバンクレジスタ(CB)とPC、およびSCをスタックに退避。
- (2) 各例外処理(割り込み)要因に対応する例外処理ベクタから分岐先アドレスを読み出し、PCにセット。

例外処理ベクタは、各例外(割り込み)処理ルーチンの先頭アドレスを格納している2バイトのデータで、ベクタアドレスと例外処理要因は表5.14.5.1のとおり対応しています。

注! 例外処理ベクタは2バイトに固定されたデータで、分岐先のバンクアドレスを指定することはできません。したがって、複数のバンクから共通の例外処理ルーチンに分岐させるためには、例外処理ルーチンの先頭部分を共通エリア内(000000H ~ 007FFFH)に記述しておく必要があります。

表5.14.5.1 ベクタアドレスと例外処理要因の対応

ベクタ アドレス	例外処理要因	優先 順位
000000H	リセット	高い
000002H	ゼロ除算	
000004H	ウォッチドッグタイマ (NMI)	
000006H	K07入力割り込み	
000008H	K06入力割り込み	
00000AH	K05入力割り込み	
00000CH	K04入力割り込み	
00000EH	K03入力割り込み	
000010H	K02入力割り込み	
000012H	K01入力割り込み	
000014H	K00入力割り込み	
000016H	Pタイマ0アンダーフロー割り込み	
000018H	Pタイマ0コンペアマッチ割り込み	
00001AH	Pタイマ1アンダーフロー割り込み	
00001CH	Pタイマ1コンペアマッチ割り込み	
00001EH	Pタイマ2アンダーフロー割り込み	
000020H	Pタイマ2コンペアマッチ割り込み	
000022H	Pタイマ3アンダーフロー割り込み	
000024H	Pタイマ3コンペアマッチ割り込み	
000026H	システム予約 (使用不可)	
000028H	シリアルI/F Ch.0エラー割り込み	
00002AH	シリアルI/F Ch.0受信完了割り込み	
00002CH	シリアルI/F Ch.0送信完了割り込み	
00002EH	ストップウォッチタイマ100Hz割り込み	
000030H	ストップウォッチタイマ10Hz割り込み	
000032H	ストップウォッチタイマ1Hz割り込み	
000034H	計時タイマ32Hz割り込み	
000036H	計時タイマ 8Hz割り込み	
000038H	計時タイマ 2Hz割り込み	
00003AH	計時タイマ 1Hz割り込み	
00003CH	Pタイマ4アンダーフロー割り込み	
00003EH	Pタイマ4コンペアマッチ割り込み	
000040H	Pタイマ5アンダーフロー割り込み	
000042H	Pタイマ5コンペアマッチ割り込み	
000044H	Pタイマ6アンダーフロー割り込み	
000046H	Pタイマ6コンペアマッチ割り込み	
000048H	Pタイマ7アンダーフロー割り込み	
00004AH	Pタイマ7コンペアマッチ割り込み	
00004CH	シリアルI/F Ch.1エラー割り込み	
00004EH	シリアルI/F Ch.1受信完了割り込み	
000050H	シリアルI/F Ch.1送信完了割り込み	
000052H	システム予約 (使用不可)	低い
000054H	ソフトウェア割り込み	なし
0000FEH		

5.14.6 割り込みの制御

表5.14.6.1に割り込みの制御ビットを示します。

表5.14.6.1(a) 割り込みの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈		
00FF20	D7	PK01	K00～K07割り込み	PK01 PK00 PSIF01 PSIF00 PSW1 PSW0 優先 PTM1 PTM0 レベル 1 1 レベル3 1 0 レベル2 0 1 レベル1 0 0 レベル0		0	R/W			
	D6	PK00	プライオリティレジスタ			0	R/W			
	D5	PSIF01	シリアルインタフェース0割り込み			0	R/W			
	D4	PSIF00	プライオリティレジスタ							
	D3	PSW1	ストップウォッチタイマ割り込み			0	R/W			
	D2	PSW0	プライオリティレジスタ							
	D1	PTM1	計時タイマ割り込み			0	R/W			
	D0	PTM0	プライオリティレジスタ							
00FF21	D7	—	—	1	0	0	R/W	予約レジスタ		
	D6	—	—	1	0	0	R/W			
	D5	PPT3	プログラマブルタイマ3-2割り込み	PPT3 PPT2 PPT1 PPT0 優先 PSIF11 PSIF10 レベル 1 1 レベル3 1 0 レベル2 0 1 レベル1 0 0 レベル0		0	R/W			
	D4	PPT2	プライオリティレジスタ							
	D3	PPT1	プログラマブルタイマ1-0割り込み			0	R/W			
	D2	PPT0	プライオリティレジスタ							
	D1	PSIF11	シリアルインタフェース1割り込み			0	R/W			
	D0	PSIF10	プライオリティレジスタ							
00FF2A	D7	—	—		—	—	—			読み出し時は 常時"0"
	D6	—	—		—	—	—			
	D5	—	—	—	—	—				
	D4	—	—	—	—	—				
	D3	PPT7	プログラマブルタイマ7-6割り込み	PPT7 PPT6 優先 PPT5 PPT4 レベル 1 1 レベル3 1 0 レベル2 0 1 レベル1 0 0 レベル0		0	R/W			
	D2	PPT6	プライオリティレジスタ							
	D1	PPT5	プログラマブルタイマ5-4割り込み			0	R/W			
	D0	PPT4	プライオリティレジスタ							
00FF22	D7	—	—	1	0	0	R/W	予約レジスタ		
	D6	ESW100	ストップウォッチ100Hz割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W			
	D5	ESW10	ストップウォッチ10Hz割り込みイネーブル							
	D4	ESW1	ストップウォッチ1Hz割り込みイネーブル							
	D3	ETM32	計時タイマ32Hz割り込みイネーブル							
	D2	ETM8	計時タイマ8Hz割り込みイネーブル							
	D1	ETM2	計時タイマ2Hz割り込みイネーブル							
	D0	ETM1	計時タイマ1Hz割り込みイネーブル							
00FF23	D7	—	—					1		0
	D6	—	—	1	0	0	R/W			
	D5	ESERR1	シリアルI/F1(エラー)割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W			
	D4	ESREC1	シリアルI/F1(受信)割り込みイネーブル							
	D3	ESTRA1	シリアルI/F1(送信)割り込みイネーブル							
	D2	ESERR0	シリアルI/F0(エラー)割り込みイネーブル							
	D1	ESREC0	シリアルI/F0(受信)割り込みイネーブル							
	D0	ESTRA0	シリアルI/F0(送信)割り込みイネーブル							

表5.14.6.1(b) 割り込みの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈			
00FF24	D7	EK07	K07割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W				
	D6	EK06	K06割り込みイネーブル								
	D5	EK05	K05割り込みイネーブル								
	D4	EK04	K04割り込みイネーブル								
	D3	EK03	K03割り込みイネーブル								
	D2	EK02	K02割り込みイネーブル								
	D1	EK01	K01割り込みイネーブル								
	D0	EK00	K00割り込みイネーブル								
00FF25	D7	ETC3	PTM3コンペアマッチ割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W				
	D6	ETU3	PTM3アンダーフロー割り込みイネーブル								
	D5	ETC2	PTM2コンペアマッチ割り込みイネーブル								
	D4	ETU2	PTM2アンダーフロー割り込みイネーブル								
	D3	ETC1	PTM1コンペアマッチ割り込みイネーブル								
	D2	ETU1	PTM1アンダーフロー割り込みイネーブル								
	D1	ETC0	PTM0コンペアマッチ割り込みイネーブル								
	D0	ETU0	PTM0アンダーフロー割り込みイネーブル								
00FF2C	D7	ETC7	PTM7コンペアマッチ割り込みイネーブル	割り込み 許可	割り込み 禁止	0	R/W				
	D6	ETU7	PTM7アンダーフロー割り込みイネーブル								
	D5	ETC6	PTM6コンペアマッチ割り込みイネーブル								
	D4	ETU6	PTM6アンダーフロー割り込みイネーブル								
	D3	ETC5	PTM5コンペアマッチ割り込みイネーブル								
	D2	ETU5	PTM5アンダーフロー割り込みイネーブル								
	D1	ETC4	PTM4コンペアマッチ割り込みイネーブル								
	D0	ETU4	PTM4アンダーフロー割り込みイネーブル								
00FF26	D7	—	—	—	—	—		読み出し時は"0"			
	D6	FSW100	ストップウォッチ100Hz割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W				
	D5	FSW10	ストップウォッチ10Hz割り込み要因フラグ								
	D4	FSW1	ストップウォッチ1Hz割り込み要因フラグ	(W) リセット	(W) 無効						
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ								
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ								
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ								
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ								
00FF27	D7	—	—	—	—				—		読み出し時は
	D6	—	—	—	—	—		常時"0"			
	D5	FSERR1	シリアル/F1(エラー)割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W				
	D4	FSREC1	シリアル/F1(受信)割り込み要因フラグ								
	D3	FSTRA1	シリアル/F1(送信)割り込み要因フラグ	(W) リセット	(W) 無効						
	D2	FSERR0	シリアル/F0(エラー)割り込み要因フラグ								
	D1	FSREC0	シリアル/F0(受信)割り込み要因フラグ								
	D0	FSTRA0	シリアル/F0(送信)割り込み要因フラグ								
00FF28	D7	FK07	K07割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし				0	R/W	
	D6	FK06	K06割り込み要因フラグ								
	D5	FK05	K05割り込み要因フラグ	(W) リセット	(W) 無効						
	D4	FK04	K04割り込み要因フラグ								
	D3	FK03	K03割り込み要因フラグ								
	D2	FK02	K02割り込み要因フラグ								
	D1	FK01	K01割り込み要因フラグ								
	D0	FK00	K00割り込み要因フラグ								

表5.14.6.1(c) 割り込みの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF29	D7	FTC3	PTM3コンペアマッチ割り込み要因フラグ	(R)	(R)	0	R/W	
	D6	FTU3	PTM3アンダーフロー割り込み要因フラグ	割り込み 要因あり	割り込み 要因なし			
	D5	FTC2	PTM2コンペアマッチ割り込み要因フラグ					
	D4	FTU2	PTM2アンダーフロー割り込み要因フラグ					
	D3	FTC1	PTM1コンペアマッチ割り込み要因フラグ					
	D2	FTU1	PTM1アンダーフロー割り込み要因フラグ	(W)	(W)			
	D1	FTC0	PTM0コンペアマッチ割り込み要因フラグ	リセット	無効			
	D0	FTU0	PTM0アンダーフロー割り込み要因フラグ					
00FF2E	D7	FTC7	PTM7コンペアマッチ割り込み要因フラグ	(R)	(R)	0	R/W	
	D6	FTU7	PTM7アンダーフロー割り込み要因フラグ	割り込み 要因あり	割り込み 要因なし			
	D5	FTC6	PTM6コンペアマッチ割り込み要因フラグ					
	D4	FTU6	PTM6アンダーフロー割り込み要因フラグ					
	D3	FTC5	PTM5コンペアマッチ割り込み要因フラグ					
	D2	FTU5	PTM5アンダーフロー割り込み要因フラグ	(W)	(W)			
	D1	FTC4	PTM4コンペアマッチ割り込み要因フラグ	リセット	無効			
	D0	FTU4	PTM4アンダーフロー割り込み要因フラグ					

各ビットの設定内容および制御方法については、それぞれの周辺回路の説明を参照してください。

5.14.7 プログラミング上の注意事項

- (1) 割り込み発生後、割り込み要因フラグをリセットせずにRETE命令を実行すると、再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、そのルーチンに対応する割り込み要因のリセット("1"書き込み)を必ず行ってください。
- (2) 割り込み発生後、割り込み要因フラグをリセットする前にインタラプトフラグ(I0、I1)を書き換える(低い優先レベルに設定する)と、再度同一の割り込みが発生してしまいますので注意してください。
- (3) 例外処理ベクタは2バイトに固定されたデータで、分岐先のバンクアドレスを指定することはできません。したがって、複数のバンクから共通の例外処理ルーチンに分岐させるためには、例外処理ルーチンの先頭部分をコモンエリア内(000000H～007FFFH)に記述しておく必要があります。
- (4) NMI割り込み発生から2msec以内はSLP命令を実行しないでください。(fOSC1=32.768kHzの場合)

6 Flash EEPROM

S1C8F626にはFlash EEPROMが内蔵されており、S1C8F626をターゲット基板に実装した状態でROMのプログラミング(消去/書き込み/検証等)が可能です。Flash EEPROMの仕様を表6.1に示します。

表6.1 Flash EEPROMの仕様

最小消去単位	4Kバイト
最小書き込み単位	1バイト
書き換え回数	10000回(Typ.)*1
消去時データ状態	1
プログラミング電圧範囲	V _{DD} = 2.7 ~ 3.6V (V _{DC} = "1"に設定)
セキュリティ機能	書き込み/消去禁止、 On Board Writer読み出し禁止*2

*1 書き換え回数: 消去+書き込み、または書き込みのみを1回とし、10年保持保証時

*2 On Board Writerによってのみ設定可能

その他のFlash EEPROMの特性に関しては、"9 電気的特性"を参照してください。

Flash EEPROMのプログラミングには、On Board Writer (製品名: S5U1C88000W3/S5U1C88000W4)を接続して書き込む方法と、ユーザプログラムから書き込む方法の2種類があります。

本製品はSilicon Storage Technology, Inc.よりライセンスされたSuperFlash® Technologyを使用しています。

6.1 On Board Writerを用いたROMプログラミング

図6.1.1のようにターゲット基板上に16ピンコネクタを実装し、On Board Writerと接続することで、PC上でROMプログラミングを制御することが可能です。On Board WriterによるROMプログラミング時はS1C8F626がOn Board Writerから供給されるクロックにより動作するため、通常動作時のOSC1/OSC3発振周波数はROMプログラミングの制御には影響を与えません。また、On Board Writerに接続されないその他の端子は、イニシャルリセット時の状態を保持します。

On Board Writerを使用したROMプログラミングの方法については、"Appendix C PROMプログラミング"を参照してください。

注! ・ 通常動作時は、 $\overline{\text{DMOD}}$ 、DTXD、DRXD、DCLK端子をオープンにしてください。特にDMOD端子については、内蔵抵抗によりプルアップされていますが、外部からLOWレベルにならないように注意が必要です。

・ On Board Writerによるプログラミング時は、OSC1とOSC3が発振可能な状態にある必要があります。

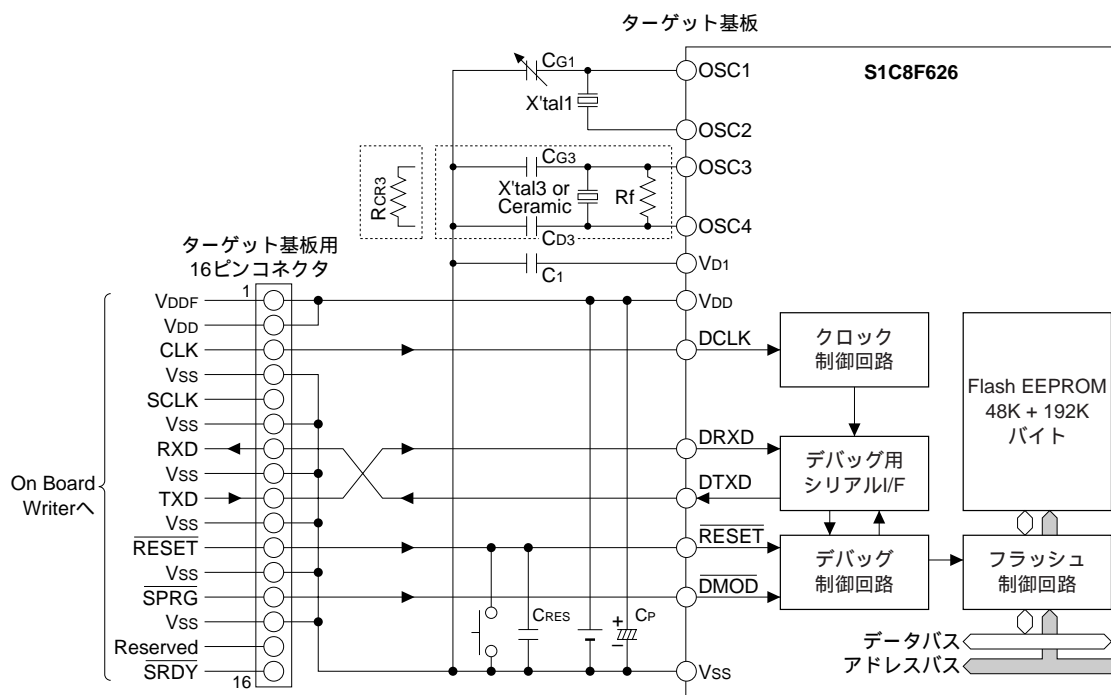


図6.1.1 16ピンコネクタ結線例とROMプログラミング制御回路の構成

6.2 ユーザプログラムによるROM プログラミング

S1C8F626は、ターゲット基板上で動作中に実行中のユーザプログラムによってFlash EEPROMの消去/書き換えを行う、自己プログラミング機能を搭載しています。

自己プログラミングのための各種機能ルーチンをオブジェクトファイルとして提供する、自己プログラミングパッケージ(S5U1C8F626Y4100)が別途用意されています。

ユーザアプリケーションプログラムにこのオブジェクトをリンクすることで、容易に自己プログラミング機能を実装することができます。その詳細については、自己プログラミングパッケージのマニュアルを参照してください。

ユーザ開発プログラム

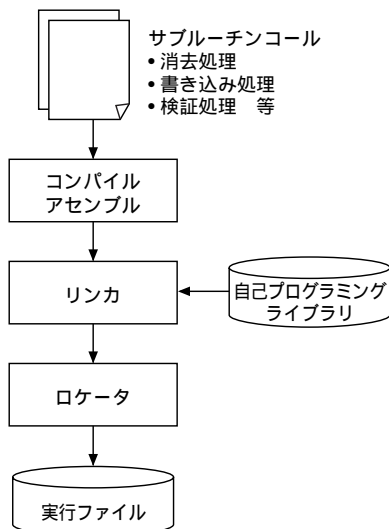


図6.2.1 自己プログラミング機能の実装方法

7 注意事項

7.1 低消費電力化のための注意事項

S1C8F626は、電力を多く消費する回路系を制御レジスタによってON/OFFすることができます。

必要最小限の回路を、この制御レジスタによって動作させるプログラムとすることで、低消費電力化が実現できます。

以下に、プログラムによって動作を制御することのできる回路系とその制御レジスタ(命令)を示しますので、プログラミング上の参考としてください。

消費電流については"9 電気的特性"を参照してください。

その他、各周辺回路の注意事項については、それぞれの項の"プログラミング上の注意事項"を参照してください。

表7.1.1 回路系と制御レジスタ

回路系	制御レジスタ (命令)	イニシャルリセット時の状態
CPU	HALT、SLP命令	動作状態
発振回路	CLKCHG、SOSC3	OSC3クロック (CLKCHG="1") OSC3発振ON (SOSC3="1")
電源電圧昇圧回路	DBON	OFF状態 (DBON="0")
LCDドライバ	LCDC0、LCDC1	駆動OFF (LCDC0=LCDC1="0")
SVD回路	SVDON	OFF状態 (SVDON="0")
重負荷保護回路	HLMOD	OFF状態 (HLMOD="0")
内部定電圧回路	VDC	V _{D1} = 1.8V (VDC = "0")

7.2 実装上の注意事項

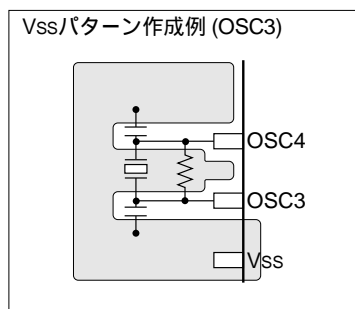
発振回路

発振特性は諸条件(使用部品、基板パターン等)により変化します。

特にセラミック発振子または水晶振動子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。

ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1) OSC1、OSC2、OSC3、OSC4端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
- (2) OSC1、OSC2、OSC3、OSC4端子およびこれらの端子に接続された部品の周辺部は下図のようにVssパターンをできるだけ広く作成してください。
また、このVssパターンは発振用途以外に使用しないでください。



OSC1(OSC3) - V_{DD}間のリーク電流による発振回路の不安定動作を防止するため、基板パターンにおいて、OSC1(OSC3)はV_{DD}電源や信号線とは十分な距離を確保してください。

リセット回路

パワーオン時RESET端子に入力されるリセット信号は、諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。
また、プルアップ抵抗値のばらつきを十分考慮した定数設定が必要です。

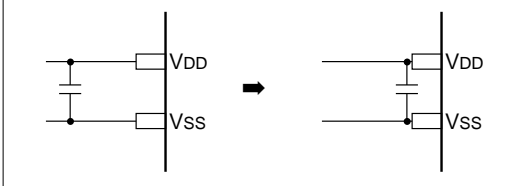
ノイズによる動作中のリセットを防ぐため、RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

電源回路

ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1) 電源からV_{DD}、V_{SS}端子へはできるだけ短くかつ太いパターンで接続してください。
- (2) V_{DD} - V_{SS}のバイパスコンデンサを接続する場合、V_{DD}端子とV_{SS}端子をできるだけ最短で接続してください。

バイパスコンデンサの接続例



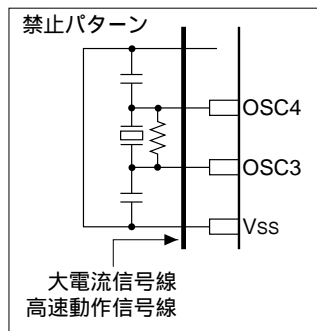
- (3) V_{D1}、V_{D2}、V_{C1}、V_{C2}、V_{C3}、V_{C4}、V_{C5}端子に接続するコンデンサ、抵抗等の部品はできるだけ最短で接続してください。
特にV_{C1}、V_{C2}、V_{C3}、V_{C4}、V_{C5}の各電圧はLCD駆動として用いるため表示品質に影響を与えます。

信号線の配置

相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。

高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。

特に、発振部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



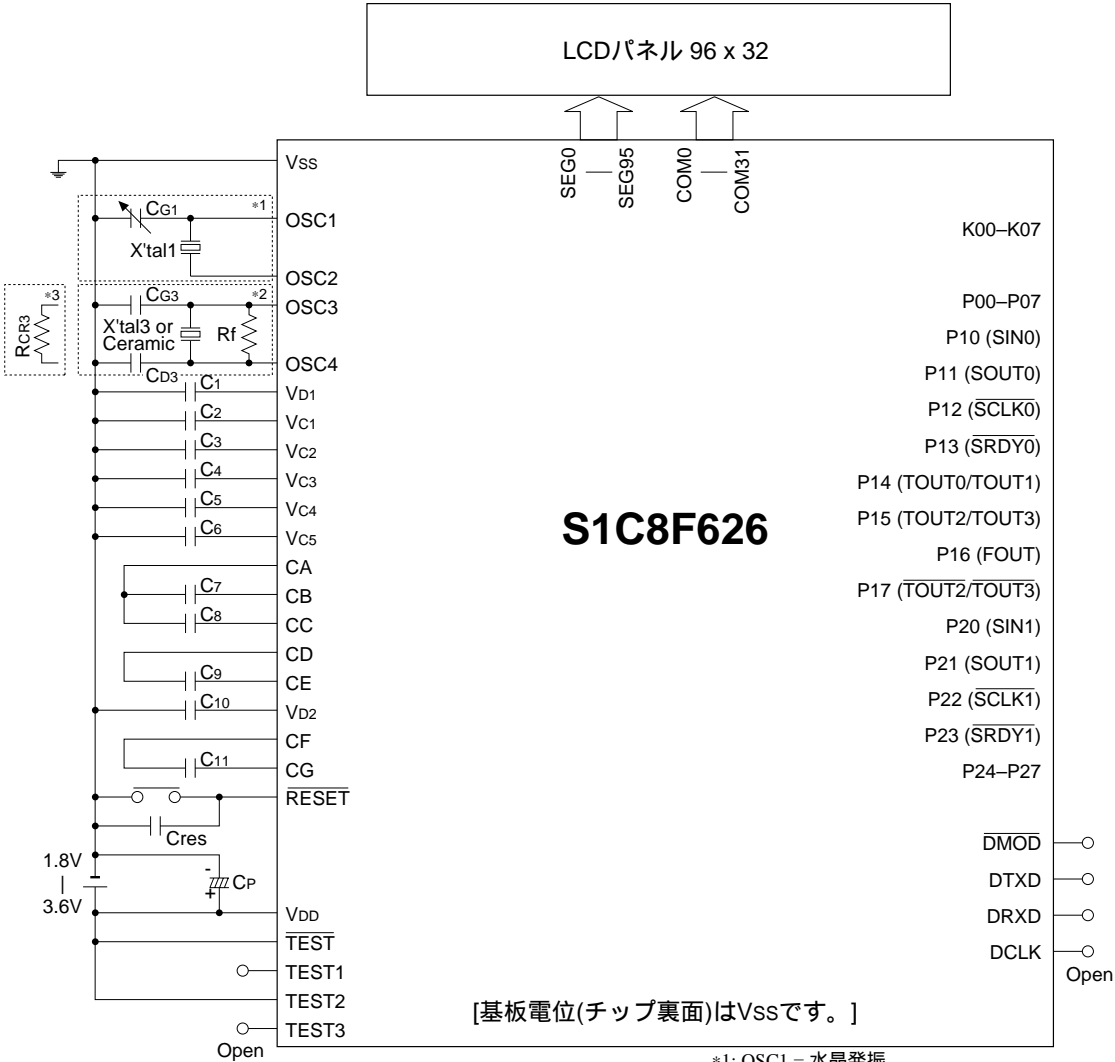
光に対する取り扱い(ペアチップ実装の場合)

半導体素子は、光が照射されると特性が変化します。このため、ICに光が当たると誤動作を起こしたり、不揮発性メモリのデータが消去される可能性があります。

光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。

- (1) 実使用時にICの遮光性が考慮された構造となるよう、設計および実装を行ってください。
- (2) 検査工程では、ICの遮光性が考慮された環境設計を行ってください。
- (3) ICの遮光は、ICチップの表面、裏面および側面について考慮してください。
- (4) ICチップ状態での保管は開封後1週間以内とし、この期限までに実装をお願いします。
ICチップ状態での保管の必要がある場合は、必ず遮光の措置を講じてください。
- (5) 実装工程において通常のリフロー条件を超えるような熱ストレスが印加される場合、製品出荷前に不揮発性メモリのデータ保持に関して十分な評価をお願いします。

8 基本外部結線図



*1: OSC1 = 水晶発振
*2: OSC3 = 水晶またはセラミック発振
*3: OSC3 = CR発振

外付部品推奨値

シンボル	名称	推奨値
X'tal1	水晶振動子	32.768kHz
CG1	トリマキャパシタ	0~25pF
X'tal3	水晶振動子	1~8MHz
Ceramic	セラミック振動子	1~8MHz
Rf	帰還抵抗	1MΩ
CG3	ゲートキャパシタ	15pF(水晶発振) 30pF(セラミック発振)
CD3	ドレインキャパシタ	15pF(水晶発振) 30pF(セラミック発振)
RCR3	CR発振用抵抗	30kΩ

シンボル	名称	推奨値
C1	Vss~VD1間キャパシタ	0.1μF
C2	Vss~VC1間キャパシタ	0.1μF
C3	Vss~VC2間キャパシタ	0.1μF
C4	Vss~VC3間キャパシタ	0.1μF
C5	Vss~VC4間キャパシタ	0.1μF
C6	Vss~VC5間キャパシタ	0.1μF
C7~C9	昇圧キャパシタ	0.1μF
C10	Vss~VD2間キャパシタ	0.1μF
C11	昇圧キャパシタ	0.1μF
CP	電源間キャパシタ	3.3μF
Cres	RESET端子キャパシタ	0.47μF

注! ここに記載されている値は一例です。

9 電気的特性

9.1 絶対最大定格

(V _{SS} = 0V)					
項 目	記号	条 件	定 格 値	単位	注
電源電圧	V _{DD}		-0.3 ~ +4.0	V	
液晶電源電圧	V _{C5}		-0.3 ~ +6.0	V	
入力電圧	V _I		-0.3 ~ V _{DD} + 0.3	V	
出力電圧	V _O		-0.3 ~ V _{DD} + 0.3	V	
高レベル出力電流	I _{OH}	1端子	-5	mA	
		全端子合計	-20	mA	
低レベル出力電流	I _{OL}	1端子	5	mA	
		全端子合計	20	mA	
許容損失	P _D		200	mW	1
動作温度	T _{opr}		-20 ~ +70	°C	
保存温度	T _{stg}		-65 ~ +150	°C	
半田付け温度・時間	T _{sol}		260°C, 10sec (リード部)	-	

注) 1 プラスチックパッケージの場合

9.2 推奨動作条件

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
動作電源電圧	V _{DD}	通常動作モード	1.8		3.6	V	
		Flashプログラミングモード	2.7		3.6	V	
動作周波数	f _{OSC1}		30	32.768	200	kHz	
	f _{OSC3}	CR発振	0.03		2.2	MHz	
		水晶/セラミック発振	0.03		8.2	MHz	
V _{SS} ~ V _{D1} 間キャパシタ	C1			0.1		μF	
V _{SS} ~ V _{C1} 間キャパシタ	C2			0.1		μF	1
V _{SS} ~ V _{C2} 間キャパシタ	C3			0.1		μF	1
V _{SS} ~ V _{C3} 間キャパシタ	C4			0.1		μF	1
V _{SS} ~ V _{C4} 間キャパシタ	C5			0.1		μF	1
V _{SS} ~ V _{C5} 間キャパシタ	C6			0.1		μF	1
CA ~ CB間キャパシタ	C7			0.1		μF	1
CA ~ CC間キャパシタ	C8			0.1		μF	1
CD ~ CE間キャパシタ	C9			0.1		μF	1
V _{SS} ~ V _{D2} 間キャパシタ	C10			0.1		μF	1
CF ~ CG間キャパシタ	C11			0.1		μF	1

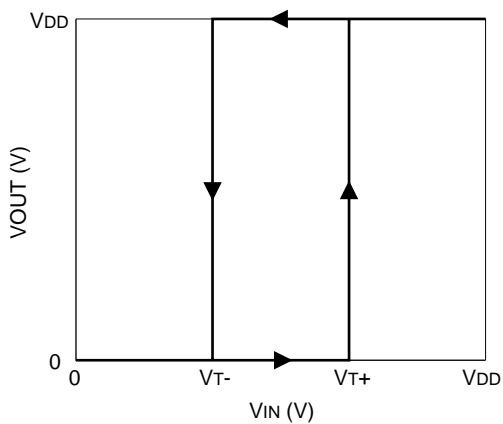
注) 1 LCD駆動電源を使用しない場合は、キャパシタは必要ありません。また、V_{C1} ~ V_{C5}およびCA ~ CGは開放としてください。

9.3 DC特性

特記なき場合の試験条件: $V_{DD} = 1.8 \sim 3.6V$, $V_{SS} = 0V$, $T_a = -20 \sim 70$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
高レベル入力電圧	V_{IH}	Kxx, Pxx	$0.8V_{DD}$		V_{DD}	V	
低レベル入力電圧	V_{IL}	Kxx, Pxx	0		$0.2V_{DD}$	V	
高レベルシュミット入力電圧(1)	V_{T1+}	\overline{RESET}	$0.5V_{DD}$		$0.9V_{DD}$	V	
低レベルシュミット入力電圧(1)	V_{T1-}	\overline{RESET}	$0.1V_{DD}$		$0.5V_{DD}$	V	
高レベルシュミット入力電圧(2)	V_{T2+}	Kxx	$0.5V_{DD}$		$0.9V_{DD}$	V	1
低レベルシュミット入力電圧(2)	V_{T2-}	Kxx	$0.1V_{DD}$		$0.5V_{DD}$	V	1
高レベル出力電流	I_{OH}	Pxx, $V_{OH} = 0.9V_{DD}$			-0.5	mA	
低レベル出力電流	I_{OL}	Pxx, $V_{OL} = 0.1V_{DD}$	0.5			mA	
入力リーク電流	I_{LI}	Kxx, Pxx, \overline{RESET}	-1		1	μA	
出力リーク電流	I_{LO}	Pxx	-1		1	μA	
入力プルアップ抵抗	R_{IN}	Kxx, Pxx, \overline{RESET}	100		500	$k\Omega$	
入力端子容量	C_{IN}	Kxx, Pxx $V_{IN} = 0V$, $f = 1MHz$, $T_a = 25$			15	pF	
セグメント、コモン出力電流	I_{SEGH}	SEGxx, COMxx, $V_{SEGH} = V_{C5} - 0.1V$			-5	μA	
	I_{SEGL}	SEGxx, COMxx, $V_{SEGL} = 0.1V$	5			μA	

注) 1 CMOSシュミットレベルを選択した場合。



9.4 アナログ回路特性

LCDドライバ

LCDドライバは、パネル負荷(パネルの大きさ、駆動デューティ、表示点灯数、表示パターン)の違いによってTyp.値がシフトしますので、実際に使用するパネルを接続して評価してください。負荷特性については、"9.8 特性グラフ"を参照してください。

特記なき場合の試験条件: $V_{DD} = 1.8 \sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, $C_1 \sim C_{11} = 0.1\mu F$, 市松模様出力時, パネル負荷なし

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
LCD駆動電圧	VC1	*1	$0.18 \bullet V_{C5}$		$0.22 \bullet V_{C5}$	V	
	VC2	*2	$0.39 \bullet V_{C5}$		$0.43 \bullet V_{C5}$	V	
	VC3	*3	$0.59 \bullet V_{C5}$		$0.63 \bullet V_{C5}$	V	
	VC4	*4	$0.79 \bullet V_{C5}$		$0.83 \bullet V_{C5}$	V	
	VC5	*5	Typ $\times 0.94$	4.20	Typ $\times 1.06$	V	
				4.30		V	
				4.40		V	
				4.50		V	
				4.60		V	
				4.70		V	
				4.80		V	
				4.90		V	
				5.00		V	
				5.10		V	
				5.20		V	
				5.30		V	
				5.40		V	
				5.50		V	
				5.60		V	
				5.70		V	

*1 $V_{SS} \sim V_{C1}$ 間に $1M\Omega$ の負荷抵抗を接続した場合。

*2 $V_{SS} \sim V_{C2}$ 間に $1M\Omega$ の負荷抵抗を接続した場合。

*3 $V_{SS} \sim V_{C3}$ 間に $1M\Omega$ の負荷抵抗を接続した場合。

*4 $V_{SS} \sim V_{C4}$ 間に $1M\Omega$ の負荷抵抗を接続した場合。

*5 $V_{SS} \sim V_{C5}$ 間に $1M\Omega$ の負荷抵抗を接続した場合。

SVD回路

特記なき場合の試験条件: $V_{DD} = 1.8 \sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
SVD電圧	VSVD	SVDS0-3 = "0"		—		V	
		SVDS0-3 = "1"		—		V	
		SVDS0-3 = "2"		—		V	
		SVDS0-3 = "3"	Typ $\times 0.91$	1.8	Typ $\times 1.09$	V	
		SVDS0-3 = "4"		1.85		V	
		SVDS0-3 = "5"		1.9		V	
		SVDS0-3 = "6"		1.95		V	
		SVDS0-3 = "7"		2.0		V	
		SVDS0-3 = "8"		2.05		V	
		SVDS0-3 = "9"		2.1		V	
		SVDS0-3 = "10"		2.2		V	
		SVDS0-3 = "11"		2.3		V	
		SVDS0-3 = "12"		2.4		V	
		SVDS0-3 = "13"		2.5		V	
		SVDS0-3 = "14"		2.6		V	
		SVDS0-3 = "15"		2.7		V	
SVD回路応答時間	tsVD				500	μs	

Flash EEPROM

特記なき場合の試験条件: $V_{DD} = 2.7 \sim 3.6V$ ($V_{DC} = "1"$ 設定), $V_{SS} = 0V$, $T_a = 25$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
消去時間	tSE	4Kバイト消去			25	ms	1
書き込み時間	tBP	1バイト書き込み			20	μs	1
書き換え回数	C _{FEP}	データ保持10年保証時	1000	10000		回	2

注) 1 データ転送およびベリファイを含み、消去/書き込み開始制御時間を除く

2 消去+書き込み、または書き込みのみを1回とする

9.5 消費電流

特記なき場合の試験条件: $V_{DD} = 1.8 \sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, $C_1 \sim C_{11} = 0.1\mu F$, LCDパネル負荷なし

項目	記号	条件	Min.	Typ.	Max.	単位	注
SLEEP時消費電流	ISLP	OSC1 = OFF, OSC3 = OFF, VDC = "0"		1	2.5	μA	
HALT時消費電流	IHALT1	OSC1 = 32kHz水晶発振, OSC3 = OFF, VDC = "0"		2.5	5	μA	
	IHALT2	OSC1 = 32kHz水晶発振, OSC3 = 8MHzセラミック発振, VDC = "0"		200	400	μA	
	IHALT3	OSC1 = 32kHz水晶発振, OSC3 = 2MHz CR発振, VDC = "0"		250	500	μA	
実行時消費電流	IEXE1	OSC1 = 32kHz水晶発振, OSC3 = OFF, VDC = "0", CPU = OSC1		10	17	μA	
	IEXE2	OSC1 = 32kHz水晶発振, OSC3 = 8MHzセラミック発振, VDC = "0", CPU = OSC3		1800	2700	μA	
	IEXE3	OSC1 = 32kHz水晶発振, OSC3 = 2MHz CR発振, VDC = "0", CPU = OSC3		700	1400	μA	
	IEXE11	OSC1 = 32kHz水晶発振, OSC3 = OFF, VDC = "1", CPU = OSC1		25	38	μA	
	IEXE21	OSC1 = 32kHz水晶発振, OSC3 = 8MHzセラミック発振, VDC = "1", CPU = OSC3		3500	5000	μA	
	IEXE31	OSC1 = 32kHz水晶発振, OSC3 = 2MHz CR発振, VDC = "1", CPU = OSC3		1400	2800	μA	
重負荷保護モード 実行時消費電流	IEXE1H	OSC1 = 32kHz水晶発振, OSC3 = OFF, VDC = "0", HLMOD = H		15	27	μA	
LCD回路電流	ILCD1	LCDCx = 全点灯, LCx = FH, fosc1 = 32.768kHz, $V_{DD} = 2.5 \sim 3.6V$		5	10	μA	1
重負荷保護モード LCD回路電流	ILCD1H	LCDCx = 全点灯, LCx = FH, fosc1 = 32.768kHz, $V_{DD} = 2.5 \sim 3.6V$, HLMOD = H		18	30	μA	2
電源電圧昇圧時 LCD回路電流	ILCD2	LCDCx = 全点灯, LCx = FH, fosc1 = 32.768kHz, DBON = H, $V_{DD} = 1.8 \sim 2.5V$		10	20	μA	3
重負荷保護モード, 電源電圧昇圧時 LCD回路電流	ILCD2H	LCDCx = 全点灯, LCx = FH, fosc1 = 32.768kHz, DBON = H, $V_{DD} = 1.8 \sim 2.5V$, HLMOD = H		40	60	μA	4
SVD回路電流	ISVD	$V_{DD} = 3.6V$		5	10	μA	5
Flash EEPROM 消去電流	IFERS	8MHz CPU動作時, VDC = "1"		4	8	mA	6
Flash EEPROM 書き込み電流	IFPRG	8MHz CPU動作時, VDC = "1"		4	8	mA	7

注) 1 LCD回路動作時にHALT時/実行時消費電流に加算されます。

消費電流は表示パターン、パネル負荷によって増加します。

2 LCD回路動作時に重負荷保護モード実行時消費電流に加算されます。

消費電流は表示パターン、パネル負荷によって増加します。

3 電源電圧昇圧回路+LCD回路動作時にHALT時/実行時消費電流に加算されます。

消費電流は表示パターン、パネル負荷によって増加します。

4 電源電圧昇圧回路+LCD回路動作時に重負荷保護モード実行時消費電流に加算されます。

消費電流は表示パターン、パネル負荷によって増加します。

5 SVD回路動作時に実行時消費電流/重負荷保護モード実行時消費電流に加算されます。

6 自己プログラミングの消去動作時に実行時消費電流に加算されます。

On Board Writer接続時の電流とは異なります。

7 自己プログラミングの書き込み動作時に実行時消費電流に加算されます。

On Board Writer接続時の電流とは異なります。

9.6 AC特性

動作範囲

条件: $V_{DD} = 1.8 \sim 3.6V$, $V_{SS} = 0V$, $T_a = -20 \sim 70$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
動作周波数	f _{OSC1}	$V_{DD} = 1.8 \sim 3.6V$	30	32.768	200	kHz	
	f _{OSC3}		0.03		8.2	MHz	
インストラクション実行時間 (OSC1クロック動作時)	t _{cy}	1サイクル命令	10	61	67	μs	
		2サイクル命令	20	122	133	μs	
		3サイクル命令	30	183	200	μs	
		4サイクル命令	40	244	267	μs	
		5サイクル命令	50	305	333	μs	
		6サイクル命令	60	366	400	μs	
インストラクション実行時間 (OSC3クロック動作時)	t _{cy}	1サイクル命令	0.24		66.67	μs	
		2サイクル命令	0.49		133.33	μs	
		3サイクル命令	0.73		200.00	μs	
		4サイクル命令	0.98		266.67	μs	
		5サイクル命令	1.22		333.33	μs	
		6サイクル命令	1.46		400.00	μs	

シリアルインタフェース

• クロック同期式マスタモード

条件: $V_{DD} = 1.8 \sim 3.6V$, $V_{SS} = 0V$, $T_a = 25$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$, $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	t _{smd}			100	ns	
受信データ入力セットアップ時間	t _{sms}	250			ns	
受信データ入力ホールド時間	t _{smh}	100			ns	

• クロック同期式スレーブモード

条件: $V_{DD} = 1.8 \sim 3.6V$, $V_{SS} = 0V$, $T_a = 25$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$, $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	t _{ssd}			250	ns	
受信データ入力セットアップ時間	t _{sss}	100			ns	
受信データ入力ホールド時間	t _{ssh}	100			ns	

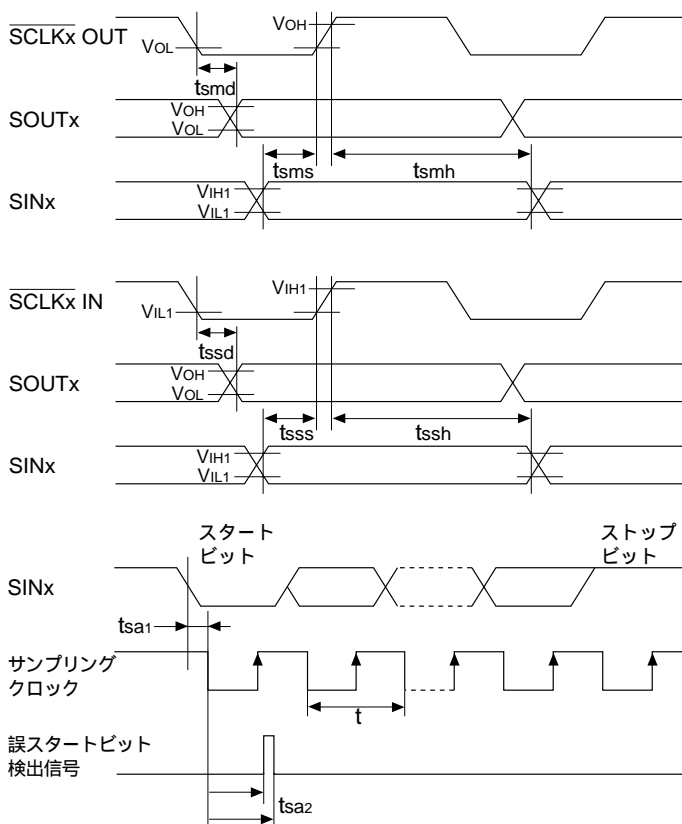
• 調歩同期式

条件: $V_{DD} = 1.8 \sim 3.6V$, $V_{SS} = 0V$, $T_a = 25$

項 目	記号	Min.	Typ.	Max.	単位	注
スタートビット検出誤差時間	t _{sa1}	0		t/16	s	1
誤スタートビット検出範囲時間	t _{sa2}	9t/16		10t/16	s	2

注) 1 スタートビット検出誤差時間とは、スタートビットが入力されてから内部のサンプリングクロックが動作するまでの論理的遅れ時間。(AC的な時間は含まれません。)

2 誤スタートビット検出とは、スタートビットを検出し内部のサンプリングクロックが動作した後、再度LOWレベル(スタートビット)が入力されているか検出する論理的な範囲時間。HIGHレベルであった場合、スタートビット検出回路がリセットされ、再度スタートビット検出待ちになります。(AC的な時間は含まれません。)

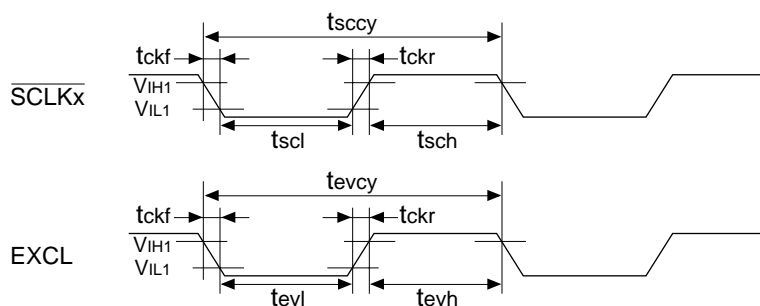


入力クロック

• SCLKx, EXCL入力クロック

条件: $V_{DD} = 1.8 \sim 3.6V$, $V_{SS} = 0V$, $T_a = 25$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$

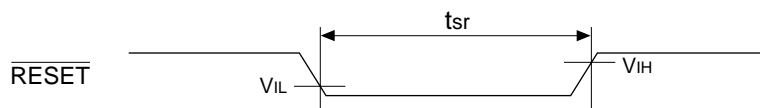
項 目		記号	Min.	Typ.	Max.	単位	注
SCLKx入力クロック時間	サイクル時間	tscy	2			μs	
	"H"パルス幅	tsch	1			μs	
	"L"パルス幅	tscL	1			μs	
EXCL入力クロック時間 (ノイズリジェクタあり)	サイクル時間	tevcy	$64/f_{OSC1}$			s	
	"H"パルス幅	tevh	$32/f_{OSC1}$			s	
	"L"パルス幅	tevl	$32/f_{OSC1}$			s	
EXCL入力クロック時間 (ノイズリジェクタなし)	サイクル時間	tevcy	2			μs	
	"H"パルス幅	tevh	1			μs	
	"L"パルス幅	tevl	1			μs	
入力クロック立ち上がり時間		tckr			25	ns	
入力クロック立ち下がり時間		tckf			25	ns	



• RESET入力クロック

条件: $V_{DD} = 1.8 \sim 3.6V$, $V_{SS} = 0V$, $T_a = 25$, $V_{IH} = 0.5V_{DD}$, $V_{IL} = 0.1V_{DD}$

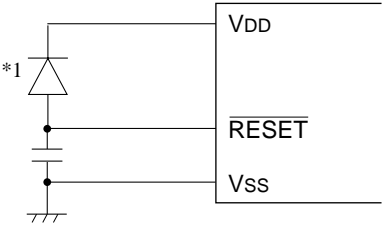
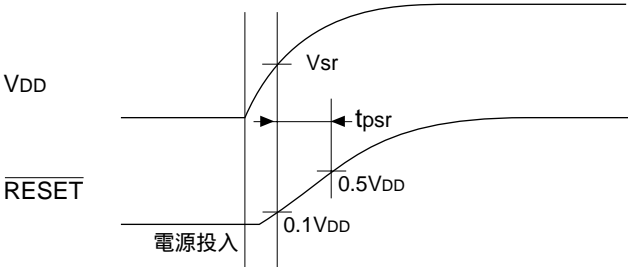
項 目	記号	Min.	Typ.	Max.	単位	注
RESET入力時間	tsr	100			μs	



外付けキャパシタを用いたパワーオンリセット

条件: $V_{DD} = 1.8 \sim 3.6V$, $V_{SS} = 0V$, $T_a = 25$

項 目	記号	Min.	Typ.	Max.	単位	注
動作電源電圧	V_{sr}	1.8			V	
RESET入力時間	t_{psr}	10			ms	



*1 \overline{RESET} 端子の電位が V_{DD} レベル以上にならないため。

9.7 発振特性

発振特性は諸条件(基板パターン、使用部品など)により変化します。以下の特性は参考値として使用してください。特にOSC3にセラミック発振子または水晶発振子を使用する場合、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。また発振開始時間は、OSC3のクロックを使用する場合の待ち時間となりますので重要な項目です。(発振が安定するまでにCPUクロックとして使用した場合、CPUが誤動作します。)

OSC1水晶発振

特記なき場合の試験条件: $V_{DD} = 1.8 \sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, 水晶発振子 = C-002RX ($R_1 = 30k\Omega$ (Typ.), $C_L = 12.5pF$)*, $C_{G1} = 25pF$ 外付け, $C_{D1} =$ 内蔵

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間	tsta				3	s	
外付けゲート容量	C_{G1}	基板容量など含む	0		25	pF	
内蔵ドレイン容量	C_{D1}	チップの場合		10		pF	
周波数IC偏差	$\partial f/\partial IC$	$V_{DD} =$ 一定	-10		10	ppm	
周波数電源電圧偏差	$\partial f/\partial V$				1	ppm/V	
周波数調整範囲	$\partial f/\partial C_G$	$V_{DD} =$ 一定, $C_G = 0 \sim 25pF$	25			ppm	

* C-002RX セイコーエプソン製

OSC3水晶発振

特記なき場合の試験条件: $V_{DD} = 1.8 \sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, 水晶発振子 = CA-301*, $R_F = 1M\Omega$, $C_{G3} = C_{D3} = 15pF$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間	tsta				10	ms	1

* CA-301 セイコーエプソン製

注) 1 水晶発振開始時間は、使用する水晶発振子および C_{G3} , C_{D3} により変化します。

OSC3セラミック発振

特記なき場合の試験条件: $V_{DD} = 1.8 \sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$, セラミック発振子 = KBR-4.0MSB/KBR-8.0MSB*, $R_F = 1M\Omega$, $C_{G3} = C_{D3} = 30pF$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間	tsta				1	ms	1

* KBR-4.0MSB/KBR-8.0MSB Kyocera製

注) 1 セラミック発振開始時間は、使用するセラミック発振子および C_{G3} , C_{D3} により変化します。

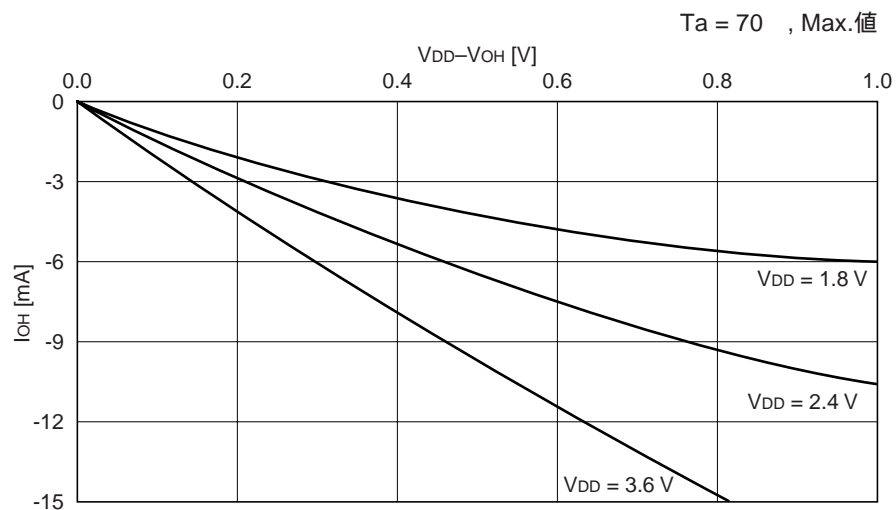
OSC3 CR発振

特記なき場合の試験条件: $V_{DD} = 1.8 \sim 3.6V$, $V_{SS} = 0V$, $T_a = 25^\circ C$

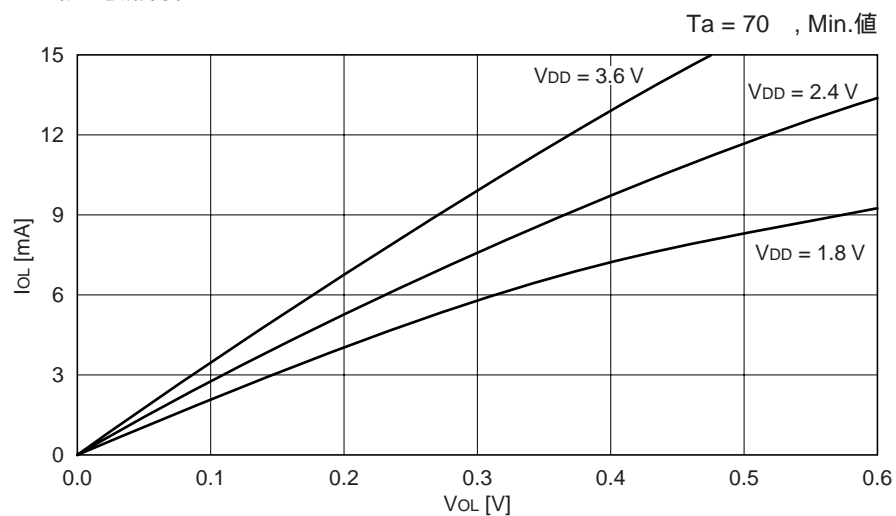
項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間	tsta				100	μs	
周波数IC偏差	$\partial f/\partial IC$	$R_{CR} =$ 一定	-25		25	%	

9.8 特性グラフ (参考値)

高レベル出力電流特性



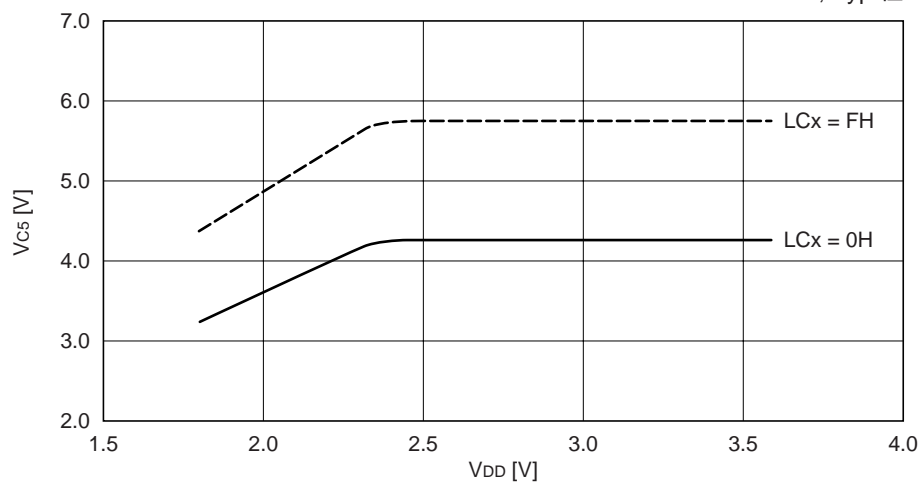
低レベル出力電流特性



LCD駆動電圧電源電圧特性(電源電圧昇圧回路未使用時)

V_{SS} ~ V_{C5}間に1MΩの負荷抵抗を接続した場合(パネル負荷なし)

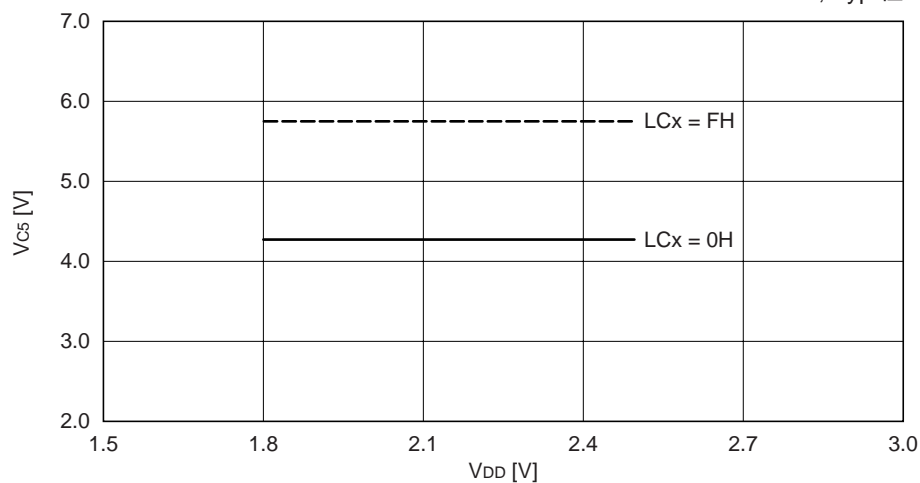
Ta = 25 , Typ.値



LCD駆動電圧電源電圧特性(電源電圧昇圧回路使用時)

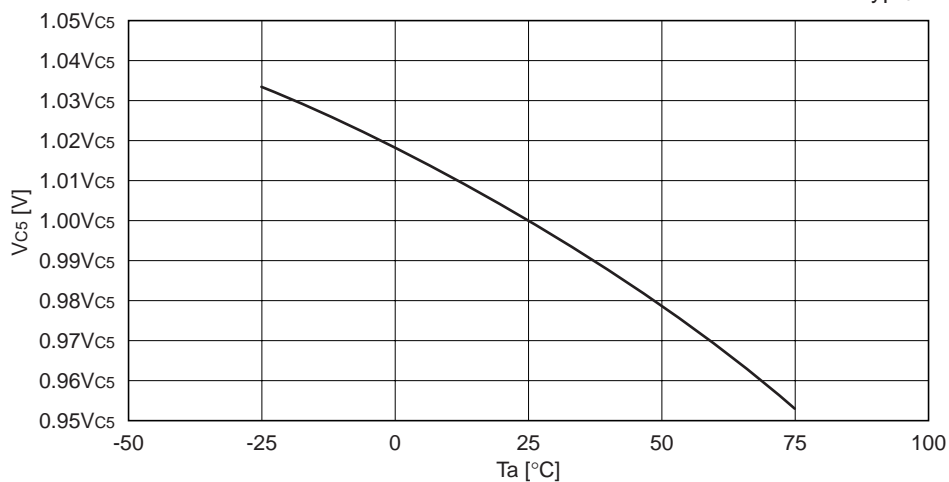
V_{SS} ~ V_{C5}間に1MΩの負荷抵抗を接続した場合(パネル負荷なし)

Ta = 25 , Typ.値

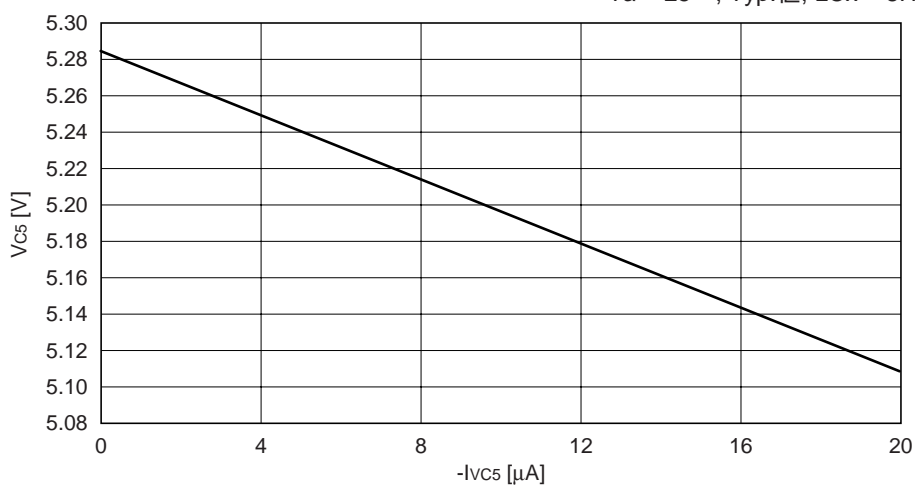


LCD駆動電圧温度特性

Typ.値

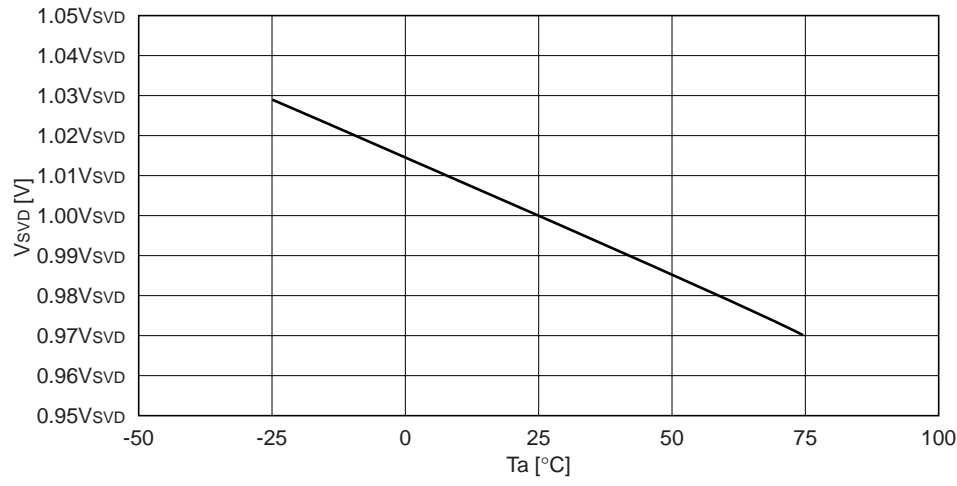


LCD駆動電圧負荷特性

 V_{cs} 端子のみに負荷を接続した場合 $T_a = 25$, Typ.値, $LCx = 8H$ 

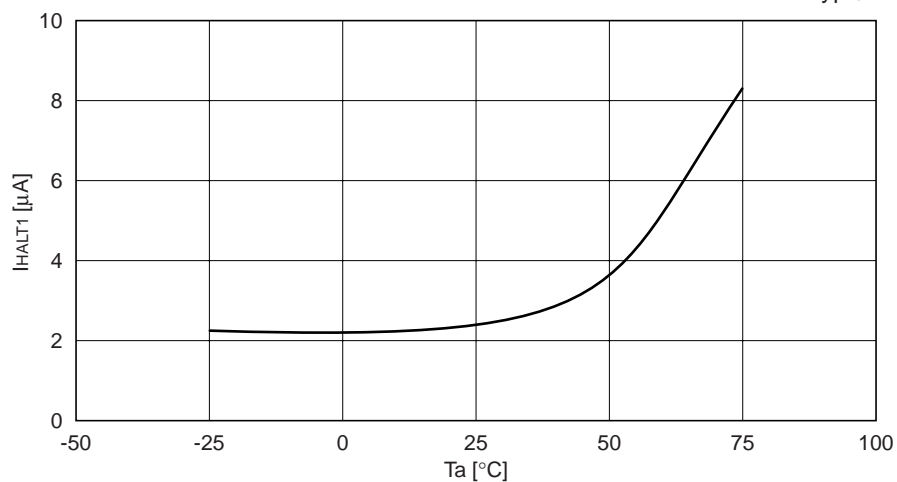
SVD電圧温度特性

Typ.値, SVDSx = FH

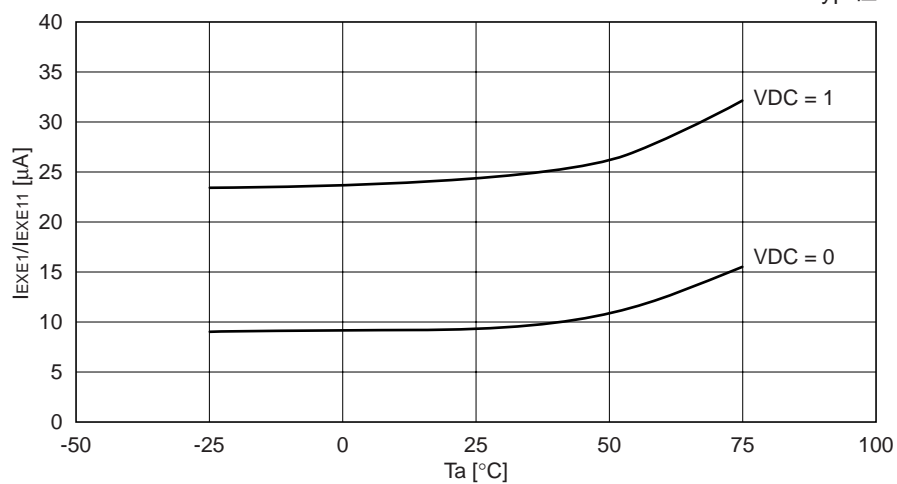


HALT時消費電流温度特性 (OSC1動作時) <水晶発振, $f_{OSC1} = 32.768\text{kHz}$ >

Typ.値

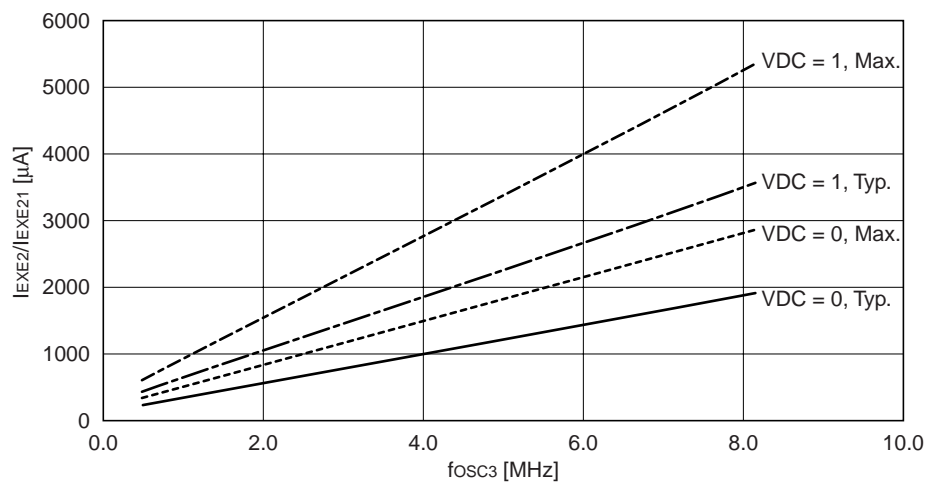
実行時消費電流温度特性 (OSC1動作時) <水晶発振, $f_{OSC1} = 32.768\text{kHz}$ >

Typ.値



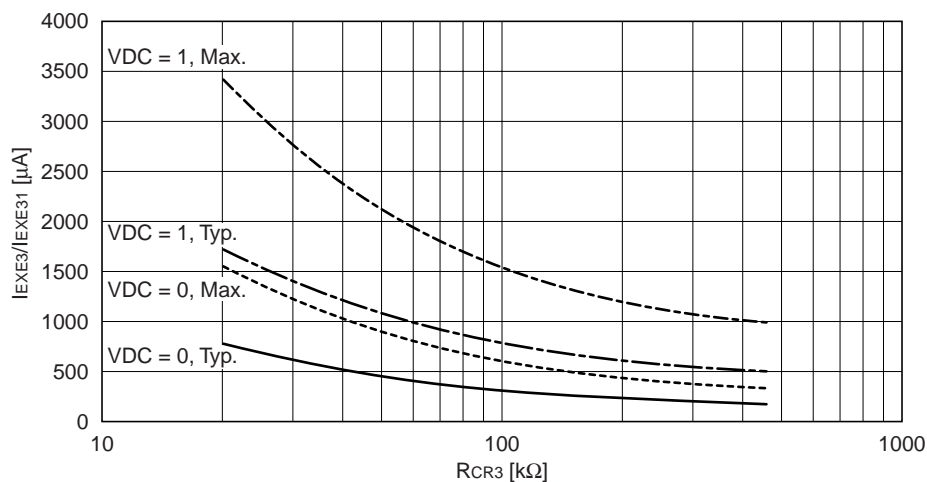
実行時消費電流周波数特性 (OSC3動作時) <水晶発振/セラミック発振>

Ta = 25



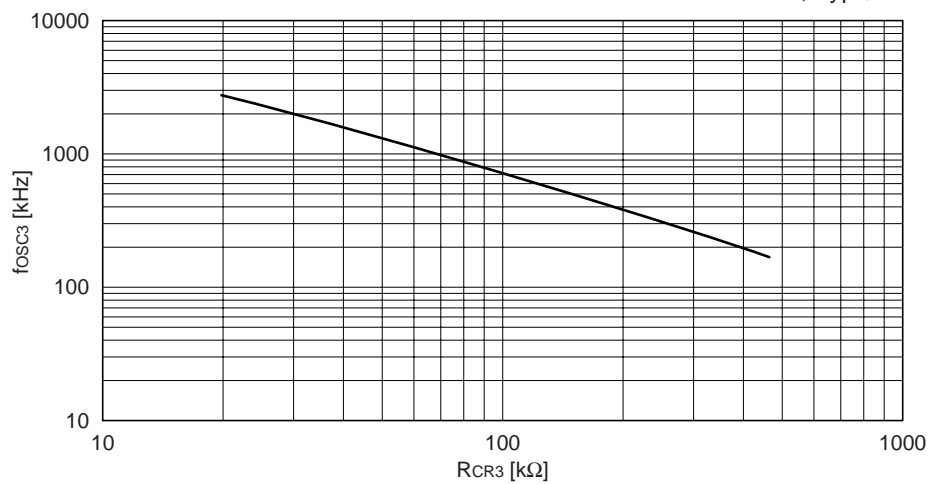
実行時消費電流抵抗特性 (OSC3動作時) <CR発振>

Ta = 25

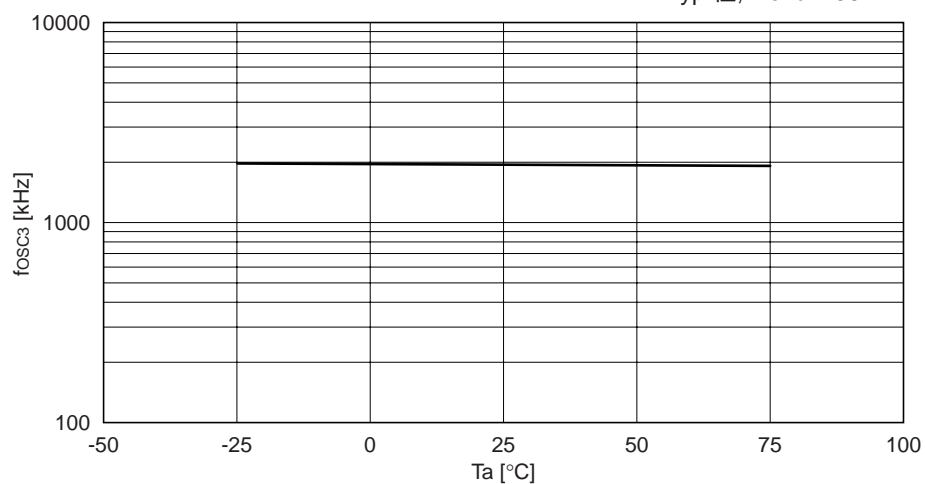


発振周波数抵抗特性 (OSC3) <CR発振>

Ta = 25 , Typ.値



発振周波数温度特性 (OSC3) <CR発振>

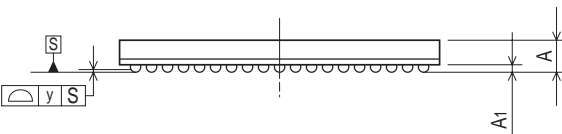
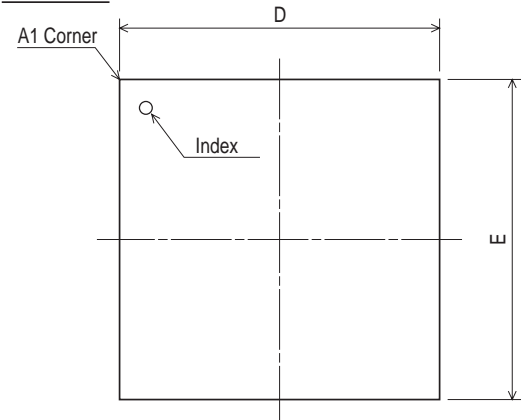
Typ.値, $R_{CR3} = 30\text{k}\Omega$ 

10 パッケージ

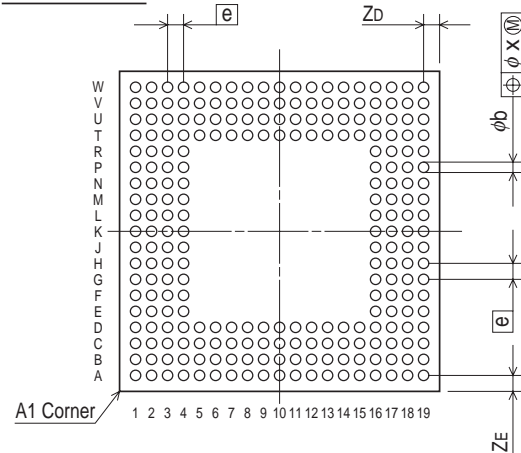
10.1 プラスチックパッケージ

VFBGA10H-240pin

Top View



Bottom View

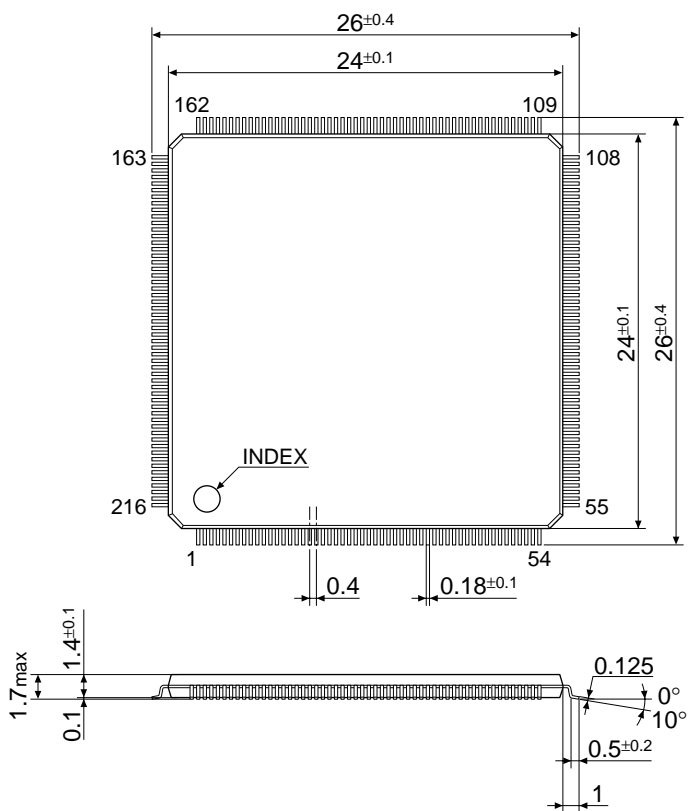


Symbol	Dimension in Millimeters		
	Min	Nom	Max
D	–	10	–
E	–	10	–
A	–	–	1.0
A ₁	–	0.23	–
e	–	0.5	–
b	0.26	–	0.36
x	–	–	0.08
y	–	–	0.1
Z _D	–	0.5	–
Z _E	–	0.5	–

1 = 1mm

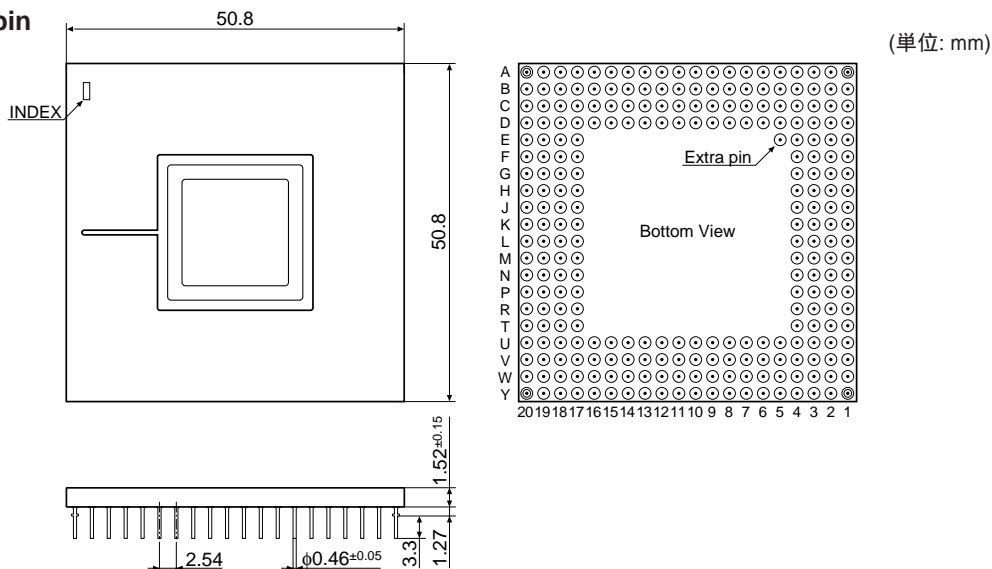
QFP21-216pin

(単位: mm)



10.2 テストサンプル用セラミックパッケージ

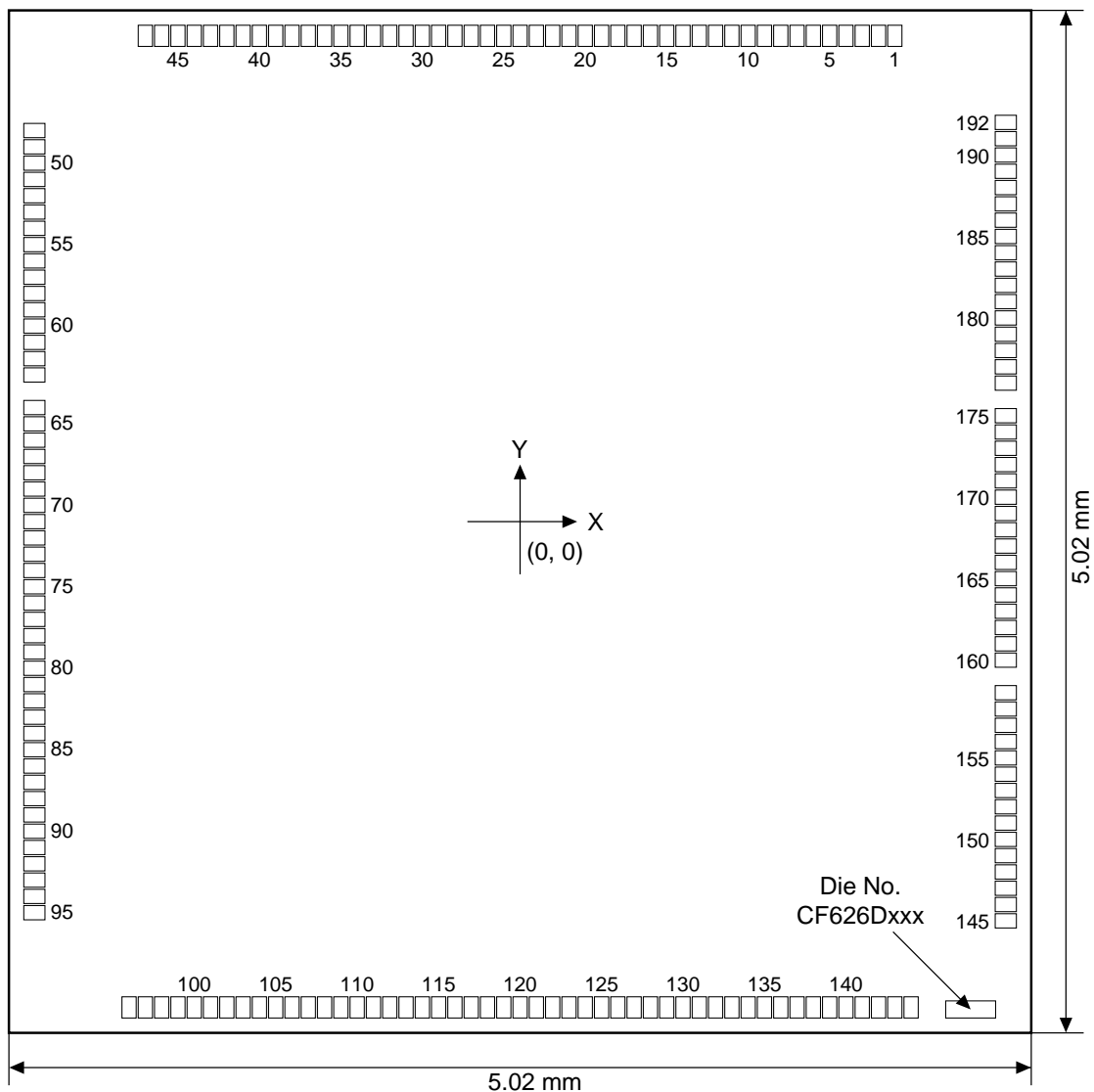
PGA-256pin



端子No.		端子名		端子No.		端子名		端子No.		端子名		端子No.		端子名	
1	A1	N.C.	53	U1	Vc4	105	Y14	P14/TOUT0/TOUT1	157	M20	SEG3	209	A16	SEG40	
2	D4	N.C.	54	P4	Vc3	106	U12	P13/SRDY0	158	L17	SEG4	210	D13	SEG41	
3	C2	N.C.	55	U2	Vc2	107	W14	P12/SCLK0	159	L20	SEG5	211	B14	SEG42	
4	D3	N.C.	56	T3	Vc1	108	V12	P11/SOUT0	160	L19	SEG6	212	C13	SEG43	
5	B1	N.C.	57	V1	N.C.	109	Y15	P10/SIN0	161	K20	SEG7	213	A15	SEG44	
6	E4	N.C.	58	R4	N.C.	110	V13	P07	162	K19	SEG8	214	C12	SEG45	
7	D2	N.C.	59	V2	N.C.	111	W15	P06	163	J20	SEG9	215	B13	SEG46	
8	E3	N.C.	60	U3	N.C.	112	U13	P05	164	K17	SEG10	216	D12	SEG47	
9	C1	SEG81	61	W1	N.C.	113	Y16	P04	165	H20	SEG11	217	A14	SEG48	
10	F4	SEG82	62	T4	N.C.	114	V14	P03	166	K18	SEG12	218	B12	SEG49	
11	E2	SEG83	63	W2	N.C.	115	W16	P02	167	H19	SEG13	219	A13	SEG50	
12	F3	SEG84	64	V3	N.C.	116	V15	P01	168	J19	SEG14	220	C11	SEG51	
13	D1	SEG85	65	Y1	N.C.	117	Y17	P00	169	G20	SEG15	221	A12	SEG52	
14	G4	SEG86	66	U4	N.C.	118	U14	Vdd	170	J17	SEG16	222	D11	SEG53	
15	F2	SEG87	67	W3	N.C.	119	W17	Vss	171	G19	SEG17	223	A11	SEG54	
16	G3	SEG88	68	V4	N.C.	120	V16	N.C.	172	J18	SEG18	224	B11	SEG55	
17	E1	SEG89	69	Y2	N.C.	121	Y18	N.C.	173	F20	SEG19	225	A10	SEG56	
18	H4	SEG90	70	U5	N.C.	122	U15	N.C.	174	H18	SEG20	226	B10	SEG57	
19	G2	SEG91	71	W4	N.C.	123	W18	N.C.	175	F19	SEG21	227	A9	SEG58	
20	H3	SEG92	72	V5	N.C.	124	V17	N.C.	176	H17	SEG22	228	D10	SEG59	
21	F1	SEG93	73	Y3	Vdd	125	Y19	N.C.	177	E20	SEG23	229	A8	SEG60	
22	J3	SEG94	74	U6	OSC3	126	U16	N.C.	178	G18	SEG24	230	C10	SEG61	
23	H2	SEG95	75	W5	OSC4	127	W19	N.C.	179	E19	SEG25	231	B8	SEG62	
24	J4	COM31	76	V6	Vss	128	V18	N.C.	180	F18	SEG26	232	B9	SEG63	
25	G1	COM30	77	Y4	Vd1	129	Y20	N.C.	181	D20	SEG27	233	A7	SEG64	
26	J2	COM29	78	U7	OSC1	130	U17	N.C.	182	G17	SEG28	234	D9	SEG65	
27	H1	COM28	79	W6	OSC2	131	V19	N.C.	183	D19	SEG29	235	B7	SEG66	
28	K3	COM27	80	V7	TEST	132	U18	N.C.	184	E18	SEG30	236	C9	SEG67	
29	J1	COM26	81	Y5	RESET	133	W20	N.C.	185	C20	SEG31	237	A6	SEG68	
30	K4	COM25	82	U8	DMOD	134	T17	N.C.	186	F17	N.C.	238	C8	SEG69	
31	K1	COM24	83	W7	DRXD	135	U19	N.C.	187	C19	N.C.	239	B6	SEG70	
32	K2	COM23	84	V8	DTXD	136	T18	N.C.	188	D18	N.C.	240	D8	SEG71	
33	L1	COM22	85	Y6	DCLK	137	V20	N.C.	189	B20	N.C.	241	A5	SEG72	
34	L2	COM21	86	V9	K07/EXCL3	138	R17	COM0	190	E17	N.C.	242	C7	SEG73	
35	M1	COM20	87	W8	K06/EXCL2	139	T19	COM1	191	B19	N.C.	243	B5	SEG74	
36	L4	COM19	88	U9	K05/EXCL1	140	R18	COM2	192	C18	N.C.	244	C6	SEG75	
37	N1	COM18	89	Y7	K04/EXCL0	141	U20	COM3	193	A20	N.C.	245	A4	SEG76	
38	L3	COM17	90	W9	K03	142	P17	COM4	194	D17	N.C.	246	D7	SEG77	
39	N2	COM16	91	Y8	K02	143	R19	COM5	195	B18	N.C.	247	B4	SEG78	
40	M2	Vss	92	V10	K01	144	P18	COM6	196	C17	N.C.	248	C5	SEG79	
41	P1	TEST1	93	Y9	K00	145	T20	COM7	197	A19	N.C.	249	A3	SEG80	
42	M4	TEST2	94	U10	P27	146	N17	COM8	198	D16	N.C.	250	D6	N.C.	
43	P2	TEST3	95	Y10	P26	147	P19	COM9	199	B17	N.C.	251	B3	N.C.	
44	M3	Vb2	96	W10	P25	148	N18	COM10	200	C16	N.C.	252	C4	N.C.	
45	R1	CG	97	Y11	P24	149	R20	COM11	201	A18	SEG32	253	A2	N.C.	
46	N3	CF	98	W11	P23/SRDY1	150	M18	COM12	202	D15	SEG33	254	D5	N.C.	
47	R2	CE	99	Y12	P22/SCLK1	151	N19	COM13	203	B16	SEG34	255	B2	N.C.	
48	N4	CD	100	U11	P21/SOUT1	152	M17	COM14	204	C15	SEG35	256	C3	N.C.	
49	T1	CC	101	Y13	P20/SIN1	153	P20	COM15	205	A17	SEG36	-	-	-	
50	P3	CB	102	V11	P17/TOUT2/TOUT3	154	M19	SEG0	206	D14	SEG37	-	-	-	
51	T2	CA	103	W13	P16/FOUT	155	N20	SEG1	207	B15	SEG38	-	-	-	
52	R3	Vc5	104	W12	P15/TOUT2/TOUT3	156	L18	SEG2	208	C14	SEG39	-	-	-	

11 パッド配置

11.1 パッド配置図



パッド開口部) Pad No. 1 ~ 47, 96 ~ 144 : $70 \times 104 \mu\text{m}$
 Pad No. 48 ~ 95, 145 ~ 192: $104 \times 70 \mu\text{m}$
 チップ厚) $400 \mu\text{m}$

11.2 パッド座標

(単位: mm)

パッド		座標		パッド		座標		パッド		座標		パッド		座標	
No.	名称	X	Y	No.	名称	X	Y	No.	名称	X	Y	No.	名称	X	Y
1	VDD	1.840	2.385	49	COM1	-2.385	1.840	97	SEG33	-1.840	-2.385	145	SEG81	2.385	-1.960
2	OSC3	1.760	2.385	50	COM2	-2.385	1.760	98	SEG34	-1.760	-2.385	146	SEG82	2.385	-1.880
3	OSC4	1.680	2.385	51	COM3	-2.385	1.680	99	SEG35	-1.680	-2.385	147	SEG83	2.385	-1.800
4	VSS	1.600	2.385	52	COM4	-2.385	1.600	100	SEG36	-1.600	-2.385	148	SEG84	2.385	-1.720
5	Vd1	1.520	2.385	53	COM5	-2.385	1.520	101	SEG37	-1.520	-2.385	149	SEG85	2.385	-1.640
6	OSC1	1.440	2.385	54	COM6	-2.385	1.440	102	SEG38	-1.440	-2.385	150	SEG86	2.385	-1.560
7	OSC2	1.360	2.385	55	COM7	-2.385	1.360	103	SEG39	-1.360	-2.385	151	SEG87	2.385	-1.480
8	TEST	1.280	2.385	56	COM8	-2.385	1.280	104	SEG40	-1.280	-2.385	152	SEG88	2.385	-1.400
9	RESET	1.200	2.385	57	COM9	-2.385	1.200	105	SEG41	-1.200	-2.385	153	SEG89	2.385	-1.320
10	DMOD	1.120	2.385	58	COM10	-2.385	1.120	106	SEG42	-1.120	-2.385	154	SEG90	2.385	-1.240
11	DRXD	1.040	2.385	59	COM11	-2.385	1.040	107	SEG43	-1.040	-2.385	155	SEG91	2.385	-1.160
12	DTXD	0.960	2.385	60	COM12	-2.385	0.960	108	SEG44	-0.960	-2.385	156	SEG92	2.385	-1.080
13	DCLK	0.880	2.385	61	COM13	-2.385	0.880	109	SEG45	-0.880	-2.385	157	SEG93	2.385	-1.000
14	K07/EXCL3	0.800	2.385	62	COM14	-2.385	0.800	110	SEG46	-0.800	-2.385	158	SEG94	2.385	-0.920
15	K06/EXCL2	0.720	2.385	63	COM15	-2.385	0.720	111	SEG47	-0.720	-2.385	159	SEG95	2.385	-0.840
16	K05/EXCL1	0.640	2.385	64	SEG0	-2.385	0.560	112	SEG48	-0.640	-2.385	160	COM31	2.385	-0.680
17	K04/EXCL0	0.560	2.385	65	SEG1	-2.385	0.480	113	SEG49	-0.560	-2.385	161	COM30	2.385	-0.600
18	K03	0.480	2.385	66	SEG2	-2.385	0.400	114	SEG50	-0.480	-2.385	162	COM29	2.385	-0.520
19	K02	0.400	2.385	67	SEG3	-2.385	0.320	115	SEG51	-0.400	-2.385	163	COM28	2.385	-0.440
20	K01	0.320	2.385	68	SEG4	-2.385	0.240	116	SEG52	-0.320	-2.385	164	COM27	2.385	-0.360
21	K00	0.240	2.385	69	SEG5	-2.385	0.160	117	SEG53	-0.240	-2.385	165	COM26	2.385	-0.280
22	P27	0.160	2.385	70	SEG6	-2.385	0.080	118	SEG54	-0.160	-2.385	166	COM25	2.385	-0.200
23	P26	0.080	2.385	71	SEG7	-2.385	0.000	119	SEG55	-0.080	-2.385	167	COM24	2.385	-0.120
24	P25	0.000	2.385	72	SEG8	-2.385	-0.080	120	SEG56	0.000	-2.385	168	COM23	2.385	-0.040
25	P24	-0.080	2.385	73	SEG9	-2.385	-0.160	121	SEG57	0.080	-2.385	169	COM22	2.385	0.040
26	P23/SRDY1	-0.160	2.385	74	SEG10	-2.385	-0.240	122	SEG58	0.160	-2.385	170	COM21	2.385	0.120
27	P22/SCLK1	-0.240	2.385	75	SEG11	-2.385	-0.320	123	SEG59	0.240	-2.385	171	COM20	2.385	0.200
28	P21/SOUT1	-0.320	2.385	76	SEG12	-2.385	-0.400	124	SEG60	0.320	-2.385	172	COM19	2.385	0.280
29	P20/SIN1	-0.400	2.385	77	SEG13	-2.385	-0.480	125	SEG61	0.400	-2.385	173	COM18	2.385	0.360
30	P17/TOUT2/TOUT3	-0.480	2.385	78	SEG14	-2.385	-0.560	126	SEG62	0.480	-2.385	174	COM17	2.385	0.440
31	P16/FOUT	-0.560	2.385	79	SEG15	-2.385	-0.640	127	SEG63	0.560	-2.385	175	COM16	2.385	0.520
32	P15/TOUT2/TOUT3	-0.640	2.385	80	SEG16	-2.385	-0.720	128	SEG64	0.640	-2.385	176	VSS	2.385	0.680
33	P14/TOUT0/TOUT1	-0.720	2.385	81	SEG17	-2.385	-0.800	129	SEG65	0.720	-2.385	177	TEST1	2.385	0.760
34	P13/SRDY0	-0.800	2.385	82	SEG18	-2.385	-0.880	130	SEG66	0.800	-2.385	178	TEST2	2.385	0.840
35	P12/SCLK0	-0.880	2.385	83	SEG19	-2.385	-0.960	131	SEG67	0.880	-2.385	179	TEST3	2.385	0.920
36	P11/SOUT0	-0.960	2.385	84	SEG20	-2.385	-1.040	132	SEG68	0.960	-2.385	180	Vd2	2.385	1.000
37	P10/SIN0	-1.040	2.385	85	SEG21	-2.385	-1.120	133	SEG69	1.040	-2.385	181	CG	2.385	1.080
38	P07	-1.120	2.385	86	SEG22	-2.385	-1.200	134	SEG70	1.120	-2.385	182	CF	2.385	1.160
39	P06	-1.200	2.385	87	SEG23	-2.385	-1.280	135	SEG71	1.200	-2.385	183	CE	2.385	1.240
40	P05	-1.280	2.385	88	SEG24	-2.385	-1.360	136	SEG72	1.280	-2.385	184	CD	2.385	1.320
41	P04	-1.360	2.385	89	SEG25	-2.385	-1.440	137	SEG73	1.360	-2.385	185	CC	2.385	1.400
42	P03	-1.440	2.385	90	SEG26	-2.385	-1.520	138	SEG74	1.440	-2.385	186	CB	2.385	1.480
43	P02	-1.520	2.385	91	SEG27	-2.385	-1.600	139	SEG75	1.520	-2.385	187	CA	2.385	1.560
44	P01	-1.600	2.385	92	SEG28	-2.385	-1.680	140	SEG76	1.600	-2.385	188	Vc5	2.385	1.640
45	P00	-1.680	2.385	93	SEG29	-2.385	-1.760	141	SEG77	1.680	-2.385	189	Vc4	2.385	1.720
46	VDD	-1.760	2.385	94	SEG30	-2.385	-1.840	142	SEG78	1.760	-2.385	190	Vc3	2.385	1.800
47	VSS	-1.840	2.385	95	SEG31	-2.385	-1.920	143	SEG79	1.840	-2.385	191	Vc2	2.385	1.880
48	COM0	-2.385	1.920	96	SEG32	-1.920	-2.385	144	SEG80	1.920	-2.385	192	Vc1	2.385	1.960

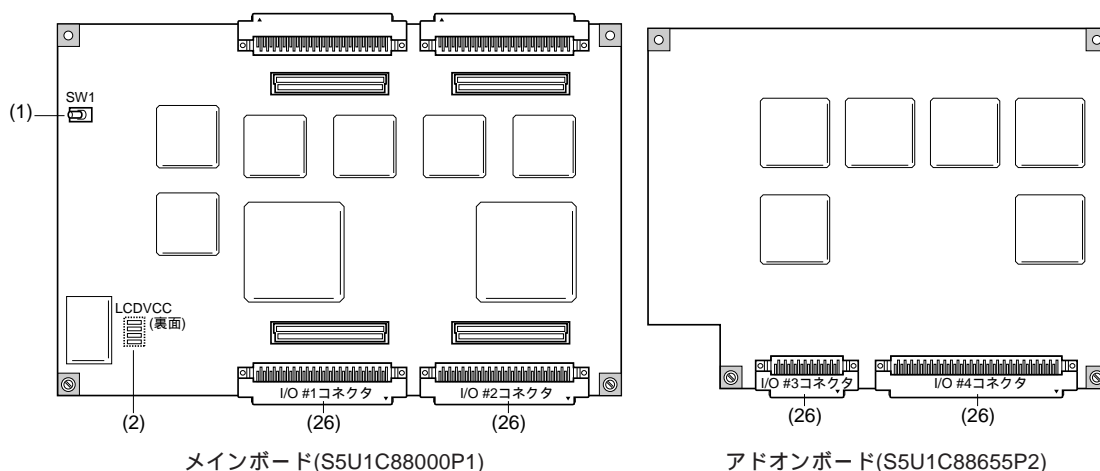
Appendix A S5U1C88000P1&S5U1C88655P2 Manual (Peripheral Circuit Board for S1C8F626)

ここでは、8-bit Single Chip Microcomputer S1C88 FamilyのデバッグツールであるICE (S5U1C88000H5) に装着してエミュレーション機能を提供するPeripheral Circuit Board for S1C8F626 (S5U1C88000P1& S5U1C88655P2)の使用方を説明します。

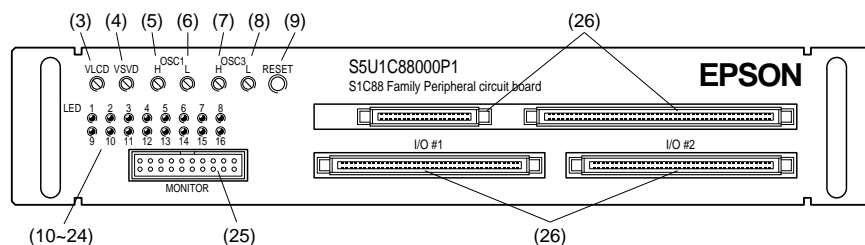
なお、本文はS1C88 Family Peripheral Circuit Board (S5U1C88000P1)にS1C8F626用回路データがダウンロードされているものについて適用されます。各機種用回路データのダウンロード方法についてはA.4項を、ボードの仕様についてはA.6項を参照してください。ICEの機能および操作などの詳細については、それぞれに用意されたマニュアルを参照してください。

A.1 各部の名称と機能

以下、S5U1C88000P1&S5U1C88655P2の各部の名称と機能について説明します。



図A.1.1 ボードレイアウト



図A.1.2 パネルレイアウト(S5U1C88000P1)

(1) SW1

回路データをダウンロードする場合は、"3"側に設定してください。それ以外の場合は、"1"側に設定してください。

(2) LCDVCC (S5U1C88000P1裏面)

表A.1.1に示すようにDIPスイッチ設定により、LCDドライバ用の内蔵電源(V_{C5})の電圧を変更することができます。なお、実ICの V_{C5} 電圧はこれと異なりますので、充分ご注意ください。

表A.1.1 LCDVCCの設定

LCDVCC				設定
1	2	3	4	
ON	OFF	OFF	ON	$V_{C5} = 6V$
OFF	ON	OFF	OFF	$V_{C5} = 5.75V$
OFF	OFF	ON	OFF	$V_{C5} = 5.5V$
OFF	OFF	OFF	ON	$V_{C5} = 5V$
その他の組み合わせ				設定禁止

* LCDコントラスト調整レジスタLC0～LC3が0FHの場合の電圧値です。また、本ボードにおける使用部品の特性上、最大±6%の誤差が見込まれます。

(3) VLCDボリューム

未使用

(4) VSVDボリューム

電源電圧検出(SVD)機能を確認するため、擬似的に電源電圧を変化させるボリュームです。("A.5.2 実際のICとの相違点"を参照してください。)

(5) OSC1 Hボリューム

未使用

(6) OSC1 Lボリューム

未使用

(7) OSC3 Hボリューム

OSC3にCR発振回路が選択されている場合に、発振周波数を大まかに調整します。

(8) OSC3 Lボリューム

OSC3にCR発振回路が選択されている場合に、発振周波数を微調整します。

(9) RESET

本ボードの回路をリセットし、ICEにリセット信号を与えます。

(10) LED 1, LED 2 (Reserved)

未使用

(11) LED 3 (CPUMOD)

CPUモードを示します。

点灯: マキシマムモード (CPUMODレジスタ="1")

消灯: ミニマムモード (CPUMODレジスタ="0")

(12) LED 4 (CLKCHG)

CPU動作クロックを示します。

点灯: OSC3 (CLKCHGレジスタ="1")

消灯: OSC1 (CLKCHGレジスタ="0")

(13) LED 5 (SOSC3)

OSC3発振回路の状態を示します。

点灯: OSC3発振ON (SOSC3レジスタ="1")

消灯: OSC3発振OFF (SOSC3レジスタ="0")

(14) LED 6 (SVDON)

SVD回路の状態を示します。

点灯: SVD回路ON (SVDONレジスタ="1")

消灯: SVD回路OFF (SVDONレジスタ="0")

(15) LED 7 (LCDC)

LCD回路の状態を示します。

点灯: LCD回路ON (LCDCレジスタ="00"以外)

消灯: LCD回路OFF (LCDCレジスタ="00")

(16) LED 8 (HLMOD)

重負荷保護モードの状態を示します。

点灯: 重負荷保護モード (HLMODレジスタ="1")

消灯: 通常モード (HLMODレジスタ="0")

(17) LED 9 (HALT/SLEEP)

CPUの動作状態を示します。

点灯: HALTまたはSLEEPモード

消灯: 通常動作モード

(18) LED 10 (VDSEL)

LCD系定電圧回路用電源として V_{DD} と V_{D2} のどちらが選択されているかを示します。

点灯: V_{D2} (VDSELレジスタ="1")

消灯: V_{DD} (VDSELレジスタ="0")

(19) LED 11 (DBON)

電源電圧昇圧回路の状態を示します。

点灯: 昇圧ON (DBONレジスタ="1")

消灯: 昇圧OFF (DBONレジスタ="0")

(20) LED 12 (SEGREV)

SEG出力対応反転の状態を示します。

点灯: 反転表示 (SEGREVレジスタ="1")

消灯: 通常表示 (SEGREVレジスタ="0")

(21) LED 13 (VDC)

動作モードを示します。

点灯: $V_{D1} = 2.5V$ (VDCレジスタ="1")

消灯: $V_{D1} = 1.8V$ (VDCレジスタ="0")

(22) LED 14 (OSC1動作クロック)

OSC1の動作クロックが接続されています。対応するモニタピン(14番ピン)をモニタすることで、OSC1が現在どのような周波数で発振を行っているかを確認することができます。

(23) LED 15 (OSC3動作クロック)

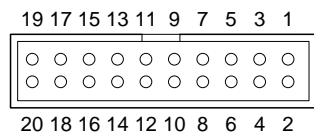
OSC3の動作クロックが接続されています。対応するモニタピン(15番ピン)をモニタすることで、OSC3が現在どのような周波数で発振を行っているかを確認することができます。

(24) LED 16 (FPGA Configuration)

S5U1C88000P1上のFPGAに回路データが書き込まれている状態で電源が投入されると点灯します。消灯している場合は、デバッグ前にFPGAデータの書き込みが必要です(データ書き込み後、電源を入れ直すと点灯します)。

(25) LED信号モニタ用コネクタ

前記LEDの信号をモニタするためのコネクタです。コネクタ端子より以下の信号が出力されます。LED信号は点灯時がHIGH、消灯時がLOWです。



図A.1.3 LED信号モニタ用コネクタ

- 3番ピン: LED 3 (CPUモード)
- 4番ピン: LED 4 (CPU動作クロック)
- 5番ピン: LED 5 (OSC3発振ON/OFF)
- 6番ピン: LED 6 (SVD回路ON/OFF)
- 7番ピン: LED 7 (LCD回路ON/OFF)
- 8番ピン: LED 8 (重負荷保護モードON/OFF)
- 9番ピン: LED 9 (HALT/SLEEP、RUN)
- 10番ピン: LED 10 (LCD系定電圧回路V_{D2}/V_{DD})
- 11番ピン: LED 11 (電源電圧昇圧回路ON/OFF)
- 12番ピン: LED 12 (SEG出力反転/通常)
- 13番ピン: LED 13 (動作モード選択/VDC)
- 14番ピン: LED 14 (OSC1動作クロック)
- 15番ピン: LED 15 (OSC3動作クロック)
- 19番ピン: OSC3 CR発振周波数モニタ

1、2、17、18および20番ピンは未使用です。

19番ピンはCR発振クロックが接続されています(水晶/セラミック発振の選択やSOSC3レジスタの設定にかかわらず、CR発振回路は常に動作しています)。CR発振周波数を微調整する場合のモニタ用端子として使用します。

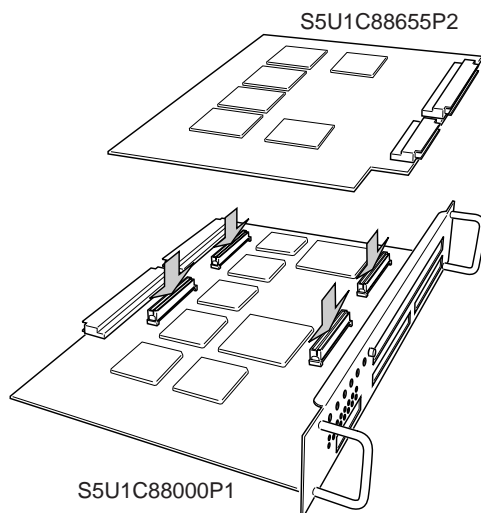
(26) I/O #1, I/O #2, I/O #3, I/O #4コネクタ

I/OおよびLCD接続用コネクタです。I/O接続ケーブル(80pin/40pin × 2 flat type、100pin/50pin × 2 flat type、40pin/20pin × 2 flat type)によってターゲットシステムと接続します。

A.2 装着方法

A.2.1 S5U1C88000P1への
S5U1C88655P2の装着

アドオンボード(S5U1C88655P2)のコネクタがメインボード(S5U1C88000P1)の前面パネル側になるようにして、4つのコネクタに差し込みます。

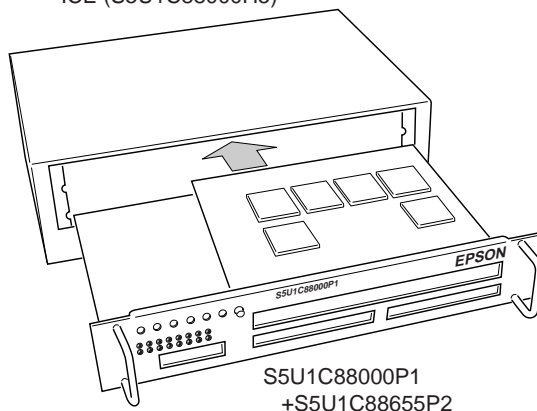


図A.2.1.1 S5U1C88000P1へのS5U1C88655P2の装着

A.2.2 ICE(S5U1C88000H5)
への装着

ICE(S5U1C88000H5)の下部ガイドレールに合わせ、S5U1C88000P1の先端が突き当たるまで挿入してください。

ICE (S5U1C88000H5)



図A.2.2.1 ICE(S5U1C88000H5)への装着

注: 装着の仕方が不十分ですと動作しない可能性がありますので、しっかりと装着してください。

A.3 ターゲットシステムとの接続

ここではS5U1C88000P1&S5U1C88655P2とターゲットシステムとの接続について説明します。

注: ケーブルの接続、切り離しは接続する機器すべての電源をOFFに行ってください。

ターゲットシステムは、前面パネルのI/O #1～I/O #4コネクタに添付のI/Oケーブル(80pin/40pin×2 flat type、100pin/50pin×2 flat type、40pin/20pin×2 flat type)を使用して接続します。

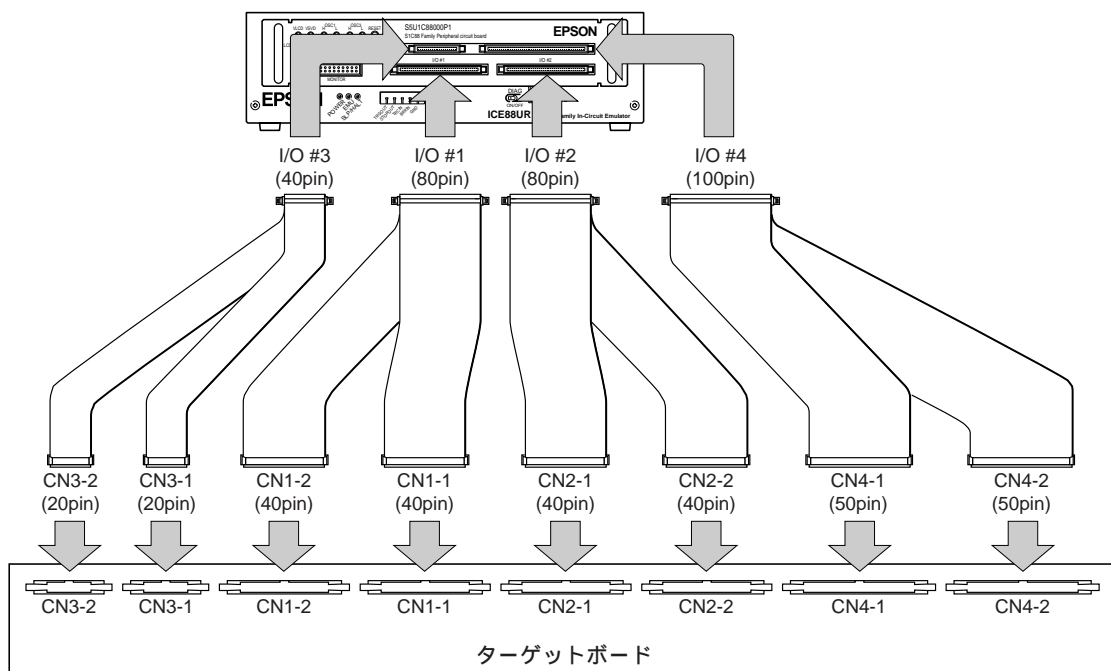
80pin、100pin、40pinをI/O #1～I/O #4コネクタに接続し、40pin×2、50pin×2、20pin×2をターゲットシステムに接続します。I/O #1、I/O #2、I/O #3には電源(VDD)が供給されていますので注意してください。

内蔵水晶発振回路の周波数は次のとおりです。

OSC1水晶発振選択時: 32.768kHz

OSC3水晶発振選択時: 4.9152MHz

OSC3にCR発振を選択した場合は、前面パネルのボリューム(OSC3HとOSC3L)で発振周波数を調整することができます。この場合は、モニタ用コネクタのOSC3 CR発振モニタピン(19番ピン)に周波数カウンタ等を接続し、値を確認しながら必要な周波数に設定してください。CR発振の初期周波数は不定のため、必ず使用前にOSC3 CR発振モニタピンで確認してください。



図A.3.1 ターゲットシステムとの接続

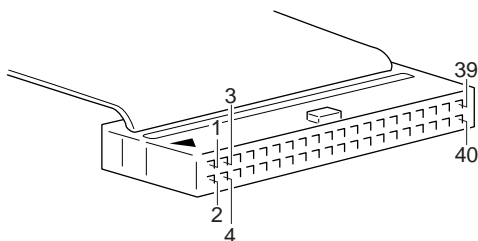
I/Oコネクタピン配置

表A.3.1 I/O #1コネクタ

40pin CN1-1		40pin CN1-2	
No.	端子名	No.	端子名
1	VDD (3.3V)	1	N.C.
2	VDD (3.3V)	2	N.C.
3	Vss	3	N.C.
4	Vss	4	N.C.
5	DMOD	5	N.C.
6	DTXD	6	N.C.
7	DRXD	7	N.C.
8	DCLK	8	N.C.
9	N.C.	9	N.C.
10	N.C.	10	N.C.
11	N.C.	11	N.C.
12	N.C.	12	N.C.
13	N.C.	13	N.C.
14	N.C.	14	N.C.
15	N.C.	15	N.C.
16	N.C.	16	N.C.
17	N.C.	17	N.C.
18	N.C.	18	N.C.
19	N.C.	19	N.C.
20	N.C.	20	N.C.
21	N.C.	21	N.C.
22	N.C.	22	N.C.
23	N.C.	23	N.C.
24	N.C.	24	N.C.
25	N.C.	25	COM0
26	N.C.	26	COM1
27	N.C.	27	COM2
28	N.C.	28	COM3
29	N.C.	29	COM4
30	N.C.	30	COM5
31	N.C.	31	COM6
32	N.C.	32	COM7
33	N.C.	33	COM8
34	N.C.	34	COM9
35	N.C.	35	COM10
36	N.C.	36	COM11
37	N.C.	37	COM12
38	N.C.	38	COM13
39	N.C.	39	COM14
40	N.C.	40	COM15

表A.3.2 I/O #2コネクタ

40pin CN2-1		40pin CN2-2	
No.	端子名	No.	端子名
1	VDD (3.3V)	1	SEG27
2	VDD (3.3V)	2	SEG28
3	Vss	3	SEG29
4	Vss	4	SEG30
5	RESET	5	SEG31
6	N.C.	6	SEG32
7	OSC1EX	7	SEG33
8	OSC3EX	8	SEG34
9	Vc1	9	SEG35
10	Vc2	10	SEG36
11	Vc3	11	SEG37
12	Vc4	12	SEG38
13	Vc5	13	SEG39
14	SEG0	14	SEG40
15	SEG1	15	SEG41
16	SEG2	16	SEG42
17	SEG3	17	SEG43
18	SEG4	18	SEG44
19	SEG5	19	SEG45
20	SEG6	20	SEG46
21	SEG7	21	SEG47
22	SEG8	22	SEG48
23	SEG9	23	SEG49
24	SEG10	24	SEG50
25	SEG11	25	SEG51
26	SEG12	26	SEG52
27	SEG13	27	SEG53
28	SEG14	28	SEG54
29	SEG15	29	SEG55
30	SEG16	30	SEG56
31	SEG17	31	SEG57
32	SEG18	32	SEG58
33	SEG19	33	SEG59
34	SEG20	34	SEG60
35	SEG21	35	SEG61
36	SEG22	36	SEG62
37	SEG23	37	SEG63
38	SEG24	38	SEG64
39	SEG25	39	SEG65
40	SEG26	40	SEG66



図A.3.2 CN1-1/CN1-2、CN2-1/CN2-2のピン配置

表A.3.3 I/O #3コネクタ

20pin CN3-1		20pin CN3-2	
No.	端子名	No.	端子名
1	K00	1	Vss
2	K01	2	Vss
3	K02	3	P00
4	K03	4	P01
5	K04/EXCL0	5	P02
6	K05/EXCL1	6	P03
7	K06/EXCL2	7	P04
8	K07/EXCL3	8	P05
9	N.C.	9	P06
10	N.C.	10	P07
11	N.C.	11	VDD (3.3V)
12	N.C.	12	VDD (3.3V)
13	P20/SIN1	13	P10/SIN0
14	P21/SOUT1	14	P11/SOUT0
15	P22/SCLK1	15	P12/SCLK0
16	P23/SRDY1	16	P13/SRDY0
17	P24	17	P14/TOUT0/TOUT1
18	P25	18	P15/TOUT2/TOUT3
19	P26	19	P16/FOUT
20	P27	20	P17/TOUT2/TOUT3

表A.3.4 I/O #4コネクタ

50pin CN4-1		50pin CN4-2	
No.	端子名	No.	端子名
1	SEG67	1	N.C.
2	SEG68	2	N.C.
3	SEG69	3	N.C.
4	SEG70	4	N.C.
5	SEG71	5	N.C.
6	SEG72	6	N.C.
7	SEG73	7	N.C.
8	SEG74	8	N.C.
9	SEG75	9	N.C.
10	SEG76	10	N.C.
11	SEG77	11	N.C.
12	SEG78	12	N.C.
13	SEG79	13	N.C.
14	SEG80	14	N.C.
15	SEG81	15	N.C.
16	SEG82	16	N.C.
17	SEG83	17	N.C.
18	SEG84	18	N.C.
19	SEG85	19	N.C.
20	SEG86	20	N.C.
21	SEG87	21	N.C.
22	SEG88	22	N.C.
23	SEG89	23	N.C.
24	SEG90	24	N.C.
25	SEG91	25	N.C.
26	SEG92	26	N.C.
27	SEG93	27	N.C.
28	SEG94	28	N.C.
29	SEG95	29	N.C.
30	N.C.	30	N.C.
31	N.C.	31	N.C.
32	N.C.	32	N.C.
33	N.C.	33	N.C.
34	N.C.	34	Vss
35	N.C.	35	COM16
36	N.C.	36	COM17
37	N.C.	37	COM18
38	N.C.	38	COM19
39	N.C.	39	COM20
40	N.C.	40	COM21
41	N.C.	41	COM22
42	N.C.	42	COM23
43	N.C.	43	COM24
44	N.C.	44	COM25
45	N.C.	45	COM26
46	N.C.	46	COM27
47	N.C.	47	COM28
48	N.C.	48	COM29
49	N.C.	49	COM30
50	N.C.	50	COM31

A.4 S5U1C88000P1への回路データのダウンロード

本ボード(S5U1C88000P1)は、工場出荷時に出荷検査回路が書き込まれておりますので、各機種に合わせた回路データをダウンロードしてください。以下に回路データのダウンロード方法を説明します。

- 1) 本ボード上のスイッチSW1*1を"3"側にセットします。
- 2) A.2.2の説明にしたがい、本ボードをICE (S5U1C88000H5)に挿入します。
- 3) ICEをホストPCと接続し、ホストPCの起動とICEの電源投入を行います。
- 4) ICEもしくはアセンブラパッケージに含まれるデバッグを起動します。ICEとデバッグの操作方法については、ICEに添付のマニュアルと、アセンブラパッケージに付属のマニュアルを参照してください。
- 5) 各機種に対応した回路データファイル(~.mcs)を本ボードにダウンロードします。デバッグのコマンドウィンドウから以下のように入力してください。

>XFER	(オールイレース)
>XFWR <file name>	(指定ファイルのダウンロード)*2
>XFCEP <file name>	(指定ファイルとダウンロードデータの比較)

- 6) デバッグを終了させ、ICEの電源を切ります。
- 7) 本ボードを一旦ICEから引き出し、ボード上のスイッチSW1を"1"側に戻します。
- 8) 本ボードを再度ICEに挿入します。
- 9) ICEの電源を再投入し、デバッグを起動し直して使用してください。

*1 SW1の位置については、図A.1.1の"ボードレイアウト"を参照してください。

*2 ダウンロードは5分程度かかります。

A.5 使用上の注意

S5U1C88000P1&S5U1C88655P2を正しく使用していただくために、以下の事項に注意してください。

A.5.1 操作上の注意事項

- (1) ケーブルの接続、切り離しは接続する機器すべての電源をOFFにした状態で行ってください。
- (2) デバッグは、必ずマスクオプションデータをロードしてから行ってください。

A.5.2 実際のICとの相違点

実際のICとは機能、特性上、以下の相違がありますので注意が必要です。これらについて考慮を怠った場合、S5U1C88000P1&S5U1C88655P2を装着したICEでは動作しても実ICで動作しない場合があります。

(1) I/Oについての相違

インタフェース電源

本ボードとターゲットシステムのインタフェース電圧は+3.3Vに固定されています。このため、実際のICと同一のインタフェース電圧が必要な場合は、ターゲットシステム側においてレベルシフタ回路などを付加して対応してください。

各出力ポートの駆動能力

本ボードにおける各出力ポートの駆動能力は、実際のICに比べて高くなっていますので、"9電気的特性"を参照し、各出力端子の駆動能力を確認した上で、システムおよびソフトウェアの設計を行ってください。

各入力ポートの特性

入力割り込み等を使用する場合、入力端子のAC特性が実ICと異なりますので、立ち上がり/立ち下がり時間が遅い場合には、必ず実ICで動作確認を行ってください。

各ポートの保護ダイオード

すべてのI/Oポートには保護用ダイオードがVDDとVSSに対して入っており、ターゲットシステムとのインタフェース信号は+3.3Vに固定されます。このため、出力ポートをオープンドレインに設定し、VDDを超える電圧レベルとのインタフェースをとることはできません。

プルアップ抵抗値

本ボードにおいて、プルアップ抵抗値は300kΩに固定されていますが、実際のICと抵抗値が異なります。実際のICにおける抵抗値は、"9 電気的特性"を参照して確認してください。

なお、プルアップ抵抗を使用して入力端子をHighレベルに引き上げる場合などにおいて、Highレベル確定までの時間に相違が生じます。たとえば、出力ポートと入力ポートを組み合わせてキーマトリクス回路を構成した場合は、入力ポートの立ち上がりディレイに相違が発生しますので十分な注意が必要です。

(2) 消費電流についての相違

本ボードの消費電流は実際のICと大きく異なります。S5U1C88000P1前面パネルのLEDを確認することで、おおよその消費電流を把握することができます。なお、消費電流に大きく影響をおよぼすものとして以下のようなものがあげられます。

LED、モニタピンなどで確認が可能なもの

- a) RunとHaltの実行比率
(ICEのモニタピン、LEDによる)
- b) CPU動作クロック切り換え
(LED4: モニタ4番ピン)
- c) OSC3発振On/Off
(LED5: モニタ5番ピン)
- d) SVD回路連続On/Off制御
(LED6: モニタ6番ピン)
- e) LCD電源制御
(LED7: モニタ7番ピン)
- f) 重負荷保護モード
(LED8: モニタ8番ピン)
- g) SLEEPとHALTの実行比率
(LED9: モニタ9番ピン)
- h) LCD系定電圧回路電源選択
(LED10: モニタ10番ピン)
- i) 電源電圧昇圧回路
(LED11: モニタ11番ピン)
- j) 動作モード選択
(LED13: モニタ13番ピン)
- k) OSC1動作クロック
(LED14: モニタ14番ピン)
- l) OSC3動作クロック
(LED15: モニタ15番ピン)

システム、ソフトウェア上注意するしかないもの

- m) 内蔵プルアップ抵抗により消費される電流
- n) 入力ポートがフローティング状態

(3) 機能上の相違

LCD回路

- LCD端子(SEG、COM)の駆動能力および出力電圧は実際のICと異なりますので、十分な注意が必要です。LCDのコントラストについては、調整可能となるようにシステムおよびソフトウェアを設計してください。また、S5U1C88000P1ボード裏面スイッチによりLCD駆動電圧を切り換えることが可能です。("A.1 各部の名称と機能"参照)
- LCDC0およびLCDC1レジスタが共に"0"(LCD電源制御回路がOFF)の場合、実ICではSEG、COM端子の出力レベルはV_{SS}レベルに固定されますが、本ボードにおいてはCOM端子はV_{C4}となり、SEG端子はV_{C3}になります。
- ドットフォント12×12には対応しておりません。16×16/5×8ドットフォント固定となります。(DTFNTビットの書き込み、読み出しは可能です。)
- SEG出力反転表示に対応していません。モニタLED12の点灯で表示状態を判断してください。(SEGREVビットの書き込み、読み出しは可能です。)
- 1/16(1/8)デューティで使用時に表示メモリ領域を切り換えると(DSPAR="1")、実ICではCOM0～15までしか出力されませんが、本ボードではCOM16～31にもCOM0～15と同一の波形が出力されてしまいます。そのため、COM16～31をLCDパネルに接続している場合、LCDパネルは同一内容を2段表示します。

SVD回路

- SVD機能は、S5U1C88000P1前面パネルのVSVDボリュームにより、擬似的に電源電圧を変化させることにより行います。
- SVD回路の電源をONしてから実際に電圧を検出するまでに遅延時間が発生します。本ボードの遅延時間は実際のICと異なりますので、"9 電気的特性"を参照して、ソフトウェアにより適切な待ち時間を設定してください。
- 本ボードで設定できる比較電圧は実際のICと異なります。本ボードでSVD回路のデバックを行うときはレベル的な比較としてください。

発振回路

- OSC1水晶発振回路の発振周波数は32.768kHzに固定されています。
- OSC3水晶発振回路の発振周波数は4.9152MHzに固定されています。
- OSC3 CR発振回路の発振周波数は、S5U1C88000P1前面パネルのボリュームにより約100kHz～8MHzの範囲で調整できます。ただし、実ICの動作範囲はこれとは異なりますので、“9 電氣的特性”を参照して実ICが動作可能な周波数に設定してください。
- OSC3セラミック発振回路は内蔵していません。セラミック発振回路オプションを選択した場合は、代わりに水晶発振回路が選択されるようになっています。
- 外部クロック入力を使用する場合は、振幅を $3.3V \pm 5\%$ 、デューティを $50\% \pm 10\%$ 以内に調整し、VssをGNDとしてOSC1、OSC3端子から入力してください。
- 本ボードではOSC3発振制御回路をON(SOSC3="1")した後、待ち時間を取らずにCPUクロックをOSC3に切り換えても(CLKCHG="1")動作してしまいます。実ICでは発振ON後、クロックを切り換える前に発振安定待ち時間が必要ですので、“9 電氣的特性”を参照の上、適切な待ち時間を設定してください。
- OSC3からOSC1へのクロック切り換えと、OSC3回路の発振停止は別の命令で行ってください。ひとつの命令で同時に処理すると、本ボードで動作しても、実際のICで動作しない場合があります。
- 本ボードにはOSC1とOSC3用の発振回路が内蔵されています。実ICにおいてOSC3の発振子を接続しない場合でも、OSC3クロックによる動作が可能になりますので、注意してください。
- ロジックレベルが高いため発振開始や停止時間などのタイミングが異なります。

未使用アドレスへのアクセス

S1C8F626内蔵のROM/RAM、I/O空間の未定義領域に対して読み出し/書き込みを行った場合、その値は不定となります。

また、S5U1C88000P1&S5U1C88655P2と実際のICでは、不定となる状態が異なりますので充分注意してください。

リセット回路

本ボードを組み込んだICEに電源を投入してからプログラムが動作するまでのシーケンスは、実際のICと異なりますので注意してください。本ボードでは、オプションデータのロード、ユーザプログラムのロードを行ってからデバッグシステムとしての動作が可能になります。

内部電源回路

LCDの駆動電圧は実際のICと異なります。

入力インタフェースレベル

実ICでは、ソフトウェアでK00～K07、P10～P17、P20～P27ポートの入力インタフェースレベルをCMOSレベルにするか、CMOSシュミットレベルにするか選択できますが、本ボード上ではどちらを選択してもCMOSレベル固定となります。

(4) 各機種対応における注意事項

パラメータファイル

本ボードを組み込んだICEは、パーソナルコンピュータ上のデバッグを起動した際に、機種ごとに提供されるパラメータファイル(8F626.par)にしたがってROM、RAM、I/O空間がその機種用に設定されます。

お客さまは、実際に使用するROM、RAM空間に合わせてこのパラメータファイルを変更することができますが、以下の領域以外は設定しないでください。

ROM領域: 0000H～BFFFFH
10000H～3FFFFH
RAM領域: D800H～F7FFH
スタック領域: D800H～F7FFH

アクセス禁止領域

S1C8F626の開発で本ボードを使用する場合は、I/OメモリのアドレスFF16H、FF90H～FFADHに対しては絶対に読み出しや書き込みをしないでください。

また、アドレスFF17HのD4ビットについては、書き込み時に初期値を変更しないように注意してください。

A.6 製品の仕様

A.6.1 S5U1C88000P1の仕様

S5U1C88000P1

寸法(mm): 247.5(横) × 165(奥行き) × 44.6(高さ)
 重量: 約500g
 電源: DC5V ± 5%、1A以下
 (ICE本体より供給)

I/O接続ケーブル(80pin/40pin × 2, 2本)

本機側コネクタ(80pin):
 KEL 8830E-080-170L、または相当品
 ケーブル側コネクタ(80pin):
 KEL 8822E-080-171 × 1
 ケーブル側コネクタ(40pin):
 3M 7940-6500SC × 2
 ケーブル:
 40芯フラットケーブル × 2
 インタフェース:
 CMOSインタフェース(3.3V)
 長さ: 約40cm

モニタ端子用ケーブル

本機側コネクタ:
 3M 7610-5002SC、または相当品
 ケーブル側コネクタ(10pin):
 3M 7910-6500SC × 1
 インタフェース:
 CMOSインタフェース(3.3V)
 長さ: 約40cm

付属品

ターゲットシステム接続コネクタ(40pin):
 3M 3432-6002LCSC × 4

A.6.2 S5U1C88655P2の仕様

S5U1C88655P2

寸法(mm): 184(横) × 152(奥行き) × 17(高さ)

I/O接続ケーブル(100pin/50pin × 2)

本機側コネクタ(100pin):
 KEL 8830E-100-170L
 ケーブル側コネクタ(100pin):
 KEL 8822E-100-170L × 1
 ケーブル側コネクタ(50pin):
 コネクタ 3M 7950-B500SC × 2
 ストレインリリーフ 3M 3448-7950 × 2
 ケーブル:
 50芯フラットケーブル × 1
 インタフェース:
 CMOSインタフェース(3.3V)
 長さ: 約40cm

I/O接続ケーブル(40pin/20pin × 2)

本機側コネクタ(40pin):
 KEL 8830E-040-170L
 ケーブル側コネクタ(40pin):
 KEL 8822E-040-170L × 1
 ケーブル側コネクタ(20pin):
 コネクタ 3M 7920-B500SC × 2
 ストレインリリーフ 3M 3448-7920 × 2
 ケーブル:
 20芯フラットケーブル × 1
 インタフェース:
 CMOSインタフェース(3.3V)
 長さ: 約40cm

付属品

ターゲットシステム接続コネクタ(50pin):
 3M 3433-6002LCSC × 2
 ターゲットシステム接続コネクタ(20pin):
 3M 3428-6002LCSC × 2

Appendix B 漢字フォントの使用について

S1C8F626で漢字フォントをLCDに表示させるためには、S5U1C88000R1(12×12 dot RIS 506 kanji font package)を使用します。

このパッケージは、日本レコード協会規格 RIS 506-1996に記載されているミュージックシフトJIS漢字に準拠した文字符号の12×12ドットサイズフォント(セイコーエプソンオリジナルデザイン^{注1})を、S1C88 Familyのプログラムに組み込む形式のデータで提供するものです。また、これらのフォントデータをLCDに表示するためのS1C88 Familyマイコン上で動作するサンプルプログラムおよびそのアプリケーションノート、お客さまがカスタムフォントデータを作成するときにご利用いただけるビットマップユーティリティが含まれています。

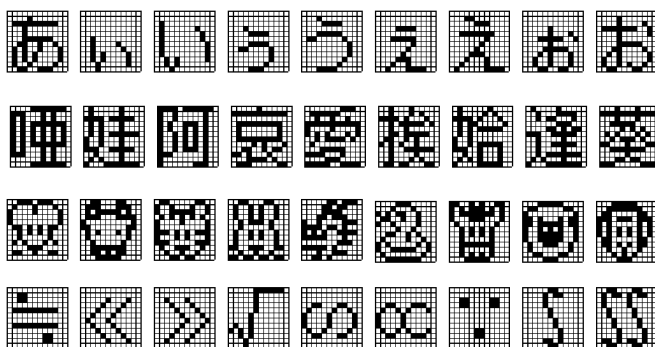
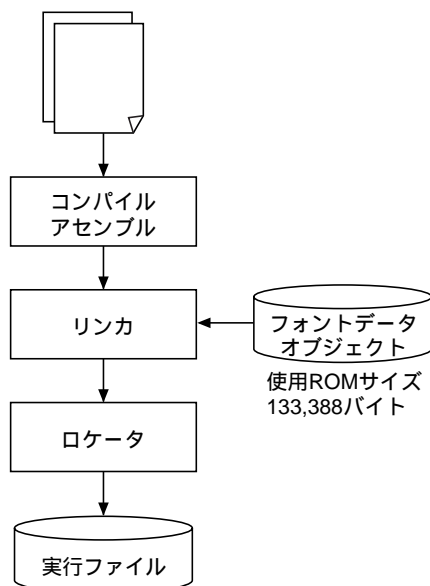
漢字フォントデータはS1C88 Familyのプログラムに組み込むように、オブジェクトファイル形式(拡張子 *.obj、アセンブラの出力ファイル)で提供され、お客さまが作成したアプリケーションプログラムにこのオブジェクトファイルをリンクすることで漢字フォントデータを簡単に使用することができます^{注2}。

詳細は、"S5U1C88000R1 Manual"を参照してください。

注 1 パッケージに含まれる漢字フォントデータおよびマニュアルに記載の書体を利用するためには、あらかじめ弊社と書体使用許諾に関する契約を締結する必要があります。

2 キャラクタコードからフォントデータの取得、LCDへの表示等のプログラムはお客さまが作成する必要があります。

ユーザ開発プログラム



抜粋した漢字フォントの書体です。

Appendix C PROMプログラミング

C.1 PROMプログラミングツールの概要

S1C8F626内蔵Flash EEPROMのプログラミングには、以下のいずれかのツールを使用します。どちらも小型軽量な上に、マイコン用電源のみで駆動が可能なため、手軽にPROMオンボードプログラミング環境を構築できます。

USBインタフェース版

- USB-Serial On Board Writer(製品名: S5U1C88000W4)
- On Board Writerコントロールソフトウェア(OBPW88.EXE、RW8F626.INI)
- USB-Serial変換ドライバ

動作電圧: 3.3V \pm 0.3V(ターゲットの動作電源電圧と兼用)

PCとのインタフェース: USB Ver. 1.1

注! 外部USBハブを用いて本ボードを接続する場合は、外部電源で駆動可能なUSBハブを使用し、外部電源を入力して使用してください。

RS-232Cインタフェース版

- On Board Writer(製品名: S5U1C88000W3)
- On Board Writerコントロールソフトウェア(OBPW88.EXE、RW8F626.INI)

動作電圧: 3.3V \pm 0.3V(ターゲットの動作電源電圧と兼用)

PCとのインタフェース: EIA-RS-232C

On Board WriterコントロールソフトウェアとUSB-Serial変換ドライバは、S1C88 Family統合ツールパッケージ(S5U1C88000C1)Ver. 6以降に含まれています。

On Board Writerコントロールソフトウェア(OBPW88.EXE、RW8F626.INI)は、USBインタフェース版とRS-232Cインタフェース版のどちらにも使用可能です。

C.2 PROMプログラミングの方法

C.2.1 PROMプログラミングシステム環境

ホストコンピュータとして下記のパーソナルコンピュータシステム、専用のPROM書き込みツールおよびS1C8F626に書き込むためのデータを用意してください。

(1) パーソナルコンピュータ

- IBM-PC/ATまたは互換機で、USBポートもしくはRS-232Cポートを備えたもの

(2) OS

- 日本語版/英語版Windows 2000/XP

(3) PROM書き込みツール

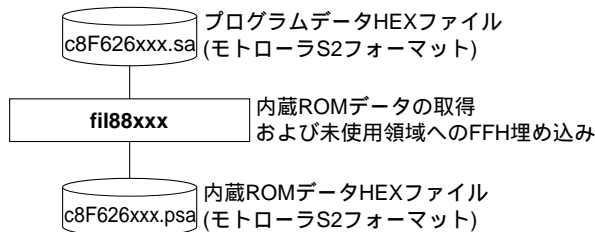
- S5U1C88000W4(USBインタフェース版)パッケージ
またはS5U1C88000W3(RS-232Cインタフェース版)パッケージ
- On Board Writerコントロールソフトウェア(OBPW88.EXE, RW8F626.INI)
- USB-Serial変換ドライバ(USBインタフェース版使用時のみ必要)

On Board WriterコントロールソフトウェアとUSB-Serial変換ドライバは、S1C88 Family統合ツールパッケージ(S5U1C88000C1)Ver. 6以降に含まれています。

(4) ユーザデータ(ROMデータHEXファイル)

FIL88xxxを実行し、プログラムデータHEXファイル(C8F626xxx.SA)から内蔵ROMデータHEXファイル(C8F626xxx.PSA)を作成します。

FIL88xxxの詳細については、S5U1C88000Cマニュアルを参照してください。

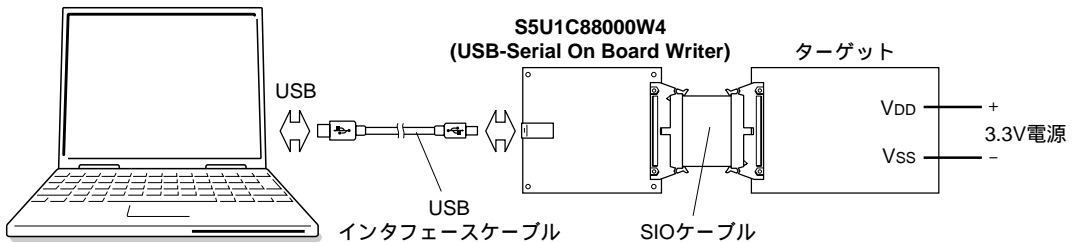


図C.2.1.1 FIL88xxxの実行フロー

C.2.2 PROMプログラミングシステムの接続

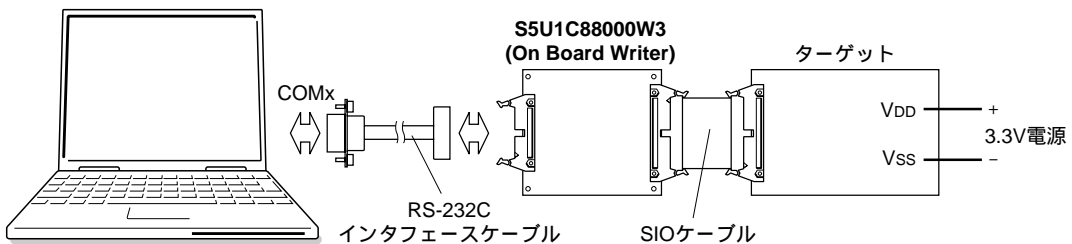
以下に、PCとUSB-Serial On Board Writer(S5U1C88000W4)またはOn Board Writer(S5U1C88000W3) およびターゲットの接続図を示します。

USBインタフェース版[USB-Serial On Board Writer(S5U1C88000W4)]使用時



図C.2.2.1 PROMプログラミングシステム接続図 (USB)

RS-232Cインタフェース版[On Board Writer(S5U1C88000W3)]使用時



図C.2.2.2 PROMプログラミングシステム接続図 (RS-232C)

システムの接続は以下の手順に従って行います。

- (1) パーソナルコンピュータの電源がOFFになっているかを確認します。
- (2) 上図に示したとおり、USB-Serial On Board Writer(S5U1C88000W4)またはOn Board Writer (S5U1C88000W3) を、それぞれに付属のインタフェースケーブルでPCに接続します。

注! ・ On Board Writer(S5U1C88000W3) の脱着はパーソナルコンピュータの電源がOFFの状態で行ってください。USB-Serial On Board Writer(S5U1C88000W4) の接続は、PCの電源投入後でもかまいません。

- ・ RS-232Cケーブルはコネクタ付属のビスでしっかり固定してください。接続が不十分ですと誤動作の原因になります。

C.2.3 PROMプログラミング手順

(1) システムの接続

"C.2.2 PROMプログラミングシステムの接続"に示したとおり、システムを接続します。

(2) 電源の投入

パーソナルコンピュータの電源を投入します。

(3) シリアルポートの割り付け確認 (On Board Writerの場合のみ)

パーソナルコンピュータのシリアルポートの割り付けを確認します。

On Board Writerの初期設定はCOM1です。

(4) USB-Serial変換ドライバのインストール (USB-Serial On Board Writerの場合のみ)

USB-Serial On Board Writer(S5U1C88000W4)を初めてPCに接続した場合は、PCの画面上にドライバインストール用のダイアログが表示されますので、その指示に従ってドライバをインストールします。USB-Serial変換ドライバは、S1C88 Family統合ツールパッケージ(S5U1C88000C1 Ver. 6以降)のインストール時に"¥EPSON¥S1C88¥writer¥driver"内にコピーされますので、このフォルダを指定してドライバをインストールしてください。

(5) シリアルポートの割り付け確認 (USB-Serial On Board Writerの場合のみ)

Windowsの[コントロールパネル] [システム] [ハードウェア]タブ [デバイスマネージャ]にて、USB-Serialポートが割り当てられているCOMポートを確認します。

USBインタフェース版では、USB-Serial変換ドライバによって論理的なCOMポートを物理的なUSBポートに割り当て、COMポートの入出力をUSBインタフェースの入出力に変換します。これにより、On Board WriterコントロールソフトウェアはUSBポートに割り当てられたCOMポートを介し、USBで接続されたUSB-Serial On Board Writerを制御することができます。

(6) On Board Writerコントロールソフトウェアの準備

On Board Writerコントロールソフトウェアは、S1C88 Family統合ツールパッケージ(S5U1C88000C1 Ver. 6以降)のインストール時に"¥EPSON¥S1C88¥writer¥OBPW"内にコピーされます。他のフォルダで使用する場合は、以下の2つのファイルをOBPWフォルダからコピーしてください。

- ・ OBPW88.EXE
- ・ RW8F626.INI

(7) ターゲットとUSB-Serial On Board Writer、またはOn Board Writerの接続

図C.2.2.1/C.2.2.2のように、ターゲットとUSB-Serial On Board Writer(S5U1C88000W4)またはOn Board Writer(S5U1C88000W3)を付属のSIOケーブルで接続します。

(8) PROMプログラミング用電源の接続

PROMプログラミング用電源(3.3V)をターゲットボードに接続します。

注! ・ ターゲットにPROMプログラミング用電源以外の電源が接続されている場合はOFFしてください。

- ・ PROMプログラミングは電源電圧3.3Vで行いますので、ターゲット上の各部品の定格電圧には十分注意してください。

(9) PROMプログラミング用電源の投入

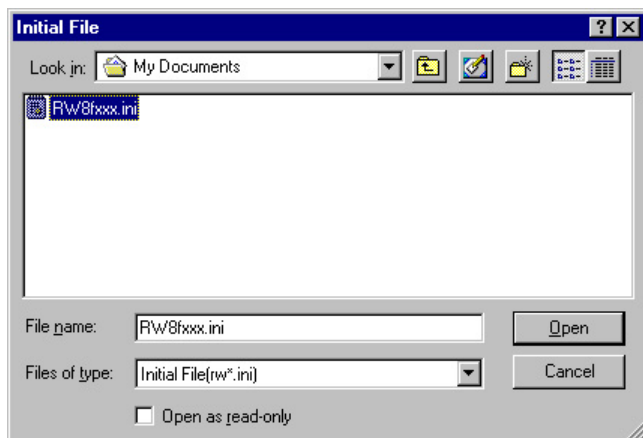
PROMプログラミング用電源を投入します。これにより、SIOケーブルを通してUSB-Serial On Board Writer(S5U1C88000W4)またはOn Board Writer(S5U1C88000W3)にも電源が供給されます。

(10) On Board Writerコントロールソフトウェアの起動

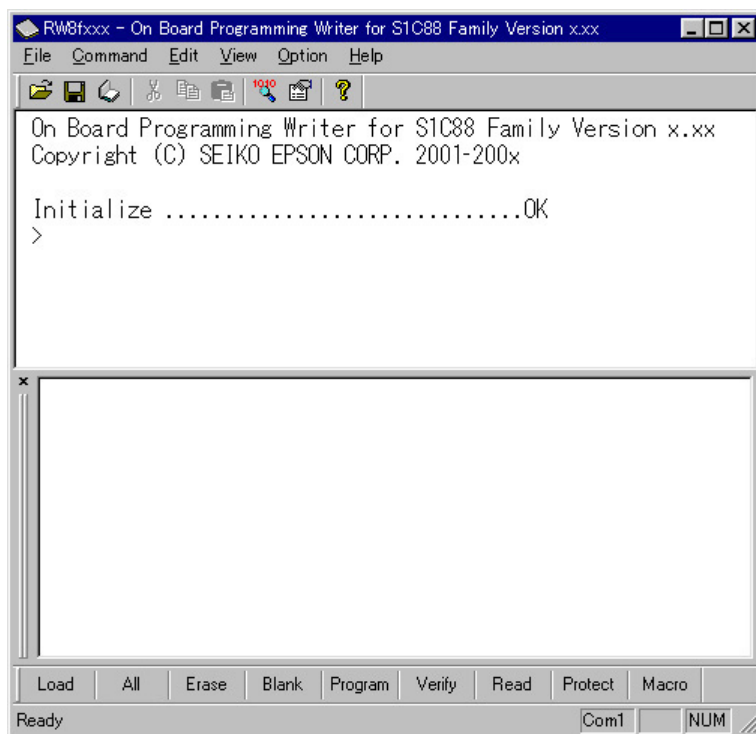


OBPW88.EXEアイコンをダブルクリックします。

On Board Writer コントロールソフトウェアが起動すると[Initial File] ダイアログボックスが表示されます。



マイコンの機種名と同じイニシャルファイルを選択してください。
RWxxxxx.ini xxxxx: マイコン機種名(S1C8F626の場合、8f626)
以上の操作により次のウィンドウが表示されます。



コマンド
ウィンドウ

アウトプット
ウィンドウ

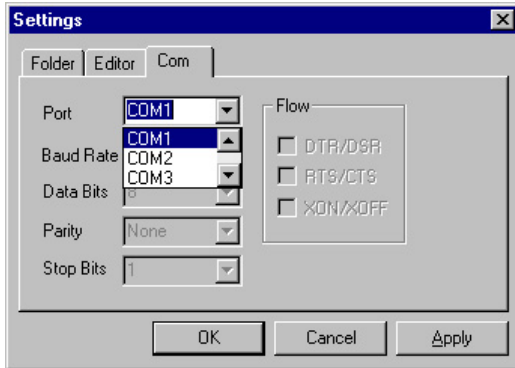
(11) シリアルポートの選択

[Setting]ボタンをクリック(または、[Option]メニュー内の[Setting]を選択)すると、[Settings]ダイアログボックスが表示されます。



[Setting]ボタン

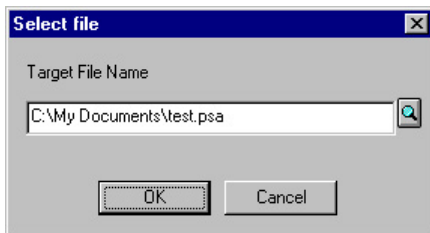
[Com]タブをクリックして下記の画面を表示させます。USB-Serial On Board Writer(USBインタフェース版)を使用する場合は、上記(5)で確認したCOMポートを選択します。On Board Writer(RS-232Cインタフェース版)を使用する場合は、RS-232Cケーブルを接続したCOMポートを選択します。



(12) ユーザデータのロード

[Load]ボタンをクリック(または、[Command]メニューから[Load]を選択)すると、[Select file]ダイアログボックスが表示されます。

Load [Load]ボタン



[Browse]ボタンを使用してPSAファイルを選択した後、[OK]ボタンをクリックしてください。



[Browse]ボタン

データが正常にロードされると、"Complete"がアウトプットウィンドウに表示されます。

(13) PROMの消去

[Erase]ボタンをクリック(または、[Command]メニューの[Erase]を選択)すると、インフォメーションダイアログが表示されます。[OK]ボタンをクリックすると、PROMの消去を開始します。

Erase [Erase]ボタン

PROMが正常に消去されると、"Complete"がアウトプットウィンドウに表示されます。

注! ・ 工場出荷時のPROMには出荷検査用のデータが書き込まれていますので、初期化のため実行してください。

- ・ 工場出荷時に弊社にてお客さまのデータを書き込んだPROMにはリードプロテクト処理がされています。"PROMの消去"を実行すると、PROMの内容が消去された後、リードプロテクトが解除されます。

(14) 消去のチェック

[Blank]ボタンをクリック(または、[Command]メニューから[Blank Check]を選択)すると、消去チェックを開始します。

Blank [Blank]ボタン

正常に消去チェックが終了すると、"Complete"がアウトプットウィンドウに表示されます。

(15) ユーザデータの書き込み

[Program]ボタンをクリック(または、[Command]メニューから[Program]を選択)すると、インフォメーションダイアログが表示されます。[OK]ボタンをクリックするとPROMの書き込みを開始します。

Program [Program]ボタン

正常に書き込みが終了すると、"Complete"がアウトプットウィンドウに表示されます。

注! 処理中に他のアプリケーションを前面にすると、通信エラーが発生することがあります。

(16) ユーザデータのベリファイ

[Verify]ボタンをクリック(または、[Command]メニューから[Verify]を選択)すると、ベリファイ処理を開始します。

Verify [Verify]ボタン

エラーがない場合、"Complete"がアウトプットウィンドウに表示されます。

(17) PROMプログラミング用電源OFF

ターゲットのPROMプログラミング用電源をOFFにします。

(18) ターゲットの取り外し

書き込みが正常に終了したことを確認後、ターゲットを取り外します。

注! ターゲットの脱着はPROMプログラミング用電源をOFFにした状態で行ってください。

(19) On Board Writerコントロールソフトウェアの終了

On Board Writerコントロールウィンドウ上の[File]メニューから[Exit]を選択、またはクローズボックスをクリックすると終了します。

なお、続けて書き込みを行う場合は、手順(12)~(18)を繰り返し行ってください。

(20) 電源OFF

パーソナルコンピュータの電源をOFFにします。

ステップ(13)~(15)は[All]ボタンで実行することも可能です。

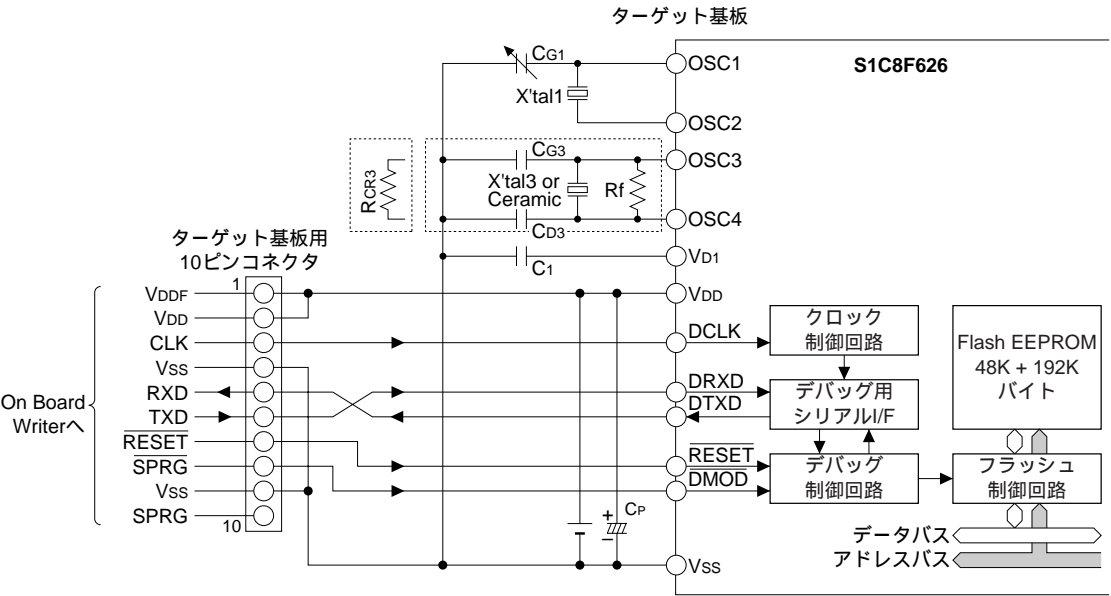
All [All]ボタン

また、PROMの消去、消去チェック、書き込み、ベリファイはコマンドのキー入力によりアドレス範囲を指定して実行することもできます。コマンドの詳細については"C.2.5.3 操作方法"を参照してください。

C.2.4 PROMプログラミング結線図

以下に、ターゲット上の結線図と信号の仕様を示します。

USBインタフェース版: USB-Serial On Board Writer(S5U1C88000W4)使用時



図C.2.4.1 オンボードプログラミング結線図(USBインタフェース版)

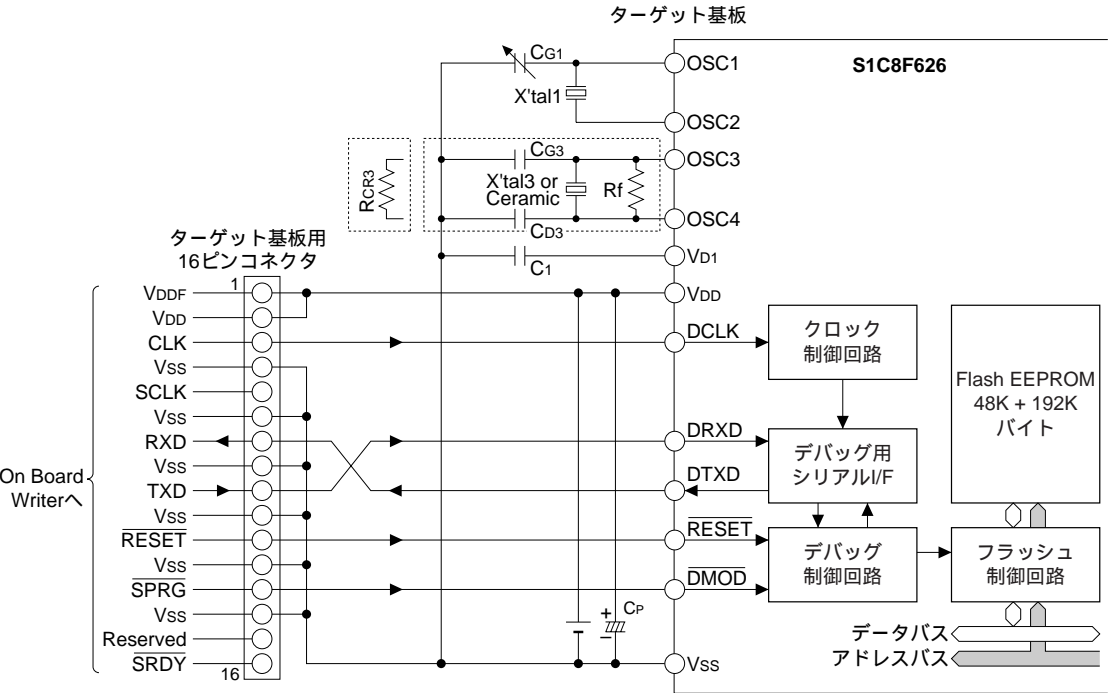
表C.2.4.1 信号仕様(USBインタフェース版)

コネクタピン番号	信号名	機能	マイコンの接続先
1	VDDF	プログラミング電源端子	VDD端子
2	VDD	電源端子	VDD端子
3	CLK	システムクロック出力	DCLK端子
4	VSS	GND端子	Vss端子
5	RXD	シリアルI/Fデータ入力	DTXD端子
6	TXD	シリアルI/Fデータ出力	DRXD端子
7	RESET	イニシャルリセット出力	RESET端子
8	SPRG	プログラミングモード設定出力(負極性機種用)	DMOD端子
9	VSS	GND端子	Vss端子
10	SPRG	プログラミングモード設定出力(正極性機種用)	N.C.

表C.2.4.2 On Board Writer接続用コネクタ部品(USBインタフェース版)

名称	型名
ボックスヘッダ(オス) [ターゲット側]	3662-6002LCPL(3M) または相当品
ソケットコネクタ(メス) [SIOケーブル側]	ソケットコネクタ部 7910-B500FL(3M) ストレーンリリーフ部 3448-7910(3M) または相当品

RS-232Cインタフェース版: On Board Writer(S5U1C88000W3)使用時



図C.2.4.2 オンボードプログラミング結線図(RS-232Cインタフェース版)

表C.2.4.3 信号仕様(RS-232Cインタフェース版)

コネクタピン番号	信号名	機能	マイコンの接続先
1	VDDF	プログラミング電源端子	VDD端子
2	VDD	電源端子	VDD端子
3	CLK	システムクロック出力	DCLK端子
5	SCLK	予約端子	N.C.
7	RXD	シリアルI/Fデータ入力	DTXD端子
9	TXD	シリアルI/Fデータ出力	DRXD端子
11	RESET	イニシャルリセット出力	RESET端子
13	SPRG	プログラミングモード設定出力(負極性機種用)	DMOD端子
15	SPRG	プログラミングモード設定出力(正極性機種用)	N.C.
16	SRDY	予約端子	N.C.
4, 6, 8, 10, 12, 14	VSS	GND端子	VSS端子

表C.2.4.4 On Board Writer接続用コネクタ部品(RS-232Cインタフェース版)

名称	型名
ボックスヘッダ(オス) [ターゲット側]	3408-6002LCFL(3M) または相当品
ソケットコネクタ(メス) [SIOケーブル側]	ソケットコネクタ部 7916-B500FL(3M) ストレインリリーフ部 3448-7916(3M) または相当品

- 注! ・ On Board Writerの電源(3.3V)はターゲット側より供給しますので、PROMプログラミング時は3.3V電源を用意してください。
- ・ PROMプログラミングは電源電圧3.3Vで行いますので、ターゲット上の各部品の定格電圧には十分注意してください。

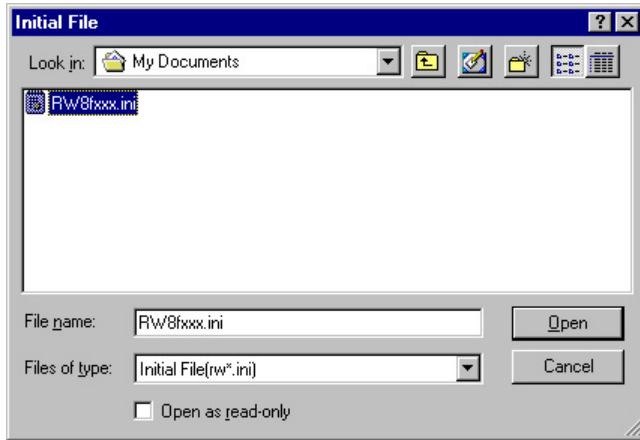
C.2.5 On Board Writerコントロールソフトウェア

C.2.5.1 起動方法



オンボードライタを起動するには、OBPW88.EXEのアイコンをダブルクリックします。

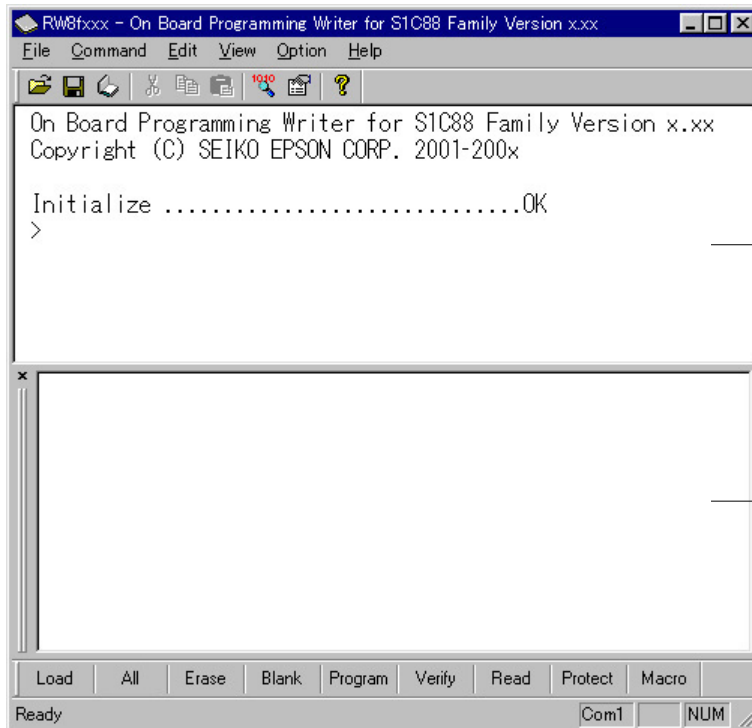
オンボードライタソフトウェアが起動すると、次のファイルダイアログが表示されます。



マイコンの機種名と同じイニシャルファイルを選択してください。

RWxxxxx.ini xxxxx: マイコン機種名(S1C8F626の場合、 8f626)

以上の操作により次のウィンドウが表示されます。



コマンドウィンドウ
コマンドをキー入力できます。

アウトプットウィンドウ
結果が表示されます。

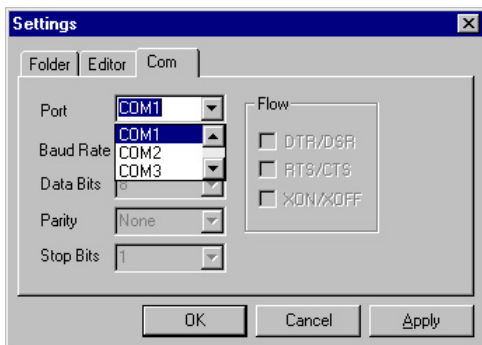
C.2.5.2 設定

[Setting]ボタンをクリック(または、[Option]メニューから[Setting]を選択)すると、[Settings]ダイアログボックスが表示されます。

 [Setting]ボタン

シリアルポートの選択([Com]タブ)

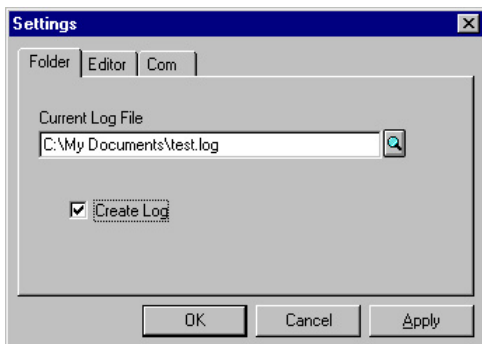
USB-Serial On Board Writer(USBインタフェース版)を使用する場合は、USB-Serialポートが割り付けられているCOMポートを選択します(C.2.3の 5 を参照)。On Board Writer(RS-232Cインタフェース版)を使用する場合は、RS-232Cケーブルを接続したCOMポートを選択します。



ログファイルの設定([Folder]タブ)

実行結果をログファイルに残す場合は保存先ファイル名を設定し、[Create Log]チェックボックスをチェックします。

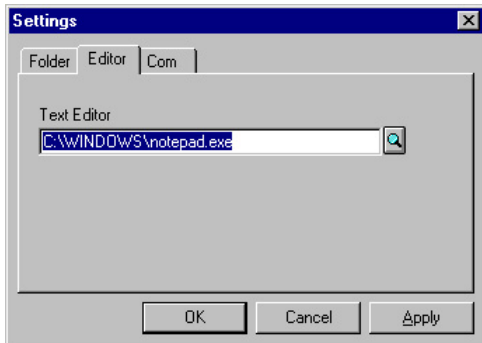
保存しない場合はチェックボックスのチェックを外します。



エディタのパスの設定([Editor]タブ)

ログファイルを開くときに使用するエディタのパスを設定します。

デフォルトでは"notepad.exe"が設定されています。




C.2.5.3 操作方法

PROM書き込みなどのコマンドは、すべてウィンドウ上のボタンで実行可能です。
以下、各コマンドを次の形式で個々に説明します。

機能: コマンドの機能を説明します。

実行: ボタン 

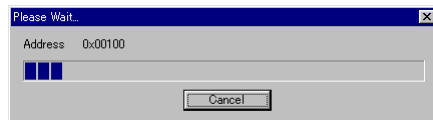
メニュー [Command]メニュー [Program]

キー入力 >FW 

コマンドを実行するボタン、メニュー、コマンドウィンドウへのキー入力形式を示します。

動作: コマンドを実行した後の動作や表示内容を示します。

"プログレスウィンドウにて進捗状況を表示します。"の記述のある機能は、実行中に次のプログレスウィンドウが表示され、[Cancel]ボタンで処理を中断することができます。



注意: 注意事項を記載しています。

1 LOAD(PSAファイル)

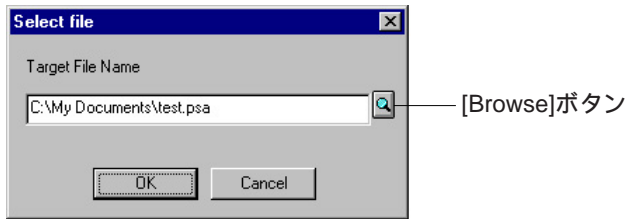
機能: PROMユーザデータファイル(xxxxxx.PSA)をPC上のメモリにロードします。

実行: ボタン 

メニュー [Command]メニュー [Load]

キー入力 >L drive:¥folder¥file name□ (drive:¥folder¥file name: PSAファイル名)

動作: (1) [Select file]ダイアログを表示します。



(2) [Browse]ボタンをクリックするとWindows標準ファイル選択ダイアログが表示されますので、ロードするファイルを選択してください。
その後[OK]ボタンをクリックします。

(3) データが正常にロードされると、"Complete"がアウトプットウィンドウに表示されます。

注意: モトローラ S2フォーマット形式のファイルのみロードできます。

2 ERASE

機能: PROMのデータを消去します。

実行: ボタン

Erase

メニュー [Command]メニュー [Erase]

キー入力 >FERS□

>FERS startAddr endAddr□

>FERS startAddr□ (startAddr: 開始アドレス、endAddr: 終了アドレス、16進数)

動作: (1)インフォメーションダイアログを表示します。

(2)[OK]ボタンをクリックするとPROMのデータ消去を開始します。

(3)実行中はプログレスウィンドウにて進捗状態を表示します。

[Cancel]ボタンをクリックすると処理が中断されます。

(4)正常に消去が終了すると、"Complete"がアウトプットウィンドウに表示されます。

注意: ・実行中に処理を中断した場合は、データ書き込み前に必ず再度消去を行ってください。

- ・部分消去はキー入力で行います。開始アドレス、終了アドレスを入力してコマンドを実行してください。消去は4Kバイトのセクタ単位で行いますので、開始アドレスに4Kバイト境界アドレスを、終了アドレスは指定領域が4Kバイトの倍数となるように指定してください。それ以外のアドレスを指定すると、4Kバイト境界に丸められて処理されます。

例: 開始アドレスとして2040Hを入力 2000Hとして実行

キー入力で開始アドレスと終了アドレスを省略した場合は、有効アドレス範囲がすべて消去されます。アドレスを1つ指定した場合は、開始アドレスと見なされ、そのアドレスから最終有効アドレスまでが消去されます。

3 BLANK CHECK

機能: PROMのデータが消去されていることをチェックします。

実行: ボタン Blank

メニュー [Command]メニュー [Blank Check]

キー入力 >FE ☐

>FE startAddr endAddr ☐

>FE startAddr ☐ (startAddr: 開始アドレス、endAddr: 終了アドレス、16進数)

動作: (1)チェックを開始します。

(2)プログレスウィンドウにて進捗状態を表示します。

[Cancel]ボタンをクリックすると処理が中断されます。

(3)PROMが完全に消去されている場合、チェックが終了すると"Complete"をアウトプットウィンドウに表示します。

(4)消去エラーを検出した場合、そのアドレスとデータを表示します。

```
例: Address  READ
      0100   00
      0101   00
      0102   00
      0103   00
      :      :
```

注意: • 消去エラーを検出した場合は、データ書き込み前に必ず消去を行ってください。

- 部分消去チェックはキー入力で行います。開始アドレス、終了アドレスを入力してコマンドを実行してください。開始アドレスのみ入力した場合、そのアドレスから最終有効アドレスまでがチェックされます。消去チェックは4Kバイト単位で行いますので、開始アドレスに4Kバイト境界アドレスを、終了アドレスは指定領域が4Kバイトの倍数となるように指定してください。それ以外のアドレスを指定すると、4Kバイト境界に丸められて処理されます。

例: 開始アドレスとして2040Hを入力 2000Hとして実行

4 PROGRAM

機能: [Load]コマンドでロードしたデータをPROMに書き込みます。

実行: ボタン **Program**

メニュー [Command]メニュー [Program]

キー入力 >FW ☐
 >FW startAddr endAddr ☐
 >FW startAddr ☐ (startAddr: 開始アドレス、endAddr: 終了アドレス、16進数)

動作: (1)インフォメーションダイアログを表示します。

(2)[OK]ボタンをクリックすると、書き込み処理を開始します。

(3)プログレスウィンドウにて進捗状態を表示します。
 [Cancel]ボタンをクリックすると処理が中断されます。

(4)正常に書き込みを終了すると、"Complete"がアウトプットウィンドウに表示されます。

注意: • 処理中に他のアプリケーションを前面にすると、通信エラーが発生することがあります。

- 部分書き込みはキー入力で行います。開始アドレス、終了アドレスを入力してコマンドを実行してください。開始アドレスのみ入力した場合、そのアドレスから最終有効アドレスまでデータが書き込まれます。書き込みは4Kバイト単位で行いますので、開始アドレスに4Kバイト境界アドレスを、終了アドレスは指定領域が4Kバイトの倍数となるように指定してください。それ以外のアドレスを指定すると、4Kバイト境界に丸められて処理されます。

例: 開始アドレスとして2040Hを入力 2000Hとして実行

5 VERIFY

機能: [Load]コマンドでロードしたデータとPROMから読み出したデータを比較します。

実行: ボタン

Verify

メニュー [Command]メニュー [Verify]

キー入力 >FV ☐

>FV startAddr endAddr ☐

>FV startAddr ☐ (startAddr: 開始アドレス、endAddr: 終了アドレス、16進数)

動作: (1)ペリファイ処理を開始します。

(2)プログレスウィンドウにて進捗状態を表示します。

[Cancel]ボタンをクリックすると処理が中断されます。

(3)データがすべて一致している場合、"Complete"がアウトプットウィンドウに表示されます。

(4)ペリファイエラーを検出した場合、そのアドレスとデータを表示します。

注意: 部分ペリファイはキー入力で行います。開始アドレス、終了アドレスを入力してコマンドを実行してください。開始アドレスのみ入力した場合、そのアドレスから最終有効アドレスまでペリファイを行います。ペリファイは4Kバイト単位で行いますので、開始アドレスに4Kバイト境界アドレスを、終了アドレスは指定領域が4Kバイトの倍数となるように指定してください。それ以外のアドレスを指定すると、4Kバイト境界に丸められて処理されます。

例: 開始アドレスとして2040Hを入力 2000Hとして実行

6 READ

機能: PROMデータをPC上のメモリに読み込みます。

実行: ボタン

Read

メニュー [Command]メニュー [Read]

キー入力 >FR□

>FR startAddr endAddr□

>FR startAddr□ (startAddr: 開始アドレス、endAddr: 終了アドレス、16進数)

動作: (1)インフォメーションダイアログを表示します。

(2)[OK]ボタンをクリックすると、読み込み処理を開始します。

(3)プログレスウィンドウにて進捗状態を表示します。

[Cancel]ボタンをクリックすると処理が中断されます。

(4)正常に終了した場合、"Complete"がアウトプットウィンドウに表示されます。

注意: ・読み込んだデータでPC上のメモリは上書きされます。

- ・部分読み込みはキー入力で行います。開始アドレス、終了アドレスを入力してコマンドを実行してください。開始アドレスのみ入力した場合、そのアドレスから最終有効アドレスまでのデータが読み込まれます。読み込みは4Kバイト単位で行いますので、開始アドレスに4Kバイト境界アドレスを、終了アドレスは指定領域が4Kバイトの倍数となるように指定してください。それ以外のアドレスを指定すると、4Kバイト境界に丸められて処理されます。

例: 開始アドレスとして2040Hを入力 2000Hとして実行

7 PROTECT

機能: PROMのデータリードにプロテクトをかけます。

実行: ボタン 

メニュー [Command]メニュー [Protect]

キー入力 >FPROTECT \square

動作: (1)インフォメーションダイアログを表示します。

(2)[OK]ボタンをクリックすると、プロテクト処理を開始します。

(3)正常に終了した場合、"Complete"がアウトプットウィンドウに表示されます。

注意: 一度プロテクトがかけられたPROMは"Erase"以外の実行ができなくなります。

8 MACRO

機能: マクロファイルに記述されたコマンドを連続実行します。

実行: ボタン Macro

メニュー [Command]メニュー [Macro]

キー入力 なし

動作: (1)ファイル選択ダイアログを表示します。

(2)マクロファイルを選択して[OK]ボタンをクリックすると、マクロファイルを読み込んで、記述されたコマンドを実行します。

マクロファイル:

マクロファイルは、テキストエディタ等を使用して作成します。拡張子は".CMD"を推奨します。ファイルには実行させる順に、コマンドを各行に1つずつキー入力形式で記述します。

";"の後はコメントとして扱われます。

例: マクロファイル TEST.CMD

<pre>LI D:¥WORK¥C8Fxxx.PSA FERS FE FW FV ;--- PROTECT--- FPROTECT</pre>	<pre>PROM HEXファイルのロード PROMのデータ消去 PROMの消去チェック PROMへのデータ書き込み PROMのベリファイチェック コメント リードプロテクト</pre>
---	---

9 ALL

機能: PROMのデータ消去、書き込み、プロテクトを順に行います。

実行: ボタン 

メニュー なし

キー入力 なし

動作: (1)インフォメーションダイアログを表示します。

(2)[OK]ボタンをクリックするとPROMのデータ消去、書き込み、プロテクトの一連の処理を開始します。

(3)実行中はプログレスウィンドウにて進捗状態を表示します。
[Cancel]ボタンをクリックすると処理が中断されます。

(4)正常に終了すると、"Complete"がアウトプットウィンドウに表示されます。

注意: 実行中に処理を中断した場合は、再度AllまたはEraseコマンドを実行してください。

10 DUMP

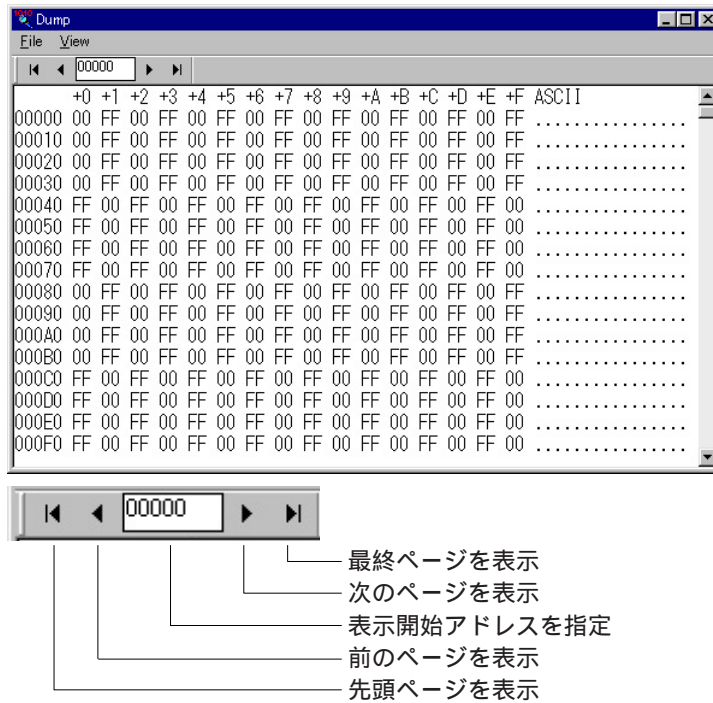
機能: PCメモリ内、PROM領域のデータを16進数で表示します。メモリ内容の編集も可能です。

実行: ボタン  [Dump]ボタン

メニュー [Command]メニュー [Dump]

キー入力 >D 
>D address  (address: 表示開始アドレス)

動作: (1) [Dump]ウィンドウを表示します。



(2) メモリ内容を編集するには、変更したいアドレスにカーソルを合わせ、値を入力してください。

11 OPEN LOG FILE

機能: ログファイルを開きます。

実行: ボタン  [Open Log file]ボタン

メニュー [File]メニュー [Open Log File]

キー入力 なし

動作: 指定のエディタが起動して指定のログファイルを開きます。
エディタは[Settings]ダイアログボックスの[Editor]タブ画面で、ログファイルは同じく[Folder]タブ画面で設定しておきます。

12 SAVE

機能: PCメモリ内のPROMデータをファイルに保存します。

実行: ボタン  [Save]ボタン

メニュー [File]メニュー [Save to PSA]

キー入力 >S *drive:¥folder¥file name*□ (*drive:¥folder¥file name*: PSAファイル名)

動作: (1)標準ファイル選択ダイアログが表示されますので、保存するファイル名を指定してください。

(2)PCメモリ内のPROM領域の内容をモトローラS2形式のファイル(*.PSA)に保存します。

C.2.6 コマンド一覧

表C.2.6.1 コマンド一覧表

No.	コマンドライン	メニュー	ボタン	機能
1	L drive¥folder¥file name↵	[Command]-[Load]		PSAファイルのロード
2	FERS (startAddr (endAddr))↵	[Command]-[Erase]		PROMデータの消去
3	FE (startAddr (endAddr))↵	[Command]-[Blank Check]		PROMデータ消去チェック
4	FW (startAddr (endAddr))↵	[Command]-[Program]		PROMデータ書き込み
5	FV (startAddr (endAddr))↵	[Command]-[Verify]		PROMベリファイチェック
6	FR (startAddr (endAddr))↵	[Command]-[Read]		PROMデータ読み出し
7	FPROTECT↵	[Command]-[Protect]		PROMリードプロテクト
8	–	[Command]-[Macro]		マクロファイル読み込み/実行
9	–	–		PROM消去/書き込み/プロテクト
10	D (address)↵	[Command]-[Dump]		PROMデータダンプ
11	–	[File]-[Open Log File]		ログファイルのオープン
12	S drive¥folder¥file name↵	[File]-[Save to PSA]		PROMデータの保存
13	LOG↵	–		ロギング開始
14	LOG /E↵	–		ロギング終了

()はオプションです。

C.2.7 エラーメッセージ一覧

表C.2.7.1 エラーメッセージ一覧表

エラーメッセージ	内容
Command timeout	通信タイムアウト
Receive NAK	通信エラー
Send error	通信エラー
COM Port Open Error	ポートオープンエラー
Invalid File Format	ファイルがモトローラS2形式ではありません。
Data Size Over flow	データファイルの容量がPROMサイズを超えています。
Verify Error	ベリファイエラー
Protected Error	リードプロテクトがかけられています。
Abort by operator	処理が中断されました。
Complete	正常終了

Appendix D S1C88649/650との相違点

S1C8F626は、S1C88649/650と多くの機能において互換性を持ちます。表D.1にこれらの機種との相違点を示します。

表D.1 相違点一覧

機 能	S1C88649	S1C88650	S1C8F626
動作周波数	30kHz ~ 4.2MHz	30kHz ~ 8.2MHz	30kHz ~ 8.2MHz
内蔵ROM容量	48K + 192Kバイト	48K + 896Kバイト	48K + 192Kバイト
内蔵RAM容量	8Kバイト	8Kバイト	8Kバイト
サウンドジェネレータ		×(プログラマブル タイマで代用可)	×(プログラマブル タイマで代用可)
プログラマブルタイマ	1 ch. (PWM)	2 ch. (PWM)	2 ch. (PWM)
ストップウォッチタイマ		×	
シリアルインタフェース	1 ch.	1 ch. (2ビットパリティ, LSB/MSB切り換えあり)	2 ch. (2ビットパリティ, LSB/MSB切り換えあり)
IrDAインタフェース	×	×	
キー同時押しリセット	マスクオプション	マスクオプション	レジスタ
ウォッチドッグタイマリセット周期	3 ~ 4秒周期固定	マスクオプション	4秒周期固定
LCDドライバ	80SEG × 16/8COM	126SEG × 32/16/8COM	96SEG × 32/16/8COM
SEG出力対応反転機能	×		
12 × 12ドットフォント選択機能	×		
LCD電源	1/4バイアス	1/5バイアス (V _{DD} 昇圧回路あり)	1/5バイアス (V _{DD} 昇圧回路あり)
入力インタフェースレベル選択	P10 ~ 17 (マスクオプション)	K00 ~ 07, P10 ~ 17 (マスクオプション)	K00 ~ 07, P10 ~ 17, P20 ~ 27 (レジスタ)
チャタリング除去回路のOSC3源振設定	×(OSC1源振のみ)		
Kポート	K00 ~ 07	K00 ~ 07	K00 ~ 07
Pポート	P00 ~ 07, P10 ~ 17	P00 ~ 07, P10 ~ 17	P00 ~ 07, P10 ~ 17, P20 ~ 27
Rポート	R00 ~ 07, R10 ~ 17, R20 ~ 24, R30 ~ 33	R00 ~ 07, R10 ~ 17, R20 ~ 24, R30 ~ 33	×
外部バス	512Kバイト × 4	1Mバイト × 3	×
出荷形態	チップ	チップ, QFP22-256pin	チップ, VFBGA10H-240pin, QFP21-216pin
消費電流 SLEEP時	1μA (Typ.)	1μA (Typ.)	1μA (Typ.)
HALT時 (32kHz水晶発振)	2.5μA (Typ.)	2.5μA (Typ.)	2.5μA (Typ.)
動作時 (32kHz水晶発振)	7μA (Typ.)	9μA (Typ.)	10μA (Typ.)
動作時 (8MHセラミック発振)	670μA@4MHz (Typ.)	1700μA (Typ.)	1800μA (Typ.)

* S1C8F626は、S1C88649/650の上位互換になっています。

セイコーエプソン株式会社 半導体事業部 IC営業部

IC国内営業グループ

東京 〒191-8501 東京都日野市日野421-8
TEL (042) 587-5313(直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F
TEL (06) 6120-6000(代表) FAX (06) 6120-6100

インターネットによる電子デバイスのご紹介 <http://www.epson.jp/device/semicon/>