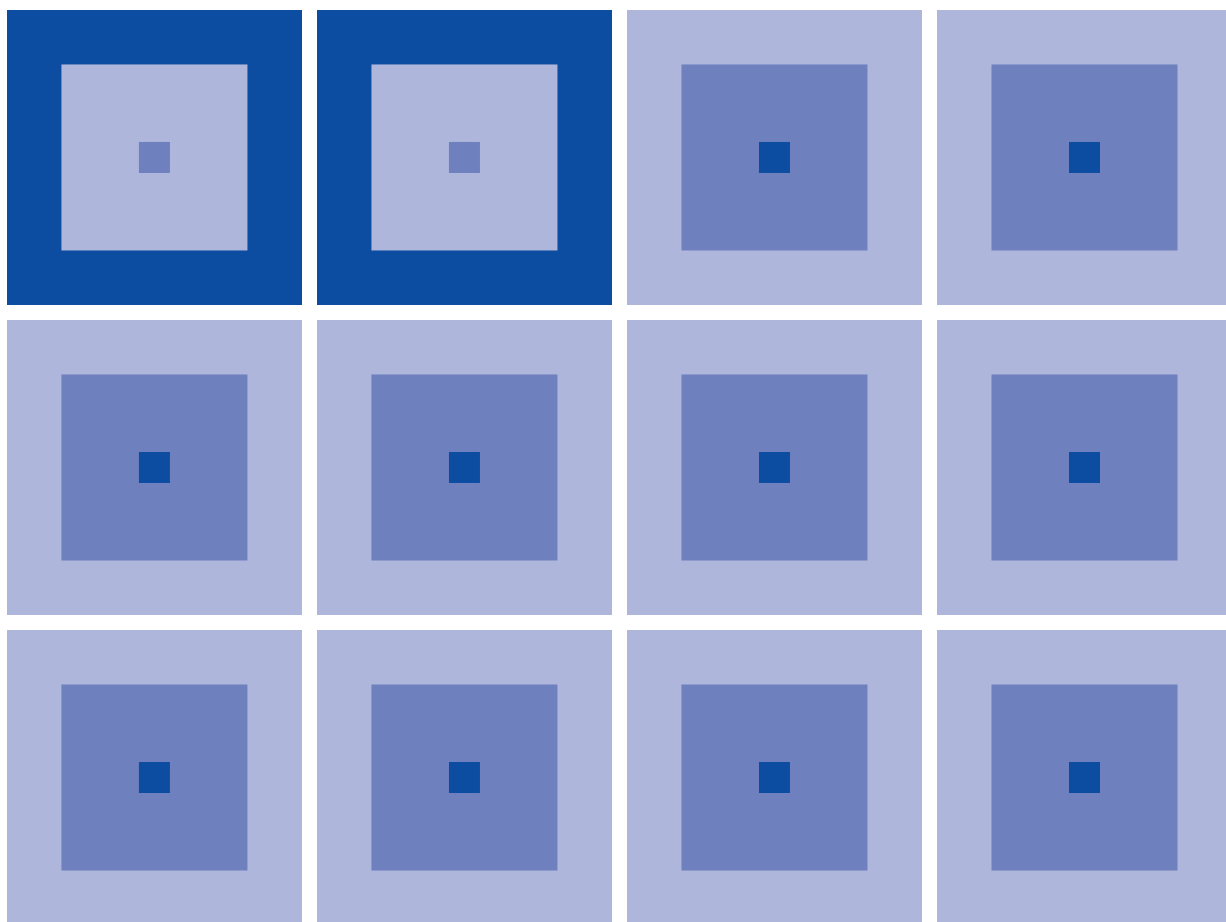


CMOS 4-BIT SINGLE CHIP MICROCOMPUTER

S1C63709

テクニカルマニュアル

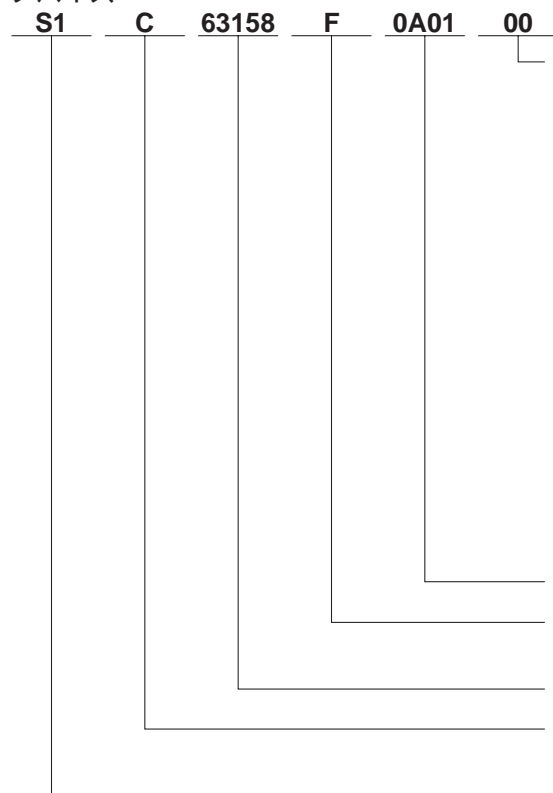


本資料のご使用につきましては、次の点にご留意願います。

1. 本資料の内容については、予告なく変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利(工業所有権を含む)侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち、「外国為替及び外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、一般民生用です。生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合の如何なる責任についても負いかねます。

製品型番体系

デバイス



梱包仕様

00 : テープ&リール以外
 0A : TCP BL 2方向
 0B : テープ&リール BACK
 0C : TCP BR 2方向
 0D : TCP BT 2方向
 0E : TCP BD 2方向
 0F : テープ&リール FRONT
 0G : TCP BT 4方向
 0H : TCP BD 4方向
 0J : TCP SL 2方向
 0K : TCP SR 2方向
 0L : テープ&リール LEFT
 0M : TCP ST 2方向
 0N : TCP SD 2方向
 0P : TCP ST 4方向
 0Q : TCP SD 4方向
 0R : テープ&リール RIGHT
 99 : 梱包仕様未定

仕様

形状

[D: ペアチップ、F: QFP、B: BGA]

機種番号

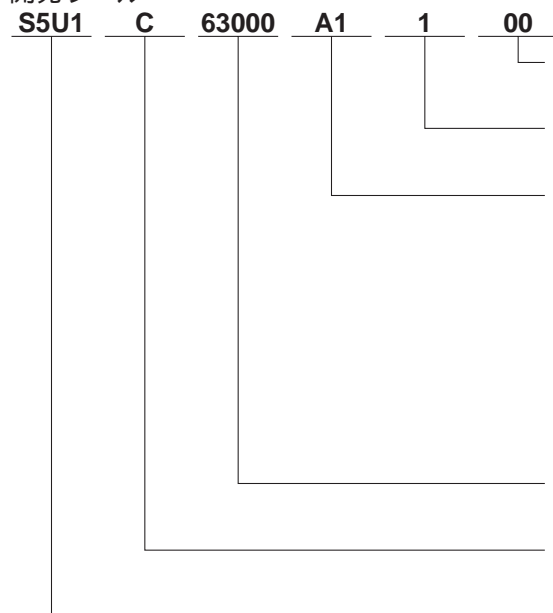
機種名称

[C: マイコン、デジタル製品]

製品分類

[S1: 半導体]

開発ツール



梱包仕様

[00: 標準梱包]

バージョン

[1: Version 1]

ツール種類

Hx : ICE
 Ex : EVAボード
 Px : ペリフェラルボード
 Wx : FLASHマイコン用ROMライター
 Xx : ROMライター周辺ボード
 Cx : Cコンパイラパッケージ
 Ax : アセンブラパッケージ
 Dx : 機種別ユーティリティツール
 Qx : ソフトシミュレータ

対応機種番号

[63000: S1C63ファミリ共通]

ツール分類

[C: マイコン用]

製品分類

[S5U1: 半導体用開発ツール]

- 目 次 -

1	概要	1
1.1	特長	1
1.2	ブロック図	2
1.3	端子配置図	3
1.4	端子説明	4
1.5	マスクオプション	5
2	電源系 および イニシャルリセット	10
2.1	電源系	10
2.1.1	OSC1発振回路用定電圧回路	11
2.1.2	内部ロジック用定電圧回路	11
2.1.3	LCD系電圧回路	11
2.1.4	電源電圧と動作モード	12
2.2	イニシャルリセット	13
2.2.1	リセット端子(RESET)	13
2.2.2	入力ポート(K00 ~ K03)の同時HIGH入力	13
2.2.3	発振検出回路	14
2.2.4	周辺回路のソフトウェアリセット	14
2.2.5	即スタート中のリセット機能	14
2.2.6	イニシャルリセット時の内部レジスタ	15
2.2.7	イニシャルリセット時の端子設定	15
2.3	テスト端子(TEST)	15
3	CPU, ROM, RAM	16
3.1	CPU	16
3.2	コードROM	16
3.3	RAM	16
3.4	データROM	17
4	周辺回路と動作	18
4.1	メモリマップ	18
4.2	ウォッチドッグタイマ	28
4.2.1	ウォッチドッグタイマの構成	28
4.2.2	割り込み機能	28
4.2.3	ウォッチドッグタイマのI/Oメモリ	29
4.2.4	プログラミング上の注意事項	29
4.3	発振回路	30
4.3.1	発振回路の構成	30
4.3.2	OSC1発振回路	30
4.3.3	OSC3発振回路	31
4.3.4	CPUクロックの切り換え	32
4.3.5	クロック周波数とインストラクション実行時間	32

4.3.6	発振回路のI/Oメモリ	33
4.3.7	プログラミング上の注意事項	33
4.4	入力ポート(K00 ~ K03, K10 ~ K13, K20 ~ K23, K30)	34
4.4.1	入力ポートの構成	34
4.4.2	マスクオプション	35
4.4.3	割り込み機能	35
4.4.4	入力ポートのI/Oメモリ	39
4.4.5	プログラミング上の注意事項	42
4.5	入出力兼用ポート(P00 ~ P03, P10 ~ P13, P20 ~ P23, P30 ~ P33, P40 ~ P41)	43
4.5.1	入出力兼用ポートの構成	43
4.5.2	マスクオプション	44
4.5.3	I/O制御レジスタと入力/出力モード	44
4.5.4	入力モード時のブルダウン	44
4.5.5	特殊出力	45
4.5.6	入出力兼用ポートのI/Oメモリ	48
4.5.7	プログラミング上の注意事項	54
4.6	LCDドライバ(COM0 ~ COM7, SEG0 ~ SEG63)	55
4.6.1	LCDドライバの構成	55
4.6.2	LCD駆動電源	55
4.6.3	LCD表示のON/OFFとLCD駆動波形	55
4.6.4	表示メモリ	60
4.6.5	セグメントオプション	60
4.6.6	LCDコントラスト調整	62
4.6.7	LCDドライバのI/Oメモリ	63
4.6.8	プログラミング上の注意事項	64
4.7	計時タイマ	65
4.7.1	計時タイマの構成	65
4.7.2	データの読み出しとホールド機能	65
4.7.3	割り込み機能	66
4.7.4	計時タイマのI/Oメモリ	67
4.7.5	プログラミング上の注意事項	69
4.8	ストップウォッチタイマ	70
4.8.1	ストップウォッチタイマの構成	70
4.8.2	カウンタとプリスケアラ	70
4.8.3	キャプチャバッファとホールド機能	71
4.8.4	ストップウォッチタイマのRUN/STOPおよびリセット	72
4.8.5	ダイレクト入力機能とキーマスク	72
4.8.6	割り込み機能	75
4.8.7	ストップウォッチタイマのI/Oメモリ	77
4.8.8	プログラミング上の注意事項	80
4.9	プログラマブルタイマ	81
4.9.1	プログラマブルタイマの構成	81
4.9.2	カウンタの基本動作	82
4.9.3	入力クロックの設定	83
4.9.4	イベントカウンタモード(タイマ0)	83
4.9.5	16ビットタイマ(タイマ0+タイマ1)	84
4.9.6	割り込み機能	85

4.9.7 TOUT出力の設定	85
4.9.8 シリアルインタフェースの転送速度設定	86
4.9.9 プログラマブルタイマのI/Oメモリ	87
4.9.10 プログラミング上の注意事項	92
4.10 シリアルインタフェース(SIN, SOUT, SCLK, SRDY)	93
4.10.1 シリアルインタフェースの構成	93
4.10.2 マスクオプション	94
4.10.3 シリアルインタフェースのマスタモードとスレーブモード	94
4.10.4 データの入出力と割り込み	95
4.10.5 シリアルインタフェースのI/Oメモリ	98
4.10.6 プログラミング上の注意事項	101
4.11 サウンドジェネレータ	102
4.11.1 サウンドジェネレータの構成	102
4.11.2 ブザー出力の制御	102
4.11.3 ブザー周波数と音量の設定	103
4.11.4 デジタルエンベロープ	104
4.11.5 1ショット出力	105
4.11.6 モータ駆動時のブザー出力	106
4.11.7 サウンドジェネレータのI/Oメモリ	107
4.11.8 プログラミング上の注意事項	110
4.12 モータ制御回路	111
4.12.1 モータ制御回路の構成	111
4.12.2 マスクオプション	112
4.12.3 早送り制御(モータ0とモータ1)	113
4.12.4 K2固定駆動制御(モータ0)	127
4.12.5 モータ制御回路のI/Oメモリ	130
4.12.6 プログラミング上の注意事項	139
4.13 論理緩急	140
4.13.1 論理緩急機能	140
4.13.2 K2, K3ポートによる補正量入力	141
4.13.3 VCWONの外部モニタ	141
4.13.4 論理緩急のI/Oメモリマップ	142
4.13.5 プログラミング上の注意事項	143
4.14 SVD(電源電圧検出)回路	144
4.14.1 SVD回路の構成	144
4.14.2 比較電圧の設定	145
4.14.3 SVD動作	146
4.14.4 SVDDTの外部モニタ	146
4.14.5 SVD回路のI/Oメモリ	147
4.14.6 プログラミング上の注意事項	148
4.15 重負荷保護機能	149
4.15.1 重負荷保護モード	149
4.15.2 重負荷保護機能のI/Oメモリ	149
4.15.3 プログラミング上の注意事項	149

4.16	ソーラー機能	150
4.16.1	ソーラー制御回路の構成	150
4.16.2	マスクオプション	150
4.16.3	回路説明	151
4.16.4	充電中フラグとウェイクアップ割り込み機能	152
4.16.5	ISORフラグの外部モニタ	153
4.16.6	ソーラー機能のI/Oメモリ	154
4.16.7	プログラミング上の注意事項	156
4.17	割り込みとHALT	157
4.17.1	割り込みの要因	159
4.17.2	割り込みの個別マスク	160
4.17.3	割り込みベクタ	160
4.17.4	割り込みのI/Oメモリ	161
4.17.5	プログラミング上の注意事項	163
5	注意事項のまとめ	164
5.1	低消費電流化のための注意事項	164
5.2	個別機能についての注意事項のまとめ	165
5.3	実装上の注意事項	170
6	基本外部結線図	172
7	電気的特性	174
7.1	絶対最大定格	174
7.2	推奨動作条件	174
7.3	DC特性	174
7.4	アナログ回路特性・消費電流	175
7.5	発振特性	177
7.6	ソーラー制御回路特性	179
7.7	シリアルインタフェースAC特性	180
7.8	特性グラフ(参考値)	181
8	パッケージ	182
8.1	プラスチックパッケージ	182
8.2	テストサンプル用セラミックパッケージ	183
9	パッド配置	184
9.1	パッド配置図	184
9.2	パッド座標	185

Appendix Peripheral Circuit Board for S1C63709 _____ 186

A.1	各部の名称と機能	186
A.1.1	S5U1C63000P1	186
A.1.2	S5U1C63709P2	188
A.2	ターゲットシステムとの接続	191
A.3	S5U1C63000P1へのダウンロード	195
A.3.1	新ICE(S5U1C63000H2)使用時における回路データのダウンロード	195
A.3.2	旧ICE(S5U1C63000H1)使用時における回路データのダウンロード	196
A.4	使用上の注意	197
A.4.1	操作上の注意事項	197
A.4.2	実ICとの相違点	197
A.5	製品の仕様	200
A.5.1	S5U1C63000P1の仕様	200
A.5.2	S5U1C63709P2の仕様	200

1 概要

S1C63709は高性能CMOS 4ビットコアCPU S1C63000を中心に、ワンチップ上にROM(12,288ワード×13ビット) RAM(2,048ワード×4ビット) シリアルインタフェース、2チャンネルのモータドライバ、ソーラー充電制御回路、最大64セグメント×8コムのLCDドライバ、サウンドジェネレータ、タイムベースカウンタなどを備えたマイクロコンピュータです。低消費電流を特長とし、ソーラー駆動を必要とする電波時計製品への応用に適しています。

1.1 特長

OSC1発振回路	32.768kHz(Typ.)	水晶発振回路
OSC3発振回路	4MHz(Typ.)	セラミック発振回路、1.1MHz(Typ.) CR(R外付け) 発振回路、 または200kHz(Typ.) CR(R内蔵) 発振回路 *1)
インストラクションセット	基本命令 47種類(全命令数 411種類) アドレッシングモード 8種類	
インストラクション実行時間	32.768kHz動作時: 61μsec 122μsec 183μsec 4MHz動作時: 0.5μsec 1μsec 1.5μsec	
ROM容量	命令ROM: 12,288ワード×13ビット データROM: 2,048ワード×4ビット	
RAM容量	データメモリ: 2,048ワード×4ビット 表示メモリ: 160ワード×4ビット	
入力ポート	汎用入力ポート 4ビット リユーズ用入力ポート 4ビット 論理緩急用入力ポート 5ビット (ブルダウン抵抗の付加が可能*1)	
入出力兼用ポート	18ビット(特殊出力、シリアルI/F入出力に切り換え可能*2)	
シリアルインタフェース	1ポート(クロック同期式8ビット)	
LCDドライバ	64セグメント×4、5、または8コモン(*2)	
タイムベースカウンタ	計時タイマ ストップウォッチタイマ(1/1000秒、ダイレクトキー入力機能付き)	
プログラマブルタイマ	8ビット×3ch、または16ビット×1ch + 8ビット×1ch(*2)	
ウォッチドッグタイマ	内蔵	
サウンドジェネレータ	エンベロープ、1ショット出力機能付き	
モータドライバ	2チャンネル	
ソーラー充電制御回路	内蔵	
電源電圧検出(SVD)回路	24種類の検出電圧を設定可能(*2)	
外部割り込み	入力ポート割り込み	2系統
内部割り込み	計時タイマ割り込み	7系統
	ストップウォッチタイマ割り込み	4系統
	プログラマブルタイマ割り込み	3系統
	シリアルインタフェース割り込み	1系統
	モータドライバ割り込み	2系統
	ソーラー割り込み	1系統
電源電圧	1.0V ~ 3.6V(CR R内蔵) 発振回路選択時) 2.1V ~ 3.6V(CR R外付け) またはセラミック発振回路選択時)	
動作温度範囲	-20°C ~ 70°C	
消費電流(Typ.)	32kHz HALT時(3.0V、液晶OFF) 0.15μA 32kHz動作時(3.0V、液晶ON) 3.50μA	
出荷形態	QFP20-144pin(プラスチック) またはチップ	

*1: マスクオプションにより選択 *2: ソフトウェアにより選択

1.2 ブロック図

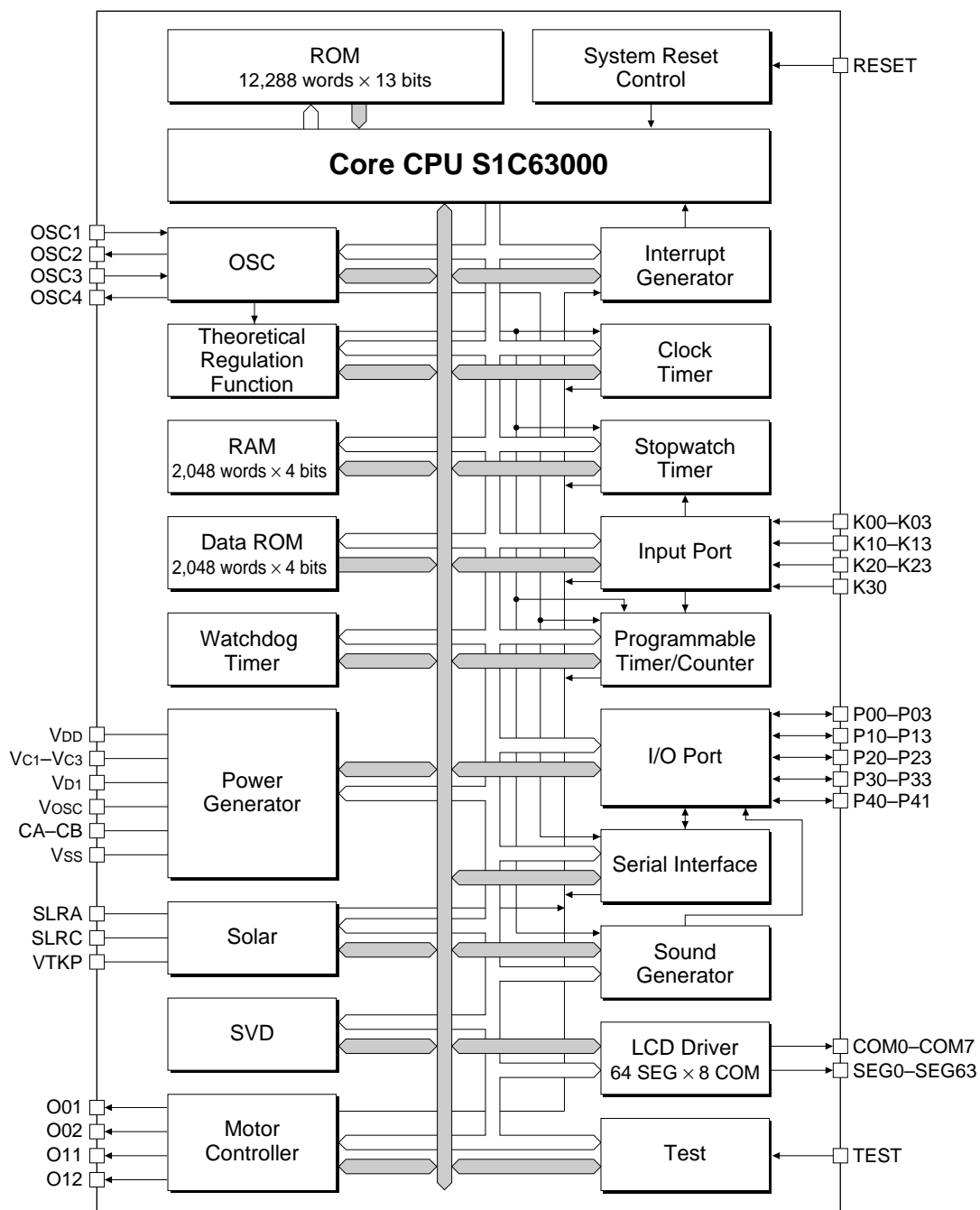
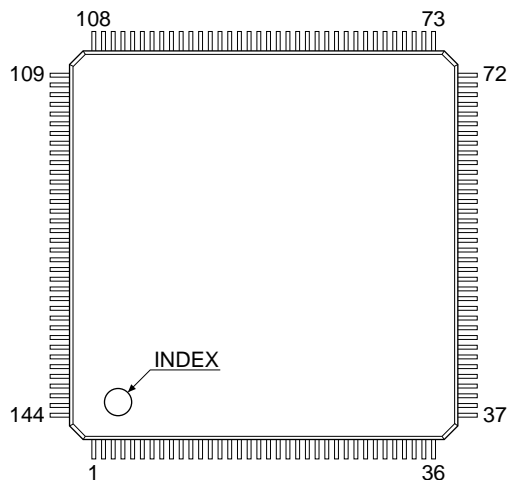


図1.2.1 ブロック図

1.3 端子配置図

QFP20-144pin



No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	N.C.	37	COM0	73	N.C.	109	N.C.
2	N.C.	38	COM1	74	N.C.	110	N.C.
3	SEG0	39	COM2	75	SEG32	111	COM4
4	SEG1	40	COM3	76	SEG33	112	COM5
5	SEG2	41	CA	77	SEG34	113	COM6
6	SEG3	42	CB	78	SEG35	114	COM7
7	SEG4	43	VC1	79	SEG36	115	P41
8	SEG5	44	VC2	80	SEG37	116	P40
9	SEG6	45	VC3	81	SEG38	117	P33
10	SEG7	46	VDD	82	SEG39	118	P32
11	SEG8	47	VoSC	83	SEG40	119	P31
12	SEG9	48	N.C.	84	SEG41	120	P30
13	SEG10	49	OSC1	85	SEG42	121	P23
14	SEG11	50	OSC2	86	SEG43	122	P22
15	SEG12	51	N.C.	87	SEG44	123	P21
16	SEG13	52	VD1	88	SEG45	124	P20
17	SEG14	53	OSC3	89	SEG46	125	VDD
18	SEG15	54	OSC4	90	SEG47	126	SLRA
19	SEG16	55	N.C.	91	SEG48	127	VTKP
20	SEG17	56	Vss	92	SEG49	128	SLRC
21	SEG18	57	TEST	93	SEG50	129	Vss
22	SEG19	58	RESET	94	SEG51	130	VDD
23	SEG20	59	K00	95	SEG52	131	O01
24	SEG21	60	K01	96	SEG53	132	N.C.
25	SEG22	61	K02	97	SEG54	133	O02
26	SEG23	62	K03	98	SEG55	134	O11
27	SEG24	63	K10	99	SEG56	135	O12
28	SEG25	64	K11	100	SEG57	136	Vss
29	SEG26	65	K12	101	SEG58	137	P13
30	SEG27	66	K13	102	SEG59	138	P12
31	SEG28	67	K20	103	SEG60	139	P11
32	SEG29	68	K21	104	SEG61	140	P10
33	SEG30	69	K22	105	SEG62	141	P03
34	SEG31	70	K23	106	SEG63	142	P02
35	N.C.	71	K30	107	N.C.	143	P01
36	N.C.	72	N.C.	108	N.C.	144	P00

N.C. : No Connection

図1.3.1 端子配置図 (QFP20-144pin)

1.4 端子説明

表1.4.1 端子説明

端子名	端子No.	入出力	機 能
VDD	46, 125, 130	–	電源(+)端子
VSS	56, 129, 136	–	電源(-)端子
VD1	52	–	内部ロジック系定電圧出力端子
VOSC	47	–	OSC1発振用定電圧出力端子
VC1~VC3	43~45	–	LCD系電源端子
CA, CB	41, 42	–	LCD系昇降圧コンデンサ接続端子
OSC1	49	I	水晶発振入力端子
OSC2	50	O	水晶発振出力端子
OSC3	53	I	セラミックまたはCR発振入力端子(マスクオプション選択)
OSC4	54	O	セラミックまたはCR発振出力端子(マスクオプション選択)
K00~K03	59~62	I	入力ポート端子
K10~K13	63~66	I	入力ポート端子
K20~K23	67~70	I	入力ポート端子
K30	71	I	入力ポート端子
P00~P03	144~141	I/O	入出力兼用ポート端子
P10/SIN	140	I/O	入出力兼用ポートまたはシリアルI/Fデータ入力端子(ソフト切り換え)
P11/SOUT	139	I/O	入出力兼用ポートまたはシリアルI/Fデータ出力端子(ソフト切り換え)
P12/SCLK	138	I/O	入出力兼用ポートまたはシリアルI/Fクロック入出力端子(ソフト切り換え)
P13/SRDY	137	I/O	入出力兼用ポートまたはシリアルI/Fレディ信号出力端子(ソフト切り換え)
P20/TOUT	124	I/O	入出力兼用ポートまたはTOUTクロック出力端子(ソフト切り換え)
P21/SVDDT	123	I/O	入出力兼用ポートまたはSVDDT信号モニタ出力端子(ソフト切り換え)
P22/VCWON	122	I/O	入出力兼用ポートまたはVCWON信号モニタ出力端子(ソフト切り換え)
P23/ISOR1	121	I/O	入出力兼用ポートまたはISOR1信号出力モニタ端子(ソフト切り換え)
P30/ISOR3	120	I/O	入出力兼用ポートまたはISOR3信号出力モニタ端子(ソフト切り換え)
P31/ISOR2	119	I/O	入出力兼用ポートまたはISOR2信号出力モニタ端子(ソフト切り換え)
P32/CLIM	118	I/O	入出力兼用ポートまたはCLIM信号モニタ出力端子(ソフト切り換え)
P33/F16HZ	117	I/O	入出力兼用ポートまたは16Hzクロック出力端子(ソフト切り換え)
P40/BZ	116	I/O	入出力兼用ポートまたはブザー出力端子(ソフト切り換え)
P41/FOUT	115	I/O	入出力兼用ポートまたはFOUTクロック出力端子(ソフト切り換え)
COM0~COM7	37~40, 111~114	O	LCDコモン出力端子(1/4, 1/5, 1/8デューティをソフト切り換え)
SEG0~SEG63	3~34, 75~106	O	LCDセグメント出力端子
O01, O02	131, 133	O	モータ0駆動パルス出力端子
O11, O12	134, 135	O	モータ1駆動パルス出力端子
SLRA	126	–	ソーラーアノード接続端子
SLRC	128	–	ソーラーカソード接続端子
VTKP	127	–	ソーラー電圧検出端子
RESET	58	I	イニシャルリセット入力端子
TEST	57	I	テスト用入力端子

1.5 マスクオプション

S1C63709には以下に示すマスクオプションが設定されています。各マスクオプションには複数のハードウェア仕様が用意されており、アプリケーションに合わせて選択することができます。この選択にはS1C63709の開発ソフトウェアツールとして用意されているファンクションオプションジェネレータwinfogおよびセグメントオプションジェネレータwinsogを使用します。このオプションジェネレータによって作成したデータをもとに最終的なICのマスクパターン生成が行われます。winfog、winsogについては"S5U1C63000A Manual"を参照してください。

マスクオプションの概要

(1) OSC3発振回路

OSC3発振回路としてセラミック発振回路、CR発振回路(R外付け)またはCR発振回路(R内蔵)が選択できます。詳細については"4.3.3 OSC3発振回路"を参照してください。

(2) 入力ポートプルダウン抵抗

入力ポートにプルダウン抵抗を付加するかしないか選択できます。この選択は入力ポートの各ビットごとに行えます。詳細については"4.4.2 マスクオプション"を参照してください。

(3) RESET端子プルダウン抵抗

RESET端子にプルダウン抵抗を付加するかしないか選択できます。詳細については"2.2.1 リセット端子(RESET)"を参照してください。

(4) 入出力兼用ポートプルダウン抵抗

入出力兼用ポートが入力モード時に働くプルダウン抵抗を付加するかしないか選択できます。選択は1ビット単位で行います。詳細については"4.5.2 マスクオプション"を参照してください。

(5) 入出力兼用ポートの出力仕様

入出力兼用ポートが出力モードの際の出力仕様として、コンプリメンタリ出力またはPチャンネルオープンドレイン出力が選択できます。選択は1ビット単位で行います。詳細については"4.5.2 マスクオプション"を参照してください。

(6) 入力ポート(K00 ~ K03)同時HIGH入力による外部リセット

この機能は、複数キーの同時押しによってICをリセットするもので、この機能を使用するかしないかをマスクオプションで選択できます。また、使用する場合は、同時に押すキーを接続する入力ポート(K00 ~ K03)の組み合わせを選択します。詳細については"2.2.2 入力ポート(K00 ~ K03)の同時HIGH入力"を参照してください。

(7) シリアルインタフェースの同期クロック極性

シリアルインタフェースの同期クロックSCLKおよびスLEEPモード時のSRDY信号の極性を正極性とするか負極性とするか選択できます。詳細については"4.10.2 マスクオプション"を参照してください。

(8) モータ制御

モータ0の制御にK13入力ポートを使用するかどうかを選択できます。詳細については、"4.12 モータ制御回路"を参照してください。

(9) ソーラー使用/不使用

ソーラー制御機能を使用するかしないか選択できます。詳細については、"4.16 ソーラー機能"を参照してください。

(10) 入力ポートノイズリジェクト回路(K12、K13)

入力ポートK12とK13にノイズリジェクト回路を付加するかしないかをポート個々に選択できます。詳細については"4.4.2 マスクオプション"を参照してください。

(11) OSC1発振周波数調整方法

OSC1発振周波数の調整方法として、論理緩急またはC₆緩急を選択できます。
詳細については、"4.3.2 OSC1発振回路"を参照してください。

(12) リミッタ検出電圧

リミッタ回路の検出電圧を2.1Vまたは2.5V ~ 3.2V(0.1V単位)の9種類から選択できます。
詳細については、"4.16.2 マスクオプション"を参照してください。

(13) LCD駆動電源

LCD駆動用電源として、内蔵電源回路を使用するか外部電源を使用するか選択できます。
さらに、内蔵電源回路では、定電圧回路の出力をV_{C1}とV_{C2}のどちらにするか選択できます。
詳細については"4.6.2 LCD駆動電源"を参照してください。

(14) LCDセグメント仕様

SEG端子に対する表示メモリの割り付け、DC出力として使用するSEG端子の設定が行えます。
詳細については"4.6.5 セグメントオプション"を参照してください。

オプションリスト

S1C63709のオプションリストを以下に示します。各オプション項目には、複数の選択肢が用意されていますので、システムに合った内容を選択し、 に印を付けてください。なお、使用しない機能についても必ず選択してください。

1. OSC3発振回路(OSC3 System Clock)

1. CR(R内蔵)
2. CR(R外付け)
3. セラミック

2. 入力ポートプルダウン抵抗(Input Port Pull Down Resistor)

K00	1. あり	2. なし
K01	1. あり	2. なし
K02	1. あり	2. なし
K03	1. あり	2. なし
K10	1. あり	2. なし
K11	1. あり	2. なし
K12	1. あり	2. なし
K13	1. あり	2. なし
K20	1. あり	2. なし
K21	1. あり	2. なし
K22	1. あり	2. なし
K23	1. あり	2. なし
K30	1. あり	2. なし

3. RESET端子プルダウン抵抗(Reset Port Pull Down Resistor)

RESET	1. あり	2. なし
-------------	-------	-------

4. I/Oポートプルダウン抵抗(I/O Port Pull Down Resistor)

P00	1. あり	2. なし
P01	1. あり	2. なし
P02	1. あり	2. なし
P03	1. あり	2. なし
P10	1. あり	2. なし
P11	1. あり	2. なし
P12	1. あり	2. なし
P13	1. あり	2. なし
P20	1. あり	2. なし
P21	1. あり	2. なし
P22	1. あり	2. なし
P23	1. あり	2. なし
P30	1. あり	2. なし
P31	1. あり	2. なし
P32	1. あり	2. なし
P33	1. あり	2. なし
P40	1. あり	2. なし
P41	1. あり	2. なし

5. I/Oポート出力仕様(I/O Port Output Specification)

P00	1. コンプリメンタリ	2. Pchオーブンドレイン
P01	1. コンプリメンタリ	2. Pchオーブンドレイン
P02	1. コンプリメンタリ	2. Pchオーブンドレイン
P03	1. コンプリメンタリ	2. Pchオーブンドレイン
P10	1. コンプリメンタリ	2. Pchオーブンドレイン
P11	1. コンプリメンタリ	2. Pchオーブンドレイン
P12	1. コンプリメンタリ	2. Pchオーブンドレイン
P13	1. コンプリメンタリ	2. Pchオーブンドレイン
P20	1. コンプリメンタリ	2. Pchオーブンドレイン
P21	1. コンプリメンタリ	2. Pchオーブンドレイン
P22	1. コンプリメンタリ	2. Pchオーブンドレイン
P23	1. コンプリメンタリ	2. Pchオーブンドレイン
P30	1. コンプリメンタリ	2. Pchオーブンドレイン
P31	1. コンプリメンタリ	2. Pchオーブンドレイン
P32	1. コンプリメンタリ	2. Pchオーブンドレイン
P33	1. コンプリメンタリ	2. Pchオーブンドレイン
P40	1. コンプリメンタリ	2. Pchオーブンドレイン
P41	1. コンプリメンタリ	2. Pchオーブンドレイン

6. キー同時押しリセット組み合わせ(Multiple Key Entry Reset Combination)

1. 使用しない
2. 使用する <K00, K01>
3. 使用する <K00, K02>
4. 使用する <K00, K03>
5. 使用する <K00, K01, K02>
6. 使用する <K00, K01, K03>
7. 使用する <K00, K01, K02, K03>

7. シリアルインタフェース極性(Serial Interface Polarity)

1. 負極性
2. 正極性

8. モータ制御(Motor Pulse Output Specification)

- | | | |
|-----------|---------|----------|
| K13 | 1. 使用する | 2. 使用しない |
|-----------|---------|----------|

9. ソーラー制御回路(Solar Specification)

1. 使用する
2. 使用しない

10. ノイズリジェクト回路(Chattering Protect of K12/K13 Port)

- | | | |
|-----------|---------|----------|
| K12 | 1. 使用する | 2. 使用しない |
| K13 | 1. 使用する | 2. 使用しない |

11. OSC1発振周波数調整方法(Fosc1 Regulation Type)

1. 論理緩急
2. CG緩急

12. リミッタ検出電圧(Charge Limit Detect Voltage)

1. 2.1V
2. 2.5V
3. 2.6V
4. 2.7V
5. 2.8V
6. 2.9V
7. 3.0V
8. 3.1V
9. 3.2V

13. LCD駆動電源(LCD Driving Power)

1. 内部電源, V_{C1} 基準(3.0Vパネル)
2. 外部電源, 1/3バイアス, $V_{DD}=V_{C1}$ (4.5Vパネル)
3. 外部電源, 1/3バイアス, $V_{DD}=V_{C1}$ (3.0Vパネル)
4. 外部電源, 1/2バイアス, $V_{DD}=V_{C3}$, $V_{C1}=V_{C1}$ (3.0Vパネル)
5. 内部電源, V_{C2} 基準(3.0Vパネル)

14. セグメントオプション

端子名	アドレス (F0xx)																								出力仕様
	COM0			COM1			COM2			COM3			COM4			COM5			COM6			COM7			
	H	L	D	H	L	D	H	L	D	H	L	D	H	L	D	H	L	D	H	L	D	H	L	D	
SEG0																									SEG出力 <input type="checkbox"/> S
SEG1																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG2																									SEG出力 <input type="checkbox"/> S
SEG3																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG4																									SEG出力 <input type="checkbox"/> S
SEG5																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG6																									SEG出力 <input type="checkbox"/> S
SEG7																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG8																									SEG出力 <input type="checkbox"/> S
SEG9																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG10																									SEG出力 <input type="checkbox"/> S
SEG11																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG12																									SEG出力 <input type="checkbox"/> S
SEG13																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG14																									SEG出力 <input type="checkbox"/> S
SEG15																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG16																									SEG出力 <input type="checkbox"/> S
SEG17																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG18																									SEG出力 <input type="checkbox"/> S
SEG19																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG20																									SEG出力 <input type="checkbox"/> S
SEG21																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG22																									SEG出力 <input type="checkbox"/> S
SEG23																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG24																									SEG出力 <input type="checkbox"/> S
SEG25																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG26																									SEG出力 <input type="checkbox"/> S
SEG27																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG28																									SEG出力 <input type="checkbox"/> S
SEG29																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG30																									SEG出力 <input type="checkbox"/> S
SEG31																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG32																									SEG出力 <input type="checkbox"/> S
SEG33																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG34																									SEG出力 <input type="checkbox"/> S
SEG35																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG36																									SEG出力 <input type="checkbox"/> S
SEG37																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG38																									SEG出力 <input type="checkbox"/> S
SEG39																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG40																									SEG出力 <input type="checkbox"/> S
SEG41																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG42																									SEG出力 <input type="checkbox"/> S
SEG43																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG44																									SEG出力 <input type="checkbox"/> S
SEG45																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG46																									SEG出力 <input type="checkbox"/> S
SEG47																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG48																									SEG出力 <input type="checkbox"/> S
SEG49																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG50																									SEG出力 <input type="checkbox"/> S
SEG51																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG52																									SEG出力 <input type="checkbox"/> S
SEG53																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG54																									SEG出力 <input type="checkbox"/> S
SEG55																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG56																									SEG出力 <input type="checkbox"/> S
SEG57																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG58																									SEG出力 <input type="checkbox"/> S
SEG59																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG60																									SEG出力 <input type="checkbox"/> S
SEG61																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
SEG62																									SEG出力 <input type="checkbox"/> S
SEG63																									DC出力 <input type="checkbox"/> C <input type="checkbox"/> N
アドレス H: RAMデータ上位アドレス (0~9) 出力仕様 S: セグメント出力 L: RAMデータ下位アドレス (0~F) C: コンプリメンタリ出力 D: データビット (0~3) N: Nchオープンドレイン出力																									

2 電源系 および イニシャルリセット

2.1 電源系

S1C63709の動作電源電圧は次のとおりです。

OSC1発振回路	OSC3発振回路	動作電源電圧
水晶発振	使用しない	1.0V ~ 3.6V
	CR発振(R内蔵)	1.0V ~ 3.6V
	セラミック発振/CR発振(R外付け)	2.1V ~ 3.6V

S1C63709は上記範囲の単一電源をVDD - Vss間に与えることにより動作し、内部動作に必要な電圧を内蔵の電源回路によりIC自身で発生します。

回路系	電源回路	出力電圧
OSC1発振回路	OSC1発振回路用定電圧回路	Vosc
OSC3発振回路、内部ロジック回路	内部ロジック用定電圧回路	VD1
LCDドライバ	LCD系電圧回路	VC1 ~ VC3

- 注:
- 内部電源回路の出力電圧による外付け負荷の駆動は禁止します。
 - LCD駆動電源として内部電源 V_{C2} 基準を選択した場合は、2.1V ~ 3.6Vの範囲の電源電圧を供給してください。
 - 電圧値、駆動能力については"7 電気的特性"を参照してください。

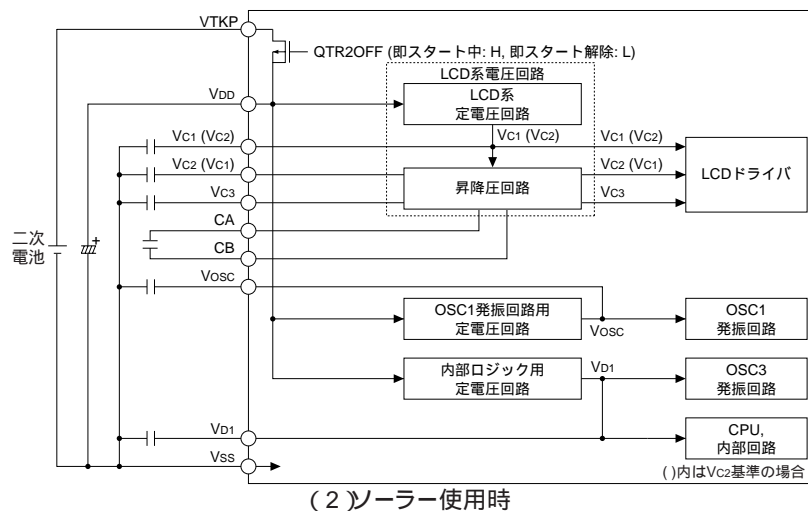
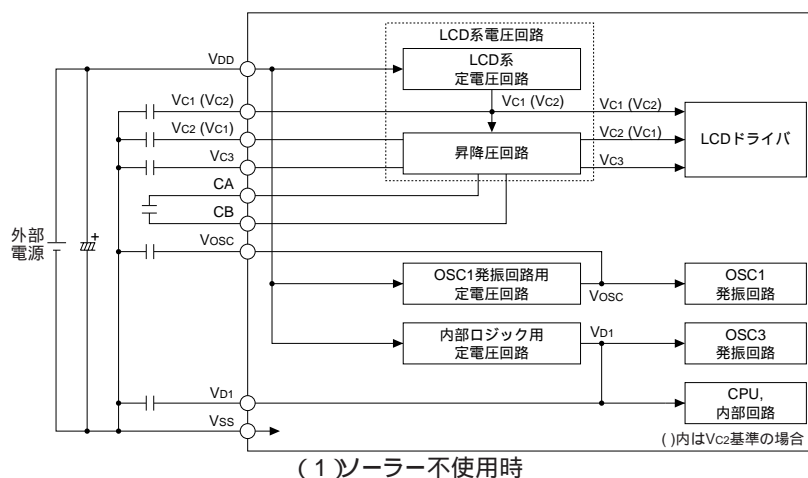


図2.1.1 電源系の構成

ソーラーおよび二次電池を使用する場合の即スタートのため、0.75Vから動作可能となっています。(ソーラー機能はオプションです。)

ソーラーを使用する場合はVTKP ~ Vss間に二次電池を接続します。

- 注:
- 即スタートモードの電圧範囲(0.75 ~ 1.0V)では、OSC3クロックの使用を禁止します。
 - 即スタートモード開始電圧は、サンプルにより $0.75 \pm 0.20V$ 程度のばらつきが生じます。
 - ソーラーを使用しないシステムの場合は、必ず1.0V以上の電源電圧を供給してください。

2.1.1 OSC1発振回路用定電圧回路

OSC1発振回路用定電圧回路は、OSC1発振回路の動作電圧 V_{OSC} を発生します。

発振を安定させるため、内部ロジック用定電圧回路とは別に用意されています。

発振回路を駆動可能な V_{OSC} 電圧を得るためには、少なくとも0.75Vの電源電圧が必要です。ただし、電源電圧が0.75Vから発振クロックを使用するためには、0.75V未満でも、発振回路を起動しておく必要があります。このため、発振停止検出回路(後述)が発振停止を検出中は、OSC1発振回路が起動するようにOSC1発振回路用定電圧回路が電圧の安定化を図ります。この間は、この動作により消費電流が増加します。

2.1.2 内部ロジック用定電圧回路

内部ロジック用定電圧回路は、OSC3発振回路および内部ロジック回路の動作電圧 V_{D1} を発生します。

2.1.3 LCD系電圧回路

LCD系電圧回路はLCD駆動電圧を発生します。この電圧回路はソフトウェア制御が可能で、LCDの表示を開始する前にONにします。

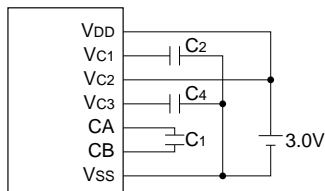
LCD系電圧回路は、その中の定電圧回路によって V_{C1} または V_{C2} を発生し、その電圧を昇降圧して他の2電位を発生します。 V_{C1} または V_{C2} 電圧値はソフトウェアによって16段階に調整可能です。

マスクオプションによりLCD系定電圧回路を使用しない構成にすることもできます。この場合、LCD系定電圧回路用のコンデンサが不要となりますので、外付け素子を削減できます。ただし、LCD系定電圧回路を使用しない場合には、使用する場合に比べて電源電圧変動(低下)時のLCDの表示品質が劣化します。

図2.1.3.1にLCD系定電圧回路を使用しない場合の外付け部品の構成を示します。

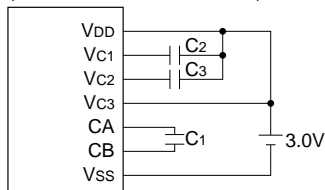
4.5V LCDパネル

1/8, 1/5または1/4デューティ, 1/3バイアス



3V LCDパネル

1/8, 1/5または1/4デューティ, 1/3バイアス



3V LCDパネル

1/8, 1/5または1/4デューティ, 1/2バイアス

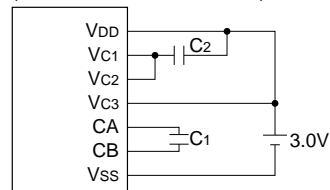


図2.1.3.1 LCD系定電圧回路を使用しない場合の外付け部品の構成

LCD駆動電圧の制御方法については"4.6 LCDドライバ"を参照してください。

2.1.4 電源電圧と動作モード

S1C63709はソーラーおよび二次電池を使用する場合の即スタート機能に対応するため、0.75Vの電源電圧から動作します。ただし、規定電圧以下のため、誤動作を防止する特別なモードで動作します。

このCPU誤動作防止モードも含め、S1C63709には電源電圧に応じた3種類の動作モードが設定されています。モードの切り換えはハードウェアが行いますので、ソフトウェアによる制御は不要です。

図2.1.4.1に電源電圧と動作モードの関係を示します。

電源電圧	0.75V		1.0V
動作モード			
ソーラー機能使用時	リセットモード	即スタートモード	通常モード
ソーラー機能不使用時	リセットモード		通常モード

図2.1.4.1 動作モード

(1) リセットモード

内部リセット回路には、発振停止検出回路が組み込まれており、発振停止時には内部リセット信号を出力します。電源電圧が0.75V未満ではOSC1発振回路が正常に動作しませんので、この回路が働いてS1C63709はリセット状態となります。この状態がリセットモードです。

(2) CPU誤動作防止モード(即スタートモード)

発振停止検出回路が発振を検出すると、リセットが解除されCPUは実行を開始します。ただし、不安定な電源電圧により0.75V未満でも発振停止検出回路がリセットを解除する場合があり、CPUの誤動作につながります。このため、このモードでは16秒ごとに内部リセットをかけ、万一発振停止検出回路が誤動作した場合も正常動作に復帰できるようになっています。

このモードはソーラーおよび二次電池を使用する場合の即スタート(ソーラーにより充電を開始した場合でもできる限り早くシステムを起動する機能)に対応したモードで、ソーラー機能(マスクオプション)によって制御されます。ICがこのモードかどうかをソフトウェアで確認できるステータスビットも用意されています。詳細については、「4.16 ソーラー機能」を参照してください。

したがって、ソーラー機能を使用しないシステムにはこのモードはありません。この場合は、必ず1.0V以上の電源電圧で動作させてください。

注: • 即スタートモードの電圧範囲(0.75 ~ 1.0V)では、OSC3クロックの使用を禁止します。

• 即スタートモード開始電圧は、サンプルにより0.75±0.20V程度のばらつきが生じます。

(3) 通常モード

即スタートモード中、ソーラー制御回路は二次電池の電圧を周期的に検出し、検出結果が1.0V以上になると、即スタートモードを解除します。この時点で周期的なリセット機能も停止し、ICは通常の動作を行います。

ソーラー機能を使用しないシステムでは、1.0Vから通常モードとして動作します。

2.2 イニシャルリセット

S1C63709は回路を初期化するためにイニシャルリセットを必要とします。イニシャルリセット要因としては次の5種類があります。

- (1) RESET端子による外部イニシャルリセット
- (2) K00 ~ K03端子の同時HIGHレベル入力による外部イニシャルリセット(マスクオプション)
- (3) 発振検出回路による内部イニシャルリセット
- (4) リセットレジスタによるソフトウェアリセット(周辺回路のみをリセット)
- (5) VTKP検出回路による内部イニシャルリセット(即スタートモード、マスクオプション)

電源投入時は必ず(1)または(2)のリセット機能を使用し、確実に初期化する必要があります。電源投入のみでは回路が正しく初期化される保証はありません。

図2.2.1にイニシャルリセット回路の構成を示します。

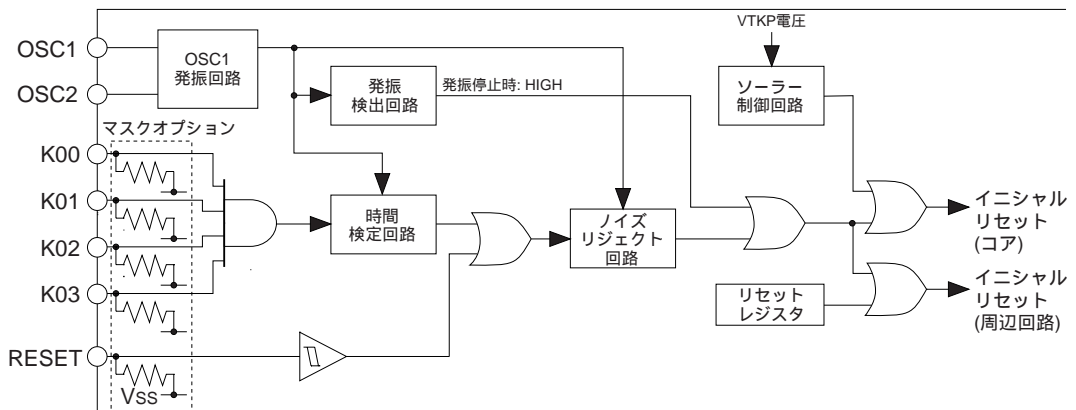


図2.2.1 イニシャルリセット回路の構成

2.2.1 リセット端子(RESET)

外部よりリセット端子をHIGHレベルにすることによりイニシャルリセットが行えます。ただし、リセット信号はノイズリジェクト回路を通るため、以下の注意が必要です。

動作中のイニシャルリセットにリセット端子を用いる場合、ノイズリジェクト回路により0.4msec以下のパルス(HIGHレベル)はノイズと見なされます。確実にイニシャルリセットを行うためには1.5msec(発振周波数 $f_{OSC1}=32.768\text{kHz}$ の場合)以上HIGHレベルを保ってください。リセット端子がLOWレベルになると、CPUが動作を開始します。ノイズリジェクト回路は発振停止時には動作しないため、電源投入時の発振停止状態におけるリセット入力は、発振を開始するまでHIGHレベルを保持する必要があります。リセット端子にはプルダウン抵抗が組み込まれており、これを使用するかしないかをマスクオプションで選択することができます。

2.2.2 入力ポート(K00 ~ K03)の同時HIGH入力

マスクオプションで選択された入力ポート(K00 ~ K03)に、外部から同時にHIGH入力を与えることによりイニシャルリセットが行えます。このイニシャルリセットはノイズリジェクト回路を通るため、動作中は1.5msec(発振周波数 $f_{OSC1}=32.768\text{kHz}$ の場合)以上、指定入力ポート端子をHIGHレベルに保ってください。また、電源投入時には発振が停止しているため、ノイズリジェクト回路は動作しません。このため、発振開始後、さらに1.5msec以上、指定入力ポート端子をHIGHレベルに保ってください。表2.2.2.1にマスクオプションで選択できる入力ポート(K00 ~ K03)の組合せを示します。

表2.2.2.1 入力ポートの組合せ

1	使用しない
2	K00*K01
3	K00*K02
4	K00*K03
5	K00*K01*K02
6	K00*K01*K03
7	K00*K01*K02*K03

たとえば、マスクオプションで7の"K00*K01*K02*K03"を選択した場合、K00～K03の4ポートの入力が同時にHIGHレベルになったときにイニシャルリセットを行います。その他のオプションでは、選択した入力ポートの組合せが含まれるキー入力が行われたときにイニシャルリセットがかかります。

なお、時間検定回路が同時HIGH入力の入力時間を検定し、規定時間(1～2秒)以上の入力があったときにイニシャルリセットを行うようになっています。

なお、このリセット機能を使用する場合、通常動作時に指定ポートが同時にHIGHレベルにならないように注意してください。

2.2.3 発振検出回路

発振検出回路は、電源投入時にOSC1発振回路が発振を開始するまで、または何らかの原因による発振停止を検出した場合にイニシャルリセット信号を出力します。

ただし、電源の投入方法により回路が正常に動作しない場合がありますので、電源投入時のイニシャルリセットにはリセット端子か入力ポート(K00～K03)の同時HIGH入力を使用し、この機能のみでは行わないでください。

2.2.4 周辺回路のソフトウェアリセット

S1C63709ではソフトウェアによる周辺回路のリセットが可能です。このリセットを行うには、リセットレジスタ(FF00H・D0)に"1"を書き込みます。

表2.2.4.1 リセットレジスタ

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF00H	HVLDON	0	0	SRPER	HVLDON	0	Enable	Disable	重負荷保護モードイネーブル
					0 *3	– *2			未使用
					0 *3	– *2			未使用
	R/W	R		R/W	SRPER	0	Reset	Invalid	周辺回路ソフトウェアリセット

*1 イニシャルリセット時の初期値 *2 回路上設定されない *3 読み出し時は常時"0"

SRPER: 周辺回路ソフトウェアリセット(FF00H・D0)

周辺回路をリセットします。

"1"書き込み: リセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

SRPERに"1"を書き込むと、周辺回路は初期状態にリセットされます。"0"の書き込みは無効で、読み出し時は常時"0"となります。

この操作によって、コアCPUはリセットされません。

注: マスクオプションの選択によりソーラー制御回路を使用する場合、即スタートモード中(ISOR2、ISOR3のどちらかが"1"の状態)に周辺回路のソフトウェアリセットを実行しないでください。

2.2.5 即スタート中のリセット機能

マスクオプションでソーラー機能を有効にすると、即スタート中(VTKP電圧=0.75V～1.0V)は周期的(16秒ごと)にシステムのリセットが行われます。詳細については、"4.16 ソーラー機能"を参照してください。

2.2.6 イニシャルリセット時の内部レジスタ

イニシャルリセットによりCPUは表2.2.6.1のように初期化されます。

イニシャルリセットによって初期化されないレジスタ、フラグは必要に応じてプログラムで初期化する必要があります。特にスタックポインタSP1およびSP2は必ずペアで設定してください。イニシャルリセット後は、SP1、SP2両方のスタックポインタがソフトウェアにより設定されるまでNMIを含むすべての割り込みがマスクされます。EXTレジスタにデータを書き込むとEフラグがセットされ、次の命令が拡張アドレッシングモードで実行されます。そこに拡張アドレッシングが禁止されている命令を使用した場合、動作が保証されません。したがって、EXTレジスタの初期化のみを目的としたデータ書き込みは行わないでください。拡張アドレッシングと使用可能な命令については"S1C63000コアCPUマニュアル"を参照してください。

表2.2.6.1 初期設定値

CPUコア			
名 称	記号	ビット長	設定値
データレジスタA	A	4	不定
データレジスタB	B	4	不定
拡張レジスタEXT	EXT	8	不定
インデックスレジスタX	X	16	不定
インデックスレジスタY	Y	16	不定
プログラムカウンタ	PC	16	0110H
スタックポインタSP1	SP1	8	不定
スタックポインタSP2	SP2	8	不定
ゼロフラグ	Z	1	不定
キャリーフラグ	C	1	不定
インタラプトフラグ	I	1	0
拡張フラグ	E	1	0
キューレジスタ	Q	16	不定

周辺回路		
名 称	ビット長	設定値
RAM	4	不定
その他の周辺回路	—	*

* "4.1 メモリマップ"参照

2.2.7 イニシャルリセット時の端子設定

S1C63709の入出力兼用ポート(P)端子は特殊出力端子やシリアルインタフェースの入出力端子と兼用されており、それらの機能をソフトウェアで選択できるようになっています。イニシャルリセット時、各端子はすべてが汎用入出力兼用ポート端子として設定されますので、アプリケーションの初期化ルーチンでシステムに合った設定を行ってください。また、システム設計の際には、端子の初期状態にも注意してください。表2.2.7.1に兼用端子設定の一覧を示します。

表2.2.7.1 兼用端子設定一覧

端子名	イニシャルリセット時の 端子状態	特殊出力使用時									シリアルインタフェース使用時		
		TOUT	SVDDT	VCWON	ISOR1	ISOR2	ISOR3	CLIM	F16HZ	BZ	FOUT	Master	Slave
P00~P03	P00~P03 (入力&プルダウン*)												
P10	P10 (入力&プルダウン*)											SIN(I)	SIN(I)
P11	P11 (入力&プルダウン*)											SOUT(O)	SOUT(O)
P12	P12 (入力&プルダウン*)											SCLK(O)	SCLK(I)
P13	P13 (入力&プルダウン*)												SRDY(O)
P20	P20 (入力&プルダウン*)	TOUT											
P21	P21 (入力&プルダウン*)		SVDDT										
P22	P22 (入力&プルダウン*)			VCWON									
P23	P23 (入力&プルダウン*)				ISOR1								
P30	P30 (LOW出力)						ISOR3						
P31	P31 (LOW出力)					ISOR2							
P32	P32 (LOW出力)							CLIM					
P33	P33 (LOW出力)								F16HZ				
P40	P40 (LOW出力)									BZ			
P41	P41 (LOW出力)										FOUT		

* マスクオプションにて"プルダウンあり"選択時("プルダウンなし"選択時はハイインピーダンス)

機能の設定方法については各周辺回路の説明を参照してください。

2.3 テスト端子(TEST)

ICの出荷検査時に使用する端子です。通常動作時はTESTをVssに接続してください。

3 CPU, ROM, RAM

3.1 CPU

S1C63709はCPU部分に4ビットコアCPU S1C63000を使用しています。
S1C63000については"S1C63000コアCPUマニュアル"を参照してください。

注: S1C63709においては、SLEEP動作を想定していないため、SLP命令は使用できません。

3.2 コードROM

内蔵コードROMはプログラム格納用のマスクROMで、12,288ステップ×13ビットの容量があります。コアCPUのプログラム領域は0000H～FFFFHステップまでリニアにアクセス可能ですが、S1C63709では、このうち0000H～2FFFHステップがプログラム領域となります。イニシャルリセット後のプログラム開始番地が0110Hステップ、ノンマスカブル割り込み(NMI)ベクタが0100H、ハードウェア割り込みベクタが0102H～010EHステップに割り当てられています。

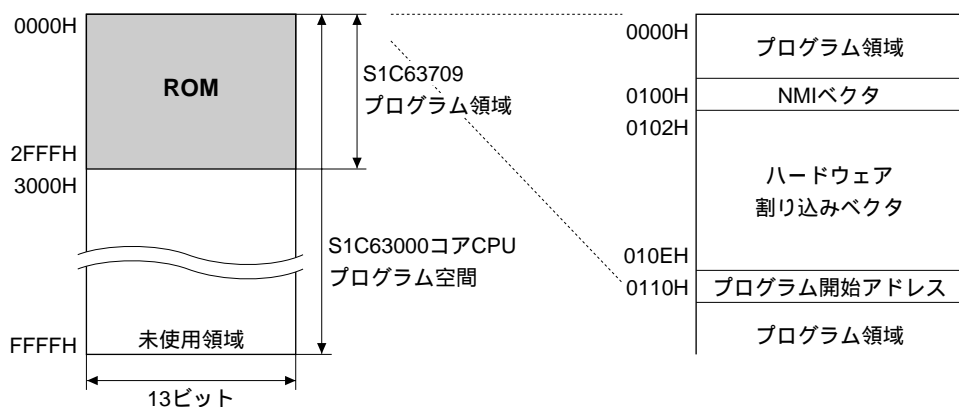


図3.2.1 コードROMの構成

3.3 RAM

RAMは種々のデータを格納するデータメモリで、2,048ワード×4ビットの容量があります。RAM領域は、データメモリマップ上のアドレス0000H～07FFFHに割り当てられています。この中でアドレス0100H～01FFFHが4ビット/16ビットデータアクセスが可能な領域、その他の領域は4ビットデータアクセスのみ可能な領域となっています。プログラミングの際には以下の点に注意してください。

- (1) データメモリの一部をサブルーチンコールやレジスタ退避時のスタック領域としても使用しますので、データ領域とスタック領域が重ならないように注意してください。
- (2) S1C63000コアCPUは、4ビットデータ用スタックポインタ (SP2) および16ビットデータ用スタックポインタ (SP1) によりスタック処理を行います。SP1によるスタック処理では16ビットデータアクセスが行われますので、このスタック領域の設定は4ビット/16ビットアクセスが可能な領域内 (0100H～01FFFH)で行ってください。スタックポインタは、SP1が0000H～03FFFH、SP2が0000H～00FFFHの範囲でサイクリックに動作します。このため、SP1はS1C63709の4ビット/16ビットアクセス領域を外れた0200H以上、あるいは00FFFH以下の領域にも設定される可能性がありますので注意してください。SP1によるスタック操作以外のメモリアccessは4ビットデータアクセスとなります。
また、イニシャルリセット時は、スタックポインタSP1、SP2の両方がソフトウェアで設定されるまでNMIを含むすべての割り込みがマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまでNMIを含む割り込みは再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

- (3) サブルーチンコールでは16ビットデータ用スタック(SP1)を4ワード(PCの退避)消費します。
 割り込みでは16ビットデータ用スタックエリアを4ワード(PCの退避)、4ビットデータ用スタックエリアを1ワード(Fレジスタの退避)消費します。

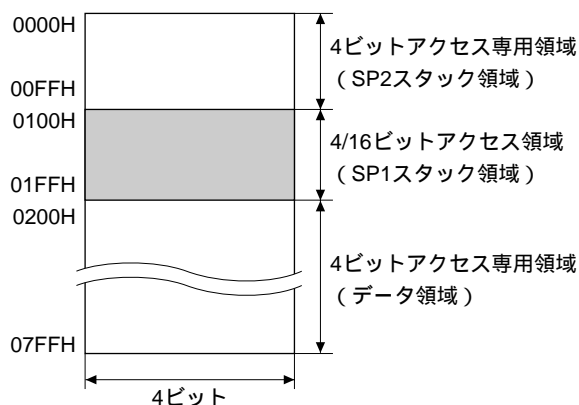


図3.3.1 データRAMの構成

3.4 データROM

データROMはキャラクタジェネレータなどの各種固定データ格納用のマスクROMで、2,048ワード×4ビットの容量があります。データメモリマップ上のアドレス8000H～87FFHに割り当てられており、RAMと同様にデータメモリアクセス命令でデータを読み出すことができます。

4 周辺回路と動作

S1C63709の周辺回路(タイマ、I/O等)はメモリマップドI/O方式で、CPUとインタフェースされています。このため、メモリマップ上のI/Oメモリをメモリ操作命令でアクセスすることにより、すべての周辺回路を制御することができます。

以下に、各周辺回路の動作について詳細に説明します。

4.1 メモリマップ

S1C63709のデータメモリは2,048ワードのRAM、2,048ワードのデータROM、160ワードの表示メモリ、117ワードの周辺I/Oメモリで構成されます。

図4.1.1にS1C63709の全体のメモリマップ、表4.1.1に周辺回路(I/O空間)のメモリマップを示します。

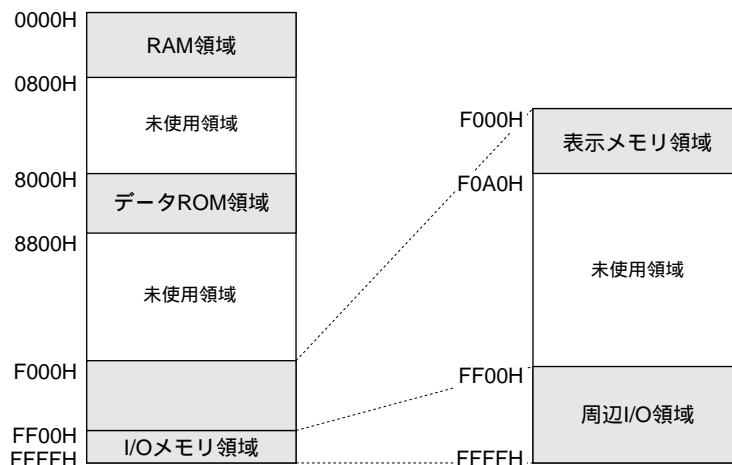


図4.1.1 メモリマップ

注: メモリマップの未使用領域にはメモリが実装されていません。また、周辺I/O領域にも非実装領域、未使用(アクセス禁止)領域が存在します。これらの領域をアクセスするようなプログラムを作成した場合は、正常な動作を保証することはできません。

周辺I/O領域については表4.1.1に示すI/Oメモリマップを参照してください。

表4.1.1(a) I/Oメモリマップ(FF00H ~ FF18H)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF00H	HVLON	0	0	SRPER	HVLON	0	Enable	Disable	重負荷保護モードイネーブル 未使用 未使用 周辺回路ソフトウェアリセット
		R/W	R	R/W	0 *3 SRPER	- *2 0		Invalid	
FF01H	CLKCHG	OSCC	0	0	CLKCHG	0	OSC3	OSC1	CPUクロック切り換え OSC3発振On/Off 未使用 未使用
		R/W	R		OSCC	0	On	Off	
FF04H	SVDCHG	SVDS2	SVDS1	SVDS0	SVDCHG	0	3.0V	1.5V	SVD電圧系選択 SVD比較電圧設定 [SVDS2-0] 0 1 2 3 4 5 6 7 レベル 0 1 2 3 4 5 6 7 (電圧値はFF50H ~ FF55Hで選択) (高)
		R/W			SVDS2 SVDS1 SVDS0	0 0 0			
FF05H	SVDS3	ESVDDT	SVDDT	SVDON	SVDS3	0	1	0	汎用レジスタ SVDDTモニタ出力イネーブル(P21) SVD検出データ SVD回路On/Off
		R/W	R	R/W	ESVDDT SVDDT SVDON	0 0 0	Enable Low On	Disable Normal Off	
FF06H	FOUTE	SWDIR	FOFQ1	FOFQ0	FOUTE	0	Enable	Disable	FOUT出力イネーブル(P41) ストップウォッチダイレクト入力切り換え 0: K00=Run/Stop, K01=Lap 1: K00=Lap, K01=Run/Stop FOUT [FOFQ1, 0] 0 1 2 3 周波数選択 周波数 fosc1/64 fosc1/8 fosc1 fosc3
		R/W			SWDIR FOFQ1 FOFQ0	0 0 0			
FF07H	0	0	WDEN	WDRST	0 *3 0 *3	- *2 - *2			未使用 未使用 ウォッチドッグタイマイネーブル ウォッチドッグタイマリセット(書き込み時)
		R	R/W	W	WDEN WDRST *3	1 Reset	Enable Reset	Disable Invalid	
FF09H	ENISOR3	ENISOR2	E16HZ	0	ENISOR3	0	Enable	Disable	ISOR3モニタ出力イネーブル(P30) ISOR2モニタ出力イネーブル(P31) F16Hzクロック出力イネーブル(P33) 未使用
		R/W	R		ENISOR2 E16HZ 0 *3	0 0 - *2	Enable Enable	Disable Disable	
FF10H	MOKRNM1	MOKRNM0	0	0	MOKRNM1	0			M0 Krパルス数 [MOKRNM1, 0] 0 1 2 3 選択 パルス数 4 6 8 10 未使用 未使用
		R/W	R		MOKRNM0 0 *3 0 *3	0 - *2 - *2			
FF11H	MOK2LN3	MOK2LN2	MOK2LN1	MOK2LN0	MOK2LN3	0			M0 K2パルス幅選択 [MOK2LN3-0] 0 1 2 3 4 5 6 7 パルス幅(msec) 3.42 3.66 3.91 4.15 4.39 4.64 4.88 5.13 [MOK2LN3-0] 8 9 10 11 12 13 14 15 パルス幅(msec) 5.37 5.62 5.86 6.10 6.35 6.64 7.32 7.81
		R/W			MOK2LN2 MOK2LN1 MOK2LN0	0 0 0			
FF12H	MOKRDY	0	0	0	MOKRDY	0	1/2	1/4	M0 Krパルスデューティ比選択 未使用 未使用 未使用
		R/W	R		0 *3 0 *3 0 *3	- *2 - *2 - *2			
FF14H	0	0	MOK2	0	0 *3 0 *3	- *2 - *2			未使用 未使用 M0 固定駆動(K2)パルス出力 未使用
		R	R/W	R	MOK2 0 *3	0 - *2	Output	Not output	
FF16H	0	0	M1PRDEL	M0PRDEL	0 *3 0 *3	- *2 - *2			未使用 未使用 M1 Prパルス数強制0発設定 M0 Prパルス数強制0発設定
		R	R/W		M1PRDEL M0PRDEL	0 0	Pr = 0 Pr = 0	M1PRNM M0PRNM	
FF17H	0	0	M1CL8HZ	M0CL8HZ	0 *3 0 *3	- *2 - *2			未使用 未使用 M1モータクロック8Hz選択 M0モータクロック8Hz選択
		R	R/W		M1CL8HZ M0CL8HZ	0 0	8Hz 8Hz	M1CLS M0CLS	
FF18H	MOPSEL	M0CLS2	M0CLS1	M0CLS0	MOPSEL	0	Reverse	Normal	M0モータパルス正転/逆転選択 M0モータクロック選択 [M0CLS2-0] 0 1 2 3 4 5 6 7 クロック(Hz) 16 25.6 32 42.7 51.2 64 85.3 128
		R/W			M0CLS2 M0CLS1 M0CLS0	1 1 1			

[注 釈]

*1 イニシャルリセット時の初期値 *2 回路上設定されない *3 読み出し時は常時"0"

表4.1.1(b) I/Oメモリマップ(FF19H ~ FF2DH)









アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF19H	M0P1LN3	M0P1LN2	M0P1LN1	M0P1LN0	M0P1LN3	0			M0 P1パルス幅選択 [M0P1LN3-0] 0 1 2 3 4 5 6 7 パルス幅(msec) 2.93 3.17 3.42 3.66 3.91 4.15 4.39 4.64 [M0P1LN3-0] 8 9 10 11 12 13 14 15 パルス幅(msec) 4.88 5.13 5.37 5.62 5.86 6.10 6.35 6.59
	R/W				M0P1LN1	0			
					M0P1LN0	0			
FF1AH	M0PRNM1	M0PRNM0	M0PRDY	M0GRDY	M0PRNM1	0			M0 Prパルス数 [M0PRNM1, 0] 0 1 2 3 選択 パルス数 4 6 8 10 M0 Prパルスデューティ比選択 M0 Grパルスデューティ比選択
	R/W				M0PRNM0	0			
					M0PRDY	0	1/2	1/4	
					M0GRDY	0	1/2	1/4	
FF1BH	M0GRNM1	M0G1LN2	M0G1LN1	M0G1LN0	M0GRNM1	0	8	4	M0 Grパルス数選択 M0 G1パルス幅選択 [M0G1LN2-0] 0 1 2 3 4 5 6 7 パルス幅(msec) 0.73 0.98 1.22 1.46 1.71 1.95 2.20 0.49
	R/W				M0G1LN2	0			
					M0G1LN1	0			
					M0G1LN0	0			
FF1CH	M0G3LN1	M0G2LN2	M0G2LN1	M0G2LN0	M0G3LN1	0	6.84msec	4.88msec	M0 G3パルス幅選択 M0 G2パルス幅選択 [M0G2LN2-0] 0 1 2 3 4 5 6 7 パルス幅(msec) 1.71 1.95 2.20 2.44 2.69 2.93 3.17 3.42
	R/W				M0G2LN2	0			
					M0G2LN1	0			
					M0G2LN0	0			
FF1DH	M0PD3	M0PD2	M0PD1	M0PD0	M0PD3	0			M0モータパルスレジスタ
	R/W				M0PD2	0			
					M0PD1	0			
					M0PD0	0			
FF1EH	M0PC3	M0PC2	M0PC1	M0PC0	M0PC3	0			M0モータパルスカウンタ
	R				M0PC2	0			
					M0PC1	0			
					M0PC0	0			
FF1FH	M0POL	M0PCCL	M0RUNM	M0ENM	M0POL	0	O02	O01	M0出力極性 M0モータパルスカウンタクリア M0モータ運針中ステータス M0モータ駆動Run/Stop制御
	R	W	R	R/W	M0PCCL	Clear	Clear	Invalid	
					M0RUNM	0	Run	Stop	
					M0ENM	0	Run	Stop	
FF20H	SIK03	SIK02	SIK01	SIK00	SIK03	0	Enable	Disable	K00 ~ K03割り込み選択レジスタ
	R/W				SIK02	0	Enable	Disable	
					SIK01	0	Enable	Disable	
					SIK00	0	Enable	Disable	
FF21H	K03	K02	K01	K00	K03	− *2	High	Low	K00 ~ K03入力ポートデータ
	R				K02	− *2	High	Low	
					K01	− *2	High	Low	
					K00	− *2	High	Low	
FF22H	KCP03	KCP02	KCP01	KCP00	KCP03	0			K00 ~ K03入力比較レジスタ
	R/W				KCP02	0			
					KCP01	0			
					KCP00	0			
FF24H	SIK13	SIK12	SIK11	SIK10	SIK13	0	Enable	Disable	K10 ~ K13割り込み選択レジスタ
	R/W				SIK12	0	Enable	Disable	
					SIK11	0	Enable	Disable	
					SIK10	0	Enable	Disable	
FF25H	K13	K12	K11	K10	K13	− *2	High	Low	K10 ~ K13入力ポートデータ
	R				K12	− *2	High	Low	
					K11	− *2	High	Low	
					K10	− *2	High	Low	
FF29H	K23	K22	K21	K20	K23	− *2	High	Low	K20 ~ K23入力ポートデータ
	R				K22	− *2	High	Low	
					K21	− *2	High	Low	
					K20	− *2	High	Low	
FF2AH	TRIM23	TRIM22	TRIM21	TRIM20	TRIM23	0	1	0	K20 ~ K23論理緩急入力データレジスタ
	R				TRIM22	0	1	0	
					TRIM21	0	1	0	
					TRIM20	0	1	0	
FF2DH	ENISOR1	ECLIM	CLIM	K30	ENISOR1	0	Enable	Disable	ISOR1モニタ出力ラインネーブル(P23) CLIMモニタ出力ラインネーブル(P32) リミットレベルモニタ K30入力ポートデータ
	R/W				ECLIM	0	Enable	Disable	
					CLIM	0	On	Off	
					K30	− *2	High	Low	

表4.1.1(c) I/Oメモリマップ(FF2EH~FF40H)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF2EH	0	0	0	TRIM30	0 *3	0			未使用 未使用 未使用 K30論理緩急入力データレジスタ
					0 *3	0			
					0 *3	0			
	R				TRIM30	0	1	0	
FF30H	IOC43	IOC42	IOC41	IOC40	IOC43	1	1	0	汎用レジスタ 汎用レジスタ P41 I/O制御レジスタ FOUT出力時は"1"に固定 P40 I/O制御レジスタ BZ出力時は"1"に固定
					IOC42	1	1	0	
	R/W				IOC41	1	Output	Input	
					IOC40	1	Output	Input	
FF31H	PUL43	PUL42	PUL41	PUL40	PUL43	0	1	0	汎用レジスタ 汎用レジスタ P41ブルダウン制御レジスタ FOUT出力時は"0"に固定 P40ブルダウン制御レジスタ BZ出力時は"0"に固定
					PUL42	0	1	0	
	R/W				PUL41	0	On	Off	
					PUL40	0	On	Off	
FF32H	P43	P42	P41	P40	P43	- *2	High	Low	汎用レジスタ 汎用レジスタ P41入出力兼用ポートデータ(FOUTE="0")FOUT出力時は"0"に固定 P40入出力兼用ポートデータ(BZE="0")BZ出力時は"0"に固定
					P42	- *2	High	Low	
	R/W				P41	- *2	High	Low	
					P40	- *2	High	Low	
FF33H	K1SMP7	K1SMP6	K1SMP5	K1SMP4	K1SMP7	0	256Hz	32Hz	K10~K13サンプリングクロック選択レジスタ
					K1SMP6	0	256Hz	32Hz	
	R/W				K1SMP5	0	256Hz	32Hz	
					K1SMP4	0	256Hz	32Hz	
FF34H	K1SMP3	K1SMP2	K1SMP1	K1SMP0	K1SMP3	0	256/32Hz	Off	K10~K13サンプリング制御レジスタ
					K1SMP2	0	256/32Hz	Off	
	R/W				K1SMP1	0	256/32Hz	Off	
					K1SMP0	0	256/32Hz	Off	
FF38H	M1PSEL	M1CLS2	M1CLS1	M1CLS0	M1PSEL	0	Reverse	Normal	M1モータパルス正転/逆転選択 M1モータクロック選択 [M1CLS2-0] 0 1 2 3 4 5 6 7 クロック(Hz) 16 25.6 32 42.7 51.2 64 85.3 128
					M1CLS2	1			
	R/W				M1CLS1	1			
					M1CLS0	1			
FF39H	M1P1LN3	M1P1LN2	M1P1LN1	M1P1LN0	M1P1LN3	0			M1 P1パルス幅選択 [M1P1LN3-0] 0 1 2 3 4 5 6 7 パルス幅(msec) 2.93 3.17 3.42 3.66 3.91 4.15 4.39 4.64 [M1P1LN3-0] 8 9 10 11 12 13 14 15 パルス幅(msec) 4.88 5.13 5.37 5.62 5.86 6.10 6.35 6.59
					M1P1LN2	0			
	R/W				M1P1LN1	0			
					M1P1LN0	0			
FF3AH	M1PRNM1	M1PRNM0	M1PRDY	M1GRDY	M1PRNM1	0			M1 Prパルス数 [M1PRNM1, 0] 0 1 2 3 選択 パルス数 4 6 8 10 M1 Prパルスデューティ比選択 M1 Grパルスデューティ比選択
					M1PRNM0	0			
	R/W				M1PRDY	0	1/2	1/4	
					M1GRDY	0	1/2	1/4	
FF3BH	M1GRNM	M1G1LN2	M1G1LN1	M1G1LN0	M1GRNM	0	8	4	M1 Grパルス数選択 M1 G1パルス幅選択 [M1G1LN2-0] 0 1 2 3 4 5 6 7 パルス幅(msec) 0.73 0.98 1.22 1.46 1.71 1.95 2.20 0.49
					M1G1LN2	0			
	R/W				M1G1LN1	0			
					M1G1LN0	0			
FF3CH	M1G3LN	M1G2LN2	M1G2LN1	M1G2LN0	M1G3LN	0	6.84msec	4.88msec	M1 G3パルス幅選択 M1 G2パルス幅選択 [M1G2LN2-0] 0 1 2 3 4 5 6 7 パルス幅(msec) 1.71 1.95 2.20 2.44 2.69 2.93 3.17 3.42
					M1G2LN2	0			
	R/W				M1G2LN1	0			
					M1G2LN0	0			
FF3DH	M1PD3	M1PD2	M1PD1	M1PD0	M1PD3	0			M1モータパルスレジスタ
					M1PD2	0			
	R/W				M1PD1	0			
					M1PD0	0			
FF3EH	M1PC3	M1PC2	M1PC1	M1PC0	M1PC3	0			M1モータパルスカウンタ
					M1PC2	0			
	R				M1PC1	0			
					M1PC0	0			
FF3FH	M1POL	M1PCCL	M1RUNM	M1ENM	M1POL	0	O12	O11	M1出力極性 M1モータパルスカウンタクリア M1モータ運転中ステータス M1モータ駆動Run/Stop制御
					M1PCCL	Clear	Clear	Invalid	
	R	W	R	R/W	M1RUNM	0	Run	Stop	
					M1ENM	0	Run	Stop	
FF40H	IOC03	IOC02	IOC01	IOC00	IOC03	0	Output	Input	P00~P03 I/O制御レジスタ
					IOC02	0	Output	Input	
	R/W				IOC01	0	Output	Input	
					IOC00	0	Output	Input	

表4.1.1(d) I/Oメモリマップ(FF41H~FF4EH)

アドレス	レジスタ				注 釈				
	D3	D2	D1	D0	Name	Init *1	1	0	
FF41H	PUL03	PUL02	PUL01	PUL00	PUL03	1	On	Off	P00～P03ブルダウン制御レジスタ
					PUL02	1	On	Off	
	R/W				PUL01	1	On	Off	
					PUL00	1	On	Off	
FF42H	P03	P02	P01	P00	P03	−*2	High	Low	P00～P03入出力兼用ポートデータ
					P02	−*2	High	Low	
	R/W				P01	−*2	High	Low	
					P00	−*2	High	Low	
FF44H	IOC13	IOC12	IOC11	IOC10	IOC13	0	Output	Input	P13 I/O制御レジスタ SIF(スレープ)選択時、汎用レジスタとして機能 P12 I/O制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能 P11 I/O制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能 P10 I/O制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能
					IOC12	0	Output	Input	
	R/W				IOC11	0	Output	Input	
					IOC10	0	Output	Input	
FF45H	PUL13	PUL12	PUL11	PUL10	PUL13	1	On	Off	P13ブルダウン制御レジスタ SIF(スレープ)選択時、汎用レジスタとして機能 P12ブルダウン制御レジスタ(ESIF=0) SIF(マスタ)選択時、汎用レジスタとして機能 SIF(スレープ)選択時、SCLK(I)ブルダウン制御レジスタ P11ブルダウン制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能 P10ブルダウン制御レジスタ(ESIF=0) SIF選択時、SINブルダウン制御レジスタ
					PUL12	1	On	Off	
	R/W				PUL11	1	On	Off	
					PUL10	1	On	Off	
FF46H	P13 (XSRDY)	P12 (XSCLK)	P11 (SOUT)	P10 (SIN)	P13	−*2	High	Low	P13入出力兼用ポートデータ SIF(スレープ)選択時、汎用レジスタとして機能 P12入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能 P11入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能 P10入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能
					P12	−*2	High	Low	
	R/W				P11	−*2	High	Low	
					P10	−*2	High	Low	
FF48H	IOC23	IOC22	IOC21	IOC20	IOC23	0	Output	Input	P23 I/O制御レジスタ(ISOR1出力時は"1"に固定) P22 I/O制御レジスタ(VCWON出力時は"1"に固定) P21 I/O制御レジスタ(SVDDT出力時は"1"に固定) P20 I/O制御レジスタ(TOUT出力時は"1"に固定)
					IOC22	0	Output	Input	
	R/W				IOC21	0	Output	Input	
					IOC20	0	Output	Input	
FF49H	PUL23	PUL22	PUL21	PUL20	PUL23	1	On	Off	P23ブルダウン制御レジスタ(ISOR1出力時は"0"に固定) P22ブルダウン制御レジスタ(VCWON出力時は"0"に固定) P21ブルダウン制御レジスタ(SVDDT出力時は"0"に固定) P20ブルダウン制御レジスタ(TOUT出力時は"0"に固定)
					PUL22	1	On	Off	
	R/W				PUL21	1	On	Off	
					PUL20	1	On	Off	
FF4AH	P23	P22	P21	P20	P23	−*2	High	Low	P23入出力兼用ポートデータ(ISOR1出力時は"0"に固定) P22入出力兼用ポートデータ(VCWON出力時は"0"に固定) P21入出力兼用ポートデータ(SVDDT出力時は"0"に固定) P20入出力兼用ポートデータ(TOUT出力時は"0"に固定)
					P22	−*2	High	Low	
	R/W				P21	−*2	High	Low	
					P20	−*2	High	Low	
FF4CH	IOC33	IOC32	IOC31	IOC30	IOC33	1	Output	Input	P33 I/O制御レジスタ(F16HZ出力時は"1"に固定) P32 I/O制御レジスタ(CLIM出力時は"1"に固定) P31 I/O制御レジスタ(ISOR2出力時は"1"に固定) P30 I/O制御レジスタ(ISOR3出力時は"1"に固定)
					IOC32	1	Output	Input	
	R/W				IOC31	1	Output	Input	
					IOC30	1	Output	Input	
FF4DH	PUL33	PUL32	PUL31	PUL30	PUL33	0	On	Off	P33ブルダウン制御レジスタ(F16HZ出力時は"0"に固定) P32ブルダウン制御レジスタ(CLIM出力時は"0"に固定) P31ブルダウン制御レジスタ(ISOR2出力時は"0"に固定) P30ブルダウン制御レジスタ(ISOR3出力時は"0"に固定)
					PUL32	0	On	Off	
	R/W				PUL31	0	On	Off	
					PUL30	0	On	Off	
FF4EH	P33	P32	P31	P30	P33	−*2	High	Low	P33入出力兼用ポートデータ(F16HZ出力時は"0"に固定) P32入出力兼用ポートデータ(CLIM出力時は"0"に固定) P31入出力兼用ポートデータ(ISOR2出力時は"0"に固定) P30入出力兼用ポートデータ(ISOR3出力時は"0"に固定)
					P32	−*2	High	Low	
	R/W				P31	−*2	High	Low	
					P30	−*2	High	Low	

表4.1.1(e) I/Oメモリマップ(FF50H~FF70H)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF50H	S15V12	S15V115	S15V11	S15V105	S15V12	1	Enable	Disable	SVD1.5V系検出電圧選択(1.2V)
					S15V115	1	Enable	Disable	SVD1.5V系検出電圧選択(1.15V)
	R/W				S15V11	1	Enable	Disable	SVD1.5V系検出電圧選択(1.1V)
					S15V105	1	Enable	Disable	SVD1.5V系検出電圧選択(1.05V)
FF51H	S15V14	S15V135	S15V13	S15V125	S15V14	1	Enable	Disable	SVD1.5V系検出電圧選択(1.4V)
					S15V135	0	Enable	Disable	SVD1.5V系検出電圧選択(1.35V)
	R/W				S15V13	1	Enable	Disable	SVD1.5V系検出電圧選択(1.3V)
					S15V125	1	Enable	Disable	SVD1.5V系検出電圧選択(1.25V)
FF52H	S3V18	S3V17	S15V16	S15V15	S3V18	1	Enable	Disable	SVD3.0V系検出電圧選択(1.8V)
					S3V17	1	Enable	Disable	SVD3.0V系検出電圧選択(1.7V)
	R/W				S15V16	0	Enable	Disable	SVD1.5V系検出電圧選択(1.6V)
					S15V15	1	Enable	Disable	SVD1.5V系検出電圧選択(1.5V)
FF53H	S3V22	S3V21	S3V20	S3V19	S3V22	0	Enable	Disable	SVD3.0V系検出電圧選択(2.2V)
					S3V21	1	Enable	Disable	SVD3.0V系検出電圧選択(2.1V)
	R/W				S3V20	1	Enable	Disable	SVD3.0V系検出電圧選択(2.0V)
					S3V19	1	Enable	Disable	SVD3.0V系検出電圧選択(1.9V)
FF54H	S3V24	S3V235	S3V23	S3V225	S3V24	0	Enable	Disable	SVD3.0V系検出電圧選択(2.4V)
					S3V235	0	Enable	Disable	SVD3.0V系検出電圧選択(2.35V)
	R/W				S3V23	1	Enable	Disable	SVD3.0V系検出電圧選択(2.3V)
					S3V225	0	Enable	Disable	SVD3.0V系検出電圧選択(2.25V)
FF55H	S3V27	S3V265	S3V26	S3V25	S3V27	1	Enable	Disable	SVD3.0V系検出電圧選択(2.7V)
					S3V265	0	Enable	Disable	SVD3.0V系検出電圧選択(2.65V)
	R/W				S3V26	1	Enable	Disable	SVD3.0V系検出電圧選択(2.6V)
					S3V25	0	Enable	Disable	SVD3.0V系検出電圧選択(2.5V)
FF60H	LDUTY1	LDUTY0	STCD	LPWR	LDUTY1	0			LCD駆動デューティ [LDUTY1, 0] 0 1 2, 3 切り換え デューティ 1/4 1/5 1/8
					LDUTY0	0			
	R/W				STCD	0	Static	Dynamic	LCD駆動方式切り換え
					LPWR	0	On	Off	LCD電源On/Off
FF61H	0	ALOFF	ALON	LCFCHG	0 *3	~ *2			未使用
					ALOFF	1	All Off	Normal	LCD全消灯制御
	R	R/W			ALON	0	All On	Normal	LCD全点灯制御
					LCFCHG	0	25.6Hz	32Hz	フレーム周波数選択(1/4、1/8デューティ選択時)
FF62H	LC3	LC2	LC1	LC0	LC3	0			LCDコントラスト調整 [LC3~0] 0 ~ 15 コントラスト 淡 ~ 濃
					LC2	0			
	R/W				LC1	0			
					LC0	0			
FF6CH	ENRTM	ENRST	ENON	BZE	ENRTM	0	1sec	0.5sec	エンベロープ減衰時間選択
					ENRST *3	Reset	Reset	Invalid	エンベロープリセット(書き込み時)
	R/W	W	R/W		ENON	0	On	Off	エンベロープOn/Off
					BZE	0	Enable	Disable	BZ出力インネブル(P40)
FF6DH	EMPON	BZSTP	BZSHT	SHTPW	EMPON	0	Enable	Disable	モータパルス出力中ブザー出力インネブル
					BZSTP *3	0	Stop	Invalid	1ショットブザーStop(書き込み時)
					BZSHT	0	Trigger	Invalid	1ショットブザートリガ(書き込み時)
	R/W	W	R/W				Busy	Ready	1ショットブザーステータス(読み出し時)
					SHTPW	0	125msec	31.25msec	1ショットブザーパルス幅選択
FF6EH	0	BZFQ2	BZFQ1	BZFQ0	0 *3	~ *2			未使用
					BZFQ2	0			ブザー [BZFQ2, 1, 0] 0 1 2 3 周波数(Hz) 4096.0 3276.8 2730.7 2340.6 周波数選択 [BZFQ2, 1, 0] 4 5 6 7 周波数(Hz) 2048.0 1638.4 1365.3 1170.3
	R	R/W			BZFQ1	0			
					BZFQ0	0			
FF6FH	0	BDTY2	BDTY1	BDTY0	0 *3	~ *2			未使用
					BDTY2	0			ブザー信号デューティ比選択 (本編参照)
	R	R/W			BDTY1	0			
					BDTY0	0			
FF70H	0	ESOUT	SCTRG	ESIF	ESOUT	0	Enable	Disable	未使用
					SCTRG	0	Trigger	Invalid	SOUTインネブル
	R	R/W					Run	Stop	シリアルI/Fクロックトリガ(書き込み時)
					ESIF	0	SIF	I/O	シリアルI/Fクロックステータス(読み出し時)
									シリアルI/Fインネブル(P1ポート機能選択)

表4.1.1(f) I/Oメモリマップ(FF71H~FFC1H)

アドレス	レジスタ				注 釈			
	D3	D2	D1	D0	Name	Init #1	1	0
FF71H	SDP	SCPS	SCS1	SCS0	SDP	0	MSB first	LSB first
					SCPS	0		
	R/W				SCS1	0		
					SCS0	0		
FF72H	SD3	SD2	SD1	SD0	SD3	−*2	High	Low
					SD2	−*2	High	Low
	R/W				SD1	−*2	High	Low
					SD0	−*2	High	Low
FF73H	SD7	SD6	SD5	SD4	SD7	−*2	High	Low
					SD6	−*2	High	Low
	R/W				SD5	−*2	High	Low
					SD4	−*2	High	Low
FF74H	0	0	TMRST	TMRUN	0 *3	−*2		
					0 *3	−*2		
	R		W	R/W	TMRST*3	Reset	Reset	Invalid
					TMRUN	0	Run	Stop
FF75H	TM3	TM2	TM1	TM0	TM3	0		
					TM2	0		
	R				TM1	0		
					TM0	0		
FF76H	TM7	TM6	TM5	TM4	TM7	0		
					TM6	0		
	R				TM5	0		
					TM4	0		
FF78H	EDIR	DKM2	DKM1	DKM0	EDIR	0	Enable	Disable
					DKM2	0		
	R/W				DKM1	0		
					DKM0	0		
FF79H	LCURF	CRNWF	SWRUN	SWRST	LCURF	0	Request	No
					CRNWF	0	Renewal	No
	R		R/W	W	SWRUN	0	Run	Stop
					SWRST*3	Reset	Reset	Invalid
FF7AH	SWD3	SWD2	SWD1	SWD0	SWD3	0		
					SWD2	0		
	R				SWD1	0		
					SWD0	0		
FF7BH	SWD7	SWD6	SWD5	SWD4	SWD7	0		
					SWD6	0		
	R				SWD5	0		
					SWD4	0		
FF7CH	SWD11	SWD10	SWD9	SWD8	SWD11	0		
					SWD10	0		
	R				SWD9	0		
					SWD8	0		
FF88H	0	0	EVCWON	VCWON	0 *3	−*2		
					0 *3	−*2		
	R		R/W		EVCWON	0	Enable	Disable
					VCWON	0	On	Off
FFC0H	MOD16	EVCNT	FCSEL	PLPOL	MOD16	0	16bits	8bits
					EVCNT	0	Event ct.	Timer
	R/W				FCSEL	0	With NR	No NR
					PLPOL	0		
FFC1H	0	CHSEL1	CHSEL0	PTOUT	0 *3	−*2		
					CHSEL1	0		
	R				CHSEL0	0		
					PTOUT	0	On	Off

表4.1.1(g) I/Oメモリマップ(FFC2H ~ FFD0H)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FFC2H	0	CKSEL2	CKSEL1	CKSEL0	0 *3 CKSEL2	- *2 0	OSC3	OSC1	未使用 プリスケアラ2原振クロック選択 プリスケアラ1原振クロック選択 プリスケアラ0原振クロック選択
	R	R/W			CKSEL1	0	OSC3	OSC1	
					CKSEL0	0	OSC3	OSC1	
FFC3H	PTPS01	PTPS00	PTRST0	PTRUN0	PTPS01	0			プリスケアラ0 [PTPS01, 00] 0 1 2 3 分周比選択 分周比 1/1 1/4 1/32 1/256 タイマ0リセット(リロード) タイマ0 Run/Stop
					PTPS00	0			
	R/W		W	R/W	PTRST0*3	- *2	Reset	Invalid	
					PTRUN0	0	Run	Stop	
FFC4H	PTPS11	PTPS10	PTRST1	PTRUN1	PTPS11	0			プリスケアラ1 [PTPS11, 10] 0 1 2 3 分周比選択 分周比 1/1 1/4 1/32 1/256 タイマ1リセット(リロード) タイマ1 Run/Stop
					PTPS10	0			
	R/W		W	R/W	PTRST1*3	- *2	Reset	Invalid	
					PTRUN1	0	Run	Stop	
FFC5H	PTPS21	PTPS20	PTRST2	PTRUN2	PTPS21	0			プリスケアラ2 [PTPS21, 20] 0 1 2 3 分周比選択 分周比 1/1 1/4 1/32 1/256 タイマ2リセット(リロード) タイマ2 Run/Stop
					PTPS20	0			
	R/W		W	R/W	PTRST2*3	- *2	Reset	Invalid	
					PTRUN2	0	Run	Stop	
FFC6H	RLD03	RLD02	RLD01	RLD00	RLD03	0			MSB プログラマブルタイマ0リロードデータ(下位4ビット) LSB
					RLD02	0			
	R/W				RLD01	0			
					RLD00	0			
FFC7H	RLD07	RLD06	RLD05	RLD04	RLD07	0			MSB プログラマブルタイマ0リロードデータ(上位4ビット) LSB
					RLD06	0			
	R/W				RLD05	0			
					RLD04	0			
FFC8H	RLD13	RLD12	RLD11	RLD10	RLD13	0			MSB プログラマブルタイマ1リロードデータ(下位4ビット) LSB
					RLD12	0			
	R/W				RLD11	0			
					RLD10	0			
FFC9H	RLD17	RLD16	RLD15	RLD14	RLD17	0			MSB プログラマブルタイマ1リロードデータ(上位4ビット) LSB
					RLD16	0			
	R/W				RLD15	0			
					RLD14	0			
FFCAH	RLD23	RLD22	RLD21	RLD20	RLD23	0			MSB プログラマブルタイマ2リロードデータ(下位4ビット) LSB
					RLD22	0			
	R/W				RLD21	0			
					RLD20	0			
FFCBH	RLD27	RLD26	RLD25	RLD24	RLD27	0			MSB プログラマブルタイマ2リロードデータ(上位4ビット) LSB
					RLD26	0			
	R/W				RLD25	0			
					RLD24	0			
FFCCH	PTD03	PTD02	PTD01	PTD00	PTD03	0			MSB プログラマブルタイマ0データ(下位4ビット) LSB
					PTD02	0			
	R				PTD01	0			
					PTD00	0			
FFCDH	PTD07	PTD06	PTD05	PTD04	PTD07	0			MSB プログラマブルタイマ0データ(上位4ビット) LSB
					PTD06	0			
	R				PTD05	0			
					PTD04	0			
FFCEH	PTD13	PTD12	PTD11	PTD10	PTD13	0			MSB プログラマブルタイマ1データ(下位4ビット) LSB
					PTD12	0			
	R				PTD11	0			
					PTD10	0			
FFCFH	PTD17	PTD16	PTD15	PTD14	PTD17	0			MSB プログラマブルタイマ1データ(上位4ビット) LSB
					PTD16	0			
	R				PTD15	0			
					PTD14	0			
FFD0H	PTD23	PTD22	PTD21	PTD20	PTD23	0			MSB プログラマブルタイマ2データ(下位4ビット) LSB
					PTD22	0			
	R				PTD21	0			
					PTD20	0			

表4.1.1(h) I/Oメモリマップ(FFD1H~FFF5H)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FFD1H	PTD27	PTD26	PTD25	PTD24	PTD27	0			MSB プログラマブルタイマ2データ(上位4ビット) LSB
					PTD26	0			
					PTD25	0			
					PTD24	0			
FFE1H	R								
	0	EIPT2	EIPT1	EIPT0	0 *3	- *2			未使用
					EIPT2	0	Enable	Mask	割り込みマスクレジスタ(プログラマブルタイマ2)
	R	R/W			EIPT1	0	Enable	Mask	割り込みマスクレジスタ(プログラマブルタイマ1)
FFE2H					EIPT0	0	Enable	Mask	割り込みマスクレジスタ(プログラマブルタイマ0)
	0	0	0	EISIF	0 *3	- *2			未使用
					0 *3	- *2			未使用
					0 *3	- *2			未使用
FFE3H	R			R/W	EISIF	0	Enable	Mask	割り込みマスクレジスタ(シリアルI/F)
	0	0	0	EIK0	0 *3	- *2			未使用
					0 *3	- *2			未使用
					0 *3	- *2			未使用
FFE4H	R			R/W	EIK0	0	Enable	Mask	割り込みマスクレジスタ(K00~K03)
	0	0	0	EIK1	0 *3	- *2			未使用
					0 *3	- *2			未使用
					0 *3	- *2			未使用
FFE5H	R			R/W	EIK1	0	Enable	Mask	割り込みマスクレジスタ(K10~K13)
	EIT3	EIT2	EIT1	EIT0	EIT3	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ1Hz)
					EIT2	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ2Hz)
					EIT1	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ8Hz)
FFE6H					EIT0	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ32Hz)
	EIRUN	EILAP	EISW1	EISW10	EIRUN	0	Enable	Mask	割り込みマスクレジスタ(SWダイレクトRUN)
					EILAP	0	Enable	Mask	割り込みマスクレジスタ(SWダイレクトLAP)
					EISW1	0	Enable	Mask	割り込みマスクレジスタ(ストップウォッチタイマ1Hz)
FFE8H					EISW10	0	Enable	Mask	割り込みマスクレジスタ(ストップウォッチタイマ10Hz)
	0	0	EISMD1	EISMD0	0 *3	- *2			未使用
					0 *3	- *2			未使用
	R			R/W	EISMD1	0	Enable	Mask	割り込みマスクレジスタ(モータドライバ1)
FFE9H					EISMD0	0	Enable	Mask	割り込みマスクレジスタ(モータドライバ0)
	0	EIT6	EIT5	EIT4	0 *3	- *2			未使用
					EIT6	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ128Hz)
	R	R/W			EIT5	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ64Hz)
FFECH					EIT4	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ16Hz)
	EISOR3	EISOR2	EISOR1	EISOR0	EISOR3	0	1	0	汎用レジスタ
					EISOR2	0	1	0	汎用レジスタ
					EISOR1	0	1	0	汎用レジスタ
FFF1H	R			R/W	EISOR0	0	Enable	Mask	割り込みマスクレジスタ(ソーラーウェイクアップ)
	0	IPT2	IPT1	IPT0	0 *3	- *2	(R)	(R)	未使用
					IPT2	0	Yes	No	割り込み要因フラグ(プログラマブルタイマ2)
	R	R/W			IPT1	0	(W)	(W)	割り込み要因フラグ(プログラマブルタイマ1)
FFF2H					IPT0	0	Reset	Invalid	割り込み要因フラグ(プログラマブルタイマ0)
	0	0	0	ISIF	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
					0 *3	- *2	(W)	(W)	未使用
FFF3H	R			R/W	ISIF	0	Reset	Invalid	割り込み要因フラグ(シリアルI/F)
	0	0	0	IK0	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
					0 *3	- *2	(W)	(W)	未使用
FFF4H	R			R/W	IK0	0	Reset	Invalid	割り込み要因フラグ(K00~K03)
	0	0	0	IK1	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
					0 *3	- *2	(W)	(W)	未使用
FFF5H					IK1	0	Reset	Invalid	割り込み要因フラグ(K10~K13)
	IT3	IT2	IT1	IT0	IT3	0	(R)	(R)	割り込み要因フラグ(計時タイマ1Hz)
					IT2	0	Yes	No	割り込み要因フラグ(計時タイマ2Hz)
					IT1	0	(W)	(W)	割り込み要因フラグ(計時タイマ8Hz)
FFF5H					IT0	0	Reset	Invalid	割り込み要因フラグ(計時タイマ32Hz)

表4.1.1(i) I/Oメモリマップ(FFF6H ~ FFFCH)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FFF6H	IRUN	ILAP	ISW1	ISW10	IRUN	0	(R)	(R)	割り込み要因フラグ(SWダイレクトRUN)
					ILAP	0	Yes	No	割り込み要因フラグ(SWダイレクトLAP)
	R/W				ISW1	0	(W)	(W)	割り込み要因フラグ(ストップウォッチタイマ1Hz)
					ISW10	0	Reset	Invalid	割り込み要因フラグ(ストップウォッチタイマ10Hz)
FFF8H	0	0	ISMD1	ISMD0	0 *3	– *2	(R)	(R)	未使用
					0 *3	– *2	Yes	No	未使用
	R		R/W		ISMD1	0	(W)	(W)	割り込み要因フラグ(モータドライバ1)
					ISMD0	0	Reset	Invalid	割り込み要因フラグ(モータドライバ0)
FFF9H	0	IT6	IT5	IT4	0 *3	– *2	(R)	(R)	未使用
					IT6	0	Yes	No	割り込み要因フラグ(計時タイマ128Hz)
	R	R/W			IT5	0	(W)	(W)	割り込み要因フラグ(計時タイマ64Hz)
					IT4	0	Reset	Invalid	割り込み要因フラグ(計時タイマ16Hz)
FFFCH	ISOR3	ISOR2	ISOR1	ISOR0	ISOR3	– *2	Pre Q start	Normal	即スタート中フラグ1
					ISOR2	– *2	Quick start	Normal	即スタート中フラグ2
					ISOR1	– *2	Charge	Not charged	充電中フラグ
	R			R/W	ISOR0	0	(R)Yes	(R)No	割り込み要因フラグ(ソーラーウェイクアップ)
							(W)Reset	(W)Invalid	

4.2 ウォッチドッグタイマ

4.2.1 ウォッチドッグタイマの構成

S1C63709はOSC1分周クロック256Hzを原振とするウォッチドッグタイマを内蔵しています。ウォッチドッグタイマはイニシャルリセット時に動作状態に設定されますが、ソフトウェアにより動作を停止させることができます。ウォッチドッグタイマが動作中はソフトウェアにより周期的にリセットする必要があり、3～4秒以上リセットが行われない場合、CPUに対してノンマスカブル割り込み(NMI)が発生します。

図4.2.1.1にウォッチドッグタイマのブロック図を示します。

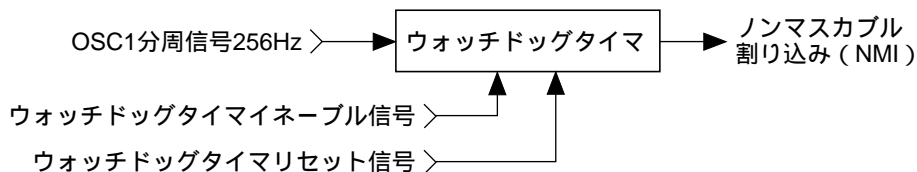


図4.2.1.1 ウォッチドッグタイマのブロック図

ウォッチドッグタイマは10ビットのバイナリカウンタで構成され、最終段0.25Hzのオーバーフローによってノンマスカブル割り込みが発生します。

プログラムのメインルーチン上でウォッチドッグタイマのリセット処理をすることにより、メインルーチンのウォッチドッグタイマ処理を通らないようなプログラムの暴走を検出することができます。通常はこのルーチンをタイマ割り込みルーチンのように、定期的に処理される箇所に組み込みます。

なお、ウォッチドッグタイマはHALT時も動作しており、HALT状態を3～4秒間続けるとノンマスカブル割り込みによりHALT状態が解除されます。

4.2.2 割り込み機能

ウォッチドッグタイマがソフトウェアによって周期的にリセットされない場合、コアCPUに対してノンマスカブル(NMI)割り込みが発生します。この割り込みはマスク不可能で、割り込み禁止状態(IFラゲ="0")でも受け付けられます(イニシャルリセット直後やスタックポインタ再設定時など、SP1およびSP2がペアで設定されるまでの割り込みマスク状態は除きます)。

NMIの割り込みベクタはプログラムメモリの0100Hに設定されています。

4.2.3 ウォッチドッグタイマのI/Oメモリ

表4.2.3.1にウォッチドッグタイマの制御ビットとそのアドレスを示します。

表4.2.3.1 ウォッチドッグタイマの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF07H	0	0	WDEN	WDRST	0 *3	— *2			未使用
					0 *3	— *2			未使用
	R		R/W	W	WDEN	1	Enable	Disable	ウォッチドッグタイマイネーブル
					WDRST *3	Reset	Reset	Invalid	ウォッチドッグタイマリセット(書き込み時)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

WDEN: ウォッチドッグタイマイネーブルレジスタ(FF07H・D1)

ウォッチドッグタイマを使用する(イネーブル)かしない(ディセーブル)か選択します。

"1"書き込み: イネーブル

"0"書き込み: ディセーブル

読み出し: 可能

WDENレジスタに"1"を書き込むことによりウォッチドッグタイマはイネーブルとなりカウント動作を行います。

"0"を書き込んだ場合はディセーブルとなり、カウント動作および割り込み(NMI)の発生も行いません。

イニシャルリセット時、このレジスタは"1"にセットされます。

WDRST: ウォッチドッグタイマリセット(FF07H・D0)

ウォッチドッグタイマをリセットするビットです。

"1"書き込み: ウォッチドッグタイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

WDRSTに"1"を書き込むことによりウォッチドッグタイマはリセットされ、その直後リスタートします。"0"の書き込みはノーオペレーションとなります。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

4.2.4 プログラミング上の注意事項

- (1)ウォッチドッグタイマを使用する場合、3秒周期以内にソフトウェアでウォッチドッグタイマをリセットする必要があります。
- (2)イニシャルリセットによりウォッチドッグタイマは動作状態に設定されますので、使用しない場合は割り込み(NMI)発生前にウォッチドッグタイマをディセーブル(使用しない)に設定してください。

4.3 発振回路

4.3.1 発振回路の構成

S1C63709は2系統の発振回路(OSC1とOSC3)を内蔵しています。このうちOSC1は水晶発振回路で、CPUおよび周辺回路に動作クロックを供給します。また、OSC3はCRまたはセラミック発振回路で、高速動作が要求される処理が必要な場合に、CPUの動作クロックをソフトウェアによりOSC1からOSC3に切り換えて使用します。

図4.3.1.1に発振系のブロック図を示します。

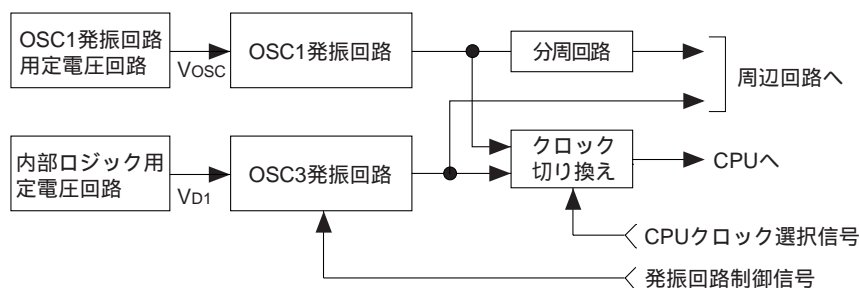


図4.3.1.1 発振系のブロック図

注: OSC3発振回路を使用するには、電源電圧が2.1V以上である必要があります。

4.3.2 OSC1発振回路

OSC1水晶発振回路はCPUおよび周辺回路用のメインクロックを発生します。発振周波数は32.768kHz (Typ.)です。

図4.3.2.1にOSC1発振回路のブロック図を示します。

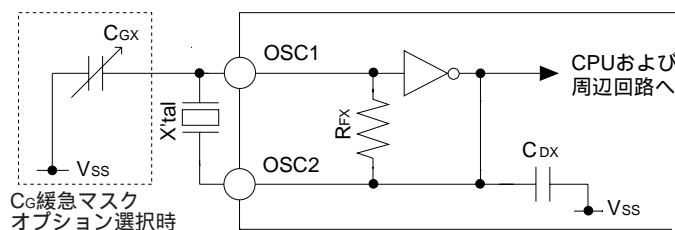


図4.3.2.1 OSC1発振回路

図4.3.2.1に示すとおり、OSC1端子とOSC2端子間に32.768kHz (Typ.)の水晶振動子(X'tal)を接続することにより、容易に水晶発振回路を構成することができます。

本OSC1発振回路は、発振周波数の調整方法として論理緩急とC_G緩急のどちらかをマスクオプションで選択することができます。

マスクオプションでC_G緩急を選択した場合は、OSC1端子とV_{SS}間に0～20pFのトリマコンデンサ(C_{Gx})を接続します。

注: 論理緩急を選択した場合は、OSC1端子とV_{SS}間にコンデンサを接続しないでください。

論理緩急の詳細は、"4.13 論理緩急"を参照してください。

4.3.3 OSC3発振回路

S1C63709はCPUを高速動作(Max. 4.2MHz)させるためのサブクロック、および高速クロックを必要とする周辺回路(プログラマブルタイマ、シリアルインタフェース、FOUT出力)のソースクロックを発生するOSC3発振回路を内蔵しています。この発振回路にはCR(R外付け) CR(R内蔵)またはセラミック発振回路をマスクオプションで選択できます。CR発振(R外付け)選択時は外付素子として抵抗が、セラミック発振選択時はセラミック振動子とコンデンサ2個(ゲート容量とドレイン容量)が必要となります。CR発振(R内蔵)選択時は外付素子は必要ありません。

図4.3.3.1にOSC3発振回路のブロック図を示します。

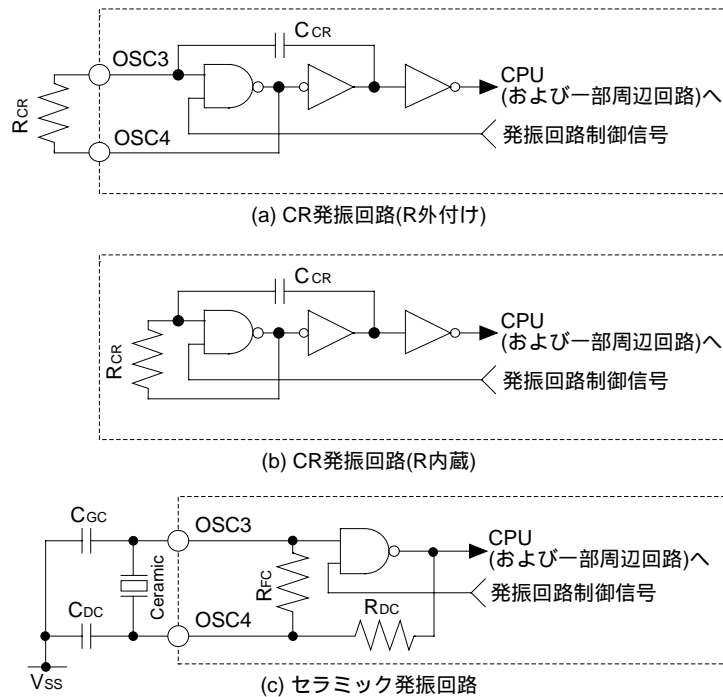


図4.3.3.1 OSC3発振回路

図4.3.3.1に示すとおり CR発振(R外付け)を選択した場合はOSC3端子とOSC4端子間に抵抗(R_{CR})を接続するだけでCR発振回路を構成できます。 R_{CR} の抵抗値については"7 電気的特性"を参照してください。セラミック発振を選択した場合はOSC3端子とOSC4端子間にセラミック振動子(Max. 4.2MHz)を、同OSC3、OSC4端子とVSS間にコンデンサを2個(C_{GC} 、 C_{DC})それぞれ接続することでセラミック発振回路を構成できます。 C_{GC} 、 C_{DC} は共に30pF程度のものを接続してください。このOSC3発振回路は消費電流を低減するために、使用しないときはソフトウェア(OSCレジスタ)によって発振を停止させることができます。

表4.3.3.1 OSC3発振周波数

発振回路	発振周波数
セラミック発振	Max. 4.2MHz
CR発振(R内蔵)	Typ. 200kHz \pm 30%
CR発振(R外付け)	200kHz \sim 2.2MHz

4.3.4 CPUクロックの切り換え

OSC1とOSC3のどちらをシステムクロックとして使用するか、ソフトウェア(CLKCHGレジスタ)によって切り換えることができます。

クロックの切り換えは以下の手順で行ってください。特に発振の安定待ち時間に注意が必要です。

OSC1 OSC3

1. OSCCに"1"を設定(OSC3発振ON)
2. 5msec以上保持
3. CLKCHGに"1"を設定(OSC1 OSC3)

注: OSC3発振回路がONしてから発振が安定するまでに、5msec以上を必要とします。したがって、CPUの動作クロックをOSC1からOSC3に切り換える際は、OSC3発振ONの後、5msec以上経過してから行ってください。

また、発振安定時間は外付け発振子の特性および使用条件等により異なりますので、十分マージンを取って待ち時間を設定してください。

OSC3 OSC1

1. CLKCHGに"0"を設定(OSC3 OSC1)
2. OSCCに"0"を設定(OSC3発振OFF)

注: OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々のインストラクションで行ってください。1インストラクションで、同時に処理するとCPUの誤動作につながります。

4.3.5 クロック周波数とインストラクション実行時間

表4.3.5.1に各クロックの周波数によるインストラクションの実行時間を示します。

表4.3.5.1 クロック周波数とインストラクション実行時間

クロック周波数	インストラクション実行時間(μ sec)		
	1サイクル命令	2サイクル命令	3サイクル命令
OSC1: 32.768kHz	61	122	183
OSC3: 200kHz	10	20	30
OSC3: 1.1MHz	1.8	3.6	5.5
OSC3: 2MHz	1	2	3
OSC3: 4MHz	0.5	1	1.5

4.3.6 発振回路のI/Oメモリ

表4.3.6.1に発振回路の制御ビットとそのアドレスを示します。

表4.3.6.1 発振回路の制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF01H	CLKCHG	OSCC	0	0	CLKCHG	0	OSC3	OSC1	CPUクロック切り換え
					OSCC	0	On	Off	OSC3発振On/Off
					0 *3	— *2			未使用
					0 *3	— *2			未使用
	R/W		R						

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

OSCC: OSC3発振制御レジスタ(FF01H・D2)

OSC3発振回路の発振ON、OFFを制御します。

"1"書き込み: OSC3発振ON

"0"書き込み: OSC3発振OFF

読み出し: 可能

CPUを高速に動作させる必要のある場合にOSCCを"1"とし、それ以外の場合は、消費電流低減のため"0"としてください。

イニシャルリセット時、このレジスタは"0"に設定されます。

CLKCHG: CPUクロック切り換えレジスタ(FF01H・D3)

CPUの動作クロックを選択します。

"1"書き込み: OSC3クロックを選択

"0"書き込み: OSC1クロックを選択

読み出し: 可能

CPUの動作クロックをOSC3にする場合にCLKCHGを"1"に設定してください。OSC3発振をON(OSCC = "1")にした直後は5msec以上の時間をおいてからクロックの切り換えを行ってください。

CLKCHGを"0"に設定した場合はOSC1クロックが選択されます。

イニシャルリセット時、このレジスタは"0"に設定されます。

4.3.7 プログラミング上の注意事項

- (1) OSC3発振回路がONしてから発振が安定するまでに、5msec以上を必要とします。したがって、CPUの動作クロックをOSC1からOSC3に切り換える際は、OSC3発振ONの後、5msec以上経過してから行ってください。また、発振安定時間は外付け発振子の特性および使用条件等により異なりますので、十分マージンを取って待ち時間を設定してください。
- (2) OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々のインストラクションで行ってください。1インストラクションで、同時に処理するとCPUの誤動作につながります。
- (3) 即スタートモードでは、OSC3クロックの使用を禁止します。

4.4 入力ポート(K00 ~ K03, K10 ~ K13, K20 ~ K23, K30)

4.4.1 入力ポートの構成

S1C63709は13ビットの入力ポートを内蔵しています。この中の4ビットは汎用入力ポートとして、残る9ビットは特にウォッチアプリケーションへの対応を考慮した回路構成や割り込み機能となっています。

K0ポート(K00 ~ K03): 汎用入力ポート(割り込みタイミングをソフトウェアで設定可)

K1ポート(K10 ~ K11): リューズスイッチ用入力ポート(立ち上がり/立ち下がり両エッジで割り込み可)

(K12 ~ K13): ノイズリジェクト用入力ポート(立ち上がり/立ち下がり両エッジで割り込み可)

K2ポート(K20 ~ K23): 論理緩急用入力ポート(割り込み機能なし、データ読み出し時のみプルダウン)

K3ポート(K30): 論理緩急用入力ポート(割り込み機能なし、データ読み出し時のみプルダウン)

各入力ポート端子には内蔵プルダウン抵抗が用意されており、マスクオプションで1ビットごとに使用するか切り離すかを選択できます。図4.4.1.1に入力ポートの構造を示します。

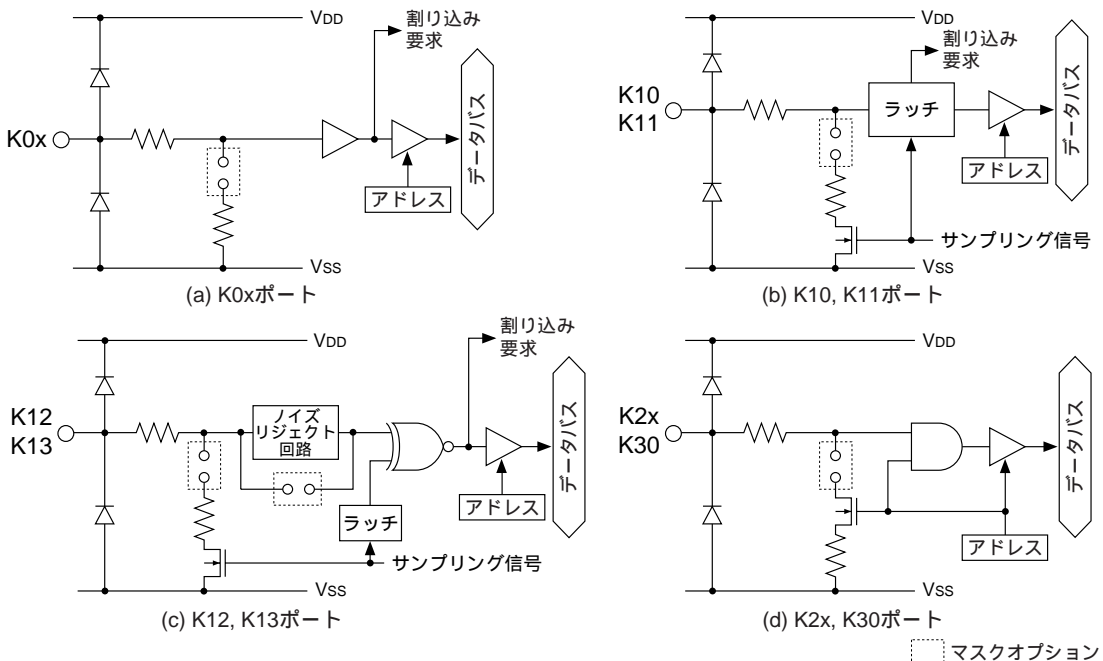


図4.4.1.1 入力ポートの構造

K0ポートは入力の立ち上がりエッジあるいは立ち下がりエッジのどちらで割り込みを発生させるかソフトウェアで選択できるようになっています。入力ポートK00とK01はストップウォッチタイマのRUN/STOPとLAPダイレクト入力としても使用します。

K1ポートはリューズスイッチの入力として用いることを前提としており、入力の立ち上がり/立ち下がり両エッジで割り込みが発生するようになっています。また、K1ポートはソフトウェアによって入力信号のサンプリング回路を有効に設定でき、この場合は指定のクロック(32Hzまたは256Hzを選択可能)でサンプリングされた入力結果の読み出し、および割り込みが可能になります。入力サンプリング回路を有効にした場合は、プルダウン抵抗もこのサンプリングによりON/OFFします。

K1ポートの中でK12とK13ポートには、チャタリング防止用のノイズリジェクト回路をマスクオプションにより付加することが可能です。(次項参照)

K2およびK3ポートの5ビットは論理緩急用の調整値を設定するための入力用で、割り込み機能はありません。また、通常動作時は頻繁には使用されないため、プルダウン抵抗を付加した場合も、データ読み出し時のみプルダウンされるようになっています。論理緩急については"4.13 論理緩急"を参照してください。

4.4.2 マスクオプション

(1)ブルダウン抵抗

入力ポートのマスクオプションでは13ビットの入力ポート(K00 ~ K03, K10 ~ K13, K20 ~ K23, K30)に対して、1ビットごとに内蔵ブルダウン抵抗の有無を選択できます。

"ブルダウン抵抗 あり"を選択した場合、プッシュスイッチ、キーマトリクス等の入力に適当です。また、"ブルダウン抵抗 なし"を選択した場合、スライドスイッチ入力、他LSIとのインタフェースなどに使用できます。

"ブルダウン抵抗 なし"を選択した場合は、入力にフローティング状態が発生しないよう注意してください。使用しない入力ポートは"ブルダウン抵抗 あり"を選択してください。

(2) K12、K13ノイズリジェクト回路

K12およびK13ポートにはキーのチャタリングを除去するためのノイズリジェクト回路を付加することができます。この回路を付加した場合、入力のタイミングにより6.84msec ~ 14.65msec以下の入力信号はノイズとみなされ入力されません。確実に入力するためには14.65msec以上の入力が必要です。

4.4.3 割り込み機能

K0(K00 ~ K03)およびK1(K10 ~ K13)入力ポートは割り込み機能を持っています。

K0ポートとK1ポートの割り込み機能には多少の違いがありますので、以下それぞれを分けて説明します。

(1) K0入力割り込み

K0ポートは、割り込み発生条件をソフトウェアで設定することができます。また、割り込みをマスクするかしないかを、同様にソフトウェアで設定することができます。図4.4.3.1にK0ポート割り込み回路の構成図を示します。

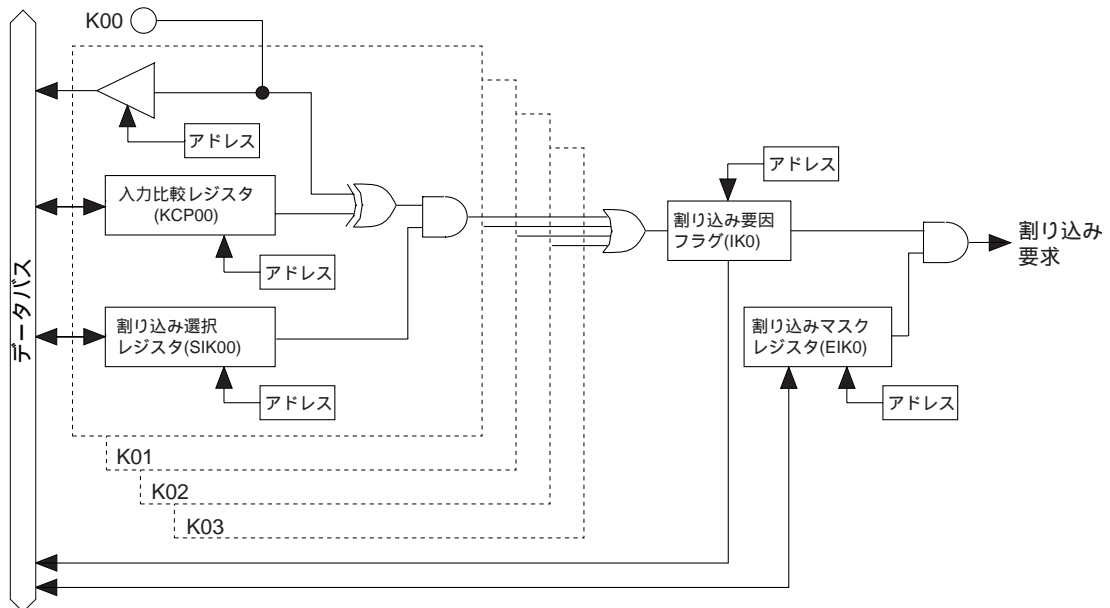


図4.4.3.1 K0入力割り込み回路構成

入力ポートK00 ~ K03には個々に割り込み選択レジスタ SIK および入力比較レジスタ (KCP) が設定されており、割り込みを発生させる端子と割り込みタイミングを指定することができます。

割り込み選択レジスタ SIK00 ~ SIK03 は、K00 ~ K03のどの入力を割り込みに使用するか選択します。割り込み選択レジスタに"1"を書き込むことにより、その入力ポートを割り込み発生条件に組み込みます。割り込み選択レジスタが"0"に設定されている入力ポートの変化は割り込みの発生に影響を与えません。

入力割り込みタイミングは、入力比較レジスタ (KCP00 ~ KCP03) の設定値により、割り込みを入力の上がりエッジで発生させるか、立ち下がりエッジで発生させるかを選択することができます。

この2つの条件設定により、K00 ~ K03 4ビット単位 の割り込みは入力選択レジスタで割り込みが許可されている入力ポートと入力比較レジスタの内容が一致状態から不一致状態に変化したときに割り込みが発生します。

また、割り込みマスクレジスタ (EIK0) により、割り込みのマスクを選択することができます。

割り込みが発生した際には、割り込み要因フラグ (IK0) が"1"にセットされます。

図4.4.3.2にK00 ~ K03割り込み発生例を示します。

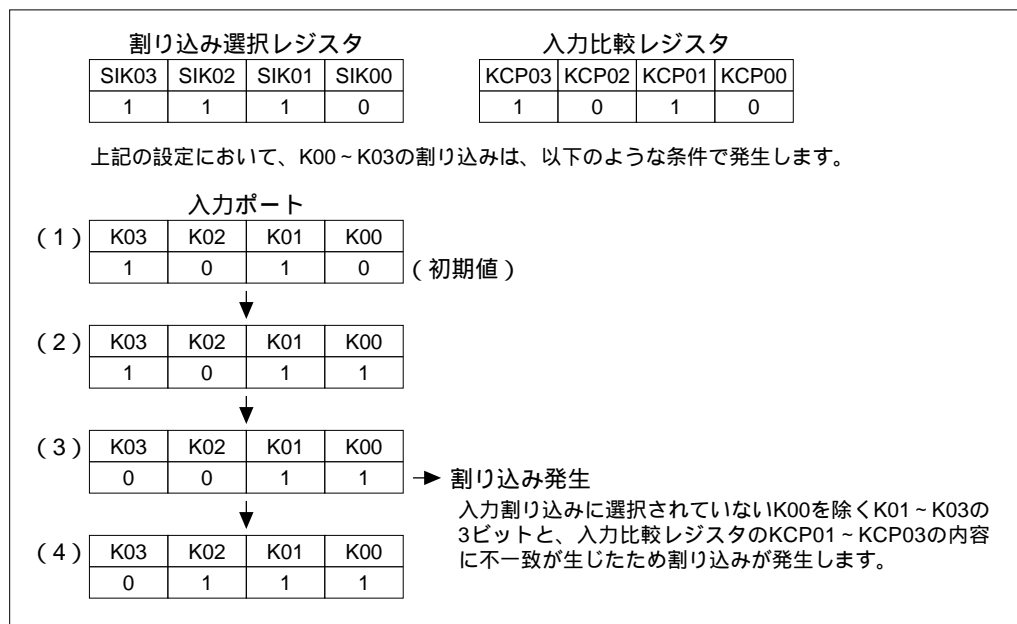


図4.4.3.2 K00 ~ K03割り込み発生例

K00は割り込み選択レジスタ (SIK00) によって割り込みが禁止されているため、(2)の時点では割り込みは発生しません。次に(3)でK03が"0"になるため、割り込みが許可されている端子のデータと入力比較レジスタのデータとの不一致により割り込みが発生します。ただし、割り込みマスクレジスタ (EIK0) によってK00 ~ K03入力割り込みがイネーブルに設定されている必要があります。

前述のとおり、ポートデータと入力比較レジスタの内容が一致状態から不一致状態に変化することが割り込み発生条件となるため、(4)のように不一致状態から、別の不一致状態に変化しても割り込みは発生しません。また、割り込みが禁止されている端子は割り込み発生条件に影響を与えません。

(2) K1入力割り込み

K1ポート(K10~K13)も、4ビットの中で割り込みに使用するポートをソフトウェアで設定することができます。また、割り込みをマスクするかしないかを、同様にソフトウェアで設定することができます。

図4.4.3.3にK1ポート 割り込み回路の構成図を示します。

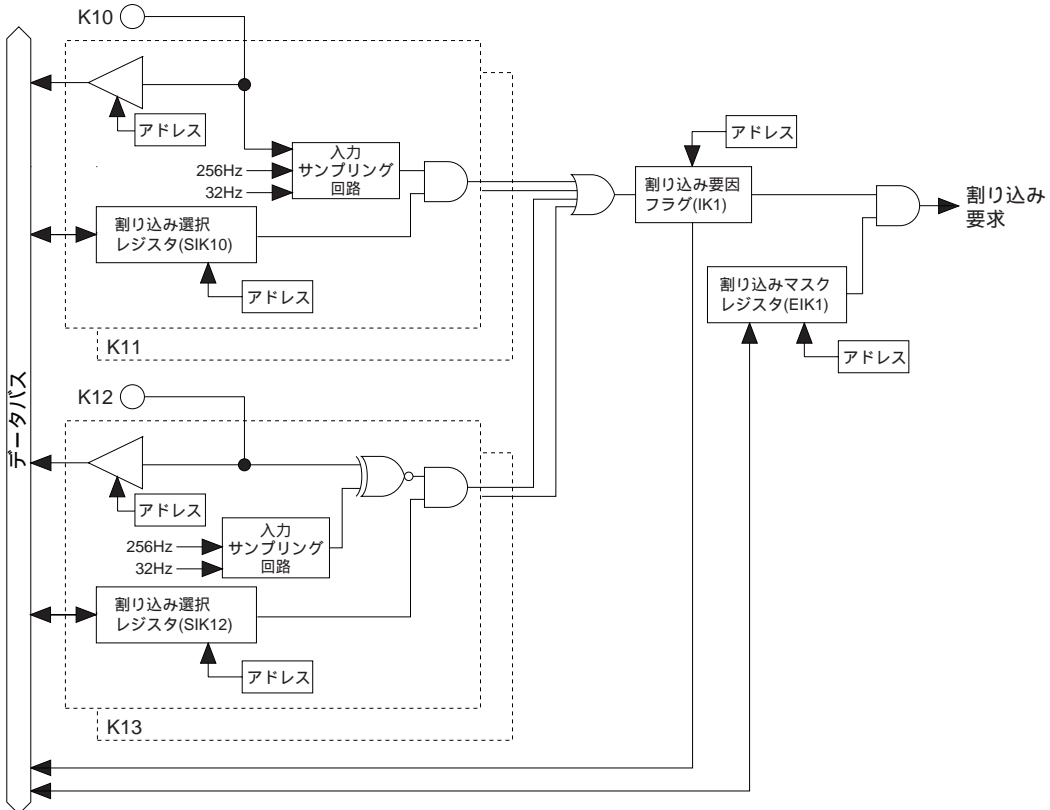


図4.4.3.3 K1入力割り込み回路構成

入力ポートK10~K13にもK0ポートと同様に個々に割り込み選択レジスタ SIK が設定されており、割り込みを発生させる端子を指定することができます。

割り込み選択レジスタ SIK10~SIK13 に"1"を書き込むことにより、対応する入力ポートを割り込み発生条件に組み込みます。割り込み選択レジスタが"0"に設定されている入力ポートの変化は割り込みの発生に影響を与えません。

K1ポートには入力サンプリング回路が組み込まれています。入力サンプリング回路はポート個々に用意されている K1xサンプリング制御レジスタに"1"を書き込むことで有効になります。また、サンプリングクロックも K1xサンプリングクロック選択レジスタで32Hzまたは256Hzからポート個々に選択可能です。

K10、K11ポートは、リユーススイッチ入力用です（汎用入力としても使用可）。サンプリング機能を有効にした場合は、入力ポートが変化した直後のサンプリングクロック立ち上がりエッジで発生します。これによって、リユーススイッチが引き出されたときの処理と、押し戻されたときの処理を割り込みにより実行することができます。入力サンプリング回路をOFFした場合はそのポートの割り込みは発生しません。

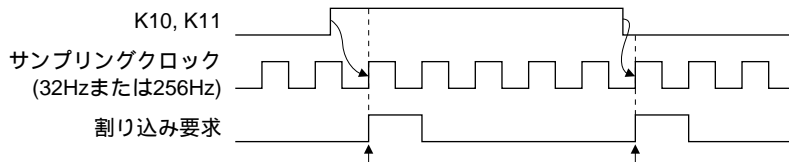


図4.4.3.4 K10、K11入力割り込みタイミング

K12、K13ポートの割り込みも、入力信号の立ち上がり/立ち下がりエッジで発生可能です。ただし、両エッジで発生させるためには、入力信号が変化してから2クロック以上のサンプリングクロックが必要です。したがって、サンプリングクロック選択レジスタで32Hzを選択した場合は62.5msec以上、256Hzを選択した場合は7.82msec以上、クロック立ち上がり/立ち下がり後の信号レベル(HIGHまたはLOW)を保持する必要があります。

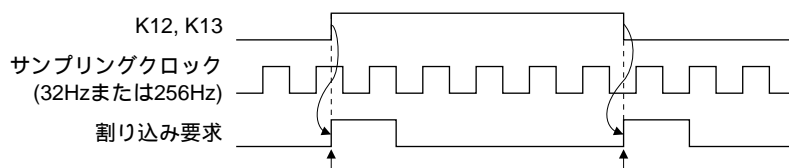


図4.4.3.5 K12、K13入力割り込みタイミング(入力サンプリング回路ON時)

入力サンプリング回路をOFFした場合は、立ち上がりエッジでのみ割り込みが発生します。

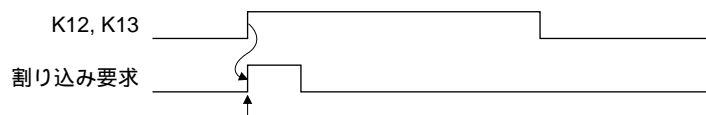










図4.4.3.6 K12、K13入力割り込みタイミング(入力サンプリング回路OFF時)

割り込みマスクレジスタ(EIK1)により、K1入力割り込みのマスクを選択することができます。割り込みが発生した際には、割り込み要因フラグ(IK1)が"1"にセットされます。

4.4.4 入力ポートのI/Oメモリ

表4.4.4.1に入力ポートの制御ビットとそのアドレスを示します。

表4.4.4.1 入力ポートの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF20H	SIK03	SIK02	SIK01	SIK00	SIK03	0	Enable	Disable	K00 ~ K03割り込み選択レジスタ
					SIK02	0	Enable	Disable	
	R/W				SIK01	0	Enable	Disable	
					SIK00	0	Enable	Disable	
FF21H	K03	K02	K01	K00	K03	—*2	High	Low	K00 ~ K03入力ポートデータ
					K02	—*2	High	Low	
	R				K01	—*2	High	Low	
					K00	—*2	High	Low	
FF22H	KCP03	KCP02	KCP01	KCP00	KCP03	0			K00 ~ K03入力比較レジスタ
					KCP02	0			
	R/W				KCP01	0			
					KCP00	0			
FF24H	SIK13	SIK12	SIK11	SIK10	SIK13	0	Enable	Disable	K10 ~ K13割り込み選択レジスタ
					SIK12	0	Enable	Disable	
	R/W				SIK11	0	Enable	Disable	
					SIK10	0	Enable	Disable	
FF25H	K13	K12	K11	K10	K13	—*2	High	Low	K10 ~ K13入力ポートデータ
					K12	—*2	High	Low	
	R				K11	—*2	High	Low	
					K10	—*2	High	Low	
FF29H	K23	K22	K21	K20	K23	—*2	High	Low	K20 ~ K23入力ポートデータ
					K22	—*2	High	Low	
	R				K21	—*2	High	Low	
					K20	—*2	High	Low	
FF2DH	ENISOR1	ECLIM	CLIM	K30	ENISOR1	0	Enable	Disable	ISOR1モニタ出力イネーブル(P23) CLIMモニタ出力イネーブル(P32) リミットレベルモニタ K30入力ポートデータ
					ECLIM	0	Enable	Disable	
	R/W			R	CLIM	0	On	Off	
					K30	—*2	High	Low	
FF33H	K1SMP7	K1SMP6	K1SMP5	K1SMP4	K1SMP7	0	256Hz	32Hz	K10 ~ K13サンプリングクロック選択レジスタ
					K1SMP6	0	256Hz	32Hz	
	R/W				K1SMP5	0	256Hz	32Hz	
					K1SMP4	0	256Hz	32Hz	
FF34H	K1SMP3	K1SMP2	K1SMP1	K1SMP0	K1SMP3	0	256/32Hz	Off	K10 ~ K13サンプリング制御レジスタ
					K1SMP2	0	256/32Hz	Off	
	R/W				K1SMP1	0	256/32Hz	Off	
					K1SMP0	0	256/32Hz	Off	
FFE3H	0	0	0	EIK0	0 *3	—*2			未使用 未使用 未使用 割り込みマスクレジスタ(K00 ~ K03)
					0 *3	—*2			
	R			R/W	0 *3	—*2			
					EIK0	0	Enable	Mask	
FFE4H	0	0	0	EIK1	0 *3	—*2			未使用 未使用 未使用 割り込みマスクレジスタ(K10 ~ K13)
					0 *3	—*2			
	R			R/W	0 *3	—*2			
					EIK1	0	Enable	Mask	
FFF3H	0	0	0	IK0	0 *3	—*2	(R)	(R)	未使用 未使用 未使用 割り込み要因フラグ(K00 ~ K03)
					0 *3	—*2	Yes	No	
	R			R/W	0 *3	—*2	(W)	(W)	
					IK0	0	Reset	Invalid	
FFF4H	0	0	0	IK1	0 *3	—*2	(R)	(R)	未使用 未使用 未使用 割り込み要因フラグ(K10 ~ K13)
					0 *3	—*2	Yes	No	
	R			R/W	0 *3	—*2	(W)	(W)	
					IK1	0	Reset	Invalid	

*1 イニシャルリセット時の初期値 *2 回路上設定されない *3 読み出し時は常時"0"

K00 ~ K03: K0入力ポートデータ(FF21H)
 K10 ~ K13: K1入力ポートデータ(FF25H)
 K20 ~ K23: K2入力ポートデータ(FF29H)
 K30: K3入力ポートデータ(FF2DH・D0)
 入力ポート端子の入力データが読み出せます。

"1"読み出し: HIGHレベル
 "0"読み出し: LOWレベル
 書き込み: 無効

入力ポートの端子電圧がそれぞれHIGH(V_{DD})レベルのとき"1"、LOW(V_{SS})レベルのとき"0"として読み出せます。

これらのビットは読み出し専用のため、書き込み動作は無効となります。

SIK00 ~ SIK03: K0ポート割り込み選択レジスタ(FF20H)
 SIK10 ~ SIK13: K1ポート割り込み選択レジスタ(FF24H)
 K00 ~ K03、K10 ~ K13入力割り込みに使用するポートを選択します。

"1"書き込み: 割り込み許可
 "0"書き込み: 割り込み禁止
 読み出し: 可能

割り込み選択レジスタ(SIK00 ~ SIK03、SIK10 ~ SIK13)に"1"を書き込んだ入力ポート(K00 ~ K03、K10 ~ K13)の割り込みを許可します。"0"に設定した入力ポートは割り込みの発生条件には影響を与えません。イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

KCP00 ~ KCP03: K0ポート入力比較レジスタ(FF22H)
 割り込み発生タイミングを設定します。

"1"書き込み: 立ち下がりエッジ
 "0"書き込み: 立ち上がりエッジ
 読み出し: 可能

入力ポートK00 ~ K03は入力比較レジスタ(KCP00 ~ KCP03)によって、割り込みの発生タイミングを入力の立ち上がりエッジとするか立ち下がりエッジとするか、1ビットごとに選択できます。

SIK00 ~ SIK03レジスタによってK00 ~ K03の中の割り込みが許可されているポートとのみ比較が行われます。

イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

K1SMP0 ~ K1SMP3: K1ポートサンプリング制御レジスタ(FF34H)
 K1ポートの入力サンプリングを行うかどうかを選択します。

"1"書き込み: 256Hz/32Hzサンプリング
 "0"書き込み: サンプリング回路OFF
 読み出し: 可能

K1SMP0 ~ K1SMP3はK10 ~ K13ポートに対応するサンプリング制御レジスタです。"1"に設定したポートの入力信号は256Hzまたは32Hzのクロックでサンプリングされます。

サンプリングを有効にすると、K10とK11ポートの割り込みは、入力に変化した直後のサンプリングクロック立ち上がりエッジで発生します。サンプリング回路をOFFにすると、割り込みは発生しません。

K12、K13ポートの割り込みは、入力信号が変化した立ち上がり/立ち下がりエッジで発生します。入力サンプリング回路をOFFした場合は、立ち上がりエッジでのみ割り込みが発生します。

イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

K1SMP4 ~ K1SMP7: K1ポートサンプリングクロック選択レジスタ(FF33H)
K1ポートのサンプリングクロック周波数を選択します。

"1"書き込み: 256Hz
"0"書き込み: 32Hz
読み出し: 可能

K1SMP4 ~ K1SMP7はK10 ~ K13ポートに対応するサンプリングクロック選択レジスタで、"1"に設定すると256Hzのサンプリングクロックが選択され、"0"に設定すると32Hzのサンプリングクロックが選択されます。実際に入力サンプリングを行うかどうかについては、K1SMP0 ~ K1SMP3で選択します。イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

EIK0: K0入力割り込みマスクレジスタ(FFE3H・D0)
EIK1: K1入力割り込みマスクレジスタ(FFE4H・D0)
入力ポートの割り込みについて、マスクするかしないかを選択します。

"1"書き込み: イネーブル
"0"書き込み: マスク
読み出し: 可能

入力ポートの2つの系列(K00 ~ K03、K10 ~ K13)に対して、割り込みをマスクするかしないかを、これらのレジスタにより選択できます。イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

IK0: K0入力割り込み要因フラグ(FFF3H・D0)
IK1: K1入力割り込み要因フラグ(FFF4H・D0)
入力割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有
"0"読み出し: 割り込み無
"1"書き込み: 要因フラグをリセット
"0"書き込み: 無効

割り込み要因フラグIK0、IK1はそれぞれK00 ~ K03、K10 ~ K13の入力割り込みに対応します。これらのフラグによって入力割り込みの有無を、ソフトウェアで判断することができます。割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず割り込み条件の成立により"1"にセットされます。ただし、割り込みがマスクされている場合はCPUに対して割り込みは発生しません。これらのフラグは、"1"を書き込むことによって"0"にリセットされます。割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。イニシャルリセット時、これらのフラグは"0"に設定されます。

4.4.5 プログラミング上の注意事項

- (1) 入力ポートをHIGHレベルからプルダウン抵抗でLOWレベルに変化させる場合、プルダウン抵抗と入力ゲート容量の時定数によって波形立ち下がりに遅延が生じます。このため、入力ポートの取り込みを行う際は、適切な待ち時間を設定してください。
特に、キーマトリクス構成時のキースキャン等に注意が必要です。
この待ち時間は次の式で算出される時間以上としてください。
 $10 \times (C_{\text{端子容量}5\text{pF}} + \text{寄生容量?pF}) \times R$ (プルダウン抵抗300kΩ Max.)
- (2) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- (3) K0入力割り込みプログラミング上の注意

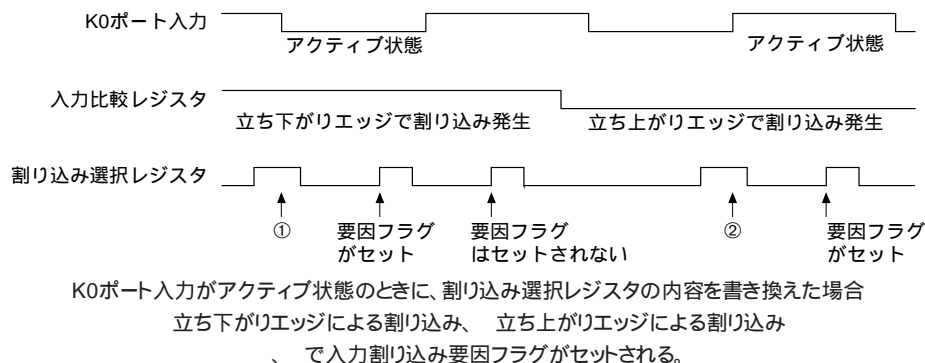


図4.4.5.1 入力割り込みタイミング

入力割り込みを使用する場合、割り込み入力となる入力端子の値がアクティブ状態のときに割り込み選択レジスタの内容を書き換えると、入力割り込みの要因フラグがセットされることがあります。ここで、入力割り込みを使用した場合の入力端子のアクティブ状態とは、

立ち下がりエッジで割り込みがかかる場合: 入力端子=LOW状態

立ち上がりエッジで割り込みがかかる場合: 入力端子=HIGH状態

をいいます。

入力端子の立ち下がりエッジで割り込みをかける場合、図4.4.5.1の のタイミングで要因フラグがセットされますが、入力端子をLOW状態に保ったまま割り込み選択レジスタの内容をクリアして次にセットすると、セットしたタイミングで再び入力割り込みの要因フラグがセットされます。したがって、この場合立ち下がりエッジ以外で要因フラグがセットされないようにするために、入力端子がアクティブ状態(LOW状態)のときは割り込み選択レジスタの書き換え(割り込み選択レジスタのクリア セット)を行わないでください。割り込み選択レジスタをクリアした後セットする場合は、入力端子がアクティブでない状態(HIGH状態)のときに、割り込み選択レジスタをセットしてください。入力端子の立ち上がりエッジで割り込みをかける場合、図4.4.5.1の のタイミングで要因フラグがセットされます。この場合、割り込み選択レジスタをクリア セットするときは、入力端子がLOW状態のときに割り込み選択レジスタをセットしてください。

また、割り込み選択レジスタ="1"かつ入力端子がアクティブ状態で入力比較レジスタの内容を書き換えると、入力割り込み要因フラグがセットされることがあります。入力比較レジスタの内容の書き換えは、マスクレジスタ="0"の状態で行ってください。

入力サンプリング回路をOFFした場合のK12、K13ポートについても同様です。入力端子がアクティブ状態(HIGH状態)のときは、割り込み選択レジスタの書き換え(割り込み選択レジスタのクリア セット)を行わないでください。

4.5 入出力兼用ポート (P00 ~ P03, P10 ~ P13, P20 ~ P23, P30 ~ P33, P40 ~ P41)

4.5.1 入出力兼用ポートの構成

S1C63709は18ビットの汎用入出力兼用ポートを内蔵しています。図4.5.1.1に入出力兼用ポートの構成を示します。

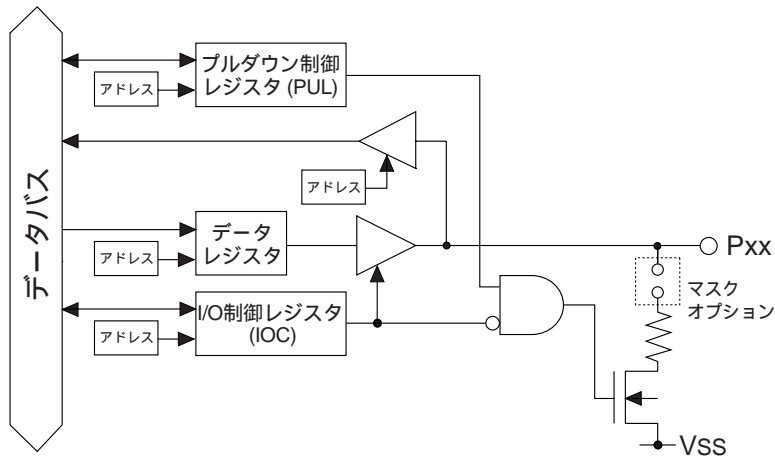


図4.5.1.1 入出力兼用ポートの構成

入出力兼用ポート端子P10～P13はシリアルインタフェースの入出力と兼用されています。また、P20～P23、P30～P33、P40、P41ポート端子も、それぞれ特殊出力と兼用されています。どちらの機能を使用するかについては、ソフトウェアによって選択するようになっています。イニシャルリセット時はすべて入出力兼用ポートに設定されます。

表4.5.1.1に機能選択による入出力端子の設定を示します。

表4.5.1.1 入出力端子の機能設定

端子名	イニシャルリセット時の 端子状態	特殊出力使用時										シリアルインタフェース使用時	
		TOUT	SVDDT	VCWON	ISOR1	ISOR2	ISOR3	CLIM	F16HZ	BZ	FOUT	Master	Slave
P00～P03	P00～P03 (入力&プルダウン*)	P00～P03	P00～P03	P00～P03	P00～P03	P00～P03	P00～P03	P00～P03	P00～P03	P00～P03	P00～P03	P00～P03	P00～P03
P10	P10 (入力&プルダウン*)											SIN(I)	SIN(I)
P11	P11 (入力&プルダウン*)											SOUT(O)	SOUT(O)
P12	P12 (入力&プルダウン*)											SCLK(O)	SCLK(I)
P13	P13 (入力&プルダウン*)												SRDY(O)
P20	P20 (入力&プルダウン*)	TOUT											
P21	P21 (入力&プルダウン*)		SVDDT										
P22	P22 (入力&プルダウン*)			VCWON									
P23	P23 (入力&プルダウン*)				ISOR1								
P30	P30 (LOW出力)						ISOR3						
P31	P31 (LOW出力)					ISOR2							
P32	P32 (LOW出力)							CLIM					
P33	P33 (LOW出力)								F16HZ				
P40	P40 (LOW出力)									BZ			
P41	P41 (LOW出力)										FOUT		

* マスクオプションにて"プルダウンあり"選択時 (* "プルダウンなし"選択時はハイインピーダンス)

入出力兼用ポートとして使用する場合、各ポートを個々(1ビット単位)に入力モードまたは出力モードに設定できます。この設定はI/O制御レジスタにデータを書き込むことによって行います。

シリアルインタフェースの制御については"4.10 シリアルインタフェース"を、BZ出力制御については"4.11 サウンドジェネレータ"を参照してください。

4.5.2 マスクオプション

(1) 出力仕様

入出力兼用ポートは出力モード時の出力仕様として、コンプリメンタリ出力、またはPチャンネルオープンドレイン出力のいずれかをマスクオプションにより1ビットごとに選択できるようになっています。

なお、Pチャンネルオープンドレイン出力を選択した場合でも、ポートに電源電圧を越える電圧を印加することは禁止します。

(2) ブルダウン抵抗

入力モード時のブルダウン抵抗の有無をマスクオプションにより1ビットごとに選択できます。

"ブルダウン抵抗なし"を選択した場合には、フローティング状態が発生しないように注意してください。

入力モード時のブルダウン抵抗の有無、および出力仕様(コンプリメンタリ出力あるいはPチャンネルオープンドレイン出力)のオプションは、入出力兼用ポートを特殊出力、シリアルインタフェースの入出力として使用する場合も有効です。

4.5.3 I/O制御レジスタと入力/出力モード

入出力兼用ポートは、各ポートに対応したI/O制御レジスタIOCxxにデータを書き込むことにより入力モードあるいは出力モードに設定されます。

入力モードに設定する場合はI/O制御レジスタに"0"を書き込みます。入力モードに設定された入出力兼用ポートは、ハイインピーダンス状態となり入力ポートとして働きます。ただし、次項で説明するブルダウン制御を行っている場合は、この入力モード時に限り入力ラインがブルダウンされます。

出力モードに設定する場合はI/O制御レジスタに"1"を書き込みます。出力モードに設定された入出力兼用ポートは出力ポートとして働き、ポート出力データが"1"の場合にHIGH (V_{DD}) レベル、"0"の場合にLOW (V_{SS}) レベルの出力を行います。出力モード時にもデータの読み出しは可能で、その場合はデータレジスタの内容が読み出されます。

イニシャルリセット時、I/O制御レジスタIOC0x、IOC1xおよびIOC2xは"0"に設定され、入出力兼用ポートP0x、P1x、P2xは入力モードになります。IOC3xとIOC4xは"1"に設定され、P3xおよびP4xポートは出力モードになります。

シリアルインタフェースの入出力に設定されたポート(表4.5.1.1参照)の入出力制御はハードウェアが行います。この場合、I/O制御レジスタは入出力制御に影響を与えない汎用レジスタとして使用可能です。

4.5.4 入力モード時のブルダウン

S1C63709の入出力兼用ポートには入力モード時に働くブルダウン抵抗が内蔵されています。このブルダウンを使用するかしないかについてはマスクオプションにより選択可能です。

各ポートに対応したブルダウン制御レジスタPULxxに"1"を書き込むことによりブルダウン抵抗が有効になり、入力モード時に入力ラインがブルダウンされます。"0"を書き込んだ場合、ブルダウンは行われません。イニシャルリセット時、PUL00 ~ PUL03、PUL10 ~ PUL13、PUL20 ~ PUL23は"1"に設定され、P0、P1、P2ポートのブルダウン抵抗が有効になります。PUL30 ~ PUL33、PUL40 ~ PUL41は"0"に設定され、P3、P4ポートのブルダウン抵抗は無効になります。

マスクオプションにより"ブルダウンなし"を選択したポートのブルダウン制御レジスタは、汎用レジスタとして使用可能です。

マスクオプションにより"ブルダウンあり"を選択した場合でも、シリアルインタフェースの出力に設定されたポート(表4.5.1.1参照)のブルダウン制御レジスタは、ブルダウン制御に影響を与えない汎用レジスタとして使用可能です。シリアルインタフェースの入力および特殊出力に設定されたポートのブルダウン制御レジスタは入出力兼用ポートと同様に機能します。

4.5.5 特殊出力

入出力兼用ポートP20～P23、P30～P33、P40、P41は通常の汎用入出力機能のほかに表4.5.5.1に示す特殊出力をソフトウェアによって設定できます。

表4.5.5.1 特殊出力

端子名	特殊出力選択時	特殊出力制御レジスタ
P20	TOUT	PTOUT
P21	SVDDT	ESVDDT
P22	VCWON	EVCWON
P23	ISOR1	ENISOR1
P30	ISOR3	ENISOR3
P31	ISOR2	ENISOR2
P32	CLIM	ECLIM
P33	F16HZ	E16HZ
P40	BZ	BZE, BZSHT
P41	FOUT	FOUTE

イニシャルリセット時、P20～P23はI/O制御レジスタが"0"(入力)、データレジスタが"0"、プルダウン制御レジスタが"1"(ON)に設定され、入力ポートになります。

P30～P33、P40、P41のI/O制御レジスタは"1"(出力)、データレジスタは"0"、プルダウン制御レジスタは"0"(OFF)に設定され、ポート端子はLOW(V_{SS})レベルとなります。

Pxxを特殊出力ポートとして使用する場合は、I/O制御レジスタ IOCxx を"1"(出力)、データレジスタ Pxx を"0"、プルダウン制御レジスタ PULxx を"0"(OFF)に固定し、特殊出力制御レジスタによってそれぞれの信号をON/OFFしてください。

注: Pxx端子を特殊出力に使用する場合でも、I/O制御レジスタ、データレジスタおよびプルダウン制御レジスタは有効です。Pxx端子から不要な出力が行われないように、I/O制御レジスタ IOCxx を"1"、データレジスタ Pxx を"0"、プルダウン制御レジスタ PULxx を"0"に固定し、変更しないでください。

SVDDT(P21)、ISOR1～3(P23、P31、P30)、CLIM(P32)

P21、P23、P30～P32は、以下の内部信号(制御レジスタ値)をモニタするための出力ポートに設定することができます。

表4.5.5.2 モニタ出力が可能な内部信号

出力端子	内部信号	説明	特殊出力制御レジスタ
P21	SVDDT	SVD検出データ(SVDDTレジスタ値)	ESVDDT
P23	ISOR1	充電中フラグの状態(ISOR1レジスタ値)	ENISOR1
P30	ISOR3	即スタートフラグ1の状態(ISOR3レジスタ値)	ENISOR3
P31	ISOR2	即スタートフラグ2の状態(ISOR2レジスタ値)	ENISOR2
P32	CLIM	ソーラーの充電(リミット)状態(CLIMレジスタ値)	ECLIM

各モニタ出力は対応する特殊出力制御レジスタによってON/OFFします。

図4.5.5.1に内部信号の出力波形を示します。

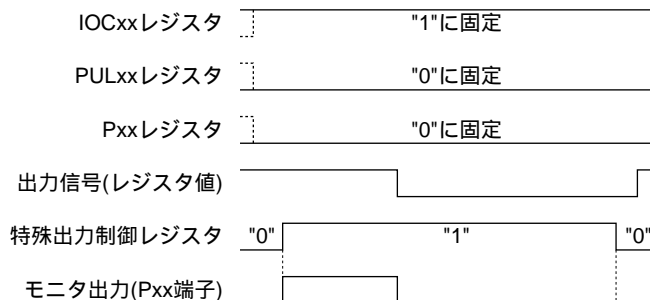


図4.5.5.1 内部信号のモニタ出力

信号(レジスタ)の詳細については、各周辺回路(機能)の説明を参照してください。

TOUT(P20)

P20端子からはTOUT信号を出力させることができます。

TOUT信号はプログラブルタイマの出力クロックで、外部デバイスに対するクロック供給などの目的に使用することができます。

TOUT出力を行う場合はIOC20レジスタを"1"、P20レジスタを"0"、PUL20レジスタを"0"に固定し、PTOUTレジスタによって信号をON/OFFします。ただし、プログラブルタイマの制御が必要です。

プログラブルタイマの詳細については"4.9 プログラブルタイマ"を参照してください。

注: TOUT出力信号はON/OFF時にハザードを生じる可能性があります。

図4.5.5.2にTOUT信号の出力波形を示します。

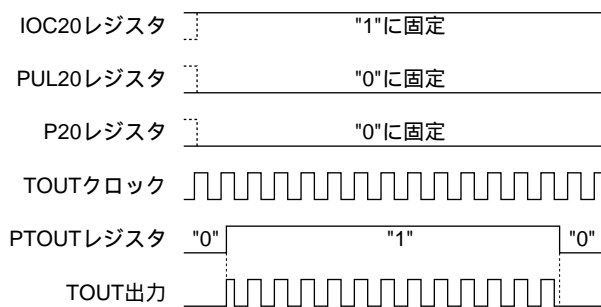


図4.5.5.2 TOUT信号の出力波形

VCWON(P22)

P22端子からはVCWON書き込み信号を出力させることができます。

これにより、論理緩急の実行状態をモニタすることが可能となります。

VCWON書き込み信号の出力を行う場合はIOC22レジスタを"1"、P22レジスタを"0"、PUL22レジスタを"0"に固定し、EVCWONレジスタによって信号の出力をON/OFFします。

VCWONの詳細については"4.13 論理緩急"を参照してください。

図4.5.5.3にVCWON書き込み信号の出力波形を示します。

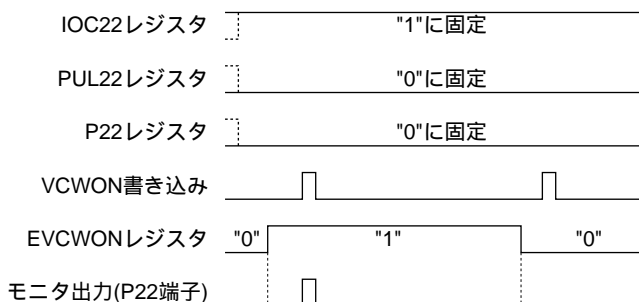


図4.5.5.3 VCWON書き込み信号の出力

F16HZ(P33)

P33端子からはF16HZ信号を出力させることができます。

F16HZ信号は外部デバイスに使用可能な16Hzのクロックです。

F16HZ信号の出力はE16HZレジスタによってON/OFFします。

注: F16HZ出力信号はON/OFF時にハザードを生じる可能性があります。

図4.5.5.4にF16HZ信号の出力波形を示します。

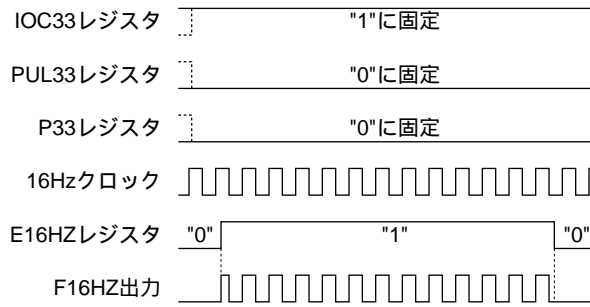


図4.5.5.4 F16HZ信号の出力波形

BZ(P40)

P40端子からはBZ信号を出力させることができます。

BZ信号はサウンドジェネレータが出力するブザー信号です。

BZ信号の出力はBZEまたはBZSHTレジスタによって制御(ON/OFF)します。

ブザー信号と制御方法については"4.11 サウンドジェネレータ"を参照してください。

FOUT(P41)

P41端子からはFOUT信号を出力させることができます。

FOUT信号は発振回路の出力クロック(fosc1、fosc3)またはfosc1を内部回路で分周したクロックで、外部デバイスに対するクロック供給などの目的に使用することができます。

FOUT出力を行う場合はIOC41レジスタを"1"、P41レジスタを"0"、PUL41レジスタを"0"に固定し、FOUTEレジスタによって信号をON/OFFします。

出力するクロックの周波数は、表4.5.5.3に示す4種類から1つをFOFQ0およびFOFQ1レジスタによって選択できます。

表4.5.5.3 FOUTクロック周波数

FOFQ1	FOFQ0	クロック周波数
1	1	fosc3
1	0	fosc1
0	1	fosc1 × 1/8
0	0	fosc1 × 1/64

fosc1: OSC1発振回路の出力クロック

fosc3: OSC3発振回路の出力クロック

FOUT信号の周波数としてfosc3を選択した場合は、信号出力前にOSC3発振回路の制御が必要です。制御方法と注意事項については"4.3 発振回路"を参照してください。

注: FOUT出力信号はON/OFF時にハザードを生じる可能性があります。

図4.5.5.5にFOUT信号の出力波形を示します。

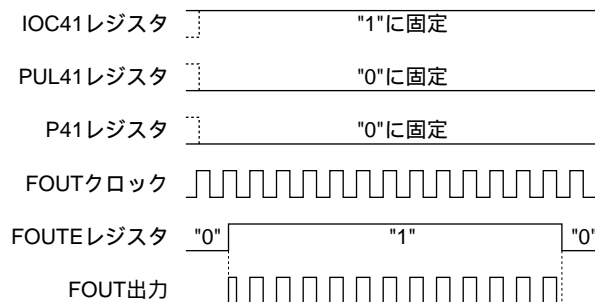


図4.5.5.5 FOUT信号の出力波形

4.5.6 入出力兼用ポートのI/Oメモリ

表4.5.6.1に入出力兼用ポートの制御ビットとそのアドレスを示します。

表4.5.6.1(a) 入出力兼用ポートの制御ビット

アドレス	レジスタ				注 釈				
	D3	D2	D1	D0	Name	Init *1	1	0	
FF30H	IOC43	IOC42	IOC41	IOC40	IOC43	1	1	0	汎用レジスタ
					IOC42	1	1	0	汎用レジスタ
	R/W				IOC41	1	Output	Input	P41 I/O制御レジスタ FOUT出力時は"1"に固定
					IOC40	1	Output	Input	P40 I/O制御レジスタ BZ出力時は"1"に固定
FF31H	PUL43	PUL42	PUL41	PUL40	PUL43	0	1	0	汎用レジスタ
					PUL42	0	1	0	汎用レジスタ
	R/W				PUL41	0	On	Off	P41 ブルダウン制御レジスタ FOUT出力時は"0"に固定
					PUL40	0	On	Off	P40ブルダウン制御レジスタ BZ出力時は"0"に固定
FF32H	P43	P42	P41	P40	P43	−*2	High	Low	汎用レジスタ
					P42	−*2	High	Low	汎用レジスタ
	R/W				P41	−*2	High	Low	P41入出力兼用ポートデータ(FOUTE="0")FOUT出力時は"0"に固定
					P40	−*2	High	Low	P40入出力兼用ポートデータ(BZE="0")BZ出力時は"0"に固定
FF40H	IOC03	IOC02	IOC01	IOC00	IOC03	0	Output	Input	P00 ~ P03 I/O制御レジスタ
					IOC02	0	Output	Input	
	R/W				IOC01	0	Output	Input	
					IOC00	0	Output	Input	
FF41H	PUL03	PUL02	PUL01	PUL00	PUL03	1	On	Off	P00 ~ P03ブルダウン制御レジスタ
					PUL02	1	On	Off	
	R/W				PUL01	1	On	Off	
					PUL00	1	On	Off	
FF42H	P03	P02	P01	P00	P03	−*2	High	Low	P00 ~ P03入出力兼用ポートデータ
					P02	−*2	High	Low	
	R/W				P01	−*2	High	Low	
					P00	−*2	High	Low	
FF44H	IOC13	IOC12	IOC11	IOC10	IOC13	0	Output	Input	P13 I/O制御レジスタ
					IOC12	0	Output	Input	SIF(スレープ)選択時、汎用レジスタとして機能
	R/W				IOC11	0	Output	Input	P12 I/O制御レジスタ(ESIF=0)
					IOC10	0	Output	Input	SIF選択時、汎用レジスタとして機能
FF45H	PUL13	PUL12	PUL11	PUL10	PUL13	1	On	Off	P13ブルダウン制御レジスタ
					PUL12	1	On	Off	SIF(スレープ)選択時、汎用レジスタとして機能
	R/W				PUL11	1	On	Off	P12ブルダウン制御レジスタ(ESIF=0)
					PUL10	1	On	Off	SIF(マスタ)選択時、汎用レジスタとして機能
FF46H	P13 (XSRDY)	P12 (XSCLK)	P11 (SOUT)	P10 (SIN)	P13	−*2	High	Low	SIF(スレープ)選択時、SCLK(I)ブルダウン制御レジスタ
					P12	−*2	High	Low	P13入出力兼用ポートデータ
	R/W				P11	−*2	High	Low	SIF(スレープ)選択時、汎用レジスタとして機能
					P10	−*2	High	Low	P12入出力兼用ポートデータ(ESIF=0)
FF48H	IOC23	IOC22	IOC21	IOC20	P11	−*2	High	Low	SIF選択時、汎用レジスタとして機能
					P10	−*2	High	Low	P11入出力兼用ポートデータ(ESIF=0)
	R/W								SIF選択時、汎用レジスタとして機能
									P10入出力兼用ポートデータ(ESIF=0)
FF49H	PUL23	PUL22	PUL21	PUL20	IOC23	0	Output	Input	P23 I/O制御レジスタ(ISOR1出力時は"1"に固定)
					IOC22	0	Output	Input	P22 I/O制御レジスタ(VCWON出力時は"1"に固定)
	R/W				IOC21	0	Output	Input	P21 I/O制御レジスタ(SVDDT出力時は"1"に固定)
					IOC20	0	Output	Input	P20 I/O制御レジスタ(TOUT出力時は"1"に固定)
FF49H	PUL23	PUL22	PUL21	PUL20	PUL23	1	On	Off	P23ブルダウン制御レジスタ(ISOR1出力時は"0"に固定)
					PUL22	1	On	Off	P22ブルダウン制御レジスタ(VCWON出力時は"0"に固定)
	R/W				PUL21	1	On	Off	P21ブルダウン制御レジスタ(SVDDT出力時は"0"に固定)
					PUL20	1	On	Off	P20ブルダウン制御レジスタ(TOUT出力時は"0"に固定)

*1 イニシャルリセット時の初期値 *2 回路上設定されない *3 読み出し時は常時"0"

表4.5.6.1(b) 入出力兼用ポートの制御ビット

アドレス	レジスタ				注 釈			
	D3	D2	D1	D0	Name	Init *1	1	0
FF4AH	P23	P22	P21	P20	P23	–*2	High	Low
					P22	–*2	High	Low
	R/W				P21	–*2	High	Low
					P20	–*2	High	Low
FF4CH	IOC33	IOC32	IOC31	IOC30	IOC33	1	Output	Input
					IOC32	1	Output	Input
	R/W				IOC31	1	Output	Input
					IOC30	1	Output	Input
FF4DH	PUL33	PUL32	PUL31	PUL30	PUL33	0	On	Off
					PUL32	0	On	Off
	R/W				PUL31	0	On	Off
					PUL30	0	On	Off
FF4EH	P33	P32	P31	P30	P33	–*2	High	Low
					P32	–*2	High	Low
	R/W				P31	–*2	High	Low
					P30	–*2	High	Low
FF05H	SVDS3	ESVDDT	SVDDT	SVDON	SVDS3	0	1	0
					ESVDDT	0	Enable	Disable
	R/W		R	R/W	SVDDT	0	Low	Normal
					SVDON	0	On	Off
FF06H	FOUTE	SWDIR	FOFQ1	FOFQ0	FOUTE	0	Enable	Disable
					SWDIR	0		
	R/W				FOFQ1	0		
					FOFQ0	0		
FF09H	ENISOR3	ENISOR2	E16HZ	0	ENISOR3	0	Enable	Disable
					ENISOR2	0	Enable	Disable
	R/W			R	E16HZ	0	Enable	Disable
					0*3	–*2		
FF2DH	ENISOR1	ECLIM	CLIM	K30	ENISOR1	0	Enable	Disable
					ECLIM	0	Enable	Disable
	R/W		R		CLIM	0	On	Off
					K30	–*2	High	Low
FF6CH	ENRTM	ENRST	ENON	BZE	ENRTM	0	1sec	0.5sec
					ENRST*3	Reset	Reset	Invalid
	R/W		R/W		ENON	0	On	Off
					BZE	0	Enable	Disable
FF6DH	EMPON	BZSTP	BZSHT	SHTPW	EMPON	0	Enable	Disable
					BZSTP*3	0	Stop	Invalid
					BZSHT	0	Trigger	Invalid
	R	W	R/W		SHTPW	0	Busy	Ready
FF70H	0	ESOUT	SCTRG	ESIF	SHTPW	0	125msec	31.25msec
					0*3	–*2		
					ESOUT	0	Enable	Disable
					SCTRG	0	Trigger	Invalid
FF88H	0	0	EVCWON	VCWON	ESIF	0	Run	Stop
						0	SIF	I/O
	R		R/W		EVCWON	0	Enable	Disable
					VCWON	0	On	Off
FFC1H	0	CHSEL1	CHSEL0	PTOUT	0*3	–*2		
					CHSEL1	0		
					CHSEL0	0		
	R	R/W			PTOUT	0	On	Off

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

(1) ポート機能の選択

ESIF: シリアルインタフェースイネーブルレジスタ(FF70H・D0)

P10～P13の機能を選択します。

"1"書き込み: シリアルインタフェース入出力ポート

"0"書き込み: 入出力兼用ポート

読み出し: 可能

シリアルインタフェースを使用する場合に"1"、入出力兼用ポートとして使用する場合に"0"を書き込みます。P10～P13の中でシリアルインタフェースの入出力に使用される端子の構成は、SCS1とSCS0レジスタで選択するマスタ/スレーブモードによって決定します(4.10項参照)。スレーブモードではP10～P13すべてがシリアルインタフェースの入出力ポートに設定されます。マスタモードではP10～P12がシリアルインタフェースの入出力ポートに設定され、P13は入出力兼用ポートとして使用することができます。また、ESOUTレジスタでSOUTをディセーブル(ESOUT = "0")に設定すると、P11は入出力兼用ポートとして使用することができます。

イニシャルリセット時、このレジスタは"0"に設定されます。

(2) 入出力兼用ポートの制御

P00～P03: P0入出力兼用ポートデータレジスタ(FF42H)

P10～P13: P1入出力兼用ポートデータレジスタ(FF46H)

P20～P23: P2入出力兼用ポートデータレジスタ(FF4AH)

P30～P33: P3入出力兼用ポートデータレジスタ(FF4EH)

P40～P41: P4入出力兼用ポートデータレジスタ(FF32H・D0～D1)

入出力兼用ポートデータの読み出し、および出力データの設定を行います。

- データ書き込み時

"1"書き込み: HIGHレベル

"0"書き込み: LOWレベル

入出力兼用ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力兼用ポート端子に出力されます。ポートデータとして"1"を書き込んだ場合はポート端子はHIGH(V_{DD})レベルになり、"0"を書き込んだ場合はLOW(V_{SS})レベルになります。

なお、入力モードの場合もポートデータの書き込みは行えます。

- データ読み出し時

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

入出力兼用ポートの端子電圧レベルを読み出します。入出力兼用ポートが入力モードの場合はポート端子に入力されている電圧レベルが読み出され、出力モードに設定されている場合はレジスタの内容が読み出されます。端子電圧がHIGH(V_{DD})レベルの場合は読み出されるポートデータが"1"、LOW(V_{SS})レベルの場合は"0"となります。

また、マスクオプションで"ブルダウンあり"を選択し、PULレジスタに"1"を設定している場合、入力モード時には内蔵ブルダウン抵抗がONとなり、入出力兼用ポート端子がブルダウンされます。

P10～P13の中でシリアルインタフェースの入出力に設定したポートのデータレジスタは入出力には影響を与えない汎用レジスタとなります。

注: 入力モード時にポートの入力をHIGHレベルからブルダウン抵抗でLOWレベルに変化させる場合、ブルダウン抵抗と入力ゲート容量の時定数によって波形立ち下がりに遅延が生じます。このため、入力データの取り込みを行う際は、適切な待ち時間を設定してください。特に、キーマトリクス構成時のキースキャン等に注意が必要です。この待ち時間は次の式で算出される時間以上としてください。

$10 \times (C \text{ (端子容量5pF + 寄生容量?pF)}) \times R \text{ (ブルダウン抵抗300k}\Omega \text{ Max.)}$

IOC00 ~ IOC03: P0ポートI/O制御レジスタ(FF40H)
 IOC10 ~ IOC13: P1ポートI/O制御レジスタ(FF44H)
 IOC20 ~ IOC23: P2ポートI/O制御レジスタ(FF48H)
 IOC30 ~ IOC33: P3ポートI/O制御レジスタ(FF4CH)
 IOC40 ~ IOC41: P4ポートI/O制御レジスタ(FF30H・D0 ~ D1)
 入出力兼用ポートの入力/出力モードを設定します。

"1"書き込み: 出力モード

"0"書き込み: 入力モード

読み出し: 可能

入出力兼用ポートの入力/出力モードを1ビット単位に設定します。

I/O制御レジスタに"1"を書き込むことにより対応する入出力兼用ポートが出力モードに、"0"を書き込むことにより入力モードになります。

イニシャルリセット時、IOC00 ~ IOC03、IOC10 ~ IOC13、IOC20 ~ IOC23は"0"に設定され、P0、P1、P2ポートは入力モードになります。IOC30 ~ IOC33、IOC40 ~ IOC41は"1"に設定され、P3、P4ポートは出力モードになります。

P10 ~ P13の中でシリアルインタフェースの入出力に設定したポートのI/O制御レジスタは入出力には影響を与えない汎用レジスタとなります。

PUL00 ~ PUL03: P0ポートプルダウン制御レジスタ(FF41H)
 PUL10 ~ PUL13: P1ポートプルダウン制御レジスタ(FF45H)
 PUL20 ~ PUL23: P2ポートプルダウン制御レジスタ(FF49H)
 PUL30 ~ PUL33: P3ポートプルダウン制御レジスタ(FF4DH)
 PUL40 ~ PUL41: P4ポートプルダウン制御レジスタ(FF31H・D0 ~ D1)
 入力モード時のプルダウンを設定します。

"1"書き込み: プルダウンON

"0"書き込み: プルダウンOFF

読み出し: 可能

入出力兼用ポートに内蔵されたプルダウン抵抗を入力モード時にONまたはOFFすることを1ビット単位に設定します。(プルダウン抵抗はマスクオプションで選択したポートのみに付加されます。)

プルダウン制御レジスタに"1"を書き込むことにより、対応する入出力兼用ポートが入力モード時にプルダウンがONとなります。"0"を書き込んだ場合、プルダウンは行われません。

イニシャルリセット時、PUL00 ~ PUL03、PUL10 ~ PUL13、PUL20 ~ PUL23は"1"に設定され、P0、P1、P2ポートのプルダウン抵抗がONになります。PUL30 ~ PUL33、PUL40 ~ PUL41は"0"に設定され、P3、P4ポートのプルダウン抵抗はOFFになります。

マスクオプションによりプルダウン抵抗が付加されていないポート、およびシリアルインタフェースのシリアル出力に用いられるポートのプルダウン制御レジスタはプルダウンには影響を与えない汎用レジスタとなります。シリアル入力または特殊出力に用いられるポートのプルダウン制御レジスタは入出力兼用ポートの場合と同様に機能します。

(3) 特殊出力の制御

注: Pxxを特殊出力ポートとして使用する場合、I/O制御レジスタ(IOCxx)は"1"(出力)、データレジスタ(Pxx)は"0"、プルダウン制御レジスタ(PULxx)は"0"(OFF)に固定してください。

ESVDDT: SVDDTモニタ出力イネーブルレジスタ(FF05H・D2)

SVDDT出力を制御します。

"1"書き込み: SVDDT出力ON

"0"書き込み: SVDDT出力OFF

読み出し: 可能

ESVDDTに"1"を書き込むことによってP21端子からSVDDT信号(SVD検出データ)が出力され、"0"の書き込みでP21端子がLOW(Vss)レベルになります。

イニシャルリセット時、このレジスタは"0"に設定されます。

E16HZ: F16HZ出力イネーブルレジスタ(FF09H・D1)

F16HZ出力を制御します。

"1"書き込み: F16HZ出力ON
"0"書き込み: F16HZ出力OFF
読み出し: 可能

E16HZに"1"を書き込むことによってP33端子からF16HZ信号が出力され、"0"の書き込みでP33端子がLOW(V_{SS})レベルになります。

イニシャルリセット時、このレジスタは"0"に設定されます。

ENISOR3: ISOR3モニタ出力イネーブルレジスタ(FF09H・D3)

ISOR3出力を制御します。

"1"書き込み: ISOR3出力ON
"0"書き込み: ISOR3出力OFF
読み出し: 可能

ENISOR3に"1"を書き込むことによってP30端子からISOR3信号(即スタートフラグ1の状態)が出力され、"0"の書き込みでP30端子がLOW(V_{SS})レベルになります。

イニシャルリセット時、このレジスタは"0"に設定されます。

ENISOR2: ISOR2モニタ出力イネーブルレジスタ(FF09H・D2)

ISOR2出力を制御します。

"1"書き込み: ISOR2出力ON
"0"書き込み: ISOR2出力OFF
読み出し: 可能

ENISOR2に"1"を書き込むことによってP31端子からISOR2信号(即スタートフラグ2の状態)が出力され、"0"の書き込みでP31端子がLOW(V_{SS})レベルになります。

イニシャルリセット時、このレジスタは"0"に設定されます。

ENISOR1: ISOR1モニタ出力イネーブルレジスタ(FF2DH・D3)

ISOR1出力を制御します。

"1"書き込み: ISOR1出力ON
"0"書き込み: ISOR1出力OFF
読み出し: 可能

ENISOR1に"1"を書き込むことによってP23端子からISOR1信号(充電中フラグの状態)が出力され、"0"の書き込みでP23端子がLOW(V_{SS})レベルになります。

イニシャルリセット時、このレジスタは"0"に設定されます。

ECLIM: CLIMモニタ出力イネーブルレジスタ(FF2DH・D2)

CLIM出力を制御します。

"1"書き込み: CLIM出力ON
"0"書き込み: CLIM出力OFF
読み出し: 可能

ECLIMに"1"を書き込むことによってP32端子からCLIM信号(ソーラー充電リミッタの状態)が出力され、"0"の書き込みでP32端子がLOW(V_{SS})レベルになります。

イニシャルリセット時、このレジスタは"0"に設定されます。

EVCWON: VCWONモニタ出力イネーブルレジスタ (FF88H・D1)

VCWON書き込み信号出力を制御します。

"1"書き込み: VCWON出力ON
 "0"書き込み: VCWON出力OFF
 読み出し: 可能

EVCWONに"1"を書き込むことによってP22端子からVCWON書き込み信号が出力され、"0"の書き込みでP22端子がLOW (V_{SS})レベルになります。

イニシャルリセット時、このレジスタは"0"に設定されます。

BZE: BZ出力イネーブルレジスタ (FF6CH・D0)

ブザー出力を制御します。

"1"書き込み: ブザー出力ON
 "0"書き込み: ブザー出力OFF
 読み出し: 可能

BZEに"1"を書き込むことによってP40端子からBZ信号が出力され、"0"の書き込みでP40端子がLOW (V_{SS})レベルになります。

イニシャルリセット時、このレジスタは"0"に設定されます。

BZSHT: 1ショットブザートリガ/ステータス (FF6DH・D1)

1ショットブザー出力の制御を行います。

• データ書き込み時

"1"書き込み: トリガ
 "0"書き込み: ノーオペレーション

BZSHTに"1"を書き込むことにより1ショット出力回路が動作し、ブザー信号が出力されます。この出力はSHTPWによって設定した時間の経過後に自動的にOFFとなります。

1ショット出力は通常のブザー出力がOFF (BZE = "0")の状態でのみ有効で、ON (BZE = "1")状態でのトリガは無効となります。1ショット出力中に再トリガを行った場合は、その時点からSHTPWによって設定した時間を計測し直します (時間延長)。

• データ読み出し時

"1"読み出し: BUSY
 "0"読み出し: READY

読み出し時は1ショット出力回路の動作状態を示します。1ショット出力中にBZSHTは"1"となり、出力がOFFすると"0"になります。

イニシャルリセット時、このビットは"0"に設定されます。

FOUTE: FOUT出力制御レジスタ (FF06H・D3)

FOUT出力を制御します。

"1"書き込み: FOUT出力ON
 "0"書き込み: FOUT出力OFF
 読み出し: 可能

FOUTEに"1"を書き込むことによってP41端子からFOUT信号が出力され、"0"の書き込みでP41端子がLOW (V_{SS})レベルになります。

イニシャルリセット時、このレジスタは"0"に設定されます。

FOFQ0, FOFQ1: FOUT周波数選択レジスタ(FF06H・D0, D1)
FOUT信号の周波数を選択します。

表4.5.6.2 FOUTクロック周波数

FOFQ1	FOFQ0	クロック周波数
1	1	fosc3
1	0	fosc1
0	1	fosc1 × 1/8
0	0	fosc1 × 1/64

イニシャルリセット時、このレジスタは"0"に設定されます。

PTOUT: TOUT出力制御レジスタ(FFC1H・D0)
TOUT出力を制御します。

"1"書き込み: TOUT出力ON

"0"書き込み: TOUT出力OFF

読み出し: 可能

PTOUTに"1"を書き込むことによってP20端子からTOUT信号が出力され、"0"の書き込みでP20端子がLOW(Vss)レベルになります。

イニシャルリセット時、このレジスタは"0"に設定されます。

4.5.7 プログラミング上の注意事項

- (1)入力モード時にポートの入力をHIGHレベルからプルダウン抵抗でLOWレベルに変化させる場合、プルダウン抵抗と入力ゲート容量の時定数によって波形立ち下がりに遅延が生じます。このため、入力データの取り込みを行う際は、適切な待ち時間を設定してください。
特に、キーマトリクス構成時のキースキャン等に注意が必要です。
この待ち時間は次の式で算出される時間以上としてください。
 $10 \times (\text{端子容量} 5\text{pF} + \text{寄生容量} ?\text{pF}) \times R \text{ (プルダウン抵抗} 300\text{k}\Omega \text{ Max.)}$
- (2)Pxx端子を特殊出力に使用する場合でも、I/O制御レジスタ、データレジスタおよびプルダウン制御レジスタは有効です。Pxx端子から不要な出力が行われないように、I/O制御レジスタ IOCxx を"1"、データレジスタ Pxx を"0"、プルダウン制御レジスタ PULxx を"0"に固定し、変更しないでください。
- (3)TOUT信号、FOUT信号、F16HZ信号のON/OFF時は、出力波形にハザードが出る場合があります。
- (4)FOUT信号の周波数としてfosc3を選択した場合は、信号出力前にOSC3発振回路の制御が必要です。制御方法と注意事項については"4.3 発振回路"を参照してください。

4.6 LCDドライバ(COM0 ~ COM7, SEG0 ~ SEG63)

4.6.1 LCDドライバの構成

S1C63709は8本のコモン端子(COM0 ~ COM7)と64本のセグメント端子(SEG0 ~ SEG63)を持ち、最大512ドット(64×8)のLCDを駆動できます。駆動方法は V_{C1} 、 V_{C2} 、 V_{C3} の3電位(1/3バイアス)による1/4、1/5または1/8デューティダイナミック駆動です。LCD表示のON/OFFもソフトウェアにより制御できます。

4.6.2 LCD駆動電源

LCD駆動用電源はマスクオプションによって内蔵電源または外部電源から選択できます。

内蔵電源を選択すると、LCD駆動用の電圧 $V_{C1} \sim V_{C3}$ は、LCD系電圧回路により内部発生します。

LCD系電圧回路はLPWRレジスタによってON/OFFします。LPWRを"1"に設定することにより、LCD系電圧回路はLCD駆動電圧 $V_{C1} \sim V_{C3}$ をLCDドライバに対して出力します。

LCD系電圧回路はその中の定電圧回路によって V_{C1} または V_{C2} を発生し、その電圧を昇圧または降圧して他の2電位を発生します。表4.6.2.1に $V_{C1} \sim V_{C3}$ の昇降圧の状態を示します。

表4.6.2.1 内部発生時のLCD駆動電圧

LCD駆動電圧	V_{C1} 基準	V_{C2} 基準
V_{C1}	V_{C1} (定電圧)	$1/2 \times V_{C2}$
V_{C2}	$2 \times V_{C1}$	V_{C2} (定電圧)
V_{C3}	$3 \times V_{C1}$	$3/2 \times V_{C2}$

注) LCD駆動電圧はソフトウェア(4.6.6項参照)により調整できます。

V_{C2} 基準を選択した場合、動作電圧範囲は2.1V ~ 3.6Vになります。

V_{C1} 基準、 V_{C2} 基準のどちらを使用するかは、マスクオプションで選択します。

外部電源を使用する場合は、電圧をマスクオプションで以下の3種類から選択し、 $V_{C1} \sim V_{C3}$ 端子に供給します。

1. 外部電源 1/3バイアス(4.5Vパネル対応) $V_{DD} = V_{C2}$
2. 外部電源 1/3バイアス(3.0Vパネル対応) $V_{DD} = V_{C3}$
3. 外部電源 1/2バイアス(3.0Vパネル対応) $V_{DD} = V_{C3}$, $V_{C1} = V_{C2}$ (スタティック駆動可能)

外部電源を使用する場合も、LPWRレジスタによるON/OFF制御は必要です。マスクオプションによりDC出力に設定したSEG出力ポートは、この電源のON/OFFにかかわらず出力可能です。

4.6.3 LCD表示のON/OFFとLCD駆動波形

(1) 表示のON/OFF

S1C63709には電源のON/OFFの制御とは別に、表示を点滅させるためのALON、ALOFFレジスタが用意されています。ALONは"1"の書き込みですべてのセグメントをONにするものです。ALOFFは逆に"1"の書き込みですべてのセグメントをOFFにします。この場合、SEG端子からはON波形またはOFF波形が出力されます。"0"設定時は共に通常の表示が行われます。また、ALON、ALOFF共に"1"に設定した場合、ALON(全点灯)がALOFF(全消灯)に優先します。

(2) 駆動デューティの切り換え

S1C63709はソフトウェアにより駆動デューティを1/4、1/5、1/8の3種類に切り換えることができます。この設定は表4.6.3.1に示すとおり、レジスタLDUTY1およびLDUTY0によって行います。

表4.6.3.1 駆動デューティの設定

LDUTY1	LDUTY0	駆動デューティ	使用コモン端子	最大セグメント数
1	*	1/8	COM0~COM7	512 (64×8)
0	1	1/5	COM0~COM4	320 (64×5)
0	0	1/4	COM0~COM3	256 (64×4)

フレーム周波数は、ソフトウェアにより25.6Hzまたは32Hzの2種類に切り換えることができます(ただし、1/5デューティ選択時は25.6Hzのみ)。この設定は表4.6.3.2に示すとおり、LCFCHGレジスタによって行います。

表4.6.3.2 フレーム周波数

LCFCHG	1/8デューティ選択時	1/5デューティ選択時	1/4デューティ選択時
1	25.6Hz	25.6Hz	25.6Hz
0	32Hz	25.6Hz	32Hz

注: フレーム周波数を変更する場合は、LCD電源をOFFにした状態でLCFCHGレジスタを設定してください。

図4.6.3.1～図4.6.3.3に各デューティのダイナミック駆動波形を示します。

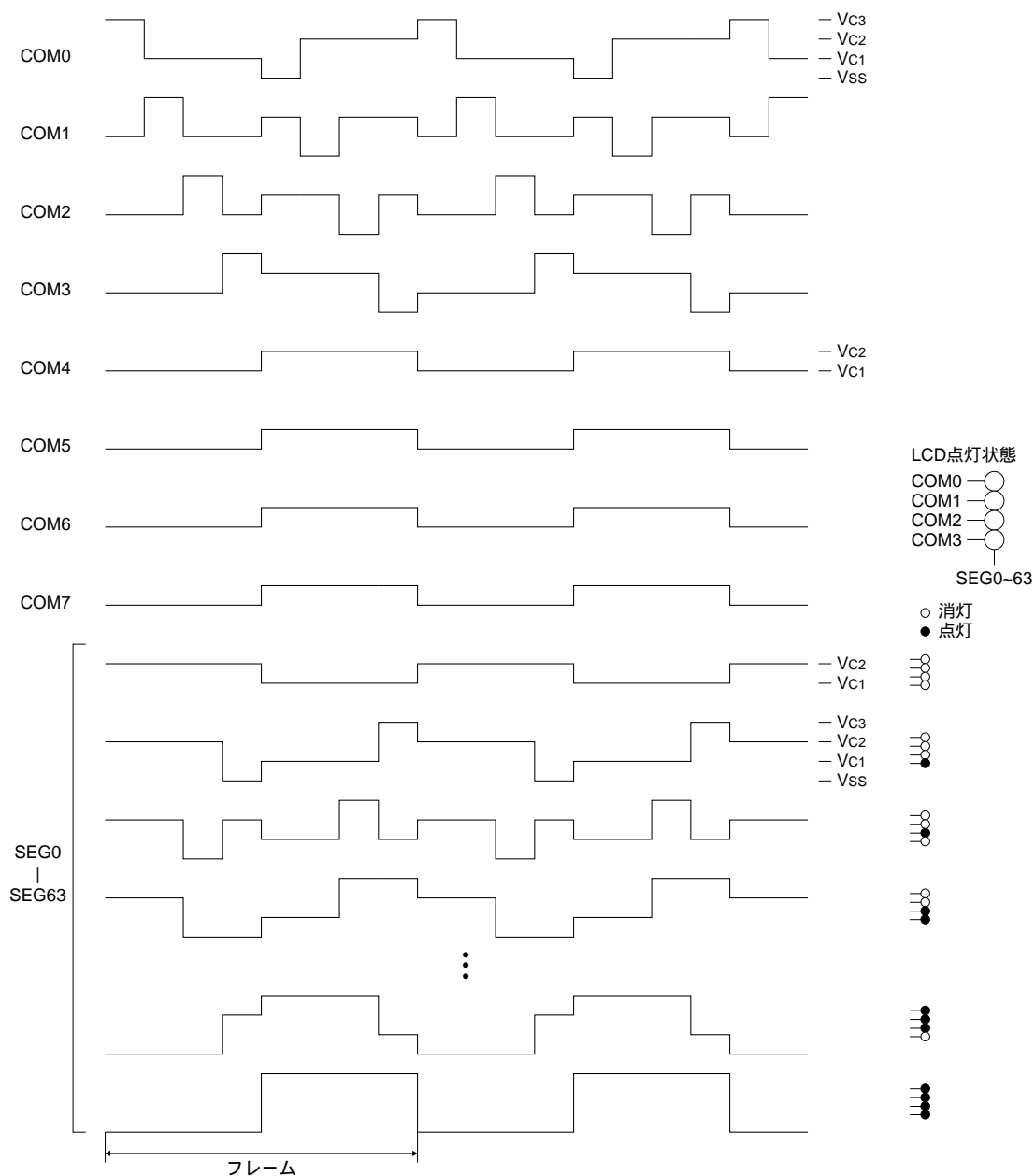


図4.6.3.1 1/4デューティLCD駆動波形

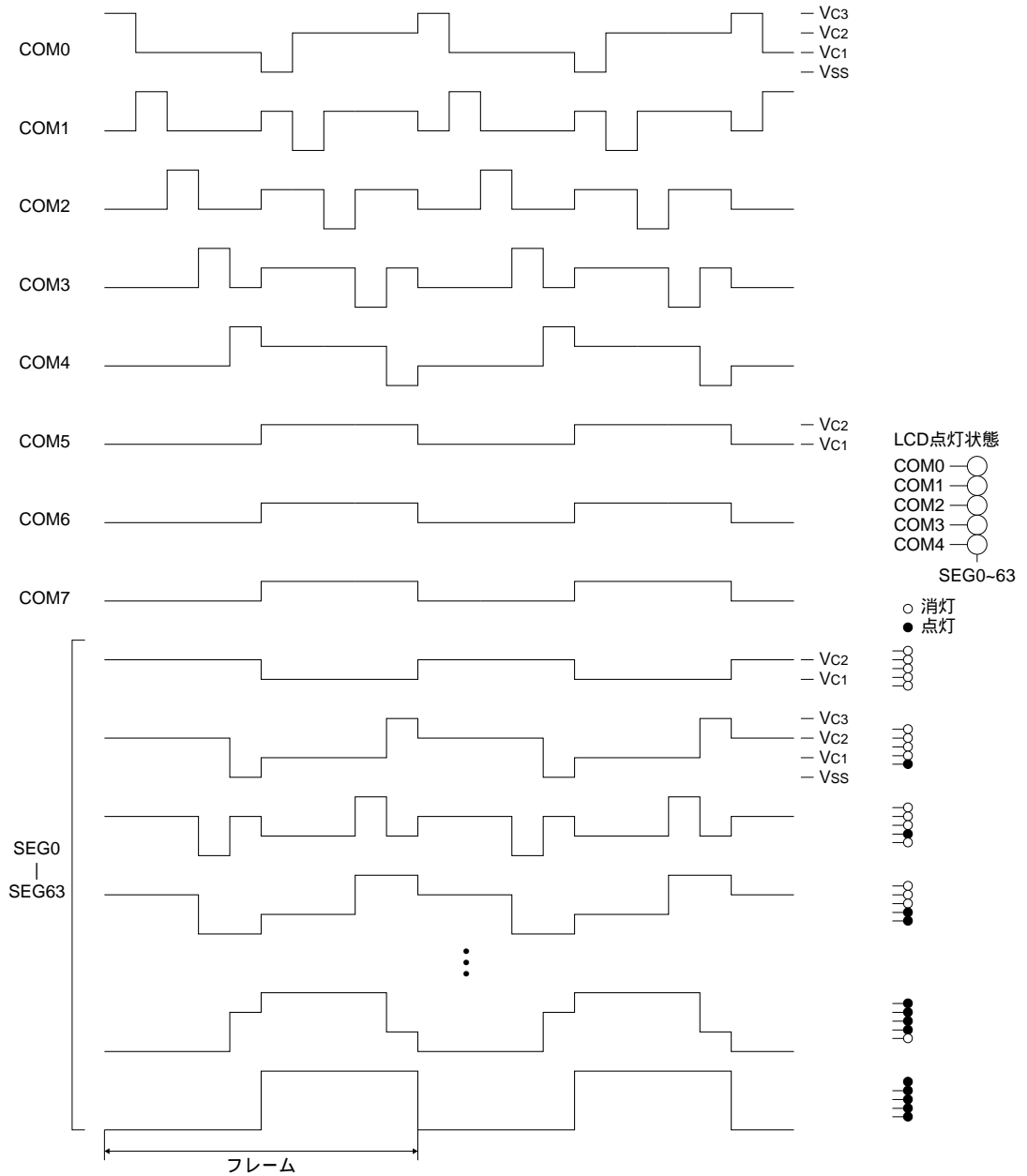


図4.6.3.2 1/5デューティLCD駆動波形

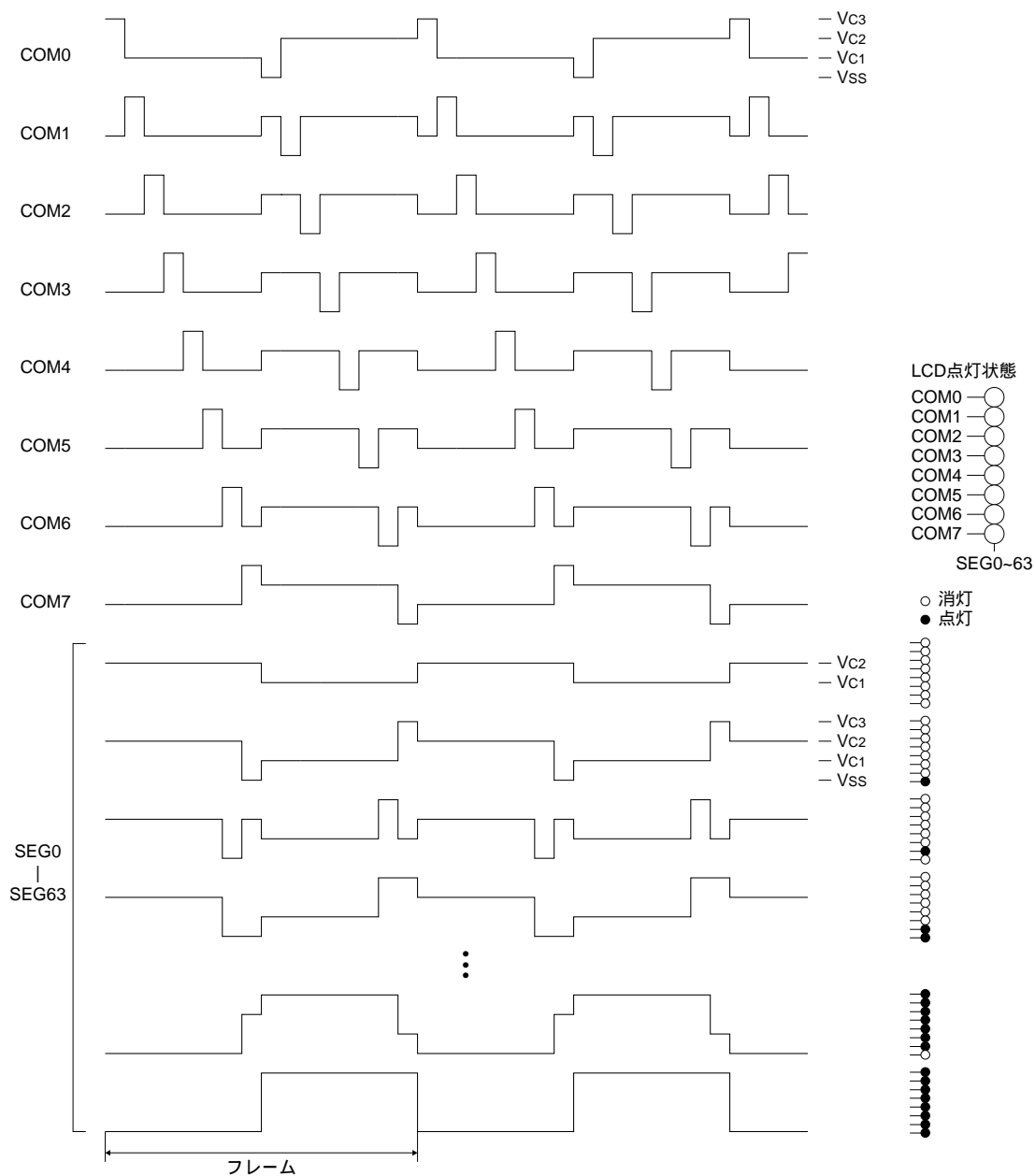


図4.6.3.3 1/8デューティLCD駆動波形

(3) スタティック駆動

S1C63709はLCDスタティック駆動をソフトウェアにより設定できます。ただし、この機能は、"外部電源 1/2バイアス(3.0Vパネル対応)"のマスクオプション選択時にのみ有効です。

スタティック駆動に設定するには、LCD駆動方式選択レジスタSTCDに"1"を書き込みます。この状態で、SEG端子に対応するCOM0～COM7のいずれかのビット(表示メモリ)に"1"を書き込むと、そのSEG端子はスタティックのON波形を出力します。COM0～COM7すべてが"0"に設定されているときは、そのSEG端子はダイナミックのままでOFF波形を出力します。

図4.6.3.4にスタティック駆動波形を示します。

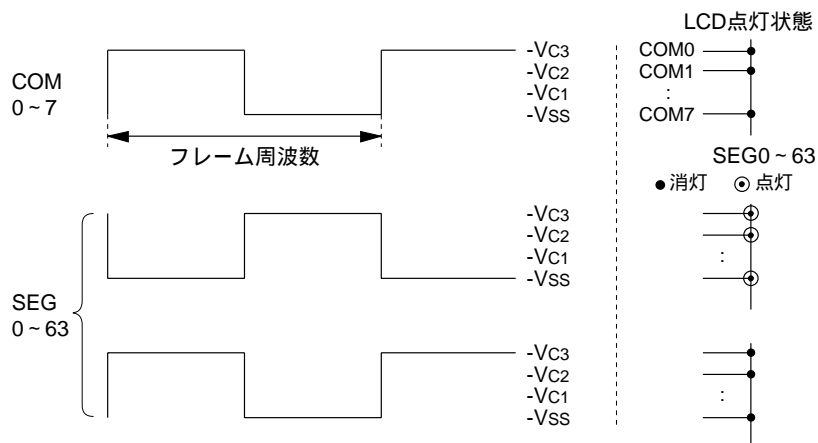


図4.6.3.4 スタティック駆動波形

注: スタティック駆動を行うには、マスクオプションで"外部電源 1/2バイアス(3.0Vパネル対応)"を選択してください。内部電源、または外部電源 1/3バイアスのマスクオプション選択時は、STCDレジスタでスタティック駆動に設定することはできません。

4.6.4 表示メモリ

表示メモリはデータメモリ領域のF000H～F09FHに割り付けられており、マスクオプションにより任意のセグメント端子 (SEG0～SEG63) に対応させることができます。

表示メモリのビットを"1"にすると対応するLCDセグメントが点灯し、"0"にすると消灯します。

イニシャルセット時、表示メモリの内容は不定となりますので、ソフトウェアにより初期化する必要があります。

LCD表示に使用しないアドレスは汎用のメモリとして使用することができます。

4.6.5 セグメントオプション

セグメント割り付け

表示メモリのアドレス (F000H～F09FH) およびビット (D0～D3) は、マスクオプションにより任意のセグメント端子 (SEG0～SEG63) に対応させることができます。このため、液晶パネルの自由度が増し設計が容易になります。

図4.6.5.1にLCDセグメント (パネル上) と表示メモリの関係性を1/4デューティの場合を例として示します。

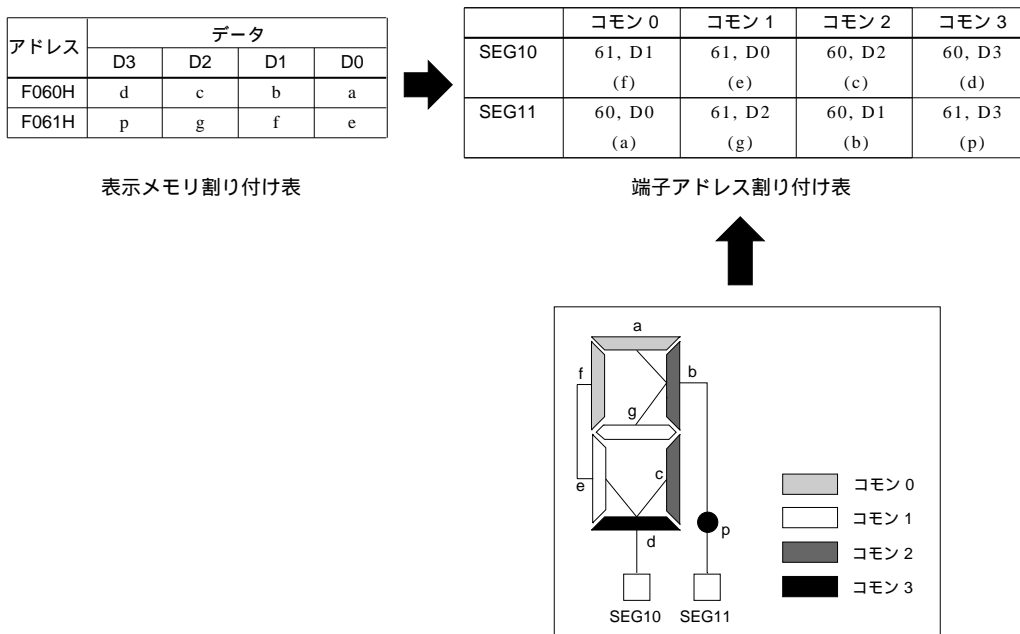


図4.6.5.1 セグメント割り付け

出力仕様

- 各セグメント端子 (SEG0～SEG63) は2端子単位でセグメント信号出力かDC出力 (V_{DD} , V_{SS} の2値出力) をマスクオプションで選択します。
DC出力を選択した場合は各セグメント端子のCOM0に対応するデータが出力されます。
- DC出力を選択した場合、コンプリメンタリ出力かNチャンネルオープンドレイン出力を2端子ごとにマスクオプションで選択できます。

注: 2端子単位とはSEG(2・n)とSEG(2・n+1) (nは0～31の整数)の組合せです。

端子名	アドレス (F0xx)																								出力仕様
	COM0			COM1			COM2			COM3			COM4			COM5			COM6			COM7			
	H	L	D	H	L	D	H	L	D	H	L	D	H	L	D	H	L	D	H	L	D	H	L	D	
SEG0																									SEG出力 □S
SEG1																									DC出力 □C □N
SEG2																									SEG出力 □S
SEG3																									DC出力 □C □N
SEG4																									SEG出力 □S
SEG5																									DC出力 □C □N
SEG6																									SEG出力 □S
SEG7																									DC出力 □C □N
SEG8																									SEG出力 □S
SEG9																									DC出力 □C □N
SEG10																									SEG出力 □S
SEG11																									DC出力 □C □N
SEG12																									SEG出力 □S
SEG13																									DC出力 □C □N
SEG14																									SEG出力 □S
SEG15																									DC出力 □C □N
SEG16																									SEG出力 □S
SEG17																									DC出力 □C □N
SEG18																									SEG出力 □S
SEG19																									DC出力 □C □N
SEG20																									SEG出力 □S
SEG21																									DC出力 □C □N
SEG22																									SEG出力 □S
SEG23																									DC出力 □C □N
SEG24																									SEG出力 □S
SEG25																									DC出力 □C □N
SEG26																									SEG出力 □S
SEG27																									DC出力 □C □N
SEG28																									SEG出力 □S
SEG29																									DC出力 □C □N
SEG30																									SEG出力 □S
SEG31																									DC出力 □C □N
SEG32																									

4.6.6 LCDコントラスト調整

S1C63709では、LCDのコントラストもソフトウェアによって調整できるようになっています。これは内蔵のLCD系電圧回路が出力する V_{C1} 、 V_{C2} 、 V_{C3} の電圧を制御することによって実現しています。コントラストはLC3～LC0レジスタによって表4.6.6.1に示す16段階に調整可能です。マスクオプションで V_{C1} 基準を選択した場合、レジスタの設定値により V_{C1} が1.07V～1.41Vの範囲で変化します。マスクオプションで V_{C2} 基準を選択した場合は、 V_{C2} が2.08V～2.84Vの範囲で変化します。電圧値については、"7 電気的特性"を参照してください。

表4.6.6.1 LCDコントラスト

No.	LC3	LC2	LC1	LC0	コントラスト
0	0	0	0	0	淡
1	0	0	0	1	↑
2	0	0	1	0	
3	0	0	1	1	
4	0	1	0	0	
5	0	1	0	1	
6	0	1	1	0	
7	0	1	1	1	
8	1	0	0	0	
9	1	0	0	1	
10	1	0	1	0	
11	1	0	1	1	
12	1	1	0	0	
13	1	1	0	1	
14	1	1	1	0	↓
15	1	1	1	1	濃い

イニシャルリセット時、LC3～LC0は0000Bになります。希望のコントラストを得るにはソフトウェアによる初期化が必要です。

LCD駆動電圧をマスクオプションによって外部印加する場合、この調整は無効となります。

- 注:
- 適正なコントラストを得るには、LC3～LC0を15(最大)に設定した場合の V_{C1} または V_{C2} よりも高い V_{DD} 電圧を供給する必要があります。
 - マスクオプションで内部電源を選択した場合は、3.0Vパネルを使用してください。それ以外のパネルについてはパネルとのマッチング評価を行い、使用可能かどうか判断してください。

4.6.7 LCDドライバのI/Oメモリ

表4.6.7.1にLCDドライバの制御ビットとそのアドレスを、図4.6.7.1に表示メモリマップを示します。

表4.6.7.1 LCDドライバの制御ビット

アドレス	レジスタ								注 釈			
	D3	D2	D1	D0	Name	Init *1	1	0				
FF60H	LDUTY1	LDUTY0	STCD	LPWR	LDUTY1	0			LCD駆動デューティ 切り換え	[LDUTY1, 0] 0 1 2, 3		
					LDUTY0	0				デューティ 1/4 1/5 1/8		
	R/W				STCD	0	Static	Dynamic	LCD駆動方式切り換え			
					LPWR	0	On	Off				
FF61H	0	ALOFF	ALON	LCFCHG	0 *3	~ *2			未使用			
					ALOFF	1	All Off	Normal				
	R	R/W			ALON	0	All On	Normal	LCD全点灯制御			
					LCFCHG	0	25.6Hz	32Hz				
FF62H	LC3	LC2	LC1	LC0	LC3	0			LCDコントラスト調整			
					LC2	0						
	R/W				LC1	0			[LC3~0] 0 ~ 15			
					LC0	0						

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

Address Base	Low	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
F00H		表示メモリ(160ワード x 4ビット) R/W															
F01H																	
F02H																	
F03H																	
F04H																	
F05H																	
F06H																	
F07H																	
F08H																	
F09H																	

図4.6.7.1 表示メモリマップ

LPWR: LCD電源ON/OFF制御レジスタ (FF60H・D0)

LCD系電圧回路をON/OFFします。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

LPWRに"1"を書き込むことにより、LCD系電圧回路がONとなりLCD駆動電圧を発生します。"0"を書き込んだ場合、LCD駆動電圧はすべてV_{ss}となります。

LPWRに"1"を書き込んだ後、LCD系電圧回路が動作しLCD駆動電圧出力が安定するまで約100msecかかります。

この制御はDC出力に設定されたSEG端子には影響を与えません。

イニシャルリセット時、このレジスタは"0"に設定されます。

LDUTY0, LDUTY1: LCD駆動デューティ切り換えレジスタ (FF60H・D2, D3)

LCD駆動デューティを選択します。

表4.6.7.2 駆動デューティの設定

LDUTY1	LDUTY0	駆動デューティ	使用コモン端子	最大セグメント数
1	*	1/8	COM0~COM7	512 (64×8)
0	1	1/5	COM0~COM4	320 (64×5)
0	0	1/4	COM0~COM3	256 (64×4)

イニシャルリセット時、このレジスタは"0"に設定されます。

STCD: LCD駆動方式選択レジスタ (FF60H・D1)

LCDの駆動方式を選択します。

"1"書き込み: スタティック駆動

"0"書き込み: ダイナミック駆動

読み出し: 可能

STCDに"1"を書き込むとスタティック駆動、"0"の書き込みでダイナミック駆動となります。
イニシャルリセット時、このレジスタは"0"に設定されます。

LCFCHG: フレーム周波数選択レジスタ (FF61H・D0)

LCDのフレーム周波数を選択します (1/4または1/8デューティ選択時)。

"1"書き込み: 25.6Hz

"0"書き込み: 32Hz

読み出し: 可能

LCFCHGに"1"を書き込むとフレーム周波数が25.6Hzに、"0"を書き込むと32Hzになります。
1/5デューティ選択時はこのレジスタの設定にかかわらず、25.6Hzに固定されます。
イニシャルリセット時、このレジスタは"0"に設定されます。

ALON: LCD全点灯制御レジスタ (FF61H・D1)

LCDセグメントを全点灯させます。

"1"書き込み: 全点灯

"0"書き込み: 通常表示

読み出し: 可能

ALONに"1"を書き込むとLCDセグメントがすべて点灯し、"0"の書き込みで通常表示に戻ります。これによる全点灯はSEGにON波形を出力するもので、表示メモリの内容には影響を与えません。

ALONはALOFFに優先します。

イニシャルリセット時、このレジスタは"0"に設定されます。

ALOFF: LCD全消灯制御レジスタ (FF61H・D2)

LCDセグメントを全消灯させます。

"1"書き込み: 全消灯

"0"書き込み: 通常表示

読み出し: 可能

ALOFFに"1"を書き込むとLCDセグメントがすべて消灯し、"0"の書き込みで通常表示に戻ります。これによる全消灯はSEGにOFF波形を出力するもので、表示メモリの内容には影響を与えません。

ALON (FF61H・D1) に"1"が同時に書き込まれた場合は、全点灯が優先されます。

イニシャルリセット時、このレジスタは"1"に設定されます。

LC3 ~ LC0: LCDコントラスト調整レジスタ (FF62H)

LCDのコントラストを調整します。

LC3 ~ LC0 = 0000B 淡

⋮

LC3 ~ LC0 = 1111B 濃

LCD駆動電圧をマスクオプションによって外部印加する場合、この調整は無効となります。

イニシャルリセット時、LC3 ~ LC0は0000Bに設定されます。

4.6.8 プログラミング上の注意事項

イニシャルリセット時、表示メモリの内容は不定となり LC3 ~ LC0 (LCDコントラスト) も0000Bとなりますので、ソフトウェアにより初期化する必要があります。また、表示もすべてOFFとなるように各レジスタ (LPWR、ALOFF) が設定されますので注意してください。

4.7 計時タイマ

4.7.1 計時タイマの構成

S1C63709はOSC1(水晶発振)を原振とする計時タイマを内蔵しています。計時タイマはfOSC1の分周クロック(256Hz)を入力クロックとする8ビットのバイナリカウンタで構成され、その8ビットデータ(128Hz~16Hzと8Hz~1Hz)をソフトウェアによって読み出すことができます。

図4.7.1.1に計時タイマのブロック図を示します。

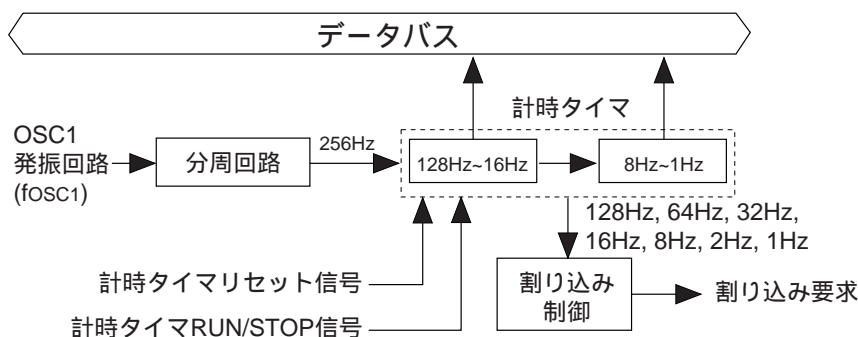


図4.7.1.1 計時タイマのブロック図

通常はこの計時タイマを、時計などのような各種の計時機能に用います。

4.7.2 データの読み出しとホールド機能

8ビットのタイマデータはアドレスFF75HとFF76Hに次のように割り付けられています。

<FF75H>	D0:TM0=128Hz	D1:TM1=64Hz	D2:TM2=32Hz	D3:TM3=16Hz
<FF76H>	D0:TM4=8Hz	D1:TM5=4Hz	D2:TM6=2Hz	D3:TM7=1Hz

計時タイマのデータは2つのアドレスに割り付けられているため、カウント中に下位データ(TM0~TM3: 128Hz~16Hz)から上位データ(TM4~TM7: 8Hz~1Hz)への桁上げが発生します。下位データと上位データの読み出しの間にこの桁上げが発生すると、2つを合わせた内容が正しい値とはなりません(下位データがFFHと読み出されていて、上位データはその時点から1つカウントアップされた値になってしまいます)。これを避けるために、S1C63709では上位データのホールド機能が働くようになっています。この機能は下位データの読み出しを行った時点で上位データのカウンタアップ(下位データからの桁上げ)を一時停止するもので、上位データがホールドされる時間は次に示す2つの内の短い方になります。

1. 上位データを読み出すまでの間
2. 0.48msec ~ 1.5msec(読み出しのタイミングにより異なる)

注: 上位データを先に読み出した場合は下位データのホールドは行われませんので、必ず下位バイトから先に読み出しを行ってください。

4.7.3 割り込み機能

計時タイマは128Hz、64Hz、32Hz、16Hz、8Hz、2Hz、1Hzの各信号の立ち下がリエッジにおいて割り込みを発生させることができます。また、前記の各周波数に対して個別に割り込みをマスクするかしないかを、ソフトウェアで設定することができます。

図4.7.3.1に計時タイマのタイミングチャートを示します。

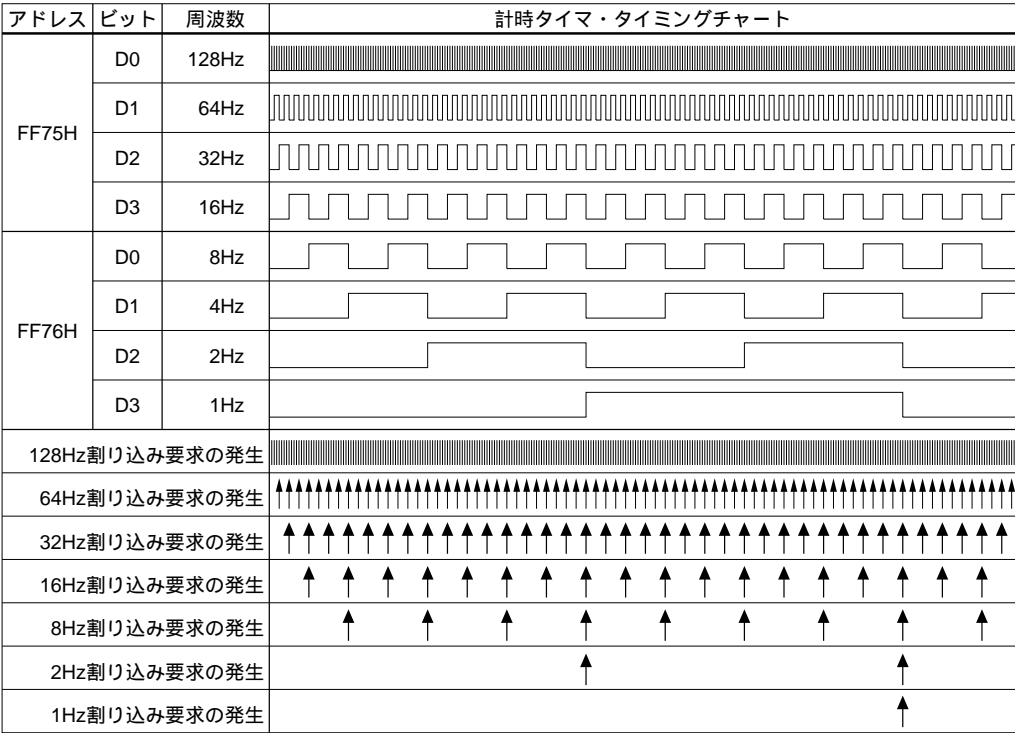


図4.7.3.1 計時タイマのタイミングチャート

図4.7.3.1に示すとおり、割り込みは各周波数(32Hz、8Hz、2Hz、1Hz、16Hz、64Hz、128Hz)の信号の立ち下がリエッジによって発生します。また、この時点に対応する割り込み要因フラグ(IT0、IT1、IT2、IT3、IT4、IT5、IT6)が"1"にセットされます。各割り込みは、割り込みマスクレジスタ EIT0、EIT1、EIT2、EIT3、EIT4、EIT5、EIT6)によって、個別にマスクを選択することができます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応する信号の立ち下がリエッジで"1"にセットされます。

4.7.4 計時タイマのI/Oメモリ

表4.7.4.1に計時タイマの制御ビットとそのアドレスを示します。

表4.7.4.1 計時タイマの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF74H	0	0	TMRST	TMRUN	0 *3 0 *3	— *2 — *2			未使用 未使用
	R		W	R/W	TMRST *3 TMRUN	Reset 0	Reset Run	Invalid Stop	計時タイマリセット(書き込み時) 計時タイマRun/Stop
	TM3	TM2	TM1	TM0	TM3 TM2 TM1 TM0	0 0 0 0			計時タイマデータ(16Hz) 計時タイマデータ(32Hz) 計時タイマデータ(64Hz) 計時タイマデータ(128Hz)
FF75H	R								
	TM7	TM6	TM5	TM4	TM7 TM6 TM5 TM4	0 0 0 0			計時タイマデータ(1Hz) 計時タイマデータ(2Hz) 計時タイマデータ(4Hz) 計時タイマデータ(8Hz)
	R								
FF76H	EIT3	EIT2	EIT1	EIT0	EIT3 EIT2 EIT1 EIT0	0 0 0 0	Enable Enable Enable Enable	Mask Mask Mask Mask	割り込みマスクレジスタ(計時タイマ1Hz) 割り込みマスクレジスタ(計時タイマ2Hz) 割り込みマスクレジスタ(計時タイマ8Hz) 割り込みマスクレジスタ(計時タイマ32Hz)
	R/W								
	0	EIT6	EIT5	EIT4	0 *3 EIT6 EIT5 EIT4	— *2 0 0 0		Mask Mask Mask	未使用 割り込みマスクレジスタ(計時タイマ128Hz) 割り込みマスクレジスタ(計時タイマ64Hz) 割り込みマスクレジスタ(計時タイマ16Hz)
FF77H	R/W								
	IT3	IT2	IT1	IT0	IT3 IT2 IT1 IT0	0 0 0 0	(R) Yes (W) Reset	(R) No (W) Invalid	割り込み要因フラグ(計時タイマ1Hz) 割り込み要因フラグ(計時タイマ2Hz) 割り込み要因フラグ(計時タイマ8Hz) 割り込み要因フラグ(計時タイマ32Hz)
	R/W								
FF78H	0	IT6	IT5	IT4	0 *3 IT6 IT5 IT4	— *2 0 0 0	(R) Yes (W) Reset	(R) No (W) Invalid	未使用 割り込み要因フラグ(計時タイマ128Hz) 割り込み要因フラグ(計時タイマ64Hz) 割り込み要因フラグ(計時タイマ16Hz)
	R/W								
	R/W								

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

TM0 ~ TM7: タイマデータ(FF75H, FF76H)

計時タイマの128Hz ~ 1Hzのタイマデータが読み出せます。この8ビットは読み出し専用のため、書き込み動作は無効となります。

下位データ(FF75H)を読み出すことにより、上位データ(FF76H)がその読み出しまで、または0.48msec ~ 1.5msecの間、どちらか短い方にホールドされます。

イニシャルリセット時、タイマデータは"00H"に初期化されます。

TMRST: 計時タイマリセット(FF74H・D1)

計時タイマをリセットするビットです。

"1"書き込み: 計時タイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

計時タイマは、TMRSTに"1"を書き込むことによりリセットされます。計時タイマがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合はリセットデータが保持されます。

また、"0"の書き込みはノーオペレーションとなります。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

TMRUN: 計時タイマRUN/STOP制御レジスタ(FF74H・D0)

計時タイマのRUN/STOPを制御します。

"1"書き込み: RUN
 "0"書き込み: STOP
 読み出し: 可能

計時タイマはTMRUNに"1"を書き込むことによりRUNし、"0"の書き込みによりSTOPします。
 STOP状態ではリセットか次にRUN状態にするまで、タイマのデータは保持されます。また、STOP状態からRUN状態にすることにより保持していたデータから継続して、カウントを進めることができます。
 イニシャルリセット時、このレジスタは"0"に設定されます。

EIT0: 32Hz割り込みマスクレジスタ(FFE5H・D0)

EIT1: 8Hz割り込みマスクレジスタ(FFE5H・D1)

EIT2: 2Hz割り込みマスクレジスタ(FFE5H・D2)

EIT3: 1Hz割り込みマスクレジスタ(FFE5H・D3)

EIT4: 16Hz割り込みマスクレジスタ(FFE9H・D0)

EIT5: 64Hz割り込みマスクレジスタ(FFE9H・D1)

EIT6: 128Hz割り込みマスクレジスタ(FFE9H・D2)

計時タイマの割り込みについて、マスクするかしないかを選択します。

"1"書き込み: イネーブル
 "0"書き込み: マスク
 読み出し: 可能

各周波数(32Hz、8Hz、2Hz、1Hz、16Hz、64Hz、128Hz)に対して、割り込みをマスクするかしないかを、割り込みマスクレジスタEIT0(32Hz)、EIT1(8Hz)、EIT2(2Hz)、EIT3(1Hz)、EIT4(16Hz)、EIT5(64Hz)、EIT6(128Hz)により個別に選択できます。

イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

IT0: 32Hz割り込み要因フラグ(FFF5H・D0)

IT1: 8Hz割り込み要因フラグ(FFF5H・D1)

IT2: 2Hz割り込み要因フラグ(FFF5H・D2)

IT3: 1Hz割り込み要因フラグ(FFF5H・D3)

IT4: 16Hz割り込み要因フラグ(FFF9H・D0)

IT5: 64Hz割り込み要因フラグ(FFF9H・D1)

IT6: 128Hz割り込み要因フラグ(FFF9H・D2)

計時タイマ割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有
 "0"読み出し: 割り込み無
 "1"書き込み: 要因フラグをリセット
 "0"書き込み: 無効

割り込み要因フラグIT0、IT1、IT2、IT3、IT4、IT5、IT6は、それぞれ32Hz、8Hz、2Hz、1Hz、16Hz、64Hz、128Hzの計時タイマ割り込みに対応します。これらのフラグによって計時タイマ割り込みの有無を、ソフトウェアで判断することができます。ただし、これらのフラグは割り込みをマスクしていても、対応する信号の立ち下がりエッジで"1"にセットされます。

これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(1フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

4.7.5 プログラミング上の注意事項

- (1)データの読み出しは必ず下位データ(TM0~TM3)から先に行ってください。
- (2)割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.8 ストップウォッチタイマ

4.8.1 ストップウォッチタイマの構成

S1C63709は、1/1,000sec単位のストップウォッチタイマを内蔵しています。ストップウォッチタイマはプリスケアラより出力される1,000Hz信号を入力クロックとする4ビット3段のBCDカウンタで構成され、ソフトウェアにより1/1,000sec、1/100sec、1/10secの各4ビット単位でデータを読み出すことができます。また、入力ポートK00およびK01を使用して、キー入力によってストップウォッチタイマのRUN/STOPおよびLAPを制御するダイレクト入力機能も持っています。

図4.8.1.1にストップウォッチタイマのブロック図を示します。

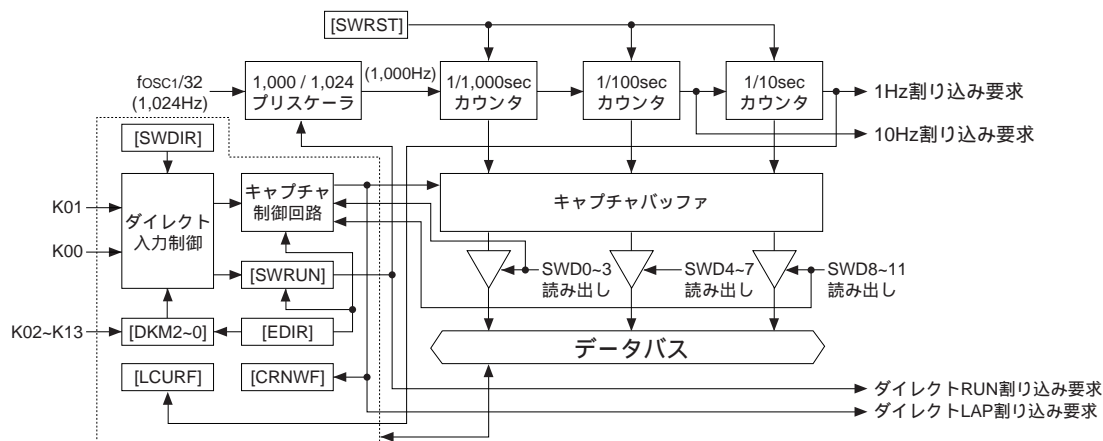


図4.8.1.1 ストップウォッチタイマのブロック図

ストップウォッチタイマは計時タイマとは別のタイマとして使用でき、特にデジタルウォッチのストップウォッチ機能などをソフトウェアで容易に実現することができます。

4.8.2 カウンタとプリスケアラ

ストップウォッチタイマは、それぞれ4ビットのBCDカウンタSWD0～3、SWD4～7およびSWD8～11で構成されています。

ストップウォッチタイマ前段のカウンタSWD0～3は、プリスケアラより出力される1,000Hz信号を入力クロックとして1/1,000secごとのカウントアップを行い、100Hz信号を発生します。中段のカウンタSWD4～7はSWD0～3が出力する100Hz信号をクロックとして1/100secごとのカウントアップを行い、10Hz信号を出力します。同様に、後段のカウンタSWD8～11は1/10secごとのカウントアップを行って1Hz信号を発生します。プリスケアラはOSC1発振回路の出力を分周した1,024Hzのクロックを入力し、1,000HzのSWD0～3カウンタクロックを出力します。1,024Hzから1,000Hzのクロックを作成するため、1秒間にプリスケアラに入力される1,024個のパルスから24個のパルスを抜き取るという方法をとっています。カウンタが以下に示す値となった場合、その直後にプリスケアラに入力される1,024Hzのパルスが1個抜き取られます。

パルス補正が行われるカウンタ値(msec)

39, 79, 139, 179, 219, 259, 299, 319, 359, 399, 439, 479,
539, 579, 619, 659, 699, 719, 759, 799, 839, 879, 939, 979

図4.8.2.1にプリスケアラの動作を示します。

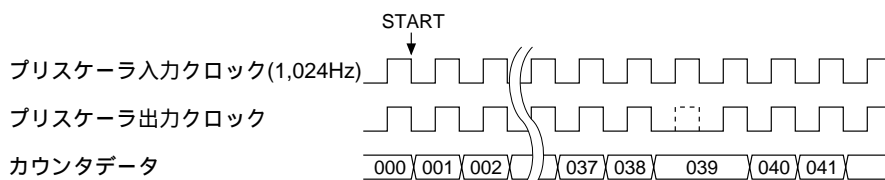


図4.8.2.1 プリスケアラの動作タイミング

上記の理由により、パルス補正時以外のカウントクロックは1,024Hz(0.9765625msec)となります。したがって、プリスケアラの出力クロック(1,000Hz)およびカウンタSWD0～3、SWD4～7が発生する100Hz、10Hz信号の周波数は近似値となります。

4.8.3 キャプチャバッファとホールド機能

ストップウォッチタイムの1/1,000secデータ、1/100secデータ、1/10secデータは、それぞれSWD0～3(FF7AH)、SWD4～7(FF7BH)、SWD8～11(FF7CH)から読み出すことができます。読み出しの際は各カウンタのデータがキャプチャバッファにラッチされ、3ワードの読み出しが終了するまでデータがホールドされます。これによって、3ワードの読み出しの途中で下位桁からの桁上げが発生した場合でも正しいデータを読み出すことができます。なお、キャプチャバッファへはSWD0～3(1/1,000sec)の読み出しを行った時点で3個のカウンタのデータが同時にラッチされ、SWD8～11(1/10sec)の読み出しが終了した時点でデータのホールドが解除されるようになっています。したがって、データの読み出しはSWD0～3、SWD4～7、SWD8～11の順に行ってください。データがホールドされていない状態でSWD4～7あるいはSWD8～11を先に読み出した場合は、ホールド機能が働かずにカウンタのデータが直接読み出されます。ストップウォッチタイムがRUN状態でホールドされていないデータを読み出した場合、正しいデータかどうかを判断することができません。

ストップウォッチタイムには外部キー入力によるLAR(ラップ)機能があります(後述)。キャプチャバッファは、このLAR(ラップ)データをホールドするためにも使用されます。この場合も、SWD8～11が読み出されるまでデータがホールドされます。ただし、ホールドされているデータの読み出しを終了する前にLAR入力が行われた場合はその時点でキャプチャバッファの内容が更新されてしまいます。読み残していたデータは更新されて無効となりますので、SWD8～11を読み出してもホールド状態は解除されません。キャプチャバッファが更新されている状態でSWD8～11を読み出しますと、その時点でキャプチャ更新フラグCRNWFが"1"にセットされますので、この場合は再度SWD0～3からの読み出しを行う必要があります。キャプチャ更新フラグはSWD8～11の読み出しごとに更新されます。

図4.8.3.1にデータのホールドと読み出しのタイミングを示します。

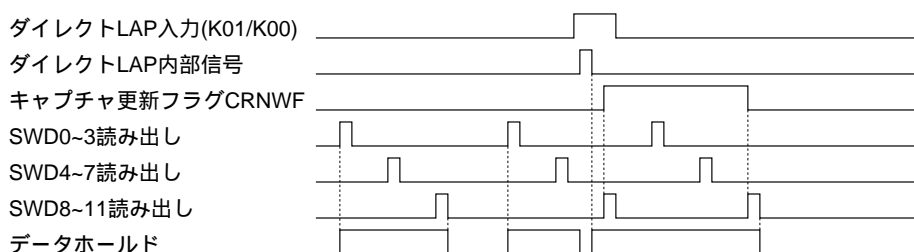


図4.8.3.1 データのホールドと読み出し

4.8.4 ストップウォッチタイマのRUN/STOPおよびリセット

ストップウォッチタイマはソフトウェアによってRUN/STOPの制御、およびリセットが行えます。

(1) ストップウォッチタイマのRUN/STOP

ストップウォッチタイマはレジスタSWRUNに"1"を書き込むことによってRUN、"0"の書き込みでSTOPします。ストップウォッチタイマをRUNさせると、その時点のカウンタの内容から継続してカウントアップを行います。STOPさせた場合は、その後もその時点のカウンタの内容を保持します。

レジスタSWRUNの書き込みによるストップウォッチタイマのRUN/STOPの動作は、プリスケアラの入力クロックと同じ1,024Hzの立ち下がリエッジに同期して行われます。

なおSWRUNは読み出しも可能で、その場合はストップウォッチタイマの動作状態を示します。

図4.8.4.1にSWRUNレジスタ制御時の動作タイミングを示します。

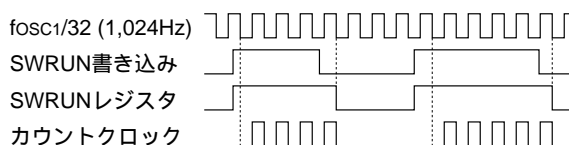


図4.8.4.1 SWRUNレジスタ制御時の動作タイミング

次項で説明するダイレクト入力機能を設定した場合は、RUN/STOPの制御を外部キー入力によって行います。その場合は、SWRUNがストップウォッチタイマの動作状態を示す読み出し専用のレジスタとなります。

(2) ストップウォッチタイマのリセット

ストップウォッチタイマはレジスタSWRSTに"1"を書き込むことによってリセットされ、カウンタは"000"にクリアされます。このリセットはキャプチャバッファに影響を与えないので、ホールド状態のキャプチャバッファのデータはクリアされずにそのまま保持されます。なお、ストップウォッチタイマがRUN状態でリセットすると、カウンタが"000"の状態からカウント動作を継続します。STOP状態でリセットした場合は、次にRUNするまでカウンタは"000"を保持します。

4.8.5 ダイレクト入力機能とキーマスク

ストップウォッチタイマにはダイレクト入力機能があり、外部キー入力によってストップウォッチタイマのRUN/STOPおよびLAPを制御することができます。この機能はレジスタEDIRに"1"を書き込むことによって設定します。EDIRが"0"の場合は前項で説明したソフトウェア制御のみとなります。

(1) 入力ポートの選択

ダイレクト入力機能を使用する場合、入力ポートK00とK01をRUN、STOPおよびLAPキー入力に使用します。この割り当てはSWDIRレジスタで次のように選択できます。

表4.8.5.1 RUN/STOPとLAPキー入力ポート

SWDIR	K00	K01
0	RUN/STOP	LAP
1	LAP	RUN/STOP

(2) ダイレクトRUN

ダイレクト入力機能を設定した場合は、入力ポートK00/K01(SWDIRで選択)に接続したキーの入力によってストップウォッチタイマのRUN/STOPを制御することができます。K00/K01は通常の入力ポートとして働き、入力信号がストップウォッチの制御回路に送られます。

K00/K01キー入力はトグル動作となり、ストップウォッチタイマがSTOP状態で入力されるとRUN、RUN状態で入力されるとSTOPします。ストップウォッチタイマのRUN/STOPの状態はレジスタSWRUNを読み出すことで確認できます。また、このダイレクトRUN入力により割り込みが発生します。

キー入力信号はSWRUNレジスタ制御のときと同様に1,024Hz信号の立ち下がリエッジでサンプリングされます。チャタリング判定はキーOFF時に行われ、46.8msec ~ 62.5msec以下のチャタリングが除去されます。したがって、RUNとSTOPそれぞれのキー入力の間隔はこの時間以上が必要です。

図4.8.5.1にダイレクトRUN入力時の動作タイミングを示します。

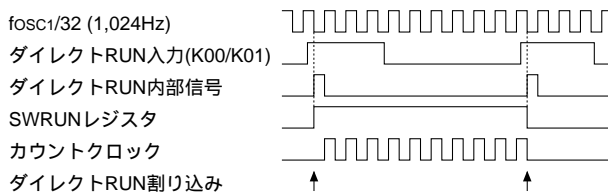


図4.8.5.1 ダイレクトRUN入力時の動作タイミング

(3)ダイレクトLAP

ダイレクトRUNと同様にLAPの制御もキー入力によって行えます。ダイレクト入力機能を設定すると、入力ポートK01/K00(SWDIRで選択)がLAPキーの入力ポートとなります。入力信号のサンプリングおよびチャタリング判定はダイレクトRUNの場合と同様です。

LAP入力が行われると、その時点のカウンタデータがキャプチャバッファにラッチされ、データをホールドします。カウンタはカウント動作を継続します。また、このダイレクトLAP入力により割り込みが発生します。前述したように、データはSWD8～11が読み出されるまでホールドされます。すでにデータがホールドされている状態でLAPの入力が行われた場合は、キャプチャバッファの内容が更新されてしまい、その後SWD8～11の読み出しを行った際にキャプチャ更新フラグCRNWFが"1"にセットされます。この場合は、SWD8～11の読み出しによってホールド状態は解除されずに、さらにホールド状態を継続します。LAPデータは、割り込み発生後に読み出しを行います。そのあとには必ずキャプチャ更新フラグを確認してください。キャプチャ更新フラグがセットされている場合は、更新されたデータがキャプチャバッファにホールドされていますので再度読み出しを行ってください。

また、SWD8～11のオーバーフローによって1sec桁への桁上げが必要になった場合、ストップウォッチタイムは1Hz割り込み要因フラグISW1を"1"にセットします。この1Hz割り込み要因フラグISW1が"1"にセットされている間に、キャプチャバッファがホールド状態(SWD0～3読み出し時またはLAP入力時)になるとラップデータ桁上げ要求フラグが"1"にセットされ、LAP入力などの処理において1秒桁への桁上げが必要であることを示します。これは、ソフトウェアによる通常の処理方法として、1Hz割り込みによる1sec桁以上の処理より先LAPの処理が優先されると考えられますので、LAP処理による時間表示において1秒桁のデータが1秒だけ少なくなることを防ぐために必要となります。したがって、LAP処理前にラップデータ桁上げ要求フラグを確認してください。このフラグはキャプチャバッファがホールド状態になるごとに更新されます。

図4.8.5.2にダイレクトLAP入力時の動作タイミングを示します。

図4.8.5.3にダイレクトLAP入力時のデータホールドと読み出しのタイミングを示します。

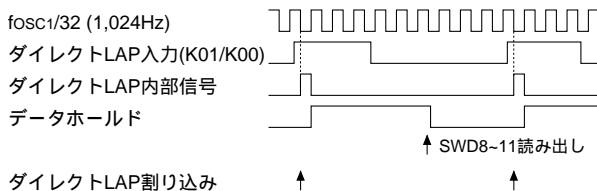


図4.8.5.2 ダイレクトLAP入力時の動作タイミング

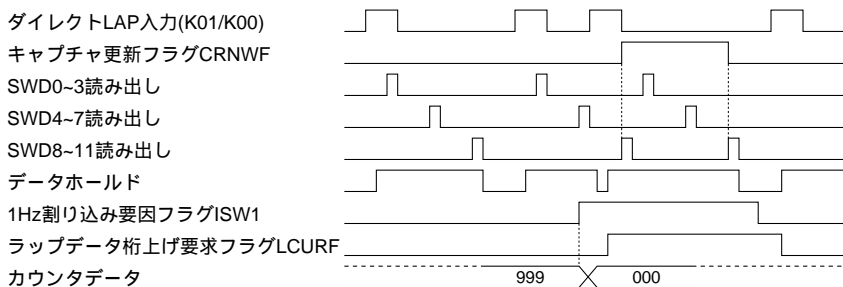


図4.8.5.3 ダイレクトLAP入力時のデータホールドと読み出し

(4) キーマスク

ストップウォッチのアプリケーションにおいて、ダイレクトRUNまたはダイレクトLAPを含むキーの組み合わせによって機能を制御する場合があります。たとえば、あるキーが押されている状態でRUNキーが入力された場合に、RUNキーをリセットや時計合わせ等の他の目的に使用するような場合です。このときにはダイレクトRUN、あるいはダイレクトLAPの機能を無効としてストップウォッチがその動作を行わないようにする必要があります。このために、キー入力の競合判定を行い、RUNおよびLAPを無効とするキーマスク機能が設けられています。この競合判定を行うキー入力の組み合わせをレジスタDKM0～2によって選択することができます。

表4.8.5.2 キーマスク選択

DKM2	DKM1	DKM0	競合判定組み合わせ
0	0	0	なし(リセット時)
0	0	1	K02
0	1	0	K02, K03
0	1	1	K02, K03, K10
1	0	0	K10
1	0	1	K10, K11
1	1	0	K10, K11, K12
1	1	1	K10, K11, K12, K13

RUNまたはLAP入力は以下の場合に無効となります。

1. 選択した組み合わせに含まれる1つ以上のキー(以下、マスクと記述)が入力されている状態でRUNまたはLAPが入力された場合
2. マスクが解除された時点でRUNまたはLAPが入力されている場合

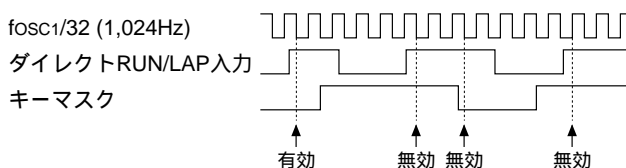


図4.8.5.4 キーマスクの動作

RUN、LAP入力が有効となるのは以下の場合です。

1. RUNまたはLAPのどちらか一方が単独で無入力状態から入力された場合
2. RUNおよびLAPの両方が同時に無入力状態から入力された場合(RUN、LAP共に有効)
3. RUNまたはLAPのどちらか一方が入力されている状態でもう一方が入力された場合(RUN、LAP共に有効)
4. RUNまたはLAPのどちらか一方とマスクが同時に無入力状態から入力された場合
5. RUNおよびLAPの両方とマスクが同時に無入力状態から入力された場合(RUN、LAP共に有効)

* キーの同時入力とはキー入力のサンプリングが1,024Hzクロックの同じ立ち下がりエッジで行われたことをいいます。

4.8.6 割り込み機能

(1) 10Hz、1Hz割り込み

ストップウォッチタイムSWD4～7とSWD8～11はそれぞれのオーバーフローにより、10Hzと1Hzの割り込みを発生させることができます。また、それぞれの周波数に対して、個別に割り込みのマスクをするかしないかをソフトウェアで設定することができます。

図4.8.6.1にカウンタのタイミングチャートを示します。

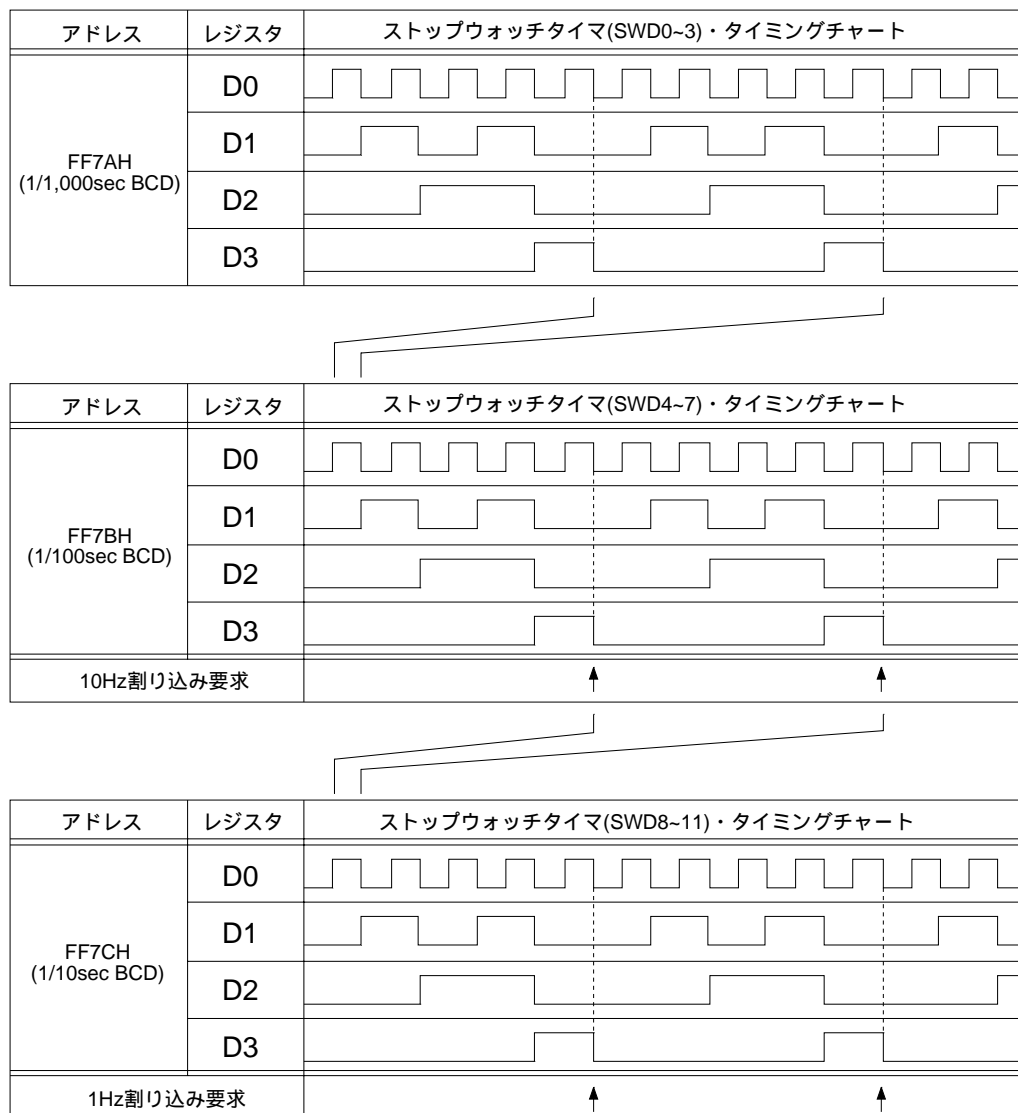


図4.8.6.1 カウンタのタイミングチャート

図4.8.6.1に示すとおり、割り込みはそれぞれのカウンタのオーバーフロー(“9”から“0”への変化)によって発生します。また、この時点に対応する割り込み要因フラグ(ISW10、ISW1)が“1”にセットされます。それぞれの割り込みは、割り込みマスクレジスタ(EISW10、EISW1)によって、個別にマスクを選択することができます。ただし、割り込み要因フラグ(ISW10、ISW1)は割り込みマスクレジスタの設定にかかわらず、対応するカウンタのオーバーフローで“1”にセットされます。

(2) ダイレクトRUN、ダイレクトLAP割り込み

ダイレクト入力機能を設定している場合は、ダイレクトRUNおよびダイレクトLAPの入力により割り込みを発生させることができます。それぞれの割り込みは、ダイレクト信号を1,024Hz信号の立ち下がりでサンプリングした後のダイレクトRUN、ダイレクトLAPの各内部信号の立ち上がりエッジで発生し、その時点で割り込み要因フラグ(IRUN、ILAP)が"1"にセットされます。この割り込み要因もそれぞれに対応する割り込みマスクレジスタ(EIRUN、EILAP)によってマスクすることができます。ただし、割り込み要因フラグ(IRUN、ILAP)は割り込みマスクレジスタの設定にかかわらず、RUN、LAPの入力によって"1"にセットされます。

ダイレクトRUNとダイレクトLAPはK00ポートとK01ポートを使用します。このため、入力ポートK00～K03の割り込み条件の設定によっては、ダイレクト入力割り込みとK00～K03入力割り込みが同時に発生することがあります。したがって、ダイレクト入力割り込みを使用する場合は、K00およびK01入力によって入力割り込みが発生しないように割り込み選択レジスタSIK00およびSIK01を"0"に設定してください。

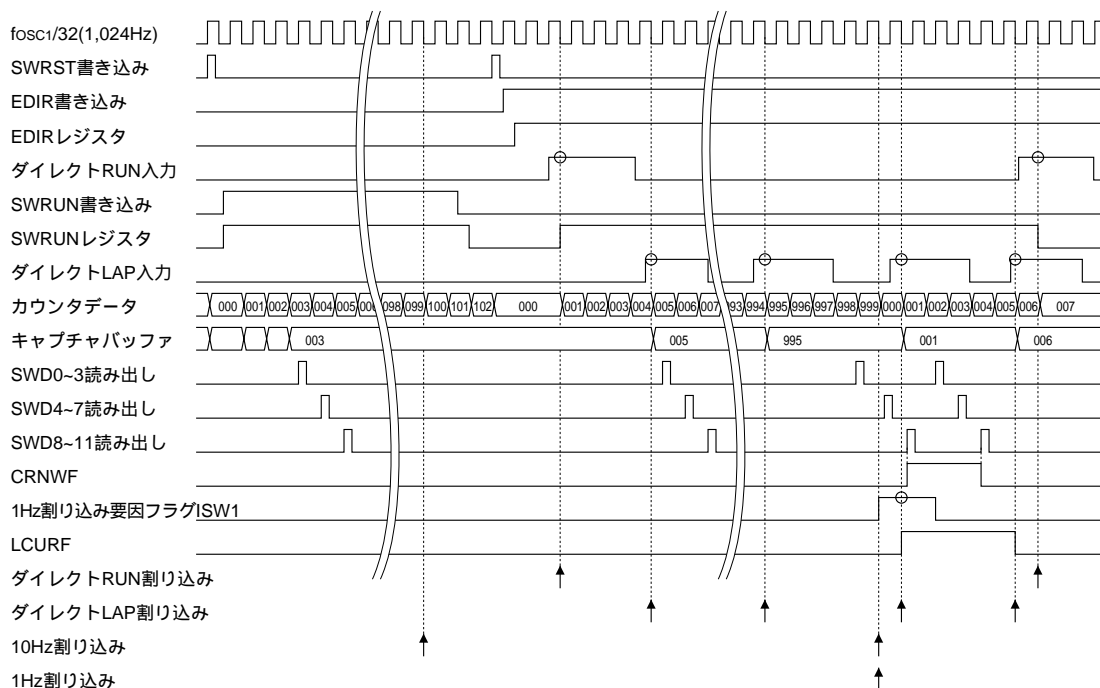


図4.8.6.2 ストップウォッチタイマのタイミングチャート

4.8.7 ストップウォッチタイムのI/Oメモリ

表4.8.7.1にストップウォッチタイムの制御ビットとそのアドレスを示します。

表4.8.7.1 ストップウォッチタイムの制御ビット

アドレス	レジスタ				注 釈			
	D3	D2	D1	D0	Name	Init *1	1	0
FF06H	FOUTE	SWDIR	FOFQ1	FOFQ0	FOUTE	0	Enable	Disable
					SWDIR	0		
	R/W				FOFQ1	0		
					FOFQ0	0		
FF78H	EDIR	DKM2	DKM1	DKM0	EDIR	0	Enable	Disable
					DKM2	0		
	R/W				DKM1	0		
					DKM0	0		
FF79H	LCURF	CRNWF	SWRUN	SWRST	LCURF	0	Request	No
					CRNWF	0	Renewal	No
	R		R/W	W	SWRUN	0	Run	Stop
					SWRST*3	Reset	Reset	Invalid
FF7AH	SWD3	SWD2	SWD1	SWD0	SWD3	0		
					SWD2	0		
	R				SWD1	0		
					SWD0	0		
FF7BH	SWD7	SWD6	SWD5	SWD4	SWD7	0		
					SWD6	0		
	R				SWD5	0		
					SWD4	0		
FF7CH	SWD11	SWD10	SWD9	SWD8	SWD11	0		
					SWD10	0		
	R				SWD9	0		
					SWD8	0		
FFE6H	EIRUN	EILAP	EISW1	EISW10	EIRUN	0	Enable	Mask
					EILAP	0	Enable	Mask
	R/W				EISW1	0	Enable	Mask
					EISW10	0	Enable	Mask
FFF6H	IRUN	ILAP	ISW1	ISW10	IRUN	0	(R)	(R)
					ILAP	0	Yes	No
	R/W				ISW1	0	(W)	(W)
					ISW10	0	Reset	Invalid

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

SWD0 ~ SWD3: ストップウォッチタイムデータ1/1,000sec(FF7AH)

キャプチャバッファ1/1,000sec桁のデータ(BCD)が読み出せます。

このデータを読み出すことにより、キャプチャバッファのホールド機能が働きます。

この4ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、タイムデータは"0"に設定されます。

SWD4 ~ SWD7: ストップウォッチタイムデータ1/100sec(FF7BH)

キャプチャバッファ1/100sec桁のデータ(BCD)が読み出せます。

この4ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、タイムデータは"0"に設定されます。

SWD8 ~ SWD11: ストップウォッチタイムデータ1/10sec(FF7CH)

キャプチャバッファ1/10sec桁のデータ(BCD)が読み出せます。

この4ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、タイムデータは"0"に設定されます。

注: データの読み出しは必ず下位データ(SWD0 ~ 3)から先に行ってください。

EDIR: ダイレクト入力機能イネーブルレジスタ(FF78H・D3)

ダイレクト入力(RUN/LAP)機能を有効/無効に設定します。

"1"書き込み: 有効
 "0"書き込み: 無効
 読み出し: 可能

EDIRに"1"を書き込むことによりダイレクト入力機能が有効となり、外部キー入力によるRUN/STOP、LAPの制御が行えます。"0"を書き込んだ場合はダイレクト入力機能が無効となり、ストップウォッチタイマはソフトウェア制御となります。

なお、このレジスタにデータを書き込み後、実際の機能の切り換えは $f_{osc1}/32$ (1,024Hz) の立ち上がりエッジに同期して(最大977 μ sec後に)行われます。

イニシャルリセット時、このレジスタは"0"に設定されます。

SWDIR: ダイレクト入力切り換えレジスタ(FF06H・D2)

K00ポート、K01ポートのダイレクト入力割り付けを切り換えます。

"1"書き込み: K00 = LAP, K01 = RUN/STOP
 "0"書き込み: K00 = RUN/STOP, K01 = LAP
 読み出し: 可能

ダイレクト入力用のキー割り付けを行います。EDIRに"1"を書き込むことによりK00、K01ポートの入力がRUN、STOP、LAP入力としてストップウォッチに取り込まれます。

イニシャルリセット時、このレジスタは"0"に設定されます。

DKM0 ~ DKM2: キーマスク選択(FF78H・D0 ~ D2)

ダイレクト入力機能設定時にRUN、LAP入力との競合判定を行うキー入力の組み合わせを選択します。

表4.8.7.2 キーマスク選択

DKM2	DKM1	DKM0	競合判定組み合わせ
0	0	0	なし(リセット時)
0	0	1	K02
0	1	0	K02, K03
0	1	1	K02, K03, K10
1	0	0	K10
1	0	1	K10, K11
1	1	0	K10, K11, K12
1	1	1	K10, K11, K12, K13

競合を検出した場合は、競合が解除されるまでRUN、LAP入力は受け付けられなくなります。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

SWRST: ストップウォッチタイマリセット(FF79H・D0)

ストップウォッチタイマをリセットします。

"1"書き込み: ストップウォッチタイマリセット
 "0"書き込み: ノーオペレーション
 読み出し: 常時"0"

ストップウォッチタイマはSWRSTに"1"を書き込むことによりリセットされます。ストップウォッチタイマがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合はリセットデータがカウンタに保持されます。

このリセットはキャプチャバッファに影響を与えないので、ホールド状態のキャプチャバッファのデータはクリアされずにそのまま保持されます。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

SWRUN: ストップウォッチタイマRUN/STOP (FF79H・D1)

ストップウォッチタイマのRUN/STOPの制御、および動作状態のモニタが行えます。

• 書き込み時

"1"書き込み: RUN

"0"書き込み: STOP

ストップウォッチタイマはSWRUNに"1"を書き込むことによりRUNし、"0"の書き込みによりSTOPします。STOP状態ではリセットか次にRUN状態にするまで、タイマのデータは保持されます。また、STOP状態からRUN状態にすることにより保持していたデータから継続して、カウントを進めることができます。

このレジスタへの書き込みによるRUN/STOPの制御は、ダイレクト入力機能をディセーブルに設定してある場合にのみ有効で、ダイレクト入力機能設定時は無効となります。

• 読み出し時

"1"読み出し: RUN

"0"読み出し: STOP

読み出しはダイレクト入力機能の設定にかかわらず有効で、ストップウォッチタイマがRUN状態の場合に"1"、STOP状態に"0"となります。

イニシャルリセット時、このレジスタは"0"に設定されます。

LCURF: ラップデータ桁上げ要求フラグ (FF79H・D3)

データホールド時に発生している1sec桁への桁上げを示すフラグです。ダイレクト入力モード以外では無効です。

"1"読み出し: 桁上げ要

"0"読み出し: 桁上げ不要

書き込み: 無効

割り込み要因フラグISW1が"1"にセットされている間に、キャプチャバッファがホールド状態になるとLCURFが"1"にセットされ、ホールドされたデータが1sec桁への桁上げを必要としていることを示します。したがって、1Hzの割り込み処理よりもLAP入力などの処理を優先する場合には、処理前にこのフラグの読み出しを行って桁上げが必要か確認してください。

このフラグはキャプチャバッファがホールド状態になるごとに更新(セット/リセット)されます。

イニシャルリセット時、このフラグは"0"に設定されます。

CRNWF: キャプチャ更新フラグ (FF79H・D2)

キャプチャバッファの内容が更新されたことを示すフラグです。

"1"読み出し: 更新あり

"0"読み出し: 更新なし

書き込み: 無効

キャプチャバッファにホールドされたデータの読み出しが終了していない場合にLAP入力があると、キャプチャバッファの内容が更新されます。その状態でSWD8～11を読み出すとこのフラグが"1"にセットされ、さらにホールド状態が継続されます。したがって、LAP入力によってホールドされたデータを読み出した場合は、SWD8～11の読み出しの後にこのフラグの読み出しを行ってデータが更新されていないか確認してください。

このフラグはSWD8～11の読み出し時に更新されます。

イニシャルリセット時、このフラグは"0"に設定されます。

EIRUN, EILAP, EISW1, EISW10: 割り込みマスクレジスタ(FFE6H)

ストップウォッチタイマの割り込みについて、マスクするかしないかを選択します。

"1"書き込み: イネーブル
 "0"書き込み: マスク
 読み出し: 可能

EIRUN, EILAP, EISW1, EISW10はそれぞれダイレクトRUN、ダイレクトLAP、1Hz、10Hzの割り込みに対応した割り込みマスクレジスタで、これらの割り込みをマスクするかしないかを個別に選択できます。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

IRUN, ILAP, ISW1, ISW10: 割り込み要因フラグ(FFF6H)

ストップウォッチタイマ割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有
 "0"読み出し: 割り込み無
 "1"書き込み: 要因フラグをリセット
 "0"書き込み: 無効

割り込み要因フラグIRUN, ILAP, ISW1, ISW10はそれぞれダイレクトRUN、ダイレクトLAP、1Hz、10Hzの割り込みに対応します。これらのフラグによってストップウォッチタイマ割り込みの有無を、ソフトウェアにより判断することができます。これらのフラグは割り込みマスクレジスタの設定にかかわらず、対応する割り込み要因の発生により"1"にセットされます。

これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

4.8.8 プログラミング上の注意事項

- (1) ストップウォッチタイマのリセット後、割り込み要因フラグをリセットしてください。
- (2) データの読み出しは必ずSWD0 ~ 3 → SWD4 ~ 7 → SWD8 ~ 11の順に行ってください。
- (3) LAP入力によってホールドされたデータを読み出した場合は、SWD8 ~ 11の読み出しの後にキャプチャ更新フラグCRNWFの読み出しを行ってデータが更新されていないか確認してください。
- (4) 1Hzの割り込み処理よりLAP入力などの処理を優先する場合には、処理前にラップデータ桁上げ要求フラグLCURFの読み出しを行って桁上げが必要か確認してください。
- (5) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.9 プログラマブルタイム

4.9.1 プログラマブルタイムの構成

S1C63709は8ビットのプログラマブルタイムを3系統(タイマ0、タイマ1およびタイマ2)内蔵しています。各タイマは8ビットプリセッタブルダウンカウンタで構成され、8ビット×3チャンネルあるいは16ビット×1チャンネル+8ビット×1チャンネルのプログラマブルタイムとして使用することができます。タイマ0はK11入力ポート端子を使用したイベントカウンタ機能も合わせ持っています。

図4.9.1.1にプログラマブルタイムの構成を示します。

プログラマブルタイムはカウントダウンによるアンダーフローによって割り込みを発生し、カウンタ初期値のプリセットを行います。また、選択したタイマのアンダーフロー信号からTOUT信号を生成し、P20出力兼用ポート端子から外部に出力させることができます。さらにタイマ2のアンダーフロー信号はシリアルインタフェースのクロック源として使用できるため、転送速度のプログラマブルな設定が可能です。

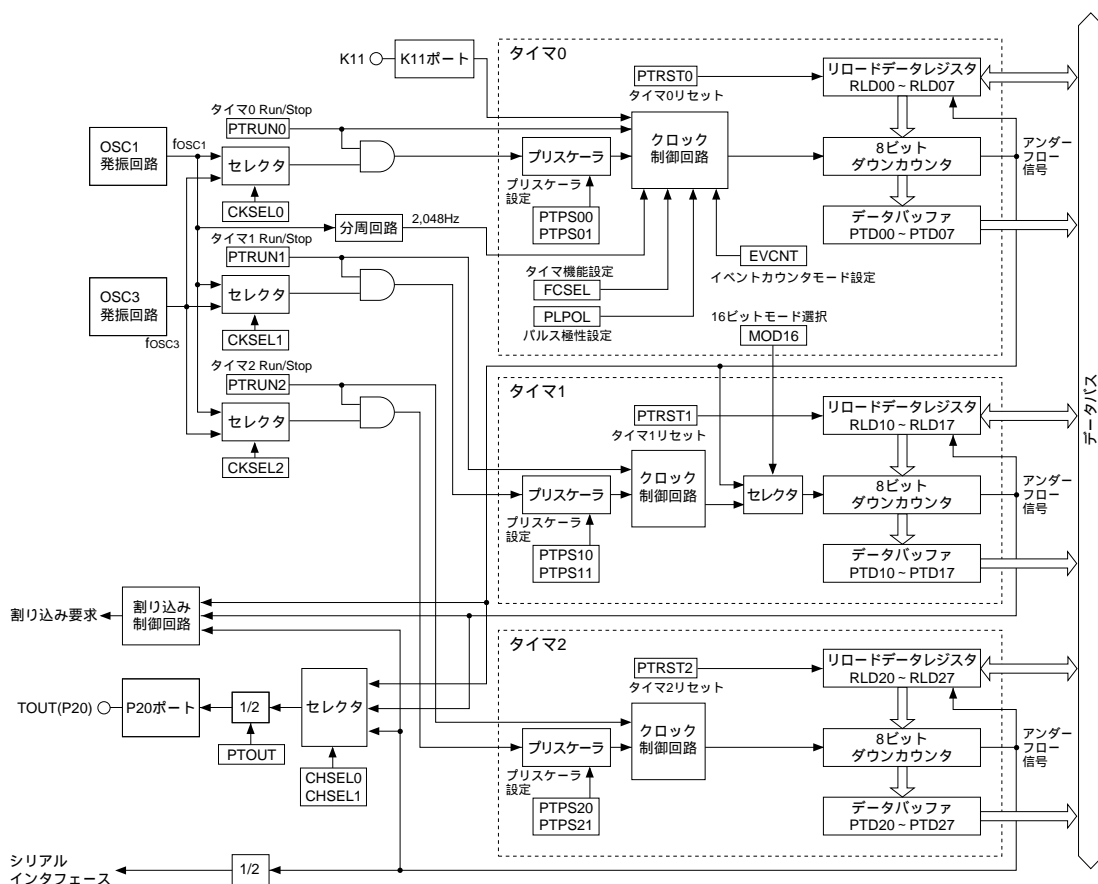


図4.9.1.1 プログラマブルタイムの構成

4.9.2 カウンタの基本動作

ここでは、各タイマを個々に8ビットタイマとして使用する場合の基本動作を説明します。

各タイマにはそれぞれ、8ビットのダウンカウンタとリロードデータレジスタが設けられています。

リロードデータレジスタRLDx0 ~ RLDx7(xはタイマ番号)はカウンタの初期値を設定するレジスタです。

ダウンカウンタは、リロードデータレジスタに設定された初期値を、タイマリセットビットPTRSTxへの"1"書き込みによってロードします。したがって、このロードされた初期値から入力クロックによるダウンカウントが行われます。

各タイマにはそれぞれ、RUN/STOPを制御するレジスタPTRUNxが設けられています。リロードデータをカウンタにプリセットした後、本レジスタに"1"を書き込むことによってダウンカウントを開始します。"0"を書き込むとクロックの入力が禁止され、カウントを停止します。

このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

カウンタのデータ読み出しはデータバッファPTDx0 ~ PTDx7を介して行い、下位、上位4ビットずつソフトウェアにより任意のタイミングで読み出しが可能です。

ただし、このカウンタも計時タイマと同様に下位データ PTDx0 ~ PTDx3、上位データ PTDx4 ~ PTDx7 読み出し間の桁下げを防止するため、下位データの読み出しにより上位データがホールドされるようになっています。したがって、データの読み出しは必ず下位データから先に行ってください。

カウンタはダウンカウントが進んでアンダーフローが発生すると、リロードデータレジスタに設定された初期値をリロードします。初期値をリロード後は、その初期値からダウンカウントを継続します。

このアンダーフロー信号はカウンタのリロードのほか、割り込みの発生、外部へのパルス(TOUT信号)出力、シリアルインタフェースへのクロック供給を制御します。

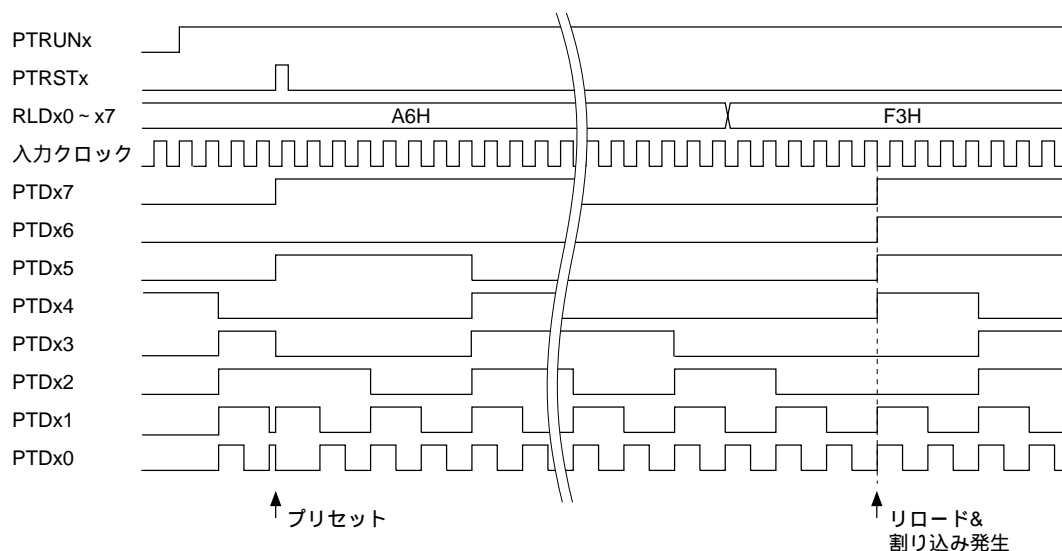


図4.9.2.1 カウンタの基本動作タイミング

4.9.3 入力クロックの設定

各タイマにはそれぞれ、プリスケアラが設けられています。プリスケアラはOSC1またはOSC3発振回路から供給される原振クロックを分周して、それぞれのタイマへの入力クロックを発生します。原振クロックとプリスケアラの分周比は各タイマごとにソフトウェアで選択することができます。入力クロックは以下の手順で設定します。

(1) 原振クロックの選択

それぞれのプリスケアラに入力する原振クロックを、OSC1とするかOSC3とするかを選択します。この選択は、原振クロック選択レジスタCKSELxによって行い、"0"を書き込むとOSC1、"1"を書き込むとOSC3が選択されます。

OSC3発振回路を原振とする場合は、プログラマブルタイムを使用する以前にOSC3発振回路をONさせる必要があります。

ただし、OSC3発振回路をONにしてから発振が安定するまでに5msec以上の時間を必要とします。したがって、プログラマブルタイムのカウント開始はOSC3発振ON後、十分な待ち時間をおいてから行ってください。

OSC3の制御方法と注意事項については"4.3 発振回路"を参照してください。イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

(2) プリスケアラ分周比の選択

それぞれのプリスケアラの分周比を4種類の中から選択します。この選択は、プリスケアラ分周比選択レジスタPTPSx0/PTPSx1によって行います。設定値と分周比は表4.9.3.1に示すとおり対応しています。

表4.9.3.1 プリスケアラ分周比の選択

PTPSx1	PTPSx0	プリスケアラ分周比
1	1	原振クロック / 256
1	0	原振クロック / 32
0	1	原振クロック / 4
0	0	原振クロック / 1

レジスタPTRUNxに"1"を書き込むことによって、原振クロックがプリスケアラに入力されます。これによって、選択した分周比のクロックがタイマに入力され、タイマがダウンカウントを開始します。

4.9.4 イベントカウンタモード(タイマ0)

タイマ0には、K11入力ポート端子に外部クロックを入力してカウントを行うイベントカウンタ機能があります。この機能は、タイマ0カウンタモード選択レジスタEVCNTに"1"を書き込むことによって選択されます。イニシャルリセット時はEVCNTが"0"に設定され、タイマ0は内部クロックをカウントする通常のタイマとなります。

イベントカウンタモードでは、外部からタイマ0にクロックが供給されるため、タイマ0プリスケアラ分周比選択レジスタPTPS00、PTPS01およびプリスケアラ0原振クロック選択レジスタCKSEL0の設定は無効となります。ダウンカウントのタイミングは、タイマ0パルス極性選択レジスタPLPOLによって、立ち下がリエッジまたは立ち上がりエッジのどちらかが選択できます。レジスタPLPOLに"0"を書き込んだ場合が立ち下がリエッジ、"1"を書き込んだ場合が立ち上がりエッジとなり、図4.9.4.1に示すタイミングでダウンカウントが行われます。

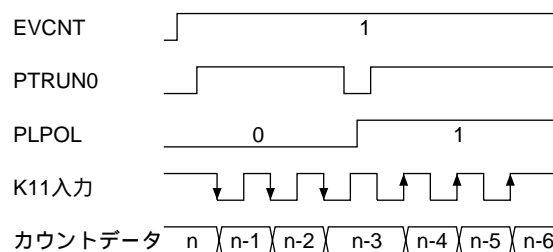


図4.9.4.1 イベントカウンタモードのタイミングチャート

イベントカウンタモードにはこのほかに、外部クロック K11) 入力に対してチャタリング等のノイズを除去するノイズリジェクタ付加機能があります。この機能はタイマ0機能選択レジスタFCSELに"1"を書き込むことによって選択されます。

ノイズリジェクタ付きを選択した場合は確実なカウントを行うために、LOWレベル/HIGHレベル共に0.98msec*以上のパルス幅を確保する必要があります。ノイズリジェクタは、K11入力ポート端子の入力レベルが変化してから二度目の内部2,048Hz*信号の立ち上がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msec*以下となります。(*はfOSC1 = 32.768kHzの場合の値です。)

図4.9.4.2にノイズリジェクタ付加時のダウンカウントタイミングを示します。

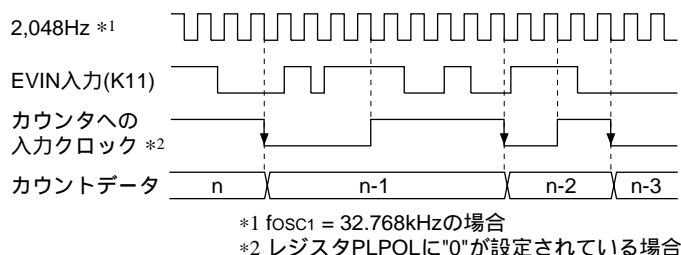


図4.9.4.2 ノイズリジェクタ付加時のダウンカウントタイミング

イベントカウンタモードの動作は、入力クロックが外部クロック K11 となること以外は通常のタイマ動作と同等です。

カウンタの基本的な動作と制御については"4.9.2 カウンタの基本動作"を参照してください。

4.9.5 16ビットタイマ(タイマ0+タイマ1)

タイマ0とタイマ1を連結して16ビットタイマとして使用することができます。

16ビットタイマとして使用する場合は、タイマ0の16ビットモード選択レジスタMOD16に"1"を書き込みます。

16ビットタイマは、タイマ0を下位バイト、タイマ1を上位バイトとして図4.9.5.1のように構成されます。

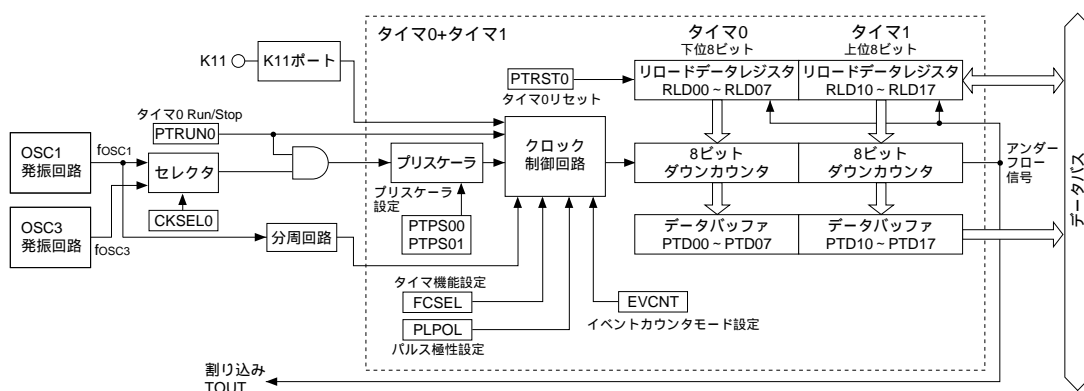


図4.9.5.1 16ビットタイマの構成

タイマの制御はタイマ0のレジスタを使用します。したがって、イベントカウンタ機能も有効です。タイマ1はタイマ0のアンダーフロー信号をクロックとして動作するため、タイマ1用のクロック設定やRun/Stopの制御レジスタは無効となります。

なお、16ビットタイマのカウンタデータは、必ず次の順序で読み出してください。

PTD00 ~ PTD03 → PTD04 ~ PTD07 → PTD10 ~ PTD13 → PTD14 ~ PTD17

4.9.6 割り込み機能

プログラマブルタイマは、各タイマのアンダーフロー信号によって割り込みを発生させることができます。割り込みタイミングについては図4.9.2.1を参照してください。

タイマのアンダーフロー信号によって、対応する割り込み要因フラグIPTxが"1"にセットされ、割り込みが発生します。各割り込み要因フラグに対応した割り込みマスクレジスタEIPTxの設定により、割り込みをマスクすることもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応するタイマのアンダーフローで"1"にセットされます。

タイマ0とタイマ1を16ビットタイマとして使用している場合は、タイマ1のアンダーフローで割り込みが発生します。この場合、タイマ0のアンダーフローではIPT0はセットされません。

4.9.7 TOUT出力の設定

プログラマブルタイマは、各タイマのアンダーフローによってTOUT信号を発生させることができます。TOUT信号はアンダーフローを1/2分周した信号で、TOUT出力選択レジスタCHSEL0とCHSEL1によって、どのタイマのアンダーフローを使用するかを選択することができます。

表4.9.7.1 TOUT出力タイマの選択

CHSEL1	CHSEL0	TOUT出力タイマ
1	*	タイマ2
0	1	タイマ1
0	0	タイマ0

16ビットタイマの出力からTOUT信号を生成する場合は、タイマ1を選択してください。

TOUT信号はP20入出力兼用ポート端子から出力させることができ、外部デバイス等に対してプログラマブルなクロックを供給することができます。

TOUT信号の出力制御はPTOUTレジスタによって行います。PTOUTに"1"を設定するとTOUT信号がP20ポート端子から出力され、"0"を設定するとLOW(V_{SS})レベルが出力されます。このとき、I/O制御レジスタ(IOC20)は"1"(出力)、データレジスタ(P20)は"0"、プルダウン制御レジスタ(PUL20)は"0"(OFF)に設定されている必要があります。

なお、TOUT信号はレジスタPTOUTとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図4.9.7.1にTOUT信号の出力波形を示します。

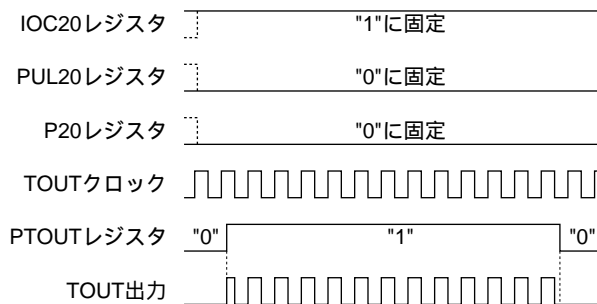


図4.9.7.1 TOUT信号の出力波形

4.9.8 シリアルインタフェースの転送速度設定

タイマ2のアンダーフローを1/2分周した信号をシリアルインタフェースのクロック源として使用することができます。

シリアルインタフェースへのクロックはタイマ2をRUN(PTRUN2 = "1")することにより出力されますので、PTOUTレジスタによる制御は不要です。

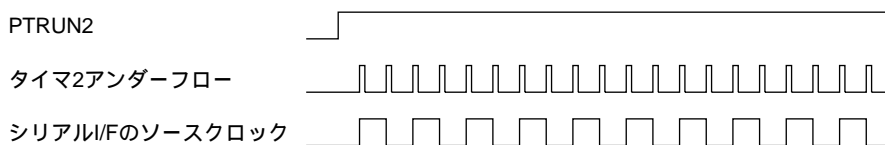


図4.9.8.1 シリアルインタフェースの同期クロック

転送速度に対するレジスタRLD2xへの設定値は次式のようになります。

$$RLD2x = f_{osc} / (2 * bps * \text{プリスケアラ分周比}) - 1$$

fosc: 発振周波数(OSC1/OSC3)

bps: 転送速度

(RLD2xには00Hも設定可能)

OSC3を原振として使用する場合、シリアルインタフェースのクロック周波数は最大1MHzに制限されますので注意してください。

4.9.9 プログラマブルタイムのI/Oメモリ

表4.9.9.1にプログラマブルタイムの制御ビットとそのアドレスを示します。

表4.9.9.1(a) プログラマブルタイムの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FFC0H	MOD16	EVCNT	FCSEL	PLPOL	MOD16	0	16bit	8bit	16ビットモード選択
					EVCNT	0	Event ct.	Timer	タイマ0カウンタモード選択
	R/W				FCSEL	0	With NR	No NR	タイマ0機能選択(イベントカウンタモード時)
					PLPOL	0	┐	┘	タイマ0パルス極性選択(イベントカウンタモード時)
FFC1H	0	CHSEL1	CHSEL0	PTOUT	0 *3	- *2			未使用
					CHSEL1	0			TOUT出力 [CHSEL1,0] 0 1 2
	R	R/W			CHSEL0	0			選択 タイマ0 タイマ1 タイマ2
					PTOUT	0	On	Off	TOUT出力制御(P20)
FFC2H	0	CKSEL2	CKSEL1	CKSEL0	0 *3	- *2			未使用
					CKSEL2	0	OSC3	OSC1	プリスケアラ2原振クロック選択
					CKSEL1	0	OSC3	OSC1	プリスケアラ1原振クロック選択
	R	R/W			CKSEL0	0	OSC3	OSC1	プリスケアラ0原振クロック選択
FFC3H	PTPS01	PTPS00	PTRST0	PTRUN0	PTPS01	0			プリスケアラ0 [PTPS01, 00] 0 1 2 3
					PTPS00	0			分周比選択 分周比 1/1 1/4 1/32 1/256
	R/W		W	R/W	PTRST0 *3	- *2	Reset	Invalid	タイマ0リセット(リロード)
					PTRUN0	0	Run	Stop	タイマ0 Run/Stop
FFC4H	PTPS11	PTPS10	PTRST1	PTRUN1	PTPS11	0			プリスケアラ1 [PTPS11, 10] 0 1 2 3
					PTPS10	0			分周比選択 分周比 1/1 1/4 1/32 1/256
	R/W		W	R/W	PTRST1 *3	- *2	Reset	Invalid	タイマ1リセット(リロード)
					PTRUN1	0	Run	Stop	タイマ1 Run/Stop
FFC5H	PTPS21	PTPS20	PTRST2	PTRUN2	PTPS21	0			プリスケアラ2 [PTPS21, 20] 0 1 2 3
					PTPS20	0			分周比選択 分周比 1/1 1/4 1/32 1/256
	R/W		W	R/W	PTRST2 *3	- *2	Reset	Invalid	タイマ2リセット(リロード)
					PTRUN2	0	Run	Stop	タイマ2 Run/Stop
FFC6H	RLD03	RLD02	RLD01	RLD00	RLD03	0			MSB
					RLD02	0			プログラマブルタイム0リロードデータ(下位4ビット)
	R/W				RLD01	0			
					RLD00	0			LSB
FFC7H	RLD07	RLD06	RLD05	RLD04	RLD07	0			MSB
					RLD06	0			プログラマブルタイム0リロードデータ(上位4ビット)
	R/W				RLD05	0			
					RLD04	0			LSB
FFC8H	RLD13	RLD12	RLD11	RLD10	RLD13	0			MSB
					RLD12	0			プログラマブルタイム1リロードデータ(下位4ビット)
	R/W				RLD11	0			
					RLD10	0			LSB
FFC9H	RLD17	RLD16	RLD15	RLD14	RLD17	0			MSB
					RLD16	0			プログラマブルタイム1リロードデータ(上位4ビット)
	R/W				RLD15	0			
					RLD14	0			LSB
FFCAH	RLD23	RLD22	RLD21	RLD20	RLD23	0			MSB
					RLD22	0			プログラマブルタイム2リロードデータ(下位4ビット)
	R/W				RLD21	0			
					RLD20	0			LSB
FFCBH	RLD27	RLD26	RLD25	RLD24	RLD27	0			MSB
					RLD26	0			プログラマブルタイム2リロードデータ(上位4ビット)
	R/W				RLD25	0			
					RLD24	0			LSB
FFCCH	PTD03	PTD02	PTD01	PTD00	PTD03	0			MSB
					PTD02	0			プログラマブルタイム0データ(下位4ビット)
	R				PTD01	0			
					PTD00	0			LSB
FFCDH	PTD07	PTD06	PTD05	PTD04	PTD07	0			MSB
					PTD06	0			プログラマブルタイム0データ(上位4ビット)
	R				PTD05	0			
					PTD04	0			LSB

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*2 回路上設定されない

表4.9.9.1(b) プログラマブルタイマの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init #1	1	0	
FFCEH	PTD13	PTD12	PTD11	PTD10	PTD13	0			MSB プログラマブルタイマ1データ(下位4ビット) LSB
					PTD12	0			
	R				PTD11	0			
					PTD10	0			
FFCFH	PTD17	PTD16	PTD15	PTD14	PTD17	0			MSB プログラマブルタイマ1データ(上位4ビット) LSB
					PTD16	0			
	R				PTD15	0			
					PTD14	0			
FFD0H	PTD23	PTD22	PTD21	PTD20	PTD23	0			MSB プログラマブルタイマ2データ(下位4ビット) LSB
					PTD22	0			
	R				PTD21	0			
					PTD20	0			
FFD1H	PTD27	PTD26	PTD25	PTD24	PTD27	0			MSB プログラマブルタイマ2データ(上位4ビット) LSB
					PTD26	0			
	R				PTD25	0			
					PTD24	0			
FFE1H	0	EIPT2	EIPT1	EIPT0	0 *3	- *2			未使用 割り込みマスクレジスタ(プログラマブルタイマ2) 割り込みマスクレジスタ(プログラマブルタイマ1) 割り込みマスクレジスタ(プログラマブルタイマ0)
					EIPT2	0	Enable	Mask	
	R	R/W			EIPT1	0	Enable	Mask	
					EIPT0	0	Enable	Mask	
FFF1H	0	IPT2	IPT1	IPT0	0 *3	- *2	(R)	(R)	未使用 割り込み要因フラグ(プログラマブルタイマ2) 割り込み要因フラグ(プログラマブルタイマ1) 割り込み要因フラグ(プログラマブルタイマ0)
					IPT2	0	Yes	No	
	R	R/W			IPT1	0	(W)	(W)	
					IPT0	0	Reset	Invalid	

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*2 回路上設定されない

CKSEL0: プリスケアラ0原振クロック選択レジスタ(FFC2H・D0)

CKSEL1: プリスケアラ1原振クロック選択レジスタ(FFC2H・D1)

CKSEL2: プリスケアラ2原振クロック選択レジスタ(FFC2H・D2)

プリスケアラの原振クロックを選択します。

"1"書き込み: OSC3クロック

"0"書き込み: OSC1クロック

読み出し: 可能

プリスケアラの原振クロックをOSC1とするかOSC3とするかを選択します。CKSELxに"0"を書き込んだ場合はタイマxの入力クロックとしてOSC1、"1"を書き込んだ場合はOSC3が選択されます。

なお、タイマ0のイベントカウンタモードを選択している場合はCKSEL0の設定は無効となります。

タイマ0とタイマ1を16ビットタイマとして使用する場合、CKSEL1の設定は無効となります。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

PTPS00, PTPS01: タイマ0プリスケアラ分周比選択レジスタ(FFC3H・D2, D3)

PTPS10, PTPS11: タイマ1プリスケアラ分周比選択レジスタ(FFC4H・D2, D3)

PTPS20, PTPS21: タイマ2プリスケアラ分周比選択レジスタ(FFC5H・D2, D3)

各タイマのプリスケアラ分周比を表4.9.9.2のとおり設定します。

表4.9.9.2 プリスケアラ分周比の選択

PTPSx1	PTPSx0	プリスケアラ分周比
1	1	原振クロック / 256
1	0	原振クロック / 32
0	1	原振クロック / 4
0	0	原振クロック / 1

なお、タイマ0のイベントカウンタモードを選択している場合、PTPS00、PTPS01の設定は無効となります。

タイマ0とタイマ1を16ビットタイマとして使用する場合、PTPS10、PTPS11の設定は無効となります。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

MOD16: 16ビットモード選択レジスタ(FFC0H・D3)

タイマ0と1を16ビットタイマとして使用するか、8ビットタイマ×2として使用するか選択します。

"1"書き込み: 16ビットタイマ
 "0"書き込み: 8ビットタイマ
 読み出し: 可能

MOD16に"1"を書き込んだ場合はタイマ0を下位バイト、タイマ1を上位バイトとして16ビットタイマが構成されます。制御はタイマ0のレジスタで行います。"0"を書き込んだ場合、タイマ0とタイマ1はそれぞれ独立した8ビットタイマとして動作します。

イニシャルリセット時、このレジスタは"0"に設定されます。

EVCNT: タイマ0カウンタモード選択レジスタ(FFC0H・D2)

タイマ0のカウンタモードを選択します。

"1"書き込み: イベントカウンタモード
 "0"書き込み: タイマモード
 読み出し: 可能

タイマ0をイベントカウンタとして使用するか、タイマとして使用するかを選択します。EVCNTに"1"を書き込んだ場合はイベントカウンタモード、"0"を書き込んだ場合はタイマモードがそれぞれ選択されます。

イニシャルリセット時、このレジスタは"0"に設定されます。

FCSEL: タイマ0機能選択レジスタ(FFC0H・D1)

イベントカウンタモードのクロック入力回路にノイズリジェクタを付加するかしないか選択します。

"1"書き込み: ノイズリジェクタ付き
 "0"書き込み: ノイズリジェクタなし
 読み出し: 可能

FCSELに"1"を書き込んだ場合はノイズリジェクタが付加され、0.98msec*以上のパルス幅の外部クロック(K11)によってカウントが行われます。ノイズリジェクタは、K11入力ポート端子の入力レベルが変化してから二度目の内部2,048Hz*信号の立ち下がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msec*以下となります。(※f_{OSC1} = 32.768kHzの場合の値です。)

また、FCSELに"0"を書き込んだ場合はノイズリジェクタは付加されず、K11入力ポート端子に入力される外部クロックによって直接カウントが行われます。

このレジスタの設定は、タイマ0をイベントカウンタモードで使用する場合にのみ有効です。

イニシャルリセット時、このレジスタは"0"に設定されます。

PLPOL: タイマ0パルス極性選択レジスタ(FFC0H・D0)

イベントカウンタのカウントパルス極性を選択します。

"1"書き込み: 立ち上がりエッジ
 "0"書き込み: 立ち下がりエッジ
 読み出し: 可能

イベントカウンタモード(タイマ0)のカウントのタイミングをK11入力ポート端子に入力される外部クロックの立ち下がりエッジとするか、立ち上がりエッジとするかを選択します。

PLPOLに"0"を書き込んだ場合は立ち下がりエッジ、"1"を書き込んだ場合は立ち上がりエッジがそれぞれ選択されます。

このレジスタの設定は、タイマ0をイベントカウンタモードで使用する場合にのみ有効です。

イニシャルリセット時、このレジスタは"0"に設定されます。

RLD00 ~ RLD07: タイマ0リロードデータレジスタ(FFC6H, FFC7H)

RLD10 ~ RLD17: タイマ1リロードデータレジスタ(FFC8H, FFC9H)

RLD20 ~ RLD27: タイマ2リロードデータレジスタ(FFCAH, FFCBH)

カウンタの初期値を設定します。

本レジスタに設定したリロードデータがそれぞれのカウンタにロードされ、それを初期値としてダウンカウンタが行われます。

リロードデータがカウンタにロードされる条件はPTRSTxに"1"を書き込んでプリセットを行う場合と、カウンタのアンダーフローによって自動的にリロードが行われる場合です。

イニシャルリセット時、これらのレジスタは"00H"に設定されます。

PTD00 ~ PTD07: タイマ0カウンタデータ(FFCCH, FFCDH)

PTD10 ~ PTD17: タイマ1カウンタデータ(FFCEH, FFCFH)

PTD20 ~ PTD27: タイマ2カウンタデータ(FFD0H, FFD1H)

プログラマブルタイマのデータが読み出せます。

タイマxのカウンタデータの下位4ビットがPTDx0 ~ PTDx3、上位4ビットがPTDx4 ~ PTDx7から読み出せます。

下位4ビットの読み出しにより上位4ビットのホールド機能が働きますので、読み出しは必ず下位4ビットから先に行ってください。

本ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、各カウンタデータは"00H"に設定されます。

PTRST0: タイマ0リセット(リロード)(FFC3H・D1)

PTRST1: タイマ1リセット(リロード)(FFC4H・D1)

PTRST2: タイマ2リセット(リロード)(FFC5H・D1)

タイマをリセットし、リロードデータをカウンタにプリセットします。

"1"書き込み: リセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

PTRSTxに"1"を書き込むことによって、RLDx0 ~ RLDx7のリロードデータがタイマxのカウンタにプリセットされます。カウンタがRUN状態のときにプリセットを行うとリロードデータのプリセット直後にリスタートします。

また、STOP状態の場合はプリセットされたリロードデータがそのまま保持されます。

"0"の書き込みはノーオペレーションとなります。

本ビットは書き込み専用のため、読み出しは常時"0"となります。

PTRUN0: タイマ0 RUN/STOP制御レジスタ(FFC3H・D0)

PTRUN1: タイマ1 RUN/STOP制御レジスタ(FFC4H・D0)

PTRUN2: タイマ2 RUN/STOP制御レジスタ(FFC5H・D0)

カウンタのRUN/STOPを制御します。

"1"書き込み: RUN

"0"書き込み: STOP

読み出し: 可能

タイマxのカウンタはPTRUNxに"1"を書き込むことによってダウンカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

CHSEL0, CHSEL1: TOUT出力選択レジスタ (FFC1H・D1, D2)
TOUT信号を出力させるタイムを選択します。

表4.9.9.3 TOUT出力タイムの選択

CHSEL1	CHSEL0	TOUT出力タイム
1	*	タイム2
0	1	タイム1
0	0	タイム0

イニシャルリセット時、これらのレジスタは"0"に設定されます。

PTOUT: TOUT出力制御レジスタ (FFC1H・D0)
TOUT信号の出力制御を行います。

"1"書き込み: ON
"0"書き込み: OFF
読み出し: 可能

PTOUTはTOUT信号の出力制御レジスタで、"1"を設定するとTOUT信号がP20ポート端子から出力され、"0"を設定するとLOWレベル (V_{SS}) が出力されます。このとき、I/O制御レジスタ (IOC20) は"1" (出力) データレジスタ (P20) は"0"、プルダウン制御レジスタ (PUL20) は"0" (OFF) に設定されている必要があります。イニシャルリセット時、このレジスタは"0"に設定されます。

EIPT0: タイマ0割り込みマスクレジスタ (FFE1H・D0)
EIPT1: タイマ1割り込みマスクレジスタ (FFE1H・D1)
EIPT2: タイマ2割り込みマスクレジスタ (FFE1H・D2)
プログラマブルタイムの割り込みについて、マスクするかしないかを選択します。

"1"書き込み: イネーブル
"0"書き込み: マスク
読み出し: 可能

タイムxの割り込みをマスクするかしないかを、割り込みマスクレジスタEIPTxにより個別に選択できます。イニシャルリセット時、これらのレジスタは"0"に設定されます。

IPT0: タイマ0割り込み要因フラグ (FFF1H・D0)
IPT1: タイマ1割り込み要因フラグ (FFF1H・D1)
IPT2: タイマ2割り込み要因フラグ (FFF1H・D2)
プログラマブルタイム割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有
"0"読み出し: 割り込み無
"1"書き込み: 要因フラグをリセット
"0"書き込み: 無効

割り込み要因フラグIPTxは、各タイムのアンダーフロー割り込みに対応します。これらのフラグによってプログラマブルタイム割り込みの有無を、ソフトウェアで判断することができます。ただし、これらのフラグは割り込みをマスクしていても、対応するタイムのアンダーフローで"1"にセットされます。

これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可 (Iフラグ="1") に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット ("1"書き込み) を行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

4.9.10 プログラミング上の注意事項

- (1) カウンタデータの読み出しは必ず下位4ビット(PTDx0 ~ PTDx3) から先に行ってください。また、下位4ビット(PTDx0 ~ PTDx3) と上位4ビット(PTDx4 ~ PTDx7) の読み出しの時間差は0.73msec($f_{osc1} = 32.768\text{kHz}$ の場合) 以下としてください。
16ビットタイマのカウンタデータは、必ず次の順序で読み出してください。
PTD00 ~ PTD03 → PTD04 ~ PTD07 → PTD10 ~ PTD13 → PTD14 ~ PTD17
- (2) プログラマブルタイマはレジスタPTRUNxへの書き込みに対して、入力クロックの立ち下がりがエッジに同期して実際にRUN/STOP状態となります。
したがって、PTRUNxに"0"を書き込んだ場合は、"-1"余分にカウントしたところでタイマが停止状態となります。また、このときPTRUNxは実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。
図4.9.10.1にRUN/STOP制御のタイミングチャートを示します。



図4.9.10.1 RUN/STOP制御のタイミングチャート

なお、これについてはイベントカウンタも対象となるため、RUN/STOPレジスタ PTRUN0 を設定後にクロック入力がない場合、カウンタ回路は実際にはRUN/STOP状態になりませんので注意してください。

- (3) TOUT信号は出力制御レジスタPTOUTとは非同期に発生していますので、PTOUTの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- (4) OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3発振回路をONさせる必要があります。
ただし、OSC3発振回路をONにしてから発振が安定するまでに5msec以上の時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ON後、十分な待ち時間をおいてから行ってください。OSC3の制御方法と注意事項については"4.3 発振回路"を参照してください。イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。
- (5) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1") に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み) を行ってください。
- (6) プログラマブルタイマ動作中にプログラマブルタイマ割り込み発生間隔を変更する場合、以下の理由によりリロードデータを書き込むタイミングに注意が必要です。
プログラマブルタイマは入力クロックの立ち下がりがエッジでダウンカウントを行い、そこでアンダーフローが発生した場合は同時に割り込みを発生します。その後、リロードデータをカウンタにセットする動作を開始し、入力クロックの次の立ち上がりエッジでカウンタデータが確定します(の区間)。

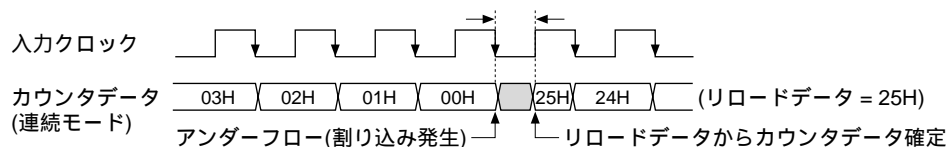


図4.9.10.2 プログラマブルタイマリロードタイミング

リロードデータを正しくカウンタにセットするために、割り込み発生後は の区間を含め、カウンタデータが確定するまではリロードデータの書き換えを行わないでください。入力クロックの源振にOSC1(低速クロック) を使用し、CPUがOSC3(高速クロック) で動作している場合は、特に注意が必要です。

4.10 シリアルインタフェース(SIN, SOUT, SCLK, SRDY)

4.10.1 シリアルインタフェースの構成

S1C63709はクロック同期型の8ビットシリアルインタフェースを内蔵しています。

図4.10.1.1にシリアルインタフェースの構成を示します。

CPUはSIN端子より入力されたシリアルデータを8ビットのシフトレジスタを介して読み取ることができます。また、同じ8ビットのシフトレジスタを介してパラレルデータをシリアル変換し、SOUT端子に出力することができます。

シリアルデータを入出力するための同期クロックは、マスタモード(内部クロックモード: 本CPUがシリアル入出力のマスタとなる場合) 8種類とスレーブモード(外部クロックモード: 本CPUがシリアル入出力のスレーブとなる場合) 1種類の中から1つをソフトウェアにより選択できます。

また、本シリアルインタフェースをスレーブモードで使う場合には、シリアルインタフェースが送受信可能かどうかを示すSRDY信号を出力端子SRDYに出力します。

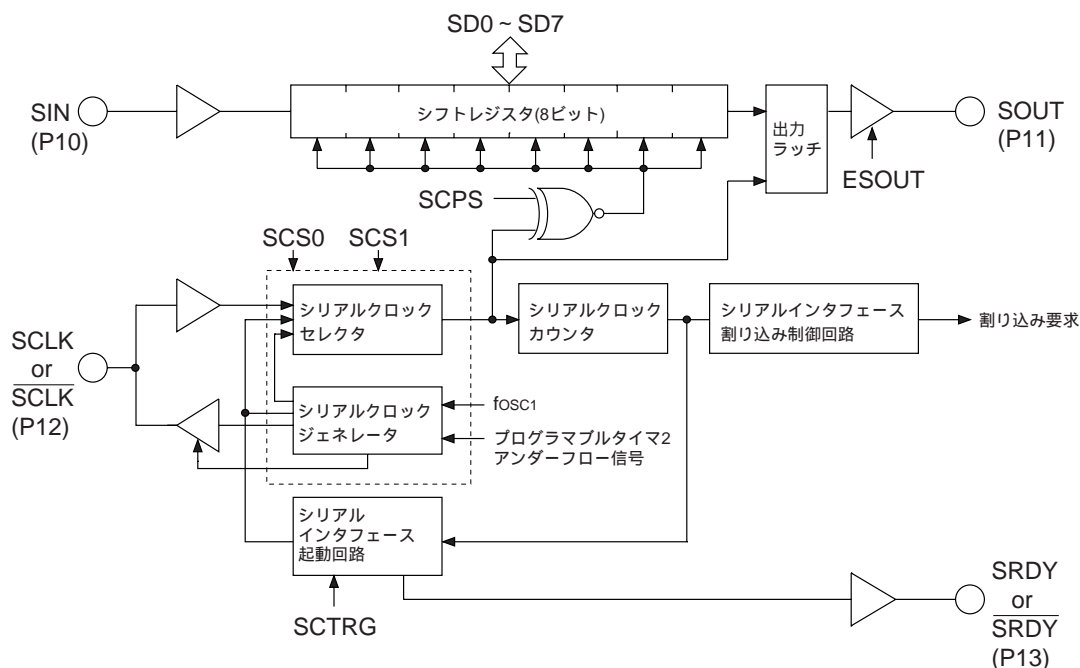


図4.10.1.1 シリアルインタフェースの構成

シリアルインタフェースの入出力ポートは入出力兼用ポート(P10~P13)と兼用されており、シリアルインタフェースとして使用する場合はソフトウェアによって機能の切り換えを行います。

P10~P13端子とシリアル入出力との対応は以下のとおりです。

マスタモード: P10 = SIN(I) P11 = SOUT(O) P12 = SCLK(O) P13 = 入出力兼用ポート(I/O)
スレーブモード: P10 = SIN(I) P11 = SOUT(O) P12 = SCLK(I) P13 = SRDY(O)

P11ポートからのSOUT出力はESOUTレジスタに"1"を書き込んだ場合に有効で、"0"の場合はP11が入出力兼用ポートとして機能します。

注: イニシャルリセット時、P10~P13は入出力兼用ポートに設定されます。

シリアルインタフェースを使用する場合は、初期化ルーチンの中で機能の切り換え(ESIF = "1", ESOUT = "1")を行ってください。

4.10.2 マスクオプション

(1) 端子仕様

シリアルインタフェースの入出力端子は入出力兼用ポート(P10~P13)と兼用されているため、入出力兼用ポートの端子仕様を選択するマスクオプションがシリアルインタフェースにも適用されます。

シリアルインタフェースの入出力ポートの中で出力として使用されるSOUT端子、SCLK端子(マスタモード時)、SRDY端子(スレーブモード時)の出力仕様がそれぞれP11、P12、P13のマスクオプションで設定されます。出力仕様として、コンプリメンタリ出力またはPチャンネルオープンドレイン出力のいずれかが選択できます。ただし、Pチャンネルオープンドレイン出力を選択した場合でも、端子に電源電圧を越える電圧を印加することは禁止します。

また、入力として使用されるSIN端子、SCLK端子(スレーブモード時)のプルダウン抵抗の有無および入力仕様をマスクオプションで選択できます。プルダウン抵抗の有無はP10、P12のマスクオプションで選択できます。"プルダウンなし"を選択した場合には、フローティング状態が発生しないように注意してください。

(2) 同期クロックおよびレディ信号の極性

同期クロックおよびスレーブモード時に出力されるレディ信号を正極性(アクティブHIGH)とするか負極性(アクティブLOW)とするか選択できます(SCLK & SRDYまたはSCLK & $\overline{\text{SRDY}}$)。

スレーブモードで動作させる場合、同期クロックを外部デバイスから入力します。この場合に負極性を選択しても、端子仕様はプルダウンのみで、プルアップ抵抗は内蔵できませんので注意してください。

なお、以下の説明は基本的に正極性(SCLK、SRDY)を選択したものと行います。

4.10.3 シリアルインタフェースのマスタモードとスレーブモード

S1C63709のシリアルインタフェースは、マスタモードとスレーブモードの2種類の動作モードを持っています。マスタモードでは内蔵シフトレジスタの同期クロックとして内部クロックを使用し、この内部クロックをSCLK(P12)端子に出力し、外部の(スレーブ側の)シリアル入出力回路を制御することができます。スレーブモードでは、外部の(マスタ側の)シリアル入出力回路より出力される同期クロックをSCLK(P12)端子より入力し、本CPU内蔵のシリアルインタフェースの同期クロックとして使用することができます。

マスタモードとスレーブモードは、レジスタSCS0とSCS1にデータを書き込むことによって切り換えることができます。表4.10.3.1に示すように、マスタモードにした場合は、同期クロックとして3種類の中の1つを選択することができます。

表4.10.3.1 同期クロック選択

SCS1	SCS0	モード	同期クロック
1	1	マスタモード	OSC1
1	0		OSC1 / 2
0	1		プログラマブルタイマ*
0	0	スレーブモード	外部クロック*

* クロック周波数は最大1MHzに制限されます。

プログラマブルタイマを選択した場合は、プログラマブルタイマ(タイマ2)のアンダーフロー信号を1/2分周した信号が同期クロックとして使用されます。この場合、シリアルインタフェースを動作させる前にプログラマブルタイマの制御が必要です。プログラマブルタイマについては"4.9 プログラマブルタイマ"を参照してください。

イニシャルリセット時はスレーブモード(外部クロックモード)が選択されます。

また、同期クロックは、8ビットシリアルデータの入出力に伴い次のように制御されています。

- マスタモードでは、SCLK(P12)端子よりクロックが8個出力されると自動的にクロック出力を停止し、SCLK(P12)端子はLOW(マスクオプションで負極性を選択している場合はHIGH)に固定されます。
- スレーブモードでは、SCLK(P12)端子よりクロックが8個入力されると以降のクロック入力はマスクされます。

基本的なシリアル入出力部の接続例を図4.10.3.1に示します。

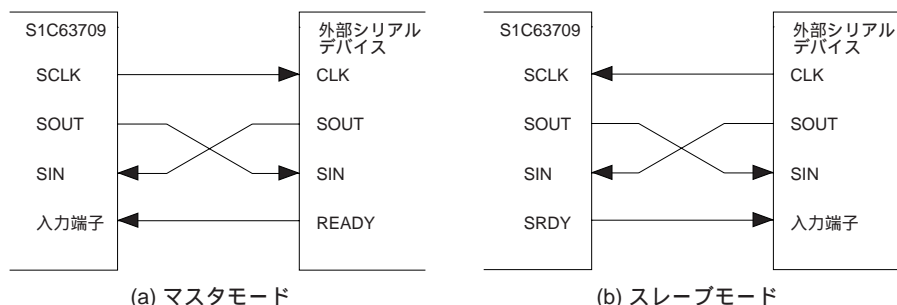


図4.10.3.1 基本的なシリアル入出力部の接続例

4.10.4 データの入出力と割り込み

S1C63709のシリアルインタフェースは、内部の8ビットシフトレジスタを介してデータの入出力をすることができます。シフトレジスタのシフト動作は、SCLK(P12)端子より出力される(マスタモード)同期クロックか、SCLK(P12)端子に入力される(スレーブモード)同期クロックに同期して動作します。

シリアルインタフェースは8ビットのシリアルデータの入出力が終了すると割り込みを発生します。シリアルデータの入出力の検出は同期クロックSCLKをカウントすることで行っており、クロックが8個(8周期分)カウントされた時点で終了と判断して割り込みを発生します。

以下にシリアルデータの入出力方法について説明します。

(1) シリアルデータの出力と割り込み

S1C63709のシリアルインタフェースは8ビット単位でパラレルデータをシリアル出力することができます。パラレルデータをデータレジスタSD0 ~ SD3(FF72H)とSD4 ~ SD7(FF73H)にセットし、SCTRGビット(FF70H・D1)を"1"にセットすると、同期クロックに同期してSOUT(P11)端子にシリアルデータが出力されます。このとき、同期クロックはマスタモードでは内部クロックがSCLK(P12)端子に出力され、スレーブモードでは外部クロックがSCLK(P12)端子より入力されます。データのシフトタイミングは次のとおりです。

- 同期クロックに正極性を選択した場合(マスクオプション)
SOUT(P11)端子のシリアル出力はSCLK(P12)端子から入力、または出力されるクロックの立ち上がりエッジで変化します。また、シフトレジスタのデータは、SCPSレジスタが"1"のときはSCLK信号の立ち上がりでシフトし、SCPSレジスタが"0"のときはSCLK信号の立ち下がりでシフトします。
- 同期クロックに負極性を選択した場合(マスクオプション)
SOUT(P11)端子のシリアル出力はSCLK(P12)端子から入力、または出力されるクロックの立ち下がりエッジで変化します。また、シフトレジスタのデータは、SCPSレジスタ(FF71H・D2)が"1"のときはSCLK信号の立ち下がりでシフトし、SCPSレジスタが"0"のときはSCLK信号の立ち上がりでシフトします。

SD0からSD7までの8ビットのデータを出力し終わると割り込み要因フラグISIR(FFF2H・D0)がセットされ、割り込みが発生します。なお、割り込みマスクレジスタEISIR(FFE2H・D0)によって割り込みを禁止することもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、8ビットデータの出力後"1"にセットされます。

(2) シリアルデータの入力と割り込み

S1C63709のシリアルインタフェースは8ビット単位でシリアルデータをパラレルデータとして入力することができます。

シリアルデータはSIN(P10)端子より入力され、同期クロックに同期してCPU内部の8ビットシフトレジスタに順次取り込まれます。同期クロックは、(1)で説明したとおりマスタモードでは内部クロックが使われ、スレーブモードでは外部クロックが使われます。

データのシフトタイミングは次のとおりです。

- 同期クロックに正極性を選択した場合(マスクオプション)
内蔵シフトレジスタへのシリアルデータは、SCPSレジスタが"1"のときはSCLK信号の立ち上がりで取り込まれ、SCPSレジスタが"0"のときはSCLK信号の立ち下がりで取り込まれます。シリアルデータが取り込まれるとともに、シフトレジスタ内のデータは順次シフトされます。
- 同期クロックに負極性を選択した場合(マスクオプション)
内蔵シフトレジスタへのシリアルデータは、SCPSレジスタが"1"のときはSCLK信号の立ち下がりで取り込まれ、SCPSレジスタが"0"のときはSCLK信号の立ち上がりで取り込まれます。シリアルデータが取り込まれるとともに、シフトレジスタ内のデータは順次シフトされます。

SD0からSD7までの8ビットのデータを入力し終わると割り込み要因フラグISIFがセットされ、割り込みが発生します。なお、割り込みマスクレジスタEISIFによって割り込みを禁止することもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、8ビットデータの入力後"1"にセットされます。シフトレジスタに入力されたデータは、レジスタSD0～SD7からソフトウェアによって読み出すことができます。

(3) シリアルデータの入出力順序

S1C63709はレジスタSDR(FF71H・D3)によりシリアルデータの入出力の順序をLSBを先頭にするかMSBを先頭にするかを切り換えることができます。LSBを先頭にした場合とMSBを先頭にした場合のブロック図を図4.10.4.1に示します。SDPの設定はSD0～SD7にデータを設定する前に行ってください。



図4.10.4.1 シリアルデータの入出力順序

(4) SRDY信号

S1C63709のシリアルインタフェースをスレーブモード(外部クロックモード)で使用する場合には、マスタ側(外部の)シリアル入出力回路に対してCPU内部のシリアルインタフェースが送受信可能かどうかを伝えるためのSRDY信号をSRDY(P13)端子より出力することができます。SRDY信号の出力タイミングは次のとおりです。

- 正極性を選択した場合(マスクオプション)
SRDY信号はS1C63709のシリアル入出力回路が送信または受信可能な状態になったときに"1"(HIGH)となり、通常は"0"(LOW)となっています。
SRDY信号はSCTRGに"1"を書き込んだ直後に"0"から"1"に変化し、SCLK(P12)端子に"1"が入力されると送信または受信を開始すると"1"から"0"に戻ります。
また、シフトレジスタの上位ワード(SD4～SD7)に対してデータを読み出ししたり、書き込んだりするとSRDY信号は"0"に戻ります。
- 負極性を選択した場合(マスクオプション)
SRDY信号はS1C63709のシリアル入出力回路が送信または受信可能な状態になったときに"0"(LOW)となり、通常は"1"(HIGH)となっています。
SRDY信号はSCTRGに"1"を書き込んだ直後に"1"から"0"に変化し、SCLK(P12)端子に"0"が入力されると送信または受信を開始すると"0"から"1"に戻ります。
また、シフトレジスタの上位ワード(SD4～SD7)に対してデータを読み出ししたり、書き込んだりするとSRDY信号は"1"に戻ります。

(5) タイミングチャート

S1C63709のシリアルインタフェースのタイミングチャートを図4.10.4.2および図4.10.4.3に示します。

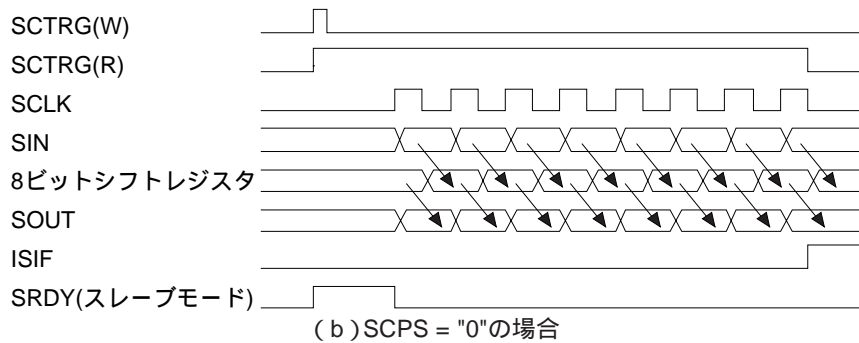
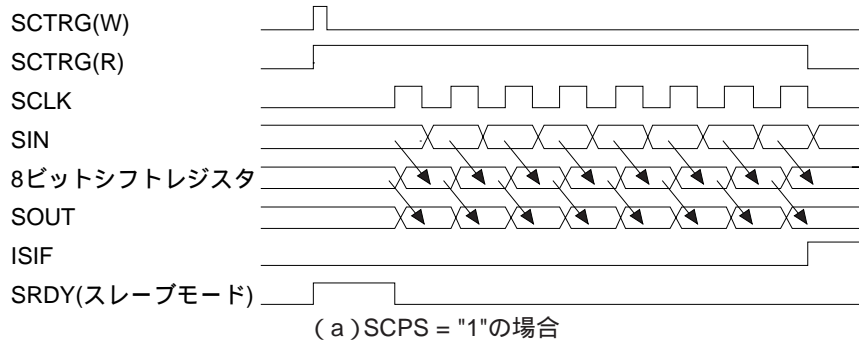


図4.10.4.2 シリアルインタフェースのタイミングチャート(同期クロックが正極性SCLKの場合)

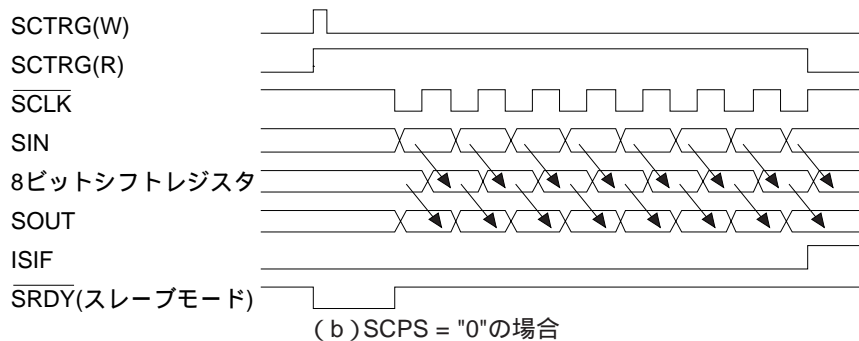
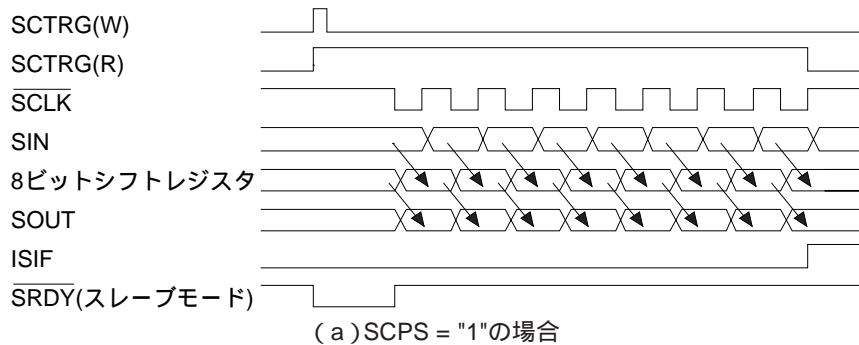


図4.10.4.3 シリアルインタフェースのタイミングチャート(同期クロックが負極性SCLKの場合)

4.10.5 シリアルインタフェースのI/Oメモリ

表4.10.5.1にシリアルインタフェースの制御ビットとそのアドレスを示します。

表4.10.5.1 シリアル入出力ポートの制御ビット

アドレス	レジスタ				注 釈				
	D3	D2	D1	D0	Name	Init *1	1	0	
FF45H	PUL13	PUL12	PUL11	PUL10	PUL13	1	On	Off	P13ブルダウン制御レジスタ SIF(スレープ)選択時、汎用レジスタとして機能
					PUL12	1	On	Off	P12ブルダウン制御レジスタ(ESIF=0) SIF(マスタ)選択時、汎用レジスタとして機能
	R/W				PUL11	1	On	Off	SIF(スレープ)選択時、SCLK(I)ブルダウン制御レジスタ P11ブルダウン制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能
					PUL10	1	On	Off	P10ブルダウン制御レジスタ(ESIF=0) SIF選択時、SINブルダウン制御レジスタ
FF70H	0	ESOUT	SCTRG	ESIF	0 *3	- *2			未使用
	R	R/W			ESOUT	0	Enable	Disable	SOUTイネーブル
					SCTRG	0	Trigger	Invalid	シリアルI/Fクロックトリガ(書き込み時) シリアルI/Fクロックステータス(読み出し時)
FF71H	SDP	SCPS	SCS1	SCS0	SDP	0	MSB first	LSB first	シリアルI/Fデータ入出力順列
					SCPS	0			シリアルI/Fクロックフェーズ選択 負極性選択時(マスクオプション) 正極性選択時(マスクオプション)
	R/W				SCS1	0			[SCS1, 0] 0 1 クロック スレープ PT
					SCS0	0			[SCS1, 0] 2 3 クロック OSC1/2 OSC1
FF72H	SD3	SD2	SD1	SD0	SD3	- *2	High	Low	MSB シリアルI/F送受信データ(下位4ビット)
	SD2	- *2	High	Low					
	R/W				SD1	- *2	High	Low	
FF73H	SD7	SD6	SD5	SD4	SD7	- *2	High	Low	MSB シリアルI/F送受信データ(上位4ビット)
					SD6	- *2	High	Low	
	R/W				SD5	- *2	High	Low	
					SD4	- *2	High	Low	LSB
FFE2H	0	0	0	EISIF	0 *3	- *2			未使用
	R	R/W			0 *3	- *2			未使用
					EISIF	0	Enable	Mask	未使用 割り込みマスクレジスタ(シリアルI/F)
FFF2H	0	0	0	ISIF	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
	R				0 *3	- *2	(W)	(W)	未使用
					ISIF	0	Reset	Invalid	割り込み要因フラグ(シリアルI/F)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

ESIF: シリアルインタフェースイネーブルレジスタ(P1ポート機能選択)(FF70H・D0)

P10~P13をシリアルインタフェースの入出力ポートに設定します。

"1"書き込み: シリアルインタフェース

"0"書き込み: 入出力兼用ポート

読み出し: 可能

P10、P11、P12、P13がそれぞれSIN、SOUT、SCLK、SRDYとして機能します。P13端子はスレープモードの場合にSRDY出力端子として機能し、マスタモードの場合は入出力兼用ポート端子として機能します。イニシャルリセット時、このレジスタは"0"に設定されます。

ESOUT: SOUTイネーブルレジスタ(FF70H・D2)

P11からのシリアル出力を許可します。

"1"書き込み: イネーブル(SOUT)
 "0"書き込み: ディセーブル(入出力兼用ポート)
 読み出し: 可能

シリアルデータ入力のみを行う場合は、SOUT出力をディセーブルとしてP11を入出力兼用ポートとして使用することができます。シリアル出力を行う場合は、ESOUTに"1"を書き込んでP11をSOUT出力に設定してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

PUL10: SINプルダウン制御レジスタ(FF45H・D0)

PUL12: SCLKプルダウン制御レジスタ(FF45H・D2)

SIN端子、SCLK端子(スレーブモード時)のプルダウンを設定します。

"1"書き込み: プルダウンON
 "0"書き込み: プルダウンOFF
 読み出し: 可能

SIN(P10)およびSCLK(P12)端子に内蔵されたプルダウン抵抗をONまたはOFFに設定します。(プルダウン抵抗はマスクオプションで選択したポートのみに付加されます。)

SCLKのプルダウンはスレーブモード時にのみ有効で、マスタモード時はPUL12レジスタを汎用レジスタとして使用することができます。

イニシャルリセット時、これらのレジスタは"1"に設定され、プルダウン抵抗はONになります。

SCS1, SCS0: クロックモード選択レジスタ(FF71H・D1, D0)

シリアルインタフェースの同期クロック(SCLK)を選択します。

表4.10.5.2 同期クロック選択

SCS1	SCS0	モード	同期クロック
1	1	マスタモード	OSC1
1	0		OSC1 /2
0	1		プログラマブルタイム *
0	0	スレーブモード	外部クロック *

* クロック周波数は最大1MHzに制限されます。

同期クロック(SCLK)は内部クロック3種類と外部クロックの上記 4種類の中から選択します。

プログラマブルタイムを選択した場合は、プログラマブルタイム(タイム2)のアンダーフロー信号を1/2分周した信号が同期クロックとして使用されます。この場合、シリアルインタフェースを動作させる前にプログラマブルタイムの制御が必要です。プログラマブルタイムについては"4.9 プログラマブルタイム"を参照してください。

イニシャルリセット時は外部クロックが選択されます。

SCPS: クロックフェーズ選択レジスタ(FF71H・D2)

SIN(P10)端子から入力するシリアルデータの読み込みタイミングを選択します。

• 正極性選択時

"1"書き込み: SCLK立ち上がりエッジ
 "0"書き込み: SCLK立ち下がりエッジ
 読み出し: 可能

• 負極性選択時

"1"書き込み: $\overline{\text{SCLK}}$ 立ち下がりエッジ
 "0"書き込み: $\overline{\text{SCLK}}$ 立ち上がりエッジ
 読み出し: 可能

シリアル入出力データのレジスタ SD0 ~ SD7 への読み込みを同期クロックの立ち上がりエッジで行うか、立ち上がりエッジで行うか選択します。マスクオプションにより選択した同期クロックの極性により選択内容が異なりますので注意してください。

入力データの読み込みタイミングは選択できますが、出力データの出力タイミングはSCLK立ち上がりエッジ(正極性選択時)またはSCLK立ち下がりエッジ(負極性選択時)に固定です。

イニシャルリセット時、このレジスタは"0"に設定されます。

SDP: データ入出力順列選択レジスタ(FF71H・D3)

シリアルデータの入出力順列を選択します。

"1"書き込み: MSB先頭

"0"書き込み: LSB先頭

読み出し: 可能

データの入出力をMSB先頭で行うか、LSB先頭で行うか選択します。

イニシャルリセット時、このレジスタは"0"に設定されます。

SCTRG: クロックトリガ/ステータス(FF70H・D1)

同期クロック SCLK の入力/出力開始トリガです。

• データ書き込み時

"1"書き込み: トリガ入力

"0"書き込み: ノーオペレーション

シリアルインタフェース起動回路にこのトリガ入力を与えると、同期クロック(SCLK)の入力/出力を開始します。トリガ条件として、SCTRGに"1"を書き込む以前に、データレジスタSD0 ~ SD7の書き込み、または読み出しが行われている必要があります。(データレジスタSD0 ~ SD7への書き込み/読み出しによりシリアルインタフェースの内部回路は初期化されます。)また、トリガをかける前に必ずESIFでシリアルインタフェースをイネーブルとしておいてください。

トリガ入力はシリアルインタフェースをRUN状態にすることに一度だけ与えてください。複数回のトリガ入力は誤動作につながりますので避けてください。

また、同期クロック SCLK が外部クロックの場合は、トリガ入力後に外部クロックの入力を開始してください。

• データ読み出し時

"1"読み出し: RUN(同期クロック入出力中)

"0"読み出し: STOP(同期クロック停止中)

同期クロックの動作状態は、このビットを読み出すことによって確認できます。

SCTRGに"1"を書き込むと、このデータは同期クロックの入出力が停止(8個カウント)するまでラッチされます。したがって、"1"を読み出した場合は、同期クロックが入出力動作中であることを示しています。

同期クロックの入出力が終了するとこのラッチは"0"にリセットされます。

イニシャルリセット時、このビットは"0"に設定されます。

SD0 ~ SD3, SD4 ~ SD7: シリアルインタフェースデータレジスタ(FF72H, FF73H)

シリアルデータの書き込み/読み出しを行います。

• データ書き込み時

"1"書き込み: HIGHレベル

"0"書き込み: LOWレベル

SOUT(P11)端子から出力するシリアルデータを書き込みます。SOUT(P11)端子からは"1"に設定されたビットがHIGH(VDD)レベル、"0"に設定されたビットがLOW(VSS)レベルとしてシリアル変換されたデータが出力されます。

• データ読み出し時

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

SIN(P10) 端子から入力されたシリアルデータを読み出します。

このレジスタからは、SIN(P10) 端子から入力されたHIGH(V_{DD})レベルのビットを"1"、LOW(V_{SS})レベルのビットを"0"としてパラレル変換されたデータが読み出されます。データの読み出しは、シリアルインタフェースが停止中(同期クロックが入力/出力されていない状態)のときにのみ行ってください。

イニシャルリセット時、このレジスタ内のデータは不定です。

EISIF: シリアルインタフェース割り込みマスクレジスタ(FFE2H・D0)

シリアルインタフェースからの割り込みマスクを設定します。

"1"書き込み: イネーブル

"0"書き込み: マスク

読み出し: 可能

シリアルインタフェースの割り込みをマスクするかしないかを選択できます。

イニシャルリセット時、このレジスタは"0"に設定されます。

ISIF: シリアルインタフェース割り込み要因フラグ(FFF2H・D0)

シリアルインタフェースからの割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有

"0"読み出し: 割り込み無

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

このフラグによってシリアルインタフェース割り込みの有無を、ソフトウェアで判断することができます。このフラグは割り込みをマスクしていても、8ビットデータの入出力後に"1"にセットされます。

このフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、このフラグは"0"に設定されます。

4.10.6 プログラミング上の注意事項

- (1)データレジスタSD0 ~ SD7への書き込み、または読み出しはシリアルインタフェースが停止中(同期クロックが入力/出力されていない状態)のときのみ行ってください。
- (2)シリアルインタフェースの起動はトリガ条件として、SCTRGに"1"を書き込む以前に、データレジスタSD0 ~ SD7の書き込み/読み出しが行われている必要があります。(データレジスタSD0 ~ SD7への書き込み/読み出しによりシリアルインタフェースの内部回路は初期化されます。また、トリガをかける前に必ずESIFでシリアルインタフェースをイネーブルとしておいてください。
トリガはシリアルインタフェースをRUN状態にすることによって一度だけ与えてください。また、同期クロックSCLKが外部クロックの場合は、トリガ後に外部クロックの入力を開始してください。
- (3)SDPIによる入出力順列(MSB先頭/LSB先頭)の設定は、SD0 ~ SD7にデータを設定する前に行ってください。
- (4)プログラマブルタイマの出力クロックを同期クロックとして使用する場合、またはスLEEPモードで使用する場合、同期クロックの周波数は最大1MHzに制限されますので注意してください。
- (5)割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.11 サウンドジェネレータ

4.11.1 サウンドジェネレータの構成

S1C63709はブザー信号を発生するサウンドジェネレータを内蔵しています。ここで発生したブザー信号はP40(BZ)端子から出力することができます。この出力で圧電ブザーを駆動することができます。ブザー信号の周波数と音量をソフトウェアによりそれぞれ8段階に設定できるほか、デューティ比制御によるデジタルエンベロープを付加することができます。また、キー操作音等を出力するための、1ショット出力機能も持っています。

図4.11.1.1にサウンドジェネレータの構成を示します。

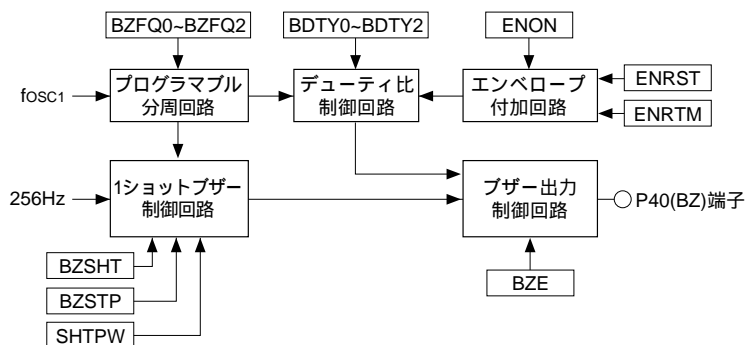


図4.11.1.1 サウンドジェネレータの構成

4.11.2 ブザー出力の制御

サウンドジェネレータで発生したBZ信号はBZ出力イネーブルレジスタBZEに"1"を設定することによりP40(BZ)端子から出力されます。BZEレジスタを"0"に設定すると、P40(BZ)端子はLOW(V_{SS})レベルになります。



図4.11.2.1 ブザー信号出力タイミングチャート

- 注:
- P40をBZ出力ポートとして使用する場合、I/O制御レジスタIOC40は"1"(出力)、データレジスタ(P40)は"0"、プルダウン制御レジスタPUL40は"0"(OFF)に固定してください。
 - ブザー信号はBZEレジスタとは非同期に発生していますので、BZEレジスタの設定による信号のON/OFF時にハザードが生じることがあります。

4.11.3 ブザー周波数と音量の設定

ブザー信号にはOSC1発振クロック(32.768kHz)の分周信号が用いられており、この分周比を変化させることによって8種類の周波数が選択できるようになっています。周波数の選択はブザー周波数選択レジスタBZFQ0～BZFQ2を表4.11.3.1のように設定することにより行います。

表4.11.3.1 ブザー信号の周波数設定

BZFQ2	BZFQ1	BZFQ0	ブザー周波数 (Hz)
0	0	0	4096.0
0	0	1	3276.8
0	1	0	2730.7
0	1	1	2340.6
1	0	0	2048.0
1	0	1	1638.4
1	1	0	1365.3
1	1	1	1170.3

ブザーの音量はブザー信号のデューティ比を制御することによって変化させています。

デューティ比はブザーデューティ選択レジスタBDTY0～BDTY2の設定により、表4.11.3.2に示す8種類の中から選択できます。

表4.11.3.2 デューティ比の設定

レベル	BDTY2	BDTY1	BDTY0	ブザー周波数(Hz)によるデューティ比			
				4096.0 2048.0	3276.8 1638.4	2730.7 1365.3	2340.6 1170.3
レベル1(最大)	0	0	0	8/16	8/20	12/24	12/28
レベル2	0	0	1	7/16	7/20	11/24	11/28
レベル3	0	1	0	6/16	6/20	10/24	10/28
レベル4	0	1	1	5/16	5/20	9/24	9/28
レベル5	1	0	0	4/16	4/20	8/24	8/28
レベル6	1	0	1	3/16	3/20	7/24	7/28
レベル7	1	1	0	2/16	2/20	6/24	6/28
レベル8(最小)	1	1	1	1/16	1/20	5/24	5/28

デューティ比はパルス周期に対するパルス幅の比率のことで、HIGHレベル出力時間をTH、LOWレベル出力時間をTLとした場合は、 $TH/(TH+TL)$ となります。

BDTY0～BDTY2をすべて"0"に設定した場合にデューティ比が最大となり、音量も最大になります。逆にBDTY0～BDTY2をすべて"1"に設定した場合にデューティ比が最小となり、音量も最小になります。

なお、設定できるデューティ比は各周波数によって異なりますので表4.11.3.2を参照してください。

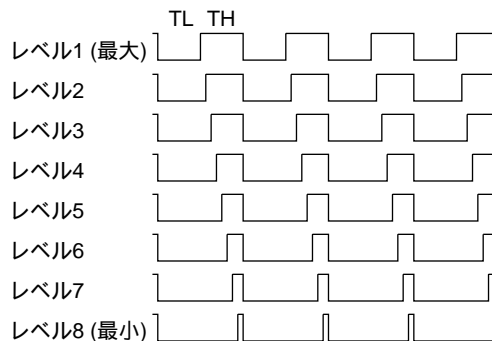


図4.11.3.1 ブザー信号波形のデューティ比

注: ブザー信号にデジタルエンベロープを付加した場合、デューティ比の制御が行われるため、BDTY0～BDTY2の設定は無効となります。

4.11.4 デジタルエンベロープ

ブザー信号にはデューティ比制御のデジタルエンベロープを付加することができます。

エンベロープは前項の表4.11.3.2の内容と同様のデューティ比をレベル1(最大)からレベル8(最小)に段階的に変化させることにより制御されます。

ブザー信号へのエンベロープの付加はレジスタENONに"1"を書き込むことで行われ、"0"が書き込まれた場合は付加されません。

ENONを"1"に設定後、ブザー信号の出力を開始する(BZEレジスタに"1"を書き込む)と、デューティ比がレベル1(最大)となり、レベル8まで段階的に変化します。レベル8(最小)まで減衰するとそのレベルに保持されます。また、エンベロープ付きのブザー信号出力中はレジスタENRSTに"1"を書き込むことによりデューティ比を最大に復帰させることができます。

エンベロープの減衰時間(デューティ比の変化する時間)はレジスタENRTMで選択できます。レベルが1段階変化する時間はENRTMに"0"を書き込んだ場合が62.5msec(16Hz)、"1"を書き込んだ場合が125msec(8Hz)になります。ただし、エンベロープONから最初の変化までは共に最大4msecの誤差があります。

図4.11.4.1にデジタルエンベロープのタイミングチャートを示します。

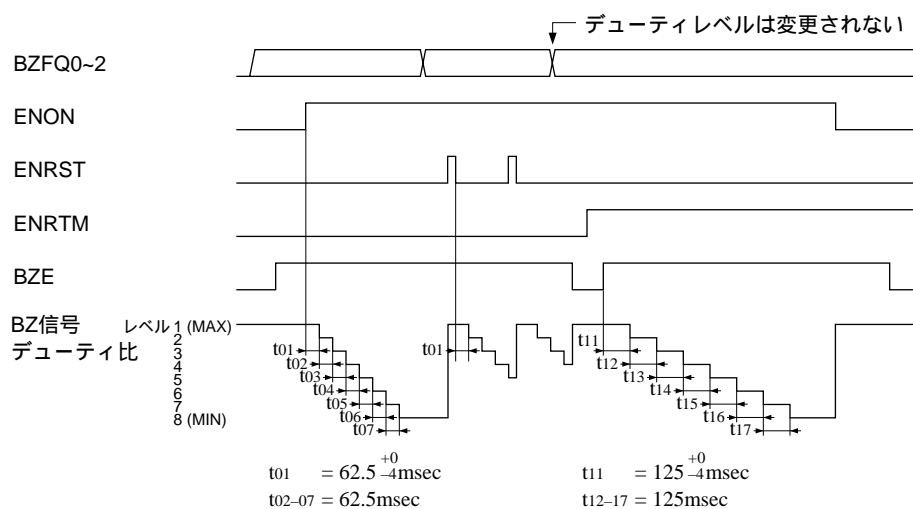


図4.11.4.1 デジタルエンベロープのタイミングチャート

4.11.5 1ショット出力

キー操作音などのように短時間のブザー信号を出力させるために、サウンドジェネレータは1ショット出力機能を持っています。

1ショットブザー信号の出力時間はSHTPWレジスタによって125msec、または31.25msecが選択できます。1ショットブザーの出力制御は1ショットブザートリガBZSHTに"1"を書き込むことにより行います。このトリガが与えられると、内部の256Hz信号に同期してブザー信号がブザー出力端子から出力されます。その後、設定時間が経過すると出力開始と同様に256Hz信号に同期してブザー信号がOFFとなります。BZSHTは読み出しも可能で、BZSHTが"1"の場合は1ショット出力回路が動作中(1ショット出力中)、"0"の場合は回路がREADY(出力が行える)状態であることを示します。

なお、1ショット出力を設定時間経過前に終了させることもできます。これは1ショットブザーストップBZSTPに"1"を書き込むことにより行います。この場合も256Hz信号に同期してブザー信号がOFFとなります。

1ショット出力中に再度BZSHTに"1"を書き込んだ場合は、その時点から256Hz信号に同期して新たに125msecまたは31.25msecの1ショット出力が行われます。

1ショット出力は短時間のため、エンベロープを付加することはできません。ただし、デューティ比の選択による音量と周波数は設定することができます。

通常のブザー出力中(BZE = "1"の間)は1ショット出力の制御は無効となります。

図4.11.5.1に1ショット出力のタイミングチャートを示します。

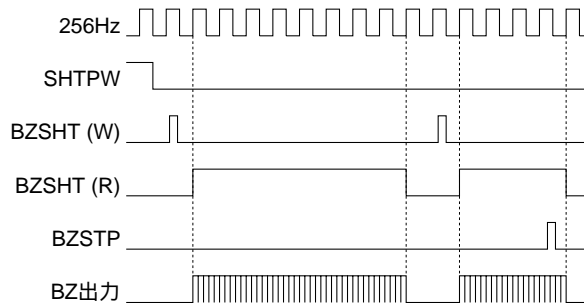


図4.11.5.1 1ショット出力のタイミングチャート

4.11.6 モータ駆動時のブザー出力

モータ駆動パルス出力中にブザー信号を出力するか、停止するかをEMPONレジスタで選択可能です。EMPONが"0"(デフォルト)の場合、モータ駆動パルスが端子から出力されている間のみブザー出力が禁止されます。モータ駆動ステップの周期内でも、パルス出力期間以外はブザー出力が許可されます。EMPONを"1"に設定すると、モータ駆動パルスの出力状態にかかわらず、常にブザー出力が許可されます。

この選択はすべてのモータ(モータ0、モータ1) および駆動パルスの全種類(正転、逆転)に対して有効です。

図4.11.6.1にモータの正転パルス出力時のブザー出力例を示します。

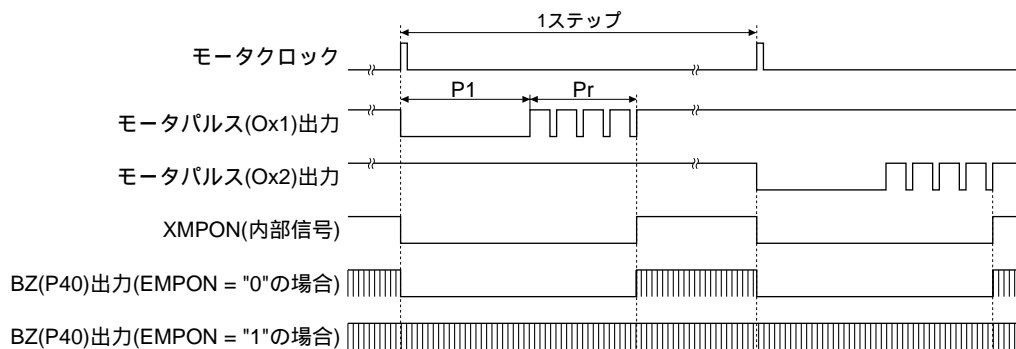


図4.11.6.1 モータ駆動時のブザー出力(正転パルス出力時)

4.11.7 サウンドジェネレータのI/Oメモリ

表4.11.7.1にサウンドジェネレータの制御ビットとそのアドレスを示します。

表4.11.7.1 サウンドジェネレータの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF6CH	ENRTM	ENRST	ENON	BZE	ENRTM	0	1sec	0.5sec	エンベロープ減衰時間選択
					ENRST*3	Reset	Reset	Invalid	エンベローププリセット(書き込み時)
					ENON	0	On	Off	エンベロープOn/Off
	R/W	W	R/W		BZE	0	Enable	Disable	BZ出力カインェブル(P40)
FF6DH	EMPON	BZSTP	BZSHT	SHTPW	EMPON	0	Enable	Disable	モータパルス出力中ブザー出力カインェブル
					BZSTP*3	0	Stop	Invalid	1ショットブザーStop(書き込み時)
					BZSHT	0	Trigger	Invalid	1ショットブザートリガ(書き込み時)
							Busy	Ready	1ショットブザーステータス(読み出し時)
	R/W	W	R/W		SHTPW	0	125msec	31.25msec	1ショットブザーパルス幅選択
FF6EH	0	BZFQ2	BZFQ1	BZFQ0	0 *3	- *2			未使用
					BZFQ2	0			ブザー 周波数選択 [BZFQ2, 1, 0] 0 1 2 3 周波数(Hz) 4096.0 3276.8 2730.7 2340.6 [BZFQ2, 1, 0] 4 5 6 7 周波数(Hz) 2048.0 1638.4 1365.3 1170.3
	R	R/W			BZFQ1	0			
					BZFQ0	0			
FF6FH	0	BDTY2	BDTY1	BDTY0	0 *3	- *2			未使用
					BDTY2	0			ブザー信号デューティ比選択 (本編参照)
	R	R/W			BDTY1	0			
					BDTY0	0			

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

BZE: BZ出力カインェブルレジスタ(FF6CH・D0)

ブザー出力を制御します。

"1"書き込み: ブザー出力ON

"0"書き込み: ブザー出力OFF

読み出し: 可能

BZEに"1"を書き込むことによってP40(BZ)端子からBZ信号が出力され、"0"の書き込みでP40(BZ)端子がLOW(Vss)レベルになります。

イニシャルリセット時、このレジスタは"0"に設定されます。

注: P40をBZ出力ポートとして使用する場合、I/O制御レジスタIOC40は"1"(出力)データレジスタ(P40)は"0"、プルダウン制御レジスタ(PUL40)は"0"(OFF)に固定してください。

BZFQ0 ~ BZFQ2: ブザー周波数選択レジスタ(FF6EH・D0 ~ D2)

ブザー信号の周波数を選択します。

表4.11.7.2 ブザー信号の周波数設定

BZFQ2	BZFQ1	BZFQ0	ブザー周波数 (Hz)
0	0	0	4096.0
0	0	1	3276.8
0	1	0	2730.7
0	1	1	2340.6
1	0	0	2048.0
1	0	1	1638.4
1	1	0	1365.3
1	1	1	1170.3

ブザー周波数は発振クロックを分周した上記8種類の中から選択します。

イニシャルリセット時、このレジスタは"0"に設定されます。

BDTY0 ~ BDTY2: デューティ比選択レジスタ(FF6FH・D0 ~ D2)
ブザー信号のデューティ比を表4.11.7.3のとおり選択します。

表4.11.7.3 デューティ比の設定

レベル	BDTY2	BDTY1	BDTY0	ブザー周波数(Hz)によるデューティ比			
				4096.0 2048.0	3276.8 1638.4	2730.7 1365.3	2340.6 1170.3
レベル1(最大)	0	0	0	8/16	8/20	12/24	12/28
レベル2	0	0	1	7/16	7/20	11/24	11/28
レベル3	0	1	0	6/16	6/20	10/24	10/28
レベル4	0	1	1	5/16	5/20	9/24	9/28
レベル5	1	0	0	4/16	4/20	8/24	8/28
レベル6	1	0	1	3/16	3/20	7/24	7/28
レベル7	1	1	0	2/16	2/20	6/24	6/28
レベル8(最小)	1	1	1	1/16	1/20	5/24	5/28

このデューティ比を選択することによりブザーの音量を設定することができます。
ただし、エンベロープをON(ENON="1")に設定している場合は、この設定は無効となります。
イニシャルリセット時、このレジスタは"0"に設定されます。

ENRST: エンベロープリセット(FF6CH・D2)
エンベロープをリセットします。

"1"書き込み: リセット
"0"書き込み: ノーオペレーション
読み出し: 常時"0"

ENRSTに"1"を書き込むことによりエンベロープがリセットされ、デューティ比が最大となります。エンベロープが付加されていない場合(ENON="0") およびブザー信号の出力が行われていない場合のリセットは無効となります。また"0"の書き込みも無効です。
ENRSTは書き込み専用のため、読み出し時は常時"0"となります。

ENON: エンベロープON/OFF制御レジスタ(FF6CH・D1)
ブザー信号へのエンベロープ付加を制御します。

"1"書き込み: ON
"0"書き込み: OFF
読み出し: 可能

ENONレジスタに"1"を書き込むことにより、ブザー信号出力時にエンベロープが付加されます。"0"を書き込んだ場合、エンベロープは付加されません。
イニシャルリセット時、このレジスタは"0"が選択されます。

ENRTM: エンベロープ減衰時間選択レジスタ(FF6CH・D3)
ブザー信号に付加されたエンベロープの減衰時間を選択します。

"1"書き込み: 1.0sec(125msec×7 = 875msec)
"0"書き込み: 0.5sec(62.5msec×7 = 437.5msec)
読み出し: 可能

デジタルエンベロープの減衰時間はデューティ比の変化する時間で決められます。ENRTMに"1"を書き込んだ場合は125msec(8Hz)単位、"0"を書き込んだ場合は62.5msec(16Hz)単位となります。
イニシャルリセット時、このレジスタは"0"に設定されます。

SHTPW: 1ショットブザーパルス幅選択レジスタ(FF6DH・D0)

1ショットブザーの出力時間を選択します。

"1"書き込み: 125msec
 "0"書き込み: 31.25msec
 読み出し: 可能

SHTPWに"1"を書き込むことにより1ショット出力時間が125msecに、"0"書き込みで31.25msecに設定されます。通常のブザー出力には影響を与えません。

イニシャルリセット時、このレジスタは"0"に設定されます。

BZSHT: 1ショットブザートリガ/ステータス(FF6DH・D1)

1ショットブザー出力の制御を行います。

• データ書き込み時

"1"書き込み: トリガ
 "0"書き込み: ノーオペレーション

BZSHTに"1"を書き込むことにより1ショット出力回路が動作し、ブザー信号が出力されます。この出力はSHTPWによって設定した時間の経過後に自動的にOFFとなります。

1ショット出力は通常のブザー出力がOFF(BZE = "0")の状態でのみ有効で、ON(BZE = "1")状態でのトリガは無効となります。1ショット出力中に再トリガを行った場合は、その時点からSHTPWによって設定した時間を計測し直します(時間延長)。

• データ読み出し時

"1"読み出し: BUSY
 "0"読み出し: READY

読み出し時は1ショット出力回路の動作状態を示します。1ショット出力中にBZSHTは"1"となり、出力がOFFすると"0"になります。

イニシャルリセット時、このビットは"0"に設定されます。

BZSTP: 1ショットブザーSTOP(FF6DH・D2)

1ショットブザー出力を停止させます。

"1"書き込み: STOP
 "0"書き込み: ノーオペレーション
 読み出し: 常時"0"

BZSTPに"1"を書き込むことにより、SHTPWによる設定時間が経過する前に1ショットブザー出力をOFFすることができます。"0"書き込みおよび1ショット出力中以外の"1"書き込みは無効です。

BZSTPは書き込み専用のため、読み出し時は常時"0"となります。

EMPON: モータパルス出力中ブザー出力イネーブルレジスタ(FF6DH・D3)

モータ駆動パルス出力期間にブザー出力を許可するかしないか選択します。

"1"書き込み: 許可
 "0"書き込み: 禁止
 読み出し: 可能

EMPONに"1"を書き込むことにより、モータ駆動パルスの出力状態にかかわらず、常にブザー出力が許可されます。EMPONが"0"の場合、モータ駆動パルスが端子から出力されている間は、ブザー出力が禁止されます。モータ駆動ステップの周期内でも、パルス出力期間以外はブザー信号が出力されます。

イニシャルリセット時、このレジスタは"0"に設定されます。

4.11.8 プログラミング上の注意事項

- (1) P40をBZ出力ポートとして使用する場合、I/O制御レジスタ(IOC40)は"1"(出力)、データレジスタ(P40)は"0"、プルダウン制御レジスタ(PUL40)は"0"(OFF)に固定してください。
- (2) ブザー信号はBZEレジスタとは非同期に発生していますので、BZEレジスタの設定による信号のON/OFF時にハザードを生じる場合があります。
- (3) 1ショット出力は通常のブザー出力がOFF(BZE = "0")の状態でのみ有効で、ON(BZE = "1")状態でのトリガは無効となります。

4.12 モータ制御回路

4.12.1 モータ制御回路の構成

S1C63709はウォッチ用ステッピングモータを駆動可能な2系統のモータドライバを内蔵しています。それぞれのモータドライバは機能が異なります。以降、2系統のモータをモータX(M0)とモータY(M1)、モータドライバをモータドライバ0とモータドライバ1の名称で、また全モータに共通の内容については制御ビット名も含め、モータ番号を'x'として説明します。

各モータドライバの特長を表4.12.1.1に、モータ制御回路のブロック図を図4.12.1.1に示します。

表4.12.1.1 モータドライバ0と1の特長

モータドライバ	駆動方式
モータドライバ0	2種類をソフトウェアで制御可能 ・固定パルスによる正転駆動 ・固定パルスによる正逆両方向の早送り駆動
モータドライバ1	・固定パルスによる正逆両方向の早送り駆動

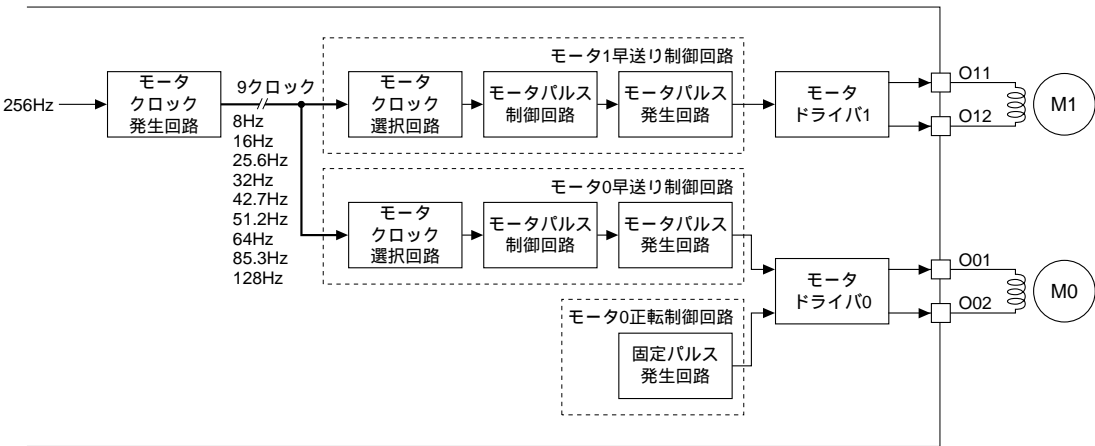


図4.12.1.1 モータ制御回路のブロック図

モータ制御回路の各ブロックの働きを以下に示します。制御回路はモータごとに用意されており、各モータを個々に制御可能です。

(1)モータクロック発生回路、モータクロック選択回路

モータ0とモータ1をそれぞれ早送り駆動するモータクロックを選択します。モータクロック発生回路は256Hzクロックを分周して8Hz、16Hz、25.6Hz、32Hz、42.7Hz、51.2Hz、64Hz、85.3Hz、および128Hzのクロックを発生します。モータ別に設けられたモータクロック選択回路はその9種類の中からソフトウェアによって選択されたクロックをモータクロックとして次のモータパルス制御回路に出力します。

(2)モータパルス制御回路

モータ0とモータ1を早送り駆動するパルス数(ステップ数)を制御します。早送り駆動パルス数はソフトウェアによってモータごとに設定できます。モータパルス制御回路はモータクロック選択回路が出力するモータクロックをカウントして、ソフトウェアで設定された数のクロックを次のモータパルス発生回路に出力します。

(3)モータパルス発生回路

モータパルス制御回路が出力するモータクロックに同期して、モータの正転早送り駆動パルスまたは逆転早送り駆動パルスを発生します。回転方向(正転/逆転)の選択はソフトウェアによって行います。発生した駆動パルスはそれぞれのモータドライバに送られます。

(4)固定パルス発生回路

この回路はモータ0に用意されており、固定パルスにより正転駆動する場合の駆動パルスを発生してモータドライバ0に対して出力します。パルスを発生するタイミングはソフトウェアによって制御できます。

(5)モータドライバ

上記の回路で発生したモータ駆動パルスによりモータを駆動します。各モータドライバの出力端子は以下のとおりです。

モータドライバ0(モータ0駆動用) O01およびO02端子

モータドライバ1(モータ1駆動用) O11およびO12端子

4.12.2 マスクオプション

K13入力が高レベルの期間中(リューズが時刻変更位置にある間など)にモータ0への固定駆動パルス出力を禁止するよう、マスクオプションで設定することができます。(4.12.4項参照)

4.12.3 早送り制御(モータ0とモータ1)

ストップウォッチ機能や秒針のリセットなどのため、モータ0とモータ1は個別にモータの早送りを制御可能です。駆動パルス発生回路はモータごとに用意されており、早送りの速度を9種類の周波数からソフトウェアによって選択できます。

早送り駆動パルス

本モータ制御回路では正転/逆転の両方向の早送りが可能です。そのため、モータパルス発生回路は正転/逆転それぞれの駆動パルスを発生します。

(1) 正転早送り駆動パルス

正転早送り駆動パルス波形を図4.12.3.1に示します。

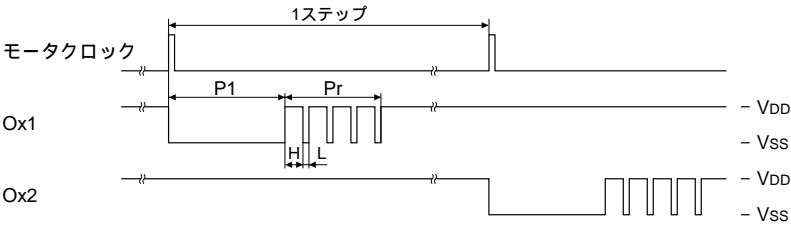


図4.12.3.1 正転早送り駆動パルス波形

図4.12.3.1のとおり、1ステップの正転早送り駆動波形はP1パルスとPrパルスで構成されます。駆動パルスは、ステップごとにモータクロックに同期してOx1端子、Ox2端子(x = モータ番号)から交互に出力されます。使用するモータおよびモータクロック周波数に合わせ、P1パルス幅、Prパルス数、およびPrパルスデューティ比を、制御レジスタで表4.12.3.1と4.12.3.2のとおり選択することができます。

表4.12.3.1(a) 正転早送りパルス波形の設定(1)

128Hzモータクロック用推奨設定

モータ クロック(Hz)	P1パルス幅 (msec)	Prパルス数	パルス出力 時間(msec) *
128	2.93	4または0	6.836
	3.17	4または0	7.080
	3.42	4または0	7.324
	3.66	4または0	7.568
	3.91	3 (Prデュー ティ = 1/4) 3.5 (Prデュー ティ = 1/2) または0	7.568

85.3Hzモータクロック用推奨設定

モータ クロック(Hz)	P1パルス幅 (msec)	Prパルス数	パルス出力 時間(msec) *
85.3	2.93	4または0	6.836
		6または0	8.789
		8または0	10.742
	3.17	4または0	7.080
		6または0	9.033
		8または0	10.986
	3.42	4または0	7.324
		6または0	9.277
		8または0	11.230
	3.66	4または0	7.568
		6または0	9.521
		8または0	11.474
	3.91	4または0	7.813
		6または0	9.766
		8または0	11.718
	4.15	4または0	8.057
		6または0	10.010
		8または0	11.962
	4.39	4または0	8.301
		6または0	10.254
		8または0	12.206
	4.64	4または0	8.545
		6または0	10.498
		8または0	12.450
4.88	4または0	8.789	
	6または0	10.742	
	8または0	12.694	
5.13	4または0	9.033	
	6または0	10.986	
	8または0	12.938	
5.37	4または0	9.277	
	6または0	11.230	
	8または0	13.182	
5.62	4または0	9.521	
	6または0	11.474	
	8または0	13.426	
5.86	4または0	9.766	
	6または0	11.718	
	8または0	13.670	
6.1	4または0	10.010	
	6または0	11.962	
	8または0	13.914	
6.35	4または0	10.254	
	6または0	12.206	
	8または0	14.158	
6.59	4または0	10.498	
	6または0	12.450	
	8または0	14.402	

表4.12.3.1(b) 正転早送りパルス波形の設定(2)

64Hzモータクロック用推奨設定

モータ クロック(Hz)	P1パルス幅 (msec)	Prパルス数	パルス出力 時間(msec) *	モータ クロック(Hz)	P1パルス幅 (msec)	Prパルス数	パルス出力 時間(msec) *
64	2.93	4または0	6.836	(128) (85.3) (64) 51.2 42.7 32 25.6 16 8	2.93	4または0	6.836
		6または0	8.789			6または0	8.789
		8または0	10.742			8または0	10.742
		10または0	12.695			10または0	12.695
	3.17	4または0	7.080		3.17	4または0	7.080
		6または0	9.033			6または0	9.033
		8または0	10.986			8または0	10.986
		10または0	12.939			10または0	12.939
	3.42	4または0	7.324		3.42	4または0	7.324
		6または0	9.277			6または0	9.277
		8または0	11.230			8または0	11.230
		10または0	13.184			10または0	13.184
	3.66	4または0	7.568		3.66	4または0	7.568
		6または0	9.521			6または0	9.521
		8または0	11.475			8または0	11.475
		10または0	13.428			10または0	13.428
	3.91	4または0	7.813		3.91	4または0	7.813
		6または0	9.766			6または0	9.766
		8または0	7.813			8または0	7.813
		10または0	13.672			10または0	13.672
	4.15	4または0	8.057		4.15	4または0	8.057
		6または0	10.010			6または0	10.010
		8または0	11.963			8または0	11.963
		10または0	13.916			10または0	13.916
	4.39	4または0	8.301		4.39	4または0	8.301
		6または0	10.254			6または0	10.254
		8または0	12.207			8または0	12.207
		10または0	14.160			10または0	14.160
	4.64	4または0	8.545		4.64	4または0	8.545
		6または0	10.498			6または0	10.498
		8または0	12.451			8または0	12.451
		10または0	14.404			10または0	14.404
	4.88	4または0	8.789		4.88	4または0	8.789
		6または0	10.742			6または0	10.742
		8または0	12.695			8または0	12.695
		10または0	14.648			10または0	14.648
	5.13	4または0	9.033		5.13	4または0	9.033
		6または0	10.986			6または0	10.986
		8または0	12.939			8または0	12.939
		10または0	14.893			10または0	14.893
	5.37	4または0	9.277		5.37	4または0	9.277
		6または0	11.230			6または0	11.230
		8または0	13.184			8または0	13.184
		10または0	15.137			10または0	15.137
	5.62	4または0	9.521		5.62	4または0	9.521
		6または0	11.475			6または0	11.475
		8または0	13.428			8または0	13.428
		10または0	15.381			10または0	15.381
	5.86	4または0	9.766		5.86	4または0	9.766
		6または0	11.719			6または0	11.719
		8または0	13.672			8または0	13.672
		10または0	15.625			10または0	15.625
	6.1	4または0	10.010		6.1	4または0	10.010
		6または0	11.963			6または0	11.963
		8または0	13.916			8または0	13.916
		10または0	15.869			10または0	15.869
	6.35	4または0	10.254		6.35	4または0	10.254
		6または0	12.207			6または0	12.207
		8または0	14.160			8または0	14.160
		10または0	16.113			10または0	16.113
	6.59	4または0	10.498		6.59	4または0	10.498
		6または0	12.451			6または0	12.451
		8または0	14.404			8または0	14.404
		10または0	16.357			10または0	16.357

* 駆動パルス出力時間は
 $[P1パルス幅 + 0.976 \times Prパルス数]$ となります。
 (0.976msec = Prパルス周期)

Prパルス数はモータ×Prパルス数強制0発設定レジスタ
 MxPRDELで0発に設定可能ですが、この場合の駆動パルス
 出力時間も、モータ×Prパルス数選択レジスタMxPRNM1～
 MxPRNMOで設定されているパルス数を上記計算式のPrパル
 ス数に代入して算出してください。

表4.12.3.2 Prパルスデューティ比

デューティ	HIGH期間(msec)	LOW期間(msec)
1/2	0.488	0.488
1/4	0.732	0.244

(2) 逆転早送り駆動パルス

逆転早送り駆動パルス波形を図4.12.3.2に示します。

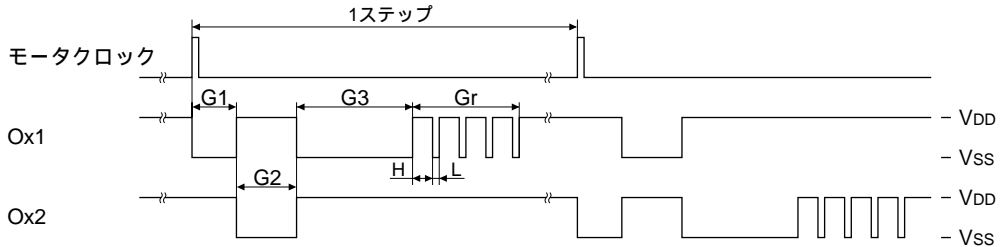


図4.12.3.2 逆転早送り駆動パルス波形

図4.12.3.2のとおり、1ステップの逆転早送り駆動波形はG1、G2、G3、Grの各パルスで構成されます。駆動パルスは、ステップごとにモータクロックに同期してOx1端子、Ox2端子から交互に出力されます。使用するモータに合わせ、G1パルス幅、G2パルス幅、G3パルス幅、Grパルス数、およびGrパルスデューティ比を、制御レジスタで表4.12.3.3と4.12.3.4のとおり選択することができます。

表4.12.3.3(a) 逆転早送りパルス波形の設定(1)

G1パルス幅 (msec)	G2パルス幅 (msec)	G3パルス幅 (msec)	Grパルス数	G1 + G2 (msec)	G1 + G2 + G3 (msec)	駆動パルス出力 時間(msec) *
0.49	1.71	4.88	4 (3.91msec)	2.20	7.08	10.986
			8 (7.81msec)	2.20	7.08	14.893
		6.84	4 (3.91msec)	2.20	9.03	12.939
			8 (7.81msec)	2.20	9.03	16.846
	1.95	4.88	4 (3.91msec)	2.44	7.32	11.230
			8 (7.81msec)	2.44	7.32	15.137
		6.84	4 (3.91msec)	2.44	9.28	13.184
			8 (7.81msec)	2.44	9.28	17.090
	2.20	4.88	4 (3.91msec)	2.69	7.57	11.475
			8 (7.81msec)	2.69	7.57	15.381
		6.84	4 (3.91msec)	2.69	9.52	13.428
			8 (7.81msec)	2.69	9.52	17.334
	2.44	4.88	4 (3.91msec)	2.93	7.81	11.719
			8 (7.81msec)	2.93	7.81	15.625
		6.84	4 (3.91msec)	2.93	9.77	13.672
			8 (7.81msec)	2.93	9.77	17.578
	2.69	4.88	4 (3.91msec)	3.17	8.06	11.963
			8 (7.81msec)	3.17	8.06	15.869
		6.84	4 (3.91msec)	3.17	10.01	13.916
			8 (7.81msec)	3.17	10.01	17.822
	2.93	4.88	4 (3.91msec)	3.42	8.30	12.207
			8 (7.81msec)	3.42	8.30	16.113
		6.84	4 (3.91msec)	3.42	10.25	14.160
			8 (7.81msec)	3.42	10.25	18.066
	3.17	4.88	4 (3.91msec)	3.66	8.54	12.451
			8 (7.81msec)	3.66	8.54	16.357
		6.84	4 (3.91msec)	3.66	10.50	14.404
			8 (7.81msec)	3.66	10.50	18.311
	3.42	4.88	4 (3.91msec)	3.91	8.79	12.695
			8 (7.81msec)	3.91	8.79	16.602
		6.84	4 (3.91msec)	3.91	10.74	14.648
			8 (7.81msec)	3.91	10.74	18.555

表4.12.3.(b) 逆転早送りパルス波形の設定(2)

G1パルス幅 (msec)	G2パルス幅 (msec)	G3パルス幅 (msec)	Grパルス数	G1 + G2 (msec)	G1 + G2 + G3 (msec)	駆動パルス出力 時間(msec) *
0.73	1.71	4.88	4 (3.91msec)	2.44	7.32	11.230
			8 (7.81msec)	2.44	7.32	15.137
		6.84	4 (3.91msec)	2.44	9.28	13.184
			8 (7.81msec)	2.44	9.28	17.090
	1.95	4.88	4 (3.91msec)	2.69	7.57	11.475
			8 (7.81msec)	2.69	7.57	15.381
		6.84	4 (3.91msec)	2.69	9.52	13.428
			8 (7.81msec)	2.69	9.52	17.334
	2.20	4.88	4 (3.91msec)	2.93	7.81	11.719
			8 (7.81msec)	2.93	7.81	15.625
		6.84	4 (3.91msec)	2.93	9.77	13.672
			8 (7.81msec)	2.93	9.77	17.578
	2.44	4.88	4 (3.91msec)	3.17	8.06	11.963
			8 (7.81msec)	3.17	8.06	15.869
		6.84	4 (3.91msec)	3.17	10.01	13.916
			8 (7.81msec)	3.17	10.01	17.822
	2.69	4.88	4 (3.91msec)	3.42	8.30	12.207
			8 (7.81msec)	3.42	8.30	16.113
		6.84	4 (3.91msec)	3.42	10.25	14.160
			8 (7.81msec)	3.42	10.25	18.066
	2.93	4.88	4 (3.91msec)	3.66	8.54	12.451
			8 (7.81msec)	3.66	8.54	16.357
		6.84	4 (3.91msec)	3.66	10.50	14.404
			8 (7.81msec)	3.66	10.50	18.311
	3.17	4.88	4 (3.91msec)	3.91	8.79	12.695
			8 (7.81msec)	3.91	8.79	16.602
		6.84	4 (3.91msec)	3.91	10.74	14.648
			8 (7.81msec)	3.91	10.74	18.555
	3.42	4.88	4 (3.91msec)	4.15	9.03	12.939
			8 (7.81msec)	4.15	9.03	16.846
		6.84	4 (3.91msec)	4.15	10.99	14.893
			8 (7.81msec)	4.15	10.99	18.799
0.98	1.71	4.88	4 (3.91msec)	2.69	7.57	11.475
			8 (7.81msec)	2.69	7.57	15.381
		6.84	4 (3.91msec)	2.69	9.52	13.428
			8 (7.81msec)	2.69	9.52	17.334
	1.95	4.88	4 (3.91msec)	2.93	7.81	11.719
			8 (7.81msec)	2.93	7.81	15.625
		6.84	4 (3.91msec)	2.93	9.77	13.672
			8 (7.81msec)	2.93	9.77	17.578
	2.20	4.88	4 (3.91msec)	3.17	8.06	11.963
			8 (7.81msec)	3.17	8.06	15.869
		6.84	4 (3.91msec)	3.17	10.01	13.916
			8 (7.81msec)	3.17	10.01	17.822
	2.44	4.88	4 (3.91msec)	3.42	8.30	12.207
			8 (7.81msec)	3.42	8.30	16.113
		6.84	4 (3.91msec)	3.42	10.25	14.160
			8 (7.81msec)	3.42	10.25	18.066
	2.69	4.88	4 (3.91msec)	3.66	8.54	12.451
			8 (7.81msec)	3.66	8.54	16.357
		6.84	4 (3.91msec)	3.66	10.50	14.404
			8 (7.81msec)	3.66	10.50	18.311
	2.93	4.88	4 (3.91msec)	3.91	8.79	12.695
			8 (7.81msec)	3.91	8.79	16.602
		6.84	4 (3.91msec)	3.91	10.74	14.648
			8 (7.81msec)	3.91	10.74	18.555
	3.17	4.88	4 (3.91msec)	4.15	9.03	12.939
			8 (7.81msec)	4.15	9.03	16.846
		6.84	4 (3.91msec)	4.15	10.99	14.893
			8 (7.81msec)	4.15	10.99	18.799
	3.42	4.88	4 (3.91msec)	4.39	9.28	13.184
			8 (7.81msec)	4.39	9.28	17.090
		6.84	4 (3.91msec)	4.39	11.23	15.137
			8 (7.81msec)	4.39	11.23	19.043

表4.12.3.(c) 逆転早送りパルス波形の設定(3)

G1パルス幅 (msec)	G2パルス幅 (msec)	G3パルス幅 (msec)	Grパルス数	G1 + G2 (msec)	G1 + G2 + G3 (msec)	駆動パルス出力 時間(msec) *
1.22	1.71	4.88	4 (3.91msec)	2.93	7.81	11.719
			8 (7.81msec)	2.93	7.81	15.625
		6.84	4 (3.91msec)	2.93	9.77	13.672
			8 (7.81msec)	2.93	9.77	17.578
	1.95	4.88	4 (3.91msec)	3.17	8.06	11.963
			8 (7.81msec)	3.17	8.06	15.869
		6.84	4 (3.91msec)	3.17	10.01	13.916
			8 (7.81msec)	3.17	10.01	17.822
	2.20	4.88	4 (3.91msec)	3.42	8.30	12.207
			8 (7.81msec)	3.42	8.30	16.113
		6.84	4 (3.91msec)	3.42	10.25	14.160
			8 (7.81msec)	3.42	10.25	18.066
	2.44	4.88	4 (3.91msec)	3.66	8.54	12.451
			8 (7.81msec)	3.66	8.54	16.357
		6.84	4 (3.91msec)	3.66	10.50	14.404
			8 (7.81msec)	3.66	10.50	18.311
	2.69	4.88	4 (3.91msec)	3.91	8.79	12.695
			8 (7.81msec)	3.91	8.79	16.602
		6.84	4 (3.91msec)	3.91	10.74	14.648
			8 (7.81msec)	3.91	10.74	18.555
	2.93	4.88	4 (3.91msec)	4.15	9.03	12.939
			8 (7.81msec)	4.15	9.03	16.846
		6.84	4 (3.91msec)	4.15	10.99	14.893
			8 (7.81msec)	4.15	10.99	18.799
	3.17	4.88	4 (3.91msec)	4.39	9.28	13.184
			8 (7.81msec)	4.39	9.28	17.090
		6.84	4 (3.91msec)	4.39	11.23	15.137
			8 (7.81msec)	4.39	11.23	19.043
	3.42	4.88	4 (3.91msec)	4.64	9.52	13.428
			8 (7.81msec)	4.64	9.52	17.334
		6.84	4 (3.91msec)	4.64	11.47	15.381
			8 (7.81msec)	4.64	11.47	19.287
1.46	1.71	4.88	4 (3.91msec)	3.17	8.06	11.963
			8 (7.81msec)	3.17	8.06	15.869
		6.84	4 (3.91msec)	3.17	10.01	13.916
			8 (7.81msec)	3.17	10.01	17.822
	1.95	4.88	4 (3.91msec)	3.42	8.30	12.207
			8 (7.81msec)	3.42	8.30	16.113
		6.84	4 (3.91msec)	3.42	10.25	14.160
			8 (7.81msec)	3.42	10.25	18.066
	2.20	4.88	4 (3.91msec)	3.66	8.54	12.451
			8 (7.81msec)	3.66	8.54	16.357
		6.84	4 (3.91msec)	3.66	10.50	14.404
			8 (7.81msec)	3.66	10.50	18.311
	2.44	4.88	4 (3.91msec)	3.91	8.79	12.695
			8 (7.81msec)	3.91	8.79	16.602
		6.84	4 (3.91msec)	3.91	10.74	14.648
			8 (7.81msec)	3.91	10.74	18.555
	2.69	4.88	4 (3.91msec)	4.15	9.03	12.939
			8 (7.81msec)	4.15	9.03	16.846
		6.84	4 (3.91msec)	4.15	10.99	14.893
			8 (7.81msec)	4.15	10.99	18.799
	2.93	4.88	4 (3.91msec)	4.39	9.28	13.184
			8 (7.81msec)	4.39	9.28	17.090
		6.84	4 (3.91msec)	4.39	11.23	15.137
			8 (7.81msec)	4.39	11.23	19.043
	3.17	4.88	4 (3.91msec)	4.64	9.52	13.428
			8 (7.81msec)	4.64	9.52	17.334
		6.84	4 (3.91msec)	4.64	11.47	15.381
			8 (7.81msec)	4.64	11.47	19.287
	3.42	4.88	4 (3.91msec)	4.88	9.77	13.672
			8 (7.81msec)	4.88	9.77	17.578
		6.84	4 (3.91msec)	4.88	11.72	15.625
			8 (7.81msec)	4.88	11.72	19.531

表4.12.3.(d) 逆転早送りパルス波形の設定(4)

G1パルス幅 (msec)	G2パルス幅 (msec)	G3パルス幅 (msec)	Grパルス数	G1 + G2 (msec)	G1 + G2 + G3 (msec)	駆動パルス出力 時間(msec) *
1.71	1.71	4.88	4 (3.91msec)	3.42	8.30	12.207
			8 (7.81msec)	3.42	8.30	16.113
		6.84	4 (3.91msec)	3.42	10.25	14.160
			8 (7.81msec)	3.42	10.25	18.066
	1.95	4.88	4 (3.91msec)	3.66	8.54	12.451
			8 (7.81msec)	3.66	8.54	16.357
		6.84	4 (3.91msec)	3.66	10.50	14.404
			8 (7.81msec)	3.66	10.50	18.311
	2.20	4.88	4 (3.91msec)	3.91	8.79	12.695
			8 (7.81msec)	3.91	8.79	16.602
		6.84	4 (3.91msec)	3.91	10.74	14.648
			8 (7.81msec)	3.91	10.74	18.555
	2.44	4.88	4 (3.91msec)	4.15	9.03	12.939
			8 (7.81msec)	4.15	9.03	16.846
		6.84	4 (3.91msec)	4.15	10.99	14.893
			8 (7.81msec)	4.15	10.99	18.799
	2.69	4.88	4 (3.91msec)	4.39	9.28	13.184
			8 (7.81msec)	4.39	9.28	17.090
		6.84	4 (3.91msec)	4.39	11.23	15.137
			8 (7.81msec)	4.39	11.23	19.043
	2.93	4.88	4 (3.91msec)	4.64	9.52	13.428
			8 (7.81msec)	4.64	9.52	17.334
		6.84	4 (3.91msec)	4.64	11.47	15.381
			8 (7.81msec)	4.64	11.47	19.287
	3.17	4.88	4 (3.91msec)	4.88	9.77	13.672
			8 (7.81msec)	4.88	9.77	17.578
		6.84	4 (3.91msec)	4.88	11.72	15.625
			8 (7.81msec)	4.88	11.72	19.531
	3.42	4.88	4 (3.91msec)	5.13	10.01	13.916
			8 (7.81msec)	5.13	10.01	17.822
		6.84	4 (3.91msec)	5.13	11.96	15.869
			8 (7.81msec)	5.13	11.96	19.775
1.95	1.71	4.88	4 (3.91msec)	3.66	8.54	12.451
			8 (7.81msec)	3.66	8.54	16.357
		6.84	4 (3.91msec)	3.66	10.50	14.404
			8 (7.81msec)	3.66	10.50	18.311
	1.95	4.88	4 (3.91msec)	3.91	8.79	12.695
			8 (7.81msec)	3.91	8.79	16.602
		6.84	4 (3.91msec)	3.91	10.74	14.648
			8 (7.81msec)	3.91	10.74	18.555
	2.20	4.88	4 (3.91msec)	4.15	9.03	12.939
			8 (7.81msec)	4.15	9.03	16.846
		6.84	4 (3.91msec)	4.15	10.99	14.893
			8 (7.81msec)	4.15	10.99	18.799
	2.44	4.88	4 (3.91msec)	4.39	9.28	13.184
			8 (7.81msec)	4.39	9.28	17.090
		6.84	4 (3.91msec)	4.39	11.23	15.137
			8 (7.81msec)	4.39	11.23	19.043
	2.69	4.88	4 (3.91msec)	4.64	9.52	13.428
			8 (7.81msec)	4.64	9.52	17.334
		6.84	4 (3.91msec)	4.64	11.47	15.381
			8 (7.81msec)	4.64	11.47	19.287
	2.93	4.88	4 (3.91msec)	4.88	9.77	13.672
			8 (7.81msec)	4.88	9.77	17.578
		6.84	4 (3.91msec)	4.88	11.72	15.625
			8 (7.81msec)	4.88	11.72	19.531
	3.17	4.88	4 (3.91msec)	5.13	10.01	13.916
			8 (7.81msec)	5.13	10.01	17.822
		6.84	4 (3.91msec)	5.13	11.96	15.869
			8 (7.81msec)	5.13	11.96	19.775
	3.42	4.88	4 (3.91msec)	5.37	10.25	14.160
			8 (7.81msec)	5.37	10.25	18.066
		6.84	4 (3.91msec)	5.37	12.21	16.113
			8 (7.81msec)	5.37	12.21	20.020

表4.12.3.3(e) 逆転早送りパルス波形の設定(5)

G1パルス幅 (msec)	G2パルス幅 (msec)	G3パルス幅 (msec)	Grパルス数	G1 + G2 (msec)	G1 + G2 + G3 (msec)	駆動パルス出力 時間(msec) *
2.20	1.71	4.88	4 (3.91msec)	3.91	8.79	12.695
			8 (7.81msec)	3.91	8.79	16.602
		6.84	4 (3.91msec)	3.91	10.74	14.648
			8 (7.81msec)	3.91	10.74	18.555
	1.95	4.88	4 (3.91msec)	4.15	9.03	12.939
			8 (7.81msec)	4.15	9.03	16.846
		6.84	4 (3.91msec)	4.15	10.99	14.893
			8 (7.81msec)	4.15	10.99	18.799
	2.20	4.88	4 (3.91msec)	4.39	9.28	13.184
			8 (7.81msec)	4.39	9.28	17.090
		6.84	4 (3.91msec)	4.39	11.23	15.137
			8 (7.81msec)	4.39	11.23	19.043
	2.44	4.88	4 (3.91msec)	4.64	9.52	13.428
			8 (7.81msec)	4.64	9.52	17.334
		6.84	4 (3.91msec)	4.64	11.47	15.381
			8 (7.81msec)	4.64	11.47	19.287
	2.69	4.88	4 (3.91msec)	4.88	9.77	13.672
			8 (7.81msec)	4.88	9.77	17.578
		6.84	4 (3.91msec)	4.88	11.72	15.625
			8 (7.81msec)	4.88	11.72	19.531
	2.93	4.88	4 (3.91msec)	5.13	10.01	13.916
			8 (7.81msec)	5.13	10.01	17.822
		6.84	4 (3.91msec)	5.13	11.96	15.869
			8 (7.81msec)	5.13	11.96	19.775
	3.17	4.88	4 (3.91msec)	5.37	10.25	14.160
			8 (7.81msec)	5.37	10.25	18.066
		6.84	4 (3.91msec)	5.37	12.21	16.113
			8 (7.81msec)	5.37	12.21	20.020
	3.42	4.88	4 (3.91msec)	5.62	10.50	14.404
			8 (7.81msec)	5.62	10.50	18.311
		6.84	4 (3.91msec)	5.62	12.45	16.357
			8 (7.81msec)	5.62	12.45	20.264

* 駆動パルス出力時間は[G1パルス幅+G2パルス幅+G3パルス幅+0.976×Grパルス数]となります。
(0.976msec = Grパルス周期)

注: "駆動パルス出力時間 < モータクロック1周期"となるように設定する必要があります。

表4.12.3.4 Grパルスデューティ比

デューティ	HIGH期間(msec)	LOW期間(msec)
1/2	0.488	0.488
1/4	0.732	0.244

早送り駆動前の設定項目

ここでは、早送り駆動の実行前に行うソフトウェアによる選択/設定について説明します。

(1) モータクロックの選択

早送り駆動パルスは図4.12.3.1および図4.12.3.2に示したように、モータクロックに同期して出力されます。つまり、モータの回転速度は、モータクロックの周波数によって決まります。このモータクロックはモータクロック発生回路が出力する16Hz、25.6Hz、32Hz、42.7Hz、51.2Hz、64Hz、85.3Hz、128Hzの8種類から1つをソフトウェアによって選択して使用します。モータクロック選択レジスタMxCLS2～MxCLS0によって表4.12.3.5のとおり選択することができます。

表4.12.3.5 モータクロックの選択

MxCLS2	MxCLS1	MxCLS0	モータクロック周波数
1	1	1	128Hz
1	1	0	85.3Hz
1	0	1	64Hz
1	0	0	51.2Hz
0	1	1	42.7Hz
0	1	0	32Hz
0	0	1	25.6Hz
0	0	0	16Hz

イニシャルリセット時は128Hzに設定されます。

なお、モータクロック8Hz選択レジスタMxCL8HZに"1"を書き込むことで、モータクロックを強制的に8Hzに設定することができます。この場合は、MxCLSレジスタによる選択内容は無視されます(MxCLSレジスタはMxCL8HZ = "0"の場合にのみ有効です)

モータクロックの切り換えは現在のモータクロック自身に同期して行われます。つまり、ソフトウェアによってMxCLSレジスタを変更すると、その時点のモータクロックサイクルの終了と同時にクロックが切り換わります(図4.12.3.3参照)。したがって、レジスタの変更から実際にクロックが切り換わるまで、最大で切り換え前のクロック1周期分の遅延を生じます。

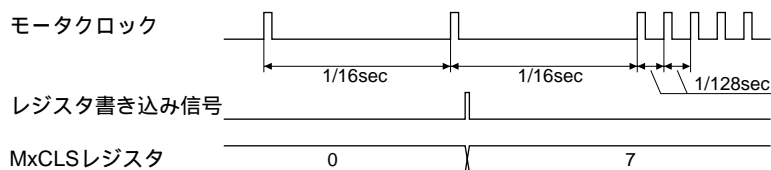


図4.12.3.3 モータクロック切り換えタイミング

(2) 駆動パルス仕様の設定

"早送り駆動パルス"に示したとおり、正転早送り駆動パルスおよび逆転早送り駆動パルスの仕様を設定します。

正転早送り駆動パルス

P1パルス幅

モータx P1パルス幅選択レジスタMxP1LN3 ~ MxP1LN0で表4.12.3.6のとおり選択します。

表4.12.3.6 P1パルス幅の選択

MxP1LN3	MxP1LN2	MxP1LN1	MxP1LN0	P1パルス幅
1	1	1	1	6.59msec
1	1	1	0	6.35msec
1	1	0	1	6.10msec
1	1	0	0	5.86msec
1	0	1	1	5.62msec
1	0	1	0	5.37msec
1	0	0	1	5.13msec
1	0	0	0	4.88msec
0	1	1	1	4.64msec
0	1	1	0	4.39msec
0	1	0	1	4.15msec
0	1	0	0	3.91msec
0	0	1	1	3.66msec
0	0	1	0	3.42msec
0	0	0	1	3.17msec
0	0	0	0	2.93msec

イニシャルリセット時は2.93msecに設定されます。

Prパルス数

モータx Prパルス数選択レジスタMxPRNM1 ~ MxPRNM0で表4.12.3.7のとおり選択します。

表4.12.3.7 Prパルス数の選択

MxPRNM1	MxPRNM0	Prパルス数
1	1	10 (Pr幅 = 9.77msec)
1	0	8 (Pr幅 = 7.81msec)
0	1	6 (Pr幅 = 5.86msec)
0	0	4 (Pr幅 = 3.91msec)

イニシャルリセット時は4発に設定されます。

なお、モータx Prパルス数強制0発設定レジスタMxPRDELに"1"を書き込むことで、Prパルス数を強制的に0発に設定することができます。この場合は、MxPRNMレジスタによる選択内容は無視されます(MxPRNMレジスタはMxPRDEL = "0"の場合にのみ有効です)。ただし、パルス出力時にはMxPRNMレジスタで指定されているPrパルス数の時間が含まれます(MxPRDEL = "1"でもP1パルス幅だけにはなりません)。

Prパルスデューティ比

モータx Prパルスデューティ比選択レジスタMxPRDYで選択します。

MxPRDY = "1": $1/2$ (H = 0.488msec, L = 0.488msec)

MxPRDY = "0": $1/4$ (H = 0.732msec, L = 0.244msec)

イニシャルリセット時は1/4に設定されます。

注: P1パルスとPrパルスの合計時間がモータクロック周期を越えている場合、次のモータクロック出力タイミングの前に強制的にPrパルス出力が終了となります。この場合、Pr出力強制終了時の駆動波形にハザードが出ますので、P1パルスとPrパルスは必ずモータクロック周期未満となるように設定してください。P1とPrパルスの指定がモータクロック周期を越えた場合に実際に設定されるパルス全体長(パルス出力開始からPrパルス出力を強制終了するまでの時間)は以下のとおりです。

表4.12.3.8 Prパルス強制終了時の駆動パルス出力時間

モータクロック	強制終了条件	駆動パルス出力時間
128Hz	$[P1+Pr] > 7.324\text{msec}$	7.568msec
85.3Hz	$[P1+Pr] > 11.230\text{msec}$	11.475msec
64Hz	$[P1+Pr] > 15.137\text{msec}$	15.381msec

逆転早送り駆動パルス

G1パルス幅

モータx G1パルス幅選択レジスタMxG1LN2 ~ MxG1LN0で表4.12.3.9のとおり選択します。

表4.12.3.9 G1パルス幅の選択

MxG1LN2	MxG1LN1	MxG1LN0	G1パルス幅
1	1	1	0.49msec
1	1	0	2.20msec
1	0	1	1.95msec
1	0	0	1.71msec
0	1	1	1.46msec
0	1	0	1.22msec
0	0	1	0.98msec
0	0	0	0.73msec

イニシャルリセット時は0.73msecに設定されます。

G2パルス幅

モータx G2パルス幅選択レジスタMxG2LN2 ~ MxG2LN0で表4.12.3.10のとおり選択します。

表4.12.3.10 G2パルス幅の選択

MxG2LN2	MxG2LN1	MxG2LN0	G2パルス幅
1	1	1	3.42msec
1	1	0	3.17msec
1	0	1	2.93msec
1	0	0	2.69msec
0	1	1	2.44msec
0	1	0	2.20msec
0	0	1	1.95msec
0	0	0	1.71msec

イニシャルリセット時は1.71msecに設定されます。

G3パルス幅

モータx G3パルス幅選択レジスタMxG3LNで選択します。

MxG3LN = "1": 6.84msec

MxG3LN = "0": 4.88msec

イニシャルリセット時は4.88msecに設定されます。

Grパルス数

モータx Grパルス数選択レジスタMxGRNMで選択します。

MxGRNM = "1": 8発(Gr幅 = 7.81msec)

MxGRNM = "0": 4発(Gr幅 = 3.91msec)

イニシャルリセット時は4発に設定されます。

Grパルスデューティ比

モータx Grパルスデューティ比選択レジスタMxGRDYで選択します。

MxGRDY = "1": 1/2 (H = 0.488msec, L = 0.488msec)

MxGRDY = "0": 1/4 (H = 0.732msec, L = 0.244msec)

イニシャルリセット時は1/4に設定されます。

注: G1、G2、G3およびGrパルスの合計時間がモータクロック周期を越えると正常に動作しません。必ず、モータクロック周期未満となるように設定してください。

(3)回転方向(正転/逆転)の選択

モータの回転方向はモータパルス正転/逆転選択レジスタMxPSELによってモータごとに選択することができます。

MxPSELレジスタに"1"を書き込むと逆転に設定され、モータ駆動時は逆転早送りパルスがモータドライバより出力されます。MxPSELレジスタに"0"を書き込むと正転に設定され、モータ駆動時は正転早送りパルスがモータドライバより出力されます。

イニシャルリセット時は正転に設定されます。

(4)モータ駆動パルス数の設定

モータ駆動パルス数はモータごとにソフトウェアによって設定し、モータパルス制御回路が制御します。

図4.12.3.4にモータパルス制御回路の構成を示します。

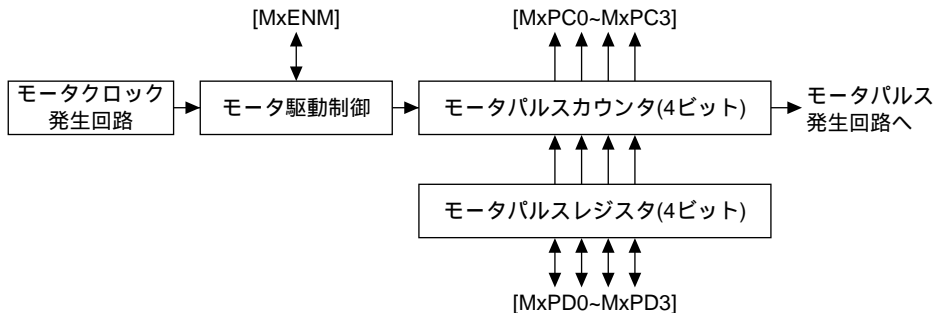


図4.12.3.4 モータパルス制御回路の構成

モータパルス制御回路には、ソフトウェアによって駆動パルス数を設定するためのモータパルスレジスタMxPD3 ~ MxPD0が設けられています。このレジスタに駆動パルス数(ステップ数)を書き込みます。

MxPDレジスタに設定されたデータはモータパルスカウンタMxPC3 ~ MxPC0にロードされ、モータクロックのカウントが行われるようになっています。MxPDレジスタに書き込んだデータがモータパルスカウンタにロードされるタイミングは次のとおりです。

1. モータパルスカウンタが"0"のときにMxPDレジスタにデータを書き込むと、書き込まれたデータが即時カウンタにロードされます。
2. 早送り駆動中、モータパルスカウンタがカウントダウンにより"0"となった場合、MxPDレジスタに書き込まれているデータがカウンタにロードされます。

モータパルスカウンタが"0"以外の場合、停止中、駆動中にかかわらずMxPDレジスタに書き込んだデータはレジスタに保持され、カウンタが"0"になるまでカウンタにはロードされません。また、MxPDレジスタに書き込まれたデータがモータパルスカウンタにロードされた時点で、レジスタは"0"にクリアされます。

モータパルスレジスタMxPDIは、ソフトウェアによる書き込み、読み出しとも可能です。データ書き込み後、モータパルスカウンタにロードされる前であればその数値が、ロード後であれば"0"が読み出されます。モータパルスカウンタMxPCIは、ソフトウェアからは読み出し専用です。レジスタ、カウンタとも、イニシャルリセット時は"0"に設定されます。

MxPDレジスタは4ビットのため、一度に設定できるパルス数は15ステップまでです。ただし、次に説明するモータ割り込みを利用してレジスタに追加のステップ数を繰り返し書き込むことにより、15ステップ以上の連続的なパルス出力も可能です。

早送り開始前は、モータ駆動パルス数が15ステップ以下の場合はその数値を、15ステップ以上の場合には15をMxPDレジスタに書き込んでおきます。モータパルスカウンタは早送り駆動の中止(後述)により数値が残っている場合もありますが、ここではとくにあえて、MxPDレジスタに書き込んだ数値がモータパルスカウンタにロードされたものとして説明を続けます。

早送り制御とモータ割り込み

早送り実行前に前記の各項目(モータクロック、駆動パルスの仕様、正転/逆転、最初のモータ駆動パルス数)をソフトウェアで設定してください。

(1) 早送り開始

早送り駆動を開始するにはモータ駆動制御レジスタMxENMに"1"を書き込みます。この書き込み後、最初のモータクロックの立ち上がり時に同期して1ステップ目の駆動パルスが一方の出力端子(Ox1またはOx2)から出力されます。モータパルスカウンタはカウントダウン(-1)されます。2ステップ目の駆動パルスは、次のモータクロックの立ち上がりで、1ステップ目とは異なるもう一方の出力端子から出力されます。その後、同様にモータパルスカウンタが"0"になるまで駆動パルスが出力されます。

15ステップ以上回転させる場合は、モータパルスカウンタが"0"になる前(駆動開始直後で可)に残りのパルス数をMxPDレジスタに書き込んでおきます。

MxENMレジスタが"1"、モータパルスレジスタおよびモータパルスカウンタが"0"のときにモータパルスレジスタにデータを書き込むと、最初のモータクロックに同期して駆動パルスの出力を開始します。したがって、MxENMレジスタは通常"1"に設定したままで問題ありません。

(2) 駆動中の状態確認

早送り駆動中に残りのステップ数やモータドライバの状態を確認することができます。

モータRUN/STOP

モータ駆動制御レジスタMxENMは読み出しも可能で、"1"書き込み後は"0"を書き込むまで"1"が読み出されます。ただし、モータパルスカウンタが"0"の場合も"1"であるため、モータが回転していることを示すとは限りません。そこで、もう一つ読み出し専用のMxRUNMビットが設けられています。MxRUNMはモータが回転中であることを示すビットで、MxENMレジスタが"1"でモータパルスカウンタが"0"以外のときに、"1"となります。(図4.12.3.5、図4.12.3.6参照)

駆動パルスの出力端子

駆動パルスは、ステップごとにモータクロックに同期してOx1端子、Ox2端子から交互に出力されます。次にどちらの端子から駆動パルスが出力されるかは、MxPOLビットを読み出すことにより確認できます。MxPOLが"0"の場合がOx1端子、"1"の場合がOx2端子です。

残りのステップ数

現在の残りの駆動ステップ数は、モータパルスレジスタMxPDおよびモータパルスカウンタMxPCの両方を読み出して加算することで得られます。

(3) モータ割り込みと早送り終了

モータパルスカウンタがカウントダウンにより"0"になると、モータ割り込み要因フラグISMDxが"1"にセットされ、モータ割り込みが発生します。割り込みが発生するタイミングはモータパルスカウンタが"0"になるモータクロックの立ち上がりで、最後の駆動パルス出力の開始と同時にです。この割り込み要因は割り込みマスクレジスタEISMDxによるマスクが可能で、"1"に設定している場合にCPUに対して割り込みが発生します。割り込みマスクレジスタを"0"に設定している場合、割り込み要因フラグは"1"にセットされますが、CPUに対する割り込みは発生しません。なお、割り込み要因フラグISMDxは"1"を書き込むことによってリセットされます。

割り込み発生時は同時にMxPDレジスタのデータをモータパルスカウンタにロードします。

ここでMxPDレジスタが"0"の場合、早送りを終了します。早送りを終了させるために、MxENMレジスタに"0"を書き込む必要はありません。

MxPDレジスタが"0"以外の場合(割り込み発生前にデータが書き込まれていた場合)、そのデータがモータパルスカウンタにロードされ、そのステップ分さらに続けて駆動パルスの出力が行われます。これにより、15ステップ以上の連続回転が可能です。

MxPDレジスタのデータがモータパルスカウンタにロードされると、レジスタは"0"にクリアされますので、次のデータを書き込むことができます。したがって、さらに15ステップ以上回転させる場合は、この割り込みを利用してMxPDレジスタにデータを書き込んでください。

図4.12.3.5に早送り駆動のタイミングチャートを示します。図は50ステップの早送りを行う場合の例です。

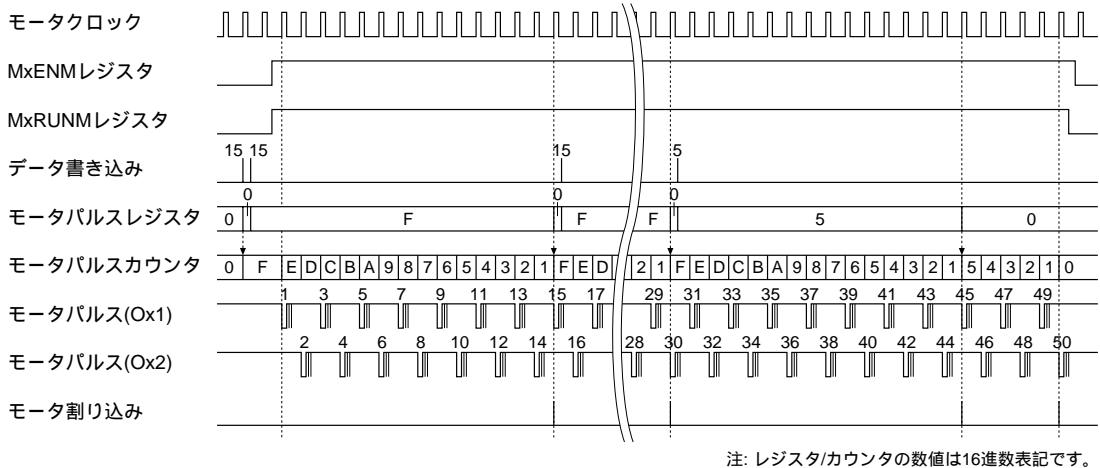


図4.12.3.5 早送り駆動タイミングチャート

(4) 駆動の一時停止と中止

モータの回転を一時停止するにはMxENMレジスタに"0"を書き込みます。駆動パルスの出力中に"0"書き込みが行われた場合は、そのパルスが最後まで出力された後停止します。モータパルスレジスタ、カウンタとも、その時点の内容を保持します。

駆動を再開させる場合は、MxENMレジスタに"1"を書き込んでください。カウンタに保持されている値から駆動パルスの出力を再開します。

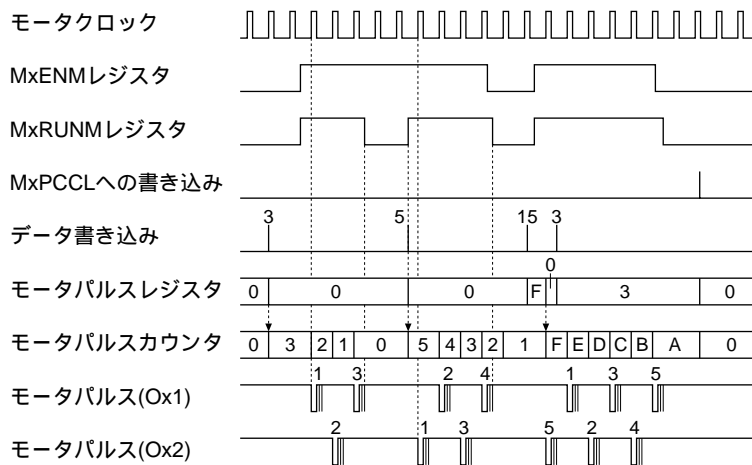


図4.12.3.6 一時停止のタイミング

駆動を中止する場合は、まずMxENMレジスタに"0"を書き込んで一時停止させてください。その後、モータパルスカウンタクリアレジスタMxPCCLに"1"を書き込みます。この書き込みにより、モータパルスレジスタとモータパルスカウンタがどちらも"0"にクリアされます。

注: 駆動を中止する場合は必ず一時停止 (MxENM="0") させてからモータパルスカウンタをクリアしてください。駆動中のクリアは誤動作の原因になります。

4.12.4 K2固定駆動制御(モータ0)

モータ0はメインモータとしての使用を前提としており、固定パルスによる駆動が可能です。駆動パルスの出力タイミングはソフトウェアによって1ステップずつ制御します。

固定駆動パルス(K2およびKrパルス)と消磁パルス(KEパルス)

固定駆動パルス波形を図4.12.4.1に示します。

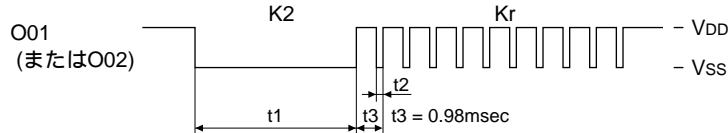


図4.12.4.1 固定駆動パルス

固定駆動パルスはK2パルスとKrパルスで構成されます。

固定駆動パルス波形の仕様は、制御レジスタによって使用するモータに合わせて設定することができます。

K2パルス幅(図中t1)

K2パルス幅は以下の16種類から選択できます。

- 1) 3.42msec 2) 3.66msec 3) 3.91msec 4) 4.15msec 5) 4.39msec 6) 4.64msec
- 7) 4.88msec 8) 5.13msec 9) 5.37msec 10) 5.62msec 11) 5.86msec 12) 6.10msec
- 13) 6.35msec 14) 6.84msec 15) 7.32msec 16) 7.81msec

Krパルスデューティ比(図中t2/t3)

Krパルスのデューティ比(t2/t3)を1/4(25%)または1/2(50%)のどちらかに設定できます。選択したデューティ比によるKrパルスのHIGH期間、LOW期間の長さは表4.12.4.1のとおりです。

表4.12.4.1 Krパルスデューティ比

デューティ (t2/t3)	t2 (msec)	t3 (msec)
1/2	0.488	0.977
1/4	0.244	0.977

Krパルス数

Krパルス数は以下の4種類から選択することができます。

- 1) 10
- 2) 8
- 3) 6
- 4) 4

固定駆動パルスは強い磁界を発生するため、固定駆動パルス出力後はもう一方の出力端子から消磁パルス(KEパルス)が出力されます。消磁パルスの出力タイミングを図4.12.4.2に示します。

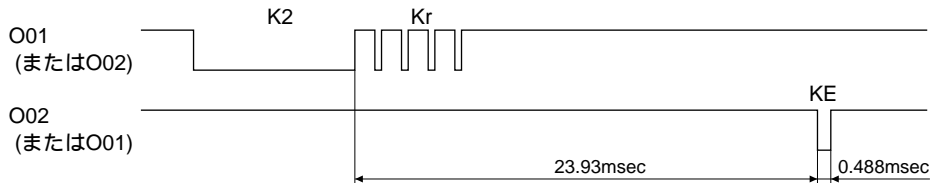


図4.12.4.2 消磁パルスの出力タイミング

マスクオプション: K13入力によるモータパルス出力禁止

K13入力が高レベルの期間中にモータ0への固定駆動パルス出力を禁止するよう、マスクオプションで設定することができます。この設定を行った場合、K13入力の立ち上がりから立ち下がりまでの間、新たな駆動パルス出力は禁止され、ソフトウェアによる出力制御も無効となります。K13入力立ち上がり時に出力中の駆動パルスは最後まで出力されます。

固定駆動制御

(1) 駆動パルスの設定

パルスを出力する前に、"固定駆動パルス(K2およびKrパルス)と消磁パルス(KEパルス)"で説明したとおり、固定駆動パルスの仕様を選択します。

K2パルス幅

K2パルス幅を、モータ0 K2パルス幅選択レジスタM0K2LN3 ~ M0K2LN0によって表4.12.4.2に示す16種類から選択します。

表4.12.4.2 K2パルス幅

M0K2LN3	M0K2LN2	M0K2LN1	M0K2LN0	K2パルス幅
1	1	1	1	7.81msec
1	1	1	0	7.32msec
1	1	0	1	6.84msec
1	1	0	0	6.35msec
1	0	1	1	6.10msec
1	0	1	0	5.86msec
1	0	0	1	5.62msec
1	0	0	0	5.37msec
0	1	1	1	5.13msec
0	1	1	0	4.88msec
0	1	0	1	4.64msec
0	1	0	0	4.39msec
0	0	1	1	4.15msec
0	0	1	0	3.91msec
0	0	0	1	3.66msec
0	0	0	0	3.42msec

イニシャルリセット時は3.42msecに設定されます。

Krパルスデューティ比

モータ0 Krパルスデューティ比選択レジスタM0KRDYで選択します。

M0KRDY = "1": $1/2$ (H = 0.488msec, L = 0.488msec)

M0KRDY = "0": $1/4$ (H = 0.732msec, L = 0.244msec)

イニシャルリセット時は $1/4$ に設定されます。

Krパルス数

モータ0 Krパルス数選択レジスタM0KRNM1 ~ M0KRNM0によって表4.12.4.3に示す4種類から選択します。

表4.12.4.3 Krパルス数

M0KRNM1	M0KRNM0	Krパルス数
1	1	10
1	0	8
0	1	6
0	0	4

イニシャルリセット時は4発に設定されます。

(2) K2パルス出力制御

K2固定駆動を開始するにはモータ0 固定パルス出力レジスタM0K2に"1"を書き込みます。この書き込み後、分周回路からの256Hzクロックに同期してK2固定駆動パルスが出力されます。なお、レジスタへの書き込みから実際に出力を開始するまでに、選択したK2パルス幅に従って次のような遅延を生じます。

表4.12.4.4 K2パルス出力遅延時間

M0K2LN3-0	K2パルス幅	最大遅延時間
0	3.42msec	16.11msec
1	3.66msec	15.87msec
2	3.91msec	15.63msec
3	4.15msec	15.38msec
4	4.39msec	15.14msec
5	4.64msec	14.89msec
6	4.88msec	14.65msec
7	5.13msec	14.40msec
8	5.37msec	14.16msec
9	5.62msec	13.92msec
A	5.86msec	13.67msec
B	6.10msec	13.43msec
C	6.35msec	13.18msec
D	6.84msec	12.70msec
E	7.32msec	12.21msec
F	7.81msec	11.72msec

M0K2レジスタは、1ステップ分の駆動パルスがすべて出力されるまで"1"を保持しており、これを読み出すことでモータドライバ0が動作中であることを確認することができます。駆動パルスの出力を終了するとM0K2レジスタは自動的に"0"に戻ります。

M0K2レジスタへの"0"書き込みは無効で、駆動パルスの出力を中断することはできません。

K2固定駆動パルス出力時のタイミングチャートを図4.12.4.3に示します。

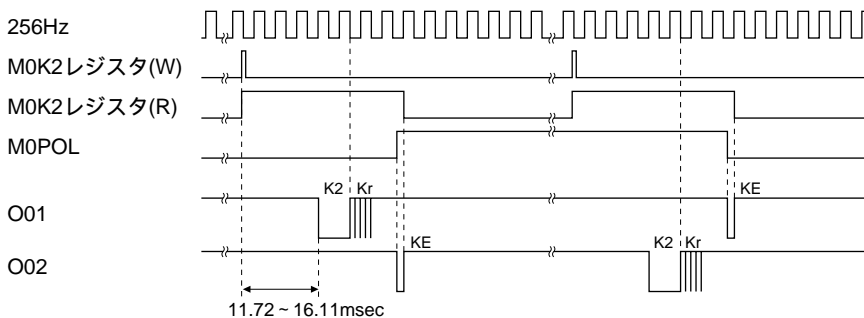


図4.12.4.3 K2固定駆動パルス出力時のタイミングチャート

(3) 駆動中の状態確認

K2固定駆動中はモータドライバの状態を確認することができます。

モータRUN/STOP

モータ0固定駆動パルス出力レジスタM0K2は読み出しも可能で、"1"書き込み後は1ステップ分の駆動パルスがすべて出力されるまで"1"が読み出されます。

駆動パルスの出力端子

駆動パルスは、ステップごとにO01端子、O02端子から交互に出力されます。次にどちらの端子から駆動パルスが出力されるかは、M0POLレジスタを読み出すことにより確認できます。レジスタが"0"の場合がO01端子、"1"の場合がO02端子です。M0POLレジスタはKEパルス出力開始のタイミングで変化します。(図4.12.4.3のタイミング参照)

4.12.5 モータ制御回路のI/Oメモリ

表4.12.5.1にモータ制御回路の制御ビットとそのアドレスを示します。

表4.12.5.1(a) モータ制御回路の制御ビット

アドレス	レジスタ								注 釈															
	D3	D2	D1	D0	Name	Init *1	1	0																
FF10H	M0KRN1	M0KRN0	0	0	M0KRN1	0			M0 Krパルス数 選択 未使用 未使用	[M0KRN1,0]	0	1	2	3	パルス数 4	6	8	10						
	R/W		R	0 *3	– *2																			
				0 *3	– *2																			
FF11H	M0K2LN3	M0K2LN2	M0K2LN1	M0K2LN0	M0K2LN3	0			M0 K2パルス幅選択 [M0K2LN3–0] 0	1	2	3	4	5	6	7	パルス幅(msec) 3.42 3.66 3.91 4.15 4.39 4.64 4.88 5.13 [M0K2LN3–0] 8	9	10	11	12	13	14	15
	R/W				M0K2LN1	0																		
					M0K2LN0	0																		
FF12H	M0KRDY	0	0	0	M0KRDY	0	1/2	1/4	M0 Krパルスデューティ比選択 未使用 未使用 未使用															
	R/W		R	0 *3	– *2																			
				0 *3	– *2																			
				0 *3	– *2																			
FF14H	0	0	M0K2	0	0 *3	– *2			未使用 未使用 M0 固定駆動(K2)パルス出力 未使用															
	R		R/W	R	0 *3	– *2	Output	Not output																
					M0K2	0																		
					0 *3	– *2																		
FF16H	0	0	M1PRDEL	M0PRDEL	0 *3	– *2			未使用 未使用 M1 Prパルス数強制0発設定 M0 Prパルス数強制0発設定	Pr = 0	M1PRNM	M0PRNM												
	R		R/W	M1PRDEL	0																			
				M0PRDEL	0																			
FF17H	0	0	M1CL8HZ	M0CL8HZ	0 *3	– *2			未使用 未使用 M1 モータクロック8Hz選択 M0 モータクロック8Hz選択	8Hz	M1CLS	M0CLS												
	R		R/W	M1CL8HZ	0																			
				M0CL8HZ	0																			
FF18H	M0PSEL	M0CLS2	M0CLS1	M0CLS0	M0PSEL	0	Reverse	Normal	M0 モータパルス正転/逆転選択 M0 モータクロック選択 [M0CLS2–0] 0	1	2	3	4	5	6	7	クロック(Hz) 16 25.6 32 42.7 51.2 64 85.3 128							
	R/W				M0CLS1	1																		
					M0CLS0	1																		
FF19H	M0P1LN3	M0P1LN2	M0P1LN1	M0P1LN0	M0P1LN3	0			M0 P1パルス幅選択 [M0P1LN3–0] 0	1	2	3	4	5	6	7	パルス幅(msec) 2.93 3.17 3.42 3.66 3.91 4.15 4.39 4.64 [M0P1LN3–0] 8	9	10	11	12	13	14	15
	R/W				M0P1LN1	0																		
					M0P1LN0	0																		
FF1AH	M0PRNM1	M0PRNM0	M0PRDY	M0GRDY	M0PRNM1	0			M0 Prパルス数 選択 M0 Prパルスデューティ比選択 M0 Grパルスデューティ比選択	[M0PRNM1,0]	0	1	2	3	パルス数 4	6	8	10						
	R/W		M0PRDY	0	1/2	1/4																		
			M0GRDY	0	1/2	1/4																		
FF1BH	M0GRNM	M0G1LN2	M0G1LN1	M0G1LN0	M0GRNM	0	8	4	M0 Grパルス数選択 M0 G1パルス幅選択 [M0G1LN2–0] 0	1	2	3	4	5	6	7	パルス幅(msec) 0.73 0.98 1.22 1.46 1.71 1.95 2.20 0.49							
	R/W				M0G1LN1	0																		
					M0G1LN0	0																		
FF1CH	M0G3LN	M0G2LN2	M0G2LN1	M0G2LN0	M0G3LN	0	6.84msec	4.88msec	M0 G3パルス幅選択 M0 G2パルス幅選択 [M0G2LN2–0] 0	1	2	3	4	5	6	7	パルス幅(msec) 1.71 1.95 2.20 2.44 2.69 2.93 3.17 3.42							
	R/W				M0G2LN1	0																		
					M0G2LN0	0																		
FF1DH	M0PD3	M0PD2	M0PD1	M0PD0	M0PD3	0			M0 モータパルスレジスタ															
	R/W				M0PD2	0																		
					M0PD1	0																		
					M0PD0	0																		
FF1EH	M0PC3	M0PC2	M0PC1	M0PC0	M0PC3	0			M0 モータパルスカウンタ															
	R				M0PC2	0																		
					M0PC1	0																		
					M0PC0	0																		
FF1FH	M0POL	M0PCCL	M0RUNM	M0ENM	M0POL	0	O02	O01	M0出力極性 M0 モータパルスカウンタクリア M0 モータ運転中ステータス M0 モータ駆動Run/Stop制御	Clear	Clear	Invalid												
	R		W	R	R/W	M0RUNM	0	Run					Stop											
						M0ENM	0	Run					Stop											

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*2 回路上設定されない

表4.12.5.1(b) モータ制御回路の制御ビット

アドレス	レジスタ				注 釈				
	D3	D2	D1	D0	Name	Init *1	1	0	
FF38H	M1PSEL	M1CLS2	M1CLS1	M1CLS0	M1PSEL	0	Reverse	Normal	M1モータパルス正転/逆転選択
					M1CLS2	1			M1モータクロック選択
	R/W				M1CLS1	1			[M1CLS2-0] 0 1 2 3 4 5 6 7
					M1CLS0	1			クロック(Hz) 16 25.6 32 42.7 51.2 64 85.3 128
FF39H	M1P1LN3	M1P1LN2	M1P1LN1	M1P1LN0	M1P1LN3	0			M1 P1パルス幅選択
					M1P1LN2	0			[M1P1LN3-0] 0 1 2 3 4 5 6 7
	R/W				M1P1LN1	0			パルス幅(msec) 2.93 3.17 3.42 3.66 3.91 4.15 4.39 4.64
					M1P1LN0	0			[M1P1LN3-0] 8 9 10 11 12 13 14 15
FF3AH	M1PRNM1	M1PRNM0	M1PRDY1	M1GRDY1	M1PRNM1	0			M1 Prパルス数 [M1PRNM1,0] 0 1 2 3
					M1PRNM0	0			選択 パルス数 4 6 8 10
	R/W				M1PRDY1	0	1/2	1/4	M1 Prパルスデューティ比選択
					M1GRDY1	0	1/2	1/4	M1 Grパルスデューティ比選択
FF3BH	M1GRNM1	M1G1LN2	M1G1LN1	M1G1LN0	M1GRNM1	0	8	4	M1 Grパルス数選択
					M1G1LN2	0			M1 G1パルス幅選択
	R/W				M1G1LN1	0			[M1G1LN2-0] 0 1 2 3 4 5 6 7
					M1G1LN0	0			パルス幅(msec) 0.73 0.98 1.22 1.46 1.71 1.95 2.20 0.49
FF3CH	M1G3LN1	M1G2LN2	M1G2LN1	M1G2LN0	M1G3LN1	0	6.84msec	4.88msec	M1 G3パルス幅選択
					M1G2LN2	0			M1 G2パルス幅選択
	R/W				M1G2LN1	0			[M1G2LN2-0] 0 1 2 3 4 5 6 7
					M1G2LN0	0			パルス幅(msec) 1.71 1.95 2.20 2.44 2.69 2.93 3.17 3.42
FF3DH	M1PD3	M1PD2	M1PD1	M1PD0	M1PD3	0			M1モータパルスレジスタ
					M1PD2	0			
	R/W				M1PD1	0			
					M1PD0	0			
FF3EH	M1PC3	M1PC2	M1PC1	M1PC0	M1PC3	0			M1モータパルスカウンタ
					M1PC2	0			
	R				M1PC1	0			
					M1PC0	0			
FF3FH	M1POL	M1PCCL	M1RUNM	M1ENM	M1POL	0	O12	O11	M1出力極性
					M1PCCL	Clear	Clear	Invalid	M1モータパルスカウンタクリア
	R	W	R	R/W	M1RUNM	0	Run	Stop	M1モータ運転中ステータス
					M1ENM	0	Run	Stop	M1モータ駆動Run/Stop制御
FFE8H	0	0	EISMD1	EISMD0	0 *3	- *2			未使用
					0 *3	- *2			未使用
	R				EISMD1	0	Enable	Mask	割り込みマスクレジスタ(モータドライバ1)
					EISMD0	0	Enable	Mask	割り込みマスクレジスタ(モータドライバ0)
FFF8H	0	0	ISMD1	ISMD0	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
	R				ISMD1	0	(W)	(W)	割り込み要因フラグ(モータドライバ1)
					ISMD0	0	Reset	Invalid	割り込み要因フラグ(モータドライバ0)

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*2 回路上設定されない

注: 制御ビットの先頭の"M0"、"M1"は対応するモータ(モータ0、モータ1)を表します。

M0KRNM0, M0KRNM1: M0 Krパルス数選択レジスタ(FF10H・D2, D3)
固定駆動波形のKrパルス数を選択します。

表4.12.5.2 Krパルス数の選択

M0KRNM1	M0KRNM0	Krパルス数
1	1	10
1	0	8
0	1	6
0	0	4

この選択はモータが停止中に行ってください。
イニシャルリセット時、このレジスタは"00B"に設定されます。

M0K2LN0 ~ M0K2LN3: M0 K2パルス幅選択レジスタ(FF11H)
固定駆動波形のK2パルス幅を選択します。

表4.12.5.3 K2パルス幅の選択

M0K2LN3	M0K2LN2	M0K2LN1	M0K2LN0	K2パルス幅
1	1	1	1	7.81msec
1	1	1	0	7.32msec
1	1	0	1	6.84msec
1	1	0	0	6.35msec
1	0	1	1	6.10msec
1	0	1	0	5.86msec
1	0	0	1	5.62msec
1	0	0	0	5.37msec
0	1	1	1	5.13msec
0	1	1	0	4.88msec
0	1	0	1	4.64msec
0	1	0	0	4.39msec
0	0	1	1	4.15msec
0	0	1	0	3.91msec
0	0	0	1	3.66msec
0	0	0	0	3.42msec

この選択はモータが停止中に行ってください。
イニシャルリセット時、このレジスタは"0000B"に設定されます。

M0KRDY: M0 Krパルスデューティ比選択レジスタ(FF12H・D3)
固定駆動に使用するKrパルスのデューティ比を選択します。

"1"書き込み: 1/2 (50%)
"0"書き込み: 1/4 (25%)
読み出し: 可能

このデューティ比はKrパルス1サイクルあたりのLOW期間を表します。
M0KRDYレジスタに"1"を書き込んだ場合はデューティ比が1/2に、"0"を書き込んだ場合は1/4に設定されます。この選択はモータが停止中に行ってください。
イニシャルリセット時、このレジスタは"0"に設定されます。

M0K2: モータ0固定駆動K2パルス出力レジスタ(FF14H・D1)
 固定駆動K2パルスをモータ0に対して出力します。

- データ書き込み時
 - "1"書き込み: パルス出力
 - "0"書き込み: ノーオペレーション

M0K2レジスタに"1"を書き込むことにより 1ステップの正転駆動K2パルスを出力します。パルス出力は分周回路からの256Hzクロックに同期して行われます。"0"の書き込みはノーオペレーションとなります。

- データ読み出し時
 - "1"読み出し: パルス出力中
 - "0"読み出し: パルス停止中

M0K2レジスタの読み出し時は、正転駆動K2パルスの出力状態を示します。"1"が読み出された場合、駆動パルスを出力中です。1ステップ分のパルス出力が終了するとM0K2レジスタは"0"に戻ります。イニシャルリセット時、このレジスタは"0"に設定されます。

M0CLS0 ~ M0CLS2: M0モータクロック選択レジスタ(FF18H・D0 ~ D2)
 M1CLS0 ~ M1CLS2: M1モータクロック選択レジスタ(FF38H・D0 ~ D2)
 早送り速度を決定するモータクロックを選択します。

表4.12.5.4 モータクロックの選択

MxCLS2	MxCLS1	MxCLS0	モータクロック周波数
1	1	1	128Hz
1	1	0	85.3Hz
1	0	1	64Hz
1	0	0	51.2Hz
0	1	1	42.7Hz
0	1	0	32Hz
0	0	1	25.6Hz
0	0	0	16Hz

ただし、MxCLS8HZ = "1"の場合はモータクロックが強制的に8Hzとなり、MxCLSレジスタによる選択内容は無視されます。

MxCLSレジスタを変更すると、その時点のモータクロックサイクルの終了と同時にクロックが切り換わります。したがって、レジスタの変更から実際にクロックが切り換わるまで、最大で切り換え前のクロック1周期分の遅延を生じます。

イニシャルリセット時、このレジスタは"111B"に設定されます。

M0CL8HZ: M0モータクロック8Hz選択レジスタ(FF17H・D0)
 M1CL8HZ: M1モータクロック8Hz選択レジスタ(FF17H・D1)
 モータクロックを強制的に8Hzに設定します。

- "1"書き込み: 8Hz
- "0"書き込み: MxCLS2 ~ MxCLS0の設定
- 読み出し: 可能

MxCL8HZに"1"を書き込むことにより、モータクロックが8Hzに設定されます。この場合、MxCLSレジスタの設定は無視されます。MxCL8HZを"0"に設定しておくことで、MxCLSレジスタの設定が有効になります。イニシャルリセット時、このレジスタは"0"に設定されます。

M0PSEL: M0モータパルス正転/逆転選択レジスタ(FF18H・D3)

M1PSEL: M1モータパルス正転/逆転選択レジスタ(FF38H・D3)

早送り駆動の回転方向を選択します。

"1"書き込み: 逆転

"0"書き込み: 正転

読み出し: 可能

MxPSELレジスタに"1"を書き込むことにより、早送り方向が逆転に設定されます。"0"を書き込んだ場合は正転に設定されます。この選択はモータが停止中に行ってください。

イニシャルリセット時、このレジスタは"0"に設定されます。

M0P1LN0 ~ M0P1LN3: M0 P1パルス幅選択レジスタ(FF19H)

M1P1LN0 ~ M1P1LN3: M1 P1パルス幅選択レジスタ(FF39H)

正転早送り駆動波形のP1パルス幅を選択します。

表4.12.5.5 P1パルス幅の選択

MxP1LN3	MxP1LN2	MxP1LN1	MxP1LN0	P1パルス幅
1	1	1	1	6.59msec
1	1	1	0	6.35msec
1	1	0	1	6.10msec
1	1	0	0	5.86msec
1	0	1	1	5.62msec
1	0	1	0	5.37msec
1	0	0	1	5.13msec
1	0	0	0	4.88msec
0	1	1	1	4.64msec
0	1	1	0	4.39msec
0	1	0	1	4.15msec
0	1	0	0	3.91msec
0	0	1	1	3.66msec
0	0	1	0	3.42msec
0	0	0	1	3.17msec
0	0	0	0	2.93msec

この選択はモータが停止中に行ってください。

イニシャルリセット時、このレジスタは"0000B"に設定されます。

M0GRDY: M0 Grパルスデューティ比選択レジスタ(FF1AH・D0)

M1GRDY: M1 Grパルスデューティ比選択レジスタ(FF3AH・D0)

逆転早送り駆動に使用するGrパルスのデューティ比を選択します。

"1"書き込み: 1/2(50%)

"0"書き込み: 1/4(25%)

読み出し: 可能

このデューティ比はGrパルス1サイクルあたりのLOW期間を表します。

MxGRDYレジスタに"1"を書き込んだ場合はデューティ比が1/2に、"0"を書き込んだ場合は1/4に設定されます。この選択はモータが停止中に行ってください。

イニシャルリセット時、このレジスタは"0"に設定されます。

M0PRDY: M0 Prパルスデューティ比選択レジスタ(FF1AH・D1)

M1PRDY: M1 Prパルスデューティ比選択レジスタ(FF3AH・D1)

正転早送り駆動に使用するPrパルスのデューティ比を選択します。

"1"書き込み: 1/2 (50%)

"0"書き込み: 1/4 (25%)

読み出し: 可能

このデューティ比はPrパルス1サイクルあたりのLOW期間を表します。

MxPRDYレジスタに"1"を書き込んだ場合はデューティ比が1/2に、"0"を書き込んだ場合は1/4に設定されます。この選択はモータが停止中に行ってください。

イニシャルリセット時、このレジスタは"0"に設定されます。

M0PRNM0, M0PRNM1: M0 Prパルス数選択レジスタ(FF1AH・D2, D3)

M1PRNM0, M1PRNM1: M1 Prパルス数選択レジスタ(FF3AH・D2, D3)

正転早送り駆動波形のPrパルス数を選択します。

表4.12.5.6 Prパルス数の選択

MxPRNM1	MxPRNM0	Prパルス数
1	1	10 (Pr幅 = 9.77msec)
1	0	8 (Pr幅 = 7.81msec)
0	1	6 (Pr幅 = 5.86msec)
0	0	4 (Pr幅 = 3.91msec)

ただし、MxPRDEL = "1"の場合はPrパルス数が強制的に0発となり、MxPRNMレジスタによる選択内容は無視されます。

この選択はモータが停止中に行ってください。

イニシャルリセット時、このレジスタは"00B"に設定されます。

M0PRDEL: M0 Prパルス数強制0発設定レジスタ(FF16H・D0)

M1PRDEL: M1 Prパルス数強制0発設定レジスタ(FF16H・D1)

Prパルス数を強制的に0発に設定します。

"1"書き込み: 0発

"0"書き込み: MxPRNM1 ~ MxPRNM0の設定

読み出し: 可能

MxPRDELに"1"を書き込むことにより、Prパルス数が0発に設定されます。この場合、MxPRNMレジスタの設定は無視されます。MxPRDELを"0"に設定しておくことで、MxPRNMレジスタの設定が有効になります。

イニシャルリセット時、このレジスタは"0"に設定されます。

M0G1LN0 ~ M0G1LN2: M0 G1パルス幅選択レジスタ(FF1BH・D0 ~ D2)

M1G1LN0 ~ M1G1LN2: M1 G1パルス幅選択レジスタ(FF3BH・D0 ~ D2)

逆転早送り駆動波形のG1パルス幅を選択します。

表4.12.5.7 G1パルス幅の選択

MxG1LN2	MxG1LN1	MxG1LN0	G1パルス幅
1	1	1	0.49msec
1	1	0	2.20msec
1	0	1	1.95msec
1	0	0	1.71msec
0	1	1	1.46msec
0	1	0	1.22msec
0	0	1	0.98msec
0	0	0	0.73msec

この選択はモータが停止中に行ってください。

イニシャルリセット時、このレジスタは"000B"に設定されます。

M0GRNM: M0 Grパルス数選択レジスタ(FF1BH・D3)

M1GRNM: M1 Grパルス数選択レジスタ(FF3BH・D3)

逆転早送り駆動波形のGrパルス数を選択します。

"1"書き込み: 8発

"0"書き込み: 4発

読み出し: 可能

MxGRNMレジスタに"1"を書き込んだ場合はGrパルス数が8に、"0"を書き込んだ場合は4に設定されます。
この選択はモータが停止中に行ってください。

イニシャルリセット時、このレジスタは"0"に設定されます。

M0G2LN0 ~ M0G2LN2: M0 G2パルス幅選択レジスタ(FF1CH・D0 ~ D2)

M1G2LN0 ~ M1G2LN2: M1 G2パルス幅選択レジスタ(FF3CH・D0 ~ D2)

逆転早送り駆動波形のG2パルス幅を選択します。

表4.12.5.8 G2パルス幅の選択

MxG2LN2	MxG2LN1	MxG2LN0	G2パルス幅
1	1	1	3.42msec
1	1	0	3.17msec
1	0	1	2.93msec
1	0	0	2.69msec
0	1	1	2.44msec
0	1	0	2.20msec
0	0	1	1.95msec
0	0	0	1.71msec

この選択はモータが停止中に行ってください。

イニシャルリセット時、このレジスタは"000B"に設定されます。

M0G3LN: M0 G3パルス幅選択レジスタ(FF1CH・D3)

M1G2LN: M1 G3パルス幅選択レジスタ(FF3CH・D3)

逆転早送り駆動波形のG3パルス幅を選択します。

"1"書き込み: 6.84msec

"0"書き込み: 4.88msec

読み出し: 可能

MxG3LNレジスタに"1"を書き込んだ場合はG3パルス幅が6.84msecに、"0"を書き込んだ場合は4.88msecに設定されます。この選択はモータが停止中に行ってください。

イニシャルリセット時、このレジスタは"0"に設定されます。

M0PD0 ~ M0PD3: M0モータパルスレジスタ(FF1DH)

M1PD0 ~ M1PD3: M1モータパルスレジスタ(FF3DH)

早送りステップ数を設定します。レジスタデータの読み出しも可能です。

このレジスタに設定したデータはモータパルスカウンタにロードされ、早送り駆動パルス数が制御されます。

モータパルスカウンタにロードされるタイミングは次のとおりです。

1. モータパルスカウンタが"0"のときに、このレジスタにデータを書き込んだ時点
2. 早送り駆動中は、モータパルスカウンタが"0"になった時点

モータパルスレジスタは、書き込んだデータがモータパルスカウンタにロードされた時点で"0"にクリアされます。

イニシャルリセット時、このレジスタは"0000B"に設定されます。

M0PC0 ~ M0PC3: M0モータパルスカウンタ(FF1EH)

M1PC0 ~ M1PC3: M1モータパルスカウンタ(FF3EH)

モータパルスレジスタに書き込まれたデータをロードして、早送り駆動の出力パルス数を制御します。データがロードされるタイミングはモータパルスレジスタに記載のとおりです。

このカウンタは読み出しが可能です。ソフトウェアによるカウンタへのデータ書き込みは無効です。

イニシャルリセット時、このカウンタは"0000B"に設定されます。

M0ENM: M0モータ駆動RUN/STOP制御レジスタ(FF1FH・D0)

M1ENM: M1モータ駆動RUN/STOP制御レジスタ(FF3FH・D0)

早送り駆動のRUN/STOPを制御します。

"1"書き込み: RUN

"0"書き込み: STOP

読み出し: 可能

MxENMレジスタに"1"を書き込むことにより、モータパルスカウンタに設定されているステップ数の早送り駆動を開始します。駆動パルスの出力は選択されているモータクロックに同期して行われます。モータパルスカウンタが"0"のときにMxENMレジスタに"1"を書き込んだ場合は、モータパルスレジスタにデータを書き込むまで駆動パルスは出力されません。

MxENMレジスタに"0"を書き込むと早送りを一時停止します。駆動パルス出力中に"0"を書き込んだ場合、そのパルスの出力を終了した時点で停止します。モータパルスカウンタは停止した時点の値を保持しており、次にMxENMレジスタに"1"を書き込むと、その値からカウントと駆動パルスの出力を再開します。

イニシャルリセット時、このレジスタは"0"に設定されます。

M0RUNM: M0モータ運針ステータス(FF1FH・D1)

M1RUNM: M1モータ運針ステータス(FF3FH・D1)

早送り駆動パルスによりモータが運針中であることを示します。

"1"読み出し: RUN

"0"読み出し: STOP

書き込み: 無効

MxRUNMはMxENMレジスタに"1"を書き込み後、早送りを一時停止するか、モータパルスカウンタが"0"となる最後の駆動パルスが出力されるまで"1"となります。これを読み出すことにより、モータが運針中であることを確認できます。MxENMレジスタが"0"またはモータパルスカウンタが"0"で、駆動パルスの出力を終了している場合はMxRUNMが"0"となります。

MxRUNMは読み出し専用のため、書き込みは無効です。

イニシャルリセット時、このビットは"0"に設定されます。

M0PCCL: M0モータパルスカウンタクリア(FF1FH・D2)

M1PCCL: M1モータパルスカウンタクリア(FF3FH・D2)

モータパルスカウンタおよびモータパルスレジスタを"0"にクリアします。

"1"書き込み: クリア

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

MxPCCLに"1"を書き込むことにより、モータドライバxのモータパルスカウンタおよびモータパルスレジスタが"0"にクリアされます。

早送り駆動中のクリアは誤動作につながるため、必ず駆動を一時停止(MxENMに"0"書き込み)した後、にクリアしてください。MxPCCLへの"0"書き込みはノーオペレーションとなります。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

M0POL: M0モータ出力極性レジスタ(FF1FH・D3)

M1POL: M1モータ出力極性レジスタ(FF3FH・D3)

次に駆動パルスを出力する端子が読み出せます。

"1"読み出し: 0x2端子

"0"読み出し: 0x1端子

書き込み: 無効

MxPOLレジスタを読み出すことにより、次に駆動パルスを出力する出力端子を確認することができます。(駆動パルスは2つの出力端子から交互に出力されます。) 次の出力が0x1端子から行われる場合はMxPOLレジスタが"1"、0x2端子の場合、MxPOLレジスタが"0"となります。どの駆動方式でもMxPOLの内容は有効です。

これらのビットは読み出し専用のため、書き込みは無効です。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

EISMD0: モータドライバ0割り込みマスクレジスタ(FFE8H・D0)

EISMD1: モータドライバ1割り込みマスクレジスタ(FFE8H・D1)

モータ割り込みについて、マスクするかしないかを選択します。

"1"書き込み: イネーブル

"0"書き込み: マスク

読み出し: 可能

各モータの割り込みをマスクするかしないかを、個別に選択できます。

イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

ISMD0: モータドライバ0割り込み要因フラグ(FFF8H・D0)

ISMD1: モータドライバ1割り込み要因フラグ(FFF8H・D1)

モータ割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込みあり

"0"読み出し: 割り込みなし

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

モータの早送り駆動中にモータパルスカウンタが0になるとモータに対応する割り込み要因フラグが"1"にセットされ、割り込みが発生します。

これらのフラグは割り込みをマスクしていても、モータパルスカウンタが0になると"1"にセットされます。

これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

4.12.6 プログラミング上の注意事項

- (1) モータドライバは2種類の駆動方式(早送り正転/逆転駆動、固定駆動)に対応しており、制御もそれぞれ異なるレジスタによって行います。異なる駆動波形が同時に出力されることのないように、制御には注意してください。
- (2) 早送り駆動を中止する場合は必ず一時停止($MxENM="0"$)してからモータパルスカウンタをクリアしてください。駆動中のクリアは誤動作の原因になります。
- (3) 早送り駆動パルスの合計時間($P1+Pr$ 、 $G1+G2+G3+Gr$)がモータクロック周期を越えると正常に動作しません。必ず、モータクロック周期未満となるように設定してください。
- (4) $P1$ パルスと Pr パルスの合計時間がモータクロック周期を越えている場合、次のモータクロック出力タイミングの前に強制的に Pr パルス出力が終了となります。この場合、 Pr 出力強制終了時の駆動波形にハザードが出ますので、 $P1$ パルスと Pr パルスは必ずモータクロック周期未満となるように設定してください。
 $P1$ と Pr パルスの指定がモータクロック周期を越えた場合に実際に設定されるパルス全体長(パルス出力開始から Pr パルス出力を強制終了するまでの時間)は以下のとおりです。

表4.12.6.1 Pr パルス強制終了時の駆動パルス出力時間

モータクロック	強制終了条件	駆動パルス出力時間
128Hz	$[P1+Pr] > 7.324\text{msec}$	7.568msec
85.3Hz	$[P1+Pr] > 11.230\text{msec}$	11.475msec
64Hz	$[P1+Pr] > 15.137\text{msec}$	15.381msec

- (5) 逆転早送り駆動に128Hzのモータクロックを使用することは禁止します。128Hzのモータクロックが選択されている状態で逆転早送りを行っても、正常な早送り駆動は行えません。
- (6) 駆動パルス出力中は、パルス幅やパルス数、デューティ比を変更しないでください。パルス出力中の変更は誤動作につながります。
- (7) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(I フラグ="1")に設定あるいは $RETI$ 命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.13 論理緩急

4.13.1 論理緩急機能

S1C63709は、発振周波数偏差による計時誤差を論理的に補正するための論理緩急機能を持っています。論理緩急はソフトウェアにより任意のタイミングで実行することができ、1回の論理緩急によって-15/32768 ~ +16/32768の調整が行えます。

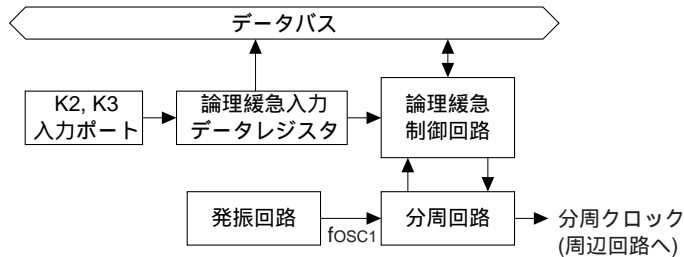


図4.13.1.1 論理緩急回路の構成

論理緩急は、VCWONに"1"を書き込むことにより、システムクロック(32.768kHz)の分周回路部で行われます。VCWONは論理緩急制御ビットで"1"の書き込みで1回の論理緩急を実行します。"0"の書き込みは無効です。

VCWONに"1"が書き込まれると、K30およびK20 ~ K23ポートの読み出し結果に従って、分周回路の出力を次のように延長または短縮します。

K30 = "1"の場合: K2ポートで指定したシステムクロックサイクル分(-15 ~ 0サイクル)短縮

K30 = "0"の場合: K2ポートで指定したシステムクロックサイクル分(+1 ~ +16サイクル)延長

この動作は64Hzの信号の立ち下がりの後の最初の512XM信号(512Hz)立ち下がりのエッジに同期して行われますので、VCWONの書き込み後、実際の論理緩急動作まで最大16.6msecの遅延を生じます。この間のVCWONに対する"1"書き込みは無効です。したがって、VCWONへの連続書き込みは16.6msec以上の間隔をおいて行ってください。

タイマなどの周辺回路には、この論理緩急により補正されたクロックが入力されます。

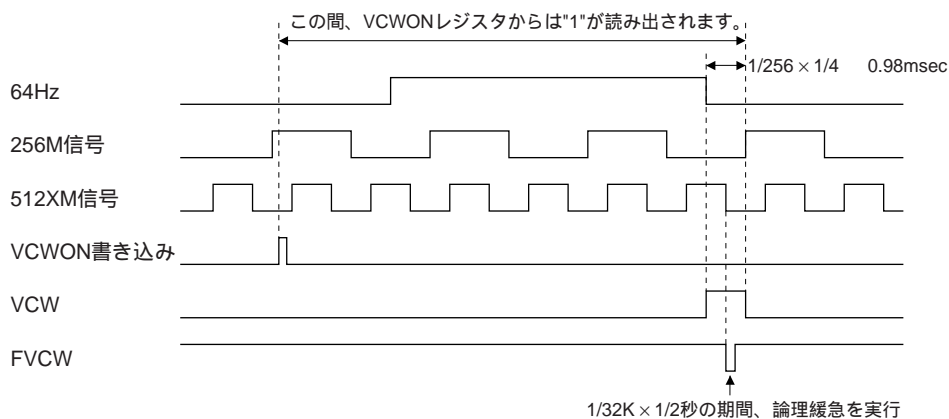


図4.13.1.2 論理緩急タイミング

4.13.2 K2, K3ポートによる補正量入力

発振周波数の偏差に合わせ、論理緩急の補正量を適切に設定する必要があります。この補正量を設定するためにK20～K23およびK30入力ポートを使用することができます。(入力ポートの機能については"4.4 入力ポート"を参照してください。)

K30ポートの入力を符号ビットとすることにより、この5ビットで-15～+16ステップの補正値が入力可能です。論理緩急の補正量を決定するには、補正量を指定したK20～K23およびK30ポートの端子状態をK20～K23およびK30論理緩急入力データレジスタ (TRIM20～TRIM23、TRIM30) で読み出してください。VCWONの書き込み処理は、タイマ割り込みルーチン等を利用して実行します。

次に論理緩急実行例を示します。この例は、上記入力ポートの読み出しデータを補正量として、10秒ごとに論理緩急を実行した場合の補正結果です。

表4.13.2.1 実行例 論理緩急動作を10秒周期で行ったときの歩度

TRIMレジスタ					1回の補正量 (n/32K)	歩度 (Sec/Day)	TRIMレジスタ					1回の補正量 (n/32K)	歩度 (Sec/Day)
30	23	22	21	20			30	23	22	21	20		
0	0	0	0	0	+1	-0.264	1	0	0	0	0	-15	+3.955
0	0	0	0	1	+2	-0.527	1	0	0	0	1	-14	+3.691
0	0	0	1	0	+3	-0.791	1	0	0	1	0	-13	+3.428
0	0	0	1	1	+4	-1.055	1	0	0	1	1	-12	+3.164
0	0	1	0	0	+5	-1.318	1	0	1	0	0	-11	+2.900
0	0	1	0	1	+6	-1.582	1	0	1	0	1	-10	+2.637
0	0	1	1	0	+7	-1.846	1	0	1	1	0	-9	+2.373
0	0	1	1	1	+8	-2.109	1	0	1	1	1	-8	+2.109
0	1	0	0	0	+9	-2.373	1	1	0	0	0	-7	+1.846
0	1	0	0	1	+10	-2.637	1	1	0	0	1	-6	+1.582
0	1	0	1	0	+11	-2.900	1	1	0	1	0	-5	+1.318
0	1	0	1	1	+12	-3.164	1	1	0	1	1	-4	+1.055
0	1	1	0	0	+13	-3.428	1	1	1	0	0	-3	+0.791
0	1	1	0	1	+14	-3.691	1	1	1	0	1	-2	+0.527
0	1	1	1	0	+15	-3.955	1	1	1	1	0	-1	+0.264
0	1	1	1	1	+16	-4.219	1	1	1	1	1	0	0

遅れ
↓

↑
進み

- 注: • K20～K23およびK30ポートから補正量を読み込む場合は、CPUをOSC1クロックで動作させてください。
• 論理緩急を実行した場合の補正量は、F16HZ (P33) 特殊出力信号により確認できます。

4.13.3 VCWONの外部モニタ

VCWON書き込み信号をP22端子から外部に出力することができます。

VCWON書き込み信号を出力する場合は、I/O制御レジスタ IOC22 を"1"(出力)、データレジスタ P22 を"0"、プルダウン制御レジスタ PUL22 を"0"(OFF)に固定し、EVCWONレジスタによって信号の出力をON/OFFしてください。EVCWONに"1"を設定するとVCWON書き込み信号がP22端子から出力され、"0"を設定するとP22端子はLOW(V_{SS})レベルになります。

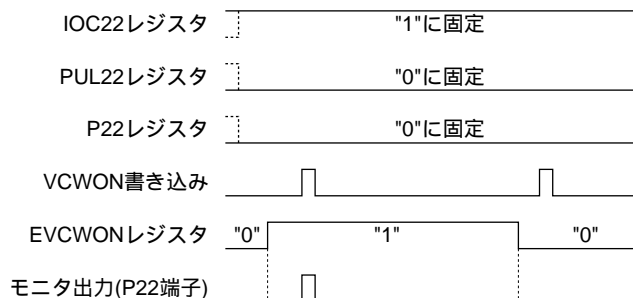


図4.13.3.1 VCWON書き込み信号の出力

4.13.4 論理緩急のI/Oメモリマップ

表4.13.4.1に論理緩急の制御ビットとそのアドレスを示します。

表4.13.4.1 論理緩急の制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF29H	K23	K22	K21	K20	K23	–*2	High	Low	K20～K23入力ポートデータ
					K22	–*2	High	Low	
	R				K21	–*2	High	Low	
					K20	–*2	High	Low	
FF2AH	TRIM23	TRIM22	TRIM21	TRIM20	TRIM23	0	1	0	K20～K23論理緩急入力データレジスタ
					TRIM22	0	1	0	
	R				TRIM21	0	1	0	
					TRIM20	0	1	0	
FF2DH	ENISOR1	ECLIM	CLIM	K30	ENISOR1	0	Enable	Disable	ISOR1モニタ出力カインープル(P23)
					ECLIM	0	Enable	Disable	CLIMモニタ出力カインープル(P32)
	R/W		R		CLIM	0	On	Off	リミットレベルモニタ
					K30	–*2	High	Low	K30入力ポートデータ
FF2EH	0	0	0	TRIM30	0 *3	0			未使用
					0 *3	0			未使用
	R				0 *3	0			未使用
					TRIM30	0	1	0	K30論理緩急入力データレジスタ
FF88H	0	0	EVCWON	VCWON	0 *3	–*2			未使用
					0 *3	–*2			未使用
	R		R/W		EVCWON	0	Enable	Disable	VCWONモニタ出力カインープル(P22)
					VCWON	0	On	Off	論理緩急ステータス/実行トリガ("0"書き込み無効)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

VCWON: 論理緩急実行(FF88H・D0)

論理緩急を実行します。

"1"書き込み: 論理緩急実行

"0"書き込み: ノーオペレーション

"1"読み出し: 論理緩急実行中

"0"読み出し: 論理緩急停止中

VCWONに"1"を書き込むことにより、1回の論理緩急を実行します。

論理緩急はVCWONに"1"書き込み後、64Hzの信号の立ち下がりの後の最初の512XM信号立ち下がりのエッジに同期して行われます。したがって、実行までに最大16.6msecの遅延を生じます。この間のVCWONに対する"1"書き込みは無効となりますので、VCWONへの連続書き込みは16.6msec以上の間隔をおいて行ってください。

"0"の書き込みはノーオペレーションとなります。

イニシャルリセット時、このレジスタは"0"となります。

K20～K23: K2入力ポートデータ(FF29H)

K30: K3入力ポートデータ(FF2DH・D0)

K20～K23、K30入力ポート端子の入力データが読み出せます。

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

書き込み: 無効

入力ポートの端子電圧がそれぞれHIGH(V_{DD} レベル)のとき"1"、LOW(V_{SS} レベル)のとき"0"として読み出せます。

これらのレジスタは読み出し専用のため、書き込み動作は無効となります。

TRIM20 ~ TRIM23: K2論理緩急入力データレジスタ(FF2AH)
 TRIM30: K3論理緩急入力データレジスタ(FF2EH・D0)
 K2、K3入力で指定されている論理緩急の補正量が読み出せます。

"1"読み出し: HIGHレベル
 "0"読み出し: LOWレベル
 書き込み: 無効

K20 ~ K23、K30入力ポートデータレジスタ(FF29H、FF2DH・D0)を読み出すことにより、TRIM20 ~ TRIM23、TRIM30レジスタ(FF2AH、FF2EH・D0)に論理緩急の補正量が設定されます。TRIM20 ~ TRIM23、TRIM30レジスタに補正値を設定後は、これらのレジスタを読み出すことにより設定値を確認できます。ポート入力値と補正量の対応については、表4.13.2.1を参照してください。
 これらのレジスタは読み出し専用のため、書き込み動作は無効となります。

EVCWON: VCWONモニタ出力イネーブルレジスタ(FF88H・D1)
 VCWON書き込み信号を外部出力します。

"1"書き込み: ON
 "0"書き込み: OFF
 読み出し: 可能

VCWON書き込み信号の外部出力を行うにはI/O制御レジスタ(IOC22)を"1"(出力)データレジスタ(P22)を"0"、プルダウン制御レジスタ(PUL22)を"0"(OFF)に設定しておく必要があります。この状態でEVCWONレジスタに"1"を書き込むことにより、VCWON書き込み信号がP22端子から出力されます。EVCWONレジスタに"0"を書き込むと、P22端子はLOW(V_{SS})レベルになります。
 イニシャルリセット時、このレジスタは"0"に設定されます。

4.13.5 プログラミング上の注意事項

- (1) モータパルス出力中に論理緩急を実行すると、パルス幅が変化することがありますので注意してください。
- (2) 論理緩急はVCWONに"1"書き込み後、64Hzの信号の立ち下がりの後の最初の512XM信号立ち下がりのエッジに同期して行われます。したがって、実行までに最大16.6msecの遅延を生じます。この間のVCWONに対する"1"書き込みは無効となりますので、VCWONへの連続書き込みは16.6msec以上の間隔をおいて行ってください。
- (3) K20 ~ K23およびK30ポートから補正量を読み込む場合は、CPUをOSC1クロックで動作させてください。

4.14 SVD(電源電圧検出)回路

4.14.1 SVD回路の構成

S1C63709にはSVD(電源電圧検出)回路が内蔵されており、ソフトウェアによって電源電圧低下を知ることができます。

SVD回路のON/OFFおよび比較電圧の設定は、ソフトウェアによって行えます。

SVD回路の構成は図4.14.1.1のとおりです。

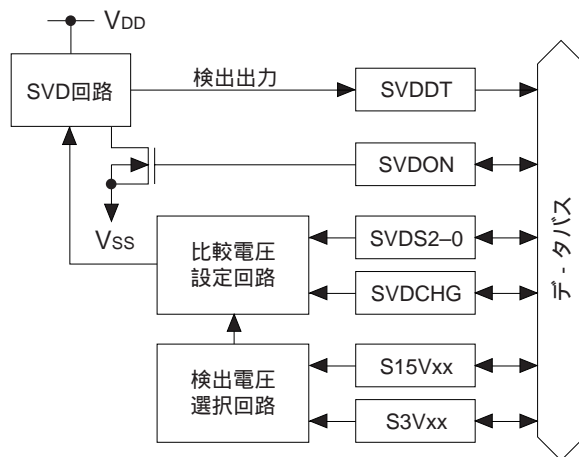


図4.14.1.1 SVD回路の構成

4.14.2 比較電圧の設定

電源電圧と比較する電圧値は3.0V系と1.5V系それぞれに8種類ずつ設定しておき、SVDCHGおよびSVDS2～SVDS0レジスタでその中からひとつを選択して電源電圧検出を実行します。

表4.14.2.1 比較電圧の選択

1.5V電源電圧用 (SVDCHG = "0")

SVDS2	SVDS1	SVDS0	比較電圧 (V)
1	1	1	1.5V系レベル7 (1.5V)
1	1	0	1.5V系レベル6 (1.4V)
1	0	1	1.5V系レベル5 (1.3V)
1	0	0	1.5V系レベル4 (1.25V)
0	1	1	1.5V系レベル3 (1.2V)
0	1	0	1.5V系レベル2 (1.15V)
0	0	1	1.5V系レベル1 (1.1V)
0	0	0	1.5V系レベル0 (1.05V)

3.0V電源電圧用 (SVDCHG = "1")

SVDS2	SVDS1	SVDS0	比較電圧 (V)
1	1	1	3.0V系レベル7 (2.7V)
1	1	0	3.0V系レベル6 (2.6V)
1	0	1	3.0V系レベル5 (2.3V)
1	0	0	3.0V系レベル4 (2.1V)
0	1	1	3.0V系レベル3 (2.0V)
0	1	0	3.0V系レベル2 (1.9V)
0	0	1	3.0V系レベル1 (1.8V)
0	0	0	3.0V系レベル0 (1.7V)

()内は初期設定の比較電圧値です。

レベルα (低)～レベル7 (高)の電圧値も1.5V系が10種類、3.0V系が14種類からそれぞれ8種類ずつ選択できます。

表4.14.2.2 1.5V系検出電圧値一覧

アドレス	レジスタ	レジスタ初期値	検出電圧	初期設定の比較電圧レベル
FF52H•D1	S15V16	0	1.6V	—
FF52H•D0	S15V15	1	1.5V	レベル7 (SVDS = 7)
FF51H•D3	S15V14	1	1.4V	レベル6 (SVDS = 6)
FF51H•D2	S15V135	0	1.35V	—
FF51H•D1	S15V13	1	1.3V	レベル5 (SVDS = 5)
FF51H•D0	S15V125	1	1.25V	レベル4 (SVDS = 4)
FF50H•D3	S15V12	1	1.2V	レベル3 (SVDS = 3)
FF50H•D2	S15V115	1	1.15V	レベル2 (SVDS = 2)
FF50H•D1	S15V11	1	1.1V	レベル1 (SVDS = 1)
FF50H•D0	S15V105	1	1.05V	レベル0 (SVDS = 0)

表4.14.2.3 3.0V系検出電圧値一覧

アドレス	レジスタ	レジスタ初期値	検出電圧	初期設定の比較電圧レベル
FF55H•D3	S3V27	1	2.7V	レベル7 (SVDS = 7)
FF55H•D2	S3V265	0	2.65V	—
FF55H•D1	S3V26	1	2.6V	レベル6 (SVDS = 6)
FF55H•D0	S3V25	0	2.5V	—
FF54H•D3	S3V24	0	2.4V	—
FF54H•D2	S3V235	0	2.35V	—
FF54H•D1	S3V23	1	2.3V	レベル5 (SVDS = 5)
FF54H•D0	S3V225	0	2.25V	—
FF53H•D3	S3V22	0	2.2V	—
FF53H•D2	S3V21	1	2.1V	レベル4 (SVDS = 4)
FF53H•D1	S3V20	1	2.0V	レベル3 (SVDS = 3)
FF53H•D0	S3V19	1	1.9V	レベル2 (SVDS = 2)
FF52H•D3	S3V18	1	1.8V	レベル1 (SVDS = 1)
FF52H•D2	S3V17	1	1.7V	レベル0 (SVDS = 0)

使用する検出電圧に対応するレジスタを"1"、使用しない電圧のレジスタを"0"に設定します。"1"に設定されたレジスタの電圧値が高い値から順に比較電圧のレベル7～レベル0に割り当てられます。

注: FF50H～FF55Hで設定する検出電圧は1.5V系、3.0V系それぞれについて必ず8値を選択してください。8値以外(たとえば7値や10値)を選択すると誤動作するおそれがあります。

4.14.3 SVD動作

SVD回路はソフトウェアによって設定した比較電圧と電源電圧 (V_{DD} 端子 - V_{SS} 端子) の比較を行い、その結果をSVDDTラッチにセットします。このSVDDTラッチのデータを読み出すことにより、電源電圧が正常か、あるいは低下していることをソフトウェアによって判断できます。

SVD回路による電源電圧の検出動作はレジスタSVDONに"1"を書き込むことによって開始します。その後SVDONに"0"を書き込むことにより、SVD回路は検出結果をSVDDTラッチにセットして検出動作を停止 (回路をOFF) します。

なお、安定した検出結果を得るためには少なくとも1msec以上SVD回路をONにする必要があります。したがって、電源電圧の検出は次のシーケンスで行ってください。

1. SVDONを"1"にセット
2. 1msec以上保持
3. SVDONを"0"にセット
4. SVDDTの読み出し

なお、SVD動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD回路をOFFに設定してください。

4.14.4 SVDDTの外部モニタ

SVDDT信号 (SVDDTレジスタ値) をP21端子から外部に出力することができます。これにより、電源電圧の検出結果を外部でもモニタすることが可能となります。

SVDDT信号を出力する場合は、I/O制御レジスタ (IOC21) を"1" (出力) 、データレジスタ (P21) を"0"、プルダウン制御レジスタ (PUL21) を"0" (OFF) に固定し、ESVDDTレジスタによって信号の出力をON/OFFしてください。ESVDDTに"1"を設定するとSVDDT信号がP21端子から出力され、"0"を設定するとP21端子はLOW (V_{SS}) レベルになります。

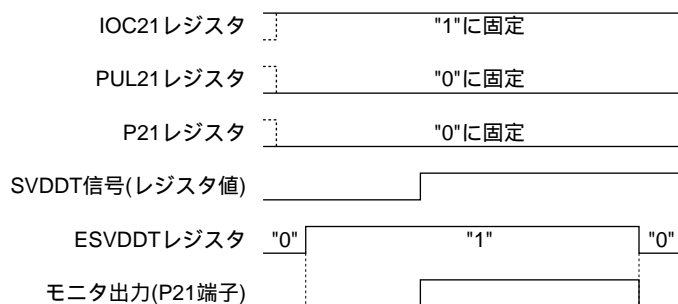


図4.14.4.1 SVDDT信号の出力

4.14.5 SVD回路のI/Oメモリ

表4.14.5.1にSVD回路の制御ビットとそのアドレスを示します。

表4.14.5.1 SVD回路の制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF04H	SVDCHG	SVDS2	SVDS1	SVDS0	SVDCHG	0	3.0V	1.5V	SVD電圧系選択 SVD比較電圧設定 [SVDS2-0] 0 1 2 3 4 5 6 7 レベル 0 1 2 3 4 5 6 7 (電圧値はFF50H ~ FF55Hで選択) (高)
	R/W				SVDS2	0			
					SVDS1	0			
					SVDS0	0			
FF05H	SVDS3	ESVDDT	SVDDT	SVDON	SVDS3	0	1	0	汎用レジスタ SVDDTモニタ出力キネープル(P21) SVD検出データ SVD回路On/Off
	R/W				ESVDDT	0	Enable	Disable	
					SVDDT	0	Low	Normal	
					SVDON	0	On	Off	
FF50H	S15V12	S15V115	S15V11	S15V105	S15V12	1	Enable	Disable	SVD1.5V系検出電圧選択(1.2V) SVD1.5V系検出電圧選択(1.15V) SVD1.5V系検出電圧選択(1.1V) SVD1.5V系検出電圧選択(1.05V)
	R/W				S15V115	1	Enable	Disable	
					S15V11	1	Enable	Disable	
					S15V105	1	Enable	Disable	
FF51H	S15V14	S15V135	S15V13	S15V125	S15V14	1	Enable	Disable	SVD1.5V系検出電圧選択(1.4V) SVD1.5V系検出電圧選択(1.35V) SVD1.5V系検出電圧選択(1.3V) SVD1.5V系検出電圧選択(1.25V)
	R/W				S15V135	0	Enable	Disable	
					S15V13	1	Enable	Disable	
					S15V125	1	Enable	Disable	
FF52H	S3V18	S3V17	S15V16	S15V15	S3V18	1	Enable	Disable	SVD3.0V系検出電圧選択(1.8V) SVD3.0V系検出電圧選択(1.7V) SVD1.5V系検出電圧選択(1.6V) SVD1.5V系検出電圧選択(1.5V)
	R/W				S3V17	1	Enable	Disable	
					S15V16	0	Enable	Disable	
					S15V15	1	Enable	Disable	
FF53H	S3V22	S3V21	S3V20	S3V19	S3V22	0	Enable	Disable	SVD3.0V系検出電圧選択(2.2V) SVD3.0V系検出電圧選択(2.1V) SVD3.0V系検出電圧選択(2.0V) SVD3.0V系検出電圧選択(1.9V)
	R/W				S3V21	1	Enable	Disable	
					S3V20	1	Enable	Disable	
					S3V19	1	Enable	Disable	
FF54H	S3V24	S3V235	S3V23	S3V225	S3V24	0	Enable	Disable	SVD3.0V系検出電圧選択(2.4V) SVD3.0V系検出電圧選択(2.35V) SVD3.0V系検出電圧選択(2.3V) SVD3.0V系検出電圧選択(2.25V)
	R/W				S3V235	0	Enable	Disable	
					S3V23	1	Enable	Disable	
					S3V225	0	Enable	Disable	
FF55H	S3V27	S3V265	S3V26	S3V25	S3V27	1	Enable	Disable	SVD3.0V系検出電圧選択(2.7V) SVD3.0V系検出電圧選択(2.65V) SVD3.0V系検出電圧選択(2.6V) SVD3.0V系検出電圧選択(2.5V)
	R/W				S3V265	0	Enable	Disable	
					S3V26	1	Enable	Disable	
					S3V25	0	Enable	Disable	

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

SVDCHG: SVD電圧系選択レジスタ(FF04H・D3)

電源電圧系を選択します。

"1"書き込み: 3.0V系

"0"書き込み: 1.5V系

読み出し: 可能

SVDCHGを"1"に設定すると、8レベルの比較電圧が3.0V電源用の構成となり、"0"に設定すると1.5V電源用の構成となります。

イニシャルリセット時、このレジスタは"0"に設定されます。

SVDS2 ~ SVDS0: SVD比較電圧設定レジスタ(FF04H・D2 ~ D0)

SVDの比較電圧を表4.14.2.1に示すとおり、8種類(レベル7 ~ レベル0)から選択します。

イニシャルリセット時、このレジスタは"0"に設定されます。

SVDON: SVD検出ON/OFF制御レジスタ (FF05H・D0)

SVD回路のON/OFFを制御します。

"1"書き込み: SVD回路 ON
 "0"書き込み: SVD回路 OFF
 読み出し: 可能

SVDONを"1"にセットすることによりSVD検出が行われ、SVDONを"0"にリセットした直後にSVDDTラッチへ検出結果が書き込まれます。なお、安定したSVD検出結果を得るためには、少なくとも1msec以上SVD回路をONにする必要があります。

イニシャルリセット時、このレジスタは"0"に設定されます。

SVDDT: SVD検出結果 (FF05H・D1)

SVDによる検出結果がセットされます。

"0"読み出し: 比較電圧より電源電圧 ($V_{DD} - V_{SS}$) が高い
 "1"読み出し: 比較電圧より電源電圧 ($V_{DD} - V_{SS}$) が低い
 書き込み: 無効

SVDONを"0"にした時点の検出結果を読み出すことができます。

イニシャルリセット時、SVDDTは"0"に設定されます。

ESVDDT: SVDDTモニタ出力イネーブルレジスタ (FF05H・D2)

SVDDT信号を外部出力します。

"1"書き込み: ON
 "0"書き込み: OFF
 読み出し: 可能

SVDDT信号の外部出力を行うにはI/O制御レジスタ IOC21 を"1"(出力)、データレジスタ P21 を"0"、プルダウン制御レジスタ PUL21 を"0"(OFF)に設定しておく必要があります。この状態でESVDDTレジスタに"1"を書き込むことにより、SVDDT信号 (SVDDTレジスタ値) がP21端子から出力されます。ESVDDTレジスタに"0"を書き込むと、P21端子はLOW (V_{SS}) レベルになります。

イニシャルリセット時、このレジスタは"0"に設定されます。

S15Vxx: 1.5V系検出電圧選択レジスタ (FF50H, FF51H, FF52H・D0, D1)

S3Vxx: 3.0V系検出電圧選択レジスタ (FF52H・D2, D3, FF53H, FF54H, FF55H)

SVDS2 ~ SVDS0で選択するレベル7 ~ レベル0の比較電圧を1.5V系、3.0V系それぞれ設定します。

使用する検出電圧に対応するレジスタを"1"、使用しない電圧のレジスタを"0"に設定します。"1"に設定されたレジスタの電圧値が高い値から順に比較電圧のレベル7 ~ レベル0に割り当てられます。

1.5V系、3.0V系それぞれについて必ず8値を選択してください。

イニシャルリセット時は、表4.14.2.1に示す電圧値が選択されます。

4.14.6 プログラミング上の注意事項

- (1) SVD回路はONさせてから安定した結果が得られるまでに1msecの時間を必要とします。このため、SVDONに"1"を書き込み後、1msec以上経過後にSVDONに"0"を書き込んでSVDDTを読み出してください。
- (2) SVD検出動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD検出をOFFに設定してください。
- (3) FF50H ~ FF55Hで設定する検出電圧は1.5V系、3.0V系それぞれについて必ず8値を選択してください。8値以外 (たとえば7値や10値) を選択すると誤動作するおそれがあります。

4.15 重負荷保護機能

4.15.1 重負荷保護モード

S1C63709は、外付けブザー鳴鐘時や外付けランプ点灯時など、電池の負荷が重くなり電源電圧が低下する場合に備えて重負荷保護機能を持っています。この重負荷保護機能が働いているモードを重負荷保護モードと呼びます。通常動作モードから重負荷保護モードへは、ソフトウェアでHVLDONを"1"にセットした場合に移行します。

注: 重負荷保護モードでは通常動作モードより消費電流が多くなります。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないように注意してください。

4.15.2 重負荷保護機能のI/Oメモリ

表4.15.2.1に重負荷保護機能の制御ビットとそのアドレスを示します。

表4.15.2.1 重負荷保護機能の制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF00H	HVLDON	0	0	SRPER	HVLDON	0	Enable	Disable	重負荷保護モードイネーブル
					0 *3	– *2			未使用
					0 *3	– *2			未使用
	R/W	R		R/W	SRPER	0	Reset	Invalid	周辺回路ソフトウェアリセット

- *1 イニシャルリセット時の初期値
- *2 回路上設定されない
- *3 読み出し時は常時"0"

HVLDON: 重負荷保護モード制御 (FF00H・D3)
重負荷保護モードを制御します。

- "1"書き込み: 重負荷保護モードON
- "0"書き込み: 重負荷保護モードOFF
- 読み出し: 可能

HVLDONに"1"を書き込むと重負荷保護モードになり、"0"を書き込むと通常モードに戻ります。
イニシャルリセット時、このレジスタは"0"に設定されます。

4.15.3 プログラミング上の注意事項

重負荷保護モードでは通常動作モードより消費電流が多くなります。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないように注意してください。

4.16 ソーラー機能

4.16.1 ソーラー制御回路の構成

S1C63709はソーラーウォッチに対応するため、ソーラー制御回路を内蔵しています。ソーラー制御回路は、二次電池が充電状態か否かを充電検出回路で検出し、その結果に応じてソーラーセルから二次電池への充電経路を制御します。また、二次電池電圧(VTKP)を検出し、即スタート機能の制御や過充電防止の制御を行います。ソーラー制御回路は充電制御回路を中心に以下の回路で構成されています。

- 充電検出回路
- 充電電圧(VTKP) 検出回路
- リミッタ回路
- 即スタート回路

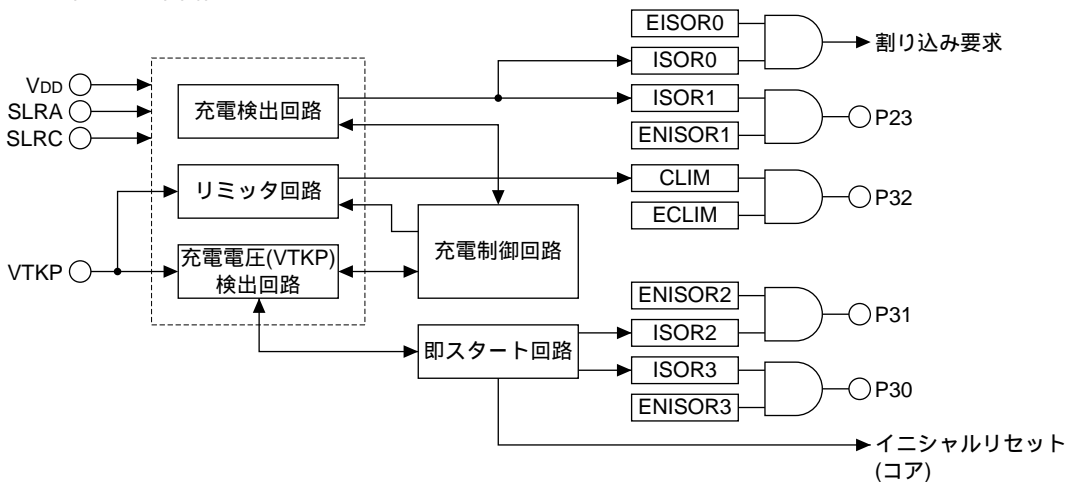


図4.16.1.1 ソーラー制御回路の構成

4.16.2 マスクオプション

(1) ソーラーの使用/未使用

マスクオプションによりソーラー機能を使用するか否かを選択可能です。

(2) リミッタ検出電圧

二次電池への過充電を防止するリミッタをONにするVTKP電圧値を、表4.16.2.1に示す9種類から選択できます。

表4.16.2.1 リミッタON電圧

No.	リミッタON電圧
1	2.1V
2	2.5V
3	2.6V
4	2.7V
5	2.8V
6	2.9V
7	3.0V
8	3.1V
9	3.2V

4.16.3 回路説明

充電検出回路

充電検出回路はSLRA端子電圧を V_{DD} 電圧と比較し、二次電池が充電中か否かを検出します。

- SLRA端子電圧 $> V_{DD}$: 充電状態
- SLRA端子電圧 $< V_{DD}$: 非充電状態

この検出結果は充電中フラグISOR1で確認できます。

充電電圧 (VTKP) 検出回路

充電電圧 (VTKP) 検出回路は、充電制御回路から2秒ごとに送られる2種類のサンプリング信号により、それぞれ即スタート解除電圧とリミットON電圧の検出を行います。それぞれの電圧値は以下のとおりです。

即スタート解除電圧: $1.0 \pm 0.08V$

リミットON電圧: 表4.16.2.1参照

即スタート解除電圧を連続して2回検出すると即スタートモードが解除され、通常モードの動作になります。通常モードに移行後に再度即スタート電圧を下回った場合には、発振検出回路により発振の停止が検出されるまで、即スタート解除電圧のサンプリングは行われません。即スタートモード中は即スタート中フラグISOR2とISOR3が"1"となり、通常モード移行時に"0"にリセットされます。

即スタート回路

即スタート機能は、充電開始後十分な充電が行われるのを待たずにICの動作を開始させる機能です。これにより、電源投入時はICが即スタートモードで動作を開始し、この状態は充電により電源電圧 (VTKP) が $1.0 \pm 0.08V$ 以上になるまで継続します。この期間中は低電圧駆動により動作が不安定になりますので、定期的に内部リセットを行って誤動作を防止しています。

電源電圧 (VTKP) が $1.0 \pm 0.08V$ 以上に上昇した場合は、通常動作が可能のため、即スタートモードを解除します。即スタート回路は、この即スタートモード中のリセット処理と即スタートモードの解除を行います。

即スタートモードの開始

電源投入後、OSC1発振回路が発振を開始すると、ICは即スタートモードで動作を開始します。即スタートモード中は即スタート中フラグISOR2とISOR3がセットされますので、ソフトウェアにより即スタートモードか否かを確認することができます。

即スタートモード中のリセット

即スタートモード中はVTKPが低電圧なため、CPUが誤動作する可能性があります。そこで、即スタート回路は16秒ごとに内部リセット信号をアクティブにしてICをリセットします。ただし、発振検出回路で発振が検出された直後は、その1秒後にリセットがかかります。

注: 即スタート中、ソフトウェアによるタイマ処理等の制御内容は、ハードウェアによって16秒ごとに強制的にイニシャライズされてしまいます。したがって、即スタート中は正確な時間を管理することはできません。

即スタートの解除

充電電圧 (VTKP) 検出回路が即スタート解除電圧 ($1.0 \pm 0.08V$) 以上を検出すると、最初の検出でISOR3 (即スタート中フラグ1) が"0"にリセットされます。この状態をさらに続けてもう一度 (連続2回) 検出すると、即スタートモードが解除され、ISOR2 (即スタート中フラグ2) が"0"にリセットされます。

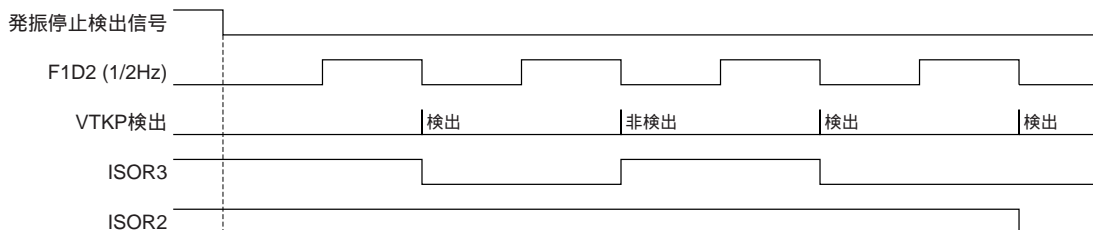


図4.16.3.1 即スタート中フラグのリセット

- 注: • ISOR3(即スタート中フラグ1)が"0"、ISOR2(即スタート中フラグ2)が"1"の状態は即スタートの解除ではありません。
- 即スタートモード中(ISOR3またはISOR2が"1"の状態)に周辺回路ソフトウェアリセット(FF00H・D0)を実行しないでください。

充電電圧(VTKP)検出回路が即スタート解除電圧($1.0 \pm 0.08\text{V}$)以上のVTKP電圧値を2回連続して検出すると、即スタートモードが解除されます(通常モードになります)。

即スタートモードが解除されると、周期的なリセット信号の発生が停止します。

一旦即スタートモードが解除されると、電源電圧が $1.0 \pm 0.08\text{V}$ 以下に低下しても、発振停止検出またはキー同時押しによってICがリセットされるか、NMIが発生するまで即スタートモードには移行しません。充電電圧(VTKP)検出回路による即スタート解除電圧の検出機能も即スタートモードの解除により停止し、発振停止検出またはキー同時押しリセット、もしくはNMIによって即スタートモードに移行するまで有効にはなりません。

注: RESET端子からのリセットでは即スタートモードには移行できません。

リミッタ回路

リミッタ回路は二次電池への過充電を防止する回路です。充電電圧(VTKP)検出回路がリミッタON電圧(表4.16.2.1参照)以上のVTKP電圧値を検出すると、リミッタ回路が動作して二次電池への充電電流の流入を阻止します。その後、VTKP電圧がリミッタON電圧以下に下がったことを充電電圧(VTKP)検出回路が検出すると、リミッタ回路は動作を停止して充電を再開させます。

リミッタ回路の動作状態はCLIMフラグ(FF2DH・D1)で確認できます。

- 充電電圧(VTKP) > リミッタON電圧の場合、CLIMフラグ = "1"
- 充電電圧(VTKP) < リミッタON電圧の場合、CLIMフラグ = "0"

4.16.4 充電中フラグとウェイクアップ割り込み機能

ソーラー制御回路は、二次電池が充電中であることを示す充電中フラグとウェイクアップ割り込み機能を持っています。

充電検出回路によって充電状態が検出されると、充電中を示すフラグISOR1が"1"にセットされ、その0.75 ~ 1秒後にウェイクアップ割り込み要因フラグISOR0が"1"にセットされます。この割り込み要因は割り込みマスクレジスタEISOR0によるマスクが可能で、"1"に設定している場合にCPUに対して割り込みが発生します。割り込みマスクレジスタを"0"に設定している場合、割り込み要因フラグは"1"にセットされますが、CPUに対する割り込みは発生しません。なお、割り込み要因フラグISOR0は"1"を書き込むことにより"0"にリセットされます。図4.16.4.1にウェイクアップ割り込みタイミングを示します。

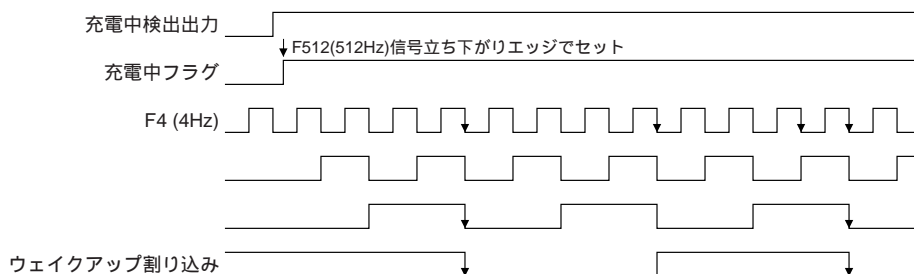


図4.16.4.1 ウェイクアップ割り込みタイミング

このウェイクアップ割り込みは、充電中フラグがセット状態を継続していれば、その後も2秒間隔で発生します。

4.16.5 ISORフラグの外部モニタ

ISOR1～ISOR3フラグの値(信号)を表4.16.5.1に示す入出力兼用ポート端子から外部に出力することができます。これにより、即スタートと充電の状態を外部でモニタすることが可能となります。

表4.16.5.1 ISOR信号出力ポートとモニタ出力イネーブルレジスタ

出力端子	フラグ信号	内 容	モニタ出力イネーブルレジスタ
P23	ISOR1	充電中フラグの状態	ENISOR1
P31	ISOR2	即スタートフラグ2の状態	ENISOR2
P30	ISOR3	即スタートフラグ1の状態	ENISOR3

信号を出力する場合は、対応するPxxポートのI/O制御レジスタ(IOCxx)を"1"(出力)、データレジスタ(Pxx)を"0"、プルダウン制御レジスタ(PULxx)を"0"(OFF)に固定し、それぞれのモニタ出力イネーブルレジスタによって信号の出力をON/OFFしてください。モニタ出力イネーブルレジスタに"1"を設定するとフラグ信号がPxx端子から出力され、"0"を設定するとPxx端子はLOW(V_{SS})レベルになります。

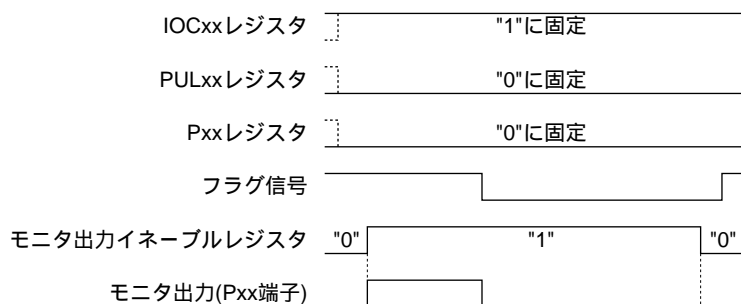


図4.16.5.1 ISOR信号の出力

4.16.6 ソーラー機能のI/Oメモリ

表4.16.6.1にソーラー機能の制御ビットとそのアドレスを示します。

表4.16.6.1 ソーラー機能の制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF09H	ENISOR3	ENISOR2	E16HZ	0	ENISOR3	0	Enable	Disable	ISOR3モニタ出力カインーブル(P30)
					ENISOR2	0	Enable	Disable	ISOR2モニタ出力カインーブル(P31)
					E16HZ	0	Enable	Disable	F16HZクロック出力カインーブル(P33)
	R/W			R	0 *3	- *2			未使用
FF2DH	ENISOR1	ECLIM	CLIM	K30	ENISOR1	0	Enable	Disable	ISOR1モニタ出力カインーブル(P23)
					ECLIM	0	Enable	Disable	CLIMモニタ出力カインーブル(P32)
					CLIM	0	On	Off	リミットレベルモニタ
	R/W			R	K30	- *2	High	Low	K30入力ポートデータ
FFECH	EISOR3	EISOR2	EISOR1	EISOR0	EISOR3	0	1	0	汎用レジスタ
					EISOR2	0	1	0	汎用レジスタ
	R/W				EISOR1	0	1	0	汎用レジスタ
					EISOR0	0	Enable	Mask	割り込みマスクレジスタ(ソーラーウェイクアップ)
FFFCH	ISOR3	ISOR2	ISOR1	ISOR0	ISOR3	- *2	Pre Q start	Normal	即スタート中フラグ1
					ISOR2	- *2	Quick start	Normal	即スタート中フラグ2
					ISOR1	- *2	Charge	Not charged	充電中フラグ
	R			R/W	ISOR0	0	(R)Yes (W)Reset	(R)No (W)Invalid	割り込み要因フラグ(ソーラーウェイクアップ)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

EISOR0: 割り込みマスクレジスタ(FFECH・D0)

ソーラー割り込みについてマスクするかしないかを選択します。

"1"書き込み: イネーブル

"0"書き込み: マスク

読み出し: 可能

EISOR0はソーラーのウェイクアップ割り込みに対応する割り込みマスクレジスタで、"1"を書き込むことにより割り込みが許可され、"0"を書き込むことにより割り込みがマスクされます。

イニシャルリセット時、このレジスタは"0"に設定されます。

ISOR0: 割り込み要因フラグ(FFFCH・D0)

ソーラー割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込みあり

"0"読み出し: 割り込みなし

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

ISOR0は充電検出回路が充電を検出し、充電中を示すフラグISOR1を"1"にセットした0.75～1秒後に"1"にセットされます。このウェイクアップ割り込みは、充電中フラグがセット状態を継続していれば、その後も2秒間隔で発生します。

なお、このフラグは割り込みマスクレジスタの設定にかかわらず、上記の条件で"1"にセットされます。

このフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(1フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、このフラグは"0"に設定されます。

ISOR1: 充電中フラグ(FFFCH・D1)
二次電池が充電中かどうかを示します。

"1"読み出し: 充電中
"0"読み出し: 非充電中
書き込み: 無効

充電検出回路によって二次電池が充電中であることが検出されると、このフラグが"1"にセットされ、充電中は"1"を保持します。充電が完了した場合など、充電動作が検出されない場合、このフラグは"0"になります。

このフラグは読み出し専用のため、書き込みは無効です。
イニシャルリセット時、このフラグは不定となります。

ISOR2: 即スタート中フラグ2(FFFCH・D2)
ICが即スタートモード中かどうかを示します。

"1"読み出し: 即スタートモード
"0"読み出し: 通常モード
書き込み: 無効

発振停止検出回路によるICのリセットが解除されると(電源電圧=0.75V)、ICは即スタートモードで実行を開始するとともに、このフラグを"1"にセットします。即スタートモード中、このフラグは"1"を保持し、充電電圧(VTKP)検出回路が即スタート解除電圧(1.0±0.08V)以上のVTKP電圧値を連続して2回検出すると、"0"にリセットされます。このフラグが"0"の場合、ICは通常モードで動作しています。

このフラグは読み出し専用のため、書き込みは無効です。
イニシャルリセット時、このフラグは不定となります。

ISOR3: 即スタート中フラグ1(FFFCH・D3)
ICが即スタートモード中かどうかを示します。

"1"読み出し: 即スタートモード
"0"読み出し: 通常モード、または即スタートモード中に即スタート解除電圧を検出
書き込み: 無効

発振停止検出回路によるICのリセットが解除されると(電源電圧=0.75V)、ICは即スタートモードで実行を開始するとともに、このフラグを"1"にセットします。即スタートモード中、このフラグは"1"を保持し、充電電圧(VTKP)検出回路が即スタート解除電圧(1.0±0.08V)以上のVTKP電圧値を1回検出すると、"0"にリセットされます。

このフラグは読み出し専用のため、書き込みは無効です。
イニシャルリセット時、このフラグは不定となります。

ENISOR1: ISOR1モニタ出力カインーブルレジスタ(FF2DH・D3)
ENISOR2: ISOR2モニタ出力カインーブルレジスタ(FF09H・D2)
ENISOR3: ISOR3モニタ出力カインーブルレジスタ(FF09H・D3)
ISOR1～ISOR3信号を外部出力します。

"1"書き込み: ON
"0"書き込み: OFF
読み出し: 可能

ISOR1、ISOR2、ISOR3フラグ信号をそれぞれP23、P31、P30ポートから出力することができます。この外部出力を行うには対応するポートのI/O制御レジスタ(IOCxx)を"1"(出力)、データレジスタ(Pxx)を"0"、プルダウン制御レジスタ(PULxx)を"0"(OFF)に設定しておく必要があります。この状態でENISORxレジスタに"1"を書き込むことにより、ISORx信号がPxx端子から出力されます。ENISORxレジスタに"0"を書き込むと、Pxx端子はLOW(Vss)レベルになります。

イニシャルリセット時、このレジスタは"0"に設定されます。

CLIM: 過充電ステータスレジスタ(FF2DH・D1)

ソーラー充電制御回路の充電状態を示します。

"1"読み出し: 過充電状態(リミットON)
 "0"読み出し: 非過充電状態(リミットOFF)
 書き込み: 無効

このレジスタにより、ソーラー充電制御回路の過充電状態を監視することができます。
 イニシャルリセット時、このレジスタは"0"に設定されます。

ECLIM: CLIMモニタ出力イネーブルレジスタ(FF2DH・D2)

CLIM信号を外部出力します。

"1"書き込み: ON
 "0"書き込み: OFF
 読み出し: 可能

CLIM信号の外部出力を行うにはI/O制御レジスタ(IOC32)を"1"(出力)、データレジスタ(P32)を"0"、プルダウン制御レジスタ(PUL32)を"0"(OFF)に設定しておく必要があります。この状態でECLIMレジスタに"1"を書き込むことにより、CLIM信号(CLIMレジスタ値)がP32端子から出力されます。ECLIMレジスタに"0"を書き込むと、P32端子はLOW(V_{SS})レベルになります。
 イニシャルリセット時、このレジスタは"0"に設定されます。

4.16.7 プログラミング上の注意事項

- (1)即スタート中、ソフトウェアによるタイマ処理等の制御内容は、ハードウェアによって16秒ごとに強制的にイニシャライズされてしまいます。したがって、即スタート中は正確な時間を管理することはできません。
- (2)割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- (3)即スタートモード中(ISOR3またはISOR2が"1"の状態)に周辺回路ソフトウェアリセット(FF00H・D0)を実行しないでください。

4.17 割り込みとHALT

<割り込みの種類>

S1C63709には以下の8種類の割り込みが設定されています。

外部割り込み	• 入力割り込み	(2系統)
内部割り込み	• ウォッチドッグタイマ割り込み	(NMI、1系統)
	• ソーラー割り込み	(1系統)
	• プログラマブルタイマ割り込み	(3系統)
	• シリアルインタフェース割り込み	(1系統)
	• モータ割り込み	(2系統)
	• 計時タイマ割り込み	(7系統)
	• ストップウォッチタイマ割り込み	(4系統)

割り込みを許可するためにはインタラプトフラグを"1"にセット(EI)し、あわせて必要な系統の割り込みマスクレジスタも"1"にセット(イネーブル)する必要があります。

割り込みが発生するとインタラプトフラグは自動的に"0"にリセット(DI)され、以後の割り込みは禁止されます。

ウォッチドッグタイマ割り込みはNMI(ノンマスクابل割り込み)のため、インタラプトフラグの設定にかかわらず、割り込みが発生します。このため、割り込みマスクレジスタも用意されていません。ただし、ウォッチドッグタイマはソフトウェアにより動作を停止させることができますので、NMIを発生させないようにすることができます。

図4.17.1に割り込み回路の構成を示します。

注: イニシャルリセット時、NMIを含むすべての割り込みはスタックポインタSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み(NMIを含む)は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

<HALT>

S1C63709は必要なとき以外の消費電流を大幅に低減させるHALT機能を持っています。

CPUはHALT命令が入力されるとHALT状態に入り、CPUの動作を停止します。ただし、発振回路は動作していますので、タイマのカウント等は継続して行われます。

CPUのHALT状態からの再起動はNMIを含むハードウェア割り込み要求が発生することにより行われます。

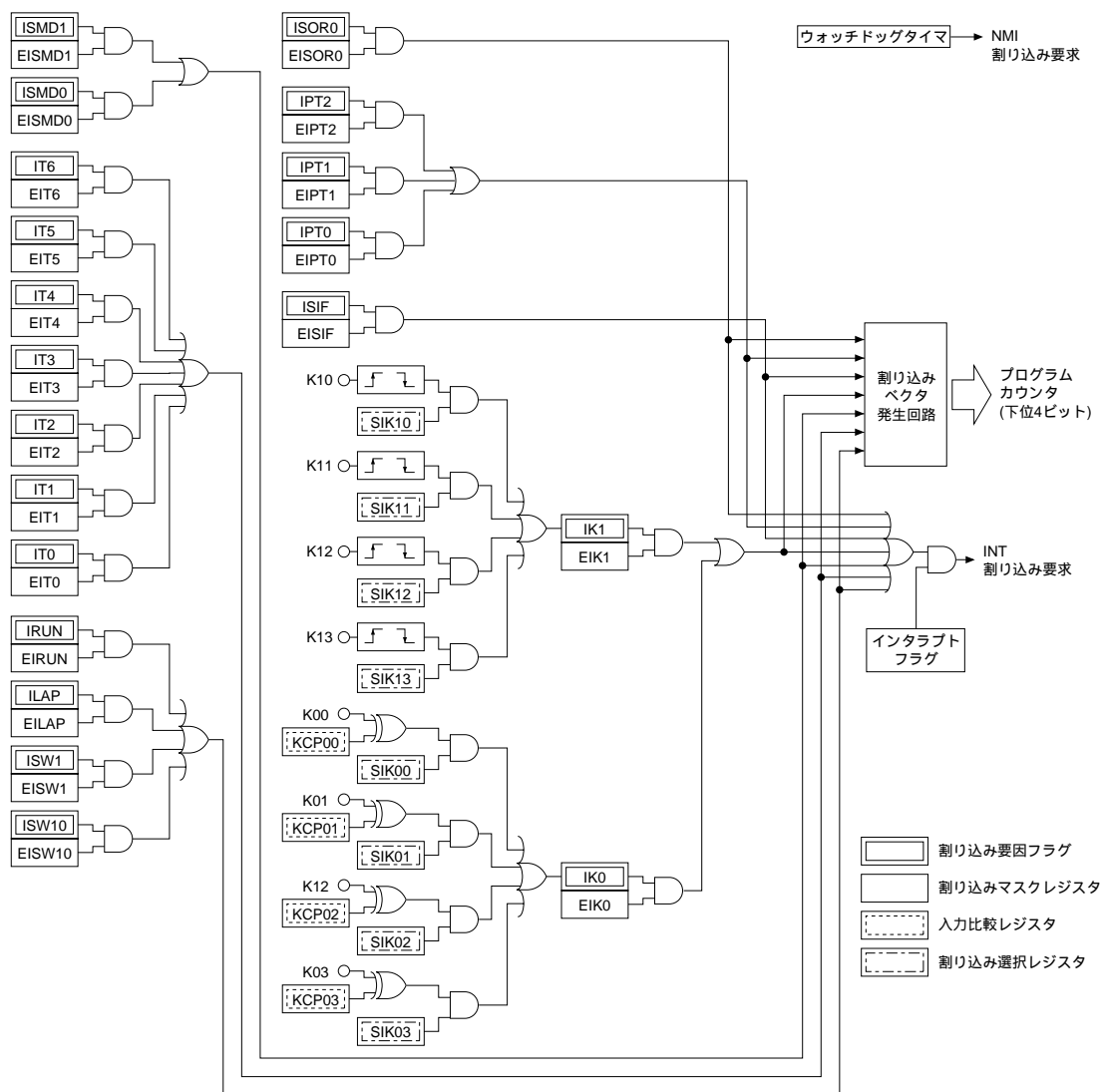


図4.17.1 割り込み回路の構成

4.17.1 割り込みの要因

割り込み要求が発生する要因を表4.17.1.1に示します。

各々の割り込み要因により、対応する割り込み要因フラグが"1"にセットされます。

CPUに対する割り込みは、以下の条件が成立している場合に割り込み要因フラグが"1"にセットされたときに発生します。

- 対応する割り込みマスクレジスタが"1"(イネーブル)
- インタラプトフラグが"1"(EI)

割り込み要因フラグは"1"書き込みにより"0"にリセットされます。

イニシャルリセット時、割り込み要因フラグは"0"にリセットされます。

* ウォッチドッグタイマはNMIのため、上記の条件とは無関係に割り込みが発生します。割り込み要因フラグも用意されていません。

表4.17.1.1 割り込み要因

割り込み要因	割り込み要因フラグ
ソーラー(ウェイクアップ)	ISOR0 (FFFCH・D0)
プログラマブルタイマ2(カウンタ=0)	IPT2 (FFF1H・D2)
プログラマブルタイマ1(カウンタ=0)	IPT1 (FFF1H・D1)
プログラマブルタイマ0(カウンタ=0)	IPT0 (FFF1H・D0)
シリアルインタフェース(データ8ビット入出力終了)	ISIF (FFF2H・D0)
K00~K03入力(立ち下がりまたは立ち上がりエッジ)	IK0 (FFF3H・D0)
K10~K13入力(立ち下がりまたは立ち上がりエッジ)	IK1 (FFF4H・D0)
モータ1(モータパルスカウンタ=0)	ISMD1 (FFF8H・D1)
モータ0(モータパルスカウンタ=0)	ISMD0 (FFF8H・D0)
計時タイマ128Hz(立ち下がりエッジ)	IT6 (FFF9H・D2)
計時タイマ64Hz(立ち下がりエッジ)	IT5 (FFF9H・D1)
計時タイマ16Hz(立ち下がりエッジ)	IT4 (FFF9H・D0)
計時タイマ1Hz(立ち下がりエッジ)	IT3 (FFF5H・D3)
計時タイマ2Hz(立ち下がりエッジ)	IT2 (FFF5H・D2)
計時タイマ8Hz(立ち下がりエッジ)	IT1 (FFF5H・D1)
計時タイマ32Hz(立ち下がりエッジ)	IT0 (FFF5H・D0)
ストップウォッチタイマ(ダイレクトRUN)	IRUN (FFF6H・D3)
ストップウォッチタイマ(ダイレクトLAP)	ILAP (FFF6H・D2)
ストップウォッチタイマ(1Hz)	ISW1 (FFF6H・D1)
ストップウォッチタイマ(10Hz)	ISW10 (FFF6H・D0)

注: 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.17.2 割り込みの個別マスク

割り込み要因フラグは、対応する割り込みマスクレジスタによりマスクできます。

割り込みマスクレジスタは読み出し/書き込みが可能なレジスタであり、"1"書き込みでイネーブル(割り込み許可)、"0"書き込みでマスク(割り込み禁止)となります。

イニシャルリセット時、割り込みマスクレジスタは"0"にリセットされます。

表4.17.2.1に割り込みマスクレジスタと割り込み要因フラグの対応を示します。

表4.17.2.1 割り込みマスクレジスタと割り込み要因フラグ

割り込みマスクレジスタ		割り込み要因フラグ	
EISOR0	(FFECH•D0)	ISOR0	(FFFCH•D0)
EIPT2	(FFE1H•D2)	IPT2	(FFF1H•D2)
EIPT1	(FFE1H•D1)	IPT1	(FFF1H•D1)
EIPT0	(FFE1H•D0)	IPT0	(FFF1H•D0)
EISIF	(FFE2H•D0)	ISIF	(FFF2H•D0)
EIK0	(FFE3H•D0)	IK0	(FFF3H•D0)
EIK1	(FFE4H•D0)	IK1	(FFF4H•D0)
EISMD1	(FFE8H•D1)	ISMD1	(FFF8H•D1)
EISMD0	(FFE8H•D0)	ISMD0	(FFF8H•D0)
EIT6	(FFE9H•D2)	IT6	(FFF9H•D2)
EIT5	(FFE9H•D1)	IT5	(FFF9H•D1)
EIT4	(FFE9H•D0)	IT4	(FFF9H•D0)
EIT3	(FFE5H•D3)	IT3	(FFF5H•D3)
EIT2	(FFE5H•D2)	IT2	(FFF5H•D2)
EIT1	(FFE5H•D1)	IT1	(FFF5H•D1)
EIT0	(FFE5H•D0)	IT0	(FFF5H•D0)
EIRUN	(FFE6H•D3)	IRUN	(FFF6H•D3)
EILAP	(FFE6H•D2)	ILAP	(FFF6H•D2)
EISW1	(FFE6H•D1)	ISW1	(FFF6H•D1)
EISW10	(FFE6H•D0)	ISW10	(FFF6H•D0)

4.17.3 割り込みベクタ

CPUに割り込み要求が入力されると、CPUは割り込み処理を開始します。

割り込み処理は実行中のプログラムの終了後、以下の手順で行われます。

1. フラグレジスタを退避後、Iフラグをリセット
2. 次に実行すべきプログラムのアドレスデータ(プログラムカウンタの値)をスタック領域(RAM)に退避
3. 割り込み要求による割り込みベクタの値(0100H ~ 010EH)をプログラムカウンタにセット
4. 指定されたアドレスのプログラムを実行(ソフトウェアによる割り込み処理ルーチンの実行)

表4.17.3.1に割り込み要求と割り込みベクタの対応を示します。

表4.17.3.1 割り込み要求と割り込みベクタ

割り込みベクタ	割り込み要因	優先順位
0100H	ウォッチドッグタイマ	高い ↑
0102H	ソーラー	
0104H	プログラマブルタイマ	
0106H	シリアルインタフェース	
0108H	K0, K1入力	
010AH	モータ	↓ 低い
010CH	計時タイマ	
010EH	ストップウォッチタイマ	

プログラムカウンタ(PC)の下位4ビットが割り込み要求による間接アドレス指定となります。

4.17.4 割り込みのI/Oメモリ

表4.17.4.1に割り込みに関する制御ビットとそのアドレスを示します。

表4.17.4.1(a) 割り込みの制御ビット

アドレス	レジスタ				Name	Init *1	1 0		注 釈
	D3	D2	D1	D0					
FF20H	SIK03	SIK02	SIK01	SIK00	SIK03	0	Enable	Disable	K00 ~ K03割り込み選択レジスタ
					SIK02	0	Enable	Disable	
	R/W				SIK01	0	Enable	Disable	
					SIK00	0	Enable	Disable	
FF22H	KCP03	KCP02	KCP01	KCP00	KCP03	0			K00 ~ K03入力比較レジスタ
					KCP02	0			
	R/W				KCP01	0			
					KCP00	0			
FF24H	SIK13	SIK12	SIK11	SIK10	SIK13	0	Enable	Disable	K10 ~ K13割り込み選択レジスタ
					SIK12	0	Enable	Disable	
	R/W				SIK11	0	Enable	Disable	
					SIK10	0	Enable	Disable	
FFE1H	0	EIPT2	EIPT1	EIPT0	0 *3	- *2			未使用
	R	R/W			EIPT2	0	Enable	Mask	割り込みマスクレジスタ(プログラマブルタイマ2)
					EIPT1	0	Enable	Mask	割り込みマスクレジスタ(プログラマブルタイマ1)
					EIPT0	0	Enable	Mask	割り込みマスクレジスタ(プログラマブルタイマ0)
FFE2H	0	0	0	EISIF	0 *3	- *2			未使用
	R	R/W			0 *3	- *2			未使用
					0 *3	- *2			未使用
					EISIF	0	Enable	Mask	割り込みマスクレジスタ(シリアルI/F)
FFE3H	0	0	0	EIK0	0 *3	- *2			未使用
	R	R/W			0 *3	- *2			未使用
					0 *3	- *2			未使用
					EIK0	0	Enable	Mask	割り込みマスクレジスタ(K00 ~ K03)
FFE4H	0	0	0	EIK1	0 *3	- *2			未使用
	R	R/W			0 *3	- *2			未使用
					0 *3	- *2			未使用
					EIK1	0	Enable	Mask	割り込みマスクレジスタ(K10 ~ K13)
FFE5H	EIT3	EIT2	EIT1	EIT0	EIT3	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ1Hz)
					EIT2	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ2Hz)
	R/W				EIT1	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ8Hz)
					EIT0	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ32Hz)
FFE6H	EIRUN	EILAP	EISW1	EISW10	EIRUN	0	Enable	Mask	割り込みマスクレジスタ(SWダイレクトRUN)
					EILAP	0	Enable	Mask	割り込みマスクレジスタ(SWダイレクトLAP)
	R/W				EISW1	0	Enable	Mask	割り込みマスクレジスタ(ストップウォッチタイマ1Hz)
					EISW10	0	Enable	Mask	割り込みマスクレジスタ(ストップウォッチタイマ10Hz)
FFE8H	0	0	EISMD1	EISMD0	0 *3	- *2			未使用
	R	R/W			0 *3	- *2			未使用
					EISMD1	0	Enable	Mask	割り込みマスクレジスタ(モータドライバ1)
					EISMD0	0	Enable	Mask	割り込みマスクレジスタ(モータドライバ0)
FFE9H	0	EIT6	EIT5	EIT4	0 *3	- *2			未使用
	R	R/W			EIT6	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ128Hz)
					EIT5	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ64Hz)
					EIT4	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ16Hz)
FFECH	EISOR3	EISOR2	EISOR1	EISOR0	EISOR3	0	1	0	汎用レジスタ
					EISOR2	0	1	0	汎用レジスタ
	R/W				EISOR1	0	1	0	汎用レジスタ
					EISOR0	0	Enable	Mask	割り込みマスクレジスタ(ソーラーウェイクアップ)
FFF1H	0	IPT2	IPT1	IPT0	0 *3	- *2	(R)	(R)	未使用
	R	R/W			IPT2	0	Yes	No	割り込み要因フラグ(プログラマブルタイマ2)
					IPT1	0	(W)	(W)	割り込み要因フラグ(プログラマブルタイマ1)
					IPT0	0	Reset	Invalid	割り込み要因フラグ(プログラマブルタイマ0)
FFF2H	0	0	0	ISIF	0 *3	- *2	(R)	(R)	未使用
	R	R/W			0 *3	- *2	Yes	No	未使用
					0 *3	- *2	(W)	(W)	未使用
					ISIF	0	Reset	Invalid	割り込み要因フラグ(シリアルI/F)

*1 イニシャルリセット時の初期値 *2 回路上設定されない *3 読み出し時は常時"0"

表4.17.4.1(b) 割り込みの制御ビット

アドレス	レジスタ				注 釈			
	D3	D2	D1	D0	Name	Init *1	1	0
FFF3H	0	0	0	IK0	0 *3	– *2	(R)	(R)
					0 *3	– *2	Yes	No
					0 *3	– *2	(W)	(W)
					IK0	0	Reset	Invalid
FFF4H	0	0	0	IK1	0 *3	– *2	(R)	(R)
					0 *3	– *2	Yes	No
					0 *3	– *2	(W)	(W)
					IK1	0	Reset	Invalid
FFF5H	IT3	IT2	IT1	IT0	IT3	0	(R)	(R)
					IT2	0	Yes	No
					IT1	0	(W)	(W)
					IT0	0	Reset	Invalid
FFF6H	IRUN	ILAP	ISW1	ISW10	IRUN	0	(R)	(R)
					ILAP	0	Yes	No
					ISW1	0	(W)	(W)
					ISW10	0	Reset	Invalid
FFF8H	0	0	ISMD1	ISMD0	0 *3	– *2	(R)	(R)
					0 *3	– *2	Yes	No
					ISMD1	0	(W)	(W)
					ISMD0	0	Reset	Invalid
FFF9H	0	IT6	IT5	IT4	0 *3	– *2	(R)	(R)
					IT6	0	Yes	No
					IT5	0	(W)	(W)
					IT4	0	Reset	Invalid
FFFCH	ISOR3	ISOR2	ISOR1	ISOR0	ISOR3	– *2	Pre Q start	Normal
					ISOR2	– *2	Quick start	Normal
					ISOR1	– *2	Charge	Not charged
					ISOR0	0	(R)Yes (W)Reset	(R)No (W)Invalid

*1 イニシャルリセット時の初期値 *2 回路上設定されない *3 読み出し時は常時"0"

EISOR0: 割り込みマスクレジスタ(FFECH・D0)

ISOR0: 割り込み要因フラグ(FFFCH・D0)

..."4.16 ソーラー機能"参照

EIPT2, EIPT1, EIPT0: 割り込みマスクレジスタ(FFE1H・D2, D1, D0)

IPT2, IPT1, IPT0: 割り込み要因フラグ(FFF1H・D2, D1, D0)

..."4.9 プログラマブルタイマ"参照

EISIF: 割り込みマスクレジスタ(FFE2H・D0)

ISIF: 割り込み要因フラグ(FFF2H・D0)

..."4.10 シリアルインタフェース"参照

KCP03 ~ KCP00: 入力比較レジスタ(FF22H)

SIK03 ~ SIK00, SIK13 ~ SIK10: 割り込み選択レジスタ(FF20H, FF24H)

EIK0, EIK1: 割り込みマスクレジスタ(FFE3H・D0, FFE4H・D0)

IK0, IK1: 割り込み要因フラグ(FFF3H・D0, FFF4H・D0)

..."4.4 入力ポート"参照

EISMD1, EISMD0: 割り込みマスクレジスタ(FFE8H・D1, D0)

ISMD1, ISMD0: 割り込み要因フラグ(FFF8H・D1, D0)

..."4.12 モータ制御回路"参照

EIT6 ~ EIT4, EIT3 ~ EIT0: 割り込みマスクレジスタ(FFE9H・D2 ~ D0, FFE5H)

IT6 ~ IT4, IT3 ~ IT0: 割り込み要因フラグ(FFF9H・D2 ~ D0, FFF5H)

..."4.7 計時タイマ"参照

EIRUN, EILAP, EISW1, EISW10: 割り込みマスクレジスタ(FFE6H)

IRUN, ILAP, ISW1, ISW10: 割り込み要因フラグ(FFF6H)

..."4.8 ストップウォッチタイマ"参照

4.17.5 プログラミング上の注意事項

- (1) 各割り込み要因フラグは、各割り込みマスクレジスタを"0"に設定していても、割り込み条件成立によりセットされます。
- (2) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- (3) イニシャルリセット時、NMIを含むすべての割り込みはスタックポインタSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み(NMIを含む)は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

5 注意事項のまとめ

5.1 低消費電流化のための注意事項

S1C63709は、低消費電流化のため回路系ごとに制御レジスタを持っています。

この制御レジスタにより必要最小限の回路系を動作させるプログラムとすることで、低消費電流化が実現できます。

以下に動作を制御できる回路系とその制御レジスタ等を説明しますので、プログラムを組む上で参考としてください。

表5.1.1 回路系と制御レジスタ

回路系(および項目)	制御レジスタ等
CPU	HALT命令
CPU動作周波数	CLKCHG, OSCC
LCD系電圧回路	LPWR
SVD回路	SVDON
重負荷保護機能	HVLDON

消費電流については"7 電気的特性"を参照してください。

イニシャルリセット時の各回路系の状態は以下のとおりです。

CPU: 動作状態

CPU動作周波数: 低速側(CLKCHG = "0")
OSC3発振回路停止状態(OSCC = "0")

LCD系電圧回路: OFF状態(LPWR = "0")

SVD回路: OFF状態(SVDON = "0")

重負荷保護機能: OFF状態(HVLDON = "0")

5.2 個別機能についての注意事項のまとめ

以下に各機能の注意事項を個別にまとめます。内容に十分留意した上でプログラミングを行ってください。

メモリ、スタック

- (1) メモリマップの未使用領域にはメモリが実装されていません。また、周辺I/O領域にも非実装領域、未使用(アクセス禁止)領域が存在します。これらの領域をアクセスするようなプログラムを作成した場合は、正常な動作を保証することはできません。
周辺I/O領域については表4.1.1に示すI/Oメモリマップを参照してください。
- (2) データメモリの一部をサブルーチンコールやレジスタ退避時のスタック領域としても使用しますので、データ領域とスタック領域が重ならないように注意してください。
- (3) S1C63000コアCPUは、4ビットデータ用スタックポインタ(SP2)および16ビットデータ用スタックポインタ(SP1)によりスタック処理を行います。SP1によるスタック処理では16ビットデータアクセスが行われますので、このスタック領域の設定は4ビット/16ビットアクセスが可能な領域内(0100H~01FFH)で行ってください。スタックポインタは、SP1が0000H~03FFH、SP2が0000H~00FFHの範囲でサイクリックに動作します。このため、SP1はS1C63709の4ビット/16ビットアクセス領域を外れた0200H以上、あるいは00FFH以下の領域にも設定される可能性がありますので注意してください。SP1によるスタック操作以外のメモリアクセスは4ビットデータアクセスとなります。
また、イニシャルリセット時は、スタックポインタSP1、SP2の両方がソフトウェアで設定されるまでNMIを含むすべての割り込みがマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまでNMIを含む割り込みは再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

ウォッチドッグタイマ

ウォッチドッグタイマを使用する場合、3秒周期以内にソフトウェアでウォッチドッグタイマをリセットする必要があります。イニシャルリセットによりウォッチドッグタイマは動作状態に設定されますので、使用しない場合は割り込み(NMI)発生前にウォッチドッグタイマをディセーブル(使用しない)に設定してください。

発振回路

- (1) OSC3発振回路がONしてから発振が安定するまでに、5msec以上を必要とします。したがって、CPUの動作クロックをOSC1からOSC3に切り換える際は、OSC3発振ONの後、5msec以上経過してから行ってください。また、発振安定時間は外付け発振子の特性および使用条件等により異なりますので、十分マージンを取って待ち時間を設定してください。
- (2) OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々のインストラクションで行ってください。1インストラクションで、同時に処理するとCPUの誤動作につながります。
- (3) 即スタートモードでは、OSC3クロックの使用を禁止します。

入力ポート

- (1) 入力ポートをHIGHレベルからプルダウン抵抗でLOWレベルに変化させる場合、プルダウン抵抗と入力ゲート容量の積定数によって波形立ち下がりに遅延が生じます。このため、入力ポートの取り込みを行う際は、適切な待ち時間を設定してください。
特に、キーマトリクス構成時のキースキャン等に注意が必要です。
この待ち時間は次の式で算出される時間以上としてください。
$$10 \times (\alpha \text{ 端子容量} 5\text{pF} + \text{寄生容量} \text{pF}) \times R \text{ (プルダウン抵抗} 300\text{k}\Omega \text{ Max.)}$$
- (2) K0入力割り込みプログラミング上の注意
入力割り込みを使用する場合、割り込み入力となる入力端子の値がアクティブ状態のときに割り込み選択レジスタの内容を書き換えると、入力割り込みの要因フラグがセットされることがあります。ここで、入力割り込みを使用した場合の入力端子のアクティブ状態とは、
立ち下がりがエッジで割り込みがかかる場合: 入力端子=LOW状態
立ち上がりがエッジで割り込みがかかる場合: 入力端子=HIGH状態
をいいます。

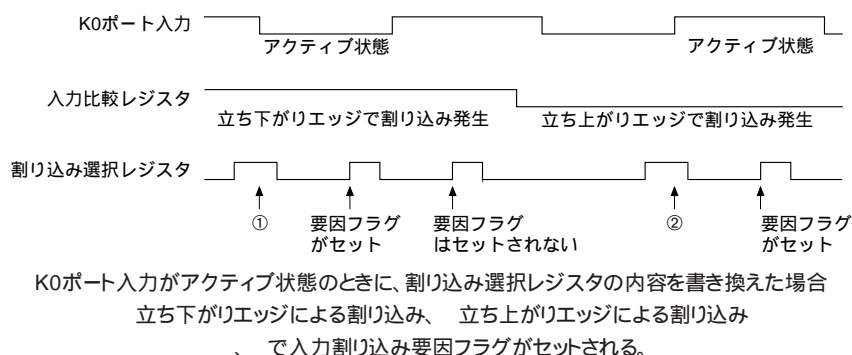


図5.2.1 入力割り込みタイミング

入力端子の立ち下がりエッジで割り込みをかける場合、図5.2.1のタイミングで要因フラグがセットされますが、入力端子をLOW状態に保ったまま割り込み選択レジスタの内容をクリアして次にセットすると、セットしたタイミングで再び入力割り込みの要因フラグがセットされます。したがって、この場合立ち下がりエッジ以外で要因フラグがセットされないようにするために、入力端子がアクティブ状態（LOW状態）のときは割り込み選択レジスタの書き換え（割り込み選択レジスタのクリア セット）を行わないでください。割り込み選択レジスタをクリアした後セットする場合は、入力端子がアクティブでない状態（HIGH状態）のときに、割り込み選択レジスタをセットしてください。入力端子の立ち上がりエッジで割り込みをかける場合、図5.2.1のタイミングで要因フラグがセットされます。この場合、割り込み選択レジスタをクリア セットするときは、入力端子がLOW状態のときに割り込み選択レジスタをセットしてください。

また、割り込み選択レジスタ="1"かつ入力端子がアクティブ状態で入力比較レジスタの内容を書き換えると、入力割り込み要因フラグがセットされることがあります。入力比較レジスタの内容の書き換えは、マスクレジスタ="0"の状態で行ってください。

入力サンプリング回路をOFFした場合のK12、K13ポートについても同様です。入力端子がアクティブ状態（HIGH状態）のときは、割り込み選択レジスタの書き換え（割り込み選択レジスタのクリア セット）を行わないでください。

入出力兼用ポート

- (1) 入力モード時にポートの入力をHIGHレベルからプルダウン抵抗でLOWレベルに変化させる場合、プルダウン抵抗と入力ゲート容量の積定数によって波形立ち下がり遅延が生じます。このため、入力データの取り込みを行う際は、適切な待ち時間を設定してください。
特に、キーマトリクス構成時のキースキャン等に注意が必要です。
この待ち時間は次の式で算出される時間以上としてください。
 $10 \times C \text{ (端子容量5pF + 寄生容量?pF)} \times R \text{ (プルダウン抵抗300k}\Omega \text{ Max.)}$
- (2) Pxx端子を特殊出力に使用する場合でも、I/O制御レジスタ、データレジスタおよびプルダウン制御レジスタは有効です。Pxx端子から不要な出力が行われないように、I/O制御レジスタ IOCxx を"1"、データレジスタ Pxx を"0"、プルダウン制御レジスタ PULxx を"0"に固定し、変更しないでください。
- (3) TOUT信号、FOUT信号、F16HZ信号のON/OFF時は、出力波形にハザードが出る場合があります。
- (4) FOUT信号の周波数としてfosc3を選択した場合は、信号出力前にOSC3発振回路の制御が必要です。制御方法と注意事項については"4.3 発振回路"を参照してください。

LCDドライバ

イニシャルリセット時、表示メモリの内容は不定となり LC3 ~ LC α LCDコントラスト 00000Bとなりますので、ソフトウェアにより初期化する必要があります。また、表示もすべてOFFとなるように各レジスタ LPWR、ALOFF が設定されますので注意してください。

計時タイマ

データの読み出しは必ず下位データ (TM0 ~ TM3) から先に行ってください。

ストップウォッチタイマ

- (1) ストップウォッチタイマのリセット後、割り込み要因フラグをリセットしてください。
- (2) データの読み出しは必ずSWD0 ~ 3 → SWD4 ~ 7 → SWD8 ~ 11の順に行ってください。
- (3) LAP入力によってホールドされたデータを読み出した場合は、SWD8 ~ 11の読み出しの後にキャプチャ更新フラグCRNWFの読み出しを行ってデータが更新されていないか確認してください。
- (4) 1Hzの割り込み処理よりLAP入力などの処理を優先する場合には、処理前にラップデータ桁上げ要求フラグLCURFの読み出しを行って桁上げが必要か確認してください。

プログラマブルタイマ

- (1) カウンタデータの読み出しは必ず下位4ビット (PTDx0 ~ PTDx3) から先に行ってください。また、下位4ビット (PTDx0 ~ PTDx3) と上位4ビット (PTDx4 ~ PTDx7) の読み出しの時間差は0.73msec ($f_{osc1} = 32.768\text{kHz}$ の場合) 以下としてください。
16ビットタイマのカウンタデータは、必ず次の順序で読み出してください。
PTD00 ~ PTD03 → PTD04 ~ PTD07 → PTD10 ~ PTD13 → PTD14 ~ PTD17
- (2) プログラマブルタイマはレジスタPTRUNxへの書き込みに対して、入力クロックの立ち下がりがエッジに同期して実際にRUN/STOP状態となります。したがって、PTRUNxに"0"を書き込んだ場合は、"-1"余分にカウントしたところでタイマが停止状態となります。また、このときPTRUNxは実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。

図5.2.2にRUN/STOP制御のタイミングチャートを示します。

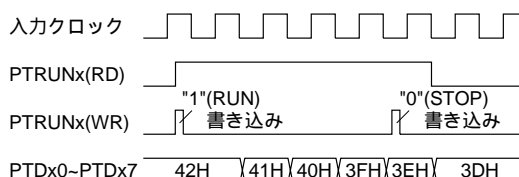


図5.2.2 RUN/STOP制御のタイミングチャート

なお、これについてはイベントカウンタも対象となるため、RUN/STOPレジスタ (PTRUN0) を設定後にクロック入力がない場合、カウンタ回路は実際にはRUN/STOP状態になりませんので注意してください。

- (3) TOUT信号は出力制御レジスタPTOUTとは非同期に発生しますので、PTOUTの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- (4) OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3発振回路をONさせる必要があります。ただし、OSC3発振回路をONしてから発振が安定するまでに5msec以上の時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ON後、十分な待ち時間をおいてから行ってください。OSC3の制御方法と注意事項については"4.3 発振回路"を参照してください。イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。
- (5) プログラマブルタイマ動作中にプログラマブルタイマ割り込み発生間隔を変更する場合、以下の理由によりリロードデータを書き込むタイミングに注意が必要です。
プログラマブルタイマは入力クロックの立ち下がりがエッジでダウンカウントを行い、そこでアンダーフローが発生した場合は同時に割り込みを発生します。その後、リロードデータをカウンタにセットする動作を開始し、入力クロックの次の立ち上がりエッジでカウンタデータが確定します(この区間)。

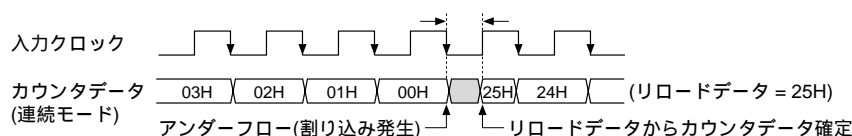


図5.2.3 プログラマブルタイマリロードタイミング

リロードデータを正しくカウンタにセットするために、割り込み発生後は の区間を含め、カウンタデータが確定するまではリロードデータの書き換えを行わないでください。入力クロックの源振にOSC1(低速クロック)を使用し、CPUがOSC3(高速クロック)で動作している場合は、特に注意が必要です。

シリアルインタフェース

- (1) データレジスタSD0～SD7への書き込み、または読み出しはシリアルインタフェースが停止中(同期クロックが入力/出力されていない状態)のときのみ行ってください。
- (2) シリアルインタフェースの起動はトリガ条件として、SCTRGに"1"を書き込む以前に、データレジスタSD0～SD7の書き込み/読み出しが行われている必要があります。(データレジスタSD0～SD7への書き込み/読み出しにより、シリアルインタフェースの内部回路は初期化されます。また、トリガをかける前に必ずESIFでシリアルインタフェースをイネーブルとしておいてください。
トリガはシリアルインタフェースをRUN状態にすることに一度だけ与えてください。また、同期クロックSCLKが外部クロックの場合は、トリガ後に外部クロックの入力を開始してください。
- (3) SDPIによる入出力順列(MSB先頭/LSB先頭)の設定は、SD0～SD7にデータを設定する前に行ってください。
- (4) プログラマブルタイマの出力クロックを同期クロックとして使用する場合、またはスレープモードで使用する場合、同期クロックの周波数は最大1MHzに制限されますので注意してください。

サウンドジェネレータ

- (1) P40をBZ出力ポートとして使用する場合、I/O制御レジスタ(IOC40)は"1"(出力)、データレジスタ(P40)は"0"、プルダウン制御レジスタ(PUL40)は"0"(OFF)に固定してください。
- (2) ブザー信号はBZEレジスタとは非同期に発生していますので、BZEレジスタの設定による信号のON/OFF時にハザードを生じる場合があります。
- (3) 1ショット出力は通常のブザー出力がOFF(BZE="0")の状態でのみ有効で、ON(BZE="1")状態でのトリガは無効となります。

モータ制御回路

- (1) モータドライバ0は2種類の駆動方式(早送り正転/逆転駆動、固定駆動)に対応しており、制御もそれぞれ異なるレジスタによって行います。異なる駆動波形が同時に出力されることのないように、制御には注意してください。
- (2) 早送り駆動を中止する場合は必ず一時停止(MxENM="0")してからモータパルスカウンタをクリアしてください。駆動中のクリアは誤動作の原因になります。
- (3) 早送り駆動パルスの合計時間(P1+Pr、G1+G2+G3+Gr)がモータクロック周期を越えると正常に動作しません。必ず、モータクロック周期未満となるように設定してください。
- (4) P1パルスとPrパルスの合計時間がモータクロック周期を越えている場合、次のモータクロック出力タイミングの前に強制的にPrパルス出力が終了となります。この場合、Pr出力強制終了時の駆動波形にハザードが出ますので、P1パルスとPrパルスは必ずモータクロック周期未満となるように設定してください。P1とPrパルスの指定がモータクロック周期を越えた場合に実際に設定されるパルス全体長(パルス出力開始からPrパルス出力を強制終了するまでの時間)は以下のとおりです。

表5.2.1 Prパルス強制終了時の駆動パルス出力時間

モータクロック	強制終了条件	駆動パルス出力時間
128Hz	$[P1+Pr] > 7.324\text{msec}$	7.568msec
85.3Hz	$[P1+Pr] > 11.230\text{msec}$	11.475msec
64Hz	$[P1+Pr] > 15.137\text{msec}$	15.381msec

- (5) 逆転早送り駆動に128Hzのモータクロックを使用することは禁止します。128Hzのモータクロックが選択されている状態で逆転早送りを行っても、正常な早送り駆動は行えません。
- (6) 駆動パルス出力中は、パルス幅やパルス数、デューティ比を変更しないでください。パルス出力中の変更は誤動作につながります。

論理緩急

- (1) モータパルス出力中に論理緩急を実行すると、パルス幅が変化することがありますので注意してください。
- (2) 論理緩急はVCWONに"1"書き込み後、64Hzの信号の立ち上がり後の最初の512XM信号立ち上がりエッジに同期して行われます。したがって、実行までに最大16.6msecの遅延を生じます。この間のVCWONに対する"1"書き込みは無効となりますので、VCWONへの連続書き込みは16.6msec以上の間隔をおいて行ってください。
- (3) K20～K23およびK30ポートから補正量を読み込む場合は、CPUをOSC1クロックで動作させてください。

SVD回路

- (1) SVD回路はONさせてから安定した結果が得られるまでに1msecの時間を必要とします。このため、SVDONに"1"を書き込み後、1msec以上経過後にSVDONに"0"を書き込んでSVDDTを読み出してください。
- (2) SVD検出動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD検出をOFFに設定してください。
- (3) FF50H～FF55Hで設定する検出電圧は1.5V系、3.0V系それぞれについて必ず8値を選択してください。8値以外(たとえば7値や10値)を選択すると誤動作するおそれがあります。

重負荷保護機能

重負荷保護モードでは通常動作モードより消費電流が多くなります。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないように注意してください。

ソーラー機能

- (1) 即スタート中、ソフトウェアによるタイマ処理等の制御内容は、ハードウェアによって16秒ごとに強制的にイニシャライズされてしまいます。したがって、即スタート中は正確な時間を管理することはできません。
- (2) 即スタートモード中(ISOR3またはISOR2が"1"の状態)に周辺回路ソフトウェアリセット(FF00H・D0)を実行しないでください。

割り込み

- (1) 各割り込み要因フラグは、各割り込みマスクレジスタを"0"に設定していても、割り込み条件成立によりセットされます。
- (2) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ = "1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- (3) イニシャルリセット時、NMIを含むすべての割り込みはスタックポイントSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み(NMIを含む)は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

5.3 実装上の注意事項

発振回路

発振特性は諸条件(使用部品、基板パターン等)により変化します。

特にセラミック発振子または水晶振動子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。

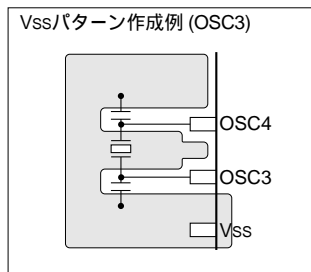
ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1) OSC1、OSC3、OSC2、OSC4端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。

- (2) OSC1、OSC3、OSC2、OSC4端子およびこれらの端子に接続された部品の周辺部は右図のようにV_{SS}パターンをできるだけ広く作成してください。

また、このV_{SS}パターンは発振用途以外に使用しないでください。

OSC1(OSC3) - V_{DD}間のリーク電流による発振回路の不安定動作を防止するため、基板パターンにおいて、OSC1(OSC3)はV_{DD}電源や信号線とは十分な距離を確保してください。



リセット回路

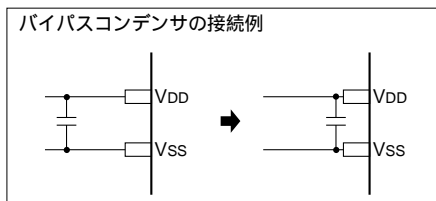
パワーオン時、RESET端子に入力されるリセット信号は諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。また、RESET端子のプルダウン抵抗を使用する場合には、抵抗値のばらつきを十分考慮した定数設定が必要です。

ノイズによる動作中のリセットを防ぐため、RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

電源回路

ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1) 電源からV_{DD}、V_{SS}端子へはできるだけ短くかつ太いパターンで接続してください。
- (2) V_{DD} - V_{SS}のバイパスコンデンサを接続する場合、V_{DD}端子とV_{SS}端子をできるだけ最短で接続してください。



- (3) V_{D1}、V_{OSC}、V_{C1}、V_{C2}、V_{C3}端子に接続するコンデンサ、抵抗等の部品はできるだけ最短で接続してください。特にV_{C1}、V_{C2}、V_{C3}の各電圧はLCD駆動として用いるため表示品質に影響を与えます。

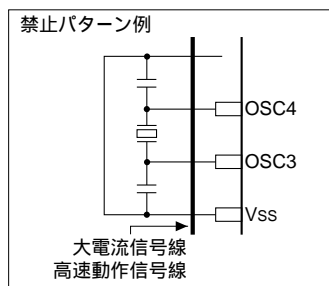
LCDドライバを使用しない場合は、V_{C1}、V_{C2}、V_{C3}端子を開放としてください。

信号線の配置

相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。

高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。

特に、発振部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



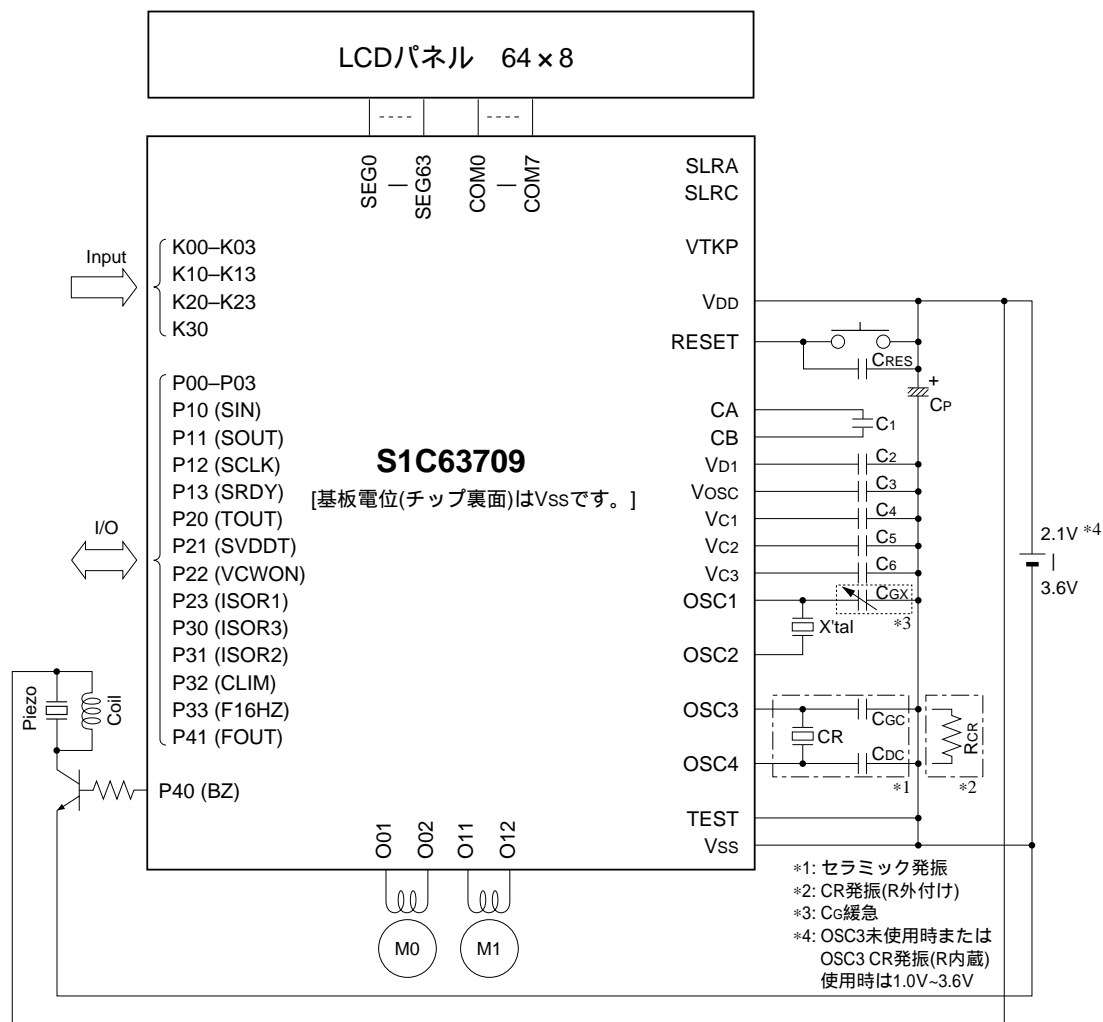
光に対する取り扱い（ペアチップ実装の場合）

半導体素子は、光が照射されると特性が変化します。このため、本ICに光が当たると誤動作をおこすことがあります。光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。

- (1) 実使用時にICの遮光性が考慮された構造となるよう設計および実装を行ってください。
- (2) 検査工程では、ICの遮光性が考慮された環境設計を行ってください。
- (3) ICの遮光は、ICチップの表面、裏面および側面について考慮してください。

6 基本外部結線図

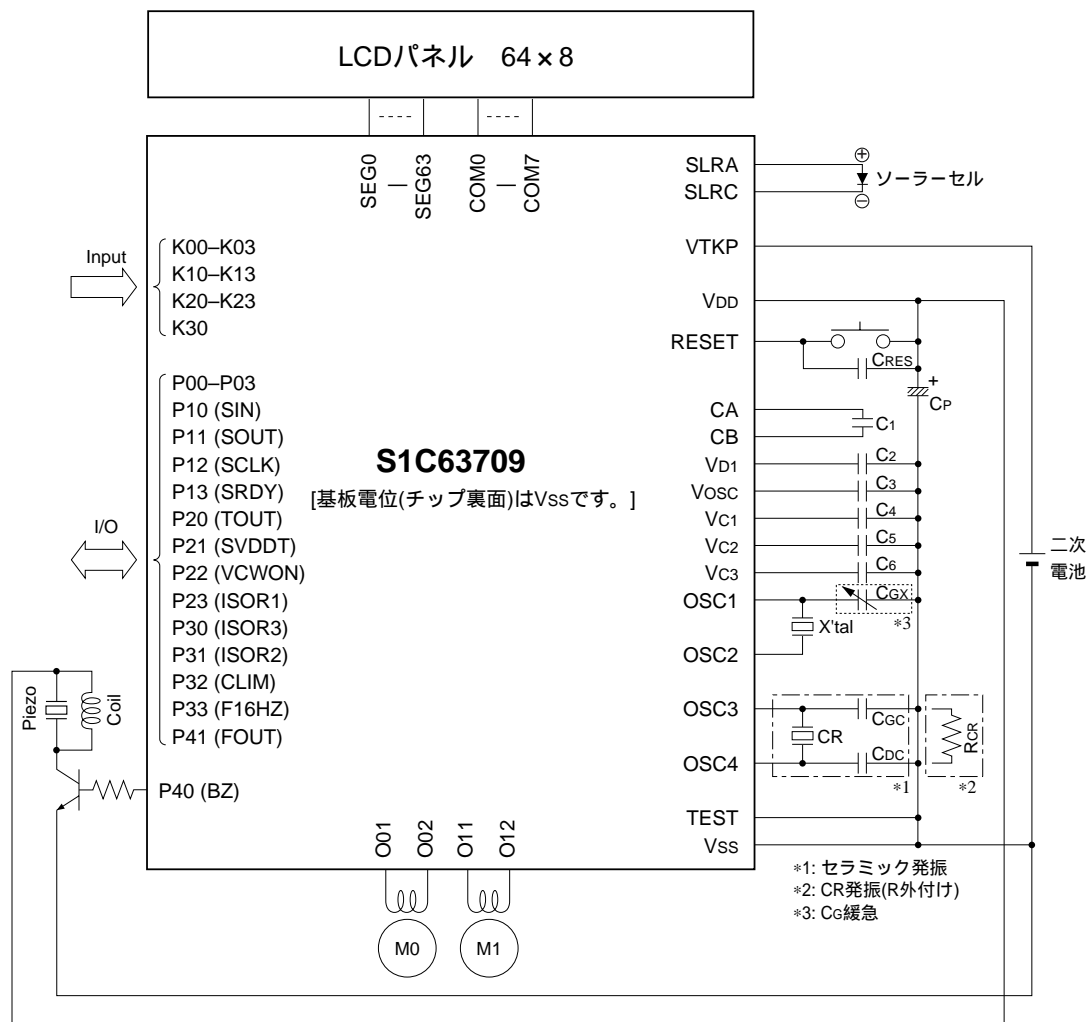
(1) 一次電池使用時



X'tal	水晶振動子	32.768kHz, Cl(Max.) = 35kΩ, Cl(Typ.) = 6pF
CGX	トリマコンデンサ	0~20pF
CR	セラミック振動子	4MHz (3.0V)
CGC	ゲート容量	30pF
CDC	ドレイン容量	30pF
RCR	OSC3 CR発振用抵抗	75kΩ (1.1MHz)
C1~C6	コンデンサ	0.2μF
Cp	コンデンサ	3.3μF
CRES	RESET端子コンデンサ	0.1μF

注: ここに記載されている値は一例であり、特に動作を保証するものではありません。

(2) ソーラーセル使用時



X'tal	水晶振動子	32.768kHz, C1(Max.) = 35kΩ, CL(Typ.) = 6pF
CGX	トリマコンデンサ	0~20pF
CR	セラミック振動子	4MHz (3.0V)
CGC	ゲート容量	30pF
CDC	ドレイン容量	30pF
RCR	OSC3 CR発振用抵抗	75kΩ (1.1MHz)
C1~C6	コンデンサ	0.2μF
CP	コンデンサ	4.7μF
CRES	RESET端子コンデンサ	0.1μF

注: ここに記載されている値は一例であり、特に動作を保証するものではありません。

7 電気的特性

7.1 絶対最大定格

(V_{SS}=0V)

項 目	記号	定 格 値	単位
電源電圧	V _{DD}	-0.5 ~ 4.5	V
入力電圧(1)	V _I	-0.5 ~ V _{DD} + 0.3	V
入力電圧(2)	V _I OSC	-0.5 ~ V _{D1} + 0.3	V
許容総出力電流 *1	ΣI _{VDD}	10	mA
動作温度	T _{opr}	-20 ~ 70	°C
保存温度	T _{stg}	-65 ~ 150	°C
半田付け温度・時間	T _{sol}	260°C, 10sec (リード部)	—
許容損失 *2	P _d	250	mW

*1 許容総出力電流とは出力端子から同時に流し出せる(または引き込める)電流(平均電流)の総和です。

*2 プラスチックパッケージ(QFP20-144pin)の場合

7.2 推奨動作条件

(Ta=-20 ~ 70°C)

項 目	記号	条 件	Min.	Typ.	Max.	単位
電源電圧	V _{DD}	V _{SS} =0V				
		OSC3未使用	1.0 *1		3.6	V
		OSC3使用時 260kHz(Max.)	1.0 *1		3.6	V
		OSC3使用時 4.2MHz(Max.)	2.1		3.6	V
発振周波数	f _{OSC1}	水晶発振	—	32.768	—	kHz
	f _{OSC3}	CR発振(R内蔵), V _{DD} =1.0V ~ 3.6V	140	200	260	kHz
		CR発振(R外付け), V _{DD} =2.1V ~ 3.6V	200	1,100	2,200	kHz
		セラミック発振, V _{DD} =2.1V ~ 3.6V			4,200	kHz

*1 LCD駆動用電源として内部電源(V_{C2}基準)を選択した場合は2.1V

7.3 DC特性

特記なき場合

V_{DD}=3.0V, V_{SS}=0V, f_{OSC1}=32.768kHz, Ta=25°C, V_{D1}/V_{C1}~V_{C3}は内部電圧, C₁~C₆=0.2μF

項 目	記号	条 件	Min.	Typ.	Max.	単位
高レベル入力電圧(1)	V _{IH1}	Kxx, Pxx	0.8・V _{DD}		V _{DD}	V
高レベル入力電圧(2)	V _{IH2}	RESET, TEST	0.9・V _{DD}		V _{DD}	V
低レベル入力電圧(1)	V _{IL1}	Kxx, Pxx	0		0.2・V _{DD}	V
低レベル入力電圧(2)	V _{IL2}	RESET, TEST	0		0.1・V _{DD}	V
高レベル入力電流(1)	I _{IH1}	V _{IH1} =3.0V Pull downなし	0		0.5	μA
高レベル入力電流(2)	I _{IH2}	V _{IH2} =3.0V Pull downあり	8	12	20	μA
低レベル入力電流(1)	I _{IL1}	V _{IL1} =V _{SS} Pull downなし	-0.5		0	μA
低レベル入力電流(2)	I _{IL2}	V _{IL2} =V _{SS} Pull downあり	-0.5		0	μA
高レベル出力電流(1)	I _{OH1}	V _{OH1} =0.9・V _{DD}			-0.5	mA
高レベル出力電流(2)	I _{OH2}	V _{OH2} =V _{DD} -0.05V			-0.8	mA
低レベル出力電流(1)	I _{OL1}	V _{OL1} =0.1・V _{DD}	0.5			mA
低レベル出力電流(2)	I _{OL2}	V _{OL2} =V _{SS} +0.05V	0.8			mA
コモン出力電流	I _{OH3}	V _{OH3} =V _{C3} -0.05V			-10	μA
	I _{OL3}	V _{OL3} =V _{SS} +0.05V	10			μA
セグメント出力電流 (LCD出力時)	I _{OH4}	V _{OH4} =V _{C3} -0.05V			-10	μA
	I _{OL4}	V _{OL4} =V _{SS} +0.05V	10			μA
セグメント出力電流 (DC出力時)	I _{OH5}	V _{OH5} =0.9・V _{DD}			-150	μA
	I _{OL5}	V _{OL5} =0.1・V _{DD}	150			μA

7.4 アナログ回路特性・消費電流

特記なき場合

VDD=3.0V, VSS=0V, fOSC1=32.768kHz, Ta=25°C, VD1/VC1~VC3は内部電圧, C1~C6=0.2μF

項 目	記号	条 件		Min.	Typ.	Max.	単位
LCD駆動電圧 (Vc1基準選択時)	Vc1	Vss-Vc1間に1MΩの負荷抵抗 を接続 (パネル負荷なし)	LC0~3="0"	Typ. -100mV	1.07	Typ. +100mV	V
			LC0~3="1"		1.10		
			LC0~3="2"		1.13		
			LC0~3="3"		1.16		
			LC0~3="4"		1.19		
			LC0~3="5"		1.21		
			LC0~3="6"		1.23		
			LC0~3="7"		1.25		
			LC0~3="8"		1.27		
			LC0~3="9"		1.29		
			LC0~3="10"		1.31		
			LC0~3="11"		1.33		
			LC0~3="12"		1.35		
			LC0~3="13"		1.37		
			LC0~3="14"		1.39		
	LC0~3="15"	1.41					
Vc2	Vss-Vc2間に1MΩの負荷抵抗を接続 (パネル負荷なし)	2・Vc1 ×0.9		2・Vc1	V		
Vc3	Vss-Vc3間に1MΩの負荷抵抗を接続 (パネル負荷なし)	3・Vc1 ×0.9		3・Vc1	V		
LCD駆動電圧 (Vc2基準選択時)	Vc2	Vss-Vc2間に1MΩの負荷抵抗 を接続 (パネル負荷なし)	LC0~3="0"	Typ. -100mV	2.08	Typ. +100mV	V
			LC0~3="1"		2.14		
			LC0~3="2"		2.20		
			LC0~3="3"		2.26		
			LC0~3="4"		2.32		
			LC0~3="5"		2.38		
			LC0~3="6"		2.44		
			LC0~3="7"		2.50		
			LC0~3="8"		2.56		
			LC0~3="9"		2.60		
			LC0~3="10"		2.64		
			LC0~3="11"		2.68		
			LC0~3="12"		2.72		
			LC0~3="13"		2.76		
			LC0~3="14"		2.80		
	LC0~3="15"	2.84					
Vc3	Vss-Vc3間に1MΩの負荷抵抗を接続 (パネル負荷なし)	3/2・Vc2 ×0.95		3/2・Vc2	V		
1.5V系SVD電圧 *1 (SVDCHG = "0")	VSVD15	S15V16="1"	Typ. -100mV	1.60	Typ. +100mV	V	
		S15V15="1" (デフォルト)		1.50			
		S15V14="1" (デフォルト)		1.40			
		S15V135="1"		1.35			
		S15V13="1" (デフォルト)		1.30			
		S15V125="1" (デフォルト)		1.25			
		S15V12="1" (デフォルト)		1.20			
		S15V115="1" (デフォルト)		1.15			
		S15V11="1" (デフォルト)		1.10			
		S15V105="1" (デフォルト)		1.05			
3.0V系SVD電圧 *1 (SVDCHG = "1")	VSVD30	S3V27="1" (デフォルト)	Typ. -100mV	2.70	Typ. +100mV	V	
		S3V265="1"		2.65			
		S3V26="1" (デフォルト)		2.60			
		S3V25="1"		2.50			
		S3V24="1"	Typ. -60mV	2.40	Typ. +60mV		
		S3V235="1"		2.35			
		S3V23="1" (デフォルト)		2.30			
		S3V225="1"		2.25			
		S3V22="1"	Typ. -100mV	2.20	Typ. +100mV		
		S3V21="1" (デフォルト)		2.10			
		S3V20="1" (デフォルト)		2.00			
		S3V19="1" (デフォルト)		1.90			
		S3V18="1" (デフォルト)		1.80			
		S3V17="1" (デフォルト)		1.70			
SVD回路応答時間	tsVD				1	ms	

*1 8値のみ検出に使用可能

特記なき場合

V_{DD}=3.0V, V_{SS}=0V, f_{OSC1}=32.768kHz, Ta=25°C, V_{D1}/V_{C1}~V_{C3}は内部電圧, C₁~C₆=0.2μF

項 目	記号	条 件	Min.	Typ.	Max.	単位
HALT時消費電流 (論理緩急選択時)	I _{HALT1}	32kHz水晶発振, 液晶電源OFF *1, *2		0.15	0.30	μA
		32kHz水晶発振, 液晶電源ON (V _{C1} 基準) *1, *2		1.10	1.40	μA
		32kHz水晶発振, 液晶電源ON (V _{C2} 基準) *1, *2		0.90	1.20	μA
		32kHz水晶発振, 液晶電源OFF *1, *3		0.25	0.70	μA
		32kHz水晶発振, 液晶電源ON (V _{C1} 基準) *1, *3		1.25	1.60	μA
HALT時消費電流 (C _G 緩急選択時)	I _{HALT2}	32kHz水晶発振, 液晶電源OFF *1, *2		0.25	0.45	μA
		32kHz水晶発振, 液晶電源ON (V _{C1} 基準) *1, *2		1.20	1.55	μA
		32kHz水晶発振, 液晶電源ON (V _{C2} 基準) *1, *2		1.00	1.35	μA
		32kHz水晶発振, 液晶電源OFF *1, *3		0.35	0.85	μA
		32kHz水晶発振, 液晶電源ON (V _{C1} 基準) *1, *3		1.35	1.75	μA
実行時消費電流	I _{EXE}	32kHz水晶発振, 液晶電源ON (V _{C2} 基準) *1, *3		1.15	1.50	μA
		32kHz水晶発振, 液晶電源OFF *1, *2		2.3	2.6	μA
		32kHz水晶発振, 液晶電源ON *1, *2, *4		3.5	4.0	μA
		32kHz水晶発振, 液晶電源OFF *1, *3		5.5	6.5	μA
		32kHz水晶発振, 液晶電源ON *1, *3, *4		6.7	8.0	μA
		200kHz CR発振, 液晶電源ON *1, *2		25	40	μA
		1.1MHz CR発振, 液晶電源ON *1, *3		600	750	μA
SVD回路電流	I _{SVD}	2MHzセラミック発振, 液晶電源ON *1, *3		650	900	μA
		4MHzセラミック発振, 液晶電源ON *1, *3		950	1200	μA
		電源電圧検出時, V _{DD} =1.0~3.6V		2.0	3.0	μA

*1 パネル負荷なし, SVD回路, モータドライバはOFF状態

*2 マスクオプションでOSC3発振回路にCR(R内蔵)を選択

*3 マスクオプションでOSC3発振回路にCR(R外付け)またはセラミックを選択

*4 マスクオプションで論理緩急、V_{C1}基準を選択

7.5 発振特性

発振特性は諸条件(使用部品、基板パターン等)により変化します。以下の特性は参考値としてご使用ください。

OSC1 水晶発振回路(論理緩急選択時)

特記なき場合

VDD=1.0 ~ 3.6V, VSS=0V, fosc1=32.768kHz, CG=CD=内蔵, Ta=-20 ~ 70°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振開始電圧	Vsta	tsta 3sec (VDD)	1.0			V
発振停止電圧	Vstp	tstp 10sec (VDD)	1.0			V
内蔵容量(ゲート)	CG	IC内部の寄生容量を含む(チップ状態)		12		pF
内蔵容量(ドレイン)	CD	IC内部の寄生容量を含む(チップ状態)		8		pF
周波数電圧偏差	$\partial f/\partial V$	VDD=1.0 ~ 3.6V			5	ppm
周波数IC偏差	$\partial f/\partial IC$		-10		10	ppm
高調波発振開始電圧	Vhho		3.6			V
許容リーク抵抗	Rleak	OSC1とVSSの間	200			MΩ

OSC1 水晶発振回路(CG緩急選択時)

特記なき場合

VDD=1.0 ~ 3.6V, VSS=0V, fosc1=32.768kHz, CG=CD=内蔵, Ta=-20 ~ 70°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振開始電圧	Vsta	tsta 3sec (VDD)	1.0			V
発振停止電圧	Vstp	tstp 10sec (VDD)	1.0			V
内蔵容量(ドレイン)	CD	IC内部の寄生容量を含む(チップ状態)		8		pF
周波数電圧偏差	$\partial f/\partial V$	VDD=1.0 ~ 3.6V			5	ppm
周波数IC偏差	$\partial f/\partial IC$		-10		10	ppm
周波数調整範囲	$\partial f/\partial CG$	CG=0 ~ 20pF	10	20		ppm
高調波発振開始電圧	Vhho		3.6			V
許容リーク抵抗	Rleak	OSC1とVSSの間	200			MΩ

OSC3 セラミック発振回路

特記なき場合

VDD=2.1 ~ 3.6V, VSS=0V, セラミック振動子: 4MHz, CGC=CDC=30pF, Ta=-20 ~ 70°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振開始電圧	Vsta	(VDD)	2.1			V
発振開始時間	tsta	VDD=2.1 ~ 3.6V			5	ms
発振停止電圧	Vstp	(VDD)	2.1			V

OSC3 CR発振回路(R内蔵)

特記なき場合

VDD=1.0 ~ 3.6V, VSS=0V, RCR=内蔵, Ta=-20 ~ 70°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振周波数バラツキ	fosc3		-30	200kHz	30	%
発振開始電圧	Vsta	(VDD)	1.0			V
発振開始時間	tsta	VDD=1.0 ~ 3.6V			3	ms
発振停止電圧	Vstp	(VDD)	1.0			V

OSC3 CR発振回路(R外付け)

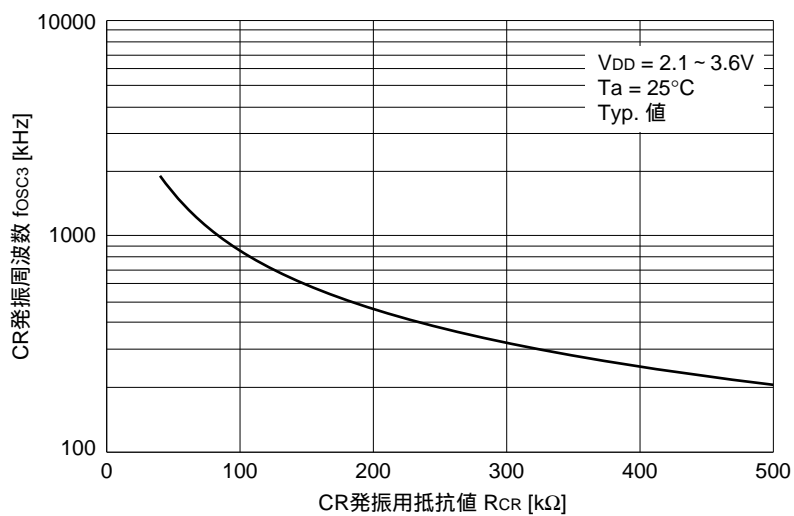
特記なき場合

VDD=2.1 ~ 3.6V, VSS=0V, RCR=75kΩ (1.1MHz), Ta=-20 ~ 70°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振周波数バラツキ	fosc3		-30		30	%
発振開始電圧	Vsta	(VDD)	2.1			V
発振開始時間	tsta	VDD=2.1 ~ 3.6V			3	ms
発振停止電圧	Vstp	(VDD)	2.1			V

OSC3 CR発振抵抗特性(R外付け)

発振特性は諸条件(使用部品、基板パターン等)により変化します。以下の特性は参考値とし、実際の製品で評価されることを推奨します。



7.6 ソーラー制御回路特性

特記なき場合

$V_{DD}=3.0V$, $V_{SS}=0V$, $f_{OSC1}=32.768kHz$, $T_a=25^{\circ}C$, $V_{D1}/V_{C1}\sim V_{C3}$ は内部電圧, $C1\sim C6=0.2\mu F$

項 目	記号	条 件	Min.	Typ.	Max.	単位
即スタート解除電圧	V_{ON}	VTKP電圧値	Typ. -80mV	1.0	Typ. +80mV	V
リミッタ検出電圧 (マスクオプションで選択)	V_{LIM}	VTKP電圧値	Typ. -80mV	2.1	Typ. +80mV	V
				2.5		
				2.6		
				2.7		
				2.8		
				2.9		
				3.0		
				3.1		
				3.2		

7.7 シリアルインタフェースAC特性

1 マスタモード(32kHz動作時)

条件: $V_{DD}=1.0 \sim 3.6V$, $V_{SS}=0V$, $T_a=-20 \sim 70^{\circ}C$, $V_{IH1}=0.8V_{DD}$, $V_{IL1}=0.2V_{DD}$, $V_{OH}=0.8V_{DD}$, $V_{OL}=0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	t _{sm} d			5	μs
受信データ入力セットアップ時間	t _{sm} s	10			μs
受信データ入力ホールド時間	t _{sm} h	5			μs

2 マスタモード(1MHz動作時)

条件: $V_{DD}=2.1 \sim 3.6V$, $V_{SS}=0V$, $T_a=-20 \sim 70^{\circ}C$, $V_{IH1}=0.8V_{DD}$, $V_{IL1}=0.2V_{DD}$, $V_{OH}=0.8V_{DD}$, $V_{OL}=0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	t _{sm} d			200	ns
受信データ入力セットアップ時間	t _{sm} s	400			ns
受信データ入力ホールド時間	t _{sm} h	200			ns

クロック周波数は最大1MHzに制限されます。

3 スレーブモード(32kHz動作時)

条件: $V_{DD}=1.0 \sim 3.6V$, $V_{SS}=0V$, $T_a=-20 \sim 70^{\circ}C$, $V_{IH1}=0.8V_{DD}$, $V_{IL1}=0.2V_{DD}$, $V_{OH}=0.8V_{DD}$, $V_{OL}=0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	t _{ss} d			10	μs
受信データ入力セットアップ時間	t _{ss} s	10			μs
受信データ入力ホールド時間	t _{ss} h	5			μs

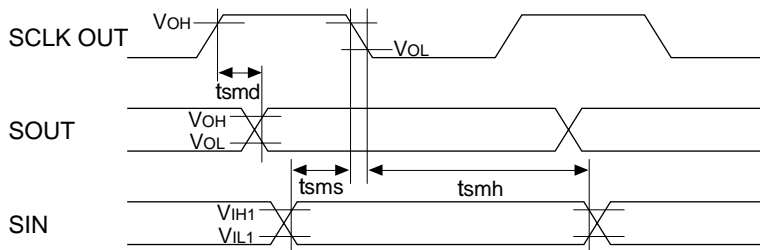
4 スレーブモード(1MHz動作時)

条件: $V_{DD}=2.1 \sim 3.6V$, $V_{SS}=0V$, $T_a=-20 \sim 70^{\circ}C$, $V_{IH1}=0.8V_{DD}$, $V_{IL1}=0.2V_{DD}$, $V_{OH}=0.8V_{DD}$, $V_{OL}=0.2V_{DD}$

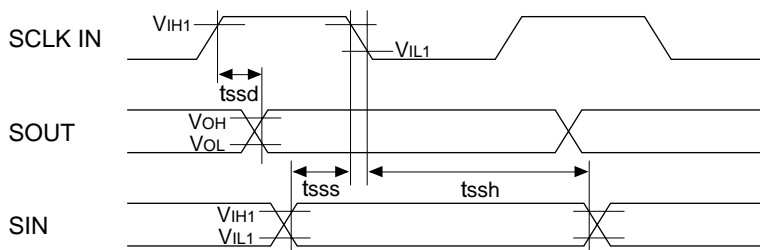
項 目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	t _{ss} d			500	ns
受信データ入力セットアップ時間	t _{ss} s	400			ns
受信データ入力ホールド時間	t _{ss} h	200			ns

クロック周波数は最大1MHzに制限されます。

<マスタモード>

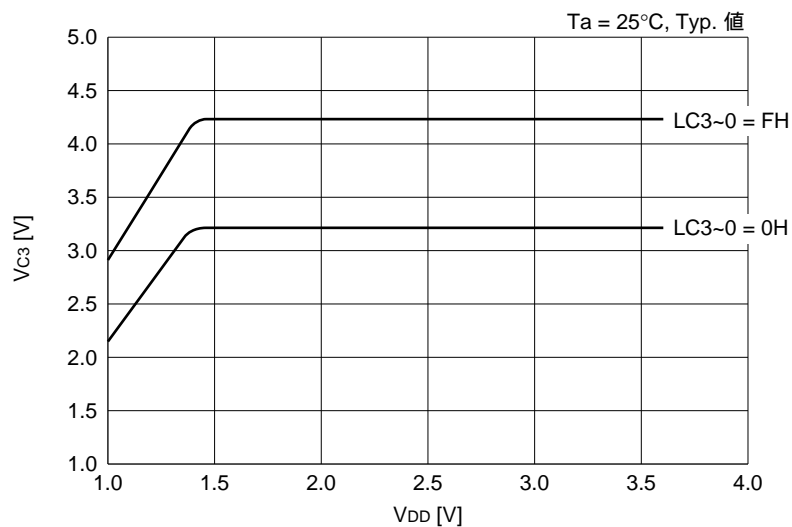


<スレーブモード>

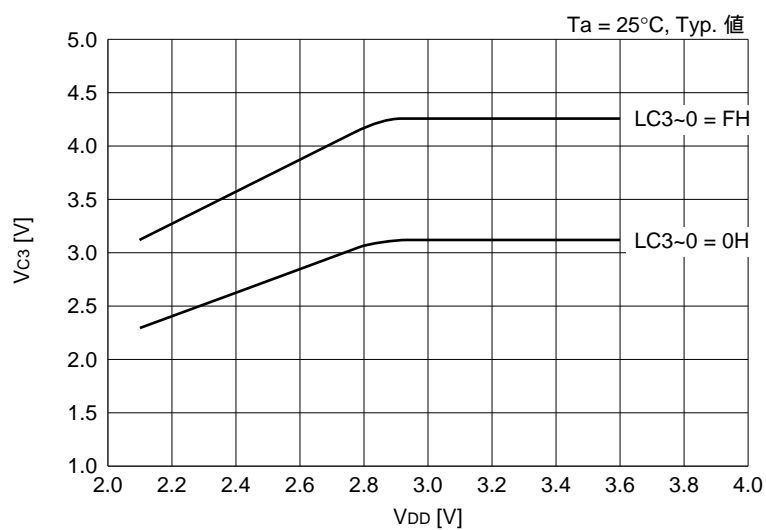


7.8 特性グラフ(参考値)

LCD駆動電圧 - 電源電圧特性(V_{C1} 基準)



LCD駆動電圧 - 電源電圧特性(V_{C2} 基準)

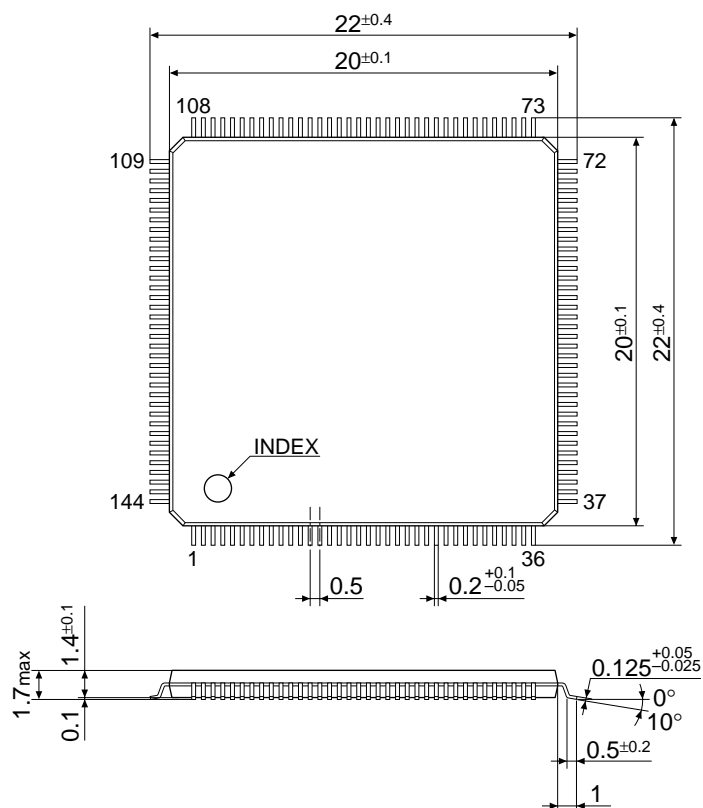


8 パッケージ

8.1 プラスチックパッケージ

QFP20-144pin

(単位: mm)

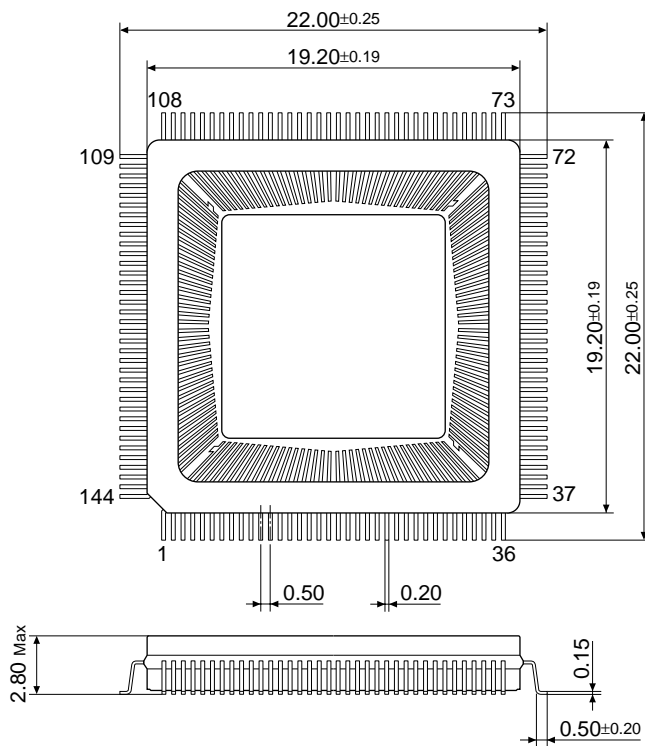


寸法については予告なく変更する場合があります。

8.2 テストサンプル用セラミックパッケージ

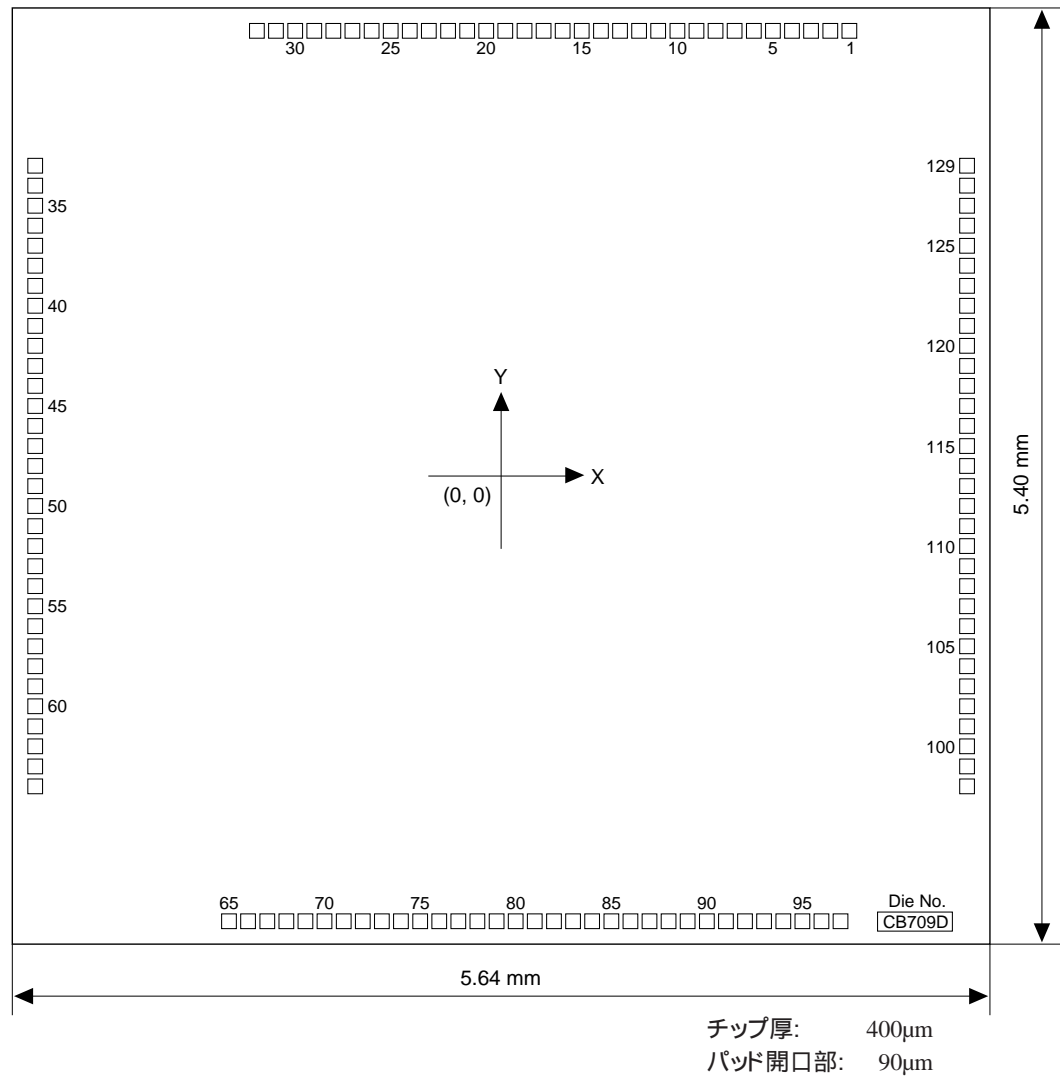
QFP17-144pin

(単位: mm)



9 パッド配置

9.1 パッド配置図



9.2 パッド座標

単位: mm

No.	パッド名	X	Y	No.	パッド名	X	Y	No.	パッド名	X	Y	No.	パッド名	X	Y
1	COM0	2.009	2.568	33	SEG32	-2.688	1.790	65	COM4	-1.570	-2.568	98	SEG0	2.688	-1.790
2	COM1	1.899	2.568	34	SEG33	-2.688	1.675	66	COM5	-1.460	-2.568	99	SEG1	2.688	-1.675
3	COM2	1.788	2.568	35	SEG34	-2.688	1.559	67	COM6	-1.349	-2.568	100	SEG2	2.688	-1.559
4	COM3	1.678	2.568	36	SEG35	-2.688	1.444	68	COM7	-1.239	-2.568	101	SEG3	2.688	-1.444
5	CA	1.568	2.568	37	SEG36	-2.688	1.328	69	P41	-1.129	-2.568	102	SEG4	2.688	-1.328
6	CB	1.458	2.568	38	SEG37	-2.688	1.213	70	P40	-1.019	-2.568	103	SEG5	2.688	-1.213
7	Vc1	1.347	2.568	39	SEG38	-2.688	1.097	71	P33	-0.908	-2.568	104	SEG6	2.688	-1.097
8	Vc2	1.237	2.568	40	SEG39	-2.688	0.982	72	P32	-0.798	-2.568	105	SEG7	2.688	-0.982
9	Vc3	1.127	2.568	41	SEG40	-2.688	0.866	73	P31	-0.688	-2.568	106	SEG8	2.688	-0.866
10	VDD	1.017	2.568	42	SEG41	-2.688	0.751	74	P30	-0.578	-2.568	107	SEG9	2.688	-0.751
11	Vosc	0.906	2.568	43	SEG42	-2.688	0.635	75	P23	-0.467	-2.568	108	SEG10	2.688	-0.635
12	OSC1	0.796	2.568	44	SEG43	-2.688	0.520	76	P22	-0.357	-2.568	109	SEG11	2.688	-0.520
13	OSC2	0.686	2.568	45	SEG44	-2.688	0.404	77	P21	-0.247	-2.568	110	SEG12	2.688	-0.404
14	VD1	0.576	2.568	46	SEG45	-2.688	0.289	78	P20	-0.137	-2.568	111	SEG13	2.688	-0.289
15	OSC3	0.465	2.568	47	SEG46	-2.688	0.173	79	VDD	-0.026	-2.568	112	SEG14	2.688	-0.173
16	OSC4	0.355	2.568	48	SEG47	-2.688	0.058	80	SLRA	0.084	-2.568	113	SEG15	2.688	-0.058
17	Vss	0.245	2.568	49	SEG48	-2.688	-0.058	81	VTKP	0.194	-2.568	114	SEG16	2.688	0.058
18	TEST	0.135	2.568	50	SEG49	-2.688	-0.173	82	SLRC	0.305	-2.568	115	SEG17	2.688	0.173
19	RESET	0.024	2.568	51	SEG50	-2.688	-0.289	83	Vss	0.415	-2.568	116	SEG18	2.688	0.289
20	K00	-0.086	2.568	52	SEG51	-2.688	-0.404	84	VDD	0.525	-2.568	117	SEG19	2.688	0.404
21	K01	-0.196	2.568	53	SEG52	-2.688	-0.520	85	O01	0.635	-2.568	118	SEG20	2.688	0.520
22	K02	-0.306	2.568	54	SEG53	-2.688	-0.635	86	O02	0.746	-2.568	119	SEG21	2.688	0.635
23	K03	-0.417	2.568	55	SEG54	-2.688	-0.751	87	O11	0.856	-2.568	120	SEG22	2.688	0.751
24	K10	-0.527	2.568	56	SEG55	-2.688	-0.866	88	O12	0.966	-2.568	121	SEG23	2.688	0.866
25	K11	-0.637	2.568	57	SEG56	-2.688	-0.982	89	Vss	1.076	-2.568	122	SEG24	2.688	0.982
26	K12	-0.747	2.568	58	SEG57	-2.688	-1.097	90	P13	1.187	-2.568	123	SEG25	2.688	1.097
27	K13	-0.858	2.568	59	SEG58	-2.688	-1.213	91	P12	1.297	-2.568	124	SEG26	2.688	1.213
28	K20	-0.968	2.568	60	SEG59	-2.688	-1.328	92	P11	1.407	-2.568	125	SEG27	2.688	1.328
29	K21	-1.078	2.568	61	SEG60	-2.688	-1.444	93	P10	1.517	-2.568	126	SEG28	2.688	1.444
30	K22	-1.188	2.568	62	SEG61	-2.688	-1.559	94	P03	1.628	-2.568	127	SEG29	2.688	1.559
31	K23	-1.299	2.568	63	SEG62	-2.688	-1.675	95	P02	1.738	-2.568	128	SEG30	2.688	1.675
32	K30	-1.409	2.568	64	SEG63	-2.688	-1.790	96	P01	1.848	-2.568	129	SEG31	2.688	1.790
-	-	-	-	-	-	-	-	97	P00	1.958	-2.568	-	-	-	-

Appendix Peripheral Circuit Board for S1C63709

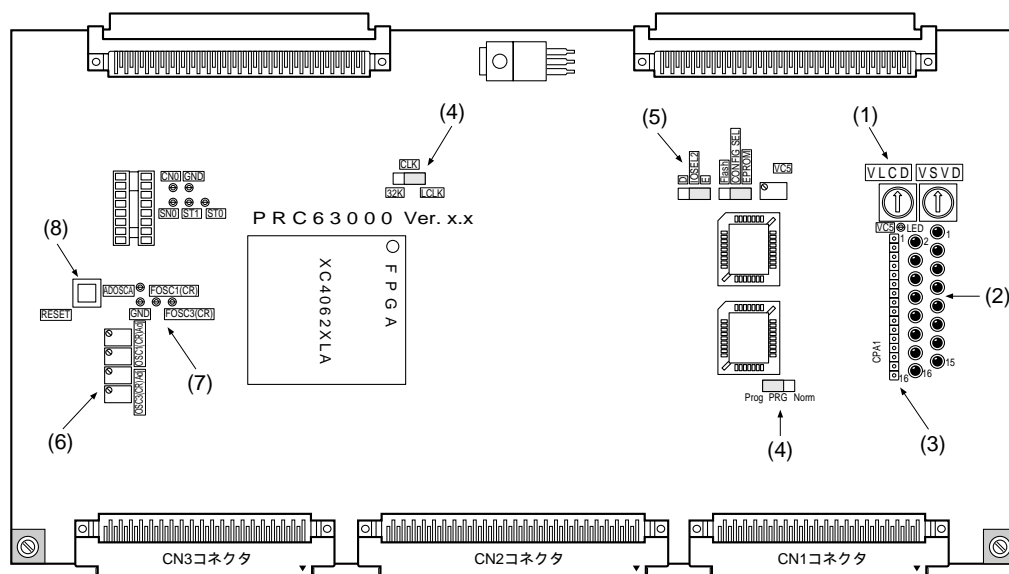
ここでは、4-bit Single Chip Microcomputer S1C63 FamilyのデバッキングツールであるICE (S5U1C63000H1/ S5U1C63000H2) に装着してエミュレーション機能を提供するPeripheral Circuit Board for S1C63709(S5U1C63000P1、S5U1C63709P2) の使用方法を説明します。

なお、本文はS1C63 Family Peripheral Circuit Board(S5U1C63000P1)にS1C63709用回路データがダウンロードされているものについて適用されます。各機種用回路データのダウンロード方法については、A.3項を参照してください。また、ICEの機能、操作などの詳細については、S5U1C63000Hマニュアルを参照してください。

A.1 各部の名称と機能

A.1.1 S5U1C63000P1

S5U1C63000P1は、S1C63 FamilyマイクロコンピュータのコアCPU以外の周辺回路を提供する基板です。以下、各部の名称と機能について説明します。以下に説明のないスイッチやソケット等は、S1C63709の開発には使用しません。



(1) VLCD

マスクオプションにてLCD外部電源入力を選択した場合、このボリュームを廻すことにより LCDの駆動電源電圧を調整することができます。

(2) レジスタモニタLED

以下のレジスタ、機能、信号に対応しており、それぞれの状態により点灯または消灯します。

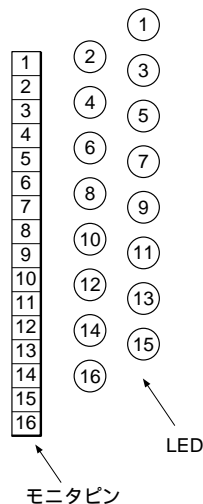
- OSCC、CLKCHG、LPWR、SVDS0 ~ SVDS2、SVDCHG、SVDON、HVLON、VCWON (レジスタの状態)
点灯: レジスタ = "1"、消灯: レジスタ = "0"
- HVLON (重負荷保護機能の状態)
点灯: 重負荷保護ON、消灯: 重負荷保護OFF
- SLRCPUOFF (発電信号の状態)
点灯: 発電中、消灯: 非発電中 (ただし、未使用)
- PGDCGATE (充電検出力信号の状態)
点灯: 出力中、消灯: 非出力中
- TRIM (論理緩急回数設定レジスタTRIM0の状態)
点灯: レジスタ = "1"、消灯: レジスタ = "0"
- QUIRE (ソーラー機能"即スタートモード中のリセット"信号の状態)
点灯: 出力中、消灯: 非出力中

(3) レジスタモニタピン

モニタLEDと同じレジスタ、機能、信号に対応しており、"1"のときHIGHレベル、"0"のときLOWレベル出力となります。

モニタピン		LED	
Pin No.	名称	LED No.	名称
1	DONE *	1	DONE *
2	SVDS0	2	SVDS0
3	SVDS1	3	SVDS1
4	SVDS2	4	SVDS2
5	SVDCHG	5	SVDCHG
6	SVDON	6	SVDON
7	LPWR	7	LPWR
8	HVLDON	8	HVLDON
9	HVLD	9	HVLD
10	VCWON	10	VCWON
11	SLRCPUPOFF	11	SLRCPUPOFF
12	PGDCGATE	12	PGDCGATE
13	TRIM	13	TRIM
14	QUIRE	14	QUIRE
15	OSCC	15	OSCC
16	CLKCHG	16	CLKCHG

* DONE: 本ボードの初期化が正常に完了した場合にHIGHレベル出力、点灯



(4) CLK、PRGスイッチ

回路データのダウンロード中、処理が完了しないままICEの電源が遮断されてしまった場合、再度ICEの電源を投入しても本ボード側の回路構成が不完全なままとなり、デバッグが起動しなくなることがあります。このような場合はICEの電源をいったん落とし、CLKを32K側に、PRGスイッチをProg側にそれぞれ設定してから再度ICEの電源を投入します。これによりデバッグは起動可能になりますので、この状態で回路データをダウンロードしてください。回路データのダウンロード完了後はいったんICEの電源を落とし、CLKをLCLK側に、PRGをNorm側にそれぞれ戻して、再度ICEの電源を投入してください。

(5) JOSEL2

回路データをダウンロードする場合は、"E"側に設定してください。それ以外の場合は、"D"側に設定してください。

(6) CR発振周波数調整ボリューム

このボリュームによりOSC3発振周波数を調整することができます。マスクオプションによってOSC3をCR発振回路またはセラミック発振回路のどちらに設定した場合でも有効です。調整可能範囲は約100kHz～8MHzになります。なお、実ICの動作周波数範囲はこの調整可能範囲とは異なりますので、"7 電気的特性"を参照の上、適切な動作周波数を選択してください。また、S5U1C63709P2ボードを差し込む前に調整してください。



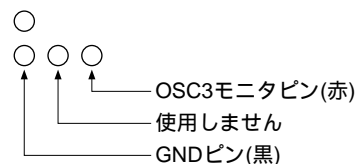
(7) CR発振周波数モニタピン

CR発振回路からのクロック波形をオシロスコープなどでモニタすることができます。なお、このピンからは、発振回路の動作制御にかかわらず、常にクロックが出力されています。



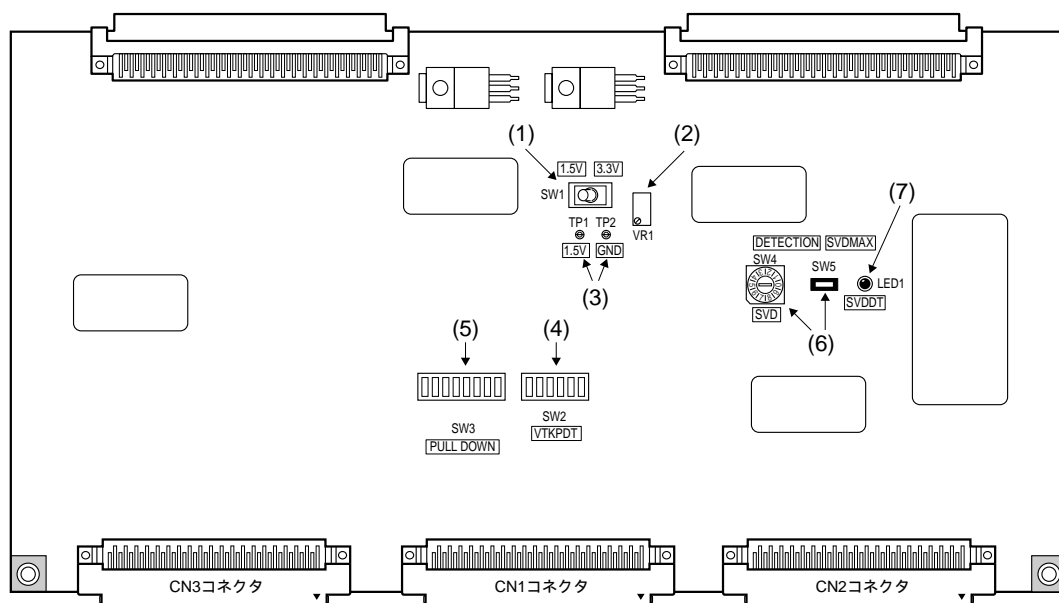
(8) RESETスイッチ

本ボードの回路を初期化し、ICEにリセット信号を与えます。



A.1.2 S5U1C63709P2

S5U1C63709P2は、S1C63709のモータ制御回路やソーラー機能を提供する基板です。以下、各部の名称と機能について説明します。



(1) 電源電圧切り換えスイッチ(SW1)

モータドライバ出力とソーラー回路に1.5Vと3.3Vのどちらの電源電圧を使用するか選択するスイッチです。その他の内部回路の電源電圧とポートのインタフェース電圧は3.3Vに固定です。

注: SW1の切り換えは、接続されている機器すべての電源をOFFにした状態で行ってください。

(2) 1.5V電源電圧調整ボリューム(VR1)

1.5Vの電源電圧を調整するボリュームです。1.5V電源電圧は1.5V以外には設定しないでください。

(3) 1.5V電源電圧モニタピン(TP1、TP2)

TP1が1.5Vモニタピン、TP2がGNDピンです。VR1ボリュームによる1.5V電源電圧調整時に使用します。

(4) VTKP電圧検出選択スイッチ(SW2)

VTKP端子電圧の検出結果(VTKPDT)として使用する信号を選択します。ジャンパススイッチをONにした信号が選択されます。必ず1つのみを選択し、2つ以上をONにしないでください。表A.1.2.1にジャンパススイッチと信号の対応を示します。

表A.1.2.1 SW2の設定

ジャンパ番号	VTKPDTとして使用する信号
1-12	QUISMP (即スタート解除)
2-11	QLSMP (即スタート解除+リミッタON)
3-10	LIMSMP (リミッタON)
4-9	EXVTKPDT (外部入力)
5-8	HIGH固定
6-7	LOW固定

本ツールでは実ICで使用されるVTKP検出結果信号(VTKPDT)を生成することができません。そのため、本来は検出結果の判定タイミング信号であるQUISMP(即スタート解除電圧検出タイミング)、QLSMP(即スタート解除+リミッタON電圧検出タイミング)、LIMSMP(リミッタON電圧検出タイミング)を実際のVTKPDT信号の代わりに使用できるようになっています。

実ICでは、これらの判定タイミング信号がHIGHの期間にVTKPDT信号がHIGHの場合、各電圧値以上を検出したことになり、LOWの場合は各電圧値以下が検出されたことになります。つまり、SW2で"QUISMP"あるいは"HIGH固定"を選択すると、VTKP端子から即スタート解除電圧が検出された状態を作ることができます。QLSMP、LIMSMP信号も同様です。また、外部からVTKPDTに相当する信号を入力して検出結果をシミュレートできるようになっています。"EXVTKPDT(外部入力)"はこの外部入力信号を使用する場合に選択します。この場合は、CN1-1コネクタの25～27ピンから出ている上記のQUISMP、QLSMP、LIMSMP信号を使用して検出結果信号を生成し、CN1-1コネクタの24ピンに入力してください(表A.2.1参照)。

(5) K0ポートブルダウン設定スイッチ(SW3)

K00～K03ポートにブルダウン抵抗を付加するかどうかを個々に設定します。ジャンパススイッチをONにするとブルダウン抵抗が付加され、OFFにすると抵抗は付加されません。表A.1.2.2にジャンパススイッチと入力ポートの対応を示します。

表A.1.2.2 SW3の設定

ジャンパ番号	入力ポート
1-16	K00
2-15	K01
3-14	K02
4-13	K03
5-12	-(On)
6-11	-(On)
7-10	-(On)
8-9	-(On)

注: S5U1C63709P2を使用する場合、K00～K03ポートのブルダウン抵抗については、本スイッチの設定が有効となり、マスクオプションデータは無視されます。

ボード上にはK20～K23の表示もありますが、使用していません。K20～K23のブルダウン抵抗はマスクオプションデータによって設定されます。

(6) SVD用電源電圧レベル設定スイッチ(SW4、SW5)

SVD機能を確認するための電源電圧レベルを設定するスイッチです。表A.1.2.3に、スイッチの設定とSVD制御レジスタとの関係を示します。なお、このスイッチは実際に電源電圧を変更するものではありません。SVD処理ルーチンの動作確認用に、検出結果を変更するのみの目的で用意されています。

表A.1.2.3 SW4、SW5の設定とSVD制御レジスタの関係

スイッチの設定		設定内容	SVDCHG
SW4	SW5		
0	DETECTION	電圧レベル < (SVDS = 0)	0
1	DETECTION	(SVDS = 0) < 電圧レベル < (SVDS = 1)	0
2	DETECTION	(SVDS = 1) < 電圧レベル < (SVDS = 2)	0
3	DETECTION	(SVDS = 2) < 電圧レベル < (SVDS = 3)	0
4	DETECTION	(SVDS = 3) < 電圧レベル < (SVDS = 4)	0
5	DETECTION	(SVDS = 4) < 電圧レベル < (SVDS = 5)	0
6	DETECTION	(SVDS = 5) < 電圧レベル < (SVDS = 6)	0
7	DETECTION	(SVDS = 6) < 電圧レベル < (SVDS = 7)	0
8	DETECTION	電圧レベル < (SVDS = 0)	1
9	DETECTION	(SVDS = 0) < 電圧レベル < (SVDS = 1)	1
A	DETECTION	(SVDS = 1) < 電圧レベル < (SVDS = 2)	1
B	DETECTION	(SVDS = 2) < 電圧レベル < (SVDS = 3)	1
C	DETECTION	(SVDS = 3) < 電圧レベル < (SVDS = 4)	1
D	DETECTION	(SVDS = 4) < 電圧レベル < (SVDS = 5)	1
E	DETECTION	(SVDS = 5) < 電圧レベル < (SVDS = 6)	1
F	DETECTION	(SVDS = 6) < 電圧レベル < (SVDS = 7)	1
×	SVDMAX	(SVDS = ×) < 電圧レベル	×

SW5で"SVDMAX"を選択することにより電圧レベルが最大となります。SW4の設定位置にかかわらず、SVD検出結果(SVDDT)は常に"0"となります。

(7) SVD結果LED(LED1)

SW4で設定したSVDの結果確認用のLEDです。SW4で設定したレベルがSVDSレジスタの設定値より小さい(SVDDT = "1")場合に点灯します。

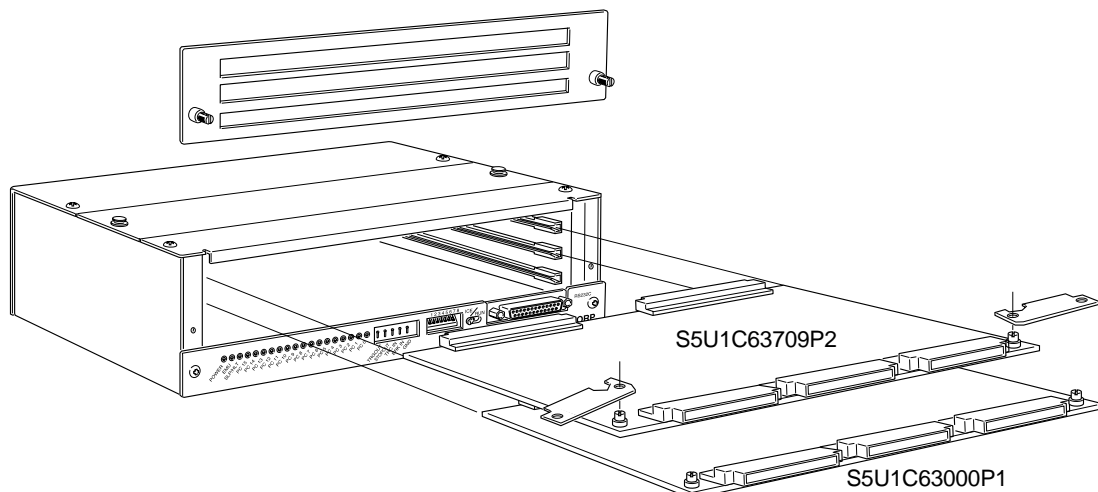
SW4の設定値はSVDONレジスタの設定にかかわらず常にSVDSレジスタ値と比較されています。したがって、このLEDはSVDON = "0"の場合でも、SW4の設定値とSVDSレジスタ値の状態によって点灯/消灯します。実際のSVDDT値については、SVDDTレジスタを参照してください。

A.2 ターゲットシステムとの接続

ここではターゲットシステムとの接続方法を説明します。

S5U1C63000P1ボードをICEの上から2段目のスロットに、S5U1C63709P2ボードを最上部のスロットに挿入します。

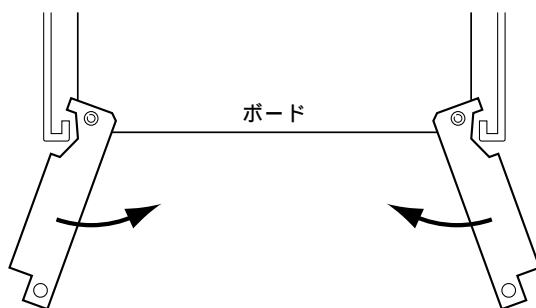
S5U1C63000P1に回路データがダウンロードされていない場合は、S5U1C63709P2を挿入する前に、A.3項のダウンロードを行ってください。



図A.2.1 ICEへのボードの装着

S5U1C63000P1/63709P2の装着

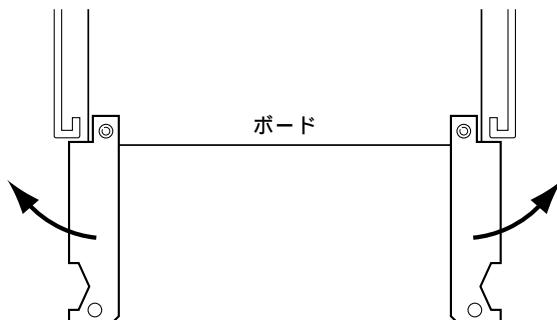
右図のようにICEに付属している治具をセットします。この治具をデコにして、内側に向かって左右均等に倒します。ボードがICEのスロット内に確実に納まったことを確認して、治具を外します。



図A.2.2 ボードの装着

S5U1C63000P1/63709P2の脱着

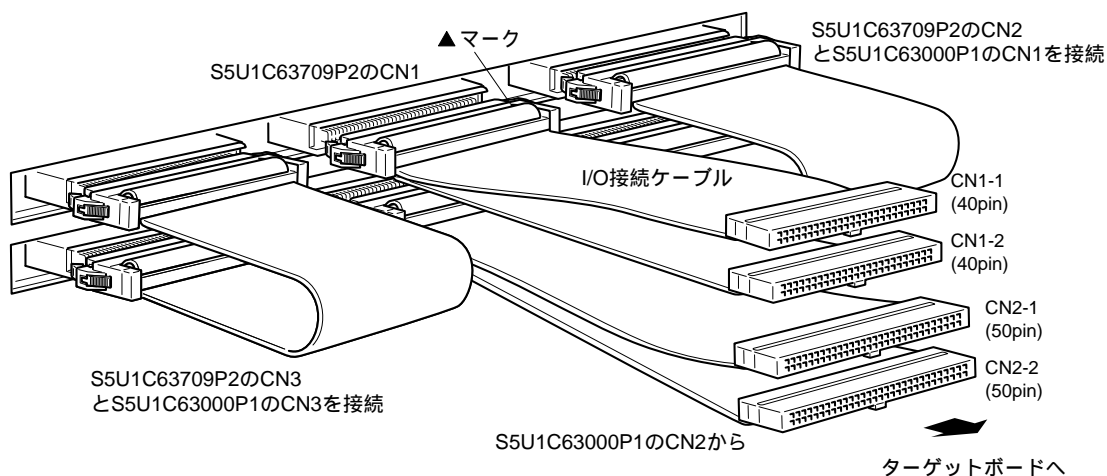
右図のようにICEに付属している治具をセットします。この治具をデコにして、外側に向かって左右均等に倒します。ボードがICEのバックボードコネクタから外れたことを確認して、ボードを引き出します。



図A.2.3 ボードの脱着

S5U1C63000P1、S5U1C63709P2およびターゲットボードを以下のとおり接続してください。

- (1) S5U1C63709P2のCN3とS5U1C63000P1のCN3
S5U1C63709P2ボードに添付のI/Oケーブル(80ピン – 80ピン)を使用して接続します。
- (2) S5U1C63709P2のCN2とS5U1C63000P1のCN1
S5U1C63709P2ボードに添付のI/Oケーブル(80ピン – 80ピン)を使用して接続します。
- (3) S5U1C63709P2のCN1とターゲットボード
S5U1C63709P2ボードに添付のI/Oケーブル(80ピン×1 – 40ピン×2)を使用して接続します。なお、本コネクタには電源(3.3Vおよび1.5V)が供給されていますので、注意してください。
- (4) S5U1C63000P1のCN2とターゲットボード
S5U1C63000P1ボードに添付のI/Oケーブル(100ピン×1 – 50ピン×2)を使用して接続します。CN2コネクタは、各SEG端子をマスクオプションでDC出力仕様とする場合に使用します。なお、本コネクタには電源(3.3V)が供給されていますので、注意してください。



図A.2.4 ターゲットシステムとの接続

表A.2.1 I/Oコネクタ(CN1)のピン配列表

40pin CN1-1コネクタ			40pin CN1-2コネクタ		
No.	端子名称		No.	端子名称	
1	K00	(IN)	1	P00	(I/O)
2	K01	(IN)	2	P01	(I/O)
3	K02	(IN)	3	P02	(I/O)
4	K03	(IN)	4	P03	(I/O)
5	K10	(IN)	5	P10	(I/O)
6	K11	(IN)	6	P11	(I/O)
7	K12	(IN)	7	P12	(I/O)
8	K13	(IN)	8	P13	(I/O)
9	Vss		9	Vss	
10	Vss		10	Vss	
11	接続不可		11	P20	(I/O)
12	接続不可		12	P21	(I/O)
13	接続不可		13	P22	(I/O)
14	接続不可		14	P23	(I/O)
15	K20	(IN)	15	P30	(I/O)
16	K21	(IN)	16	P31	(I/O)
17	K22	(IN)	17	P32	(I/O)
18	K23	(IN)	18	P33	(I/O)
19	K30	(IN)	19	P40	(I/O)
20	接続不可		20	P41	(I/O)
21	Vss		21	Vss	
22	Vss		22	Vss	
23	OSD *1	(IN)	23	O01	(OUT)
24	EXVTKPDT *2	(IN)	24	O02	(OUT)
25	QLSMP *3	(OUT)	25	接続不可	
26	QUISMP *3	(OUT)	26	接続不可	
27	LIMSMP *3	(OUT)	27	O11	(OUT)
28	TEST	(IN)	28	O12	(OUT)
29	RESET	(IN)	29	接続不可	
30	接続不可		30	接続不可	
31	Vss		31	Vss	
32	Vss		32	Vss	
33	接続不可		33	SLRA	(IN)
34	接続不可		34	SLRC	(IN)
35	接続不可		35	接続不可	
36	接続不可		36	接続不可	
37	3.3V		37	1.5V	
38	3.3V		38	1.5V	
39	3.3V		39	1.5V	
40	3.3V		40	1.5V	

3.3V系	1.5V系
-------	-------

*1: OSD(CN1-1の23ピン)は発振停止検出の評価用入力ピンです。このピンを"1"(HIGH)に設定することで、発振停止検出信号がアクティブになり ICの内部リセット機能が働きます。

*2: EXVTKPDT(CN1-1の24ピン)は、SW2でEXVTKPDT(外部入力)を選択した場合にVTKPサンプリング信号を入力するピンです(SW2の説明を参照)。

*3: QLSMP、QUISMP、LIMSMP(CN1-1の25～27ピン)は、SW2で選択可能なVTKPサンプリング用内部信号のモニタピンです(SW2の説明を参照)。

注: S5U1C63709P2の出荷時は、モータとソーラーのインタフェース電圧が1.5Vに設定されています(表中の1.5V系端子)。この電圧値は、SW1を使用して3.3Vに切り換えることも可能です。

表A.2.2 I/Oコネクタ(CN2)のピン配列表

50pin CN2-1コネクタ		50pin CN2-2コネクタ	
No.	端子名称	No.	端子名称
1	V _{DD} (=3.3V)	1	V _{DD} (=3.3V)
2	V _{DD} (=3.3V)	2	V _{DD} (=3.3V)
3	SEG0 (DC)	3	SEG40 (DC)
4	SEG1 (DC)	4	SEG41 (DC)
5	SEG2 (DC)	5	SEG42 (DC)
6	SEG3 (DC)	6	SEG43 (DC)
7	SEG4 (DC)	7	SEG44 (DC)
8	SEG5 (DC)	8	SEG45 (DC)
9	SEG6 (DC)	9	SEG46 (DC)
10	SEG7 (DC)	10	SEG47 (DC)
11	V _{SS}	11	V _{SS}
12	V _{SS}	12	V _{SS}
13	SEG8 (DC)	13	SEG48 (DC)
14	SEG9 (DC)	14	SEG49 (DC)
15	SEG10 (DC)	15	SEG50 (DC)
16	SEG11 (DC)	16	SEG51 (DC)
17	SEG12 (DC)	17	SEG52 (DC)
18	SEG13 (DC)	18	SEG53 (DC)
19	SEG14 (DC)	19	SEG54 (DC)
20	SEG15 (DC)	20	SEG55 (DC)
21	V _{DD} (=3.3V)	21	V _{DD} (=3.3V)
22	V _{DD} (=3.3V)	22	V _{DD} (=3.3V)
23	SEG16 (DC)	23	SEG56 (DC)
24	SEG17 (DC)	24	SEG57 (DC)
25	SEG18 (DC)	25	SEG58 (DC)
26	SEG19 (DC)	26	SEG59 (DC)
27	SEG20 (DC)	27	SEG60 (DC)
28	SEG21 (DC)	28	SEG61 (DC)
29	SEG22 (DC)	29	SEG62 (DC)
30	SEG23 (DC)	30	SEG63 (DC)
31	V _{SS}	31	V _{SS}
32	V _{SS}	32	V _{SS}
33	SEG24 (DC)	33	接続不可
34	SEG25 (DC)	34	接続不可
35	SEG26 (DC)	35	接続不可
36	SEG27 (DC)	36	接続不可
37	SEG28 (DC)	37	接続不可
38	SEG29 (DC)	38	接続不可
39	SEG30 (DC)	39	接続不可
40	SEG31 (DC)	40	接続不可
41	V _{DD} (=3.3V)	41	V _{DD} (=3.3V)
42	V _{DD} (=3.3V)	42	V _{DD} (=3.3V)
43	SEG32 (DC)	43	接続不可
44	SEG33 (DC)	44	接続不可
45	SEG34 (DC)	45	接続不可
46	SEG35 (DC)	46	接続不可
47	SEG36 (DC)	47	接続不可
48	SEG37 (DC)	48	接続不可
49	SEG38 (DC)	49	接続不可
50	SEG39 (DC)	50	接続不可

* CN2-1、CN2-2 コネクタは、各SEG端子をマスクオプションでDC出力仕様とする場合に使用します。

A.3 S5U1C63000P1へのダウンロード

A.3.1 新ICE(S5U1C63000H2)使用時における回路データのダウンロード

S5U1C63000P1には、工場出荷時に出荷検査用回路が書き込まれておりますので、各機種に合わせた回路データをダウンロードしてください。以下に回路データのダウンロード方法を説明します。

- 1) ICE(S5U1C63000H2)上面のカバーを外し、S5U1C63000P1ボード上のジャンプスイッチを以下のとおりリセットします。

CLK: 32K側

PRG: Prog側

IOSEL2: E側

- 2) ICEをホストPCと接続し、ホストPCの起動とICEの電源投入を行います。
- 3) アセンブラパッケージ(Ver. 5以上)に含まれるデバッグを起動します。ICEとデバッグの操作方法については、ICEに添付のマニュアルと、アセンブラパッケージに付属のマニュアルを参照してください。
- 4) 各機種に対応した回路データファイル(~.mot)を本ボードにダウンロードします。デバッグのコマンドウィンドウから以下のように入力してください。

```
>XFER                (メインFPGAオールイレーズ)
>XFWR <file name 1> (メインFPGA用ファイルのダウンロード)*
>XFCP <file name 1> (メインFPGA用ファイルとダウンロードデータの比較)
>XFERS                (サブFPGAオールイレーズ)
>XFWRS <file name 2> (サブFPGA用ファイルのダウンロード)*
>XFCPS <file name 2> (サブFPGA用ファイルとダウンロードデータの比較)
```

*ダウンロードは15分程度かかります。

注: ダウンロードは、必ずメインFPGA用ファイル、サブFPGA用ファイルの順に行ってください。

- 5) デバッグを終了させ、ICEの電源を一旦切ります。
- 6) S5U1C63000P1ボード上のジャンプスイッチを以下のとおりリセットします。
CLK: LCLK側
PRG: Norm側
IOSEL2: D側

- 7) ICEの電源を再投入し、デバッグを起動し直してご使用ください。

A.3.2 旧ICE(S5U1C63000H1)使用時における回路データのダウンロード

標準の旧ICE(S5U1C63000H1)は、S5U1C63000P1の回路データダウンロード機能に対応していませんので、以下の手順に従ってICEのファームウェアを更新してください。

- 1) ICEのボーレート(DIPスイッチ)を9600bpsに設定します。DIPスイッチについては、ICEに添付されているマニュアルを参照してください。
- 2) ICEをホストPCと接続し、ホストPCをDOSで立ち上げます。Windowsを使用中の場合は、DOSモードで立ち上げ直してください。

注: WindowsのDOSプロンプトは使用しないでください。

- 3) ICEに電源を投入します。
- 4) 以下のようにホストPCのRS232Cプロトコルを設定します。

```
C:¥>MODE COM1:9600,n,8,1,p ( 9600bps, 8bits, 1stop bit, no parity )
```

- 5) アセンブラパッケージ(Ver. 5以上)に含まれる以下の各ファイルを適当なディレクトリにおきます。

```
tm63.exe, ice63.com, i63com.o, i63par
```

- 6) 5)のディレクトリに移行し、以下のようにTM63を起動します。TM63はコマンド待ち状態になりますので、以下のように入力します。

```
C:¥>tm63 xat[Enter]
TM63 start on IBM PC
TM63 start V01.01
>d1f ice63.com i63com.o i63par 0b[Enter]
...
>q[Enter]
```

- 7) プロンプトが表示されたら、"q"を入力してTM63を終了させてください。
- 8) 以上でファームウェアが更新されました。一旦ICEの電源を切り、A.3.1項の手順に従って回路データのダウンロードを行ってください。

A.4 使用上の注意

Peripheral Circuit Boardを正しく使用していただくために、以下の事項に注意してください。

A.4.1 操作上の注意事項

- (1) ケーブルの接続と切り離しは、接続する機器すべての電源をOFFにした状態で行ってください。
- (2) 入力ポート(K00 ~ K03)をすべてHIGHレベルにした状態で、電源投入およびマスクオプションデータのロードを行わないでください。キー同時押しリセット機能が働く可能性があります。
- (3) デバッグを行う場合は、その前に必ずマスクオプションデータをロードしてください。

A.4.2 実ICとの相違点

(1) I/Oについての相違

インタフェース電源

- S5U1C63709P2とターゲットシステムのインタフェース電圧(モータとソーラーを除く)は+3.3Vに固定されています。このため、実際のICと同一のインタフェース電圧が必要な場合は、ターゲットシステム側においてレベルシフト回路などを付加して対応してください。
- S5U1C63709P2の出荷時は、モータとソーラーのインタフェース電圧が+1.5Vに設定されています。この電圧値は、SW1を使用して+3.3Vに切り換えることも可能です。

各出力ポートの駆動能力

S5U1C63000P1における各出力ポートの駆動能力は、実際のICに比べて高くなっていますので、"7 電気的特性"を参照し、各出力端子の駆動能力を確認した上で、システムおよびソフトウェアの設計を行ってください。

各ポートの保護ダイオード

すべてのI/Oポートには保護用ダイオードがVDDとVSSに対して入っており、ターゲットシステムとのインタフェース信号は+3.3Vに固定されます。このため、出力ポートをオープンドレインに設定し、VDDを超える電圧レベルとのインタフェースをとることはできません。

ブルダウン抵抗値

S5U1C63000P1、S5U1C63709P2のブルダウン抵抗値は220kΩに固定されていますが、実際のICと抵抗値が異なります。実際のICにおける抵抗値は、"7 電気的特性"を参照して確認してください。

なお、ブルダウン抵抗を使用して入力端子をLOWレベルに引き下げる場合などにおいて、LOWレベル確定までの時間に相違が生じます。たとえば、出力ポートと入力ポートを組み合わせるキーマトリクス回路を構成した場合は、入力ポートの立ち下がりディレイに相違が発生しますので十分な注意が必要です。

(2) 消費電流についての相違

S5U1C63000P1の消費電流は実際のICと大きく異なります。S5U1C63000P1上のLEDを確認することで、おおよその消費電流を把握することができます。なお、消費電流に大きく影響を及ぼすものとして以下のものがあります。

LED、モニタピンなどで確認が可能なもの

- a) RunとHaltの実行比率(ICEのモニタピン、LEDによる)
- b) OSC3発振ON/OFF(OSCC)
- c) CPUクロック切り換え(CLKCHG)
- d) SVD回路ON/OFF回路(SVDON)
- e) LCD電源ON/OFF回路(LPWR)
- f) 重負荷保護回路のON/OFF状態(HVLDON、HVLD)

システム、ソフトウェア上注意するしかないもの

- g) 内蔵ブルダウン抵抗により消費される電流
- h) 入力ポートがフローティング状態

(3) 機能上の相違

LCD電源回路

LCD電源回路 (LPWR) をONしてから、LCD駆動波形が出力されるまでにディレイが発生します。本ボードにおいて、このディレイは約125msecに設定されていますが、実際のICはこれと異なります。"4.6 LCDドライバ (COM0 ~ COM7, SEG0 ~ SEG63)"を参照してください。

LCD駆動波形の相違

本ボードはLCD内部電源使用時にもスタティック波形を出力可能ですが、LCDをスタティック駆動する場合はマスクオプションで外部電源の1/2バイアスを選択してください。

SVD回路

- SVD機能は、S5U1C63709P2上のSW4スイッチにより、擬似的に電源電圧レベルを変化させることにより行います。
- SVD回路の電源をONしてから実際に電圧を検出するまでにディレイ時間が発生し、S5U1C63000P1では1.007msec ~ 1.038msecに設定されています。実際のICにおいては、これと異なりますので、"7 電気的特性"を参照して、適切なウェイト時間を設定してください。

発振回路

- OSC3発振制御回路 (OSCC) をONにしてから発振が安定するまでにウェイト時間が必要になりますが、本ボードではウェイトなしにOSC3の発振切り換え (CLKCHG) しても動作してしまいます。このため、実際のICにおいては、"7 電気的特性"を参照の上適切な時間を設定してください。
- OSC3からOSC1へのクロック切り換えと、OSC3回路の発振停止は別の命令で行ってください。ひとつの命令で同時に行った場合は、本ボードで動作しても実際のICで動作しない場合があります。
- 発振回路のロジックレベルが高いため、発振開始時間のタイミングが異なります。
- 本ボードにはOSC1とOSC3用の発振回路が内蔵されています。このため、OSC3の発振子を接続しない場合でも、OSC3回路による動作が可能になりますので、注意してください。
- マスクオプションによってOSC3発振回路にセラミック発振を選択した場合でも、S5U1C63000P1はCR発振回路でOSC3クロックを生成します。

ソーラー用端子 (SLRA、SLRC)

I/OコネクタのSLRAおよびSLRC端子は、実ICではソーラーパネル接続用端子です。S5U1C63709P2ボードでは、それぞれの端子への電圧入力により充電状態をシミュレートするために使用します。また、実ICでは即スタート機能、リミッタ機能もこれらの端子からの入力電位で動作しますが、S5U1C63709P2ボードでは、VTKP電圧検出選択スイッチ (SW2) で選択した信号を使用して擬似的に動作させています (SW2の説明を参照)。

充電検出

充電状態をシミュレートするには、SLRC端子をV_{SS}、SLRA端子をV_{DD}+0.5Vに設定してください。これにより、充電中フラグ (ISOR1) が"1"にセットされます。また、ソーラーウェイクアップ割り込みを発生させることができます。

非充電状態をシミュレートするには、SLRC端子とSLRA端子の両方をV_{DD}に設定してください。これにより、充電中フラグ (ISOR1) が"0"にリセットされます。この場合、ソーラーウェイクアップ割り込みは発生しません。

リミッタON電圧検出の制御

SLRC端子の入力電圧レベルにより、リミッタON電圧の検出を行うサンプリングの開始/停止を制御することができます。

リミッタON電圧検出サンプリングを開始したい場合は、SLRC端子をV_{SS}に設定してください。このサンプリングはSLRC端子への入力のみで制御可能なため、SLRA端子への入力電圧はV_{DD}でもV_{SS}でもかまいません。この設定により、LIMSMP信号が出力されます(サンプリングのタイミングでアクティブになります)。またQLSMP信号も、QUISMP信号に加えLIMSMP信号によるサンプリング期間、アクティブになります。

リミッタON電圧検出サンプリングを停止したい場合は、SLRC端子をV_{DD}に設定してください。この設定では、LIMSMP信号は出力されません(LOW固定)。QLSMP信号は、QUISMP信号によるサンプリング期間のみアクティブになります。

上記のV_{DD}レベルは、I/Oコネクタのモータとソーラーのインタフェース電圧値です(CN1-2の37～40ピン)。

モータ接続端子

I/OコネクタのO01～O12はモータ接続用の端子です。

実IC同様、磁界検出/回転検出については、これらの端子にて行われます。

未定義アドレス空間のアクセス

S1C63709内蔵のROM/RAM、I/Oの未定義空間に対して、読み出し/書き込みを行った場合、その値は不定となります。また、S5U1C63000P1と実際のICでは不定となる状態が異なりますので、充分注意してください。なお、ICE(S5U1C63000H1/S5U1C63000H2)は、未定義アドレス空間に対してアクセスがあった場合、プログラムブレークが発生する機能を内蔵しています。

リセット回路

ICEおよびS5U1C63000P1、S5U1C63709P2に電源を投入してから、プログラムが動作するまでのシーケンスは、実際のICに電源を投入してからプログラムが動作するまでのシーケンスと異なりますので、注意してください。S5U1C63000P1では、ユーザプログラムのロード、オプションデータのロードを行ってからデバッグシステムとしての動作が可能になります。なお、ICEをフリーランモードに設定して動作させる場合は、必ずシステムリセットをかけてください。システムリセットは、S5U1C63000P1上のリセットスイッチ、リセット端子入力、入力ポートの同時HIGHレベル保持のいずれかになります。

A.5 製品の仕様

A.5.1 S5U1C63000P1の仕様

S5U1C63000P1

寸法:	254mm(横)×144.8mm(奥行き)×13mm(高さ) (ネジ含む)
重量:	約300g
電源:	DC5V ±5%、1A以下(ICE本体より供給)

I/Oケーブル(80pin)

本機側コネクタ:	KEL8830E-080-170L
ケーブル側コネクタ(80pin):	KEL8822E-080-171
ケーブル側コネクタ(40pin):	3M7940-6500SC(2個/1組)
ケーブル:	40芯フラットケーブル(2本/1組)
インタフェース:	CMOSインタフェース(3.3V)
長さ:	約40cm

I/Oケーブル(100pin)

本機側コネクタ:	KEL8830E-100-170L
ケーブル側コネクタ(100pin):	KEL8822E-100-171
ケーブル側コネクタ(50pin):	3M7950-6500SC(2個/1組)
ケーブル:	50芯フラットケーブル(2本/1組)
インタフェース:	CMOSインタフェース(3.3V)
長さ:	約40cm

付属品

ターゲットシステム接続コネクタ(40pin):	3M3432-6002LCSC×2
ターゲットシステム接続コネクタ(50pin):	3M3433-6002LCSC×2

A.5.2 S5U1C63709P2の仕様

S5U1C63709P2

寸法:	254mm(横)×144.8mm(奥行き)×13mm(高さ) (ネジ含む)
重量:	約130g
電源:	DC5V ±5%、15mA以下 (ICE本体より供給、本ボード上レギュレータにて3.3Vに変換)

ターゲット接続用ケーブル(80pin)

コネクタ(80pin):	KEL8822E-080-171-F
コネクタ(40pin):	3M7940-6500SC(2個/1組)
ケーブル:	40芯フラットケーブル(2本/1組)
長さ:	約20cm

S5U1C63000P1接続用ケーブル(80pin)

コネクタ(80pin):	KEL8822E-080-171-F
ケーブル:	80芯フラットケーブル
長さ:	約10cm

付属品

ターゲットシステム接続コネクタ(40pin):	3M3432-6002LCPL×2
---------------------------	-------------------

セイコーエプソン株式会社 半導体事業部 IC営業部

IC国内営業グループ

東京 〒191-8501 東京都日野市日野421-8
TEL (042) 587-5313(直通) FAX (042) 587-5116

大阪 〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F
TEL (06) 6120-6000(代表) FAX (06) 6120-6100

インターネットによる電子デバイスのご紹介 <http://www.epson.jp/device/semicon/>