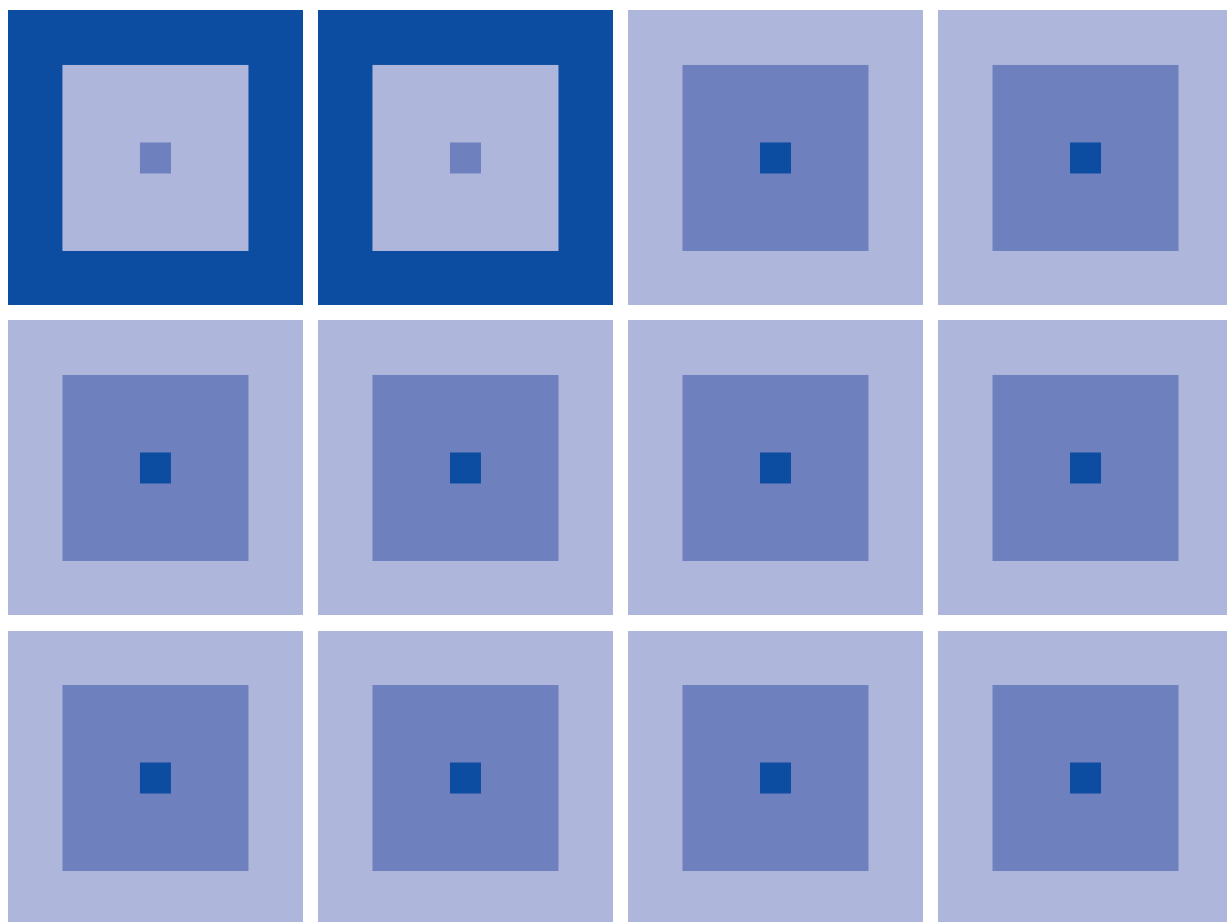


CMOS 4-BIT SINGLE CHIP MICROCOMPUTER

S1C63256

テクニカルマニュアル

S1C63256 Technical Hardware



本資料のご使用につきましては、次の点にご留意願います。

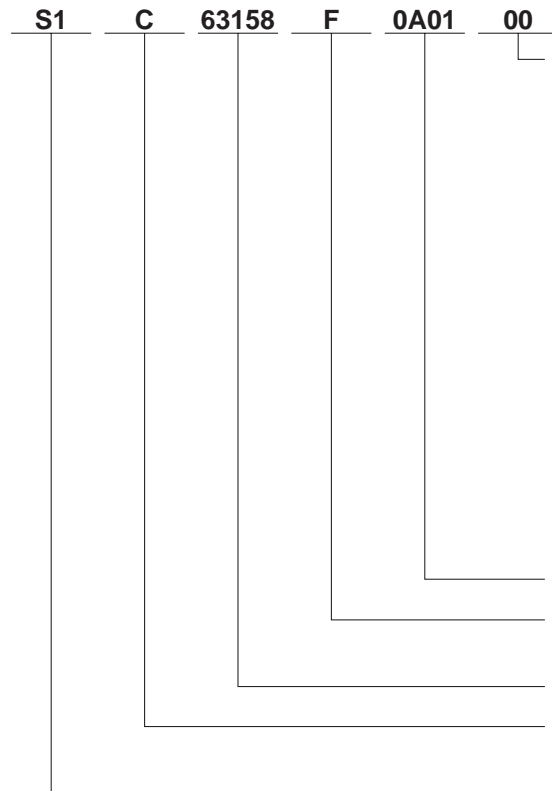
1. 本資料の内容については、予告なく変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利(工業所有権を含む)侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち、「外国為替および外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、一般民生用です。生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合の如何なる責任についても負いかねます。

本版で改訂または追加された箇所

章	節/項	頁	項目	内容
4	4.6.3	39	LCD表示と駆動波形の制御 (1) 表示のON/OFF	文章変更
	4.8.8	66	プログラミング上の注意事項	(5)追加
5		84	プログラミング上の注意事項のまとめ プログラマブルタイマ	(4)追加

製品型番体系

デバイス



梱包仕様

00 : テープ&リール以外
 0A : TCP BL 2方向
 0B : テープ&リール BACK
 0C : TCP BR 2方向
 0D : TCP BT 2方向
 0E : TCP BD 2方向
 0F : テープ&リール FRONT
 0G : TCP BT 4方向
 0H : TCP BD 4方向
 0J : TCP SL 2方向
 0K : TCP SR 2方向
 0L : テープ&リール LEFT
 0M : TCP ST 2方向
 0N : TCP SD 2方向
 0P : TCP ST 4方向
 0Q : TCP SD 4方向
 0R : テープ&リール RIGHT
 99 : 梱包仕様未定

仕様

形状

[D: ペアチップ、F: QFP]

機種番号

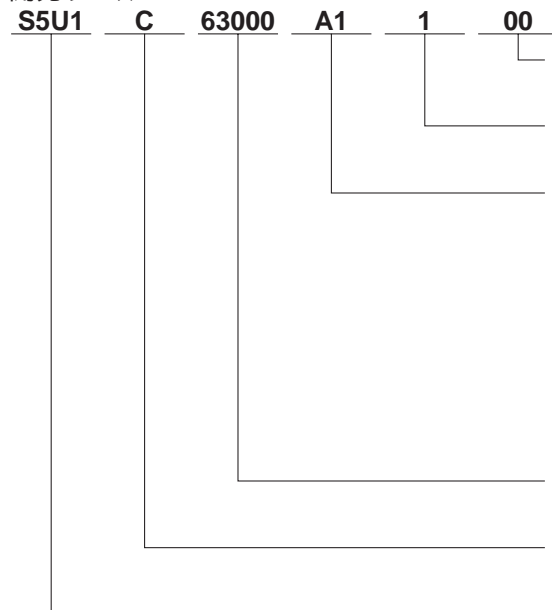
機種名称

[C: マイコン、デジタル製品]

製品分類

[S1: 半導体]

開発ツール



梱包仕様

[00: 標準梱包]

バージョン

[1: Version 1]

ツール種類

Hx : ICE
 Ex : EVAボード
 Px : ペリフェラルボード
 Wx : FLASHマイコン用ROMライター
 Xx : ROMライター周辺ボード
 Cx : Cコンパイラパッケージ
 Ax : アセンブラパッケージ
 Dx : 機種別ユーティリティツール
 Qx : ソフトシミュレータ

対応機種番号

[63000: S1C63ファミリ共通]

ツール分類

[C: マイコン用]

製品分類

[S5U1: 半導体用開発ツール]

- 目 次 -

1	概要	1
1.1	特長	1
1.2	ブロック図	2
1.3	端子配置図	3
1.4	端子説明	3
1.5	マスクオプション	4
2	電源系 および イニシャルリセット	7
2.1	電源系	7
2.1.1	発振回路および内部回路用電圧<V _{D1} >	7
2.1.2	LCD駆動用電圧<V _{C1} , V _{C2} , V _{C3} >	7
2.2	イニシャルリセット	9
2.2.1	リセット端子(RESET)	9
2.2.2	入力ポート(K00 ~ K03)の同時LOW入力	10
2.2.3	イニシャルリセット時の内部レジスタ	11
2.2.4	イニシャルリセット時の端子設定	12
2.3	テスト端子(TEST)	12
3	CPU, ROM, RAM	13
3.1	CPU	13
3.2	コードROM	13
3.3	RAM	14
4	周辺回路と動作	15
4.1	メモリマップ	15
4.2	発振回路とプリスケアラ	20
4.2.1	発振回路の構成	20
4.2.2	発振回路の種類	20
4.2.3	プリスケアラ	21
4.2.4	クロック周波数とインストラクション実行時間	22
4.2.5	プリスケアラのI/Oメモリ	22
4.2.6	プログラミング上の注意事項	22
4.3	入力ポート(K00 ~ K03)	23
4.3.1	入力ポートの構成	23
4.3.2	割り込み機能	23
4.3.3	マスクオプション	24
4.3.4	入力ポートのI/Oメモリ	25
4.3.5	プログラミング上の注意事項	27
4.4	出力ポート(R00 ~ R03)	28
4.4.1	出力ポートの構成	28
4.4.2	マスクオプション	28

4.4.3	ハイインピーダンス制御	29
4.4.4	特殊出力	29
4.4.5	出力ポートのI/Oメモリ	31
4.4.6	プログラミング上の注意事項	32
4.5	入出力兼用ポート(P20 ~ P23, P40 ~ P43).....	33
4.5.1	入出力兼用ポートの構成	33
4.5.2	マスクオプション	34
4.5.3	I/O制御レジスタと入力/出力モード	34
4.5.4	入力モード時のプルアップ	34
4.5.5	入出力兼用ポートのI/Oメモリ	35
4.5.6	プログラミング上の注意事項	37
4.6	LCDドライバ(COM0 ~ COM3, SEG0 ~ SEG19).....	38
4.6.1	LCDドライバの構成	38
4.6.2	LCD駆動電源/駆動バイアス	38
4.6.3	LCD表示と駆動波形の制御	39
4.6.4	マスクオプション	45
4.6.5	LCDドライバのI/Oメモリ.....	46
4.6.6	プログラミング上の注意事項	48
4.7	計時タイマとウォッチドッグタイマ	49
4.7.1	計時タイマとウォッチドッグタイマの構成	49
4.7.2	計時タイマの動作	49
4.7.3	ウォッチドッグタイマの動作	50
4.7.4	計時タイマとウォッチドッグタイマのI/Oメモリ	51
4.7.5	プログラミング上の注意事項	52
4.8	プログラマブルタイマ	53
4.8.1	プログラマブルタイマの構成	53
4.8.2	8/16ビットモード	54
4.8.3	プログラマブルタイマの動作	54
4.8.4	割り込み機能	57
4.8.5	イベントカウンタ機能	57
4.8.6	PTOUT出力の設定	59
4.8.7	プログラマブルタイマのI/Oメモリ	60
4.8.8	プログラミング上の注意事項	66
4.9	ブザー出力回路	67
4.9.1	ブザー出力回路の構成	67
4.9.2	マスクオプション	67
4.9.3	ブザー出力の制御	68
4.9.4	ブザー出力回路のI/Oメモリ	69
4.9.5	プログラミング上の注意事項	69
4.10	A/D変換器	70
4.10.1	A/D変換器の特徴と構成	70
4.10.2	A/D変換器の端子構成	70
4.10.3	マスクオプション	71
4.10.4	A/D変換の制御	71
4.10.5	割り込み機能	73
4.10.6	A/D変換器のI/Oメモリ	73
4.10.7	プログラミング上の注意事項	75

4.11	割り込みとHALT/SLEEP	76
4.11.1	割り込みの要因	78
4.11.2	割り込みの個別マスク	78
4.11.3	割り込みベクタ	79
4.11.4	割り込みのI/Oメモリ	80
4.11.5	プログラミング上の注意事項	81
5	プログラミング上の注意事項のまとめ	82
6	基本外部結線図	85
7	電気的特性	86
7.1	絶対最大定格	86
7.2	推奨動作条件	86
7.3	DC特性	87
7.3.1	入力特性	87
7.3.2	出力特性	87
7.4	アナログ回路特性	88
7.4.1	LCD駆動電源特性	88
7.4.2	A/D変換特性	88
7.5	消費電流	89
7.6	AC特性	90
7.6.1	動作範囲	90
7.6.2	入力クロック	90
7.6.3	パワーオンリセット	91
7.6.4	A/D変換特性	91
7.7	発振特性	92
7.7.1	水晶発振回路	92
7.7.2	セラミック発振回路	92
7.7.3	CR発振回路	92
7.8	特性グラフ(参考値)	93
7.8.1	出力電流特性	93
7.8.2	電源電流-周波数特性	95
7.8.3	アナログ系動作電流-電圧特性	97
7.8.4	CR発振周波数特性	98
8	パッケージ	99
8.1	プラスチックパッケージ	99
8.2	テストサンプル用セラミックパッケージ	100
9	パッド配置	101
9.1	パッド配置図	101
9.2	パッド座標	101
10	実装上の注意事項	102

1 概要

S1C63256は高性能4ビットCPU S1C63000を中心に、ワンチップ上にROM(6,144ワード×13ビット) RAM(256ワード×4ビット) 計時タイマ、ウォッチドッグタイマ、プログラマブルタイマ、最大20セグメント×4コムのLCD駆動回路、A/D変換器等を内蔵したマイクロコンピュータです。広範囲な動作電圧(2.7~5.5V)と動作周波数(0.5~4.5MHz)が特長で、A/D変換と液晶表示が必要な家電製品の制御ユニット等への応用に最適です。

1.1 特長

発振回路	0.5~4.5MHz	水晶、セラミック、CR発振回路または外部クロック入力(*1)
インストラクションセット	基本命令 47種類(全命令数 411種類)	アドレッシングモード 8種類
インストラクション実行時間	2MHz動作時:	1μsec 2μsec 3μsec
	4.194304MHz動作時:	0.48μsec 0.95μsec 1.43μsec
ROM容量	命令ROM:	6,144ワード×13ビット
RAM容量	データメモリ:	256ワード×4ビット
	表示メモリ:	20ワード×4ビット
入力ポート	4ビット	(プルアップ抵抗の付加が可能*1)
出力ポート	4ビット	(2ビットをクロック出力に切り換え可能*2)
入出力兼用ポート	8ビット	(4ビットをA/D変換器入力に切り換え可能*2)
LCDドライバ	20セグメント×4、3または2コモン(*2)	1/3または1/2バイアス駆動(*1)
タイムベースカウンタ	計時タイマ	(発振周波数4.194304MHz時)
プログラマブルタイマ	8ビット×4ch内蔵、イベントカウンタ、クロック出力機能付き	8ビット×4ch、8ビット×2ch & 16ビット×1ch、16ビット×2chとして使用可能
ウォッチドッグタイマ	内蔵	
ブザー出力	ブザー周波数:	2kHzまたは4kHz(*2)
A/D変換器	分解能:	8ビット、アナログ入力: 4ch
外部割り込み	入力ポート割り込み	1系統
内部割り込み	計時タイマ割り込み	1系統
	プログラマブルタイマ割り込み	4系統
	A/D変換器割り込み	1系統
電源電圧	2.7V~5.5V	
動作温度範囲	-20°C~85°C	
消費電流(Typ.)	SLEEP時	0.3μA
	HALT時(*3)	
	4.194304MHz:	3.0V 620μA
	(水晶発振)	5.0V 660μA
	4MHz:	3.0V 670μA
	(セラミック発振)	5.0V 710μA
	2MHz:	3.0V 740μA
	(CR発振)	5.0V 780μA
	動作時(*3)	
	4.194304MHz:	3.0V 1.5mA
	(水晶発振)	5.0V 1.5mA
	4MHz:	3.0V 1.5mA
	(セラミック発振)	5.0V 1.5mA
	2MHz:	3.0V 1.2mA
	(CR発振)	5.0V 1.2mA
出荷形態	QFP13-64pin(プラスチック)またはチップ	

*1: マスクオプションにより選択

*2: ソフトウェアにより選択

*3: A/D変換動作電流は含みません。

1.2 ブロック図

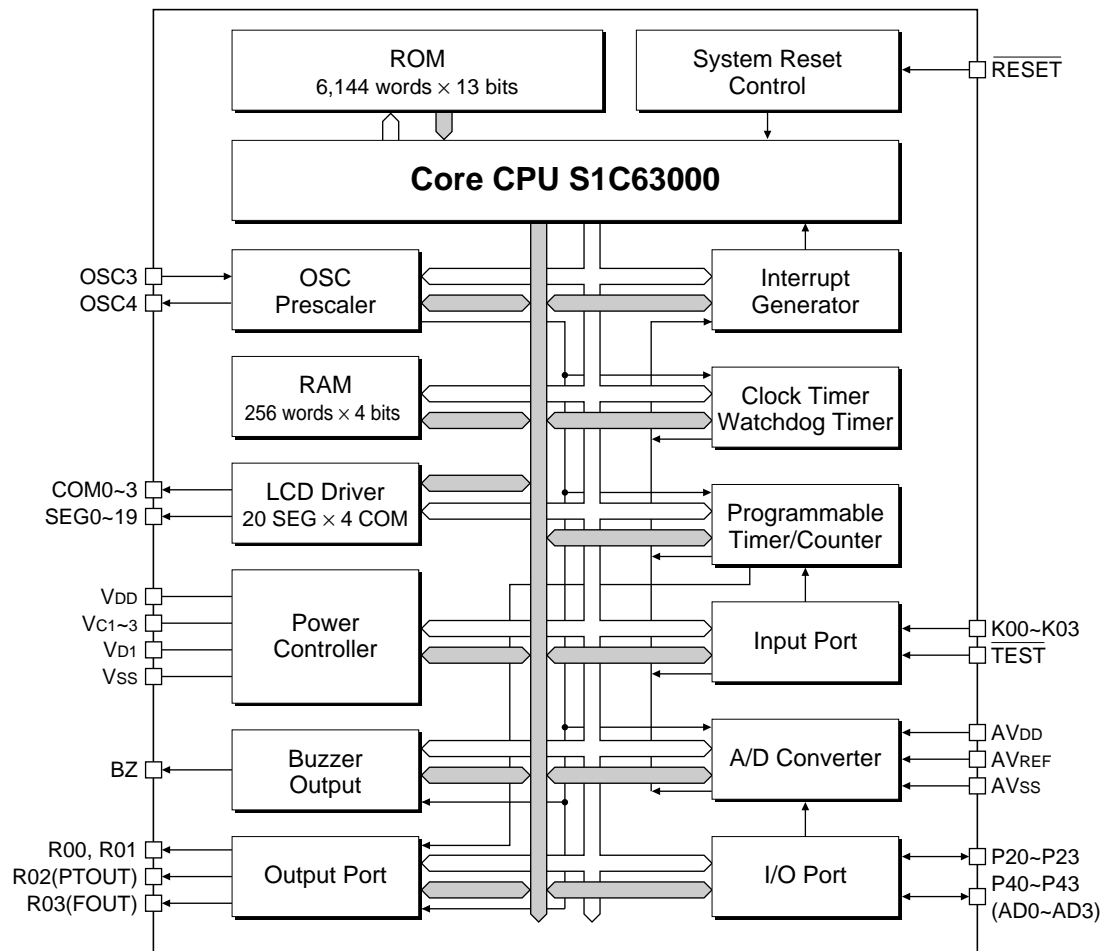
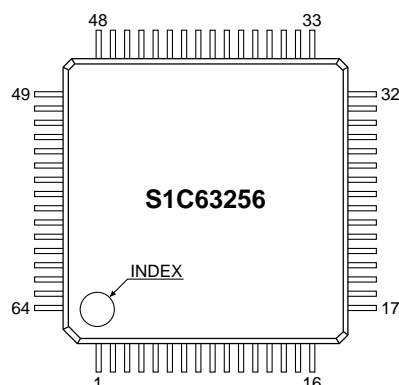


図1.2.1 ブロック図

1.3 端子配置図

QFP13-64pin



No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	SEG13	17	RESET	33	N.C.	49	COM2
2	SEG14	18	TEST	34	BZ	50	COM3
3	SEG15	19	VSS	35	R00	51	SEG0
4	SEG16	20	OSC3	36	R01	52	SEG1
5	SEG17	21	OSC4	37	R02	53	SEG2
6	SEG18	22	VD1	38	R03	54	SEG3
7	SEG19	23	VDD	39	P20	55	SEG4
8	N.C.	24	AVDD	40	P21	56	SEG5
9	N.C.	25	AVREF	41	P22	57	SEG6
10	N.C.	26	AVSS	42	P23	58	SEG7
11	N.C.	27	N.C.	43	K00	59	SEG8
12	N.C.	28	N.C.	44	K01	60	SEG9
13	N.C.	29	P40	45	K02	61	SEG10
14	VC1	30	P41	46	K03	62	SEG11
15	VC2	31	P42	47	COM0	63	SEG12
16	VC3	32	P43	48	COM1	64	N.C.

N.C. : No Connection

図1.3.1 端子配置図

1.4 端子説明

表1.4.1 端子説明

端子名	端子No.	入出力	機能
VDD	23	—	電源(+)端子
VSS	19	—	電源(-)端子
AVDD	24	—	アナログ系電源(+)端子
AVSS	26	—	アナログ系電源(-)端子
AVREF	25	I	アナログ系基準電圧入力端子
VD1	22	—	発振および内部ロジック系定電圧出力端子
VC1, VC2, VC3	14, 15, 16	—	LCD系電源端子 1/3または1/2バイアス(マスクオプション選択)
OSC3	20	I	水晶/セラミック/CR発振/外部クロック入力端子(マスクオプション選択)
OSC4	21	O	水晶/セラミック/CR発振出力端子(マスクオプション選択)
K00~K03	43~46	I	入力端子
P20~P23	39~42	I/O	入出力端子
P40~P43	29~32	I/O	入出力端子(A/D変換器入力にソフト切り換え)
R00	35	O	出力端子
R01	36	O	出力端子
R02	37	O	出力端子(PTOUT信号出力にソフト切り換え)
R03	38	O	出力端子(FOUT信号出力にソフト切り換え)
COM0~COM3	47~50	O	LCDコモン出力端子(1/4, 1/3, 1/2デューティをソフト切り換え)
SEG0~SEG19	51~63, 1~7	O	LCDセグメント出力端子
BZ	34	O	ブザー出力端子
RESET	17	I	イニシャルリセット入力端子
TEST	18	I	テスト用入力端子

1.5 マスクオプション

S1C63256には以下に示すマスクオプションが設定されています。

各マスクオプションには複数のハードウェア仕様が用意されており、アプリケーションに合わせて選択することができます。この選択にはS1C63256の開発ソフトウェアツールとして用意されているファンクションオプションジェネレータwinfogおよびセグメントオプションジェネレータwinsogを使用します。これらのオプションジェネレータによって作成したデータをもとに最終的なICのマスクパターン生成が行われます。winfog、winsogについては"S5U1C63000A Manual"を参照してください。

S1C63256のマスクオプション

(1) 入力ポート (K00 ~ K03) 同時LOW入力による外部リセット

この機能は、複数キーの同時押しによってICをリセットするもので、この機能を使用するかしないかをマスクオプションで選択できます。また、使用する場合は、同時に押すキーを接続する入力ポート (K00 ~ K03) の組み合わせを選択します。詳細については"2.2.2 入力ポート (K00 ~ K03) の同時LOW入力"を参照してください。

(2) 入力ポート同時LOW入力リセットの時間検定回路

(1) の外部リセット機能を使用する場合に時間検定回路を使用するかしないか選択できます。時間検定回路を使用すると、規定時間以上の同時LOW入力があった場合のみ、リセット機能が働きます。詳細については"2.2.2 入力ポート (K00 ~ K03) の同時LOW入力"を参照してください。

(3) 入力ポートプルアップ抵抗

入力ポートにプルアップ抵抗を付加するかしないか選択できます。この選択は入力ポートの各ビットごとに行えます。詳細については"4.3.3 マスクオプション"を参照してください。

(4) 出力ポートの出力仕様

出力ポートの出力仕様としてコンプリメンタリ出力またはNチャンネルオープンドレイン出力が選択できます。選択は出力ポートの各ビットごとに行えます。詳細については"4.4.2 マスクオプション"を参照してください。

(5) 入出力兼用ポートの出力仕様/プルアップ抵抗

入出力兼用ポートが出力モードの際の出力仕様としてコンプリメンタリ出力またはNチャンネルオープンドレイン出力が選択できます。また入力モード時に働くプルアップ抵抗を付加するかしないか選択できます。選択は入出力兼用ポートの各ビットごとに行えます。詳細については"4.5.2 マスクオプション"を参照してください。

(6) LCD電源/駆動バイアス

LCD駆動に内部電源を使用するか、外部電源を使用するか選択できます。また、駆動方式として1/3 バイアスまたは1/2バイアスのどちらかを選択できます。詳細については"2.1.2 LCD駆動用電圧 <Vc1, Vc2, Vc3>"を参照してください。

(7) LCDセグメント仕様

SEG端子に対する表示メモリの割り付け、DC出力として使用するSEG端子の設定が行えます。詳細については"4.6.4 マスクオプション"を参照してください。

(8) ブザー出力信号の極性

BZ端子から出力するブザー信号の極性が選択できます。駆動用外付けトランジスタに合わせ、正極性または負極性を選択します。詳細については"4.9.2 マスクオプション"を参照してください。

(9) 発振回路

発振回路の種類を水晶/セラミック発振、CR発振、外部クロック入力の中から選択できます。詳細については"4.2.2 発振回路の種類"を参照してください。

(10) RESET端子プルアップ抵抗

RESET端子にプルアップ抵抗を付加するかしないか選択できます。

マスクオプションリスト

S1C63256のオプションリストを以下に示します。各オプション項目には、複数の選択肢が用意されていますので、4章の"周辺回路と動作"を参照してシステムに合った内容を選択してください。使用しない機能についてもオプション設定が必要です。このオプションリストを参照しながら、S1C63256のオプション設定をS5U1C63000A内のwinfogの画面上で行ってください。詳細については"S5U1C63000A Manual"を参照してください。

1. OSC発振回路(OSC system clock)

1. 水晶発振回路
2. セラミック発振回路
3. CR発振回路
4. 外部クロック

2. キー同時押しリセット組み合わせ(Multiple key entry reset combination)

1. 使用しない
2. 使用する <K00, K01, K02, K03>
3. 使用する <K00, K01, K02>
4. 使用する <K00, K01>

3. キー同時押しリセット時間検定(Multiple key entry reset time authorize)

1. 使用しない
2. 使用する

4. 入力ポートプルアップ抵抗(Input port pull up resistor)

K00	1. あり	2. なし
K01	1. あり	2. なし
K02	1. あり	2. なし
K03	1. あり	2. なし

5. 出力ポート出力仕様(Output port output specification)

R00	1. コンプリメンタリ	2. Nchオープンドレイン
R01	1. コンプリメンタリ	2. Nchオープンドレイン
R02	1. コンプリメンタリ	2. Nchオープンドレイン
R03	1. コンプリメンタリ	2. Nchオープンドレイン

6. I/Oポート出力仕様(I/O port output specification)

P20	1. コンプリメンタリ	2. Nchオープンドレイン
P21	1. コンプリメンタリ	2. Nchオープンドレイン
P22	1. コンプリメンタリ	2. Nchオープンドレイン
P23	1. コンプリメンタリ	2. Nchオープンドレイン
P40	1. コンプリメンタリ	2. Nchオープンドレイン
P41	1. コンプリメンタリ	2. Nchオープンドレイン
P42	1. コンプリメンタリ	2. Nchオープンドレイン
P43	1. コンプリメンタリ	2. Nchオープンドレイン

7. I/Oポートプルアップ抵抗(I/O port pull up resistor)

P20	1. あり	2. なし
P21	1. あり	2. なし
P22	1. あり	2. なし
P23	1. あり	2. なし
P40	1. あり	2. なし
P41	1. あり	2. なし
P42	1. あり	2. なし
P43	1. あり	2. なし

8. LCD駆動電源(LCD driving power)

1. 内部電圧電源 (Vc3 = 外部電圧電源)
2. 内部電圧電源 (Vc3 = VDD)
3. 外部電圧電源
4. 使用しない

9. LCD駆動バイアス(LCD driving bias)

1. 内部電圧電源 1/3バイアス
2. 内部電圧電源 1/2バイアス
3. 外部電圧電源 1/3バイアス
4. 外部電圧電源 1/2バイアス
5. 使用しない

10. ブザー出力極性(Buzzer polarity for output)

1. 正極性
2. 負極性

11. リセットプルアップ抵抗(/Reset pull up resistor)

1. あり
2. なし

2 電源系 および イニシャルリセット

2.1 電源系

S1C63256の動作電源電圧は次のとおりです。

2.7V ~ 5.5V

S1C63256は上記範囲の単一電源を V_{DD} - V_{SS} 間に与えることにより動作し、内部に必要な電圧を内蔵された以下の電源回路によりIC自身で発生します。

回路系	電源回路	入力電圧	出力電圧
発振、内部回路	発振系定電圧回路	V_{DD}	V_{D1}
LCD駆動回路	LCD系電圧回路	V_{C3}	V_{C1} , V_{C2}

上記の電源電圧の他に、内蔵のA/D変換器用の電源端子 AV_{DD} 、 AV_{SS} も用意されています。

- 注:
- 内部電源回路の出力電圧による外付け負荷の駆動は禁止します。
 - 1/2バイアスのLCD駆動を選択した場合、 V_{C1} と V_{C2} は短絡します。
 - AV_{SS} は V_{SS} と短絡してください。
 - 電圧値、駆動能力については"7 電気的特性"を参照してください。

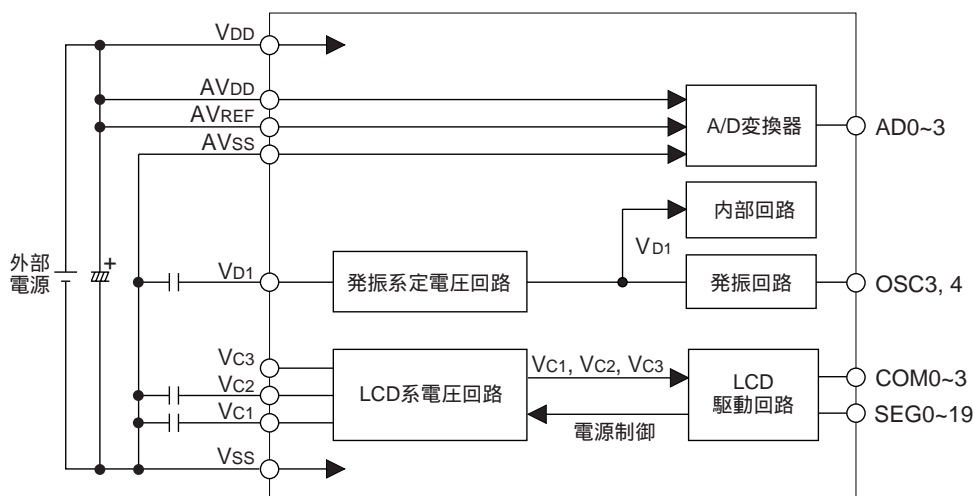


図2.1.1 電源系の構成

2.1.1 発振回路および内部回路用電圧< V_{D1} >

V_{D1} は発振回路および内部ロジック回路用の電圧で、発振を安定させるため発振系定電圧回路で発生しています。

発振系定電圧回路が出力する V_{D1} は2.4V(Typ.)です。

2.1.2 LCD駆動用電圧< V_{C1} , V_{C2} , V_{C3} >

V_{C1} ~ V_{C3} はLCD駆動用の電圧です。LCD駆動にはマスクオプションによって1/3バイアスまたは1/2バイアスが選択でき、その選択により各電圧は次のようになります。

1/3バイアス選択時: $V_{C1} = V_{C3} \times 1/3$, $V_{C2} = V_{C3} \times 2/3$

1/2バイアス選択時: $V_{C1} = V_{C2} = V_{C3} \times 1/2$

$V_{C1} \sim V_{C3}$ はマスクオプションによって内部のLCD系電圧回路で発生するか、外部電源より供給するか選択できます。マスクオプションの選択項目は次の3種類です。

(1) 内部電源 (V_{C3} 外部印加あり)

このオプションを選択した場合は外部より V_{C3} を供給します。 V_{C1} と V_{C2} は抵抗分割によりIC内部で発生します。外部電源で V_{C3} を設定できるため、LCDパネルの選択の幅が広がります。また、 V_{C3} の制御によりコントラストの調整も可能となります。ただし、 V_{C3} 端子には2.7V V_{C3} 5.5Vの範囲内の電圧を供給してください。この範囲外の電圧を印加することは禁止します。

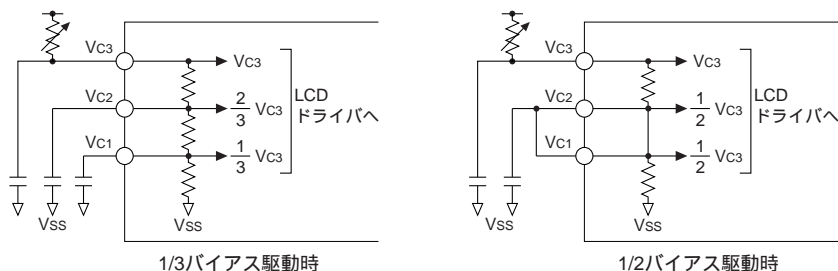


図2.1.2.1 オプション1(内部電源/ V_{C3} 外部印加)

(2) 内部電源 (V_{C3} 外部印加なし, $V_{C3} = V_{DD}$)

このオプションを選択した場合は $V_{C1} \sim V_{C3}$ をすべてIC内部で発生しますので、外部の部品点数を削減できます。この場合、 V_{C3} 端子は電源電圧 V_{DD} と同電位になりますので開放してください。

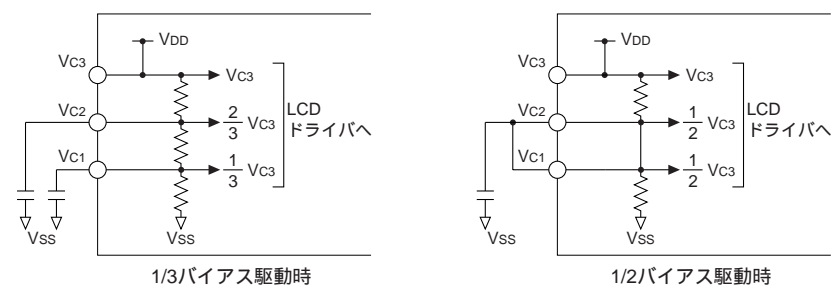


図2.1.2.2 オプション2(内部電源/ $V_{C3} = V_{DD}$)

(3) 外部電源

このオプションを選択した場合は $V_{C1} \sim V_{C3}$ をすべて外部より供給します。表示品質を優先する場合に選択してください。なお、2.7V V_{C3} 5.5Vかつ $V_{SS} < V_{C1}$ $V_{C2} < V_{C3}$ の条件を満たしてください。

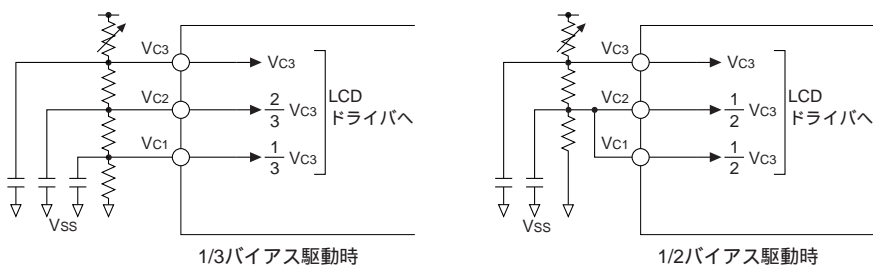


図2.1.2.3 オプション3(外部電源)

内部のLCD系電圧回路を使用する場合には、電源制御レジスタLPWRに"1"を書き込むことによってLCD駆動用電圧を内部発生します。"0"が書き込まれているときには $V_{C1} = V_{C2} = V_{SS}$ となり、SEGおよびCOM端子の出力はすべて V_{SS} レベルとなります。

注: 外部電源選択時にも、LPWRに"1"を書き込む必要があります。

2.2 イニシャルリセット

S1C63256は回路を初期化するためにイニシャルリセットを必要とします。イニシャルリセット要因としては以下の2種類があります。

(1) RESET端子による外部イニシャルリセット

(2) K00 ~ K03端子の同時LOWレベル入力による外部イニシャルリセット(マスクオプションで設定)

電源投入時は上記いずれかのリセット機能を使用し、ICを確実に初期化してください。電源投入のみでは動作が保証できません。

図2.2.1にイニシャルリセット回路の構成を示します。

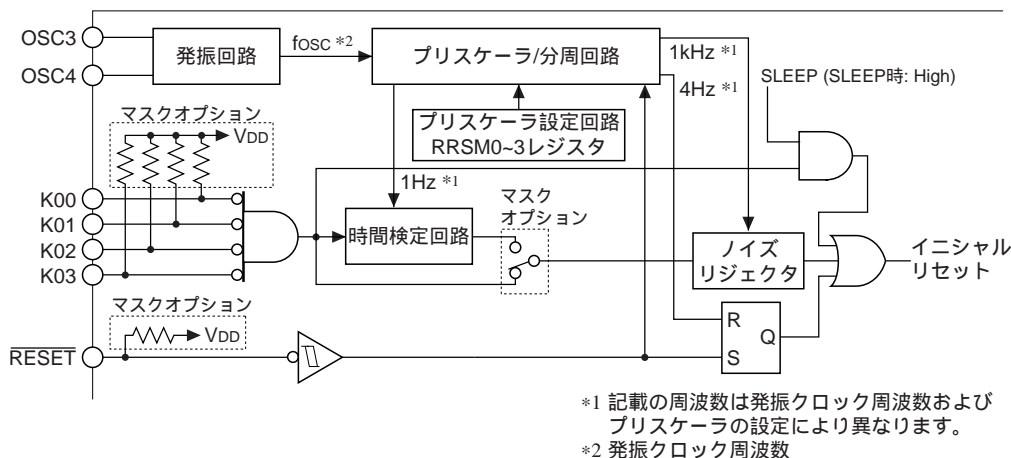


図2.2.1 イニシャルリセット回路の構成

2.2.1 リセット端子(RESET)

外部よりリセット端子をLOWレベル(V_{SS})にすることによりイニシャルリセットが行えます。その後、リセット端子をHIGHレベル(V_{DD})にすることによりイニシャルリセットは解除され、CPUが動作を開始します。

なお、リセット端子にはマスクオプションでプルアップ抵抗を付加することができます。

(1) リセット入力ラッチ

リセット入力信号はRSラッチにより保持され、内部イニシャルリセット信号となります。RSラッチは f_{osc} を分周したクロック信号の立ち上がりエッジで解除されるようになっています。このラッチ解除クロックの周波数は $f_{osc}/1048576$ です。

ラッチ解除クロックの例

$f_{osc} = 4.194304\text{MHz}$ の場合: 4Hz

$f_{osc} = 2\text{MHz}$ の場合: 1.9Hz

この例の場合、リセット端子がHIGHレベルになった後、内部イニシャルリセットが解除されるまで、それぞれ最大125msec、264msecの時間を要します。

(2) 電源投入時のリセット

電源投入時にICを確実にイニシャルリセットするためには、図2.2.1.1に示すタイミングでリセット端子をLOWレベルにしてください。

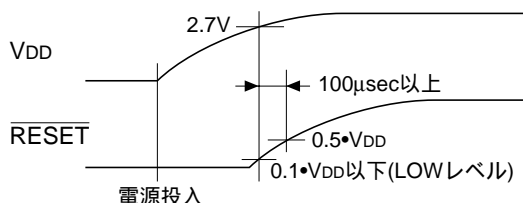


図2.2.1.1 電源投入時のイニシャルリセット

電源電圧が2.7V以上になるまでリセット端子は0.1・VDD以下（LOWレベル）とします。

その後100μsec以上、0.5・VDD以下のレベルを保持してください。

リセット端子がHIGHレベルになった後は、前述のラッチにより内部イニシャルリセットが解除されます。

(3) 動作中のリセット

動作中にイニシャルリセットを確実に行うためには、最低0.1msec以上、リセット入力をLOWレベルに保ってください。

リセット端子がHIGHレベルになった後は、前述のラッチにより内部イニシャルリセットが解除されます。

2.2.2 入力ポート (K00 ~ K03) の同時LOW入力

マスクオプションで選択された入力ポート (K00 ~ K03) に、外部から同時にLOW入力を与えることによりイニシャルリセットが行えます。このイニシャルリセットはノイズリジェク回路を通り、 $256 \cdot n / f_{osc}$ (nはプリスケアラの分周用パラメータで、PRSMレジスタ[FF02H]の設定値+1の値です) 以下のリセットパルスをノイズとして除去します。よって、動作中はリジェクパルス幅の3倍以上、指定入力ポート端子をLOWレベルに保ってください。

電源投入時には発振が停止しているため、ノイズリジェク回路は動作しません。このため、発振開始後、上記の時間が経過するまで指定入力ポート端子をLOWレベルに保ってください。表2.2.2.1にマスクオプションで選択できる入力ポート (K00 ~ K03) の組合せを示します。

表2.2.2.1 入力ポートの組合せ

1	使用しない
2	K00*K01*K02*K03
3	K00*K01*K02
4	K00*K01

たとえば、マスクオプションで2の"K00*K01*K02*K03"を選択した場合、K00 ~ K03の4ポートの入力が同時にLOWレベルになったときにイニシャルリセットを行います。3または4の場合は、選択した入力ポートの組合せが含まれるキー入力が行われたときにイニシャルリセットがかかります。なお、このリセット機能を使用する場合、通常動作時に指定ポートが同時にLOWレベルにならないように注意してください。

また、同時LOW入力の入力時間を検定し、規定時間以上の入力があったときにイニシャルリセットを行う時間検定回路をマスクオプションで選択できます。

検定時間は、プリスケアラの設定により $[524288 \cdot n / f_{osc}] \sim [1048576 \cdot n / f_{osc}]$ となります (n: PRSM設定値+1)。

検定時間の例

$f_{osc} = 4.194304\text{MHz}$, PRSM = 7の場合: Min. $524288 \cdot 8 / 4194304 = 1\text{sec}$, Max. $1048576 \cdot 8 / 4194304 = 2\text{sec}$
 $f_{osc} = 2\text{MHz}$, PRSM = 3の場合: Min. $524288 \cdot 4 / 2000000 = 1.0\text{sec}$, Max. $1048576 \cdot 4 / 2000000 = 2.1\text{sec}$

SLEEP状態では発振回路が停止するため、ノイズリジェク回路および時間検定回路はバイパスされます。

2.2.3 イニシャルリセット時の内部レジスタ

イニシャルリセットによりCPUは表2.2.3.1のように初期化されます。

イニシャルリセットによって初期化されないレジスタ、フラグは必要に応じてプログラムで初期化する必要があります。

特にスタックポインタSP1およびSP2は必ずペアで設定してください。イニシャルリセット後は、SP1、SP2両方のスタックポインタがソフトウェアにより設定されるまでNMIを含むすべての割り込みがマスクされます。

EXTレジスタにデータを書き込むとEフラグがセットされ、次の命令が拡張アドレッシングモードで実行されます。そこに拡張アドレッシングが禁止されている命令を使用した場合、動作が保証されません。したがって、EXTレジスタの初期化のみを目的としたデータ書き込みは行わないでください。

拡張アドレッシングと使用可能な命令については"S1C63000コアCPUマニュアル"を参照してください。

表2.2.3.1 初期設定値

CPUコア			
名 称	記号	ビット長	設定値
データレジスタA	A	4	不定
データレジスタB	B	4	不定
拡張レジスタEXT	EXT	8	不定
インデックスレジスタX	X	16	不定
インデックスレジスタY	Y	16	不定
プログラムカウンタ	PC	16	0110H
スタックポインタSP1	SP1	8	不定
スタックポインタSP2	SP2	8	不定
ゼロフラグ	Z	1	不定
キャリーフラグ	C	1	不定
インタラプトフラグ	I	1	0
拡張フラグ	E	1	0
キューレジスタ	Q	16	不定

周辺回路		
名 称	ビット長	設定値
RAM	4	不定
表示メモリ	4	不定
その他の周辺回路	—	*

* "4.1 メモリマップ"参照

2.2.4 イニシャルリセット時の端子設定

S1C63256の出力ポート(R)端子、入出力兼用ポート(P)端子は特殊出力端子やA/D変換器の入力端子と兼用されており、それらの機能をソフトウェアで選択するようになっています。イニシャルリセット時、各端子はすべてが汎用出力ポート端子、汎用入出力兼用ポート端子として設定されますので、アプリケーションの初期化ルーチンでシステムに合った設定を行ってください。また、システム設計の際には、出力端子の初期状態にも注意してください。

表2.2.4.1に兼用端子設定の一覧を示します。

表2.2.4.1 兼用端子設定一覧

端子名	イニシャルリセット時の 端子状態	特殊出力使用時		A/D変換器 使用時
		PTOUT	FOUT	
R00	R00 (HIGH出力)			
R01	R01 (HIGH出力)			
R02	R02 (HIGH出力)	PTOUT		
R03	R03 (HIGH出力)		FOUT	
P20~P23	P20~P23 (入力&プルアップ*)			
P40	P40 (入力&プルアップ*)			AD0(I)
P41	P41 (入力&プルアップ*)			AD1(I)
P42	P42 (入力&プルアップ*)			AD2(I)
P43	P43 (入力&プルアップ*)			AD3(I)

* マスクオプションにて"プルアップあり"選択時
("プルアップなし"選択時はハイインピーダンス)

機能の設定方法については各周辺回路の説明を参照してください。

2.3 テスト端子($\overline{\text{TEST}}$)

ICの出荷検査時に使用する端子です。通常動作時は $\overline{\text{TEST}}$ をV_{DD}に接続してください。

3 CPU, ROM, RAM

3.1 CPU

S1C63256はCPU部分に4ビットコアCPU S1C63000を使用しています。
S1C63000については"S1C63000コアCPUマニュアル"を参照してください。

3.2 コードROM

内蔵コードROMはプログラム格納用のマスクROMで、6,144ステップ×13ビットの容量があります。コアCPUのプログラム領域は0000H～FFFFHステップまでリニアにアクセス可能ですが、S1C63256では、このうち0000H～17FFHステップがプログラム領域となります。イニシャルリセット後のプログラム開始番地が0110Hステップ、ノンマスクابل割り込み(NMI)ベクタが0100H、ハードウェア割り込みベクタが0102H～010EHステップに割り当てられています。

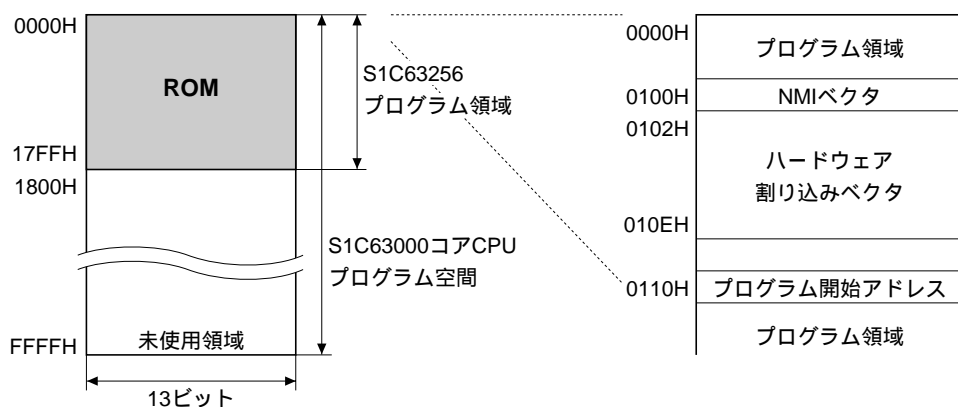


図3.2.1 コードROMの構成

3.3 RAM

RAMは種々のデータを格納するデータメモリで、256ワード×4ビットの容量があります。RAM領域は、データメモリマップ上のアドレス0000H～00FFHに割り当てられています。この全領域に渡って4ビット/16ビットデータアクセスが可能です。プログラミングの際には以下の点に注意してください。

- (1) データメモリの全領域をサブルーチンコールやレジスタ退避時のスタック領域としても使用できますので、データ領域とスタック領域が重ならないように注意してください。
- (2) S1C63000コアCPUは、4ビットデータ用スタックポインタ(SP2)および16ビットデータ用スタックポインタ(SP1)によりスタック処理を行います。スタックポインタは、SP1が0000H～03FFH、SP2が0000H～00FFHの範囲でサイクリックに動作します。このため、SP1はS1C63256のRAM領域を外れた0100H以上にも設定される可能性がありますので注意してください。SP1によるスタック操作以外のメモリアccessは4ビットデータアクセスとなります。
また、イニシャルリセット時は、スタックポインタSP1、SP2の両方がソフトウェアで設定されるまでNMIを含むすべての割り込みがマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまでNMIを含む割り込みは再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。
- (3) サブルーチンコールでは16ビットデータ用スタック(SP1)を4ワード(PCの退避)消費します。割り込みでは16ビットデータ用スタックエリアを4ワード(PCの退避)4ビットデータ用スタックエリアを1ワード(Fレジスタの退避)消費します。

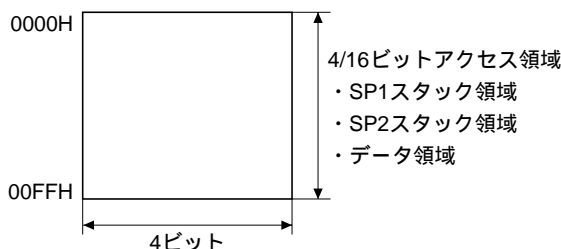


図3.3.1 データRAMの構成

4 周辺回路と動作

S1C63256の周辺回路(タイマ、I/O等)はメモリマップドI/O方式で、CPUとインタフェースされています。このため、メモリマップ上のI/Oメモリをメモリ操作命令でアクセスすることにより、すべての周辺回路を制御することができます。

以下に、各周辺回路の動作について詳細に説明します。

4.1 メモリマップ

S1C63256のデータメモリは256ワードのRAM、20ワードの表示メモリ、52ワードの周辺I/Oメモリ領域で構成されます。

図4.1.1にS1C63256の全体のメモリマップ、表4.1.1(a)~(d)に周辺回路(I/O空間)のメモリマップを示します。

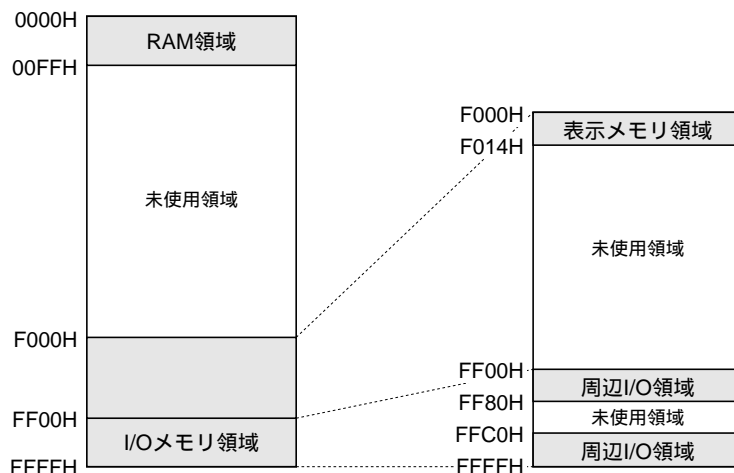


図4.1.1 メモリマップ

注: メモリマップの未使用領域にはメモリが実装されていません。また、周辺I/O領域にも非実装領域、未使用(アクセス禁止)領域が存在します。これらの領域をアクセスするようなプログラムを作成した場合は、正常な動作を保証することはできません。

周辺I/O領域については表4.1.1(a)~(d)に示すI/Oメモリマップを参照してください。

表4.1.1(a) I/Oメモリマップ(FF02H~FF52H)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF02H	PRSM3	PRSM2	PRSM1	PRSM0	PRSM3	1			ブリスケラ設定 ブリスケラ出力 $f_{PRS} = \frac{f_{OSC}}{2 \cdot (PRSM+1)}$ PRSM設定条件: $240\text{Hz} < f_{OSC} / (2048 \cdot (PRSM+1)) < 530\text{Hz}$
					PRSM2	1			
	R/W				PRSM1	1			
					PRSM0	1			
FF06H	FOUT	0	FOFQ1	FOFQ0	FOUT	0	Enable	Disable	FOUT出力イネーブル 未使用 [FOFQ1, 0] 0 1 2 3 周波数 fOSC fPRS fPRS 64 fPRS 512 FOUT 周波数選択 fOSC=4.19MHz→ 262kHz 4kHz 512Hz
					0 *3	- *2			
	R/W	R	R/W		FOFQ1	0			
					FOFQ0	0			
FF07H	0	0	WDEN	WDRST	0 *3	- *2			未使用 未使用 ウォッチドッグタイマイネーブル ウォッチドッグタイマリセット(書き込み時)
					0 *3	- *2			
	R		R/W	W	WDEN	1	Enable	Disable	
					WDRST *3	Reset	Reset	Invalid	
FF20H	SIK03	SIK02	SIK01	SIK00	SIK03	0	Enable	Disable	K00 ~ K03割り込み選択レジスタ
					SIK02	0	Enable	Disable	
	R/W				SIK01	0	Enable	Disable	
					SIK00	0	Enable	Disable	
FF21H	K03	K02	K01	K00	K03	- *2	High	Low	K00 ~ K03入力ポートデータ
					K02	- *2	High	Low	
	R				K01	- *2	High	Low	
					K00	- *2	High	Low	
FF22H	KCP03	KCP02	KCP01	KCP00	KCP03	1			K00 ~ K03入力比較レジスタ
					KCP02	1			
	R/W				KCP01	1			
					KCP00	1			
FF30H	R03HIZ	R02HIZ	R01HIZ	R00HIZ	R03HIZ	0	High-Z	Output	R03/FOUT出力ハインピーダンス制御 R02/PTOUT出力ハインピーダンス制御 R01出力ハインピーダンス制御 R00出力ハインピーダンス制御
					R02HIZ	0	High-Z	Output	
	R/W				R01HIZ	0	High-Z	Output	
					R00HIZ	0	High-Z	Output	
FF31H	R03	R02	R01	R00	R03	1	High	Low	R03出力ポートデータ(FOUT=0) FOUT出力時は1に固定 R02出力ポートデータ(PTOUT=0) PTOUT出力時は1に固定 R01出力ポートデータ R00出力ポートデータ
					R02	1	High	Low	
	R/W				R01	1	High	Low	
					R00	1	High	Low	
FF48H	IOC23	IOC22	IOC21	IOC20	IOC23	0	Output	Input	P20 ~ P23 I/O制御レジスタ
					IOC22	0	Output	Input	
	R/W				IOC21	0	Output	Input	
					IOC20	0	Output	Input	
FF49H	PUL23	PUL22	PUL21	PUL20	PUL23	1	On	Off	P20 ~ P23プルアップ制御レジスタ
					PUL22	1	On	Off	
	R/W				PUL21	1	On	Off	
					PUL20	1	On	Off	
FF4AH	P23	P22	P21	P20	P23	- *2	High	Low	P20 ~ P23入出力兼用ポートデータ
					P22	- *2	High	Low	
	R/W				P21	- *2	High	Low	
					P20	- *2	High	Low	
FF50H	IOC43	IOC42	IOC41	IOC40	IOC43	0	Output	Input	P43 I/O制御(PAD3=0) 汎用レジスタ(PAD3=1) P42 I/O制御(PAD2=0) 汎用レジスタ(PAD2=1) P41 I/O制御(PAD1=0) 汎用レジスタ(PAD1=1) P40 I/O制御(PAD0=0) 汎用レジスタ(PAD0=1)
					IOC42	0	Output	Input	
	R/W				IOC41	0	Output	Input	
					IOC40	0	Output	Input	
FF51H	PUL43	PUL42	PUL41	PUL40	PUL43	1	On	Off	P43プルアップ制御(PAD3=0) 汎用レジスタ(PAD3=1) P42プルアップ制御(PAD2=0) 汎用レジスタ(PAD2=1) P41プルアップ制御(PAD1=0) 汎用レジスタ(PAD1=1) P40プルアップ制御(PAD0=0) 汎用レジスタ(PAD0=1)
					PUL42	1	On	Off	
	R/W				PUL41	1	On	Off	
					PUL40	1	On	Off	
FF52H	P43	P42	P41	P40	P43	- *2	High	Low	P43ポートデータ(PAD3=0) 汎用レジスタ(PAD3=1) P42ポートデータ(PAD2=0) 汎用レジスタ(PAD2=1) P41ポートデータ(PAD1=0) 汎用レジスタ(PAD1=1) P40ポートデータ(PAD0=0) 汎用レジスタ(PAD0=1)
					P42	- *2	High	Low	
	R/W				P41	- *2	High	Low	
					P40	- *2	High	Low	

[注 釈]

*1 イニシャルリセット時の初期値 *2 回路上設定されない *3 読み出し時は常時"0"

S1C63256 TECHNICAL MANUAL EPSON 17

表4.1.1(c) I/Oメモリマップ(FFD1H~FFDFH)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FFD1H	RLD07	RLD06	RLD05	RLD04	RLD07	0			MSB プログラマブルタイマ0リロードデータ(上位4ビット) LSB
					RLD06	0			
					RLD05	0			
					RLD04	0			
FFD2H	RLD13	RLD12	RLD11	RLD10	RLD13	0			MSB プログラマブルタイマ1リロードデータ(下位4ビット) LSB
					RLD12	0			
					RLD11	0			
					RLD10	0			
FFD3H	RLD17	RLD16	RLD15	RLD14	RLD17	0			MSB プログラマブルタイマ1リロードデータ(上位4ビット) LSB
					RLD16	0			
					RLD15	0			
					RLD14	0			
FFD4H	RLD23	RLD22	RLD21	RLD20	RLD23	0			MSB プログラマブルタイマ2リロードデータ(下位4ビット) LSB
					RLD22	0			
					RLD21	0			
					RLD20	0			
FFD5H	RLD27	RLD26	RLD25	RLD24	RLD27	0			MSB プログラマブルタイマ2リロードデータ(上位4ビット) LSB
					RLD26	0			
					RLD25	0			
					RLD24	0			
FFD6H	RLD33	RLD32	RLD31	RLD30	RLD33	0			MSB プログラマブルタイマ3リロードデータ(下位4ビット) LSB
					RLD32	0			
					RLD31	0			
					RLD30	0			
FFD7H	RLD37	RLD36	RLD35	RLD34	RLD37	0			MSB プログラマブルタイマ3リロードデータ(上位4ビット) LSB
					RLD36	0			
					RLD35	0			
					RLD34	0			
FFD8H	PTD03	PTD02	PTD01	PTD00	PTD03	0			MSB プログラマブルタイマ0データ(下位4ビット) LSB
					PTD02	0			
					PTD01	0			
					PTD00	0			
FFD9H	PTD07	PTD06	PTD05	PTD04	PTD07	0			MSB プログラマブルタイマ0データ(上位4ビット) LSB
					PTD06	0			
					PTD05	0			
					PTD04	0			
FFDAH	PTD13	PTD12	PTD11	PTD10	PTD13	0			MSB プログラマブルタイマ1データ(下位4ビット) LSB
					PTD12	0			
					PTD11	0			
					PTD10	0			
FFDBH	PTD17	PTD16	PTD15	PTD14	PTD17	0			MSB プログラマブルタイマ1データ(上位4ビット) LSB
					PTD16	0			
					PTD15	0			
					PTD14	0			
FFDCH	PTD23	PTD22	PTD21	PTD20	PTD23	0			MSB プログラマブルタイマ2データ(下位4ビット) LSB
					PTD22	0			
					PTD21	0			
					PTD20	0			
FFDDH	PTD27	PTD26	PTD25	PTD24	PTD27	0			MSB プログラマブルタイマ2データ(上位4ビット) LSB
					PTD26	0			
					PTD25	0			
					PTD24	0			
FFDEH	PTD33	PTD32	PTD31	PTD30	PTD33	0			MSB プログラマブルタイマ3データ(下位4ビット) LSB
					PTD32	0			
					PTD31	0			
					PTD30	0			
FFDFH	PTD37	PTD36	PTD35	PTD34	PTD37	0			MSB プログラマブルタイマ3データ(上位4ビット) LSB
					PTD36	0			
					PTD35	0			
					PTD34	0			

表4.1.1(d) I/Oメモリマップ(FFE2H ~ FFF7H)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FFE2H	EIPT3	EIPT2	EIPT1	EIPT0	EIPT3	0	Enable	Mask	割り込みマスクレジスタ(プログラマブルタイマ3)
					EIPT2	0	Enable	Mask	割り込みマスクレジスタ(プログラマブルタイマ2)
	R/W				EIPT1	0	Enable	Mask	割り込みマスクレジスタ(プログラマブルタイマ1)
					EIPT0	0	Enable	Mask	割り込みマスクレジスタ(プログラマブルタイマ0)
FFE4H	0	0	0	EIK0	0 *3	- *2			未使用
					0 *3	- *2			未使用
	R			R/W	0 *3	- *2			未使用
					EIK0	0	Enable	Mask	割り込みマスクレジスタ(K00 ~ K03)
FFE6H	0	0	0	EIT0	0 *3	- *2			未使用
					0 *3	- *2			未使用
	R			R/W	0 *3	- *2			未使用
					EIT0	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ1Hz)
FFE7H	0	0	0	EIAD	0 *3	- *2			未使用
					0 *3	- *2			未使用
	R			R/W	0 *3	- *2			未使用
					EIAD	0	Enable	Mask	割り込みマスクレジスタ(A/D変換器)
FFF2H	IPT3	IPT2	IPT1	IPT0	IPT3	0	(R)	(R)	割り込み要因フラグ(プログラマブルタイマ3)
					IPT2	0	Yes	No	割り込み要因フラグ(プログラマブルタイマ2)
	R/W				IPT1	0	(W)	(W)	割り込み要因フラグ(プログラマブルタイマ1)
					IPT0	0	Reset	Invalid	割り込み要因フラグ(プログラマブルタイマ0)
FFF4H	0	0	0	IK0	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
	R			R/W	0 *3	- *2	(W)	(W)	未使用
					IK0	0	Reset	Invalid	割り込み要因フラグ(K00 ~ K03)
FFF6H	0	0	0	IT0	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
	R			R/W	0 *3	- *2	(W)	(W)	未使用
					IT0	0	Reset	Invalid	割り込み要因フラグ(計時タイマ1Hz)
FFF7H	0	0	0	IAD	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
	R			R/W	0 *3	- *2	(W)	(W)	未使用
					IAD	0	Reset	Invalid	割り込み要因フラグ(A/D変換器)

4.2 発振回路とプリスケアラ

4.2.1 発振回路の構成

S1C63256は発振回路を内蔵しており、CPUおよび周辺回路に動作クロックを供給します。発振回路の種類としては、水晶/セラミック発振、CR発振、外部クロック入力の中から1つをマスクオプションで選択することができます。発振周波数は0.5MHz～4.5MHz(CR発振はMax. 2.5MHz)まで対応しています。この広範囲な周波数から周辺回路の動作クロックを生成するため、発振回路の後段にはプリスケアラが設けられています。プリスケアラの分周比は発振周波数に合わせてソフトウェアで設定可能です。図4.2.1.1に発振系のブロック図を示します。

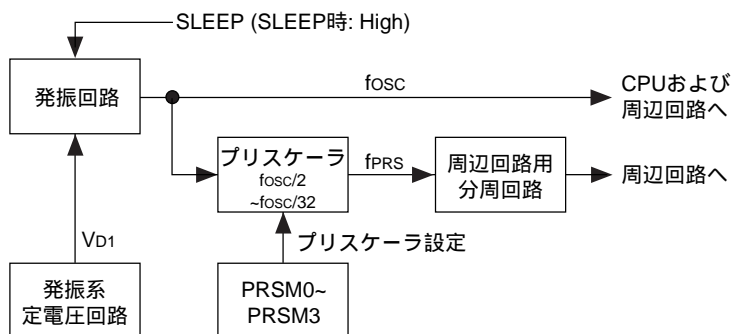


図4.2.1.1 発振系のブロック図

4.2.2 発振回路の種類

S1C63256では発振回路の種類として水晶/セラミック発振、CR発振、外部クロック入力の1つをマスクオプションで選択できます。発振周波数はCR発振が0.5MHz～2.5MHzまで、その他は0.5MHz～4.5MHzまで対応しています。この発振回路はSLEEP時に停止します。

注: 計時機能を使用する場合は、4.194304MHzの水晶発振回路を推奨します。

(1) 水晶/セラミック発振回路

図4.2.2.1に示すとおり、OSC3端子とOSC4端子間に水晶振動子(X'tal)と帰還抵抗(R_f)、OSC3端子とV_{SS}間にゲートキャパシタ(C_G)、OSC4端子とV_{SS}間にドレインキャパシタ(C_D)をそれぞれ接続することにより、容易に水晶発振回路を構成することができます。セラミック発振の場合は、水晶振動子の代わりにセラミック振動子をOSC3端子とOSC4端子間に接続します。各素子の推奨値については"7 電気的特性"を参照してください。

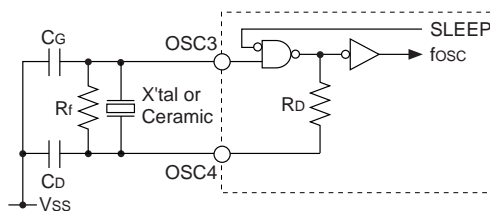


図4.2.2.1 水晶/セラミック発振回路

(2) CR発振回路

図4.2.2.2に示すとおり、OSC3端子とOSC4端子間に抵抗(R_{CR})を接続するだけでCR発振回路を構成できます。抵抗値については"7 電気的特性"を参照してください。

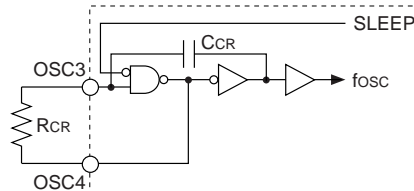


図4.2.2.2 CR発振回路

(3) 外部クロック入力

外部クロック入力を選択した場合はOSC4端子を開放し、OSC3端子に矩形波のクロックを入力してください。

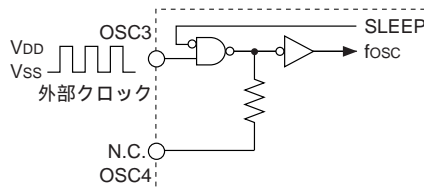


図4.2.2.3 外部クロック入力

4.2.3 プリスケアラ

0.5MHz～4.5MHzまでの発振周波数に対応するため、発振回路の後段にはプリスケアラが設けられています。このプリスケアラによって、周辺回路の動作クロックを一定範囲に設定します。プリスケアラの分周比はPRSMレジスタによって次のように設定できます。

表4.2.3.1 プリスケアラの分周比

PRSM3	PRSM2	PRSM1	PRSM0	fPRS	PRSM3	PRSM2	PRSM1	PRSM0	fPRS
1	1	1	1	fosc/32	0	1	1	1	fosc/16
1	1	1	0	fosc/30	0	1	1	0	fosc/14
1	1	0	1	fosc/28	0	1	0	1	fosc/12
1	1	0	0	fosc/26	0	1	0	0	fosc/10
1	0	1	1	fosc/24	0	0	1	1	fosc/8
1	0	1	0	fosc/22	0	0	1	0	fosc/6
1	0	0	1	fosc/20	0	0	0	1	fosc/4
1	0	0	0	fosc/18	0	0	0	0	fosc/2

fPRS: プリスケアラの出力クロック周波数=fosc/2n (n: PRSM設定値+1)

fosc: 発振クロック周波数

設定は次の条件を満たすように行ってください。

$$240\text{Hz} < \frac{\text{fosc}}{2048 \cdot n} < 530\text{Hz} \quad (n: \text{PRSM設定値}+1)$$

例: fosc = 4.194304MHzの場合: fosc/(2048・8) = 256Hz PRSM = 7 fPRS = 262.144kHz

fosc = 2MHzの場合: fosc/(2048・4) = 244Hz PRSM = 3 fPRS = 250kHz

注: 実際にはfoscの周波数偏差も考慮した設定が必要です。記載例は周波数偏差を考慮していません。周波数偏差については“7 電気的特性”を参照してください。

プリスケアラの設定が影響する周辺回路は以下のとおりです。

- ・計時タイマとウォッチドッグタイマ(カウントクロック)
- ・LCDドライバ(フレーム周波数)
- ・ブザー出力回路(ブザー周波数、2Hzインターバル)
- ・出力ポート特殊出力(FOUT周波数)
- ・イニシャルリセット回路(時間検定回路、ノイズリジェクタ)
- ・プログラマブルタイマ(ノイズリジェクタ、データホールド時間)
- ・A/D変換クロック

これらの周辺回路の動作クロックは、プリスケアラの出力(fPRS)を分周して生成します。

表4.2.3.2に各周辺回路用クロックの分周比と周波数の例を示します。4.19MHzの例はPRSMを7に設定、2MHzの例はPRSMを3に設定した場合のものです。

表4.2.3.2 周辺回路用クロック周波数

周辺回路/信号	分周比	周波数/時間	
		fosc=4.194304MHz	fosc=2MHz
計時タイマカウントクロック	fPRS/1024	256Hz	244Hz
計時タイマ1Hz割り込み(WDTクロック)	fPRS/262144	1Hz	0.95Hz
ウォッチドッグタイマリセット周期Min.	786432/fPRS	3sec	3.15sec
ウォッチドッグタイマリセット周期Max.	1048576/fPRS	4sec	4.19sec
LCDドライバフレーム周波数(1/4, 1/2デューティ)	fPRS/4096	64Hz	61.0Hz
LCDドライバフレーム周波数(1/3デューティ)	fPRS/3072	85.3Hz	81.4Hz
ブザー信号(2kHz)	fPRS/128	2048Hz	1953Hz
ブザー信号(4kHz)	fPRS/64	4096Hz	3906Hz
ブザー2Hzインターバル	fPRS/131072	2Hz	1.9Hz
FOUT周波数0	fOSC	4.194304MHz	2MHz
FOUT周波数1	fPRS	262.144kHz	250kHz
FOUT周波数2	fPRS/64	4096Hz	3906Hz
FOUT周波数3	fPRS/512	512Hz	488Hz
イニシャルリセットノイズリジェクタパルス幅	128/fPRS	0.49msec	0.51msec
入力ポート同時Lowリセット検定時間Min.	262144/fPRS	1sec	1.05sec
入力ポート同時Lowリセット検定時間Max.	524288/fPRS	2sec	2.1sec
プログラマブルタイマノイズリジェクタパルス幅	128/fPRS	0.49msec	0.51msec
プログラマブルタイマデータホールド時間(8ビット)	128/fPRS	0.49msec	0.51msec
プログラマブルタイマデータホールド時間(16ビット)	256/fPRS	0.98msec	1.02msec
A/D変換クロック	fPRS	262.144kHz	250kHz

4.2.4 クロック周波数とインストラクション実行時間

CPUは発振クロック f_{osc} で動作します。

表4.2.4.1にクロック周波数によるインストラクションの実行時間の例を示します。

表4.2.4.1 クロック周波数とインストラクション実行時間

クロック周波数	インストラクション実行時間(μsec)		
	1サイクル命令	2サイクル命令	3サイクル命令
4.194304MHz	0.48	0.95	1.43
2MHz	1	2	3

4.2.5 プリスケアラのI/Oメモリ

表4.2.5.1にプリスケアラの制御ビットとそのアドレスを示します。

表4.2.5.1 プリスケアラの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF02H	PRSM3	PRSM2	PRSM1	PRSM0	PRSM3	1			プリスケアラ設定 プリスケアラ出力 $f_{PRS} = \frac{f_{osc}}{2 \cdot (PRSM+1)}$ PRSM設定条件: $240\text{Hz} < f_{osc}/(2048 \cdot (PRSM+1)) < 530\text{Hz}$
					PRSM2	1			
					PRSM1	1			
					PRSM0	1			
	R/W								

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

PRSM3 ~ PRSM0: プリスケアラ設定レジスタ(FF02H)

プリスケアラの分周比を設定します。

表4.2.5.2 プリスケアラの設定

PRSM3	PRSM2	PRSM1	PRSM0	fPRS	PRSM3	PRSM2	PRSM1	PRSM0	fPRS
1	1	1	1	$f_{osc}/32$	0	1	1	1	$f_{osc}/16$
1	1	1	0	$f_{osc}/30$	0	1	1	0	$f_{osc}/14$
1	1	0	1	$f_{osc}/28$	0	1	0	1	$f_{osc}/12$
1	1	0	0	$f_{osc}/26$	0	1	0	0	$f_{osc}/10$
1	0	1	1	$f_{osc}/24$	0	0	1	1	$f_{osc}/8$
1	0	1	0	$f_{osc}/22$	0	0	1	0	$f_{osc}/6$
1	0	0	1	$f_{osc}/20$	0	0	0	1	$f_{osc}/4$
1	0	0	0	$f_{osc}/18$	0	0	0	0	$f_{osc}/2$

発振周波数に合わせて選択してください。

発振周波数が4.194304MHzの場合には7(0111B)を設定することにより、計時タイマを使用することができます。

詳細は4.2.3項を参照してください。

イニシャルリセット時、このレジスタは"1111B"に設定されます。

4.2.6 プログラミング上の注意事項

プリスケアラを正しく設定しないと、周辺回路が正常に動作しない場合があります。

4.3 入力ポート(K00 ~ K03)

4.3.1 入力ポートの構成

S1C63256は4ビットの汎用入力ポートを内蔵しています。各入力ポート端子(K00 ~ K03)には内蔵プルアップ抵抗が用意されており、マスクオプションで1ビットごとにプルアップ抵抗の有無を選択できます。図4.3.1.1に入力ポートの構造を示します。

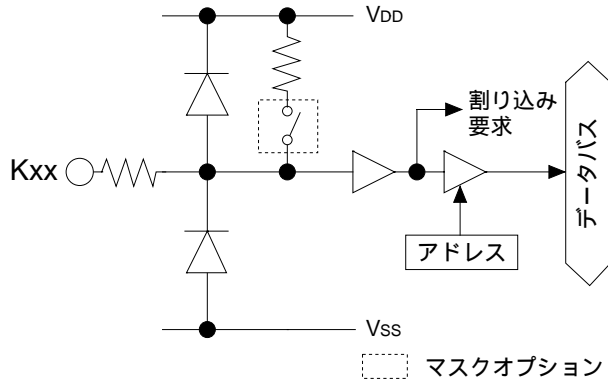


図4.3.1.1 入力ポートの構造

マスクオプションで"プルアップ抵抗 あり"を選択した場合、プッシュスイッチ、キーマトリクス等の入力に適当です。また、"プルアップ抵抗 なし"を選択した場合、スライドスイッチ入力、他 LSI とのインタフェースなどに使用できます。

4.3.2 割り込み機能

入力ポート4ビット(K00 ~ K03)は、すべて割り込み機能を持っており、割り込み発生条件はソフトウェアで設定することができます。また、割り込みをマスクするかしないかを、同様にソフトウェアで設定することができます。SLEEP状態からの解除も、この入力ポート割り込みを使用します。

図4.3.2.1にK00 ~ K03割り込み回路の構成図を示します。

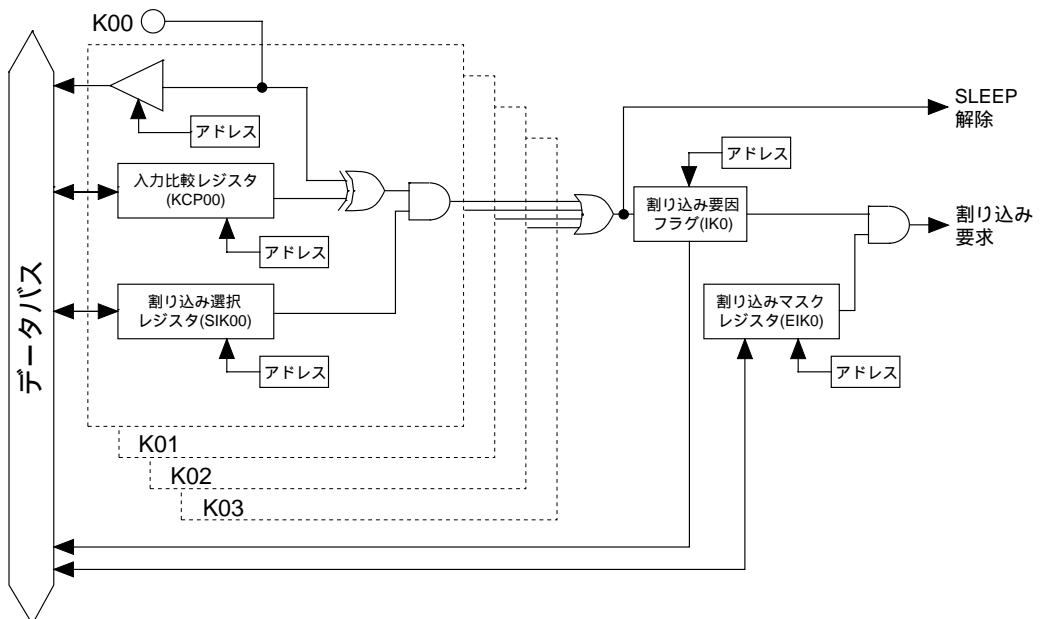


図4.3.2.1 入力割り込み回路構成

入力ポートK00～K03には個々に割り込み選択レジスタ(SIK)および入力比較レジスタ(KCP)が設定されており、割り込みを発生させる端子と割り込みタイミングを指定することができます。

割り込み選択レジスタ(SIK00～SIK03)は、K00～K03のどの入力を割り込みに使用するか選択します。割り込み選択レジスタに"1"を書き込むことにより、その入力ポートを割り込み発生条件に組み込みます。割り込み選択レジスタが"0"に設定されている入力ポートの変化は割り込みの発生に影響を与えません。

入力割り込みタイミングは、入力比較レジスタ(KCP00～KCP03)の設定値により、割り込みを入力の上立ち上がりエッジで発生させるか、立ち下がりエッジで発生させるかを選択することができます。この2つの条件設定により、K00～K03(4ビット)の割り込みは入力選択レジスタで割り込みが許可されている入力ポートと入力比較レジスタの内容が一致状態から不一致状態に変化したときに割り込みが発生します。

また、割り込みマスクレジスタ(EIK0)により、割り込みのマスクを選択することができます。

割り込みが発生した際には、割り込み要因フラグ(IK0)が"1"にセットされます。

図4.3.2.2にK00～K03割り込み発生例を示します。

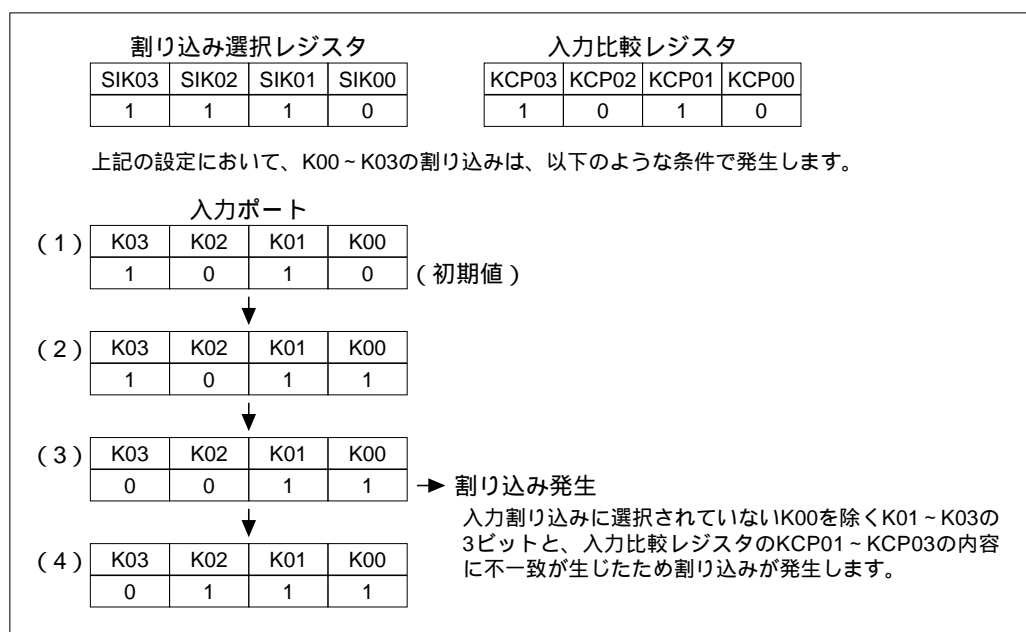


図4.3.2.2 K00～K03割り込み発生例

K00は割り込み選択レジスタ(SIK00)によって割り込みが禁止されているため、(2)の時点では割り込みは発生しません。次に(3)でK03が"0"になるため、割り込みが許可されている端子のデータと入力比較レジスタのデータとの不一致により割り込みが発生します。ただし、割り込みマスクレジスタ(EIK0)によってK00～K03入力割り込みがイネーブルに設定されている必要があります。前述のとおり、ポートデータと入力比較レジスタの内容が一致状態から不一致状態に変化することが割り込み発生条件となるため、(4)のように不一致状態から、別の不一致状態に変化しても割り込みは発生しません。また、割り込みが禁止されている端子は割り込み発生条件に影響を与えません。

4.3.3 マスクオプション

入力ポートのマスクオプションでは4ビットの入力ポート(K00～K03)に対して、1ビットごとに内蔵プルアップ抵抗の有無を選択できます。

"プルアップ抵抗 なし"を選択した場合は、入力にフローティング状態が発生しないよう注意してください。使用しない入力ポートは"プルアップ抵抗 あり"を選択してください。

4.3.4 入力ポートのI/Oメモリ

表4.3.4.1に入力ポートの制御ビットとそのアドレスを示します。

表4.3.4.1 入力ポートの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF20H	SIK03	SIK02	SIK01	SIK00	SIK03	0	Enable	Disable	K00 ~ K03割り込み選択レジスタ
					SIK02	0	Enable	Disable	
					SIK01	0	Enable	Disable	
	R/W				SIK00	0	Enable	Disable	
FF21H	K03	K02	K01	K00	K03	—*2	High	Low	K00 ~ K03入力ポートデータ
					K02	—*2	High	Low	
					K01	—*2	High	Low	
	R				K00	—*2	High	Low	
FF22H	KCP03	KCP02	KCP01	KCP00	KCP03	1	↓	↑	K00 ~ K03入力比較レジスタ
					KCP02	1	↓	↑	
					KCP01	1	↓	↑	
	R/W				KCP00	1	↓	↑	
FFE4H	0	0	0	EIK0	0 *3	—*2			未使用
					0 *3	—*2			未使用
					0 *3	—*2			未使用
	R			R/W	EIK0	0	Enable	Mask	割り込みマスクレジスタ(K00 ~ K03)
FFF4H	0	0	0	IK0	0 *3	—*2	(R)	(R)	未使用
					0 *3	—*2	Yes	No	未使用
					0 *3	—*2	(W)	(W)	未使用
	R			R/W	IK0	0	Reset	Invalid	割り込み要因フラグ(K00 ~ K03)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

K00 ~ K03: K0入力ポートデータ(FF21H)

入力ポート端子の入力データが読み出せます。

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

書き込み: 無効

入力ポート4ビット(K00 ~ K03)の端子電圧がそれぞれHIGH(V_{DD})レベルのとき"1"、LOW(V_{SS})レベルのとき"0"として読み出せます。

これらのビットは読み出し専用のため、書き込み動作は無効となります。

SIK00 ~ SIK03: K0ポート割り込み選択レジスタ(FF20H)

K00 ~ K03入力割り込みに使用するポートを選択します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

割り込み選択レジスタ(SIK00 ~ SIK03)に"1"を書き込んだ入力ポート(K00 ~ K03)の割り込みを許可します。"0"に設定した入力ポートは割り込みの発生条件には影響を与えません。

イニシャルリセット時、このレジスタは"0"に設定されます。

注: SLEEP状態の解除に使用する入力ポートの割り込み選択レジスタには、SLP命令実行前に"1"を書き込み、割り込み許可の状態に設定しておく必要があります。

KCP00 ~ KCP03: K0ポート入力比較レジスタ(FF22H)

割り込み発生タイミングを設定します。

"1"書き込み: 立ち下がりエッジ
 "0"書き込み: 立ち上がりエッジ
 読み出し: 可能

入力ポートは入力比較レジスタ(KCP00 ~ KCP03)によって、割り込みの発生タイミングを入力の立ち上がりエッジとするか立ち下がりエッジとするか、1ビットごとに選択できます。

ただし、SIK00 ~ SIK03レジスタによってK00 ~ K03の中の割り込みが許可されているポートとのみ比較が行われます。

イニシャルリセット時、このレジスタは"1111B"に設定されます。

EIK0: K0入力割り込みマスクレジスタ(FFE4H・D0)

入力ポートの割り込みについて、マスクするかしないかを選択します。

"1"書き込み: イネーブル
 "0"書き込み: マスク
 読み出し: 可能

入力ポートの割り込みをマスクするかしないかを、このレジスタにより選択できます。

イニシャルリセット時、このレジスタはすべて"0"に設定されます。

注: SLEEP状態の解除には入力ポート割り込みが使用されるため、SLP命令実行前にこのレジスタをイネーブル状態に設定しておく必要があります。

IK0: K0入力割り込み要因フラグ(FFF4H・D0)

入力割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有
 "0"読み出し: 割り込み無
 "1"書き込み: 要因フラグをリセット
 "0"書き込み: 無効

割り込み要因フラグIK0はK00 ~ K03の入力割り込みに対応します。このフラグによって入力割り込みの有無を、ソフトウェアで判断することができます。

割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず割り込み条件の成立により"1"にセットされます。ただし、割り込みがマスクされている場合はCPUに対して割り込みは発生しません。このフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(1フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、このフラグは"0"に設定されます。

4.3.5 プログラミング上の注意事項

- (1)入力ポートをLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の時定数によって波形立ち上がりに遅延が生じます。このため、入力ポートの取り込みを行う際は、適切な待ち時間を設定してください。

特に、キーマトリクス構成時のキースキャン等に注意が必要です。

この待ち時間は次の式で算出される時間以上としてください。

待ち時間= $R_{IN} \times (C_{IN} + \text{基板上的の負荷容量}) \times 1.6$ [sec]

R_{IN} : プルアップ抵抗Max.値

C_{IN} : 端子容量Max.値

- (2)K03端子はプログラマブルタイマの入力クロック端子としての機能も兼ねることがあり、入力ポート機能と入力信号が共有されます。そのため、K03端子をプログラマブルタイマの入力クロック端子に設定した場合、割り込み等の設定には十分注意してください。
- (3)割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(1フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.4 出力ポート(R00 ~ R03)

4.4.1 出力ポートの構成

S1C63256は4ビットの汎用出力ポートを内蔵しています。

各出力ポートの出力仕様はマスクオプションで個別に選択できます。選択できる出力仕様はコンプリメンタリ出力とNチャンネルオープンドレイン出力の2種類です。

図4.4.1.1に出力ポートの構成を示します。

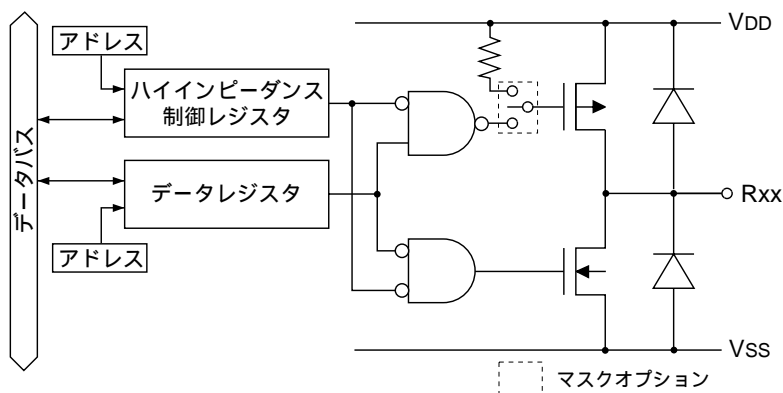


図4.4.1.1 出力ポートの構成

R02、R03出力ポート端子は特殊出力(PTOUT、FOUT)端子と兼用されており、この機能をソフトウェアによって選択するようになっています。

イニシャルリセット時はすべて汎用出力ポートに設定されます。

表4.4.1.1に機能選択による出力端子の設定を示します。

表4.4.1.1 出力端子の機能設定

端子名	イニシャルリセット時の 端子状態	特殊出力使用時	
		PTOUT	FOUT
R00	R00 (HIGH出力)	R00	R00
R01	R01 (HIGH出力)	R01	R01
R02	R02 (HIGH出力)	PTOUT	
R03	R03 (HIGH出力)		FOUT

特殊出力として使用する場合、データレジスタは"1"に、ハイインピーダンス制御レジスタは"0" (データ出力)に固定する必要があります。

4.4.2 マスクオプション

出力ポートはマスクオプションにより出力仕様の選択が行えます。

出力ポートR00～R03の出力仕様はポート個々(1ビット単位)に、コンプリメンタリ出力またはNチャンネルオープンドレイン出力のいずれかが選択できます。

このマスクオプションは出力ポート(R02、R03)を特殊出力として使用する場合も有効です。

ただし、Nチャンネルオープンドレイン出力を選択した場合でも、出力ポートに電源電圧を越える電圧の印加は禁止します。

4.4.3 ハイインピーダンス制御

出力ポートは、ソフトウェアにより端子の出力状態をハイインピーダンスとすることができます。制御はハイインピーダンス制御レジスタによってポート個々に行えます。ハイインピーダンス制御レジスタに"1"を書き込むと対応する出力ポート端子がハイインピーダンスとなり、"0"でデータレジスタに従った出力が行われます。

4.4.4 特殊出力

出力ポートR02およびR03は通常のDC出力のほかに表4.4.4.1に示す特殊出力をソフトウェアによって設定できます。図4.4.4.1にR02およびR03出力ポートの構成を示します。

表4.4.4.1 特殊出力

端子名	特殊出力選択時	特殊出力制御レジスタ
R03	FOUT	FOUT
R02	PTOUT	PTOUT

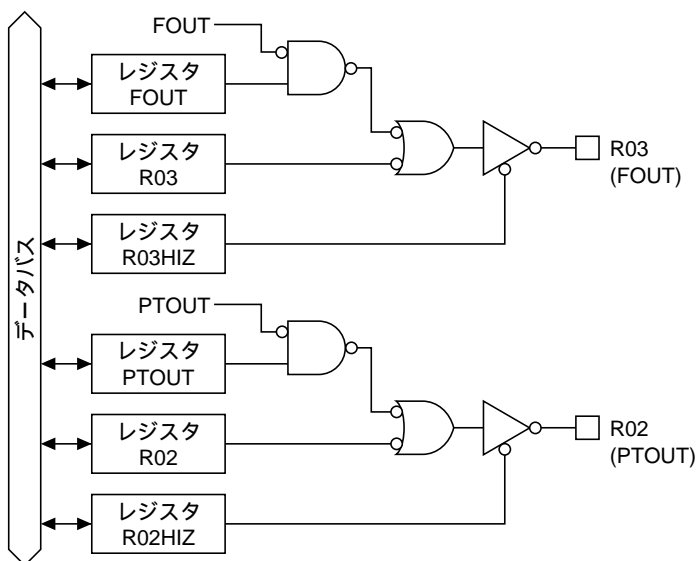


図4.4.4.1 R02、R03出力ポートの構成

イニシャルリセット時、出力ポートのデータレジスタは"1"、ハイインピーダンス制御レジスタは"0"に設定され、出力端子はHIGH(V_{DD})レベルとなります。R02、R03を特殊出力ポートとして使用する場合はデータレジスタR02、R03を"1"、ハイインピーダンス制御レジスタR02HIZ、R03HIZを"0"(データ出力)に固定し、特殊出力制御レジスタによってそれぞれの信号をON/OFFしてください。

- 注:
- 特殊出力選択時にR02、R03レジスタに"0"を書き込むと、DC出力の場合と同様に出力端子がLOW(V_{SS})レベルに固定されますので注意してください。
 - ハイインピーダンス制御レジスタR02HIZ、R03HIZに"1"を書き込むと、出力端子がハイインピーダンスになりますので注意してください。

PTOUT(R02)

R02端子からはPTOUT信号を出力させることができます。

PTOUT信号はプログラブルタイマの出力クロックで、外部デバイスに対するクロック供給などの目的に使用することができます。

PTOUT出力を行う場合はR02レジスタを"1"、R02HIZレジスタを"0"に固定し、PTOUTレジスタによって信号をON/OFFします。ただし、プログラブルタイマの制御が必要です。

プログラブルタイマの詳細については"4.8 プログラブルタイマ"を参照してください。

注: PTOUT出力信号はON/OFF時にハザードを生じる可能性があります。

図4.4.4.2にPTOUT信号の出力波形を示します。

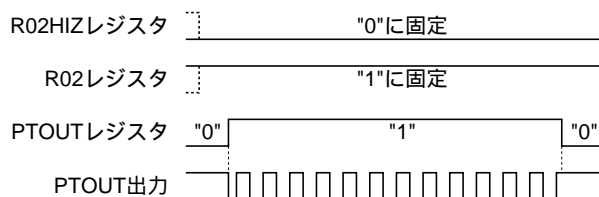


図4.4.4.2 PTOUT信号の出力波形

FOUT(R03)

R03端子からはFOUT信号を出力させることができます。

FOUT信号は発振クロック(f_{OSC})またはプリスケアラ出力(f_{PRS})を分周したクロックで、外部デバイスに対するクロック供給などの目的に使用することができます。

FOUT出力を行う場合はR03レジスタを"1"、R03HIZレジスタを"0"に固定し、FOUTレジスタによって信号をON/OFFします。

出力するクロックの周波数は、表4.4.4.2に示す4種類から1つをFOFQ0およびFOFQ1レジスタによって選択できます。

表4.4.4.2 FOUTクロック周波数

FOFQ1	FOFQ0	クロック周波数		
		分周比	$f_{OSC}=4.194304\text{MHz}$ PRSM=7	$f_{OSC}=2\text{MHz}$ PRSM=3
1	1	f_{OSC}	4.194304MHz	2MHz
1	0	f_{PRS}	262.144kHz	250kHz
0	1	$f_{PRS}/64$	4096Hz	3906Hz
0	0	$f_{PRS}/512$	512Hz	488Hz

f_{OSC} : 発振クロック

f_{PRS} : プリスケアラの出力クロック

FOUT周波数は発振周波数およびプリスケアラの設定(PRSMレジスタ)によって変わります。プリスケアラの設定については"4.2 発振回路とプリスケアラ"を参照してください。

注: FOUT出力信号はON/OFF時にハザードを生じる可能性があります。

図4.4.4.3にFOUT信号の出力波形を示します。

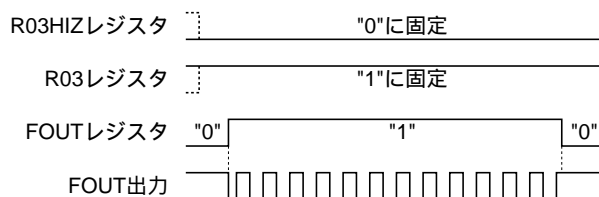


図4.4.4.3 FOUT信号の出力波形

4.4.5 出力ポートのI/Oメモリ

表4.4.5.1に出力ポートの制御ビットとそのアドレスを示します。

表4.4.5.1 出力ポートの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF06H	FOUT	0	FOFQ1	FOFQ0	FOUT 0 *3	0 - *2	Enable	Disable	FOUT出力イネーブル 未使用 [FOFQ1, 0] 0 1 2 3] FOUT 周波数 fosc fprs fprs fprs] 周波数選択 fosc=4.19MHz→ 262kHz 4kHz 512Hz
	R/W	R	R/W		FOFQ1	0			
					FOFQ0	0			
FF30H	R03HIZ	R02HIZ	R01HIZ	R00HIZ	R03HIZ	0	High-Z	Output	R03/FOUT出力ハイインピーダンス制御 R02/PTOUT出力ハイインピーダンス制御 R01出力ハイインピーダンス制御 R00出力ハイインピーダンス制御
					R02HIZ	0	High-Z	Output	
	R/W				R01HIZ	0	High-Z	Output	
					R00HIZ	0	High-Z	Output	
FF31H	R03	R02	R01	R00	R03	1	High	Low	R03出力ポートデータ(FOUT=0) FOUT出力時は1に固定 R02出力ポートデータ(PTOUT=0) PTOUT出力時は1に固定 R01出力ポートデータ R00出力ポートデータ
					R02	1	High	Low	
	R/W				R01	1	High	Low	
					R00	1	High	Low	
FFC2H	0	PTOUT	CHSEL1	CHSEL0	0 *3	- *2			未使用 PTOUT出力制御] PTOUT出力 [CHSEL1, 0] 0 1 2 3] チャンネル選択 出力Ch タイマ0 タイマ1 タイマ2 タイマ3
					PTOUT	0	On	Off	
					CHSEL1	0			
	R	R/W			CHSEL0	0			

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

R00HIZ ~ R03HIZ: R0ポートハイインピーダンス制御レジスタ(FF30H)

出力ポートのハイインピーダンス制御を行います。

"1"書き込み: ハイインピーダンス

"0"書き込み: データ出力

読み出し: 可能

ハイインピーダンス制御レジスタに"0"を書き込むことにより、対応する出力端子はデータレジスタに従った出力を行い、"1"を書き込むとハイインピーダンスになります。

R02、R03を特殊出力(PTOUT、FOUT)として使用する場合、R02HIZレジスタ、R03HIZレジスタは"0"(データ出力)に固定してください。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

R00 ~ R03: R0出力ポートデータレジスタ(FF31H)

各出力ポートの出力データを設定します。

"1"書き込み: HIGHレベル出力

"0"書き込み: LOWレベル出力

読み出し: 可能

出力ポート端子は対応するデータレジスタに書き込まれたデータをそのまま出力します。レジスタに"1"を書き込んだ場合、出力ポート端子はHIGH(V_{DD})レベルになり、"0"を書き込んだ場合はLOW(V_{SS})レベルになります。

R02、R03を特殊出力(PTOUT、FOUT)として使用する場合、R02レジスタ、R03レジスタは"1"に固定してください。

イニシャルリセット時、これらのレジスタは"1"に設定されます。

FOUT: FOUT出力制御レジスタ(FF06H・D3)

FOUT出力を制御します。

"1"書き込み: FOUT出力ON

"0"書き込み: FOUT出力OFF

読み出し: 可能

R03レジスタが"1"、R03HIZレジスタが"0"に設定されている状態でFOUTに"1"を書き込むことによってR03端子からFOUT信号が出力され、"0"の書き込みでR03端子がHIGH(V_{DD})レベルになります。R03ポートをDC出力として使用する場合は、このレジスタを"0"に固定してください。イニシャルリセット時、このレジスタは"0"に設定されます。

FOFQ0、FOFQ1: FOUT周波数選択レジスタ(FF06H・D0, D1)

FOUT信号の周波数を選択します。

表4.4.5.2 FOUTクロック周波数

FOFQ1	FOFQ0	クロック周波数		
		分周比	fosc=4.194304MHz PRSM=7	fosc=2MHz PRSM=3
1	1	fosc	4.194304MHz	2MHz
1	0	fPRS	262.144kHz	250kHz
0	1	fPRS/64	4096Hz	3906Hz
0	0	fPRS/512	512Hz	488Hz

FOUT周波数は発振周波数とプリスケアラの設定によって変わりますので注意してください。

プリスケアラの設定については"4.2 発振回路とプリスケアラ"を参照してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

PTOUT: PTOUT出力制御レジスタ(FFC2H・D2)

PTOUT出力を制御します。

"1"書き込み: PTOUT出力ON

"0"書き込み: PTOUT出力OFF

読み出し: 可能

R02レジスタが"1"、R02HIZレジスタが"0"に設定されている状態でPTOUTに"1"を書き込むことによってR02端子からPTOUT信号が出力され、"0"の書き込みでR02端子がHIGH(V_{DD})レベルになります。ただし、プログラマブルタイマからPTOUT信号を出力させておく必要があります。

R02ポートをDC出力として使用する場合は、このレジスタを"0"に固定してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

4.4.6 プログラミング上の注意事項

- (1) R02、R03を特殊出力(PTOUT、FOUT)として使用する場合、R02レジスタ、R03レジスタは"1"、R02HIZレジスタ、R03HIZレジスタは"0"に固定してください。
R02、R03レジスタに"0"を書き込むと、出力端子がLOW(V_{SS})に固定されますので注意してください。R02HIZ、R03HIZに"1"を書き込むと、出力端子が高インピーダンスになりますので注意してください。
- (2) PTOUT信号、FOUT信号のON/OFF時は、出力波形にハザードが出る場合があります。
- (3) FOUT信号の周波数は発振周波数とプリスケアラの設定により変わります。プリスケアラについては"4.2 発振回路とプリスケアラ"を参照してください。

4.5 入出力兼用ポート (P20 ~ P23, P40 ~ P43)

4.5.1 入出力兼用ポートの構成

S1C63256は8ビットの汎用入出力兼用ポートを内蔵しています。図4.5.1.1に入出力兼用ポートの構成を示します。

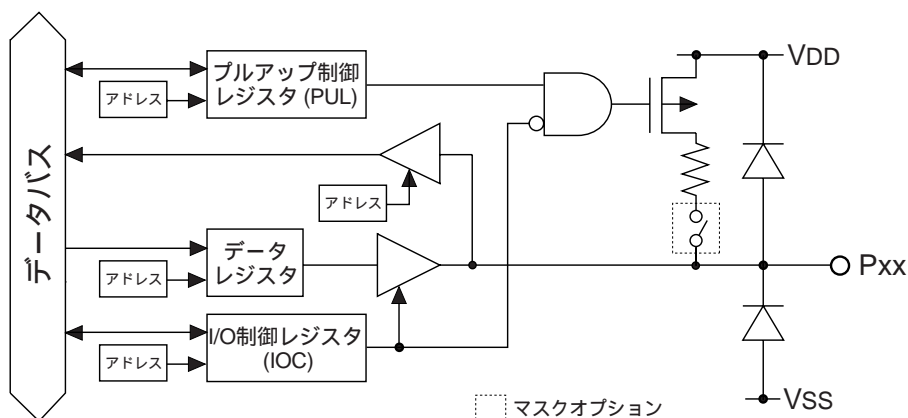


図4.5.1.1 入出力兼用ポートの構成

P40～P43入出力兼用ポート端子はA/D変換器の入力端子と兼用されており、この機能をソフトウェアによって選択するようになっています。

イニシャルリセット時はすべて入出力兼用ポートに設定されます。

表4.5.1.1に機能選択による入出力端子の設定を示します。

表4.5.1.1 入出力端子の機能設定

端子名	イニシャルリセット時の 端子状態	A/D変換器 使用時
P20～P23	P20～P23 (入力&プルアップ*)	P20～P23
P40	P40 (入力&プルアップ*)	AD0(I)
P41	P41 (入力&プルアップ*)	AD1(I)
P42	P42 (入力&プルアップ*)	AD2(I)
P43	P43 (入力&プルアップ*)	AD3(I)

* マスクオプションにて"プルアップあり"選択時
("プルアップなし"選択時はハイインピーダンス)

入出力兼用ポートとして使用する場合、各ポートを個々(1ビット単位)に入力モードまたは出力モードに設定できます。この設定はI/O制御レジスタにデータを書き込むことによって行います。A/D変換器の制御については"4.10 A/D変換器"を参照してください。

4.5.2 マスクオプション

入出力兼用ポートは、端子仕様として出力モード時の出力仕様がマスクオプションにより選択できるようになっています。選択項目はコンプリメンタリ出力またはNチャンネルオープンドレイン出力の2種類です。なお、Nチャンネルオープンドレインを選択した場合でも、ポートに電源電圧を越える電圧を印加することは禁止します。

また、入力プルアップ抵抗をマスクオプションにより付加できるようになっています。"プルアップなし"を選択した場合、入力モード時にフローティング状態が発生しないように注意してください。

P40～P43の中でA/D入力に使用する端子は"プルアップなし"を選択してください。

これらのオプション選択はポート個々に行えます。

4.5.3 I/O制御レジスタと入力/出力モード

入出力兼用ポートは、I/O制御レジスタIOCxxにデータを書き込むことにより入力モードあるいは出力モードに設定されます。この設定はポート個々に行えます。

入力モードに設定する場合はI/O制御レジスタに"0"を書き込みます。入力モードに設定された入出力兼用ポートは、ハイインピーダンス状態となり入力ポートとして働きます。ただし、次項で説明するプルアップ制御を行っている場合は、この入力モード時に限り入力ラインがプルアップされます。

出力モードに設定する場合はI/O制御レジスタに"1"を書き込みます。出力モードに設定された入出力兼用ポートは出力ポートとして働き、ポート出力データが"1"の場合にHIGH(V_{DD})レベル、"0"の場合にLOW(V_{SS})レベルの出力を行います。出力モード時にもデータの読み出しは可能で、その場合はデータレジスタの内容が読み出されます。

イニシャルリセット時、I/O制御レジスタは"0"に設定され、入出力兼用ポートは入力モードになります。

A/D変換器の入力に設定されたポート(P40～P43)は入力に固定されます。この場合、I/O制御レジスタは入出力制御に影響を与えない汎用レジスタとして使用可能です。

4.5.4 入力モード時のプルアップ

S1C63256の入出力兼用ポートには、入力モード時に働くプルアップ抵抗をマスクオプションで付加することができます。

付加したプルアップ抵抗は、各ポートに対応したプルアップ制御レジスタPULxxに"1"を書き込むことによって有効となり、入力モード時に入力ラインがプルアップされます。"0"を書き込んだ場合、プルアップは行われません。

イニシャルリセット時、プルアップ制御レジスタは"1"に設定されます。

マスクオプションにより"プルアップなし"を選択したポートのプルアップ制御レジスタは、汎用レジスタとして使用可能です。

4.5.5 入出力兼用ポートのI/Oメモリ

表4.5.5.1に入出力兼用ポートの制御ビットとそのアドレスを示します。

表4.5.5.1 入出力兼用ポートの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF48H	IOC23	IOC22	IOC21	IOC20	IOC23	0	Output	Input	P20 ~ P23 I/O制御レジスタ
					IOC22	0	Output	Input	
	R/W				IOC21	0	Output	Input	
					IOC20	0	Output	Input	
FF49H	PUL23	PUL22	PUL21	PUL20	PUL23	1	On	Off	P20 ~ P23プルアップ制御レジスタ
					PUL22	1	On	Off	
	R/W				PUL21	1	On	Off	
					PUL20	1	On	Off	
FF4AH	P23	P22	P21	P20	P23	– *2	High	Low	P20 ~ P23入出力兼用ポートデータ
					P22	– *2	High	Low	
	R/W				P21	– *2	High	Low	
					P20	– *2	High	Low	
FF50H	IOC43	IOC42	IOC41	IOC40	IOC43	0	Output	Input	P43 I/O制御(PAD3=0) 汎用レジスタ(PAD3=1) P42 I/O制御(PAD2=0) 汎用レジスタ(PAD2=1) P41 I/O制御(PAD1=0) 汎用レジスタ(PAD1=1) P40 I/O制御(PAD0=0) 汎用レジスタ(PAD0=1)
					IOC42	0	Output	Input	
	R/W				IOC41	0	Output	Input	
					IOC40	0	Output	Input	
FF51H	PUL43	PUL42	PUL41	PUL40	PUL43	1	On	Off	P43プルアップ制御(PAD3=0) 汎用レジスタ(PAD3=1) P42プルアップ制御(PAD2=0) 汎用レジスタ(PAD2=1) P41プルアップ制御(PAD1=0) 汎用レジスタ(PAD1=1) P40プルアップ制御(PAD0=0) 汎用レジスタ(PAD0=1)
					PUL42	1	On	Off	
	R/W				PUL41	1	On	Off	
					PUL40	1	On	Off	
FF52H	P43	P42	P41	P40	P43	– *2	High	Low	P43ポートデータ(PAD3=0) 汎用レジスタ(PAD3=1) P42ポートデータ(PAD2=0) 汎用レジスタ(PAD2=1) P41ポートデータ(PAD1=0) 汎用レジスタ(PAD1=1) P40ポートデータ(PAD0=0) 汎用レジスタ(PAD0=1)
					P42	– *2	High	Low	
	R/W				P41	– *2	High	Low	
					P40	– *2	High	Low	
FF69H	PAD3	PAD2	PAD1	PAD0	PAD3	0	A/D	I/O	A/D-Ch3イネーブル(P43端子) A/D-Ch2イネーブル(P42端子) A/D-Ch1イネーブル(P41端子) A/D-Ch0イネーブル(P40端子)
					PAD2	0	A/D	I/O	
	R/W				PAD1	0	A/D	I/O	
					PAD0	0	A/D	I/O	

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*2 回路上設定されない

PAD0 ~ PAD3: A/Dチャンネルイネーブルレジスタ(FF69H)

P40 ~ P43の機能を選択します。

"1"書き込み: A/D変換器入力

"0"書き込み: 入出力兼用ポート

読み出し: 可能

PAD0 ~ PAD3はA/D変換器で使用する入力端子を設定するレジスタで、それぞれP40 ~ P43端子に対応します。A/D変換器の入力チャンネルとして使用する場合に"1"、入出力兼用ポートとして使用する場合に"0"を書き込みます。

イニシャルリセット時、このレジスタは"0"に設定されます。

P20 ~ P23: P2入出力兼用ポートデータレジスタ(FF4AH)

P40 ~ P43: P4入出力兼用ポートデータレジスタ(FF52H)

入出力兼用ポートデータの読み出し、および出力データの設定を行います。

• データ書き込み時

"1"書き込み: HIGHレベル

"0"書き込み: LOWレベル

入出力兼用ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力兼用ポート端子に出力されます。ポートデータとして"1"を書き込んだ場合はポート端子はHIGH(V_{DD})レベルになり、"0"を書き込んだ場合はLOW(V_{SS})レベルになります。

なお、入力モードの場合もポートデータの書き込みは行えます。

- データ読み出し時

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

入出力兼用ポートの端子電圧レベルを読み出します。入出力兼用ポートが入力モードの場合はポート端子に入力されている電圧レベルが読み出され、出力モードに設定されている場合はレジスタの内容が読み出されます。端子電圧がHIGH (V_{DD})レベルの場合は読み出されるポートデータが"1"、LOW (V_{SS})レベルの場合は"0"となります。

また、マスクオプションで"プルアップあり"を選択し、PULレジスタに"1"を設定している場合、入力モード時には内蔵プルアップ抵抗がONとなり、入出力兼用ポート端子がプルアップされます。

A/D変換器の入力に設定したポート(P40~P43)のデータレジスタは、入出力には影響を与えない汎用レジスタとなります。

注: 入力モード時にポートの入力をLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の積定数によって波形立ち上がりに遅延が生じます。このため、入力データの取り込みを行う際は、適切な待ち時間を設定してください。

特に、キーマトリクス構成時のキースキャン等に注意が必要です。

この待ち時間は次の式で算出される時間以上としてください。

待ち時間 = $R_{IN} \times (C_{IN} + \text{基板上的負荷容量}) \times 1.6 \text{ [sec]}$

R_{IN} : プルアップ抵抗Max.値

C_{IN} : 端子容量Max.値

IOC20 ~ IOC23: P2ポートI/O制御レジスタ(FF48H)

IOC40 ~ IOC43: P4ポートI/O制御レジスタ(FF50H)

入出力兼用ポートの入力/出力モードを設定します。

"1"書き込み: 出力モード

"0"書き込み: 入力モード

読み出し: 可能

入出力兼用ポートの入力/出力モードを1ビット単位に設定します。

I/O制御レジスタに"1"を書き込むことにより対応する入出力兼用ポートが出力モードに、"0"を書き込むことにより入力モードになります。

イニシャルリセット時、これらのレジスタは"0"に設定され、入出力兼用ポートはすべて入力モードになります。

A/D変換器の入力に設定したポート(P40~P43)のI/O制御レジスタは、入出力には影響を与えない汎用レジスタとなります。

PUL20 ~ PUL23: P2ポートプルアップ制御レジスタ(FF49H)

PUL40 ~ PUL43: P4ポートプルアップ制御レジスタ(FF51H)

入力モード時のプルアップを設定します。

"1"書き込み: プルアップON

"0"書き込み: プルアップOFF

読み出し: 可能

入出力兼用ポートに内蔵されたプルアップ抵抗を入力モード時にONまたはOFFすることを1ビット単位に設定します。(プルアップ抵抗はマスクオプションで選択したポートのみに付加されます。)プルアップ制御レジスタに"1"を書き込むことにより、対応する入出力兼用ポートが入力モード時にプルアップがONとなります。"0"を書き込んだ場合、プルアップは行われません。

イニシャルリセット時、これらのレジスタは"1"に設定され、プルアップ抵抗がすべてONになります。

A/D変換器の入力に設定したポート(P40~P43)のプルアップ制御レジスタは、プルアップには影響を与えない汎用レジスタとなります。

4.5.6 プログラミング上の注意事項

入力モード時にポートの入力をLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の時定数によって波形立ち上がりに遅延が生じます。このため、入力データの取り込みを行う際は、適切な待ち時間を設定してください。

特に、キーマトリクス構成時のキースキャン等に注意が必要です。

この待ち時間は次の式で算出される時間以上としてください。

待ち時間 = $R_{IN} \times (C_{IN} + \text{基板上的負荷容量}) \times 1.6$ [sec]

R_{IN} : プルアップ抵抗Max.値

C_{IN} : 端子容量Max.値

4.6 LCDドライバ(COM0 ~ COM3, SEG0 ~ SEG19)

4.6.1 LCDドライバの構成

S1C63256は4本のコモン端子(COM0 ~ COM3)と20本のセグメント端子(SEG0 ~ SEG19)を持ち、最大8(20×4)セグメントのLCDを駆動できます。

本LCDドライバでは、以下の駆動方法がソフトウェアで選択できるようになっています。

- ・デューティ: 1/4デューティ、1/3デューティまたは1/2デューティ
- ・駆動方式: ダイナミック駆動またはスタティック駆動

4.6.2 LCD駆動電源/駆動バイアス

LCD駆動電源には、マスクオプションにより内部電源または外部電源が選択できます。

内部電源を選択した場合はさらに、Vc3を外部印加するか、内部でVDDに接続するか選択できます。内蔵のLCD系電圧回路は、そのVc3またはVDDを抵抗分割してVc2およびVc1を発生します。LCD電圧のマスクオプションの詳細については"2.1.2 LCD駆動電圧<Vc1, Vc2, Vc3>"を参照してください。

また、駆動バイアスもマスクオプションにより1/3バイアスまたは1/2バイアスから選択可能です。各電圧の関係は次のようになります。

1/3バイアス駆動時: $V_{C1} = V_{C3} \cdot 1/3$, $V_{C2} = V_{C3} \cdot 2/3$ または $V_{C1} = V_{DD} \cdot 1/3$, $V_{C2} = V_{DD} \cdot 2/3$

1/2バイアス駆動時: $V_{C1} = V_{C2} = V_{C3} \cdot 1/2$ または $V_{C1} = V_{C2} = V_{DD} \cdot 1/2$

外部電源を選択した場合は、外部電源回路からVc1、Vc2、Vc3端子に上記の電圧を供給してください。

LCD系電圧回路は、電源制御レジスタLPWRによって制御(ON/OFF)します。

内部電源選択時はLPWRを"1"に設定することにより、LCD系電圧回路がVc1、Vc2を発生します。LPWRを"0"に設定した場合、Vc1 ~ Vc2はVssレベルとなります。この場合、COM端子およびSEG端子の出力はすべてVssレベルになります。したがって、LCD表示を行うには、あらかじめLPWRに"1"を設定し、LCD駆動電源をONにしておく必要があります。マスクオプションによりDC出力に設定したSEG出力ポートは、この電源のON/OFFにかかわらず汎用の出力Rポートと同じ動作となります。

注: 外部電源選択時にも、LPWRに"1"を書き込む必要があります。

4.6.3 LCD表示と駆動波形の制御

(1) 表示のON/OFF

S1C63256には電源のON/OFFの制御とは別に、表示を点滅させるためのALON、ALOFFレジスタが用意されています。ALONは"1"の書き込みですべてのセグメントをONにするものです。ALOFFは逆に"1"の書き込みですべてのセグメントをOFFにします。この場合、SEG端子からはON波形またはOFF波形が出力されます。"0"設定時は共に通常の表示が行われます。また、ALON、ALOFF共に"1"に設定した場合、ALON(全点灯)がALOFF(全消灯)に優先します。

(2) 駆動デューティの設定

S1C63256はソフトウェアにより駆動デューティを1/4、1/3、1/2の3種類に切り換えることができます。この設定は表4.6.3.1に示すとおり、レジスタLDUTY1およびLDUTY0によって行います。

表4.6.3.1 駆動デューティの設定

LDUTY1	LDUTY0	駆動デューティ	使用コモン端子	最大セグメント数
1	*	1/2	COM0, COM1	40 (20×2)
0	1	1/3	COM0~COM2	60 (20×3)
0	0	1/4	COM0~COM3	80 (20×4)

フレーム周波数 f_{FR} は発振周波数とプリスケアラの設定 (PRSMレジスタ) によって決まります。プリスケアラの設定については"4.2 発振回路とプリスケアラ"を参照してください。

・ 1/4デューティ、1/2デューティ 駆動時

$$f_{FR} = f_{PRS}/4096$$

例: $f_{OSC} = 4.194304\text{MHz}$, PRSM = 7の場合 $f_{FR} = 64\text{Hz}$

$f_{OSC} = 2\text{MHz}$, PRSM = 3の場合 $f_{FR} = 61.0\text{Hz}$

・ 1/3デューティ 駆動時

$$f_{FR} = 4/3 \times f_{PRS}/4096$$

例: $f_{OSC} = 4.194304\text{MHz}$, PRSM = 7の場合 $f_{FR} = 85.3\text{Hz}$

$f_{OSC} = 2\text{MHz}$, PRSM = 3の場合 $f_{FR} = 81.4\text{Hz}$

図4.6.3.1～図4.6.3.6に各駆動バイアスとデューティによるダイナミック駆動波形を示します。

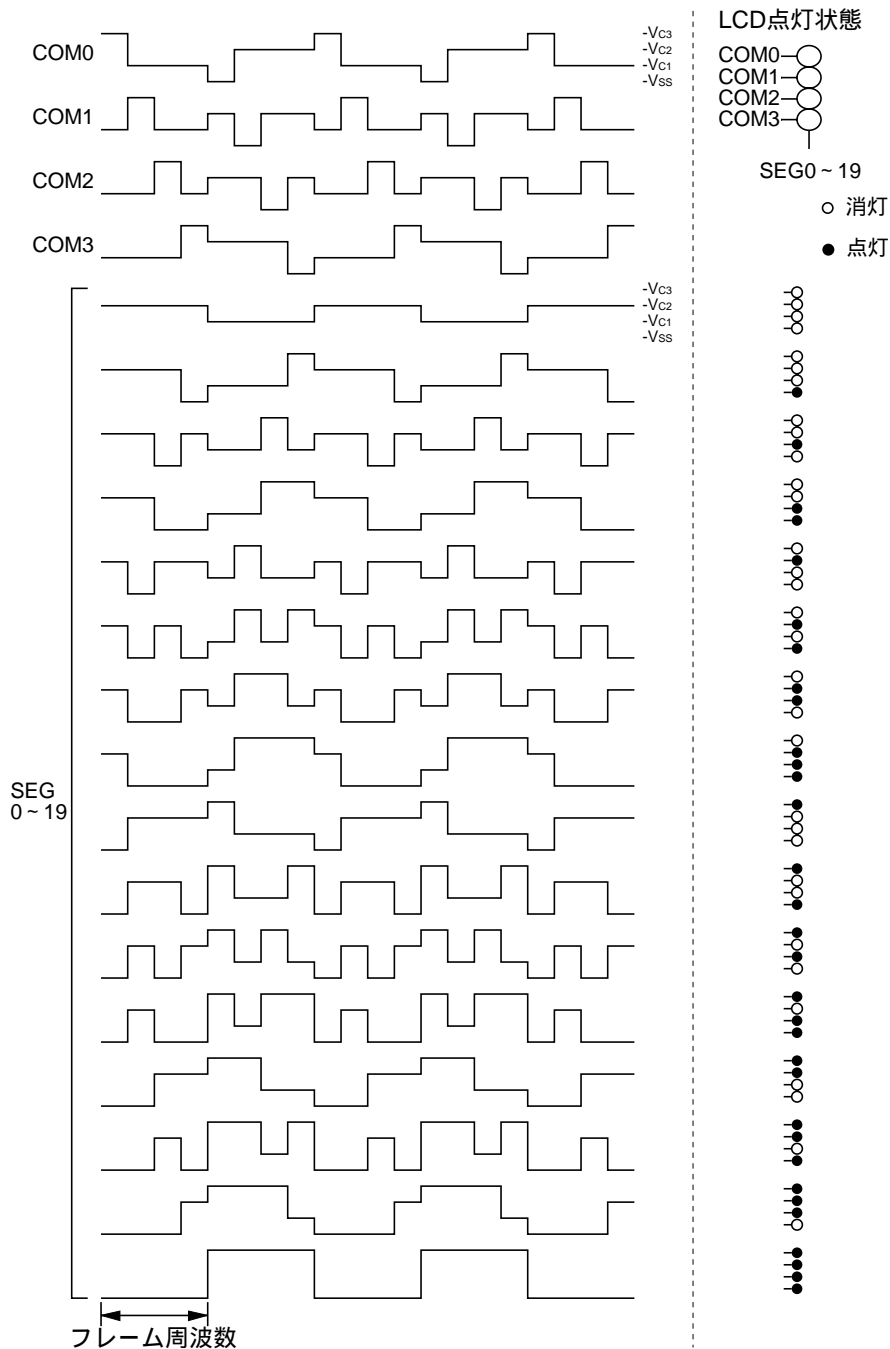


図4.6.3.1 1/4デューティダイナミック駆動波形(1/3バイアス)

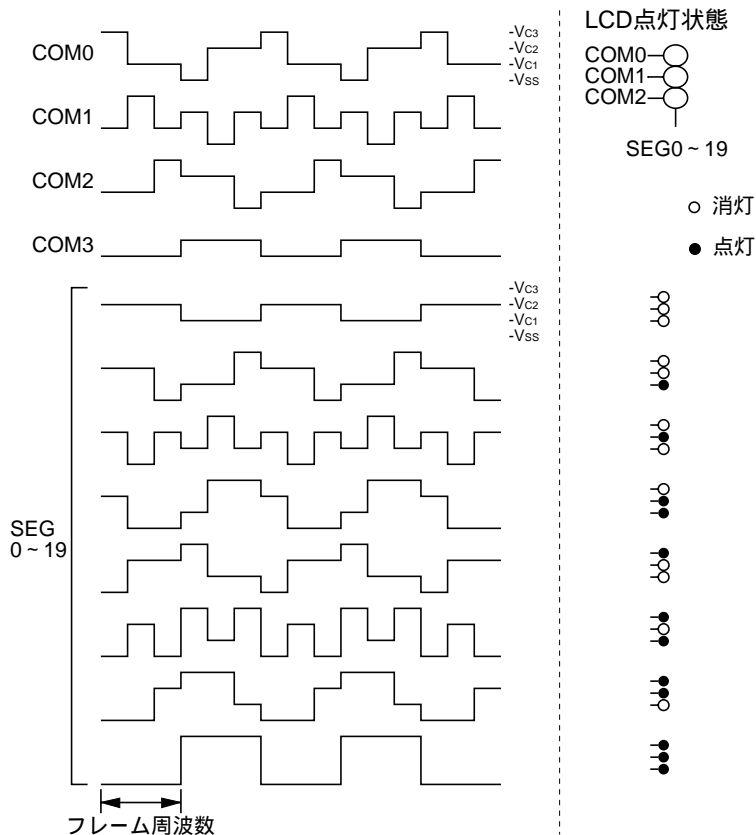


図4.6.3.2 1/3デューティダイナミック駆動波形 (1/3バイアス)

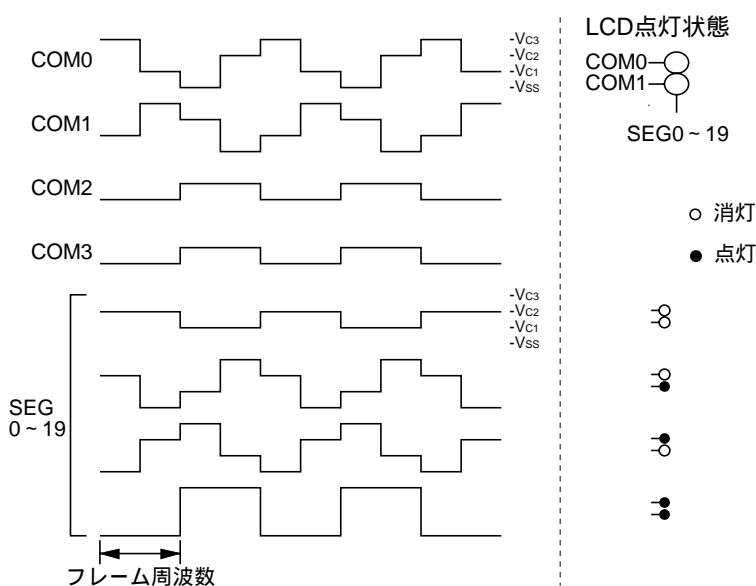


図4.6.3.3 1/2デューティダイナミック駆動波形 (1/3バイアス)

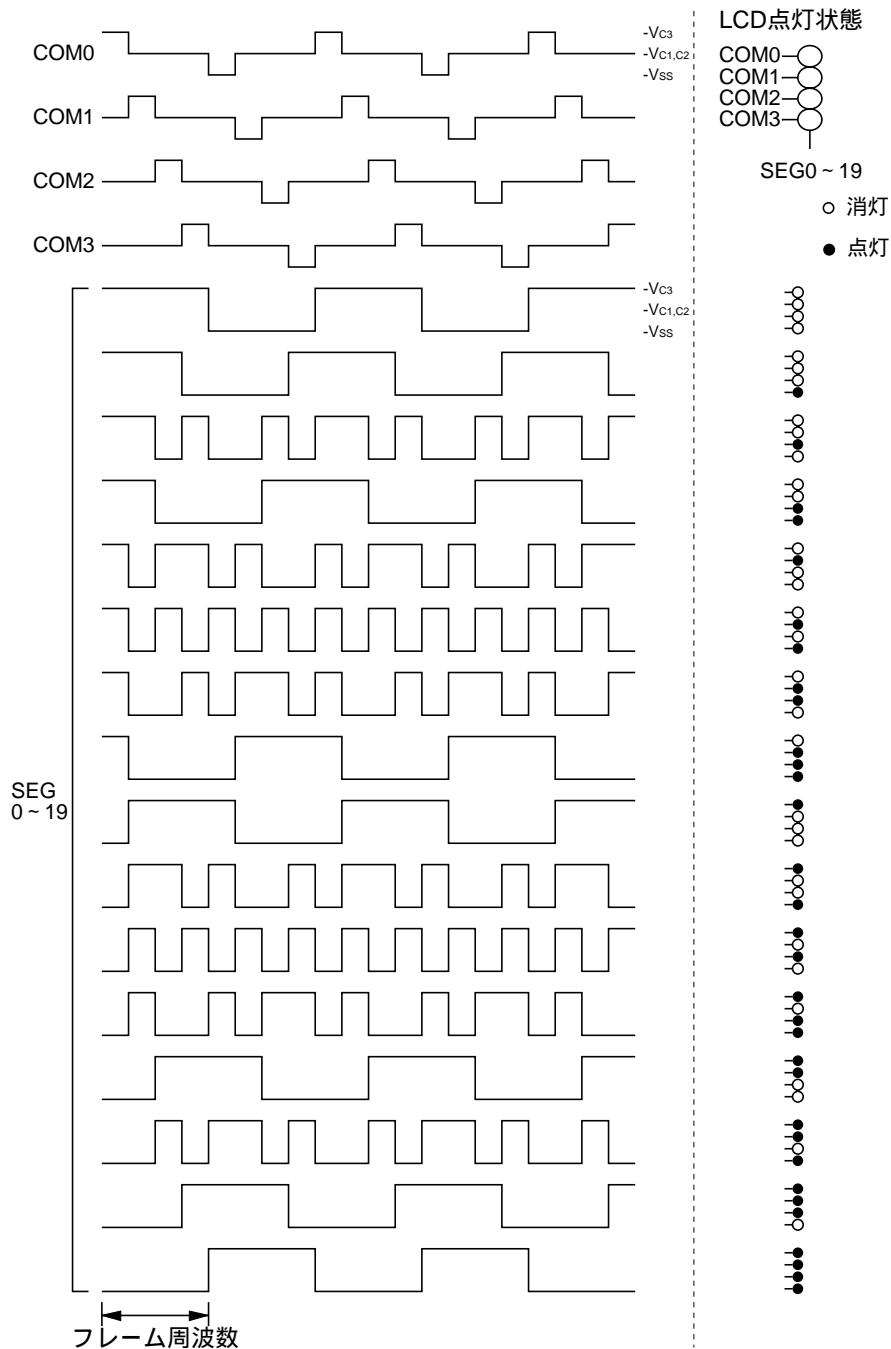


図4.6.3.4 1/4デューティダイナミック駆動波形(1/2バイアス)

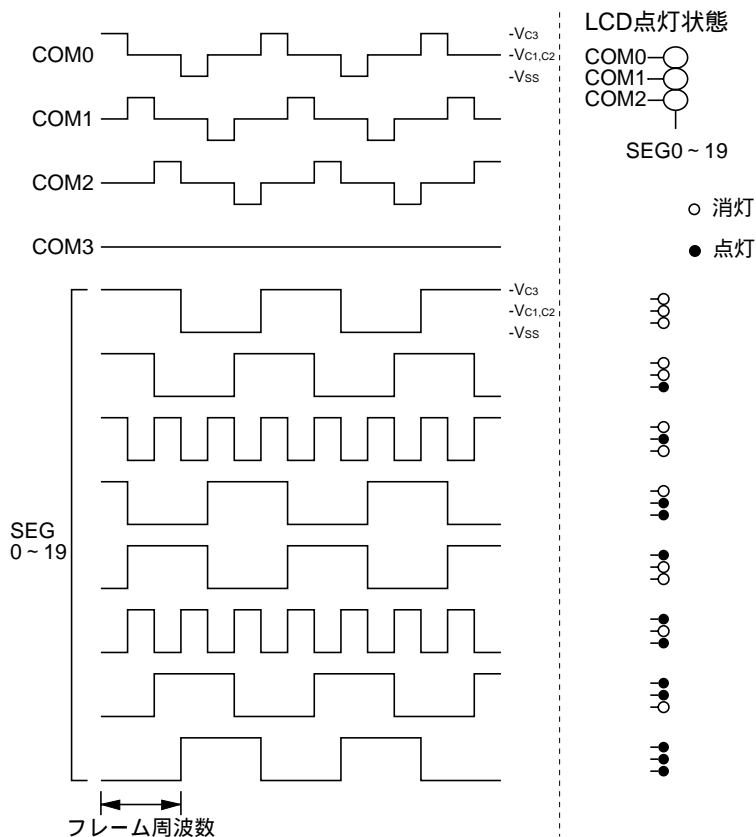


図4.6.3.5 1/3デューティダイナミック駆動波形 (1/2バイアス)

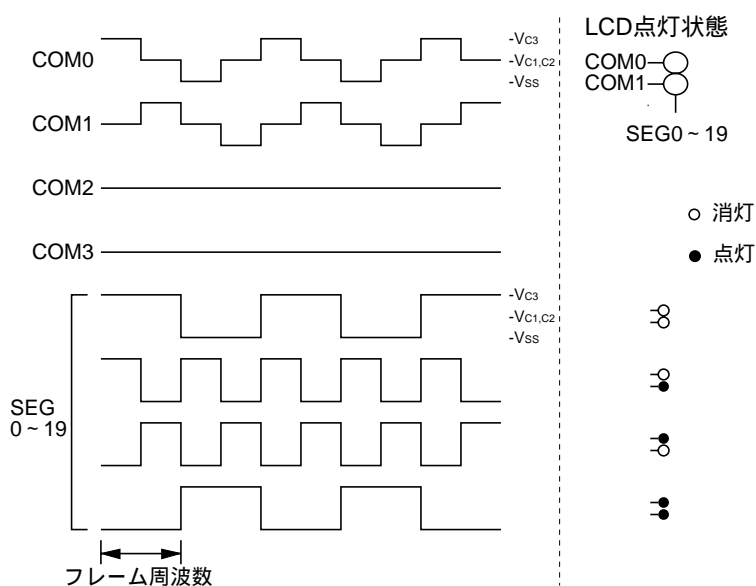


図4.6.3.6 1/2デューティダイナミック駆動波形 (1/2バイアス)

(3)スタティック駆動

S1C63256はLCDスタティック駆動をソフトウェアにより設定できます。

スタティック駆動に設定するには、コモン出力信号制御レジスタSTCDIに"1"を書き込みます。この状態で、SEG端子に対応するCOM0～COM3のいずれかのビット(表示メモリ)に"1"を書き込むと、そのSEG端子はスタティックのON波形を出力します。COM0～COM3すべてが"0"に設定されているときは、そのSEG端子はダイナミックのままOFF波形を出力します。

図4.6.3.7および図4.6.3.8に1/3バイアスと1/2バイアスのスタティック駆動波形を示します。

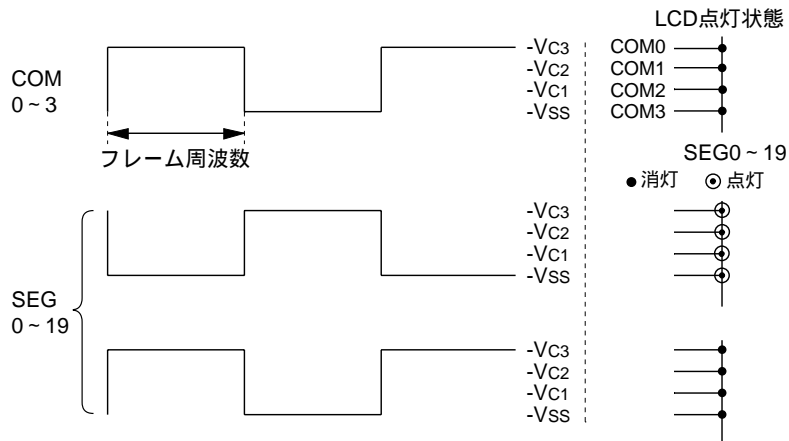


図4.6.3.7 スタティック駆動波形 (1/3バイアス)

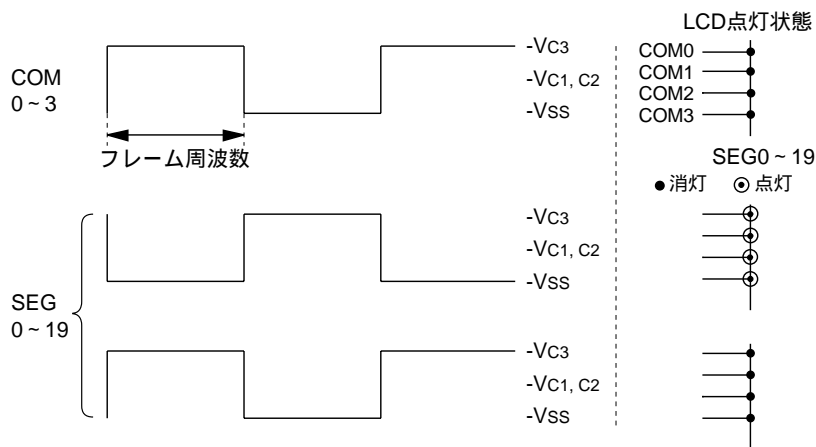


図4.6.3.8 スタティック駆動波形 (1/2バイアス)

4.6.4 マスクオプション

(1) セグメント割り付け

表示メモリはデータメモリ空間上のアドレスF000H～F013Hに配置されています。LCDドライバはセグメントデコーダを内蔵しており、表示メモリ領域の任意のアドレス(F000H～F013H)、データビット(D0～D3)を任意のセグメントに割り付けることができます。このため、液晶パネルの設計の自由度が増し設計が容易になります。

この表示メモリのビットを"1"に設定すると割り付けられたセグメントが点灯し、"0"にすると消灯します。

図4.6.4.1にLCDセグメント(パネル上)と表示メモリとの関係を1/3デューティの場合を例として示します。

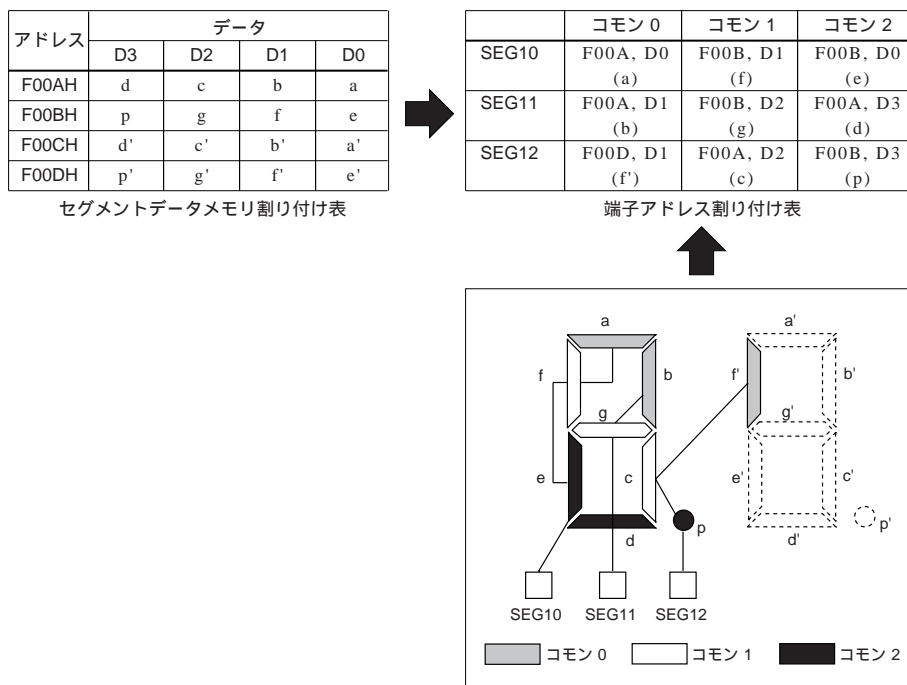


図4.6.4.1 セグメント割り付け

イニシャルリセット時、表示メモリの内容は不定となりますので、ソフトウェアにより初期化する必要があります。表示メモリはリード/ライト可能となっており、LCD表示に使用しないアドレス/ビットは汎用レジスタとして使用することができます。

(2) 出力仕様

- ① 各セグメント端子 (SEG0～SEG19) は2端子単位*でセグメント信号出力かDC出力(V_{DD} 、 V_{SS} の2値出力)をマスクオプションで選択できます。DC出力を選択した場合は各セグメント端子のCOM0に対応するデータが出力されます。
- ② DC出力を選択した場合、コンプリメンタリ出力がNチャンネルオープンドレイン出力を2端子ごとにマスクオプションで選択できます。

* 2端子単位とはSEG2・n、SEG2・n+1(n = 0～9の整数)の組み合わせです。

図4.6.4.2にDC出力を選択した場合のセグメント端子の構成を示します。

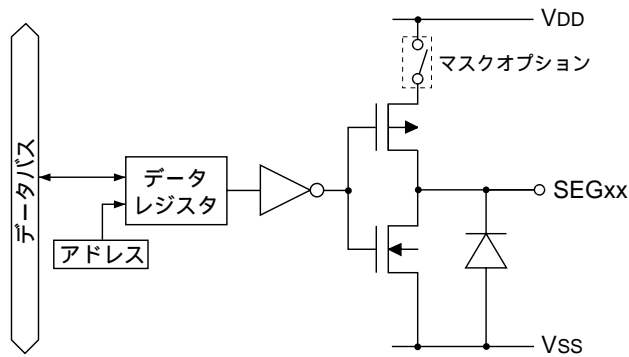


図4.6.4.2 LCDドライバの構成(DC出力時)

(3) LCD駆動電源/駆動バイアス

LCD駆動電源として内部電源(Vc3外部印加あり)、内部電源(Vc3外部印加なし)、外部電源のいずれかを選択できます。また、駆動方式として1/3バイアスまたは1/2バイアスのどちらかを選択できます。詳細については"2.1.2 LCD駆動電圧<Vc1, Vc2, Vc3>"を参照してください。

4.6.5 LCDドライバのI/Oメモリ

表4.6.5.1にLCDドライバの制御ビットとそのアドレスを、図4.6.5.1に表示メモリマップを示します。

表4.6.5.1 LCDドライバの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF60H	LDUTY1	LDUTY0	0	LPWR	LDUTY1	0			LCD駆動デューティ [LDUTY1,0] 切り換え デューティ 0 1 2,3 1/4 1/3 1/2
					LDUTY0	0			
	R/W		R	R/W	0 *3	- *2			未使用
					LPWR	0	On	Off	LCD電源On/Off
FF61H	0	ALOFF	ALON	STCD	0 *3	- *2			未使用
					ALOFF	1	All Off	Normal	LCD全消灯制御
	R	R/W			ALON	0	All On	Normal	LCD全点灯制御
					STCD	0	Static	Dynamic	コモン出力信号制御

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

Base address	Low	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
	F000	表示メモリ(20ワード x 4ビット) R/W															
F010		未使用領域															

図4.6.5.1 表示メモリマップ

LPWR: LCD電源ON/OFF制御レジスタ (FF60H・D0)
LCD系電圧回路をON/OFFします。

"1"書き込み: ON
"0"書き込み: OFF
読み出し: 可能

LPWRに"1"を書き込むことにより、LCD系電圧回路がONとなりLCD駆動電圧 V_{C1} 、 V_{C2} を発生します。"0"を書き込んだ場合、LCD駆動電圧 V_{C1} 、 V_{C2} は V_{SS} レベルとなります。
マスクオプションで外部電源を選択した場合にも、LPWRに"1"を書き込むことは必要です。
この制御はDC出力に設定されたSEG端子には影響を与えません。
イニシャルリセット時、このレジスタは"0"に設定されます。

注: LCD電源がON状態 (LPWR = "1") のままSLP命令を実行した場合、LCD駆動電圧 V_{C1} 、 V_{C2} およびCOM、SEG端子の状態はLPWRレジスタに"0"を書き込んだときと同じ状態になります。ただし、LPWRレジスタには影響を与えないため、SLEEP解除後には再びLCD電源がON状態となり、表示動作を再開します。

LDUTY0, LDUTY1: LCD駆動デューティ選択レジスタ (FF60H・D2, D3)
LCD駆動デューティを選択します。

表4.6.5.2 駆動デューティの設定

LDUTY1	LDUTY0	駆動デューティ	使用コモン端子	最大セグメント数
1	*	1/2	COM0, COM1	40 (20×2)
0	1	1/3	COM0~COM2	60 (20×3)
0	0	1/4	COM0~COM3	80 (20×4)

イニシャルリセット時、このレジスタは"0"に設定されます。

STCD: コモン出力信号制御レジスタ (FF61H・D0)
LCDの駆動方式を選択します。

"1"書き込み: スタティック駆動
"0"書き込み: ダイナミック駆動
読み出し: 可能

STCDに"1"を書き込むとスタティック駆動、"0"の書き込みでダイナミック駆動となります。
イニシャルリセット時、このレジスタは"0"に設定されます。

ALON: LCD全点灯制御レジスタ (FF61H・D1)
LCDのセグメントを全点灯させます。

"1"書き込み: 全点灯
"0"書き込み: 通常表示
読み出し: 可能

ALONに"1"を書き込むとLCDのセグメントがすべて点灯し、"0"の書き込みで通常表示に戻ります。
これによる全点灯はSEGにON波形を出力するもので、表示メモリの内容には影響を与えません。
ALONはALOFFに優先します。
イニシャルリセット時、このレジスタは"0"に設定されます。

ALOFF: LCD全消灯制御レジスタ(FF61H・D2)

LCDのセグメントを全消灯させます。

"1"書き込み: 全消灯
"0"書き込み: 通常表示
読み出し: 可能

ALOFFに"1"を書き込むとLCDのセグメントがすべて消灯し、"0"の書き込みで通常表示に戻ります。これによる全消灯はSEGにOFF波形を出力するもので、表示メモリの内容には影響を与えません。イニシャルリセット時、このレジスタは"1"に設定されます。

表示メモリ(F000H ~ F013H)

LCDセグメントを点灯/消灯させます。

"1"書き込み: 点灯
"0"書き込み: 消灯
読み出し: 可能

LCDセグメント(パネル上)を割り付けた表示メモリにデータを書き込むことにより、セグメントの点灯/消灯を行います。

イニシャルリセット時の表示メモリの内容は不定となりますので、ソフトウェアにより初期化する必要があります。

表示メモリはリード/ライト可能です。また、LCD表示に使用しないアドレス/ビットは汎用レジスタとして使用することができます。

4.6.6 プログラミング上の注意事項

表示メモリの初期化(CPUからのメモリクリア処理等)を行うまでは表示が不定になります。イニシャル処理で表示メモリの初期化を行ってください。

4.7 計時タイマとウォッチドッグタイマ

4.7.1 計時タイマとウォッチドッグタイマの構成

S1C63256は1Hz割り込み機能を持つ計時タイマと、プログラムの暴走を検出するウォッチドッグタイマを内蔵しています。

図4.7.1.1に計時タイマとウォッチドッグタイマのブロック図を示します。

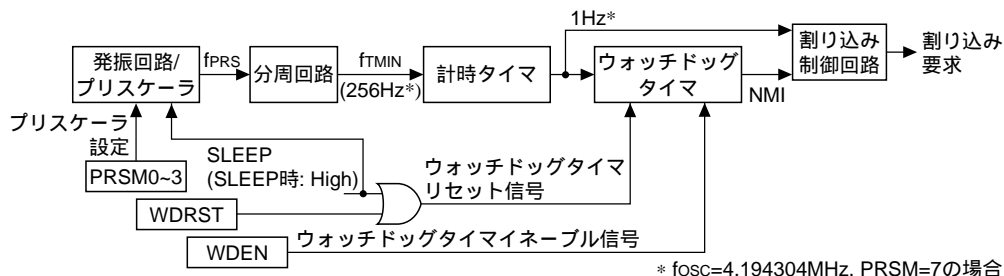


図4.7.1.1 計時タイマとウォッチドッグタイマのブロック図

4.7.2 計時タイマの動作

計時タイマはプリスケアラより出力されるfPRSの分周クロック(256Hz)を入力クロックとする8ビットのバイナリカウンタで構成され、最終段の1Hz信号により割り込みを発生します。

(1) 入力クロック

この計時タイマを計時機能に使用する場合、入力クロックは256Hzであることが必要です。このためには発振周波数を4.194304MHz(水晶発振)とし、プリスケアラのPRSMレジスタには7を設定してください。これ以外の条件では、正確な1Hz信号を得ることはできません。

4.194304MHz以外の発振周波数を使用した場合、計時タイマに入力されるクロック周波数は次の式から求められます。

$$f_{TMIN} = \frac{f_{OSC}}{2048 \cdot n} \text{ [Hz]}$$

fTMIN: 計時タイマの入力クロック周波数 [Hz]

fOSC: 発振クロック周波数 [Hz]

n: PRSMレジスタの設定値+1

たとえば、発振周波数が2MHz、PRSMレジスタが3の場合、計時タイマの入力クロックは244Hzとなり、最終段の信号は0.95Hzとなります。

プリスケアラの設定については、"4.2 発振回路とプリスケアラ"を参照してください。

(2) カウント動作

計時タイマは、ICの動作中(HALT時も含む)は常時カウントを行います。

ただし、SLEEP時には発振が停止するため、カウント動作も停止します。

(3) 1Hz割り込み

計時タイマは1Hz信号(fOSC = 4.194304MHzの場合)の立ち下がりエッジにおいて割り込み要因フラグIT0を"1"にセットし、割り込みを発生します。なお、割り込みマスクレジスタEIT0によって、割り込みをマスクすることもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、1Hz信号の立ち下がりエッジで"1"にセットされます。

4.7.3 ウォッチドッグタイマの動作

ウォッチドッグタイマは計時タイマの出力(1Hz)を入力クロックとする2ビットのバイナリカウンタです。ウォッチドッグタイマが動作中はソフトウェアにより周期的にリセットする必要があります、リセットされない場合は、最終段(0.25Hz)のオーバーフローによってノンマスカブル割り込みを発生します。

プログラムのメインルーチン上でウォッチドッグタイマのリセット処理をすることにより、メインルーチンのウォッチドッグタイマ処理を通らないようなプログラムの暴走を検出することができます。通常はこのルーチンをタイマ割り込みルーチンのように、定期的に処理される箇所に組み込みます。

(1) ウォッチドッグタイマの制御

ウォッチドッグタイマはイニシャルリセット時に動作状態に設定されますが、ソフトウェアにより動作を停止させることができます。ウォッチドッグタイマを使用しない場合は、WDENレジスタ(FF07H・D1)に"0"を書き込んで動作を停止させてください。この操作はウォッチドッグタイマがNMIを発生する前に行う必要があります。

(2) ウォッチドッグタイマのリセット

ウォッチドッグタイマが動作中は、オーバーフローが発生する前にWDRST(FF07H・D0)に"1"を書き込んでリセットする必要があります。リセットが行われない場合、CPUに対してノンマスカブル割り込み(NMI)を発生します。

リセットからオーバーフローが発生するまでの時間は次の式で求められます。

$$\text{Min.} = \frac{524288 \cdot n}{f_{\text{osc}}} \times 3 [\text{sec}]$$

$$\text{Min.} = \frac{524288 \cdot n}{f_{\text{osc}}} \times 4 [\text{sec}]$$

f_{osc} : 発振クロック周波数 [Hz]

n : PRSMレジスタの設定値+1

例: $f_{\text{osc}} = 4.194304\text{MHz}$, PRSM = 7の場合: 3 ~ 4秒

$f_{\text{osc}} = 2\text{MHz}$, PRSM = 3の場合: 3.15 ~ 4.19秒

プリスケアラの設定については、"4.2 発振回路とプリスケアラ"を参照してください。

なお、ウォッチドッグタイマはHALT時も動作しており、HALT状態を上記の時間続けるとノンマスカブル割り込みによりHALT状態が解除されます。

ただし、SLEEP時(発振停止時)は、ウォッチドッグタイマがリセット状態になっているため、リセット周期には含まれません。SLEEP解除後、定期的なリセットを再開してください。

(3) 割り込み

ウォッチドッグタイマがソフトウェアによって周期的にリセットされない場合、コアCPUに対してノンマスカブル(NMI)割り込みが発生します。この割り込みはマスク不可能で、割り込み禁止状態(1フラグ="0")でも受け付けられます(イニシャルリセット直後やスタックポインタ再設定時など、SP1およびSP2がペアで設定されるまでの割り込みマスク状態は除きます)。

NMIの割り込みベクタはプログラムメモリの0100Hに設定されています。

4.7.4 計時タイマとウォッチドッグタイマのI/Oメモリ

表4.7.4.1に計時タイマとウォッチドッグタイマの制御ビットとそのアドレスを示します。

表4.7.4.1 計時タイマとウォッチドッグタイマの制御ビット

アドレス	レジスタ				注 釈				
	D3	D2	D1	D0	Name	Init *1	1	0	
FF07H	0	0	WDEN	WDRST	0 *3	—*2			未使用
					0 *3	—*2			未使用
	R		R/W	W	WDEN	1	Enable	Disable	ウォッチドッグタイミネーブル
					WDRST*3	Reset	Reset	Invalid	ウォッチドッグタイマリセット(書き込み時)
FFE6H	0	0	0	EIT0	0 *3	—*2			未使用
					0 *3	—*2			未使用
	R			R/W	0 *3	—*2			未使用
					EIT0	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ1Hz)
FFF6H	0	0	0	IT0	0 *3	—*2	(R)	(R)	未使用
					0 *3	—*2	Yes	No	未使用
	R			R/W	0 *3	—*2	(W)	(W)	未使用
					IT0	0	Reset	Invalid	割り込み要因フラグ(計時タイマ1Hz)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

WDEN: ウォッチドッグタイマイネーブルレジスタ(FF07H・D1)

ウォッチドッグタイマを使用する(イネーブル)かしない(ディセーブル)か選択します。

"1"書き込み: イネーブル

"0"書き込み: ディセーブル

読み出し: 可能

WDENレジスタに"1"を書き込むことによりウォッチドッグタイマはイネーブルとなり、カウント動作を行います。"0"を書き込んだ場合はディセーブルとなり、カウント動作および割り込み(NMI)の発生も行いません。

イニシャルリセット時、このレジスタは"1"にセットされます。

WDRST: ウォッチドッグタイマリセット(FF07H・D0)

ウォッチドッグタイマをリセットするビットです。

"1"書き込み: ウォッチドッグタイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

WDRSTに"1"を書き込むことによりウォッチドッグタイマはリセットされ、その直後リスタートします。"0"の書き込みはノーオペレーションとなります。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

EIT0: 1Hz割り込みマスキングレジスタ(FFE6H・D0)

計時タイマの割り込みをマスクします。

"1"書き込み: イネーブル

"0"書き込み: マスク

読み出し: 可能

計時タイマの1Hz割り込みをマスクするかしないか選択できます。

イニシャルリセット時、このレジスタは"0"に設定されます。

IT0: 1Hz割り込み要因フラグ(FFF6H・D0)

計時タイマ割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有

"0"読み出し: 割り込み無

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

割り込み要因フラグIT0は、1Hzの計時タイマ割り込みに対応します。このフラグによって計時タイマ割り込みの有無を、ソフトウェアで判断することができます。ただし、このフラグは割り込みをマスクしていても、1Hz信号の立ち下がリエッジで"1"にセットされます。

このフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(1フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、このフラグは"0"に設定されます。

4.7.5 プログラミング上の注意事項

- (1) 計時タイマを正しく動作させるためには、プリスケアラを正しく設定する必要があります。
計時用途に使用する場合は、発振周波数を4.194304MHz(水晶発振)とし、プリスケアラのPRSMレジスタには7を設定してください。これ以外の条件では、正確な1Hz信号を得ることはできません。
- (2) 計時タイマ割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(1フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- (3) ウォッチドッグタイマを使用する場合、オーバーフローが発生する前にソフトウェアでウォッチドッグタイマをリセットする必要があります。
- (4) イニシャルリセットにより、ウォッチドッグタイマは動作状態に設定されますので、使用しない場合は割り込み(NMI)発生前にウォッチドッグタイマをディセーブル(使用しない)に設定してください。

4.8.2 8/16ビットモード

タイマ0とタイマ1、タイマ2とタイマ3はそれぞれ8ビット×2Chまたは16ビット×1Chのタイマとして設定可能です。この選択はMODE0レジスタ(タイマ0、1)およびMODE1レジスタで行います。

表4.8.2.1 8/16ビットモードの設定

MODE1	MODE0	タイマ3	タイマ2	タイマ1	タイマ0
0	0	8ビット	8ビット	8ビット	8ビット
0	1	8ビット	8ビット	16ビット	
1	0	16ビット		8ビット	8ビット
1	1	16ビット		16ビット	

8ビットモードでは、各タイマを個別に制御することができます。

16ビットモードでは、タイマ0(またはタイマ2)のアンダーフロー信号がタイマ1(またはタイマ3)の入力クロックとなり、16ビットの連続したダウンカウンタとして動作します。

16ビットモード時のタイマの制御は、下位8ビット側(タイマ0、タイマ2)の制御レジスタによって行います。

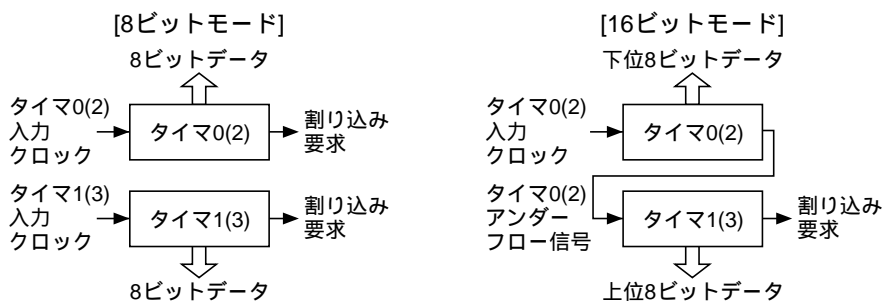


図4.8.2.1 8/16ビットモードのカウンタ構成

4.8.3 プログラマブルタイマの動作

(1) カウントクロック

プログラマブルタイマは発振クロック(f_{osc})を分周して4種類のカウントクロックを作ります。その中から1つをカウンタの入力クロックとして選択します。この選択は各タイマに設けられた分周比選択レジスタPTPSによって、タイマごとに行えます。

表4.8.3.1 カウントクロックの選択

PTPS01	PTPS00	タイマ0入力クロック
PTPS11	PTPS10	タイマ1入力クロック
PTPS21	PTPS20	タイマ2入力クロック
PTPS31	PTPS30	タイマ3入力クロック
1	1	$f_{osc}/256$
1	0	$f_{osc}/32$
0	1	$f_{osc}/4$
0	0	$f_{osc}/1$

f_{osc} : 発振クロック

タイマ0にはイベントカウンタ機能があり、K03入力ポートの入力信号をカウントクロックとして使用することができます。イベントカウンタ機能とその入力クロックについては4.8.5項を参照してください。

(2) リロードデータレジスタと初期値の設定

各タイマにはそれぞれ、カウンタの初期値を設定する8ビットのリロードデータレジスタRLDが設けられています。

タイマ0: RLD07 ~ RLD00(16ビットモード時は下位8ビットデータとして使用)

タイマ1: RLD17 ~ RLD10(16ビットモード時は上位8ビットデータとして使用)

タイマ2: RLD27 ~ RLD20(16ビットモード時は下位8ビットデータとして使用)

タイマ3: RLD37 ~ RLD30(16ビットモード時は上位8ビットデータとして使用)

リロードデータレジスタは読み出し/書き込み可能で、イニシャルリセット時にはそれぞれ00Hに設定されます。

ここに書き込んだデータがダウンカウンタにプリセットされ、ダウンカウンタはその値からカウントを行います。

ダウンカウンタへのプリセットは、次の2つの場合に行われます

1. ソフトウェアでプリセットを行った場合

ソフトウェアによるプリセットは各タイマのリセットビットPTRSTによって行います。

タイマ0: PTRST0

タイマ1: PTRST1

タイマ2: PTRST2

タイマ3: PTRST3

このビットに"1"を書き込むと、その時点でリロードデータレジスタの内容がダウンカウンタにロードされます。

16ビットモード時は下位8ビット側のPTRST(PTRST0、PTRST2)によって16ビットリロードデータが1度にロードされます。この場合、上位8ビット側のPTRST(PTRST1、PTRST3)への書き込みは無効となります。

2. ダウンカウンタがカウント中にアンダーフローした場合

各ダウンカウンタはそのアンダーフローによりリロードデータをプリセットします。したがって、リロードデータレジスタの設定値により、アンダーフロー周期が決定します。このアンダーフローは割り込みを発生するとともに外部へのクロック(PTOUT信号)出力を制御します。

(3) ダウンカウンタのRun/Stop

各タイマには、それぞれRUN/STOPを制御するレジスタPTRUNレジスタが設けられています。

タイマ0: PTRUN0

タイマ1: PTRUN1

タイマ2: PTRUN2

タイマ3: PTRUN3

リロードデータをカウンタにプリセットした後、本レジスタに"1"を書き込むことによってダウンカウントを開始します。"0"を書き込むとクロックの入力が禁止され、カウントを停止します。このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタはデータを保持しており、そのデータから継続してカウントを開始させることができます。

16ビットモード時は下位8ビット側のPTRUN(PTRUN0、PTRUN2)によってカウンタを制御します。この場合、上位8ビット側のPTRUN(PTRUN1、PTRUN3)への書き込みは無効となります。

各カウンタはダウンカウントが進んでアンダーフローが発生すると、リロードデータレジスタRLDに設定された初期値をリロードします。初期値をリロード後は、その初期値からダウンカウントを継続します。

このアンダーフロー信号はカウンタのリロードのほか、割り込みの発生、外部へのパルス(PTOUT信号)出力を制御します。

カウンタの基本動作タイミングを図4.8.3.1に示します。

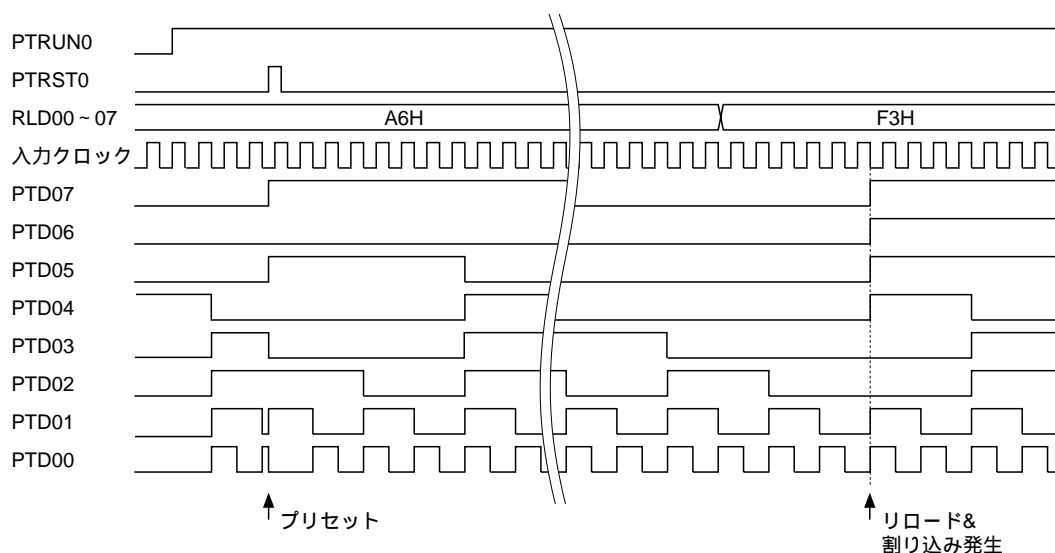


図4.8.3.1 カウンタの基本動作タイミング(タイマ0の例)

(4) カウンタデータの読み出しとホールド機能

カウンタデータの読み出しは各タイマのデータバッファPTDを介して行います。

タイマ0: PTD07～PTD00 (16ビットモード時は下位8ビットデータとして使用)

タイマ1: PTD17～PTD10 (16ビットモード時は上位8ビットデータとして使用)

タイマ2: PTD27～PTD20 (16ビットモード時は下位8ビットデータとして使用)

タイマ3: PTD37～PTD30 (16ビットモード時は上位8ビットデータとして使用)

データバッファからは4ビット単位でデータを読み出すことができますが、下位データ、上位データ読み出し間の桁下げを防止するため、最下位データの読み出しにより上位データがホールドされるようになっています。したがって、データの読み出しは必ず最下位データから先に行ってください。16ビットモード時は、タイマ0(タイマ2)の下位4ビット、上位4ビット、タイマ1(タイマ3)の下位4ビット、上位4ビットの順で読み出しを行ってください。

データホールドはプリスケアラを原振とするクロックを使用するため、発振周波数およびプリスケアラの設定(PRSM)によって変わります。ホールド時間は次の式により求められます。

$$8\text{ビットモード時: } t_{\text{HOLD}} = \frac{256 \cdot n}{f_{\text{OSC}}} [\text{sec}] \quad 16\text{ビットモード時: } t_{\text{HOLD}} = \frac{512 \cdot n}{f_{\text{OSC}}} [\text{sec}]$$

t_{HOLD} : カウントデータのホールド時間

f_{OSC} : 発振クロック周波数

n : PRSMレジスタの設定値+1

例:	8ビットモード時	16ビットモード時
$f_{\text{OSC}} = 4.194304\text{MHz}$, PRSM = 7の場合:	0.49msec	0.98msec
$f_{\text{OSC}} = 2\text{MHz}$, PRSM = 3の場合:	0.51msec	1.02msec

プリスケアラの設定については、"4.2 発振回路とプリスケアラ"を参照してください。

このホールド時間内に上位データの読み出しが行われない場合、カウントデータのホールドは解除されます。

4.8.4 割り込み機能

プログラマブルタイムは、各タイマのアンダーフロー信号によって割り込みを発生させることができます。割り込みタイミングについては図4.8.3.1を参照してください。

16ビットモード時は上位8ビット側のカウンタ(タイマ1、タイマ3)のアンダーフローによって割り込みが発生します。この場合、下位8ビット側のカウンタ(タイマ0、タイマ2)のアンダーフローによっては割り込みは発生しません。

各タイマのアンダーフロー信号によって、それぞれに対応する割り込み要因フラグIPTが"1"にセットされ、割り込みが発生します。各割り込み要因フラグに対応した割り込みマスクレジスタEIPTの設定により、割り込みをマスクすることもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応するタイマのアンダーフローで"1"にセットされます。

割り込み要因フラグ	割り込みマスクレジスタ
タイマ0: IPT0 (16ビットモード時は無効)	EIPT0
タイマ1: IPT1	EIPT1
タイマ2: IPT2 (16ビットモード時は無効)	EIPT2
タイマ3: IPT3	EIPT3

4.8.5 イベントカウンタ機能

タイマ0には、K03入力ポート端子に外部クロックを入力してカウントを行うイベントカウンタ機能があります。この機能は、タイマ0カウンタモード選択レジスタEVCNTに"1"を書き込むことによって選択されます。タイマ0、タイマ1を16ビットモードに設定した場合は、16ビットのイベントカウンタとなります。タイマ2とタイマ3はイベントカウンタとしては使用できません。

イベントカウンタモードでは、外部からタイマ0にクロックが供給されるため、タイマ0の分周比選択レジスタPTPS0の設定は無効となります。

ダウンカウントのタイミングは、タイマ0パルス極性選択レジスタPLPOLによって、立ち下がりエッジまたは立ち上がりエッジのどちらかが選択できます。レジスタPLPOLに"0"を書き込んだ場合が立ち下がりエッジ、"1"を書き込んだ場合が立ち上がりエッジとなり、図4.8.5.1に示すタイミングでダウンカウントが行われます。

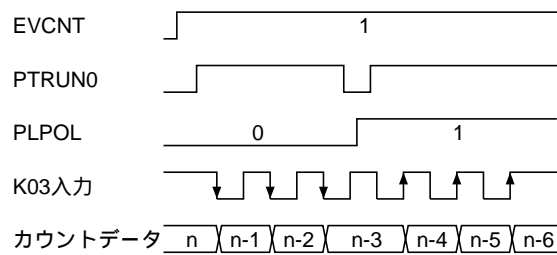


図4.8.5.1 イベントカウンタモードのタイミングチャート

イベントカウンタモードにはこのほかに、外部クロック(K03)入力に対してチャタリング等のノイズを除去するノイズリジェクタ付加機能があります。この機能はタイマ0機能選択レジスタFCSELに"1"を書き込むことによって選択されます。

ノイズリジェクション用のクロックはプリスケアラを原振としているため、発振周波数およびプリスケアラの設定(PRSM)によって変わります。ノイズリジェクションクロックの周波数は次の式により求められます。

$$f_{PTNR} = \frac{f_{OSC}}{256 \cdot n} \text{ [Hz]}$$

f_{PTNR} : ノイズリジェクションクロック周波数

f_{OSC} : 発振クロック周波数

n : PRSMレジスタの設定値+1

例: $f_{OSC} = 4.194304\text{MHz}$, PRSM = 7の場合: 2048Hz

$f_{OSC} = 2\text{MHz}$, PRSM = 3の場合: 1953Hz

ノイズリジェクタは、K03入力ポート端子の入力レベルが変化してから2度目のノイズリジェクションクロック(f_{PTNR})の立ち下がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は $1/f_{PTNR}$ 以下となります。

例: 確実に除去できるノイズのパルス幅

$f_{OSC} = 4.194304\text{MHz}$, PRSM = 7の場合: 0.49msec以下

$f_{OSC} = 2\text{MHz}$, PRSM = 3の場合: 0.51msec以下

ノイズリジェクタ付きを選択した場合は確実なカウントを行うために、LOWレベル/HIGHレベル共にノイズリジェクションパルス幅の2倍以上の入力パルスを確保する必要があります。

例: 確実にカウントできる入力パルス幅

$f_{OSC} = 4.194304\text{MHz}$, PRSM = 7の場合: 0.98msec以上

$f_{OSC} = 2\text{MHz}$, PRSM = 3の場合: 1.01msec以上

プリスケアラの設定については、"4.2 発振回路とプリスケアラ"を参照してください。

図4.8.5.2にノイズリジェクタ付加時のダウンカウントタイミングを示します。

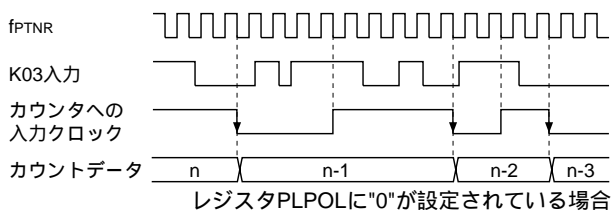


図4.8.5.2 ノイズリジェクタ付加時のダウンカウントタイミング

イベントカウンタモードの動作は、入力クロックが外部クロック(K03)となること以外はタイマモードと同等です。

カウントの基本的な動作と制御については4.8.3項を参照してください。

4.8.6 PTOUT出力の設定

プログラマブルタイムは、各タイマのアンダーフローによってPTOUT信号を発生させることができます。PTOUT信号はアンダーフローを1/2分周した信号で、PTOUT出力チャンネル選択レジスタCHSELによって、どのタイマのアンダーフローを使用するかを選択することができます。

表4.8.6.1 PTOUT出力チャンネルの選択

CHSEL1	CHSEL0	PTOUT出力Ch
1	1	タイマ3
1	0	タイマ2
0	1	タイマ1
0	0	タイマ0

16ビットモード時は、上位8ビット側のアンダーフローによってPTOUT信号を発生します。したがって、PTOUT出力チャンネル選択レジスタCHSELをタイマ1またはタイマ3に設定する必要があります。

図4.8.6.1にPTOUT信号の波形を示します。

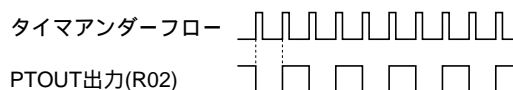


図4.8.6.1 PTOUT信号波形

PTOUT信号はR02出力ポート端子から出力させることができ、外部デバイス等に対してプログラマブルなクロックを供給することができます。

R02出力ポートの構成を図4.8.6.2に示します。

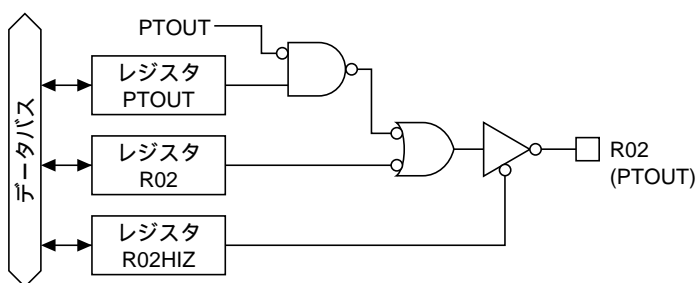


図4.8.6.2 R02の構成

PTOUT信号はレジスタPTOUTによって出力制御が行われます。PTOUTに"1"を設定するとPTOUT信号がR02出力ポート端子から出力され、"0"を設定するとHIGH(V_{DD})レベルが出力されます。このとき、データレジスタR02には常時"1"が、ハイインピーダンス制御レジスタR02HIZには常時"0" (データ出力) が設定されている必要があります。

なお、PTOUT信号はレジスタPTOUTとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図4.8.6.3にPTOUT信号の出力波形を示します。

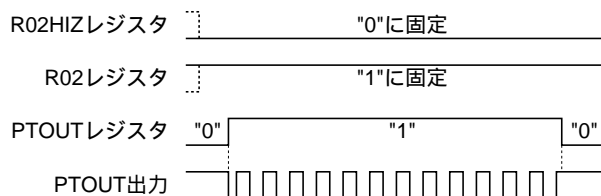


図4.8.6.3 PTOUT信号の出力波形

4.8.7 プログラブルタイマのI/Oメモリ

表4.8.7.1にプログラブルタイマの制御ビットとそのアドレスを示します。

表4.8.7.1(a) プログラブルタイマの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FFC0H	0	0	MODE1	MODE0	0 *3 0 *3	- *2 - *2			未使用 未使用
	R		R/W		MODE1 MODE0	0 0	16bit 16bit	8bit x 2 8bit x 2	8/16ビットモード選択(プログラブルタイマ2, 3) 8/16ビットモード選択(プログラブルタイマ0, 1)
FFC1H	0	EVCNT	FCSEL	PLPOL	0 *3 EVCNT FCSEL PLPOL	- *2 0 0 0			未使用 タイマ0カウンタモード選択 タイマ0機能選択(イベントカウンタモード時) タイマ0パルス極性選択(イベントカウンタモード時)
	R		R/W			Event ct. With NR	Timer No NR		
FFC2H	0	PTOUT	CHSEL1	CHSEL0	0 *3 PTOUT CHSEL1 CHSEL0	- *2 0 0 0			未使用 PTOUT出力制御 PTOUT出力 [CHSEL1, 0] 0 1 2 3 チャンネル選択 出力Ch タイマ0 タイマ1 タイマ2 タイマ3
	R		R/W				On	Off	
FFC4H	PTPS01	PTPS00	PTRST0	PTRUN0	PTPS01 PTPS00 PTRST0 *3 PTRUN0	0 0 - *2 0			タイマ0クロック [PTPS01, 00] 0 1 2 3 分周比選択 分周比 fosc/1 fosc/4 fosc/32 fosc/256 タイマ0リセット(リロード) タイマ0 Run/Stop
	R/W		W	R/W		Reset	Invalid	Stop	
						Run			
FFC5H	PTPS11	PTPS10	PTRST1	PTRUN1	PTPS11 PTPS10 PTRST1 *3 PTRUN1	0 0 - *2 0			タイマ1クロック [PTPS11, 10] 0 1 2 3 分周比選択 分周比 fosc/1 fosc/4 fosc/32 fosc/256 タイマ1リセット(リロード) タイマ1 Run/Stop
	R/W		W	R/W		Reset	Invalid	Stop	
						Run			
FFC6H	PTPS21	PTPS20	PTRST2	PTRUN2	PTPS21 PTPS20 PTRST2 *3 PTRUN2	0 0 - *2 0			タイマ2クロック [PTPS21, 20] 0 1 2 3 分周比選択 分周比 fosc/1 fosc/4 fosc/32 fosc/256 タイマ2リセット(リロード) タイマ2 Run/Stop
	R/W		W	R/W		Reset	Invalid	Stop	
						Run			
FFC7H	PTPS31	PTPS30	PTRST3	PTRUN3	PTPS31 PTPS30 PTRST3 *3 PTRUN3	0 0 - *2 0			タイマ3クロック [PTPS31, 30] 0 1 2 3 分周比選択 分周比 fosc/1 fosc/4 fosc/32 fosc/256 タイマ3リセット(リロード) タイマ3 Run/Stop
	R/W		W	R/W		Reset	Invalid	Stop	
						Run			
FFD0H	RLD03	RLD02	RLD01	RLD00	RLD03 RLD02 RLD01 RLD00	0 0 0 0			MSB プログラブルタイマ0リロードデータ(下位4ビット) LSB
	R/W								
FFD1H	RLD07	RLD06	RLD05	RLD04	RLD07 RLD06 RLD05 RLD04	0 0 0 0			MSB プログラブルタイマ0リロードデータ(上位4ビット) LSB
	R/W								
FFD2H	RLD13	RLD12	RLD11	RLD10	RLD13 RLD12 RLD11 RLD10	0 0 0 0			MSB プログラブルタイマ1リロードデータ(下位4ビット) LSB
	R/W								
FFD3H	RLD17	RLD16	RLD15	RLD14	RLD17 RLD16 RLD15 RLD14	0 0 0 0			MSB プログラブルタイマ1リロードデータ(上位4ビット) LSB
	R/W								
FFD4H	RLD23	RLD22	RLD21	RLD20	RLD23 RLD22 RLD21 RLD20	0 0 0 0			MSB プログラブルタイマ2リロードデータ(下位4ビット) LSB
	R/W								
FFD5H	RLD27	RLD26	RLD25	RLD24	RLD27 RLD26 RLD25 RLD24	0 0 0 0			MSB プログラブルタイマ2リロードデータ(上位4ビット) LSB
	R/W								
FFD6H	RLD33	RLD32	RLD31	RLD30	RLD33 RLD32 RLD31 RLD30	0 0 0 0			MSB プログラブルタイマ3リロードデータ(下位4ビット) LSB
	R/W								

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

表4.8.7.1(b) プログラマブルタイムの制御ビット

アドレス	レジスタ				注 釈				
	D3	D2	D1	D0	Name	Init *1	1	0	
FFD7H	RLD37	RLD36	RLD35	RLD34	RLD37	0			MSB プログラマブルタイム3リロードデータ(上位4ビット) LSB
	R/W				RLD36	0			
					RLD35	0			
					RLD34	0			
FFD8H	PTD03	PTD02	PTD01	PTD00	PTD03	0			MSB プログラマブルタイム0データ(下位4ビット) LSB
	R				PTD02	0			
					PTD01	0			
					PTD00	0			
FFD9H	PTD07	PTD06	PTD05	PTD04	PTD07	0			MSB プログラマブルタイム0データ(上位4ビット) LSB
	R				PTD06	0			
					PTD05	0			
					PTD04	0			
FFDAH	PTD13	PTD12	PTD11	PTD10	PTD13	0			MSB プログラマブルタイム1データ(下位4ビット) LSB
	R				PTD12	0			
					PTD11	0			
					PTD10	0			
FFDBH	PTD17	PTD16	PTD15	PTD14	PTD17	0			MSB プログラマブルタイム1データ(上位4ビット) LSB
	R				PTD16	0			
					PTD15	0			
					PTD14	0			
FFDCH	PTD23	PTD22	PTD21	PTD20	PTD23	0			MSB プログラマブルタイム2データ(下位4ビット) LSB
	R				PTD22	0			
					PTD21	0			
					PTD20	0			
FFDDH	PTD27	PTD26	PTD25	PTD24	PTD27	0			MSB プログラマブルタイム2データ(上位4ビット) LSB
	R				PTD26	0			
					PTD25	0			
					PTD24	0			
FFDEH	PTD33	PTD32	PTD31	PTD30	PTD33	0			MSB プログラマブルタイム3データ(下位4ビット) LSB
	R				PTD32	0			
					PTD31	0			
					PTD30	0			
FFDFH	PTD37	PTD36	PTD35	PTD34	PTD37	0			MSB プログラマブルタイム3データ(上位4ビット) LSB
	R				PTD36	0			
					PTD35	0			
					PTD34	0			
FFE2H	EIPT3	EIPT2	EIPT1	EIPT0	EIPT3	0	Enable	Mask	割り込みマスクレジスタ(プログラマブルタイム3) 割り込みマスクレジスタ(プログラマブルタイム2) 割り込みマスクレジスタ(プログラマブルタイム1) 割り込みマスクレジスタ(プログラマブルタイム0)
					EIPT2	0	Enable	Mask	
					EIPT1	0	Enable	Mask	
					EIPT0	0	Enable	Mask	
FFF2H	IPT3	IPT2	IPT1	IPT0	IPT3	0	(R)	(R)	割り込み要因フラグ(プログラマブルタイム3) 割り込み要因フラグ(プログラマブルタイム2) 割り込み要因フラグ(プログラマブルタイム1) 割り込み要因フラグ(プログラマブルタイム0)
	R/W				IPT2	0	Yes	No	
					IPT1	0	(W)	(W)	
					IPT0	0	Reset	Invalid	

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

MODE0: タイマ0, 1 8/16ビットモード選択レジスタ(FFC0H・D0)

MODE1: タイマ2, 3 8/16ビットモード選択レジスタ(FFC0H・D1)

8/16ビットモードを選択します。

"1"書き込み: 16ビット×1チャンネル

"0"書き込み: 8ビット×2チャンネル

読み出し: 可能

タイマ0とタイマ1、タイマ2とタイマ3をそれぞれ独立した2チャンネルの8ビットタイマとして使用するか、組み合わせた1チャンネルの16ビットタイマとして使用するかを選択します。MODE0(タイマ0と1)またはMODE1(タイマ2と3)に"0"を書き込んだ場合は8ビット×2チャンネル、"1"を書き込んだ場合は16ビット×1チャンネルがそれぞれ選択されます。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

PTPS00, PTPS01: タイマ0クロック分周比選択レジスタ(FFC4H・D2, D3)
 PTPS10, PTPS11: タイマ1クロック分周比選択レジスタ(FFC5H・D2, D3)
 PTPS20, PTPS21: タイマ2クロック分周比選択レジスタ(FFC6H・D2, D3)
 PTPS30, PTPS31: タイマ3クロック分周比選択レジスタ(FFC7H・D2, D3)
 各タイマへ入力するクロックの分周比を選択します。
 選択できるクロックの分周比は表4.8.7.2のとおりです。

表4.8.7.2 クロック分周比の選択

PTPS01	PTPS00	タイマ0入力クロック
PTPS11	PTPS10	タイマ1入力クロック
PTPS21	PTPS20	タイマ2入力クロック
PTPS31	PTPS30	タイマ3入力クロック
1	1	fosc/256
1	0	fosc/32
0	1	fosc/4
0	0	fosc/1

fosc: 発振クロック

16ビットモード時は、下位8ビット側のPTPS(PTPS0、PTPS2)によって分周比を選択します。上位側への書き込みは無効となります。

なお、タイマ0をイベントカウンタモードに設定している場合はPTPS00、PTPS01の設定は無効となります。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

EVCNT: タイマ0カウンタモード選択レジスタ(FFC1H・D2)

タイマ0のカウンタモードを選択します。

"1"書き込み: イベントカウンタ

"0"書き込み: タイマ

読み出し: 可能

タイマ0を外部クロックをカウントするイベントカウンタとして使用するか、内部クロックをカウントするタイマとして使用するかを選択します。EVCNTに"1"を書き込んだ場合はイベントカウンタ、"0"を書き込んだ場合はタイマが選択されます。

イニシャルリセット時、このレジスタは"0"に設定されます。

FCSEL: タイマ0機能選択レジスタ(FFC1H・D1)

イベントカウンタのノイズリジェクタを使用するかしないかを選択します。

"1"書き込み: ノイズリジェクタ付き

"0"書き込み: ノイズリジェクタなし

読み出し: 可能

FCSELに"1"を書き込んだ場合、K03入力ポート端子に入力される外部クロックはノイズリジェクタを通ります。FCSELに"0"を書き込んだ場合はノイズリジェクタをバイパスし、K03入力クロックによって直接カウントが行われます。

ノイズリジェクタを使用する場合の、ノイズとしてみなされるパルス幅および確実にカウントできるパルス幅については4.8.5項を参照してください。

このレジスタの設定は、タイマ0をイベントカウンタとして使用する場合にのみ有効です。

イニシャルリセット時、このレジスタは"0"に設定されます。

PLPOL: タイマ0パルス極性選択レジスタ(FFC1H・D0)
イベントカウンタのカウンtpルス極性を選択します。

"1"書き込み: 立ち上がりエッジ
"0"書き込み: 立ち下がりエッジ
読み出し: 可能

イベントカウンタモード(タイマ0)のカウンtpのタイミングをK03入力ポート端子に入力される外部クロックの立ち下がりエッジとするか、立ち上がりエッジとするかを選択します。

PLPOLに"0"を書き込んだ場合は立ち下がりエッジ、"1"を書き込んだ場合は立ち上がりエッジがそれぞれ選択されます。

このレジスタの設定は、タイマ0をイベントカウンタとして使用する場合にのみ有効です。

イニシャルリセット時、このレジスタは"0"に設定されます。

RLD00 ~ RLD07: タイマ0リロードデータレジスタ(FFD0H, FFD1H)

RLD10 ~ RLD17: タイマ1リロードデータレジスタ(FFD2H, FFD3H)

RLD20 ~ RLD27: タイマ2リロードデータレジスタ(FFD4H, FFD5H)

RLD30 ~ RLD37: タイマ3リロードデータレジスタ(FFD6H, FFD7H)

カウンtpの初期値を設定します。

本レジスタに設定したリロードデータがそれぞれのカウンtpにロードされ、それを初期値としてダウンカウンtpが行われます。

リロードデータがカウンtpにロードされる条件は各タイマのPTRSTに"1"を書き込んでプリセットを行う場合と、カウンtpのアンダーフローによって自動的にリロードが行われる場合です。

イニシャルリセット時、これらのレジスタはそれぞれ"00H"に設定されます。

PTD00 ~ PTD07: タイマ0カウンtpデータ(FFD8H, FFD9H)

PTD10 ~ PTD17: タイマ1カウンtpデータ(FFDAH, FFDBH)

PTD20 ~ PTD27: タイマ2カウンtpデータ(FFDCH, FFDDH)

PTD30 ~ PTD37: タイマ3カウンtpデータ(FFDEH, FFDFH)

プログラマブルタイムのデータが読み出せます。

カウンtpデータの読み出しは必ず下位4ビットから先に行ってください。

16ビットモード時は、タイマ0(タイマ2)の下位4ビット、上位4ビット、タイマ1(タイマ3)の下位4ビット、上位4ビットの順で読み出しを行ってください。

本ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、各カウンtpデータは"00H"に設定されます。

PTRST0: タイマ0リセット(リロード)(FFC4H・D1)

PTRST1: タイマ1リセット(リロード)(FFC5H・D1)

PTRST2: タイマ2リセット(リロード)(FFC6H・D1)

PTRST3: タイマ3リセット(リロード)(FFC7H・D1)

タイマをリセットし、リロードデータをカウンtpにプリセットします。

"1"書き込み: リセット
"0"書き込み: ノーオペレーション
読み出し: 常時"0"

PTRSTに"1"を書き込むことによって、RLDのリロードデータがカウンtpにプリセットされます。カウンtpがRUN状態のときにプリセットを行うとリロードデータのプリセット直後にリスタートします。

また、STOP状態の場合はプリセットされたリロードデータがそのまま保持されます。

"0"の書き込みはノーオペレーションとなります。

16ビットモード時は、下位8ビット側のPTRST(PTRST0、PTRST2)によって16ビットリロードデータが1度にロードされます。この場合、上位8ビット側のPTRST(PTRST1、PTRST3)への書き込みは無効となります。

本ビットは書き込み専用のため、読み出しは常時"0"となります。

PTRUN0: タイマ0 RUN/STOP制御レジスタ(FFC4H・D0)
 PTRUN1: タイマ1 RUN/STOP制御レジスタ(FFC5H・D0)
 PTRUN2: タイマ2 RUN/STOP制御レジスタ(FFC6H・D0)
 PTRUN3: タイマ3 RUN/STOP制御レジスタ(FFC7H・D0)
 カウンタのRUN/STOPを制御します。

"1"書き込み: RUN
 "0"書き込み: STOP
 読み出し: 可能

各タイマのカウンタはPTRUNに"1"を書き込むことによってダウンカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

16ビットモード時は下位8ビット側のPTRUN(PTRUN0、PTRUN2)によってカウンタを制御します。この場合、上位8ビット側のPTRUN(PTRUN1、PTRUN3)への書き込みは無効となります。イニシャルリセット時、これらのレジスタは"0"に設定されます。

CHSEL0, CHSEL1: PTOOUT出力チャンネル選択レジスタ(FFC2H・D0, D1)
 PTOOUT信号のチャンネルを選択します。

表4.8.7.3 PTOOUT出力チャンネル

CHSEL1	CHSEL0	PTOOUT出力Ch
1	1	タイマ3
1	0	タイマ2
0	1	タイマ1
0	0	タイマ0

指定したタイマのアンダーフローによってPTOOUT信号が生成されます。

16ビットモード時は、上位8ビット側のタイマのアンダーフローによってPTOOUT信号を生成します。したがって、CHSELをタイマ1またはタイマ3に設定する必要があります。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

PTOOUT: PTOOUT出力制御レジスタ(FFC2H・D2)

PTOOUT信号の出力制御を行います。

"1"書き込み: ON
 "0"書き込み: OFF
 読み出し: 可能

PTOOUTはPTOOUT信号の出力制御レジスタで、"1"を設定するとPTOOUT信号がR02出力ポート端子から出力され、"0"を設定するとHIGHレベル(V_{DD})が出力されます。このとき、データレジスタR02には常時"1"が、ハイインピーダンス制御レジスタR02HIZには常時"0"(データ出力)が設定されている必要があります。

イニシャルリセット時、このレジスタは"0"に設定されます。

EIPT0: タイマ0割り込みマスクレジスタ(FFE2H・D0)
 EIPT1: タイマ1割り込みマスクレジスタ(FFE2H・D1)
 EIPT2: タイマ2割り込みマスクレジスタ(FFE2H・D2)
 EIPT3: タイマ3割り込みマスクレジスタ(FFE2H・D3)
 プログラマブルタイマの割り込みをマスクします。

"1"書き込み: イネーブル
 "0"書き込み: マスク
 読み出し: 可能

各タイマの割り込みをマスクするかしないかを、個別に選択できます。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

IPT0: タイマ0割り込み要因フラグ (FFF2H・D0)
IPT1: タイマ1割り込み要因フラグ (FFF2H・D1)
IPT2: タイマ2割り込み要因フラグ (FFF2H・D2)
IPT3: タイマ3割り込み要因フラグ (FFF2H・D3)
プログラマブルタイマ割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有
"0"読み出し: 割り込み無

"1"書き込み: 要因フラグをリセット
"0"書き込み: 無効

割り込み要因フラグIPT0～IPT3は、それぞれタイマ0～タイマ3のプログラマブルタイマ割り込みに対応します。これらのフラグによってプログラマブルタイマ割り込みの有無を、ソフトウェアで判断することができます。ただし、これらのフラグは割り込みをマスクしていても、対応するタイマのアンダーフローで"1"にセットされます。

16ビットモード時は上位8ビット側のカウンタ(タイマ1、タイマ3)のアンダーフローによって割り込みが発生します。この場合、下位8ビット側のカウンタ(タイマ0、タイマ2)の割り込み要因フラグはセットされません。

これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(1フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

4.8.8 プログラミング上の注意事項

- (1) カウンタデータの読み出しは必ず下位4ビットから先に行ってください。
16ビットモード時は、タイマ α (タイマ2)の下位4ビット、上位4ビット、タイマ1(タイマ3)の下位4ビット、上位4ビットの順で読み出しを行ってください。
- (2) プログラマブルタイマはレジスタPTRUNへの書き込みに対して、入力クロックの立ち下がりエッジに同期して実際にRUN/STOP状態となります。
したがって、PTRUNに"0"を書き込んだ場合は、"-1"余分にカウントしたところでタイマが停止状態となります。また、このときPTRUNは実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。

図4.8.8.1にRUN/STOP制御のタイミングチャートを示します。

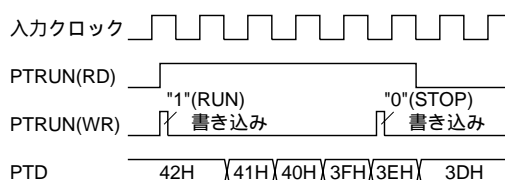


図4.8.8.1 RUN/STOP制御のタイミングチャート

なお、これについてはイベントカウンタも対象となるため、PTRUN0レジスタを設定後にクロック入力がない場合、カウンタ回路は実際にはRUN/STOP状態になりませんので注意してください。

- (3) PTOUT信号は出力制御レジスタPTOUTとは非同期に発生していますので、PTOUTの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- (4) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(1フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- (5) プログラマブルタイマ動作中にプログラマブルタイマ割り込み発生間隔を変更する場合、以下の理由によりリロードデータを書き込むタイミングに注意が必要です。
プログラマブルタイマは入力クロックの立ち下がりエッジでダウンカウントを行い、そこでアンダーフローが発生した場合は同時に割り込みを発生します。その後、リロードデータをカウンタにセットする動作を開始し、入力クロックの次の立ち上がりエッジでカウンタデータが確定します(この区間)。

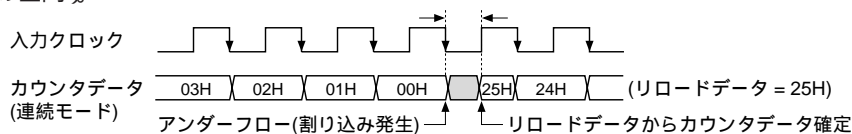


図4.8.8.2 プログラマブルタイマリロードタイミング

リロードデータを正しくカウンタにセットするために、割り込み発生後はこの区間を含め、カウンタデータが確定するまではリロードデータの書き換えを行わないでください。入力クロックの源振にOSC1(低速クロック)を使用し、CPUがOSC α (高速クロック)で動作している場合は、特に注意が必要です。

4.9 ブザー出力回路

4.9.1 ブザー出力回路の構成

S1C63256は圧電ブザーを駆動するブザー信号を出力することができます。ブザー信号はソフトウェアの制御によりBZ端子から出力されます。また、ブザー信号の周波数もソフトウェアにより2kHzまたは4kHzに設定することができます。

図4.9.1.1にブザー出力回路の構成を示します。

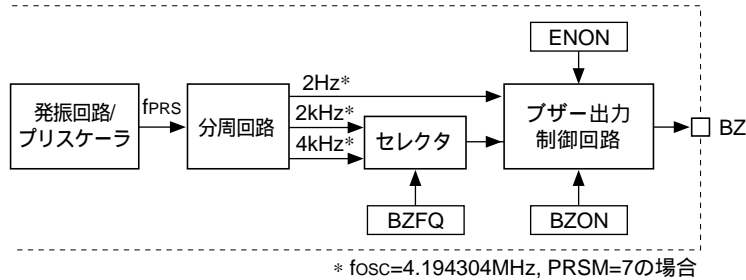


図4.9.1.1 ブザー出力回路の構成

4.9.2 マスクオプション

BZ端子から出力するブザー信号の極性を正極性とするか、負極性とするか選択します。それぞれの出力回路構成を図4.9.2.1に示します。

正極性を選択した場合、ブザー信号出力時以外はBZ端子がLOW(V_{SS})レベルになります。NPNトランジスタを外付けして圧電ブザーを駆動させる場合は正極性を選択してください。負極性を選択した場合、ブザー信号出力時以外はBZ端子がHIGH(V_{DD})レベルになります。PNPトランジスタを外付けして圧電ブザーを駆動させる場合は負極性を選択してください。

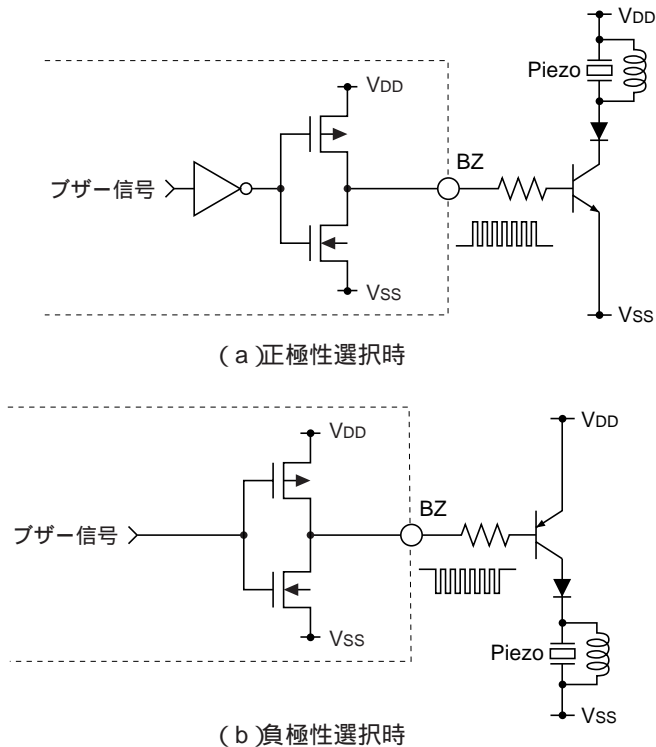


図4.9.2.1 出力回路の構成

4.9.3 ブザー出力の制御

(1) ブザー周波数

ブザー信号の周波数はブザー周波数選択レジスタBZFQにより選択します。BZFQレジスタに"1"を書き込むと2kHz、"0"を書き込むと4kHzに設定されます。これらの信号の周波数は、発振周波数とプリスケアラの設定により変わります。それぞれ、次の式により求められます。

$$f_{BZL} = \frac{f_{OSC}}{256 \cdot n} \text{ [Hz]} \quad \begin{array}{ll} f_{BZL}: & \text{BZFQ} = "1" \text{ のブザー周波数} \\ f_{BZH}: & \text{BZFQ} = "0" \text{ のブザー周波数} \end{array}$$

$$f_{BZH} = \frac{f_{OSC}}{128 \cdot n} \text{ [Hz]} \quad \begin{array}{ll} f_{OSC}: & \text{発振クロック周波数} \\ n: & \text{PRSMレジスタの設定値+1} \end{array}$$

例: $f_{OSC} = 4.194304\text{MHz}$, $\text{PRSM} = 7$ の場合: $f_{BZL} = 2048\text{Hz}$, $f_{BZH} = 4096\text{Hz}$

$f_{OSC} = 2\text{MHz}$, $\text{PRSM} = 3$ の場合: $f_{BZL} = 1953\text{Hz}$, $f_{BZH} = 3906\text{Hz}$

プリスケアラの設定については、"4.2 発振回路とプリスケアラ"を参照してください。

(2) ブザー出力ON/OFF

ブザー信号は、ブザー出力制御レジスタBZONに"1"を書き込むことによりBZ端子から出力されます。マスクオプションで負極性を選択している場合、BZONレジスタに"0"を書き込むと、BZ端子はHIGH(V_{DD})レベルになります。マスクオプションで正極性を選択している場合、BZONレジスタに"0"を書き込むと、BZ端子はLOW(V_{SS})レベルになります。

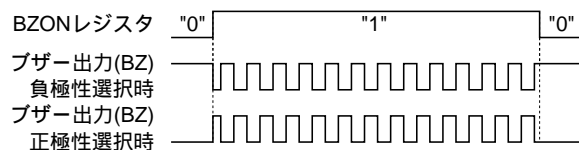


図4.9.3.1 ブザー信号出力タイミングチャート

注: ブザー信号はBZONレジスタとは非同期に発生していますので、BZONレジスタの設定による信号のON/OFF時にハザードを生じることがあります。

(3) 2Hzインターバル

通常の連続出力の他に、ブザー信号を2Hz信号で変調して出力することができます。これによりブザーの断続音が生成されます。この2Hzインターバル機能を使用する場合は、ENONレジスタに"1"を書き込んでください。ENONレジスタは2Hzインターバル機能をON/OFFするのみで、ブザーの出力にはBZONレジスタの制御が必要です。

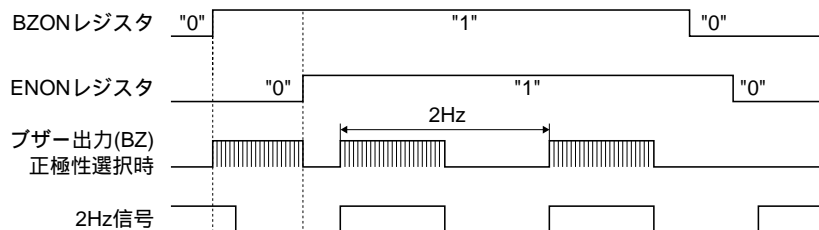


図4.9.3.2 2Hzインターバル

この機能に使用する2Hz信号も発振周波数とプリスケアラの設定により変わります。

$$f_{IVL} = \frac{f_{OSC}}{262144 \cdot n} \text{ [Hz]} \quad \begin{array}{ll} f_{IVL}: & \text{インターバル周波数} \\ f_{OSC}: & \text{発振クロック周波数} \\ n: & \text{PRSMレジスタの設定値+1} \end{array}$$

例: $f_{OSC} = 4.194304\text{MHz}$, $\text{PRSM} = 7$ の場合: $f_{IVL} = 2\text{Hz}$

$f_{OSC} = 2\text{MHz}$, $\text{PRSM} = 3$ の場合: $f_{IVL} = 1.9\text{Hz}$

プリスケアラの設定については、"4.2 発振回路とプリスケアラ"を参照してください。

4.9.4 ブザー出力回路のI/Oメモリ

表4.9.4.1にブザー出力回路の制御ビットとそのアドレスを示します。

表4.9.4.1 ブザー出力回路の制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF64H	0	ENON	BZFQ	BZON	0 *3	— *2			未使用
					ENON	0	On	Off	2HzインターバルOn/Off
					BZFQ	0	2kHz	4kHz	ブザー周波数選択
					BZON	0	On	Off	ブザー出力On/Off制御
	R	R/W							

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

ENON: 2HzインターバルON/OFF制御レジスタ(FF64H・D2)

ブザー信号の2HzインターバルをON/OFFします。

"1"書き込み: ON
 "0"書き込み: OFF
 読み出し: 可能

ENONに"1"を書き込むとブザー信号が2Hzの断続出力に設定されます。"0"を書き込むと通常の連続出力に設定されます。

2Hz信号は発振周波数とプリスケアラの設定で変わります(4.9.3項参照)。

イニシャルリセット時、このレジスタは"0"に設定されます。

BZFQ: ブザー周波数選択レジスタ(FF64H・D1)

ブザー信号の周波数を選択します。

"1"書き込み: 2kHz
 "0"書き込み: 4kHz
 読み出し: 可能

BZFQに"1"を書き込むと2kHz、"0"を書き込むと4kHzに設定されます。

ブザー周波数は発振周波数とプリスケアラの設定で変わります。(4.9.3項参照)

イニシャルリセット時、このレジスタは"0"に設定されます。

BZON: ブザー出力ON/OFF制御レジスタ(FF64H・D0)

ブザー出力を制御します。

"1"書き込み: ブザー出力ON
 "0"書き込み: ブザー出力OFF
 読み出し: 可能

BZONに"1"を書き込むことによってBZ端子からブザー信号が出力され、"0"の書き込みでBZ端子がHIGH(V_{DD})レベル(マスクオプションにて負極性選択時)またはLOW(V_{SS})レベル(マスクオプションにて正極性選択時)になります。

イニシャルリセット時、このレジスタは"0"に設定されます。

4.9.5 プログラミング上の注意事項

ブザー信号はBZONレジスタとは非同期に発生していますので、BZONレジスタの設定による信号のON/OFF時にハザードを生じる場合があります。

4.10 A/D変換器

4.10.1 A/D変換器の特徴と構成

S1C63256は以下の特徴を持つA/D変換器を内蔵しています。

- ・変換方式 逐次比較型
- ・分解能 8ビット
- ・入力チャンネル 最大4チャンネル
- ・変換時間 最小 $8\mu\text{s}$ ($f_{\text{AD}} = 2.5\text{MHz}$ 時)
- ・アナログ変換電圧範囲が基準電圧端子(AV_{REF})により設定可能
- ・A/D変換結果は8ビットデータレジスタから読み出し可能
- ・サンプル&ホールド回路内蔵
- ・A/D変換終了時に割り込み発生

図4.10.1.1にA/D変換器の構成を示します。

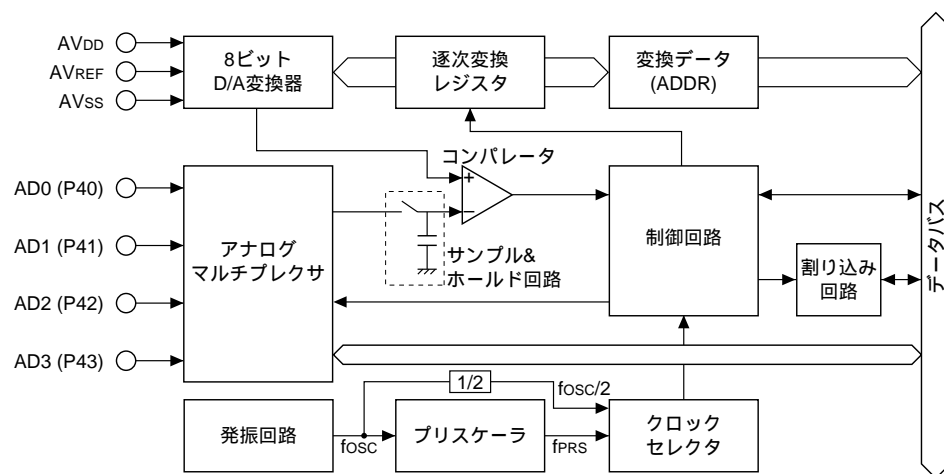


図4.10.1.1 A/D変換器の構成

4.10.2 A/D変換器の端子構成

A/D変換器で使用する端子は以下のとおりです。

AVDD、AVSS(電源入力端子)

AVDD、AVSS端子はA/D変換器の電源端子です。入力電圧はAVDD = VDD、AVSS = VSSとしてください。

AVREF(基準電圧入力端子)

AVREF端子はアナログ部の基準電圧端子です。A/D変換の入力電圧範囲がこの入力によって決まります($\text{AV}_{\text{SS}} \sim \text{AV}_{\text{REF}}$)。入力電圧はAVREF = AVDDとしてください。

AD0 ~ AD3(アナログ入力端子)

アナログ入力端子AD0 ~ AD3は入出力兼用ポート端子P40 ~ P43と共用されています。したがって、アナログ入力端子として用いる場合は、ソフトウェアによりA/D変換器用に設定する必要があります。この設定は1端子ごとに行えます。(設定方法は4.10.4項参照)

イニシャルリセット時はすべての端子が入出力兼用ポート端子に設定されます。

入力可能なアナログ電圧値AVINはAVSS ~ AVIN ~ AVREFの範囲です。

4.10.3 マスクオプション

A/D変換器のアナログ入力端子は入出力兼用ポート端子P40～P43と兼用されています。このため、入出力兼用ポート端子のプルアップ抵抗のマスクオプションがそのまま適用されます。A/D変換器を使用する場合は、変換精度を確保するため、使用する入力チャンネルに対応する入出力兼用ポートのマスクオプションは"プルアップなし"を選択してください。

4.10.4 A/D変換の制御

(1) A/D入力端子の設定

A/D変換器を使用する場合、入出力兼用ポート端子として初期設定されるP40～P43の中でアナログ入力に使用する端子を設定しておく必要があります。4端子すべてをアナログ入力端子として使用可能です。

アナログ入力端子への設定はPAD \times (PAD0～PAD3)レジスタによって行います。PADレジスタビットを"1"に設定することにより、対応する端子がアナログ入力端子として機能します。

イニシャルリセット時、これらの端子はすべて入出力兼用ポート端子に設定され、各端子はハイインピーダンスとなります。

表4.10.4.1 A/D入力端子とPADレジスタの対応

端子	A/D入力制御レジスタ	備 考
P40 (AD0)	PAD0	PAD \times ="1"で アナログ入力
P41 (AD1)	PAD1	
P42 (AD2)	PAD2	
P43 (AD3)	PAD3	

(2) 入力クロックの設定

A/D変換用入力クロックは表4.10.4.2に示すとおり、ADCLKレジスタによってプリスケアラの出力 (f_{PRS}) または発振周波数の2分周クロック (f_{OSC}/2) から選択できます。

表4.10.4.2 入力クロックの選択

ADCLK	入力クロック
0	f _{PRS}
1	f _{OSC} /2

選択したクロックはADRUNレジスタに"1"を書き込むことにより、クロックセクタからA/D変換器に出力されます。

f_{PRS}を選択した場合、PRSMレジスタの設定によるプリスケアラの出力クロックがA/D変換クロックとしてA/D変換器に入力されます。

$$f_{PRS} = f_{OSC} / (PRSM + 1) \text{ [Hz]}$$

例: f_{OSC} = 4.194304MHz, PRSM = 7の場合: 262.144kHz

f_{OSC} = 2MHz, PRSM = 3の場合: 250kHz

プリスケアラの設定については、"4.2 発振回路とプリスケアラ"を参照してください。

- 注:
- ADCLKレジスタによる入力クロックの選択は、必ずA/D変換器が停止中に行ってください。A/D変換中の変更は誤動作につながります。
 - 入力クロックにf_{PRS}を選択した場合、A/D変換動作中にプリスケアラの設定を変更しないでください。誤動作の原因となります。

(3) 入力信号の選択

AD \times (P40)～AD \times (P43)のアナログ入力はマルチプレクサに入力されており、ソフトウェアによってA/D変換を行うアナログ入力チャンネルを選択します。この選択は表4.10.4.3のとおり、CHSレジスタによって行います。

表4.10.4.3 アナログ入力チャンネルの選択

CHS1	CHS0	入力チャンネル
1	1	AD3 (P43)
1	0	AD2 (P42)
0	1	AD1 (P41)
0	0	AD0 (P40)

(4) A/D変換動作

A/D変換は、ADRUNの書き込み動作によって開始します。

たとえば、AD1をアナログ入力チャンネルとしてA/D変換を行いたい場合、はじめにCHSレジスタ (CHS1、CHS0) に"1" (0、1) を書き込みます。この動作によってA/D入力チャンネルが選択されます。ただし、P41端子がアナログ入力端子として設定されている必要があります。

次に、ADRUNに"1"を書き込みます。内蔵のサンプル&ホールド回路は、この書き込みから t_{AD} 時間経過後に指定されたアナログ入力のサンプリングを開始します。サンプリング期間が終了すると、そこでホールドされたアナログ入力電圧が逐次比較方式によりA/D変換されます。

ホールドされているアナログ入力電圧は8ビットの分解能でA/D変換され、その結果はADDR (ADDR0 ~ ADDR7) レジスタに格納されます。ADDR0がLSB、ADDR7がMSBです。

注: PADレジスタで設定されたアナログ入力端子(同時複数設定可)とCHSレジスタで選択された入力チャンネルが一致していないと正しいA/D変換が行われません。

例: 端子設定 PAD3 = 1, PAD2 ~ PAD0 = 0 (AD3端子を設定)

入力チャンネル選択 CHS1 = 0, CHS0 = 0 (AD0を選択)

この設定では選択が一致していませんので、A/D変換結果は意味のないものとなります。

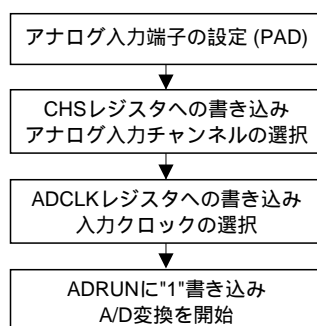


図4.10.4.1 A/D変換開始のフロー

変換結果がADDRレジスタに格納されA/D変換が終了すると、A/D変換器は次項で説明する割り込みを発生します。

A/D変換のタイミングを図4.10.4.2に示します。

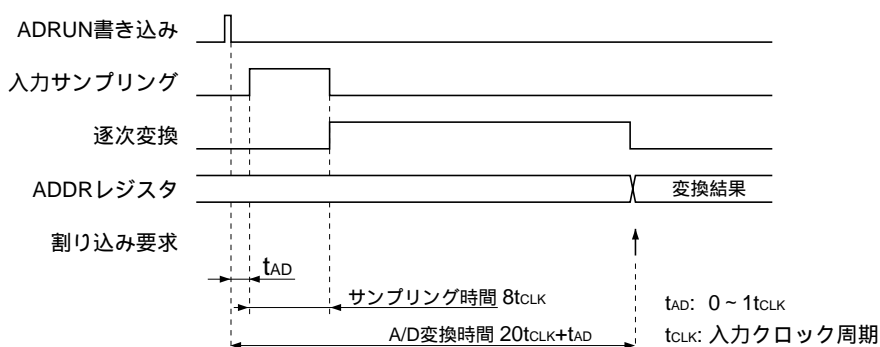


図4.10.4.2 A/D変換のタイミングチャート

4.10.5 割り込み機能

A/D変換器はA/D変換終了時に割り込みを発生させることができます。

A/D変換器はA/D変換を終了し、変換結果をADDRレジスタに格納したところで割り込み要因フラグIADを"1"にセットします。このときに、割り込みマスクレジスタEIADが"1"に設定されている場合、CPUに対し割り込みが発生します。

EIADレジスタを"0"に設定しておくことにより、CPUへの割り込みをマスクすることもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、A/D変換の終了により"1"にセットされます。

"1"にセットされた割り込み要因フラグは"1"を書き込むことにより"0"にリセットされます。

4.10.6 A/D変換器のI/Oメモリ

表4.10.6.1にA/D変換器の制御ビットとそのアドレスを示します。

表4.10.6.1 A/D変換器の制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF68H	ADRUN	ADCLK	CHS1	CHS0	ADRUN*3	0	Start	Invalid	A/D変換制御 入力クロック選択 入力チャンネル 選択
					ADCLK	0	fosc/2	fPRS	
					CHS1	0			
					CHS0	0			
FF69H	PAD3	PAD2	PAD1	PAD0	PAD3	0	A/D	I/O	A/D-Ch3イネーブル(P43端子) A/D-Ch2イネーブル(P42端子) A/D-Ch1イネーブル(P41端子) A/D-Ch0イネーブル(P40端子)
					PAD2	0	A/D	I/O	
					PAD1	0	A/D	I/O	
					PAD0	0	A/D	I/O	
FF6AH	ADDR3	ADDR2	ADDR1	ADDR0	ADDR3	–*2			A/D変換データ(下位4ビット) LSB
					ADDR2	–*2			
					ADDR1	–*2			
					ADDR0	–*2			
FF6BH	ADDR7	ADDR6	ADDR5	ADDR4	ADDR7	–*2			MSB A/D変換データ(上位4ビット)
					ADDR6	–*2			
					ADDR5	–*2			
					ADDR4	–*2			
FFE7H	0	0	0	EIAD	0*3	–*2			未使用 未使用 未使用 割り込みマスクレジスタ(A/D変換器)
					0*3	–*2			
					0*3	–*2			
					EIAD	0	Enable	Mask	
FFF7H	0	0	0	IAD	0*3	–*2	(R)	(R)	未使用 未使用 未使用 割り込み要因フラグ(A/D変換器)
					0*3	–*2	Yes	No	
					0*3	–*2	(W)	(W)	
					IAD	0	Reset	Invalid	

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

PAD0～PAD3: A/D変換器入力制御レジスタ(FF69H)

P40～P43端子をそれぞれA/D変換器のアナログ入力端子に設定します。

"1"書き込み: A/D変換器入力

"0"書き込み: 入出力兼用ポート

読み出し: 可能

PADnに"1"を書き込むとP4n端子がA/D変換器のアナログ入力端子ADnに設定されます(n=0～3)。

"0"を書き込んだ場合、その端子は入出力兼用ポート端子となります。

イニシャルリセット時、このレジスタは"0"に設定されます。

CHS0, CHS1: アナログ入力チャンネル選択レジスタ(FF68H・D0, D1)

アナログ入力チャンネルを選択します。

表4.10.6.2 アナログ入力チャンネルの選択

CHS1	CHS0	入力チャンネル
1	1	AD3 (P43)
1	0	AD2 (P42)
0	1	AD1 (P41)
0	0	AD0 (P40)

イニシャルリセット時、このレジスタは"0"に設定されます。

ADCLK: A/D変換器入力クロック選択レジスタ(FF68H・D2)

A/D変換器のクロック源を選択します。

"1"書き込み: 発振クロック周波数/ \times fosc/2)

"0"書き込み: プリスケーラの出力クロック(fPRS)

読み出し: 可能

ADCLKに"1"を書き込むことにより、A/D変換器の入力クロックとして発振周波数の2分周クロックが選択されます。"0"を書き込んだ場合はプリスケーラの出力クロックが選択されます。

イニシャルリセット時、ADCLKレジスタは"0"(fPRS)に設定されます。

ADRUN: A/D変換制御(FF68H・D3)

A/D変換を制御します。

"1"書き込み: 変換開始

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

ADRUNに"1"を書き込むことによりCHSレジスタで指定したチャンネルのA/D変換を開始します。A/D変換開始から変換結果がADDRレジスタに格納されるまでの時間については図4.10.4.2を参照してください。

"0"の書き込みはノーオペレーションとなります。

本ビットは書き込み専用のため、読み出しは常時"0"となります。

ADDR0 ~ ADDR7: A/D変換結果(FF6AH, FF6BH)

8ビットのA/D変換結果が格納されます。

ADDR0がLSB、ADDR7がMSBです。

イニシャルリセット時、データは不定となります。

EIAD: A/D変換器割り込みマスクレジスタ(FFE7H・D0)

A/D変換器の割り込みをマスクします。

"1"書き込み: イネーブル

"0"書き込み: マスク

読み出し: 可能

A/D変換器の割り込みをマスクするかしないかを、このレジスタにより選択できます。

イニシャルリセット時、このレジスタはすべて"0"に設定されます。

IAD: A/D変換器割り込み要因フラグ(FFF7H・D0)
A/D変換器割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有
"0"読み出し: 割り込み無
"1"書き込み: 要因フラグをリセット
"0"書き込み: 無効

割り込み要因フラグIADによって、割り込みの有無をソフトウェアで判断することができます。
割り込み要因フラグは、割り込みマスクレジスタの設定にかかわらずA/D変換の終了により"1"にセットされます。ただし、割り込みがマスクされている場合はCPUに対して割り込みは発生しません。
このフラグは、"1"を書き込むことによって"0"にリセットされます。
割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
イニシャルリセット時、このフラグは"0"に設定されます。

4.10.7 プログラミング上の注意事項

- (1) プリスケアラからの出力クロックをA/D変換器のクロック源として用いた場合、プリスケアラの設定によってA/D変換時間が変わります。
- (2) アナログ入力端子の設定は必ずA/D変換停止中に行ってください。A/D変換開始後の変更は誤動作の原因となります。
- (3) PADレジスタで設定されたアナログ入力端子(同時複数設定可)とCHSレジスタで選択された入力チャンネルが一致していないと正しいA/D変換が行われません。
- (4) A/D変換器のアナログ入力として使用しないIP4n端子をA/D変換動作中に動作させないでください(デジタル信号の入出力等)。A/D変換精度に影響します。
- (5) ADCLKレジスタによる入力クロックの選択は、必ずA/D変換器が停止中に行ってください。A/D変換中の変更は誤動作につながります。
- (6) 入力クロックにfPRSを選択した場合、A/D変換動作中にプリスケアラの設定を変更しないでください。誤動作の原因となります。
- (7) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.11 割り込みとHALT/SLEEP

<割り込みの種類>

S1C63256には以下の5種類の割り込みが設定されています。

外部割り込み	• 入力割り込み	(1系統)
内部割り込み	• ウォッチドッグタイマ割り込み	(NMI、1系統)
	• プログラマブルタイマ割り込み	(4系統)
	• 計時タイマ割り込み	(1系統)
	• A/D変換器割り込み	(1系統)

割り込みを許可するためにはインタラプトフラグを"1"にセット(EI)し、あわせて必要な系統の割り込みマスキングレジスタも"1"にセット(イネーブル)する必要があります。

割り込みが発生するとインタラプトフラグは自動的に"0"にリセット(DI)され、以後の割り込みは禁止されます。

ウォッチドッグタイマ割り込みはNMI(ノンマスカブル割り込み)のため、インタラプトフラグの設定にかかわらず、割り込みが発生します。このため、割り込みマスキングレジスタも用意されていません。ただし、ウォッチドッグタイマはソフトウェアにより動作を停止させることができますので、NMIを発生させないようにすることができます。

図4.11.1に割り込み回路の構成を示します。

注: イニシャルリセット時、NMIを含むすべての割り込みはスタックポインタSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み(NMIを含む)は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

<HALT/SLEEP>

S1C63256は必要なとき以外の消費電流を大幅に低減させるHALT機能およびSLEEP機能を持っています。

CPUはHALT命令が入力されるとHALT状態に入り、CPUの動作を停止します。ただし、発振回路は動作していますので、タイマのカウント等は継続して行われます。

CPUのHALT状態からの再起動はNMIを含むハードウェア割り込み要求が発生することにより行われます。

CPUのSLP命令によって移行するSLEEP状態では、HALT状態と同様CPUの動作を停止するとともに発振回路も停止します。

CPUのSLEEP状態からの再起動は、K0ポートの入力割り込み要求が発生することのみに限られます。したがって、SLP命令を実行する前にはSLEEP解除に使用する入力ポートの割り込み選択レジスタとK0系割り込みマスキングレジスタをイネーブル状態に設定し、さらにインタラプトフラグを割り込み許可状態(Iフラグ="1")に設定する必要があります。

SLEEP状態がK0ポートの割り込みによって解除されると、発振の安定を待ってCPUの動作(K0ポート入力割り込みの処理)を再開します。

HALT/SLEEP状態への移行と解除のタイミング等については、"S1C63000コアCPUマニュアル"を参照してください。

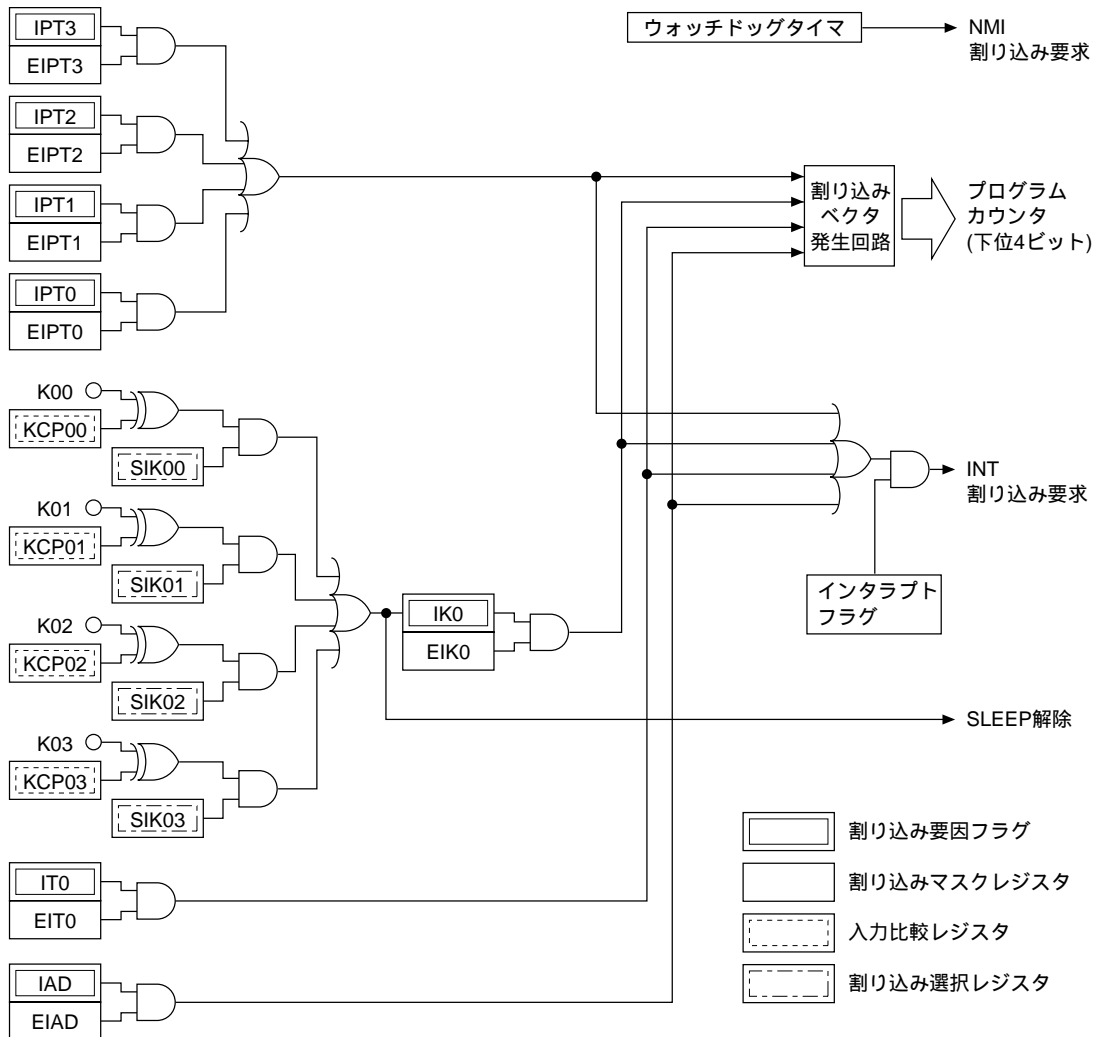


図4.11.1 割り込み回路の構成

4.11.1 割り込みの要因

割り込み要求が発生する要因を表4.11.1.1に示します。

各々の割り込み要因により、対応する割り込み要因フラグが"1"にセットされます。CPUに対する割り込みは、以下の条件が成立している場合に割り込み要因フラグが"1"にセットされたときに発生します。

- 対応する割り込みマスクレジスタが"1"(イネーブル)
- インタラプトフラグが"1"(EI)

割り込み要因フラグは"1"書き込みにより"0"にリセットされます。

イニシャルリセット時、割り込み要因フラグは"0"にリセットされます。

* ウォッチドッグタイマはNMIのため、上記の条件とは無関係に割り込みが発生します。割り込み要因フラグも用意されていません。

表4.11.1.1 割り込み要因

割り込み要因	割り込み要因フラグ
プログラマブルタイマ α (カウンタ=0)	IPT3 (FFF2H•D3)
プログラマブルタイマ χ (カウンタ=0)	IPT2 (FFF2H•D2)
プログラマブルタイマ ι (カウンタ=0)	IPT1 (FFF2H•D1)
プログラマブルタイマ α (カウンタ=0)	IPT0 (FFF2H•D0)
K00 ~ K03入力 χ (立ち下がりまたは立ち上がりエッジ)	IK0 (FFF4H•D0)
計時タイマ1Hz χ (立ち下がりエッジ)	IT0 (FFF6H•D0)
A/D変換器(A/D変換完了)	IAD (FFF7H•D0)

注: 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.11.2 割り込みの個別マスク

割り込み要因フラグは、対応する割り込みマスクレジスタによりマスクできます。

割り込みマスクレジスタは読み出し/書き込みが可能なレジスタであり、"1"書き込みでイネーブル(割り込み許可) "0"書き込みでマスク(割り込み禁止)となります。

イニシャルリセット時、割り込みマスクレジスタは"0"にリセットされます。

表4.11.2.1に割り込みマスクレジスタと割り込み要因フラグの対応を示します。

表4.11.2.1 割り込みマスクレジスタと割り込み要因フラグ

割り込みマスクレジスタ	割り込み要因フラグ
EIPT3 (FFE2H•D3)	IPT3 (FFF2H•D3)
EIPT2 (FFE2H•D2)	IPT2 (FFF2H•D2)
EIPT1 (FFE2H•D1)	IPT1 (FFF2H•D1)
EIPT0 (FFE2H•D0)	IPT0 (FFF2H•D0)
EIK0 (FFE4H•D0)	IK0 (FFF4H•D0)
EIT0 (FFE6H•D0)	IT0 (FFF6H•D0)
EIAD (FFE7H•D0)	IAD (FFF7H•D0)

4.11.3 割り込みベクタ

CPUに割り込み要求が入力されると、CPUは割り込み処理を開始します。
割り込み処理は実行中のプログラムの終了後、以下の手順で行われます。

1. フラグレジスタを退避後、Iフラグをリセット
2. 次に実行すべきプログラムのアドレスデータ(プログラムカウンタの値)をスタック領域(RAM)に退避
3. 割り込み要求による割り込みベクタの値(0100H ~ 010EH)をプログラムカウンタにセット
4. 指定されたアドレスのプログラムを実行(ソフトウェアによる割り込み処理ルーチンの実行)

表4.11.3.1に割り込み要求と割り込みベクタの対応を示します。

表4.11.3.1 割り込み要求と割り込みベクタ

割り込みベクタ	割り込み要因	優先順位
0100H	ウォッチドッグタイマ	↑ 高い
0102H	—	
0104H	プログラマブルタイマ	
0106H	—	
0108H	K00 ~ K03入力	
010AH	—	↓ 低い
010CH	計時タイマ	
010EH	A/D変換器	

プログラムカウンタ(PC)の下位4ビットが割り込み要求による間接アドレス指定となります。

4.11.4 割り込みのI/Oメモリ

表4.11.4.1に割り込みに関する制御ビットとそのアドレスを示します。

表4.11.4.1 割り込みの制御ビット

アドレス	レジスタ				注 釈				
	D3	D2	D1	D0	Name	Init *1	1	0	
FF20H	SIK03	SIK02	SIK01	SIK00	SIK03	0	Enable	Disable	K00 ~ K03割り込み選択レジスタ
					SIK02	0	Enable	Disable	
					SIK01	0	Enable	Disable	
					SIK00	0	Enable	Disable	
	R/W								
FF22H	KCP03	KCP02	KCP01	KCP00	KCP03	1			K00 ~ K03入力比較レジスタ
					KCP02	1			
					KCP01	1			
					KCP00	1			
	R/W								
FFE2H	EIPT3	EIPT2	EIPT1	EIPT0	EIPT3	0	Enable	Mask	割り込みマスクレジスタ(プログラマブルタイマ3)
					EIPT2	0	Enable	Mask	割り込みマスクレジスタ(プログラマブルタイマ2)
					EIPT1	0	Enable	Mask	割り込みマスクレジスタ(プログラマブルタイマ1)
					EIPT0	0	Enable	Mask	割り込みマスクレジスタ(プログラマブルタイマ0)
	R/W								
FFE4H	0	0	0	EIK0	0 *3	—*2			未使用
					0 *3	—*2			未使用
					0 *3	—*2			未使用
					EIK0	0	Enable	Mask	割り込みマスクレジスタ(K00 ~ K03)
	R								
FFE6H	0	0	0	EIT0	0 *3	—*2			未使用
					0 *3	—*2			未使用
					0 *3	—*2			未使用
					EIT0	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ1Hz)
	R								
FFE7H	0	0	0	EIAD	0 *3	—*2			未使用
					0 *3	—*2			未使用
					0 *3	—*2			未使用
					EIAD	0	Enable	Mask	割り込みマスクレジスタ(A/D変換器)
	R								
FFF2H	IPT3	IPT2	IPT1	IPT0	IPT3	0	(R)	(R)	割り込み要因フラグ(プログラマブルタイマ3)
					IPT2	0	Yes	No	割り込み要因フラグ(プログラマブルタイマ2)
					IPT1	0	(W)	(W)	割り込み要因フラグ(プログラマブルタイマ1)
					IPT0	0	Reset	Invalid	割り込み要因フラグ(プログラマブルタイマ0)
	R/W								
FFF4H	0	0	0	IK0	0 *3	—*2	(R)	(R)	未使用
					0 *3	—*2	Yes	No	未使用
					0 *3	—*2	(W)	(W)	未使用
					IK0	0	Reset	Invalid	割り込み要因フラグ(K00 ~ K03)
	R								
FFF6H	0	0	0	IT0	0 *3	—*2	(R)	(R)	未使用
					0 *3	—*2	Yes	No	未使用
					0 *3	—*2	(W)	(W)	未使用
					IT0	0	Reset	Invalid	割り込み要因フラグ(計時タイマ1Hz)
	R								
FFF7H	0	0	0	IAD	0 *3	—*2	(R)	(R)	未使用
					0 *3	—*2	Yes	No	未使用
					0 *3	—*2	(W)	(W)	未使用
					IAD	0	Reset	Invalid	割り込み要因フラグ(A/D変換器)
	R								

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

EIPT3, EIPT2, EIPT1, EIPT0: 割り込みマスクレジスタ(FFE2H)

IPT3, IPT2, IPT1, IPT0: 割り込み要因フラグ(FFF2H)

... "4.8 プログラマブルタイマ" 参照

KCP03 ~ KCP00: 入力比較レジスタ(FF22H)

SIK03 ~ SIK00: 割り込み選択レジスタ(FF20H)

EIK0: 割り込みマスクレジスタ(FFE4H・D0)

IK0: 割り込み要因フラグ(FFF4H・D0)

... "4.3 入力ポート" 参照

EIT0: 割り込みマスクレジスタ(FFE6H・D0)

IT0: 割り込み要因フラグ(FFF6H・D0)

... "4.7 計時タイマとウォッチドッグタイマ" 参照

EIAD: 割り込みマスクレジスタ(FFE7H・D0)

IAD: 割り込み要因フラグ(FFF7H・D0)

... "4.10 A/D変換器" 参照

4.11.5 プログラミング上の注意事項

- (1) 各割り込み要因フラグは、各割り込みマスクレジスタを"0"に設定していても、割り込み条件成立によりセットされます。
- (2) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- (3) イニシャルリセット時、NMIを含むすべての割り込みはスタックポインタSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み(NMIを含む)は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。
- (4) SLEEP状態に移行する場合は、入力割り込みをイネーブル状態に設定しておく必要があります。

5 プログラミング上の注意事項のまとめ

以下に各機能の注意事項を個別にまとめます。内容に十分留意した上でプログラミングを行ってください。

メモリ、スタック

- (1) メモリマップの未使用領域にはメモリが実装されていません。また、周辺I/O領域にも非実装領域、未使用(アクセス禁止)領域が存在します。これらの領域をアクセスするようなプログラムを作成した場合は、正常な動作を保証することはできません。
周辺I/O領域については表4.1.1(a)~(d)に示すI/Oメモリマップを参照してください。
- (2) データメモリの全領域をサブルーチンコールやレジスタ退避時のスタック領域としても使用できますので、データ領域とスタック領域が重ならないように注意してください。
- (3) S1C63000コアCPUは、4ビットデータ用スタックポインタ(SP2)および16ビットデータ用スタックポインタ(SP1)によりスタック処理を行います。スタックポインタは、SP1が0000H~03FFH、SP2が0000H~00FFHの範囲でサイクリックに動作します。このため、SP1はS1C63256のRAM領域を外れた0100H以上にも設定される可能性がありますので注意してください。SP1によるスタック操作以外のメモリアクセスは4ビットデータアクセスとなります。
また、イニシャルリセット時は、スタックポインタSP1、SP2の両方がソフトウェアで設定されるまでNMIを含むすべての割り込みがマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまでNMIを含む割り込みは再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

発振回路とプリスケアラ

プリスケアラを正しく設定しないと、周辺回路が正常に動作しない場合があります。

入力ポート

- (1) 入力ポートをLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の積定数によって波形立ち上がり遅延が生じます。このため、入力ポートの取り込みを行う際は、適切な待ち時間を設定してください。
特に、キーマトリクス構成時のキースキャン等に注意が必要です。
この待ち時間は次の式で算出される時間以上としてください。
待ち時間 = $R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6 [\text{sec}]$
R_{IN}: プルアップ抵抗Max.値
C_{IN}: 端子容量Max.値
- (2) K03端子はプログラマブルタイマの入力クロック端子としての機能も兼ねることがあり、入力ポート機能と入力信号が共有されます。そのため、K03端子をプログラマブルタイマの入力クロック端子に設定した場合、割り込み等の設定には十分注意してください。

出力ポート

- (1) R02、R03を特殊出力(PTOUT、FOUT)として使用する場合、R02レジスタ、R03レジスタは"1"、R02HIZレジスタ、R03HIZレジスタは"0"に固定してください。
R02、R03レジスタに"0"を書き込むと、出力端子がLOW(V_{ss})に固定されますので注意してください。R02HIZ、R03HIZに"1"を書き込むと、出力端子が高インピーダンスになりますので注意してください。
- (2) PTOUT信号、FOUT信号のON/OFF時は、出力波形にハザードが出ることがあります。
- (3) FOUT信号の周波数は発振周波数とプリスケアラの設定により変わります。プリスケアラについては"4.2 発振回路とプリスケアラ"を参照してください。

入出力兼用ポート

入力モード時にポートの入力をLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の積定数によって波形立ち上がりに遅延が生じます。このため、入力データの取り込みを行う際は、適切な待ち時間を設定してください。

特に、キーマトリクス構成時のキースキャン等に注意が必要です。

この待ち時間は次の式で算出される時間以上としてください。

待ち時間 = $RIN \times (CIN + \text{基板上の負荷容量}) \times 1.6$ [sec]

RIN: プルアップ抵抗Max.値

CIN: 端子容量Max.値

LCDドライバ

表示メモリの初期化(CPUからのメモリクリア処理等)を行うまでは表示が不定になります。イニシャル処理で表示メモリの初期化を行ってください。

計時タイマとウォッチドッグタイマ

- (1) 計時タイマを正しく動作させるためには、プリスケアラを正しく設定する必要があります。
計時用途に使用する場合は、発振周波数を4.194304MHz(水晶発振)とし、プリスケアラのPRSMレジスタには7を設定してください。これ以外の条件では、正確な1Hz信号を得ることはできません。
- (2) ウォッチドッグタイマを使用する場合、オーバーフローが発生する前にソフトウェアでウォッチドッグタイマをリセットする必要があります。
- (3) イニシャルリセットにより、ウォッチドッグタイマは動作状態に設定されますので、使用しない場合は割り込み(NMI)発生前にウォッチドッグタイマをディセーブル(使用しない)に設定してください。

プログラマブルタイマ

- (1) カウンタデータの読み出しは必ず下位4ビットから先に行ってください。
16ビットモード時は、タイマ0(タイマ2)の下位4ビット、上位4ビット、タイマ1(タイマ3)の下位4ビット、上位4ビットの順で読み出しを行ってください。
- (2) プログラマブルタイマはレジスタPTRUNへの書き込みに対して、入力クロックの立ち下がりエッジに同期して実際にRUN/STOP状態となります。
したがって、PTRUNに"0"を書き込んだ場合は、"-1"余分にカウントしたところでタイマが停止状態となります。また、このときPTRUNは実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。

図5.1にRUN/STOP制御のタイミングチャートを示します。

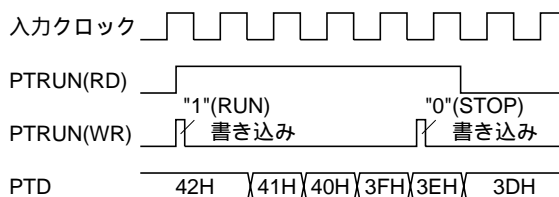


図5.1 RUN/STOP制御のタイミングチャート

なお、これについてはイベントカウンタも対象となるため、PTRUN0レジスタを設定後にクロック入力がない場合、カウンタ回路は実際にはRUN/STOP状態になりませんので注意してください。

- (3) PTOUT信号は出力制御レジスタPTOUTとは非同期に発生していますので、PTOUTの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

- (4) プログラブルタイマ動作中にプログラブルタイマ割り込み発生間隔を変更する場合、以下の理由によりリロードデータを書き込むタイミングに注意が必要です。

プログラブルタイマは入力クロックの立ち下がりエッジでダウンカウントを行い、そこでアンダーフローが発生した場合は同時に割り込みを発生します。その後、リロードデータをカウンタにセットする動作を開始し、入力クロックの次の立ち上がりエッジでカウンタデータが確定します(の区間)。

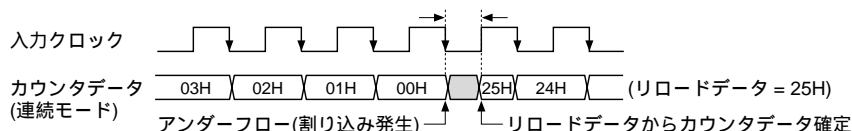


図5.2 プログラブルタイマリロードタイミング

リロードデータを正しくカウンタにセットするために、割り込み発生後は の区間を含め、カウンタデータが確定するまではリロードデータの書き換えを行わないでください。入力クロックの源振にOSC1(低速クロック)を使用し、CPUがOSC3(高速クロック)で動作している場合は、特に注意が必要です。

ブザー出力回路

ブザー信号はBZONレジスタとは非同期に発生していますので、BZONレジスタの設定による信号のON/OFF時にハザードを生じる場合があります。

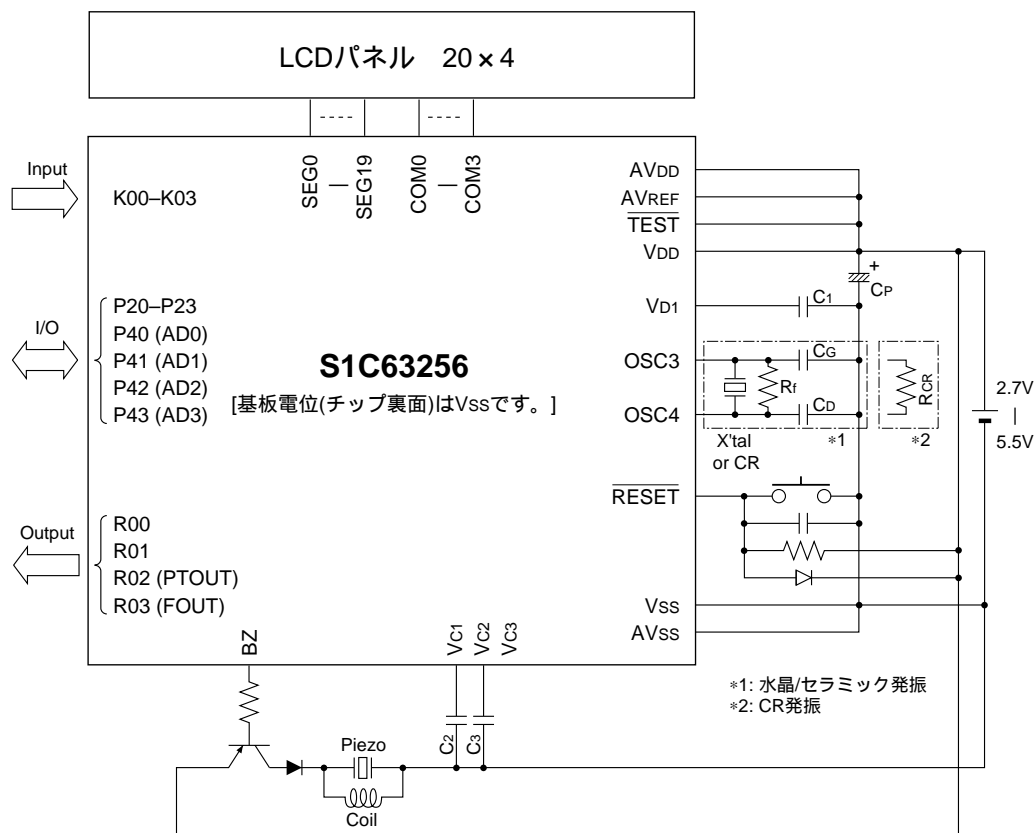
A/D変換器

- (1) プリスケアラからの出力クロックをA/D変換器のクロック源として用いた場合、プリスケアラの設定によってA/D変換時間が変わります。
- (2) アナログ入力端子の設定は必ずA/D変換停止中に行ってください。A/D変換開始後の変更は誤動作の原因となります。
- (3) PADレジスタで設定されたアナログ入力端子(同時複数設定可)とCHSレジスタで選択された入力チャンネルが一致していないと正しいA/D変換が行われません。
- (4) A/D変換器のアナログ入力として使用しないIP4n端子をA/D変換動作中に動作させないでください(デジタル信号の入出力等)。A/D変換精度に影響します。
- (5) ADCLKレジスタによる入力クロックの選択は、必ずA/D変換器が停止中に行ってください。A/D変換中の変更は誤動作につながります。
- (6) 入力クロックにfPRSを選択した場合、A/D変換動作中にプリスケアラの設定を変更しないでください。誤動作の原因となります。

割り込み

- (1) 各割り込み要因フラグは、各割り込みマスクレジスタを"0"に設定していても、割り込み条件成立によりセットされます。
- (2) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- (3) イニシャルリセット時、NMIを含むすべての割り込みはスタックポイントSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み(NMIを含む)は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。
- (4) SLEEP状態に移行する場合は、入力割り込みをイネーブル状態に設定しておく必要があります。

6 基本外部結線図



X'tal	水晶振動子	4.194304MHz
CR	セラミック振動子	4.0MHz
CG	ゲートキャパシタ	15pF(水晶発振) 30pF(セラミック発振)
CD	ドレインキャパシタ	15pF(水晶発振) 30pF(セラミック発振)
Rf	帰還抵抗	1MΩ
RCR	CR発振用抵抗	20kΩ (2MHz)
C1	キャパシタ	0.1μF
C2, C3	キャパシタ	0.1μF
CP		3.3μF

この例はマスクオプションにより「ブザー信号負極性」、「内部LCD電源 (Vc3外部印加なし)」を選択した場合のものです。

- 注: ・ ここに記載されている値は一例です。詳細な特性については「7 電気的特性」を参照してください。
- ・ 対ノイズ性、液晶表示品質を考慮し、Vc1、Vc2、Vc3端子にコンデンサを接続してください。(これらのコンデンサは必ずしも必要ではありません。)
 - ・ AVREF-AVss間の抵抗(アナログ基準抵抗)に流れる電流は、必要に応じてIC外部にスイッチ用のトランジスタを設け遮断してください。

7 電気的特性

7.1 絶対最大定格

(Vss=0V)

項 目	記号	条 件	定 格 値	単位	注
電源電圧	VDD		-0.3 ~ +7.0	V	
液晶電源電圧	VC		-0.3 ~ +7.0	V	
入力電圧	Vi		-0.3 ~ VDD + 0.3	V	
出力電圧	Vo		-0.3 ~ VDD + 0.3	V	1
高レベル出力電流	IOH	1端子	-5	mA	
		全端子合計	-20	mA	
低レベル出力電流	IOL	1端子	5	mA	
		全端子合計	20	mA	
動作温度	Topr		-20 ~ +85	°C	
保存温度	Tstg		-65 ~ +150	°C	
半田付け温度・時間	Tsol		260°C, 10sec (リード部)	-	
許容損失	PD		250	mW	2

注) 1. マスクオプションによりNchオープンドレイン出力を選択した場合も含まれます。

2. プラスチックパッケージの場合

7.2 推奨動作条件

(Vss=AVss=0V, Ta=-20 ~ 85°C)

項 目	記号	条 件	Min.	Typ.	Max.	単位	注	
電源電圧	VDD	VDD	2.7	3.0/5.0	5.5	V		
液晶電源電圧	VC3I	VC3	2.7		5.5	V	1	
	VC3E	VC3	2.7		5.5	V	2	
	VC2E	1/3バイアス	VC2	Typ.- 0.2	VC3-2/3	Typ.+ 0.2	V	2
		1/2バイアス	VC2	Typ.- 0.2	VC3-1/2	Typ.+ 0.2	V	2
	VC1E	1/3バイアス	VC1	Typ.- 0.2	VC3-1/3	Typ.+ 0.2	V	2
		1/2バイアス	VC1	Typ.- 0.2	VC3-1/2	Typ.+ 0.2	V	2
アナログ電源電圧	VAVDD	AVDD	2.7		VDD	V		
アナログ基準電圧範囲	VREF	AVREF	2.7		AVDD	V		
アナログ入力電圧範囲	VIN	AD0~3(P40~43)	AVSS		AVREF	V		
動作周波数	fOSC	VDD=2.7~5.5V	水晶発振回路	0.5	4.194	4.5	MHz	3,4
			セラミック発振回路	0.5	4.0	4.5	MHz	3
			CR発振回路	0.5	2.0	2.5	MHz	3
			外部クロック入力	0.5	4.0	4.5	MHz	3,5

注) 1. マスクオプションにより"内部電源(VC3外部印加あり)"を選択した場合。

2. マスクオプションにより"外部電源"を選択した場合。

3. CPUクロックは発振回路の出力クロックを使用します。

4. 水晶振動子=4.194304MHz

5. マスクオプションによりOSC3から外部クロックを入力する場合はOSC4を開放としてください。

7.3 DC特性

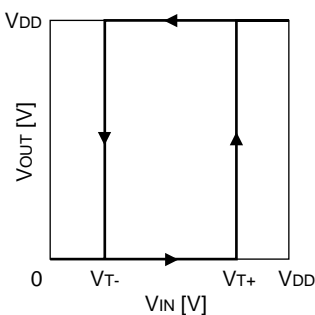
7.3.1 入力特性

特記なき場合: $V_{DD}=2.7\sim5.5V$, $V_{SS}=0V$, $T_a=-20\sim85^{\circ}C$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
高レベル入力電圧	V_{IH1}	K_{xx}, P_{xx}	$0.7 \cdot V_{DD}$		V_{DD}	V	
	V_{IH2}	OSC3	1.7		V_{DD}	V	1
低レベル入力電圧	V_{IL1}	K_{xx}, P_{xx}	0		$0.3 \cdot V_{DD}$	V	
	V_{IL2}	OSC3	0		0.7	V	1
高レベルシュミット入力電圧	V_{T+}	RESET	$0.5 \cdot V_{DD}$		$0.9 \cdot V_{DD}$	V	
低レベルシュミット入力電圧	V_{T-}		$0.1 \cdot V_{DD}$		$0.5 \cdot V_{DD}$	V	
入力リーク電流	I_{LIH}	$V_{LIH}=V_{DD}$	0		1.0	μA	
	I_{LIL}	$V_{LIL}=V_{SS}$	-1.0		0	μA	
入力プルアップ抵抗	R_{IN}	K_{xx}, P_{xx}	100	250	400	$k\Omega$	2
		RESET	250	450	650	$k\Omega$	2
入力端子容量	C_{IN}	$V_{IN}=0V$, $f=1MHz$		10	15	pF	

注) 1. マスクオプションにより"外部クロック"を選択した場合。

2. マスクオプションにより"プルアップ抵抗付加"を選択した場合。



7.3.2 出力特性

特記なき場合: $V_{DD}=2.7\sim5.5V$, $V_{SS}=0V$, $V_{C3}=2.7\sim5.5V$, V_{C2}/V_{C1} は内部電源, $T_a=-20\sim85^{\circ}C$, $C_2=C_3=0.1\mu F$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
高レベル出力電流	I_{OH1}	$V_{OH1}=0.9 \cdot V_{DD}$, $V_{DD}=5.0V$		5.3		mA	3
		$V_{OH1}=0.9 \cdot V_{DD}$, $V_{DD}=3.0V$		2.5		mA	3
	I_{OH2}	$V_{OH2}=0.9 \cdot V_{DD}$, $V_{DD}=5.0V$		5.3		mA	3
		$V_{OH2}=0.9 \cdot V_{DD}$, $V_{DD}=3.0V$		2.5		mA	3
	I_{OH3}	$V_{OH3}=0.9 \cdot V_{DD}$, $V_{DD}=5.0V$		1.2		mA	1,3
		$V_{OH3}=0.9 \cdot V_{DD}$, $V_{DD}=3.0V$		0.6		mA	1,3
低レベル出力電流	I_{OL1}	$V_{OL1}=0.1 \cdot V_{DD}$, $V_{DD}=5.0V$		8.5		mA	4
		$V_{OL1}=0.1 \cdot V_{DD}$, $V_{DD}=3.0V$		4.1		mA	4
	I_{OL2}	$V_{OL2}=0.1 \cdot V_{DD}$, $V_{DD}=5.0V$		8.5		mA	4
		$V_{OL2}=0.1 \cdot V_{DD}$, $V_{DD}=3.0V$		4.1		mA	4
	I_{OL3}	$V_{OL3}=0.1 \cdot V_{DD}$, $V_{DD}=5.0V$		1.4		mA	1,4
		$V_{OL3}=0.1 \cdot V_{DD}$, $V_{DD}=3.0V$		0.7		mA	1,4
出力リーク電流	I_{LOH}	$V_{LOH}=V_{DD}$	0		1.0	μA	
	I_{LOL}	$V_{LOL}=V_{SS}$	-1.0		0	μA	
コモン出力電流	I_{COMH}	$V_{COMH}=V_{C3}-0.05V$			-5	μA	
	I_{COML}	$V_{COML}=V_{SS}+0.05V$	5			μA	
セグメント出力電流	I_{SEGH}	$V_{SEGH}=V_{C3}-0.05V$			-5	μA	2
	I_{SEGL}	$V_{SEGL}=V_{SS}+0.05V$	5			μA	2

注) 1. マスクオプションにより"DC出力"を選択した場合。

2. マスクオプションにより"LCD出力"を選択した場合。

3. Max.値は"7.8 特性グラフ"を参照してください。

4. Min.値は"7.8 特性グラフ"を参照してください。

7.4 アナログ回路特性

7.4.1 LCD駆動電源特性

特記なき場合: $V_{DD}=2.7\sim5.5V$, $V_{SS}=0V$, V_{C2}/V_{C1} は内部電源, $T_a=-20\sim85^{\circ}C$, $C_2=C_3=0.1\mu F$

項目	記号	条件	Min.	Typ.	Max.	単位	注
液晶電源電圧	V_{C3I}	V_{C3}	2.7		5.5	V	1
LCD駆動電圧 (1/3バイアス時)	V_{C1}	V_{SS} または $V_{DD}-V_{C1}$ 間に $1M\Omega$ の負荷抵抗を接続 (パネル負荷なし)	Typ.- 0.2	$V_{C3}\cdot 1/3$	Typ.+ 0.2	V	2
	V_{C2}	V_{SS} または $V_{DD}-V_{C2}$ 間に $1M\Omega$ の負荷抵抗を接続 (パネル負荷なし)	Typ.- 0.2	$V_{C3}\cdot 2/3$	Typ.+ 0.2	V	2
LCD駆動電圧 (1/2バイアス時)	$V_{C1\&2}$	V_{SS} または $V_{DD}-V_{C1}(=V_{C2})$ 間に $1M\Omega$ の負荷抵抗を 接続(パネル負荷なし), V_{C1} と V_{C2} はショート	Typ.- 0.2	$V_{C3}\cdot 1/2$	Typ.+ 0.2	V	2
内蔵抵抗	R_{LCD}	$V_{C3}-V_{SS}$ 間の抵抗値	30	50	100	$k\Omega$	2

注) 1. マスクオプションにより"内部電源(V_{C3} 外部印加あり)"を選択した場合。

2. マスクオプションにより"内部電源(V_{C3} 外部印加なし)"を選択した場合は、 $V_{C3}=V_{DD}$ となります。

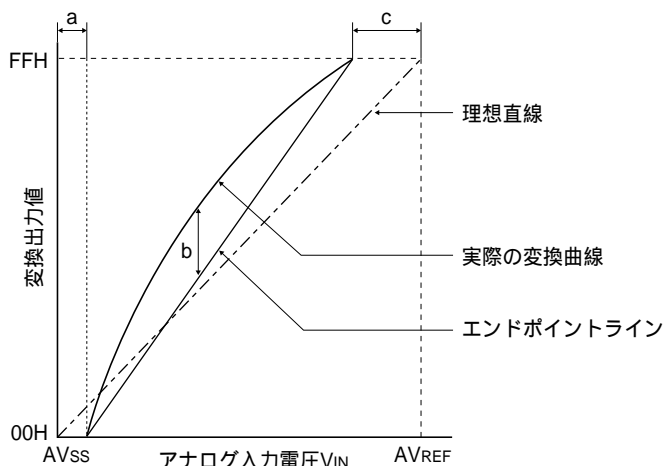
7.4.2 A/D変換特性

特記なき場合: $V_{DD}=2.7\sim5.5V$, $V_{SS}=AV_{SS}=0V$, $T_a=-20\sim85^{\circ}C$

項目	記号	条件	Min.	Typ.	Max.	単位	注
アナログ電源電圧	V_{AVDD}	AV_{DD}	2.7		V_{DD}	V	
アナログ基準電圧範囲	V_{REF}	AV_{REF}	2.7		AV_{DD}	V	
アナログ入力電圧範囲	V_{IN}	$AD0\sim3(P40\sim43)$	AV_{SS}		AV_{REF}	V	
アナログ入力容量	C_{AIN}	サンプリング時 $AD0\sim3(P40\sim43)$		35	60	pF	
アナログ基準抵抗	R_{REF}	$AV_{REF}-AV_{SS}$ 間の抵抗	10	20	30	$k\Omega$	
分解能	—				8	bit	
オフセット誤差	E_{OFF}	$AV_{DD}=2.7V-V_{DD}$	-1		1	LSB	1
フルスケール誤差	E_{FS}	$AV_{REF}=2.7V-AV_{DD}$	-1		1	LSB	1
非直線性誤差	E_{LI}	$f_{AD}=240kHz\sim2.5MHz$	-2		4	LSB	1,2
総合誤差	E_T		-2		4	LSB	1,2
変換時間	t_{ADC}	$f_{AD}=240kHz\sim2.5MHz$	20		21	clock	1
サンプリング時間	t_{SMP}	$f_{AD}=240kHz\sim2.5MHz$		8		clock	1

注) 1. $f_{AD}=f_{PRS}=f_{OSC}/2n$ または $f_{AD}=f_{OSC}/2$ (f_{AD} : A/D変換クロック周波数, f_{OSC} : 発振クロック周波数, $n=1\sim16$: PRSMの設定値+1)

2. ソフトウェアによる-1LSB分の補正により、 $\pm 3LSB$ のベストストレートラインを得ることができます。



オフセット誤差 : $E_{OFF}=a$ (ゼロ点の理想値からのずれ)

非直線性誤差 : $E_{LI}=b$ (実際の変換曲線のエンドポイントラインからのずれ)

フルスケール誤差 : $E_{FS}=c$ (フルスケール点の理想値からのずれ)

総合誤差 : $E_T = \max(E_{OFF}, E_{LI}, E_{ABS})$

E_{ABS} = 理想直線からのずれ(量子化誤差を含む)

7.5 消費電流

特記なき場合: $V_{DD}=AV_{DD}=AV_{REF}=2.7\sim5.5V$, $V_{SS}=AV_{SS}=0V$, $T_a=25^{\circ}C$, $C_1=0.1\mu F$, $C_2=C_3=0.1\mu F$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
SLEEP時電源電流	ISLP			0.3	1.0	μA	
HALT時電源電流	IHALT	LCD系回路未使用		560	1200	μA	1,4,7
		A/D変換回路未使用		610	1400	μA	2,4,7
		水晶発振(4.194304MHz)		680	1400	μA	3,4,7
		セラミック発振(4.0MHz)		220	420	μA	4,7
実行時電源電流	IEXE	外部クロック入力(4.0MHz)		1400	2600	μA	1,5,7
		LCD系回路未使用		1400	2600	μA	2,5,7
		A/D変換回路未使用		1100	2100	μA	3,5,7
		ソフト デューティ=100%		1000	1700	μA	5,7
LCD系動作電流	ILCD	水晶発振(4.194304MHz)		60	100	μA	8
		セラミック発振(4.0MHz)		100	170	μA	8
A/D変換動作電流	IADC	$V_{DD}=V_{C3}=3.0V$, パネル負荷なし		600	1000	μA	6
		$V_{DD}=AV_{DD}=AV_{DD}=3.0V$, $f_{AD}=262kHz$		1800	3000	μA	6

注) 1. $R_f=1M\Omega$, $C_G=C_D=15pF$

2. $R_f=1M\Omega$, $C_G=C_D=30pF$

3. $R_{CR}=20k\Omega$

4. OSC: 発振(外部クロック入力以外) CPU, ROM, RAM: HALT状態 その他: 停止状態

5. OSC: 発振(外部クロック入力以外) CPU, ROM, RAM: 動作 その他: 停止状態

6. $f_{AD}=f_{PRS}=f_{OSC}/2n$ (f_{AD} : A/D変換クロック周波数, f_{OSC} : 発振クロック周波数, $n=1\sim16$: PRSMの設定値+1)

$f_{OSC}=4.194304MHz$, PRSM=7

7. LCD系回路使用時またはA/D変換回路使用時の消費電流は、それぞれLCD系動作電流、A/D変換動作電流を加えることにより求められます。

8. マスクオプションにより"内部電源"を選択した場合。

7.6 AC特性

7.6.1 動作範囲

特記なき場合: $V_{DD}=2.7\sim5.5V$, $V_{SS}=0V$, $T_a=-20\sim85^{\circ}C$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
動作クロック周波数	fosc	水晶発振回路	0.5		4.5	MHz	1
		セラミック発振回路	0.5		4.5	MHz	1
		CR発振回路	0.5		2.5	MHz	1
		外部クロック入力	0.5		4.5	MHz	1,2
インストラクション 実行時間	tcy	1サイクル命令	0.44(0.8)		4.0	μs	3
		2サイクル命令	0.89(1.6)		8.0	μs	3
		3サイクル命令	1.33(2.4)		12.0	μs	3

注) 1. CPUクロックは発振回路の出力クロックを使用します。

2. マスクオプションによりOSC3から外部クロックを入力する場合はOSC4を開放としてください。

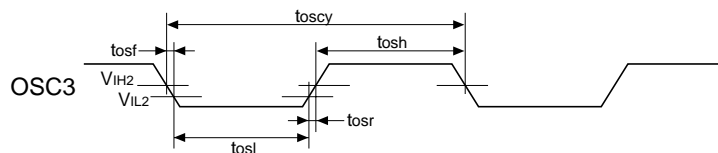
3. ()内はCR発振回路使用時の実行時間です。

7.6.2 入力クロック

OSC3外部クロック

特記なき場合: $V_{DD}=2.7\sim5.5V$, $V_{SS}=0V$, $T_a=-20\sim85^{\circ}C$, $V_{IH2}=1.7V$, $V_{IL2}=0.7V$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
入力クロックサイクル時間	tosc		230		2,000	ns	
入力クロック"H"パルス幅	tosh		115		1,000	ns	
入力クロック"L"パルス幅	tosl		115		1,000	ns	
入力クロック立ち上がり時間	tosr				25	ns	
入力クロック立ち下がり時間	tosf				25	ns	

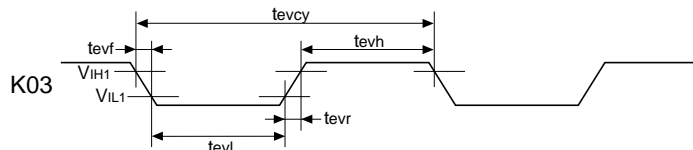


K03外部クロック(イベントカウンタ外部クロック)

特記なき場合: $V_{DD}=2.7\sim5.5V$, $V_{SS}=0V$, $T_a=-20\sim85^{\circ}C$, $V_{IH1}=0.8\cdot V_{DD}$, $V_{IL1}=0.2\cdot V_{DD}$

項 目	記号	条 件	Min.	Max.	単位	注
入力クロックサイクル時間	tevcy	ノイズリジェクトあり	512-n/fosc		s	1
入力クロック"H"パルス幅	tevh		256-n/fosc		s	1
入力クロック"L"パルス幅	tevl		256-n/fosc		s	1
入力クロックサイクル時間	tevcy	ノイズリジェクトなし	4		μs	
入力クロック"H"パルス幅	tevh		2		μs	
入力クロック"L"パルス幅	tevl		2		μs	
入力クロック立ち上がり時間	tsr			25	ns	
入力クロック立ち下がり時間	tsf			25	ns	

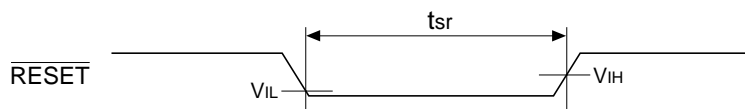
注) 1. fosc: 発振クロック周波数, n=1~16: PRSMの設定値+1



RESET入力クロック

特記なき場合: $V_{DD}=2.7\sim5.5V$, $V_{SS}=0V$, $T_a=-20\sim85^{\circ}C$, $V_{IH}=0.5\cdot V_{DD}$, $V_{IL}=0.1\cdot V_{DD}$

項 目	記号	条 件	Min.	Max.	単位	注
RESET入力時間	tsr		100		μs	



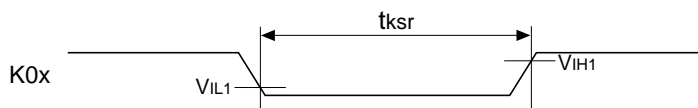
K00 ~ K03同時LOW入カクロック

特記なき場合: $V_{DD}=2.7\sim5.5V$, $V_{SS}=0V$, $T_a=-20\sim85^{\circ}C$, $V_{IH1}=0.8\cdot V_{DD}$, $V_{IL1}=0.2\cdot V_{DD}$

項 目	記号	条 件	Min.	Max.	単位	注
同時LOW入力時間	t_{ksr}	時間検定回路使用	$524288\cdot n/f_{osc}$		s	1
		時間検定回路未使用	$768\cdot n/f_{osc}$		s	1

注) 1. f_{osc} : 発振クロック周波数, $n=1\sim16$: PRSMの設定値+1

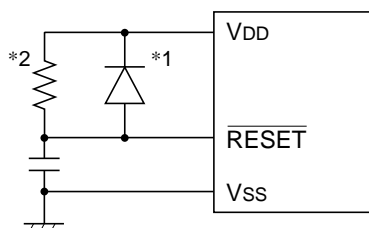
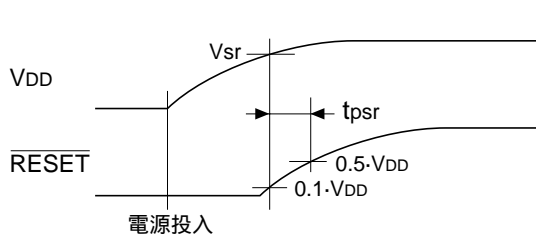
マスクオプションにより"入力ポート同時LOW入力リセットあり"を選択した場合。



7.6.3 パワーオンリセット

特記なき場合: $V_{SS}=0V$, $T_a=-20\sim85^{\circ}C$, $V_{IH}=0.5\cdot V_{DD}$, $V_{IL}=0.1\cdot V_{DD}$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
動作電源電圧	V_{sr}	$RESET=0.1\cdot V_{DD}$	2.7			V	
RESET入力時間	t_{psr}		100			μs	

*1 RESET端子の電位が V_{DD} レベル以上にならないため。

*2 内蔵プルアップ抵抗を使用しない場合。

7.6.4 A/D変換特性

特記なき場合: $V_{DD}=2.7\sim5.5V$, $V_{SS}=AV_{SS}=0V$, $T_a=-20\sim85^{\circ}C$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
変換時間	t_{ADC}	$f_{AD}=240kHz\sim2.5MHz$	20		21	clock	1
サンプリング時間	t_{SMP}	$f_{AD}=240kHz\sim2.5MHz$		8		clock	1

注) 1. $f_{AD}=f_{PRS}=f_{osc}/2n$ または $f_{AD}=f_{osc}/2$ (f_{AD} : A/D変換クロック周波数, f_{osc} : 発振クロック周波数, $n=1\sim16$: PRSMの設定値+1)

7.7 発振特性

発振特性は諸条件(使用部品、基板パターン等)により変化します。以下の特性は参考値としてご使用ください。特にセラミック発振子または水晶振動子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。

7.7.1 水晶発振回路

特記なき場合: $V_{DD}=2.7\sim5.5V$, $V_{SS}=0V$, $T_a=-20\sim85^{\circ}C$, 水晶振動子: Q21CA301xxx *, $R_f=1M\Omega$, $C_G=C_D=15pF$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始電圧	Vsta		2.7			V	
発振開始時間	tsta				20	ms	1
発振停止電圧	Vstp		2.7			V	
内蔵ゲート容量	C_G			16		pF	
内蔵ドレイン容量	C_D			13		pF	
周波数IC偏差	$\partial f/\partial IC$		-10		10	ppm	
周波数電源電圧偏差	$\partial f/\partial V$				1	ppm/V	
許容リーク抵抗	R_{leak}	OSC3とVSSの間	200			M Ω	

* Q21CA301xxx セイコーエプソン製

注) 1. 水晶発振開始時間は、使用する水晶振動子および C_G 、 C_D により変化します。

7.7.2 セラミック発振回路

特記なき場合: $V_{DD}=2.7\sim5.5V$, $V_{SS}=0V$, $T_a=-20\sim85^{\circ}C$, セラミック振動子: CSA 4.00MG *, $R_f=1M\Omega$, $C_G=C_D=30pF$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始電圧	Vsta		2.7			V	
発振開始時間	tsta				5	ms	
発振停止電圧	Vstp		2.7			V	

* CSA 4.00MG 村田製作所製

7.7.3 CR発振回路

特記なき場合: $V_{DD}=2.7\sim5.5V$, $V_{SS}=0V$, $T_a=-20\sim85^{\circ}C$

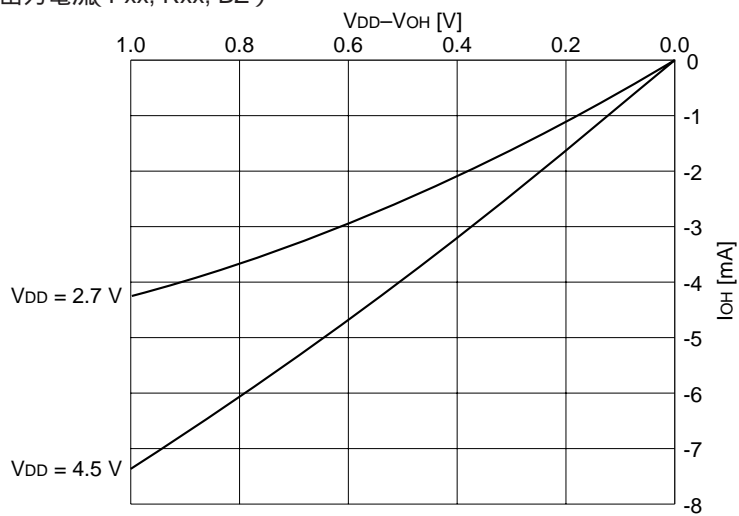
項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始電圧	Vsta		2.7			V	
発振開始時間	tsta				1	ms	
発振停止電圧	Vstp		2.7			V	
周波数IC偏差	$\partial f/\partial IC$	RCR=一定	-25		25	%	

7.8 特性グラフ(参考値)

7.8.1 出力電流特性

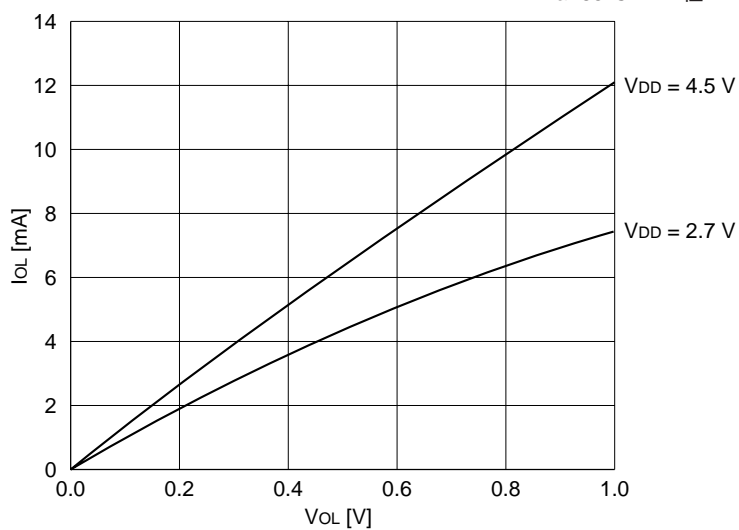
高レベル出力電流 (Pxx, Rxx, BZ)

Ta=85°C Max.値

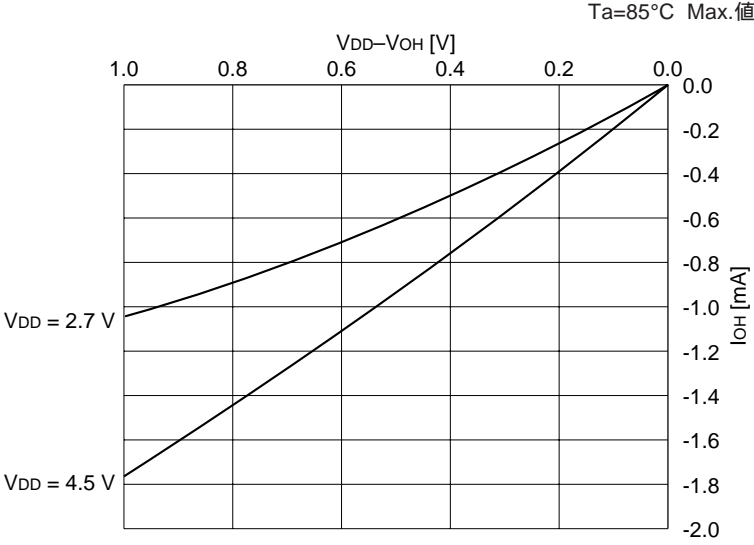


低レベル出力電流 (Pxx, Rxx, BZ)

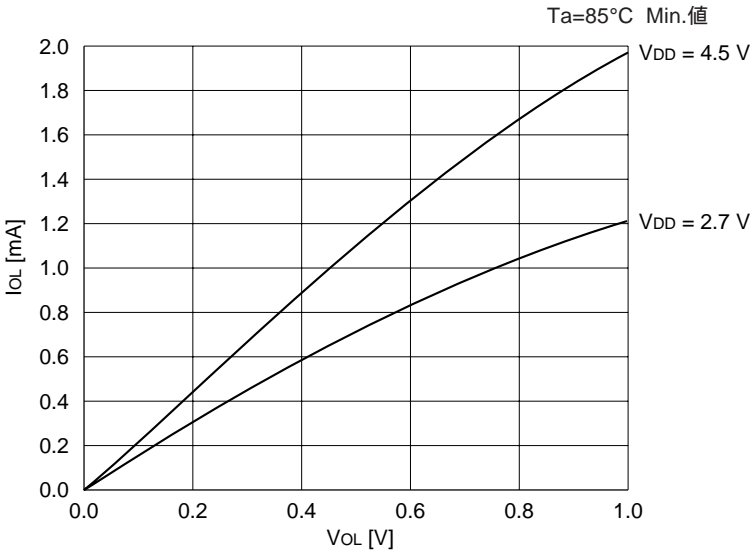
Ta=85°C Min.値



高レベル出力電流 (SEGxx)

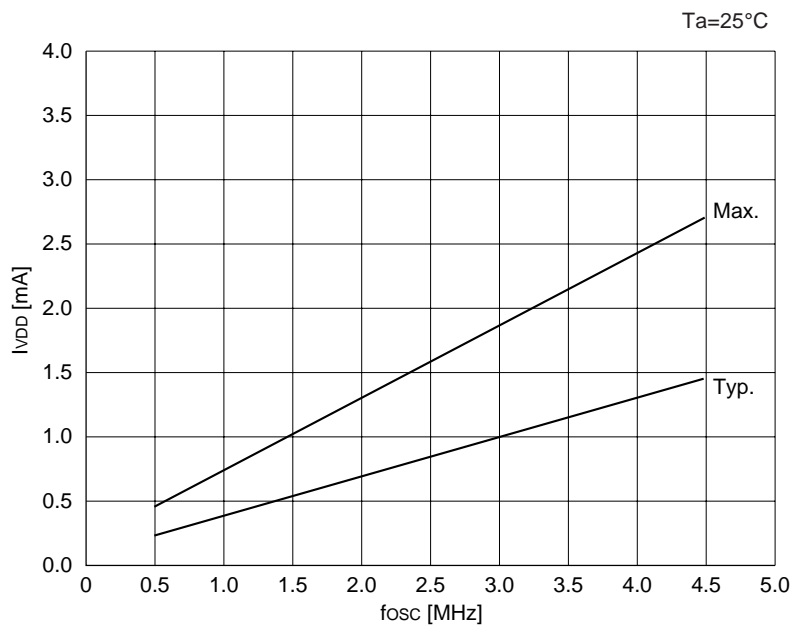


低レベル出力電流 (SEGxx)

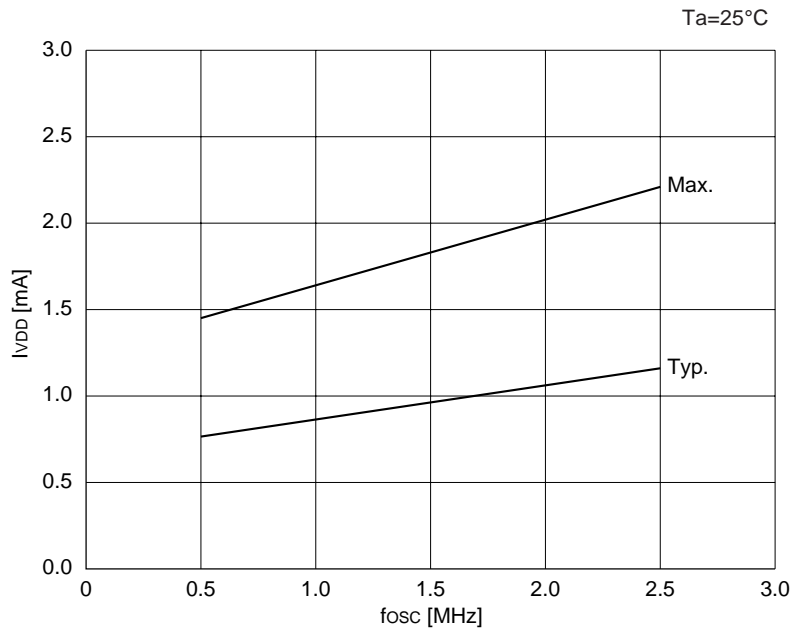


7.8.2 電源電流-周波数特性

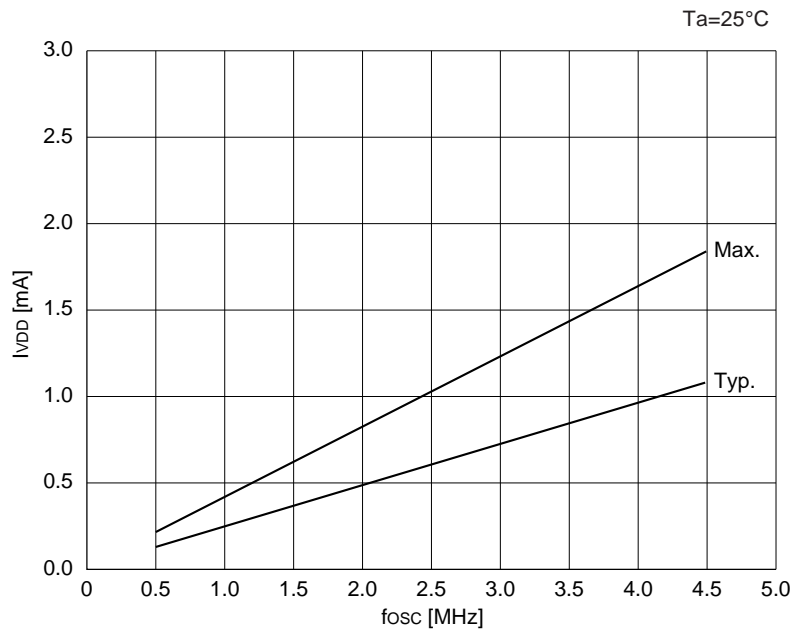
水晶発振/セラミック発振(実行時)



CR発振(実行時)

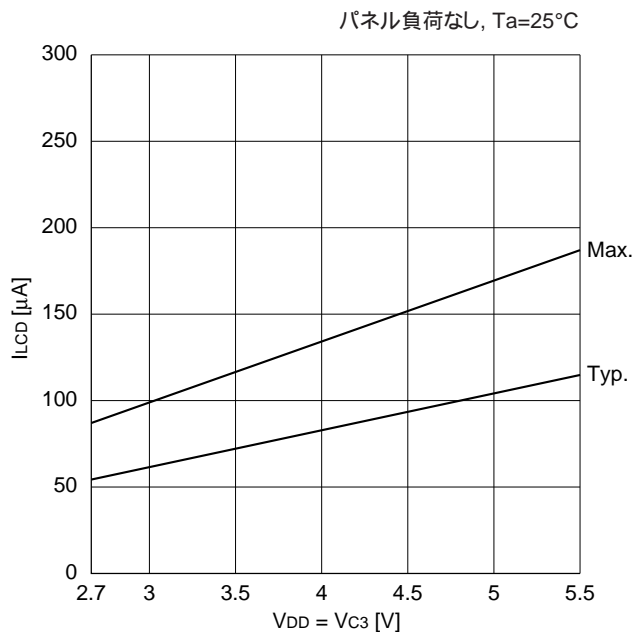


外部クロック(実行時)



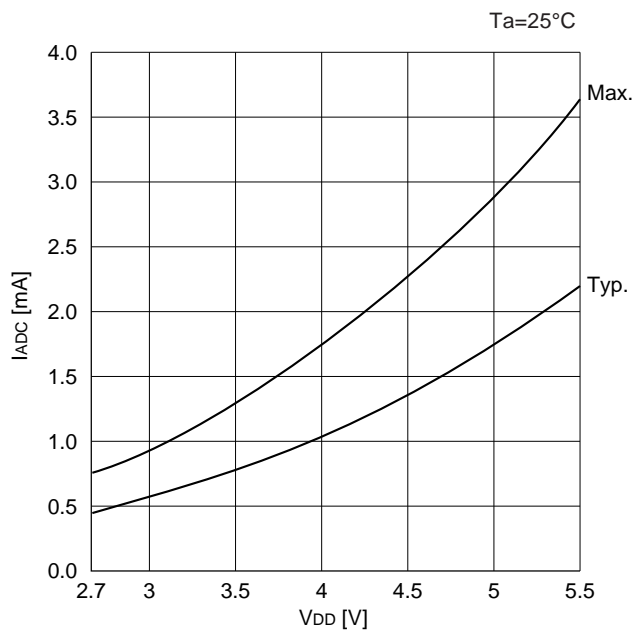
7.8.3 アナログ系動作電流-電圧特性

LCD系動作電流



A/D変換動作電流

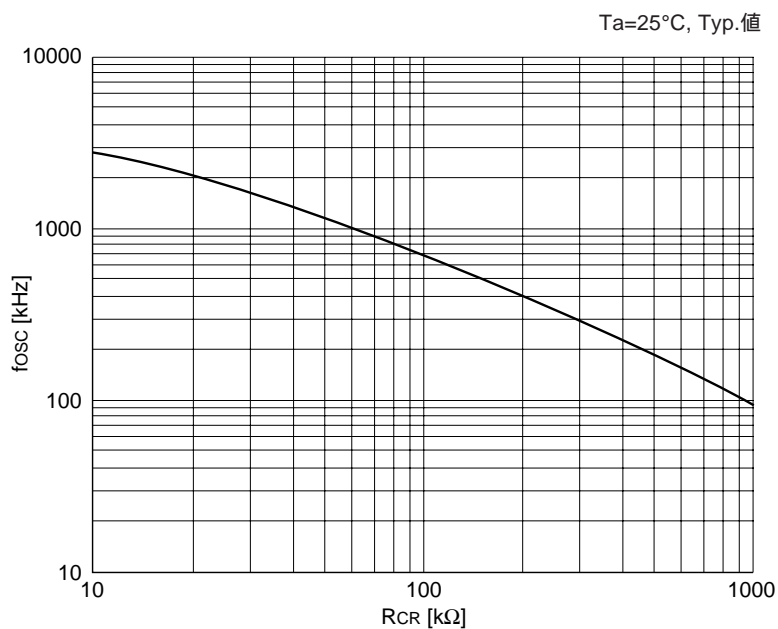
注) A/D変換動作電流は、A/D変換クロック(f_{AD})およびアナログ入力電圧により変化しますので、以下の電圧特性は参考値としてください。



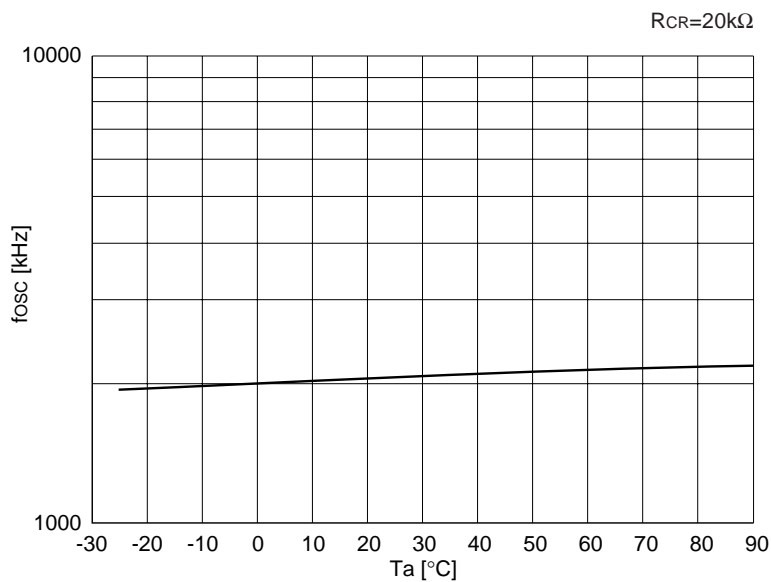
7.8.4 CR発振周波数特性

注) 発振周波数は、基板パターンおよび使用部品などにより変化します。特に製品形状(チップ、プラスチックパッケージ、セラミックパッケージ)および基板容量により大きく変化しますので、以下の特性は参考値とし、実際の製品で評価され、抵抗値をお選びください。

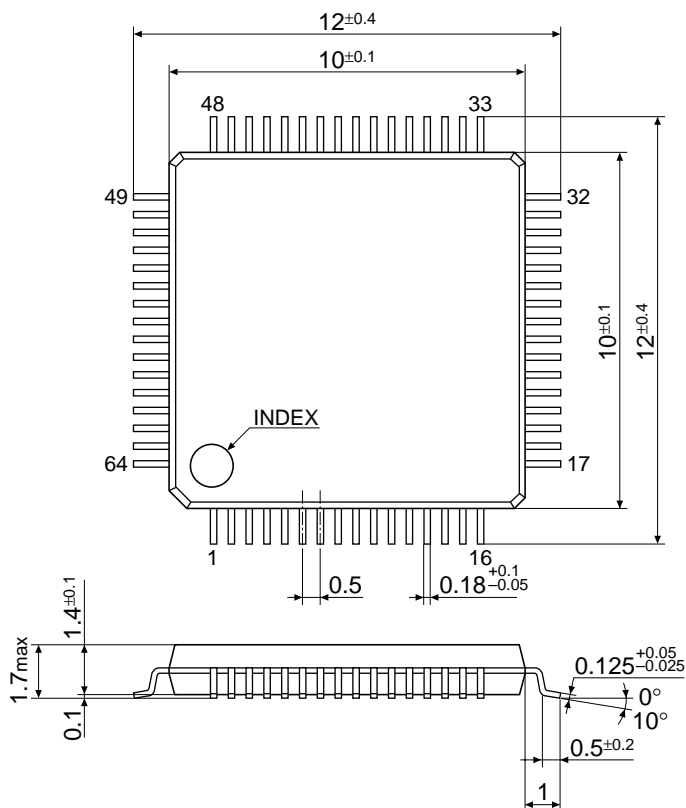
発振周波数-抵抗特性



発振周波数温度特性



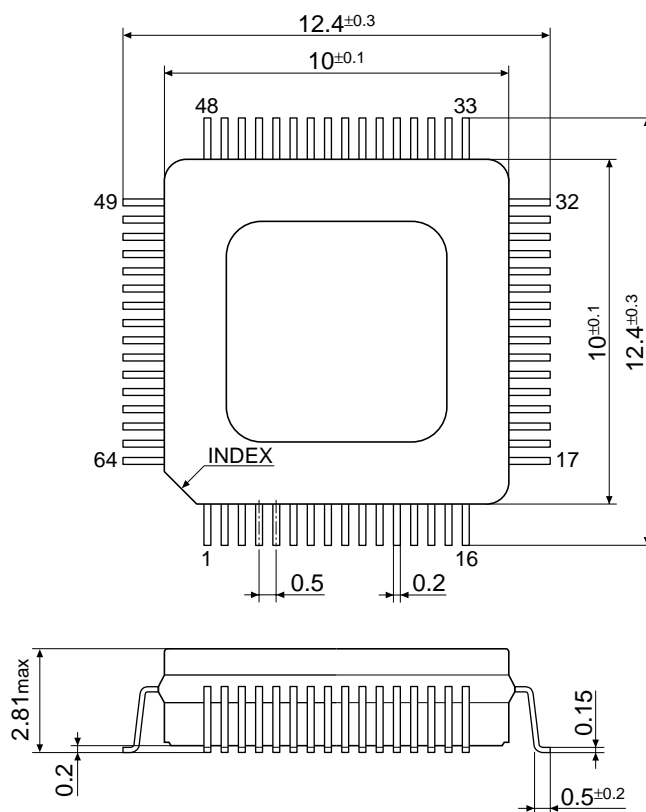
(单位: mm)



8.2 テストサンプル用セラミックパッケージ

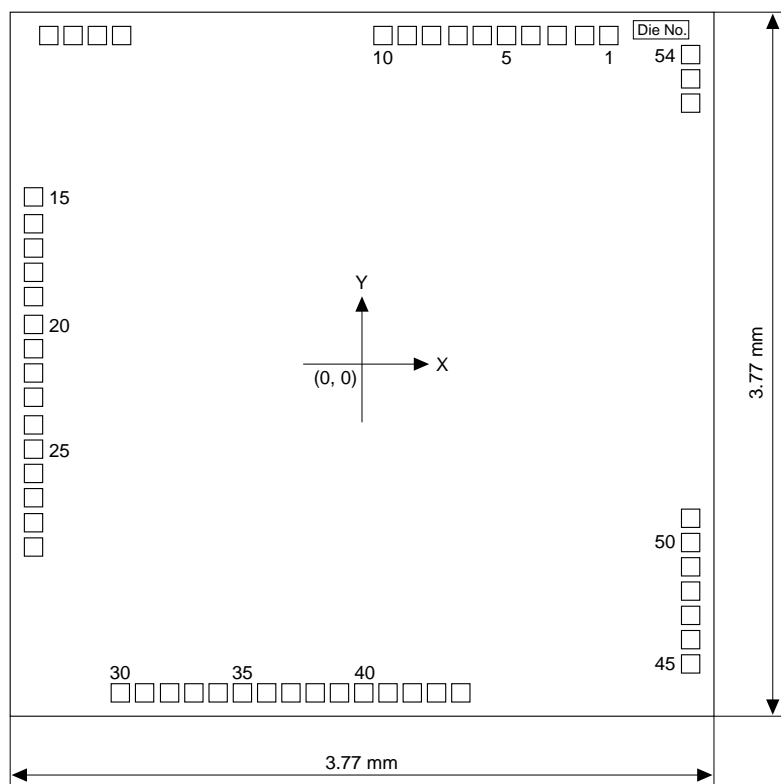
QFP13-64pin

(単位: mm)



9 パッド配置

9.1 パッド配置図



チップ厚: 400μm
パッド開口部: 100μm

9.2 パッド座標

単位:μm

No.	パッド名	X座標	Y座標	No.	パッド名	X座標	Y座標	No.	パッド名	X座標	Y座標
1	RESET	1322	1760	19	R03	-1760	362	37	SEG5	-381	-1760
2	TEST	1192	1760	20	P20	-1760	213	38	SEG6	-251	-1760
3	VSS	1045	1760	21	P21	-1760	83	39	SEG7	-121	-1760
4	OSC3	904	1760	22	P22	-1760	-47	40	SEG8	9	-1760
5	OSC4	774	1760	23	P23	-1760	-177	41	SEG9	139	-1760
6	VDI	644	1760	24	K00	-1760	-325	42	SEG10	269	-1760
7	VDD	514	1760	25	K01	-1760	-455	43	SEG11	399	-1760
8	AVDD	372	1760	26	K02	-1760	-585	44	SEG12	529	-1760
9	AVREF	242	1760	27	K03	-1760	-715	45	SEG13	1760	-1605
10	AVSS	112	1760	28	COM0	-1760	-849	46	SEG14	1760	-1475
11	P40	-1288	1760	29	COM1	-1760	-979	47	SEG15	1760	-1345
12	P41	-1418	1760	30	COM2	-1295	-1760	48	SEG16	1760	-1215
13	P42	-1548	1760	31	COM3	-1165	-1760	49	SEG17	1760	-1085
14	P43	-1678	1760	32	SEG0	-1031	-1760	50	SEG18	1760	-955
15	BZ	-1760	896	33	SEG1	-901	-1760	51	SEG19	1760	-825
16	R00	-1760	752	34	SEG2	-771	-1760	52	VC1	1760	1398
17	R01	-1760	622	35	SEG3	-641	-1760	53	VC2	1760	1528
18	R02	-1760	492	36	SEG4	-511	-1760	54	VC3	1760	1658

10 実装上の注意事項

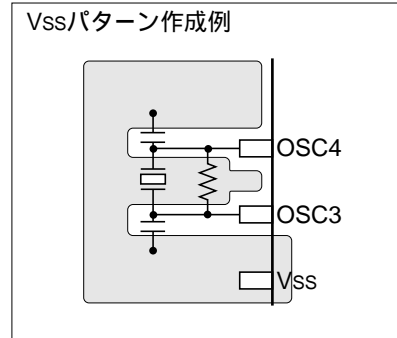
<発振回路>

発振特性は諸条件(使用部品、基板パターン等)により変化します。

特にセラミック発振子または水晶振動子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。

ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1) OSC3、OSC4端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
- (2) OSC3、OSC4端子およびこれらの端子に接続された部品の周辺部は右図のようにVssパターンをできるだけ広く作成してください。
また、このVssパターンは発振用途以外に使用しないでください。
- (3) OSC3端子に外部クロックを入力する場合、クロック源からできるだけ最短で接続してください。
また、OSC4端子を開放としてください。



OSC3 - VDD間のリーク電流による発振回路の不安定動作を防止するため、基板パターンにおいて、OSC3はVDD電源や信号線とは十分な距離を確保してください。

<リセット回路>

パワーオン時RESET端子に入力されるリセット信号は、諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。

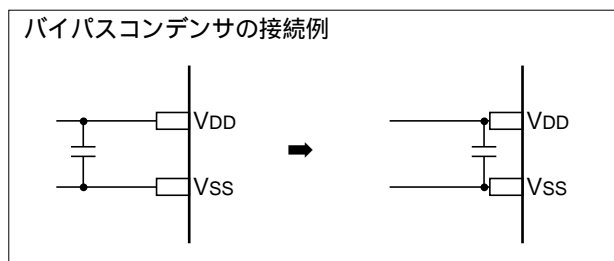
また、マスクオプションによりRESET端子のプルアップ抵抗を付加した場合には、抵抗値のばらつきを十分考慮した定数設定が必要です。

ノイズによる動作中のリセットを防ぐため、RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

<電源回路>

ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1) 電源からVDD、VSS端子およびAVDD、AVSS、AVREF端子へはできるだけ短くかつ太いパターンで接続してください。
特にAVDD、AVSS、AVREFの各電源は、A/D変換器に用いるため変換精度に影響を与えます。
また、マスクオプションによりVc3を外部印加する場合も同様です。
- (2) VDD - VSSのバイパスコンデンサを接続する場合、VDD端子とVSS端子をできるだけ最短で接続してください。



(3) V_{D1} 、 V_{C1} 、 V_{C2} 、 V_{C3} 端子に接続するコンデンサ、抵抗等の部品はできるだけ最短で接続してください。

特に V_{C1} 、 V_{C2} 、 V_{C3} の各電圧はLCD駆動として用いるため表示品質に影響を与えます。

LCDドライバを使用しない場合は、 V_{C1} 、 V_{C2} 、 V_{C3} 端子を開放としてください。

< A/D変換器 >

A/D変換器を使用しない場合は、次のように接続してください。

$AV_{DD} \rightarrow V_{DD}$

$AV_{SS} \rightarrow V_{SS}$

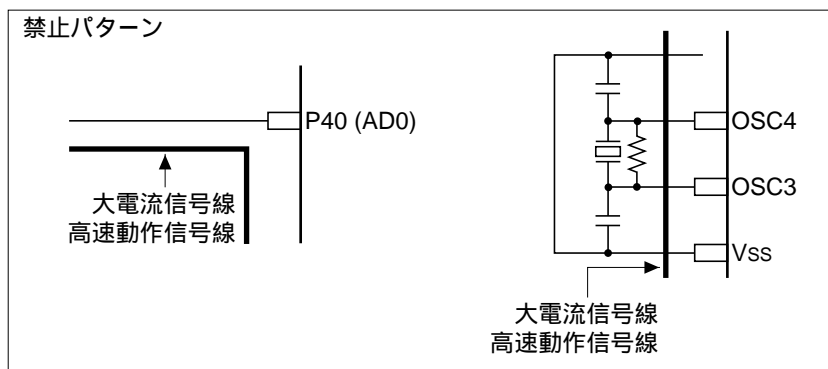
$AV_{REF} \rightarrow V_{SS}$

< 信号線の配置 >

相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部、アナログ入力部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。

高速動作する信号線と、長かつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。

特に、発振部、アナログ入力部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



< 光に対する取り扱い (ベアチップ実装の場合) >

半導体素子は、光が照射されると特性が変化します。このため、本ICに光が当たると誤動作をおこすことがあります。光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。

(1) 実使用時にICの遮光性が考慮された構造となるよう、設計および実装を行ってください。

(2) 検査工程では、ICの遮光性が考慮された環境設計を行ってください。

(3) ICの遮光は、ICチップの表面、裏面および側面について考慮してください。

セイコーエプソン株式会社 電子デバイス営業本部

IC営業推進部	〒191-8501 東京都日野市日野421-8
IC営業技術G	TEL (042) 587-5816(直通) FAX (042) 587-5624
東日本	
ED東京営業部	〒191-8501 東京都日野市日野421-8
東京IC営業G	TEL (042) 587-5313(直通) FAX (042) 587-5116
西日本	
ED大阪営業部	〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F TEL (06) 5120-6000(代表) FAX (06) 5120-6100
東海・北陸	
ED名古屋営業部	〒461-0005 名古屋市東区東桜1-10-24 栄大野ビル4F TEL (052) 953-8031(代表) FAX (052) 953-8041
長野	
ED長野営業部	〒392-8502 長野県諏訪市大和3-3-5 TEL (0266) 58-8171(直通) FAX (0266) 58-9917
東北	
ED仙台営業所	〒980-0013 宮城県仙台市青葉区花京院1-1-20 花京院スクエア19F TEL (022) 263-7975(代表) FAX (022) 263-7990

インターネットによる電子デバイスのご紹介 <http://www.epsondevice.com/domcfg.nsf>