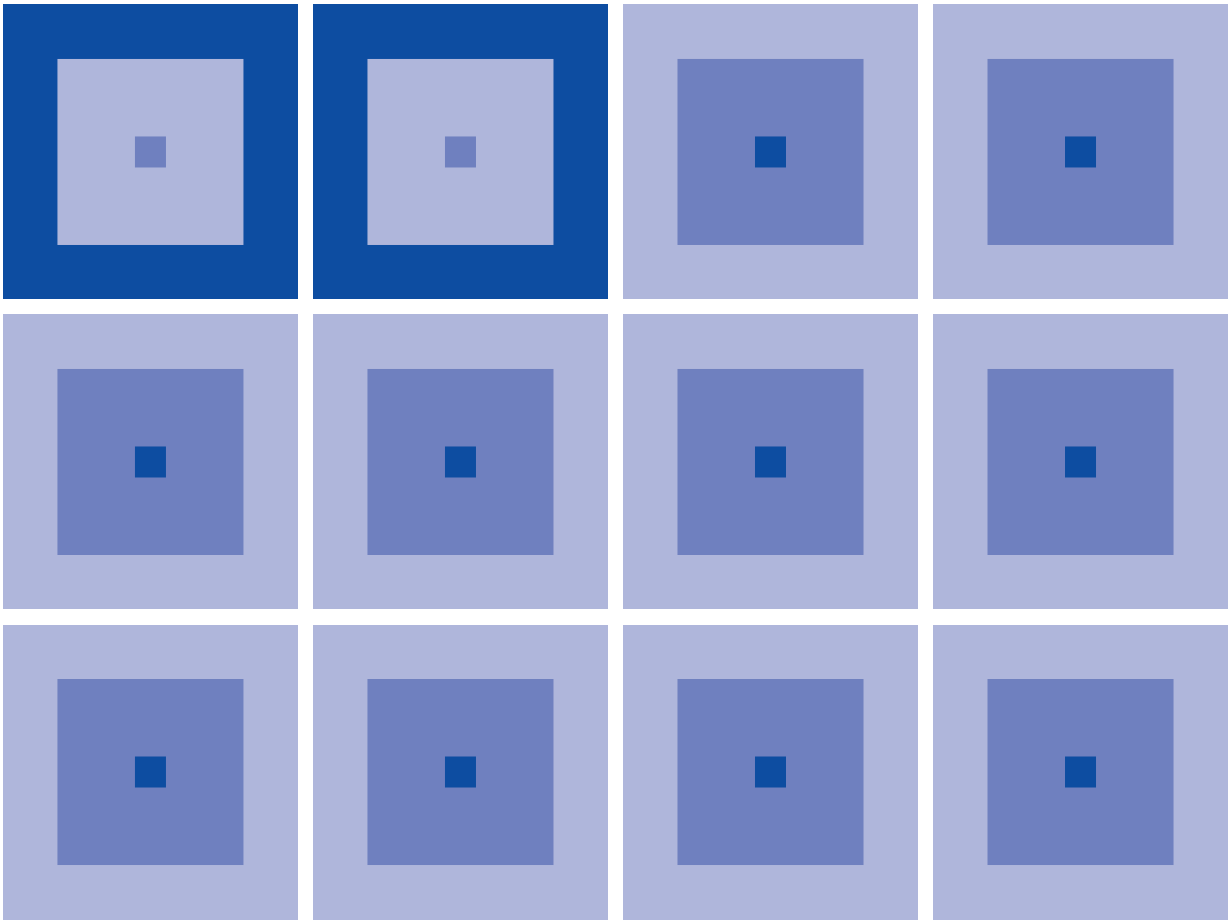
MF1573-01

EPSON

CMOS 32-BIT SINGLE CHIP MICROCOMPUTER

S1C33L03
テクニカルマニュアル

S1C33L03 PRODUCT PART
S1C33L03 FUNCTION PART



セイコーエプソン株式会社

本資料のご使用につきましては、次の点にご留意願います。

1. 本資料の内容については、予告なく変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利(工業所有権を含む)侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち、「外国為替および外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、一般民生用です。生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合の如何なる責任についても負いかねます。

© SEIKO EPSON CORPORATION 2003

S1C33L03 Technical Manual

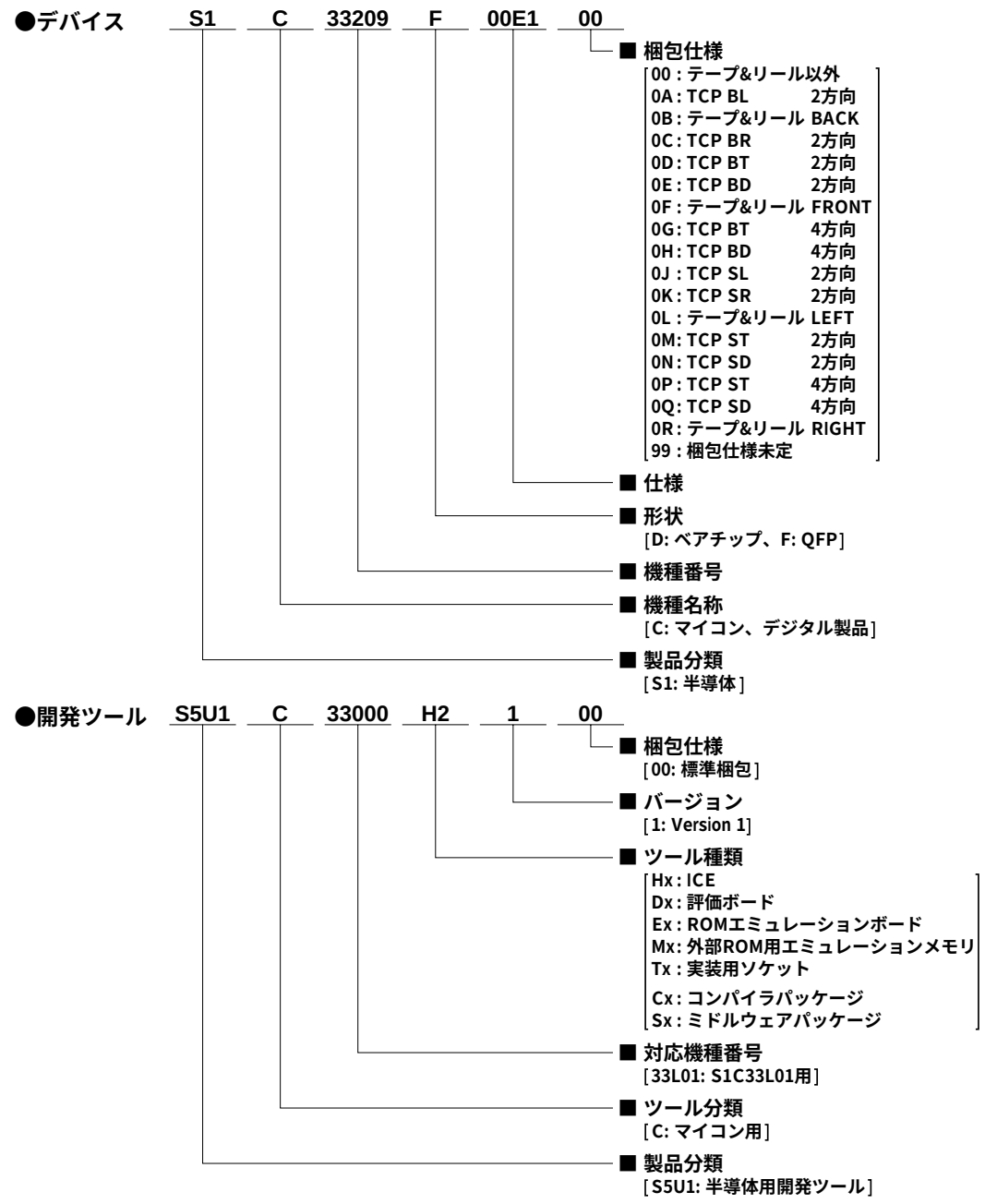
本書はセイコーエプソンオリジナルの32ビットマイクロコンピュータS1C33L03のハードウェア仕様を以下の構成で解説します。

S1C33L03 PRODUCT PART
周辺回路の詳細を除くハードウェア仕様を解説します。

S1C33L03 FUNCTION PART
S1C33 Familyマイクロコンピュータ用の全周辺回路ブロックを機能別に解説します。

32ビットRISC型コアCPU S1C33000の詳細については"S1C33000コアCPUマニュアル"を参照してください。

製品型番体型



S1C33L03 PRODUCT PART

目次

1 概要 A-1
1.1 特長 A-1
1.2 ブロック図 A-3
1.3 端子説明 A-4
1.3.1 端子配置図 (プラスチックパッケージ) A-4
1.3.2 端子機能 A-5
2 電源 A-12
2.1 電源端子 A-12
2.2 動作電圧 (VDD, VSS) A-12
2.3 I/Oインタフェース電源 (VDDE) A-13
2.4 アナログ回路用電源 (AVDDE) A-13
3 内蔵メモリ A-14
3.1 ROMとブートアドレス A-14
3.2 RAM A-15
4 周辺回路 A-16
4.1 周辺回路一覧 A-16
4.2 I/Oメモリマップ A-17
5 パワーダウン制御 A-65
6 基本外部結線図 A-68
7 実装上の注意事項 A-69
8 電気的特性 A-71
8.1 絶対最大定格 A-71
8.2 推奨動作条件 A-72
8.3 DC特性 A-73
8.4 消費電流 A-75
8.5 A/D変換器特性 A-76
8.6 AC特性 A-78
8.6.1 記号説明 A-78
8.6.2 AC特性測定条件 A-78
8.6.3 C33ブロックAC特性表 A-79
8.6.4 C33ブロックAC特性タイミングチャート A-87
8.6.5 LCDインタフェースAC特性 A-96
8.7 発振特性 A-107
8.8 PLL特性 A-108
9 パッケージ A-109
9.1 プラスチックパッケージ A-109
10 パッド配置 A-110
10.1 パッド配置図 A-110
10.2 パッド座標 A-111

APPENDIX A **〈参考資料〉外部デバイスとのインタフェースタイミング** A-113
A.1 DRAM (70ns) A-114
A.2 DRAM (60ns) A-117
A.3 ROM, **バースト**ROM A-121
A.4 SRAM (55ns) A-123
A.5 SRAM (70ns) A-125
A.6 8255A A-127
APPENDIX B **端子特性** A-128

S1C33L03 FUNCTION PART

目次

I 概要

I-1 はじめに B-I-1-1

I-2 ブロック図 B-I-2-1

I-3 端子一覧 B-I-3-1

外部入出力端子一覧 B-I-3-1

II コアブロック

II-1 はじめに B-II-1-1

II-2 CPUと動作モード B-II-2-1

CPU B-II-2-1

スタンバイモード B-II-2-2

HALTモード B-II-2-2

SLEEPモード B-II-2-2

注意事項 B-II-2-3

テストモード B-II-2-3

デバッグモード B-II-2-3

トラップテーブル B-II-2-4

II-3 イニシャルリセット B-II-3-1

イニシャルリセット用端子 B-II-3-1

コールドスタートとホットスタート B-II-3-1

パワーオンリセット B-II-3-2

リセットパルス B-II-3-2

ブートアドレス B-II-3-3

イニシャルリセット時の注意事項 B-II-3-3

II-4 BCU(バスコントロールユニット) B-II-4-1

外部システムインタフェース用の端子構成 B-II-4-1

入出力端子一覧 B-II-4-1

システムバス制御信号の組み合わせ B-II-4-3

メモリエリア B-II-4-4

メモリマップ B-II-4-4

外部メモリマップとチップイネーブル B-II-4-5

外部メモリ領域内での内蔵メモリの使用 B-II-4-7

エリア専用信号 B-II-4-7

エリア10 ..... B-II-4-8

エリア3 ..... B-II-4-9

外部バス条件の設定 B-II-4-10

デバイスタイプとデバイスサイズの設定 B-II-4-10

SRAMタイプのタイミング条件設定 B-II-4-11

バーストROMタイプのタイミング条件設定 B-II-4-12

バスオペレーション B-II-4-13

メモリ上のデータ配置 B-II-4-13

外部メモリのバスオペレーション B-II-4-13

バスクロック B-II-4-17
バススピードモード B-II-4-18
バスクロックの外部出力 B-II-4-18
外部システムインタフェースのバスサイクル B-II-4-19
SRAMタイプのリードサイクル B-II-4-19
バスタイミング B-II-4-20
SRAMタイプのライトサイクル B-II-4-21
バーストROMのリードサイクル B-II-4-23
DRAMダイレクトインタフェース B-II-4-24
DRAMインタフェースの概要 B-II-4-24
DRAMタイプの条件設定 B-II-4-25
DRAMリード/ライトサイクル B-II-4-28
DRAMリフレッシュサイクル B-II-4-31
外部バスの解放 B-II-4-32
外部デバイスによるパワーダウン制御 B-II-4-33
BCUのI/Oメモリ B-II-4-34
II-5 ITC(割り込みコントローラ) B-II-5-1
割り込み機能概要 B-II-5-1
マスク可能な割り込み B-II-5-1
割り込み要因とインテリジェントDMA B-II-5-3
NMI (ノンマスカブル割り込み) B-II-5-3
CPUの割り込み処理 B-II-5-3
割り込みによるスタンバイモードの解除 B-II-5-3
トラップテーブル B-II-5-4
マスク可能な割り込みの制御 B-II-5-5
割り込みコントローラの構成 B-II-5-5
PSR (プロセッサステータスレジスタ) B-II-5-5
割り込み要因フラグと割り込みイネーブルレジスタ B-II-5-6
割り込みプライオリティレジスタと割り込みレベル B-II-5-8
IDMAの起動 B-II-5-9
HSDMAの起動 B-II-5-11
割り込みコントローラのI/Oメモリ B-II-5-12
プログラミング上の注意事項 B-II-5-26
II-6 CLG(クロックジェネレータ) B-II-6-1
クロックジェネレータの構成 B-II-6-1
クロックジェネレータの入出力端子 B-II-6-2
高速(OSC3)発振回路 B-II-6-2
PLL B-II-6-3
発振の制御 B-II-6-3
CPU動作クロックの設定と切り換え B-II-6-4
パワーコントロールレジスタ保護フラグ B-II-6-5
スタンバイモード時の動作 B-II-6-5
クロックジェネレータのI/Oメモリ B-II-6-6
プログラミング上の注意事項 B-II-6-9
II-7 DBG(デバッグユニット) B-II-7-1
デバッグ回路 B-II-7-1
デバッグ回路の入出力端子 B-II-7-1

III 周辺回路ブロック

III-1 はじめに B-III-1-1
III-2 プリスケーラ B-III-2-1
プリスケーラの構成 B-III-2-1
原振クロック B-III-2-1
プリスケーラ分周比の選択と出力制御 B-III-2-2
8ビットプログラマブルタイマへの原振クロック出力 B-III-2-2
プリスケーラのI/Oメモリ B-III-2-3
プログラミング上の注意事項 B-III-2-8
III-3 8ビットプログラマブルタイマ B-III-3-1
8ビットプログラマブルタイマの構成 B-III-3-1
8ビットプログラマブルタイマの出力端子 B-III-3-1
8ビットプログラマブルタイマの用途 B-III-3-2
8ビットプログラマブルタイマの制御と動作 B-III-3-4
クロック出力の制御 B-III-3-7
8ビットプログラマブルタイマ割り込みとDMA B-III-3-8
8ビットプログラマブルタイマのI/Oメモリ B-III-3-10
プログラミング上の注意事項 B-III-3-17
III-4 16ビットプログラマブルタイマ B-III-4-1
16ビットプログラマブルタイマの構成 B-III-4-1
16ビットプログラマブルタイマの入出力端子 B-III-4-2
16ビットプログラマブルタイマの用途 B-III-4-3
16ビットプログラマブルタイマの制御と動作 B-III-4-4
クロック出力の制御 B-III-4-7
16ビットプログラマブルタイマ割り込みとDMA B-III-4-9
16ビットプログラマブルタイマのI/Oメモリ B-III-4-12
プログラミング上の注意事項 B-III-4-26
III-5 ウォッチドッグタイマ B-III-5-1
ウォッチドッグタイマの構成 B-III-5-1
ウォッチドッグタイマの制御 B-III-5-1
スタンバイモード時の動作 B-III-5-2
ウォッチドッグタイマのI/Oメモリ B-III-5-3
プログラミング上の注意事項 B-III-5-3
III-6 低速(OSC1)発振回路 B-III-6-1
低速(OSC1)発振回路の構成 B-III-6-1
低速(OSC1)発振回路の入出力端子 B-III-6-1
発振回路の種類 B-III-6-2
発振の制御 B-III-6-3
CPU動作クロックの切り換え B-III-6-3
パワーコントロールレジスタ保護フラグ B-III-6-4
スタンバイモード時の動作 B-III-6-4
OSC1クロックの外部出力 B-III-6-4
低速(OSC1)発振回路のI/Oメモリ B-III-6-5
プログラミング上の注意事項 B-III-6-8
III-7 計時タイマ B-III-7-1
計時タイマの構成 B-III-7-1
計時タイマの制御と動作 B-III-7-2
計時タイマの割り込み機能 B-III-7-4
計時タイマの使用例 B-III-7-6
計時タイマのI/Oメモリ B-III-7-7
プログラミング上の注意事項 B-III-7-12

III-8 シリアルインタフェース B-III-8-1
シリアルインタフェースの構成 B-III-8-1
シリアルインタフェースの特長 B-III-8-1
シリアルインタフェースの入出力端子 B-III-8-2
転送モードの設定 B-III-8-3
クロック同期式インタフェース B-III-8-4
クロック同期式インタフェースの概要 B-III-8-4
クロック同期式インタフェースの設定 B-III-8-5
クロック同期式転送の制御と動作 B-III-8-7
調歩同期式インタフェース B-III-8-12
調歩同期式インタフェースの概要 B-III-8-12
調歩同期式インタフェースの設定 B-III-8-13
調歩同期式転送の制御と動作 B-III-8-16
IrDAインタフェース B-III-8-21
IrDAインタフェースの概要 B-III-8-21
IrDAインタフェースの設定 B-III-8-21
IrDAインタフェースの制御と動作 B-III-8-23
シリアルインタフェース割り込みとDMA B-III-8-24
シリアルインタフェースのI/Oメモリ B-III-8-28
プログラミング上の注意事項 B-III-8-46
III-9 入出力ポート B-III-9-1
入力ポート (Kポート) B-III-9-1
入力ポートの構成 B-III-9-1
入力ポート端子 B-III-9-2
使用上の注意 B-III-9-2
入力ポートのI/Oメモリ B-III-9-3
入出力兼用ポート (Pポート) B-III-9-4
入出力兼用ポートの構成 B-III-9-4
入出力兼用ポート端子 B-III-9-4
I/O制御レジスタと入力/出力モード B-III-9-5
入出力兼用ポートのI/Oメモリ B-III-9-6
入力割り込み B-III-9-12
ポート入力割り込み B-III-9-12
キー入力割り込み B-III-9-14
割り込みコントローラの制御レジスタ B-III-9-16
入力割り込みのI/Oメモリ B-III-9-18
プログラミング上の注意事項 B-III-9-25

IV アナログブロック

IV-1 はじめに B-IV-1-1

IV-2 A/D変換器 B-IV-2-1
A/D変換器の特長と構成 B-IV-2-1
A/D変換器の入力端子 B-IV-2-2
A/D変換器の設定 B-IV-2-3
A/D変換の制御と動作 B-IV-2-5
A/D変換器割り込みとDMA B-IV-2-7
A/D変換器のI/Oメモリ B-IV-2-9
プログラミング上の注意事項 B-IV-2-15

V DMAブロック

V-1 はじめに B-V-1-1

V-2 HSDMA(高速DMA) B-V-2-1
- HSDMAの機能概要 B-V-2-1
- HSDMAの入出力端子 B-V-2-2
- コントロール情報のプログラミング B-V-2-3
  - デュアルアドレスモードのレジスタ設定 B-V-2-3
  - シングルアドレスモードのレジスタ設定 B-V-2-6
- DMA転送の許可/禁止 B-V-2-7
- トリガ要因 B-V-2-8
- HSDMAの動作 B-V-2-9
  - デュアルアドレスモードの動作 B-V-2-9
  - シングルアドレスモードの動作 B-V-2-12
  - タイミングチャート B-V-2-13
- HSDMAの割り込み機能 B-V-2-15
- HSDMAのI/Oメモリ B-V-2-17
- プログラミング上の注意事項 B-V-2-34

V-3 IDMA(インテリジェントDMA) B-V-3-1
- IDMAの機能概要 B-V-3-1
- コントロール情報のプログラミング B-V-3-1
- IDMAの起動 B-V-3-5
- IDMAの動作 B-V-3-8
- リンク B-V-3-12
- IDMAの割り込み機能 B-V-3-13
- IDMAのI/Oメモリ B-V-3-14
- プログラミング上の注意事項 B-V-3-17

VI SDRAMコントローラブロック

VI-1 はじめに B-VI-1-1

VI-2 SDRAMインタフェース B-VI-2-1
- SDRAMインタフェースの概要 B-VI-2-1
- SDRAMコントローラブロック図 B-VI-2-1
- 入出力端子とSDRAMの接続 B-VI-2-2
  - 入出力端子 B-VI-2-2
  - 接続例 B-VI-2-2
- SDRAMコントローラの設定 B-VI-2-5
  - PLLの設定 B-VI-2-5
  - BCUの設定 B-VI-2-5
  - SDRAMアクセス条件設定 B-VI-2-6
- SDRAMインタフェースの動作 B-VI-2-12
  - 同期クロック B-VI-2-12
  - SDRAMパワーアップと初期化 B-VI-2-13
  - SDRAMコマンド B-VI-2-14
  - バーストリードサイクル B-VI-2-15
  - シングルリード/シングルライト B-VI-2-16
  - リフレッシュモード B-VI-2-17
  - パワーダウンモード B-VI-2-19
  - バス解放手順 B-VI-2-19
- SDRAMインタフェースのI/Oメモリ B-VI-2-21
- プログラミング上の注意事項 B-VI-2-32
- SDRAMコントローラ初期設定プログラム例 B-VI-2-33

VII LCDコントローラブロック

VII-1 はじめに B-VII-1-1
VII-2 LCDコントローラ B-VII-2-1
概要 B-VII-2-1
特長 B-VII-2-1
ブロック図 B-VII-2-3
LCDコントローラの入出力端子 B-VII-2-4
システム設定 B-VII-2-5
BCUの設定 B-VII-2-5
表示メモリ B-VII-2-5
LCDコントローラの設定方法 B-VII-2-6
クロック B-VII-2-7
LCDパネル設定 B-VII-2-8
パネルの種類 B-VII-2-8
解像度 B-VII-2-8
表示モード B-VII-2-9
ルックアップテーブル B-VII-2-11
フレームレート B-VII-2-19
その他の設定 B-VII-2-20
表示の制御 B-VII-2-21
LCDパワーアップ/ダウン制御 B-VII-2-21
表示データの読み出し/書き込み B-VII-2-22
表示開始アドレスの設定 B-VII-2-22
2画面表示 B-VII-2-23
仮想画面とビューポート B-VII-2-23
表示の反転とブランク表示 B-VII-2-25
ポートレートモード B-VII-2-25
パワーセーブ B-VII-2-29
GPIO端子の制御 B-VII-2-30
LCDコントローラのI/Oメモリ B-VII-2-31
プログラミング上の注意事項 B-VII-2-42
ICD33使用上の注意 B-VII-2-42
LCDコントローラの設定事例 B-VII-2-43

APPENDIX I/Oマップ

S1C33L03
PRODUCT PART

1 概要

S1C33L03は、LCDコントローラを内蔵したセイコーエプソンオリジナルの32ビットマイクロコンピュータです。高速動作、低消費電力、低電圧動作を特長とし、情報端末、メール表示端末、電子辞書等の表示を必要とする携帯機器への応用に最適です。
S1C33L03は32ビットRISC型CPU S1C33000を中心に、バスコントロールユニット、DMAコントローラ、割り込みコントローラ、LCDコントローラ、SDRAMコントローラ、タイマ、シリアルインタフェース、A/D変換器等の周辺回路、ROMおよびRAMで構成されます。さらに、内蔵の積和演算機能とA/D変換器との組み合わせにより、音声認識・合成処理等のDSP機能を必要とするシステムを容易に構築できます。

表 1.1 機種構成

機種	パッケージ	内蔵 RAM	内蔵 ROM	データバス I/F
S1C33L03F00A100	QFP20-144pin	8Kバイト	なし	CMOS/LVTTL
S1C33L03F00A200	QFP20-144pin (鉛フリーパッケージ)	8Kバイト	なし	CMOS/LVTTL
S1C33L03D00A100	チップ	8Kバイト	なし	CMOS/LVTTL

1.1 特長

コアCPU

セイコーエプソンオリジナル32ビットRISC型CPU S1C33000を内蔵

- 16ビット固定長、105種類の基本命令セット
- 16本の32ビット汎用レジスタを内蔵
- 32ビットのALUと8ビットシフタを内蔵
- 乗除算命令および積和演算(MAC)命令をサポート
- 20nsの最小命令実行時間(50MHz動作時)

内蔵メモリ

RAM: 8Kバイト

内蔵周辺回路

発振回路: 高速(OSC3)発振回路 33MHz max.
水晶/セラミック発振または外部クロック入力
低速(OSC1)発振回路 32.768kHz typ.
水晶発振または外部クロック入力

LCDコントローラ: 4または8ビットモノクロ/カラーLCDインタフェース(S1D13705互換)
2、4または16階調(1、2または4ビット/ピクセル)グレースケール表示
2、4、16または256色(1、2、4または8ビット/ピクセル)カラー表示
表示解像度の例 1bppの色深度で640×480ピクセル
2bppの色深度で640×240ピクセル
4bppの色深度で320×240ピクセル
8bppの色深度で240×160ピクセル

タイマ: 8ビットタイマ 6ch.
16ビットタイマ 6ch.
ウォッチドッグタイマ(16ビットタイマ0の機能)
計時タイマ 1ch. (アラーム機能付き)

シリアルインタフェース: 4ch. (クロック同期式、調歩同期式、IrDAインタフェース選択可能)

A/D変換器: 10ビット×8ch.

DMAコントローラ: 高速DMA 4ch.
インテリジェントDMA 128ch.

割り込みコントローラ:	インテリジェントDMA起動可能	
	入力割り込み	10種類(プログラマブル)
	DMAコントローラ割り込み	5種類
	16ビットプログラマブルタイマ割り込み	12種類
	8ビットプログラマブルタイマ割り込み	4種類
	シリアルインタフェース割り込み	6種類
	A/D変換器割り込み	1種類
	計時タイマ割り込み	1種類
汎用入力/出力ポート:	周辺回路の入出力と兼用	
	入力ポート	13ビット
	入出力兼用ポート	29ビット

外部バスインタフェース

BCU(バスコントロールユニット)内蔵

- 24ビットアドレスバス(内部28ビット処理)
- 16ビットデータバス
  エリアごとにデータサイズを8または16ビットに設定可能
- リトルエンディアン方式によるメモリアクセス
  エリアごとにビッグエンディアン方式にも設定可能
- メモリマップドI/O
- チップイネーブルとウェイト制御回路を内蔵
- DRAMのダイレクトインタフェース機能を内蔵
  高速ページモード、EDOページモードに対応
  セルフリフレッシュ、CASビフォアRASリフレッシュに対応
- SDRAMに対応
  SDRAMセルフリフレッシュに対応
- バーストROMに対応

動作条件, 消費電流

動作電圧:	コア (V_{DD})	1.8V～3.6V	
	I/O (V_{DDE})	1.8V～5.5V	
動作周波数:	CPU動作周波数	50MHz max. (コア電圧 = 3.3V±0.3Vの場合)	
	LCDコントローラ動作周波数	25MHz max. (コア電圧 = 3.3V±0.3Vの場合)	
	* SDRAMコントローラ使用時 (コア電圧 = 3.3V±0.3V、PLLを使用する場合)		
	x1スピードモード時	CPU動作周波数 = バス動作周波数 = 25MHz max.	
	x2スピードモード時	CPU動作周波数 = 35MHz max.、バス動作周波数 = 17.5MHz max.	
動作温度:	-40～85°C		
消費電力:	SLEEPモード時	3.5µW typ.	(3.3V)
	HALTモード時	100mW typ.	(3.3V, 50MHz)
	動作時	200mW typ.	(3.3V, 50MHz)

注: 動作時の消費電力は、"ロード命令 55%、演算命令 23%、mac命令 1%、分岐命令 12%、ext命令 9%"の試験プログラムを連続動作させた場合の値です。

出荷形態

QFP20-144pinプラスチックパッケージ、またはチップ

1.2 ブロック図

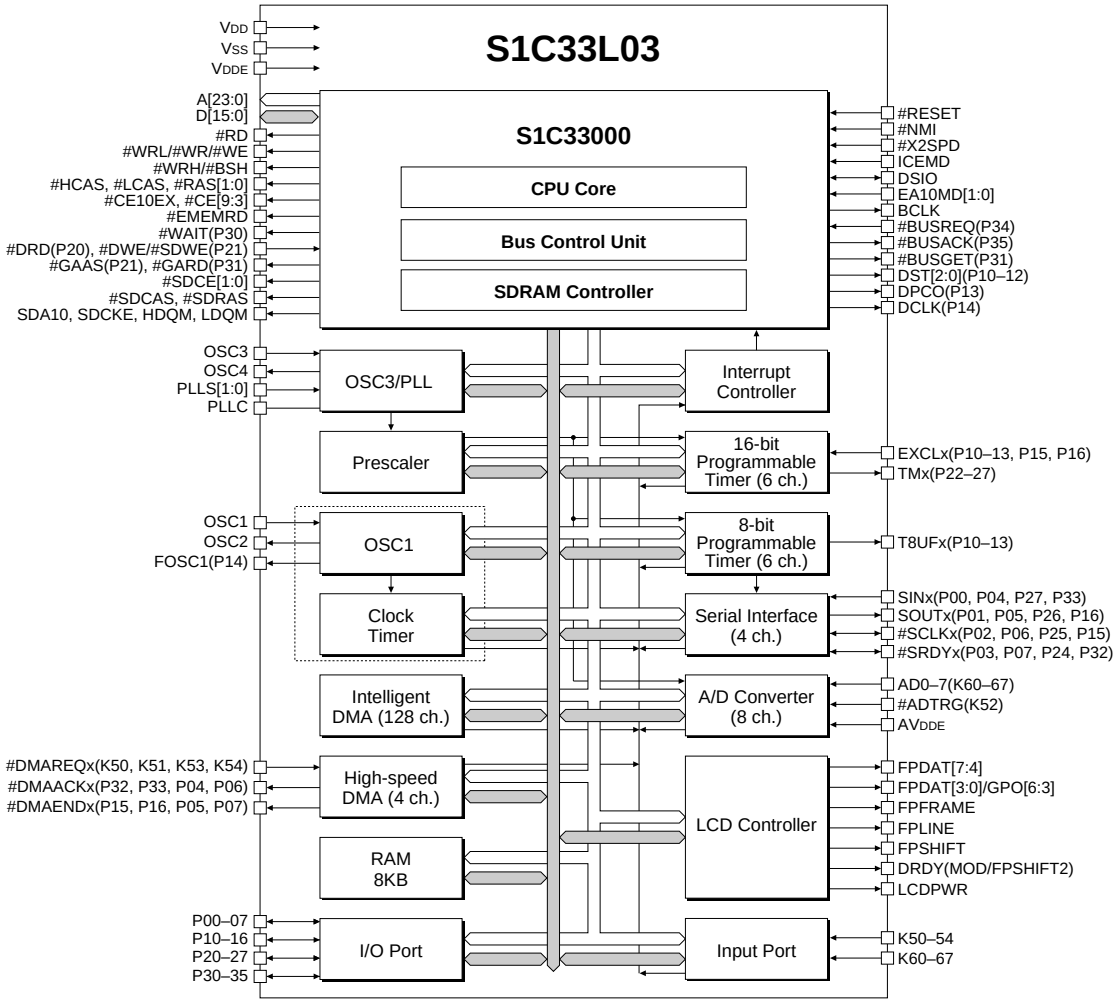
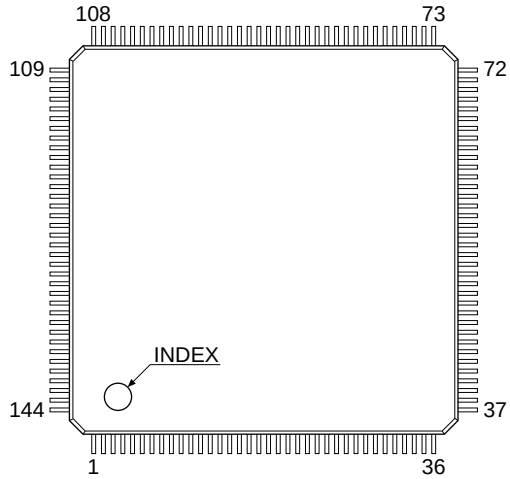


図 1.2.1 S1C33L03**ブロック図**

1.3 端子説明

1.3.1 端子配置図 (プラスチックパッケージ)

QFP20-144pin



No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	P22/TM0	37	K54/#DMAREQ3	73	P32/#DMAACK0/#SRDY3/HDQM	109	A21
2	P23/TM1	38	K53/#DMAREQ2	74	P31/#BUSGET/#GARD/GPIO2	110	A22
3	VSS	39	K52/#ADTRG	75	P30/#WAIT/#CE4&5	111	A23
4	P24/TM2/#SRDY2	40	K51/#DMAREQ1	76	#LCAS/#SDRAS	112	PLLS1
5	P25/TM3/#SCLK2	41	K50/#DMAREQ0	77	#HCAS/#SDCAS	113	PLLS0
6	P26/TM4/SOUT2	42	#WRH/#BSH	78	VDD	114	VSS
7	P27/TM5/SIN2	43	#WRL/#WR/#WE	79	P21/#DWE/#GAAS/#SDWE	115	PLLC
8	VDD	44	#RD	80	P20/#DRD/SDCKE	116	VSS
9	P07/#SRDY1/#DMAEND3	45	VSS	81	BCLK/SDCLK	117	DSIO
10	P06/#SCLK1/#DMAACK3	46	D15	82	VSS	118	P14/FOSC1/DCLK
11	P05/SOUT1/#DMAEND2	47	D14	83	P16/EXCL5/#DMAEND1/SOUT3	119	P13/EXCL3/T8UF3/DPCO
12	P04/SIN1/#DMAACK2	48	D13	84	P15/EXCL4/#DMAEND0/#SCLK3/LDQM	120	P12/EXCL2/T8UF2/DST2
13	FPDAT7	49	D12	85	A0/#BSL	121	P11/EXCL1/T8UF1/DST1
14	FPDAT6	50	D11	86	A1/SDA0	122	P10/EXCL0/T8UF0/DST0
15	FPDAT5	51	VDD	87	A2/SDA1	123	EA10MD1
16	FPDAT4	52	D10	88	A3/SDA2	124	EA10MD0
17	FPDAT3/GPO6	53	D9	89	A4/SDA3	125	ICEMD
18	FPDAT2/GPO5	54	D8	90	A5/SDA4	126	#EMEMRD
19	FPDAT1/GPO4	55	D7	91	VDDE	127	VDD
20	FPDAT0/GPO3	56	D6	92	A6/SDA5	128	OSC4
21	VDDE	57	D5	93	A7/SDA6	129	OSC3
22	DRDY(MOD/FPSHIFT2)	58	D4	94	A8/SDA7	130	#NMI
23	FPFRAME	59	VDDE	95	A9/SDA8	131	#CE9/#CE17/#CE17&18
24	FPLINE	60	D3	96	A10/SDA9	132	VDDE
25	FPSHIFT	61	D2	97	A11	133	#CE5/#CE15/#CE15&16
26	LCDPWR	62	D1	98	VSS	134	N.C.
27	VSS	63	D0	99	A12/SDA11	135	#CE3
28	K67/AD7	64	#CE8/#RAS1/#CE14/#RAS3/#SDCE1	100	A13/SDA12	136	VSS
29	K66/AD6	65	#CE7/#RAS0/#CE13/#RAS2/#SDCE0	101	A14/SDBA0	137	#CE10EX/#CE9&10EX
30	K65/AD5	66	VSS	102	A15/SDBA1	138	#CE6/#CE7&8
31	K64/AD4	67	OSC2	103	A16	139	#CE4/#CE11/#CE11&12
32	K63/AD3	68	OSC1	104	A17	140	#X2SPD
33	K62/AD2	69	#RESET	105	VSS	141	P03/#SRDY0
34	K61/AD1	70	P35/#BUSACK/GPIO1	106	A18	142	P02/#SCLK0
35	K60/AD0	71	P34/#BUSREQ/#CE6/GPIO0	107	A19	143	P01/SOUT0
36	AVDDE	72	P33/#DMAACK1/SIN3/SDA10	108	A20	144	P00/SIN0

図 1.3.1 **端子配置図** (QFP20-144pin)

1.3.2 端子機能

表 1.3.1 電源系端子一覧

端子名	端子No.	I/O	Pull-up	機　能
VDD	8,51,78,127	–	–	内部ロジック用電源(+)
VSS	3,27,45,66, 82,98,105, 114,116,136	–	–	電源(-)GND
VDDE	21,59,91,132	–	–	I/O用電源(+)
AVDDE	36	–	–	アナログ系電源(+)　AVDDE = VDDE

表 1.3.2 外部インタフェース信号端子一覧

端子名	端子No.	I/O	Pull-up	機　能
A0 #BSL	85	O	–	A0: アドレスバス(A0)/SBUSST(D3/0x4812E)="0"の場合 (デフォルト) #BSL: バスストローブ(下位バイト)信号/SBUSST(D3/0x4812E)="1"の場合
A[10:1] SDA[9:0]	85–90,92–96	O	–	A[10:1]: アドレスバス(A1–A10) SDA[9:0]: SDRAMアドレスバス(SDA0–SDA9)
A11	97	O	–	アドレスバス(A11)
A[13:12] SDA[12:11]	99,100	O	–	A[13:12]: アドレスバス(A12–A13) SDA[12:11]: SDRAMアドレスバス(SDA11–SDA12)
A[15:14] SDBA[1:0]	101,102	O	–	A[15:14]: アドレスバス(A14–A15) SDBA[1:0]: SDRAMバンクセレクト(SDBA0–SDBA1)
A[23:16]	103,104, 106–111	O	–	アドレスバス(A16–A23)
D[15:0]	46–50,52–58, 60–63	I/O	–	データバス(D0–D15)
#CE10EX #CE9&10EX	137	O	–	外部メモリ用エリア10チップイネーブル * CEFUNC[1:0]="1x"の場合、本端子は#CE9+#CE10EX信号を出力します。
#CE9 #CE17 #CE17&18	131	O	–	#CE9: エリア9チップイネーブル/CEFUNC[1:0](D[A:9]/0x48130)="00"の場合 (デフォルト) #CE17: エリア17チップイネーブル/CEFUNC[1:0](D[A:9]/0x48130)="01"の場合 * CEFUNC[1:0]="1x"の場合、本端子は#CE17+#CE18信号を出力します。
#CE8 #RAS1 #CE14 #RAS3 #SDCE1	64	O	–	#CE8: エリア8チップイネーブル/CEFUNC[1:0] (D[A:9]/0x48130)="00"、A8DRA (D8/0x48128)="0"、およびSDRPC1(D2/0x39FFC0)="0"の場合 (デフォルト) #RAS1: エリア8 DRAMローストローブ/CEFUNC[1:0](D[A:9]/0x48130)="00"、A8DRA(D8/0x48128)="1"、およびSDRPC1(D2/0x39FFC0)="0"の場合 #CE14: エリア14チップイネーブル/CEFUNC[1:0](D[A:9]/0x48130)="01"または"1x"、A14DRA(D8/0x48122)="0"、およびSDRPC1(D2/0x39FFC0)="0"の場合 #RAS3: エリア14 DRAMローストローブ/CEFUNC[1:0](D[A:9]/0x48130)="01"または"1x"、A14DRA(D8/0x48122)="1"、およびSDRPC1(D2/0x39FFC0)="0"の場合 #SDCE1: SDRAMチップイネーブル1/SDRPC1(D2/0x39FFC0)="1"およびSDRENA (D7/0x39FFC1)="1"の場合
#CE7 #RAS0 #CE13 #RAS2 #SDCE0	65	O	–	#CE7: エリア7チップイネーブル/CEFUNC[1:0](D[A:9]/0x48130)="00"、A7DRA (D7/0x48128)="0"、およびSDRPC0(D3/0x39FFC0)="0"の場合 (デフォルト) #RAS0: エリア7 DRAMローストローブ/CEFUNC[1:0](D[A:9]/0x48130)="00"、A7DRA(D7/0x48128)="1"、およびSDRPC0(D3/0x39FFC0)="0"の場合 #CE13: エリア13チップイネーブル/CEFUNC[1:0](D[A:9]/0x48130)="01"または"1x"、A13DRA(D7/0x48122)="0"、およびSDRPC0(D3/0x39FFC0)="0"の場合 #RAS2: エリア13 DRAMローストローブ/CEFUNC[1:0](D[A:9]/0x48130)="01"または"1x"、A13DRA(D7/0x48122)="1"、およびSDRPC0(D3/0x39FFC0)="0"の場合 #SDCE0: SDRAMチップイネーブル0/SDRPC0(D3/0x39FFC0)="1"およびSDRENA (D7/0x39FFC1)="1"の場合
#CE6 #CE7&8	138	O	–	エリア6チップイネーブル * CEFUNC[1:0]="1x"の場合、本端子は#CE7+#CE8信号を出力します。
#CE5 #CE15 #CE15&16	133	O	–	#CE5: エリア5チップイネーブル/CEFUNC[1:0] (D[A:9]/0x48130)="00"の場合 (デフォルト) #CE15: エリア15チップイネーブル/CEFUNC[1:0] (D[A:9]/0x48130)="01"の場合 * CEFUNC[1:0]="1x"の場合、本端子は#CE15+#CE16信号を出力します。
#CE4 #CE11 #CE11&12	139	O	–	#CE4: エリア4チップイネーブル/CEFUNC[1:0] (D[A:9]/0x48130)="00"の場合 (デフォルト) #CE11: エリア11チップイネーブル/CEFUNC[1:0] (D[A:9]/0x48130)="01"の場合 * CEFUNC[1:0]="1x"の場合、本端子は#CE11+#CE12信号を出力します。
#CE3	135	O	–	エリア3チップイネーブル
#RD	44	O	–	リード信号
#EMEMRD	126	O	–	内蔵ROMエミュレーションメモリ用リード信号

端子名	端子No.	I/O	Pull-up	機　能
#WRL #WR #WE	43	O	–	#WRL: ライト(下位バイト)信号/SBUSST(D3/0x4812E)="0"の場合 (デフォルト) #WR: ライト信号/SBUSST(D3/0x4812E)="1"の場合 #WE: DRAMライト信号
#WRH #BSH	42	O	–	#WRH: ライト(上位バイト)信号/SBUSST(D3/0x4812E)="0"の場合 (デフォルト) #BSH: バスストローブ(上位バイト)信号/SBUSST(D3/0x4812E)="1"の場合
#HCAS #SDCAS	77	O	–	#HCAS: DRAMカラムアドレスストローブ(上位バイト)信号/SDRENA(D7/0x39FFC1)="0"の場合 (デフォルト) #SDCAS: SDRAMカラムアドレスストローブ信号/SDRENA(D7/0x39FFC1)="1"の場合
#LCAS #SDRAS	76	O	–	#LCAS: DRAMカラムアドレスストローブ(下位バイト)信号/SDRENA(D7/0x39FFC1)="0"の場合 (デフォルト) #SDRAS: SDRAMローアドレスストローブ信号/SDRENA(D7/0x39FFC1)="1"の場合
BCLK SDCLK	81	O	–	BCLK: バスクロック出力/SDRENA(D7/0x39FFC1)= "0"の場合 (デフォルト) SDCLK: SDRAMクロック出力/SDRENA(D7/0x39FFC1)="1"の場合
P34 #BUSREQ #CE6 GPIO0	71	I/O	–	P34: 入出力兼用ポート/CFP34(D4/0x402DC)="0"の場合 (デフォルト) #BUSREQ: バス解放要求入力/CFP34(D4/0x402DC)="1"の場合 #CE6: エリア6チップイネーブル/CFP34(D4/0x402DC)="1"およびIOC34(D4/0x402DE)="1"の場合 GPIO0: LCDC汎用入出力ポート/LCDCEN(D5/0x39FFE3)="1"およびBREQEN(D2/0x39FFFD)="0"
P35 #BUSACK GPIO1	70	I/O	–	P35: 入出力兼用ポート/CFP35(D5/0x402DC)="0"の場合 (デフォルト) #BUSACK: バス解放要求応答出力/CFP35(D5/0x402DC)="1"およびCFP34(D4/0x402DC)="1"の場合 GPIO1: LCDC汎用入出力ポート/LCDCEN(D5/0x39FFE3)="1"およびBREQEN(D2/0x39FFFD)="0"
P30 #WAIT #CE4&5	75	I/O	–	P30: 入出力兼用ポート/CFP30(D0/0x402DC)="0"の場合 (デフォルト) #WAIT: ウェイトサイクル要求入力/CFP30(D0/0x402DC)="1"の場合 #CE4&5: エリア4&5チップイネーブル/CFP30(D0/0x402DC)="1"およびIOC30(D0/0x402DE)="1"の場合
P20 #DRD SDCKE	80	I/O	–	P20: 入出力兼用ポート/CFP20(D0/0x402D8)="0"およびSDRENA(D7/0x39FFC1)="0"の場合 (デフォルト) #DRD: 連続RASモード用DRAMリード信号出力/CFP20(D0/0x402D8)="1"およびSDRENA(D7/0x39FFC1)="0"の場合 SDCKE: SDRAMクロックイネーブル信号/SDRENA(D7/0x39FFC1)="1"の場合
P21 #DWE #GAAS #SDWE	79	I/O	–	P21: 入出力兼用ポート/CFP21(D1/0x402D8)="0"、CFEX2(D2/0x402DF)="0"、およびSDRENA(D7/0x39FFC1)="0"の場合 (デフォルト) #DWE: 連続RASモード用DRAMライト信号出力/CFP21(D1/0x402D8)="1"、CFEX2(D2/0x402DF)="0"、およびSDRENA(D7/0x39FFC1)="0"の場合 #GAAS: GA用エリアアドレスストローブ出力/CFEX2(D2/0x402DF)="1"およびSDRENA(D7/0x39FFC1)="0"の場合 #SDWE: SDRAMライト信号/SDRENA(D7/0x39FFC1)="1"の場合
P31 #BUSGET #GARD GPIO2	74	I/O	–	P31: 入出力兼用ポート/CFP31(D1/0x402DC)="0"およびCFEX3(D3/0x402DF)="0"の場合 (デフォルト) #BUSGET: バス解放要求用バス状態モニタ信号出力/CFP31(D1/0x402DC)="1"およびCFEX3(D3/0x402DF)="0"の場合 #GARD: GA用エリアリード信号出力/CFEX3(D3/0x402DF)="1"の場合 GPIO2: LCDC汎用入出力ポート/LCDCEN(D5/0x39FFE3)="1"およびBREQEN(D2/0x39FFFD)="0"
EA10MD1	123	I	Pull-up	エリア10ブートモード選択 EA10MD1 / EA10MD0 / モード 1 / 1 / 外部ROMモード 1 / 0 / 内蔵ROMモード
EA10MD0	124	I	–	

表 1.3.3 HSDMA制御信号端子一覧

端子名	端子No.	I/O	Pull-up	機　能
K50 #DMAREQ0	41	I	Pull-up	K50: 入力ポート/CFK50(D0/0x402C0)="0"の場合 (デフォルト) #DMAREQ0: HSDMA Ch.0要求入力CFK50(D0/0x402C0)="1"の場合
K51 #DMAREQ1	40	I	Pull-up	K51: 入力ポート/CFK51(D1/0x402C0)="0"の場合 (デフォルト) #DMAREQ1: HSDMA Ch.1要求入力CFK51(D1/0x402C0)="1"の場合
K53 #DMAREQ2	38	I	Pull-up	K53: 入力ポート/CFK53(D3/0x402C0)="0"の場合 (デフォルト) #DMAREQ2: HSDMA Ch.2要求入力CFK53(D3/0x402C0)="1"の場合
K54 #DMAREQ3	37	I	Pull-up	K54: 入力ポート/CFK54(D4/0x402C0)="0"の場合 (デフォルト) #DMAREQ3: HSDMA Ch.3要求入力CFK54(D4/0x402C0)="1"の場合
P32 #DMAACK0 #SRDY3 HDQM	73	I/O	–	P32: 入出力兼用ポート/CFP32(D2/0x402DC)="0"およびSDRENA(D7/0x39FFC1)="0"の場合 (デフォルト) #DMAACK0: HSDMA Ch.0応答出力/CFP32(D2/0x402DC)="1"およびSDRENA(D7/0x39FFC1)="0"の場合 #SRDY3: シリアルI/F Ch.3レディ信号入出力/SSRDY3(D3/0x402D7)="1"、CFP32(D2/0x402DC)="0"、およびSDRENA(D7/0x39FFC1)="0"の場合 HDQM: SDRAMデータ(上位バイト)入出力マスク信号/SDRENA(D7/0x39FFC1)="1"の場合
P33 #DMAACK1 SIN3 SDA10	72	I/O	–	P33: 入出力兼用ポート/CFP33(D3/0x402DC)="0"およびSDRENA(D7/0x39FFC1)="0"の場合 (デフォルト) #DMAACK1: HSDMA Ch.1応答出力/CFP33(D3/0x402DC)="1"およびSDRENA(D7/0x39FFC1)="0"の場合 SIN3: シリアルI/F Ch.3データ入力/SSIN3(D0/0x402D7)="1"、CFP33(D3/0x402DC)="0"、およびSDRENA(D7/0x39FFC1)="0"の場合 SDA10: SDRAMアドレスバスビット10/SDRENA(D7/0x39FFC1)="1"の場合
P04 SIN1 #DMAACK2	12	I/O	–	P04: 入出力兼用ポート/CFP04(D4/0x402D0)="0"およびCFEX4(D4/0x402DF)="0"の場合 (デフォルト) SIN1: シリアルI/F Ch.1データ入力/CFP04(D4/0x402D0)="1"およびCFEX4(D4/0x402DF)="0"の場合 #DMAACK2: HSDMA Ch.2応答出力/CFEX4(D4/0x402DF)="1"の場合
P06 #SCLK1 #DMAACK3	10	I/O	–	P06: 入出力兼用ポート/CFP06(D6/0x402D0)="0"およびCFEX6(D6/0x402DF)="0"の場合 (デフォルト) #SCLK1: シリアルI/F Ch.1クロック入出力/CFP06(D6/0x402D0)="1"およびCFEX6(D6/0x402DF)="0"の場合 #DMAACK3: HSDMA Ch.3応答出力/CFEX6(D6/0x402DF)="1"の場合
P15 EXCL4 #DMAEND0 #SCLK3 LDQM	84	I/O	–	P15: 入出力兼用ポート/CFP15(D5/0x402D4)="0"およびSDRENA(D7/0x39FFC1)="0"の場合 (デフォルト) EXCL4: 16ビットタイマ4イベントカウンタ入力/CFP15(D5/0x402D4)="1"、IOC15(D5/0x402D6)="0"、およびSDRENA(D7/0x39FFC1)="0"の場合 #DMAEND0: HSDMA Ch.0転送終了信号出力/CFP15(D5/0x402D4)="1"、IOC15(D5/0x402D6)="1"、およびSDRENA(D7/0x39FFC1)="0"の場合 #SCLK3: シリアルI/F Ch.3クロック入出力/SSCLK3(D2/0x402D7)="1"、CFP15(D5/0x402D4)="0"、およびSDRENA(D7/0x39FFC1)="0"の場合 LDQM: SDRAMデータ(下位バイト)入出力マスク信号/SDRENA(D7/0x39FFC1)="1"の場合
P16 EXCL5 #DMAEND1 SOUT3	83	I/O	–	P16: 入出力兼用ポート/CFP16(D6/0x402D4)="0"の場合 (デフォルト) EXCL5: 16ビットタイマ5イベントカウンタ入力/CFP16(D6/0x402D4)="1"およびIOC16(D6/0x402D6)="0"の場合 #DMAEND1: HSDMA Ch.1転送終了信号出力/CFP16(D6/0x402D4)="1"およびIOC16(D6/0x402D6)="1"の場合 SOUT3: シリアルI/F Ch.3データ出力/SSOUT3(D1/0x402D7)="1"およびCFP16(D6/0x402D4)="0"の場合
P05 SOUT1 #DMAEND2	11	I/O	–	P05: 入出力兼用ポート/CFP05(D5/0x402D0)="0"およびCFEX5(D5/0x402DF)="0"の場合 (デフォルト) SOUT1: シリアルI/F Ch.1データ出力/CFP05(D5/0x402D0)="1"およびCFEX5(D5/0x402DF)="0"の場合 #DMAEND2: HSDMA Ch.2転送終了信号出力/CFEX5(D5/0x402DF)="1"の場合
P07 #SRDY1 #DMAEND3	9	I/O	–	P07: 入出力兼用ポート/CFP07(D7/0x402D0)="0"およびCFEX7(D7/0x402DF)="0"の場合 (デフォルト) #SRDY1: シリアルI/F Ch.1レディ信号入出力/CFP07(D7/0x402D0)="1"およびCFEX5(D5/0x402DF)="0"の場合 #DMAEND3: HSDMA Ch.3転送終了信号出力/CFEX7(D7/0x402DF)="1"の場合

表 1.3.4 内部周辺回路I/O端子一覧

端子名	端子No.	I/O	Pull-up	機　能
K50 #DMAREQ0	41	I	Pull-up	K50: 入力ポート/CFK50(D0/0x402C0)="0"の場合 (デフォルト) #DMAREQ0: HSDMA Ch.0要求入力CFK50(D0/0x402C0)="1"の場合
K51 #DMAREQ1	40	I	Pull-up	K51: 入力ポート/CFK51(D1/0x402C0)="0"の場合 (デフォルト) #DMAREQ1: HSDMA Ch.1要求入力CFK51(D1/0x402C0)="1"の場合
K52 #ADTRG	39	I	Pull-up	K52: 入力ポート/CFK52(D2/0x402C0)="0"の場合 (デフォルト) #ADTRG: A/D変換器トリガ入力/CFK52(D2/0x402C0)="1"の場合
K53 #DMAREQ2	38	I	Pull-up	K53: 入力ポート/CFK53(D3/0x402C0)="0"の場合 (デフォルト) #DMAREQ2: HSDMA Ch.2要求入力CFK53(D3/0x402C0)="1"の場合
K54 #DMAREQ3	37	I	Pull-up	K54: 入力ポート/CFK54(D4/0x402C0)="0"の場合 (デフォルト) #DMAREQ3: HSDMA Ch.3要求入力CFK54(D4/0x402C0)="1"の場合
K60 AD0	35	I	–	K60: 入力ポート/CFK60(D0/0x402C3)="0"の場合 (デフォルト) AD0: A/D変換器Ch.0入力/CFK60(D0/0x402C3)="1"の場合
K61 AD1	34	I	–	K61: 入力ポート/CFK61(D1/0x402C3)="0"の場合 (デフォルト) AD1: A/D変換器Ch.1入力/CFK61(D1/0x402C3)="1"の場合
K62 AD2	33	I	–	K62: 入力ポート/CFK62(D2/0x402C3)="0"の場合 (デフォルト) AD2: A/D変換器Ch.2入力/CFK62(D2/0x402C3)="1"の場合
K63 AD3	32	I	–	K63: 入力ポート/CFK63(D3/0x402C3)="0"の場合 (デフォルト) AD3: A/D変換器Ch.3入力/CFK63(D3/0x402C3)="1"の場合
K64 AD4	31	I	–	K64: 入力ポート/CFK64(D4/0x402C3)="0"の場合 (デフォルト) AD4: A/D変換器Ch.4入力/CFK64(D4/0x402C3)="1"の場合
K65 AD5	30	I	–	K65: 入力ポート/CFK65(D5/0x402C3)="0"の場合 (デフォルト) AD5: A/D変換器Ch.5入力/CFK65(D5/0x402C3)="1"の場合
K66 AD6	29	I	–	K66: 入力ポート/CFK66(D6/0x402C3)="0"の場合 (デフォルト) AD6: A/D変換器Ch.6入力/CFK66(D6/0x402C3)="1"の場合
K67 AD7	28	I	–	K67: 入力ポート/CFK67(D7/0x402C3)="0"の場合 (デフォルト) AD7: A/D変換器Ch.7入力/CFK67(D7/0x402C3)="1"の場合
P00 SIN0	144	I/O	–	P00: 入出力兼用ポート/CFP00(D0/0x402D0)="0"の場合 (デフォルト) SIN0: シリアルI/F Ch.0データ入力/CFP00(D0/0x402D0)="1"の場合
P01 SOUT0	143	I/O	–	P01: 入出力兼用ポート/CFP01(D1/0x402D0)="0"の場合 (デフォルト) SOUT0: シリアルI/F Ch.0データ出力/CFP01(D1/0x402D0)="1"の場合
P02 #SCLK0	142	I/O	–	P02: 入出力兼用ポート/CFP02(D2/0x402D0)="0"の場合 (デフォルト) #SCLK0: シリアルI/F Ch.0クロック入出力/CFP02(D2/0x402D0)="1"の場合
P03 #SRDY0	141	I/O	–	P03: 入出力兼用ポート/CFP03(D3/0x402D0)="0"の場合 (デフォルト) #SRDY0: シリアルI/F Ch.0レディ信号入出力/CFP03(D3/0x402D0)="1"の場合
P04 SIN1 #DMAACK2	12	I/O	–	P04: 入出力兼用ポート/CFP04(D4/0x402D0)="0"およびCFEX4(D4/0x402DF)="0"の場合 (デフォルト) SIN1: シリアルI/F Ch.1データ入力/CFP04(D4/0x402D0)="1"およびCFEX4(D4/0x402DF)="0"の場合 #DMAACK2: HSDMA Ch.2応答出力/CFEX4(D4/0x402DF)="1"の場合
P05 SOUT1 #DMAEND2	11	I/O	–	P05: 入出力兼用ポート/CFP05(D5/0x402D0)="0"およびCFEX5(D5/0x402DF)="0"の場合 (デフォルト) SOUT1: シリアルI/F Ch.1データ出力/CFP05(D5/0x402D0)="1"およびCFEX5(D5/0x402DF)="0"の場合 #DMAEND2: HSDMA Ch.2転送終了信号出力/CFEX5(D5/0x402DF)="1"の場合
P06 #SCLK1 #DMAACK3	10	I/O	–	P06: 入出力兼用ポート/CFP06(D6/0x402D0)="0"およびCFEX6(D6/0x402DF)="0"の場合 (デフォルト) #SCLK1: シリアルI/F Ch.1クロック入出力/CFP06(D6/0x402D0)="1"およびCFEX6(D6/0x402DF)="0"の場合 #DMAACK3: HSDMA Ch.3応答出力/CFEX6(D6/0x402DF)="1"の場合
P07 #SRDY1 #DMAEND3	9	I/O	–	P07: 入出力兼用ポート/CFP07(D7/0x402D0)="0"およびCFEX7(D7/0x402DF)="0"の場合 (デフォルト) #SRDY1: シリアルI/F Ch.1レディ信号入出力/CFP07(D7/0x402D0)="1"およびCFEX5(D5/0x402DF)="0"の場合 #DMAEND3: HSDMA Ch.3転送終了信号出力/CFEX7(D7/0x402DF)="1"の場合
P10 EXCL0 T8UF0 DST0	122	I/O	–	P10: 入出力兼用ポート/CFP10(D0/0x402D4)="0"およびCFEX1(D1/0x402DF)="0"の場合 EXCL0: 16ビットタイマ0イベントカウンタ入力/CFP10(D0/0x402D4)="1"、IOC10(D0/0x402D6)="0"、およびCFEX1(D1/0x402DF)="0"の場合 T8UF0: 8ビットタイマ0出力/CFP10(D0/0x402D4)="1"、IOC10(D0/0x402D6)="1"、およびCFEX1(D1/0x402DF)="0"の場合 DST0: DST0信号出力/CFEX1(D1/0x402DF)="1"の場合 (デフォルト)

A-1

端子名	端子No.	I/O	Pull-up	機　能
P11 EXCL1 T8UF1 DST1	121	I/O	–	P11: 入出力兼用ポート/CFP11(D1/0x402D4)="0"およびCFEX1(D1/0x402DF)="0"の場合 EXCL1: 16ビットタイマ1イベントカウンタ入力/CFP11(D1/0x402D4)= "1"、IOC11(D1/0x402D6)="0"およびCFEX1(D1/0x402DF)="0"の場合 T8UF1: 8ビットタイマ1出力/CFP11(D1/0x402D4)="1"、IOC11(D1/0x402D6)="1"およびCFEX1(D1/0x402DF)="0"の場合 DST1: DST1信号出力/CFEX1(D1/0x402DF)="1"の場合 (デフォルト)
P12 EXCL2 T8UF2 DST2	120	I/O	–	P12: 入出力兼用ポート/CFP12(D2/0x402D4)="0"およびCFEX0(D0/0x402DF)="0"の場合 EXCL2: 16ビットタイマ2イベントカウンタ入力/CFP12(D2/0x402D4)= "1"、IOC12(D2/0x402D6)="0"およびCFEX0(D0/0x402DF)="0"の場合 T8UF2: 8ビットタイマ2出力/CFP12(D2/0x402D4)="1"、IOC12(D2/0x402D6)="1"およびCFEX0(D0/0x402DF)="0"の場合 DST2: DST2信号出力/CFEX0(D0/0x402DF)="1"の場合 (デフォルト)
P13 EXCL3 T8UF3 DPCO	119	I/O	–	P13: 入出力兼用ポート/CFP13(D3/0x402D4)="0"およびCFEX1(D1/0x402DF)="0"の場合 EXCL3: 16ビットタイマ3イベントカウンタ入力/CFP13(D3/0x402D4)="1"、IOC13(D3/0x402D6)="0"およびCFEX1(D1/0x402DF)="0"の場合 T8UF3: 8ビットタイマ3出力/CFP13(D3/0x402D4)="1"、IOC13(D3/0x402D6)="1"およびCFEX1(D1/0x402DF)="0"の場合 DPCO: DPCO信号出力/CFEX1(D1/0x402DF)="1"の場合 (デフォルト)
P14 FOSC1 DCLK	118	I/O	–	P14: 入出力兼用ポート/CFP14(D4/0x402D4)="0"およびCFEX0(D0/0x402DF)="0"の場合 FOSC1: OSC1クロック出力/CFP14(D4/0x402D4)="1"およびCFEX0(D0/0x402DF)="0"の場合 DCLK: DCLK信号出力/CFEX0(D0/0x402DF)="1"の場合 (デフォルト)
P15 EXCL4 #DMAEND0 #SCLK3 LDQM	84	I/O	–	P15: 入出力兼用ポート/CFP15(D5/0x402D4)="0"およびSDRENA(D7/0x39FFC1)="0"の場合 (デフォルト) EXCL4: 16ビットタイマ4イベントカウンタ入力/CFP15(D5/0x402D4)="1"、IOC15(D5/0x402D6)="0"、およびSDRENA(D7/0x39FFC1)="0"の場合 #DMAEND0: HSDMA Ch.0転送終了信号出力/CFP15(D5/0x402D4)="1"、IOC15(D5/0x402D6)="1"、およびSDRENA(D7/0x39FFC1)="0"の場合 #SCLK3: シリアルI/F Ch.3クロック入出力/SSCLK3(D2/0x402D7)="1"、CFP15(D5/0x402D4)="0"、およびSDRENA(D7/0x39FFC1)="0"の場合 LDQM: SDRAMデータ(下位バイト)入出力マスク信号/SDRENA(D7/0x39FFC1)="1"の場合
P16 EXCL5 #DMAEND1 SOUT3	83	I/O	–	P16: 入出力兼用ポート/CFP16(D6/0x402D4)="0"の場合 (デフォルト) EXCL5: 16ビットタイマ5イベントカウンタ入力/CFP16(D6/0x402D4)="1"およびIOC16(D6/0x402D6)="0"の場合 #DMAEND1: HSDMA Ch.1転送終了信号出力/CFP16(D6/0x402D4)="1"およびIOC16(D6/0x402D6)="1"の場合 SOUT3: シリアルI/F Ch.3データ出力/SSOUT3(D1/0x402D7)="1"およびCFP16(D6/0x402D4)="0"の場合
P20 #DRD SDCKE	80	I/O	–	P20: 入出力兼用ポート/CFP20(D0/0x402D8)="0"およびSDRENA(D7/0x39FFC1)="0"の場合 (デフォルト) #DRD: 連続RASモード用DRAMリード信号出力/CFP20(D0/0x402D8)="1"およびSDRENA(D7/0x39FFC1)="0"の場合 SDCKE: SDRAMクロックイネーブル信号/SDRENA(D7/0x39FFC1)="1"の場合
P21 #DWE #GAAS #SDWE	79	I/O	–	P21: 入出力兼用ポート/CFP21(D1/0x402D8)="0"、CFEX2(D2/0x402DF)="0"、およびSDRENA(D7/0x39FFC1)="0"の場合 (デフォルト) #DWE: 連続RASモード用DRAMライト信号出力/CFP21(D1/0x402D8)="1"、CFEX2(D2/0x402DF)="0"、およびSDRENA(D7/0x39FFC1)="0"の場合 #GAAS: GA用エリアアドレスストローブ出力/CFEX2(D2/0x402DF)="1"およびSDRENA(D7/0x39FFC1)="0"の場合 #SDWE: SDRAMライト信号/SDRENA(D7/0x39FFC1)="1"の場合
P22 TM0	1	I/O	–	P22: 入出力兼用ポート/CFP22(D2/0x402D8)="0"の場合 (デフォルト) TM0: 16ビットタイマ0出力/CFP22(D2/0x402D8)="1"の場合
P23 TM1	2	I/O	–	P23: 入出力兼用ポート/CFP23(D3/0x402D8)="0"の場合 (デフォルト) TM1: 16ビットタイマ1出力/CFP23(D3/0x402D8)="1"の場合
P24 TM2 #SRDY2	4	I/O	–	P24: 入出力兼用ポート/CFP24(D4/0x402D8)="0"の場合 (デフォルト) TM2: 16ビットタイマ2出力/CFP24(D4/0x402D8)="1"の場合 #SRDY2: シリアルI/F Ch.2レディ信号入出力/SSRDY2(D3/0x402DB)="1"およびCFP24(D4/0x402D8)="0"の場合
P25 TM3 #SCLK2	5	I/O	–	P25: 入出力兼用ポート/CFP25(D5/0x402D8)="0"の場合 (デフォルト) TM3: 16ビットタイマ3出力/CFP25(D5/0x402D8)="1"の場合 #SCLK2: シリアルI/F Ch.2クロック入出力/SSCLK2(D2/0x402DB)="1"およびCFP25(D5/0x402D8)="0"の場合

端子名	端子No.	I/O	Pull-up	機　能
P26 TM4 SOUT2	6	I/O	–	P26: 入出力兼用ポート/CFP26(D6/0x402D8)="0"の場合 (デフォルト) TM4: 16ビットタイマ4出力/CFP26(D6/0x402D8)="1"の場合 SOUT2: シリアルI/F Ch.2データ出力/SSOUT2(D1/0x402DB)="1"およびCFP26 (D6/0x402D8)="0"の場合
P27 TM5 SIN2	7	I/O	–	P27: 入出力兼用ポート/CFP27(D7/0x402D8)="0"の場合 (デフォルト) TM5: 16ビットタイマ5出力/CFP27(D7/0x402D8)="1"の場合 SIN2: シリアルI/F Ch.2データ入力/SSIN2(D0/0x402DB)="1"およびCFP27 (D7/0x402D8)="0"の場合
P30 #WAIT #CE4&5	75	I/O	–	P30: 入出力兼用ポート/CFP30(D0/0x402DC)="0"の場合 (デフォルト) #WAIT: ウェイトサイクル要求入力/CFP30(D0/0x402DC)="1"の場合 #CE4&5: エリア4&5チップイネーブル/CFP30(D0/0x402DC)="1"および IOC30(D0/0x402DE)="1"の場合
P31 #BUSGET #GARD GPIO2	74	I/O	–	P31: 入出力兼用ポート/CFP31(D1/0x402DC)="0"およびCFEX3(D3/0x402DF)="0" の場合 (デフォルト) #BUSGET: バス解放要求用バス状態モニタ信号出力/CFP31(D1/0x402DC)="1"および CFEX3(D3/0x402DF)="0"の場合 #GARD: GA用エリアリード信号出力/CFEX3(D3/0x402DF)="1"の場合 GPIO2: LCDC汎用入出力ポート/LCDCEN(D5/0x39FFE3)="1"およびBREQEN (D2/0x39FFFD)="0"
P32 #DMAACK0 #SRDY3 HDQM	73	I/O	–	P32: 入出力兼用ポート/CFP32(D2/0x402DC)="0"およびSDRENA(D7/0x39FFC1) ="0"の場合 (デフォルト) #DMAACK0: HSDMA Ch.0応答出力/CFP32(D2/0x402DC)="1"およびSDRENA (D7/0x39FFC1)="0"の場合 #SRDY3: シリアルI/F Ch.3レディ信号入出力/SSRDY3(D3/0x402D7)="1"、CFP32 (D2/0x402DC)="0"、およびSDRENA(D7/0x39FFC1)="0"の場合 HDQM: SDRAMデータ(上位バイト)入出力マスク信号/SDRENA(D7/0x39FFC1)="1" の場合
P33 #DMAACK1 SIN3 SDA10	72	I/O	–	P33: 入出力兼用ポート/CFP33(D3/0x402DC)="0"およびSDRENA(D7/0x39FFC1) ="0"の場合 (デフォルト) #DMAACK1: HSDMA Ch.1応答出力/CFP33(D3/0x402DC)="1"およびSDRENA (D7/0x39FFC1)="0"の場合 SIN3: シリアルI/F Ch.3データ入力/SSIN3(D0/0x402D7)="1"、CFP33(D3/0x402DC) ="0"、およびSDRENA(D7/0x39FFC1)="0"の場合 SDA10: SDRAMアドレスバスビット10/SDRENA(D7/0x39FFC1)="1"の場合
P34 #BUSREQ #CE6 GPIO0	71	I/O	–	P34: 入出力兼用ポート/CFP34(D4/0x402DC)="0"の場合 (デフォルト) #BUSREQ: バス解放要求入力/CFP34(D4/0x402DC)="1"の場合 #CE6: エリア6チップイネーブル/CFP34(D4/0x402DC)="1"およびIOC34 (D4/0x402DE)="1"の場合 GPIO0: LCDC汎用入出力ポート/LCDCEN(D5/0x39FFE3)="1"およびBREQEN (D2/0x39FFFD)="0"
P35 #BUSACK GPIO1	70	I/O	–	P35: 入出力兼用ポート/CFP35(D5/0x402DC)="0"の場合 (デフォルト) #BUSACK: バス解放要求応答出力/CFP35(D5/0x402DC)="1"およびCFP34(D4/0x402DC) ="1"の場合 GPIO1: LCDC汎用入出力ポート/LCDCEN(D5/0x39FFE3)="1"およびBREQEN (D2/0x39FFFD)="0"

表 1.3.5 LCDコントローラ端子一覧

端子名	端子No.	I/O	Pull-up	機　能
FPDAT[7:4]	13–16	O	–	8ビットLCDパネル用データバス上位4ビット 4ビットLCDパネル用データバス
FPDAT[3:0] GPO[6:3]	17–20	O	–	FPDAT[3:0] 8ビットLCDパネル用データバス下位4ビット GPO[6:3] 4ビットLCDパネル使用時は汎用出力ポート
FPFRAME	23	O	–	フレームパルス出力
FPLINE	24	O	–	ラインパルス出力
FPSHIFT	25	O	–	シフトパルス出力
DRDY(MOD) (FPSHIFT2)	22	O	–	MOD: LCDバックプレーンバイアス(8ビットカラーLCDパネル形式1以外) FPSHIFT2: 第2シフトクロック(8ビットカラーLCDパネル形式1)
LCDPWR	26	O	–	LCD電源制御出力(アクティブHigh)

表 1.3.6 クロックジェネレータ端子一覧

端子名	端子No.	I/O	Pull-up	機　能
OSC1	68	I	–	低速(OSC1)発振入力 (32kHz水晶発振、または外部クロック入力)
OSC2	67	O	–	低速(OSC1)発振出力
OSC3	129	I	–	高速(OSC3)発振入力 (水晶/セラミック発振、または外部クロック入力)
OSC4	128	O	–	高速(OSC3)発振出力
PLLS[1:0]	112,113	I	–	PLL設定端子 PLLS1 / PLLS0 / fin (f_{OSC3}) / fout (f_{PSCIN}) 1 / 1 / 10〜25MHz / 20〜50MHz 0 / 1 / 10〜12.5MHz / 40〜50MHz 0 / 0 / PLL未使用 / L
PLLC	115	–	–	PLL用コンデンサ接続端子

表 1.3.7 その他の端子

端子名	端子No.	I/O	Pull-up /down	機　能
ICEMD	125	I	Pull-down	ハイインピーダンス制御端子 本端子をHighに設定することにより、すべての出力端子がハイインピーダンスになります。これにより、ボード上のS1C33チップをシステムから切り離すことができます。
DSIO	117	I/O	Pull-up	デバッグ用シリアル入出力端子 本端子はデバッグツールS5U1C33000Hとの通信に使用します。
#X2SPD	140	I	–	倍速モード設定端子 1: CPUクロック=バスクロック×1, 0: CPUクロック=バスクロック×2
#NMI	130	I	Pull-up	NMI要求入力端子
#RESET	69	I	Pull-up	イニシャルリセット入力端子

注: 端子名の#は、入出力する信号がLowアクティブであることを示します。

2 電源

この章ではS1C33L03の動作電圧について説明します。

2.1 電源端子

S1C33L03の電源端子を表 2.1.1に示します。

表 2.1.1 **電源端子**

端子名	端子No.	機　　能
VDD	8,51,78,127	**内部ロジック用電源端子**(+)
VSS	3,27,45,66,82,98,105,114,116,136	**電源端子**(-)GND
VDDE	21,59,91,132	I/O**用電源端子**(+)
AVDDE	36	**アナログ系電源端子**(+)　AVDDE = VDDE

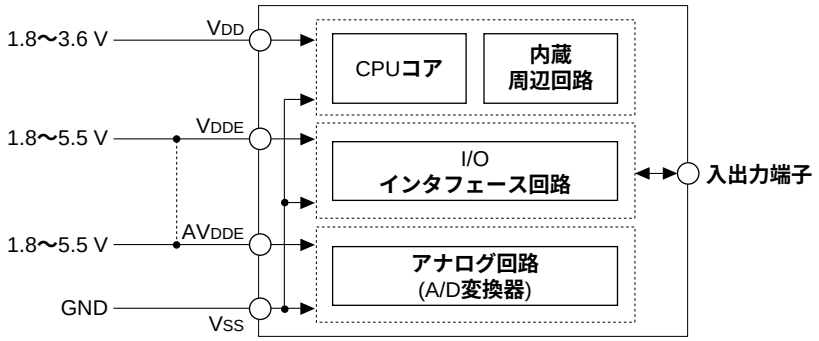


図 2.1.1 **電源系**

2.2 動作電圧 (VDD, VSS)

S1C33L03のコアCPUおよび内部周辺回路は、VDD〜VSS間に供給される電源電圧によって動作します。この動作電圧は、次のとおりです。

VDD = 1.8V〜3.6V (VSS = GND)

注: S1C33L03**は4本の**VDD**端子と**10**本の**VSS**端子を持っています。これらすべての端子を電源に接続し、開放しないでください。**

なお、上記動作電圧による動作周波数範囲(OSC3)は5MHz〜50MHzです。

2.3 I/Oインタフェース電源 (V_{DDE})

VDDE電圧は外部信号とのインタフェースに使用します。S1C33L03の出力インタフェースレベルは、HighレベルがV_{DDE}、LowレベルがV_{SS}となります。
通常はVDDと同一の電圧レベルをVDDEに供給します。5Vインタフェース用に、VDDとは別電源を使用することもできます。GNDレベルにはVDD端子と共通のVSS端子を使用します。
VDDEには次の電圧が使用可能です。

V_{DDE} = 1.8V～5.5V (V_{SS} = GND)

注: • **S1C33L03は4本のVDDE端子を持っています。これらすべての端子を電源に接続し、開放しないでください。**

- **OSC1、OSC3端子に外部クロックを入力する場合、クロックの電圧レベルはVDDとしてください。**
- **DSIO、P10、P11、P12、P13、P14端子はVDD電圧でインタフェースされます。**

2.4 アナログ回路用電源 (AV_{DDE})

内蔵のアナログ回路(A/D変換器)がデジタル回路の影響を受けないように、前記の電源端子とは別にアナログ回路用の電源端子(AVDDE)が設けられています。
アナログ回路の電源電圧はAVDDE端子に供給し、VSS端子をGNDレベルとしてください。
AVDDEにはVDDEと同じ電圧レベルを供給してください。

AV_{DDE} = V_{DDE}, V_{SS} = GND

注: **アナログ回路を使用しない場合でも、必ずAVDDE端子にVDDE電圧を供給してください。**

アナログ電源ライン上のノイズはA/D変換精度に影響するため、使用する電源と基板パターンの作成には注意が必要です。

3 内蔵メモリ

この章では、S1C33L03に内蔵されるメモリの構成について説明します。

図 3.1にS1C33L03のメモリマップを示します。

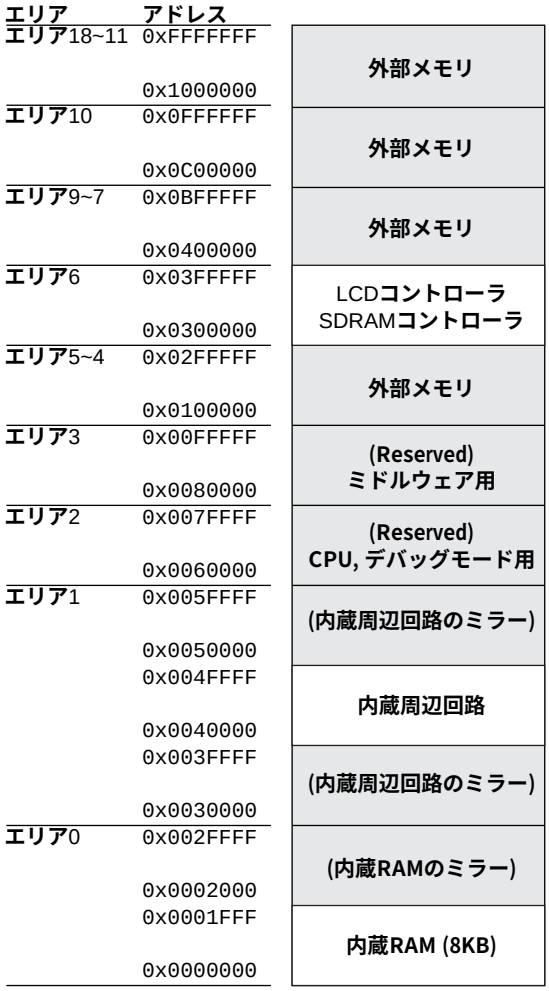


図 3.1 メモリマップ

エリア2はデバッグモード専用の領域です。ユーザーモード(通常のプログラム実行状態)からはアクセスすることができません。

3.1 ROMとブートアドレス

S1C33L03はROMを内蔵していません。ブートアドレスが0x0C00000に固定されていますので、エリア10に外部ROM/Flashを使用してください。

エリア10の設定については、本マニュアル"S1C33L03 FUNCTION PART"の"BCU(バスコントロールユニット)"を参照してください。

3.2 RAM

S1C33L03は8KBのRAMを内蔵しています。このRAMはエリア0のアドレス0x0000000～0x0001FFFに割り付けられています。
内蔵RAMはデバイスサイズは32ビットで、バイト、ハーフワード、ワードデータが1サイクルで読み出し/書き込み可能です。

4 周辺回路

以下に、内蔵周辺回路の一覧とI/Oメモリマップを示します。各周辺回路の詳細については、本マニュアル"S1C33L03 FUNCTION PART"を参照してください。

4.1 周辺回路一覧

S1C33L03はC33コアブロック、C33 SDRAMコントローラブロック、C33周辺回路ブロック、C33 DMAブロック、C33アナログブロック、C33 LCDコントローラブロックで構成されています。

C33コアブロック

CPU	32ビットRISC型CPU S1C33000
BCU (バスコントロールユニット)	24ビット外部アドレスバス、16ビットデータバス BCUの全機能を使用可能
ITC (割り込みコントローラ)	39種類の割り込みが使用可能
CLG (クロックジェネレータ)	OSC3発振回路(33MHz Max.)、PLL OSC1発振回路(32.768kHz Typ.)
DBG (デバッグユニット)	S5U1C33000H(In-Circuit Debugger for S1C33 Family)によるデバッグ用機能ブロック

C33 SDRAMコントローラブロック

SDRAMインタフェース	最大で128MビットSDRAM×2個または256MビットSDRAM×1個(32MB)を直接接続可能

C33周辺回路ブロック

プリスケーラ	周辺回路用クロックをプログラマブルに設定可能
8ビットプログラマブルタイマ	6チャネル(クロック出力機能付き)
16ビットプログラマブルタイマ	6チャネル(イベントカウンタ、クロック出力、ウォッチドッグタイマ機能付き)
シリアルインタフェース	4チャネル(調歩同期式、クロック同期式、IrDA選択可能)
入出力ポート	入力ポート: 13ビット、入出力兼用ポート: 29ビット (周辺回路の入出力として使用)
計時タイマ	1チャネル(アラーム機能付き)

C33 DMAブロック

HSDMA (高速DMA)	4チャネル
IDMA (インテリジェントDMA)	128チャネル

C33アナログブロック

A/D変換器	10ビットA/D変換器(入力: 8チャネル)

C33 LCDコントローラブロック

LCDコントローラ	4または8ビットモノクロ/カラーLCDインタフェース 2、4または16階調(1、2または4bpp)グレースケール表示 2、4、16または256色(1、2、4または8bpp)カラー表示 表示解像度の例　1bppのカラー深度で640×480ピクセル 2bppのカラー深度で640×240ピクセル 4bppのカラー深度で320×240ピクセル 8bppのカラー深度で240×160ピクセル

4.2 I/Oメモリマップ

表 4.2.1 I/Oメモリマップ

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
8bitタイマ4/5 クロック選択 レジスタ	0040140 (B)	D7–2	–	reserved	–	–	–	読み出し時: 0
		D1	P8TPCK5	8bitタイマ5クロック選択	1 θ/1 0 分周クロック	0	R/W	θ: プリスケーラクロック選択レジスタ (0x40181)で選択
		D0	P8TPCK4	8bitタイマ4クロック選択	1 θ/1 0 分周クロック	0	R/W	
8bitタイマ4/5 クロック コントロール レジスタ	0040145 (B)	D7	P8TON5	8bitタイマ5クロック制御	1 On 0 Off	0	R/W	
		D6	P8TS52	8bitタイマ5 クロック分周比選択	1 1 1 θ/256	0	R/W	θ: プリスケーラクロック選択レジスタ (0x40181)で選択 8bitタイマ5は シリアルI/F Ch.3の クロックを生成
		D5	P8TS51		1 1 0 θ/128	0	R/W	
		D4	P8TS50		1 0 1 θ/64	0	R/W	
					1 0 0 θ/32			
					0 1 1 θ/16			
					0 1 0 θ/8			
					0 0 1 θ/4			
					0 0 0 θ/2			
		D3	P8TON4	8bitタイマ4クロック制御	1 On 0 Off	0	R/W	
		D2	P8TS42	8bitタイマ4 クロック分周比選択	1 1 1 θ/4096	0	R/W	θ: プリスケーラクロック選択レジスタ (0x40181)で選択 8bitタイマ4は シリアルI/F Ch.2の クロックを生成
		D1	P8TS41		1 1 0 θ/2048	0	R/W	
		D0	P8TS40		1 0 1 θ/64	0	R/W	
					1 0 0 θ/32			
					0 1 1 θ/16			
					0 1 0 θ/8			
					0 0 1 θ/4			
					0 0 0 θ/2			
8bitタイマ クロック選択 レジスタ	0040146 (B)	D7–4	–	reserved	–	–	–	読み出し時: 0
		D3	P8TPCK3	8bitタイマ3クロック選択	1 θ/1 0 分周クロック	0	R/W	θ: プリスケーラクロック選択レジスタ (0x40181)で選択
		D2	P8TPCK2	8bitタイマ2クロック選択	1 θ/1 0 分周クロック	0	R/W	
		D1	P8TPCK1	8bitタイマ1クロック選択	1 θ/1 0 分周クロック	0	R/W	
		D0	P8TPCK0	8bitタイマ0クロック選択	1 θ/1 0 分周クロック	0	R/W	
16bitタイマ0 クロック コントロール レジスタ	0040147 (B)	D7–4	–	reserved	–	–	–	読み出し時: 0
		D3	P16TON0	16bitタイマ0クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS02	16bitタイマ0 クロック分周比選択	P16TS0[2:0] 分周比	0	R/W	θ: プリスケーラクロック選択レジスタ (0x40181)で選択 16bitタイマ0は ウォッチドッグタイマとして使用可
		D1	P16TS01		1 1 1 θ/4096	0		
		D0	P16TS00		1 1 0 θ/1024	0		
					1 0 1 θ/256			
					1 0 0 θ/64			
					0 1 1 θ/16			
					0 1 0 θ/4			
					0 0 1 θ/2			
					0 0 0 θ/1			
16bitタイマ1 クロック コントロール レジスタ	0040148 (B)	D7–4	–	reserved	–	–	–	読み出し時: 0
		D3	P16TON1	16bitタイマ1クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS12	16bitタイマ1 クロック分周比選択	P16TS1[2:0] 分周比	0	R/W	θ: プリスケーラクロック選択レジスタ (0x40181)で選択
		D1	P16TS11		1 1 1 θ/4096	0		
		D0	P16TS10		1 1 0 θ/1024	0		
					1 0 1 θ/256			
					1 0 0 θ/64			
					0 1 1 θ/16			
					0 1 0 θ/4			
					0 0 1 θ/2			
					0 0 0 θ/1			
16bitタイマ2 クロック コントロール レジスタ	0040149 (B)	D7–4	–	reserved	–	–	–	読み出し時: 0
		D3	P16TON2	16bitタイマ2クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS22	16bitタイマ2 クロック分周比選択	P16TS2[2:0] 分周比	0	R/W	θ: プリスケーラクロック選択レジスタ (0x40181)で選択
		D1	P16TS21		1 1 1 θ/4096	0		
		D0	P16TS20		1 1 0 θ/1024	0		
					1 0 1 θ/256			
					1 0 0 θ/64			
					0 1 1 θ/16			
					0 1 0 θ/4			
					0 0 1 θ/2			
					0 0 0 θ/1			

[アドレス]の(B)は8ビットレジスタ、(HW)は16ビットレジスタを示しています。

[Init.]のシンボルの意味は次のとおりです。

0, 1: イニシャルリセット時、記載の値に初期化されます。
(ただし、バスと入出力ポートのレジスタはホットスタートでは初期化されません。)

X: イニシャルリセットで初期化されません。

–: 回路上設定されません。

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈
16bitタイマ3 クロック コントロール レジスタ	004014A (B)	D7–4	–	reserved	–				–	–	読み出し時: 0
		D3	P16TON3	16bitタイマ3クロック制御	1	On	0	Off	0	R/W	
		D2	P16TS32	16bitタイマ3 クロック分周比選択	P16TS3[2:0]			分周比	0	R/W	θ: プリスケーラクロック選択レジスタ (0x40181)で選択
		D1	P16TS31		1	1	1	θ/4096	0		
		D0	P16TS30		1	1	0	θ/1024	0		
					1	0	1	θ/256			
					1	0	0	θ/64			
					0	1	1	θ/16			
					0	1	0	θ/4			
					0	0	1	θ/2			
					0	0	0	θ/1			
16bitタイマ4 クロック コントロール レジスタ	004014B (B)	D7–4	–	reserved	–				–	–	読み出し時: 0
		D3	P16TON4	16bitタイマ4クロック制御	1	On	0	Off	0	R/W	
		D2	P16TS42	16bitタイマ4 クロック分周比選択	P16TS4[2:0]			分周比	0	R/W	θ: プリスケーラクロック選択レジスタ (0x40181)で選択
		D1	P16TS41		1	1	1	θ/4096	0		
		D0	P16TS40		1	1	0	θ/1024	0		
					1	0	1	θ/256			
					1	0	0	θ/64			
					0	1	1	θ/16			
					0	1	0	θ/4			
					0	0	1	θ/2			
					0	0	0	θ/1			
16bitタイマ5 クロック コントロール レジスタ	004014C (B)	D7–4	–	reserved	–				–	–	読み出し時: 0
		D3	P16TON5	16bitタイマ5クロック制御	1	On	0	Off	0	R/W	
		D2	P16TS52	16bitタイマ5 クロック分周比選択	P16TS5[2:0]			分周比	0	R/W	θ: プリスケーラクロック選択レジスタ (0x40181)で選択
		D1	P16TS51		1	1	1	θ/4096	0		
		D0	P16TS50		1	1	0	θ/1024	0		
					1	0	1	θ/256			
					1	0	0	θ/64			
					0	1	1	θ/16			
					0	1	0	θ/4			
					0	0	1	θ/2			
					0	0	0	θ/1			
8bitタイマ0/1 クロック コントロール レジスタ	004014D (B)	D7	P8TON1	8bitタイマ1クロック制御	1	On	0	Off	0	R/W	
		D6	P8TS12	8bitタイマ1 クロック分周比選択	P8TS1[2:0]			分周比	0	R/W	θ: プリスケーラクロック選択レジスタ (0x40181)で選択 8bitタイマ1は OSC3発振安定時間のクロックを生成
		D5	P8TS11		1	1	1	θ/4096	0		
		D4	P8TS10		1	1	0	θ/2048	0		
					1	0	1	θ/1024			
					1	0	0	θ/512			
					0	1	1	θ/256			
					0	1	0	θ/128			
					0	0	1	θ/64			
					0	0	0	θ/32			
		D3	P8TON0	8bitタイマ0クロック制御	1	On	0	Off	0	R/W	
		D2	P8TS02	8bitタイマ0 クロック分周比選択	P8TS0[2:0]			分周比	0	R/W	θ: プリスケーラクロック選択レジスタ (0x40181)で選択 8bitタイマ0は DRAMリフレッシュのクロックを生成
		D1	P8TS01		1	1	1	θ/256	0		
		D0	P8TS00		1	1	0	θ/128	0		
					1	0	1	θ/64			
					1	0	0	θ/32			
					0	1	1	θ/16			
					0	1	0	θ/8			
					0	0	1	θ/4			
					0	0	0	θ/2			

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
8bitタイマ2/3クロックコントロールレジスタ	004014E (B)	D7	P8TON3	8bitタイマ3クロック制御	1 On 0 Off	0	R/W	
		D6	P8TS32	8bitタイマ3クロック分周比選択	P8TS3[2:0] 分周比	0	R/W	θ: プリスケーラクロック選択レジスタ(0x40181)で選択 8bitタイマ3はシリアルI/F Ch.1のクロックを生成
		D5	P8TS31		1 1 1 θ/256	0		
		D4	P8TS30		1 1 0 θ/128	0		
					1 0 1 θ/64			
					1 0 0 θ/32			
					0 1 1 θ/16			
					0 1 0 θ/8			
					0 0 1 θ/4			
					0 0 0 θ/2			
		D3	P8TON2	8bitタイマ2クロック制御	1 On 0 Off	0	R/W	
		D2	P8TS22	8bitタイマ2クロック分周比選択	P8TS2[2:0] 分周比	0	R/W	θ: プリスケーラクロック選択レジスタ(0x40181)で選択 8bitタイマ2はシリアルI/F Ch.0のクロックを生成
		D1	P8TS21		1 1 1 θ/4096	0		
		D0	P8TS20		1 1 0 θ/2048	0		
					1 0 1 θ/64			
					1 0 0 θ/32			
					0 1 1 θ/16			
					0 1 0 θ/8			
					0 0 1 θ/4			
					0 0 0 θ/2			
A/Dクロックコントロールレジスタ	004014F (B)	D7–4	–	reserved	–	–	–	読み出し時: 0
		D3	PSONAD	A/D変換器クロック制御	1 On 0 Off	0	R/W	
		D2	PSAD2	A/D変換器クロック分周比選択	P8TS0[2:0] 分周比	0	R/W	θ: プリスケーラクロック選択レジスタ(0x40181)で選択
		D1	PSAD1		1 1 1 θ/256	0		
		D0	PSAD0		1 1 0 θ/128	0		
					1 0 1 θ/64			
					1 0 0 θ/32			
					0 1 1 θ/16			
					0 1 0 θ/8			
					0 0 1 θ/4			
					0 0 0 θ/2			
計時タイマRun/Stopレジスタ	0040151 (B)	D7–2	–	reserved	–	–	–	読み出し時: 0
		D1	TCRST	計時タイマリセット	1 リセット 0 無効	X	W	読み出し時: 0
		D0	TCRUN	計時タイマRun/Stop制御	1 Run 0 Stop	X	R/W	
計時タイマ割り込み制御レジスタ	0040152 (B)	D7	TCISE2	計時タイマ割り込み要因選択	TCISE[2:0] 割り込み要因	X	R/W	
		D6	TCISE1		1 1 1 なし	X		
		D5	TCISE0		1 1 0 1日	X		
					1 0 1 1時間			
					1 0 0 1分			
					0 1 1 1Hz			
					0 1 0 2Hz			
					0 0 1 8Hz			
					0 0 0 32Hz			
		D4	TCASE2	計時タイマアラーム要因選択	TCASE[2:0] アラーム要因	X	R/W	
		D3	TCASE1		1 X X 日アラーム	X		
		D2	TCASE0		X 1 X 時間アラーム	X		
					X X 1 分アラーム			
					0 0 0 なし			
		D1	TCIF	割り込み要因発生フラグ	1 要因あり 0 要因なし	X	R/W	"1"書き込みでリセット
		D0	TCAF	アラーム要因発生フラグ	1 要因あり 0 要因なし	X	R/W	"1"書き込みでリセット
計時タイマ分周レジスタ	0040153 (B)	D7	TCD7	計時タイマデータ 1Hz	1 High 0 Low	X	R	
		D6	TCD6	計時タイマデータ 2Hz	1 High 0 Low	X	R	
		D5	TCD5	計時タイマデータ 4Hz	1 High 0 Low	X	R	
		D4	TCD4	計時タイマデータ 8Hz	1 High 0 Low	X	R	
		D3	TCD3	計時タイマデータ 16Hz	1 High 0 Low	X	R	
		D2	TCD2	計時タイマデータ 32Hz	1 High 0 Low	X	R	
		D1	TCD1	計時タイマデータ 64Hz	1 High 0 Low	X	R	
		D0	TCD0	計時タイマデータ 128Hz	1 High 0 Low	X	R	
計時タイマ秒レジスタ	0040154 (B)	D7–6	–	reserved	–	–	–	読み出し時: 0
		D5	TCMD5	計時タイマ秒データ TCMD5 = MSB TCMD0 = LSB	0〜59秒	X	R	
		D4	TCMD4			X		
		D3	TCMD3			X		
		D2	TCMD2			X		
		D1	TCMD1			X		
		D0	TCMD0			X		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
計時タイマ	0040155	D7–6	–	reserved	–	–	–	読み出し時: 0
分レジスタ	(B)	D5	TCHD5	計時タイマ分データ	0～59分	X	R/W	
		D4	TCHD4	TCHD5 = MSB		X		
		D3	TCHD3	TCHD0 = LSB		X		
		D2	TCHD2			X		
		D1	TCHD1			X		
		D0	TCHD0			X		
計時タイマ	0040156	D7–5	–	reserved	–	–	–	読み出し時: 0
時間レジスタ	(B)	D4	TCDD4	計時タイマ時間データ	0～23時	X	R/W	
		D3	TCDD3	TCDD4 = MSB		X		
		D2	TCDD2	TCDD0 = LSB		X		
		D1	TCDD1			X		
		D0	TCDD0			X		
計時タイマ	0040157	D7	TCND7	計時タイマ日データ	0～65535日	X	R/W	
日(下位)	(B)	D6	TCND6	(下位8ビット)	(下位8ビット)	X		
レジスタ		D5	TCND5	TCND0 = LSB		X		
		D4	TCND4			X		
		D3	TCND3			X		
		D2	TCND2			X		
		D1	TCND1			X		
		D0	TCND0			X		
計時タイマ	0040158	D7	TCND15	計時タイマ日データ	0～65535日	X	R/W	
日(上位)	(B)	D6	TCND14	(上位8ビット)	(上位8ビット)	X		
レジスタ		D5	TCND13	TCND15 = MSB		X		
		D4	TCND12			X		
		D3	TCND11			X		
		D2	TCND10			X		
		D1	TCND9			X		
		D0	TCND8			X		
計時タイマ	0040159	D7–6	–	reserved	–	–	–	読み出し時: 0
分比較レジスタ	(B)	D5	TCCH5	計時タイマ分比較データ	0～59分	X	R/W	
		D4	TCCH4	TCCH5 = MSB	(注)0～63を設定可能	X		
		D3	TCCH3	TCCH0 = LSB		X		
		D2	TCCH2			X		
		D1	TCCH1			X		
		D0	TCCH0			X		
計時タイマ	004015A	D7–5	–	reserved	–	–	–	読み出し時: 0
時間比較	(B)	D4	TCCD4	計時タイマ時間比較データ	0～23時	X	R/W	
レジスタ		D3	TCCD3	TCCD4 = MSB	(注)0～31を設定可能	X		
		D2	TCCD2	TCCD0 = LSB		X		
		D1	TCCD1			X		
		D0	TCCD0			X		
計時タイマ	004015B	D7–5	–	reserved	–	–	–	読み出し時: 0
日比較レジスタ	(B)	D4	TCCN4	計時タイマ日比較データ	0～31日	X	R/W	TCND[4:0]と比較
		D3	TCCN3	TCCN4 = MSB		X		
		D2	TCCN2	TCCN0 = LSB		X		
		D1	TCCN1			X		
		D0	TCCN0			X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈
8bitタイマ0 制御レジスタ	0040160 (B)	D7–3	–	reserved	–				–	–	読み出し時: 0
		D2	PTOUT0	8bitタイマ0クロック出力制御	1	On	0	Off	0	R/W	
		D1	PSET0	8bitタイマ0プリセット	1	プリセット	0	無効	–	W	読み出し時: 0
		D0	PTRUN0	8bitタイマ0 Run/Stop制御	1	Run	0	Stop	0	R/W	
8bitタイマ0 リロードデータ レジスタ	0040161 (B)	D7	RLD07	8bitタイマ0	0～255				X	R/W	
		D6	RLD06	リロードデータ					X		
		D5	RLD05	RLD07 = MSB					X		
		D4	RLD04	RLD00 = LSB					X		
		D3	RLD03						X		
		D2	RLD02						X		
		D1	RLD01						X		
		D0	RLD00						X		
8bitタイマ0 カウントデータ レジスタ	0040162 (B)	D7	PTD07	8bitタイマ0カウントデータ	0～255				X	R	
		D6	PTD06	PTD07 = MSB					X		
		D5	PTD05	PTD00 = LSB					X		
		D4	PTD04						X		
		D3	PTD03						X		
		D2	PTD02						X		
		D1	PTD01						X		
		D0	PTD00						X		
8bitタイマ1 制御レジスタ	0040164 (B)	D7–3	–	reserved	–				–	–	読み出し時: 0
		D2	PTOUT1	8bitタイマ1クロック出力制御	1	On	0	Off	0	R/W	
		D1	PSET1	8bitタイマ1プリセット	1	プリセット	0	無効	–	W	読み出し時: 0
		D0	PTRUN1	8bitタイマ1 Run/Stop制御	1	Run	0	Stop	0	R/W	
8bitタイマ1 リロードデータ レジスタ	0040165 (B)	D7	RLD17	8bitタイマ1	0～255				X	R/W	
		D6	RLD16	リロードデータ					X		
		D5	RLD15	RLD17 = MSB					X		
		D4	RLD14	RLD10 = LSB					X		
		D3	RLD13						X		
		D2	RLD12						X		
		D1	RLD11						X		
		D0	RLD10						X		
8bitタイマ1 カウントデータ レジスタ	0040166 (B)	D7	PTD17	8bitタイマ1カウントデータ	0～255				X	R	
		D6	PTD16	PTD17 = MSB					X		
		D5	PTD15	PTD10 = LSB					X		
		D4	PTD14						X		
		D3	PTD13						X		
		D2	PTD12						X		
		D1	PTD11						X		
		D0	PTD10						X		
8bitタイマ2 制御レジスタ	0040168 (B)	D7–3	–	reserved	–				–	–	読み出し時: 0
		D2	PTOUT2	8bitタイマ2クロック出力制御	1	On	0	Off	0	R/W	
		D1	PSET2	8bitタイマ2プリセット	1	プリセット	0	無効	–	W	読み出し時: 0
		D0	PTRUN2	8bitタイマ2 Run/Stop制御	1	Run	0	Stop	0	R/W	
8bitタイマ2 リロードデータ レジスタ	0040169 (B)	D7	RLD27	8bitタイマ2	0～255				X	R/W	
		D6	RLD26	リロードデータ					X		
		D5	RLD25	RLD27 = MSB					X		
		D4	RLD24	RLD20 = LSB					X		
		D3	RLD23						X		
		D2	RLD22						X		
		D1	RLD21						X		
		D0	RLD20						X		
8bitタイマ2 カウントデータ レジスタ	004016A (B)	D7	PTD27	8bitタイマ2カウントデータ	0～255				X	R	
		D6	PTD26	PTD27 = MSB					X		
		D5	PTD25	PTD20 = LSB					X		
		D4	PTD24						X		
		D3	PTD23						X		
		D2	PTD22						X		
		D1	PTD21						X		
		D0	PTD20						X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈
8bitタイマ3制御レジスタ	004016C (B)	D7–3	–	reserved	–				–	–	読み出し時: 0
		D2	PTOUT3	8bitタイマ3クロック出力制御	1	On	0	Off	0	R/W	
		D1	PSET3	8bitタイマ3プリセット	1	プリセット	0	無効	–	W	読み出し時: 0
		D0	PTRUN3	8bitタイマ3 Run/Stop制御	1	Run	0	Stop	0	R/W	
8bitタイマ3リロードデータレジスタ	004016D (B)	D7	RLD37	8bitタイマ3	0〜255				X	R/W	
		D6	RLD36	リロードデータ					X		
		D5	RLD35	RLD37 = MSB					X		
		D4	RLD34	RLD30 = LSB					X		
		D3	RLD33						X		
		D2	RLD32						X		
		D1	RLD31						X		
		D0	RLD30						X		
8bitタイマ3カウントデータレジスタ	004016E (B)	D7	PTD37	8bitタイマ3カウントデータ	0〜255				X	R	
		D6	PTD36	PTD37 = MSB					X		
		D5	PTD35	PTD30 = LSB					X		
		D4	PTD34						X		
		D3	PTD33						X		
		D2	PTD32						X		
		D1	PTD31						X		
		D0	PTD30						X		
8bitタイマ4制御レジスタ	0040174 (B)	D7–3	–	reserved	–				–	–	読み出し時: 0
		D2	PTOUT4	8bitタイマ4出力制御	1	On	0	Off	0	R/W	
		D1	PSET4	8bitタイマ4プリセット	1	プリセット	0	無効	–	W	読み出し時: 0
		D0	PTRUN4	8bitタイマ4 Run/Stop制御	1	Run	0	Stop	0	R/W	
8bitタイマ4リロードデータレジスタ	0040175 (B)	D7	RLD47	8bitタイマ4	0〜255				X	R/W	
		D6	RLD46	リロードデータ					X		
		D5	RLD45	RLD47 = MSB					X		
		D4	RLD44	RLD40 = LSB					X		
		D3	RLD43						X		
		D2	RLD42						X		
		D1	RLD41						X		
		D0	RLD40						X		
8bitタイマ4カウントデータレジスタ	0040176 (B)	D7	PTD47	8bitタイマ4	0〜255				X	R	
		D6	PTD46	カウントデータ					X		
		D5	PTD45	PTD47 = MSB					X		
		D4	PTD44	PTD40 = LSB					X		
		D3	PTD43						X		
		D2	PTD42						X		
		D1	PTD41						X		
		D0	PTD40						X		
8bitタイマ5制御レジスタ	0040178 (B)	D7–3	–	reserved	–				–	–	読み出し時: 0
		D2	PTOUT5	8bitタイマ5出力制御	1	On	0	Off	0	R/W	
		D1	PSET5	8bitタイマ5プリセット	1	プリセット	0	無効	–	W	読み出し時: 0
		D0	PTRUN5	8bitタイマ5 Run/Stop制御	1	Run	0	Stop	0	R/W	
8bitタイマ5リロードデータレジスタ	0040179 (B)	D7	RLD57	8bitタイマ5	0〜255				X	R/W	
		D6	RLD56	リロードデータ					X		
		D5	RLD55	RLD57 = MSB					X		
		D4	RLD54	RLD50 = LSB					X		
		D3	RLD53						X		
		D2	RLD52						X		
		D1	RLD51						X		
		D0	RLD50						X		
8bitタイマ5カウントデータレジスタ	004017A (B)	D7	PTD57	8bitタイマ5	0〜255				X	R	
		D6	PTD56	カウントデータ					X		
		D5	PTD55	PTD57 = MSB					X		
		D4	PTD54	PTD50 = LSB					X		
		D3	PTD53						X		
		D2	PTD52						X		
		D1	PTD51						X		
		D0	PTD50						X		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
ウォッチドッグタイマ書き込み保護レジスタ	0040170 (B)	D7	WRWD	EWD書き込み保護	1 書込許可 0 書込禁止	0	R/W	
		D6–0	–	–	–	–	–	読み出し時: 0
ウォッチドッグタイマイネーブルレジスタ	0040171 (B)	D7–2	–	–	–	–	–	読み出し時: 0
		D1	EWD	ウォッチドッグタイマイネーブル	1 NMI許可 0 NMI禁止	0	R/W	
		D0	–	–	–	–	–	読み出し時: 0

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
パワーコントロールレジスタ	0040180 (B)	D7	CLKDT1	システムクロック分周比選択	CLKDT[1:0] 分周比 1 1 1/8 1 0 1/4 0 1 1/2 0 0 1/1	0 0	R/W	
		D5	PSCON	プリスケーラOn/Off制御	1 On 0 Off	1	R/W	
		D4–3	–	reserved	–	0	–	1書き込み禁止
		D2	CLKCHG	CPU動作クロック切り換え	1 OSC3 0 OSC1	1	R/W	
		D1	SOSC3	高速(OSC3)発振On/Off制御	1 On 0 Off	1	R/W	
		D0	SOSC1	低速(OSC1)発振On/Off制御	1 On 0 Off	1	R/W	
プリスケーラクロック選択レジスタ	0040181 (B)	D7–1	–	reserved	–	0	–	
		D0	PSCDT0	プリスケーラクロック選択	1 OSC1 0 OSC3/PLL	0	R/W	
クロックオプションレジスタ	0040190 (B)	D7–4	–	–	–	–	–	読み出し時: 0
		D3	HLT2OP	HALTクロックオプション	1 On 0 Off	0	R/W	
		D2	8T1ON	高速(OSC3)発振待ち時間On	1 Off 0 On	1	R/W	
		D1	–	reserved	–	0	–	1書き込み禁止
		D0	PF1ON	OSC1外部出力On/Off制御	1 On 0 Off	0	R/W	
パワーコントロールレジスタ保護レジスタ	004019E (B)	D7	CLGP7	パワーコントロールレジスタ保護フラグ	10010110(0x96)書き込みによりパワーコントロールレジスタ(0x40180)、クロックオプションレジスタ(0x40190)の書き込み保護を解除 それ以外は書き込み禁止に設定	0	R/W	
		D6	CLGP6			0		
		D5	CLGP5			0		
		D4	CLGP4			0		
		D3	CLGP3			0		
		D2	CLGP2			0		
		D1	CLGP1			0		
		D0	CLGP0			0		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
シリアルI/F Ch.0送信データレジスタ	00401E0 (B)	D7	TXD07	シリアルI/F Ch.0 送信データ TXD07(06) = MSB TXD00 = LSB	0x0～0xFF(0x7F)	X	R/W	調歩同期式7ビットモードの場合、TXD07は無効
		D6	TXD06			X		
		D5	TXD05			X		
		D4	TXD04			X		
		D3	TXD03			X		
		D2	TXD02			X		
		D1	TXD01			X		
		D0	TXD00			X		
シリアルI/F Ch.0受信データレジスタ	00401E1 (B)	D7	RXD07	シリアルI/F Ch.0 受信データ RXD07(06) = MSB RXD00 = LSB	0x0～0xFF(0x7F)	X	R	調歩同期式7ビットモードの場合、RXD07は無効(0固定)
		D6	RXD06			X		
		D5	RXD05			X		
		D4	RXD04			X		
		D3	RXD03			X		
		D2	RXD02			X		
		D1	RXD01			X		
		D0	RXD00			X		
シリアルI/F Ch.0ステータスレジスタ	00401E2 (B)	D7–6	–	–	–	–	–	読み出し時: 0
		D5	TEND0	Ch.0転送終了フラグ	1 転送中 0 終了	0	R	
		D4	FER0	Ch.0フレーミングエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D3	PER0	Ch.0パリティエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D2	OER0	Ch.0オーバーランエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D1	TDBE0	Ch.0送信データバッファエンプティ	1 エンプティ 0 バッファフル	1	R	
		D0	RDBF0	Ch.0受信データバッファフル	1 バッファフル 0 エンプティ	0	R	
シリアルI/F Ch.0制御レジスタ	00401E3 (B)	D7	TXEN0	Ch.0送信許可	1 許可 0 禁止	0	R/W	
		D6	RXEN0	Ch.0受信許可	1 許可 0 禁止	0	R/W	
		D5	EPR0	Ch.0パリティイネーブル	1 パリティ付 0 パリティなし	X	R/W	調歩同期式モード時のみ有効
		D4	PMD0	Ch.0パリティモード選択	1 奇数 0 偶数	X	R/W	
		D3	STPB0	Ch.0ストップビット選択	1 2bit 0 1bit	X	R/W	
		D2	SSCK0	Ch.0入力クロック選択	1 #SCLK0 0 内部クロック	X	R/W	
		D1	SMD01	Ch.0転送モード選択	SMD0[1:0] 転送モード	X	R/W	
		D0	SMD00		1 1 調歩同期式8bit	X		
					1 0 調歩同期式7bit			
					0 1 クロック同期スレーブ			
					0 0 クロック同期マスタ			
シリアルI/F Ch.0 IrDAレジスタ	00401E4 (B)	D7–5	–	–	–	–	–	読み出し時: 0
		D4	DIVMD0	Ch.0調歩同期クロック分周比	1 1/8 0 1/16	X	R/W	
		D3	IRTL0	Ch.0 IrDA I/F出力論理反転	1 反転 0 反転なし	X	R/W	調歩同期式モード時のみ有効
		D2	IRRL0	Ch.0 IrDA I/F入力論理反転	1 反転 0 反転なし	X	R/W	
		D1	IRMD01	Ch.0インタフェースモード	IRMD0[1:0] I/Fモード	X	R/W	
		D0	IRMD00	選択	1 1 reserved	X		
					1 0 IrDA 1.0			
					0 1 reserved			
					0 0 通常のI/F			

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
シリアルI/F Ch.1送信データレジスタ	00401E5 (B)	D7	TXD17	シリアルI/F Ch.1 送信データ TXD17(16) = MSB TXD10 = LSB	0x0～0xFF(0x7F)	X	R/W	調歩同期式7ビットモードの場合、TXD17は無効
		D6	TXD16			X		
		D5	TXD15			X		
		D4	TXD14			X		
		D3	TXD13			X		
		D2	TXD12			X		
		D1	TXD11			X		
		D0	TXD10			X		
シリアルI/F Ch.1受信データレジスタ	00401E6 (B)	D7	RXD17	シリアルI/F Ch.1 受信データ RXD17(16) = MSB RXD10 = LSB	0x0～0xFF(0x7F)	X	R	調歩同期式7ビットモードの場合、RXD17は無効(0固定)
		D6	RXD16			X		
		D5	RXD15			X		
		D4	RXD14			X		
		D3	RXD13			X		
		D2	RXD12			X		
		D1	RXD11			X		
		D0	RXD10			X		
シリアルI/F Ch.1ステータスレジスタ	00401E7 (B)	D7–6	–	–	–	–	–	読み出し時: 0
		D5	TEND1	Ch.1転送終了フラグ	1 転送中 0 終了	0	R	
		D4	FER1	Ch.1フレーミングエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D3	PER1	Ch.1パリティエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D2	OER1	Ch.1オーバーランエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D1	TDBE1	Ch.1送信データバッファエンプティ	1 エンプティ 0 バッファフル	1	R	
		D0	RDBF1	Ch.1受信データバッファフル	1 バッファフル 0 エンプティ	0	R	
シリアルI/F Ch.1制御レジスタ	00401E8 (B)	D7	TXEN1	Ch.1送信許可	1 許可 0 禁止	0	R/W	
		D6	RXEN1	Ch.1受信許可	1 許可 0 禁止	0	R/W	
		D5	EPR1	Ch.1パリティイネーブル	1 パリティ付 0 パリティなし	X	R/W	調歩同期式モード時のみ有効
		D4	PMD1	Ch.1パリティモード選択	1 奇数 0 偶数	X	R/W	
		D3	STPB1	Ch.1ストップビット選択	1 2bit 0 1bit	X	R/W	
		D2	SSCK1	Ch.1入力クロック選択	1 #SCLK1 0 内部クロック	X	R/W	
		D1	SMD11	Ch.1転送モード選択	SMD1[1:0] 転送モード	X	R/W	
		D0	SMD10		1 1 調歩同期式8bit	X		
					1 0 調歩同期式7bit			
					0 1 クロック同期スレーブ			
					0 0 クロック同期マスタ			
シリアルI/F Ch.1 IrDAレジスタ	00401E9 (B)	D7–5	–	–	–	–	–	読み出し時: 0
		D4	DIVMD1	Ch.1調歩同期クロック分周比	1 1/8 0 1/16	X	R/W	
		D3	IRTL1	Ch.1 IrDA I/F出力論理反転	1 反転 0 反転なし	X	R/W	調歩同期式モード時のみ有効
		D2	IRRL1	Ch.1 IrDA I/F入力論理反転	1 反転 0 反転なし	X	R/W	
		D1	IRMD11	Ch.1インタフェースモード	IRMD1[1:0] I/Fモード	X	R/W	
		D0	IRMD10	選択	1 1 reserved	X		
					1 0 IrDA 1.0			
					0 1 reserved			
					0 0 通常のI/F			
シリアルI/F Ch.2送信データレジスタ	00401F0 (B)	D7	TXD27	シリアルI/F Ch.2 送信データ TXD27(26) = MSB TXD20 = LSB	0x0～0xFF(0x7F)	X	R/W	
		D6	TXD26			X		
		D5	TXD25			X		
		D4	TXD24			X		
		D3	TXD23			X		
		D2	TXD22			X		
		D1	TXD21			X		
		D0	TXD20			X		
シリアルI/F Ch.2受信データレジスタ	00401F1 (B)	D7	RXD27	シリアルI/F Ch.2 受信データ RXD27(26) = MSB RXD20 = LSB	0x0～0xFF(0x7F)	X	R	
		D6	RXD26			X		
		D5	RXD25			X		
		D4	RXD24			X		
		D3	RXD23			X		
		D2	RXD22			X		
		D1	RXD21			X		
		D0	RXD20			X		
シリアルI/F Ch.2ステータスレジスタ	00401F2 (B)	D7–6	–	reserved	–	–	–	読み出し時: 0
		D5	TEND2	Ch.2転送終了フラグ	1 転送中 0 終了	0	R	
		D4	FER2	Ch.2フレーミングエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D3	PER2	Ch.2パリティエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D2	OER2	Ch.2オーバーランエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D1	TDBE2	Ch.2送信データバッファエンプティ	1 エンプティ 0 バッファフル	1	R	
		D0	RDBF2	Ch.2受信データバッファフル	1 バッファフル 0 エンプティ	0	R	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
シリアルI/F Ch.2制御レジスタ	00401F3 (B)	D7	TXEN2	Ch.2送信許可	1 許可 0 禁止	0	R/W	
		D6	RXEN2	Ch.2受信許可	1 許可 0 禁止	0	R/W	
		D5	EPR2	Ch.2パリティイネーブル	1 パリティ付 0 パリティなし	X	R/W	調歩同期式モード時のみ有効
		D4	PMD2	Ch.2パリティモード選択	1 奇数 0 偶数	X	R/W	
		D3	STPB2	Ch.2ストップビット選択	1 2bit 0 1bit	X	R/W	
		D2	SSCK2	Ch.2入力クロック選択	1 #SCLK2 0 内部クロック	X	R/W	
		D1	SMD21	Ch.2転送モード選択	SMD2[1:0] 転送モード	X	R/W	
		D0	SMD20		1 1 調歩同期式8bit	X		
					1 0 調歩同期式7bit			
					0 1 クロック同期スレーブ			
					0 0 クロック同期マスタ			
シリアルI/F Ch.2 IrDA レジスタ	00401F4 (B)	D7–5	–	reserved	–	–	–	読み出し時: 0
		D4	DIVMD2	Ch.2調歩同期クロック分周比	1 1/8 0 1/16	X	R/W	
		D3	IRTL2	Ch.2 IrDA I/F出力論理反転	1 反転 0 反転なし	X	R/W	調歩同期式モード時のみ有効
		D2	IRRL2	Ch.2 IrDA I/F入力論理反転	1 反転 0 反転なし	X	R/W	
		D1	IRMD21	Ch.2インタフェースモード	IRMD2[1:0] I/Fモード	X	R/W	
		D0	IRMD20	選択	1 1 reserved	X		
					1 0 IrDA 1.0			
					0 1 reserved			
					0 0 通常のI/F			
シリアルI/F Ch.3送信データレジスタ	00401F5 (B)	D7	TXD37	シリアルI/F Ch.3 送信データ TXD37(36) = MSB TXD30 = LSB	0x0～0xFF(0x7F)	X	R/W	
		D6	TXD36			X		
		D5	TXD35			X		
		D4	TXD34			X		
		D3	TXD33			X		
		D2	TXD32			X		
		D1	TXD31			X		
		D0	TXD30			X		
シリアルI/F Ch.3受信データレジスタ	00401F6 (B)	D7	RXD37	シリアルI/F Ch.3 受信データ RXD37(36) = MSB RXD30 = LSB	0x0～0xFF(0x7F)	X	R	
		D6	RXD36			X		
		D5	RXD35			X		
		D4	RXD34			X		
		D3	RXD33			X		
		D2	RXD32			X		
		D1	RXD31			X		
		D0	RXD30			X		
シリアルI/F Ch.3ステータスレジスタ	00401F7 (B)	D7–6	–	reserved	–	–	–	読み出し時: 0
		D5	TEND3	Ch.3転送終了フラグ	1 転送中 0 終了	0	R	
		D4	FER3	Ch.3フレーミングエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D3	PER3	Ch.3パリティエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D2	OER3	Ch.3オーバーランエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D1	TDBE3	Ch.3送信データバッファエンプティ	1 エンプティ 0 バッファフル	1	R	
		D0	RDBF3	Ch.3受信データバッファフル	1 バッファフル 0 エンプティ	0	R	
シリアルI/F Ch.3制御レジスタ	00401F8 (B)	D7	TXEN3	Ch.3送信許可	1 許可 0 禁止	0	R/W	
		D6	RXEN3	Ch.3受信許可	1 許可 0 禁止	0	R/W	
		D5	EPR3	Ch.3パリティイネーブル	1 パリティ付 0 パリティなし	X	R/W	調歩同期式モード時のみ有効
		D4	PMD3	Ch.3パリティモード選択	1 奇数 0 偶数	X	R/W	
		D3	STPB3	Ch.3ストップビット選択	1 2bit 0 1bit	X	R/W	
		D2	SSCK3	Ch.3入力クロック選択	1 #SCLK3 0 内部クロック	X	R/W	
		D1	SMD31	Ch.3転送モード選択	SMD3[1:0] 転送モード	X	R/W	
		D0	SMD30		1 1 調歩同期式8bit	X		
					1 0 調歩同期式7bit			
					0 1 クロック同期スレーブ			
					0 0 クロック同期マスタ			
シリアルI/F Ch.3 IrDA レジスタ	00401F9 (B)	D7–5	–	reserved	–	–	–	読み出し時: 0
		D4	DIVMD3	Ch.3調歩同期クロック分周比	1 1/8 0 1/16	X	R/W	
		D3	IRTL3	Ch.3 IrDA I/F出力論理反転	1 反転 0 反転なし	X	R/W	調歩同期式モード時のみ有効
		D2	IRRL3	Ch.3 IrDA I/F入力論理反転	1 反転 0 反転なし	X	R/W	
		D1	IRMD31	Ch.3インタフェースモード	IRMD3[1:0] I/Fモード	X	R/W	
		D0	IRMD30	選択	1 1 reserved	X		
					1 0 IrDA 1.0			
					0 1 reserved			
					0 0 通常のI/F			

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
A/D変換結果(下位)レジスタ	0040240 (B)	D7	ADD7	A/D変換結果(下位8ビット)	0x0～0x3FF (下位8ビット)	0	R	
		D6	ADD6	ADD0 = LSB		0		
		D5	ADD5			0		
		D4	ADD4			0		
		D3	ADD3			0		
		D2	ADD2			0		
		D1	ADD1			0		
		D0	ADD0			0		
A/D変換結果(上位)レジスタ	0040241 (B)	D7–2	–	–	–	–	–	読み出し時: 0
		D1	ADD9	A/D変換結果(上位2ビット)	0x0～0x3FF (上位2ビット)	0	R	
		D0	ADD8	ADD9 = MSB		0		
A/Dトリガレジスタ	0040242 (B)	D7–6	–	–	–	–	–	読み出し時: 0
		D5	MS	A/D変換モード選択	1 連続モード 0 通常モード	0	R/W	
		D4	TS1	A/D変換トリガ選択	TS[1:0] トリガ	0	R/W	
		D3	TS0		1 1 #ADTRG端子	0		
					1 0 8bitタイマ0			
					0 1 16bitタイマ0			
					0 0 ソフトウェア			
		D2	CH2	A/D変換中チャネルステータス	CH[2:0] チャネル	0	R	
		D1	CH1		1 1 1 AD7	0		
		D0	CH0		1 1 0 AD6	0		
					1 0 1 AD5			
					1 0 0 AD4			
					0 1 1 AD3			
					0 1 0 AD2			
					0 0 1 AD1			
					0 0 0 AD0			
A/Dチャネルレジスタ	0040243 (B)	D7–6	–	–	–	–	–	読み出し時: 0
		D5	CE2	A/D変換終了チャネル設定	CE[2:0] 終了チャネル	0	R/W	
		D4	CE1		1 1 1 AD7	0		
		D3	CE0		1 1 0 AD6	0		
					1 0 1 AD5			
					1 0 0 AD4			
					0 1 1 AD3			
					0 1 0 AD2			
					0 0 1 AD1			
					0 0 0 AD0			
		D2	CS2	A/D変換開始チャネル設定	CS[2:0] 開始チャネル	0	R/W	
		D1	CS1		1 1 1 AD7	0		
		D0	CS0		1 1 0 AD6	0		
					1 0 1 AD5			
					1 0 0 AD4			
					0 1 1 AD3			
					0 1 0 AD2			
					0 0 1 AD1			
					0 0 0 AD0			
A/Dイネーブルレジスタ	0040244 (B)	D7–4	–	–	–	–	–	読み出し時: 0
		D3	ADF	変換終了フラグ	1 変換終了 0 変換/待機中	0	R	ADD読み出しでクリア
		D2	ADE	A/Dイネーブル	1 許可 0 禁止	0	R/W	
		D1	ADST	A/D変換制御/ステータス	1 開始/変換中 0 停止	0	R/W	
		D0	OWE	オーバーライトエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
A/Dサンプリングレジスタ	0040245 (B)	D7–2	–	–	–	–	–	読み出し時: 0
		D1	ST1	入力サンプリング時間設定	ST[1:0] サンプリング時間	1	R/W	9クロックで使用してください
		D0	ST0		1 1 9クロック	1		
					1 0 7クロック			
					0 1 5クロック			
					0 0 3クロック			

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
ポート入力	0040260	D7	–	reserved	–	–	–	読み出し時: 0
割り込み0/1	(B)	D6	PP1L2	ポート入力1	0〜7	X	R/W	
プライオリティ		D5	PP1L1	割り込みレベル		X		
レジスタ		D4	PP1L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PP0L2	ポート入力0	0〜7	X	R/W	
		D1	PP0L1	割り込みレベル		X		
		D0	PP0L0			X		
ポート入力	0040261	D7	–	reserved	–	–	–	読み出し時: 0
割り込み2/3	(B)	D6	PP3L2	ポート入力3	0〜7	X	R/W	
プライオリティ		D5	PP3L1	割り込みレベル		X		
レジスタ		D4	PP3L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PP2L2	ポート入力2	0〜7	X	R/W	
		D1	PP2L1	割り込みレベル		X		
		D0	PP2L0			X		
キー入力割り込	0040262	D7	–	reserved	–	–	–	読み出し時: 0
みプライオリ	(B)	D6	PK1L2	キー入力1	0〜7	X	R/W	
ティレジスタ		D5	PK1L1	割り込みレベル		X		
		D4	PK1L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PK0L2	キー入力0	0〜7	X	R/W	
		D1	PK0L1	割り込みレベル		X		
		D0	PK0L0			X		
高速DMA	0040263	D7	–	reserved	–	–	–	読み出し時: 0
Ch.0/1割り込み	(B)	D6	PHSD1L2	高速DMA Ch.1	0〜7	X	R/W	
プライオリティ		D5	PHSD1L1	割り込みレベル		X		
レジスタ		D4	PHSD1L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PHSD0L2	高速DMA Ch.0	0〜7	X	R/W	
		D1	PHSD0L1	割り込みレベル		X		
		D0	PHSD0L0			X		
高速DMA	0040264	D7	–	reserved	–	–	–	読み出し時: 0
Ch.2/3割り込み	(B)	D6	PHSD3L2	高速DMA Ch.3	0〜7	X	R/W	
プライオリティ		D5	PHSD3L1	割り込みレベル		X		
レジスタ		D4	PHSD3L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PHSD2L2	高速DMA Ch.2	0〜7	X	R/W	
		D1	PHSD2L1	割り込みレベル		X		
		D0	PHSD2L0			X		
IDMA割り込み	0040265	D7–3	–	reserved	–	–	–	読み出し時: 0
プライオリティ	(B)	D2	PDM2	IDMA	0〜7	X	R/W	
レジスタ		D1	PDM1	割り込みレベル		X		
		D0	PDM0			X		
16bitタイマ0/1	0040266	D7	–	reserved	–	–	–	読み出し時: 0
割り込み	(B)	D6	P16T12	16bitタイマ1	0〜7	X	R/W	
プライオリティ		D5	P16T11	割り込みレベル		X		
レジスタ		D4	P16T10			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	P16T02	16bitタイマ0	0〜7	X	R/W	
		D1	P16T01	割り込みレベル		X		
		D0	P16T00			X		
16bitタイマ2/3	0040267	D7	–	reserved	–	–	–	読み出し時: 0
割り込み	(B)	D6	P16T32	16bitタイマ3	0〜7	X	R/W	
プライオリティ		D5	P16T31	割り込みレベル		X		
レジスタ		D4	P16T30			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	P16T22	16bitタイマ2	0〜7	X	R/W	
		D1	P16T21	割り込みレベル		X		
		D0	P16T20			X		
16bitタイマ4/5	0040268	D7	–	reserved	–	–	–	読み出し時: 0
割り込み	(B)	D6	P16T52	16bitタイマ5	0〜7	X	R/W	
プライオリティ		D5	P16T51	割り込みレベル		X		
レジスタ		D4	P16T50			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	P16T42	16bitタイマ4	0〜7	X	R/W	
		D1	P16T41	割り込みレベル		X		
		D0	P16T40			X		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
8bitタイマ, シリアルI/F Ch.0 割り込みプライオリティレジスタ	0040269 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PSIO02	シリアルインタフェースCh.0	0〜7	X	R/W	
		D5	PSIO01	割り込みレベル		X		
		D4	PSIO00			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	P8TM2	8bitタイマ0–3	0〜7	X	R/W	
		D1	P8TM1	割り込みレベル		X		
		D0	P8TM0			X		
シリアルI/F Ch.1, A/D変換器割り込みプライオリティレジスタ	004026A (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PAD2	A/D変換器	0〜7	X	R/W	
		D5	PAD1	割り込みレベル		X		
		D4	PAD0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PSIO12	シリアルインタフェースCh.1	0〜7	X	R/W	
		D1	PSIO11	割り込みレベル		X		
		D0	PSIO10			X		
計時タイマ割り込みプライオリティレジスタ	004026B (B)	D7–3	–	reserved	–	–	–	1書き込み禁止
		D2	PCTM2	計時タイマ	0〜7	X	R/W	
		D1	PCTM1	割り込みレベル		X		
		D0	PCTM0			X		
ポート入力割り込み4/5プライオリティレジスタ	004026C (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PP5L2	ポート入力5	0〜7	X	R/W	
		D5	PP5L1	割り込みレベル		X		
		D4	PP5L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PP4L2	ポート入力4	0〜7	X	R/W	
		D1	PP4L1	割り込みレベル		X		
		D0	PP4L0			X		
ポート入力割り込み6/7プライオリティレジスタ	004026D (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PP7L2	ポート入力7	0〜7	X	R/W	
		D5	PP7L1	割り込みレベル		X		
		D4	PP7L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PP6L2	ポート入力6	0〜7	X	R/W	
		D1	PP6L1	割り込みレベル		X		
		D0	PP6L0			X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈
キー入力,	0040270	D7–6	–	reserved	–				–	–	読み出し時: 0
ポート入力0–3	(B)	D5	EK1	キー入力1	1	許可	0	禁止	0	R/W	
割り込み		D4	EK0	キー入力0					0	R/W	
イネーブル		D3	EP3	ポート入力3					0	R/W	
レジスタ		D2	EP2	ポート入力2					0	R/W	
		D1	EP1	ポート入力1					0	R/W	
		D0	EP0	ポート入力0					0	R/W	
DMA割り込み	0040271	D7–5	–	reserved	–				–	–	読み出し時: 0
イネーブル	(B)	D4	EIDMA	IDMA	1	許可	0	禁止	0	R/W	
レジスタ		D3	EHDM3	高速DMA Ch.3					0	R/W	
		D2	EHDM2	高速DMA Ch.2					0	R/W	
		D1	EHDM1	高速DMA Ch.1					0	R/W	
		D0	EHDM0	高速DMA Ch.0					0	R/W	
16bitタイマ0/1	0040272	D7	E16TC1	16bitタイマ1コンペアA	1	許可	0	禁止	0	R/W	
割り込み	(B)	D6	E16TU1	16bitタイマ1コンペアB					0	R/W	
イネーブル		D5-4	–	reserved	–				–	–	読み出し時: 0
レジスタ		D3	E16TC0	16bitタイマ0コンペアA	1	許可	0	禁止	0	R/W	
		D2	E16TU0	16bitタイマ0コンペアB					0	R/W	
		D1–0	–	reserved	–				–	–	読み出し時: 0
16bitタイマ2/3	0040273	D7	E16TC3	16bitタイマ3コンペアA	1	許可	0	禁止	0	R/W	
割り込み	(B)	D6	E16TU3	16bitタイマ3コンペアB					0	R/W	
イネーブル		D5-4	–	reserved	–				–	–	読み出し時: 0
レジスタ		D3	E16TC2	16bitタイマ2コンペアA	1	許可	0	禁止	0	R/W	
		D2	E16TU2	16bitタイマ2コンペアB					0	R/W	
		D1–0	–	reserved	–				–	–	読み出し時: 0
16bitタイマ4/5	0040274	D7	E16TC5	16bitタイマ5コンペアA	1	許可	0	禁止	0	R/W	
割り込み	(B)	D6	E16TU5	16bitタイマ5コンペアB					0	R/W	
イネーブル		D5-4	–	reserved	–				–	–	読み出し時: 0
レジスタ		D3	E16TC4	16bitタイマ4コンペアA	1	許可	0	禁止	0	R/W	
		D2	E16TU4	16bitタイマ4コンペアB					0	R/W	
		D1–0	–	reserved	–				–	–	読み出し時: 0
8bitタイマ	0040275	D7–4	–	reserved	–				–	–	読み出し時: 0
割り込み	(B)	D3	E8TU3	8bitタイマ3アンダーフロー	1	許可	0	禁止	0	R/W	
イネーブル		D2	E8TU2	8bitタイマ2アンダーフロー					0	R/W	
レジスタ		D1	E8TU1	8bitタイマ1アンダーフロー					0	R/W	
		D0	E8TU0	8bitタイマ0アンダーフロー					0	R/W	
シリアルI/F	0040276	D7–6	–	reserved	–				–	–	読み出し時: 0
割り込み	(B)	D5	ESTX1	SIF Ch.1送信バッファエンプティ	1	許可	0	禁止	0	R/W	
イネーブル		D4	ESRX1	SIF Ch.1受信バッファフル					0	R/W	
レジスタ		D3	ESERR1	SIF Ch.1受信エラー					0	R/W	
		D2	ESTX0	SIF Ch.0送信バッファエンプティ					0	R/W	
		D1	ESRX0	SIF Ch.0受信バッファフル					0	R/W	
		D0	ESERR0	SIF Ch.0受信エラー					0	R/W	
ポート入力4–7,	0040277	D7–6	–	reserved	–				–	–	読み出し時: 0
計時タイマ, A/D	(B)	D5	EP7	ポート入力7	1	許可	0	禁止	0	R/W	
割り込みイネー		D4	EP6	ポート入力6					0	R/W	
ブルレジスタ		D3	EP5	ポート入力5					0	R/W	
		D2	EP4	ポート入力4					0	R/W	
		D1	ECTM	計時タイマ					0	R/W	
		D0	EADE	A/D変換器					0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
キー入力, ポート入力0–3 割り込み要因 フラグレジスタ	0040280 (B)	D7–6	–	reserved	–	–	–	読み出し時: 0
		D5	FK1	キー入力1	1 要因発生 0 要因なし	X	R/W	
		D4	FK0	キー入力0		X	R/W	
		D3	FP3	ポート入力3		X	R/W	
		D2	FP2	ポート入力2		X	R/W	
		D1	FP1	ポート入力1		X	R/W	
		D0	FP0	ポート入力0		X	R/W	
DMA割り込み 要因フラグ レジスタ	0040281 (B)	D7–5	–	reserved	–	–	–	読み出し時: 0
		D4	FIDMA	IDMA	1 要因発生 0 要因なし	X	R/W	
		D3	FHDM3	高速DMA Ch.3		X	R/W	
		D2	FHDM2	高速DMA Ch.2		X	R/W	
		D1	FHDM1	高速DMA Ch.1		X	R/W	
		D0	FHDM0	高速DMA Ch.0		X	R/W	
16bitタイマ0/1 割り込み 要因フラグ レジスタ	0040282 (B)	D7	F16TC1	16bitタイマ1コンペアA	1 要因発生 0 要因なし	X	R/W	
		D6	F16TU1	16bitタイマ1コンペアB		X	R/W	
		D5–4	–	reserved	–	–	–	読み出し時: 0
		D3	F16TC0	16bitタイマ0コンペアA	1 要因発生 0 要因なし	X	R/W	
		D2	F16TU0	16bitタイマ0コンペアB		X	R/W	
		D1–0	–	reserved	–	–	–	読み出し時: 0
16bitタイマ2/3 割り込み 要因フラグ レジスタ	0040283 (B)	D7	F16TC3	16bitタイマ3コンペアA	1 要因発生 0 要因なし	X	R/W	
		D6	F16TU3	16bitタイマ3コンペアB		X	R/W	
		D5–4	–	reserved	–	–	–	読み出し時: 0
		D3	F16TC2	16bitタイマ2コンペアA	1 要因発生 0 要因なし	X	R/W	
		D2	F16TU2	16bitタイマ2コンペアB		X	R/W	
		D1–0	–	reserved	–	–	–	読み出し時: 0
16bitタイマ4/5 割り込み 要因フラグ レジスタ	0040284 (B)	D7	F16TC5	16bitタイマ5コンペアA	1 要因発生 0 要因なし	X	R/W	
		D6	F16TU5	16bitタイマ5コンペアB		X	R/W	
		D5–4	–	reserved	–	–	–	読み出し時: 0
		D3	F16TC4	16bitタイマ4コンペアA	1 要因発生 0 要因なし	X	R/W	
		D2	F16TU4	16bitタイマ4コンペアB		X	R/W	
		D1–0	–	reserved	–	–	–	読み出し時: 0
8bitタイマ 割り込み 要因フラグ レジスタ	0040285 (B)	D7–4	–	reserved	–	–	–	読み出し時: 0
		D3	F8TU3	8bitタイマ3アンダーフロー	1 要因発生 0 要因なし	X	R/W	
		D2	F8TU2	8bitタイマ2アンダーフロー		X	R/W	
		D1	F8TU1	8bitタイマ1アンダーフロー		X	R/W	
		D0	F8TU0	8bitタイマ0アンダーフロー		X	R/W	
シリアルI/F 割り込み 要因フラグ レジスタ	0040286 (B)	D7–6	–	reserved	–	–	–	読み出し時: 0
		D5	FSTX1	SIF Ch.1送信バッファエンプティ	1 要因発生 0 要因なし	X	R/W	
		D4	FSRX1	SIF Ch.1受信バッファフル		X	R/W	
		D3	FSERR1	SIF Ch.1受信エラー		X	R/W	
		D2	FSTX0	SIF Ch.0送信バッファエンプティ		X	R/W	
		D1	FSRX0	SIF Ch.0受信バッファフル		X	R/W	
		D0	FSERR0	SIF Ch.0受信エラー		X	R/W	
ポート入力4–7, 計時タイマ, A/D 割り込み要因 フラグレジスタ	0040287 (B)	D7–6	–	reserved	–	–	–	読み出し時: 0
		D5	FP7	ポート入力7	1 要因発生 0 要因なし	X	R/W	
		D4	FP6	ポート入力6		X	R/W	
		D3	FP5	ポート入力5		X	R/W	
		D2	FP4	ポート入力4		X	R/W	
		D1	FCTM	計時タイマ		X	R/W	
		D0	FADE	A/D変換器		X	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈
ポート入力0–3, 高速DMA Ch.0/1, 16bitタイマ0 IDMAリクエスト レジスタ	0040290 (B)	D7	R16TC0	16bitタイマ0コンペアA	1	IDMA要求	0	割り込み要求	0	R/W	
		D6	R16TU0	16bitタイマ0コンペアB					0	R/W	
		D5	RHDM1	高速DMA Ch.1					0	R/W	
		D4	RHDM0	高速DMA Ch.0					0	R/W	
		D3	RP3	ポート入力3					0	R/W	
		D2	RP2	ポート入力2					0	R/W	
		D1	RP1	ポート入力1					0	R/W	
		D0	RP0	ポート入力0					0	R/W	
16bitタイマ1–4 IDMAリクエスト レジスタ	0040291 (B)	D7	R16TC4	16bitタイマ4コンペアA	1	IDMA要求	0	割り込み要求	0	R/W	
		D6	R16TU4	16bitタイマ4コンペアB					0	R/W	
		D5	R16TC3	16bitタイマ3コンペアA					0	R/W	
		D4	R16TU3	16bitタイマ3コンペアB					0	R/W	
		D3	R16TC2	16bitタイマ2コンペアA					0	R/W	
		D2	R16TU2	16bitタイマ2コンペアB					0	R/W	
		D1	R16TC1	16bitタイマ1コンペアA					0	R/W	
		D0	R16TU1	16bitタイマ1コンペアB					0	R/W	
16bitタイマ5, 8bitタイマ, シリアルI/F Ch.0 IDMAリクエスト レジスタ	0040292 (B)	D7	RSTX0	SIF Ch.0送信バッファエンプティ	1	IDMA要求	0	割り込み要求	0	R/W	
		D6	RSRX0	SIF Ch.0受信バッファフル					0	R/W	
		D5	R8TU3	8bitタイマ3アンダーフロー					0	R/W	
		D4	R8TU2	8bitタイマ2アンダーフロー					0	R/W	
		D3	R8TU1	8bitタイマ1アンダーフロー					0	R/W	
		D2	R8TU0	8bitタイマ0アンダーフロー					0	R/W	
		D1	R16TC5	16bitタイマ5コンペアA					0	R/W	
		D0	R16TU5	16bitタイマ5コンペアB					0	R/W	
シリアルI/F Ch.1, A/D, ポート入力4–7 IDMAリクエスト レジスタ	0040293 (B)	D7	RP7	ポート入力7	1	IDMA要求	0	割り込み要求	0	R/W	
		D6	RP6	ポート入力6					0	R/W	
		D5	RP5	ポート入力5					0	R/W	
		D4	RP4	ポート入力4					0	R/W	
		D3	–	reserved	–				–	–	読み出し時: 0
		D2	RADE	A/D変換器	1	IDMA要求	0	割り込み要求	0	R/W	
		D1	RSTX1	SIF Ch.1送信バッファエンプティ					0	R/W	
		D0	RSRX1	SIF Ch.1受信バッファフル					0	R/W	
ポート入力0–3, 高速DMA Ch.0/1, 16bitタイマ0 IDMAイネーブル レジスタ	0040294 (B)	D7	DE16TC0	16bitタイマ0コンペアA	1	IDMA許可	0	IDMA禁止	0	R/W	
		D6	DE16TU0	16bitタイマ0コンペアB					0	R/W	
		D5	DEHDM1	高速DMA Ch.1					0	R/W	
		D4	DEHDM0	高速DMA Ch.0					0	R/W	
		D3	DEP3	ポート入力3					0	R/W	
		D2	DEP2	ポート入力2					0	R/W	
		D1	DEP1	ポート入力1					0	R/W	
		D0	DEP0	ポート入力0					0	R/W	
16bitタイマ1–4 IDMAイネーブル レジスタ	0040295 (B)	D7	DE16TC4	16bitタイマ4コンペアA	1	IDMA許可	0	IDMA禁止	0	R/W	
		D6	DE16TU4	16bitタイマ4コンペアB					0	R/W	
		D5	DE16TC3	16bitタイマ3コンペアA					0	R/W	
		D4	DE16TU3	16bitタイマ3コンペアB					0	R/W	
		D3	DE16TC2	16bitタイマ2コンペアA					0	R/W	
		D2	DE16TU2	16bitタイマ2コンペアB					0	R/W	
		D1	DE16TC1	16bitタイマ1コンペアA					0	R/W	
		D0	DE16TU1	16bitタイマ1コンペアB					0	R/W	
16bitタイマ5, 8bitタイマ, シリアルI/F Ch.0 IDMAイネーブル レジスタ	0040296 (B)	D7	DESTX0	SIF Ch.0送信バッファエンプティ	1	IDMA許可	0	IDMA禁止	0	R/W	
		D6	DESRX0	SIF Ch.0受信バッファフル					0	R/W	
		D5	DE8TU3	8bitタイマ3アンダーフロー					0	R/W	
		D4	DE8TU2	8bitタイマ2アンダーフロー					0	R/W	
		D3	DE8TU1	8bitタイマ1アンダーフロー					0	R/W	
		D2	DE8TU0	8bitタイマ0アンダーフロー					0	R/W	
		D1	DE16TC5	16bitタイマ5コンペアA					0	R/W	
		D0	DE16TU5	16bitタイマ5コンペアB					0	R/W	
シリアルI/F Ch.1, A/D, ポート入力4–7 IDMAイネーブル レジスタ	0040297 (B)	D7	DEP7	ポート入力7	1	IDMA許可	0	IDMA禁止	0	R/W	
		D6	DEP6	ポート入力6					0	R/W	
		D5	DEP5	ポート入力5					0	R/W	
		D4	DEP4	ポート入力4					0	R/W	
		D3	–	reserved	–				–	–	読み出し時: 0
		D2	DEADE	A/D変換器	1	IDMA許可	0	IDMA禁止	0	R/W	
		D1	DESTX1	SIF Ch.1送信バッファエンプティ					0	R/W	
		D0	DESRX1	SIF Ch.1受信バッファフル					0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈
高速DMA Ch.0/1トリガ設定レジスタ	0040298 (B)	D7	HSD1S3	高速DMA Ch.1トリガ設定	0	ソフトウェアトリガ			0	R/W	
		D6	HSD1S2		1	K51入力(立ち下がりエッジ)			0		
		D5	HSD1S1		2	K51入力(立ち上がりエッジ)			0		
		D4	HSD1S0		3	ポート1入力			0		
					4	ポート5入力					
					5	8bitタイマCh.1アンダーフロー					
					6	16bitタイマCh.1コンペアB					
					7	16bitタイマCh.1コンペアA					
					8	16bitタイマCh.5コンペアB					
					9	16bitタイマCh.5コンペアA					
					A	SI/F Ch.1 Rx bufフル					
					B	SI/F Ch.1 Tx bufエンプティ					
					C	A/D変換終了					
		D3	HSD0S3	高速DMA Ch.0トリガ設定	0	ソフトウェアトリガ			0	R/W	
		D2	HSD0S2		1	K50入力(立ち下がりエッジ)			0		
		D1	HSD0S1		2	K50入力(立ち上がりエッジ)			0		
		D0	HSD0S0		3	ポート0入力			0		
					4	ポート4入力					
					5	8bitタイマCh.0アンダーフロー					
					6	16bitタイマCh.0コンペアB					
					7	16bitタイマCh.0コンペアA					
					8	16bitタイマCh.4コンペアB					
					9	16bitタイマCh.4コンペアA					
					A	SI/F Ch.0 Rx bufフル					
					B	SI/F Ch.0 Tx bufエンプティ					
					C	A/D変換終了					
高速DMA Ch.2/3トリガ設定レジスタ	0040299 (B)	D7	HSD3S3	高速DMA Ch.3トリガ設定	0	ソフトウェアトリガ			0	R/W	
		D6	HSD3S2		1	K54入力(立ち下がりエッジ)			0		
		D5	HSD3S1		2	K54入力(立ち上がりエッジ)			0		
		D4	HSD3S0		3	ポート3入力			0		
					4	ポート7入力					
					5	8bitタイマCh.3アンダーフロー					
					6	16bitタイマCh.3コンペアB					
					7	16bitタイマCh.3コンペアA					
					8	16bitタイマCh.5コンペアB					
					9	16bitタイマCh.5コンペアA					
					A	SI/F Ch.1 Rx bufフル					
					B	SI/F Ch.1 Tx bufエンプティ					
					C	A/D変換終了					
		D3	HSD2S3	高速DMA Ch.2トリガ設定	0	ソフトウェアトリガ			0	R/W	
		D2	HSD2S2		1	K53入力(立ち下がりエッジ)			0		
		D1	HSD2S1		2	K53入力(立ち上がりエッジ)			0		
		D0	HSD2S0		3	ポート2入力			0		
					4	ポート6入力					
					5	8bitタイマCh.2アンダーフロー					
					6	16bitタイマCh.2コンペアB					
					7	16bitタイマCh.2コンペアA					
					8	16bitタイマCh.4コンペアB					
					9	16bitタイマCh.4コンペアA					
					A	SI/F Ch.0 Rx bufフル					
					B	SI/F Ch.0 Tx bufエンプティ					
					C	A/D変換終了					
高速DMAソフトウェアトリガレジスタ	004029A (B)	D7–4	–	reserved	–				–	–	読み出し時: 0
		D3	HST3	HSDMA Ch.3ソフトウェアトリガ	1	トリガ	0	無効	0	W	
		D2	HST2	HSDMA Ch.2ソフトウェアトリガ					0	W	
		D1	HST1	HSDMA Ch.1ソフトウェアトリガ					0	W	
		D0	HST0	HSDMA Ch.0ソフトウェアトリガ					0	W	
フラグセット/リセット方式選択レジスタ	004029F (B)	D7–3	–	reserved	–				–	–	
		D2	DENONLY	IDMAイネーブルレジスタセット方式選択	1	セットオンリー	0	RD/WR	1	R/W	
		D1	IDMAONLY	IDMAリクエストレジスタセット方式選択	1	セットオンリー	0	RD/WR	1	R/W	
		D0	RSTONLY	割り込み要因フラグリセット方式選択	1	リセットオンリー	0	RD/WR	1	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈
K5機能選択レジスタ	00402C0 (B)	D7–5	–	reserved	–				–	–	読み出し時: 0
		D4	CFK54	K54機能選択	1	#DMAREQ3	0	K54	0	R/W	
		D3	CFK53	K53機能選択	1	#DMAREQ2	0	K53	0	R/W	
		D2	CFK52	K52機能選択	1	#ADTRG	0	K52	0	R/W	
		D1	CFK51	K51機能選択	1	#DMAREQ1	0	K51	0	R/W	
		D0	CFK50	K50機能選択	1	#DMAREQ0	0	K50	0	R/W	
K5入力ポートデータレジスタ	00402C1 (B)	D7–5	–	reserved	–				–	–	読み出し時: 0
		D4	K54D	K54入力ポートデータ	1	High	0	Low	–	R	
		D3	K53D	K53入力ポートデータ					–	R	
		D2	K52D	K52入力ポートデータ					–	R	
		D1	K51D	K51入力ポートデータ					–	R	
		D0	K50D	K50入力ポートデータ					–	R	
K6機能選択レジスタ	00402C3 (B)	D7	CFK67	K67機能選択	1	AD7	0	K67	0	R/W	
		D6	CFK66	K66機能選択	1	AD6	0	K66	0	R/W	
		D5	CFK65	K65機能選択	1	AD5	0	K65	0	R/W	
		D4	CFK64	K64機能選択	1	AD4	0	K64	0	R/W	
		D3	CFK63	K63機能選択	1	AD3	0	K63	0	R/W	
		D2	CFK62	K62機能選択	1	AD2	0	K62	0	R/W	
		D1	CFK61	K61機能選択	1	AD1	0	K61	0	R/W	
		D0	CFK60	K60機能選択	1	AD0	0	K60	0	R/W	
K6入力ポートデータレジスタ	00402C4 (B)	D7	K67D	K67入力ポートデータ	1	High	0	Low	–	R	
		D6	K66D	K66入力ポートデータ					–	R	
		D5	K65D	K65入力ポートデータ					–	R	
		D4	K64D	K64入力ポートデータ					–	R	
		D3	K63D	K63入力ポートデータ					–	R	
		D2	K62D	K62入力ポートデータ					–	R	
		D1	K61D	K61入力ポートデータ					–	R	
		D0	K60D	K60入力ポートデータ					–	R	

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈
割り込み要因 FP機能切り換え レジスタ	00402C5	D7	T8CH5S0	8bitタイマ5アンダーフロー	1	T8 Ch.5 UF	0	FP7	0	R/W	
		D6	SIO3TS0	SIO Ch.3送信バッファエンプティ	1	SIO Ch.3 TXD Emp.	0	FP6	0	R/W	
		D5	T8CH4S0	8bitタイマ4アンダーフロー	1	T8 Ch.4 UF	0	FP5	0	R/W	
		D4	SIO3RS0	SIO Ch.3受信バッファフル	1	SIO Ch.3 RXD Full	0	FP4	0	R/W	
		D3	SIO2TS0	SIO Ch.2送信バッファエンプティ	1	SIO Ch.2 TXD Emp.	0	FP3	0	R/W	
		D2	SIO3ES0	SIO Ch.3受信エラー	1	SIO Ch.3 RXD Err.	0	FP2	0	R/W	
		D1	SIO2RS0	SIO Ch.2受信バッファフル	1	SIO Ch.2 RXD Full	0	FP1	0	R/W	
		D0	SIO2ES0	SIO Ch.2受信エラー	1	SIO Ch.2 RXD Err.	0	FP0	0	R/W	
ポート入力 割り込み選択 レジスタ1	00402C6 (B)	D7	SPT31	FPT3割り込み入力ポート選択	11	10	01	00	0	R/W	
		D6	SPT30		P23	P03	K53	K63	0		
		D5	SPT21	FPT2割り込み入力ポート選択	11	10	01	00	0	R/W	
		D4	SPT20		P22	P02	K52	K62	0		
		D3	SPT11	FPT1割り込み入力ポート選択	11	10	01	00	0	R/W	
		D2	SPT10		P21	P01	K51	K61	0		
		D1	SPT01	FPT0割り込み入力ポート選択	11	10	01	00	0	R/W	
		D0	SPT00		P20	P00	K50	K60	0		
ポート入力 割り込み選択 レジスタ2	00402C7 (B)	D7	SPT71	FPT7割り込み入力ポート選択	11	10	01	00	0	R/W	
		D6	SPT70		P27	P07	P33	K67	0		
		D5	SPT61	FPT6割り込み入力ポート選択	11	10	01	00	0	R/W	
		D4	SPT60		P26	P06	P32	K66	0		
		D3	SPT51	FPT5割り込み入力ポート選択	11	10	01	00	0	R/W	
		D2	SPT50		P25	P05	P31	K65	0		
		D1	SPT41	FPT4割り込み入力ポート選択	11	10	01	00	0	R/W	
		D0	SPT40		P24	P04	K54	K64	0		
ポート入力 割り込み 入力極性選択 レジスタ	00402C8 (B)	D7	SPPT7	FPT7入力極性選択	1	Highレベル または 立ち上がり エッジ	0	Lowレベル または 立ち下がり エッジ	1	R/W	
		D6	SPPT6	FPT6入力極性選択					1	R/W	
		D5	SPPT5	FPT5入力極性選択					1	R/W	
		D4	SPPT4	FPT4入力極性選択					1	R/W	
		D3	SPPT3	FPT3入力極性選択					1	R/W	
		D2	SPPT2	FPT2入力極性選択					1	R/W	
		D1	SPPT1	FPT1入力極性選択					1	R/W	
		D0	SPPT0	FPT0入力極性選択					1	R/W	
ポート入力 割り込み エッジ/レベル 選択レジスタ	00402C9 (B)	D7	SEPT7	FPT7エッジ/レベル選択	1	エッジ	0	レベル	1	R/W	
		D6	SEPT6	FPT6エッジ/レベル選択					1	R/W	
		D5	SEPT5	FPT5エッジ/レベル選択					1	R/W	
		D4	SEPT4	FPT4エッジ/レベル選択					1	R/W	
		D3	SEPT3	FPT3エッジ/レベル選択					1	R/W	
		D2	SEPT2	FPT2エッジ/レベル選択					1	R/W	
		D1	SEPT1	FPT1エッジ/レベル選択					1	R/W	
		D0	SEPT0	FPT0エッジ/レベル選択					1	R/W	
キー入力 割り込み選択 レジスタ	00402CA (B)	D7–4	–	reserved	–				–	–	読み出し時: 0
		D3	SPPK11	FPK1割り込み入力ポート選択	11	10	01	00	0	R/W	
		D2	SPPK10		P2[7:4]	P0[7:4]	K6[7:4]	K6[3:0]	0		
		D1	SPPK01	FPK0割り込み入力ポート選択	11	10	01	00	0	R/W	
		D0	SPPK00		P2[4:0]	P0[4:0]	K6[4:0]	K5[4:0]	0		
割り込み要因 TM16機能 切り換え レジスタ	00402CB	D7	T8CH5S1	8bitタイマ5アンダーフロー	1	T8 Ch.5 UF	0	TM16 Ch.2 comp.A	0	R/W	
		D6	T8CH4S1	8bitタイマ4アンダーフロー	1	T8 Ch.4 UF	0	TM16 Ch.2 comp.B	0	R/W	
		D5	SIO3ES1	SIO Ch.3受信エラー	1	SIO Ch.3 RXD Err.	0	TM16 Ch.3 comp.A	0	R/W	
		D4	SIO2ES1	SIO Ch.2受信エラー	1	SIO Ch.2 RXD Err.	0	TM16 Ch.3 comp.B	0	R/W	
		D3	SIO3TS1	SIO Ch.3送信バッファエンプティ	1	SIO Ch.3 TXD Emp.	0	TM16 Ch.4 comp.A	0	R/W	
		D2	SIO3RS1	SIO Ch.3受信バッファフル	1	SIO Ch.3 RXD Full	0	TM16 Ch.4 comp.B	0	R/W	
		D1	SIO2TS1	SIO Ch.2送信バッファエンプティ	1	SIO Ch.2 TXD Emp.	0	TM16 Ch.5 comp.A	0	R/W	
		D0	SIO2RS1	SIO Ch.2受信バッファフル	1	SIO Ch.2 RXD Full	0	TM16 Ch.5 comp.B	0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈
キー入力割り込み(FPK0)入力比較レジスタ	00402CC (B)	D7–5	–	reserved	–				–	–	読み出し時: 0
		D4	SCPK04	FPK04入力比較	1	High	0	Low	0	R/W	
		D3	SCPK03	FPK03入力比較					0	R/W	
		D2	SCPK02	FPK02入力比較					0	R/W	
		D1	SCPK01	FPK01入力比較					0	R/W	
		D0	SCPK00	FPK00入力比較					0	R/W	
キー入力割り込み(FPK1)入力比較レジスタ	00402CD (B)	D7–4	–	reserved	–				–	–	読み出し時: 0
		D3	SCPK13	FPK13入力比較	1	High	0	Low	0	R/W	
		D2	SCPK12	FPK12入力比較					0	R/W	
		D1	SCPK11	FPK11入力比較					0	R/W	
		D0	SCPK10	FPK10入力比較					0	R/W	
キー入力割り込み(FPK0)入力マスクレジスタ	00402CE (B)	D7–5	–	reserved	–				–	–	読み出し時: 0
		D4	SMPK04	FPK04入力マスク	1	割り込み許可	0	割り込み禁止	0	R/W	
		D3	SMPK03	FPK03入力マスク					0	R/W	
		D2	SMPK02	FPK02入力マスク					0	R/W	
		D1	SMPK01	FPK01入力マスク					0	R/W	
		D0	SMPK00	FPK00入力マスク					0	R/W	
キー入力割り込み(FPK1)入力マスクレジスタ	00402CF (B)	D7–4	–	reserved	–				–	–	読み出し時: 0
		D3	SMPK13	FPK13入力マスク	1	割り込み許可	0	割り込み禁止	0	R/W	
		D2	SMPK12	FPK12入力マスク					0	R/W	
		D1	SMPK11	FPK11入力マスク					0	R/W	
		D0	SMPK10	FPK10入力マスク					0	R/W	
P0機能選択レジスタ	00402D0 (B)	D7	CFP07	P07機能選択	1	#SRDY1	0	P07	0	R/W	拡張機能(0x402DF)
		D6	CFP06	P06機能選択	1	#SCLK1	0	P06	0	R/W	
		D5	CFP05	P05機能選択	1	SOUT1	0	P05	0	R/W	
		D4	CFP04	P04機能選択	1	SIN1	0	P04	0	R/W	
		D3	CFP03	P03機能選択	1	#SRDY0	0	P03	0	R/W	
		D2	CFP02	P02機能選択	1	#SCLK0	0	P02	0	R/W	
		D1	CFP01	P01機能選択	1	SOUT0	0	P01	0	R/W	
		D0	CFP00	P00機能選択	1	SIN0	0	P00	0	R/W	
P0入出力兼用ポートデータレジスタ	00402D1 (B)	D7	P07D	P07入出力兼用ポートデータ	1	High	0	Low	0	R/W	
		D6	P06D	P06入出力兼用ポートデータ					0	R/W	
		D5	P05D	P05入出力兼用ポートデータ					0	R/W	
		D4	P04D	P04入出力兼用ポートデータ					0	R/W	
		D3	P03D	P03入出力兼用ポートデータ					0	R/W	
		D2	P02D	P02入出力兼用ポートデータ					0	R/W	
		D1	P01D	P01入出力兼用ポートデータ					0	R/W	
		D0	P00D	P00入出力兼用ポートデータ					0	R/W	
P0 I/O制御レジスタ	00402D2 (B)	D7	IOC07	P07 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポート端子のI/O制御信号の値(詳細説明参照)
		D6	IOC06	P06 I/O制御					0	R/W	
		D5	IOC05	P05 I/O制御					0	R/W	
		D4	IOC04	P04 I/O制御					0	R/W	
		D3	IOC03	P03 I/O制御					0	R/W	
		D2	IOC02	P02 I/O制御					0	R/W	
		D1	IOC01	P01 I/O制御					0	R/W	
		D0	IOC00	P00 I/O制御					0	R/W	
P1機能選択レジスタ	00402D4 (B)	D7	–	reserved	–				–	–	読み出し時: 0
		D6	CFP16	P16機能選択	1	EXCL5 #DMAEND1	0	P16	0	R/W	
		D5	CFP15	P15機能選択	1	EXCL4 #DMAEND0	0	P15	0	R/W	
		D4	CFP14	P14機能選択	1	FOSC1	0	P14	0	R/W	拡張機能(0x402DF)
		D3	CFP13	P13機能選択	1	EXCL3 T8UF3	0	P13	0	R/W	
		D2	CFP12	P12機能選択	1	EXCL2 T8UF2	0	P12	0	R/W	
		D1	CFP11	P11機能選択	1	EXCL1 T8UF1	0	P11	0	R/W	
		D0	CFP10	P10機能選択	1	EXCL0 T8UF0	0	P10	0	R/W	
P1入出力兼用ポートデータレジスタ	00402D5 (B)	D7	–	reserved	–				–	–	読み出し時: 0
		D6	P16D	P16入出力兼用ポートデータ	1	High	0	Low	0	R/W	
		D5	P15D	P15入出力兼用ポートデータ					0	R/W	
		D4	P14D	P14入出力兼用ポートデータ					0	R/W	
		D3	P13D	P13入出力兼用ポートデータ					0	R/W	
		D2	P12D	P12入出力兼用ポートデータ					0	R/W	
		D1	P11D	P11入出力兼用ポートデータ					0	R/W	
		D0	P10D	P10入出力兼用ポートデータ					0	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定				Init.	R/W	注　　釈
P1 I/O制御	00402D6	D7	–	reserved	–				–	–	読み出し時: 0
レジスタ	(B)	D6	IOC16	P16 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポー
		D5	IOC15	P15 I/O制御					0	R/W	ト端子のI/O制御信号
		D4	IOC14	P14 I/O制御					0	R/W	の値(詳細説明参照)
		D3	IOC13	P13 I/O制御					0	R/W	
		D2	IOC12	P12 I/O制御					0	R/W	
		D1	IOC11	P11 I/O制御					0	R/W	
		D0	IOC10	P10 I/O制御					0	R/W	
ポートSIO	00402D7	D7–4	–	reserved	–				–	–	
機能拡張		D3	SSRDY3	シリアルI/F Ch.3 SRDY選択	1	#SRDY3	0	P32/ #DMAACK0	0	R/W	
レジスタ		D2	SSCLK3	シリアルI/F Ch.3 SCLK選択	1	#SCLK3	0	P15/EXCL4/ #DMAEND0	0	R/W	
		D1	SSOUT3	シリアルI/F Ch.3 SOUT選択	1	SOUT3	0	P16/EXCL5/ #DMAEND1	0	R/W	
		D0	SSIN3	シリアルI/F Ch.3 SIN選択	1	SIN3	0	P33/ #DMAACK1	0	R/W	
P2機能選択	00402D8	D7	CFP27	P27機能選択	1	TM5	0	P27	0	R/W	
レジスタ	(B)	D6	CFP26	P26機能選択	1	TM4	0	P26	0	R/W	
		D5	CFP25	P25機能選択	1	TM3	0	P25	0	R/W	
		D4	CFP24	P24機能選択	1	TM2	0	P24	0	R/W	
		D3	CFP23	P23機能選択	1	TM1	0	P23	0	R/W	
		D2	CFP22	P22機能選択	1	TM0	0	P22	0	R/W	
		D1	CFP21	P21機能選択	1	#DWE	0	P21	0	R/W	拡張機能(0x402DF)
		D0	CFP20	P20機能選択	1	#DRD	0	P20	0	R/W	
P2入出力兼用	00402D9	D7	P27D	P27入出力兼用ポートデータ	1	High	0	Low	0	R/W	
ポートデータ	(B)	D6	P26D	P26入出力兼用ポートデータ					0	R/W	
レジスタ		D5	P25D	P25入出力兼用ポートデータ					0	R/W	
		D4	P24D	P24入出力兼用ポートデータ					0	R/W	
		D3	P23D	P23入出力兼用ポートデータ					0	R/W	
		D2	P22D	P22入出力兼用ポートデータ					0	R/W	
		D1	P21D	P21入出力兼用ポートデータ					0	R/W	
		D0	P20D	P20入出力兼用ポートデータ					0	R/W	
P2 I/O制御	00402DA	D7	IOC27	P27 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポー
レジスタ	(B)	D6	IOC26	P26 I/O制御					0	R/W	ト端子のI/O制御信号
		D5	IOC25	P25 I/O制御					0	R/W	の値(詳細説明参照)
		D4	IOC24	P24 I/O制御					0	R/W	
		D3	IOC23	P23 I/O制御					0	R/W	
		D2	IOC22	P22 I/O制御					0	R/W	
		D1	IOC21	P21 I/O制御					0	R/W	
		D0	IOC20	P20 I/O制御					0	R/W	
ポートSIO	00402DB	D7–4	–	reserved	–				–	–	
機能拡張		D3	SSRDY2	シリアルI/F Ch.2 SRDY選択	1	#SRDY2	0	P24/TM2	0	R/W	
レジスタ		D2	SSCLK2	シリアルI/F Ch.2 SCLK選択	1	#SCLK2	0	P25/TM3	0	R/W	
		D1	SSOUT2	シリアルI/F Ch.2 SOUT選択	1	SOUT2	0	P26/TM4	0	R/W	
		D0	SSIN2	シリアルI/F Ch.2 SIN選択	1	SIN2	0	P27/TM5	0	R/W	
P3機能選択	00402DC	D7–6	–	reserved	–				–	–	読み出し時: 0
レジスタ	(B)	D5	CFP35	P35機能選択	1	#BUSACK	0	P35	0	R/W	
		D4	CFP34	P34機能選択	1	#BUSREQ #CE6	0	P34	0	R/W	
		D3	CFP33	P33機能選択	1	#DMAACK1	0	P33	0	R/W	
		D2	CFP32	P32機能選択	1	#DMAACK0	0	P32	0	R/W	
		D1	CFP31	P31機能選択	1	#BUSGET	0	P31	0	R/W	拡張機能(0x402DF)
		D0	CFP30	P30機能選択	1	#WAIT #CE4/#CE5	0	P30	0	R/W	
P3入出力兼用	00402DD	D7–6	–	reserved	–				–	–	読み出し時: 0
ポートデータ	(B)	D5	P35D	P35入出力兼用ポートデータ	1	High	0	Low	0	R/W	
レジスタ		D4	P34D	P34入出力兼用ポートデータ					0	R/W	
		D3	P33D	P33入出力兼用ポートデータ					0	R/W	
		D2	P32D	P32入出力兼用ポートデータ					0	R/W	
		D1	P31D	P31入出力兼用ポートデータ					0	R/W	
		D0	P30D	P30入出力兼用ポートデータ					0	R/W	
P3 I/O制御	00402DE	D7–6	–	reserved	–				–	–	読み出し時: 0
レジスタ	(B)	D5	IOC35	P35 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポー
		D4	IOC34	P34 I/O制御					0	R/W	ト端子のI/O制御信号
		D3	IOC33	P33 I/O制御					0	R/W	の値(詳細説明参照)
		D2	IOC32	P32 I/O制御					0	R/W	
		D1	IOC31	P31 I/O制御					0	R/W	
		D0	IOC30	P30 I/O制御					0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
ポート機能拡張レジスタ	00402DF (B)	D7	CFEX7	P07ポート機能拡張	1 #DMAEND3 0 P07, etc.	0	R/W	
		D6	CFEX6	P06ポート機能拡張	1 #DMAACK3 0 P06, etc.	0	R/W	
		D5	CFEX5	P05ポート機能拡張	1 #DMAEND2 0 P05, etc.	0	R/W	
		D4	CFEX4	P04ポート機能拡張	1 #DMAACK2 0 P04, etc.	0	R/W	
		D3	CFEX3	P31ポート機能拡張	1 #GARD 0 P31, etc.	0	R/W	
		D2	CFEX2	P21ポート機能拡張	1 #GAAS 0 P21, etc.	0	R/W	
		D1	CFEX1	P10, P11, P13ポート機能拡張	1 DST0 0 P10, etc. DST1 P11, etc. DPC0 P13, etc.	1	R/W	
		D0	CFEX0	P12, P14ポート機能拡張	1 DST2 0 P12, etc. DCLK P14, etc.	1	R/W	
エリア18–15設定レジスタ	0048120 (HW)	DF	–	reserved	–	–	–	読み出し時: 0
		DE	A18SZ	エリア18–17デバイスサイズ選択	1 8ビット 0 16ビット	0	R/W	
		DD	A18DF1	エリア18–17	A18DF[1:0] サイクル数	1	R/W	
		DC	A18DF0	出力ディセーブル遅延時間	1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		DB	–	reserved	–	–	–	読み出し時: 0
		DA	A18WT2	エリア18–17ウェイト制御	A18WT[2:0] ウェイト数	1	R/W	
		D9	A18WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D8	A18WT0			1		
		D7	–	reserved	–	–	–	読み出し時: 0
		D6	A16SZ	エリア16–15デバイスサイズ選択	1 8ビット 0 16ビット	0	R/W	
		D5	A16DF1	エリア16–15	A16DF[1:0] サイクル数	1	R/W	
		D4	A16DF0	出力ディセーブル遅延時間	1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	A16WT2	エリア16–15ウェイト制御	A16WT[2:0] ウェイト数	1	R/W	
		D1	A16WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D0	A16WT0			1		
エリア14–13設定レジスタ	0048122 (HW)	DF–9	–	reserved	–	–	–	読み出し時: 0
		D8	A14DRA	エリア14 DRAM選択	1 使用 0 未使用	0	R/W	
		D7	A13DRA	エリア13 DRAM選択	1 使用 0 未使用	0	R/W	
		D6	A14SZ	エリア14–13デバイスサイズ選択	1 8ビット 0 16ビット	0	R/W	
		D5	A14DF1	エリア14–13	A14DF[1:0] サイクル数	1	R/W	
		D4	A14DF0	出力ディセーブル遅延時間	1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	A14WT2	エリア14–13ウェイト制御	A14WT[2:0] ウェイト数	1	R/W	
		D1	A14WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D0	A14WT0			1		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
エリア12–11 設定レジスタ	0048124 (HW)	DF–7	–	reserved	–	–	–	読み出し時: 0
		D6	A12SZ	エリア12–11デバイスサイズ選択	1 8ビット 0 16ビット	0	R/W	
		D5	A12DF1	エリア12–11	A18DF[1:0] サイクル数	1	R/W	
		D4	A12DF0	出力ディセーブル遅延時間	1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	A12WT2	エリア12–11ウェイト制御	A18WT[2:0] ウェイト数	1	R/W	
		D1	A12WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D0	A12WT0			1		
エリア10–9 設定レジスタ	0048126 (HW)	DF	–	reserved	–	–	–	読み出し時: 0
		DE	A10IR2	エリア10内蔵ROM容量選択	A10IR[2:0] ROM容量	1	R/W	
		DD	A10IR1		1 1 1 2MB 1 1 0 1MB 1 0 1 512KB 1 0 0 256KB 0 1 1 128KB 0 1 0 64KB 0 0 1 32KB 0 0 0 16KB	1		
		DC	A10IR0			1		
		DB	–	reserved	–	–	–	読み出し時: 0
		DA	A10BW1	エリア10–9	A10BW[1:0] ウェイト数	0	R/W	
		D9	A10BW0	バーストROM バーストリードサイクルウェイト制御	1 1 3 1 0 2 0 1 1 0 0 0	0		
		D8	A10DRA	エリア10バーストROM選択	1 使用 0 未使用	0	R/W	
		D7	A9DRA	エリア9バーストROM選択	1 使用 0 未使用	0	R/W	
		D6	A10SZ	エリア10–9デバイスサイズ選択	1 8ビット 0 16ビット	0	R/W	
		D5	A10DF1	エリア10–9	A10DF[1:0] サイクル数	1	R/W	
		D4	A10DF0	出力ディセーブル遅延時間	1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	A10WT2	エリア10–9ウェイト制御	A10WT[2:0] ウェイト数	1	R/W	
		D1	A10WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D0	A10WT0			1		
エリア8–7 設定レジスタ	0048128 (HW)	DF–9	–	reserved	–	–	–	読み出し時: 0
		D8	A8DRA	エリア8 DRAM選択	1 使用 0 未使用	0	R/W	
		D7	A7DRA	エリア7 DRAM選択	1 使用 0 未使用	0	R/W	
		D6	A8SZ	エリア8–7デバイスサイズ選択	1 8ビット 0 16ビット	0	R/W	
		D5	A8DF1	エリア8–7	A8DF[1:0] サイクル数	1	R/W	
		D4	A8DF0	出力ディセーブル遅延時間	1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	A8WT2	エリア8–7ウェイト制御	A8WT[2:0] ウェイト数	1	R/W	
		D1	A8WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D0	A8WT0			1		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
エリア6–4 設定レジスタ	004812A (HW)	DF–E	–	reserved	–	–	–	読み出し時: 0
		DD	A6DF1	エリア6	A6DF[1:0] サイクル数	1	R/W	
		DC	A6DF0	出力ディセーブル遅延時間	1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		DB	–	reserved	–	–	–	読み出し時: 0
		DA	A6WT2	エリア6ウェイト制御	A6WT[2:0] ウェイト数	1	R/W	
		D9	A6WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D8	A6WT0			1		
		D7	–	reserved	–	–	–	読み出し時: 0
		D6	A5SZ	エリア5–4デバイスサイズ選択	1 8ビット 0 16ビット	0	R/W	
		D5	A5DF1	エリア5–4	A5DF[1:0] サイクル数	1	R/W	
		D4	A5DF0	出力ディセーブル遅延時間	1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		D3	–	reserved		–	–	読み出し時: 0
		D2	A5WT2	エリア5–4ウェイト制御	A5WT[2:0] ウェイト数	1	R/W	
		D1	A5WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D0	A5WT0			1		
TTBRレジスタ書き込み保護レジスタ	004812D (B)	D7	TBRP7	TTBRレジスタ書き込み保護	01011001(0x59)書き込みによりTTBRレジスタ(0x48134)の書き込み保護を解除それ以外は書き込み禁止に設定	0	W	読み出し時: 不定
		D6	TBRP6			0		
		D5	TBRP5			0		
		D4	TBRP4			0		
		D3	TBRP3			0		
		D2	TBRP2			0		
		D1	TBRP1			0		
		D0	TBRP0			0		
バスコントロールレジスタ	004812E (HW)	DF	RBCLK	BCLK出力イネーブル	1 H 固定 0 イネーブル	0	R/W	
		DE	–	reserved	–	0	–	1書き込み禁止
		DD	RBST8	バーストROMバーストモード選択	1 8連続 0 4連続	0	R/W	
		DC	REDO	DRAMページモード選択	1 EDO 0 高速ページ	0	R/W	
		DB	RCA1	カラムアドレスサイズ選択	RCA[1:0] サイズ	0	R/W	
		DA	RCA0		1 1 11 1 0 10 0 1 9 0 0 8	0		
		D9	RPC2	リフレッシュイネーブル	1 イネーブル 0 ディセーブル	0	R/W	
		D8	RPC1	リフレッシュ方式選択	1 セルフ 0 CBR	0	R/W	
		D7	RPC0	リフレッシュRPCディレイ	1 2.0 0 1.0	0	R/W	
		D6	RRA1	リフレッシュ	RRA[1:0] サイクル数	0	R/W	
		D5	RRA0	RASパルス幅選択	1 1 5 1 0 4 0 1 3 0 0 2	0		
		D4	–	reserved	–	0	–	1書き込み禁止
		D3	SBUSST	外部インタフェース方式設定	1 #BSL 0 A0	0	R/W	
		D2	SEMAS	外部バスマスタ設定	1 存在 0 なし	0	R/W	
		D1	SEPD	外部パワーダウン制御	1 有効 0 無効	0	R/W	
		D0	SWAITE	#WAITイネーブル	1 許可 0 禁止	0	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
DRAM タイミング設定 レジスタ	0048130 (HW)	DF–C	–	reserved	–	–	–	読み出し時: 0
		DB	A3EEN	エリア3エミュレーション	1 内蔵ROM 0 エミュレーション	1	R/W	
		DA	CEFUNC1	#CE端子機能選択	CEFUNC[1:0] #CE出力	0	R/W	
		D9	CEFUNC0		1 x #CE7/8..#CE17/18	0		
					0 1 #CE6..#CE17			
					0 0 #CE4..#CE10			
		D8	CRAS	連続RASモード	1 連続 0 通常	0	R/W	
		D7	RPRC1	DRAM	RPRC[1:0] サイクル数	0	R/W	
		D6	RPRC0	RASプリチャージサイクル数	1 1 4	0		
					1 0 3			
					0 1 2			
					0 0 1			
		D5	–	reserved	–	–	–	読み出し時: 0
		D4	CASC1	DRAM	CASC[1:0] サイクル数	0	R/W	
		D3	CASC0	CASサイクル数	1 1 4	0		
					1 0 3			
					0 1 2			
					0 0 1			
		D2	–	reserved	–	–	–	読み出し時: 0
		D1	RASC1	DRAM	RASC[1:0] サイクル数	0	R/W	
		D0	RASC0	RASサイクル数	1 1 4	0		
					1 0 3			
					0 1 2			
					0 0 1			
アクセス制御 レジスタ	0048132 (HW)	DF	A18IO	エリア18, 17外部/内部アクセス	1 内部アクセス 0 外部アクセス	0	R/W	
		DE	A16IO	エリア16, 15外部/内部アクセス		0	R/W	
		DD	A14IO	エリア14, 13外部/内部アクセス		0	R/W	
		DC	A12IO	エリア12, 11外部/内部アクセス		0	R/W	
		DB	–	reserved	–	0	–	読み出し時: 0
		DA	A8IO	エリア8, 7外部/内部アクセス	1 内部アクセス 0 外部アクセス	0	R/W	
		D9	A6IO	エリア6外部/内部アクセス		0	R/W	
		D8	A5IO	エリア5, 4外部/内部アクセス		0	R/W	
		D7	A18EC	エリア18, 17エンディアン制御	1 ビッグエンディアン 0 リトルエンディアン	0	R/W	
		D6	A16EC	エリア16, 15エンディアン制御		0	R/W	
		D5	A14EC	エリア14, 13エンディアン制御		0	R/W	
		D4	A12EC	エリア12, 11エンディアン制御		0	R/W	
		D3	A10EC	エリア10, 9エンディアン制御		0	R/W	
		D2	A8EC	エリア8, 7エンディアン制御		0	R/W	
		D1	A6EC	エリア6エンディアン制御		0	R/W	
		D0	A5EC	エリア5, 4エンディアン制御		0	R/W	
TTBR 下位レジスタ	0048134 (HW)	DF	TTBR15	トラップテーブル		0	R/W	
		DE	TTBR14	ベースアドレス bit[15:10]		0		
		DD	TTBR13			0		
		DC	TTBR12			0		
		DB	TTBR11			0		
		DA	TTBR10			0		
		D9	TTBR09	トラップテーブル	0に固定	0	R	読み出し時: 0
		D8	TTBR08	ベースアドレス bit[9:0]		0		1書き込み禁止
		D7	TTBR07			0		
		D6	TTBR06			0		
		D5	TTBR05			0		
		D4	TTBR04			0		
		D3	TTBR03			0		
		D2	TTBR02			0		
		D1	TTBR01			0		
		D0	TTBR00			0		
TTBR 上位レジスタ	0048136 (HW)	DF	TTBR33	トラップテーブル	0に固定	0	R	読み出し時: 0
		DE	TTBR32	ベースアドレス bit[31:28]		0		1書き込み禁止
		DD	TTBR31			0		
		DC	TTBR30			0		
		DB	TTBR2B	トラップテーブル	0x0C0	0	R/W	
		DA	TTBR2A	ベースアドレス bit[27:16]		0		
		D9	TTBR29			0		
		D8	TTBR28			0		
		D7	TTBR27			1		
		D6	TTBR26			1		
		D5	TTBR25			0		
		D4	TTBR24			0		
		D3	TTBR23			0		
		D2	TTBR22			0		
		D1	TTBR21			0		
		D0	TTBR20			0		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
G/Aリード信号制御レジスタ	0048138 (HW)	DF	A18AS	エリア18, 17アドレスストローブ	1 生成 0 禁止	0	R/W	
		DE	A16AS	エリア16, 15アドレスストローブ		0	R/W	
		DD	A14AS	エリア14, 13アドレスストローブ		0	R/W	
		DC	A12AS	エリア12, 11アドレスストローブ		0	R/W	
		DB	–	reserved	–	0	–	読み出し時: 0
		DA	A8AS	エリア8, 7アドレスストローブ	1 生成 0 禁止	0	R/W	
		D9	A6AS	エリア6アドレスストローブ		0	R/W	
		D8	A5AS	エリア5, 4アドレスストローブ		0	R/W	
		D7	A18RD	エリア18, 17リード信号	1 生成 0 禁止	0	R/W	
		D6	A16RD	エリア16, 15リード信号		0	R/W	
		D5	A14RD	エリア14, 13リード信号		0	R/W	
		D4	A12RD	エリア12, 11リード信号		0	R/W	
		D3	–	reserved	–	0	–	読み出し時: 0
		D2	A8RD	エリア8, 7リード信号	1 生成 0 禁止	0	R/W	
		D1	A6RD	エリア6リード信号		0	R/W	
		D0	A5RD	エリア5, 4リード信号		0	R/W	
BCLK選択レジスタ	004813A (B)	D7–4	–	reserved	–	0	–	読み出し時: 0
		D3	A1X1MD	エリア1アクセス速度	1 2サイクル 0 4サイクル	0	R/W	x2スピードモード時
		D2	–	reserved	–	0	–	読み出し時: 0
		D1	BCLKSEL1	BCLK出力クロック選択	BCLKSEL[1:0] BCLK	0	R/W	
		D0	BCLKSEL0		1 1 PLL_CLK	0		
					1 0 OSC3_CLK			
					0 1 BCU_CLK			
					0 0 CPU_CLK			

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ0 コンペアデータA設定レジスタ	0048180 (HW)	DF	CR0A15	16bitタイマ0	0～65535	X	R/W	
		DE	CR0A14	コンペアデータA		X		
		DD	CR0A13	CR0A15 = MSB		X		
		DC	CR0A12	CR0A0 = LSB		X		
		DB	CR0A11			X		
		DA	CR0A10			X		
		D9	CR0A9			X		
		D8	CR0A8			X		
		D7	CR0A7			X		
		D6	CR0A6			X		
		D5	CR0A5			X		
		D4	CR0A4			X		
		D3	CR0A3			X		
		D2	CR0A2			X		
		D1	CR0A1			X		
		D0	CR0A0			X		
16bitタイマ0 コンペアデータB設定レジスタ	0048182 (HW)	DF	CR0B15	16bitタイマ0	0～65535	X	R/W	
		DE	CR0B14	コンペアデータB		X		
		DD	CR0B13	CR0B15 = MSB		X		
		DC	CR0B12	CR0B0 = LSB		X		
		DB	CR0B11			X		
		DA	CR0B10			X		
		D9	CR0B9			X		
		D8	CR0B8			X		
		D7	CR0B7			X		
		D6	CR0B6			X		
		D5	CR0B5			X		
		D4	CR0B4			X		
		D3	CR0B3			X		
		D2	CR0B2			X		
		D1	CR0B1			X		
		D0	CR0B0			X		
16bitタイマ0 カウンタデータレジスタ	0048184 (HW)	DF	TC015	16bitタイマ0	0～65535	X	R	
		DE	TC014	カウンタデータ		X		
		DD	TC013	TC015 = MSB		X		
		DC	TC012	TC00 = LSB		X		
		DB	TC011			X		
		DA	TC010			X		
		D9	TC09			X		
		D8	TC08			X		
		D7	TC07			X		
		D6	TC06			X		
		D5	TC05			X		
		D4	TC04			X		
		D3	TC03			X		
		D2	TC02			X		
		D1	TC01			X		
		D0	TC00			X		
16bitタイマ0 制御レジスタ	0048186 (B)	D7	–	reserved	–	0	–	読み出し時: 0
		D6	SELFM0	16bitタイマ0ファインモード選択	1 ファイン 0 通常	0	R/W	
		D5	SELCRB0	16bitタイマ0コンペアバッファ	1 許可 0 禁止	0	R/W	
		D4	OUTINV0	16bitタイマ0出力反転	1 反転 0 通常	0	R/W	
		D3	CKSL0	16bitタイマ0入力クロック選択	1 外部クロック 0 内部クロック	0	R/W	
		D2	PTM0	16bitタイマ0クロック出力制御	1 On 0 Off	0	R/W	
		D1	PRESET0	16bitタイマ0リセット	1 リセット 0 無効	0	W	読み出し時: 0
		D0	PRUN0	16bitタイマ0 Run/Stop制御	1 Run 0 Stop	0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ1 コンペアデータA設定レジスタ	0048188 (HW)	DF	CR1A15	16bitタイマ1	0～65535	X	R/W	
		DE	CR1A14	コンペアデータA		X		
		DD	CR1A13	CR1A15 = MSB		X		
		DC	CR1A12	CR1A0 = LSB		X		
		DB	CR1A11			X		
		DA	CR1A10			X		
		D9	CR1A9			X		
		D8	CR1A8			X		
		D7	CR1A7			X		
		D6	CR1A6			X		
		D5	CR1A5			X		
		D4	CR1A4			X		
		D3	CR1A3			X		
		D2	CR1A2			X		
		D1	CR1A1			X		
		D0	CR1A0			X		
16bitタイマ1 コンペアデータB設定レジスタ	004818A (HW)	DF	CR1B15	16bitタイマ1	0～65535	X	R/W	
		DE	CR1B14	コンペアデータB		X		
		DD	CR1B13	CR1B15 = MSB		X		
		DC	CR1B12	CR1B0 = LSB		X		
		DB	CR1B11			X		
		DA	CR1B10			X		
		D9	CR1B9			X		
		D8	CR1B8			X		
		D7	CR1B7			X		
		D6	CR1B6			X		
		D5	CR1B5			X		
		D4	CR1B4			X		
		D3	CR1B3			X		
		D2	CR1B2			X		
		D1	CR1B1			X		
		D0	CR1B0			X		
16bitタイマ1 カウンタデータレジスタ	004818C (HW)	DF	TC115	16bitタイマ1	0～65535	X	R	
		DE	TC114	カウンタデータ		X		
		DD	TC113	TC115 = MSB		X		
		DC	TC112	TC10 = LSB		X		
		DB	TC111			X		
		DA	TC110			X		
		D9	TC19			X		
		D8	TC18			X		
		D7	TC17			X		
		D6	TC16			X		
		D5	TC15			X		
		D4	TC14			X		
		D3	TC13			X		
		D2	TC12			X		
		D1	TC11			X		
		D0	TC10			X		
16bitタイマ1 制御レジスタ	004818E (B)	D7	–	reserved	–	0	–	読み出し時: 0
		D6	SELFM1	16bitタイマ1ファインモード選択	1 ファイン 0 通常	0	R/W	
		D5	SELCRB1	16bitタイマ1コンペアバッファ	1 許可 0 禁止	0	R/W	
		D4	OUTINV1	16bitタイマ1出力反転	1 反転 0 通常	0	R/W	
		D3	CKSL1	16bitタイマ1入力クロック選択	1 外部クロック 0 内部クロック	0	R/W	
		D2	PTM1	16bitタイマ1クロック出力制御	1 On 0 Off	0	R/W	
		D1	PRESET1	16bitタイマ1リセット	1 リセット 0 無効	0	W	読み出し時: 0
		D0	PRUN1	16bitタイマ1 Run/Stop制御	1 Run 0 Stop	0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ2 コンペアデータA設定レジスタ	0048190 (HW)	DF	CR2A15	16bitタイマ2	0～65535	X	R/W	
		DE	CR2A14	コンペアデータA		X		
		DD	CR2A13	CR2A15 = MSB		X		
		DC	CR2A12	CR2A0 = LSB		X		
		DB	CR2A11			X		
		DA	CR2A10			X		
		D9	CR2A9			X		
		D8	CR2A8			X		
		D7	CR2A7			X		
		D6	CR2A6			X		
		D5	CR2A5			X		
		D4	CR2A4			X		
		D3	CR2A3			X		
		D2	CR2A2			X		
		D1	CR2A1			X		
		D0	CR2A0			X		
16bitタイマ2 コンペアデータB設定レジスタ	0048192 (HW)	DF	CR2B15	16bitタイマ2	0～65535	X	R/W	
		DE	CR2B14	コンペアデータB		X		
		DD	CR2B13	CR2B15 = MSB		X		
		DC	CR2B12	CR2B0 = LSB		X		
		DB	CR2B11			X		
		DA	CR2B10			X		
		D9	CR2B9			X		
		D8	CR2B8			X		
		D7	CR2B7			X		
		D6	CR2B6			X		
		D5	CR2B5			X		
		D4	CR2B4			X		
		D3	CR2B3			X		
		D2	CR2B2			X		
		D1	CR2B1			X		
		D0	CR2B0			X		
16bitタイマ2 カウンタデータレジスタ	0048194 (HW)	DF	TC215	16bitタイマ2	0～65535	X	R	
		DE	TC214	カウンタデータ		X		
		DD	TC213	TC215 = MSB		X		
		DC	TC212	TC20 = LSB		X		
		DB	TC211			X		
		DA	TC210			X		
		D9	TC29			X		
		D8	TC28			X		
		D7	TC27			X		
		D6	TC26			X		
		D5	TC25			X		
		D4	TC24			X		
		D3	TC23			X		
		D2	TC22			X		
		D1	TC21			X		
		D0	TC20			X		
16bitタイマ2 制御レジスタ	0048196 (B)	D7	–	reserved	–	0	–	読み出し時: 0
		D6	SELFM2	16bitタイマ2ファインモード選択	1 ファイン 0 通常	0	R/W	
		D5	SELCRB2	16bitタイマ2コンペアバッファ	1 許可 0 禁止	0	R/W	
		D4	OUTINV2	16bitタイマ2出力反転	1 反転 0 通常	0	R/W	
		D3	CKSL2	16bitタイマ2入力クロック選択	1 外部クロック 0 内部クロック	0	R/W	
		D2	PTM2	16bitタイマ2クロック出力制御	1 On 0 Off	0	R/W	
		D1	PRESET2	16bitタイマ2リセット	1 リセット 0 無効	0	W	読み出し時: 0
		D0	PRUN2	16bitタイマ2 Run/Stop制御	1 Run 0 Stop	0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ3 コンペアデータA設定レジスタ	0048198 (HW)	DF	CR3A15	16bitタイマ3 コンペアデータA CR3A15 = MSB CR3A0 = LSB	0～65535	X	R/W	
		DE	CR3A14			X		
		DD	CR3A13			X		
		DC	CR3A12			X		
		DB	CR3A11			X		
		DA	CR3A10			X		
		D9	CR3A9			X		
		D8	CR3A8			X		
		D7	CR3A7			X		
		D6	CR3A6			X		
		D5	CR3A5			X		
		D4	CR3A4			X		
		D3	CR3A3			X		
		D2	CR3A2			X		
		D1	CR3A1			X		
		D0	CR3A0			X		
16bitタイマ3 コンペアデータB設定レジスタ	004819A (HW)	DF	CR3B15	16bitタイマ3 コンペアデータB CR3B15 = MSB CR3B0 = LSB	0～65535	X	R/W	
		DE	CR3B14			X		
		DD	CR3B13			X		
		DC	CR3B12			X		
		DB	CR3B11			X		
		DA	CR3B10			X		
		D9	CR3B9			X		
		D8	CR3B8			X		
		D7	CR3B7			X		
		D6	CR3B6			X		
		D5	CR3B5			X		
		D4	CR3B4			X		
		D3	CR3B3			X		
		D2	CR3B2			X		
		D1	CR3B1			X		
		D0	CR3B0			X		
16bitタイマ3 カウンタデータレジスタ	004819C (HW)	DF	TC315	16bitタイマ3 カウンタデータ TC315 = MSB TC30 = LSB	0～65535	X	R	
		DE	TC314			X		
		DD	TC313			X		
		DC	TC312			X		
		DB	TC311			X		
		DA	TC310			X		
		D9	TC39			X		
		D8	TC38			X		
		D7	TC37			X		
		D6	TC36			X		
		D5	TC35			X		
		D4	TC34			X		
		D3	TC33			X		
		D2	TC32			X		
		D1	TC31			X		
		D0	TC30			X		
16bitタイマ3 制御レジスタ	004819E (B)	D7	–	reserved	–	0	–	読み出し時: 0
		D6	SELFM3	16bitタイマ3ファインモード選択	1 ファイン 0 通常	0	R/W	
		D5	SELCRB3	16bitタイマ3コンペアバッファ	1 許可 0 禁止	0	R/W	
		D4	OUTINV3	16bitタイマ3出力反転	1 反転 0 通常	0	R/W	
		D3	CKSL3	16bitタイマ3入力クロック選択	1 外部クロック 0 内部クロック	0	R/W	
		D2	PTM3	16bitタイマ3クロック出力制御	1 On 0 Off	0	R/W	
		D1	PRESET3	16bitタイマ3リセット	1 リセット 0 無効	0	W	読み出し時: 0
		D0	PRUN3	16bitタイマ3 Run/Stop制御	1 Run 0 Stop	0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ4 コンペアデータA設定レジスタ	00481A0 (HW)	DF	CR4A15	16bitタイマ4	0～65535	X	R/W	
		DE	CR4A14	コンペアデータA		X		
		DD	CR4A13	CR4A15 = MSB		X		
		DC	CR4A12	CR4A0 = LSB		X		
		DB	CR4A11			X		
		DA	CR4A10			X		
		D9	CR4A9			X		
		D8	CR4A8			X		
		D7	CR4A7			X		
		D6	CR4A6			X		
		D5	CR4A5			X		
		D4	CR4A4			X		
		D3	CR4A3			X		
		D2	CR4A2			X		
		D1	CR4A1			X		
		D0	CR4A0			X		
16bitタイマ4 コンペアデータB設定レジスタ	00481A2 (HW)	DF	CR4B15	16bitタイマ4	0～65535	X	R/W	
		DE	CR4B14	コンペアデータB		X		
		DD	CR4B13	CR4B15 = MSB		X		
		DC	CR4B12	CR4B0 = LSB		X		
		DB	CR4B11			X		
		DA	CR4B10			X		
		D9	CR4B9			X		
		D8	CR4B8			X		
		D7	CR4B7			X		
		D6	CR4B6			X		
		D5	CR4B5			X		
		D4	CR4B4			X		
		D3	CR4B3			X		
		D2	CR4B2			X		
		D1	CR4B1			X		
		D0	CR4B0			X		
16bitタイマ4 カウンタデータレジスタ	00481A4 (HW)	DF	TC415	16bitタイマ4	0～65535	X	R	
		DE	TC414	カウンタデータ		X		
		DD	TC413	TC415 = MSB		X		
		DC	TC412	TC40 = LSB		X		
		DB	TC411			X		
		DA	TC410			X		
		D9	TC49			X		
		D8	TC48			X		
		D7	TC47			X		
		D6	TC46			X		
		D5	TC45			X		
		D4	TC44			X		
		D3	TC43			X		
		D2	TC42			X		
		D1	TC41			X		
		D0	TC40			X		
16bitタイマ4 制御レジスタ	00481A6 (B)	D7	–	reserved	–	0	–	読み出し時: 0
		D6	SELFM4	16bitタイマ4ファインモード選択	1 ファイン 0 通常	0	R/W	
		D5	SELCRB4	16bitタイマ4コンペアバッファ	1 許可 0 禁止	0	R/W	
		D4	OUTINV4	16bitタイマ4出力反転	1 反転 0 通常	0	R/W	
		D3	CKSL4	16bitタイマ4入力クロック選択	1 外部クロック 0 内部クロック	0	R/W	
		D2	PTM4	16bitタイマ4クロック出力制御	1 On 0 Off	0	R/W	
		D1	PRESET4	16bitタイマ4リセット	1 リセット 0 無効	0	W	読み出し時: 0
		D0	PRUN4	16bitタイマ4 Run/Stop制御	1 Run 0 Stop	0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ5 コンペアデータA設定レジスタ	00481A8 (HW)	DF	CR5A15	16bitタイマ5	0～65535	X	R/W	
		DE	CR5A14	コンペアデータA		X		
		DD	CR5A13	CR5A15 = MSB		X		
		DC	CR5A12	CR5A0 = LSB		X		
		DB	CR5A11			X		
		DA	CR5A10			X		
		D9	CR5A9			X		
		D8	CR5A8			X		
		D7	CR5A7			X		
		D6	CR5A6			X		
		D5	CR5A5			X		
		D4	CR5A4			X		
		D3	CR5A3			X		
		D2	CR5A2			X		
		D1	CR5A1			X		
		D0	CR5A0			X		
16bitタイマ5 コンペアデータB設定レジスタ	00481AA (HW)	DF	CR5B15	16bitタイマ5	0～65535	X	R/W	
		DE	CR5B14	コンペアデータB		X		
		DD	CR5B13	CR5B15 = MSB		X		
		DC	CR5B12	CR5B0 = LSB		X		
		DB	CR5B11			X		
		DA	CR5B10			X		
		D9	CR5B9			X		
		D8	CR5B8			X		
		D7	CR5B7			X		
		D6	CR5B6			X		
		D5	CR5B5			X		
		D4	CR5B4			X		
		D3	CR5B3			X		
		D2	CR5B2			X		
		D1	CR5B1			X		
		D0	CR5B0			X		
16bitタイマ5 カウンタデータレジスタ	00481AC (HW)	DF	TC515	16bitタイマ5	0～65535	X	R	
		DE	TC514	カウンタデータ		X		
		DD	TC513	TC515 = MSB		X		
		DC	TC512	TC50 = LSB		X		
		DB	TC511			X		
		DA	TC510			X		
		D9	TC59			X		
		D8	TC58			X		
		D7	TC57			X		
		D6	TC56			X		
		D5	TC55			X		
		D4	TC54			X		
		D3	TC53			X		
		D2	TC52			X		
		D1	TC51			X		
		D0	TC50			X		
16bitタイマ5 制御レジスタ	00481AE (B)	D7	–	reserved	–	0	–	読み出し時: 0
		D6	SELFM5	16bitタイマ5ファインモード選択	1 ファイン 0 通常	0	R/W	
		D5	SELCRB5	16bitタイマ5コンペアバッファ	1 許可 0 禁止	0	R/W	
		D4	OUTINV5	16bitタイマ5出力反転	1 反転 0 通常	0	R/W	
		D3	CKSL5	16bitタイマ5入力クロック選択	1 外部クロック 0 内部クロック	0	R/W	
		D2	PTM5	16bitタイマ5クロック出力制御	1 On 0 Off	0	R/W	
		D1	PRESET5	16bitタイマ5リセット	1 リセット 0 無効	0	W	読み出し時: 0
		D0	PRUN5	16bitタイマ5 Run/Stop制御	1 Run 0 Stop	0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
IDMA	0048200	DF	DBASEL15	IDMA		0	R/W	
ベースアドレス	(HW)	DE	DBASEL14	ベースアドレス 下位16ビット		0		
下位レジスタ		DD	DBASEL13	(初期値: 0x0C003A0)		0		
		DC	DBASEL12			0		
		DB	DBASEL11			0		
		DA	DBASEL10			0		
		D9	DBASEL9			1		
		D8	DBASEL8			1		
		D7	DBASEL7			1		
		D6	DBASEL6			0		
		D5	DBASEL5			1		
		D4	DBASEL4			0		
		D3	DBASEL3			0		
		D2	DBASEL2			0		
		D1	DBASEL1			0		
		D0	DBASEL0			0		
IDMA	0048202	DF–C	–	reserved	–	–	–	読み出し時: 不定
ベースアドレス	(HW)	DB	DBASEH11	IDMA		0	R/W	
上位レジスタ		DA	DBASEH10	ベースアドレス 上位12ビット		0		
		D9	DBASEH9	(初期値: 0x0C003A0)		0		
		D8	DBASEH8			0		
		D7	DBASEH7			1		
		D6	DBASEH6			1		
		D5	DBASEH5			0		
		D4	DBASEH4			0		
		D3	DBASEH3			0		
		D2	DBASEH2			0		
		D1	DBASEH1			0		
		D0	DBASEH0			0		
IDMAスタート	0048204	D7	DSTART	IDMAスタート	1 IDMA開始 0 停止	0	R/W	
レジスタ	(B)	D6–0	DCHN	IDMAチャネル番号	0～127	0	R/W	
IDMAイネーブ	0048205	D7–1	–	reserved	–	–	–	
ルレジスタ	(B)	D0	IDMAEN	IDMAイネーブル	1 転送可 0 転送不可	0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
高速DMA Ch.0 転送カウンタ レジスタ	0048220 (HW)	DF	TC0_L7	Ch.0転送カウンタ[7:0]		X	R/W	
		DE	TC0_L6	(ブロック転送モード)		X		
		DD	TC0_L5			X		
		DC	TC0_L4	Ch.0転送カウンタ[15:8]		X		
		DB	TC0_L3	(シングル/連続転送モード)		X		
		DA	TC0_L2			X		
		D9	TC0_L1			X		
		D8	TC0_L0			X		
		D7	BLKLEN07	Ch.0ブロック長		X	R/W	
		D6	BLKLEN06	(ブロック転送モード)		X		
		D5	BLKLEN05			X		
		D4	BLKLEN04	Ch.0転送カウンタ[7:0]		X		
		D3	BLKLEN03	(シングル/連続転送モード)		X		
		D2	BLKLEN02			X		
		D1	BLKLEN01			X		
		D0	BLKLEN00			X		
高速DMA Ch.0 制御レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048222 (HW)	DF	DUALM0	Ch.0アドレスモード選択	1 デュアル 0 シングル	0	R/W	
		DE	D0DIR	D)無効	–	–	–	
				S) Ch.0転送方向制御	1 メモリWR 0 メモリRD	0	R/W	
		DD–8	–	reserved	–	–	–	読み出し時: 不定
		D7	TC0_H7	Ch.0転送カウンタ[15:8]		X	R/W	
		D6	TC0_H6	(ブロック転送モード)		X		
		D5	TC0_H5			X		
		D4	TC0_H4	Ch.0転送カウンタ[23:16]		X		
		D3	TC0_H3	(シングル/連続転送モード)		X		
		D2	TC0_H2			X		
		D1	TC0_H1			X		
		D0	TC0_H0			X		
高速DMA Ch.0 転送元下位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048224 (HW)	DF	S0ADRL15	D) Ch.0転送元アドレス[15:0]		X	R/W	
		DE	S0ADRL14	S) Ch.0メモリアドレス[15:0]		X		
		DD	S0ADRL13			X		
		DC	S0ADRL12			X		
		DB	S0ADRL11			X		
		DA	S0ADRL10			X		
		D9	S0ADRL9			X		
		D8	S0ADRL8			X		
		D7	S0ADRL7			X		
		D6	S0ADRL6			X		
		D5	S0ADRL5			X		
		D4	S0ADRL4			X		
		D3	S0ADRL3			X		
		D2	S0ADRL2			X		
		D1	S0ADRL1			X		
		D0	S0ADRL0			X		
高速DMA Ch.0 転送元上位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048226 (HW)	DF	–	reserved	–	–	–	
		DE	DATSIZE0	Ch.0転送データサイズ	1 ハーフワード 0 バイト	0	R/W	
		DD	S0IN1	D) Ch.0転送元アドレス制御	S0IN[1:0] Inc/dec	0	R/W	
		DC	S0IN0	S) Ch.0メモリアドレス制御	1 1 Inc.(initなし) 1 0 Inc.(init) 0 1 Dec.(initなし) 0 0 固定	0		
		DB	S0ADRH11	D) Ch.0転送元アドレス[27:16]		X	R/W	
		DA	S0ADRH10	S) Ch.0メモリアドレス[27:16]		X		
		D9	S0ADRH9			X		
		D8	S0ADRH8			X		
		D7	S0ADRH7			X		
		D6	S0ADRH6			X		
		D5	S0ADRH5			X		
		D4	S0ADRH4			X		
		D3	S0ADRH3			X		
		D2	S0ADRH2			X		
		D1	S0ADRH1			X		
		D0	S0ADRH0			X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
高速DMA Ch.0 転送先下位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048228 (HW)	DF	D0ADRL15	D) Ch.0転送先アドレス[15:0]		X	R/W	
		DE	D0ADRL14	S) 無効		X		
		DD	D0ADRL13			X		
		DC	D0ADRL12			X		
		DB	D0ADRL11			X		
		DA	D0ADRL10			X		
		D9	D0ADRL9			X		
		D8	D0ADRL8			X		
		D7	D0ADRL7			X		
		D6	D0ADRL6			X		
		D5	D0ADRL5			X		
		D4	D0ADRL4			X		
		D3	D0ADRL3			X		
		D2	D0ADRL2			X		
		D1	D0ADRL1			X		
		D0	D0ADRL0			X		
高速DMA Ch.0 転送先上位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	004822A (HW)	DF	D0MOD1	Ch.0転送モード	D0MOD[1:0]: 1 1 = 無効	0	R/W	
		DE	D0MOD0		1 0 = ブロック転送	0		
					0 1 = 連続転送			
					0 0 = シングル転送			
		DD	D0IN1	D) Ch.0転送先アドレス制御	D0IN[1:0]: Inc/dec	0	R/W	
		DC	D0IN0	S) 無効	1 1 = Inc.(initなし)	0		
					1 0 = Inc.(init)			
					0 1 = Dec.(initなし)			
					0 0 = 固定			
		DB	D0ADRH11	D) Ch.0転送先アドレス[27:16]		X	R/W	
		DA	D0ADRH10	S) 無効		X		
		D9	D0ADRH9			X		
		D8	D0ADRH8			X		
		D7	D0ADRH7			X		
		D6	D0ADRH6			X		
		D5	D0ADRH5			X		
		D4	D0ADRH4			X		
		D3	D0ADRH3			X		
		D2	D0ADRH2			X		
		D1	D0ADRH1			X		
		D0	D0ADRH0			X		
高速DMA Ch.0 イネーブル レジスタ	004822C (HW)	DF–1	–	reserved	–	–	–	読み出し時: 不定
		D0	HS0_EN	Ch.0イネーブル	1 許可 0 禁止	0	R/W	
高速DMA Ch.0 トリガフラグ レジスタ	004822E (HW)	DF–1	–	reserved	–	–	–	読み出し時: 不定
		D0	HS0_TF	Ch.0トリガフラグクリア(WR)	1 クリア 0 無効	0	R/W	
				Ch.0トリガフラグステータス(RD)	1 セット 0 クリア			

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
高速DMA Ch.1 転送カウンタ レジスタ	0048230 (HW)	DF	TC1_L7	Ch.1転送カウンタ[7:0]		X	R/W	
		DE	TC1_L6	(ブロック転送モード)		X		
		DD	TC1_L5			X		
		DC	TC1_L4	Ch.1転送カウンタ[15:8]		X		
		DB	TC1_L3	(シングル/連続転送モード)		X		
		DA	TC1_L2			X		
		D9	TC1_L1			X		
		D8	TC1_L0			X		
		D7	BLKLEN17	Ch.1ブロック長		X	R/W	
		D6	BLKLEN16	(ブロック転送モード)		X		
		D5	BLKLEN15			X		
		D4	BLKLEN14	Ch.1転送カウンタ[7:0]		X		
		D3	BLKLEN13	(シングル/連続転送モード)		X		
		D2	BLKLEN12			X		
		D1	BLKLEN11			X		
		D0	BLKLEN10			X		
高速DMA Ch.1 制御レジスタ	0048232 (HW)	DF	DUALM1	Ch.1アドレスモード選択	1 デュアル 0 シングル	0	R/W	
		DE	D1DIR	D)無効	–	–	–	
				S) Ch.1転送方向制御	1 メモリWR 0 メモリRD	0	R/W	
注: D) デュアルアドレスモード S) シングルアドレスモード		DD–8	–	reserved	–	–	–	読み出し時: 不定
		D7	TC1_H7	Ch.1転送カウンタ[15:8]		X	R/W	
		D6	TC1_H6	(ブロック転送モード)		X		
		D5	TC1_H5			X		
		D4	TC1_H4	Ch.1転送カウンタ[23:16]		X		
		D3	TC1_H3	(シングル/連続転送モード)		X		
		D2	TC1_H2			X		
		D1	TC1_H1			X		
		D0	TC1_H0			X		
高速DMA Ch.1 転送元下位 アドレス設定 レジスタ	0048234 (HW)	DF	S1ADRL15	D) Ch.1転送元アドレス[15:0]		X	R/W	
		DE	S1ADRL14	S) Ch.1メモリアドレス[15:0]		X		
		DD	S1ADRL13			X		
		DC	S1ADRL12			X		
		DB	S1ADRL11			X		
注: D) デュアルアドレスモード S) シングルアドレスモード		DA	S1ADRL10			X		
		D9	S1ADRL9			X		
		D8	S1ADRL8			X		
		D7	S1ADRL7			X		
		D6	S1ADRL6			X		
		D5	S1ADRL5			X		
		D4	S1ADRL4			X		
		D3	S1ADRL3			X		
		D2	S1ADRL2			X		
		D1	S1ADRL1			X		
		D0	S1ADRL0			X		
高速DMA Ch.1 転送元上位 アドレス設定 レジスタ	0048236 (HW)	DF	–	reserved	–	–	–	
		DE	DATSIZE1	Ch.1転送データサイズ	1 ハーフワード 0 バイト	0	R/W	
		DD	S1IN1	D) Ch.1転送元アドレス制御	S1IN[1:0] Inc/dec	0	R/W	
		DC	S1IN0	S) Ch.1メモリアドレス制御	1 1 Inc.(initなし) 1 0 Inc.(init) 0 1 Dec.(initなし) 0 0 固定	0		
注: D) デュアルアドレスモード S) シングルアドレスモード		DB	S1ADRH11	D) Ch.1転送元アドレス[27:16]		X	R/W	
		DA	S1ADRH10	S) Ch.1メモリアドレス[27:16]		X		
		D9	S1ADRH9			X		
		D8	S1ADRH8			X		
		D7	S1ADRH7			X		
		D6	S1ADRH6			X		
		D5	S1ADRH5			X		
		D4	S1ADRH4			X		
		D3	S1ADRH3			X		
		D2	S1ADRH2			X		
		D1	S1ADRH1			X		
		D0	S1ADRH0			X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
高速DMA Ch.1 転送先下位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048238 (HW)	DF	D1ADRL15	D) Ch.1転送先アドレス[15:0]		X	R/W	
		DE	D1ADRL14	S) 無効		X		
		DD	D1ADRL13			X		
		DC	D1ADRL12			X		
		DB	D1ADRL11			X		
		DA	D1ADRL10			X		
		D9	D1ADRL9			X		
		D8	D1ADRL8			X		
		D7	D1ADRL7			X		
		D6	D1ADRL6			X		
		D5	D1ADRL5			X		
		D4	D1ADRL4			X		
		D3	D1ADRL3			X		
		D2	D1ADRL2			X		
		D1	D1ADRL1			X		
		D0	D1ADRL0			X		
高速DMA Ch.1 転送先上位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	004823A (HW)	DF	D1MOD1	Ch.1転送モード	D1MOD[1:0] 1 1 無効 1 0 ブロック転送 0 1 連続転送 0 0 シングル転送	0 0	R/W	
		DE	D1MOD0					
		DD	D1IN1	D) Ch.1転送先アドレス制御	D1IN[1:0] 1 1 Inc.(initなし) 1 0 Inc.(init) 0 1 Dec.(initなし) 0 0 固定	0 0	R/W	
		DC	D1IN0	S) 無効				
		DB	D1ADRH11	D) Ch.1転送先アドレス[27:16]		X	R/W	
		DA	D1ADRH10	S) 無効		X		
		D9	D1ADRH9			X		
		D8	D1ADRH8			X		
		D7	D1ADRH7			X		
		D6	D1ADRH6			X		
		D5	D1ADRH5			X		
		D4	D1ADRH4			X		
		D3	D1ADRH3			X		
		D2	D1ADRH2			X		
		D1	D1ADRH1			X		
		D0	D1ADRH0			X		
高速DMA Ch.1 イネーブル レジスタ	004823C (HW)	DF–1	–	reserved	–	–	–	読み出し時: 不定
		D0	HS1_EN	Ch.1イネーブル	1 許可 0 禁止	0	R/W	
高速DMA Ch.1 トリガフラグ レジスタ	004823E (HW)	DF–1	–	reserved	–	–	–	読み出し時: 不定
		D0	HS1_TF	Ch.1トリガフラグクリア(WR)	1 クリア 0 無効	0	R/W	
				Ch.1トリガフラグステータス(RD)	1 セット 0 クリア			

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
高速DMA Ch.2 転送カウンタ レジスタ	0048240 (HW)	DF	TC2_L7	Ch.2転送カウンタ[7:0]		X	R/W	
		DE	TC2_L6	(ブロック転送モード)		X		
		DD	TC2_L5			X		
		DC	TC2_L4	Ch.2転送カウンタ[15:8]		X		
		DB	TC2_L3	(シングル/連続転送モード)		X		
		DA	TC2_L2			X		
		D9	TC2_L1			X		
		D8	TC2_L0			X		
		D7	BLKLEN27	Ch.2ブロック長		X	R/W	
		D6	BLKLEN26	(ブロック転送モード)		X		
		D5	BLKLEN25			X		
		D4	BLKLEN24	Ch.2転送カウンタ[7:0]		X		
		D3	BLKLEN23	(シングル/連続転送モード)		X		
		D2	BLKLEN22			X		
		D1	BLKLEN21			X		
		D0	BLKLEN20			X		
高速DMA Ch.2 制御レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048242 (HW)	DF	DUALM2	Ch.2アドレスモード選択	1 デュアル 0 シングル	0	R/W	
		DE	D2DIR	D)無効	–	–	–	
				S) Ch.2転送方向制御	1 メモリWR 0 メモリRD	0	R/W	
		DD–8	–	reserved	–	–	–	読み出し時: 不定
		D7	TC2_H7	Ch.2転送カウンタ[15:8]		X	R/W	
		D6	TC2_H6	(ブロック転送モード)		X		
		D5	TC2_H5			X		
		D4	TC2_H4	Ch.2転送カウンタ[23:16]		X		
		D3	TC2_H3	(シングル/連続転送モード)		X		
		D2	TC2_H2			X		
		D1	TC2_H1			X		
		D0	TC2_H0			X		
高速DMA Ch.2 転送元下位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048244 (HW)	DF	S2ADRL15	D) Ch.2転送元アドレス[15:0]		X	R/W	
		DE	S2ADRL14	S) Ch.2メモリアドレス[15:0]		X		
		DD	S2ADRL13			X		
		DC	S2ADRL12			X		
		DB	S2ADRL11			X		
		DA	S2ADRL10			X		
		D9	S2ADRL9			X		
		D8	S2ADRL8			X		
		D7	S2ADRL7			X		
		D6	S2ADRL6			X		
		D5	S2ADRL5			X		
		D4	S2ADRL4			X		
		D3	S2ADRL3			X		
		D2	S2ADRL2			X		
		D1	S2ADRL1			X		
		D0	S2ADRL0			X		
高速DMA Ch.2 転送元上位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048246 (HW)	DF	–	reserved	–	–	–	
		DE	DATSIZE2	Ch.2転送データサイズ	1 ハーフワード 0 バイト	0	R/W	
		DD	S2IN1	D) Ch.2転送元アドレス制御	S2IN[1:0] Inc/dec	0	R/W	
		DC	S2IN0	S) Ch.2メモリアドレス制御	1 1 Inc.(initなし) 1 0 Inc.(init) 0 1 Dec.(initなし) 0 0 固定	0		
		DB	S2ADRH11	D) Ch.2転送元アドレス[27:16]		X	R/W	
		DA	S2ADRH10	S) Ch.2メモリアドレス[27:16]		X		
		D9	S2ADRH9			X		
		D8	S2ADRH8			X		
		D7	S2ADRH7			X		
		D6	S2ADRH6			X		
		D5	S2ADRH5			X		
		D4	S2ADRH4			X		
		D3	S2ADRH3			X		
		D2	S2ADRH2			X		
		D1	S2ADRH1			X		
		D0	S2ADRH0			X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
高速DMA Ch.2 転送先下位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048248 (HW)	DF	D2ADRL15	D) Ch.2転送先アドレス[15:0]		X	R/W	
		DE	D2ADRL14	S) 無効		X		
		DD	D2ADRL13			X		
		DC	D2ADRL12			X		
		DB	D2ADRL11			X		
		DA	D2ADRL10			X		
		D9	D2ADRL9			X		
		D8	D2ADRL8			X		
		D7	D2ADRL7			X		
		D6	D2ADRL6			X		
		D5	D2ADRL5			X		
		D4	D2ADRL4			X		
		D3	D2ADRL3			X		
		D2	D2ADRL2			X		
		D1	D2ADRL1			X		
		D0	D2ADRL0			X		
高速DMA Ch.2 転送先上位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	004824A (HW)	DF	D2MOD1	Ch.2転送モード	D2MOD[1:0]: 1 1 = 無効	0	R/W	
		DE	D2MOD0		1 0 = ブロック転送	0		
					0 1 = 連続転送			
					0 0 = シングル転送			
		DD	D2IN1	D) Ch.2転送先アドレス制御	D2IN[1:0]: Inc/dec	0	R/W	
		DC	D2IN0	S) 無効	1 1 = Inc.(initなし)	0		
					1 0 = Inc.(init)			
					0 1 = Dec.(initなし)			
					0 0 = 固定			
		DB	D2ADRH11	D) Ch.2転送先アドレス[27:16]		X	R/W	
		DA	D2ADRH10	S) 無効		X		
		D9	D2ADRH9			X		
		D8	D2ADRH8			X		
		D7	D2ADRH7			X		
		D6	D2ADRH6			X		
		D5	D2ADRH5			X		
		D4	D2ADRH4			X		
		D3	D2ADRH3			X		
		D2	D2ADRH2			X		
		D1	D2ADRH1			X		
		D0	D2ADRH0			X		
高速DMA Ch.2 イネーブル レジスタ	004824C (HW)	DF–1	–	reserved	–	–	–	読み出し時: 不定
		D0	HS2_EN	Ch.2イネーブル	1 許可 / 0 禁止	0	R/W	
高速DMA Ch.2 トリガフラグ レジスタ	004824E (HW)	DF–1	–	reserved	–	–	–	読み出し時: 不定
		D0	HS2_TF	Ch.2トリガフラグクリア(WR)	1 クリア / 0 無効	0	R/W	
				Ch.2トリガフラグステータス(RD)	1 セット / 0 クリア			

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
高速DMA Ch.3 転送カウンタ レジスタ	0048250 (HW)	DF	TC3_L7	Ch.3転送カウンタ[7:0]		X	R/W	
		DE	TC3_L6	(ブロック転送モード)		X		
		DD	TC3_L5			X		
		DC	TC3_L4	Ch.3転送カウンタ[15:8]		X		
		DB	TC3_L3	(シングル/連続転送モード)		X		
		DA	TC3_L2			X		
		D9	TC3_L1			X		
		D8	TC3_L0			X		
		D7	BLKLEN37	Ch.3ブロック長		X	R/W	
		D6	BLKLEN36	(ブロック転送モード)		X		
		D5	BLKLEN35			X		
		D4	BLKLEN34	Ch.3転送カウンタ[7:0]		X		
		D3	BLKLEN33	(シングル/連続転送モード)		X		
		D2	BLKLEN32			X		
		D1	BLKLEN31			X		
		D0	BLKLEN30			X		
高速DMA Ch.3 制御レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048252 (HW)	DF	DUALM3	Ch.3アドレスモード選択	1 デュアル 0 シングル	0	R/W	
		DE	D3DIR	D)無効	–	–	–	
				S) Ch.3転送方向制御	1 メモリWR 0 メモリRD	0	R/W	
		DD–8	–	reserved	–	–	–	読み出し時: 不定
		D7	TC3_H7	Ch.3転送カウンタ[15:8]		X	R/W	
		D6	TC3_H6	(ブロック転送モード)		X		
		D5	TC3_H5			X		
		D4	TC3_H4	Ch.3転送カウンタ[23:16]		X		
		D3	TC3_H3	(シングル/連続転送モード)		X		
		D2	TC3_H2			X		
		D1	TC3_H1			X		
		D0	TC3_H0			X		
高速DMA Ch.3 転送元下位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048254 (HW)	DF	S3ADRL15	D) Ch.3転送元アドレス[15:0]		X	R/W	
		DE	S3ADRL14	S) Ch.3メモリアドレス[15:0]		X		
		DD	S3ADRL13			X		
		DC	S3ADRL12			X		
		DB	S3ADRL11			X		
		DA	S3ADRL10			X		
		D9	S3ADRL9			X		
		D8	S3ADRL8			X		
		D7	S3ADRL7			X		
		D6	S3ADRL6			X		
		D5	S3ADRL5			X		
		D4	S3ADRL4			X		
		D3	S3ADRL3			X		
		D2	S3ADRL2			X		
		D1	S3ADRL1			X		
		D0	S3ADRL0			X		
高速DMA Ch.3 転送元上位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048256 (HW)	DF	–	reserved	–	–	–	
		DE	DATSIZE3	Ch.3転送データサイズ	1 ハーフワード 0 バイト	0	R/W	
		DD	S3IN1	D) Ch.3転送元アドレス制御	S3IN[1:0] Inc/dec	0	R/W	
		DC	S3IN0	S) Ch.3メモリアドレス制御	1 1 Inc.(initなし) 1 0 Inc.(init) 0 1 Dec.(initなし) 0 0 固定	0		
		DB	S3ADRH11	D) Ch.3転送元アドレス[27:16]		X	R/W	
		DA	S3ADRH10	S) Ch.3メモリアドレス[27:16]		X		
		D9	S3ADRH9			X		
		D8	S3ADRH8			X		
		D7	S3ADRH7			X		
		D6	S3ADRH6			X		
		D5	S3ADRH5			X		
		D4	S3ADRH4			X		
		D3	S3ADRH3			X		
		D2	S3ADRH2			X		
		D1	S3ADRH1			X		
		D0	S3ADRH0			X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
高速DMA Ch.3 転送先下位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048258 (HW)	DF	D3ADRL15	D) Ch.3転送先アドレス[15:0]		X	R/W	
		DE	D3ADRL14	S) 無効		X		
		DD	D3ADRL13			X		
		DC	D3ADRL12			X		
		DB	D3ADRL11			X		
		DA	D3ADRL10			X		
		D9	D3ADRL9			X		
		D8	D3ADRL8			X		
		D7	D3ADRL7			X		
		D6	D3ADRL6			X		
		D5	D3ADRL5			X		
		D4	D3ADRL4			X		
		D3	D3ADRL3			X		
		D2	D3ADRL2			X		
		D1	D3ADRL1			X		
		D0	D3ADRL0			X		
高速DMA Ch.3 転送先上位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	004825A (HW)	DF	D3MOD1	Ch.3転送モード	D3MOD[1:0]: 1 1 = 無効	0	R/W	
		DE	D3MOD0		1 0 = ブロック転送	0		
					0 1 = 連続転送			
					0 0 = シングル転送			
		DD	D3IN1	D) Ch.3転送先アドレス制御	D3IN[1:0]: Inc/dec	0	R/W	
		DC	D3IN0	S) 無効	1 1 = Inc.(initなし)	0		
					1 0 = Inc.(init)			
					0 1 = Dec.(initなし)			
					0 0 = 固定			
		DB	D3ADRH11	D) Ch.3転送先アドレス[27:16]		X	R/W	
		DA	D3ADRH10	S) 無効		X		
		D9	D3ADRH9			X		
		D8	D3ADRH8			X		
		D7	D3ADRH7			X		
		D6	D3ADRH6			X		
		D5	D3ADRH5			X		
		D4	D3ADRH4			X		
		D3	D3ADRH3			X		
		D2	D3ADRH2			X		
		D1	D3ADRH1			X		
		D0	D3ADRH0			X		
高速DMA Ch.3 イネーブル レジスタ	004825C (HW)	DF–1	–	reserved	–	–	–	読み出し時: 不定
		D0	HS3_EN	Ch.3イネーブル	1 許可 0 禁止	0	R/W	
高速DMA Ch.3 トリガフラグ レジスタ	004825E (HW)	DF–1	–	reserved	–	–	–	読み出し時: 不定
		D0	HS3_TF	Ch.3トリガフラグクリア(WR)	1 クリア 0 無効	0	R/W	
				Ch.3トリガフラグステータス(RD)	1 セット 0 クリア			

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
SDRAM エリア設定 レジスタ	039FFC0 (B)	D7	SDRAR0	エリア7/13設定	1 SDRAM 0 SDRAM以外	0	R/W	
		D6	SDRAR1	エリア8/14設定	1 SDRAM 0 SDRAM以外	0	R/W	
		D5–4	–	reserved	–	–	–	読み出し時: 0
		D3	SDRPC0	#CE7/13端子設定	1 #SDCE0 0 #CE7/13	0	R/W	
		D2	SDRPC1	#CE8/14端子設定	1 #SDCE1 0 #CE8/14	0	R/W	
		D1–0	–	reserved	–	–	–	読み出し時: 0
SDRAM 制御レジスタ	039FFC1 (B)	D7	SDRENA	SDRAM信号イネーブル	1 許可 0 禁止	0	R/W	
		D6	SDRINI	SDRAM初期化	1 開始 0 –	0	R/W	読み出し時: 0
		D5	SDRSRF	SDRAMセルフリフレッシュモード	1 有効 0 無効	0	R/W	
		D4	SDRIS	初期化コマンドシーケンス	1 1 PRE 2 MRS 3 REF 0 1 PRE 2 REF 3 MRS	0	R/W	
		D3	SDRCLK	セルフリフレッシュ時SDCLK指定	1 保持 0 停止	1	R/W	
		D2–0	–	reserved	–	–	–	読み出し時: 0
SDRAM アドレス設定 レジスタ	039FFC2 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6–5	SDRCA1 SDRCA0	SDRAMページサイズ (カラムアドレス範囲)	SDRCA[1:0] ページサイズ: 1 1 reserved; 1 0 1K (SDA[9:0]); 0 1 512 (SDA[8:0]); 0 0 256 (SDA[7:0])	0 0	R/W	
		D4	–	reserved	–	–	–	読み出し時: 0
		D3–2	SDRRA1 SDRRA0	SDRAMローアドレス範囲	SDRRA[1:0] アドレス範囲: 1 1 reserved; 1 0 8K (SDA[12:0]); 0 1 4K (SDA[11:0]); 0 0 2K (SDA[10:0])	0 0	R/W	
		D1	SDRBA	SDRAMバンク数	1 4バンク 0 2バンク	0	R/W	
		D0	–	reserved	–	–	–	読み出し時: 0
SDRAM モード設定 レジスタ	039FFC3 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6–5	SDRCL1 SDRCL0	SDRAM CASレイテンシ	SDRCL[1:0] CASレイテンシ: 1 0 2クロック	1 1	R/W	
		D4	–	reserved	–	–	–	読み出し時: 0
		D3–2	SDRBL1 SDRBL0	SDRAMバースト長	SDRBL[1:0] バースト長: 1 1 8; 1 0 4; 0 1 2; 0 0 1	1 1	R/W	
		D1–0	–	reserved	–	–	–	読み出し時: 0
SDRAM タイミング設定 レジスタ1	039FFC4 (B)	D7–5	SDRTRAS2 SDRTRAS1 SDRTRAS0	SDRAM t_{RAS}仕様	SDRTRAS[2:0] クロック数: 1 1 1 7; 1 1 0 6; 1 0 1 5; 1 0 0 4; 0 1 1 3; 0 1 0 2; 0 0 1 1; 0 0 0 8	0 0 0	R/W	
		D4–3	SDRTRP1 SDRTRP0	SDRAM t_{RP}仕様	SDRTRP[1:0] クロック数: 1 1 3; 1 0 2; 0 1 1; 0 0 4	0 0	R/W	
		D2–0	SDRTRC2 SDRTRC1 SDRTRC0	SDRAM t_{RC}仕様	SDRTRC[2:0] クロック数: 1 1 1 7; 1 1 0 6; 1 0 1 5; 1 0 0 4; 0 1 1 3; 0 1 0 2; 0 0 1 1; 0 0 0 8	0 0 0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
SDRAM タイミング設定 レジスタ2	039FFC5 (B)	D7–6	SDRTRCD1 SDRTRCD0	SDRAM tRCD仕様	SDRTRCD[1:0] 1 1: 3クロック 1 0: 2クロック 0 1: 1クロック 0 0: 4クロック	0 0	R/W	
		D5	SDRTRSC	SDRAM tRSC仕様	1: 1クロック 0: 2クロック	0	R/W	
		D4–3	SDRTRRD1 SDRTRRD0	SDRAM tRRD仕様	SDRTRRD[1:0] 1 1: 3クロック 1 0: 2クロック 0 1: 1クロック 0 0: 4クロック	0 0	R/W	
		D2–0	–	reserved	–	–	–	読み出し時: 0
SDRAM オートリフレッシュカウント レジスタ	039FFC6 (HW)	DF–C	–	reserved	–	–	–	読み出し時: 0
		DB	SDRARFC11	SDRAMオートリフレッシュ カウンタ値[11:0]	0〜4096	1	R/W	
		DA	SDRARFC10			1		
		D9	SDRARFC9			1		
		D8	SDRARFC8			1		
		D7	SDRARFC7			1		
		D6	SDRARFC6			1		
		D5	SDRARFC5			1		
		D4	SDRARFC4			1		
		D3	SDRARFC3			1		
		D2	SDRARFC2			1		
		D1	SDRARFC1			1		
		D0	SDRARFC0			1		
SDRAM セルフリフレッシュカウント レジスタ	039FFC8 (B)	D7–4	–	reserved	–	–	–	読み出し時: 0
		D3	SDRSRFC3	SDRAMセルフリフレッシュ カウンタ値[3:0]	2〜15	1	R/W	本レジスタは必ず "0x02"以上に設定してください
		D2	SDRSRFC2			1		
		D1	SDRSRFC1			1		
		D0	SDRSRFC0			1		
SDRAM 高度制御 レジスタ	039FFC9 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	SDRSZ	SDRAMデータ幅	1: 8ビット 0: 16ビット	0	R/W	
		D5	SDRBI	SDRAMバンクインターリーブ	1: インターリーブ 0: 1バンク	0	R/W	
		D4–0	–	reserved	–	–	–	読み出し時: 0
SDRAM ステータス レジスタ	039FFCA (B)	D7	SDRMRS	SDRAMモードレジスタセットフラグ	1: 未設定 0: 設定済み	1	R	
		D6	SDRSRM	SDRAMリフレッシュモード	1: オート 0: セルフ	1	R	
		D5–0	–	reserved	–	–	–	読み出し時: 0

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
改定コード	039FFE0	D7	PCODE5	製品コード	0b000010	0	R	
レジスタ	(B)	D6	PCODE4			0		
		D5	PCODE3			0		
		D4	PCODE2			0		
		D3	PCODE1			1		
		D2	PCODE0			0		
		D1	RCODE1	改定コード		0	R	
		D0	RCODE0			0		
LCDCモード	039FFE1	D7–6	–	reserved	–	–	–	読み出し時: 0
レジスタ0	(B)	D5	LDCOLOR	カラー/モノクロ選択	1 カラー 0 モノクロ	0	R/W	
		D4–3	–	reserved	–	–	–	読み出し時: 0
		D2	FPSMASK	FPSHIFT信号マスク	1 マスク 0 出力	0	R/W	
		D1	LDDW1	LCDデータ幅/形式	LDDW[1:0] モノクロ時	0	R/W	
		D0	LDDW0		1 x reserved	0		
					0 1 8ビット			
					0 0 4ビット			
					LDDW[1:0] カラー時			
					1 1 8ビット/形式2			
					1 0 reserved			
					0 1 8ビット/形式1			
					0 0 4ビット			
LCDCモード	039FFE2	D7	BPP1	bpp選択	BPP[1:0] モード	0	R/W	
レジスタ1	(B)	D6	BPP0	(表示モード)	1 1 8bpp	0		
					1 0 4bpp			
					0 1 2bpp			
					0 0 1bpp			
		D5–4	–	reserved	–	–	–	読み出し時: 0
		D3	DBLANK	ブランク表示	1 ブランク 0 通常表示	0	R/W	
		D2	FRMRPT	ELパネル用フレームリピート	1 リピート 0 リピートなし	0	R/W	
		D1	–	reserved	–	–	–	読み出し時: 0
		D0	INVDISP	表示反転	1 反転表示 **0** 通常表示	0	R/W	
LCDCモード	039FFE3	D7–6	–	reserved	–	–	–	読み出し時: 0
レジスタ2	(B)	D5	LCDCEN	LCDコントローライネーブル	1 有効 0 無効	0	R/W	
		D4	LPWREN	LCDPWRイネーブル	1 有効 0 無効	0	R/W	
		D3–2	–	reserved	–	–	–	読み出し時: 0
		D1	LPSAVE1	パワーセーブモード	LPSAVE[1:0] モード	0	R/W	
		D0	LPSAVE0		1 1 通常動作	0		
					1 0 DOZE			
					0 1 reserved			
					0 0 パワーセーブ			
パネル	039FFE4	D7–6	–	reserved	–	–	–	読み出し時: 0
水平サイズ	(B)	D5	LDHSIZE5	パネル水平サイズ	$\left(\frac{\text{水平解像度 (ピクセル)}}{16}\right) - 1$	0	R/W	
レジスタ		D4	LDHSIZE4			0		
		D3	LDHSIZE3			0		
		D2	LDHSIZE2			0		
		D1	LDHSIZE1			0		
		D0	LDHSIZE0			0		
パネル	039FFE5	D7	LDVSIZE7	パネル垂直サイズ(下位8ビット)	垂直解像度(ライン) - 1	0	R/W	
垂直サイズ	(B)	D6	LDVSIZE6			0		
レジスタ0		D5	LDVSIZE5			0		
		D4	LDVSIZE4			0		
		D3	LDVSIZE3			0		
		D2	LDVSIZE2			0		
		D1	LDVSIZE1			0		
		D0	LDVSIZE0			0		
パネル	039FFE6	D7–2	–	reserved	–	–	–	読み出し時: 0
垂直サイズ	(B)	D1	LDVSIZE9	パネル垂直サイズ(上位2ビット)	垂直解像度(ライン) - 1	0	R/W	
レジスタ1		D0	LDVSIZE8			0		
水平非表示期間	039FFE7	D7–5	–	reserved	–	–	–	読み出し時: 0
レジスタ	(B)	D4	HNDP4	水平非表示期間	$\left(\frac{\text{水平非表示期間(ピクセル)}}{8}\right) - 4$	0	R/W	
		D3	HNDP3			0		
		D2	HNDP2			0		
		D1	HNDP1			0		
		D0	HNDP0			0		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
垂直非表示期間	039FFEA	D7	VNDPF	垂直非表示期間ステータス	1 非表示期間 0 表示期間	0	R	
レジスタ	(B)	D6	–	reserved	–	–	–	読み出し時: 0
		D5	VNDP5	垂直非表示期間	非表示期間(ライン)	0	R/W	
		D4	VNDP4			0		
		D3	VNDP3			0		
		D2	VNDP2			0		
		D1	VNDP1			0		
		D0	VNDP0			0		
MODレート	039FFEB	D7–6	–	reserved	–	–	–	読み出し時: 0
レジスタ	(B)	D5	MODRATE5	MODレート		0	R/W	
		D4	MODRATE4			0		
		D3	MODRATE3			0		
		D2	MODRATE2			0		
		D1	MODRATE1			0		
		D0	MODRATE0			0		
画面1	039FFEC	D7	S1ADDR7	画面1開始アドレス(下位8ビット)		0	R/W	
開始アドレス	(B)	D6	S1ADDR6			0		
レジスタ0		D5	S1ADDR5			0		
		D4	S1ADDR4			0		
		D3	S1ADDR3			0		
		D2	S1ADDR2			0		
		D1	S1ADDR1			0		
		D0	S1ADDR0			0		
画面1	039FFED	D7	S1ADDR15	画面1開始アドレス(上位8ビット)		0	R/W	
開始アドレス	(B)	D6	S1ADDR14			0		
レジスタ1		D5	S1ADDR13			0		
		D4	S1ADDR12			0		
		D3	S1ADDR11			0		
		D2	S1ADDR10			0		
		D1	S1ADDR9			0		
		D0	S1ADDR8			0		
画面2	039FFEE	D7	S2ADDR7	画面2開始アドレス(下位8ビット)		0	R/W	
開始アドレス	(B)	D6	S2ADDR6			0		
レジスタ0		D5	S2ADDR5			0		
		D4	S2ADDR4			0		
		D3	S2ADDR3			0		
		D2	S2ADDR2			0		
		D1	S2ADDR1			0		
		D0	S2ADDR0			0		
画面2	039FFEF	D7	S2ADDR15	画面2開始アドレス(上位8ビット)		0	R/W	
開始アドレス	(B)	D6	S2ADDR14			0		
レジスタ1		D5	S2ADDR13			0		
		D4	S2ADDR12			0		
		D3	S2ADDR11			0		
		D2	S2ADDR10			0		
		D1	S2ADDR9			0		
		D0	S2ADDR8			0		
画面1	039FFF0	D7–1	–	reserved	–	–	–	読み出し時: 0
開始アドレス	(B)	D0	S1ADDR16	画面1開始アドレス(MSB) (ポートレートモード用、ランドスケープモードでは常時0に固定)		0	R/W	
メモリアドレス	039FFF1	D7	MADOFS7	メモリアドレスオフセット		0	R/W	
オフセット	(B)	D6	MADOFS6			0		
レジスタ		D5	MADOFS5			0		
		D4	MADOFS4			0		
		D3	MADOFS3			0		
		D2	MADOFS2			0		
		D1	MADOFS1			0		
		D0	MADOFS0			0		
画面1	039FFF2	D7	S1VSIZE7	画面1垂直サイズ(下位8ビット)		0	R/W	
垂直サイズ	(B)	D6	S1VSIZE6			0		
レジスタ0		D5	S1VSIZE5			0		
		D4	S1VSIZE4			0		
		D3	S1VSIZE3			0		
		D2	S1VSIZE2			0		
		D1	S1VSIZE1			0		
		D0	S1VSIZE0			0		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
画面1 垂直サイズ レジスタ1	039FFF3 (B)	D7–2	–	reserved	–	–	–	読み出し時: 0
		D1	S1VSIZE9	画面1垂直サイズ(上位2ビット)		0	R/W	
		D0	S1VSIZE8			0		
FIFO 制御レジスタ	039FFF4 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	FIFOEO3	FIFOエンプティオフセット	8(0b1000)に固定	0	R/W	
		D5	FIFOEO2			0		
		D4	FIFOEO1			0		
		D3	FIFOEO0			0		
		D2	LCLKSEL2	LCDCクロック選択	LCLKSEL[2:0] LCDCクロック	0	R/W	
		D1	LCLKSEL1		1 1 1 BCU_CLK/4	0		
		D0	LCLKSEL0		1 1 0 BCU_CLK/3	0		
					1 0 1 BCU_CLK/2			
					1 0 0 BCU_CLK			
					0 1 1 reserved			
					0 1 0 停止			
					0 0 1 停止			
					0 0 0 停止			
ルックアップテーブルアドレス レジスタ	039FFF5 (B)	D7–4	–	reserved	–	–	–	読み出し時: 0
		D3	LUTADDR3	ルックアップテーブルアドレス		0	R/W	
		D2	LUTADDR2			0		
		D1	LUTADDR1			0		
		D0	LUTADDR0			0		
ルックアップテーブルデータ レジスタ	039FFF7 (B)	D7	LUTDT3	ルックアップテーブルデータ		0	R/W	
		D6	LUTDT2			0		
		D5	LUTDT1			0		
		D4	LUTDT0			0		
		D3–0	–	reserved	–	–	–	読み出し時: 0
GPIO設定 レジスタ	039FFF8 (B)	D7–3	–	reserved	–	–	–	読み出し時: 0
		D2	GPIO2C	GPIO2設定	1 出力 0 入力	0	R/W	
		D1	GPIO1C	GPIO1設定	1 出力 0 入力	0	R/W	
		D0	GPIO0C	GPIO0設定	1 出力 0 入力	0	R/W	
GPIO ステータス/制御 レジスタ	039FFF9 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	GPO6D	GPO6データ	1 High 0 Low	0	R/W	
		D5	GPO5D	GPO5データ	1 High 0 Low	0	R/W	
		D4	GPO4D	GPO4データ	1 High 0 Low	0	R/W	
		D3	GPO3D	GPO3データ	1 High 0 Low	0	R/W	
		D2	GPIO2D	GPIO2データ	1 High 0 Low	0	R/W	
		D1	GPIO1D	GPIO1データ	1 High 0 Low	0	R/W	
		D0	GPIO0D	GPIO0データ	1 High 0 Low	0	R/W	
スクラッチパッドレジスタ	039FFFA (B)	D7	SP1A7	スクラッチパッド		0	R/W	
		D6	SP1A6			0		
		D5	SP1A5			0		
		D4	SP1A4			0		
		D3	SP1A3			0		
		D2	SP1A2			0		
		D1	SP1A1			0		
		D0	SP1A0			0		
ポートレートモードレジスタ	039FFFB (B)	D7	PMODEN	ポートレートモードイネーブル	1 ポートレート 0 ランドスケープ	0	R/W	
		D6	PMODSEL	ポートレートモード選択	1 オルタネート 0 デフォルト	0	R/W	
		D5–2	–	reserved	–	–	–	読み出し時: 0
		D1	PMODCLK1	ポートレートモードクロック選択	PMODCLK[1:0] 分周比1	0	R/W	
		D0	PMODCLK0	(LCDCクロック分周比)	1 1 P: 1/8, M: 1/8	0		
					1 0 P: 1/4, M: 1/4			
				分周比1: デフォルトモード	0 1 P: 1/2, M: 1/2			
				分周比2: オルタネートモード	0 0 P: 1/1, M: 1/1			
				P: ピクセルクロック	PMODCLK[1:0] 分周比2			
				M: メモリクロック	1 1 P: 1/8, M: 1/4			
					1 0 P: 1/4, M: 1/2			
					0 1 P: 1/2, M: 1/1			
					0 0 P: 1/2, M: 1/1			
ラインバイトカウント レジスタ	039FFFC (B)	D7	PMODLBC7	ポートレートモード用		0	R/W	
		D6	PMODLBC6	ラインバイト数		0		
		D5	PMODLBC5			0		
		D4	PMODLBC4			0		
		D3	PMODLBC3			0		
		D2	PMODLBC2			0		
		D1	PMODLBC1			0		
		D0	PMODLBC0			0		

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈
LCDC システム制御 レジスタ	039FFFD (B)	D7	VRAMAR	VRAMエリア選択	1	エリア8	0	エリア7	0	R/W	
		D6	VRAMWT2	VRAMウェイト制御	0～7				0	R/W	
		D5	VRAMWT1	(SRAM用ウェイトサイクル数)					0		
		D4	VRAMWT0						0		
		D3	EDMAEN	外部DMAイネーブル	1	許可	0	禁止	0	R/W	
		D2	BREQEN	外部バスリクエストイネーブル	1	許可	0	禁止	0	R/W	
		D1	LCDCST	A0/BSL選択	1	BSL	0	A0	0	R/W	
		D0	LCDCEC	ビッグ/リトルエンディアン選択	1	ビッグ	0	リトル	0	R/W	

5 パワーダウン制御

ここでは、省電力化のための制御について説明します。

■ 省電力化のポイント

消費電流はCPUの動作モード、システムクロック、動作させる周辺回路により大きく変わります。

消費電流	小←					→大
CPU/BCU	SLEEP	HALT2	動作	HALT2	HALT(基本)	動作
システムクロック	–	OSC1	OSC1	OSC3	OSC3	OSC3
OSC3発振回路	OFF	OFF	OFF	ON	ON	ON
プリスケーラ/周辺回路	STOP					RUN

省電力化を図るためには、不要な回路をできるだけ多く停止することがポイントです。特に、高速に動作する周辺回路は電流を多く消費しますので、必要なとき以外は停止するようにプログラミングしてください。

■ スタンバイモードによる省電力化

キー入力や周辺回路からの割り込み待ちなど、CPUの処理が不要な場合はスタンバイモードに設定して消費電流を低減してください。

スタンバイモード	移行方法	停止する回路/機能
HALT基本モード	HLT2OP(クロックオプションレジスタ 0x40190•D3) = "0"の状態でHALT命令を実行 SEPD(バスコントロールレジスタ0x4812E•D1) = "1"の状態で外部バスマスタによるバス権解放要求が発生	CPU(DMAは使用不可)
HALT2モード	HLT2OP = "1"の状態でHALT命令を実行	CPU, BCU, バスクロック, DMA
SLEEPモード	SLP命令を実行	CPU, BCU, バスクロック, DMA, 高速(OSC3)発振回路, プリスケーラ, プリスケーラ出力クロックを使用する周辺回路

HALTモードを選択するクロックオプションレジスタ(0x40190)のHLT2OP(D3)は、イニシャルリセット時に"0"(HALT基本モード)に設定されます。

注:
- **DRAMまたはSDRAMを直結したシステムでは、HALT2モードおよびSLEEPモード時にリフレッシュ機能が停止します。ただし、SDRAMはHALT2モードまたはSLEEPモードに入る前にセルフリフレッシュモードにしておくことができます。**
- **スタンバイモードは割り込みの発生によって解除されます(外部バスマスタによって設定されたHALT基本モードを除く)。このため、スタンバイモードに移行する前に、解除に使用する割り込みが発生可能な状態に設定しておくことが必要です。**
- **スタンバイモードをポート入力からの割り込みで解除する場合、割り込みトリガの設定に関わらず、レベル割り込みとして動作します。割り込みトリガをエッジトリガに設定している場合、スタンバイモード中のポートのレベルに注意してください。**

低速(OSC1)発振回路と計時タイマはSLEEPモード時も動作します。不要な場合は、これらの回路も停止させることができます。

機　能	レジスタ	"1"	"0"	デフォルト
低速(OSC1)発振回路ON/OFF制御	SOSC1(パワーコントロールレジスタ0x40180•D0)	ON	OFF	ON

■ システムクロックの切り換え

通常、システムは高速(OSC3)発振クロックにより動作します。高速動作が不要な場合は、システムクロックを低速(OSC1)発振クロックに切り換え、高速(OSC3)発振回路を停止することにより消費電流を低減できます。ただし、DRAMを直結しているシステムでは、リフレッシュ機能も停止しますので注意してください。

また、高速(OSC3)発振クロックで動作させる場合でも、その分周クロック(1/1、1/2、1/4、1/8に分周可能)をシステムクロックとして使用することで省電力化を図ることができます。

機　　能	レジスタ	"1"	"0"	デフォルト
システムクロックの切り換え	CLKCHG(パワーコントロールレジスタ0x40180•D2)	OSC3	OSC1	OSC3
高速(OSC3)発振回路ON/OFF制御	SOSC3(パワーコントロールレジスタ0x40180•D1)	ON	OFF	ON
システムクロック分周比選択	CLKDT(パワーコントロールレジスタ0x40180•D[7:6])	"11" = 1/8 "10" = 1/4 "01" = 1/2 "00" = 1/1		1/1

■ プリスケーラと周辺回路の停止

高速動作する周辺回路をできるだけ停止させることで、消費電流が低減できます。
プリスケーラの入出力クロックを使用する周辺回路は以下のとおりです。

1)プリスケーラで生成した動作クロックを使用する周辺回路
- 16ビットプログラマブルタイマ0～5(ウォッチドッグタイマ)
- 8ビットプログラマブルタイマ0～5(DRAMリフレッシュ、シリアルインタフェース)
- A/D変換器

2)プリスケーラへ供給されるクロック(プリスケーラ原振クロック)を使用する周辺回路
- 16ビットプログラマブルタイマ0～5(ウォッチドッグタイマ)
- 8ビットプログラマブルタイマ0～5(DRAMリフレッシュ)
- A/D変換器
- シリアルインタフェース
- ポート

上記1)、2)のすべての周辺回路を使用しない場合は、プリスケーラの動作を停止させてください。1)、もしくは2)の周辺回路を1つでも使用する場合は、プリスケーラの動作を停止させないでください。プリスケーラの動作を停止させると、2)の周辺回路へのクロック供給が停止します。1)の周辺回路の中で一部の回路のみを使用する場合は、それ以外の回路を停止させ、併せてプリスケーラから各回路へのクロック供給も停止させてください。
プリスケーラの動作とプリスケーラから各周辺回路へのクロック供給は下表のとおり制御可能です。

機　　能	制御ビット	"1"	"0"	デフォルト
プリスケーラON/OFF制御	PSCON(パワーコントロールレジスタ0x40180•D5)	ON	OFF	ON
16ビットタイマ0クロック制御	P16TON0(16bitタイマ0クロックコントロールレジスタ0x40147•D3)	ON	OFF	OFF
16ビットタイマ0 Run/Stop制御	PRUN0(16bitタイマ0制御レジスタ0x48186•D0)	RUN	STOP	STOP
16ビットタイマ1クロック制御	P16TON1(16bitタイマ1クロックコントロールレジスタ0x40148•D3)	ON	OFF	OFF
16ビットタイマ1 Run/Stop制御	PRUN1(16bitタイマ1制御レジスタ0x4818E•D0)	RUN	STOP	STOP
16ビットタイマ2クロック制御	P16TON2(16bitタイマ2クロックコントロールレジスタ0x40149•D3)	ON	OFF	OFF
16ビットタイマ2 Run/Stop制御	PRUN2(16bitタイマ2制御レジスタ0x48196•D0)	RUN	STOP	STOP
16ビットタイマ3クロック制御	P16TON3(16bitタイマ3クロックコントロールレジスタ0x4014A•D3)	ON	OFF	OFF
16ビットタイマ3 Run/Stop制御	PRUN3(16bitタイマ3制御レジスタ0x4819E•D0)	RUN	STOP	STOP
16ビットタイマ4クロック制御	P16TON4(16bitタイマ4クロックコントロールレジスタ0x4014B•D3)	ON	OFF	OFF
16ビットタイマ4 Run/Stop制御	PRUN4(16bitタイマ4制御レジスタ0x481A6•D0)	RUN	STOP	STOP
16ビットタイマ5クロック制御	P16TON5(16bitタイマ5クロックコントロールレジスタ0x4014C•D3)	ON	OFF	OFF
16ビットタイマ5 Run/Stop制御	PRUN5(16bitタイマ5制御レジスタ0x481AE•D0)	RUN	STOP	STOP
8ビットタイマ0クロック制御	P8TON0(8bitタイマ0/1クロックコントロールレジスタ0x4014D•D3)	ON	OFF	OFF
8ビットタイマ0 Run/Stop制御	PTRUN0(8bitタイマ0制御レジスタ0x40160•D0)	RUN	STOP	STOP
8ビットタイマ1クロック制御	P8TON1(8bitタイマ0/1クロックコントロールレジスタ0x4014D•D7)	ON	OFF	OFF
8ビットタイマ1 Run/Stop制御	PTRUN1(8bitタイマ1制御レジスタ0x40164•D0)	RUN	STOP	STOP
8ビットタイマ2クロック制御	P8TON2(8bitタイマ2/3クロックコントロールレジスタ0x4014E•D3)	ON	OFF	OFF
8ビットタイマ2 Run/Stop制御	PTRUN2(8bitタイマ2制御レジスタ0x40168•D0)	RUN	STOP	STOP
8ビットタイマ3クロック制御	P8TON3(8bitタイマ2/3クロックコントロールレジスタ0x4014E•D7)	ON	OFF	OFF
8ビットタイマ3 Run/Stop制御	PTRUN3(8bitタイマ3制御レジスタ0x4016C•D0)	RUN	STOP	STOP
8ビットタイマ4クロック制御	P8TON4(8bitタイマ4/5クロックコントロールレジスタ0x40145•D3)	ON	OFF	OFF
8ビットタイマ4 Run/Stop制御	PTRUN4(8bitタイマ4制御レジスタ0x40174•D0)	RUN	STOP	STOP
8ビットタイマ5クロック制御	P8TON5(8bitタイマ4/5クロックコントロールレジスタ0x40145•D7)	ON	OFF	OFF
8ビットタイマ5 Run/Stop制御	PTRUN5(8bitタイマ5制御レジスタ0x40178•D0)	RUN	STOP	STOP
A/D変換器クロック制御	PSONAD(A/Dクロックコントロールレジスタ0x4014F•D3)	ON	OFF	OFF
A/D変換イネーブル	ADE(A/Dイネーブルレジスタ0x40244•D2)	RUN	STOP	STOP

プリスケーラの動作クロックにはCPU動作クロックと同じクロック源を使用する必要があります。したがって、CPUをOSC1クロックにより低速動作させる場合は、プリスケーラの入力クロックもCPUに合わせて切り換えます。この場合、周辺回路の誤動作を防止するため、CPUの動作クロックを切り換える前にプリスケーラをOFFにしてください。CPUの動作クロックを切り換え後、プリスケーラの動作クロックを切り換えてからプリスケーラをONにします。

機　能	レジスタ	"1"	"0"	デフォルト
プリスケーラ動作クロックの切り換え	PSCDT0(プリスケーラクロック選択レジスタ0x40181•D0)	OSC1	OSC3/PLL	OSC3/PLL

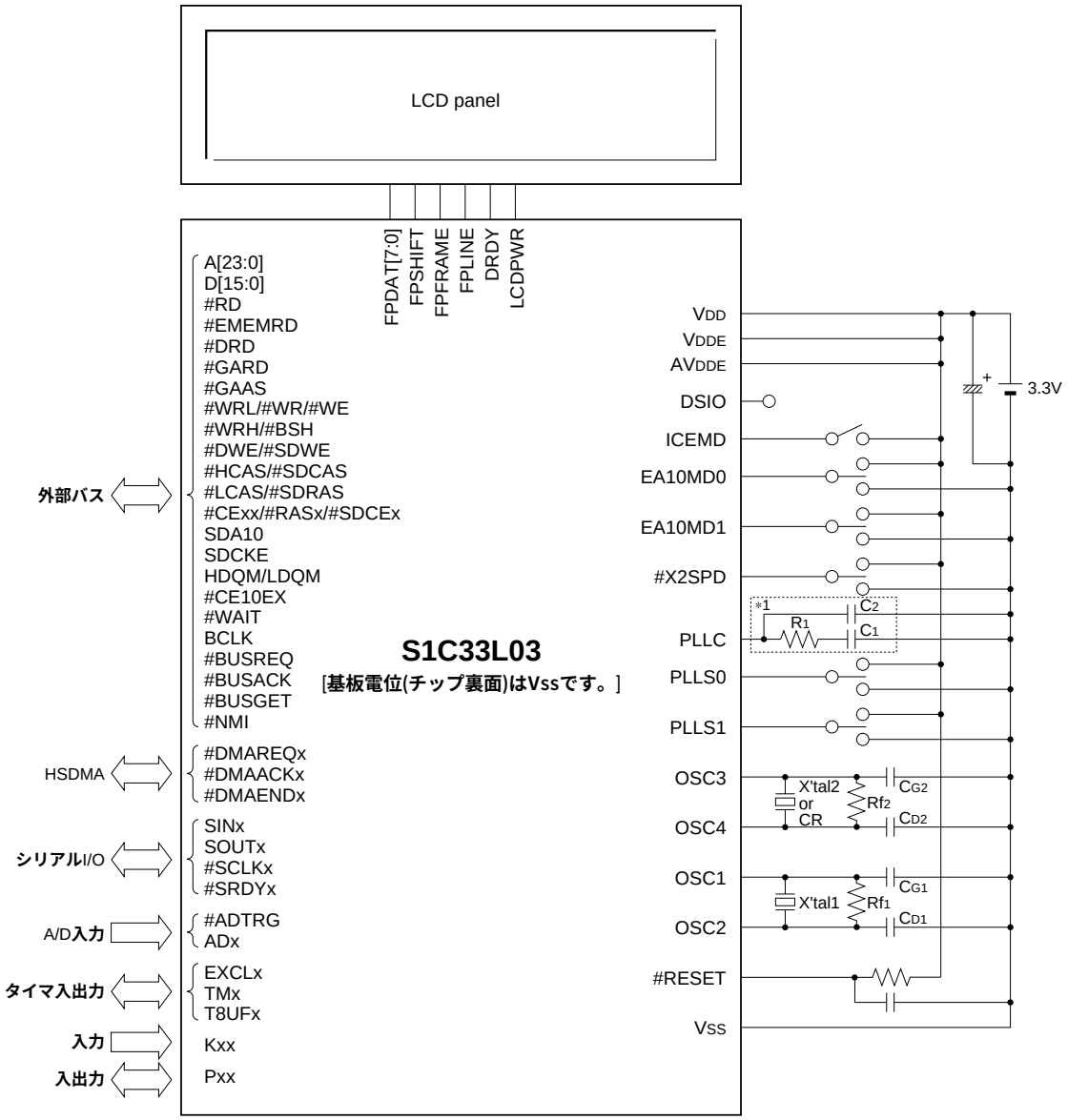
■ LCDコントローラのパワーダウン制御

LCDコントローラは独自のパワーセーブモードを持っています。パワーセーブモードはソフトウェアで制御可能ですので、LCD表示が不要な場合に設定してください。

機　能	レジスタ	"11"	"00"	デフォルト
パワーセーブモード	LPSAVE[1:0] (LCDCモードレジスタ2 0x39FFE3•D[1:0])	通常動作	パワーセーブ	パワーセーブ

注: **パワーセーブによりLCDパネル電源制御信号LCDPWRもインアクティブになりますが、この時点でLCDコントローラへのクロック供給が止まると、LCDパネルを損傷する可能性があります。**
したがって、パワーセーブを設定後も、最低1フレームサイクル以上はクロックを停止しないでください。

6 基本外部結線図



X'tal1	**水晶振動子**	32.768kHz, CI(Max.) = 34kΩ
CG1	**ゲート容量**	10pF
CD1	**ドレイン容量**	10pF
Rf1	**帰還抵抗**	10MΩ
X'tal2	**水晶振動子**	33MHz (Max.)
CR	**セラミック振動子**	33MHz (Max.)
CG2	**ゲート容量**	10pF
CD2	**ドレイン容量**	10pF
Rf2	**帰還抵抗**	1MΩ
R1	**抵抗**	4.7kΩ
C1	**コンデンサ**	100pF
C2	**コンデンサ**	5pF

*1: **PLLを使用しない場合は、PLLC端子をオープンとしてください。**

注: ここに記載されている値は一例であり、特に動作を保証するものではありません。

7 実装上の注意事項

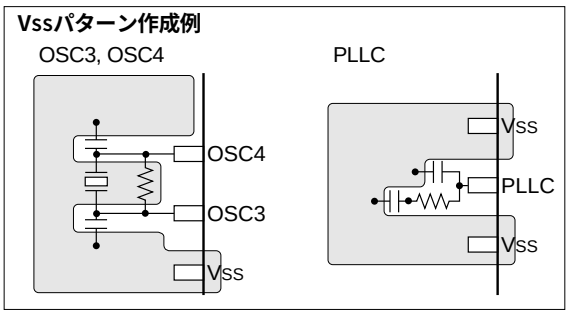
基板の設計およびICを実装する際の注意事項を以下に示します。

■ 発振回路

- 発振特性は諸条件(使用部品、基板パターン等)により変化します。
  特にセラミック発振子または水晶振動子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。
- ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため次の点に配慮してください。

(1) OSC3(OSC1)、OSC4(OSC2)、PLLC端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。

(2) OSC3(OSC1)、OSC4(OSC2)端子およびこれらの端子に接続された部品の周辺部は下図のようにVSSパターンをできるだけ広く作成してください。PLLC端子も同様です。
また、このVSSパターンには発振系以外の部品等は接続しないでください。



(3) OSC3(OSC1)端子に外部クロックを入力する場合、クロック源からできるだけ最短で接続してください。OSC4(OSC2)端子は開放してください。

- OSC3(OSC1)－VDD間のリーク電流による発振回路の不安定動作を防止するため、基板パターンにおいて、OSC3(OSC1)はVDD電源や信号線とは十分な距離を確保してください。

■ リセット回路

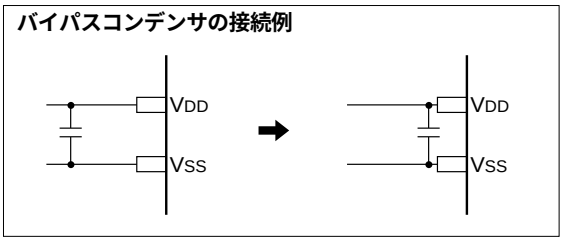
- 電源投入時、#RESET端子に入力されるリセット信号は、諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。
  #RESET端子のプルアップ抵抗については、抵抗値のばらつきを十分考慮した定数設定が必要です。
- ノイズによる動作中のリセットを防ぐため、#RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

■ 電源回路

- ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

(1) 電源からVDD、VDDE、VSS端子およびAVDDE端子へはできるだけ短くかつ太いパターンで接続してください。
特にAVDDE電源は、A/D変換器に用いるため変換精度に影響を与えます。

(2) VDD－VSSのバイパスコンデンサを接続する場合、VDD端子とVSS端子をできるだけ最短で接続してください。

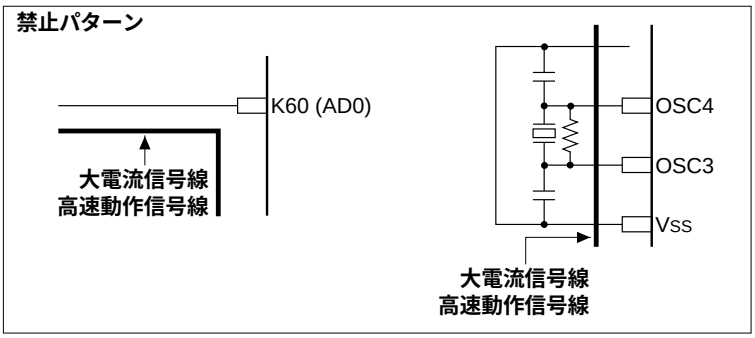


■ A/D変換器

- A/D変換器を使用しない場合でも、AVDDEをVDDEに接続してください。

■ 信号線の配置

- 相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部、アナログ入力部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。
- 高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。
  特に、発振部、アナログ入力部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



8 電気的特性

8.1 絶対最大定格

(V_{SS}=0V)

項目	記号	条件	定格値	単位	注
電源電圧	V_{DD}		-0.3〜+4.0	V	
C33 I/O**電源電圧**	V_{DDE}		-0.3〜+7.0	V	
入力電圧	V_I		-0.3〜V_{DDE}+0.5	V	
高レベル出力電流	I_{OH}	**1端子**	-10	mA	
		全端子合計	-40	mA	
低レベル出力電流	I_{OL}	**1端子**	10	mA	
		全端子合計	40	mA	
アナログ電源電圧	AV_{DDE}		-0.3〜+7.0	V	
アナログ入力電圧	AV_{IN}		-0.3〜AV_{DDE}+0.3	V	
保存温度	T_{STG}		-65〜+150	°C	

8.2 推奨動作条件

1) 3.3V/5.0V 2電源の場合

(V_{SS}=0V)

項目	記号	条件	Min.	Typ.	Max.	単位	注
電源電圧(高電圧)	V_{DDE}		4.50	5.00	5.50	V	
電源電圧(低電圧)	V_{DD}		2.70	–	3.60	V	
入力電圧	HV_I		V_{SS}	–	V_{DDE}	V	
	LV_I		V_{SS}	–	V_{DD}	V	
CPU動作周波数	f_{CPU}		–	–	50	MHz	
外部バス動作周波数	f_{BUS}		–	–	35	MHz	
低速発振動作周波数	f_{OSC1}		–	32.768	–	kHz	
動作温度	Ta		-40	25	85	°C	
入力立ち上がり時間(ノーマル入力)	tri		–	–	50	ns	
入力立ち下がり時間(ノーマル入力)	tfi		–	–	50	ns	
入力立ち上がり時間(シュミット入力)	tri		–	–	5	ms	
入力立ち下がり時間(シュミット入力)	tfi		–	–	5	ms	

2) 3.3V単一電源の場合

(V_{DDE}=V_{DD}, V_{SS}=0V)

項目	記号	条件	Min.	Typ.	Max.	単位	注
電源電圧	V_{DD}		2.70	–	3.60	V	
入力電圧	V_I		V_{SS}	–	V_{DD}	V	
CPU動作周波数	f_{CPU}		–	–	50	MHz	
外部バス動作周波数	f_{BUS}		–	–	35	MHz	
低速発振動作周波数	f_{OSC1}		–	32.768	–	kHz	
動作温度	Ta		-40	25	85	°C	
入力立ち上がり時間(ノーマル入力)	tri		–	–	50	ns	
入力立ち下がり時間(ノーマル入力)	tfi		–	–	50	ns	
入力立ち上がり時間(シュミット入力)	tri		–	–	5	ms	
入力立ち下がり時間(シュミット入力)	tfi		–	–	5	ms	

3) 2.0V単一電源の場合

(V_{DDE}=V_{DD}, V_{SS}=0V)

項目	記号	条件	Min.	Typ.	Max.	単位	注
電源電圧	V_{DD}		1.80	2.00	2.20	V	
入力電圧	V_I		V_{SS}	–	V_{DD}	V	
CPU動作周波数	f_{CPU}		–	–	20	MHz	
外部バス動作周波数	f_{BUS}		–	–	20	MHz	
低速発振動作周波数	f_{OSC1}		–	32.768	–	kHz	
動作温度	Ta		-40	25	85	°C	
入力立ち上がり時間(ノーマル入力)	tri		–	–	100	ns	
入力立ち下がり時間(ノーマル入力)	tfi		–	–	100	ns	
入力立ち上がり時間(シュミット入力)	tri		–	–	10	ms	
入力立ち下がり時間(シュミット入力)	tfi		–	–	10	ms	

8.3 DC特性

1) 3.3V/5.0V 2電源の場合

(特記なき場合: V_{DDE}=5.0V±0.5V, V_{DD}=2.7V〜3.6V, V_{SS}=0V, Ta=-40°C〜+85°C)

項目	記号	条件	Min.	Typ.	Max.	単位	注
入力リーク電流	I_{LI}		-1	–	1	µA	
オフステートリーク電流	I_{OZ}		-1	–	1	µA	
高レベル出力電圧	V_{OH}	I_{OH}=-3mA (Type1), I_{OH}=-12mA (Type3), V_{DDE}=Min.	V_{DDE} -0.4	–	–	V	
低レベル出力電圧	V_{OL}	I_{OL}=3mA (Type1), I_{OL}=12mA (Type3), V_{DDE}=Min.	–	–	0.4	V	
高レベル入力電圧	V_{IH}	CMOSレベル, V_{DDE}=Max.	3.5	–	–	V	
低レベル入力電圧	V_{IL}	CMOSレベル, V_{DDE}=Min.	–	–	1.0	V	
ポジティブトリガ入力電圧	V_{T+}	CMOSシュミット	2.0	–	4.0	V	
ネガティブトリガ入力電圧	V_{T-}	CMOSシュミット	0.8	–	3.1	V	
ヒステリシス電圧	V_H	CMOSシュミット	0.3	–	–	V	
高レベル入力電圧	V_{IH2}	TTLレベル, V_{DDE}=Max.	2.0	–	–	V	
低レベル入力電圧	V_{IL2}	TTLレベル, V_{DDE}=Min.	–	–	0.8	V	
プルアップ抵抗	R_{PU}	V_I=0V	60	120	288	kΩ	
プルダウン抵抗	R_{PD}	V_I=V_{DDE} (ICEMD)	30	60	144	kΩ	
入力端子容量	C_I	f=1MHz, V_{DDE}=0V	–	–	10	pF	
出力端子容量	C_O	f=1MHz, V_{DDE}=0V	–	–	10	pF	
入出力端子容量	C_{IO}	f=1MHz, V_{DDE}=0V	–	–	10	pF	

2) 3.3V単一電源の場合

(特記なき場合: V_{DDE}=V_{DD}=2.7V〜3.6V, Ta=-40°C〜+85°C)

項目	記号	条件		Min.	Typ.	Max.	単位	注
静的消費電流	I_{DDS}	静的状態, T_j=85°C		–	–	90	µA	
入力リーク電流	I_{LI}			-1	–	1	µA	
オフステートリーク電流	I_{OZ}			-1	–	1	µA	
高レベル出力電圧	V_{OH}	I_{OH}=-2mA (Type1), I_{OH}=-6mA (Type2), I_{OH}=-12mA (Type3), V_{DD}=Min.		V_{DD} -0.4	–	–	V	
低レベル出力電圧	V_{OL}	I_{OL}=2mA (Type1), I_{OL}=6mA (Type2), I_{OL}=12mA (Type3), V_{DD}=Min.		–	–	0.4	V	
高レベル入力電圧	V_{IH}	CMOSレベル, V_{DD}=Max.		2.0	–	–	V	
低レベル入力電圧	V_{IL}	CMOSレベル, V_{DD}=Min.		–	–	0.8	V	
ポジティブトリガ入力電圧	V_{T+}	LVTTLシュミット		1.1	–	2.4	V	
ネガティブトリガ入力電圧	V_{T-}	LVTTLシュミット		0.6	–	1.8	V	
ヒステリシス電圧	V_H	LVTTLシュミット		0.1	–	–	V	
プルアップ抵抗	R_{PU}	V_I=0V	DSIO以外	80	200	480	kΩ	
			DSIO	40	100	240	kΩ	
プルダウン抵抗	R_{PD}	V_I=V_{DD} (ICEMD)		40	100	240	kΩ	
入力端子容量	C_I	f=1MHz, V_{DD}=0V		–	–	10	pF	
出力端子容量	C_O	f=1MHz, V_{DD}=0V		–	–	10	pF	
入出力端子容量	C_{IO}	f=1MHz, V_{DD}=0V		–	–	10	pF	

注: 端子の特性については、"Appendix B 端子特性"を参照してください。

3) 2.0V単一電源の場合

(特記なき場合: V_{DDE}=V_{DD}=2V±0.2V, V_{SS}=0V, Ta=-40°C〜+85°C)

項目	記号	条件		Min.	Typ.	Max.	単位	注
静的消費電流	I_{DDS}	静的状態, T_j=85°C		–	–	80	µA	
入力リーク電流	I_{LI}			-1	–	1	µA	
オフステートリーク電流	I_{OZ}			-1	–	1	µA	
高レベル出力電圧	V_{OH}	I_{OH}=-0.6mA (Type1), I_{OH}=-2mA (Type2), I_{OH}=-4mA (Type3), V_{DD}=Min.		V_{DD} -0.2	–	–	V	
低レベル出力電圧	V_{OL}	I_{OL}=0.6mA (Type1), I_{OL}=2mA (Type2), I_{OL}=4mA (Type3), V_{DD}=Min.		–	–	0.2	V	
高レベル入力電圧	V_{IH}	CMOSレベル, V_{DD}=Max.		1.6	–	–	V	
低レベル入力電圧	V_{IL}	CMOSレベル, V_{DD}=Min.		–	–	0.3	V	
ポジティブトリガ入力電圧	V_{T+}	CMOSシュミット		0.4	–	1.6	V	
ネガティブトリガ入力電圧	V_{T-}	CMOSシュミット		0.3	–	1.4	V	
ヒステリシス電圧	V_H	CMOSシュミット		0	–	–	V	
プルアップ抵抗	R_{PU}	V_I=0V	DSIO以外	120	480	1200	kΩ	
			DSIO	60	240	600	kΩ	
プルダウン抵抗	R_{PD}	V_I=V_{DD} (ICEMD)		60	240	600	kΩ	
入力端子容量	C_I	f=1MHz, V_{DD}=0V		–	–	10	pF	
出力端子容量	C_O	f=1MHz, V_{DD}=0V		–	–	10	pF	
入出力端子容量	C_{IO}	f=1MHz, V_{DD}=0V		–	–	10	pF	

注: 端子の特性については、"Appendix B 端子特性"を参照してください。

8.4 消費電流

1) 3.3V電源の場合

(特記なき場合: V_{DDE}=2.7V～5.5V, V_{DD}=2.7V～3.6V, V_{SS}=0V, Ta=-40°C～+85°C)

項目	記号	条件		Min.	Typ.	Max.	単位	注
動作電流	I_{DD1}	CPU動作時	20MHz	–	27	35	mA	1
			33MHz	–	45	60		
			50MHz	–	65	85		
	I_{DD2}	halt命令実行時	20MHz	–	13	16	mA	2
			33MHz	–	22	30		
			50MHz	–	30	40		
	I_{DD3}	halt命令実行時 (HALT2モード)	20MHz	–	6	8	mA	3
			33MHz	–	9	12		
			50MHz	–	14	18		
	I_{DD4}	slp命令実行時		–	1	30	µA	4
計時タイマ動作電流	I_{DDCT}	計時タイマのみ動作 OSC1発振は32kHz		–	7	–	µA	5

2) 2.0V電源の場合

(特記なき場合: V_{DDE}=V_{DD}=2.0V±0.2V, V_{SS}=0V, Ta=-40°C～+85°C)

項目	記号	条件		Min.	Typ.	Max.	単位	注
動作電流	I_{DD1}	CPU動作時	20MHz	–	14	18	mA	1
	I_{DD2}	halt命令実行時	20MHz	–	7	10	mA	2
	I_{DD3}	halt命令実行時 (HALT2モード)	20MHz	–	2.5	4	mA	3
	I_{DD4}	slp命令実行時		–	1	30	µA	4
計時タイマ動作電流	I_{DDCT}	計時タイマのみ動作 OSC1発振は32kHz		–	1.5	–	µA	5

3) アナログ電源電流

(特記なき場合: V_{SS}=0V, Ta=-40°C～+85°C)

項目	記号	条件	Min.	Typ.	Max.	単位	注
A/D変換器動作電流	AI_{DD1}	V_{DD}=3.6V, V_{DDE}=AV_{DDE}=5.0V±0.5V	–	800	1400	µA	6
		V_{DD}=V_{DDE}=AV_{DDE}=2.7V～3.6V	–	500	800		

4) LCDコントローラ部消費電流

(特記なき場合: V_{DDE}=2.7V～5.5V, V_{DD}=2.7V～3.6V, V_{SS}=0V, Ta=-40°C～+85°C)

項目	記号	条件	Min.	Typ.	Max.	単位	注
LCDコントローラ部動作電流	LI_{DD1}	ディスプレイ解像度 320 × 240, 1bpp LCDCクロック=25MHz (VRAM=SRAM)	–	6.5	7	mA	
	LI_{DD2}	ディスプレイ解像度 320 × 240, 4bpp LCDCクロック=25MHz (VRAM=SDRAM)	–	12	13	mA	

消費電流測定条件: V_{IH}=V_{DD}, V_{IL}=0V, 出力端子はオープン, V_{DDE}の消費電流は含まれない。

注)

No.	高速発振	低速発振	CPU	計時タイマ	その他 *2
1	発振	停止	通常動作 *1	停止	停止
2	発振	停止	HALTモード	停止	停止
3	発振	停止	HALT2モード	停止	停止
4	停止	停止	SLEEPモード	停止	停止
5	停止	発振	HALTモード	動作	停止
6	発振	停止	HALTモード	停止	A/D変換器のみ動作、変換周波数=2MHz

*1 CPU動作時の消費電流は、"ロード命令 55%、演算命令 23%、mac命令 1%、分岐命令 12%、ext命令 9%" の試験プログラムを内蔵ROMからフェッチしながら連続動作させた場合の値です。

*2 LCDコントローラを含みます。

8.5 A/D変換器特性

1) 3.3V/5.0V 2電源の場合

(特記なき場合: V_{DDE}=AV_{DDE}=4.5V～5.5V, V_{DD}=2.7V～3.6V, V_{SS}=0V, Ta=-40°C～+85°C, ST[1:0]=11)

項目	記号	条件	Min.	Typ.	Max.	単位	注
分解能	–		–	10	–	bit	
変換時間	–		5	–	–	µs	1
ゼロスケール誤差	E_{ZS}		0	2	4	LSB	
フルスケール誤差	E_{FS}		-2	–	2	LSB	
積分直線性誤差	E_L		-3	–	3	LSB	
微分直線性誤差	E_D		-3	–	3	LSB	
許容信号源インピーダンス	–		–	–	5	kΩ	
アナログ入力容量	–		–	–	45	pF	

注1: Min値はA/D変換器クロック入力=4MHz (5V系の最大動作周波数)の場合
Max値はA/D変換器クロック入力=32kHz (5V系の最小動作周波数)の場合

2) 3.3V単一電源の場合

(特記なき場合: V_{DDE}=AV_{DDE}=V_{DD}=2.7V～3.6V, V_{SS}=0V, Ta=-40°C～+85°C, ST[1:0]=11)

項目	記号	条件	Min.	Typ.	Max.	単位	注
分解能	–		–	10	–	bit	
変換時間	–		10	–	625	µs	1
ゼロスケール誤差	E_{ZS}		0	2	4	LSB	
フルスケール誤差	E_{FS}		-2	–	2	LSB	
積分直線性誤差	E_L		-3	–	3	LSB	
微分直線性誤差	E_D		-3	–	3	LSB	
許容信号源インピーダンス	–		–	–	5	kΩ	
アナログ入力容量	–		–	–	45	pF	

注1: Min値はA/D変換器クロック入力=2MHz (3V系の最大動作周波数)の場合
Max値はA/D変換器クロック入力=32kHz (3V系の最小動作周波数)の場合

注: • 必ずV_{DDE}=AV_{DDE}として使用してください。
• S1C33L03を2V単一電源で使用する場合、A/D変換器は使用できません。

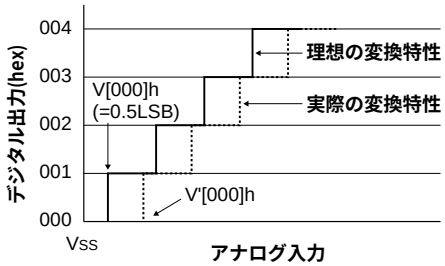
A/D変換誤差

V[000]h = 理想のゼロスケール点電圧(=0.5LSB)
V'[000]h = 実際のゼロスケール点電圧
V[3FF]h = 理想のフルスケール点電圧(=1022.5LSB)
V'[3FF]h = 実際のフルスケール点電圧

$$1LSB = \frac{AV_{DDE} - V_{SS}}{2^{10} - 1}$$

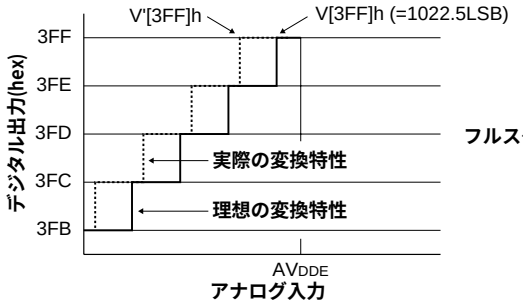
$$1LSB' = \frac{V'[3FF]h - V'[000]h}{2^{10} - 2}$$

■ ゼロスケール誤差



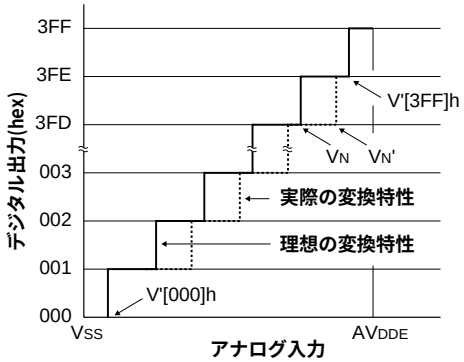
ゼロスケール誤差 $E_{ZS} = \frac{(V'[000]h - 0.5LSB') - (V[000]h - 0.5LSB)}{1LSB}$ [LSB]

■ フルスケール誤差



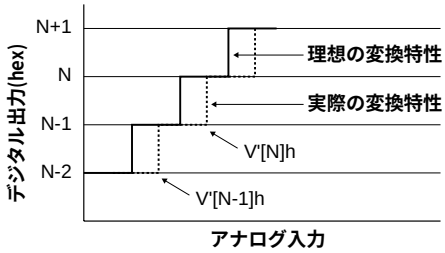
フルスケール誤差 $E_{FS} = \frac{(V'[3FF]h + 0.5LSB') - (V[3FF]h + 0.5LSB)}{1LSB}$ [LSB]

■ 積分直線性誤差



積分直線性誤差 $E_L = \frac{V_N' - V_N}{1LSB'}$ [LSB]

■ 微分直線性誤差



微分直線性誤差 $E_D = \frac{V'[N]h - V'[N-1]h}{1LSB'}$ - 1 [LSB]

8.6 AC特性

8.6.1 記号説明

tCYC: **バスクロックサイクルタイム**

• x1モードでは CPU 20MHz動作のとき t_{CYC} = 50ns (20MHz)
CPU 33MHz動作のとき t_{CYC} = 30ns (33MHz)
• x2モードでは CPU 40MHz動作のとき t_{CYC} = 50ns (20MHz)
CPU 50MHz動作のとき t_{CYC} = 40ns (25MHz)
CPU 60MHz動作のとき t_{CYC} = 33ns (30MHz)

WC: **ウェイトサイクル数**

ウェイトサイクルは、BCUの制御レジスタで最大7サイクルまで設定可能です。さらに、外部から#WAIT端子への入力で、必要なだけウェイトサイクルを延ばすことができます。

"0"ウェイトに設定した場合、リード時の最小サイクル数は1サイクルです。

"0"ウェイトに設定した場合、ライト時の最小サイクル数は2サイクルです。BCUの制御レジスタで"1"ウェイトを設定した場合でも、この最小サイクル数は変わりません。"2"ウェイト以上を設定すると、実際にライトサイクルが延長されます。

外部から#WAIT端子への入力でウェイトサイクルを挿入する場合、#WAIT端子のサンプリングタイミングに注意してください。リードサイクルの場合は、#WAIT端子のネゲートをサンプリングしたサイクルでそのリードサイクルを終了します。ライトサイクルの場合は、#WAIT端子のネゲートをサンプリングした次のサイクルでそのライトサイクルを終了します。

C1, C2, C3, Cn: **サイクル番号**

C1は、BCUが外部メモリなどとデータ転送を行うときの第1サイクルであることを示します。同様にC2は第2サイクル、Cnは第nサイクルであることを示します。

Cw: **ウェイトサイクル**

そのサイクルがウェイトサイクルであることを示します。

8.6.2 AC特性測定条件

信号検定レベル: 入力信号 Highレベル $V_{IH} = V_{DDE}$ - 0.4V
Lowレベル V_{IL} = 0.4V

出力信号 Highレベル V_{OH} = 1/2 V_{DDE}
Lowレベル V_{OL} = 1/2 V_{DDE}

ただし、OSC3外部クロック入力の場合は下記のとおりです。
入力信号 Highレベル V_{IH} = 1/2 V_{DD}
Lowレベル V_{IL} = 1/2 V_{DD}

入力信号波形: 立ち上がり (10%→90% V_{DD}) 5ns
立ち下がり (90%→10% V_{DD}) 5ns

出力負荷容量: C_L = 50pF

8.6.3 C33ブロックAC特性表

■ 外部クロック入力特性

(注) このAC特性値は、外部クロック入力の場合に適用されます。
OSC3への入力は、必ずVDDとVssの範囲内で与えてください。

1) 3.3V/5.0V 2電源の場合

(特記なき場合: VDDE=5.0±0.5V, VDD=2.7～3.6V, VSS=0V, Ta=-40°C～+85°C)

項目	記号	Min.	Max.	単位	注
高速クロックサイクル時間	t_{C3}	30		ns	
OSC3クロック入力デューティ	t_{C3ED}	45	55	%	
OSC3クロック入力立ち上がり時間	t_{IF}		5	ns	
OSC3クロック入力立ち下がり時間	t_{IR}		5	ns	
BCLKハイレベル出力遅延時間	t_{CD1}		35	ns	
BCLKローレベル出力遅延時間	t_{CD2}		35	ns	
最小リセットパルス幅	t_{RST}	6·t_{CYC}		ns	

2) 3.3V単一電源の場合

(特記なき場合: VDDE=VDD=2.7～3.6V, VSS=0V, Ta=-40°C～+85°C)

項目	記号	Min.	Max.	単位	注
高速クロックサイクル時間	t_{C3}	30		ns	
OSC3クロック入力デューティ	t_{C3ED}	45	55	%	
OSC3クロック入力立ち上がり時間	t_{IF}		5	ns	
OSC3クロック入力立ち下がり時間	t_{IR}		5	ns	
BCLKハイレベル出力遅延時間	t_{CD1}		35	ns	
BCLKローレベル出力遅延時間	t_{CD2}		35	ns	
最小リセットパルス幅	t_{RST}	6·t_{CYC}		ns	

3) 2.0V単一電源の場合

(特記なき場合: VDDE=VDD=2.0V±0.2V, VSS=0V, Ta=-40°C～+85°C)

項目	記号	Min.	Max.	単位	注
高速クロックサイクル時間	t_{C3}	50		ns	
OSC3クロック入力デューティ	t_{C3ED}	45	55	%	
OSC3クロック入力立ち上がり時間	t_{IF}		5	ns	
OSC3クロック入力立ち下がり時間	t_{IR}		5	ns	
BCLKハイレベル出力遅延時間	t_{CD1}		60	ns	
BCLKローレベル出力遅延時間	t_{CD2}		60	ns	
最小リセットパルス幅	t_{RST}	6·t_{CYC}		ns	

■ BCLKクロック出力特性

(注) このAC特性値は、高速発振回路使用の場合に適用されます。

1) 3.3V/5.0V 2電源の場合

(特記なき場合: VDDE=5.0±0.5V, VDD=2.7～3.6V, VSS=0V, Ta=-40°C～+85°C)

項目	記号	Min.	Max.	単位	注
BCLKクロック出力デューティ	t_{CBD}	40	60	%	

2) 3.3V単一電源の場合

(特記なき場合: VDDE=VDD=2.7～3.6V, VSS=0V, Ta=-40°C～+85°C)

項目	記号	Min.	Max.	単位	注
BCLKクロック出力デューティ	t_{CBD}	40	60	%	

3) 2.0V単一電源の場合

(特記なき場合: VDDE=VDD=2.0V±0.2V, VSS=0V, Ta=-40°C～+85°C)

項目	記号	Min.	Max.	単位	注
BCLKクロック出力デューティ	t_{CBD}	40	60	%	

■ 共通特性

1) 3.3V/5.0V 2電源の場合

(特記なき場合: V_{DDE}=5.0±0.5V, V_{DD}=2.7〜3.6V, V_{SS}=0V, Ta=-40°C〜+85°C)

項目	記号	Min.	Max.	単位	注
アドレス遅延時間	t_{AD}	–	8	ns	1
#CEx遅延時間(1)	t_{CE1}	–	8	ns	
#CEx遅延時間(2)	t_{CE2}	–	8	ns	
ウェイトセットアップ時間	t_{WTS}	15	–	ns	
ウェイトホールド時間	t_{WTH}	0	–	ns	
リード信号遅延時間(1)	t_{RDD1}		8	ns	2
リードデータセットアップ時間	t_{RDS}	12		ns	
リードデータホールド時間	t_{RDH}	0		ns	
ライト信号遅延時間(1)	t_{WRD1}		8	ns	3
ライトデータ遅延時間(1)	t_{WDD1}		10	ns	
ライトデータ遅延時間(2)	t_{WDD2}	0	10	ns	
ライトデータホールド時間	t_{WDH}	0		ns	

2) 3.3V単一電源の場合

(特記なき場合: V_{DDE}=V_{DD}=2.7〜3.6V, V_{SS}=0V, Ta=-40°C〜+85°C)

項目	記号	Min.	Max.	単位	注
アドレス遅延時間	t_{AD}	–	10	ns	1
#CEx遅延時間(1)	t_{CE1}	–	10	ns	
#CEx遅延時間(2)	t_{CE2}	–	10	ns	
ウェイトセットアップ時間	t_{WTS}	15	–	ns	
ウェイトホールド時間	t_{WTH}	0	–	ns	
リード信号遅延時間(1)	t_{RDD1}		10	ns	2
リードデータセットアップ時間	t_{RDS}	15		ns	
リードデータホールド時間	t_{RDH}	0		ns	
ライト信号遅延時間(1)	t_{WRD1}		10	ns	3
ライトデータ遅延時間(1)	t_{WDD1}		10	ns	
ライトデータ遅延時間(2)	t_{WDD2}	0	10	ns	
ライトデータホールド時間	t_{WDH}	0		ns	

3) 2.0V単一電源の場合

(特記なき場合: V_{DDE}=V_{DD}=2.0V±0.2V, V_{SS}=0V, Ta=-40°C〜+85°C)

項目	記号	Min.	Max.	単位	注
アドレス遅延時間	t_{AD}	–	20	ns	1
#CEx遅延時間(1)	t_{CE1}	–	20	ns	
#CEx遅延時間(2)	t_{CE2}	–	20	ns	
ウェイトセットアップ時間	t_{WTS}	40	–	ns	
ウェイトホールド時間	t_{WTH}	0	–	ns	
リード信号遅延時間(1)	t_{RDD1}		20	ns	2
リードデータセットアップ時間	t_{RDS}	40		ns	
リードデータホールド時間	t_{RDH}	0		ns	
ライト信号遅延時間(1)	t_{WRD1}		20	ns	3
ライトデータ遅延時間(1)	t_{WDD1}		20	ns	
ライトデータ遅延時間(2)	t_{WDD2}	0	20	ns	
ライトデータホールド時間	t_{WDH}	0		ns	

注1: #BSH、#BSLも同じタイミングです。
2: #GAAS、#GARDも同じタイミングです。
3: #GAASも同じタイミングです。

■ SRAMリードサイクル

1) 3.3V/5.0V 2電源の場合

(特記なき場合: V_{DDE}=5.0±0.5V, V_{DD}=2.7～3.6V, V_{SS}=0V, Ta=-40°C～+85°C)

項目	記号	Min.	Max.	単位	注
リード信号遅延時間(2)	t_{RDD2}		8	ns	
リード信号パルス幅	t_{RDW}	t_{CYC}(0.5+WC)-8		ns	
リードアドレスアクセス時間(1)	t_{ACC1}		t_{CYC}(1+WC)-20	ns	
チップイネーブルアクセス時間(1)	t_{CEAC1}		t_{CYC}(1+WC)-20	ns	
リード信号アクセス時間(1)	t_{RDAC1}		t_{CYC}(0.5+WC)-20	ns	

2) 3.3V単一電源の場合

(特記なき場合: V_{DDE}=V_{DD}=2.7～3.6V, V_{SS}=0V, Ta=-40°C～+85°C)

項目	記号	Min.	Max.	単位	注
リード信号遅延時間(2)	t_{RDD2}		10	ns	
リード信号パルス幅	t_{RDW}	t_{CYC}(0.5+WC)-10		ns	
リードアドレスアクセス時間(1)	t_{ACC1}		t_{CYC}(1+WC)-25	ns	
チップイネーブルアクセス時間(1)	t_{CEAC1}		t_{CYC}(1+WC)-25	ns	
リード信号アクセス時間(1)	t_{RDAC1}		t_{CYC}(0.5+WC)-25	ns	

3) 2.0V単一電源の場合

(特記なき場合: V_{DDE}=V_{DD}=2.0V±0.2V, V_{SS}=0V, Ta=-40°C～+85°C)

項目	記号	Min.	Max.	単位	注
リード信号遅延時間(2)	t_{RDD2}		10	ns	
リード信号パルス幅	t_{RDW}	t_{CYC}(0.5+WC)-10		ns	
リードアドレスアクセス時間(1)	t_{ACC1}		t_{CYC}(1+WC)-60	ns	
チップイネーブルアクセス時間(1)	t_{CEAC1}		t_{CYC}(1+WC)-60	ns	
リード信号アクセス時間(1)	t_{RDAC1}		t_{CYC}(0.5+WC)-60	ns	

■ SRAMライトサイクル

1) 3.3V/5.0V 2電源の場合

(特記なき場合: V_{DDE}=5.0±0.5V, V_{DD}=2.7～3.6V, V_{SS}=0V, Ta=-40°C～+85°C)

項目	記号	Min.	Max.	単位	注
ライト信号遅延時間(2)	t_{WRD2}		8	ns	
ライト信号パルス幅	t_{WRW}	t_{CYC}(1+WC)-10		ns	

2) 3.3V単一電源の場合

(特記なき場合: V_{DDE}=V_{DD}=2.7～3.6V, V_{SS}=0V, Ta=-40°C～+85°C)

項目	記号	Min.	Max.	単位	注
ライト信号遅延時間(2)	t_{WRD2}		10	ns	
ライト信号パルス幅	t_{WRW}	t_{CYC}(1+WC)-10		ns	

3) 2.0V単一電源の場合

(特記なき場合: V_{DDE}=V_{DD}=2.0V±0.2V, V_{SS}=0V, Ta=-40°C～+85°C)

項目	記号	Min.	Max.	単位	注
ライト信号遅延時間(2)	t_{WRD2}		20	ns	
ライト信号パルス幅	t_{WRW}	t_{CYC}(1+WC)-20		ns	

■ DRAMアクセスサイクル共通特性

1) 3.3V/5.0V 2電源の場合

(**特記なき場合**: V_{DDE}=5.0±0.5V, V_{DD}=2.7〜3.6V, V_{SS}=0V, Ta=-40°C〜+85°C)

項目	記号	Min.	Max.	単位	注
#RAS信号遅延時間(1)	t_{RASD1}		10	ns	
#RAS信号遅延時間(2)	t_{RASD2}		10	ns	
#RAS信号パルス幅	t_{RASW}	t_{CYC}(2+WC)-10		ns	
#CAS信号遅延時間(1)	t_{CASD1}		10	ns	
#CAS信号遅延時間(2)	t_{CASD2}		10	ns	
#CAS信号パルス幅	t_{CASW}	t_{CYC}(0.5+WC)-5		ns	
リード信号遅延時間(3)	t_{RDD3}		10	ns	
リード信号パルス幅(2)	t_{RDW2}	t_{CYC}(2+WC)-10		ns	
ライト信号遅延時間(3)	t_{WRD3}		10	ns	
ライト信号パルス幅(2)	t_{WRW2}	t_{CYC}(2+WC)-10		ns	

2) 3.3V単一電源の場合

(**特記なき場合**: V_{DDE}=V_{DD}=2.7〜3.6V, V_{SS}=0V, Ta=-40°C〜+85°C)

項目	記号	Min.	Max.	単位	注
#RAS信号遅延時間(1)	t_{RASD1}		10	ns	
#RAS信号遅延時間(2)	t_{RASD2}		10	ns	
#RAS信号パルス幅	t_{RASW}	t_{CYC}(2+WC)-10		ns	
#CAS信号遅延時間(1)	t_{CASD1}		10	ns	
#CAS信号遅延時間(2)	t_{CASD2}		10	ns	
#CAS信号パルス幅	t_{CASW}	t_{CYC}(0.5+WC)-10		ns	
リード信号遅延時間(3)	t_{RDD3}		10	ns	
リード信号パルス幅(2)	t_{RDW2}	t_{CYC}(2+WC)-10		ns	
ライト信号遅延時間(3)	t_{WRD3}		10	ns	
ライト信号パルス幅(2)	t_{WRW2}	t_{CYC}(2+WC)-10		ns	

3) 2.0V単一電源の場合

(**特記なき場合**: V_{DDE}=V_{DD}=2.0V±0.2V, V_{SS}=0V, Ta=-40°C〜+85°C)

項目	記号	Min.	Max.	単位	注
#RAS信号遅延時間(1)	t_{RASD1}		20	ns	
#RAS信号遅延時間(2)	t_{RASD2}		20	ns	
#RAS信号パルス幅	t_{RASW}	t_{CYC}(2+WC)-20		ns	
#CAS信号遅延時間(1)	t_{CASD1}		20	ns	
#CAS信号遅延時間(2)	t_{CASD2}		20	ns	
#CAS信号パルス幅	t_{CASW}	t_{CYC}(0.5+WC)-20		ns	
リード信号遅延時間(3)	t_{RDD3}		20	ns	
リード信号パルス幅(2)	t_{RDW2}	t_{CYC}(2+WC)-20		ns	
ライト信号遅延時間(3)	t_{WRD3}		20	ns	
ライト信号パルス幅(2)	t_{WRW2}	t_{CYC}(2+WC)-20		ns	

■ DRAMランダムアクセスサイクル, DRAM高速ページサイクル

1) 3.3V/5.0V 2電源の場合

(特記なき場合: V_{DDE}=5.0±0.5V, V_{DD}=2.7～3.6V, V_{SS}=0V, Ta=-40°C～+85°C)

項目	記号	Min.	Max.	単位	注
カラムアドレスアクセス時間	t_{ACCF}		t_{CYC}(1+WC)-25	ns	
#RASアクセス時間	t_{RACF}		t_{CYC}(1.5+WC)-25	ns	
#CASアクセス時間	t_{CACF}		t_{CYC}(0.5+WC)-25	ns	

2) 3.3V単一電源の場合

(特記なき場合: V_{DDE}=V_{DD}=2.7～3.6V, V_{SS}=0V, Ta=-40°C～+85°C)

項目	記号	Min.	Max.	単位	注
カラムアドレスアクセス時間	t_{ACCF}		t_{CYC}(1+WC)-25	ns	
#RASアクセス時間	t_{RACF}		t_{CYC}(1.5+WC)-25	ns	
#CASアクセス時間	t_{CACF}		t_{CYC}(0.5+WC)-25	ns	

3) 2.0V単一電源の場合

(特記なき場合: V_{DDE}=V_{DD}=2.0V±0.2V, V_{SS}=0V, Ta=-40°C～+85°C)

項目	記号	Min.	Max.	単位	注
カラムアドレスアクセス時間	t_{ACCF}		t_{CYC}(1+WC)-60	ns	
#RASアクセス時間	t_{RACF}		t_{CYC}(1.5+WC)-60	ns	
#CASアクセス時間	t_{CACF}		t_{CYC}(0.5+WC)-60	ns	

■ EDO DRAMランダムアクセスサイクル, EDO DRAMページサイクル

1) 3.3V/5.0V 2電源の場合

(特記なき場合: V_{DDE}=5.0±0.5V, V_{DD}=2.7～3.6V, V_{SS}=0V, Ta=-40°C～+85°C)

項目	記号	Min.	Max.	単位	注
カラムアドレスアクセス時間	t_{ACCE}		t_{CYC}(1.5+WC)-25	ns	
#RASアクセス時間	t_{RACE}		t_{CYC}(2+WC)-25	ns	
#CASアクセス時間	t_{CACE}		t_{CYC}(1+WC)-15	ns	
リードデータセットアップ時間	t_{RDS2}	20		ns	

2) 3.3V単一電源の場合

(特記なき場合: V_{DDE}=V_{DD}=2.7～3.6V, V_{SS}=0V, Ta=-40°C～+85°C)

項目	記号	Min.	Max.	単位	注
カラムアドレスアクセス時間	t_{ACCE}		t_{CYC}(1.5+WC)-25	ns	
#RASアクセス時間	t_{RACE}		t_{CYC}(2+WC)-25	ns	
#CASアクセス時間	t_{CACE}		t_{CYC}(1+WC)-20	ns	
リードデータセットアップ時間	t_{RDS2}	20		ns	

3) 2.0V単一電源の場合

(特記なき場合: V_{DDE}=V_{DD}=2.0V±0.2V, V_{SS}=0V, Ta=-40°C～+85°C)

項目	記号	Min.	Max.	単位	注
カラムアドレスアクセス時間	t_{ACCE}		t_{CYC}(1.5+WC)-60	ns	
#RASアクセス時間	t_{RACE}		t_{CYC}(2+WC)-60	ns	
#CASアクセス時間	t_{CACE}		t_{CYC}(1+WC)-60	ns	
リードデータセットアップ時間	t_{RDS2}	20		ns	

■ SDRAMアクセスサイクル

1) #X2SPD = "1" (CPU : SDRAMクロック = 1 : 1), 3.3V単一電源の場合

(特記なき場合: V_{DDE}=V_{DD}=3.0〜3.6V, V_{SS}=0V, Ta=-40°C〜+85°C)

項目	記号	Min.	Max.	単位	注
OSC3入力クロック周波数	f_{OSC3}		25	MHz	
BCLKクロック出力サイクル時間	$t_{(C3)}$	40		ns	
アドレス遅延時間	$t_{(AD)}$		11	ns	
SDA10遅延時間	$t_{(A10D)}$		11	ns	
#SDCEx遅延時間(n)	$t_{(CED)n}$		11	ns	
#SDCEx遅延時間(p)	$t_{(CED)p}$		11	ns	
#SDRAS信号遅延時間(n)	$t_{(RASD)n}$		12	ns	
#SDRAS信号遅延時間(p)	$t_{(RASD)p}$		11	ns	
#SDCAS信号遅延時間(n)	$t_{(CASD)n}$		11	ns	
#SDCAS信号遅延時間(p)	$t_{(CASD)p}$		11	ns	
HDQM, LDQM信号遅延時間(n)	$t_{(DQMD)n}$		11	ns	
HDQM, LDQM信号遅延時間(p)	$t_{(DQMD)p}$		11	ns	
SDCKE信号遅延時間(n)	$t_{(CKED)n}$		11	ns	
SDCKE信号遅延時間(p)	$t_{(CKED)p}$		11	ns	
#SDWE信号遅延時間(n)	$t_{(WED)n}$		11	ns	
#SDWE信号遅延時間(p)	$t_{(WED)p}$		11	ns	
リードデータセットアップ時間	$t_{(RDS)}$	(14)		ns	
リードデータホールド時間	$t_{(RDH)}$	(0)		ns	
ライトデータ遅延時間	$t_{(WDD)}$		11	ns	
ライトデータホールド時間	$t_{(WDH)}$	T+11		ns	

2) #X2SPD = "0" (CPU : SDRAMクロック = 2 : 1), 3.3V単一電源の場合

(特記なき場合: V_{DDE}=V_{DD}=3.0〜3.6V, V_{SS}=0V, Ta=-40°C〜+85°C)

項目	記号	Min.	Max.	単位	注
OSC3入力クロック周波数	f_{OSC3}		17.5	MHz	
BCLKクロック出力サイクル時間	$t_{(C3x2)}$	57		ns	
アドレス遅延時間	$t_{(ADx2)}$		T+11	ns	
SDA10遅延時間	$t_{(A10Dx2)}$		T+11	ns	
#SDCEx遅延時間(n)	$t_{(CEDx2)n}$		T+11	ns	
#SDCEx遅延時間(p)	$t_{(CEDx2)p}$		T+11	ns	
#SDRAS信号遅延時間(n)	$t_{(RASDx2)n}$		T+11	ns	
#SDRAS信号遅延時間(p)	$t_{(RASDx2)p}$		T+11	ns	
#SDCAS信号遅延時間(n)	$t_{(CASDx2)n}$		T+11	ns	
#SDCAS信号遅延時間(p)	$t_{(CASDx2)p}$		T+11	ns	
HDQM, LDQM信号遅延時間(n)	$t_{(DQMDx2)n}$		T+11	ns	
HDQM, LDQM信号遅延時間(p)	$t_{(DQMDx2)p}$		T+11	ns	
SDCKE信号遅延時間(n)	$t_{(CKEDx2)n}$		T+11	ns	
SDCKE信号遅延時間(p)	$t_{(CKEDx2)p}$		T+11	ns	
#SDWE信号遅延時間(n)	$t_{(WEDx2)n}$		T+11	ns	
#SDWE信号遅延時間(p)	$t_{(WEDx2)p}$		T+11	ns	
リードデータセットアップ時間	$t_{(RDSx2)}$	(14)		ns	
リードデータホールド時間	$t_{(RDHx2)}$	(0)		ns	
ライトデータ遅延時間	$t_{(WDDx2)}$		11	ns	
ライトデータホールド時間	$t_{(WDHx2)}$	T+11		ns	

注: "T"はCPUクロックの1周期を表します。

■ バーストROMリードサイクル

1) 3.3V/5.0V 2電源の場合

(特記なき場合: V_{DDE}=5.0±0.5V, V_{DD}=2.7〜3.6V, V_{SS}=0V, Ta=-40°C〜+85°C)

項目	記号	Min.	Max.	単位	注
リードアドレスアクセス時間(2)	t_{ACC2}		t_{CYC}(1+WC)-20	ns	
チップイネーブルアクセス時間(2)	t_{CEAC2}		t_{CYC}(1+WC)-20	ns	
リード信号アクセス時間(2)	t_{RDAC2}		t_{CYC}(0.5+WC)-20	ns	
バーストアドレスアクセス時間	t_{ACCB}		t_{CYC}(1+WC)-20	ns	

2) 3.3V単一電源の場合

(特記なき場合: V_{DDE}=V_{DD}=2.7〜3.6V, V_{SS}=0V, Ta=-40°C〜+85°C)

項目	記号	Min.	Max.	単位	注
リードアドレスアクセス時間(2)	t_{ACC2}		t_{CYC}(1+WC)-25	ns	
チップイネーブルアクセス時間(2)	t_{CEAC2}		t_{CYC}(1+WC)-25	ns	
リード信号アクセス時間(2)	t_{RDAC2}		t_{CYC}(0.5+WC)-25	ns	
バーストアドレスアクセス時間	t_{ACCB}		t_{CYC}(1+WC)-25	ns	

3) 2.0V単一電源の場合

(特記なき場合: V_{DDE}=V_{DD}=2.0V±0.2V, V_{SS}=0V, Ta=-40°C〜+85°C)

項目	記号	Min.	Max.	単位	注
リードアドレスアクセス時間(2)	t_{ACC2}		t_{CYC}(1+WC)-60	ns	
チップイネーブルアクセス時間(2)	t_{CEAC2}		t_{CYC}(1+WC)-60	ns	
リード信号アクセス時間(2)	t_{RDAC2}		t_{CYC}(0.5+WC)-60	ns	
バーストアドレスアクセス時間	t_{ACCB}		t_{CYC}(1+WC)-60	ns	

■ 外部バスマスタとNMI

1) 3.3V/5.0V 2電源の場合

(特記なき場合: V_{DDE}=5.0±0.5V, V_{DD}=2.7〜3.6V, V_{SS}=0V, Ta=-40°C〜+85°C)

項目	記号	Min.	Max.	単位	注
#BUSREQ信号セットアップ時間	t_{BRQS}	15		ns	
#BUSREQ信号ホールド時間	t_{BRQH}	0		ns	
#BUSACK信号出力遅延時間	t_{BAKD}		10	ns	
ハイインピーダンス→出力　遅延時間	t_{Z2E}		10	ns	
出力→ハイインピーダンス　遅延時間	t_{B2Z}		10	ns	
#NMIパルス幅	t_{NMIW}	30		ns	

2) 3.3V単一電源の場合

(特記なき場合: V_{DDE}=V_{DD}=2.7〜3.6V, V_{SS}=0V, Ta=-40°C〜+85°C)

項目	記号	Min.	Max.	単位	注
#BUSREQ信号セットアップ時間	t_{BRQS}	15		ns	
#BUSREQ信号ホールド時間	t_{BRQH}	0		ns	
#BUSACK信号出力遅延時間	t_{BAKD}		10	ns	
ハイインピーダンス→出力　遅延時間	t_{Z2E}		10	ns	
出力→ハイインピーダンス　遅延時間	t_{B2Z}		10	ns	
#NMIパルス幅	t_{NMIW}	30		ns	

3) 2.0V単一電源の場合

(特記なき場合: V_{DDE}=V_{DD}=2.0V±0.2V, V_{SS}=0V, Ta=-40°C〜+85°C)

項目	記号	Min.	Max.	単位	注
#BUSREQ信号セットアップ時間	t_{BRQS}	40		ns	
#BUSREQ信号ホールド時間	t_{BRQH}	0		ns	
#BUSACK信号出力遅延時間	t_{BAKD}		20	ns	
ハイインピーダンス→出力　遅延時間	t_{Z2E}		20	ns	
出力→ハイインピーダンス　遅延時間	t_{B2Z}		20	ns	
#NMIパルス幅	t_{NMIW}	90		ns	

■ 入力, 出力, 入出力兼用ポート

1) 3.3V/5.0V 2電源の場合

(特記なき場合: V_{DDE}=5.0±0.5V, V_{DD}=2.7〜3.6V, V_{SS}=0V, Ta=-40°C〜+85°C)

項目		記号	Min.	Max.	単位	注
入力データセットアップ時間		t_{INPS}	20		ns	
入力データホールド時間		t_{INPH}	10		ns	
出力データ遅延時間		t_{OUTD}		20	ns	
Kポート割り込み	SLEEP, HALT2モード時	t_{KINW}	30		ns	
入力パルス幅	上記以外		2 × t_{CYC}		ns	

2) 3.3V単一電源の場合

(特記なき場合: V_{DDE}=V_{DD}=2.7〜3.6V, V_{SS}=0V, Ta=-40°C〜+85°C)

項目		記号	Min.	Max.	単位	注
入力データセットアップ時間		t_{INPS}	20		ns	
入力データホールド時間		t_{INPH}	10		ns	
出力データ遅延時間		t_{OUTD}		20	ns	
Kポート割り込み	SLEEP, HALT2モード時	t_{KINW}	30		ns	
入力パルス幅	上記以外		2 × t_{CYC}		ns	

3) 2.0V単一電源の場合

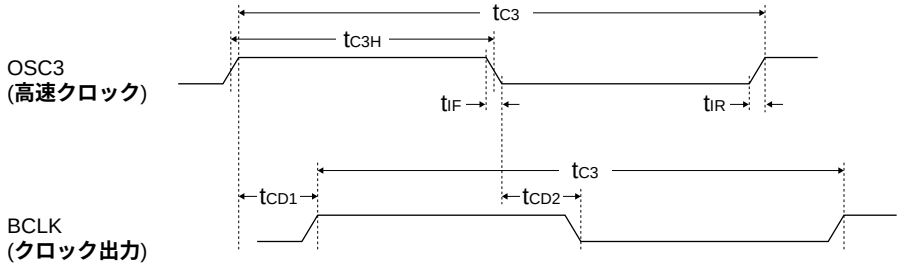
(特記なき場合: V_{DDE}=V_{DD}=2.0V±0.2V, V_{SS}=0V, Ta=-40°C〜+85°C)

項目		記号	Min.	Max.	単位	注
入力データセットアップ時間		t_{INPS}	40		ns	
入力データホールド時間		t_{INPH}	20		ns	
出力データ遅延時間		t_{OUTD}		30	ns	
Kポート割り込み	SLEEP, HALT2モード時	t_{KINW}	90		ns	
入力パルス幅	上記以外		2 × t_{CYC}		ns	

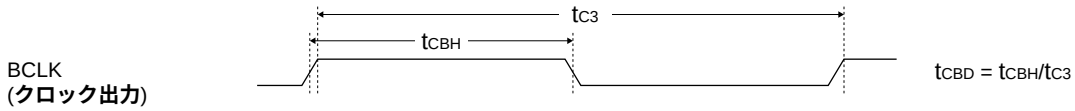
8.6.4 C33ブロックAC特性タイミングチャート

■ クロック

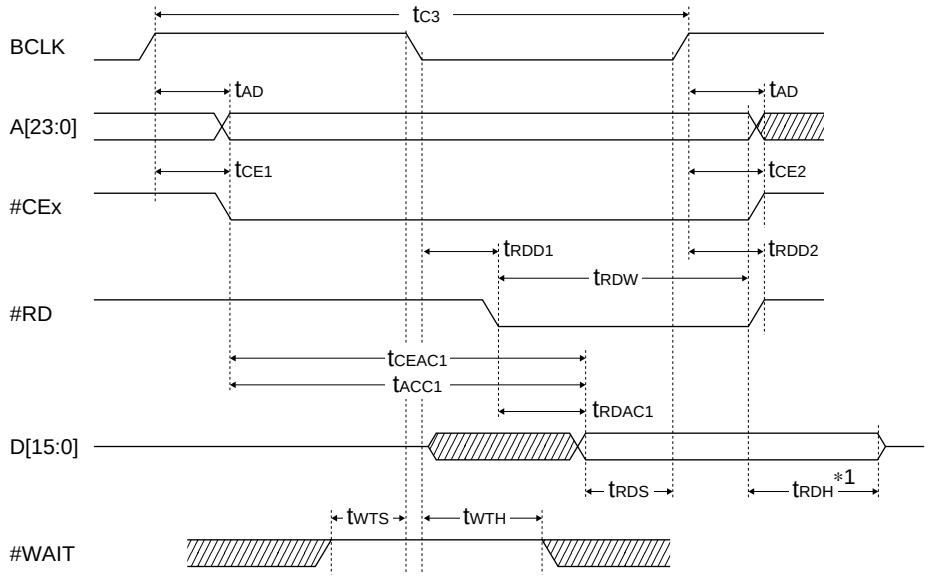
(1) 外部クロック入力の場合 (×1スピードモード時)



(2) 高速発振回路動作の場合

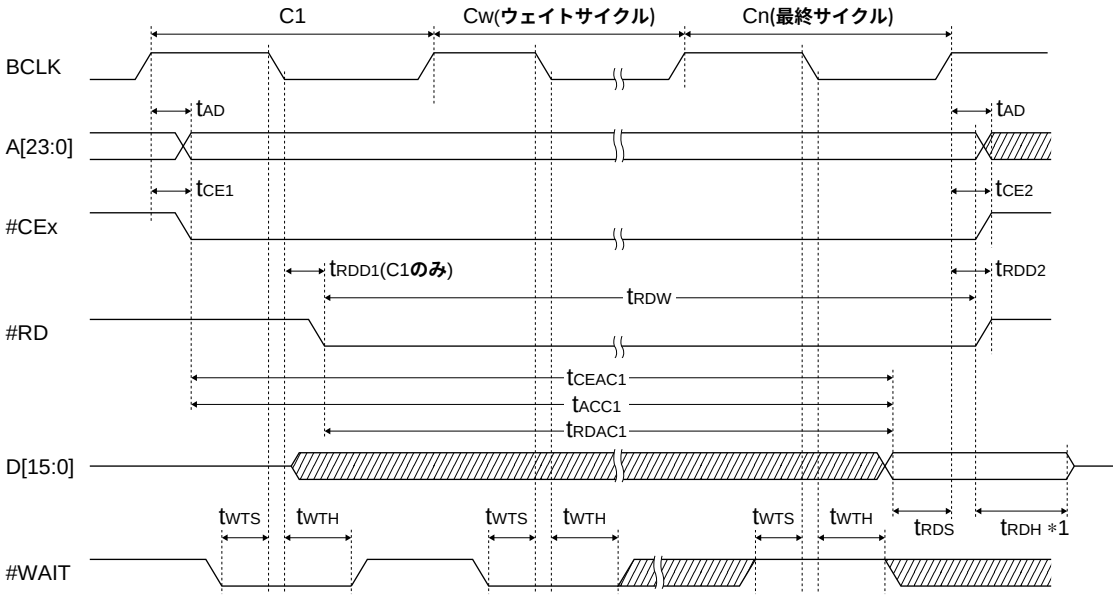


■ SRAMリードサイクル (基本サイクル: 1サイクル)



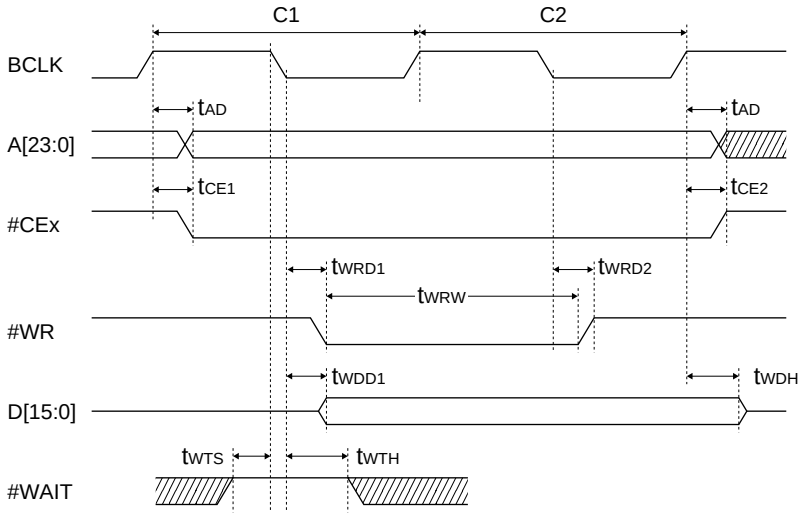
*1 tRDHは、#RD、#CEx、A[23:0]の中の最も早い信号変化(ネゲート)からの規定とします。

■ SRAMリードサイクル (ウェイトサイクル挿入時)

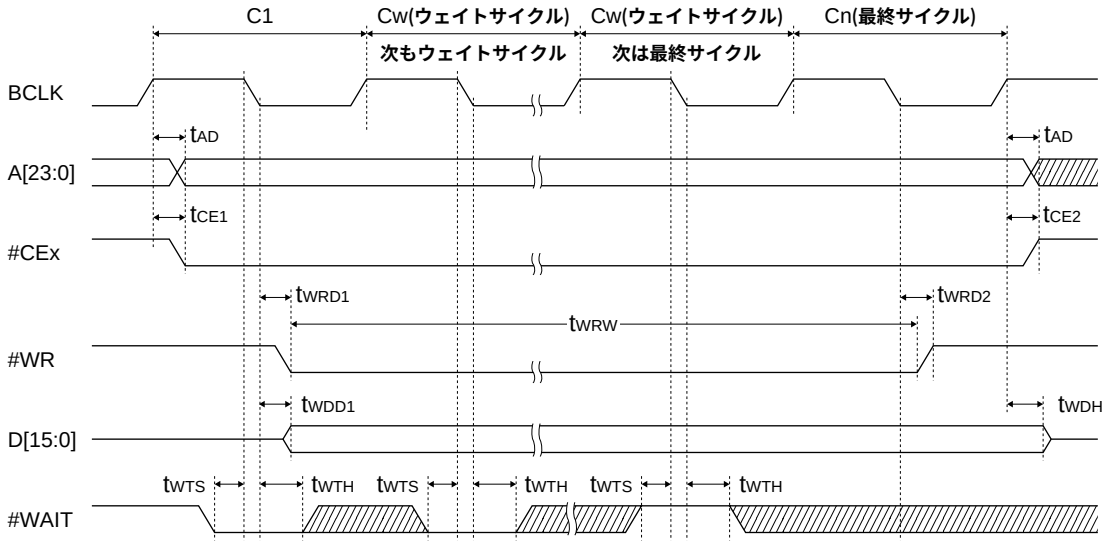


*1 tRDHは、#RD、#CEx、A[23:0]の中の最も早い信号変化(ネゲート)からの規定とします。

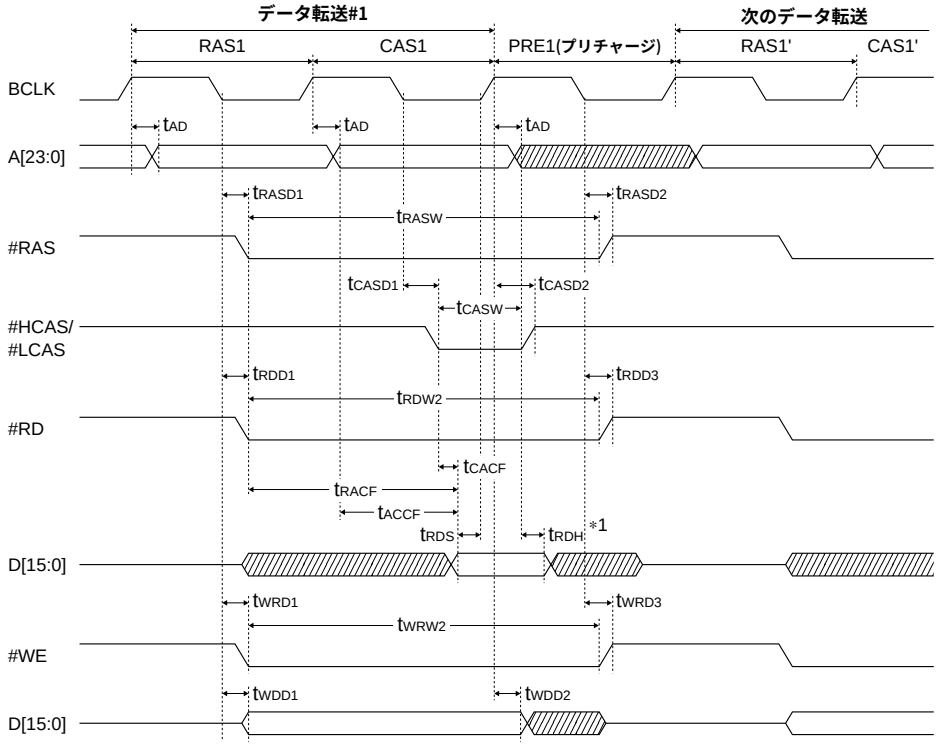
■ SRAMライトサイクル (基本サイクル: 2サイクル)



■ SRAMライトサイクル (ウェイトサイクル挿入時)

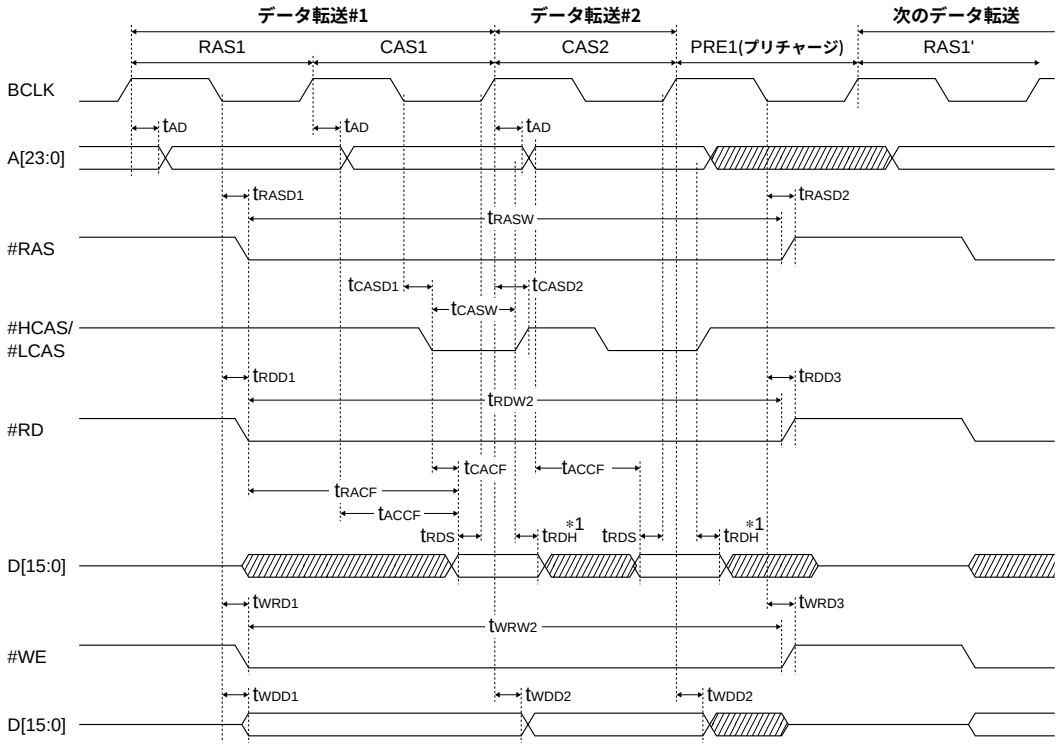


■ DRAMランダムアクセスサイクル (基本サイクル)



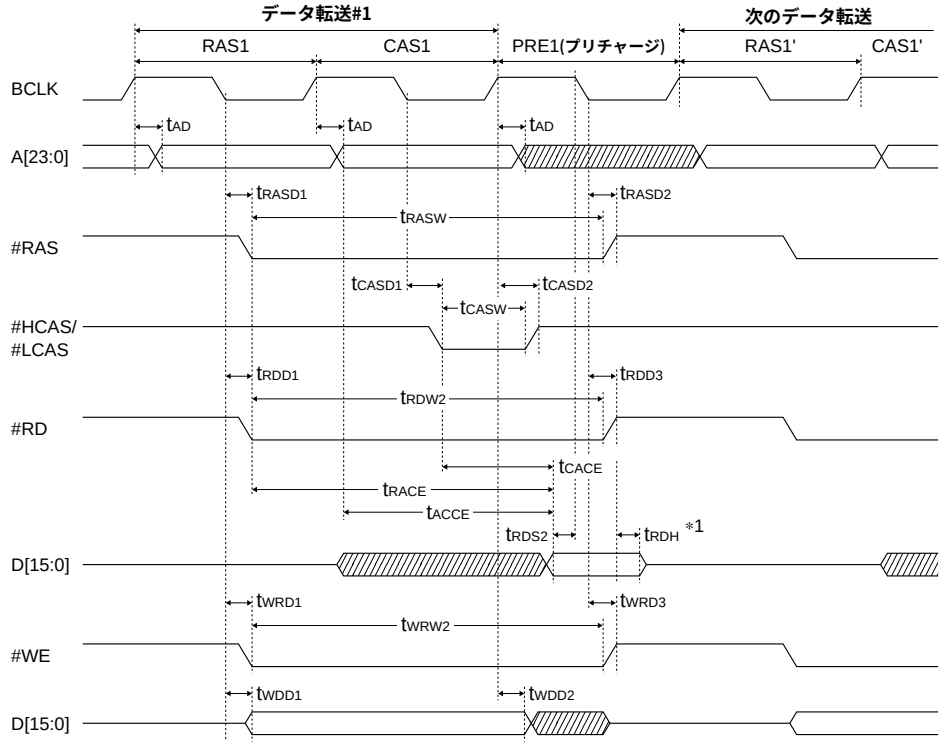
*1 tRDHは、#RD、A[23:0]の中の最も早い信号変化(ネゲート)からの規定とします。

■ DRAM高速ページアクセスサイクル



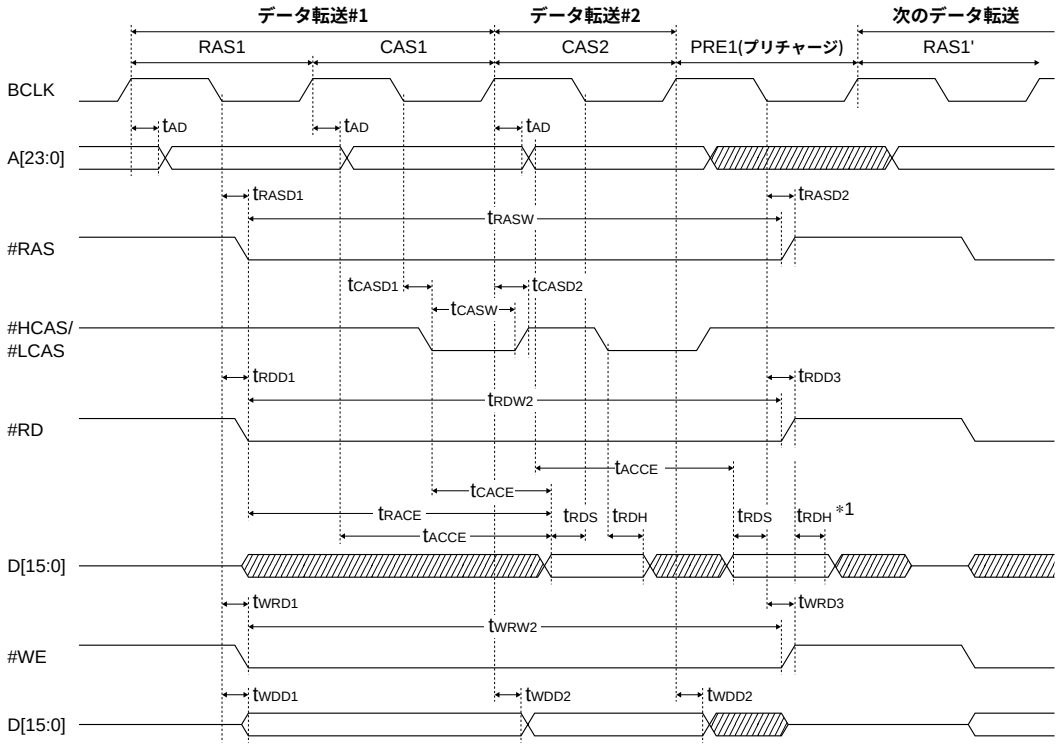
*1 tRDHは、#RD、A[23:0]の中の最も早い信号変化(ネゲート)からの規定とします。

■ EDO DRAMランダムアクセスサイクル (基本サイクル)



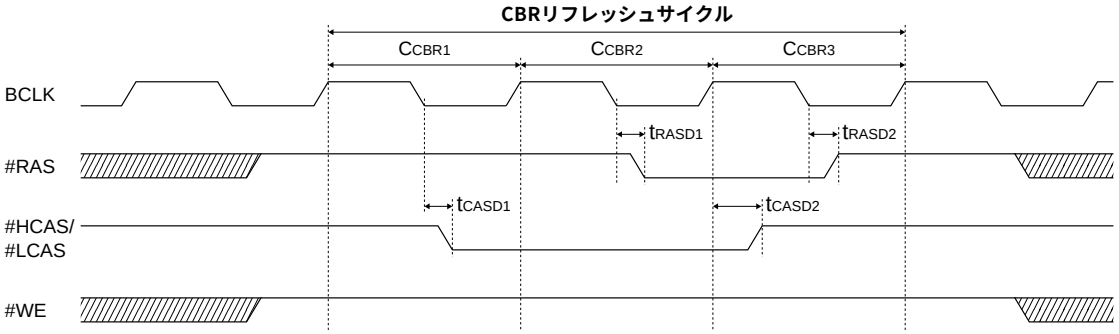
*1 tRDHは、#RD、#RASxの中の最も早い信号変化(ネゲート)からの規定とします。

■ EDO DRAMページアクセスサイクル

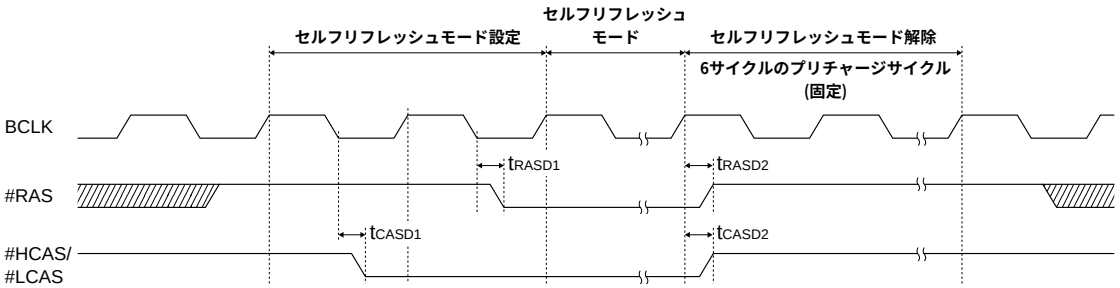


*1 tRDHは、#RD、#RASx(ネゲート) 、または#CAS(立ち下がり)の中の最も早い信号変化からの規定とします。

■ DRAM CASビフォアRASリフレッシュサイクル

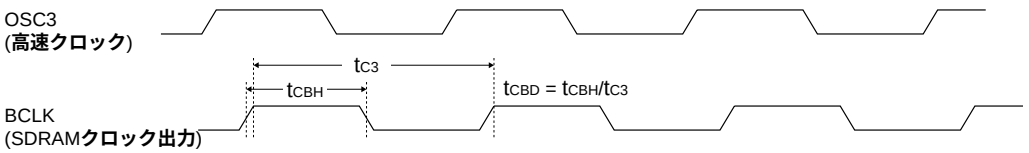


■ DRAMセルフリフレッシュサイクル

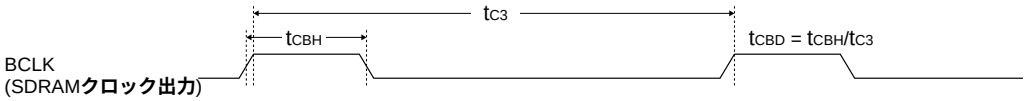


■ SDRAMクロック

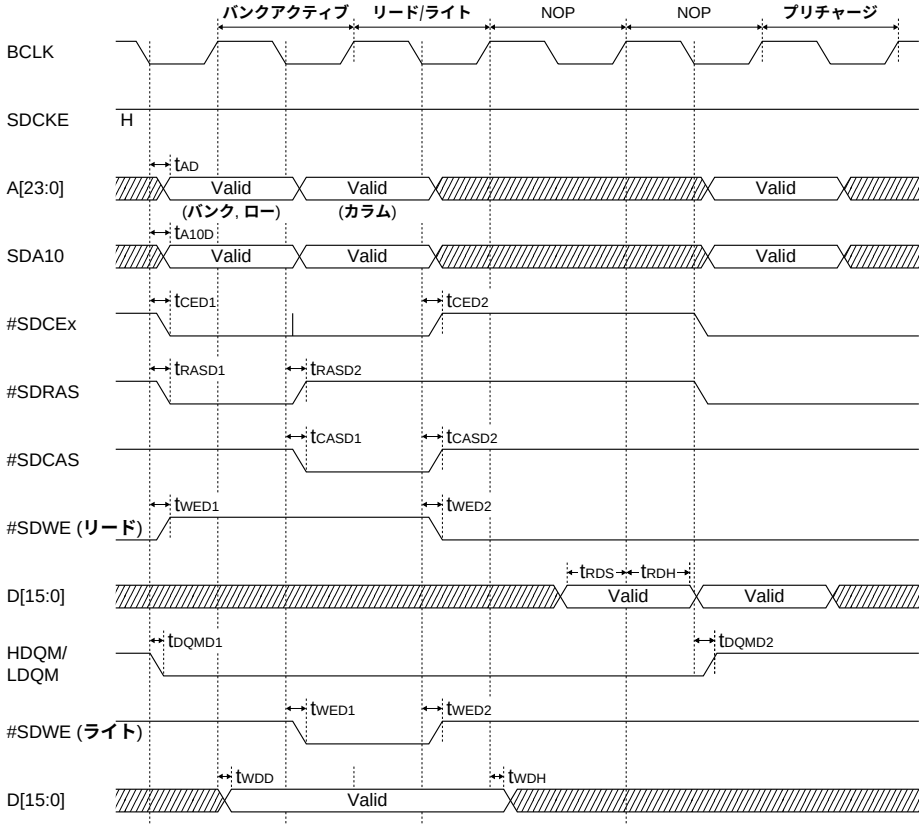
(1) #X2SPD = High (CPUクロック : SDRAMクロック = 1 : 1)



(2) #X2SPD = Low (CPUクロック : SDRAMクロック = 2 : 1)

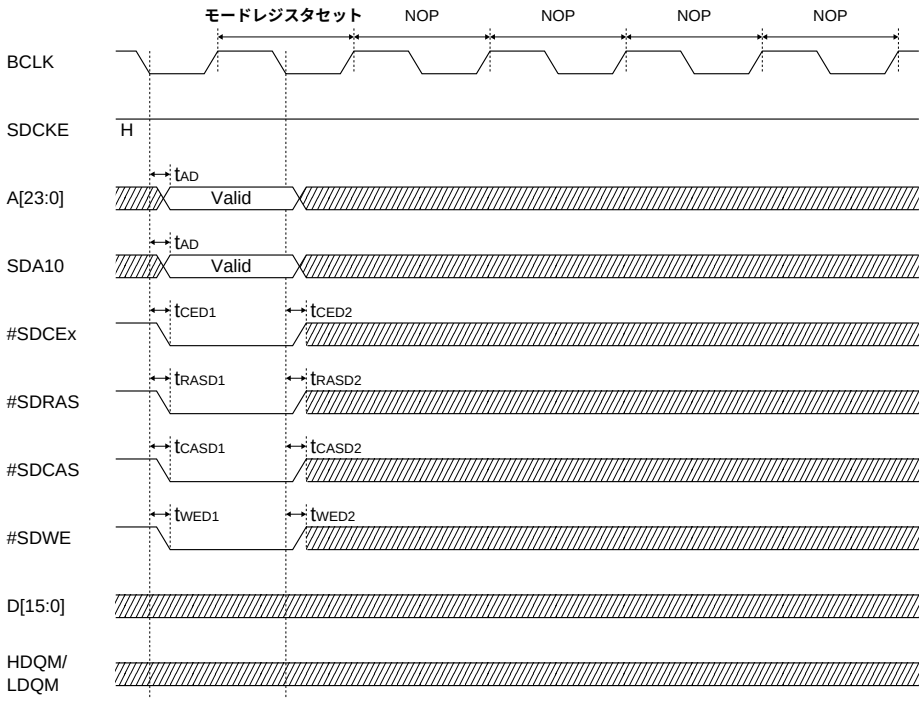


■ SDRAMアクセスサイクル

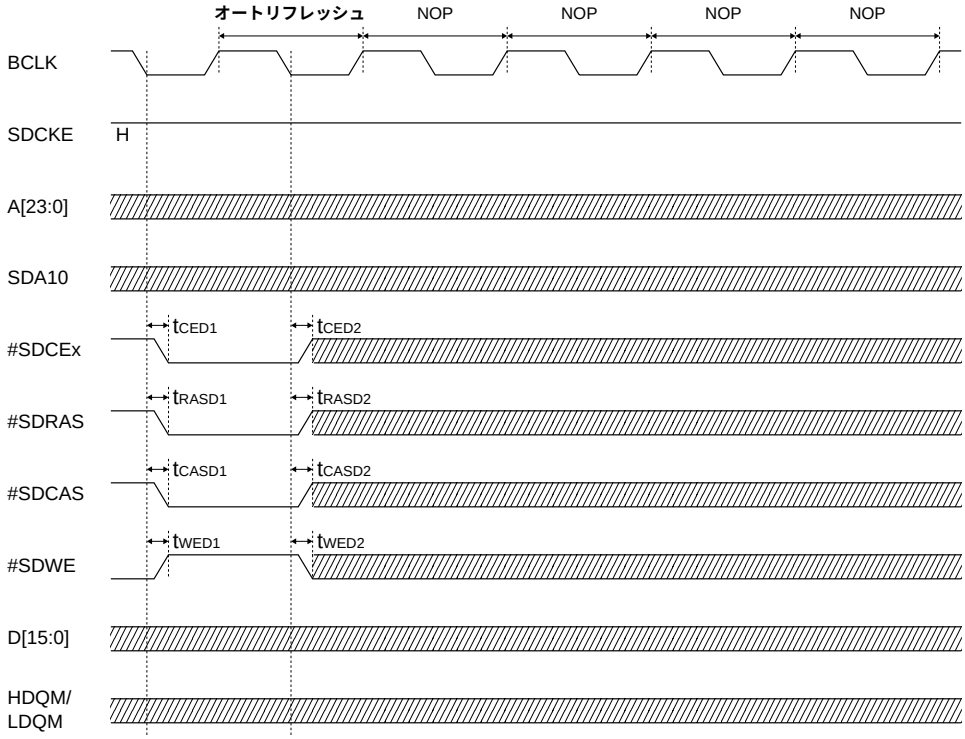


＊ リード: CASレイテンシ = 2、バースト長 = 2　　ライト: シングルライト

■ SDRAMモードレジスタセットサイクル

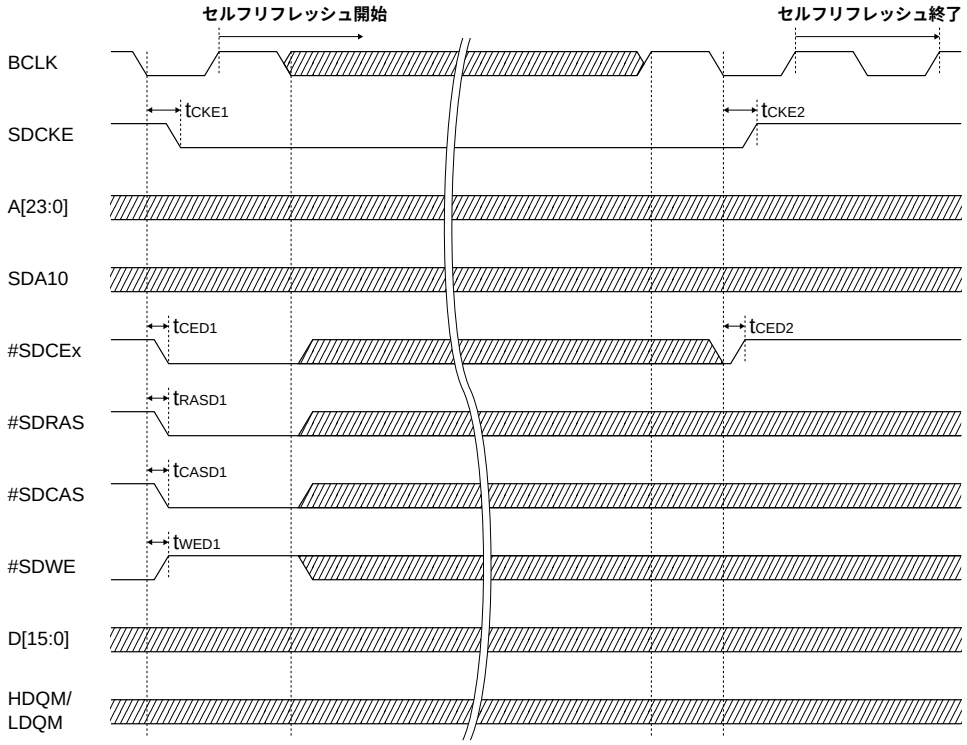


■ SDRAMオートリフレッシュサイクル



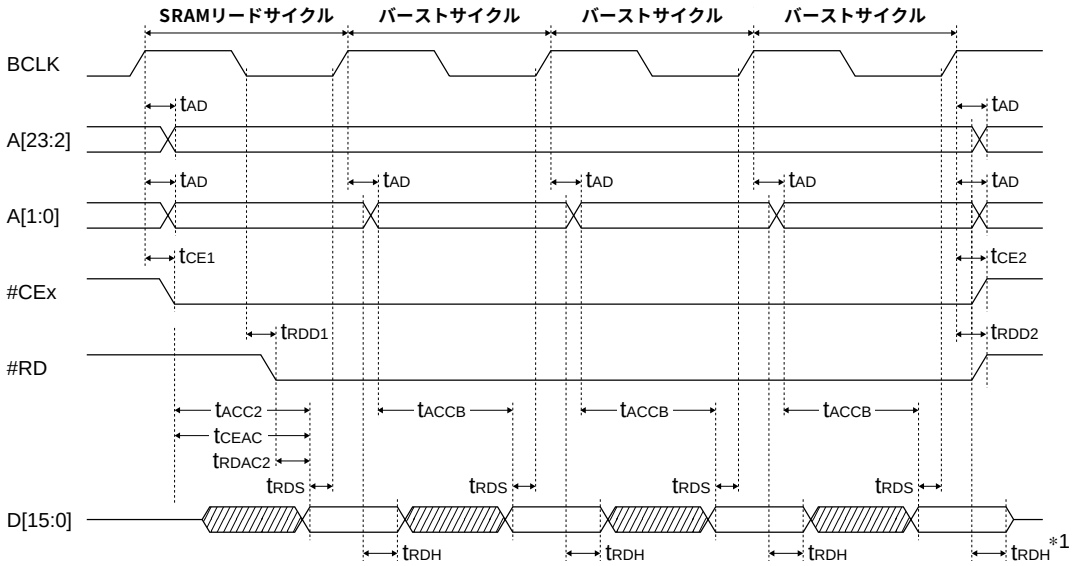
＊ オートリフレッシュモードに入る前には、プリチャージが必要です。

■ SDRAMセルフリフレッシュサイクル



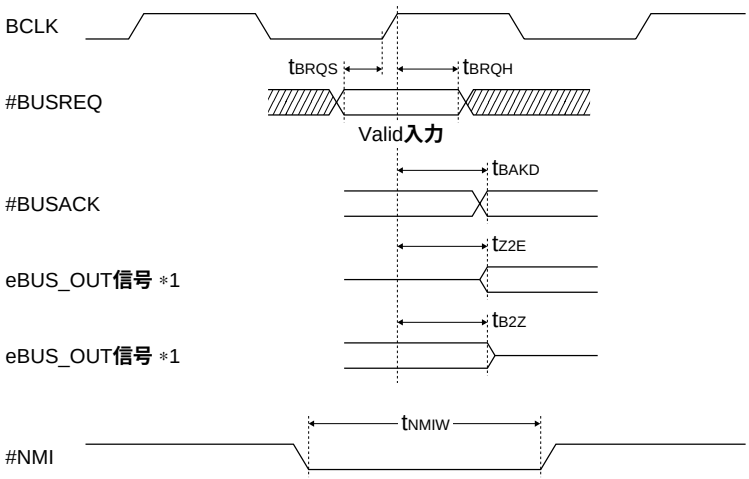
＊ セルフリフレッシュモードに入る前には、プリチャージが必要です。

■ バーストROMリードサイクル



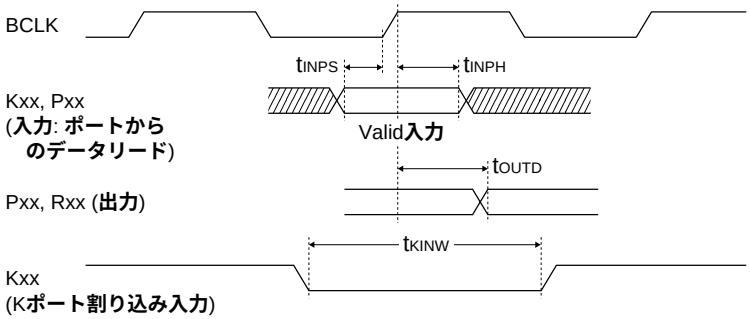
*1 tRDHは、#RD、#CEx、A[23:0]の中の最も早い信号変化(ネゲート)からの規定とします。

■ #BUSREQ, #BUSACK, #NMIタイミング



*1 eBUS_OUTは、以下の端子を示します。
A[23:0], #RD, #WRL, #WRH, #HCAS, #LCAS, #CE[17:4], D[15:0]

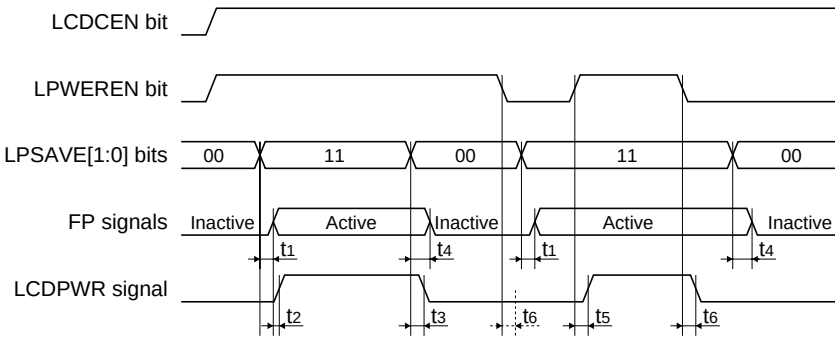
■ 入力, 出力, 入出力兼用ポートタイミング



8.6.5 LCDインタフェースAC特性

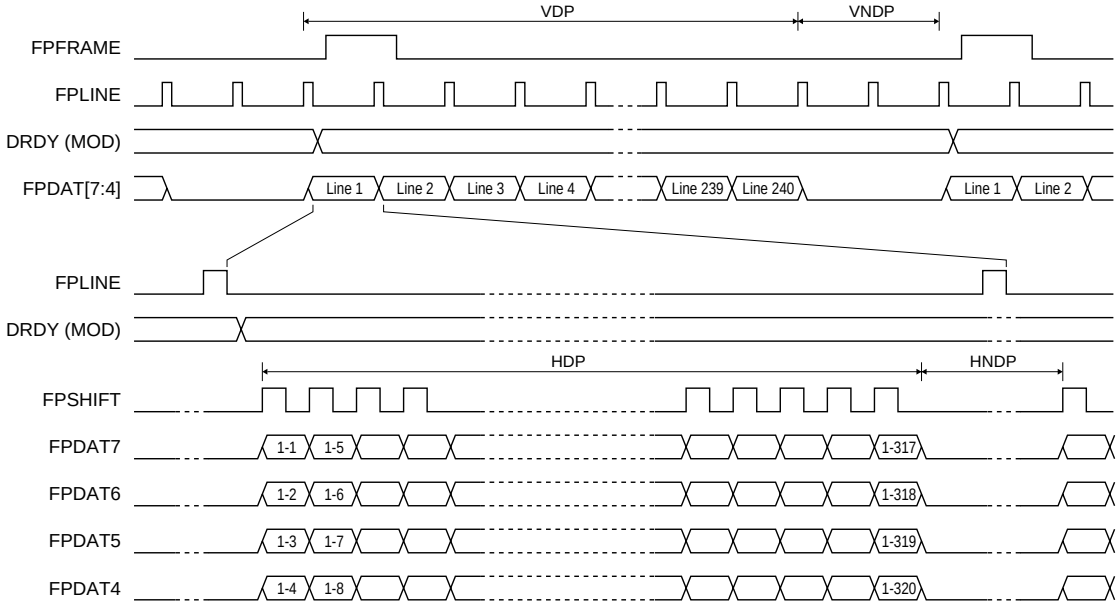
条件: V_{DDE}=3.3V±10%**または**5.0V±10%, Ta=-40°C〜+85°C, C_L=60pF(LCD**パネルインタフェース**)
全入力のT_{rise}**および**T_{fall}**は**5ns(10%〜90%)**である必要があります。**

■ パワーアップ/ダウンタイミング



記号	項目	Min.	Typ.	Max.	単位
t_1	**パワーセーブインアクティブ**→FPLINE, FPFRAME, FPSHIFT, FPDAT, DRDY**アクティブ**			1	**フレーム**
t_2	FPLINE, FPFRAME, FPSHIFT, FPDAT, DRDY**アクティブ**→LCDPWR**アクティブ**			0	**フレーム**
t_3	**パワーセーブアクティブ**→LCDPWR**インアクティブ**			1	**フレーム**
t_4	**パワーセーブアクティブ**→FPLINE, FPFRAME, FPSHIFT, FPDAT, DRDY**インアクティブ**			1	**フレーム**
t_5	LPWREN = "1"→LCDPWR**アクティブ**(FP**信号がアクティブ状態時**)			0	**フレーム**
t_6	LPWREN = "0"→LCDPWR**インアクティブ**			0	**フレーム**

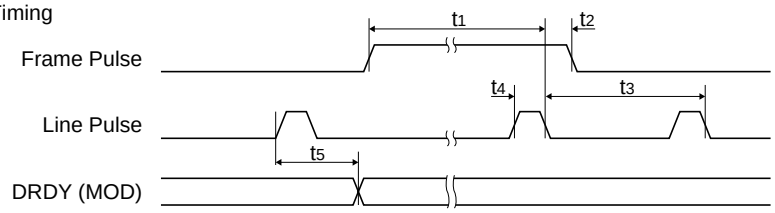
■ 4ビットシングルグレースケールパネルタイミング



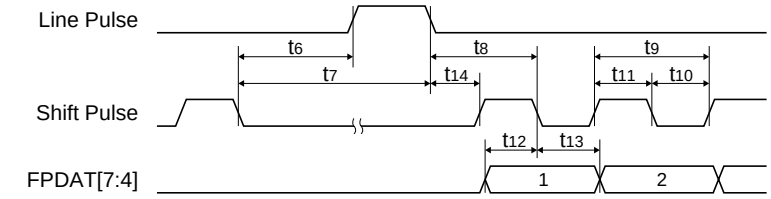
図は320 × 240**パネル、垂直非表示期間が**2FPLINE**の場合のタイミング例です。**FPSMASK(0x39FFE1•D2)**は**"1"**に設定されているものとします。**

VDP = **垂直表示期間** = LDVSIZE[9:0] + 1 (**ライン**)		LDVSIZE[9:0] (0x39FFE5, 0x39FFE6•D[1:0])
VNDP = **垂直非表示期間** = VNDP[5:0] (**ライン**)		VNDP[5:0] (0x39FFEA•D[5:0])
HDP = **水平表示期間** = (LDHSIZE[5:0] + 1) × 16 (Ts)		LDHSIZE[5:0] (0x39FFE4•D[5:0])
HNDP = **水平非表示期間** = (HNDP[4:0] + 4) × 8 (Ts)		HNDP[4:0] (0x39FFE7•D[4:0])

Sync Timing



Data Timing



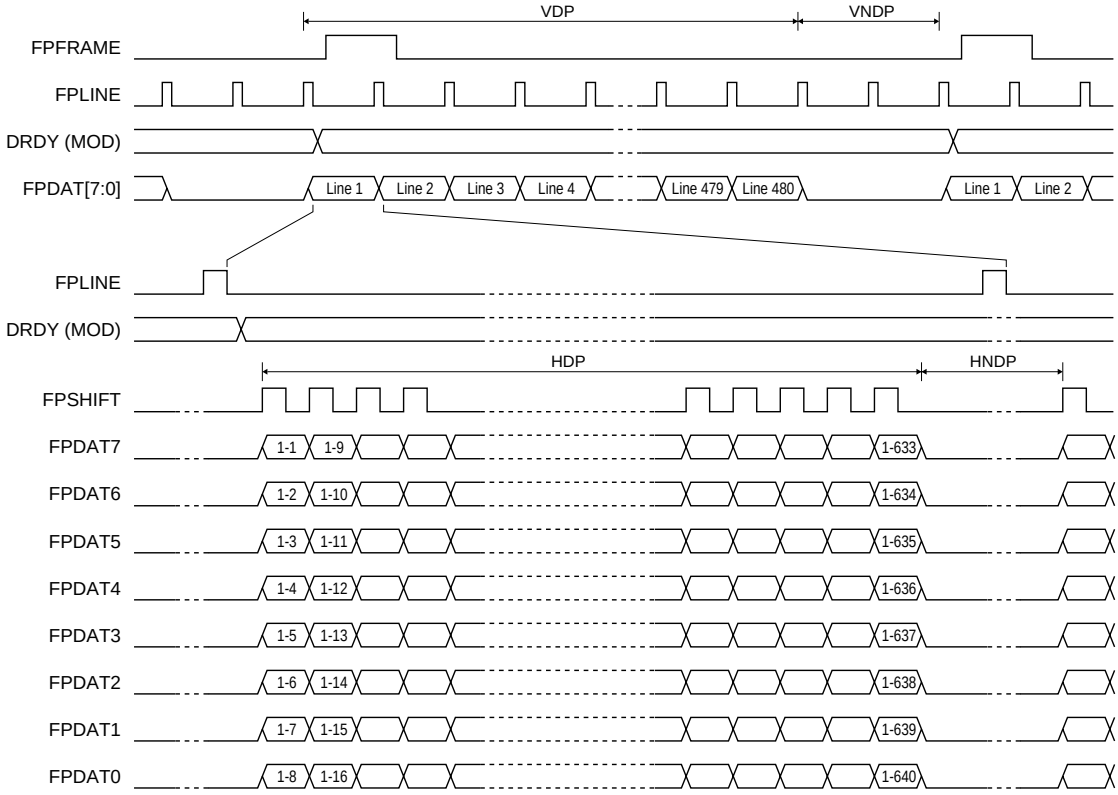
注: FPSMASK(0x39FFE1•D2)**が**"1"**に設定されている場合の**AC**タイミングです。**

4**ビットシングルグレースケールパネル**AC**タイミング**

記号	項目	Min.	Typ.	Max.	単位
t_1	**フレームパルスセットアップ→ラインパルス立ち下がりエッジ**	**注**2			(**注**1)
t_2	**ラインパルス立ち下がりエッジ→フレームパルスホールド時間**	9			Ts
t_3	**ラインパルス周期**	**注**3			
t_4	**ラインパルス幅**	9			Ts
t_5	**ラインパルス立ち上がりエッジ→**MOD**遅延時間**	1			Ts
t_6	**シフトパルス立ち下がりエッジ→ラインパルス立ち上がりエッジ**	**注**4			
t_7	**シフトパルス立ち下がりエッジ→ラインパルス立ち下がりエッジ**	**注**5			
t_8	**ラインパルス立ち下がりエッジ→シフトパルス立ち下がりエッジ**	t_{14}+2			Ts
t_9	**シフトパルス周期**	4			Ts
t_{10}	**シフトパルス**Low**パルス幅**	2			Ts
t_{11}	**シフトパルス**High**パルス幅**	2			Ts
t_{12}	FPDAT[7:4]**セットアップ→シフトパルス立ち下がりエッジ**	2			Ts
t_{13}	**シフトパルス立ち下がりエッジ→**FPDAT[7:4]**ホールド時間**	2			Ts
t_{14}	**ラインパルス立ち下がりエッジ→シフトパルス立ち上がりエッジ**	23			Ts

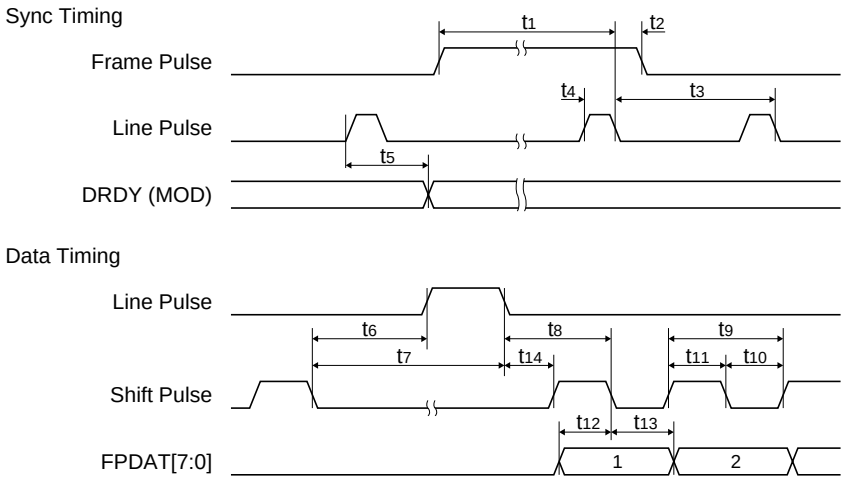
注: 1. Ts =**ピクセルクロック周期**
2. t_{1min} = t_{3min} - 9 (Ts)
3. t_{3min} = (LDHSIZE[5:0] + 1) × 16 + (HNDP[4:0] + 4) × 8 (Ts)
4. t_{6min} = HNDP[4:0] × 8 + 2 (Ts)
5. t_{7min} = HNDP[4:0] × 8 + 11 (Ts)

■ 8ビットシングルグレースケールパネルタイミング



図は640 × 480**パネル、垂直非表示期間が**2FPLINE**の場合のタイミング例です。**FPSMASK(0x39FFE1•D2)**は**"1"**に設定されているものとします。**

VDP	= **垂直表示期間** = LDVSIZE[9:0] + 1 (**ライン**)	LDVSIZE[9:0] (0x39FFE5, 0x39FFE6•D[1:0])
VNDP	= **垂直非表示期間** = VNDP[5:0] (**ライン**)	VNDP[5:0] (0x39FFEA•D[5:0])
HDP	= **水平表示期間** = (LDHSIZE[5:0] + 1) × 16 (Ts)	LDHSIZE[5:0] (0x39FFE4•D[5:0])
HNDP	= **水平非表示期間** = (HNDP[4:0] + 4) × 8 (Ts)	HNDP[4:0] (0x39FFE7•D[4:0])



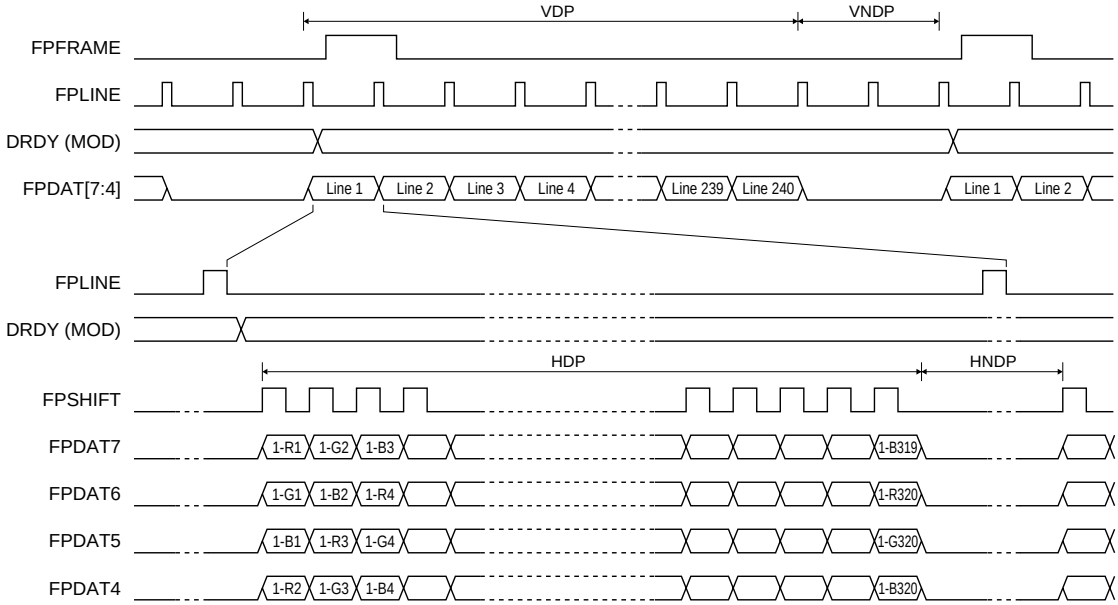
注: FPSMASK(0x39FFE1•D2)**が**"1"**に設定されている場合の**AC**タイミングです。**

8**ビットシングルグレースケールパネル**AC**タイミング**

記号	項目	Min.	Typ.	Max.	単位
t_1	**フレームパルスセットアップ→ラインパルス立ち下がりエッジ**	**注**2			(**注**1)
t_2	**ラインパルス立ち下がりエッジ→フレームパルスホールド時間**	9			Ts
t_3	**ラインパルス周期**	**注**3			
t_4	**ラインパルス幅**	9			Ts
t_5	**ラインパルス立ち上がりエッジ→**MOD**遅延時間**	1			Ts
t_6	**シフトパルス立ち下がりエッジ→ラインパルス立ち上がりエッジ**	**注**4			
t_7	**シフトパルス立ち下がりエッジ→ラインパルス立ち下がりエッジ**	**注**5			
t_8	**ラインパルス立ち下がりエッジ→シフトパルス立ち下がりエッジ**	t_{14}+4			Ts
t_9	**シフトパルス周期**	8			Ts
t_{10}	**シフトパルス**Low**パルス幅**	4			Ts
t_{11}	**シフトパルス**High**パルス幅**	4			Ts
t_{12}	FPDAT[7:0]**セットアップ→シフトパルス立ち下がりエッジ**	4			Ts
t_{13}	**シフトパルス立ち下がりエッジ→**FPDAT[7:0]**ホールド時間**	4			Ts
t_{14}	**ラインパルス立ち下がりエッジ→シフトパルス立ち上がりエッジ**	23			Ts

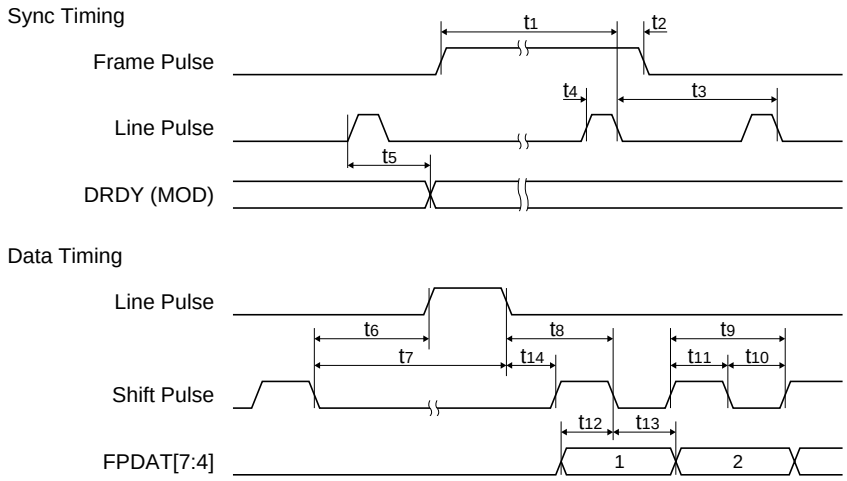
注: 1. Ts =**ピクセルクロック周期**
2. t_{1min} = t_{3min} - 9 (Ts)
3. t_{3min} = (LDHSIZE[5:0] + 1) × 16 + (HNDP[4:0] + 4) × 8 (Ts)
4. t_{6min} = HNDP[4:0] × 8 + 4 (Ts)
5. t_{7min} = HNDP[4:0] × 8 + 13 (Ts)

■ 4ビットシングルカラーパネルタイミング



図は320 × 240**パネル、垂直非表示期間が**2FPLINE**の場合のタイミング例です。**

VDP = **垂直表示期間** = LDVSIZE[9:0] + 1 (**ライン**)		LDVSIZE[9:0] (0x39FFE5, 0x39FFE6•D[1:0])
VNDP = **垂直非表示期間** = VNDP[5:0] (**ライン**)		VNDP[5:0] (0x39FFEA•D[5:0])
HDP = **水平表示期間** = (LDHSIZE[5:0] + 1) × 16 (Ts)		LDHSIZE[5:0] (0x39FFE4•D[5:0])
HNDP = **水平非表示期間** = (HNDP[4:0] + 4) × 8 (Ts)		HNDP[4:0] (0x39FFE7•D[4:0])

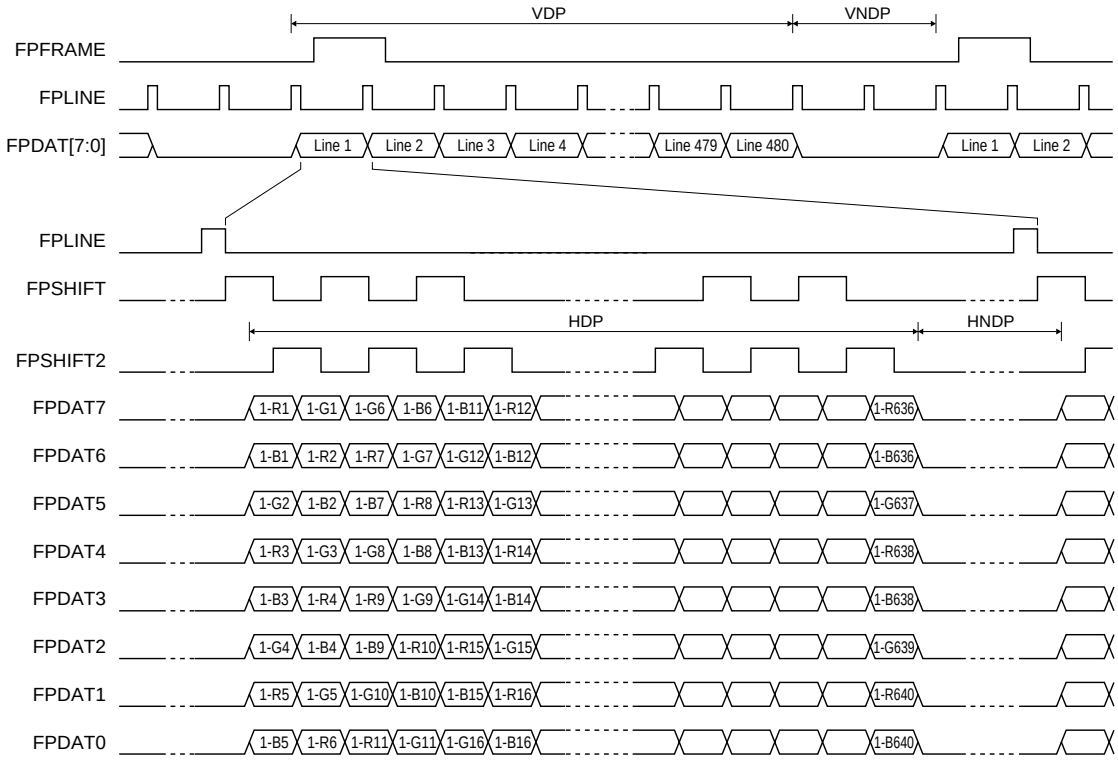


4ビットシングルカラーパネルACタイミング

記号	項目	Min.	Typ.	Max.	単位
t_1	フレームパルスセットアップ→ラインパルス立ち下がりエッジ	注2			(注1)
t_2	ラインパルス立ち下がりエッジ→フレームパルスホールド時間	9			Ts
t_3	ラインパルス周期	注3			
t_4	ラインパルス幅	9			Ts
t_5	ラインパルス立ち上がりエッジ→MOD遅延時間	1			Ts
t_6	シフトパルス立ち下がりエッジ→ラインパルス立ち上がりエッジ	注4			
t_7	シフトパルス立ち下がりエッジ→ラインパルス立ち下がりエッジ	注5			
t_8	ラインパルス立ち下がりエッジ→シフトパルス立ち下がりエッジ	t_{14}+0.5			Ts
t_9	シフトパルス周期	1			Ts
t_{10}	シフトパルスLowパルス幅	0.5			Ts
t_{11}	シフトパルスHighパルス幅	0.5			Ts
t_{12}	FPDAT[7:4]セットアップ→シフトパルス立ち下がりエッジ	1.5			Ts
t_{13}	シフトパルス立ち下がりエッジ→FPDAT[7:4]ホールド時間	1.5			Ts
t_{14}	ラインパルス立ち下がりエッジ→シフトパルス立ち上がりエッジ	24			Ts

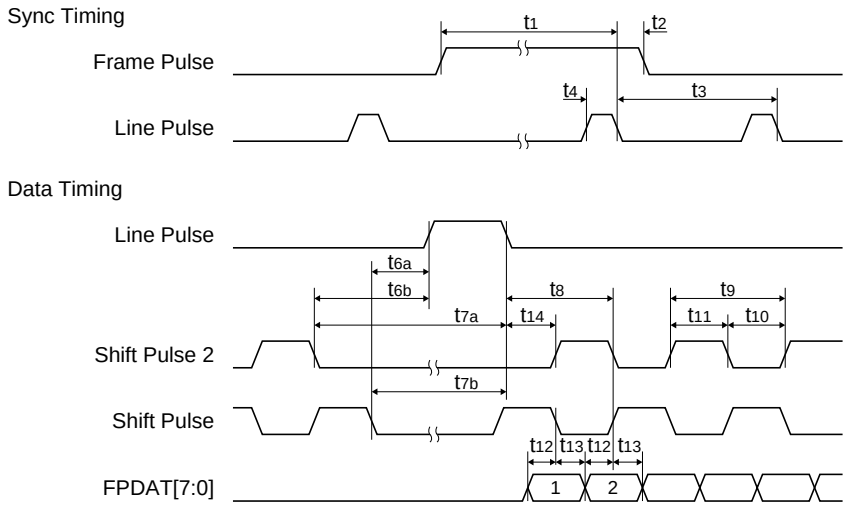
注: 1. Ts =ピクセルクロック周期
2. t_{1min} = t_{3min} - 9 (Ts)
3. t_{3min} = (LDHSIZE[5:0] + 1) × 16 + (HNDP[4:0] + 4) × 8 (Ts)
4. t_{6min} = HNDP[4:0] × 8 + 1.5 (Ts)
5. t_{7min} = HNDP[4:0] × 8 + 10.5 (Ts)

■ 8ビットシングルカラーパネルタイミング(Format 1)



図は640 × 480**パネル、垂直非表示期間が**2FPLINE**の場合のタイミング例です。**

VDP	= **垂直表示期間** = LDVSIZE[9:0] + 1 (**ライン**)	LDVSIZE[9:0] (0x39FFE5, 0x39FFE6•D[1:0])
VNDP	= **垂直非表示期間** = VNDP[5:0] (**ライン**)	VNDP[5:0] (0x39FFEA•D[5:0])
HDP	= **水平表示期間** = (LDHSIZE[5:0] + 1) × 16 (Ts)	LDHSIZE[5:0] (0x39FFE4•D[5:0])
HNDP	= **水平非表示期間** = (HNDP[4:0] + 4) × 8 (Ts)	HNDP[4:0] (0x39FFE7•D[4:0])

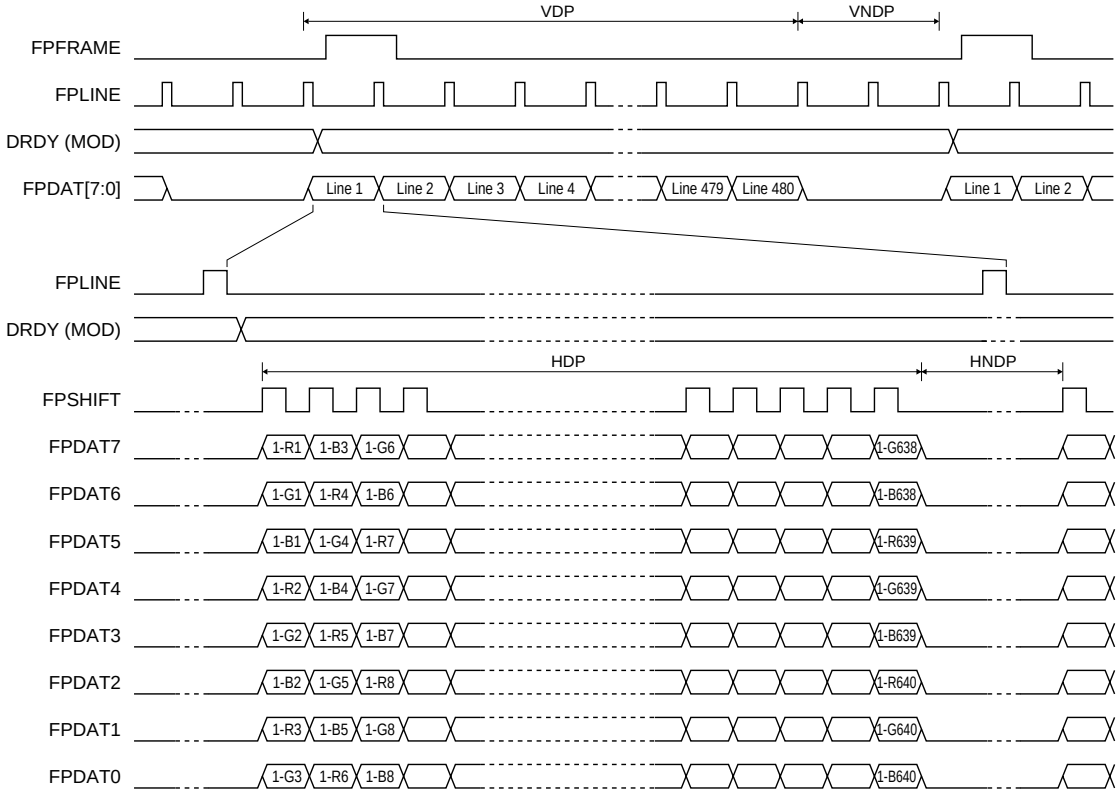


8ビットシングルカラーパネルACタイミング(Format 1)

記号	項目	Min.	Typ.	Max.	単位
t_1	フレームパルスセットアップ→ラインパルス立ち下がりエッジ	注2			(注1)
t_2	ラインパルス立ち下がりエッジ→フレームパルスホールド時間	9			Ts
t_3	ラインパルス周期	注3			
t_4	ラインパルス幅	9			Ts
t_{6a}	シフトパルス立ち下がりエッジ→ラインパルス立ち上がりエッジ	注4			
t_{6b}	シフトパルス2立ち下がりエッジ→ラインパルス立ち上がりエッジ	注5			
t_{7a}	シフトパルス2立ち下がりエッジ→ラインパルス立ち下がりエッジ	注6			
t_{7b}	シフトパルス立ち下がりエッジ→ラインパルス立ち下がりエッジ	注7			
t_8	ラインパルス立ち下がりエッジ→シフトパルス立ち上がり, シフトパルス2立ち下がりエッジ	t_{14}+2			Ts
t_9	シフトパルス2, シフトパルス周期	4			Ts
t_{10}	シフトパルス2, シフトパルスLowパルス幅	2			Ts
t_{11}	シフトパルス2, シフトパルスHighパルス幅	2			Ts
t_{12}	FPDAT[7:0]セットアップ→シフトパルス2, シフトパルス立ち下がりエッジ	1			Ts
t_{13}	シフトパルス2, シフトパルス立ち下がりエッジ→FPDAT[7:0]ホールド時間	1			Ts
t_{14}	ラインパルス立ち下がりエッジ→シフトパルス2立ち上がりエッジ	23			Ts

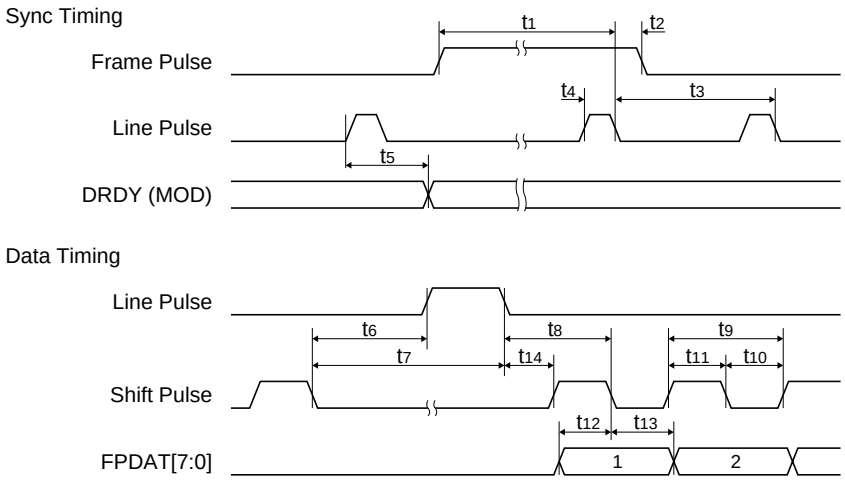
注: 1. Ts =ピクセルクロック周期
2. t_{1min} = t_{3min} - 9 (Ts)
3. t_{3min} = (LDHSIZE[5:0] + 1) × 16 + (HNDP[4:0] + 4) × 8 + 1 (Ts)
4. t_{6amin} = HNDP[4:0] × 8 + t_{13} - t_{10} + 1 (Ts)
5. t_{6bmin} = HNDP[4:0] × 8 + t_{13} + 1 (Ts)
6. t_{7amin} = HNDP[4:0] × 8 + 11 (Ts)
7. t_{7bmin} = HNDP[4:0] × 8 + 11 - t_{10} (Ts)

■ 8ビットシングルカラーパネルタイミング(Format 2)



図は640 × 480**パネル、垂直非表示期間が**2FPLINE**の場合のタイミング例です。**

VDP	= **垂直表示期間** = LDVSIZE[9:0] + 1 (**ライン**)	LDVSIZE[9:0] (0x39FFE5, 0x39FFE6•D[1:0])
VNDP	= **垂直非表示期間** = VNDP[5:0] (**ライン**)	VNDP[5:0] (0x39FFEA•D[5:0])
HDP	= **水平表示期間** = (LDHSIZE[5:0] + 1) × 16 (Ts)	LDHSIZE[5:0] (0x39FFE4•D[5:0])
HNDP	= **水平非表示期間** = (HNDP[4:0] + 4) × 8 (Ts)	HNDP[4:0] (0x39FFE7•D[4:0])



8ビットシングルカラーパネルACタイミング(Format 2)

記号	項目	Min.	Typ.	Max.	単位
t_1	フレームパルスセットアップ→ラインパルス立ち下がりエッジ	注2			(注1)
t_2	ラインパルス立ち下がりエッジ→フレームパルスホールド時間	9			Ts
t_3	ラインパルス周期	注3			
t_4	ラインパルス幅	9			Ts
t_5	ラインパルス立ち上がりエッジ→MOD遅延時間	1			Ts
t_6	シフトパルス立ち下がりエッジ→ラインパルス立ち上がりエッジ	注4			
t_7	シフトパルス立ち下がりエッジ→ラインパルス立ち下がりエッジ	注5			
t_8	ラインパルス立ち下がりエッジ→シフトパルス立ち下がりエッジ	t_{14}+2			Ts
t_9	シフトパルス周期	2			Ts
t_{10}	シフトパルスLowパルス幅	1			Ts
t_{11}	シフトパルスHighパルス幅	1			Ts
t_{12}	FPDAT[7:0]セットアップ→シフトパルス立ち下がりエッジ	1			Ts
t_{13}	シフトパルス立ち下がりエッジ→FPDAT[7:0]ホールド時間	1			Ts
t_{14}	ラインパルス立ち下がりエッジ→シフトパルス立ち上がりエッジ	23			Ts

注: 1. Ts =ピクセルクロック周期
2. t_{1min} = t_{3min} - 9 (Ts)
3. t_{3min} = (LDHSIZE[5:0] + 1) × 16 + (HNDP[4:0] + 4) × 8 + 1 (Ts)
4. t_{6min} = HNDP[4:0] × 8 + 1 (Ts)
5. t_{7min} = HNDP[4:0] × 8 + 10 (Ts)

8.7 発振特性

発振特性は諸条件(使用部品、基板パターン等)により変化します。以下の特性は参考値としてご使用ください。特にセラミック発振子または水晶振動子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。

■ OSC1水晶発振

(**特記なき場合**: **水晶振動子**=Q11C02RX*1 32.768kHz, Rf_1=20MΩ, C_{G1}=C_{D1}=15pF*2)

項目	記号	条件	Min.	Typ.	Max.	単位	注
動作温度	Ta	V_{DD}=2.7〜3.6V	-40		85	°C	
		V_{DD}=1.9〜2.2V	-40		85	°C	
		V_{DD}=1.8〜2.2V	0		70	°C	

*1 Q11C02RX: **セイコーエプソン製水晶振動子** *2 C_{G1}=C_{D1}=15pF**は基板容量を含みます。**

(**特記なき場合**: V_{DD}=3.3V, V_{SS}=0V, **水晶振動子**=Q11C02RX*1 32.768kHz, Rf_1=20MΩ, C_{G1}=C_{D1}=15pF*2, Ta=25°C)

項目	記号	条件	Min.	Typ.	Max.	単位	注
発振開始時間	t_{STA1}				3	sec	
外付けゲート容量, ドレイン容量	C_{G1}, C_{D1}	C_{G1}=C_{D1}, **基板容量などを含む**	5		25	pF	
周波数IC偏差	Δf/ΔIC		-10		10	ppm	
周波数電源電圧偏差	Δf/ΔV		-10		10	ppm/V	
周波数調整範囲	Δf/ΔC_G	C_{G1}=C_{D1}=5〜25pF	50			ppm	

*1 Q11C02RX: **セイコーエプソン製水晶振動子** *2 C_{G1}=C_{D1}=15pF**は基板容量を含みます。**

(**特記なき場合**: V_{DD}=2.0V, V_{SS}=0V, **水晶振動子**=Q11C02RX*1 32.768kHz, Rf_1=20MΩ, C_{G1}=C_{D1}=15pF*2, Ta=25°C)

項目	記号	条件	Min.	Typ.	Max.	単位	注
発振開始時間	t_{STA1}				20	sec	
外付けゲート容量, ドレイン容量	C_{G1}, C_{D1}	C_{G1}=C_{D1}, **基板容量などを含む**	5		25	pF	
周波数IC偏差	Δf/ΔIC		-10		10	ppm	
周波数電源電圧偏差	Δf/ΔV		-10		10	ppm/V	
周波数調整範囲	Δf/ΔC_G	C_{G1}=C_{D1}=5〜25pF	50			ppm	

*1 Q11C02RX: **セイコーエプソン製水晶振動子** *2 C_{G1}=C_{D1}=15pF**は基板容量を含みます。**

■ OSC3水晶発振

注: OSC3**水晶発振回路には、"基本波を使用した水晶振動子"を使用してください。**

(**特記なき場合**: V_{SS}=0V, **水晶振動子**=Q22MA306*1 33.8688MHz, Rf_2=1MΩ, C_{G1}=C_{D1}=15pF*2, Ta=25°C)

項目	記号	条件	Min.	Typ.	Max.	単位	注
発振開始時間	t_{STA3}	V_{DD}=3.3V			10	ms	
		V_{DD}=2.0V			25	ms	

*1 Q22MA306: **セイコーエプソン製水晶振動子** *2 C_{G1}=C_{D1}=15pF**は基板容量を含みます。**

■ OSC3セラミック発振

(**特記なき場合**: V_{SS}=0V, Ta=25°C)

項目	記号	条件	Min.	Typ.	Max.	単位	注
発振開始時間	t_{STA3}	10MHz**セラミック発振子**			10	ms	1
		16MHz**セラミック発振子**			10	ms	2
		20MHz**セラミック発振子**			10	ms	3
		25MHz**セラミック発振子**			5	ms	4
		33MHz**セラミック発振子**			5	ms	5

注)

No.	セラミック発振子 品種名	推奨定数 C_{G2} (pF)	推奨定数 C_{D2} (pF)	推奨定数 Rf_2 (MΩ)	電源電圧範囲(V)	備考
1	CST10.0MTW	30	30	1	1.8〜2.2	**村田製作所製セラミック発振子** *1
2	CST16.00MXW0C1	5	5	1	1.8〜2.2	**村田製作所製セラミック発振子**
3	CST20.00MXW0H1	5	5	1	1.8〜2.2	**村田製作所製セラミック発振子**
4	CST25.00MXW0H1	5	5	1	2.7〜3.6	**村田製作所製セラミック発振子**
5	CST33.00MXZ040	Open	Open	1	2.7〜3.6	**村田製作所製セラミック発振子**

*1 **周波数が**0.3%**高めにずれる傾向があります。**

8.8 PLL特性

■ PLLS0, PLLS1の設定(推奨動作条件)

V_{DD}=2.7V〜3.6V

PLLS1	PLLS0	モード	Fin (OSC3クロック)	Fout
1	1	2逓倍	10〜25MHz	20〜50MHz
0	1	4逓倍	10〜12.5MHz	40〜50MHz
0	0	PLL未使用	–	–

V_{DD}=2.0V±0.2V

PLLS1	PLLS0	モード	Fin (OSC3クロック)	Fout
1	1	2逓倍	10MHz	20MHz
0	0	PLL未使用	–	–

■ PLL特性

(**特記なき場合**: V_{DD}=2.7V〜3.6V, V_{SS}=0V, **水晶発振器**=Q3204DC*1, R_1=4.7kΩ, C_1=100pF, C_2=5pF, Ta=-40°C〜+85°C)

項目	記号	条件	Min.	Typ.	Max.	単位	注
ジッタ(ピークジッタ)	tpj		-1		1	ns	
ロックアップ時間	tpll				1	ms	

*1 Q3204DC: セイコーエプソン製水晶発振器

(**特記なき場合**: V_{DD}=2.0V±0.2V, V_{SS}=0V, **水晶発振器**=Q3204DC*1, R_1=4.7kΩ, C_1=100pF, C_2=5pF, Ta=-40°C〜+85°C)

項目	記号	条件	Min.	Typ.	Max.	単位	注
ジッタ(ピークジッタ)	tpj		-2		2	ns	
ロックアップ時間	tpll				2	ms	

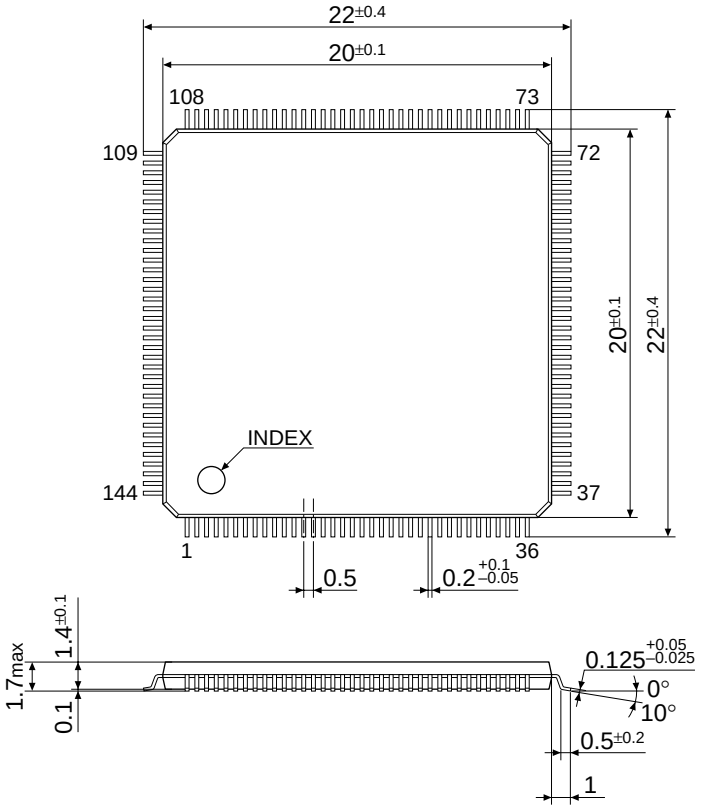
*1 Q3204DC: セイコーエプソン製水晶発振器

9 パッケージ

9.1 プラスチックパッケージ

QFP20-144pin

(単位: mm)



※消費電力制限

LSIは消費電力に従ってチップ温度が上昇します。パッケージに搭載された状態では、LSIのチップ温度はその周辺温度Ta、パッケージの熱抵抗θおよび消費電力PDから計算できます。

チップ温度(Tj) = Ta + (PD × θ) (°C)

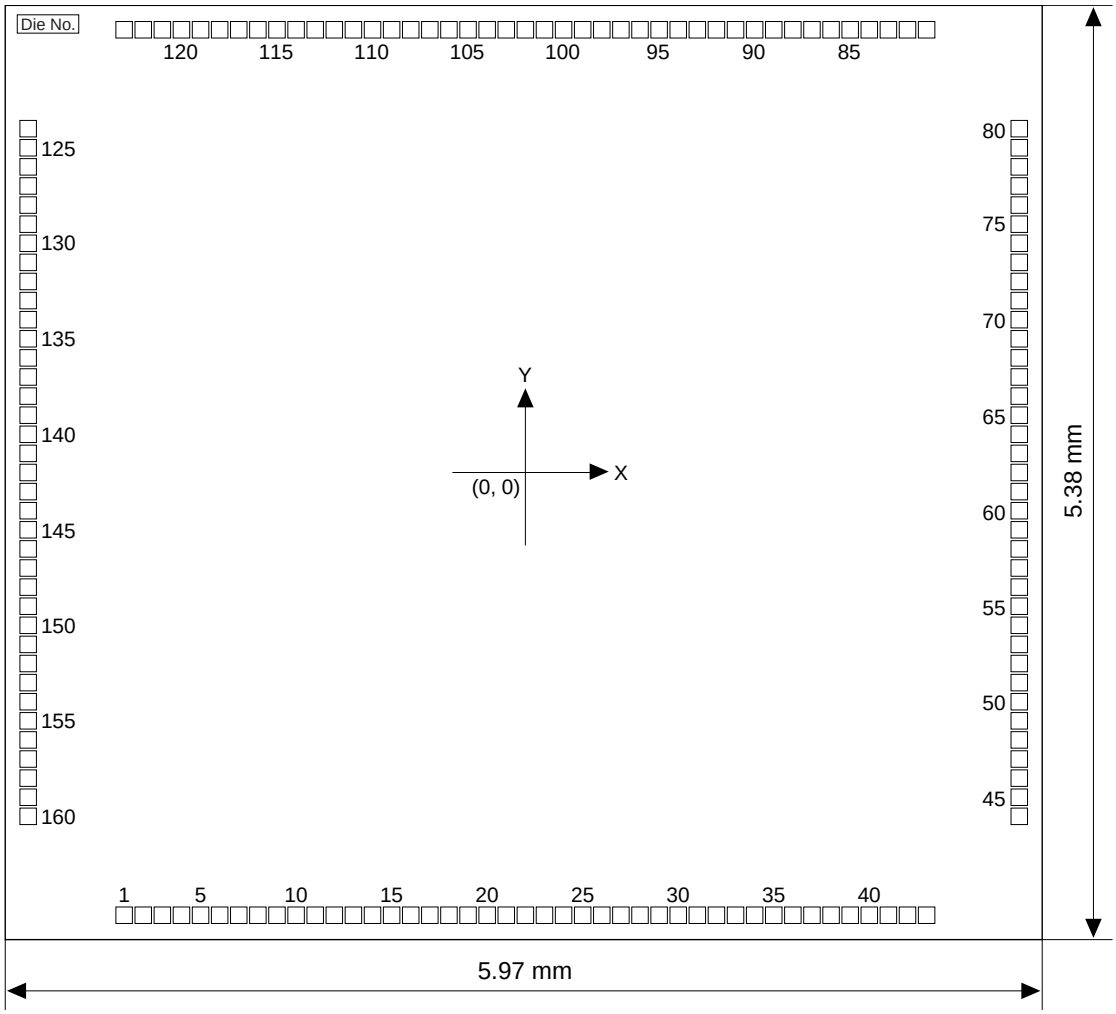
通常の使用においては、チップ温度(Tj)は85°C以下を目安に使用してください。
QFP20-144pinパッケージの熱抵抗は次のとおりです。

熱抵抗(°C/W) = 110～120°C (Cuリードフレームの場合は90～100°C)

なお、この値はサンプルが宙づりされた無風状態での熱抵抗です。基板への実装状態や強制空冷の有無によって、熱抵抗は大きく変動します。

10 パッド配置

10.1 パッド配置図



10.2 パッド座標

(単位: µm)

No.	パッド名	X座標	Y座標	No.	パッド名	X座標	Y座標
1	P22/TM0	-2310.0	-2549.5	51	#RD	2843.5	-1210.0
2	N.C.	-2200.0	-2549.5	52	V_{SS}	2843.5	-1100.0
3	P23/TM1	-2090.0	-2549.5	53	D15	2843.5	-990.0
4	N.C.	-1980.0	-2549.5	54	D14	2843.5	-880.0
5	V_{SS}	-1870.0	-2549.5	55	D13	2843.5	-770.0
6	N.C.	-1760.0	-2549.5	56	D12	2843.5	-660.0
7	P24/TM2/#SRDY2	-1650.0	-2549.5	57	D11	2843.5	-550.0
8	N.C.	-1540.0	-2549.5	58	V_{DD}	2843.5	-440.0
9	P25/TM3/#SCLK2	-1430.0	-2549.5	59	D10	2843.5	-330.0
10	P26/TM4/SOUT2	-1320.0	-2549.5	60	D9	2843.5	-220.0
11	P27/TM5/SIN2	-1210.0	-2549.5	61	D8	2843.5	-110.0
12	V_{DD}	-1100.0	-2549.5	62	D7	2843.5	0.0
13	P07/#SRDY1/#DMAEND3	-990.0	-2549.5	63	D6	2843.5	110.0
14	P06/#SCLK1/#DMAACK3	-880.0	-2549.5	64	D5	2843.5	220.0
15	P05/SOUT1/#DMAEND2	-770.0	-2549.5	65	D4	2843.5	330.0
16	P04/SIN1/#DMAACK2	-660.0	-2549.5	66	V_{DDE}	2843.5	440.0
17	FPDAT7	-550.0	-2549.5	67	D3	2843.5	550.0
18	FPDAT6	-440.0	-2549.5	68	D2	2843.5	660.0
19	FPDAT5	-330.0	-2549.5	69	D1	2843.5	770.0
20	FPDAT4	-220.0	-2549.5	70	D0	2843.5	880.0
21	FPDAT3/GPO6	-110.0	-2549.5	71	#CE8/#RAS1/#CE14/#RAS3/#SDCE1	2843.5	990.0
22	FPDAT2/GPO5	0.0	-2549.5	72	#CE7/#RAS0/#CE13/#RAS2/#SDCE0	2843.5	1100.0
23	FPDAT1/GPO4	110.0	-2549.5	73	V_{SS}	2843.5	1210.0
24	FPDAT0/GPO3	220.0	-2549.5	74	OSC2	2843.5	1320.0
25	V_{DDE}	330.0	-2549.5	75	OSC1	2843.5	1430.0
26	DRDY(MOD/FPSHIFT2)	440.0	-2549.5	76	#RESET	2843.5	1540.0
27	FPFRAME	550.0	-2549.5	77	P35/#BUSACK/GPIO1	2843.5	1650.0
28	FPLINE	660.0	-2549.5	78	N.C.	2843.5	1760.0
29	FPSHIFT	770.0	-2549.5	79	P34/#BUSREQ/#CE6/GPIO0	2843.5	1870.0
30	N.C.	880.0	-2549.5	80	P33/#DMAACK1/SIN3/SDA10	2843.5	1980.0
31	LCDPWR	990.0	-2549.5	81	P32/#DMAACK0/#SRDY3/HDQM	2310.0	2549.5
32	N.C.	1100.0	-2549.5	82	N.C.	2200.0	2549.5
33	V_{SS}	1210.0	-2549.5	83	P31/#BUSGET/#GARD/GPIO2	2090.0	2549.5
34	K67/AD7	1320.0	-2549.5	84	N.C.	1980.0	2549.5
35	K66/AD6	1430.0	-2549.5	85	P30/#WAIT/#CE4&5	1870.0	2549.5
36	K65/AD5	1540.0	-2549.5	86	N.C.	1760.0	2549.5
37	K64/AD4	1650.0	-2549.5	87	#LCAS/#SDRAS	1650.0	2549.5
38	K63/AD3	1760.0	-2549.5	88	N.C.	1540.0	2549.5
39	K62/AD2	1870.0	-2549.5	89	#HCAS/#SDCAS	1430.0	2549.5
40	N.C.	1980.0	-2549.5	90	V_{DD}	1320.0	2549.5
41	K61/AD1	2090.0	-2549.5	91	P21/#DWE/#GAAS/#SDWE	1210.0	2549.5
42	K60/AD0	2200.0	-2549.5	92	P20/#DRD/SDCKE	1100.0	2549.5
43	AV_{DDE}	2310.0	-2549.5	93	BCLK/SDCLK	990.0	2549.5
44	K54/#DMAREQ3	2843.5	-1980.0	94	V_{SS}	880.0	2549.5
45	K53/#DMAREQ2	2843.5	-1870.0	95	P16/EXCL5/#DMAEND1/SOUT3	770.0	2549.5
46	K52/#ADTRG	2843.5	-1760.0	96	P15/EXCL4/#DMAEND0/#SCLK3/LDQM	660.0	2549.5
47	K51/#DMAREQ1	2843.5	-1650.0	97	A0/#BSL	550.0	2549.5
48	K50/#DMAREQ0	2843.5	-1540.0	98	A1/SDA0	440.0	2549.5
49	#WRH/#BSH	2843.5	-1430.0	99	A2/SDA1	330.0	2549.5
50	#WRL/#WR/#WE	2843.5	-1320.0	100	A3/SDA2	220.0	2549.5

No.	パッド名	X座標	Y座標	No.	パッド名	X座標	Y座標
101	A4/SDA3	110.0	2549.5	131	V_{SS}	-2843.5	1210.0
102	A5/SDA4	0.0	2549.5	132	DSIO	-2843.5	1100.0
103	V_{DDE}	-110.0	2549.5	133	P14/FOSC1/DCLK	-2843.5	990.0
104	A6/SDA5	-220.0	2549.5	134	P13/EXCL3/T8UF3/DPCO	-2843.5	880.0
105	A7/SDA6	-330.0	2549.5	135	P12/EXCL2/T8UF2/DST2	-2843.5	770.0
106	A8/SDA7	-440.0	2549.5	136	P11/EXCL1/T8UF1/DST1	-2843.5	660.0
107	A9/SDA8	-550.0	2549.5	137	P10/EXCL0/T8UF0/DST0	-2843.5	550.0
108	A10/SDA9	-660.0	2549.5	138	EA10MD1	-2843.5	440.0
109	A11	-770.0	2549.5	139	EA10MD0	-2843.5	330.0
110	V_{SS}	-880.0	2549.5	140	ICEMD	-2843.5	220.0
111	A12/SDA11	-990.0	2549.5	141	#EMEMRD	-2843.5	110.0
112	A13/SDA12	-1100.0	2549.5	142	V_{DD}	-2843.5	0.0
113	A14/SDBA0	-1210.0	2549.5	143	OSC4	-2843.5	-110.0
114	A15/SDBA1	-1320.0	2549.5	144	OSC3	-2843.5	-220.0
115	A16	-1430.0	2549.5	145	#NMI	-2843.5	-330.0
116	A17	-1540.0	2549.5	146	#CE9/#CE17/#CE17&18	-2843.5	-440.0
117	V_{SS}	-1650.0	2549.5	147	V_{DDE}	-2843.5	-550.0
118	N.C.	-1760.0	2549.5	148	#CE5/#CE15/#CE15&16	-2843.5	-660.0
119	A18	-1870.0	2549.5	149	N.C.	-2843.5	-770.0
120	N.C.	-1980.0	2549.5	150	#CE3	-2843.5	-880.0
121	A19	-2090.0	2549.5	151	V_{SS}	-2843.5	-990.0
122	N.C.	-2200.0	2549.5	152	#CE10EX/#CE9&10EX	-2843.5	-1100.0
123	A20	-2310.0	2549.5	153	#CE6/#CE7&8	-2843.5	-1210.0
124	A21	-2843.5	1980.0	154	#CE4/#CE11/#CE11&12	-2843.5	-1320.0
125	A22	-2843.5	1870.0	155	#X2SPD	-2843.5	-1430.0
126	A23	-2843.5	1760.0	156	P03/#SRDY0	-2843.5	-1540.0
127	PLLS1	-2843.5	1650.0	157	P02/#SCLK0	-2843.5	-1650.0
128	PLLS0	-2843.5	1540.0	158	N.C.	-2843.5	-1760.0
129	V_{SS}	-2843.5	1430.0	159	P01/SOUT0	-2843.5	-1870.0
130	PLLC	-2843.5	1320.0	160	P00/SIN0	-2843.5	-1980.0

Appendix A〈参考資料〉 外部デバイスとのインタフェースタイミング

外部デバイスを接続してシステムを構成する際の参考資料として、外部システムインタフェースのタイミング条件設定例を示します。
ただし、本参考資料を利用する場合は以下の点に注意してください。

- 外部デバイスのAC特性値には、一般的な数値を記載しています。実際のデバイスのAC特性値とは必ずしも一致しませんので、使用するデバイスのマニュアルまたは仕様書等を参照し、実際の設定値(サイクル数)を決定してください。
- 実際には、バスや信号線の負荷容量、接続するデバイス数、使用温度範囲、入出力レベル等に従って適切なマージン設定が必要です。記載のサイクル数はあくまでも一例であり、これらの条件を満たすものではありません。
- 表中の"時間"として記載されている数値は、単にサイクル数に周期を掛け合わせた値で、各デバイスの出力遅延時間や、配線・負荷容量による遅延、入力セットアップ時間等を考慮した数値ではありません。
- 記載内容は参考資料であり、動作を保証するものではありません。

A.1 DRAM (70ns)

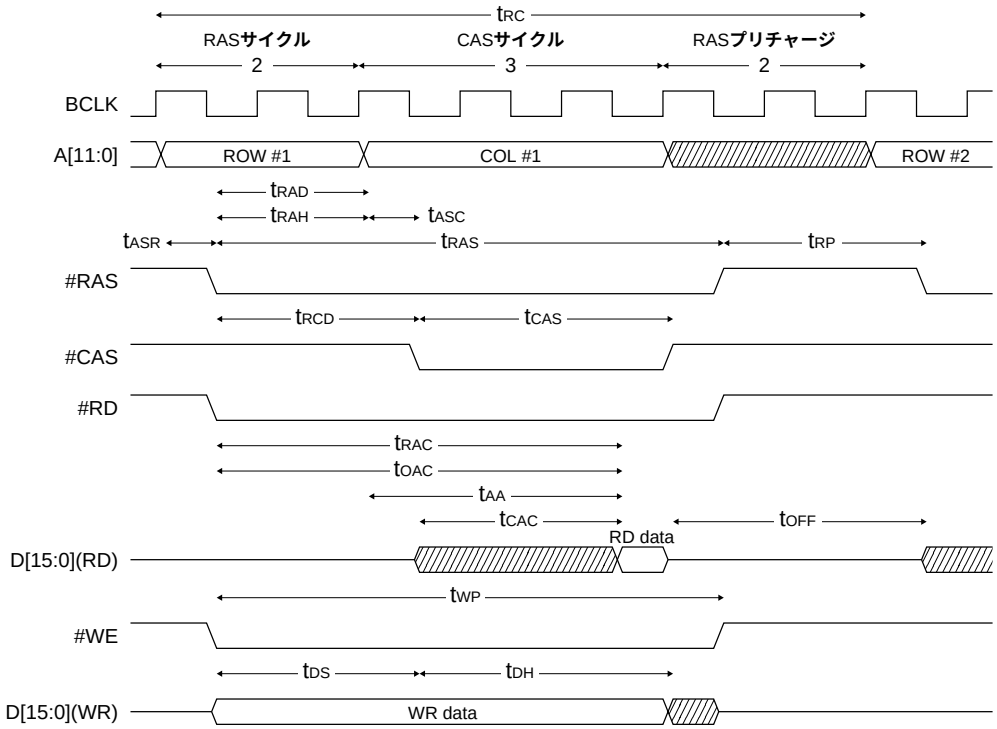
■ DRAMインタフェース設定例 － 70ns

動作周波数	RASプリチャージサイクル	RASサイクル	CASサイクル	リフレッシュRASパルス幅	リフレッシュRPCディレイ
20MHz	2	1	2	2	1
25MHz	2	1	2	2	1
33MHz	2	2	3	3	1

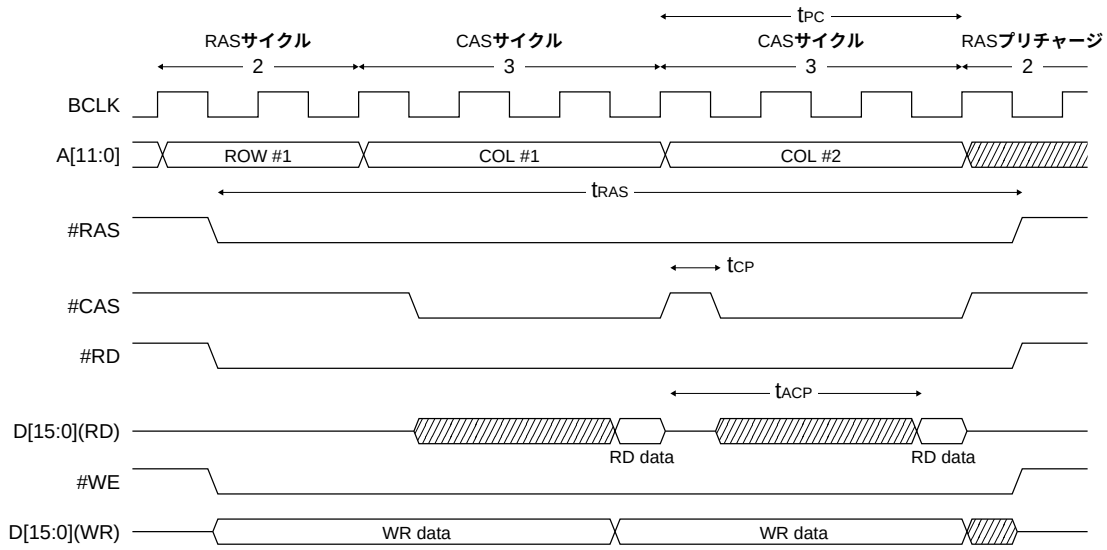
■ DRAMインタフェースタイミング － 70ns

DRAMインタフェース		単位: ns		33MHz		25MHz		20MHz	
パラメータ	シンボル	Min.	Max.	サイクル	時間	サイクル	時間	サイクル	時間
《共通パラメータ》									
ランダムリード/ライトサイクル時間	t_{RC}	130	–	7	210	5	200	5	250
#RASプリチャージ時間	t_{RP}	50	–	2	60	2	80	2	100
#RASパルス幅	t_{RAS}	70	10000	5	150	3	120	3	150
#CASパルス幅	t_{CAS}	20	10000	2.5	75	1.5	60	1.5	75
ローアドレスセットアップ時間	t_{ASR}	0	–	0.5	15	0.5	20	0.5	25
ローアドレスホールド時間	t_{RAH}	10	–	1.5	45	0.5	20	0.5	25
カラムアドレスセットアップ時間	t_{ASC}	0	–	0.5	15	0.5	20	0.5	25
#RAS→#CAS遅延時間	t_{RCD}	20	–	2.0	60	1.0	40	1.0	50
#RAS→カラムアドレス遅延時間	t_{RAD}	15	–	1.5	45	0.5	20	0.5	25
《リードサイクルパラメータ》									
#RASアクセス時間	t_{RAC}	–	70	4.5	135	2.5	100	2.5	125
#CASアクセス時間	t_{CAC}	–	20	2.5	75	1.5	60	1.5	75
アドレスアクセス時間	t_{AA}	–	35	3.0	90	2.0	80	2.0	100
#OEアクセス時間	t_{OAC}	–	20	4.5	135	2.5	100	2.5	125
出力バッファターンオフ時間	t_{OFF}	0	20	2	60	2	80	2	100
《ライトサイクルパラメータ》									
データ入力ホールド時間	t_{DH}	15	–	2.5	75	1.5	60	1.5	75
《高速ページモード》									
高速ページモードサイクル時間	t_{PC}	45	–	3.0	90	2.0	80	2.0	100
高速ページモード#CASプリチャージ時間	t_{CP}	10	–	0.5	15	0.5	20	0.5	25
#CASプリチャージからのアクセス時間	t_{ACP}	–	40	3.0	90	2.0	80	2.0	100
《リフレッシュサイクル》									
#CASセットアップ時間	t_{CSR}	10	–	1.0	30	1.0	40	1.0	50
#CASホールド時間	t_{CHR}	10	–	2.5	75	1.5	60	1.5	75
#RASプリチャージ→#CASホールド時間	t_{PPC}	10	–	1.0	30	1.0	40	1.0	50
#RASパルス幅(リフレッシュサイクルのみ)	t_{RAS}	70	10000	3.0	90	2.0	80	2.0	100

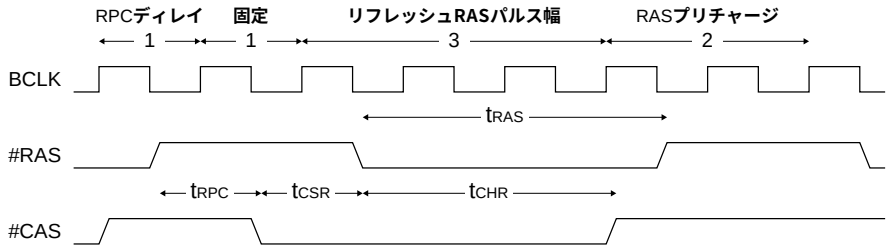
■ DRAM: 70ns, CPU: 33MHz, ランダムリード/ライトサイクル



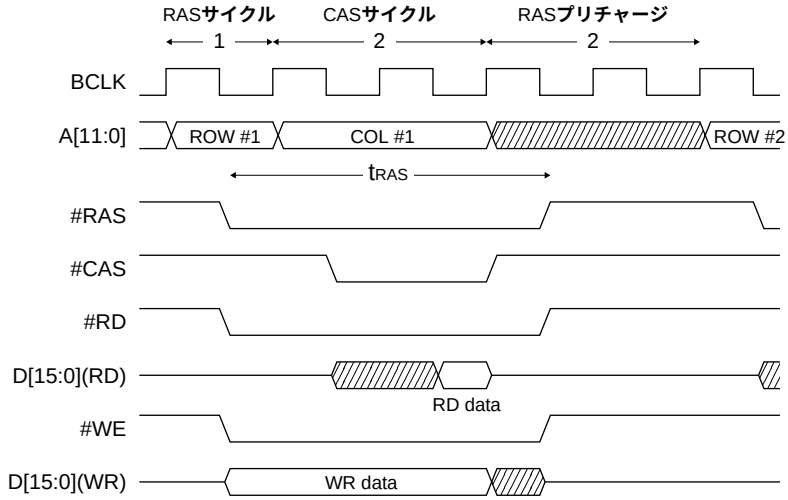
■ DRAM: 70ns, CPU: 33MHz, ページモードリード/ライトサイクル



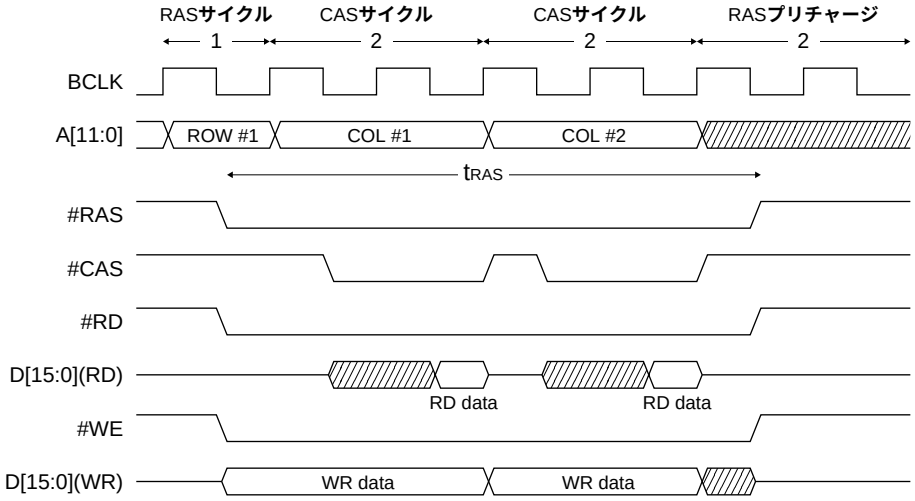
■ DRAM: 70ns, CPU: 33MHz, CASビフォアRASリフレッシュサイクル



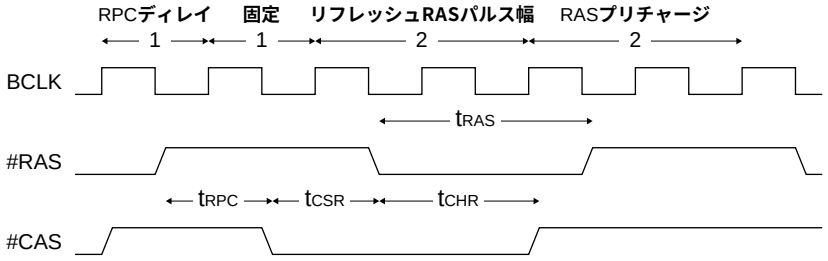
■ DRAM: 70ns, CPU: 25/20MHz, ランダムリード/ライトサイクル



■ DRAM: 70ns, CPU: 25/20MHz, ページモードリード/ライトサイクル



■ DRAM: 70ns, CPU: 25/20MHz, CASビフォアRASリフレッシュサイクル



A.2 DRAM (60ns)

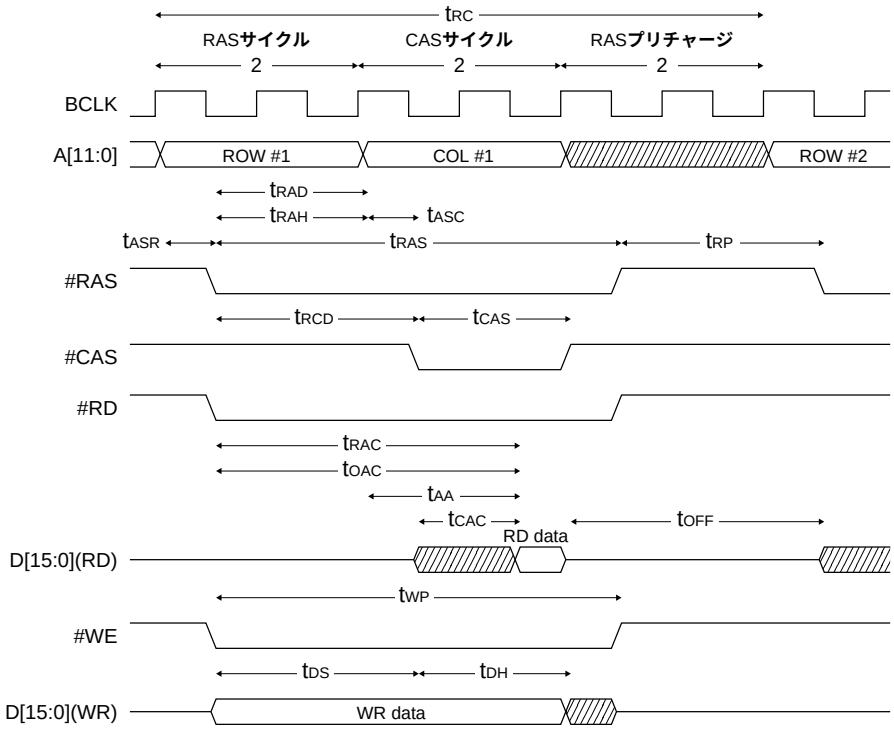
■ DRAMインタフェース設定例 − 60ns

動作周波数	RASプリチャージサイクル	RASサイクル	CASサイクル	リフレッシュRASパルス幅	リフレッシュRPCディレイ
20MHz	1	1	2	2	1
25MHz	2	1	2	2	1
33MHz	2	2	2	3	1

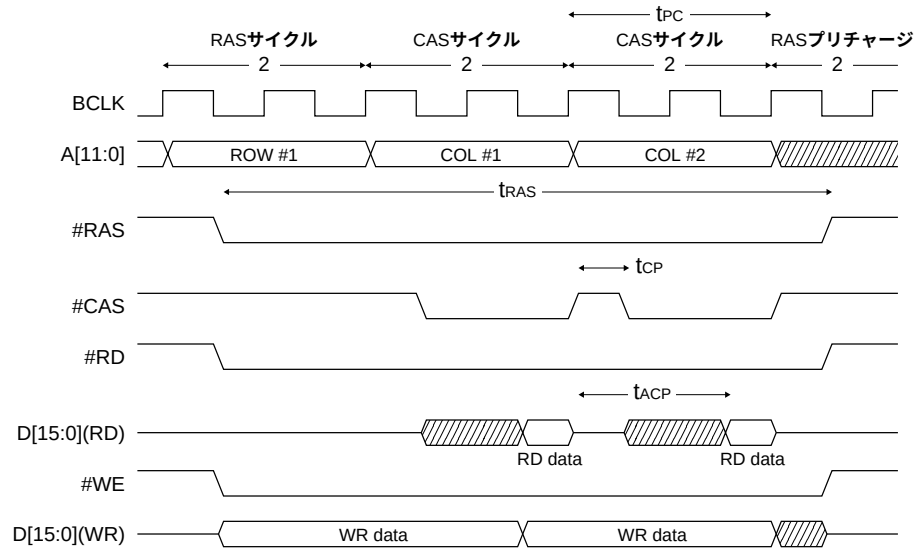
■ DRAMインタフェースタイミング − 60ns

DRAMインタフェース		単位: ns		33MHz		25MHz		20MHz	
パラメータ	シンボル	Min.	Max.	サイクル	時間	サイクル	時間	サイクル	時間
《共通パラメータ》									
ランダムリード/ライトサイクル時間	t_{RC}	110	–	6	180	5	200	4	200
#RASプリチャージ時間	t_{RP}	40	–	2	60	2	80	1	50
#RASパルス幅	t_{RAS}	60	10000	4	120	3	120	3	150
#CASパルス幅	t_{CAS}	15	10000	1.5	45	1.5	60	1.5	75
ローアドレスセットアップ時間	t_{ASR}	0	–	0.5	15	0.5	20	0.5	25
ローアドレスホールド時間	t_{RAH}	10	–	1.5	45	0.5	20	0.5	25
カラムアドレスセットアップ時間	t_{ASC}	0	–	0.5	15	0.5	20	0.5	25
#RAS→#CAS遅延時間	t_{RCD}	20	–	2.0	60	1.0	40	1.0	50
#RAS→カラムアドレス遅延時間	t_{RAD}	15	–	1.5	45	0.5	20	0.5	25
《リードサイクルパラメータ》									
#RASアクセス時間	t_{RAC}	–	60	3.5	105	2.5	100	2.5	125
#CASアクセス時間	t_{CAC}	–	15	1.5	45	1.5	60	1.5	75
アドレスアクセス時間	t_{AA}	–	30	2.0	60	2.0	80	2.0	100
#OEアクセス時間	t_{OAC}	–	15	3.5	105	2.5	100	2.5	125
出力バッファターンオフ時間	t_{OFF}	0	15	2	60	2	80	1	50
《ライトサイクルパラメータ》									
データ入力ホールド時間	t_{DH}	10	–	1.5	45	1.5	60	1.5	75
《高速ページモード》									
高速ページモードサイクル時間	t_{PC}	40	–	2.0	60	2.0	80	2.0	100
高速ページモード#CASプリチャージ時間	t_{CP}	10	–	0.5	15	0.5	20	0.5	25
#CASプリチャージからのアクセス時間	t_{ACP}	–	35	2.0	60	2.0	80	2.0	100
《リフレッシュサイクル》									
#CASセットアップ時間	t_{CSR}	10	–	1.0	30	1.0	40	1.0	50
#CASホールド時間	t_{CHR}	10	–	2.5	75	1.5	60	1.5	75
#RASプリチャージ→#CASホールド時間	t_{PPC}	10	–	1.0	30	1.0	40	1.0	50
#RASパルス幅(リフレッシュサイクルのみ)	t_{RAS}	60	10000	3.0	90	2.0	80	2.0	100

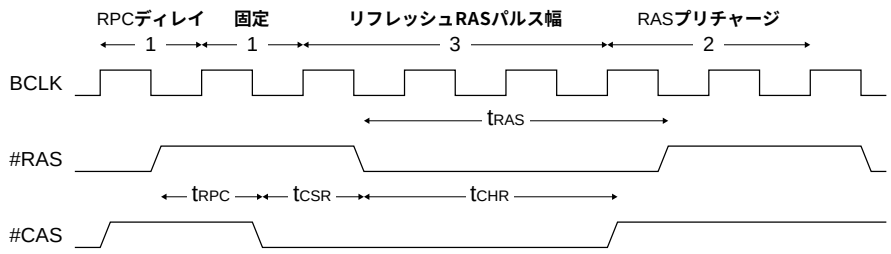
■ DRAM: 60ns, CPU: 33MHz, ランダムリード/ライトサイクル



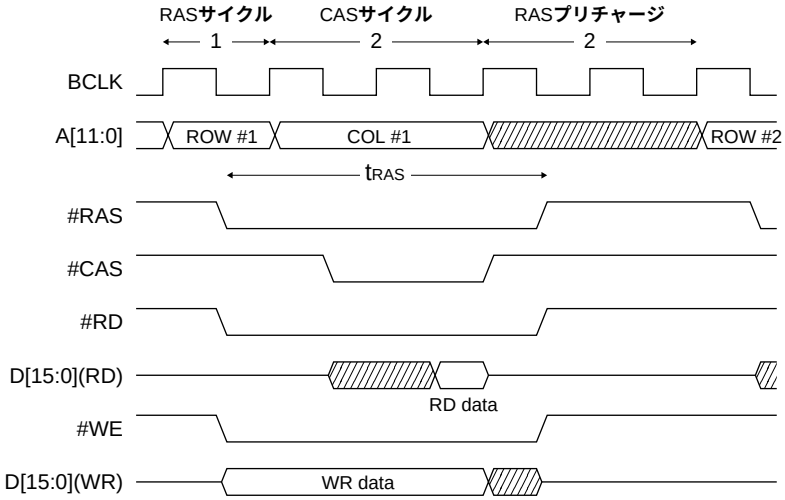
■ DRAM: 60ns, CPU: 33MHz, ページモードリード/ライトサイクル



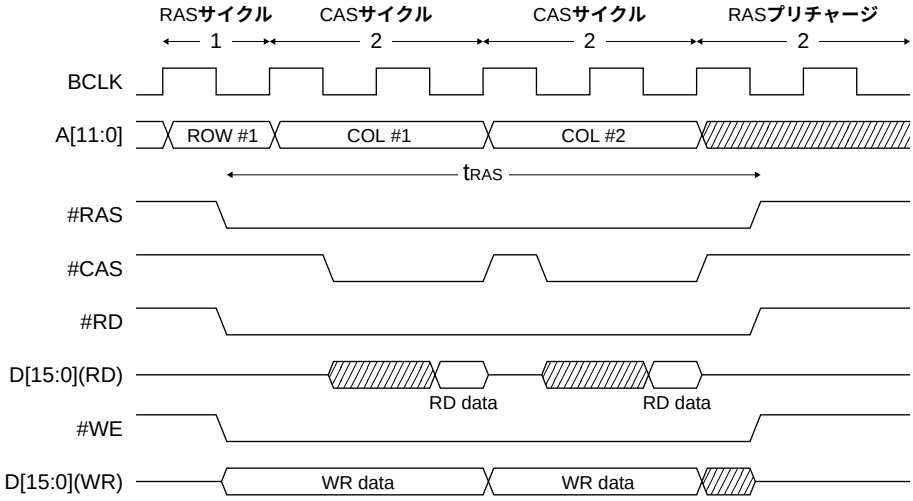
■ DRAM: 60ns, CPU: 33MHz, CASビフォアRASリフレッシュサイクル



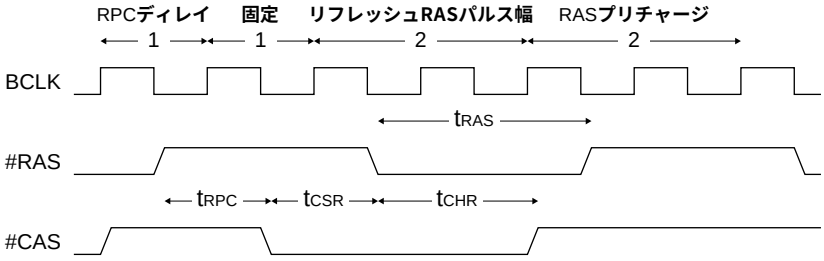
■ DRAM: 60ns, CPU: 25MHz, **ランダムリード/ライトサイクル**



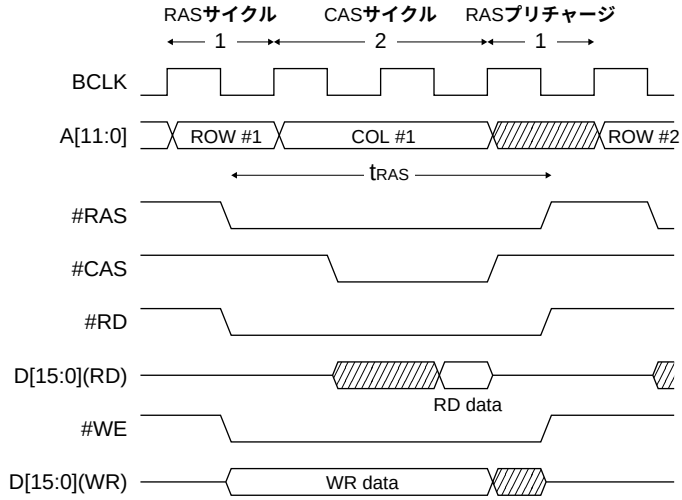
■ DRAM: 60ns, CPU: 25MHz, **ページモードリード/ライトサイクル**



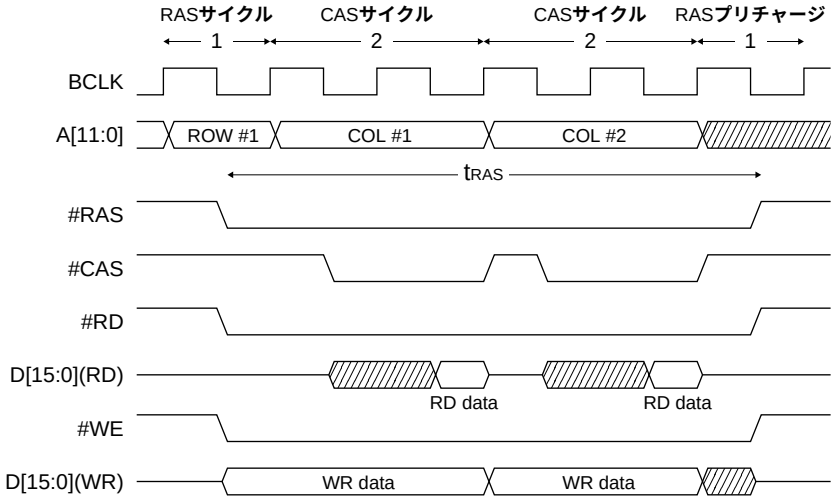
■ DRAM: 60ns, CPU: 25MHz, CAS**ビフォア**RAS**リフレッシュサイクル**



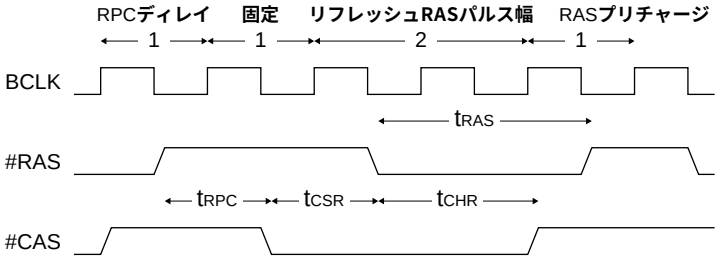
■ DRAM: 60ns, CPU: 20MHz, ランダムリード/ライトサイクル



■ DRAM: 60ns, CPU: 20MHz, ページモードリード/ライトサイクル



■ DRAM: 60ns, CPU: 20MHz, CASビフォアRASリフレッシュサイクル



A.3 ROM, バーストROM

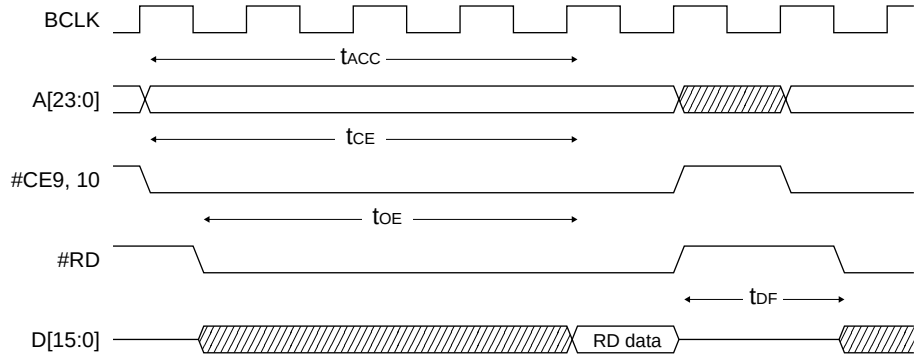
■ バーストROM, マスクROMインタフェース設定例

動作周波数	ノーマルリードサイクル		バーストリードサイクル		出力ディセーブル遅延サイクル
	ウェイトサイクル	リードサイクル	ウェイトサイクル	リードサイクル	
20MHz	2	3	1	2	1.5
25MHz	3	4	1	2	1.5
33MHz	4	5	2	3	1.5

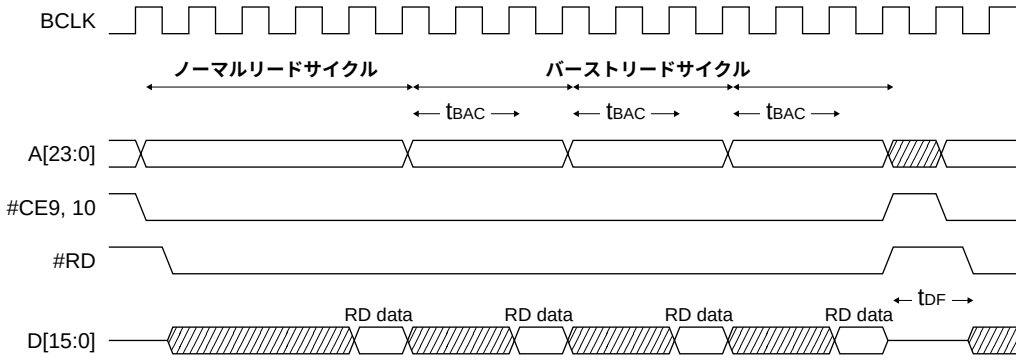
■ バーストROM, マスクROMインタフェースタイミング

バーストROM, マスクROMインタフェース				33MHz		25MHz		20MHz	
パラメータ	シンボル	Min.	Max.	サイクル	時間	サイクル	時間	サイクル	時間
アクセス時間	t_{ACC}	–	100	5	150	4	160	3	150
#CE出力遅延時間	t_{CE}	–	100	5	150	4	160	3	150
#OE出力遅延時間	t_{OE}	–	50	4.5	135	3.5	140	2.5	125
バーストアクセス時間	t_{BAC}	–	50	3	90	2	80	2	100
出力ディセーブル遅延時間	t_{DF}	0	40	1.5	45	1.5	60	1.5	75

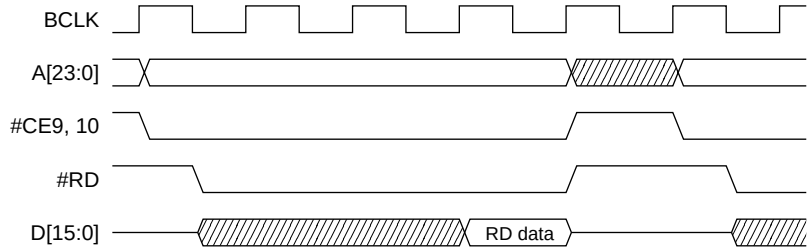
■ ROM: 100ns, CPU: 33MHz, ノーマルリード



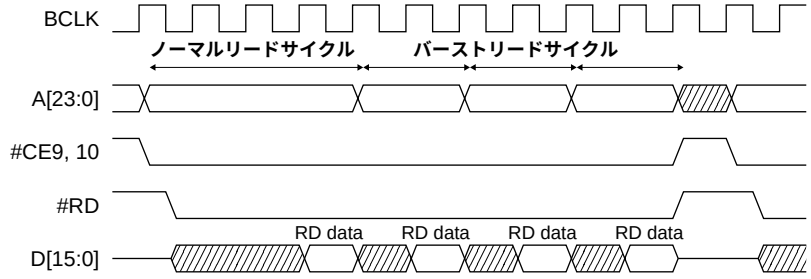
■ ROM: 100ns, CPU: 33MHz, バーストリード



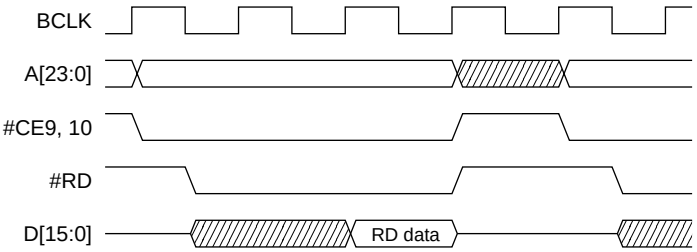
■ ROM: 100ns, CPU: 25MHz, **ノーマルリード**



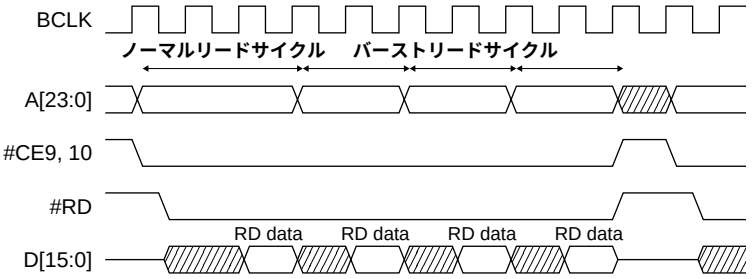
■ ROM: 100ns, CPU: 25MHz, **バーストリード**



■ ROM: 100ns, CPU: 20MHz, **ノーマルリード**



■ ROM: 100ns, CPU: 20MHz, **バーストリード**



A.4 SRAM (55ns)

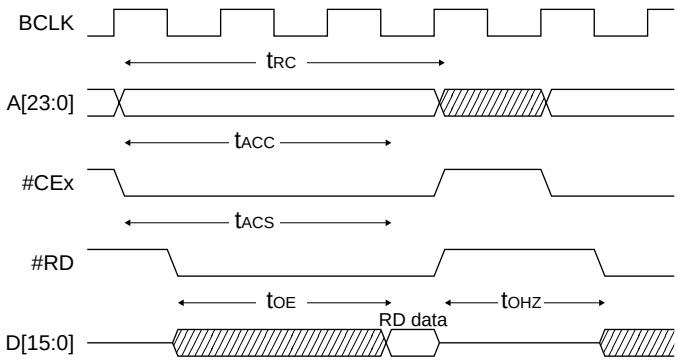
■ SRAMインタフェース設定例 − 55ns

動作周波数	リードサイクル		ライトサイクル	出力ディセーブル遅延サイクル
	ウェイトサイクル	リードサイクル		
20MHz	1	2	2	1.5
25MHz	2	3	3	1.5
33MHz	2	3	3	1.5

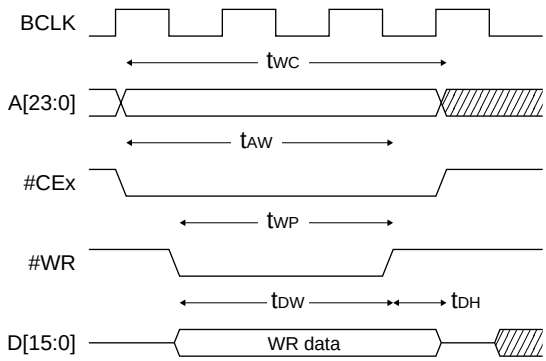
■ SRAMインタフェースタイミング − 55ns

SRAMインタフェース				33MHz		25MHz		20MHz	
パラメータ	シンボル	Min.	Max.	サイクル	時間	サイクル	時間	サイクル	時間
《リードサイクル》									
リードサイクル時間	t_{RC}	55	–	3	90	3	120	2	100
アドレスアクセス時間	t_{ACC}	–	55	3	90	3	120	2	100
#CEアクセス時間	t_{ACS}	–	55	3	90	3	120	2	100
#OEアクセス時間	t_{OE}	–	30	2.5	75	2.5	100	1.5	75
出力ディセーブル遅延時間	t_{OHZ}	0	30	1.5	45	1.5	60	1.5	75
《ライトサイクル》									
ライトサイクル時間	t_{WC}	55	–	3	90	3	120	2	100
アドレスイネーブル時間	t_{AW}	50	–	2.5	75	2.5	100	1.5	75
ライトパルス幅	t_{WP}	45	–	2	60	2	80	1	50
入力データセットアップ時間	t_{DW}	30	–	2	60	2	80	1	50
入力データホールド時間	t_{DH}	0	–	0.5	15	0.5	20	0.5	25

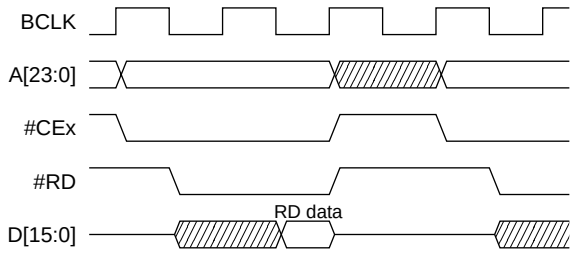
■ SRAM: 55ns, CPU: 33/25MHz, リードサイクル



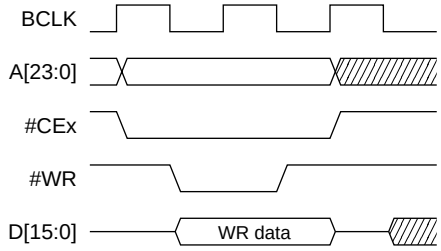
■ SRAM: 55ns, CPU: 33/25MHz, ライトサイクル



■ SRAM: 55ns, CPU: 20MHz, **リードサイクル**



■ SRAM: 55ns, CPU: 20MHz, **ライトサイクル**



A.5 SRAM (70ns)

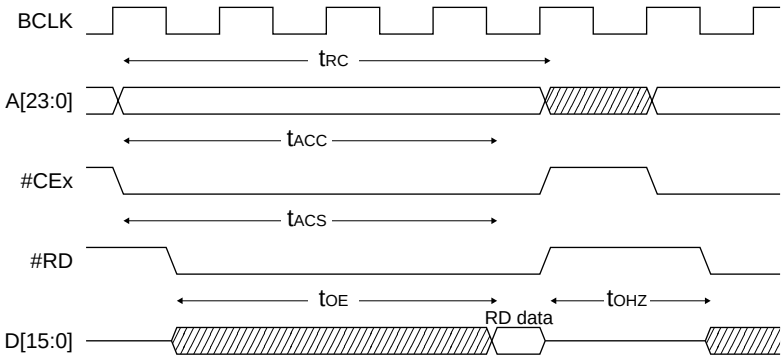
■ SRAMインタフェース設定例 − 70ns

動作周波数	リードサイクル		ライトサイクル	出力ディセーブル遅延サイクル
	ウェイトサイクル	リードサイクル		
20MHz	2	3	3	1.5
25MHz	2	3	3	1.5
33MHz	3	4	4	1.5

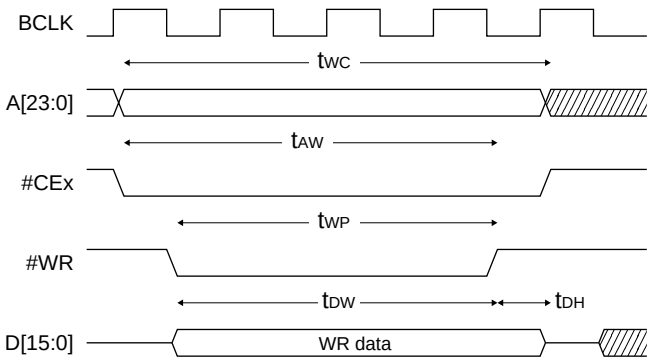
■ SRAMインタフェースタイミング − 70ns

SRAMインタフェース				33MHz		25MHz		20MHz	
パラメータ	シンボル	Min.	Max.	サイクル	時間	サイクル	時間	サイクル	時間
《リードサイクル》									
リードサイクル時間	t_{RC}	70	–	4	120	3	120	3	150
アドレスアクセス時間	t_{ACC}	–	70	4	120	3	120	3	150
#CEアクセス時間	t_{ACS}	–	70	4	120	3	120	3	150
#OEアクセス時間	t_{OE}	–	40	3.5	105	2.5	100	2.5	125
出力ディセーブル遅延時間	t_{OHZ}	0	30	1.5	45	1.5	60	1.5	75
《ライトサイクル》									
ライトサイクル時間	t_{WC}	70	–	4	120	3	120	3	150
アドレスイネーブル時間	t_{AW}	60	–	3.5	105	2.5	100	2.5	125
ライトパルス幅	t_{WP}	55	–	3	90	2	80	2	100
入力データセットアップ時間	t_{DW}	30	–	3	90	2	80	2	100
入力データホールド時間	t_{DH}	0	–	0.5	15	0.5	20	0.5	25

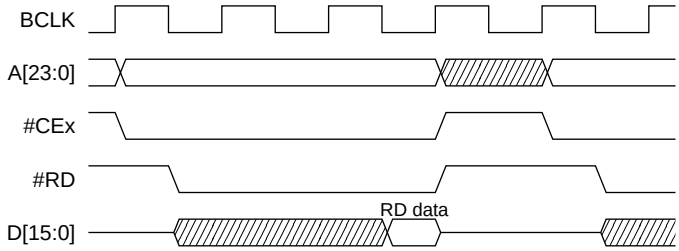
■ SRAM: 70ns, CPU: 33MHz, リードサイクル



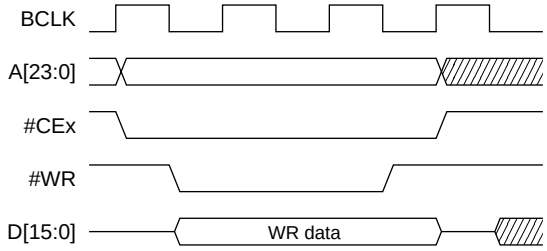
■ SRAM: 70ns, CPU: 33MHz, ライトサイクル



■ SRAM: 70ns, CPU: 25/20MHz, **リードサイクル**



■ SRAM: 70ns, CPU: 25/20MHz, **ライトサイクル**



A.6 8255A

■ 8255Aインタフェース設定例

動作周波数	リードサイクル		ライトサイクル	出力ディセーブル遅延サイクル
	ウェイトサイクル	リードサイクル		
20MHz	9 ∗1	10	10	3.5
25MHz	11	12	12	3.5
33MHz	14	15	15	3.5 ∗2

■ 8255Aインタフェースタイミング

SRAMインタフェース				33MHz		25MHz		20MHz	
パラメータ	シンボル	Min.	Max.	サイクル	時間	サイクル	時間	サイクル	時間
《リードサイクル》									
リードサイクル時間	t_{RC}	300	–	15	450	12	480	10	500
アドレスアクセス時間	t_{ACC}	–	250	15	450	12	480	10	500
#CEアクセス時間	t_{ACS}	–	250	15	450	12	480	10	500
#OEアクセス時間	t_{OE}	–	250	14.5	435	11.5	460	9.5	475
出力ディセーブル遅延時間	t_{OHZ}	10	150	3.5	105	3.5	140	3.5	175
《ライトサイクル》									
ライトサイクル時間	t_{WC}	430	–	15	450	12	480	10	500
アドレスイネーブル時間	t_{AW}	400	–	14.5	435	11.5	460	9.5	475
ライトパルス幅	t_{WP}	400	–	14	420	11	440	9	450
入力データセットアップ時間	t_{DW}	100	–	14	420	11	440	9	450
入力データホールド時間 ∗3	t_{DH}	30	–	0.5	15	0.5	20	0.5	25

∗1 S1C33L03ではウェイトサイクルが7サイクルまでしか設定できませんので、7サイクル以上のウェイトは外部のハードウェアから#WAIT信号を入力して挿入します。#WAIT端子によってウェイトサイクルを挿入するためには、インタフェースがSRAMタイプに設定されている必要があります。(詳細は、本マニュアル"S1C33L03 FUNCTION PART"の"BCU(バスコントロールユニット)"参照)

∗2 この設定では、8255Aが要求する150nsの出力ディセーブル遅延時間の仕様を満たすことができません。このような低速デバイスをシステムに組み込む場合は、外部システムバスのCPUから見て出力側に3ステートのバスバッファ等を挿入してバスを分離する必要があります。

∗3 データホールド時間が足りない場合、外部データバスD[15:0]にバスリピータを接続、または外部システムインタフェースの出力側にラッチを挿入するなどの方法により、ホールド時間を保証してください。

Appendix B 端子特性

端子 No.	信号名	I/Oセル名	入出力特性		Pull-up/down	電源	備考
			入力	出力			
1	P22/TM0	XHBH1T	CMOS/LVTTL SCHMITT	Type1		V_{DDE}	
2	P23/TM1	XHBH1T	CMOS/LVTTL SCHMITT	Type1		V_{DDE}	
3	V_{SS}	VSS					
4	P24/TM2/#SRDY2	XHBH1T	CMOS/LVTTL SCHMITT	Type1		V_{DDE}	
5	P25/TM3/#SCLK2	XHBH1T	CMOS/LVTTL SCHMITT	Type1		V_{DDE}	
6	P26/TM4/SOUT2	XHBH1T	CMOS/LVTTL SCHMITT	Type1		V_{DDE}	
7	P27/TM5/SIN2	XHBH1T	CMOS/LVTTL SCHMITT	Type1		V_{DDE}	
8	V_{DD}	LVDD					
9	P07/#SRDY1/#DMAEND3	XHBH1T	CMOS/LVTTL SCHMITT	Type1		V_{DDE}	
10	P06/#SCLK1/#DMAACK3	XHBH1T	CMOS/LVTTL SCHMITT	Type1		V_{DDE}	
11	P05/SOUT1/#DMAEND2	XHBH1T	CMOS/LVTTL SCHMITT	Type1		V_{DDE}	
12	P04/SIN1/#DMAACK2	XHBH1T	CMOS/LVTTL SCHMITT	Type1		V_{DDE}	
13	FPDAT7	XHBC3BT	CMOS/LVTTL	Type3		V_{DDE}	
14	FPDAT6	XHBC3BT	CMOS/LVTTL	Type3		V_{DDE}	
15	FPDAT5	XHBC3BT	CMOS/LVTTL	Type3		V_{DDE}	
16	FPDAT4	XHBC3BT	CMOS/LVTTL	Type3		V_{DDE}	
17	FPDAT3/GPO6	XHBC3BT	CMOS/LVTTL	Type3		V_{DDE}	
18	FPDAT2/GPO5	XHBC3BT	CMOS/LVTTL	Type3		V_{DDE}	
19	FPDAT1/GPO4	XHBC3BT	CMOS/LVTTL	Type3		V_{DDE}	
20	FPDAT0/GPO3	XHBC3BT	CMOS/LVTTL	Type3		V_{DDE}	
21	V_{DDE}	HVDD					
22	DRDY(MOD/FPSHIFT2)	XHBC3BT	CMOS/LVTTL	Type3		V_{DDE}	
23	FPFRAME	XHBC3BT	CMOS/LVTTL	Type3		V_{DDE}	
24	FPLINE	XHBC3BT	CMOS/LVTTL	Type3		V_{DDE}	
25	FPSHIFT	XHBC3BT	CMOS/LVTTL	Type3		V_{DDE}	
26	LCDPWR	XHTB1T		Type1		V_{DDE}	
27	V_{SS}	VSS					
28	K67/AD7	XHIBCLINW	CMOS/LVTTL			AV_{DDE}	**注**1
29	K66/AD6	XHIBCLINW	CMOS/LVTTL			AV_{DDE}	**注**1
30	K65/AD5	XHIBCLINW	CMOS/LVTTL			AV_{DDE}	**注**1
31	K64/AD4	XHIBCLINW	CMOS/LVTTL			AV_{DDE}	**注**1
32	K63/AD3	XHIBCLINW	CMOS/LVTTL			AV_{DDE}	**注**1
33	K62/AD2	XHIBCLINW	CMOS/LVTTL			AV_{DDE}	**注**1
34	K61/AD1	XHIBCLINW	CMOS/LVTTL			AV_{DDE}	**注**1
35	K60/AD0	XHIBCLINW	CMOS/LVTTL			AV_{DDE}	**注**1
36	AV_{DDE}	HVDD					
37	K54/#DMAREQ3	XHIBHP2	CMOS/LVTTL SCHMITT		Pull-up	V_{DDE}	
38	K53/#DMAREQ2	XHIBHP2	CMOS/LVTTL SCHMITT		Pull-up	V_{DDE}	
39	K52/#ADTRG	XHIBHP2	CMOS/LVTTL SCHMITT		Pull-up	V_{DDE}	
40	K51/#DMAREQ1	XHIBHP2	CMOS/LVTTL SCHMITT		Pull-up	V_{DDE}	
41	K50/#DMAREQ0	XHIBHP2	CMOS/LVTTL SCHMITT		Pull-up	V_{DDE}	
42	#WRH/#BSH	XHBC1T	**注**3	Type1		V_{DDE}	
43	#WRL/#WR/#WE	XHBC1T	**注**3	Type1		V_{DDE}	
44	#RD	XHBC1T	**注**3	Type1		V_{DDE}	
45	V_{SS}	VSS					
46	D15	XHBC1T	CMOS/LVTTL	Type1		V_{DDE}	
47	D14	XHBC1T	CMOS/LVTTL	Type1		V_{DDE}	
48	D13	XHBC1T	CMOS/LVTTL	Type1		V_{DDE}	
49	D12	XHBC1T	CMOS/LVTTL	Type1		V_{DDE}	
50	D11	XHBC1T	CMOS/LVTTL	Type1		V_{DDE}	

端子 No.	信号名	I/Oセル名	入出力特性		Pull-up/down	電源	備考
			入力	出力			
51	V_{DD}	LVDD					
52	D10	XHBC1T	CMOS/LVTTL	Type1		V_{DDE}	
53	D9	XHBC1T	CMOS/LVTTL	Type1		V_{DDE}	
54	D8	XHBC1T	CMOS/LVTTL	Type1		V_{DDE}	
55	D7	XHBC1T	CMOS/LVTTL	Type1		V_{DDE}	
56	D6	XHBC1T	CMOS/LVTTL	Type1		V_{DDE}	
57	D5	XHBC1T	CMOS/LVTTL	Type1		V_{DDE}	
58	D4	XHBC1T	CMOS/LVTTL	Type1		V_{DDE}	
59	V_{DDE}	HVDD					
60	D3	XHBC1T	CMOS/LVTTL	Type1		V_{DDE}	
61	D2	XHBC1T	CMOS/LVTTL	Type1		V_{DDE}	
62	D1	XHBC1T	CMOS/LVTTL	Type1		V_{DDE}	
63	D0	XHBC1T	CMOS/LVTTL	Type1		V_{DDE}	
64	#CE8/#RAS1/#CE14/#RAS3/#SDCE1	XHBC1T	注3	Type1		V_{DDE}	
65	#CE7/#RAS0/#CE13/#RAS2/#SDCE0	XHBC1T	注3	Type1		V_{DDE}	
66	V_{SS}	VSS					
67	OSC2	XLLOT				V_{DD}	
68	OSC1	XLLIN				V_{DD}	注2
69	#RESET	XHIBHP2	CMOS/LVTTL SCHMITT		Pull-up	V_{DDE}	
70	P35/#BUSACK/GPIO1	XHBH1T	CMOS/LVTTL SCHMITT	Type1		V_{DDE}	
71	P34/#BUSREQ/#CE6/GPIO0	XHBH1T	CMOS/LVTTL SCHMITT	Type1		V_{DDE}	
72	P33/#DMAACK1/SIN3/SDA10	XHBH1T	CMOS/LVTTL SCHMITT	Type1		V_{DDE}	
73	P32/#DMAACK0/#SRDY3/HDQM	XHBH1T	CMOS/LVTTL SCHMITT	Type1		V_{DDE}	
74	P31/#BUSGET/#GARD/GPIO2	XHBH1T	CMOS/LVTTL SCHMITT	Type1		V_{DDE}	
75	P30/#WAIT/#CE4&5	XHBH1T	CMOS/LVTTL SCHMITT	Type1		V_{DDE}	
76	#LCAS/#SDRAS	XHTB1T		Type1		V_{DDE}	
77	#HCAS/#SDCAS	XHTB1T		Type1		V_{DDE}	
78	V_{DD}	LVDD					
79	P21/#DWE/#GAAS/#SDWE	XHBH1T	CMOS/LVTTL SCHMITT	Type1		V_{DDE}	
80	P20/#DRD/SDCKE	XHBH1T	CMOS/LVTTL SCHMITT	Type1		V_{DDE}	
81	BCLK/SDCLK	XHTB1T		Type1		V_{DDE}	
82	V_{SS}	VSS					
83	P16/EXCL5/#DMAEND1/SOUT3	XHBH1T	CMOS/LVTTL SCHMITT	Type1		V_{DDE}	
84	P15/EXCL4/#DMAEND0/#SCLK3/LDQM	XHBH1T	CMOS/LVTTL SCHMITT	Type1		V_{DDE}	
85	A0/#BSL	XHBC1T	注3	Type1		V_{DDE}	
86	A1/SDA0	XHBC1T	注3	Type1		V_{DDE}	
87	A2/SDA1	XHBC1T	注3	Type1		V_{DDE}	
88	A3/SDA2	XHBC1T	注3	Type1		V_{DDE}	
89	A4/SDA3	XHBC1T	注3	Type1		V_{DDE}	
90	A5/SDA4	XHBC1T	注3	Type1		V_{DDE}	
91	V_{DDE}	HVDD					
92	A6/SDA5	XHBC1T	注3	Type1		V_{DDE}	
93	A7/SDA6	XHBC1T	注3	Type1		V_{DDE}	
94	A8/SDA7	XHBC1T	注3	Type1		V_{DDE}	
95	A9/SDA8	XHBC1T	注3	Type1		V_{DDE}	
96	A10/SDA9	XHBC1T	注3	Type1		V_{DDE}	
97	A11	XHBC1T	注3	Type1		V_{DDE}	
98	V_{SS}	VSS					
99	A12/SDA11	XHBC1T	注3	Type1		V_{DDE}	
100	A13/SDA12	XHBC1T	注3	Type1		V_{DDE}	

端子No.	信号名	I/Oセル名	入出力特性		Pull-up/down	電源	備考
			入力	出力			
101	A14/SDBA0	XHBC1T	注3	Type1		V_{DDE}	
102	A15/SDBA1	XHBC1T	注3	Type1		V_{DDE}	
103	A16	XHBC1T	注3	Type1		V_{DDE}	
104	A17	XHBC1T	注3	Type1		V_{DDE}	
105	V_{SS}	VSS					
106	A18	XHBC1T	注3	Type1		V_{DDE}	
107	A19	XHBC1T	注3	Type1		V_{DDE}	
108	A20	XHBC1T	注3	Type1		V_{DDE}	
109	A21	XHBC1T	注3	Type1		V_{DDE}	
110	A22	XHBC1T	注3	Type1		V_{DDE}	
111	A23	XHBC1T	注3	Type1		V_{DDE}	
112	PLLS1	XHIBC	CMOS/LVTTL			V_{DDE}	
113	PLLS0	XHIBC	CMOS/LVTTL			V_{DDE}	
114	V_{SS}	VSS					
115	PLLC	XLLIN				V_{DD}	注2
116	V_{SS}	VSS					
117	DSIO	XLBH2P2T	CMOS/LVTTL SCHMITT	Type2	Pull-up	V_{DD}	注2
118	P14/FOSC1/DCLK	XLBH2T	CMOS/LVTTL SCHMITT	Type2		V_{DD}	注2
119	P13/EXCL3/T8UF3/DPCO	XLBH2T	CMOS/LVTTL SCHMITT	Type2		V_{DD}	注2
120	P12/EXCL2/T8UF2/DST2	XLBH2T	CMOS/LVTTL SCHMITT	Type2		V_{DD}	注2
121	P11/EXCL1/T8UF1/DST1	XLBH2T	CMOS/LVTTL SCHMITT	Type2		V_{DD}	注2
122	P10/EXCL0/T8UF0/DST0	XLBH2T	CMOS/LVTTL SCHMITT	Type2		V_{DD}	注2
123	EA10MD1	XHIBCP2	CMOS/LVTTL		Pull-up	V_{DDE}	
124	EA10MD0	XHIBC	CMOS/LVTTL			V_{DDE}	
125	ICEMD	XITST1			Pull-down		テスト端子
126	#EMEMRD	XHTB1T		Type1		V_{DDE}	
127	V_{DD}	LVDD					
128	OSC4	XLLOT				V_{DD}	
129	OSC3	XLLIN				V_{DD}	注2
130	#NMI	XHIBHP2	CMOS/LVTTL SCHMITT		Pull-up	V_{DDE}	
131	#CE9/#CE17/#CE17&18	XHBC1T	注3	Type1		V_{DDE}	
132	V_{DDE}	HVDD					
133	#CE5/#CE15/#CE15&16	XHBC1T	注3	Type1		V_{DDE}	
134	N.C.						
135	#CE3	XHTB1T		Type1		V_{DDE}	
136	V_{SS}	VSS					
137	#CE10EX/#CE9&10EX	XHBC1T	注3	Type1		V_{DDE}	
138	#CE6/#CE7&8	XHBC1T	注3	Type1		V_{DDE}	
139	#CE4/#CE11/#CE11&12	XHBC1T	注3	Type1		V_{DDE}	
140	#X2SPD	XHIBC	CMOS/LVTTL			V_{DDE}	
141	P03/#SRDY0	XHBH1T	CMOS/LVTTL SCHMITT	Type1		V_{DDE}	
142	P02/#SCLK0	XHBH1T	CMOS/LVTTL SCHMITT	Type1		V_{DDE}	
143	P01/SOUT0	XHBH1T	CMOS/LVTTL SCHMITT	Type1		V_{DDE}	
144	P00/SIN0	XHBH1T	CMOS/LVTTL SCHMITT	Type1		V_{DDE}	

注1)　この端子は、0V≦V_{IN}≦AV_{DDE}の入力電圧範囲で使用してください。
K50端子は、他のK5ポートとは入力電圧範囲が異なりますので注意してください。
注2)　この端子は、0V≦V_{IN}≦V_{DD}の入力電圧範囲で使用してください。
注3)　この端子はデバイス試験のときに入力となります。通常動作時は出力端子です。

出力電流特性は、次のとおりです。

出力電流 (I_{OL}/I_{OH})

	5.0V	3.3V	2.0V
Type1	3mA	2mA	0.6mA
Type2	–	6mA	2mA
Type3	12mA	12mA	4mA

S1C33L03
FUNCTION PART

S1C33L03 FUNCTION PART

I　概要

I-1 はじめに

FUNCTION PARTでは、セイコーエプソンオリジナル32ビットマイクロコンピュータS1C33L03の内蔵する各種の機能ブロックを詳細に説明しています。
S1C33L03はRISC型CPUの採用により、小さなCPUコアサイズにもかかわらず、コンパクトなコードにコンパイル可能な強力な命令セットを持っています。
本製品の特長を以下に示します。

- コンパクトなCPUコア: 25Kゲート
- 高速・高性能: DCから50MHzまでの動作に対応
- 強力な命令セット: 16ビット固定長、105種類の基本命令
- 実行サイクル: 主要命令は1サイクル/命令で実行
- 積和演算(MAC)機能: 16ビット×16ビット+64ビット、2クロック/MAC (50MHz時で25 MOPS)
- CPUレジスタ: 16個の32ビット汎用レジスタおよび5個の32ビット特殊レジスタ
- メモリ空間: 256Mバイト(28ビット)のコード、データ、I/Oがマップ可能なリニア空間
- 外部バスインタフェース: 15の個々に設定可能なメモリエリア
外部メモリを直結可能
- 割り込み: リセット、NMI、最大128個の外部割り込み、4つのソフトウェア割り込みおよび2つの例外に対応
- リセット、ブート: コールドリセット、ホットリセット
- パワーダウンモード: SLEEP、HALT
- その他: リトルエンディアン(ビッグエンディアンにも設定可能)
ハーバードアーキテクチャ(フェッチとロード/ストアの並列実行)
- ユーザロジックインタフェース: プログラマブルなウェイトサイクル(最大7サイクル)
#WAIT端子によるハンドシェークが可能
ユーザロジック用の大きなメモリ空間(最大16Mバイト)
BCUレジスタにより外部メモリ領域の内部使用が可能(エリア4〜18)
ユーザロジックからの多数の割り込み要求に対応

このページはブランクです。

I-2 ブロック図

S1C33L03は、C33コアブロック、C33周辺回路ブロック、C33アナログブロック、C33 DMAブロック、C33 SDRAMコントローラブロック、C33 LCDコントローラブロック、C33内蔵メモリブロックの7つのブロックで構成されています。
図2.1にS1C33各ブロックの構成を示します。

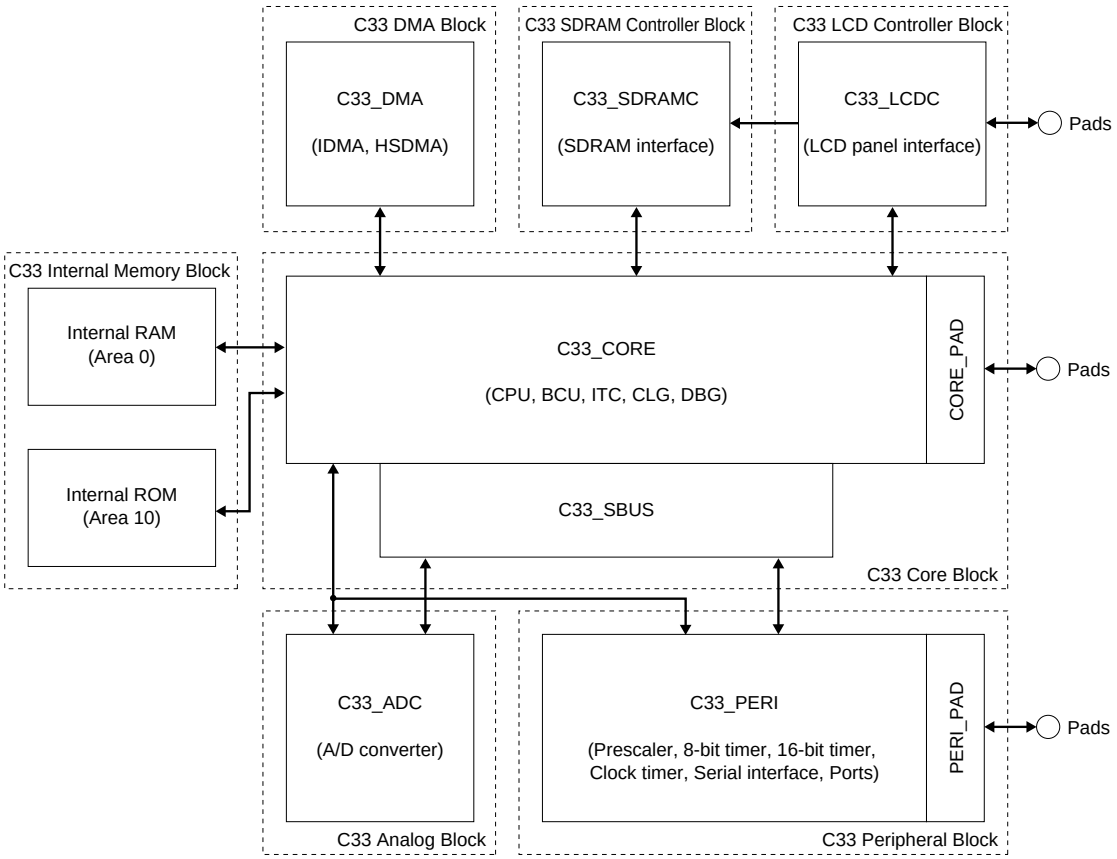


図2.1 **ブロック構成**

（注）S1C33L03**は**ROM**を内蔵しておりません。**

● C33コアブロック

C33コアブロックは、CPU、BCU(バスコントロールユニット)、ITC(割り込みコントローラ)、CLG(クロックジェネレータ)、DBG(デバッグユニット)を含む機能ブロックC33_CORE、外部インタフェース用のI/Oパッドブロック、およびチップ上の周辺回路とのインタフェースを行うSBUSブロックで構成されています。
32ビットRISC CPU S1C33000をコアCPUとして使用しています。

● C33周辺回路ブロック

C33周辺回路ブロックは、プリスケーラ、6チャネルの8ビットプログラマブルタイマ、ウォッチドッグタイマ、イベントカウンタ機能付き6チャネルの16ビットプログラマブルタイマ、4チャネルのシリアルインタフェース、入力および入出力ポート、計時タイマで構成されています。

● C33アナログブロック

アナログブロックは、8本のアナログ入力チャネルを持つ10ビットA/D変換器で構成されています。

● C33 DMAブロック

DMAブロックは、DMA制御情報を内蔵レジスタで設定可能なHSDMA(高速DMA)とDMA制御情報をメモリ上に設定するIDMA(インテリジェントDMA)の2種類のDMAコントローラで構成されています。

● C33 SDRAMコントローラブロック

SDRAMコントローラブロックは、BCUを介してSDRAMを直接接続可能なSDRAMインタフェースで構成されています。

● C33 LCDコントローラブロック

LCDコントローラブロックは、4ビットまたは8ビットモノクロ/カラーLCDパネルに表示データおよびLCD制御信号を出力するLCDパネルインタフェースで構成されています。

● C33メモリブロック

S1C33L03は、内蔵メモリ領域に8KBのSRAMを内蔵しています。

各ブロックの詳細については、本マニュアル内のそれぞれの説明を参照してください。

I-3 端子一覧

外部入出力端子一覧

以下に、C33コアブロックと周辺回路ブロックの外部入出力端子を示します。一部の端子は複数の表に重複して記載されています。

表3.1 外部インタフェース信号端子一覧

端子名	端子No.	I/O	Pull-up	機　能
A0 #BSL	85	O	–	A0: アドレスバス(A0)/SBUSST(D3/0x4812E)="0"の場合 (デフォルト) #BSL: バスストローブ(下位バイト)信号/SBUSST(D3/0x4812E)="1"の場合
A[10:1] SDA[9:0]	85–90,92–96	O	–	A[10:1]: アドレスバス(A1–A10) SDA[9:0]: SDRAMアドレスバス(SDA0–SDA9)
A11	97	O	–	アドレスバス(A11)
A[13:12] SDA[12:11]	99,100	O	–	A[13:12]: アドレスバス(A12–A13) SDA[12:11]: SDRAMアドレスバス(SDA11–SDA12)
A[15:14] SDBA[1:0]	101,102	O	–	A[15:14]: アドレスバス(A14–A15) SDBA[1:0]: SDRAMバンクセレクト(SDBA0–SDBA1)
A[23:16]	103,104, 106–111	O	–	アドレスバス(A16–A23)
D[15:0]	46–50,52–58, 60–63	I/O	–	データバス(D0–D15)
#CE10EX #CE9&10EX	137	O	–	外部メモリ用エリア10チップイネーブル * CEFUNC[1:0]="1x"の場合、本端子は#CE9+#CE10EX信号を出力します。
#CE9 #CE17 #CE17&18	131	O	–	#CE9: エリア9チップイネーブル/CEFUNC[1:0](D[A:9]/0x48130)="00"の場合 (デフォルト) #CE17: エリア17チップイネーブル/CEFUNC[1:0](D[A:9]/0x48130)="01"の場合 * CEFUNC[1:0]="1x"の場合、本端子は#CE17+#CE18信号を出力します。
#CE8 #RAS1 #CE14 #RAS3 #SDCE1	64	O	–	#CE8: エリア8チップイネーブル/CEFUNC[1:0] (D[A:9]/0x48130)="00"、A8DRA (D8/0x48128)="0"、およびSDRPC1(D2/0x39FFC0)="0"の場合 (デフォルト) #RAS1: エリア8 DRAMローストローブ/CEFUNC[1:0](D[A:9]/0x48130)="00"、A8DRA(D8/0x48128)="1"、およびSDRPC1(D2/0x39FFC0)="0"の場合 #CE14: エリア14チップイネーブル/CEFUNC[1:0](D[A:9]/0x48130)="01"または"1x"、A14DRA(D8/0x48122)="0"、およびSDRPC1(D2/0x39FFC0)="0"の場合 #RAS3: エリア14 DRAMローストローブ/CEFUNC[1:0](D[A:9]/0x48130)="01"または"1x"、A14DRA(D8/0x48122)="1"、およびSDRPC1(D2/0x39FFC0)="0"の場合 #SDCE1: SDRAMチップイネーブル1/SDRPC1(D2/0x39FFC0)="1"およびSDRENA (D7/0x39FFC1)="1"の場合
#CE7 #RAS0 #CE13 #RAS2 #SDCE0	65	O	–	#CE7: エリア7チップイネーブル/CEFUNC[1:0](D[A:9]/0x48130)="00"、A7DRA (D7/0x48128)="0"、およびSDRPC0(D3/0x39FFC0)="0"の場合 (デフォルト) #RAS0: エリア7 DRAMローストローブ/CEFUNC[1:0](D[A:9]/0x48130)="00"、A7DRA(D7/0x48128)="1"、およびSDRPC0(D3/0x39FFC0)="0"の場合 #CE13: エリア13チップイネーブル/CEFUNC[1:0](D[A:9]/0x48130)="01"または"1x"、A13DRA(D7/0x48122)="0"、およびSDRPC0(D3/0x39FFC0)="0"の場合 #RAS2: エリア13 DRAMローストローブ/CEFUNC[1:0](D[A:9]/0x48130)="01"または"1x"、A13DRA(D7/0x48122)="1"、およびSDRPC0(D3/0x39FFC0)="0"の場合 #SDCE0: SDRAMチップイネーブル0/SDRPC0(D3/0x39FFC0)="1"およびSDRENA (D7/0x39FFC1)="1"の場合
#CE6 #CE7&8	138	O	–	エリア6チップイネーブル * CEFUNC[1:0]="1x"の場合、本端子は#CE7+#CE8信号を出力します。
#CE5 #CE15 #CE15&16	133	O	–	#CE5: エリア5チップイネーブル/CEFUNC[1:0] (D[A:9]/0x48130)="00"の場合 (デフォルト) #CE15: エリア15チップイネーブル/CEFUNC[1:0] (D[A:9]/0x48130)="01"の場合 * CEFUNC[1:0]="1x"の場合、本端子は#CE15+#CE16信号を出力します。
#CE4 #CE11 #CE11&12	139	O	–	#CE4: エリア4チップイネーブル/CEFUNC[1:0] (D[A:9]/0x48130)="00"の場合 (デフォルト) #CE11: エリア11チップイネーブル/CEFUNC[1:0] (D[A:9]/0x48130)="01"の場合 * CEFUNC[1:0]="1x"の場合、本端子は#CE11+#CE12信号を出力します。
#CE3	135	O	–	エリア3チップイネーブル
#RD	44	O	–	リード信号
#EMEMRD	126	O	–	内蔵ROMエミュレーションメモリ用リード信号
#WRL #WR #WE	43	O	–	#WRL: ライト(下位バイト)信号/SBUSST(D3/0x4812E)="0"の場合 (デフォルト) #WR: ライト信号/SBUSST(D3/0x4812E)="1"の場合 #WE: DRAMライト信号
#WRH #BSH	42	O	–	#WRH: ライト(上位バイト)信号/SBUSST(D3/0x4812E)="0"の場合 (デフォルト) #BSH: バスストローブ(上位バイト)信号/SBUSST(D3/0x4812E)="1"の場合

端子名	端子No.	I/O	Pull-up	機　能
#HCAS #SDCAS	77	O	–	#HCAS: DRAMカラムアドレスストローブ(上位バイト)信号/SDRENA(D7/0x39FFC1)="0"の場合 (デフォルト) #SDCAS: SDRAMカラムアドレスストローブ信号/SDRENA(D7/0x39FFC1)="1"の場合
#LCAS #SDRAS	76	O	–	#LCAS: DRAMカラムアドレスストローブ(下位バイト)信号/SDRENA(D7/0x39FFC1)="0"の場合 (デフォルト) #SDRAS: SDRAMローアドレスストローブ信号/SDRENA(D7/0x39FFC1)="1"の場合
BCLK SDCLK	81	O	–	BCLK: バスクロック出力/SDRENA(D7/0x39FFC1)= "0"の場合 (デフォルト) SDCLK: SDRAMクロック出力/SDRENA(D7/0x39FFC1)="1"の場合
P34 #BUSREQ #CE6 GPIO0	71	I/O	–	P34: 入出力兼用ポート/CFP34(D4/0x402DC)="0"の場合 (デフォルト) #BUSREQ: バス解放要求入力/CFP34(D4/0x402DC)="1"の場合 #CE6: エリア6チップイネーブル/CFP34(D4/0x402DC)="1"およびIOC34 (D4/0x402DE)="1"の場合 GPIO0: LCDC汎用入出力ポート/LCDCEN(D5/0x39FFE3)="1"およびBREQEN (D2/0x39FFFD)="0"
P35 #BUSACK GPIO1	70	I/O	–	P35: 入出力兼用ポート/CFP35(D5/0x402DC)="0"の場合 (デフォルト) #BUSACK: バス解放要求応答出力/CFP35(D5/0x402DC)="1"およびCFP34(D4/0x402DC) ="1"の場合 GPIO1: LCDC汎用入出力ポート/LCDCEN(D5/0x39FFE3)="1"およびBREQEN (D2/0x39FFFD)="0"
P30 #WAIT #CE4&5	75	I/O	–	P30: 入出力兼用ポート/CFP30(D0/0x402DC)="0"の場合 (デフォルト) #WAIT: ウェイトサイクル要求入力/CFP30(D0/0x402DC)="1"の場合 #CE4&5: エリア4&5チップイネーブル/CFP30(D0/0x402DC)="1"および IOC30(D0/0x402DE)="1"の場合
P20 #DRD SDCKE	80	I/O	–	P20: 入出力兼用ポート/CFP20(D0/0x402D8)="0"および SDRENA(D7/0x39FFC1)="0"の場合 (デフォルト) #DRD: 連続RASモード用DRAMリード信号出力/CFP20(D0/0x402D8)="1"および SDRENA(D7/0x39FFC1)="0"の場合 SDCKE: SDRAMクロックイネーブル信号/SDRENA(D7/0x39FFC1)="1"の場合
P21 #DWE #GAAS #SDWE	79	I/O	–	P21: 入出力兼用ポート/CFP21(D1/0x402D8)="0"、CFEX2(D2/0x402DF)="0"、およびSDRENA(D7/0x39FFC1)="0"の場合 (デフォルト) #DWE: 連続RASモード用DRAMライト信号出力/CFP21(D1/0x402D8)="1"、CFEX2(D2/0x402DF)="0"、およびSDRENA(D7/0x39FFC1)="0"の場合 #GAAS: GA用エリアアドレスストローブ出力/CFEX2(D2/0x402DF)="1"および SDRENA(D7/0x39FFC1)="0"の場合 #SDWE: SDRAMライト信号/SDRENA(D7/0x39FFC1)="1"の場合
P31 #BUSGET #GARD GPIO2	74	I/O	–	P31: 入出力兼用ポート/CFP31(D1/0x402DC)="0"およびCFEX3(D3/0x402DF)="0" の場合 (デフォルト) #BUSGET: バス解放要求用バス状態モニタ信号出力/CFP31(D1/0x402DC)="1"および CFEX3(D3/0x402DF)="0"の場合 #GARD: GA用エリアリード信号出力/CFEX3(D3/0x402DF)="1"の場合 GPIO2: LCDC汎用入出力ポート/LCDCEN(D5/0x39FFE3)="1"およびBREQEN (D2/0x39FFFD)="0"
EA10MD1	123	I	Pull-up	エリア10ブートモード選択
EA10MD0	124	I	–	EA10MD1: 1, EA10MD0: 1 → 外部ROMモード EA10MD1: 1, EA10MD0: 0 → 内蔵ROMモード

表3.2 HSDMA制御信号端子一覧

端子名	端子No.	I/O	Pull-up	機　能
K50 #DMAREQ0	41	I	Pull-up	K50: 入力ポート/CFK50(D0/0x402C0)="0"の場合 (デフォルト) #DMAREQ0: HSDMA Ch.0要求入力CFK50(D0/0x402C0)="1"の場合
K51 #DMAREQ1	40	I	Pull-up	K51: 入力ポート/CFK51(D1/0x402C0)="0"の場合 (デフォルト) #DMAREQ1: HSDMA Ch.1要求入力CFK51(D1/0x402C0)="1"の場合
K53 #DMAREQ2	38	I	Pull-up	K53: 入力ポート/CFK53(D3/0x402C0)="0"の場合 (デフォルト) #DMAREQ2: HSDMA Ch.2要求入力CFK53(D3/0x402C0)="1"の場合
K54 #DMAREQ3	37	I	Pull-up	K54: 入力ポート/CFK54(D4/0x402C0)="0"の場合 (デフォルト) #DMAREQ3: HSDMA Ch.3要求入力CFK54(D4/0x402C0)="1"の場合
P32 #DMAACK0 #SRDY3 HDQM	73	I/O	–	P32: 入出力兼用ポート/CFP32(D2/0x402DC)="0"およびSDRENA(D7/0x39FFC1)="0"の場合 (デフォルト) #DMAACK0: HSDMA Ch.0応答出力/CFP32(D2/0x402DC)="1"およびSDRENA(D7/0x39FFC1)="0"の場合 #SRDY3: シリアルI/F Ch.3レディ信号入出力/SSRDY3(D3/0x402D7)="1"、CFP32(D2/0x402DC)="0"、およびSDRENA(D7/0x39FFC1)="0"の場合 HDQM: SDRAMデータ(上位バイト)入出力マスク信号/SDRENA(D7/0x39FFC1)="1"の場合
P33 #DMAACK1 SIN3 SDA10	72	I/O	–	P33: 入出力兼用ポート/CFP33(D3/0x402DC)="0"およびSDRENA(D7/0x39FFC1)="0"の場合 (デフォルト) #DMAACK1: HSDMA Ch.1応答出力/CFP33(D3/0x402DC)="1"およびSDRENA(D7/0x39FFC1)="0"の場合 SIN3: シリアルI/F Ch.3データ入力/SSIN3(D0/0x402D7)="1"、CFP33(D3/0x402DC)="0"、およびSDRENA(D7/0x39FFC1)="0"の場合 SDA10: SDRAMアドレスバスビット10/SDRENA(D7/0x39FFC1)="1"の場合
P04 SIN1 #DMAACK2	12	I/O	–	P04: 入出力兼用ポート/CFP04(D4/0x402D0)="0"およびCFEX4(D4/0x402DF)="0"の場合 (デフォルト) SIN1: シリアルI/F Ch.1データ入力/CFP04(D4/0x402D0)="1"およびCFEX4(D4/0x402DF)="0"の場合 #DMAACK2: HSDMA Ch.2応答出力/CFEX4(D4/0x402DF)="1"の場合
P06 #SCLK1 #DMAACK3	10	I/O	–	P06: 入出力兼用ポート/CFP06(D6/0x402D0)="0"およびCFEX6(D6/0x402DF)="0"の場合 (デフォルト) #SCLK1: シリアルI/F Ch.1クロック入出力/CFP06(D6/0x402D0)="1"およびCFEX6(D6/0x402DF)="0"の場合 #DMAACK3: HSDMA Ch.3応答出力/CFEX6(D6/0x402DF)="1"の場合
P15 EXCL4 #DMAEND0 #SCLK3 LDQM	84	I/O	–	P15: 入出力兼用ポート/CFP15(D5/0x402D4)="0"およびSDRENA(D7/0x39FFC1)="0"の場合 (デフォルト) EXCL4: 16ビットタイマ4イベントカウンタ入力/CFP15(D5/0x402D4)="1"、IOC15(D5/0x402D6)="0"、およびSDRENA(D7/0x39FFC1)="0"の場合 #DMAEND0: HSDMA Ch.0転送終了信号出力/CFP15(D5/0x402D4)="1"、IOC15(D5/0x402D6)="1"、およびSDRENA(D7/0x39FFC1)="0"の場合 #SCLK3: シリアルI/F Ch.3クロック入出力/SSCLK3(D2/0x402D7)="1"、CFP15(D5/0x402D4)="0"、およびSDRENA(D7/0x39FFC1)="0"の場合 LDQM: SDRAMデータ(下位バイト)入出力マスク信号/SDRENA(D7/0x39FFC1)="1"の場合
P16 EXCL5 #DMAEND1 SOUT3	83	I/O	–	P16: 入出力兼用ポート/CFP16(D6/0x402D4)="0"の場合 (デフォルト) EXCL5: 16ビットタイマ5イベントカウンタ入力/CFP16(D6/0x402D4)="1"およびIOC16(D6/0x402D6)="0"の場合 #DMAEND1: HSDMA Ch.1転送終了信号出力/CFP16(D6/0x402D4)="1"およびIOC16(D6/0x402D6)="1"の場合 SOUT3: シリアルI/F Ch.3データ出力/SSOUT3(D1/0x402D7)="1"およびCFP16(D6/0x402D4)="0"の場合
P05 SOUT1 #DMAEND2	11	I/O	–	P05: 入出力兼用ポート/CFP05(D5/0x402D0)="0"およびCFEX5(D5/0x402DF)="0"の場合 (デフォルト) SOUT1: シリアルI/F Ch.1データ出力/CFP05(D5/0x402D0)="1"およびCFEX5(D5/0x402DF)="0"の場合 #DMAEND2: HSDMA Ch.2転送終了信号出力/CFEX5(D5/0x402DF)="1"の場合
P07 #SRDY1 #DMAEND3	9	I/O	–	P07: 入出力兼用ポート/CFP07(D7/0x402D0)="0"およびCFEX7(D7/0x402DF)="0"の場合 (デフォルト) #SRDY1: シリアルI/F Ch.1レディ信号入出力/CFP07(D7/0x402D0)="1"およびCFEX5(D5/0x402DF)="0"の場合 #DMAEND3: HSDMA Ch.3転送終了信号出力/CFEX7(D7/0x402DF)="1"の場合

表3.3 内部周辺回路I/O端子一覧

端子名	端子No.	I/O	Pull-up	機　能
K50 #DMAREQ0	41	I	Pull-up	K50: 入力ポート/CFK50(D0/0x402C0)="0"の場合 (デフォルト) #DMAREQ0: HSDMA Ch.0要求入力CFK50(D0/0x402C0)="1"の場合
K51 #DMAREQ1	40	I	Pull-up	K51: 入力ポート/CFK51(D1/0x402C0)="0"の場合 (デフォルト) #DMAREQ1: HSDMA Ch.1要求入力CFK51(D1/0x402C0)="1"の場合
K52 #ADTRG	39	I	Pull-up	K52: 入力ポート/CFK52(D2/0x402C0)="0"の場合 (デフォルト) #ADTRG: A/D変換器トリガ入力/CFK52(D2/0x402C0)="1"の場合
K53 #DMAREQ2	38	I	Pull-up	K53: 入力ポート/CFK53(D3/0x402C0)="0"の場合 (デフォルト) #DMAREQ2: HSDMA Ch.2要求入力CFK53(D3/0x402C0)="1"の場合
K54 #DMAREQ3	37	I	Pull-up	K54: 入力ポート/CFK54(D4/0x402C0)="0"の場合 (デフォルト) #DMAREQ3: HSDMA Ch.3要求入力CFK54(D4/0x402C0)="1"の場合
K60 AD0	35	I	–	K60: 入力ポート/CFK60(D0/0x402C3)="0"の場合 (デフォルト) AD0: A/D変換器Ch.0入力/CFK60(D0/0x402C3)="1"の場合
K61 AD1	34	I	–	K61: 入力ポート/CFK61(D1/0x402C3)="0"の場合 (デフォルト) AD1: A/D変換器Ch.1入力/CFK61(D1/0x402C3)="1"の場合
K62 AD2	33	I	–	K62: 入力ポート/CFK62(D2/0x402C3)="0"の場合 (デフォルト) AD2: A/D変換器Ch.2入力/CFK62(D2/0x402C3)="1"の場合
K63 AD3	32	I	–	K63: 入力ポート/CFK63(D3/0x402C3)="0"の場合 (デフォルト) AD3: A/D変換器Ch.3入力/CFK63(D3/0x402C3)="1"の場合
K64 AD4	31	I	–	K64: 入力ポート/CFK64(D4/0x402C3)="0"の場合 (デフォルト) AD4: A/D変換器Ch.4入力/CFK64(D4/0x402C3)="1"の場合
K65 AD5	30	I	–	K65: 入力ポート/CFK65(D5/0x402C3)="0"の場合 (デフォルト) AD5: A/D変換器Ch.5入力/CFK65(D5/0x402C3)="1"の場合
K66 AD6	29	I	–	K66: 入力ポート/CFK66(D6/0x402C3)="0"の場合 (デフォルト) AD6: A/D変換器Ch.6入力/CFK66(D6/0x402C3)="1"の場合
K67 AD7	28	I	–	K67: 入力ポート/CFK67(D7/0x402C3)="0"の場合 (デフォルト) AD7: A/D変換器Ch.7入力/CFK67(D7/0x402C3)="1"の場合
P00 SIN0	144	I/O	–	P00: 入出力兼用ポート/CFP00(D0/0x402D0)="0"の場合 (デフォルト) SIN0: シリアルI/F Ch.0データ入力/CFP00(D0/0x402D0)="1"の場合
P01 SOUT0	143	I/O	–	P01: 入出力兼用ポート/CFP01(D1/0x402D0)="0"の場合 (デフォルト) SOUT0: シリアルI/F Ch.0データ出力/CFP01(D1/0x402D0)="1"の場合
P02 #SCLK0	142	I/O	–	P02: 入出力兼用ポート/CFP02(D2/0x402D0)="0"の場合 (デフォルト) #SCLK0: シリアルI/F Ch.0クロック入出力/CFP02(D2/0x402D0)="1"の場合
P03 #SRDY0	141	I/O	–	P03: 入出力兼用ポート/CFP03(D3/0x402D0)="0"の場合 (デフォルト) #SRDY0: シリアルI/F Ch.0レディ信号入出力/CFP03(D3/0x402D0)="1"の場合
P04 SIN1 #DMAACK2	12	I/O	–	P04: 入出力兼用ポート/CFP04(D4/0x402D0)="0"およびCFEX4(D4/0x402DF)="0"の場合 (デフォルト) SIN1: シリアルI/F Ch.1データ入力/CFP04(D4/0x402D0)="1"およびCFEX4(D4/0x402DF)="0"の場合 #DMAACK2: HSDMA Ch.2応答出力/CFEX4(D4/0x402DF)="1"の場合
P05 SOUT1 #DMAEND2	11	I/O	–	P05: 入出力兼用ポート/CFP05(D5/0x402D0)="0"およびCFEX5(D5/0x402DF)="0"の場合 (デフォルト) SOUT1: シリアルI/F Ch.1データ出力/CFP05(D5/0x402D0)="1"およびCFEX5(D5/0x402DF)="0"の場合 #DMAEND2: HSDMA Ch.2転送終了信号出力/CFEX5(D5/0x402DF)="1"の場合
P06 #SCLK1 #DMAACK3	10	I/O	–	P06: 入出力兼用ポート/CFP06(D6/0x402D0)="0"およびCFEX6(D6/0x402DF)="0"の場合 (デフォルト) #SCLK1: シリアルI/F Ch.1クロック入出力/CFP06(D6/0x402D0)="1"およびCFEX6(D6/0x402DF)="0"の場合 #DMAACK3: HSDMA Ch.3応答出力/CFEX6(D6/0x402DF)="1"の場合
P07 #SRDY1 #DMAEND3	9	I/O	–	P07: 入出力兼用ポート/CFP07(D7/0x402D0)="0"およびCFEX7(D7/0x402DF)="0"の場合 (デフォルト) #SRDY1: シリアルI/F Ch.1レディ信号入出力/CFP07(D7/0x402D0)="1"およびCFEX5(D5/0x402DF)="0"の場合 #DMAEND3: HSDMA Ch.3転送終了信号出力/CFEX7(D7/0x402DF)="1"の場合
P10 EXCL0 T8UF0 DST0	122	I/O	–	P10: 入出力兼用ポート/CFP10(D0/0x402D4)="0"およびCFEX1(D1/0x402DF)="0"の場合 EXCL0: 16ビットタイマ0イベントカウンタ入力/CFP10(D0/0x402D4)="1"、IOC10(D0/0x402D6)="0"、およびCFEX1(D1/0x402DF)="0"の場合 T8UF0: 8ビットタイマ0出力/CFP10(D0/0x402D4)="1"、IOC10(D0/0x402D6)="1"、およびCFEX1(D1/0x402DF)="0"の場合 DST0: DST0信号出力/CFEX1(D1/0x402DF)="1"の場合 (デフォルト)

端子名	端子No.	I/O	Pull-up	機　能
P11 EXCL1 T8UF1 DST1	121	I/O	–	P11: 入出力兼用ポート/CFP11(D1/0x402D4)="0"およびCFEX1(D1/0x402DF)="0"の場合 EXCL1: 16ビットタイマ1イベントカウンタ入力/CFP11(D1/0x402D4)= "1"、IOC11(D1/0x402D6)="0"およびCFEX1(D1/0x402DF)="0"の場合 T8UF1: 8ビットタイマ1出力/CFP11(D1/0x402D4)="1"、IOC11(D1/0x402D6)="1"およびCFEX1(D1/0x402DF)="0"の場合 DST1: DST1信号出力/CFEX1(D1/0x402DF)="1"の場合 (デフォルト)
P12 EXCL2 T8UF2 DST2	120	I/O	–	P12: 入出力兼用ポート/CFP12(D2/0x402D4)="0"およびCFEX0(D0/0x402DF)="0"の場合 EXCL2: 16ビットタイマ2イベントカウンタ入力/CFP12(D2/0x402D4)= "1"、IOC12(D2/0x402D6)="0"およびCFEX0(D0/0x402DF)="0"の場合 T8UF2: 8ビットタイマ2出力/CFP12(D2/0x402D4)="1"、IOC12(D2/0x402D6)="1"およびCFEX0(D0/0x402DF)="0"の場合 DST2: DST2信号出力/CFEX0(D0/0x402DF)="1"の場合 (デフォルト)
P13 EXCL3 T8UF3 DPCO	119	I/O	–	P13: 入出力兼用ポート/CFP13(D3/0x402D4)="0"およびCFEX1(D1/0x402DF)="0"の場合 EXCL3: 16ビットタイマ3イベントカウンタ入力/CFP13(D3/0x402D4)="1"、IOC13(D3/0x402D6)="0"およびCFEX1(D1/0x402DF)="0"の場合 T8UF3: 8ビットタイマ3出力/CFP13(D3/0x402D4)="1"、IOC13(D3/0x402D6)="1"およびCFEX1(D1/0x402DF)="0"の場合 DPCO: DPCO信号出力/CFEX1(D1/0x402DF)="1"の場合 (デフォルト)
P14 FOSC1 DCLK	118	I/O	–	P14: 入出力兼用ポート/CFP14(D4/0x402D4)="0"およびCFEX0(D0/0x402DF)="0"の場合 FOSC1: OSC1クロック出力/CFP14(D4/0x402D4)="1"およびCFEX0(D0/0x402DF)="0"の場合 DCLK: DCLK信号出力/CFEX0(D0/0x402DF)="1"の場合 (デフォルト)
P15 EXCL4 #DMAEND0 #SCLK3 LDQM	84	I/O	–	P15: 入出力兼用ポート/CFP15(D5/0x402D4)="0"およびSDRENA(D7/0x39FFC1)="0"の場合 (デフォルト) EXCL4: 16ビットタイマ4イベントカウンタ入力/CFP15(D5/0x402D4)="1"、IOC15(D5/0x402D6)="0"、およびSDRENA(D7/0x39FFC1)="0"の場合 #DMAEND0: HSDMA Ch.0転送終了信号出力/CFP15(D5/0x402D4)="1"、IOC15(D5/0x402D6)="1"、およびSDRENA(D7/0x39FFC1)="0"の場合 #SCLK3: シリアルI/F Ch.3クロック入出力/SSCLK3(D2/0x402D7)="1"、CFP15(D5/0x402D4)="0"、およびSDRENA(D7/0x39FFC1)="0"の場合 LDQM: SDRAMデータ(下位バイト)入出力マスク信号/SDRENA(D7/0x39FFC1)="1"の場合
P16 EXCL5 #DMAEND1 SOUT3	83	I/O	–	P16: 入出力兼用ポート/CFP16(D6/0x402D4)="0"の場合 (デフォルト) EXCL5: 16ビットタイマ5イベントカウンタ入力/CFP16(D6/0x402D4)="1"およびIOC16(D6/0x402D6)="0"の場合 #DMAEND1: HSDMA Ch.1転送終了信号出力/CFP16(D6/0x402D4)="1"およびIOC16(D6/0x402D6)="1"の場合 SOUT3: シリアルI/F Ch.3データ出力/SSOUT3(D1/0x402D7)="1"およびCFP16(D6/0x402D4)="0"の場合
P20 #DRD SDCKE	80	I/O	–	P20: 入出力兼用ポート/CFP20(D0/0x402D8)="0"およびSDRENA(D7/0x39FFC1)="0"の場合 (デフォルト) #DRD: 連続RASモード用DRAMリード信号出力/CFP20(D0/0x402D8)="1"およびSDRENA(D7/0x39FFC1)="0"の場合 SDCKE: SDRAMクロックイネーブル信号/SDRENA(D7/0x39FFC1)="1"の場合
P21 #DWE #GAAS #SDWE	79	I/O	–	P21: 入出力兼用ポート/CFP21(D1/0x402D8)="0"、CFEX2(D2/0x402DF)="0"、およびSDRENA(D7/0x39FFC1)="0"の場合 (デフォルト) #DWE: 連続RASモード用DRAMライト信号出力/CFP21(D1/0x402D8)="1"、CFEX2(D2/0x402DF)="0"、およびSDRENA(D7/0x39FFC1)="0"の場合 #GAAS: GA用エリアアドレスストローブ出力/CFEX2(D2/0x402DF)="1"およびSDRENA(D7/0x39FFC1)="0"の場合 #SDWE: SDRAMライト信号/SDRENA(D7/0x39FFC1)="1"の場合
P22 TM0	1	I/O	–	P22: 入出力兼用ポート/CFP22(D2/0x402D8)="0"の場合 (デフォルト) TM0: 16ビットタイマ0出力/CFP22(D2/0x402D8)="1"の場合
P23 TM1	2	I/O	–	P23: 入出力兼用ポート/CFP23(D3/0x402D8)="0"の場合 (デフォルト) TM1: 16ビットタイマ1出力/CFP23(D3/0x402D8)="1"の場合
P24 TM2 #SRDY2	4	I/O	–	P24: 入出力兼用ポート/CFP24(D4/0x402D8)="0"の場合 (デフォルト) TM2: 16ビットタイマ2出力/CFP24(D4/0x402D8)="1"の場合 #SRDY2: シリアルI/F Ch.2レディ信号入出力/SSRDY2(D3/0x402DB)="1"およびCFP24(D4/0x402D8)="0"の場合
P25 TM3 #SCLK2	5	I/O	–	P25: 入出力兼用ポート/CFP25(D5/0x402D8)="0"の場合 (デフォルト) TM3: 16ビットタイマ3出力/CFP25(D5/0x402D8)="1"の場合 #SCLK2: シリアルI/F Ch.2クロック入出力/SSCLK2(D2/0x402DB)="1"およびCFP25(D5/0x402D8)="0"の場合

端子名	端子No.	I/O	Pull-up	機　　能
P26 TM4 SOUT2	6	I/O	–	P26: **入出力兼用ポート**/CFP26(D6/0x402D8)="0"**の場合 (デフォルト)** TM4: 16**ビットタイマ**4**出力**/CFP26(D6/0x402D8)="1"**の場合** SOUT2: **シリアル**I/F Ch.2**データ出力**/SSOUT2(D1/0x402DB)="1"**および**CFP26 (D6/0x402D8)="0"**の場合**
P27 TM5 SIN2	7	I/O	–	P27: **入出力兼用ポート**/CFP27(D7/0x402D8)="0"**の場合 (デフォルト)** TM5: 16**ビットタイマ**5**出力**/CFP27(D7/0x402D8)="1"**の場合** SIN2: **シリアル**I/F Ch.2**データ入力**/SSIN2(D0/0x402DB)="1"**および**CFP27 (D7/0x402D8)="0"**の場合**
P30 #WAIT #CE4&5	75	I/O	–	P30: **入出力兼用ポート**/CFP30(D0/0x402DC)="0"**の場合 (デフォルト)** #WAIT: **ウェイトサイクル要求入力**/CFP30(D0/0x402DC)="1"**の場合** #CE4&5: **エリア**4&5**チップイネーブル**/CFP30(D0/0x402DC)="1"**および** IOC30(D0/0x402DE)="1"**の場合**
P31 #BUSGET #GARD GPIO2	74	I/O	–	P31: **入出力兼用ポート**/CFP31(D1/0x402DC)="0"**および**CFEX3(D3/0x402DF)="0" **の場合 (デフォルト)** #BUSGET: **バス解放要求用バス状態モニタ信号出力**/CFP31(D1/0x402DC)="1"**および** CFEX3(D3/0x402DF)="0"**の場合** #GARD: GA**用エリアリード信号出力**/CFEX3(D3/0x402DF)="1"**の場合** GPIO2: LCDC**汎用入出力ポート**/LCDCEN(D5/0x39FFE3)="1"**および**BREQEN (D2/0x39FFFD)="0"
P32 #DMAACK0 #SRDY3 HDQM	73	I/O	–	P32: **入出力兼用ポート**/CFP32(D2/0x402DC)="0"**および**SDRENA(D7/0x39FFC1) ="0"**の場合 (デフォルト)** #DMAACK0: HSDMA Ch.0**応答出力**/CFP32(D2/0x402DC)="1"**および**SDRENA (D7/0x39FFC1)="0"**の場合** #SRDY3: **シリアル**I/F Ch.3**レディ信号入出力**/SSRDY3(D3/0x402D7)="1"**、**CFP32 (D2/0x402DC)="0"**、および**SDRENA(D7/0x39FFC1)="0"**の場合** HDQM: SDRAM**データ(上位バイト)入出力マスク信号**/SDRENA(D7/0x39FFC1)="1" **の場合**
P33 #DMAACK1 SIN3 SDA10	72	I/O	–	P33: **入出力兼用ポート**/CFP33(D3/0x402DC)="0"**および**SDRENA(D7/0x39FFC1) ="0"**の場合 (デフォルト)** #DMAACK1: HSDMA Ch.1**応答出力**/CFP33(D3/0x402DC)="1"**および**SDRENA (D7/0x39FFC1)="0"**の場合** SIN3: **シリアル**I/F Ch.3**データ入力**/SSIN3(D0/0x402D7)="1"**、**CFP33(D3/0x402DC) ="0"**、および**SDRENA(D7/0x39FFC1)="0"**の場合** SDA10: SDRAM**アドレスバスビット**10/SDRENA(D7/0x39FFC1)="1"**の場合**
P34 #BUSREQ #CE6 GPIO0	71	I/O	–	P34: **入出力兼用ポート**/CFP34(D4/0x402DC)="0"**の場合 (デフォルト)** #BUSREQ: **バス解放要求入力**/CFP34(D4/0x402DC)="1"**の場合** #CE6: **エリア**6**チップイネーブル**/CFP34(D4/0x402DC)="1"**および**IOC34 (D4/0x402DE)="1"**の場合** GPIO0: LCDC**汎用入出力ポート**/LCDCEN(D5/0x39FFE3)="1"**および**BREQEN (D2/0x39FFFD)="0"
P35 #BUSACK GPIO1	70	I/O	–	P35: **入出力兼用ポート**/CFP35(D5/0x402DC)="0"**の場合 (デフォルト)** #BUSACK: **バス解放要求応答出力**/CFP35(D5/0x402DC)="1"**および**CFP34(D4/0x402DC) ="1"**の場合** GPIO1: LCDC**汎用入出力ポート**/LCDCEN(D5/0x39FFE3)="1"**および**BREQEN (D2/0x39FFFD)="0"

表3.4 LCDコントローラ端子一覧

端子名	端子No.	I/O	Pull-up	機　能
FPDAT[7:4]	13–16	O	–	8ビットLCDパネル用データバス上位4ビット 4ビットLCDパネル用データバス
FPDAT[3:0] GPO[6:3]	17–20	O	–	FPDAT[3:0] 8ビットLCDパネル用データバス下位4ビット GPO[6:3] 4ビットLCDパネル使用時は汎用出力ポート
FPFRAME	23	O	–	フレームパルス出力
FPLINE	24	O	–	ラインパルス出力
FPSHIFT	25	O	–	シフトパルス出力
DRDY(MOD) (FPSHIFT2)	22	O	–	MOD: LCDバックプレーンバイアス(8ビットカラーLCDパネル形式1以外) FPSHIFT2: 第2シフトクロック(8ビットカラーLCDパネル形式1)
LCDPWR	26	O	–	LCD電源制御出力(アクティブHigh)

表3.5 クロックジェネレータ端子一覧

端子名	端子No.	I/O	Pull-up	機　能
OSC1	68	I	–	低速(OSC1)発振入力 (32kHz水晶発振、または外部クロック入力)
OSC2	67	O	–	低速(OSC1)発振出力
OSC3	129	I	–	高速(OSC3)発振入力 (水晶/セラミック発振、または外部クロック入力)
OSC4	128	O	–	高速(OSC3)発振出力
PLLS[1:0]	112,113	I	–	PLL設定端子 PLLS1 / PLLS0 / fin (f_{OSC3}) / fout (f_{PSCIN}) 1 / 1 / 10〜25MHz / 20〜50MHz 0 / 1 / 10〜12.5MHz / 40〜50MHz 0 / 0 / PLL未使用 / L
PLLC	115	–	–	PLL用コンデンサ接続端子

表3.6 その他の端子

端子名	端子No.	I/O	Pull-up /down	機　能
ICEMD	125	I	Pull-down	ハイインピーダンス制御端子 本端子をHighに設定することにより、すべての出力端子がハイインピーダンスになります。これにより、ボード上のS1C33チップをシステムから切り離すことができます。
DSIO	117	I/O	Pull-up	デバッグ用シリアル入出力端子 本端子はデバッグツールS5U1C33000Hとの通信に使用します。
#X2SPD	140	I	–	倍速モード設定端子 1: CPUクロック=バスクロック×1, 0: CPUクロック=バスクロック×2
#NMI	130	I	Pull-up	NMI要求入力端子
#RESET	69	I	Pull-up	イニシャルリセット入力端子

注: 端子名の#は、入出力する信号がLowアクティブであることを示します。

このページはブランクです。

S1C33L03 FUNCTION PART

II　コアブロック

II-1 はじめに

C33コアブロックは、CPU、BCU(バスコントロールユニット)、ITC(割り込みコントローラ)、CLG(クロックジェネレータ)、DBG(デバッグユニット)を含む機能ブロックC33_CORE、外部インタフェース用のI/Oパッドブロック、およびチップ上の周辺回路とのインタフェースを行うSBUSブロックで構成されています。

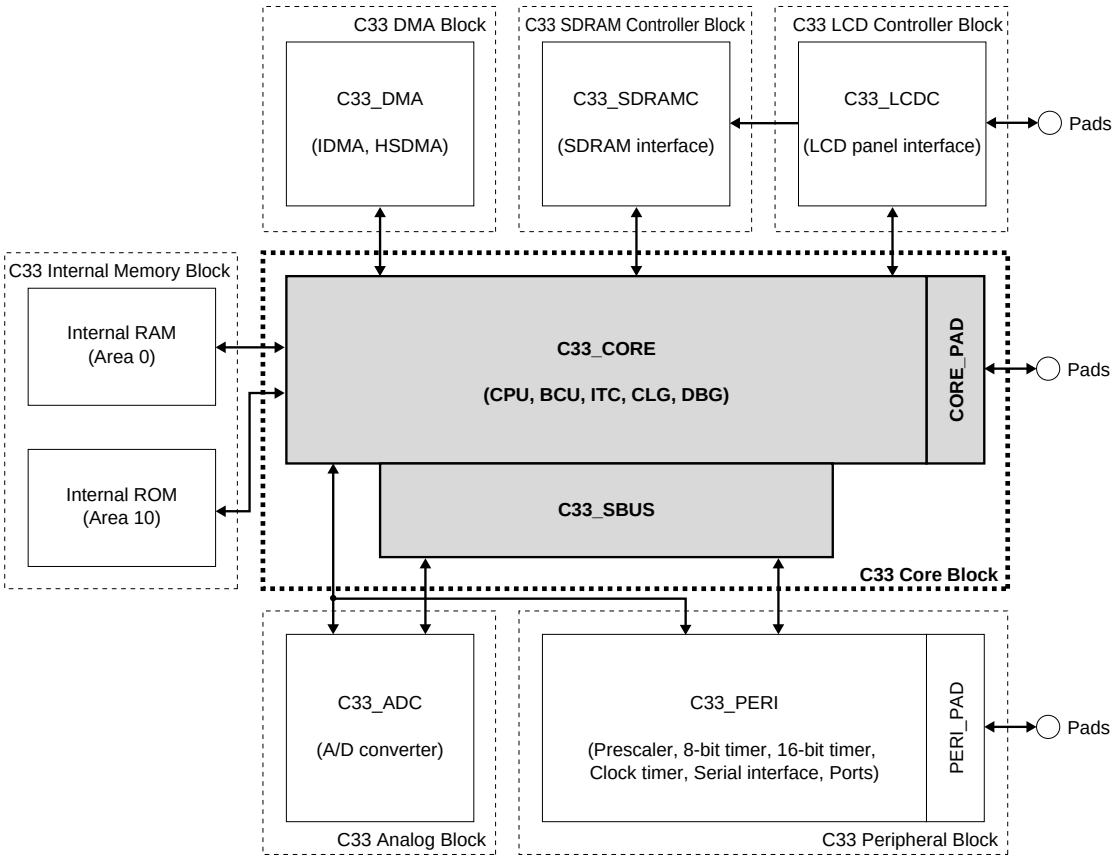


図1.1 **コアブロック**

（注）S1C33L03**は**ROM**を内蔵しておりません。**

このページはブランクです。

II-2 CPUと動作モード

CPU

C33コアブロックは、セイコーエプソンオリジナルの32ビットRISC型CPU S1C33000をコアCPUとして搭載しています。また、乗算器も内蔵しているため、積和演算(MAC)命令や乗除算命令を含むS1C33000命令セットのすべての命令(105命令)が使用可能です。
S1C33000の内部レジスタもすべて使用可能です。CPU内部レジスタおよびCPU内部アドレスバスでは28ビットアドレスを扱うことができますが、外部アドレスバスには下位24ビットのみが出力されます。

S1C33000の詳細については"S1C33000コアCPUマニュアル"を参照してください。

スタンバイモード

CPUはHALTモード2種類とSLEEPモード1種類、計3種類のスタンバイモードをサポートしています。スタンバイモードに設定することにより大幅な省電力化が実現できます。

HALTモード

CPUはhalt命令を実行するとプログラムの実行を中断し、HALTモードに移行します。
CPUは2種類のHALTモード(基本モード、HALT2モード)を持っており、クロックオプションレジスタ(0x40190)のHLT2OP(D3)で設定しておくことができます。
HALT基本モードではCPUが動作を停止しますので、その分の消費電流が低減できます。内蔵周辺回路は、halt命令実行時の状態(停止/非停止)を継続します。なお、DMAは使用不可です。
HALT2モードは上記の基本モードに加え、DMA機能を含む外部バスのコントロールおよびバスクロックを停止します。これにより、HALT基本モード以上の省電力化が実現できます。
HALTモードはイニシャルリセットまたはNMIを含む任意の割り込みが発生することによって解除されます。したがって、外部入力待ちや周辺回路の動作結果待ちなど、CPUの実行が不要な場合の省電力化に有効です。
割り込みによってHALTモードが解除されると、CPUはトラップ処理によってプログラム実行状態に移行し、その割り込み処理ルーチンを実行します。CPUのトラップ処理では、halt命令の次の命令アドレスが割り込み処理ルーチンからのリターンアドレスとしてスタックにセーブされますので、割り込み処理ルーチンのreti命令は、halt命令の次の命令に分岐します。
PSRが割り込み禁止の状態に設定されている場合、リセットまたはNMI以外でHALTモードを解除することはできません。

SLEEPモード

CPUはslp命令を実行するとプログラムの実行を中断し、SLEEPモードに移行します。
SLEEPモードではCPUの動作に加え、高速(OSC3)発振回路も動作を停止します。したがって、SLEEPモードでは低速(OSC1)発振回路と計時タイマを除き、すべての周辺回路が動作を停止します。これにより、HALTモード以上の省電力化が実現できます。
SLEEPモードはイニシャルリセット、計時タイマ割り込み、外部からのNMIまたは入力割り込みが発生することによって解除されます。OSC3クロックで動作する周辺回路は動作を停止するため、その割り込みは利用できません。
割り込みによってSLEEPモードが解除されると、CPUはトラップ処理によってプログラム実行状態に移行し、その割り込み処理ルーチンを実行します。CPUのトラップ処理では、slp命令の次の命令アドレスが割り込み処理ルーチンからのリターンアドレスとしてスタックにセーブされますので、割り込み処理ルーチンのreti命令は、slp命令の次の命令に分岐します。
PSRが割り込み禁止の状態に設定されている場合、リセットまたはNMI以外でSLEEPモードを解除することはできません。

注意事項

割り込みの設定

スタンバイモードは割り込みによって解除されます。したがって、スタンバイモードに移行する前に、解除に使用する割り込みを許可しておく必要があります。また、個別の割り込みの許可のほかに、PSRのIE(割り込み許可)ビットおよびIL(割り込みレベル)もその割り込みが発生可能な状態に設定しておかなければなりません。PSRが割り込み禁止状態に設定されている場合、割り込み要求が発生してもスタンバイモードを解除することはできません。割り込みの設定に関する詳細は"ITC(割り込みコントローラ)"を参照してください。

発振回路

高速(OSC3)発振回路はSLEEPモード時に発振を停止し、SLEEPモードの解除により発振を再開します。SLEEPモード移行前にCPUがOSC3クロックで動作していた場合、SLEEPモード解除後もOSC3クロックで再起動します。高速(OSC3)発振回路は動作開始後に発振が安定するまである程度の時間(V_{DD}=3.3V、標準動作条件の発振安定時間: Max. 10ms)を要しますので、CPUを確実に再起動させるには、この発振安定時間が経過後にCPUが動作を開始するように設定しておかなければなりません。このため、SLEEP解除直後はCPUの動作開始待ち時間をプログラマブルに設定できるようになっています。詳細については、"CLG(クロックジェネレータ)"を参照してください。

高速(OSC3)発振回路の発振開始時間は使用する素子や基板パターンおよび動作環境により変化しますので、この時間設定には十分な余裕をとってください。

BCU

スタンバイモードになると、BCU(バスコントロールユニット)はその時点のバスサイクルの実行終了後に停止します。すべてのチップイネーブル信号がインアクティブとなります。
HALT基本モードではBCLK(バスクロック)信号が出力され、DRAMのリフレッシュサイクルも生成されます。また、DMAも動作します。
HALT2モードおよびSLEEPモードではBCLK信号は出力されません。DRAMのリフレッシュサイクルも生成されません。またDMAも停止します。

その他

コアCPUの内部レジスタ、入出力ポートの状態はスタンバイモード時も保持されます。内蔵周辺回路の制御およびデータレジスタの内容も基本的には保持されますが、SLEEPモード移行時に変更されるものもあります。各周辺回路の説明を参照してください。

テストモード

C33コアブロックはチップのテスト用にICEMD端子を持っています。この端子をHighにすると、ICは以下の状態になります。

- 出力端子はハイインピーダンス状態。ただし、クロック出力端子(OSC2: H、OSC4: H、PLLC: L)を除きます。
- クロック入力の禁止。OSC1、OSC3、PLLは発振停止。OSC2: H、OSC4: H、PLLC: L
- すべてのプルアップ/プルダウンはOFF

通常動作時は、ICEMD端子をオープンまたはVssに接続してください。ICEMD端子はプルダウン抵抗を内蔵しています。

デバッグモード

C33コアブロックはデバッグモードをサポートしています。デバッグモードはS1C33000コアCPUの機能で、チップ自体でシングルステップ動作、ブレーク機能を実現します。デバッグモードとデバッグ機能については"S1C33000コアCPUマニュアル"を参照してください。

メモリマップのエリア2はデバッグモード時にのみアクセス可能です。
デバッグモード時は、OSC3クロックがCPUの動作クロックとして使用されます。したがって、デバッグ機能を使用する場合は高速(OSC3)発振回路を停止させないでください。また、デバッグモードではCPUとBCUのみが動作し、他の内蔵周辺回路(発振回路を除く)は停止します。

トラップテーブル

表2.1にC33コアのトラップテーブルを示します。例外の詳細については、"S1C33000コアCPUマニュアル"を、割り込みについては、本書の"II-5 ITC(割り込みコントローラ)"を参照してください。
また、シリアルインタフェース Ch.2, Ch.3の割り込みは、ポート入力割り込みまたは16ビットタイマ割り込みのトラップテーブルを兼用します。設定については、"III-8 シリアルインタフェース"を参照してください。

表2.1 トラップテーブル

Hex No.	ベクタ番号 (Hexアドレス)	例外/割り込み名称	例外/割り込み要因等	IDMA Ch.	優先順位
0	0(Base)	リセット	リセット端子へのLow入力	–	高い
	1~3	reserved	–	–	↑
4	4(Base+10)	ゼロ除算	除算命令	–	
5	5	reserved	–	–	
6	6(Base+18)	アドレス不整例外	メモリアクセス命令	–	
7	0x0 or 0x60000	デバッグ例外	brk命令等	–	
8	8(Base+1C)	NMI	NMI端子へのLow入力	–	
	9~11	reserved	–	–	
C	12(Base+30)	ソフトウェア例外0	int命令	–	
D	13(Base+34)	ソフトウェア例外1	int命令	–	
E	14(Base+38)	ソフトウェア例外2	int命令	–	
F	15(Base+3C)	ソフトウェア例外3	int命令	–	
10	16(Base+40)	ポート入力割り込み0	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	1	
11	17(Base+44)	ポート入力割り込み1	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	2	
12	18(Base+48)	ポート入力割り込み2	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	3	
13	19(Base+4C)	ポート入力割り込み3	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	4	
14	20(Base+50)	キー入力割り込み0	入力立ち下がりまたは立ち上がりエッジ	–	
15	21(Base+54)	キー入力割り込み1	入力立ち下がりまたは立ち上がりエッジ	–	
16	22(Base+58)	高速DMA Ch.0割り込み	高速DMA Ch.0転送終了	5	
17	23(Base+5C)	高速DMA Ch.1割り込み	高速DMA Ch.1転送終了	6	
18	24(Base+60)	高速DMA Ch.2割り込み	高速DMA Ch.2転送終了	–	
19	25(Base+64)	高速DMA Ch.3割り込み	高速DMA Ch.3転送終了	–	
1A	26(Base+68)	インテリジェントDMA割り込み	インテリジェントDMA転送終了	–	
	27~29	reserved	–	–	
1E	30(Base+78)	16ビットプログラマブル	タイマ0コンペアB	7	
1F	31(Base+7C)	タイマ0割り込み	タイマ0コンペアA	8	
	32~33	reserved	–	–	
22	34(Base+88)	16ビットプログラマブル	タイマ1コンペアB	9	
23	35(Base+8C)	タイマ1割り込み	タイマ1コンペアA	10	
	36~37	reserved	–	–	
26	38(Base+98)	16ビットプログラマブル	タイマ2コンペアB	11	
27	39(Base+9C)	タイマ2割り込み	タイマ2コンペアA	12	
	40~41	reserved	–	–	
2A	42(Base+A8)	16ビットプログラマブル	タイマ3コンペアB	13	
2B	43(Base+AC)	タイマ3割り込み	タイマ3コンペアA	14	
	44~45	reserved	–	–	
2E	46(Base+B8)	16ビットプログラマブル	タイマ4コンペアB	15	
2F	47(Base+BC)	タイマ4割り込み	タイマ4コンペアA	16	
	48~49	reserved	–	–	
32	50(Base+C8)	16ビットプログラマブル	タイマ5コンペアB	17	
33	51(Base+CC)	タイマ5割り込み	タイマ5コンペアA	18	
34	52(Base+D0)	8ビットプログラマブル	タイマ0アンダーフロー	19	
35	53(Base+D4)	タイマ割り込み	タイマ1アンダーフロー	20	
36	54(Base+D8)		タイマ2アンダーフロー	21	
37	55(Base+DC)		タイマ3アンダーフロー	22	
38	56(Base+E0)	シリアルインタフェース	受信エラー	–	
39	57(Base+E4)	Ch.0割り込み	受信バッファフル	23	
3A	58(Base+E8)		送信バッファエンプティ	24	
	59	reserved	–	–	
3C	60(Base+F0)	シリアルインタフェース	受信エラー	–	
3D	61(Base+F4)	Ch.1割り込み	受信バッファフル	25	
3E	62(Base+F8)		送信バッファエンプティ	26	↓
	63	reserved	–	–	低い

Hex No.	ベクタ番号 (Hexアドレス)	例外/割り込み名称	例外/割り込み要因等	IDMA Ch.	優先順位
40	64(Base+100)	A/D変換器割り込み	A/D変換完了	27	高い
41	65(Base+104)	計時タイマ割り込み	32Hz, 8Hz, 2Hz, 1Hz信号立ち下がりエッジ 1分, 1時間, 指定時間カウント	–	↑
	66~67	reserved	–	–	
44	68(Base+110)	ポート入力割り込み4	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	28	
45	69(Base+114)	ポート入力割り込み5	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	29	
46	70(Base+118)	ポート入力割り込み6	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	30	↓
47	71(Base+11C)	ポート入力割り込み7	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	31	低い

＊ Base = TTBRレジスタ(0x48134〜0x48137)の設定値。デフォルトは0xC00000

このページはブランクです。

II-3 イニシャルリセット

イニシャルリセット用端子

イニシャルリセットに使用する端子を表3.1に示します。

表3.1 イニシャルリセット用端子

端子名	I/O	機　能
#RESET	I	イニシャルリセット入力端子(Lowアクティブ) L: CPUをリセット
#NMI	I	NMI要求端子 本端子はリセット方法の選択にも使用されます。 H: コールドスタート L: ホットスタート

S1C33チップは#RESET端子がLowになるとリセットされ、そのリセット信号がHighに立ち上がることで動作を開始します。コアCPUと内蔵周辺回路はリセット信号がLowの期間中に初期化されます。

コールドスタートとホットスタート

S1C33チップはコールドスタート、ホットスタートの2種類のリセット方法で起動可能です。この指定には#RESET端子とともに#NMI端子を使用します。
表3.2にコールドスタートとホットスタートの違いを示します。

表3.2 コールドスタートとホットスタートの相違点

設定内容	コールドスタート	ホットスタート
リセット条件	#RESET = L & #NMI = H	#RESET = L & #NMI = L
CPU: PC	ブートアドレスのリセットベクタをロード	
CPU: PSR	全フラグが"0"にリセット	
CPU: 他のレジスタ	不定	
CPU: 動作クロック	高速(OSC3)発振クロックで動作	
外部バスの状態(0x48120〜0x4813F)	初期化	状態を保持
発振回路	高速(OSC3)および低速(OSC1)発振開始	
I/O端子の状態(0x402C0〜0x402DF)	初期化	状態を保持
他の周辺回路	初期化または不定	

コールドスタートはCPUおよび内蔵周辺回路をすべて初期化しますので、パワーオンリセットに有効です。
ホットスタートもCPUと内蔵周辺回路を初期化しますが、BCU(バスコントロールユニット)と入力、出力、入出力兼用ポートの制御およびデータレジスタは初期化しません。したがって、動作中に外部バスと入出力端子の状態を保持したままリセットを行いたい場合に有効です。

なお、リセット方法を指定する#NMI端子への信号入力は図3.1に示すタイミングで行ってください。

図3.1 #RESETと#NMIの端子設定

パワーオンリセット

電源投入時は、確実に動作を開始させるため、必ずイニシャルリセット(コールドスタート)を行ってください。
#RESET端子はゲート入力のため、外部にパワーオンリセット回路を構成することを推奨します。

イニシャルリセット(#RESET=L)により高速(OSC3)発振回路が発振を開始し、リセット信号の立ち上がりでCPUがOSC3クロックにより動作を開始します。高速(OSC3)発振回路は動作開始後に発振が安定するまである程度の時間(V_{DD}=3.3V、標準動作条件の発振安定時間: Max. 10ms)を要しますので、CPUを確実に起動させるには、この発振安定時間が経過後にイニシャルリセットを解除することが必要です。イニシャルリセットパルス幅は発振安定時間を越えるように決定してください。
図3.2にパワーオンリセット時のタイミングチャートを示します。

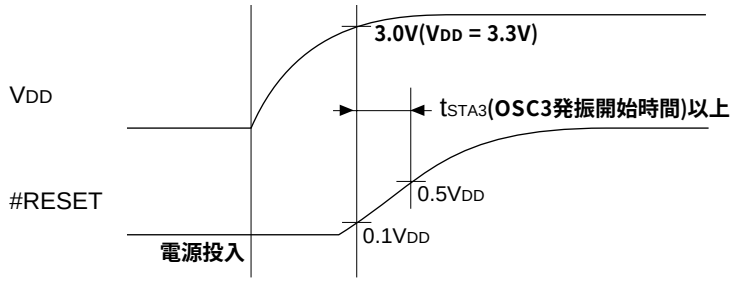


図3.2 パワーオンリセットタイミング

電源投入後、電源電圧が発振開始電圧(3.0V)以上になるまでは、#RESET端子を0.1•V_{DD}以下(Lowレベル)としてください。また、高速(OSC3)発振回路の発振が安定するまで、#RESET端子を0.5•V_{DD}以下のレベルとしておくことが必要です。

注: 高速(OSC3)発振回路の発振開始時間は使用する素子や基板パターンおよび動作環境により変化しますので、リセット解除時間には十分な余裕をとってください。

リセットパルス

S1C33チップが動作中は、#RESET端子にLowレベルのパルスを入力してイニシャルリセットを行うことが可能です。
ただし、"AC特性"に記載の最小リセットパルス幅以上のパルスを入力してください。

また、高速(OSC3)発振回路が停止中にリセットパルスを入力する場合は、パワーオンリセットと同様に発振安定時間以上#RESET端子をLowレベルに設定する必要があります。

ブートアドレス

コアCPUはイニシャルリセットによって、ブートアドレス(0x0C00000)からリセットベクタ(プログラム開始アドレス)を読み出し、PC(プログラムカウンタ)に設定します。#RESET端子がHighになると、そのアドレスからプログラムの実行を開始します。

割り込みなどのトラップベクタを書き込んでおくトラップテーブルも、デフォルトではこのブートアドレスから始まります("S1C33000コアCPUマニュアル"参照)。
トラップテーブルのベースアドレスはTTBRレジスタ(0x48134～0x48137)で、任意の1KB境界アドレスに変更することも可能です。

イニシャルリセット時の注意事項

コアCPU

イニシャルリセット時、PCとPSRを除き、コアCPUの内部レジスタは不定となります。したがって、プログラムによる初期化が必要です。特に、SP(スタックポインタ)はスタックのアクセス前に必ず初期化してください。なお、誤動作を防ぐため、イニシャルリセット後はSPにデータが書き込まれるまでNMI要求はハードウェアによってマスクされるようになっています。
コアCPU内部レジスタの初期化は、コールドスタート時に必要です。

内蔵RAM

内蔵RAMの内容はイニシャルリセットにより不定となります。必要に応じて初期化してください。

高速(OSC3)発振回路

イニシャルリセットにより高速(OSC3)発振回路が発振を開始し、リセットが解除されるとCPUはOSC3クロックによって動作を開始します。不安定なクロックによる誤動作を防止するため、パワーオンリセットや高速(OSC3)発振回路が停止中にリセットを行う場合は、発振が安定してからリセットを解除する必要があります。

低速(OSC1)発振回路

パワーオンリセットや低速(OSC1)発振回路が停止中にリセットを行うと、低速(OSC1)発振回路も発振を開始します。低速(OSC1)発振回路は高速(OSC3)発振回路に比べ、発振の安定に長い時間を要します(標準動作条件でMax. 3秒)。不安定なクロックによる誤動作を防止するため、OSC1クロックはこの安定時間が経過してから使用してください。

BCU(バスコントロールユニット)

コールドスタートはBCU(バスコントロールユニット)の制御レジスタを初期化します。したがって、すべてのバス条件を設定する必要があります。
ホットスタートでは、制御レジスタやバスはリセット前の状態を保持します。

入出力ポートと入出力端子

コールドスタートは入力ポート、入出力兼用ポートの制御レジスタおよびデータレジスタを初期化します。
ホットスタートでは制御レジスタや端子の状態はリセット前の状態を保持します。ただし、それらの端子を内蔵周辺回路用の入出力端子に設定している場合、周辺回路の制御レジスタはイニシャルリセットにより初期化あるいは不定となりますので、プログラムによる再設定が必要です。

その他の内蔵周辺回路

上記以外の周辺回路の制御およびデータレジスタは、リセット方法(コールドスタート、ホットスタート)にかかわらず、イニシャルリセットにより初期化あるいは不定となります。
プログラムにより必要な設定を行ってください。
イニシャルリセットによる周辺回路の初期設定内容については、各I/Oマップまたは回路説明を参照してください。

このページはブランクです。

II-4 BCU(バスコントロールユニット)

BCU(バスコントロールユニット)は、外部デバイスおよびチップに内蔵するユーザロジックブロックとのインタフェースを提供します。メモリマップのエリア別にメモリや周辺I/Oデバイスの種類やサイズが設定でき、BCUによって直接制御することが可能です。DRAMやバーストROMの直接インタフェースにも対応しています。ここでは、外部および内部システムインタフェースの制御方法やバスオペレーションについて説明します。

注: 以下に示す外部システムインタフェースの制御レジスタは16ビットの内蔵I/O領域に割り付けられています。したがって、制御レジスタのアドレスは、特に指定されたものを除きすべて16ビット単位のハーフワードアドレスで示されています。なお、特に指定のない制御レジスタはバイト単位、ハーフワード単位、ワード単位でアクセスできます。

外部システムインタフェース用の端子構成

入出力端子一覧

外部入出力端子

表4.1に外部システムインタフェースに使用する端子の一覧を示します。

表4.1 入出力端子一覧

端子名	I/O	機　能
A[0]/#BSL	O	アドレスバス(A0) / バスストローブ(Low-byte)
A[10:1]/SDA[9:0]	O	アドレスバス(A1–A10) / SDRAMアドレスバス(SDA0–SDA9)
A11	O	アドレスバス(A11)
A[13:12]/SDA[12:11]	O	アドレスバス(A12–A13) / SDRAMアドレスバス(SDA11–SDA12)
A[15:14]/SDBA[1:0]	O	アドレスバス(A14–A15) / SDRAMバンクセレクト(SDBA0–SDBA1)
A[23:16]	O	アドレスバス(A16–A23)
D[15:0]	I/O	データバス(D0–D15)
#CE10EX/#CE9&10EX	O	外部メモリ用エリア10/(9&10)チップイネーブル
#CE9/#CE17/#CE17&18	O	エリア9/17/(17&18)チップイネーブル
#CE8/#RAS1/#CE14/#RAS3/#SDCE1	O	エリア8/14チップイネーブル / DRAMローストローブ1/3 / SDRAMチップイネーブル1
#CE7/#RAS0/#CE13/#RAS2/#SDCE0	O	エリア7/13チップイネーブル / DRAMローストローブ0/2 / SDRAMチップイネーブル0
#CE6/#CE7&8	O	エリア6/(7&8)チップイネーブル
#CE5/#CE15/#CE15&16	O	エリア5/15/(15&16)チップイネーブル
#CE4/#CE11/#CE11&12	O	エリア4/11/(11&12)チップイネーブル
#RD	O	リード信号
#EMEMRD	O	エリア3/10エミュレーション用リード信号
#WRL/#WR/#WE	O	ライト(下位バイト) / ライト / DRAMライト
#WRH/#BSH	O	ライト(上位バイト) / バスストローブ(上位バイト)
#HCAS/#SDCAS	O	DRAMカラムアドレスストローブ(上位バイト) / SDRAMカラムアドレスストローブ
#LCAS/#SDRAS	O	DRAMカラムアドレスストローブ(下位バイト) / SDRAMローアドレスストローブ
BCLK/SDCLK	O	バスクロック / SDRAMクロック出力
P35/#BUSACK/GPIO1	I/O	入出力兼用ポート / バス要求応答 / LCDC汎用入出力ポート
P34/#BUSREQ/#CE6/GPIO0	I/O	入出力兼用ポート / バス解放要求 / エリア6チップイネーブル / LCDC汎用入出力ポート
P33/SDA10/#DMAACK1/SIN3	I/O	入出力兼用ポート / SDRAMアドレス10 / HSDMA Ch.1応答出力 / シリアルI/F Ch.3データ入力
P32/HDQM/#DMAACK0/#SRDY3	I/O	入出力兼用ポート / SDRAMデータ(上位バイト)入出力マスク信号出力 / HSDMA Ch.0応答出力 / シリアルI/F Ch.3レディ信号出力
P31/#BUSGET/#GARD/GPIO2	I/O	入出力兼用ポート / バス状態モニタ信号出力 / GA用エリアリード信号出力 / LCDC汎用入出力ポート
P30/#WAIT/#CE4&5	I/O	入出力兼用ポート / ウェイトサイクル要求 / エリア4&5チップイネーブル
P21/#DWE/#GAAS/#SDWE	I/O	入出力兼用ポート / DRAMライト(下位バイト) / GA用エリアアドレスストローブ出力 / SDRAMライト
P20/#DRD/SDCKE	I/O	入出力兼用ポート / DRAMリード / SDRAMクロックイネーブル
P15/LDQM/EXCL4/#DMAEND0/ #SCLK3	I/O	入出力兼用ポート / SDRAMデータ(下位バイト)入出力マスク信号出力 / 16ビットタイマ4イベントカウンタ入力 / HSDMA Ch.0転送終了信号出力 / シリアルI/F Ch.3クロック入出力
#X2SPD	I	CPU–バスクロック比設定入力 1: CPUクロック=バスクロック, 0: CPUクロック=バスクロック×2
EA10MD[1:0]	I	エリア10ブートモード選択入力 11: 外部ROM, 10: 内蔵ROM

ユーザインタフェース信号

表4.2 ユーザインタフェース信号一覧

信号名	I/O	機　能
Internal_addr0	O	• アドレスバス(a0)/SBUSST(D3/0x4812E) = "0"の場合 (デフォルト) • バスストローブ(下位バイト)信号(#BSL)/SBUSST(D3/0x4812E) = "1"の場合
Internal_addr[23:1]	O	アドレスバス(a1–a23)
Internal_dout[15:0]	O	出力データバス(dout0–dout15) このデータバスはCPUがユーザロジックに対しデータを書き込む際に使用します。
Internal_din[15:0]	I	入力データバス(din0–din15) このデータバスはCPUがユーザロジックからデータを読み出す際に使用します。
Internal_ce4_x Internal_ce5_x Internal_ce6_x	O	エリア6–4チップイネーブル信号 これらの信号は、CPUがエリア6–4に割り付けられたユーザロジック回路をアクセスする際にLowとなります。
Internal_rd_x	O	リード信号 この信号はCPUがユーザロジックからデータを読み出す際にLowとなります。
Internal_wrl_x	O	• ライト(下位バイト)信号(#WRL)/SBUSST(D3/0x4812E) = "0"の場合 (デフォルト) • ライト信号(#WR)/SBUSST(D3/0x4812E) = "1"の場合 この信号はCPUがユーザロジックに下位8ビットデータを書き込む際にLowとなります。
Internal_wrh_x	O	• ライト(上位バイト)信号 (#WRH)/SBUSST(D3/0x4812E) = "0"の場合 (デフォルト) • バスストローブ(上位バイト)信号(#BSH)/SBUSST(D3/0x4812E) = "1"の場合 この信号はCPUがユーザロジックに上位8ビットデータを書き込む際にLowとなります。
Internal_osc3_clk	O	高速(OSC3)発振クロック出力 ユーザロジックのソースクロックとして使用できます。
Internal_pll_clk	O	PLL出力クロック ユーザロジックのソースクロックとして使用できます。
Internal_wait_x	I	ウェイトサイクル要求入力 ユーザロジックは、この信号をLowにすることによりウェイトサイクルを要求することができます。
Internal_irrd_x	O	命令フェッチインジケータ信号 この信号は、CPUの命令をフェッチサイクルにLowとなります。
Internal_k60-k67	I	入力信号 これらの信号はK60–K67入力ポートに接続されています。この信号により、ユーザロジックはHSDMA、IDMA、割り込み要求が可能となります。また、ユーザロジックを入力ポートとして使用することができます。

内部バス信号は、BCUレジスタでエリアの内部アクセスを選択した場合にのみアクティブになります。バス条件は外部バスと同様に、BCUレジスタで設定できます。

システムバス制御信号の組み合わせ

複数の機能を持つバス制御信号端子については、プログラムによってインタフェース方式を選択した時点で決定します。BCUは通常の外部システムインタフェース(2種類のインタフェース方式に対応)とDRAMインタフェースを内蔵しています。

表4.3 インタフェース方式の選択

インタフェースの種類	インタフェース方式	制御ビット
外部システムインタフェース	A0方式(デフォルト)	SBUSST(バスコントロールレジスタ0x4812E•D3) = "0"
	#BSL方式	SBUSST(バスコントロールレジスタ0x4812E•D3) = "1"
DRAMインタフェース	2CAS方式(固定)	なし

SBUSSTは、コールドスタート時に"0"に初期化されます。
ホットスタート時はリセット前の状態を保持します。

インタフェース方式による制御信号の組み合わせを表4.4に示します。

表4.4 バス制御信号の組み合わせ

外部システムインタフェース		DRAMインタフェース
A0方式	#BSL方式	2CAS方式
A0	#BSL(リトルエンディアン)/ #BSH(ビッグエンディアン) *1	–
#WRL	#WR	#WE
#WRH	#BSH(リトルエンディアン)/ #BSL(ビッグエンディアン) *1	–
–	–	#HCAS
–	–	#LCAS
#CEx	#CEx	#RASx *2

∗1 #BSL方式の場合、リトルエンディアンとビッグエンディアンの選択により、A0端子と#WRH端子の機能が変わります。

∗2 DRAMを使用する場合、エリア7～8(またはエリア13～14)の#CE出力端子が#RAS1～2(#RAS3～4)端子として機能します。

メモリエリア

メモリマップ

図4.1にBCUがサポートしているメモリマップを示します。

エリア	アドレス	
エリア9 SRAMタイプ バーストROMタイプ 8 or 16ビット	0x0BFFFFF 0x0800000	外部メモリ(4MB)
エリア8 SRAMタイプ DRAMタイプ 8 or 16ビット	0x07FFFFF 0x0600000	外部メモリ(2MB)
エリア7 SRAMタイプ DRAMタイプ 8 or 16ビット	0x05FFFFF 0x0400000	外部メモリ(2MB)
エリア6 SRAMタイプ	0x03FFFFF 0x0380000 0x037FFFF 0x0300000	外部I/O (16ビットデバイス) 外部I/O (8ビットデバイス)
エリア5 SRAMタイプ 8 or 16ビット	0x02FFFFF 0x0200000	外部メモリ(1MB)
エリア4 SRAMタイプ 8 or 16ビット	0x01FFFFF 0x0100000	外部メモリ(1MB)
エリア3 16ビット 1サイクル固定	0x00FFFFF 0x0080000	(Reserved) ミドルウェア用
エリア2 16ビット 3サイクル固定	0x007FFFF 0x0060000	(Reserved) CPUコア/デバッグモード用
エリア1 8, 16ビット 2 or 4サイクル	0x005FFFF 0x0050000 0x004FFFF 0x0040000 0x003FFFF 0x0030000	(内蔵I/Oメモリのミラー) 内蔵I/Oメモリ (内蔵I/Oメモリのミラー)
エリア0 32ビット 1サイクル固定	0x002FFFF 0x0000000	内蔵RAM

エリア	アドレス	
エリア18 SRAMタイプ 8 or 16ビット	0xFFFFFFF 0xD000000 0xCFFFFFF 0xC000000	外部メモリ(16MB)
エリア17 SRAMタイプ 8 or 16ビット	0xBFFFFFF 0x9000000 0x8FFFFFF 0x8000000	外部メモリ(16MB)
エリア16 SRAMタイプ 8 or 16ビット	0x7FFFFFF 0x7000000 0x6FFFFFF 0x6000000	外部メモリ(16MB)
エリア15 SRAMタイプ 8 or 16ビット	0x5FFFFFF 0x5000000 0x4FFFFFF 0x4000000	外部メモリ(16MB)
エリア14 SRAMタイプ DRAMタイプ 8 or 16ビット	0x3FFFFFF 0x3000000	外部メモリ(16MB)
エリア13 SRAMタイプ DRAMタイプ 8 or 16ビット	0x2FFFFFF 0x2000000	外部メモリ(16MB)
エリア12 SRAMタイプ 8 or 16ビット	0x1FFFFFF 0x1800000	外部メモリ(8MB)
エリア11 SRAMタイプ 8 or 16ビット	0x17FFFFF 0x1000000	外部メモリ(8MB)
エリア10 SRAMタイプ バーストROMタイプ 8 or 16ビット	0x0FFFFFF 0x0C00000	外部メモリ(4MB)

図4.1 **メモリマップ**

基本的には、エリア0～3が内部メモリ領域、エリア4～18が外部メモリ領域です。
エリア0は通常内蔵RAM領域として使用します。メモリはエリア0の先頭から配置します。
エリア1はチップに内蔵する機能ブロックのI/Oメモリ領域として予約されています。アドレス0x0040000～0x004FFFFが制御レジスタ等に使用され、アドレス0x0050000～0x005FFFFはそのミラーとなります。
エリア2はデバッグモード専用の領域です。ユーザモード(通常のプログラム実行状態)からはアクセスすることができません。
エリア3はS1C33ミドルウェア用の領域として予約されています。
エリア4～18は制御レジスタにより内部メモリ領域に切り換え、ユーザロジック用に使用することもできます。

注: **エリア6の**0x39FFC0～0x39FFCD**は、**SDRAM**コントローラの制御**I/O**メモリ用内部メモリ領域として予約されています。**SDRAM**のセルフリフレッシュの制御時などはこの内部メモリにアクセスする必要がありますので、注意して使用してください。**

外部メモリマップとチップイネーブル

BCUは24ビットの外部アドレスバス(A[23:0])と16ビットの外部データバス(D[15:0])を持ち、16Mバイトのアドレス空間をアクセスできるようになっています。アドレス空間はデフォルトで11個のエリア(エリア0～エリア10)に分割して管理されます。この中のエリア4～エリア10が外部システムに開放され、個々にチップイネーブル端子(#CE[10:4])も設けられています。
C33コアブロックではアドレスバス端子が24本、#CE出力端子が7本に制限されていますが、#CE[4:10]出力端子はソフトウェアで表4.5に示す上位エリア用のチップイネーブル出力端子に切り換えられるようになっています。この切り換えはDRAMタイミング設定レジスタ(0x48130)のCEFUNC[1:0](D[A:9])で行います。

表4.5 #CE出力の切り換え

端子	CEFUNC = "00"	CEFUNC = "01"	CEFUNC = "1x"
#CE4	#CE4	#CE11	#CE11+#CE12
#CE5	#CE5	#CE15	#CE15+#CE16
#CE6	#CE6	#CE6	#CE7+#CE8
#CE7/#RAS0	#CE7/#RAS0	#CE13/#RAS2	#CE13/#RAS2
#CE8/#RAS1	#CE8/#RAS1	#CE14/#RAS3	#CE14/#RAS3
#CE9	#CE9	#CE17	#CE17+#CE18
#CE10EX	#CE10EX	#CE10EX	#CE9+#CE10EX

(**デフォルト**: CEFUNC = "00")

CEFUNCに"01"を書き込むことで使用可能となる上位のエリアは、デフォルトの下位エリアに比べエリアサイズを大きく取ることができます。たとえば、デフォルト設定でDRAMを使用する場合、エリア7と8で4Mバイトまでとなりますが、エリア13と14を使用すると最大32MバイトのDRAMが使用可能となります。他のエリアも同様です。また、CEFUNCを"10"または"11"に設定すると、5本のチップイネーブル信号が、それぞれ2エリアに対応するように拡張されます。
アドレス出力端子は24本ですが、チップ内部のアドレス処理は28ビットで行われます。
図4.2に外部システム用のメモリマップを示します。

エリア	アドレス	
エリア10(#CE10) SRAMタイプ バーストROMタイプ 8 or 16ビット	0x0FFFFFF 0x0C00000	外部メモリ6(4MB)
エリア9(#CE9) SRAMタイプ バーストROMタイプ 8 or 16ビット	0x0BFFFFF 0x0800000	外部メモリ5(4MB)
エリア8(#CE8/#RAS1) SRAMタイプ DRAMタイプ 8 or 16ビット	0x07FFFFF 0x0600000	外部メモリ4(2MB)
エリア7(#CE7/#RAS0) SRAMタイプ DRAMタイプ 8 or 16ビット	0x05FFFFF 0x0400000	外部メモリ3(2MB)
エリア6(#CE6) SRAMタイプ	0x03FFFFF 0x0380000 0x037FFFF 0x0300000	外部I/O (16ビットデバイス) 外部I/O (8ビットデバイス)
エリア5(#CE5) SRAMタイプ 8 or 16ビット	0x02FFFFF 0x0200000	外部メモリ2(1MB)
エリア4(#CE4) SRAMタイプ 8 or 16ビット	0x01FFFFF 0x0100000	外部メモリ1(1MB)

CEFUNC = "00"

エリア	アドレス	
エリア17(#CE17) SRAMタイプ 8 or 16ビット	0xBFFFFFF 0x9000000 0x8FFFFFF 0x8000000	(外部メモリ6のミラー) 外部メモリ6(16MB)
エリア15(#CE15) SRAMタイプ 8 or 16ビット	0x5FFFFFF 0x5000000 0x4FFFFFF 0x4000000	(外部メモリ5のミラー) 外部メモリ5(16MB)
エリア14(#CE14/#RAS3) SRAMタイプ DRAMタイプ 8 or 16ビット	0x3FFFFFF 0x3000000	外部メモリ4(16MB)
エリア13(#CE13/#RAS2) SRAMタイプ DRAMタイプ 8 or 16ビット	0x2FFFFFF 0x2000000	外部メモリ3(16MB)
エリア11(#CE11) SRAMタイプ 8 or 16ビット	0x17FFFFF 0x1000000	外部メモリ2(8MB)
エリア10(#CE10) SRAMタイプ バーストROMタイプ 8 or 16ビット	0x0FFFFFF 0x0C00000	外部メモリ1(4MB)
エリア6(#CE6) SRAMタイプ	0x03FFFFF 0x0380000 0x037FFFF 0x0300000	外部I/O (16ビットデバイス) 外部I/O (8ビットデバイス)

CEFUNC = "01"

エリア	アドレス	
エリア17–18(#CE17+18) SRAM タイプ 8 or 16 ビット	0xFFFFFFF 0xD000000	(外部メモリ7'のミラー)
	0xCFFFFFF 0xC000000	外部メモリ7'(16MB)
	0xBFFFFFF 0x9000000	(外部メモリ7のミラー)
	0x8FFFFFF 0x8000000	外部メモリ7(16MB)
エリア15–16(#CE15+16) SRAMタイプ 8 or 16ビット	0x7FFFFFF 0x7000000	(外部メモリ6'のミラー)
	0x6FFFFFF 0x6000000	外部メモリ6'(16MB)
	0x5FFFFFF 0x5000000	(外部メモリ6のミラー)
	0x4FFFFFF 0x4000000	外部メモリ6(16MB)
エリア14(#CE14/#RAS3) SRAMタイプ DRAMタイプ 8 or 16ビット	0x3FFFFFF 0x3000000	外部メモリ5(16MB)
エリア13(#CE13/#RAS2) SRAMタイプ DRAMタイプ 8 or 16ビット	0x2FFFFFF 0x2000000	外部メモリ4(16MB)
エリア11–12(#CE11+12) SRAMタイプ 8 or 16 ビット	0x1FFFFFF 0x1000000	外部メモリ3(16MB)
エリア9–10(#CE9+10EX) SRAMタイプ バーストROMタイプ 8 or 16ビット	0x0FFFFFF 0x0800000	外部メモリ2(8MB)
エリア7–8(#CE7+8) SRAM タイプ 8 or 16ビット	0x07FFFFF 0x0400000	外部メモリ1(4MB)

CEFUNC = "10"または"11"

図4.2 **外部システムメモリマップ**

また、#CE4+#CE5および#CE6信号は、それぞれP30、P34端子から出力させることができます。これにより、CEFUNCを"01"、"10"、"11"に設定した場合にアクセス可能なエリアを拡大することができます。
#CE4+#CE5信号をP30端子から出力する場合:

CFP30 (P3機能選択レジスタ0x402DC•D0) = "1"
IOC30 (P3 I/O制御レジスタ0x402DE•D0) = "1"

#CE6信号をP34端子から出力する場合:

CFP34 (P3機能選択レジスタ0x402DC•D4) = "1"
IOC34 (P3 I/O制御レジスタ0x402DE•D4) = "1"

イニシャルリセット時、P30とP34端子は汎用入出力兼用ポート端子に設定されます。
なお、P30は#WAIT入力、P34は#BUSREQ入力とも共用されていますので、これらの信号を使用する場合は#CE4+#CE5、#CE6信号を出力させることはできません。

外部メモリ領域内での内蔵メモリの使用

本BCUでは、外部メモリ領域にも内蔵メモリが使用できます。
外部アクセスと内部アクセスの選択は、アクセス制御レジスタ(0x48132)のAxxIOビットで行います。
このビットに"1"を書き込むと内蔵デバイスがアクセスされ、"0"を書き込むと外部デバイスがアクセスされます。ビットは以下のように各エリアに対応しています。

A18IO (DF): エリア17, 18
A16IO (DE): エリア15, 16
A14IO (DD): エリア13, 14
A12IO (DC): エリア11, 12
A8IO (DA): エリア7, 8
A6IO (D9): エリア6
A5IO (D8): エリア4, 5

エリア専用信号

各エリアは、外部メモリインタフェースの共通制御信号以外に、エリア専用信号(アドレスストローブ#GAASおよびリード信号#GARD)でアクセス可能です。
この専用信号を使用するには、G/Aリード信号制御レジスタ(0x48138)で設定しておきます。
アドレスストローブ信号はAxxASビットで、リード信号はAxxRDビットで、エリアに対する出力を許可/禁止します。これらのビットに"1"を書き込むと対応するエリアの専用信号出力が許可され、"0"を書き込むと禁止されます(デフォルトは禁止)。ビットは以下のように各エリアに対応しています。

A18AS (DF), A18RD (D7): エリア17, 18
A16AS (DE), A16RD (D6): エリア15, 16
A14AS (DD), A14RD (D5): エリア13, 14
A12AS (DC), A12RD (D4): エリア11, 12
A8AS (DA), A8RD (D2): エリア7, 8
A6AS (D9), A6RD (D1): エリア6
A5AS (D8), A5RD (D0): エリア4, 5

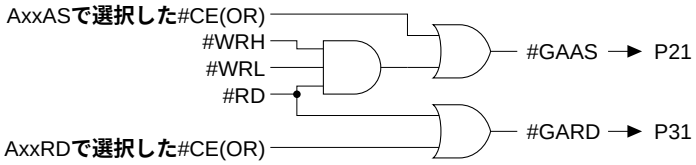


図4.3 #GAAS、#GARD信号

アドレスストローブ信号とリード信号は、それぞれP21端子、P31端子から出力されます。したがって、これらの信号を使用するには、ポート機能拡張レジスタで各端子を専用信号出力に設定しておく必要があります。

アドレスストローブ信号#GAASを出力する場合:
CFEX2 (ポート機能拡張レジスタ0x402DF•D2) = "1"

リード信号#GARDを出力する場合:
CFEX3 (ポート機能拡張レジスタ0x402DF•D3) = "1"

これらの信号は前記のすべてのエリアに共通して使用されます。2つ以上のエリアを選択した場合、各エリアに対する信号が論理和されて出力されます。

エリア10

エリア10はブートアドレス(0xC00000)を含む外部メモリ領域です。このエリアは2つのブートモードをサポートします。

（注） 内蔵ROMはS1C33L03にはありません。

■ エリア10ブートモード

ブートモードはEA10MD[1:0]端子で設定します。

表4.6 エリア10ブートモードの選択

EA10MD[1:0]端子	エリア10ブートモード
10	内蔵ROMブートモード
11	外部ROMブートモード

内蔵ROMブートモード

CPUはエリア10に割り付けられている内蔵ROMからブートします。内蔵ROMサイズはA10IR[2:0] (エリア10–9設定レジスタ0x48126•D[E:C])で8種類(16KB～2MB)から選択できます。
このROMはアドレス0xC00000から始まり、エリア3の内蔵ROMと同様に1サイクルでの読み出しが行えます。このROMサイズを除いたエリア10の残りの領域は、外部メモリへのアクセスとなります。

外部ROMブートモード

CPUは外部メモリ (ROM, Flash, SRAM等)からブートします。外部メモリは、エリア10用のBCUレジスタの設定条件に従ってアクセスされます。

■ 内蔵ROMサイズの設定

外部ROMブートモード以外のブートモードを使用する場合は、A10IR[2:0] (エリア10–9設定レジスタ0x48126•D[E:C])で内蔵ROMまたはエミュレーションメモリのサイズを指定します。

表4.7 エリア10内蔵ROMサイズ

A10IR2	A10IR1	A10IR0	ROMサイズ
0	0	0	16KB
0	0	1	32KB
0	1	0	64KB
0	1	1	128KB
1	0	0	256KB
1	0	1	512KB
1	1	0	1MB
1	1	1	2MB(デフォルト)

■ エリア10メモリマップ

図4.4にエリア10のメモリマップを示します。

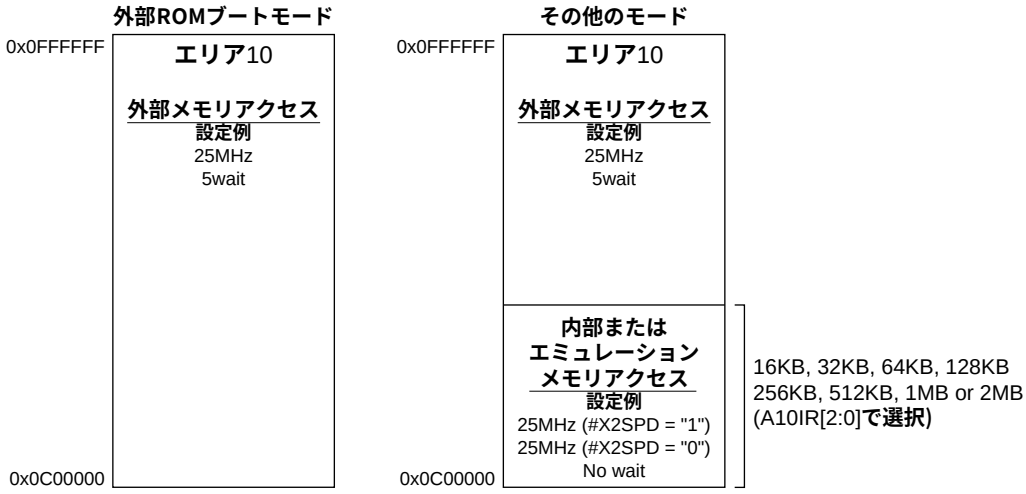


図4.4 エリア10メモリマップ

エリア3

エリア3はS1C33ミドルウェア用に予約されており、使用する場合は、外部エミュレーションメモリを使用します。

外部エミュレーションメモリを使用する場合は、A3EEN(DB/0x48130) = "1"にする必要があります。

表4.8 エリア3モード選択

A3EEN	エリア3モード
0	エミュレーションモード
1	未使用

外部バス条件の設定

外部バスに接続するデバイスの種類、サイズ、ウェイトなどの条件が、制御レジスタ(0x48120～0x48130)によってエリアごとに設定できるようになっています。以下、設定可能な条件を個別に説明します。
DRAMインタフェースの条件設定については、"DRAMダイレクトインタフェース"を参照してください。

バス条件を設定する制御レジスタは、コールドスタート時に初期化されます。外部デバイスの構成や仕様に合わせ、必要に応じてソフトウェアで設定し直してください。
ホットスタート時は設定した内容および端子はリセット前の状態を保持します。

デバイスタイプとデバイスサイズの設定

表4.9に各エリアに直結可能なデバイスの種類を示します。

表4.9 **デバイスタイプ**

エリア	SRAMタイプ	DRAMタイプ	バーストROMタイプ	制御ビット
18–15	○	×	×	なし
14	○	○	×	A14DRA(エリア14–13設定レジスタ0x48122•D8)
13	○	○	×	A13DRA(エリア14–13設定レジスタ0x48122•D7)
12, 11	○	×	×	なし
10	○	×	○	A10DRA(エリア10–9設定レジスタ0x48126•D8)
9	○	×	○	A9DRA(エリア10–9設定レジスタ0x48126•D7)
8	○	○	×	A8DRA(エリア8–7設定レジスタ0x48128•D8)
7	○	○	×	A7DRA(エリア8–7設定レジスタ0x48128•D7)
6–4	○	×	×	なし

○: **接続可能** ×: **接続不可**

バーストROMまたはDRAMを接続する場合は対応する制御ビットに"1"を書き込んでください。これらの制御ビットはコールドスタート時に"0"(SRAMタイプ)に設定されます。

デバイスサイズはエリア6を除き、2エリア単位に8ビットまたは16ビットサイズに設定できます。
エリア6のみは、エリアの前半(0x300000～0x37FFFF)が8ビットデバイス用、後半(0x380000～0x3FFFFF)が16ビットデバイス用に固定されています。

表4.10 **デバイスサイズ制御ビット**

エリア	制御ビット
18, 17	A18SZ(エリア18–15設定レジスタ0x48120•DE)
16, 15	A16SZ(エリア18–15設定レジスタ0x48120•D6)
14, 13	A14SZ(エリア14–13設定レジスタ0x48122•D6)
12, 11	A12SZ(エリア12–11設定レジスタ0x48124•D6)
10, 9	A10SZ(エリア10–9設定レジスタ0x48126•D6)
8, 7	A8SZ(エリア8–7設定レジスタ0x48128•D6)
5, 4	A5SZ(エリア6–4設定レジスタ0x4812A•D6)

コールドスタート時は、各エリアとも16ビットに設定されます。
8ビットデバイスを使用する場合は制御ビットに"1"を書き込んでください。

注: **BCUは16ビットのバーストROMをサポートしています。したがって、エリア10またはエリア9にバーストROMを接続する場合は、デバイスサイズを8ビット**(A10SZ = "1")**には設定しないでください。**

デバイスサイズおよびアクセスデータサイズによるバスオペレーションの違いについては、"外部メモリのバスオペレーション"を参照してください。

SRAMタイプのタイミング条件設定

SRAMタイプに設定したエリアは、ウェイトサイクルと出力ディセーブル遅延時間が設定可能です。

ウェイトサイクル数: 0～7サイクル(1サイクル単位)
出力ディセーブル遅延時間: 0.5, 1.5, 2.5, 3.5サイクル

この選択は、エリア6を除き2エリア単位に行えます。

表4.11 **タイミング条件設定ビット**(SRAM**タイプ**)

エリア	ウェイトサイクル数	出力ディセーブル遅延時間	制御レジスタ
18, 17	A18WT[2:0](D[A:8])	A18DF[1:0](D[D:C])	**エリア**18–15**設定レジスタ**(0x48120)
16, 15	A16WT[2:0](D[2:0])	A16DF[1:0](D[5:4])	**エリア**18–15**設定レジスタ**(0x48120)
14, 13	A14WT[2:0](D[2:0])	A14DF[1:0](D[5:4])	**エリア**14–13**設定レジスタ**(0x48122)
12, 11	A12WT[2:0](D[2:0])	A12DF[1:0](D[5:4])	**エリア**12–11**設定レジスタ**(0x48124)
10, 9	A10WT[2:0](D[2:0])	A10DF[1:0](D[5:4])	**エリア**10–9**設定レジスタ**(0x48126)
8, 7	A8WT[2:0](D[2:0])	A8DF[1:0](D[5:4])	**エリア**8–7**設定レジスタ**(0x48128)
6	A6WT[2:0](D[A:8])	A6DF[1:0](D[D:C])	**エリア**6–4**設定レジスタ**(0x4812A)
5, 4	A5WT[2:0](D[2:0])	A5DF[1:0](D[5:4])	**エリア**6–4**設定レジスタ**(0x4812A)

コールドスタート時、ウェイトサイクル数は7サイクルに、出力ディセーブル遅延時間は3.5サイクルに設定されます。接続するデバイスの仕様に合わせ、必要に応じてソフトウェアで設定し直してください。ホットスタート時はリセット前の設定を保持します。

■ ウェイトサイクル

各制御ビットでウェイト数を設定すると、BCUはそのエリアへのアクセス時に、設定したウェイトサイクル分バスサイクルを延長します。バスクロック周波数と外部デバイスのアクセス時間に従って設定してください。ここで設定するウェイトサイクルとは別に、#WAIT端子によっても外部からのウェイト要求を受け付けます。ソフトウェアによるウェイトサイクル数の設定は2エリアごとのため、エリア個々にウェイトサイクル数を制御したい場合や、7サイクル以上のウェイトサイクルが必要な場合は、外部ウェイト要求で対応してください。#WAIT端子はP30入出力兼用ポート端子と兼用されています。外部ウェイト要求を受け付けるためには、P3機能選択レジスタ(0x402DC)のCFP30(D0)とバスコントロールレジスタ(0x4812E)のSWAITE(D0)に"1"を書き込み(デフォルトは"0")、#WAIT端子をイネーブルに設定しておくことが必要です。
バスサイクルおよびウェイトサイクル挿入時のタイミングチャートについては"外部システムインタフェースのバスサイクル"を参照してください。

ウェイトサイクル数が0に設定され、外部ウェイト要求もない場合、SRAMタイプの外部デバイスに対する基本リードサイクル(バイト/ハーフワードリード)は1サイクルです。ウェイトサイクル数を設定するとそのサイクル数が加算されますので、バスリードサイクル数は[ウェイトサイクル数+1]となります(外部ウェイトがない場合)。
一方、基本ライトサイクルは最小が2サイクルで、ウェイトサイクルを0または1サイクルに設定しても変わりません。ウェイトサイクル数を2サイクル以上に設定すると、バスサイクルが実際に延長されます。その場合のバスライトサイクル数はリードサイクル時と同様、[ウェイトサイクル数+1]となります(外部ウェイトがない場合)。

■ 出力ディセーブル遅延時間

出力ディセーブル時間の長いデバイスを接続した場合、そのデバイスに対するリードサイクルに続けて次のアクセスを開始すると、データバス上で競合が起こる場合があります(リードデバイスがデータバスをハイインピーダンスにしていないため)。出力ディセーブル遅延時間はこのデータバスの競合を防止するための設定で、リードサイクルと次のバスオペレーションの間に指定したサイクル数が挿入されます。ただし、#CEx信号については、連続して異なるエリアがアサートされるケースがありますので注意してください。間が空くのは、#RDや#WRL/#WRHなど、コマンド信号の間です。
サイクル数については接続するデバイスの仕様を確認して設定してください。
この出力ディセーブル遅延時間の挿入は、以下の場合にのみ発生するようになっています。

- 出力ディセーブル遅延時間が設定された外部デバイスからのリードサイクルの後、次がCPUによるライトサイクルの場合
- 出力ディセーブル遅延時間が設定された外部デバイスからのリードサイクルの後、次が異なるエリア(内部デバイスも含む)からのリードサイクルの場合

逆に、以下の条件では出力ディセーブル遅延時間は挿入されません。

- ライトサイクル直後
- 同じ外部デバイスからの連続リード時

バーストROMタイプのタイミング条件設定

■ ウェイトサイクル

エリア10またはエリア9にバーストROMを選択した場合、バーストリードサイクルに挿入するウェイトサイクル数を0～3サイクルの範囲で選択することができます。選択はエリア10–9設定レジスタ(0x48126)のA10BW[1:0](D[A:9])で行います。この選択はエリア10と9に同時に適用され、エリアごとに個別に設定することはできません。コールドスタート時は0サイクルに設定されます。

バーストリードの場合でも、最初のバスオペレーションにはSRAMタイプのウェイトサイクル数の設定が有効です。(前節のA10WT[2:0]を参照)
A10BW[1:0]で設定するウェイトサイクルは、それ以降のバーストサイクルに挿入されます。

また、バーストROMを選択した場合のリードサイクルには、#WAIT端子によるウェイトサイクルは挿入できません。
バーストROMが選択された状態でそのエリアに書き込みを行った場合、SRAMタイプのライトサイクルが実行されます。その場合は、SRAMタイプのウェイトサイクル数の設定と#WAIT端子の入力が共に有効となります。

■ バーストモード

バーストモードとして8連続バーストモードまたは4連続バーストモードが選択可能です。この選択はバスコントロールレジスタ(0x4812E)のRBST8(DD)で行います。RBST8に"1"を書き込むと8連続バーストモード、"0"を書き込むと4連続バーストモードに設定されます。コールドスタート時は4連続バーストに設定されます。

バスオペレーション

メモリ上のデータ配置

S1C33 Familyのデバイスは、バイト(8ビット)、ハーフワード(16ビット)、ワード(32ビット)のデータを扱います。メモリ上のデータをアクセスする場合は、データサイズに従った境界アドレスを指定することが必要で、それ以外のアドレスを指定すると、アドレス不整例外が発生します。SP(スタックポインタ)やPC(プログラムカウンタ)の内容を書き換える命令は(スタック操作や分岐命令など)、指定アドレスが強制的に境界アドレスに変更されるため、アドレス不整例外は発生しません。アドレス不整例外の詳細については、"S1C33000コアCPUマニュアル"を参照してください。
表4.12にデータタイプによるメモリ上の配置位置を示します。

表4.12 メモリ上のデータ配置

データタイプ	配置位置
バイト	バイト境界(全アドレス)
ハーフワード	ハーフワード境界(A[0]="0")
ワード	ワード境界(A[1:0]="00")

メモリ上のハーフワードデータ、ワードデータは、デフォルトではリトルエンディアン形式でアクセスされます。アクセス制御レジスタ(0x48132)のAxxEC(D[7:0])ビットに"1"を書き込むことにより、エリアごとにビッグエンディアン形式に変更することもできます。以下にビットとエリアの対応を示します。

A18EC (D7): エリア17, 18
A16EC (D6): エリア15, 16
A14EC (D5): エリア13, 14
A12EC (D4): エリア11, 12
A10EC (D3): エリア9, 10 ... ブートエリアのため、"0" (リトルエンディアン)に固定
A8EC (D2): エリア7, 8
A6EC (D1): エリア6
A5EC (D0): エリア4, 5

メモリ効率を上げるには、同種のデータを連続的に配置し、境界アドレスへの配置によってできる空白領域を極力減らしてください。

外部メモリのバスオペレーション

外部データバスは16ビットサイズです。このため、デバイスサイズと実行する命令のデータサイズによっては、表4.13に示すとおり、複数回のバスオペレーションが発生します。

表4.13 バスオペレーションの実行回数

アクセスデータサイズ	デバイスサイズ	バスオペレーション回数	備考
32ビット	16ビット	2回	
16ビット	16ビット	1回	
8ビット	16ビット	1回	リトルエンディアン方式: アドレスの最下位ビット(A[0])が"0"のとき、または#BSLがLのときは下位バイトをアクセス、A[0]が"1"のとき、または#BSHがLのときは上位バイトをアクセス ビッグエンディアン方式: アドレスの最下位ビット(A[0])が"0"のとき、または#BSLがLのときは上位バイトをアクセス、A[0]が"1"のとき、または#BSHがLのときは下位バイトをアクセス
32ビット	8ビット	4回	リトルエンディアン方式: 8ビットデバイスはデータバスのLSB側8ビットに接続 ビッグエンディアン方式: 8ビットデバイスはデータバスのMSB側8ビットに接続
16ビット	8ビット	2回	リトルエンディアン方式: 8ビットデバイスはデータバスのLSB側8ビットに接続 ビッグエンディアン方式: 8ビットデバイスはデータバスのMSB側8ビットに接続
8ビット	8ビット	1回	リトルエンディアン方式: 8ビットデバイスはデータバスのLSB側8ビットに接続 ビッグエンディアン方式: 8ビットデバイスはデータバスのMSB側8ビットに接続

以下、これらのバスオペレーションをA0方式の場合を例に図で示します。

BSL方式の場合は、次のように見てください。
(1) データ読み込みの場合は下記の図と共通です。
(2) データ書き込みでリトルエンディアンのときは、A0を#BSCに、#WRHを#BSHと置き換えて見てください。
(3) データ書き込みでビッグエンディアンのときは、A0を#BSLに、#WRLを#BSHと置き換えて見てください。
また、メモリの接続は、図4.18を参照してください。

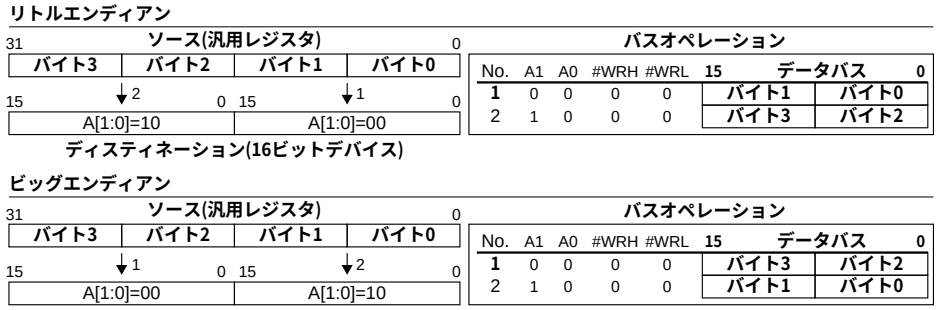


図4.5 16**ビットデバイスへのワードデータ書き込み**

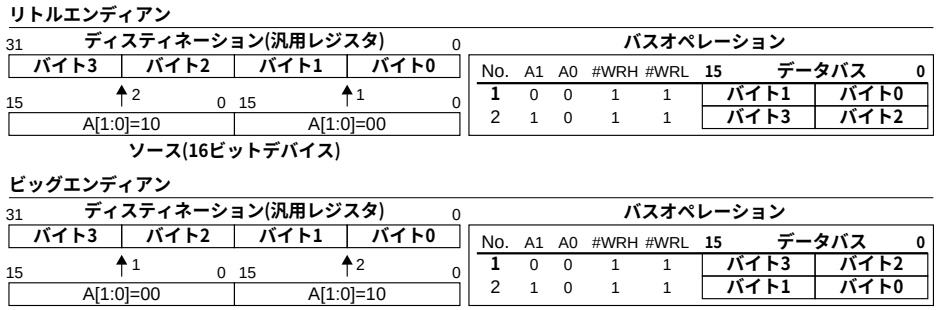


図4.6 16**ビットデバイスからのワードデータ読み込み**

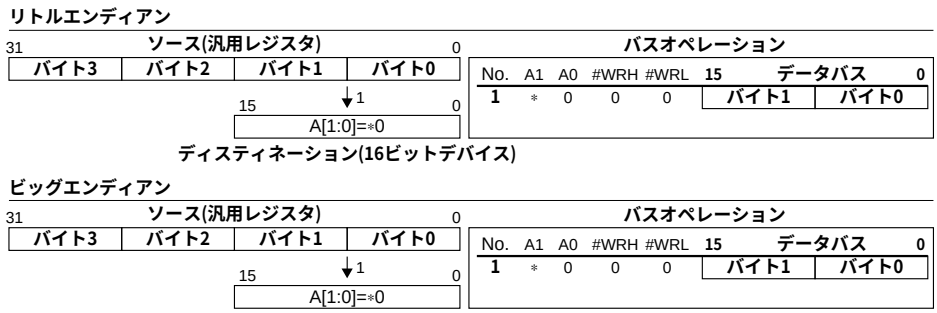


図4.7 16**ビットデバイスへのハーフワードデータ書き込み**

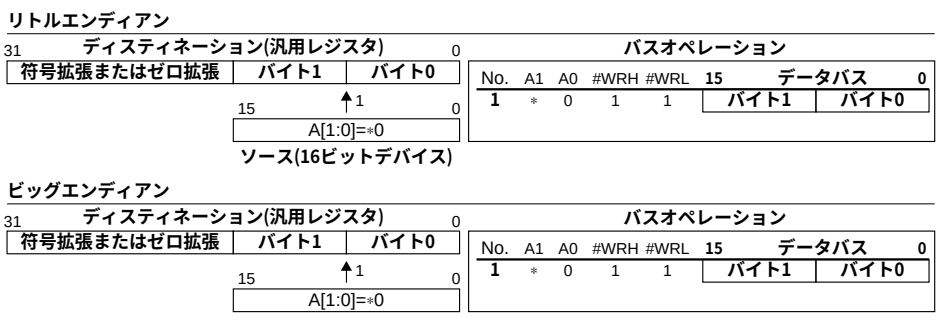
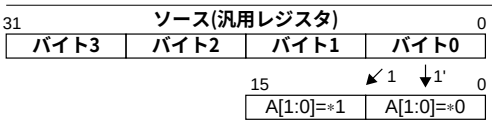


図4.8 16**ビットデバイスからのハーフワードデータ読み込み**

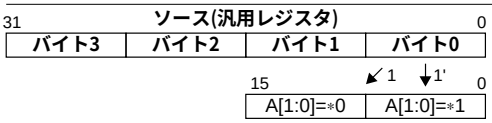
リトルエンディアン



バスオペレーション

No.	A1	A0	#WRH	#WRL	15 データバス 0	
1	*	1	0	1	バイト0	データ保持
1'	*	0	1	0	データ保持	バイト0

ビッグエンディアン

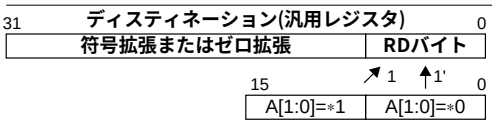


バスオペレーション

No.	A1	A0	#WRH	#WRL	15 データバス 0	
1	*	0	0	1	バイト0	データ保持
1'	*	1	1	0	データ保持	バイト0

図4.9 16**ビットデバイスへのバイトデータ書き込み**

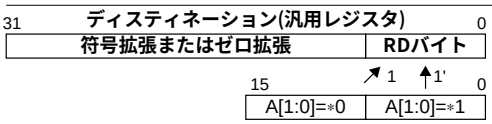
リトルエンディアン



バスオペレーション

No.	A1	A0	#WRH	#WRL	15 データバス 0	
1	*	1	1	1	RDバイト	無視
1'	*	0	1	1	無視	RDバイト

ビッグエンディアン



バスオペレーション

No.	A1	A0	#WRH	#WRL	15 データバス 0	
1	*	0	1	1	RDバイト	無視
1'	*	1	1	1	無視	RDバイト

図4.10 16**ビットデバイスからのバイトデータ読み込み**

リトルエンディアン

バスオペレーション

No.	A1	A0	#WRH	#WRL	15 データバス 0	
1	0	0	X	0	データ保持	バイト0
2	0	1	X	0	データ保持	バイト1
3	1	0	X	0	データ保持	バイト2
4	1	1	X	0	データ保持	バイト3

(X: 未接続/未使用)

ビッグエンディアン

バスオペレーション

No.	A1	A0	#WRH	#WRL	15 データバス 0	
1	0	0	0	1	バイト3	データ保持
2	0	1	0	1	バイト2	データ保持
3	1	0	0	1	バイト1	データ保持
4	1	1	0	1	バイト0	データ保持

図4.11 8**ビットデバイスへのワードデータ書き込み**

リトルエンディアン

バスオペレーション

No.	A1	A0	#WRH	#WRL	15 データバス 0	
1	0	0	X	1	無視	バイト0
2	0	1	X	1	無視	バイト1
3	1	0	X	1	無視	バイト2
4	1	1	X	1	無視	バイト3

(X: 未接続/未使用)

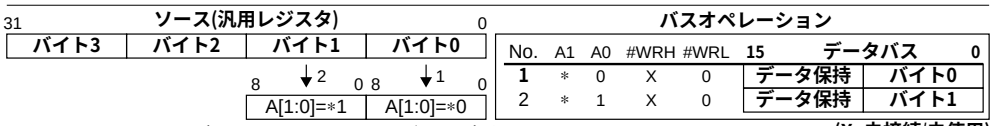
ビッグエンディアン

バスオペレーション

No.	A1	A0	#WRH	#WRL	15 データバス 0	
1	0	0	1	1	バイト3	無視
2	0	1	1	1	バイト2	無視
3	1	0	1	1	バイト1	無視
4	1	1	1	1	バイト0	無視

図4.12 8**ビットデバイスからのワードデータ読み込み**

リトルエンディアン



ビッグエンディアン

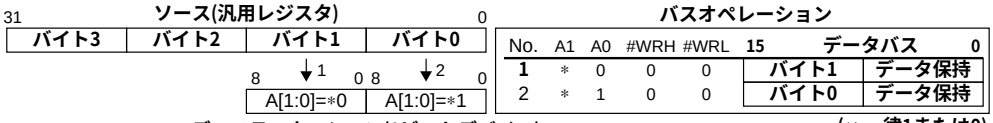
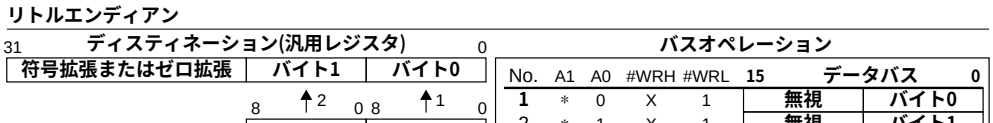


図4.13 **8ビットデバイスへのハーフワードデータ書き込み**

リトルエンディアン



ビッグエンディアン

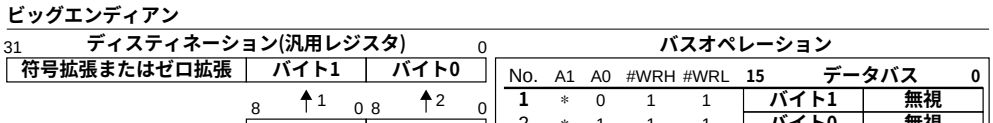
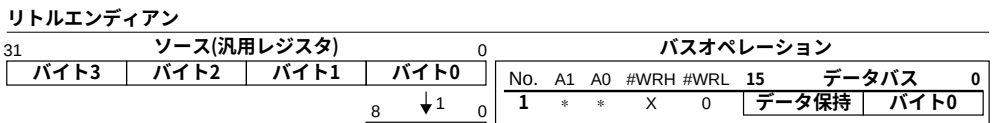


図4.14 **8ビットデバイスからのハーフワードデータ読み込み**

リトルエンディアン



ビッグエンディアン

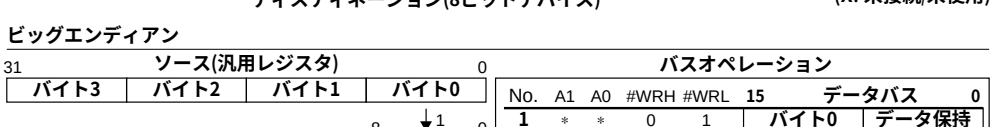
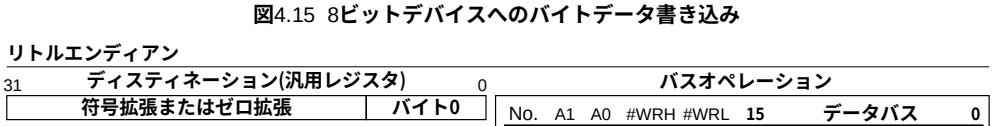


図4.15 **8ビットデバイスへのバイトデータ書き込み**

リトルエンディアン



ビッグエンディアン

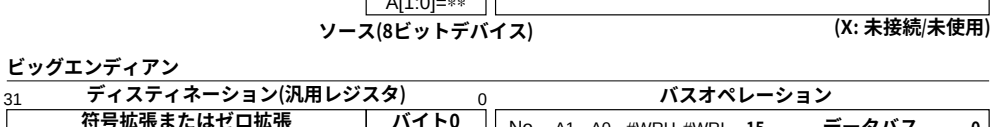
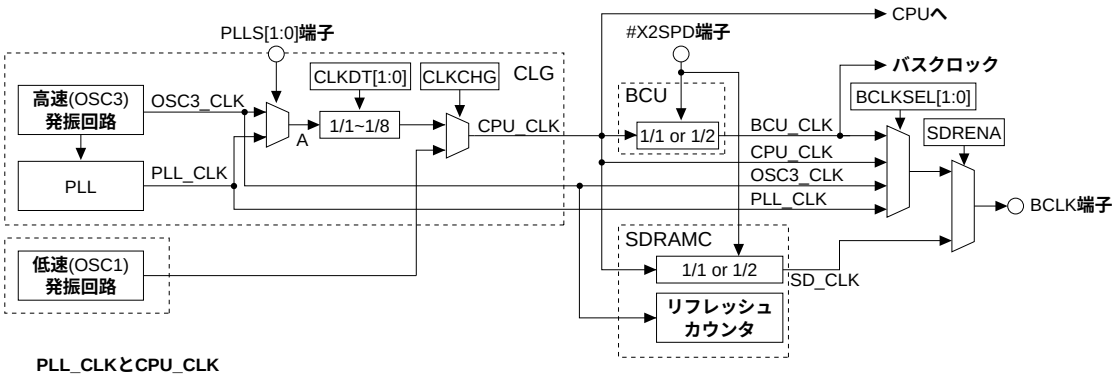


図4.16 **8ビットデバイスからのバイトデータ読み込み**

バスクロック

バスクロックはクロックジェネレータが出力するCPUシステムクロックからBCUが生成します。
図4.17にクロック系のブロック図を示します。



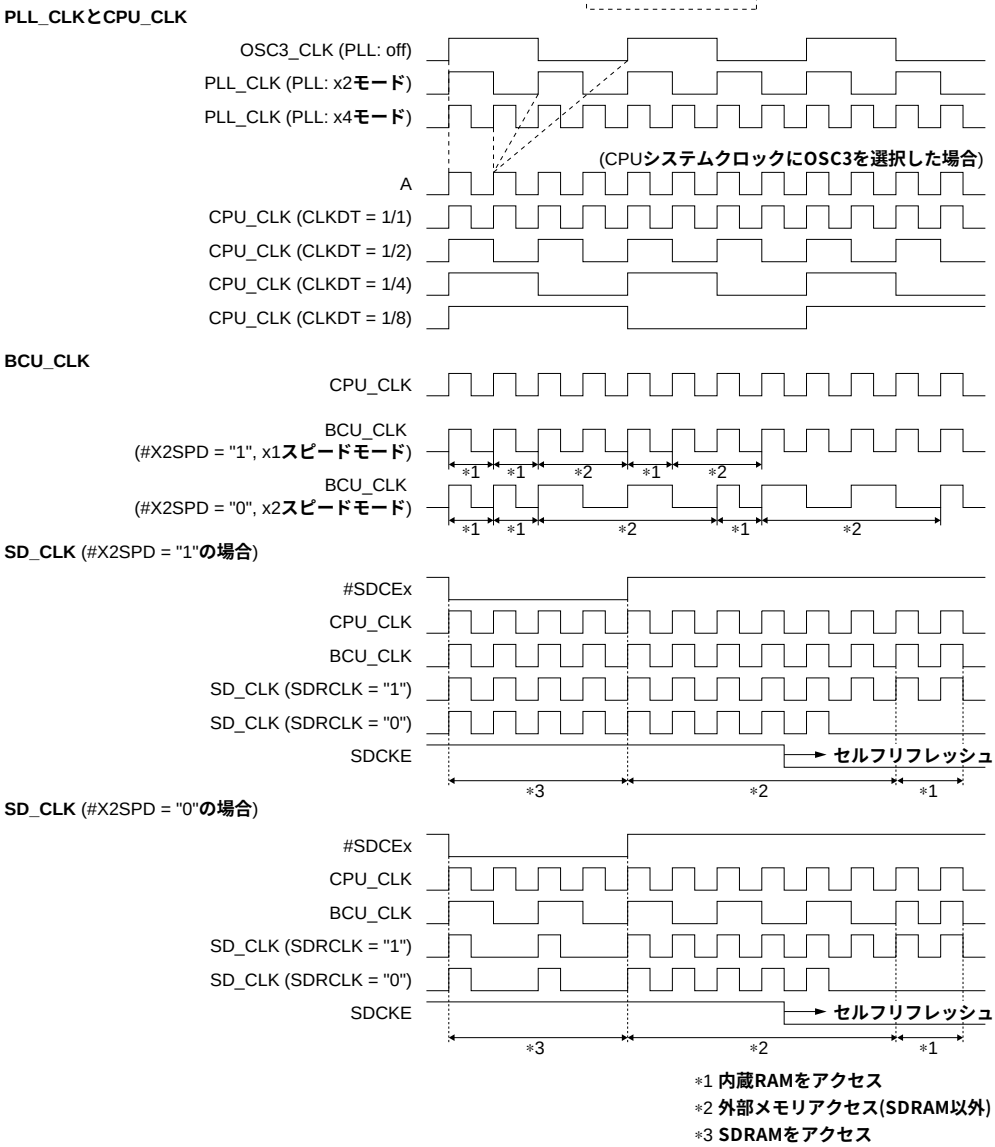


図4.17 クロック系

バスクロックはCPUシステムクロック(CPU_CLK)から生成するため、以下の設定が直接バスクロックにも影響します。
1. 発振回路の選択(OSC3またはOSC1)
2. PLLの設定(OSC3_CLK x 1, x2 or x4)
3. パワーセーブ用の分周(OSC3_CLKまたはPLL_CLKの1/8、1/4、1/2または1/1)

2と3の設定は、高速(OSC3)発振回路を選択した場合に適用されます。
CPUシステムクロックの設定については、"CLG (クロックジェネレータ)"を参照してください。

スタンバイモード時の動作は次のとおりです。
HALT 基本モード: BCUおよびバスクロックは動作します。DRAMリフレッシュも可能です。
HALT2モード: BCUおよびバスクロックは停止します。
SLEEPモード: BCUおよびバスクロックは停止します。

バススピードモード

CPU - バスクロック比を#X2SPD端子で設定することができます。
#X2SPD端子が"1"の場合、x1スピードモード(CPU - バスクロック比が1 : 1)となり、バスクロックがCPUシステムクロックと同じになります。
#X2SPD端子が"0"の場合はx2スピードモード(CPU - バスクロック比が2 : 1)となります。
x2スピードモードでは、アクセスするメモリによりバスクロックが次のようにダイナミックに変化します。
- 外部メモリ領域をアクセスする場合、バスクロックはCPUシステムクロックの1/2となります。
- 内蔵RAM/ROM領域をアクセスする場合、バスクロックはCPUシステムクロックと同じになります。

また、エリア1(内蔵I/O領域)はx1スピードモードではCPUシステムクロック4サイクルでアクセスされますが、x2スピードモード時のアクセスサイクル数はBCLK選択レジスタ(0x4813A)のA1X1MD(D3)で次のように選択できます。
A1X1MD = "1": CPUシステムクロックの2サイクルでアクセス
A1X1MD = "0": CPUシステムクロックの4サイクルでアクセス(デフォルト)

バスクロックの外部出力

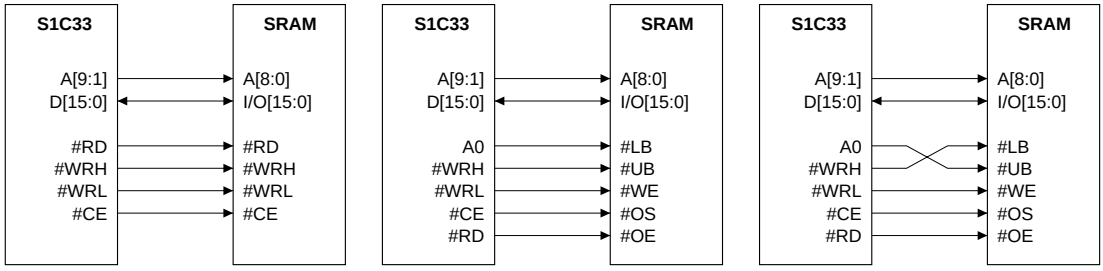
バスクロックはBCLK端子から外部にも出力されます。BCLK出力クロックはBCLK選択レジスタ(0x4813A)のBCLKSEL[1:0](D[1:0])、SDRAM制御レジスタ(0x39FFC1)のSDRENA(D7)によって5種類から選択可能です。

表4.14 BCLK**出力クロックの選択**

SDRENA	BCLKSEL1	BCLKSEL0	**出力クロック**
0	1	1	PLL_CLK (PLL**出力クロック**)
	1	0	OSC3_CLK (OSC3**発振クロック**)
	0	1	BCU_CLK (BCU**動作クロック**)
	0	0	CPU_CLK (CPU**動作クロック**)
1	–	–	SD_CLK (SDRAM**クロック**)

外部システムインタフェースのバスサイクル

以下に、SRAM接続例と基本的なバスサイクルを示します。



(1) A0**方式**
(**リトルエンディアン/ビッグエンディアン共通**)

(2) #BSL**方式**
(**リトルエンディアン**)

(3) #BSL**方式**
(**ビッグエンディアン**)

図4.18 SRAM**接続例**

*SRAM**タイプのリードサイクル***

■ ウェイトなしの基本リードサイクル

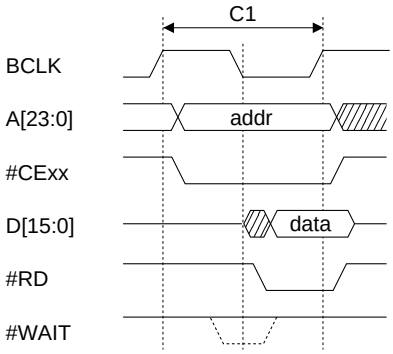


図4.19 **ウェイトなしの基本リードサイクル**

■ ウェイト付のリードサイクル

例: BCU内は0ウェイト、#WAIT端子の入力で2サイクルのウェイトを挿入する場合

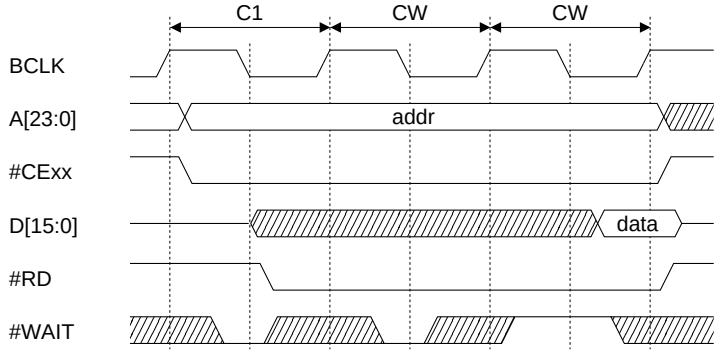


図4.20 **ウェイト付のリードサイクル**

#WAIT信号はBCLK(バスクロック)の立ち下がりエッジでサンプリングされ、インアクティブレベル(High)がサンプリングされた時点でリードサイクルを終了します。

注: #WAIT**端子によるウェイトサイクルの挿入は、バス条件のデバイスタイプが**SRAM**タイプに設定され、かつバスコントロールレジスタ**(0x4812E)**の**SWAITE(D0)**がウェイトイネーブルに設定されている場合にのみ可能です。**

例は#WAIT信号によってウェイトを挿入した場合のリードサイクルですが、ウェイトコントロールビットによっても0～7サイクルのウェイトを挿入することができます。ウェイトコントロールビットの設定と#WAIT信号を併用することも可能です。その場合も#WAIT信号はBCLKの各立ち下がりエッジでサンプリングされます。ただし、ウェイトコントロールビットによるウェイトサイクル終了前に#WAIT信号がインアクティブになっても、その時点ではリードサイクルを終了しません。

■ 注意事項

#RD信号の立ち上がりに対する#CEとアドレスのホールド時間

本BCUのリードサイクルでは、#RD信号立ち上がり、チップイネーブル信号(#CExx)の立ち上がり、およびアドレス(A[23:0])の切り換えが同じクロックエッジで発生します。チップイネーブル信号とアドレス信号にはホールド時間が設けられていません。これは、出力ディセーブル遅延時間を挿入した場合でも同様です。
したがって、リード動作によって内部情報が変化する周辺回路をバスに接続する場合は、意図的にアドレスとチップイネーブル信号に遅延を設けるような工夫が必要です。

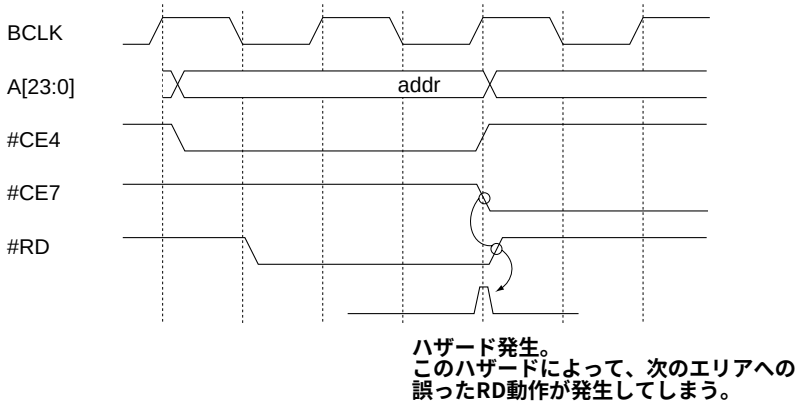


図4.21 問題の発生するケース

出力ディセーブルサイクル

出力ディセーブルサイクル(出力ディセーブル遅延時間で設定)が挿入されると、次のリードサイクルとの間隔を空けることができます。これによって、遅いデバイスをバスに接続することが可能になります。
ただし、同じチップイネーブルでアクセスする領域を連続してリードした場合、出力ディセーブルサイクルは挿入されませんので注意が必要です。

バスタイミング

リードサイクルにおいて、#RD信号の立ち上がりと、チップイネーブル信号(#CE4～#CE10)とアドレス(A23～A0)の切り換わりは、同じクロックエッジで変化します。
このタイミングは、たとえバスコントローラで出力ディセーブルサイクルを長く設定しても同じであり、同時に切り換わってしまいます。
したがって、リード動作によって、内部情報が変化するI/O周辺回路をC33のバスに接続するときは、アドレス、チップイネーブル信号に遅延を意図的につけるなどの工夫が必要です。

出力ディセーブルサイクルは、通常リードサイクルと次のリードサイクルの間を空けます。しかし、同じチップイネーブルの出力するメモリエリアで連続リードのとき、この出力ディセーブルサイクルは入りませんので、注意してください。

SRAMタイプのライトサイクル

■ ウェイトなしの基本ライトサイクル

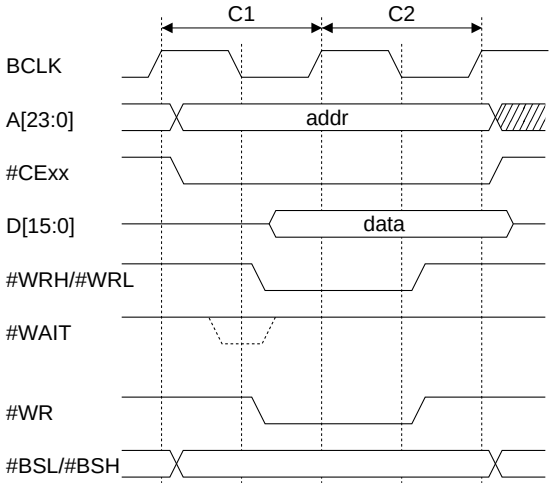


図4.22 **ウェイトなしのハーフワードライトサイクル**

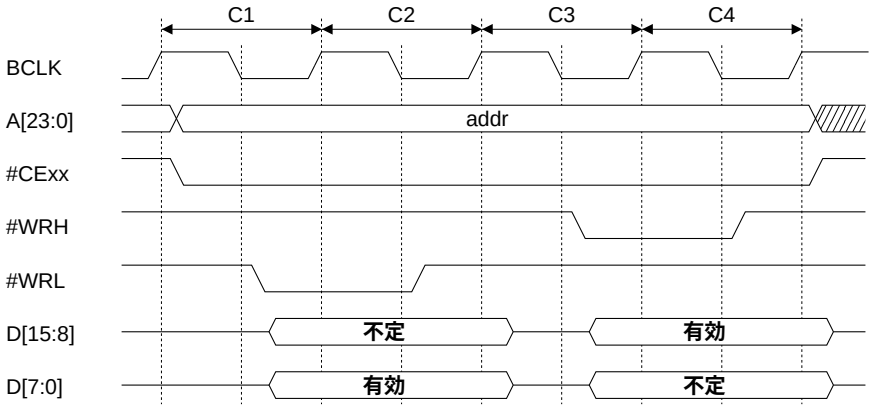


図4.23 **ウェイトなしのバイトライトサイクル**(A0**方式**, **リトルエンディアン**)

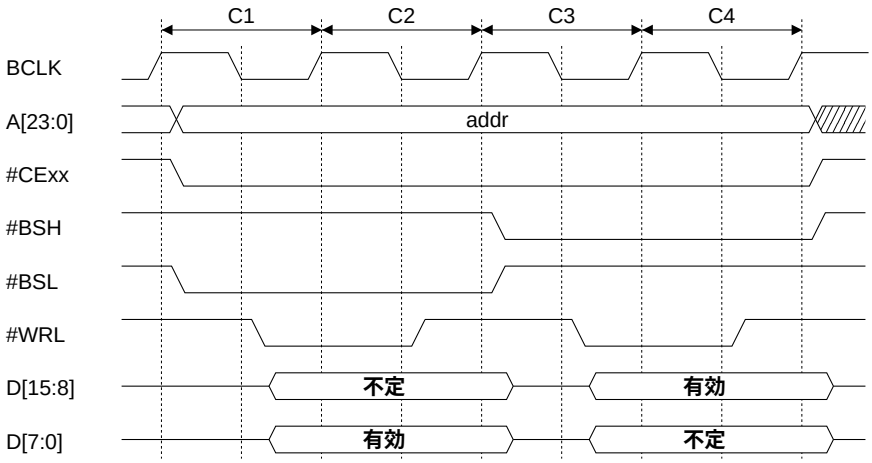


図4.24 **ウェイトなしのバイトライトサイクル**(#BSL**方式**, **リトルエンディアン**)

■ ウェイト付のライトサイクル

例: BCU内は0ウェイト、#WAIT端子の入力で1サイクルのウェイトを挿入する場合

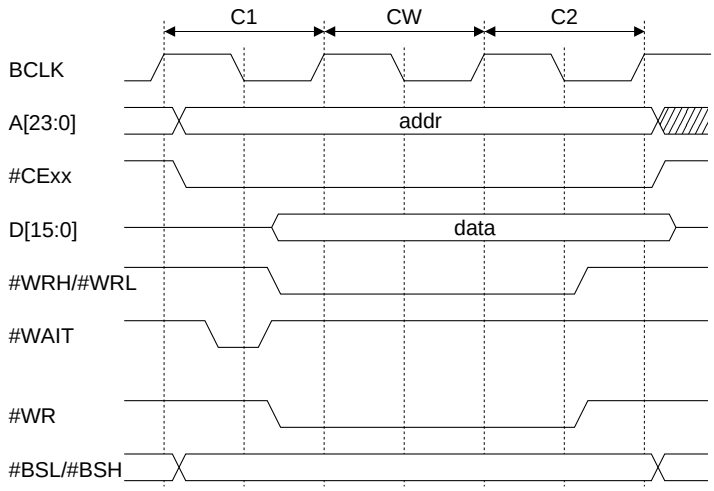


図4.25 **ウェイト付のハーフワードライトサイクル**

#WAIT信号はBCLK(バスクロック)の立ち下がりエッジでサンプリングされ、インアクティブレベル(High)がサンプリングされたサイクルの次のサイクルでライトサイクルを終了します。

注: #WAIT**端子によるウェイトサイクルの挿入は、バス条件のデバイスタイプが**SRAM**タイプに設定され、かつバスコントロールレジスタ**(0x4812E)**の**SWAITE(D0)**がウェイトイネーブルに設定されている場合にのみ可能です。**

上記例は#WAIT信号によってウェイトを挿入した場合のライトサイクルですが、ウェイトコントロールビットによっても2～7サイクルのウェイトを挿入することができます。ウェイトコントロールビットの設定と#WAIT信号を併用することも可能です。その場合も#WAIT信号はBCLKの各立ち下がりエッジでサンプリングされます。ただし、ウェイトコントロールビットによるウェイトサイクル終了前に#WAIT信号がインアクティブになっても、その時点ではライトサイクルを終了しません。

注: **基本ライトサイクルは最小が2サイクルで、ウェイトコントロールビットによってウェイトサイクルを0または1サイクルに設定しても変わりません。ウェイトサイクル数を2サイクル以上に設定すると、バスサイクルが実際に延長されます。その場合のバスライトサイクル数はリードサイクル時と同様、[ウェイトサイクル数+1]となります(外部ウェイトがない場合)。**

バーストROMのリードサイクル

■ バーストリードサイクル

例: 4連続バースト、最初のアクセスが2ウェイトに設定されている場合

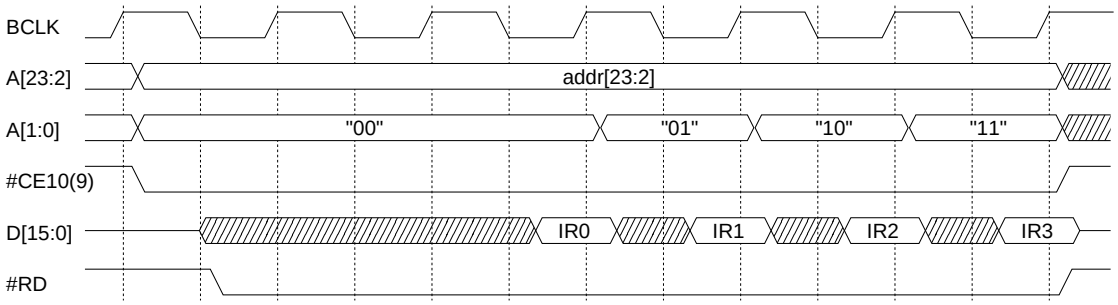


図4.26 **バーストリードサイクル**

バーストリードサイクルは、エリア10またはエリア9がバーストROMに設定され、そのエリアに対して以下のいずれかのアクセスが行われた場合に発生します。

1) 命令のフェッチ

連続するアドレスからの命令フェッチが
A[2:1]="11"となるまで(4連続バーストの場合)
A[3:1]="111"となるまで(8連続バーストの場合)
バーストリードサイクルとなります。

2) ワード(32ビット)データの読み出し

注: **バースト**ROM**としては、**16**ビット出力タイプをサポートしています。デバイスサイズは**16**ビットに設定してください。**

■ バーストリード時のウェイトサイクル

最初のバスオペレーションには、通常のSRAMタイプと同じエリア10–9設定レジスタ(0x48126)のA10WT[2:0](D[2:0])で、0～7サイクルのウェイトを挿入することができます。続くバーストサイクルに挿入するウェイトサイクルは、同レジスタのバーストリード専用ウェイト制御ビットA10BW[1:0]で0～3サイクルの範囲で指定可能です。
なお、バーストリードサイクルには、#WAIT端子によるウェイトサイクルは挿入できません。

■ バーストROMエリアへのライトサイクル

エリア10またはエリア9がバーストROMに設定されている場合にこのエリアに対して書き込みを行うと、SRAMタイプのライトサイクルを実行します。この場合、#WAIT端子によるウェイトサイクルの挿入も有効です。

DRAMダイレクトインタフェース

DRAMインタフェースの概要

本BCUはDRAMダイレクトインタフェースを内蔵しており、エリア8と7またはエリア14と13には直接DRAMを接続することができます。インタフェース方式としては2CAS方式に対応し、カラムアドレスは8～11ビットに設定可能です。また、ランダムサイクルのほかに、高速ページモードまたはEDOページモード(EDOタイプDRAMを直結可能)もサポートします。リフレッシュ方式(CASビフォアRASリフレッシュ、セルフリフレッシュ)やタイミング条件(RAS/CASサイクル数、プリチャージサイクル数等)も制御レジスタでプログラム可能です。

エリア8と7またはエリア14と13のどちらの領域を使用するかについては、DRAMタイミング設定レジスタ(0x48130)のCEFUNC(D9)によるチップイネーブルの設定で決まります。

CEFUNC = "00": エリア8と7にDRAMを接続可能(デフォルト)
#CE8と#CE7はそれぞれ#RAS0、#RAS1として機能します。

CEFUNC = "00"以外: エリア14と13にDRAMを接続可能
#CE14と#CE13はそれぞれ#RAS2、#RAS3として機能します。

DRAMの接続例を図4.27に、接続可能なDRAMの例と構成例を表4.15および表4.16に示します。

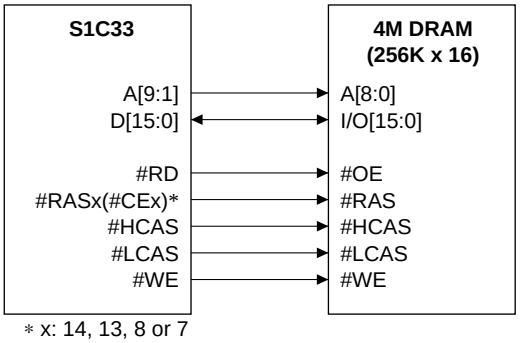


図4.27 DRAM**接続例**

表4.15 **使用可能な**DRAM**の例**

DRAM	**使用個数**	Row**ビット数**	Column**ビット数**	**メモリ容量**
1M (64K x 16)	1	8	8	128K**バイト**
4M (256K x 16)	1	9	9	512K**バイト**
16M (1M x 16)	1	12	8	2M**バイト**

表4.16 DRAM**構成例 (エリア**7**と**8**のみ**)

	エリア7	**エリア**8	**合計メモリ容量**
1	I/O	DRAM (1M)	1M**ビット** (128K**バイト**)
2	I/O	DRAM (4M)	4M**ビット** (512K**バイト**)
3	I/O	DRAM (16M)	16M**ビット** (2M**バイト**)
4	DRAM (1M)	DRAM (1M)	2M**ビット** (256K**バイト**)
5	DRAM (4M)	DRAM (4M)	8M**ビット** (1M**バイト**)
6	DRAM (16M)	DRAM (16M)	32M**ビット** (4M**バイト**)

S1C33L03はSDRAMダイレクトインタフェースも内蔵しています。詳細については、"VI SDRAMコントローラブロック"を参照してください。

DRAMタイプの条件設定

DRAMインタフェースは、以下の条件が選択できるようになっています。DRAMはエリア8と7またはエリア14と13で使用可能ですが、これらの条件は4つのエリアすべてに適用され、個別に設定することはできません。

表4.17 DRAMインタフェースの設定項目

設定項目	選択内容	初期設定	制御ビット
ページモード	EDOページモードまたは 高速ページモード	高速ページ モード	REDO(バスコントロールレジスタ0x4812E•DC)
RASモード	連続RASモードまたは通常モード	通常モード	CRAS(DRAMタイミング設定レジスタ0x48130•D8)
カラムアドレスサイズ	8, 9, 10, 11ビット	8ビット	RCA[1:0](バスコントロールレジスタ0x4812E•D[B:A])
リフレッシュイネーブル	イネーブルまたはディセーブル	ディセーブル	RPC2(バスコントロールレジスタ0x4812E•D9)
リフレッシュ方式	セルフリフレッシュまたは CASビフォアRASリフレッシュ	CBR リフレッシュ	RPC1(バスコントロールレジスタ0x4812E•D8)
リフレッシュRPCディレイ	2.0または1.0	1.0	RPC0(バスコントロールレジスタ0x4812E•D7)
リフレッシュRASパルス幅	2, 3, 4, 5サイクル	2サイクル	RRA[1:0](バスコントロールレジスタ0x4812E•D[6:5])
RASプリチャージサイクル数	1, 2, 3, 4サイクル	1サイクル	RPRC[1:0](DRAMタイミング設定レジスタ0x48130•D[7:6])
CASサイクルコントロール	1, 2, 3, 4サイクル	1サイクル	CASC[1:0](DRAMタイミング設定レジスタ0x48130•D[4:3])
RASサイクルコントロール	1, 2, 3, 4サイクル	1サイクル	RASC[1:0](DRAMタイミング設定レジスタ0x48130•D[1:0])

■ ページモード

本DRAMインタフェースにはEDO DRAMを直結可能です。このため、高速ページモード以外にもEDOページモードもサポートしています。
使用するDRAMに合わせ、REDOで選択してください。
REDO = "1": EDOページモード
REDO = "0": 高速ページモード(デフォルト)

■ 連続RASモード

DRAMアクセスの速度が要求されるアプリケーションのために、本DRAMインタフェースは連続RASモードをサポートしています。連続RASモードは、CPUまたはDMAからのアクセス要求がDRAMに対して連続しない場合でも、プリチャージサイクルを挿入せず、#RAS信号をLowレベルにしたまま動作を継続します。したがって、前回のDRAMアクセスと同じページ(ローアドレス)をアクセスする場合はページモードが継続するため、高速なリード/ライトが可能です。
ただし、AC特性を保証するため、ページモードのアクセス開始時と終了時にはそれぞれ1サイクルのアイドルサイクルが挿入されます。
連続RASモードの設定はCRASで行います。
CRAS = "1": 連続RASモード
CRAS = "0": 通常モード(デフォルト)

連続RASモードを中断する要因は以下のとおりです。
・リフレッシュサイクルの発生
・外部バスマスタのバスリクエスト
・DRAMタイプのメモリへのリクエストで、デバイスとページが一致しない場合
・slp、halt命令の実行
連続RASモードが中断されると、次のバスサイクルを開始する前にプリチャージサイクルが挿入されます。

注: **連続RASモードを使用する場合は、必ずリード信号に#DRD、下位バイト用のライト信号に#DWEを使用してください。**

■ カラムアドレスサイズ

DRAMへのアクセス時は、アドレスをロー(行)アドレスおよびカラム(列)アドレスに分割して出力されます。
このカラムアドレスのサイズをRCAで選択します。

表4.18 **カラムアドレスサイズ**

RCA1	RCA0	**カラムアドレスサイズ**
1	1	11
1	0	10
0	1	9
0	0	8

イニシャルリセット時の初期設定は8ビットです。使用するDRAMのアドレス入力端子数に合わせて選択してください。
#RAS信号の立ち下がりに同期して出力されるローアドレスは、CPU内部の28ビットアドレスをカラムアドレスサイズ分右方向に論理シフトした値です。シフトの際、上位ビットには"1"が入ります。
カラムアドレスは#CAS信号の立ち下がりに同期してアドレスバスに出力されます。これにはCPU内部の28ビットアドレスがそのまま使用されます。
ローアドレスの出力内容を図4.28に示します。

28ビットCPU内部アドレス

27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

(1) カラムアドレスを8ビットに設定した場合のローアドレス

T	T	T	T	T	T	T	T	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8

(2) カラムアドレスを9ビットに設定した場合のローアドレス

T	T	T	T	T	T	T	T	T	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9

(3) カラムアドレスを10ビットに設定した場合のローアドレス

T	T	T	T	T	T	T	T	T	T	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10

(4) カラムアドレスを11ビットに設定した場合のローアドレス

T	T	T	T	T	T	T	T	T	T	T	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11

T = "1"、0〜27: CPU内部アドレスのビット番号

図4.28 **ロー・カラムアドレスのマッピング例**

■ リフレッシュイネーブル

内蔵のリフレッシュ機能をRPC2でイネーブル/ディセーブルに設定します。
RPC2 = "1": イネーブル
RPC2 = "0": ディセーブル(デフォルト)
リフレッシュ方式をRPC1で選択後、RPC2に"1"を書き込んでください。

■ リフレッシュ方式

本DRAMインタフェースは、CASビフォアRASリフレッシュサイクルとセルフリフレッシュサイクルをサポートしています。使用する方式をRPC1で選択してください。
RPC1 = "1": セルフリフレッシュ
RPC1 = "0": CASビフォアRASリフレッシュ
CASビフォアRASリフレッシュサイクルの発生周期は8ビットプログラマブルタイマ0のアンダーフロー信号で決まります。したがって、CASビフォアRASリフレッシュサイクルを実行する場合は、8ビットプログラマブルタイマ0を必要なアンダーフロー周期が得られるように設定しておくことが必要です。この方式を選択しRPC2をイネーブルに設定すると、8ビットプログラマブルタイマ0のアンダーフロー出力信号の周期でリフレッシュサイクルが生成されます。
セルフリフレッシュは、RPC1に"1"を設定した状態でRPC2に"1"を書き込むことにより開始し、RPC1またはRPC2への"0"書き込みによって終了します。

RPC2が"1"(リフレッシュイネーブル)の場合にRPC1を切り換えると不要なセルフリフレッシュを発生させることになりますので、リフレッシュ方式の選択はRPC2を"0"(リフレッシュディセーブル)に設定して行ってください。

■ リフレッシュRPCディレイ

リフレッシュサイクルのRPCディレイの値(直前のプリチャージから#CASを立ち下げるまでの遅延時間)をRPC0で設定します。
RPC0 = "1": 2サイクル
RPC0 = "0": 1サイクル

■ リフレッシュRASパルス幅

CASビフォアRASリフレッシュサイクルの#RASパルス幅をRRAで設定します。

表4.19 リフレッシュRASパルス幅

RRA1	RRA0	パルス幅
1	1	5サイクル
1	0	4サイクル
0	1	3サイクル
0	0	2サイクル

イニシャルリセット時の初期設定は2サイクルです。

■ RASプリチャージサイクル数

プリチャージのサイクル数をRPRCで選択します。

表4.20 RASプリチャージサイクル数

RPRC1	RPRC0	サイクル数
1	1	4サイクル
1	0	3サイクル
0	1	2サイクル
0	0	1サイクル

イニシャルリセット時の初期設定は1サイクルです。

■ CASサイクルコントロール

DRAMアクセス時のCASサイクル数をCASCで選択します。

表4.21 CASサイクル数

CASC1	CASC0	CASサイクル数
1	1	4サイクル
1	0	3サイクル
0	1	2サイクル
0	0	1サイクル

イニシャルリセット時の初期設定は1サイクルです。

■ RASサイクルコントロール

DRAMアクセス時のRASサイクル数をRASCで選択します。

表4.22 RASサイクル数

RASC1	RASC0	RASサイクル数
1	1	4サイクル
1	0	3サイクル
0	1	2サイクル
0	0	1サイクル

イニシャルリセット時の初期設定は1サイクルです。

DRAMリード/ライトサイクル

以下に、DRAMの基本的なバスサイクルを示します。
DRAMインタフェースでは、#WAIT端子によってウェイトサイクルを挿入することはできません。

■ DRAMランダムリードサイクル

例: RAS: 1サイクル、CAS: 2サイクル、プリチャージ: 1サイクル

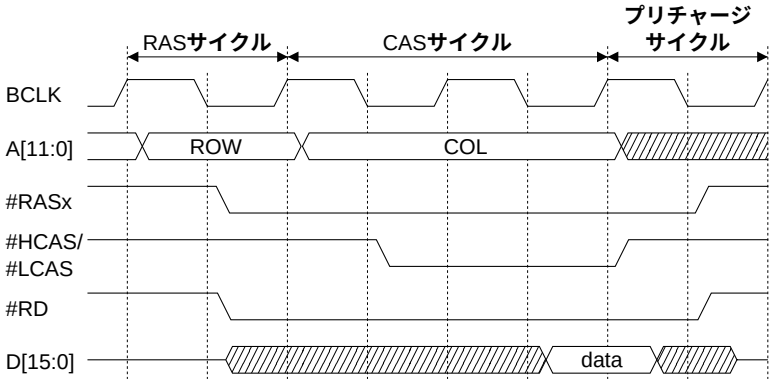


図4.29 DRAM**ランダムリードサイクル**

■ DRAM**リードサイクル (高速ページモード)**

例: RAS: 1サイクル、CAS: 2サイクル、プリチャージ: 1サイクル

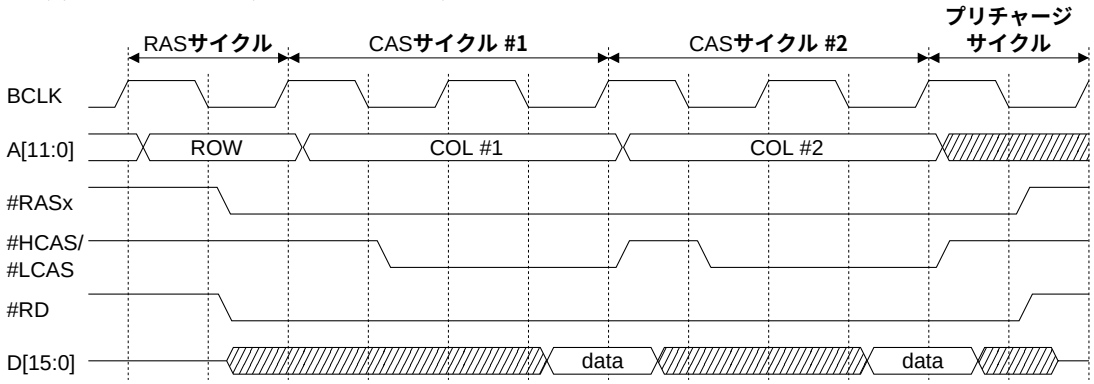


図4.30 DRAM**リードサイクル (高速ページモード)**

■ DRAM**リードサイクル** (EDO**ページモード**)

例: RAS: 1サイクル、CAS: 2サイクル、プリチャージ: 1サイクル

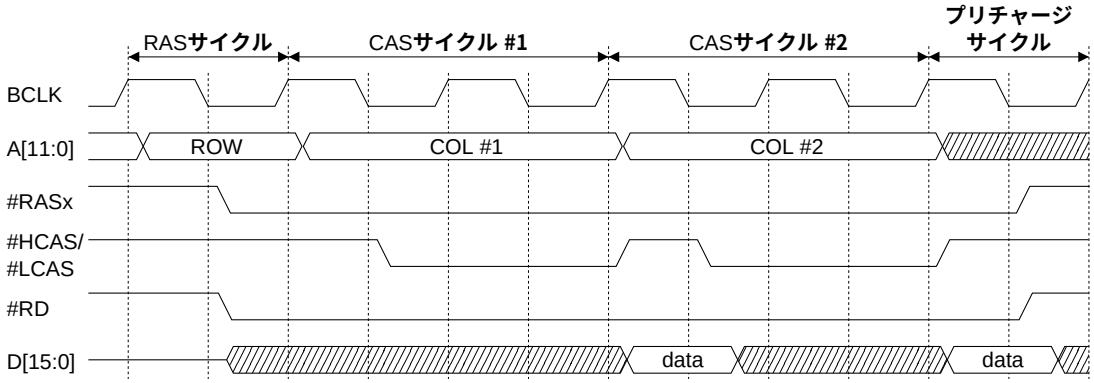


図4.31 DRAM**リードサイクル** (EDO**ページモード**)

EDOページモードの読み込みタイミングは、高速ページモードよりも0.5サイクル後ろになります。

■ DRAMランダムライトサイクル

例: RAS: 1サイクル、CAS: 2サイクル、プリチャージ: 1サイクル

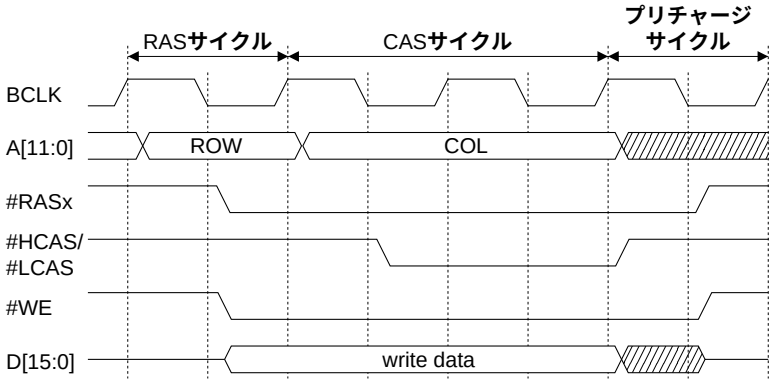


図4.32 2CAS**方式**DRAM**ランダムライトサイクル**

■ DRAMライトサイクル (高速ページモードまたはEDOページモード)

例: RAS: 1サイクル、CAS: 2サイクル、プリチャージ: 1サイクル、ワード書き込み例

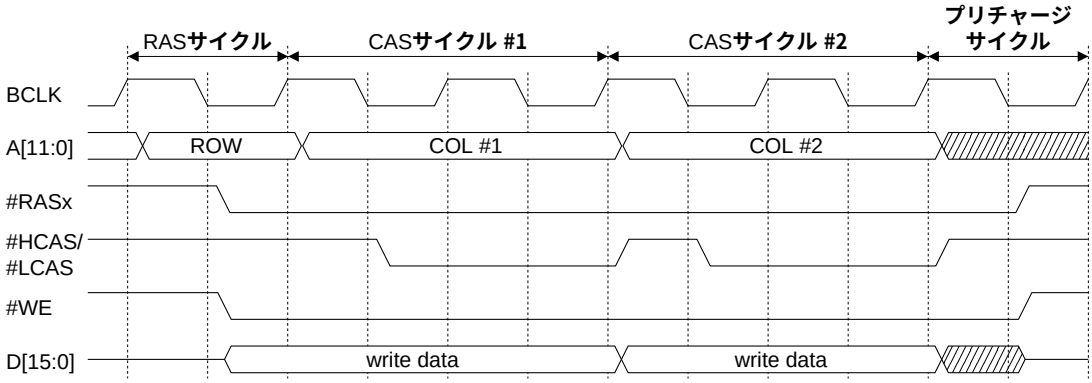


図4.33 DRAM**ワードライトサイクル (高速ページモードまたは**EDO**ページモード**)

例: RAS: 1サイクル、CAS: 2サイクル、プリチャージ: 1サイクル
バイト書き込み例(リトルエンディアン)

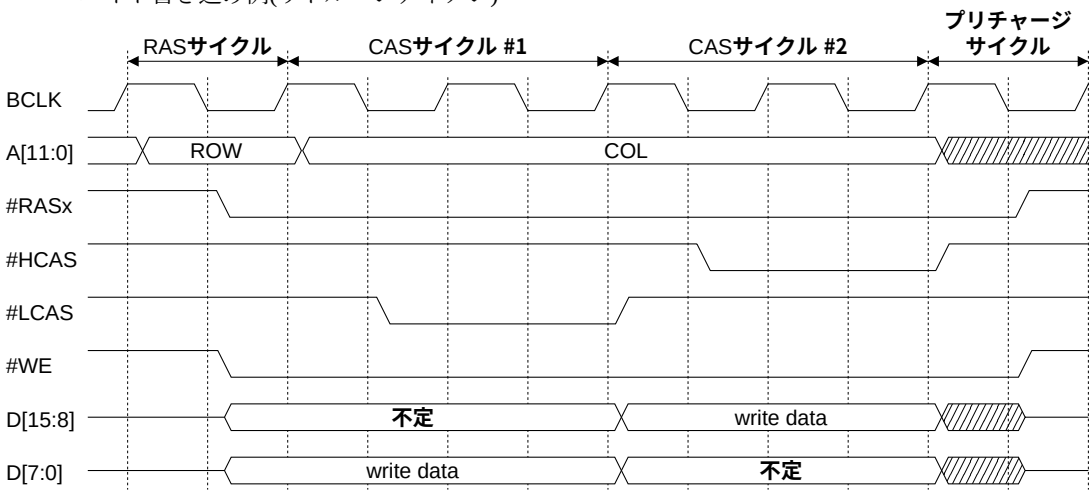


図4.34 DRAM**バイトライトサイクル (高速ページモードまたは**EDO**ページモード**)

■ 連続RAS**モードの動作**

例: RAS: 2サイクル、CAS: 1サイクル、プリチャージ: 2サイクル

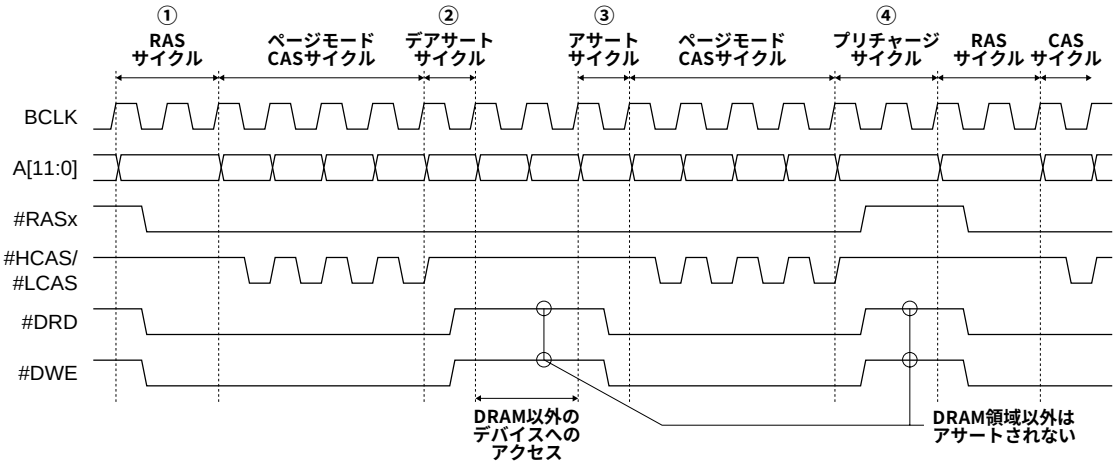


図4.35 **連続**RAS**モードの動作**

① DRAM領域へのアクセスは、最初に通常のRASサイクルが実行されます。

② ページモードの途中で同じDRAMに対するアクセスが中断した場合は、#RASxをアサートしたまま他のデバイスをアクセスします。このとき、#DRD/#DWEを一旦インアクティブにするデアサートサイクルが他のデバイスへのアクセス前に挿入されます。

③ ②の後で①と同じDRAMの同ページに対するアクセス要求があった場合、#DRD/#DWEをアサートしてページモードの動作を再開します。

④ プリチャージサイクルは、ページモードを中断するような以下の条件が発生した場合に実行されます。
- 異なるDRAMへのアクセス要求
- 同じDRAMの他のページへのアクセス要求
- DRAM以外のデバイスへのアクセス要求
- CASビフォアRASリフレッシュ要求
- 外部バスマスタによるバス解放要求

注: **連続**RAS**モードを使用する場合は、必ずリード信号に**#DRD**、下位バイト用のライト信号に**#DWE**を使用してください。**

DRAMリフレッシュサイクル

本DRAMインタフェースは、CASビフォアRASリフレッシュサイクルとセルフリフレッシュサイクルをサポートしています。

■ CASビフォアRASリフレッシュサイクル

CASビフォアRASリフレッシュを行う場合はRPC1を"0"に設定した状態で、RPC2に"1"を書き込んでDRAMリフレッシュ機能をイネーブルに設定します。それ以降、BCUは8ビットプログラマブルタイマ0が出力するアンダーフロー信号を入力し、それをトリガとしてCASビフォアRASリフレッシュサイクルを実行します。このため、プリスケーラと8ビットプログラマブルタイマ0によって、リフレッシュの発生周期をプログラマブルに設定することができます。
プリスケーラと8ビットプログラマブルタイマの制御方法については"プリスケーラ"および"8ビットプログラマブルタイマ"を参照してください。

例: RPCディレイ: 1サイクル、リフレッシュRASパルス幅: 2サイクル、プリチャージ: 1サイクル

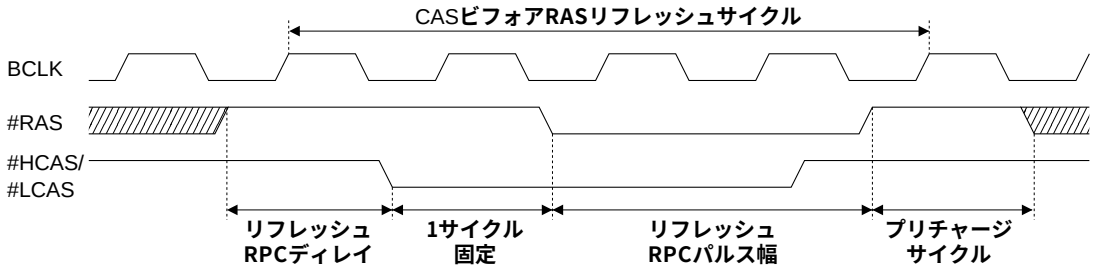


図4.36 CASビフォアRASリフレッシュ

リフレッシュサイクル終了時の#HCAS/#LCAS信号の立ち上がりタイミングは、#RAS立ち上がりの0.5サイクル前です。したがって、#HCAS/#LCASのパルス幅はRRAで設定したリフレッシュRASパルス幅で決まります。
リフレッシュサイクル後のプリチャージサイクル数には、RPRCで設定した値がランダムサイクルやページモードのアクセスと共通に使用されます。

■ セルフリフレッシュ

セルフリフレッシュ機能を備えたDRAMに対応するため、本BCUにはセルフリフレッシュサイクルを生成する機能もあります。
セルフリフレッシュを開始するには、RPC1を"1"に設定した上でRPC2に"1"を書き込みます。一方、セルフリフレッシュを解除するには、RPC1またはRPC2に"0"を書き込みます。

例: RPCディレイ: 1サイクル

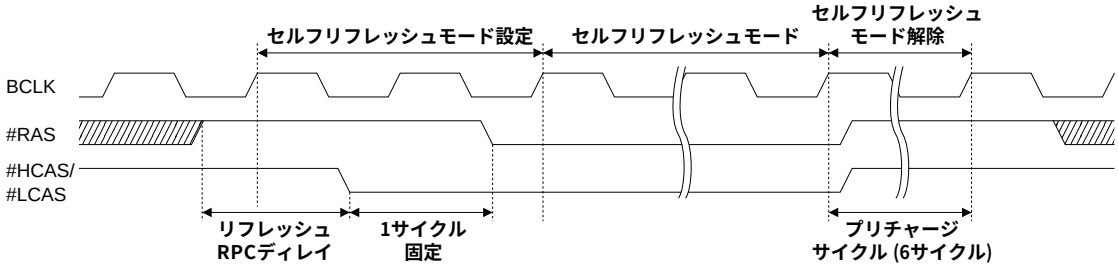


図4.37 セルフリフレッシュ

セルフリフレッシュの場合も、RPCディレイはCASビフォアRASリフレッシュと同じRPC0の設定で決まります。
リフレッシュRASパルス幅はソフトウェアによる解除のタイミングで決まり、RRAの設定内容は影響しません。
また、セルフリフレッシュ終了時の#RASと#HCAS/#LCASは同時に立ち上がり、その後のプリチャージは6サイクルに固定されています。

通常、DRAMの仕様書にはセルフリフレッシュサイクル前後の一定時間内に、すべてのローアドレスについてリフレッシュを実行するように規定されています。これについては、CASビフォアRASリフレッシュを実行するようにプログラムで対応してください。この場合、既定時間内にすべてのローアドレスに対してリフレッシュを実行するように、8ビットプログラマブルタイマ0を設定してください。

注: **セルフリフレッシュ中のDRAMに対してリード/ライトを行うと、BCUは#RASと#HCAS/#LCASをLowレベルに保ったまま、リード/ライトサイクルを実行します。#RAS、#HCAS/#LCAS以外のバス信号(アドレス、データ、制御信号)は設定された条件で変化します。これは、DRAMに対する不正なアクセスとなりますので、セルフリフレッシュ中のDRAMはリード/ライトしないでください。**

外部バスの解放

外部バスは、通常CPUの管理下に置かれていますが、バス権を外部に解放することが可能となっています。この機能はバスコントロールレジスタ(0x4812E)のSEMAS(D2)に"1"を書き込むことにより有効となります(初期設定は無効)。また、この制御には、#BUSREQ(P34)端子と#BUSACK(P35)端子を使用します。P34およびP35端子を#BUSREQ入力と#BUSACK出力に設定するにはP3機能選択レジスタ(0x402DC[Byte])のCFP34(D4)とCFP35(D5)に"1"を書き込んでください。

■ バス権解放シーケンス

バス権解放のシーケンスは次のとおりです。

1. バス権を要求する外部バスマスタデバイスは、#BUSREQ端子をLowレベルにします。
2. CPUは常に#BUSREQ端子の状態を監視しており、端子がLowレベルになると実行中のバスサイクルを終了し、その1サイクル後に以下の信号をハイインピーダンスにします。
   A[23:0], D[15:0], #RD, #WRL, #WRH, #HCAS, #LCAS, #CExx
   さらに#BUSACK端子をLowレベルにしてバス権を解放したことを、外部デバイスに知らせます。
3. 1サイクル後、外部バスマスタは自らのバスサイクルを開始します。外部バスマスタはバスサイクルを終了するまで#BUSREQ端子をLowに固定しておく必要があります。
4. 外部バスマスタは必要なバスサイクルを終了後、バスをハイインピーダンスにしてから#BUSREQ端子をHighレベルに戻します。
5. CPUは#BUSREQ端子のHighレベルを確認すると、その1サイクル後に#BUSACK端子をHighレベルにし、中断していた処理を再開します。

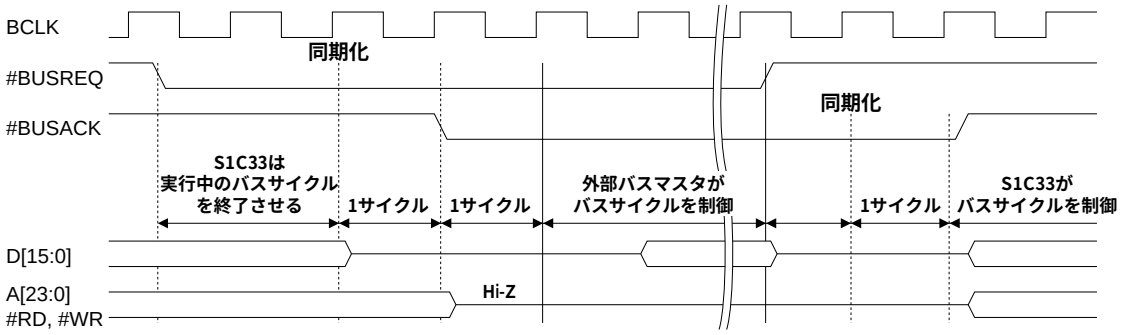


図4.38 外部バス解放タイミング

内蔵のDMAコントローラによるDMA転送中にバス権要求が発生した場合は、実行中のDMA転送をデータの区切りで中断してバス権要求を受け付けます。中断したDMA転送はCPUにバス権が戻った時点で再開します。

■ バス権解放中のDRAMリフレッシュ

DRAMを直結したシステムの場合、バス権解放中にリフレッシュ要求が発生する可能性があります。これについては、以下の方法で対処してください。

- **8ビットプログラマブルタイマ0の出力信号をモニタ**

  8ビットプログラマブルタイマ0のアンダーフロー信号(DRAMリフレッシュ要求)は、P10入出力兼用ポート端子から出力させることができます。
  外部バスマスタでこの出力をモニタし、リフレッシュ要求が発生した場合は#BUSREQをHighに戻してバス権要求を取り下げてください。
  バス権がCPUに戻った時点でDRAMリフレッシュサイクルを開始します。

  P10端子を8ビットプログラマブルタイマ0のアンダーフロー信号出力に設定するにはP1機能選択レジスタ(0x402D4[Byte])のCFP10(D0)とP1 I/O制御レジスタ(0x402D6[Byte])のIOC10(D0)に"1"を書き込んでください。また、アンダーフロー信号を外部出力するには、8ビットタイマ0制御レジスタ(0x40160[Byte])のPTOUT0(D2)に"1"を書き込みます。出力制御の詳細については、"8ビットプログラマブルタイマ"を参照してください。

- **#BUSGET信号のモニタ**

  P31入出力兼用ポート端子からは#BUSGET信号を出力させることができます。
  #BUSGET信号は以下の信号の論理和をとった内容です。
  1. DRAMリフレッシュ要求信号(8ビットプログラマブルタイマ0出力)
  2. 割り込みコントローラからCPUへの割り込み要求信号
  3. 割り込みコントローラからIDMAへの起動要求信号

  外部バスマスタでこの信号をモニタし、#BUSGET信号がアクティブになった場合は#BUSREQをHighに戻してバス権要求を取り下げてください。
  #BUSGET信号でリフレッシュ要求のみをモニタする場合は、割り込みコントローラを割り込み要求やIDMA起動要求が発生しないように設定してください。

  P31端子を#BUSGET信号出力に設定するにはポート機能拡張レジスタ(0x402DF[Byte])のCFEX3(D3)に"1"を書き込んでください。

外部デバイスによるパワーダウン制御

前述のバス権解放要求に加え、#BUSREQ信号を使用してCPUをHALT状態に設定することができます。これにより、外部バスマスタによるバスオペレーション中にCPUを停止して消費電流を低減させることができます。
この機能は、バスコントロールレジスタ(0x4812E)のSEPD(D1)に"1"を書き込むことによって有効となります。
SEPDが"1"の場合に#BUSREQ端子がLowレベルになると、CPUとBCUは動作を停止しHALT状態となります。このHALT状態は内蔵周辺回路の割り込みによっては解除されず、#BUSREQ端子がHighに戻るまで継続します。通常の#BUSREQによるバス解放状態とは異なり、アドレスバスやバス制御信号はハイインピーダンスとはなりません。

このHALT状態で発生するDRAMリフレッシュ要求については、前節で説明した方法で対応してください。

BCUのI/Oメモリ

表4.23に外部システムインタフェースの制御ビットを示します。これらのI/Oメモリは内蔵16ビット周辺回路用の領域(0x48000以降)に割り付けられています。ただし、ハーフワード以外(バイトまたはワード)でもアクセス可能です。
出力・入出力兼用ポートに割り当てられた外部システムインタフェース用端子の制御ビット、およびDRAMリフレッシュサイクル生成のための8ビットプログラマブルタイマ0の制御方法については、それぞれの章を参照してください。

表4.23 外部システムインタフェースの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
エリア18–15 設定レジスタ	0048120 (HW)	DF	–	reserved	–	–	–	読み出し時: 0
		DE	A18SZ	エリア18–17デバイスサイズ選択	1 8ビット 0 16ビット	0	R/W	
		DD DC	A18DF1 A18DF0	エリア18–17 出力ディセーブル遅延時間	A18DF[1:0] サイクル数 1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1 1	R/W	
		DB	–	reserved	–	–	–	読み出し時: 0
		DA D9 D8	A18WT2 A18WT1 A18WT0	エリア18–17ウェイト制御	A18WT[2:0] ウェイト数 1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1 1 1	R/W	
		D7	–	reserved	–	–	–	読み出し時: 0
		D6	A16SZ	エリア16–15デバイスサイズ選択	1 8ビット 0 16ビット	0	R/W	
		D5 D4	A16DF1 A16DF0	エリア16–15 出力ディセーブル遅延時間	A16DF[1:0] サイクル数 1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1 1	R/W	
		D3	–	reserved	–	–	–	読み出し時: 0
		D2 D1 D0	A16WT2 A16WT1 A16WT0	エリア16–15ウェイト制御	A16WT[2:0] ウェイト数 1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1 1 1	R/W	
エリア14–13 設定レジスタ	0048122 (HW)	DF–9	–	reserved	–	–	–	読み出し時: 0
		D8	A14DRA	エリア14 DRAM選択	1 使用 0 未使用	0	R/W	
		D7	A13DRA	エリア13 DRAM選択	1 使用 0 未使用	0	R/W	
		D6	A14SZ	エリア14–13デバイスサイズ選択	1 8ビット 0 16ビット	0	R/W	
		D5 D4	A14DF1 A14DF0	エリア14–13 出力ディセーブル遅延時間	A14DF[1:0] サイクル数 1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1 1	R/W	
		D3	–	reserved	–	–	–	読み出し時: 0
		D2 D1 D0	A14WT2 A14WT1 A14WT0	エリア14–13ウェイト制御	A14WT[2:0] ウェイト数 1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1 1 1	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
エリア12–11 設定レジスタ	0048124 (HW)	DF–7	–	reserved	–	–	–	読み出し時: 0
		D6	A12SZ	エリア12–11デバイスサイズ選択	1 8ビット　0 16ビット	0	R/W	
		D5	A12DF1	エリア12–11	A18DF[1:0] サイクル数	1	R/W	
		D4	A12DF0	出力ディセーブル遅延時間	1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	A12WT2	エリア12–11ウェイト制御	A18WT[2:0] ウェイト数	1	R/W	
		D1	A12WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D0	A12WT0			1		
エリア10–9 設定レジスタ	0048126 (HW)	DF	–	reserved	–	–	–	読み出し時: 0
		DE	A10IR2	エリア10内蔵ROM容量選択	A10IR[2:0] ROM容量	1	R/W	
		DD	A10IR1		1 1 1 2MB 1 1 0 1MB 1 0 1 512KB 1 0 0 256KB 0 1 1 128KB 0 1 0 64KB 0 0 1 32KB 0 0 0 16KB	1		
		DC	A10IR0			1		
		DB	–	reserved	–	–	–	読み出し時: 0
		DA	A10BW1	エリア10–9	A10BW[1:0] ウェイト数	0	R/W	
		D9	A10BW0	バーストROM バーストリードサイクルウェイト制御	1 1 3 1 0 2 0 1 1 0 0 0	0		
		D8	A10DRA	エリア10バーストROM選択	1 使用　0 未使用	0	R/W	
		D7	A9DRA	エリア9バーストROM選択	1 使用　0 未使用	0	R/W	
		D6	A10SZ	エリア10–9デバイスサイズ選択	1 8ビット　0 16ビット	0	R/W	
		D5	A10DF1	エリア10–9	A10DF[1:0] サイクル数	1	R/W	
		D4	A10DF0	出力ディセーブル遅延時間	1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	A10WT2	エリア10–9ウェイト制御	A10WT[2:0] ウェイト数	1	R/W	
		D1	A10WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D0	A10WT0			1		
エリア8–7 設定レジスタ	0048128 (HW)	DF–9	–	reserved	–	–	–	読み出し時: 0
		D8	A8DRA	エリア8 DRAM選択	1 使用　0 未使用	0	R/W	
		D7	A7DRA	エリア7 DRAM選択	1 使用　0 未使用	0	R/W	
		D6	A8SZ	エリア8–7デバイスサイズ選択	1 8ビット　0 16ビット	0	R/W	
		D5	A8DF1	エリア8–7	A8DF[1:0] サイクル数	1	R/W	
		D4	A8DF0	出力ディセーブル遅延時間	1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	A8WT2	エリア8–7ウェイト制御	A8WT[2:0] ウェイト数	1	R/W	
		D1	A8WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D0	A8WT0			1		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
エリア6–4 設定レジスタ	004812A (HW)	DF–E	–	reserved	–	–	–	読み出し時: 0
		DD DC	A6DF1 A6DF0	エリア6 出力ディセーブル遅延時間	A6DF[1:0] サイクル数 1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1 1	R/W	
		DB	–	reserved	–	–	–	読み出し時: 0
		DA D9 D8	A6WT2 A6WT1 A6WT0	エリア6ウェイト制御	A6WT[2:0] ウェイト数 1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1 1 1	R/W	
		D7	–	reserved	–	–	–	読み出し時: 0
		D6	A5SZ	エリア5–4デバイスサイズ選択	1 8ビット　0 16ビット	0	R/W	
		D5 D4	A5DF1 A5DF0	エリア5–4 出力ディセーブル遅延時間	A5DF[1:0] サイクル数 1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1 1	R/W	
		D3	–	reserved		–	–	読み出し時: 0
		D2 D1 D0	A5WT2 A5WT1 A5WT0	エリア5–4ウェイト制御	A5WT[2:0] ウェイト数 1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1 1 1	R/W	
バスコントロールレジスタ	004812E (HW)	DF	RBCLK	BCLK出力イネーブル	1 H 固定　0 イネーブル	0	R/W	
		DE	–	reserved	–	0	–	1書き込み禁止
		DD	RBST8	バーストROMバーストモード選択	1 8連続　0 4連続	0	R/W	
		DC	REDO	DRAMページモード選択	1 EDO　0 高速ページ	0	R/W	
		DB DA	RCA1 RCA0	カラムアドレスサイズ選択	RCA[1:0] サイズ 1 1 11 1 0 10 0 1 9 0 0 8	0 0	R/W	
		D9	RPC2	リフレッシュイネーブル	1 イネーブル　0 ディセーブル	0	R/W	
		D8	RPC1	リフレッシュ方式選択	1 セルフ　0 CBR	0	R/W	
		D7	RPC0	リフレッシュRPCディレイ	1 2.0　0 1.0	0	R/W	
		D6 D5	RRA1 RRA0	リフレッシュ RASパルス幅選択	RRA[1:0] サイクル数 1 1 5 1 0 4 0 1 3 0 0 2	0 0	R/W	
		D4	–	reserved	–	0	–	1書き込み禁止
		D3	SBUSST	外部インタフェース方式設定	1 #BSL　0 A0	0	R/W	
		D2	SEMAS	外部バスマスタ設定	1 存在　0 なし	0	R/W	
		D1	SEPD	外部パワーダウン制御	1 有効　0 無効	0	R/W	
		D0	SWAITE	#WAITイネーブル	1 許可　0 禁止	0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
DRAM タイミング設定 レジスタ	0048130 (HW)	DF–C	–	reserved	–	–	–	読み出し時: 0
		DB	A3EEN	エリア3エミュレーション	1 内蔵ROM 0 エミュレーション	1	R/W	
		DA D9	CEFUNC1 CEFUNC0	#CE端子機能選択	CEFUNC[1:0] #CE出力 1 x #CE7/8..#CE17/18 0 1 #CE6..#CE17 0 0 #CE4..#CE10	0 0	R/W	
		D8	CRAS	連続RASモード	1 連続 0 通常	0	R/W	
		D7 D6	RPRC1 RPRC0	DRAM RASプリチャージサイクル数	RPRC[1:0] サイクル数 1 1 4 1 0 3 0 1 2 0 0 1	0 0	R/W	
		D5	–	reserved	–	–	–	読み出し時: 0
		D4 D3	CASC1 CASC0	DRAM CASサイクル数	CASC[1:0] サイクル数 1 1 4 1 0 3 0 1 2 0 0 1	0 0	R/W	
		D2	–	reserved	–	–	–	読み出し時: 0
		D1 D0	RASC1 RASC0	DRAM RASサイクル数	RASC[1:0] サイクル数 1 1 4 1 0 3 0 1 2 0 0 1	0 0	R/W	
アクセス制御 レジスタ	0048132 (HW)	DF	A18IO	エリア18, 17外部/内部アクセス	1 内部アクセス 0 外部アクセス	0	R/W	
		DE	A16IO	エリア16, 15外部/内部アクセス		0	R/W	
		DD	A14IO	エリア14, 13外部/内部アクセス		0	R/W	
		DC	A12IO	エリア12, 11外部/内部アクセス		0	R/W	
		DB	–	reserved	–	0	–	読み出し時: 0
		DA	A8IO	エリア8, 7外部/内部アクセス	1 内部アクセス 0 外部アクセス	0	R/W	
		D9	A6IO	エリア6外部/内部アクセス		0	R/W	
		D8	A5IO	エリア5, 4外部/内部アクセス		0	R/W	
		D7	A18EC	エリア18, 17エンディアン制御	1 ビッグエンディアン 0 リトルエンディアン	0	R/W	
		D6	A16EC	エリア16, 15エンディアン制御		0	R/W	
		D5	A14EC	エリア14, 13エンディアン制御		0	R/W	
		D4	A12EC	エリア12, 11エンディアン制御		0	R/W	
		D3	A10EC	エリア10, 9エンディアン制御		0	R/W	
		D2	A8EC	エリア8, 7エンディアン制御		0	R/W	
		D1	A6EC	エリア6エンディアン制御		0	R/W	
		D0	A5EC	エリア5, 4エンディアン制御		0	R/W	
G/Aリード信号 制御レジスタ	0048138 (HW)	DF	A18AS	エリア18, 17アドレスストローブ	1 生成 0 禁止	0	R/W	
		DE	A16AS	エリア16, 15アドレスストローブ		0	R/W	
		DD	A14AS	エリア14, 13アドレスストローブ		0	R/W	
		DC	A12AS	エリア12, 11アドレスストローブ		0	R/W	
		DB	–	reserved	–	0	–	読み出し時: 0
		DA	A8AS	エリア8, 7アドレスストローブ	1 生成 0 禁止	0	R/W	
		D9	A6AS	エリア6アドレスストローブ		0	R/W	
		D8	A5AS	エリア5, 4アドレスストローブ		0	R/W	
		D7	A18RD	エリア18, 17リード信号	1 生成 0 禁止	0	R/W	
		D6	A16RD	エリア16, 15リード信号		0	R/W	
		D5	A14RD	エリア14, 13リード信号		0	R/W	
		D4	A12RD	エリア12, 11リード信号		0	R/W	
		D3	–	reserved	–	0	–	読み出し時: 0
		D2	A8RD	エリア8, 7リード信号	1 生成 0 禁止	0	R/W	
		D1	A6RD	エリア6リード信号		0	R/W	
		D0	A5RD	エリア5, 4リード信号		0	R/W	
BCLK選択 レジスタ	004813A (B)	D7–4	–	reserved	–	0	–	読み出し時: 0
		D3	A1X1MD	エリア1アクセス速度	1 2サイクル 0 4サイクル	0	R/W	x2スピードモード時
		D2	–	reserved	–	0	–	読み出し時: 0
		D1 D0	BCLKSEL1 BCLKSEL0	BCLK出力クロック選択	BCLKSEL[1:0] BCLK 1 1 PLL_CLK 1 0 OSC3_CLK 0 1 BCU_CLK 0 0 CPU_CLK	0 0	R/W	

A18SZ: **エリア**18–17**デバイスサイズ選択**(DE/0x48120<**エリア**18–15**設定レジスタ**>)
A16SZ: **エリア**16–15**デバイスサイズ選択**(D6/0x48120<**エリア**18–15**設定レジスタ**>)
A14SZ: **エリア**14–13**デバイスサイズ選択**(D6/0x48122<**エリア**14–13**設定レジスタ**>)
A12SZ: **エリア**12–11**デバイスサイズ選択**(D6/0x48124<**エリア**12–11**設定レジスタ**>)
A10SZ: **エリア**10–9**デバイスサイズ選択**(D6/0x48126<**エリア**10–9**設定レジスタ**>)
A8SZ: **エリア**8–7**デバイスサイズ選択**(D6/0x48128<**エリア**8–7**設定レジスタ**>)
A5SZ: **エリア**5–4**デバイスサイズ選択**(D6/0x4812A<**エリア**6–4**設定レジスタ**>)

各エリアに接続するデバイスのサイズを選択します。

"1"書き込み: 8ビット
"0"書き込み: 16ビット
読み出し: 可能

デバイスサイズを2つのエリア単位に選択できます。
AxxSZに"1"を書き込むと8ビット、"0"を書き込むと16ビットに設定されます。
エリア6はエリアの前半(0x300000～0x37FFFF)が8ビットデバイス用、後半(0x380000～0x3FFFFF)が16ビットデバイス用となっています。
コールドスタート時、これらのビットは"0"(16ビット)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A18DF1–A18DF0: **エリア**18–17**出力ディセーブル遅延時間**(D[D:C]/0x48120<**エリア**18–15**設定レジスタ**>)
A16DF1–A16DF0: **エリア**16–15**出力ディセーブル遅延時間**(D[5:4]/0x48120<**エリア**18–15**設定レジスタ**>)
A14DF1–A14DF0: **エリア**14–13**出力ディセーブル遅延時間**(D[5:4]/0x48122<**エリア**14–13**設定レジスタ**>)
A12DF1–A12DF0: **エリア**12–11**出力ディセーブル遅延時間**(D[5:4]/0x48124<**エリア**12–11**設定レジスタ**>)
A10DF1–A10DF0: **エリア**10–9**出力ディセーブル遅延時間**(D[5:4]/0x48126<**エリア**10–9**設定レジスタ**>)
A8DF1–A8DF0: **エリア**8–7**出力ディセーブル遅延時間**(D[5:4]/0x48128<**エリア**8–7**設定レジスタ**>)
A6DF1–A6DF0: **エリア**6**出力ディセーブル遅延時間**(D[D:C]/0x4812A<**エリア**6–4**設定レジスタ**>)
A5DF1–A5DF0: **エリア**5–4**出力ディセーブル遅延時間**(D[5:4]/0x4812A<**エリア**6–4**設定レジスタ**>)

出力ディセーブル遅延時間を設定します。

表4.24 **出力ディセーブル遅延時間**

AxxDF1	AxxDF0	**遅延時間**
1	1	3.5**サイクル**
1	0	2.5**サイクル**
0	1	1.5**サイクル**
0	0	0.5**サイクル**

出力ディセーブル時間の長いデバイスを使用する場合は、そのデバイスのリード直後のバスオペレーションでデータバス上の競合が発生しないように、遅延時間を設定します。
コールドスタート時、これらのビットは"11"(3.5サイクル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A18WT2–A18WT0: **エリア**18–17**ウェイト制御**(D[A:8]/0x48120<**エリア**18–15**設定レジスタ**>)
A16WT2–A16WT0: **エリア**16–15**ウェイト制御**(D[2:0]/0x48120<**エリア**18–15**設定レジスタ**>)
A14WT2–A14WT0: **エリア**14–13**ウェイト制御**(D[2:0]/0x48122<**エリア**14–13**設定レジスタ**>)
A12WT2–A12WT0: **エリア**12–11**ウェイト制御**(D[2:0]/0x48124<**エリア**12–11**設定レジスタ**>)
A10WT2–A10WT0: **エリア**10–9**ウェイト制御**(D[2:0]/0x48126<**エリア**10–9**設定レジスタ**>)
A8WT2–A8WT0: **エリア**8–7**ウェイト制御**(D[2:0]/0x48128<**エリア**8–7**設定レジスタ**>)
A6WT2–A6WT0: **エリア**6**ウェイト制御**(D[A:8]/0x4812A<**エリア**6–4**設定レジスタ**>)
A5WT2–A5WT0: **エリア**5–4**ウェイト制御**(D[2:0]/0x4812A<**エリア**6–4**設定レジスタ**>)

SRAMタイプのデバイスをアクセスする際のウェイトサイクル数を設定します。
ここに書き込む0～7の値が挿入されるウェイトサイクル数となります。
なお、ライトサイクルは最小サイクル数が2サイクルで、0または1の書き込みは無効です。
SRAMタイプのデバイスを接続した場合は#WAIT端子によるウェイトサイクルも挿入可能で、その場合もAxxWTによるウェイトサイクルは有効です。
DRAMのリード/ライトサイクルには、AxxWTまたは#WAIT端子によるウェイトサイクルは挿入されません。

バーストROMのバーストリード(最初のアクセスを除く)サイクルも同様で、ウェイトサイクルは挿入されません。バーストROMの最初のリードサイクルおよびバーストROM領域へのライトサイクルには、AxxWTで設定したウェイトサイクルが挿入されます。バーストROM領域へのライトサイクルの場合、#WAIT端子の設定も有効です。
コールドスタート時、これらのビットは"111"(7サイクル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A14DRA: **エリア**14 DRAM**選択**(D8/0x48122<**エリア**14–13**設定レジスタ**>)
A13DRA: **エリア**13 DRAM**選択**(D7/0x48122<**エリア**14–13**設定レジスタ**>)
A8DRA: **エリア**8 DRAM**選択**(D8/0x48128<**エリア**8–7**設定レジスタ**>)
A7DRA: **エリア**7 DRAM**選択**(D7/0x48128<**エリア**8–7**設定レジスタ**>)

DRAMダイレクトインタフェースを選択します。

"1"書き込み: DRAM使用
"0"書き込み: DRAM未使用
読み出し: 可能

本ICにDRAMを直結して使用する場合に"1"を書き込みます。"0"を書き込んだ場合は通常のSRAMタイプのインタフェースとなります。
DRAMを接続可能なエリアはCEFUNCが"0"の場合はエリア8と7、"1"の場合はエリア14と13です。
コールドスタート時、これらのビットは"0"(DRAM未使用)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A10IR2–A10IR0: **エリア**10**内蔵**ROM**サイズ選択**(D[E:C]/0x48126<**エリア**10–9**設定レジスタ**>)

エリア10の内蔵メモリ/エミュレーションメモリサイズを選択します。

表4.25 **エリア**10**内蔵**ROM**サイズ**

A10IR2	A10IR1	A10IR0	ROM**サイズ**
0	0	0	16KB
0	0	1	32KB
0	1	0	64KB
0	1	1	128KB
1	0	0	256KB
1	0	1	512KB
1	1	0	1MB
1	1	1	2MB

コールドスタート時、A10IRは"111"(2MB)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A10BW1–A10BW0: **バーストリードサイクルウェイト制御**(D[A:9]/0x48126<**エリア**10–9**設定レジスタ**>)

バーストリード時のウェイトサイクル数を設定します。
ここに書き込む0～3の値が挿入されるウェイトサイクル数となります。この設定内容はエリア10と9の両方に適用されます。バーストROMの最初のリードサイクルおよびバーストROM領域へのライトサイクルには、AxxWTで設定したウェイトサイクルが挿入されます。バーストROM領域へのライトサイクルの場合、#WAIT端子の設定も有効です。
コールドスタート時、A10BWは"0"(0サイクル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A10DRA: **エリア**10**バースト**ROM**選択**(D8/0x48126<**エリア**10–9**設定レジスタ**>)
A9DRA: **エリア**9**バースト**ROM**選択**(D7/0x48126<**エリア**10–9**設定レジスタ**>)

エリア10と9をバーストROM用に設定します。

"1"書き込み: バーストROM使用
"0"書き込み: バーストROM未使用
読み出し: 可能

バーストROMを使用する場合に"1"を書き込みます。"0"を書き込んだ場合は通常のSRAMタイプのインタフェースとなります。
エリア9はCEFUNCが"00"の場合にのみ使用可能です。
コールドスタート時、これらのビットは"0"(バーストROM未使用)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

RBCLK: BCLK**出力制御**(DF/0x4812E<**バスコントロールレジスタ**>)

バスクロックBCLKの外部出力を制御します。

"1"書き込み: High固定
"0"書き込み: 出力イネーブル
読み出し: 可能

BCLK端子のバスクロック出力を停止する場合に"1"を書き込みます。出力を停止すると、BCLK端子はHighレベルとなります。"0"を書き込むとBCLK端子はバスクロックを出力します。
BCLK端子のバスクロック出力は、HALT2モード時およびSLEEPモード時も停止します。
コールドスタート時、RBCLKは"0"(出力イネーブル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

RBST8: **バーストモード選択**(DD/0x4812E<**バスコントロールレジスタ**>)

バーストリード時の動作モードを設定します。

"1"書き込み: 8連続バーストモード
"0"書き込み: 4連続バーストモード
読み出し: 可能

RBST8に"1"を書き込むことにより8連続バーストモード、"0"の場合は4連続バーストモードに設定されます。この設定はエリア10、9をバーストROM用に設定した場合に有効で、両方のエリアに同時に適用されます。
コールドスタート時、RBST8は"0"(4連続バーストモード)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

REDO: **ページモード選択**(DC/0x4812E<**バスコントロールレジスタ**>)

DRAMのページモードを選択します。

"1"書き込み: EDOページモード
"0"書き込み: 高速ページモード
読み出し: 可能

EDOタイプのDRAMを使用する場合に"1"を書き込み、EDOページモードを設定します。
この設定内容はDRAMに対応したエリア14、13、8、7すべてに適用されます。
コールドスタート時、REDOは"0"(高速ページモード)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

RCA1–RCA0: **カラムアドレスサイズ選択**(D[B:A]/0x4812E<**バスコントロールレジスタ**>)

DRAMのカラムアドレスサイズを選択します。

表4.26 **カラムアドレスサイズ**

RCA1	RCA0	**カラムアドレスサイズ**
1	1	11
1	0	10
0	1	9
0	0	8

この設定内容はDRAMに対応したエリア14、13、8、7すべてに適用されます。
RCAは読み出しも可能です。コールドスタート時、RCAは"0"(8ビット)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

RPC2: **リフレッシュイネーブル**(D9/0x4812E<**バスコントロールレジスタ**>)

DRAMリフレッシュ機能を制御します。

"1"書き込み: イネーブル
"0"書き込み: ディセーブル
読み出し: 可能

DRAMを直結する場合、RPC2に"1"を書き込むことによりリフレッシュサイクルが生成されます。"0"を書き込んだ場合は内蔵のリフレッシュ機能が無効となります。
HALT2モードおよびSLEEPモード時はBCUが停止するため、この制御にかかわらずリフレッシュサイクルは生成されません。
この設定内容はDRAMに対応したエリア14、13、8、7すべてに適用されます。
コールドスタート時、RPC2は"0"(ディセーブル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

RPC1: **リフレッシュ方式選択**(D8/0x4812E<**バスコントロールレジスタ**>)

DRAMリフレッシュ方式を選択します。

"1"書き込み: セルフリフレッシュ
"0"書き込み: CASビフォアRASリフレッシュ
読み出し: 可能

CASビフォアRASリフレッシュを行う場合はRPC1を"0"に設定後、RPC2を"1"に設定します。これにより、8ビットプログラマブルタイマ0のアンダーフロー出力信号がDRAMインタフェースに入力され、その周期でリフレッシュサイクルを生成します。
セルフリフレッシュを開始するにはRPC1を"1"に設定後、RPC2を"1"に設定します。セルフリフレッシュを解除するには、RPC2に"0"を書き込みます。
この設定内容はDRAMに対応したエリア14、13、8、7すべてに適用されます。
コールドスタート時、RPC1は"0"(CASビフォアRASリフレッシュ)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

RPC0: **リフレッシュ**RPC**ディレイ設定**(D7/0x4812E<**バスコントロールレジスタ**>)

リフレッシュ開始時のRPCディレイを設定します。

"1"書き込み: 2サイクル
"0"書き込み: 1サイクル
読み出し: 可能

直前のプリチャージサイクルからリフレッシュのための#HCAS/#LCAS立ち下げまでの時間を設定します。RPC0が"1"の場合は2サイクル、"0"の場合は"1"サイクルです。
この設定内容はDRAMに対応したエリア14、13、8、7すべてに適用されます。
コールドスタート時、RPC0は"0"(1サイクル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

RRA1–RRA0: **リフレッシュ**RAS**パルス幅選択**(D[6:5]/0x4812E<**バスコントロールレジスタ**>)

CASビフォアRASリフレッシュサイクルのRASパルス幅を選択します。

表4.27 **リフレッシュ**RAS**パルス幅**

RRA1	RRA0	**パルス幅**
1	1	**5サイクル**
1	0	**4サイクル**
0	1	**3サイクル**
0	0	**2サイクル**

この設定内容はDRAMに対応したエリア14、13、8、7すべてに適用されます。
RRAは読み出しも可能です。
コールドスタート時、RRAは"0"(2サイクル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SBUSST: **外部インタフェース方式選択**(D3/0x4812E<**バスコントロールレジスタ**>)

SRAMタイプデバイスのインタフェース方式を選択します。

"1"書き込み: #BSL方式
"0"書き込み: A0方式
読み出し: 可能

#BSL方式を使用する場合はSBUSSTに"1"を書き込みます。
この設定内容はSRAMタイプに設定したすべてのエリアに適用されます。
コールドスタート時、SBUSSTは"0"(A0方式)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SEMAS: **外部バスマスタ設定**(D2/0x4812E<**バスコントロールレジスタ**>)

外部バスマスタが存在するかどうかを設定します。

"1"書き込み: 存在
"0"書き込み: なし
読み出し: 可能

SEMASに"1"を書き込むことにより、#BUSREQ端子によるバス権解放要求を受け付け可能な状態となります。外部にバスマスタを設けない場合は"0"に固定してください。
コールドスタート時、SEMASは"0"(なし)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SEPD: **外部パワーダウン制御**(D1/0x4812E<**バスコントロールレジスタ**>)

外部バスマスタによるCPUのパワーダウン制御機能を有効に設定します。

"1"書き込み: 有効
"0"書き込み: 無効
読み出し: 可能

SEPDに"1"を書き込むことによって、外部端子(#BUSREQ)によるパワーダウン制御が有効となります。その状態で#BUSREQ端子をLowにするとCPUがHALT状態となり、消費電流を低減することができます。
コールドスタート時、SEPDは"0"(無効)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SWAITE: #WAITイネーブル(D0/0x4812E<バスコントロールレジスタ>)

#WAIT端子によるウェイトサイクルの制御を許可/禁止します。

"1"書き込み: 許可
"0"書き込み: 禁止
読み出し: 可能

SWAITEに"1"を書き込むことにより、SRAMタイプのデバイスからのウェイト要求を受け付け可能な状態となります。#WAIT端子から入力されるウェイト要求信号は、SRAMタイプのリード/ライトサイクル実行時にバスクロックの各立ち下がりエッジでサンプリングされ、Highがサンプリングされるまでウェイトサイクルが挿入されます。
0～7サイクルまでのウェイト制御は、#WAIT端子を使用しなくてもAxxWTにより制御が可能です。ただし、AxxWTによる設定は2エリアごとのため、エリア個々にウェイトサイクル数を制御したい場合や、7サイクル以上のウェイトサイクルが必要な場合は、外部ウェイト要求で対応してください。
SWAITEが"0"の場合、#WAIT端子からのウェイト要求は無視されます。
この設定内容はSRAMタイプに設定したすべてのエリアに適用されます。また、バーストROMに設定したエリアのライトサイクルに対しても有効です。
コールドスタート時、SWAITEは"0"(禁止)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A3EEN: エリア3エミュレーション(DB/0x48130<DRAMタイミング設定レジスタ>)

エリア3エミュレーションモードを設定します。

"1"書き込み: 内蔵ROMモード
"0"書き込み: エミュレーションモード
読み出し: 可能

A3EENに"0"を書き込むとエリア3は内蔵ROMエミュレーションモードに設定され、内蔵ROMと同じ条件で外部デバイスがアクセスされます。
A3EENが"1"の場合、エリア3は内蔵ROMがアクセスされます。
このビットはEA3MD端子と同じ機能を持ち、ビットの内容と端子の状態の論理和によりモードが決定します。
コールドスタート時、A3EENは"1"(内蔵ROMモード)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

CEFUNC1–CEFUNC0: #CE端子機能選択(D[A:9]/0x48130<DRAMタイミング設定レジスタ>)

#CE端子の割り付けエリアを変更します。

表4.28 #CE**出力の切り換え**

端子	CEFUNC = "00"	CEFUNC = "01"	CEFUNC = "1x"
#CE4	#CE4	#CE11	#CE11+#CE12
#CE5	#CE5	#CE15	#CE15+#CE16
#CE6	#CE6	#CE6	#CE7+#CE8
#CE7/#RAS0	#CE7/#RAS0	#CE13/#RAS2	#CE13/#RAS2
#CE8/#RAS1	#CE8/#RAS1	#CE14/#RAS3	#CE14/#RAS3
#CE9	#CE9	#CE17	#CE17+#CE18
#CE10EX	#CE10EX	#CE10EX	#CE9+#CE10EX

(**デフォルト**: CEFUNC = "00")

CEFUNCに"01"を書き込むことで使用可能となる上位のエリアは、デフォルトの下位エリアに比べエリアサイズを大きく取ることができます。たとえば、デフォルト設定でDRAMを使用する場合、エリア7と8で4Mバイトまでとなりますが、エリア13と14を使用すると最大32MバイトのDRAMが使用可能となります。他のエリアも同様です。また、CEFUNCを"10"または"11"に設定すると、4本のチップイネーブル信号が、それぞれ2エリアに対応するように拡張されます。
コールドスタート時、CEFUNCは"00"に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

CRAS: **連続**RAS**モード設定**(D8/0x48130<DRAM**タイミング設定レジスタ**>)

連続RASモードを設定します。

"1"書き込み: 連続RASモード
"0"書き込み: 通常モード
読み出し: 可能

DRAMを使用するシステムにおいてCRASに"1"を書き込むと連続RASモードに設定され、DRAMアクセスが連続しない場合でもページモードによるリード/ライトが可能になります。
連続RASモードを使用する場合は、必ずリード信号に#DRD、下位バイト用のライト信号に#DWEを使用してください。
CRASが"0"の場合、連続しないDRAMアクセスはランダムリード/ライトサイクルとなります。
この設定内容はDRAMに対応したエリア14、13、8、7すべてに適用されます。
コールドスタート時、CRASは"0"(通常モード)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

RPRC1–RPRC0: RAS**プリチャージサイクル数選択**(D[7:6]/0x48130<DRAM**タイミング設定レジスタ**>)

DRAMアクセス時のプリチャージサイクル数を選択します。

表4.29 RAS**プリチャージサイクル数**

RPRC1	RPRC0	**サイクル数**
1	1	**4サイクル**
1	0	**3サイクル**
0	1	**2サイクル**
0	0	**1サイクル**

この設定内容はDRAMに対応したエリア14、13、8、7すべてに適用されます。
コールドスタート時、RPRCは"0"(1サイクル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

CASC1–CASC0: CAS**サイクル数選択**(D[4:3]/0x48130<DRAM**タイミング設定レジスタ**>)

DRAMアクセス時のCASサイクル数を選択します。

表4.30 CAS**サイクル数**

CASC1	CASC0	CAS**サイクル数**
1	1	**4サイクル**
1	0	**3サイクル**
0	1	**2サイクル**
0	0	**1サイクル**

この設定内容はDRAMに対応したエリア14、13、8、7すべてに適用されます。
コールドスタート時、CASCは"0"(1サイクル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

RASC1–RASC0: RAS**サイクル数選択**(D[1:0]/0x48130<DRAM**タイミング設定レジスタ**>)

DRAMアクセス時のRASサイクル数を選択します。

表4.31 RAS**サイクル数**

RASC1	RASC0	RAS**サイクル数**
1	1	**4サイクル**
1	0	**3サイクル**
0	1	**2サイクル**
0	0	**1サイクル**

この設定内容はDRAMに対応したエリア14、13、8、7すべてに適用されます。
コールドスタート時、RASCは"0"(1サイクル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A18IO: **エリア**18–17**外部/内部アクセス選択**(DF/0x48132<**アクセス制御レジスタ**>)
A16IO: **エリア**16–15**外部/内部アクセス選択**(DE/0x48132<**アクセス制御レジスタ**>)
A14IO: **エリア**14–13**外部/内部アクセス選択**(DD/0x48132<**アクセス制御レジスタ**>)
A12IO: **エリア**12–11**外部/内部アクセス選択**(DC/0x48132<**アクセス制御レジスタ**>)
A8IO: **エリア**8–7**外部/内部アクセス選択**(DA/0x48132<**アクセス制御レジスタ**>)
A6IO: **エリア**6**外部/内部アクセス選択**(D9/0x48132<**アクセス制御レジスタ**>)
A5IO: **エリア**5–4**外部/内部アクセス選択**(D8/0x48132<**アクセス制御レジスタ**>)

各エリアを内部アクセスするか外部アクセスするか選択します。

"1"書き込み: 内部アクセス
"0"書き込み: 外部アクセス
読み出し: 可能

AxxIOを"1"に設定すると、対応するエリアに割り付けられている内蔵デバイスがアクセスされます。AxxIOを"0"に設定すると、外部デバイスがアクセスされます。
コールドスタート時、これらのビットは"0"(外部アクセス)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A18EC: **エリア**18–17**リトル/ビッグエンディアン形式選択**(D7/0x48132<**アクセス制御レジスタ**>)
A16EC: **エリア**16–15**リトル/ビッグエンディアン形式選択**(D6/0x48132<**アクセス制御レジスタ**>)
A14EC: **エリア**14–13**リトル/ビッグエンディアン形式選択**(D5/0x48132<**アクセス制御レジスタ**>)
A12EC: **エリア**12–11**リトル/ビッグエンディアン形式選択**(D4/0x48132<**アクセス制御レジスタ**>)
A10EC: **エリア**10–9**リトル/ビッグエンディアン形式選択**(D3/0x48132<**アクセス制御レジスタ**>)
A8EC: **エリア**8–7**リトル/ビッグエンディアン形式選択**(D2/0x48132<**アクセス制御レジスタ**>)
A6EC: **エリア**6**リトル/ビッグエンディアン形式選択**(D1/0x48132<**アクセス制御レジスタ**>)
A5EC: **エリア**5–4**リトル/ビッグエンディアン形式選択**(D0/0x48132<**アクセス制御レジスタ**>)

各エリアのアクセス形式(リトルエンディアンまたはビッグエンディアン)を選択します。

"1"書き込み: ビッグエンディアン
"0"書き込み: リトルエンディアン
読み出し: 可能

AxxECを"1"に設定すると、対応するエリアはビッグエンディアン形式でアクセスされます。AxxECを"0"に設定すると、リトルエンディアン形式でアクセスされます。エリア10からブートする場合は、A10ECを"0"(リトルエンディアン)に固定してください。
コールドスタート時、これらのビットは"0"(リトルエンディアン)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A18AS: **エリア**18–17**アドレスストローブ信号**(DF/0x48138<G/A**リード信号制御レジスタ**>)
A16AS: **エリア**16–15**アドレスストローブ信号**(DE/0x48138<G/A**リード信号制御レジスタ**>)
A14AS: **エリア**14–13**アドレスストローブ信号**(DD/0x48138<G/A**リード信号制御レジスタ**>)
A12AS: **エリア**12–11**アドレスストローブ信号**(DC/0x48138<G/A**リード信号制御レジスタ**>)
A8AS: **エリア**8–7**アドレスストローブ信号**(DA/0x48138<G/A**リード信号制御レジスタ**>)
A6AS: **エリア**6**アドレスストローブ信号**(D9/0x48138<G/A**リード信号制御レジスタ**>)
A5AS: **エリア**5–4**アドレスストローブ信号**(D8/0x48138<G/A**リード信号制御レジスタ**>)

エリア専用のアドレスストローブ信号出力をイネーブル/ディセーブルに設定します。

"1"書き込み: イネーブル
"0"書き込み: ディセーブル
読み出し: 可能

AxxASを"1"に設定すると、対応するエリアのアクセス時にエリア専用のアドレスストローブ信号が#GAAS(P21)端子から出力されます。AxxASを"0"に設定すると、信号は出力されません。
コールドスタート時、これらのビットは"0"(ディセーブル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A18RD: **エリア**18–17**リード信号**(D7/0x48138<G/A**リード信号制御レジスタ**>)
A16RD: **エリア**16–15**リード信号**(D6/0x48138<G/A**リード信号制御レジスタ**>)
A14RD: **エリア**14–13**リード信号**(D5/0x48138<G/A**リード信号制御レジスタ**>)
A12RD: **エリア**12–11**リード信号**(D4/0x48138<G/A**リード信号制御レジスタ**>)
A8RD: **エリア**8–7**リード信号**(D2/0x48138<G/A**リード信号制御レジスタ**>)
A6RD: **エリア**6**リード信号**(D1/0x48138<G/A**リード信号制御レジスタ**>)
A5RD: **エリア**5–4**リード信号**(D0/0x48138<G/A**リード信号制御レジスタ**>)

エリア専用のリード信号出力をイネーブル/ディセーブルに設定します。

"1"書き込み: イネーブル
"0"書き込み: ディセーブル
読み出し: 可能

AxxRDを"1"に設定すると、対応するエリアの読み出し時にエリア専用のリード信号が#GARD(P31)端子から出力されます。AxxRDを"0"に設定すると、信号は出力されません。
コールドスタート時、これらのビットは"0"(ディセーブル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

BCLKSEL1–BCLKSEL0: BCLK**出力クロック選択** (D[1:0]/0x4813A<BCLK**選択レジスタ**>)

BCLK端子から出力するクロックを選択します。この設定はSDRENA(0x39FFC1•D7) = "0"の場合にのみ有効です。

表4.32 BCLK**出力クロックの選択**

SDRENA	BCLKSEL1	BCLKSEL0	**出力クロック**
0	1	1	PLL_CLK (PLL**出力クロック**)
	1	0	OSC3_CLK (OSC3**発振クロック**)
	0	1	BCU_CLK (BCU**動作クロック**)
	0	0	CPU_CLK (CPU**動作クロック**)
1	–	–	SD_CLK (SDRAM**クロック**)

PLL_CLK: PLLの出力クロックです。安定したクロックが出力されます。PLLが停止しない限りは、クロックが出力されます。PLLは以下の場合に停止します。
1. PLLS[1:0]端子でPLLをOFFにした場合
2. SLP命令を実行してOSC3(高速)発振を停止させた場合
3. CLGのレジスタでOSC3(高速)発振を停止させた場合

なお、位相はCPU動作クロックとは、ずれています。

OSC3_CLK: OSC3(高速)発振回路の出力クロックです。安定したクロックが出力されます。OSC3(高速)発振回路が停止しない限りは、クロックが出力されます。OSC3(高速)発振回路は以下の場合に停止します。
1. SLP命令を実行した場合
2. CLGのレジスタで発振を停止させた場合

なお、位相はCPU動作クロックとは、ずれています。

BCU_CLK: バスコントローラのバスクロックです。バスサイクルの速度に応じたクロック信号が出力されます。x2スピードモードを設定した場合、クロック周波数はダイナミックに変化します。
1. 内蔵RAM/内蔵ROMアクセス時はx2のクロック(CPU動作クロックと同じ、たとえば50MHz)が出力されます。
2. 外部バスアクセス時はx1のクロック(たとえば25MHz)が出力されます。

クロックはダイナミックに、たとえば50MHzと25MHzで変化しますが、外部メモリをアクセスしたときは、25MHzのバスクロックの立ち上がり、立ち下がりの位置と、たとえば#WRの立ち下がりの位置の関係は一定です。(25MHz、x1スピードモード時の位相関係と同じになります。)

CPU_CLK: CPUの動作クロックです。出力クロックの周波数は次のようになります。
1. PLLがONのときは、PLLの出力クロックの周波数となります。
2. PLLがOFFのときは、OSC3(高速)発振回路の出力クロックの周波数となります。
3. ただし、CLGでCPUのクロック周波数を分周するように設定している場合は、分周後の周波数となります。
4. HALT命令またはSLP命令でCPUが停止した場合は、このクロックも停止します。

このクロックはバスクロックとほぼ同位相の波形となります。

イニシャルリセット時、BCLKSELは"00"(CPU_CLK)に設定されます。

SDRENA: SDRAM信号イネーブル(D7/0x39FFC1<SDRAM制御レジスタ>)

SDRAM用端子を有効にします。

"1"書き込み: 有効
"0"書き込み: 無効
読み出し: 可能

SDRENAに"1"を書き込むと、他の機能と兼用されている端子がSDRAM用に設定され、BCLK端子からはSDRAMクロックが出力されます。SDRENAが"0"の場合、兼用端子は他の機能となります。
HALT2またはSLEEPモードでは、BCLK端子のSDRAMクロック出力は停止します。
コールドスタート時、SDRENAは"0"(無効)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A1X1MD: エリア1アクセス速度 (D3/0x4813A<BCLK選択レジスタ>)

x2スピードモード時のエリア1のアクセス速度を選択します。

"1"書き込み: 2サイクル
"0"書き込み: 4サイクル
読み出し: 可能

x2スピードモード(#X2SPD端子="0")に設定されている場合、A1X1MDに"1"を書き込むとエリア1がCPUシステムクロックの2サイクルでリード/ライトされます。A1X1MDが"0"の場合は4サイクルでリード/ライトされます。
x1スピードモード(#X2SPD端子="1")の場合は、A1X1MDの設定にかかわらず2サイクルに固定です。
コールドスタート時、A1X1MDは"0"(4サイクル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

このページはブランクです。

II-5 ITC(割り込みコントローラ)

C33コアブロックには割り込みコントローラが内蔵されており、内蔵周辺回路が発生するすべての割り込みを制御します。この章では、マスク可能な割り込みの制御方法を中心に、割り込みコントローラの機能を説明します。個別の割り込み要因の詳細と発生条件等については、各周辺回路の説明を参照してください。

割り込み機能概要

マスク可能な割り込み

ITCは表5.1に示す39種類のマスク可能な割り込みが用意されています。

表5.1 マスク可能割り込み一覧

No.	Hex No.	ベクタ番号 (Hexアドレス)	割り込み系列 (周辺回路)	割り込み要因	IDMA Ch.	優先順位
1	10	16(Base+40)	ポート入力割り込み0	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	1	高い
2	11	17(Base+44)	ポート入力割り込み1	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	2	↑
3	12	18(Base+48)	ポート入力割り込み2	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	3	
4	13	19(Base+4C)	ポート入力割り込み3	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	4	
5	14	20(Base+50)	キー入力割り込み0	入力立ち下がりまたは立ち上がりエッジ	–	
6	15	21(Base+54)	キー入力割り込み1	入力立ち下がりまたは立ち上がりエッジ	–	
7	16	22(Base+58)	高速DMA Ch.0	高速DMA Ch.0転送終了	5	
8	17	23(Base+5C)	高速DMA Ch.1	高速DMA Ch.1転送終了	6	
9	18	24(Base+60)	高速DMA Ch.2	高速DMA Ch.2転送終了	–	
10	19	25(Base+64)	高速DMA Ch.3	高速DMA Ch.3転送終了	–	
11	1A	26(Base+68)	インテリジェントDMA	インテリジェントDMA転送終了	–	
–		27~29	reserved	–	–	
12	1E	30(Base+78)	16ビットプログラマブル	タイマ0コンペアB	7	
13	1F	31(Base+7C)	タイマ0	タイマ0コンペアA	8	
–		32~33	reserved	–	–	
14	22	34(Base+88)	16ビットプログラマブル	タイマ1コンペアB	9	
15	23	35(Base+8C)	タイマ1	タイマ1コンペアA	10	
–		36~37	reserved	–	–	
16	26	38(Base+98)	16ビットプログラマブル	タイマ2コンペアB	11	
17	27	39(Base+9C)	タイマ2	タイマ2コンペアA	12	
–		40~41	reserved	–	–	
18	2A	42(Base+A8)	16ビットプログラマブル	タイマ3コンペアB	13	
19	2B	43(Base+AC)	タイマ3	タイマ3コンペアA	14	
–		44~45	reserved	–	–	
20	2E	46(Base+B8)	16ビットプログラマブル	タイマ4コンペアB	15	
21	2F	47(Base+BC)	タイマ4	タイマ4コンペアA	16	
–		48~49	reserved	–	–	
22	32	50(Base+C8)	16ビットプログラマブル	タイマ5コンペアB	17	
23	33	51(Base+CC)	タイマ5	タイマ5コンペアA	18	
24	34	52(Base+D0)	8ビットプログラマブル	タイマ0アンダーフロー	19	
25	35	53(Base+D4)	タイマ	タイマ1アンダーフロー	20	
26	36	54(Base+D8)		タイマ2アンダーフロー	21	
27	37	55(Base+DC)		タイマ3アンダーフロー	22	
28	38	56(Base+E0)	シリアルインタフェース	受信エラー	–	
29	39	57(Base+E4)	Ch.0	受信バッファフル	23	
30	3A	58(Base+E8)		送信バッファエンプティ	24	
–		59	reserved	–	–	
31	3C	60(Base+F0)	シリアルインタフェース	受信エラー	–	
32	3D	61(Base+F4)	Ch.1	受信バッファフル	25	
33	3E	62(Base+F8)		送信バッファエンプティ	26	
–		63	reserved	–	–	
34	40	64(Base+100)	A/D変換器	A/D変換完了	27	
35	41	65(Base+104)	計時タイマ	32Hz, 8Hz, 2Hz, 1Hz信号立ち下がりエッジ 1分, 1時間, 指定時間カウント	–	
–		66~67	reserved	–	–	
36	44	68(Base+110)	ポート入力割り込み4	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	28	
37	45	69(Base+114)	ポート入力割り込み5	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	29	
38	46	70(Base+118)	ポート入力割り込み6	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	30	↓
39	47	71(Base+11C)	ポート入力割り込み7	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	31	低い

■ 表の内容

[Hex No.]は割り込み番号を16進数で示します。

[ベクタ番号(アドレス)]はトラップテーブルのベクタ番号で、( )内はトラップテーブル先頭アドレス(Base)からのオフセット(バイト数)を示します。トラップテーブル先頭アドレス(Base)はデフォルトでブートアドレスとなりますので、イニシャルリセット時は0xC00000となります。このアドレスは、TTBRレジスタ(0x48134～0x48137)で変更することも可能です。

例外要因等も含むトラップテーブルの内容については、"S1C33000コアCPUマニュアル"を参照してください。

[割り込み系列(周辺回路)]は、記述された周辺回路ごとに割り込みレベルがプログラムできることを示します。

[割り込み要因]は、各割り込み系列内で発生する割り込み要因の種類を示します。

[IDMA Ch.]に数値を持つ割り込み要因は、要因の発生時にIDMA(インテリジェントDMA)を起動してデータを転送できることを示します。数値はIDMAのチャネル番号です。数値のない割り込み要因はIDMAを起動することはできません。

[優先順位]は、すべての割り込み系列が同じ割り込みレベルに設定されている場合の優先順位を示します。複数の割り込み要因が同時に発生した場合は、優先順位の高いものから受け付けられます。各割り込み系列に設定する割り込みレベルによって、優先順位は変わります。ただし、同一割り込み系列内の割り込み要因については記述された順序に固定です。

■ マスク可能な割り込みの発生条件

CPUに対するマスク可能な割り込みは、以下のすべての条件が成立している場合に発生します。

- 発生した割り込み要因に対応する割り込みイネーブルレジスタのビットが"1"にセットされている。
- PSR(CPU内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが"1"にセットされている。
- 発生した割り込み要因が、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。(割り込みレベルは各割り込み系列の割り込みプライオリティレジスタで設定可能です。)
- NMIなど、他の優先順位の高いトラップ要因が発生していない。
- 発生した割り込み要因でIDMAが起動するようにプログラムされていない(IDMAリクエストビットが"1"にセットされていない)。

割り込み要因が発生すると対応する割り込み要因フラグが"1"にセットされ、プログラムでリセットするまではその状態を保持します。したがって、割り込み要因の発生時点で上記の条件が満たされていない場合でも発生した割り込み要因がクリアされることはありません。上記の条件が満たされた時点で割り込みが発生します。
ただし、割り込み要因でIDMAを起動し、以下のいずれかの条件が成立する場合には割り込み要因フラグがリセットされます。

- IDMAの転送回数カウンタが"0"以外の場合
- IDMAの転送回数カウンタが"0"の場合でも、IDMAのコントロール情報で割り込みを禁止している場合

同時に複数のマスク可能な割り込み要因が発生した場合は、その中で最もレベルの高い割り込み要因がその時点でのCPUへの割り込み要求の対象となります。レベルの低い割り込みは、その後、上記の条件が成立するまで保留されます。

PSRおよび割り込み制御レジスタの詳細は後述します。
各割り込み要因の発生条件については、各周辺回路の説明を参照してください。

割り込み要因とインテリジェントDMA

いくつかの割り込み要因はIDMAを起動するように設定できます。IDMAを起動するように設定した割り込み要因が発生した場合は、CPUへの割り込み要求の前にIDMAが起動されます。CPUへの割り込み要求はIDMA終了後に発生します(プログラムにより割り込みを禁止することも可能)。
IDMAの起動はPSRの設定にかかわらず行われます。詳細は"IDMAの起動"を参照してください。

NMI (ノンマスカブル割り込み)

#NMI端子へのLowレベル入力または内蔵のウォッチドッグタイマにより、NMI(ノンマスカブル割り込み)を発生させることができます。NMIのベクタ番号は7で、ベクタアドレスはトラップテーブル先頭アドレス+28(バイト)に設定されています。
この割り込みは他の割り込み要因に優先して、無条件にCPUに受け付けられます。
ただし、SP(スタックポインタ)設定前に発生すると誤動作するため、イニシャルリセット後はSPに対して書き込みが行われるまでハードウェアによってマスクされるようになっています。

CPUの割り込み処理

CPUは毎サイクル、割り込み要求のサンプリングを行っています。CPUは割り込み要求を受け付けるとその時点の命令の実行終了後、トラップ処理に移行します。
トラップ処理で実行される内容は以下のとおりです。

(1) PSRおよび現在のPC(プログラムカウンタ)値をスタックに退避
(2) PSRのIEビットを"0"にリセット(以降のマスク可能な割り込みを禁止)
(3) PSRのILを受け付けた割り込みのレベルにセット(NMIは割り込みレベルを変更しない)
(4) 発生した割り込み要因のベクタをPCにロードして割り込み処理ルーチンを実行

したがって、割り込みを受け付けると、(2)によって以降のマスク可能な割り込みは禁止されます。
割り込み処理ルーチン内でIEビットを"1"にセットすることで、多重割り込みにも対応できます。その場合、(3)によってILが変更されていますので、現在処理中の割り込みより高いレベルの割り込みのみが受け付けられます。
割り込み処理ルーチンをreti命令で終了すると、PSRが割り込み発生前の状態に戻ります。プログラムは割り込み発生時に実行していた命令の次の命令に分岐して処理を再開します。

割り込みによるスタンバイモードの解除

スタンバイモード(HALT、SLEEP)は、NMIまたはマスク可能な割り込みによって解除されます。
HALTモードの解除にはすべてのマスク可能な割り込みを使用することができます。ただし、HALT2モードでバスクロックを停止した場合は、DMAの割り込みは使用できません。
SLEEPモードでは高速(OSC3)発振回路が停止するため、OSC3クロックを原振とする周辺回路の割り込みは使用できません。

HALT基本モードを解除可能な割り込み: NMIおよびすべてのマスク可能な割り込み
HALT2モードを解除可能な割り込み: NMIおよびすべてのマスク可能な割り込み(DMA割り込みを除く)
SLEEPモードを解除可能な割り込み: NMI、入力ポート割り込み、計時タイマ割り込み

スタンバイモードの解除はCPUへの割り込み要求によって行われます。したがって、PSRがその割り込みを受け付け可能な状態に設定され、割り込み要因に対応した割り込みイネーブルレジスタのビットが割り込み許可に設定されていることが必要です。
スタンバイモードが解除されCPUがその割り込みを受け付けた場合は、割り込み処理ルーチンを実行後にhaltまたはslp命令の次の命令に戻ります。

注: **スタンバイモードからの再起動用の割り込み要因がIDMAを起動するように設定されている場合、その割り込みによりIDMAが起動します。**
SLEEPモードの場合は高速(OSC3)発振回路も発振を開始します。
IDMA側の設定でIDMA終了後の割り込みが禁止されていると、CPUへの割り込み要求信号が発生しないため、CPUは動作を停止したままとなり次の割り込み要求が発生するまで動作を開始しません。

トラップテーブル

割り込みベクタを書き込んでおくトラップテーブルのベース(先頭)アドレスは、TTBRレジスタによって設定することができます。
TTBR0(TTBR下位レジスタ0x48134•D[9:0]): トラップテーブルベースアドレス[9:0] ("0"に固定)
TTBR1(TTBR下位レジスタ0x48134•D[F:A]): トラップテーブルベースアドレス[15:10]
TTBR2(TTBR上位レジスタ0x48136•D[B:0]): トラップテーブルベースアドレス[27:16]
TTBR3(TTBR上位レジスタ0x48136•D[F:C]): トラップテーブルベースアドレス[31:28] ("0"に固定)

イニシャルリセット後、TTBRレジスタは0x0C00000番地に設定されます。

したがって、トラップテーブルの位置を変更する場合でも、リセットベクタのみは上記のアドレスに書き込んでおくことが必要です。

TTBR0とTTBR3は読み出し専用で"0"に固定されます。このため、トラップテーブルの先頭アドレスは常に1KB境界アドレスから始まります。
なお、TTBRレジスタは誤って書き換えられることのないように、通常は書き込み禁止状態に置かれ、この書き込み保護機能を解除するためにTTBRレジスタ書き込み保護レジスタTBRP(D[7:0]/0x4812D[Byte])が用意されています。TBRPレジスタに0x59を書き込むとTTBRレジスタへの書き込みが許可され、TTBRレジスタの最上位バイト(0x48137)への書き込みにより書き込み禁止状態に戻ります。したがって、TTBRレジスタへの書き込みは下位ハーフワードから先に行うことが必要です。ただし、下位と上位ハーフワードの書き込みの間にNMI等が発生すると誤動作しますので、ワード書き込みを推奨します。

マスク可能な割り込みの制御

割り込みコントローラの構成

割り込みコントローラは図5.1のように構成されています。

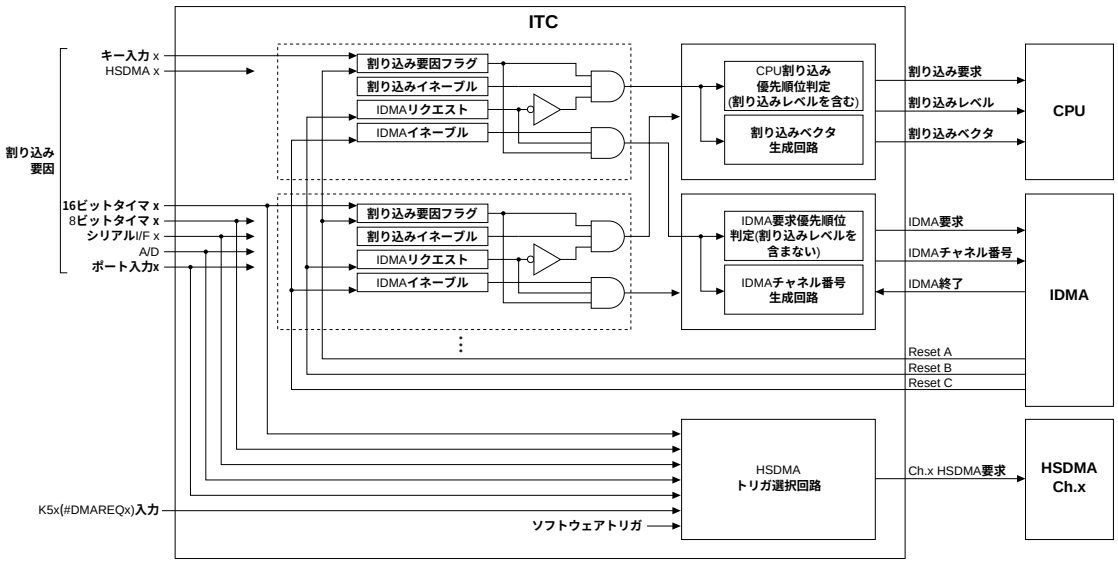


図5.1 割り込みコントローラの構成

以下、割り込みの制御に使用するレジスタの機能について説明します。

PSR (プロセッサステータスレジスタ)

PSRはコアCPU内の特殊レジスタで、CPUに対する割り込み要求を許可/禁止する制御ビットを含んでいます。

■ IE(割り込みイネーブル)ビット ...PSR[4]

このビットにより、CPUへの割り込み要求を許可あるいは禁止します。IEビットを"1"にセットすると、CPUはマスク可能な割り込み要求を受け付け可能な状態になります。"0"にリセットすると、マスク可能な割り込み要求はCPUに受け付けられません。

CPUは割り込み要求を受け付けると(あるいは他のトラップが発生すると)、PSRをスタックに退避後にIEビットを"0"にリセットします。したがって、以降はIEビットをプログラムで"1"にセットするか、割り込み(トラップ)処理ルーチンをreti命令で終了するまで、マスク可能な割り込みは受け付けられません。

IEビットはイニシャルリセットにより"0"(割り込み禁止)に初期化されます。

■ IL(割り込みレベル) ...PSR[11:8]

ILはその中に設定された割り込みレベル以下の割り込みを禁止します。たとえば、ILに3が設定されていると、割り込みプライオリティレジスタ(後述)が3以下に設定されている割り込みは、IEビットが"1"にセットされている場合でもCPUには受け付けられません。ILと割り込みプライオリティレジスタの設定により割り込みの優先順位を、割り込み系列ごとに制御することができます。割り込みレベルの詳細については、"割り込みプライオリティレジスタと割り込みレベル"を参照してください。

CPUはマスク可能な割り込み要求を受け付けると、PSRをスタックに退避後にILをその割り込みのレベルに設定します。したがって、割り込み処理ルーチンの中でIEビットを"1"にセットしても、ILを書き換えないかぎり現在処理中の割り込みと同じレベルまたはそれ以下のレベルの割り込みは禁止されます。

割り込み処理ルーチンをreti命令で終了すると、ILは割り込み発生前の状態に戻ります。

マスク可能な割り込み以外のトラップ(リセットを除く)では、ILは書き換えられません。
ILはイニシャルリセットによりレベル0(レベル1以上の割り込みを許可)に設定されます。

注: **S1C33000コアCPUの機能としては、ILによって割り込みレベルを0～15の16種類に設定可能です。ただし、本割り込みコントローラでは割り込みプライオリティレジスタが3ビットのため、各割り込み系列の割り込みレベルを8以上に設定することはできません。**

割り込み要因フラグと割り込みイネーブルレジスタ

各マスク可能な割り込み要因には、割り込み要因フラグと割り込みイネーブルレジスタが用意されています。

■ 割り込み要因フラグ

割り込み要因フラグは、対応する割り込み要因が発生すると"1"にセットされます。CPUのトラップ処理によらず、このフラグを読み出すことによっても割り込み要因の発生を知ることができます。
割り込み要因フラグは、ソフトウェアによるデータ書き込み、およびIDMAによってリセットされます。
なお、割り込み要因フラグのリセット方式を、以下に示す2種類からソフトウェアで選択できるようになっています。選択はフラグセット/リセット方式選択レジスタ(0x4029F)のRSTONLY(D0)で行います。

- **リセットオンリー方式 (デフォルト)**
  イニシャルリセット時は、この方式(RSTONLY = "1")に設定されます。
  リセットオンリー方式の場合、割り込み要因フラグは"1"を書き込むことでリセットされます。
  割り込み要因フラグレジスタの同一アドレス内には複数の割り込み要因フラグが割り付けられていますが、"0"を書き込んだ要因フラグはセットもリセットもされません。したがって、特定の要因フラグのみを確実にリセットできます。
  ただし、リード・モディファイ・ライト命令(bset, bclr, bnot)を使用したり、または命令の組み合わせでリード・モディファイ・ライトを行うと、非同期に発生する"1"にセットされた割り込み要因フラグが書き込み時にリセットされますので注意してください。

  この方式では、ソフトウェアで割り込み要因フラグをセットすることはできません。

- **リード/ライト方式**
  この方式はRSTONLYに"0"を書き込むことにより設定されます。
  リード/ライト方式の場合、割り込み要因フラグは他のレジスタと同様に読み出し/書き込みが許可されます。したがって、"0"を書き込むとリセットされ、"1"を書き込むとセットされます。この場合、"0"を書き込んだ要因フラグがすべてリセットされてしまいます。リード・モディファイ・ライトを行う場合でも、読み出しと書き込みの間に割り込み要因が発生する可能性がありますので注意してください。

  イニシャルリセット時、割り込み要因フラグは初期化されないため、割り込みを許可する前に必ずリセットしてください。

注: **マスク可能な割り込み要求がCPUに受け付けられ、割り込み処理ルーチンに分岐しても、割り込み要因フラグはリセットされません。プログラムで割り込み要因フラグをリセットせずにreti命令で割り込み処理ルーチンからリターンすると、再度同一の割り込みが発生しますので注意してください。**

割り込み要因の発生条件については、各周辺回路の説明を参照してください。

■ 割り込みイネーブルレジスタ

割り込みイネーブルレジスタは、CPUに対する割り込み要求の出力を制御します。割り込みイネーブルレジスタのビットを"1"に設定した場合にのみ、対応する割り込み要因の発生によりCPUに対する割り込み要求が可能となります。"0"に設定されている場合は、対応する割り込み要因が発生してもCPUへの割り込み要求は行われません。
割り込みイネーブルビットは他のレジスタと同様に読み出し/書き込みが許可されます。したがって、"0"を書き込むとリセットされ、"1"を書き込むとセットされます。また、読み出すことで、いつでも設定状態が確認できます。
なお、この設定は割り込み要因フラグの動作には影響を与えませんので、割り込みイネーブルレジスタのビットが"0"の場合でも割り込み要因フラグは割り込み要因の発生によって"1"にセットされます。
イニシャルリセット時、割り込みイネーブルレジスタは"0"(割り込み禁止)に設定されます。

割り込み要因の発生によりIDMAを起動する場合、あるいはスタンバイモード(HALT、SLEEP)を解除する場合も、対応する割り込みイネーブルレジスタのビットを"1"に設定しておくことが必要です。

割り込みコントローラは、以下の条件が成立すると、CPUに対して割り込み要求を出力します。
- 割り込み要因の発生により割り込み要因フラグが"1"にセットされた
- 発生した割り込み要因に対応した割り込みイネーブルレジスタのビットが"1"(割り込み許可)に設定されている
- 発生した割り込み要因に対応したIDMAリクエストレジスタのビットが"0"(割り込み要求)に設定されている

同時に複数の割り込みが発生した場合は、その中で最も優先順位の高い割り込み要因を割り込み要求の対象とします(次節参照)。

条件が成立すると、割り込みコントローラはCPUに対して割り込み要求信号、発生した割り込みの系列に対応した割り込みプライオリティレジスタの設定内容(割り込みレベル)、およびそのベクタ番号を出力します。
これらの信号は、割り込み要因フラグが"0"にリセットされるか、割り込みイネーブルレジスタのビットが"0"(割り込み禁止)に設定されるまで、あるいは他の優先順位の高い割り込み要因が発生するまで保持されます。CPUが割り込み要求を受け付けても解除されません。

割り込みプライオリティレジスタと割り込みレベル

割り込みプライオリティレジスタは、割り込み系列ごとに用意された3ビットのレジスタで、対応する割り込み系列の割り込みレベルを0～7に設定できます。この設定により、表5.1に示したデフォルトの優先順位をシステムに合わせて変更することができます。
割り込みプライオリティレジスタに設定された値は、割り込みコントローラとCPUでそれぞれ以下のように利用されます。

■ 割り込みコントローラにおける割り込みプライオリティレジスタの役割

割り込みイネーブルレジスタによって割り込みが許可されている複数の割り込み要因が同時に発生した場合、割り込みコントローラはその中で最も大きな数値が書き込まれた割り込みプライオリティレジスタを持つ割り込み系列内の割り込み要因を割り込み要求の対象とします。
同一レベルの複数の割り込み系列に割り込み要因が発生した場合は、表5.1に示したデフォルトの優先順位に従います。同じ割り込み系列内の割り込み要因も表5.1の順序で処理されます。
それ以外に発生している割り込み要因は、それよりも優先順位の高い割り込みがCPUに受け付けられるまで保留されます。

割り込みコントローラは、CPUへの割り込み要求信号を出力する際、割り込みプライオリティレジスタの内容もCPUに対して出力します。
割り込みコントローラは、割り込み要求を出力中にそれよりも優先順位の高い割り込み要因が発生すると、ベクタ番号と割り込みレベルの出力を新たな割り込み要因に対応させて変更します。それまでの割り込み要求については保留されます。

■ CPUの処理における割り込みプライオリティレジスタの役割

CPUは割り込みコントローラから出力された割り込みプライオリティレジスタの内容と、PSR内のILに設定された割り込みレベルを比較して、その割り込み要求を受け付けるかどうかを決定します。

IEビット="1" & IL＜割り込みプライオリティレジスタ: 割り込み要求を受け付ける
IEビット="1" & IL≧割り込みプライオリティレジスタ: 割り込み要求を受け付けない

割り込みレベルによって割り込みを制御するには、ILに割り込みを禁止するレベルを書き込んでください。たとえば、ILに3を書き込むと、割り込みプライオリティレジスタに4以上の値が書き込まれた割り込みのみを受け付けます。
割り込みを受け付けると、その割り込みプライオリティレジスタに設定された割り込みレベルをILに設定します。それ以降、そのレベル以下の割り込み要求は受け付け禁止状態となります。
割り込みプライオリティレジスタに"0"を設定した場合、その割り込みは禁止されます。ただし、割り込み要因によってIDMAを起動することはできます。

注:
- **S1C33000コアCPUの機能としては、ILによって割り込みレベルを0～15の16種類に設定可能です。ただし、本割り込みコントローラでは割り込みプライオリティレジスタが3ビットのため、各割り込み系列の割り込みレベルを8以上に設定することはできません。**
- **割り込み処理ルーチン内でILの割り込みレベルの書き換えにより、多重割り込みにも対応可能です。ただし、割り込み発生後、割り込み要因フラグをリセットする前にILの割り込みレベルを現在のレベルよりも低く設定し、IEをセットして割り込みを許可すると、再度同一の割り込みが発生してしまいますので注意してください。**

IDMAの起動

表5.1の中でIDMAチャネル番号が記述された割り込み要因には、IDMA(インテリジェントDMA)を起動する機能があります。

■ IDMAリクエストレジスタ

IDMAリクエストレジスタは、IDMAを起動する割り込み要因を指定するのに使用します。IDMAリクエストレジスタのビットを"1"に設定すると、対応する割り込み要因の発生によりIDMAの起動要求が発生します。"0"に設定されている場合は、対応する割り込み要因が発生してもIDMA起動要求は発生せず、通常の割り込み処理が行われます。イニシャルリセット時、IDMAリクエストレジスタは"0"に設定されます。

なお、IDMAリクエストレジスタのセット方式を、以下に示す2種類からソフトウェアで選択できるようになっています。
選択はフラグセット/リセット方式選択レジスタ(0x4029F)のIDMAONLY(D1)で行います。

・セットオンリー方式 (デフォルト)

イニシャルリセット時は、この方式(IDMAONLY = "1")に設定されます。
セットオンリー方式の場合、IDMAリクエストビットは"1"を書き込むことでセットされます。
IDMAリクエストレジスタ内には複数のIDMAリクエストビットが割り付けられていますが、"0"を書き込んだビットはセットもリセットもされません。したがって、特定のIDMAリクエストビットのみを確実にセットできます。
リード・モディファイ・ライト命令(bset, bclr, bnot)を使用しても、"1"にセットされたIDMAリクエストビットは書き込み時にリセットされませんので注意してください。

・リード/ライト方式

この方式はIDMAONLYに"0"を書き込むことにより設定されます。
リード/ライト方式の場合、IDMAリクエストレジスタは他のレジスタと同様に読み出し/書き込みが許可されます。したがって、"0"を書き込むとリセットされ、"1"を書き込むとセットされます。この場合、"0"を書き込んだIDMAリクエストビットがすべてリセットされてしまいます。リード・モディファイ・ライトを行う場合でも、読み出しと書き込みの間にIDMAリクエストビットがハードウェアによってリセットされる可能性がありますので注意してください。

■ IDMAイネーブルレジスタ

割り込み要因によってIDMAを起動するには、要因に対応するIDMAイネーブルレジスタのビットに"1"を書き込んでおく必要があります。IDMAイネーブルビットが"0"に設定されている場合、その割り込み要因によってIDMAは起動しません。イニシャルリセット時、IDMAイネーブルレジスタは"0"に設定されます。

なお、IDMAリクエストレジスタと同様に、IDMAイネーブルレジスタもセット方式(セットオンリー方式、リード/ライト方式)をソフトウェアで選択できるようになっています。
選択はフラグセット/リセット方式選択レジスタ(0x4029F)のDENONLY(D2)で行います。セット方式についてはIDMAリクエストレジスタの説明を参照してください。

■ IDMAの起動

割り込み要因発生時にIDMAを起動するには、要因に対応するIDMAリクエストレジスタとIDMAイネーブルレジスタのビットに"1"を書き込んでおきます。その状態で割り込み要因が発生すると、CPUに対する割り込み要求は保留され、対応するIDMAチャネルを起動します。そのIDMAチャネルのコントロール情報に従ってDMA転送が行われます。割り込みコントローラ内の割り込みプライオリティレジスタの設定は、IDMAの起動には影響を与えません。IDMA起動要求は、CPUの割り込みレベルが割り込みプライオリティレジスタの設定値よりも高い場合でも受け付けられます。ただし、IDMA転送終了後に割り込み要求を発生させる際には、その割り込み要求は割り込みプライオリティレジスタの設定値に従って制御されます。
割り込みイネーブルレジスタおよびCPUのPSRが割り込み禁止状態に設定されていても、IDMA起動要求は受け付けられます。また、IDMA側で転送のためのコントロール情報を設定し、DMAを許可しておくことも必要です。

■ IDMA終了後の割り込み

IDMA終了後に割り込みを発生させる場合

DMA転送終了時に、保留されていた割り込み要求を発生させることもできます。
これには、割り込みコントローラおよびCPUのPSRで、その割り込み要求を受け付け可能な状態に設定しておくとともに、IDMAのコントロール情報で割り込みを許可(DINTEN = "1")しておきます。
ただし、IDMAチャネルに設定された転送回数カウンタがその回の転送で"0"にならなかった場合は、割り込み要因フラグがリセットされ、割り込み要求は発生しません。転送回数カウンタは、1回の転送ごとにデクリメントされるようになっています。
DINTENが"1"に設定されている状態で転送回数カウンタが"0"になった場合は、割り込み要因フラグがリセットされず、IDMAリクエストレジスタのビットは"0"にクリアされます。このとき、割り込み条件が成立していれば割り込み要求を発生します。
次回の割り込み要因発生時にもIDMAを起動させるには再設定が必要です。この再設定は、不要なIDMA要求が発生しないよう、割り込み要因フラグをリセット後に行ってください。
図5.2にDINTENが"1"に設定されている場合のハードウェアによる割り込み制御を示します。

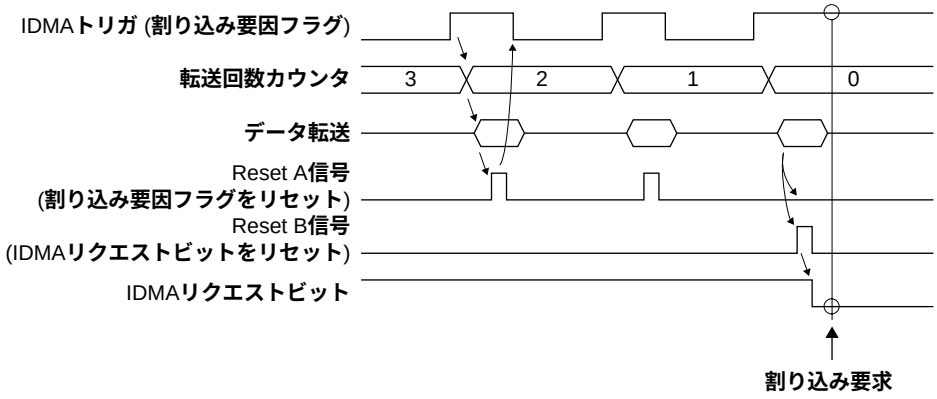


図5.2 DINTEN="1"の場合の制御

IDMA終了後の割り込みを禁止する場合

IDMAのコントロール情報で割り込みを禁止(DINTEN = "0")しておくと、転送回数カウンタが"0"になった場合でも割り込み要因フラグがリセットされ、割り込み要求は発生しません。
この場合、IDMAリクエストビットはクリアされずに"1"を保持したままとなります。ただし、IDMAイネーブルビットはクリアされ、同割り込み要因による以降のIDMA要求は禁止されます。
図5.3にDINTENが"0"に設定されている場合のハードウェアの制御を示します。

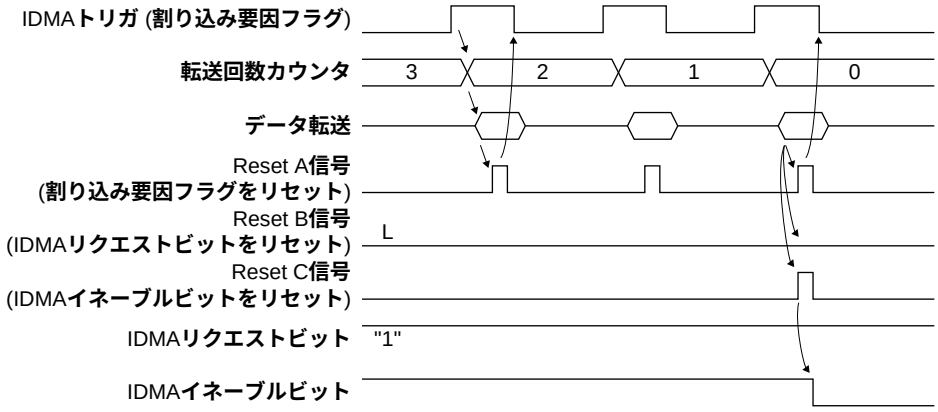


図5.3 DINTEN="0"の場合の制御

IDMAの詳細については、"IDMA(インテリジェントDMA)"を参照してください。

HSDMAの起動

いくつかの割り込み要因は高速DMA(HSDMA)を起動することもできます。

■ HSDMAトリガ設定レジスタ

DMAブロックは4チャネルのHSDMA回路を内蔵しています。各チャネルは個別に、割り込み要因を含むトリガ要因をソフトウェアで選択できるようになっています。この選択には、以下のHSDMAトリガ設定レジスタを使用します。

HSDMA Ch.0: HSD0S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298•D[3:0])
HSDMA Ch.1: HSD1S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298•D[7:4])
HSDMA Ch.2: HSD2S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299•D[3:0])
HSDMA Ch.3: HSD3S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299•D[7:4])

表5.2にレジスタの設定値とトリガ要因の対応を示します。

表5.2 HSDMAトリガ要因

設定値	Ch.0トリガ要因	Ch.1トリガ要因	Ch.2トリガ要因	Ch.3トリガ要因
0000	ソフトウェアトリガ	ソフトウェアトリガ	ソフトウェアトリガ	ソフトウェアトリガ
0001	K50入力(立ち下がりエッジ)	K51入力(立ち下がりエッジ)	K53入力(立ち下がりエッジ)	K54入力(立ち下がりエッジ)
0010	K50入力(立ち上がりエッジ)	K51入力(立ち上がりエッジ)	K53入力(立ち上がりエッジ)	K54入力(立ち上がりエッジ)
0011	ポート0入力	ポート1入力	ポート2 入力	ポート3入力
0100	ポート4入力	ポート5入力	ポート6入力	ポート7入力
0101	8bitタイマ0アンダーフロー	8bitタイマ1アンダーフロー	8bitタイマ2アンダーフロー	8bitタイマ3アンダーフロー
0110	16bitタイマ0コンペアB	16bitタイマ1コンペアB	16bitタイマ2コンペアB	16bitタイマ3コンペアB
0111	16bitタイマ0コンペアA	16bitタイマ1コンペアA	16bitタイマ2コンペアA	16bitタイマ3コンペアA
1000	16bitタイマ4コンペアB	16bitタイマ5コンペアB	16bitタイマ4コンペアB	16bitタイマ5コンペアB
1001	16bitタイマ4コンペアA	16bitタイマ5コンペアA	16bitタイマ4コンペアA	16bitタイマ5コンペアA
1010	シリアル I/F Ch.0 受信バッファフル	シリアル I/F Ch.1 受信バッファフル	シリアル I/F Ch.0 受信バッファフル	シリアル I/F Ch.1 受信バッファフル
1011	シリアル I/F Ch.0 送信バッファエンプティ	シリアル I/F Ch.1 送信バッファエンプティ	シリアル I/F Ch.0 送信バッファエンプティ	シリアル I/F Ch.1 送信バッファエンプティ
1100	A/D変換終了	A/D変換終了	A/D変換終了	A/D変換終了

■ HSDMAの起動

HSDMAトリガ設定レジスタで割り込み要因を選択すると、その割り込み要因の発生によって指定のHSDMAチャネルが起動します。割り込み制御ビット(割り込み要因フラグ、割り込みイネーブルレジスタ、IDMAリクエストレジスタ、割り込みプライオリティレジスタ)の設定内容は、HSDMAの起動には影響を与えません。

HSDMAは割り込み要因フラグをリセットしません。したがって、割り込みコントローラで割り込みが許可されていれば、DMA転送終了時に割り込みが発生します。

なお、割り込み要因によってHSDMAを起動させるには、HSDMAの制御レジスタで転送条件の設定を行い、DMA転送を許可しておく必要があります。詳細については"HSDMA(高速DMA)"を参照してください。

割り込みコントローラのI/Oメモリ

表5.3に割り込みコントローラの制御ビットを示します。

表5.3 割り込みコントローラの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
ポート入力割り込み0/1プライオリティレジスタ	0040260 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PP1L2	ポート入力1	0〜7	X	R/W	
		D5	PP1L1	割り込みレベル		X		
		D4	PP1L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PP0L2	ポート入力0	0〜7	X	R/W	
		D1	PP0L1	割り込みレベル		X		
		D0	PP0L0			X		
ポート入力割り込み2/3プライオリティレジスタ	0040261 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PP3L2	ポート入力3	0〜7	X	R/W	
		D5	PP3L1	割り込みレベル		X		
		D4	PP3L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PP2L2	ポート入力2	0〜7	X	R/W	
		D1	PP2L1	割り込みレベル		X		
		D0	PP2L0			X		
キー入力割り込みプライオリティレジスタ	0040262 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PK1L2	キー入力1	0〜7	X	R/W	
		D5	PK1L1	割り込みレベル		X		
		D4	PK1L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PK0L2	キー入力0	0〜7	X	R/W	
		D1	PK0L1	割り込みレベル		X		
		D0	PK0L0			X		
高速DMA Ch.0/1割り込みプライオリティレジスタ	0040263 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PHSD1L2	高速DMA Ch.1	0〜7	X	R/W	
		D5	PHSD1L1	割り込みレベル		X		
		D4	PHSD1L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PHSD0L2	高速DMA Ch.0	0〜7	X	R/W	
		D1	PHSD0L1	割り込みレベル		X		
		D0	PHSD0L0			X		
高速DMA Ch.2/3割り込みプライオリティレジスタ	0040264 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PHSD3L2	高速DMA Ch.3	0〜7	X	R/W	
		D5	PHSD3L1	割り込みレベル		X		
		D4	PHSD3L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PHSD2L2	高速DMA Ch.2	0〜7	X	R/W	
		D1	PHSD2L1	割り込みレベル		X		
		D0	PHSD2L0			X		
IDMA割り込みプライオリティレジスタ	0040265 (B)	D7–3	–	reserved	–	–	–	読み出し時: 0
		D2	PDM2	IDMA	0〜7	X	R/W	
		D1	PDM1	割り込みレベル		X		
		D0	PDM0			X		
16bitタイマ0/1割り込みプライオリティレジスタ	0040266 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	P16T12	16bitタイマ1	0〜7	X	R/W	
		D5	P16T11	割り込みレベル		X		
		D4	P16T10			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	P16T02	16bitタイマ0	0〜7	X	R/W	
		D1	P16T01	割り込みレベル		X		
		D0	P16T00			X		
16bitタイマ2/3割り込みプライオリティレジスタ	0040267 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	P16T32	16bitタイマ3	0〜7	X	R/W	
		D5	P16T31	割り込みレベル		X		
		D4	P16T30			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	P16T22	16bitタイマ2	0〜7	X	R/W	
		D1	P16T21	割り込みレベル		X		
		D0	P16T20			X		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
16bitタイマ4/5	0040268	D7	–	reserved	–	–	–	読み出し時: 0
割り込み	(B)	D6	P16T52	16bitタイマ5	0〜7	X	R/W	
プライオリティ		D5	P16T51	割り込みレベル		X		
レジスタ		D4	P16T50			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	P16T42	16bitタイマ4	0〜7	X	R/W	
		D1	P16T41	割り込みレベル		X		
		D0	P16T40			X		
8bitタイマ, シリ	0040269	D7	–	reserved	–	–	–	読み出し時: 0
アルI/F Ch.0	(B)	D6	PSI002	シリアルインタフェースCh.0	0〜7	X	R/W	
割り込み		D5	PSI001	割り込みレベル		X		
プライオリティ		D4	PSI000			X		
レジスタ		D3	–	reserved	–	–	–	読み出し時: 0
		D2	P8TM2	8bitタイマ0–3	0〜7	X	R/W	
		D1	P8TM1	割り込みレベル		X		
		D0	P8TM0			X		
シリアルI/F	004026A	D7	–	reserved	–	–	–	読み出し時: 0
Ch.1, A/D変換器	(B)	D6	PAD2	A/D変換器	0〜7	X	R/W	
割り込み		D5	PAD1	割り込みレベル		X		
プライオリティ		D4	PAD0			X		
レジスタ		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PSI012	シリアルインタフェースCh.1	0〜7	X	R/W	
		D1	PSI011	割り込みレベル		X		
		D0	PSI010			X		
計時タイマ	004026B	D7–3	–	reserved	–	–	–	1書き込み禁止
割り込み	(B)	D2	PCTM2	計時タイマ	0〜7	X	R/W	
プライオリティ		D1	PCTM1	割り込みレベル		X		
レジスタ		D0	PCTM0			X		
ポート入力	004026C	D7	–	reserved	–	–	–	読み出し時: 0
割り込み4/5	(B)	D6	PP5L2	ポート入力5	0〜7	X	R/W	
プライオリティ		D5	PP5L1	割り込みレベル		X		
レジスタ		D4	PP5L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PP4L2	ポート入力4	0〜7	X	R/W	
		D1	PP4L1	割り込みレベル		X		
		D0	PP4L0			X		
ポート入力	004026D	D7	–	reserved	–	–	–	読み出し時: 0
割り込み6/7	(B)	D6	PP7L2	ポート入力7	0〜7	X	R/W	
プライオリティ		D5	PP7L1	割り込みレベル		X		
レジスタ		D4	PP7L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PP6L2	ポート入力6	0〜7	X	R/W	
		D1	PP6L1	割り込みレベル		X		
		D0	PP6L0			X		
キー入力,	0040270	D7–6	–	reserved	–	–	–	読み出し時: 0
ポート入力0–3	(B)	D5	EK1	キー入力1	1 許可 0 禁止	0	R/W	
割り込み		D4	EK0	キー入力0		0	R/W	
イネーブル		D3	EP3	ポート入力3		0	R/W	
レジスタ		D2	EP2	ポート入力2		0	R/W	
		D1	EP1	ポート入力1		0	R/W	
		D0	EP0	ポート入力0		0	R/W	
DMA割り込み	0040271	D7–5	–	reserved	–	–	–	読み出し時: 0
イネーブル	(B)	D4	EIDMA	IDMA	1 許可 0 禁止	0	R/W	
レジスタ		D3	EHDM3	高速DMA Ch.3		0	R/W	
		D2	EHDM2	高速DMA Ch.2		0	R/W	
		D1	EHDM1	高速DMA Ch.1		0	R/W	
		D0	EHDM0	高速DMA Ch.0		0	R/W	
16bitタイマ0/1	0040272	D7	E16TC1	16bitタイマ1コンペアA	1 許可 0 禁止	0	R/W	
割り込み	(B)	D6	E16TU1	16bitタイマ1コンペアB		0	R/W	
イネーブル		D5-4	–	reserved	–	–	–	読み出し時: 0
レジスタ		D3	E16TC0	16bitタイマ0コンペアA	1 許可 0 禁止	0	R/W	
		D2	E16TU0	16bitタイマ0コンペアB		0	R/W	
		D1–0	–	reserved	–	–	–	読み出し時: 0
16bitタイマ2/3	0040273	D7	E16TC3	16bitタイマ3コンペアA	1 許可 0 禁止	0	R/W	
割り込み	(B)	D6	E16TU3	16bitタイマ3コンペアB		0	R/W	
イネーブル		D5-4	–	reserved	–	–	–	読み出し時: 0
レジスタ		D3	E16TC2	16bitタイマ2コンペアA	1 許可 0 禁止	0	R/W	
		D2	E16TU2	16bitタイマ2コンペアB		0	R/W	
		D1–0	–	reserved	–	–	–	読み出し時: 0

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
16bitタイマ4/5 割り込み イネーブル レジスタ	0040274 (B)	D7	E16TC5	16bitタイマ5コンペアA	1 許可 0 禁止	0	R/W	
		D6	E16TU5	16bitタイマ5コンペアB		0	R/W	
		D5-4	–	reserved	–	–	–	読み出し時: 0
		D3	E16TC4	16bitタイマ4コンペアA	1 許可 0 禁止	0	R/W	
		D2	E16TU4	16bitタイマ4コンペアB		0	R/W	
		D1–0	–	reserved	–	–	–	読み出し時: 0
8bitタイマ 割り込み イネーブル レジスタ	0040275 (B)	D7–4	–	reserved	–	–	–	読み出し時: 0
		D3	E8TU3	8bitタイマ3アンダーフロー	1 許可 0 禁止	0	R/W	
		D2	E8TU2	8bitタイマ2アンダーフロー		0	R/W	
		D1	E8TU1	8bitタイマ1アンダーフロー		0	R/W	
		D0	E8TU0	8bitタイマ0アンダーフロー		0	R/W	
シリアルI/F 割り込み イネーブル レジスタ	0040276 (B)	D7–6	–	reserved	–	–	–	読み出し時: 0
		D5	ESTX1	SIF Ch.1送信バッファエンプティ	1 許可 0 禁止	0	R/W	
		D4	ESRX1	SIF Ch.1受信バッファフル		0	R/W	
		D3	ESERR1	SIF Ch.1受信エラー		0	R/W	
		D2	ESTX0	SIF Ch.0送信バッファエンプティ		0	R/W	
		D1	ESRX0	SIF Ch.0受信バッファフル		0	R/W	
		D0	ESERR0	SIF Ch.0受信エラー		0	R/W	
ポート入力4–7, 計時タイマ, A/D 割り込みイネーブルレジスタ	0040277 (B)	D7–6	–	reserved	–	–	–	読み出し時: 0
		D5	EP7	ポート入力7	1 許可 0 禁止	0	R/W	
		D4	EP6	ポート入力6		0	R/W	
		D3	EP5	ポート入力5		0	R/W	
		D2	EP4	ポート入力4		0	R/W	
		D1	ECTM	計時タイマ		0	R/W	
		D0	EADE	A/D変換器		0	R/W	
キー入力, ポート入力0–3 割り込み要因 フラグレジスタ	0040280 (B)	D7–6	–	reserved	–	–	–	読み出し時: 0
		D5	FK1	キー入力1	1 要因発生 0 要因なし	X	R/W	
		D4	FK0	キー入力0		X	R/W	
		D3	FP3	ポート入力3		X	R/W	
		D2	FP2	ポート入力2		X	R/W	
		D1	FP1	ポート入力1		X	R/W	
		D0	FP0	ポート入力0		X	R/W	
DMA割り込み 要因フラグ レジスタ	0040281 (B)	D7–5	–	reserved	–	–	–	読み出し時: 0
		D4	FIDMA	IDMA	1 要因発生 0 要因なし	X	R/W	
		D3	FHDM3	高速DMA Ch.3		X	R/W	
		D2	FHDM2	高速DMA Ch.2		X	R/W	
		D1	FHDM1	高速DMA Ch.1		X	R/W	
		D0	FHDM0	高速DMA Ch.0		X	R/W	
16bitタイマ0/1 割り込み 要因フラグ レジスタ	0040282 (B)	D7	F16TC1	16bitタイマ1コンペアA	1 要因発生 0 要因なし	X	R/W	
		D6	F16TU1	16bitタイマ1コンペアB		X	R/W	
		D5–4	–	reserved	–	–	–	読み出し時: 0
		D3	F16TC0	16bitタイマ0コンペアA	1 要因発生 0 要因なし	X	R/W	
		D2	F16TU0	16bitタイマ0コンペアB		X	R/W	
		D1–0	–	reserved	–	–	–	読み出し時: 0
16bitタイマ2/3 割り込み 要因フラグ レジスタ	0040283 (B)	D7	F16TC3	16bitタイマ3コンペアA	1 要因発生 0 要因なし	X	R/W	
		D6	F16TU3	16bitタイマ3コンペアB		X	R/W	
		D5–4	–	reserved	–	–	–	読み出し時: 0
		D3	F16TC2	16bitタイマ2コンペアA	1 要因発生 0 要因なし	X	R/W	
		D2	F16TU2	16bitタイマ2コンペアB		X	R/W	
		D1–0	–	reserved	–	–	–	読み出し時: 0
16bitタイマ4/5 割り込み 要因フラグ レジスタ	0040284 (B)	D7	F16TC5	16bitタイマ5コンペアA	1 要因発生 0 要因なし	X	R/W	
		D6	F16TU5	16bitタイマ5コンペアB		X	R/W	
		D5–4	–	reserved	–	–	–	読み出し時: 0
		D3	F16TC4	16bitタイマ4コンペアA	1 要因発生 0 要因なし	X	R/W	
		D2	F16TU4	16bitタイマ4コンペアB		X	R/W	
		D1–0	–	reserved	–	–	–	読み出し時: 0
8bitタイマ 割り込み 要因フラグ レジスタ	0040285 (B)	D7–4	–	reserved	–	–	–	読み出し時: 0
		D3	F8TU3	8bitタイマ3アンダーフロー	1 要因発生 0 要因なし	X	R/W	
		D2	F8TU2	8bitタイマ2アンダーフロー		X	R/W	
		D1	F8TU1	8bitタイマ1アンダーフロー		X	R/W	
		D0	F8TU0	8bitタイマ0アンダーフロー		X	R/W	
シリアルI/F 割り込み 要因フラグ レジスタ	0040286 (B)	D7–6	–	reserved	–	–	–	読み出し時: 0
		D5	FSTX1	SIF Ch.1送信バッファエンプティ	1 要因発生 0 要因なし	X	R/W	
		D4	FSRX1	SIF Ch.1受信バッファフル		X	R/W	
		D3	FSERR1	SIF Ch.1受信エラー		X	R/W	
		D2	FSTX0	SIF Ch.0送信バッファエンプティ		X	R/W	
		D1	FSRX0	SIF Ch.0受信バッファフル		X	R/W	
		D0	FSERR0	SIF Ch.0受信エラー		X	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
ポート入力4–7, 計時タイマ, A/D 割り込み要因フラグレジスタ	0040287 (B)	D7–6	–	reserved	–	–	–	読み出し時: 0
		D5	FP7	ポート入力7	1 要因発生 0 要因なし	X	R/W	
		D4	FP6	ポート入力6		X	R/W	
		D3	FP5	ポート入力5		X	R/W	
		D2	FP4	ポート入力4		X	R/W	
		D1	FCTM	計時タイマ		X	R/W	
		D0	FADE	A/D変換器		X	R/W	
ポート入力0–3, 高速DMA Ch.0/1, 16bitタイマ0 IDMAリクエストレジスタ	0040290 (B)	D7	R16TC0	16bitタイマ0コンペアA	1 IDMA要求 0 割り込み要求	0	R/W	
		D6	R16TU0	16bitタイマ0コンペアB		0	R/W	
		D5	RHDM1	高速DMA Ch.1		0	R/W	
		D4	RHDM0	高速DMA Ch.0		0	R/W	
		D3	RP3	ポート入力3		0	R/W	
		D2	RP2	ポート入力2		0	R/W	
		D1	RP1	ポート入力1		0	R/W	
		D0	RP0	ポート入力0		0	R/W	
16bitタイマ1–4 IDMAリクエストレジスタ	0040291 (B)	D7	R16TC4	16bitタイマ4コンペアA	1 IDMA要求 0 割り込み要求	0	R/W	
		D6	R16TU4	16bitタイマ4コンペアB		0	R/W	
		D5	R16TC3	16bitタイマ3コンペアA		0	R/W	
		D4	R16TU3	16bitタイマ3コンペアB		0	R/W	
		D3	R16TC2	16bitタイマ2コンペアA		0	R/W	
		D2	R16TU2	16bitタイマ2コンペアB		0	R/W	
		D1	R16TC1	16bitタイマ1コンペアA		0	R/W	
		D0	R16TU1	16bitタイマ1コンペアB		0	R/W	
16bitタイマ5, 8bitタイマ, シリアルI/F Ch.0 IDMAリクエストレジスタ	0040292 (B)	D7	RSTX0	SIF Ch.0送信バッファエンプティ	1 IDMA要求 0 割り込み要求	0	R/W	
		D6	RSRX0	SIF Ch.0受信バッファフル		0	R/W	
		D5	R8TU3	8bitタイマ3アンダーフロー		0	R/W	
		D4	R8TU2	8bitタイマ2アンダーフロー		0	R/W	
		D3	R8TU1	8bitタイマ1アンダーフロー		0	R/W	
		D2	R8TU0	8bitタイマ0アンダーフロー		0	R/W	
		D1	R16TC5	16bitタイマ5コンペアA		0	R/W	
		D0	R16TU5	16bitタイマ5コンペアB		0	R/W	
シリアルI/F Ch.1, A/D, ポート入力4–7 IDMAリクエストレジスタ	0040293 (B)	D7	RP7	ポート入力7	1 IDMA要求 0 割り込み要求	0	R/W	
		D6	RP6	ポート入力6		0	R/W	
		D5	RP5	ポート入力5		0	R/W	
		D4	RP4	ポート入力4		0	R/W	
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	RADE	A/D変換器	1 IDMA要求 0 割り込み要求	0	R/W	
		D1	RSTX1	SIF Ch.1送信バッファエンプティ		0	R/W	
		D0	RSRX1	SIF Ch.1受信バッファフル		0	R/W	
ポート入力0–3, 高速DMA Ch.0/1, 16bitタイマ0 IDMAイネーブルレジスタ	0040294 (B)	D7	DE16TC0	16bitタイマ0コンペアA	1 IDMA許可 0 IDMA禁止	0	R/W	
		D6	DE16TU0	16bitタイマ0コンペアB		0	R/W	
		D5	DEHDM1	高速DMA Ch.1		0	R/W	
		D4	DEHDM0	高速DMA Ch.0		0	R/W	
		D3	DEP3	ポート入力3		0	R/W	
		D2	DEP2	ポート入力2		0	R/W	
		D1	DEP1	ポート入力1		0	R/W	
		D0	DEP0	ポート入力0		0	R/W	
16bitタイマ1–4 IDMAイネーブルレジスタ	0040295 (B)	D7	DE16TC4	16bitタイマ4コンペアA	1 IDMA許可 0 IDMA禁止	0	R/W	
		D6	DE16TU4	16bitタイマ4コンペアB		0	R/W	
		D5	DE16TC3	16bitタイマ3コンペアA		0	R/W	
		D4	DE16TU3	16bitタイマ3コンペアB		0	R/W	
		D3	DE16TC2	16bitタイマ2コンペアA		0	R/W	
		D2	DE16TU2	16bitタイマ2コンペアB		0	R/W	
		D1	DE16TC1	16bitタイマ1コンペアA		0	R/W	
		D0	DE16TU1	16bitタイマ1コンペアB		0	R/W	
16bitタイマ5, 8bitタイマ, シリアルI/F Ch.0 IDMAイネーブルレジスタ	0040296 (B)	D7	DESTX0	SIF Ch.0送信バッファエンプティ	1 IDMA許可 0 IDMA禁止	0	R/W	
		D6	DESRX0	SIF Ch.0受信バッファフル		0	R/W	
		D5	DE8TU3	8bitタイマ3アンダーフロー		0	R/W	
		D4	DE8TU2	8bitタイマ2アンダーフロー		0	R/W	
		D3	DE8TU1	8bitタイマ1アンダーフロー		0	R/W	
		D2	DE8TU0	8bitタイマ0アンダーフロー		0	R/W	
		D1	DE16TC5	16bitタイマ5コンペアA		0	R/W	
		D0	DE16TU5	16bitタイマ5コンペアB		0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
シリアルI/F Ch.1, A/D, ポート入力4–7 IDMAイネーブルレジスタ	0040297 (B)	D7	DEP7	ポート入力7	1 IDMA許可 0 IDMA禁止	0	R/W	
		D6	DEP6	ポート入力6		0	R/W	
		D5	DEP5	ポート入力5		0	R/W	
		D4	DEP4	ポート入力4		0	R/W	
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	DEADE	A/D変換器	1 IDMA許可 0 IDMA禁止	0	R/W	
		D1	DESTX1	SIF Ch.1送信バッファエンプティ		0	R/W	
		D0	DESRX1	SIF Ch.1受信バッファフル		0	R/W	
高速DMA Ch.0/1トリガ設定レジスタ	0040298 (B)	D7	HSD1S3	高速DMA Ch.1トリガ設定	0 ソフトウェアトリガ	0	R/W	
		D6	HSD1S2		1 K51入力(立ち下がりエッジ)	0		
		D5	HSD1S1		2 K51入力(立ち上がりエッジ)	0		
		D4	HSD1S0		3 ポート1入力	0		
					4 ポート5入力			
					5 8bitタイマCh.1アンダーフロー			
					6 16bitタイマCh.1コンペアB			
					7 16bitタイマCh.1コンペアA			
					8 16bitタイマCh.5コンペアB			
					9 16bitタイマCh.5コンペアA			
					A SI/F Ch.1 Rx bufフル			
					B SI/F Ch.1 Tx bufエンプティ			
					C A/D変換終了			
		D3	HSD0S3	高速DMA Ch.0トリガ設定	0 ソフトウェアトリガ	0	R/W	
		D2	HSD0S2		1 K50入力(立ち下がりエッジ)	0		
		D1	HSD0S1		2 K50入力(立ち上がりエッジ)	0		
		D0	HSD0S0		3 ポート0入力	0		
					4 ポート4入力			
					5 8bitタイマCh.0アンダーフロー			
					6 16bitタイマCh.0コンペアB			
					7 16bitタイマCh.0コンペアA			
					8 16bitタイマCh.4コンペアB			
					9 16bitタイマCh.4コンペアA			
					A SI/F Ch.0 Rx bufフル			
					B SI/F Ch.0 Tx bufエンプティ			
					C A/D変換終了			
高速DMA Ch.2/3トリガ設定レジスタ	0040299 (B)	D7	HSD3S3	高速DMA Ch.3トリガ設定	0 ソフトウェアトリガ	0	R/W	
		D6	HSD3S2		1 K54入力(立ち下がりエッジ)	0		
		D5	HSD3S1		2 K54入力(立ち上がりエッジ)	0		
		D4	HSD3S0		3 ポート3入力	0		
					4 ポート7入力			
					5 8bitタイマCh.3アンダーフロー			
					6 16bitタイマCh.3コンペアB			
					7 16bitタイマCh.3コンペアA			
					8 16bitタイマCh.5コンペアB			
					9 16bitタイマCh.5コンペアA			
					A SI/F Ch.1 Rx bufフル			
					B SI/F Ch.1 Tx bufエンプティ			
					C A/D変換終了			
		D3	HSD2S3	高速DMA Ch.2トリガ設定	0 ソフトウェアトリガ	0	R/W	
		D2	HSD2S2		1 K53入力(立ち下がりエッジ)	0		
		D1	HSD2S1		2 K53入力(立ち上がりエッジ)	0		
		D0	HSD2S0		3 ポート2入力	0		
					4 ポート6入力			
					5 8bitタイマCh.2アンダーフロー			
					6 16bitタイマCh.2コンペアB			
					7 16bitタイマCh.2コンペアA			
					8 16bitタイマCh.4コンペアB			
					9 16bitタイマCh.4コンペアA			
					A SI/F Ch.0 Rx bufフル			
					B SI/F Ch.0 Tx bufエンプティ			
					C A/D変換終了			
フラグセット/リセット方式選択レジスタ	004029F (B)	D7–3	–	reserved	–	–	–	
		D2	DENONLY	IDMAイネーブルレジスタ セット方式選択	1 セットオンリー 0 RD/WR	1	R/W	
		D1	IDMAONLY	IDMAリクエストレジスタ セット方式選択	1 セットオンリー 0 RD/WR	1	R/W	
		D0	RSTONLY	割り込み要因フラグ リセット方式選択	1 リセットオンリー 0 RD/WR	1	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
割り込み要因 FP機能切り換え レジスタ	00402C5	D7	T8CH5S0	8bitタイマ5アンダーフロー	1 T8 Ch.5 UF 0 FP7	0	R/W	
		D6	SIO3TS0	SIO Ch.3送信バッファエンプティ	1 SIO Ch.3 TXD Emp. 0 FP6	0	R/W	
		D5	T8CH4S0	8bitタイマ4アンダーフロー	1 T8 Ch.4 UF 0 FP5	0	R/W	
		D4	SIO3RS0	SIO Ch.3受信バッファフル	1 SIO Ch.3 RXD Full 0 FP4	0	R/W	
		D3	SIO2TS0	SIO Ch.2送信バッファエンプティ	1 SIO Ch.2 TXD Emp. 0 FP3	0	R/W	
		D2	SIO3ES0	SIO Ch.3受信エラー	1 SIO Ch.3 RXD Err. 0 FP2	0	R/W	
		D1	SIO2RS0	SIO Ch.2受信バッファフル	1 SIO Ch.2 RXD Full 0 FP1	0	R/W	
		D0	SIO2ES0	SIO Ch.2受信エラー	1 SIO Ch.2 RXD Err. 0 FP0	0	R/W	
割り込み要因 TM16機能 切り換え レジスタ	00402CB	D7	T8CH5S1	8bitタイマ5アンダーフロー	1 T8 Ch.5 UF 0 TM16 Ch.2 comp.A	0	R/W	
		D6	T8CH4S1	8bitタイマ4アンダーフロー	1 T8 Ch.4 UF 0 TM16 Ch.2 comp.B	0	R/W	
		D5	SIO3ES1	SIO Ch.3受信エラー	1 SIO Ch.3 RXD Err. 0 TM16 Ch.3 comp.A	0	R/W	
		D4	SIO2ES1	SIO Ch.2受信エラー	1 SIO Ch.2 RXD Err. 0 TM16 Ch.3 comp.B	0	R/W	
		D3	SIO3TS1	SIO Ch.3送信バッファエンプティ	1 SIO Ch.3 TXD Emp. 0 TM16 Ch.4 comp.A	0	R/W	
		D2	SIO3RS1	SIO Ch.3受信バッファフル	1 SIO Ch.3 RXD Full 0 TM16 Ch.4 comp.B	0	R/W	
		D1	SIO2TS1	SIO Ch.2送信バッファエンプティ	1 SIO Ch.2 TXD Emp. 0 TM16 Ch.5 comp.A	0	R/W	
		D0	SIO2RS1	SIO Ch.2受信バッファフル	1 SIO Ch.2 RXD Full 0 TM16 Ch.5 comp.B	0	R/W	
TTBRレジスタ 書き込み保護 レジスタ	004812D (B)	D7	TBRP7	TTBRレジスタ書き込み保護	01011001(0x59)書き込みによりTTBRレジスタ(0x48134)の書き込み保護を解除 それ以外は書き込み禁止に設定	0	W	読み出し時: 不定
		D6	TBRP6			0		
		D5	TBRP5			0		
		D4	TBRP4			0		
		D3	TBRP3			0		
		D2	TBRP2			0		
		D1	TBRP1			0		
		D0	TBRP0			0		
TTBR 下位レジスタ	0048134 (HW)	DF	TTBR15	トラップテーブル ベースアドレス bit[15:10]		0	R/W	
		DE	TTBR14			0		
		DD	TTBR13			0		
		DC	TTBR12			0		
		DB	TTBR11			0		
		DA	TTBR10			0		
		D9	TTBR09	トラップテーブル ベースアドレス bit[9:0]	0に固定	0	R	読み出し時: 0 1書き込み禁止
		D8	TTBR08			0		
		D7	TTBR07			0		
		D6	TTBR06			0		
		D5	TTBR05			0		
		D4	TTBR04			0		
		D3	TTBR03			0		
		D2	TTBR02			0		
		D1	TTBR01			0		
		D0	TTBR00			0		
TTBR 上位レジスタ	0048136 (HW)	DF	TTBR33	トラップテーブル ベースアドレス bit[31:28]	0に固定	0	R	読み出し時: 0 1書き込み禁止
		DE	TTBR32			0		
		DD	TTBR31			0		
		DC	TTBR30			0		
		DB	TTBR2B	トラップテーブル ベースアドレス bit[27:16]	0x0C0	0	R/W	
		DA	TTBR2A			0		
		D9	TTBR29			0		
		D8	TTBR28			0		
		D7	TTBR27			1		
		D6	TTBR26			1		
		D5	TTBR25			0		
		D4	TTBR24			0		
		D3	TTBR23			0		
		D2	TTBR22			0		
		D1	TTBR21			0		
		D0	TTBR20			0		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
エリア10–9	**0048126**	DF	**–**	reserved	–	–	–	**読み出し時**: 0
設定レジスタ	**(HW)**	DE	**A10IR2**	**エリア10内蔵ROM容量選択**	A10IR[2:0] **ROM容量**	1	R/W	
		DD	**A10IR1**		1 1 1 2MB	1		
		DC	**A10IR0**		1 1 0 1MB	1		
					1 0 1 512KB			
					1 0 0 256KB			
					0 1 1 128KB			
					0 1 0 64KB			
					0 0 1 32KB			
					0 0 0 16KB			
		DB	**–**	reserved	–	–	–	**読み出し時**: 0
		DA	**A10BW1**	**エリア**10–9	A10BW[1:0] **ウェイト数**	0	R/W	
		D9	**A10BW0**	**バースト**ROM	1 1 3	0		
				バーストリードサイクルウェイト	1 0 2			
				制御	0 1 1			
					0 0 0			
		D8	**A10DRA**	**エリア10バーストROM選択**	1 **使用** 0 **未使用**	0	R/W	
		D7	**A9DRA**	**エリア9バーストROM選択**	1 **使用** 0 **未使用**	0	R/W	
		D6	**A10SZ**	**エリア10**–9**デバイスサイズ選択**	1 8**ビット** 0 16**ビット**	0	R/W	
		D5	**A10DF1**	**エリア10**–9	A10DF[1:0] **サイクル数**	1	R/W	
		D4	**A10DF0**	**出力ディセーブル遅延時間**	1 1 3.5	1		
					1 0 2.5			
					0 1 1.5			
					0 0 0.5			
		D3	**–**	**reserved**	–	–	–	**読み出し時**: 0
		D2	**A10WT2**	**エリア10–9ウェイト制御**	A10WT[2:0] **ウェイト数**	1	R/W	
		D1	**A10WT1**		1 1 1 7	1		
		D0	**A10WT0**		1 1 0 6	1		
					1 0 1 5			
					1 0 0 4			
					0 1 1 3			
					0 1 0 2			
					0 0 1 1			
					0 0 0 0			

以下、各制御レジスタ/ビットの基本機能をまとめて説明します。個々の割り込み系列/要因ごとの内容については、各周辺回路の説明を参照してください。

Pxxx2–Pxxx0: 割り込みプライオリティレジスタ

割り込み系列の優先レベルを0～7の範囲で設定します。
割り込みプライオリティレジスタがPSRのILの値以下に設定されている場合、割り込みは発生しません。
イニシャルリセット時、割り込みプライオリティレジスタは不定となります。

Exxx: 割り込みイネーブルレジスタ

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可
"0"書き込み: 割り込み禁止
読み出し: 可能

割り込みイネーブルレジスタのビットを"1"に設定すると対応する割り込みが許可され、"0"に設定すると割り込みが禁止されます。
IDMAの起動要求、スタンバイモードの解除に使用する割り込み要因に対応する割り込みイネーブルレジスタのビットも、割り込み許可に設定しておくことが必要です。
イニシャルリセット時、割り込みイネーブルレジスタは"0"(割り込み禁止)に設定されます。

Fxxx: 割り込み要因フラグ

割り込み要因の発生状態を示します。

• 読み出し時
"1"読み出し: 割り込み要因あり
"0"読み出し: 割り込み要因なし

• リセットオンリー方式書き込み時 (デフォルト)
"1"書き込み: 要因フラグをリセット
"0"書き込み: 無効

• リード/ライト方式書き込み時
"1"書き込み: 要因フラグをセット
"0"書き込み: 要因フラグをリセット

割り込み要因フラグは各周辺回路で割り込み要因が発生すると"1"にセットされます。
このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。
1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

なお、割り込み要因をIDMA要求として使用する場合、上記の条件が成立している場合でも、割り込み要因発生時点でCPUに対する割り込み要求は出力されません。IDMAの設定で割り込みを許可してあれば、IDMAによるデータ転送終了後に上記の条件で割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み要因の発生により"1"にセットされます。
割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。
割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。
イニシャルリセット時、割り込み要因フラグは不定となりますので、必ずソフトウェアでリセットしてください。

Rxxx: IDMA**リクエストレジスタ**

割り込み要因発生時にIDMAを起動するかどうか設定します。

• セットオンリー方式(デフォルト)
"1"書き込み: IDMA要求
"0"書き込み: 無効
読み出し: 可能

• リード/ライト方式
"1"書き込み: IDMA要求
"0"書き込み: 割り込み要求
読み出し: 可能

IDMAリクエストレジスタのビットを"1"に設定すると、対応する割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。
IDMAについては"IDMA(インテリジェントDMA)"を参照してください。
IDMA側で割り込み許可に設定され、DMA転送終了時に転送回数カウンタが"0"となった場合、IDMAリクエストレジスタのビットは"0"にリセットされ、IDMAを起動した割り込み要因による割り込み要求が発生します。
イニシャルリセット時、IDMAリクエストレジスタは"0"(割り込み要求)に設定されます。

DExxx: IDMA**イネーブルレジスタ**

割り込み要因によるIDMA転送を許可または禁止します。

• セットオンリー方式(デフォルト)
"1"書き込み: IDMA許可
"0"書き込み: 無効
読み出し: 可能

• リード/ライト方式
"1"書き込み: IDMA許可
"0"書き込み: IDMA禁止
読み出し: 可能

IDMAイネーブルレジスタのビットを"1"に設定すると、対応する割り込み要因によるIDMAの起動を許可します。"0"に設定するとIDMA起動要求は受け付けられません。
イニシャルリセット時、IDMAイネーブルレジスタは"0"(IDMA禁止)に設定されます。

RSTONLY: **割り込み要因フラグリセット方式選択**(D0/0x4029F<**フラグセット/リセット方式選択レジスタ**>)

割り込み要因フラグのリセット方式を選択します。

"1"書き込み: リセットオンリー方式
"0"書き込み: リード/ライト方式
読み出し: 可能

リセットオンリー方式の場合、割り込み要因フラグは"1"を書き込むことでリセットされます。
"0"を書き込んだ要因フラグはセットもリセットもされません。したがって、特定の要因フラグのみを確実にリセットできます。ただし、リード・モディファイ・ライト命令(bset, bclr, bnot)を使用すると、"1"にセットされた割り込み要因フラグが書き込み時にリセットされますので注意してください。この方式では、ソフトウェアで割り込み要因フラグをセットすることはできません。
リード/ライト方式はRSTONLYに"0"を書き込むことにより設定されます。この方式の場合、割り込み要因フラグは他のレジスタと同様に読み出し/書き込みが許可されます。したがって、"0"を書き込むとリセットされ、"1"を書き込むとセットされます。この場合、"0"を書き込んだ要因フラグがすべてリセットされてしまいます。リード・モディファイ・ライトを行う場合でも、読み出しと書き込みの間に割り込み要因が発生する可能性がありますので注意してください。
イニシャルリセット時、RSTONLYは"1"(リセットオンリー方式)に設定されます。

IDMAONLY: IDMAリクエストレジスタセット方式選択(D1/0x4029F<フラグセット/リセット方式選択レジスタ>)

IDMAリクエストレジスタのセット方式を選択します。

"1"書き込み: セットオンリー方式
"0"書き込み: リード/ライト方式
読み出し: 可能

セットオンリー方式の場合、IDMAリクエストビットは"1"を書き込むことでセットされます。
"0"を書き込んだIDMAリクエストビットはセットもリセットもされません。したがって、特定のIDMAリクエストビットのみを確実にセットできます。リード・モディファイ・ライト命令(bset, bclr, bnot)を使用しても、"1"にセットされたIDMAリクエストビットは書き込み時にリセットされませんので注意してください。
リード/ライト方式はIDMAONLYに"0"を書き込むことにより設定されます。この方式の場合、IDMAリクエストレジスタは他のレジスタと同様に読み出し/書き込みが許可されます。したがって、"0"を書き込むとリセットされ、"1"を書き込むとセットされます。この場合、"0"を書き込んだIDMAリクエストビットがすべてリセットされてしまいます。リード・モディファイ・ライトを行う場合でも、読み出しと書き込みの間にIDMAリクエストビットがハードウェアによってリセットされる可能性がありますので注意してください。
イニシャルリセット時、IDMAONLYは"1"(セットオンリー方式)に設定されます。

DENONLY: IDMAイネーブルレジスタセット方式選択(D2/0x4029F<フラグセット/リセット方式選択レジスタ>)

IDMAイネーブルレジスタのセット方式を選択します。

"1"書き込み: セットオンリー方式
"0"書き込み: リード/ライト方式
読み出し: 可能

セットオンリー方式の場合、IDMAイネーブルビットは"1"を書き込むことでセットされます。
"0"を書き込んだIDMAイネーブルビットはセットもリセットもされません。したがって、特定のIDMAイネーブルビットのみを確実にセットできます。リード・モディファイ・ライト命令(bset, bclr, bnot)を使用しても、"1"にセットされたIDMAイネーブルビットは書き込み時にリセットされませんので注意してください。
リード/ライト方式はDENONLYに"0"を書き込むことにより設定されます。この方式の場合、IDMAイネーブルレジスタは他のレジスタと同様に読み出し/書き込みが許可されます。したがって、"0"を書き込むとリセットされ、"1"を書き込むとセットされます。この場合、"0"を書き込んだIDMAイネーブルビットがすべてリセットされてしまいます。リード・モディファイ・ライトを行う場合でも、読み出しと書き込みの間にIDMAイネーブルビットがハードウェアによってリセットされる可能性がありますので注意してください。
イニシャルリセット時、DENONLYは"1"(セットオンリー方式)に設定されます。

SIO2ES0: SIO Ch.2受信エラー/FP0割り込み要因切り換え
(D0/0x402C5<割り込み要因FP機能切り換えレジスタ>)

割り込み要因を切り換えます。

"1"書き込み: SIO Ch.2受信エラー
"0"書き込み: FP0入力
読み出し: 可能

SIO Ch.2受信エラー割り込みを使用したい場合は、"1"を設定します。
FP0入力割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、SIO2ES0は"0"に設定されます。

SIO2RS0: SIO Ch.2受信バッファフル/FP1割り込み要因切り換え
(D1/0x402C5<割り込み要因FP機能切り換えレジスタ>)

割り込み要因を切り換えます。

"1"書き込み: SIO Ch.2受信バッファフル
"0"書き込み: FP1入力
読み出し: 可能

SIO Ch.2受信バッファフル割り込みを使用したい場合は、"1"を設定します。
FP1入力割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、SIO2RS0は"0"に設定されます。

SIO3ES0: SIO Ch.3受信エラー/FP2割り込み要因切り換え
(D2/0x402C5<割り込み要因FP機能切り換えレジスタ>)

割り込み要因を切り換えます。

"1"書き込み: SIO Ch.3受信エラー
"0"書き込み: FP2入力
読み出し: 可能

SIO Ch.3受信エラー割り込みを使用したい場合は、"1"を設定します。
FP2入力割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、SIO3ES0は"0"に設定されます。

SIO2TS0: SIO Ch.2送信バッファエンプティ/FP3割り込み要因切り換え
(D3/0x402C5<割り込み要因FP機能切り換えレジスタ>)

割り込み要因を切り換えます。

"1"書き込み: SIO Ch.2送信バッファエンプティ
"0"書き込み: FP3入力
読み出し: 可能

SIO Ch.2送信バッファエンプティ割り込みを使用したい場合は、"1"を設定します。
FP3入力割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、SIO2TS0は"0"に設定されます。

SIO3RS0: SIO Ch.3受信バッファフル/FP4割り込み要因切り換え
(D4/0x402C5<割り込み要因FP機能切り換えレジスタ>)

割り込み要因を切り換えます。

"1"書き込み: SIO Ch.3受信バッファフル
"0"書き込み: FP4入力
読み出し: 可能

SIO Ch.3受信バッファフル割り込みを使用したい場合は、"1"を設定します。
FP4入力割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、SIO3RS0は"0"に設定されます。

T8CH4S0: 8ビットタイマ4アンダーフロー/FP5割り込み要因切り換え
(D5/0x402C5<割り込み要因FP機能切り換えレジスタ>)

割り込み要因を切り換えます。

"1"書き込み: 8ビットタイマ4アンダーフロー
"0"書き込み: FP5入力
読み出し: 可能

8ビットタイマ4アンダーフロー割り込みを使用したい場合は、"1"を設定します。
FP5入力割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、T8CH4S0は"0"に設定されます。

SIO3TS0: SIO Ch.3送信バッファエンプティ/FP6割り込み要因切り換え
(D6/0x402C5<割り込み要因FP機能切り換えレジスタ>)

割り込み要因を切り換えます。

"1"書き込み: SIO Ch.3送信バッファエンプティ
"0"書き込み: FP6入力
読み出し: 可能

SIO Ch.3送信バッファエンプティ割り込みを使用したい場合は、"1"を設定します。
FP6入力割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、SIO3TS0は"0"に設定されます。

T8CH5S0: 8ビットタイマ5アンダーフロー/FP7割り込み要因切り換え
(D7/0x402C5<割り込み要因FP機能切り換えレジスタ>)

割り込み要因を切り換えます。

"1"書き込み: 8ビットタイマ5アンダーフロー
"0"書き込み: FP7入力
読み出し: 可能

8ビットタイマ5アンダーフロー割り込みを使用したい場合は、"1"を設定します。
FP7入力割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、T8CH5S0は"0"に設定されます。

SIO2RS1: SIO Ch.2受信バッファフル/TM16 Ch.5コンペアB割り込み要因切り換え
(D0/0x402CB<割り込み要因TM16機能切り換えレジスタ>)

割り込み要因を切り換えます。

"1"書き込み: SIO Ch.2受信バッファフル
"0"書き込み: TM16 Ch.5コンペアB
読み出し: 可能

SIO Ch.2受信バッファフル割り込みを使用したい場合は、"1"を設定します。
TM16 Ch.5コンペアB割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、SIO2RS1は"0"に設定されます。

SIO2TS1: SIO Ch.2送信バッファエンプティ/TM16 Ch.5コンペアA割り込み要因切り換え
(D1/0x402CB<割り込み要因TM16機能切り換えレジスタ>)

割り込み要因を切り換えます。

"1"書き込み: SIO Ch.2送信バッファエンプティ
"0"書き込み: TM16 Ch.5コンペアA
読み出し: 可能

SIO Ch.2送信バッファエンプティ割り込みを使用したい場合は、"1"を設定します。
TM16 Ch.5コンペアA入力割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、SIO2TS1は"0"に設定されます。

SIO3RS1: SIO Ch.3受信バッファフル/TM16 Ch.4コンペアB割り込み要因切り換え
(D2/0x402CB<割り込み要因TM16機能切り換えレジスタ>)

割り込み要因を切り換えます。

"1"書き込み: SIO Ch.3受信バッファフル
"0"書き込み: TM16 Ch.4コンペアB
読み出し: 可能

SIO Ch.3受信バッファフル割り込みを使用したい場合は、"1"を設定します。
TM16 Ch.4コンペアB割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、SIO3RS1は"0"に設定されます。

SIO3TS1: SIO Ch.3**送信バッファエンプティ**/TM16 Ch.4**コンペア**A**割り込み要因切り換え**
(D3/0x402CB<**割り込み要因**TM16**機能切り換えレジスタ**>)

割り込み要因を切り換えます。

"1"書き込み: SIO Ch.3送信バッファエンプティ
"0"書き込み: TM16 Ch.4コンペアA
読み出し: 可能

SIO Ch.3送信バッファエンプティ割り込みを使用したい場合は、"1"を設定します。
TM16 Ch.4コンペアA入力割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、SIO3TS1は"0"に設定されます。

SIO2ES1: SIO Ch.2**受信エラー**/TM16 Ch.3**コンペア**B**割り込み要因切り換え**
(D4/0x402CB<**割り込み要因**TM16**機能切り換えレジスタ**>)

割り込み要因を切り換えます。

"1"書き込み: SIO Ch.2受信エラー
"0"書き込み: TM16 Ch.3コンペアB
読み出し: 可能

SIO Ch.2受信エラー割り込みを使用したい場合は、"1"を設定します。
TM16 Ch.3コンペアB割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、SIO2ES1は"0"に設定されます。

SIO3ES1: SIO Ch.3**受信エラー**/TM16 Ch.3**コンペア**A**割り込み要因切り換え**
(D5/0x402CB<**割り込み要因**TM16**機能切り換えレジスタ**>)

割り込み要因を切り換えます。

"1"書き込み: SIO Ch.3受信エラー
"0"書き込み: TM16 Ch.3コンペアA
読み出し: 可能

SIO Ch.3受信エラー割り込みを使用したい場合は、"1"を設定します。
TM16 Ch.3コンペアA入力割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、SIO3ES1は"0"に設定されます。

T8CH4S1: 8**ビットタイマ**4**アンダーフロー**/TM16 Ch.2**コンペア**B**割り込み要因切り換え**
(D6/0x402CB<**割り込み要因**TM16**機能切り換えレジスタ**>)

割り込み要因を切り換えます。

"1"書き込み: 8ビットタイマ4アンダーフロー
"0"書き込み: TM16 Ch.2コンペアB
読み出し: 可能

8ビットタイマ4アンダーフロー割り込みを使用したい場合は、"1"を設定します。
TM16 Ch.2コンペアB割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、T8CH4S1は"0"に設定されます。

T8CH5S1: 8**ビットタイマ**5**アンダーフロー**/TM16 Ch.2**コンペア**A**割り込み要因切り換え**
(D7/0x402CB<**割り込み要因**TM16**機能切り換えレジスタ**>)

割り込み要因を切り換えます。

"1"書き込み: 8ビットタイマ5アンダーフロー
"0"書き込み: TM16 Ch.2コンペアA
読み出し: 可能

8ビットタイマ5アンダーフロー割り込みを使用したい場合は、"1"を設定します。
TM16 Ch.2コンペアA割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、T8CH5S1は"0"に設定されます。

TBRP7–TBRP0: TTBR**レジスタ書き込み保護**([D[7:0]/0x4812D<TTBR**レジスタ書き込み保護レジスタ**>)

TTBRレジスタの書き込み保護を解除します。

0x59書き込み: 書き込み保護解除
上記以外の書き込み: ノーオペレーション(書き込み保護)
読み出し: 可能

TTBRレジスタに書き込みを行う場合は、その前にTBRPを0x59に設定し、書き込み保護を解除してください。その後、TTBRの最上位バイト(0x48137)にデータが書き込まれると書き込み禁止状態に戻ります。
イニシャルリセット時、TBRPレジスタは0x0(書き込み保護)に設定されます。

TTBR09–TTBR00: **トラップテーブルベースアドレス**bit[9:0](D[9:0]/0x48134[HW]<TTBR**下位レジスタ**>)
TTBR15–TTBR10: **トラップテーブルベースアドレス**bit[15:10](D[F:A]/0x48134[HW]<TTBR**下位レジスタ**>)
TTBR2B–TTBR20: **トラップテーブルベースアドレス**bit[27:16](D[B:0]/0x48136[HW]<TTBR**上位レジスタ**>)
TTBR33–TTBR30: **トラップテーブルベースアドレス**bit[31:28](D[F:C]/0x48136[HW]<TTBR**上位レジスタ**>)

トラップテーブル先頭アドレスを設定します。
TTBR0とTTBR3は読み出し専用で"0"に固定されます。このため、トラップテーブルの先頭アドレスは常に1KB境界アドレスから始まります。
なお、TTBRレジスタは誤って書き換えられることのないように、通常は書き込み禁止状態に置かれ、この書き込み保護機能を解除するためにTTBRレジスタ書き込み保護レジスタTBRP(D[7:0]/0x4812D[Byte])が用意されています。TBRPレジスタに0x59を書き込むとTTBRレジスタへの書き込みが許可され、TTBRレジスタの最上位バイト(0x48137)への書き込みにより書き込み禁止状態に戻ります。したがって、TTBRレジスタへの書き込みは下位ハーフワードから先に行うことが必要です。ただし、下位と上位ハーフワードの書き込みの間にNMI等が発生すると誤動作しますので、ワード書き込みを推奨します。
イニシャルリセット後、TTBRレジスタは0x0C00000番地に設定されます。

プログラミング上の注意事項

(1) スタンバイモードからの再起動用の割り込み要因がIDMAを起動するように設定されている場合、その割り込みによりIDMAが起動します。SLEEPモードの場合は高速(OSC3)発振回路も発振を開始します。ただし、IDMA側の設定でIDMA終了後の割り込みが禁止されていると、CPUへの割り込み要求信号が発生しないため、CPUは動作を停止したままとなり次の割り込み要求が発生するまで動作を開始しません。

(2) S1C33000コアCPUの機能としては、ILによって割り込みレベルを0～15の16種類に設定可能です。ただし、本割り込みコントローラでは割り込みプライオリティレジスタが3ビットのため、各割り込み系列の割り込みレベルを8以上に設定することはできません。

(3) リセットオンリー方式で割り込み要因フラグをリセットする("1"を書き込む)場合、リード・モディファイ・ライト命令(bset, bclr, bnot)を使用すると、同じアドレスで"1"にセットされた他の割り込み要因フラグが書き込み時にリセットされますので注意してください。リード/ライト方式でリセットする("0"を書き込む)場合、"0"を書き込んだ要因フラグがすべてリセットされてしまいます。リード・モディファイ・ライトを行うと、読み出しと書き込みの間に割り込み要因が発生する可能性がありますので注意してください。
また、IDMAリクエストレジスタ、IDMAイネーブルレジスタのセットオンリー方式、リード/ライト方式についても同様の注意が必要です。

(4) イニシャルリセット後、割り込み要因フラグおよび割り込みプライオリティレジスタは不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。

(5) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、割り込みを許可、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。

II-6 CLG(クロックジェネレータ)

この章では、システムクロックの制御方法について説明します。

クロックジェネレータの構成

C33コアブロックは、高速発振回路(OSC3)とPLLで構成されるクロックジェネレータを内蔵しています。高速(OSC3)発振回路はCPUと内蔵周辺回路(DMA、シリアルインタフェース、プログラマブルタイマ、A/D変換器等)用のメインクロックを発生します。
また、クロックジェネレータは、周辺回路ブロックで生成される低速(OSC1)クロック(32.768kHz Typ.)などのサブクロックを入力することができます。このサブクロックは計時タイマ用および省電力化のためにCPUを低速動作させるクロックとして使用可能です。

注: 低速(OSC1)発振回路を含む周辺回路ブロックを搭載すると、CPUと内蔵周辺回路(シリアルインタフェース、プログラマブルタイマ、A/D変換器等)用のソースクロックがOSC3とOSC1から選択できます。詳細は、本章の"CPU動作クロックの設定と切り換え"、周辺回路ブロックの"プリスケーラ"および"低速(OSC1)発振回路"を参照してください。

図6.1にクロックジェネレータの構成を示します。

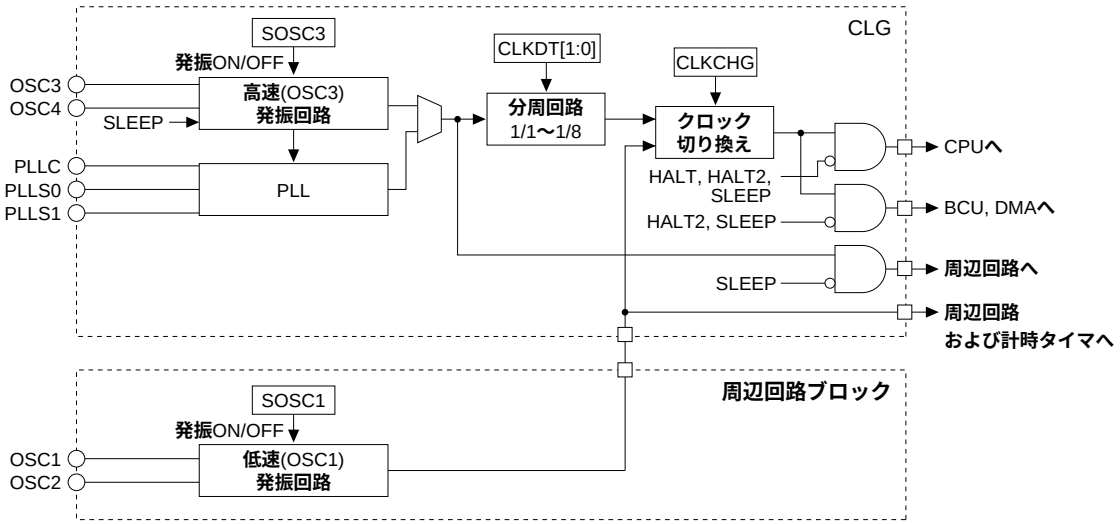


図6.1 クロックジェネレータの構成

イニシャルリセット後は、高速(OSC3)発振回路の出力(OSC3クロック)がCPUの動作クロックに設定されます。
低速(OSC1)発振回路を搭載すると、CPUの動作クロックはプログラムによって低速(OSC1)発振回路の出力(OSC1クロック)に切り換えることができます。また、各発振回路をプログラムによって停止させることもできます。
計時処理等のOSC3クロックが不要な場合は消費電流を低減させるため、OSC1クロックをCPUの動作クロックに設定し、高速(OSC3)発振回路を停止させてください。また、SLEEPモードに設定すると高速(OSC3)発振回路が停止し、消費電流が大幅に低減できます(計時タイマ以外の動作が不要な場合)。

クロックジェネレータの入出力端子

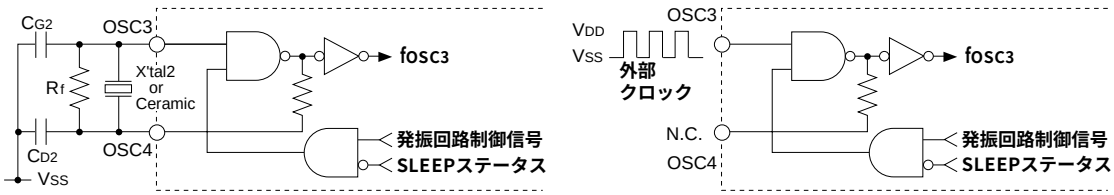
表6.1に発振回路の入出力端子を示します。

表6.1 クロックジェネレータの入出力端子

端子名	I/O	機　能				
OSC3	I	高速(OSC3)発振入力端子: 水晶/セラミック発振または外部クロック入力				
OSC4	O	高速(OSC3)発振出力端子: 水晶/セラミック発振(外部クロック入力時は開放)				
PLLC	–	PLL用コンデンサ接続端子				
PLLS[1:0]	I	PLL設定端子				
		PLLS1	PLLS0	fin (f_{OSC3})	fout (f_{PSCIN})	備考
		1	1	10~25MHz	20~50MHz	ROMなし、および3.3V±0.3V時
		0	1	10~12.5MHz	40~50MHz	ROMなし、および3.3V±0.3V時
		0	0	PLL未使用	L*	＊ PLL未使用時はOSC3クロックを直接使用

高速(OSC3)発振回路

高速(OSC3)発振回路はCPUと内蔵周辺回路(DMA、シリアルインタフェース、プログラマブルタイマ、A/D変換器等)用のメインクロックを発生します。
水晶発振回路またはセラミック発振回路として使用可能です。また、外部よりクロックを入力することもできます。
図6.2に高速(OSC3)発振回路の構造を示します。



(1) 水晶/セラミック発振回路　　(2) 外部クロック入力

図6.2 高速(OSC3)発振回路

水晶またはセラミック発振回路として使用する場合は、水晶(X'tal2)またはセラミック(Ceramic)振動子と帰還抵抗(Rf)をOSC3～OSC4端子間に、2つのコンデンサ(C_{G2}、C_{D2})をそれぞれOSC3端子～V_{SS}間、OSC4端子～V_{SS}間に接続してください。
外部クロックを使用する場合はOSC4端子を開放し、矩形波のクロックをOSC3端子に入力してください。発振周波数の範囲は10MHz～33MHzです。この周波数範囲は外部クロックを入力する場合にも適用されます。

注:　PLLを使用する場合、発振周波数範囲はPLLの設定により変わります。表6.2を参照してください。

発振特性と外部クロックの入力特性については"電気的特性"を参照してください。

PLL

PLLは高速(OSC3)クロックを入力し、その周波数を逓倍します。逓倍モードは、OSC3発振周波数に合わせ、PLLS[1:0]端子で設定可能です。

表6.2 PLLS[1:0]端子の設定

PLLS1	PLLS0	モード	fin (OSC3クロック)	fout	備考
1	1	x2	10~25MHz	20~50MHz	ROMなし、および3.3V±0.3V時
0	1	x4	10~12.5MHz	40~50MHz	ROMなし、および3.3V±0.3V時
0	0	PLL未使用	–	未使用	

図6.3にPLL用端子の基本外部結線図を示します。

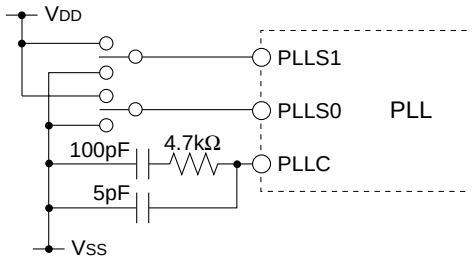


図6.3 PLL使用時の基本外部結線図

注: PLLを使用しない場合は、OSC3発振出力がクロックとして使用されます。この場合の発振周波数範囲は10MHz～33MHzです。また、PLLC端子はオープンとしてください。

発振の制御

高速(OSC3)発振回路は、パワーコントロールレジスタ(0x40180)のSOSC3(D1)によって発振のON/OFFが制御できます。
SOSC3に"0"を書き込むと高速(OSC3)発振回路が停止し、"1"を書き込むと発振を再開します。
イニシャルリセット時、SOSC3は"1"に設定され、高速(OSC3)発振回路はONとなります。

注:
- CPUの動作クロック原振に高速(OSC3)発振回路を使用している場合は、高速(OSC3)発振回路を停止させることはできません。その場合のSOSC3への"0"書き込みは無効です。また、パワーコントロールレジスタ保護フラグが0b10010110に設定されている場合にのみ、SOSC3への書き込みが行えます。
- 発振回路をONにした直後は、発振が安定するまである程度の時間を要します(3.3V系水晶振動子の場合で最大10ms)。誤動作を防止するため、発振が安定するまではそのクロックを使用しないでください。

高速(OSC3)発振回路はSLEEP時にも停止します。

CPU動作クロックの設定と切り換え

■ CPU動作周波数の設定

CPUを高速(OSC3)クロックで動作させる場合、動作周波数を4段階に切り換えることができます。この切り換えは、パワーコントロールレジスタ(0x40180)のCLKDT[1:0](D[7:6])によって行います。

表6.3 CPU動作クロックの設定

CLKDT1	CLKDT0	分周比
1	1	fout/8
1	0	fout/4
0	1	fout/2
0	0	fout/1

fout: PLL出力周波数

ここで設定したクロックがシステムクロックとなり、CPUの動作クロックおよびバスクロックとして使用されます。
イニシャルリセット時はfout/1に設定され、高速(OSC3)発振クロックで直接動作します。
CPUの動作速度を落とすことで消費電流を低減できますので、必要に応じて切り換えてください。

この設定は高速(OSC3)クロックに対してのみ有効で、低速(OSC1)クロックをシステムクロックとして使用する場合は無効です。

注: **CLKDT[1:0]への書き込みは、パワーコントロールレジスタ保護フラグが0b10010110に設定されている場合にのみ有効です。**

■ CPU動作クロックの切り換え

注: **CPU動作クロックの切り換え(OSC3→OSC1)は、周辺回路ブロックの低速(OSC1)発振回路を使用している場合にのみ可能です。**

イニシャルリセット後、CPUはOSC3クロックにより動作を開始します。内蔵周辺回路もすべて動作します。
周辺回路(プログラマブルタイマ、シリアルインタフェース、A/D変換器、ポート等)の動作が不要、もしくは低速動作で処理可能な場合でCPUも低速動作で処理可能なときは、CPUの動作クロックをOSC1クロックに切り換えて消費電流を低減させることができます。この動作クロックの切り換えは、パワーコントロールレジスタ(0x40180)のCLKCHG(D2)によって行います。

OSC3クロックからOSC1クロックへの切り換え手順

1. 低速(OSC1)発振回路をON (SOSC1に"1"を書き込み)
2. OSC1発振が安定するまで(3秒以上)ウェイト
3. CPU動作クロックの切り換え (CLKCHGに"0"を書き込み)
4. 高速(OSC3)発振回路をOFF (SOSC3に"0"を書き込み)

※ 1と2は低速(OSC1)発振回路が停止している場合にのみ必要です。

注: **• OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々の命令で行ってください。1命令で同時に処理すると、CPUの誤動作につながります。**

• プログラマブルタイマ、A/D変換器、シリアルインタフェースなどの周辺回路を動作させている場合、誤動作を防止するためOSC3発振を停止する前に動作を終了させるか、あるいはプリスケーラクロックをOSC1に設定してください。なお、誤動作を防止するため、プリスケーラの設定はCPUクロックの変更前に行ってください。

OSC1クロックからOSC3クロックへの切り換え手順

1. 高速(OSC3)発振回路をON (SOSC3に"1"を書き込み)
2. OSC3発振が安定するまで(3.3V系水晶振動子の場合10ms以上)ウェイト
3. CPU動作クロックの切り換え (CLKCHGに"1"を書き込み)

注: **CLKCHGによる動作クロックの切り換えは、発振回路が両方ともONしている場合で、パワーコントロールレジスタ保護フラグが0b10010110に設定されている場合にのみ有効です。**

パワーコントロールレジスタ保護フラグ

発振回路とCPU動作クロックの制御を行うアドレス0x40180のパワーコントロールレジスタは、不要な書き込みによる誤動作を防止するため、通常は書き込み禁止状態となっています。
書き込み可能な状態にするには、パワーコントロールレジスタ保護レジスタ(0x4019E)のCLGP[7:0](D[7:0])に0b10010110を設定する必要があります。なお、この設定はパワーコントロールレジスタ(0x40180)への1回の書き込みのみを許可し、書き込みが行われるとCLGP[7:0]のすべてのビットが"0"にクリアされます。したがって、パワーコントロールレジスタ(0x40180)への書き込みを行う場合は、その都度CLGP[7:0]に0b10010110を設定してください。
CLGP[7:0]は、パワーコントロールレジスタ(0x40180)の読み出しには影響を与えません。

スタンバイモード時の動作

halt命令の実行により設定されるHALTモードでは、高速(OSC3)発振回路および低速(OSC1)発振回路はHALTモードへ移行する前の状態を保持します。したがって、HALTモードへの移行前および解除後に発振回路を制御する必要は特にありません。

slp命令の実行により設定されるSLEEPモードの場合、SLEEP状態へ移行すると高速(OSC3)発振回路が動作を停止します。SLEEPモードへの移行前に高速(OSC3)発振回路が動作していた場合は、SLEEPモードが解除されると発振を再開します。
また、SLEEPモードへの移行前にCPUがOSC3クロックで動作していた場合は、SLEEP解除後もCPUはOSC3クロックによって動作を再開します。高速(OSC3)発振回路は発振開始から発振が安定するまでに10ms程度(3.3V系水晶振動子の場合)の時間を要します。C33コアブロックではこの間のCPUの再起動による誤動作を防止するため、SLEEP解除後はCPUに対するOSC3クロックの供給をハードウェアによって禁止できるようになっています。この機能はクロックオプションレジスタ(0x40190)の8T1ON(D2)によって選択します。クロック供給を開始するまでの待ち時間は、8ビットプログラマブルタイマ1によって設定します。
この機能を使用した処理手順と動作を以下に示します。

1. 8ビットプログラマブルタイマ1の割り込みを禁止
2. 8ビットプログラマブルタイマ1にカウンタ初期値をプリセット
   余裕を持った安定待ち時間となるように値を設定してください。プリスケーラによる8ビットプログラマブルタイマ1入力クロックの設定も必要です。
3. SLEEPモードの解除に使用する割り込みを許可
   割り込みを許可する前に、必ず割り込み要因フラグをリセットしてください。
4. 8T1ONに"0"書き込み (SLEEP解除後の発振安定待ち機能をON)
5. 8ビットプログラマブルタイマ1のカウントをスタート
6. slp命令によってSLEEPモードに移行
   :
   SLEEPモード
   :
7. NMI、入力ポートまたは計時タイマ割り込みによりSLEEPモードを解除
8. SLEEPモードの解除により、高速(OSC3)発振回路が発振を開始
   OSC3クロックにより8ビットプログラマブルタイマ1もカウントを開始します。
9. 8ビットプログラマブルタイマ1にアンダーフローが発生
   アンダーフロー信号によりCPUへの動作クロックの供給を開始し、CPUが再起動します。

8ビットプログラマブルタイマ、プリスケーラ、割り込みの制御方法については、それぞれの説明を参照してください。

注: **8T1ONによる高速(OSC3)発振安定待ち機能はSLEEPモード解除時にのみ有効です。**
8T1ONへの書き込みは、パワーコントロールレジスタ保護フラグが0b10010110に設定されている場合にのみ有効です。

クロックジェネレータのI/Oメモリ

表6.4にクロックジェネレータの制御ビットを示します。

表6.4 **クロックジェネレータの制御ビット**

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
パワーコントロールレジスタ	**0040180 (B)**	D7 D6	**CLKDT1** **CLKDT0**	**システムクロック分周比選択**	CLKDT[1:0] **分周比** 1 1 1/8 1 0 1/4 0 1 1/2 0 0 1/1	0 0	R/W	
		D5	**PSCON**	**プリスケーラOn/Off制御**	1 **On** 0 **Off**	1	R/W	
		D4–3	**–**	**reserved**	–	0	–	**1書き込み禁止**
		D2	**CLKCHG**	**CPU動作クロック切り換え**	1 **OSC3** 0 **OSC1**	1	R/W	
		D1	**SOSC3**	**高速(OSC3)発振On/Off制御**	1 On 0 Off	1	R/W	
		D0	**SOSC1**	**低速(OSC1)発振On/Off制御**	1 On 0 Off	1	R/W	
クロックオプションレジスタ	**0040190 (B)**	D7–4	**–**	–	–	–	–	**読み出し時**: 0
		D3	**HLT2OP**	HALT**クロックオプション**	1 On 0 Off	0	R/W	
		D2	**8T1ON**	**高速(OSC3)発振待ち時間On**	1 Off 0 On	1	R/W	
		D1	**–**	**reserved**	–	0	–	**1書き込み禁止**
		D0	**PF1ON**	**OSC1外部出力On/Off制御**	1 On 0 Off	0	R/W	
パワーコントロールレジスタ保護レジスタ	**004019E (B)**	D7 D6 D5 D4 D3 D2 D1 D0	**CLGP7** **CLGP6** **CLGP5** **CLGP4** **CLGP3** **CLGP2** **CLGP1** **CLGP0**	**パワーコントロールレジスタ保護フラグ**	**10010110(0x96)書き込みによりパワーコントロールレジスタ(0x40180)、クロックオプションレジスタ(0x40190)の書き込み保護を解除** **それ以外は書き込み禁止に設定**	0 0 0 0 0 0 0 0	R/W	

SOSC1: **低速**(OSC1)**発振制御**(D0/0x40180<**パワーコントロールレジスタ**>)

低速(OSC1)発振回路の発振ON/OFFを制御します。

"1"書き込み: OSC1発振ON
"0"書き込み: OSC1発振OFF
読み出し: 可能

SOSC1に"0"を書き込むことにより低速(OSC1)発振回路が発振を停止し、"1"の書き込みで発振を再開します。発振を再開後は、発振が安定するまで標準動作条件で最大3秒の時間を要しますので、OSC1クロックはそれ以上の時間が経過後に使用してください。
SOSC1への書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。また、OSC1クロックでCPUが動作している場合は、"0"の書き込みは無効となり発振を停止しません。
イニシャルリセット時、SOSC1は"1"(OSC1発振ON)に設定されます。

注: **この制御ビットは周辺回路ブロックの低速**(OSC1)**発振回路を使用している場合にのみ有効です。**

SOSC3: **高速**(OSC3)**発振制御**(D1/0x40180<**パワーコントロールレジスタ**>)

高速(OSC3)発振回路の発振ON/OFFを制御します。

"1"書き込み: OSC3発振ON
"0"書き込み: OSC3発振OFF
読み出し: 可能

SOSC3に"0"を書き込むことにより高速(OSC3)発振回路が発振を停止し、"1"の書き込みで発振を再開します。発振を再開後は、発振が安定するまで最大10ms(3.3V系水晶振動子、標準動作条件の場合)の時間を要しますので、OSC3クロックはそれ以上の時間が経過後に使用してください。
SOSC3への書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。また、OSC3クロックでCPUが動作している場合は、"0"の書き込みは無効となり発振を停止しません。
イニシャルリセット時、SOSC3は"1"(OSC3発振ON)に設定されます。

CLKCHG: CPU**動作クロック切り換え**(D2/0x40180<**パワーコントロールレジスタ**>)

CPUの動作クロックを選択します。

"1"書き込み: OSC3クロック
"0"書き込み: OSC1クロック
読み出し: 可能

CPUの動作クロックはCLKCHGに"1"を書き込んだ場合OSC3、"0"を書き込んだ場合OSC1となります。
高速(OSC3)発振回路および低速(OSC1)発振回路が共にONの場合にのみ動作クロックの切り換えが行えます。また、 CLKCHGへの書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。
発振回路が発振を開始した直後は、発振が安定するまでCPUの動作クロックの切り換えは行わないでください。
イニシャルリセット時、CLKCHGは"1"(OSC3クロック)に設定されます。

注: **この制御ビットは周辺回路ブロックの低速**(OSC1)**発振回路を使用している場合にのみ有効です。**

CLKDT1–CLKDT0: CPU**動作周波数選択**(D[7:6]/0x40180<**パワーコントロールレジスタ**>)

CPUの動作クロック周波数を選択します。

表6.5 CPU**動作クロックの設定**

CLKDT1	CLKDT0	**分周比**
1	1	fout/8
1	0	fout/4
0	1	fout/2
0	0	fout/1

fout: PLL**出力周波数**

この設定は高速(OSC3)クロックで動作させる場合に有効で、低速(OSC1)クロックには無効です。
CLKDT[1:0]への書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。
イニシャルリセット時、CLKDTは"0"(fout/1)に設定されます。

8T1ON: **高速**(OSC3)**発振待ち機能設定**(D2/0x40190<**クロックオプションレジスタ**>)

SLEEP解除後の高速(OSC3)発振待ち機能を設定します。

"1"書き込み: OFF
"0"書き込み: ON
読み出し: 可能

8T1ONに"0"を書き込むことにより、SLEEP解除後の高速(OSC3)発振待ち機能が有効となります。この機能を使用する場合は、SLEEP状態への移行前に8ビットプログラマブルタイマ1に待ち時間を設定し、カウント動作を開始させておくことが必要です。SLEEP解除後は、8ビットプログラマブルタイマ1がアンダーフローするまでOSC3クロックはCPUには供給されません。8T1ONが"1"に設定されている場合、この機能は働きません。高速(OSC3)発振待ち機能はSLEEP解除時のみ有効です。
8T1ONへの書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。
8T1ONへの書き込みを行う場合は、クロックオプションレジスタ(0x40190)の予約(reserved)ビット(D1)には必ず"0"を書き込んでください。
イニシャルリセット時、8T1ONは"1"(OFF)に設定されます。

HLT2OP: HALT**クロックオプション**(D3/0x40190<**クロックオプションレジスタ**>)

HALTモード時の状態(基本モードとHALT2モード)を選択します。

"1"書き込み: HALT2モード
"0"書き込み: 基本モード
読み出し: 可能

HALTモード時の状態は、HLT2OPに"1"を書き込むとHALT2モード、"0"を書き込むと基本モードになります。
HLT2OPへの書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。
イニシャルリセット時、HLT2OPは"0"(基本モード)に設定されます。

HALTモード(基本モードとHALT2モード)、SLEEPモードの動作状態は以下のとおりです。

表6.6 スタンバイモードの動作状態

スタンバイモード		動作状態	再起動
HALTモード	基本モード	• CPUクロック停止(CPU停止) • BCUへのクロック非停止(BCU非停止) • DMAクロック非停止(DMA非停止) • 周辺回路へのクロックはHALTモードに移行する直前の状態を継続(停止/非停止) • 高速発振回路はHALTモードに移行する直前の状態を継続 • 低速発振回路はHALTモードに移行する直前の状態を継続	• リセット、NMI • マスクされていない割り込み要因の発生
	HALT2モード	• CPUクロック停止(CPU停止) • BCUへのクロック停止(BCU停止) • DMAへのクロック停止(DMA停止) • 周辺回路へのクロックはHALTモードに移行する直前の状態を継続(停止/非停止) • 高速発振回路はHALTモードに移行する直前の状態を継続 • 低速発振回路はHALTモードに移行する直前の状態を継続	• リセット、NMI • マスクされていない割り込み要因の発生 ただし、周辺回路からの割り込みによって再起動させるには、その周辺回路に動作クロックが供給されている必要があります(クロックが停止していないことが条件)。
SLEEPモード		• CPUクロック停止(CPU停止) • BCUへのクロック停止(BCU停止) • 周辺回路へのクロックは停止 • 高速発振回路は停止 • 低速発振回路はSLEEPモードに移行する直前の状態を継続	• リセット、NMI • マスクされていない入力ポートからの割り込み • 低速発振回路が動作しているときの計時タイマからの割り込み

CLGP7–CLGP0: パワーコントロールレジスタ保護フラグ
([D[7:0]/0x4019E<パワーコントロールレジスタ保護レジスタ>)

パワーコントロールレジスタ(0x40180)とクロックオプションレジスタ(0x40190)の書き込み保護を解除します。

0b10010110書き込み: 書き込み保護解除
上記以外の書き込み: ノーオペレーション(書き込み保護)
読み出し: 可能

パワーコントロールレジスタ(0x40180)またはクロックオプションレジスタ(0x40190)に書き込みを行う場合は、その前にCLGP[7:0]を0b10010110に設定し、書き込み保護を解除してください。この解除は上記いずれかのアドレスに対する1回の書き込みのみに有効で、書き込みが行われると0b00000000にクリアされます。したがって、書き込みの都度CLGP[7:0]を再設定する必要があります。
イニシャルリセット時、CLGPは0b00000000(書き込み保護)に設定されます。

プログラミング上の注意事項

(1) 高速(OSC3)発振回路をONにした直後は、発振が安定するまである程度の時間を要します(3.3V系水晶振動子の場合で最大10ms)。誤動作を防止するため、発振が安定するまではそのクロックを使用しないでください。
特にOSC3クロックでCPUが動作中にSLEEPモードに設定した場合は、SLEEP中に高速(OSC3)発振回路が停止し、SLEEP解除により発振を再開します。不安定なOSC3クロックによるCPUの再起動で誤動作しないように、8ビットプログラマブルタイマ1に余裕を持った安定待ち時間を設定し、SLEEP解除時の発振安定待ち機能をONにしてからSLEEPモードへ移行してください。

(2) CPUの動作クロックに使用している発振回路を停止させることはできません。

(3) CPU動作クロックの切り換えは、OSC3とOSC1発振回路が両方ともONしている場合にのみ可能です。
また、CPU動作クロックの切り換え後に不要となった発振回路をOFFする場合、切り換えと発振OFFは命令を分けて行ってください。1命令で同時に処理すると、CPUの誤動作につながります。

(4) 高速(OSC3)発振回路をOFFにした場合、OSC3クロックで動作している周辺回路はすべて停止します。

(5) 消費電流を低減させるため、OSC3クロックが不要な場合はOSC1クロックでCPUを動作させ、高速(OSC3)発振回路をOFFしてください。

(6) HALTモードではDMAとBCUのクロックが動作しているため、クロックオプションレジスタHLT2OP(0x40190のD3)が"0"のとき(HALT2モードではなく、HALTモードの場合)に次の動作を行うと、その動作は予測できない誤動作になります。
halt命令を実行後、CPUが停止している状態でDMAのトリガが発生しDMAが動作すると誤動作になります。HALTモード時は、DMAが動作しないようにしてください。
HALT2モードでは、DMAとBCUのクロックが停止するためDMAは起動しません。

(7) SLEEPモードでは発振回路のクロックが停止します。HALT2モードの場合、周辺回路へのクロック供給はHALT2モードへの移行前の状態(クロックの停止/非停止)を継続します。
この状態から再起動するトリガとしてポートからの割り込み入力が使えますが、この割り込み入力は、機能上レベル入力として動作します。したがって、設定がエッジ入力となっていてもレベル入力として再起動します。

レベル入力の再起動について

再起動は、立ち上がりと立ち下がりでは次のように動作します。
立ち上がりエッジ割り込み設定時: Highレベル入力で再起動する。
立ち下がりエッジ割り込み設定時: Lowレベル入力で再起動する。

通常動作ではslp命令実行後、一定時間経過してから再起動しますが、立ち下がり(立ち上がり)レベル(エッジ)割り込みで再起動と設定した場合は、次のように動作します。
・slp命令実行後、即時に再起動します。
・slp命令実行時にポートレベルがすでにLowレベルのため、立ち下がり(立ち上がり)エッジを持ちません。このため、一瞬だけSLEEP状態になり、すぐに再起動します。

これは、ポート入力回路に内蔵のクロック信号による同期回路が、SLEEP時またはHALT2時にクロックを停止させた場合にバイパスされるために起きます。
したがって、SLEEP状態またはHALT2状態からのポート入力による再起動は、入力レベルで行われることを前提にシステム設計してください。

(8) パワーコントロールレジスタ(0x40180)のCLKDT[1:0](D[7:6])によりOSC3クロックを1/2、1/4、または1/8に分周してCPUの動作クロック(CPU_CLK)として使用する場合、S5U1C33000H(In-Circuit Debugger for S1C33 Family)を接続してデバッグモードに入ると、分周比が1/1に自動的に切り換わり、出力されるCPU_CLKの周波数が想定した値を超えることがあります。これはCPU以外にもCPU_CLKを原振とするBCU_CLKやBCLK端子の出力クロックに影響しますので、BCUやBCLKに接続されているデバイスのアクセス速度や動作保証範囲を超えてしまった場合、正しく動作しなくなることがあります(プログラムの動作だけではなく、デバッガを使用したメモリダンプなどにも影響します)。
このため、デバッグ時はデバッガでBCUレジスタのウェイト数や他のパラメータを変更するなど、分周比が1/1でも問題が発生しないような対策を講じてください。

(9) クロック源としてOSC3またはPLL出力を使用し、かつ、パワーコントロールレジスタ(0x40180)のCLKDT[1:0](D[7:6])の設定により1/2、1/4、または1/8に分周したクロックを基準クロック(CPU動作クロック)として用いる場合は、周辺回路に供給されるクロックが基準クロックより低い周波数となるようにプリスケーラを設定してください。周辺回路に供給されるクロックの周波数が基準クロックと同じかそれより高い場合、周辺回路は正常に動作しません。

II-7 DBG(デバッグユニット)

デバッグ回路

C33コアブロックにはデバッグ回路が搭載されています。
デバッグ回路は、高度なソフトウェア開発環境を容易に実現するために用意された機能ブロックです。

注: **通常の動作時には、このデバッグ回路は動作しません。デバッグ回路を使用したソフトウェア開発環境を実現するためには、**S5U1C33000H (In-Circuit Debugger for S1C33 Family)**が別途必要となります。**

デバッグ回路の入出力端子

デバッグ回路にはS5U1C33000H (In-Circuit Debugger for S1C33 Family)を接続する6本の予約された専用の端子が存在し、3.3Vの入出力電圧レベルとなっています。
表7.1にデバッグ回路の入出力端子を示します。

表7.1 **デバッグ回路の入出力端子**

端子名	I/O	Pull-up	リセット後の状態	電圧レベル	機　能
DCLK	O	–	1	3.3V	**デバッグ用クロック出力**
DST2	O	–	0	3.3V	**デバッグ用ステータス出力**2
DST1	O	–	1	3.3V	**デバッグ用ステータス出力**1
DST0	O	–	1	3.3V	**デバッグ用ステータス出力**0
DPCO	O	–	1	3.3V	**デバッグ用**PC**出力**
DSIO	I/O	**あり**	1 (**入力**)	3.3V	**デバッグ用シリアル入出力**

DCLK、DST[2:0]、DPCO出力はそれぞれ、入出力兼用ポート端子P14、P1[2:0]、P13の拡張機能です。イニシャルリセット時はデバッグ信号出力に設定されます。
デバッグ回路を使用しない場合は、ポート機能拡張レジスタ(0x402DF)のCFEX[1:0](D[1:0])の設定によってこれらの端子を入出力兼用ポートあるいは既定の周辺回路用として使用することができます。端子機能については、"入出力兼用ポート(Pポート)"を参照してください。

注: **これらの端子をデバッグ信号出力に設定した場合、**S5U1C33000H (In-Circuit Debugger for S1C33 Family)**を使用するとき以外は何も接続しないでください。**S5U1C33000H**の接続方法については、**"S5U1C33000H Manual (S1C33 Family In-Circuit Debugger)"**を参照してください。**
また、ユーザリセット後の端子の状態は、表に示したとおり固定されます。

このページはブランクです。

S1C33L03 FUNCTION PART

III　周辺回路ブロック

III-1　はじめに

C33周辺回路ブロックは、プリスケーラ、6チャネルの8ビットプログラマブルタイマ、ウォッチドッグタイマ、イベントカウンタ機能付き6チャネルの16ビットプログラマブルタイマ、4チャネルのシリアルインタフェース、入力および入出力ポート、低速(OSC1)発振回路、計時タイマで構成されています。

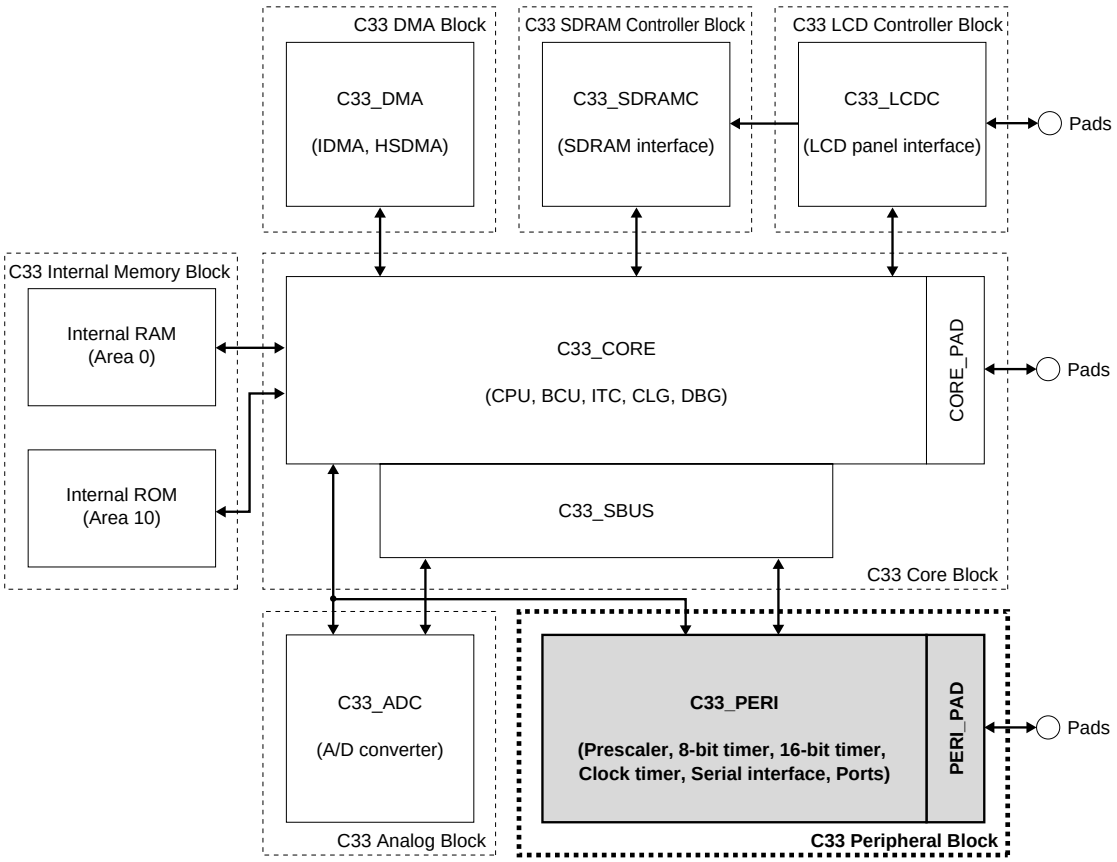


図1.1 **周辺回路ブロック**

（注）S1C33L03**は**ROM**を内蔵しておりません。**

このページはブランクです。

III-2 プリスケーラ

プリスケーラの構成

プリスケーラは、入力クロック(OSC3クロック/PLL出力クロック、またはOSC1クロック)を分周して内蔵周辺回路用クロックを生成します。プリスケーラの分周比はプログラムによって周辺回路個別に選択することができます。また、各周辺回路へのクロック供給を制御するクロック制御回路も設けられています。
この出力クロックを使用する周辺回路は以下のとおりです。

・16ビットプログラマブルタイマ5〜0 (およびウォッチドッグタイマ)
・8ビットプログラマブルタイマ5〜0 (およびシリアルインタフェース)
・A/D変換器

図2.1にプリスケーラの構成を示します。
各周辺回路の制御については、それぞれの章を参照してください。

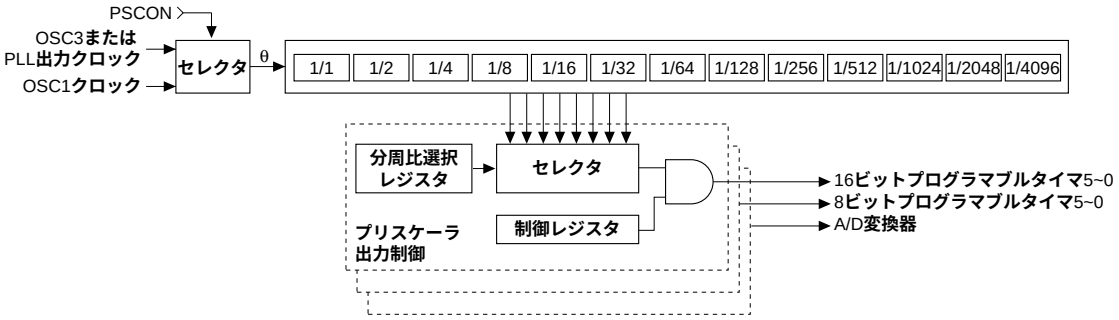


図2.1 プリスケーラとクロック制御回路の構成

原振クロック

プリスケーラの原振クロックは、プリスケーラクロック選択レジスタ(0x40181)のPSCDT0(D0)によって選択可能です。
PSCDT0が"0"の場合、OSC3クロック(PLL未使用時)またはPLL出力クロック(PLL使用時)に設定されます。
PSCDT0が"1"の場合はOSC1クロック(32kHz Typ.)に設定されます。
イニシャルリセット時はOSC3/PLLクロックが選択されます。

注: プリスケーラクロックには、CPU動作クロックと同じクロック源を設定してください。

発振回路とCPU動作クロックの制御については、"CLG(クロックジェネレータ)"を参照してください。

選択したクロックは、パワーコントロールレジスタ(0x40180)のPSCON(D5)に"1"を書き込むことによってプリスケーラに供給されます。
イニシャルリセット時は、PSCONが"1"に設定され動作状態となります。プリスケーラ出力クロックを使用する周辺回路(図2.1参照)をすべて停止可能な場合、およびプリスケーラの入力クロック(原振クロック)を使用している回路(16ビットプログラマブルタイマ(ウォッチドッグタイマ)、8ビットプログラマブルタイマ(DRAMリフレッシュ)、A/D変換器、シリアルインタフェース、ポート)が停止可能な場合は、消費電流を低減させるため、PSCONに"0"を書き込みプリスケーラを停止させてください。プリスケーラを停止(PSCON = "0")することによりプリスケーラのクロック入力が停止し、その入力クロックを使用する上記の回路も停止します。

プリスケーラ分周比の選択と出力制御

プリスケーラには前記の周辺回路個別に分周比選択とクロック出力制御用のビットが設けられており、周辺回路ごとに制御することができます。
プリスケーラ分周比はそれぞれの周辺回路用に設定された8種類の中から分周比選択ビットによって選択します。その分周クロックはクロック出力制御ビットに"1"を書き込むことにより、その周辺回路に出力されます。

表2.1 **クロック制御ビット**

周辺回路	分周比選択ビット	クロック出力制御ビット
16**ビットプログラマブルタイマ**0	P16TS0[2:0] (D[2:0]/0x40147)∗1	P16TON0 (D3/0x40147)
16**ビットプログラマブルタイマ**1	P16TS1[2:0] (D[2:0]/0x40148)∗1	P16TON1 (D3/0x40148)
16**ビットプログラマブルタイマ**2	P16TS2[2:0] (D[2:0]/0x40149)∗1	P16TON2 (D3/0x40149)
16**ビットプログラマブルタイマ**3	P16TS3[2:0] (D[2:0]/0x4014A)∗1	P16TON3 (D3/0x4014A)
16**ビットプログラマブルタイマ**4	P16TS4[2:0] (D[2:0]/0x4014B)∗1	P16TON4 (D3/0x4014B)
16**ビットプログラマブルタイマ**5	P16TS5[2:0] (D[2:0]/0x4014C)∗1	P16TON5 (D3/0x4014C)
8**ビットプログラマブルタイマ**0	P8TS0[2:0] (D[2:0]/0x4014D)∗2	P8TON0 (D3/0x4014D)
8**ビットプログラマブルタイマ**1	P8TS1[2:0] (D[6:4]/0x4014D)∗3	P8TON1 (D7/0x4014D)
8**ビットプログラマブルタイマ**2	P8TS2[2:0] (D[2:0]/0x4014E)∗4	P8TON2 (D3/0x4014E)
8**ビットプログラマブルタイマ**3	P8TS3[2:0] (D[6:4]/0x4014E)∗2	P8TON3 (D7/0x4014E)
8**ビットプログラマブルタイマ**4	P8TS4[2:0] (D[2:0]/0x40145)∗4	P8TON4 (D3/0x40145)
8**ビットプログラマブルタイマ**5	P8TS5[2:0] (D[6:4]/0x40145)∗2	P8TON5 (D7/0x40145)
A/D**変換器**	PSAD[2:0] (D[2:0]/0x4014F)∗2	PSONAD (D3/0x4014F)

∗1〜∗4: **表**2.2**参照**

表2.2 **分周比**

制御ビット設定	7	6	5	4	3	2	1	0
∗1	θ/4096	θ/1024	θ/256	θ/64	θ/16	θ/4	θ/2	θ/1
∗2	θ/256	θ/128	θ/64	θ/32	θ/16	θ/8	θ/4	θ/2
∗3	θ/4096	θ/2048	θ/1024	θ/512	θ/256	θ/128	θ/64	θ/32
∗4	θ/4096	θ/2048	θ/64	θ/32	θ/16	θ/8	θ/4	θ/2

(θ = PSCDT0**で選択した原振クロック**)

上記の中で使用していない周辺回路へのクロック出力を停止することで、消費電流を低減することができます。

注: **以下の場合、プリスケーラの出力クロックにハザードが出ることがありますので注意してください。**
- **クロックを出力中に、その分周比を変更した場合**
- **クロック出力**ON/OFF**の切り換え時**
- **発振回路の停止時および**CPU**動作クロックの切り換え時**

これらの制御は、16**ビットプログラマブルタイマ、**8**ビットプログラマブルタイマ、**A/D**変換器を停止させた状態で行ってください。**

8ビットプログラマブルタイマへの原振クロック出力

8ビットプログラマブルタイマに対しては、分周クロック以外にプリスケーラの原振クロックを直接出力できるようになっています。この選択は8ビットタイマ個々にP8TPCKxビットで行います。
8ビットタイマ0: P8TPCK0 (8ビットタイマクロック選択レジスタ0x40146•D0)
8ビットタイマ1: P8TPCK1 (8ビットタイマクロック選択レジスタ0x40146•D1)
8ビットタイマ2: P8TPCK2 (8ビットタイマクロック選択レジスタ0x40146•D2)
8ビットタイマ3: P8TPCK3 (8ビットタイマクロック選択レジスタ0x40146•D3)
8ビットタイマ4: P8TPCK4 (8ビットタイマ4/5クロック選択レジスタ0x40140•D0)
8ビットタイマ5: P8TPCK5 (8ビットタイマ4/5クロック選択レジスタ0x40140•D1)

P8TPCKxを"1"に設定すると、8ビットタイマxの動作クロックとしてプリスケーラ入力クロック(θ/1)が選択されます。この場合でも、クロック出力の制御はP8TONxで行います。
P8TPCKxが"0"の場合は、P8TSx[2:0]で選択された分周クロックが8ビットタイマxに出力されます。
イニシャルリセット時、P8TPCKxは"0"に設定され、P8TSx[2:0]の設定が有効になります。

プリスケーラのI/Oメモリ

表2.3にプリスケーラの制御ビットを示します。

表2.3 プリスケーラの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
8bitタイマ4/5クロック選択レジスタ	0040140 (B)	D7–2	–	reserved	–	–	–	読み出し時: 0
		D1	P8TPCK5	8bitタイマ5クロック選択	1 θ/1 0 分周クロック	0	R/W	θ: プリスケーラクロック選択レジスタ(0x40181)で選択
		D0	P8TPCK4	8bitタイマ4クロック選択	1 θ/1 0 分周クロック	0	R/W	
8bitタイマ4/5クロックコントロールレジスタ	0040145 (B)	D7	P8TON5	8bitタイマ5クロック制御	1 On 0 Off	0	R/W	
		D6	P8TS52	8bitタイマ5クロック分周比選択	1 1 1 θ/256	0	R/W	θ: プリスケーラクロック選択レジスタ(0x40181)で選択 8bitタイマ5はシリアルI/F Ch.3のクロックを生成
		D5	P8TS51		1 1 0 θ/128	0	R/W	
		D4	P8TS50		1 0 1 θ/64	0	R/W	
					1 0 0 θ/32			
					0 1 1 θ/16			
					0 1 0 θ/8			
					0 0 1 θ/4			
					0 0 0 θ/2			
		D3	P8TON4	8bitタイマ4クロック制御	1 On 0 Off	0	R/W	
		D2	P8TS42	8bitタイマ4クロック分周比選択	1 1 1 θ/4096	0	R/W	θ: プリスケーラクロック選択レジスタ(0x40181)で選択 8bitタイマ4はシリアルI/F Ch.2のクロックを生成
		D1	P8TS41		1 1 0 θ/2048	0	R/W	
		D0	P8TS40		1 0 1 θ/64	0	R/W	
					1 0 0 θ/32			
					0 1 1 θ/16			
					0 1 0 θ/8			
					0 0 1 θ/4			
					0 0 0 θ/2			
8bitタイマクロック選択レジスタ	0040146 (B)	D7–4	–	reserved	–	–	–	読み出し時: 0
		D3	P8TPCK3	8bitタイマ3クロック選択	1 θ/1 0 分周クロック	0	R/W	θ: プリスケーラクロック選択レジスタ(0x40181)で選択
		D2	P8TPCK2	8bitタイマ2クロック選択	1 θ/1 0 分周クロック	0	R/W	
		D1	P8TPCK1	8bitタイマ1クロック選択	1 θ/1 0 分周クロック	0	R/W	
		D0	P8TPCK0	8bitタイマ0クロック選択	1 θ/1 0 分周クロック	0	R/W	
16bitタイマ0クロックコントロールレジスタ	0040147 (B)	D7–4	–	reserved	–	–	–	読み出し時: 0
		D3	P16TON0	16bitタイマ0クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS02	16bitタイマ0クロック分周比選択	P16TS0[2:0] 分周比	0	R/W	θ: プリスケーラクロック選択レジスタ(0x40181)で選択 16bitタイマ0はウォッチドッグタイマとして使用可
		D1	P16TS01		1 1 1 θ/4096	0		
		D0	P16TS00		1 1 0 θ/1024	0		
					1 0 1 θ/256			
					1 0 0 θ/64			
					0 1 1 θ/16			
					0 1 0 θ/4			
					0 0 1 θ/2			
					0 0 0 θ/1			
16bitタイマ1クロックコントロールレジスタ	0040148 (B)	D7–4	–	reserved	–	–	–	読み出し時: 0
		D3	P16TON1	16bitタイマ1クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS12	16bitタイマ1クロック分周比選択	P16TS1[2:0] 分周比	0	R/W	θ: プリスケーラクロック選択レジスタ(0x40181)で選択
		D1	P16TS11		1 1 1 θ/4096	0		
		D0	P16TS10		1 1 0 θ/1024	0		
					1 0 1 θ/256			
					1 0 0 θ/64			
					0 1 1 θ/16			
					0 1 0 θ/4			
					0 0 1 θ/2			
					0 0 0 θ/1			
16bitタイマ2クロックコントロールレジスタ	0040149 (B)	D7–4	–	reserved	–	–	–	読み出し時: 0
		D3	P16TON2	16bitタイマ2クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS22	16bitタイマ2クロック分周比選択	P16TS2[2:0] 分周比	0	R/W	θ: プリスケーラクロック選択レジスタ(0x40181)で選択
		D1	P16TS21		1 1 1 θ/4096	0		
		D0	P16TS20		1 1 0 θ/1024	0		
					1 0 1 θ/256			
					1 0 0 θ/64			
					0 1 1 θ/16			
					0 1 0 θ/4			
					0 0 1 θ/2			
					0 0 0 θ/1			

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
16bitタイマ3 クロック コントロール レジスタ	004014A (B)	D7–4	–	reserved	–	–	–	読み出し時: 0
		D3	P16TON3	16bitタイマ3クロック制御	1 On　0 Off	0	R/W	
		D2	P16TS32	16bitタイマ3 クロック分周比選択	P16TS3[2:0] 分周比 1 1 1 θ/4096 1 1 0 θ/1024 1 0 1 θ/256 1 0 0 θ/64 0 1 1 θ/16 0 1 0 θ/4 0 0 1 θ/2 0 0 0 θ/1	0	R/W	θ: プリスケーラクロック選択レジスタ (0x40181)で選択
		D1	P16TS31			0		
		D0	P16TS30			0		
16bitタイマ4 クロック コントロール レジスタ	004014B (B)	D7–4	–	reserved	–	–	–	読み出し時: 0
		D3	P16TON4	16bitタイマ4クロック制御	1 On　0 Off	0	R/W	
		D2	P16TS42	16bitタイマ4 クロック分周比選択	P16TS4[2:0] 分周比 1 1 1 θ/4096 1 1 0 θ/1024 1 0 1 θ/256 1 0 0 θ/64 0 1 1 θ/16 0 1 0 θ/4 0 0 1 θ/2 0 0 0 θ/1	0	R/W	θ: プリスケーラクロック選択レジスタ (0x40181)で選択
		D1	P16TS41			0		
		D0	P16TS40			0		
16bitタイマ5 クロック コントロール レジスタ	004014C (B)	D7–4	–	reserved	–	–	–	読み出し時: 0
		D3	P16TON5	16bitタイマ5クロック制御	1 On　0 Off	0	R/W	
		D2	P16TS52	16bitタイマ5 クロック分周比選択	P16TS5[2:0] 分周比 1 1 1 θ/4096 1 1 0 θ/1024 1 0 1 θ/256 1 0 0 θ/64 0 1 1 θ/16 0 1 0 θ/4 0 0 1 θ/2 0 0 0 θ/1	0	R/W	θ: プリスケーラクロック選択レジスタ (0x40181)で選択
		D1	P16TS51			0		
		D0	P16TS50			0		
8bitタイマ0/1 クロック コントロール レジスタ	004014D (B)	D7	P8TON1	8bitタイマ1クロック制御	1 On　0 Off	0	R/W	
		D6	P8TS12	8bitタイマ1 クロック分周比選択	P8TS1[2:0] 分周比 1 1 1 θ/4096 1 1 0 θ/2048 1 0 1 θ/1024 1 0 0 θ/512 0 1 1 θ/256 0 1 0 θ/128 0 0 1 θ/64 0 0 0 θ/32	0	R/W	θ: プリスケーラクロック選択レジスタ (0x40181)で選択 8bitタイマ1は OSC3発振安定時間のクロックを生成
		D5	P8TS11			0		
		D4	P8TS10			0		
		D3	P8TON0	8bitタイマ0クロック制御	1 On　0 Off	0	R/W	
		D2	P8TS02	8bitタイマ0 クロック分周比選択	P8TS0[2:0] 分周比 1 1 1 θ/256 1 1 0 θ/128 1 0 1 θ/64 1 0 0 θ/32 0 1 1 θ/16 0 1 0 θ/8 0 0 1 θ/4 0 0 0 θ/2	0	R/W	θ: プリスケーラクロック選択レジスタ (0x40181)で選択 8bitタイマ0は DRAMリフレッシュのクロックを生成
		D1	P8TS01			0		
		D0	P8TS00			0		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
8bitタイマ2/3クロックコントロールレジスタ	004014E (B)	D7	P8TON3	8bitタイマ3クロック制御	1 On 0 Off	0	R/W	
		D6	P8TS32	8bitタイマ3	P8TS3[2:0] 分周比	0	R/W	θ: プリスケーラクロック選択レジスタ(0x40181)で選択 8bitタイマ3はシリアルI/F Ch.1のクロックを生成
		D5	P8TS31	クロック分周比選択	1 1 1 θ/256	0		
		D4	P8TS30		1 1 0 θ/128	0		
					1 0 1 θ/64			
					1 0 0 θ/32			
					0 1 1 θ/16			
					0 1 0 θ/8			
					0 0 1 θ/4			
					0 0 0 θ/2			
		D3	P8TON2	8bitタイマ2クロック制御	1 On 0 Off	0	R/W	
		D2	P8TS22	8bitタイマ2	P8TS2[2:0] 分周比	0	R/W	θ: プリスケーラクロック選択レジスタ(0x40181)で選択 8bitタイマ2はシリアルI/F Ch.0のクロックを生成
		D1	P8TS21	クロック分周比選択	1 1 1 θ/4096	0		
		D0	P8TS20		1 1 0 θ/2048	0		
					1 0 1 θ/64			
					1 0 0 θ/32			
					0 1 1 θ/16			
					0 1 0 θ/8			
					0 0 1 θ/4			
					0 0 0 θ/2			
A/Dクロックコントロールレジスタ	004014F (B)	D7–4	–	resurved	–	–	–	読み出し時: 0
		D3	PSONAD	A/D変換器クロック制御	1 On 0 Off	0	R/W	
		D2	PSAD2	A/D変換器クロック分周比選択	P8TS0[2:0] 分周比	0	R/W	θ: プリスケーラクロック選択レジスタ(0x40181)で選択
		D1	PSAD1		1 1 1 θ/256	0		
		D0	PSAD0		1 1 0 θ/128	0		
					1 0 1 θ/64			
					1 0 0 θ/32			
					0 1 1 θ/16			
					0 1 0 θ/8			
					0 0 1 θ/4			
					0 0 0 θ/2			
パワーコントロールレジスタ	0040180 (B)	D7	CLKDT1	システムクロック分周比選択	CLKDT[1:0] 分周比	0	R/W	
		D6	CLKDT0		1 1 1/8	0		
					1 0 1/4			
					0 1 1/2			
					0 0 1/1			
		D5	PSCON	プリスケーラOn/Off制御	1 On 0 Off	1	R/W	
		D4–3	–	reserved	–	0	–	1書き込み禁止
		D2	CLKCHG	CPU動作クロック切り換え	1 OSC3 0 OSC1	1	R/W	
		D1	SOSC3	高速(OSC3)発振On/Off制御	1 On 0 Off	1	R/W	
		D0	SOSC1	低速(OSC1)発振On/Off制御	1 On 0 Off	1	R/W	
プリスケーラクロック選択レジスタ	0040181 (B)	D7–1	–	reserved	–	0	–	
		D0	PSCDT0	プリスケーラクロック選択	1 OSC1 0 OSC3/PLL	0	R/W	
パワーコントロールレジスタ保護レジスタ	004019E (B)	D7	CLGP7	パワーコントロールレジスタ保護フラグ	10010110(0x96)書き込みによりパワーコントロールレジスタ(0x40180)、クロックオプションレジスタ(0x40190)の書き込み保護を解除 それ以外は書き込み禁止に設定	0	R/W	
		D6	CLGP6			0		
		D5	CLGP5			0		
		D4	CLGP4			0		
		D3	CLGP3			0		
		D2	CLGP2			0		
		D1	CLGP1			0		
		D0	CLGP0			0		

PSCON: プリスケーラON/OFF制御(D5/0x40180<パワーコントロールレジスタ>)

プリスケーラをON/OFFします。

"1"書き込み: ON
"0"書き込み: OFF
読み出し: 可能

PSCONに"1"を書き込むことによりクロックがプリスケーラに入力され、分周動作を開始します。
"0"を書き込むと、プリスケーラは停止します。周辺回路を動作させる必要がない場合は、"0"を書き込んで消費電流を低減させてください。PSCONへの書き込みは、SOSC1、SOSC3、CLKCHG、CLKDT[1:0]と同様に保護されているため、CLGP[7:0]が0b10010110に設定されている場合にのみ可能です。
なお、16ビットプログラマブルタイマ(ウォッチドッグタイマ)、8ビットプログラマブルタイマ(DRAMリフレッシュ)、A/D変換器、シリアルインタフェース、およびポートはPSCONで制御される入力クロックを使用しています(PSCON = "0"で停止します)。プリスケーラ出力を使用しない場合でも、シリアルインタフェースやポートを使用する場合は、プリスケーラを停止(PSCON = "0")しないでください。
イニシャルリセット時、PSCONは"1"(ON)に設定されます。

CLGP7–CLGP0: **パワーコントロールレジスタ保護フラグ**
([D[7:0]/0x4019E<**パワーコントロールレジスタ保護レジスタ**>)

パワーコントロールレジスタ(0x40180)とクロックオプションレジスタ(0x40190)の書き込み保護を解除します。

0b10010110書き込み: 書き込み保護解除
上記以外の書き込み: ノーオペレーション(書き込み保護)
読み出し: 可能

パワーコントロールレジスタ(0x40180)またはクロックオプションレジスタ(0x40190)に書き込みを行う場合は、その前にCLGP[7:0]を0b10010110に設定し、書き込み保護を解除してください。この解除は上記いずれかのアドレスに対する1回の書き込みのみに有効で、書き込みが行われると0b00000000にクリアされます。したがって、書き込みの都度CLGP[7:0]を再設定する必要があります。
イニシャルリセット時、CLGPは0b00000000(書き込み保護)に設定されます。

PSCDT0: **プリスケーラクロック選択**(D0/0x40181<**プリスケーラクロック選択レジスタ**>)

プリスケーラの原振クロックを選択します。

"1"書き込み: OSC1クロック
"0"書き込み: OSC3クロック/PLL出力クロック
読み出し: 可能

PSCDT0に"1"を書き込むことによりOSC1クロック(32kHz Typ.)に設定されます。
"0"を書き込むと、OSC3クロック(PLL未使用時)またはPLL出力クロック(PLL使用時)に設定されます。
プリスケーラクロックには、CPU動作クロックと同じクロック源を設定してください。
イニシャルリセット時、PSCDT0は"0"(OSC3クロック/PLL出力クロック)に設定されます。

P16TS0[2:0]: 16bit**タイマ**0**クロック分周比設定**(D[2:0]/0x40147<16bit**タイマ**0**クロックコントロールレジスタ**>)
P16TS1[2:0]: 16bit**タイマ**1**クロック分周比設定**(D[2:0]/0x40148<16bit**タイマ**1**クロックコントロールレジスタ**>)
P16TS2[2:0]: 16bit**タイマ**2**クロック分周比設定**(D[2:0]/0x40149<16bit**タイマ**2**クロックコントロールレジスタ**>)
P16TS3[2:0]: 16bit**タイマ**3**クロック分周比設定**(D[2:0]/0x4014A<16bit**タイマ**3**クロックコントロールレジスタ**>)
P16TS4[2:0]: 16bit**タイマ**4**クロック分周比設定**(D[2:0]/0x4014B<16bit**タイマ**4**クロックコントロールレジスタ**>)
P16TS5[2:0]: 16bit**タイマ**5**クロック分周比設定**(D[2:0]/0x4014C<16bit**タイマ**5**クロックコントロールレジスタ**>)
P8TS0[2:0]: 8bit**タイマ**0**クロック分周比設定**(D[2:0]/0x4014D<8bit**タイマ**0/1**クロックコントロールレジスタ**>)
P8TS1[2:0]: 8bit**タイマ**1**クロック分周比設定**(D[6:4]/0x4014D<8bit**タイマ**0/1**クロックコントロールレジスタ**>)
P8TS2[2:0]: 8bit**タイマ**2**クロック分周比設定**(D[2:0]/0x4014E<8bit**タイマ**2/3**クロックコントロールレジスタ**>)
P8TS3[2:0]: 8bit**タイマ**3**クロック分周比設定**(D[6:4]/0x4014E<8bit**タイマ**2/3**クロックコントロールレジスタ**>)
P8TS4[2:0]: 8bit**タイマ**4**クロック分周比設定**(D[2:0]/0x40145<8bit**タイマ**4/5**クロックコントロールレジスタ**>)
P8TS5[2:0]: 8bit**タイマ**5**クロック分周比設定**(D[6:4]/0x40145<8bit**タイマ**4/5**クロックコントロールレジスタ**>)
PSAD[2:0]: A/D**変換器クロック分周比設定**(D[2:0]/0x4014F<A/D**クロックコントロールレジスタ**>)

各周辺回路のクロックを選択します。
それぞれ、I/Oマップに示した8種類の分周比の中から選択できます。周辺回路により分周比が異なりますので注意してください。
これらのビットは読み出しも可能です。
イニシャルリセット時、これらのビットはすべて"0b000"(最も高い周波数)に設定されます。

P16TON0: 16bit**タイマ**0**クロック制御**(D3/0x40147<16bit**タイマ**0**クロックコントロールレジスタ**>)
P16TON1: 16bit**タイマ**1**クロック制御**(D3/0x40148<16bit**タイマ**1**クロックコントロールレジスタ**>)
P16TON2: 16bit**タイマ**2**クロック制御**(D3/0x40149<16bit**タイマ**2**クロックコントロールレジスタ**>)
P16TON3: 16bit**タイマ**3**クロック制御**(D3/0x4014A<16bit**タイマ**3**クロックコントロールレジスタ**>)
P16TON4: 16bit**タイマ**4**クロック制御**(D3/0x4014B<16bit**タイマ**4**クロックコントロールレジスタ**>)
P16TON5: 16bit**タイマ**5**クロック制御**(D3/0x4014C<16bit**タイマ**5**クロックコントロールレジスタ**>)
P8TON0: 8bit**タイマ**0**クロック制御**(D3/0x4014D<8bit**タイマ**0/1**クロックコントロールレジスタ**>)
P8TON1: 8bit**タイマ**1**クロック制御**(D7/0x4014D<8bit**タイマ**0/1**クロックコントロールレジスタ**>)
P8TON2: 8bit**タイマ**2**クロック制御**(D3/0x4014E<8bit**タイマ**2/3**クロックコントロールレジスタ**>)
P8TON3: 8bit**タイマ**3**クロック制御**(D7/0x4014E<8bit**タイマ**2/3**クロックコントロールレジスタ**>)
P8TON4: 8bit**タイマ**4**クロック制御**(D3/0x40145<8bit**タイマ**4/5**クロックコントロールレジスタ**>)
P8TON5: 8bit**タイマ**5**クロック制御**(D7/0x40145<8bit**タイマ**4/5**クロックコントロールレジスタ**>)
PSONAD: A/D**変換器クロック制御**(D3/0x4014F<A/D**クロックコントロールレジスタ**>)

各周辺回路へのクロック供給を制御します。

"1"書き込み: ON
"0"書き込み: OFF
読み出し: 可能

これらのビットに"1"を書き込むことにより、分周比設定ビットで選択したクロックが対応する周辺回路に出力されます。
"0"を書き込むと、クロックは出力されません。周辺回路を動作させる必要がない場合は、"0"を書き込んで消費電流を低減させてください。
イニシャルリセット時、これらのビットはすべて"0"(OFF)に設定されます。

P8TPCK0: 8bit**タイマ**0**クロック選択**(D0/0x40146<8bit**タイマクロック選択レジスタ**>)
P8TPCK1: 8bit**タイマ**1**クロック選択**(D1/0x40146<8bit**タイマクロック選択レジスタ**>)
P8TPCK2: 8bit**タイマ**2**クロック選択**(D2/0x40146<8bit**タイマクロック選択レジスタ**>)
P8TPCK3: 8bit**タイマ**3**クロック選択**(D3/0x40146<8bit**タイマクロック選択レジスタ**>)
P8TPCK4: 8bit**タイマ**4**クロック選択**(D0/0x40140<8bit**タイマ**4/5**クロック選択レジスタ**>)
P8TPCK5: 8bit**タイマ**5**クロック選択**(D1/0x40140<8bit**タイマ**4/5**クロック選択レジスタ**>)

8ビットプログラマブルタイマの動作クロックを選択します。

"1"書き込み: プリスケーラ入力クロック(θ/1)
"0"書き込み: 分周クロック
読み出し: 可能

P8TPCKxに"1"を書き込むことにより、8ビットタイマxの動作クロックとしてプリスケーラ入力クロック(θ/1)が選択されます。この場合でも、クロック出力の制御はP8TONxで行います。
"0"を書き込むと、P8TSx[2:0]で選択された分周クロックが設定されます。
イニシャルリセット時、P8TPCKxは"0"(分周クロック)に設定されます。

プログラミング上の注意事項

(1) プリスケーラクロックには、CPU動作クロックと同じクロック源を設定してください。

(2) 以下の場合、プリスケーラの出力クロックにハザードが出ることがありますので注意してください。
• クロックを出力中に、その分周比を変更した場合
• クロック出力ON/OFFの切り換え時
• 発振回路の停止時およびCPU動作クロックの切り換え時
これらの制御は、16ビットプログラマブルタイマ、8ビットプログラマブルタイマ、A/D変換器を停止させた状態で行ってください。

(3) 16ビットプログラマブルタイマ、8ビットプログラマブルタイマ、A/D変換器を動作させる必要がない場合は、消費電流を低減させるためクロックの供給を停止してください。

(4) プリスケーラの動作を停止(パワーコントロールレジスタ(0x40180)のPSCON(D5) = "0")させると、出力クロックを使用する周辺回路以外にも停止する回路がありますので注意してください。プリスケーラの動作が影響する周辺回路は以下のとおりです。

A プリスケーラで生成した動作クロックを使用する周辺回路
・16ビットプログラマブルタイマ0～5(ウォッチドッグタイマ)
・8ビットプログラマブルタイマ0～5(DRAMリフレッシュ、シリアルインタフェース)
・A/D変換器

B プリスケーラへ供給されるクロック(プリスケーラ原振クロック)を使用する周辺回路
・16ビットプログラマブルタイマ0～5(ウォッチドッグタイマ)
・8ビットプログラマブルタイマ0～5(DRAMリフレッシュ)
・A/D変換器
・シリアルインタフェース
・ポート

上記A、Bのすべての周辺回路を使用しない場合は、プリスケーラの動作を停止させることができます。AもしくはBの周辺回路を1つでも使用する場合は、プリスケーラの動作を停止させないでください。プリスケーラの動作を停止させると、Bの周辺回路へのクロック供給も停止します。Aに示した中で一部の回路のみを使用する場合は、それ以外の回路を停止させ、併せてプリスケーラから各回路へのクロック供給も停止してください。

III-3 8ビットプログラマブルタイマ

8ビットプログラマブルタイマの構成

C33周辺回路ブロックは8ビットのプログラマブルタイマを6系統(タイマ0～タイマ5)内蔵しています。
図3.1に8ビットプログラマブルタイマの構成を示します。

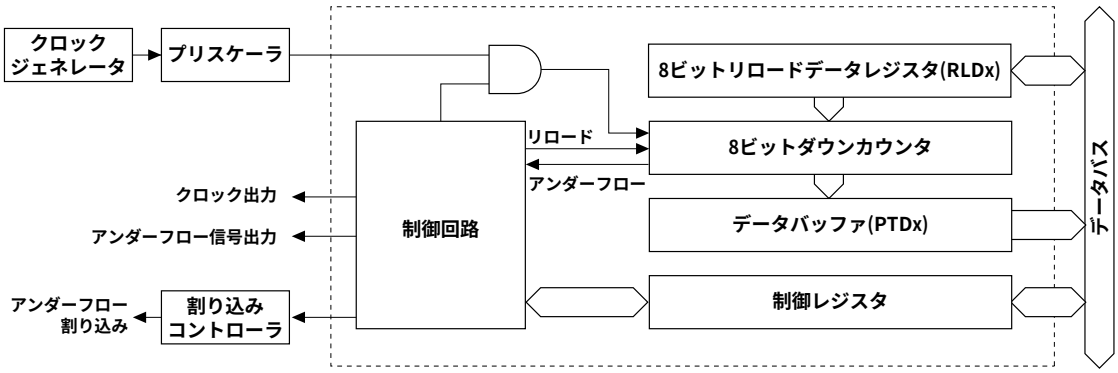


図3.1 プログラマブルタイマの構成

各タイマは8ビットプリセッタブルダウンカウンタで構成され、カウンタのアンダーフローにより生成したクロックを周辺回路やIC外部に出力することができます。ソフトウェアで設定可能なプリセットデータとプリスケーラでの入力クロックの設定により、出力クロックの周期を広いレンジで選択可能です。

8ビットプログラマブルタイマの出力端子

8ビットプログラマブルタイマ0～3のアンダーフロー信号は、IC外部に出力することができます。
表3.1に、8ビットプログラマブルタイマのアンダーフロー信号をIC外部に出力する場合に使用する端子を示します。

表3.1 8ビットプログラマブルタイマの出力端子

端子名	I/O	機　能	機能選択ビット
P10/EXCL0/ T8UF0	I/O	入出力兼用ポート/16ビットタイマ0イベントカウンタ入力/8ビットタイマ0出力/ DST0出力	CFP10(P1機能選択レジスタ0x402D4•D0) CFEX1(ポート機能拡張レジスタ0x402DF•D1)
P11/EXCL1/ T8UF1	I/O	入出力兼用ポート/16ビットタイマ1イベントカウンタ入力/8ビットタイマ1出力/DST1出力	CFP11(P1機能選択レジスタ0x402D4•D1) CFEX1(ポート機能拡張レジスタ0x402DF•D1)
P12/EXCL2/ T8UF2	I/O	入出力兼用ポート/16ビットタイマ2イベントカウンタ入力/8ビットタイマ2出力/DST2出力	CFP12(P1機能選択レジスタ0x402D4•D2) CFEX0(ポート機能拡張レジスタ0x402DF•D0)
P13/EXCL3/ T8UF3	I/O	入出力兼用ポート/16ビットタイマ3イベントカウンタ入力/8ビットタイマ3出力/DPCO出力	CFP13(P1機能選択レジスタ0x402D4•D3) CFEX1(ポート機能拡張レジスタ0x402DF•D1)

■ T8UFx (8ビットプログラマブルタイマ出力端子)

各8ビットプログラマブルタイマで分周したクロックを出力します。パルス幅は8ビットタイマの入力クロック(プリスケーラ出力)のパルス幅になります。したがって、プリスケーラの設定によってパルス幅は変わります。

■ 8ビットプログラマブルタイマ出力端子の設定方法

8ビットプログラマブルタイマで使用する端子はすべて、入出力兼用ポート端子、16ビットプログラマブルタイマのイベントカウンタ入力およびデバッグ用信号出力と共用されています。
コールドスタート時はすべてデバッグ用信号出力端子(機能選択ビットCFP1[3:0]="0"、ポート機能拡張ビットCFEX[1:0] = "1")として設定されます。8ビットプログラマブルタイマのクロック出力機能を使用する場合は、使用するタイマに合わせ、対応する端子のポート機能拡張ビットCFEXxに"0"、機能選択ビットCFP1xに"1"を書き込んでください。

さらに、入出力兼用ポートのP1 I/O制御レジスタ(0x402D6)のIOC1x(D[3:0])に"1"を書き込み、出力モードに設定してください。入力モードに設定されていると16ビットプログラマブルタイマのイベントカウンタ入力として機能し、8ビットプログラマブルタイマのクロック出力は行えません。コールドスタート時は入力モードに設定されます。
ホットスタート時、これらのレジスタはリセット前の状態を保持します。

8ビットプログラマブルタイマの用途

8ビットプログラマブルタイマのダウンカウンタは、ソフトウェアで設定したプリセットデータにより周期的にアンダーフロー信号を出力します。このアンダーフロー信号はCPUへの割り込み要求や、内蔵周辺回路の制御に使用されます。この信号をIC外部に出力することもできます。
また、各8ビットプログラマブルタイマは、アンダーフロー信号を1/2に分周してクロックを生成し、特定の内蔵周辺回路に出力します。

■ CPUへの割り込み要求/IDMA起動要求

各タイマのアンダーフローを割り込み要因として、CPUに対して割り込み要求を出力可能です。ソフトウェアで設定した周期で割り込みを発生させることができます。
また、この割り込み要因によってIDMA、HSDMAを起動することも可能です。

■ IC外部へのクロック出力

アンダーフロー信号をIC外部に出力することができます。これを外部デバイスの制御などに使用することができます。各タイマの出力端子は前節に示したとおりです。

■ 内蔵周辺回路の制御とクロック供給

8ビットプログラマブルタイマのアンダーフロー信号で制御される機能と、出力クロックを使用する内蔵周辺回路を以下に示します。

8ビットプログラマブルタイマ0

・DRAMリフレッシュ

BCUの外部バスにDRAMを直結して使用する場合、タイマ0のアンダーフロー信号をDRAMリフレッシュリクエスト信号として使用可能です。これにより、リフレッシュサイクルの間隔をプログラマブルに設定することができます。
この機能を使用するには、BCUのバスコントロールレジスタ(0x4812E)のRPC2(D9)に"1"を書き込み、DRAMリフレッシュをイネーブルに設定します。

・A/D変換開始トリガ

A/D変換器は、A/D変換を開始するトリガ方式を4種類から選択できるようになっています。その1つが、8ビットプログラマブルタイマ0のアンダーフロー信号によるものです。これにより、プログラマブルな周期でA/D変換を行うことができます。
この機能を使用するには、A/D変換器のA/Dトリガレジスタ(0x40242)のTS[1:0](D[4:3])に"10"を書き込み、トリガに8ビットプログラマブルタイマ0を選択します。

8ビットプログラマブルタイマ1

・高速(OSC3)発振回路の発振安定待ち時間

SLEEPモードを外部割り込みによって解除すると、高速(OSC3)発振回路が発振を開始します。発振が安定する前のクロックによるCPUの誤動作を防止するため、SLEEP解除後にCPUが動作を開始するまで待ち時間を設けることができるようになっています。この時間を8ビットプログラマブルタイマ1によって生成します。高速(OSC3)発振回路の発振開始により8ビットプログラマブルタイマ1を動作させ、発振安定時間以上経過後にアンダーフローが発生するように8ビットプログラマブルタイマ1を設定しておくと、CPUはそのアンダーフロー信号によって動作を開始します。
この機能を使用するには、発振回路のクロックオプションレジスタ(0x40190)の8T1ON(D2)に"0"を書き込み、発振安定待ち機能をイネーブルに設定します。

8ビットプログラマブルタイマ2

・シリアルインタフェースCh.0へのクロック供給

シリアルインタフェースのCh.0をクロック同期式マスタモード、または内部クロックを使用した調歩同期式モードで使用する場合、8ビットプログラマブルタイマ2のアンダーフロー信号を1/2に分周した出力クロックがシリアルインタフェースの動作クロックとして使用されます。これにより、転送速度をプログラマブルに設定することができます。

この機能を使用するには、シリアルインタフェースCh.0制御レジスタ(0x401E3)のSSCK0(D2)に"0"を書き込み、内部クロックを選択してください。

8ビットプログラマブルタイマ3

・シリアルインタフェースCh.1へのクロック供給

シリアルインタフェースのCh.1をクロック同期式マスタモード、または内部クロックを使用した調歩同期式モードで使用する場合、8ビットプログラマブルタイマ3のアンダーフロー信号を1/2に分周した出力クロックがシリアルインタフェースの動作クロックとして使用されます。これにより、転送速度をプログラマブルに設定することができます。

この機能を使用するには、シリアルインタフェースCh.1制御レジスタ(0x401E8)のSSCK1(D2)に"0"を書き込み、内部クロックを選択してください。

8ビットプログラマブルタイマ4

・シリアルインタフェースCh.2へのクロック供給

シリアルインタフェースのCh.2をクロック同期式マスタモード、または内部クロックを使用した調歩同期式モードで使用する場合、8ビットプログラマブルタイマ4のアンダーフロー信号を1/2に分周した出力クロックがシリアルインタフェースの動作クロックとして使用されます。

これにより、転送速度をプログラマブルに設定することができます。

この機能を使用するには、シリアルインタフェースCh.2制御レジスタ(0x401F3)のSSCK2(D2)に"0"を書き込み、内部クロックを選択してください。

8ビットプログラマブルタイマ5

・シリアルインタフェースCh.3へのクロック供給

シリアルインタフェースのCh.3をクロック同期式マスタモード、または内部クロックを使用した調歩同期式モードで使用する場合、8ビットプログラマブルタイマ5のアンダーフロー信号を1/2に分周した出力クロックがシリアルインタフェースの動作クロックとして使用されます。

これにより、転送速度をプログラマブルに設定することができます。

この機能を使用するには、シリアルインタフェースCh.3制御レジスタ(0x401F8)のSSCK3(D2)に"0"を書き込み、内部クロックを選択してください。

8ビットプログラマブルタイマの制御と動作

8ビットプログラマブルタイマを使用する場合は、カウントを開始させる前に以下の設定が必要です。
1. 出力端子の設定(必要な場合のみ)
2. 入力クロックの設定
3. プリセットデータ(カウンタ初期値)の設定
4. 割り込み/IDMA/HSDMAの設定

出力端子の設定は、8ビットプログラマブルタイマの出力クロックをIC外部に出力させる場合にのみ必要です。設定方法は"8ビットプログラマブルタイマの出力端子"を参照してください。
割り込みおよびDMAの設定については"8ビットプログラマブルタイマ割り込みとDMA"を参照してください。

注: **8ビットプログラマブルタイマ0～3のカウント動作は同一で、制御レジスタも同一の構成です。制御ビット名にはタイマ番号を示す"0"～"3"が付きますが、説明は全タイマに共通なため、必要な部分以外はタイマ番号を"x"に置き換えて記述します。**

■ 入力クロックの設定

8ビットプログラマブルタイマはプリスケーラの出力クロックにより動作します。プリスケーラの分周比は、タイマごとに選択可能です。

	分周比選択ビット	クロック制御ビット	レジスタ
タイマ0:	P8TS0[2:0] (D[2:0])	P8TON0 (D3)	8bitタイマ0/1クロック制御レジスタ(0x4014D)
タイマ1:	P8TS1[2:0] (D[6:4])	P8TON1 (D7)	8bitタイマ0/1クロック制御レジスタ(0x4014D)
タイマ2:	P8TS2[2:0] (D[2:0])	P8TON2 (D3)	8bitタイマ2/3クロック制御レジスタ(0x4014E)
タイマ3:	P8TS3[2:0] (D[6:4])	P8TON3 (D7)	8bitタイマ2/3クロック制御レジスタ(0x4014E)
タイマ4:	P8TS4[2:0] (D[2:0])	P8TON4 (D3)	8bitタイマ4/5クロック制御レジスタ(0x40145)
タイマ5:	P8TS5[2:0] (D[6:4])	P8TON5 (D7)	8bitタイマ4/5クロック制御レジスタ(0x40145)

分周比はタイマにより異なりますので注意してください(表3.2参照)。
また、8ビットタイマクロック選択レジスタ(0x40146)のP8TPCKxビットに"1"を書き込むことで、プリスケーラの入力クロックを直接8ビットタイマに供給することもできます。
タイマ0クロック選択: P8TPCK0 (8bitタイマクロック選択レジスタ0x40146•D0)
タイマ1クロック選択: P8TPCK1 (8bitタイマクロック選択レジスタ0x40146•D1)
タイマ2クロック選択: P8TPCK2 (8bitタイマクロック選択レジスタ0x40146•D2)
タイマ3クロック選択: P8TPCK3 (8bitタイマクロック選択レジスタ0x40146•D3)
タイマ4クロック選択: P8TPCK4 (8bitタイマクロック選択レジスタ0x40140•D0)
タイマ5クロック選択: P8TPCK5 (8bitタイマクロック選択レジスタ0x40140•D1)

P8TSxで指定した分周クロックを使用する場合は、P8TPCKxを"0"に設定しておきます。

表3.2 **入力クロックの選択**

タイマ	P8TSx = 7	P8TSx = 6	P8TSx = 5	P8TSx = 4	P8TSx = 3	P8TSx = 2	P8TSx = 1	P8TSx = 0	P8TPCK = 1
タイマ0	fPSCIN/256	fPSCIN/128	fPSCIN/64	fPSCIN/32	fPSCIN/16	fPSCIN/8	fPSCIN/4	fPSCIN/2	fPSCIN/1
タイマ1	fPSCIN/4096	fPSCIN/2048	fPSCIN/1024	fPSCIN/512	fPSCIN/256	fPSCIN/128	fPSCIN/64	fPSCIN/32	fPSCIN/1
タイマ2	fPSCIN/4096	fPSCIN/2048	fPSCIN/64	fPSCIN/32	fPSCIN/16	fPSCIN/8	fPSCIN/4	fPSCIN/2	fPSCIN/1
タイマ3	fPSCIN/256	fPSCIN/128	fPSCIN/64	fPSCIN/32	fPSCIN/16	fPSCIN/8	fPSCIN/4	fPSCIN/2	fPSCIN/1
タイマ4	fPSCIN/4096	fPSCIN/2048	fPSCIN/64	fPSCIN/32	fPSCIN/16	fPSCIN/8	fPSCIN/4	fPSCIN/2	fPSCIN/1
タイマ5	fPSCIN/256	fPSCIN/128	fPSCIN/64	fPSCIN/32	fPSCIN/16	fPSCIN/8	fPSCIN/4	fPSCIN/2	fPSCIN/1

fPSCIN: **プリスケーラ入力クロック周波数**

選択したクロックはP8TONxに"1"を書き込むことにより、プリスケーラから8ビットプログラマブルタイマに出力されます。

注:
- **8ビットプログラマブルタイマの動作はプリスケーラが動作していることが条件です。("プリスケーラ"参照)**
- **8ビットプログラマブルタイマの入力クロックにCPU動作クロックよりも高速なクロックは使用しないでください。**
- **入力クロックの設定は、8ビットプログラマブルタイマが停止中に行ってください。**

■ プリセットデータ(カウンタ初期値)の設定

各タイマには8ビットのダウンカウンタとリロードデータレジスタが設けられています。
リロードデータレジスタRLDxは各タイマのダウンカウンタ初期値を設定するレジスタです。
タイマ0リロードデータ: RLD0[7:0](8bitタイマ0リロードデータレジスタ0x40161•D[7:0])
タイマ1リロードデータ: RLD1[7:0](8bitタイマ1リロードデータレジスタ0x40165•D[7:0])
タイマ2リロードデータ: RLD2[7:0](8bitタイマ2リロードデータレジスタ0x40169•D[7:0])
タイマ3リロードデータ: RLD3[7:0](8bitタイマ3リロードデータレジスタ0x4016D•D[7:0])
タイマ4リロードデータ: RLD4[7:0](8bitタイマ4リロードデータレジスタ0x40175•D[7:0])
タイマ5リロードデータ: RLD5[7:0](8bitタイマ5リロードデータレジスタ0x40179•D[7:0])

リロードデータレジスタは読み出し/書き込み可能です。イニシャルリセット時、リロードデータレジスタは初期化されません。

ここに書き込んだデータがダウンカウンタにプリセットされ、その値からダウンカウントが行われます。
ダウンカウンタへのプリセットは、次の2つの場合に行われます。

1. ソフトウェアでプリセットを行った場合
   ソフトウェアによるプリセットはプリセット制御ビットPSETxによって行います。このビットに"1"を書き込むと、その時点でリロードデータレジスタの内容がダウンカウンタにロードされます。
   タイマ0プリセット: PSET0(8bitタイマ0制御レジスタ0x40160•D1)
   タイマ1プリセット: PSET1(8bitタイマ1制御レジスタ0x40164•D1)
   タイマ2プリセット: PSET2(8bitタイマ2制御レジスタ0x40168•D1)
   タイマ3プリセット: PSET3(8bitタイマ3制御レジスタ0x4016C•D1)
   タイマ4プリセット: PSET4(8bitタイマ4制御レジスタ0x40174•D1)
   タイマ5プリセット: PSET5(8bitタイマ5制御レジスタ0x40178•D1)
2. ダウンカウンタがカウント中にアンダーフローした場合
   ダウンカウンタはそのアンダーフローによりリロードデータをプリセットしますので、リロードデータレジスタの設定値により、アンダーフロー周期が決定します。このアンダーフロー信号は前節で説明した各機能を制御します。

8ビットプログラマブルタイマの動作を開始する前にリロードデータレジスタに初期値を設定し、PSETxでダウンカウンタにプリセットしてください。

アンダーフロー周期は、プリスケーラの設定とリロードデータによって決まります。この関係を次の式に示します。

$$\text{アンダーフロー周期} = \frac{RLDx + 1}{f_{PSCIN} \times pdr} \text{ [秒]}$$

f_{PSCIN}: プリスケーラ入力クロック周波数 [Hz]
pdr: P8TSxによるプリスケーラの分周比
RLDx: RLDxの設定値(0〜255)

■ タイマのRUN/STOP制御

各タイマにはそれぞれ、RUN/STOPを制御するビットPTRUNxが設けられています。
タイマ0 RUN/STOP制御: PTRUN0(8bitタイマ0制御レジスタ0x40160•D0)
タイマ1 RUN/STOP制御: PTRUN1(8bitタイマ1制御レジスタ0x40164•D0)
タイマ2 RUN/STOP制御: PTRUN2(8bitタイマ2制御レジスタ0x40168•D0)
タイマ3 RUN/STOP制御: PTRUN3(8bitタイマ3制御レジスタ0x4016C•D0)
タイマ4 RUN/STOP制御: PTRUN4(8bitタイマ4制御レジスタ0x40174•D0)
タイマ5 RUN/STOP制御: PTRUN5(8bitタイマ5制御レジスタ0x40178•D0)

タイマはPTRUNxに"1"を書き込むことによってダウンカウントを開始します。PTRUNxに"0"を書き込むとクロックの入力が禁止され、カウントは停止します。
このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

カウンタはダウンカウントが進んでアンダーフローが発生すると、リロードデータレジスタに設定された初期値をリロードします。

タイマのRUN/STOP制御ビット(PTRUNx)とプリセットビット(PSETx)の両方を"1"にして8bitタイマ制御レジスタに書き込んだ場合、リロードデータレジスタの値をプリセットしてからタイマがRUNします。

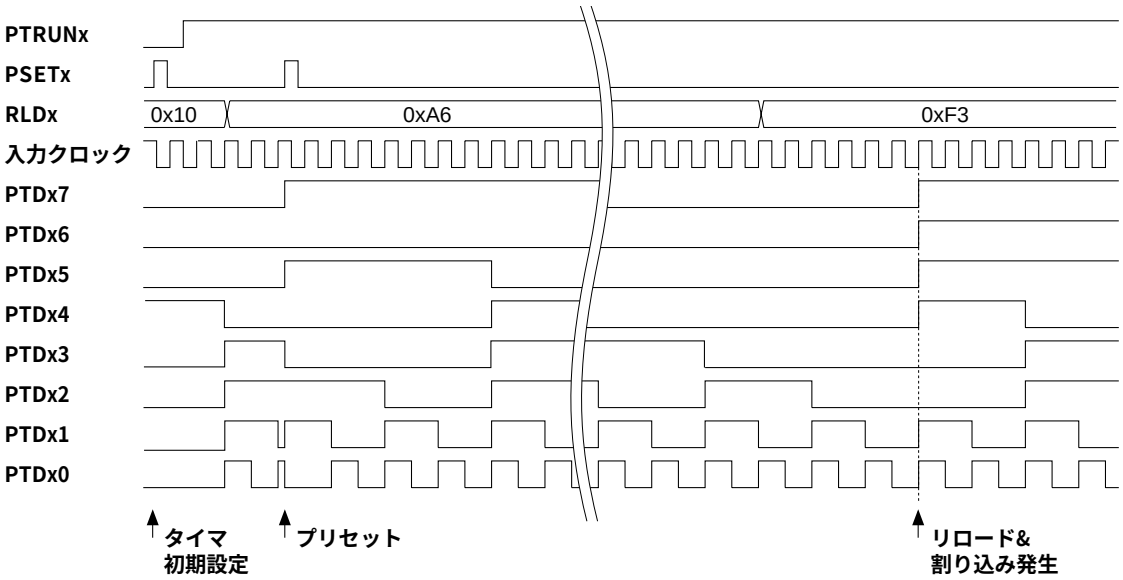


図3.2 **カウンタの基本動作タイミング**

■ カウンタデータの読み出し

カウンタデータの読み出しはデータバッファPTDxを介して行います。任意のタイミングで読み出しが可能です。

タイマ0データ: PTD0[7:0](8bitタイマ0カウントデータレジスタ0x40162•D[7:0])
タイマ1データ: PTD1[7:0](8bitタイマ1カウントデータレジスタ0x40166•D[7:0])
タイマ2データ: PTD2[7:0](8bitタイマ2カウントデータレジスタ0x4016A•D[7:0])
タイマ3データ: PTD3[7:0](8bitタイマ3カウントデータレジスタ0x4016E•D[7:0])
タイマ4データ: PTD4[7:0](8bitタイマ4カウントデータレジスタ0x40176•D[7:0])
タイマ5データ: PTD5[7:0](8bitタイマ5カウントデータレジスタ0x4017A•D[7:0])

クロック出力の制御

8ビットプログラマブルタイマのアンダーフロー信号をIC外部に出力する場合、またはアンダーフロー信号から生成したクロックをシリアルインタフェースに出力する場合はクロックの出力制御が必要です。
タイマ0クロック出力制御: PTOUT0(8bitタイマ0制御レジスタ0x40160•D2)
タイマ1クロック出力制御: PTOUT1(8bitタイマ1制御レジスタ0x40164•D2)
タイマ2クロック出力制御: PTOUT2(8bitタイマ2制御レジスタ0x40168•D2)
タイマ3クロック出力制御: PTOUT3(8bitタイマ3制御レジスタ0x4016C•D2)

アンダーフロー信号/クロックを出力するには、クロック出力制御レジスタPTOUTxに"1"を書き込みます。
出力端子が設定されていれば、その端子からアンダーフロー信号が出力されます。
タイマ2または3をシリアルインタフェースのクロック源として設定した場合も同様で、この制御により、アンダーフロー信号を1/2に分周して生成したクロックがシリアルインタフェースに出力されます。
PTOUTxに"0"を書き込むと出力が停止し、外部出力は"0"に、内部クロック出力は"1"に固定されます。
図3.3に出力波形を示します。

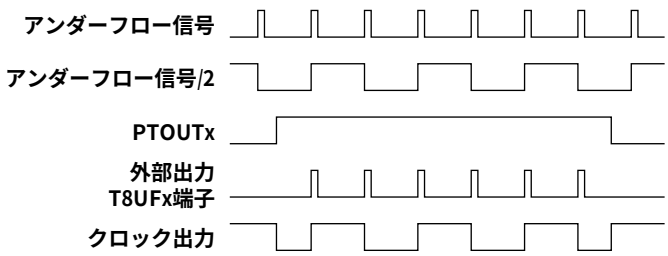


図3.3 8ビットプログラマブルタイマの出力波形

アンダーフロー信号のパルス幅(High)は、入力クロック(プリスケーラ出力)のパルス幅と等しくなります。

■ 8ビットタイマ外部出力(P10〜P13ポート)

1) イニシャルリセット(コールドスタート)後のポート(P10〜P13)はデバッグ用出力に設定されています。
2) ポート(P10〜P13)を8ビットタイマ出力に設定した段階で"0"を出力します。
(タイマ出力はOFF状態)
3) 入力クロック、タイマの初期値を設定後、タイマ出力をONにしてもタイマ出力は"0"を保持します。
4) 8ビットタイマをRUNさせ、アンダーフローが発生すると、8ビットタイマのクロック入力(プリスケーラ出力)の1クロックパルスを出力します。

8ビットプログラマブルタイマ割り込みとDMA

8ビットプログラマブルタイマには、タイマ0～3のアンダーフローによって割り込みを発生させる機能があります。
割り込みの発生タイミングは、図3.2に示したとおりです。

■ 割り込みコントローラの制御レジスタ

各タイマごとに用意されている割り込みコントローラの制御レジスタを、表3.3に示します。

表3.3 割り込みコントローラの制御レジスタ

タイマ	割り込み要因フラグ	割り込み イネーブルレジスタ	割り込み プライオリティレジスタ
タイマ0	F8TU0(D0/0x40285)	E8TU0(D0/0x40275)	P8TM[2:0](D[2:0]/0x40269)
タイマ1	F8TU1(D1/0x40285)	E8TU1(D1/0x40275)	
タイマ2	F8TU2(D2/0x40285)	E8TU2(D2/0x40275)	
タイマ3	F8TU3(D3/0x40285)	E8TU3(D3/0x40275)	

タイマにアンダーフローが発生すると、対応する割り込み要因フラグが"1"にセットされます。その割り込み要因フラグに対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、そのタイマによる割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず("0"に設定されていても)、タイマのアンダーフローによって"1"にセットされます。割り込みプライオリティレジスタは、4つのタイマを1つの割り込み系列として割り込みの優先レベル(0～7)を設定します。8ビットプログラマブルタイマの中の優先順位は、タイマ0が最も高く、タイマ3が最も低く設定されています。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。
また、入力割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した入力割り込みのレベルよりも小さな値に設定されている場合に限られます。
これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITC(割り込みコントローラ)"を参照してください。

■ インテリジェントDMA

タイマ0～3のアンダーフロー割り込み要因は、インテリジェントDMA(IDMA)を起動することができます。これにより、メモリ間のDMA転送を周期的に行うことができます。
各タイマに設定されたIDMAチャネル番号は次のとおりです。

	IDMA Ch.
タイマ0:	0x13
タイマ1:	0x14
タイマ2:	0x15
タイマ3:	0x16

IDMAを起動させるには、表3.4に示すIDMAリクエストビットおよびIDMAイネーブルビットに"1"を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。

表3.4 IDMA転送の制御レジスタ

タイマ	IDMAリクエストビット	IDMAイネーブルビット
タイマ0	R8TU0(D2/0x40292)	DE8TU0(D2/0x40296)
タイマ1	R8TU1(D3/0x40292)	DE8TU1(D3/0x40296)
タイマ2	R8TU2(D4/0x40292)	DE8TU2(D4/0x40296)
タイマ3	R8TU3(D5/0x40292)	DE8TU3(D5/0x40296)

IDMAリクエストビットおよびIDMAイネーブルビットが"1"に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はDMA転送終了後に発生します。また、DMA転送のみを行い、割り込みは発生しないように設定することもできます。
IDMA転送とIDMA転送終了後の割り込み制御については、"IDMA(インテリジェントDMA)"を参照してください。

■ 高速DMA

タイマ0～3のアンダーフロー割り込み要因は、高速DMA(HSDMA)を起動することもできます。
タイマ0～3に対応するHSDMAチャネル番号とトリガ設定ビットを以下に示します。

表3.5 HSDMAトリガ設定ビット

タイマ	HSDMA チャネル	トリガ設定ビット
タイマ0	0	HSD0S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298•D[3:0])
タイマ1	1	HSD1S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298•D[7:4])
タイマ2	2	HSD2S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299•D[3:0])
タイマ3	3	HSD3S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299•D[7:4])

HSDMAを起動させるには、トリガ設定ビットに"0101"を書き込んでおきます。また、HSDMA側の転送条件等の設定も必要です。
HSDMAのトリガ要因に8ビットタイマを選択すると、アンダーフロー割り込み要因の発生でHSDMAが起動します。
HSDMAの詳細については、"HSDMA(高速DMA)"を参照してください。

■ トラップベクタ

各アンダーフロー割り込み要因のトラップベクタアドレスは、デフォルトでそれぞれ以下のとおり設定されています。

タイマ0アンダーフロー割り込み: 0x0C000D0
タイマ1アンダーフロー割り込み: 0x0C000D4
タイマ2アンダーフロー割り込み: 0x0C000D8
タイマ3アンダーフロー割り込み: 0x0C000DC

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134～0x48137)で変更することも可能です。

8ビットプログラマブルタイマのI/Oメモリ

表3.6に8ビットプログラマブルタイマの制御ビットを示します。
クロックを設定するプリスケーラのI/Oメモリについては、"プリスケーラ"を参照してください。

表3.6 8ビットプログラマブルタイマの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
8bitタイマ0 制御レジスタ	0040160 (B)	D7–3	–	reserved	–	–	–	読み出し時: 0
		D2	PTOUT0	8bitタイマ0クロック出力制御	1 On 0 Off	0	R/W	
		D1	PSET0	8bitタイマ0プリセット	1 プリセット 0 無効	–	W	読み出し時: 0
		D0	PTRUN0	8bitタイマ0 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ0 リロードデータ レジスタ	0040161 (B)	D7	RLD07	8bitタイマ0	0〜255	X	R/W	
		D6	RLD06	リロードデータ		X		
		D5	RLD05	RLD07 = MSB		X		
		D4	RLD04	RLD00 = LSB		X		
		D3	RLD03			X		
		D2	RLD02			X		
		D1	RLD01			X		
		D0	RLD00			X		
8bitタイマ0 カウントデータ レジスタ	0040162 (B)	D7	PTD07	8bitタイマ0カウントデータ	0〜255	X	R	
		D6	PTD06	PTD07 = MSB		X		
		D5	PTD05	PTD00 = LSB		X		
		D4	PTD04			X		
		D3	PTD03			X		
		D2	PTD02			X		
		D1	PTD01			X		
		D0	PTD00			X		
8bitタイマ1 制御レジスタ	0040164 (B)	D7–3	–	reserved	–	–	–	読み出し時: 0
		D2	PTOUT1	8bitタイマ1クロック出力制御	1 On 0 Off	0	R/W	
		D1	PSET1	8bitタイマ1プリセット	1 プリセット 0 無効	–	W	読み出し時: 0
		D0	PTRUN1	8bitタイマ1 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ1 リロードデータ レジスタ	0040165 (B)	D7	RLD17	8bitタイマ1	0〜255	X	R/W	
		D6	RLD16	リロードデータ		X		
		D5	RLD15	RLD17 = MSB		X		
		D4	RLD14	RLD10 = LSB		X		
		D3	RLD13			X		
		D2	RLD12			X		
		D1	RLD11			X		
		D0	RLD10			X		
8bitタイマ1 カウントデータ レジスタ	0040166 (B)	D7	PTD17	8bitタイマ1カウントデータ	0〜255	X	R	
		D6	PTD16	PTD17 = MSB		X		
		D5	PTD15	PTD10 = LSB		X		
		D4	PTD14			X		
		D3	PTD13			X		
		D2	PTD12			X		
		D1	PTD11			X		
		D0	PTD10			X		
8bitタイマ2 制御レジスタ	0040168 (B)	D7–3	–	reserved	–	–	–	読み出し時: 0
		D2	PTOUT2	8bitタイマ2クロック出力制御	1 On 0 Off	0	R/W	
		D1	PSET2	8bitタイマ2プリセット	1 プリセット 0 無効	–	W	読み出し時: 0
		D0	PTRUN2	8bitタイマ2 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ2 リロードデータ レジスタ	0040169 (B)	D7	RLD27	8bitタイマ2	0〜255	X	R/W	
		D6	RLD26	リロードデータ		X		
		D5	RLD25	RLD27 = MSB		X		
		D4	RLD24	RLD20 = LSB		X		
		D3	RLD23			X		
		D2	RLD22			X		
		D1	RLD21			X		
		D0	RLD20			X		
8bitタイマ2 カウントデータ レジスタ	004016A (B)	D7	PTD27	8bitタイマ2カウントデータ	0〜255	X	R	
		D6	PTD26	PTD27 = MSB		X		
		D5	PTD25	PTD20 = LSB		X		
		D4	PTD24			X		
		D3	PTD23			X		
		D2	PTD22			X		
		D1	PTD21			X		
		D0	PTD20			X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
8bitタイマ3制御レジスタ	004016C (B)	D7–3	–	reserved	–	–	–	読み出し時: 0
		D2	PTOUT3	8bitタイマ3クロック出力制御	1 On 0 Off	0	R/W	
		D1	PSET3	8bitタイマ3プリセット	1 プリセット 0 無効	–	W	読み出し時: 0
		D0	PTRUN3	8bitタイマ3 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ3リロードデータレジスタ	004016D (B)	D7	RLD37	8bitタイマ3	0〜255	X	R/W	
		D6	RLD36	リロードデータ		X		
		D5	RLD35	RLD37 = MSB		X		
		D4	RLD34	RLD30 = LSB		X		
		D3	RLD33			X		
		D2	RLD32			X		
		D1	RLD31			X		
		D0	RLD30			X		
8bitタイマ3カウントデータレジスタ	004016E (B)	D7	PTD37	8bitタイマ3カウントデータ	0〜255	X	R	
		D6	PTD36	PTD37 = MSB		X		
		D5	PTD35	PTD30 = LSB		X		
		D4	PTD34			X		
		D3	PTD33			X		
		D2	PTD32			X		
		D1	PTD31			X		
		D0	PTD30			X		
8bitタイマ4制御レジスタ	0040174 (B)	D7–3	–	reserved	–	–	–	読み出し時: 0
		D2	PTOUT4	8bitタイマ4出力制御	1 On 0 Off	0	R/W	
		D1	PSET4	8bitタイマ4プリセット	1 プリセット 0 無効	–	W	読み出し時: 0
		D0	PTRUN4	8bitタイマ4 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ4リロードデータレジスタ	0040175 (B)	D7	RLD47	8bitタイマ4	0〜255	X	R/W	
		D6	RLD46	リロードデータ		X		
		D5	RLD45	RLD47 = MSB		X		
		D4	RLD44	RLD40 = LSB		X		
		D3	RLD43			X		
		D2	RLD42			X		
		D1	RLD41			X		
		D0	RLD40			X		
8bitタイマ4カウントデータレジスタ	0040176 (B)	D7	PTD47	8bitタイマ4	0〜255	X	R	
		D6	PTD46	カウントデータ		X		
		D5	PTD45	PTD47 = MSB		X		
		D4	PTD44	PTD40 = LSB		X		
		D3	PTD43			X		
		D2	PTD42			X		
		D1	PTD41			X		
		D0	PTD40			X		
8bitタイマ5制御レジスタ	0040178 (B)	D7–3	–	reserved	–	–	–	読み出し時: 0
		D2	PTOUT5	8bitタイマ5出力制御	1 On 0 Off	0	R/W	
		D1	PSET5	8bitタイマ5プリセット	1 プリセット 0 無効	–	W	読み出し時: 0
		D0	PTRUN5	8bitタイマ5 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ5リロードデータレジスタ	0040179 (B)	D7	RLD57	8bitタイマ5	0〜255	X	R/W	
		D6	RLD56	リロードデータ		X		
		D5	RLD55	RLD57 = MSB		X		
		D4	RLD54	RLD50 = LSB		X		
		D3	RLD53			X		
		D2	RLD52			X		
		D1	RLD51			X		
		D0	RLD50			X		
8bitタイマ5カウントデータレジスタ	004017A (B)	D7	PTD57	8bitタイマ5	0〜255	X	R	
		D6	PTD56	カウントデータ		X		
		D5	PTD55	PTD57 = MSB		X		
		D4	PTD54	PTD50 = LSB		X		
		D3	PTD53			X		
		D2	PTD52			X		
		D1	PTD51			X		
		D0	PTD50			X		
8bitタイマ, シリアルI/F Ch.0割り込みプライオリティレジスタ	0040269 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PSIO02	シリアルインタフェースCh.0	0〜7	X	R/W	
		D5	PSIO01	割り込みレベル		X		
		D4	PSIO00			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	P8TM2	8bitタイマ0–3	0〜7	X	R/W	
		D1	P8TM1	割り込みレベル		X		
		D0	P8TM0			X		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定				Init.	R/W	注　　釈
8bitタイマ割り込みイネーブルレジスタ	0040275 (B)	D7–4	–	reserved	–				–	–	読み出し時: 0
		D3	E8TU3	8bitタイマ3アンダーフロー	1	許可	0	禁止	0	R/W	
		D2	E8TU2	8bitタイマ2アンダーフロー					0	R/W	
		D1	E8TU1	8bitタイマ1アンダーフロー					0	R/W	
		D0	E8TU0	8bitタイマ0アンダーフロー					0	R/W	
8bitタイマ割り込み要因フラグレジスタ	0040285 (B)	D7–4	–	reserved	–				–	–	読み出し時: 0
		D3	F8TU3	8bitタイマ3アンダーフロー	1	要因発生	0	要因なし	X	R/W	
		D2	F8TU2	8bitタイマ2アンダーフロー					X	R/W	
		D1	F8TU1	8bitタイマ1アンダーフロー					X	R/W	
		D0	F8TU0	8bitタイマ0アンダーフロー					X	R/W	
16bitタイマ5, 8bitタイマ, シリアルI/F Ch.0 IDMAリクエストレジスタ	0040292 (B)	D7	RSTX0	SIF Ch.0送信バッファエンプティ	1	IDMA要求	0	割り込み要求	0	R/W	
		D6	RSRX0	SIF Ch.0受信バッファフル					0	R/W	
		D5	R8TU3	8bitタイマ3アンダーフロー					0	R/W	
		D4	R8TU2	8bitタイマ2アンダーフロー					0	R/W	
		D3	R8TU1	8bitタイマ1アンダーフロー					0	R/W	
		D2	R8TU0	8bitタイマ0アンダーフロー					0	R/W	
		D1	R16TC5	16bitタイマ5コンペアA					0	R/W	
		D0	R16TU5	16bitタイマ5コンペアB					0	R/W	
16bitタイマ5, 8bitタイマ, シリアルI/F Ch.0 IDMAイネーブルレジスタ	0040296 (B)	D7	DESTX0	SIF Ch.0送信バッファエンプティ	1	IDMA許可	0	IDMA禁止	0	R/W	
		D6	DESRX0	SIF Ch.0受信バッファフル					0	R/W	
		D5	DE8TU3	8bitタイマ3アンダーフロー					0	R/W	
		D4	DE8TU2	8bitタイマ2アンダーフロー					0	R/W	
		D3	DE8TU1	8bitタイマ1アンダーフロー					0	R/W	
		D2	DE8TU0	8bitタイマ0アンダーフロー					0	R/W	
		D1	DE16TC5	16bitタイマ5コンペアA					0	R/W	
		D0	DE16TU5	16bitタイマ5コンペアB					0	R/W	
P1機能選択レジスタ	00402D4 (B)	D7	–	reserved	–				–	–	読み出し時: 0
		D6	CFP16	P16機能選択	1	EXCL5 #DMAEND1	0	P16	0	R/W	
		D5	CFP15	P15機能選択	1	EXCL4 #DMAEND0	0	P15	0	R/W	
		D4	CFP14	P14機能選択	1	FOSC1	0	P14	0	R/W	拡張機能(0x402DF)
		D3	CFP13	P13機能選択	1	EXCL3 T8UF3	0	P13	0	R/W	
		D2	CFP12	P12機能選択	1	EXCL2 T8UF2	0	P12	0	R/W	
		D1	CFP11	P11機能選択	1	EXCL1 T8UF1	0	P11	0	R/W	
		D0	CFP10	P10機能選択	1	EXCL0 T8UF0	0	P10	0	R/W	
P1 I/O制御レジスタ	00402D6 (B)	D7	–	reserved	–				–	–	読み出し時: 0
		D6	IOC16	P16 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポート端子のI/O制御信号の値(詳細説明参照)
		D5	IOC15	P15 I/O制御					0	R/W	
		D4	IOC14	P14 I/O制御					0	R/W	
		D3	IOC13	P13 I/O制御					0	R/W	
		D2	IOC12	P12 I/O制御					0	R/W	
		D1	IOC11	P11 I/O制御					0	R/W	
		D0	IOC10	P10 I/O制御					0	R/W	
ポート機能拡張レジスタ	00402DF (B)	D7	CFEX7	P07ポート機能拡張	1	#DMAEND3	0	P07, etc.	0	R/W	
		D6	CFEX6	P06ポート機能拡張	1	#DMAACK3	0	P06, etc.	0	R/W	
		D5	CFEX5	P05ポート機能拡張	1	#DMAEND2	0	P05, etc.	0	R/W	
		D4	CFEX4	P04ポート機能拡張	1	#DMAACK2	0	P04, etc.	0	R/W	
		D3	CFEX3	P31ポート機能拡張	1	#GARD	0	P31, etc.	0	R/W	
		D2	CFEX2	P21ポート機能拡張	1	#GAAS	0	P21, etc.	0	R/W	
		D1	CFEX1	P10, P11, P13ポート機能拡張	1	DST0 DST1 DPC0	0	P10, etc. P11, etc. P13, etc.	1	R/W	
		D0	CFEX0	P12, P14ポート機能拡張	1	DST2 DCLK	0	P12, etc. P14, etc.	1	R/W	

CFP13–CFP10: P1[3:0]**端子機能選択**(D[3:0]/0x402D4<P1**機能選択レジスタ**>)

タイマアンダーフロー信号の外部出力に使用する端子を選択します。

"1"書き込み: アンダーフロー信号出力端子
"0"書き込み: 入出力兼用ポート端子
読み出し: 可能

タイマアンダーフロー信号の外部出力に使用する端子を、CFP10～CFP13に"1"を書き込んでP10～P13の中から選択します。P10～P13はそれぞれタイマ0～タイマ3に対応します。"0"を書き込んだ場合、その端子は入出力兼用ポート端子となります。
コールドスタート時、CFPは"0"(入出力兼用ポート)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

IOC13–IOC10: P1[3:0]**ポート**I/O**制御**(D[3:0]/0x402D6<P1 I/O**制御レジスタ**>)

P10～P13の入力/出力モードの設定とI/O制御信号の値の読み出しが行えます。

• データ書き込み時
"1"書き込み: 出力モード
"0"書き込み: 入力モード

P10～P13の中でタイマアンダーフロー出力に使用する端子に対応するI/O制御ビットには、"1"を書き込んで出力モードに設定してください。CFP1xが"1"に設定されている場合でも入力モードに設定されていると、その端子は16ビットプログラマブルタイマのイベントカウンタ入力端子として機能し、タイマアンダーフロー信号の出力は行えません。

• データ読み出し時
"1"読み出し: I/O制御信号(出力)
"0"読み出し: I/O制御信号(入力)

ポート端子のI/O制御信号の値が読み出されます。CFEXレジスタおよびCFP1xレジスタによって入出力兼用ポート機能を選択した場合、読み出し値はIOCレジスタへの書き込み値と一致します。一方、周辺回路を選択した場合はその回路の状態により変化し、IOCレジスタへの書き込み値とは異なる場合があります。

コールドスタート時、IOCはすべて"0"(入力モード)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

CFEX1: P10, P11, P13**ポート機能拡張**(D1/0x402DF<**ポート機能拡張レジスタ**>)
CFEX0: P12, P14**ポート機能拡張**(D0/0x402DF<**ポート機能拡張レジスタ**>)

入出力兼用ポート端子の拡張機能を選択します。

"1"書き込み: 拡張機能端子
"0"書き込み: 入出力兼用ポート端子/周辺回路用端子
読み出し: 可能

CFEX[1:0]に"1"を書き込むと、P13～P10ポートがデバッグ用信号出力ポートとして機能します。CFEX[1:0]が"0"の場合はCFP1[3:0]が有効となり、その設定に従ってP13～P10ポートが入出力兼用ポート端子または8ビットタイマアンダーフロー出力端子となります。
コールドスタート時、CFEX[1:0]は"1"(拡張機能端子)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

RLD07–RLD00: **タイマ**0**リロードデータ**(D[7:0]/0x40161<8bit**タイマ**0**リロードデータレジスタ**>)
RLD17–RLD10: **タイマ**1**リロードデータ**(D[7:0]/0x40165<8bit**タイマ**1**リロードデータレジスタ**>)
RLD27–RLD20: **タイマ**2**リロードデータ**(D[7:0]/0x40169<8bit**タイマ**2**リロードデータレジスタ**>)
RLD37–RLD30: **タイマ**3**リロードデータ**(D[7:0]/0x4016D<8bit**タイマ**3**リロードデータレジスタ**>)
RLD47–RLD40: **タイマ**4**リロードデータ**(D[7:0]/0x40175<8bit**タイマ**4**リロードデータレジスタ**>)
RLD57–RLD50: **タイマ**5**リロードデータ**(D[7:0]/0x40179<8bit**タイマ**5**リロードデータレジスタ**>)

各タイマのカウンタの初期値を設定します。
本レジスタに設定したリロードデータがそれぞれのカウンタにロードされ、それを初期値としてダウンカウントが行われます。
リロードデータがカウンタにロードされる条件はPSETxに"1"を書き込んでプリセットを行う場合と、カウンタのアンダーフローによって自動的にリロードが行われる場合です。
イニシャルリセット時、RLDは初期化されません。

PTD07–PTD00: **タイマ**0**カウントデータ**(D[7:0]/0x40162<8bit**タイマ**0**カウントデータレジスタ**>)
PTD17–PTD10: **タイマ**1**カウントデータ**(D[7:0]/0x40166<8bit**タイマ**1**カウントデータレジスタ**>)
PTD27–PTD20: **タイマ**2**カウントデータ**(D[7:0]/0x4016A<8bit**タイマ**2**カウントデータレジスタ**>)
PTD37–PTD30: **タイマ**3**カウントデータ**(D[7:0]/0x4016E<8bit**タイマ**3**カウントデータレジスタ**>)
PTD47–PTD40: **タイマ**4**カウントデータ**(D[7:0]/0x40176<8bit**タイマ**4**カウントデータレジスタ**>)
PTD57–PTD50: **タイマ**5**カウントデータ**(D[7:0]/0x4017A<8bit**タイマ**5**カウントデータレジスタ**>)

8ビットプログラマブルタイマのデータが読み出せます。
本ビットは読み出し時にカウンタのデータが保持されるバッファとなっており、データは任意のタイミングで読み出しが可能です。
イニシャルリセット時、PTDは初期化されません。

PSET0: **タイマ**0**プリセット**(D1/0x40160<8bit**タイマ**0**制御レジスタ**>)
PSET1: **タイマ**1**プリセット**(D1/0x40164<8bit**タイマ**1**制御レジスタ**>)
PSET2: **タイマ**2**プリセット**(D1/0x40168<8bit**タイマ**2**制御レジスタ**>)
PSET3: **タイマ**3**プリセット**(D1/0x4016C<8bit**タイマ**3**制御レジスタ**>)
PSET4: **タイマ**4**プリセット**(D1/0x40174<8bit**タイマ**4**制御レジスタ**>)
PSET5: **タイマ**5**プリセット**(D1/0x40178<8bit**タイマ**5**制御レジスタ**>)

リロードデータをカウンタにプリセットします。

"1"書き込み: プリセット
"0"書き込み: 無効
読み出し: 常時"0"

PSETxに"1"を書き込むことによって、RLDxのリロードデータがタイマxのカウンタにプリセットされます。カウンタがRUN状態のときにプリセットを行うとリロードデータのプリセット直後にリスタートします。
また、STOP状態の場合はプリセットされたリロードデータがそのまま保持されます。
"0"の書き込みはノーオペレーションとなります。
PSETxは書き込み専用のため、読み出しは常時"0"となります。

PTRUN0: **タイマ**0 RUN/STOP**制御**(D0/0x40160<8bit**タイマ0制御レジスタ**>)
PTRUN1: **タイマ**1 RUN/STOP**制御**(D0/0x40164<8bit**タイマ1制御レジスタ**>)
PTRUN2: **タイマ**2 RUN/STOP**制御**(D0/0x40168<8bit**タイマ2制御レジスタ**>)
PTRUN3: **タイマ**3 RUN/STOP**制御**(D0/0x4016C<8bit**タイマ3制御レジスタ**>)
PTRUN4: **タイマ**4 RUN/STOP**制御**(D0/0x40174<8bit**タイマ4制御レジスタ**>)
PTRUN5: **タイマ**5 RUN/STOP**制御**(D0/0x40178<8bit**タイマ5制御レジスタ**>)

カウンタのRUN/STOPを制御します。

"1"書き込み: RUN
"0"書き込み: STOP
読み出し: 可能

各タイマのカウンタはPTRUNxに"1"を書き込むことによってダウンカウントを開始し、"0"の書き込みにより停止します。
STOP状態ではプリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。
イニシャルリセット時、PTRUNxは"0"(STOP)に設定されます。

PTOUT0: **タイマ**0**クロック出力制御**(D2/0x40160<8bit**タイマ0制御レジスタ**>)
PTOUT1: **タイマ**1**クロック出力制御**(D2/0x40164<8bit**タイマ1制御レジスタ**>)
PTOUT2: **タイマ**2**クロック出力制御**(D2/0x40168<8bit**タイマ2制御レジスタ**>)
PTOUT3: **タイマ**3**クロック出力制御**(D2/0x4016C<8bit**タイマ3制御レジスタ**>)
PTOUT4: **タイマ**4**クロック出力制御**(D2/0x40174<8bit**タイマ4制御レジスタ**>)
PTOUT5: **タイマ**5**クロック出力制御**(D2/0x40178<8bit**タイマ5制御レジスタ**>)

各タイマのクロック出力を制御します。

"1"書き込み: ON
"0"書き込み: OFF
読み出し: 可能

PTOUTxに"1"を書き込むとタイマxのアンダーフロー信号がCFP1xで設定した外部出力端子から出力されます。タイマ2またはタイマ3をシリアルインタフェースのクロック源として使用している場合は、アンダーフロー信号を1/2に分周して生成したクロックがシリアルインタフェースの対応するチャネルに出力されます。
"0"を書き込むとクロックの出力は停止し、外部出力は"0"に、内部クロック出力は"1"に固定されます。
イニシャルリセット時、PTOUTは"0"(OFF)に設定されます。

P8TM2–P8TM0: 8bit**タイマ割り込みレベル**
(D[2:0]/0x40269<8bit**タイマ**, **シリアル**I/F Ch.0**割り込みプライオリティレジスタ**>)

8ビットプログラマブルタイマ割り込みの優先レベルを0〜7の範囲で設定します。
イニシャルリセット時、P8TMレジスタは不定となります。

E8TU0: **タイマ**0**割り込みイネーブル**(D0/0x40275<8bit**タイマ割り込みイネーブルレジスタ**>)
E8TU1: **タイマ**1**割り込みイネーブル**(D1/0x40275<8bit**タイマ割り込みイネーブルレジスタ**>)
E8TU2: **タイマ**2**割り込みイネーブル**(D2/0x40275<8bit**タイマ割り込みイネーブルレジスタ**>)
E8TU3: **タイマ**3**割り込みイネーブル**(D3/0x40275<8bit**タイマ割り込みイネーブルレジスタ**>)

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可
"0"書き込み: 割り込み禁止
読み出し: 可能

E8TUxは8ビットタイマの割り込みを制御する割り込みイネーブルビットで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。
イニシャルリセット時、E8TUxはそれぞれ"0"(割り込み禁止)に設定されます。

F8TU0: **タイマ**0**割り込み要因フラグ**(D0/0x40285<8bit**タイマ割り込み要因フラグレジスタ**>)
F8TU1: **タイマ**1**割り込み要因フラグ**(D1/0x40285<8bit**タイマ割り込み要因フラグレジスタ**>)
F8TU2: **タイマ**2**割り込み要因フラグ**(D2/0x40285<8bit**タイマ割り込み要因フラグレジスタ**>)
F8TU3: **タイマ**3**割り込み要因フラグ**(D3/0x40285<8bit**タイマ割り込み要因フラグレジスタ**>)

8ビットプログラマブルタイマ割り込みの発生状態を示します。

• 読み出し時
"1"読み出し: 割り込み要因あり
"0"読み出し: 割り込み要因なし

• リセットオンリー方式書き込み時 (デフォルト)
"1"書き込み: 要因フラグをリセット
"0"書き込み: 無効

• リード/ライト方式書き込み時
"1"書き込み: 要因フラグをセット
"0"書き込み: 要因フラグをリセット

F8TUxは各タイマの割り込みに対応する割り込み要因フラグで、それぞれのカウンタのアンダーフローに同期して"1"にセットされます。
このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。
1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

なお、8ビットプログラマブルタイマの割り込み要因をIDMA要求として使用する場合、上記の条件が成立している場合でも、割り込み要因発生時点でCPUに対する割り込み要求は出力されません。IDMAの設定で割り込みを許可してあれば、IDMAによるデータ転送終了後に上記の条件で割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。
割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。
割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。
イニシャルリセット時、F8TUxは不定となりますので、必ずソフトウェアでリセットしてください。

R8TU0: **タイマ**0 IDMA**リクエスト**
(D2/0x40292<16bit**タイマ**5, 8bit**タイマ**, **シリアル**I/F Ch.0 IDMA**リクエストレジスタ**>)
R8TU1: **タイマ**1 IDMA**リクエスト**
(D3/0x40292<16bit**タイマ**5, 8bit**タイマ**, **シリアル**I/F Ch.0 IDMA**リクエストレジスタ**>)
R8TU2: **タイマ**2 IDMA**リクエスト**
(D4/0x40292<16bit**タイマ**5, 8bit**タイマ**, **シリアル**I/F Ch.0 IDMA**リクエストレジスタ**>)
R8TU3: **タイマ**3 IDMA**リクエスト**
(D5/0x40292<16bit**タイマ**5, 8bit**タイマ**, **シリアル**I/F Ch.0 IDMA**リクエストレジスタ**>)

割り込み要因発生時にIDMAを起動するかどうか設定します。

• セットオンリー方式(デフォルト)
"1"書き込み: IDMA要求
"0"書き込み: 無効
読み出し: 可能

• リード/ライト方式
"1"書き込み: IDMA要求
"0"書き込み: 割り込み要求
読み出し: 可能

R8TUxは8ビットタイマのIDMAリクエストビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。
IDMAについては"IDMA(インテリジェントDMA)"を参照してください。
イニシャルリセット時、R8TUxはそれぞれ"0"(割り込み要求)に設定されます。

DE8TU0: **タイマ**0 IDMA**イネーブル**
(D2/0x40296<16bit**タイマ**5, 8bit**タイマ**, **シリアル**I/F Ch.0 IDMA**イネーブルレジスタ**>)
DE8TU1: **タイマ**1 IDMA**イネーブル**
(D3/0x40296<16bit**タイマ**5, 8bit**タイマ**, **シリアル**I/F Ch.0 IDMA**イネーブルレジスタ**>)
DE8TU2: **タイマ**2 IDMA**イネーブル**
(D4/0x40296<16bit**タイマ**5, 8bit**タイマ**, **シリアル**I/F Ch.0 IDMA**イネーブルレジスタ**>)
DE8TU3: **タイマ**3 IDMA**イネーブル**
(D5/0x40296<16bit**タイマ**5, 8bit**タイマ**, **シリアル**I/F Ch.0 IDMA**イネーブルレジスタ**>)

割り込み要因によるIDMA転送を許可または禁止します。

• セットオンリー方式(デフォルト)
"1"書き込み: IDMA許可
"0"書き込み: 無効
読み出し: 可能

• リード/ライト方式
"1"書き込み: IDMA許可
"0"書き込み: IDMA禁止
読み出し: 可能

DE8TUxは8ビットタイマのIDMAイネーブルビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。
イニシャルリセット時、DE8TUxはそれぞれ"0"(IDMA禁止)に設定されます。

プログラミング上の注意事項

(1) 8ビットプログラマブルタイマの動作はプリスケーラが動作していることが条件です。

(2) 8ビットプログラマブルタイマの入力クロックにCPU動作クロックよりも高速なクロックは使用しないでください。

(3) 入力クロックの設定は、8ビットプログラマブルタイマが停止中に行ってください。

(4) イニシャルリセット後、アンダーフロー割り込みおよびタイマ出力は不定のため、割り込み要因フラグをリセットする前あるいはタイマ出力をONする前に8ビットプログラマブルタイマの初期値をプリセットしてください。ただし、タイマ出力がOFFの場合、タイマ出力は"0"に固定されます。

(5) イニシャルリセット後、割り込み要因フラグ(F8TUx)は不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。

(6) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグ(F8TUx)をリセットしてください。

このページはブランクです。

III-4 16ビットプログラマブルタイマ

16ビットプログラマブルタイマの構成

C33周辺回路ブロックは16ビットのプログラマブルタイマを6系統(タイマ0～タイマ5)内蔵しています。各タイマは、入力ポート端子を使用したイベントカウンタ機能も合わせ持っています。

注: 以降、6系統のタイマの名称をタイマxとして説明します(x = 0～5)。16ビットプログラマブルタイマ0～5の機能および制御レジスタの構成は同一です。制御ビット名にはタイマ番号を示す"0"～"5"が付きますが、説明は全タイマに共通なため、必要な部分以外はタイマ番号を"x"に置き換えて記述します。

図4.1に16ビットプログラマブルタイマの1チャネルの構成を示します。

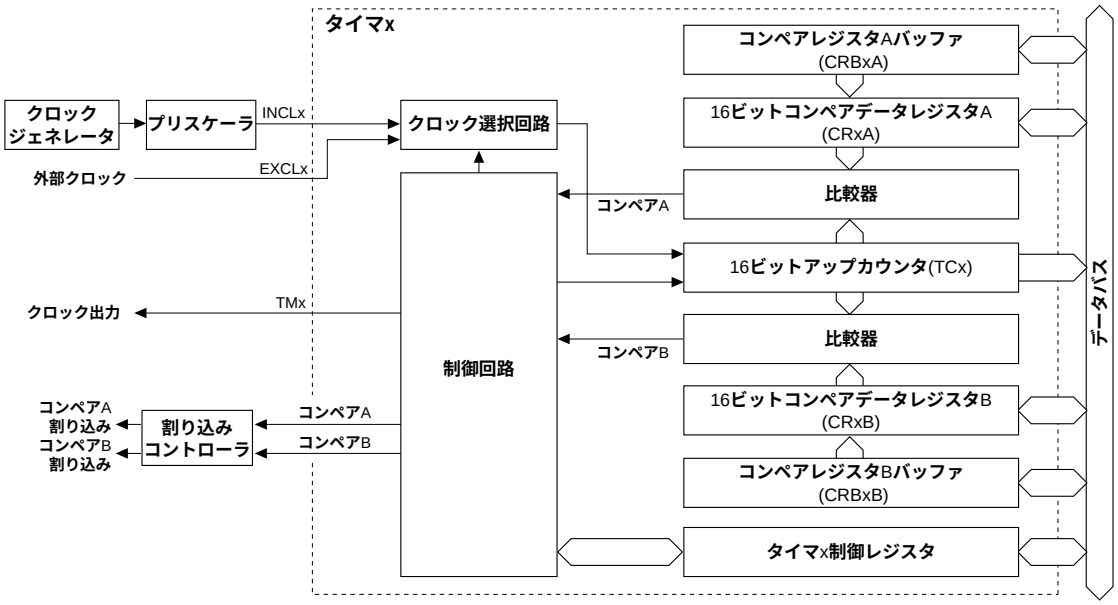


図4.1 16ビットプログラマブルタイマの構成

各タイマには、16ビットのアップカウンタと、2つの16ビットコンペアデータレジスタ(CRxA、CRxB)とそのバッファ(CRBxA、CRBxB)が設けられています。
16ビットカウンタはソフトウェアで"0"にリセット可能で、プリスケーラの出力クロックまたは入出力兼用ポート端子からの外部信号でカウントアップを行います。カウント値はソフトウェアで読み出すことができます。
コンペアデータレジスタAおよびBはアップカウンタの内容と比較するためのデータを格納するレジスタです。コンペアデータレジスタは、直接データの書き込み/読み出しが可能です。また、コンペアレジスタバッファを使用すると、カウンタがソフトウェア(PRESETxビットへの"1"書き込み)またはコンペアBマッチ信号によってリセットされた時点で設定した比較値をコンペアデータレジスタにロードすることができます。比較値をコンペアデータレジスタとバッファのどちらに書き込むかについては、ソフトウェアで設定可能です。
カウンタ値が各コンペアデータレジスタの内容に一致すると比較器によって信号が出力され、割り込みや出力信号を制御します。したがって、これらのレジスタにより割り込みの発生周期や出力クロックの周波数とデューティ比をプログラマブルに設定することができます。

16ビットプログラマブルタイマの入出力端子

表4.1に16ビットプログラマブルタイマで使用する入出力端子を示します。

表4.1 16ビットプログラマブルタイマの入出力端子

端子名	I/O	機　　能	機能選択ビット
P10/EXCL0/ T8UF0/DST0	I/O	入出力兼用ポート/16ビットタイマ0イベントカウンタ入力(I)/ 8ビットタイマ0出力(O)/DST0出力(Ex)	CFP10(P1機能選択レジスタ0x402D4•D0) CFEX1(ポート機能拡張レジスタ0x402DF•D1)
P11/EXCL1/ T8UF1/DST1	I/O	入出力兼用ポート/16ビットタイマ1イベントカウンタ入力(I)/ 8ビットタイマ1出力(O)/DST1出力(Ex)	CFP11(P1機能選択レジスタ0x402D4•D1) CFEX1(ポート機能拡張レジスタ0x402DF•D1)
P12/EXCL2/ T8UF2/DST2	I/O	入出力兼用ポート/16ビットタイマ2イベントカウンタ入力(I)/ 8ビットタイマ2出力(O)/DST2出力(Ex)	CFP12(P1機能選択レジスタ0x402D4•D2) CFEX0(ポート機能拡張レジスタ0x402DF•D0)
P13/EXCL3/ T8UF3/DPCO	I/O	入出力兼用ポート/16ビットタイマ3イベントカウンタ入力(I)/ 8ビットタイマ3出力(O)/DPCO出力(Ex)	CFP13(P1機能選択レジスタ0x402D4•D3) CFEX1(ポート機能拡張レジスタ0x402DF•D1)
P15/EXCL4 /#DMAEND0	I/O	入出力兼用ポート/16ビットタイマ4イベントカウンタ入力(I)/ 高速DMA Ch.0終了信号出力(O)	CFP15(P1機能選択レジスタ0x402D4•D5)
P16/EXCL5 /#DMAEND1	I/O	入出力兼用ポート/16ビットタイマ5イベントカウンタ入力(I)/ 高速DMA Ch.1終了信号出力(O)	CFP16(P1機能選択レジスタ0x402D4•D6)
P22/TM0	I/O	入出力兼用ポート/16ビットタイマ0出力	CFP22(P2機能選択レジスタ0x402D8•D2)
P23/TM1	I/O	入出力兼用ポート/16ビットタイマ1出力	CFP23(P2機能選択レジスタ0x402D8•D3)
P24/TM2	I/O	入出力兼用ポート/16ビットタイマ2出力	CFP24(P2機能選択レジスタ0x402D8•D4)
P25/TM3	I/O	入出力兼用ポート/16ビットタイマ3出力	CFP25(P2機能選択レジスタ0x402D8•D5)
P26/TM4	I/O	入出力兼用ポート/16ビットタイマ4出力	CFP26(P2機能選択レジスタ0x402D8•D6)
P27/TM5	I/O	入出力兼用ポート/16ビットタイマ5出力	CFP27(P2機能選択レジスタ0x402D8•D7)

(I): **入力モード**, (O): **出力モード**, (Ex): **拡張機能**

■ TMx (16ビットプログラマブルタイマ出力端子)

タイマxで生成したクロックを出力します。

■ EXCLx (イベントカウンタ入力端子)

タイマxをイベントカウンタとして使用する場合に、外部からのカウントパルスを入力します。

■ 16ビットプログラマブルタイマ入出力端子の設定方法

16ビットプログラマブルタイマで使用するクロック出力端子はすべて入出力兼用ポート端子と共用されています。
コールドスタート時は入出力兼用ポート端子P2x(機能選択ビットCFP2x = "0")として設定され、ハイインピーダンスとなります。16ビットプログラマブルタイマのクロック出力機能を使用する場合は使用するタイマに合わせ、対応する端子の機能選択レジスタCFP2xに"1"を書き込んでください。
ホットスタート時は、リセット前の状態を保持します。

イベントカウンタ入力端子はすべて入出力兼用ポート端子と共用されています。
コールドスタート時はすべてデバッグ用信号出力(ポート機能拡張ビットCFEX[1:0] = "1")として設定されます。イベントカウンタ機能を使用する場合は、使用するタイマに合わせ、対応する端子の機能選択ビットCFP1xに"1"を、ポート機能拡張ビットCFEX[1:0]に"0"を書き込んでください。
なお、これらの端子は8ビットプログラマブルタイマ等の出力端子とも兼用で、入出力端子が入力モードの場合にイベントカウンタ入力となります。このため、入出力兼用ポートP1 I/O制御レジスタ(0x402D6)のIOC1x(D[6:0])を"0"に設定しておくことが必要です。コールドスタート時は入力モードに設定され、ホットスタート時は、リセット前の状態を保持します。

16ビットプログラマブルタイマの用途

16ビットプログラマブルタイマのアップカウンタは、ソフトウェアで設定したコンペアデータにより周期的にコンペアマッチ信号を出力します。これらの信号はCPUへの割り込み要求や、内蔵周辺回路の制御に使用されます。また、これらの信号から生成したクロックをIC外部に出力することもできます。

■ CPUへの割り込み要求/IDMA起動要求

各タイマのコンペアマッチ(カウンタとコンペアデータの一致)を割り込み要因として、CPUに対して割り込み要求を出力可能です。ソフトウェアで設定した周期で割り込みを発生させることができます。

また、この割り込み要因によってIDMAまたはHSDMAを起動することも可能です。

■ IC外部へのクロック出力

コンペアマッチ信号により生成したクロックをIC外部に出力することができます。コンペアB信号でクロックの周期が決まり、コンペアA信号でデューティ比が決まります。これを外部デバイスの制御などに使用することができます。各タイマの出力端子は前節に示したとおりです。

■ A/D変換開始トリガ

A/D変換器は、A/D変換を開始するトリガ方式を4種類から選択できるようになっています。その1つが、16ビットプログラマブルタイマ0のコンペアB信号によるものです。これにより、プログラマブルな周期でA/D変換を行うことができます。

この機能を使用するには、A/Dトリガレジスタ(0x40242)のTS[1:0](D[4:3])に"01"を書き込み、トリガに16ビットプログラマブルタイマ0を選択します。

■ ウォッチドッグタイマ

16ビットプログラマブルタイマ0は、CPUの暴走を監視するウォッチドッグタイマとして使用することができます。この場合、タイマ0のコンペアB信号はCPUに対するNMI要求信号となります。

この機能を使用するには、ウォッチドッグタイマイネーブルレジスタ(0x40171)のEWD(D1)に"1"を書き込み、NMIを有効に設定します。ウォッチドッグタイマの制御については、"ウォッチドッグタイマ"を参照してください。

16ビットプログラマブルタイマの制御と動作

16ビットプログラマブルタイマを使用する場合は、カウントを開始させる前に以下の設定が必要です。
1. 入力・出力端子の設定(必要な場合のみ)
2. 入力クロックの設定
3. コンペアデータレジスタ/バッファの選択
4. クロック出力条件の設定(信号極性、ファインモード)
5. コンペアデータの設定
6. 割り込み/DMAの設定

クロック出力条件、割り込み/DMAの設定については"クロック出力の制御"、"16ビットプログラマブルタイマ割り込みとDMA"を参照してください。

■ 入力・出力端子の設定

出力端子の設定は、16ビットプログラマブルタイマの出力クロックをIC外部に出力させる場合に必要です。入力端子の設定は、16ビットプログラマブルタイマを外部クロックをカウントするイベントカウンタとして使用する場合に必要です。
設定方法は"16ビットプログラマブルタイマの入出力端子"を参照してください。

■ 入力クロックの設定

各タイマのカウントクロックには内部クロックと外部クロックが選択できます。
選択は以下の制御ビットで行います。
タイマ0入力クロック選択: CKSL0(16bitタイマ0制御レジスタ0x48186•D3)
タイマ1入力クロック選択: CKSL1(16bitタイマ1制御レジスタ0x4818E•D3)
タイマ2入力クロック選択: CKSL2(16bitタイマ2制御レジスタ0x48196•D3)
タイマ3入力クロック選択: CKSL3(16bitタイマ3制御レジスタ0x4819E•D3)
タイマ4入力クロック選択: CKSL4(16bitタイマ4制御レジスタ0x481A6•D3)
タイマ5入力クロック選択: CKSL5(16bitタイマ5制御レジスタ0x481AE•D3)

CKSLxに"1"を書き込むと外部クロック、"0"を書き込むと内部クロックが選択されます。
イニシャルリセット時は内部クロックに設定されます。
外部クロックは、入力端子を設定したタイマで使用可能です。

- **内部クロック**
  内部クロックを選択すると、そのタイマはプリスケーラの出力クロックにより動作します。プリスケーラの分周比は、タイマごとに選択可能です。

表4.2 内部クロックの制御

タイマ	制御レジスタ	分周比選択ビット	クロック制御ビット
タイマ0	16bitタイマ0クロックコントロールレジスタ(0x40147)	P16TS0[2:0] (D2:0])	P16TON0 (D3)
タイマ1	16bitタイマ1クロックコントロールレジスタ(0x40148)	P16TS1[2:0] (D2:0])	P16TON1 (D3)
タイマ2	16bitタイマ2クロックコントロールレジスタ(0x40149)	P16TS2[2:0] (D2:0])	P16TON2 (D3)
タイマ3	16bitタイマ3クロックコントロールレジスタ(0x4014A)	P16TS3[2:0] (D2:0])	P16TON3 (D3)
タイマ4	16bitタイマ4クロックコントロールレジスタ(0x4014B)	P16TS4[2:0] (D2:0])	P16TON4 (D3)
タイマ5	16bitタイマ5クロックコントロールレジスタ(0x4014C)	P16TS5[2:0] (D2:0])	P16TON5 (D3)

分周比は表4.3に示す8種類から選択できます。

表4.3 入力クロックの選択

P16TS = 7	P16TS = 6	P16TS = 5	P16TS = 4	P16TS = 3	P16TS = 2	P16TS = 1	P16TS = 0
fPSCIN/4096	fPSCIN/1024	fPSCIN/256	fPSCIN/64	fPSCIN/16	fPSCIN/4	fPSCIN/2	fPSCIN/1

fPSCIN: **プリスケーラ入力クロック周波数**

選択したクロックはP16TONxに"1"を書き込むことにより、プリスケーラから16ビットプログラマブルタイマに出力されます。

注:
- **内部クロックを使用する場合、16ビットプログラマブルタイマの動作はプリスケーラが動作していることが条件です。("プリスケーラ"参照)**
- **入力クロックの設定は、16ビットプログラマブルタイマが停止中に行ってください。**

・ **外部クロック**
外部よりパルスを入力し、イベントカウンタとして使用する場合、イベント周期はCPU動作クロックの2倍以上としてください。

■ コンペアデータレジスタ/バッファの選択

コンペアデータレジスタAおよびBはアップカウンタの内容と比較するためのデータを格納するレジスタで、直接データの書き込み/読み出しが可能です。また、コンペアレジスタバッファを使用すると、カウンタがソフトウェア(PRESETxビットへの"1"書き込み)またはコンペアBマッチ信号によってリセットされた時点で設定した比較値をコンペアデータレジスタにロードすることができます。比較値をコンペアデータレジスタとバッファのどちらに書き込むかについて、以下の制御ビットで設定します。
タイマ0コンペアレジスタバッファイネーブル: SELCRB0 (16bitタイマ0制御レジスタ0x48186•D5)
タイマ1コンペアレジスタバッファイネーブル: SELCRB1 (16bitタイマ1制御レジスタ0x4818E•D5)
タイマ2コンペアレジスタバッファイネーブル: SELCRB2 (16bitタイマ2制御レジスタ0x48196•D5)
タイマ3コンペアレジスタバッファイネーブル: SELCRB3 (16bitタイマ3制御レジスタ0x4819E•D5)
タイマ4コンペアレジスタバッファイネーブル: SELCRB4 (16bitタイマ4制御レジスタ0x481A6•D5)
タイマ5コンペアレジスタバッファイネーブル: SELCRB5 (16bitタイマ5制御レジスタ0x481AE•D5)

SELCRBxに"1"を書き込むとコンペアレジスタバッファ、"0"を書き込むとコンペアデータレジスタが選択されます。
イニシャルリセット時は、コンペアデータレジスタが選択されます。

■ コンペアデータの設定

プログラマブルタイマにはデータの比較器が内蔵されており、カウントデータを任意の値と比較することができます。この値は以下のレジスタで設定します。
タイマ0コンペアデータA: CR0A[15:0](16bitタイマ0コンペアデータA設定レジスタ0x48180•D[F:0])
タイマ0コンペアデータB: CR0B[15:0](16bitタイマ0コンペアデータB設定レジスタ0x48182•D[F:0])
タイマ1コンペアデータA: CR1A[15:0](16bitタイマ1コンペアデータA設定レジスタ0x48188•D[F:0])
タイマ1コンペアデータB: CR1B[15:0](16bitタイマ1コンペアデータB設定レジスタ0x4818A•D[F:0])
タイマ2コンペアデータA: CR2A[15:0](16bitタイマ2コンペアデータA設定レジスタ0x48190•D[F:0])
タイマ2コンペアデータB: CR2B[15:0](16bitタイマ2コンペアデータB設定レジスタ0x48192•D[F:0])
タイマ3コンペアデータA: CR3A[15:0](16bitタイマ3コンペアデータA設定レジスタ0x48198•D[F:0])
タイマ3コンペアデータB: CR3B[15:0](16bitタイマ3コンペアデータB設定レジスタ0x4819A•D[F:0])
タイマ4コンペアデータA: CR4A[15:0](16bitタイマ4コンペアデータA設定レジスタ0x481A0•D[F:0])
タイマ4コンペアデータB: CR4B[15:0](16bitタイマ4コンペアデータB設定レジスタ0x481A2•D[F:0])
タイマ5コンペアデータA: CR5A[15:0](16bitタイマ5コンペアデータA設定レジスタ0x481A8•D[F:0])
タイマ5コンペアデータB: CR5B[15:0](16bitタイマ5コンペアデータB設定レジスタ0x481AA•D[F:0])

SELCRBxが"0"に設定されている場合、これらのレジスタによりコンペアデータレジスタが直接読み出し/書き込み可能です。
SELCRBxが"1"に設定されている場合、これらのレジスタへのデータ書き込み/読み出しはコンペアレジスタバッファに対して行われます。バッファの内容はカウンタがリセットされた時点でコンペアデータレジスタにロードされます。
イニシャルリセット時、コンペアデータレジスタ/バッファは初期化されません。

プログラマブルタイマはコンペアデータレジスタとカウントデータを比較し、同じ値になったところでコンペアマッチ信号を発生します。このコンペアマッチ信号は割り込みを発生するとともに外部へのクロック(TMx信号)出力を制御します。
コンペアデータBはカウンタのリセット周期も決定します。

■ カウンタのリセット

各タイマのアップカウンタは、PRESETxビットによってリセットできます。
タイマ0リセット: PRESET0(16bitタイマ0制御レジスタ0x48186•D1)
タイマ1リセット: PRESET1(16bitタイマ1制御レジスタ0x4818E•D1)
タイマ2リセット: PRESET2(16bitタイマ2制御レジスタ0x48196•D1)
タイマ3リセット: PRESET3(16bitタイマ3制御レジスタ0x4819E•D1)
タイマ4リセット: PRESET4(16bitタイマ4制御レジスタ0x481A6•D1)
タイマ5リセット: PRESET5(16bitタイマ5制御レジスタ0x481AE•D1)

通常は、カウントアップを開始する前に、このビットに"1"を書き込みカウンタをリセットします。カウント開始後は、カウンタがコンペアデータBに一致するとハードウェアによってリセットされます。

■ タイマのRUN/STOP制御

各タイマにはそれぞれ、RUN/STOPを制御するビットPRUNxが設けられています。
タイマ0 RUN/STOP制御: PRUN0(16bitタイマ0制御レジスタ0x48186•D0)
タイマ1 RUN/STOP制御: PRUN1(16bitタイマ1制御レジスタ0x4818E•D0)
タイマ2 RUN/STOP制御: PRUN2(16bitタイマ2制御レジスタ0x48196•D0)
タイマ3 RUN/STOP制御: PRUN3(16bitタイマ3制御レジスタ0x4819E•D0)
タイマ4 RUN/STOP制御: PRUN4(16bitタイマ4制御レジスタ0x481A6•D0)
タイマ5 RUN/STOP制御: PRUN5(16bitタイマ5制御レジスタ0x481AE•D0)

タイマはPRUNxに"1"を書き込むことによってカウントを開始します。PRUNxに"0"を書き込むとクロックの入力が禁止され、カウントは停止します。
このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。
カウント中にカウンタがコンペアデータレジスタAの設定値と一致すると、コンペアA割り込みを発生します。
また、カウンタがコンペアデータレジスタBの設定値と一致すると、コンペアB割り込みが発生するとともに、カウンタをリセットします。SELCRBxが"1"に設定されている場合は、コンペアレジスタバッファに設定してある値がコンペアデータレジスタにロードされます。
どちらの割り込みが発生した場合もカウント動作はそのまま継続します。コンペアB割り込みの場合はカウンタ値"0"からのカウントとなります。
RUN/STOP制御ビット(PRUNx)とタイマリセットビット(PRESETx)に同時に"1"を書き込んだ場合、タイマはカウンタをリセット後にカウントを開始します。

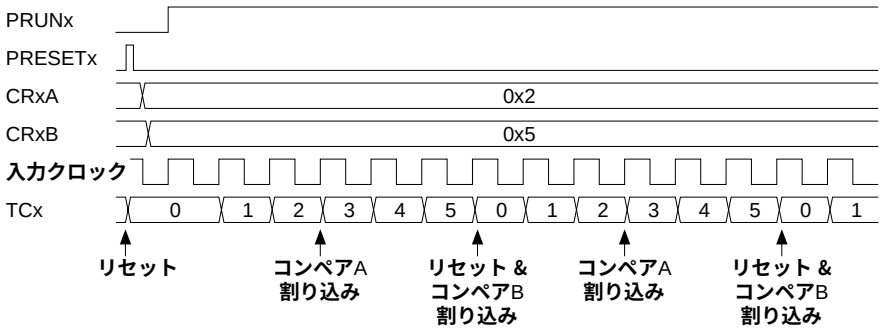


図4.2 カウンタの基本動作タイミング

■ カウンタデータの読み出し

カウンタデータはそれぞれ以下のアドレスから任意のタイミングで読み出しが可能です。
タイマ0カウンタデータ: TC0[15:0](16bitタイマ0カウンタデータレジスタ0x48184)
タイマ1カウンタデータ: TC1[15:0](16bitタイマ1カウンタデータレジスタ0x4818C)
タイマ2カウンタデータ: TC2[15:0](16bitタイマ2カウンタデータレジスタ0x48194)
タイマ3カウンタデータ: TC3[15:0](16bitタイマ3カウンタデータレジスタ0x4819C)
タイマ4カウンタデータ: TC4[15:0](16bitタイマ4カウンタデータレジスタ0x481A4)
タイマ5カウンタデータ: TC5[15:0](16bitタイマ5カウンタデータレジスタ0x481AC)

クロック出力の制御

各タイマは、コンペアマッチ信号によってTMx信号を発生させることができます。

■ 出力信号の極性選択

デフォルトでは、アクティブHigh(ノーマルLow)の出力信号が生成されます。この論理をOUTINVxビットで反転させることができます。OUTINVxに"1"を書き込むと、タイマはアクティブLow(ノーマルHigh)の信号を生成します。

タイマ0出力反転: OUTINV0(16bitタイマ0制御レジスタ0x48186•D4)
タイマ1出力反転: OUTINV1(16bitタイマ1制御レジスタ0x4818E•D4)
タイマ2出力反転: OUTINV2(16bitタイマ2制御レジスタ0x48196•D4)
タイマ3出力反転: OUTINV3(16bitタイマ3制御レジスタ0x4819E•D4)
タイマ4出力反転: OUTINV4(16bitタイマ4制御レジスタ0x481A6•D4)
タイマ5出力反転: OUTINV5(16bitタイマ5制御レジスタ0x481AE•D4)

出力波形については図4.3を参照してください。

■ 出力端子の設定

ここで発生したTMx信号は、クロック出力端子(表4.1参照)から出力させることができ、外部デバイス等に対してプログラマブルなクロックを供給することができます。
コールドスタート時、出力に使用する端子は入出力兼用ポート用に設定され、入力モードとなります。このときの端子の状態はハイインピーダンスとなります。
端子機能をタイマ出力に切り換えると、OUTINVxが"0"の場合は端子がLowレベル、OUTINVxが"1"の場合はHighレベルになります。

■ クロック出力の開始

TMxクロックを出力するには、クロック出力制御ビットPTMxに"1"を書き込みます。PTMxに"0"を書き込むと、出力はOUTINVxの設定に従ったOFFレベル(OUTINVx = "0": Low、OUTINVx = "1": High)となります。

タイマ0クロック出力制御: PTM0(16bitタイマ0制御レジスタ0x48186•D2)
タイマ1クロック出力制御: PTM1(16bitタイマ1制御レジスタ0x4818E•D2)
タイマ2クロック出力制御: PTM2(16bitタイマ2制御レジスタ0x48196•D2)
タイマ3クロック出力制御: PTM3(16bitタイマ3制御レジスタ0x4819E•D2)
タイマ4クロック出力制御: PTM4(16bitタイマ4制御レジスタ0x481A6•D2)
タイマ5クロック出力制御: PTM5(16bitタイマ5制御レジスタ0x481AE•D2)

図4.3に出力波形を示します。

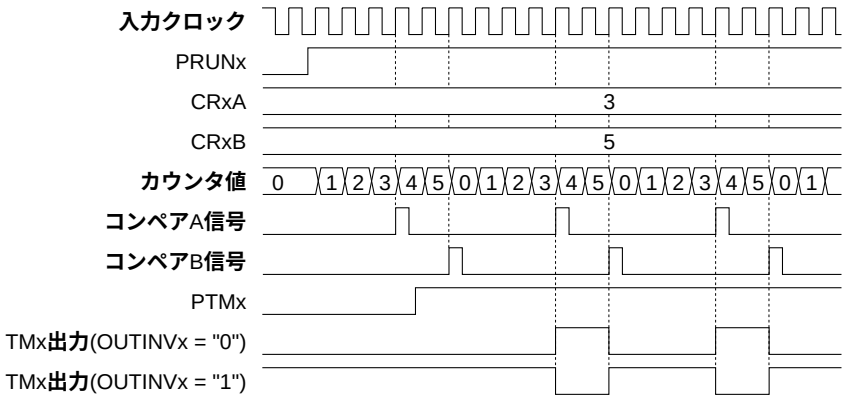


図4.3 16ビットプログラマブルタイマの出力波形

OUTINVx = "0" (アクティブHigh)の場合
タイマは、カウンタがCRxAレジスタに設定したコンペアデータAに一致するまでLowレベルを出力します。カウンタがコンペアデータAの次の値になると、出力端子はHighレベルとなりコンペアA割り込みが発生します。その後、カウンタがCRxBレジスタに設定したコンペアデータBまでカウントアップされると、カウンタがリセットされ、出力端子はLowレベルに戻ります。同時にコンペアB割り込みも発生します。

OUTINVx = "1" (アクティブLow)の場合
タイマは、カウンタがCRxAレジスタに設定したコンペアデータAに一致するまでHighレベルを出力します。カウンタがコンペアデータAの次の値になると、出力端子はLowレベルとなりコンペアA割り込みが発生します。その後、カウンタがCRxBレジスタに設定したコンペアデータBまでカウントアップされると、カウンタがリセットされ、出力端子はHighレベルに戻ります。同時にコンペアB割り込みも発生します。

■ クロック出力ファインモードの設定

デフォルト(イニシャルリセット時)では、CRxA[15:0]とTCx[15:0]が一致した場合、入力クロックの立ち上がりでクロック出力が変化します。
ファインモードのクロック出力は、CRxA[15:1]とTCx[14:0]が一致した場合に、CRxA[0]の値に従って変化します。
CRxA[0]が"0"の場合: 入力クロックの立ち上がりで変化
CRxA[0]が"1"の場合: 半周期遅れの入力クロックの立ち下がりで変化

例) CRxA = 3, CRxB = 5

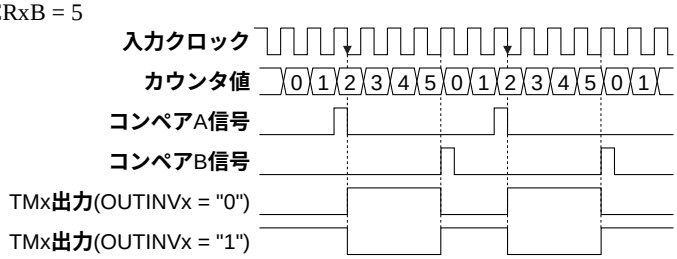


図4.4 ファインモードのクロック出力

このように、ファインモードでは入力クロックの半周期きざみで出力デューティを調節することができます。ただし、CRxA = 0の場合は、入力クロックの1周期幅のパルスが出力されます(デフォルトの場合と同様)。ファインモードでのCRxB最大値は2^{15} - 1 = 32,767、CRxAの設定範囲は0～(2 × CRxB - 1)となります。

ファインモードは以下のレジスタで設定します。
タイマ0ファインモード選択: SELFM0(16bitタイマ0制御レジスタ0x48186•D6)
タイマ1ファインモード選択: SELFM1(16bitタイマ1制御レジスタ0x4818E•D6)
タイマ2ファインモード選択: SELFM2(16bitタイマ2制御レジスタ0x48196•D6)
タイマ3ファインモード選択: SELFM3(16bitタイマ3制御レジスタ0x4819E•D6)
タイマ4ファインモード選択: SELFM4(16bitタイマ4制御レジスタ0x481A6•D6)
タイマ5ファインモード選択: SELFM5(16bitタイマ5制御レジスタ0x481AE•D6)

SELFMxに"1"を書き込むと、ファインモードが設定されます。イニシャルリセット時はファインモードがディセーブル状態となります。

■ 注意事項

1) コンペアデータレジスタAとBに同じ値を設定すると、ハザードパルスが出力されることがあります。タイマ出力を使用する場合は、コンペアデータAとBを同じ値には設定しないでください。割り込み機能のみを使用する場合は、A = Bでも問題ありません。割り込みは正常に発生します。

2) タイマ出力を使用する場合、コンペアデータはA≧0、B≧1を設定してください。最小設定はA = 0、B = 1で、タイマ出力サイクルは入力クロックの1/2となります。

3) コンペアデータをA > Bに設定すると、コンペアマッチA信号は発生しません。この場合、タイマ出力はOFFレベルに固定されます。

16ビットプログラマブルタイマ割り込みとDMA

16ビットプログラマブルタイマには、各タイマのコンペアマッチAとBによって割り込みを発生させる機能があります。割り込みの発生タイミングは、図4.2に示したとおりです。

■ 割り込みコントローラの制御レジスタ

各タイマごとに用意されている割り込みコントローラの制御レジスタを、表4.4に示します。

表4.4 割り込みコントローラの制御レジスタ

割り込み要因	割り込み要因フラグ	割り込み イネーブルレジスタ	割り込み プライオリティレジスタ
タイマ0コンペアA	F16TC0 (D3/0x40282)	E16TC0 (D3/0x40272)	P16T0[2:0] (D[2:0]/0x40266)
タイマ0コンペアB	F16TU0 (D2/0x40282)	E16TU0 (D2/0x40272)	
タイマ1コンペアA	F16TC1 (D7/0x40282)	E16TC1 (D7/0x40272)	P16T1[2:0] (D[6:4]/0x40266)
タイマ1コンペアB	F16TU1 (D6/0x40282)	E16TU1 (D6/0x40272)	
タイマ2コンペアA	F16TC2 (D3/0x40283)	E16TC2 (D3/0x40273)	P16T2[2:0] (D[2:0]/0x40267)
タイマ2コンペアB	F16TU2 (D2/0x40283)	E16TU2 (D2/0x40273)	
タイマ3コンペアA	F16TC3 (D7/0x40283)	E16TC3 (D7/0x40273)	P16T3[2:0] (D[6:4]/0x40267)
タイマ3コンペアB	F16TU3 (D6/0x40283)	E16TU3 (D6/0x40273)	
タイマ4コンペアA	F16TC4 (D3/0x40284)	E16TC4 (D3/0x40274)	P16T4[2:0] (D[2:0]/0x40268)
タイマ4コンペアB	F16TU4 (D2/0x40284)	E16TU4 (D2/0x40274)	
タイマ5コンペアA	F16TC5 (D7/0x40284)	E16TC5 (D7/0x40274)	P16T5[2:0] (D[6:4]/0x40268)
タイマ5コンペアB	F16TU5 (D6/0x40284)	E16TU5 (D6/0x40274)	

タイマにコンペアマッチが発生すると、対応する割り込み要因フラグが"1"にセットされます。
その割り込み要因フラグに対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。
割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、そのタイマによる割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず("0"に設定されていても)、タイマのコンペアマッチによって"1"にセットされます。
割り込みプライオリティレジスタは、タイマ割り込みの優先レベル(0～7)を設定します。優先順位はタイマ番号の小さい方が高く、また、割り込みの種類としてはコンペアB割り込みがコンペアA割り込みに優先します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。
また、入力割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した入力割り込みのレベルよりも小さな値に設定されている場合に限られます。
これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITC(割り込みコントローラ)"を参照してください。

■ インテリジェントDMA

タイマの割り込み要因は、インテリジェントDMA(IDMA)を起動することができます。これにより、メモリ間のDMA転送を周期的に行うことができます。
各割り込み要因に設定されたIDMAチャネル番号は次のとおりです。

	IDMA Ch.		IDMA Ch.
タイマ0コンペアB:	0x07	タイマ0コンペアA:	0x08
タイマ1コンペアB:	0x09	タイマ1コンペアA:	0x0A
タイマ2コンペアB:	0x0B	タイマ2コンペアA:	0x0C
タイマ3コンペアB:	0x0D	タイマ3コンペアA:	0x0E
タイマ4コンペアB:	0x0F	タイマ4コンペアA:	0x10
タイマ5コンペアB:	0x11	タイマ5コンペアA:	0x12

IDMAを起動させるには、表4.5に示すIDMAリクエストビットとIDMAイネーブルビットに"1"を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。

表4.5 IDMA**転送の制御ビット**

割り込み要因	IDMA**リクエストビット**	IDMA**イネーブルビット**
タイマ0**コンペア**A	R16TC0(D7/0x40290)	DE16TC0(D7/0x40294)
タイマ0**コンペア**B	R16TU0(D6/0x40290)	DE16TU0(D6/0x40294)
タイマ1**コンペア**A	R16TC1(D1/0x40291)	DE16TC1(D1/0x40295)
タイマ1**コンペア**B	R16TU1(D0/0x40291)	DE16TU1(D0/0x40295)
タイマ2**コンペア**A	R16TC2(D3/0x40291)	DE16TC2(D3/0x40295)
タイマ2**コンペア**B	R16TU2(D2/0x40291)	DE16TU2(D2/0x40295)
タイマ3**コンペア**A	R16TC3(D5/0x40291)	DE16TC3(D5/0x40295)
タイマ3**コンペア**B	R16TU3(D4/0x40291)	DE16TU3(D4/0x40295)
タイマ4**コンペア**A	R16TC4(D7/0x40291)	DE16TC4(D7/0x40295)
タイマ4**コンペア**B	R16TU4(D6/0x40291)	DE16TU4(D6/0x40295)
タイマ5**コンペア**A	R16TC5(D1/0x40292)	DE16TC5(D1/0x40296)
タイマ5**コンペア**B	R16TU5(D0/0x40292)	DE16TU5(D0/0x40296)

IDMAリクエストビットおよびIDMAイネーブルビットが"1"に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はDMA転送終了後に発生します。また、DMA転送のみを行い、割り込みは発生しないように設定することもできます。
IDMA転送と転送終了後の割り込み制御については、"IDMA(インテリジェントDMA)"を参照してください。

■ 高速DMA

各タイマの割り込み要因は、高速DMA(HSDMA)を起動することもできます。
各タイマに対応するHSDMAチャネル番号とトリガ設定ビットを以下に示します。

表4.6 HSDMA**トリガ設定ビット**

割り込み要因	HSDMA Ch.	**トリガ設定ビット**
タイマ0**コンペア**A	0	HSD0S[3:0] (HSDMA Ch.0/1**トリガ設定レジスタ**0x40298•D[3:0]) = "0111"
タイマ0**コンペア**B	0	HSD0S[3:0] (HSDMA Ch.0/1**トリガ設定レジスタ**0x40298•D[3:0]) = "0110"
タイマ1**コンペア**A	1	HSD1S[3:0] (HSDMA Ch.0/1**トリガ設定レジスタ**0x40298•D[7:4]) = "0111"
タイマ1**コンペア**B	1	HSD1S[3:0] (HSDMA Ch.0/1**トリガ設定レジスタ**0x40298•D[7:4]) = "0110"
タイマ2**コンペア**A	2	HSD2S[3:0] (HSDMA Ch.2/3**トリガ設定レジスタ**0x40299•D[3:0]) = "0111"
タイマ2**コンペア**B	2	HSD2S[3:0] (HSDMA Ch.2/3**トリガ設定レジスタ**0x40299•D[3:0]) = "0110"
タイマ3**コンペア**A	3	HSD3S[3:0] (HSDMA Ch.2/3**トリガ設定レジスタ**0x40299•D[7:4]) = "0111"
タイマ3**コンペア**B	3	HSD3S[3:0] (HSDMA Ch.2/3**トリガ設定レジスタ**0x40299•D[7:4]) = "0110"
タイマ4**コンペア**A	0	HSD0S[3:0] (HSDMA Ch.0/1**トリガ設定レジスタ**0x40298•D[3:0]) = "1001"
	2	HSD2S[3:0] (HSDMA Ch.2/3**トリガ設定レジスタ**0x40299•D[3:0]) = "1001"
タイマ4**コンペア**B	0	HSD0S[3:0] (HSDMA Ch.0/1**トリガ設定レジスタ**0x40298•D[3:0]) = "1000"
	2	HSD2S[3:0] (HSDMA Ch.2/3**トリガ設定レジスタ**0x40299•D[3:0]) = "1000"
タイマ5**コンペア**A	1	HSD1S[3:0] (HSDMA Ch.0/1**トリガ設定レジスタ**0x40298•D[7:4]) = "1001"
	3	HSD3S[3:0] (HSDMA Ch.2/3**トリガ設定レジスタ**0x40299•D[7:4]) = "1001"
タイマ5**コンペア**B	1	HSD1S[3:0] (HSDMA Ch.0/1**トリガ設定レジスタ**0x40298•D[7:4]) = "1000"
	3	HSD3S[3:0] (HSDMA Ch.2/3**トリガ設定レジスタ**0x40299•D[7:4]) = "1000"

HSDMAを起動させるには、トリガ設定ビットで割り込み要因を選択しておきます。また、HSDMA側の転送条件等の設定も必要です。
HSDMAのトリガ要因に16ビットタイマを選択すると、その割り込み要因の発生でHSDMAが起動します。
HSDMAの詳細については、"HSDMA(高速DMA)"を参照してください。

■ トラップベクタ

各割り込み要因のトラップベクタアドレスは、デフォルトでそれぞれ以下のとおり設定されています。

タイマ0コンペアB割り込み: 0x0C00078
タイマ0コンペアA割り込み: 0x0C0007C
タイマ1コンペアB割り込み: 0x0C00088
タイマ1コンペアA割り込み: 0x0C0008C
タイマ2コンペアB割り込み: 0x0C00098
タイマ2コンペアA割り込み: 0x0C0009C
タイマ3コンペアB割り込み: 0x0C000A8
タイマ3コンペアA割り込み: 0x0C000AC
タイマ4コンペアB割り込み: 0x0C000B8
タイマ4コンペアA割り込み: 0x0C000BC
タイマ5コンペアB割り込み: 0x0C000C8
タイマ5コンペアA割り込み: 0x0C000CC

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134～0x48137)で変更することも可能です。

■ 注意事項

シリアルインタフェース Ch.2, Ch.3は割り込み信号を16ビットタイマと兼用します。どちらを利用するかはレジスタの設定により決定されます。初期設定は、16ビットタイマの使用により設定されています。設定については、"III-8 シリアルインタフェース"を参照してください。

16ビットプログラマブルタイマのI/Oメモリ

表4.7に16ビットプログラマブルタイマの制御ビットを示します。
クロックを設定するプリスケーラのI/Oメモリについては、"プリスケーラ"を参照してください。

表4.7 16ビットプログラマブルタイマの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ0/1 割り込み プライオリティ レジスタ	0040266 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	P16T12	16bitタイマ1	0〜7	X	R/W	
		D5	P16T11	割り込みレベル		X		
		D4	P16T10			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	P16T02	16bitタイマ0	0〜7	X	R/W	
		D1	P16T01	割り込みレベル		X		
		D0	P16T00			X		
16bitタイマ2/3 割り込み プライオリティ レジスタ	0040267 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	P16T32	16bitタイマ3	0〜7	X	R/W	
		D5	P16T31	割り込みレベル		X		
		D4	P16T30			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	P16T22	16bitタイマ2	0〜7	X	R/W	
		D1	P16T21	割り込みレベル		X		
		D0	P16T20			X		
16bitタイマ4/5 割り込み プライオリティ レジスタ	0040268 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	P16T52	16bitタイマ5	0〜7	X	R/W	
		D5	P16T51	割り込みレベル		X		
		D4	P16T50			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	P16T42	16bitタイマ4	0〜7	X	R/W	
		D1	P16T41	割り込みレベル		X		
		D0	P16T40			X		
16bitタイマ0/1 割り込み イネーブル レジスタ	0040272 (B)	D7	E16TC1	16bitタイマ1コンペアA	1 許可 0 禁止	0	R/W	
		D6	E16TU1	16bitタイマ1コンペアB		0	R/W	
		D5-4	–	reserved	–	–	–	読み出し時: 0
		D3	E16TC0	16bitタイマ0コンペアA	1 許可 0 禁止	0	R/W	
		D2	E16TU0	16bitタイマ0コンペアB		0	R/W	
		D1–0	–	reserved	–	–	–	読み出し時: 0
16bitタイマ2/3 割り込み イネーブル レジスタ	0040273 (B)	D7	E16TC3	16bitタイマ3コンペアA	1 許可 0 禁止	0	R/W	
		D6	E16TU3	16bitタイマ3コンペアB		0	R/W	
		D5-4	–	reserved	–	–	–	読み出し時: 0
		D3	E16TC2	16bitタイマ2コンペアA	1 許可 0 禁止	0	R/W	
		D2	E16TU2	16bitタイマ2コンペアB		0	R/W	
		D1–0	–	reserved	–	–	–	読み出し時: 0
16bitタイマ4/5 割り込み イネーブル レジスタ	0040274 (B)	D7	E16TC5	16bitタイマ5コンペアA	1 許可 0 禁止	0	R/W	
		D6	E16TU5	16bitタイマ5コンペアB		0	R/W	
		D5-4	–	reserved	–	–	–	読み出し時: 0
		D3	E16TC4	16bitタイマ4コンペアA	1 許可 0 禁止	0	R/W	
		D2	E16TU4	16bitタイマ4コンペアB		0	R/W	
		D1–0	–	reserved	–	–	–	読み出し時: 0
16bitタイマ0/1 割り込み 要因フラグ レジスタ	0040282 (B)	D7	F16TC1	16bitタイマ1コンペアA	1 要因発生 0 要因なし	X	R/W	
		D6	F16TU1	16bitタイマ1コンペアB		X	R/W	
		D5–4	–	reserved	–	–	–	読み出し時: 0
		D3	F16TC0	16bitタイマ0コンペアA	1 要因発生 0 要因なし	X	R/W	
		D2	F16TU0	16bitタイマ0コンペアB		X	R/W	
		D1–0	–	reserved	–	–	–	読み出し時: 0
16bitタイマ2/3 割り込み 要因フラグ レジスタ	0040283 (B)	D7	F16TC3	16bitタイマ3コンペアA	1 要因発生 0 要因なし	X	R/W	
		D6	F16TU3	16bitタイマ3コンペアB		X	R/W	
		D5–4	–	reserved	–	–	–	読み出し時: 0
		D3	F16TC2	16bitタイマ2コンペアA	1 要因発生 0 要因なし	X	R/W	
		D2	F16TU2	16bitタイマ2コンペアB		X	R/W	
		D1–0	–	reserved	–	–	–	読み出し時: 0
16bitタイマ4/5 割り込み 要因フラグ レジスタ	0040284 (B)	D7	F16TC5	16bitタイマ5コンペアA	1 要因発生 0 要因なし	X	R/W	
		D6	F16TU5	16bitタイマ5コンペアB		X	R/W	
		D5–4	–	reserved	–	–	–	読み出し時: 0
		D3	F16TC4	16bitタイマ4コンペアA	1 要因発生 0 要因なし	X	R/W	
		D2	F16TU4	16bitタイマ4コンペアB		X	R/W	
		D1–0	–	reserved	–	–	–	読み出し時: 0

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定				Init.	R/W	注　　釈
ポート入力0–3, 高速DMA Ch.0/1, 16bitタイマ0 IDMAリクエストレジスタ	0040290 (B)	D7	R16TC0	16bitタイマ0コンペアA	1	IDMA要求	0	割り込み要求	0	R/W	
		D6	R16TU0	16bitタイマ0コンペアB					0	R/W	
		D5	RHDM1	高速DMA Ch.1					0	R/W	
		D4	RHDM0	高速DMA Ch.0					0	R/W	
		D3	RP3	ポート入力3					0	R/W	
		D2	RP2	ポート入力2					0	R/W	
		D1	RP1	ポート入力1					0	R/W	
		D0	RP0	ポート入力0					0	R/W	
16bitタイマ1–4 IDMAリクエストレジスタ	0040291 (B)	D7	R16TC4	16bitタイマ4コンペアA	1	IDMA要求	0	割り込み要求	0	R/W	
		D6	R16TU4	16bitタイマ4コンペアB					0	R/W	
		D5	R16TC3	16bitタイマ3コンペアA					0	R/W	
		D4	R16TU3	16bitタイマ3コンペアB					0	R/W	
		D3	R16TC2	16bitタイマ2コンペアA					0	R/W	
		D2	R16TU2	16bitタイマ2コンペアB					0	R/W	
		D1	R16TC1	16bitタイマ1コンペアA					0	R/W	
		D0	R16TU1	16bitタイマ1コンペアB					0	R/W	
16bitタイマ5, 8bitタイマ, シリアルI/F Ch.0 IDMAリクエストレジスタ	0040292 (B)	D7	RSTX0	SIF Ch.0送信バッファエンプティ	1	IDMA要求	0	割り込み要求	0	R/W	
		D6	RSRX0	SIF Ch.0受信バッファフル					0	R/W	
		D5	R8TU3	8bitタイマ3アンダーフロー					0	R/W	
		D4	R8TU2	8bitタイマ2アンダーフロー					0	R/W	
		D3	R8TU1	8bitタイマ1アンダーフロー					0	R/W	
		D2	R8TU0	8bitタイマ0アンダーフロー					0	R/W	
		D1	R16TC5	16bitタイマ5コンペアA					0	R/W	
		D0	R16TU5	16bitタイマ5コンペアB					0	R/W	
ポート入力0–3, 高速DMA Ch.0/1, 16bitタイマ0 IDMAイネーブルレジスタ	0040294 (B)	D7	DE16TC0	16bitタイマ0コンペアA	1	IDMA許可	0	IDMA禁止	0	R/W	
		D6	DE16TU0	16bitタイマ0コンペアB					0	R/W	
		D5	DEHDM1	高速DMA Ch.1					0	R/W	
		D4	DEHDM0	高速DMA Ch.0					0	R/W	
		D3	DEP3	ポート入力3					0	R/W	
		D2	DEP2	ポート入力2					0	R/W	
		D1	DEP1	ポート入力1					0	R/W	
		D0	DEP0	ポート入力0					0	R/W	
16bitタイマ1–4 IDMAイネーブルレジスタ	0040295 (B)	D7	DE16TC4	16bitタイマ4コンペアA	1	IDMA許可	0	IDMA禁止	0	R/W	
		D6	DE16TU4	16bitタイマ4コンペアB					0	R/W	
		D5	DE16TC3	16bitタイマ3コンペアA					0	R/W	
		D4	DE16TU3	16bitタイマ3コンペアB					0	R/W	
		D3	DE16TC2	16bitタイマ2コンペアA					0	R/W	
		D2	DE16TU2	16bitタイマ2コンペアB					0	R/W	
		D1	DE16TC1	16bitタイマ1コンペアA					0	R/W	
		D0	DE16TU1	16bitタイマ1コンペアB					0	R/W	
16bitタイマ5, 8bitタイマ, シリアルI/F Ch.0 IDMAイネーブルレジスタ	0040296 (B)	D7	DESTX0	SIF Ch.0送信バッファエンプティ	1	IDMA許可	0	IDMA禁止	0	R/W	
		D6	DESRX0	SIF Ch.0受信バッファフル					0	R/W	
		D5	DE8TU3	8bitタイマ3アンダーフロー					0	R/W	
		D4	DE8TU2	8bitタイマ2アンダーフロー					0	R/W	
		D3	DE8TU1	8bitタイマ1アンダーフロー					0	R/W	
		D2	DE8TU0	8bitタイマ0アンダーフロー					0	R/W	
		D1	DE16TC5	16bitタイマ5コンペアA					0	R/W	
		D0	DE16TU5	16bitタイマ5コンペアB					0	R/W	
P1機能選択レジスタ	00402D4 (B)	D7	–	reserved	–				–	–	読み出し時: 0
		D6	CFP16	P16機能選択	1	EXCL5 #DMAEND1	0	P16	0	R/W	
		D5	CFP15	P15機能選択	1	EXCL4 #DMAEND0	0	P15	0	R/W	
		D4	CFP14	P14機能選択	1	FOSC1	0	P14	0	R/W	拡張機能(0x402DF)
		D3	CFP13	P13機能選択	1	EXCL3 T8UF3	0	P13	0	R/W	
		D2	CFP12	P12機能選択	1	EXCL2 T8UF2	0	P12	0	R/W	
		D1	CFP11	P11機能選択	1	EXCL1 T8UF1	0	P11	0	R/W	
		D0	CFP10	P10機能選択	1	EXCL0 T8UF0	0	P10	0	R/W	
P1 I/O制御レジスタ	00402D6 (B)	D7	–	reserved	–				–	–	読み出し時: 0
		D6	IOC16	P16 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポート端子のI/O制御信号の値(詳細説明参照)
		D5	IOC15	P15 I/O制御					0	R/W	
		D4	IOC14	P14 I/O制御					0	R/W	
		D3	IOC13	P13 I/O制御					0	R/W	
		D2	IOC12	P12 I/O制御					0	R/W	
		D1	IOC11	P11 I/O制御					0	R/W	
		D0	IOC10	P10 I/O制御					0	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定				Init.	R/W	注　　釈
P2機能選択レジスタ	00402D8 (B)	D7	CFP27	P27機能選択	1	TM5	0	P27	0	R/W	
		D6	CFP26	P26機能選択	1	TM4	0	P26	0	R/W	
		D5	CFP25	P25機能選択	1	TM3	0	P25	0	R/W	
		D4	CFP24	P24機能選択	1	TM2	0	P24	0	R/W	
		D3	CFP23	P23機能選択	1	TM1	0	P23	0	R/W	
		D2	CFP22	P22機能選択	1	TM0	0	P22	0	R/W	
		D1	CFP21	P21機能選択	1	#DWE	0	P21	0	R/W	拡張機能(0x402DF)
		D0	CFP20	P20機能選択	1	#DRD	0	P20	0	R/W	
ポート機能拡張レジスタ	00402DF (B)	D7	CFEX7	P07ポート機能拡張	1	#DMAEND3	0	P07, etc.	0	R/W	
		D6	CFEX6	P06ポート機能拡張	1	#DMAACK3	0	P06, etc.	0	R/W	
		D5	CFEX5	P05ポート機能拡張	1	#DMAEND2	0	P05, etc.	0	R/W	
		D4	CFEX4	P04ポート機能拡張	1	#DMAACK2	0	P04, etc.	0	R/W	
		D3	CFEX3	P31ポート機能拡張	1	#GARD	0	P31, etc.	0	R/W	
		D2	CFEX2	P21ポート機能拡張	1	#GAAS	0	P21, etc.	0	R/W	
		D1	CFEX1	P10, P11, P13ポート機能拡張	1	DST0 DST1 DPC0	0	P10, etc. P11, etc. P13, etc.	1	R/W	
		D0	CFEX0	P12, P14ポート機能拡張	1	DST2 DCLK	0	P12, etc. P14, etc.	1	R/W	
16bitタイマ0コンペアデータA設定レジスタ	0048180 (HW)	DF	CR0A15	16bitタイマ0	0〜65535				X	R/W	
		DE	CR0A14	コンペアデータA					X		
		DD	CR0A13	CR0A15 = MSB					X		
		DC	CR0A12	CR0A0 = LSB					X		
		DB	CR0A11						X		
		DA	CR0A10						X		
		D9	CR0A9						X		
		D8	CR0A8						X		
		D7	CR0A7						X		
		D6	CR0A6						X		
		D5	CR0A5						X		
		D4	CR0A4						X		
		D3	CR0A3						X		
		D2	CR0A2						X		
		D1	CR0A1						X		
		D0	CR0A0						X		
16bitタイマ0コンペアデータB設定レジスタ	0048182 (HW)	DF	CR0B15	16bitタイマ0	0〜65535				X	R/W	
		DE	CR0B14	コンペアデータB					X		
		DD	CR0B13	CR0B15 = MSB					X		
		DC	CR0B12	CR0B0 = LSB					X		
		DB	CR0B11						X		
		DA	CR0B10						X		
		D9	CR0B9						X		
		D8	CR0B8						X		
		D7	CR0B7						X		
		D6	CR0B6						X		
		D5	CR0B5						X		
		D4	CR0B4						X		
		D3	CR0B3						X		
		D2	CR0B2						X		
		D1	CR0B1						X		
		D0	CR0B0						X		
16bitタイマ0カウンタデータレジスタ	0048184 (HW)	DF	TC015	16bitタイマ0	0〜65535				X	R	
		DE	TC014	カウンタデータ					X		
		DD	TC013	TC015 = MSB					X		
		DC	TC012	TC00 = LSB					X		
		DB	TC011						X		
		DA	TC010						X		
		D9	TC09						X		
		D8	TC08						X		
		D7	TC07						X		
		D6	TC06						X		
		D5	TC05						X		
		D4	TC04						X		
		D3	TC03						X		
		D2	TC02						X		
		D1	TC01						X		
		D0	TC00						X		
16bitタイマ0制御レジスタ	0048186 (B)	D7	–	reserved	–				0	–	読み出し時: 0
		D6	SELFM0	16bitタイマ0ファインモード選択	1	ファイン	0	通常	0	R/W	
		D5	SELCRB0	16bitタイマ0コンペアバッファ	1	許可	0	禁止	0	R/W	
		D4	OUTINV0	16bitタイマ0出力反転	1	反転	0	通常	0	R/W	
		D3	CKSL0	16bitタイマ0入力クロック選択	1	外部クロック	0	内部クロック	0	R/W	
		D2	PTM0	16bitタイマ0クロック出力制御	1	On	0	Off	0	R/W	
		D1	PRESET0	16bitタイマ0リセット	1	リセット	0	無効	0	W	読み出し時: 0
		D0	PRUN0	16bitタイマ0 Run/Stop制御	1	Run	0	Stop	0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ1 コンペアデータA設定レジスタ	0048188 (HW)	DF	CR1A15	16bitタイマ1	0～65535	X	R/W	
		DE	CR1A14	コンペアデータA		X		
		DD	CR1A13	CR1A15 = MSB		X		
		DC	CR1A12	CR1A0 = LSB		X		
		DB	CR1A11			X		
		DA	CR1A10			X		
		D9	CR1A9			X		
		D8	CR1A8			X		
		D7	CR1A7			X		
		D6	CR1A6			X		
		D5	CR1A5			X		
		D4	CR1A4			X		
		D3	CR1A3			X		
		D2	CR1A2			X		
		D1	CR1A1			X		
		D0	CR1A0			X		
16bitタイマ1 コンペアデータB設定レジスタ	004818A (HW)	DF	CR1B15	16bitタイマ1	0～65535	X	R/W	
		DE	CR1B14	コンペアデータB		X		
		DD	CR1B13	CR1B15 = MSB		X		
		DC	CR1B12	CR1B0 = LSB		X		
		DB	CR1B11			X		
		DA	CR1B10			X		
		D9	CR1B9			X		
		D8	CR1B8			X		
		D7	CR1B7			X		
		D6	CR1B6			X		
		D5	CR1B5			X		
		D4	CR1B4			X		
		D3	CR1B3			X		
		D2	CR1B2			X		
		D1	CR1B1			X		
		D0	CR1B0			X		
16bitタイマ1 カウンタデータレジスタ	004818C (HW)	DF	TC115	16bitタイマ1	0～65535	X	R	
		DE	TC114	カウンタデータ		X		
		DD	TC113	TC115 = MSB		X		
		DC	TC112	TC10 = LSB		X		
		DB	TC111			X		
		DA	TC110			X		
		D9	TC19			X		
		D8	TC18			X		
		D7	TC17			X		
		D6	TC16			X		
		D5	TC15			X		
		D4	TC14			X		
		D3	TC13			X		
		D2	TC12			X		
		D1	TC11			X		
		D0	TC10			X		
16bitタイマ1 制御レジスタ	004818E (B)	D7	–	reserved	–	0	–	読み出し時: 0
		D6	SELFM1	16bitタイマ1ファインモード選択	1 ファイン 0 通常	0	R/W	
		D5	SELCRB1	16bitタイマ1コンペアバッファ	1 許可 0 禁止	0	R/W	
		D4	OUTINV1	16bitタイマ1出力反転	1 反転 0 通常	0	R/W	
		D3	CKSL1	16bitタイマ1入力クロック選択	1 外部クロック 0 内部クロック	0	R/W	
		D2	PTM1	16bitタイマ1クロック出力制御	1 On 0 Off	0	R/W	
		D1	PRESET1	16bitタイマ1リセット	1 リセット 0 無効	0	W	読み出し時: 0
		D0	PRUN1	16bitタイマ1 Run/Stop制御	1 Run 0 Stop	0	R/W	
16bitタイマ2 コンペアデータA設定レジスタ	0048190 (HW)	DF	CR2A15	16bitタイマ2	0～65535	X	R/W	
		DE	CR2A14	コンペアデータA		X		
		DD	CR2A13	CR2A15 = MSB		X		
		DC	CR2A12	CR2A0 = LSB		X		
		DB	CR2A11			X		
		DA	CR2A10			X		
		D9	CR2A9			X		
		D8	CR2A8			X		
		D7	CR2A7			X		
		D6	CR2A6			X		
		D5	CR2A5			X		
		D4	CR2A4			X		
		D3	CR2A3			X		
		D2	CR2A2			X		
		D1	CR2A1			X		
		D0	CR2A0			X		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
16bitタイマ2 コンペアデータ B設定レジスタ	0048192 (HW)	DF	CR2B15	16bitタイマ2	0〜65535	X	R/W	
		DE	CR2B14	コンペアデータB		X		
		DD	CR2B13	CR2B15 = MSB		X		
		DC	CR2B12	CR2B0 = LSB		X		
		DB	CR2B11			X		
		DA	CR2B10			X		
		D9	CR2B9			X		
		D8	CR2B8			X		
		D7	CR2B7			X		
		D6	CR2B6			X		
		D5	CR2B5			X		
		D4	CR2B4			X		
		D3	CR2B3			X		
		D2	CR2B2			X		
		D1	CR2B1			X		
		D0	CR2B0			X		
16bitタイマ2 カウンタデータ レジスタ	0048194 (HW)	DF	TC215	16bitタイマ2	0〜65535	X	R	
		DE	TC214	カウンタデータ		X		
		DD	TC213	TC215 = MSB		X		
		DC	TC212	TC20 = LSB		X		
		DB	TC211			X		
		DA	TC210			X		
		D9	TC29			X		
		D8	TC28			X		
		D7	TC27			X		
		D6	TC26			X		
		D5	TC25			X		
		D4	TC24			X		
		D3	TC23			X		
		D2	TC22			X		
		D1	TC21			X		
		D0	TC20			X		
16bitタイマ2 制御レジスタ	0048196 (B)	D7	–	reserved	–	0	–	読み出し時: 0
		D6	SELFM2	16bitタイマ2ファインモード選択	1 ファイン 0 通常	0	R/W	
		D5	SELCRB2	16bitタイマ2コンペアバッファ	1 許可 0 禁止	0	R/W	
		D4	OUTINV2	16bitタイマ2出力反転	1 反転 0 通常	0	R/W	
		D3	CKSL2	16bitタイマ2入力クロック選択	1 外部クロック 0 内部クロック	0	R/W	
		D2	PTM2	16bitタイマ2クロック出力制御	1 On 0 Off	0	R/W	
		D1	PRESET2	16bitタイマ2リセット	1 リセット 0 無効	0	W	読み出し時: 0
		D0	PRUN2	16bitタイマ2 Run/Stop制御	1 Run 0 Stop	0	R/W	
16bitタイマ3 コンペアデータ A設定レジスタ	0048198 (HW)	DF	CR3A15	16bitタイマ3	0〜65535	X	R/W	
		DE	CR3A14	コンペアデータA		X		
		DD	CR3A13	CR3A15 = MSB		X		
		DC	CR3A12	CR3A0 = LSB		X		
		DB	CR3A11			X		
		DA	CR3A10			X		
		D9	CR3A9			X		
		D8	CR3A8			X		
		D7	CR3A7			X		
		D6	CR3A6			X		
		D5	CR3A5			X		
		D4	CR3A4			X		
		D3	CR3A3			X		
		D2	CR3A2			X		
		D1	CR3A1			X		
		D0	CR3A0			X		
16bitタイマ3 コンペアデータ B設定レジスタ	004819A (HW)	DF	CR3B15	16bitタイマ3	0〜65535	X	R/W	
		DE	CR3B14	コンペアデータB		X		
		DD	CR3B13	CR3B15 = MSB		X		
		DC	CR3B12	CR3B0 = LSB		X		
		DB	CR3B11			X		
		DA	CR3B10			X		
		D9	CR3B9			X		
		D8	CR3B8			X		
		D7	CR3B7			X		
		D6	CR3B6			X		
		D5	CR3B5			X		
		D4	CR3B4			X		
		D3	CR3B3			X		
		D2	CR3B2			X		
		D1	CR3B1			X		
		D0	CR3B0			X		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
16bitタイマ3 カウンタデータ レジスタ	004819C (HW)	DF	TC315	16bitタイマ3	0～65535	X	R	
		DE	TC314	カウンタデータ		X		
		DD	TC313	TC315 = MSB		X		
		DC	TC312	TC30 = LSB		X		
		DB	TC311			X		
		DA	TC310			X		
		D9	TC39			X		
		D8	TC38			X		
		D7	TC37			X		
		D6	TC36			X		
		D5	TC35			X		
		D4	TC34			X		
		D3	TC33			X		
		D2	TC32			X		
		D1	TC31			X		
		D0	TC30			X		
16bitタイマ3 制御レジスタ	004819E (B)	D7	–	reserved	–	0	–	読み出し時: 0
		D6	SELFM3	16bitタイマ3ファインモード選択	1 ファイン　0 通常	0	R/W	
		D5	SELCRB3	16bitタイマ3コンペアバッファ	1 許可　0 禁止	0	R/W	
		D4	OUTINV3	16bitタイマ3出力反転	1 反転　0 通常	0	R/W	
		D3	CKSL3	16bitタイマ3入力クロック選択	1 外部クロック　0 内部クロック	0	R/W	
		D2	PTM3	16bitタイマ3クロック出力制御	1 On　0 Off	0	R/W	
		D1	PRESET3	16bitタイマ3リセット	1 リセット　0 無効	0	W	読み出し時: 0
		D0	PRUN3	16bitタイマ3 Run/Stop制御	1 Run　0 Stop	0	R/W	
16bitタイマ4 コンペアデータ A設定レジスタ	00481A0 (HW)	DF	CR4A15	16bitタイマ4	0～65535	X	R/W	
		DE	CR4A14	コンペアデータA		X		
		DD	CR4A13	CR4A15 = MSB		X		
		DC	CR4A12	CR4A0 = LSB		X		
		DB	CR4A11			X		
		DA	CR4A10			X		
		D9	CR4A9			X		
		D8	CR4A8			X		
		D7	CR4A7			X		
		D6	CR4A6			X		
		D5	CR4A5			X		
		D4	CR4A4			X		
		D3	CR4A3			X		
		D2	CR4A2			X		
		D1	CR4A1			X		
		D0	CR4A0			X		
16bitタイマ4 コンペアデータ B設定レジスタ	00481A2 (HW)	DF	CR4B15	16bitタイマ4	0～65535	X	R/W	
		DE	CR4B14	コンペアデータB		X		
		DD	CR4B13	CR4B15 = MSB		X		
		DC	CR4B12	CR4B0 = LSB		X		
		DB	CR4B11			X		
		DA	CR4B10			X		
		D9	CR4B9			X		
		D8	CR4B8			X		
		D7	CR4B7			X		
		D6	CR4B6			X		
		D5	CR4B5			X		
		D4	CR4B4			X		
		D3	CR4B3			X		
		D2	CR4B2			X		
		D1	CR4B1			X		
		D0	CR4B0			X		
16bitタイマ4 カウンタデータ レジスタ	00481A4 (HW)	DF	TC415	16bitタイマ4	0～65535	X	R	
		DE	TC414	カウンタデータ		X		
		DD	TC413	TC415 = MSB		X		
		DC	TC412	TC40 = LSB		X		
		DB	TC411			X		
		DA	TC410			X		
		D9	TC49			X		
		D8	TC48			X		
		D7	TC47			X		
		D6	TC46			X		
		D5	TC45			X		
		D4	TC44			X		
		D3	TC43			X		
		D2	TC42			X		
		D1	TC41			X		
		D0	TC40			X		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定				Init.	R/W	注　　釈
16bitタイマ4 制御レジスタ	00481A6 (B)	D7	–	reserved	–				0	–	読み出し時: 0
		D6	SELFM4	16bitタイマ4ファインモード選択	1	ファイン	0	通常	0	R/W	
		D5	SELCRB4	16bitタイマ4コンペアバッファ	1	許可	0	禁止	0	R/W	
		D4	OUTINV4	16bitタイマ4出力反転	1	反転	0	通常	0	R/W	
		D3	CKSL4	16bitタイマ4入力クロック選択	1	外部クロック	0	内部クロック	0	R/W	
		D2	PTM4	16bitタイマ4クロック出力制御	1	On	0	Off	0	R/W	
		D1	PRESET4	16bitタイマ4リセット	1	リセット	0	無効	0	W	読み出し時: 0
		D0	PRUN4	16bitタイマ4 Run/Stop制御	1	Run	0	Stop	0	R/W	
16bitタイマ5 コンペアデータA設定レジスタ	00481A8 (HW)	DF	CR5A15	16bitタイマ5	0〜65535				X	R/W	
		DE	CR5A14	コンペアデータA					X		
		DD	CR5A13	CR5A15 = MSB					X		
		DC	CR5A12	CR5A0 = LSB					X		
		DB	CR5A11						X		
		DA	CR5A10						X		
		D9	CR5A9						X		
		D8	CR5A8						X		
		D7	CR5A7						X		
		D6	CR5A6						X		
		D5	CR5A5						X		
		D4	CR5A4						X		
		D3	CR5A3						X		
		D2	CR5A2						X		
		D1	CR5A1						X		
		D0	CR5A0						X		
16bitタイマ5 コンペアデータB設定レジスタ	00481AA (HW)	DF	CR5B15	16bitタイマ5	0〜65535				X	R/W	
		DE	CR5B14	コンペアデータB					X		
		DD	CR5B13	CR5B15 = MSB					X		
		DC	CR5B12	CR5B0 = LSB					X		
		DB	CR5B11						X		
		DA	CR5B10						X		
		D9	CR5B9						X		
		D8	CR5B8						X		
		D7	CR5B7						X		
		D6	CR5B6						X		
		D5	CR5B5						X		
		D4	CR5B4						X		
		D3	CR5B3						X		
		D2	CR5B2						X		
		D1	CR5B1						X		
		D0	CR5B0						X		
16bitタイマ5 カウンタデータレジスタ	00481AC (HW)	DF	TC515	16bitタイマ5	0〜65535				X	R	
		DE	TC514	カウンタデータ					X		
		DD	TC513	TC515 = MSB					X		
		DC	TC512	TC50 = LSB					X		
		DB	TC511						X		
		DA	TC510						X		
		D9	TC59						X		
		D8	TC58						X		
		D7	TC57						X		
		D6	TC56						X		
		D5	TC55						X		
		D4	TC54						X		
		D3	TC53						X		
		D2	TC52						X		
		D1	TC51						X		
		D0	TC50						X		
16bitタイマ5 制御レジスタ	00481AE (B)	D7	–	reserved	–				0	–	読み出し時: 0
		D6	SELFM5	16bitタイマ5ファインモード選択	1	ファイン	0	通常	0	R/W	
		D5	SELCRB5	16bitタイマ5コンペアバッファ	1	許可	0	禁止	0	R/W	
		D4	OUTINV5	16bitタイマ5出力反転	1	反転	0	通常	0	R/W	
		D3	CKSL5	16bitタイマ5入力クロック選択	1	外部クロック	0	内部クロック	0	R/W	
		D2	PTM5	16bitタイマ5クロック出力制御	1	On	0	Off	0	R/W	
		D1	PRESET5	16bitタイマ5リセット	1	リセット	0	無効	0	W	読み出し時: 0
		D0	PRUN5	16bitタイマ5 Run/Stop制御	1	Run	0	Stop	0	R/W	

CFP16–CFP10: P1[6:0]**端子機能選択**(D[6:0]/0x402D4<P1**機能選択レジスタ**>)

外部カウントクロックの入力に使用する端子を選択します。

"1"書き込み: クロック入力端子
"0"書き込み: 入出力兼用ポート端子
読み出し: 可能

イベントカウンタとして使用するタイマのクロック入力端子を、CFP10～CFP16に"1"を書き込んでP10～P16の中から選択します。各端子とタイマの対応については、表4.1を参照してください。"0"を書き込んだ場合、その端子は入出力兼用ポート端子となります。
16ビットプログラマブルタイマのクロック入力に使用するためにはこの選択に加え、その端子をI/O制御レジスタで入力モードに設定することも必要です。
コールドスタート時、CFP1xは"0"(入出力兼用ポート)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

CFP27–CFP22: P2[7:2]**端子機能選択**(D[7:2]/0x402D8<P2**機能選択レジスタ**>)

クロック出力に使用する端子を選択します。

"1"書き込み: クロック出力端子
"0"書き込み: 入出力兼用ポート端子
読み出し: 可能

タイマが生成したクロックの外部出力に使用する端子を、CFP22～CFP27に"1"を書き込んでP22～P27の中から選択します。各端子とタイマの対応については、表4.1を参照してください。"0"を書き込んだ場合、その端子は出力ポート端子となります。
コールドスタート時、CFP2xは"0"(入出力兼用ポート)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

CFEX1: P10, P11, P13**ポート機能拡張**(D1/0x402DF<**ポート機能拡張レジスタ**>)
CFEX0: P12, P14**ポート機能拡張**(D0/0x402DF<**ポート機能拡張レジスタ**>)

入出力兼用ポート端子の拡張機能を選択します。

"1"書き込み: 拡張機能端子
"0"書き込み: 入出力兼用ポート端子/周辺回路用端子
読み出し: 可能

CFEX[1:0]に"1"を書き込むと、P14～P10ポートがデバッグ用信号出力ポートとして機能します。CFEX[1:0]が"0"の場合はCFP1[4:0]が有効となり、その設定に従ってP14～P10ポートが入出力兼用ポート端子または外部クロック入力端子となります。
コールドスタート時、CFEX[1:0]は"1"(拡張機能端子)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

IOC16–IOC10: P1[6:0]**ポート**I/O**制御**(D[6:0]/0x402D6<P1 I/O**制御レジスタ**>)

P10～P16の入力/出力モードの設定とI/O制御信号の値の読み出しが行えます。

• データ書き込み時
"1"書き込み: 出力モード
"0"書き込み: 入力モード

P10～P16の中で外部クロック入力端子に対応するI/O制御ビットには、"0"を書き込んで入力モードに設定してください。CFP1xが"1"に設定されている場合でも出力モードに設定されていると、その端子は8ビットプログラマブルタイマなどの出力端子となり、外部クロックは入力できません。

• データ読み出し時
"1"読み出し: I/O制御信号(出力)
"0"読み出し: I/O制御信号(入力)

ポート端子のI/O制御信号の値が読み出されます。CFEXレジスタおよびCFP1xレジスタによって入出力兼用ポート機能を選択した場合、読み出し値はIOCレジスタへの書き込み値と一致します。一方、周辺回路を選択した場合はその回路の状態により変化し、IOCレジスタへの書き込み値とは異なる場合があります。

コールドスタート時、IOCはすべて"0"(入力モード)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SELFM0: **タイマ**0**ファインモード選択**(D6/0x48186<16bit**タイマ**0**制御レジスタ**>)
SELFM1: **タイマ**1**ファインモード選択**(D6/0x4818E<16bit**タイマ**1**制御レジスタ**>)
SELFM2: **タイマ**2**ファインモード選択**(D6/0x48196<16bit**タイマ**2**制御レジスタ**>)
SELFM3: **タイマ**3**ファインモード選択**(D6/0x4819E<16bit**タイマ**3**制御レジスタ**>)
SELFM4: **タイマ**4**ファインモード選択**(D6/0x481A6<16bit**タイマ**4**制御レジスタ**>)
SELFM5: **タイマ**5**ファインモード選択**(D6/0x481AE<16bit**タイマ**5**制御レジスタ**>)

クロック出力をファインモードに設定します。

"1"書き込み: ファインモード
"0"書き込み: 通常出力
読み出し: 可能

SELFMxに"1"を書き込むとクロック出力がファインモードに設定され、出力クロックのデューティを入力クロックの半周期単位で調整可能となります。
SELFMxが"0"に設定されている場合は、通常のクロック出力が行われます。
イニシャルリセット時、SELFMxは"0"(通常出力)に設定されます。

SELCRB0: **タイマ**0**コンペアレジスタバッファイネーブル**(D5/0x48186<16bit**タイマ**0**制御レジスタ**>)
SELCRB1: **タイマ**1**コンペアレジスタバッファイネーブル**(D5/0x4818E<16bit**タイマ**1**制御レジスタ**>)
SELCRB2: **タイマ**2**コンペアレジスタバッファイネーブル**(D5/0x48196<16bit**タイマ**2**制御レジスタ**>)
SELCRB3: **タイマ**3**コンペアレジスタバッファイネーブル**(D5/0x4819E<16bit**タイマ**3**制御レジスタ**>)
SELCRB4: **タイマ**4**コンペアレジスタバッファイネーブル**(D5/0x481A6<16bit**タイマ**4**制御レジスタ**>)
SELCRB5: **タイマ**5**コンペアレジスタバッファイネーブル**(D5/0x481AE<16bit**タイマ**5**制御レジスタ**>)

コンペアレジスタバッファへの書き込みを許可/禁止します。

"1"書き込み: 許可
"0"書き込み: 禁止
読み出し: 可能

SELCRBxに"1"を書き込むと、コンペアデータの書き込み/読み出しがコンペアレジスタバッファに対して行われます。バッファの内容は、カウンタがソフトウェアまたはコンペアB信号によってリセットされた時点でコンペアデータレジスタにロードされます。
SELCRBxが"0"に設定されている場合、コンペアデータの書き込み/読み出しがコンペアデータレジスタに対して直接行われます。
イニシャルリセット時、SELCRBxは"0"(禁止)に設定されます。

OUTINV0: **タイマ**0**出力反転**(D4/0x48186<16bit**タイマ**0**制御レジスタ**>)
OUTINV1: **タイマ**1**出力反転**(D4/0x4818E<16bit**タイマ**1**制御レジスタ**>)
OUTINV2: **タイマ**2**出力反転**(D4/0x48196<16bit**タイマ**2**制御レジスタ**>)
OUTINV3: **タイマ**3**出力反転**(D4/0x4819E<16bit**タイマ**3**制御レジスタ**>)
OUTINV4: **タイマ**4**出力反転**(D4/0x481A6<16bit**タイマ**4**制御レジスタ**>)
OUTINV5: **タイマ**5**出力反転**(D4/0x481AE<16bit**タイマ**5**制御レジスタ**>)

タイマ出力信号の極性を選択します。

"1"書き込み: 反転(アクティブLow)
"0"書き込み: 通常(アクティブHigh)
読み出し: 可能

OUTINVxに"1"を書き込むと、TMx出力用にアクティブLowの信号(OFFレベル = High)が生成されます。
OUTINVxが"0"の場合は、アクティブHighの信号(OFFレベル = Low)が生成されます。
イニシャルリセット時、OUTINVxは"0"(アクティブHigh)に設定されます。

CKSL0: **タイマ0入力クロック選択**(D3/0x48186<16bit**タイマ0制御レジスタ**>)
CKSL1: **タイマ1入力クロック選択**(D3/0x4818E<16bit**タイマ1制御レジスタ**>)
CKSL2: **タイマ2入力クロック選択**(D3/0x48196<16bit**タイマ2制御レジスタ**>)
CKSL3: **タイマ3入力クロック選択**(D3/0x4819E<16bit**タイマ3制御レジスタ**>)
CKSL4: **タイマ4入力クロック選択**(D3/0x481A6<16bit**タイマ4制御レジスタ**>)
CKSL5: **タイマ5入力クロック選択**(D3/0x481AE<16bit**タイマ5制御レジスタ**>)

各タイマの入力クロックを選択します。

"1"書き込み: 外部クロック
"0"書き込み: 内部クロック
読み出し: 可能

CKSLxに"0"を書き込んだ場合は、タイマの入力クロックとして内部クロック(プリスケーラ出力)が選択されます。"1"を書き込んだ場合は外部クロック(クロック入力端子から入力するクロック)が選択され、イベントカウンタとして機能します。この場合、CFP1xでクロック入力端子を設定しておくことが必要です。
イニシャルリセット時、CKSLxは"0"(内部クロック)に設定されます。

PTM0: **タイマ0クロック出力制御**(D2/0x48186<16bit**タイマ0制御レジスタ**>)
PTM1: **タイマ1クロック出力制御**(D2/0x4818E<16bit**タイマ1制御レジスタ**>)
PTM2: **タイマ2クロック出力制御**(D2/0x48196<16bit**タイマ2制御レジスタ**>)
PTM3: **タイマ3クロック出力制御**(D2/0x4819E<16bit**タイマ3制御レジスタ**>)
PTM4: **タイマ4クロック出力制御**(D2/0x481A6<16bit**タイマ4制御レジスタ**>)
PTM5: **タイマ5クロック出力制御**(D2/0x481AE<16bit**タイマ5制御レジスタ**>)

TMx信号(タイマ出力クロック)の出力制御を行います。

"1"書き込み: ON
"0"書き込み: OFF
読み出し: 可能

PTMxはTMx信号の出力制御ビットで、"1"を設定するとTMx信号がクロック出力端子から出力されます。"0"を設定すると出力はOUTINVxの設定に従ったOFFレベル(OUTINVx = "0": Low、OUTINVx = "1": High)となります。この場合、CFP2xでクロック出力端子を設定しておくことが必要です。
イニシャルリセット時、PTMxは"0"(OFF)に設定されます。

PRESET0: **タイマ0リセット**(D1/0x48186<16bit**タイマ0制御レジスタ**>)
PRESET1: **タイマ1リセット**(D1/0x4818E<16bit**タイマ1制御レジスタ**>)
PRESET2: **タイマ2リセット**(D1/0x48196<16bit**タイマ2制御レジスタ**>)
PRESET3: **タイマ3リセット**(D1/0x4819E<16bit**タイマ3制御レジスタ**>)
PRESET4: **タイマ4リセット**(D1/0x481A6<16bit**タイマ4制御レジスタ**>)
PRESET5: **タイマ5リセット**(D1/0x481AE<16bit**タイマ5制御レジスタ**>)

カウンタをリセットします。

"1"書き込み: リセット
"0"書き込み: 無効
読み出し: 常時"0"

PRESETxに"1"を書き込むことによって、タイマxのカウンタがリセットされます。
"0"の書き込みはノーオペレーションとなります。
PRESETxは書き込み専用のため、読み出しは常時"0"となります。

PRUN0: **タイマ**0 RUN/STOP**制御**(D0/0x48186<16bit**タイマ**0**制御レジスタ**>)
PRUN1: **タイマ**1 RUN/STOP**制御**(D0/0x4818E<16bit**タイマ**1**制御レジスタ**>)
PRUN2: **タイマ**2 RUN/STOP**制御**(D0/0x48196<16bit**タイマ**2**制御レジスタ**>)
PRUN3: **タイマ**3 RUN/STOP**制御**(D0/0x4819E<16bit**タイマ**3**制御レジスタ**>)
PRUN4: **タイマ**4 RUN/STOP**制御**(D0/0x481A6<16bit**タイマ**4**制御レジスタ**>)
PRUN5: **タイマ**5 RUN/STOP**制御**(D0/0x481AE<16bit**タイマ**5**制御レジスタ**>)

タイマのRUN/STOPを制御します。

"1"書き込み: RUN
"0"書き込み: STOP
読み出し: 可能

各タイマはPRUNxに"1"を書き込むことによってカウントアップを開始し、"0"の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。
イニシャルリセット時、PRUNxは"0"(STOP)に設定されます。

CR0A15–CR0A0: **タイマ**0**コンペアデータ**A(D[F:0]/0x48180<16bit**タイマ**0**コンペアデータ**A**設定レジスタ**>)
CR1A15–CR1A0: **タイマ**1**コンペアデータ**A(D[F:0]/0x48188<16bit**タイマ**1**コンペアデータ**A**設定レジスタ**>)
CR2A15–CR2A0: **タイマ**2**コンペアデータ**A(D[F:0]/0x48190<16bit**タイマ**2**コンペアデータ**A**設定レジスタ**>)
CR3A15–CR3A0: **タイマ**3**コンペアデータ**A(D[F:0]/0x48198<16bit**タイマ**3**コンペアデータ**A**設定レジスタ**>)
CR4A15–CR4A0: **タイマ**4**コンペアデータ**A(D[F:0]/0x481A0<16bit**タイマ**4**コンペアデータ**A**設定レジスタ**>)
CR5A15–CR5A0: **タイマ**5**コンペアデータ**A(D[F:0]/0x481A8<16bit**タイマ**5**コンペアデータ**A**設定レジスタ**>)

各タイマのコンペアデータAを設定します。
SELCRBxが"0"に設定されている場合、これらのレジスタによりコンペアデータレジスタAが直接読み出し/書き込み可能です。
SELCRBxが"1"に設定されている場合、これらのレジスタへのデータ書き込み/読み出しはコンペアレジスタバッファAに対して行われます。バッファの内容はカウンタがリセットされた時点でコンペアデータレジスタAにロードされます。
設定したデータがそれぞれのカウンタデータと比較され、内容が一致したところでコンペアA割り込みが発生します。同時に、タイマ出力波形が変化します(OUTINVx = "0"の場合は立ち上がり、OUTINVx = "1"の場合は立ち下がります)。これらの処理は、カウンタのデータやカウントアップ動作には影響を与えません。
イニシャルリセット時、CRxAは初期化されません。

CR0B15–CR0B0: **タイマ**0**コンペアデータ**B(D[F:0]/0x48182<16bit**タイマ**0**コンペアデータ**B**設定レジスタ**>)
CR1B15–CR1B0: **タイマ**1**コンペアデータ**B(D[F:0]/0x4818A<16bit**タイマ**1**コンペアデータ**B**設定レジスタ**>)
CR2B15–CR2B0: **タイマ**2**コンペアデータ**B(D[F:0]/0x48192<16bit**タイマ**2**コンペアデータ**B**設定レジスタ**>)
CR3B15–CR3B0: **タイマ**3**コンペアデータ**B(D[F:0]/0x4819A<16bit**タイマ**3**コンペアデータ**B**設定レジスタ**>)
CR4B15–CR4B0: **タイマ**4**コンペアデータ**B(D[F:0]/0x481A2<16bit**タイマ**4**コンペアデータ**B**設定レジスタ**>)
CR5B15–CR5B0: **タイマ**5**コンペアデータ**B(D[F:0]/0x481AA<16bit**タイマ**5**コンペアデータ**B**設定レジスタ**>)

各タイマのコンペアデータBを設定します。
SELCRBxが"0"に設定されている場合、これらのレジスタによりコンペアデータレジスタBが直接読み出し/書き込み可能です。
SELCRBxが"1"に設定されている場合、これらのレジスタへのデータ書き込み/読み出しはコンペアレジスタバッファBに対して行われます。バッファの内容はカウンタがリセットされた時点でコンペアデータレジスタBにロードされます。
設定したデータがそれぞれのカウンタデータと比較され、内容が一致したところでコンペアB割り込みが発生します。同時に、タイマ出力波形が変化し(OUTINVx = "0"の場合は立ち下がり、OUTINVx = "1"の場合は立ち上がります)、カウンタが"0"にリセットされます。
イニシャルリセット時、CRxBは初期化されません。

TC015–TC00: **タイマ0カウンタデータ**(D[F:0]/0x48184<16bit**タイマ0カウンタデータレジスタ**>)
TC115–TC10: **タイマ1カウンタデータ**(D[F:0]/0x4818C<16bit**タイマ1カウンタデータレジスタ**>)
TC215–TC20: **タイマ2カウンタデータ**(D[F:0]/0x48194<16bit**タイマ2カウンタデータレジスタ**>)
TC315–TC30: **タイマ3カウンタデータ**(D[F:0]/0x4819C<16bit**タイマ3カウンタデータレジスタ**>)
TC415–TC40: **タイマ4カウンタデータ**(D[F:0]/0x481A4<16bit**タイマ4カウンタデータレジスタ**>)
TC515–TC50: **タイマ5カウンタデータ**(D[F:0]/0x481AC<16bit**タイマ5カウンタデータレジスタ**>)

各タイマのカウンタデータが読み出せます。
データは任意のタイミングで読み出しが可能です。
TCxは読み出し専用のため、書き込み動作は無効となります。
イニシャルリセット時、TCxは初期化されません。

P16T02–P16T00: **タイマ0割り込みレベル**(D[2:0]/0x40266<16bit**タイマ0/1割り込みプライオリティレジスタ**>)
P16T12–P16T10: **タイマ1割り込みレベル**(D[6:4]/0x40266<16bit**タイマ0/1割り込みプライオリティレジスタ**>)
P16T22–P16T20: **タイマ2割り込みレベル**(D[2:0]/0x40267<16bit**タイマ2/3割り込みプライオリティレジスタ**>)
P16T32–P16T30: **タイマ3割り込みレベル**(D[6:4]/0x40267<16bit**タイマ2/3割り込みプライオリティレジスタ**>)
P16T42–P16T40: **タイマ4割り込みレベル**(D[2:0]/0x40268<16bit**タイマ4/5割り込みプライオリティレジスタ**>)
P16T52–P16T50: **タイマ5割り込みレベル**(D[6:4]/0x40268<16bit**タイマ4/5割り込みプライオリティレジスタ**>)

16ビットプログラマブルタイマ割り込みの優先レベルを設定します。
タイマごとに、割り込みの優先レベルを0～7の範囲で設定できます。
イニシャルリセット時、P16Txは不定となります。

E16TU0, E16TC0: **タイマ0割り込みイネーブル**(D2, D3/0x40272<16bit**タイマ0/1割り込みイネーブルレジスタ**>)
E16TU1, E16TC1: **タイマ1割り込みイネーブル**(D6, D7/0x40272<16bit**タイマ0/1割り込みイネーブルレジスタ**>)
E16TU2, E16TC2: **タイマ2割り込みイネーブル**(D2, D3/0x40273<16bit**タイマ2/3割り込みイネーブルレジスタ**>)
E16TU3, E16TC3: **タイマ3割り込みイネーブル**(D6, D7/0x40273<16bit**タイマ2/3割り込みイネーブルレジスタ**>)
E16TU4, E16TC4: **タイマ4割り込みイネーブル**(D2, D3/0x40274<16bit**タイマ4/5割り込みイネーブルレジスタ**>)
E16TU5, E16TC5: **タイマ5割り込みイネーブル**(D6, D7/0x40274<16bit**タイマ4/5割り込みイネーブルレジスタ**>)

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可
"0"書き込み: 割り込み禁止
読み出し: 可能

E16TUx、E16TCxは、それぞれコンペアB、コンペアAの割り込み要因に対応する割り込みイネーブルビットで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。
イニシャルリセット時、割り込みイネーブルレジスタはすべて"0"(割り込み禁止)に設定されます。

F16TU0, F16TC0: **タイマ0割り込み要因フラグ**(D2, D3/0x40282<16bit**タイマ0/1割り込み要因フラグレジスタ**>)
F16TU1, F16TC1: **タイマ1割り込み要因フラグ**(D6, D7/0x40282<16bit**タイマ0/1割り込み要因フラグレジスタ**>)
F16TU2, F16TC2: **タイマ2割り込み要因フラグ**(D2, D3/0x40283<16bit**タイマ2/3割り込み要因フラグレジスタ**>)
F16TU3, F16TC3: **タイマ3割り込み要因フラグ**(D6, D7/0x40283<16bit**タイマ2/3割り込み要因フラグレジスタ**>)
F16TU4, F16TC4: **タイマ4割り込み要因フラグ**(D2, D3/0x40284<16bit**タイマ4/5割り込み要因フラグレジスタ**>)
F16TU5, F16TC5: **タイマ5割り込み要因フラグ**(D6, D7/0x40284<16bit**タイマ4/5割り込み要因フラグレジスタ**>)

16ビットプログラマブルタイマ割り込みの発生状態を示します。

• 読み出し時
"1"読み出し: 割り込み要因あり
"0"読み出し: 割り込み要因なし

• リセットオンリー方式書き込み時 (デフォルト)
"1"書き込み: 要因フラグをリセット
"0"書き込み: 無効

• リード/ライト方式書き込み時
"1"書き込み: 要因フラグをセット
"0"書き込み: 要因フラグをリセット

F16TUx、F16TCxフラグは、それぞれコンペアB、コンペアAの割り込みに対応する割り込み要因フラグで、それぞれの要因の発生により"1"にセットされます。
このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

割り込み要因をIDMA要求として使用する場合、上記の条件が成立している場合でも、割り込み要因発生時点でCPUに対する割り込み要求は出力されません。IDMAの設定で割り込みを許可してあれば、IDMAによるデータ転送終了後に上記の条件で割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み要因の発生により"1"にセットされます。
割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。
割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。
イニシャルリセット時、これらのフラグはすべて不定となりますので、必ずソフトウェアでリセットしてください。

R16TU0, R16TC0: **タイマ**0 IDMA**リクエスト**
(D6, D7/0x40290<**ポート入力**0–3, HSDMA, 16bit**タイマ**0 IDMA**リクエストレジスタ**>)
R16TU1, R16TC1: **タイマ**1 IDMA**リクエスト**(D0, D1/0x40291<16bit**タイマ**1–4 IDMA**リクエストレジスタ**>)
R16TU2, R16TC2: **タイマ**2 IDMA**リクエスト**(D2, D3/0x40291<16bit**タイマ**1–4 IDMA**リクエストレジスタ**>)
R16TU3, R16TC3: **タイマ**3 IDMA**リクエスト**(D4, D5/0x40291<16bit**タイマ**1–4 IDMA**リクエストレジスタ**>)
R16TU4, R16TC4: **タイマ**4 IDMA**リクエスト**(D6, D7/0x40291<16bit**タイマ**1–4 IDMA**リクエストレジスタ**>)
R16TU5, R16TC5: **タイマ**5 IDMA**リクエスト**
(D0, D1/0x40292<16bit**タイマ**5, 8bit**タイマ**, **シリアル**I/F Ch.0 IDMA**リクエストレジスタ**>)

割り込み要因発生時にIDMAを起動するかどうか設定します。

• セットオンリー方式(デフォルト)
"1"書き込み: IDMA要求
"0"書き込み: 無効
読み出し: 可能

• リード/ライト方式
"1"書き込み: IDMA要求
"0"書き込み: 割り込み要求
読み出し: 可能

R16TUx、R16TCxはそれぞれタイマxのコンペアB、コンペアA割り込み要因に対応するIDMAリクエストビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。
IDMAについては"IDMA(インテリジェントDMA)"を参照してください。
イニシャルリセット時、これらのビットは"0"(割り込み要求)に設定されます。

DE16TU0, DE16TC0: **タイマ**0 IDMA**イネーブル**
(D6, D7/0x40294<**ポート入力**0–3, HSDMA, 16bit**タイマ**0 IDMA**イネーブルレジスタ**>)
DE16TU1, DE16TC1: **タイマ**1 IDMA**イネーブル**(D0, D1/0x40295<16bit**タイマ**1–4 IDMA**イネーブルレジスタ**>)
DE16TU2, DE16TC2: **タイマ**2 IDMA**イネーブル**(D2, D3/0x40295<16bit**タイマ**1–4 IDMA**イネーブルレジスタ**>)
DE16TU3, DE16TC3: **タイマ**3 IDMA**イネーブル**(D4, D5/0x40295<16bit**タイマ**1–4 IDMA**イネーブルレジスタ**>)
DE16TU4, DE16TC4: **タイマ**4 IDMA**イネーブル**(D6, D7/0x40295<16bit**タイマ**1–4 IDMA**イネーブルレジスタ**>)
DE16TU5, DE16TC5: **タイマ**5 IDMA**イネーブル**
(D0, D1/0x40296<16bit**タイマ**5, 8bit**タイマ**, **シリアル**I/F Ch.0 IDMA**イネーブルレジスタ**>)

割り込み要因によるIDMA転送を許可または禁止します。

• セットオンリー方式(デフォルト)
"1"書き込み: IDMA許可
"0"書き込み: 無効
読み出し: 可能

• リード/ライト方式
"1"書き込み: IDMA許可
"0"書き込み: IDMA禁止
読み出し: 可能

DE16TUx、DE16TCxはそれぞれタイマxのコンペアB、コンペアA割り込み要因に対応するIDMAイネーブルビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。
イニシャルリセット時、これらのビットは"0"(IDMA禁止)に設定されます。

プログラミング上の注意事項

(1) 16ビットプログラマブルタイマの動作は、プリスケーラが動作していることが条件です。

(2) 入力クロックや動作モードの設定は、16ビットプログラマブルタイマが停止中に行ってください。

(3) コンペアデータレジスタAとBに同じ値を設定すると、ハザードパルスが出力されることがあります。タイマ出力を使用する場合は、コンペアデータAとBを同じ値には設定しないでください。
割り込み機能のみを使用する場合は、A = Bでも問題ありません。割り込みは正常に発生します。

(4) タイマ出力を使用する場合、コンペアデータはA≧0、B≧1を設定してください。最小設定はA = 0、B = 1で、タイマ出力サイクルは入力クロックの1/2となります。

(5) 通常モードの場合、コンペアデータをA > Bに設定すると、コンペアマッチA信号は発生しません。この場合、タイマ出力はOFFレベルに固定されます。ファインモードでは、A > 2 × B + 1に設定すると、コンペアマッチA信号は発生しません。

(6) イニシャルリセット後、割り込み要因フラグは不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。

(7) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。

(8) 16ビットプログラマブルタイマでTMxクロック出力を行っている場合、クロック出力やポートの設定などにより不要なパルスが出力されることがありますので注意してください。
たとえば、TMxを反転出力(OUTINVx = 1)に設定して使用している場合、出力波形はコンペアBで立ち上がり、コンペアAで立ち下がります。また、PTMxを"0"に設定してクロック出力を停止させると出力端子はHighレベルに固定されます。ここで、コンペアAで信号が立ち下がった後に出力端子を入出力兼用ポートに切り換えて出力をLowレベルに再設定するような制御を行う場合、Lowレベルに再設定する前にPTMxに"0"を書き込むと、その間にHighレベルのパルスが出力されてしまいます。この問題は、ポートをLowレベルに再設定後にPTMxに"0"を書き込むことで回避できます。

III-5 ウォッチドッグタイマ

ウォッチドッグタイマの構成

C33周辺回路ブロックはCPUの暴走を検出するウォッチドッグタイマ機能を内蔵しています。
この機能は16ビットプログラマブルタイマ0を使用して実現します。ウォッチドッグタイマ機能を有効に設定すると、16ビットプログラマブルタイマ0のコンペアB信号(ソフトウェアで発生周期を設定可能)でNMI(ノンマスカブル割り込み)が発生します。ソフトウェアで周期的に16ビットプログラマブルタイマ0をリセットしNMIが発生しないように処理しておくことで、その処理ルーチンを通らないようなプログラムの暴走を検出することができます。
図5.1にウォッチドッグタイマのブロック図を示します。

図5.1 ウォッチドッグタイマのブロック図

ウォッチドッグタイマの制御

■ 動作クロックとNMI発生周期の設定

ウォッチドッグタイマはプリスケーラの出力クロックによって動作します。したがって、プリスケーラが停止中は、ウォッチドッグタイマの機能を使用することはできません。
NMIは16ビットタイマ0のコンペアB周期で発生します。したがって、その周期はプリスケーラの16ビットタイマ0クロックコントロールレジスタ(0x40147)のP16TS0[2:0](D[2:0])と16ビットタイマ0コンペアレジスタB(0x48182)のCR0B[15:0](D[F:0])にセットするコンペアデータBによって決まります。

NMI発生周期は次の式から求められます。

$$\text{NMI発生周期} = \frac{\text{CR0B} + 1}{f_{PSCIN} \times \text{pdr}} \text{ [秒]}$$

f_{PSCIN}: プリスケーラ入力クロック周波数 [Hz]
pdr: P16TS0によるプリスケーラの分周比(1/4096, 1/1024, 1/256, 1/64, 1/16, 1/4, 1/2, 1/1)
CR0B: CR0B[F:0]の設定値(0〜65535)

プリスケーラと16ビットプログラマブルタイマ0の制御方法については、それぞれ"プリスケーラ"、"16ビットプログラマブルタイマ"を参照してください。

■ ウォッチドッグタイマ機能の設定

ウォッチドッグタイマ機能を使用する場合は、16ビットタイマ0のコンペアB信号によるNMIを有効に設定します。これにはウォッチドッグタイマイネーブルレジスタ(0x40171)のEWD(D1)を使用します。
EWDに"1"を書き込むとNMIが許可されます。イニシャルリセット時はEWDが"0"に設定され、NMIの発生は禁止状態となります。
なお、EWDへの誤書き込みによる不要なNMIの発生を防止するため、通常EWDは書き込み禁止に設定されています。EWDを書き込み許可に設定するには、ウォッチドッグタイマ書き込み保護レジスタ(0x40170)のWRWD(D7)に"1"を書き込みます。なお、WRWDによる書き込み許可は、EWDに対して1回の書き込みのみを許可します。書き込み許可に設定後、EWDにデータを書き込むと、WRWDは"0"に復帰し、再びEWDを書き込み禁止状態にします。

16ビットプログラマブルタイマ0も適切なコンペアBデータを設定し、動作を開始させておきます。

ウォッチドッグタイマを使用しない場合は、EWDを"0"に固定し変更しないでください。

■ ウォッチドッグタイマのリセット

ウォッチドッグタイマを使用する場合は、NMIが発生する前に16ビットプログラマブルタイマ0をリセットするルーチンを定期的に処理される場所に用意しておきます。このルーチンは前述のNMI発生周期以内で処理されるようにしてください。
16ビットタイマ0は16bitタイマ0制御レジスタ(0x48186)のPRESET0(D1)に"1"を書き込むことによりリセットされます。この時点でタイマカウンタが"0"にリセットされ、そこから新たなNMI発生周期のカウントを始めます。

何らかの原因によってウォッチドッグタイマが設定周期以内にリセットされなかった場合、NMIによってCPUはトラップ処理に移行し、NMIベクタで示される処理ルーチンを実行します。
NMIのトラップベクタアドレスは、デフォルトで0x0C0001Cに設定されます。

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134～0x48137)で変更することも可能です。

スタンバイモード時の動作

■ HALTモード時

HALTモード時(基本モードおよびHALT2モード)は、プリスケーラおよびウォッチドッグタイマも動作します。したがって、NMI発生周期以上、HALTモードを続けるとNMIによりHALTモードが解除されます。
HALTモード時にウォッチドッグタイマを無効にするには、halt命令実行前にEWDを"0"に設定するか、16ビットタイマ0を停止させてください。
EWDによりNMIを禁止した場合、16ビットタイマ0はHALT時もカウントを継続します。HALTモードを解除後にNMIを許可する際には、その前に16ビットタイマ0をリセットしてください。
16ビットタイマ0を停止させてHALTモードに移行した場合も、動作を再開させる前にリセットを行ってください。

■ SLEEPモード時

SLEEPモード時はプリスケーラが停止します。したがって、ウォッチドッグタイマも動作を停止します。SLEEPモード解除後に不要なNMIが発生することを防ぐため、slp命令の実行前に16ビットタイマ0をプリセットしてください。また、必要に応じEWDによってNMIの発生を禁止状態に設定してください。

ウォッチドッグタイマのI/Oメモリ

表5.1にウォッチドッグタイマの制御ビットを示します。

表5.1 ウォッチドッグタイマの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
ウォッチドッグタイマ書き込み保護レジスタ	0040170 (B)	D7	WRWD	EWD書き込み保護	1 書込許可 0 書込禁止	0	R/W	
		D6–0	–	–	–	–	–	読み出し時: 0
ウォッチドッグタイマイネーブルレジスタ	0040171 (B)	D7–2	–	–	–	–	–	読み出し時: 0
		D1	EWD	ウォッチドッグタイマイネーブル	1 NMI許可 0 NMI禁止	0	R/W	
		D0	–	–	–	–	–	読み出し時: 0

WRWD: EWD**書き込み保護**(D7/0x40170<**ウォッチドッグタイマ書き込み保護レジスタ**>)

EWDへの書き込みを許可します。

"1"書き込み: 書き込み許可
"0"書き込み: 書き込み禁止
読み出し: 可能

EWDは、不要な変更を防止するために書き込み禁止状態となっています。WRWDに"1"を書き込むと、この書き込みが1回のみ許可されます。EWDに対して書き込みを行うと、その時点でWRWDは"0"に戻り、 EWDは書き込み禁止状態となります。
書き込み許可状態(WRWD = "1")のときに、WRWDに"0"を書き込んだ場合も書き込み禁止状態に戻ります。
イニシャルリセット時、WRWDは"0"(書き込み禁止)に設定されます。

EWD: **ウォッチドッグタイマイネーブル**(D1/0x40171<**ウォッチドッグタイマイネーブルレジスタ**>)

ウォッチドッグタイマによるノンマスカブル割り込み(NMI)の発生を制御します。

"1"書き込み: NMI有効
"0"書き込み: NMI禁止
読み出し: 可能

EWDに"0"を書き込むと、ウォッチドッグタイマの割り込み信号がマスクされ、CPUに対してNMIを発生しません。EWDが"1"に設定されていると16ビットタイマ0のコンペアB信号によりNMIが発生します。
EWDへの書き込みはWRWDが"1"になっている場合のみ有効です。
なお、EWDを"0"に設定しても、16ビットタイマ0はカウント動作を停止しません。したがって、一時的にNMIを無効にした場合は、EWDを"1"に戻す前に16ビットタイマ0をリセットしてください。
イニシャルリセット時、EWDは"0"(NMI禁止)に設定されます。

プログラミング上の注意事項

(1) ウォッチドッグタイマのNMIを有効に設定している場合、16ビットタイマ0がコンペアB信号を出力する前にソフトウェアでプリセットする必要があります。

(2) EWDを"0"に設定しても、16ビットタイマ0は停止しません。したがって、一時的にNMIを無効にした場合は、EWDを"1"に戻す前に16ビットタイマ0をリセットしてください。

このページはブランクです。

III-6 低速(OSC1)発振回路

低速(OSC1)発振回路の構成

C33周辺回路ブロックは、低速(OSC1)発振回路を内蔵しています。
低速(OSC1)発振回路は32.768kHz(Typ.)のサブクロックを発生します。
出力されるOSC1クロックはコアブロックのCLG(クロックジェネレータ)に入力され、計時タイマのソースクロックとして使用されます。また、CPU/周辺回路の低速(低電力)動作用のサブクロックとして使用することもできます(プログラムによる切り換え)。
図6.1にクロック系の構成を示します。

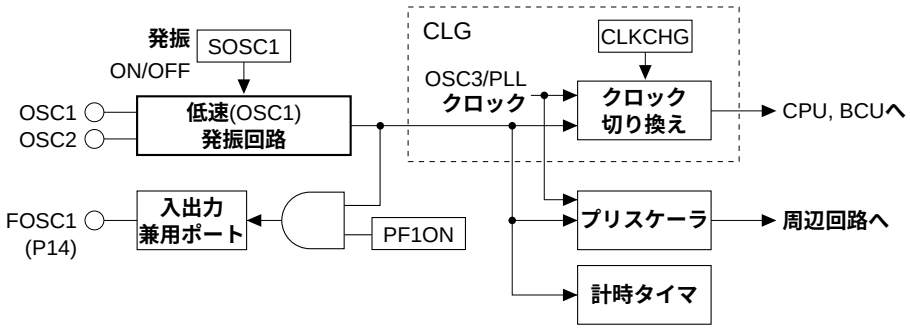


図6.1 クロック系の構成

CPUの動作クロックはプログラムによって低速(OSC1)発振回路の出力(OSC1クロック)に切り換えることができます。また、発振回路をプログラムによって停止させることもできます。
計時処理等のOSC3クロックが不要な場合は消費電流を低減させるため、OSC1クロックをCPU/周辺回路の動作クロックに設定し、高速(OSC3)発振回路を停止させてください。
低速(OSC1)発振回路はSLEEPモードでも停止しません。
OSC1クロックを周辺回路の動作クロックとして使用する場合の制御については、"プリスケーラ"を参照してください。

低速(OSC1)発振回路の入出力端子

表6.1に低速(OSC1)発振回路の入出力端子を示します。

表6.1 低速(OSC1)発振回路の入出力端子

端子名	I/O	機　能
OSC1	I	低速(OSC1)発振入力端子: 水晶発振または外部クロック入力
OSC2	O	低速(OSC1)発振出力端子: 水晶発振(外部クロック入力時は開放)
P14/FOSC1/DCLK	I/O	入出力兼用ポート/低速(OSC1)発振クロック出力/ DCLK信号出力

発振回路の種類

低速(OSC1)発振回路の種類としては、水晶発振または外部クロック入力を選択できます。
図6.2に低速(OSC1)発振回路の構造を示します。

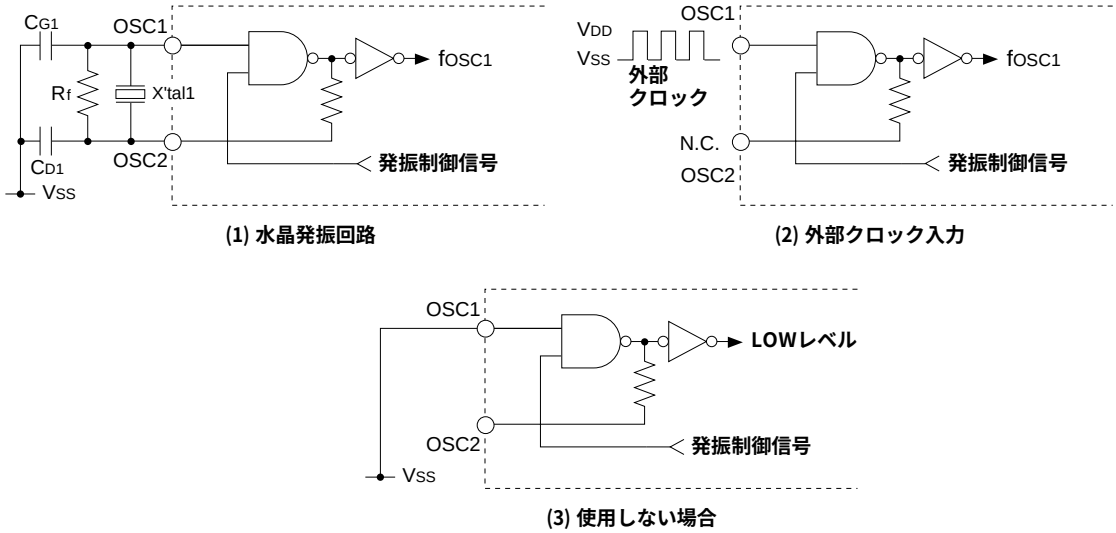


図6.2 低速(OSC1)発振回路

水晶発振回路として使用する場合は、水晶振動子X'tal1(32.768kHz Typ.)と帰還抵抗(Rf)をOSC1～OSC2端子間に、2つのコンデンサ(C_{G1}、C_{D1})をそれぞれOSC1端子～Vss間、OSC2端子～Vss間に接続してください。
外部クロックを使用する場合はOSC2端子を開放し、矩形波のクロックをOSC1端子に入力してください。
低速(OSC1)発振回路を使用しない場合はOSC1端子をVssに接続し、OSC2端子を開放してください。

発振周波数は32.768kHz(Typ.)です。この周波数の水晶振動子または外部クロックを使用してください。これ以外の周波数では、計時用途に使用できません。

発振特性と外部クロックの入力特性については"電気的特性"を参照してください。

発振の制御

低速(OSC1)発振回路は、パワーコントロールレジスタ(0x40180)のSOSC1(D0)によって発振のON/OFFが制御できます。
SOSC1に"0"を書き込むと低速(OSC1)発振回路が停止し、"1"を書き込むと発振を再開します。
イニシャルリセット時、SOSC1は"1"に設定され、低速(OSC1)発振回路はONとなります。

注: • **CPUの動作クロック原振に低速(OSC1)発振回路を使用している場合は、低速(OSC1)発振回路を停止させることはできません。その場合のSOSC1への"0"書き込みは無効です。また、パワーコントロールレジスタ保護フラグが0b10010110に設定されている場合にのみ、SOSC1への書き込みが行えます。**

• **発振回路をONにした直後は、発振が安定するまである程度の時間を要します(最大3秒)。誤動作を防止するため、発振が安定するまではそのクロックを使用しないでください。**

低速(OSC1)発振回路はSLEEP時に停止しません。

CPU動作クロックの切り換え

イニシャルリセット後、CPUはOSC3クロックにより動作を開始します。
周辺回路(プログラマブルタイマ、シリアルインタフェース、A/D変換器、ポート等)の動作が不要、もしくは低速動作で処理可能な場合でCPUも低速動作で処理可能な場合は、CPUの動作クロックをOSC1クロックに切り換えて消費電流を低減させることができます。この動作クロックの切り換えは、パワーコントロールレジスタ(0x40180)のCLKCHG(D2)によって行います。

OSC3クロックからOSC1クロックへの切り換え手順
1. 低速(OSC1)発振回路をON (SOSC1に"1"を書き込み)
2. OSC1発振が安定するまで(3秒以上)ウェイト
3. CPU動作クロックの切り換え (CLKCHGに"0"を書き込み)
4. 高速(OSC3)発振回路をOFF (SOSC3に"0"を書き込み)

※ 1と2は低速(OSC1)発振回路が停止している場合にのみ必要です。

注: • **OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々の命令で行ってください。1命令で同時に処理すると、CPUの誤動作につながります。**

• **プログラマブルタイマ、A/D変換器、シリアルインタフェースなどの周辺回路を動作させている場合、誤動作を防止するためOSC3発振を停止する前に動作を終了させるか、あるいはプリスケーラクロックをOSC1に設定してください。なお、誤動作を防止するため、プリスケーラの設定はCPUクロックの変更前に行ってください。**

OSC1クロックからOSC3クロックへの切り換え手順
1. 高速(OSC3)発振回路をON (SOSC3に"1"を書き込み)
2. OSC3発振が安定するまで(3.3V系水晶振動子の場合10ms以上)ウェイト
3. CPU動作クロックの切り換え (CLKCHGに"1"を書き込み)

注: **CLKCHGによる動作クロックの切り換えは、発振回路が両方ともONしている場合で、パワーコントロールレジスタ保護フラグが0b10010110に設定されている場合にのみ有効です。**

パワーコントロールレジスタ保護フラグ

発振回路とCPU動作クロックの制御を行うアドレス0x40180のパワーコントロールレジスタ(SOSC1、SOSC3、CLKCHG、CLKDT[1:0])は、不要な書き込みによる誤動作を防止するため、通常は書き込み禁止状態となっています。
書き込み可能な状態にするには、パワーコントロールレジスタ保護レジスタ(0x4019E)のCLGP[7:0](D[7:0])に0b10010110を設定する必要があります。なお、この設定はパワーコントロールレジスタ(0x40180)への1回の書き込みのみを許可し、書き込みが行われるとCLGP[7:0]のすべてのビットが"0"にクリアされます。したがって、パワーコントロールレジスタ(0x40180)への書き込みを行う場合は、その都度CLGP[7:0]に0b10010110を設定してください。
CLGP[7:0]は、パワーコントロールレジスタ(0x40180)の読み出しには影響を与えません。

スタンバイモード時の動作

halt命令の実行により設定されるHALTモードでは、低速(OSC1)発振回路はHALTモードへ移行する前の状態を保持します。したがって、HALTモードへの移行前および解除後に発振回路を制御する必要は特にありません。

slp命令の実行により設定されるSLEEPモードでも、低速(OSC1)発振回路はHALTモードへ移行する前の状態を保持します。したがって、SLEEPモードへの移行前にCPUがOSC1クロックで動作していた場合は、SLEEP中もCPUはOSC1クロックによって動作します。

OSC1クロックの外部出力

低速(OSC1)発振クロックは、FOSC1(P14)端子から外部に出力することができます。

表6.2 出力端子

端子名	I/O	機　能	機能選択ビット
P14/FOSC1/DCLK	I/O	入出力兼用ポート/低速(OSC1)発振クロック出力/DCLK信号出力	CFP14(P1機能選択レジスタ0x402D4•D4) CFEX0(ポート機能拡張レジスタ0x402DF•D0)

■ クロック出力端子の設定方法

OSC1クロック出力に使用する端子はP14入出力兼用ポートおよびデバッグ用クロック信号DCLKと共用されています。
コールドスタート時はDCLK端子(CFP14="0"、CFEX0="1")として設定されます。クロック出力機能を使用する場合は、CFP14を"1"、CFEX0を"0"、さらにIOC14(0x402D6•D4)を"1"に設定してください("入出力兼用ポート"参照)。
ホットスタート時は、リセット前の状態を保持します。

■ 出力制御

クロック出力を開始させるにはクロックオプションレジスタ(0x40190)のPF1ON(D0)に"1"を書き込みます。"0"を書き込むと出力は停止します。
イニシャルリセット時、PF1ONは"0"(出力停止)に設定されます。

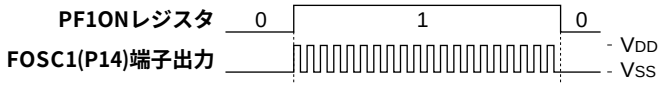


図6.3 OSC1クロック出力

低速(OSC1)発振回路のI/Oメモリ

表6.3に低速(OSC1)発振回路の制御ビットを示します。

表6.3 低速(OSC1)発振回路の制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
パワーコントロールレジスタ	0040180 (B)	D7	CLKDT1	システムクロック分周比選択	CLKDT[1:0] 分周比 1 1 1/8 1 0 1/4 0 1 1/2 0 0 1/1	0	R/W	
		D6	CLKDT0			0		
		D5	PSCON	プリスケーラOn/Off制御	1 On 0 Off	1	R/W	
		D4–3	–	reserved	–	0	–	1書き込み禁止
		D2	CLKCHG	CPU動作クロック切り換え	1 OSC3 0 OSC1	1	R/W	
		D1	SOSC3	高速(OSC3)発振On/Off制御	1 On 0 Off	1	R/W	
		D0	SOSC1	低速(OSC1)発振On/Off制御	1 On 0 Off	1	R/W	
クロックオプションレジスタ	0040190 (B)	D7–4	–	–	–	–	–	読み出し時: 0
		D3	HLT2OP	HALTクロックオプション	1 On 0 Off	0	R/W	
		D2	8T1ON	高速(OSC3)発振待ち時間On	1 Off 0 On	1	R/W	
		D1	–	reserved	–	0	–	1書き込み禁止
		D0	PF1ON	OSC1外部出力On/Off制御	1 On 0 Off	0	R/W	
パワーコントロールレジスタ保護レジスタ	004019E (B)	D7	CLGP7	パワーコントロールレジスタ保護フラグ	10010110(0x96)書き込みによりパワーコントロールレジスタ(0x40180)、クロックオプションレジスタ(0x40190)の書き込み保護を解除 それ以外は書き込み禁止に設定	0	R/W	
		D6	CLGP6			0		
		D5	CLGP5			0		
		D4	CLGP4			0		
		D3	CLGP3			0		
		D2	CLGP2			0		
		D1	CLGP1			0		
		D0	CLGP0			0		
P1機能選択レジスタ	00402D4 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	CFP16	P16機能選択	1 EXCL5 #DMAEND1 0 P16	0	R/W	
		D5	CFP15	P15機能選択	1 EXCL4 #DMAEND0 0 P15	0	R/W	
		D4	CFP14	P14機能選択	1 FOSC1 0 P14	0	R/W	拡張機能(0x402DF)
		D3	CFP13	P13機能選択	1 EXCL3 T8UF3 0 P13	0	R/W	
		D2	CFP12	P12機能選択	1 EXCL2 T8UF2 0 P12	0	R/W	
		D1	CFP11	P11機能選択	1 EXCL1 T8UF1 0 P11	0	R/W	
		D0	CFP10	P10機能選択	1 EXCL0 T8UF0 0 P10	0	R/W	
ポート機能拡張レジスタ	00402DF (B)	D7	CFEX7	P07ポート機能拡張	1 #DMAEND3 0 P07, etc.	0	R/W	
		D6	CFEX6	P06ポート機能拡張	1 #DMAACK3 0 P06, etc.	0	R/W	
		D5	CFEX5	P05ポート機能拡張	1 #DMAEND2 0 P05, etc.	0	R/W	
		D4	CFEX4	P04ポート機能拡張	1 #DMAACK2 0 P04, etc.	0	R/W	
		D3	CFEX3	P31ポート機能拡張	1 #GARD 0 P31, etc.	0	R/W	
		D2	CFEX2	P21ポート機能拡張	1 #GAAS 0 P21, etc.	0	R/W	
		D1	CFEX1	P10, P11, P13ポート機能拡張	1 DST0 DST1 DPC0 0 P10, etc. P11, etc. P13, etc.	1	R/W	
		D0	CFEX0	P12, P14ポート機能拡張	1 DST2 DCLK 0 P12, etc. P14, etc.	1	R/W	

SOSC1: **低速**(OSC1)**発振制御**(D0/0x40180<**パワーコントロールレジスタ**>)

低速(OSC1)発振回路の発振ON/OFFを制御します。

"1"書き込み: OSC1発振ON
"0"書き込み: OSC1発振OFF
読み出し: 可能

SOSC1に"0"を書き込むことにより低速(OSC1)発振回路が発振を停止し、"1"の書き込みで発振を再開します。発振を再開後は、発振が安定するまで標準動作条件で最大3秒の時間を要しますので、OSC1クロックはそれ以上の時間が経過後に使用してください。
SOSC1への書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。また、OSC1クロックでCPUが動作している場合は、"0"の書き込みは無効となり発振を停止しません。
イニシャルリセット時、SOSC1は"1"(OSC1発振ON)に設定されます。

CLKCHG: CPU**動作クロック切り換え**(D2/0x40180<**パワーコントロールレジスタ**>)

CPUの動作クロックを選択します。

"1"書き込み: OSC3クロック
"0"書き込み: OSC1クロック
読み出し: 可能

CPUの動作クロックはCLKCHGに"1"を書き込んだ場合OSC3、"0"を書き込んだ場合OSC1となります。
高速(OSC3)発振回路および低速(OSC1)発振回路が共にONの場合にのみ動作クロックの切り換えが行えます。また、 CLKCHGへの書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。
発振回路が発振を開始した直後は、発振が安定するまでCPUの動作クロックの切り換えは行わないでください。
イニシャルリセット時、CLKCHGは"1"(OSC3クロック)に設定されます。
高速(OSC3)発振回路の制御については、コアブロックの"CLG(クロックジェネレータ)"を参照してください。

HLT2OP: HALT**クロックオプション**(D3/0x40190<**クロックオプションレジスタ**>)

HALTモード時の状態(基本モードとHALT2モード)を選択します。

"1"書き込み: HALT2モード
"0"書き込み: 基本モード
読み出し: 可能

HALTモード時の状態は、HLT2OPに"1"を書き込むとHALT2モード、"0"を書き込むと基本モードになります。
HLT2OPへの書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。
イニシャルリセット時、HLT2OPは"0"(基本モード)に設定されます。

HALTモード(基本モードとHALT2モード)、SLEEPモードの動作状態は以下のとおりです。

表6.4 スタンバイモードの動作状態

スタンバイモード		動作状態	再起動
HALTモード	基本モード	・CPUクロック停止(CPU停止) ・BCUへのクロック非停止(BCU非停止) ・DMAクロック非停止(DMA非停止) ・周辺回路へのクロックはHALTモードに移行する直前の状態を継続(停止/非停止) ・高速発振回路はHALTモードに移行する直前の状態を継続 ・低速発振回路はHALTモードに移行する直前の状態を継続	・リセット、NMI ・マスクされていない割り込み要因の発生
	HALT2モード	・CPUクロック停止(CPU停止) ・BCUへのクロック停止(BCU停止) ・DMAへのクロック停止(DMA停止) ・周辺回路へのクロックはHALTモードに移行する直前の状態を継続(停止/非停止) ・高速発振回路はHALTモードに移行する直前の状態を継続 ・低速発振回路はHALTモードに移行する直前の状態を継続	・リセット、NMI ・マスクされていない割り込み要因の発生 ただし、周辺回路からの割り込みによって再起動させるには、その周辺回路に動作クロックが供給されている必要があります(クロックが停止していないことが条件)。
SLEEPモード		・CPUクロック停止(CPU停止) ・BCUへのクロック停止(BCU停止) ・周辺回路へのクロックは停止 ・高速発振回路は停止 ・低速発振回路はSLEEPモードに移行する直前の状態を継続	・リセット、NMI ・マスクされていない入力ポートからの割り込み ・低速発振回路が動作しているときの計時タイマからの割り込み

PF1ON: OSC1外部出力ON/OFF制御(D0/0x40190<クロックオプションレジスタ>)

低速(OSC1)クロックの外部出力をON/OFFします。

"1"書き込み: ON
"0"書き込み: OFF
読み出し: 可能

PF1ONに"1"を書き込むことにより、低速(OSC1)クロックがFOSC1端子から出力されます。ただし、P14端子をCFP14およびCFEX0によってFOSC1端子に設定し、さらにIOC14(D4/0x402D6<P1 I/O制御レジスタ>)を"1"にして出力設定にしておくことが必要です。
"0"を書き込むと出力は停止します。
PF1ONへの書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。
イニシャルリセット時、PF1ONは"0"(OFF)に設定されます。

CLGP7–CLGP0: パワーコントロールレジスタ保護フラグ
([D[7:0]/0x4019E<パワーコントロールレジスタ保護レジスタ>)

パワーコントロールレジスタ(0x40180)とクロックオプションレジスタ(0x40190)の書き込み保護を解除します。

0b10010110書き込み: 書き込み保護解除
上記以外の書き込み: ノーオペレーション(書き込み保護)
読み出し: 可能

パワーコントロールレジスタ(0x40180)またはクロックオプションレジスタ(0x40190)に書き込みを行う場合は、その前にCLGP[7:0]を0b10010110に設定し、書き込み保護を解除してください。この解除は上記いずれかのアドレスに対する1回の書き込みのみに有効で、書き込みが行われると0b00000000にクリアされます。したがって、書き込みの都度CLGP[7:0]を再設定する必要があります。
イニシャルリセット時、CLGPは0b00000000(書き込み保護)に設定されます。

CFP14: P14機能選択(D4/0x402D4<P1機能選択レジスタ>)

P14入出力兼用ポート端子の機能を選択します。

"1"書き込み: OSC1クロック出力端子
"0"書き込み: 入出力兼用ポート端子
読み出し: 可能

CFP14に"1"を書き込むと、P14端子がOSC1クロック出力端子(FOSC1)に設定されます。
FOSC1出力端子として使用する場合は、IOC14(D4/0x402D6<P1 I/O制御レジスタ>)も"1"(出力)に設定してください。
コールドスタート時、CFP14は"0"(入出力兼用ポート端子)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

CFEX0: P12, P14ポート機能拡張(D0/0x402DF<ポート機能拡張レジスタ>)

P14端子の拡張機能を選択します。

"1"書き込み: DCLK出力端子
"0"書き込み: P14/FOSC1出力端子
読み出し: 無効

CFEX0に"1"を書き込むと、P14端子がデバッグ用クロック信号DCLKの出力端子として機能します。
CFEX0が"0"の場合はCFP14レジスタが有効となり、その設定に従ってP14入出力兼用ポート端子またはFOSC1出力端子となります。
コールドスタート時、CFEX0は"1"(DCLK出力端子)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

プログラミング上の注意事項

(1) 低速(OSC1)発振回路をONにした直後は、発振が安定するまである程度の時間を要します(最大3秒)。誤動作を防止するため、発振が安定するまではそのクロックを使用しないでください。

(2) CPUの動作クロックに使用している発振回路を停止させることはできません。

(3) CPU動作クロックの切り換えは、OSC3とOSC1発振回路が両方ともONしている場合にのみ可能です。
また、CPU動作クロックの切り換え後に不要となった発振回路をOFFする場合、切り換えと発振OFFは命令を分けて行ってください。1命令で同時に処理すると、CPUの誤動作につながります。

(4) 低速(OSC1)発振回路をOFFにした場合、OSC1クロックで動作している周辺回路はすべて停止します。

(5) 消費電流を低減させるため、OSC3クロックが不要な場合はOSC1クロックでCPUを動作させ、高速(OSC3)発振回路をOFFしてください。

(6) P14/FOSC1/DCLK端子をFOSC1端子として使用する場合、CFP14(D4/0x402D4)、CFEX0(D0/0x402DF)による設定に加えて、IOC14(D4/0x402D6)を"1"(出力)に設定してください。

III-7 計時タイマ

計時タイマの構成

計時タイマは低速(OSC1)発振クロックfOSC1を分周した256Hz信号を入力クロックとする8ビットのバイナリカウンタ、秒カウンタ、分カウンタ、時間カウンタ、日カウンタで構成され、各データ(128～1Hz、秒、分、時間、日) をソフトウェアによって読み出すことができます。また、32Hz、8Hz、2Hz、1Hz(1秒)信号および1分、1時間、1日のカウントアップによる割り込みと分、時間、日指定によるアラームを発生させることができます。
低速(OSC1)発振回路と計時タイマは、CPUおよび他の内蔵周辺回路をスタンバイモード(HALTまたはSLEEP)にした場合でも動作可能です。
通常はこの計時タイマを、時計などのような各種の計時機能に使用します。
図7.1に計時タイマの構成を示します。

注: **計時タイマは低速**(OSC1)**発振回路を原振としているため、低速**(OSC1)**発振回路**(Typ. 32.768kHz)**を使用しない場合は、計時タイマも使用できません。**

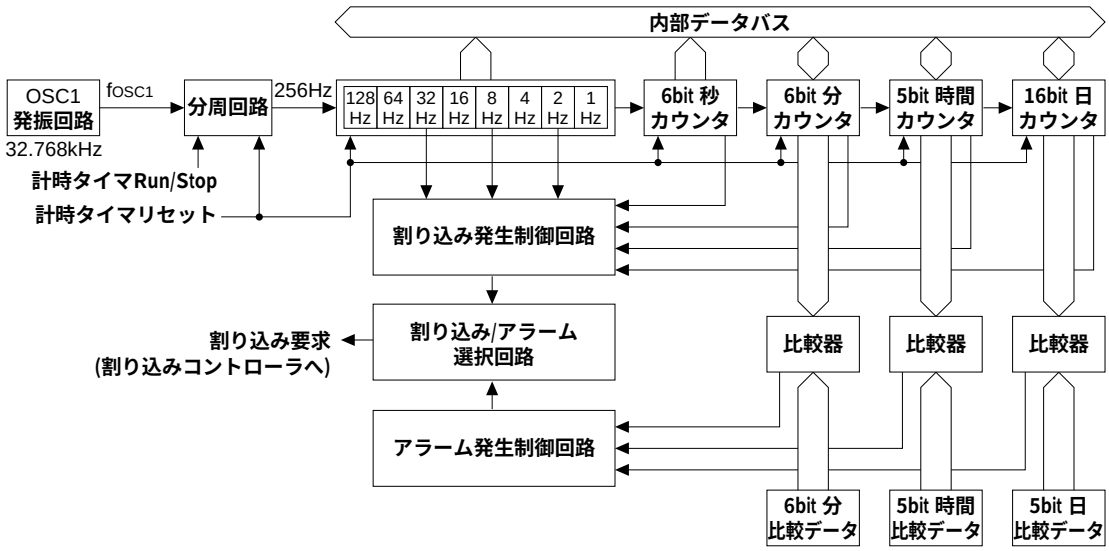


図7.1 **計時タイマの構成**

計時タイマの制御と動作

■ 初期設定

イニシャルリセット時、計時タイマのカウンタデータ、アラーム設定内容およびRUN/STOPを含む制御ビットは初期化されません(CPUコア電源ON/OFFフラグTCHVOFおよびOSC1オートOFFフラグTCAOFFを除く)。
したがって、計時タイマを使用する場合は以下の手順で初期化してください。
1. 設定開始前に、計時タイマを停止状態、計時タイマ割り込みを禁止に設定
2. カウンタをリセット
3. 分、時間、日データをプリセット(必要な場合のみ)
4. 割り込み要因を選択
5. アラーム機能の選択
6. 割り込みを許可
7. 計時タイマをスタート

各設定、制御方法を以下に説明します。割り込みの制御については"計時タイマの割り込み機能"を参照してください。

■ カウンタのリセット

計時タイマの各カウンタはソフトウェアでのみ"0"にリセット可能です。イニシャルリセットやオートオフ機能によってはリセットされませんので注意してください。
計時タイマをリセットするには計時タイマRun/Stopレジスタ(0x40151)のTCRST(D1)に"1"を書き込みます。ただし、このリセットは計時タイマが停止中にのみ受け付けられ、動作中は無効です。

注:
- **計時タイマリセットビット**TCRST**と計時タイマ**RUN/STOP**制御ビット**TCRUN**は、同一アドレス**(0x40151)**の計時タイマ**Run/Stop**レジスタに割り付けられています。ただし、両方に**"1"**を書き込んで計時タイマのリセットと**RUN**を同時に行うことはできません。この場合、リセットは無効となり、その時点のカウンタ値からのカウントアップとなります。リセットは必ず**TCRUN**が**"0"**の状態で行ってください。**
- **計時タイマのリセットによってカウンタがクリアされる際、設定によっては割り込みが発生することがあります。したがって、計時タイマをリセットする場合は、先に計時タイマ割り込みを禁止し、計時タイマをリセット後に割り込み要因フラグ、割り込み要因発生フラグおよびアラーム要因発生フラグをリセットしてください。**

■ 分、時間、日データのプリセット

計時タイマの分カウンタ、時間カウンタ、日カウンタにはデータプリセット機能があり、時間を任意に設定することができます。

表7.1 **カウンタのプリセット**

カウンタ	データレジスタ	プリセット値
分カウンタ	TCHD[5:0] (**計時タイマ分レジスタ**0x40155•D[5:0])	0〜59
時間カウンタ	TCDD[4:0] (**計時タイマ時間レジスタ**0x40156•D[4:0])	0〜23
日カウンタ	TCND[15:0] (**計時タイマ日(上位)レジスタ**0x40158•D[7:0]) (**計時タイマ日(下位)レジスタ**0x40157•D[7:0])	0〜65535

計時タイマをRTCとして使用する場合には、これらのカウンタ値を設定してから計時タイマを動作させてください。日カウンタには基準日(たとえば1990年1月1日)からの日数を設定します。

■ 計時タイマのRUN/STOP

計時タイマは計時タイマRun/Stopレジスタ(0x40151)のTCRUN(D0)に"1"を書き込むとカウントをスタートし、"0"を書き込むと停止します。
計時タイマをRUNさせると、低速(OSC1)発振クロックの立ち下がりエッジで256Hzクロックの入力がイネーブルとなり、256Hzクロックの立ち下がりエッジで8ビットバイナリカウンタがカウントアップします。8ビットバイナリカウンタの動作を図7.2に示します。

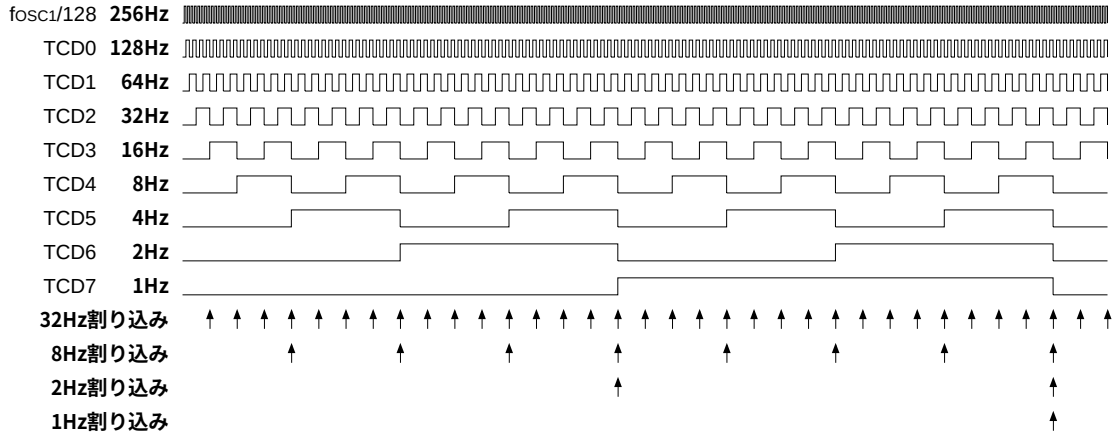


図7.2 **8ビットバイナリカウンタのタイミングチャート**

8ビットバイナリカウンタの最終段は1Hz信号を出力します。
秒カウンタはその1Hz信号をカウントします。60秒をカウントすると60秒信号を出力し、カウンタは0秒にリセットされます。
同様に分カウンタ、時間カウンタもそれぞれ前段のカウンタの出力信号により60分、24時間のカウントを行います。
日カウンタは16ビットのバイナリカウンタで、時間カウンタが出力する24時間信号により65536日のカウントが行えます。
各カウンタが発生する以下の信号の中から、割り込みを発生させる信号を1つ選択することができます。
32Hz, 8Hz, 2Hz, 1Hz(1秒), 1分, 1時間, 1日

TCRUNに"0"を書き込んだ場合は、カウントアップのタイミング(256Hzクロックの立ち下がり)と重なることによる誤動作を避けるため、計時タイマは低速(OSC1)発振クロックの立ち上がりエッジで停止します。

計時タイマを停止させた場合でも、各カウンタはその時点のデータを保持します。その状態で再びRUNさせると、保持している値からカウントを継続します。

■ カウンタデータの読み出し

各カウンタのデータはソフトウェアによってバイナリデータとして読み出すことができます。

表7.2 **カウンタデータの読み出し**

カウンタ	カウンタデータ
1Hz〜128Hz	TCD[7:0] (**計時タイマ分周レジスタ**0x40153•D[7:0])
秒カウンタ	TCMD[5:0] (**計時タイマ秒レジスタ**0x40154•D[5:0])
分カウンタ	TCHD[5:0] (**計時タイマ分レジスタ**0x40155•D[5:0])
時間カウンタ	TCDD[4:0] (**計時タイマ時間レジスタ**0x40156•D[4:0])
日カウンタ	TCND[15:0](**計時タイマ日(上位)レジスタ**0x40158•D[7:0]) (**計時タイマ日(下位)レジスタ**0x40157•D[7:0])

データは動作中のカウンタから直接読み出されます。このため、各カウンタデータの読み出しの間にカウンタがオーバーフローして、正確なデータが読み出せないことがあります。たとえば、8ビットバイナリカウンタが0xFFで読み出され、次の秒カウンタを読み出す前にオーバーフローすると、秒カウンタは8ビットバイナリカウンタの読み出し時から1秒加算された値になります。これを防ぐため、各カウンタを複数回読み出して、データが変更されないことを確認してください。

■ アラーム機能の設定

計時タイマにはアラーム機能があり、指定の日時に割り込みを発生させることができます。
アラームの指定は分単位、時間単位、日単位で単独に、または複数を組み合わせて行えます。
この選択は計時タイマ割り込み制御レジスタ(0x40152)のTCASE[2:0](D[4:2])で行います。

表7.3 アラーム要因の選択

TCASE2	TCASE1	TCASE0	アラーム要因
X	X	1	**分アラーム**
X	1	X	**時間アラーム**
1	X	X	**日アラーム**
0	0	0	**選択なし**

たとえばTCASEを"001"に設定すると、分アラームのみが有効となり、毎時指定分にアラームが発生します。"111"に設定すると、指定日・指定時・指定分にアラームが発生します。
アラームを使用しない場合は"000"を設定してください。
1分、1時間、あるいは1日周期で割り込みを発生させたい場合は、カウンタによる割り込み機能で対応可能です。

日・時間・分の指定は以下のレジスタで行います。
分の指定: 計時タイマ分比較レジスタ TCCH[5:0](D[5:0]/0x40159) 0～59分*
時間の指定: 計時タイマ時間比較レジスタ TCCD[4:0](D[4:0]/0x4015A) 0～23時*
日の指定: 計時タイマ日比較レジスタ TCCN[4:0](D[4:0]/0x4015B) 0～31日後

* 分比較レジスタ(6ビット)、時間比較レジスタ(5ビット)はそれぞれ63分、31時まで設定可能で、59分あるいは23時を越えるデータを設定しても無効とはなりませんので注意してください。

これらのレジスタに設定された値が各カウンタと比較され、一致すると計時タイマ割り込み制御レジスタ(0x40152)のアラーム要因発生フラグTCAF(D0)が"1"にセットされます。割り込みコントローラによって計時タイマ割り込みが許可されていれば、同時に割り込みも発生します。
なお、日比較データレジスタは5ビットで、日カウンタの下位5ビットと比較されます。したがって、設定した日から31日後までの間アラームを発生可能です。

計時タイマの割り込み機能

■ 計時タイマ割り込み要因

計時タイマはカウンタの32Hz、8Hz、2Hz、1Hz(1秒)、1分、1時間、1日の信号によって割り込みを発生させることができます。この中のどの信号を割り込み要因として使用するかについては計時タイマ割り込み制御レジスタ(0x40152)の割り込み要因選択ビットTCISE[2:0](D[7:5])で選択できます。

表7.4 割り込み要因の選択

TCISE2	TCISE1	TCISE0	割り込み要因
1	1	1	**選択なし**
1	1	0	**1日**
1	0	1	**1時間**
1	0	0	**1分**
0	1	1	1Hz
0	1	0	2Hz
0	0	1	8Hz
0	0	0	32Hz

選択した信号の周期(各立ち下がりエッジ)で割り込み要因が発生します。
これらの信号による割り込みを使用しない場合は、TCISEを"111"に設定してください。

選択した割り込み要因が発生すると、計時タイマ割り込み制御レジスタ(0x40152)の割り込み要因発生フラグTCIF(D1)が"1"にセットされます。同時に計時タイマ、A/D割り込み要因フラグレジスタ(0x40287)の計時タイマ割り込み要因フラグFCTM(D1)も"1"にセットされます。このとき、割り込み制御レジスタによって割り込み条件が満たされていれば、CPUに対し割り込みが発生します。

前節で説明したとおり、指定したアラーム日時に割り込みを発生させることもできます。
信号による割り込みとアラームによる割り込みの両方を利用することができます。ただし、計時タイマの割り込み要因フラグは1種類のため、同一の割り込みが発生します。したがって、両方の割り込みを使用する場合は、割り込み発生時に割り込み要因発生フラグTCIFとアラーム要因発生フラグTCAFを読み出してどちらの要因による割り込みなのかを確認してください。
要因発生フラグは"1"にセットされると、ソフトウェアで"1"を書き込むまでリセットされません。フラグがセットされていることを確認後は"1"を書き込んでリセットしてください。
なお、割り込み要因発生フラグ、アラーム要因発生フラグは、割り込み、アラーム発生から4ms以上の時間が経過後にリセットしてください。

注: 不要な割り込みの発生を防止するため、割り込み要因およびアラーム要因の選択は、計時タイマの割り込みを禁止した状態で行ってください。また、その後で割り込みを許可する前に、各要因発生フラグと割り込み要因フラグをリセットしてください。

■ 割り込みコントローラの制御レジスタ

計時タイマ割り込みの制御ビット/レジスタは次のとおりです。

割り込み要因フラグ: FCTM
(ポート入力4–7, 計時タイマ, A/D割り込み要因フラグレジスタ0x40287•D1)
割り込みイネーブル: ECTM
(ポート入力4–7, 計時タイマ, A/D割り込みイネーブルレジスタ0x40277•D1)
割り込みレベル: PCTM[2:0]
(計時タイマ割り込みプライオリティレジスタ0x4026B•D[2:0])

計時タイマは前述の割り込み要因が発生すると割り込み要因フラグを"1"にセットします。このときに、対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず("0"に設定されていても)、割り込み要因発生時に"1"にセットされます。割り込みプライオリティレジスタは、割り込みの優先レベル(0〜7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。また、計時タイマ割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した計時タイマ割り込みのレベルよりも小さな値に設定されている場合に限られます。
これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITC(割り込みコントローラ)"を参照してください。
なお、計時タイマの割り込み要因にはインテリジェントDMAを起動する機能はありません。

■ トラップベクタ

計時タイマ割り込みのトラップベクタアドレスは、デフォルトで0x0C00104に設定されます。

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134〜0x48137)で変更することも可能です。

計時タイマの使用例

以下に計時タイマの使用例とその制御方法を示します。

■ 計時タイマをタイマカウンタとして使用する場合

CPUを停止した状態で計時タイマを動作させ、指定時間(例: 3日)経過後にウェークアップさせる例

1. 低速(OSC1)発振回路が安定して発振していることを確認します。(SOSC1 = "1")
   発振開始直後の場合は発振が安定するまで(約3秒)待機してください。
2. 割り込みコントローラで計時タイマの割り込みを禁止します。(ECTM = "0")
3. 計時タイマを停止させ、日比較レジスタに"3日"を設定します。(TCRUN = "0", TCCN = "3")
4. アラーム要因選択レジスタで"日指定アラーム"を選択し、割り込み要因選択レジスタを"選択なし"に設定します。(TCASE = "100", TCISE = "111")
5. 割り込み要因フラグおよびアラーム要因発生フラグをリセットします。(FCTM = "0", TCAF = "0")
6. 割り込みコントローラで計時タイマ割り込みを許可します。(ECTM = "1")
7. CPU動作クロックを低速(OSC1)クロックに切り換えます。(CLKCHG = "0")
8. 高速(OSC3)発振回路を停止させます。(SOSC3 = "0")
9. 計時タイマをリセットします。(TCRST = "0")
10. 計時タイマをスタートさせます。(TCRUN = "1")
11. halt命令を実行し、CPUを停止させます。

    :

    計時タイマからの日指定アラーム割り込みの発生を待ちます。割り込みが発生すると、CPUはOSC1クロックで起動します。

    :

12. 必要であれば、高速(OSC3)発振回路をONし、CPU動作クロックをOSC3クロックに切り換えます。

上記例で、3日が経過する前にリセットをかけた場合は次のような動作となります。
・CPUはOSC3クロックにより起動します。
・計時タイマのカウンタはリセットされません。RUN状態を保持します。
計時タイマのカウンタを読み出すことで、CPUが停止していた時間を確認することができます。

■ 計時タイマをRTCとして使用する場合

計時タイマを動作させ、毎日10時(AM)にアラームを発生させる例

1. 割り込みコントローラで計時タイマの割り込みを禁止します。(ECTM = "0")
2. 計時タイマを停止させます。(TCRUN = "0")
3. 計時タイマをリセットします。(TCRST = "1")
4. 分(TCHD)・時間(TCDD)・日(TCND)カウンタに現在の日時を設定します。日カウンタには基準日(1990年1月1日等)からの日数を設定し、読み出し時はソフトウェアで現在の日付に変換します。
5. 時間比較レジスタに"10時"を設定します。(TCCD = "0x0A")
6. アラーム要因選択レジスタで"時間指定アラーム"を選択し、割り込み要因選択レジスタを"選択なし"に設定します。(TCASE = "010", TCISE = "111")
7. 割り込み要因フラグとアラーム要因発生フラグをリセットします。(FCTM = "1", TCAF = "0")
8. 割り込みコントローラで計時タイマ割り込みを許可します。(ECTM = "1")
9. 計時タイマをスタートさせます。(TCRUN = "1)

    :

    計時タイマは毎日10時に時間指定アラーム割り込みを発生します。

    :

上記例で、アラーム以外の割り込み要因を選択した場合、その割り込み要因による割り込みも発生します。どちらの割り込みかを確認するには、割り込み要因発生フラグTCIFおよびアラーム要因フラグTCAFを読み出してください。TCAFが"1"にセットされていれば、アラームによる割り込みです。なお、時間指定アラームと1日以外の割り込み要因を選択した場合は、アラーム要因発生時にその割り込み要因も同時に発生します。

計時タイマのI/Oメモリ

表7.5に計時タイマの制御ビットを示します。

表7.5 計時タイマの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
計時タイマ Run/Stop レジスタ	0040151 (B)	D7–2	–	reserved	–	–	–	読み出し時: 0
		D1	TCRST	計時タイマリセット	1 リセット 0 無効	X	W	読み出し時: 0
		D0	TCRUN	計時タイマRun/Stop制御	1 Run 0 Stop	X	R/W	
計時タイマ 割り込み制御 レジスタ	0040152 (B)	D7	TCISE2	計時タイマ割り込み要因選択	TCISE[2:0] 割り込み要因	X	R/W	
		D6	TCISE1		1 1 1 なし	X		
		D5	TCISE0		1 1 0 1日	X		
					1 0 1 1時間			
					1 0 0 1分			
					0 1 1 1Hz			
					0 1 0 2Hz			
					0 0 1 8Hz			
					0 0 0 32Hz			
		D4	TCASE2	計時タイマアラーム要因選択	TCASE[2:0] アラーム要因	X	R/W	
		D3	TCASE1		1 X X 日アラーム	X		
		D2	TCASE0		X 1 X 時間アラーム	X		
					X X 1 分アラーム			
					0 0 0 なし			
		D1	TCIF	割り込み要因発生フラグ	1 要因あり 0 要因なし	X	R/W	"1"書き込みでリセット
		D0	TCAF	アラーム要因発生フラグ	1 要因あり 0 要因なし	X	R/W	"1"書き込みでリセット
計時タイマ 分周レジスタ	0040153 (B)	D7	TCD7	計時タイマデータ 1Hz	1 High 0 Low	X	R	
		D6	TCD6	計時タイマデータ 2Hz	1 High 0 Low	X	R	
		D5	TCD5	計時タイマデータ 4Hz	1 High 0 Low	X	R	
		D4	TCD4	計時タイマデータ 8Hz	1 High 0 Low	X	R	
		D3	TCD3	計時タイマデータ 16Hz	1 High 0 Low	X	R	
		D2	TCD2	計時タイマデータ 32Hz	1 High 0 Low	X	R	
		D1	TCD1	計時タイマデータ 64Hz	1 High 0 Low	X	R	
		D0	TCD0	計時タイマデータ 128Hz	1 High 0 Low	X	R	
計時タイマ 秒レジスタ	0040154 (B)	D7–6	–	reserved	–	–	–	読み出し時: 0
		D5	TCMD5	計時タイマ秒データ	0〜59秒	X	R	
		D4	TCMD4	TCMD5 = MSB		X		
		D3	TCMD3	TCMD0 = LSB		X		
		D2	TCMD2			X		
		D1	TCMD1			X		
		D0	TCMD0			X		
計時タイマ 分レジスタ	0040155 (B)	D7–6	–	reserved	–	–	–	読み出し時: 0
		D5	TCHD5	計時タイマ分データ	0〜59分	X	R/W	
		D4	TCHD4	TCHD5 = MSB		X		
		D3	TCHD3	TCHD0 = LSB		X		
		D2	TCHD2			X		
		D1	TCHD1			X		
		D0	TCHD0			X		
計時タイマ 時間レジスタ	0040156 (B)	D7–5	–	reserved	–	–	–	読み出し時: 0
		D4	TCDD4	計時タイマ時間データ	0〜23時	X	R/W	
		D3	TCDD3	TCDD4 = MSB		X		
		D2	TCDD2	TCDD0 = LSB		X		
		D1	TCDD1			X		
		D0	TCDD0			X		
計時タイマ 日(下位) レジスタ	0040157 (B)	D7	TCND7	計時タイマ日データ	0〜65535日	X	R/W	
		D6	TCND6	(下位8ビット)	(下位8ビット)	X		
		D5	TCND5	TCND0 = LSB		X		
		D4	TCND4			X		
		D3	TCND3			X		
		D2	TCND2			X		
		D1	TCND1			X		
		D0	TCND0			X		
計時タイマ 日(上位) レジスタ	0040158 (B)	D7	TCND15	計時タイマ日データ	0〜65535日	X	R/W	
		D6	TCND14	(上位8ビット)	(上位8ビット)	X		
		D5	TCND13	TCND15 = MSB		X		
		D4	TCND12			X		
		D3	TCND11			X		
		D2	TCND10			X		
		D1	TCND9			X		
		D0	TCND8			X		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
計時タイマ	0040159	D7–6	–	reserved	–	–	–	読み出し時: 0
分比較レジスタ	(B)	D5	TCCH5	計時タイマ分比較データ	0〜59分	X	R/W	
		D4	TCCH4	TCCH5 = MSB	(注)0〜63を設定可能	X		
		D3	TCCH3	TCCH0 = LSB		X		
		D2	TCCH2			X		
		D1	TCCH1			X		
		D0	TCCH0			X		
計時タイマ	004015A	D7–5	–	reserved	–	–	–	読み出し時: 0
時間比較	(B)	D4	TCCD4	計時タイマ時間比較データ	0〜23時	X	R/W	
レジスタ		D3	TCCD3	TCCD4 = MSB	(注)0〜31を設定可能	X		
		D2	TCCD2	TCCD0 = LSB		X		
		D1	TCCD1			X		
		D0	TCCD0			X		
計時タイマ	004015B	D7–5	–	reserved	–	–	–	読み出し時: 0
日比較レジスタ	(B)	D4	TCCN4	計時タイマ日比較データ	0〜31日	X	R/W	TCND[4:0]と比較
		D3	TCCN3	TCCN4 = MSB		X		
		D2	TCCN2	TCCN0 = LSB		X		
		D1	TCCN1			X		
		D0	TCCN0			X		
計時タイマ	004026B	D7–3	–	reserved	–	–	–	1書き込み禁止
割り込み	(B)	D2	PCTM2	計時タイマ	0〜7	X	R/W	
プライオリティ		D1	PCTM1	割り込みレベル		X		
レジスタ		D0	PCTM0			X		
ポート入力4–7,	0040277	D7–6	–	reserved	–	–	–	読み出し時: 0
計時タイマ, A/D	(B)	D5	EP7	ポート入力7	1 許可 0 禁止	0	R/W	
割り込みイネー		D4	EP6	ポート入力6		0	R/W	
ブルレジスタ		D3	EP5	ポート入力5		0	R/W	
		D2	EP4	ポート入力4		0	R/W	
		D1	ECTM	計時タイマ		0	R/W	
		D0	EADE	A/D変換器		0	R/W	
ポート入力4–7,	0040287	D7–6	–	reserved	–	–	–	読み出し時: 0
計時タイマ, A/D	(B)	D5	FP7	ポート入力7	1 要因発生 0 要因なし	X	R/W	
割り込み要因		D4	FP6	ポート入力6		X	R/W	
フラグレジスタ		D3	FP5	ポート入力5		X	R/W	
		D2	FP4	ポート入力4		X	R/W	
		D1	FCTM	計時タイマ		X	R/W	
		D0	FADE	A/D変換器		X	R/W	

TCRST: 計時タイマリセット(D1/0x40151<計時タイマRun/Stopレジスタ>)

計時タイマをリセットします。

"1"書き込み: 計時タイマリセット
"0"書き込み: 無効
読み出し: 常時"0"

計時タイマは、停止状態でTCRSTに"1"を書き込むことによってリセットされます。カウンタはすべて"0"にクリアされます。
計時タイマがRUN状態ではリセットされません。また、計時タイマRun/Stopレジスタ(0x40151)に対する1回の書き込みで計時タイマのリセットとRUNを同時に実行することはできません(計時タイマはスタートしますが、リセットされません)。この場合は、先に計時タイマをリセットし、別の命令で計時タイマをRUNさせてください。
計時タイマのリセットによってカウンタがクリアされる際、設定によっては割り込みが発生することがあります。したがって、計時タイマをリセットする場合は、先に計時タイマ割り込みを禁止し、計時タイマをリセット後に割り込み要因フラグ、割り込み要因発生フラグおよびアラーム要因発生フラグをリセットしてください。
"0"の書き込みはノーオペレーションとなります。TCRSTは書き込み専用のため、読み出し時は常時"0"となります。
計時タイマはイニシャルリセットによってはリセットされません。

TCRUN: **計時タイマ**RUN/STOP**制御**(D0/0x40151<**計時タイマ**Run/Stop**レジスタ**>)

計時タイマのRUN/STOPを制御します。

"1"書き込み: RUN
"0"書き込み: STOP
読み出し: 可能

計時タイマはTCRUNに"1"を書き込むことによってカウントを開始し、"0"の書き込みにより停止します。STOP状態でもタイマのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。
イニシャルリセット時、TCRUNは初期化されません。

TCD7–TCD0: 1–128Hz**カウンタデータ**(D[7:0]/0x40153<**計時タイマ分周レジスタ**>)
TCMD5–TCMD0: **秒カウンタデータ**(D[5:0]/0x40154<**計時タイマ秒レジスタ**>)
TCHD5–TCHD0: **分カウンタデータ**(D[5:0]/0x40155<**計時タイマ分レジスタ**>)
TCDD4–TCDD0: **時間カウンタデータ**(D[4:0]/0x40156<**計時タイマ時間レジスタ**>)
TCND15–TCND0: **日カウンタデータ**(**上位**8**ビット**: D[7:0]/0x40158<**計時タイマ日**(**上位**)**レジスタ**>
下位8**ビット**: D[7:0]/0x40157<**計時タイマ日**(**下位**)**レジスタ**>)

各カウンタのデータが読み出せます。
分・時間・日カウンタにはデータを書き込むこともできます。
1～128Hzカウンタと秒カウンタは読み出し専用のため、書き込み動作は無効となります。
秒・分・時間カウンタデータの各アドレス内の上位未使用ビットは、読み出し時は常時"0"となります。
イニシャルリセット時、カウンタデータは初期化されません。

TCCH5–TCCH0: **分比較データ**(D[5:0]/0x40159<**計時タイマ分比較レジスタ**>)
TCCD4–TCCD0: **時間比較データ**(D[4:0]/0x4015A<**計時タイマ時間比較レジスタ**>)
TCCN4–TCCN0: **日比較データ**(D[4:0]/0x4015B<**計時タイマ日比較レジスタ**>)

アラーム発生日時を設定します。
TCASEで選択したアラーム要因に対応する比較データレジスタがカウンタデータと比較され、データが一致するとアラーム割り込み要求を発生します。
日比較データは日カウンタの下位5ビットと比較されます。
各レジスタは読み出しも可能です。
イニシャルリセット時、これらのデータは初期化されません。

TCISE2–TCISE0: **割り込み要因選択**(D[7:5]/0x40152<**計時タイマ割り込み制御レジスタ**>)

計時タイマ割り込みを発生させる要因を選択します。

表7.6 **割り込み要因の選択**

TCISE2	TCISE1	TCISE0	**割り込み要因**
1	1	1	**選択なし**
1	1	0	1**日**
1	0	1	1**時間**
1	0	0	1**分**
0	1	1	1Hz
0	1	0	2Hz
0	0	1	8Hz
0	0	0	32Hz

計時タイマ割り込みが許可されている場合、選択した信号の立ち下がりエッジで周期的に割り込みが発生します。これらの要因による割り込みを使用しない場合は、TCISEに"111"を設定してください。
イニシャルリセット時、TCISEは初期化されません。

TCASE2–TCASE0: **アラーム要因選択**(D[4:2]/0x40152<**計時タイマ割り込み制御レジスタ**>)

アラーム要因を選択します。

表7.7 **アラーム要因の選択**

TCASE2	TCASE1	TCASE0	**アラーム要因**
X	X	1	**分アラーム**
X	1	X	**時間アラーム**
1	X	X	**日アラーム**
0	0	0	**選択なし**

TCASE2、TCASE1、TCASE0はそれぞれ日アラーム、時間アラーム、分アラームを選択するビットで、複数のアラーム要因を選択することができます。"1"を書き込むとそのアラーム要因に対応する比較データレジスタの内容がカウンタと比較されます。選択したすべてのアラーム要因の比較データがカウンタデータと一致すると、アラーム割り込み要求を発生します。"0"を書き込んだアラーム要因に対応する比較データレジスタはカウンタデータとは比較されません。
イニシャルリセット時、TCASEは初期化されません。

TCIF: **割り込み要因発生フラグ**(D1/0x40152<**計時タイマ割り込み制御レジスタ**>)

割り込み要因の発生を示します。

"1"読み出し: 要因発生
"0"読み出し: 要因なし
"1"書き込み: フラグをリセット
"0"書き込み: 無効

TCIFはTCISEで選択した割り込み要因が発生すると"1"にセットされます。計時タイマ割り込みは1系統のため、アラーム要因による割り込みとの切り分けに使用してください。
TCIFは"1"にセットされると、"1"を書き込むまでリセットされません。
イニシャルリセット時、TCIFは初期化されません。
なお、割り込みはこのビットの状態("0"または"1")にかかわらず発生します。

TCAF: **アラーム要因発生フラグ**(D0/0x40152<**計時タイマ割り込み制御レジスタ**>)

アラーム要因の発生を示します。

"1"読み出し: 要因発生
"0"読み出し: 要因なし
"1"書き込み: フラグをリセット
"0"書き込み: 無効

TCAFはTCASEで選択したすべてのアラーム要因が発生すると"1"にセットされます。計時タイマ割り込みは1系統のため、他の割り込み要因による割り込みとの切り分けに使用してください。
TCAFは"1"にセットされると、"1"を書き込むまでリセットされません。
イニシャルリセット時、TCAFは初期化されません。
なお、アラームはこのビットの状態("0"または"1")にかかわらず発生します。

PCTM2–PCTM0: **計時タイマ割り込みレベル**(D[2:0]/0x4026B<**計時タイマ割り込みプライオリティレジスタ**>)

計時タイマ割り込みの優先レベルを0～7の範囲で設定します。
イニシャルリセット時、PCTMは不定となります。

ECTM: **計時タイマ割り込みイネーブル**
(D1/0x40277<**ポート入力**4–7, **計時タイマ**, A/D**割り込みイネーブルレジスタ** >)

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可
"0"書き込み: 割り込み禁止
読み出し: 可能

ECTMは計時タイマ割り込みを制御する割り込みイネーブルビットで、"1"に設定すると割り込みが許可され、"0"に設定すると割り込みが禁止されます。
イニシャルリセット時、ECTMは"0"(割り込み禁止)に設定されます。

FCTM: **計時タイマ割り込み要因フラグ**
(D1/0x40287<**ポート入力**4–7, **計時タイマ**, A/D**割り込み要因フラグレジスタ** >)

計時タイマの割り込み要因の発生状態を示します。

• 読み出し時
"1"読み出し: 割り込み要因あり
"0"読み出し: 割り込み要因なし

• リセットオンリー方式書き込み時 (デフォルト)
"1"書き込み: 要因フラグをリセット
"0"書き込み: 無効

• リード/ライト方式書き込み時
"1"書き込み: 要因フラグをセット
"0"書き込み: 要因フラグをリセット

FCTMは計時タイマの割り込み要因フラグで、選択した割り込み要因またはアラーム要因が発生すると"1"にセットされます。
このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。
1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み要因の発生により"1"にセットされます。
割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。
割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。
イニシャルリセット時、FCTMフラグは不定となりますので、必ずソフトウェアでリセットしてください。

プログラミング上の注意事項

(1) 計時タイマの原振となる低速(OSC1)発振回路は動作を開始してから発振が安定するまでに3秒程度の時間を要します。したがって、電源投入時などは発振が安定するのを待ってから計時タイマをスタートさせてください。

(2) イニシャルリセット時、計時タイマのカウンタデータ、アラーム設定内容およびRUN/STOPを含む制御ビットは初期化されません。電源投入後は必ずソフトウェアで初期化してください。

(3) 計時タイマリセットビットTCRSTと計時タイマRUN/STOP制御ビットTCRUNは、同一アドレスの計時タイマRun/Stopレジスタ(0x40151)に割り付けられています。ただし、両方に"1"を書き込んでリセットと計時タイマのRUNを同時に行うことはできません。この場合、リセットは無効となり、その時点のカウンタ値からのカウントアップとなります。リセットは必ずTCRUNが"0"(計時タイマが停止)の状態で行ってください。

(4) 計時タイマのリセットによってカウンタがクリアされる際、設定によっては割り込みが発生することがあります。したがって、計時タイマをリセットする場合は、先に計時タイマ割り込みを禁止し、計時タイマをリセット後に割り込み要因フラグ、割り込み要因発生フラグおよびアラーム要因発生フラグをリセットしてください。

(5) 不要な割り込みの発生を防止するため、割り込み要因およびアラーム要因の選択は、計時タイマの割り込みを禁止した状態で行ってください。また、その後で割り込みを許可する前に、各要因発生フラグと割り込み要因フラグをリセットしてください。

(6) イニシャルリセット後、割り込み要因フラグ(FCTM)は不定となります。不要な割り込みの発生を防止するため、必ずプログラムでリセットしてください。

(7) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグ(FCTM)をリセットしてください。

III-8 シリアルインタフェース

シリアルインタフェースの構成

シリアルインタフェースの特長

C33周辺回路ブロックは以下の特長を持つシリアルインタフェースを4チャネル(Ch.0、Ch.1、Ch.2、Ch.3)内蔵しています。4チャネルとも同機能です。

- 転送方式としてクロック同期式モードまたは調歩同期式モードを選択可能
  クロック同期式モード
  - データ長: 8ビット固定(スタート/ストップ/パリティビットなし)
  - 受信エラー: オーバーランエラーを検出

  調歩同期式モード
  - データ長: 7ビットまたは8ビットを選択可能
  - 受信エラー: オーバーランエラー、フレーミングエラー、パリティエラーを検出
  - スタートビット: 1ビット固定
  - ストップビット: 1ビットまたは2ビットを選択可能
  - パリティビット: 偶数、奇数、または なしを選択可能
  - 受信部と送信部が独立しているため、全二重通信が可能
  - IrDAインタフェースに対応
  - 内部クロックまたは外部クロック入力を選択可能
- ボーレート設定　プリスケーラの分周比、8ビットプログラマブルタイマの設定、または外部クロック(調歩同期式のみ)により、任意のボーレートを設定可能
- ダブルバッファ構造の受信部および送信部により、連続受信、連続送信が可能
- IDMA/HSDMAによるデータ転送が可能
- 3種類(送信データエンプティ、受信データフル、受信エラー)の割り込みを発生可能

図8.1にシリアルインタフェース(1チャネル)の構成を示します。

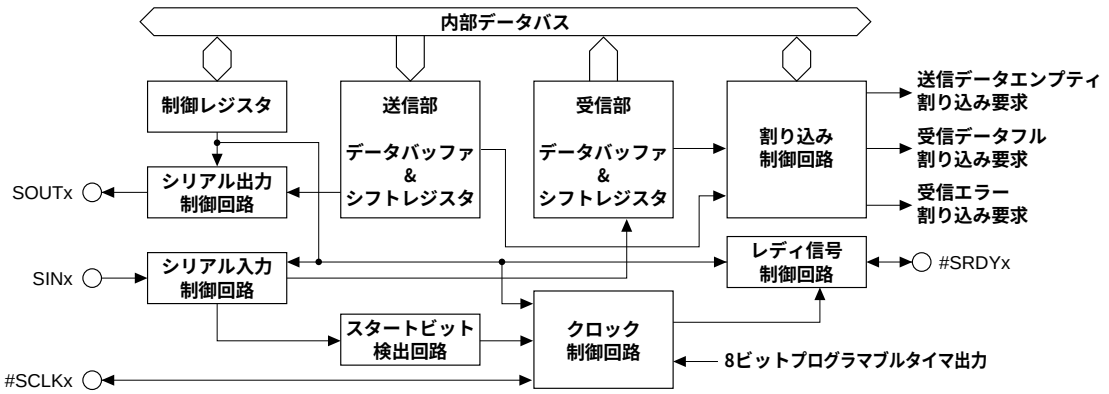


図8.1 シリアルインタフェースの構成

注: Ch.0～Ch.3**は同一の構成で、同一の機能を持ちます。信号名や制御ビット名の後ろにはチャネル番号を示す**"0"、"1"、"2"**または**"3"**が付いて区別されますが、説明は全チャネルに共通なため、必要な部分以外は**"0"～"3"**を**"x"**に置き換えて記述します。**

シリアルインタフェースの入出力端子

表8.1にシリアルインタフェースで使用する端子を示します。

表8.1 シリアルインタフェースの端子構成

端子名	I/O	機　　能	機能選択ビット
P00/SIN0	I/O	**入出力兼用ポート/シリアル**IF Ch.0**データ入力**	CFP00(P0**機能選択レジスタ**0x402D0•D0)
P01/SOUT0	I/O	**入出力兼用ポート/シリアル**IF Ch.0**データ出力**	CFP01(P0**機能選択レジスタ**0x402D0•D1)
P02/#SCLK0	I/O	**入出力兼用ポート/シリアル**IF Ch.0**クロック入出力**	CFP02(P0**機能選択レジスタ**0x402D0•D2)
P03/#SRDY0	I/O	**入出力兼用ポート/シリアル**IF Ch.0**レディ入出力**	CFP03(P0**機能選択レジスタ**0x402D0•D3)
P04/SIN1/ #DMAACK2	I/O	**入出力兼用ポート/シリアル**IF Ch.1**データ入力** /#DMAACK2**信号出力**	CFP04(P0**機能選択レジスタ**0x402D0•D4) CFEX4(**ポート機能拡張レジスタ**0x402DF•D4)
P05/SOUT1/ #DMAEND2	I/O	**入出力兼用ポート/シリアル**IF Ch.1**データ出力** /#DMAEND2**信号出力**	CFP05(P0**機能選択レジスタ**0x402D0•D5) CFEX5(**ポート機能拡張レジスタ**0x402DF•D5)
P06/#SCLK1/ #DMAACK3	I/O	**入出力兼用ポート/シリアル**IF Ch.1**クロック入出力**/#DMAACK3**信号出力**	CFP06(P0**機能選択レジスタ**0x402D0•D6) CFEX6(**ポート機能拡張レジスタ**0x402DF•D6)
P07/#SRDY1/ #DMAEND3	I/O	**入出力兼用ポート/シリアル**IF Ch.1**レディ入出力** /#DMAEND3**信号出力**	CFP07(P0**機能選択レジスタ**0x402D0•D7) CFEX7(**ポート機能拡張レジスタ**0x402DF•D7)
P27/TM5/SIN2	I/O	**入出力兼用ポート/シリアル**I/F Ch.2**データ入力**	CFP27(**機能選択レジスタ**0x402D8•D7=0) SSIN2(**機能選択レジスタ**0x402DB•D0=1)
P26/TM4/SOUT2	I/O	**入出力兼用ポート/シリアル**I/F Ch.2**データ出力**	CFP26(**機能選択レジスタ**0x402D8•D6=0) SSOUT2(**機能選択レジスタ**0x402DB•D1=1)
P25/TM3/#SCLK2	I/O	**入出力兼用ポート/シリアル**I/F Ch.2**シリアルクロック入出力**	CFP25(**機能選択レジスタ**0x402D8•D5=0) SSCLK2(**機能選択レジスタ**0x402DB•D2=1)
P24/TM2/ #SRDY2	I/O	**入出力兼用ポート/シリアル**I/F Ch.2**レディ入出力**	CFP24(**機能選択レジスタ**0x402D8•D4=0) SSRDY2(**機能選択レジスタ**0x402DB•D3=1)
P33/#DMAACK1/ SIN3	I/O	**入出力兼用ポート/シリアル**I/F Ch.3**データ入力**	CFP33 (**機能選択レジスタ**0x402DC•D3=0) SSIN3(**機能選択レジスタ**0x402D7•D0=1)
P16/EXCL5/ #DMAAND1/ SOUT3	I/O	**入出力兼用ポート/シリアル**I/F Ch.3**データ出力**	CFP16 (**機能選択レジスタ**0x402D4•D6=0) SSOUT3(**機能選択レジスタ**0x402D7•D1=1)
P15/EXCL4/ #DMAAND0/ #SCLK3	I/O	**入出力兼用ポート/シリアル**I/F Ch.3**シリアルクロック入出力**	CFP15(**機能選択レジスタ**0x402D4•D5=0) SSCLK3(**機能選択レジスタ**0x402D7•D2=1)
P32/#DMAACK0/ #SRDY3	I/O	**入出力兼用ポート/シリアル**I/F Ch.3**レディ入出力**	CFP32(**機能選択レジスタ**0x402DC•D2=0) SSRDY3(**機能選択レジスタ**0x402D7•D3=1)

■ SINx (**シリアルデータ入力端子**)

シリアルデータを入力します。転送モードにかかわらず共通です。

■ SOUTx (**シリアルデータ出力端子**)

シリアルデータを出力します。転送モードにかかわらず共通です。

■ #SCLKx (**クロック入出力端子**)

クロックを入出力します。
クロック同期式スレーブモードではクロック入力端子として、クロック同期式マスタモードではクロック出力端子として使用されます。
調歩同期式モードでは、外部クロックを使用する場合にクロック入力端子として使用されます。内部クロックを使用する場合はこの端子を使用しませんので、入出力兼用ポートとして使用することができます。

■ #SRDYx (**レディ信号入出力端子**)

クロック同期式モードで使用するレディ信号を入出力します。
クロック同期式スレーブモードではレディ信号出力端子として、クロック同期式マスタモードではレディ信号入力端子として使用されます。
調歩同期式モードではこの端子を使用しませんので、入出力兼用ポートとして使用することができます。

■ シリアルインタフェース入出力端子の設定方法

シリアルインタフェースで使用する端子はすべて入出力兼用ポート端子と共用されており、コールドスタート時にすべて入出力兼用ポート端子P0x(機能選択ビットPxx, CFPxx = "0")として設定されます。シリアルインタフェースを使用する場合は、使用するチャネルと転送モードに合わせ、使用する端子の機能選択ビットの設定を行ってください。
ホットスタート時は、リセット前の設定状態を保持します。

転送モードの設定

シリアルインタフェースの転送モードは、シリアルI/F Ch.x制御レジスタ(Ch.0: 0x401E3、Ch.1: 0x401E8、Ch.2: 0x401F3、Ch.3: 0x401F8)のSMDx[1:0](D[1:0])によってチャネル個別に表8.2のように設定できます。

表8.2 転送モード

SMDx1	SMDx0	転送モード
1	1	**調歩同期式8ビットモード**
1	0	**調歩同期式7ビットモード**
0	1	**クロック同期式スレーブモード**
0	0	**クロック同期式マスタモード**

イニシャルリセット時、SMDxは不定となりますので、必ずソフトウェアで初期化してください。
IrDAインタフェースを使用する場合は、調歩同期式7ビットモードまたは調歩同期式8ビットモードに設定してください。
入出力端子は転送モードにより構成が異なります。表8.3に各モードの端子構成を示します。

表8.3 転送モードによる端子設定

転送モード	SINx	SOUTx	#SCLKx	#SRDYx
調歩同期式8ビット	**データ入力**	**データ出力**	**クロック入力/Pポート**	**Pポート**
調歩同期式7ビット	**データ入力**	**データ出力**	**クロック入力/Pポート**	**Pポート**
クロック同期式スレーブ	**データ入力**	**データ出力**	**クロック入力**	**レディ出力**
クロック同期式マスタ	**データ入力**	**データ出力**	**クロック出力**	**レディ入力**

クロック同期式モードは4本すべてを使用します。
調歩同期式モードでは#SRDYxを使用しないため、P03(またはP07、P24、P23)は入出力兼用(P)ポートとして使用可能です。また、外部クロックを使用しない場合はP02(またはP06、P25、P15)も入出力兼用ポートとして使用可能です。
シリアルインタフェースに使用される入出力兼用ポートのI/O制御レジスタおよびデータレジスタは、リード/ライト可能な汎用レジスタとして使用することができます。

注: IrDA**インタフェースを設定するためにシリアル**I/F IrDA**レジスタ**(Ch.0: 0x401E4**、**Ch.1: 0x401E9**、**Ch.2: 0x401F4**、**Ch.3: 0x401F9)**に**IRMDx[1:0](D[1:0])**が設けられています。このビットはイニシャルリセット時に不定となりますので、通常のインタフェースとして使用する場合は**"00"**を、**IrDA**インタフェースとして使用する場合は**"10"**を書き込んで初期化してください。**

クロック同期式インタフェース

クロック同期式インタフェースの概要

クロック同期式転送は8ビットデータを送信側、受信側に共通のクロックに同期させて転送する方式です。送信部、受信部ともにダブルバッファ構造になっているため、連続送信および連続受信が可能です。クロックラインが送受信で共用されるため、半二重通信となります。

■ マスタモードとスレーブモード

シリアルI/F Ch.x制御レジスタ(Ch.0: 0x401E3、Ch.1: 0x401E8、Ch.2: 0x401F3、Ch.3: 0x401F8)のSMDx[1:0](D[1:0])によってクロック同期式マスタモードまたはクロック同期式スレーブモードが選択できます。

クロック同期式マスタモード (SMDx[1:0] = "00")
本モードでは、内蔵シフトレジスタの同期クロックとして内部クロックを使用する、本シリアルインタフェースをマスタとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックは#SCLKx端子から出力され、外部(スレーブ側)のシリアル入出力デバイスを制御することができます。また、#SRDYx端子には外部シリアル入出力デバイスの送受信レディ状態(Lowで送受信レディ)を示す信号を入力します。

クロック同期式スレーブモード (SMDx[1:0] = "01")
本モードでは、外部(マスタ側)のシリアル入出力デバイスから供給される同期クロックを使用する、本シリアルインタフェースをスレーブとしたクロック同期式8ビットシリアル転送が行えます。
同期クロックは#SCLKx端子より入力し、本シリアルインタフェースの同期クロックとして使用します。また、本シリアルインタフェースの送受信レディ状態を示す#SRDYx信号が#SRDYx端子から出力されます。

図8.2にクロック同期式モードにおける入出力端子の接続例を示します。

図8.2 **クロック同期式マスタモードの接続例**

■ クロック同期式転送データフォーマット

クロック同期式転送では、データフォーマットが次のとおり固定です。

データ長: 8ビット
スタートビット: なし
ストップビット: なし
パリティビット: なし

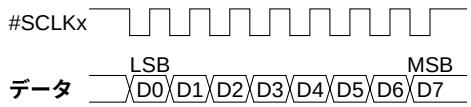


図8.3 **クロック同期式転送データフォーマット**

シリアルデータはLSBを先頭として送受信されます。

クロック同期式インタフェースの設定

シリアルインタフェースでクロック同期式転送を行う場合は、データ転送開始前に以下の設定が必要です。

1. 入出力端子の設定
2. インタフェースモードの設定
3. 転送モードの設定
4. 入力クロックの設定
5. 割り込み/IDMA/HSDMAの設定

以下、各設定内容について説明します。割り込みとDMAの設定については"シリアルインタフェース割り込みとDMA"を参照してください。

注: これらの設定は、必ずシリアルインタフェースが動作停止中に(TXENxおよびRXENxを"0"に設定して)行ってください。動作中の設定変更は誤動作の原因となります。

■ 入出力端子の設定

クロック同期式モードでは、SINx、SOUTx、#SCLKx、#SRDYxの4本の端子をすべて使用します。
Ch.0を使用する場合はP0機能選択レジスタ(0x402D0)のCFP0[3:0](D[3:0])を"1111"、Ch.1を使用する場合はCFP0[7:4](D[7:4])を"1111"、Ch.2を使用する場合はポートSIO機能拡張レジスタ(0x402DB)のD[3:0]を"1111"、Ch.3を使用する場合はポートSIO機能拡張レジスタ(0x402D7)のD[3:0]を"1111"に設定してください(両チャネルを使用することも可能)。

■ インタフェースモード設定

インタフェースモード(通常のインタフェースまたはIrDAインタフェース)を設定するシリアルI/F Ch.x IrDAレジスタ(Ch.0: 0x401E4、Ch.1: 0x401E9、Ch.2: 0x401F4、Ch.3: 0x401F9)のIRMDx[1:0](D[1:0])に"00"を書き込み、通常のインタフェースを選択します。IRMDxはイニシャルリセット時に不定となりますので、初期化する必要があります。

■ 転送モード設定

前述のとおり、シリアルインタフェースの転送モードをSMDxで設定します。
本インタフェースをクロック同期式転送のマスタとして使用する場合はSMDx[1:0]を"00"に、スレーブとして使用する場合は"01"に設定してください。

■ 入力クロックの設定

・クロック同期式マスタモード

クロック同期式マスタモードは内部発生したクロックで動作します。各チャネルのクロック源は次のとおりです。
Ch.0: 8ビットプログラマブルタイマ2の出力クロック
Ch.1: 8ビットプログラマブルタイマ3の出力クロック
Ch.2: 8ビットプログラマブルタイマ4の出力クロック
Ch.3: 8ビットプログラマブルタイマ5の出力クロック

したがって、クロック同期式マスタモードでシリアルインタフェースを使用するには、以下の条件が満たされている必要があります。
1. プリスケーラが8ビットプログラマブルタイマ2(3)にクロックを出力している
2. 8ビットプログラマブルタイマ2(3)がクロックを出力している

プリスケーラの分周比および8ビットプログラマブルタイマのリロードデータの設定により、クロック周波数を任意に設定可能です。これらの設定内容と転送速度の関係は式1で表されます。
8ビットプログラマブルタイマは、シリアルインタフェースに供給するクロックのデューティを50%にするため、内部的にアンダーフロー信号をさらに1/2に分周しています。式1はこの1/2分周を考慮しています。

$$RLD = \frac{f_{PSCIN} \times pdr}{2 \times bps} - 1 \quad (式1)$$

RLD: 8ビットプログラマブルタイマのリロードレジスタ設定値
f_{PSCIN}: プリスケーラ入力クロック周波数(Hz)
bps: 転送速度(ビット/秒)
pdr: プリスケーラの分周比

注: **プリスケーラで選択する分周比は8ビットプログラマブルタイマ2と3では異なりますので、設定の際には注意してください。**
8**ビットプログラマブルタイマ**2**、**4: 1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/2048, 1/4096
8**ビットプログラマブルタイマ**3**、**5: 1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/128, 1/256

プリスケーラと8ビットプログラマブルタイマの制御方法については、"プリスケーラ"、"8ビットプログラマブルタイマ"を参照してください。

シリアルインタフェースの制御レジスタの中に、調歩同期式モードのクロック源を選択するSSCKxビットがあります。このビットはクロック同期式モードのクロックには影響を与えませんが、イニシャルリセット時に不定となるため、クロック同期式マスタモードで使用する場合でも"0"(内部クロック)を書き込んで初期化してください。

- **クロック同期式スレーブモード**
  クロック同期式スレーブモードは外部マスタが出力するクロックで動作します。クロックは#SCLK端子から入力します。
  したがって、プリスケーラや8ビットプログラマブルタイマの制御は必要ありません。

  SSCKxビットは"1"(#SCLKx)を書き込んで初期化してください。

クロック同期式転送の制御と動作

■ 送信制御

(1) **送信許可**

送信の制御には、送信許可ビットTXENxを使用します。
Ch.0送信許可: TXEN0 (シリアルI/F Ch.0制御レジスタ0x401E3•D7)
Ch.1送信許可: TXEN1 (シリアルI/F Ch.1制御レジスタ0x401E8•D7)
Ch.2送信許可: TXEN2 (シリアルI/F Ch.2制御レジスタ0x401F3•D7)
Ch.3送信許可: TXEN3 (シリアルI/F Ch.3制御レジスタ0x401F8•D7)
このビットに"1"を書き込んで送信を許可状態にすると、シフトレジスタへのクロック入力がイネーブル(入力可能な状態)となり、データの送信が行える状態となります。#SCLKx端子の同期クロック入出力もイネーブル(入出力可能な状態)となります。
TXENxに"0"を書き込むと送信禁止状態に戻ります。

なお、端子の機能選択レジスタをシリアル入出力用に設定した後、#SRDY、#SCLKは以下のタイミングで入力/出力が切り換わります。
#SRDY: スレーブモードに設定→出力モードに切り換わります。
　　上記以外→入力モード
#SCLK: マスタモードに設定→出力モードに切り換わります。
　　上記以外→入力モード

注: **クロック同期式転送は送受信で共通のクロックラインを使用する半二重通信です。したがって、TXENxと受信許可ビットRXENxを同時に許可に設定することはできません。送信を行う場合はRXENxを"0"に固定し、変更しないでください。**
また、送信中はTXENxを"0"に設定しないでください。

(2) **送信手順**

本シリアルインタフェースには、送信用シフトレジスタと送信データレジスタ(送信データバッファ)が受信用とは独立して設けられています。
Ch.0送信データ: TXD0[7:0] (シリアルI/F Ch.0送信データレジスタ0x401E0•D[7:0])
Ch.1送信データ: TXD1[7:0] (シリアルI/F Ch.1送信データレジスタ0x401E5•D[7:0])
Ch.2送信データ: TXD2[7:0] (シリアルI/F Ch.2送信データレジスタ0x401F0•D[7:0])
Ch.3送信データ: TXD3[7:0] (シリアルI/F Ch.3送信データレジスタ0x401F5•D[7:0])
また、送信データレジスタの状態を示すステータスビットも設けられています。
Ch.0送信データバッファエンプティ: TDBE0 (シリアルI/F Ch.0ステータスレジスタ0x401E2•D1)
Ch.1送信データバッファエンプティ: TDBE1 (シリアルI/F Ch.1ステータスレジスタ0x401E7•D1)
Ch.2送信データバッファエンプティ: TDBE2 (シリアルI/F Ch.2ステータスレジスタ0x401F2•D1)
Ch.3送信データバッファエンプティ: TDBE3 (シリアルI/F Ch.3ステータスレジスタ0x401F7•D1)
このビットは送信データレジスタにデータを書き込むと"0"となり、そのデータがシフトレジスタに転送されると"1"(バッファエンプティ)に戻ります。
送信データレジスタにデータを書き込むことにより、シリアルインタフェースは送信動作を開始します。

送信状態は、送信終了フラグ(TENDx)で確認できます。
Ch.0送信終了フラグ: TEND0 (シリアルI/F Ch.0ステータスレジスタ0x401E2•D5)
Ch.1送信終了フラグ: TEND1 (シリアルI/F Ch.1ステータスレジスタ0x401E7•D5)
Ch.2送信終了フラグ: TEND2 (シリアルI/F Ch.2ステータスレジスタ0x401F2•D5)
Ch.3送信終了フラグ: TEND3 (シリアルI/F Ch.3ステータスレジスタ0x401F7•D5)
このビットはデータ送信中に"1"となり、送信を終了すると"0"に戻ります。
クロック同期式転送で連続してデータを送信する場合、マスタモード時は全データを送信するまで"1"を保持し(図8.4)、スレーブモード時は1バイト送信するごとに"0"となります(図8.5)。

マスタモード、スレーブモードそれぞれの送信動作は以下のとおりです。

- **クロック同期式マスタモード**

マスタモードが送信動作を開始するタイミングは次のとおりです。
TDBExが"0"(送信データレジスタにデータが書き込まれている)の状態で、#SRDYがLowになった場合
または
#SRDYがLowの状態で、TDBExが"0"になった(送信データレジスタにデータが書き込まれた)場合

図8.4にクロック同期式マスタモードの送信タイミングチャートを示します。

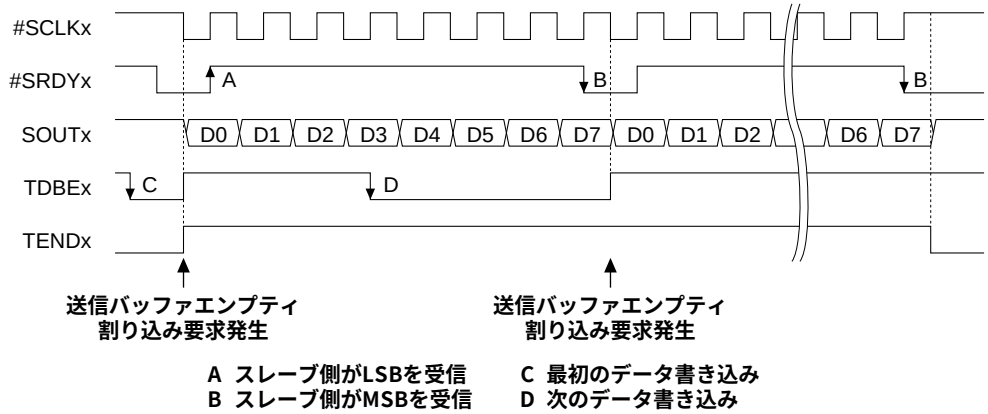


図8.4 **クロック同期式マスタモードの送信タイミング**

1. スレーブからの#SRDYx信号がHighの場合はLow(受信レディ)になるまで待機します。
2. #SRDYxがLowの場合はシリアルインタフェースへの同期クロックの入力を開始します。
   同期クロックは#SCLKx端子からスレーブ側のデバイスにも出力されます。
3. クロックの最初の立ち下がりエッジに同期してデータレジスタの内容がシフトレジスタに転送されます。同時に、シフトレジスタに転送されたデータのLSBがSOUTx端子から出力されます。
4. 続くクロックの立ち下がりエッジでシフトレジスタのデータが1ビットシフトし、続くビットをSOUTxから出力します。8ビットのデータが送信されるまで、この動作を繰り返します。

スレーブ側のデバイスは、各ビットを同期クロックの立ち上がりエッジで取り込んでください。

- **クロック同期式スレーブモード**

図8.5にクロック同期式スレーブモードの送信タイミングチャートを示します。

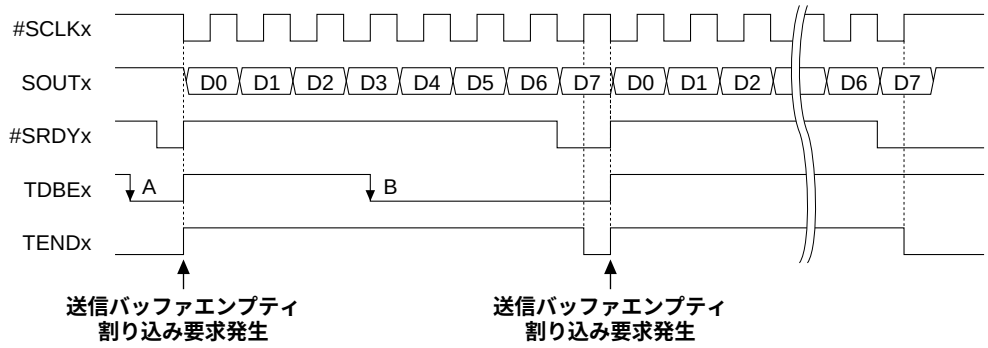


図8.5 **クロック同期式スレーブモードの送信タイミング**

1. #SRDYx信号をLow(送信レディ)にしてマスタ側からのクロック入力を待ちます。
2. 同期クロックが#SCLKx端子から入力されると、クロックの最初の立ち下がりエッジに同期してデータレジスタの内容がシフトレジスタに転送されます。同時に、シフトレジスタに転送されたデータのLSBがSOUTx端子から出力されます。
   #SRDYx信号はこの時点でHighに戻ります。

3. 続くクロックの立ち下がりエッジでシフトレジスタのデータが1ビットシフトし、続くビットをSOUTxから出力します。8ビットのデータが送信されるまで、この動作を繰り返します。
4. 最後のビット(8ビット目)をSOUTx端子に出力したところで、#SRDYx信号をLowにします。

マスタ側のデバイスは、各ビットを同期クロックの立ち上がりエッジで取り込んでください。

- **連続送信**

送信データレジスタのデータがシフトレジスタに転送されるとTDBExは"1"(バッファエンプティ)に戻ります。これ以降であれば、データの送信中であっても、送信データレジスタに次の送信データを書き込むことが可能です。
これにより、データの連続送信が行えます。各データの送信手順は前述のとおりです。
TDBExが"1"になると同時に送信データエンプティ割り込み要因が発生します。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンで次の送信データを書き込むことができます。また、この割り込み要因でDMAを起動することもできますので、メモリ上に用意したデータを送信データレジスタにDMA転送して連続送信することも可能です。
割り込みとDMAの制御方法については、"シリアルインタフェース割り込みとDMA"を参照してください。

(3) 送信の終了

データの送信が終了した場合は、送信許可ビットTXENxに"0"を書き込んで送信禁止に設定してください。

■ 受信制御

(1) 受信許可

受信の制御には、受信許可ビットRXENxを使用します。
Ch.0受信許可: RXEN0 (シリアルI/F Ch.0制御レジスタ0x401E3•D6)
Ch.1受信許可: RXEN1 (シリアルI/F Ch.1制御レジスタ0x401E8•D6)
Ch.2受信許可: RXEN2 (シリアルI/F Ch.2制御レジスタ0x401F3•D6)
Ch.3受信許可: RXEN3 (シリアルI/F Ch.3制御レジスタ0x401F8•D6)
このビットに"1"を書き込んで受信を許可状態にすると、シフトレジスタへのクロック入力がイネーブル(入力可能な状態)となり、データの受信動作を開始します。#SCLKx端子の同期クロック入出力もイネーブル(入出力可能な状態)となります。
RXENxに"0"を書き込むと受信禁止状態に戻ります。

なお、端子の機能選択レジスタをシリアル入出力用に設定した後、#SRDY、#SCLKは以下のタイミングで入力/出力が切り換わります。
#SRDY: スレーブモードに設定→出力モードに切り換わります。
　　上記以外→入力モード
#SCLK: マスタモードに設定→出力モードに切り換わります。
　　上記以外→入力モード

注: **クロック同期式転送は送受信で共通のクロックラインを使用する半二重通信です。したがって、RXENxと送信許可ビットTXENxを同時に許可に設定することはできません。受信を行う場合はTXENxを"0"に固定し、変更しないでください。**
また、受信中はRXENxを"0"に設定しないでください。

(2) 受信手順

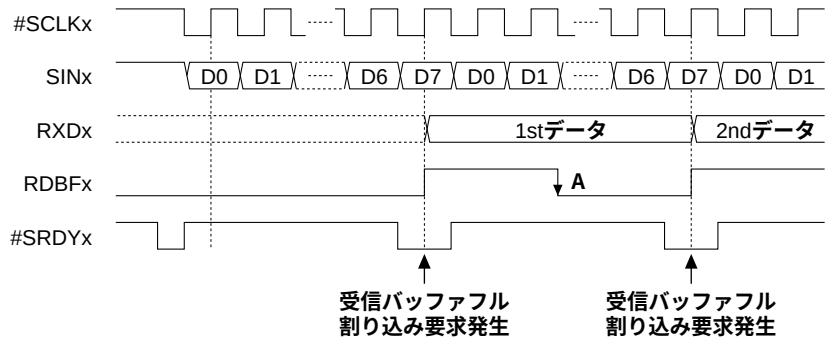
本シリアルインタフェースには、受信用シフトレジスタと受信データレジスタ(受信データバッファ)が送信用とは独立して設けられています。
Ch.0受信データ: RXD0[7:0] (シリアルI/F Ch.0受信データレジスタ0x401E1•D[7:0])
Ch.1受信データ: RXD1[7:0] (シリアルI/F Ch.1受信データレジスタ0x401E6•D[7:0])
Ch.2受信データ: RXD2[7:0] (シリアルI/F Ch.2受信データレジスタ0x401F1•D[7:0])
Ch.3受信データ: RXD3[7:0] (シリアルI/F Ch.3受信データレジスタ0x401F6•D[7:0])
受信データはこのレジスタから読み出すことができます。
また、受信データレジスタの状態を示すステータスビットが設けられています。

Ch.0受信データバッファフル: RDBF0 (シリアルI/F Ch.0ステータスレジスタ0x401E2•D0)
Ch.1受信データバッファフル: RDBF1 (シリアルI/F Ch.1ステータスレジスタ0x401E7•D0)
Ch.2受信データバッファフル: RDBF2 (シリアルI/F Ch.2ステータスレジスタ0x401F2•D0)
Ch.3受信データバッファフル: RDBF3 (シリアルI/F Ch.3ステータスレジスタ0x401F7•D0)
このビットはシリアルデータのMSBを受信してシフトレジスタのデータが受信データレジスタに転送されると"1"(バッファフル)となり、受信データが読み出せることを示します。そのデータが読み出されると"0"に戻ります。

マスタモード、スレーブモードそれぞれの受信動作は以下のとおりです。

・ クロック同期式マスタモード

図8.6にクロック同期式マスタモードの受信タイミングチャートを示します。



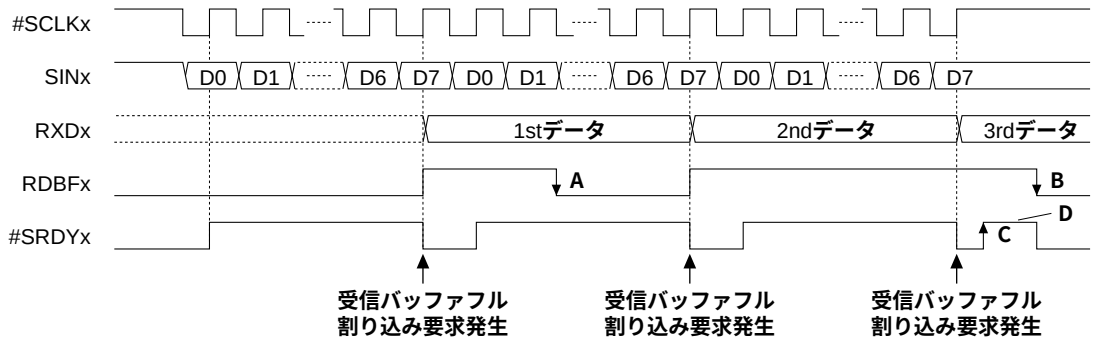
A 最初のデータを読み出し

図8.6 クロック同期式マスタモードの受信タイミング

1. スレーブからの#SRDYx信号がHighの場合はLow(送信レディ)になるまで待機します。
2. #SRDYxがLowの場合はシリアルインタフェースへの同期クロックの入力を開始します。
   同期クロックは#SCLKx端子からスレーブ側のデバイスにも出力されます。
3. スレーブ側のデバイスはクロックの立ち下がりエッジに同期してデータの各ビットを出力します。LSBを最初に出力します。
4. 本シリアルインタフェースは、SINの入力をクロックの立ち上がりエッジでシフトレジスタに取り込みます。シフトレジスタはビットの取り込みにより順次シフトされます。データのMSBを受信するまで、この動作を繰り返します。
5. MSBが取り込まれると、シフトレジスタのデータは受信データレジスタに転送され、データが読み出せる状態となります。

・ クロック同期式スレーブモード

図8.7にクロック同期式スレーブモードの受信タイミングチャートを示します。



A 最初のデータを読み出し
B 3番目のデータを読み出し
C RDBFxが"1"の状態で受信が完了したため、オーバーランエラー発生
D ビジー状態としてマスタ側のクロック出力を停止

図8.7 クロック同期式スレーブモードの受信タイミング

1. #SRDYx信号をLow(受信レディ)にしてマスタ側からのクロック入力を待ちます。
2. マスタ側のデバイスはクロックの立ち下がりエッジに同期してデータの各ビットを出力します。LSBを最初に出力します。
3. 本シリアルインタフェースは、SINの入力を#SCLKxから入力したクロックの立ち上がりエッジでシフトレジスタに取り込みます。シフトレジスタはビットの取り込みにより順次シフトされます。データのMSBを受信するまで、この動作を繰り返します。
4. MSBが取り込まれると、シフトレジスタのデータは受信データレジスタに転送され、データが読み出せる状態となります。

- **連続受信**

シフトレジスタに受信したデータが受信データレジスタに転送されると、RDBFxが"1"(バッファフル)となり受信データが読み出せることを示します。
次のデータの受信中に受信データレジスタを読み出すことができますので、データの連続受信が行えます。各データの受信手順は前述のとおりです。
RDBFxが"1"になると同時に受信データフル割り込み要因が発生します。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンで受信データを読み出すことができます。また、この割り込み要因でDMAを起動することもできますので、メモリ上に用意した領域に受信データをDMA転送して連続受信することも可能です。
割り込みとDMAの制御方法については、"シリアルインタフェース割り込みとDMA"を参照してください。

(3) オーバーランエラー

連続受信を行っている場合、受信データレジスタを読み出す前に次のデータの受信を終了すると受信データレジスタは新たなデータで上書きされます。したがって、受信データレジスタは次のデータの受信が終了する前に読み出すことが必要です。
受信データレジスタが上書きされるとオーバーランエラーが発生し、オーバーランエラーフラグが"1"にセットされます。
Ch.0オーバーランエラーフラグ: OER0 (シリアルI/F Ch.0ステータスレジスタ0x401E2•D2)
Ch.1オーバーランエラーフラグ: OER1 (シリアルI/F Ch.1ステータスレジスタ0x401E7•D2)
Ch.2オーバーランエラーフラグ: OER2 (シリアルI/F Ch.2ステータスレジスタ0x401F2•D2)
Ch.3オーバーランエラーフラグ: OER3 (シリアルI/F Ch.3ステータスレジスタ0x401F7•D2)
オーバーランエラーフラグは、"1"にセットされるとソフトウェアで"0"を書き込むまでリセットされません。
オーバーランエラーはシリアルインタフェースの受信エラー割り込み要因のひとつです。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンでエラー処理が行えます。

(4) スレーブモードの#SRDYx

RXENxに"1"を書き込んで受信を許可すると#SRDYx信号はLowとなり、受信可能であることをマスタ側のデバイスに知らせます。シリアルデータのLSBを受信すると#SRDYxはHighとなり、MSBを受信すると次の受信に備えてLowに戻ります。
オーバーランエラーが発生した場合は、その時点で#SRDYxがHigh(受信不可)となりますので、続くデータ受信は中断します。この場合、受信データレジスタに上書きされたデータを読み出すことで#SRDYxがLowに戻り、続くデータがあれば受信を再開します。

(5) 受信の終了

データの受信が終了した場合は、受信許可ビットRXENxに"0"を書き込んで受信禁止に設定してください。

調歩同期式インタフェース

調歩同期式インタフェースの概要

調歩同期式転送は、シリアル変換した各データの前後にスタートビットとストップビットを付加して転送を行う方式です。この方式では、送信側、受信側それぞれで完全に同期の一致したクロックを用いる必要はなく、各データの前後に付けられたスタート/ストップビットで同期をとりながら転送を行います。
調歩同期式8ビットモード(SMDx[1:0] = "11")では8ビットデータの転送、調歩同期式7ビットモード(SMDx[1:0] = "10")では7ビットデータの転送が行えます。
どちらのモードも、ストップビット長の選択、パリティビットの追加、偶数/奇数パリティの選択が可能です。スタートビットは1ビットに固定です。
動作クロックには、8ビットプログラマブルタイマによる内部クロック、または#SCLKx端子から入力する外部クロックのいずれかを選択することができます。
送信部、受信部ともにダブルバッファ構造になっているため、連続送信および連続受信が可能です。また、送信部、受信部が独立しているため、送信と受信を同時に行う全二重通信が可能です。
図8.8に調歩同期式モードにおける入出力端子の接続例を示します。

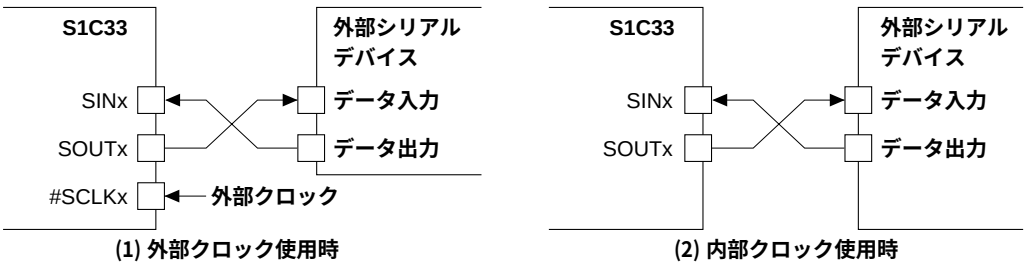


図8.8 調歩同期式モードの接続例

調歩同期式モードに設定すると、IrDAインタフェース機能を使用することもできます。

■ 調歩同期式転送データフォーマット

調歩同期式転送のデータフォーマットは以下のとおりです。

データ長: 7ビットまたは8ビット (転送モードの選択により決定)
スタートビット: 1ビット固定
ストップビット: 1ビットまたは2ビット
パリティビット: 偶数パリティ、奇数パリティ、または なし

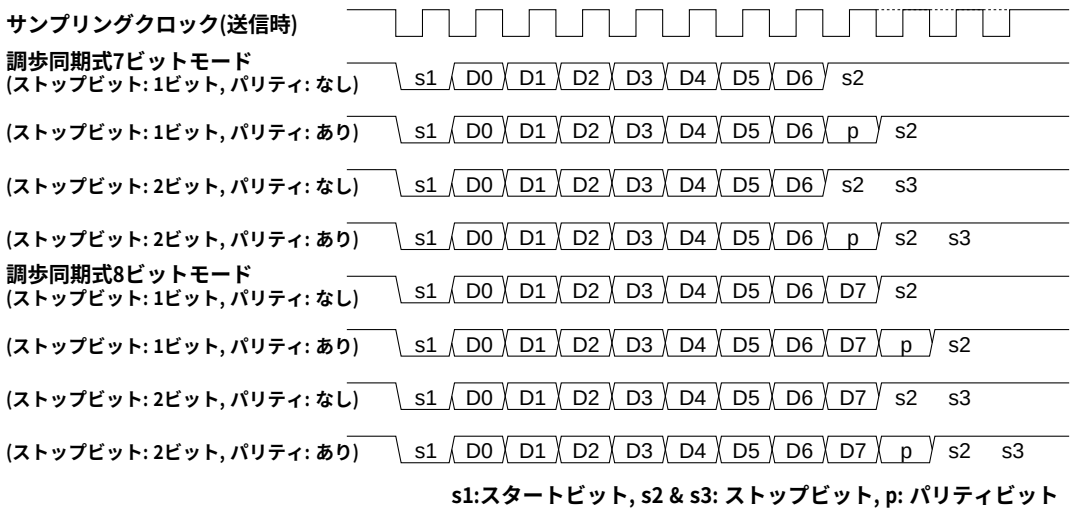


図8.9 調歩同期式転送データフォーマット

シリアルデータはLSBを先頭として送受信されます。

調歩同期式インタフェースの設定

シリアルインタフェースで調歩同期式転送を行う場合は、データ転送開始前に以下の設定が必要です。
1. 入出力端子の設定
2. インタフェースモードの設定
3. 転送モードの設定
4. 入力クロックの設定
5. データフォーマットの設定
6. 割り込み/IDMA/HSDMAの設定

以下、各設定内容について説明します。割り込みとDMAの設定については"シリアルインタフェース割り込みとDMA"を参照してください。

注: これらの設定は、必ずシリアルインタフェースが動作停止中に(TXENxおよびRXENxを"0"に設定して)行ってください。動作中の設定変更は誤動作の原因となります。

■ 入出力端子の設定

調歩同期式モードでは、SINxおよびSOUTxの2本の端子を使用します。外部クロックを入力する場合は、さらに#SCLKx端子も使用します。
使用する端子に合わせ、P0機能選択レジスタ(0x402D0)のCFP0[7:0](D[7:0])を設定してください(両チャネルを使用することも可能)。#SRDYx端子は使用しませんので、P03またはP07は入出力兼用ポートとして使用可能です。内部クロックで動作させる場合は、P03またはP06も入出力兼用ポートとして使用可能です。

■ インタフェースモード設定

IrDAインタフェースを設定するために、シリアルI/F Ch.x IrDAレジスタ(Ch.0: 0x401E4、Ch.1: 0x401E9、Ch.2: 0x401F4、Ch.3: 0x401F9)にIRMDx[1:0](D[1:0])が設けられています。このビットはイニシャルリセット時に不定となりますので、通常のインタフェースとして使用する場合は"00"を、IrDAインタフェースとして使用する場合は"10"を書き込んで初期化してください。この設定は転送モードを設定する前に行ってください。

■ 転送モード設定

前述のとおり、シリアルインタフェースの転送モードをSMDxで設定します。
本インタフェースを調歩同期式8ビットモードで使用する場合はSMDx[1:0]を"11"に、調歩同期式7ビットモードで使用する場合は"10"に設定してください。

■ 入力クロックの設定

調歩同期式モードでは、動作クロックとして内部クロックまたは外部クロックが選択できます。
Ch.0入力クロック選択: SSCK0 (シリアルI/F Ch.0制御レジスタ0x401E3•D2)
Ch.1入力クロック選択: SSCK1 (シリアルI/F Ch.0制御レジスタ0x401E8•D2)
Ch.2入力クロック選択: SSCK2 (シリアルI/F Ch.2制御レジスタ0x401F3•D2)
Ch.3入力クロック選択: SSCK3 (シリアルI/F Ch.3制御レジスタ0x401F8•D2)
SSCKxに"1"を書き込むと外部クロック(#SCLKx端子より入力)、"0"を書き込むと内部クロックが選択されます。

注: SSCKxはイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。

- **内部クロック**

  内部クロックを選択すると、8ビットプログラマブルタイマで発生したクロックで動作します。各チャネルのクロック源は次のとおりです。
  Ch.0: 8ビットプログラマブルタイマ2の出力クロック
  Ch.1: 8ビットプログラマブルタイマ3の出力クロック
  Ch.2: 8ビットプログラマブルタイマ4の出力クロック
  Ch.3: 8ビットプログラマブルタイマ5の出力クロック

したがって、内部クロックを使用する場合は、以下の条件が満たされている必要があります。
1. プリスケーラが8ビットプログラマブルタイマ2(3)にクロックを出力している
2. 8ビットプログラマブルタイマ2(3)がクロックを出力している

プリスケーラの分周比および8ビットプログラマブルタイマのリロードデータの設定により、クロック周波数を任意に設定可能です。これらの設定内容と転送速度の関係は式2で表されます。
8ビットプログラマブルタイマは、シリアルインタフェースに供給するクロックのデューティを50%にするため、内部的にアンダーフロー信号をさらに1/2に分周しています。
また、8ビットプログラマブルタイマの出力クロックはシリアルインタフェース内部で1/16または1/8に分周され、サンプリングクロックとなります("サンプリングクロック"参照)。転送速度を設定する際には、この分周比も考慮する必要があります。
式2はこれらの分周も考慮しています。

$$RLD = \frac{f_{PSCIN} \times pdr \times sdr}{2 \times bps} - 1 \quad (\textbf{式}2)$$

RLD: 8ビットプログラマブルタイマのリロードレジスタ設定値
f_{PSCIN}: プリスケーラ入力クロック周波数(Hz)
bps: 転送速度(ビット/秒)
pdr: プリスケーラの分周比
sdr: シリアルインタフェース内部分周比(1/16または1/8)

注: **プリスケーラで選択する分周比は8ビットプログラマブルタイマ2と3では異なりますので、設定の際には注意してください。**
8ビットプログラマブルタイマ2、4: 1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/2048, 1/4096
8ビットプログラマブルタイマ3、5: 1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/128, 1/256

表8.4にシリアルインタフェースの内部分周比を1/16に設定した場合の、プリスケーラ分周比とプログラマブルタイマのリロードデータ設定例を示します。

表8.4 **転送速度の設定例**

転送速度	f_{PSCIN} = 20MHz			f_{PSCIN} = 25MHz			f_{PSCIN} = 33MHz		
(bps)	RLD	pdr	**誤差**(%)	RLD	pdr	**誤差**(%)	RLD	pdr	**誤差**(%)
300	129	1/16	0.16025	162	1/16	-0.14698	216	1/16	0.00640
1200	129	1/4	0.16025	162	1/4	-0.14698	216	1/4	0.00640
2400	129	1/2	0.16025	162	1/2	-0.14698	216	1/2	0.00640
4800	64	1/2	0.16025	80	1/2	-0.46939	108	1/2	-0.45234
9600	32	1/2	-1.35732	40	1/2	-0.75584	53	1/2	0.46939
14400	21	1/2	-1.35732	13	1/4	-3.11880	35	1/2	0.46939
28800	10	1/2	-1.35732	13	1/2	-3.11880	17	1/2	0.46939

誤差はできるだけ1%以内となるように設定してください。誤差の計算式は次のとおりです。

$$\textbf{誤差} = \{ \frac{f_{PSCIN} \times pdr}{(RLD + 1) \times 32 \times bps} - 1 \} \times 100 \ [\%]$$

プリスケーラと8ビットプログラマブルタイマの制御方法については、"プリスケーラ"、"8ビットプログラマブルタイマ"を参照してください。

- **外部クロック**

外部クロックを選択すると、#SCLKx端子から入力するクロックで動作します。
したがって、プリスケーラや8ビットプログラマブルタイマの制御は必要ありません。

クロック周波数は任意に設定可能です。#SCLKx端子から入力されたクロックはシリアルインタフェース内部で1/16または1/8に分周され、サンプリングクロックとなります("サンプリングクロック"参照)。転送速度を設定する際には、この分周比も考慮してください。

• **サンプリングクロック**

調歩同期式モードではTCLK(8ビットプログラマブルタイマの出力クロックまたは#SCLKx端子からの入力クロック)をシリアルインタフェースの内部で分周してサンプリングクロックが生成されます。

分周比はDIVMDxに"0"を書き込むと1/16、"1"を書き込むと1/8に設定されます。

Ch.0クロック分周比選択: DIVMD0 (シリアルI/F Ch.0 IrDAレジスタ0x401E4•D4)
Ch.1クロック分周比選択: DIVMD1 (シリアルI/F Ch.1 IrDAレジスタ0x401E9•D4)
Ch.2クロック分周比選択: DIVMD2 (シリアルI/F Ch.2 IrDAレジスタ0x401F4•D4)
Ch.3クロック分周比選択: DIVMD3 (シリアルI/F Ch.3 IrDAレジスタ0x401F9•D4)

注: DIVMDx**はイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。**
このビットの設定は調歩同期式モード(IrDA**インタフェース使用時も含む**)**でのみ有効です。**

受信時

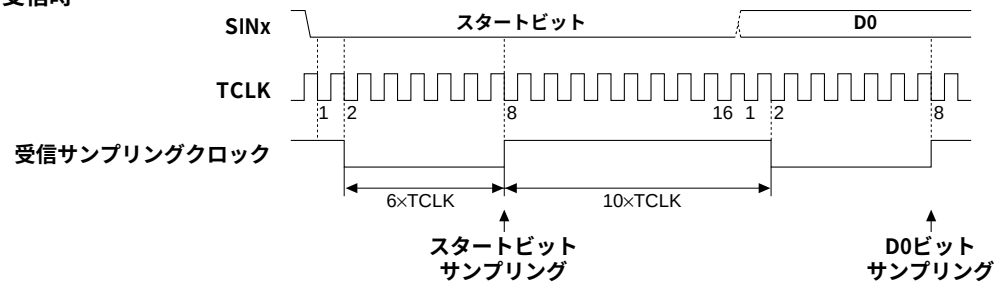


図8.10 **調歩同期式受信時のサンプリングクロック**(1/16**分周選択時**)

図8.10に示すように、サンプリングクロックはTCLKを1/16分周(または8分周)して生成されます。クロックのデューティ比(Low:High)は6:10(1/8選択時は2:6)となり、50%ではありません。受信する各ビットデータの中央でサンプリングするために、最初にスタートビットを認識してから2番目のTCLKの立ち下がりエッジでHighからLowに変化し、8番目(1/8選択時は4番目)のTCLKの立ち下がりエッジでLowからHighになります。以後、この変化を繰り返します。

各ビットデータはこのサンプリングクロックの各立ち上がりエッジでサンプリングされます。ストップビットをサンプリングすると、次にスタートビットがくるまでHighに固定されます。

スタートビットを認識後、2番目のTCLKの立ち下がりエッジでSINx端子がHighに戻っていた場合は、ノイズとみなして以降のサンプリングクロックの生成を中止します。

送信側、受信側のボーレートが合っていない場合など、8個目(1/8選択時は4個目)のクロックによるスタートビットサンプリングの際にSINx端子がLowでなかったときは、以降のデータのサンプリングを中止してスタートビット検出の状態に戻ります。この場合、エラーは発生しません。

送信時

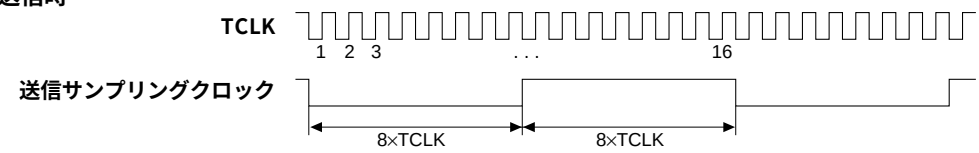


図8.11 **調歩同期式送信時のサンプリングクロック**(1/16**分周選択時**)

送信時はTCLKを1/16(または1/8)に分周してデューティ50%のサンプリングクロックを生成し、それに同期して各ビットを出力します。

■ データフォーマットの設定

調歩同期式モードでは、転送モードの設定によりデータ長が7ビットまたは8ビットとなります。スタートビットは1ビットに固定です。
ストップビットとパリティビットは以下の制御ビットにより表8.5のとおり設定できます。

表8.5 シリアルI/F制御ビット

	Ch.0(シリアルI/F Ch.0 制御レジスタ)	Ch.1(シリアルI/F Ch.1 制御レジスタ)	Ch.2(シリアルI/F Ch.2 制御レジスタ)	Ch.3(シリアルI/F Ch.3 制御レジスタ)
ストップビット選択	STPB0(0x401E3・D3)	STPB1(0x401E8・D3)	STPB2(0x401F3・D3)	STPB3(0x401F8・D3)
パリティイネーブル	EPR0(0x401E3・D5)	EPR1(0x401E8・D5)	EPR2(0x401F3・D5)	EPR3(0x401F8・D5)
パリティモード選択	PMD0(0x401E3・D4)	PMD1(0x401E8・D4)	PMD2(0x401F3・D4)	PMD3(0x401F8・D4)

表8.6 ストップビットとパリティビットの設定

STPBx	EPRx	PMDx	ストップビット	パリティビット
1	1	1	2ビット	奇数
		0	2ビット	偶数
	0	*	2ビット	なし
0	1	1	1ビット	奇数
		0	1ビット	偶数
	0	*	1ビット	なし

* EPRxが"0"の場合、PMDxの設定は無効です。

注: これらのビットはイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。

調歩同期式転送の制御と動作

■ 送信制御

(1) **送信許可**

送信の制御には、送信許可ビットTXENxを使用します。
Ch.0送信許可: TXEN0 (シリアルI/F Ch.0制御レジスタ0x401E3•D7)
Ch.1送信許可: TXEN1 (シリアルI/F Ch.1制御レジスタ0x401E8•D7)
Ch.2送信許可: TXEN2 (シリアルI/F Ch.2制御レジスタ0x401F3•D7)
Ch.3送信許可: TXEN3 (シリアルI/F Ch.3制御レジスタ0x401F8•D7)
このビットに"1"を書き込んで送信を許可状態にすると、シフトレジスタへのクロック入力がイネーブル(入力可能な状態)となり、データの送信が行える状態となります。
TXENxに"0"を書き込むと送信禁止状態に戻ります。

注: 送信中はTXENxを"0"に設定しないでください。

(2) **送信手順**

本シリアルインタフェースには、送信用シフトレジスタと送信データレジスタ(送信データバッファ)が受信用とは独立して設けられています。
Ch.0送信データ: TXD0[7:0] (シリアルI/F Ch.0送信データレジスタ0x401E0•D[7:0])
Ch.1送信データ: TXD1[7:0] (シリアルI/F Ch.1送信データレジスタ0x401E5•D[7:0])
Ch.2送信データ: TXD2[7:0] (シリアルI/F Ch.2送信データレジスタ0x401F0•D[7:0])
Ch.3送信データ: TXD3[7:0] (シリアルI/F Ch.3送信データレジスタ0x401F5•D[7:0])
このレジスタにデータを書き込むことにより、シリアルインタフェースは送信動作を開始します。
調歩同期式7ビットモードでは、それぞれのレジスタのビット7(MSB)は無効となります。
また、送信データレジスタの状態を示すステータスビットも設けられています。
Ch.0送信データバッファエンプティ: TDBE0 (シリアルI/F Ch.0ステータスレジスタ0X401E2•D1)
Ch.1送信データバッファエンプティ: TDBE1 (シリアルI/F Ch.1ステータスレジスタ0X401E7•D1)
Ch.2送信データバッファエンプティ: TDBE2 (シリアルI/F Ch.2ステータスレジスタ0x401F2•D1)
Ch.3送信データバッファエンプティ: TDBE3 (シリアルI/F Ch.3ステータスレジスタ0x401F7•D1)
このビットは送信データレジスタにデータを書き込むと"0"となり、そのデータがシフトレジスタに転送されると"1"(バッファエンプティ)に戻ります。転送のタイミングはスタートビットの送信開始時です。

送信状態は、送信終了フラグ(TENDx)で確認できます。
Ch.0送信終了フラグ: TEND0 (シリアルI/F Ch.0ステータスレジスタ0x401E2•D5)
Ch.1送信終了フラグ: TEND1 (シリアルI/F Ch.1ステータスレジスタ0x401E7•D5)
Ch.2送信終了フラグ: TEND2 (シリアルI/F Ch.2ステータスレジスタ0x401F2•D5)
Ch.3送信終了フラグ: TEND3 (シリアルI/F Ch.3ステータスレジスタ0x401F7•D5)
このビットはデータ送信中に"1"となり、送信を終了すると"0"に戻ります。
調歩同期式転送で連続してデータを送信する場合、全データを送信するまで"1"を保持します。

図8.12に調歩同期式モードの送信タイミングチャートを示します。

例: データ長　　8ビット
　　ストップビット　1ビット
　　パリティビット　あり

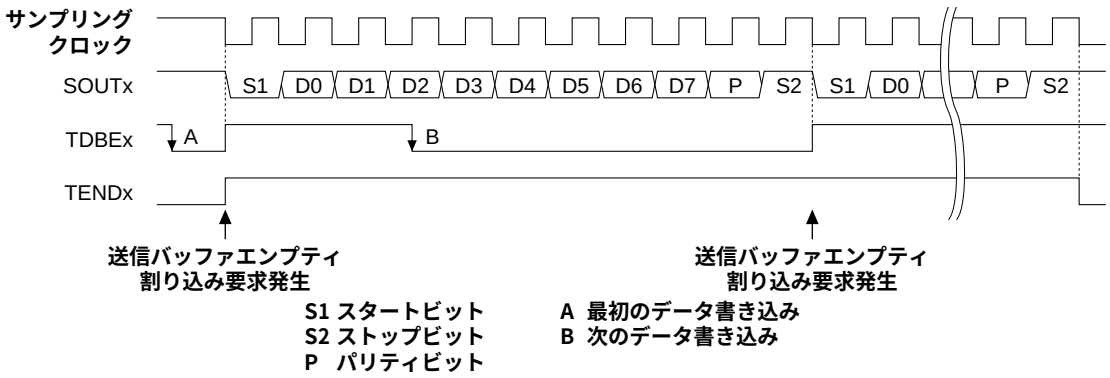


図8.12 **調歩同期式モードの送信タイミング**

1. サンプリングクロックの最初の立ち下がりエッジに同期してデータレジスタの内容がシフトレジスタに転送されます。同時に、SOUTx端子をLowにしてスタートビットを送信します。
2. 続くサンプリングクロックの各立ち下がりエッジでシフトレジスタの各ビットをLSBから送信します。8(7)ビットのデータが送信されるまで、この動作を繰り返します。
3. MSBを送信後、パリティビット(EPRx = "1"の場合)とストップビットを続けて送信します。

- **連続送信**

送信データレジスタのデータがシフトレジスタに転送されるとTDBExは"1"(バッファエンプティ)に戻ります。これ以降であれば、データの送信中であっても、送信データレジスタに次の送信データを書き込むことが可能です。
これにより、データの連続送信が行えます。各データの送信手順は前述のとおりです。
TDBExが"1"になると同時に送信データエンプティ割り込み要因が発生します。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンで次の送信データを書き込むことができます。また、この割り込み要因でDMAを起動することもできますので、メモリ上に用意したデータを送信データレジスタにDMA転送して連続送信することも可能です。
割り込みとDMAの制御方法については、"シリアルインタフェース割り込みとDMA"を参照してください。

(3) 送信の終了

データの送信が終了した場合は、送信許可レジスタTXENxに"0"を書き込んで送信禁止に設定してください。

■ 受信制御

(1) 受信許可

受信の制御には、受信許可ビットRXENxを使用します。
Ch.0受信許可: RXEN0 (シリアルI/F Ch.0制御レジスタ0x401E3•D6)
Ch.1受信許可: RXEN1 (シリアルI/F Ch.0制御レジスタ0x401E8•D6)
Ch.2受信許可: RXEN2 (シリアルI/F Ch.2制御レジスタ0x401F3•D6)
Ch.3受信許可: RXEN3 (シリアルI/F Ch.3制御レジスタ0x401F8•D6)
このビットに"1"を書き込んで受信を許可状態にすると、シフトレジスタへのクロック入力がイネーブル(入力可能な状態)となり、データの受信が行える状態となります。
RXENxに"0"を書き込むと受信禁止状態に戻ります。

注: 受信中はRXENxを"0"に設定しないでください。

(2) 受信手順

本シリアルインタフェースには、受信用シフトレジスタと受信データレジスタ(受信データバッファ)が送信用とは独立して設けられています。
Ch.0受信データ: RXD0[7:0] (シリアルI/F Ch.0受信データレジスタ0x401E1•D[7:0])
Ch.1受信データ: RXD1[7:0] (シリアルI/F Ch.1受信データレジスタ0x401E6•D[7:0])
Ch.2受信データ: RXD2[7:0] (シリアルI/F Ch.2受信データレジスタ0x401F1•D[7:0])
Ch.3受信データ: RXD3[7:0] (シリアルI/F Ch.3受信データレジスタ0x401F6•D[7:0])
受信データはこのレジスタから読み出すことができます。
また、受信データレジスタの状態を示すステータスビットが設けられています。
Ch.0受信データバッファフル: RDBF0 (シリアルI/F Ch.0ステータスレジスタ0x401E2•D0)
Ch.1受信データバッファフル: RDBF1 (シリアルI/F Ch.1ステータスレジスタ0x401E7•D0)
Ch.2受信データバッファフル: RDBF2 (シリアルI/F Ch.2ステータスレジスタ0x401F2•D0)
Ch.3受信データバッファフル: RDBF3 (シリアルI/F Ch.3ステータスレジスタ0x401F7•D0)
このビットはストップビット(2ビットに設定した場合は2ビット目)をサンプリングしてシフトレジスタのデータが受信データレジスタに転送されると"1"(バッファフル)となり、受信データが読み出せることを示します。そのデータが読み出されると"0"に戻ります。

図8.13に調歩同期式モードの受信タイミングチャートを示します。
例: データ長 8ビット
ストップビット 1ビット
パリティビット あり

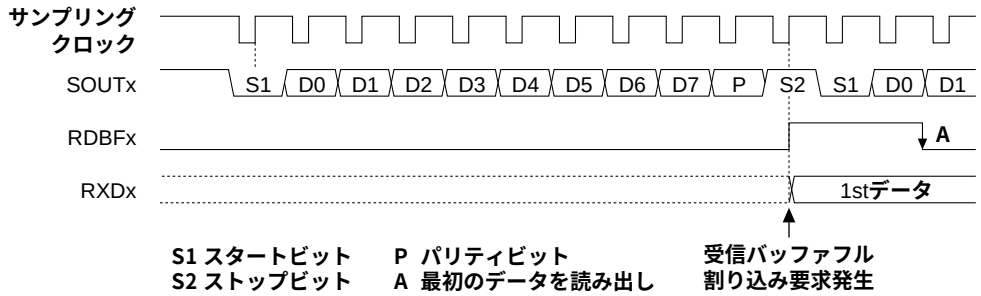


図8.13 調歩同期式モードの受信タイミング

1. スタートビット(SINx = Low)の入力によりサンプリングを開始します。
2. サンプリングクロックの最初の立ち上がりエッジでスタートビットがサンプリングされると、以降のクロックの各立ち上がりエッジで受信データの各ビットをLSBからシフトレジスタに取り込みます。データのMSBを受信するまで、この動作を繰り返します。
3. MSBが取り込まれると、続くパリティビットを取り込みます(EPRx = "1"の場合)。
4. ストップビットをサンプリングするとシフトレジスタのデータは受信データレジスタに転送され、データが読み出せる状態となります。
   受信データレジスタへの転送時にはパリティチェックが行われます(EPRx = "1"の場合)。

注: ストップビットを2ビットに設定した場合でも、ストップビットの1ビット目をサンプリングした時点で受信動作が終了します。

- **連続受信**

  シフトレジスタに受信したデータが受信データレジスタに転送されるとRDBFxが"1"(バッファフル)となり、受信データが読み出せることを示します。これ以降、次のデータの受信中に受信データレジスタを読み出すことができますので、データの連続受信が行えます。各データの受信手順は前述のとおりです。

  RDBFxが"1"になると同時に受信データフル割り込み要因が発生します。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンで受信データを読み出すことができます。また、この割り込み要因でDMAを起動することもできますので、メモリ上に用意した領域に受信データをDMA転送して連続受信することも可能です。

  割り込みとDMAの制御方法については、"シリアルインタフェース割り込みとDMA"を参照してください。

(3) 受信エラー

調歩同期式モードの受信時には3種類の受信エラーが検出可能です。

割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンでエラー処理が行えます。受信エラー割り込みについては、"シリアルインタフェース割り込みとDMA"を参照してください。

- **パリティエラー**

  EPRxが"1"(パリティあり)に設定されている場合、受信時にパリティチェックが行われます。

  パリティチェックはシフトレジスタに受信したデータが受信データレジスタに転送される際に行われ、PMDxの設定(奇数または偶数パリティ)との整合をチェックします。この結果が不整合の場合はパリティエラーと判断され、パリティエラーフラグが"1"にセットされます。

  Ch.0パリティエラーフラグ: PER0 (シリアルI/F Ch.0ステータスレジスタ0x401E2•D3)
  Ch.1パリティエラーフラグ: PER1 (シリアルI/F Ch.1ステータスレジスタ0x401E7•D3)
  Ch.2パリティエラーフラグ: PER2 (シリアルI/F Ch.2ステータスレジスタ0x401F2•D3)
  Ch.3パリティエラーフラグ: PER3 (シリアルI/F Ch.3ステータスレジスタ0x401F7•D3)

  本エラーが発生した場合でも、その受信データは受信データレジスタに転送され、受信動作も継続されます。ただし、受信データはパリティエラーのため保証されません。

  なお、PERxフラグは"0"を書き込むことによってリセットされます。

- **フレーミングエラー**

  ストップビットを"0"として受信すると、シリアルインタフェースは同期ずれと判断してフレーミングエラーを発生します。

  ストップビットを2ビットに設定している場合は、最初の1ビットのみチェックします。

  本エラーが発生すると、フレーミングエラーフラグが"1"にセットされます。

  Ch.0フレーミングエラーフラグ: FER0 (シリアルI/F Ch.0ステータスレジスタ0x401E2•D4)
  Ch.1フレーミングエラーフラグ: FER1 (シリアルI/F Ch.1ステータスレジスタ0x401E7•D4)
  Ch.2フレーミングエラーフラグ: FER2 (シリアルI/F Ch.2ステータスレジスタ0x401F2•D4)
  Ch.3フレーミングエラーフラグ: FER3 (シリアルI/F Ch.3ステータスレジスタ0x401F7•D4)

  本エラーが発生した場合でも、その受信データは受信データレジスタに転送され、受信動作も継続されます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。

  なお、FERxフラグは"0"を書き込むことによってリセットされます。

- **オーバーランエラー**
  連続受信を行っている場合、受信データレジスタを読み出す前に次のデータの受信を終了すると受信データレジスタは新たなデータで上書きされます。したがって、受信データレジスタは次のデータの受信が終了する前に読み出すことが必要です。
  受信データレジスタが上書きされるとオーバーランエラーが発生し、オーバーランエラーフラグが"1"にセットされます。
  Ch.0オーバーランエラーフラグ: OER0 (シリアルI/F Ch.0ステータスレジスタ0x401E2•D2)
  Ch.1オーバーランエラーフラグ: OER1 (シリアルI/F Ch.1ステータスレジスタ0x401E7•D2)
  Ch.2オーバーランエラーフラグ: OER2 (シリアルI/F Ch.2ステータスレジスタ0x401F2•D2)
  Ch.3オーバーランエラーフラグ: OER3 (シリアルI/F Ch.3ステータスレジスタ0x401F7•D2)
  本エラーが発生した場合でも、その受信データは受信データレジスタに転送され、受信動作も継続されます。
  なお、OERxフラグは"0"を書き込むことによってリセットされます。

(4) **受信の終了**
データの受信が終了した場合は、受信許可ビットRXENxに"0"を書き込んで受信禁止に設定してください。

IrDAインタフェース

IrDAインタフェースの概要

シリアルインタフェースは各チャネルにPPM変調回路を内蔵しており、IrDA 1.0に準拠した赤外線通信の回路を簡単な外部回路を追加することにより構成できるようになっています。

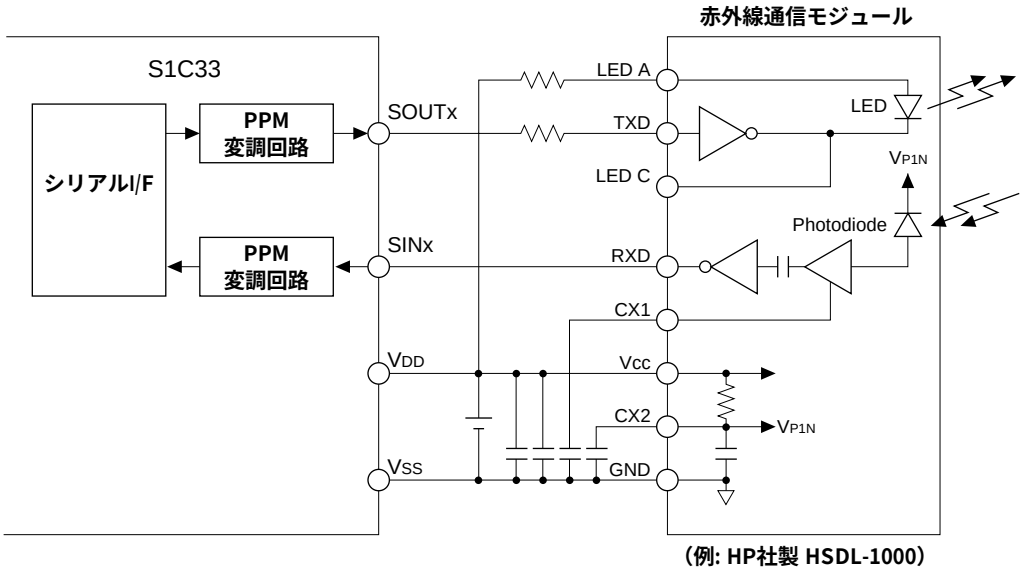


図8.14 IrDA**インタフェースの構成例**

このIrDAインタフェース機能は、転送モードが調歩同期式モードに設定されている場合にのみ使用可能です。
IrDAインタフェース部以外のシリアルインタフェース機能は調歩同期式モードの内容がそのまま適用されますので、データフォーマット、データ転送の設定や制御手順については"調歩同期式インタフェース"を参照してください。

IrDAインタフェースの設定

赤外線通信を行う場合は、通信開始前に以下の設定が必要です。
1. 入出力端子の設定
2. インタフェースモード(IrDAインタフェース機能)の選択
3. 転送モードの設定
4. 入力クロックの設定
5. データフォーマットの設定
6. 割り込み/IDMA/HSDMAの設定
7. 入出力論理の設定

1～5までは調歩同期式インタフェースで説明した内容です。"調歩同期式インタフェース"を参照してください。6については"シリアルインタフェース割り込みとDMA"を参照してください。

注: **これらの設定は、必ずシリアルインタフェースが動作停止中に**(TXENx**および**RXENx**を**"0"**に設定して)行ってください。動作中の設定変更は誤動作の原因となります。**
また、IrDA**インタフェース機能の選択**(2)**は、必ず転送モード**(3)**以降の設定を行う前に行ってください。**

■ IrDAインタフェース機能の選択

IrDAインタフェース機能を使用するには、次の制御ビットでIrDAインタフェース機能を選択し、さらに調歩同期式8ビット(または7ビット)モードに設定してください。
Ch.0 IrDAインタフェース機能選択: IRMD0[1:0] (シリアルI/F Ch.0 IrDAレジスタ0x401E4•D[1:0])
Ch.1 IrDAインタフェース機能選択: IRMD1[1:0] (シリアルI/F Ch.1 IrDAレジスタ0x401E9•D[1:0])
Ch.2 IrDAインタフェース機能選択: IRMD2[1:0] (シリアルI/F Ch.2 IrDAレジスタ0x401F4•D[1:0])
Ch.3 IrDAインタフェース機能選択: IRMD3[1:0] (シリアルI/F Ch.3 IrDAレジスタ0x401F9•D[1:0])

表8.7 IrDA**インタフェースの設定**

IRMDx1	IRMDx0	**設定内容**
1	1	**設定禁止**(reserved)
1	0	IrDA 1.0**インタフェース**
0	1	**設定禁止**(reserved)
0	0	**通常のインタフェース**

注: IRMDx**はイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。**

■ 入出力論理の設定

IrDAインタフェースを使用する場合、PPM変調回路の入出力信号の論理を外部に接続する赤外線通信モジュールや回路に合わせて切り換えることができます。内蔵のシリアルインタフェースはLowアクティブです。Highアクティブの信号を入出力する場合は論理を反転させて使用します。入力SINxと出力SOUTxの論理をそれぞれIRRLx、IRTLxによって個別に設定することができます。

表8.8 IrDA**入出力論理反転ビット**

	Ch.0(**シリアル**I/F Ch.0 **制御レジスタ**)	Ch.1(**シリアル**I/F Ch.1 **制御レジスタ**)	Ch.2(**シリアル**I/F Ch.2 **制御レジスタ**)	Ch.3(**シリアル**I/F Ch.3 **制御レジスタ**)
IrDA**入力論理反転**	IRRL0(0x401E4•D2)	IRRL1(0x401E9•D2)	IRRL2(0x401F4•D2)	IRRL3(0x401F9•D2)
IrDA**出力論理反転**	IRTL0(0x401E4•D3)	IRTL1(0x401E9•D3)	IRTL2(0x401F4•D3)	IRTL3(0x401F9•D3)

IRRLx/IRTLxに"1"を書き込むことで、入力/出力信号の論理が反転します。"0"を書き込んだ場合は、論理反転を行いません。

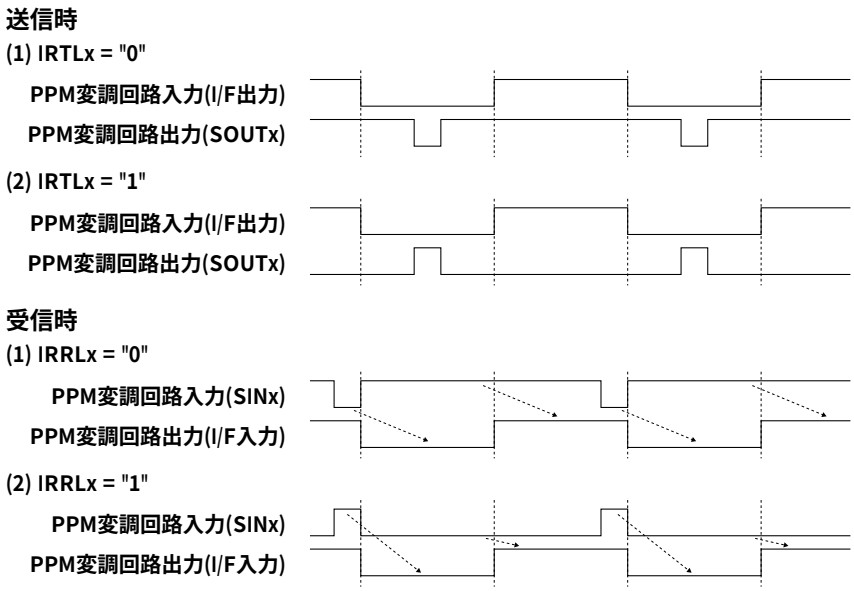


図8.15 IRRLx**と**IRTLx**の設定例**

注: IRRLx**および**IRTLx**はイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。**

*IrDA*インタフェースの制御と動作

送受信の手順は調歩同期式インタフェースで説明したとおりです。"調歩同期式転送の制御と動作"を参照してください。

PPM変調回路によるデータの変調と復調の動作は以下のとおりです。

■ 送信時

送信時は、シリアルインタフェースの出力信号のパルス幅を3/16倍に変換しSOUTx端子から出力します。

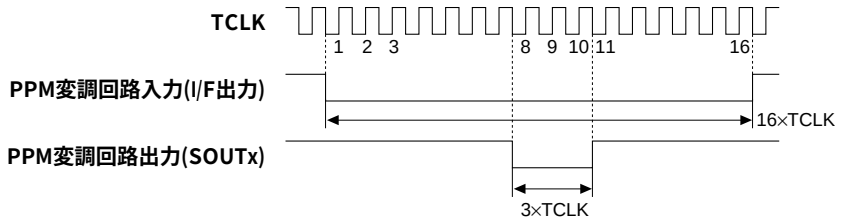


図8.16 PPM**変調回路によるデータの変調**

■ 受信時

受信時は、SINxからの入力信号のパルス幅を16/3倍に変換し、シリアルインタフェースに送ります。

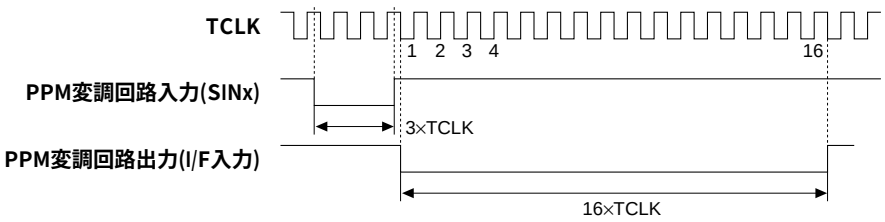


図8.17 PPM**変調回路によるデータの復調**

注: IrDA**インタフェースを使用する場合、シリアルインタフェース内部の分周比は**1/16(DIVMDx = "1") **に設定し、**1/8(DIVMDx = "0")**には設定しないでください。**

シリアルインタフェース割り込みとDMA

シリアルインタフェースには各チャネルごとに、以下の3種類の割り込みを発生させる機能があります。
• 送信バッファエンプティ割り込み
• 受信バッファフル割り込み
• 受信エラー割り込み

■ 送信バッファエンプティ割り込み要因

この割り込み要因は、送信データレジスタに設定した送信データがシフトレジスタに転送された時点で発生し、割り込み要因フラグFSTXxを"1"にセットします。このとき、割り込み制御レジスタによって割り込み条件が満たされていれば、CPUに対し割り込みが発生します。
この割り込み要因の発生によって、次の送信データを送信データレジスタに書き込むことができます。
また、この割り込み要因でDMAを起動し、DMA転送によって送信データの書き込みを行うこともできます。

■ 受信完了割り込み

この割り込み要因は、受信が完了してシフトレジスタに取り込まれた受信データが受信データレジスタに転送された時点で発生し、割り込み要因フラグFSRXxを"1"にセットします。このとき、割り込み制御レジスタによって割り込み条件が満たされていれば、CPUに対し割り込みが発生します。
この割り込み要因の発生によって、受信データの読み出しが可能となります。
また、この割り込み要因でDMAを起動し、受信データをDMA転送によって指定のメモリに書き込むこともできます。

■ 受信エラー割り込み

この割り込み要因は、受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された場合に発生し、割り込み要因フラグFSERRxを"1"にセットします。このとき、割り込み制御レジスタによって割り込み条件が満たされていれば、CPUに対し割り込みが発生します。
3種類のエラーとも同一の割り込み要因となっていますので、発生したエラーの識別はエラーフラグPERx(パリティエラー)、OERx(オーバーランエラー)、FERx(フレーミングエラー)で行ってください。クロック同期式モードではパリティエラーとフレーミングエラーは発生しません。

注: **受信エラー(パリティエラー、フレーミングエラー)が発生した場合、受信エラー割り込み要因と受信バッファフル割り込み要因が同時に発生します。ただし、受信エラー割り込みの優先順位が受信バッファフル割り込みよりも高く設定されていますので、受信エラー割り込みの処理が先に実行されます。このため、受信エラー割り込み処理の中で受信バッファフル割り込み要因フラグをリセットする必要があります。**

■ 割り込みコントローラの制御レジスタ

• **Ch.0、Ch.1について**

各割り込み系列(チャネル)ごとに用意されている割り込みコントローラの制御レジスタを、表8.9に示します。

表8.9 割り込みコントローラの制御レジスタ

Ch.	割り込み要因	割り込み要因フラグ	割り込みイネーブルレジスタ	割り込みプライオリティレジスタ
Ch.0	**受信エラー**	FSERR0(D0/0x40286)	ESERR0(D0/0x40276)	PSIO0[2:0](D[6:4]/0x40269)
	受信バッファフル	FSRX0(D1/0x40286)	ESRX0(D1/0x40276)	
	送信バッファエンプティ	FSTX0(D2/0x40286)	ESTX0(D2/0x40276)	
Ch.1	**受信エラー**	FSERR1(D3/0x40286)	ESERR1(D3/0x40276)	PSIO1[2:0](D[2:0]/0x4026A)
	受信バッファフル	FSRX1(D4/0x40286)	ESRX1(D4/0x40276)	
	送信バッファエンプティ	FSTX1(D5/0x40286)	ESTX1(D5/0x40276)	

前述の割り込み要因が発生すると、それぞれに対応した割り込み要因フラグが"1"にセットされます。その割り込み要因に対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。

割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、その要因による割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず("0"に設定されていても)、割り込み条件の成立によって"1"にセットされます。
割り込みプライオリティレジスタは、割り込み系列ごとの割り込みの優先レベル(0～7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。
また、入力割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した入力割り込みのレベルよりも小さな値に設定されている場合に限られます。
これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITC(割り込みコントローラ)"を参照してください。

- **Ch.2、Ch.3について**

Ch.2、Ch.3は専用の割り込み信号を持たず、ポート入力割り込みまたは16ビットタイマ割り込みのいずれかを選択し、切り換えて使用することで割り込み処理を行います。
ポート入力割り込み要因、16ビットタイマ割り込み要因との対応は表8.10のとおりです。

表8.10 割り込み要因対応表

シリアルI/F Ch.2, 3 T8-Ch.4, 5割り込み要因	ポート入力 割り込み要因	16ビットタイマ 割り込み要因
T8 Ch.5 UF	FPT7	タイマ2 コンペアA
T8 Ch.4 UF	FPT5	タイマ2 コンペアB
SIO Ch.3 TXD Emp.	FPT6	タイマ4 コンペアA
SIO Ch.3 RXD Full	FPT4	タイマ4 コンペアB
SIO Ch.3 RXD Err.	FPT2	タイマ3 コンペアA
SIO Ch.2 TXD Emp.	FPT3	タイマ5 コンペアA
SIO Ch.2 RXD Full	FPT1	タイマ5 コンペアB
SIO Ch.2 RXD Err.	FPT0	タイマ3 コンペアB

上記の切り換えは、割り込み要因FP機能切り換えレジスタ(0x402C5)と、割り込み要因TM16機能切り換えレジスタ(0x402CB)とで行います。
CPUコア内の割り込みコントローラの設定は、選択した割り込み要因の設定を使用することになります。
割り込みに関してはコアブロックの"ITC(割り込みコントローラ)"を、ポート入力割り込み要因と16ビットタイマ割り込み要因の設定に関しては周辺回路ブロックの"入出力ポート"と"16ビットプログラマブルタイマ"の各章を参照してください。

■ インテリジェントDMA

- **Ch.0、Ch.1について**

受信バッファフル割り込み要因と送信バッファエンプティ割り込み要因は、インテリジェントDMA(IDMA)を起動することができます。これにより、メモリと送受信データレジスタ間のDMA転送による連続送受信が行えます。
各要因に設定されたIDMAチャネル番号は次のとおりです。

	IDMA Ch.
Ch.0受信バッファフル割り込み:	0x17
Ch.0送信バッファエンプティ割り込み:	0x18
Ch.1受信バッファフル割り込み:	0x19
Ch.1送信バッファエンプティ割り込み:	0x1A

IDMAを起動させるには、表8.11に示すIDMAリクエストビットおよびIDMAイネーブルビットに"1"を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。

表8.11 IDMA転送の制御ビット

Ch.	割り込み要因	IDMAリクエストビット	IDMAイネーブルビット
Ch.0	受信バッファフル	RSRX0(D6/0x40292)	DESRX0(D6/0x40296)
	送信バッファエンプティ	RSTX0(D7/0x40292)	DESTX0(D7/0x40296)
Ch.1	受信バッファフル	RSRX1(D0/0x40293)	DESRX1(D0/0x40297)
	送信バッファエンプティ	RSTX1(D1/0x40293)	DESTX1(D1/0x40297)

IDMAリクエストビットとIDMAイネーブルビットが"1"に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はDMA転送終了後に発生します。また、DMA転送のみを行い、割り込みは発生しないように設定することもできます。DMA転送とDMA転送終了後の割り込み制御については、"IDMA(インテリジェントDMA)"を参照してください。

- **Ch.2、Ch.3について**

Ch.2、Ch.3は、ポート入力割り込みまたは16ビットタイマ割り込みのいずれかを選択し、それらの割り込み要因によって、IDMAが起動します。
IDMAのCh.とシリアルI/FのCh.2、Ch.3の対応は表8.12のようになります。

表8.12 IDMA**チャネルとの対応**

シリアルI/F Ch.2, 3 T8-Ch.4, 5**割り込み要因**	**ポート入力**/16**ビットタイマ** **割り込み要因**	IDMA Ch.
T8 Ch.5 UF	FPT7	31
	タイマ2 **コンペア**A	12
T8 Ch.4 UF	FPT5	29
	タイマ2 **コンペア**B	11
SIO Ch.3 TXD Emp.	FPT6	30
	タイマ4 **コンペア**A	16
SIO Ch.3 RXD Full	FPT4	28
	タイマ4 **コンペア**B	15
SIO Ch.3 RXD Err.	FPT2	3
	タイマ3 **コンペア**A	14
SIO Ch.2 TXD Emp.	FPT3	4
	タイマ5 **コンペア**A	18
SIO Ch.2 RXD Full	FPT1	2
	タイマ5 **コンペア**B	17
SIO Ch.2 RXD Err.	FPT0	1
	タイマ3 **コンペア**B	13

たとえば、ポート入力割り込みを選択した場合、シリアルI/F Ch.2の送信バッファエンプティはポート3、そしてIDMAのCh.4に対応しています。したがって、IDMAリクエストビットRP3(D3/0x40290)とIDMAイネーブルビットDEP3(D3/0x40294)をいずれも"1"にすることで、IDMAを起動することができます。

■ 高速DMA

- **Ch.0、Ch.1について**

受信バッファフル割り込み要因と送信バッファエンプティ割り込み要因は、高速DMA(HSDMA)を起動することもできます。
各チャネルに対応するHSDMAチャネル番号とトリガ設定ビットを以下に示します。

表8.13 HSDMA**トリガ設定ビット**

SIF Ch.	HSDMA Ch.	**トリガ設定ビット**
0	0	HSD0S[3:0] (HSDMA Ch.0/1**トリガ設定レジスタ**0x40298•D[3:0])
1	1	HSD1S[3:0] (HSDMA Ch.0/1**トリガ設定レジスタ**0x40298•D[7:4])
0	2	HSD2S[3:0] (HSDMA Ch.2/3**トリガ設定レジスタ**0x40299•D[3:0])
1	3	HSD3S[3:0] (HSDMA Ch.2/3**トリガ設定レジスタ**0x40299•D[7:4])

HSDMAを受信バッファフル割り込み要因で起動させるには、トリガ設定ビットに"1010"を書き込んでおきます。送信バッファエンプティ割り込み要因で起動させるには、トリガ設定ビットに"1011"を書き込んでおきます。また、HSDMA側の転送条件等の設定も必要です。
割り込み要因の発生でHSDMAが起動します。
HSDMAの詳細については、"HSDMA(高速DMA)"を参照してください。

- Ch.2、Ch.3について

Ch.2、Ch.3は、ポート入力割り込みまたは16ビットタイマ割り込みのいずれかを選択し、それらの割り込み要因(表8.10参照)によって、HSDMAが起動します。
ポート入力割り込みを選択した場合、シリアルI/F Ch.2の受信バッファフルがポート1、送信バッファエンプティがポート3に対応しています。したがって、HSDMAのCh.1、Ch.3のトリガ要因設定値(D[7:4]/0x40298、D[7:4]/0x40299)を"0011"にしておくことで、HSDMAを起動することができます。
また、シリアルI/F Ch.3の受信バッファフルがポート4、送信バッファエンプティがポート6ですので、HSDMAのCh.0、Ch.2のトリガ要因設定値(D[7:4]/0x40298、D[7:4]/0x40299)を"0100"にしておくことで、HSDMAを起動することができます。
16ビットタイマ割り込みを選択した場合、受信バッファフルと送信バッファエンプティでHSDMAのトリガ要因設定値が異なってきます。
シリアルI/FのCh.2の場合、受信バッファフルが16ビットタイマ5コンペアBに、送信バッファエンプティが16ビットタイマ5コンペアAに対応します。したがって、送受信ともにHSDMAを使用するには、HSDMAのCh.1のトリガ要因設定値(D[7:4]/0x40298)を"1000"にしたときは、Ch.3のトリガ要因設定値(D[7:4]/0x40299)を"1001"に設定する必要があります(設定値が逆の組み合わせでも起動できます)。
同様に、シリアルI/FのCh.3は16ビットタイマ4コンペアA、Bを使用するため、HSDMAのCh.0の設定値を"1000"にしたときは、Ch.2の設定値を"1001"にすればHSDMAを起動することができます(設定値が逆の組み合わせでも起動できます)。
受信バッファフル、送信バッファエンプティ以外の割り込みも、上記の考え方で該当するポートNo.および16ビットタイマコンペアに設定されているHSDMAのCh.を起動することができます。

■ トラップベクタ

- Ch.0、Ch.1について

各割り込み要因のトラップベクタアドレスは、デフォルトでそれぞれ以下のとおり設定されています。

Ch.0受信エラー割り込み:	0x0C000E0
Ch.0受信バッファフル割り込み:	0x0C000E4
Ch.0送信バッファエンプティ割り込み:	0x0C000E8
Ch.1受信エラー割り込み:	0x0C000EC
Ch.1受信バッファフル割り込み:	0x0C000F0
Ch.1送信バッファエンプティ割り込み:	0x0C000F4

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134～0x48137)で変更することも可能です。

- Ch.2、Ch.3について

Ch.2、Ch.3は専用の割り込み信号を持たず、ポート入力割り込みまたは16ビットタイマ割り込みのいずれかを選択し、切り換えて使用することで割り込み処理を行います。
詳しくは"16ビットプログラマブルタイマ"または"入出力ポート"各章の"トラップベクタ"の項を参照してください。

シリアルインタフェースのI/Oメモリ

表8.14にシリアルインタフェースの制御ビットを示します。
クロックを設定するプリスケーラおよび8ビットプログラマブルタイマのI/Oメモリについては、それぞれ"プリスケーラ"、"8ビットプログラマブルタイマ"を参照してください。

表8.14 シリアルインタフェースの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
シリアルI/F Ch.0送信データレジスタ	00401E0 (B)	D7	TXD07	シリアルI/F Ch.0	0x0～0xFF(0x7F)	X	R/W	調歩同期式7ビットモードの場合、TXD07は無効
		D6	TXD06	送信データ		X		
		D5	TXD05	TXD07(06) = MSB		X		
		D4	TXD04	TXD00 = LSB		X		
		D3	TXD03			X		
		D2	TXD02			X		
		D1	TXD01			X		
		D0	TXD00			X		
シリアルI/F Ch.0受信データレジスタ	00401E1 (B)	D7	RXD07	シリアルI/F Ch.0	0x0～0xFF(0x7F)	X	R	調歩同期式7ビットモードの場合、RXD07は無効(0固定)
		D6	RXD06	受信データ		X		
		D5	RXD05	RXD07(06) = MSB		X		
		D4	RXD04	RXD00 = LSB		X		
		D3	RXD03			X		
		D2	RXD02			X		
		D1	RXD01			X		
		D0	RXD00			X		
シリアルI/F Ch.0ステータスレジスタ	00401E2 (B)	D7–6	–	–	–	–	–	読み出し時: 0
		D5	TEND0	Ch.0転送終了フラグ	1 転送中 0 終了	0	R	
		D4	FER0	Ch.0フレーミングエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D3	PER0	Ch.0パリティエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D2	OER0	Ch.0オーバーランエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D1	TDBE0	Ch.0送信データバッファエンプティ	1 エンプティ 0 バッファフル	1	R	
		D0	RDBF0	Ch.0受信データバッファフル	1 バッファフル 0 エンプティ	0	R	
シリアルI/F Ch.0制御レジスタ	00401E3 (B)	D7	TXEN0	Ch.0送信許可	1 許可 0 禁止	0	R/W	
		D6	RXEN0	Ch.0受信許可	1 許可 0 禁止	0	R/W	
		D5	EPR0	Ch.0パリティイネーブル	1 パリティ付 0 パリティなし	X	R/W	調歩同期式モード時のみ有効
		D4	PMD0	Ch.0パリティモード選択	1 奇数 0 偶数	X	R/W	
		D3	STPB0	Ch.0ストップビット選択	1 2bit 0 1bit	X	R/W	
		D2	SSCK0	Ch.0入力クロック選択	1 #SCLK0 0 内部クロック	X	R/W	
		D1	SMD01	Ch.0転送モード選択	SMD0[1:0] 転送モード	X	R/W	
		D0	SMD00		1 1 調歩同期式8bit	X		
					1 0 調歩同期式7bit			
					0 1 クロック同期スレーブ			
					0 0 クロック同期マスタ			
シリアルI/F Ch.0 IrDAレジスタ	00401E4 (B)	D7–5	–	–	–	–	–	読み出し時: 0
		D4	DIVMD0	Ch.0調歩同期クロック分周比	1 1/8 0 1/16	X	R/W	
		D3	IRTL0	Ch.0 IrDA I/F出力論理反転	1 反転 0 反転なし	X	R/W	調歩同期式モード時のみ有効
		D2	IRRL0	Ch.0 IrDA I/F入力論理反転	1 反転 0 反転なし	X	R/W	
		D1	IRMD01	Ch.0インタフェースモード	IRMD0[1:0] I/Fモード	X	R/W	
		D0	IRMD00	選択	1 1 reserved	X		
					1 0 IrDA 1.0			
					0 1 reserved			
					0 0 通常のI/F			
シリアルI/F Ch.1送信データレジスタ	00401E5 (B)	D7	TXD17	シリアルI/F Ch.1	0x0～0xFF(0x7F)	X	R/W	調歩同期式7ビットモードの場合、TXD17は無効
		D6	TXD16	送信データ		X		
		D5	TXD15	TXD17(16) = MSB		X		
		D4	TXD14	TXD10 = LSB		X		
		D3	TXD13			X		
		D2	TXD12			X		
		D1	TXD11			X		
		D0	TXD10			X		
シリアルI/F Ch.1受信データレジスタ	00401E6 (B)	D7	RXD17	シリアルI/F Ch.1	0x0～0xFF(0x7F)	X	R	調歩同期式7ビットモードの場合、RXD17は無効(0固定)
		D6	RXD16	受信データ		X		
		D5	RXD15	RXD17(16) = MSB		X		
		D4	RXD14	RXD10 = LSB		X		
		D3	RXD13			X		
		D2	RXD12			X		
		D1	RXD11			X		
		D0	RXD10			X		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
シリアルI/F Ch.1ステータスレジスタ	00401E7 (B)	D7–6	–	–	–	–	–	読み出し時: 0
		D5	TEND1	Ch.1転送終了フラグ	1 転送中　0 終了	0	R	
		D4	FER1	Ch.1フレーミングエラーフラグ	1 エラー　0 正常	0	R/W	0書き込みでクリア
		D3	PER1	Ch.1パリティエラーフラグ	1 エラー　0 正常	0	R/W	0書き込みでクリア
		D2	OER1	Ch.1オーバーランエラーフラグ	1 エラー　0 正常	0	R/W	0書き込みでクリア
		D1	TDBE1	Ch.1送信データバッファエンプティ	1 エンプティ　0 バッファフル	1	R	
		D0	RDBF1	Ch.1受信データバッファフル	1 バッファフル　0 エンプティ	0	R	
シリアルI/F Ch.1制御レジスタ	00401E8 (B)	D7	TXEN1	Ch.1送信許可	1 許可　0 禁止	0	R/W	
		D6	RXEN1	Ch.1受信許可	1 許可　0 禁止	0	R/W	
		D5	EPR1	Ch.1パリティイネーブル	1 パリティ付　0 パリティなし	X	R/W	調歩同期式モード時
		D4	PMD1	Ch.1パリティモード選択	1 奇数　0 偶数	X	R/W	のみ有効
		D3	STPB1	Ch.1ストップビット選択	1 2bit　0 1bit	X	R/W	
		D2	SSCK1	Ch.1入力クロック選択	1 #SCLK1　0 内部クロック	X	R/W	
		D1	SMD11	Ch.1転送モード選択	SMD1[1:0] 転送モード	X	R/W	
		D0	SMD10		1 1 調歩同期式8bit	X		
					1 0 調歩同期式7bit			
					0 1 クロック同期スレーブ			
					0 0 クロック同期マスタ			
シリアルI/F Ch.1 IrDAレジスタ	00401E9 (B)	D7–5	–	–	–	–	–	読み出し時: 0
		D4	DIVMD1	Ch.1調歩同期クロック分周比	1 1/8　0 1/16	X	R/W	
		D3	IRTL1	Ch.1 IrDA I/F出力論理反転	1 反転　0 反転なし	X	R/W	調歩同期式モード時
		D2	IRRL1	Ch.1 IrDA I/F入力論理反転	1 反転　0 反転なし	X	R/W	のみ有効
		D1	IRMD11	Ch.1インタフェースモード	IRMD1[1:0] I/Fモード	X	R/W	
		D0	IRMD10	選択	1 1 reserved	X		
					1 0 IrDA 1.0			
					0 1 reserved			
					0 0 通常のI/F			
シリアルI/F Ch.2送信データレジスタ	00401F0 (B)	D7	TXD27	シリアルI/F Ch.2	0x0〜0xFF(0x7F)	X	R/W	
		D6	TXD26	送信データ		X		
		D5	TXD25	TXD27(26) = MSB		X		
		D4	TXD24	TXD20 = LSB		X		
		D3	TXD23			X		
		D2	TXD22			X		
		D1	TXD21			X		
		D0	TXD20			X		
シリアルI/F Ch.2受信データレジスタ	00401F1 (B)	D7	RXD27	シリアルI/F Ch.2	0x0〜0xFF(0x7F)	X	R	
		D6	RXD26	受信データ		X		
		D5	RXD25	RXD27(26) = MSB		X		
		D4	RXD24	RXD20 = LSB		X		
		D3	RXD23			X		
		D2	RXD22			X		
		D1	RXD21			X		
		D0	RXD20			X		
シリアルI/F Ch.2ステータスレジスタ	00401F2 (B)	D7–6	–	reserved	–	–	–	読み出し時: 0
		D5	TEND2	Ch.2転送終了フラグ	1 転送中　0 終了	0	R	
		D4	FER2	Ch.2フレーミングエラーフラグ	1 エラー　0 正常	0	R/W	0書き込みでクリア
		D3	PER2	Ch.2パリティエラーフラグ	1 エラー　0 正常	0	R/W	0書き込みでクリア
		D2	OER2	Ch.2オーバーランエラーフラグ	1 エラー　0 正常	0	R/W	0書き込みでクリア
		D1	TDBE2	Ch.2送信データバッファエンプティ	1 エンプティ　0 バッファフル	1	R	
		D0	RDBF2	Ch.2受信データバッファフル	1 バッファフル　0 エンプティ	0	R	
シリアルI/F Ch.2制御レジスタ	00401F3 (B)	D7	TXEN2	Ch.2送信許可	1 許可　0 禁止	0	R/W	
		D6	RXEN2	Ch.2受信許可	1 許可　0 禁止	0	R/W	
		D5	EPR2	Ch.2パリティイネーブル	1 パリティ付　0 パリティなし	X	R/W	調歩同期式モード時
		D4	PMD2	Ch.2パリティモード選択	1 奇数　0 偶数	X	R/W	のみ有効
		D3	STPB2	Ch.2ストップビット選択	1 2bit　0 1bit	X	R/W	
		D2	SSCK2	Ch.2入力クロック選択	1 #SCLK2　0 内部クロック	X	R/W	
		D1	SMD21	Ch.2転送モード選択	SMD2[1:0] 転送モード	X	R/W	
		D0	SMD20		1 1 調歩同期式8bit	X		
					1 0 調歩同期式7bit			
					0 1 クロック同期スレーブ			
					0 0 クロック同期マスタ			
シリアルI/F Ch.2 IrDAレジスタ	00401F4 (B)	D7–5	–	reserved	–	–	–	読み出し時: 0
		D4	DIVMD2	Ch.2調歩同期クロック分周比	1 1/8　0 1/16	X	R/W	
		D3	IRTL2	Ch.2 IrDA I/F出力論理反転	1 反転　0 反転なし	X	R/W	調歩同期式モード時
		D2	IRRL2	Ch.2 IrDA I/F入力論理反転	1 反転　0 反転なし	X	R/W	のみ有効
		D1	IRMD21	Ch.2インタフェースモード	IRMD2[1:0] I/Fモード	X	R/W	
		D0	IRMD20	選択	1 1 reserved	X		
					1 0 IrDA 1.0			
					0 1 reserved			
					0 0 通常のI/F			

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
シリアルI/F Ch.3送信データレジスタ	00401F5 (B)	D7	TXD37	シリアルI/F Ch.3 送信データ TXD37(36) = MSB TXD30 = LSB	0x0〜0xFF(0x7F)	X	R/W	
		D6	TXD36			X		
		D5	TXD35			X		
		D4	TXD34			X		
		D3	TXD33			X		
		D2	TXD32			X		
		D1	TXD31			X		
		D0	TXD30			X		
シリアルI/F Ch.3受信データレジスタ	00401F6 (B)	D7	RXD37	シリアルI/F Ch.3 受信データ RXD37(36) = MSB RXD30 = LSB	0x0〜0xFF(0x7F)	X	R	
		D6	RXD36			X		
		D5	RXD35			X		
		D4	RXD34			X		
		D3	RXD33			X		
		D2	RXD32			X		
		D1	RXD31			X		
		D0	RXD30			X		
シリアルI/F Ch.3ステータスレジスタ	00401F7 (B)	D7–6	–	reserved	–	–	–	読み出し時: 0
		D5	TEND3	Ch.3転送終了フラグ	1 転送中 0 終了	0	R	
		D4	FER3	Ch.3フレーミングエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D3	PER3	Ch.3パリティエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D2	OER3	Ch.3オーバーランエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D1	TDBE3	Ch.3送信データバッファエンプティ	1 エンプティ 0 バッファフル	1	R	
		D0	RDBF3	Ch.3受信データバッファフル	1 バッファフル 0 エンプティ	0	R	
シリアルI/F Ch.3制御レジスタ	00401F8 (B)	D7	TXEN3	Ch.3送信許可	1 許可 0 禁止	0	R/W	
		D6	RXEN3	Ch.3受信許可	1 許可 0 禁止	0	R/W	
		D5	EPR3	Ch.3パリティイネーブル	1 パリティ付 0 パリティなし	X	R/W	調歩同期式モード時のみ有効
		D4	PMD3	Ch.3パリティモード選択	1 奇数 0 偶数	X	R/W	
		D3	STPB3	Ch.3ストップビット選択	1 2bit 0 1bit	X	R/W	
		D2	SSCK3	Ch.3入力クロック選択	1 #SCLK3 0 内部クロック	X	R/W	
		D1	SMD31	Ch.3転送モード選択	SMD3[1:0] 転送モード	X	R/W	
		D0	SMD30		1 1 調歩同期式8bit 1 0 調歩同期式7bit 0 1 クロック同期スレーブ 0 0 クロック同期マスタ	X		
シリアルI/F Ch.3 IrDAレジスタ	00401F9 (B)	D7–5	–	reserved	–	–	–	読み出し時: 0
		D4	DIVMD3	Ch.3調歩同期クロック分周比	1 1/8 0 1/16	X	R/W	
		D3	IRTL3	Ch.3 IrDA I/F出力論理反転	1 反転 0 反転なし	X	R/W	調歩同期式モード時のみ有効
		D2	IRRL3	Ch.3 IrDA I/F入力論理反転	1 反転 0 反転なし	X	R/W	
		D1	IRMD31	Ch.3インタフェースモード選択	IRMD3[1:0] I/Fモード	X	R/W	
		D0	IRMD30		1 1 reserved 1 0 IrDA 1.0 0 1 reserved 0 0 通常のI/F	X		
8bitタイマ, シリアルI/F Ch.0割り込みプライオリティレジスタ	0040269 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PSIO02	シリアルインタフェースCh.0 割り込みレベル	0〜7	X	R/W	
		D5	PSIO01			X		
		D4	PSIO00			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	P8TM2	8bitタイマ0–3 割り込みレベル	0〜7	X	R/W	
		D1	P8TM1			X		
		D0	P8TM0			X		
シリアルI/F Ch.1, A/D変換器割り込みプライオリティレジスタ	004026A (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PAD2	A/D変換器 割り込みレベル	0〜7	X	R/W	
		D5	PAD1			X		
		D4	PAD0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PSIO12	シリアルインタフェースCh.1 割り込みレベル	0〜7	X	R/W	
		D1	PSIO11			X		
		D0	PSIO10			X		
シリアルI/F 割り込みイネーブルレジスタ	0040276 (B)	D7–6	–	reserved	–	–	–	読み出し時: 0
		D5	ESTX1	SIF Ch.1送信バッファエンプティ	1 許可 0 禁止	0	R/W	
		D4	ESRX1	SIF Ch.1受信バッファフル		0	R/W	
		D3	ESERR1	SIF Ch.1受信エラー		0	R/W	
		D2	ESTX0	SIF Ch.0送信バッファエンプティ		0	R/W	
		D1	ESRX0	SIF Ch.0受信バッファフル		0	R/W	
		D0	ESERR0	SIF Ch.0受信エラー		0	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定				Init.	R/W	注　　釈
シリアルI/F 割り込み 要因フラグ レジスタ	0040286 (B)	D7–6	–	reserved	–				–	–	読み出し時: 0
		D5	FSTX1	SIF Ch.1送信バッファエンプティ	1	要因発生	0	要因なし	X	R/W	
		D4	FSRX1	SIF Ch.1受信バッファフル					X	R/W	
		D3	FSERR1	SIF Ch.1受信エラー					X	R/W	
		D2	FSTX0	SIF Ch.0送信バッファエンプティ					X	R/W	
		D1	FSRX0	SIF Ch.0受信バッファフル					X	R/W	
		D0	FSERR0	SIF Ch.0受信エラー					X	R/W	
16bitタイマ5, 8bitタイマ, シリアルI/F Ch.0 IDMAリクエスト レジスタ	0040292 (B)	D7	RSTX0	SIF Ch.0送信バッファエンプティ	1	IDMA要求	0	割り込み 要求	0	R/W	
		D6	RSRX0	SIF Ch.0受信バッファフル					0	R/W	
		D5	R8TU3	8bitタイマ3アンダーフロー					0	R/W	
		D4	R8TU2	8bitタイマ2アンダーフロー					0	R/W	
		D3	R8TU1	8bitタイマ1アンダーフロー					0	R/W	
		D2	R8TU0	8bitタイマ0アンダーフロー					0	R/W	
		D1	R16TC5	16bitタイマ5コンペアA					0	R/W	
		D0	R16TU5	16bitタイマ5コンペアB					0	R/W	
シリアルI/F Ch.1, A/D, ポート入力4–7 IDMAリクエスト レジスタ	0040293 (B)	D7	RP7	ポート入力7	1	IDMA要求	0	割り込み 要求	0	R/W	
		D6	RP6	ポート入力6					0	R/W	
		D5	RP5	ポート入力5					0	R/W	
		D4	RP4	ポート入力4					0	R/W	
		D3	–	reserved	–				–	–	読み出し時: 0
		D2	RADE	A/D変換器	1	IDMA要求	0	割り込み 要求	0	R/W	
		D1	RSTX1	SIF Ch.1送信バッファエンプティ					0	R/W	
		D0	RSRX1	SIF Ch.1受信バッファフル					0	R/W	
16bitタイマ5, 8bitタイマ, シリアルI/F Ch.0 IDMAイネーブル レジスタ	0040296 (B)	D7	DESTX0	SIF Ch.0送信バッファエンプティ	1	IDMA許可	0	IDMA禁止	0	R/W	
		D6	DESRX0	SIF Ch.0受信バッファフル					0	R/W	
		D5	DE8TU3	8bitタイマ3アンダーフロー					0	R/W	
		D4	DE8TU2	8bitタイマ2アンダーフロー					0	R/W	
		D3	DE8TU1	8bitタイマ1アンダーフロー					0	R/W	
		D2	DE8TU0	8bitタイマ0アンダーフロー					0	R/W	
		D1	DE16TC5	16bitタイマ5コンペアA					0	R/W	
		D0	DE16TU5	16bitタイマ5コンペアB					0	R/W	
シリアルI/F Ch.1, A/D, ポート入力4–7 IDMAイネーブル レジスタ	0040297 (B)	D7	DEP7	ポート入力7	1	IDMA許可	0	IDMA禁止	0	R/W	
		D6	DEP6	ポート入力6					0	R/W	
		D5	DEP5	ポート入力5					0	R/W	
		D4	DEP4	ポート入力4					0	R/W	
		D3	–	reserved	–				–	–	読み出し時: 0
		D2	DEADE	A/D変換器	1	IDMA許可	0	IDMA禁止	0	R/W	
		D1	DESTX1	SIF Ch.1送信バッファエンプティ					0	R/W	
		D0	DESRX1	SIF Ch.1受信バッファフル					0	R/W	
割り込み要因 FP機能切り換え レジスタ	00402C5	D7	T8CH5S0	8bitタイマ5アンダーフロー	1	T8 Ch.5 UF	0	FP7	0	R/W	
		D6	SIO3TS0	SIO Ch.3送信バッファエンプティ	1	SIO Ch.3 TXD Emp.	0	FP6	0	R/W	
		D5	T8CH4S0	8bitタイマ4アンダーフロー	1	T8 Ch.4 UF	0	FP5	0	R/W	
		D4	SIO3RS0	SIO Ch.3受信バッファフル	1	SIO Ch.3 RXD Full	0	FP4	0	R/W	
		D3	SIO2TS0	SIO Ch.2送信バッファエンプティ	1	SIO Ch.2 TXD Emp.	0	FP3	0	R/W	
		D2	SIO3ES0	SIO Ch.3受信エラー	1	SIO Ch.3 RXD Err.	0	FP2	0	R/W	
		D1	SIO2RS0	SIO Ch.2受信バッファフル	1	SIO Ch.2 RXD Full	0	FP1	0	R/W	
		D0	SIO2ES0	SIO Ch.2受信エラー	1	SIO Ch.2 RXD Err.	0	FP0	0	R/W	
割り込み要因 TM16機能 切り換え レジスタ	00402CB	D7	T8CH5S1	8bitタイマ5アンダーフロー	1	T8 Ch.5 UF	0	TM16 Ch.2 comp.A	0	R/W	
		D6	T8CH4S1	8bitタイマ4アンダーフロー	1	T8 Ch.4 UF	0	TM16 Ch.2 comp.B	0	R/W	
		D5	SIO3ES1	SIO Ch.3受信エラー	1	SIO Ch.3 RXD Err.	0	TM16 Ch.3 comp.A	0	R/W	
		D4	SIO2ES1	SIO Ch.2受信エラー	1	SIO Ch.2 RXD Err.	0	TM16 Ch.3 comp.B	0	R/W	
		D3	SIO3TS1	SIO Ch.3送信バッファエンプティ	1	SIO Ch.3 TXD Emp.	0	TM16 Ch.4 comp.A	0	R/W	
		D2	SIO3RS1	SIO Ch.3受信バッファフル	1	SIO Ch.3 RXD Full	0	TM16 Ch.4 comp.B	0	R/W	
		D1	SIO2TS1	SIO Ch.2送信バッファエンプティ	1	SIO Ch.2 TXD Emp.	0	TM16 Ch.5 comp.A	0	R/W	
		D0	SIO2RS1	SIO Ch.2受信バッファフル	1	SIO Ch.2 RXD Full	0	TM16 Ch.5 comp.B	0	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定				Init.	R/W	注　　釈
P0機能選択レジスタ	00402D0 (B)	D7	CFP07	P07機能選択	1	#SRDY1	0	P07	0	R/W	拡張機能(0x402DF)
		D6	CFP06	P06機能選択	1	#SCLK1	0	P06	0	R/W	
		D5	CFP05	P05機能選択	1	SOUT1	0	P05	0	R/W	
		D4	CFP04	P04機能選択	1	SIN1	0	P04	0	R/W	
		D3	CFP03	P03機能選択	1	#SRDY0	0	P03	0	R/W	
		D2	CFP02	P02機能選択	1	#SCLK0	0	P02	0	R/W	
		D1	CFP01	P01機能選択	1	SOUT0	0	P01	0	R/W	
		D0	CFP00	P00機能選択	1	SIN0	0	P00	0	R/W	
ポートSIO機能拡張レジスタ	00402D7	D7–4	–	reserved	–				–	–	
		D3	SSRDY3	シリアルI/F Ch.3 SRDY選択	1	#SRDY3	0	P32/ #DMAACK0	0	R/W	
		D2	SSCLK3	シリアルI/F Ch.3 SCLK選択	1	#SCLK3	0	P15/EXCL4/ #DMAEND0	0	R/W	
		D1	SSOUT3	シリアルI/F Ch.3 SOUT選択	1	SOUT3	0	P16/EXCL5/ #DMAEND1	0	R/W	
		D0	SSIN3	シリアルI/F Ch.3 SIN選択	1	SIN3	0	P33/ #DMAACK1	0	R/W	
ポートSIO機能拡張レジスタ	00402DB	D7–4	–	reserved	–				–	–	
		D3	SSRDY2	シリアルI/F Ch.2 SRDY選択	1	#SRDY2	0	P24/TM2	0	R/W	
		D2	SSCLK2	シリアルI/F Ch.2 SCLK選択	1	#SCLK2	0	P25/TM3	0	R/W	
		D1	SSOUT2	シリアルI/F Ch.2 SOUT選択	1	SOUT2	0	P26/TM4	0	R/W	
		D0	SSIN2	シリアルI/F Ch.2 SIN選択	1	SIN2	0	P27/TM5	0	R/W	
ポート機能拡張レジスタ	00402DF (B)	D7	CFEX7	P07ポート機能拡張	1	#DMAEND3	0	P07, etc.	0	R/W	
		D6	CFEX6	P06ポート機能拡張	1	#DMAACK3	0	P06, etc.	0	R/W	
		D5	CFEX5	P05ポート機能拡張	1	#DMAEND2	0	P05, etc.	0	R/W	
		D4	CFEX4	P04ポート機能拡張	1	#DMAACK2	0	P04, etc.	0	R/W	
		D3	CFEX3	P31ポート機能拡張	1	#GARD	0	P31, etc.	0	R/W	
		D2	CFEX2	P21ポート機能拡張	1	#GAAS	0	P21, etc.	0	R/W	
		D1	CFEX1	P10, P11, P13ポート機能拡張	1	DST0 DST1 DPC0	0	P10, etc. P11, etc. P13, etc.	1	R/W	
		D0	CFEX0	P12, P14ポート機能拡張	1	DST2 DCLK	0	P12, etc. P14, etc.	1	R/W	

CFP07–CFP00: P0[7:0]**端子機能選択**(D[7:0]/0x402D0<P0**機能選択レジスタ**>)

シリアルインタフェースに使用する端子を選択します。

"1"書き込み: シリアルインタフェース入出力端子
"0"書き込み: 入出力兼用ポート端子
読み出し: 可能

シリアルインタフェースに使用する端子を、CFP00～CFP07に"1"を書き込んでP00～P07の中から選択します。P00～P03(SIN0、SOUT0、#SCLK0、#SRDY0)はCh.0、P04～P07(SIN1、SOUT1、#SCLK1、#SRDY1)はCh.1で使用します。"0"を書き込んだ場合、その端子は入出力兼用ポート端子となります。
転送モードにより必要な入出力端子は異なります(表8.3参照)。
コールドスタート時、CFPは"0"(入出力兼用ポート)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSIN3: **シリアル**I/F Ch.3 SIN**選択** (D0/0x402D7<**ポート**SIO**機能拡張レジスタ**>)

P33/#DMAACK1/SIN3端子の機能を切り換えます。

"1"書き込み: SIN3
"0"書き込み: P33/#DMAACK1
読み出し: 可能

SIN3として使用したい場合は、SSIN3(D0/0x402D7)="1"およびCFP33(D3/0x402DC)="0"を設定します。
P33または#DMAACK1として使用したい場合は、"0"を設定します。
コールドスタート時、SSIN3は"0"(P33/#DMAACK1)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSOUT3: **シリアル**I/F Ch.3 SOUT**選択** (D1/0x402D7<**ポート**SIO**機能拡張レジスタ**>)

P16/EXCL5/#DMAEND1/SOUT3端子の機能を切り換えます。

"1"書き込み: SOUT3
"0"書き込み: P16/EXCL5/#DMAEND1
読み出し: 可能

SOUT3として使用したい場合は、SSOUT3(D1/0x402D7)="1"およびCFP16(D6/0x402D4)="0"を設定します。
P16、EXCL5または#DMAEND1として使用したい場合は、"0"を設定します。
コールドスタート時、SSOUT3は"0"(P16/EXCL5/#DMAEND1)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSCLK3: **シリアル**I/F Ch.3 SCLK**選択** (D2/0x402D7<**ポート**SIO**機能拡張レジスタ**>)

P15/EXCL4/#DMAEND0/#SCLK3端子の機能を切り換えます。

"1"書き込み: #SCLK3
"0"書き込み: P15/EXCL4/#DMAEND0
読み出し: 可能

#SCLK3として使用したい場合は、SSCLK3(D2/0x402D7)="1"およびCFP15(D5/0x402D4)="0"を設定します。P15、EXCL4または#DMAEND0として使用したい場合は、"0"を設定します。
コールドスタート時、SSCLK3は"0"(P15/EXCL4/#DMAEND0)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSRDY3: **シリアル**I/F Ch.3 SRDY**選択** (D3/0x402D7<**ポート**SIO**機能拡張レジスタ**>)

P32/#DMAACK0/#SRDY3端子の機能を切り換えます。

"1"書き込み: #SRDY3
"0"書き込み: P32/#DMAACK0
読み出し: 可能

#SRDY3として使用したい場合は、SSRDY3(D3/0x402D7)="1"およびCFP32(D2/0x402DC)="0"を設定します。P32または#DMAACK0として使用したい場合は、"0"を設定します。
コールドスタート時、SSRDY3は"0"(P32/#DMAACK0)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSIN2: **シリアル**I/F Ch.2 SIN**選択** (D0/0x402DB<**ポート**SIO**機能拡張レジスタ**>)

P27/TM5/SIN2端子の機能を切り換えます。

"1"書き込み: SIN2
"0"書き込み: P27/TM5
読み出し: 可能

SIN2として使用したい場合は、SSIN2(D0/0x402DB)="1"およびCFP27(D7/0x402D8)="0"を設定します。
P27またはTM5として使用したい場合は、"0"を設定します。
コールドスタート時、SSIN2は"0"(P27/TM5)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSOUT2: **シリアル**I/F Ch.2 SOUT**選択** (D1/0x402DB<**ポート**SIO**機能拡張レジスタ**>)

P26/TM4/SOUT2端子の機能を切り換えます。

"1"書き込み: SOUT2
"0"書き込み: P26/TM4
読み出し: 可能

SOUT2として使用したい場合は、SSOUT2(D1/0x402DB)="1"およびCFP26(D6/0x402D8)="0"を設定します。
P26またはTM4として使用したい場合は、"0"を設定します。
コールドスタート時、SSOUT2は"0"(P26/TM4)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSCLK2: **シリアル**I/F Ch.2 SCLK**選択** (D2/0x402DB<**ポート**SIO**機能拡張レジスタ**>)

P25/TM3/#SCLK2端子の機能を切り換えます。

"1"書き込み: #SCLK2
"0"書き込み: P25/TM3
読み出し: 可能

#SCLK2として使用したい場合は、SSCLK2(D2/0x402DB)="1"およびCFP25(D5/0x402D8)="0"を設定します。P25またはTM3として使用したい場合は、"0"を設定します。
コールドスタート時、SSCLK2は"0"(P25/TM3)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSRDY2: **シリアル**I/F Ch.2 SRDY**選択** (D3/0x402DB<**ポート**SIO**機能拡張レジスタ**>)

P24/TM2/#SRDY2端子の機能を切り換えます。

"1"書き込み: #SRDY2
"0"書き込み: P24/TM2
読み出し: 可能

#SRDY2として使用したい場合は、SSRDY2(D3/0x402DB)="1"およびCFP24(D4/0x402D8)="0"を設定します。P24またはTM2として使用したい場合は、"0"を設定します。
コールドスタート時、SSRDY2は"0"(P24/TM2)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

CFEX7–CFEX4: P0[7:4]**ポート機能拡張**(D[7:4]/0x402DF<**ポート機能拡張レジスタ**>)

入出力兼用ポート端子の拡張機能を選択します。

"1"書き込み: 拡張機能端子
"0"書き込み: 入出力兼用ポート端子/シリアルインタフェース入出力端子
読み出し: 可能

CFEX[7:4]に"1"を書き込むと、P07～P04ポートが高速DMA用の信号出力ポートとして機能します。
CFEX[7:4]が"0"の場合はCFP0[7:4]が有効となり、その設定に従ってP07～P04ポートが入出力兼用ポート端子またはシリアルインタフェースCh.1入出力端子となります。
コールドスタート時、CFEX[7:4]は"0"(入出力兼用ポート端子/シリアルインタフェース入出力端子)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

TXD07–TXD00: Ch.0**送信データ**(D[7:0]/0x401E0<**シリアル**I/F Ch.0**送信データレジスタ**>)
TXD17–TXD10: Ch.1**送信データ**(D[7:0]/0x401E5<**シリアル**I/F Ch.1**送信データレジスタ**>)
TXD27–TXD20: Ch.2**送信データ**(D[7:0]/0x401F0<**シリアル**I/F Ch.2**送信データレジスタ**>)
TXD37–TXD30: Ch.3**送信データ**(D[7:0]/0x401F5<**シリアル**I/F Ch.3**送信データレジスタ**>)

送信データを設定します。
TXENxに"1"を書き込み後、このレジスタ(送信バッファ)にデータを書き込むことにより送信を開始します。
データがシフトレジスタに転送された時点で、TDBExが"1"(送信バッファエンプティ)にセットされます。同時に送信バッファエンプティ割り込み要因も発生します。それ以降であれば、シリアルインタフェースが送信中であっても次の送信データを書き込むことができます。
調歩同期式7ビットモードにおいては、TXDx7(MSB)が無効となります。
SOUT端子からはシリアル変換されたデータがLSBを先頭に、"1"に設定されたビットがHighレベル、"0"に設定されたビットがLowレベルとして出力されます。
このレジスタは読み出しも可能です。
イニシャルリセット時、TXDxの内容は不定となります。

RXD07–RXD00: Ch.0**受信データ**(D[7:0]/0x401E1<**シリアル**I/F Ch.0**受信データレジスタ**>)
RXD17–RXD10: Ch.1**受信データ**(D[7:0]/0x401E6<**シリアル**I/F Ch.1**受信データレジスタ**>)
RXD27–RXD20: Ch.2**受信データ**(D[7:0]/0x401F1<**シリアル**I/F Ch.2**受信データレジスタ**>)
RXD37–RXD30: Ch.3**受信データ**(D[7:0]/0x401F6<**シリアル**I/F Ch.3**受信データレジスタ**>)

受信データが格納されます。
受信が終了し、シフトレジスタのデータがこのレジスタ(受信バッファ)に転送された時点でRDBFxが"1"(受信バッファフル)にセットされます。同時に受信バッファフル割り込み要因も発生します。これ以降、次のデータの受信を終了するまで、データの読み出しが可能です。このレジスタを読み出す前に次の受信を終了した場合は、新たな受信データで上書きされ、オーバーランエラーが発生します。
調歩同期式7ビットモードにおいては、RXDx7には"0"がロードされます。
SINx端子から入力されたシリアルデータは先頭をLSBとして、Highレベルのビットを"1"、Lowレベルのビットを"0"としてパラレル変換され、本バッファにロードされます。
このレジスタは読み出し専用で、書き込みは行えません。
イニシャルリセット時、RXDxの内容は不定となります。

TEND0: Ch.0**送信終了フラグ**(D5/0x401E2<**シリアル**I/F Ch.0**ステータスレジスタ**>)
TEND1: Ch.1**送信終了フラグ**(D5/0x401E7<**シリアル**I/F Ch.1**ステータスレジスタ**>)
TEND2: Ch.2**送信終了フラグ**(D5/0x401F2<**シリアル**I/F Ch.2**ステータスレジスタ**>)
TEND3: Ch.3**送信終了フラグ**(D5/0x401F7<**シリアル**I/F Ch.3**ステータスレジスタ**>)

送信状態を示します。

"1"読み出し: 送信中
"0"読み出し: 送信終了
書き込み: 無効

TENDxはデータ送信中に"1"となり、送信を終了すると"0"に戻ります。
クロック同期式マスタモードまたは調歩同期式モードで連続してデータを送信する場合、全データを送信するまで"1"を保持します(図8.4、図8.12参照)。クロック同期式スレーブモード時は1バイト送信するごとに"0"となります(図8.5参照)。
イニシャルリセット時、TENDxは"0"(送信終了)に設定されます。

FER0: Ch.0**フレーミングエラーフラグ**(D4/0x401E2<**シリアル**I/F Ch.0**ステータスレジスタ**>)
FER1: Ch.1**フレーミングエラーフラグ**(D4/0x401E7<**シリアル**I/F Ch.1**ステータスレジスタ**>)
FER2: Ch.2**フレーミングエラーフラグ**(D4/0x401F2<**シリアル**I/F Ch.2**ステータスレジスタ**>)
FER3: Ch.3**フレーミングエラーフラグ**(D4/0x401F7<**シリアル**I/F Ch.3**ステータスレジスタ**>)

フレーミングエラーの発生を示します。

"1"読み出し: エラー
"0"読み出し: エラーなし
"1"書き込み: 無効
"0"書き込み: "0"にリセット

FERxフラグはフレーミングエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。フレーミングエラーは、調歩同期式モードの受信時にストップビットが"0"になっていた場合に発生します。FERxフラグは"0"を書き込むことでリセットされます。
イニシャルリセット時、およびRXENxとTXENx共に"0"を書き込むとFERxフラグは"0"(エラーなし)に設定されます。

PER0: Ch.0**パリティエラーフラグ**(D3/0x401E2<**シリアル**I/F Ch.0**ステータスレジスタ**>)
PER1: Ch.1**パリティエラーフラグ**(D3/0x401E7<**シリアル**I/F Ch.1**ステータスレジスタ**>)
PER2: Ch.2**パリティエラーフラグ**(D3/0x401F2<**シリアル**I/F Ch.2**ステータスレジスタ**>)
PER3: Ch.3**パリティエラーフラグ**(D3/0x401F7<**シリアル**I/F Ch.3**ステータスレジスタ**>)

パリティエラーの発生を示します。

"1"読み出し: エラー
"0"読み出し: エラーなし
"1"書き込み: 無効
"0"書き込み: "0"にリセット

PERxフラグはパリティエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。パリティチェックはEPRxを"1"(パリティ付き)に設定した調歩同期式モードでのみ有効で、受信データをシフトレジスタから受信データレジスタに転送する際に行われます。PERxフラグは"0"を書き込むことでリセットされます。
イニシャルリセット時、およびRXENxとTXENx共に"0"を書き込むとPERxは"0"(エラーなし)に設定されます。

OER0: Ch.0**オーバーランエラーフラグ**(D2/0x401E2<**シリアル**I/F Ch.0**ステータスレジスタ**>)
OER1: Ch.1**オーバーランエラーフラグ**(D2/0x401E7<**シリアル**I/F Ch.1**ステータスレジスタ**>)
OER2: Ch.2**オーバーランエラーフラグ**(D2/0x401F2<**シリアル**I/F Ch.2**ステータスレジスタ**>)
OER3: Ch.3**オーバーランエラーフラグ**(D2/0x401F7<**シリアル**I/F Ch.3**ステータスレジスタ**>)

オーバーランエラーの発生を示します。

"1"読み出し: エラー
"0"読み出し: エラーなし
"1"書き込み: 無効
"0"書き込み: "0"にリセット

OERxフラグはオーバーランエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。オーバーランエラーは、受信データレジスタを読み出す前に次の受信が終了し、受信データレジスタが上書きされた場合に発生します。OERxフラグは"0"を書き込むことでリセットされます。
イニシャルリセット時、およびRXENxとTXENx共に"0"を書き込むとOERxは"0"(エラーなし)に設定されます。

TDBE0: Ch.0**送信データバッファエンプティ**(D1/0x401E2<**シリアル**I/F Ch.0**ステータスレジスタ**>)
TDBE1: Ch.1**送信データバッファエンプティ**(D1/0x401E7<**シリアル**I/F Ch.1**ステータスレジスタ**>)
TDBE2: Ch.2**送信データバッファエンプティ**(D1/0x401F2<**シリアル**I/F Ch.2**ステータスレジスタ**>)
TDBE3: Ch.3**送信データバッファエンプティ**(D1/0x401F7<**シリアル**I/F Ch.3**ステータスレジスタ**>)

送信データレジスタ(バッファ)の状態を示します。

"1"読み出し: バッファエンプティ
"0"読み出し: バッファフル
書き込み: 無効

TDBExは送信データレジスタに送信データが書き込まれると"0"となり、そのデータがシフトレジスタに転送されると(送信を開始すると)"1"となります。
送信データの書き込みは、このビットが"1"の場合に行います。
イニシャルリセット時、TDBExは"1"(バッファエンプティ)に設定されます。

RDBF0: Ch.0**受信データバッファフル**(D0/0x401E2<**シリアル**I/F Ch.0**ステータスレジスタ**>)
RDBF1: Ch.1**受信データバッファフル**(D0/0x401E7<**シリアル**I/F Ch.1**ステータスレジスタ**>)
RDBF2: Ch.2**受信データバッファフル**(D0/0x401F2<**シリアル**I/F Ch.2**ステータスレジスタ**>)
RDBF3: Ch.3**受信データバッファフル**(D0/0x401F7<**シリアル**I/F Ch.3**ステータスレジスタ**>)

受信データレジスタ(バッファ)の状態を示します。

"1"読み出し: バッファフル
"0"読み出し: バッファエンプティ
書き込み: 無効

RDBFxはシフトレジスタに受信したデータが受信データレジスタに転送されると(受信が完了すると)"1"となり、そのデータが読み出し可能であることを示します。データが読み出されると"0"に戻ります。
イニシャルリセット時、RDBFxは"0"(バッファエンプティ)に設定されます。

TXEN0: Ch.0**送信許可**(D7/0x401E3<**シリアル**I/F Ch.0**制御レジスタ**>)
TXEN1: Ch.1**送信許可**(D7/0x401E8<**シリアル**I/F Ch.1**制御レジスタ**>)
TXEN2: Ch.2**送信許可**(D7/0x401F3<**シリアル**I/F Ch.2**制御レジスタ**>)
TXEN3: Ch.3**送信許可**(D7/0x401F8<**シリアル**I/F Ch.3**制御レジスタ**>)

各チャネルを送信許可状態に設定します。

"1"書き込み: 送信許可
"0"書き込み: 送信禁止
読み出し: 可能

TXENxに"1"を書き込むとそのチャネルが送信許可状態となり、"0"を書き込むと送信禁止状態となります。転送モード等の設定を行う場合は、TXENxが"0"の状態で行ってください。
イニシャルリセット時、TXENxは"0"(送信禁止)に設定されます。

RXEN0: Ch.0**受信許可**(D6/0x401E3<**シリアル**I/F Ch.0**制御レジスタ**>)
RXEN1: Ch.1**受信許可**(D6/0x401E8<**シリアル**I/F Ch.1**制御レジスタ**>)
RXEN2: Ch.2**受信許可**(D6/0x401F3<**シリアル**I/F Ch.2**制御レジスタ**>)
RXEN3: Ch.3**受信許可**(D6/0x401F8<**シリアル**I/F Ch.3**制御レジスタ**>)

各チャネルを受信許可状態に設定します。

"1"書き込み: 受信許可
"0"書き込み: 受信禁止
読み出し: 可能

RXENxに"1"を書き込むとそのチャネルが受信許可状態となり、"0"を書き込むと受信禁止状態となります。転送モード等の設定を行う場合は、RXENxが"0"の状態で行ってください。
イニシャルリセット時、RXENxは"0"(受信禁止)に設定されます。

EPR0: Ch.0**パリティイネーブル**(D5/0x401E3<**シリアル**I/F Ch.0**制御レジスタ**>)
EPR1: Ch.1**パリティイネーブル**(D5/0x401E8<**シリアル**I/F Ch.1**制御レジスタ**>)
EPR2: Ch.2**パリティイネーブル**(D5/0x401F3<**シリアル**I/F Ch.2**制御レジスタ**>)
EPR3: Ch.3**パリティイネーブル**(D5/0x401F8<**シリアル**I/F Ch.3**制御レジスタ**>)

パリティ機能を選択します。

"1"書き込み: パリティ付
"0"書き込み: パリティなし
読み出し: 可能

EPRxによって、受信データのパリティチェック、および送信データへのパリティビットの付加を行うかどうかを選択します。EPRxに"1"を書き込むと受信データはパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。"0"を書き込んだ場合はチェックおよび付加は行われません。
パリティ機能は調歩同期式モードの場合にのみ有効で、クロック同期式モードではEPRxの設定は無効となります。
イニシャルリセット時、EPRxは不定となります。

PMD0: Ch.0**パリティモード選択**(D4/0x401E3<**シリアル**I/F Ch.0**制御レジスタ**>)
PMD1: Ch.1**パリティモード選択**(D4/0x401E8<**シリアル**I/F Ch.1**制御レジスタ**>)
PMD2: Ch.2**パリティモード選択**(D4/0x401F3<**シリアル**I/F Ch.2**制御レジスタ**>)
PMD3: Ch.3**パリティモード選択**(D4/0x401F8<**シリアル**I/F Ch.3**制御レジスタ**>)

奇数パリティ/偶数パリティを選択します。

"1"書き込み: 奇数パリティ
"0"書き込み: 偶数パリティ
読み出し: 可能

PMDxに"1"を書き込むと奇数パリティが選択され、"0"を書き込むと偶数パリティが選択されます。パリティチェックおよびパリティビットの付加はEPRxに"1"が書き込まれている場合の調歩同期式転送にのみ有効で、EPRxに"0"が書き込まれている場合は、PMDxの設定は無効となります。
イニシャルリセット時、PMDxは不定となります。

STPB0: Ch.0**ストップビット選択**(D3/0x401E3<**シリアル**I/F Ch.0**制御レジスタ**>)
STPB1: Ch.1**ストップビット選択**(D3/0x401E8<**シリアル**I/F Ch.1**制御レジスタ**>)
STPB2: Ch.2**ストップビット選択**(D3/0x401F3<**シリアル**I/F Ch.2**制御レジスタ**>)
STPB3: Ch.3**ストップビット選択**(D3/0x401F8<**シリアル**I/F Ch.3**制御レジスタ**>)

調歩同期式転送を行う場合のストップビット長を選択します。

"1"書き込み: 2ビット
"0"書き込み: 1ビット
読み出し: 可能

STPBxは調歩同期式転送時にのみ有効なストップビット選択ビットです。"1"を書き込むとストップビットが2ビットに、"0"を書き込むと1ビットになります。スタートビットは1ビットに固定です。
クロック同期式転送を行う場合、STPBxの設定は無効となります。
イニシャルリセット時、STPBxは不定となります。

SSCK0: Ch.0**入力クロック選択**(D2/0x401E3<**シリアル**I/F Ch.0**制御レジスタ**>)
SSCK1: Ch.1**入力クロック選択**(D2/0x401E8<**シリアル**I/F Ch.1**制御レジスタ**>)
SSCK2: Ch.2**入力クロック選択**(D2/0x401F3<**シリアル**I/F Ch.2**制御レジスタ**>)
SSCK3: Ch.3**入力クロック選択**(D2/0x401F8<**シリアル**I/F Ch.3**制御レジスタ**>)

調歩同期式転送のクロック源を選択します。

"1"書き込み: #SCLK (外部クロック)
"0"書き込み: 内部クロック
読み出し: 可能

調歩同期式モード時に、内部クロック(8ビットプログラマブルタイマの出力)を使用するか、外部クロック(#SCLKx端子から入力)を使用するか選択します。SSCKxに"1"を書き込むと外部クロック、"0"を書き込むと内部クロックが選択されます。
イニシャルリセット時、SSCKxは不定となります。

SMD01–SMD00: Ch.0**転送モード選択**(D[1:0]/0x401E3<**シリアル**I/F Ch.0**制御レジスタ**>)
SMD11–SMD10: Ch.1**転送モード選択**(D[1:0]/0x401E8<**シリアル**I/F Ch.1**制御レジスタ**>)
SMD21–SMD20: Ch.2**転送モード選択**(D[1:0]/0x401F3<**シリアル**I/F Ch.2**制御レジスタ**>)
SMD31–SMD30: Ch.3**転送モード選択**(D[1:0]/0x401F8<**シリアル**I/F Ch.3**制御レジスタ**>)

シリアルインタフェースの転送モードを表8.15のとおり設定します。

表8.15 **転送モードの設定**

SMDx1	SMDx0	**転送モード**
1	1	**調歩同期式**8**ビットモード**
1	0	**調歩同期式**7**ビットモード**
0	1	**クロック同期式スレーブモード**
0	0	**クロック同期式マスタモード**

SMDxは読み出しも可能です。
IrDAインタフェースを使用する場合は、必ず調歩同期式モードに設定してください。
イニシャルリセット時、SMDxは不定となります。

DIVMD0: Ch.0**サンプリングクロック分周比選択**(D4/0x401E4<**シリアル**I/F Ch.0 IrDA**レジスタ**>)
DIVMD1: Ch.1**サンプリングクロック分周比選択**(D4/0x401E9<**シリアル**I/F Ch.1 IrDA**レジスタ**>)
DIVMD2: Ch.2**サンプリングクロック分周比選択**(D4/0x401F4<**シリアル**I/F Ch.2 IrDA**レジスタ**>)
DIVMD3: Ch.3**サンプリングクロック分周比選択**(D4/0x401F9<**シリアル**I/F Ch.3 IrDA**レジスタ**>)

サンプリングクロックの分周比を選択します。

"1"書き込み: 1/8
"0"書き込み: 1/16
読み出し: 可能

調歩同期式転送のサンプリングクロックを生成するための分周比を選択します。DIVMDxに"1"を書き込むと、シリアルインタフェースの入力クロック(8ビットプログラマブルタイマ出力または#SCLKx入力)を1/8に分周してサンプリングクロックを生成します。"0"を書き込んだ場合は1/16に分周されます。
イニシャルリセット時、DIVMDxは不定となります。

IRTL0: Ch.0 IrDA**出力論理反転**(D3/0x401E4<**シリアル**I/F Ch.0 IrDA**レジスタ**>)
IRTL1: Ch.1 IrDA**出力論理反転**(D3/0x401E9<**シリアル**I/F Ch.1 IrDA**レジスタ**>)
IRTL2: Ch.2 IrDA**出力論理反転**(D3/0x401F4<**シリアル**I/F Ch.2 IrDA**レジスタ**>)
IRTL3: Ch.2 IrDA**出力論理反転**(D3/0x401F9<**シリアル**I/F Ch.3 IrDA**レジスタ**>)

IrDA出力信号の論理を反転します。

"1"書き込み: 反転
"0"書き込み: 反転なし
読み出し: 可能

IrDAインタフェースを使用する場合に、SOUTx出力信号の論理を外部に接続する赤外線通信回路に合わせて設定します。IRTLxに"1"を書き込むと、出力データが"0"のときにHighパルスを出力するように設定されます(出力データが"1"のときはLowレベルを保持)。"0"を書き込んだ場合は、出力データが"0"のときにLowパルスを出力するように設定されます(出力データが"1"のときはHighレベルを保持)。
イニシャルリセット時、IRTLxは不定となります。

IRRL0: Ch.0 IrDA**入力論理反転**(D2/0x401E4<**シリアル**I/F Ch.0 IrDA**レジスタ**>)
IRRL1: Ch.1 IrDA**入力論理反転**(D2/0x401E9<**シリアル**I/F Ch.1 IrDA**レジスタ**>)
IRRL2: Ch.2 IrDA**入力論理反転**(D2/0x401F4<**シリアル**I/F Ch.2 IrDA**レジスタ**>)
IRRL3: Ch.3 IrDA**入力論理反転**(D2/0x401F9<**シリアル**I/F Ch.3 IrDA**レジスタ**>)

IrDA入力信号の論理を反転します。

"1"書き込み: 反転
"0"書き込み: 反転なし
読み出し: 可能

IrDAインタフェースを使用する場合に、外部に接続する赤外線通信回路からの入力信号の論理をシリアルインタフェースに合わせて設定します。IRRLxに"1"を書き込むと、Highパルスを"0"として入力します。"0"を書き込んだ場合は、Lowパルスを"0"として入力します。
イニシャルリセット時、IRRLxは不定となります。

IRMD01–IRMD00: Ch.0 IrDA**インタフェース機能選択**(D[1:0]/0x401E4<**シリアル**I/F Ch.0 IrDA**レジスタ**>)
IRMD11–IRMD10: Ch.1 IrDA**インタフェース機能選択**(D[1:0]/0x401E9<**シリアル**I/F Ch.0 IrDA**レジスタ**>)
IRMD21–IRMD20: Ch.2 IrDA**インタフェース機能選択**(D[1:0]/0x401F4<**シリアル**I/F Ch.2 IrDA**レジスタ**>)
IRMD31–IRMD30: Ch.3 IrDA**インタフェース機能選択**(D[1:0]/0x401F9<**シリアル**I/F Ch.3 IrDA**レジスタ**>)

IrDAインタフェース機能を選択します。

表8.16 IrDA**インタフェースの設定**

IRMDx1	IRMDx0	**設定内容**
1	1	**設定禁止**(reserved)
1	0	IrDA 1.0**インタフェース**
0	1	**設定禁止**(reserved)
0	0	**通常のインタフェース**

IrDAインタフェース機能を使用する場合は、調歩同期式モードに設定するとともに、IRMDxに"10"を書き込んでください。IrDA機能を使用しない場合はIRMDxに"00"を書き込んでください。
イニシャルリセット時、IRMDxは不定となります。

注: **この選択は、必ず転送モード等、他の設定の前に行ってください。**

PSIO02–PSIO00: Ch.0**割り込みレベル**
(D[6:4]/0x40269<8bit**タイマ**, **シリアル**I/F Ch.0**割り込みプライオリティレジスタ**>)
PSIO12–PSIO10: Ch.1**割り込みレベル**
(D[2:0]/0x4026A<**シリアル**I/F Ch.1, A/D**変換器割り込みプライオリティレジスタ**>)

シリアルインタフェース割り込みの優先レベルを設定します。
各チャネルごとに、割り込みの優先レベルを0～7の範囲で設定できます。
イニシャルリセット時、PSIOxは不定となります。

ESERR0, ESRX0, ESTX0: Ch.0**割り込みイネーブル**
(D0, D1, D2/0x40276<**シリアル**I/F**割り込みイネーブルレジスタ**>)
ESERR1, ESRX1, ESTX1: Ch.1**割り込みイネーブル**
(D3, D4, D5/0x40276<**シリアル**I/F**割り込みイネーブルレジスタ**>)

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可
"0"書き込み: 割り込み禁止
読み出し: 可能

ESERRx、ESRXx、ESTXxは、それぞれ各チャネルの受信エラー、受信バッファフル、送信バッファエンプティの割り込み要因に対応する割り込みイネーブルビットで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。
イニシャルリセット時、割り込みイネーブルレジスタは"0"(割り込み禁止)に設定されます。

FSERR0, FSRX0, FSTX0: Ch.0**割り込み要因フラグ**
(D0, D1, D2/0x40286<**シリアル**I/F**割り込み要因フラグレジスタ**>)
FSERR1, FSRX1, FSTX1: Ch.1**割り込み要因フラグ**
(D3, D4, D5/0x40286<**シリアル**I/F**割り込み要因フラグレジスタ**>)

シリアルインタフェース割り込みの発生状態を示します。

• 読み出し時
"1"読み出し: 割り込み要因あり
"0"読み出し: 割り込み要因なし

• リセットオンリー方式書き込み時 (デフォルト)
"1"書き込み: 要因フラグをリセット
"0"書き込み: 無効

• リード/ライト方式書き込み時
"1"書き込み: 要因フラグをセット
"0"書き込み: 要因フラグをリセット

FSERRx、FSRXx、FSTXxフラグは、それぞれ各チャネルの受信エラー、受信バッファフル、送信バッファエンプティの割り込みに対応する割り込み要因フラグで、それぞれの要因の発生により"1"にセットされます。
送信バッファエンプティ割り込み要因は、送信データが送信データレジスタからシフトレジスタに転送されたところで発生します。
受信バッファフル割り込み要因は、受信データがシフトレジスタから受信データレジスタに転送されたところで発生します。
受信エラー割り込み要因は、データ受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された場合に発生します。
このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。
1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

なお、受信バッファフル、送信バッファエンプティの割り込み要因をIDMA要求として使用する場合、上記の条件が成立している場合でも、割り込み要因発生時点でCPUに対する割り込み要求は出力されません。IDMAの設定で割り込みを許可してあれば、IDMAによるデータ転送終了後に上記の条件で割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み要因の発生により"1"にセットされます。
割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。
割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。
イニシャルリセット時、これらのフラグはすべて不定となりますので、必ずソフトウェアでリセットしてください。

RSRX0, RSTX0: Ch.0 IDMAリクエスト
(D6, D7/0x40292<16bitタイマ5, 8bitタイマ, シリアルI/F Ch.0 IDMAリクエストレジスタ>)
RSRX1, RSTX1: Ch.1 IDMAリクエスト
(D0, D1/0x40293<シリアルI/F Ch.1, A/D IDMAリクエストレジスタ>)

割り込み要因発生時にIDMAを起動するかどうか設定します。

• セットオンリー方式(デフォルト)
"1"書き込み: IDMA要求
"0"書き込み: 無効
読み出し: 可能

• リード/ライト方式
"1"書き込み: IDMA要求
"0"書き込み: 割り込み要求
読み出し: 可能

RSRXx、RSTXxはそれぞれ各チャネルの受信バッファフル、送信バッファエンプティの割り込み要因に対応するIDMAリクエストビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。
IDMAについては"IDMA(インテリジェントDMA)"を参照してください。
イニシャルリセット時、これらのビットは"0"(割り込み要求)に設定されます。

DESRX0, DESTX0: Ch.0 IDMAイネーブル
(D6, D7/0x40296<16bitタイマ5, 8bitタイマ, シリアルI/F Ch.0 IDMAイネーブルレジスタ>)
DESRX1, DESTX1: Ch.1 IDMAイネーブル
(D0, D1/0x40297<シリアルI/F Ch.1, A/D IDMAイネーブルレジスタ>)

割り込み要因によるIDMA転送を許可または禁止します。

• セットオンリー方式(デフォルト)
"1"書き込み: IDMA許可
"0"書き込み: 無効
読み出し: 可能

• リード/ライト方式
"1"書き込み: IDMA許可
"0"書き込み: IDMA禁止
読み出し: 可能

DESRXx、DESTXxはそれぞれ各チャネルの受信バッファフル、送信バッファエンプティの割り込み要因に対応するIDMAイネーブルビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。
イニシャルリセット時、これらのビットは"0"(IDMA禁止)に設定されます。

SIO2ES0: SIO Ch.2受信エラー/FP0割り込み要因切り換え
(D0/0x402C5<割り込み要因FP機能切り換えレジスタ>)

割り込み要因を切り換えます。

"1"書き込み: SIO Ch.2受信エラー
"0"書き込み: FP0入力
読み出し: 可能

SIO Ch.2受信エラー割り込みを使用したい場合は、"1"を設定します。
FP0入力割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、SIO2ES0は"0"に設定されます。

SIO2RS0: SIO Ch.2**受信バッファフル**/FP1**割り込み要因切り換え**
(D1/0x402C5<**割り込み要因**FP**機能切り換えレジスタ**>)

割り込み要因を切り換えます。

"1"書き込み: SIO Ch.2受信バッファフル
"0"書き込み: FP1入力
読み出し: 可能

SIO Ch.2受信バッファフル割り込みを使用したい場合は、"1"を設定します。
FP1入力割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、SIO2RS0は"0"に設定されます。

SIO3ES0: SIO Ch.3**受信エラー**/FP2**割り込み要因切り換え**
(D2/0x402C5<**割り込み要因**FP**機能切り換えレジスタ**>)

割り込み要因を切り換えます。

"1"書き込み: SIO Ch.3受信エラー
"0"書き込み: FP2入力
読み出し: 可能

SIO Ch.3受信エラー割り込みを使用したい場合は、"1"を設定します。
FP2入力割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、SIO3ES0は"0"に設定されます。

SIO2TS0: SIO Ch.2**送信バッファエンプティ**/FP3**割り込み要因切り換え**
(D3/0x402C5<**割り込み要因**FP**機能切り換えレジスタ**>)

割り込み要因を切り換えます。

"1"書き込み: SIO Ch.2送信バッファエンプティ
"0"書き込み: FP3入力
読み出し: 可能

SIO Ch.2送信バッファエンプティ割り込みを使用したい場合は、"1"を設定します。
FP3入力割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、SIO2TS0は"0"に設定されます。

SIO3RS0: SIO Ch.3**受信バッファフル**/FP4**割り込み要因切り換え**
(D4/0x402C5<**割り込み要因**FP**機能切り換えレジスタ**>)

割り込み要因を切り換えます。

"1"書き込み: SIO Ch.3受信バッファフル
"0"書き込み: FP4入力
読み出し: 可能

SIO Ch.3受信バッファフル割り込みを使用したい場合は、"1"を設定します。
FP4入力割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、SIO3RS0は"0"に設定されます。

T8CH4S0: 8**ビットタイマ**4**アンダーフロー**/FP5**割り込み要因切り換え**
(D5/0x402C5<**割り込み要因**FP**機能切り換えレジスタ**>)

割り込み要因を切り換えます。

"1"書き込み: 8ビットタイマ4アンダーフロー
"0"書き込み: FP5入力
読み出し: 可能

8ビットタイマ4アンダーフロー割り込みを使用したい場合は、"1"を設定します。
FP5入力割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、T8CH4S0は"0"に設定されます。

SIO3TS0: SIO Ch.3**送信バッファエンプティ**/FP6**割り込み要因切り換え**
(D6/0x402C5<**割り込み要因**FP**機能切り換えレジスタ**>)

割り込み要因を切り換えます。

"1"書き込み: SIO Ch.3送信バッファエンプティ
"0"書き込み: FP6入力
読み出し: 可能

SIO Ch.3送信バッファエンプティ割り込みを使用したい場合は、"1"を設定します。
FP6入力割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、SIO3TS0は"0"に設定されます。

T8CH5S0: 8**ビットタイマ**5**アンダーフロー**/FP7**割り込み要因切り換え**
(D7/0x402C5<**割り込み要因**FP**機能切り換えレジスタ**>)

割り込み要因を切り換えます。

"1"書き込み: 8ビットタイマ5アンダーフロー
"0"書き込み: FP7入力
読み出し: 可能

8ビットタイマ5アンダーフロー割り込みを使用したい場合は、"1"を設定します。
FP7入力割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、T8CH5S0は"0"に設定されます。

SIO2RS1: SIO Ch.2**受信バッファフル**/TM16 Ch.5**コンペア**B**割り込み要因切り換え**
(D0/0x402CB<**割り込み要因**TM16**機能切り換えレジスタ**>)

割り込み要因を切り換えます。

"1"書き込み: SIO Ch.2受信バッファフル
"0"書き込み: TM16 Ch.5コンペアB
読み出し: 可能

SIO Ch.2受信バッファフル割り込みを使用したい場合は、"1"を設定します。
TM16 Ch.5コンペアB割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、SIO2RS1は"0"に設定されます。

SIO2TS1: SIO Ch.2**送信バッファエンプティ**/TM16 Ch.5**コンペア**A**割り込み要因切り換え**
(D1/0x402CB<**割り込み要因**TM16**機能切り換えレジスタ**>)

割り込み要因を切り換えます。

"1"書き込み: SIO Ch.2送信バッファエンプティ
"0"書き込み: TM16 Ch.5コンペアA
読み出し: 可能

SIO Ch.2送信バッファエンプティ割り込みを使用したい場合は、"1"を設定します。
TM16 Ch.5コンペアA入力割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、SIO2TS1は"0"に設定されます。

SIO3RS1: SIO Ch.3**受信バッファフル**/TM16 Ch.4**コンペア**B**割り込み要因切り換え**
(D2/0x402CB<**割り込み要因**TM16**機能切り換えレジスタ**>)

割り込み要因を切り換えます。

"1"書き込み: SIO Ch.3受信バッファフル
"0"書き込み: TM16 Ch.4コンペアB
読み出し: 可能

SIO Ch.3受信バッファフル割り込みを使用したい場合は、"1"を設定します。
TM16 Ch.4コンペアB割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、SIO3RS1は"0"に設定されます。

SIO3TS1: SIO Ch.3**送信バッファエンプティ**/TM16 Ch.4**コンペア**A**割り込み要因切り換え**
(D3/0x402CB<**割り込み要因**TM16**機能切り換えレジスタ**>)

割り込み要因を切り換えます。

"1"書き込み: SIO Ch.3送信バッファエンプティ
"0"書き込み: TM16 Ch.4コンペアA
読み出し: 可能

SIO Ch.3送信バッファエンプティ割り込みを使用したい場合は、"1"を設定します。
TM16 Ch.4コンペアA入力割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、SIO3TS1は"0"に設定されます。

SIO2ES1: SIO Ch.2**受信エラー**/TM16 Ch.3**コンペア**B**割り込み要因切り換え**
(D4/0x402CB<**割り込み要因**TM16**機能切り換えレジスタ**>)

割り込み要因を切り換えます。

"1"書き込み: SIO Ch.2受信エラー
"0"書き込み: TM16 Ch.3コンペアB
読み出し: 可能

SIO Ch.2受信エラー割り込みを使用したい場合は、"1"を設定します。
TM16 Ch.3コンペアB割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、SIO2ES1は"0"に設定されます。

SIO3ES1: SIO Ch.3**受信エラー**/TM16 Ch.3**コンペア**A**割り込み要因切り換え**
(D5/0x402CB<**割り込み要因**TM16**機能切り換えレジスタ**>)

割り込み要因を切り換えます。

"1"書き込み: SIO Ch.3受信エラー
"0"書き込み: TM16 Ch.3コンペアA
読み出し: 可能

SIO Ch.3受信エラー割り込みを使用したい場合は、"1"を設定します。
TM16 Ch.3コンペアA入力割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、SIO3ES1は"0"に設定されます。

T8CH4S1: 8**ビットタイマ**4**アンダーフロー**/TM16 Ch.2**コンペア**B**割り込み要因切り換え**
(D6/0x402CB<**割り込み要因**TM16**機能切り換えレジスタ**>)

割り込み要因を切り換えます。

"1"書き込み: 8ビットタイマ4アンダーフロー
"0"書き込み: TM16 Ch.2コンペアB
読み出し: 可能

8ビットタイマ4アンダーフロー割り込みを使用したい場合は、"1"を設定します。
TM16 Ch.2コンペアB割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、T8CH4S1は"0"に設定されます。

T8CH5S1: 8**ビットタイマ**5**アンダーフロー**/TM16 Ch.2**コンペア**A**割り込み要因切り換え**
(D7/0x402CB<**割り込み要因**TM16**機能切り換えレジスタ**>)

割り込み要因を切り換えます。

"1"書き込み: 8ビットタイマ5アンダーフロー
"0"書き込み: TM16 Ch.2コンペアA
読み出し: 可能

8ビットタイマ5アンダーフロー割り込みを使用したい場合は、"1"を設定します。
TM16 Ch.2コンペアA割り込みを使用したい場合は、"0"を設定します。
イニシャルリセット時、T8CH5S1は"0"に設定されます。

プログラミング上の注意事項

(1) シリアルインタフェースの各種設定は、送受信が禁止の状態(TXENx = RXENx = "0")で行ってください。

(2) シリアルインタフェースが送信(受信)中は、TXENx(RXENx)を"0"に設定しないでください。また、slp命令も実行しないでください。

(3) クロック同期式転送は送受信で共通のクロックラインを使用する半二重通信です。したがって、TXENxとRXENxを同時に許可に設定することはできません。

(4) イニシャルリセット後、割り込み要因フラグは不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。

(5) 受信エラーが発生した場合、受信エラー割り込み要因と受信バッファフル割り込み要因が同時に発生します。ただし、受信エラー割り込みの優先順位が受信バッファフル割り込みよりも高く設定されていますので、受信エラー割り込みの処理が先に実行されます。このため、受信エラー割り込み処理の中で受信バッファフル割り込み要因フラグをリセットする必要があります。

(6) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。

(7) シリアルインタフェースは、次の手順で初期設定してください。

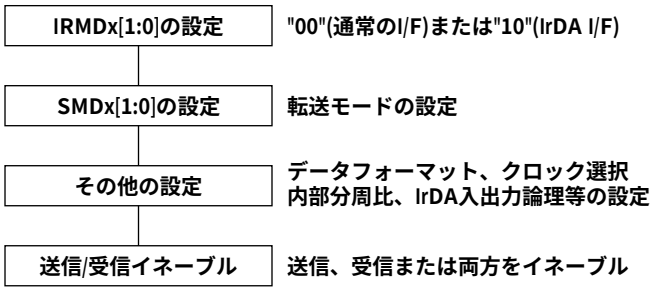


図8.18 シリアルインタフェースの初期設定手順

(8) クロック同期式マスタモードで送信する場合、(7)のフローに従って初期設定を行った後、必要に応じて送信データを送信データレジスタに書き込みます。ただし、この書き込みは8ビットタイマからのクロックがシリアルインタフェースに供給されている状態(具体的には最低1回は8ビットタイマのアンダーフローを発生させる)で行ってください。これ以外の場合、書き込んだ送信データの前に0xFFが送信されます。

(9) シリアルインタフェースの転送レートは、最大1Mbpsと規定します。

(10) 受信途中で受信回路を止める場合は、送信、受信とも禁止に設定してください。

(11) クロック同期式モードでデータ転送を行う場合は、転送レートがシステムクロックの1/4以下になるようにプリスケーラの分周比および8ビットプログラマブルタイマのリロード値を設定してください。

(12) シリアルインタフェースの動作は、プリスケーラが動作していることが条件です。

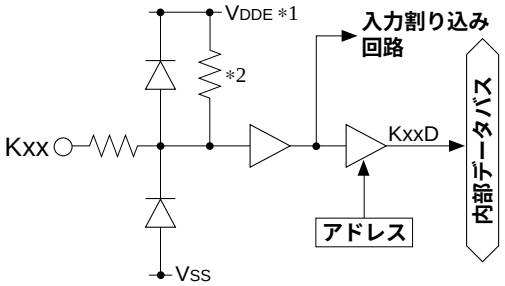
III-9 入出力ポート

C33周辺回路ブロックは42本の入出力端子を持っています。それぞれ、内部周辺回路の入出力端子として使用されますが、周辺回路用に使用しない端子については、汎用の入出力ポートとして使用することができます。この章では、汎用入出力ポートとして使用する場合の機能と制御方法について説明します。

入力ポート (Kポート)

入力ポートの構成

C33周辺回路ブロックは13ビットの入力ポート(K50～K54、K60～K67)を内蔵しています。
図9.1に入力ポートの構造を示します。



*1 K50, K60~K67はAVDDE
*2 K50~K54のみに内蔵

図9.1 入力ポートの構造

各入力ポート端子は3ステートバッファを通して直接内部データバスに接続されており、入力ポート読み出し時点での入力信号の状態がそのままデータとして読み込まれます。

K50を入力ポート、K60～K67を汎用入力ポートとして使うとき、ポートの入力バッファは電源がAVDDEとなっています。
したがって、これらのポートをHighレベルまたはLowレベルの入力ポートとして使う場合、HighレベルはAVDDE、LowレベルはVSSとなっている必要があります。
特にAVDDEとVDDEに電位差がある場合、外からのレベルがVDDEとなれば、入力バッファに電流が流れたり(AVDDE > VDDEのとき)、またはVDDEとAVDDE間に電流が流れたり(AVDDE < VDDEのとき)することになります。
したがって、もしこれらのポートを未使用時に、入力レベルを外部で固定するときは、VSSまたはAVDDEに固定してください。

K50ポートには、プルアップ抵抗が付いていますが、これはAVDDEへのプルアップ抵抗となります。

入力ポート端子

入力端子は、表9.1に示すとおり周辺回路用の入出力端子を兼ねており、入力ポートとして使用するか、周辺回路用に使用するかを機能選択レジスタによってビット単位に設定できるようになっています。周辺回路用に使用しない端子は、すべて割り込み機能を持つ汎用入力ポート端子として使用できます。

表9.1 入力端子

端子名	I/O	Pull-up	機　　能	機能選択ビット
K50/#DMAREQ0	I	あり	入力ポート/高速DMA要求0	CFK50(K5機能選択レジスタ0x402C0•D0)
K51/#DMAREQ1	I	あり	入力ポート/高速DMA要求1	CFK51(K5機能選択レジスタ0x402C0•D1)
K52/#ADTRG	I	あり	入力ポート/AD変換器トリガ	CFK52(K5機能選択レジスタ0x402C0•D2)
K53/#DMAREQ2	I	あり	入力ポート/高速DMA要求2	CFK53(K5機能選択レジスタ0x402C0•D3)
K54/#DMAREQ3	I	あり	入力ポート/高速DMA要求3	CFK54(K5機能選択レジスタ0x402C0•D4)
K60/AD0	I	–	入力ポート/AD変換器入力0	CFK60(K6機能選択レジスタ0x402C3•D0)
K61/AD1	I	–	入力ポート/AD変換器入力1	CFK61(K6機能選択レジスタ0x402C3•D1)
K62/AD2	I	–	入力ポート/AD変換器入力2	CFK62(K6機能選択レジスタ0x402C3•D2)
K63/AD3	I	–	入力ポート/AD変換器入力3	CFK63(K6機能選択レジスタ0x402C3•D3)
K64/AD4	I	–	入力ポート/AD変換器入力4	CFK64(K6機能選択レジスタ0x402C3•D4)
K65/AD5	I	–	入力ポート/AD変換器入力5	CFK65(K6機能選択レジスタ0x402C3•D5)
K66/AD6	I	–	入力ポート/AD変換器入力6	CFK66(K6機能選択レジスタ0x402C3•D6)
K67/AD7	I	–	入力ポート/AD変換器入力7	CFK67(K6機能選択レジスタ0x402C3•D7)

コールドスタート時は、すべて入力ポート端子Kxx(機能選択ビットCFKxx="0")に設定されます。内蔵周辺回路に使用する場合は、CFKxxに"1"を書き込んでください。その場合の機能の詳細は、各周辺回路の説明を参照してください。
ホットスタート時は、リセット前の状態を保持します。

A/D変換器入力に設定したポートを読み出した場合、データは常に"0"となります。

使用上の注意

K50、K60～K67の入力バッファの電源はAV_{DDE}(A/D変換器用電源)です。またK50のプルアップ抵抗もAV_{DDE}に接続されています。したがって、以下の点に注意してください。

1) K50、K60～K67を汎用入力ポートとして使用する場合、ポートに入力する電圧はHighレベル = AV_{DDE}、Lowレベル = V_{SS}としてください。
2) 他のポートと同様にHighレベル = V_{DDE}で使用する場合、必ずV_{DDE} = AV_{DDE}として使用してください。AV_{DDE} > V_{DDE}の場合にV_{DDE}を入力すると、入力バッファに電流が流れてしまいます。
   AV_{DDE} < V_{DDE}ではV_{DDE}電源からAV_{DDE}電源に対して電流が流れてしまいます。
3) ポートを使用しない場合に外部でレベルを固定するには、V_{SS}またはAV_{DDE}に接続してください。

入力ポートのI/Oメモリ

表9.2に入力ポートの制御ビットを示します。

表9.2 **入力ポートの制御ビット**

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈
K5機能選択レジスタ	00402C0 (B)	D7–5	–	reserved	–				–	–	読み出し時: 0
		D4	CFK54	K54機能選択	1	#DMAREQ3	0	K54	0	R/W	
		D3	CFK53	K53機能選択	1	#DMAREQ2	0	K53	0	R/W	
		D2	CFK52	K52機能選択	1	#ADTRG	0	K52	0	R/W	
		D1	CFK51	K51機能選択	1	#DMAREQ1	0	K51	0	R/W	
		D0	CFK50	K50機能選択	1	#DMAREQ0	0	K50	0	R/W	
K5入力ポートデータレジスタ	00402C1 (B)	D7–5	–	reserved	–				–	–	読み出し時: 0
		D4	K54D	K54入力ポートデータ	1	High	0	Low	–	R	
		D3	K53D	K53入力ポートデータ					–	R	
		D2	K52D	K52入力ポートデータ					–	R	
		D1	K51D	K51入力ポートデータ					–	R	
		D0	K50D	K50入力ポートデータ					–	R	
K6機能選択レジスタ	00402C3 (B)	D7	CFK67	K67機能選択	1	AD7	0	K67	0	R/W	
		D6	CFK66	K66機能選択	1	AD6	0	K66	0	R/W	
		D5	CFK65	K65機能選択	1	AD5	0	K65	0	R/W	
		D4	CFK64	K64機能選択	1	AD4	0	K64	0	R/W	
		D3	CFK63	K63機能選択	1	AD3	0	K63	0	R/W	
		D2	CFK62	K62機能選択	1	AD2	0	K62	0	R/W	
		D1	CFK61	K61機能選択	1	AD1	0	K61	0	R/W	
		D0	CFK60	K60機能選択	1	AD0	0	K60	0	R/W	
K6入力ポートデータレジスタ	00402C4 (B)	D7	K67D	K67入力ポートデータ	1	High	0	Low	–	R	
		D6	K66D	K66入力ポートデータ					–	R	
		D5	K65D	K65入力ポートデータ					–	R	
		D4	K64D	K64入力ポートデータ					–	R	
		D3	K63D	K63入力ポートデータ					–	R	
		D2	K62D	K62入力ポートデータ					–	R	
		D1	K61D	K61入力ポートデータ					–	R	
		D0	K60D	K60入力ポートデータ					–	R	

CFK54–CFK50: K5[4:0]**機能選択**(D[4:0]/0x402C0<K5**機能選択レジスタ**>)
CFK67–CFK60: K6[7:0]**機能選択**(D[7:0]/0x402C3<K6**機能選択レジスタ**>)

入力ポート端子の機能を選択します。

"1"書き込み: 周辺回路用端子
"0"書き込み: 入力ポート端子
読み出し: 可能

CFKレジスタのビットに"1"を書き込むと、対応する端子が周辺回路用に設定されます(表9.1参照)。"0"に設定されたビットに対応する端子は汎用入力ポート端子として使用可能です。
コールドスタート時、CFKは"0"(入力ポート端子)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

K54D–K50D: K5[4:0]**入力ポートデータ**(D[4:0]/0x402C1<K5**入力ポートデータレジスタ**>)
K67D–K60D: K6[7:0]**入力ポートデータ**(D[7:0]/0x402C4<K6**入力ポートデータレジスタ**>)

入力ポート端子の入力データが読み出せます。

"1"読み出し: Highレベル
"0"読み出し: Lowレベル
書き込み: 無効

入力ポートの各端子電圧がそれぞれHigh(V_{DD})レベルのとき"1"、Low(V_{SS})レベルのとき"0"として直接読み出せます。
本ビットは読み出し専用のため、書き込み動作は無効となります。
A/D変換器入力に設定したポートを読み出した場合、データは常に"0"となります。

入出力兼用ポート (Pポート)

入出力兼用ポートの構成

C33周辺回路ブロックは、プログラムにより入出力方向の切り換えが可能な29ビットの入出力兼用ポート(P00～P07、P10～P16、P20～P27、P30～P35)を内蔵しています。
図9.2に入出力兼用ポートの構造を示します。

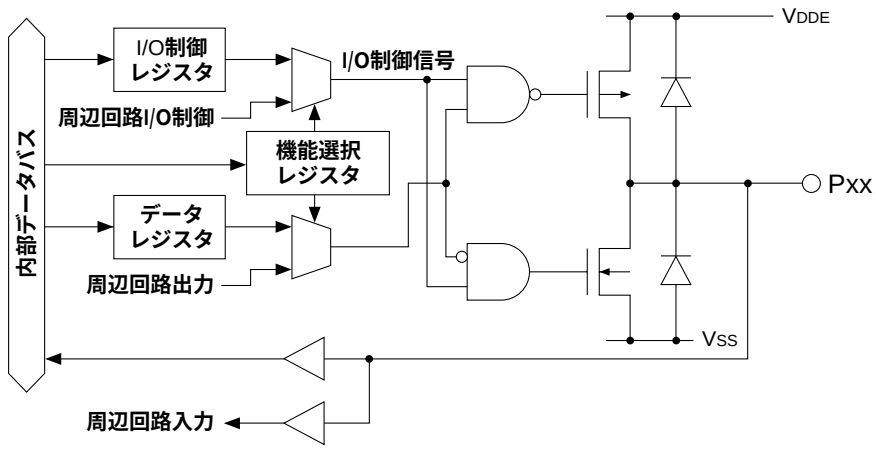


図9.2 **入出力兼用ポートの構造**

入出力兼用ポート端子

入出力端子は、表9.3に示すとおり周辺回路用の入出力端子を兼ねており、入出力兼用ポートとして使用するか、周辺回路用に使用するかを機能選択レジスタによってビット単位に設定できるようになっています。周辺回路用に使用しない端子は、すべて汎用入出力兼用ポート端子として使用できます。

表9.3 **入出力端子**

端子名	I/O	Pull-up	機　能	機能選択ビット
P00/SIN0	I/O	–	**入出力兼用ポート/シリアル**IF Ch.0**データ入力**	CFP00(P0**機能選択レジスタ**0x402D0•D0)
P01/SOUT0	I/O	–	**入出力兼用ポート/シリアル**IF Ch.0**データ出力**	CFP01(P0**機能選択レジスタ**0x402D0•D1)
P02/#SCLK0	I/O	–	**入出力兼用ポート/シリアル**IF Ch.0**クロック入出力**	CFP02(P0**機能選択レジスタ**0x402D0•D2)
P03/#SRDY0	I/O	–	**入出力兼用ポート/シリアル**IF Ch.0**レディ入出力**	CFP03(P0**機能選択レジスタ**0x402D0•D3)
P04/SIN1/ #DMAACK2	I/O	–	**入出力兼用ポート/シリアル**IF Ch.1**データ入力**/ #DMAACK2**出力**(Ex)	CFP04(P0**機能選択レジスタ**0x402D0•D4) CFEX4(**ポート機能拡張レジスタ**0x402DF•D4)
P05/SOUT1/ #DMAEND2	I/O	–	**入出力兼用ポート/シリアル**IF Ch.1**データ出力**/ #DMAEND2**出力**(Ex)	CFP05(P0**機能選択レジスタ**0x402D0•D5) CFEX5(**ポート機能拡張レジスタ**0x402DF•D5)
P06/#SCLK1/ #DMAACK3	I/O	–	**入出力兼用ポート/シリアル**IF Ch.1**クロック入出力**/ #DMAACK3**出力**(Ex)	CFP06(P0**機能選択レジスタ**0x402D0•D6) CFEX6(**ポート機能拡張レジスタ**0x402DF•D6)
P07/#SRDY1/ #DMAEND3	I/O	–	**入出力兼用ポート/シリアル**IF Ch.1**レディ入出力**/ #DMAEND3**出力**(Ex)	CFP07(P0**機能選択レジスタ**0x402D0•D7) CFEX7(**ポート機能拡張レジスタ**0x402DF•D7)
P10/EXCL0/ T8UF0/DST0 ＊	I/O	–	**入出力兼用ポート**/16bit**タイマ0イベントカウンタ入力**(I)/8bit**タイマ0出力**(O)/DST0**出力**(Ex)	CFP10(P1**機能選択レジスタ**0x402D4•D0) CFEX1(**ポート機能拡張レジスタ**0x402DF•D1)
P11/EXCL1/ T8UF1/DST1 ＊	I/O	–	**入出力兼用ポート**/16bit**タイマ1イベントカウンタ入力**(I)/8bit**タイマ1出力**(O)/DST1**出力**(Ex)	CFP11(P1**機能選択レジスタ**0x402D4•D1) CFEX1(**ポート機能拡張レジスタ**0x402DF•D1)
P12/EXCL2/ T8UF2/DST2 ＊	I/O	–	**入出力兼用ポート**/16bit**タイマ2イベントカウンタ入力**(I)/8bit**タイマ2出力**(O)/DST2**出力**(Ex)	CFP12(P1**機能選択レジスタ**0x402D4•D2) CFEX0(**ポート機能拡張レジスタ**0x402DF•D0)
P13/EXCL3/ T8UF3/DPCO ＊	I/O	–	**入出力兼用ポート**/16bit**タイマ3イベントカウンタ入力**(I)/8bit**タイマ3出力**(O)/DPCO**出力**(Ex)	CFP13(P1**機能選択レジスタ**0x402D4•D3) CFEX1(**ポート機能拡張レジスタ**0x402DF•D1)
P14/FOSC1/ DCLK ＊	I/O	–	**入出力兼用ポート/低速**(OSC1)**クロック出力**/ DCLK**出力**(Ex)	CFP14(P1**機能選択レジスタ**0x402D4•D4) CFEX0(**ポート機能拡張レジスタ**0x402DF•D0)
P15/EXCL4/ #DMAEND0/ #SCLK3	I/O	–	**入出力兼用ポート**/16bit**タイマ4イベントカウンタ入力**(I)/#DMAEND0**出力**(O)/**シリアル**I/F Ch.3**クロック入出力**	CFP15(P1**機能選択レジスタ**0x402D4•D5)
P16/EXCL5/ #DMAEND1/ SOUT3	I/O	–	**入出力兼用ポート**/16bit**タイマ5イベントカウンタ入力**(I)/#DMAEND1**出力**(O)/**シリアル**I/F Ch.3**データ出力**	CFP16(P1**機能選択レジスタ**0x402D4•D6)

(I): **入力モード**, (O):**出力モード**, (Ex): **拡張機能**

＊: P10～P14**端子は**3V**系**I/O**電圧のみ使用可能です。**

端子名	I/O	Pull-up	機　能	機能選択ビット
P20/#DRD	I/O	–	入出力兼用ポート/#DRD出力	CFP20(P2機能選択レジスタ0x402D8•D0)
P21/#DWE/ #GAAS	I/O	–	入出力兼用ポート/#DWE出力/ GAアドレスストローブ出力(Ex)	CFP21(P2機能選択レジスタ0x402D8•D1) CFEX2(ポート機能拡張レジスタ0x402DF•D2)
P22/TM0	I/O	–	入出力兼用ポート/16bitタイマ0出力	CFP22(P2機能選択レジスタ0x402D8•D2)
P23/TM1	I/O	–	入出力兼用ポート/16bitタイマ1出力	CFP23(P2機能選択レジスタ0x402D8•D3)
P24/TM2/ #SRDY2	I/O	–	入出力兼用ポート/16bitタイマ2出力/ シリアルI/F Ch.2レディ入出力	CFP24(P2機能選択レジスタ0x402D8•D4)
P25/TM3/ #SCLK2	I/O	–	入出力兼用ポート/16bitタイマ3出力/ シリアルI/F Ch.2クロック入出力	CFP25(P2機能選択レジスタ0x402D8•D5)
P26/TM4/ SOUT2	I/O	–	入出力兼用ポート/16bitタイマ4出力/ シリアルI/F Ch.2データ出力	CFP26(P2機能選択レジスタ0x402D8•D6)
P27/TM5/SIN2	I/O	–	入出力兼用ポート/16bitタイマ5出力/ シリアルI/F Ch.2データ入力	CFP27(P2機能選択レジスタ0x402D8•D7)
P30/#WAIT/ #CE4&5	I/O	–	入出力兼用ポート/#WAIT入力(I)/#CE4&5出力(O)	CFP30(P3機能選択レジスタ0x402DC•D0)
P31/#BUSGET/ #GARD	I/O	–	入出力兼用ポート/#BUSGET出力/ GAリード信号出力(Ex)	CFP31(P3機能選択レジスタ0x402DC•D1) CFEX3(ポート機能拡張レジスタ0x402DF•D3)
P32/#DMAACK0 /#SRDY3	I/O	–	入出力兼用ポート/#DMAACK0出力/ シリアルI/F Ch.3レディ入出力	CFP32(P3機能選択レジスタ0x402DC•D2)
P33/#DMAACK1 /SIN3	I/O	–	入出力兼用ポート/#DMAACK1出力/ シリアルI/F Ch.3データ入力	CFP33(P3機能選択レジスタ0x402DC•D3)
P34/#BUSREQ/ #CE6	I/O	–	入出力兼用ポート/#BUSREQ入力(I)/#CE6出力(O)	CFP34(P3機能選択レジスタ0x402DC•D4)
P35/#BUSACK	I/O	–	入出力兼用ポート/#BUSACK出力	CFP35(P3機能選択レジスタ0x402DC•D5)

(I): **入力モード**, (O):**出力モード**, (Ex): **拡張機能**

コールドスタート時は、すべて入出力兼用ポート端子Pxx(機能選択ビットCFPxx="0")に設定されます。内蔵周辺回路に使用する場合は、CFPxxに"1"を書き込んでください。その場合の機能の詳細は、各周辺回路の説明を参照してください。ホットスタート時は、リセット前の状態を保持します。
P10～P13、P15～P16、P30およびP34端子は入出力兼用ポートの他に、それぞれ2種類(P10～P13は3種類)の周辺回路と共用されます。そのどちらの周辺回路用に使用するかは、後述するI/O制御レジスタによる入出力方向の設定によって決まります。
P04～P07、P10～P14、P21およびP31ポートは表中の(Ex)で示される拡張機能を持っています。それらの機能は、ポート機能拡張レジスタ(0x402DF)のCFEXxに"1"を書き込むことで選択されます。
CFEXxの設定はCFPxxに優先します。コールドスタート時、CFEX1とCFEX0は"1"に設定され、P10～P14ポートがデバッグ用信号出力ポートとして機能します。

I/O制御レジスタと入力/出力モード

入出力兼用ポートは、それぞれのビットに対応したI/O制御レジスタにデータを書き込むことによって、入力モードあるいは出力モードに設定されます。
P07–P00用I/O制御: IOC0[7:0] (P0 I/O制御レジスタ0x402D2•D[7:0])
P16–P10用I/O制御: IOC1[6:0] (P1 I/O制御レジスタ0x402D6•D[6:0])
P27–P20用I/O制御: IOC2[7:0] (P2 I/O制御レジスタ0x402DA•D[7:0])
P35–P30用I/O制御: IOC3[5:0] (P3 I/O制御レジスタ0x402DE•D[5:0])

入力モードに設定する場合はI/O制御レジスタに"0"を書き込みます。入力モードに設定された入出力兼用ポートは、ハイインピーダンス状態となり入力ポートとして機能します。
入力モード時の読み出しでは入力端子の状態が直接読み込まれ、そのデータは入力端子がHigh(V_{DD})レベルのときに"1"、Low(V_{SS})レベルのときに"0"となります。
入力モード時においても、端子の状態に影響を与えることなくデータレジスタに対して書き込みは行えます。

出力モードに設定する場合はI/O制御レジスタに"1"を書き込みます。出力モードに設定された入出力兼用ポートは出力ポートとして機能し、ポート出力データが"1"の場合にHigh(V_{DD})レベル、"0"の場合にLow(V_{SS})レベルを出力します。

コールドスタート時、I/O制御レジスタは"0"(入力モード)に設定されます。
ホットスタート時は、リセット前の状態を保持します。

注: **P10～P14、P15～P16、P30およびP34を周辺回路用の端子に設定した場合は、IOC1xによる入出力方向制御により端子機能が変わります。**

入出力兼用ポートのI/Oメモリ

表9.4に入出力兼用ポートの制御ビットを示します。

表9.4 入出力兼用ポートの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈
P0機能選択レジスタ	00402D0 (B)	D7	CFP07	P07機能選択	1	#SRDY1	0	P07	0	R/W	拡張機能(0x402DF)
		D6	CFP06	P06機能選択	1	#SCLK1	0	P06	0	R/W	
		D5	CFP05	P05機能選択	1	SOUT1	0	P05	0	R/W	
		D4	CFP04	P04機能選択	1	SIN1	0	P04	0	R/W	
		D3	CFP03	P03機能選択	1	#SRDY0	0	P03	0	R/W	
		D2	CFP02	P02機能選択	1	#SCLK0	0	P02	0	R/W	
		D1	CFP01	P01機能選択	1	SOUT0	0	P01	0	R/W	
		D0	CFP00	P00機能選択	1	SIN0	0	P00	0	R/W	
P0入出力兼用ポートデータレジスタ	00402D1 (B)	D7	P07D	P07入出力兼用ポートデータ	1	High	0	Low	0	R/W	
		D6	P06D	P06入出力兼用ポートデータ					0	R/W	
		D5	P05D	P05入出力兼用ポートデータ					0	R/W	
		D4	P04D	P04入出力兼用ポートデータ					0	R/W	
		D3	P03D	P03入出力兼用ポートデータ					0	R/W	
		D2	P02D	P02入出力兼用ポートデータ					0	R/W	
		D1	P01D	P01入出力兼用ポートデータ					0	R/W	
		D0	P00D	P00入出力兼用ポートデータ					0	R/W	
P0 I/O制御レジスタ	00402D2 (B)	D7	IOC07	P07 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポート端子のI/O制御信号の値(詳細説明参照)
		D6	IOC06	P06 I/O制御					0	R/W	
		D5	IOC05	P05 I/O制御					0	R/W	
		D4	IOC04	P04 I/O制御					0	R/W	
		D3	IOC03	P03 I/O制御					0	R/W	
		D2	IOC02	P02 I/O制御					0	R/W	
		D1	IOC01	P01 I/O制御					0	R/W	
		D0	IOC00	P00 I/O制御					0	R/W	
P1機能選択レジスタ	00402D4 (B)	D7	–	reserved	–				–	–	読み出し時: 0
		D6	CFP16	P16機能選択	1	EXCL5 #DMAEND1	0	P16	0	R/W	
		D5	CFP15	P15機能選択	1	EXCL4 #DMAEND0	0	P15	0	R/W	
		D4	CFP14	P14機能選択	1	FOSC1	0	P14	0	R/W	拡張機能(0x402DF)
		D3	CFP13	P13機能選択	1	EXCL3 T8UF3	0	P13	0	R/W	
		D2	CFP12	P12機能選択	1	EXCL2 T8UF2	0	P12	0	R/W	
		D1	CFP11	P11機能選択	1	EXCL1 T8UF1	0	P11	0	R/W	
		D0	CFP10	P10機能選択	1	EXCL0 T8UF0	0	P10	0	R/W	
P1入出力兼用ポートデータレジスタ	00402D5 (B)	D7	–	reserved	–				–	–	読み出し時: 0
		D6	P16D	P16入出力兼用ポートデータ	1	High	0	Low	0	R/W	
		D5	P15D	P15入出力兼用ポートデータ					0	R/W	
		D4	P14D	P14入出力兼用ポートデータ					0	R/W	
		D3	P13D	P13入出力兼用ポートデータ					0	R/W	
		D2	P12D	P12入出力兼用ポートデータ					0	R/W	
		D1	P11D	P11入出力兼用ポートデータ					0	R/W	
		D0	P10D	P10入出力兼用ポートデータ					0	R/W	
P1 I/O制御レジスタ	00402D6 (B)	D7	–	reserved	–				–	–	読み出し時: 0
		D6	IOC16	P16 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポート端子のI/O制御信号の値(詳細説明参照)
		D5	IOC15	P15 I/O制御					0	R/W	
		D4	IOC14	P14 I/O制御					0	R/W	
		D3	IOC13	P13 I/O制御					0	R/W	
		D2	IOC12	P12 I/O制御					0	R/W	
		D1	IOC11	P11 I/O制御					0	R/W	
		D0	IOC10	P10 I/O制御					0	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定				Init.	R/W	注　　釈
ポートSIO機能拡張レジスタ	00402D7	D7–4	–	reserved	–				–	–	
		D3	SSRDY3	シリアルI/F Ch.3 SRDY選択	1	#SRDY3	0	P32/#DMAACK0	0	R/W	
		D2	SSCLK3	シリアルI/F Ch.3 SCLK選択	1	#SCLK3	0	P15/EXCL4/#DMAEND0	0	R/W	
		D1	SSOUT3	シリアルI/F Ch.3 SOUT選択	1	SOUT3	0	P16/EXCL5/#DMAEND1	0	R/W	
		D0	SSIN3	シリアルI/F Ch.3 SIN選択	1	SIN3	0	P33/#DMAACK1	0	R/W	
P2機能選択レジスタ	00402D8 (B)	D7	CFP27	P27機能選択	1	TM5	0	P27	0	R/W	
		D6	CFP26	P26機能選択	1	TM4	0	P26	0	R/W	
		D5	CFP25	P25機能選択	1	TM3	0	P25	0	R/W	
		D4	CFP24	P24機能選択	1	TM2	0	P24	0	R/W	
		D3	CFP23	P23機能選択	1	TM1	0	P23	0	R/W	
		D2	CFP22	P22機能選択	1	TM0	0	P22	0	R/W	
		D1	CFP21	P21機能選択	1	#DWE	0	P21	0	R/W	拡張機能(0x402DF)
		D0	CFP20	P20機能選択	1	#DRD	0	P20	0	R/W	
P2入出力兼用ポートデータレジスタ	00402D9 (B)	D7	P27D	P27入出力兼用ポートデータ	1	High	0	Low	0	R/W	
		D6	P26D	P26入出力兼用ポートデータ					0	R/W	
		D5	P25D	P25入出力兼用ポートデータ					0	R/W	
		D4	P24D	P24入出力兼用ポートデータ					0	R/W	
		D3	P23D	P23入出力兼用ポートデータ					0	R/W	
		D2	P22D	P22入出力兼用ポートデータ					0	R/W	
		D1	P21D	P21入出力兼用ポートデータ					0	R/W	
		D0	P20D	P20入出力兼用ポートデータ					0	R/W	
P2 I/O制御レジスタ	00402DA (B)	D7	IOC27	P27 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポート端子のI/O制御信号の値(詳細説明参照)
		D6	IOC26	P26 I/O制御					0	R/W	
		D5	IOC25	P25 I/O制御					0	R/W	
		D4	IOC24	P24 I/O制御					0	R/W	
		D3	IOC23	P23 I/O制御					0	R/W	
		D2	IOC22	P22 I/O制御					0	R/W	
		D1	IOC21	P21 I/O制御					0	R/W	
		D0	IOC20	P20 I/O制御					0	R/W	
ポートSIO機能拡張レジスタ	00402DB	D7–4	–	reserved	–				–	–	
		D3	SSRDY2	シリアルI/F Ch.2 SRDY選択	1	#SRDY2	0	P24/TM2	0	R/W	
		D2	SSCLK2	シリアルI/F Ch.2 SCLK選択	1	#SCLK2	0	P25/TM3	0	R/W	
		D1	SSOUT2	シリアルI/F Ch.2 SOUT選択	1	SOUT2	0	P26/TM4	0	R/W	
		D0	SSIN2	シリアルI/F Ch.2 SIN選択	1	SIN2	0	P27/TM5	0	R/W	
P3機能選択レジスタ	00402DC (B)	D7–6	–	reserved	–				–	–	読み出し時: 0
		D5	CFP35	P35機能選択	1	#BUSACK	0	P35	0	R/W	
		D4	CFP34	P34機能選択	1	#BUSREQ #CE6	0	P34	0	R/W	
		D3	CFP33	P33機能選択	1	#DMAACK1	0	P33	0	R/W	
		D2	CFP32	P32機能選択	1	#DMAACK0	0	P32	0	R/W	
		D1	CFP31	P31機能選択	1	#BUSGET	0	P31	0	R/W	拡張機能(0x402DF)
		D0	CFP30	P30機能選択	1	#WAIT #CE4/#CE5	0	P30	0	R/W	
P3入出力兼用ポートデータレジスタ	00402DD (B)	D7–6	–	reserved	–				–	–	読み出し時: 0
		D5	P35D	P35入出力兼用ポートデータ	1	High	0	Low	0	R/W	
		D4	P34D	P34入出力兼用ポートデータ					0	R/W	
		D3	P33D	P33入出力兼用ポートデータ					0	R/W	
		D2	P32D	P32入出力兼用ポートデータ					0	R/W	
		D1	P31D	P31入出力兼用ポートデータ					0	R/W	
		D0	P30D	P30入出力兼用ポートデータ					0	R/W	
P3 I/O制御レジスタ	00402DE (B)	D7–6	–	reserved	–				–	–	読み出し時: 0
		D5	IOC35	P35 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポート端子のI/O制御信号の値(詳細説明参照)
		D4	IOC34	P34 I/O制御					0	R/W	
		D3	IOC33	P33 I/O制御					0	R/W	
		D2	IOC32	P32 I/O制御					0	R/W	
		D1	IOC31	P31 I/O制御					0	R/W	
		D0	IOC30	P30 I/O制御					0	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定				Init.	R/W	注　　釈
ポート機能拡張レジスタ	00402DF (B)	D7	CFEX7	P07ポート機能拡張	1	#DMAEND3	0	P07, etc.	0	R/W	
		D6	CFEX6	P06ポート機能拡張	1	#DMAACK3	0	P06, etc.	0	R/W	
		D5	CFEX5	P05ポート機能拡張	1	#DMAEND2	0	P05, etc.	0	R/W	
		D4	CFEX4	P04ポート機能拡張	1	#DMAACK2	0	P04, etc.	0	R/W	
		D3	CFEX3	P31ポート機能拡張	1	#GARD	0	P31, etc.	0	R/W	
		D2	CFEX2	P21ポート機能拡張	1	#GAAS	0	P21, etc.	0	R/W	
		D1	CFEX1	P10, P11, P13ポート機能拡張	1	DST0 DST1 DPC0	0	P10, etc. P11, etc. P13, etc.	1	R/W	
		D0	CFEX0	P12, P14ポート機能拡張	1	DST2 DCLK	0	P12, etc. P14, etc.	1	R/W	

CFP07–CFP00: P0[7:0]**機能選択**(D[7:0]/0x402D0<P0**機能選択レジスタ**>)
CFP16–CFP10: P1[6:0]**機能選択**(D[6:0]/0x402D4<P1**機能選択レジスタ**>)
CFP27–CFP20: P2[7:0]**機能選択**(D[7:0]/0x402D8<P2**機能選択レジスタ**>)
CFP35–CFP30: P3[5:0]**機能選択**(D[5:0]/0x402DC<P3**機能選択レジスタ**>)

入出力兼用ポート端子の機能を選択します。

"1"書き込み: 周辺回路用端子
"0"書き込み: 入出力兼用ポート端子
読み出し: 可能

CFPレジスタのビットに"1"を書き込むと、対応する端子が周辺回路用に設定されます(表9.3参照)。"0"に設定されたビットに対応する端子は汎用入出力兼用ポート端子として使用可能です。
コールドスタート時、CFPは"0"(入出力兼用ポート端子)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

P07D–P00D: P0[7:0]**入出力兼用ポートデータ**(D[7:0]/0x402D1<P0**入出力兼用ポートデータレジスタ**>)
P16D–P10D: P1[6:0]**入出力兼用ポートデータ**(D[6:0]/0x402D5<P1**入出力兼用ポートデータレジスタ**>)
P27D–P20D: P2[7:0]**入出力兼用ポートデータ**(D[7:0]/0x402D9<P2**入出力兼用ポートデータレジスタ**>)
P35D–P30D: P3[5:0]**入出力兼用ポートデータ**(D[5:0]/0x402DD<P3**入出力兼用ポートデータレジスタ**>)

入出力兼用ポート端子のデータの読み出し、および出力データの設定を行います。

• データ書き込み時
"1"書き込み: Highレベル
"0"書き込み: Lowレベル

入出力兼用ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力兼用ポート端子に出力されます。ポートデータとして"1"を書き込んだ場合はポート端子はHigh(V_{DD}、V_{DDE})レベルとなり、"0"を書き込んだ場合はLow(V_{SS})レベルとなります。
入力モードの場合もポートデータの書き込みは行えます。

• データ読み出し時
"1"読み出し: Highレベル
"0"読み出し: Lowレベル

入出力兼用ポートが入力モード、出力モードにかかわらず、ポート端子の電圧レベルが読み出されます。端子電圧がHigh(V_{DD}、V_{DDE})レベルの場合は"1"、Low(V_{SS})レベルの場合は"0"がそれぞれ入力データとして読み出されます。
コールドスタート時、データビットはすべて"0"に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

IOC07–IOC00: P0[7:0]**ポート**I/O**制御**(D[7:0]/0x402D2<P0 I/O**制御レジスタ**>)
IOC16–IOC10: P1[6:0]**ポート**I/O**制御**(D[6:0]/0x402D6<P1 I/O**制御レジスタ**>)
IOC27–IOC20: P2[7:0]**ポート**I/O**制御**(D[7:0]/0x402DA<P2 I/O**制御レジスタ**>)
IOC35–IOC30: P3[5:0]**ポート**I/O**制御**(D[5:0]/0x402DE<P3 I/O**制御レジスタ**>)

入出力兼用ポート端子の入力/出力モードの設定とI/O制御信号の値の読み出しが行えます。

• データ書き込み時
"1"書き込み: 出力モード
"0"書き込み: 入力モード

IOCレジスタは各入出力兼用ポートにビット単位で対応するI/O制御レジスタです。IOCビットを"1"に設定すると対応する入出力兼用ポートが出力モードとなり、"0"に設定すると入力モードとなります。
コールドスタート時、IOCはすべて"0"(入力モード)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。
入出力兼用ポート端子を周辺回路用の端子に設定した場合、P10～P13、P15～P16、P30、P34はIOC1xによる入出力方向制御により端子機能が変わります。

• データ読み出し時
"1"読み出し: I/O制御信号(出力)
"0"読み出し: I/O制御信号(入力)

ポート端子のI/O制御信号の値が読み出されます。CFEXレジスタおよびCFPレジスタによって入出力兼用ポート機能を選択した場合、読み出し値は、IOCレジスタへの書き込み値と一致します。一方、周辺回路を選択した場合はその回路の状態により変化し、IOCレジスタへの書き込み値とは異なる場合があります。
ただし、P10～P13、P15～P16、P30、P34については、周辺回路を選択した場合の読み出し値はIOCレジスタへの書き込み値と一致します。

SSIN3: **シリアル**I/F Ch.3 SIN**選択** (D0/0x402D7<**ポート**SIO**機能拡張レジスタ**>)

P33/#DMAACK1/SIN3端子の機能を切り換えます。

"1"書き込み: SIN3
"0"書き込み: P33/#DMAACK1
読み出し: 可能

SIN3として使用したい場合は、SSIN3(D0/0x402D7)="1"およびCFP33(D3/0x402DC)="0"を設定します。
P33または#DMAACK1として使用したい場合は、"0"を設定します。
コールドスタート時、SSIN3は"0"(P33/#DMAACK1)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSOUT3: **シリアル**I/F Ch.3 SOUT**選択** (D1/0x402D7<**ポート**SIO**機能拡張レジスタ**>)

P16/EXCL5/#DMAEND1/SOUT3端子の機能を切り換えます。

"1"書き込み: SOUT3
"0"書き込み: P16/EXCL5/#DMAEND1
読み出し: 可能

SOUT3として使用したい場合は、SSOUT3(D1/0x402D7)="1"およびCFP16(D6/0x402D4)="0"を設定します。
P16、EXCL5または#DMAEND1として使用したい場合は、"0"を設定します。
コールドスタート時、SSOUT3は"0"(P16/EXCL5/#DMAEND1)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSCLK3: **シリアル**I/F Ch.3 SCLK**選択** (D2/0x402D7<**ポート**SIO**機能拡張レジスタ**>)

P15/EXCL4/#DMAEND0/#SCLK3端子の機能を切り換えます。

"1"書き込み: #SCLK3
"0"書き込み: P15/EXCL4/#DMAEND0
読み出し: 可能

#SCLK3として使用したい場合は、SSCLK3(D2/0x402D7)="1"およびCFP15(D5/0x402D4)="0"を設定します。P15、EXCL4または#DMAEND0として使用したい場合は、"0"を設定します。
コールドスタート時、SSCLK3は"0"(P15/EXCL4/#DMAEND0)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSRDY3: **シリアル**I/F Ch.3 SRDY**選択** (D3/0x402D7<**ポート**SIO**機能拡張レジスタ**>)

P32/#DMAACK0/#SRDY3端子の機能を切り換えます。

"1"書き込み: #SRDY3
"0"書き込み: P32/#DMAACK0
読み出し: 可能

#SRDY3として使用したい場合は、SSRDY3(D3/0x402D7)="1"およびCFP32(D2/0x402DC)="0"を設定します。P32または#DMAACK0として使用したい場合は、"0"を設定します。
コールドスタート時、SSRDY3は"0"(P32/#DMAACK0)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSIN2: **シリアル**I/F Ch.2 SIN**選択** (D0/0x402DB<**ポート**SIO**機能拡張レジスタ**>)

P27/TM5/SIN2端子の機能を切り換えます。

"1"書き込み: SIN2
"0"書き込み: P27/TM5
読み出し: 可能

SIN2として使用したい場合は、SSIN2(D0/0x402DB)="1"およびCFP27(D7/0x402D8)="0"を設定します。
P27またはTM5として使用したい場合は、"0"を設定します。
コールドスタート時、SSIN2は"0"(P27/TM5)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSOUT2: **シリアル**I/F Ch.2 SOUT**選択** (D1/0x402DB<**ポート**SIO**機能拡張レジスタ**>)

P26/TM4/SOUT2端子の機能を切り換えます。

"1"書き込み: SOUT2
"0"書き込み: P26/TM4
読み出し: 可能

SOUT2として使用したい場合は、SSOUT2(D1/0x402DB)="1"およびCFP26(D6/0x402D8)="0"を設定します。
P26またはTM4として使用したい場合は、"0"を設定します。
コールドスタート時、SSOUT2は"0"(P26/TM4)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSCLK2: **シリアル**I/F Ch.2 SCLK**選択** (D2/0x402DB<**ポート**SIO**機能拡張レジスタ**>)

P25/TM3/#SCLK2端子の機能を切り換えます。

"1"書き込み: #SCLK2
"0"書き込み: P25/TM3
読み出し: 可能

#SCLK2として使用したい場合は、SSCLK2(D2/0x402DB)="1"およびCFP25(D5/0x402D8)="0"を設定します。P25またはTM3として使用したい場合は、"0"を設定します。
コールドスタート時、SSCLK2は"0"(P25/TM3)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

SSRDY2: **シリアル**I/F Ch.2 SRDY**選択** (D3/0x402DB<**ポート**SIO**機能拡張レジスタ**>)

P24/TM2/#SRDY2端子の機能を切り換えます。

"1"書き込み: #SRDY2
"0"書き込み: P24/TM2
読み出し: 可能

#SRDY2として使用したい場合は、SSRDY2(D3/0x402DB)="1"およびCFP24(D4/0x402D8)="0"を設定します。P24またはTM2として使用したい場合は、"0"を設定します。
コールドスタート時、SSRDY2は"0"(P24/TM2)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

CFEX0: P12, P14**機能拡張**(D0/0x402DF<**ポート機能拡張レジスタ**>)
CFEX1: P10, P11, P13**機能拡張**(D1/0x402DF<**ポート機能拡張レジスタ**>)
CFEX2: P21**機能拡張**(D2/0x402DF<**ポート機能拡張レジスタ**>)
CFEX3: P31**機能拡張**(D3/0x402DF<**ポート機能拡張レジスタ**>)
CFEX4: P04**機能拡張**(D4/0x402DF<**ポート機能拡張レジスタ**>)
CFEX5: P05**機能拡張**(D5/0x402DF<**ポート機能拡張レジスタ**>)
CFEX6: P06**機能拡張**(D6/0x402DF<**ポート機能拡張レジスタ**>)
CFEX7: P07**機能拡張**(D7/0x402DF<**ポート機能拡張レジスタ**>)

入出力兼用ポート端子の拡張機能を選択します。

"1"書き込み: 拡張機能端子
"0"書き込み: 入出力兼用ポート端子/周辺回路用端子
読み出し: 無効

CFEXxに"1"を書き込むと、対応する端子が拡張機能用の入出力端子に設定されます。CFEXxが"0"の場合はCFPビットが有効となります。
コールドスタート時、CFEX0およびCFEX1は"1"(拡張機能端子)に設定され、その他のビットは"0"(入出力兼用ポート端子/周辺回路用端子)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

入力割り込み

入力ポートと入出力兼用ポートは8系列のポート入力割り込みと2系列のキー入力割り込みをサポートしています。

ポート入力割り込み

ポート入力割り込み回路は8本の割り込み系列(FPT7～FPT0)を持ち、それぞれの割り込み要因を発生するポートを選択することができます。
割り込み条件についても、入力信号のエッジで割り込みを発生させるか、レベルによって発生させるか選択可能です。
図9.3にポート入力割り込み回路の構成を示します。

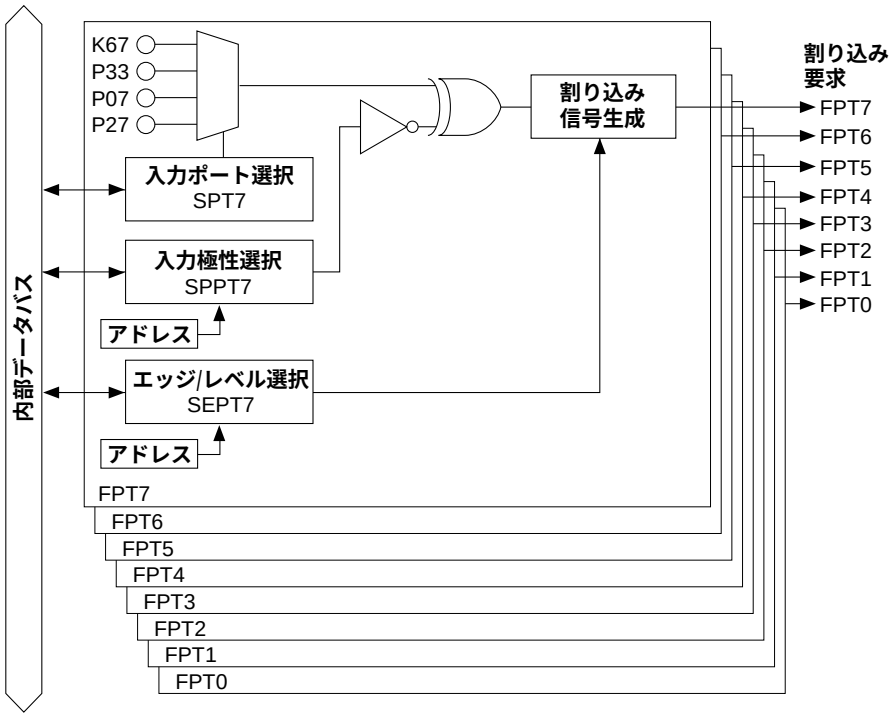


図9.3 **ポート入力割り込み回路の構成**

■ 入力端子の選択

各割り込み要因ごとに、入力端子を既定の4本の中から選択できます。
表9.5に各要因で選択可能な入力端子と選択に使用する制御ビットを示します。

表9.5 **ポート入力割り込み用入力端子の選択**

割り込み要因	制御ビット	SPT設定			
		11	10	01	00
FPT7	SPT7[1:0] (**ポート入力割り込み選択レジスタ**2 0x402C7•D[7:6])	P27	P07	P33	K67
FPT6	SPT6[1:0] (**ポート入力割り込み選択レジスタ**2 0x402C7•D[5:4])	P26	P06	P32	K66
FPT5	SPT5[1:0] (**ポート入力割り込み選択レジスタ**2 0x402C7•D[3:2])	P25	P05	P31	K65
FPT4	SPT4[1:0] (**ポート入力割り込み選択レジスタ**2 0x402C7•D[1:0])	P24	P04	K54	K64
FPT3	SPT3[1:0] (**ポート入力割り込み選択レジスタ**1 0x402C6•D[7:6])	P23	P03	K53	K63
FPT2	SPT2[1:0] (**ポート入力割り込み選択レジスタ**1 0x402C6•D[5:4])	P22	P02	K52	K62
FPT1	SPT1[1:0] (**ポート入力割り込み選択レジスタ**1 0x402C6•D[3:2])	P21	P01	K51	K61
FPT0	SPT0[1:0] (**ポート入力割り込み選択レジスタ**1 0x402C6•D[1:0])	P20	P00	K50	K60

■ ポート入力割り込みの発生条件

各ポート入力割り込みは、入力信号のエッジまたはレベルで発生させることができます。エッジとレベルの選択は、ポート入力割り込みエッジ/レベル選択レジスタ(0x402C9)のSEPTxビットで行います。SEPTxを"1"に設定するとFPTx割り込みは入力信号のエッジで発生し、"0"を設定すると信号レベルで発生します。
また、割り込みを発生させる信号の極性を、ポート入力割り込み入力極性選択レジスタ(0x402C8)のSPPTxビットで選択します。
これらのレジスタにより、ポート入力割り込み条件は表9.6のように決まります。

表9.6 ポート入力割り込み発生条件

SEPTx	SPPTx	FPTx割り込み条件
1	1	**立ち上がりエッジ**
1	0	**立ち下がりエッジ**
0	1	High**レベル**
0	0	Low**レベル**

入力信号が指定された状態に変化すると、割り込み要因フラグFPが"1"にセットされ、割り込みコントローラによる他の割り込み条件が整っていれば割り込みを発生します。

キー入力割り込み

キー入力割り込み回路は2本の割り込み系列(FPK1、FPK0)を持ち、それぞれの割り込み要因を発生するポートの組み合わせを選択することができます。
割り込み条件についても、ソフトウェアで選択可能です。
図9.4にキー入力割り込み回路の構成を示します。

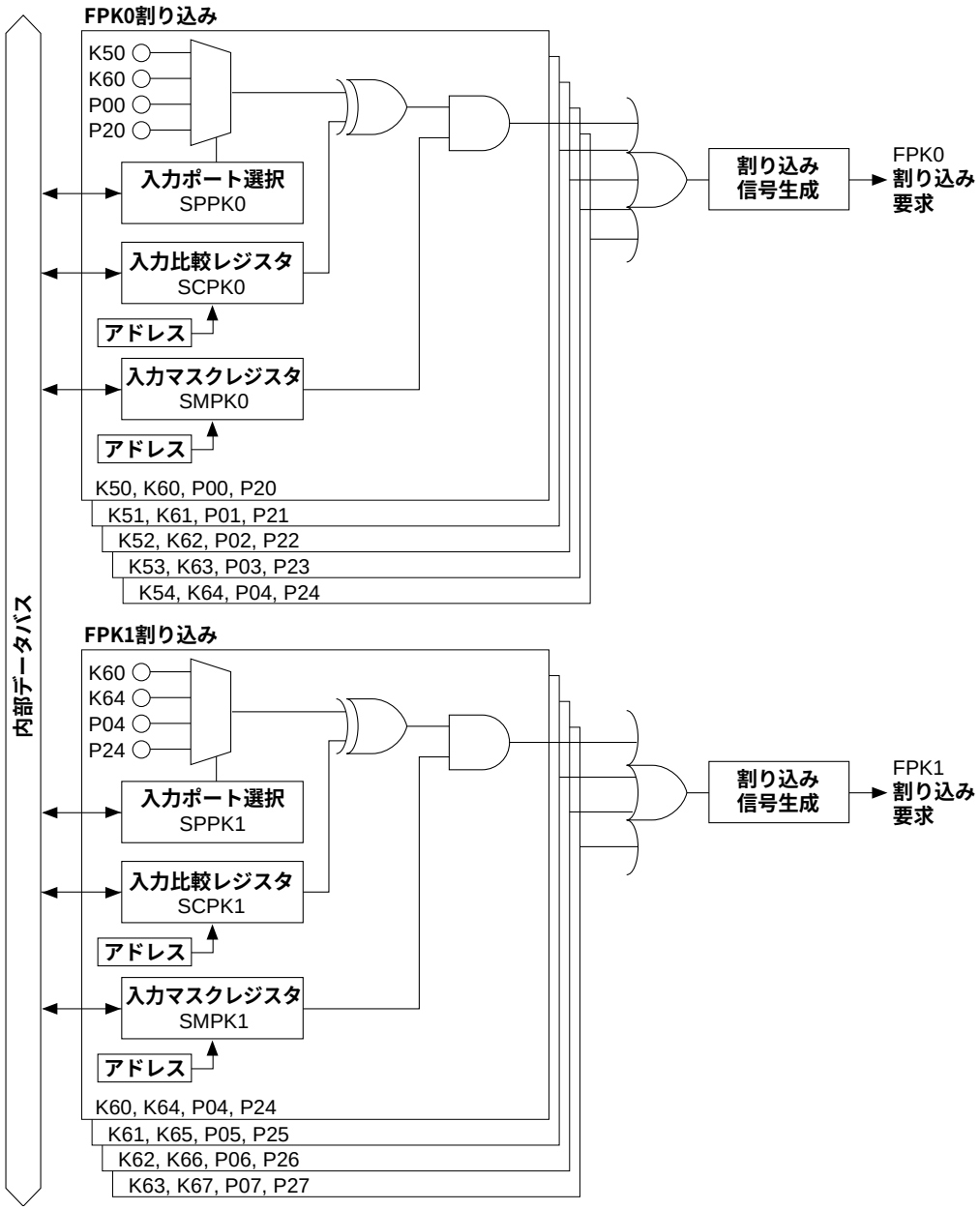


図9.4 **キー入力割り込み回路の構成**

■ 入力端子の選択

FPK1割り込みには、4ビットの入力端子系列を既定の4種類の中から選択できます。FPK0割り込みには、5ビットの入力端子系列を選択できます。
表9.7に各要因で選択可能な入力端子系列と選択に使用する制御ビットを示します。

表9.7 キー入力割り込み用入力端子の選択

割り込み要因	制御ビット	SPPK設定			
		11	10	01	00
FPK1	SPPK1[1:0] (**キー入力割り込み選択レジスタ**0x402CA•D[3:2])	P2[7:4]	P0[7:4]	K6[7:4]	K6[3:0]
FPK0	SPPK0[1:0] (**キー入力割り込み選択レジスタ**0x402CA•D[1:0])	P2[4:0]	P0[4:0]	K6[4:0]	K5[4:0]

■ キー入力割り込み発生条件

キー入力割り込み回路には、入力割り込み条件を設定する入力マスクレジスタ(FPK0用: SMPK0[4:0]、FPK1用: SMPK1[3:0])と入力比較レジスタ(FPK0用: SCPK0[4:0]、FPK1用: SCPK0[3:0])が設けられています。
入力マスクレジスタSMPKは、入力端子系列内で割り込みに使用ない入力端子を選択します。割り込みコントローラの割り込みイネーブルレジスタが割り込み系列ごとの割り込み要因をマスクするのに対し、入力マスクレジスタSMPKは入力端子個別にマスク設定を行います。
入力比較レジスタSCPKは、各入力ポートの割り込みを入力の立ち上がりエッジで発生させるか、立ち下がりエッジで発生させるかを選択します。

入力マスクレジスタSMPKによって割り込みが許可されている入力端子と入力比較レジスタSCPKとの内容が一致状態から不一致状態に変化すると、割り込み要因フラグFKが"1"にセットされ、他の割り込み条件が整っていれば割り込みを発生します。
図9.5にFPK0の割り込み発生例を示します。なお、割り込みコントローラの制御レジスタはFPK0割り込みが発生可能な状態に設定されているものとします。

図9.5 FPK0割り込み発生例(SPPK[1:0]でK5[4:0]が選択されている場合)

K50は入力マスクビットSMPK00によって割り込みが禁止されているため、(2)の時点では割り込みは発生しません。
次に(3)でK53が"0"になるため、割り込みが許可されている入力端子K5[4:1]のデータと入力比較レジスタSCPK[4:1]のデータとの不一致により割り込みが発生します。
前述のとおり、入力データと入力比較レジスタSCPKの内容が一致状態から不一致状態に変化することが割り込み発生条件となるため、(4)のように不一致状態から、別の不一致状態に変化しても割り込みは発生しません。したがって、割り込み発生後に再度割り込みを発生させる場合は、入力端子の状態を一度入力比較レジスタSCPKと同じ内容に戻すか、入力比較レジスタSCPKを再設定する必要があります。なお、SMPKによって割り込みが禁止されている入力端子については割り込み発生条件に影響を与えません。

FPK1についても同様に割り込みが発生します。

割り込みコントローラの制御レジスタ

各入力割り込み系列ごとに用意されている割り込みコントローラの制御レジスタを、表9.8に示します。

表9.8 割り込みコントローラの制御レジスタ

割り込み系列	割り込み要因フラグ	割り込みイネーブルレジスタ	割り込みプライオリティレジスタ
FPT7	FP7(D5/0x40287)	EP7(D5/0x40277)	PP7L[2:0](D[6:4]/0x4026D)
FPT6	FP6(D4/0x40287)	EP6(D4/0x40277)	PP6L[2:0](D[2:0]/0x4026D)
FPT5	FP5(D3/0x40287)	EP5(D3/0x40277)	PP5L[2:0](D[6:4]/0x4026C)
FPT4	FP4(D2/0x40287)	EP4(D2/0x40277)	PP4L[2:0](D[2:0]/0x4026C)
FPT3	FP3(D3/0x40280)	EP3(D3/0x40270)	PP3L[2:0](D[6:4]/0x40261)
FPT2	FP2(D2/0x40280)	EP2(D2/0x40270)	PP2L[2:0](D[2:0]/0x40261)
FPT1	FP1(D1/0x40280)	EP1(D1/0x40270)	PP1L[2:0](D[6:4]/0x40260)
FPT0	FP0(D0/0x40280)	EP0(D0/0x40270)	PP0L[2:0](D[2:0]/0x40260)
FPK1	FK1(D5/0x40280)	EK1(D5/0x40270)	PK1L[2:0](D[6:4]/0x40262)
FPK0	FK0(D4/0x40280)	EK0(D4/0x40270)	PK0L[2:0](D[2:0]/0x40262)

前述の入力割り込み発生条件が成立すると、それぞれに対応した割り込み要因フラグが"1"にセットされます。その割り込み要因に対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。
割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、その要因による割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず("0"に設定されていても)、割り込み条件の成立によって"1"にセットされます。
割り込みプライオリティレジスタは、割り込み系列ごとの割り込みの優先レベル(0～7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。
また、入力割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した入力割り込みのレベルよりも小さな値に設定されている場合に限られます。
これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITC(割り込みコントローラ)"を参照してください。

■ インテリジェントDMA

ポート入力割り込みは、各割り込み要因によってインテリジェントDMA(IDMA)を起動することができます。これにより、ポート入力をトリガとしたDMA転送が行えます。
各要因に設定されたIDMAチャネル番号は次のとおりです。

	IDMA Ch.		IDMA Ch.
FPT0入力割り込み:	1	FPT4入力割り込み:	28
FPT1入力割り込み:	2	FPT5入力割り込み:	29
FPT2入力割り込み:	3	FPT6入力割り込み:	30
FPT3入力割り込み:	4	FPT7入力割り込み:	31

IDMAを起動させるには、表9.9に示すIDMAリクエストビットおよびIDMAイネーブルビットに"1"を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。

表9.9 IDMA転送の制御ビット

割り込み要因	IDMAリクエストビット	IDMAイネーブルビット
FPT7	RP7(D7/0x40293)	DEP7(D7/0x40297)
FPT6	RP6(D6/0x40293)	DEP6(D6/0x40297)
FPT5	RP5(D5/0x40293)	DEP5(D5/0x40297)
FPT4	RP4(D4/0x40293)	DEP4(D4/0x40297)
FPT3	RP3(D3/0x40290)	DEP3(D3/0x40294)
FPT2	RP2(D2/0x40290)	DEP2(D2/0x40294)
FPT1	RP1(D1/0x40290)	DEP1(D1/0x40294)
FPT0	RP0(D0/0x40290)	DEP0(D0/0x40294)

IDMAリクエストビットとIDMAイネーブルビットが"1"に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はDMA転送終了後に発生します。また、DMA転送のみを行い、割り込みは発生しないように設定することもできます。DMA転送とDMA転送終了後の割り込み制御については、"IDMA(インテリジェントDMA)"を参照してください。

■ トラップベクタ

各入力割り込み要因のトラップベクタアドレスは、デフォルトでそれぞれ以下のとおり設定されています。

FPT0入力割り込み: 0x0C00040
FPT1入力割り込み: 0x0C00044
FPT2入力割り込み: 0x0C00048
FPT3入力割り込み: 0x0C0004C
FPK0入力割り込み: 0x0C00050
FPK1入力割り込み: 0x0C00054
FPT4入力割り込み: 0x0C00110
FPT5入力割り込み: 0x0C00114
FPT6入力割り込み: 0x0C00118
FPT7入力割り込み: 0x0C0011C

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134～0x48137)で変更することも可能です。

入力割り込みのI/Oメモリ

表9.10にポート入力割り込みおよびキー入力割り込みの制御ビットを示します。

表9.10 入力割り込みの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
ポート入力割り込み0/1プライオリティレジスタ	0040260 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PP1L2	ポート入力1	0〜7	X	R/W	
		D5	PP1L1	割り込みレベル		X		
		D4	PP1L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PP0L2	ポート入力0	0〜7	X	R/W	
		D1	PP0L1	割り込みレベル		X		
		D0	PP0L0			X		
ポート入力割り込み2/3プライオリティレジスタ	0040261 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PP3L2	ポート入力3	0〜7	X	R/W	
		D5	PP3L1	割り込みレベル		X		
		D4	PP3L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PP2L2	ポート入力2	0〜7	X	R/W	
		D1	PP2L1	割り込みレベル		X		
		D0	PP2L0			X		
キー入力割り込みプライオリティレジスタ	0040262 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PK1L2	キー入力1	0〜7	X	R/W	
		D5	PK1L1	割り込みレベル		X		
		D4	PK1L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PK0L2	キー入力0	0〜7	X	R/W	
		D1	PK0L1	割り込みレベル		X		
		D0	PK0L0			X		
ポート入力割り込み4/5プライオリティレジスタ	004026C (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PP5L2	ポート入力5	0〜7	X	R/W	
		D5	PP5L1	割り込みレベル		X		
		D4	PP5L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PP4L2	ポート入力4	0〜7	X	R/W	
		D1	PP4L1	割り込みレベル		X		
		D0	PP4L0			X		
ポート入力割り込み6/7プライオリティレジスタ	004026D (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PP7L2	ポート入力7	0〜7	X	R/W	
		D5	PP7L1	割り込みレベル		X		
		D4	PP7L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PP6L2	ポート入力6	0〜7	X	R/W	
		D1	PP6L1	割り込みレベル		X		
		D0	PP6L0			X		
キー入力, ポート入力0–3割り込みイネーブルレジスタ	0040270 (B)	D7–6	–	reserved	–	–	–	読み出し時: 0
		D5	EK1	キー入力1	1 許可 0 禁止	0	R/W	
		D4	EK0	キー入力0		0	R/W	
		D3	EP3	ポート入力3		0	R/W	
		D2	EP2	ポート入力2		0	R/W	
		D1	EP1	ポート入力1		0	R/W	
		D0	EP0	ポート入力0		0	R/W	
ポート入力4–7, 計時タイマ, A/D割り込みイネーブルレジスタ	0040277 (B)	D7–6	–	reserved	–	–	–	読み出し時: 0
		D5	EP7	ポート入力7	1 許可 0 禁止	0	R/W	
		D4	EP6	ポート入力6		0	R/W	
		D3	EP5	ポート入力5		0	R/W	
		D2	EP4	ポート入力4		0	R/W	
		D1	ECTM	計時タイマ		0	R/W	
		D0	EADE	A/D変換器		0	R/W	
キー入力, ポート入力0–3割り込み要因フラグレジスタ	0040280 (B)	D7–6	–	reserved	–	–	–	読み出し時: 0
		D5	FK1	キー入力1	1 要因発生 0 要因なし	X	R/W	
		D4	FK0	キー入力0		X	R/W	
		D3	FP3	ポート入力3		X	R/W	
		D2	FP2	ポート入力2		X	R/W	
		D1	FP1	ポート入力1		X	R/W	
		D0	FP0	ポート入力0		X	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定				Init.	R/W	注　　釈
ポート入力4–7, 計時タイマ, A/D 割り込み要因 フラグレジスタ	0040287 (B)	D7–6	–	reserved	–				–	–	読み出し時: 0
		D5	FP7	ポート入力7	1	要因発生	0	要因なし	X	R/W	
		D4	FP6	ポート入力6					X	R/W	
		D3	FP5	ポート入力5					X	R/W	
		D2	FP4	ポート入力4					X	R/W	
		D1	FCTM	計時タイマ					X	R/W	
		D0	FADE	A/D変換器					X	R/W	
ポート入力0–3, 高速DMA Ch.0/1, 16bitタイマ0 IDMAリクエスト レジスタ	0040290 (B)	D7	R16TC0	16bitタイマ0コンペアA	1	IDMA要求	0	割り込み 要求	0	R/W	
		D6	R16TU0	16bitタイマ0コンペアB					0	R/W	
		D5	RHDM1	高速DMA Ch.1					0	R/W	
		D4	RHDM0	高速DMA Ch.0					0	R/W	
		D3	RP3	ポート入力3					0	R/W	
		D2	RP2	ポート入力2					0	R/W	
		D1	RP1	ポート入力1					0	R/W	
		D0	RP0	ポート入力0					0	R/W	
シリアルI/F Ch.1, A/D, ポート入力4–7 IDMAリクエスト レジスタ	0040293 (B)	D7	RP7	ポート入力7	1	IDMA要求	0	割り込み 要求	0	R/W	
		D6	RP6	ポート入力6					0	R/W	
		D5	RP5	ポート入力5					0	R/W	
		D4	RP4	ポート入力4					0	R/W	
		D3	–	reserved	–				–	–	読み出し時: 0
		D2	RADE	A/D変換器	1	IDMA要求	0	割り込み 要求	0	R/W	
		D1	RSTX1	SIF Ch.1送信バッファエンプティ					0	R/W	
		D0	RSRX1	SIF Ch.1受信バッファフル					0	R/W	
ポート入力0–3, 高速DMA Ch.0/1, 16bitタイマ0 IDMAイネーブル レジスタ	0040294 (B)	D7	DE16TC0	16bitタイマ0コンペアA	1	IDMA許可	0	IDMA禁止	0	R/W	
		D6	DE16TU0	16bitタイマ0コンペアB					0	R/W	
		D5	DEHDM1	高速DMA Ch.1					0	R/W	
		D4	DEHDM0	高速DMA Ch.0					0	R/W	
		D3	DEP3	ポート入力3					0	R/W	
		D2	DEP2	ポート入力2					0	R/W	
		D1	DEP1	ポート入力1					0	R/W	
		D0	DEP0	ポート入力0					0	R/W	
シリアルI/F Ch.1, A/D, ポート入力4–7 IDMAイネーブル レジスタ	0040297 (B)	D7	DEP7	ポート入力7	1	IDMA許可	0	IDMA禁止	0	R/W	
		D6	DEP6	ポート入力6					0	R/W	
		D5	DEP5	ポート入力5					0	R/W	
		D4	DEP4	ポート入力4					0	R/W	
		D3	–	reserved	–				–	–	読み出し時: 0
		D2	DEADE	A/D変換器	1	IDMA許可	0	IDMA禁止	0	R/W	
		D1	DESTX1	SIF Ch.1送信バッファエンプティ					0	R/W	
		D0	DESRX1	SIF Ch.1受信バッファフル					0	R/W	
ポート入力 割り込み選択 レジスタ1	00402C6 (B)	D7	SPT31	FPT3割り込み入力ポート選択	11	10	01	00	0	R/W	
		D6	SPT30		P23	P03	K53	K63	0		
		D5	SPT21	FPT2割り込み入力ポート選択	11	10	01	00	0	R/W	
		D4	SPT20		P22	P02	K52	K62	0		
		D3	SPT11	FPT1割り込み入力ポート選択	11	10	01	00	0	R/W	
		D2	SPT10		P21	P01	K51	K61	0		
		D1	SPT01	FPT0割り込み入力ポート選択	11	10	01	00	0	R/W	
		D0	SPT00		P20	P00	K50	K60	0		
ポート入力 割り込み選択 レジスタ2	00402C7 (B)	D7	SPT71	FPT7割り込み入力ポート選択	11	10	01	00	0	R/W	
		D6	SPT70		P27	P07	P33	K67	0		
		D5	SPT61	FPT6割り込み入力ポート選択	11	10	01	00	0	R/W	
		D4	SPT60		P26	P06	P32	K66	0		
		D3	SPT51	FPT5割り込み入力ポート選択	11	10	01	00	0	R/W	
		D2	SPT50		P25	P05	P31	K65	0		
		D1	SPT41	FPT4割り込み入力ポート選択	11	10	01	00	0	R/W	
		D0	SPT40		P24	P04	K54	K64	0		
ポート入力 割り込み 入力極性選択 レジスタ	00402C8 (B)	D7	SPPT7	FPT7入力極性選択	1	Highレベル または 立ち上がり エッジ	0	Lowレベル または 立ち下がり エッジ	1	R/W	
		D6	SPPT6	FPT6入力極性選択					1	R/W	
		D5	SPPT5	FPT5入力極性選択					1	R/W	
		D4	SPPT4	FPT4入力極性選択					1	R/W	
		D3	SPPT3	FPT3入力極性選択					1	R/W	
		D2	SPPT2	FPT2入力極性選択					1	R/W	
		D1	SPPT1	FPT1入力極性選択					1	R/W	
		D0	SPPT0	FPT0入力極性選択					1	R/W	
ポート入力 割り込み エッジ/レベル 選択レジスタ	00402C9 (B)	D7	SEPT7	FPT7エッジ/レベル選択	1	エッジ	0	レベル	1	R/W	
		D6	SEPT6	FPT6エッジ/レベル選択					1	R/W	
		D5	SEPT5	FPT5エッジ/レベル選択					1	R/W	
		D4	SEPT4	FPT4エッジ/レベル選択					1	R/W	
		D3	SEPT3	FPT3エッジ/レベル選択					1	R/W	
		D2	SEPT2	FPT2エッジ/レベル選択					1	R/W	
		D1	SEPT1	FPT1エッジ/レベル選択					1	R/W	
		D0	SEPT0	FPT0エッジ/レベル選択					1	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定				Init.	R/W	注　　釈
キー入力	00402CA	D7–4	–	reserved	–				–	–	読み出し時: 0
割り込み選択	(B)	D3	SPPK11	FPK1割り込み入力ポート選択	11	10	01	00	0	R/W	
レジスタ		D2	SPPK10		P2[7:4]	P0[7:4]	K6[7:4]	K6[3:0]	0		
		D1	SPPK01	FPK0割り込み入力ポート選択	11	10	01	00	0	R/W	
		D0	SPPK00		P2[4:0]	P0[4:0]	K6[4:0]	K5[4:0]	0		
キー入力	00402CC	D7–5	–	reserved	–				–	–	読み出し時: 0
割り込み(FPK0)	(B)	D4	SCPK04	FPK04入力比較	1	High	0	Low	0	R/W	
入力比較		D3	SCPK03	FPK03入力比較					0	R/W	
レジスタ		D2	SCPK02	FPK02入力比較					0	R/W	
		D1	SCPK01	FPK01入力比較					0	R/W	
		D0	SCPK00	FPK00入力比較					0	R/W	
キー入力	00402CD	D7–4	–	reserved	–				–	–	読み出し時: 0
割り込み(FPK1)	(B)	D3	SCPK13	FPK13入力比較	1	High	0	Low	0	R/W	
入力比較		D2	SCPK12	FPK12入力比較					0	R/W	
レジスタ		D1	SCPK11	FPK11入力比較					0	R/W	
		D0	SCPK10	FPK10入力比較					0	R/W	
キー入力	00402CE	D7–5	–	reserved	–				–	–	読み出し時: 0
割り込み(FPK0)	(B)	D4	SMPK04	FPK04入力マスク	1	割り込み	0	割り込み	0	R/W	
入力マスク		D3	SMPK03	FPK03入力マスク		許可		禁止	0	R/W	
レジスタ		D2	SMPK02	FPK02入力マスク					0	R/W	
		D1	SMPK01	FPK01入力マスク					0	R/W	
		D0	SMPK00	FPK00入力マスク					0	R/W	
キー入力	00402CF	D7–4	–	reserved	–				–	–	読み出し時: 0
割り込み(FPK1)	(B)	D3	SMPK13	FPK13入力マスク	1	割り込み	0	割り込み	0	R/W	
入力マスク		D2	SMPK12	FPK12入力マスク		許可		禁止	0	R/W	
レジスタ		D1	SMPK11	FPK11入力マスク					0	R/W	
		D0	SMPK10	FPK10入力マスク					0	R/W	

SPT71–SPT70: FPT7**割り込み入力ポート選択**(D[7:6]/0x402C7<**ポート入力割り込み選択レジスタ**2>)
SPT61–SPT60: FPT6**割り込み入力ポート選択**(D[5:4]/0x402C7<**ポート入力割り込み選択レジスタ**2>)
SPT51–SPT50: FPT5**割り込み入力ポート選択**(D[3:2]/0x402C7<**ポート入力割り込み選択レジスタ**2>)
SPT41–SPT40: FPT4**割り込み入力ポート選択**(D[1:0]/0x402C7<**ポート入力割り込み選択レジスタ**2>)
SPT31–SPT30: FPT3**割り込み入力ポート選択**(D[7:6]/0x402C6<**ポート入力割り込み選択レジスタ**1>)
SPT21–SPT20: FPT2**割り込み入力ポート選択**(D[5:4]/0x402C6<**ポート入力割り込み選択レジスタ**1>)
SPT11–SPT10: FPT1**割り込み入力ポート選択**(D[3:2]/0x402C6<**ポート入力割り込み選択レジスタ**1>)
SPT01–SPT00: FPT0**割り込み入力ポート選択**(D[1:0]/0x402C6<**ポート入力割り込み選択レジスタ**1>)

ポート入力割り込みに使用する入力端子を選択します。

表9.11 **ポート入力割り込み用入力端子の選択**

割り込み	SPT**設定**			
系列	11	10	01	00
FPT7	P27	P07	P33	K67
FPT6	P26	P06	P32	K66
FPT5	P25	P05	P31	K65
FPT4	P24	P04	K54	K64
FPT3	P23	P03	K53	K63
FPT2	P22	P02	K52	K62
FPT1	P21	P01	K51	K61
FPT0	P20	P00	K50	K60

コールドスタート時、SPTは"00"に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SPPT7–SPPT0: **入力極性選択**(D[7:0]/0x402C8<**ポート入力割り込み入力極性選択レジスタ**>)

ポート入力割り込みを発生させる入力信号の極性を選択します。

"1"書き込み: Highレベルまたは立ち上がりエッジ
"0"書き込み: Lowレベルまたは立ち下がりエッジ
読み出し: 可能

SPPTxはFPTx割り込みに対応する入力極性選択ビットです。SPPTxを"1"に設定すると、FPTx割り込みは入力がHighレベルになるか、または立ち上がりエッジで発生します。SPPTxを"0"に設定すると、FPTx割り込みは入力がLowレベルになるか、または立ち下がりエッジで発生します。エッジとレベルの選択はSEPTxビットで行います。
コールドスタート時、SPPTは"0"(Lowレベル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SEPT7–SEPT0: **エッジ/レベル選択**(D[7:0]/0x402C9<**ポート入力割り込みエッジ/レベル選択レジスタ**>)

ポート入力割り込みを入力信号のエッジで発生させるか、レベルで発生させるか選択します。

"1"書き込み: エッジ
"0"書き込み: レベル
読み出し: 可能

SEPTxはFPTx割り込みに対応するエッジ/レベル選択ビットです。SEPTxを"1"に設定すると、FPTx割り込みは入力のエッジで発生します。SPPTxビットの設定により、立ち上がりエッジまたは立ち下がりエッジが選択されます。SEPTxを"0"に設定すると、FPTx割り込みは入力のレベルで発生します。SPPTxビットの設定により、HighレベルまたはLowレベルが選択されます。
コールドスタート時、SEPTは"0"(レベル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SPPK11–SPPK10: FPK1**割り込み入力ポート選択**(D[3:2]/0x402CA<**キー入力割り込み選択レジスタ**>)
SPPK01–SPPK00: FPK0**割り込み入力ポート選択**(D[1:0]/0x402CA<**キー入力割り込み選択レジスタ**>)

キー入力割り込みに使用する入力端子系列を選択します。

表9.12 **キー入力割り込み用入力端子の選択**

割り込み系列	SPPK**設定**			
	11	10	01	00
FPK1	P2[7:4]	P0[7:4]	K6[7:4]	K6[3:0]
FPK0	P2[4:0]	P0[4:0]	K6[4:0]	K5[4:0]

コールドスタート時、SPPKは"00"に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SCPK13–SCPK10: FPK1**入力比較**(D[3:0]/0x402CD<FPK1**入力比較レジスタ**>)
SCPK04–SCPK00: FPK0**入力比較**(D[4:0]/0x402CC<FPK0**入力比較レジスタ**>)

キー入力割り込み発生条件(割り込み発生タイミング)を設定します。

"1"書き込み: 立ち下がりエッジ
"0"書き込み: 立ち上がりエッジ
読み出し: 可能

SCPK0[4:0]はFPK0の5ビットの入力状態、SCPK1[3:0]はFPK1の4ビットの入力状態と比較され、それぞれの内容が一致状態から不一致状態に変化した場合に割り込み要求が発生します(SMPKビットで割り込み禁止に設定した入力は比較の対象とはなりません)。
コールドスタート時、SCPKは"0"(立ち上がりエッジ)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SMPK13–SMPK10: FPK1**入力マスク**(D[3:0]/0x402CF<FPK1**入力マスクレジスタ**>)
SMPK04–SMPK00: FPK0**入力マスク**(D[4:0]/0x402CE<FPK0**入力マスクレジスタ**>)

キー入力割り込み発生条件(割り込み許可/禁止)を設定します。

"1"書き込み: 割り込み許可
"0"書き込み: 割り込み禁止
読み出し: 可能

SMPKはキー入力割り込み端子系列の各ビットに対応する入力マスクビットで、"1"に設定したビットの割り込みが許可され、"0"に設定したビットの割り込みが禁止されます。割り込み禁止に設定した入力端子の状態変化は、割り込みの発生に影響を与えません。
コールドスタート時、SMPKは"0"(割り込み禁止)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

PP0L2–PP0L0: **ポート入力0割り込みレベル**(D[2:0]/0x40260<**ポート入力0/1割り込みプライオリティレジスタ**>)
PP1L2–PP1L0: **ポート入力1割り込みレベル**(D[6:4]/0x40260<**ポート入力0/1割り込みプライオリティレジスタ**>)
PP2L2–PP2L0: **ポート入力2割り込みレベル**(D[2:0]/0x40261<**ポート入力2/3割り込みプライオリティレジスタ**>)
PP3L2–PP3L0: **ポート入力3割り込みレベル**(D[6:4]/0x40261<**ポート入力2/3割り込みプライオリティレジスタ**>)
PP4L2–PP4L0: **ポート入力4割り込みレベル**(D[2:0]/0x4026C<**ポート入力4/5割り込みプライオリティレジスタ**>)
PP5L2–PP5L0: **ポート入力5割り込みレベル**(D[6:4]/0x4026C<**ポート入力4/5割り込みプライオリティレジスタ**>)
PP6L2–PP6L0: **ポート入力6割り込みレベル**(D[2:0]/0x4026D<**ポート入力6/7割り込みプライオリティレジスタ**>)
PP7L2–PP7L0: **ポート入力7割り込みレベル**(D[6:4]/0x4026D<**ポート入力6/7割り込みプライオリティレジスタ**>)
PK0L2–PK0L0: **キー入力0割り込みレベル**(D[2:0]/0x40262<**キー入力割り込みプライオリティレジスタ**>)
PK1L2–PK1L0: **キー入力1割り込みレベル**(D[6:4]/0x40262<**キー入力割り込みプライオリティレジスタ**>)

入力割り込みの優先レベルを設定します。
PPxLはポート入力割り込み、PKxLはキー入力割り込みに対応した割り込みプライオリティレジスタです。それぞれの割り込み系列の優先レベルを0～7の範囲で設定できます。
イニシャルリセット時、これらのレジスタは不定となります。

EP3–EP0: **ポート入力**3–0**割り込みイネーブル**
(D[3:0]/0x40270<**キー入力**, **ポート入力**0–3**割り込みイネーブルレジスタ**>)
EP7–EP4: **ポート入力**7–4**割り込みイネーブル**
(D[5:2]/0x40277<**ポート入力**4–7, **計時タイマ**, A/D**割り込みイネーブルレジスタ**>)
EK1, EK0: **キー入力**1, 0**割り込みイネーブル**
(D[5:4]/0x40270<**キー入力**, **ポート入力**0–3**割り込みイネーブルレジスタ**>)

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可
"0"書き込み: 割り込み禁止
読み出し: 可能

EPxはポート入力割り込み、EKxはキー入力割り込みの各系列に対応する割り込みイネーブルビットで、"1"に設定した入力割り込みが許可され、"0"に設定した入力割り込みが禁止されます。
イニシャルリセット時、これらのレジスタはすべて"0"(割り込み禁止)に設定されます。

FP3–FP0: **ポート入力**3–0**割り込み要因フラグ**
(D[3:0]/0x40280<**キー入力**, **ポート入力**0–3**割り込み要因フラグレジスタ**>)
FP7–FP4: **ポート入力**7–4**割り込み要因フラグ**
(D[5:2]/0x40287<**ポート入力**4–7, **計時タイマ**, A/D**割り込み要因フラグレジスタ**>)
FK1, FK0: **キー入力**1, 0**割り込み要因フラグ**
(D[5:4]/0x40280<**キー入力**, **ポート入力**0–3**割り込み要因フラグレジスタ**>)

入力割り込み要因の発生状態を示します。

• 読み出し時
"1"読み出し: 割り込み要因あり
"0"読み出し: 割り込み要因なし

• リセットオンリー方式書き込み時 (デフォルト)
"1"書き込み: 要因フラグをリセット
"0"書き込み: 無効

• リード/ライト方式書き込み時
"1"書き込み: 要因フラグをセット
"0"書き込み: 要因フラグをリセット

FPxはポート入力割り込み、FKxはキー入力割り込みの各系列に対応する割り込み要因フラグで、割り込み発生条件の成立により"1"にセットされます。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。
1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

なお、ポート入力割り込み要因をIDMA要求として使用する場合、上記の条件が成立している場合でも、割り込み要因発生時点でCPUに対する割り込み要求は出力されません。IDMAの設定で割り込みを許可してあれば、IDMAによるデータ転送終了後に上記の条件で割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。
割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。
割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。
イニシャルリセット時、割り込み要因フラグはすべて不定となりますので、必ずソフトウェアでリセットしてください。

RP3–RP0: **ポート入力**3–0 IDMA**リクエスト**
(D[3:0]/0x40290<**ポート入力**0–3, **高速**DMA, 16bit**タイマ**0 IDMA**リクエストレジスタ**>)
RP7–RP4: **ポート入力**7–4 IDMA**リクエスト**
(D[7:4]/0x40293<**シリアル**I/F, A/D, **ポート入力**4–7 IDMA**リクエストレジスタ**>)

割り込み要因発生時にIDMAを起動するかどうか設定します。

• セットオンリー方式(デフォルト)
"1"書き込み: IDMA要求
"0"書き込み: 無効
読み出し: 可能

• リード/ライト方式
"1"書き込み: IDMA要求
"0"書き込み: 割り込み要求
読み出し: 可能

RP7～RP0はポート入力7～0の割り込みに対応するIDMAリクエストビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。
IDMAについては"IDMA(インテリジェントDMA)"を参照してください。
イニシャルリセット時、RPは"0"(割り込み要求)に設定されます。

DEP3–DEP0: **ポート入力**3–0 IDMA**イネーブル**
(D[3:0]/0x40294<**ポート入力**0–3, **高速**DMA, 16bit**タイマ**0 IDMA**イネーブルレジスタ**>)
DEP7–DEP4: **ポート入力**7–4 IDMA**イネーブル**
(D[7:4]/0x40297<**シリアル**I/F, A/D, **ポート入力**4–7 IDMA**イネーブルレジスタ**>)

割り込み要因によるIDMA転送を許可または禁止します。

• セットオンリー方式(デフォルト)
"1"書き込み: IDMA許可
"0"書き込み: 無効
読み出し: 可能

• リード/ライト方式
"1"書き込み: IDMA許可
"0"書き込み: IDMA禁止
読み出し: 可能

DEP7～DEP0はポート入力7～0の割り込みに対応するIDMAイネーブルビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。
イニシャルリセット時、DEPは"0"(IDMA禁止)に設定されます。

プログラミング上の注意事項

(1) イニシャルリセット後、割り込み要因フラグは不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。

(2) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。

(3) ポートの動作は、プリスケーラが動作していることが条件です。

(4) HALT2モードまたはSLEEPモードから再起動するトリガとしてポート入力割り込みを使用する場合、割り込み条件としてエッジ割り込みを設定している場合でも割り込みは入力信号のレベルで発生します。
再起動は、立ち上がりと立ち下がりでは次のように動作します。
立ち上がりエッジ割り込み設定時: Highレベル入力で再起動する。
立ち下がりエッジ割り込み設定時: Lowレベル入力で再起動する。

通常動作ではslp命令実行後、一定時間経過してから再起動しますが、立ち下がり(立ち上がり)レベル(エッジ)割り込みで再起動と設定した場合は、次のように動作します。
・slp命令実行後、即時に再起動します。
・slp命令実行時にポートレベルがすでにLowレベルのため、立ち下がり(立ち上がり)エッジを持ちません。このため、一瞬だけSLEEP状態になり、すぐに再起動します。

これは、ポート入力回路に内蔵のクロック信号による同期回路が、SLEEP時またはHALT2時にクロックを停止させた場合にバイパスされるために起きます。
したがって、SLEEP状態またはHALT2状態からのポート入力による再起動は、入力レベルで行われることを前提にシステム設計してください。

このページはブランクです。

S1C33L03 FUNCTION PART

IV　アナログブロック

IV-1 はじめに

アナログブロックは、8本のアナログ入力チャネルを持つ10ビットA/D変換器で構成されています。

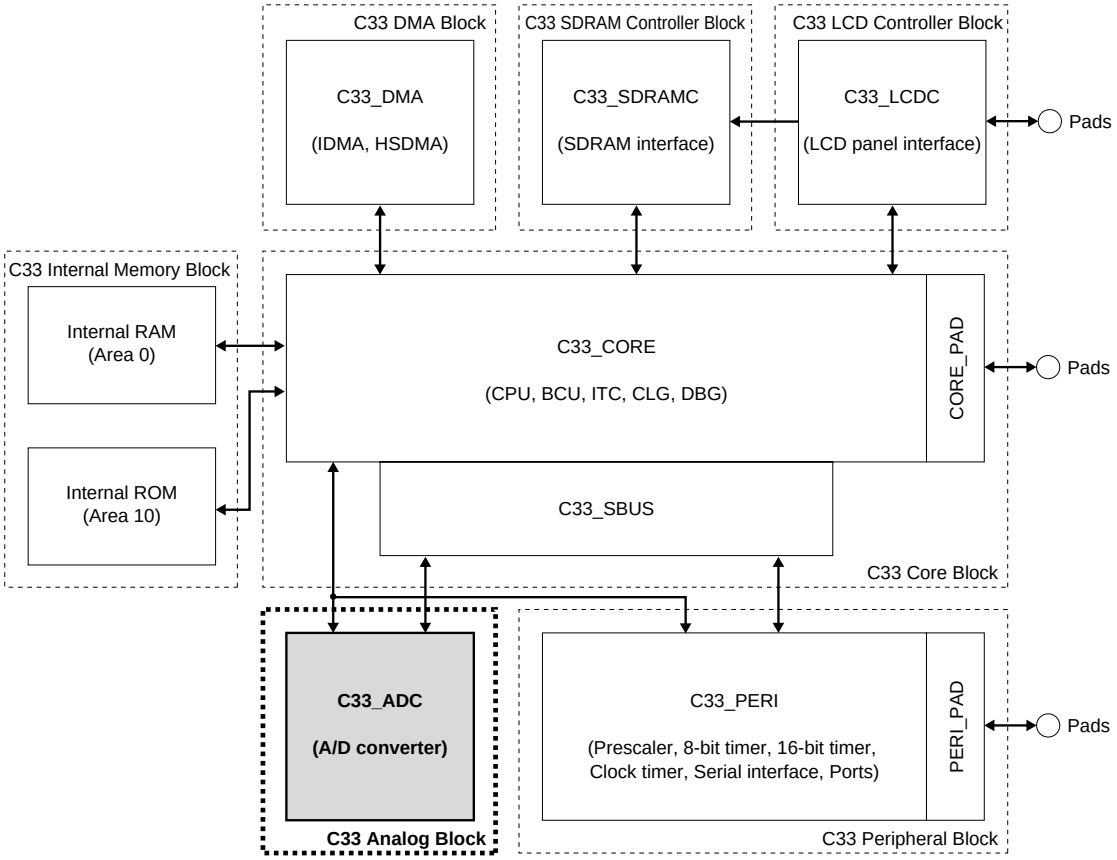


図1.1 **アナログブロック**

（注）S1C33L03**は**ROM**を内蔵しておりません。**

このページはブランクです。

IV-2 A/D変換器

A/D変換器の特長と構成

C33アナログブロックは以下の特長を持つA/D変換器を内蔵しています。

- 変換方式　　逐次比較型
- 分解能　　10ビット
- 入力チャネル　　最大8チャネル
- 変換時間　　最大10µsec (2MHzの入力クロック選択時)
- 変換範囲　　VSS～AVDDE間
- 2種類の変換モードが選択可能
  - 通常モード: 1回の変換で終了
  - 連続モード: 連続的に変換、ソフトウェア制御により終了
  - 各モードで、複数チャネルの連続変換が可能
- 4種類のA/D変換開始トリガが選択可能
  - 外部端子(#ADTRG)によるトリガ
  - 16ビットプログラマブルタイマ0のコンペアマッチBによるトリガ
  - 8ビットプログラマブルタイマ0のアンダーフローによるトリガ
  - ソフトウェアによるトリガ
- A/D変換結果は10ビットデータレジスタから読み出し可能
- A/D変換終了時に割り込み発生

図2.1にA/D変換器の構成を示します。

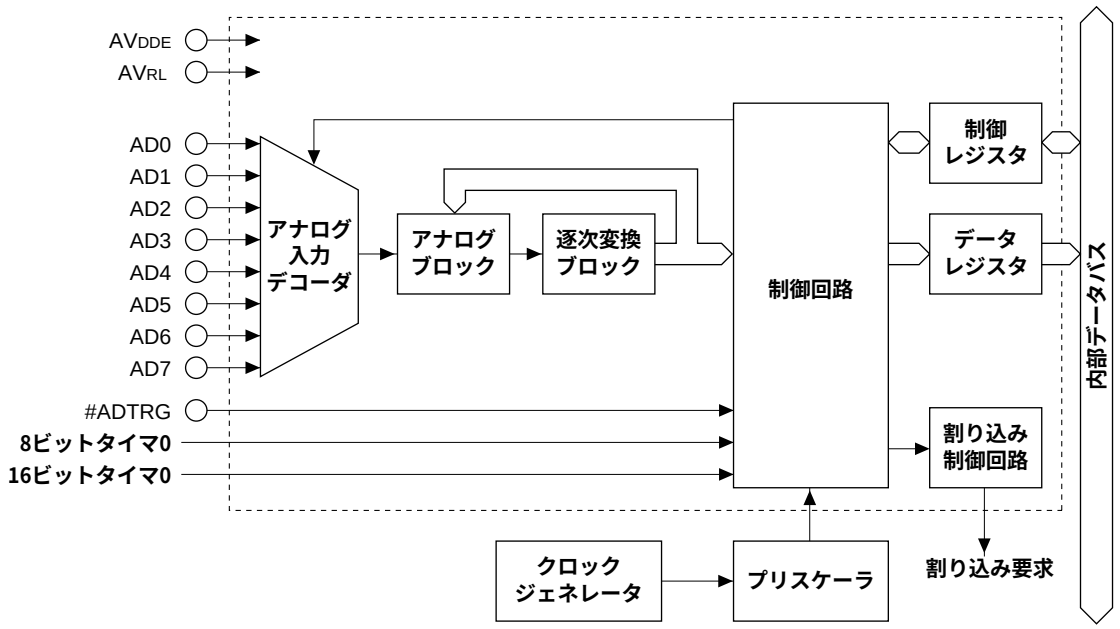


図2.1 A/D変換器の構成

A/D変換器の入力端子

表2.1にA/D変換器で使用する端子を示します。

表2.1 A/D変換器の端子構成

端子名	I/O	機　　能	機能選択ビット
K52/#ADTRG	I	入力ポート/ADトリガ	CFK52(K5機能選択レジスタ0x402C0•D2)
K60/AD0	I	入力ポート/AD変換器入力0	CFK60(K6機能選択レジスタ0x402C3•D0)
K61/AD1	I	入力ポート/AD変換器入力1	CFK61(K6機能選択レジスタ0x402C3•D1)
K62/AD2	I	入力ポート/AD変換器入力2	CFK62(K6機能選択レジスタ0x402C3•D2)
K63/AD3	I	入力ポート/AD変換器入力3	CFK63(K6機能選択レジスタ0x402C3•D3)
K64/AD4	I	入力ポート/AD変換器入力4	CFK64(K6機能選択レジスタ0x402C3•D4)
K65/AD5	I	入力ポート/AD変換器入力5	CFK65(K6機能選択レジスタ0x402C3•D5)
K66/AD6	I	入力ポート/AD変換器入力6	CFK66(K6機能選択レジスタ0x402C3•D6)
K67/AD7	I	入力ポート/AD変換器入力7	CFK67(K6機能選択レジスタ0x402C3•D7)
AVDDE	–	アナログ系電源(+)	–

■ AVDDE (アナログ電源端子)

AVDDE端子はアナログ回路の電源端子です。電圧レベルはAVDDE = VDDEとしてください。

注: **A/D変換器をイネーブル状態にすると、A/D動作を行わないときにもAVDDE～VSS間に電流が流れ電力を消費します。したがって、A/D変換器を使用しない場合は、必ずA/D変換器をディセーブル状態(A/Dイネーブルレジスタ(0x40244)のADE(D2)を"0"、デフォルト)に設定してください。**

■ AD[7:0] (アナログ信号入力端子)

アナログ入力端子AD7(Ch.7)～AD0(Ch.0)は入力ポート端子K67～K60と共用されています。したがって、アナログ入力端子として用いる場合は、ソフトウェアによりA/D変換器用に設定する必要があります。この設定は1端子ごとに行えます。コールドスタート時はすべての端子が入力ポート端子に設定されます。

入力可能なアナログ電圧値AVINはVSS≦AVIN≦AVDDEの範囲です。

■ #ADTRG (外部トリガ入力端子)

#ADTRG端子は、IC外部よりA/D変換を開始させる場合のトリガ信号を入力する端子です。入力ポート端子K52と共用されていますので、外部トリガを与える場合は、ソフトウェアによりA/D変換器用に設定する必要があります。コールドスタート時は入力ポート端子に設定されます。

■ A/D変換器入力端子の設定方法

#ADTRG端子およびAD[7:0]端子は、コールドスタート時にすべて入力ポート端子Kxx(機能選択ビットCFKxx="0")として設定されます。A/D変換器に使用する場合は、CFKxxに"1"を書き込んでください。

ホットスタート時は、リセット前の状態を保持します。

A/D変換器の設定

A/D変換器を使用する場合は、A/D変換開始前に以下の設定が必要です。
1. アナログ入力端子の設定
2. 入力クロックの設定
3. アナログ変換開始チャネル/終了チャネルの選択
4. A/D変換モードの設定
5. トリガの選択
6. サンプリング時間の設定
7. 割り込み/IDMA/HSDMAの設定

以下、各設定内容について説明します。アナログ入力端子の設定については前節を、割り込みとDMAの設定については"A/D変換器割り込みとDMA"を参照してください。

注: **これらの設定は、必ずA/D変換器をディセーブル状態(A/Dイネーブルレジスタ(0x40244)のADE(D2)を"0")にして行ってください。イネーブル状態の設定変更は誤動作の原因となります。**

■ 入力クロックの設定

"プリスケーラ"で説明したとおり、A/D変換クロックを表2.2に示す8種類から選択することができます。選択はA/Dクロックコントロールレジスタ(0x4014F)のPSAD[2:0](D[2:0])によって行います。

表2.2 入力クロックの選択

PSAD2	PSAD1	PSAD0	分周比
1	1	1	fPSCIN/256
1	1	0	fPSCIN/128
1	0	1	fPSCIN/64
1	0	0	fPSCIN/32
0	1	1	fPSCIN/16
0	1	0	fPSCIN/8
0	0	1	fPSCIN/4
0	0	0	fPSCIN/2

fPSCIN: **プリスケーラ入力クロック周波数**

選択したクロックはA/Dクロックコントロールレジスタ(0x4014F)のPSONAD(D3)に"1"を書き込むことにより、プリスケーラからA/D変換器に出力されます。

注:
- A/D**変換器の動作はプリスケーラが動作していることが条件です。("プリスケーラ"参照)**
- **入力クロックの周波数は、**Max. 2MHz**を推奨します。**
- **プリスケーラから**A/D**変換器へのクロック出力が**OFF**の場合に**A/D**変換を開始させたり、**A/D**変換動作中にプリスケーラのクロック出力を**OFF**にしないでください。誤動作の原因となります。**

■ アナログ変換開始チャネル/終了チャネルの選択

アナログ入力に設定した端子(チャネル)の中から、A/D変換を行うチャネルを選択します。
1回の変換動作で複数のチャネルのA/D変換を連続的に行えるようになっているため、変換開始チャネルと変換終了チャネルを指定します。
変換開始チャネルの指定: CS[2:0] (A/Dチャネルレジスタ0x40243•D[2:0])
変換終了チャネルの指定: CE[2:0] (A/Dチャネルレジスタ0x40243•D[5:3])

表2.3 CS/CEと入力チャネルの関係

CS2/CE2	CS1/CE1	CS0/CE0	選択チャネル
1	1	1	AD7
1	1	0	AD6
1	0	1	AD5
1	0	0	AD4
0	1	1	AD3
0	1	0	AD2
0	0	1	AD1
0	0	0	AD0

選択例: 1回のA/D変換の動作
CS[2:0]="0", CE[2:0]="0": AD0のみ変換
CS[2:0]="0", CE[2:0]="3": AD0→AD1→AD2→AD3の順に変換
CS[2:0]="5", CE[2:0]="1": AD5→AD6→AD7→AD0→AD1の順に変換

注: **CSレジスタおよびCEレジスタで設定する変換チャネルの入力端子は、すべてA/D変換器用に設定されていることが必要です。**

■ A/D変換モードの設定

A/D変換器は次の2つのモードで動作可能で、この動作モードはA/Dトリガレジスタ(0x40242)のMS(D5)で選択します。

1. 通常モード(MS = "0")
   CSおよびCEレジスタで選択したチャネル範囲のすべての入力を1回A/D変換して停止します。
2. 連続モード(MS = "1")
   ソフトウェアで停止させるまで、 CSおよびCEレジスタで選択したチャネル範囲のA/D変換を連続的に実行します。

イニシャルリセット時は通常モードに設定されます。

■ トリガの選択

A/D変換を開始させるトリガ方式を、A/Dトリガレジスタ(0x40242)のTS[1:0](D[4:3])で表2.4に示す4種類の中から選択します。

表2.4 トリガの選択

TS1	TS0	トリガ
1	1	**外部トリガ**(K52/#ADTRG)
1	0	8**ビットプログラマブルタイマ**0
0	1	16**ビットプログラマブルタイマ**0
0	0	**ソフトウェア**

1. 外部トリガ

#ADTRG端子への入力信号をトリガとして使用します。
このトリガ方式を使用する場合は、K5機能選択レジスタ(0x402C0)のCFK52(D2)に"1"を書き込み、K52端子を#ADTRG端子として設定しておく必要があります。
A/D変換は、#ADTRG信号の立ち下がりエッジで開始します。

2. プログラマブルタイマ

8ビットプログラマブルタイマ0のアンダーフロー信号または16ビットプログラマブルタイマ0のコンペアマッチB信号をトリガとして使用します。その周期がそれぞれのタイマでプログラマブルに設定できますので、周期的なA/D変換が必要な場合に有効です。
タイマの設定については、各プログラマブルタイマの説明を参照してください。

3. ソフトウェアトリガ

ソフトウェアによるA/Dイネーブルレジスタ(0x40244)のADST(D1)への"1"書き込みをトリガとしてA/D変換を開始します。

■ サンプリング時間の設定

本A/D変換器には、アナログ信号の入力サンプリング時間を4段階(入力クロックの3、5、7または9クロック)に設定可能な制御ビットST[1:0](D[1:0])がA/Dサンプリングレジスタ(0x40245)内に設けられています。ただし、このレジスタはデフォルト(ST = "11"、9クロック)のまま使用してください。

A/D変換の制御と動作

図2.2にA/D変換器の動作を示します。

図2.2 A/D**変換器の動作**

■ A/D変換回路の起動

前節に示した設定を終了後、A/Dイネーブルレジスタ(0x40244)のADE(D2)に"1"を書き込んでA/D変換器をイネーブル状態に設定します。これにより、A/D変換器はA/D変換開始のトリガを受け付け可能な状態となります。

A/D変換器を再設定する場合、あるいは使用しない場合はADEを"0"に設定してください。

■ A/D変換の開始

A/D変換器はADEが"1"の状態でトリガが入力されると、A/D変換を開始します。ソフトウェアトリガを選択した場合は、A/Dイネーブルレジスタ(0x40244)のADST(D1)に"1"を書き込むことにより開始します。

トリガはA/Dトリガレジスタ(0x40242)のTS[1:0](D[4:3])で選択されている内容が有効で、それ以外のトリガは受け付けません。

トリガが入力されると、A/D変換器はCS[2:0]で選択した変換開始チャネルからアナログ入力信号のサンプリングとA/D変換を行います。

そのチャネルのA/D変換が終了すると、A/D変換器は変換結果を10ビットのA/D変換結果レジスタADD[9:0](ADD[9:8] = D[1:0]/0x40241、ADD[7:0] = D[7:0]/0x40240)に格納し、A/Dイネーブルレジスタ(0x40244)の変換終了フラグADF(D3)と割り込み要因フラグFADE(D0/0x40287)をセットします。CS[2:0]とCE[2:0]によって複数のチャネルを指定している場合は、その後も続くチャネルのA/D変換を継続します。

ソフトウェアトリガに使用するADSTは、他のトリガによる場合でもA/D変換中は"1"となり、A/D変換のステータスレジスタとして使用することができます。
また、変換中のチャネルはA/Dトリガレジスタ(0x40242)のCH[2:0](D[2:0])を読み出すことで確認できます。

■ A/D変換結果の読み出し

前記のとおり、A/D変換結果は1つのチャネルの変換が終了するごとにADD[9:0]レジスタに格納されます。同時に割り込みを発生させることができますので、通常はその割り込みを利用して変換データの読み出しを行います。また、次の変換に備えて、割り込み要因フラグを必ずリセット("0"書き込み)してください。
A/D変換器の割り込み要因はDMAを起動することもできますので、変換結果を自動的に指定のメモリに転送することも可能です。

複数のA/D変換チャネルを指定した場合は、次のチャネルの変換が終了する前に変換結果を読み出す必要があります。前の変換結果が読み出される前に現在実行中のA/D変換が終了すると、ADD[9:0]は新しい変換結果で上書きされてしまいます。
なお、変換終了フラグADFが"1"にセットされている状態で(変換データを読み出す前に)ADD[9:0]が更新された場合、A/Dイネーブルレジスタ(0x40244)のオーバーライトエラーフラグOWE(D0)が"1"にセットされます。変換終了フラグADFは変換データが読み出されると"0"にリセットされます。ADFが"0"にリセットされている状態でADD[9:0]が更新された場合はOWEは"0"となり、正常に終了したことを示します。データ読み出し時は、OWEも読み出してデータが有効であることを確認してください。OWEは一度セットされると、ソフトウェアで"0"を書き込むまでリセットされません。
また、OWEがセットされている場合はADFもセットされていますので、変換データを読み出してADFをリセットしてください。

■ A/D変換の終了

- **通常モード**(MS = "1")**の場合**
  通常モードでは、CS[2:0]で指定した変換開始チャネルからCE[2:0]で指定した変換終了チャネルまでのA/D変換を連続的に1回実行したところで終了します。終了すると、ADSTは"0"に戻ります。

- **連続モード**(MS = "0")**の場合**
  連続モードでは、変換開始チャネルから変換終了チャネルまでのA/D変換を繰り返し実行し、ハードウェアはA/D変換を停止しません。終了させるにはソフトウェアでADSTに"0"を書き込みます。ただし、ADSTに"0"を書き込むタイミングによって、動作中のA/D変換が正常に終了する場合と、強制的に中止させられる場合があります。正常終了した場合はADF = "1"となり変換結果を得ることができますが、強制的に中止させられた場合はADFが前の状態を維持し、変換結果を得ることはできません。

- **強制終了**
  連続モード時のみ、ADSTに"0"を書き込むことで実行中のA/D変換を終了させることができます。そのときに変換中の結果を得ることはできません。
  通常モードでは、ADSTに"0"を書き込んでもA/D変換を中止することはできません。
  なお、変換中(ADST = "1")は、ADEへの"0"書き込みによりA/D変換を終了させることはできません。

注: **A/D変換が終了してから、プリスケーラで設定するA/D変換器の動作クロックの1周期分より短い間隔で再度A/D変換をスタートさせると、A/D変換は正しく行われません。**

A/D変換器割り込みとDMA

A/D変換器は、各チャネルのA/D変換終了時に割り込みを発生、またはIDMAを起動することができます。

■ 割り込みコントローラの制御レジスタ

A/D変換器割り込みの制御ビット/レジスタは次のとおりです。
割り込み要因フラグ: FADE (割り込み要因フラグレジスタ0x40287•D0)
割り込みイネーブル: EADE (割り込みイネーブルレジスタ0x40277•D0)
割り込みレベル: PAD[2:0] (割り込みプライオリティレジスタ0x4026A•D[6:4])

A/D変換器は1つのチャネルのA/D変換を終了し、変換結果をADDレジスタに格納したところで割り込み要因フラグを"1"にセットします。このときに、対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。
割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず("0"に設定されていても)、各チャネルのA/D変換終了時に"1"にセットされます。
割り込みプライオリティレジスタは、割り込みの優先レベル(0〜7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。
また、A/D変換器割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定したA/D変換器割り込みのレベルよりも小さな値に設定されている場合に限られます。
これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITC(割り込みコントローラ)"を参照してください。

■ インテリジェントDMA

A/D変換器は、その割り込み要因によってインテリジェントDMA(IDMA)を起動することができます。これにより、割り込み処理ルーチンを実行せずに、変換結果を指定メモリに転送することができます。
A/D変換器に設定されたIDMAチャネル番号は0x1Bです。

IDMAを起動させるには、対応するIDMAリクエストビットとIDMAイネーブルビットに"1"を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。
IDMAリクエスト: RADE (IDMAリクエストレジスタ0x40293•D2)
IDMAイネーブル: DEADE (IDMAイネーブルレジスタ0x40297•D2)

IDMAリクエストビットとIDMAイネーブルビットが"1"に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はDMA転送終了後に発生します。また、DMA転送のみを行い、割り込みは発生しないように設定することもできます。IDMA転送と転送終了後の割り込み制御については、"IDMA(インテリジェントDMA)"を参照してください。

■ 高速DMA

A/D変換終了割り込み要因は、高速DMA(HSDMA)を起動することもできます。
HSDMAチャネル番号とトリガ設定ビットを以下に示します。

表2.5 HSDMAトリガ設定ビット

HSDMA チャネル	トリガ設定ビット
0	HSD0S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298•D[3:0])
1	HSD1S[3:0] (HSDMA Ch.0/1トリガ設定レジスタ0x40298•D[7:4])
2	HSD2S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299•D[3:0])
3	HSD3S[3:0] (HSDMA Ch.2/3トリガ設定レジスタ0x40299•D[7:4])

HSDMAを起動させるには、トリガ設定ビットに"1100"を書き込んでおきます。また、HSDMA側の転送条件等の設定も必要です。
HSDMAのトリガ要因にA/D変換器を選択すると、A/D変換終了割り込み要因の発生でHSDMAが起動します。
HSDMAの詳細については、"HSDMA(高速DMA)"を参照してください。

■ トラップベクタ

A/D変換器割り込みのトラップベクタアドレスは、デフォルトで0x0C00100に設定されます。

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134～0x48137)で変更することも可能です。

A/D変換器のI/Oメモリ

表2.6にA/D変換器の制御ビットを示します。
クロックを設定するプリスケーラのI/Oメモリについては"プリスケーラ"を、トリガに使用するプログラマブルタイマのI/Oメモリについては"8ビットプログラマブルタイマ"または"16ビットプログラマブルタイマ"を参照してください。

表2.6 A/D変換器の制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
A/D変換結果(下位)レジスタ	0040240 (B)	D7	ADD7	A/D変換結果(下位8ビット)	0x0～0x3FF	0	R	
		D6	ADD6	ADD0 = LSB	(下位8ビット)	0		
		D5	ADD5			0		
		D4	ADD4			0		
		D3	ADD3			0		
		D2	ADD2			0		
		D1	ADD1			0		
		D0	ADD0			0		
A/D変換結果(上位)レジスタ	0040241 (B)	D7–2	–	–	–	–	–	読み出し時: 0
		D1	ADD9	A/D変換結果(上位2ビット)	0x0～0x3FF	0	R	
		D0	ADD8	ADD9 = MSB	(上位2ビット)	0		
A/Dトリガレジスタ	0040242 (B)	D7–6	–	–	–	–	–	読み出し時: 0
		D5	MS	A/D変換モード選択	1 連続モード 0 通常モード	0	R/W	
		D4	TS1	A/D変換トリガ選択	TS[1:0] トリガ	0	R/W	
		D3	TS0		1 1 #ADTRG端子	0		
					1 0 8bitタイマ0			
					0 1 16bitタイマ0			
					0 0 ソフトウェア			
		D2	CH2	A/D変換中チャネルステータス	CH[2:0] チャネル	0	R	
		D1	CH1		1 1 1 AD7	0		
		D0	CH0		1 1 0 AD6	0		
					1 0 1 AD5			
					1 0 0 AD4			
					0 1 1 AD3			
					0 1 0 AD2			
					0 0 1 AD1			
					0 0 0 AD0			
A/Dチャネルレジスタ	0040243 (B)	D7–6	–	–	–	–	–	読み出し時: 0
		D5	CE2	A/D変換終了チャネル設定	CE[2:0] 終了チャネル	0	R/W	
		D4	CE1		1 1 1 AD7	0		
		D3	CE0		1 1 0 AD6	0		
					1 0 1 AD5			
					1 0 0 AD4			
					0 1 1 AD3			
					0 1 0 AD2			
					0 0 1 AD1			
					0 0 0 AD0			
		D2	CS2	A/D変換開始チャネル設定	CS[2:0] 開始チャネル	0	R/W	
		D1	CS1		1 1 1 AD7	0		
		D0	CS0		1 1 0 AD6	0		
					1 0 1 AD5			
					1 0 0 AD4			
					0 1 1 AD3			
					0 1 0 AD2			
					0 0 1 AD1			
					0 0 0 AD0			
A/Dイネーブルレジスタ	0040244 (B)	D7–4	–	–	–	–	–	読み出し時: 0
		D3	ADF	変換終了フラグ	1 変換終了 0 変換/待機中	0	R	ADD読み出しでクリア
		D2	ADE	A/Dイネーブル	1 許可 0 禁止	0	R/W	
		D1	ADST	A/D変換制御/ステータス	1 開始/変換中 0 停止	0	R/W	
		D0	OWE	オーバーライトエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
A/Dサンプリングレジスタ	0040245 (B)	D7–2	–	–	–	–	–	読み出し時: 0
		D1	ST1	入力サンプリング時間設定	ST[1:0] サンプリング時間	1	R/W	9クロックで使用してください
		D0	ST0		1 1 9クロック	1		
					1 0 7クロック			
					0 1 5クロック			
					0 0 3クロック			

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
シリアルI/F Ch.1, A/D変換器割り込みプライオリティレジスタ	004026A (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PAD2	A/D変換器	0〜7	X	R/W	
		D5	PAD1	割り込みレベル		X		
		D4	PAD0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PSIO12	シリアルインタフェースCh.1	0〜7	X	R/W	
		D1	PSIO11	割り込みレベル		X		
		D0	PSIO10			X		
ポート入力4–7, 計時タイマ, A/D割り込みイネーブルレジスタ	0040277 (B)	D7–6	–	reserved	–	–	–	読み出し時: 0
		D5	EP7	ポート入力7	1 許可 0 禁止	0	R/W	
		D4	EP6	ポート入力6		0	R/W	
		D3	EP5	ポート入力5		0	R/W	
		D2	EP4	ポート入力4		0	R/W	
		D1	ECTM	計時タイマ		0	R/W	
		D0	EADE	A/D変換器		0	R/W	
ポート入力4–7, 計時タイマ, A/D割り込み要因フラグレジスタ	0040287 (B)	D7–6	–	reserved	–	–	–	読み出し時: 0
		D5	FP7	ポート入力7	1 要因発生 0 要因なし	X	R/W	
		D4	FP6	ポート入力6		X	R/W	
		D3	FP5	ポート入力5		X	R/W	
		D2	FP4	ポート入力4		X	R/W	
		D1	FCTM	計時タイマ		X	R/W	
		D0	FADE	A/D変換器		X	R/W	
シリアルI/F Ch.1, A/D, ポート入力4–7 IDMAリクエストレジスタ	0040293 (B)	D7	RP7	ポート入力7	1 IDMA要求 0 割り込み要求	0	R/W	
		D6	RP6	ポート入力6		0	R/W	
		D5	RP5	ポート入力5		0	R/W	
		D4	RP4	ポート入力4		0	R/W	
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	RADE	A/D変換器	1 IDMA要求 0 割り込み要求	0	R/W	
		D1	RSTX1	SIF Ch.1送信バッファエンプティ		0	R/W	
		D0	RSRX1	SIF Ch.1受信バッファフル		0	R/W	
シリアルI/F Ch.1, A/D, ポート入力4–7 IDMAイネーブルレジスタ	0040297 (B)	D7	DEP7	ポート入力7	1 IDMA許可 0 IDMA禁止	0	R/W	
		D6	DEP6	ポート入力6		0	R/W	
		D5	DEP5	ポート入力5		0	R/W	
		D4	DEP4	ポート入力4		0	R/W	
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	DEADE	A/D変換器	1 IDMA許可 0 IDMA禁止	0	R/W	
		D1	DESTX1	SIF Ch.1送信バッファエンプティ		0	R/W	
		D0	DESRX1	SIF Ch.1受信バッファフル		0	R/W	
K5機能選択レジスタ	00402C0 (B)	D7–5	–	reserved	–	–	–	読み出し時: 0
		D4	CFK54	K54機能選択	1 #DMAREQ3 0 K54	0	R/W	
		D3	CFK53	K53機能選択	1 #DMAREQ2 0 K53	0	R/W	
		D2	CFK52	K52機能選択	1 #ADTRG 0 K52	0	R/W	
		D1	CFK51	K51機能選択	1 #DMAREQ1 0 K51	0	R/W	
		D0	CFK50	K50機能選択	1 #DMAREQ0 0 K50	0	R/W	
K6機能選択レジスタ	00402C3 (B)	D7	CFK67	K67機能選択	1 AD7 0 K67	0	R/W	
		D6	CFK66	K66機能選択	1 AD6 0 K66	0	R/W	
		D5	CFK65	K65機能選択	1 AD5 0 K65	0	R/W	
		D4	CFK64	K64機能選択	1 AD4 0 K64	0	R/W	
		D3	CFK63	K63機能選択	1 AD3 0 K63	0	R/W	
		D2	CFK62	K62機能選択	1 AD2 0 K62	0	R/W	
		D1	CFK61	K61機能選択	1 AD1 0 K61	0	R/W	
		D0	CFK60	K60機能選択	1 AD0 0 K60	0	R/W	

CFK52: K52**端子機能選択**(D2/0x402C0<K5**機能選択レジスタ**>)
CFK67–CFK60: K6[7:0]**端子機能選択**(D[7:0]/0x402C3<K6**機能選択レジスタ**>)

A/D変換器に使用する端子を選択します。

"1"書き込み: A/D変換器
"0"書き込み: 入力ポート
読み出し: 可能

外部トリガを使用する場合はCFK52に"1"を書き込み、K52端子を外部トリガ入力端子#ADTRGに設定します。アナログ入力に使用する端子はCFK60〜CFK67に"1"を書き込み、K60(AD0)〜K67(AD7)の中から選択します。
"0"を書き込んだ場合、その端子は入力ポート端子となります。
コールドスタート時、CFKは"0"(入力ポート)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

ADD9–ADD0: A/D変換結果(D[1:0]/0x40241, D[7:0]/0x40240<A/D変換結果レジスタ>)

A/D変換結果が格納されます。
ADD0がLSB、ADD9がMSBです。ADD0とADD1はアドレス0x40241のD0とD1ビットに割り付けられていますが、D2～D7ビットは読み出し時は常時"0"となります。
このレジスタは読み出し専用で、書き込みは無効です。
イニシャルリセット時、データは"0"となります。

MS: A/D変換モード選択(D5/0x40242<A/Dトリガレジスタ>)

A/D変換モードを選択します。

"1"書き込み: 連続モード
"0"書き込み: 通常モード
読み出し: 可能

MSに"1"を書き込むことによりA/D変換器は連続モードに設定され、 CSおよびCEレジスタで選択したチャネル範囲のA/D変換を、ソフトウェアで停止させるまで連続的に実行します。
MSが"0"の場合は通常モードで動作し、CSおよびCEレジスタで選択したチャネル範囲のすべての入力を1回A/D変換して停止します。
イニシャルリセット時、MSは"0"(通常モード)に設定されます。

TS1–TS0: トリガ選択(D[4:3]/0x40242<A/Dトリガレジスタ>)

A/D変換を開始させるトリガ方法を選択します。

表2.7 **トリガの選択**

TS1	TS0	トリガ
1	1	**外部トリガ**(K52/#ADTRG)
1	0	8**ビットプログラマブルタイマ**0
0	1	16**ビットプログラマブルタイマ**0
0	0	**ソフトウェア**

外部トリガを使用する場合は、CFK52によってK52端子を#ADTRG端子に設定してください。
プログラマブルタイマを使用する場合は、そのアンダーフロー信号(8ビットタイマ)またはコンペアマッチB信号(16ビットタイマ)がトリガとなりますので、プログラマブルタイマで周期およびその他の設定を行ってください。
イニシャルリセット時、TSは"0"(ソフトウェアトリガ)に設定されます。

CH2–CH0: 変換チャネルステータス(D[2:0]/0x40242<A/Dトリガレジスタ>)

A/D変換中のチャネル番号(0～7)を示します。
複数のチャネルをA/D変換している場合、このビットを読み出すことによって現在変換中のチャネルを確認できます。
イニシャルリセット時、CHは"0"(AD0)に設定されます。

CE2–CE0: 変換終了チャネル設定(D[5:3]/0x40243<A/Dチャネルレジスタ>)

変換終了チャネルをチャネル番号(0～7)で設定します。
1回のA/D変換で、CSレジスタで設定したチャネルからこのレジスタで設定したチャネルまでのアナログ入力を連続的に変換できます。1つのチャネルのみをA/D変換する場合は、CSレジスタとCEレジスタに同じチャネル番号を設定してください。
イニシャルリセット時、CEは"0"(AD0)に設定されます。

CS2–CS0: 変換開始チャネル設定(D[2:0]/0x40243<A/Dチャネルレジスタ>)

変換開始チャネルをチャネル番号(0～7)で設定します。
1回のA/D変換で、このレジスタで設定したチャネルからCEレジスタで設定したチャネルまでのアナログ入力を連続的に変換できます。1つのチャネルのみをA/D変換する場合は、CSレジスタとCEレジスタに同じチャネル番号を設定してください。
イニシャルリセット時、CSは"0"(AD0)に設定されます。

ADF: **変換終了フラグ**(D3/0x40244<A/D**イネーブルレジスタ**>)

A/D変換が終了したことを示します。

"1"読み出し: 変換終了
"0"書き込み: 変換中または待機中
書き込み: 無効

A/D変換が終了し、変換データがデータレジスタに格納されると"1"にセットされ、変換データを読み出すと"0"にリセットされます。複数のチャネルをA/D変換している場合、ADFが"1"の状態で(変換データを読み出す前に)次のA/D変換が終了すると、データレジスタは新たな変換結果で上書きされオーバーランエラーとなります。したがって、次のA/D変換が終了する前に変換データを読み出してADFをリセットする必要があります。
イニシャルリセット時、ADFは"0"(変換中または待機中)に設定されます。

ADE: A/D**イネーブル**(D2/0x40244<A/D**イネーブルレジスタ**>)

A/D変換器をイネーブル(変換可能状態)に設定します。

"1"書き込み: イネーブル
"0"書き込み: ディセーブル
読み出し: 可能

ADEに"1"を書き込むことによってA/D変換器がイネーブルとなり、A/D変換を開始できる(トリガを受け付け可能な)状態となります。ADEが"0"の場合、A/D変換器はディセーブル状態に置かれ、トリガを受け付けません。
なお、モードや開始/終了チャネルなどA/D変換器の設定を行う場合は、誤動作を避けるため、ADEを"0"に設定してから行ってください。
イニシャルリセット時、ADEは"0"(ディセーブル)に設定されます。

ADST: A/D**変換制御/ステータス**(D1/0x40244<A/D**イネーブルレジスタ**>)

A/D変換を制御します。

"1"書き込み: ソフトウェアトリガ
"0"書き込み: A/D変換停止
読み出し: 可能

ソフトウェアトリガによりA/D変換を開始させる場合、ADSTに"1"を書き込みます。他のトリガ方式の場合は、ハードウェアがADSTを"1"にセットします。
A/D変換中、ADSTは"1"を保持します。
通常モード時は、指定のチャネルのA/D変換が終了するとADSTは"0"に戻り、A/D変換回路が停止します。連続モードのA/D変換を停止させる場合はADSTに"0"を書き込んでください。ADEが"0"(A/D変換禁止状態)の場合はADSTが"0"に固定され、トリガは受け付けません。なお、A/D変換中にADEに"0"を書き込んで変換を中止することはできません。
イニシャルリセット時、ADSTは"0"(A/D変換停止)に設定されます。

OWE: **オーバーライトエラーフラグ**(D0/0x40244<A/D**イネーブルレジスタ**>)

変換データが上書きされたことを示します。

"1"読み出し: オーバーライト
"0"読み出し: 正常
"1"書き込み: 無効
"0"書き込み: フラグをリセット

複数のチャネルをA/D変換している場合に、前のチャネルの変換によってセットされた変換終了フラグADFが変換データの読み出しによってリセットされる前に次のチャネルの変換結果が変換データレジスタに書き込まれる(上書きされる)とOWEが"1"にセットされます。ADFがリセットされている場合は、変換データが読み出されているためOWEはセットされません。
OWEは"1"にセットされると、ソフトウェアで"0"を書き込むまでリセットされません。
イニシャルリセット時、OWEは"0"(正常)に設定されます。

ST1–ST0: 入力サンプリング時間設定(D[1:0]/0x40245<A/Dサンプリングレジスタ>)

アナログ入力のサンプリング時間を設定します。

表2.8 **サンプリング時間**

ST1	ST0	サンプリング時間
1	1	9クロック
1	0	7クロック
0	1	5クロック
0	0	3クロック

クロック数はA/D**変換器の入力クロック数です。**

イニシャルリセット時、STは"11"(9クロック)に設定されます。
変換精度を確保するため、このビットはデフォルトの9クロックのまま使用してください。

PAD2–PAD0: A/D変換器割り込みレベル
(D[6:4]/0x4026A<シリアルI/F Ch.1, A/D変換器割り込みプライオリティレジスタ>)

A/D変換器割り込みの優先レベルを0～7の範囲で設定します。
イニシャルリセット時、PADは不定となります。

EADE: A/D変換器割り込みイネーブル
(D0/0x40277<ポート入力4–7, 計時タイマ, A/D変換器割り込みイネーブルレジスタ>)

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可
"0"書き込み: 割り込み禁止
読み出し: 可能

EADEはA/D変換器割り込みを制御する割り込みイネーブルビットで、"1"に設定すると割り込みが許可され、"0"に設定すると割り込みが禁止されます。
イニシャルリセット時、EADEは"0"(割り込み禁止)に設定されます。

FADE: A/D変換器割り込み要因フラグ
(D0/0x40287<ポート入力4–7, 計時タイマ, A/D変換器割り込み要因フラグレジスタ>)

A/D変換器の割り込み要因の発生状態を示します。

• 読み出し時
"1"読み出し: 割り込み要因あり
"0"読み出し: 割り込み要因なし

• リセットオンリー方式書き込み時 (デフォルト)
"1"書き込み: 要因フラグをリセット
"0"書き込み: 無効

• リード/ライト方式書き込み時
"1"書き込み: 要因フラグをセット
"0"書き込み: 要因フラグをリセット

FADEはA/D変換器の割り込み要因フラグで、1つのチャネルのA/D変換が終了すると(変換結果がADDレジスタに書き込まれると)"1"にセットされます。
このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

なお、A/D変換器の割り込み要因をIDMA要求として使用する場合、上記の条件が成立している場合でも、割り込み要因発生時点でCPUに対する割り込み要求は出力されません。IDMAの設定で割り込みを許可してあれば、IDMAによるデータ転送終了後に上記の条件で割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。
割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。
割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。
イニシャルリセット時、FADEフラグは不定となりますので、必ずソフトウェアでリセットしてください。

RADE: A/D**変換器**IDMA**リクエスト**
(D2/0x40293<**シリアル**I/F Ch.1, A/D, **ポート入力**4–7 IDMA**リクエストレジスタ**>)

割り込み要因発生時にIDMAを起動するかどうか設定します。

• セットオンリー方式(デフォルト)
"1"書き込み: IDMA要求
"0"書き込み: 無効
読み出し: 可能

• リード/ライト方式
"1"書き込み: IDMA要求
"0"書き込み: 割り込み要求
読み出し: 可能

RADEはA/D変換器のIDMAリクエストビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。
IDMAについては"IDMA(インテリジェントDMA)"を参照してください。
イニシャルリセット時、RADEは"0"(割り込み要求)に設定されます。

DEADE: A/D**変換器**IDMA**イネーブル**
(D2/0x40297<**シリアル**I/F Ch.1, A/D, **ポート入力**4–7 IDMA**イネーブルレジスタ**>)

割り込み要因によるIDMA転送を許可または禁止します。

• セットオンリー方式(デフォルト)
"1"書き込み: IDMA許可
"0"書き込み: 無効
読み出し: 可能

• リード/ライト方式
"1"書き込み: IDMA許可
"0"書き込み: IDMA禁止
読み出し: 可能

DEADEはA/D変換器のIDMAイネーブルビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。
イニシャルリセット時、DEADEは"0"(IDMA禁止)に設定されます。

プログラミング上の注意事項

(1) モードや開始/終了チャネルなどA/D変換器の設定を行う場合は、必ずA/D変換器をディセーブル状態(A/Dイネーブルレジスタ(0x40244)のADE(D2)を"0")にして行ってください。イネーブル状態の設定変更は誤動作の原因となります。

(2) A/D変換器の動作はプリスケーラが動作していることが条件です。
A/D変換器のレジスタを設定する場合にもプリスケーラが動作していることが必要です。したがって、はじめにプリスケーラを動作させ、A/D変換器に動作クロックを供給させてからA/D変換器のレジスタ設定を行ってください。
変換精度を考慮すると、A/D変換器の動作クロックはMax. 2MHz(Min. 32kHz)を推奨します。

(3) プリスケーラからA/D変換器へのクロック出力がOFFの場合にA/D変換を開始させたり、A/D変換動作中にプリスケーラのクロック出力をOFFにしないでください。誤動作の原因となります。

(4) イニシャルリセット後、割り込み要因フラグ(FADE)は不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。

(5) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグ(FADE)をリセットしてください。

(6) A/D変換器をイネーブル状態にすると、A/D動作を行わないときにもAV_{DDE}～V_{SS}間に電流が流れ電力を消費します。
したがって、A/D変換器を使用しない場合は、必ずA/D変換器をディセーブル状態(A/Dイネーブルレジスタ(0x40244)のADE(D2)を"0"、デフォルト)に設定してください。

(7) A/D変換が終了してから、プリスケーラで設定するA/D変換器の動作クロックの1周期分より短い間隔で、再度A/D変換をスタートさせると、A/D変換は正しく行われません。

(8) 8ビットプログラマブルタイマ0のアンダーフロー信号および16ビットプログラマブルタイマ0のコンペアマッチB信号をトリガ要因とした場合、各タイマが使用するプリスケーラの分周比を$\theta/1$に設定しないでください。

(9) ADD[9:0](A/D変換結果)の読み出しは下位8ビットと上位2ビットの2回に分けて行われます(ソフトウェアが16ビット読み出しを行った場合でも、ハードウェアは下位8ビットと上位2ビットを別々にロードします)。
連続モードでのA/D変換時、または通常モードで複数チャネルの変換を行っている場合、1回目の読み出し後、2回目の読み出しまでの間にADD[9:0]が新しい変換結果で上書きされる可能性があります。この場合、変換結果の下位8ビットと上位2ビットはそれぞれ別の変換による値となり、正しい結果は得られません。
変換終了後の最初の読み出し(変換終了フラグADFが"1"の状態での読み出し)では、1回目の読み出し後、2回目の読み出しまでの間にADD[9:0]が上書きされるとオーバーライトエラーフラグOWEが"1"になります。ただし、同じ変換結果を複数回読み出して検証するような場合、一度読み出した時点でADFが"0"となり、その状態での再読み出し時は、2回目の読み出し前にADD[9:0]が上書きされてもOWEは"1"になりませんので注意してください。

このページはブランクです。

S1C33L03 FUNCTION PART

V　DMAブロック

V-1 はじめに

DMAブロックは、DMA制御情報を内蔵レジスタで設定可能なHSDMA(高速DMA)とDMA制御情報をメモリ上に設定するIDMA(インテリジェントDMA)の2種類のDMAコントローラで構成されています。

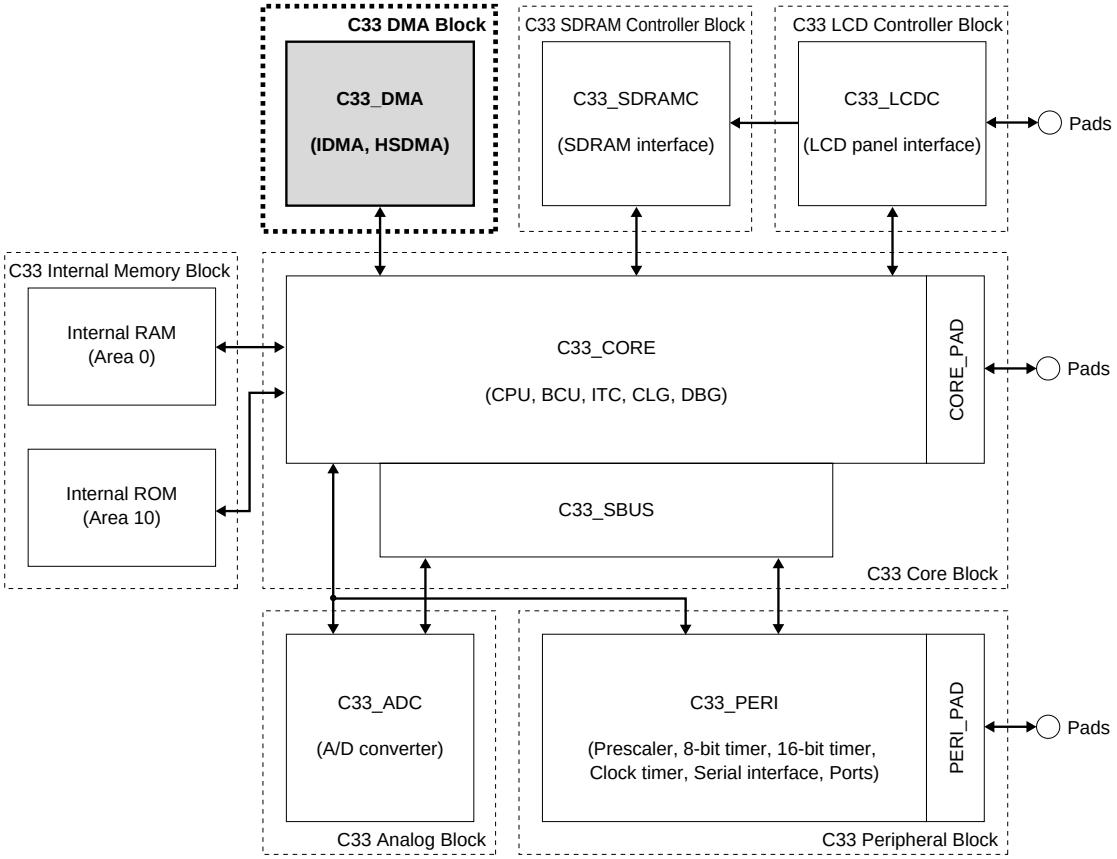


図1.1 DMA**ブロック**

（注）S1C33L03**は**ROM**を内蔵しておりません。**

このページはブランクです。

V-2 HSDMA(高速DMA)

HSDMAの機能概要

C33 DMAブロックは、デュアルアドレス転送およびシングルアドレス転送に対応した4チャネルの高速DMA(HSDMA)回路を内蔵しています。
HSDMAはDMA機能に必要な制御レジスタをチップに内蔵しているため、DMA要求に即座に対応してデータ転送を行います。

■ デュアルアドレス転送

この転送方式では、転送元と転送先のアドレスをそれぞれ指定可能で、2段階に分けてDMA転送を行います。まず、転送元アドレスからデータをチップ上のテンポラリレジスタに読み出します。次にテンポラリレジスタ内のデータを転送先アドレスに書き込みます。
メモリ上に転送情報を持つインテリジェントDMAとは異なり、DMAリンク機能はありませんが、転送条件等をメモリから読み出す必要がありませんので、高速なDMA転送が行えます。

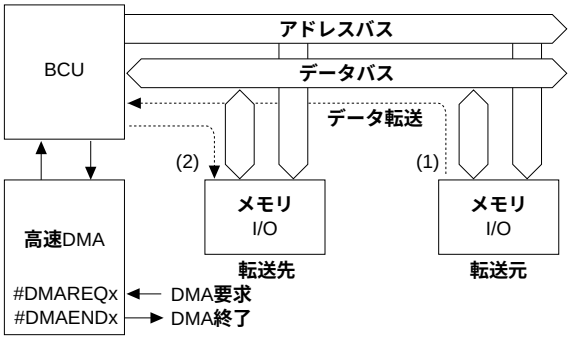


図2.1 デュアルアドレス転送

■ シングルアドレス転送

この転送方式では、通常はデータの読み出しと書き込みを連続的に実行して実現するデータ転送を、外部バス上で一度に実行することによって一層の高速化を図っています。データ転送の制御に#DMAACKxおよび#DMAENDx信号を使用します。
デュアルアドレス転送とは異なり、メモリ間のデータ転送は行えませんが、最小サイクルでデータ転送が行えます。

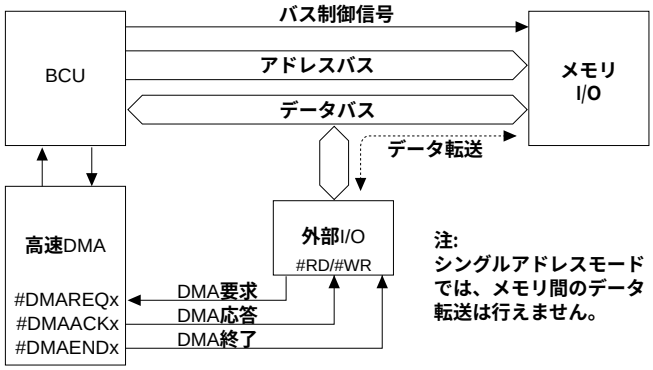


図2.2 シングルアドレス転送

注: • HSDMAのCh.0～Ch.3は同一の構成で、同一の機能を持ちます。信号名や制御ビット名にはチャネル番号を示す"0"～"3"が付いて区別されますが、説明は全チャネルに共通なため、必要な部分以外は"0"～"3"を"x"に置き換えて説明します。

• SDRAMを使用したシングルアドレス転送は行えません。

*HSDMA***の入出力端子**

表2.1にHSDMAで使用する端子を示します。

表2.1 HSDMA**の入出力端子**

端子名	I/O	機　　能	機能選択ビット
K50/#DMAREQ0	I	**入力ポート/高速**DMA**要求入力**0	CFK50(K5**機能選択レジスタ**0x402C0•D0)
K51/#DMAREQ1	I	**入力ポート/高速**DMA**要求入力**1	CFK51(K5**機能選択レジスタ**0x402C0•D1)
K53/#DMAREQ2	I	**入力ポート/高速**DMA**要求入力**2	CFK53(K5**機能選択レジスタ**0x402C0•D3)
K54/#DMAREQ3	I	**入力ポート/高速**DMA**要求入力**3	CFK54(K5**機能選択レジスタ**0x402C0•D4)
P04/SIN1/ #DMAACK2	I/O	**入出力兼用ポート/シリアル**IF Ch.1**データ入力**/ #DMAACK2**出力**(Ex)	CFEX4(**ポート機能拡張レジスタ**0x402DF•D4)
P05/SOUT1/ #DMAEND2	I/O	**入出力兼用ポート/シリアル**IF Ch.1**データ出力**/ #DMAEND2**出力**(Ex)	CFEX5(**ポート機能拡張レジスタ**0x402DF•D5)
P06/#SCLK1/ #DMAACK3	I/O	**入出力兼用ポート/シリアル**IF Ch.1**クロック入出力**/ #DMAACK3**出力**(Ex)	CFEX6(**ポート機能拡張レジスタ**0x402DF•D6)
P07/#SRDY1/ #DMAEND3	I/O	**入出力兼用ポート/シリアル**IF Ch.1**レディ入出力**/ #DMAEND3**出力**(Ex)	CFEX7(**ポート機能拡張レジスタ**0x402DF•D7)
P15/EXCL4/ #DMAEND0	I/O	**入出力兼用ポート**/16bit**タイマ**4**イベントカウンタ入力**(I) / #DMAEND0**出力**(O)	CFP15(P1**機能選択レジスタ**0x402D4•D5)
P16/EXCL5/ #DMAEND1	I/O	**入出力兼用ポート**/16bit**タイマ**5**イベントカウンタ入力**(I) / #DMAEND1**出力**(O)	CFP16(P1**機能選択レジスタ**0x402D4•D6)
P32/#DMAACK0	I/O	**入出力兼用ポート**/#DMAACK0**出力**	CFP32(P3**機能選択レジスタ**0x402DC•D2)
P33/#DMAACK1	I/O	**入出力兼用ポート**/#DMAACK1**出力**	CFP33(P3**機能選択レジスタ**0x402DC•D3)

(I): **入力モード**, (O): **出力モード**, (Ex): **拡張機能**

■ #DMAREQx (DMA**要求入力端子**)

外部周辺回路からのDMA要求信号を入力する場合に使用します。このトリガ(信号の立ち上がり/立ち下がりを選択可)により1回のデータ転送が行われます。#DMAREQ0～#DMAREQ3はそれぞれCh.0～Ch.3の入力端子です。

この外部入力以外にも、HSDMAのトリガ要因としてソフトウェアトリガまたは割り込み要因を割り込みコントローラで選択できます。

■ #DMAACKx (DMA**応答信号出力端子/シングルアドレスモード専用**)

DMAコントローラがDMA要求を受け付けたことを示す#DMAACKx信号を出力します。

シングルアドレスモードの場合、転送元あるいは転送先となるI/Oデバイスは、この信号に同期してデータを外部バスに出力、あるいは外部バスからデータを取り込みます。#DMAACK0～#DMAACK3はそれぞれCh.0～Ch.3の出力端子です。

デュアルアドレスモードでは、この信号は出力されません。

■ #DMAENDx (**転送終了信号出力端子**)

制御レジスタに設定した回数のデータ転送が終了したことを示す#DMAENDx信号を出力します。

#DMAEND0～#DMAEND3はそれぞれCh.0～Ch.3の出力端子です。

■ HSDMA**入出力端子の設定方法**

表2.1に示したとおり、HSDMAで使用する端子は入力ポートおよび入出力兼用ポートと共用されており、コールドスタート時にすべて入力・入出力兼用ポート端子(機能選択レジスタ = "0")として設定されます。使用するHSDMAチャネルに合わせ、対応する端子の機能選択ビットに"1"を書き込んでください。ホットスタート時は、リセット前の状態を保持します。

#DMAEND3、#DMAACK3、 #DMAEND2および#DMAACK2出力はP04～P07の拡張機能です。これらの信号を使用する場合は、対応する機能拡張ビット(CFEX[7:4])に"1"を書き込んでください。

#DMAEND0および#DMAEND1端子の設定にはさらに、P1 I/O制御レジスタ(0x402D6)のIOC15(D5)、IOC16(D6)に"1"を書き込み、出力モードに設定してください。入力モードに設定されていると16ビットプログラマブルタイマのイベントカウンタ入力として機能し、#DMAENDx信号の出力は行えません。コールドスタート時は入力モードに設定されます。ホットスタート時は、リセット前の状態を保持します。

コントロール情報のプログラミング

HSDMAは内部レジスタに設定されたコントロール情報によって動作します。
なお、レジスタの制御ビットにはアドレスモードにより機能が異なるものがありますので注意してください。

以下、コントロール情報の内容について説明します。HSDMAを使用する前に、それぞれの設定を行ってください。

デュアルアドレスモードのレジスタ設定

コントロール情報の設定は、設定するHSDMAチャネルをディセーブル(HSx_EN = "0")にして行ってください。

■ アドレスモード

アドレスモード選択ビットDUALMxを"1"(デュアルアドレスモード)に設定してください。イニシャルリセット時、このビットは"0"(シングルアドレスモード)に設定されます。
DUALM0: Ch.0アドレスモード選択(HSDMA Ch.0制御レジスタ0x48222•DF)
DUALM1: Ch.1アドレスモード選択(HSDMA Ch.1制御レジスタ0x48232•DF)
DUALM2: Ch.2アドレスモード選択(HSDMA Ch.2制御レジスタ0x48242•DF)
DUALM3: Ch.3アドレスモード選択(HSDMA Ch.3制御レジスタ0x48252•DF)

■ 転送モード

転送モードをDxMOD[1:0]ビットで設定します。
D0MOD[1:0]: Ch.0転送モード(HSDMA Ch.0転送先上位アドレス設定レジスタ0x4822A•D[F:E])
D1MOD[1:0]: Ch.1転送モード(HSDMA Ch.1転送先上位アドレス設定レジスタ0x4823A•D[F:E])
D2MOD[1:0]: Ch.2転送モード(HSDMA Ch.2転送先上位アドレス設定レジスタ0x4824A•D[F:E])
D3MOD[1:0]: Ch.3転送モード(HSDMA Ch.3転送先上位アドレス設定レジスタ0x4825A•D[F:E])

転送モードは以下の3種類から選択可能です。

シングル転送モード(DxMOD = "00" **デフォルト**)
シングル転送モードは、1回のトリガに対してDATSIZExに設定したサイズのデータを1回転送して終了します。転送回数カウンタに設定した回数のデータ転送を行うためには、その回数分のトリガが必要です。

連続転送モード(DxMOD = "01")
連続転送モードは、転送回数カウンタに設定した回数のデータ転送を1回のトリガで実行します。転送回数カウンタは一度の実行で"0"になります。

ブロック転送モード(DxMOD = "10")
ブロック転送モードは、1回のトリガに対してBLKLENxで設定したサイズのブロックを1回転送して終了します。転送回数カウンタに設定した回数のブロック転送を行うためには、その回数分のトリガが必要です。

■ 転送データサイズ

転送データ1個分のサイズをDATSIZExビットで設定します。
このビットが"1"の場合はハーフワードサイズ(16ビット)、"0"(デフォルト)の場合はバイトサイズ(8ビット)となります。
DATSIZE0: Ch.0転送データサイズ(HSDMA Ch.0転送元上位アドレス設定レジスタ0x48226•DE)
DATSIZE1: Ch.1転送データサイズ(HSDMA Ch.1転送元上位アドレス設定レジスタ0x48236•DE)
DATSIZE2: Ch.2転送データサイズ(HSDMA Ch.2転送元上位アドレス設定レジスタ0x48246•DE)
DATSIZE3: Ch.3転送データサイズ(HSDMA Ch.3転送元上位アドレス設定レジスタ0x48256•DE)

■ ブロックサイズ

ブロック転送モード(DxMOD = "10")の場合に、1回に転送されるブロックのサイズ(単位はDATSIZExによる)をBLKLENx[7:0]ビットで設定します。
BLKLEN0[7:0]: Ch.0ブロック長(HSDMA Ch.0転送カウンタレジスタ0x48220•D[7:0])
BLKLEN1[7:0]: Ch.1ブロック長(HSDMA Ch.1転送カウンタレジスタ0x48230•D[7:0])
BLKLEN2[7:0]: Ch.2ブロック長(HSDMA Ch.2転送カウンタレジスタ0x48240•D[7:0])
BLKLEN3[7:0]: Ch.3ブロック長(HSDMA Ch.3転送カウンタレジスタ0x48250•D[7:0])

注: 設定したブロックサイズは転送に従ってデクリメントされます。"0"を設定した場合は最初の転送でオールFにデクリメントされるため、それぞれのビット数で決まる最大値を設定したことになります。

シングル転送モード/連続転送モードでは、これらのビットを転送回数のビット7～0の指定に使用します。

■ 転送カウンタ

ブロック転送モードの場合

ブロック転送モードでは、16ビットの転送回数が以下のレジスタで指定できます。
TC0_L[7:0]: Ch.0転送カウンタ[7:0] (HSDMA Ch.0転送カウンタレジスタ0x48220•D[F:8])
TC1_L[7:0]: Ch.1転送カウンタ[7:0] (HSDMA Ch.1転送カウンタレジスタ0x48230•D[F:8])
TC2_L[7:0]: Ch.2転送カウンタ[7:0] (HSDMA Ch.2転送カウンタレジスタ0x48240•D[F:8])
TC3_L[7:0]: Ch.3転送カウンタ[7:0] (HSDMA Ch.3転送カウンタレジスタ0x48250•D[F:8])
TC0_H[7:0]: Ch.0転送カウンタ[15:8] (HSDMA Ch.0制御レジスタ0x48222•D[7:0])
TC1_H[7:0]: Ch.1転送カウンタ[15:8] (HSDMA Ch.1制御レジスタ0x48232•D[7:0])
TC2_H[7:0]: Ch.2転送カウンタ[15:8] (HSDMA Ch.2制御レジスタ0x48242•D[7:0])
TC3_H[7:0]: Ch.3転送カウンタ[15:8] (HSDMA Ch.3制御レジスタ0x48252•D[7:0])

シングル転送モード/連続転送モードの場合

シングル転送モード/連続転送モードでは、24ビットの転送回数が以下のレジスタで指定できます。
BLKLEN0[7:0]: Ch.0転送カウンタ[7:0] (HSDMA Ch.0転送カウンタレジスタ0x48220•D[7:0])
BLKLEN1[7:0]: Ch.1転送カウンタ[7:0] (HSDMA Ch.1転送カウンタレジスタ0x48230•D[7:0])
BLKLEN2[7:0]: Ch.2転送カウンタ[7:0] (HSDMA Ch.2転送カウンタレジスタ0x48240•D[7:0])
BLKLEN3[7:0]: Ch.3転送カウンタ[7:0] (HSDMA Ch.3転送カウンタレジスタ0x48250•D[7:0])
TC0_L[7:0]: Ch.0転送カウンタ[15:8] (HSDMA Ch.0転送カウンタレジスタ0x48220•D[F:8])
TC1_L[7:0]: Ch.1転送カウンタ[15:8] (HSDMA Ch.1転送カウンタレジスタ0x48230•D[F:8])
TC2_L[7:0]: Ch.2転送カウンタ[15:8] (HSDMA Ch.2転送カウンタレジスタ0x48240•D[F:8])
TC3_L[7:0]: Ch.3転送カウンタ[15:8] (HSDMA Ch.3転送カウンタレジスタ0x48250•D[F:8])
TC0_H[7:0]: Ch.0転送カウンタ[23:16] (HSDMA Ch.0制御レジスタ0x48222•D[7:0])
TC1_H[7:0]: Ch.1転送カウンタ[23:16] (HSDMA Ch.1制御レジスタ0x48232•D[7:0])
TC2_H[7:0]: Ch.2転送カウンタ[23:16] (HSDMA Ch.2制御レジスタ0x48242•D[7:0])
TC3_H[7:0]: Ch.3転送カウンタ[23:16] (HSDMA Ch.3制御レジスタ0x48252•D[7:0])

注: 設定した転送回数は転送に従ってデクリメントされます。"0"を設定した場合は最初の転送でオールFにデクリメントされるため、それぞれのビット数で決まる最大値を設定したことになります。

■ 転送元/転送先アドレス

デュアルアドレスモードでは、転送元および転送先アドレスを以下のレジスタで設定します。
S0ADRL[15:0]: Ch.0転送元アドレス[15:0] (Ch.0転送元下位アドレス設定レジスタ0x48224•D[F:0])
S1ADRL[15:0]: Ch.1転送元アドレス[15:0] (Ch.1転送元下位アドレス設定レジスタ0x48234•D[F:0])
S2ADRL[15:0]: Ch.2転送元アドレス[15:0] (Ch.2転送元下位アドレス設定レジスタ0x48244•D[F:0])
S3ADRL[15:0]: Ch.3転送元アドレス[15:0] (Ch.3転送元下位アドレス設定レジスタ0x48254•D[F:0])
S0ADRH[11:0]: Ch.0転送元アドレス[27:16] (Ch.0転送元上位アドレス設定レジスタ0x48226•D[B:0])
S1ADRH[11:0]: Ch.1転送元アドレス[27:16] (Ch.1転送元上位アドレス設定レジスタ0x48236•D[B:0])
S2ADRH[11:0]: Ch.2転送元アドレス[27:16] (Ch.2転送元上位アドレス設定レジスタ0x48246•D[B:0])
S3ADRH[11:0]: Ch.3転送元アドレス[27:16] (Ch.3転送元上位アドレス設定レジスタ0x48256•D[B:0])

D0ADRL[15:0]: Ch.0転送先アドレス[15:0] (Ch.0転送先下位アドレス設定レジスタ0x48228•D[F:0])
D1ADRL[15:0]: Ch.1転送先アドレス[15:0] (Ch.1転送先下位アドレス設定レジスタ0x48238•D[F:0])
D2ADRL[15:0]: Ch.2転送先アドレス[15:0] (Ch.2転送先下位アドレス設定レジスタ0x48248•D[F:0])
D3ADRL[15:0]: Ch.3転送先アドレス[15:0] (Ch.3転送先下位アドレス設定レジスタ0x48258•D[F:0])
D0ADRH[11:0]: Ch.0転送先アドレス[27:16] (Ch.0転送先上位アドレス設定レジスタ0x4822A•D[B:0])
D1ADRH[11:0]: Ch.1転送先アドレス[27:16] (Ch.1転送先上位アドレス設定レジスタ0x4823A•D[B:0])
D2ADRH[11:0]: Ch.2転送先アドレス[27:16] (Ch.2転送先上位アドレス設定レジスタ0x4824A•D[B:0])
D3ADRH[11:0]: Ch.3転送先アドレス[27:16] (Ch.3転送先上位アドレス設定レジスタ0x4825A•D[B:0])

■ アドレスインクリメント/デクリメント制御

転送元アドレスと転送先アドレスは、1回のデータ転送終了時にインクリメントまたはデクリメントすることが可能です。この機能の選択には、転送元アドレスの制御にSxIN[1:0]ビット、転送先アドレスの制御にDxIN[1:0]ビットを使用します。

S0IN[1:0]: Ch.0転送元アドレス制御(Ch.0転送元上位アドレス設定レジスタ0x48226•D[D:C])
S1IN[1:0]: Ch.1転送元アドレス制御(Ch.1転送元上位アドレス設定レジスタ0x48236•D[D:C])
S2IN[1:0]: Ch.2転送元アドレス制御(Ch.2転送元上位アドレス設定レジスタ0x48246•D[D:C])
S3IN[1:0]: Ch.3転送元アドレス制御(Ch.3転送元上位アドレス設定レジスタ0x48256•D[D:C])

D0IN[1:0]: Ch.0転送先アドレス制御(Ch.0転送先上位アドレス設定レジスタ0x4822A•D[D:C])
D1IN[1:0]: Ch.1転送先アドレス制御(Ch.1転送先上位アドレス設定レジスタ0x4823A•D[D:C])
D2IN[1:0]: Ch.2転送先アドレス制御(Ch.2転送先上位アドレス設定レジスタ0x4824A•D[D:C])
D3IN[1:0]: Ch.3転送先アドレス制御(Ch.3転送先上位アドレス設定レジスタ0x4825A•D[D:C])

SxIN/DxIN = "00": **アドレス固定(デフォルト)**
データ転送によってアドレスは変更されません。複数のデータを転送する場合でも、常に同じアドレスに対して転送データの読み出し/書き込みが行われます。

SxIN/DxIN = "01": **アドレスデクリメント(初期化なし)**
1つのデータ転送終了時にアドレスがDATSIZExに設定したサイズ分デクリメントされます。転送に従ってデクリメントされたアドレスは、ソフトウェアで設定した初期値には戻りません。

SxIN/DxIN = "10": **アドレスインクリメント(初期化付き)**
シングル転送モード/連続転送モードでは、1つのデータの転送終了時にアドレスがDATSIZExに設定したサイズ分インクリメントされます。転送に従ってインクリメントされたアドレスは、ソフトウェアで設定した初期値には戻りません。
ブロック転送モードも同様に、ブロック中の1つのデータを転送すると、ソースアドレスがインクリメントされます。ブロック転送中にインクリメントされたアドレスはブロックの転送終了後、ソフトウェアで設定した初期値に戻ります。

SxIN/DxIN = "11": **アドレスインクリメント(初期化なし)**
1つのデータの転送終了時にアドレスがDATSIZExに設定したサイズ分インクリメントされます。転送に従ってインクリメントされたアドレスは、ソフトウェアで設定した初期値には戻りません。

シングルアドレスモードのレジスタ設定

コントロール情報の設定は、設定するHSDMAチャネルをディセーブル(HSx_EN = "0")にして行ってください。

■ アドレスモード

アドレスモード選択ビットDUALMxを"0"(シングルアドレスモード)に設定してください。イニシャルリセット時、このビットは"0"に設定されます。

■ 転送モード

転送モードをDxMOD[1:0]ビットで設定します。

- シングル転送モード (DxMOD = "00" デフォルト)
- 連続転送モード (DxMOD = "01")
- ブロック転送モード (DxMOD = "10")

転送モードについては、"デュアルアドレスモードのレジスタ設定"を参照してください。

■ 転送方向

データ転送方向をDxDIRビットで設定します。
D0DIR: Ch.0転送方向制御(HSDMA Ch.0制御レジスタ0x48222•DE)
D1DIR: Ch.1転送方向制御(HSDMA Ch.1制御レジスタ0x48232•DE)
D2DIR: Ch.2転送方向制御(HSDMA Ch.2制御レジスタ0x48242•DE)
D3DIR: Ch.3転送方向制御(HSDMA Ch.3制御レジスタ0x48252•DE)

"1"を書き込むとメモリライト(I/Oデバイスからメモリへのデータ転送)、"0"を書き込むとメモリリード(メモリからI/Oデバイスへのデータ転送)が選択されます。

■ 転送データサイズ

転送データ1個分のサイズをDATSIZExビットで設定します。
このビットが"1"の場合はハーフワードサイズ(16ビット)、"0"(デフォルト)の場合はバイトサイズ(8ビット)となります。

■ ブロックサイズ

ブロック転送モード(DxMOD = "10")の場合に、1回に転送されるブロックのサイズ(単位はDATSIZExによる)をBLKLENx[7:0]ビットで設定します。
シングル転送モード/連続転送モードでは、BLKLENx[7:0]を転送回数のビット7〜0の指定に使用します。

■ 転送カウンタ

ブロック転送モードの場合

ブロック転送モードでは、16ビットの転送回数をTCx_L[7:0]およびTCx_H[7:0]で指定します。

シングル転送モード/連続転送モードの場合

シングル転送モード/連続転送モードでは、24ビットの転送回数をBLKLENx[7:0]、TCx_L[7:0]およびTCx_H[7:0]で指定します。

■ メモリアドレス

シングルアドレスモードでは、SxADRL[15:0]およびSxADRH[11:0]でメモリアドレスを指定します。
S0ADRL[15:0]: Ch.0メモリアドレス[15:0] (Ch.0転送元下位アドレス設定レジスタ0x48224•D[F:0])
S0ADRH[11:0]: Ch.0メモリアドレス[27:16] (Ch.0転送元上位アドレス設定レジスタ0x48226•D[B:0])
S1ADRL[15:0]: Ch.1メモリアドレス[15:0] (Ch.1転送元下位アドレス設定レジスタ0x48234•D[F:0])
S1ADRH[11:0]: Ch.1メモリアドレス[27:16] (Ch.1転送元上位アドレス設定レジスタ0x48236•D[B:0])
S2ADRL[15:0]: Ch.2メモリアドレス[15:0] (Ch.2転送元下位アドレス設定レジスタ0x48244•D[F:0])
S2ADRH[11:0]: Ch.2メモリアドレス[27:16] (Ch.2転送元上位アドレス設定レジスタ0x48246•D[B:0])
S3ADRL[15:0]: Ch.3メモリアドレス[15:0] (Ch.3転送元下位アドレス設定レジスタ0x48254•D[F:0])
S3ADRH[11:0]: Ch.3メモリアドレス[27:16] (Ch.3転送元上位アドレス設定レジスタ0x48256•D[B:0])

シングルアドレスモードのデータ転送は、システムインタフェースに接続されたメモリと外部のI/Oデバイス間で行われます。I/Oデバイスは#DMAACKx信号で直接アクセスされますので、アドレスの指定は不要です。シングルアドレスモードではDxADRL[15:0]およびDxADRH[11:0]は使用しません。

■ アドレスインクリメント/デクリメント制御

メモリアドレスは、1回のデータ転送終了時にインクリメントまたはデクリメントすることが可能です。この機能の選択には、SxIN[1:0]ビットを使用します。
S0IN[1:0]: Ch.0メモリアドレス制御(Ch.0転送元上位アドレス設定レジスタ0x48226•D[D:C])
S1IN[1:0]: Ch.1メモリアドレス制御(Ch.1転送元上位アドレス設定レジスタ0x48236•D[D:C])
S2IN[1:0]: Ch.2メモリアドレス制御(Ch.2転送元上位アドレス設定レジスタ0x48246•D[D:C])
S3IN[1:0]: Ch.3メモリアドレス制御(Ch.3転送元上位アドレス設定レジスタ0x48256•D[D:C])

SxIN = "00": アドレス固定(デフォルト)
SxIN = "01": アドレスデクリメント(初期化なし)
SxIN = "10": アドレスインクリメント(初期化付き)
SxIN = "11": アドレスインクリメント(初期化なし)

設定内容については"デュアルアドレスモードのレジスタ設定"を参照してください。

シングルアドレスモードではDxIN[1:0]は使用しません。

DMA転送の許可/禁止

HSDMAによるデータ転送は、HSx_ENビットに"1"を書き込むことにより許可されます。
HS0_EN: Ch.0イネーブル(Ch.0イネーブルレジスタ0x4822C•D0)
HS1_EN: Ch.1イネーブル(Ch.1イネーブルレジスタ0x4823C•D0)
HS2_EN: Ch.2イネーブル(Ch.2イネーブルレジスタ0x4824C•D0)
HS3_EN: Ch.3イネーブル(Ch.3イネーブルレジスタ0x4825C•D0)

ただし、DMA転送を許可する前に、コントロール情報を設定しておく必要があります。HSx_ENが"1"の場合、コントロール情報を設定することはできません。
HSx_ENが"0"の場合、HSDMAリクエストは受け付けられません。
DMA転送を終了(転送カウンタ="0")するとHSx_ENは"0"にリセットされ、以降のトリガ入力を禁止します。

トリガ要因

各HSDMAチャネルは13種類のトリガ要因に対応しており、使用するトリガ要因をHSDMAトリガ設定レジスタで選択できます。なお、この機能は割り込みコントローラでサポートしています。
HSD0S[3:0]: Ch.0トリガ設定(HSDMA Ch.0/1トリガ設定レジスタ0x40298•D[3:0])
HSD1S[3:0]: Ch.1トリガ設定(HSDMA Ch.0/1トリガ設定レジスタ0x40298•D[7:4])
HSD2S[3:0]: Ch.2トリガ設定(HSDMA Ch.2/3トリガ設定レジスタ0x40299•D[3:0])
HSD3S[3:0]: Ch.3トリガ設定(HSDMA Ch.2/3トリガ設定レジスタ0x40299•D[7:4])

表2.2に設定値とトリガ要因の対応を示します。

表2.2 HSDMAトリガ要因

設定値	Ch.0トリガ要因	Ch.1トリガ要因	Ch.2トリガ要因	Ch.3トリガ要因
0000	ソフトウェアトリガ	ソフトウェアトリガ	ソフトウェアトリガ	ソフトウェアトリガ
0001	K50入力(立ち下がりエッジ)	K51入力(立ち下がりエッジ)	K53入力(立ち下がりエッジ)	K54入力(立ち下がりエッジ)
0010	K50入力(立ち上がりエッジ)	K51入力(立ち上がりエッジ)	K53入力(立ち上がりエッジ)	K54入力(立ち上がりエッジ)
0011	ポート0入力	ポート1入力	ポート2 入力	ポート3入力
0100	ポート4入力	ポート5入力	ポート6入力	ポート7入力
0101	8bitタイマ0アンダーフロー	8bitタイマ1アンダーフロー	8bitタイマ2アンダーフロー	8bitタイマ3アンダーフロー
0110	16bitタイマ0コンペアB	16bitタイマ1コンペアB	16bitタイマ2コンペアB	16bitタイマ3コンペアB
0111	16bitタイマ0コンペアA	16bitタイマ1コンペアA	16bitタイマ2コンペアA	16bitタイマ3コンペアA
1000	16bitタイマ4コンペアB	16bitタイマ5コンペアB	16bitタイマ4コンペアB	16bitタイマ5コンペアB
1001	16bitタイマ4コンペアA	16bitタイマ5コンペアA	16bitタイマ4コンペアA	16bitタイマ5コンペアA
1010	シリアル I/F Ch.0 受信バッファフル	シリアル I/F Ch.1 受信バッファフル	シリアル I/F Ch.0 受信バッファフル	シリアル I/F Ch.1 受信バッファフル
1011	シリアル I/F Ch.0 送信バッファエンプティ	シリアル I/F Ch.1 送信バッファエンプティ	シリアル I/F Ch.0 送信バッファエンプティ	シリアル I/F Ch.1 送信バッファエンプティ
1100	A/D変換終了	A/D変換終了	A/D変換終了	A/D変換終了

割り込み要因(0011～1100)をトリガ設定レジスタで選択すると、そのHSDMAチャネルは選択した割り込み要因の発生によって起動します。割り込み制御ビット(割り込み要因フラグ、割り込みイネーブルレジスタ、IDMAリクエストレジスタ、割り込みプライオリティレジスタ)の設定内容は、HSDMAの起動には影響を与えません。HSDMAを起動した割り込み要因は、割り込み要因フラグもセットしますが、HSDMAはこの割り込み要因フラグをリセットしません。割り込みコントローラによって、その割り込みが許可されていれば、1回のDMA転送を終了した時点で(転送カウンタが"0"でない場合でも)CPUに対し割り込み要求を発生します。転送カウンタが"0"になった場合にのみ割り込みを発生させるには、トリガとなった割り込み要因による割り込み要求を禁止し、HSDMA自身の転送終了割り込みを利用してください。

ソフトウェアトリガを選択した場合、そのHSDMAチャネルはHSTxビットに"1"を書き込むことで起動します。
HST0: Ch.0ソフトウェアトリガ(HSDMAソフトウェアトリガレジスタ0x4029A•D0)
HST1: Ch.1ソフトウェアトリガ(HSDMAソフトウェアトリガレジスタ0x4029A•D1)
HST2: Ch.2ソフトウェアトリガ(HSDMAソフトウェアトリガレジスタ0x4029A•D2)
HST3: Ch.3ソフトウェアトリガ(HSDMAソフトウェアトリガレジスタ0x4029A•D3)

トリガ要因が発生すると、対応するHSDMAチャネルが起動するようにトリガフラグHSx_TFを"1"にセットします。HSDMAが許可されていればDMA転送を開始します。同時に、トリガフラグはハードウェアによってクリアされます。これにより、DMA転送中でも次のトリガを保持しておくことができます。
HSx_TFフラグはソフトウェアによる読み出しおよびクリアが可能です。
HS0_TF: Ch.0トリガフラグステータス/クリア(Ch.0トリガフラグレジスタ0x4822E•D0)
HS1_TF: Ch.1トリガフラグステータス/クリア(Ch.1トリガフラグレジスタ0x4823E•D0)
HS2_TF: Ch.2トリガフラグステータス/クリア(Ch.2トリガフラグレジスタ0x4824E•D0)
HS3_TF: Ch.3トリガフラグステータス/クリア(Ch.3トリガフラグレジスタ0x4825E•D0)

DMA転送を開始する前であれば、このビットに"1"を書き込むことによってトリガフラグをクリアできます。このビットを読み出した場合、"1"でトリガフラグがセット状態、"0"でクリア状態であることを示します。

HSDMAの動作

HSDMAの各チャネルは、選択されているトリガ要因の発生によってデータ転送を開始します。
なお、DMA転送を開始する前に、転送条件とトリガ要因の設定を行い、使用するHSDMAチャネルのデータ転送を許可しておくことが必要です。

デュアルアドレスモードの動作

デュアルアドレスモードでは、転送元と転送先のアドレスがBCUに設定されている該当エリアのバス条件でアクセスされます。
HSDMAには3種類の転送モードがあり、それぞれデータ転送の動作が異なります。以下、各転送モード別の動作を説明します。

■ シングル転送モード

コントロール情報のDxMODが"00"に設定されているチャネルは、シングル転送モードで動作します。シングル転送モードは、1回のトリガに対してDATSIZExに設定したサイズのデータを1回転送して終了します。転送カウンタに設定した回数のデータ転送を行うためには、その回数分のトリガが必要です。
シングル転送モードのHSDMA動作を図2.3のフローチャートに示します。

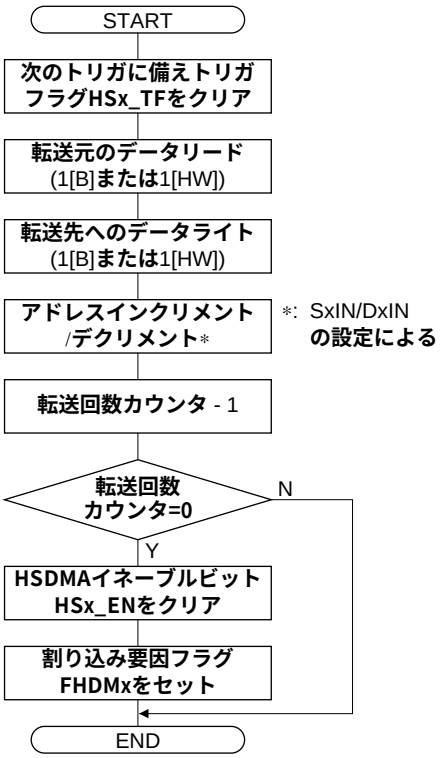


図2.3 シングル転送モードの動作フロー

(1) トリガを受け付けると、トリガフラグHSx_TFがクリアされ、コントロール情報に設定されたサイズのデータを転送元アドレスから読み出します。
(2) 読み出したデータを転送先アドレスに書き込みます。
(3) アドレスがSxIN/DxINの設定に従ってインクリメント/デクリメントされます。
(4) 転送カウンタがデクリメントされます。
(5) 転送カウンタが"0"になった場合は、HSDMAイネーブルビットHSx_ENがクリアされ、割り込みコントローラのHSDMA割り込み要因フラグが"1"にセットされます(DINTENx="1"の場合)。

■ 連続転送モード

コントロール情報のDxMODが"01"に設定されているチャネルは、連続転送モードで動作します。
連続転送モードは、転送カウンタに設定した回数のデータ転送を1回のトリガで実行します。転送カウンタは一度の実行で"0"になります。
連続転送モードの動作を図2.4のフローチャートに示します。

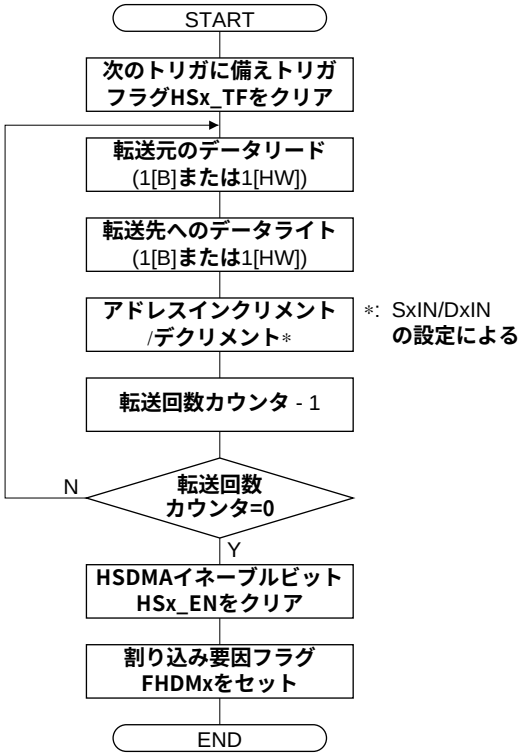


図2.4 連続転送モードの動作フロー

(1) トリガを受け付けると、トリガフラグHSx_TFがクリアされ、コントロール情報に設定されたサイズのデータを転送元アドレスから読み出します。
(2) 読み出したデータを転送先アドレスに書き込みます。
(3) アドレスがSxIN/DxINの設定に従ってインクリメント/デクリメントされます。
(4) 転送カウンタがデクリメントされます。
(5) (1)〜(4)を転送カウンタが"0"になるまで繰り返します。
(6) 転送カウンタが"0"になった場合は、HSDMAイネーブルビットHSx_ENがクリアされ、割り込みコントローラのHSDMA割り込み要因フラグが"1"にセットされます(DINTENx="1"の場合)。

■ ブロック転送モード

コントロール情報のDxMODが"10"に設定されているチャネルは、ブロック転送モードで動作します。ブロック転送モードは、1回のトリガに対してBLKLENxで設定したサイズのブロックを1回転送して終了します。転送カウンタに設定した回数のブロック転送を行うためには、その回数分のトリガが必要です。
ブロック転送モードの動作を図2.5のフローチャートに示します。

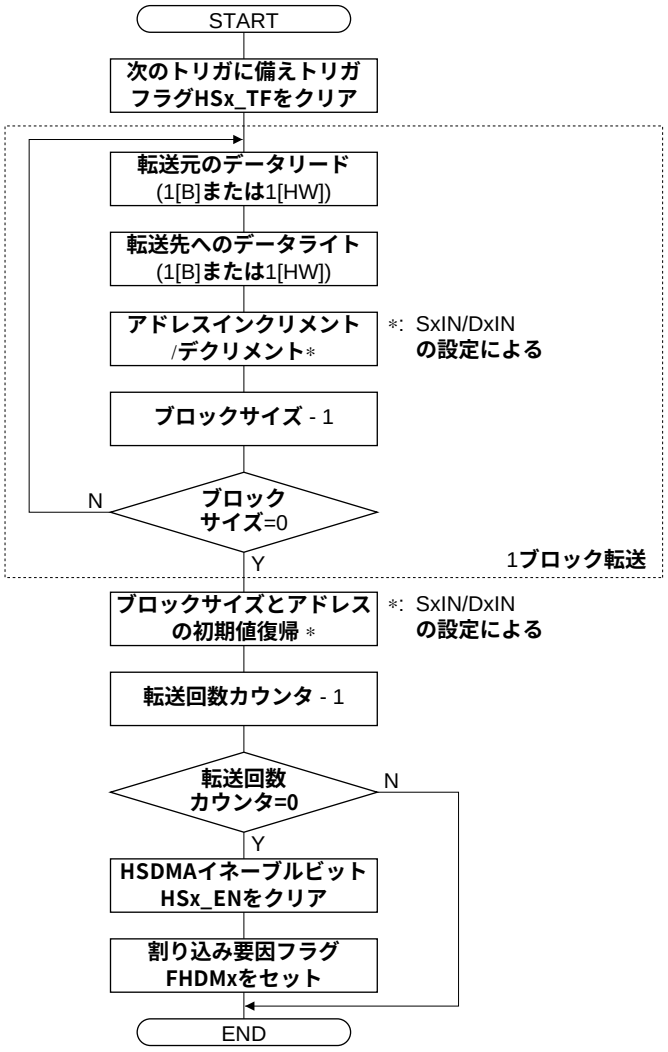


図2.5 ブロック転送モードの動作フロー

(1) トリガを受け付けると、トリガフラグHSx_TFがクリアされ、コントロール情報に設定されたサイズのデータを転送元アドレスから読み出します。
(2) 読み出したデータを転送先アドレスに書き込みます。
(3) アドレスのインクリメント/デクリメント、BLKLENxのデクリメントを行います。
(4) (1)～(3)をBLKLENxが"0"になるまで繰り返します。
(5) SxIN/DxINが"10"の場合は、アドレスを初期値に戻します。
(6) 転送カウンタがデクリメントされます。
(7) 転送カウンタが"0"になった場合は、HSDMAイネーブルビットHSx_ENがクリアされ、割り込みコントローラのHSDMA割り込み要因フラグが"1"にセットされます(DINTENx="1"の場合)。

シングルアドレスモードの動作

各転送モードの動作はデュアルアドレスモードとほとんど同じです(前節参照)。
ただし、シングルアドレスモードでは転送元データの読み出しと転送先への書き込みが同時に行われます。以下、デュアルアドレスモードと異なる点を説明します。

■ #DMAACKx**信号の出力とバスオペレーション**

HSDMA回路はDMA要求を受け付けると、#DMAACKx端子からLowレベルのパルスを出力するとともに、メモリに対するバスオペレーションを実行します。
このバスオペレーションの内容は次のとおりです。

- **I/Oデバイスからメモリへのデータ転送**
  アドレスバスにメモリアドレスレジスタに設定されたアドレスが出力されます。
  転送先のメモリが属するエリアに設定されたインタフェース条件で、ライト動作を行います。
  データバスはハイインピーダンスにしたままです。

  外部I/Oデバイスは#DMAACKx信号をリード信号として、転送データをデータバスに出力します。
  メモリは、このデータをライト信号により取り込みます。

- **メモリからI/Oデバイスへのデータ転送**
  アドレスバスにメモリアドレスレジスタに設定されたアドレスが出力されます。
  転送元のメモリが属するエリアに設定されたインタフェース条件で、リード動作を行います。

  メモリは、リード信号によって転送データをデータバスに出力します。
  外部I/Oデバイスは#DMAACKx信号をライト信号として、そのデータをデータバスから取り込みます。

転送データサイズが16ビットでI/Oデバイスが8ビットの場合は、2回のバスオペレーションを実行します。それ以外は1回のバスオペレーションで転送は終了します。

■ #DMAENDx**信号の出力**

転送カウンタが"0"になると、#DMAENDx端子から指定回数の転送が終了したことを示す転送終了信号が出力されます。同時に、HSDMA転送終了割り込み要因が発生します。

タイミングチャート

■ デュアルアドレスモード

(1) SRAMタイプ

例: 2サイクル(RD)/1サイクル(WR)のウェイトを挿入した場合

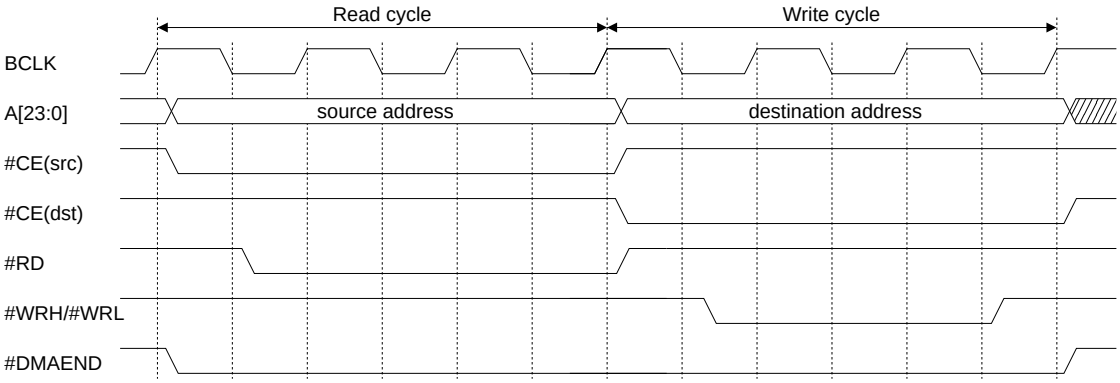


図2.6 #DMAEND**信号出力タイミング**(SRAM**タイプ**)

(2) DRAMタイプ

例: ページモード、RAS: 1サイクル、CAS: 2サイクル、プリチャージ: 1サイクル

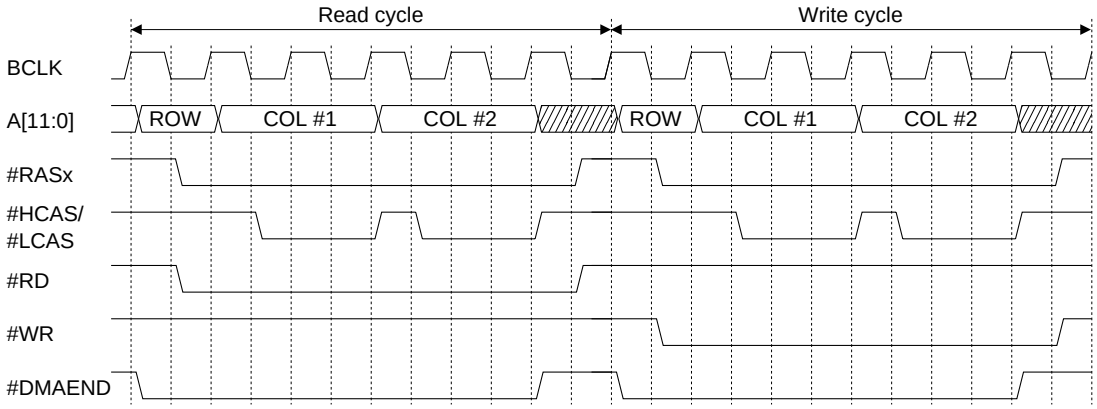


図2.7 #DMAEND**信号出力タイミング**(DRAM**タイプ**)

■ シングルアドレスモード

(1) SRAM**タイプ**

例: 2サイクル(RD)/1サイクル(WR)のウェイトを挿入した場合

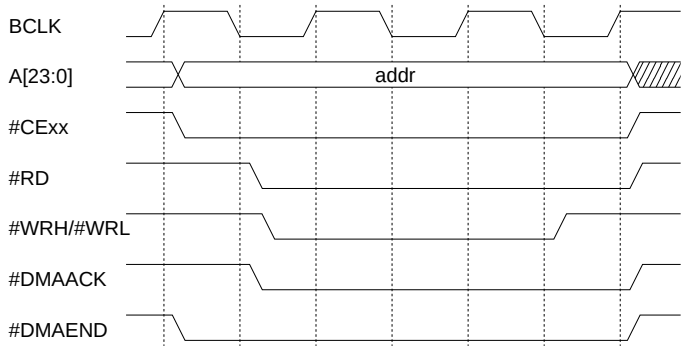


図2.8 #DMAACK/#DMAEND**信号出力タイミング**(SRAM**タイプ**)

(2) **バースト**ROM**タイプ**

例: 4連続バースト、最初のアクセスを2ウェイトに設定した場合

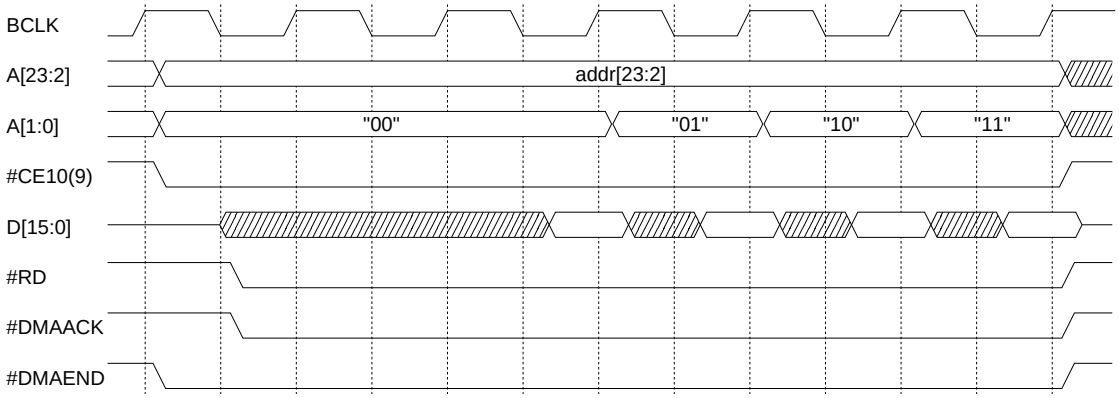


図2.9 #DMAACK/#DMAEND**信号出力タイミング**(**バースト**ROM**タイプ**)

(3) DRAM**タイプ**

例: ページモード、RAS: 1サイクル、CAS: 2サイクル、プリチャージ: 1サイクル

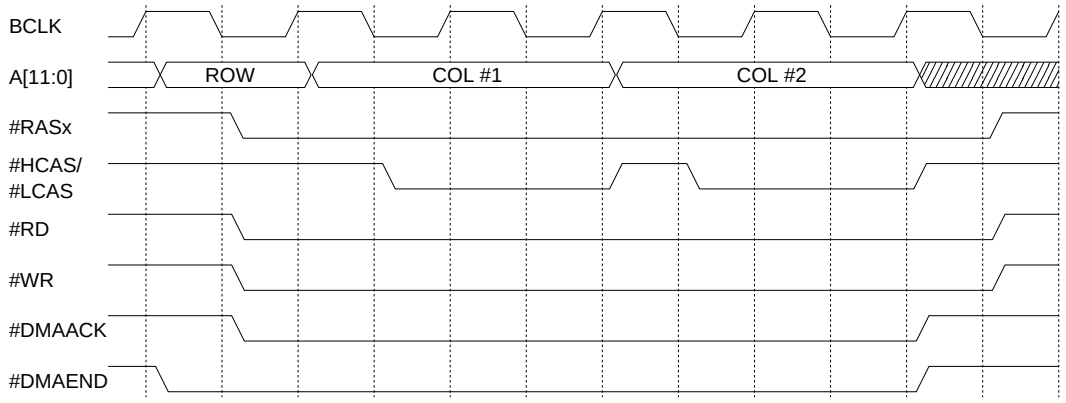


図2.10 #DMAACK/#DMAEND**信号出力タイミング**(DRAM**タイプ**)

注: SDRAM**を使用したシングルアドレス転送は行えません。**

HSDMAの割り込み機能

HSDMAコントローラは、HSDMA各チャネルの転送カウンタが"0"になった時点で割り込みを発生、またはIDMAを起動することができます。

■ 割り込みコントローラの制御レジスタ

各チャネルに用意されている割り込みコントローラの制御レジスタを、表2.3に示します。

表2.3 割り込みコントローラの制御レジスタ

HSDMA Ch.	割り込み要因フラグ	割り込みイネーブルレジスタ	割り込みプライオリティレジスタ
Ch.0	FHDM0(D0/0x40281)	EHDM0(D0/0x40271)	PHSD0L[2:0](D[2:0]/0x40263)
Ch.1	FHDM1(D1/0x40281)	EHDM1(D1/0x40271)	PHSD1L[2:0](D[6:4]/0x40263)
Ch.2	FHDM2(D2/0x40281)	EHDM2(D2/0x40271)	PHSD2L[2:0](D[2:0]/0x40264)
Ch.3	FHDM3(D3/0x40281)	EHDM3(D3/0x40271)	PHSD3L[2:0](D[6:4]/0x40264)

HSDMAコントローラは一連のHSDMA転送が終了し、転送カウンタが"0"になったところでHSDMA割り込み要因フラグを"1"にセットします。このときに、対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。
割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、割り込みを禁止することもできます。HSDMA割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず("0"に設定されていても)、各チャネルのデータ転送終了時に"1"にセットされます。
割り込みプライオリティレジスタは、割り込みの優先レベル(0～7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。
また、HSDMA割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定したHSDMA割り込みのレベルよりも小さな値に設定されている場合に限られます。
これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITC(割り込みコントローラ)"を参照してください。

■ インテリジェントDMA

HSDMA Ch.0とCh.1の転送終了割り込み要因によってインテリジェントDMA(IDMA)を起動することができます。HSDMAに設定されたIDMAチャネル番号は次のとおりです。

IDMA Ch.

Ch.0転送終了割り込み: 0x05
Ch.1転送終了割り込み: 0x06

IDMAを起動させるには、割り込み要因に対応するIDMAリクエストビットとIDMAイネーブルビットに"1"を書き込んでおきます。また、IDMA側の転送条件等の設定も必要です。

表2.4 IDMA**転送の制御ビット**

HSDMA Ch.	IDMA**リクエストビット**	IDMA**イネーブルビット**
Ch.0	RHDM0(D4/0x40290)	DEHDM0(D4/0x40294)
Ch.1	RHDM1(D5/0x40290)	DEHDM1(D5/0x40294)

IDMAリクエストビットとIDMAイネーブルビットが"1"に設定されていると、割り込み要因の発生でIDMAが起動します。その時点で割り込み要求は発生しません。割り込み要求はIDMAによる転送終了後に発生します。また、IDMAの転送のみを行い、割り込みは発生しないように設定することもできます。
IDMAによるデータ転送とIDMA転送終了後の割り込み制御については、"IDMA(インテリジェントDMA)"を参照してください。

■ トラップベクタ

各チャネルの割り込み要因のトラップベクタアドレスは、デフォルトでそれぞれ以下のとおり設定されています。

Ch.0転送終了割り込み: 0x0C00058
Ch.1転送終了割り込み: 0x0C0005C
Ch.2転送終了割り込み: 0x0C00060
Ch.3転送終了割り込み: 0x0C00064

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134～0x48137)で変更することも可能です。

HSDMAのI/Oメモリ

表2.5にHSDMAの制御ビットを示します。

表2.5 HSDMAの制御ビット

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
高速DMA Ch.0/1割り込みプライオリティレジスタ	0040263 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PHSD1L2	高速DMA Ch.1	0〜7	X	R/W	
		D5	PHSD1L1	割り込みレベル		X		
		D4	PHSD1L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PHSD0L2	高速DMA Ch.0	0〜7	X	R/W	
		D1	PHSD0L1	割り込みレベル		X		
		D0	PHSD0L0			X		
高速DMA Ch.2/3割り込みプライオリティレジスタ	0040264 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PHSD3L2	高速DMA Ch.3	0〜7	X	R/W	
		D5	PHSD3L1	割り込みレベル		X		
		D4	PHSD3L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PHSD2L2	高速DMA Ch.2	0〜7	X	R/W	
		D1	PHSD2L1	割り込みレベル		X		
		D0	PHSD2L0			X		
DMA割り込みイネーブルレジスタ	0040271 (B)	D7–5	–	reserved	–	–	–	読み出し時: 0
		D4	EIDMA	IDMA	1 許可 0 禁止	0	R/W	
		D3	EHDM3	高速DMA Ch.3		0	R/W	
		D2	EHDM2	高速DMA Ch.2		0	R/W	
		D1	EHDM1	高速DMA Ch.1		0	R/W	
		D0	EHDM0	高速DMA Ch.0		0	R/W	
DMA割り込み要因フラグレジスタ	0040281 (B)	D7–5	–	reserved	–	–	–	読み出し時: 0
		D4	FIDMA	IDMA	1 要因発生 0 要因なし	X	R/W	
		D3	FHDM3	高速DMA Ch.3		X	R/W	
		D2	FHDM2	高速DMA Ch.2		X	R/W	
		D1	FHDM1	高速DMA Ch.1		X	R/W	
		D0	FHDM0	高速DMA Ch.0		X	R/W	
ポート入力0–3, 高速DMA Ch.0/1, 16bitタイマ0 IDMAリクエストレジスタ	0040290 (B)	D7	R16TC0	16bitタイマ0コンペアA	1 IDMA要求 0 割り込み要求	0	R/W	
		D6	R16TU0	16bitタイマ0コンペアB		0	R/W	
		D5	RHDM1	高速DMA Ch.1		0	R/W	
		D4	RHDM0	高速DMA Ch.0		0	R/W	
		D3	RP3	ポート入力3		0	R/W	
		D2	RP2	ポート入力2		0	R/W	
		D1	RP1	ポート入力1		0	R/W	
		D0	RP0	ポート入力0		0	R/W	
ポート入力0–3, 高速DMA Ch.0/1, 16bitタイマ0 IDMAイネーブルレジスタ	0040294 (B)	D7	DE16TC0	16bitタイマ0コンペアA	1 IDMA許可 0 IDMA禁止	0	R/W	
		D6	DE16TU0	16bitタイマ0コンペアB		0	R/W	
		D5	DEHDM1	高速DMA Ch.1		0	R/W	
		D4	DEHDM0	高速DMA Ch.0		0	R/W	
		D3	DEP3	ポート入力3		0	R/W	
		D2	DEP2	ポート入力2		0	R/W	
		D1	DEP1	ポート入力1		0	R/W	
		D0	DEP0	ポート入力0		0	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定				Init.	R/W	注　　釈
高速DMA Ch.0/1トリガ設定レジスタ	0040298 (B)	D7	HSD1S3	高速DMA Ch.1トリガ設定	0	ソフトウェアトリガ			0	R/W	
		D6	HSD1S2		1	K51入力(立ち下がりエッジ)			0		
		D5	HSD1S1		2	K51入力(立ち上がりエッジ)			0		
		D4	HSD1S0		3	ポート1入力			0		
					4	ポート5入力					
					5	8bitタイマCh.1アンダーフロー					
					6	16bitタイマCh.1コンペアB					
					7	16bitタイマCh.1コンペアA					
					8	16bitタイマCh.5コンペアB					
					9	16bitタイマCh.5コンペアA					
					A	SI/F Ch.1 Rx bufフル					
					B	SI/F Ch.1 Tx bufエンプティ					
					C	A/D変換終了					
		D3	HSD0S3	高速DMA Ch.0トリガ設定	0	ソフトウェアトリガ			0	R/W	
		D2	HSD0S2		1	K50入力(立ち下がりエッジ)			0		
		D1	HSD0S1		2	K50入力(立ち上がりエッジ)			0		
		D0	HSD0S0		3	ポート0入力			0		
					4	ポート4入力					
					5	8bitタイマCh.0アンダーフロー					
					6	16bitタイマCh.0コンペアB					
					7	16bitタイマCh.0コンペアA					
					8	16bitタイマCh.4コンペアB					
					9	16bitタイマCh.4コンペアA					
					A	SI/F Ch.0 Rx bufフル					
					B	SI/F Ch.0 Tx bufエンプティ					
					C	A/D変換終了					
高速DMA Ch.2/3トリガ設定レジスタ	0040299 (B)	D7	HSD3S3	高速DMA Ch.3トリガ設定	0	ソフトウェアトリガ			0	R/W	
		D6	HSD3S2		1	K54入力(立ち下がりエッジ)			0		
		D5	HSD3S1		2	K54入力(立ち上がりエッジ)			0		
		D4	HSD3S0		3	ポート3入力			0		
					4	ポート7入力					
					5	8bitタイマCh.3アンダーフロー					
					6	16bitタイマCh.3コンペアB					
					7	16bitタイマCh.3コンペアA					
					8	16bitタイマCh.5コンペアB					
					9	16bitタイマCh.5コンペアA					
					A	SI/F Ch.1 Rx bufフル					
					B	SI/F Ch.1 Tx bufエンプティ					
					C	A/D変換終了					
		D3	HSD2S3	高速DMA Ch.2トリガ設定	0	ソフトウェアトリガ			0	R/W	
		D2	HSD2S2		1	K53入力(立ち下がりエッジ)			0		
		D1	HSD2S1		2	K53入力(立ち上がりエッジ)			0		
		D0	HSD2S0		3	ポート2入力			0		
					4	ポート6入力					
					5	8bitタイマCh.2アンダーフロー					
					6	16bitタイマCh.2コンペアB					
					7	16bitタイマCh.2コンペアA					
					8	16bitタイマCh.4コンペアB					
					9	16bitタイマCh.4コンペアA					
					A	SI/F Ch.0 Rx bufフル					
					B	SI/F Ch.0 Tx bufエンプティ					
					C	A/D変換終了					
高速DMAソフトウェアトリガレジスタ	004029A (B)	D7–4	–	reserved	–				–	–	読み出し時: 0
		D3	HST3	HSDMA Ch.3ソフトウェアトリガ	1	トリガ	0	無効	0	W	
		D2	HST2	HSDMA Ch.2ソフトウェアトリガ					0	W	
		D1	HST1	HSDMA Ch.1ソフトウェアトリガ					0	W	
		D0	HST0	HSDMA Ch.0ソフトウェアトリガ					0	W	
K5機能選択レジスタ	00402C0 (B)	D7–5	–	reserved	–				–	–	読み出し時: 0
		D4	CFK54	K54機能選択	1	#DMAREQ3	0	K54	0	R/W	
		D3	CFK53	K53機能選択	1	#DMAREQ2	0	K53	0	R/W	
		D2	CFK52	K52機能選択	1	#ADTRG	0	K52	0	R/W	
		D1	CFK51	K51機能選択	1	#DMAREQ1	0	K51	0	R/W	
		D0	CFK50	K50機能選択	1	#DMAREQ0	0	K50	0	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定				Init.	R/W	注　　釈
P1機能選択レジスタ	00402D4 (B)	D7	–	reserved	–				–	–	読み出し時: 0
		D6	CFP16	P16機能選択	1	EXCL5 #DMAEND1	0	P16	0	R/W	
		D5	CFP15	P15機能選択	1	EXCL4 #DMAEND0	0	P15	0	R/W	
		D4	CFP14	P14機能選択	1	FOSC1	0	P14	0	R/W	拡張機能(0x402DF)
		D3	CFP13	P13機能選択	1	EXCL3 T8UF3	0	P13	0	R/W	
		D2	CFP12	P12機能選択	1	EXCL2 T8UF2	0	P12	0	R/W	
		D1	CFP11	P11機能選択	1	EXCL1 T8UF1	0	P11	0	R/W	
		D0	CFP10	P10機能選択	1	EXCL0 T8UF0	0	P10	0	R/W	
P1 I/O制御レジスタ	00402D6 (B)	D7	–	reserved	–				–	–	読み出し時: 0
		D6	IOC16	P16 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポート端子のI/O制御信号の値(詳細説明参照)
		D5	IOC15	P15 I/O制御					0	R/W	
		D4	IOC14	P14 I/O制御					0	R/W	
		D3	IOC13	P13 I/O制御					0	R/W	
		D2	IOC12	P12 I/O制御					0	R/W	
		D1	IOC11	P11 I/O制御					0	R/W	
		D0	IOC10	P10 I/O制御					0	R/W	
P3機能選択レジスタ	00402DC (B)	D7–6	–	reserved	–				–	–	読み出し時: 0
		D5	CFP35	P35機能選択	1	#BUSACK	0	P35	0	R/W	
		D4	CFP34	P34機能選択	1	#BUSREQ #CE6	0	P34	0	R/W	
		D3	CFP33	P33機能選択	1	#DMAACK1	0	P33	0	R/W	
		D2	CFP32	P32機能選択	1	#DMAACK0	0	P32	0	R/W	
		D1	CFP31	P31機能選択	1	#BUSGET	0	P31	0	R/W	拡張機能(0x402DF)
		D0	CFP30	P30機能選択	1	#WAIT #CE4/#CE5	0	P30	0	R/W	
ポート機能拡張レジスタ	00402DF (B)	D7	CFEX7	P07ポート機能拡張	1	#DMAEND3	0	P07, etc.	0	R/W	
		D6	CFEX6	P06ポート機能拡張	1	#DMAACK3	0	P06, etc.	0	R/W	
		D5	CFEX5	P05ポート機能拡張	1	#DMAEND2	0	P05, etc.	0	R/W	
		D4	CFEX4	P04ポート機能拡張	1	#DMAACK2	0	P04, etc.	0	R/W	
		D3	CFEX3	P31ポート機能拡張	1	#GARD	0	P31, etc.	0	R/W	
		D2	CFEX2	P21ポート機能拡張	1	#GAAS	0	P21, etc.	0	R/W	
		D1	CFEX1	P10, P11, P13ポート機能拡張	1	DST0 DST1 DPC0	0	P10, etc. P11, etc. P13, etc.	1	R/W	
		D0	CFEX0	P12, P14ポート機能拡張	1	DST2 DCLK	0	P12, etc. P14, etc.	1	R/W	
高速DMA Ch.0転送カウンタレジスタ	0048220 (HW)	DF	TC0_L7	Ch.0転送カウンタ[7:0] (ブロック転送モード) Ch.0転送カウンタ[15:8] (シングル/連続転送モード)					X	R/W	
		DE	TC0_L6						X		
		DD	TC0_L5						X		
		DC	TC0_L4						X		
		DB	TC0_L3						X		
		DA	TC0_L2						X		
		D9	TC0_L1						X		
		D8	TC0_L0						X		
		D7	BLKLEN07	Ch.0ブロック長 (ブロック転送モード) Ch.0転送カウンタ[7:0] (シングル/連続転送モード)					X	R/W	
		D6	BLKLEN06						X		
		D5	BLKLEN05						X		
		D4	BLKLEN04						X		
		D3	BLKLEN03						X		
		D2	BLKLEN02						X		
		D1	BLKLEN01						X		
		D0	BLKLEN00						X		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
高速DMA Ch.0 制御レジスタ **注:** **D) デュアルアドレスモード** **S) シングルアドレスモード**	**0048222 (HW)**	DF	**DUALM0**	Ch.0**アドレスモード選択**	1 **デュアル** 0 **シングル**	0	R/W	
		DE	**D0DIR**	D)**無効**	–	–	–	
				S) Ch.0**転送方向制御**	1 **メモリ**WR 0 **メモリ**RD	0	R/W	
		DD–8	**–**	reserved	–	–	–	**読み出し時: 不定**
		D7	**TC0_H7**	Ch.0**転送カウンタ**[15:8]		X	R/W	
		D6	**TC0_H6**	(**ブロック転送モード**)		X		
		D5	**TC0_H5**			X		
		D4	**TC0_H4**	Ch.0**転送カウンタ**[23:16]		X		
		D3	**TC0_H3**	(**シングル/連続転送モード**)		X		
		D2	**TC0_H2**			X		
		D1	**TC0_H1**			X		
		D0	**TC0_H0**			X		
高速DMA Ch.0 転送元下位アドレス設定レジスタ **注:** **D) デュアルアドレスモード** **S) シングルアドレスモード**	**0048224 (HW)**	DF	**S0ADRL15**	D) Ch.0**転送元アドレス**[15:0]		X	R/W	
		DE	**S0ADRL14**	S) Ch.0**メモリアドレス**[15:0]		X		
		DD	**S0ADRL13**			X		
		DC	**S0ADRL12**			X		
		DB	**S0ADRL11**			X		
		DA	**S0ADRL10**			X		
		D9	**S0ADRL9**			X		
		D8	**S0ADRL8**			X		
		D7	**S0ADRL7**			X		
		D6	**S0ADRL6**			X		
		D5	**S0ADRL5**			X		
		D4	**S0ADRL4**			X		
		D3	**S0ADRL3**			X		
		D2	**S0ADRL2**			X		
		D1	**S0ADRL1**			X		
		D0	**S0ADRL0**			X		
高速DMA Ch.0 転送元上位アドレス設定レジスタ **注:** **D) デュアルアドレスモード** **S) シングルアドレスモード**	**0048226 (HW)**	DF	**–**	reserved	–	–	–	
		DE	**DATSIZE0**	Ch.0**転送データサイズ**	1 **ハーフワード** 0 **バイト**	0	R/W	
		DD	**S0IN1**	D) Ch.0**転送元アドレス制御**	S0IN[1:0] Inc/dec	0	R/W	
		DC	**S0IN0**	S) Ch.0**メモリアドレス制御**	1 1 Inc.(init**なし**) 1 0 Inc.(init) 0 1 Dec.(init**なし**) 0 0 **固定**	0		
		DB	**S0ADRH11**	D) Ch.0**転送元アドレス**[27:16]		X	R/W	
		DA	**S0ADRH10**	S) Ch.0**メモリアドレス**[27:16]		X		
		D9	**S0ADRH9**			X		
		D8	**S0ADRH8**			X		
		D7	**S0ADRH7**			X		
		D6	**S0ADRH6**			X		
		D5	**S0ADRH5**			X		
		D4	**S0ADRH4**			X		
		D3	**S0ADRH3**			X		
		D2	**S0ADRH2**			X		
		D1	**S0ADRH1**			X		
		D0	**S0ADRH0**			X		
高速DMA Ch.0 転送先下位アドレス設定レジスタ **注:** **D) デュアルアドレスモード** **S) シングルアドレスモード**	**0048228 (HW)**	DF	**D0ADRL15**	D) Ch.0**転送先アドレス**[15:0]		X	R/W	
		DE	**D0ADRL14**	S) **無効**		X		
		DD	**D0ADRL13**			X		
		DC	**D0ADRL12**			X		
		DB	**D0ADRL11**			X		
		DA	**D0ADRL10**			X		
		D9	**D0ADRL9**			X		
		D8	**D0ADRL8**			X		
		D7	**D0ADRL7**			X		
		D6	**D0ADRL6**			X		
		D5	**D0ADRL5**			X		
		D4	**D0ADRL4**			X		
		D3	**D0ADRL3**			X		
		D2	**D0ADRL2**			X		
		D1	**D0ADRL1**			X		
		D0	**D0ADRL0**			X		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
高速DMA Ch.0 転送先上位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	004822A (HW)	DF	D0MOD1	Ch.0転送モード	D0MOD[1:0] モード	0	R/W	
		DE	D0MOD0		1 1 無効	0		
					1 0 ブロック転送			
					0 1 連続転送			
					0 0 シングル転送			
		DD	D0IN1	D) Ch.0転送先アドレス制御	D0IN[1:0] Inc/dec	0	R/W	
		DC	D0IN0	S) 無効	1 1 Inc.(initなし)	0		
					1 0 Inc.(init)			
					0 1 Dec.(initなし)			
					0 0 固定			
		DB	D0ADRH11	D) Ch.0転送先アドレス[27:16]		X	R/W	
		DA	D0ADRH10	S) 無効		X		
		D9	D0ADRH9			X		
		D8	D0ADRH8			X		
		D7	D0ADRH7			X		
		D6	D0ADRH6			X		
		D5	D0ADRH5			X		
		D4	D0ADRH4			X		
		D3	D0ADRH3			X		
		D2	D0ADRH2			X		
		D1	D0ADRH1			X		
		D0	D0ADRH0			X		
高速DMA Ch.0 イネーブル レジスタ	004822C (HW)	DF–1	–	reserved	–	–	–	読み出し時: 不定
		D0	HS0_EN	Ch.0イネーブル	1 許可 0 禁止	0	R/W	
高速DMA Ch.0 トリガフラグ レジスタ	004822E (HW)	DF–1	–	reserved	–	–	–	読み出し時: 不定
		D0	HS0_TF	Ch.0トリガフラグクリア(WR)	1 クリア 0 無効	0	R/W	
				Ch.0トリガフラグステータス(RD)	1 セット 0 クリア			
高速DMA Ch.1 転送カウンタ レジスタ	0048230 (HW)	DF	TC1_L7	Ch.1転送カウンタ[7:0]		X	R/W	
		DE	TC1_L6	(ブロック転送モード)		X		
		DD	TC1_L5			X		
		DC	TC1_L4	Ch.1転送カウンタ[15:8]		X		
		DB	TC1_L3	(シングル/連続転送モード)		X		
		DA	TC1_L2			X		
		D9	TC1_L1			X		
		D8	TC1_L0			X		
		D7	BLKLEN17	Ch.1ブロック長		X	R/W	
		D6	BLKLEN16	(ブロック転送モード)		X		
		D5	BLKLEN15			X		
		D4	BLKLEN14	Ch.1転送カウンタ[7:0]		X		
		D3	BLKLEN13	(シングル/連続転送モード)		X		
		D2	BLKLEN12			X		
		D1	BLKLEN11			X		
		D0	BLKLEN10			X		
高速DMA Ch.1 制御レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048232 (HW)	DF	DUALM1	Ch.1アドレスモード選択	1 デュアル 0 シングル	0	R/W	
		DE	D1DIR	D)無効	–	–	–	
				S) Ch.1転送方向制御	1 メモリWR 0 メモリRD	0	R/W	
		DD–8	–	reserved	–	–	–	読み出し時: 不定
		D7	TC1_H7	Ch.1転送カウンタ[15:8]		X	R/W	
		D6	TC1_H6	(ブロック転送モード)		X		
		D5	TC1_H5			X		
		D4	TC1_H4	Ch.1転送カウンタ[23:16]		X		
		D3	TC1_H3	(シングル/連続転送モード)		X		
		D2	TC1_H2			X		
		D1	TC1_H1			X		
		D0	TC1_H0			X		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
高速DMA Ch.1 転送元下位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048234 (HW)	DF	S1ADRL15	D) Ch.1転送元アドレス[15:0]		X	R/W	
		DE	S1ADRL14	S) Ch.1メモリアドレス[15:0]		X		
		DD	S1ADRL13			X		
		DC	S1ADRL12			X		
		DB	S1ADRL11			X		
		DA	S1ADRL10			X		
		D9	S1ADRL9			X		
		D8	S1ADRL8			X		
		D7	S1ADRL7			X		
		D6	S1ADRL6			X		
		D5	S1ADRL5			X		
		D4	S1ADRL4			X		
		D3	S1ADRL3			X		
		D2	S1ADRL2			X		
		D1	S1ADRL1			X		
		D0	S1ADRL0			X		
高速DMA Ch.1 転送元上位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048236 (HW)	DF	–	reserved	–	–	–	
		DE	DATSIZE1	Ch.1転送データサイズ	1 ハーフワード 0 バイト	0	R/W	
		DD	S1IN1	D) Ch.1転送元アドレス制御	S1IN[1:0] Inc/dec	0	R/W	
		DC	S1IN0	S) Ch.1メモリアドレス制御	1 1 Inc.(initなし) 1 0 Inc.(init) 0 1 Dec.(initなし) 0 0 固定	0		
		DB	S1ADRH11	D) Ch.1転送元アドレス[27:16]		X	R/W	
		DA	S1ADRH10	S) Ch.1メモリアドレス[27:16]		X		
		D9	S1ADRH9			X		
		D8	S1ADRH8			X		
		D7	S1ADRH7			X		
		D6	S1ADRH6			X		
		D5	S1ADRH5			X		
		D4	S1ADRH4			X		
		D3	S1ADRH3			X		
		D2	S1ADRH2			X		
		D1	S1ADRH1			X		
		D0	S1ADRH0			X		
高速DMA Ch.1 転送先下位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048238 (HW)	DF	D1ADRL15	D) Ch.1転送先アドレス[15:0]		X	R/W	
		DE	D1ADRL14	S) 無効		X		
		DD	D1ADRL13			X		
		DC	D1ADRL12			X		
		DB	D1ADRL11			X		
		DA	D1ADRL10			X		
		D9	D1ADRL9			X		
		D8	D1ADRL8			X		
		D7	D1ADRL7			X		
		D6	D1ADRL6			X		
		D5	D1ADRL5			X		
		D4	D1ADRL4			X		
		D3	D1ADRL3			X		
		D2	D1ADRL2			X		
		D1	D1ADRL1			X		
		D0	D1ADRL0			X		
高速DMA Ch.1 転送先上位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	004823A (HW)	DF	D1MOD1	Ch.1転送モード	D1MOD[1:0] モード	0	R/W	
		DE	D1MOD0		1 1 無効 1 0 ブロック転送 0 1 連続転送 0 0 シングル転送	0		
		DD	D1IN1	D) Ch.1転送先アドレス制御	D1IN[1:0] Inc/dec	0	R/W	
		DC	D1IN0	S) 無効	1 1 Inc.(initなし) 1 0 Inc.(init) 0 1 Dec.(initなし) 0 0 固定	0		
		DB	D1ADRH11	D) Ch.1転送先アドレス[27:16]		X	R/W	
		DA	D1ADRH10	S) 無効		X		
		D9	D1ADRH9			X		
		D8	D1ADRH8			X		
		D7	D1ADRH7			X		
		D6	D1ADRH6			X		
		D5	D1ADRH5			X		
		D4	D1ADRH4			X		
		D3	D1ADRH3			X		
		D2	D1ADRH2			X		
		D1	D1ADRH1			X		
		D0	D1ADRH0			X		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
高速DMA Ch.1 イネーブル レジスタ	004823C (HW)	DF–1	–	reserved	–	–	–	読み出し時: 不定
		D0	HS1_EN	Ch.1イネーブル	1 許可　0 禁止	0	R/W	
高速DMA Ch.1 トリガフラグ レジスタ	004823E (HW)	DF–1	–	reserved	–	–	–	読み出し時: 不定
		D0	HS1_TF	Ch.1トリガフラグクリア(WR)	1 クリア　0 無効	0	R/W	
				Ch.1トリガフラグステータス(RD)	1 セット　0 クリア			
高速DMA Ch.2 転送カウンタ レジスタ	0048240 (HW)	DF	TC2_L7	Ch.2転送カウンタ[7:0]		X	R/W	
		DE	TC2_L6	(ブロック転送モード)		X		
		DD	TC2_L5			X		
		DC	TC2_L4	Ch.2転送カウンタ[15:8]		X		
		DB	TC2_L3	(シングル/連続転送モード)		X		
		DA	TC2_L2			X		
		D9	TC2_L1			X		
		D8	TC2_L0			X		
		D7	BLKLEN27	Ch.2ブロック長		X	R/W	
		D6	BLKLEN26	(ブロック転送モード)		X		
		D5	BLKLEN25			X		
		D4	BLKLEN24	Ch.2転送カウンタ[7:0]		X		
		D3	BLKLEN23	(シングル/連続転送モード)		X		
		D2	BLKLEN22			X		
		D1	BLKLEN21			X		
		D0	BLKLEN20			X		
高速DMA Ch.2 制御レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048242 (HW)	DF	DUALM2	Ch.2アドレスモード選択	1 デュアル　0 シングル	0	R/W	
		DE	D2DIR	D)無効	–	–	–	
				S) Ch.2転送方向制御	1 メモリWR　0 メモリRD	0	R/W	
		DD–8	–	reserved	–	–	–	読み出し時: 不定
		D7	TC2_H7	Ch.2転送カウンタ[15:8]		X	R/W	
		D6	TC2_H6	(ブロック転送モード)		X		
		D5	TC2_H5			X		
		D4	TC2_H4	Ch.2転送カウンタ[23:16]		X		
		D3	TC2_H3	(シングル/連続転送モード)		X		
		D2	TC2_H2			X		
		D1	TC2_H1			X		
		D0	TC2_H0			X		
高速DMA Ch.2 転送元下位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048244 (HW)	DF	S2ADRL15	D) Ch.2転送元アドレス[15:0]		X	R/W	
		DE	S2ADRL14	S) Ch.2メモリアドレス[15:0]		X		
		DD	S2ADRL13			X		
		DC	S2ADRL12			X		
		DB	S2ADRL11			X		
		DA	S2ADRL10			X		
		D9	S2ADRL9			X		
		D8	S2ADRL8			X		
		D7	S2ADRL7			X		
		D6	S2ADRL6			X		
		D5	S2ADRL5			X		
		D4	S2ADRL4			X		
		D3	S2ADRL3			X		
		D2	S2ADRL2			X		
		D1	S2ADRL1			X		
		D0	S2ADRL0			X		
高速DMA Ch.2 転送元上位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048246 (HW)	DF	–	reserved	–	–	–	
		DE	DATSIZE2	Ch.2転送データサイズ	1 ハーフワード　0 バイト	0	R/W	
		DD	S2IN1	D) Ch.2転送元アドレス制御	S2IN[1:0] Inc/dec	0	R/W	
		DC	S2IN0	S) Ch.2メモリアドレス制御	1 1 Inc.(initなし) 1 0 Inc.(init) 0 1 Dec.(initなし) 0 0 固定	0		
		DB	S2ADRH11	D) Ch.2転送元アドレス[27:16]		X	R/W	
		DA	S2ADRH10	S) Ch.2メモリアドレス[27:16]		X		
		D9	S2ADRH9			X		
		D8	S2ADRH8			X		
		D7	S2ADRH7			X		
		D6	S2ADRH6			X		
		D5	S2ADRH5			X		
		D4	S2ADRH4			X		
		D3	S2ADRH3			X		
		D2	S2ADRH2			X		
		D1	S2ADRH1			X		
		D0	S2ADRH0			X		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
高速DMA Ch.2 転送先下位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048248 (HW)	DF	D2ADRL15	D) Ch.2転送先アドレス[15:0]		X	R/W	
		DE	D2ADRL14	S) 無効		X		
		DD	D2ADRL13			X		
		DC	D2ADRL12			X		
		DB	D2ADRL11			X		
		DA	D2ADRL10			X		
		D9	D2ADRL9			X		
		D8	D2ADRL8			X		
		D7	D2ADRL7			X		
		D6	D2ADRL6			X		
		D5	D2ADRL5			X		
		D4	D2ADRL4			X		
		D3	D2ADRL3			X		
		D2	D2ADRL2			X		
		D1	D2ADRL1			X		
		D0	D2ADRL0			X		
高速DMA Ch.2 転送先上位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	004824A (HW)	DF	D2MOD1	Ch.2転送モード	D2MOD[1:0] モード	0	R/W	
		DE	D2MOD0		1 1 無効	0		
					1 0 ブロック転送			
					0 1 連続転送			
					0 0 シングル転送			
		DD	D2IN1	D) Ch.2転送先アドレス制御	D2IN[1:0] Inc/dec	0	R/W	
		DC	D2IN0	S) 無効	1 1 Inc.(initなし)	0		
					1 0 Inc.(init)			
					0 1 Dec.(initなし)			
					0 0 固定			
		DB	D2ADRH11	D) Ch.2転送先アドレス[27:16]		X	R/W	
		DA	D2ADRH10	S) 無効		X		
		D9	D2ADRH9			X		
		D8	D2ADRH8			X		
		D7	D2ADRH7			X		
		D6	D2ADRH6			X		
		D5	D2ADRH5			X		
		D4	D2ADRH4			X		
		D3	D2ADRH3			X		
		D2	D2ADRH2			X		
		D1	D2ADRH1			X		
		D0	D2ADRH0			X		
高速DMA Ch.2 イネーブル レジスタ	004824C (HW)	DF–1	–	reserved	–	–	–	読み出し時: 不定
		D0	HS2_EN	Ch.2イネーブル	1 許可 0 禁止	0	R/W	
高速DMA Ch.2 トリガフラグ レジスタ	004824E (HW)	DF–1	–	reserved	–	–	–	読み出し時: 不定
		D0	HS2_TF	Ch.2トリガフラグクリア(WR)	1 クリア 0 無効	0	R/W	
				Ch.2トリガフラグステータス(RD)	1 セット 0 クリア			
高速DMA Ch.3 転送カウンタ レジスタ	0048250 (HW)	DF	TC3_L7	Ch.3転送カウンタ[7:0]		X	R/W	
		DE	TC3_L6	(ブロック転送モード)		X		
		DD	TC3_L5			X		
		DC	TC3_L4	Ch.3転送カウンタ[15:8]		X		
		DB	TC3_L3	(シングル/連続転送モード)		X		
		DA	TC3_L2			X		
		D9	TC3_L1			X		
		D8	TC3_L0			X		
		D7	BLKLEN37	Ch.3ブロック長		X	R/W	
		D6	BLKLEN36	(ブロック転送モード)		X		
		D5	BLKLEN35			X		
		D4	BLKLEN34	Ch.3転送カウンタ[7:0]		X		
		D3	BLKLEN33	(シングル/連続転送モード)		X		
		D2	BLKLEN32			X		
		D1	BLKLEN31			X		
		D0	BLKLEN30			X		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
高速DMA Ch.3 制御レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048252 (HW)	DF	DUALM3	Ch.3アドレスモード選択	1 デュアル　0 シングル	0	R/W	
		DE	D3DIR	D)無効	–	–	–	
				S) Ch.3転送方向制御	1 メモリWR　0 メモリRD	0	R/W	
		DD–8	–	reserved	–	–	–	読み出し時: 不定
		D7	TC3_H7	Ch.3転送カウンタ[15:8]		X	R/W	
		D6	TC3_H6	(ブロック転送モード)		X		
		D5	TC3_H5			X		
		D4	TC3_H4	Ch.3転送カウンタ[23:16]		X		
		D3	TC3_H3	(シングル/連続転送モード)		X		
		D2	TC3_H2			X		
		D1	TC3_H1			X		
		D0	TC3_H0			X		
高速DMA Ch.3 転送元下位アドレス設定レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048254 (HW)	DF	S3ADRL15	D) Ch.3転送元アドレス[15:0]		X	R/W	
		DE	S3ADRL14	S) Ch.3メモリアドレス[15:0]		X		
		DD	S3ADRL13			X		
		DC	S3ADRL12			X		
		DB	S3ADRL11			X		
		DA	S3ADRL10			X		
		D9	S3ADRL9			X		
		D8	S3ADRL8			X		
		D7	S3ADRL7			X		
		D6	S3ADRL6			X		
		D5	S3ADRL5			X		
		D4	S3ADRL4			X		
		D3	S3ADRL3			X		
		D2	S3ADRL2			X		
		D1	S3ADRL1			X		
		D0	S3ADRL0			X		
高速DMA Ch.3 転送元上位アドレス設定レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048256 (HW)	DF	–	reserved	–	–	–	
		DE	DATSIZE3	Ch.3転送データサイズ	1 ハーフワード　0 バイト	0	R/W	
		DD	S3IN1	D) Ch.3転送元アドレス制御	S3IN[1:0] Inc/dec	0	R/W	
		DC	S3IN0	S) Ch.3メモリアドレス制御	1 1 Inc.(initなし) 1 0 Inc.(init) 0 1 Dec.(initなし) 0 0 固定	0		
		DB	S3ADRH11	D) Ch.3転送元アドレス[27:16]		X	R/W	
		DA	S3ADRH10	S) Ch.3メモリアドレス[27:16]		X		
		D9	S3ADRH9			X		
		D8	S3ADRH8			X		
		D7	S3ADRH7			X		
		D6	S3ADRH6			X		
		D5	S3ADRH5			X		
		D4	S3ADRH4			X		
		D3	S3ADRH3			X		
		D2	S3ADRH2			X		
		D1	S3ADRH1			X		
		D0	S3ADRH0			X		
高速DMA Ch.3 転送先下位アドレス設定レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048258 (HW)	DF	D3ADRL15	D) Ch.3転送先アドレス[15:0]		X	R/W	
		DE	D3ADRL14	S) 無効		X		
		DD	D3ADRL13			X		
		DC	D3ADRL12			X		
		DB	D3ADRL11			X		
		DA	D3ADRL10			X		
		D9	D3ADRL9			X		
		D8	D3ADRL8			X		
		D7	D3ADRL7			X		
		D6	D3ADRL6			X		
		D5	D3ADRL5			X		
		D4	D3ADRL4			X		
		D3	D3ADRL3			X		
		D2	D3ADRL2			X		
		D1	D3ADRL1			X		
		D0	D3ADRL0			X		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定			Init.	R/W	注　　釈
高速DMA Ch.3 転送先上位 アドレス設定 レジスタ **注:** **D) デュアルアドレスモード** **S) シングルアドレスモード**	**004825A (HW)**	DF	**D3MOD1**	**Ch.3転送モード**	D3MOD[1:0]		**モード**	0	R/W	
		DE	**D3MOD0**		1	1	**無効**	0		
					1	0	**ブロック転送**			
					0	1	**連続転送**			
					0	0	**シングル転送**			
		DD	**D3IN1**	**D) Ch.3転送先アドレス制御**	D3IN[1:0]		Inc/dec	0	R/W	
		DC	**D3IN0**	**S) 無効**	1	1	Inc.(init**なし**)	0		
					1	0	Inc.(init)			
					0	1	Dec.(init**なし**)			
					0	0	**固定**			
		DB	**D3ADRH11**	**D) Ch.3転送先アドレス[27:16]**				X	R/W	
		DA	**D3ADRH10**	**S) 無効**				X		
		D9	**D3ADRH9**					X		
		D8	**D3ADRH8**					X		
		D7	**D3ADRH7**					X		
		D6	**D3ADRH6**					X		
		D5	**D3ADRH5**					X		
		D4	**D3ADRH4**					X		
		D3	**D3ADRH3**					X		
		D2	**D3ADRH2**					X		
		D1	**D3ADRH1**					X		
		D0	**D3ADRH0**					X		
高速DMA Ch.3 イネーブル レジスタ	**004825C (HW)**	DF–1	**–**	reserved	–			–	–	**読み出し時: 不定**
		D0	**HS3_EN**	**Ch.3イネーブル**	1	**許可**	0 **禁止**	0	R/W	
高速DMA Ch.3 トリガフラグ レジスタ	**004825E (HW)**	DF–1	**–**	**reserved**	–			–	–	**読み出し時: 不定**
		D0	**HS3_TF**	**Ch.3トリガフラグクリア(WR)**	1	**クリア**	0 **無効**	0	R/W	
				Ch.3トリガフラグステータス(RD)	1	**セット**	0 **クリア**			

CFK51–CFK50: K5[1:0]**端子機能選択**(D[1:0]/0x402C0<K5**機能選択レジスタ**>)
CFK54–CFK53: K5[4:3]**端子機能選択**(D[4:3]/0x402C0<K5**機能選択レジスタ**>)

HSDMAの#DMAREQx端子を設定します。

"1"書き込み: #DMAREQx入力
"0"書き込み: 入力ポート
読み出し: 可能

CFK50、CFK51、CFK53、CFK54はそれぞれK50(#DMAREQ0)、K51(#DMAREQ1)、K53(#DMAREQ2)、K54(#DMAREQ3)の機能選択ビットです。
#DMAREQx信号を使用する場合はCFK5xに"1"を書き込んで、K5x端子を#DMAREQx端子に設定してください。
"0"を書き込んだ場合、その端子は入力ポート端子となります。
コールドスタート時、CFK5xは"0"(入力ポート)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

CFP16–CFP15: P1[6:5]**端子機能選択**(D[6:5]/0x402D4<P1**機能選択レジスタ**>)

HSDMAの#DMAENDx端子を設定します。

"1"書き込み: #DMAENDx出力
"0"書き込み: 入出力兼用ポート
読み出し: 可能

#DMAEND0信号を使用する場合はCFP15に"1"を書き込んで、P15端子を#DMAEND0端子に設定してください。同様に、#DMAEND1信号を使用する場合はCFP16に"1"を書き込んでP16端子を#DMAEND1端子に設定してください。さらに、これらの端子に対応するI/O制御ビットに"1"を書き込んで、出力モードに設定してください。
"0"を書き込んだ場合、その端子は入出力兼用ポート端子となります。
コールドスタート時、CFP1xは"0"(入出力兼用ポート)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

IOC16–IOC15: P1[6:5]ポートI/O制御(D[6:5]/0x402D6<P1 I/O制御レジスタ>)

入出力兼用ポートの入力/出力モードの設定とI/O制御信号の値の読み出しが行えます。

• データ書き込み時
"1"書き込み: 出力モード
"0"書き込み: 入力モード

#DMAEND0端子(Ch.0)を使用する場合はIOC15に、#DMAEND1端子(Ch.1)を使用する場合はIOC16に"1"を書き込んで、出力モードに設定してください。CFP15、CFP16が"1"に設定されている場合でも、入力モードに設定されていると、P15、P16端子は#DMAENDx出力端子として機能しません。

• データ読み出し時
"1"読み出し: I/O制御信号(出力)
"0"読み出し: I/O制御信号(入力)

ポート端子のI/O制御信号の値が読み出されます。CFP1xレジスタによって入出力兼用ポート機能を選択した場合、読み出し値はIOCレジスタへの書き込み値と一致します。一方、周辺回路を選択した場合はその回路の状態により変化し、IOCレジスタへの書き込み値とは異なる場合があります。

コールドスタート時、IOC1xレジスタはすべて"0"(入力モード)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

CFP33–CFP32: P3[3:2]端子機能選択(D[3:2]/0x402DC<P3機能選択レジスタ>)

HSDMAの#DMAACKx端子を設定します。

"1"書き込み: #DMAACKx出力
"0"書き込み: 入出力兼用ポート
読み出し: 可能

#DMAACK0信号を使用する場合は、CFP32に"1"を書き込んでP32端子を#DMAACK0端子に設定してください。同様に、#DMAACK1信号を使用する場合はCFP33に"1"を書き込んでP33端子を#DMAACK1端子に設定してください。
"0"を書き込んだ場合、その端子は入出力兼用ポート端子となります。
コールドスタート時、CFP3xは"0"(入出力兼用ポート)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

CFEX7–CFEX4: P0[7:4]端子機能拡張(D[7:4]/0x402DF<ポート機能拡張レジスタ>)

HSDMAの#DMAACKx端子と#DMAENDx端子を設定します。

"1"書き込み: HSDMA出力
"0"書き込み: 入出力兼用ポート/シリアルI/F入出力
読み出し: 可能

CFEX4～CFEX7はそれぞれP04(#DMAACK2)、P05(#DMAEND2)、P06(#DMAACK3)、P07(#DMAEND3)の機能拡張ビットです。
HSDMA用信号を使用する場合はCFEXxに"1"を書き込んで、P0x端子をHSDMA信号出力端子に設定してください。
"0"を書き込んだ場合、対応するCFPxビットの設定が有効となります。
コールドスタート時、これらのビットは"0"(入出力兼用ポート/シリアルI/F入出力)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

HSD0S3–HSD0S0: Ch.0**トリガ設定**(D[3:0]/0x40298<HSDMA Ch.0/1**トリガ設定レジスタ**>)
HSD1S3–HSD1S0: Ch.1**トリガ設定**(D[7:4]/0x40298<HSDMA Ch.0/1**トリガ設定レジスタ**>)
HSD2S3–HSD2S0: Ch.2**トリガ設定**(D[3:0]/0x40299<HSDMA Ch.2/3**トリガ設定レジスタ**>)
HSD3S3–HSD3S0: Ch.3**トリガ設定**(D[7:4]/0x40299<HSDMA Ch.2/3**トリガ設定レジスタ**>)

各HSDMAチャネルのトリガ要因を選択します。

表2.6 HSDMA**トリガ要因**

設定値	Ch.0**トリガ要因**	Ch.1**トリガ要因**	Ch.2**トリガ要因**	Ch.3**トリガ要因**
0000	**ソフトウェアトリガ**	**ソフトウェアトリガ**	**ソフトウェアトリガ**	**ソフトウェアトリガ**
0001	K50**入力(立ち下がりエッジ)**	K51**入力(立ち下がりエッジ)**	K53**入力(立ち下がりエッジ)**	K54**入力(立ち下がりエッジ)**
0010	K50**入力(立ち上がりエッジ)**	K51**入力(立ち上がりエッジ)**	K53**入力(立ち上がりエッジ)**	K54**入力(立ち上がりエッジ)**
0011	**ポート**0**入力**	**ポート**1**入力**	**ポート**2 **入力**	**ポート**3**入力**
0100	**ポート**4**入力**	**ポート**5**入力**	**ポート**6**入力**	**ポート**7**入力**
0101	8bit**タイマ**0**アンダーフロー**	8bit**タイマ**1**アンダーフロー**	8bit**タイマ**2**アンダーフロー**	8bit**タイマ**3**アンダーフロー**
0110	16bit**タイマ**0**コンペア**B	16bit**タイマ**1**コンペア**B	16bit**タイマ**2**コンペア**B	16bit**タイマ**3**コンペア**B
0111	16bit**タイマ**0**コンペア**A	16bit**タイマ**1**コンペア**A	16bit**タイマ**2**コンペア**A	16bit**タイマ**3**コンペア**A
1000	16bit**タイマ**4**コンペア**B	16bit**タイマ**5**コンペア**B	16bit**タイマ**4**コンペア**B	16bit**タイマ**5**コンペア**B
1001	16bit**タイマ**4**コンペア**A	16bit**タイマ**5**コンペア**A	16bit**タイマ**4**コンペア**A	16bit**タイマ**5**コンペア**A
1010	**シリアル** I/F Ch.0 **受信バッファフル**	**シリアル** I/F Ch.1 **受信バッファフル**	**シリアル** I/F Ch.0 **受信バッファフル**	**シリアル** I/F Ch.1 **受信バッファフル**
1011	**シリアル** I/F Ch.0 **送信バッファエンプティ**	**シリアル** I/F Ch.1 **送信バッファエンプティ**	**シリアル** I/F Ch.0 **送信バッファエンプティ**	**シリアル** I/F Ch.1 **送信バッファエンプティ**
1100	A/D**変換終了**	A/D**変換終了**	A/D**変換終了**	A/D**変換終了**

イニシャルリセット時、HSDxSは"0000"(ソフトウェアトリガ)に設定されます。

HST0: Ch.0**ソフトウェアトリガ**(D0/0x4029A<HSDMA**ソフトウェアトリガレジスタ**>)
HST1: Ch.1**ソフトウェアトリガ**(D1/0x4029A<HSDMA**ソフトウェアトリガレジスタ**>)
HST2: Ch.2**ソフトウェアトリガ**(D2/0x4029A<HSDMA**ソフトウェアトリガレジスタ**>)
HST3: Ch.3**ソフトウェアトリガ**(D3/0x4029A<HSDMA**ソフトウェアトリガレジスタ**>)

DMA転送を開始します。

"1"書き込み: トリガ
"0"書き込み: 無効
読み出し: 無効

HSTxに"1"を書き込むことで、DMA転送を開始するトリガパルスが生成されます。
この制御は、HSDMAの該当チャネルのトリガ要因をHSDxSでソフトウェアトリガに設定した場合にのみ有効です。
イニシャルリセット時、HSTxは"0"に設定されます。

HS0_TF: Ch.0**トリガフラグクリア/ステータス**(D0/0x4822E HSDMA Ch.0<**トリガフラグレジスタ**>)
HS1_TF: Ch.1**トリガフラグクリア/ステータス**(D0/0x4823E HSDMA Ch.1<**トリガフラグレジスタ**>)
HS2_TF: Ch.2**トリガフラグクリア/ステータス**(D0/0x4824E HSDMA Ch.2<**トリガフラグレジスタ**>)
HS3_TF: Ch.3**トリガフラグクリア/ステータス**(D0/0x4825E HSDMA Ch.3<**トリガフラグレジスタ**>)

トリガフラグの状態の確認とクリアに使用します。

"1"書き込み: トリガフラグクリア
"0"書き込み: 無効
"1"読み出し: セット状態
"0"読み出し: クリア状態

トリガフラグは各HSDMAチャネルのトリガ要因が発生すると"1"にセットされ、そのHSDMAチャネルがデータ転送を開始すると"0"にクリアされます。HSx_TFを読み出すことにより、その設定状態が確認できます。また、DMA転送開始前であれば、HSx_TFに"1"を書き込むことでセットされているトリガフラグをクリア(DMA転送を中止)することができます。
イニシャルリセット時、HSx_TFは"0"に設定されます。

HS0_EN: Ch.0**イネーブル**(D0/0x4822C HSDMA Ch.0<**イネーブルレジスタ**>)
HS1_EN: Ch.1**イネーブル**(D0/0x4823C HSDMA Ch.1<**イネーブルレジスタ**>)
HS2_EN: Ch.2**イネーブル**(D0/0x4824C HSDMA Ch.2<**イネーブルレジスタ**>)
HS3_EN: Ch.3**イネーブル**(D0/0x4825C HSDMA Ch.3<**イネーブルレジスタ**>)

各HSDMAチャネルのDMA転送を許可します。

"1"書き込み: 許可
"0"書き込み: 禁止
読み出し: 可能

このビットに"1"を書き込むと、DMA転送が許可されます。これにより、そのHSDMAチャネルは#DMAREQx信号または選択されているトリガ要因によるDMA要求を受け付け可能な状態となります。
"0"を書き込むと、DMA転送は禁止されます。
DMA転送が終了(転送カウンタ="0")すると、HSx_ENはハードウェアによりクリアされます。
転送条件等の設定は、DMA転送を禁止(HSx_EN = "0")してから行ってください。
イニシャルリセット時、HSx_ENは"0"(禁止)に設定されます。

DUALM0: Ch.0**アドレスモード選択**(DF/0x48222<HSDMA Ch.0**制御レジスタ**>)
DUALM1: Ch.1**アドレスモード選択**(DF/0x48232<HSDMA Ch.1**制御レジスタ**>)
DUALM2: Ch.2**アドレスモード選択**(DF/0x48242<HSDMA Ch.2**制御レジスタ**>)
DUALM3: Ch.3**アドレスモード選択**(DF/0x48252<HSDMA Ch.3**制御レジスタ**>)

アドレスモードを選択します。

"1"書き込み: デュアルアドレスモード
"0"書き込み: シングルアドレスモード
読み出し: 可能

DUALMxに"1"を書き込むと、そのHSDMAチャネルはデュアルアドレスモードに設定され、転送元と転送先アドレスを指定したデータ転送が行えます。"0"を書き込むと、外部メモリ～外部I/O間の高速なデータ転送を行うシングルアドレスモードに設定されます。
イニシャルリセット時、DUALMxは"0"(シングルアドレスモード)に設定されます。

D0DIR: Ch.0**転送方向制御**(DE/0x48222<HSDMA Ch.0**制御レジスタ**>)
D1DIR: Ch.1**転送方向制御**(DE/0x48232<HSDMA Ch.1**制御レジスタ**>)
D2DIR: Ch.2**転送方向制御**(DE/0x48242<HSDMA Ch.2**制御レジスタ**>)
D3DIR: Ch.3**転送方向制御**(DE/0x48252<HSDMA Ch.3**制御レジスタ**>)

シングルアドレスモードのデータ転送方向を制御します。

"1"書き込み: メモリライト(I/O→メモリ)
"0"書き込み: メモリリード(メモリ→I/O)
読み出し: 可能

DxDIRに"1"を書き込むと、外部I/Oデバイスから外部メモリへのデータ転送に設定されます。"0"を書き込むと、外部メモリから外部I/Oデバイスへのデータ転送となります。
イニシャルリセット時、DxDIRは"0"(メモリ→I/O)に設定されます。

このビットはシングルアドレスモード時にのみ有効です。

D0MOD1–D0MOD0: Ch.0**転送モード**(D[F:E]/0x4822A<Ch.0**転送先上位アドレス設定レジスタ**>)
D1MOD1–D1MOD0: Ch.1**転送モード**(D[F:E]/0x4823A<Ch.1**転送先上位アドレス設定レジスタ**>)
D2MOD1–D2MOD0: Ch.2**転送モード**(D[F:E]/0x4824A<Ch.2**転送先上位アドレス設定レジスタ**>)
D3MOD1–D3MOD0: Ch.3**転送モード**(D[F:E]/0x4825A<Ch.3**転送先上位アドレス設定レジスタ**>)

転送モードを選択します。

表2.7 **転送モード**

DxMOD1	DxMOD0	**モード**
1	1	**無効**
1	0	**ブロック転送モード**
0	1	**連続転送モード**
0	0	**シングル転送モード**

シングル転送モードは、1回のトリガに対してDATSIZExに設定したサイズのデータを1回転送して終了します。
連続転送モードは、転送回数カウンタに設定した回数のデータ転送を1回のトリガで実行します。
ブロック転送モードは、1回のトリガに対してBLKLENxで設定したサイズのブロックを1回転送して終了します。
イニシャルリセット時、DxMODは"00"(シングル転送モード)に設定されます。

DATSIZE0: Ch.0**転送データサイズ**(DE/0x48226<Ch.0**転送元上位アドレス設定レジスタ**>)
DATSIZE1: Ch.1**転送データサイズ**(DE/0x48236<Ch.1**転送元上位アドレス設定レジスタ**>)
DATSIZE2: Ch.2**転送データサイズ**(DE/0x48246<Ch.2**転送元上位アドレス設定レジスタ**>)
DATSIZE3: Ch.3**転送データサイズ**(DE/0x48256<Ch.3**転送元上位アドレス設定レジスタ**>)

転送するデータのサイズを選択します。

"1"書き込み: ハーフワード(16ビット)
"0"書き込み: バイト(8ビット)
読み出し: 可能

DATSIZExに"1"を書き込むと転送データサイズが16ビット、"0"を書き込むと8ビットに設定されます。
イニシャルリセット時、DATSIZExは"0"(8ビット)に設定されます。

S0IN1–S0IN0: Ch.0**転送元アドレス制御**(D[D:C]/0x48226<Ch.0**転送元上位アドレス設定レジスタ**>)
S1IN1–S1IN0: Ch.1**転送元アドレス制御**(D[D:C]/0x48236<Ch.1**転送元上位アドレス設定レジスタ**>)
S2IN1–S2IN0: Ch.2**転送元アドレス制御**(D[D:C]/0x48246<Ch.2**転送元上位アドレス設定レジスタ**>)
S3IN1–S3IN0: Ch.3**転送元アドレス制御**(D[D:C]/0x48256<Ch.3**転送元上位アドレス設定レジスタ**>)

データ転送後のアドレスインクリメント/デクリメント機能を制御します。

表2.8 **アドレス制御**

SxIN1	SxIN0	**アドレス制御**
1	1	**インクリメント(初期化なし)**
1	0	**インクリメント(初期化付き)**
0	1	**デクリメント(初期化なし)**
0	0	**アドレス固定**

デュアルアドレスモードでは、この設定が転送元アドレスに適用されます。シングルアドレスモードでは外部メモリアドレスに適用されます。
アドレス固定(00)に設定しておくと、データ転送によって転送元アドレスは変更されません。複数のデータを転送する場合でも、転送データは常に同じアドレスから読み出されます。
シングル転送モード/連続転送モードでアドレスインクリメント(11または10)を設定しておくと、1つのデータの転送終了時に転送元アドレスがDATSIZExに設定したサイズ分インクリメントされます。
アドレスデクリメント(01)を設定した場合は、転送元アドレスが同様にデクリメントされます。
ブロック転送モードも同様に、ブロック中の1つのデータを転送すると、転送元アドレスがインクリメント/デクリメントされます。ただし、"10"を設定した場合は、ブロック転送中にインクリメントされた転送元アドレスがブロックの転送終了後、初期値に戻ります。
イニシャルリセット時、SxINは"00"(アドレス固定)に設定されます。

D0IN1–D0IN0: Ch.0**転送先アドレス制御**(D[D:C]/0x4822A Ch.0<**転送先上位アドレス設定レジスタ**>)
D1IN1–D1IN0: Ch.1**転送先アドレス制御**(D[D:C]/0x4823A Ch.1<**転送先上位アドレス設定レジスタ**>)
D2IN1–D2IN0: Ch.2**転送先アドレス制御**(D[D:C]/0x4824A Ch.2<**転送先上位アドレス設定レジスタ**>)
D3IN1–D3IN0: Ch.3**転送先アドレス制御**(D[D:C]/0x4825A Ch.3<**転送先上位アドレス設定レジスタ**>)

データ転送後のアドレスインクリメント/デクリメント機能を制御します。

表2.9 **アドレス制御**

DxIN1	DxIN0	**アドレス制御**
1	1	**インクリメント(初期化なし)**
1	0	**インクリメント(初期化付き)**
0	1	**デクリメント(初期化なし)**
0	0	**アドレス固定**

デュアルアドレスモードでは、この設定が転送先アドレスに適用されます。シングルアドレスモードでは、このビットを使用しません。
アドレス固定(00)に設定しておくと、データ転送によって転送先アドレスは変更されません。複数のデータを転送する場合でも、転送データは常に同じアドレスから読み出されます。
シングル転送モード/連続転送モードでアドレスインクリメント(11または10)を設定しておくと、1つのデータの転送終了時に転送先アドレスがDATSIZExに設定したサイズ分インクリメントされます。
アドレスデクリメント(01)を設定した場合は、転送先アドレスが同様にデクリメントされます。
ブロック転送モードも同様に、ブロック中の1つのデータを転送すると、転送先アドレスがインクリメント/デクリメントされます。ただし、"10"を設定した場合は、ブロック転送中にインクリメントされた転送先アドレスがブロックの転送終了後、初期値に戻ります。
イニシャルリセット時、DxINは"00"(アドレス固定)に設定されます。

BLKLEN07–BLKLEN00: Ch.0**ブロック長/転送カウンタ**[7:0] (D[7:0]/0x48220<Ch.0**転送カウンタレジスタ**>)
BLKLEN17–BLKLEN10: Ch.1**ブロック長/転送カウンタ**[7:0] (D[7:0]/0x48230<Ch.1**転送カウンタレジスタ**>)
BLKLEN27–BLKLEN20: Ch.2**ブロック長/転送カウンタ**[7:0] (D[7:0]/0x48240<Ch.2**転送カウンタレジスタ**>)
BLKLEN37–BLKLEN30: Ch.3**ブロック長/転送カウンタ**[7:0] (D[7:0]/0x48250<Ch.3**転送カウンタレジスタ**>)

ブロック転送モードでは、転送ブロックサイズの指定に使用します。ブロック転送モードは、1回のトリガに対してBLKLENxで設定したサイズのブロックを1回転送して終了します。
シングル転送モード/連続転送モードでは、これらのビットを転送カウンタの下位8ビットの指定に使用します。
イニシャルリセット時、これらのビットは初期化されません。

TC0_L7–TC0_L0: Ch.0**転送カウンタ**[7:0]/[15:8] (D[F:8]/0x48220<Ch.0**転送カウンタレジスタ**>)
TC0_H7–TC0_H0: Ch.0**転送カウンタ**[15:8]/[23:16] (D[7:0]/0x48222<Ch.0**制御レジスタ**>)
TC1_L7–TC1_L0: Ch.1**転送カウンタ**[7:0]/[15:8] (D[F:8]/0x48230<Ch.1**転送カウンタレジスタ**>)
TC1_H7–TC1_H0: Ch.1**転送カウンタ**[15:8]/[23:16] (D[7:0]/0x48232<Ch.1**制御レジスタ**>)
TC2_L7–TC2_L0: Ch.2**転送カウンタ**[7:0]/[15:8] (D[F:8]/0x48240<Ch.2**転送カウンタレジスタ**>)
TC2_H7–TC2_H0: Ch.2**転送カウンタ**[15:8]/[23:16] (D[7:0]/0x48242<Ch.2**制御レジスタ**>)
TC3_L7–TC3_L0: Ch.3**転送カウンタ**[7:0]/[15:8] (D[F:8]/0x48250<Ch.3**転送カウンタレジスタ**>)
TC3_H7–TC3_H0: Ch.3**転送カウンタ**[15:8]/[23:16] (D[7:0]/0x48252<Ch.3**制御レジスタ**>)

転送回数を設定します。
ブロック転送モードでは、TCx_L[7:0]を転送カウンタのビット[7:0]、TCx_H[7:0]をビット[15:8]として使用します。
シングル転送モード/連続転送モードではTCx_L[7:0]を転送カウンタのビット[15:8]、TCx_H[7:0]をビット[23:16]として使用します。下位8ビットはBLKLENx[7:0]で指定します。
このカウンタは対応するチャネルのDMA転送1回ごとにデクリメントされます。カウンタが"0"になると転送終了割り込み要因を発生します。シングルアドレスモードでは、同時に#DMAENDx端子から転送終了信号を出力します。
カウンタが"0"の場合でもDMA要求は受け付けられ、デクリメントによって"0xFFFF"(または"0xFFFFFF")となります。
カウンタの書き込みおよび読み出しは、DMA転送を禁止(HSx_EN = "0")して行ってください。
イニシャルリセット時、これらのカウンタは初期化されません。

S0ADRL15–S0ADRL0: Ch.0**転送元アドレス**[15:0](D[F:0]/0x48224<Ch.0**転送元下位アドレス設定レジスタ**>)
S0ADRH11–S0ADRH0: Ch.0**転送元アドレス**[27:16](D[B:0]/0x48226<Ch.0**転送元上位アドレス設定レジスタ**>)
S1ADRL15–S1ADRL0: Ch.1**転送元アドレス**[15:0](D[F:0]/0x48234<Ch.1**転送元下位アドレス設定レジスタ**>)
S1ADRH11–S1ADRH0: Ch.1**転送元アドレス**[27:16](D[B:0]/0x48236<Ch.1**転送元上位アドレス設定レジスタ**>)
S2ADRL15–S2ADRL0: Ch.2**転送元アドレス**[15:0](D[F:0]/0x48244<Ch.2**転送元下位アドレス設定レジスタ**>)
S2ADRH11–S2ADRH0: Ch.2**転送元アドレス**[27:16](D[B:0]/0x48246<Ch.2**転送元上位アドレス設定レジスタ**>)
S3ADRL15–S3ADRL0: Ch.3**転送元アドレス**[15:0](D[F:0]/0x48254<Ch.3**転送元下位アドレス設定レジスタ**>)
S3ADRH11–S3ADRH0: Ch.3**転送元アドレス**[27:16](D[B:0]/0x48256<Ch.3**転送元上位アドレス設定レジスタ**>)

デュアルアドレスモードでは、これらのビットを転送元アドレスの指定に使用します。シングルアドレスモードでは外部メモリアドレスの指定に使用します。
SxADRLでアドレスの下位16ビットを、SxADRHで上位12ビットを設定します。
レジスタの書き込みおよび読み出しは、DMA転送を禁止(HSx_EN = "0")して行ってください。
アドレスは、対応するチャネルのDMA転送1回ごとに、転送データサイズに従ってインクリメントまたはデクリメント(SxINで設定)されます。
イニシャルリセット時、これらのビットは初期化されません。

D0ADRL15–D0ADRL0: Ch.0**転送先アドレス**[15:0](D[F:0]/0x48228<Ch.0**転送先下位アドレス設定レジスタ**>)
D0ADRH11–D0ADRH0: Ch.0**転送先アドレス**[27:16](D[B:0]/0x4822A<Ch.0**転送先上位アドレス設定レジスタ**>)
D1ADRL15–D1ADRL0: Ch.1**転送先アドレス**[15:0](D[F:0]/0x48238<Ch.1**転送先下位アドレス設定レジスタ**>)
D1ADRH11–D1ADRH0: Ch.1**転送先アドレス**[27:16](D[B:0]/0x4823A<Ch.1**転送先上位アドレス設定レジスタ**>)
D2ADRL15–D2ADRL0: Ch.2**転送先アドレス**[15:0](D[F:0]/0x48248<Ch.2**転送先下位アドレス設定レジスタ**>)
D2ADRH11–D2ADRH0: Ch.2**転送先アドレス**[27:16](D[B:0]/0x4824A<Ch.2**転送先上位アドレス設定レジスタ**>)
D3ADRL15–D3ADRL0: Ch.3**転送先アドレス**[15:0](D[F:0]/0x48258<Ch.3**転送先下位アドレス設定レジスタ**>)
D3ADRH11–D3ADRH0: Ch.3**転送先アドレス**[27:16](D[B:0]/0x4825A<Ch.3**転送先上位アドレス設定レジスタ**>)

デュアルアドレスモードでは、これらのビットを転送先アドレスの指定に使用します。シングルアドレスモードではこれらのビットを使用しません。
レジスタの書き込みおよび読み出しは、DMA転送を禁止(HSx_EN = "0")して行ってください。
アドレスは、対応するチャネルのDMA転送1回ごとに、転送データサイズに従ってインクリメントまたはデクリメント(DxINで設定)されます。
イニシャルリセット時、これらのビットは初期化されません。

PHSD0L2–PHSD0L0: Ch.0**割り込みレベル**(D[2:0]/0x40263<HSDMA Ch.0/1**割り込みプライオリティレジスタ**>)
PHSD1L2–PHSD1L0: Ch.1**割り込みレベル**(D[6:4]/0x40263<HSDMA Ch.0/1**割り込みプライオリティレジスタ**>)
PHSD2L2–PHSD2L0: Ch.2**割り込みレベル**(D[2:0]/0x40264<HSDMA Ch.2/3**割り込みプライオリティレジスタ**>)
PHSD3L2–PHSD3L0: Ch.3**割り込みレベル**(D[6:4]/0x40264<HSDMA Ch.2/3**割り込みプライオリティレジスタ**>)

HSDMA終了割り込みの優先レベルを0～7の範囲で設定します。
イニシャルリセット時、これらのレジスタは不定となります。

EHDM0: Ch.0**割り込みイネーブル**(D0/0x40271<DMA**割り込みイネーブルレジスタ**>)
EHDM1: Ch.1**割り込みイネーブル**(D1/0x40271<DMA**割り込みイネーブルレジスタ**>)
EHDM2: Ch.2**割り込みイネーブル**(D2/0x40271<DMA**割り込みイネーブルレジスタ**>)
EHDM3: Ch.3**割り込みイネーブル**(D3/0x40271<DMA**割り込みイネーブルレジスタ**>)

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可
"0"書き込み: 割り込み禁止
読み出し: 可能

EHDMxはHSDMAのCh.xに対応する割り込みイネーブルビットで、"1"に設定すると割り込みが許可され、"0"に設定すると割り込みが禁止されます。
イニシャルリセット時、EHDMxは"0"(割り込み禁止)に設定されます。

FHDM0: Ch.0割り込み要因フラグ (D0/0x40281<DMA割り込み要因フラグレジスタ>)
FHDM1: Ch.1割り込み要因フラグ (D1/0x40281<DMA割り込み要因フラグレジスタ>)
FHDM2: Ch.2割り込み要因フラグ (D2/0x40281<DMA割り込み要因フラグレジスタ>)
FHDM3: Ch.3割り込み要因フラグ (D3/0x40281<DMA割り込み要因フラグレジスタ>)

HSDMAの割り込み要因の発生状態を示します。

• 読み出し時
"1"読み出し: 割り込み要因あり
"0"読み出し: 割り込み要因なし

• リセットオンリー方式書き込み時 (デフォルト)
"1"書き込み: 要因フラグをリセット
"0"書き込み: 無効

• リード/ライト方式書き込み時
"1"書き込み: 要因フラグをセット
"0"書き込み: 要因フラグをリセット

FHDMxはHSDMAのCh.xに対応する割り込み要因フラグで、転送カウンタが"0"になると"1"にセットされます。
このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。
1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

なお、この割り込み要因をIDMA要求として使用する場合、上記の条件が成立している場合でも、割り込み要因発生時点でCPUに対する割り込み要求は出力されません。IDMAの設定で割り込みを許可してあれば、IDMAによるデータ転送終了後に上記の条件で割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み要因の発生により"1"にセットされます。
割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。
割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。
イニシャルリセット時、FHDMxフラグは不定となりますので、必ずソフトウェアでリセットしてください。

RHDM0: Ch.0 IDMAリクエスト(D4/0x40290<ポート入力0–3, HSDMA, 16bitタイマ0 IDMAリクエストレジスタ>)
RHDM1: Ch.1 IDMAリクエスト(D5/0x40290<ポート入力0–3, HSDMA, 16bitタイマ0 IDMAリクエストレジスタ>)

割り込み要因発生時にIDMAを起動するかどうか設定します。

• セットオンリー方式(デフォルト)
"1"書き込み: IDMA要求
"0"書き込み: 無効
読み出し: 可能

• リード/ライト方式
"1"書き込み: IDMA要求
"0"書き込み: 割り込み要求
読み出し: 可能

RHDM0はHSDMAのCh.0、RHDM1はCh.1に対応するIDMAリクエストビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。
IDMAについては"IDMA(インテリジェントDMA)"を参照してください。
イニシャルリセット時、RHDMxは"0"(割り込み要求)に設定されます。

DEHDM0: Ch.0 IDMA**イネーブル**(D4/0x40294<**ポート入力**0–3, HSDMA, 16bit**タイマ**0 IDMA**イネーブルレジスタ**>)
DEHDM1: Ch.1 IDMA**イネーブル**(D5/0x40294<**ポート入力**0–3, HSDMA, 16bit**タイマ**0 IDMA**イネーブルレジスタ**>)

割り込み要因によるIDMA転送を許可または禁止します。

• セットオンリー方式(デフォルト)
"1"書き込み: IDMA許可
"0"書き込み: 無効
読み出し: 可能

• リード/ライト方式
"1"書き込み: IDMA許可
"0"書き込み: IDMA禁止
読み出し: 可能

DEHDM0はHSDMAのCh.0、DEHDM1はCh.1に対応するIDMAイネーブルビットで、"1"に設定すると割り込み要因発生時にIDMAが起動し、プログラムされたデータ転送を行います。"0"に設定すると通常の割り込み処理が行われ、IDMAは起動しません。
イニシャルリセット時、DEHDMxは"0"(IDMA禁止)に設定されます。

プログラミング上の注意事項

(1) 転送条件の設定は、必ずDMAコントローラが動作停止中に(HSx_ENを"0"に設定して)行ってください。

(2) イニシャルリセット後、割り込み要因フラグ(FHDMx)は不定となります。不要な割り込みやIDMA要求の発生を防止するため、必ずプログラムでリセットしてください。

(3) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグ(FHDMx)をリセットしてください。

(4) HSDMAはIDMA(インテリジェントDMA)およびCPUよりも優先順位が高く設定されています。
ただし、IDMAと共通の回路を使用しているため、IDMAの転送中はHSDMAがバス権を獲得することはできません。IDMA転送中に発生したHSDMAの起動要求はIDMA転送が終了するまで保留されます。
HSDMA転送中に発生した割り込み要因によるIDMAの起動要求または割り込み要求は、HSDMA転送終了後に受け付けられます。

(5) HALTモードではDMAとBCUのクロックが動作しているため、クロックオプションレジスタHLT2OP(0x40190のD3)が"0"のとき(HALT2モードではなく、HALTモードの場合)に次の動作を行うと、その動作は予測できない誤動作になります。
halt命令を実行後、CPUが停止している状態でDMAのトリガが発生しDMAが動作すると誤動作になります。HALTモード時は、DMAが動作しないようにしてください。
HALT2モードでは、DMAとBCUのクロックが停止するためDMAは起動しません。

V-3 IDMA(インテリジェントDMA)

IDMAの機能概要

C33 DMAブロックは、コントロール情報をRAM上にプログラミング可能なインテリジェントDMA(IDMA)を内蔵しています。内部周辺回路の割り込み要因によって起動可能な31チャネルを含め、最大128チャネルのプログラミングが可能です。
RAM上のコントロール情報のロードとストアによるオーバーヘッドが生じますが、連続転送やブロック転送、他のIDMAへのリンク機能などをサポートしています。

IDMAは内部周辺回路の割り込み要因およびソフトウェアによるトリガにより起動し、RAM上のコントロール情報に従ってデータ転送を行います。転送終了時には割り込みを発生させることや、リンク設定によって他のIDMAを起動させることができます。

コントロール情報のプログラミング

インテリジェントDMAはRAM上に用意されたコントロール情報によって動作します。コントロール情報は、必要な領域が確保できれば内蔵RAM、外部RAMのどちらに置いてもかまいません。
コントロール情報は各チャネルごとに3ワード(12バイト)のサイズで、ソフトウェアで設定するベースアドレスをCh.0の先頭アドレスとして連続的に配置する必要があります。したがって、128チャネルをすべて使用する場合は、RAM上に384ワード(1536バイト)の領域が必要となります。

以下、ベースアドレスの設定方法と、コントロール情報の内容について説明します。IDMAを使用する前に、それぞれの設定を行ってください。

■ ベースアドレスの設定

コントロール情報の先頭アドレス(Ch.0の先頭アドレス)をIDMAベースアドレスレジスタに設定します。
IDMAベースアドレス下位レジスタ: DBASEL[15:0](0X48200•D[F:0]) ... 下位16ビット
IDMAベースアドレス上位レジスタ: DBASEH[11:0](0X48202•D[B:0]) ... 上位12ビット

イニシャルリセット時、ベースアドレスは0x0C003A0に設定されます。

注: **・IDMAベースアドレスレジスタに設定するアドレスは、必ずワード(32ビット)境界を指定してください。**

・ベースアドレスの設定は、DMA転送を禁止(IDMAENを"0"に設定)して行ってください。DMA転送が許可されている場合(IDMAEN="1")、IDMAベースアドレスレジスタへの書き込みは無効です。また、読み出しも、データが不定となります。

■ コントロール情報

使用するIDMAチャネルのコントロール情報をRAMに書き込みます。
各チャネルのコントロール情報を置くアドレスは、ベースアドレスとチャネル番号によって決まります。

チャネルの先頭アドレス = ベースアドレス + (チャネル番号 × 12[バイト])

注: **コントロール情報の書き込みは、指定のチャネルによるDMA転送が発生しない状態で行ってください。RAMにコントロール情報を書き込み中にそのチャネルのDMA転送が発生すると正しい転送は行われません。コントロール情報の読み出しについては常時可能です。**

各チャネルのコントロール情報(3ワード)の内容は次のとおりです。

表3.1 IDMAコントロール情報

ワード	ビット	名称	機能
1st	D31	LNKEN	IDMAリンクイネーブル "1" = 許可、"0" = 禁止
	D30–24	LNKCHN[6:0]	IDMAリンクフィールド
	D23–8	TC[15:0]	転送回数カウンタ(ブロック転送モード) 転送回数カウンタ上位16ビット(シングル/連続転送モード)
	D7–0	BLKLEN[7:0]	ブロックサイズ(ブロック転送モード) 転送回数カウンタ下位8ビット(シングル/連続転送モード)
2nd	D31	DINTEN	終了割り込みイネーブル "1" = 許可、"0" = 禁止
	D30	DATSIZ	データサイズコントロール "1" = ハーフワード、"0" = バイト
	D29–28	SRINC[1:0]	ソースアドレスコントロール SRINC1 SRINC0 設定内容 1 1 アドレスインクリメント(ブロック転送モード時、初期値を戻さずに更新) 1 0 アドレスインクリメント(ブロック転送モード時、初期値を戻す) 0 1 アドレスデクリメント(ブロック転送モード時、初期値を戻さずに更新) 0 0 アドレス固定
	D27–0	SRADR[27:0]	ソースアドレス
3rd	D31–30	DMOD[1:0]	転送モード("11"は設定禁止) DMOD1 DMOD0 設定内容 1 0 ブロック転送モード 0 1 連続転送モード 0 0 シングル転送モード
	D29–28	DSINC[1:0]	ディスティネーションアドレスコントロール DSINC1 DSINC0 設定内容 1 1 アドレスインクリメント(ブロック転送モード時、初期値を戻さずに更新) 1 0 アドレスインクリメント(ブロック転送モード時、初期値を戻す) 0 1 アドレスデクリメント(ブロック転送モード時、初期値を戻さずに更新) 0 0 アドレス固定
	D27–0	DSADR[27:0]	ディスティネーションアドレス

LNKEN: IDMAリンクイネーブル (D31/1st Word)
このビットを"1"に設定しておくと、このチャネルのDMA転送を終了後に、IDMAリンクフィールドに設定されたIDMAチャネルを起動します。最初に実行するチャネルのトリガのみで、複数チャネルのDMA転送を連続して行うことができます。リンクするチャネル数に制限はありません。IDMAチャネルの実行順にリンクを設定してください。
このビットが"0"の場合、このチャネルのDMA転送のみで終了します。

LNKCHN[6:0]: IDMAリンクフィールド (D[30:24]/1st Word)
IDMAのリンクを行う場合に、次に実行するチャネル番号(0～127)を設定しておきます。
このフィールドのデータは、LNKENが"1"に設定されている場合にのみ有効です。

TC[15:0]: 転送回数カウンタ (D[23:8]/1st Word)
ブロック転送モードでは最大16ビットの転送回数が指定可能で、その値をここに設定します。
シングル転送モード/連続転送モードでは最大24ビットの転送回数が指定可能で、ここにはその上位16ビットを設定します。

BLKLEN[7:0]: **ブロックサイズ/転送回数カウンタ** (D[7:0]/1st Word)
ブロック転送モードでは、1回に転送されるブロックのサイズ(単位はDATSIZによる)を設定します。
シングル転送モード/連続転送モードでは、転送回数の下位8ビットを設定します。

注: **設定した転送回数、ブロックサイズは転送に従ってデクリメントされます。**"0"**を設定した場合は最初の転送でオール**F**にデクリメントされるため、それぞれのビット数で決まる最大値を設定したことになります。**

DINTEN: **終了割り込みイネーブル** (D31/2nd Word)
このビットを"1"に設定しておくと、転送回数カウンタが"0"になった時点でIDMAを起動した割り込み要因フラグに基づいてCPUへの割り込み要求が発生します。
このビットが"0"の場合、転送回数カウンタが"0"になってもCPUへの割り込み要求は発生しません。

DATSIZ: **データサイズコントロール** (D30/2nd Word)
転送データ1個分のサイズを設定します。
このビットが"1"の場合はハーフワードサイズ(16ビット)、"0"の場合はバイトサイズ(8ビット)となります。

SRINC[1:0]: **ソースアドレスコントロール** (D[29:28]/2nd Word)
ソースアドレスの更新形式を設定します。
アドレス固定(00)に設定しておくと、データ転送によってソースアドレスは変更されません。複数のデータを転送する場合でも、転送データは常に同じアドレスから読み出されます。
シングル転送モード/連続転送モードでアドレスインクリメント(11または10)を設定しておくと、1つのデータの転送終了時にソースアドレスがDATSIZに設定したサイズ分インクリメントされます。
アドレスデクリメント(01)を設定した場合は、ソースアドレスが同様にデクリメントされます。
ブロック転送モードも同様に、ブロック中の1つのデータを転送すると、ソースアドレスがインクリメント/デクリメントされます。ただし、"10"を設定した場合は、ブロック転送中にインクリメントされたソースアドレスがブロックの転送終了後、初期値に戻ります。

SRADR[27:0]: **ソースアドレス** (D[27:0]/2nd Word)
転送元の先頭アドレスを設定しておきます。この内容は、SRINCの設定に従って更新されます。

DMOD[1:0]: **転送モード** (D[31:30]/3rd Word)
転送モードを設定しておきます。
転送モードの概要は次のとおりです(詳細は後述)。

- **シングル転送モード** (00)
  シングル転送モードは、1回のトリガに対してDATSIZに設定したサイズのデータを1回転送して終了します。転送回数カウンタに設定した回数のデータ転送を行うためには、その回数分のトリガが必要です。
- **連続転送モード** (01)
  連続転送モードは、転送回数カウンタに設定した回数のデータ転送を1回のトリガで実行します。転送回数カウンタは一度の実行で"0"になります。
- **ブロック転送モード** (10)
  ブロック転送モードは、1回のトリガに対してBLKLENで設定したサイズのブロックを1回転送して終了します。転送回数カウンタに設定した回数のブロック転送を行うためには、その回数分のトリガが必要です。

DSINC[1:0]: **ディスティネーションアドレスコントロール** (D[29:28]/3rd Word)
ディスティネーションアドレスの更新形式を設定します。
アドレス固定(00)に設定しておくと、データ転送によってディスティネーションアドレスは変更されません。複数のデータを転送する場合でも、転送データは常に同じアドレスに書き込まれます。
シングル転送モード/連続転送モードでアドレスインクリメント(11または10)を設定しておくと、1つのデータの転送終了時にディスティネーションアドレスがDATSIZに設定したサイズ分インクリメントされます。アドレスデクリメント(01)を設定した場合は、ディスティネーションアドレスが同様にデクリメントされます。
ブロック転送モードも同様に、ブロック中の1つのデータを転送すると、ディスティネーションアドレスがインクリメント/デクリメントされます。ただし、"10"を設定した場合は、ブロック転送中にインクリメントされたディスティネーションアドレスがブロックの転送終了後、初期値に戻ります。

DSADR[27:0]: **ディスティネーションアドレス** (D[27:0]/3rd Word)
転送先の先頭アドレスを設定しておきます。この内容は、DSINCの設定に従って更新されます。

コントロール情報はRAM上に置かれるため、書き換えが可能です。ただし、内容を書き換える場合は、必ずそのチャネルのDMA転送が発生しない状況で行ってください。

IDMAの起動

IDMAを起動するトリガには次の3種類の要因があります。
1. 内蔵周辺回路の割り込み要因
2. ソフトウェアトリガ
3. リンク設定

■ DMA転送の許可/禁止

DMAイネーブルレジスタ(0x48205)のIDMAEN(D0)に"1"を書き込むことによってDMAコントローラがイネーブルとなり、上記のトリガを受け付けられる状態となります。ただし、DMA転送を許可する前に、必ずベースアドレスと起動するチャネルのコントロール情報を正しく設定してください。IDMAENに"0"を書き込むとIDMA起動要求は受け付けられません。

■ 内蔵周辺回路の割り込み要因によるIDMAの起動

割り込み機能を持つ内蔵周辺回路の中には、その割り込み要因でIDMAを起動できるものがあります。これらに対応するIDMAチャネル番号はあらかじめ決められています。この機能を持つ割り込み要因とIDMAチャネルの関係を表3.2に示します。

表3.2 IDMAを起動可能な割り込み要因

周辺回路	割り込み要因	IDMA Ch.	IDMAリクエストビット	IDMAイネーブルビット
ポート	ポート入力0	1	RP0 (D0/0x40290)	DEP0 (D0/0x40294)
	ポート入力1	2	RP1 (D1/0x40290)	DEP1 (D1/0x40294)
	ポート入力2	3	RP2 (D2/0x40290)	DEP2 (D2/0x40294)
	ポート入力3	4	RP3 (D3/0x40290)	DEP3 (D3/0x40294)
高速DMA	Ch.0転送終了	5	RHDM0 (D4/0x40290)	DEHDM0 (D4/0x40294)
	Ch.1転送終了	6	RHDM1 (D5/0x40290)	DEHDM1 (D5/0x40294)
16ビットタイマ	タイマ0コンペアB	7	R16TU0 (D6/0x40290)	DE16TU0 (D6/0x40294)
	タイマ0コンペアA	8	R16TC0 (D7/0x40290)	DE16TC0 (D7/0x40294)
	タイマ1コンペアB	9	R16TU1 (D0/0x40291)	DE16TU1 (D0/0x40295)
	タイマ1コンペアA	10	R16TC1 (D1/0x40291)	DE16TC1 (D1/0x40295)
	タイマ2コンペアB	11	R16TU2 (D2/0x40291)	DE16TU2 (D2/0x40295)
	タイマ2コンペアA	12	R16TC2 (D3/0x40291)	DE16TC2 (D3/0x40295)
	タイマ3コンペアB	13	R16TU3 (D4/0x40291)	DE16TU3 (D4/0x40295)
	タイマ3コンペアA	14	R16TC3 (D5/0x40291)	DE16TC3 (D5/0x40295)
	タイマ4コンペアB	15	R16TU4 (D6/0x40291)	DE16TU4 (D6/0x40295)
	タイマ4コンペアA	16	R16TC4 (D7/0x40291)	DE16TC4 (D7/0x40295)
	タイマ5コンペアB	17	R16TU5 (D0/0x40292)	DE16TU5 (D0/0x40296)
	タイマ5コンペアA	18	R16TC5 (D1/0x40292)	DE16TC5 (D1/0x40296)
8ビットタイマ	タイマ0アンダーフロー	19	R8TU0 (D2/0x40292)	DE8TU0 (D2/0x40296)
	タイマ1アンダーフロー	20	R8TU1 (D3/0x40292)	DE8TU1 (D3/0x40296)
	タイマ2アンダーフロー	21	R8TU2 (D4/0x40292)	DE8TU2 (D4/0x40296)
	タイマ3アンダーフロー	22	R8TU3 (D5/0x40292)	DE8TU3 (D5/0x40296)
シリアル インタフェース	Ch.0受信バッファフル	23	RSRX0 (D6/0x40292)	DESRX0 (D6/0x40296)
	Ch.0送信バッファエンプティ	24	RSTX0 (D7/0x40292)	DESTX0 (D7/0x40296)
	Ch.1受信バッファフル	25	RSRX1 (D0/0x40293)	DESRX1 (D0/0x40297)
	Ch.1送信バッファエンプティ	26	RSTX1 (D1/0x40293)	DESTX1 (D1/0x40297)
A/D変換器	A/D変換終了	27	RADE (D2/0x40293)	DEADE (D2/0x40297)
ポート	ポート入力4	28	RP4 (D4/0x40293)	DEP4 (D4/0x40297)
	ポート入力5	29	RP5 (D5/0x40293)	DEP5 (D5/0x40297)
	ポート入力6	30	RP4 (D6/0x40293)	DEP4 (D6/0x40297)
	ポート入力7	31	RP7 (D7/0x40293)	DEP7 (D7/0x40297)

これらの割り込み要因は、割り込み要求とIDMA起動要求に共通に使用されます。
割り込み要因発生時にIDMAを起動するには、表に示したIDMAリクエストビットとIDMAイネーブルビットに"1"を書き込んでおきます。その状態で割り込み要因が発生すると、CPUに対する割り込み要求は保留され、対応するIDMAチャネルを起動します。
"1"にセットされた割り込み要因フラグは、それによるDMA転送が終了するまで保持されます。
1回のDMA転送終了時に次の2つの条件が満たされていれば、割り込み要因フラグがリセットされずに割り込み要求を発生します。
• 転送回数カウンタが"0"になった
• コントロール情報のDINTENが"1"(割り込み許可)に設定されている
この場合、IDMAリクエストビットは"0"にクリアされます。したがって、次回の割り込み要因発生時にもIDMAを起動させるには再設定が必要です。この再設定は、不要なIDMA要求が発生しないよう、割り込み要因フラグをリセット後、割り込みを許可する前に行ってください。IDMAイネーブルビットはクリアされず、"1"を保持します。

転送回数カウンタが"0"以外の場合、DMA転送終了時に割り込み要因フラグはリセットされ、割り込みは発生しません。この場合、IDMAリクエストビットおよびIDMAイネーブルビットはクリアされずに"1"を保持したままとなります。
転送回数カウンタが"0"になった場合でも、コントロール情報のDINTENが"0"に設定されているとDMA転送終了時に割り込み要因フラグはリセットされ、割り込みは発生しません。この場合、IDMAリクエストビットはクリアされませんが、IDMAイネーブルビットはクリアされます。

IDMAリクエストレジスタのビットを"0"に設定しておくと、その割り込み要因はIDMA起動要求を発生せずに、割り込み要求を発生します。

割り込み要因に対応する割り込みコントローラの制御レジスタ(割り込みイネーブルレジスタ、割り込みプライオリティレジスタ)は、IDMAの起動には影響しません。割り込みイネーブルレジスタのビットが"0"の場合でもIDMAは起動します。ただし、DMA転送終了後に割り込みを発生させる場合は、これらのレジスタで割り込みを許可しておくことが必要です

■ ソフトウェアトリガによるIDMAの起動

前述の割り込み要因に対応したIDMAチャネルを含め、コントロール情報が設定されているすべてのIDMAチャネルはソフトウェアによって起動することができます。
この制御には次の制御ビットを使用します。

IDMAチャネル番号設定:	DCHN[6:0](IDMAスタートレジスタ0x48204•D[6:0])
IDMA開始制御:	DSTART(IDMAスタートレジスタ0x48204•D7)

起動するIDMAチャネル番号(0〜127)をDCHNに書き込み、DSTARTに"1"を書き込むことによって、指定したIDMAチャネルがDMA転送を開始します。
DSTARTはDMA転送中は"1"を保持し、1回のDMA転送を終了するとハードウェアによって"0"に戻されます。
DMA転送中は、これらのビットをソフトウェアで変更しないでください。

DINTENが"1"(割り込み許可)に設定されていると、1回のDMA転送が終了した時点でIDMA転送終了割り込み要因が発生します。

■ リンク設定によるIDMAの起動

コントロール情報のLNKENが"1"(リンク許可)に設定されていると、そのチャネルのDMA転送を終了後にIDMAリンクフィールドLNKCHNに設定されているIDMAチャネルを続けて起動します。

最初のチャネルの割り込み要求は、リンクされているすべてのチャネルの転送終了後に、割り込み条件が成立していれば発生します。
IDMA終了時に割り込みを発生させたいときは、起動するIDMAチャネルとリンクされるすべてのIDMAチャネルについて、IDMAコントロール情報のDINTEN(終了割り込みイネーブル)ビットを"1"に設定してください。

■ DMA転送中のIDMA起動要求

DMA転送中に発生した別のチャネルに対するIDMA起動要求は、その時点に実行中のDMA転送を終了するまで保留されます。起動要求はクリアされませんので、実行中のDMA転送を終了すると受け付けられます。

DMA転送中のチャネルに対する起動要求は、同じ割り込み要因を使用するため受け付けられません。したがって、同一チャネルを起動するには、そのDMA転送時間よりも長いインターバルが必要です。

■ DMA転送禁止状態でのIDMA起動要求

IDMAENが"0"(DMA転送禁止)のときに発生したIDMA起動要求は、IDMAENを"1"に設定するまで保留されます。起動要求はクリアされませんので、DMA転送を許可した時点で受け付けられます。

■ ソフトウェアトリガとハードウェアトリガが同時に発生した場合

同一チャネルへのソフトウェアトリガとハードウェアトリガが同時に発生した場合、ソフトウェアトリガによるIDMA転送が先に行われます。この転送が終了した時点でハードウェアトリガ(割り込み要因フラグ)がリセットされるため、ハードウェアトリガによるIDMA転送は行われません。ただし、このような使用方法は推奨しません。

IDMAの動作

IDMAには3種類の転送モードがあり、それぞれデータ転送の動作が異なります。また、トリガの種類により割り込み要因の処理も異なります。以下、各転送モード、トリガの種類による動作を説明します。

■ シングル転送モード

コントロール情報のDMODが"00"に設定されているチャネルは、シングル転送モードで動作します。シングル転送モードは、1回のトリガに対してDATSIZに設定したサイズのデータを1回転送して終了します。転送回数カウンタに設定した回数のデータ転送を行うためには、その回数分のトリガが必要です。

シングル転送モードの動作を図3.1のフローチャートに示します。

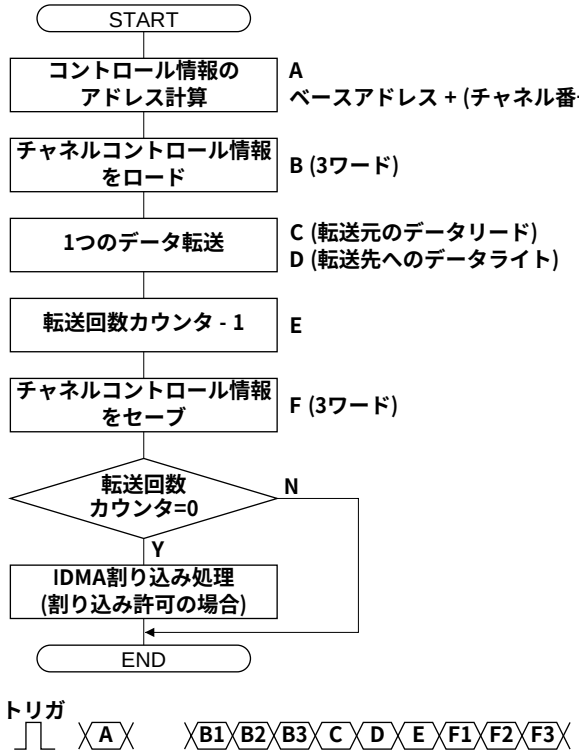


図3.1 **シングル転送モードの動作フロー**

(1) トリガを受け付けると、ベースアドレスとチャネル番号からコントロール情報のアドレスを算出します。
(2) 算出したアドレスからコントロール情報をチップ上のテンポラリレジスタに読み込みます。
(3) コントロール情報に設定されたサイズのデータをソースアドレスから読み出します。
(4) 読み出したデータをディスティネーションアドレスに書き込みます。
(5) アドレスのインクリメント/デクリメント、転送回数カウンタのデクリメントを行います。
(6) 変更されたコントロール情報をRAMに書き込みます。
(7) ハードウェアトリガの場合、割り込み制御ビットを以下のように処理してIDMAを終了します。

条　件	割り込み要因フラグ	IDMAリクエストビット	IDMAイネーブルビット
転送カウンタ≠"0"	**リセット**("0")	**変更なし**("1")	**変更なし**("1")
転送カウンタ="0", DINTEN="1"	**変更なし**("1")	**リセット**("0")	**変更なし**("1")
転送カウンタ="0", DINTEN="0"	**リセット**("0")	**変更なし**("1")	**リセット**("0")

■ 連続転送モード

コントロール情報のDMODが"01"に設定されているチャネルは、連続転送モードで動作します。
連続転送モードは、転送回数カウンタに設定した回数のデータ転送を1回のトリガで実行します。
転送回数カウンタは一度の実行で"0"になります。
連続転送モードの動作を図3.2のフローチャートに示します。

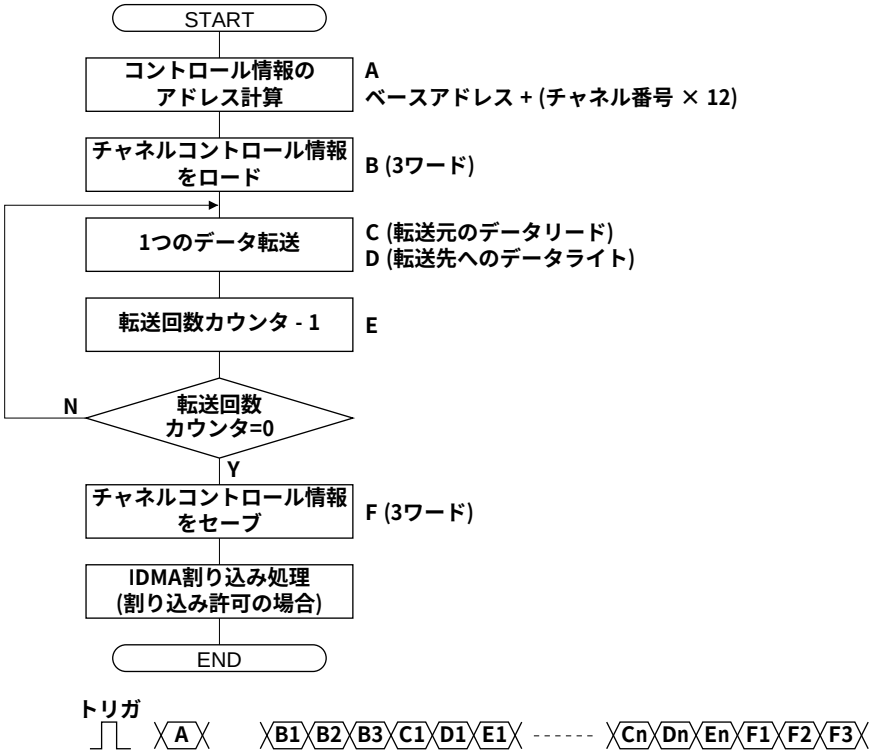


図3.2 連続転送モードの動作フロー

(1) トリガを受け付けると、ベースアドレスとチャネル番号からコントロール情報のアドレスを算出します。
(2) 算出したアドレスからコントロール情報をチップ上のテンポラリレジスタに読み込みます。
(3) コントロール情報に設定されたサイズのデータをソースアドレスから読み出します。
(4) 読み出したデータをディスティネーションアドレスに書き込みます。
(5) アドレスのインクリメント/デクリメント、転送回数カウンタのデクリメントを行います。
(6) (3)～(5)を転送回数カウンタが"0"になるまで繰り返します。
(7) 変更されたコントロール情報をRAMに書き込みます。
(8) ハードウェアトリガの場合、割り込み制御ビットを以下のように処理してIDMAを終了します。

条　件	割り込み要因フラグ	IDMAリクエストビット	IDMAイネーブルビット
転送カウンタ≠"0"	リセット("0")	変更なし("1")	変更なし("1")
転送カウンタ="0", DINTEN="1"	変更なし("1")	リセット("0")	変更なし("1")
転送カウンタ="0", DINTEN="0"	リセット("0")	変更なし("1")	リセット("0")

■ ブロック転送モード

コントロール情報のDMODが"10"に設定されているチャネルは、ブロック転送モードで動作します。ブロック転送モードは、1回のトリガに対してBLKLENで設定したサイズのブロックを1回転送して終了します。転送回数カウンタに設定した回数のブロック転送を行うためには、その回数分のトリガが必要です。

ブロック転送モードの動作を図3.3のフローチャートに示します。

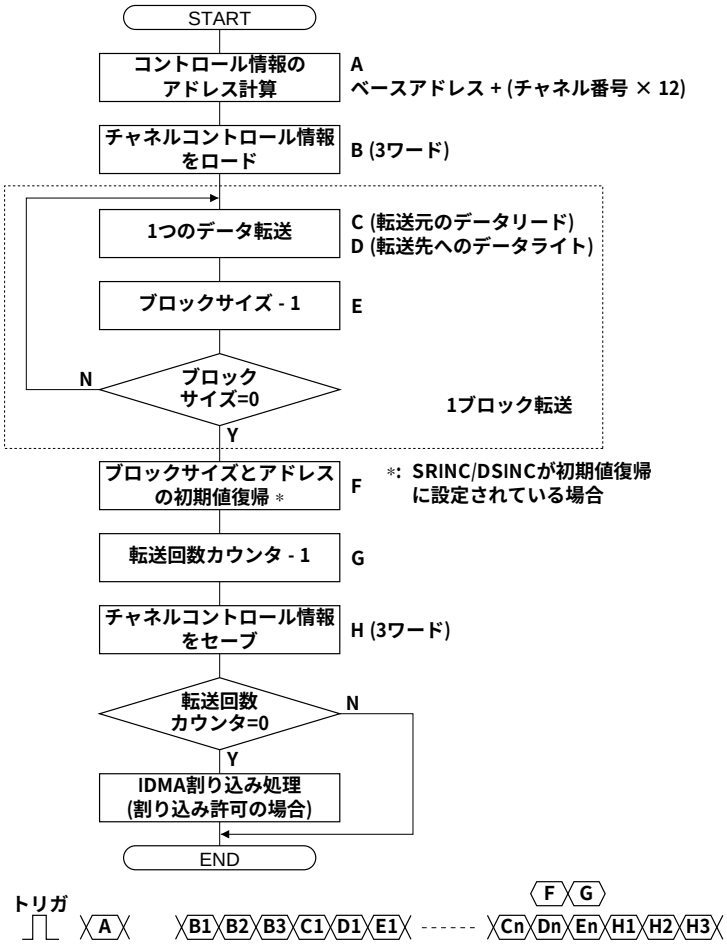


図3.3 **ブロック転送モードの動作フロー**

(1) トリガを受け付けると、ベースアドレスとチャネル番号からコントロール情報のアドレスを算出します。
(2) 算出したアドレスからコントロール情報をチップ上のテンポラリレジスタに読み込みます。
(3) コントロール情報に設定されたサイズのデータをソースアドレスから読み出します。
(4) 読み出したデータをディスティネーションアドレスに書き込みます。
(5) アドレスのインクリメント/デクリメント、BLKLENのデクリメントを行います。
(6) (3)〜(5)をBLKLENが"0"になるまで繰り返します。
(7) SRINC、DSINCが"10"の場合は、アドレスを初期値に戻します。
(8) 転送回数カウンタをデクリメントします。
(9) 変更されたコントロール情報をRAMに書き込みます。
(10) ハードウェアトリガの場合、割り込み制御ビットを以下のように処理してIDMAを終了します。

条　件	割り込み要因フラグ	IDMAリクエストビット	IDMAイネーブルビット
転送カウンタ≠"0"	**リセット**("0")	**変更なし**("1")	**変更なし**("1")
転送カウンタ="0", DINTEN="1"	**変更なし**("1")	**リセット**("0")	**変更なし**("1")
転送カウンタ="0", DINTEN="0"	**リセット**("0")	**変更なし**("1")	**リセット**("0")

■ トリガの種類による割り込み要因処理

- **割り込み要因で起動した場合**

IDMAを起動した割り込み要因フラグは、DMA転送中もセットされた状態を保持します。
1回のDMA転送を終了した時点で転送回数カウンタが"0"になり、かつDINTENが"1"(割り込み許可)に設定されていれば、その割り込み要因はリセットされずに割り込み要求を発生します。同時に、IDMAリクエストビットも"0"にクリアされます。IDMAイネーブルビットは"1"を保持します。

転送回数カウンタが"0"以外の場合は、転送終了時に割り込み要因フラグがリセットされます。この場合、IDMAリクエストビットおよびIDMAイネーブルビットはクリアされません。

転送回数カウンタが"0"になった場合でも、DINTENが"0"(割り込み禁止)に設定されているとDMA転送終了時に割り込み要因フラグはリセットされ、割り込みは発生しません。この場合、IDMAリクエストビットはクリアされませんが、IDMAイネーブルビットはクリアされます。

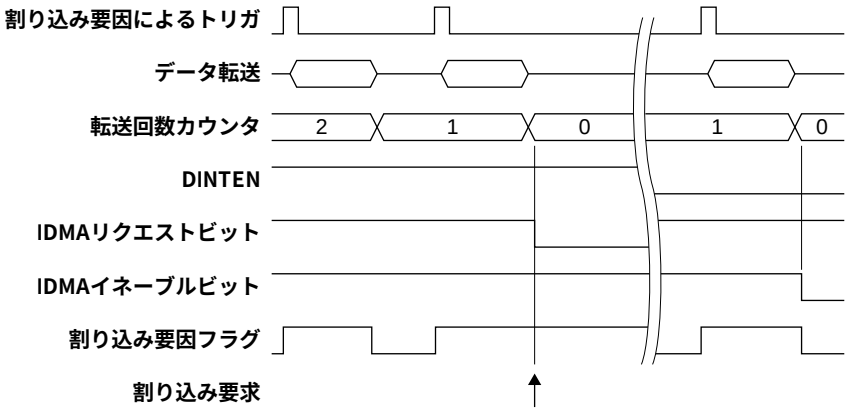


図3.4 割り込み要因によって起動した場合の動作

割り込み要因で起動した場合、IDMA自体の転送終了割り込み要因フラグFIDMA(DMA割り込み要因フラグレジスタ0x40281•D4)はセットされません。

- **ソフトウェアトリガにより起動した場合**

1回のDMA転送を終了した時点で転送回数カウンタが"0"になり、かつDINTENが"1"(割り込み許可)に設定されていれば、IDMA転送終了割り込み要因フラグFIDMA(DMA割り込み要因フラグレジスタ0x40281•D4)がセットされ、割り込み要求を発生します。

転送回数カウンタが"0"以外、またはDINTENが"0"(割り込み禁止)の場合、FIDMAフラグはセットされません。

ソフトトリガによる転送中に割り込み要因フラグがセットされた場合、その割り込み要因フラグによるIDMA起動要求は保留されます。ただし、実行中のDMA転送が終了したところで割り込み要因フラグがリセットされますので、それによるDMA転送は行われません。

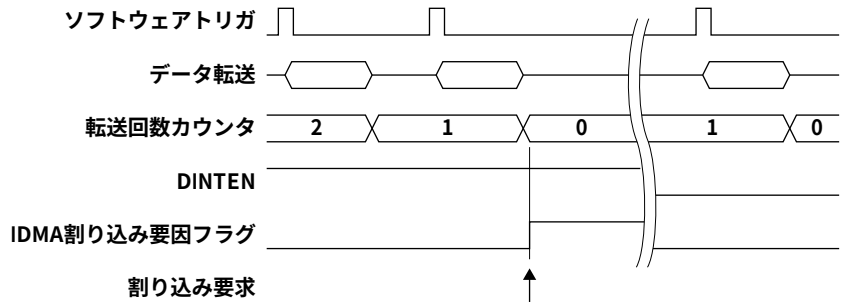


図3.5 ソフトウェアトリガによって起動した場合の動作

リンク

コントロール情報のIDMAリンクフィールドLNKCHNに次に実行するIDMAチャネル番号を設定し、LNKENによってリンクを許可しておくと、そのIDMAチャネルのDMA転送を続けて行うことができます。
リンクの設定例を図3.6に示します。

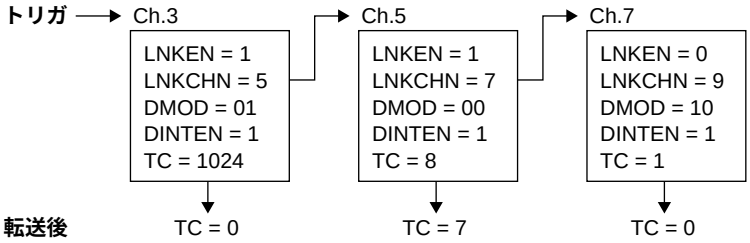


図3.6 リンクの設定例

上記例の動作は次のとおりです。

・ハードトリガの場合

(1) 割り込み要因によってIDMA Ch.3が起動し、設定されているDMA転送を行います。
連続転送モードで転送回数カウンタが"0"となり、かつDINTENが"1"に設定されているため、Ch.3を起動した割り込み要因フラグはセットされたまま保持されます。

(2) 次に、リンクされたIDMA Ch.5のDMA転送を行います。Ch.5はシングル転送モードに設定されており、この転送では転送回数カウンタがデクリメント(-1)されます。

(3) 最後に、IDMA Ch.7のDMA転送を行います。Ch.7はブロック転送モードに設定されていますが、転送回数が1回のため、転送終了時に転送回数カウンタが"0"となります。

(4) (1)のIDMA(Ch.3)を起動した割り込み要因フラグがセット状態を保持していますので、(3)のIDMA(Ch.7)転送終了時点で割り込みが発生します。転送結果はCh.3の割り込み要因フラグには影響を与えません。
IDMA終了時に割り込みを発生させたいときは、起動するIDMAチャネルとリンクされるすべてのIDMAチャネルについて、IDMAコントロール情報のDINTEN(終了割り込みイネーブル)ビットを"1"に設定してください。

・ソフトトリガの場合

(1) ソフトウェアトリガによってIDMA Ch.3が起動し、設定されているDMA転送を行います。
連続転送モードで転送回数カウンタが"0"となり、かつDINTENが"1"に設定されているため、転送終了時にIDMA転送終了割り込み要因フラグFIDMA(DMA割り込み要因フラグレジスタ0x40281•D4)がセットされます。

(2) 次に、リンクされたIDMA Ch.5のDMA転送を行います。Ch.5はシングル転送モードに設定されており、この転送では転送回数カウンタがデクリメント(-1)されます。

(3) 最後に、IDMA Ch.7のDMA転送を行います。Ch.7はブロック転送モードに設定されていますが、転送回数が1回のため、転送終了時に転送回数カウンタが"0"となります。この転送終了もFIDMAフラグを"1"にセットする要因となります。ただし、FIDMAフラグは(1)の転送終了時に既にセットされています。

(4) FIDMAフラグがセットされていますので、ここで割り込み要求が発生します。ソフトトリガによってIDMAを起動した場合は、リンクされているチャネルの中で1つでも転送回数カウンタが"0"になり、かつそのチャネルのDINTENが"1"に設定されていれば、リンクされたすべてのチャネルの転送終了時にIDMA転送終了割り込み要求が発生します。割り込み要求を発生させたチャネルについては、転送回数カウンタを読み出すことで確認できます。

それぞれのチャネルの転送動作は前節で説明したとおりです。

IDMAの割り込み機能

IDMAは、IDMAの起動要因となった割り込みおよびIDMA自身の転送終了割り込みを発生することができます。

■ 割り込み要因で起動した場合の割り込み

IDMAリクエストレジスタおよびIDMAイネーブルレジスタのビットを"1"に設定しておくと、その割り込み要因が発生しても割り込み要求の出力は保留され、その要因に割り当てられたIDMAチャネルを起動します。

1回のDMA転送を終了した時点で転送回数カウンタが"0"になり、かつDINTENが"1"(割り込み許可)に設定されていれば、その割り込み要因はリセットされずに割り込み要求を発生します。同時に、IDMAリクエストビットも"0"にクリアされます。IDMAイネーブルビットは"1"を保持します。

転送回数カウンタが"0"以外の場合は、転送終了時に割り込み要因フラグがリセットされます。この場合、IDMAリクエストビットおよびIDMAイネーブルビットはクリアされません。

転送回数カウンタが"0"になった場合でも、DINTENが"0"(割り込み禁止)に設定されているとDMA転送終了時に割り込み要因フラグはリセットされ、割り込みは発生しません。この場合、IDMAリクエストビットはクリアされませんが、IDMAイネーブルビットはクリアされます。

割り込み要因で起動した場合、IDMA自体の転送終了割り込み要因フラグFIDMA(DMA割り込み要因フラグレジスタ0x40281•D4)はセットされません。

IDMAを起動可能な各割り込み要因と割り込み制御レジスタについては、それぞれの周辺回路の説明を参照してください。
なお、割り込み要因の優先順位は割り込みプライオリティレジスタで設定されます("ITC(割り込みコントローラ)"を参照)。ただし、IDMAと割り込み要求を比べた場合、IDMAの方が優先順位は高くなっています。したがって、IDMA転送中にその起動要因よりも優先順位の高い割り込み要因が発生しても、その割り込み要求あるいはIDMA起動要求は現在のIDMA転送が終了するまでは受け付けられません。

■ ソフトウェアトリガで起動した場合の割り込み

1回のDMA転送を終了した時点で転送回数カウンタが"0"になり、かつDINTENが"1"(割り込み許可)に設定されていれば、IDMA転送終了割り込み要因フラグFIDMA(DMA割り込み要因フラグレジスタ0x40281•D4)がセットされ、割り込み要求を発生します。
転送回数カウンタが"0"以外、またはDINTENが"0"(割り込み禁止)の場合、FIDMAフラグはセットされません。

■ 割り込みコントローラのIDMA割り込み制御レジスタ

IDMA転送終了割り込みの制御ビット/レジスタは次のとおりです。
割り込み要因フラグ: FIDMA (DMA割り込み要因フラグレジスタ0x40281•D4)
割り込みイネーブル: EIDMA (DMA割り込みイネーブルレジスタ0x40271•D4)
割り込みレベル: PDM[2:0] (IDMA割り込みプライオリティレジスタ0x40265•D[2:0])

ソフトウェアトリガまたはその後のリンクで起動したIDMAチャネルのDMA転送を終了し、転送回数カウンタが"0"になるとIDMA転送終了割り込み要因フラグを"1"にセットします。ただし、そのチャネルのコントロール情報で割り込みを許可(DINTEN="1")に設定しておくことが必要です。このときに、対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、割り込みを禁止することもできます。割り込みプライオリティレジスタは、割り込みの優先レベル(0〜7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。また、IDMA割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定したIDMA割り込みのレベルよりも小さな値に設定されている場合に限られます。
これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITC(割り込みコントローラ)"を参照してください。

■ トラップベクタ

IDMA転送終了割り込みのトラップベクタアドレスは、デフォルトで0x0C00068に設定されています。

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134～0x48137)で変更することも可能です。

IDMAのI/Oメモリ

表3.3にIDMAの制御ビットを示します。

表3.3 IDMA**の制御ビット**

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
IDMA割り込みプライオリティレジスタ	0040265 (B)	D7–3	–	reserved	–	–	–	読み出し時: 0
		D2	PDM2	IDMA	0～7	X	R/W	
		D1	PDM1	割り込みレベル		X		
		D0	PDM0			X		
DMA割り込みイネーブルレジスタ	0040271 (B)	D7–5	–	reserved	–	–	–	読み出し時: 0
		D4	EIDMA	IDMA	1 許可 0 禁止	0	R/W	
		D3	EHDM3	高速DMA Ch.3		0	R/W	
		D2	EHDM2	高速DMA Ch.2		0	R/W	
		D1	EHDM1	高速DMA Ch.1		0	R/W	
		D0	EHDM0	高速DMA Ch.0		0	R/W	
DMA割り込み要因フラグレジスタ	0040281 (B)	D7–5	–	reserved	–	–	–	読み出し時: 0
		D4	FIDMA	IDMA	1 要因発生 0 要因なし	X	R/W	
		D3	FHDM3	高速DMA Ch.3		X	R/W	
		D2	FHDM2	高速DMA Ch.2		X	R/W	
		D1	FHDM1	高速DMA Ch.1		X	R/W	
		D0	FHDM0	高速DMA Ch.0		X	R/W	
IDMAベースアドレス下位レジスタ	0048200 (HW)	DF	DBASEL15	IDMA		0	R/W	
		DE	DBASEL14	ベースアドレス 下位16ビット		0		
		DD	DBASEL13	(初期値: 0x0C003A0)		0		
		DC	DBASEL12			0		
		DB	DBASEL11			0		
		DA	DBASEL10			0		
		D9	DBASEL9			1		
		D8	DBASEL8			1		
		D7	DBASEL7			1		
		D6	DBASEL6			0		
		D5	DBASEL5			1		
		D4	DBASEL4			0		
		D3	DBASEL3			0		
		D2	DBASEL2			0		
		D1	DBASEL1			0		
		D0	DBASEL0			0		
IDMAベースアドレス上位レジスタ	0048202 (HW)	DF–C	–	reserved	–	–	–	読み出し時: 不定
		DB	DBASEH11	IDMA		0	R/W	
		DA	DBASEH10	ベースアドレス 上位12ビット		0		
		D9	DBASEH9	(初期値: 0x0C003A0)		0		
		D8	DBASEH8			0		
		D7	DBASEH7			1		
		D6	DBASEH6			1		
		D5	DBASEH5			0		
		D4	DBASEH4			0		
		D3	DBASEH3			0		
		D2	DBASEH2			0		
		D1	DBASEH1			0		
		D0	DBASEH0			0		
IDMAスタートレジスタ	0048204 (B)	D7	DSTART	IDMAスタート	1 IDMA開始 0 停止	0	R/W	
		D6–0	DCHN	IDMAチャネル番号	0～127	0	R/W	
IDMAイネーブルレジスタ	0048205 (B)	D7–1	–	reserved	–	–	–	
		D0	IDMAEN	IDMAイネーブル	1 転送可 0 転送不可	0	R/W	

DBASEL[15:0], DBASEH[11:0]: IDMAベースアドレスレジスタ(D[F:0]/0x48200[HW], D[B:0]/0x48202[HW])

RAM上に置くコントロール情報の先頭アドレスを指定します。
DBASELにはアドレスの下位16ビットを、DBASEHには上位12ビットを設定します。
このレジスタに設定するアドレスは、必ずワード(32ビット)境界を指定してください。
また、バイト単位の書き込み/読み出しができません。アドレス0x48200に対するワード書き込み/読み出し、またはアドレス0x48200と0x48202に対するハーフワード書き込み/読み出しを行ってください。ハーフワードの書き込みは、0x48200、0x48202の順に行うことが必要です。ハーフワードの読み出しについては、順序は問いません。
DMA転送中のIDMAベースアドレスレジスタへの書き込みは無効です。また、読み出しも、データが不定となります。
イニシャルリセット時、ベースアドレスは0xC003A0に設定されます。

IDMAEN: DMAイネーブル(D0/0x48205<DMAイネーブルレジスタ>)

IDMA転送を許可します。

"1"書き込み: 許可
"0"書き込み: 禁止
読み出し: 可能

IDMAENに"1"を書き込むことによって、インテリジェントDMAによるデータ転送が許可されます。
"0"を書き込むと、IDMA転送は禁止されます。
イニシャルリセット時、IDMAENは"0"(禁止)に設定されます。

DCHN[6:0]: IDMAチャネル番号設定(D[6:0]/0x48204<IDMAスタートレジスタ>)

ソフトウェアトリガにより起動するチャネル番号(0～127)を設定します。
イニシャルリセット時、DCHNは"0"に設定されます。

DSTART: IDMA開始制御(D7/0x48204<IDMAスタートレジスタ>)

ソフトウェアトリガ/動作モニタに使用します。

• 書き込み時
"1"書き込み: IDMA開始
"0"書き込み: 無効

• 読み出し時
"1"読み出し: 動作中(ソフトウェアトリガで起動した場合のみ)
"0"読み出し: 停止中

DSTARTへの"1"書き込みはソフトウェアトリガとなり、DCHNに設定してあるIDMAチャネルを起動します。
イニシャルリセット時、DSTARTは"0"に設定されます。

PDM2–PDM0: IDMA割り込みレベル(D[2:0]/0x40265<IDMA割り込みプライオリティレジスタ>)

IDMA転送終了割り込みの優先レベルを0～7の範囲で設定します。
イニシャルリセット時、PDMは不定となります。

EIDMA: IDMA割り込みイネーブル(D4/0x40271<DMA割り込みイネーブルレジスタ>)

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可
"0"書き込み: 割り込み禁止
読み出し: 可能

EIDMAはIDMA転送終了割り込みを制御する割り込みイネーブルビットで、"1"に設定すると割り込みが許可され、"0"に設定すると割り込みが禁止されます。
イニシャルリセット時、EIDMAは"0"(割り込み禁止)に設定されます。

FIDMA: IDMA**割り込み要因フラグ**(D4/0x40281<DMA**割り込み要因フラグレジスタ**>)

IDMAの割り込み要因の発生状態を示します。

• 読み出し時
"1"読み出し: 割り込み要因あり
"0"読み出し: 割り込み要因なし

• リセットオンリー方式書き込み時 (デフォルト)
"1"書き込み: 要因フラグをリセット
"0"書き込み: 無効

• リード/ライト方式書き込み時
"1"書き込み: 要因フラグをセット
"0"書き込み: 要因フラグをリセット

FIDMAはIDMAの転送終了割り込み要因フラグで、ソフトウェアトリガまたはそれに続くリンクにより開始した1回のDMA転送が終了し、転送回数カウンタが"0"になると"1"にセットされます。ただし、コントロール情報で割り込みが許可(DINTEN = "1")されていることが必要です。
このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。
1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。
割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。
イニシャルリセット時、FIDMAフラグは不定となりますので、必ずソフトウェアでリセットしてください。

プログラミング上の注意事項

(1) IDMAベースアドレスの設定は、DMA転送を禁止(IDMAENを"0"に設定)して行ってください。DMA転送を許可(IDMAENを"1"に設定)している場合、IDMAベースアドレスレジスタへの書き込みは無効です。また、読み出しも、データが不定となります。また、各チャネルのコントロール情報の設定あるいは書き換えは、そのチャネルのDMA転送が発生しない状況で行ってください。

(2) IDMAベースアドレスレジスタに設定するアドレスは、必ずワード(32ビット)境界を指定してください。

(3) イニシャルリセット後、割り込み要因フラグ(FIDMA)は不定となります。不要な割り込みの発生を防止するため、必ずプログラムでリセットしてください。

(4) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグ(FIDMA)をリセットしてください。

(5) 以下の条件をすべて満たしている場合、IDMA転送中に転送回数カウンタの値が不正になり、IDMA転送が正常に行えません。
1. IDMAのコントロール情報(ソース/ディスティネーションアドレス、転送回数カウンタ等)を外部のEDO DRAMに置いている
2. BCUレジスタでDRAMアクセスのタイミング条件がEDOモードに設定されている
3. バスクロックがx2スピードモード(#X2SPD端子 = "0")に設定されている

x2スピードモード時にコントロール情報をEDO DRAMに置いて動作させる場合は、DRAMアクセスのタイミング条件を高速ページモードに設定して使用してください。
または、コントロール情報を内蔵RAMに置いて使用してください。内蔵RAMにコントロール情報がある場合、IDMA転送時のオーバーヘッドもロード/ストア合計で6サイクルとなり、パフォーマンス的にも非常に有利です。

(6) HALTモードではDMAとBCUのクロックが動作しているため、クロックオプションレジスタHLT2OP(0x40190のD3)が"0"のとき(HALT2モードではなく、HALTモードの場合)に次の動作を行うと、その動作は予測できない誤動作になります。
halt命令を実行後、CPUが停止している状態でDMAのトリガが発生しDMAが動作すると誤動作になります。HALTモード時は、DMAが動作しないようにしてください。
HALT2モードでは、DMAとBCUのクロックが停止するためDMAは起動しません。

このページはブランクです。

S1C33L03 FUNCTION PART

VI　SDRAMコントローラブロック

VI-1 はじめに

SDRAMコントローラブロックは、BCUを介してSDRAMを直接接続可能なSDRAMインタフェースで構成されています。

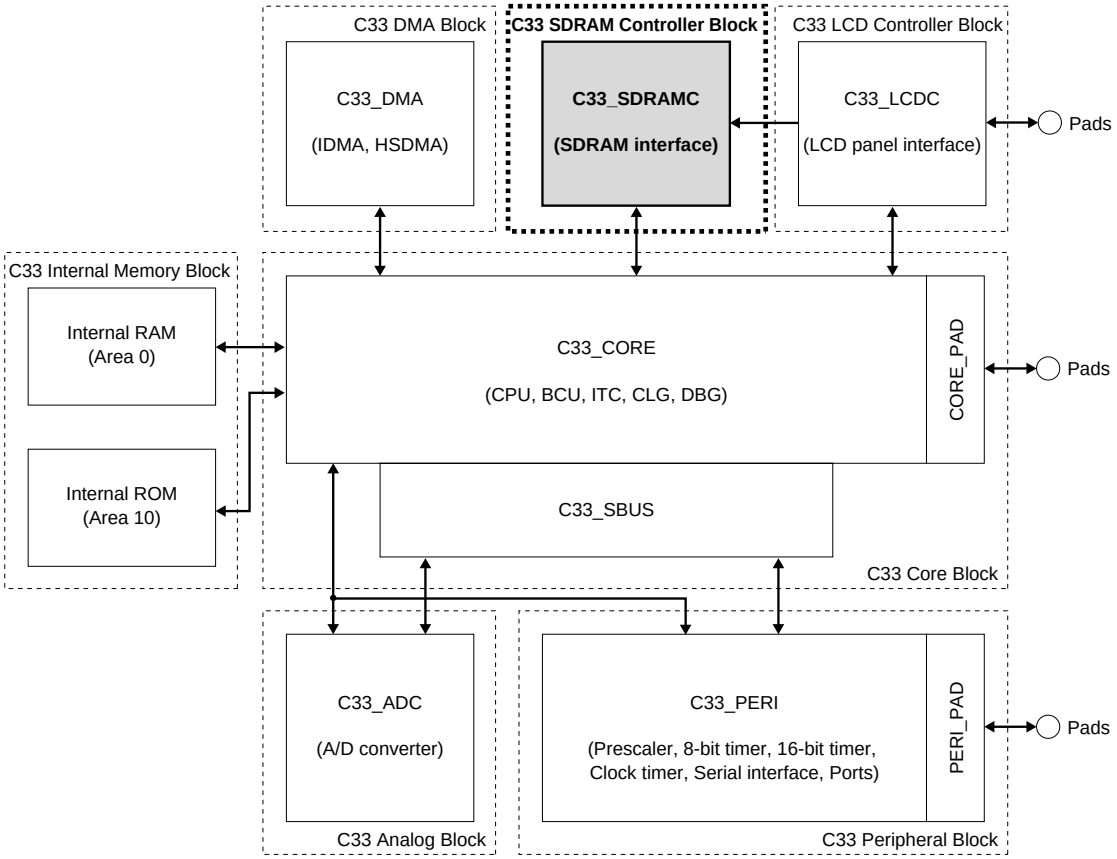


図1.1 SDRAM**コントローラブロック**

（注）S1C33L03**は**ROM**を内蔵しておりません。**

このページはブランクです。

VI-2 SDRAMインタフェース

SDRAMコントローラは、エリア7と8またはエリア13と14に最大32MBのSDRAMを直接接続可能なSDRAMダイレクトインタフェースを提供します。ここでは、SDRAMインタフェースの制御方法や動作について説明します。SDRAMインタフェース以外の外部バス条件やパラメータの設定については"II-4 BCU(バスコントロールユニット)"を参照してください。

*SDRAM**インタフェースの概要***

SDRAMインタフェースの主な特長と仕様を以下に示します。

- 8ビットまたは16ビットSDRAMに対応
- SDRAMに対応した2つのエリア(エリア7と8、またはエリア13と14)
  各エリアに直接接続可能なSDRAM構成(最大)
  - 16M×16ビット×1チップ
  - 8M×16ビット×2チップ
  - 32M×8ビット×1チップ
  - 16M×8ビット×2チップ
- 2または4バンクのSDRAMに対応(BA1とBA0出力)
  ローアドレスレンジ: 2K (A10–A0)、4K (A11–A0)、または8K (A12–A0)
  カラムアドレスレンジ: 256 (A7–A0)、512 (A8–A0)、または1K (A9–A0)
- プログラマブルな12ビットオートリフレッシュカウンタを内蔵
  使用するクロック周波数によらず、必要なリフレッシュが可能
- 省電力動作のためのインテリジェントセルフリフレッシュモード
- 2種類のパワーアップオプション
  - プリチャージ→リフレッシュ→モードレジスタ設定
  - プリチャージ→モードレジスタ設定→リフレッシュ
- CASレイテンシ: 2
- バースト長: 1、2、4、または8ワードに設定可能

*SDRAM**コントローラブロック図***

図2.1にSDRAMコントローラのブロック図を示します。図に記載されている信号名(端子名を除く)はチップ内部のもので、外部信号ではありません。

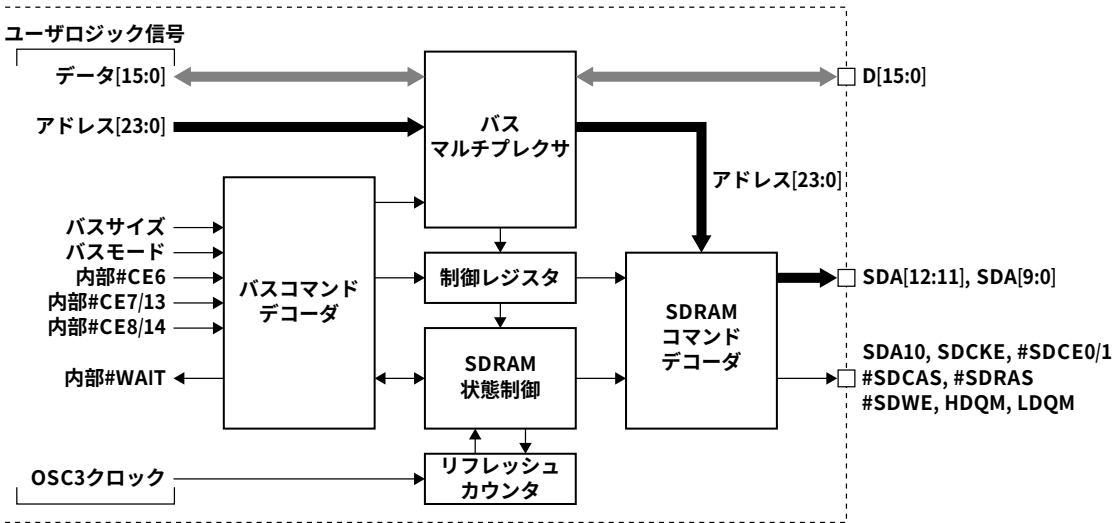


図2.1 SDRAM**コントローラブロック図**

入出力端子とSDRAMの接続

入出力端子

表2.1にSDRAMインタフェースに使用する端子の一覧を示します。

表2.1 入出力端子一覧

端子名	I/O	機　能
A[13:12]/SDA[12:11], A[10:1]/SDA[9:0]	O	アドレスバス
A[15:14]/SDBA[1:0]	O	SDRAMバンクセレクト信号
D[15:0]	I/O	データバス(D0～D15)
#CE8/#RAS1/#CE14/#RAS3/#SDCE1	O	エリア8/14チップイネーブル / DRAMローストローブ / SDRAMチップイネーブル1
#CE7/#RAS0/#CE13/#RAS2/#SDCE0	O	エリア7/13チップイネーブル / DRAMローストローブ / SDRAMチップイネーブル0
#HCAS/#SDCAS	O	DRAMカラムアドレスストローブ(上位バイト) / SDRAMカラムアドレスストローブ
#LCAS/#SDRAS	O	DRAMカラムアドレスストローブ(下位バイト) / SDRAMローアドレスストローブ
BCLK/SDCLK	O	バスクロック / SDRAMクロック出力
P20/#DRD/SDCKE	I/O	入出力兼用ポート / DRAMリード / SDRAMクロックイネーブル
P21/#DWE/#GAAS/#SDWE	I/O	入出力兼用ポート / DRAMライト(下位バイト) / GA用エリアアドレスストローブ出力 / SDRAMライト
P33/#DMAACK1/SIN3/SDA10	I/O	入出力兼用ポート / HSDMA Ch.1応答出力 / シリアルI/F Ch.3データ入力 / SDRAMアドレス10
P32/#DMAACK0/#SRDY3/HDQM	I/O	入出力兼用ポート / HSDMA Ch.0応答出力 / シリアルI/F Ch.3レディ信号出力 / SDRAMデータ(上位バイト)入出力マスク信号出力
P15/EXCL4/#DMAEND0/#SCLK3/ LDQM	I/O	入出力兼用ポート / 16ビットタイマ4イベントカウンタ入力 / HSDMA Ch.0転送終了信号出力 / シリアルI/F Ch.3クロック入出力 / SDRAMデータ(下位バイト)入出力マスク信号出力

接続例

図2.2と図2.3に16ビットSDRAMの接続例を、図2.4に8ビットSDRAMの接続例を示します。

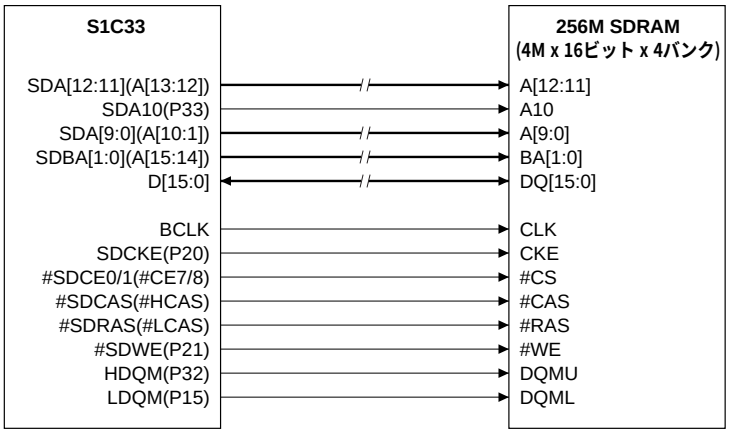


図2.2 16ビットSDRAMの接続例(32MB × 1)

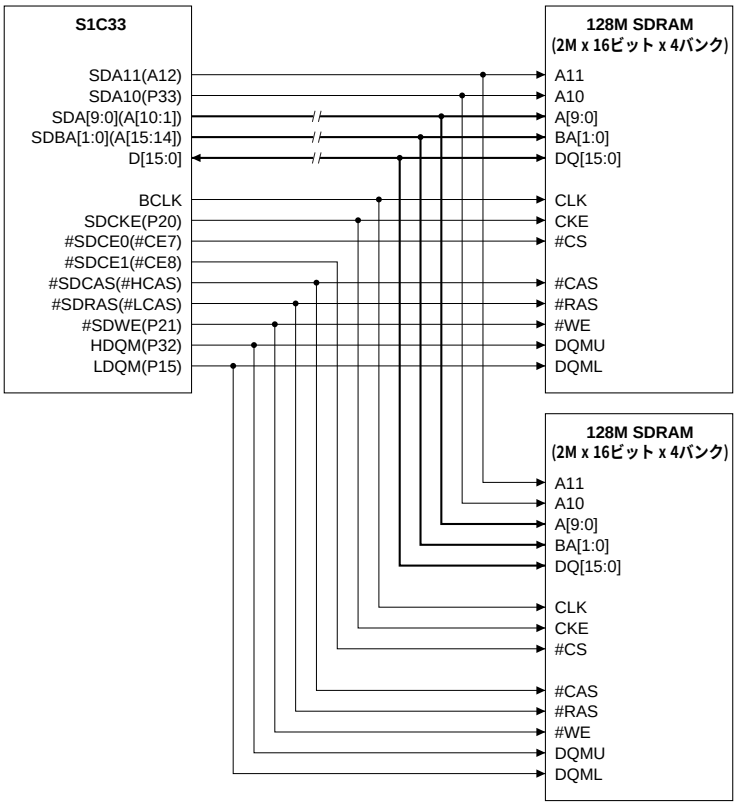
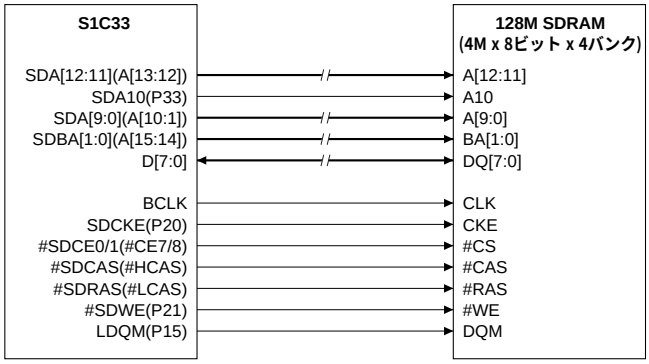
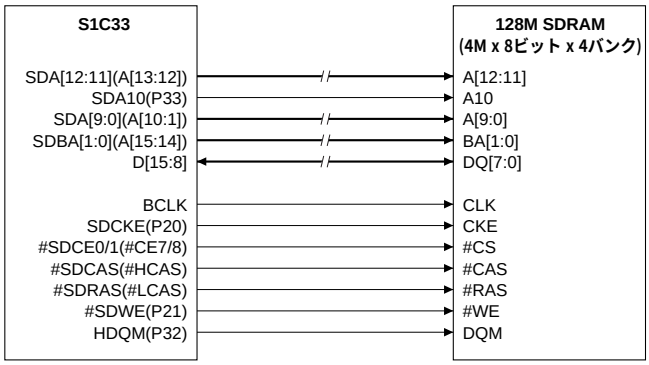


図2.3 16**ビット**SDRAM**の接続例**(16MB × 2)



リトルエンディアンの場合



ビッグエンディアンの場合

図2.4 8**ビット**SDRAM**の接続例**(16MB × 1)

注: • SDRAMのアドレスバス端子は、通常の外部アドレス端子名とはビット番号が一致しませんので、接続には注意が必要です(SDRAMアドレスSDA0はA1端子から、SDA12はA13端子から出力されます)。また、特別な機能を持つSDA10信号はアドレスバスA11ではなく、P33端子に割り付けられています。

• SDRAMの指定端子(たとえばCKEおよびDQM[1:0]端子)をHにした状態で電源を投入する必要がある場合、外部にプルアップ抵抗を設けるか、SDRAMを別電源にして対応してください。

• 誤動作を防止するため、SDRAMはノイズなどが影響しないように接続してください。

表2.2にSDRAMチップの構成例を示します。1つのエリアを使用した場合の例です。SDRAMに関する設定は2つのエリアに共通です。したがって、2つのエリアを使用する場合は、どちらのエリアにも同じメモリを使用する必要があります。

表2.2 チップ構成例 (1エリアのみ使用時)

SDRAM	デバイス数	メモリサイズ
256M (4M × 16ビット × 4バンク)	1	32Mバイト
256M (8M × 8ビット × 4バンク)	1	32Mバイト
128M (2M × 16ビット × 4バンク)	1	16Mバイト
128M (4M × 8ビット × 4バンク)	1	16Mバイト
	2	32Mバイト
64M (1M × 16ビット × 4バンク)	1	8Mバイト
64M (2M × 8ビット × 4バンク)	1	8Mバイト
	2	16Mバイト
16M (512 × 16ビット × 2バンク)	1	2Mバイト
16M (1M × 8ビット × 2バンク)	1	2Mバイト
	2	4Mバイト

SDRAMコントローラの設定

PLLの設定

SDRAMコントローラ使用時は、必ずPLLを有効にしてください。PLLの設定については、"II-6 CLG(クロックジェネレータ)"内の"PLL"を参照してください。
PLL有効時のSDRAMコントローラの動作保証範囲は次のとおりです。
#X2SPD端子 = "1"(x1スピードモード時) : 25MHz max. (CPU動作周波数 = 25MHz), 電圧 3.3±0.3V
#X2SPD端子 = "0"(x2スピードモード時) : 17.5MHz max. (CPU動作周波数 = 35MHz), 電圧 3.3±0.3V

BCUの設定

SDRAMインタフェースの制御レジスタは、エリア6の0x39FFC0～0x39FFCAに割り付けられています。したがって、制御レジスタをアクセスするためには、以下に示す手順でBCUの設定が必要です。

1. CEFUNC[1:0](DRAMタイミング設定レジスタ0x48130•D[A:9]) = "00"(デフォルト)または"01"
   SDRAMをエリア7/8で使用する場合はCEFUNC[1:0] = "00"に、エリア13/14で使用する場合はCEFUNC[1:0] = "01"に設定します。

表2.3 #CE出力の切り換え

端子	CEFUNC = "00"	CEFUNC = "01"	CEFUNC = "1x"
#CE7/#SDCE0	#CE7/#SDCE0	#CE13/#SDCE0	#CE13/#SDCE0
#CE8/#SDCE1	#CE8/#SDCE1	#CE14/#SDCE1	#CE14/#SDCE1

(**デフォルト**: CEFUNC = "00")

2. A6IO(アクセス制御レジスタ0x48132•D9) = "1"
   エリア6は、内部デバイスがアクセスされるように設定します。

3. A6WT[2:0](エリア6–4設定レジスタ0x4812A•D[A:8]) = "010"
   エリア6のアクセス時に2ウェイトサイクルが挿入されるように設定します。これ以外のウェイト数では、制御レジスタへの正常な書き込みができない場合があります。

4. SWAITE(バスコントロールレジスタ0x4812E•D0) = "1"
   #WAIT信号を有効にします。SDRAMパワーアップ時に、IC内部の#WAIT信号を使用します。

5. A6EC(アクセス制御レジスタ0x48132•D1) = LCDCEC (LCDCシステム制御レジスタ0x39FFFD•D0)
   エリア6とSDRAMコントローラ読み出し時のエンディアン形式を合わせてください。どちらのビットも"0"がリトルエンディアン、"1"がビッグエンディアンです。

以上で、エリア6にあるSDRAM制御レジスタへのアクセスが可能になります。
次に、SDRAMを接続するエリア7/8またはエリア13/14の設定を行います。

A. **エリア7/8を使用する場合**(CEFUNC = "00") (Note) **上記と同じ設定は省略しています**

A-1. A8IO(アクセス制御レジスタ0x48132•DA) = "1"
   エリア7/8を内部アクセスに設定します。

A-2. A8WT[2:0](エリア8–7設定レジスタ0x48128•D[2:0]) = "000"
   エリア7/8をノーウェイトアクセスに設定します。

A-3. A8SZ(エリア8–7設定レジスタ0x48128•D6) = SDRSZ(SDRAM高度制御レジスタ0x39FFC9•D6)
   使用するSDRAMのデータ幅に合わせ、エリア7/8とSDRAMコントローラのデバイスサイズを同じに設定します。どちらのビットも"0"が16ビット、"1"が8ビットです。

A-4. A8DF[1:0](エリア8–7設定レジスタ0x48128•D[5:4])
   システムにSDRAM以外の外部メモリデバイスを接続し、SDRAMリードと連続したアクセスを行う場合は、エリア7/8の出力ディセーブル遅延時間を2.5サイクル(A8DF[1:0] = "10")に設定してください。
   SDRAMからリードのみを行い、その他の外部デバイスをアクセスしない場合は、SDRAMへのアクセス時間を短縮するために出力ディセーブル遅延時間は0.5サイクル(A8DF[1:0] = "00")に設定します。

B. エリア13/14を使用する場合(CEFUNC = "01")

B-1. A14IO(アクセス制御レジスタ0x48132•DD) = "1"
エリア13/14を内部アクセスに設定します。

B-2. A14WT[2:0](エリア14–13設定レジスタ0x48122•D[2:0]) = "000"
エリア13/14をノーウェイトアクセスに設定します。

B-3. A14SZ(エリア14–13設定レジスタ0x48122•D6) = SDRSZ(SDRAM高度制御レジスタ0x39FFC9•D6)
使用するSDRAMのデータ幅に合わせ、エリア13/14とSDRAMコントローラのデバイスサイズを同じに設定します。どちらのビットも"0"が16ビット、"1"が8ビットです。

B-4. A14DF[1:0](エリア14–13設定レジスタ0x48122•D[5:4])
システムにSDRAM以外の外部メモリデバイスを接続し、SDRAMリードと連続したアクセスを行う場合は、エリア13/14の出力ディセーブル遅延時間を2.5サイクル(A14DF[1:0] = "10")に設定してください。
SDRAMからリードのみを行い、その他の外部デバイスをアクセスしない場合は、SDRAMへのアクセス時間を短縮するために出力ディセーブル遅延時間は0.5サイクル(A14DF[1:0] = "00")に設定します。

SDRAMをアクセスするためのBCU側の設定は以上です。
上記以外のBCUパラメータについては、システムに合わせて設定してください。

SDRAMアクセス条件設定

SDRAMインタフェースは、以下の条件が選択できるようになっています。SDRAMはエリア7と8またはエリア13と14で使用可能ですが、これらの条件は4つのエリアすべてに適用され、個別に設定することはできません。

表2.4 SDRAMインタフェースの設定項目

設定項目	選択内容	初期設定	制御ビット
エリア7/13設定	SDRAMまたはその他	その他	SDRAR0(SDRAMエリア設定レジスタ0x39FFC0•D7)
エリア8/14設定	SDRAMまたはその他	その他	SDRAR1(SDRAMエリア設定レジスタ0x39FFC0•D6)
#CE7/13端子設定	#SDCE0または #CE7/13	#CE7/13	SDRPC0(SDRAMエリア設定レジスタ0x39FFC0•D3)
#CE8/14端子設定	#SDCE1または #CE8/14	#CE8/14	SDRPC1(SDRAMエリア設定レジスタ0x39FFC0•D2)
ページサイズ	256、512または1K	256	SDRCA[1:0](SDRAMアドレス設定レジスタ0x39FFC2•D[6:5])
ローアドレス範囲	2K、4Kまたは8K	2K	SDRRA[1:0](SDRAMアドレス設定レジスタ0x39FFC2•D[3:2])
バンク数	4または2	2	SDRBA(SDRAMアドレス設定レジスタ0x39FFC2•D1)
初期化コマンドシーケンス	1. プリチャージ 2. リフレッシュ 3. モードレジスタ または 1. プリチャージ 2. モードレジスタ 3. リフレッシュ	1. プリチャージ 2. リフレッシュ 3. モードレジスタ	SDRIS(SDRAM制御レジスタ0x39FFC1•D4)
バースト長	1、2、4または8	8	SDRBL[1:0](SDRAMモード設定レジスタ0x39FFC3•D[3:2])
CASレイテンシ	2	– *	SDRCL[1:0](SDRAMモード設定レジスタ0x39FFC3•D[6:5])
t_{RAS}	1〜8クロック	8クロック	SDRTRAS[2:0](SDRAMタイミング設定レジスタ1 0x39FFC4•D[7:5])
t_{RP}	1〜4クロック	4クロック	SDRTRP[1:0](SDRAMタイミング設定レジスタ1 0x39FFC4•D[4:3])
t_{RC}	1〜8クロック	8クロック	SDRTRC[2:0](SDRAMタイミング設定レジスタ1 0x39FFC4•D[2:0])
t_{RCD}	1〜4クロック	4クロック	SDRTRCD[1:0](SDRAMタイミング設定レジスタ2 0x39FFC5•D[7:6])
t_{RSC}	1〜2クロック	2クロック	SDRTRSC(SDRAMタイミング設定レジスタ2 0x39FFC5•D5)
t_{RRD}	1〜4クロック	4クロック	SDRTRRD[1:0](SDRAMタイミング設定レジスタ2 0x39FFC5•D[4:3])

* CASレイテンシ = 2に設定してください。

メモリ構成

SDRAMを接続するエリアと使用するチップイネーブル出力端子を以下のレジスタで選択します。

エリアの選択

エリア7または13: SDRAR0(SDRAMエリア設定レジスタ0x39FFC0•D7)
エリア8または14: SDRAR1(SDRAMエリア設定レジスタ0x39FFC0•D6)

SDRARxに"1"を書き込むと、対応するエリアはSDRAM用に設定されます。SDRARxが"0"(デフォルト)の場合は、BCUのみで制御されるSDRAM以外のデバイス用になります。

チップイネーブルの選択

#SDCE0(#CE7/13): SDRPC0(SDRAMエリア設定レジスタ0x39FFC0•D3)
#SDCE1(#CE8/14): SDRPC1(SDRAMエリア設定レジスタ0x39FFC0•D2)

SDRPCxに"1"を書き込むと、対応する端子がSDRAMチップイネーブル出力に設定されます。SDRPCxが"0"(デフォルト)の場合は、BCUのみで制御されるSDRAM以外のデバイス用になります。

#SDCE0は#CE7端子に、#SDCE1は#CE8端子に割り当てられていますが、使用するエリアで固定されている訳ではありません。たとえば、エリア7または13をSDRAM用に使用する場合でも、チップイネーブルに#SDCE1(#CE8/14)を使用することができます。
表2.5に上記の選択に従った、チップイネーブルのアドレス範囲と接続可能なSDRAMのサイズを示します。

表2.5 チップイネーブルの設定

CEFUNC	SDRAR0	SDRAR1	SDRPC0	SDRPC1	#SDCE0 **アドレス範囲**	#SDCE1 **アドレス範囲**	SDRAM**サイズ** (16**ビット**)
XX	0	0	X	X	N/A	N/A	0
	X	X	0	0	N/A	N/A	0
00 (**デフォルト**)	1	0	1	0	**エリア**7	N/A	2MB
	1	0	0	1	N/A	**エリア**7	2MB
	1	0	1	1	**エリア**7	N/A	2MB
	0	1	1	0	**エリア**8	N/A	2MB
	0	1	0	1	N/A	**エリア**8	2MB
	0	1	1	1	N/A	**エリア**8	2MB
	1	1	1	0	**エリア**7&8	N/A	4MB
	1	1	0	1	N/A	**エリア**7&8	4MB
	1	1	1	1	**エリア**7	**エリア**8	2MB × 2
01 10 11	1	0	1	0	**エリア**13	N/A	16MB
	1	0	0	1	N/A	**エリア**13	16MB
	1	0	1	1	**エリア**13	N/A	16MB
	0	1	1	0	**エリア**14	N/A	16MB
	0	1	0	1	N/A	**エリア**14	16MB
	0	1	1	1	N/A	**エリア**14	16MB
	1	1	1	0	**エリア**13&14	N/A	32MB
	1	1	0	1	N/A	**エリア**13&14	32MB
	1	1	1	1	**エリア**13	**エリア**14	16MB × 2

エリア7 = 0x400000〜0x5FFFFF、**エリア**8 = 0x600000〜0x7FFFFF、**エリア**7&8 = 0x400000〜0x7FFFFF、
エリア13 = 0x2000000〜0x2FFFFFF、**エリア**14 = 0x3000000〜0x3FFFFFF、
エリア13&14 = 0x2000000〜0x3FFFFFF

バンク、ロー、カラムアドレスの設定

SDRAMのメモリアレイは2つまたは4つのバンクで構成され、各バンクもページに分割されています。このため、SDRAMは非同期DRAMにはないバンク選択端子が設けられています。バンク内は非同期DRAMと同様に#CASでカラム(ページ)アドレスが、#RASでローアドレスが指定されます。
SDRAMのアドレスを正しく生成するためには、使用するSDRAMに合わせて、これらの内容をSDRAMコントローラに設定しておく必要があります。
設定には以下のレジスタを使用します。

バンク数: SDRBA(SDRAMアドレス設定レジスタ0x39FFC2•D1)
カラムアドレス範囲: SDRCA[1:0](SDRAMアドレス設定レジスタ0x39FFC2•D[6:5])
ローアドレス範囲: SDRRA[1:0](SDRAMアドレス設定レジスタ0x39FFC2•D[3:2])

表2.6 **バンク数の設定**

SDRBA	**バンク数**	**使用するバンクアドレス(端子)**
0	2	SDBA0 (**デフォルト**)
1	4	SDBA0〜SDBA1

表2.7 **カラムアドレス範囲(ページサイズ)の設定**

SDRCA1	SDRCA0	**カラムサイズ**	**使用するカラムアドレス(端子)**
0	0	256	SDA0〜SDA7 (**デフォルト**)
0	1	512	SDA0〜SDA8
1	0	1,024	SDA0〜SDA9
1	1	–	–

表2.8 **ローアドレス範囲の設定**

SDRRA1	SDRRA0	**ローサイズ**	**使用するローアドレス(端子)**
0	0	2K	SDA0〜SDA10 (**デフォルト**)
0	1	4K	SDA0〜SDA11
1	0	8K	SDA0〜SDA12
1	1	–	–

SDRAMコントローラは28ビットアドレスバスの中の下位側から24ビットのみを使用します。CPUアドレスとバンク、カラム、ローアドレスとの対応は以下のとおりです。

16ビットSDRAMインタフェース(SDRSZ = "1")

A(m+n+p)	A(m+n+1)	A(m+n)	…	A(m+1)	A(m)	…	A1	A0
バンクアドレス		**ローアドレス**			**カラムアドレス**			DQM

バイトデータのリード/ライト時は、SDRAMコントローラがA0/BSLとWRH/BSHをLDQMとHDQMにデコードします。

8ビットSDRAMインタフェース(SDRSZ = "0")

A(m+n+p-1)	A(m+n)	A(m+n-1)	…	A(m)	A(m-1)	…	A0
バンクアドレス		**ローアドレス**			**カラムアドレス**		

m: カラムアドレスサイズ(ビット数)
n: ローアドレスサイズ(ビット数)
p: バンクアドレスサイズ(ビット数)

メモリサイズにより使用されない上位アドレスビットはすべて0に固定されます。

エリアを2つ選択(SDRAR[1:0] = "11")し、チップイネーブルを1本のみ有効(SDRPC[1:0] = "01"または"10")に設定している場合、バンクアドレスのMSB(16ビットの場合はA(m+n+p)、8ビットの場合はA(m+n+p-1))は次のように置き換えられます。
• エリア7/13アクセス時は"0"
• エリア8/14アクセス時は"1"

初期化コマンドシーケンスの選択

SDRAMパワーアップ直後に実行するSDRAMコマンドシーケンスを、使用するSDRAMの仕様に合わせて選択することができます。設定はSDRIS(SDRAM制御レジスタ0x39FFC1•D4)で行います。
SDRIS = "0": 1. PRE(プリチャージ) → 2. REF(リフレッシュ) → 3. MRS(モードレジスタセット)
SDRIS = "1": 1. PRE(プリチャージ) → 2. MRS(モードレジスタセット) → 3. REF(リフレッシュ)

どちらの設定でも問題ない場合は、SDRIS = "1"を推奨します。

バースト長の設定

バーストリードのワード長をSDRBL[1:0] (SDRAMモード設定レジスタ0x39FFC3•D[3:2])で指定します。

表2.9 バースト長の設定

SDRBL1	SDRBL0	バースト長(ワード)
0	0	1
0	1	2
1	0	4
1	1	8 (デフォルト)

注: • バースト転送はデータ読み出し時にのみ有効で、データ書き込み時はバースト長の選択にかかわらずシングルライト動作になります。

• 本SDRAMコントローラは、1サイクルのバーストリードが終了すると自動的にREADコマンドを発行して転送を継続します。したがって、SDRBL[1:0] = "00"以外で連続的に読み出しを行う場合は、バースト長の値でアクセス速度が変わることはありません。

CASレイテンシの設定

CASレイテンシは、READコマンド発行後にSDRAMからデータが出力されるまでのクロック数で、本SDRAMコントローラは2クロックにのみ対応しています。SDRAMをアクセスする前に、必ずSDRCL[1:0](SDRAMモード設定レジスタ0x39FFC3•D[6:5])を"10"(CASレイテンシ = 2)に設定してください。

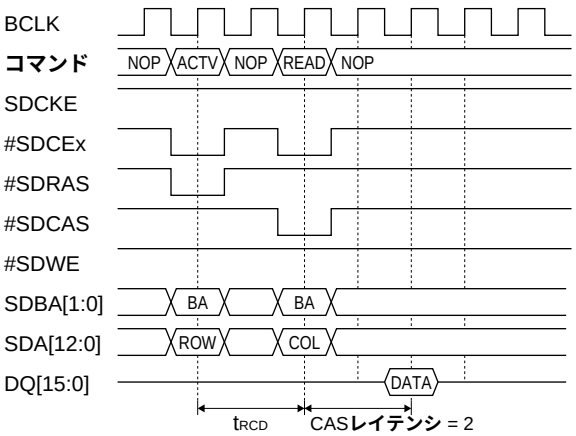


図2.5 CASレイテンシ

バンクインターリーブアクセスの許可/禁止

あるバンクのプリチャージ中は同じバンクにアクセスできませんので、この期間のアクセスを他のバンクに切り換えることで、アクセス効率を上げることができます。SDRAMコントローラは、このためのバンクインターリーブアクセス機能をサポートしています。
この機能を使用するかしないかは、SDRBI(SDRAM高度制御レジスタ0x39FFC9•D5)で設定します。
SDRBI = "1": バンクインターリーブアクセス機能を使用する
SDRBI = "0": バンクインターリーブアクセス機能を使用しない
(複数のバンクを同時にアクティブにできない)

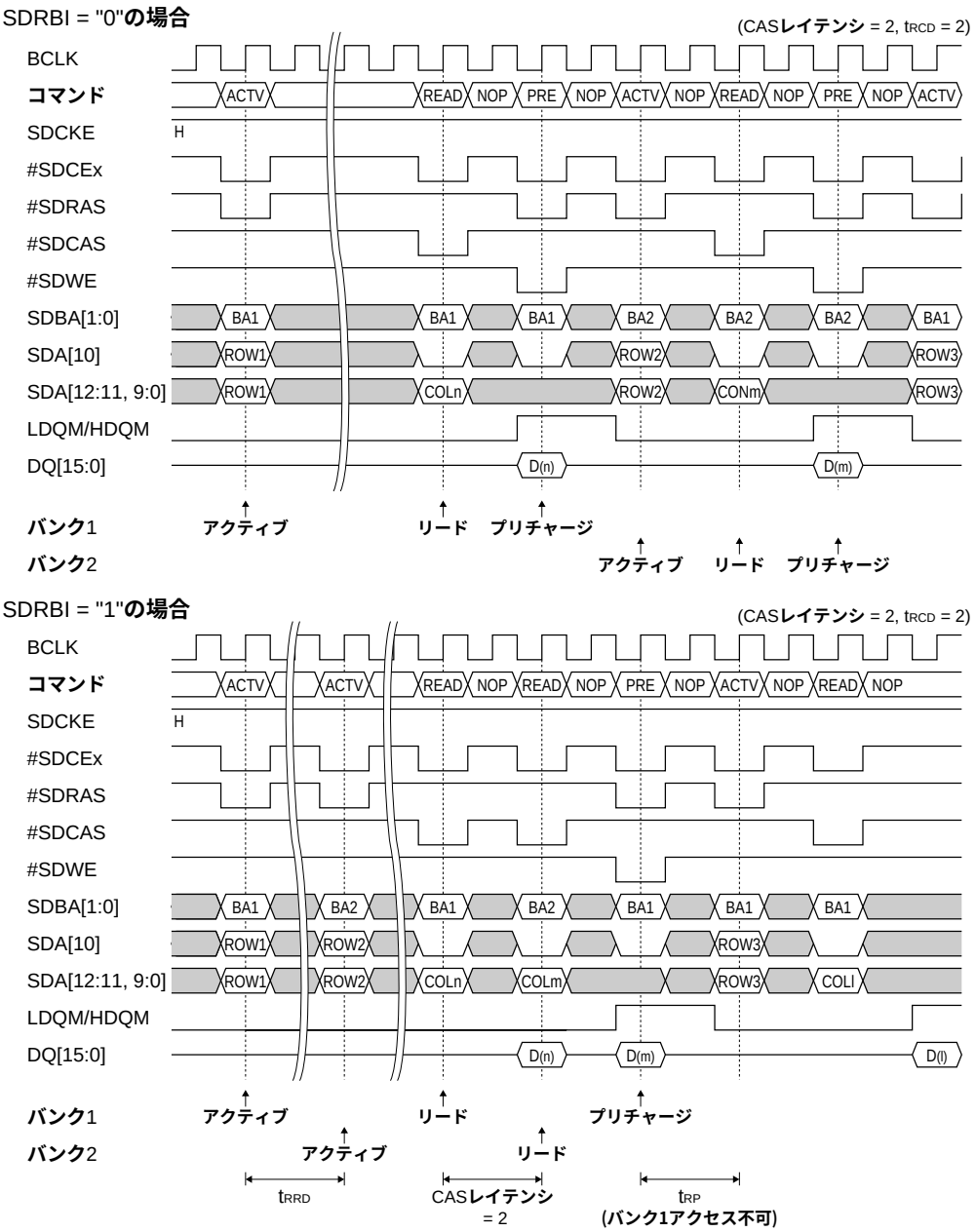


図2.6 **バンクインターリーブアクセス**

SDRBIを"0"に設定した場合はバンクが変わるごとにプリチャージコマンドを発行します。ただし、バンクインターリーブアクセスに比べ消費電流を抑えられますので、一連のアクセスでバンクがほとんど変わらないような場合に設定してください。

タイミングの設定

以下のパラメータをSDRAMの仕様に合わせて設定しておくことができます。

表2.10 SDRAMパラメータ

シンボル	SDRAMパラメータ	設定値 (クロック数)	制御ビット
tRC	ACTIVE→ACTIVEコマンド間隔 AUTO REFRESHコマンド期間 セルフリフレッシュ終了→ACTIVEコマンド間隔	1〜8	SDRTRC[2:0] (SDRAMタイミング設定レジスタ1/0x39FFC4•D[2:0])
tRAS	ACTIVE→PRECHARGEコマンド間隔 最小セルフリフレッシュ期間	1〜8	SDRTRAS[2:0] (SDRAMタイミング設定レジスタ1/0x39FFC4•D[7:5])
tRCD	ACTIVE→READまたはWRITE遅延時間	1〜4	SDRTRCD[1:0] (SDRAMタイミング設定レジスタ2/0x39FFC5•D[7:6])
tRP	PRECHARGEコマンド期間	1〜4	SDRTRP[1:0] (SDRAMタイミング設定レジスタ1/0x39FFC4•D[4:3])
tRRD	バンク(a)アクティブ→バンク(b)アクティブ間隔	1〜4	SDRTRRD[1:0] (SDRAMタイミング設定レジスタ2/0x39FFC5•D[4:3])
tRSC	モードレジスタセットサイクル時間	1〜2	SDRTRSC (SDRAMタイミング設定レジスタ2/0x39FFC5•D5)

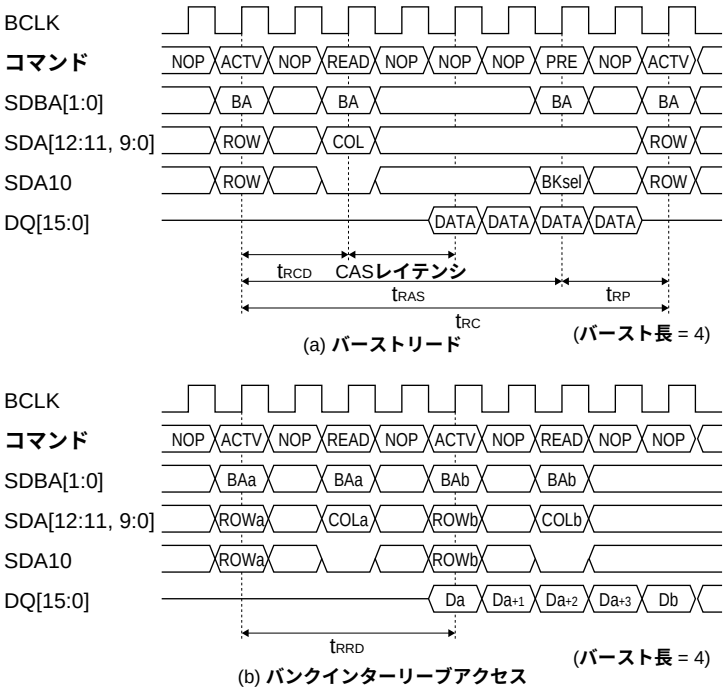


図2.7 SDRAMパラメータ

注: **オートリフレッシュコマンドの実行時は、**tRC(SDRAM**タイミング設定レジスタ**1(0x39FFC4)**の**SDRTRC[2:0] (D[2:0]))**の設定値にかかわらず、**CPU_CLK**の3または4クロック後に次のコマンドが出力される場合があります。このため、**tRC**が75ns以下のSDRAMを使用してください。

*SDRAM**インタフェースの動作***

同期クロック

SDRAMコントローラはBCLK端子を使用してSDRAMクロックを出力します。

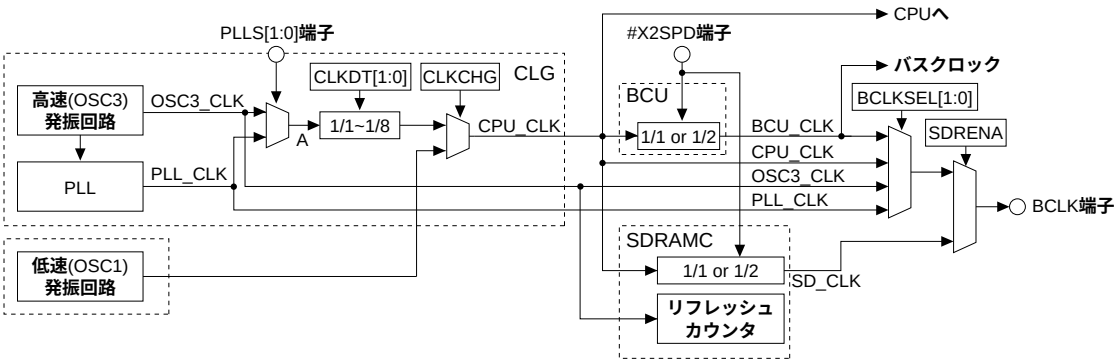


図2.8 SDRAM**クロック出力回路**

通常、BCLK端子からはBCUのBCLKSEL[1:0](BCLK選択レジスタ0x4813A•D[1:0])で選択されたクロックが出力されます(デフォルトはCPUクロック)。SDRAMを使用するには、SDRENA(SDRAM制御レジスタ0x39FFC1•D7)に"1"を書き込み、SDRAMクロックが出力されるようにしておく必要があります。

SDRAMクロックはBCU動作クロック(BCU_CLK)と同様に、#X2SPD端子の設定で周波数が決まります。

#X2SPD = "1": CPU – SDRAMクロック比が1：1で、SDRAMクロックがCPUシステムクロックと同じになります。

#X2SPD = "0": CPU – SDRAMクロック比が2 ： 1で、SDRAMクロックはCPUシステムクロックの1/2とになります。

SDRAMがセルフリフレッシュ中は、消費電流を低減させるためSDRAMクロックの出力を停止させることができます。この機能はSDRCLK(SDRAM制御レジスタ0x39FFC1•D3)で設定します。

SDRCLK = "1": BCLK端子からは常にSDRCLKが出力されます。(デフォルト)

SDRCLK = "0": SDRAMがセルフリフレッシュ中はBCLK端子をLowに固定します。バスリリース中はハイインピーダンスになります。

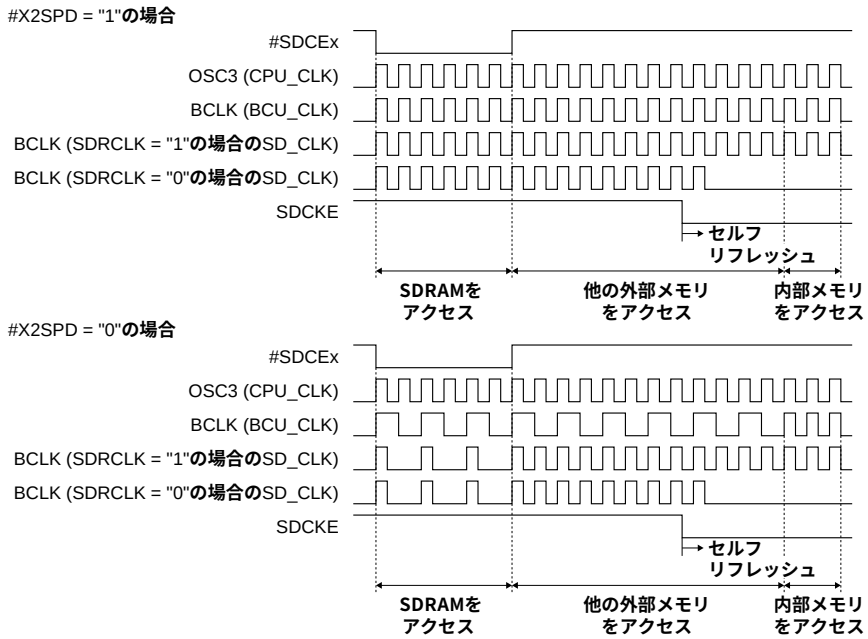


図2.9 SDRAM**クロック出力**

*SDRAM**パワーアップと初期化***

SDRAM電源投入時の処理手順を以下に示します。

1. BCUとSDRAMアクセス条件の設定
   "SDRAMコントローラの設定"で説明したとおり、BCUおよびSDRAMコントローラの設定を行います。

2. SDRENA(SDRAM制御レジスタ0x39FFC1•D7) = "1"
   この設定によって表2.1に示した端子がSDRAM信号用に切り換わります(ポート機能選択レジスタやポート機能拡張レジスタの設定内容は、この切り換えには影響しません)。また、BCLK端子はSDRAMクロックの出力を開始します。

   この段階まで、入出力兼用ポートと共用される端子は汎用入力端子に設定され、ハイインピーダンスになります。CPUと同時にSDRAMの電源が投入されている場合、SDRAMの仕様によってはSDCKE(P20)、HDQM(P32)、LDQM(P15)端子のハイインピーダンス状態がSDRAMに悪影響を及ぼすことがあります(不要なデータ出力が行われるなど)。その場合、これらの端子は外部でプルアップしておく必要があります。CPUとSDRAMに別電源を使用し、SDRENAへの"1"書き込み後にSDRAMの電源を投入する場合は、SDRAM用の信号が出力されているため、この問題は発生しません。

3. SDRAM電源投入後、100µs以上待機
   SDRAMの電源投入後は、100µs以上NOP状態(#SDCEx = High)を保つ必要があります。この時間はSDRAMにより変わる場合がありますので、仕様を確認してください。

4. SDRINI(SDRAM制御レジスタ0x39FFC1•D6) = "1"
   この設定により、SDRAMコントローラはSDRIS(SDRAM制御レジスタ0x39FFC1•D4)で指定されている順序でコマンドを出力し、SDRAMを初期化します(データの初期化は行いません)。
   SDRIS = "0": 1. プリチャージ → 2. リフレッシュ → 3. モードレジスタセット
   SDRIS = "1": 1. プリチャージ → 2. モードレジスタセット → 3. リフレッシュ

   SDRINIへの"1"書き込みは、SDRENAが"0"の場合は無効です。

5. SDRMRS(SDRAMステータスレジスタ0x39FFCA•D7)のチェック
   電源投入後SDRMRSは"1"にリセットされ、MRS(モードレジスタセット)コマンドが実行されると"0"にセットされます。MRSコマンドは外部アドレスバスを使用するため、その出力が終了するまでは、他の外部デバイスをアクセスすることはできません。SDRINIに"1"を書き込み後、MRSコマンドの出力を終了するまでは、SDRAMコントローラがユーザロジック用の内部#WAIT信号をアクティブにし、この間の外部アクセスを禁止しています。CPUもSWAITE(0x4812E•D0) = "0"のノーウェイトアクセス指定を無視します。ただし、外部アクセスを行う前には、必ずSDRMRSが"0"になっていることを確認してください。
   SDRMRSは電源投入時以外にも、SDRENAへの"0"書き込み、またはSDRINIへの"1"書き込みにより"1"にリセットされます。

以上でSDRAMの初期化シーケンスが終了し、アクセスが可能となります。

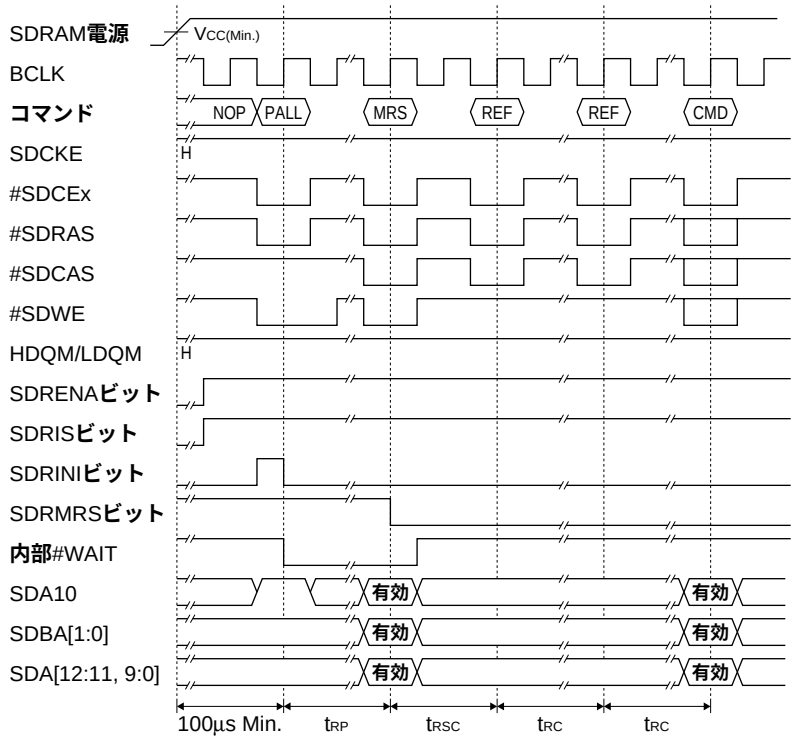


図2.10 SDRAM**パワーアップと初期化**

*SDRAM**コマンド***

SDRAMは信号の論理レベルを組み合わせて構成されるコマンドによって制御されます。
本SDRAMコントローラが出力するコマンドを表2.11に示します。

表2.11 **サポート**SDRAM**コマンド一覧**

コマンド		**端子**								
機能	**シンボル**	SDCKE	DQM H/LDQM	BA A[15:14]	SDA10	SDA A[13:12] A[10:1]	#SDCEx	#SDRAS	#SDCAS	#SDWE
バンクアクティブ	ACTV	H	X	V	V	V	L	L	H	H
指定バンクプリチャージ	PRE	H	X	V	L	X	L	L	H	L
全バンクプリチャージ	PALL	H	X	X	H	X	L	L	H	L
ライト	WRIT	H	X	V	L	V	L	H	L	L
リード	READ	H	X	V	L	V	L	H	L	H
モードレジスタセット	MRS	H	X	V	V	V	L	L	L	L
選択解除/NOP	NOP	H	X	X	X	X	H	X	X	X
オートリフレッシュ	REF	H	X	X	X	X	L	L	L	H
セルフリフレッシュ開始	SELF	H → L	X	X	X	X	L	L	L	H
セルフリフレッシュ終了	–	L → H	X	X	X	X	H	X	X	X
データライト/出力許可	–	H	L	X	X	X	X	X	X	X
データライト/出力禁止	–	H	H	X	X	X	X	X	X	X

V = **有効**, X = **任意/不定**, L = Low**レベル**, H = High**レベル**

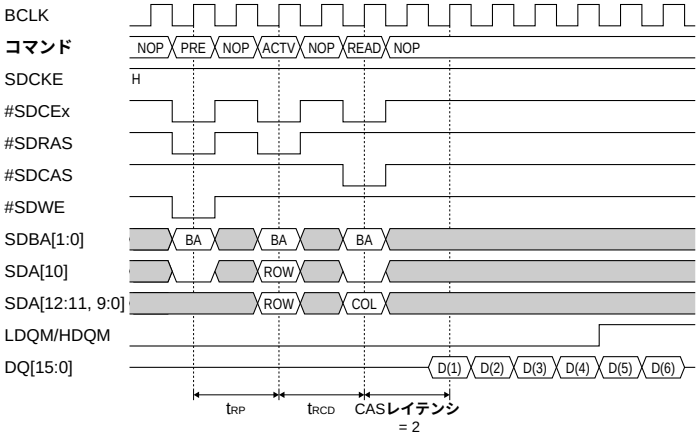
各コマンド出力はSDRAMコントローラが行いますので、SDRINIによる初期化の開始以外、ユーザプログラムで制御する必要はありません。

バーストリードサイクル

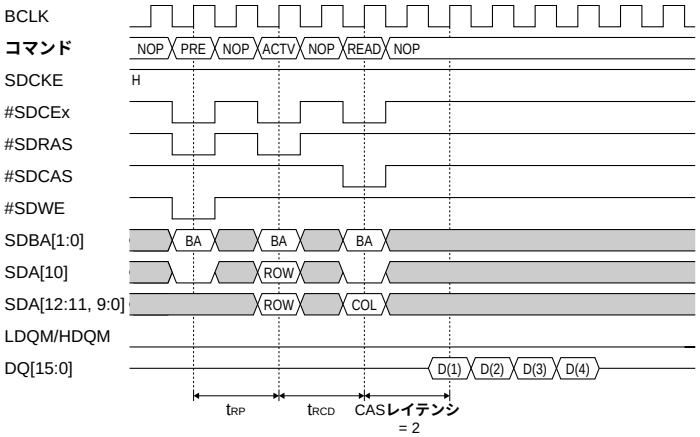
バースト長を1以外(SDRBL[1:0] ≠ "00")に設定した場合の読み出しでは、SDRAMコントローラは常にバーストリードを行います。
図2.11に、同一ローアドレスから4ワードのデータを読み出す場合を例にタイミングチャートを示します。

パラメータの設定例: CASレイテンシ = 2、t_{RCD} = 2サイクル、t_{RP} = 2サイクル

(1) **バースト長** = 8



(2) **バースト長** = 4



(3) **バースト長** = 2

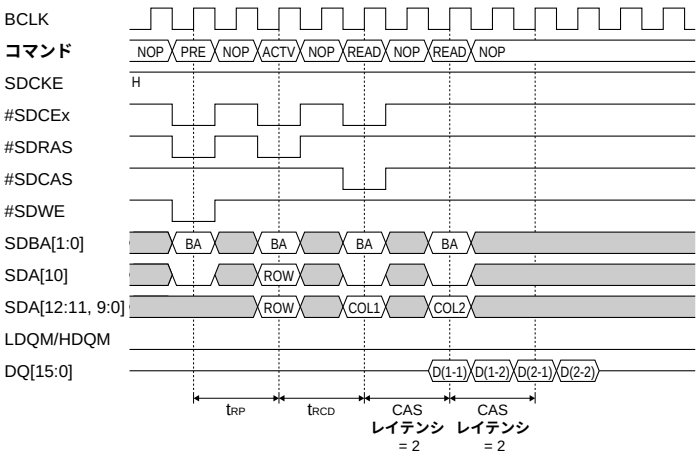


図2.11 **同一ページ内のバーストリード**

図2.12は、バーストリード中にローアドレスが変わる場合の例です。

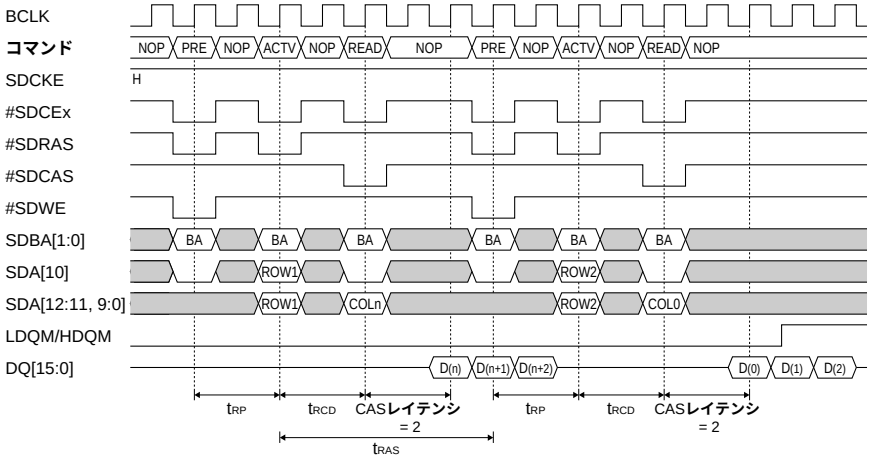


図2.12 **バーストリード時のローアドレス変更**

シングルリード/シングルライト

バースト長を1(SDRBL[1:0] = "00")に設定した場合、SDRAMコントローラはシングルリードを行います。
書き込みはバースト長の設定にかかわらず、常にシングルライトになります。

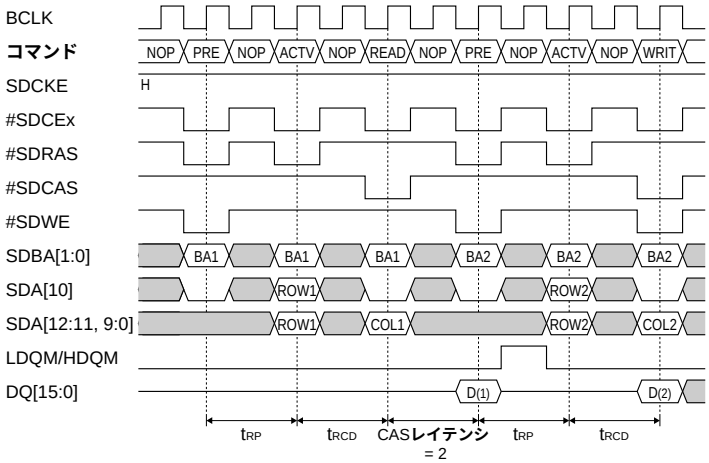


図2.13 **シングルリード→シングルライト(ページ変更)**

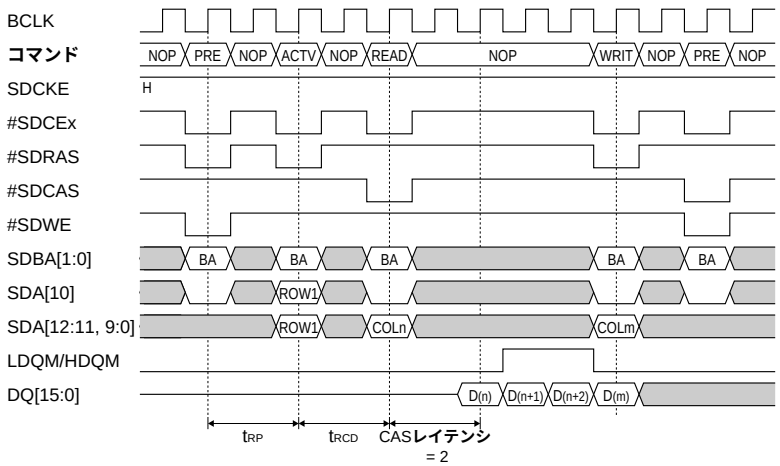


図2.14 **バーストリード→シングルライト(同一ページ)**

リフレッシュモード

SDRAMコントローラは、オートリフレッシュとセルフリフレッシュの2種類のSDRAMリフレッシュモードに対応しています。

オートリフレッシュ

SDRAMコントローラは12ビットのオートリフレッシュカウンタを内蔵しています。このカウンタはOSC3クロックで常にカウントを行い、カウントが指定した値になると全バンクのプリチャージコマンドとオートリフレッシュコマンドをSDRAMに送信するようになっています。その時点でカウンタはリセットされ、次のリフレッシュ周期のカウントを開始します。カウンタはセルフリフレッシュによってもリセットされます。

オートリフレッシュの周期はOSC3クロックの周波数と、SDRARFC[11:0](オートリフレッシュカウントレジスタ0x39FFC6•D[B:0])に設定するカウント値で決まります。SDRAMの仕様を満たすようにSDRARFCの値を設定してください。カウント値は次の計算式で求められます。

$$SDRARFC \leq \frac{RFP}{ROWS} \times f_{OSC3} - BL - CL - 2 \times t_{RP} - t_{RCD} - 3$$

RFP: 最大リフレッシュ周期 [s]
ROWS: ローアドレスサイズ
f_{OSC3}: OSC3クロック周波数 [Hz]
BL: バースト長 [ワード]
CL: CASレイテンシ [SD_CLKクロック数]
t_{RP}: PRECHARGEコマンド期間 [SD_CLKクロック数]
t_{RCD}: ACTIVE→READまたはWRITE遅延時間 [SD_CLKクロック数]

たとえば、RFP = 64ms、ROWS = 4,096、f_{OSC3} = 20MHz、BL = 8、CL = 3、t_{RP} = 4、t_{RCD} = 4の場合の設定値は次のように算出されます。

$$SDRARFC \leq \frac{0.064}{4{,}096} \times 20{,}000{,}000 - 8 - 3 - 2 \times 4 - 4 - 3 = 286$$

SDRARFCには286(0x11E)以下の値を設定します。

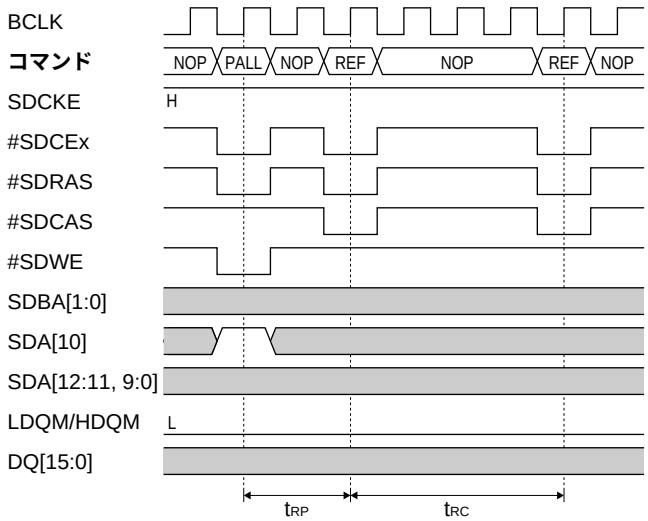


図2.15 **オートリフレッシュ**

セルフリフレッシュ

セルフリフレッシュはSDRAMのセルフリフレッシュ機能を使用するもので、リフレッシュ期間中にクロックが不要なため、電力消費を抑えることができます。また、パワーダウンモード時のデータ保持には、このセルフリフレッシュを使用します。

セルフリフレッシュを行う場合は、SDRSRF(SDRAM制御レジスタ0x39FFC1•D5)を"1"に設定します。これにより、SDRAMコントローラはセルフリフレッシュコマンド(SDCKE出力をLowに設定)をSDRAMに送ることができるようになります。実際にコマンドが送られるのはSDRAMのアクセスから、またはオートリフレッシュから一定時間経過後で、SDRAMコントローラは、この時間をカウントする4ビットのセルフリフレッシュカウンタを内蔵しています。このカウンタはSDRAMクロック(SD_CLK)でカウントを行い、カウントが指定した値になるとリフレッシュコマンドをSDRAMに送信します。また、SDRAMのアクセスやオートリフレッシュコマンドの発行時にカウンタはリセットされ、再度カウントを開始するようになっています。カウンタと比較する値は、SDRSRFC[3:0](SDRAMセルフリフレッシュカウントレジスタ0x39FFC8•D[3:0])で2～15の範囲で指定可能です。セルフリフレッシュカウントレジスタを1以下にするとセルフリフレッシュモードから復帰できなくなりますので、必ず2以上に設定してください。

セルフリフレッシュモード中にSDRAMへのアクセスが発生すると、SDCKEがHighに戻りセルフリフレッシュモードは解除されます。

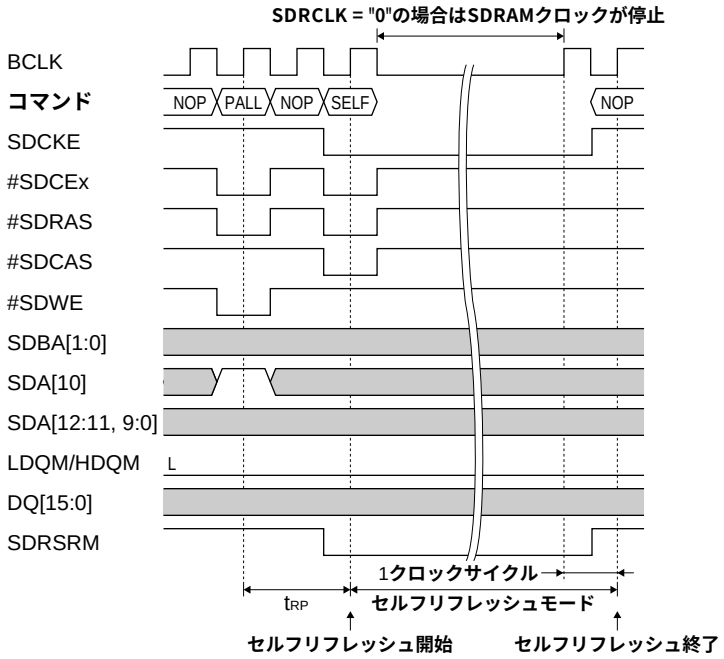


図2.16 **セルフリフレッシュ**

セルフリフレッシュ中(SDCKE = Lowの期間)は、SDRSRM(SDRAMステータスレジスタ0x39FFCA•D6)が"0"になりますので、これを読み出して確認することができます。

また、SDRCLK(SDRAM制御レジスタ0x39FFC1•D3)を"0"に設定することで、セルフリフレッシュ中のSDRAMクロック出力を停止して電力消費を抑えることができます。

パワーダウンモード

SDRAMコントローラはS1C33コアの3つのパワーダウンモード(HALT、HALT2、SLEEP)をサポートしています。
HALTモードはバスクロックが停止しませんので、いつでも設定することができます。
HALT2モードとSLEEPモードではSDRAMのオートリフレッシュができなくなりますので、それぞれのモードに入る前に、次の手順でSDRAMをセルフリフレッシュモードに設定しておく必要があります。

1. SDRSRF(0x39FFC1•D5)を"1"に設定し、SDRAMのセルフリフレッシュを有効にします。
2. SDRSRM(0x39FFCA•D6)が"0"(SDRAMがセルフリフレッシュ中)になったことを確認します。
3. haltまたはslp命令を実行します。

SDRAMコントローラの動作にはOSC3クロックが必要ですので、CPUクロックをOSC1クロックに切り換える場合や、OSC3クロックを停止する前にも上記の手順でセルフリフレッシュモードの設定が必要です。

注: SDRAM**へのアクセスがあるとセルフリフレッシュモードが解除されてしまうため、上記手順の**2**と**3**は**SDRAM**以外のメモリ上で実行する必要があります。**

バス解放手順

CPUが外部バスを解放すると、SDRCLK = "1"に設定されている場合のBCLK出力を除き、他のすべてのSDRAM信号入出力端子はハイインピーダンスか入力状態になります。これにより、バスマスタとなる他のデバイスが、同じSDRAMを制御できるようになります。
この制御切り換えの手順を以下に示します。

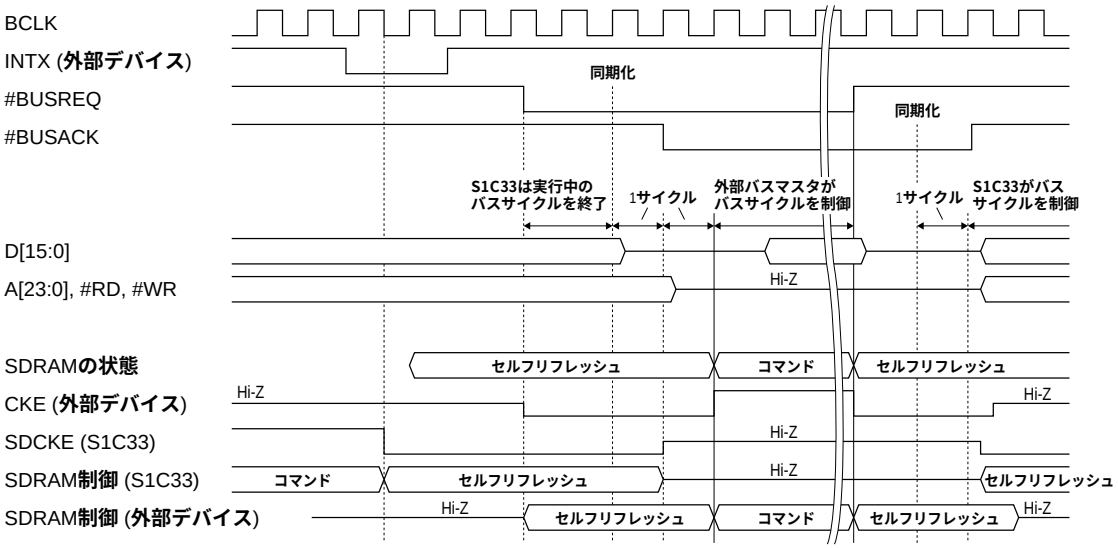


図2.17 **バス解放手順**

1. 外部バスマスタとなるデバイスは、割り込みあるいはその他の方法でS1C33にバス解放の準備を促します。
2. S1C33はバス解放の準備を整えた後、SDRSRF(0x39FFC1•D5)を"1"に設定してSDRAMをセルフリフレッシュモードにします。この後、S1C33はSDRAMをアクセスしてはいけません。
3. 外部デバイスはSDRAMがセルフリフレッシュモードになった後にバスリクエストを出力します。
4. 3と同時に、外部デバイスはSDCKE信号をLowにプルダウンし、バス解放時もSDRAMのセルフリフレッシュモードが解除されないようにします。
5. S1C33はバスリクエストに応え、外部バスを解放します。外部バスはSDRAMインタフェース端子も含めハイインピーダンスになります。
6. 外部バスマスタがSDRAMの制御を引き継ぎます。SDRCLK(0x39FFC1•D3)が"1"の場合はBCLK端子からSDRAMクロックが出力されますので、外部バスマスタはそのクロックに同期してSDRAMを制御する必要があります。SDRCLKが"0"の場合はバス解放と同時にBCLKもハイインピーダンスになりますので、外部バスマスタからSDRAMにクロックを供給します。

注: **バス解放後に**SDRAM**をアクセスしない場合は、**SDRAM**のデータを保持するために、**SDRAM**の**CKE**端子を**Low**にして"セルフリフレッシュモード"を保つようにしてください。**

SDRAMインタフェースのI/Oメモリ

表2.12にSDRAMインタフェースの制御ビットを示します。これらのレジスタはエリア6の0x39FFC0～0x39FFCAに割り付けられています。

表2.12 SDRAMインタフェースの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
SDRAM エリア設定 レジスタ	039FFC0 (B)	D7	SDRAR0	エリア7/13設定	1 SDRAM 0 SDRAM以外	0	R/W	
		D6	SDRAR1	エリア8/14設定	1 SDRAM 0 SDRAM以外	0	R/W	
		D5–4	–	reserved	–	–	–	読み出し時: 0
		D3	SDRPC0	#CE7/13端子設定	1 #SDCE0 0 #CE7/13	0	R/W	
		D2	SDRPC1	#CE8/14端子設定	1 #SDCE1 0 #CE8/14	0	R/W	
		D1–0	–	reserved	–	–	–	読み出し時: 0
SDRAM 制御レジスタ	039FFC1 (B)	D7	SDRENA	SDRAM信号イネーブル	1 許可 0 禁止	0	R/W	
		D6	SDRINI	SDRAM初期化	1 開始 0 –	0	R/W	読み出し時: 0
		D5	SDRSRF	SDRAMセルフリフレッシュモード	1 有効 0 無効	0	R/W	
		D4	SDRIS	初期化コマンドシーケンス	1 1 PRE 2 MRS 3 REF 0 1 PRE 2 REF 3 MRS	0	R/W	
		D3	SDRCLK	セルフリフレッシュ時SDCLK指定	1 保持 0 停止	1	R/W	
		D2–0	–	reserved	–	–	–	読み出し時: 0
SDRAM アドレス設定 レジスタ	039FFC2 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6–5	SDRCA1 SDRCA0	SDRAMページサイズ (カラムアドレス範囲)	SDRCA[1:0] ページサイズ 1 1 reserved 1 0 1K (SDA[9:0]) 0 1 512 (SDA[8:0]) 0 0 256 (SDA[7:0])	0 0	R/W	
		D4	–	reserved	–	–	–	読み出し時: 0
		D3–2	SDRRA1 SDRRA0	SDRAMローアドレス範囲	SDRRA[1:0] アドレス範囲 1 1 reserved 1 0 8K (SDA[12:0]) 0 1 4K (SDA[11:0]) 0 0 2K (SDA[10:0])	0 0	R/W	
		D1	SDRBA	SDRAMバンク数	1 4バンク 0 2バンク	0	R/W	
		D0	–	reserved	–	–	–	読み出し時: 0
SDRAM モード設定 レジスタ	039FFC3 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6–5	SDRCL1 SDRCL0	SDRAM CASレイテンシ	SDRCL[1:0] CASレイテンシ 1 0 2クロック	1 1	R/W	
		D4	–	reserved	–	–	–	読み出し時: 0
		D3–2	SDRBL1 SDRBL0	SDRAMバースト長	SDRBL[1:0] バースト長 1 1 8 1 0 4 0 1 2 0 0 1	1 1	R/W	
		D1–0	–	reserved	–	–	–	読み出し時: 0
SDRAM タイミング設定 レジスタ1	039FFC4 (B)	D7–5	SDRTRAS2 SDRTRAS1 SDRTRAS0	SDRAM t_{RAS}仕様	SDRTRAS[2:0] クロック数 1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 8	0 0	R/W	
		D4–3	SDRTRP1 SDRTRP0	SDRAM t_{RP}仕様	SDRTRP[1:0] クロック数 1 1 3 1 0 2 0 1 1 0 0 4	0 0	R/W	
		D2–0	SDRTRC2 SDRTRC1 SDRTRC0	SDRAM t_{RC}仕様	SDRTRC[2:0] クロック数 1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 8	0 0	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
SDRAM タイミング設定 レジスタ2	039FFC5 (B)	D7–6	SDRTRCD1 SDRTRCD0	SDRAM t_{RCD}仕様	SDRTRCD[1:0] 1 1 = 3 / 1 0 = 2 / 0 1 = 1 / 0 0 = 4	0 0	R/W	
		D5	SDRTRSC	SDRAM t_{RSC}仕様	1 = 1クロック / 0 = 2クロック	0	R/W	
		D4–3	SDRTRRD1 SDRTRRD0	SDRAM t_{RRD}仕様	SDRTRRD[1:0] 1 1 = 3 / 1 0 = 2 / 0 1 = 1 / 0 0 = 4	0 0	R/W	
		D2–0	–	reserved	–	–	–	読み出し時: 0
SDRAM オートリフレッシュカウント レジスタ	039FFC6 (HW)	DF–C	–	reserved	–	–	–	読み出し時: 0
		DB	SDRARFC11	SDRAMオートリフレッシュ カウンタ値[11:0]	0〜4096	1	R/W	
		DA	SDRARFC10			1		
		D9	SDRARFC9			1		
		D8	SDRARFC8			1		
		D7	SDRARFC7			1		
		D6	SDRARFC6			1		
		D5	SDRARFC5			1		
		D4	SDRARFC4			1		
		D3	SDRARFC3			1		
		D2	SDRARFC2			1		
		D1	SDRARFC1			1		
		D0	SDRARFC0			1		
SDRAM セルフリフレッシュカウント レジスタ	039FFC8 (B)	D7–4	–	reserved	–	–	–	読み出し時: 0
		D3	SDRSRFC3	SDRAMセルフリフレッシュ カウンタ値[3:0]	2〜15	1	R/W	本レジスタは必ず "0x02"以上に設定してください
		D2	SDRSRFC2			1		
		D1	SDRSRFC1			1		
		D0	SDRSRFC0			1		
SDRAM 高度制御 レジスタ	039FFC9 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	SDRSZ	SDRAMデータ幅	1 = 8ビット / 0 = 16ビット	0	R/W	
		D5	SDRBI	SDRAMバンクインターリーブ	1 = インターリーブ / 0 = 1バンク	0	R/W	
		D4–0	–	reserved	–	–	–	読み出し時: 0
SDRAM ステータス レジスタ	039FFCA (B)	D7	SDRMRS	SDRAMモードレジスタセットフラグ	1 = 未設定 / 0 = 設定済み	1	R	
		D6	SDRSRM	SDRAMリフレッシュモード	1 = オート / 0 = セルフ	1	R	
		D5–0	–	reserved	–	–	–	読み出し時: 0

注: 0x39FFCB〜0x39FFCDはSDRAMコントローラのテスト用に割り当てられていますので、ユーザプログラムからはアクセスしないでください。

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
エリア14–13	**0048122**	DF–9	–	reserved	–	–	–	**読み出し時**: 0
設定レジスタ	**(HW)**	D8	**A14DRA**	**エリア14 DRAM選択**	1 **使用**　0 **未使用**	0	R/W	
		D7	**A13DRA**	**エリア13 DRAM選択**	1 **使用**　0 **未使用**	0	R/W	
		D6	**A14SZ**	**エリア14**–13**デバイスサイズ選択**	1 8**ビット**　0 16**ビット**	0	R/W	
		D5	**A14DF1**	**エリア14**–13	A14DF[1:0] **サイクル数**	1	R/W	
		D4	**A14DF0**	**出力ディセーブル遅延時間**	1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		D3	–	**reserved**	–	–	–	**読み出し時**: 0
		D2	**A14WT2**	**エリア14–13ウェイト制御**	A14WT[2:0] **ウェイト数**	1	R/W	
		D1	**A14WT1**		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D0	**A14WT0**			1		
エリア8–7	**0048128**	DF–9	–	reserved	–	–	–	**読み出し時**: 0
設定レジスタ	**(HW)**	D8	**A8DRA**	**エリア8 DRAM選択**	1 **使用**　0 **未使用**	0	R/W	
		D7	**A7DRA**	**エリア7 DRAM選択**	1 **使用**　0 **未使用**	0	R/W	
		D6	**A8SZ**	**エリア8**–7**デバイスサイズ選択**	1 8**ビット**　0 16**ビット**	0	R/W	
		D5	**A8DF1**	**エリア8**–7	A8DF[1:0] **サイクル数**	1	R/W	
		D4	**A8DF0**	**出力ディセーブル遅延時間**	1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		D3	–	**reserved**	–	–	–	**読み出し時**: 0
		D2	**A8WT2**	**エリア8–7ウェイト制御**	A8WT[2:0] **ウェイト数**	1	R/W	
		D1	**A8WT1**		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D0	**A8WT0**			1		
エリア6–4	**004812A**	DF–E	–	reserved	–	–	–	**読み出し時**: 0
設定レジスタ	**(HW)**	DD	**A6DF1**	**エリア6**	A6DF[1:0] **サイクル数**	1	R/W	
		DC	**A6DF0**	**出力ディセーブル遅延時間**	1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		DB	–	**reserved**	–	–	–	**読み出し時**: 0
		DA	**A6WT2**	**エリア6ウェイト制御**	A6WT[2:0] **ウェイト数**	1	R/W	
		D9	**A6WT1**		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D8	**A6WT0**			1		
		D7	–	**reserved**	–	–	–	**読み出し時**: 0
		D6	**A5SZ**	**エリア5–4デバイスサイズ選択**	1 8**ビット**　0 16**ビット**	0	R/W	
		D5	**A5DF1**	**エリア5**–4	A5DF[1:0] **サイクル数**	1	R/W	
		D4	**A5DF0**	**出力ディセーブル遅延時間**	1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		D3	–	**reserved**		–	–	**読み出し時**: 0
		D2	**A5WT2**	**エリア5–4ウェイト制御**	A5WT[2:0] **ウェイト数**	1	R/W	
		D1	**A5WT1**		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D0	**A5WT0**			1		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
バスコントロールレジスタ	**004812E (HW)**	DF	**RBCLK**	BCLK**出力イネーブル**	1 **H 固定** 0 **イネーブル**	0	R/W	
		DE	**–**	**reserved**	–	0	–	**1書き込み禁止**
		DD	**RBST8**	**バーストROMバーストモード選択**	1 **8連続** 0 **4連続**	0	R/W	
		DC	**REDO**	**DRAMページモード選択**	1 EDO 0 **高速ページ**	0	R/W	
		DB DA	**RCA1** **RCA0**	**カラムアドレスサイズ選択**	RCA[1:0] **サイズ** 1 1 11 1 0 10 0 1 9 0 0 8	0 0	R/W	
		D9	**RPC2**	**リフレッシュイネーブル**	1 **イネーブル** 0 **ディセーブル**	0	R/W	
		D8	**RPC1**	**リフレッシュ方式選択**	1 **セルフ** 0 **CBR**	0	R/W	
		D7	**RPC0**	**リフレッシュRPCディレイ**	1 **2.0** 0 **1.0**	0	R/W	
		D6 D5	**RRA1** **RRA0**	**リフレッシュ RASパルス幅選択**	RRA[1:0] **サイクル数** 1 1 5 1 0 4 0 1 3 0 0 2	0 0	R/W	
		D4	**–**	**reserved**	–	0	–	**1書き込み禁止**
		D3	**SBUSST**	**外部インタフェース方式設定**	1 **#BSL** 0 **A0**	0	R/W	
		D2	**SEMAS**	**外部バスマスタ設定**	1 **存在** 0 **なし**	0	R/W	
		D1	**SEPD**	**外部パワーダウン制御**	1 **有効** 0 **無効**	0	R/W	
		D0	**SWAITE**	**#WAITイネーブル**	1 **許可** 0 **禁止**	0	R/W	
DRAM タイミング設定レジスタ	**0048130 (HW)**	DF–C	**–**	reserved	–	–	–	**読み出し時**: 0
		DB	**A3EEN**	**エリア3エミュレーション**	1 **内蔵ROM** 0 **ｴﾐｭﾚｰｼｮﾝ**	1	R/W	
		DA D9	**CEFUNC1** **CEFUNC0**	**#CE端子機能選択**	CEFUNC[1:0] **#CE出力** 1 x #CE7/8..#CE17/18 0 1 #CE6..#CE17 0 0 #CE4..#CE10	0 0	R/W	
		D8	**CRAS**	**連続RASモード**	1 **連続** 0 **通常**	0	R/W	
		D7 D6	**RPRC1** **RPRC0**	**DRAM RASプリチャージサイクル数**	RPRC[1:0] **サイクル数** 1 1 4 1 0 3 0 1 2 0 0 1	0 0	R/W	
		D5	**–**	**reserved**	–	–	–	**読み出し時**: 0
		D4 D3	**CASC1** **CASC0**	**DRAM CASサイクル数**	CASC[1:0] **サイクル数** 1 1 4 1 0 3 0 1 2 0 0 1	0 0	R/W	
		D2	**–**	**reserved**	–	–	–	**読み出し時**: 0
		D1 D0	**RASC1** **RASC0**	**DRAM RASサイクル数**	RASC[1:0] **サイクル数** 1 1 4 1 0 3 0 1 2 0 0 1	0 0	R/W	
アクセス制御レジスタ	**0048132 (HW)**	DF	**A18IO**	**エリア18, 17外部/内部アクセス**	1 **内部アクセス** 0 **外部アクセス**	0	R/W	
		DE	**A16IO**	**エリア16, 15外部/内部アクセス**		0	R/W	
		DD	**A14IO**	**エリア14, 13外部/内部アクセス**		0	R/W	
		DC	**A12IO**	**エリア12, 11外部/内部アクセス**		0	R/W	
		DB	**–**	reserved	–	0	–	**読み出し時**: 0
		DA	**A8IO**	**エリア8, 7外部/内部アクセス**	1 **内部アクセス** 0 **外部アクセス**	0	R/W	
		D9	**A6IO**	**エリア6外部/内部アクセス**		0	R/W	
		D8	**A5IO**	**エリア5, 4外部/内部アクセス**		0	R/W	
		D7	**A18EC**	**エリア18, 17エンディアン制御**	1 **ビッグエンディアン** 0 **リトルエンディアン**	0	R/W	
		D6	**A16EC**	**エリア16, 15エンディアン制御**		0	R/W	
		D5	**A14EC**	**エリア14, 13エンディアン制御**		0	R/W	
		D4	**A12EC**	**エリア12, 11エンディアン制御**		0	R/W	
		D3	**A10EC**	**エリア10, 9エンディアン制御**		0	R/W	
		D2	**A8EC**	**エリア8, 7エンディアン制御**		0	R/W	
		D1	**A6EC**	**エリア6エンディアン制御**		0	R/W	
		D0	**A5EC**	**エリア5, 4エンディアン制御**		0	R/W	

A14SZ: **エリア**14–13**デバイスサイズ選択**(D6/0x48122<**エリア**14–13**設定レジスタ**>)
A8SZ: **エリア**8–7**デバイスサイズ選択**(D6/0x48128<**エリア**8–7**設定レジスタ**>)

各エリアに接続するデバイスのサイズを選択します。

"1"書き込み: 8ビット
"0"書き込み: 16ビット
読み出し: 可能

SDRAMに使用するエリアのデバイスサイズを、SDRSZ(0x39FFC9•D6)の指定と同じに設定してください。
コールドスタート時、これらのビットは"0"(16ビット)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A14WT2–A14WT0: **エリア**14–13**ウェイト制御**(D[2:0]/0x48122<**エリア**14–13**設定レジスタ**>)
A8WT2–A8WT0: **エリア**8–7**ウェイト制御**(D[2:0]/0x48128<**エリア**8–7**設定レジスタ**>)
A6WT2–A6WT0: **エリア**6**ウェイト制御**(D[A:8]/0x4812A<**エリア**6–4**設定レジスタ**>)

内部デバイスをアクセスする際のウェイトサイクル数を設定します。
ここに書き込む0〜7の値が挿入されるウェイトサイクル数となります。
SDRAMコントローラが割り付けられているエリア6のウェイト数は、必ず2(A6WT = "010")に設定してください。これ以外のウェイト数では、SDRAM制御レジスタへの正常な書き込みができない場合があります。
SDRAMに使用するエリアのウェイト数は0(A8WT/A14WT = "000")に設定します。
コールドスタート時、これらのビットは"111"(7サイクル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A14DF1–A14DF0: **エリア**14–13**出力ディセーブル遅延時間**(D[5:4]/0x48122<**エリア**14–13**設定レジスタ**>)
A8DF1–A8DF0: **エリア**8–7**出力ディセーブル遅延時間**(D[5:4]/0x48128<**エリア**8–7**設定レジスタ**>)

出力ディセーブル遅延時間を設定します。

表2.13 **出力ディセーブル遅延時間**

AxxDF1	AxxDF0	**遅延時間**
1	1	3.5**サイクル**
1	0	2.5**サイクル**
0	1	1.5**サイクル**
0	0	0.5**サイクル**

システムにSDRAM以外の外部メモリデバイスを接続し、SDRAMリードと連続したアクセスを行う場合は、SDRAMに使用するエリアの出力ディセーブル遅延時間を2.5サイクル(A8DF/A14DF = "10")に設定してください。
それ以外の場合はSDRAMへのアクセス時間を短縮するために、出力ディセーブル遅延時間は0.5サイクル(A8DF/A14DF = "00")に設定します。
コールドスタート時、これらのビットは"11"(3.5サイクル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SWAITE: #WAIT**イネーブル**(D0/0x4812E<**バスコントロールレジスタ**>)

ウェイトサイクルの制御を許可/禁止します。

"1"書き込み: 許可
"0"書き込み: 禁止
読み出し: 可能

SDRAMコントローラはIC内部でウェイト制御を行うため、SWAITEを"1"に設定してください。
コールドスタート時、SWAITEは"0"(禁止)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

CEFUNC1–CEFUNC0: #CE**端子機能選択**(D[A:9]/0x48130<DRAM**タイミング設定レジスタ**>)

SDRAMを接続するエリアを選択します。

表2.14 #CE**出力の切り換え**

端子	CEFUNC = "00"	CEFUNC = "01"	CEFUNC = "1x"
#CE7/#SDCE0	#CE7/#SDCE0	#CE13/#SDCE0	#CE13/#SDCE0
#CE8/#SDCE1	#CE8/#SDCE1	#CE14/#SDCE1	#CE14/#SDCE1

(**デフォルト**: CEFUNC = "00")

SDRAM用にエリア7/8を使用する場合はCEFUNC = "00"に、エリア13/14を使用する場合はCEFUNC = "01"に設定します。
コールドスタート時、CEFUNCは"00"に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A14IO: **エリア**14–13**外部/内部アクセス選択**(DD/0x48132<**アクセス制御レジスタ**>)
A8IO: **エリア**8–7**外部/内部アクセス選択**(DA/0x48132<**アクセス制御レジスタ**>)
A6IO: **エリア**6**外部/内部アクセス選択**(D9/0x48132<**アクセス制御レジスタ**>)

各エリアを内部アクセスするか外部アクセスするか選択します。

"1"書き込み: 内部アクセス
"0"書き込み: 外部アクセス
読み出し: 可能

SDRAMコントローラを使用するためにはA6IOを"1"(内部アクセス)に設定する必要があります。
また、SDRAM用にエリア7/8を使用する場合はA8IO = "1"に、エリア13/14を使用する場合はA14IO = "1"に設定してください。
コールドスタート時、これらのビットは"0"(外部アクセス)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A6EC: **エリア**6**リトル/ビッグエンディアン形式選択**(D1/0x48132<**アクセス制御レジスタ**>)

エリア6のアクセス形式(リトルエンディアンまたはビッグエンディアン)を選択します。

"1"書き込み: ビッグエンディアン
"0"書き込み: リトルエンディアン
読み出し: 可能

LCDCEC(0x39FFFD•D0)と同じに設定してください。
コールドスタート時、これらのビットは"0"(リトルエンディアン)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SDRAR1: **エリア**8/14**設定**(D6/0x39FFC0<SDRAM**エリア設定レジスタ**>)
SDRAR0: **エリア**7/13**設定**(D7/0x39FFC0<SDRAM**エリア設定レジスタ**>)

SDRAM用のエリアを設定します。

"1"書き込み: SDRAM用
"0"書き込み: SDRAM以外のデバイス用
読み出し: 可能

SDRAMはエリア7と8、またはエリア13と14に接続できます。エリア7または13をSDRAM用に設定するにはSDRAR0に"1"を書き込みます。同様に、エリア8または14をSDRAM用に設定するにはSDRAR1に"1"を書き込みます。どちらも、"0"を書き込んだ場合はその他のデバイス用のエリアに設定されます。
コールドスタート時、これらのビットは"0"(SDRAM以外)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SDRPC1: #CE8/14**端子設定**(D2/0x39FFC0<SDRAM**エリア設定レジスタ**>)
SDRPC0: #CE7/13**端子設定**(D3/0x39FFC0<SDRAM**エリア設定レジスタ**>)

SDRAMのチップイネーブル端子を設定します。

"1"書き込み: #SDCEx (SDRAM用)
"0"書き込み: #CExx (SDRAM以外のデバイス用)
読み出し: 可能

SDRAMのチップイネーブルとして使用する端子を選択します。#CE7/13端子をSDRAM用(#SDCE0)に設定するにはSDRPC0に"1"を書き込みます。同様に、#CE8/14端子をSDRAM用(#SDCE1)に設定するにはSDRPC1に"1"を書き込みます。どちらも、"0"を書き込んだ場合はその他のデバイス用のチップイネーブル出力端子に設定されます。
なお、SDRAMではBCUの使用方法とは異なり、使用するエリアと端子は関連付けられていません。たとえば、エリア7をSDRAM用に使用する場合に#CE8/14をチップイネーブル端子として使用することや、エリア7と8の両方を使用する場合に#CE7/13のみをチップイネーブル端子として使用するといったことが可能です。この組み合わせについては表2.5を参照してください。
コールドスタート時、これらのビットは"0"(#CExx)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SDRENA: SDRAM**信号イネーブル**(D7/0x39FFC1<SDRAM**制御レジスタ**>)

SDRAM用端子を有効にします。

"1"書き込み: 有効
"0"書き込み: 無効
読み出し: 可能

SDRENAに"1"を書き込むと、他の機能と兼用されている端子がSDRAM用に設定され、BCLK端子からはSDRAMクロックが出力されます。SDRENAが"0"の場合、兼用端子は他の機能となります。
HALT2またはSLEEPモードでは、BCLK端子のSDRAMクロック出力は停止します。
コールドスタート時、SDRENAは"0"(無効)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SDRINI: SDRAM**初期化**(D6/0x39FFC1<SDRAM**制御レジスタ**>)

SDRAMの初期化シーケンスを開始します。

"1"書き込み: 開始
"0"書き込み: 無効
読み出し: 可能

SDRINIに"1"を書き込むと、SDRIS(0x39FFC1•D4)で指定されているSDRAMパワーアップ時の初期化シーケンスを開始します。この操作は、SDRAMをパワーアップから100µs(SDRAMにより異なる)以上NOP状態にした後で行う必要があります。
イニシャルリセット時、SDRINIは"0"に設定されます。

SDRSRF: SDRAM**セルフリフレッシュモード**(D5/0x39FFC1<SDRAM**制御レジスタ**>)

SDRAMのセルフリフレッシュ制御機能を有効にします。

"1"書き込み: 有効
"0"書き込み: 無効
読み出し: 可能

SDRSRFに"1"を書き込むと、SDRAMコントローラはSDRAMのセルフリフレッシュを開始(SDCKE出力をLowに設定)することができるようになります。実際にセルフリフレッシュを開始するのはSDRAMのアクセスまたはオートリフレッシュからSDRSRFC[3:0](0x39FFC8•D[3:0])で指定したクロックサイクルの経過後です。
SDRSRFが"0"の場合、セルフリフレッシュ機能は無効になります。
コールドスタート時、SDRSRFは"0"(無効)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SDRIS: **初期化コマンドシーケンス**(D4/0x39FFC1<SDRAM**制御レジスタ**>)

SDRAMの初期化シーケンスを選択します。

"1"書き込み: 1. プリチャージ → 2. モードレジスタセット → 3. リフレッシュ
"0"書き込み: 1. プリチャージ → 2. リフレッシュ → 3. モードレジスタセット
読み出し: 可能

SDRAMの初期化のために送るコマンドの送信順序を、SDRAMの仕様に合わせて選択します。SDRAMの初期化はSDRINI(0x39FFC1•D6)に"1"を書き込むことによって開始します。
コールドスタート時、SDRISは"0"(1. プリチャージ → 2. リフレッシュ → 3. モードレジスタセット)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SDRCLK: **セルフリフレッシュ時**SDRAM**指定**(D3/0x39FFC1<SDRAM**制御レジスタ**>)

セルフリフレッシュ中にSDRAMクロックを停止するかどうかを選択します。

"1"書き込み: 出力を保持
"0"書き込み: 出力を停止
読み出し: 可能

SDRCLKに"0"を書き込むと、SDRAMがセルフリフレッシュ中にBCLK端子からのSDRAMクロック出力を停止します。これにより、消費電流を低減できます。またバス解放時にはBCLK端子がハイインピーダンスになります。
SDRCLKが"1"の場合は、SDRAMがセルフリフレッシュ中およびバス解放中でもBCLK端子からSDRAMクロックが出力されます。
コールドスタート時、SDRCLKは"1"(出力を保持)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SDRCA1–SDRCA0: SDRAM**ページサイズ**(D[6:5]/0x39FFC2<SDRAM**アドレス設定レジスタ**>)

SDRAMのページサイズ(カラムアドレス範囲)を設定します。

表2.15 **カラムアドレス範囲(ページサイズ)の設定**

SDRCA1	SDRCA0	**カラムサイズ**	**使用するカラムアドレス(端子)**
0	0	256	SDA0〜SDA7 (**デフォルト**)
0	1	512	SDA0〜SDA8
1	0	1,024	SDA0〜SDA9
1	1	–	–

この設定内容はSDRAM用に設定したエリア7、8、13、14すべてに適用されます。
SDRCAは設定値の読み出しも可能です。
コールドスタート時、SDRCAは"0"(256)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SDRRA1–SDRRA0: SDRAM**ローアドレス範囲**(D[3:2]/0x39FFC2<SDRAM**アドレス設定レジスタ**>)

SDRAMのローアドレス範囲を設定します。

表2.16 **ローアドレス範囲の設定**

SDRRA1	SDRRA0	**ローサイズ**	**使用するローアドレス(端子)**
0	0	2K	SDA0〜SDA10 (**デフォルト**)
0	1	4K	SDA0〜SDA11
1	0	8K	SDA0〜SDA12
1	1	–	–

この設定内容はSDRAM用に設定したエリア7、8、13、14すべてに適用されます。
SDRRAは設定値の読み出しも可能です。
コールドスタート時、SDRRAは"0"(2K)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SDRBA: SDRAM**バンク数**(D1/0x39FFC2<SDRAM**アドレス設定レジスタ**>)

SDRAMのバンク数を設定します。

"1"書き込み: 4バンク
"0"書き込み: 2バンク
読み出し: 可能

4バンクのSDRAMを使用する場合は"1"、2バンクのSDRAMを使用する場合は"0"に設定します。
この設定内容はSDRAM用に設定したエリア7、8、13、14すべてに適用されます。
コールドスタート時、SDRBAは"0"(2バンク)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SDRCL1–SDRCL0: SDRAM CAS**レイテンシ**(D[6:5]/0x39FFC3<SDRAM**モード設定レジスタ**>)

SDRAMのCASレイテンシを設定します。

表2.17 CAS**レイテンシの設定**

SDRCL1	SDRCL0	CAS**レイテンシ(クロック数)**
1	0	2
その他		**設定禁止**

SDRAMコントローラは2以外のCASレイテンシには対応していません。
コールドスタート時、SDRCLは"11"に設定されます。CASレイテンシが2となるように、必ず"10"に設定し直してください。ホットスタート時は、イニシャルリセット前の状態を保持します。

SDRBL1–SDRBL0: SDRAM**バースト長**(D[3:2]/0x39FFC3<SDRAM**モード設定レジスタ**>)

SDRAMリード時のバースト長を設定します。

表2.18 **バースト長の設定**

SDRBL1	SDRBL0	**バースト長(ワード)**
0	0	1
0	1	2
1	0	4
1	1	8

SDRAMコントローラはバーストライトには対応していません。ここで設定するバースト長はリード時にのみ適用されます。
コールドスタート時、SDRBLは"11"(8)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SDRTRAS2–SDRTRAS0: SDRAM tRAS**仕様**(D[7:5]/0x39FFC4<SDRAM**タイミング設定レジスタ**1>)

SDRAMのtRASパラメータ(ACTIVE→PRECHARGEコマンド間隔)を設定します。
SDRAMの仕様に合わせ、SDRAMクロック数で指定します。1～7を指定すると1～7クロック、0を指定すると8クロックに設定されます。
コールドスタート時、SDRTRASは"000"(8)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SDRTRP1–SDRTRP0: SDRAM tRP**仕様**(D[4:3]/0x39FFC4<SDRAM**タイミング設定レジスタ**1>)

SDRAMのtRPパラメータ(PRECHARGEコマンド期間)を設定します。
SDRAMの仕様に合わせ、SDRAMクロック数で指定します。1～3を指定すると1～3クロック、0を指定すると4クロックに設定されます。
コールドスタート時、SDRTRPは"00"(4)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SDRTRC2–SDRTRC0: SDRAM tRC**仕様**(D[2:0]/0x39FFC4<SDRAM**タイミング設定レジスタ**1>)

SDRAMのtRCパラメータ(ACTIVE→ACTIVEコマンド間隔)を設定します。
SDRAMの仕様に合わせ、SDRAMクロック数で指定します。1～7を指定すると1～7クロック、0を指定すると8クロックに設定されます。
コールドスタート時、SDRTRCは"000"(8)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

注: **オートリフレッシュコマンドの実行時は、**SDRTRC**レジスタの設定値にかかわらず、**CPU_CLK**の3または4クロック後に次のコマンドが出力される場合があります。このため、**tRC**が75ns以下の**SDRAM**を使用してください。**

SDRTRCD1–SDRTRCD0: SDRAM tRCD**仕様**(D[7:6]/0x39FFC5<SDRAM**タイミング設定レジスタ**2>)

SDRAMのtRCDパラメータ(ACTIVE→READまたはWRITE遅延時間)を設定します。
SDRAMの仕様に合わせ、SDRAMクロック数で指定します。1～3を指定すると1～3クロック、0を指定すると4クロックに設定されます。
コールドスタート時、SDRTRCDは"00"(4)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SDRTRSC: SDRAM tRSC**仕様**(D5/0x39FFC5<SDRAM**タイミング設定レジスタ**2>)

SDRAMのtRSCパラメータ(モードレジスタセットサイクル時間)を設定します。

"1"書き込み: 1クロック
"0"書き込み: 2クロック
読み出し: 可能

SDRAMの仕様に合わせ、SDRAMクロック数で指定します。
コールドスタート時、SDRTRSCは"0"(2)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SDRTRRD1–SDRTRRD0: SDRAM tRRD**仕様**(D[4:3]/0x39FFC5<SDRAM**タイミング設定レジスタ**2>)

SDRAMのtRRDパラメータ(バンク(a)アクティブ→バンク(b)アクティブ間隔)を設定します。
SDRAMの仕様に合わせ、SDRAMクロック数で指定します。1～3を指定すると1～3クロック、0を指定すると4クロックに設定されます。
コールドスタート時、SDRTRRDは"00"(4)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SDRARFC11–SDRARFC0: SDRAM**オートリフレッシュカウンタ値**
(D[B:0]/0x39FFC6<SDRAM**オートリフレッシュカウントレジスタ**>)

オートリフレッシュカウンタ値を設定します。
オートリフレッシュカウンタはOSC3クロックにより0からカウントアップを行い、ここで指定した値になるとオートリフレッシュコマンドを送信します。その時点でカウンタはリセットされ、次の周期のカウントを開始します。カウンタはセルフリフレッシュによってもリセットされます。
次の式で算出される値が、設定可能な最大値です。

$$SDRARFC \le \frac{RFP}{ROWS} \times f_{OSC3} - BL - CL - 2 \times t_{RP} - t_{RCD} - 3$$

RFP: 最大リフレッシュ周期 [s]
ROWS: ローアドレスサイズ
fOSC3: OSC3クロック周波数 [Hz]
BL: バースト長 [ワード]
CL: CASレイテンシ [SD_CLKクロック数]
tRP: PRECHARGEコマンド期間 [SD_CLKクロック数]
tRCD: ACTIVE→READまたはWRITE遅延時間 [SD_CLKクロック数]

コールドスタート時、SDRARFCは"0xFFF"(4095)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SDRSRFC3–SDRSRFC0: SDRAM**セルフリフレッシュカウンタ値**
(D[3:0]/0x39FFC8<SDRAM**セルフリフレッシュカウントレジスタ**>)

セルフリフレッシュカウンタ値を設定します。
SDRSRF(0x39FFC1•D5)が"1"(セルフリフレッシュ有効)に設定されている場合、セルフリフレッシュカウンタはSDRAMのアクセス後、あるいはオートリフレッシュ実行後にSDRAMクロックにより0からカウントアップを行います。カウンタがここで指定した値になるとSDCKE出力をLowにしてSDRAMにセルフリフレッシュを開始させます。セルフリフレッシュモード中にSDRAMへのアクセスが発生すると、SDCKEがHighに戻りセルフリフレッシュモードは解除されます。
コールドスタート時、SDRSRFCは"0xF"(15)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

注: **本レジスタを1以下にするとセルフリフレッシュモードから復帰できなくなりますので、必ず2以上に設定してください。**

SDRSZ: SDRAM**データ幅**(D6/0x39FFC9<SDRAM**高度制御レジスタ**>)

SDRAMアクセスのデータ幅を設定します。

"1"書き込み: 8ビット
"0"書き込み: 16ビット
読み出し: 可能

8ビットSDRAMを使用する場合はSDRSZを"1"に、16ビットSDRAMを使用する場合はSDRSZを"0"に設定してください。
コールドスタート時、SDRSZは"0"(16ビット)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SDRBI: SDRAM**バンクインターリーブアクセス**(D5/0x39FFC9<SDRAM**高度制御レジスタ**>)

SDRAMのバンクインターリーブアクセス機能を有効にします。

"1"書き込み: インターリーブ
"0"書き込み: 1バンクのみ
読み出し: 可能

SDRBIに"1"を書き込むと、複数のバンクを同時にアクティブにし、異なるバンクに対して連続的にアクセスすることができるようになります。SDRBIが"0"の場合は複数のバンクを同時にアクティブにすることはできません。
コールドスタート時、SDRBIは"0"(1バンクのみ)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SDRMRS: SDRAM**モードレジスタセットフラグ**(D7/0x39FFCA<SDRAM**ステータスレジスタ**>)

MRS(モードレジスタセット)コマンドの実行状態を示します。

"1"読み出し: 未設定
"0"読み出し: 設定済み
書き込み: 無効

SDRMRSは電源投入時に"1"となり、SDRAMの初期化シーケンスでMRSコマンドが実行されると"0"に変わります。MRSコマンドは外部アドレスバスを使用するため、その実行が終了するまでは他の外部デバイスをアクセスすることができません。SDRAMの初期化シーケンスを実行した直後にSDRAM以外の外部デバイスをアクセスする場合は、アクセスの前にSDRMRSを読み出してMRSコマンドが実行済みであることを確認してください。
コールドスタート時、SDRMRSは"1"(未設定)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SDRSRM: SDRAM**リフレッシュモード**(D6/0x39FFCA<SDRAM**ステータスレジスタ**>)

SDRAMのリフレッシュモードを示します。

"1"読み出し: オートリフレッシュモード
"0"読み出し: セルフリフレッシュモード
書き込み: 無効

SDRAMコントローラがSDCKE端子をLowにしている間(SDRAMがセルフリフレッシュモード中)は、SDRSRMが"0"になります。それ以外、SDRSRMは"1"になります。
HALT2またはSLEEPモードに入る前、あるいはバスを解放する前には必ずSDRAM以外に置かれたプログラムでこのビットを読み出し、SDRAMがセルフリフレッシュモードであることを確認してください。
コールドスタート時、SDRSRMは"1"(オートリフレッシュモード)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

プログラミング上の注意事項

(1) SDRAMコントローラが割り付けられているエリア6は、アクセス時に2ウェイトサイクルが挿入されるように設定してください。これ以外のウェイト数では、制御レジスタへの正常な書き込みができない場合があります。

(2) SDRAMに使用するエリアは内部アクセス(A8IO(0x48132•DA) = "1"またはA14IO(0x48132•DD) = "1")に設定してください。

(3) HALT2モードとSLEEPモードではSDRAMのオートリフレッシュができなくなりますので、それぞれのモードに入る前に、SDRAMをセルフリフレッシュモードに設定しておく必要があります。この場合、SDRSRM(0x39FFCA•D6)が"0"(SDRAMがセルフリフレッシュ中)になったことを確認した後でhaltまたはslp命令を実行します。
なお、セルフリフレッシュ中にSDRAMへのアクセスが発生するとセルフリフレッシュモードが解除されますので、SDRSRMのチェックとhalt/slp命令は必ずSDRAM以外のデバイスで実行してください。

(4) ユーザプログラムでCPUを制御できなくなりますので、0x39FFCB～0x39FFCDはアクセスしないでください。

(5) アドレス設定レジスタ(0x39FFC2)で設定したアドレス範囲を越える領域をアクセスすると、意図しない領域がアクセスされ、元のデータを書き換えてしまうことがあります。設定した領域以外をアクセスしないでください。

SDRAMコントローラ初期設定プログラム例

以下に、SDRAMを実際に使用する場合の初期設定プログラム例を示します。

2Mワード × 16ビット × 4バンク(16MB) SDRAM使用時の初期設定例

```
INIT_SDRAM_16MB:
;;;---------------------- SDRAM access configuration ---------------------------------
;;;*****************************************************************
;;;***************** C33 macro setting part ************************
;;;*****************************************************************

;;; set CEFUNC to use #CE13/14 (upper area)                  ... 1 ("SDRAMコントローラの設定"参照)
        xld.w   %r0,0x48131
        bset    [%r0],0x1

;;; set area 6,13,14 to internal access                      ... 2, 5,  B-1
        xld.w   %r0,0x48132
        xld.w   %r1,0x2200
        ld.h    [%r0], %r1

;;; area 6 -> output disable 0.5, wait 2                     ... 3
        xld.w   %r0,0x4812A
        xld.w   %r1,0x0237
        ld.h    [%r0],%r1

;;; available #WAIT                                          ... 4
        xld.w   %r0,0x04812E
        bset    [%r0],0x0

;;; area 13,14 -> 16bit device, output disable 2.5, wait 0   ... B-2, B-3, B-4
        xld.w   %r0,0x048122
        xld.w   %r1,0x30
        ld.h    [%r0],%r1

;;;*****************************************************************
;;;************** SDRAM Controller REG setting part ****************
;;;*****************************************************************
;;;-------------------------------------------------
;;;area13       0x2000000 - 0x2FFFFFF(16MB)
;;;area14       0x3000000 - 0x3FFFFFF(16MB)
;;;-------------------------------------------------
;/////////////////////////////////////////
;;; SDRAM area configuration register                        ...(注1)
        xld.w   %r0,0x39FFC0     ;
        xld.w   %r1,0x88         ; set area13 to SDRAM area, #SDCE0(#CE13) available
        ld.b    [%r0],%r1        ; (16MB area available)
;/////////////////////////////////////////
;;; SDRAM control register
;;;     xld.w   %r0,0x39FFC1     ;
;;;     xld.w   %r1,0xff         ; SDRAM self-refresh -> disable, initial sequence ->PRE REF MRS
;;;     ld.b    [%r0],%r1        ; Little endian
;/////////////////////////////////////////
;;; SDRAM address configuration register                     ...(注2)
        xld.w   %r0,0x39FFC2     ;
        xld.w   %r1,0x26         ; col 512 / row 4K / bank 4 -> 128Mb[16MB] available
        ld.b    [%r0],%r1        ;
;/////////////////////////////////////////
;;; SDRAM mode set-up register
        xld.w   %r0,0x39FFC3     ;
        xld.w   %r1,0x40         ; 2 CAS Latency ,burst length = 1
        ld.b    [%r0],%r1        ;
;/////////////////////////////////////////
;;; SDRAM timing set-up register 1
        xld.w   %r0,0x39FFC4     ;
        xld.w   %r1,0x4A         ; Tras=2,Trp=1,Trc=2       ... x1スピードモード, 25MHz時における推奨設定です
        ld.b    [%r0],%r1        ;
;/////////////////////////////////////////
;;; SDRAM timing set-up register 2
        xld.w   %r0,0x39FFC5     ;
        xld.w   %r1,0x48         ; Trcd=1,Trsc=2,Trrd=1
        ld.b    [%r0],%r1        ;
;/////////////////////////////////////////
;;; SDRAM auto refresh count low-order  register
;;;     xld.w   %r0,0x39FFC6     ;
;;;     xld.w   %r1,0xff         ;
;;;     ld.b    [%r0],%r1        ;
;/////////////////////////////////////////
```

```
;;; SDRAM auto refresh count high-order register
        xld.w   %r0,0x39FFC7     ;
        xld.w   %r1,0x00         ;
        ld.b    [%r0],%r1        ;
;////////////////////////////////////////
;;; SDRAM self refresh count register
;;;     xld.w   %r0,0x39FFC8     ;
;;;     xld.w   %r1,0x0f         ;
;;;     ld.b    [%r0],%r1        ;
;////////////////////////////////////////
;;; SDRAM advanced control register
        xld.w   %r0,0x39FFC9     ;
        xld.w   %r1,0x20         ; data width -> 16bit, bank interleave -> on
        ld.b    [%r0],%r1        ;

;;;*****************************************************************
;;;**************** SDRAM controller power up **********************
;;;*****************************************************************
        xld.w   %r0,0x39FFC1     ; SDRAM control register
        xld.w   %r1,0x39FFCA     ; SDRAM status  register
        xld.w   %r2,0x0
        xld.w   %r3,0x10

;;; enable SDRAM signal
        bset    [%r0],0x7        ; set SDRENA[D7/0x39FFC1]
SDRAM_SIGNAL_EN:
        add     %r2,0x1          ; SDRAM signal enable waiting loop
        cmp     %r2,%r3
        jrne    SDRAM_SIGNAL_EN

;;; SDRAM power up
        bset    [%r0],0x6        ; set SDRINI[D6/0x39FFC1]
POWER_UP:
        btst    [%r1],0x7        ; SDRAM power-up waiting loop
        jrne    POWER_UP

;;;------------------------ end of SDRAM access configuration --------------------------
ret
```

以上で、SDRAM にアクセスすることが可能になります。

4M**ワード** × 16**ビット** × 4**バンク**(32MB) SDRAM**使用時の初期設定例**

32MB SDRAMを使用する場合は、上記プログラム例の(注1)と(注2)の部分を以下のように変更してください。

(注1)

```
;////////////////////////////////////////
;;; SDRAM area configuration register
        xld.w   %r0,0x39FFC0     ;
        xld.w   %r1,0xc8         ; set area13&14 to SDRAM area, #SDCE0(#CE13) available
        ld.b    [%r0],%r1        ; (32MB area available)
;////////////////////////////////////////
```

(注2)

```
;////////////////////////////////////////
;;; SDRAM address configuration register
        xld.w   %r0,0x39FFC2     ;
        xld.w   %r1,0x2a         ; col 512 / row 8K / bank 4 -> 256Mb[32MB] available
        ld.b    [%r0],%r1        ;
;////////////////////////////////////////
```

S1C33L03 FUNCTION PART

VII　LCDコントローラブロック

VII-1 はじめに

LCDコントローラブロックは、4ビットまたは8ビットモノクロ/カラーLCDパネルに表示データおよびLCD制御信号を出力するLCDパネルインタフェースで構成されています。

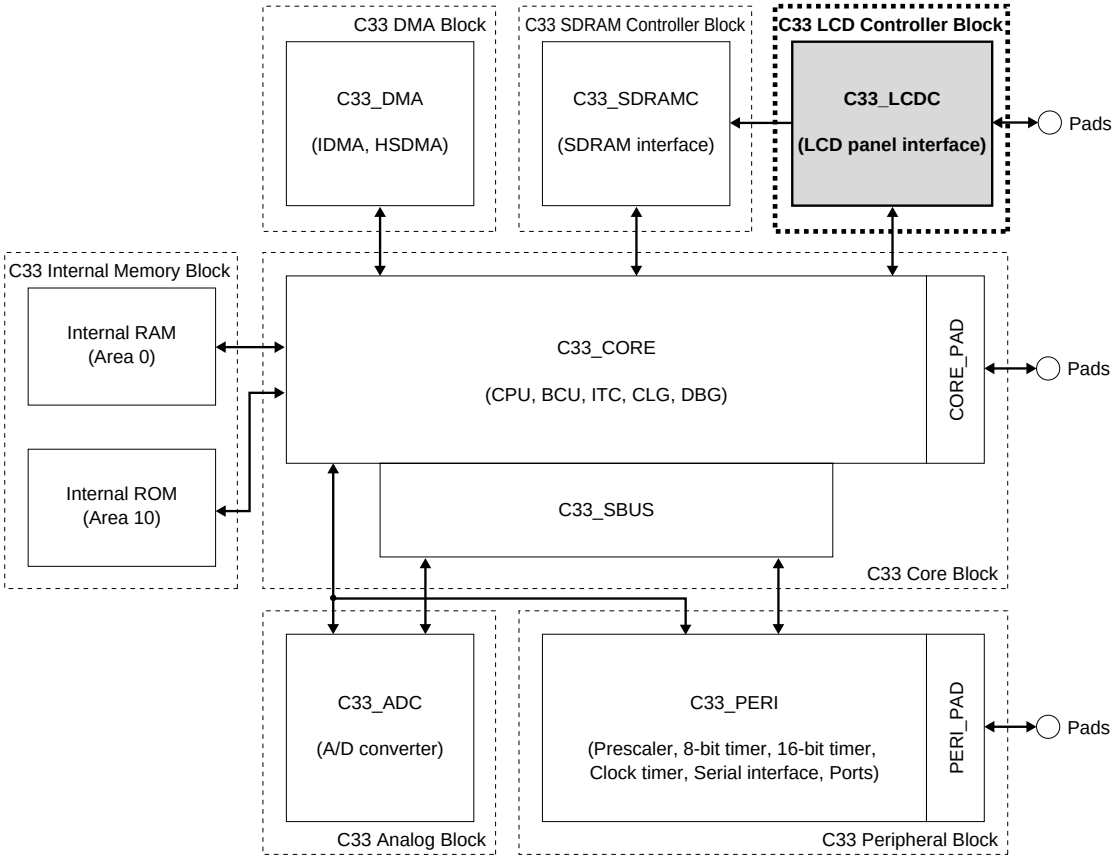


図1.1 LCD**コントローラブロック**

（注）S1C33L03**は**ROM**を内蔵しておりません。**

このページはブランクです。

VII-2 LCDコントローラ

ここでは、LCDコントローラの機能と制御方法について説明します。
外部表示メモリのバス条件やパラメータの設定については、"II-4 BCU(バスコントロールユニット)"、"VI-2 SDRAMインタフェース"を参照してください。

概要

特長

LCDコントローラ(LCDC)の特長を以下に示します。

S1C33コアCPUインタフェース

- 制御レジスタをエリア6のアドレス0x39FFE0～0x39FFFFに割り付け(内部#WAIT信号を使用)
- 表示データの転送に専用DMAコントローラを内蔵

対応ディスプレイ

- 4または8ビット モノクロLCDパネル
- 4または8ビット カラーLCDパネル
- シングル駆動パッシブ表示、シングルパネル
- 解像度の例
  640×480 (1bppモード)　　* bpp = ビット/ピクセル
  640×240 (2bppモード)
  320×240 (4bppモード)
  240×160 (8bppモード)

表示モード

- ハードウェアでポートレート表示(表示画面を90°回転)に対応
- フレームレートモジュレーションによりモノクロパッシブLCDパネルで最大16階調のグレースケール表示が可能
  1bppモード: 2×4ビットルックアップテーブルを使用した2階調表示
  2bppモード: 4×4ビットルックアップテーブルを使用した4階調表示
  4bppモード: 16×4ビットルックアップテーブルを使用した16階調表示
- カラーパッシブLCDまたはアクティブマトリックスLCDパネルで4096色中最大256色の同時表示が可能
  1bppモード: 2×4ビットルックアップテーブルを3個使用した2色表示
  2bppモード: 4×4ビットルックアップテーブルを3個使用した4色表示
  4bppモード: 16×4ビットルックアップテーブルを3個使用した16色表示
  8bppモード: 20×4ビットルックアップテーブルを使用した256色表示
- 2つの画像を画面分割により同時表示(ランドスケープ表示モード)
- 仮想ディスプレイ(実際のパネルサイズ以上の画像をパン/スクロールにより表示可能)

表示フレームバッファ

- エリア7/8またはエリア13/14に接続したメモリ内の最大256Kバイトを表示フレームバッファとして使用可能
- 16×16ビットFIFOによりSDRAMにも対応

クロック

- LCDコントローラのPCLK(ピクセルクロック)とMCLK(メモリクロック)はBCUクロックの1、2、3または4分周から選択可能
- PCLK、MCLK周波数: 最大25MHz

パワーセーブ

- EPSONセルフリフレッシュタイプLCDパネルに対応したDOZEモード
- パワーセーブステータスビットでLCDコントローラの状態をチェック可能

その他

- ソフトウェアによる反転表示
- ソフトウェアパワーセーブモード
- LCDパネルパワーダウンシーケンスに対応
- LCD電源制御

ブロック図

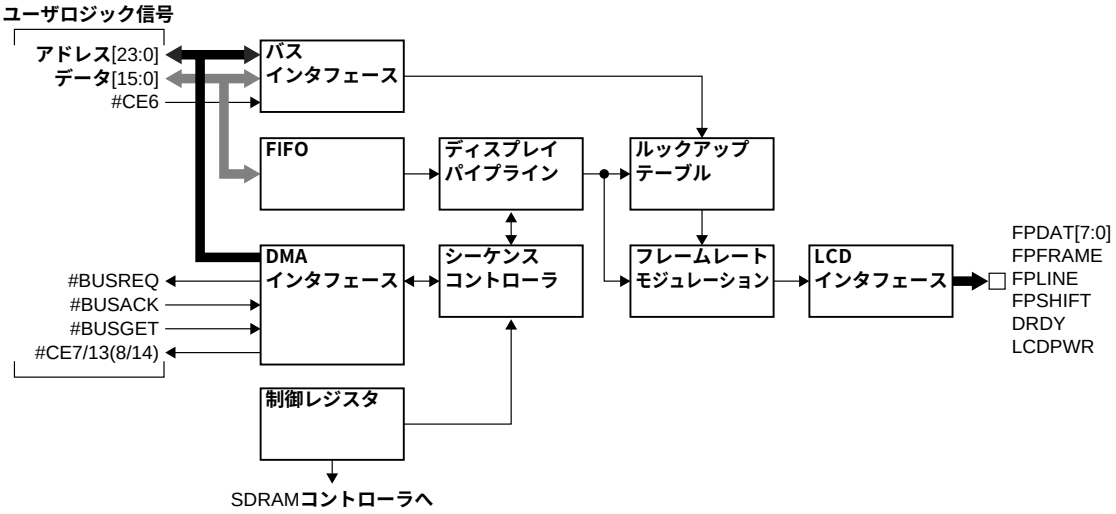


図2.1 LCD**コントローラブロック図**

バスインタフェース

LCDコントローラはエリア6にSDRAMコントローラとともに割り付けられています。エリア6を内部アクセスにして制御レジスタのリード/ライトを行います。

DMA**インタフェース**

表示フレームバッファから表示データを取り込む際にDMAを使用しています。

アドレスジェネレータ

DMAで取り込む表示データのメモリアドレスを生成します。

FIFO

16×16ビットのFIFOで、表示データバッファおよびルックアップテーブルへのデータ書き込みに使用します。

ルックアップテーブル

16×4ビットのパレット3個(赤、緑、青)で構成されます。
グレースケール表示モードでは、緑パレットに16レベルの中から使用する階調データを設定します。
カラー表示モードでは、赤、緑、青パレットをすべて使用し、4096色の中から使用する色データを設定します。

シーケンスコントローラ

水平/垂直の表示タイミングをレジスタの設定に従って制御します。

LCD**パネルインタフェース**

フレームレートモジュレーションや出力データパターンの生成等、LCDパネルの表示を制御します。

*LCD*コントローラの入出力端子

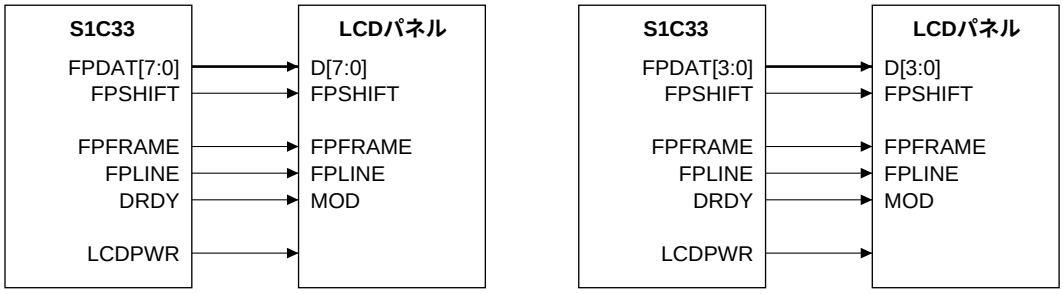
表2.1にLCDコントローラの入出力端子を、表2.2に使用するLCDパネルによる端子の構成を示します。

表2.1 LCDコントローラの入出力端子

端子名	I/O	機　能
FPDAT[7:4]	O	4ビットLCDパネル用データバス 8ビットLCDパネル用データバス上位4ビット
FPDAT[3:0] GPO[6:3]	O	8ビットLCDパネル用データバス下位4ビット 4ビットLCDパネル使用時は汎用出力
FPFRAME	O	フレームパルス出力
FPLINE	O	ラインパルス出力
FPSHIFT	O	シフトパルス出力
DRDY	O	LCDバックプレーンバイアス (MOD) シフトクロック2 (FPSHIFT2) 表2.2参照
LCDPWR	O	LCD電源制御用出力 (highアクティブ)
GPIO0 P34 #BUSREQ #CE6	I/O	GPIO0　"GPIO端子の制御"参照 入出力兼用ポート バス解放要求入力 エリア6チップイネーブル
GPIO1 P35 #BUSACK	I/O	GPIO1　"GPIO端子の制御"参照 入出力兼用ポート バス解放要求応答出力
GPIO2 P31 #BUSGET #GARD	I/O	GPIO2　"GPIO端子の制御"参照 入出力兼用ポート バス解放要求用バス状態モニタ信号出力 GA用エリアリード信号出力

表2.2 使用パネルによる端子構成

端子名	モノクロパッシブパネル		カラーパッシブパネル		
	4ビット	8ビット	4ビット	8ビットフォーマット1	8ビットフォーマット2
FPFRAME	FPFRAME				
FPLINE	FPLINE				
DRDY	MOD	MOD	MOD	FPSHIFT2	MOD
FPDAT7	D3	D7	D3	D7	D7
FPDAT6	D2	D6	D2	D6	D6
FPDAT5	D1	D5	D1	D5	D5
FPDAT4	D0	D4	D0	D4	D4
FPDAT3	GPO6	D3	GPO6	D3	D3
FPDAT2	GPO5	D2	GPO5	D2	D2
FPDAT1	GPO4	D1	GPO4	D1	D1
FPDAT0	GPO3	D0	GPO3	D0	D0



8ビットパッシブLCDパネル　　4ビットパッシブLCDパネル

図2.2 LCDパネルの接続例

システム設定

BCUの設定

LCDコントローラの制御レジスタは、エリア6の0x39FFE0～0x39FFFFに割り付けられています。したがって、制御レジスタをアクセスするためには、以下に示す手順でBCUの設定が必要です。

1. A6IO (アクセス制御レジスタ0x48132•D9) = "1"
   エリア6は、内部デバイスがアクセスされるように設定します。

2. A6WT[2:0] (エリア6–4設定レジスタ0x4812A•D[A:8]) = "000"
   エリア6がノーウェイトでアクセスされるように設定します。

3. SWAITE (バスコントロールレジスタ0x4812E•D0) = "1"
   #WAIT信号を有効にします。この設定はSDRAMを使用する場合に必要です。

4. A6EC (アクセス制御レジスタ0x48132•D1) = LCDCEC (LCDCシステム制御レジスタ0x39FFFD•D0)
   エリア6とLCDC(およびSDRAMC)読み出し時のエンディアン形式を合わせてください。どちらのビットも"0"がリトルエンディアン(デフォルト)、"1"がビッグエンディアンです。

表示メモリ

LCDコントローラは、エリア7またはエリア8(CEFUNC[1:0] (0x48130•D[A:9]) = "01"の場合はエリア13またはエリア14)の先頭から必要なサイズ(最大256Kバイト)を表示メモリとして使用します。したがって、表示メモリとしてSDRAMまたはSRAMが使用可能です。
LCDコントローラの制御レジスタを使用して行うメモリ構成やバスに関する設定は、以下のとおりです。

エリアの選択

表示メモリとして使用するエリアをVRAMAR (LCDCシステム制御レジスタ0x39FFFD•D7)で選択します。
VRAMAR = "1": エリア8(CEFUNC = "00")または14(CEFUNC = "01")
VRAMAR = "0": エリア7(CEFUNC = "00")または13(CEFUNC = "01") (デフォルト)

SRAM用の設定

表示メモリとしてSRAMを使用する場合、LCDコントローラからアクセスする場合のインタフェース方式(A0/BSL)と挿入するウェイトサイクル数(0～7)を設定します。
インタフェース方式はLCDCST (LCDCシステム制御レジスタ0x39FFFD•D1)で選択します。
LCDCST = "1": BSL方式
LCDCST = "0": A0方式 (デフォルト)

このビットは、BCUのSBUSST (バスコントロールレジスタ0x4812E•D3)と同じ値に設定してください。

ウェイトサイクル数はVRAMWT[2:0] (LCDCシステム制御レジスタ0x39FFFD•D[6:4])で選択します。この3ビットに設定する値(0～7)が、挿入されるウェイト数になります。CPUから同じSRAMをアクセスする場合はBCU側のウェイトサイクル設定が有効になり、VRAMWTの値は無視されます。

なお、SRAMを使用しているかどうかについて、LCDコントローラはBCUおよびSDRAMコントローラの設定で判断します。SDRAMコントローラを有効に設定すると、上記2つのレジスタの設定は無効となります。

バスを優先使用するための設定

LCDコントローラはシステムバス上の表示メモリから表示データを読み込みます。このため、外部デバイスがバスを占有してしまうと、表示の更新ができません。これを防ぐため、LCDコントローラがイネーブル(LCDCEN (LCDCモードレジスタ2/0x39FFE3•D5) = "1")に設定されている間はチップ外部からのDMA要求(#DMAREQx)またはバス解放要求(#BUSREQ)を禁止できるようになっています。

#DMAREQx信号のマスクはEDMAEN (LCDCシステム制御レジスタ0x39FFFD•D3)で設定します。
EDMAEN = "1": 外部DMA要求許可
EDMAEN = "0": 外部DMA要求禁止 (デフォルト)

#BUSREQ信号のマスクはBREQEN (LCDCシステム制御レジスタ0x39FFFD•D2)で設定します。
BREQEN = "1": 外部バス解放要求許可
BREQEN = "0": 外部バス解放要求禁止 (デフォルト)

その他、メモリの仕様に関する設定は、BCUとSDRAMコントローラのレジスタで行います。詳細については、それぞれの説明を参照してください。

*LCD*コントローラの設定方法

LCDコントローラの制御レジスタを設定するには(#WAITをイネーブルにする場合)

1. A6IO (アクセス制御レジスタ0x48132•D9) = "1"
   エリア6は、内部デバイスがアクセスされるように設定します。
2. A6WT[2:0] (エリア6–4設定レジスタ0x4812A•D[A:8]) = "000"
   エリア6がノーウェイトでアクセスされるように設定します。
3. SWAITE (バスコントロールレジスタ0x4812E•D0) = "1"
   #WAIT信号を有効にします。
4. LCDコントローラの制御レジスタにアクセスできます。

LCDパネルをイネーブルにする手順

1. SEMAS (バスコントロールレジスタ0x4812E•D2) = "1"
   外部バスマスタをイネーブルにします。
2. LCDCEN (LCDCモードレジスタ2/0x39FFE3•D5) = "1"
   LCDコントローラを使用可能な状態に設定します。
3. CFP35、CFP34 (P3機能選択レジスタ0x402DC•D[5:4]) = "11"
   P35端子を#BUSACK出力、P34端子を#BUSREQ入力に設定します。
4. LCDコントローラの制御レジスタを初期化
   ルックアップテーブルレジスタ(0x39FFF5、0x39FFF7)以外のレジスタを必要に応じて初期設定します。
5. LPSAVE[1:0] (LCDCモードレジスタ2/0x39FFE3•D[1:0]) = "11"
   パワーセーブモードのLCDコントローラを通常動作モードにし、LCDCがパワーアップシーケンスを終了するのを待ちます。
6. ルックアップテーブルの設定
   ルックアップテーブルアドレスレジスタ(0x39FFF5)とルックアップテーブルデータレジスタ(0x39FFF7)にデータを書き込み、ルックアップテーブルを設定します。

#WAITがディセーブルの場合のLCDコントローラレジスタ(エリア6)のウェイト設定

- ルックアップテーブルデータレジスタ(0x39FFF7)以外のレジスタはウェイト数を4にしてアクセスします。
- ルックアップテーブルデータレジスタ(0x39FFF7)については、赤と緑データの書き込み(最初の2度の書き込み)はウェイト数を4、青データの書き込み(最後の書き込み)はウェイト数を7に設定して行ってください。

エリア6のウェイト数はA6WT[2:0] (エリア6–4設定レジスタ0x4812A•D[A:8])で行います。

クロック

LCDコントローラはBCUクロックをピクセルクロックPCLKおよび表示メモリ用クロックMCLKのソースクロックとして使用します。入力可能なクロックの最大周波数は25MHzで、BCUクロックの分周比をLCLKSEL[2:0] (FIFO制御レジスタ0x39FFF4•D[2:0])で表2.3のとおり設定できます。

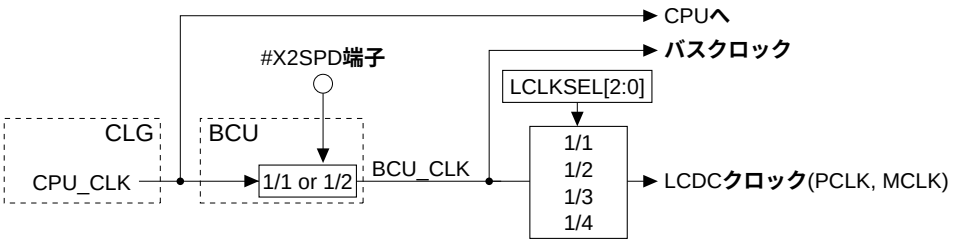


図2.3 LCDC**クロック**

表2.3 LCDC**クロックの選択**

LCLKSEL2	LCLKSEL1	LCLKSEL0	LCDC**クロック**
0	0	0	**停止**
0	0	1	**停止**
0	1	0	**停止**
0	1	1	Reserved (**設定禁止**)
1	0	0	BCU_CLK
1	0	1	BCU_CLK/2
1	1	0	BCU_CLK/3
1	1	1	BCU_CLK/4

LCDパネル設定

パネルの種類

本LCDコントローラは以下のシングルLCDパネルに対応しています。

• 4または8ビット モノクロパッシブLCDパネル
• 4または8ビット カラーパッシブLCDパネル

デュアルパネルには対応していません。
使用するLCDパネルの種類は、以下の制御ビットによりLCDコントローラに設定しておきます。

カラー/モノクロ選択

カラーパネル/モノクロパネルの種類をLDCOLOR (LCDCモードレジスタ0/0x39FFE1•D5)で選択します。
LDCOLOR = "1": カラーパネルに対応
LDCOLOR = "0": モノクロパネルに対応 (デフォルト)

データ幅選択

データ幅/形式をLDDW[1:0] (LCDCモードレジスタ0/0x39FFE1•D[1:0])で選択します。

表2.4 LCD**パネルの選択**

LDCOLOR	LDDW1	LDDW0	LCD**パネル**
0	0	0	**モノクロシングル**4**ビットパッシブ**LCD
		1	**モノクロシングル**8**ビットパッシブ**LCD
	1	0	Reserved
		1	Reserved
1	0	0	**カラーシングル**4**ビットパッシブ**LCD
		1	**カラーシングル**8**ビットパッシブ**LCD**フォーマット**1
	1	0	Reserved
		1	**カラーシングル**8**ビットパッシブ**LCD**フォーマット**2

解像度

LCDパネルの解像度を以下のように設定します。

水平解像度

LDHSIZE[5:0] (パネル水平サイズレジスタ0x39FFE4•D[5:0])に次の値を設定します。

$$\text{LDHSIZE[5:0]} = \frac{\text{水平解像度(画素数)}}{16} - 1$$

たとえば、水平解像度が320ドットのパネルの場合、LDHSIZEには19(=0x13)を設定します。

注: LDHSIZE**に1以下の値は設定しないでください。**

垂直解像度

LDVSIZE[9:0] (パネル垂直サイズレジスタ0x39FFE6•D[1:0], 0x39FFE5)に次の値を設定します。

LDVSIZE[9:0] = **垂直解像度(ライン数)** - 1

たとえば、垂直解像度が240ラインのパネルの場合、LDVSIZEには239(=0xEF)を設定します。

表示モード

グレースケール表示の階調数やカラー表示の色数は、各ピクセルを表現するビット数(bpp = bit per pixel)で決まります。このbpp値をBPP[1:0] (LCDCモードレジスタ1/0x39FFE2•D[7:6])に書き込み、表示モード(表示階調数/色数)を設定します。

表2.5 表示モードの指定

LDCOLOR	BPP1	BPP0	表示モード	
0	0	0	2階調グレースケール	1bpp
		1	4階調グレースケール	2bpp
	1	0	16階調グレースケール	4bpp
		1	Reserved	
1	0	0	2色	1bpp
		1	4色	2bpp
	1	0	16色	4bpp
		1	256色	8bpp

(1) 1bpp(2階調/2色)モード

1ピクセルを1ビットで表現し、2階調または2色の表示を行います。
モノクロパネルの場合は、緑ルックアップテーブル(後述)の2つのエントリ(ビット = "0"と"1"それぞれに対応)に白黒を含む16階調のグレーレベルの中から2つのレベルを割り付けて、2階調の表示が行えます。
カラーパネルの場合は、赤、緑および青ルックアップテーブルそれぞれの2エントリを使用し、4096色中の2色をピクセルデータの"0"と"1"に対応させて設定しておくことができます。

表示メモリには、8個の連続したピクセルのデータを1バイトとして格納します。

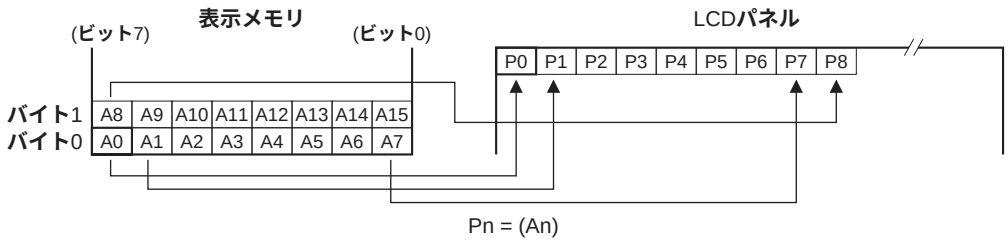


図2.4 1bppモードのデータフォーマット

(2) 2bpp(4階調/4色)モード

1ピクセルを2ビットで表現し、4階調または4色の表示を行います。
モノクロパネルの場合は、緑ルックアップテーブルの4つのエントリ(ビット = "00"～"11"それぞれに対応)に白黒を含む16階調のグレーレベルの中から4つのレベルを割り付けて、4階調の表示が行えます。
カラーパネルの場合は、赤、緑および青ルックアップテーブルそれぞれの4エントリを使用し、4096色中の4色をピクセルデータの"00"～"11"に対応させて設定しておくことができます。

表示メモリには、4個の連続したピクセルのデータを1バイトとして格納します。

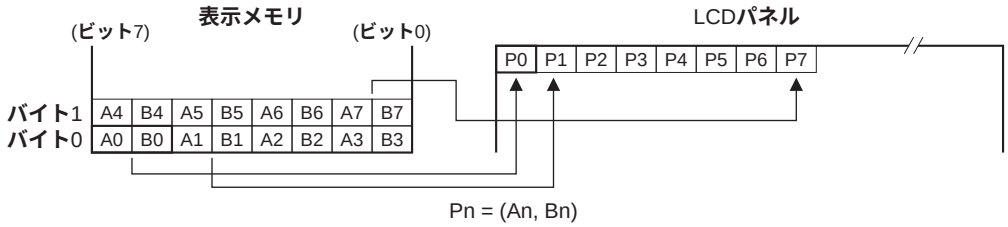


図2.5 2bppモードのデータフォーマット

(3) 4bpp(16階調/16色)モード

1ピクセルを4ビットで表現し、16階調または16色の表示を行います。
モノクロパネルの場合は、緑ルックアップテーブルの16エントリ(ビット = "0000"～"1111"それぞれに対応)に白黒を含む16階調のグレーレベルを割り付けて表示が行えます。
カラーパネルの場合は、赤、緑および青ルックアップテーブルそれぞれの16エントリすべてを使用し、4096色中の16色をピクセルデータの"0000"～"1111"に対応させて設定しておくことができます。

表示メモリには、2個の連続したピクセルのデータを1バイトとして格納します。

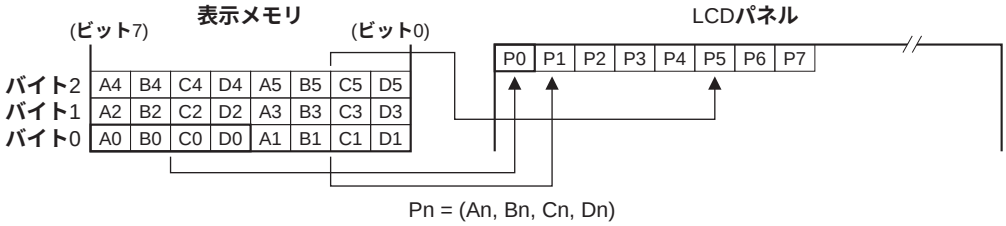


図2.6 4bpp**モードのデータフォーマット**

(4) 8bpp(256色)モード

1ピクセルを8ビットで表現し、256色の表示を行います。このモードはグレースケール表示には対応していません。
このモードでは、赤および緑ルックアップテーブルをそれぞれ8エントリ、青ルックアップテーブルを4エントリ使用し、256種類の組み合わせを構成します。

表示メモリには、1個のピクセルのデータを1バイトとして格納します。

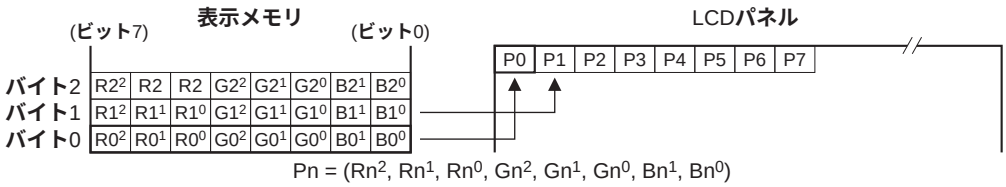


図2.7 8bpp**モードのデータフォーマット**

ルックアップテーブル

本LCDコントローラには、RGB(赤、緑、青)の色要素それぞれについて4ビットのエントリ16個で構成されるルックアップテーブルが内蔵されています。

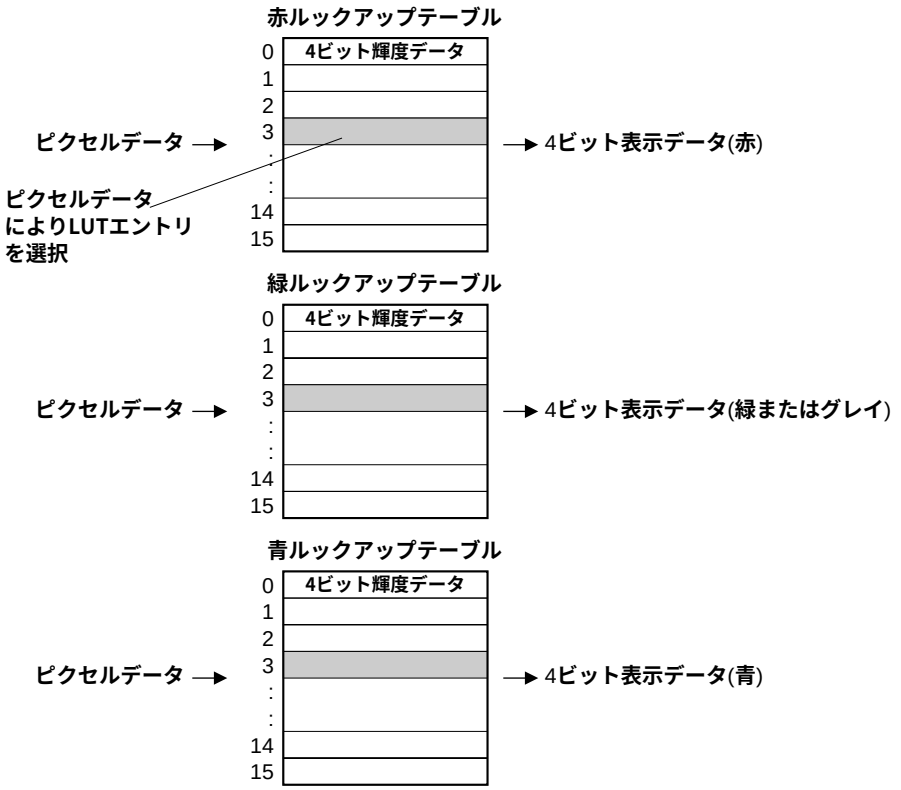


図2.8 ルックアップテーブルの構成

表示メモリのピクセルデータはルックアップテーブルのインデックスとして使用され、ピクセルデータが示しているエントリの値から輝度データが生成され、LCDパネルに出力されます。

本LCDコントローラは表示反転制御が可能です。この制御はルックアップテーブルの出力に対して行われます。

グレースケールモードのルックアップテーブル

グレースケールモードでは、緑ルックアップテーブルのみを使用します。
グレースケールモードの場合、ルックアップテーブルに書き込むデータは4ビットで表現される16階調から選択します。0x0は黒、0x1は93.75%のグレー、0x8は50%のグレー、0xFは白となります。
表示モードによる構成の違いを以下に示します。

(1) 1bpp(2階調)モード

緑ルックアップテーブルの先頭から2つのエントリを使用します。16階調の中から2つのデータを選択してそれぞれのエントリに書き込みます。ピクセルデータが"0"の場合はエントリ0のデータが、ピクセルデータが"1"の場合はエントリ1のデータが出力されます。白黒表示を行う場合は、エントリ0に0x0を、エントリ1に0xFを書き込んでおきます。

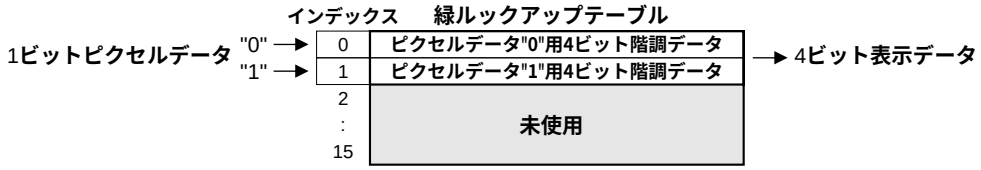


図2.9 1bpp(2**階調)モード時のルックアップテーブル**

表2.6は基本的なデータ設定例です。

表2.6 1bpp(2**階調)モード時のルックアップテーブル設定例**

インデックス	Rルックアップテーブル	Gルックアップテーブル	Bルックアップテーブル
0	0	0	0
1	0	0xF	0
2–15	0	0	0

(2) 2bpp(4階調)モード

緑ルックアップテーブルの先頭から4つのエントリを使用します。16階調の中から4つのデータを選択してそれぞれのエントリに書き込みます。ピクセルデータが"00"の場合はエントリ0のデータが、ピクセルデータが"11"の場合はエントリ3のデータが出力されます。

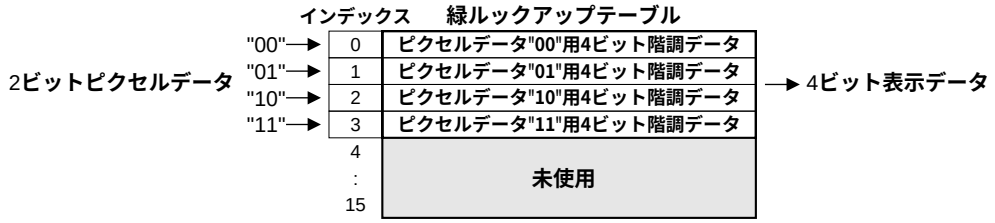


図2.10 2bpp(4**階調)モード時のルックアップテーブル**

表2.7は基本的なデータ設定例です。

表2.7 2bpp(4**階調)モード時のルックアップテーブル設定例**

インデックス	Rルックアップテーブル	Gルックアップテーブル	Bルックアップテーブル
0	0	0	0
1	0	5	0
2	0	0xA	0
3	0	0xF	0
4–15	0	0	0

(3) 4bpp(16階調)モード

緑ルックアップテーブルの全エントリを使用します。16階調のデータをすべて割り付けることができます。ピクセルデータが0x0の場合はエントリ0のデータが、ピクセルデータが0xFの場合はエントリ15のデータが出力されます。

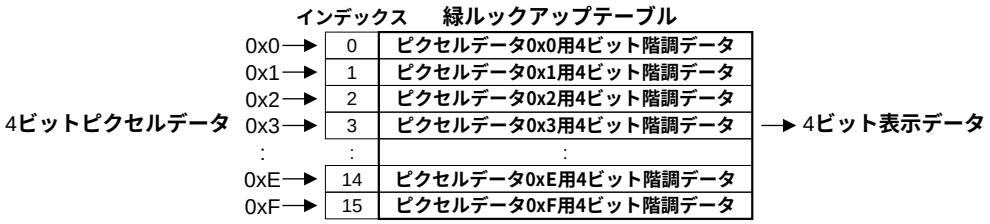


図2.11 4bpp(16**階調)モード時のルックアップテーブル**

表2.8は基本的なデータ設定例です。

表2.8 4bpp(16**階調)モード時のルックアップテーブル設定例**

インデックス	Rルックアップテーブル	Gルックアップテーブル	Bルックアップテーブル
0	0	0	0
1	0	1	0
2	0	2	0
3	0	3	0
4	0	4	0
5	0	5	0
6	0	6	0
7	0	7	0
8	0	8	0
9	0	9	0
10	0	0xA	0
11	0	0xB	0
12	0	0xC	0
13	0	0xD	0
14	0	0xE	0
15	0	0xF	0

カラーモードのルックアップテーブル

カラーモードでは、赤(R)、緑(G)、青(B)すべてのルックアップテーブルを使用します。これは、光の3原色に対応しており、各色要素を4ビットのデータで表します。RGB = 000では黒、RGB = F00は赤、RBG = 080は50%輝度の緑、RGB = F0Fはマゼンタ、RGB = FFFは白というように各要素の割合で色が決定します。各色要素の輝度を4ビットで表すと、16 × 16 × 16 = 4096種類の色情報が得られます。この中から表示モードにより使用可能な数(2色、4色、16色または256色)の色データを選び、ルックアップテーブル内の有効なエントリに書き込んでおきます。

パソコンのアプリケーションなどでは、各色要素の輝度を8ビット(0x00～0xFF)で表すことが一般的です。それらの色を参考にする場合は、そのデータの上位4ビットをルックアップテーブルに書き込んでください。

表示モードによる構成の違いを以下に示します。

(1) 1bpp(2色)モード

ルックアップテーブルの先頭から2つのエントリを使用します。4096色の中から2色のデータを選択してそれぞれのエントリに書き込みます。ピクセルデータが"0"の場合はエントリ0のRGBデータが、ピクセルデータが"1"の場合はエントリ1のRGBデータが出力されます。白黒表示を行う場合は、赤、緑、青それぞれのエントリ0に0x0を、同じくエントリ1に0xFを書き込んでおきます。

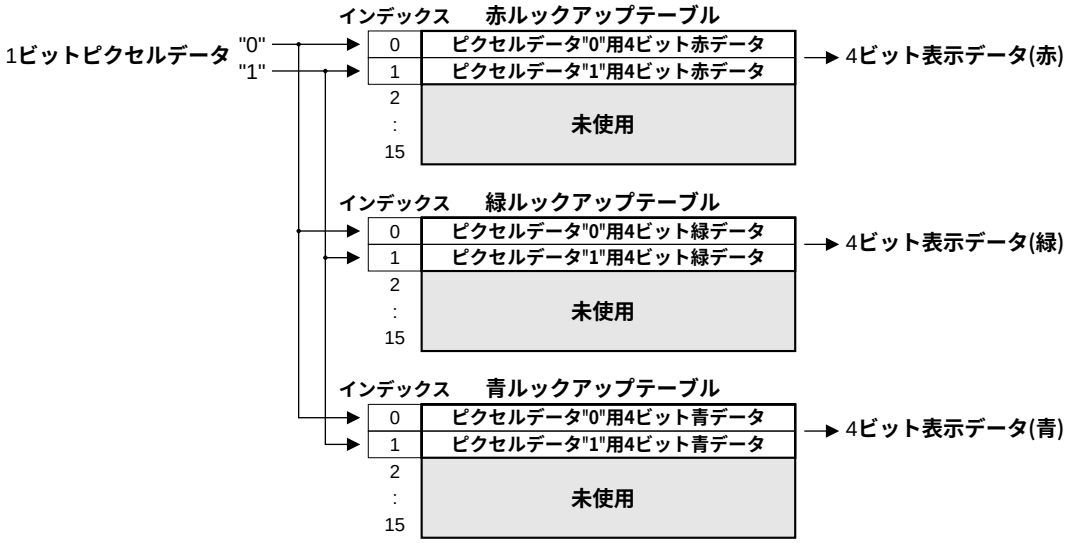


図2.12 1bpp(2**色)モード時のルックアップテーブル**

表2.9は基本的なデータ設定例です。

表2.9 1bpp(2**色)モード時のルックアップテーブル設定例**

インデックス	Rルックアップテーブル	Gルックアップテーブル	Bルックアップテーブル
0	0	0	0
1	0xF	0xF	0xF
2–15	0	0	0

(2) 2bpp(4色)モード

ルックアップテーブルの先頭から4つのエントリを使用します。4096色の中から4色のデータを選択してそれぞれのエントリに書き込みます。ピクセルデータが"00"の場合はエントリ0のRGBデータが、ピクセルデータが"11"の場合はエントリ3のRGBデータが出力されます。

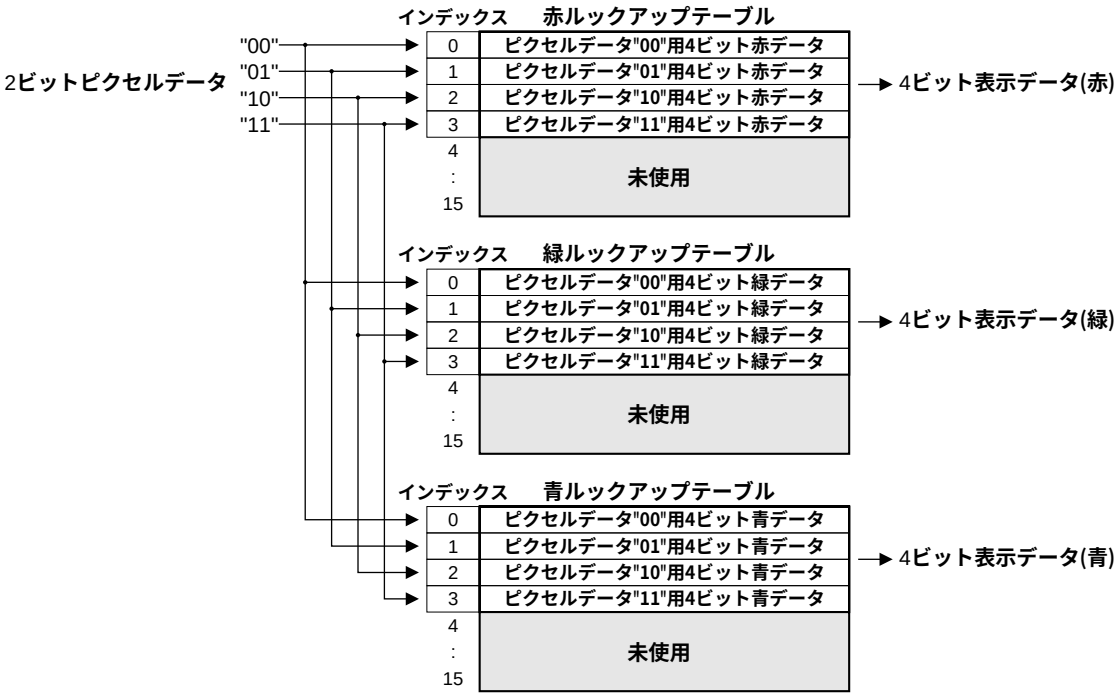


図2.13 2bpp(4色)モード時のルックアップテーブル

表2.10は基本的なデータ設定例です。

表2.10 2bpp(4色)モード時のルックアップテーブル設定例

インデックス	Rルックアップテーブル	Gルックアップテーブル	Bルックアップテーブル
0	0	0	0
1	7	7	7
2	0xA	0xA	0xA
3	0xF	0xF	0xF
4–15	0	0	0

(3) 4bpp(16色)モード

ルックアップテーブルの全エントリを使用します。4096色の中から16色のデータを選択してそれぞれのエントリに書き込みます。ピクセルデータが0x0の場合はエントリ0のRGBデータが、ピクセルデータが0xFの場合はエントリ15のRGBデータが出力されます。

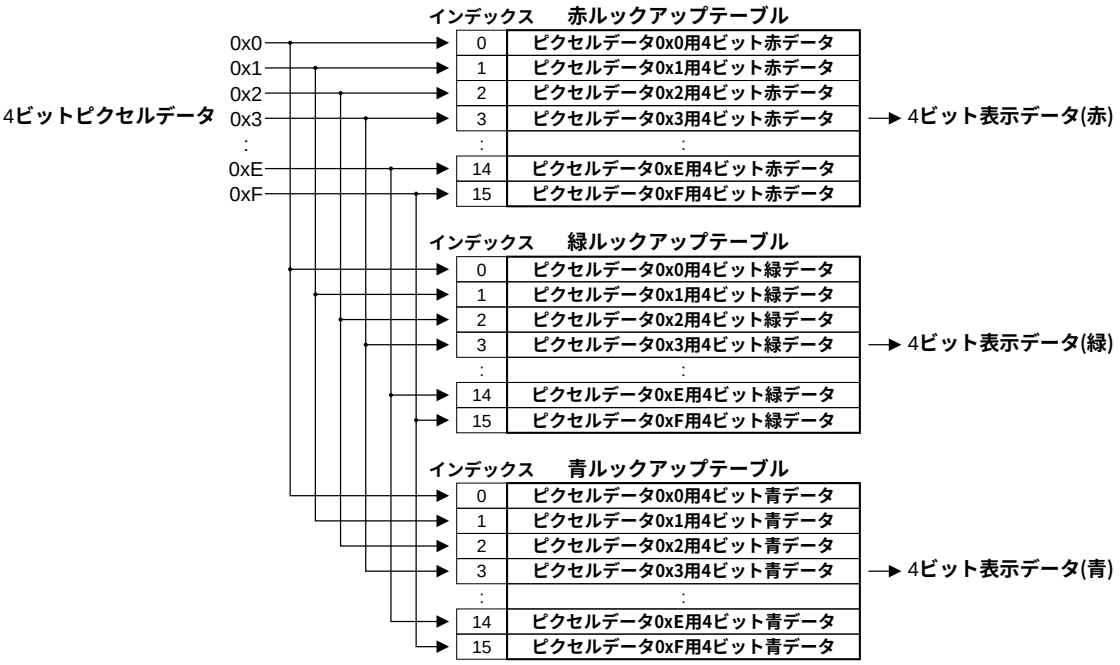


図2.14 4bpp(16**色**)**モード時のルックアップテーブル**

表2.11は基本的なデータ設定例です。

表2.11 4bpp(16**色**)**モード時のルックアップテーブル設定例** (VGA 16**色モード互換**)

インデックス	Rルックアップテーブル	Gルックアップテーブル	Bルックアップテーブル
0	0	0	0
1	0	0	0xA
2	0	0xA	0
3	0	0xA	0xA
4	0xA	0	0
5	0xA	0	0xA
6	0xA	0xA	0
7	0xA	0xA	0xA
8	0	0	0
9	0	0	0xF
10	0	0xF	0
11	0	0xF	0xF
12	0xF	0	0
13	0xF	0	0xF
14	0xF	0xF	0
15	0xF	0xF	0xF

(4) 8bpp(256色)モード

1ピクセルを8ビットで表現し、256色の表示を行います。このモードはグレースケール表示には対応していません。

このモードでは、赤および緑ルックアップテーブルをそれぞれ8エントリ、青ルックアップテーブルを4エントリ使用し、256種類の組み合わせを構成します。1バイトのピクセルデータのビット5～7が赤ルックアップテーブルのインデックス、ビット2～4が緑ルックアップテーブルのインデックス、ビット0～1が青ルックアップテーブルのインデックスとして使用されます。

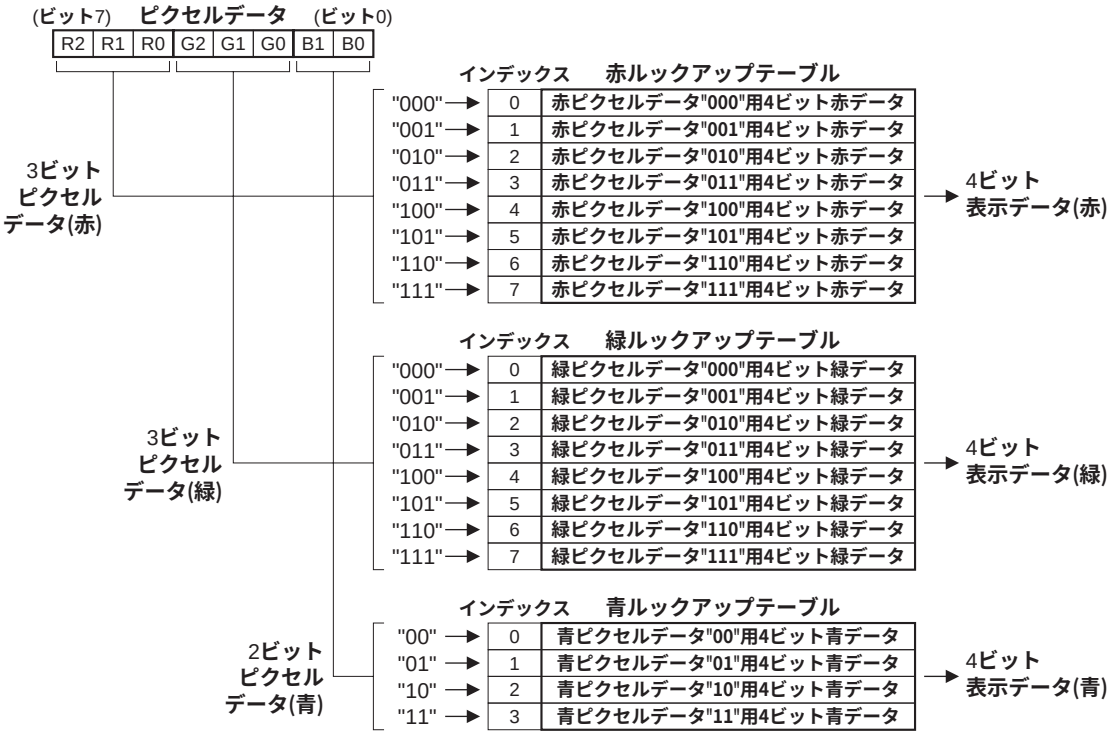


図2.15 8bpp(256色)モード時のルックアップテーブル

表2.12は基本的なデータ設定例で、表示色は表2.13のようになります。

表2.12 8bpp(256色)モード時のルックアップテーブル設定例

インデックス	Rルックアップテーブル	Gルックアップテーブル	Bルックアップテーブル
0	0	0	0
1	3	3	5
2	5	5	0xA
3	7	7	0xF
4	9	9	0
5	0xB	0xB	0
6	0xD	0xD	0
7	0xF	0xF	0
8–15	0	0	0

表2.13 上記設定例の表示色

ピクセルデータ	表示色	ピクセルデータ	表示色
000 000 00	ブラック	000 000 00	ブラック
000 000 10	ダークブルー	000 000 11	ライトブルー
000 100 00	ダークグリーン	000 111 00	ライトグリーン
000 100 10	ダークシアン	000 111 11	ライトシアン
100 000 00	ダークレッド	111 000 00	ライトレッド
100 000 10	ダークマゼンタ	111 000 11	ライトマゼンタ
100 100 00	ダークイエロー	111 111 00	ライトイエロー
100 100 10	グレー	111 111 11	ホワイト

ルックアップテーブルへのデータ設定方法

ルックアップテーブルへのデータ設定には、ルックアップテーブルアドレスレジスタ(0x39FFF5)とルックアップテーブルデータレジスタ(0x39FFF7)を使用します。
以下の手順でプログラムしてください。

1. ルックアップテーブルアドレスレジスタ(0x39FFF5)に、設定を開始するインデックス(アドレス)を書き込みます。新規にプログラミングする場合は0x0を書き込みます。なお、このレジスタに対してはバイト書き込み/読み出しを行ってください。

   この書き込みにより、赤ルックアップテーブルの指定したインデックスが選択されます。0x0を書き込んだ場合は、赤ルックアップテーブルの先頭エントリR[0]が選択されます。

2. 1.で指定したエントリ(R[0])の4ビットデータをLUTDT[3:0] (ルックアップテーブルデータレジスタ0x39FFF7•D[7:4])に書き込みます。データはレジスタの上位4ビットに対応します。レジスタの下位4ビットには0を書き込んでください。グレースケールモードの場合は、このレジスタに0x0を書き込んでください。

   この書き込みにより、内部のポインタが次のエントリ(G[0])に移動します。ポインタはデータの書き込みにより次のように移動します。
   R[0] → G[0] → B[0] → R[1] → G[1] → B[1]

   インデックス(アドレス)が変わると、ルックアップテーブルアドレスレジスタ(0x39FFF5)は自動的にインクリメントされます。

3. RGBの順に必要なデータをすべて書き込みます。

注: **• 同じインデックスのRGBデータ(4ビット × 3)をすべてルックアップテーブルデータレジスタ(0x39FFF7)に書き込むことで、データが実際にルックアップテーブルに設定されます。**
したがって、グレースケールモードで緑ルックアップテーブルのみを使用する場合も、必ず赤と青のルックアップテーブルに0x0の書き込みを行ってください。

• 書き込み途中でルックアップテーブルアドレスレジスタ(0x39FFF5)を再設定すると、必ず赤ルックアップテーブルが選択されます。

フレームレート

フレームレートはパネルの解像度、非表示期間、ピクセルクロック周波数により以下のとおり算出できます。

$$\text{フレームレート} = \frac{f_{PCLK}}{(HDP + HNDP) \times (VDP + VNDP)}$$

fPCLK: PCLK周波数(Hz)

BCUクロックを分周した、LCDコントローラの入力クロック周波数です。BCUクロックの分周比はLCLKSEL[2:0] (FIFO制御レジスタ0x39FFF4•D[2:0])で1/1、1/2、1/3または1/4に設定できます。本LCDコントローラは最大25MHzのPCLKクロックに対応しています。

HDP: **水平表示期間**

パネルの水平解像度(ピクセル数)です。
LDHSIZE[5:0] (パネル水平サイズレジスタ(0x39FFE4•D[5:0])の設定値からは次のように算出されます。
水平表示期間 = (LDHSIZE[5:0] + 1) × 16 (Ts)　　* Ts = PCLKクロック周期

HNDP: **水平非表示期間**

1ラインの全ピクセルを表示後、次のラインの表示を開始するまでの非表示の期間です。HNDP[4:0] (水平非表示期間設定レジスタ0x39FFE7•D[4:0])に8ピクセル単位の値を設定します。
水平非表示期間 = (HNDP[4:0] + 4) × 8 (Ts)

上記のHDPにHNDPを加えた値が1ラインの期間(FPLINEパルス周期)あたりのPCLKクロック数になります。

VDP: **垂直表示期間**

パネルの垂直解像度(表示ライン数)です。
LDVSIZE[9:0] (パネル垂直サイズレジスタ0x39FFE6•D[1:0], 0x39FFE5)の設定値からは次のように算出されます。
垂直表示期間 = LDVSIZE[9:0] + 1 (ライン)

VNDP: **垂直非表示期間**

1フレームの全ラインを表示後、次のフレームの表示を開始するまでの非表示の期間です。VNDP[5:0] (垂直非表示期間設定レジスタ0x39FFEA•D[5:0])にライン数で設定します。
垂直非表示期間 = VNDP[5:0] (ライン)

以上のパラメータにより、(HDP + HNDP) × (VDP + VNDP)で1フレームの表示に必要なPCLKクロック数が得られます。PCLKクロック周波数をこの値で割ると、フレームレートが算出されます。

その他の設定

FPSHIFTのマスク

カラーパッシブパネルを使用する場合、非表示期間にFPSHIFT(シフトクロック)を出力するか停止するか、FPSMASK (LCDCモードレジスタ0/0x39FFE1•D2)で選択することができます。
FPSMASK = "1": 停止
FPSMASK = "0": 出力 (デフォルト)

FPSMASKの設定は、LDCOLOR (LCDCモードレジスタ0/0x39FFE1•D5)が"1"(カラーパネル)の場合にのみ有効です。

MODレート

MOD信号が切り換わる周期を、MODRATE[5:0] (MODレートレジスタ0x39FFEB•D[5:0])で設定することができます。
MODRATE = "0x0": MOD信号をFPFRAME信号の周期で切り換え(デフォルト)
MODRATE = "0x0"以外: MODRATE+1個のFPLINEパルスの周期で切り換え

FRMパターンのリピート

ELパネル用の設定項目です。フレームレートモジュレーションのパターンを0x40000フレーム(内蔵フレームカウンタがカウント)ごとに繰り返すかどうか、FRMRPT (LCDCモードレジスタ1/0x39FFE2•D2)で設定できます。
FRMRPT = "1": FRMパターンを繰り返す
FRMRPT = "0": 繰り返さない (デフォルト)

表示の制御

LCDパワーアップ/ダウン制御

LCDコントローラはLCDCEN (LCDCモードレジスタ2/0x39FFE3•D5)を"1"に設定することによって動作を開始し、LCD信号を生成します。LCDCENを"0"に設定するとLCDコントローラは動作を停止し、LCD信号出力がLowとなります。なお、正しく表示を開始させるには、LCDCENを"1"に設定する前に、LCDパネルのパラメータや表示データを設定しておく必要があります。
また、LCD信号が正しく出力されていない状態でLCDパネルの電源を投入/切断すると、パネルを損傷する場合もあります。そこで、LCD信号が本LCDコントローラで制御されている状態にしてから、LCDパネルの電源を投入する必要があります。このためにLCDパネルの電源を制御する信号がLCDPWRです。この出力端子をイネーブルに設定しておくと、LCDコントローラのLCDパワーアップシーケンスやパワーダウンシーケンスでLCDPWR出力がハードウェアにより制御されます。LCD信号が無効の場合、LCDPWR信号はLowになり、LCD信号が有効になるとLCDPWR信号はHighになります。この信号でLCDパネルの電源を制御することにより、安全にLCDパネルの電源投入と切断が行えます。
LCDコントローラによるLCDPWR端子の制御は、LPWREN (LCDCモードレジスタ2/0x39FFE3•D4)を"1"に設定することにより有効となります。

LCDコントローラは電源投入後、LCDCEN = "0"およびパワーセーブモードが有効の状態に設定されます。LCDCENを"1"に設定しても、すぐにパワーアップシーケンスを開始して表示を行うわけではありません。パワーセーブモードになり、LCD信号出力端子はすべてLowに固定されます。LCDPWR信号もLowでLCDパネルの電源はONしません。
パワーセーブモードを解除して通常モードにするには、LPSAVE[1:0] (LCDCモードレジスタ2/0x39FFE3•D[1:0])を"0b11"に設定します。LCDコントローラはここからパワーアップシーケンスを開始し、LCD信号を出力すると共にLCDPWR信号をHigh(LCDパネルの電源をON)にします。このパワーアップシーケンスには1フレームの時間が必要です。逆に通常モードからパワーセーブモードに移行する場合、LPSAVEを"0b00"に設定するとLCDコントローラはここからパワーダウンシーケンスを開始し、1フレーム後にLCDPWR信号をLow(LCDパネルの電源をOFF)にすると共にLCD信号をLowにします。

パワーセーブモードでは、LCD制御レジスタの設定はできますがルックアップテーブルをアクセスすることができません。電源投入後のルックアップテーブルの設定は、LCDコントローラを通常モードにしてから行います。

電源投入時のLCD初期化手順の例を以下にまとめます。
1. BCU、クロックおよび表示メモリエリアの設定を行います。("システム設定"参照)
2. LCDパネルパラメータ、表示モードの設定を行います。("LCDパネル設定"参照)
3. 表示メモリに表示データを書き込みます。
4. 表示開始アドレスを設定します。("表示開始アドレスの設定"参照)
5. LCDPWR信号の制御を有効(LPWREN = "1")にします。
6. LCDコントローラをイネーブル(LCDCEN = "1")にします。
7. LCDコントローラを通常モード(LPSAVE = "0b11")にします。
8. LCDコントローラはパワーアップシーケンスを開始し、1フレーム後にLCDパネルの電源がONします。
9. ルックアップテーブルを設定します。("ルックアップテーブル"参照)

以上が表示を開始させる基本的な操作です。

パワーダウンの操作は次のように行います。
1. LCDコントローラをパワーセーブモード(LPSAVE = "0b00")にします。
2. LCDコントローラはパワーダウンシーケンスを開始し、1フレーム後にLCDパネルの電源をOFFし、さらにLCD信号をLowにします。
3. HALT2モードやSLEEPモードではバスクロックが停止するため、チップをそれらのスタンバイモードに設定する場合は上記の1フレーム期間の終了を待つ必要があります。
   フレーム数は、VNDPF (垂直非表示期間設定レジスタ0x39FFEA•D7)を繰り返し読み出すことでカウント可能です。垂直非表示期間にVNDPFは"1"になります(表示期間中は"0")。

LCDパネルの電源によっては、立ち上がり時間を1フレーム以上確保する必要がある場合や、電源OFF後の1フレーム期間内に放電が完了しないことも考えられます。その場合は独自のパワーアップ/ダウンシーケンスがプログラムできます。制御例を以下に示します。

パワーアップシーケンスの例(LCD信号アクティブ後、LCD電源ONまでの時間を制御)
1. LPWRENを"0"に設定します。LCDPWR信号はLowに固定され、パワーアップシーケンスによる制御は無効になります。
2. パワーセーブモードを解除します(LPSAVE = "0b11")。
3. 2から1フレーム期間の後、LCD信号がアクティブになります。
4. 電源ONまでの待ち時間を作ります。フレーム数で設定する場合は、VNDPF = "1"(垂直非表示期間)をカウントしてください。
5. 指定時間経過後、LPWRENを"1"に設定します。LCDPWR端子がHighとなり、LCDの電源をONします。

パワーダウンシーケンスの例(LCD電源OFFからLCD信号停止までの時間を制御)
1. LPWRENを"0"に設定します。LCDPWR端子がLowになり、LCD電源がOFFします。
2. LCD信号停止までの待ち時間を作ります。フレーム数で設定する場合は、VNDPF = "1"(垂直非表示期間)をカウントしてください。
3. 指定時間経過後、パワーセーブモードを設定します(LPSAVE = "0b00")。
4. 3から1フレーム期間の後、LCD信号が停止します。

表示データの読み出し/書き込み

LCDコントローラは独自のDMAインタフェースを内蔵しており、表示メモリのデータはDMA転送により取り込みます。また、内蔵の16 × 16ビットのFIFOに、表示メモリから読み出された表示データがバッファされ、バスの効率低下を防いでいます。FIFO内のデータが(0xf - FIFOEO[3:0])ワード以下になると、LCDコントローラはデータを読み込むためのDMA要求をCPUに出力します。FIFOEO[3:0] (FIFO制御レジスタ0x39FFF4•D[6:3])には0～0xfを書き込むことができますが、8を設定して使用してください。

上記DMAにより、ユーザプログラムによる表示メモリへのデータ書き込みには、特にタイミング上の制限はありません。表示とは非同期に書き込むことができます。

表示開始アドレスの設定

LCDコントローラは初期設定により、表示メモリ(VRAMARビットで選択したエリア)の先頭から表示するようになっています。表示を開始する表示メモリアドレスは、画面1開始アドレスレジスタ(0x39FFEC～0x39FFED, 0x39FFF0•D0)で自由に変更できますので、後述する仮想画面を設定してパンやスクロールを行うことができます。画面1開始アドレスレジスタに設定した開始アドレスがLCDパネルの左上端に対応します。
このレジスタには、表示メモリのあるエリアの先頭からのオフセットアドレスを設定してください。たとえばエリア7を使用する場合、表示メモリの先頭アドレスは0x400000ではなく0x0です。
なお、ここに設定するアドレスはハーフワードアドレスです(後述のポートレートモードではバイトアドレス)。

2画面表示

本LCDコントローラはパネルを上下2つに分割して、異なる画像を表示する画面分割機能をサポートしています。2つの画面を区別するために、上下に分割した上側を画面1、下側を画面2と呼ぶことにします。

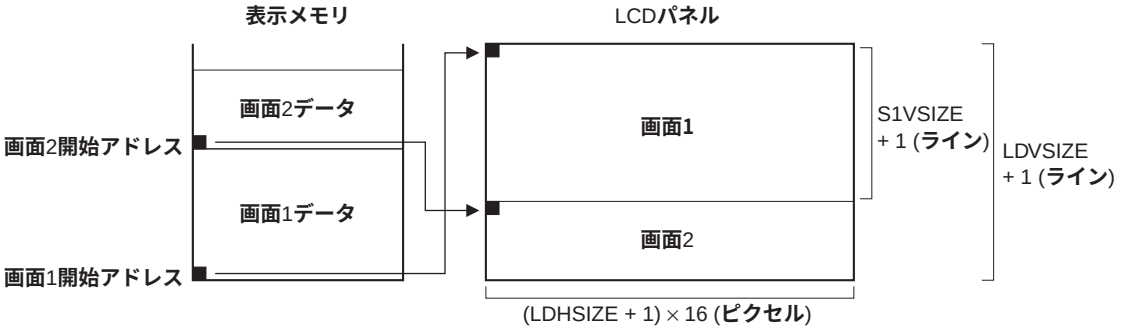


図2.16 画面分割表示

前節に示した画面1開始アドレスレジスタと同様の画面2開始アドレスレジスタ(0x39FFEE, 0x39FFEF)が用意されていますので、画面2の開始アドレスはこちらのレジスタに設定します。初期状態では、画面2開始アドレスも画面1と同じ0x0に設定されています。
画面を分割する位置は、画面1のライン数で指定します。たとえば、垂直解像度が240ラインのLCDパネルを上下均等に分割するには、S1VSIZE[9:0] (画面1垂直サイズレジスタ0x39FFF3•D[1:0], 0x39FFF2)に119を設定します。ライン0～ライン119が画面1、ライン120～ライン239が画面2として分割表示されます。
初期状態ではS1VSIZE[9:0]が0に設定されますので、画面1は表示されず、画面2がパネル全体に表示されます。

画面1のみを表示させるには、S1VSIZE[9:0]をLDVSIZE[9:0] (パネル垂直サイズレジスタ0x39FFE6•D[1:0], 0x39FFE5)と同じ値に設定します。
S1VSIZE = LDVSIZEとS1VSIZE = 0を切り換えることで、瞬時に画面全体を違う画像に切り換えることもできます。

仮想画面とビューポート

本LCDコントローラは、実際のLCDパネル解像度よりも大きな画面のデータを記憶し、パンやスクロールにより必要な箇所を表示する仮想画面機能を持っています。ただし、仮想画面は表示メモリ内に構成するため、大きさは最大256Kバイトに制限されます。実際の表示サイズに対応した領域をビューポートと呼び、表示開始アドレスを変えることで仮想画面内を移動します。

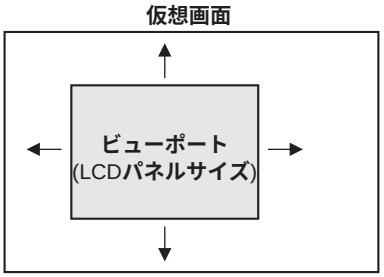


図2.17 仮想画面とビューポート

以下、仮想画面の設定方法と、ビューポートのパンやスクロール方法を、画面1を使用するものとして説明します。

ビューポートのサイズはLCDパネルの解像度に等しいため、パネル水平サイズレジスタ(0x39FFE4)とパネル垂直サイズレジスタ(0x39FFE6•D[1:0], 0x39FFE5)の設定がそのまま適用されます。

前述の画面1開始アドレスレジスタを変更するとビューポートの先頭位置が変わります。たとえば、開始アドレスを16ビット分インクリメントすると、それまでライン1の17ドット目に表示されていたピクセルがラインの先頭に移動します。先頭の16ピクセルは画面から消えます。これが画像をパンする基本操作です。ただし、通常この操作を行うと、ライン2の先頭16ピクセルがライン1の最後に表示されることになり、画像がずれてしまいます。そこで、ライン最後のピクセルデータから次のラインの先頭ピクセルデータまでの間にアドレスのオフセットを設定します。

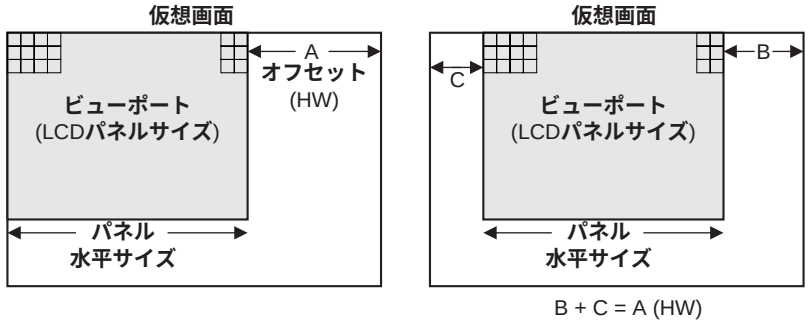


図2.18 **仮想画面を構成するオフセット**

オフセット値はMADOFS[7:0] (メモリアドレスオフセットレジスタ0x39FFF1•D[7:0])にハーフワードアドレスとして設定します。ピクセル数からこのアドレスを算出する場合、表示モードによりオフセット値が変わりますので注意してください。たとえば、水平方向200ピクセルのLCDパネル用に248ピクセルの仮想画面を構成する場合、48ピクセル分のオフセットが必要です。1bppモードのオフセット値は3になりますが、8bppモードでは24になります。

この設定により、オフセット分の横移動(パン)が画面1開始アドレスレジスタを変更することで可能になります。画面1開始アドレスレジスタにはハーフワードアドレスを設定します。したがって、移動量は1bppモードでは16ピクセル単位、2bppモードでは8ピクセル単位、4bppモードでは4ピクセル単位、8bppモードでは2ピクセル単位となります。

仮想画面の垂直方向については、最大256Kバイトの表示メモリの範囲内で、実装されているメモリ容量で決まります。1ライン分下にスクロールするには画面1開始アドレスレジスタにオフセットアドレスを含めた1ラインに相当するアドレスを加算します。上にスクロールするにはレジスタの値を減算します。
アドレスの制御により、ビューポートを斜めに移動させることもできます。
垂直方向のスクロールのみを行う場合、オフセットは0にしておきます。
仮想画面を使用する場合でも前述の画面分割表示が可能で、画面2も画面1と同様にパンやスクロールを行うことができます。図2.19は仮想画面と画面分割を使用する場合の構成です。

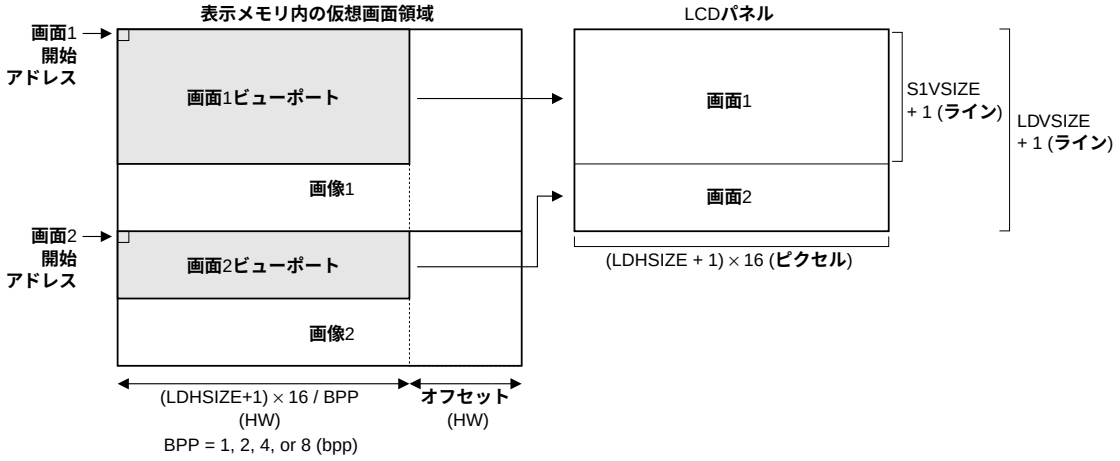


図2.19 **仮想画面と画面分割**

注: **ポートレートモード(後述)ではメモリアドレスオフセットレジスタ**(0x39FFF1)**が無効となります。**

表示の反転とブランク表示

表示メモリの内容を書き換えることなく、表示を消す(画面全体を黒くする)ことができます。DBLANK (LCDCモードレジスタ1/0x39FFE2•D3)を"1"に設定すると、FPDAT信号がLowになり表示が消えます。"0" にすると通常の表示に戻ります。

また、ビットの操作のみで表示を反転(ネガ表示)させることができます。INVDISP (LCDCモードレジスタ1/0x39FFE2•D0)を"1"に設定すると表示が反転し、"0"にすると通常の表示に戻ります。この機能は、表示メモリのピクセルデータではなく、ルックアップテーブルから出力された表示データを反転します。

これらの操作により、画面を点滅させることができます。切り換えは、垂直非表示期間内(VNDPF = "1") に行ってください。

ポートレートモード

アプリケーションによってはLCDパネルを通常は横置きで使用し、必要により90°回転させた縦置きの画面として使用する場合があります。一般的にはソフトウェアで画像データを回転させた状態に変換する必要があり、表示のみならず、システム全体のパフォーマンスの低下につながります。本LCDコントローラはハードウェアがこの機能をサポートしており、CPUに負荷をかけずに画像の90°回転を実現できます。この機能はLCDコントローラをポートレートモードに設定することで使用できます。メモリの使用方法やパフォーマンスの違いによる2種類のポートレートモード(デフォルトポートレートモードとオルタネートポートレートモード)が設定されています。

デフォルトポートレートモード

デフォルトポートレートモードは、オルタネートポートレートモードに比べ表示性能は劣りますが、より遅いクロックが使用可能なため消費電流の面で有利です。
このモードでは画像の水平サイズを2のべき乗にしておかなければなりません。たとえば、水平240ピクセルの画像をデフォルトポートレートモードで表示するには256ピクセル(2^8)分の水平サイズでメモリを確保する必要があります。

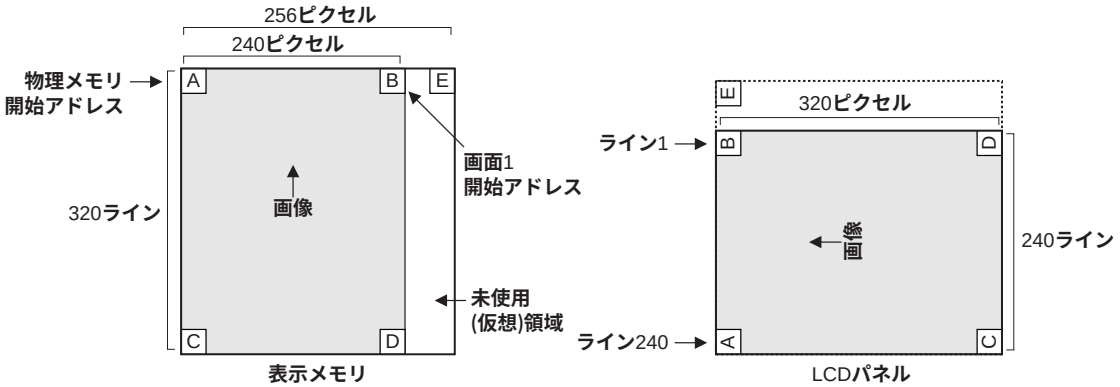


図2.20 デフォルトポートレートモードの画像回転

図2.20は、320 × 240ピクセルのLCDパネルを90°回転させ、240 × 320ピクセルの画像を表示させる場合の表示メモリとパネルの対応を示したものです。
8bppモードで使用することを想定した制御手順を以下に示します。

1. 水平320ピクセル、垂直240ラインのLCDパネルを使用するための設定を行い、必要であれば通常(ランドスケープモード)の表示を行います。

2. ランドスケープモードをポートレートモードに切り換える場合は、一度表示メモリをクリアしてください。クリアせずに切り換えると一時的に表示が乱れます。

3. ランドスケープモードで画面分割表示を行っていた場合は、S1VSIZE[9:0] (画面1垂直サイズレジスタ0x39FFF3•D[1:0], 0x39FFF2)をパネルの垂直解像度以上の値に再設定します。ポートレートモードでは画面を分割して、画面2を表示することはできません。

4. ポートレートモードの表示画像をA→B … C→Dのように書き込みます。

5. ポートレートモード用のラインバイトカウントレジスタ(0x39FFFC)に、ポートレートの仮想1ライン(256ピクセル)に相当するバイト数を設定します。8bppモードは1ピクセル/バイトのため、256バイト(0x100)になります。1バイトのラインバイトカウントレジスタ(0x39FFFC)には0x0を書き込みます。0x0は256バイト/ラインと見なされます。したがって、8bppモードでポートレート表示可能な画像の水平サイズは最大256ピクセルです。4bppモードの場合は、2ピクセル/バイトのため256/2 = 128(0x80)になります。この値はポートレート表示した場合の1つのピクセルデータと右隣のピクセルデータとのメモリ上の距離を示しています。

6. Bのピクセルのある表示メモリアドレスを、画面1開始アドレスレジスタ(0x39FFEC, 0x39FFED, 0x39FFF0•D0)に書き込みます。ランドスケープモード時はハーフワードアドレスを設定しましたが、ポートレートモードではバイト単位で設定します。
この例の場合、Aのピクセルが0x0のため、Bまでのオフセットは240 - 1 = 239(0xEF)バイトとなります。4bppモードであれば240/2 - 1 = 119(0x77)バイトになります。

7. 必要により、ポートレートモード用のピクセルクロック周波数をPMODCLK[1:0] (ポートレートモードレジスタ0x39FFFB•D[1:0])で選択します。このクロック分周回路は特に小さなLCDパネルでポートレート表示を行うために設けられています。なお、ここでピクセルクロック周波数を変更した場合は、非表示期間パラメータの再設定を含め、フレームレートの見直しが必要です。

表2.14 **デフォルトポートレートモードのクロック設定**

PMODCLK1	PMODCLK0	**ピクセルクロック**PCLK	**メモリクロック**MCLK
0	0	CLK	CLK
0	1	CLK/2	CLK/2
1	0	CLK/4	CLK/4
1	1	CLK/8	CLK/8

CLKはLCLKSEL[2:0] (FIFO制御レジスタ0x39FFF4•D[2:0])で選択したLCDCクロックです。

8. デフォルトポートレートモードを設定します。
PMODEN (ポートレートモードレジスタ0x39FFFB•D7) = "1"
PMODSEL (ポートレートモードレジスタ0x39FFFB•D6) = "0"

以上の操作で、ポートレート表示に切り換わります。

この例の場合、表示メモリ内に水平方向16ピクセル分の余白ができます。この部分はランドスケープモード時に仮想画面を構成するために設定したメモリアドレスオフセットと同様に使用可能です。したがって、このピクセル数の範囲内で画像のパンが可能になります。画面1開始アドレスレジスタを1バイト単位で増減することで表示画像が左右に移動します。なお、メモリアドレスオフセットレジスタの設定は、ポートレートモードでは無効になります。
画面1開始アドレスレジスタの変更により、画像の垂直方向のスクロールも可能です。

注: **デフォルトポートレートモードでは1ライン単位の垂直スクロールは行えません。垂直スクロールは必ず2ライン単位で指定してください。ステップ5でラインバイトカウントレジスタ**(0x39FFFC)**に設定したバイト数を2倍した値を、画面1開始アドレスレジスタに対して加算/減算します。**

オルタネートポートレートモード

オルタネートポートレートモードは、デフォルトポートレートモードのような余分な表示メモリは必要ありません。前述の例と同様の水平240ピクセルの画像の場合、表示メモリは1ラインにつき240ピクセル分のバイト数で表示可能です。デフォルトポートレートモードに比べ表示性能は高い反面、同じフレームレートでは2倍高速なクロックが必要となるため、消費電流が大きくなります。

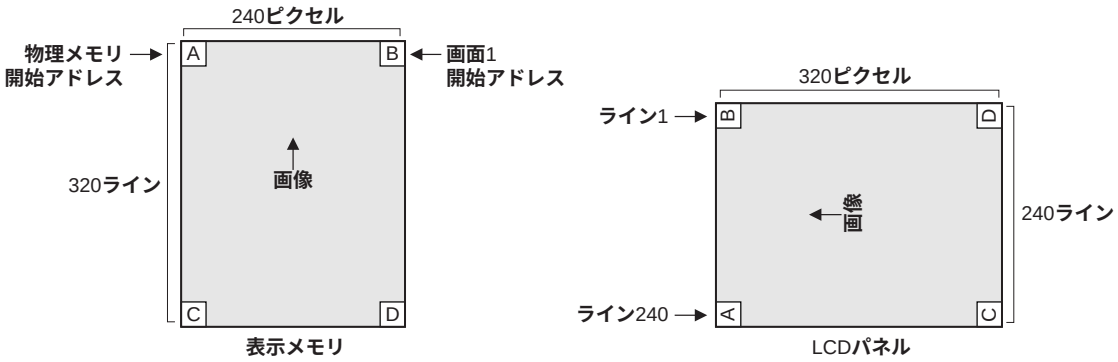


図2.21 **オルタネートポートレートモードの画像回転**

図2.21は、320 × 240ピクセルのLCDパネルを90°回転させ、240 × 320ピクセルの画像を表示させる場合の表示メモリとパネルの対応を示したものです。
8bppモードで使用することを想定した制御手順を以下に示します。

1. 水平320ピクセル、垂直240ラインのLCDパネルを使用するための設定を行い、必要であれば通常(ランドスケープモード)の表示を行います。

2. ランドスケープモードをポートレートモードに切り換える場合は、一度表示メモリをクリアしてください。クリアせずに切り換えると一時的に表示が乱れます。

3. ランドスケープモードで画面分割表示を行っていた場合は、S1VSIZE[9:0] (画面1垂直サイズレジスタ039FFF3•D[1:0], 0x39FFF2)をパネルの垂直解像度以上の値に再設定します。ポートレートモードでは画面を分割して、画面2を表示することはできません。

4. ポートレートモードの表示画像をA→B … C→Dのように書き込みます。

5. ポートレートモード用のラインバイトカウントレジスタ(0x39FFFC)に、ポートレートの1ライン(240ピクセル)に相当するバイト数を設定します。8bppモードは1ピクセル/バイトのため、240バイト(0xF0)になります。1バイトのラインバイトカウントレジスタ(0x39FFFC)には0xF0を書き込みます。オルタネートポートレートモードの場合も、8bppモードでポートレート表示可能な画像の水平サイズは最大256ピクセルです。4bppモードの場合は、2ピクセル/バイトのため240/2 = 120(0x78)になります。この値はポートレート表示した場合の1つのピクセルデータと右隣のピクセルデータとのメモリ上の距離を示しています。

6. Bのピクセルのある表示メモリアドレスを、画面1開始アドレスレジスタ(0x39FFEC, 0x39FFED, 0x39FFF0•D0)に書き込みます。ランドスケープモード時はハーフワードアドレスを設定しましたが、ポートレートモードではバイト単位で設定します。
   この例の場合、Aのピクセルが0x0のため、Bまでのオフセットは240 - 1 = 239(0xEF)バイトとなります。4bppモードであれば240/2 - 1 = 119(0x77)バイトになります。

7. 必要により、ポートレートモード用のピクセルクロック周波数をPMODCLK[1:0] (ポートレートモードレジスタ0x39FFFB•D[1:0])で選択します。なお、オルタネートポートレートモードでは、特に設定を変更しない場合でもピクセルクロックがランドスケープモード時の1/2になります。したがって、非表示期間パラメータの再設定を含め、フレームレートの見直しが必要です。フレームレートの算出方法については"フレームレート"を参照してください。

表2.15 オルタネートポートレートモードのクロック設定

PMODCLK1	PMODCLK0	ピクセルクロックPCLK	メモリクロックMCLK
0	0	CLK/2	CLK
0	1	CLK/2	CLK
1	0	CLK/4	CLK/2
1	1	CLK/8	CLK/4

CLKはLCLKSEL[2:0] (FIFO制御レジスタ0x39FFF4•D[2:0])で選択したLCDCクロックです。

8. オルタネートポートレートモードを設定します。
PMODEN (ポートレートモードレジスタ0x39FFFB•D7) = "1"
PMODSEL (ポートレートモードレジスタ0x39FFFB•D6) = "1"

以上の操作で、ポートレート表示に切り換わります。

垂直解像度256ライン以下のLCDパネルを使用する場合、デフォルトポートレートモードと同様な仮想画面を構成することができます。ラインバイトカウントレジスタにオフセット分を含めた値を設定し、画面1開始アドレスレジスタの制御によりパン、スクロールを行います。
オルタネートポートレートモードでは、1ライン単位に垂直方向のスクロールが可能です。

ポートレートモードの比較

デフォルトポートレートモードとオルタネートポートレートモードの相違点を表2.16にまとめます。

表2.16 ポートレートモードの相違点

項目	デフォルトポートレートモード	オルタネートポートレートモード
表示メモリ	回転後の水平サイズが2のべき乗となるように表示メモリを確保する必要があります。多くの場合、その数値はLCDパネルサイズと異なりますので、仮想画面として使用しない場合は未使用領域が発生します。たとえば、320 × 240のLCDパネルを90°回転し240 × 320ピクセルの画像を表示する場合、水平サイズを2^8 = 256ピクセルとして表示メモリを確保する必要があります。8bppモードの場合、通常は320 × 240 = 76800バイトですが、ポートレート表示には256 × 320 = 81920バイト必要です。	仮想画面を構成しない場合は、画像サイズ以上のメモリ領域は必要ありません。
クロック	表示メモリアクセス用のMCLKとLCD表示用のピクセルクロックPCLKは同じ速度で使用可能です。	MCLKはPCLKの2倍の速さが必要です。PCLKを12.5MHz以上には設定できません。
消費電力	低電力動作が可能です。	デフォルトポートレートモードより電力を消費します。
垂直スクロール	2ライン単位で可能です。	1ライン単位で可能です。
表示性能	標準的な性能です。	デフォルトポートレートモードより高性能です。

パワーセーブ

本LCDコントローラは2種類のパワーセーブモードを持っています。LPSAVE[1:0] (LCDCモードレジスタ2/0x39FFE3•D[1:0])で設定します。

表2.17 パワーセーブモードの設定

LPSAVE1	LPSAVE0	モード
0	0	パワーセーブモード
0	1	Reserved
1	0	DOZEモード
1	1	通常動作

パワーセーブモード

このモードに設定すると、LCDPWR端子も含め、LCD信号出力端子がすべてLowとなりLCDパネルをパワーダウンします。LCDコントローラは制御レジスタへのアクセスのみが可能となる他はすべて動作を停止します。ルックアップテーブルもアクセスすることはできません。

LPSAVEを"00"に設定するとパワーセーブモードに設定され、パワーダウンシーケンスを実行します。1フレーム後にLCDPWR信号がLowとなり、LCD信号も停止します。

注: HALT2モードやSLEEPモードではバスクロックが停止するため、チップをそれらのスタンバイモードに設定する場合は上記の1フレーム期間の終了を待つ必要があります。フレーム数は、VNDPF (垂直非表示期間設定レジスタ0x39FFEA•D7)を繰り返し読み出すことでカウント可能です。垂直非表示期間にVNDPFは"1"になります(表示期間中は"0")。

LPSAVEを"11"に設定するとパワーセーブモードが解除され、パワーアップシーケンスを実行します。LCD信号出力が有効になりLCDPWR信号がHighになるのは、パワーセーブモードを解除してから1フレーム後です。

LPWREN (LCDCモードレジスタ2/0x39FFE3•D4)により、上記のパワーアップ/ダウンシーケンスを独自のタイミングで制御することもできます。制御方法については、"LCDパワーアップ/ダウン制御"を参照してください。

DOZEモード

DOZEモードはEPSON MLS LCDドライバに対応したパワーセーブモードです。MLS LCDドライバを使用した場合、同一画像の表示リフレッシュのためにデータを常に送る必要がありません。この間、本LCDコントローラをDOZEモードに設定することができます。DOZEモードではFPDATとFPSHIFT信号がLowに固定され、表示メモリへのアクセスも発生しません。パワーセーブモードほどの大きな省電力効果は得られませんが、表示を継続したまま、消費電流を低減できます。

パワーセーブモードの比較

表2.18にパワーセーブモードの相違点をまとめます。

表2.18 パワーセーブモードの相違点

項目	DOZEモード	パワーセーブモード	通常動作
I/Oレジスタへのアクセス	可	可	可
ルックアップテーブルへのアクセス	可	不可	可
LCDCのシーケンスコントローラ	動作	停止	動作
表示	表示	ブランク	表示
LCDPWR信号	アクティブ	インアクティブ	アクティブ
FPDAT[7:0], FPSHIFT信号	強制Low	強制Low	アクティブ
FPLINE, FPFRAME, DRDY信号	アクティブ	強制Low	アクティブ

GPIO端子の制御

以下の端子はパネルの選択や、その他の設定により汎用出力(GPO)端子、または汎用入出力(GPIO)端子として使用することができます。

汎用出力(GPO)端子

FPDAT[3:0]信号出力端子は、4ビットLCDパネル使用時(LDDW[1:0](0x39FFE1•D[1:0]) = "00")は汎用出力端子GPO[6:3]として使用することができます。表2.19にGPO出力の制御ビットを示します。

表2.19 GPO制御ビット

端子名	GPO信号名	出力制御ビット
FPDAT0	GPO3	GPO3D (GPIOステータス/制御レジスタ0x39FFF9•D3)
FPDAT1	GPO4	GPO4D (GPIOステータス/制御レジスタ0x39FFF9•D4)
FPDAT2	GPO5	GPO5D (GPIOステータス/制御レジスタ0x39FFF9•D5)
FPDAT3	GPO6	GPO6D (GPIOステータス/制御レジスタ0x39FFF9•D6)

GPOxDビットを"1"に設定するとGPOx出力はHighに、"0"を設定するとLowになります。

注: **パワーセーブモードまたはDOZEモード時は、これらの端子がLowに固定されます。**

汎用入出力(GPIO)端子

LCDコントローラがイネーブル(LCDCEN (LCDCモードレジスタ2/0x39FFE3•D5) = "1")に設定されている間はチップ外部からのバス解放要求(#BUSREQ)を禁止できるようになっています。BREQEN (LCDCシステム制御レジスタ0x39FFFD•D2)を"0"(デフォルト)に設定すると、LCDCEN = "1"の間は外部からのバス解放要求を受け付けなくなります。これにより以下の端子がバス解放用に使用されなくなりますので、汎用入出力端子として使用可能になります。LCDコントローラがイネーブルの間のみ使用可能なため、端子の入出力制御およびデータの読み込み/書き込みはLCDコントローラブロックの制御レジスタで行います。

表2.20 GPIO制御ビット

端子名	GPIO信号名	入出力制御ビット	入出力データ
#BUSREQ/P34	GPIO0	GPIO0C (GPIO設定レジスタ 0x39FFF8•D0)	GPIO0D (GPIOステータス/制御レジスタ0x39FFF9•D0)
#BUSACK/P35	GPIO1	GPIO1C (GPIO設定レジスタ 0x39FFF8•D1)	GPIO1D (GPIOステータス/制御レジスタ0x39FFF9•D1)
#BUSGET/P31	GPIO2	GPIO2C (GPIO設定レジスタ 0x39FFF8•D2)	GPIO2D (GPIOステータス/制御レジスタ0x39FFF9•D2)

GPIOx端子を入力ポートとして使用する場合はGPIOxCビットを"0"(デフォルト)に、出力ポートとして使用する場合はGPIOxCビットを"1"に設定します。
入力に設定した場合、GPIOxDを読み出すことにより端子に入力されている電圧レベルが得られます。入力がHighの場合は"1"、Lowの場合は"0"が読み出されます。
出力に設定した場合は、出力データをGPIOxDに書き込みます。GPIOxDビットを"1"に設定するとGPIOx出力はHighに、"0"を設定するとLowになります。

LCDコントローラのI/Oメモリ

表2.21にLCDコントローラの制御ビットを示します。これらのレジスタはエリア6の0x39FFE0～0x39FFFDに割り付けられています。

表2.21 LCDインタフェースの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
改定コード	039FFE0	D7	PCODE5	製品コード	0b000010	0	R	
レジスタ	(B)	D6	PCODE4			0		
		D5	PCODE3			0		
		D4	PCODE2			0		
		D3	PCODE1			1		
		D2	PCODE0			0		
		D1	RCODE1	改定コード		0	R	
		D0	RCODE0			0		
LCDCモード	039FFE1	D7–6	–	reserved	–	–	–	読み出し時: 0
レジスタ0	(B)	D5	LDCOLOR	カラー/モノクロ選択	1 カラー 0 モノクロ	0	R/W	
		D4–3	–	reserved	–	–	–	読み出し時: 0
		D2	FPSMASK	FPSHIFT信号マスク	1 マスク 0 出力	0	R/W	
		D1	LDDW1	LCDデータ幅/形式	LDDW[1:0] モノクロ時	0	R/W	
		D0	LDDW0		1 x reserved	0		
					0 1 8ビット			
					0 0 4ビット			
					LDDW[1:0] カラー時			
					1 1 8ビット/形式2			
					1 0 reserved			
					0 1 8ビット/形式1			
					0 0 4ビット			
LCDCモード	039FFE2	D7	BPP1	bpp選択	BPP[1:0] モード	0	R/W	
レジスタ1	(B)	D6	BPP0	(表示モード)	1 1 8bpp	0		
					1 0 4bpp			
					0 1 2bpp			
					0 0 1bpp			
		D5–4	–	reserved	–	–	–	読み出し時: 0
		D3	DBLANK	ブランク表示	1 ブランク 0 通常表示	0	R/W	
		D2	FRMRPT	ELパネル用フレームリピート	1 リピート 0 リピートなし	0	R/W	
		D1	–	reserved	–	–	–	読み出し時: 0
		D0	INVDISP	表示反転	1 反転表示 **0** 通常表示	0	R/W	
LCDCモード	039FFE3	D7–6	–	reserved	–	–	–	読み出し時: 0
レジスタ2	(B)	D5	LCDCEN	LCDコントローライネーブル	1 有効 0 無効	0	R/W	
		D4	LPWREN	LCDPWRイネーブル	1 有効 0 無効	0	R/W	
		D3–2	–	reserved	–	–	–	読み出し時: 0
		D1	LPSAVE1	パワーセーブモード	LPSAVE[1:0] モード	0	R/W	
		D0	LPSAVE0		1 1 通常動作	0		
					1 0 DOZE			
					0 1 reserved			
					0 0 パワーセーブ			
パネル	039FFE4	D7–6	–	reserved	–	–	–	読み出し時: 0
水平サイズ	(B)	D5	LDHSIZE5	パネル水平サイズ	$\left(\frac{\text{水平解像度 (ピクセル)}}{16}\right) - 1$	0	R/W	
レジスタ		D4	LDHSIZE4			0		
		D3	LDHSIZE3			0		
		D2	LDHSIZE2			0		
		D1	LDHSIZE1			0		
		D0	LDHSIZE0			0		
パネル	039FFE5	D7	LDVSIZE7	パネル垂直サイズ(下位8ビット)	垂直解像度(ライン) - 1	0	R/W	
垂直サイズ	(B)	D6	LDVSIZE6			0		
レジスタ0		D5	LDVSIZE5			0		
		D4	LDVSIZE4			0		
		D3	LDVSIZE3			0		
		D2	LDVSIZE2			0		
		D1	LDVSIZE1			0		
		D0	LDVSIZE0			0		
パネル	039FFE6	D7–2	–	reserved	–	–	–	読み出し時: 0
垂直サイズ	(B)	D1	LDVSIZE9	パネル垂直サイズ(上位2ビット)	垂直解像度(ライン) - 1	0	R/W	
レジスタ1		D0	LDVSIZE8			0		
水平非表示期間	039FFE7	D7–5	–	reserved	–	–	–	読み出し時: 0
レジスタ	(B)	D4	HNDP4	水平非表示期間	$\left(\frac{\text{水平非表示期間(ピクセル)}}{8}\right) - 4$	0	R/W	
		D3	HNDP3			0		
		D2	HNDP2			0		
		D1	HNDP1			0		
		D0	HNDP0			0		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
垂直非表示期間	039FFEA	D7	VNDPF	垂直非表示期間ステータス	1 非表示期間 0 表示期間	0	R	
レジスタ	(B)	D6	–	reserved	–	–	–	読み出し時: 0
		D5	VNDP5	垂直非表示期間	非表示期間(ライン)	0	R/W	
		D4	VNDP4			0		
		D3	VNDP3			0		
		D2	VNDP2			0		
		D1	VNDP1			0		
		D0	VNDP0			0		
MODレート	039FFEB	D7–6	–	reserved	–	–	–	読み出し時: 0
レジスタ	(B)	D5	MODRATE5	MODレート		0	R/W	
		D4	MODRATE4			0		
		D3	MODRATE3			0		
		D2	MODRATE2			0		
		D1	MODRATE1			0		
		D0	MODRATE0			0		
画面1	039FFEC	D7	S1ADDR7	画面1開始アドレス(下位8ビット)		0	R/W	
開始アドレス	(B)	D6	S1ADDR6			0		
レジスタ0		D5	S1ADDR5			0		
		D4	S1ADDR4			0		
		D3	S1ADDR3			0		
		D2	S1ADDR2			0		
		D1	S1ADDR1			0		
		D0	S1ADDR0			0		
画面1	039FFED	D7	S1ADDR15	画面1開始アドレス(上位8ビット)		0	R/W	
開始アドレス	(B)	D6	S1ADDR14			0		
レジスタ1		D5	S1ADDR13			0		
		D4	S1ADDR12			0		
		D3	S1ADDR11			0		
		D2	S1ADDR10			0		
		D1	S1ADDR9			0		
		D0	S1ADDR8			0		
画面2	039FFEE	D7	S2ADDR7	画面2開始アドレス(下位8ビット)		0	R/W	
開始アドレス	(B)	D6	S2ADDR6			0		
レジスタ0		D5	S2ADDR5			0		
		D4	S2ADDR4			0		
		D3	S2ADDR3			0		
		D2	S2ADDR2			0		
		D1	S2ADDR1			0		
		D0	S2ADDR0			0		
画面2	039FFEF	D7	S2ADDR15	画面2開始アドレス(上位8ビット)		0	R/W	
開始アドレス	(B)	D6	S2ADDR14			0		
レジスタ1		D5	S2ADDR13			0		
		D4	S2ADDR12			0		
		D3	S2ADDR11			0		
		D2	S2ADDR10			0		
		D1	S2ADDR9			0		
		D0	S2ADDR8			0		
画面1	039FFF0	D7–1	–	reserved	–	–	–	読み出し時: 0
開始アドレス	(B)	D0	S1ADDR16	画面1開始アドレス(MSB)		0	R/W	
レジスタ2				(ポートレートモード用、ランドスケープモードでは常時0に固定)				
メモリアドレス	039FFF1	D7	MADOFS7	メモリアドレスオフセット		0	R/W	
オフセット	(B)	D6	MADOFS6			0		
レジスタ		D5	MADOFS5			0		
		D4	MADOFS4			0		
		D3	MADOFS3			0		
		D2	MADOFS2			0		
		D1	MADOFS1			0		
		D0	MADOFS0			0		
画面1	039FFF2	D7	S1VSIZE7	画面1垂直サイズ(下位8ビット)		0	R/W	
垂直サイズ	(B)	D6	S1VSIZE6			0		
レジスタ0		D5	S1VSIZE5			0		
		D4	S1VSIZE4			0		
		D3	S1VSIZE3			0		
		D2	S1VSIZE2			0		
		D1	S1VSIZE1			0		
		D0	S1VSIZE0			0		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
画面1	039FFF3	D7–2	–	reserved	–	–	–	読み出し時: 0
垂直サイズ	(B)	D1	S1VSIZE9	画面1垂直サイズ(上位2ビット)		0	R/W	
レジスタ1		D0	S1VSIZE8			0		
FIFO	039FFF4	D7	–	reserved	–	–	–	読み出し時: 0
制御レジスタ	(B)	D6	FIFOEO3	FIFOエンプティオフセット	8(0b1000)に固定	0	R/W	
		D5	FIFOEO2			0		
		D4	FIFOEO1			0		
		D3	FIFOEO0			0		
		D2	LCLKSEL2	LCDCクロック選択	LCLKSEL[2:0] LCDCクロック	0	R/W	
		D1	LCLKSEL1		1 1 1 BCU_CLK/4	0		
		D0	LCLKSEL0		1 1 0 BCU_CLK/3	0		
					1 0 1 BCU_CLK/2			
					1 0 0 BCU_CLK			
					0 1 1 reserved			
					0 1 0 停止			
					0 0 1 停止			
					0 0 0 停止			
ルックアップテ	039FFF5	D7–4	–	reserved	–	–	–	読み出し時: 0
ーブルアドレス	(B)	D3	LUTADDR3	ルックアップテーブルアドレス		0	R/W	
レジスタ		D2	LUTADDR2			0		
		D1	LUTADDR1			0		
		D0	LUTADDR0			0		
ルックアップ	039FFF7	D7	LUTDT3	ルックアップテーブルデータ		0	R/W	
テーブルデータ	(B)	D6	LUTDT2			0		
レジスタ		D5	LUTDT1			0		
		D4	LUTDT0			0		
		D3–0	–	reserved	–	–	–	読み出し時: 0
GPIO設定	039FFF8	D7–3	–	reserved	–	–	–	読み出し時: 0
レジスタ	(B)	D2	GPIO2C	GPIO2設定	1 出力 0 入力	0	R/W	
		D1	GPIO1C	GPIO1設定	1 出力 0 入力	0	R/W	
		D0	GPIO0C	GPIO0設定	1 出力 0 入力	0	R/W	
GPIO	039FFF9	D7	–	reserved	–	–	–	読み出し時: 0
ステータス/制御	(B)	D6	GPO6D	GPO6データ	1 High 0 Low	0	R/W	
レジスタ		D5	GPO5D	GPO5データ	1 High 0 Low	0	R/W	
		D4	GPO4D	GPO4データ	1 High 0 Low	0	R/W	
		D3	GPO3D	GPO3データ	1 High 0 Low	0	R/W	
		D2	GPIO2D	GPIO2データ	1 High 0 Low	0	R/W	
		D1	GPIO1D	GPIO1データ	1 High 0 Low	0	R/W	
		D0	GPIO0D	GPIO0データ	1 High 0 Low	0	R/W	
スクラッチ	039FFFA	D7	SP1A7	スクラッチパッド		0	R/W	
パッドレジスタ	(B)	D6	SP1A6			0		
		D5	SP1A5			0		
		D4	SP1A4			0		
		D3	SP1A3			0		
		D2	SP1A2			0		
		D1	SP1A1			0		
		D0	SP1A0			0		
ポートレートモ	039FFFB	D7	PMODEN	ポートレートモードイネーブル	1 ポートレート 0 ランドスケープ	0	R/W	
ードレジスタ	(B)	D6	PMODSEL	ポートレートモード選択	1 オルタネート 0 デフォルト	0	R/W	
		D5–2	–	reserved	–	–	–	読み出し時: 0
		D1	PMODCLK1	ポートレートモードクロック選択	PMODCLK[1:0] 分周比1	0	R/W	
		D0	PMODCLK0	(LCDCクロック分周比)	1 1 P: 1/8, M: 1/8	0		
					1 0 P: 1/4, M: 1/4			
				分周比1: デフォルトモード	0 1 P: 1/2, M: 1/2			
				分周比2: オルタネートモード	0 0 P: 1/1, M: 1/1			
				P: ピクセルクロック	PMODCLK[1:0] 分周比2			
				M: メモリクロック	1 1 P: 1/8, M: 1/4			
					1 0 P: 1/4, M: 1/2			
					0 1 P: 1/2, M: 1/1			
					0 0 P: 1/2, M: 1/1			
ラインバイト	039FFFC	D7	PMODLBC7	ポートレートモード用		0	R/W	
カウント	(B)	D6	PMODLBC6	ラインバイト数		0		
レジスタ		D5	PMODLBC5			0		
		D4	PMODLBC4			0		
		D3	PMODLBC3			0		
		D2	PMODLBC2			0		
		D1	PMODLBC1			0		
		D0	PMODLBC0			0		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
LCDC システム制御 レジスタ	039FFFD (B)	D7	VRAMAR	VRAMエリア選択	1 エリア8 0 エリア7	0	R/W	
		D6	VRAMWT2	VRAMウェイト制御	0～7	0	R/W	
		D5	VRAMWT1	(SRAM用ウェイトサイクル数)		0		
		D4	VRAMWT0			0		
		D3	EDMAEN	外部DMAイネーブル	1 許可 0 禁止	0	R/W	
		D2	BREQEN	外部バスリクエストイネーブル	1 許可 0 禁止	0	R/W	
		D1	LCDCST	A0/BSL選択	1 BSL 0 A0	0	R/W	
		D0	LCDCEC	ビッグ/リトルエンディアン選択	1 ビッグ 0 リトル	0	R/W	

注: 0x39FFFEと0x39FFFFはLCDコントローラの検査用に割り当てられています。このアドレスにデータを書き込むと、LCDコントローラおよびこれと接続されているLCDパネルを損傷する場合がありますので、ここには絶対にデータを書き込まないでください。

PCODE[5:0]: 製品コード(D[7:2]/0x39FFE0<改定コードレジスタ>)

本LCDコントローラの製品コード(0b000010)が書き込まれています。これらのビットは読み出し専用で、書き込みは無効です。

RCODE[1:0]: 改定コード(D[1:0]/0x39FFE0<改定コードレジスタ>)

本LCDコントローラの改定コード(0b00)が書き込まれています。これらのビットは読み出し専用で、書き込みは無効です。

LDCOLOR: カラー/モノクロ選択(D5/0x39FFE1<LCDCモードレジスタ0>)

接続するLCDパネルの種類(カラー/モノクロ)を選択します。

"1"書き込み: カラーパネル
"0"書き込み: モノクロパネル
読み出し: 可能

LDCOLORを"1"に設定するとカラーパネル、"0"に設定するとモノクロパネルの駆動方式が選択されます。
イニシャルリセット時、LDCOLORは"0"(モノクロパネル)に設定されます。

FPSMASK: FPSHIFT信号マスク(D2/0x39FFE1<LCDCモードレジスタ0>)

FPSHIFTのマスクを選択します。(カラーLCDパネルのみ)

"1"書き込み: マスク
"0"書き込み: 出力
読み出し: 可能

FPSMASKを"1"に設定すると、FPSHIFT信号が非表示期間にマスクされ、出力されません。"0"に設定すると、FPSHIFT信号は非表示期間も出力されます。
この設定はカラーLCDパネル使用時(LDCOLOR = "1")のみ有効です。モノクロLCDパネルでは、このビットの設定にかかわらず、FPSHIFT信号はマスクされません。
イニシャルリセット時、FPSMASKは"0"(出力)に設定されます。

LDDW[1:0]: LCDデータ幅/形式(D[1:0]/0x39FFE1<LCDCモードレジスタ0>)

LCDパネルのデータ幅/形式を選択します。LDCOLORも含めた選択内容を表2.22に示します。

表2.22 LCDパネルの選択

LDCOLOR	LDDW1	LDDW0	LCDパネル
0	0	0	モノクロシングル4ビットパッシブLCD
		1	モノクロシングル8ビットパッシブLCD
	1	0	Reserved
		1	Reserved
1	0	0	カラーシングル4ビットパッシブLCD
		1	カラーシングル8ビットパッシブLCDフォーマット1
	1	0	Reserved
		1	カラーシングル8ビットパッシブLCDフォーマット2

イニシャルリセット時、LDDWは"0b00"(4ビット)に設定されます。

BPP[1:0]: bpp(表示モード)選択(D[7:6]/0x39FFE2<LCDCモードレジスタ1>)

表示モード(bppモード)を選択します。LDCOLORも含めた選択内容を表2.23に示します。

表2.23 表示モードの指定

LDCOLOR	BPP1	BPP0	表示モード	
0	0	0	2階調グレースケール	1bpp
		1	4階調グレースケール	2bpp
	1	0	16階調グレースケール	4bpp
		1	Reserved	
1	0	0	2色	1bpp
		1	4色	2bpp
	1	0	16色	4bpp
		1	256色	8bpp

イニシャルリセット時、BPPは"0b00"(1bppモード)に設定されます。

DBLANK: ブランク表示(D3/0x39FFE2<LCDCモードレジスタ1>)

表示をブランク状態(全面黒)にします。

"1"書き込み: ブランク
"0"書き込み: 通常表示
読み出し: 可能

DBLANKを"1"に設定するとFPDAT信号をすべてLowにして表示を消します。"0"に設定すると表示メモリのデータがLCDパネルに表示されます。表示メモリには影響を与えません。
イニシャルリセット時、DBLANKは"0"(通常表示)に設定されます。

FRMRPT: ELパネル用フレームリピート(D2/0x39FFE2<LCDCモードレジスタ1>)

フレームレートモジュレーションのパターンを繰り返すかしないか選択します。(ELパネルのみ)

"1"書き込み: リピート
"0"書き込み: リピートなし
読み出し: 可能

FRMRPTを"1"に設定すると、内部の19ビットフレームカウンタが有効になり、フレーム数をカウントします。このカウンタがオーバーフローする(0x40000 = 0になる)ごとに、フレームレートモジュレーションのパターンが繰り返されます。
"0"に設定するとカウンタは無効となり、パターンを繰り返しません。
イニシャルリセット時、FRMRPTは"0"(繰り返さない)に設定されます。

INVDISP: 表示反転(D0/0x39FFE2<LCDCモードレジスタ1>)

表示を反転(ネガ表示)します。

"1"書き込み: 反転表示
"0"書き込み: 通常表示
読み出し: 可能

INVDISPを"1"に設定するとLCDパネル上の表示が反転します。"0"に設定すると通常の表示を行います。反転操作はルックアップテーブルの出力に対して行われます。表示メモリには影響を与えません。
イニシャルリセット時、INVDISPは"0"(通常表示)に設定されます。

LCDCEN: LCDコントローライネーブル(D5/0x39FFE3<LCDCモードレジスタ2>)

LCDコントローラを使用可能な状態に設定します。

"1"書き込み: 有効
"0"書き込み: 無効
読み出し: 可能

LCDCENを"1"に設定するとLCDコントローラにクロックが供給され、動作を開始します。"0"に設定すると動作を停止します。LCD信号が正しく出力されていない状態でLCDパネルの電源がONになると、パネルの劣化や損傷につながりますので注意してください。
イニシャルリセット時、LCDCENは"0"(無効)に設定されます。

LPWREN: LCDPWR**イネーブル**(D4/0x39FFE3<LCDC**モードレジスタ**2>)

LCDコントローラによるLCDPWR出力制御を有効にします。

"1"書き込み: 有効
"0"書き込み: 無効
読み出し: 可能

LPWRENを"1"に設定するとLCDコントローラのパワーアップ/ダウンシーケンスによりLCDPWR出力が制御され、その信号でLCDパネルの電源をON/OFFできます。"0"に設定するとLCDPWR端子はLowに固定されます。
イニシャルリセット時、LPWRENは"0"(無効)に設定されます。

LPSAVE[1:0]: **パワーセーブモード**(D[1:0]/0x39FFE3<LCDC**モードレジスタ**2>)

パワーセーブモードを選択します。

表2.24 **パワーセーブモードの設定**

LPSAVE1	LPSAVE0	**モード**
0	0	**パワーセーブモード**
0	1	Reserved
1	0	DOZE**モード**
1	1	**通常動作**

パワーセーブモードに設定するとパワーダウンシーケンスが実行され、解除するとパワーアップシーケンスが実行されます(詳細は"LCDパワーアップ/ダウン制御"参照)。
DOZEモードはEPSON製MLS LCDドライバを使用する場合にのみ選択可能です。
イニシャルリセット時、LPSAVEは"0b00"(パワーセーブモード)に設定されます。

LDHSIZE[5:0]: **パネル水平サイズ**(D[5:0]/0x39FFE4<**パネル水平サイズレジスタ**>)

LCDパネルの水平解像度を16ピクセル単位で設定します。次の値に設定してください。

$$\text{LDHSIZE[5:0]} = \frac{\textbf{水平解像度(画素数)}}{16} - 1$$

たとえば、水平解像度が320ドットのパネルの場合、LDHSIZEには19(=0x13)を設定します。
このレジスタに1以下の値は設定しないでください。
イニシャルリセット時、LDHSIZEは"0x0"に設定されます。

LDVSIZE[9:0]: **パネル垂直サイズ**(D[1:0]/0x39FFE6, 0x39FFE5<**パネル垂直サイズレジスタ**>)

LCDパネルの垂直解像度をライン数で設定します。次の値に設定してください。

LDVSIZE[9:0] = **垂直解像度(ライン数)** - 1

たとえば、垂直解像度が240ラインのパネルの場合、LDVSIZEには239(=0xEF)を設定します。
イニシャルリセット時、LDVSIZEは"0x0"に設定されます。

HNDP[4:0]: **水平非表示期間**(D[4:0]/0x39FFE7<**水平非表示期間レジスタ**>)

水平非表示期間を8ピクセル単位で設定します。次の値に設定してください。

$$\text{HNDP[4:0]} = \frac{\textbf{水平非表示期間(画素数)}}{8} - 4$$

イニシャルリセット時、HNDPは"0x0"に設定されます。

VNDP[5:0]: **垂直非表示期間**(D[5:0]/0x39FFEA<**垂直非表示期間レジスタ**>)

水平非表示期間をライン数で設定します。次の値に設定してください。

VNDP[5:0] = **垂直非表示期間(ライン数)**

イニシャルリセット時、VNDPは"0x0"に設定されます。

VNDPF: **垂直非表示期間ステータス**(D7/0x39FFEA<**垂直非表示期間レジスタ**>)

垂直非表示期間内かどうかを示します。

"1"読み出し: 垂直非表示期間
"0"読み出し: 垂直表示期間
書き込み: 無効

垂直非表示期間中にVNDPFは"1"になり、垂直表示期間は"0"になります。LCD電源制御などでフレーム数をカウントする場合は、このビットを読み出して"1"になった回数をカウントしてください。
画面を乱さずに画像の切り換えを行う場合なども、このビットを読み出すことによって垂直非表示期間内に切り換え操作が行えます。
イニシャルリセット時、VNDPFは"0"(垂直表示期間)に設定されます。

MODRATE[5:0]: MOD**レート**(D[5:0]/0x39FFEB<MOD**レートレジスタ**>)

MOD信号を切り換える周期を設定します。
このレジスタが0x0の場合は、FPFRAME信号の周期でMOD信号が切り換わります。それ以外の周期に設定するには、FPLINEパルスのカウント値を設定します。
イニシャルリセット時、MODRATEは"0x0"(FPFRAME周期)に設定されます。

S1ADDR[16:0]: **画面1開始アドレス**(D0/0x39FFF0, 0x39FFED, 0x39FFEC<**画面1開始アドレスレジスタ**>)

画面1開始アドレスを設定します。表示メモリの先頭をアドレス0x0として、通常(ランドスケープ)モード時は16ビット単位のハーフワードアドレスを、ポートレートモード時はバイトアドレスを書き込みます。
S1ADDR16(0x39FFF0•D0)はポートレートモード用のビットです。通常(ランドスケープ)モードでは使用しませんので、"0"に固定してください。
イニシャルリセット時、S1ADDRは"0x0"(表示メモリの先頭)に設定されます。

S1VSIZE[9:0]: **画面1垂直サイズ**(D[1:0]/0x39FFF3, 0x39FFF2<**画面1垂直サイズレジスタ**>)

画面1の垂直サイズをライン数で指定します。LCDパネルの垂直解像度(LDVSIZE[9:0])以下のライン数を設定すると、LCDパネルのライン1からライン(S1VSIZE - 1)までを画面1、そこから下を画面2として分割表示します。画面を分割しない場合はS1VSIZEをLDVSIZEと同じかそれより大きな値に設定し、画面1のみを表示させてください。
イニシャルリセット時、S1VSIZEは"0x0"に設定されます。

S2ADDR[15:0]: **画面2開始アドレス**(0x39FFEF, 0x39FFEE<**画面2開始アドレスレジスタ**>)

画面2開始アドレスを設定します。表示メモリの先頭をアドレス0x0として、16ビット単位のハーフワードアドレスを書き込みます。
ポートレートモードは画面分割表示に対応していませんので、このレジスタは使用しません。
イニシャルリセット時、S2ADDRは"0x0"(表示メモリの先頭)に設定されます。

MADOFS[7:0]: **メモリアドレスオフセット**(D[7:0]/0x39FFF1)<**メモリアドレスオフセットレジスタ**>)

通常(ランドスケープ)モード時の仮想画面を構成する、ハーフワード単位のアドレスオフセットを設定します。各表示ラインの最後のピクセルデータのアドレスに、設定したオフセットを加算したアドレスから次のラインを表示します。このオフセット分、画像領域が水平方向に拡張され、開始アドレスレジスタの設定により、表示領域をパン/スクロールできます。詳細については、"仮想画面とビューポート"を参照してください。
このレジスタはポートレートモードでは使用しません。
イニシャルリセット時、MADOFSは"0x0"(仮想画面領域なし)に設定されます。

FIFOEO[3:0]: FIFO**エンプティオフセット**(D[6:3]/0x39FFF4<FIFO**制御レジスタ**>)

LCDコントローラはDMA転送により表示メモリのデータを16 × 16ビットのFIFOに取り込みます。FIFO内のデータが(0xf - FIFOEO)ワード以下になると、LCDコントローラはデータを読み込むためのDMA要求をCPUに出力します。FIFOEOには8を設定して使用してください。
イニシャルリセット時、FIFOEOは"0x0"に設定されます。

LCLKSEL[2:0]: LCDC**クロック選択**(D[2:0]/0x39FFF4<FIFO**制御レジスタ**>)

LCDコントローラの動作クロックを選択します。選択したクロックがピクセルクロックPCLKおよび表示メモリ用クロックMCLKとして使用されます。LCDコントローラに入力可能なクロックの最大周波数は25MHzです。

表2.25 LCDC**クロックの選択**

LCLKSEL2	LCLKSEL1	LCLKSEL0	LCDC**クロック**
0	0	0	**停止**
0	0	1	**停止**
0	1	0	**停止**
0	1	1	Reserved (**設定禁止**)
1	0	0	BCU_CLK
1	0	1	BCU_CLK/2
1	1	0	BCU_CLK/3
1	1	1	BCU_CLK/4

イニシャルリセット時、LCLKSELは"0x0"(停止)に設定されます。

LUTADDR[3:0]: LUT**アドレス**(D[3:0]/0x39FFF5<**ルックアップテーブルアドレスレジスタ**>)

ルックアップテーブルのデータを書き込む先頭アドレス(エントリ)を指定します。このレジスタにデータ(0～15)を書き込むと、赤ルックアップテーブルのエントリ(0～15)が選択されます。
ルックアップテーブルデータレジスタに赤→緑→青の順にデータを設定すると、赤、緑、青ルックアップテーブルの指定したエントリにデータが書き込まれます。同時にLUTADDRはインクリメントされ、次のエントリを指し示します。最初に一度エントリを指定するだけで、データは連続書き込みが可能です。ルックアップテーブルデータレジスタを読み出した場合も、同様にアドレスはインクリメントされます。
このレジスタは必ずバイトアクセスによって書き込み/読み出しを行ってください。
イニシャルリセット時、LUTADDRは"0x0"(赤ルックアップテーブルのエントリ0)に設定されます。

LUTDT[3:0]: LUT**データ**(D[7:4]/0x39FFF7<**ルックアップテーブルデータレジスタ**>)

ルックアップテーブルのデータの読み出し/書き込みを行います。
このレジスタをアクセスするごとに、ルックアップテーブルポインタが次のように移動します(ルックアップテーブルアドレスレジスタが0x0に設定されている場合)。
R[0]→G[0]→B[0]→(LUTADDRインクリメント)→R[1]→G[1]→B[1]

このレジスタを読み出すとルックアップテーブルに設定されているデータが読み出されます。読み出し時、レジスタの下位4ビットは0x0になります。
このレジスタにデータを書き込むと、ルックアップテーブルに設定されます。ただし、レジスタに赤→緑→青の順に3回書き込みを行うまではルックアップテーブルには設定されませんので注意してください。レジスタの下位4ビットには0x0を書き込んでください。
イニシャルリセット時、LUTDTは"0x0"に設定されます。

GPIO2C: GPIO2**設定**(D2/0x39FFF8<GPIO**設定レジスタ**>)
GPIO1C: GPIO1**設定**(D1/0x39FFF8<GPIO**設定レジスタ**>)
GPIO0C: GPIO0**設定**(D0/0x39FFF8<GPIO**設定レジスタ**>)

GPIO[2:0]端子の入出力モードを選択します。

"1"書き込み: 出力モード
"0"書き込み: 入力モード
読み出し: 可能

GPIOxCを"1"に設定するとGPIOxが出力ポートとして機能し、"0"に設定すると入力ポートとして機能します。
GPIO[2:0]端子は以下のバス解放用端子と共用されており、LCDCEN(0x39FFE3•D5) = "1"およびBREQEN(0x39FFFD•D2) = "0"の場合にのみGPIO[2:0]端子として使用することができます。
GPIO2: #BUSGET/P31
GPIO1: #BUSACK/P35
GPIO0: #BUSREQ/P34
イニシャルリセット時、GPIOxCは"0"(入力モード)に設定されます。

GPIO2D: GPIO2データ(D2/0x39FFF9<GPIOステータス/制御レジスタ>)
GPIO1D: GPIO1データ(D1/0x39FFF9<GPIOステータス/制御レジスタ>)
GPIO0D: GPIO0データ(D0/0x39FFF9<GPIOステータス/制御レジスタ>)

GPIO[2:0]端子の入出力データです。

出力モード時
"1"書き込み: Highレベル
"0"書き込み: Lowレベル
読み出し: 可能

入力モード時
"1"読み出し: Highレベル
"0"読み出し: Lowレベル
書き込み: 無効

GPIOxが出力モード時は、GPIOxDに"1"を書き込むとGPIOx端子がHighレベル、"0"を書き込むとLowレベルになります。
入力モード時は、GPIOx端子に入力されている電圧レベルがHighの場合は"1"、Lowの場合は"0"としてGPIOxDから読み出せます。
イニシャルリセット時、GPIOxDは"0"(Low)に設定されます。

GPO6D: GPO6データ(D6/0x39FFF9<GPIOステータス/制御レジスタ>)
GPO5D: GPO5データ(D5/0x39FFF9<GPIOステータス/制御レジスタ>)
GPO4D: GPO4データ(D4/0x39FFF9<GPIOステータス/制御レジスタ>)
GPO3D: GPO3データ(D3/0x39FFF9<GPIOステータス/制御レジスタ>)

GPO[6:3]端子から出力するデータを設定します。

"1"書き込み: Highレベル
"0"書き込み: Lowレベル
読み出し: 可能

GPOxDに"1"を書き込むとGPOx端子がHighレベル、"0"を書き込むとLowレベルになります。
GPO[6:3]端子は以下のLCD信号出力端子と共用されており、4ビットLCDパネルを選択した場合にのみ汎用出力として使用することができます。
GPO6: FPDAT3
GPO5: FPDAT2
GPO4: FPDAT1
GPO3: FPDAT0
イニシャルリセット時、GPOxDは"0"(Low)に設定されます。

SP1A[7:0]: スクラッチパッド(D[7:0]/0x39FFFA<スクラッチパッドレジスタ>)

リード/ライト可能な8ビットの汎用レジスタです。LCDコントローラを含め、チップの動作には影響を与えません。
イニシャルリセット時、SP1Aは"0x0"に設定されます。

PMODEN: ポートレートモードイネーブル(D7/0x39FFFB<ポートレートモードレジスタ>)

表示をポートレートモードに切り換えます。

"1"書き込み: ポートレートモード
"0"書き込み: ランドスケープ(通常)モード
読み出し: 可能

PMODENを"1"に設定すると、LCDコントローラはPMODSEL (0x39FFFB•D6)で選択されている種類のポートレートモードになり、90°回転させたLCDパネルに対応して表示を行います。"0"に設定すると通常のランドスケープモードで表示します。
イニシャルリセット時、PMODENは"0"(ランドスケープモード)に設定されます。

PMODSEL: **ポートレートモード選択**(D6/0x39FFFB<**ポートレートモードレジスタ**>)

ポートレートモードの種類を選択します。

"1"書き込み: オルタネートポートレートモード
"0"書き込み: デフォルトポートレートモード
読み出し: 可能

PMODSELを"1"に設定すると、オルタネートポートレートモードが、"0"に設定するとデフォルトポートレートモードが選択されます。PMODEN (0x39FFFB•D7)を"1"に設定すると、選択されたポートレートモードで表示されます。詳細については"ポートレートモード"を参照してください。
イニシャルリセット時、PMODSELは"0"(デフォルトポートレートモード)に設定されます。

PMODCLK[1:0]: **ポートレートモードクロック選択**(D[1:0]/0x39FFFB<**ポートレートモードレジスタ**>)

ポートレートモード時に使用するクロックを選択します。
オルタネートポートレートモードでは、表示メモリアクセス用クロックMCLKはピクセルクロックPCLKの2倍の速度が必要です。このため、デフォルトポートレートモードとは選択される内容が異なります。

表2.26 **デフォルトポートレートモードのクロック設定**

PMODCLK1	PMODCLK0	**ピクセルクロック**PCLK	**メモリクロック**MCLK
0	0	CLK	CLK
0	1	CLK/2	CLK/2
1	0	CLK/4	CLK/4
1	1	CLK/8	CLK/8

表2.27 **オルタネートポートレートモードのクロック設定**

PMODCLK1	PMODCLK0	**ピクセルクロック**PCLK	**メモリクロック**MCLK
0	0	CLK/2	CLK
0	1	CLK/2	CLK
1	0	CLK/4	CLK/2
1	1	CLK/8	CLK/4

CLKはLCLKSEL[2:0] (0x39FFF4•D[2:0])で選択したランドスケープモード用のクロック(PCLK = MCLK)です。
イニシャルリセット時、PMODCLKは"0b00"に設定されます。

PMODLBC[7:0]: **ラインバイト数**(D[7:0]/0x39FFFC<**ラインバイトカウントレジスタ**>)

ポートレートモード時の1ラインに相当するバイト数を設定します。水平ピクセル数を、bppモードに従ったバイト数に変換して書き込んでください。この水平ピクセル数にはLCDパネルには表示されない、仮想部分のピクセル数も含みます。
イニシャルリセット時、PMODLBCは"0x0"に設定されます。

VRAMAR: VRAM**エリア選択** (D7/0x39FFFD<LCDC**システム制御レジスタ**>)

表示メモリを割り付けるエリアを選択します。

"1"書き込み: エリア8 (または14)
"0"書き込み: エリア7 (または13)
読み出し: 可能

VRAMARを"1"に設定すると、エリア8(CEFUNC[1:0] (0x48130•D[A:9]) = "0b00"の場合)またはエリア14(CEFUNC = "0b01"の場合)が、"0"に設定するとエリア7(CEFUNC = "0b00"の場合)またはエリア13(CEFUNC = "0b01"の場合)が選択されます。
イニシャルリセット時、VRAMARは"0"(エリア7)に設定されます。

VRAMWT[2:0]: VRAM**ウェイト制御**(D[6:4]/0x39FFFD<LCDC**システム制御レジスタ**>)

表示メモリアクセス用のウェイトサイクル数(0～7)を設定します。
この設定は表示メモリにSRAMを使用する場合にのみ有効です。SDRAMを使用する場合、このレジスタの設定は無視されます。
ここで設定したウェイトサイクルはLCDコントローラが表示メモリを直接アクセスする場合に挿入されます。CPUによる表示メモリのアクセスには影響を与えません。その場合はBCUに設定されたウェイト数が挿入されます
イニシャルリセット時、VRAMWTは"0x0"に設定されます。

EDMAEN: **外部**DMA**イネーブル**(D3/0x39FFFD<LCDC**システム制御レジスタ**>)

LCDコントローラ使用中の外部デバイスによるDMA要求を許可/禁止します。

"1"書き込み: 許可
"0"書き込み: 禁止
読み出し: 可能

EDMAENを"1"に設定すると、LCDコントローラ使用中でもその他の外部デバイスによるDMA要求を許可します。外部デバイスによるDMA転送中はLCDコントローラが表示メモリをアクセスできないため、表示が更新できなくなります。EDMAENを"0"に設定するとLCDコントローラ使用中(LCDCEN = "1")に限り、外部デバイスによるDMA要求が禁止されます。
イニシャルリセット時、EDMAENは"0"(禁止)に設定されます。

BREQEN: **外部バスリクエストイネーブル**(D2/0x39FFFD<LCDC**システム制御レジスタ**>)

LCDコントローラ使用中の外部デバイスによるバス解放要求を許可/禁止します。

"1"書き込み: 許可
"0"書き込み: 禁止
読み出し: 可能

BREQENを"1"に設定すると、LCDコントローラ使用中でもその他の外部デバイスによるバス解放要求を許可します。外部デバイスがバスを使用中はLCDコントローラが表示メモリをアクセスできないため、表示が更新できなくなります。BREQENを"0"に設定するとLCDコントローラ使用中(LCDCEN = "1")に限り、外部デバイスによるバス解放要求が禁止されます。
イニシャルリセット時、BREQENは"0"(禁止)に設定されます。

LCDCST: A0/BSL**選択**(D1/0x39FFFD<LCDC**システム制御レジスタ**>)

表示メモリ(SRAM)のインタフェース方式を選択します。

"1"書き込み: BSL
"0"書き込み: A0
読み出し: 可能

この設定は表示メモリにSRAMを使用する場合にのみ有効です。BCUのSBUSST(0x4812E•D3)と同じ値に設定してください。
SDRAMを使用する場合、このレジスタの設定は無視されます。
イニシャルリセット時、LCDCSTは"0"(A0)に設定されます。

LCDCEC: **ビッグ/リトルエンディアン選択**(D0/0x39FFFD<LCDC**システム制御レジスタ**>)

LCDコントローラのアクセス形式(リトルエンディアンまたはビッグエンディアン)を選択します。

"1"書き込み: ビッグエンディアン
"0"書き込み: リトルエンディアン
読み出し: 可能

LCDCECを"1"に設定すると、LCDコントローラはビッグエンディアン形式でアクセスされます。"0"に設定するとリトルエンディアン形式でアクセスされます。エリア6用のA6EC(0x48132•D1)と同じに設定してください。
イニシャルリセット時、LCDCECは"0"(リトルエンディアン)に設定されます。

プログラミング上の注意事項

(1) LCDコントローラをパワーセーブモードに設定後、チップをHALT2モードやSLEEPモードに設定する場合はパワーダウンシーケンスによってLCD信号がすべて停止するまで(デフォルトは1フレーム)待つ必要があります。LCD信号出力中にHALT2モードやSLEEPモードになると、クロックが停止するためLCDパネルの損傷の原因になります。

(2) LPWREN(LCDCモードレジスタ2/0x39FFE3•D4)を使用してLCDPWR出力を制御する場合、LCDに電源が供給されている状態でLCD信号が停止しないように注意してください。特にパワーダウン時はLCDPWR出力をLowにした後、LCD電源の放電時間に余裕を加えた待ち時間を取ってからLCD信号を停止してください。

(3) I/O領域の0x39FFFEと0x39FFFFはLCDコントローラの検査用に割り当てられています。このアドレスにデータを書き込むと、LCDコントローラおよびこれと接続されているLCDパネルを損傷する場合がありますので、ここには絶対にデータを書き込まないでください。

ICD33使用上の注意

ICD33(S5U1C33000H)を使用して本LCDコントローラを使用するアプリケーションをデバッグする場合は、以下の点に注意してください。

1. #WAITがイネーブルのときは、LCDコントローラレジスタ領域(0x39FFE0～0x39FFFF)のメモリダンプ([Memory]ウィンドウでの表示も含む)やデータ設定は行わないでください。ウェイトサイクルを終了できなくなり、デバッガがハングアップします。また、ターゲットプログラムの実行時にLCDコントローラレジスタをアクセスする場合も同様です。
   ICD33使用時のLCDコントローラレジスタ領域のアクセスは、デバッガ操作とターゲットプログラムのどちらの場合も、必ず#WAITをディセーブル(0x4812E•D0 = "0")にしてから行ってください。

2. ICD33使用時にターゲットプログラムの実行がブレークすると、LCDパネルの表示が一時的に消えます。プログラムを実行させると、表示を再開します。
   したがって、LCDパネルの駆動にEPSON製MLSドライバを使用しているターゲットシステムは、ICD33に接続してのデバッグは行わないでください。
   MON33(S5U1C330M1D1)使用時はブレーク時でも正常に表示され、上記のターゲットシステムもデバッグ可能です。

LCDコントローラの設定事例

(Wait信号 = ON)

```
;*****************
;C33L03 ASM
;*****************

;==================================
         .org  0x0
         .half 0x0008
         .half 0x00c0

         .org  0x0008
;---------------------------
;initial
;---------------------------
         xld.w  %r1, 0x1fff     ;stack poiter
         ld.w   %sp, %r1

         xld.w  %r5, 0x48126    ;ROM access speed
         xld.w  %r1, 0x0
         ld.b   [%r5], %r1

         xld.w  %r5, 0x48128    ;Ram wait cycle 0 access speed
         xld.w  %r1, 0x00
         ld.b   [%r5], %r1

         xld.w  %r5, 0x4812a    ;set area6 wait cycle
         ld.h   [%r5], %r1

         xld.w  %r5, 0x4812e    ;set bus control register wait enable , a0 mode
         xld.w  %r1, 0x05
         ld.b   [%r5], %r1

         xld.w  %r5,0x48132     ;set area6 access control register
         xld.w  %r1,0xff00
         ld.h   [%r5],%r1

         xld.w  %r5,0x4813a     ;select bclk output
         xld.w  %r1,0x01
         ld.b   [%r5],%r1

         xld.w  %r1, 0x39ffe3   ;lcd enable
         xld.w  %r2, 0x20
         ld.b   [%r1], %r2

         xld.w  %r5, 0x402dc    ;set busack,req,wait
         xld.w  %r1, 0x30
         ld.b   [%r5], %r1

;*****************************************************
;**
;**test color 4/8bit  1/2/4/8 bpp  ,video invert,
;**     segment ,common   landscape mode/virtual image
;**     display blank
;*****************************************************
;set landscape mode

;*********************************
;color ,8bit , 8bpp,segment32 x 3
;*********************************
         xld.w  %r1, 0x39ffe1   ; write-- set mono,4-bit
         xld.w  %r2, 0x04
         ld.b   [%r1], %r2

         xld.w  %r1, 0x39ffe2   ; write-- set 2bpp,no high performance,disable display bland
         xld.w  %r2, 0x40       ;         no invert video
         ld.b   [%r1], %r2

         xld.w  %r1, 0x39ffe4   ; set segment 32
         xld.w  %r2, 0x01
         ld.b   [%r1], %r2

         xld.w  %r1, 0x39ffe5   ; set common
         xld.w  %r2, 0x01
         ld.b   [%r1], %r2
```

```
        xld.w  %r1, 0x39ffe8   ; set Horizontal Non-display period
        xld.w  %r2, 0x01
        ld.b   [%r1], %r2

        xld.w  %r1, 0x39ffea   ; set Vertical Non-displayed Period
        xld.w  %r2, 0x01
        ld.b   [%r1], %r2

        xld.w  %r1, 0x39ffec   ; set S1 start address aaaa
        xld.w  %r2, 0x0000
        ld.h   [%r1], %r2

        xld.w  %r1, 0x39ffee   ; set S2 start address 5555
        xld.w  %r2, 0x0000
        ld.h   [%r1], %r2

        xld.w  %r1, 0x39fff1   ; set Memory address offset  00
        xld.w  %r2, 0x00
        ld.b   [%r1], %r2

        xld.w  %r1, 0x39fff2   ; set S1 Vertical size  0x01df  lsb
        xld.w  %r2, 0x0100
        ld.h   [%r1], %r2

        xld.w  %r1, 0x39fff4   ; set clk ->osc3 , fifo ->0
        xld.w  %r2, 0x04
        ld.b   [%r1], %r2

;-----------------------------------
        xld.w  %r1, 0x39ffe3   ; LCD power on
        xld.w  %r2, 0x23
        ld.b   [%r1], %r2
;*************************************************
;**      Initialize the LUT
;*************************************************

        xld.w  %r1, 0x39fff5   ; set lut address
        xld.w  %r2, 0x39fff7
        xld.w  %r3, 0x00
        ld.b   [%r1], %r3
        ld.b   [%r2], %r3
        ld.b   [%r2], %r3
        ld.b   [%r2], %r3
```

S1C33L03 FUNCTION PART

Appendix　I/Oマップ

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
8bitタイマ4/5 クロック選択 レジスタ	0040140 (B)	D7–2	–	reserved	–	–	–	読み出し時: 0
		D1	P8TPCK5	8bitタイマ5クロック選択	1 θ/1 0 分周クロック	0	R/W	θ: プリスケーラクロック選択レジスタ (0x40181)で選択
		D0	P8TPCK4	8bitタイマ4クロック選択	1 θ/1 0 分周クロック	0	R/W	
8bitタイマ4/5 クロック コントロール レジスタ	0040145 (B)	D7	P8TON5	8bitタイマ5クロック制御	1 On 0 Off	0	R/W	
		D6	P8TS52	8bitタイマ5	1 1 1 θ/256	0	R/W	θ: プリスケーラクロック選択レジスタ (0x40181)で選択 8bitタイマ5は シリアルI/F Ch.3の クロックを生成
		D5	P8TS51	クロック分周比選択	1 1 0 θ/128	0	R/W	
		D4	P8TS50		1 0 1 θ/64	0	R/W	
					1 0 0 θ/32			
					0 1 1 θ/16			
					0 1 0 θ/8			
					0 0 1 θ/4			
					0 0 0 θ/2			
		D3	P8TON4	8bitタイマ4クロック制御	1 On 0 Off	0	R/W	
		D2	P8TS42	8bitタイマ4	1 1 1 θ/4096	0	R/W	θ: プリスケーラクロック選択レジスタ (0x40181)で選択 8bitタイマ4は シリアルI/F Ch.2の クロックを生成
		D1	P8TS41	クロック分周比選択	1 1 0 θ/2048	0	R/W	
		D0	P8TS40		1 0 1 θ/64	0	R/W	
					1 0 0 θ/32			
					0 1 1 θ/16			
					0 1 0 θ/8			
					0 0 1 θ/4			
					0 0 0 θ/2			
8bitタイマ クロック選択 レジスタ	0040146 (B)	D7–4	–	reserved	–	–	–	読み出し時: 0
		D3	P8TPCK3	8bitタイマ3クロック選択	1 θ/1 0 分周クロック	0	R/W	θ: プリスケーラクロック選択レジスタ (0x40181)で選択
		D2	P8TPCK2	8bitタイマ2クロック選択	1 θ/1 0 分周クロック	0	R/W	
		D1	P8TPCK1	8bitタイマ1クロック選択	1 θ/1 0 分周クロック	0	R/W	
		D0	P8TPCK0	8bitタイマ0クロック選択	1 θ/1 0 分周クロック	0	R/W	
16bitタイマ0 クロック コントロール レジスタ	0040147 (B)	D7–4	–	reserved	–	–	–	読み出し時: 0
		D3	P16TON0	16bitタイマ0クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS02	16bitタイマ0	P16TS0[2:0] 分周比	0	R/W	θ: プリスケーラクロック選択レジスタ (0x40181)で選択 16bitタイマ0は ウォッチドッグタイマとして使用可
		D1	P16TS01	クロック分周比選択	1 1 1 θ/4096	0		
		D0	P16TS00		1 1 0 θ/1024	0		
					1 0 1 θ/256			
					1 0 0 θ/64			
					0 1 1 θ/16			
					0 1 0 θ/4			
					0 0 1 θ/2			
					0 0 0 θ/1			
16bitタイマ1 クロック コントロール レジスタ	0040148 (B)	D7–4	–	reserved	–	–	–	読み出し時: 0
		D3	P16TON1	16bitタイマ1クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS12	16bitタイマ1	P16TS1[2:0] 分周比	0	R/W	θ: プリスケーラクロック選択レジスタ (0x40181)で選択
		D1	P16TS11	クロック分周比選択	1 1 1 θ/4096	0		
		D0	P16TS10		1 1 0 θ/1024	0		
					1 0 1 θ/256			
					1 0 0 θ/64			
					0 1 1 θ/16			
					0 1 0 θ/4			
					0 0 1 θ/2			
					0 0 0 θ/1			
16bitタイマ2 クロック コントロール レジスタ	0040149 (B)	D7–4	–	reserved	–	–	–	読み出し時: 0
		D3	P16TON2	16bitタイマ2クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS22	16bitタイマ2	P16TS2[2:0] 分周比	0	R/W	θ: プリスケーラクロック選択レジスタ (0x40181)で選択
		D1	P16TS21	クロック分周比選択	1 1 1 θ/4096	0		
		D0	P16TS20		1 1 0 θ/1024	0		
					1 0 1 θ/256			
					1 0 0 θ/64			
					0 1 1 θ/16			
					0 1 0 θ/4			
					0 0 1 θ/2			
					0 0 0 θ/1			

[アドレス]の(B)は8ビットレジスタ、(HW)は16ビットレジスタを示しています。

[Init.]のシンボルの意味は次のとおりです。

0, 1: イニシャルリセット時、記載の値に初期化されます。
(ただし、バスと入出力ポートのレジスタはホットスタートでは初期化されません。)

X: イニシャルリセットで初期化されません。

–: 回路上設定されません。

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定				Init.	R/W	注　　釈
16bitタイマ3	**004014A**	D7–4	**–**	reserved	–				–	–	**読み出し時**: 0
クロック	**(B)**	D3	**P16TON3**	**16bitタイマ3クロック制御**	1	On	0	Off	0	R/W	
コントロール		D2	**P16TS32**	**16bitタイマ3**	P16TS3[2:0]			**分周比**	0	R/W	θ: **プリスケーラクロ**
レジスタ		D1	**P16TS31**	**クロック分周比選択**	1	1	1	θ/4096	0		**ック選択レジスタ**
		D0	**P16TS30**		1	1	0	θ/1024	0		**(**0x40181**)で選択**
					1	0	1	θ/256			
					1	0	0	θ/64			
					0	1	1	θ/16			
					0	1	0	θ/4			
					0	0	1	θ/2			
					0	0	0	θ/1			
16bitタイマ4	**004014B**	D7–4	**–**	reserved	–				–	–	**読み出し時**: 0
クロック	**(B)**	D3	**P16TON4**	**16bitタイマ4クロック制御**	1	On	0	Off	0	R/W	
コントロール		D2	**P16TS42**	**16bitタイマ4**	P16TS4[2:0]			**分周比**	0	R/W	θ: **プリスケーラクロ**
レジスタ		D1	**P16TS41**	**クロック分周比選択**	1	1	1	θ/4096	0		**ック選択レジスタ**
		D0	**P16TS40**		1	1	0	θ/1024	0		**(**0x40181**)で選択**
					1	0	1	θ/256			
					1	0	0	θ/64			
					0	1	1	θ/16			
					0	1	0	θ/4			
					0	0	1	θ/2			
					0	0	0	θ/1			
16bitタイマ5	**004014C**	D7–4	**–**	reserved	–				–	–	**読み出し時**: 0
クロック	**(B)**	D3	**P16TON5**	**16bitタイマ5クロック制御**	1	On	0	Off	0	R/W	
コントロール		D2	**P16TS52**	**16bitタイマ5**	P16TS5[2:0]			**分周比**	0	R/W	θ: **プリスケーラクロ**
レジスタ		D1	**P16TS51**	**クロック分周比選択**	1	1	1	θ/4096	0		**ック選択レジスタ**
		D0	**P16TS50**		1	1	0	θ/1024	0		**(**0x40181**)で選択**
					1	0	1	θ/256			
					1	0	0	θ/64			
					0	1	1	θ/16			
					0	1	0	θ/4			
					0	0	1	θ/2			
					0	0	0	θ/1			
8bitタイマ0/1	**004014D**	D7	**P8TON1**	**8bitタイマ1クロック制御**	1	On	0	Off	0	R/W	
クロック	**(B)**	D6	**P8TS12**	**8bitタイマ1**	P8TS1[2:0]			**分周比**	0	R/W	θ: **プリスケーラクロ**
コントロール		D5	**P8TS11**	**クロック分周比選択**	1	1	1	θ/4096	0		**ック選択レジスタ**
レジスタ		D4	**P8TS10**		1	1	0	θ/2048	0		**(**0x40181**)で選択**
					1	0	1	θ/1024			
					1	0	0	θ/512			**8bitタイマ1は**
					0	1	1	θ/256			**OSC3発振安定時間**
					0	1	0	θ/128			**のクロックを生成**
					0	0	1	θ/64			
					0	0	0	θ/32			
		D3	**P8TON0**	**8bitタイマ0クロック制御**	1	On	0	Off	0	R/W	
		D2	**P8TS02**	**8bitタイマ0**	P8TS0[2:0]			**分周比**	0	R/W	θ: **プリスケーラクロ**
		D1	**P8TS01**	**クロック分周比選択**	1	1	1	θ/256	0		**ック選択レジスタ**
		D0	**P8TS00**		1	1	0	θ/128	0		**(**0x40181**)で選択**
					1	0	1	θ/64			
					1	0	0	θ/32			**8bitタイマ0は**
					0	1	1	θ/16			**DRAMリフレッシュ**
					0	1	0	θ/8			**のクロックを生成**
					0	0	1	θ/4			
					0	0	0	θ/2			

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
8bitタイマ2/3 クロック コントロール レジスタ	004014E (B)	D7	P8TON3	8bitタイマ3クロック制御	1 On　0 Off	0	R/W	
		D6	P8TS32	8bitタイマ3	P8TS3[2:0] 分周比	0	R/W	θ: プリスケーラクロック選択レジスタ (0x40181)で選択 8bitタイマ3は シリアルI/F Ch.1の クロックを生成
		D5	P8TS31	クロック分周比選択	1 1 1 θ/256	0		
		D4	P8TS30		1 1 0 θ/128	0		
					1 0 1 θ/64			
					1 0 0 θ/32			
					0 1 1 θ/16			
					0 1 0 θ/8			
					0 0 1 θ/4			
					0 0 0 θ/2			
		D3	P8TON2	8bitタイマ2クロック制御	1 On　0 Off	0	R/W	
		D2	P8TS22	8bitタイマ2	P8TS2[2:0] 分周比	0	R/W	θ: プリスケーラクロック選択レジスタ (0x40181)で選択 8bitタイマ2は シリアルI/F Ch.0の クロックを生成
		D1	P8TS21	クロック分周比選択	1 1 1 θ/4096	0		
		D0	P8TS20		1 1 0 θ/2048	0		
					1 0 1 θ/64			
					1 0 0 θ/32			
					0 1 1 θ/16			
					0 1 0 θ/8			
					0 0 1 θ/4			
					0 0 0 θ/2			
A/Dクロック コントロール レジスタ	004014F (B)	D7–4	–	reserved	–	–	–	読み出し時: 0
		D3	PSONAD	A/D変換器クロック制御	1 On　0 Off	0	R/W	
		D2	PSAD2	A/D変換器クロック分周比選択	P8TS0[2:0] 分周比	0	R/W	θ: プリスケーラクロック選択レジスタ (0x40181)で選択
		D1	PSAD1		1 1 1 θ/256	0		
		D0	PSAD0		1 1 0 θ/128	0		
					1 0 1 θ/64			
					1 0 0 θ/32			
					0 1 1 θ/16			
					0 1 0 θ/8			
					0 0 1 θ/4			
					0 0 0 θ/2			
計時タイマ Run/Stop レジスタ	0040151 (B)	D7–2	–	reserved	–	–	–	読み出し時: 0
		D1	TCRST	計時タイマリセット	1 リセット　0 無効	X	W	読み出し時: 0
		D0	TCRUN	計時タイマRun/Stop制御	1 Run　0 Stop	X	R/W	
計時タイマ 割り込み制御 レジスタ	0040152 (B)	D7	TCISE2	計時タイマ割り込み要因選択	TCISE[2:0] 割り込み要因	X	R/W	
		D6	TCISE1		1 1 1 なし	X		
		D5	TCISE0		1 1 0 1日	X		
					1 0 1 1時間			
					1 0 0 1分			
					0 1 1 1Hz			
					0 1 0 2Hz			
					0 0 1 8Hz			
					0 0 0 32Hz			
		D4	TCASE2	計時タイマアラーム要因選択	TCASE[2:0] アラーム要因	X	R/W	
		D3	TCASE1		1 X X 日アラーム	X		
		D2	TCASE0		X 1 X 時間アラーム	X		
					X X 1 分アラーム			
					0 0 0 なし			
		D1	TCIF	割り込み要因発生フラグ	1 要因あり　0 要因なし	X	R/W	"1"書き込みでリセット
		D0	TCAF	アラーム要因発生フラグ	1 要因あり　0 要因なし	X	R/W	"1"書き込みでリセット
計時タイマ 分周レジスタ	0040153 (B)	D7	TCD7	計時タイマデータ 1Hz	1 High　0 Low	X	R	
		D6	TCD6	計時タイマデータ 2Hz	1 High　0 Low	X	R	
		D5	TCD5	計時タイマデータ 4Hz	1 High　0 Low	X	R	
		D4	TCD4	計時タイマデータ 8Hz	1 High　0 Low	X	R	
		D3	TCD3	計時タイマデータ 16Hz	1 High　0 Low	X	R	
		D2	TCD2	計時タイマデータ 32Hz	1 High　0 Low	X	R	
		D1	TCD1	計時タイマデータ 64Hz	1 High　0 Low	X	R	
		D0	TCD0	計時タイマデータ 128Hz	1 High　0 Low	X	R	
計時タイマ 秒レジスタ	0040154 (B)	D7–6	–	reserved	–	–	–	読み出し時: 0
		D5	TCMD5	計時タイマ秒データ	0〜59秒	X	R	
		D4	TCMD4	TCMD5 = MSB		X		
		D3	TCMD3	TCMD0 = LSB		X		
		D2	TCMD2			X		
		D1	TCMD1			X		
		D0	TCMD0			X		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
計時タイマ	0040155	D7–6	–	reserved	–	–	–	読み出し時: 0
分レジスタ	(B)	D5	TCHD5	計時タイマ分データ	0～59分	X	R/W	
		D4	TCHD4	TCHD5 = MSB		X		
		D3	TCHD3	TCHD0 = LSB		X		
		D2	TCHD2			X		
		D1	TCHD1			X		
		D0	TCHD0			X		
計時タイマ	0040156	D7–5	–	reserved	–	–	–	読み出し時: 0
時間レジスタ	(B)	D4	TCDD4	計時タイマ時間データ	0～23時	X	R/W	
		D3	TCDD3	TCDD4 = MSB		X		
		D2	TCDD2	TCDD0 = LSB		X		
		D1	TCDD1			X		
		D0	TCDD0			X		
計時タイマ	0040157	D7	TCND7	計時タイマ日データ	0～65535日	X	R/W	
日(下位)	(B)	D6	TCND6	(下位8ビット)	(下位8ビット)	X		
レジスタ		D5	TCND5	TCND0 = LSB		X		
		D4	TCND4			X		
		D3	TCND3			X		
		D2	TCND2			X		
		D1	TCND1			X		
		D0	TCND0			X		
計時タイマ	0040158	D7	TCND15	計時タイマ日データ	0～65535日	X	R/W	
日(上位)	(B)	D6	TCND14	(上位8ビット)	(上位8ビット)	X		
レジスタ		D5	TCND13	TCND15 = MSB		X		
		D4	TCND12			X		
		D3	TCND11			X		
		D2	TCND10			X		
		D1	TCND9			X		
		D0	TCND8			X		
計時タイマ	0040159	D7–6	–	reserved	–	–	–	読み出し時: 0
分比較レジスタ	(B)	D5	TCCH5	計時タイマ分比較データ	0～59分	X	R/W	
		D4	TCCH4	TCCH5 = MSB	(注)0～63を設定可能	X		
		D3	TCCH3	TCCH0 = LSB		X		
		D2	TCCH2			X		
		D1	TCCH1			X		
		D0	TCCH0			X		
計時タイマ	004015A	D7–5	–	reserved	–	–	–	読み出し時: 0
時間比較	(B)	D4	TCCD4	計時タイマ時間比較データ	0～23時	X	R/W	
レジスタ		D3	TCCD3	TCCD4 = MSB	(注)0～31を設定可能	X		
		D2	TCCD2	TCCD0 = LSB		X		
		D1	TCCD1			X		
		D0	TCCD0			X		
計時タイマ	004015B	D7–5	–	reserved	–	–	–	読み出し時: 0
日比較レジスタ	(B)	D4	TCCN4	計時タイマ日比較データ	0～31日	X	R/W	TCND[4:0]と比較
		D3	TCCN3	TCCN4 = MSB		X		
		D2	TCCN2	TCCN0 = LSB		X		
		D1	TCCN1			X		
		D0	TCCN0			X		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
8bitタイマ0 制御レジスタ	0040160 (B)	D7–3	–	reserved	–	–	–	読み出し時: 0
		D2	PTOUT0	8bitタイマ0クロック出力制御	1 On 0 Off	0	R/W	
		D1	PSET0	8bitタイマ0プリセット	1 プリセット 0 無効	–	W	読み出し時: 0
		D0	PTRUN0	8bitタイマ0 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ0 リロードデータ レジスタ	0040161 (B)	D7	RLD07	8bitタイマ0	0〜255	X	R/W	
		D6	RLD06	リロードデータ		X		
		D5	RLD05	RLD07 = MSB		X		
		D4	RLD04	RLD00 = LSB		X		
		D3	RLD03			X		
		D2	RLD02			X		
		D1	RLD01			X		
		D0	RLD00			X		
8bitタイマ0 カウントデータ レジスタ	0040162 (B)	D7	PTD07	8bitタイマ0カウントデータ	0〜255	X	R	
		D6	PTD06	PTD07 = MSB		X		
		D5	PTD05	PTD00 = LSB		X		
		D4	PTD04			X		
		D3	PTD03			X		
		D2	PTD02			X		
		D1	PTD01			X		
		D0	PTD00			X		
8bitタイマ1 制御レジスタ	0040164 (B)	D7–3	–	reserved	–	–	–	読み出し時: 0
		D2	PTOUT1	8bitタイマ1クロック出力制御	1 On 0 Off	0	R/W	
		D1	PSET1	8bitタイマ1プリセット	1 プリセット 0 無効	–	W	読み出し時: 0
		D0	PTRUN1	8bitタイマ1 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ1 リロードデータ レジスタ	0040165 (B)	D7	RLD17	8bitタイマ1	0〜255	X	R/W	
		D6	RLD16	リロードデータ		X		
		D5	RLD15	RLD17 = MSB		X		
		D4	RLD14	RLD10 = LSB		X		
		D3	RLD13			X		
		D2	RLD12			X		
		D1	RLD11			X		
		D0	RLD10			X		
8bitタイマ1 カウントデータ レジスタ	0040166 (B)	D7	PTD17	8bitタイマ1カウントデータ	0〜255	X	R	
		D6	PTD16	PTD17 = MSB		X		
		D5	PTD15	PTD10 = LSB		X		
		D4	PTD14			X		
		D3	PTD13			X		
		D2	PTD12			X		
		D1	PTD11			X		
		D0	PTD10			X		
8bitタイマ2 制御レジスタ	0040168 (B)	D7–3	–	reserved	–	–	–	読み出し時: 0
		D2	PTOUT2	8bitタイマ2クロック出力制御	1 On 0 Off	0	R/W	
		D1	PSET2	8bitタイマ2プリセット	1 プリセット 0 無効	–	W	読み出し時: 0
		D0	PTRUN2	8bitタイマ2 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ2 リロードデータ レジスタ	0040169 (B)	D7	RLD27	8bitタイマ2	0〜255	X	R/W	
		D6	RLD26	リロードデータ		X		
		D5	RLD25	RLD27 = MSB		X		
		D4	RLD24	RLD20 = LSB		X		
		D3	RLD23			X		
		D2	RLD22			X		
		D1	RLD21			X		
		D0	RLD20			X		
8bitタイマ2 カウントデータ レジスタ	004016A (B)	D7	PTD27	8bitタイマ2カウントデータ	0〜255	X	R	
		D6	PTD26	PTD27 = MSB		X		
		D5	PTD25	PTD20 = LSB		X		
		D4	PTD24			X		
		D3	PTD23			X		
		D2	PTD22			X		
		D1	PTD21			X		
		D0	PTD20			X		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定				Init.	R/W	注　　釈
8bitタイマ3 制御レジスタ	004016C (B)	D7–3	–	reserved	–				–	–	読み出し時: 0
		D2	PTOUT3	8bitタイマ3クロック出力制御	1	On	0	Off	0	R/W	
		D1	PSET3	8bitタイマ3プリセット	1	プリセット	0	無効	–	W	読み出し時: 0
		D0	PTRUN3	8bitタイマ3 Run/Stop制御	1	Run	0	Stop	0	R/W	
8bitタイマ3 リロードデータ レジスタ	004016D (B)	D7	RLD37	8bitタイマ3 リロードデータ RLD37 = MSB RLD30 = LSB	0〜255				X	R/W	
		D6	RLD36						X		
		D5	RLD35						X		
		D4	RLD34						X		
		D3	RLD33						X		
		D2	RLD32						X		
		D1	RLD31						X		
		D0	RLD30						X		
8bitタイマ3 カウントデータ レジスタ	004016E (B)	D7	PTD37	8bitタイマ3カウントデータ PTD37 = MSB PTD30 = LSB	0〜255				X	R	
		D6	PTD36						X		
		D5	PTD35						X		
		D4	PTD34						X		
		D3	PTD33						X		
		D2	PTD32						X		
		D1	PTD31						X		
		D0	PTD30						X		
8bitタイマ4 制御レジスタ	0040174 (B)	D7–3	–	reserved	–				–	–	読み出し時: 0
		D2	PTOUT4	8bitタイマ4出力制御	1	On	0	Off	0	R/W	
		D1	PSET4	8bitタイマ4プリセット	1	プリセット	0	無効	–	W	読み出し時: 0
		D0	PTRUN4	8bitタイマ4 Run/Stop制御	1	Run	0	Stop	0	R/W	
8bitタイマ4 リロードデータ レジスタ	0040175 (B)	D7	RLD47	8bitタイマ4 リロードデータ RLD47 = MSB RLD40 = LSB	0〜255				X	R/W	
		D6	RLD46						X		
		D5	RLD45						X		
		D4	RLD44						X		
		D3	RLD43						X		
		D2	RLD42						X		
		D1	RLD41						X		
		D0	RLD40						X		
8bitタイマ4 カウントデータ レジスタ	0040176 (B)	D7	PTD47	8bitタイマ4 カウントデータ PTD47 = MSB PTD40 = LSB	0〜255				X	R	
		D6	PTD46						X		
		D5	PTD45						X		
		D4	PTD44						X		
		D3	PTD43						X		
		D2	PTD42						X		
		D1	PTD41						X		
		D0	PTD40						X		
8bitタイマ5 制御レジスタ	0040178 (B)	D7–3	–	reserved	–				–	–	読み出し時: 0
		D2	PTOUT5	8bitタイマ5出力制御	1	On	0	Off	0	R/W	
		D1	PSET5	8bitタイマ5プリセット	1	プリセット	0	無効	–	W	読み出し時: 0
		D0	PTRUN5	8bitタイマ5 Run/Stop制御	1	Run	0	Stop	0	R/W	
8bitタイマ5 リロードデータ レジスタ	0040179 (B)	D7	RLD57	8bitタイマ5 リロードデータ RLD57 = MSB RLD50 = LSB	0〜255				X	R/W	
		D6	RLD56						X		
		D5	RLD55						X		
		D4	RLD54						X		
		D3	RLD53						X		
		D2	RLD52						X		
		D1	RLD51						X		
		D0	RLD50						X		
8bitタイマ5 カウントデータ レジスタ	004017A (B)	D7	PTD57	8bitタイマ5 カウントデータ PTD57 = MSB PTD50 = LSB	0〜255				X	R	
		D6	PTD56						X		
		D5	PTD55						X		
		D4	PTD54						X		
		D3	PTD53						X		
		D2	PTD52						X		
		D1	PTD51						X		
		D0	PTD50						X		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
ウォッチドッグタイマ書き込み保護レジスタ	**0040170 (B)**	D7	**WRWD**	**EWD書き込み保護**	1 **書込許可** 0 **書込禁止**	0	R/W	
		D6–0	**–**	–	–	–	–	**読み出し時**: 0
ウォッチドッグタイマイネーブルレジスタ	**0040171 (B)**	D7–2	**–**	–	–	–	–	**読み出し時**: 0
		D1	**EWD**	**ウォッチドッグタイマイネーブル**	1 **NMI許可** 0 **NMI禁止**	0	R/W	
		D0	**–**	–	–	–	–	**読み出し時**: 0

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
パワー	**0040180**	D7	**CLKDT1**	**システムクロック分周比選択**	CLKDT[1:0] **分周比**	0	R/W	
コントロール	**(B)**	D6	**CLKDT0**		1 1 1/8	0		
レジスタ					1 0 1/4			
					0 1 1/2			
					0 0 1/1			
		D5	**PSCON**	**プリスケーラOn/Off制御**	1 **On** 0 **Off**	1	R/W	
		D4–3	**–**	**reserved**	–	0	–	**1書き込み禁止**
		D2	**CLKCHG**	**CPU動作クロック切り換え**	1 **OSC3** 0 **OSC1**	1	R/W	
		D1	**SOSC3**	**高速(OSC3)発振On/Off制御**	1 On 0 Off	1	R/W	
		D0	**SOSC1**	**低速(OSC1)発振On/Off制御**	1 On 0 Off	1	R/W	
プリスケーラ	**0040181**	D7–1	**–**	**reserved**	–	0	–	
クロック選択	**(B)**							
レジスタ		D0	**PSCDT0**	**プリスケーラクロック選択**	1 OSC1 0 OSC3/PLL	0	R/W	
クロック	**0040190**	D7–4	**–**	–	–	–	–	**読み出し時**: 0
オプション	**(B)**	D3	**HLT2OP**	HALT**クロックオプション**	1 On 0 Off	0	R/W	
レジスタ		D2	**8T1ON**	**高速(OSC3)発振待ち時間On**	1 Off 0 On	1	R/W	
		D1	**–**	**reserved**	–	0	–	**1書き込み禁止**
		D0	**PF1ON**	**OSC1外部出力On/Off制御**	1 On 0 Off	0	R/W	
パワー	**004019E**	D7	**CLGP7**	**パワーコントロールレジスタ**	**10010110(0x96)書き込みにより**	0	R/W	
コントロール	**(B)**	D6	**CLGP6**	**保護フラグ**	**パワーコントロールレジスタ**	0		
レジスタ		D5	**CLGP5**		**(0x40180)、クロックオプション**	0		
保護レジスタ		D4	**CLGP4**		**レジスタ(0x40190)の書き込み保**	0		
		D3	**CLGP3**		**護を解除**	0		
		D2	**CLGP2**		**それ以外は書き込み禁止に設定**	0		
		D1	**CLGP1**			0		
		D0	**CLGP0**			0		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
シリアルI/F Ch.0送信データレジスタ	00401E0 (B)	D7	TXD07	シリアルI/F Ch.0 送信データ TXD07(06) = MSB TXD00 = LSB	0x0～0xFF(0x7F)	X	R/W	調歩同期式7ビットモードの場合、TXD07は無効
		D6	TXD06			X		
		D5	TXD05			X		
		D4	TXD04			X		
		D3	TXD03			X		
		D2	TXD02			X		
		D1	TXD01			X		
		D0	TXD00			X		
シリアルI/F Ch.0受信データレジスタ	00401E1 (B)	D7	RXD07	シリアルI/F Ch.0 受信データ RXD07(06) = MSB RXD00 = LSB	0x0～0xFF(0x7F)	X	R	調歩同期式7ビットモードの場合、RXD07は無効(0固定)
		D6	RXD06			X		
		D5	RXD05			X		
		D4	RXD04			X		
		D3	RXD03			X		
		D2	RXD02			X		
		D1	RXD01			X		
		D0	RXD00			X		
シリアルI/F Ch.0ステータスレジスタ	00401E2 (B)	D7–6	–	–	–	–	–	読み出し時: 0
		D5	TEND0	Ch.0転送終了フラグ	1 転送中 0 終了	0	R	
		D4	FER0	Ch.0フレーミングエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D3	PER0	Ch.0パリティエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D2	OER0	Ch.0オーバーランエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D1	TDBE0	Ch.0送信データバッファエンプティ	1 エンプティ 0 バッファフル	1	R	
		D0	RDBF0	Ch.0受信データバッファフル	1 バッファフル 0 エンプティ	0	R	
シリアルI/F Ch.0制御レジスタ	00401E3 (B)	D7	TXEN0	Ch.0送信許可	1 許可 0 禁止	0	R/W	
		D6	RXEN0	Ch.0受信許可	1 許可 0 禁止	0	R/W	
		D5	EPR0	Ch.0パリティイネーブル	1 パリティ付 0 パリティなし	X	R/W	調歩同期式モード時のみ有効
		D4	PMD0	Ch.0パリティモード選択	1 奇数 0 偶数	X	R/W	
		D3	STPB0	Ch.0ストップビット選択	1 2bit 0 1bit	X	R/W	
		D2	SSCK0	Ch.0入力クロック選択	1 #SCLK0 0 内部クロック	X	R/W	
		D1	SMD01	Ch.0転送モード選択	SMD0[1:0] 転送モード	X	R/W	
		D0	SMD00		1 1 調歩同期式8bit	X		
					1 0 調歩同期式7bit			
					0 1 クロック同期スレーブ			
					0 0 クロック同期マスタ			
シリアルI/F Ch.0 IrDAレジスタ	00401E4 (B)	D7–5	–	–	–	–	–	読み出し時: 0
		D4	DIVMD0	Ch.0調歩同期クロック分周比	1 1/8 0 1/16	X	R/W	
		D3	IRTL0	Ch.0 IrDA I/F出力論理反転	1 反転 0 反転なし	X	R/W	調歩同期式モード時のみ有効
		D2	IRRL0	Ch.0 IrDA I/F入力論理反転	1 反転 0 反転なし	X	R/W	
		D1	IRMD01	Ch.0インタフェースモード	IRMD0[1:0] I/Fモード	X	R/W	
		D0	IRMD00	選択	1 1 reserved	X		
					1 0 IrDA 1.0			
					0 1 reserved			
					0 0 通常のI/F			

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
シリアルI/F Ch.1送信データレジスタ	00401E5 (B)	D7	TXD17	シリアルI/F Ch.1 送信データ TXD17(16) = MSB TXD10 = LSB	0x0～0xFF(0x7F)	X	R/W	調歩同期式7ビットモードの場合、TXD17は無効
		D6	TXD16			X		
		D5	TXD15			X		
		D4	TXD14			X		
		D3	TXD13			X		
		D2	TXD12			X		
		D1	TXD11			X		
		D0	TXD10			X		
シリアルI/F Ch.1受信データレジスタ	00401E6 (B)	D7	RXD17	シリアルI/F Ch.1 受信データ RXD17(16) = MSB RXD10 = LSB	0x0～0xFF(0x7F)	X	R	調歩同期式7ビットモードの場合、RXD17は無効(0固定)
		D6	RXD16			X		
		D5	RXD15			X		
		D4	RXD14			X		
		D3	RXD13			X		
		D2	RXD12			X		
		D1	RXD11			X		
		D0	RXD10			X		
シリアルI/F Ch.1ステータスレジスタ	00401E7 (B)	D7–6	–	–	–	–	–	読み出し時: 0
		D5	TEND1	Ch.1転送終了フラグ	1 転送中 0 終了	0	R	
		D4	FER1	Ch.1フレーミングエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D3	PER1	Ch.1パリティエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D2	OER1	Ch.1オーバーランエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D1	TDBE1	Ch.1送信データバッファエンプティ	1 エンプティ 0 バッファフル	1	R	
		D0	RDBF1	Ch.1受信データバッファフル	1 バッファフル 0 エンプティ	0	R	
シリアルI/F Ch.1制御レジスタ	00401E8 (B)	D7	TXEN1	Ch.1送信許可	1 許可 0 禁止	0	R/W	
		D6	RXEN1	Ch.1受信許可	1 許可 0 禁止	0	R/W	
		D5	EPR1	Ch.1パリティイネーブル	1 パリティ付 0 パリティなし	X	R/W	調歩同期式モード時のみ有効
		D4	PMD1	Ch.1パリティモード選択	1 奇数 0 偶数	X	R/W	
		D3	STPB1	Ch.1ストップビット選択	1 2bit 0 1bit	X	R/W	
		D2	SSCK1	Ch.1入力クロック選択	1 #SCLK1 0 内部クロック	X	R/W	
		D1	SMD11	Ch.1転送モード選択	SMD1[1:0] 転送モード	X	R/W	
		D0	SMD10		1 1 調歩同期式8bit	X		
					1 0 調歩同期式7bit			
					0 1 クロック同期スレーブ			
					0 0 クロック同期マスタ			
シリアルI/F Ch.1 IrDAレジスタ	00401E9 (B)	D7–5	–	–	–	–	–	読み出し時: 0
		D4	DIVMD1	Ch.1調歩同期クロック分周比	1 1/8 0 1/16	X	R/W	
		D3	IRTL1	Ch.1 IrDA I/F出力論理反転	1 反転 0 反転なし	X	R/W	調歩同期式モード時のみ有効
		D2	IRRL1	Ch.1 IrDA I/F入力論理反転	1 反転 0 反転なし	X	R/W	
		D1	IRMD11	Ch.1インタフェースモード選択	IRMD1[1:0] I/Fモード	X	R/W	
		D0	IRMD10		1 1 reserved	X		
					1 0 IrDA 1.0			
					0 1 reserved			
					0 0 通常のI/F			
シリアルI/F Ch.2送信データレジスタ	00401F0 (B)	D7	TXD27	シリアルI/F Ch.2 送信データ TXD27(26) = MSB TXD20 = LSB	0x0～0xFF(0x7F)	X	R/W	
		D6	TXD26			X		
		D5	TXD25			X		
		D4	TXD24			X		
		D3	TXD23			X		
		D2	TXD22			X		
		D1	TXD21			X		
		D0	TXD20			X		
シリアルI/F Ch.2受信データレジスタ	00401F1 (B)	D7	RXD27	シリアルI/F Ch.2 受信データ RXD27(26) = MSB RXD20 = LSB	0x0～0xFF(0x7F)	X	R	
		D6	RXD26			X		
		D5	RXD25			X		
		D4	RXD24			X		
		D3	RXD23			X		
		D2	RXD22			X		
		D1	RXD21			X		
		D0	RXD20			X		
シリアルI/F Ch.2ステータスレジスタ	00401F2 (B)	D7–6	–	reserved	–	–	–	読み出し時: 0
		D5	TEND2	Ch.2転送終了フラグ	1 転送中 0 終了	0	R	
		D4	FER2	Ch.2フレーミングエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D3	PER2	Ch.2パリティエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D2	OER2	Ch.2オーバーランエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D1	TDBE2	Ch.2送信データバッファエンプティ	1 エンプティ 0 バッファフル	1	R	
		D0	RDBF2	Ch.2受信データバッファフル	1 バッファフル 0 エンプティ	0	R	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
シリアルI/F Ch.2制御レジスタ	00401F3 (B)	D7	TXEN2	Ch.2送信許可	1 許可 0 禁止	0	R/W	
		D6	RXEN2	Ch.2受信許可	1 許可 0 禁止	0	R/W	
		D5	EPR2	Ch.2パリティイネーブル	1 パリティ付 0 パリティなし	X	R/W	調歩同期式モード時
		D4	PMD2	Ch.2パリティモード選択	1 奇数 0 偶数	X	R/W	のみ有効
		D3	STPB2	Ch.2ストップビット選択	1 2bit 0 1bit	X	R/W	
		D2	SSCK2	Ch.2入力クロック選択	1 #SCLK2 0 内部クロック	X	R/W	
		D1	SMD21	Ch.2転送モード選択	SMD2[1:0] 転送モード	X	R/W	
		D0	SMD20		1 1 調歩同期式8bit	X		
					1 0 調歩同期式7bit			
					0 1 クロック同期スレーブ			
					0 0 クロック同期マスタ			
シリアルI/F Ch.2 IrDA レジスタ	00401F4 (B)	D7–5	–	reserved	–	–	–	読み出し時: 0
		D4	DIVMD2	Ch.2調歩同期クロック分周比	1 1/8 0 1/16	X	R/W	
		D3	IRTL2	Ch.2 IrDA I/F出力論理反転	1 反転 0 反転なし	X	R/W	調歩同期式モード時
		D2	IRRL2	Ch.2 IrDA I/F入力論理反転	1 反転 0 反転なし	X	R/W	のみ有効
		D1	IRMD21	Ch.2インタフェースモード	IRMD2[1:0] I/Fモード	X	R/W	
		D0	IRMD20	選択	1 1 reserved	X		
					1 0 IrDA 1.0			
					0 1 reserved			
					0 0 通常のI/F			
シリアルI/F Ch.3送信データレジスタ	00401F5 (B)	D7	TXD37	シリアルI/F Ch.3	0x0～0xFF(0x7F)	X	R/W	
		D6	TXD36	送信データ		X		
		D5	TXD35	TXD37(36) = MSB		X		
		D4	TXD34	TXD30 = LSB		X		
		D3	TXD33			X		
		D2	TXD32			X		
		D1	TXD31			X		
		D0	TXD30			X		
シリアルI/F Ch.3受信データレジスタ	00401F6 (B)	D7	RXD37	シリアルI/F Ch.3	0x0～0xFF(0x7F)	X	R	
		D6	RXD36	受信データ		X		
		D5	RXD35	RXD37(36) = MSB		X		
		D4	RXD34	RXD30 = LSB		X		
		D3	RXD33			X		
		D2	RXD32			X		
		D1	RXD31			X		
		D0	RXD30			X		
シリアルI/F Ch.3ステータスレジスタ	00401F7 (B)	D7–6	–	reserved	–	–	–	読み出し時: 0
		D5	TEND3	Ch.3転送終了フラグ	1 転送中 0 終了	0	R	
		D4	FER3	Ch.3フレーミングエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D3	PER3	Ch.3パリティエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D2	OER3	Ch.3オーバーランエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
		D1	TDBE3	Ch.3送信データバッファエンプティ	1 エンプティ 0 バッファフル	1	R	
		D0	RDBF3	Ch.3受信データバッファフル	1 バッファフル 0 エンプティ	0	R	
シリアルI/F Ch.3制御レジスタ	00401F8 (B)	D7	TXEN3	Ch.3送信許可	1 許可 0 禁止	0	R/W	
		D6	RXEN3	Ch.3受信許可	1 許可 0 禁止	0	R/W	
		D5	EPR3	Ch.3パリティイネーブル	1 パリティ付 0 パリティなし	X	R/W	調歩同期式モード時
		D4	PMD3	Ch.3パリティモード選択	1 奇数 0 偶数	X	R/W	のみ有効
		D3	STPB3	Ch.3ストップビット選択	1 2bit 0 1bit	X	R/W	
		D2	SSCK3	Ch.3入力クロック選択	1 #SCLK3 0 内部クロック	X	R/W	
		D1	SMD31	Ch.3転送モード選択	SMD3[1:0] 転送モード	X	R/W	
		D0	SMD30		1 1 調歩同期式8bit	X		
					1 0 調歩同期式7bit			
					0 1 クロック同期スレーブ			
					0 0 クロック同期マスタ			
シリアルI/F Ch.3 IrDA レジスタ	00401F9 (B)	D7–5	–	reserved	–	–	–	読み出し時: 0
		D4	DIVMD3	Ch.3調歩同期クロック分周比	1 1/8 0 1/16	X	R/W	
		D3	IRTL3	Ch.3 IrDA I/F出力論理反転	1 反転 0 反転なし	X	R/W	調歩同期式モード時
		D2	IRRL3	Ch.3 IrDA I/F入力論理反転	1 反転 0 反転なし	X	R/W	のみ有効
		D1	IRMD31	Ch.3インタフェースモード	IRMD3[1:0] I/Fモード	X	R/W	
		D0	IRMD30	選択	1 1 reserved	X		
					1 0 IrDA 1.0			
					0 1 reserved			
					0 0 通常のI/F			

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
A/D変換結果	0040240	D7	ADD7	A/D変換結果(下位8ビット)	0x0～0x3FF	0	R	
(下位)レジスタ	(B)	D6	ADD6	ADD0 = LSB	(下位8ビット)	0		
		D5	ADD5			0		
		D4	ADD4			0		
		D3	ADD3			0		
		D2	ADD2			0		
		D1	ADD1			0		
		D0	ADD0			0		
A/D変換結果	0040241	D7–2	–	–	–	–	–	読み出し時: 0
(上位)レジスタ	(B)	D1	ADD9	A/D変換結果(上位2ビット)	0x0～0x3FF	0	R	
		D0	ADD8	ADD9 = MSB	(上位2ビット)	0		
A/Dトリガ	0040242	D7–6	–	–	–	–	–	読み出し時: 0
レジスタ	(B)	D5	MS	A/D変換モード選択	1 連続モード 0 通常モード	0	R/W	
		D4	TS1	A/D変換トリガ選択	TS[1:0] トリガ	0	R/W	
		D3	TS0		1 1 #ADTRG端子	0		
					1 0 8bitタイマ0			
					0 1 16bitタイマ0			
					0 0 ソフトウェア			
		D2	CH2	A/D変換中チャネルステータス	CH[2:0] チャネル	0	R	
		D1	CH1		1 1 1 AD7	0		
		D0	CH0		1 1 0 AD6	0		
					1 0 1 AD5			
					1 0 0 AD4			
					0 1 1 AD3			
					0 1 0 AD2			
					0 0 1 AD1			
					0 0 0 AD0			
A/Dチャネル	0040243	D7–6	–	–	–	–	–	読み出し時: 0
レジスタ	(B)	D5	CE2	A/D変換終了チャネル設定	CE[2:0] 終了チャネル	0	R/W	
		D4	CE1		1 1 1 AD7	0		
		D3	CE0		1 1 0 AD6	0		
					1 0 1 AD5			
					1 0 0 AD4			
					0 1 1 AD3			
					0 1 0 AD2			
					0 0 1 AD1			
					0 0 0 AD0			
		D2	CS2	A/D変換開始チャネル設定	CS[2:0] 開始チャネル	0	R/W	
		D1	CS1		1 1 1 AD7	0		
		D0	CS0		1 1 0 AD6	0		
					1 0 1 AD5			
					1 0 0 AD4			
					0 1 1 AD3			
					0 1 0 AD2			
					0 0 1 AD1			
					0 0 0 AD0			
A/Dイネーブル	0040244	D7–4	–	–	–	–	–	読み出し時: 0
レジスタ	(B)	D3	ADF	変換終了フラグ	1 変換終了 0 変換/待機中	0	R	ADD読み出しでクリア
		D2	ADE	A/Dイネーブル	1 許可 0 禁止	0	R/W	
		D1	ADST	A/D変換制御/ステータス	1 開始/変換中 0 停止	0	R/W	
		D0	OWE	オーバーライトエラーフラグ	1 エラー 0 正常	0	R/W	0書き込みでクリア
A/Dサンプリン	0040245	D7–2	–	–	–	–	–	読み出し時: 0
グレジスタ	(B)	D1	ST1	入力サンプリング時間設定	ST[1:0] サンプリング時間	1	R/W	9クロックで使用して
		D0	ST0		1 1 9クロック	1		ください
					1 0 7クロック			
					0 1 5クロック			
					0 0 3クロック			

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
ポート入力	0040260	D7	–	reserved	–	–	–	読み出し時: 0
割り込み0/1	(B)	D6	PP1L2	ポート入力1	0～7	X	R/W	
プライオリティ		D5	PP1L1	割り込みレベル		X		
レジスタ		D4	PP1L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PP0L2	ポート入力0	0～7	X	R/W	
		D1	PP0L1	割り込みレベル		X		
		D0	PP0L0			X		
ポート入力	0040261	D7	–	reserved	–	–	–	読み出し時: 0
割り込み2/3	(B)	D6	PP3L2	ポート入力3	0～7	X	R/W	
プライオリティ		D5	PP3L1	割り込みレベル		X		
レジスタ		D4	PP3L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PP2L2	ポート入力2	0～7	X	R/W	
		D1	PP2L1	割り込みレベル		X		
		D0	PP2L0			X		
キー入力割り込	0040262	D7	–	reserved	–	–	–	読み出し時: 0
みプライオリテ	(B)	D6	PK1L2	キー入力1	0～7	X	R/W	
ィレジスタ		D5	PK1L1	割り込みレベル		X		
		D4	PK1L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PK0L2	キー入力0	0～7	X	R/W	
		D1	PK0L1	割り込みレベル		X		
		D0	PK0L0			X		
高速DMA	0040263	D7	–	reserved	–	–	–	読み出し時: 0
Ch.0/1割り込み	(B)	D6	PHSD1L2	高速DMA Ch.1	0～7	X	R/W	
プライオリティ		D5	PHSD1L1	割り込みレベル		X		
レジスタ		D4	PHSD1L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PHSD0L2	高速DMA Ch.0	0～7	X	R/W	
		D1	PHSD0L1	割り込みレベル		X		
		D0	PHSD0L0			X		
高速DMA	0040264	D7	–	reserved	–	–	–	読み出し時: 0
Ch.2/3割り込み	(B)	D6	PHSD3L2	高速DMA Ch.3	0～7	X	R/W	
プライオリティ		D5	PHSD3L1	割り込みレベル		X		
レジスタ		D4	PHSD3L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PHSD2L2	高速DMA Ch.2	0～7	X	R/W	
		D1	PHSD2L1	割り込みレベル		X		
		D0	PHSD2L0			X		
IDMA割り込み	0040265	D7–3	–	reserved	–	–	–	読み出し時: 0
プライオリティ	(B)	D2	PDM2	IDMA	0～7	X	R/W	
レジスタ		D1	PDM1	割り込みレベル		X		
		D0	PDM0			X		
16bitタイマ0/1	0040266	D7	–	reserved	–	–	–	読み出し時: 0
割り込み	(B)	D6	P16T12	16bitタイマ1	0～7	X	R/W	
プライオリティ		D5	P16T11	割り込みレベル		X		
レジスタ		D4	P16T10			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	P16T02	16bitタイマ0	0～7	X	R/W	
		D1	P16T01	割り込みレベル		X		
		D0	P16T00			X		
16bitタイマ2/3	0040267	D7	–	reserved	–	–	–	読み出し時: 0
割り込み	(B)	D6	P16T32	16bitタイマ3	0～7	X	R/W	
プライオリティ		D5	P16T31	割り込みレベル		X		
レジスタ		D4	P16T30			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	P16T22	16bitタイマ2	0～7	X	R/W	
		D1	P16T21	割り込みレベル		X		
		D0	P16T20			X		
16bitタイマ4/5	0040268	D7	–	reserved	–	–	–	読み出し時: 0
割り込み	(B)	D6	P16T52	16bitタイマ5	0～7	X	R/W	
プライオリティ		D5	P16T51	割り込みレベル		X		
レジスタ		D4	P16T50			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	P16T42	16bitタイマ4	0～7	X	R/W	
		D1	P16T41	割り込みレベル		X		
		D0	P16T40			X		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
8bitタイマ, シリアルI/F Ch.0 割り込みプライオリティレジスタ	0040269 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PSIO02	シリアルインタフェースCh.0	0〜7	X	R/W	
		D5	PSIO01	割り込みレベル		X		
		D4	PSIO00			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	P8TM2	8bitタイマ0–3	0〜7	X	R/W	
		D1	P8TM1	割り込みレベル		X		
		D0	P8TM0			X		
シリアルI/F Ch.1, A/D変換器割り込みプライオリティレジスタ	004026A (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PAD2	A/D変換器	0〜7	X	R/W	
		D5	PAD1	割り込みレベル		X		
		D4	PAD0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PSIO12	シリアルインタフェースCh.1	0〜7	X	R/W	
		D1	PSIO11	割り込みレベル		X		
		D0	PSIO10			X		
計時タイマ割り込みプライオリティレジスタ	004026B (B)	D7–3	–	reserved	–	–	–	1書き込み禁止
		D2	PCTM2	計時タイマ	0〜7	X	R/W	
		D1	PCTM1	割り込みレベル		X		
		D0	PCTM0			X		
ポート入力割り込み4/5プライオリティレジスタ	004026C (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PP5L2	ポート入力5	0〜7	X	R/W	
		D5	PP5L1	割り込みレベル		X		
		D4	PP5L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PP4L2	ポート入力4	0〜7	X	R/W	
		D1	PP4L1	割り込みレベル		X		
		D0	PP4L0			X		
ポート入力割り込み6/7プライオリティレジスタ	004026D (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	PP7L2	ポート入力7	0〜7	X	R/W	
		D5	PP7L1	割り込みレベル		X		
		D4	PP7L0			X		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	PP6L2	ポート入力6	0〜7	X	R/W	
		D1	PP6L1	割り込みレベル		X		
		D0	PP6L0			X		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
キー入力,	0040270	D7–6	–	reserved	–	–	–	読み出し時: 0
ポート入力0–3	(B)	D5	EK1	キー入力1	1 許可 0 禁止	0	R/W	
割り込み		D4	EK0	キー入力0		0	R/W	
イネーブル		D3	EP3	ポート入力3		0	R/W	
レジスタ		D2	EP2	ポート入力2		0	R/W	
		D1	EP1	ポート入力1		0	R/W	
		D0	EP0	ポート入力0		0	R/W	
DMA割り込み	0040271	D7–5	–	reserved	–	–	–	読み出し時: 0
イネーブル	(B)	D4	EIDMA	IDMA	1 許可 0 禁止	0	R/W	
レジスタ		D3	EHDM3	高速DMA Ch.3		0	R/W	
		D2	EHDM2	高速DMA Ch.2		0	R/W	
		D1	EHDM1	高速DMA Ch.1		0	R/W	
		D0	EHDM0	高速DMA Ch.0		0	R/W	
16bitタイマ0/1	0040272	D7	E16TC1	16bitタイマ1コンペアA	1 許可 0 禁止	0	R/W	
割り込み	(B)	D6	E16TU1	16bitタイマ1コンペアB		0	R/W	
イネーブル		D5-4	–	reserved	–	–	–	読み出し時: 0
レジスタ		D3	E16TC0	16bitタイマ0コンペアA	1 許可 0 禁止	0	R/W	
		D2	E16TU0	16bitタイマ0コンペアB		0	R/W	
		D1–0	–	reserved	–	–	–	読み出し時: 0
16bitタイマ2/3	0040273	D7	E16TC3	16bitタイマ3コンペアA	1 許可 0 禁止	0	R/W	
割り込み	(B)	D6	E16TU3	16bitタイマ3コンペアB		0	R/W	
イネーブル		D5-4	–	reserved	–	–	–	読み出し時: 0
レジスタ		D3	E16TC2	16bitタイマ2コンペアA	1 許可 0 禁止	0	R/W	
		D2	E16TU2	16bitタイマ2コンペアB		0	R/W	
		D1–0	–	reserved	–	–	–	読み出し時: 0
16bitタイマ4/5	0040274	D7	E16TC5	16bitタイマ5コンペアA	1 許可 0 禁止	0	R/W	
割り込み	(B)	D6	E16TU5	16bitタイマ5コンペアB		0	R/W	
イネーブル		D5-4	–	reserved	–	–	–	読み出し時: 0
レジスタ		D3	E16TC4	16bitタイマ4コンペアA	1 許可 0 禁止	0	R/W	
		D2	E16TU4	16bitタイマ4コンペアB		0	R/W	
		D1–0	–	reserved	–	–	–	読み出し時: 0
8bitタイマ	0040275	D7–4	–	reserved	–	–	–	読み出し時: 0
割り込み	(B)	D3	E8TU3	8bitタイマ3アンダーフロー	1 許可 0 禁止	0	R/W	
イネーブル		D2	E8TU2	8bitタイマ2アンダーフロー		0	R/W	
レジスタ		D1	E8TU1	8bitタイマ1アンダーフロー		0	R/W	
		D0	E8TU0	8bitタイマ0アンダーフロー		0	R/W	
シリアルI/F	0040276	D7–6	–	reserved	–	–	–	読み出し時: 0
割り込み	(B)	D5	ESTX1	SIF Ch.1送信バッファエンプティ	1 許可 0 禁止	0	R/W	
イネーブル		D4	ESRX1	SIF Ch.1受信バッファフル		0	R/W	
レジスタ		D3	ESERR1	SIF Ch.1受信エラー		0	R/W	
		D2	ESTX0	SIF Ch.0送信バッファエンプティ		0	R/W	
		D1	ESRX0	SIF Ch.0受信バッファフル		0	R/W	
		D0	ESERR0	SIF Ch.0受信エラー		0	R/W	
ポート入力4–7,	0040277	D7–6	–	reserved	–	–	–	読み出し時: 0
計時タイマ, A/D	(B)	D5	EP7	ポート入力7	1 許可 0 禁止	0	R/W	
割り込みイネー		D4	EP6	ポート入力6		0	R/W	
ブルレジスタ		D3	EP5	ポート入力5		0	R/W	
		D2	EP4	ポート入力4		0	R/W	
		D1	ECTM	計時タイマ		0	R/W	
		D0	EADE	A/D変換器		0	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定				Init.	R/W	注　　釈
キー入力,	0040280	D7–6	–	reserved	–				–	–	読み出し時: 0
ポート入力0–3	(B)	D5	FK1	キー入力1	1	要因発生	0	要因なし	X	R/W	
割り込み要因		D4	FK0	キー入力0					X	R/W	
フラグレジスタ		D3	FP3	ポート入力3					X	R/W	
		D2	FP2	ポート入力2					X	R/W	
		D1	FP1	ポート入力1					X	R/W	
		D0	FP0	ポート入力0					X	R/W	
DMA割り込み	0040281	D7–5	–	reserved	–				–	–	読み出し時: 0
要因フラグ	(B)	D4	FIDMA	IDMA	1	要因発生	0	要因なし	X	R/W	
レジスタ		D3	FHDM3	高速DMA Ch.3					X	R/W	
		D2	FHDM2	高速DMA Ch.2					X	R/W	
		D1	FHDM1	高速DMA Ch.1					X	R/W	
		D0	FHDM0	高速DMA Ch.0					X	R/W	
16bitタイマ0/1	0040282	D7	F16TC1	16bitタイマ1コンペアA	1	要因発生	0	要因なし	X	R/W	
割り込み	(B)	D6	F16TU1	16bitタイマ1コンペアB					X	R/W	
要因フラグ		D5–4	–	reserved	–				–	–	読み出し時: 0
レジスタ		D3	F16TC0	16bitタイマ0コンペアA	1	要因発生	0	要因なし	X	R/W	
		D2	F16TU0	16bitタイマ0コンペアB					X	R/W	
		D1–0	–	reserved	–				–	–	読み出し時: 0
16bitタイマ2/3	0040283	D7	F16TC3	16bitタイマ3コンペアA	1	要因発生	0	要因なし	X	R/W	
割り込み	(B)	D6	F16TU3	16bitタイマ3コンペアB					X	R/W	
要因フラグ		D5–4	–	reserved	–				–	–	読み出し時: 0
レジスタ		D3	F16TC2	16bitタイマ2コンペアA	1	要因発生	0	要因なし	X	R/W	
		D2	F16TU2	16bitタイマ2コンペアB					X	R/W	
		D1–0	–	reserved	–				–	–	読み出し時: 0
16bitタイマ4/5	0040284	D7	F16TC5	16bitタイマ5コンペアA	1	要因発生	0	要因なし	X	R/W	
割り込み	(B)	D6	F16TU5	16bitタイマ5コンペアB					X	R/W	
要因フラグ		D5–4	–	reserved	–				–	–	読み出し時: 0
レジスタ		D3	F16TC4	16bitタイマ4コンペアA	1	要因発生	0	要因なし	X	R/W	
		D2	F16TU4	16bitタイマ4コンペアB					X	R/W	
		D1–0	–	reserved	–				–	–	読み出し時: 0
8bitタイマ	0040285	D7–4	–	reserved	–				–	–	読み出し時: 0
割り込み	(B)	D3	F8TU3	8bitタイマ3アンダーフロー	1	要因発生	0	要因なし	X	R/W	
要因フラグ		D2	F8TU2	8bitタイマ2アンダーフロー					X	R/W	
レジスタ		D1	F8TU1	8bitタイマ1アンダーフロー					X	R/W	
		D0	F8TU0	8bitタイマ0アンダーフロー					X	R/W	
シリアルI/F	0040286	D7–6	–	reserved	–				–	–	読み出し時: 0
割り込み	(B)	D5	FSTX1	SIF Ch.1送信バッファエンプティ	1	要因発生	0	要因なし	X	R/W	
要因フラグ		D4	FSRX1	SIF Ch.1受信バッファフル					X	R/W	
レジスタ		D3	FSERR1	SIF Ch.1受信エラー					X	R/W	
		D2	FSTX0	SIF Ch.0送信バッファエンプティ					X	R/W	
		D1	FSRX0	SIF Ch.0受信バッファフル					X	R/W	
		D0	FSERR0	SIF Ch.0受信エラー					X	R/W	
ポート入力4–7,	0040287	D7–6	–	reserved	–				–	–	読み出し時: 0
計時タイマ, A/D	(B)	D5	FP7	ポート入力7	1	要因発生	0	要因なし	X	R/W	
割り込み要因		D4	FP6	ポート入力6					X	R/W	
フラグレジスタ		D3	FP5	ポート入力5					X	R/W	
		D2	FP4	ポート入力4					X	R/W	
		D1	FCTM	計時タイマ					X	R/W	
		D0	FADE	A/D変換器					X	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
ポート入力0–3, 高速DMA Ch.0/1, 16bitタイマ0 IDMAリクエストレジスタ	0040290 (B)	D7	R16TC0	16bitタイマ0コンペアA	1 IDMA要求 0 割り込み要求	0	R/W	
		D6	R16TU0	16bitタイマ0コンペアB		0	R/W	
		D5	RHDM1	高速DMA Ch.1		0	R/W	
		D4	RHDM0	高速DMA Ch.0		0	R/W	
		D3	RP3	ポート入力3		0	R/W	
		D2	RP2	ポート入力2		0	R/W	
		D1	RP1	ポート入力1		0	R/W	
		D0	RP0	ポート入力0		0	R/W	
16bitタイマ1–4 IDMAリクエストレジスタ	0040291 (B)	D7	R16TC4	16bitタイマ4コンペアA	1 IDMA要求 0 割り込み要求	0	R/W	
		D6	R16TU4	16bitタイマ4コンペアB		0	R/W	
		D5	R16TC3	16bitタイマ3コンペアA		0	R/W	
		D4	R16TU3	16bitタイマ3コンペアB		0	R/W	
		D3	R16TC2	16bitタイマ2コンペアA		0	R/W	
		D2	R16TU2	16bitタイマ2コンペアB		0	R/W	
		D1	R16TC1	16bitタイマ1コンペアA		0	R/W	
		D0	R16TU1	16bitタイマ1コンペアB		0	R/W	
16bitタイマ5, 8bitタイマ, シリアルI/F Ch.0 IDMAリクエストレジスタ	0040292 (B)	D7	RSTX0	SIF Ch.0送信バッファエンプティ	1 IDMA要求 0 割り込み要求	0	R/W	
		D6	RSRX0	SIF Ch.0受信バッファフル		0	R/W	
		D5	R8TU3	8bitタイマ3アンダーフロー		0	R/W	
		D4	R8TU2	8bitタイマ2アンダーフロー		0	R/W	
		D3	R8TU1	8bitタイマ1アンダーフロー		0	R/W	
		D2	R8TU0	8bitタイマ0アンダーフロー		0	R/W	
		D1	R16TC5	16bitタイマ5コンペアA		0	R/W	
		D0	R16TU5	16bitタイマ5コンペアB		0	R/W	
シリアルI/F Ch.1, A/D, ポート入力4–7 IDMAリクエストレジスタ	0040293 (B)	D7	RP7	ポート入力7	1 IDMA要求 0 割り込み要求	0	R/W	
		D6	RP6	ポート入力6		0	R/W	
		D5	RP5	ポート入力5		0	R/W	
		D4	RP4	ポート入力4		0	R/W	
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	RADE	A/D変換器	1 IDMA要求 0 割り込み要求	0	R/W	
		D1	RSTX1	SIF Ch.1送信バッファエンプティ		0	R/W	
		D0	RSRX1	SIF Ch.1受信バッファフル		0	R/W	
ポート入力0–3, 高速DMA Ch.0/1, 16bitタイマ0 IDMAイネーブルレジスタ	0040294 (B)	D7	DE16TC0	16bitタイマ0コンペアA	1 IDMA許可 0 IDMA禁止	0	R/W	
		D6	DE16TU0	16bitタイマ0コンペアB		0	R/W	
		D5	DEHDM1	高速DMA Ch.1		0	R/W	
		D4	DEHDM0	高速DMA Ch.0		0	R/W	
		D3	DEP3	ポート入力3		0	R/W	
		D2	DEP2	ポート入力2		0	R/W	
		D1	DEP1	ポート入力1		0	R/W	
		D0	DEP0	ポート入力0		0	R/W	
16bitタイマ1–4 IDMAイネーブルレジスタ	0040295 (B)	D7	DE16TC4	16bitタイマ4コンペアA	1 IDMA許可 0 IDMA禁止	0	R/W	
		D6	DE16TU4	16bitタイマ4コンペアB		0	R/W	
		D5	DE16TC3	16bitタイマ3コンペアA		0	R/W	
		D4	DE16TU3	16bitタイマ3コンペアB		0	R/W	
		D3	DE16TC2	16bitタイマ2コンペアA		0	R/W	
		D2	DE16TU2	16bitタイマ2コンペアB		0	R/W	
		D1	DE16TC1	16bitタイマ1コンペアA		0	R/W	
		D0	DE16TU1	16bitタイマ1コンペアB		0	R/W	
16bitタイマ5, 8bitタイマ, シリアルI/F Ch.0 IDMAイネーブルレジスタ	0040296 (B)	D7	DESTX0	SIF Ch.0送信バッファエンプティ	1 IDMA許可 0 IDMA禁止	0	R/W	
		D6	DESRX0	SIF Ch.0受信バッファフル		0	R/W	
		D5	DE8TU3	8bitタイマ3アンダーフロー		0	R/W	
		D4	DE8TU2	8bitタイマ2アンダーフロー		0	R/W	
		D3	DE8TU1	8bitタイマ1アンダーフロー		0	R/W	
		D2	DE8TU0	8bitタイマ0アンダーフロー		0	R/W	
		D1	DE16TC5	16bitタイマ5コンペアA		0	R/W	
		D0	DE16TU5	16bitタイマ5コンペアB		0	R/W	
シリアルI/F Ch.1, A/D, ポート入力4–7 IDMAイネーブルレジスタ	0040297 (B)	D7	DEP7	ポート入力7	1 IDMA許可 0 IDMA禁止	0	R/W	
		D6	DEP6	ポート入力6		0	R/W	
		D5	DEP5	ポート入力5		0	R/W	
		D4	DEP4	ポート入力4		0	R/W	
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	DEADE	A/D変換器	1 IDMA許可 0 IDMA禁止	0	R/W	
		D1	DESTX1	SIF Ch.1送信バッファエンプティ		0	R/W	
		D0	DESRX1	SIF Ch.1受信バッファフル		0	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定				Init.	R/W	注　　釈
高速DMA Ch.0/1トリガ設定レジスタ	0040298 (B)	D7	HSD1S3	高速DMA Ch.1トリガ設定	0	ソフトウェアトリガ			0	R/W	
		D6	HSD1S2		1	K51入力(立ち下がりエッジ)			0		
		D5	HSD1S1		2	K51入力(立ち上がりエッジ)			0		
		D4	HSD1S0		3	ポート1入力			0		
					4	ポート5入力					
					5	8bitタイマCh.1アンダーフロー					
					6	16bitタイマCh.1コンペアB					
					7	16bitタイマCh.1コンペアA					
					8	16bitタイマCh.5コンペアB					
					9	16bitタイマCh.5コンペアA					
					A	SI/F Ch.1 Rx bufフル					
					B	SI/F Ch.1 Tx bufエンプティ					
					C	A/D変換終了					
		D3	HSD0S3	高速DMA Ch.0トリガ設定	0	ソフトウェアトリガ			0	R/W	
		D2	HSD0S2		1	K50入力(立ち下がりエッジ)			0		
		D1	HSD0S1		2	K50入力(立ち上がりエッジ)			0		
		D0	HSD0S0		3	ポート0入力			0		
					4	ポート4入力					
					5	8bitタイマCh.0アンダーフロー					
					6	16bitタイマCh.0コンペアB					
					7	16bitタイマCh.0コンペアA					
					8	16bitタイマCh.4コンペアB					
					9	16bitタイマCh.4コンペアA					
					A	SI/F Ch.0 Rx bufフル					
					B	SI/F Ch.0 Tx bufエンプティ					
					C	A/D変換終了					
高速DMA Ch.2/3トリガ設定レジスタ	0040299 (B)	D7	HSD3S3	高速DMA Ch.3トリガ設定	0	ソフトウェアトリガ			0	R/W	
		D6	HSD3S2		1	K54入力(立ち下がりエッジ)			0		
		D5	HSD3S1		2	K54入力(立ち上がりエッジ)			0		
		D4	HSD3S0		3	ポート3入力			0		
					4	ポート7入力					
					5	8bitタイマCh.3アンダーフロー					
					6	16bitタイマCh.3コンペアB					
					7	16bitタイマCh.3コンペアA					
					8	16bitタイマCh.5コンペアB					
					9	16bitタイマCh.5コンペアA					
					A	SI/F Ch.1 Rx bufフル					
					B	SI/F Ch.1 Tx bufエンプティ					
					C	A/D変換終了					
		D3	HSD2S3	高速DMA Ch.2トリガ設定	0	ソフトウェアトリガ			0	R/W	
		D2	HSD2S2		1	K53入力(立ち下がりエッジ)			0		
		D1	HSD2S1		2	K53入力(立ち上がりエッジ)			0		
		D0	HSD2S0		3	ポート2入力			0		
					4	ポート6入力					
					5	8bitタイマCh.2アンダーフロー					
					6	16bitタイマCh.2コンペアB					
					7	16bitタイマCh.2コンペアA					
					8	16bitタイマCh.4コンペアB					
					9	16bitタイマCh.4コンペアA					
					A	SI/F Ch.0 Rx bufフル					
					B	SI/F Ch.0 Tx bufエンプティ					
					C	A/D変換終了					
高速DMAソフトウェアトリガレジスタ	004029A (B)	D7–4	–	reserved	–				–	–	読み出し時: 0
		D3	HST3	HSDMA Ch.3ソフトウェアトリガ	1	トリガ	0	無効	0	W	
		D2	HST2	HSDMA Ch.2ソフトウェアトリガ					0	W	
		D1	HST1	HSDMA Ch.1ソフトウェアトリガ					0	W	
		D0	HST0	HSDMA Ch.0ソフトウェアトリガ					0	W	
フラグセット/リセット方式選択レジスタ	004029F (B)	D7–3	–	reserved	–				–	–	
		D2	DENONLY	IDMAイネーブルレジスタ セット方式選択	1	セット オンリー	0	RD/WR	1	R/W	
		D1	IDMAONLY	IDMAリクエストレジスタ セット方式選択	1	セット オンリー	0	RD/WR	1	R/W	
		D0	RSTONLY	割り込み要因フラグ リセット方式選択	1	リセット オンリー	0	RD/WR	1	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定				Init.	R/W	注　　釈
K5機能選択レジスタ	00402C0 (B)	D7–5	–	reserved	–				–	–	読み出し時: 0
		D4	CFK54	K54機能選択	1	#DMAREQ3	0	K54	0	R/W	
		D3	CFK53	K53機能選択	1	#DMAREQ2	0	K53	0	R/W	
		D2	CFK52	K52機能選択	1	#ADTRG	0	K52	0	R/W	
		D1	CFK51	K51機能選択	1	#DMAREQ1	0	K51	0	R/W	
		D0	CFK50	K50機能選択	1	#DMAREQ0	0	K50	0	R/W	
K5入力ポートデータレジスタ	00402C1 (B)	D7–5	–	reserved	–				–	–	読み出し時: 0
		D4	K54D	K54入力ポートデータ	1	High	0	Low	–	R	
		D3	K53D	K53入力ポートデータ					–	R	
		D2	K52D	K52入力ポートデータ					–	R	
		D1	K51D	K51入力ポートデータ					–	R	
		D0	K50D	K50入力ポートデータ					–	R	
K6機能選択レジスタ	00402C3 (B)	D7	CFK67	K67機能選択	1	AD7	0	K67	0	R/W	
		D6	CFK66	K66機能選択	1	AD6	0	K66	0	R/W	
		D5	CFK65	K65機能選択	1	AD5	0	K65	0	R/W	
		D4	CFK64	K64機能選択	1	AD4	0	K64	0	R/W	
		D3	CFK63	K63機能選択	1	AD3	0	K63	0	R/W	
		D2	CFK62	K62機能選択	1	AD2	0	K62	0	R/W	
		D1	CFK61	K61機能選択	1	AD1	0	K61	0	R/W	
		D0	CFK60	K60機能選択	1	AD0	0	K60	0	R/W	
K6入力ポートデータレジスタ	00402C4 (B)	D7	K67D	K67入力ポートデータ	1	High	0	Low	–	R	
		D6	K66D	K66入力ポートデータ					–	R	
		D5	K65D	K65入力ポートデータ					–	R	
		D4	K64D	K64入力ポートデータ					–	R	
		D3	K63D	K63入力ポートデータ					–	R	
		D2	K62D	K62入力ポートデータ					–	R	
		D1	K61D	K61入力ポートデータ					–	R	
		D0	K60D	K60入力ポートデータ					–	R	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定				Init.	R/W	注　　釈
割り込み要因 FP機能切り換え レジスタ	00402C5	D7	T8CH5S0	8bitタイマ5アンダーフロー	1	T8 Ch.5 UF	0	FP7	0	R/W	
		D6	SIO3TS0	SIO Ch.3送信バッファエンプティ	1	SIO Ch.3 TXD Emp.	0	FP6	0	R/W	
		D5	T8CH4S0	8bitタイマ4アンダーフロー	1	T8 Ch.4 UF	0	FP5	0	R/W	
		D4	SIO3RS0	SIO Ch.3受信バッファフル	1	SIO Ch.3 RXD Full	0	FP4	0	R/W	
		D3	SIO2TS0	SIO Ch.2送信バッファエンプティ	1	SIO Ch.2 TXD Emp.	0	FP3	0	R/W	
		D2	SIO3ES0	SIO Ch.3受信エラー	1	SIO Ch.3 RXD Err.	0	FP2	0	R/W	
		D1	SIO2RS0	SIO Ch.2受信バッファフル	1	SIO Ch.2 RXD Full	0	FP1	0	R/W	
		D0	SIO2ES0	SIO Ch.2受信エラー	1	SIO Ch.2 RXD Err.	0	FP0	0	R/W	
ポート入力 割り込み選択 レジスタ1	00402C6 (B)	D7	SPT31	FPT3割り込み入力ポート選択	11	10	01	00	0	R/W	
		D6	SPT30		P23	P03	K53	K63	0		
		D5	SPT21	FPT2割り込み入力ポート選択	11	10	01	00	0	R/W	
		D4	SPT20		P22	P02	K52	K62	0		
		D3	SPT11	FPT1割り込み入力ポート選択	11	10	01	00	0	R/W	
		D2	SPT10		P21	P01	K51	K61	0		
		D1	SPT01	FPT0割り込み入力ポート選択	11	10	01	00	0	R/W	
		D0	SPT00		P20	P00	K50	K60	0		
ポート入力 割り込み選択 レジスタ2	00402C7 (B)	D7	SPT71	FPT7割り込み入力ポート選択	11	10	01	00	0	R/W	
		D6	SPT70		P27	P07	P33	K67	0		
		D5	SPT61	FPT6割り込み入力ポート選択	11	10	01	00	0	R/W	
		D4	SPT60		P26	P06	P32	K66	0		
		D3	SPT51	FPT5割り込み入力ポート選択	11	10	01	00	0	R/W	
		D2	SPT50		P25	P05	P31	K65	0		
		D1	SPT41	FPT4割り込み入力ポート選択	11	10	01	00	0	R/W	
		D0	SPT40		P24	P04	K54	K64	0		
ポート入力 割り込み 入力極性選択 レジスタ	00402C8 (B)	D7	SPPT7	FPT7入力極性選択	1	Highレベル または 立ち上がり エッジ	0	Lowレベル または 立ち下がり エッジ	1	R/W	
		D6	SPPT6	FPT6入力極性選択					1	R/W	
		D5	SPPT5	FPT5入力極性選択					1	R/W	
		D4	SPPT4	FPT4入力極性選択					1	R/W	
		D3	SPPT3	FPT3入力極性選択					1	R/W	
		D2	SPPT2	FPT2入力極性選択					1	R/W	
		D1	SPPT1	FPT1入力極性選択					1	R/W	
		D0	SPPT0	FPT0入力極性選択					1	R/W	
ポート入力 割り込み エッジ/レベル 選択レジスタ	00402C9 (B)	D7	SEPT7	FPT7エッジ/レベル選択	1	エッジ	0	レベル	1	R/W	
		D6	SEPT6	FPT6エッジ/レベル選択					1	R/W	
		D5	SEPT5	FPT5エッジ/レベル選択					1	R/W	
		D4	SEPT4	FPT4エッジ/レベル選択					1	R/W	
		D3	SEPT3	FPT3エッジ/レベル選択					1	R/W	
		D2	SEPT2	FPT2エッジ/レベル選択					1	R/W	
		D1	SEPT1	FPT1エッジ/レベル選択					1	R/W	
		D0	SEPT0	FPT0エッジ/レベル選択					1	R/W	
キー入力 割り込み選択 レジスタ	00402CA (B)	D7–4	–	reserved	–				–	–	読み出し時: 0
		D3	SPPK11	FPK1割り込み入力ポート選択	11	10	01	00	0	R/W	
		D2	SPPK10		P2[7:4]	P0[7:4]	K6[7:4]	K6[3:0]	0		
		D1	SPPK01	FPK0割り込み入力ポート選択	11	10	01	00	0	R/W	
		D0	SPPK00		P2[4:0]	P0[4:0]	K6[4:0]	K5[4:0]	0		
割り込み要因 TM16機能 切り換え レジスタ	00402CB	D7	T8CH5S1	8bitタイマ5アンダーフロー	1	T8 Ch.5 UF	0	TM16 Ch.2 comp.A	0	R/W	
		D6	T8CH4S1	8bitタイマ4アンダーフロー	1	T8 Ch.4 UF	0	TM16 Ch.2 comp.B	0	R/W	
		D5	SIO3ES1	SIO Ch.3受信エラー	1	SIO Ch.3 RXD Err.	0	TM16 Ch.3 comp.A	0	R/W	
		D4	SIO2ES1	SIO Ch.2受信エラー	1	SIO Ch.2 RXD Err.	0	TM16 Ch.3 comp.B	0	R/W	
		D3	SIO3TS1	SIO Ch.3送信バッファエンプティ	1	SIO Ch.3 TXD Emp.	0	TM16 Ch.4 comp.A	0	R/W	
		D2	SIO3RS1	SIO Ch.3受信バッファフル	1	SIO Ch.3 RXD Full	0	TM16 Ch.4 comp.B	0	R/W	
		D1	SIO2TS1	SIO Ch.2送信バッファエンプティ	1	SIO Ch.2 TXD Emp.	0	TM16 Ch.5 comp.A	0	R/W	
		D0	SIO2RS1	SIO Ch.2受信バッファフル	1	SIO Ch.2 RXD Full	0	TM16 Ch.5 comp.B	0	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定				Init.	R/W	注　　釈
キー入力	00402CC	D7–5	–	reserved	–				–	–	読み出し時: 0
割り込み(FPK0)	(B)	D4	SCPK04	FPK04入力比較	1	High	0	Low	0	R/W	
入力比較		D3	SCPK03	FPK03入力比較					0	R/W	
レジスタ		D2	SCPK02	FPK02入力比較					0	R/W	
		D1	SCPK01	FPK01入力比較					0	R/W	
		D0	SCPK00	FPK00入力比較					0	R/W	
キー入力	00402CD	D7–4	–	reserved	–				–	–	読み出し時: 0
割り込み(FPK1)	(B)	D3	SCPK13	FPK13入力比較	1	High	0	Low	0	R/W	
入力比較		D2	SCPK12	FPK12入力比較					0	R/W	
レジスタ		D1	SCPK11	FPK11入力比較					0	R/W	
		D0	SCPK10	FPK10入力比較					0	R/W	
キー入力	00402CE	D7–5	–	reserved	–				–	–	読み出し時: 0
割り込み(FPK0)	(B)	D4	SMPK04	FPK04入力マスク	1	割り込み許可	0	割り込み禁止	0	R/W	
入力マスク		D3	SMPK03	FPK03入力マスク					0	R/W	
レジスタ		D2	SMPK02	FPK02入力マスク					0	R/W	
		D1	SMPK01	FPK01入力マスク					0	R/W	
		D0	SMPK00	FPK00入力マスク					0	R/W	
キー入力	00402CF	D7–4	–	reserved	–				–	–	読み出し時: 0
割り込み(FPK1)	(B)	D3	SMPK13	FPK13入力マスク	1	割り込み許可	0	割り込み禁止	0	R/W	
入力マスク		D2	SMPK12	FPK12入力マスク					0	R/W	
レジスタ		D1	SMPK11	FPK11入力マスク					0	R/W	
		D0	SMPK10	FPK10入力マスク					0	R/W	
P0機能選択	00402D0	D7	CFP07	P07機能選択	1	#SRDY1	0	P07	0	R/W	拡張機能(0x402DF)
レジスタ	(B)	D6	CFP06	P06機能選択	1	#SCLK1	0	P06	0	R/W	
		D5	CFP05	P05機能選択	1	SOUT1	0	P05	0	R/W	
		D4	CFP04	P04機能選択	1	SIN1	0	P04	0	R/W	
		D3	CFP03	P03機能選択	1	#SRDY0	0	P03	0	R/W	
		D2	CFP02	P02機能選択	1	#SCLK0	0	P02	0	R/W	
		D1	CFP01	P01機能選択	1	SOUT0	0	P01	0	R/W	
		D0	CFP00	P00機能選択	1	SIN0	0	P00	0	R/W	
P0入出力兼用	00402D1	D7	P07D	P07入出力兼用ポートデータ	1	High	0	Low	0	R/W	
ポートデータ	(B)	D6	P06D	P06入出力兼用ポートデータ					0	R/W	
レジスタ		D5	P05D	P05入出力兼用ポートデータ					0	R/W	
		D4	P04D	P04入出力兼用ポートデータ					0	R/W	
		D3	P03D	P03入出力兼用ポートデータ					0	R/W	
		D2	P02D	P02入出力兼用ポートデータ					0	R/W	
		D1	P01D	P01入出力兼用ポートデータ					0	R/W	
		D0	P00D	P00入出力兼用ポートデータ					0	R/W	
P0 I/O制御	00402D2	D7	IOC07	P07 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポート端子のI/O制御信号の値(詳細説明参照)
レジスタ	(B)	D6	IOC06	P06 I/O制御					0	R/W	
		D5	IOC05	P05 I/O制御					0	R/W	
		D4	IOC04	P04 I/O制御					0	R/W	
		D3	IOC03	P03 I/O制御					0	R/W	
		D2	IOC02	P02 I/O制御					0	R/W	
		D1	IOC01	P01 I/O制御					0	R/W	
		D0	IOC00	P00 I/O制御					0	R/W	
P1機能選択	00402D4	D7	–	reserved	–				–	–	読み出し時: 0
レジスタ	(B)	D6	CFP16	P16機能選択	1	EXCL5 #DMAEND1	0	P16	0	R/W	
		D5	CFP15	P15機能選択	1	EXCL4 #DMAEND0	0	P15	0	R/W	
		D4	CFP14	P14機能選択	1	FOSC1	0	P14	0	R/W	拡張機能(0x402DF)
		D3	CFP13	P13機能選択	1	EXCL3 T8UF3	0	P13	0	R/W	
		D2	CFP12	P12機能選択	1	EXCL2 T8UF2	0	P12	0	R/W	
		D1	CFP11	P11機能選択	1	EXCL1 T8UF1	0	P11	0	R/W	
		D0	CFP10	P10機能選択	1	EXCL0 T8UF0	0	P10	0	R/W	
P1入出力兼用	00402D5	D7	–	reserved	–				–	–	読み出し時: 0
ポートデータ	(B)	D6	P16D	P16入出力兼用ポートデータ	1	High	0	Low	0	R/W	
レジスタ		D5	P15D	P15入出力兼用ポートデータ					0	R/W	
		D4	P14D	P14入出力兼用ポートデータ					0	R/W	
		D3	P13D	P13入出力兼用ポートデータ					0	R/W	
		D2	P12D	P12入出力兼用ポートデータ					0	R/W	
		D1	P11D	P11入出力兼用ポートデータ					0	R/W	
		D0	P10D	P10入出力兼用ポートデータ					0	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定				Init.	R/W	注　　釈
P1 I/O制御	00402D6	D7	–	reserved	–				–	–	読み出し時: 0
レジスタ	(B)	D6	IOC16	P16 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポー
		D5	IOC15	P15 I/O制御					0	R/W	ト端子のI/O制御信号
		D4	IOC14	P14 I/O制御					0	R/W	の値(詳細説明参照)
		D3	IOC13	P13 I/O制御					0	R/W	
		D2	IOC12	P12 I/O制御					0	R/W	
		D1	IOC11	P11 I/O制御					0	R/W	
		D0	IOC10	P10 I/O制御					0	R/W	
ポートSIO	00402D7	D7–4	–	reserved	–				–	–	
機能拡張		D3	SSRDY3	シリアルI/F Ch.3 SRDY選択	1	#SRDY3	0	P32/ #DMAACK0	0	R/W	
レジスタ		D2	SSCLK3	シリアルI/F Ch.3 SCLK選択	1	#SCLK3	0	P15/EXCL4/ #DMAEND0	0	R/W	
		D1	SSOUT3	シリアルI/F Ch.3 SOUT選択	1	SOUT3	0	P16/EXCL5/ #DMAEND1	0	R/W	
		D0	SSIN3	シリアルI/F Ch.3 SIN選択	1	SIN3	0	P33/ #DMAACK1	0	R/W	
P2機能選択	00402D8	D7	CFP27	P27機能選択	1	TM5	0	P27	0	R/W	
レジスタ	(B)	D6	CFP26	P26機能選択	1	TM4	0	P26	0	R/W	
		D5	CFP25	P25機能選択	1	TM3	0	P25	0	R/W	
		D4	CFP24	P24機能選択	1	TM2	0	P24	0	R/W	
		D3	CFP23	P23機能選択	1	TM1	0	P23	0	R/W	
		D2	CFP22	P22機能選択	1	TM0	0	P22	0	R/W	
		D1	CFP21	P21機能選択	1	#DWE	0	P21	0	R/W	拡張機能(0x402DF)
		D0	CFP20	P20機能選択	1	#DRD	0	P20	0	R/W	
P2入出力兼用	00402D9	D7	P27D	P27入出力兼用ポートデータ	1	High	0	Low	0	R/W	
ポートデータ	(B)	D6	P26D	P26入出力兼用ポートデータ					0	R/W	
レジスタ		D5	P25D	P25入出力兼用ポートデータ					0	R/W	
		D4	P24D	P24入出力兼用ポートデータ					0	R/W	
		D3	P23D	P23入出力兼用ポートデータ					0	R/W	
		D2	P22D	P22入出力兼用ポートデータ					0	R/W	
		D1	P21D	P21入出力兼用ポートデータ					0	R/W	
		D0	P20D	P20入出力兼用ポートデータ					0	R/W	
P2 I/O制御	00402DA	D7	IOC27	P27 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポー
レジスタ	(B)	D6	IOC26	P26 I/O制御					0	R/W	ト端子のI/O制御信号
		D5	IOC25	P25 I/O制御					0	R/W	の値(詳細説明参照)
		D4	IOC24	P24 I/O制御					0	R/W	
		D3	IOC23	P23 I/O制御					0	R/W	
		D2	IOC22	P22 I/O制御					0	R/W	
		D1	IOC21	P21 I/O制御					0	R/W	
		D0	IOC20	P20 I/O制御					0	R/W	
ポートSIO	00402DB	D7–4	–	reserved	–				–	–	
機能拡張		D3	SSRDY2	シリアルI/F Ch.2 SRDY選択	1	#SRDY2	0	P24/TM2	0	R/W	
レジスタ		D2	SSCLK2	シリアルI/F Ch.2 SCLK選択	1	#SCLK2	0	P25/TM3	0	R/W	
		D1	SSOUT2	シリアルI/F Ch.2 SOUT選択	1	SOUT2	0	P26/TM4	0	R/W	
		D0	SSIN2	シリアルI/F Ch.2 SIN選択	1	SIN2	0	P27/TM5	0	R/W	
P3機能選択	00402DC	D7–6	–	reserved	–				–	–	読み出し時: 0
レジスタ	(B)	D5	CFP35	P35機能選択	1	#BUSACK	0	P35	0	R/W	
		D4	CFP34	P34機能選択	1	#BUSREQ #CE6	0	P34	0	R/W	
		D3	CFP33	P33機能選択	1	#DMAACK1	0	P33	0	R/W	
		D2	CFP32	P32機能選択	1	#DMAACK0	0	P32	0	R/W	
		D1	CFP31	P31機能選択	1	#BUSGET	0	P31	0	R/W	拡張機能(0x402DF)
		D0	CFP30	P30機能選択	1	#WAIT #CE4/#CE5	0	P30	0	R/W	
P3入出力兼用	00402DD	D7–6	–	reserved	–				–	–	読み出し時: 0
ポートデータ	(B)	D5	P35D	P35入出力兼用ポートデータ	1	High	0	Low	0	R/W	
レジスタ		D4	P34D	P34入出力兼用ポートデータ					0	R/W	
		D3	P33D	P33入出力兼用ポートデータ					0	R/W	
		D2	P32D	P32入出力兼用ポートデータ					0	R/W	
		D1	P31D	P31入出力兼用ポートデータ					0	R/W	
		D0	P30D	P30入出力兼用ポートデータ					0	R/W	
P3 I/O制御	00402DE	D7–6	–	reserved	–				–	–	読み出し時: 0
レジスタ	(B)	D5	IOC35	P35 I/O制御	1	出力	0	入力	0	R/W	読み出し値は、ポー
		D4	IOC34	P34 I/O制御					0	R/W	ト端子のI/O制御信号
		D3	IOC33	P33 I/O制御					0	R/W	の値(詳細説明参照)
		D2	IOC32	P32 I/O制御					0	R/W	
		D1	IOC31	P31 I/O制御					0	R/W	
		D0	IOC30	P30 I/O制御					0	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
ポート機能拡張レジスタ	**00402DF (B)**	D7	**CFEX7**	**P07ポート機能拡張**	1 **#DMAEND3** 0 **P07, etc.**	0	R/W	
		D6	**CFEX6**	**P06ポート機能拡張**	1 **#DMAACK3** 0 **P06, etc.**	0	R/W	
		D5	**CFEX5**	**P05ポート機能拡張**	1 **#DMAEND2** 0 **P05, etc.**	0	R/W	
		D4	**CFEX4**	**P04ポート機能拡張**	1 **#DMAACK2** 0 **P04, etc.**	0	R/W	
		D3	**CFEX3**	**P31ポート機能拡張**	1 **#GARD** 0 **P31, etc.**	0	R/W	
		D2	**CFEX2**	**P21ポート機能拡張**	1 **#GAAS** 0 **P21, etc.**	0	R/W	
		D1	**CFEX1**	**P10, P11, P13ポート機能拡張**	1 **DST0** 0 **P10, etc.** **DST1** **P11, etc.** **DPC0** **P13, etc.**	1	R/W	
		D0	**CFEX0**	**P12, P14ポート機能拡張**	1 **DST2** 0 **P12, etc.** **DCLK** **P14, etc.**	1	R/W	
エリア18–15 **設定レジスタ**	**0048120 (HW)**	DF	**–**	reserved	–	–	–	**読み出し時**: 0
		DE	**A18SZ**	**エリア18–17デバイスサイズ選択**	1 8**ビット** 0 16**ビット**	0	R/W	
		DD DC	**A18DF1** **A18DF0**	**エリア18**–17 **出力ディセーブル遅延時間**	A18DF[1:0] **サイクル数** 1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1 1	R/W	
		DB	**–**	**reserved**	–	–	–	**読み出し時**: 0
		DA D9 D8	**A18WT2** **A18WT1** **A18WT0**	**エリア18**–17**ウェイト制御**	A18WT[2:0] **ウェイト数** 1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1 1 1	R/W	
		D7	**–**	**reserved**	–	–	–	**読み出し時**: 0
		D6	**A16SZ**	**エリア16–15デバイスサイズ選択**	1 8**ビット** 0 16**ビット**	0	R/W	
		D5 D4	**A16DF1** **A16DF0**	**エリア16**–15 **出力ディセーブル遅延時間**	A16DF[1:0] **サイクル数** 1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1 1	R/W	
		D3	**–**	**reserved**	–	–	–	**読み出し時**: 0
		D2 D1 D0	**A16WT2** **A16WT1** **A16WT0**	**エリア16–15ウェイト制御**	A16WT[2:0] **ウェイト数** 1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1 1 1	R/W	
エリア14–13 **設定レジスタ**	**0048122 (HW)**	DF–9	**–**	reserved	–	–	–	**読み出し時**: 0
		D8	**A14DRA**	**エリア14 DRAM選択**	1 **使用** 0 **未使用**	0	R/W	
		D7	**A13DRA**	**エリア13 DRAM選択**	1 **使用** 0 **未使用**	0	R/W	
		D6	**A14SZ**	**エリア14**–13**デバイスサイズ選択**	1 8**ビット** 0 16**ビット**	0	R/W	
		D5 D4	**A14DF1** **A14DF0**	**エリア14**–13 **出力ディセーブル遅延時間**	A14DF[1:0] **サイクル数** 1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1 1	R/W	
		D3	**–**	**reserved**	–	–	–	**読み出し時**: 0
		D2 D1 D0	**A14WT2** **A14WT1** **A14WT0**	**エリア14–13ウェイト制御**	A14WT[2:0] **ウェイト数** 1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1 1 1	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
エリア12–11 設定レジスタ	0048124 (HW)	DF–7	–	reserved	–	–	–	読み出し時: 0
		D6	A12SZ	エリア12–11デバイスサイズ選択	1 8ビット　0 16ビット	0	R/W	
		D5	A12DF1	エリア12–11	A18DF[1:0] サイクル数	1	R/W	
		D4	A12DF0	出力ディセーブル遅延時間	1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	A12WT2	エリア12–11ウェイト制御	A18WT[2:0] ウェイト数	1	R/W	
		D1	A12WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D0	A12WT0			1		
エリア10–9 設定レジスタ	0048126 (HW)	DF	–	reserved	–	–	–	読み出し時: 0
		DE	A10IR2	エリア10内蔵ROM容量選択	A10IR[2:0] ROM容量	1	R/W	
		DD	A10IR1		1 1 1 2MB 1 1 0 1MB 1 0 1 512KB 1 0 0 256KB 0 1 1 128KB 0 1 0 64KB 0 0 1 32KB 0 0 0 16KB	1		
		DC	A10IR0			1		
		DB	–	reserved	–	–	–	読み出し時: 0
		DA	A10BW1	エリア10–9	A10BW[1:0] ウェイト数	0	R/W	
		D9	A10BW0	バーストROM バーストリードサイクルウェイト制御	1 1 3 1 0 2 0 1 1 0 0 0	0		
		D8	A10DRA	エリア10バーストROM選択	1 使用　0 未使用	0	R/W	
		D7	A9DRA	エリア9バーストROM選択	1 使用　0 未使用	0	R/W	
		D6	A10SZ	エリア10–9デバイスサイズ選択	1 8ビット　0 16ビット	0	R/W	
		D5	A10DF1	エリア10–9	A10DF[1:0] サイクル数	1	R/W	
		D4	A10DF0	出力ディセーブル遅延時間	1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	A10WT2	エリア10–9ウェイト制御	A10WT[2:0] ウェイト数	1	R/W	
		D1	A10WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D0	A10WT0			1		
エリア8–7 設定レジスタ	0048128 (HW)	DF–9	–	reserved	–	–	–	読み出し時: 0
		D8	A8DRA	エリア8 DRAM選択	1 使用　0 未使用	0	R/W	
		D7	A7DRA	エリア7 DRAM選択	1 使用　0 未使用	0	R/W	
		D6	A8SZ	エリア8–7デバイスサイズ選択	1 8ビット　0 16ビット	0	R/W	
		D5	A8DF1	エリア8–7	A8DF[1:0] サイクル数	1	R/W	
		D4	A8DF0	出力ディセーブル遅延時間	1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		D3	–	reserved	–	–	–	読み出し時: 0
		D2	A8WT2	エリア8–7ウェイト制御	A8WT[2:0] ウェイト数	1	R/W	
		D1	A8WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D0	A8WT0			1		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
エリア6–4 設定レジスタ	004812A (HW)	DF–E	–	reserved	–	–	–	読み出し時: 0
		DD	A6DF1	エリア6	A6DF[1:0] サイクル数	1	R/W	
		DC	A6DF0	出力ディセーブル遅延時間	1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		DB	–	reserved	–	–	–	読み出し時: 0
		DA	A6WT2	エリア6ウェイト制御	A6WT[2:0] ウェイト数	1	R/W	
		D9	A6WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D8	A6WT0			1		
		D7	–	reserved	–	–	–	読み出し時: 0
		D6	A5SZ	エリア5–4デバイスサイズ選択	1 8ビット　0 16ビット	0	R/W	
		D5	A5DF1	エリア5–4	A5DF[1:0] サイクル数	1	R/W	
		D4	A5DF0	出力ディセーブル遅延時間	1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		D3	–	reserved		–	–	読み出し時: 0
		D2	A5WT2	エリア5–4ウェイト制御	A5WT[2:0] ウェイト数	1	R/W	
		D1	A5WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D0	A5WT0			1		
TTBRレジスタ書き込み保護レジスタ	004812D (B)	D7	TBRP7	TTBRレジスタ書き込み保護	01011001(0x59)書き込みによりTTBRレジスタ(0x48134)の書き込み保護を解除 それ以外は書き込み禁止に設定	0	W	読み出し時: 不定
		D6	TBRP6			0		
		D5	TBRP5			0		
		D4	TBRP4			0		
		D3	TBRP3			0		
		D2	TBRP2			0		
		D1	TBRP1			0		
		D0	TBRP0			0		
バスコントロールレジスタ	004812E (HW)	DF	RBCLK	BCLK出力イネーブル	1 H 固定　0 イネーブル	0	R/W	
		DE	–	reserved	–	0	–	1書き込み禁止
		DD	RBST8	バーストROMバーストモード選択	1 8連続　0 4連続	0	R/W	
		DC	REDO	DRAMページモード選択	1 EDO　0 高速ページ	0	R/W	
		DB	RCA1	カラムアドレスサイズ選択	RCA[1:0] サイズ	0	R/W	
		DA	RCA0		1 1 11 1 0 10 0 1 9 0 0 8	0		
		D9	RPC2	リフレッシュイネーブル	1 イネーブル　0 ディセーブル	0	R/W	
		D8	RPC1	リフレッシュ方式選択	1 セルフ　0 CBR	0	R/W	
		D7	RPC0	リフレッシュRPCディレイ	1 2.0　0 1.0	0	R/W	
		D6	RRA1	リフレッシュ	RRA[1:0] サイクル数	0	R/W	
		D5	RRA0	RASパルス幅選択	1 1 5 1 0 4 0 1 3 0 0 2	0		
		D4	–	reserved	–	0	–	1書き込み禁止
		D3	SBUSST	外部インタフェース方式設定	1 #BSL　0 A0	0	R/W	
		D2	SEMAS	外部バスマスタ設定	1 存在　0 なし	0	R/W	
		D1	SEPD	外部パワーダウン制御	1 有効　0 無効	0	R/W	
		D0	SWAITE	#WAITイネーブル	1 許可　0 禁止	0	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
DRAM タイミング設定 レジスタ	**0048130 (HW)**	DF–C	**–**	reserved	–	–	–	**読み出し時**: 0
		DB	**A3EEN**	**エリア3エミュレーション**	1 **内蔵ROM** 0 **エミュレーション**	1	R/W	
		DA	**CEFUNC1**	**#CE端子機能選択**	CEFUNC[1:0] **#CE出力**	0	R/W	
		D9	**CEFUNC0**		1 x #CE7/8..#CE17/18	0		
					0 1 #CE6..#CE17			
					0 0 #CE4..#CE10			
		D8	**CRAS**	**連続RASモード**	1 **連続** 0 **通常**	0	R/W	
		D7	**RPRC1**	**DRAM**	RPRC[1:0] **サイクル数**	0	R/W	
		D6	**RPRC0**	**RASプリチャージサイクル数**	1 1 4	0		
					1 0 3			
					0 1 2			
					0 0 1			
		D5	**–**	**reserved**	–	–	–	**読み出し時**: 0
		D4	**CASC1**	**DRAM**	CASC[1:0] **サイクル数**	0	R/W	
		D3	**CASC0**	**CASサイクル数**	1 1 4	0		
					1 0 3			
					0 1 2			
					0 0 1			
		D2	**–**	**reserved**	–	–	–	**読み出し時**: 0
		D1	**RASC1**	**DRAM**	RASC[1:0] **サイクル数**	0	R/W	
		D0	**RASC0**	**RASサイクル数**	1 1 4	0		
					1 0 3			
					0 1 2			
					0 0 1			
アクセス制御 レジスタ	**0048132 (HW)**	DF	**A18IO**	**エリア18, 17外部/内部アクセス**	1 **内部アクセス** 0 **外部アクセス**	0	R/W	
		DE	**A16IO**	**エリア16, 15外部/内部アクセス**		0	R/W	
		DD	**A14IO**	**エリア14, 13外部/内部アクセス**		0	R/W	
		DC	**A12IO**	**エリア12, 11外部/内部アクセス**		0	R/W	
		DB	**–**	reserved	–	0	–	**読み出し時**: 0
		DA	**A8IO**	**エリア8, 7外部/内部アクセス**	1 **内部アクセス** 0 **外部アクセス**	0	R/W	
		D9	**A6IO**	**エリア6外部/内部アクセス**		0	R/W	
		D8	**A5IO**	**エリア5, 4外部/内部アクセス**		0	R/W	
		D7	**A18EC**	**エリア18, 17エンディアン制御**	1 **ビッグエンディアン** 0 **リトルエンディアン**	0	R/W	
		D6	**A16EC**	**エリア16, 15エンディアン制御**		0	R/W	
		D5	**A14EC**	**エリア14, 13エンディアン制御**		0	R/W	
		D4	**A12EC**	**エリア12, 11エンディアン制御**		0	R/W	
		D3	**A10EC**	**エリア10, 9エンディアン制御**		0	R/W	
		D2	**A8EC**	**エリア8, 7エンディアン制御**		0	R/W	
		D1	**A6EC**	**エリア6エンディアン制御**		0	R/W	
		D0	**A5EC**	**エリア5, 4エンディアン制御**		0	R/W	
TTBR 下位レジスタ	**0048134 (HW)**	DF	**TTBR15**	**トラップテーブル**		0	R/W	
		DE	**TTBR14**	**ベースアドレス bit[15:10]**		0		
		DD	**TTBR13**			0		
		DC	**TTBR12**			0		
		DB	**TTBR11**			0		
		DA	**TTBR10**			0		
		D9	**TTBR09**	**トラップテーブル**	**0に固定**	0	R	**読み出し時: 0**
		D8	**TTBR08**	**ベースアドレス bit[9:0]**		0		**1書き込み禁止**
		D7	**TTBR07**			0		
		D6	**TTBR06**			0		
		D5	**TTBR05**			0		
		D4	**TTBR04**			0		
		D3	**TTBR03**			0		
		D2	**TTBR02**			0		
		D1	**TTBR01**			0		
		D0	**TTBR00**			0		
TTBR 上位レジスタ	**0048136 (HW)**	DF	**TTBR33**	**トラップテーブル**	**0に固定**	0	R	**読み出し時: 0**
		DE	**TTBR32**	**ベースアドレス bit[31:28]**		0		**1書き込み禁止**
		DD	**TTBR31**			0		
		DC	**TTBR30**			0		
		DB	**TTBR2B**	**トラップテーブル**	0x0C0	0	R/W	
		DA	**TTBR2A**	**ベースアドレス bit[27:16]**		0		
		D9	**TTBR29**			0		
		D8	**TTBR28**			0		
		D7	**TTBR27**			1		
		D6	**TTBR26**			1		
		D5	**TTBR25**			0		
		D4	**TTBR24**			0		
		D3	**TTBR23**			0		
		D2	**TTBR22**			0		
		D1	**TTBR21**			0		
		D0	**TTBR20**			0		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
G/Aリード信号制御レジスタ	**0048138 (HW)**	DF	**A18AS**	**エリア18, 17アドレスストローブ**	1 **生成** 0 **禁止**	0	R/W	
		DE	**A16AS**	**エリア16, 15アドレスストローブ**		0	R/W	
		DD	**A14AS**	**エリア14, 13アドレスストローブ**		0	R/W	
		DC	**A12AS**	**エリア12, 11アドレスストローブ**		0	R/W	
		DB	**–**	reserved	–	0	–	**読み出し時**: 0
		DA	**A8AS**	**エリア8, 7アドレスストローブ**	1 **生成** 0 **禁止**	0	R/W	
		D9	**A6AS**	**エリア6アドレスストローブ**		0	R/W	
		D8	**A5AS**	**エリア5, 4アドレスストローブ**		0	R/W	
		D7	**A18RD**	**エリア18, 17リード信号**	1 **生成** 0 **禁止**	0	R/W	
		D6	**A16RD**	**エリア16, 15リード信号**		0	R/W	
		D5	**A14RD**	**エリア14, 13リード信号**		0	R/W	
		D4	**A12RD**	**エリア12, 11リード信号**		0	R/W	
		D3	**–**	reserved	–	0	–	**読み出し時**: 0
		D2	**A8RD**	**エリア8, 7リード信号**	1 **生成** 0 **禁止**	0	R/W	
		D1	**A6RD**	**エリア6リード信号**		0	R/W	
		D0	**A5RD**	**エリア5, 4リード信号**		0	R/W	
BCLK選択レジスタ	**004813A (B)**	D7–4	**–**	reserved	–	0	–	**読み出し時: 0**
		D3	**A1X1MD**	**エリア1アクセス速度**	1 **2サイクル** 0 **4サイクル**	0	R/W	x2**スピードモード時**
		D2	**–**	reserved	–	0	–	**読み出し時: 0**
		D1	**BCLKSEL1**	BCLK**出力クロック選択**	BCLKSEL[1:0] BCLK	0	R/W	
		D0	**BCLKSEL0**		1 1 PLL_CLK	0		
					1 0 OSC3_CLK			
					0 1 BCU_CLK			
					0 0 CPU_CLK			

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
16bitタイマ0 コンペアデータA設定レジスタ	0048180 (HW)	DF	CR0A15	16bitタイマ0 コンペアデータA	0～65535	X	R/W	
		DE	CR0A14			X		
		DD	CR0A13	CR0A15 = MSB		X		
		DC	CR0A12	CR0A0 = LSB		X		
		DB	CR0A11			X		
		DA	CR0A10			X		
		D9	CR0A9			X		
		D8	CR0A8			X		
		D7	CR0A7			X		
		D6	CR0A6			X		
		D5	CR0A5			X		
		D4	CR0A4			X		
		D3	CR0A3			X		
		D2	CR0A2			X		
		D1	CR0A1			X		
		D0	CR0A0			X		
16bitタイマ0 コンペアデータB設定レジスタ	0048182 (HW)	DF	CR0B15	16bitタイマ0 コンペアデータB	0～65535	X	R/W	
		DE	CR0B14			X		
		DD	CR0B13	CR0B15 = MSB		X		
		DC	CR0B12	CR0B0 = LSB		X		
		DB	CR0B11			X		
		DA	CR0B10			X		
		D9	CR0B9			X		
		D8	CR0B8			X		
		D7	CR0B7			X		
		D6	CR0B6			X		
		D5	CR0B5			X		
		D4	CR0B4			X		
		D3	CR0B3			X		
		D2	CR0B2			X		
		D1	CR0B1			X		
		D0	CR0B0			X		
16bitタイマ0 カウンタデータレジスタ	0048184 (HW)	DF	TC015	16bitタイマ0 カウンタデータ	0～65535	X	R	
		DE	TC014			X		
		DD	TC013	TC015 = MSB		X		
		DC	TC012	TC00 = LSB		X		
		DB	TC011			X		
		DA	TC010			X		
		D9	TC09			X		
		D8	TC08			X		
		D7	TC07			X		
		D6	TC06			X		
		D5	TC05			X		
		D4	TC04			X		
		D3	TC03			X		
		D2	TC02			X		
		D1	TC01			X		
		D0	TC00			X		
16bitタイマ0 制御レジスタ	0048186 (B)	D7	–	reserved	–	0	–	読み出し時: 0
		D6	SELFM0	16bitタイマ0ファインモード選択	1 ファイン 0 通常	0	R/W	
		D5	SELCRB0	16bitタイマ0コンペアバッファ	1 許可 0 禁止	0	R/W	
		D4	OUTINV0	16bitタイマ0出力反転	1 反転 0 通常	0	R/W	
		D3	CKSL0	16bitタイマ0入力クロック選択	1 外部クロック 0 内部クロック	0	R/W	
		D2	PTM0	16bitタイマ0クロック出力制御	1 On 0 Off	0	R/W	
		D1	PRESET0	16bitタイマ0リセット	1 リセット 0 無効	0	W	読み出し時: 0
		D0	PRUN0	16bitタイマ0 Run/Stop制御	1 Run 0 Stop	0	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
16bitタイマ1 コンペアデータ A設定レジスタ	0048188 (HW)	DF	CR1A15	16bitタイマ1	0～65535	X	R/W	
		DE	CR1A14	コンペアデータA		X		
		DD	CR1A13	CR1A15 = MSB		X		
		DC	CR1A12	CR1A0 = LSB		X		
		DB	CR1A11			X		
		DA	CR1A10			X		
		D9	CR1A9			X		
		D8	CR1A8			X		
		D7	CR1A7			X		
		D6	CR1A6			X		
		D5	CR1A5			X		
		D4	CR1A4			X		
		D3	CR1A3			X		
		D2	CR1A2			X		
		D1	CR1A1			X		
		D0	CR1A0			X		
16bitタイマ1 コンペアデータ B設定レジスタ	004818A (HW)	DF	CR1B15	16bitタイマ1	0～65535	X	R/W	
		DE	CR1B14	コンペアデータB		X		
		DD	CR1B13	CR1B15 = MSB		X		
		DC	CR1B12	CR1B0 = LSB		X		
		DB	CR1B11			X		
		DA	CR1B10			X		
		D9	CR1B9			X		
		D8	CR1B8			X		
		D7	CR1B7			X		
		D6	CR1B6			X		
		D5	CR1B5			X		
		D4	CR1B4			X		
		D3	CR1B3			X		
		D2	CR1B2			X		
		D1	CR1B1			X		
		D0	CR1B0			X		
16bitタイマ1 カウンタデータ レジスタ	004818C (HW)	DF	TC115	16bitタイマ1	0～65535	X	R	
		DE	TC114	カウンタデータ		X		
		DD	TC113	TC115 = MSB		X		
		DC	TC112	TC10 = LSB		X		
		DB	TC111			X		
		DA	TC110			X		
		D9	TC19			X		
		D8	TC18			X		
		D7	TC17			X		
		D6	TC16			X		
		D5	TC15			X		
		D4	TC14			X		
		D3	TC13			X		
		D2	TC12			X		
		D1	TC11			X		
		D0	TC10			X		
16bitタイマ1 制御レジスタ	004818E (B)	D7	–	reserved	–	0	–	読み出し時: 0
		D6	SELFM1	16bitタイマ1ファインモード選択	1 ファイン　0 通常	0	R/W	
		D5	SELCRB1	16bitタイマ1コンペアバッファ	1 許可　0 禁止	0	R/W	
		D4	OUTINV1	16bitタイマ1出力反転	1 反転　0 通常	0	R/W	
		D3	CKSL1	16bitタイマ1入力クロック選択	1 外部クロック　0 内部クロック	0	R/W	
		D2	PTM1	16bitタイマ1クロック出力制御	1 On　0 Off	0	R/W	
		D1	PRESET1	16bitタイマ1リセット	1 リセット　0 無効	0	W	読み出し時: 0
		D0	PRUN1	16bitタイマ1 Run/Stop制御	1 Run　0 Stop	0	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
16bitタイマ2 コンペアデータA設定レジスタ	0048190 (HW)	DF	CR2A15	16bitタイマ2 コンペアデータA	0～65535	X	R/W	
		DE	CR2A14			X		
		DD	CR2A13	CR2A15 = MSB		X		
		DC	CR2A12	CR2A0 = LSB		X		
		DB	CR2A11			X		
		DA	CR2A10			X		
		D9	CR2A9			X		
		D8	CR2A8			X		
		D7	CR2A7			X		
		D6	CR2A6			X		
		D5	CR2A5			X		
		D4	CR2A4			X		
		D3	CR2A3			X		
		D2	CR2A2			X		
		D1	CR2A1			X		
		D0	CR2A0			X		
16bitタイマ2 コンペアデータB設定レジスタ	0048192 (HW)	DF	CR2B15	16bitタイマ2 コンペアデータB	0～65535	X	R/W	
		DE	CR2B14			X		
		DD	CR2B13	CR2B15 = MSB		X		
		DC	CR2B12	CR2B0 = LSB		X		
		DB	CR2B11			X		
		DA	CR2B10			X		
		D9	CR2B9			X		
		D8	CR2B8			X		
		D7	CR2B7			X		
		D6	CR2B6			X		
		D5	CR2B5			X		
		D4	CR2B4			X		
		D3	CR2B3			X		
		D2	CR2B2			X		
		D1	CR2B1			X		
		D0	CR2B0			X		
16bitタイマ2 カウンタデータレジスタ	0048194 (HW)	DF	TC215	16bitタイマ2 カウンタデータ	0～65535	X	R	
		DE	TC214			X		
		DD	TC213	TC215 = MSB		X		
		DC	TC212	TC20 = LSB		X		
		DB	TC211			X		
		DA	TC210			X		
		D9	TC29			X		
		D8	TC28			X		
		D7	TC27			X		
		D6	TC26			X		
		D5	TC25			X		
		D4	TC24			X		
		D3	TC23			X		
		D2	TC22			X		
		D1	TC21			X		
		D0	TC20			X		
16bitタイマ2 制御レジスタ	0048196 (B)	D7	–	reserved	–	0	–	読み出し時: 0
		D6	SELFM2	16bitタイマ2ファインモード選択	1 ファイン　0 通常	0	R/W	
		D5	SELCRB2	16bitタイマ2コンペアバッファ	1 許可　0 禁止	0	R/W	
		D4	OUTINV2	16bitタイマ2出力反転	1 反転　0 通常	0	R/W	
		D3	CKSL2	16bitタイマ2入力クロック選択	1 外部クロック　0 内部クロック	0	R/W	
		D2	PTM2	16bitタイマ2クロック出力制御	1 On　0 Off	0	R/W	
		D1	PRESET2	16bitタイマ2リセット	1 リセット　0 無効	0	W	読み出し時: 0
		D0	PRUN2	16bitタイマ2 Run/Stop制御	1 Run　0 Stop	0	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
16bitタイマ3 コンペアデータ A設定レジスタ	0048198 (HW)	DF	CR3A15	16bitタイマ3	0～65535	X	R/W	
		DE	CR3A14	コンペアデータA		X		
		DD	CR3A13	CR3A15 = MSB		X		
		DC	CR3A12	CR3A0 = LSB		X		
		DB	CR3A11			X		
		DA	CR3A10			X		
		D9	CR3A9			X		
		D8	CR3A8			X		
		D7	CR3A7			X		
		D6	CR3A6			X		
		D5	CR3A5			X		
		D4	CR3A4			X		
		D3	CR3A3			X		
		D2	CR3A2			X		
		D1	CR3A1			X		
		D0	CR3A0			X		
16bitタイマ3 コンペアデータ B設定レジスタ	004819A (HW)	DF	CR3B15	16bitタイマ3	0～65535	X	R/W	
		DE	CR3B14	コンペアデータB		X		
		DD	CR3B13	CR3B15 = MSB		X		
		DC	CR3B12	CR3B0 = LSB		X		
		DB	CR3B11			X		
		DA	CR3B10			X		
		D9	CR3B9			X		
		D8	CR3B8			X		
		D7	CR3B7			X		
		D6	CR3B6			X		
		D5	CR3B5			X		
		D4	CR3B4			X		
		D3	CR3B3			X		
		D2	CR3B2			X		
		D1	CR3B1			X		
		D0	CR3B0			X		
16bitタイマ3 カウンタデータ レジスタ	004819C (HW)	DF	TC315	16bitタイマ3	0～65535	X	R	
		DE	TC314	カウンタデータ		X		
		DD	TC313	TC315 = MSB		X		
		DC	TC312	TC30 = LSB		X		
		DB	TC311			X		
		DA	TC310			X		
		D9	TC39			X		
		D8	TC38			X		
		D7	TC37			X		
		D6	TC36			X		
		D5	TC35			X		
		D4	TC34			X		
		D3	TC33			X		
		D2	TC32			X		
		D1	TC31			X		
		D0	TC30			X		
16bitタイマ3 制御レジスタ	004819E (B)	D7	–	reserved	–	0	–	読み出し時: 0
		D6	SELFM3	16bitタイマ3ファインモード選択	1 ファイン　0 通常	0	R/W	
		D5	SELCRB3	16bitタイマ3コンペアバッファ	1 許可　0 禁止	0	R/W	
		D4	OUTINV3	16bitタイマ3出力反転	1 反転　0 通常	0	R/W	
		D3	CKSL3	16bitタイマ3入力クロック選択	1 外部クロック　0 内部クロック	0	R/W	
		D2	PTM3	16bitタイマ3クロック出力制御	1 On　0 Off	0	R/W	
		D1	PRESET3	16bitタイマ3リセット	1 リセット　0 無効	0	W	読み出し時: 0
		D0	PRUN3	16bitタイマ3 Run/Stop制御	1 Run　0 Stop	0	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
16bitタイマ4 コンペアデータA設定レジスタ	00481A0 (HW)	DF	CR4A15	16bitタイマ4 コンペアデータA CR4A15 = MSB CR4A0 = LSB	0～65535	X	R/W	
		DE	CR4A14			X		
		DD	CR4A13			X		
		DC	CR4A12			X		
		DB	CR4A11			X		
		DA	CR4A10			X		
		D9	CR4A9			X		
		D8	CR4A8			X		
		D7	CR4A7			X		
		D6	CR4A6			X		
		D5	CR4A5			X		
		D4	CR4A4			X		
		D3	CR4A3			X		
		D2	CR4A2			X		
		D1	CR4A1			X		
		D0	CR4A0			X		
16bitタイマ4 コンペアデータB設定レジスタ	00481A2 (HW)	DF	CR4B15	16bitタイマ4 コンペアデータB CR4B15 = MSB CR4B0 = LSB	0～65535	X	R/W	
		DE	CR4B14			X		
		DD	CR4B13			X		
		DC	CR4B12			X		
		DB	CR4B11			X		
		DA	CR4B10			X		
		D9	CR4B9			X		
		D8	CR4B8			X		
		D7	CR4B7			X		
		D6	CR4B6			X		
		D5	CR4B5			X		
		D4	CR4B4			X		
		D3	CR4B3			X		
		D2	CR4B2			X		
		D1	CR4B1			X		
		D0	CR4B0			X		
16bitタイマ4 カウンタデータレジスタ	00481A4 (HW)	DF	TC415	16bitタイマ4 カウンタデータ TC415 = MSB TC40 = LSB	0～65535	X	R	
		DE	TC414			X		
		DD	TC413			X		
		DC	TC412			X		
		DB	TC411			X		
		DA	TC410			X		
		D9	TC49			X		
		D8	TC48			X		
		D7	TC47			X		
		D6	TC46			X		
		D5	TC45			X		
		D4	TC44			X		
		D3	TC43			X		
		D2	TC42			X		
		D1	TC41			X		
		D0	TC40			X		
16bitタイマ4 制御レジスタ	00481A6 (B)	D7	–	reserved	–	0	–	読み出し時: 0
		D6	SELFM4	16bitタイマ4ファインモード選択	1 ファイン 0 通常	0	R/W	
		D5	SELCRB4	16bitタイマ4コンペアバッファ	1 許可 0 禁止	0	R/W	
		D4	OUTINV4	16bitタイマ4出力反転	1 反転 0 通常	0	R/W	
		D3	CKSL4	16bitタイマ4入力クロック選択	1 外部クロック 0 内部クロック	0	R/W	
		D2	PTM4	16bitタイマ4クロック出力制御	1 On 0 Off	0	R/W	
		D1	PRESET4	16bitタイマ4リセット	1 リセット 0 無効	0	W	読み出し時: 0
		D0	PRUN4	16bitタイマ4 Run/Stop制御	1 Run 0 Stop	0	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
16bitタイマ5 コンペアデータA設定レジスタ	00481A8 (HW)	DF	CR5A15	16bitタイマ5	0～65535	X	R/W	
		DE	CR5A14	コンペアデータA		X		
		DD	CR5A13	CR5A15 = MSB		X		
		DC	CR5A12	CR5A0 = LSB		X		
		DB	CR5A11			X		
		DA	CR5A10			X		
		D9	CR5A9			X		
		D8	CR5A8			X		
		D7	CR5A7			X		
		D6	CR5A6			X		
		D5	CR5A5			X		
		D4	CR5A4			X		
		D3	CR5A3			X		
		D2	CR5A2			X		
		D1	CR5A1			X		
		D0	CR5A0			X		
16bitタイマ5 コンペアデータB設定レジスタ	00481AA (HW)	DF	CR5B15	16bitタイマ5	0～65535	X	R/W	
		DE	CR5B14	コンペアデータB		X		
		DD	CR5B13	CR5B15 = MSB		X		
		DC	CR5B12	CR5B0 = LSB		X		
		DB	CR5B11			X		
		DA	CR5B10			X		
		D9	CR5B9			X		
		D8	CR5B8			X		
		D7	CR5B7			X		
		D6	CR5B6			X		
		D5	CR5B5			X		
		D4	CR5B4			X		
		D3	CR5B3			X		
		D2	CR5B2			X		
		D1	CR5B1			X		
		D0	CR5B0			X		
16bitタイマ5 カウンタデータレジスタ	00481AC (HW)	DF	TC515	16bitタイマ5	0～65535	X	R	
		DE	TC514	カウンタデータ		X		
		DD	TC513	TC515 = MSB		X		
		DC	TC512	TC50 = LSB		X		
		DB	TC511			X		
		DA	TC510			X		
		D9	TC59			X		
		D8	TC58			X		
		D7	TC57			X		
		D6	TC56			X		
		D5	TC55			X		
		D4	TC54			X		
		D3	TC53			X		
		D2	TC52			X		
		D1	TC51			X		
		D0	TC50			X		
16bitタイマ5 制御レジスタ	00481AE (B)	D7	–	reserved	–	0	–	読み出し時: 0
		D6	SELFM5	16bitタイマ5ファインモード選択	1 ファイン　0 通常	0	R/W	
		D5	SELCRB5	16bitタイマ5コンペアバッファ	1 許可　0 禁止	0	R/W	
		D4	OUTINV5	16bitタイマ5出力反転	1 反転　0 通常	0	R/W	
		D3	CKSL5	16bitタイマ5入力クロック選択	1 外部クロック　0 内部クロック	0	R/W	
		D2	PTM5	16bitタイマ5クロック出力制御	1 On　0 Off	0	R/W	
		D1	PRESET5	16bitタイマ5リセット	1 リセット　0 無効	0	W	読み出し時: 0
		D0	PRUN5	16bitタイマ5 Run/Stop制御	1 Run　0 Stop	0	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
IDMA	0048200	DF	DBASEL15	IDMA		0	R/W	
ベースアドレス	(HW)	DE	DBASEL14	ベースアドレス 下位16ビット		0		
下位レジスタ		DD	DBASEL13	(初期値: 0x0C003A0)		0		
		DC	DBASEL12			0		
		DB	DBASEL11			0		
		DA	DBASEL10			0		
		D9	DBASEL9			1		
		D8	DBASEL8			1		
		D7	DBASEL7			1		
		D6	DBASEL6			0		
		D5	DBASEL5			1		
		D4	DBASEL4			0		
		D3	DBASEL3			0		
		D2	DBASEL2			0		
		D1	DBASEL1			0		
		D0	DBASEL0			0		
IDMA	0048202	DF–C	–	reserved	–	–	–	読み出し時: 不定
ベースアドレス	(HW)	DB	DBASEH11	IDMA		0	R/W	
上位レジスタ		DA	DBASEH10	ベースアドレス 上位12ビット		0		
		D9	DBASEH9	(初期値: 0x0C003A0)		0		
		D8	DBASEH8			0		
		D7	DBASEH7			1		
		D6	DBASEH6			1		
		D5	DBASEH5			0		
		D4	DBASEH4			0		
		D3	DBASEH3			0		
		D2	DBASEH2			0		
		D1	DBASEH1			0		
		D0	DBASEH0			0		
IDMAスタート	0048204	D7	DSTART	IDMAスタート	1 IDMA開始 0 停止	0	R/W	
レジスタ	(B)	D6–0	DCHN	IDMAチャネル番号	0〜127	0	R/W	
IDMAイネーブ	0048205	D7–1	–	reserved	–	–	–	
ルレジスタ	(B)	D0	IDMAEN	IDMAイネーブル	1 転送可 0 転送不可	0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
高速DMA Ch.0 転送カウンタ レジスタ	0048220 (HW)	DF	TC0_L7	Ch.0転送カウンタ[7:0]		X	R/W	
		DE	TC0_L6	(ブロック転送モード)		X		
		DD	TC0_L5			X		
		DC	TC0_L4	Ch.0転送カウンタ[15:8]		X		
		DB	TC0_L3	(シングル/連続転送モード)		X		
		DA	TC0_L2			X		
		D9	TC0_L1			X		
		D8	TC0_L0			X		
		D7	BLKLEN07	Ch.0ブロック長		X	R/W	
		D6	BLKLEN06	(ブロック転送モード)		X		
		D5	BLKLEN05			X		
		D4	BLKLEN04	Ch.0転送カウンタ[7:0]		X		
		D3	BLKLEN03	(シングル/連続転送モード)		X		
		D2	BLKLEN02			X		
		D1	BLKLEN01			X		
		D0	BLKLEN00			X		
高速DMA Ch.0 制御レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048222 (HW)	DF	DUALM0	Ch.0アドレスモード選択	1 デュアル 0 シングル	0	R/W	
		DE	D0DIR	D)無効	–	–	–	
				S) Ch.0転送方向制御	1 メモリWR 0 メモリRD	0	R/W	
		DD–8	–	reserved	–	–	–	読み出し時: 不定
		D7	TC0_H7	Ch.0転送カウンタ[15:8]		X	R/W	
		D6	TC0_H6	(ブロック転送モード)		X		
		D5	TC0_H5			X		
		D4	TC0_H4	Ch.0転送カウンタ[23:16]		X		
		D3	TC0_H3	(シングル/連続転送モード)		X		
		D2	TC0_H2			X		
		D1	TC0_H1			X		
		D0	TC0_H0			X		
高速DMA Ch.0 転送元下位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048224 (HW)	DF	S0ADRL15	D) Ch.0転送元アドレス[15:0]		X	R/W	
		DE	S0ADRL14	S) Ch.0メモリアドレス[15:0]		X		
		DD	S0ADRL13			X		
		DC	S0ADRL12			X		
		DB	S0ADRL11			X		
		DA	S0ADRL10			X		
		D9	S0ADRL9			X		
		D8	S0ADRL8			X		
		D7	S0ADRL7			X		
		D6	S0ADRL6			X		
		D5	S0ADRL5			X		
		D4	S0ADRL4			X		
		D3	S0ADRL3			X		
		D2	S0ADRL2			X		
		D1	S0ADRL1			X		
		D0	S0ADRL0			X		
高速DMA Ch.0 転送元上位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048226 (HW)	DF	–	reserved	–	–	–	
		DE	DATSIZE0	Ch.0転送データサイズ	1 ハーフワード 0 バイト	0	R/W	
		DD	S0IN1	D) Ch.0転送元アドレス制御	S0IN[1:0] Inc/dec	0	R/W	
		DC	S0IN0	S) Ch.0メモリアドレス制御	1 1 Inc.(initなし) 1 0 Inc.(init) 0 1 Dec.(initなし) 0 0 固定	0		
		DB	S0ADRH11	D) Ch.0転送元アドレス[27:16]		X	R/W	
		DA	S0ADRH10	S) Ch.0メモリアドレス[27:16]		X		
		D9	S0ADRH9			X		
		D8	S0ADRH8			X		
		D7	S0ADRH7			X		
		D6	S0ADRH6			X		
		D5	S0ADRH5			X		
		D4	S0ADRH4			X		
		D3	S0ADRH3			X		
		D2	S0ADRH2			X		
		D1	S0ADRH1			X		
		D0	S0ADRH0			X		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
高速DMA Ch.0 転送先下位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048228 (HW)	DF	D0ADRL15	D) Ch.0転送先アドレス[15:0]		X	R/W	
		DE	D0ADRL14	S) 無効		X		
		DD	D0ADRL13			X		
		DC	D0ADRL12			X		
		DB	D0ADRL11			X		
		DA	D0ADRL10			X		
		D9	D0ADRL9			X		
		D8	D0ADRL8			X		
		D7	D0ADRL7			X		
		D6	D0ADRL6			X		
		D5	D0ADRL5			X		
		D4	D0ADRL4			X		
		D3	D0ADRL3			X		
		D2	D0ADRL2			X		
		D1	D0ADRL1			X		
		D0	D0ADRL0			X		
高速DMA Ch.0 転送先上位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	004822A (HW)	DF	D0MOD1	Ch.0転送モード	D0MOD[1:0]　モード	0	R/W	
		DE	D0MOD0		1 1　無効	0		
					1 0　ブロック転送			
					0 1　連続転送			
					0 0　シングル転送			
		DD	D0IN1	D) Ch.0転送先アドレス制御	D0IN[1:0]　Inc/dec	0	R/W	
		DC	D0IN0	S) 無効	1 1　Inc.(initなし)	0		
					1 0　Inc.(init)			
					0 1　Dec.(initなし)			
					0 0　固定			
		DB	D0ADRH11	D) Ch.0転送先アドレス[27:16]		X	R/W	
		DA	D0ADRH10	S) 無効		X		
		D9	D0ADRH9			X		
		D8	D0ADRH8			X		
		D7	D0ADRH7			X		
		D6	D0ADRH6			X		
		D5	D0ADRH5			X		
		D4	D0ADRH4			X		
		D3	D0ADRH3			X		
		D2	D0ADRH2			X		
		D1	D0ADRH1			X		
		D0	D0ADRH0			X		
高速DMA Ch.0 イネーブル レジスタ	004822C (HW)	DF–1	–	reserved	–	–	–	読み出し時: 不定
		D0	HS0_EN	Ch.0イネーブル	1 許可　0 禁止	0	R/W	
高速DMA Ch.0 トリガフラグ レジスタ	004822E (HW)	DF–1	–	reserved	–	–	–	読み出し時: 不定
		D0	HS0_TF	Ch.0トリガフラグクリア(WR)	1 クリア　0 無効	0	R/W	
				Ch.0トリガフラグステータス(RD)	1 セット　0 クリア			

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
高速DMA Ch.1 転送カウンタ レジスタ	0048230 (HW)	DF	TC1_L7	Ch.1転送カウンタ[7:0]		X	R/W	
		DE	TC1_L6	(ブロック転送モード)		X		
		DD	TC1_L5			X		
		DC	TC1_L4	Ch.1転送カウンタ[15:8]		X		
		DB	TC1_L3	(シングル/連続転送モード)		X		
		DA	TC1_L2			X		
		D9	TC1_L1			X		
		D8	TC1_L0			X		
		D7	BLKLEN17	Ch.1ブロック長		X	R/W	
		D6	BLKLEN16	(ブロック転送モード)		X		
		D5	BLKLEN15			X		
		D4	BLKLEN14	Ch.1転送カウンタ[7:0]		X		
		D3	BLKLEN13	(シングル/連続転送モード)		X		
		D2	BLKLEN12			X		
		D1	BLKLEN11			X		
		D0	BLKLEN10			X		
高速DMA Ch.1 制御レジスタ	0048232 (HW)	DF	DUALM1	Ch.1アドレスモード選択	1 デュアル 0 シングル	0	R/W	
		DE	D1DIR	D)無効	–	–	–	
				S) Ch.1転送方向制御	1 メモリWR 0 メモリRD	0	R/W	
注: D) デュアルアドレスモード S) シングルアドレスモード		DD–8	–	reserved	–	–	–	読み出し時: 不定
		D7	TC1_H7	Ch.1転送カウンタ[15:8]		X	R/W	
		D6	TC1_H6	(ブロック転送モード)		X		
		D5	TC1_H5			X		
		D4	TC1_H4	Ch.1転送カウンタ[23:16]		X		
		D3	TC1_H3	(シングル/連続転送モード)		X		
		D2	TC1_H2			X		
		D1	TC1_H1			X		
		D0	TC1_H0			X		
高速DMA Ch.1 転送元下位 アドレス設定 レジスタ	0048234 (HW)	DF	S1ADRL15	D) Ch.1転送元アドレス[15:0]		X	R/W	
		DE	S1ADRL14	S) Ch.1メモリアドレス[15:0]		X		
		DD	S1ADRL13			X		
		DC	S1ADRL12			X		
		DB	S1ADRL11			X		
注: D) デュアルアドレスモード S) シングルアドレスモード		DA	S1ADRL10			X		
		D9	S1ADRL9			X		
		D8	S1ADRL8			X		
		D7	S1ADRL7			X		
		D6	S1ADRL6			X		
		D5	S1ADRL5			X		
		D4	S1ADRL4			X		
		D3	S1ADRL3			X		
		D2	S1ADRL2			X		
		D1	S1ADRL1			X		
		D0	S1ADRL0			X		
高速DMA Ch.1 転送元上位 アドレス設定 レジスタ	0048236 (HW)	DF	–	reserved	–	–	–	
		DE	DATSIZE1	Ch.1転送データサイズ	1 ハーフワード 0 バイト	0	R/W	
		DD	S1IN1	D) Ch.1転送元アドレス制御	S1IN[1:0] Inc/dec	0	R/W	
		DC	S1IN0	S) Ch.1メモリアドレス制御	1 1 Inc.(initなし) 1 0 Inc.(init) 0 1 Dec.(initなし) 0 0 固定	0		
注: D) デュアルアドレスモード S) シングルアドレスモード		DB	S1ADRH11	D) Ch.1転送元アドレス[27:16]		X	R/W	
		DA	S1ADRH10	S) Ch.1メモリアドレス[27:16]		X		
		D9	S1ADRH9			X		
		D8	S1ADRH8			X		
		D7	S1ADRH7			X		
		D6	S1ADRH6			X		
		D5	S1ADRH5			X		
		D4	S1ADRH4			X		
		D3	S1ADRH3			X		
		D2	S1ADRH2			X		
		D1	S1ADRH1			X		
		D0	S1ADRH0			X		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
高速DMA Ch.1 転送先下位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048238 (HW)	DF	D1ADRL15	D) Ch.1転送先アドレス[15:0]		X	R/W	
		DE	D1ADRL14	S) 無効		X		
		DD	D1ADRL13			X		
		DC	D1ADRL12			X		
		DB	D1ADRL11			X		
		DA	D1ADRL10			X		
		D9	D1ADRL9			X		
		D8	D1ADRL8			X		
		D7	D1ADRL7			X		
		D6	D1ADRL6			X		
		D5	D1ADRL5			X		
		D4	D1ADRL4			X		
		D3	D1ADRL3			X		
		D2	D1ADRL2			X		
		D1	D1ADRL1			X		
		D0	D1ADRL0			X		
高速DMA Ch.1 転送先上位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	004823A (HW)	DF	D1MOD1	Ch.1転送モード	D1MOD[1:0] / モード 1 1 無効 1 0 ブロック転送 0 1 連続転送 0 0 シングル転送	0	R/W	
		DE	D1MOD0			0		
		DD	D1IN1	D) Ch.1転送先アドレス制御	D1IN[1:0] / Inc/dec 1 1 Inc.(initなし) 1 0 Inc.(init) 0 1 Dec.(initなし) 0 0 固定	0	R/W	
		DC	D1IN0	S) 無効		0		
		DB	D1ADRH11	D) Ch.1転送先アドレス[27:16]		X	R/W	
		DA	D1ADRH10	S) 無効		X		
		D9	D1ADRH9			X		
		D8	D1ADRH8			X		
		D7	D1ADRH7			X		
		D6	D1ADRH6			X		
		D5	D1ADRH5			X		
		D4	D1ADRH4			X		
		D3	D1ADRH3			X		
		D2	D1ADRH2			X		
		D1	D1ADRH1			X		
		D0	D1ADRH0			X		
高速DMA Ch.1 イネーブル レジスタ	004823C (HW)	DF–1	–	reserved	–	–	–	読み出し時: 不定
		D0	HS1_EN	Ch.1イネーブル	1 許可　0 禁止	0	R/W	
高速DMA Ch.1 トリガフラグ レジスタ	004823E (HW)	DF–1	–	reserved	–	–	–	読み出し時: 不定
		D0	HS1_TF	Ch.1トリガフラグクリア(WR)	1 クリア　0 無効	0	R/W	
				Ch.1トリガフラグステータス(RD)	1 セット　0 クリア			

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
高速DMA Ch.2 転送カウンタ レジスタ	0048240 (HW)	DF	TC2_L7	Ch.2転送カウンタ[7:0]		X	R/W	
		DE	TC2_L6	(ブロック転送モード)		X		
		DD	TC2_L5			X		
		DC	TC2_L4	Ch.2転送カウンタ[15:8]		X		
		DB	TC2_L3	(シングル/連続転送モード)		X		
		DA	TC2_L2			X		
		D9	TC2_L1			X		
		D8	TC2_L0			X		
		D7	BLKLEN27	Ch.2ブロック長		X	R/W	
		D6	BLKLEN26	(ブロック転送モード)		X		
		D5	BLKLEN25			X		
		D4	BLKLEN24	Ch.2転送カウンタ[7:0]		X		
		D3	BLKLEN23	(シングル/連続転送モード)		X		
		D2	BLKLEN22			X		
		D1	BLKLEN21			X		
		D0	BLKLEN20			X		
高速DMA Ch.2 制御レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048242 (HW)	DF	DUALM2	Ch.2アドレスモード選択	1 デュアル 0 シングル	0	R/W	
		DE	D2DIR	D)無効	–	–	–	
				S) Ch.2転送方向制御	1 メモリWR 0 メモリRD	0	R/W	
		DD–8	–	reserved	–	–	–	読み出し時: 不定
		D7	TC2_H7	Ch.2転送カウンタ[15:8]		X	R/W	
		D6	TC2_H6	(ブロック転送モード)		X		
		D5	TC2_H5			X		
		D4	TC2_H4	Ch.2転送カウンタ[23:16]		X		
		D3	TC2_H3	(シングル/連続転送モード)		X		
		D2	TC2_H2			X		
		D1	TC2_H1			X		
		D0	TC2_H0			X		
高速DMA Ch.2 転送元下位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048244 (HW)	DF	S2ADRL15	D) Ch.2転送元アドレス[15:0]		X	R/W	
		DE	S2ADRL14	S) Ch.2メモリアドレス[15:0]		X		
		DD	S2ADRL13			X		
		DC	S2ADRL12			X		
		DB	S2ADRL11			X		
		DA	S2ADRL10			X		
		D9	S2ADRL9			X		
		D8	S2ADRL8			X		
		D7	S2ADRL7			X		
		D6	S2ADRL6			X		
		D5	S2ADRL5			X		
		D4	S2ADRL4			X		
		D3	S2ADRL3			X		
		D2	S2ADRL2			X		
		D1	S2ADRL1			X		
		D0	S2ADRL0			X		
高速DMA Ch.2 転送元上位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048246 (HW)	DF	–	reserved	–	–	–	
		DE	DATSIZE2	Ch.2転送データサイズ	1 ハーフワード 0 バイト	0	R/W	
		DD	S2IN1	D) Ch.2転送元アドレス制御	S2IN[1:0] Inc/dec	0	R/W	
		DC	S2IN0	S) Ch.2メモリアドレス制御	1 1 Inc.(initなし) 1 0 Inc.(init) 0 1 Dec.(initなし) 0 0 固定	0		
		DB	S2ADRH11	D) Ch.2転送元アドレス[27:16]		X	R/W	
		DA	S2ADRH10	S) Ch.2メモリアドレス[27:16]		X		
		D9	S2ADRH9			X		
		D8	S2ADRH8			X		
		D7	S2ADRH7			X		
		D6	S2ADRH6			X		
		D5	S2ADRH5			X		
		D4	S2ADRH4			X		
		D3	S2ADRH3			X		
		D2	S2ADRH2			X		
		D1	S2ADRH1			X		
		D0	S2ADRH0			X		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
高速DMA Ch.2 転送先下位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048248 (HW)	DF	D2ADRL15	D) Ch.2転送先アドレス[15:0]		X	R/W	
		DE	D2ADRL14	S) 無効		X		
		DD	D2ADRL13			X		
		DC	D2ADRL12			X		
		DB	D2ADRL11			X		
		DA	D2ADRL10			X		
		D9	D2ADRL9			X		
		D8	D2ADRL8			X		
		D7	D2ADRL7			X		
		D6	D2ADRL6			X		
		D5	D2ADRL5			X		
		D4	D2ADRL4			X		
		D3	D2ADRL3			X		
		D2	D2ADRL2			X		
		D1	D2ADRL1			X		
		D0	D2ADRL0			X		
高速DMA Ch.2 転送先上位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	004824A (HW)	DF	D2MOD1	Ch.2転送モード	D2MOD[1:0] / モード	0	R/W	
		DE	D2MOD0		1 1 無効	0		
					1 0 ブロック転送			
					0 1 連続転送			
					0 0 シングル転送			
		DD	D2IN1	D) Ch.2転送先アドレス制御	D2IN[1:0] / Inc/dec	0	R/W	
		DC	D2IN0	S) 無効	1 1 Inc.(initなし)	0		
					1 0 Inc.(init)			
					0 1 Dec.(initなし)			
					0 0 固定			
		DB	D2ADRH11	D) Ch.2転送先アドレス[27:16]		X	R/W	
		DA	D2ADRH10	S) 無効		X		
		D9	D2ADRH9			X		
		D8	D2ADRH8			X		
		D7	D2ADRH7			X		
		D6	D2ADRH6			X		
		D5	D2ADRH5			X		
		D4	D2ADRH4			X		
		D3	D2ADRH3			X		
		D2	D2ADRH2			X		
		D1	D2ADRH1			X		
		D0	D2ADRH0			X		
高速DMA Ch.2 イネーブル レジスタ	004824C (HW)	DF–1	–	reserved	–	–	–	読み出し時: 不定
		D0	HS2_EN	Ch.2イネーブル	1 許可 0 禁止	0	R/W	
高速DMA Ch.2 トリガフラグ レジスタ	004824E (HW)	DF–1	–	reserved	–	–	–	読み出し時: 不定
		D0	HS2_TF	Ch.2トリガフラグクリア(WR)	1 クリア 0 無効	0	R/W	
				Ch.2トリガフラグステータス(RD)	1 セット 0 クリア			

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
高速DMA Ch.3 転送カウンタ レジスタ	0048250 (HW)	DF	TC3_L7	Ch.3転送カウンタ[7:0]		X	R/W	
		DE	TC3_L6	(ブロック転送モード)		X		
		DD	TC3_L5			X		
		DC	TC3_L4	Ch.3転送カウンタ[15:8]		X		
		DB	TC3_L3	(シングル/連続転送モード)		X		
		DA	TC3_L2			X		
		D9	TC3_L1			X		
		D8	TC3_L0			X		
		D7	BLKLEN37	Ch.3ブロック長		X	R/W	
		D6	BLKLEN36	(ブロック転送モード)		X		
		D5	BLKLEN35			X		
		D4	BLKLEN34	Ch.3転送カウンタ[7:0]		X		
		D3	BLKLEN33	(シングル/連続転送モード)		X		
		D2	BLKLEN32			X		
		D1	BLKLEN31			X		
		D0	BLKLEN30			X		
高速DMA Ch.3 制御レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048252 (HW)	DF	DUALM3	Ch.3アドレスモード選択	1 デュアル　0 シングル	0	R/W	
		DE	D3DIR	D)無効	–	–	–	
				S) Ch.3転送方向制御	1 メモリWR　0 メモリRD	0	R/W	
		DD–8	–	reserved	–	–	–	読み出し時: 不定
		D7	TC3_H7	Ch.3転送カウンタ[15:8]		X	R/W	
		D6	TC3_H6	(ブロック転送モード)		X		
		D5	TC3_H5			X		
		D4	TC3_H4	Ch.3転送カウンタ[23:16]		X		
		D3	TC3_H3	(シングル/連続転送モード)		X		
		D2	TC3_H2			X		
		D1	TC3_H1			X		
		D0	TC3_H0			X		
高速DMA Ch.3 転送元下位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048254 (HW)	DF	S3ADRL15	D) Ch.3転送元アドレス[15:0]		X	R/W	
		DE	S3ADRL14	S) Ch.3メモリアドレス[15:0]		X		
		DD	S3ADRL13			X		
		DC	S3ADRL12			X		
		DB	S3ADRL11			X		
		DA	S3ADRL10			X		
		D9	S3ADRL9			X		
		D8	S3ADRL8			X		
		D7	S3ADRL7			X		
		D6	S3ADRL6			X		
		D5	S3ADRL5			X		
		D4	S3ADRL4			X		
		D3	S3ADRL3			X		
		D2	S3ADRL2			X		
		D1	S3ADRL1			X		
		D0	S3ADRL0			X		
高速DMA Ch.3 転送元上位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048256 (HW)	DF	–	reserved	–	–	–	
		DE	DATSIZE3	Ch.3転送データサイズ	1 ハーフワード　0 バイト	0	R/W	
		DD	S3IN1	D) Ch.3転送元アドレス制御	S3IN[1:0] Inc/dec	0	R/W	
		DC	S3IN0	S) Ch.3メモリアドレス制御	1 1 Inc.(initなし) 1 0 Inc.(init) 0 1 Dec.(initなし) 0 0 固定	0		
		DB	S3ADRH11	D) Ch.3転送元アドレス[27:16]		X	R/W	
		DA	S3ADRH10	S) Ch.3メモリアドレス[27:16]		X		
		D9	S3ADRH9			X		
		D8	S3ADRH8			X		
		D7	S3ADRH7			X		
		D6	S3ADRH6			X		
		D5	S3ADRH5			X		
		D4	S3ADRH4			X		
		D3	S3ADRH3			X		
		D2	S3ADRH2			X		
		D1	S3ADRH1			X		
		D0	S3ADRH0			X		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
高速DMA Ch.3 転送先下位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	0048258 (HW)	DF	D3ADRL15	D) Ch.3転送先アドレス[15:0]		X	R/W	
		DE	D3ADRL14	S) 無効		X		
		DD	D3ADRL13			X		
		DC	D3ADRL12			X		
		DB	D3ADRL11			X		
		DA	D3ADRL10			X		
		D9	D3ADRL9			X		
		D8	D3ADRL8			X		
		D7	D3ADRL7			X		
		D6	D3ADRL6			X		
		D5	D3ADRL5			X		
		D4	D3ADRL4			X		
		D3	D3ADRL3			X		
		D2	D3ADRL2			X		
		D1	D3ADRL1			X		
		D0	D3ADRL0			X		
高速DMA Ch.3 転送先上位 アドレス設定 レジスタ 注: D) デュアルアドレスモード S) シングルアドレスモード	004825A (HW)	DF	D3MOD1	Ch.3転送モード	D3MOD[1:0]　モード	0	R/W	
		DE	D3MOD0		1 1　無効	0		
					1 0　ブロック転送			
					0 1　連続転送			
					0 0　シングル転送			
		DD	D3IN1	D) Ch.3転送先アドレス制御	D3IN[1:0]　Inc/dec	0	R/W	
		DC	D3IN0	S) 無効	1 1　Inc.(initなし)	0		
					1 0　Inc.(init)			
					0 1　Dec.(initなし)			
					0 0　固定			
		DB	D3ADRH11	D) Ch.3転送先アドレス[27:16]		X	R/W	
		DA	D3ADRH10	S) 無効		X		
		D9	D3ADRH9			X		
		D8	D3ADRH8			X		
		D7	D3ADRH7			X		
		D6	D3ADRH6			X		
		D5	D3ADRH5			X		
		D4	D3ADRH4			X		
		D3	D3ADRH3			X		
		D2	D3ADRH2			X		
		D1	D3ADRH1			X		
		D0	D3ADRH0			X		
高速DMA Ch.3 イネーブル レジスタ	004825C (HW)	DF–1	–	reserved	–	–	–	読み出し時: 不定
		D0	HS3_EN	Ch.3イネーブル	1 許可　0 禁止	0	R/W	
高速DMA Ch.3 トリガフラグ レジスタ	004825E (HW)	DF–1	–	reserved	–	–	–	読み出し時: 不定
		D0	HS3_TF	Ch.3トリガフラグクリア(WR)	1 クリア　0 無効	0	R/W	
				Ch.3トリガフラグステータス(RD)	1 セット　0 クリア			

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
SDRAM エリア設定 レジスタ	039FFC0 (B)	D7	SDRAR0	エリア7/13設定	1 SDRAM　0 SDRAM以外	0	R/W	
		D6	SDRAR1	エリア8/14設定	1 SDRAM　0 SDRAM以外	0	R/W	
		D5–4	–	reserved	–	–	–	読み出し時: 0
		D3	SDRPC0	#CE7/13端子設定	1 #SDCE0　0 #CE7/13	0	R/W	
		D2	SDRPC1	#CE8/14端子設定	1 #SDCE1　0 #CE8/14	0	R/W	
		D1–0	–	reserved	–	–	–	読み出し時: 0
SDRAM 制御レジスタ	039FFC1 (B)	D7	SDRENA	SDRAM信号イネーブル	1 許可　0 禁止	0	R/W	
		D6	SDRINI	SDRAM初期化	1 開始　0 –	0	R/W	読み出し時: 0
		D5	SDRSRF	SDRAMセルフリフレッシュモード	1 有効　0 無効	0	R/W	
		D4	SDRIS	初期化コマンドシーケンス	1 1 PRE, 2 MRS, 3 REF　0 1 PRE, 2 REF, 3 MRS	0	R/W	
		D3	SDRCLK	セルフリフレッシュ時SDCLK指定	1 保持　0 停止	1	R/W	
		D2–0	–	reserved	–	–	–	読み出し時: 0
SDRAM アドレス設定 レジスタ	039FFC2 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6–5	SDRCA1 SDRCA0	SDRAMページサイズ (カラムアドレス範囲)	SDRCA[1:0]: 1 1 reserved; 1 0 1K (SDA[9:0]); 0 1 512 (SDA[8:0]); 0 0 256 (SDA[7:0])	0 0	R/W	
		D4	–	reserved	–	–	–	読み出し時: 0
		D3–2	SDRRA1 SDRRA0	SDRAMローアドレス範囲	SDRRA[1:0]: 1 1 reserved; 1 0 8K (SDA[12:0]); 0 1 4K (SDA[11:0]); 0 0 2K (SDA[10:0])	0 0	R/W	
		D1	SDRBA	SDRAMバンク数	1 4バンク　0 2バンク	0	R/W	
		D0	–	reserved	–	–	–	読み出し時: 0
SDRAM モード設定 レジスタ	039FFC3 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6–5	SDRCL1 SDRCL0	SDRAM CASレイテンシ	SDRCL[1:0]: 1 0 2クロック	1 1	R/W	
		D4	–	reserved	–	–	–	読み出し時: 0
		D3–2	SDRBL1 SDRBL0	SDRAMバースト長	SDRBL[1:0]: 1 1 8; 1 0 4; 0 1 2; 0 0 1	1 1	R/W	
		D1–0	–	reserved	–	–	–	読み出し時: 0
SDRAM タイミング設定 レジスタ1	039FFC4 (B)	D7–5	SDRTRAS2 SDRTRAS1 SDRTRAS0	SDRAM t_{RAS}仕様	SDRTRAS[2:0]: 1 1 1 7; 1 1 0 6; 1 0 1 5; 1 0 0 4; 0 1 1 3; 0 1 0 2; 0 0 1 1; 0 0 0 8	0 0 0	R/W	
		D4–3	SDRTRP1 SDRTRP0	SDRAM t_{RP}仕様	SDRTRP[1:0]: 1 1 3; 1 0 2; 0 1 1; 0 0 4	0 0	R/W	
		D2–0	SDRTRC2 SDRTRC1 SDRTRC0	SDRAM t_{RC}仕様	SDRTRC[2:0]: 1 1 1 7; 1 1 0 6; 1 0 1 5; 1 0 0 4; 0 1 1 3; 0 1 0 2; 0 0 1 1; 0 0 0 8	0 0 0	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
SDRAM タイミング設定 レジスタ2	039FFC5 (B)	D7–6	SDRTRCD1 SDRTRCD0	SDRAM tRCD仕様	SDRTRCD[1:0] クロック数 1 1 3 1 0 2 0 1 1 0 0 4	0 0	R/W	
		D5	SDRTRSC	SDRAM tRSC仕様	1 1クロック　0 2クロック	0	R/W	
		D4–3	SDRTRRD1 SDRTRRD0	SDRAM tRRD仕様	SDRTRRD[1:0] クロック数 1 1 3 1 0 2 0 1 1 0 0 4	0 0	R/W	
		D2–0	–	reserved	–	–	–	読み出し時: 0
SDRAM オートリフレッシュカウント レジスタ	039FFC6 (HW)	DF–C	–	reserved	–	–	–	読み出し時: 0
		DB	SDRARFC11	SDRAMオートリフレッシュ	0〜4096	1	R/W	
		DA	SDRARFC10	カウンタ値[11:0]		1		
		D9	SDRARFC9			1		
		D8	SDRARFC8			1		
		D7	SDRARFC7			1		
		D6	SDRARFC6			1		
		D5	SDRARFC5			1		
		D4	SDRARFC4			1		
		D3	SDRARFC3			1		
		D2	SDRARFC2			1		
		D1	SDRARFC1			1		
		D0	SDRARFC0			1		
SDRAM セルフリフレッシュカウント レジスタ	039FFC8 (B)	D7–4	–	reserved	–	–	–	読み出し時: 0
		D3	SDRSRFC3	SDRAMセルフリフレッシュ	2〜15	1	R/W	本レジスタは必ず "0x02"以上に設定してください
		D2	SDRSRFC2	カウンタ値[3:0]		1		
		D1	SDRSRFC1			1		
		D0	SDRSRFC0			1		
SDRAM 高度制御 レジスタ	039FFC9 (B)	D7	–	reserved	–	–	–	読み出し時: 0
		D6	SDRSZ	SDRAMデータ幅	1 8ビット　0 16ビット	0	R/W	
		D5	SDRBI	SDRAMバンクインターリーブ	1 インターリーブ　0 1バンク	0	R/W	
		D4–0	–	reserved	–	–	–	読み出し時: 0
SDRAM ステータス レジスタ	039FFCA (B)	D7	SDRMRS	SDRAMモードレジスタセットフラグ	1 未設定　0 設定済み	1	R	
		D6	SDRSRM	SDRAMリフレッシュモード	1 オート　0 セルフ	1	R	
		D5–0	–	reserved	–	–	–	読み出し時: 0

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
改定コード レジスタ	039FFE0 (B)	D7 D6 D5 D4 D3 D2	PCODE5 PCODE4 PCODE3 PCODE2 PCODE1 PCODE0	製品コード	0b000010	0 0 0 0 1 0	R	
		D1 D0	RCODE1 RCODE0	改定コード		0 0	R	
LCDCモード レジスタ0	039FFE1 (B)	D7–6	–	reserved	–	–	–	読み出し時: 0
		D5	LDCOLOR	カラー/モノクロ選択	1 カラー　0 モノクロ	0	R/W	
		D4–3	–	reserved	–	–	–	読み出し時: 0
		D2	FPSMASK	FPSHIFT信号マスク	1 マスク　0 出力	0	R/W	
		D1 D0	LDDW1 LDDW0	LCDデータ幅/形式	LDDW[1:0] モノクロ時 1 x reserved 0 1 8ビット 0 0 4ビット LDDW[1:0] カラー時 1 1 8ビット/形式2 1 0 reserved 0 1 8ビット/形式1 0 0 4ビット	0 0 0	R/W	
LCDCモード レジスタ1	039FFE2 (B)	D7 D6	BPP1 BPP0	bpp選択 (表示モード)	BPP[1:0] モード 1 1 8bpp 1 0 4bpp 0 1 2bpp 0 0 1bpp	0 0	R/W	
		D5–4	–	reserved	–	–	–	読み出し時: 0
		D3	DBLANK	ブランク表示	1 ブランク　0 通常表示	0	R/W	
		D2	FRMRPT	ELパネル用フレームリピート	1 リピート　0 リピートなし	0	R/W	
		D1	–	reserved	–	–	–	読み出し時: 0
		D0	INVDISP	表示反転	1 反転表示　**0** 通常表示	0	R/W	
LCDCモード レジスタ2	039FFE3 (B)	D7–6	–	reserved	–	–	–	読み出し時: 0
		D5	LCDCEN	LCDコントローライネーブル	1 有効　0 無効	0	R/W	
		D4	LPWREN	LCDPWRイネーブル	1 有効　0 無効	0	R/W	
		D3–2	–	reserved	–	–	–	読み出し時: 0
		D1 D0	LPSAVE1 LPSAVE0	パワーセーブモード	LPSAVE[1:0] モード 1 1 通常動作 1 0 DOZE 0 1 reserved 0 0 パワーセーブ	0 0	R/W	
パネル 水平サイズ レジスタ	039FFE4 (B)	D7–6	–	reserved	–	–	–	読み出し時: 0
		D5 D4 D3 D2 D1 D0	LDHSIZE5 LDHSIZE4 LDHSIZE3 LDHSIZE2 LDHSIZE1 LDHSIZE0	パネル水平サイズ	$\left(\frac{\text{水平解像度 (ピクセル)}}{16}\right) - 1$	0 0 0 0 0 0	R/W	
パネル 垂直サイズ レジスタ0	039FFE5 (B)	D7 D6 D5 D4 D3 D2 D1 D0	LDVSIZE7 LDVSIZE6 LDVSIZE5 LDVSIZE4 LDVSIZE3 LDVSIZE2 LDVSIZE1 LDVSIZE0	パネル垂直サイズ(下位8ビット)	垂直解像度(ライン) - 1	0 0 0 0 0 0 0 0	R/W	
パネル 垂直サイズ レジスタ1	039FFE6 (B)	D7–2	–	reserved	–	–	–	読み出し時: 0
		D1 D0	LDVSIZE9 LDVSIZE8	パネル垂直サイズ(上位2ビット)	垂直解像度(ライン) - 1	0 0	R/W	
水平非表示期間 レジスタ	039FFE7 (B)	D7–5	–	reserved	–	–	–	読み出し時: 0
		D4 D3 D2 D1 D0	HNDP4 HNDP3 HNDP2 HNDP1 HNDP0	水平非表示期間	$\left(\frac{\text{水平非表示期間(ピクセル)}}{8}\right) - 4$	0 0 0 0 0	R/W	

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
垂直非表示期間	039FFEA	D7	VNDPF	垂直非表示期間ステータス	1 非表示期間 0 表示期間	0	R	
レジスタ	(B)	D6	–	reserved	–	–	–	読み出し時: 0
		D5	VNDP5	垂直非表示期間	非表示期間(ライン)	0	R/W	
		D4	VNDP4			0		
		D3	VNDP3			0		
		D2	VNDP2			0		
		D1	VNDP1			0		
		D0	VNDP0			0		
MODレート	039FFEB	D7–6	–	reserved	–	–	–	読み出し時: 0
レジスタ	(B)	D5	MODRATE5	MODレート		0	R/W	
		D4	MODRATE4			0		
		D3	MODRATE3			0		
		D2	MODRATE2			0		
		D1	MODRATE1			0		
		D0	MODRATE0			0		
画面1	039FFEC	D7	S1ADDR7	画面1開始アドレス(下位8ビット)		0	R/W	
開始アドレス	(B)	D6	S1ADDR6			0		
レジスタ0		D5	S1ADDR5			0		
		D4	S1ADDR4			0		
		D3	S1ADDR3			0		
		D2	S1ADDR2			0		
		D1	S1ADDR1			0		
		D0	S1ADDR0			0		
画面1	039FFED	D7	S1ADDR15	画面1開始アドレス(上位8ビット)		0	R/W	
開始アドレス	(B)	D6	S1ADDR14			0		
レジスタ1		D5	S1ADDR13			0		
		D4	S1ADDR12			0		
		D3	S1ADDR11			0		
		D2	S1ADDR10			0		
		D1	S1ADDR9			0		
		D0	S1ADDR8			0		
画面2	039FFEE	D7	S2ADDR7	画面2開始アドレス(下位8ビット)		0	R/W	
開始アドレス	(B)	D6	S2ADDR6			0		
レジスタ0		D5	S2ADDR5			0		
		D4	S2ADDR4			0		
		D3	S2ADDR3			0		
		D2	S2ADDR2			0		
		D1	S2ADDR1			0		
		D0	S2ADDR0			0		
画面2	039FFEF	D7	S2ADDR15	画面2開始アドレス(上位8ビット)		0	R/W	
開始アドレス	(B)	D6	S2ADDR14			0		
レジスタ1		D5	S2ADDR13			0		
		D4	S2ADDR12			0		
		D3	S2ADDR11			0		
		D2	S2ADDR10			0		
		D1	S2ADDR9			0		
		D0	S2ADDR8			0		
画面1	039FFF0	D7–1	–	reserved	–	–	–	読み出し時: 0
開始アドレス	(B)	D0	S1ADDR16	画面1開始アドレス(MSB)		0	R/W	
レジスタ2				(ポートレートモード用、ランドスケープモードでは常時0に固定)				
メモリアドレス	039FFF1	D7	MADOFS7	メモリアドレスオフセット		0	R/W	
オフセット	(B)	D6	MADOFS6			0		
レジスタ		D5	MADOFS5			0		
		D4	MADOFS4			0		
		D3	MADOFS3			0		
		D2	MADOFS2			0		
		D1	MADOFS1			0		
		D0	MADOFS0			0		
画面1	039FFF2	D7	S1VSIZE7	画面1垂直サイズ(下位8ビット)		0	R/W	
垂直サイズ	(B)	D6	S1VSIZE6			0		
レジスタ0		D5	S1VSIZE5			0		
		D4	S1VSIZE4			0		
		D3	S1VSIZE3			0		
		D2	S1VSIZE2			0		
		D1	S1VSIZE1			0		
		D0	S1VSIZE0			0		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定	Init.	R/W	注　　釈
画面1	**039FFF3**	D7–2	**–**	reserved	–	–	–	**読み出し時:** 0
垂直サイズ	**(B)**	D1	**S1VSIZE9**	**画面1垂直サイズ(上位2ビット)**		0	R/W	
レジスタ1		D0	**S1VSIZE8**			0		
FIFO	**039FFF4**	D7	**–**	**reserved**	–	–	–	**読み出し時: 0**
制御レジスタ	**(B)**	D6	**FIFOEO3**	**FIFOエンプティオフセット**	**8(0b1000)に固定**	0	R/W	
		D5	**FIFOEO2**			0		
		D4	**FIFOEO1**			0		
		D3	**FIFOEO0**			0		
		D2	**LCLKSEL2**	**LCDCクロック選択**	LCLKSEL[2:0] **LCDCクロック**	0	R/W	
		D1	**LCLKSEL1**		1 1 1 BCU_CLK/4	0		
		D0	**LCLKSEL0**		1 1 0 BCU_CLK/3	0		
					1 0 1 BCU_CLK/2			
					1 0 0 BCU_CLK			
					0 1 1 reserved			
					0 1 0 **停止**			
					0 0 1 **停止**			
					0 0 0 **停止**			
ルックアップテ	**039FFF5**	D7–4	**–**	**reserved**	–	–	–	**読み出し時: 0**
ーブルアドレス	**(B)**	D3	**LUTADDR3**	**ルックアップテーブルアドレス**		0	R/W	
レジスタ		D2	**LUTADDR2**			0		
		D1	**LUTADDR1**			0		
		D0	**LUTADDR0**			0		
ルックアップ	**039FFF7**	D7	**LUTDT3**	**ルックアップテーブルデータ**		0	R/W	
テーブルデータ	**(B)**	D6	**LUTDT2**			0		
レジスタ		D5	**LUTDT1**			0		
		D4	**LUTDT0**			0		
		D3–0	**–**	reserved	–	–	–	**読み出し時: 0**
GPIO設定	**039FFF8**	D7–3	**–**	**reserved**	–	–	–	**読み出し時: 0**
レジスタ	**(B)**	D2	**GPIO2C**	**GPIO2設定**	1 **出力** 0 **入力**	0	R/W	
		D1	**GPIO1C**	**GPIO1設定**	1 **出力** 0 **入力**	0	R/W	
		D0	**GPIO0C**	**GPIO0設定**	1 **出力** 0 **入力**	0	R/W	
GPIO	**039FFF9**	D7	**–**	**reserved**	–	–	–	**読み出し時: 0**
ステータス/制御	**(B)**	D6	**GPO6D**	**GPO6データ**	1 **High** 0 **Low**	0	R/W	
レジスタ		D5	**GPO5D**	**GPO5データ**	1 **High** 0 **Low**	0	R/W	
		D4	**GPO4D**	**GPO4データ**	1 **High** 0 **Low**	0	R/W	
		D3	**GPO3D**	**GPO3データ**	1 **High** 0 **Low**	0	R/W	
		D2	**GPIO2D**	**GPIO2データ**	1 **High** 0 **Low**	0	R/W	
		D1	**GPIO1D**	**GPIO1データ**	1 **High** 0 **Low**	0	R/W	
		D0	**GPIO0D**	**GPIO0データ**	1 **High** 0 **Low**	0	R/W	
スクラッチ	**039FFFA**	D7	**SP1A7**	**スクラッチパッド**		0	R/W	
パッドレジスタ	**(B)**	D6	**SP1A6**			0		
		D5	**SP1A5**			0		
		D4	**SP1A4**			0		
		D3	**SP1A3**			0		
		D2	**SP1A2**			0		
		D1	**SP1A1**			0		
		D0	**SP1A0**			0		
ポートレートモ	**039FFFB**	D7	**PMODEN**	**ポートレートモードイネーブル**	1 **ポートレート** 0 **ランドスケープ**	0	R/W	
ードレジスタ	**(B)**	D6	**PMODSEL**	**ポートレートモード選択**	1 **オルタネート** 0 **デフォルト**	0	R/W	
		D5–2	**–**	**reserved**	–	–	–	**読み出し時: 0**
		D1	**PMODCLK1**	**ポートレートモードクロック選択**	PMODCLK[1:0] **分周比1**	0	R/W	
		D0	**PMODCLK0**	**(LCDCクロック分周比)**	1 1 P: 1/8, M: 1/8	0		
					1 0 P: 1/4, M: 1/4			
				分周比1: デフォルトモード	0 1 P: 1/2, M: 1/2			
				分周比2: オルタネートモード	0 0 P: 1/1, M: 1/1			
				P: ピクセルクロック	PMODCLK[1:0] **分周比2**			
				M: メモリクロック	1 1 P: 1/8, M: 1/4			
					1 0 P: 1/4, M: 1/2			
					0 1 P: 1/2, M: 1/1			
					0 0 P: 1/2, M: 1/1			
ラインバイト	**039FFFC**	D7	**PMODLBC7**	**ポートレートモード用**		0	R/W	
カウント	**(B)**	D6	**PMODLBC6**	**ラインバイト数**		0		
レジスタ		D5	**PMODLBC5**			0		
		D4	**PMODLBC4**			0		
		D3	**PMODLBC3**			0		
		D2	**PMODLBC2**			0		
		D1	**PMODLBC1**			0		
		D0	**PMODLBC0**			0		

レジスタ名	アドレス	ビット	名　称	機　　能	設　　定				Init.	R/W	注　　釈
LCDC	039FFFD	D7	VRAMAR	VRAMエリア選択	1	エリア8	0	エリア7	0	R/W	
システム制御	(B)	D6	VRAMWT2	VRAMウェイト制御	0〜7				0	R/W	
レジスタ		D5	VRAMWT1	(SRAM用ウェイトサイクル数)					0		
		D4	VRAMWT0						0		
		D3	EDMAEN	外部DMAイネーブル	1	許可	0	禁止	0	R/W	
		D2	BREQEN	外部バスリクエストイネーブル	1	許可	0	禁止	0	R/W	
		D1	LCDCST	A0/BSL選択	1	BSL	0	A0	0	R/W	
		D0	LCDCEC	ビッグ/リトルエンディアン選択	1	ビッグ	0	リトル	0	R/W	

セイコーエプソン株式会社
電子デバイス営業本部

IC営業推進部　〒191-8501　東京都日野市日野421-8
IC営業技術G　TEL（042）587-5816（直通）　FAX（042）587-5624
〈東日本〉
ED東京営業部　〒191-8501　東京都日野市日野421-8
東京IC営業G　TEL（042）587-5313（直通）　FAX（042）587-5116
〈西日本〉
ED大阪営業部　〒541-0059　大阪市中央区博労町3-5-1　エプソン大阪ビル15F
TEL（06）6120-6000（代表）　FAX（06）6120-6100
〈東海・北陸〉
ED名古屋営業部　〒461-0005　名古屋市東区東桜1-10-24　栄大野ビル4F
TEL（052）953-8031（代表）　FAX（052）953-8041
〈長野〉
ED長野営業部　〒392-8502　長野県諏訪市大和3-3-5
TEL（0266）58-8171（直通）　FAX（0266）58-9917
〈東北〉
ED仙台営業所　〒980-0013　宮城県仙台市青葉区花京院1-1-20　花京院スクエア19F
TEL（022）263-7975（代表）　FAX（022）263-7990

インターネットによる電子デバイスのご紹介　http://www.epsondevice.com/domcfg.nsf

2003年4月作成 ⓛB