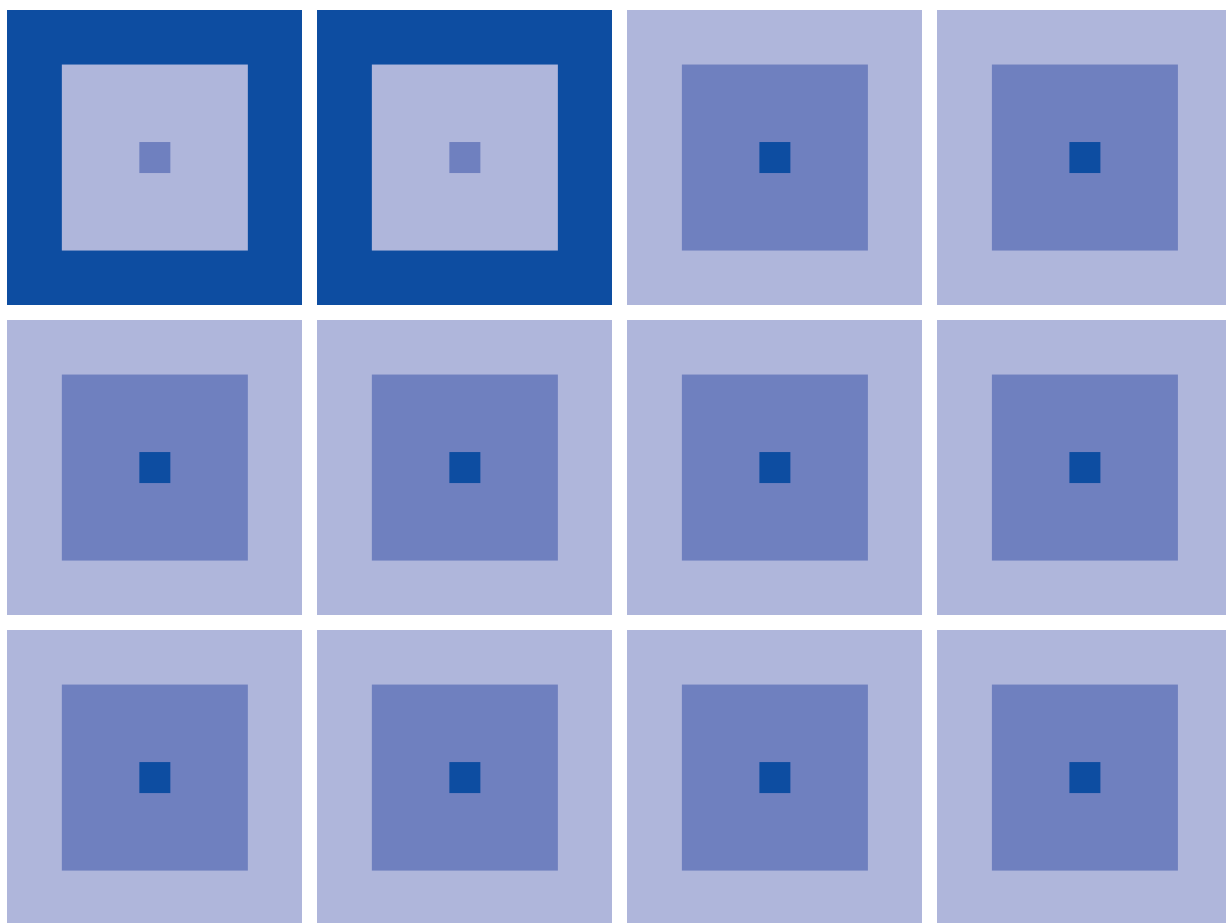


CMOS 4-BIT SINGLE CHIP MICROCOMPUTER

S1C63406/408

テクニカルマニュアル

S1C63406/408 Technical Hardware

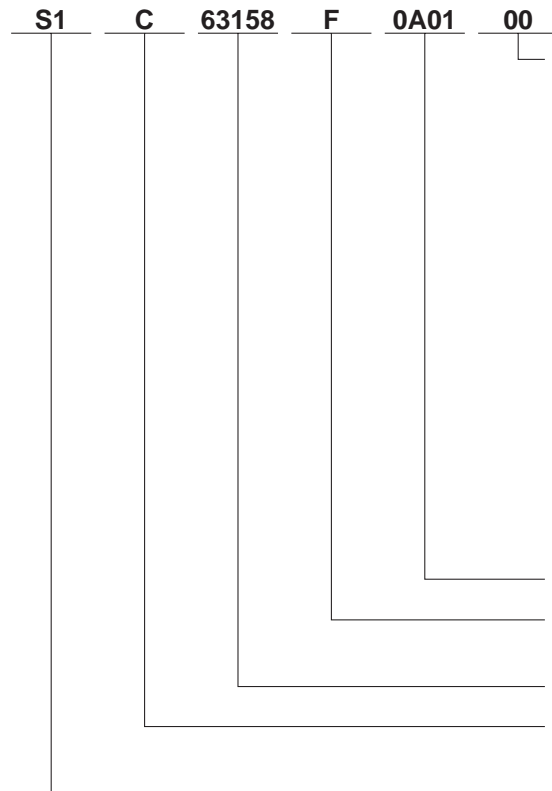


本資料のご使用につきましては、次の点にご留意願います。

1. 本資料の内容については、予告なく変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利(工業所有権を含む)侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち、「外国為替および外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、一般民生用です。生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合の如何なる責任についても負いかねます。

製品型番体系

デバイス



梱包仕様

00 : テープ&リール以外
 0A : TCP BL 2方向
 0B : テープ&リール BACK
 0C : TCP BR 2方向
 0D : TCP BT 2方向
 0E : TCP BD 2方向
 0F : テープ&リール FRONT
 0G : TCP BT 4方向
 0H : TCP BD 4方向
 0J : TCP SL 2方向
 0K : TCP SR 2方向
 0L : テープ&リール LEFT
 0M : TCP ST 2方向
 0N : TCP SD 2方向
 0P : TCP ST 4方向
 0Q : TCP SD 4方向
 0R : テープ&リール RIGHT
 99 : 梱包仕様未定

仕様

形状

[D: ペアチップ、F: QFP]

機種番号

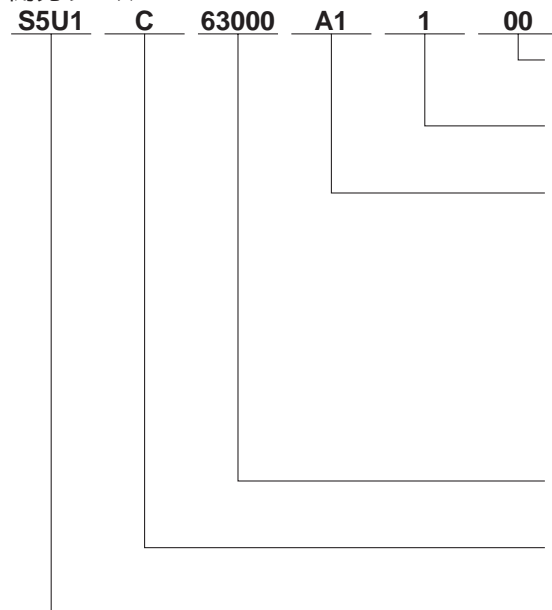
機種名称

[C: マイコン、デジタル製品]

製品分類

[S1: 半導体]

開発ツール



梱包仕様

[00: 標準梱包]

バージョン

[1: Version 1]

ツール種類

Hx : ICE
 Ex : EVAボード
 Px : ペリフェラルボード
 Wx : FLASHマイコン用ROMライター
 Xx : ROMライター周辺ボード
 Cx : Cコンパイラパッケージ
 Ax : アセンブラパッケージ
 Dx : 機種別ユーティリティツール
 Qx : ソフトシミュレータ

対応機種番号

[63000: S1C63ファミリ共通]

ツール分類

[C: マイコン用]

製品分類

[S5U1: 半導体用開発ツール]

- 目 次 -

1	概要	1
1.1	特長	1
1.2	ブロック図	3
1.3	端子配置図	5
1.4	端子説明	7
1.5	マスクオプション	9
2	電源系 および イニシャルリセット	11
2.1	電源系	11
2.1.1	内部回路用電圧<V _{D1} >	12
2.1.2	OSC1発振回路用電圧<V _{OSC} >	12
2.1.3	LCD駆動用電圧<V _{C1} , V _{C2} , V _{C4} , V _{C5} >	12
2.2	イニシャルリセット	13
2.2.1	リセット端子($\overline{\text{RESET}}$)	13
2.2.2	K00 ~ K03端子への同時LOW入力	14
2.2.3	内蔵リセット回路	14
2.2.4	イニシャルリセット時の内部レジスタ	15
2.2.5	イニシャルリセット時の端子設定	15
2.3	テスト端子($\overline{\text{TEST}}$)	15
3	CPU, ROM, RAM	16
3.1	CPU	16
3.2	コードROM	16
3.3	RAM	17
3.4	データROM	17
4	周辺回路と動作	18
4.1	メモリマップ	18
4.2	ウォッチドッグタイマ	23
4.2.1	ウォッチドッグタイマの構成	23
4.2.2	割り込み機能	23
4.2.3	ウォッチドッグタイマのI/Oメモリ	24
4.2.4	プログラミング上の注意事項	24
4.3	発振回路	25
4.3.1	発振回路の構成	25
4.3.2	OSC1発振回路	26
4.3.3	OSC3発振回路	27
4.3.4	動作電圧切り換え	28
4.3.5	クロック周波数とインストラクション実行時間	28
4.3.6	発振回路のI/Oメモリ	29
4.3.7	プログラミング上の注意事項	30

4.4	入力ポート(K00 ~ K03)	31
4.4.1	入力ポートの構成	31
4.4.2	マスクオプション	31
4.4.3	割り込み機能	31
4.4.4	入力ポートのI/Oメモリ	33
4.4.5	プログラミング上の注意事項	35
4.5	出力ポート(R10 ~ R13)	36
4.5.1	出力ポートの構成	36
4.5.2	マスクオプション	36
4.5.3	DC出力	36
4.5.4	特殊出力	37
4.5.5	出力ポートのI/Oメモリ	39
4.5.6	プログラミング上の注意事項	40
4.6	入出力兼用ポート(P20 ~ P23)	41
4.6.1	入出力兼用ポートの構成	41
4.6.2	マスクオプション	42
4.6.3	I/O制御レジスタと入力/出力モード	42
4.6.4	入力モード時のブルアップ	42
4.6.5	入出力兼用ポートのI/Oメモリ	43
4.6.6	プログラミング上の注意事項	45
4.7	LCDドライバ	46
4.7.1	LCDドライバの構成	46
4.7.2	LCD駆動電源	46
4.7.3	LCD表示のON/OFFとデューティの切り換え	46
4.7.4	表示メモリ	48
4.7.5	LCDコントラスト調整	50
4.7.6	LCDドライバのI/Oメモリ	51
4.7.7	プログラミング上の注意事項	53
4.8	計時タイマ	54
4.8.1	計時タイマの構成	54
4.8.2	データの読み出しとホールド機能	54
4.8.3	割り込み機能	55
4.8.4	計時タイマのI/Oメモリ	56
4.8.5	プログラミング上の注意事項	58
4.9	ストップウォッチタイマ	59
4.9.1	ストップウォッチタイマの構成	59
4.9.2	カウントアップパターン	59
4.9.3	割り込み機能	60
4.9.4	ストップウォッチタイマのI/Oメモリ	61
4.9.5	プログラミング上の注意事項	62
4.10	プログラマブルタイマ	63
4.10.1	プログラマブルタイマの構成	63
4.10.2	2チャンネル×8ビットタイマ(MODE16 = "0")の動作	64
4.10.2.1	カウンタ初期値の設定とダウンカウント動作	64
4.10.2.2	カウンタモード	65
4.10.2.3	タイマモード入力クロックの設定	66
4.10.2.4	割り込み機能	67

4.10.2.5 TOUT出力の設定	67
4.10.2.6 シリアルインタフェースの転送速度設定	68
4.10.3 1チャンネル×16ビットタイマ(MODE16 = "1")の動作	68
4.10.3.1 カウンタ初期値の設定とダウンカウント動作	68
4.10.3.2 カウンタモード	69
4.10.3.3 タイマモード入力クロックの設定	70
4.10.3.4 割り込み機能	71
4.10.3.5 TOUT出力の設定	71
4.10.3.6 シリアルインタフェースの転送速度設定	72
4.10.4 プログラマブルタイマのI/Oメモリ	73
4.10.5 プログラミング上の注意事項	78
4.11 シリアルインタフェース	79
4.11.1 シリアルインタフェースの構成	79
4.11.2 マスクオプション	80
4.11.3 転送モード	80
4.11.4 クロック源	82
4.11.5 送受信の制御	83
4.11.6 クロック同期式転送の動作	84
4.11.7 調歩同期式転送の動作	88
4.11.8 割り込み機能	92
4.11.9 シリアルインタフェースのI/Oメモリ	94
4.11.10 プログラミング上の注意事項	100
4.12 SVD(電源電圧検出)回路	101
4.12.1 SVD回路の構成	101
4.12.2 SVD動作	101
4.12.3 SVD回路のI/Oメモリ	102
4.12.4 プログラミング上の注意事項	102
4.13 重負荷保護機能	103
4.13.1 重負荷保護モード	103
4.13.2 重負荷保護機能のI/Oメモリ	103
4.13.3 プログラミング上の注意事項	103
4.14 割り込みとHALT/SLEEP	104
4.14.1 割り込みの要因	106
4.14.2 割り込みの個別マスク	107
4.14.3 割り込みベクタ	107
4.14.4 割り込みのI/Oメモリ	108
4.14.5 プログラミング上の注意事項	109
5 注意事項のまとめ	110
5.1 低消費電流化のための注意事項	110
5.2 個別機能についての注意事項のまとめ	111
5.3 実装上の注意事項	115
6 基本外部結線図	117

7	電気的特性	118
7.1	絶対最大定格	118
7.2	推奨動作条件	118
7.3	DC特性	119
7.4	アナログ回路特性/消費電流	120
7.5	発振特性	123
7.6	シリアルインタフェースAC特性	126
7.7	タイミングチャート	127
8	パッケージ	128
8.1	プラスチックパッケージ	128
8.2	テストサンプル用セラミックパッケージ	129
9	パッド配置	130
9.1	パッド配置図	130
9.2	パッド座標	132
APPENDIX S5U1C63000P Manual		
	(Peripheral Circuit Board for S1C63406/408)	134
A.1	各部の名称と機能	134
A.2	ターゲットシステムとの接続	137
A.3	使用上の注意	139
A.3.1	操作上の注意事項	139
A.3.2	実ICとの相違点	139

1 概要

S1C63406/408は高性能4ビットCPU S1C63000を中心に、ワンチップ上に命令ROM、RAM、データROM、シリアルインタフェース、ウォッチドッグタイマ、プログラマブルタイマ、タイムベースカウンタ(2系統)、ドットマトリクスLCD駆動回路等を内蔵したマイクロコンピュータです。また、電源投入時や電源瞬断時に電源電圧を検出し、マイクロコンピュータシステムをリセットするリセット回路(パワーオンリセット機能付き)を内蔵しています。低動作電圧(1.3V~3.6V)による高速動作および低消費電流等の特長を持ち、電池駆動を必要とするポータブルMD/CDプレイヤー等への応用に適しています。

表1.1にS1C63406とS1C63408の相違点を示します。

表1.1 S1C63406とS1C63408の相違点

機種	S1C63406	S1C63408
命令ROM容量	6,144ワード×13ビット	8,192ワード×13ビット
データROM容量	3,072ワード×4ビット	4,096ワード×4ビット
RAM容量	1,024ワード×4ビット	1,024ワード×4ビット
表示メモリ容量	540ビット	1,020ビット
LCDドライバ	60セグメント 8または9コモン	60セグメント 8、9、16または17コモン

1.1 特長

OSC1発振回路	32.768kHz(Typ.)水晶発振、または60kHz(Typ.)CR発振回路(*1)
OSC3発振回路	4MHz(Typ.)水晶発振、3.58MHz(Typ.)セラミック発振、 または2MHz(Typ.)CR発振回路(*1)
インストラクションセット	基本命令 47種類(全命令数 411種類)、アドレッシングモード 8種類
インストラクション実行時間	32.768kHz動作時: 61μsec 122μsec 183μsec 60kHz動作時: 33μsec 67μsec 100μsec 2MHz動作時: 1μsec 2μsec 3μsec 3.58MHz動作時: 0.56μsec 1.12μsec 1.68μsec 4MHz動作時: 0.5μsec 1μsec 1.5μsec
ROM容量	命令ROM: 6,144ワード×13ビット(S1C63406) 8,192ワード×13ビット(S1C63408) データROM: 3,072ワード×4ビット(S1C63406) 4,096ワード×4ビット(S1C63408)
RAM容量	データメモリ: 1,024ワード×4ビット 表示メモリ: 540ビット (120ワード×4ビット + 60×1ビット、S1C63406) 1,020ビット(240ワード×4ビット + 60×1ビット、S1C63408)
入力ポート	4ビット (プルアップ抵抗の付加が可能 *1)
出力ポート	4ビット (2ビットを特殊出力に切り換え可能 *2)
入出力兼用ポート	4ビット シュミットトリガ入力対応(プルアップ抵抗の付加が可能 *2、 シリアルI/F入出力に切り換え可能 *2)
シリアルインタフェース	1ポート(8ビットクロック同期式または調歩同期式 *2)
LCDドライバ	60セグメント×8または9コモン(S1C63406 *2) 60セグメント×8、9、16または17コモン(S1C63408 *2)
タイムベースカウンタ	2系統 (計時タイマ、ストップウォッチタイマ)
プログラマブルタイマ	内蔵 (2入力×8ビットまたは1入力×16ビット、イベントカウンタ機能付き)
ウォッチドッグタイマ	内蔵
電源電圧検出(SVD)回路	16値プログラマブル(1.30V ~ 2.80V)
リセット回路	内蔵 (1.8V、1.6Vまたは1.4V *1)、パワーオンリセット機能付き
外部割り込み	入力ポート割り込み 4系統
内部割り込み	計時タイマ割り込み 4系統 ストップウォッチタイマ割り込み 2系統 プログラマブルタイマ割り込み 2系統 シリアルインタフェース割り込み 3系統

電源電圧	1.3V ~ 3.6V (700kHz (Max.) OSC3 CR発振回路を使用する場合はMin. 1.4V) (2.2MHz (Max.) OSC3 CR発振回路を使用する場合はMin. 1.6V) (4.2MHz (Max.) OSC3発振回路を使用する場合はMin. 1.8V)
動作温度範囲	-40°C ~ 85°C
消費電流	低電力動作 (*3)
	SLEEP時 1.2μA (Typ.)
	HALT時 (32kHz, 水晶発振)
	3.6V (液晶電源OFF) 1.3μA (Typ.)
	3.6V (液晶電源ON, Vc1基準) 3.0μA (Typ.)
	3.6V (液晶電源ON, Vc2基準) 2.5μA (Typ.)
	動作時 (32kHz, 水晶発振)
	3.6V (液晶電源OFF) 3.0μA (Typ.)
	HALT時 (60kHz, CR発振)
	3.6V (液晶電源OFF) 3.5μA (Typ.)
	3.6V (液晶電源ON, Vc1基準) 6.2μA (Typ.)
	3.6V (液晶電源ON, Vc2基準) 4.6μA (Typ.)
	動作時 (60kHz, CR発振)
	3.6V (液晶電源OFF) 7.0μA (Typ.)
	高速動作:
	動作時 (500kHz, CR発振)
	3.6V (液晶電源OFF) 90μA (Typ.)
	動作時 (1MHz, CR発振)
	3.6V (液晶電源OFF) 200μA (Typ.)
	動作時 (2MHz, CR発振)
	3.6V (液晶電源OFF) 350μA (Typ.)
	動作時 (3.58MHz, セラミック発振)
	3.6V (液晶電源OFF) 500μA (Typ.)
	動作時 (4MHz, 水晶発振)
	3.6V (液晶電源OFF) 550μA (Typ.)
出荷形態	TQFP15-128pin (プラスチック) またはチップ (S1C63406) QFP15-128pin (プラスチック) またはチップ (S1C63408)
	*1: マスクオプションにより選択 *2: ソフトウェアにより選択
	*3: リセット回路オプション非選択時 (選択時はリセット回路の消費電流が加算されます)

1.2 ブロック図

S1C63406

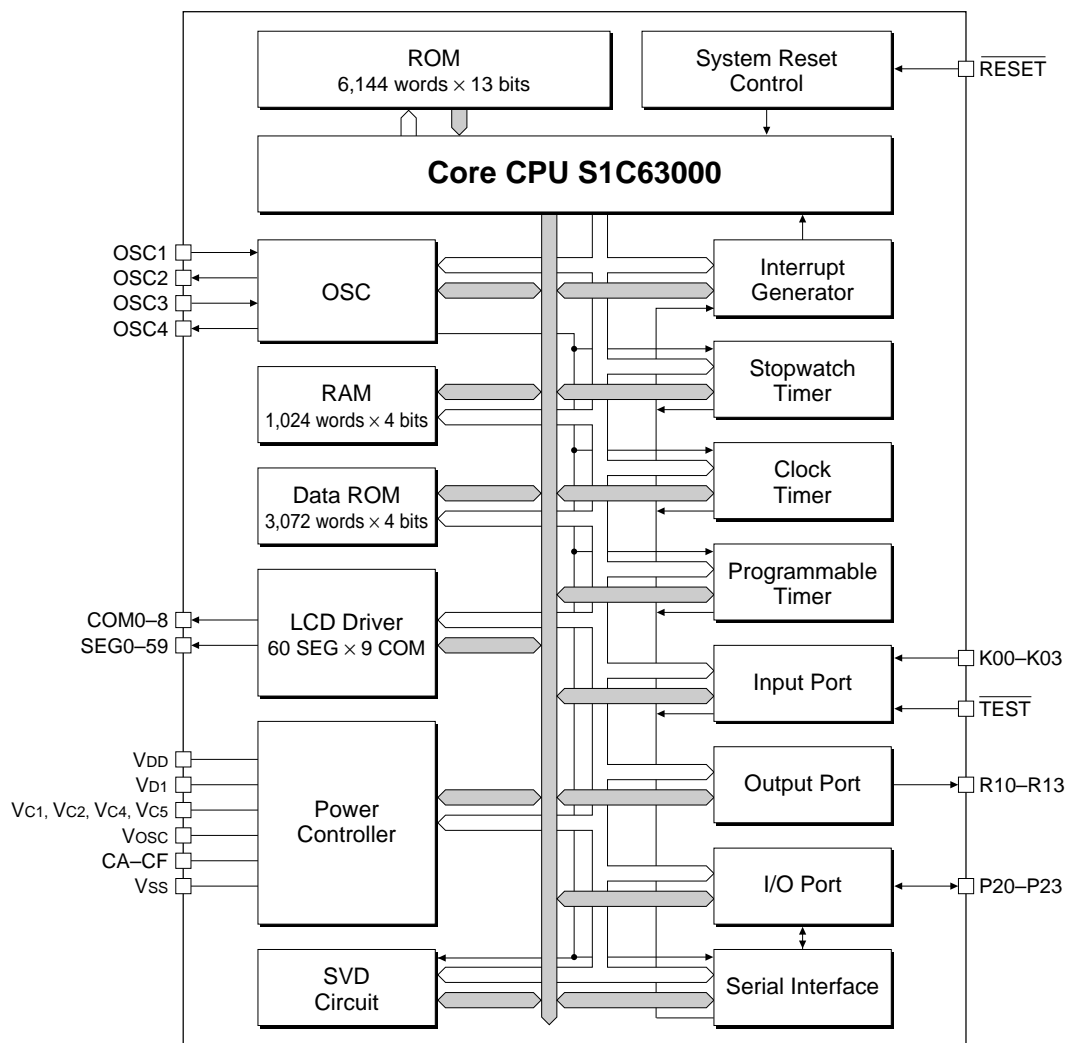


図1.2.1 S1C63406ブロック図

S1C63408

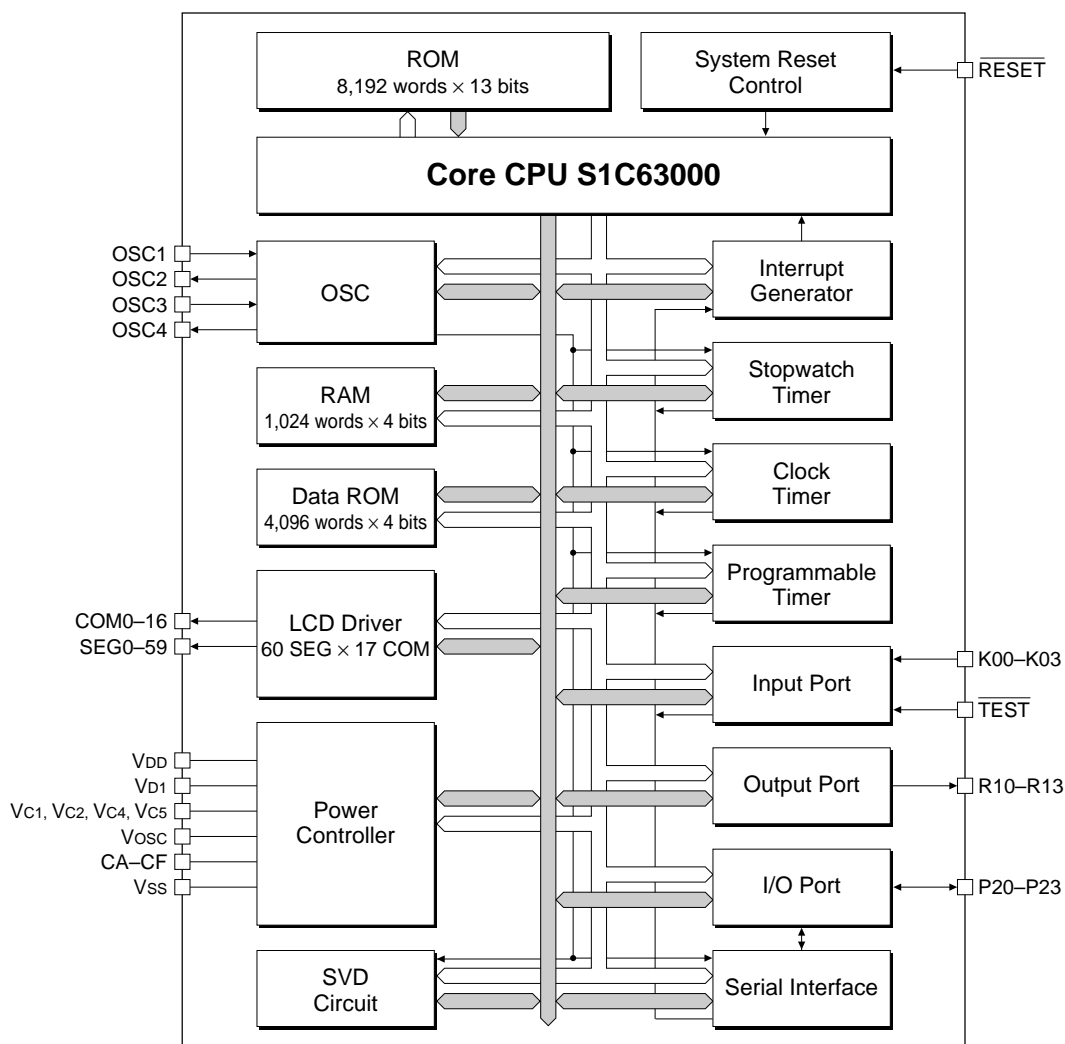
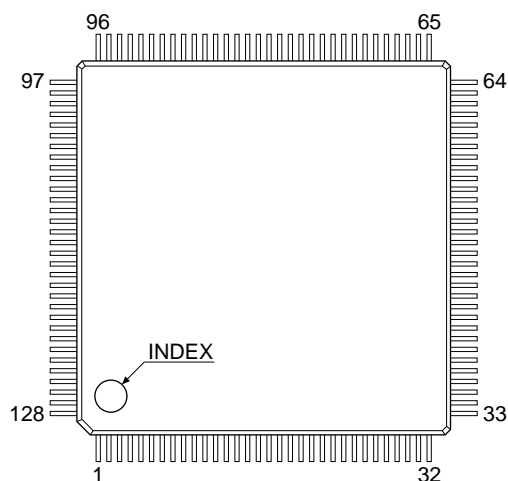


図1.2.2 S1C63408ブロック図

1.3 端子配置図

S1C63406 (TQFP15-128pin)

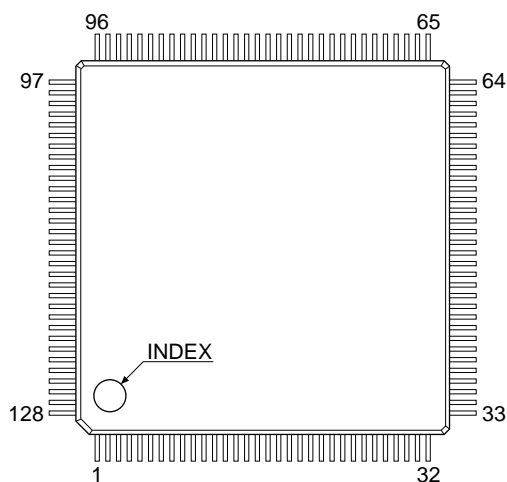


No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	N.C.	33	CF	65	N.C.	97	SEG15
2	SEG41	34	Vc5	66	N.C.	98	SEG16
3	SEG42	35	Vc4	67	N.C.	99	SEG17
4	SEG43	36	Vc2	68	N.C.	100	SEG18
5	SEG44	37	Vc1	69	COM0	101	SEG19
6	SEG45	38	K00	70	COM1	102	SEG20
7	SEG46	39	K01	71	COM2	103	SEG21
8	SEG47	40	K02	72	COM3	104	SEG22
9	SEG48	41	N.C.	73	COM4	105	SEG23
10	SEG49	42	N.C.	74	N.C.	106	N.C.
11	N.C.	43	K03	75	N.C.	107	N.C.
12	N.C.	44	R10	76	N.C.	108	N.C.
13	N.C.	45	R11	77	COM5	109	N.C.
14	SEG50	46	R12	78	COM6	110	SEG24
15	SEG51	47	R13	79	COM7	111	SEG25
16	SEG52	48	P20	80	SEG0	112	SEG26
17	SEG53	49	P21	81	SEG1	113	SEG27
18	SEG54	50	P22	82	SEG2	114	SEG28
19	N.C.	51	P23	83	SEG3	115	SEG29
20	N.C.	52	N.C.	84	N.C.	116	SEG30
21	N.C.	53	N.C.	85	N.C.	117	SEG31
22	SEG55	54	N.C.	86	SEG4	118	SEG32
23	SEG56	55	VDD	87	SEG5	119	N.C.
24	SEG57	56	Vd1	88	SEG6	120	N.C.
25	SEG58	57	OSC4	89	SEG7	121	SEG33
26	SEG59	58	OSC3	90	SEG8	122	SEG34
27	COM8	59	Vosc	91	SEG9	123	SEG35
28	CA	60	OSC2	92	SEG10	124	SEG36
29	CB	61	OSC1	93	SEG11	125	SEG37
30	CC	62	Vss	94	SEG12	126	SEG38
31	CD	63	RESET	95	SEG13	127	SEG39
32	CE	64	TEST	96	SEG14	128	SEG40

N.C. : No Connection

図1.3.1 S1C63406端子配置図

S1C63408 (QFP15-128pin)



No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	N.C.	33	N.C.	65	N.C.	97	N.C.
2	N.C.	34	N.C.	66	N.C.	98	N.C.
3	N.C.	35	CE	67	COM0	99	SEG19
4	SEG46	36	CF	68	COM1	100	N.C.
5	SEG47	37	Vc5	69	COM2	101	SEG20
6	SEG48	38	Vc4	70	N.C.	102	SEG21
7	SEG49	39	Vc2	71	COM3	103	SEG22
8	SEG50	40	Vc1	72	COM4	104	SEG23
9	SEG51	41	K00	73	COM5	105	SEG24
10	SEG52	42	K01	74	COM6	106	SEG25
11	SEG53	43	K02	75	COM7	107	SEG26
12	SEG54	44	K03	76	SEG0	108	SEG27
13	SEG55	45	R10	77	SEG1	109	SEG28
14	SEG56	46	R11	78	SEG2	110	SEG29
15	SEG57	47	R12	79	SEG3	111	SEG30
16	SEG58	48	R13	80	SEG4	112	SEG31
17	SEG59	49	P20	81	SEG5	113	SEG32
18	COM8	50	P21	82	SEG6	114	SEG33
19	COM9	51	P22	83	SEG7	115	SEG34
20	COM10	52	P23	84	SEG8	116	SEG35
21	COM11	53	VDD	85	SEG9	117	SEG36
22	COM12	54	VD1	86	SEG10	118	SEG37
23	COM13	55	OSC4	87	SEG11	119	SEG38
24	COM14	56	OSC3	88	SEG12	120	SEG39
25	COM15	57	Vosc	89	SEG13	121	SEG40
26	COM16	58	OSC2	90	SEG14	122	SEG41
27	CA	59	OSC1	91	SEG15	123	SEG42
28	CB	60	VSS	92	SEG16	124	SEG43
29	CC	61	RESET	93	SEG17	125	SEG44
30	CD	62	TEST	94	N.C.	126	SEG45
31	N.C.	63	N.C.	95	SEG18	127	N.C.
32	N.C.	64	N.C.	96	N.C.	128	N.C.

N.C. : No Connection

図1.3.2 S1C63408端子配置図

1.4 端子説明

S1C63406

表1.4.1 S1C63406端子説明

端子名	端子No.	入出力	機 能
VDD	55	–	電源(+)端子
VSS	62	–	電源(-)端子
VDI	56	–	内部ロジック系定電圧出力端子
VoSC	59	–	発振系定電圧出力端子
Vc1, Vc2, Vc4, Vc5	37, 36, 35, 34	–	LCD系電源端子(1/4バイアス)
CA~CF	28~33	–	LCD系昇降圧コンデンサ接続端子
OSC1	61	I	水晶またはCR発振入力端子(マスクオプション選択)
OSC2	60	O	水晶またはCR発振出力端子(マスクオプション選択)
OSC3	58	I	水晶、セラミックまたはCR発振入力端子(マスクオプション選択)
OSC4	57	O	水晶、セラミックまたはCR発振出力端子(マスクオプション選択)
K00~K02	38~40	I	入力ポート
K03	43	I	入力ポートまたはEVIN信号入力端子(ソフトウェア選択)
R10, R11	44, 45	O	出力ポート
R12	46	O	出力ポートまたはTOUT信号出力端子(ソフトウェア選択)
R13	47	O	出力ポートまたはFOUT信号出力端子(ソフトウェア選択)
P20	48	I/O	入出力兼用ポートまたはシリアルI/Fデータ入力端子(ソフトウェア選択)
P21	49	I/O	入出力兼用ポートまたはシリアルI/Fデータ出力端子(ソフトウェア選択)
P22	50	I/O	入出力兼用ポートまたはシリアルI/Fクロック入出力端子(ソフトウェア選択)
P23	51	I/O	入出力兼用ポートまたはシリアルI/Fレディ信号出力端子(ソフトウェア選択)
COM0~COM8	69~73, 77~79, 27	O	LCDコモン出力端子(1/8, 1/9デューティをソフト切り換え)
SEG0~SEG59	80~83, 86~105, 110~118, 121~128, 2~10, 14~18, 22~26	O	LCDセグメント出力端子
RESET	63	I	イニシャルリセット入力端子
TEST	64	I	テスト用入力端子

S1C63408

表1.4.2 S1C63408端子説明

端子名	端子No.	入出力	機 能
VDD	53	–	電源(+)端子
VSS	60	–	電源(-)端子
VD1	54	–	内部ロジック系定電圧出力端子
VoSC	57	–	発振系定電圧出力端子
VC1, VC2, VC4, VC5	40, 39, 38, 37	–	LCD系電源端子(1/4バイアス)
CA~CF	27~30, 35, 36	–	LCD系昇降圧コンデンサ接続端子
OSC1	59	I	水晶またはCR発振入力端子(マスクオプション選択)
OSC2	58	O	水晶またはCR発振出力端子(マスクオプション選択)
OSC3	56	I	水晶、セラミックまたはCR発振入力端子(マスクオプション選択)
OSC4	55	O	水晶、セラミックまたはCR発振出力端子(マスクオプション選択)
K00~K02	41~43	I	入力ポート
K03	44	I	入力ポートまたはEVIN信号入力端子(ソフトウェア選択)
R10, R11	45, 46	O	出力ポート
R12	47	O	出力ポートまたはTOUT信号出力端子(ソフトウェア選択)
R13	48	O	出力ポートまたはFOUT信号出力端子(ソフトウェア選択)
P20	49	I/O	入出力兼用ポートまたはシリアルI/Fデータ入力端子(ソフトウェア選択)
P21	50	I/O	入出力兼用ポートまたはシリアルI/Fデータ出力端子(ソフトウェア選択)
P22	51	I/O	入出力兼用ポートまたはシリアルI/Fクロック入出力端子(ソフトウェア選択)
P23	52	I/O	入出力兼用ポートまたはシリアルI/Fレディ信号出力端子(ソフトウェア選択)
COM0~COM16	67~69, 71~75, 18~26	O	LCDコモン出力端子(1/8, 1/9, 1/16, 1/17デューティをソフト切り換え)
SEG0~SEG59	76~93, 95, 99, 101~126, 4~17	O	LCDセグメント出力端子
RESET	61	I	イニシャルリセット入力端子
TEST	62	I	テスト用入力端子

1.5 マスクオプション

S1C63406/408には以下に示すマスクオプションが設定されています。

各マスクオプションには複数のハードウェア仕様が用意されており、アプリケーションに合わせて選択することができます。この選択にはS1C63406/408の開発ソフトウェアツールとして用意されているファンクションオプションジェネレータwinfogを使用します。winfogによって作成したデータをもとに最終的なICのマスクパターン生成が行われます。winfogについては"S5U1C63000A Manual"を参照してください。

マスクオプションリスト

S1C63406/408のオプションリストを以下に示します。各オプション項目には、複数の選択肢が用意されていますので、4章の"周辺回路と動作"を参照してシステムに合った内容を選択し、 に印を付けてください。なお、使用しない機能についても解説に従って必ず選択してください。

1. OSC1発振回路(OSC1 System Clock)
 1. 水晶(32.768kHz)
 2. CR(60kHz)
2. OSC3発振回路(OSC3 System Clock)
 1. CR
 2. セラミック(3.58MHz)
 3. 水晶(4MHz)
3. リセット回路(Reset Circuit)
 1. 使用する(1.8V)
 2. 使用する(1.6V)
 3. 使用する(1.4V)
 4. 使用しない
4. キー同時押しリセット 組み合わせ(Multiple Key Entry Reset Combination)
 1. 使用しない
 2. 使用する <K00, K01, K02, K03>
 3. 使用する <K00, K01, K02>
 4. 使用する <K00, K01>
5. キー同時押しリセット時間検定(Multiple Key Entry Reset Time Authorize)
 1. 使用しない
 2. 使用する
6. 入力ポートプルアップ抵抗(Input port pull up resistor)

K00	1. あり	2. なし
K01	1. あり	2. なし
K02	1. あり	2. なし
K03	1. あり	2. なし
7. 出力ポート出力仕様(Output port output specification)

R10	1. コンプリメンタリ	2. Nchオープンドレイン
R11	1. コンプリメンタリ	2. Nchオープンドレイン
R12	1. コンプリメンタリ	2. Nchオープンドレイン
R13	1. コンプリメンタリ	2. Nchオープンドレイン
8. 入出力兼用ポート出力仕様(I/O port output specification)

P20	1. コンプリメンタリ	2. Nchオープンドレイン
P21	1. コンプリメンタリ	2. Nchオープンドレイン
P22	1. コンプリメンタリ	2. Nchオープンドレイン
P23	1. コンプリメンタリ	2. Nchオープンドレイン

マスクオプションの概要

(1) OSC1発振回路

OSC1発振回路として水晶発振またはCR発振が選択できます。
詳細については"4.3.2 OSC1発振回路"を参照してください。

(2) OSC3発振回路

OSC3発振回路としてCR発振、セラミック発振または水晶発振が選択できます。
水晶振動子を使用する場合は3を、セラミック振動子を使用する場合は2を選択してください。()内の周波数は推奨値(Typ.)です。
詳細については"4.3.3 OSC3発振回路"を参照してください。

(3) 内蔵リセット回路

内蔵リセット回路を使用するかしないか選択できます。使用する場合は、発振周波数に従った最小電源電圧値を選択します。詳細については"2.2.3 内蔵リセット回路"を参照してください。

(4) 入力ポート(K00 ~ K03)同時LOW入力による外部リセット

この機能は、複数キーの同時押しによってICをリセットするもので、この機能を使用するかしないかをマスクオプションで選択できます。また、使用する場合は、同時に押すキーを接続する入力端子(K00 ~ K03)の組み合わせを選択します。詳細については"2.2.2 K00 ~ K03端子への同時LOW入力"を参照してください。

(5) 同時LOW入力リセットの時間検定回路

(4)の外部リセット機能を使用する場合に時間検定回路を使用するかしないか選択できます。時間検定回路を使用すると、規定時間以上の同時LOW入力があった場合のみ、リセット機能が働きます。詳細については"2.2.2 K00 ~ K03端子への同時LOW入力"を参照してください。

(6) 入力ポートプルアップ抵抗

入力(K)ポートにプルアップ抵抗を付加するかしないか選択できます。選択はビット単位で行います。詳細については"4.4.2 マスクオプション"を参照してください。

(7) 出力ポートの出力仕様

出力(R)ポートの出力仕様として、コンプリメンタリ出力またはNチャンネルオープンドレイン出力が選択できます。選択はビット単位で行います。詳細については"4.5.2 マスクオプション"を参照してください。

(8) 入出力兼用ポートの出力仕様

入出力兼用(P)ポートが出力モードの際の出力仕様として、コンプリメンタリ出力またはNチャンネルオープンドレイン出力が選択できます。選択はビット単位で行います。
詳細については"4.6.2 マスクオプション"を参照してください。

2 電源系 および イニシャルリセット

2.1 電源系

S1C63406/408の動作電源電圧は次のとおりです。

表2.1.1 動作電源電圧

OSC1クロック	OSC3クロック	動作電源電圧	CPU動作電圧 (V _{D1})
Max. 80kHz (水晶またはCR発振)	使用しない	1.3V ~ 3.6V	1.1V
	Max. 700kHz (CR発振)	1.4V ~ 3.6V	1.1V / 1.3V
	Max. 2.2MHz (CR発振)	1.6V ~ 3.6V	1.1V / 1.3V / 1.5V
	Max. 4.2MHz(水晶、セラミックまたはCR発振)	1.8V ~ 3.6V	1.1V / 1.3V / 1.5V / 1.7V

(V_{C1}基準選択時)

S1C63406/408は上記範囲の単一電源をV_{DD} - V_{SS}間に与えることにより動作し、内部に必要な電圧を、内蔵された以下の電源回路によりIC自身で発生します。

表2.1.2 電源回路

回路系	電源回路	出力電圧
OSC1発振回路	発振系定電圧回路	V _{OSC}
OSC3発振、内部回路	内部ロジック系定電圧回路	V _{D1}
LCD駆動回路	LCD系電圧回路	V _{C1} , V _{C2} , V _{C4} , V _{C5}

- 注: • 内部電源回路の出力電圧による外付け負荷の駆動は禁止します。
 • 電圧値、駆動能力については"7 電気的特性"を参照してください。

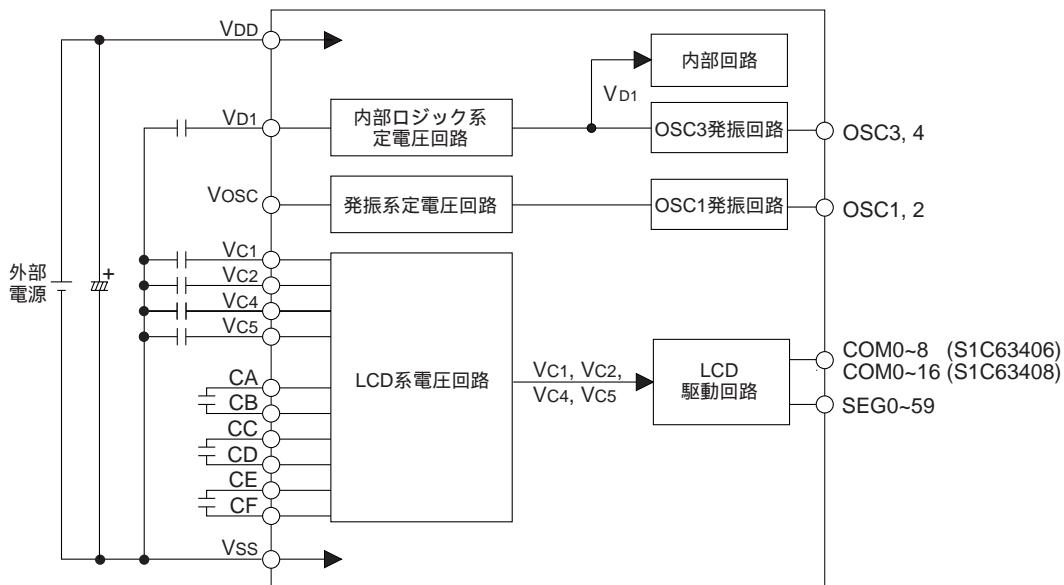


図2.1.1 電源系の構成

2.1.1 内部回路用電圧<V_{D1}>

V_{D1}はOSC3発振回路および内部ロジック回路用の電圧で、内部ロジック系定電圧回路で発生しています。S1C63406/408はツインクロック仕様となっており、2種類の発振回路OSC1およびOSC3を内蔵しています。通常動作時はOSC1クロックを使用し、高速動作が必要ときにソフトウェアによってOSC3クロックに切り換えます。その際には、発振回路および内部回路の動作を安定させるため、動作電圧V_{D1}もソフトウェアによって切り換える必要があります。発振系定電圧回路はV_{D1}の電圧値として以下の4種類が出力可能で、ソフトウェアにより発振回路と発振周波数にしたがった値に設定します。

V_{D1} = 1.1V: 低電力動作時(OSC3発振回路がOFFの場合)

V_{D1} = 1.3V: 高速動作時(Max. 700kHz OSC3 CR発振回路がONの場合)

V_{D1} = 1.5V: 高速動作時(Max. 2.2MHz OSC3 CR発振回路がONの場合)

V_{D1} = 1.7V: 高速動作時(Max. 4.2MHz OSC3 水晶/セラミック/CR発振回路がONの場合)

V_{D1}の切り換え方法については"4.3 発振回路"を参照してください。

2.1.2 OSC1発振回路用電圧<V_{OSC}>

V_{OSC}はOSC1発振回路用の電圧で、発振を安定させるため発振系定電圧回路で発生しています。

2.1.3 LCD駆動用電圧<V_{C1}, V_{C2}, V_{C4}, V_{C5}>

V_{C1}, V_{C2}, V_{C4}, V_{C5}はLCD駆動用の電圧で、LCD系電圧回路によって内部発生します。

LCD系電圧回路は、その中の定電圧回路によってV_{C1}またはV_{C2}を発生し、その電圧を昇圧または降圧して他の3電位を発生します。表2.1.3.1にV_{C1}, V_{C2}, V_{C4}, V_{C5}の電圧値と昇降圧の状態を示します。

表2.1.3.1 内部発生時のLCD駆動電圧

LCD駆動電圧	V _{DD} =1.3V~3.6V	V _{DD} =2.5V~3.6V
V _{C1} (0.975V~1.2V)	V _{C1} (基準)	1/2 × V _{C2}
V _{C2} (1.950V~2.4V)	2 × V _{C1}	V _{C2} (基準)
V _{C4} (2.925V~3.6V)	3 × V _{C1}	3/2 × V _{C2}
V _{C5} (3.900V~4.8V)	4 × V _{C1}	2 × V _{C2}

注) LCD駆動電圧はソフトウェア(4.7.5項参照)により調整できます。

表の数値はTYP値です。

V_{C1}基準、V_{C2}基準のどちらを使用するかは、電源電圧にしたがってソフトウェアで選択します。

V_{C2}基準とすると表示品質の向上と共に低消費電流化が図れますが、電源電圧V_{DD}が2.5V以上である必要があります。

LCD駆動電圧の制御方法については"4.7 LCDドライバ"を参照してください。

2.2 イニシャルリセット

S1C63406/408は回路を初期化するためにイニシャルリセットを必要とします。イニシャルリセット要因としては次の3種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部イニシャルリセット
- (2) K00 ~ K03端子の同時LOWレベル入力による外部イニシャルリセット(マスクオプションで設定)
- (3) リセット回路による内部イニシャルリセット(マスクオプションで設定)

電源投入時は必ず上記のリセット機能を使用し、確実に初期化する必要があります。

図2.2.1にイニシャルリセット回路の構成を示します。

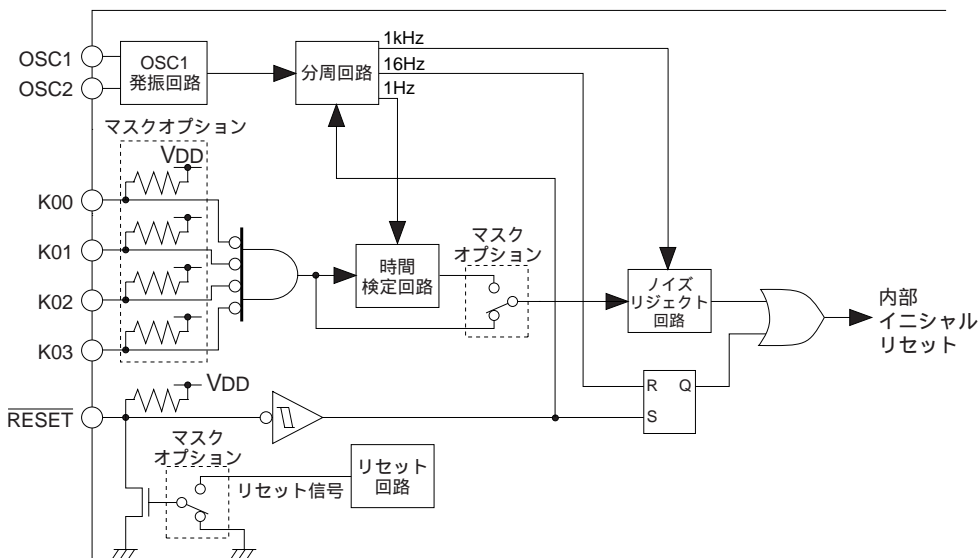


図2.2.1 イニシャルリセット回路の構成

2.2.1 リセット端子($\overline{\text{RESET}}$)

外部よりリセット端子をLOWレベル(V_{SS})にすることによりイニシャルリセットが行えます。

その後、リセット端子をHIGHレベル(V_{DD})にすることによりイニシャルリセットは解除され、CPUが動作を開始します。

リセット入力信号はRSラッチにより保持され、内部イニシャルリセット信号となります。RSラッチはOSC1クロックを分周した16Hz信号(HIGH)で解除されるようになっています。したがって、通常動作時はリセット端子がHIGHレベルになった後、内部イニシャルリセットが解除されるまで、最大 $1024/f_{osc1}$ 秒($f_{osc1}=32.768$ kHzの場合は32msec)の時間を要します。

確実にイニシャルリセットを行うために、リセット入力は最低0.1msec以上、LOWレベルを保ってください。ただし、電源投入時には図2.2.1.1に示すタイミングでリセット端子をLOWレベルにしてください。

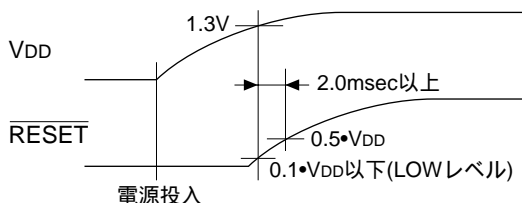


図2.2.1.1 電源投入時のイニシャルリセット

電源電圧が1.3V以上になるまで、リセット端子を0.1・VDD以下(LOWレベル)とします。その後2.0msec以上、0.5・VDD以下のレベルを保持します。

2.2.2 K00 ~ K03端子への同時LOW入力

マスクオプションで選択した入力ポート(K00 ~ K03)に、外部から同時にLOW入力を与えることによりイニシャルリセットが行えます。このイニシャルリセットはノイズリジェクト回路を通るため、動作中は1.5msec(発振周波数 $f_{osc1}=32.768\text{kHz}$ の場合)以上、指定入力端子をLOWレベルに保ってください。また、電源投入時には発振が停止しているため、ノイズリジェクト回路は動作しません。このため、発振開始後、さらに1.5msec(発振周波数 $f_{osc1}=32.768\text{kHz}$ の場合)以上、指定入力端子をLOWレベルに保ってください。表2.2.2.1にマスクオプションで選択できる入力ポート(K00 ~ K03)の組合せを示します。

表2.2.2.1 入力ポートの組合せ

1	使用しない
2	K00*K01*K02*K03
3	K00*K01*K02
4	K00*K01

たとえば、マスクオプションで2の"K00*K01*K02*K03"を選択した場合、K00 ~ K03の4ポートの入力が同時にLOWレベルになったときにイニシャルリセットを行います。3または4の場合は、選択したポートの組合せが含まれるキー入力が行われたときにイニシャルリセットがかかります。

また、同時LOW入力の入力時間を検定し、規定時間(1 ~ 2秒)以上の入力があったときにイニシャルリセットを行う時間検定回路をマスクオプションで選択できます。なお、このリセット機能を使用する場合、通常動作時に指定ポートが同時にLOWレベルにならないように注意してください。

2.2.3 内蔵リセット回路

S1C63406/408はマスクオプションで設定可能なリセット回路を内蔵しています。このリセット回路は、電源投入時のパワーオンリセット機能を実現し、電源の瞬断時や低下時に確実にシステムリセットを行います。

表2.2.3.1 リセットオプション

1	使用する 1.8V
2	使用する 1.6V
3	使用する 1.4V
4	使用しない

マスクオプションで"使用する"を選択すると、リセット回路は電源投入からVDD端子がリセット解除レベルになるまで、リセット信号を出力します。電源OFFあるいは電源電圧低下時においても、VDDがリセットレベル以下になるとリセット信号を出力します。詳細なリセットタイミングチャートは、"7 電気的特性"を参照してください。

リセット信号はRSラッチにより保持され、内部イニシャルリセット信号となります。RSラッチはOSC1クロックを分周した16Hz信号(HIGH)で解除されるようになっています。したがって、通常動作時はリセット信号がHIGHレベルになった後、内部イニシャルリセットが解除されるまで、最大 $1024/f_{osc1}$ 秒($f_{osc1}=32.768\text{kHz}$ の場合は32msec)の時間を要します。

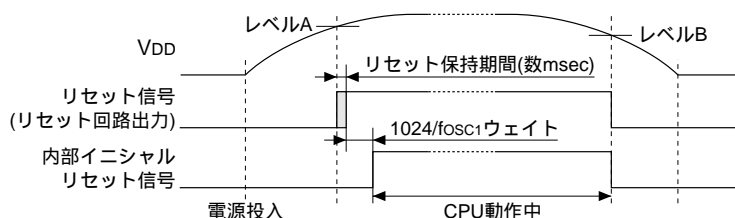


図2.2.3.1 内部リセットタイミング

リセット回路を使用する場合、マスクオプションで電圧値 1.8、1.6または1.4V を最小動作電圧(表2.1.1参照)に合わせて選択します。この選択によりリセット解除レベル(レベルA)とリセットレベル(レベルB)がリセット回路にプリセットされます。レベルAとレベルBは、40mV(Typ.)のヒステリシス電圧を持ちます。これらのレベルについては"7 電気的特性"を参照してください。リセット回路を使用した場合、消費電流が増加します。また、リセット状態での消費電流は大きくなります。詳細は"7 電気的特性"を参照してください。マスクオプションで"使用しない"を選択すると、リセット回路は電源ON/OFFや電圧低下時にリセット信号を出力しません。

注: • リセット回路使用時は、リセット端子に必ずコンデンサ(推奨値: 0.01 μF)を接続してください。コンデンサがないと、リセット回路が正しく動作しない可能性があります。また、大電流が流れてしまうので、リセット端子をHIGHレベルに固定しないでください。

• リセット回路使用時は、リセット端子によるイニシャルリセットは必要ありません。

2.2.4 イニシャルリセット時の内部レジスタ

イニシャルリセットによりCPUは表2.2.4.1のように初期化されます。

イニシャルリセットによって初期化されないレジスタ、フラグは必要に応じてプログラムで初期化する必要があります。

特にスタックポインタSP1およびSP2は必ずペアで設定してください。イニシャルリセット後は、SP1、SP2両方のスタックポインタがソフトウェアにより設定されるまでNMIを含むすべての割り込みがマスクされます。EXTレジスタにデータを書き込むとEフラグがセットされ、次の命令が拡張アドレッシングモードで実行されます。そこに拡張アドレッシングが禁止されている命令を使用した場合、動作が保証されません。したがって、EXTレジスタの初期化のみを目的としたデータ書き込みは行わないでください。

拡張アドレッシングと使用可能な命令については"S1C63000コアCPUマニュアル"を参照してください。

表2.2.4.1 初期設定値

CPUコア				周辺回路		
名 称	記号	ビット長	設定値	名 称	ビット長	設定値
データレジスタA	A	4	不定	RAM	4	不定
データレジスタB	B	4	不定	表示メモリ	4	不定
拡張レジスタEXT	EXT	8	不定	その他の周辺回路	—	*
インデックスレジスタX	X	16	不定	* "4.1 メモリマップ"参照		
インデックスレジスタY	Y	16	不定			
プログラムカウンタ	PC	16	0110H			
スタックポインタSP1	SP1	8	不定			
スタックポインタSP2	SP2	8	不定			
ゼロフラグ	Z	1	不定			
キャリーフラグ	C	1	不定			
インタラプトフラグ	I	1	0			
拡張フラグ	E	1	0			
キューレジスタ	Q	16	不定			

2.2.5 イニシャルリセット時の端子設定

S1C63406/408の出力ポートR端子、入出力兼用ポートP端子は特殊出力端子やシリアルインタフェースの入出力端子と兼用されており、それらの機能をソフトウェアで選択するようになっています。イニシャルリセット時、各端子はすべてが汎用出力ポート端子、汎用入出力兼用ポート端子として設定されますので、アプリケーションの初期化ルーチンでシステムに合った設定を行ってください。また、システム設計の際には、出力端子の初期状態にも注意してください。

表2.2.5.1に兼用端子設定の一覧を示します。

表2.2.5.1 兼用端子設定一覧

端子名	イニシャルリセット時の端子状態	特殊出力使用時		シリアルインタフェース使用時		
		TOUT	FOUT	Async.	Clk-sync. Master	Clk-sync. Slave
R10	R10 (HIGH出力)					
R11	R11 (HIGH出力)					
R12	R12 (HIGH出力)	TOUT				
R13	R13 (HIGH出力)		FOUT			
P20	P20 (入力&プルアップ)			SIN(I)	SIN(I)	SIN(I)
P21	P21 (入力&プルアップ)			SOUT(O)	SOUT(O)	SOUT(O)
P22	P22 (入力&プルアップ)				SCLK(O)	SCLK(I)
P23	P23 (入力&プルアップ)					SRDY(O)

機能の設定方法については各周辺回路の説明を参照してください。

2.3 テスト端子(TEST)

ICの出荷検査時に使用する端子です。通常動作時はTESTをVDDに接続してください。

3 CPU, ROM, RAM

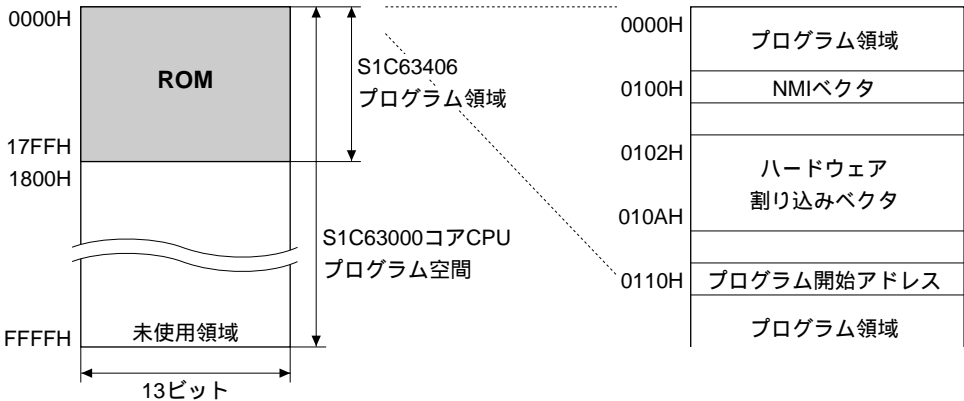
3.1 CPU

S1C63406/408はCPU部分に4ビットコアCPU S1C63000を使用しています。
S1C63000については"S1C63000コアCPUマニュアル"を参照してください。
S1C63406/408ではSLP命令も使用できます。

3.2 コードROM

内蔵コードROMはプログラム格納用のマスクROMで、S1C63406は6,144ステップ×13ビット、S1C63408は8,192ステップ×13ビットの容量があります。コアCPUのプログラム領域は0000H～FFFFHステップまでリニアにアクセス可能ですが、S1C63406では0000H～17FFHステップが、S1C63408では0000H～1FFFHステップがプログラム領域となります。イニシャルリセット後のプログラム開始番地が0110Hステップ、ノンマスクابل割り込み(NMI)ベクタが0100H、ハードウェア割り込みベクタが0102H～010AHステップに割り当てられています。

S1C63406



S1C63408

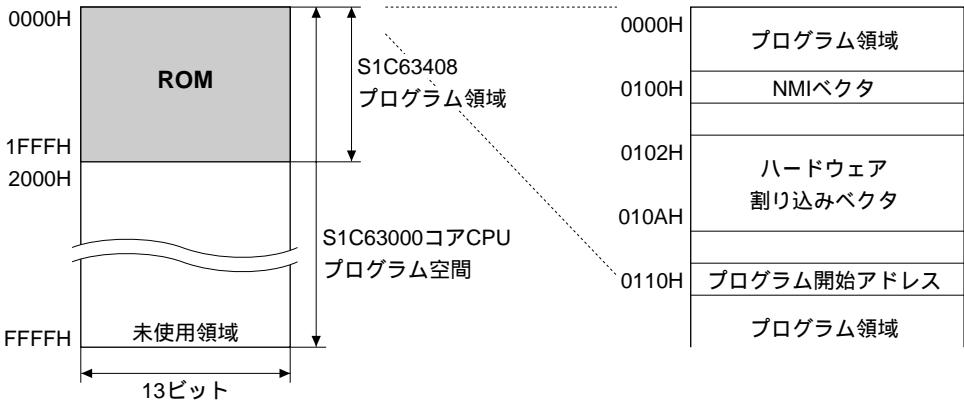


図3.2.1 コードROMの構成

3.3 RAM

RAMは種々のデータを格納するデータメモリで、1,024ワード×4ビットの容量があります。

RAM領域は、データメモリマップ上のアドレス0000H～03FFHに割り当てられています。

この中でアドレス0100H～01FFHが4ビット/16ビットデータアクセスが可能な領域、その他の領域は4ビットデータアクセスのみ可能な領域となっています。

プログラミングの際には以下の点に注意してください。

- (1) データメモリの一部をサブルーチンコールやレジスタ退避時のスタック領域としても使用しますので、データ領域とスタック領域が重ならないように注意してください。
- (2) S1C63000コアCPUは、4ビットデータ用スタックポインタ (SP2) および16ビットデータ用スタックポインタ (SP1) によりスタック処理を行います。SP1によるスタック処理では16ビットデータアクセスが行われますので、このスタック領域の設定は4ビット/16ビットアクセスが可能な領域内 (0100H～01FFH)で行ってください。スタックポインタは、SP1が0000H～03FFH、SP2が0000H～00FFHの範囲でサイクリックに動作します。このため、SP1はS1C63406/408の4ビット/16ビットアクセス領域を外れた0200H以上、あるいは00FFH以下の領域にも設定される可能性がありますので注意してください。SP1によるスタック操作以外のメモリアクセスは4ビットデータアクセスとなります。
また、イニシャルリセット時は、スタックポインタSP1、SP2の両方がソフトウェアで設定されるまでNMIを含むすべての割り込みがマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまでNMIを含む割り込みは再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。
- (3) サブルーチンコールでは16ビットデータ用スタック (SP1) を4ワード (PCの退避) 消費します。
割り込みでは16ビットデータ用スタックエリアを4ワード (PCの退避)、4ビットデータ用スタックエリアを1ワード (レジスタの退避) 消費します。

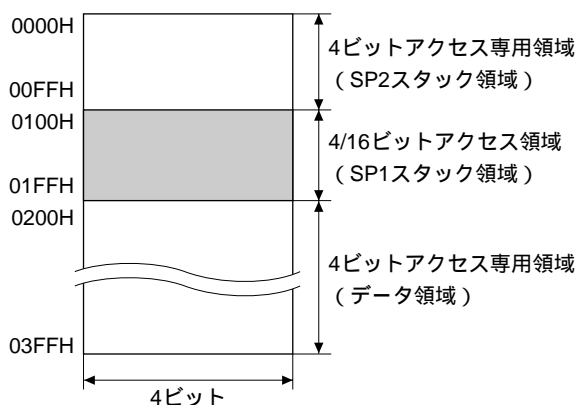


図3.3.1 データRAMの構成

3.4 データROM

データROMはキャラクタジェネレータなどの各種固定データ格納用のマスクROMで、RAMと同様にデータメモリアクセス命令でデータを読み出すことができます。

S1C63406は3,072ワード×4ビットの容量があり、データメモリマップ上のアドレス8000H～8BFFHに割り当てられています。

S1C63408は4,096ワード×4ビットの容量があり、データメモリマップ上のアドレス8000H～8FFFHに割り当てられています。

4 周辺回路と動作

S1C63406/408の周辺回路(タイマ、I/O等)はメモリマップドI/O方式で、CPUとインタフェースされています。このため、メモリマップ上のI/Oメモリをメモリ操作命令でアクセスすることにより、すべての周辺回路を制御することができます。

以下に、各周辺回路の動作について詳細に説明します。

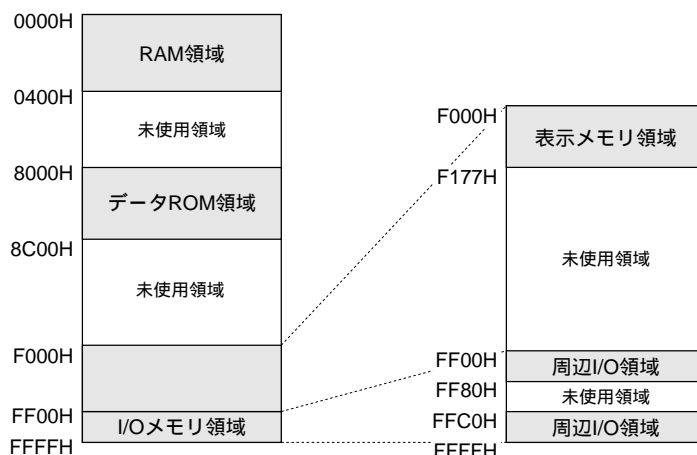
4.1 メモリマップ

S1C63406のデータメモリは1,024ワードのRAM、3,072ワードのデータROM、540ビットの表示メモリ、50ワードの周辺I/Oメモリで構成されます。

S1C63408のデータメモリは1,024ワードのRAM、4,096ワードのデータROM、1,020ビットの表示メモリ、50ワードの周辺I/Oメモリで構成されます。

図4.1.1にS1C63406/408の全体のメモリマップ、表4.1.1(a)~(d)に周辺回路(I/O空間)のメモリマップを示します。

S1C63406



S1C63408

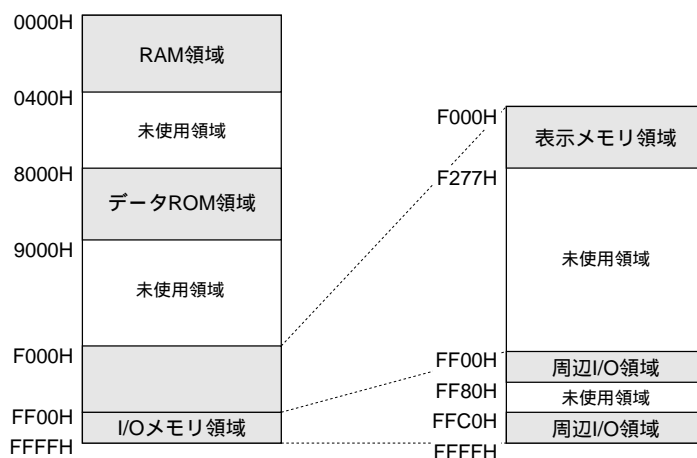


図4.1.1 メモリマップ

注: メモリマップの未使用領域にはメモリが実装されていません。また、表示メモリ領域および周辺I/O領域にも非実装領域、未使用(アクセス禁止)領域が存在します。これらの領域をアクセスするようなプログラムを作成した場合は、正常な動作を保証することはできません。

表示メモリについては“4.7.4 表示メモリ”を、周辺I/O領域については表4.1.1(a)~(d)に示すI/Oメモリマップを参照してください。

表4.1.1(a) I/Oメモリマップ(FF00H ~ FF4AH)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF00H	CLKCHG	OSCC	VDC1	VDC0	CLKCHG	0	OSC3	OSC1	CPUクロック切り換え OSC3発振On/Off CPU動作電圧 [VDC1, 0] 0 1 2 3 切り換え V _{DI} (V) 1.1 1.3 1.5 1.7
					OSCC	0	On	Off	
					VDC1	0			
					VDC0	0			
FF04H	SVDS3	SVDS2	SVDS1	SVDS0	SVDS3	0			SVD比較電圧設定 [SVDS3~0] 0 1 2 3 4 5 6 7 電圧(V) 1.30 1.40 1.50 1.60 1.70 1.80 1.90 2.00 [SVDS3~0] 8 9 10 11 12 13 14 15 電圧(V) 2.10 2.20 2.30 2.40 2.50 2.60 2.70 2.80
					SVDS2	0			
					SVDS1	0			
					SVDS0	0			
FF05H	0	0	SVDDT	SVDON	0 *3	– *2			未使用 未使用 SVD検出データ SVD回路On/Off
					0 *3	– *2			
					SVDDT	0	Low	Normal	
					SVDON	0	On	Off	
FF06H	FOUTE	FOFQ2	FOFQ1	FOFQ0	FOUTE	0	Enable	Disable	FOUT出力ラインネブル [FOFQ2~0] 0 1 2 3 FOUT 周波数 fosc1/64 fosc1/32 fosc1/16 fosc1/8 周波数 [FOFQ2~0] 4 5 6 7 選択 周波数 fosc1/4 fosc1 fosc3/2 fosc3
					FOFQ2	0			
					FOFQ1	0			
					FOFQ0	0			
FF07H	HLMOD	0	WDEN	WDRST	HLMOD	0	On	Off	重負荷保護モード 未使用 ウォッチドッグタイマイネブル ウォッチドッグタイマリセット(書き込み時)
					0 *3	– *2			
					WDEN	1	Enable	Disable	
					WDRST *3	Reset	Reset	Invalid	
FF42H	K03	K02	K01	K00	K03	– *2	High	Low	K00 ~ K03入力ポートデータ
					K02	– *2	High	Low	
					K01	– *2	High	Low	
					K00	– *2	High	Low	
FF43H	0	0	KONR1	KONR0	0 *3	– *2			未使用 未使用 K0割り込み [KONR1, 0] 0 1 2 3 ノイズリジェクタ NR Off 0.5ms 2.0ms 7.8ms
					0 *3	– *2			
					KONR1	0			
					KONR0	0			
FF46H	R13	R12	R11	R10	R13	1	High	Low	R13出力ポートデータ(FOUTE=0) FOUT出力時は1に固定(FOUTE=1) R12出力ポートデータ(PTOUT=0) TOUT出力時は1に固定(PTOUT=1) R11出力ポートデータ R10出力ポートデータ
					R12	1	High	Low	
					R11	1	High	Low	
					R10	1	High	Low	
FF48H	IOC23	IOC22	IOC21	IOC20	IOC23	0	Output	Input	P23 I/O制御レジスタ SIF クロック同期式スレープ 選択時、汎用レジスタとして機能 P22 I/O制御レジスタ SIF クロック同期式のみ 選択時、汎用レジスタとして機能 P21 I/O制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能 P20 I/O制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能
					IOC22	0	Output	Input	
					IOC21	0	Output	Input	
					IOC20	0	Output	Input	
FF49H	PPL23	PPL22	PPL21	PPL20	PPL23	1	On	Off	P23ブルアップ制御レジスタ SIF クロック同期式スレープ 選択時、汎用レジスタとして機能 P22ブルアップ制御レジスタ SIF クロック同期式マスタ 選択時、汎用レジスタとして機能 SIF クロック同期式スレープ 選択時、 SCLK(1)ブルアップ制御レジスタ P21ブルアップ制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能 P20ブルアップ制御レジスタ(ESIF=0) SIF選択時、SINブルアップ制御レジスタ
					PPL22	1	On	Off	
					PPL21	1	On	Off	
					PPL20	1	On	Off	
FF4AH	P23 (XSRDY)	P22 (XSCLK)	P21 (SOUT)	P20 (SIN)	P23	– *2	High	Low	P23入出力兼用ポートデータ SIF クロック同期式スレープ 選択時、汎用レジスタとして機能 P22入出力兼用ポートデータ SIF クロック同期式のみ 選択時、汎用レジスタとして機能 P21入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能 P20入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能
					P22	– *2	High	Low	
					P21	– *2	High	Low	
					P20	– *2	High	Low	

[注 釈]

*1 イニシャルリセット時の初期値 *2 回路上設定されない *3 読み出し時は常時"0"

表4.1.1(b) I/Oメモリマップ(FF54H ~ FF7AH)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF54H	SIK03	SIK02	SIK01	SIK00	SIK03	0	Enable	Disable	K00 ~ K03割り込み選択レジスタ
					SIK02	0	Enable	Disable	
	R/W				SIK01	0	Enable	Disable	
					SIK00	0	Enable	Disable	
FF55H	KCP03	KCP02	KCP01	KCP00	KCP03	1			K00 ~ K03入力比較レジスタ
					KCP02	1			
	R/W				KCP01	1			
					KCP00	1			
FF60H	LDUTY1	LDUTY0	VCCHG	LPWR	LDUTY1	0			LCD駆動デューティ 切り換え LCD定電圧切り換え LCD電源On/Off
					LDUTY0	0			
	R/W				VCCHG	0	Vc2	Vc1	
					LPWR	0	On	Off	
FF61H	EXLCDC	ALOFF	ALON	LPAGE	EXLCDC	0	1	0	汎用レジスタ LCD全消灯制御 LCD全点灯制御 表示メモリ領域選択(S1C63408で1/8デューティ選択時) S1C63408で1/17、1/16、1/9デューティ選択時、 およびS1C63406では汎用レジスタとして機能
					ALOFF	1	All Off	Normal	
					ALON	0	All On	Normal	
	R/W				LPAGE	0	F100-F177	F000-F077	
FF62H	LC3	LC2	LC1	LC0	LC3	- *2			LCDコントラスト調整 [LC3~0] 0 ~ 15 コントラスト 淡 ~ 濃
					LC2	- *2			
	R/W				LC1	- *2			
					LC0	- *2			
FF70H	0	SMD1	SMD0	ESIF	0 *3	- *2			未使用 [SMD1, 0] 0 1 シリアルI/F モード Clk-sync. master Clk-sync. slave モード選択 [SMD1, 0] 2 3 モード Async. 7-bit Async. 8-bit シリアルI/Fイネーブル(P2xポート機能選択)
	R	R/W			SMD1	0			
					SMD0	0			
					ESIF	0	SIF	I/O	
FF71H	EPR	PMD	SCS1	SCS0	EPR	0	Enable	Disable	シリアルI/Fバリディ機能選択 シリアルI/Fバリディモード選択 シリアルI/F [SCS1, 0] 0 1 2 3 クロック源選択 モード 1200bps 600bps 2400bps PT
					PMD	0	Odd	Even	
	R/W				SCS1	0			
					SCS0	0			
FF72H	RXTRG	RXEN	TXTRG	TXEN	RXTRG	0	Run	Stop	シリアルI/F受信ステータス(読み出し時) シリアルI/F受信トリガ(書き込み時) シリアルI/F受信イネーブル シリアルI/F送信ステータス(読み出し時) シリアルI/F送信トリガ(書き込み時) シリアルI/F送信イネーブル
					RXEN	0	Enable	Disable	
	R/W				TXTRG	0	Run	Stop	
					TXEN	0	Trigger	Enable	
FF73H	0	FER	PER	OER	0 *3	- *2			未使用 SIFフレーミングエラーフラグステータス(読み出し時) SIFフレーミングエラーフラグリセット(書き込み時) SIFバリディエラーフラグステータス(読み出し時) SIFバリディエラーフラグリセット(書き込み時) SIFオーバーランエラーフラグステータス(読み出し時) SIFオーバーランエラーフラグリセット(書き込み時)
					FER	0	Error	No error	
	R/W				PER	0	Error	No error	
					OER	0	Error	No error	
FF74H	TRXD3	TRXD2	TRXD1	TRXD0	TRXD3	- *2	High	Low	シリアルI/F送受信データ(下位4ビット) LSB
					TRXD2	- *2	High	Low	
	R/W				TRXD1	- *2	High	Low	
					TRXD0	- *2	High	Low	
FF75H	TRXD7	TRXD6	TRXD5	TRXD4	TRXD7	- *2	High	Low	MSB シリアルI/F送受信データ(上位4ビット)
					TRXD6	- *2	High	Low	
	R/W				TRXD5	- *2	High	Low	
					TRXD4	- *2	High	Low	
FF78H	0	0	TMRST	TMRUN	0 *3	- *2			未使用 未使用 計時タイマリセット(書き込み時) 計時タイマRun/Stop
					0 *3	- *2			
	R		W	R/W	TMRST *3	Reset	Reset	Invalid	
					TMRUN	0	Run	Stop	
FF79H	TM3	TM2	TM1	TM0	TM3	0			計時タイマデータ(16Hz) 計時タイマデータ(32Hz) 計時タイマデータ(64Hz) 計時タイマデータ(128Hz)
					TM2	0			
	R				TM1	0			
					TM0	0			
FF7AH	TM7	TM6	TM5	TM4	TM7	0			計時タイマデータ(1Hz) 計時タイマデータ(2Hz) 計時タイマデータ(4Hz) 計時タイマデータ(8Hz)
					TM6	0			
	R				TM5	0			
					TM4	0			

表4.1.1(c) I/Oメモリマップ(FF7CH~FFCBH)

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF7CH	0	0	SWRST	SWRUN	0 *3 0 *3	- *2 - *2			未使用 未使用 ストップウォッチタイマリセット(書き込み時) ストップウォッチタイマRun/Stop
	R		W	R/W	SWRST*3 SWRUN	Reset 0	Reset Run	Invalid Stop	
FF7DH	SWD3	SWD2	SWD1	SWD0	SWD3 SWD2 SWD1 SWD0	0 0 0 0			ストップウォッチタイマデータ BCD(1/100sec)
	R								
FF7EH	SWD7	SWD6	SWD5	SWD4	SWD7 SWD6 SWD5 SWD4	0 0 0 0			ストップウォッチタイマデータ BCD(1/10sec)
	R								
FFC0H	MODE16	EVCNT	FCSEL	PLPOL	MODE16 EVCNT FCSEL PLPOL	0 0 0 0	16bit×1 Event ct. With NR ↑	8bit×2 Timer No NR ↓	タイマモード選択(8ビット×2または16ビット×1) タイマ0カウンタモード選択 タイマ0機能選択(イベントカウンタモード時) タイマ0パルス極性選択(イベントカウンタモード時)
	R/W								
FFC1H	CHSEL	PTOUT	CKSEL1	CKSEL0	CHSEL PTOUT CKSEL1 CKSEL0	0 0 0 0	Timer1 On OSC3 OSC3	Timer0 Off OSC1 OSC1	TOUT出力チャンネル選択 TOUT出力制御 プリスケアラ1原振クロック選択 プリスケアラ0原振クロック選択
	R/W								
FFC2H	PTPS01	PTPS00	PTRST0	PTRUN0	PTPS01 PTPS00 PTRST0*3 PTRUN0	0 0 - *2 Reset Run		Invalid Stop	プリスケアラ0 [PTPS01,00] 0 1 2 3 分周比選択 分周比 1/1 1/4 1/32 1/256 タイマ0リセット(リロード) タイマ0 Run/Stop
	R/W		W	R/W					
FFC3H	PTPS11	PTPS10	PTRST1	PTRUN1	PTPS11 PTPS10 PTRST1*3 PTRUN1	0 0 - *2 Reset Run		Invalid Stop	プリスケアラ1 [PTPS11,10] 0 1 2 3 分周比選択 分周比 1/1 1/4 1/32 1/256 タイマ1リセット(リロード) タイマ1 Run/Stop
	R/W		W	R/W					
FFC4H	RLD03	RLD02	RLD01	RLD00	RLD03 RLD02 RLD01 RLD00	0 0 0 0			MSB プログラマブルタイマ0リロードデータ(下位4ビット) LSB
	R/W								
FFC5H	RLD07	RLD06	RLD05	RLD04	RLD07 RLD06 RLD05 RLD04	0 0 0 0			MSB プログラマブルタイマ0リロードデータ(上位4ビット) LSB
	R/W								
FFC6H	RLD13	RLD12	RLD11	RLD10	RLD13 RLD12 RLD11 RLD10	0 0 0 0			MSB プログラマブルタイマ1リロードデータ(下位4ビット) LSB
	R/W								
FFC7H	RLD17	RLD16	RLD15	RLD14	RLD17 RLD16 RLD15 RLD14	0 0 0 0			MSB プログラマブルタイマ1リロードデータ(上位4ビット) LSB
	R/W								
FFC8H	PTD03	PTD02	PTD01	PTD00	PTD03 PTD02 PTD01 PTD00	0 0 0 0			MSB プログラマブルタイマ0データ(下位4ビット) LSB
	R								
FFC9H	PTD07	PTD06	PTD05	PTD04	PTD07 PTD06 PTD05 PTD04	0 0 0 0			MSB プログラマブルタイマ0データ(上位4ビット) LSB
	R								
FFCAH	PTD13	PTD12	PTD11	PTD10	PTD13 PTD12 PTD11 PTD10	0 0 0 0			MSB プログラマブルタイマ1データ(下位4ビット) LSB
	R								
FFCBH	PTD17	PTD16	PTD15	PTD14	PTD17 PTD16 PTD15 PTD14	0 0 0 0			MSB プログラマブルタイマ1データ(上位4ビット) LSB
	R								

表4.1.1(d) I/Oメモリマップ(FFE2H ~ FFFBH)

アドレス	レジスタ				注 釈				
	D3	D2	D1	D0	Name	Init *1	1	0	
FFE2H	GPR23	GPR22	EIPT1	EIPT0	GPR23	0	1	0	汎用レジスタ
					GPR22	0	1	0	汎用レジスタ
	R/W				EIPT1	0	Enable	Mask	割り込みマスクレジスタ(プログラマブルタイマ1)
					EIPT0	0	Enable	Mask	割り込みマスクレジスタ(プログラマブルタイマ0)
FFE3H	GPR33	EISER	EISTR	EISRC	GPR33	0	1	0	汎用レジスタ
					EISER	0	Enable	Mask	割り込みマスクレジスタ(シリアルI/Fエラー)
	R/W				EISTR	0	Enable	Mask	割り込みマスクレジスタ(シリアルI/F送信完了)
					EISRC	0	Enable	Mask	割り込みマスクレジスタ(シリアルI/F受信完了)
FFE6H	EIT3	EIT2	EIT1	EIT0	EIT3	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ1Hz)
					EIT2	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ2Hz)
	R/W				EIT1	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ8Hz)
					EIT0	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ32Hz)
FFE7H	GPR73	GPR72	EISW1	EISW10	GPR73	0	1	0	汎用レジスタ
					GPR72	0	1	0	汎用レジスタ
	R/W				EISW1	0	Enable	Mask	割り込みマスクレジスタ(ストップウォッチタイマ1Hz)
					EISW10	0	Enable	Mask	割り込みマスクレジスタ(ストップウォッチタイマ10Hz)
FFEBH	EIK03	EIK02	EIK01	EIK00	EIK03	0	Enable	Mask	割り込みマスクレジスタ(K03)
					EIK02	0	Enable	Mask	割り込みマスクレジスタ(K02)
	R/W				EIK01	0	Enable	Mask	割り込みマスクレジスタ(K01)
					EIK00	0	Enable	Mask	割り込みマスクレジスタ(K00)
FFF2H	0	0	IPT1	IPT0	0 *3	— *2	(R)	(R)	未使用
					0 *3	— *2	Yes	No	未使用
	R		R/W		IPT1	0	(W)	(W)	割り込み要因フラグ(プログラマブルタイマ1)
					IPT0	0	Reset	Invalid	割り込み要因フラグ(プログラマブルタイマ0)
FFF3H	0	ISER	ISTR	ISRC	0 *3	— *2	(R)	(R)	未使用
					ISER	0	Yes	No	割り込み要因フラグ(シリアルI/Fエラー)
	R		R/W		ISTR	0	(W)	(W)	割り込み要因フラグ(シリアルI/F送信完了)
					ISRC	0	Reset	Invalid	割り込み要因フラグ(シリアルI/F受信完了)
FFF6H	IT3	IT2	IT1	IT0	IT3	0	(R)	(R)	割り込み要因フラグ(計時タイマ1Hz)
					IT2	0	Yes	No	割り込み要因フラグ(計時タイマ2Hz)
	R/W				IT1	0	(W)	(W)	割り込み要因フラグ(計時タイマ8Hz)
					IT0	0	Reset	Invalid	割り込み要因フラグ(計時タイマ32Hz)
FFF7H	0	0	ISW1	ISW10	0 *3	— *2	(R)	(R)	未使用
					0 *3	— *2	Yes	No	未使用
	R		R/W		ISW1	0	(W)	(W)	割り込み要因フラグ(ストップウォッチタイマ1Hz)
					ISW10	0	Reset	Invalid	割り込み要因フラグ(ストップウォッチタイマ10Hz)
FFFBH	IK03	IK02	IK01	IK00	IK03	0	(R)	(R)	割り込み要因フラグ(K03)
					IK02	0	Yes	No	割り込み要因フラグ(K02)
	R/W				IK01	0	(W)	(W)	割り込み要因フラグ(K01)
					IK00	0	Reset	Invalid	割り込み要因フラグ(K00)

4.2 ウォッチドッグタイマ

4.2.1 ウォッチドッグタイマの構成

S1C63406/408はOSC1分周クロック256Hzを原振とするウォッチドッグタイマを内蔵しています。ウォッチドッグタイマはイニシャルリセット時に動作状態に設定されますが、ソフトウェアにより動作を停止させることができます。ウォッチドッグタイマが動作中はソフトウェアにより周期的にリセットする必要があり、3～4秒以上リセットが行われない場合、CPUに対してノンマスクابل割り込み(NMI)が発生します。

図4.2.1.1にウォッチドッグタイマのブロック図を示します。

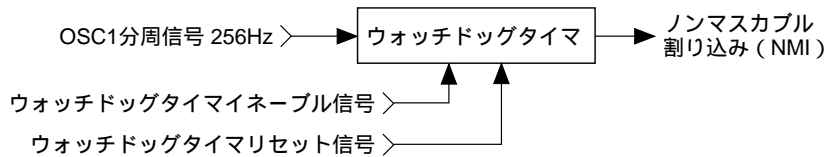


図4.2.1.1 ウォッチドッグタイマのブロック図

ウォッチドッグタイマは10ビットのバイナリカウンタで構成され、最終段0.25Hzのオーバーフローによってノンマスクابل割り込みが発生します。

プログラムのメインルーチン上でウォッチドッグタイマのリセット処理をすることにより、メインルーチンのウォッチドッグタイマ処理を通らないようなプログラムの暴走を検出することができます。通常はこのルーチンをタイマ割り込みルーチンのように、定期的に処理される箇所に組み込みます。

なお、ウォッチドッグタイマはHALT時も動作しており、HALT状態を3～4秒間続けるとノンマスクابل割り込みによりHALT状態が解除されます。

4.2.2 割り込み機能

ウォッチドッグタイマがソフトウェアによって周期的にリセットされない場合、コアCPUに対してノンマスクابل(NMI)割り込みが発生します。この割り込みはマスク不可能で、割り込み禁止状態(1フラグ="0")でも受け付けられます(イニシャルリセット直後やスタックポインタ再設定時など、SP1およびSP2がペアで設定されるまでの割り込みマスク状態は除きます)。

NMIの割り込みベクタはプログラムメモリの0100Hに設定されています。

4.2.3 ウォッチドッグタイマのI/Oメモリ

表4.2.3.1にウォッチドッグタイマの制御ビットとそのアドレスを示します。

表4.2.3.1 ウォッチドッグタイマの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF07H	HLMOD	0	WDEN	WDRST	HLMOD 0 *3	0 - *2	On	Off	重負荷保護モード 未使用
	R/W	R	R/W	W	WDEN	1	Enable Reset	Disable Invalid	ウォッチドッグタイマイネーブル ウォッチドッグタイマリセット(書き込み時)
					WDRST *3	Reset			

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

WDEN: ウォッチドッグタイマイネーブルレジスタ(FF07H・D1)

ウォッチドッグタイマを使用する(イネーブル)かしない(ディセーブル)か選択します。

"1"書き込み: イネーブル

"0"書き込み: ディセーブル

読み出し: 可能

WDENレジスタに"1"を書き込むことによりウォッチドッグタイマはイネーブルとなりカウント動作を行います。

"0"を書き込んだ場合はディセーブルとなりカウント動作および割り込み(NMI)の発生も行いません。

イニシャルリセット時、このレジスタは"1"にセットされます。

WDRST: ウォッチドッグタイマリセット(FF07H・D0)

ウォッチドッグタイマをリセットするビットです。

"1"書き込み: ウォッチドッグタイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

WDRSTに"1"を書き込むことによりウォッチドッグタイマはリセットされ、その直後リスタートします。"0"の書き込みはノーオペレーションとなります。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

4.2.4 プログラミング上の注意事項

- (1) ウォッチドッグタイマを使用する場合、3秒周期以内にソフトウェアでウォッチドッグタイマをリセットする必要があります。
- (2) イニシャルリセットによりウォッチドッグタイマは動作状態に設定されますので、使用しない場合は割り込み(NMI)発生前にウォッチドッグタイマをディセーブル(使用しない)に設定してください。

4.3 発振回路

4.3.1 発振回路の構成

S1C63406/408は2系統の発振回路(OSC1とOSC3)を内蔵しています。このうちOSC1は水晶またはCR発振回路で、CPUおよび周辺回路に動作クロックを供給します。また、OSC3はCR、水晶またはセラミック発振回路で、高速動作が要求される処理が必要な場合に、CPUの動作クロックをソフトウェアによりOSC1からOSC3に切り換えて使用します。内部回路の動作を安定させるために、使用する発振回路によって動作電圧V_{D1}もソフトウェアによって切り換える必要があります。

図4.3.1.1に発振系のブロック図を示します。

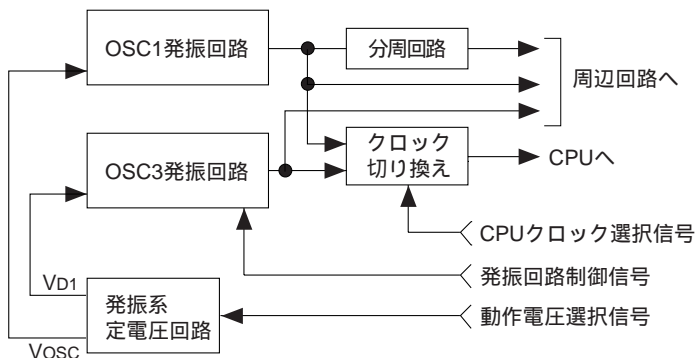


図4.3.1.1 発振系のブロック図

注: S1C63406/408はSLEEP機能に対応しており、SLEEP時にOSC3発振回路が停止します。OSC1発振回路は分周回路および周辺回路へのクロック供給を停止しますが、発振動作は停止しません。SLEEPモードから起床した時点でCPUが誤動作しないようにするため、SLEEPモードへはCPUがOSC1クロックで動作している状態で移行してください。

4.3.2 OSC1発振回路

OSC1発振回路はCPUおよび周辺回路用のメインクロックを発生します。発振回路の種類として、水晶発振またはCR発振のいずれかをマスクオプションによって選択できます。発振周波数は水晶発振回路の場合が32.768kHz (Typ.)、CR発振回路の場合が60kHz (Typ.)です。

OSC1発振回路は発振系定電圧回路が出力する V_{osc} (1.3V Typ.)で動作します。

図4.3.2.1にOSC1発振回路のブロック図を示します。

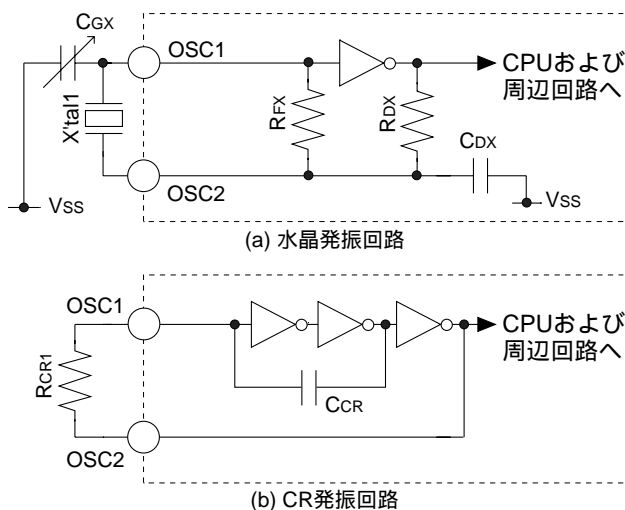


図4.3.2.1 OSC1発振回路

図4.3.2.1に示すとおり、水晶発振を選択した場合は、OSC1端子とOSC2端子間に32.768kHz (Typ.) の水晶振動子 (X'tal) を、OSC1端子とVSS間にトリマコンデンサ (CGX) をそれぞれ接続することにより、容易に水晶発振回路を構成することができます。

CR発振を選択した場合は、OSC1端子とOSC2端子間に抵抗 (RCR1) を接続するだけでCR発振回路を構成できます。RCR1の抵抗値については"7 電気的特性"を参照してください。

注: • CR発振は水晶発振に比べ消費電流が大きくなります。

• CR発振は発振周波数が多少変動しますので、それに対する考慮が必要です。

特に、 f_{osc1} を原振としているタイマ(時計のずれ)、LCDフレーム周波数(表示品質の変化、低周波数時のチラツキ等)等には注意が必要です。

4.3.3 OSC3発振回路

S1C63406/408はCPUを高速動作(Max. 4.2MHz)させるためのサブクロック、および高速クロックを必要とする周辺回路(プログラブルタイマ、FOUT出力等)のソースクロックを発生するOSC3発振回路を内蔵しています。この発振回路にはCR、水晶またはセラミック発振をマスクオプションで選択できます。

OSC3発振回路は内部動作電圧 V_{D1} で動作します。OSC3発振回路のON/OFF時は、 V_{D1} の電圧値も切り換える必要があります(詳細は次項を参照)。

図4.3.3.1にOSC3発振回路のブロック図を示します。

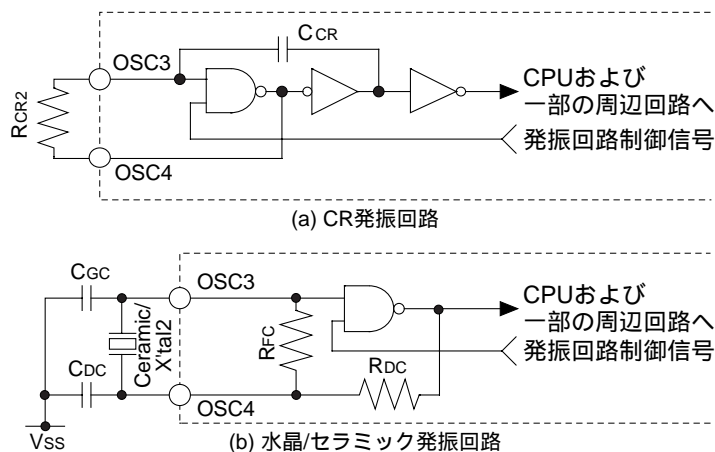


図4.3.3.1 OSC3発振回路

図4.3.3.1に示すとおり、CR発振を選択した場合はOSC3端子とOSC4端子間に抵抗(R_{CR2})を接続するだけでCR発振回路を構成できます。 R_{CR2} の抵抗値については"7 電気的特性"を参照してください。

水晶発振またはセラミック発振を選択した場合はOSC3端子とOSC4端子間に水晶またはセラミック振動子(Max. 4.2MHz)を、同OSC3、OSC4端子と V_{SS} 間にコンデンサを2個(C_{GC} 、 C_{DC})それぞれ接続することで水晶発振回路またはセラミック発振回路を構成できます。 C_{GC} 、 C_{DC} の値については"7 電気的特性"を参照してください。

このOSC3発振回路は消費電流を低減するために、使用しないときはソフトウェア($OSCC$ レジスタ)によって発振を停止させることができます。

4.3.4 動作電圧切り換え

OSC1とOSC3のどちらをCPUのシステムクロックとして使用するかソフトウェア(CLKCHGレジスタ)によって切り換えます。この場合、動作を安定させるために内部回路の動作電圧V_{D1}もソフトウェア(VDC1、VDC0レジスタ)によって切り換える必要があります。電源回路は以下の4種類の電圧をV_{D1}として出力可能です。V_{D1}を切り換える際は、発振周波数に合った電圧値を選択してください。

1. V_{D1} = 1.1V (VDC1, VDC0 = "0H")

これは省電力動作用のモードで、システムをOSC1クロック(80kHz Max.)で動作させる場合に選択します。このモードでは、OSC3発振回路をONしないでください。また、CLKCHGはハード的にOSC3への切り換えを許可しないようになっています。

2. V_{D1} = 1.3V (VDC1, VDC0 = "1H")

OSC3 CR発振クロック(700kHz Max.)を使用する場合に選択します。700kHz以上のCR発振またはCR発振以外のクロックを使用する場合はこのモードに設定しないでください。

3. V_{D1} = 1.5V (VDC1, VDC0 = "2H")

OSC3 CR発振クロック(2.2MHz Max.)を使用する場合に選択します。2.2MHz以上のCR発振またはCR発振以外のクロックを使用する場合はこのモードに設定しないでください。OSC3が700kHz以下のCR発振の場合でも、このモードは設定可能です。ただし、消費電力の面から推奨しません。

4. V_{D1} = 1.7V (VDC1, VDC0 = "3H")

OSC3水晶発振、セラミック発振またはCR発振クロック(4.2MHz Max.)を使用する場合に選択します。OSC3が2.2MHz以下のCR発振の場合でも、このモードは設定可能です。ただし、消費電力の面から推奨しません。

CPUのシステムクロックとしてOSC3を使用する場合は、ソフトウェアにより動作電圧V_{D1}を切り換え、動作が安定する2.5msec以上の時間をおいてOSC3の発振をONし、さらに発振が安定する5msec以上の時間をおいてクロックの切り換えを行ってください。

OSC3からOSC1に切り換える場合は、クロックを切り換え後にOSC3発振をOFFし、最後に動作電圧V_{D1}を1.1Vに設定します。

OSC1 OSC3

1. VDC1、VDC0に"1"、"2"または"3"を設定
2. 2.5msec以上保持
3. OSCCに"1"を設定(OSC3発振ON)
4. 5msec以上保持
5. CLKCHGに"1"を設定(OSC1 OSC3)

OSC3 OSC1

1. CLKCHGに"0"を設定(OSC3 OSC1)
2. OSCCに"0"を設定(OSC3発振OFF)
3. VDC1、VDC0に"0"を設定(V_{D1} = 1.1V)

4.3.5 クロック周波数とインストラクション実行時間

表4.3.5.1に各クロックの周波数によるインストラクションの実行時間を示します。

表4.3.5.1 クロック周波数とインストラクション実行時間

クロック周波数	インストラクション実行時間(μ sec)		
	1サイクル命令	2サイクル命令	3サイクル命令
OSC1: 32.768kHz	61	122	183
OSC1: 60kHz	33	67	100
OSC3: 2MHz	1	2	3
OSC3: 3.58MHz	0.56	1.12	1.68
OSC3: 4MHz	0.5	1	1.5

4.3.6 発振回路のI/Oメモリ

表4.3.6.1に発振回路の制御ビットとそのアドレスを示します。

表4.3.6.1 発振回路の制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF00H	CLKCHG	OSCC	VDC1	VDC0	CLKCHG	0	OSC3	OSC1	CPUクロック切り換え
					OSCC	0	On	Off	OSC3発振On/Off
	R/W				VDC1	0			CPU動作電圧
					VDC0	0			切り換え
									[VDC1, 0] 0 1 2 3 V _{D1} (V) 1.1 1.3 1.5 1.7

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

VDC1, VDC0: CPU動作電圧切り換えレジスタ(FF00H・D1, D0)

動作電圧V_{D1}の切り換えを行います。

表4.3.6.2 CPU動作電圧と発振周波数

VDC1	VDC0	V _{D1}	発振回路(周波数)
1	1	1.7V	OSC3 CR, セラミック, 水晶発振 (4.2MHz max.)
1	0	1.5V	OSC3 CR発振 (2.2MHz max.)
0	1	1.3V	OSC3 CR発振 (700kHz max.)
0	0	1.1V	OSC1 水晶, CR発振 (80kHz max.)

CPUシステムクロックの切り換えを行う場合に、動作電圧V_{D1}もクロックにしたがって切り換えます。

OSC1からOSC3に切り換える場合は、OSC3発振をONにする前にV_{D1}を適切な値に設定してください。その後、2.5msec以上の時間をおいてからOSC3発振をONにします。

OSC3からOSC1に切り換える場合は、OSC1に切り換えてOSC3発振をOFFにした後でV_{D1}を1.1Vに設定してください。これにより消費電流が低減できます。なお、このレジスタが"0"の場合はOSC3発振をONしないください。

イニシャルリセット時、このレジスタは"0"に設定されます。

OSCC: OSC3発振制御レジスタ(FF00H・D2)

OSC3発振回路の発振ON、OFFを制御します。

"1"書き込み: OSC3発振ON

"0"書き込み: OSC3発振OFF

読み出し: 可能

CPUを高速に動作させる必要のある場合にOSCCを"1"とし、それ以外の場合は、消費電流低減のため"0"としてください。また、OSC3発振回路のON/OFF時に動作電圧V_{D1}の切り換えを行う必要があります。

イニシャルリセット時、このレジスタは"0"に設定されます。

CLKCHG: CPUクロック切り換えレジスタ(FF00H・D3)

CPUの動作クロックを選択します。

"1"書き込み: OSC3クロックを選択

"0"書き込み: OSC1クロックを選択

読み出し: 可能

CPUの動作クロックをOSC3にする場合にCLKCHGを"1"に設定してください。OSC3発振をON(OSCC = "1")にした直後は5msec以上の時間をおいてからクロックの切り換えを行ってください。

CLKCHGを"0"に設定した場合はOSC1クロックが選択されます。

なお、OSC3発振がOFF(OSCC = "0")の場合はCLKCHG="1"の設定は無効となり、OSC3への切り換えは行われません。

イニシャルリセット時、このレジスタは"0"に設定されます。

4.3.7 プログラミング上の注意事項

- (1) CPUシステムクロックをOSC1からOSC3に切り換える場合は、OSC3発振をONにする前にV_{D1}の設定を行ってください。その後、2.5msec以上の時間をおいてからOSC3発振をONにします。OSC3からOSC1に切り換える場合は、OSC1に切り換えてOSC3発振をOFFにした後でV_{D1}を設定してください。
- (2) OSC3発振回路がONしてから発振が安定するまでに、5msec以上を必要とします。したがって、CPUの動作クロックをOSC1からOSC3に切り換える際は、OSC3発振ONの後、5msec以上経過してから行ってください。また、発振安定時間は外付け発振子の特性および使用条件等により異なりますので、十分マージンを取って待ち時間を設定してください。
- (3) OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々のインストラクションで行ってください。1インストラクションで、同時に処理するとCPUの誤動作につながります。
- (4) S1C63406/408はSLEEP機能に対応しており、SLEEP時にOSC3発振回路が停止します。OSC1発振回路は分周回路および周辺回路へのクロック供給を停止しますが、発振動作は停止しません。SLEEPモードから起床した時点でCPUが誤動作しないようにするため、SLEEPモードへはCPUがOSC1クロックで動作している状態で移行してください。

4.4 入力ポート(K00 ~ K03)

4.4.1 入力ポートの構成

S1C63406/408は4ビットの汎用入力ポートを内蔵しています。各入力ポート端子(K00 ~ K03)には内蔵プルアップ抵抗が用意されており、マスクオプションで1ビットごとにプルアップ抵抗の有無を選択できます。図4.4.1.1に入力ポートの構造を示します。

マスクオプションで"プルアップ抵抗 あり"を選択した場合、プッシュスイッチ、キーマトリクス等の入力に適当です。また、"プルアップ抵抗 なし"を選択した場合、スライドスイッチ入力、他LSIとのインタフェースなどに使用できます。

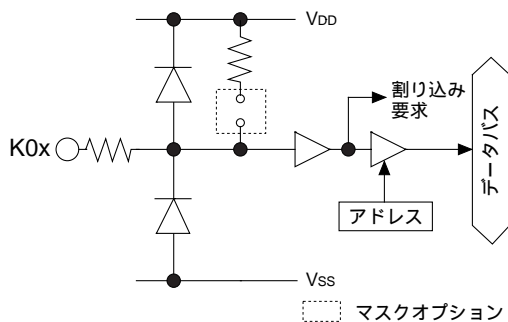


図4.4.1.1 入力ポートの構造

4.4.2 マスクオプション

入力ポートのマスクオプションでは4ビットの入力ポート(K00 ~ K03)に対して、1ビットごとに内蔵プルアップ抵抗の有無を選択できます。

"プルアップ抵抗 なし"を選択した場合は、入力にフローティング状態が発生しないよう注意してください。使用しない入力ポートは"プルアップ抵抗 あり"を選択してください。

4.4.3 割り込み機能

入力ポート4ビット(K00 ~ K03)は、すべて割り込み機能を持っており、割り込み発生条件はソフトウェアで設定することができます。また、割り込みをマスクするかしないかを、同様にソフトウェアで設定することができます。図4.4.3.1にK00 ~ K03割り込み回路の構成図を示します。

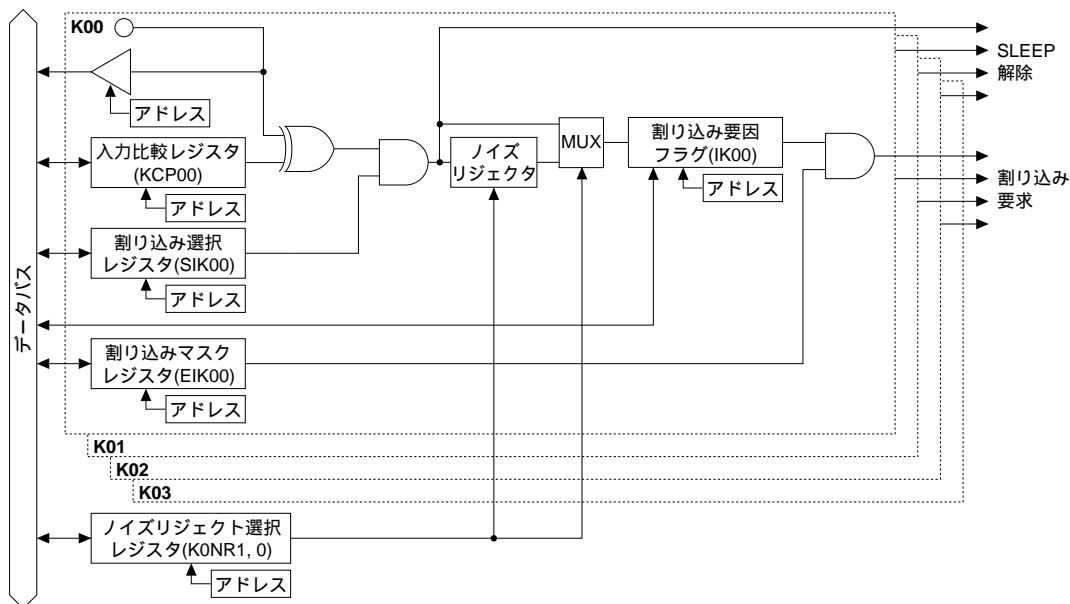


図4.4.3.1 入力割り込み回路構成

入力ポートK00～K03には個々に割り込み選択レジスタ(SIK00～SIK03)および入力比較レジスタ(KCP00～KCP03)が設けられています。

割り込み選択レジスタ(SIK0x)は、割り込みまたはSLEEPモードの解除に使用するポートを選択します。割り込み選択レジスタに"1"を書き込むことにより、そのポートを割り込み発生条件に組み込みます。割り込み選択レジスタが"0"に設定されているポートの変化は割り込みの発生に影響を与えません。

入力割り込みタイミングは、入力比較レジスタ(KCP0x)の設定値により、割り込みを入力の上がりエッジで発生させるか、立ち下がりエッジで発生させるかを選択することができます。

この2つの条件設定により、指定ポート(SIK0xで選択)の入力の上がりエッジまたは立ち下がりエッジ(KCP0xで選択)で割り込み要求信号およびSLEEP解除信号が出力されます。

割り込み要因が発生すると、割り込み要因フラグ(IK00～IK03)が"1"にセットされます。このとき、対応する割り込みマスクレジスタ(EIK00～EIK03)が"1"に設定されているとCPUに対して割り込みが発生します。割り込みマスクレジスタ(EIK0x)が"0"に設定されている場合は割り込み要求はマスクされ、CPUへの割り込みは発生しません。ただし、割り込みマスクレジスタの設定値にかかわらず、SLEEPモードは解除されます。

入力割り込み回路は、ノイズやチャタリングによる不要な割り込みの発生を防ぐため、ノイズリジェクタを内蔵しています。このノイズリジェクタを使用する場合は、ノイズリジェクタ幅を表4.4.3.1に示す3種類から選択できます。この選択は、K0NR1、K0NR0レジスタを使用して行います。設定した幅より短いパルスがポートに入力された場合、割り込みは発生しません。

なお、高速な入力への対応が必要な場合、ノイズリジェクタをOFF(バイパス)させることもできます。

表4.4.3.1 ノイズリジェクタの設定

K0NR1	K0NR0	ノイズリジェクタ幅
1	1	7.8msec
1	0	2.0msec
0	1	0.5msec
0	0	OFF (バイパス)

(fosc1 = 32.768kHzの場合)

注: • SLP命令を実行する前には、必ずノイズリジェクタをOFFに設定してください。

- SLEEPモードからは入力割り込み要因の発生によってのみ起床可能です。したがって、SLP命令を実行する前に、SLEEP解除に使用するポートの割り込み選択レジスタをセット(SIK0x = "1")しておく必要があります。また、SLEEP解除後に入力ポート割り込み処理を実行するためには、SLP命令を実行する前に、該当ポートの割り込みマスクレジスタもイネーブル状態にセット(EIK0x = "1")しておく必要があります。
- 入力割り込みは、各ポート(K00～K03)ごとに設定可能になっています。従来機種の入力割り込みとは異なりますので、注意してください。

4.4.4 入力ポートのI/Oメモリ

表4.4.4.1に入力ポートの制御ビットとそのアドレスを示します。

表4.4.4.1 入力ポートの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF42H	K03	K02	K01	K00	K03	–*2	High	Low	K00～K03入力ポートデータ
					K02	–*2	High	Low	
					K01	–*2	High	Low	
					K00	–*2	High	Low	
FF43H	R								未使用 未使用 K0割り込み [K0NR1, 0] 0 1 2 3 ノイズリジェクタ NR Off 0.5ms 2.0ms 7.8ms
	0	0	K0NR1	K0NR0	0 *3	–*2			
					0 *3	–*2			
					K0NR1	0			
FF54H	SIK03	SIK02	SIK01	SIK00	SIK03	0	Enable	Disable	K00～K03割り込み選択レジスタ
					SIK02	0	Enable	Disable	
					SIK01	0	Enable	Disable	
					SIK00	0	Enable	Disable	
FF55H	KCP03	KCP02	KCP01	KCP00	KCP03	1	↓	↑	K00～K03入力比較レジスタ
					KCP02	1	↓	↑	
					KCP01	1	↓	↑	
					KCP00	1	↓	↑	
FFEBH	EIK03	EIK02	EIK01	EIK00	EIK03	0	Enable	Mask	割り込みマスクレジスタ(K03)
					EIK02	0	Enable	Mask	割り込みマスクレジスタ(K02)
					EIK01	0	Enable	Mask	割り込みマスクレジスタ(K01)
					EIK00	0	Enable	Mask	割り込みマスクレジスタ(K00)
FFFBH	IK03	IK02	IK01	IK00	IK03	0	(R)	(R)	割り込み要因フラグ(K03)
					IK02	0	Yes	No	割り込み要因フラグ(K02)
					IK01	0	(W)	(W)	割り込み要因フラグ(K01)
					IK00	0	Reset	Invalid	割り込み要因フラグ(K00)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

K00～K03: K0入力ポートデータ(FF42H)

入力ポート端子の入力データが読み出せます。

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

書き込み: 無効

入力ポート4ビット(K00～K03)の端子電圧がそれぞれHIGH(V_{DD})レベルのとき"1"、LOW(V_{SS})レベルのとき"0"として読み出せます。

これらのビットは読み出し専用のため、書き込み動作は無効となります。

SIK00～SIK03: K0ポート割り込み選択レジスタ(FF54H)

入力割り込みに使用するポートを選択します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

割り込み選択レジスタ SIK00～SIK03 に"1"を書き込んだ入力ポート(K00～K03)の割り込みを許可します。"0"に設定した入力ポートは割り込みの発生条件には影響を与えません。

SLEEPモードからは入力割り込み要因の発生によってのみ起床可能です。したがって、SLP命令を実行する前に、SLEEP解除に使用するポートの割り込み選択レジスタをセット(SIK0x = "1")しておく必要があります。

イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

KCP00 ~ KCP03: K0ポート入力比較レジスタ(FF55H)

割り込み発生タイミングを設定します。

"1"書き込み: 立ち下がりエッジ
 "0"書き込み: 立ち上がりエッジ
 読み出し: 可能

入力ポートは入力比較レジスタ(KCP00 ~ KCP03)によって、割り込みの発生タイミングを入力の立ち上がりエッジとするか立ち下がりエッジとするか、1ビットごとに選択できます。SIK00 ~ SIK03レジスタによってK00 ~ K03の中での割り込みが許可されているポートとのみ比較が行われます。

イニシャルリセット時、これらのレジスタはすべて"1"に設定されます。

K0NR0, K0NR1: K0割り込みノイズリジェクタ選択レジスタ(FF43H・D0, D1)

ノイズリジェクタ幅を選択します。

表4.4.4.2 ノイズリジェクタの設定

K0NR1	K0NR0	ノイズリジェクタ幅
1	1	7.8msec
1	0	2.0msec
0	1	0.5msec
0	0	OFF (バイパス)

(fosc1 = 32.768kHzの場合)

SLP命令を実行する前には、必ずノイズリジェクタをOFFに設定してください。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

EIK00 ~ EIK03: K0入力割り込みマスクレジスタ(FFEBH)

入力割り込みをマスクするかしないか選択します。

"1"書き込み: イネーブル
 "0"書き込み: マスク
 読み出し: 可能

EIK0xレジスタを"1"に設定しておく、CPUに対して該当ポートの入力割り込みが発生します。"0"に設定されている場合、割り込みは発生しません。

EIK0xレジスタが"0"に設定されている場合でも、入力割り込み要因によってSLEEPモードは解除できます。ただし、SLEEP解除後に入力ポート割り込み処理を実行するためには、SLP命令を実行する前に、該当ポートの割り込みマスクレジスタもイネーブル状態にセットしておく必要があります。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

IK00 ~ IK03: K0入力割り込み要因フラグ(FFFBH)

入力割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有
 "0"読み出し: 割り込み無
 "1"書き込み: 要因フラグをリセット
 "0"書き込み: 無効

割り込み要因フラグIK0xはK0xポートの入力割り込みに対応します。これらのフラグによって入力割り込みの有無を、ソフトウェアで判断することができます。

割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず割り込み条件の成立により"1"にセットされます。ただし、割り込みがマスクされている場合はCPUに対して割り込みは発生しません。

これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

4.4.5 プログラミング上の注意事項

- (1) 入力ポートをLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の時定数によって波形立ち上がり遅延が生じます。このため、入力ポートの取り込みを行う際は、適切な待ち時間を設定してください。
特に、キーマトリクス構成時のキースキャン等に注意が必要です。
この待ち時間は次の式で算出される時間以上としてください。
$$10 \times \alpha (\text{端子容量} 5\text{pF} + \text{寄生容量} \text{?pF}) \times R (\text{プルアップ抵抗} 300\text{k}\Omega)$$
- (2) SLP命令を実行する前には、必ずノイズリジェクタをOFFに設定してください。
- (3) SLEEPモードからは入力割り込み要因の発生によってのみ起床可能です。したがって、SLP命令を実行する前に、SLEEP解除に使用するポートの割り込み選択レジスタをセット(SIK0x = "1")しておく必要があります。また、SLEEP解除後に入力ポート割り込み処理を実行するためには、SLP命令を実行する前に、該当ポートの割り込みマスクレジスタもイネーブル状態にセット(EIK0x = "1")しておく必要があります。
- (4) 入力割り込みは、各ポート(K00 ~ K03)ごとに設定可能になっています。従来機種の入力割り込みとは異なっていますので、注意してください。
- (5) K03端子はプログラマブルタイマの入力クロック端子としての機能も兼ねることがあり、入力ポート機能と入力信号が共有されます。そのため、K03端子をプログラマブルタイマの入力クロック端子に設定した場合、割り込み等の設定には十分注意してください。
- (6) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ = "1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.5 出力ポート(R10～R13)

4.5.1 出力ポートの構成

S1C63406/408は4ビットの汎用出力ポートを内蔵しています。

各出力ポートの出力仕様はマスクオプションで個別に選択できます。選択できる出力仕様はコンプリメンタリ出力とNチャンネルオープンドレイン出力の2種類です。

図4.5.1.1に出力ポートの構成を示します。

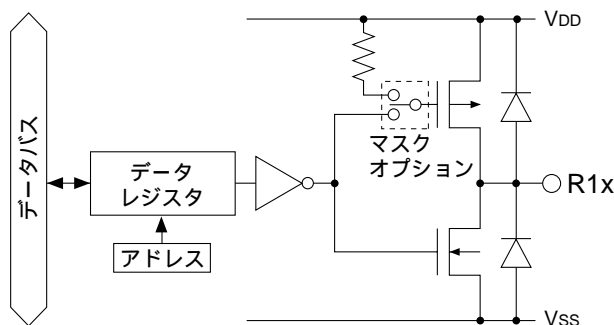


図4.5.1.1 出力ポートの構成

R12、R13出力ポート端子は特殊出力(TOUT、FOUT)端子と兼用されており、これらの機能をソフトウェアによって選択するようになっています。

イニシャルリセット時はすべて汎用出力ポートに設定されます。

表4.5.1.1に機能選択による出力端子の設定を示します。

表4.5.1.1 出力端子の機能設定

端子名	イニシャルリセット時の 端子状態	特殊出力使用時	
		TOUT	FOUT
R10	R10 (HIGH出力)	R10	R10
R11	R11 (HIGH出力)	R11	R11
R12	R12 (HIGH出力)	TOUT	
R13	R13 (HIGH出力)		FOUT

R12、R13出力ポートを特殊出力として使用する場合、データレジスタは"1"に固定する必要があります。

4.5.2 マスクオプション

出力ポートはマスクオプションにより出力仕様の選択が行えます。

出力ポートの出力仕様はビットごとに、コンプリメンタリ出力またはNチャンネルオープンドレイン出力のいずれかが選択できます。

ただし、Nチャンネルオープンドレイン出力を選択した場合でも、出力ポートに電源電圧を越える電圧の印加は禁止します。

4.5.3 DC出力

R10～R13出力ポートは、汎用のDC出力ポートとして使用することができます。

R1xデータレジスタに"1"を書き込むと、対応する出力ポート端子がHIGHに、"0"を書き込むとLOWになります。

4.5.4 特殊出力

R12およびR13出力ポートは通常のDC出力のほかに表4.5.4.1に示す特殊出力をソフトウェアによって設定できます。図4.5.4.1にR12およびR13出力ポートの構成を示します。

表4.5.4.1 特殊出力

端子名	特殊出力選択時	特殊出力制御レジスタ
R13	FOUT	FOUTE
R12	TOUT	PTOUT

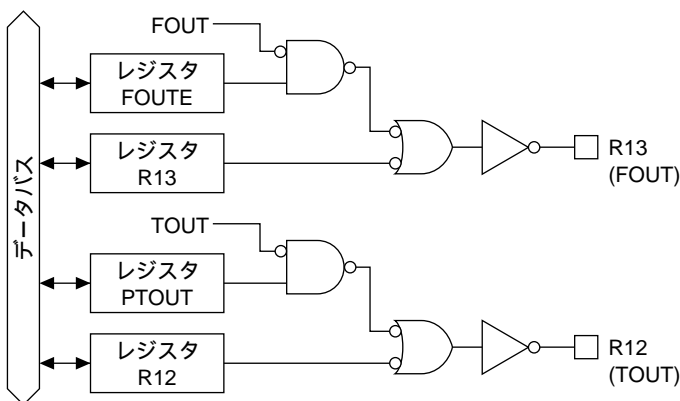


図4.5.4.1 R12, R13出力ポートの構成

イニシャルリセット時、出力ポートのデータレジスタは"1"に設定され、出力端子はHIGH(V_{DD})レベルとなります。

R12, R13を特殊出力ポートとして使用する場合は、データレジスタR12, R13を"1"に固定し、特殊出力制御レジスタによってそれぞれの信号をON/OFFしてください。

注: 特殊出力選択時にR12, R13レジスタに"0"を書き込むと、DC出力の場合と同様に出力端子がLOW(V_{SS})レベルに固定されますので注意してください。

TOUT(R12)

R12端子からはTOUT信号を出力させることができます。

TOUT信号はプログラマブルタイマの出力クロックで、外部デバイスに対するクロック供給などの目的に使用することができます。

TOUT出力を行う場合はR12レジスタを"1"に固定し、PTOUTレジスタによって信号をON/OFFします。ただし、プログラマブルタイマの制御が必要です。

プログラマブルタイマの詳細については"4.10 プログラマブルタイマ"を参照してください。

注: TOUT出力信号はON/OFF時にハザードを生じる可能性があります。

図4.5.4.2にTOUT信号の出力波形を示します。

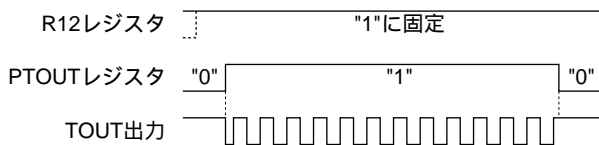


図4.5.4.2 TOUT信号の出力波形

FOUT(R13)

R13端子からはFOUT信号を出力させることができます。

FOUT信号は発振回路または分周回路の出力クロックで、外部デバイスに対するクロック供給などの目的に使用することができます。

FOUT出力を行う場合はR13レジスタを"1"に固定し、FOUTレジスタによって信号をON/OFFします。

出力するクロックの周波数は、表4.5.4.2に示す8種類から1つをFOFQ0～FOFQ2レジスタによって選択できます。

表4.5.4.2 FOUTクロック周波数

FOFQ2	FOFQ1	FOFQ0	クロック周波数
1	1	1	fosc3
1	1	0	fosc3/2
1	0	1	fosc1
1	0	0	fosc1/4
0	1	1	fosc1/8
0	1	0	fosc1/16
0	0	1	fosc1/32
0	0	0	fosc1/64

fosc1: OSC1発振回路の出力クロック

fosc3: OSC3発振回路の出力クロック

FOUT信号の周波数としてfosc3を選択した場合は、信号出力前にOSC3発振回路の制御が必要です。制御方法と注意事項については"4.3 発振回路"を参照してください。

注: FOUT出力信号はON/OFF時にハザードを生じる可能性があります。

図4.5.4.3にFOUT信号の出力波形を示します。

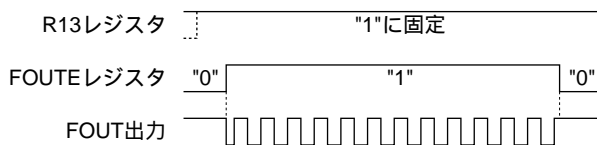


図4.5.4.3 FOUT信号の出力波形

4.5.5 出力ポートのI/Oメモリ

表4.5.5.1に出力ポートの制御ビットとそのアドレスを示します。

表4.5.5.1 出力ポートの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF06H	FOUTE	FOFQ2	FOFQ1	FOFQ0	FOUTE	0	Enable	Disable	FOUT出力イネーブル [FOFQ2~0] 0 1 2 3 FOUT 周波数 fosc1/64 fosc1/32 fosc1/16 fosc1/8 [FOFQ2~0] 4 5 6 7 選択 周波数 fosc1/4 fosc1 fosc3/2 fosc3
					FOFQ2	0			
					FOFQ1	0			
					FOFQ0	0			
	R/W								
FF46H	R13	R12	R11	R10	R13	1	High	Low	R13出力ポートデータ(FOUTE=0) FOUT出力時は1に固定(FOUTE=1) R12出力ポートデータ(PTOUT=0) TOUT出力時は1に固定(PTOUT=1) R11出力ポートデータ R10出力ポートデータ
					R12	1	High	Low	
					R11	1	High	Low	
					R10	1	High	Low	
	R/W								
FFC1H	CHSEL	PTOUT	CKSEL1	CKSEL0	CHSEL	0	Timer1	Timer0	TOUT出力チャンネル選択 TOUT出力制御 プリスケアラ1原振クロック選択 プリスケアラ0原振クロック選択
					PTOUT	0	On	Off	
					CKSEL1	0	OSC3	OSC1	
					CKSEL0	0	OSC3	OSC1	
	R/W								

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

R10 ~ R13: R1出力ポートデータレジスタ(FF46H)

各出力ポートの出力データを設定します。

"1"書き込み: HIGHレベル出力

"0"書き込み: LOWレベル出力

読み出し: 可能

出力ポート端子は対応するデータレジスタに書き込まれたデータをそのまま出力します。レジスタに"1"を書き込んだ場合、出力ポート端子はHIGH(V_{DD})レベルになり、"0"を書き込んだ場合はLOW(V_{SS})レベルになります。

R12、R13を特殊出力として使用する場合、対応するデータレジスタは"1"に固定してください。

イニシャルリセット時、これらのレジスタは"1"に設定されます。

PTOUT: TOUT出力制御レジスタ(FFC1H・D2)

TOUT出力を制御します。

"1"書き込み: TOUT出力ON

"0"書き込み: TOUT出力OFF

読み出し: 可能

R12レジスタが"1"に設定されている状態でPTOUTに"1"を書き込むことによってR12端子からTOUT信号が出力され、"0"の書き込みでR12端子がHIGH(V_{DD})レベルになります。

R12ポートを汎用の入出力ポートとして使用する場合は、このレジスタを"0"に固定してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

FOUTE: FOUT出力制御レジスタ(FF06H・D3)

FOUT出力を制御します。

"1"書き込み: FOUT出力ON

"0"書き込み: FOUT出力OFF

読み出し: 可能

R13レジスタが"1"に設定されている状態でFOUTEに"1"を書き込むことによってR13端子からFOUT信号が出力され、"0"の書き込みでR13端子がHIGH(V_{DD})レベルになります。

R13ポートを汎用の入出力ポートとして使用する場合は、このレジスタを"0"に固定してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

FOFQ0 ~ FOFQ2: FOUT周波数選択レジスタ(FF06H・D0 ~ D2)

FOUT信号の周波数を選択します。

表4.5.5.2 FOUTクロック周波数

FOFQ2	FOFQ1	FOFQ0	クロック周波数
1	1	1	fosc3
1	1	0	fosc3/2
1	0	1	fosc1
1	0	0	fosc1/4
0	1	1	fosc1/8
0	1	0	fosc1/16
0	0	1	fosc1/32
0	0	0	fosc1/64

fosc1: OSC1発振回路の出力クロック

fosc3: OSC3発振回路の出力クロック

イニシャルリセット時、このレジスタは"0"に設定されます。

4.5.6 プログラミング上の注意事項

- (1) R12、R13を特殊出力として使用する場合、R12、R13レジスタは"1"に固定してください。
R12、R13レジスタに"0"を書き込むと、出力端子がLOW(V_{SS})に固定されますので注意してください。
- (2) TOUT信号、FOUT信号のON/OFF時は、出力波形にハザードが出る場合があります。
- (3) FOUT信号の周波数としてfosc3を選択した場合は、信号出力前にOSC3発振回路の制御が必要です。制御方法と注意事項については"4.3 発振回路"を参照してください。

4.6 入出力兼用ポート (P20 ~ P23)

4.6.1 入出力兼用ポートの構成

S1C63406/408は4ビットの汎用入出力兼用ポートを内蔵しています。図4.6.1.1に入出力兼用ポートの構成を示します。

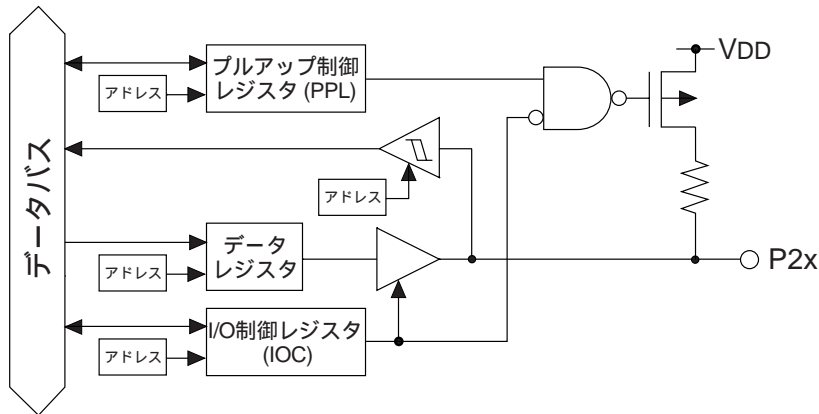


図4.6.1.1 入出力兼用ポートの構成

P20 ~ P23入出力兼用ポート端子はシリアルインタフェースの入出力端子と兼用されており、その機能をソフトウェアによって選択するようになっています。

イニシャルリセット時はすべて入出力兼用ポートに設定されます。

表4.6.1.1に機能選択による入出力端子の設定を示します。

表4.6.1.1 入出力端子の機能設定

端子名	イニシャルリセット時の 端子状態	シリアルインタフェース使用時		
		Async.	Clk-sync. Master	Clk-sync. Slave
P20	P20 (入力&プルアップ)	SIN(I)	SIN(I)	SIN(I)
P21	P21 (入力&プルアップ)	SOUT(O)	SOUT(O)	SOUT(O)
P22	P22 (入力&プルアップ)	P22	SCLK(O)	SCLK(I)
P23	P23 (入力&プルアップ)	P23	P23	SRDY(O)

入出力兼用ポートとして使用する場合、各ポートを個々(1ビット単位)に入力モードまたは出力モードに設定できます。この設定はI/O制御レジスタにデータを書き込むことによって行います。

シリアルインタフェースの制御については"4.11 シリアルインタフェース"を参照してください。

4.6.2 マスクオプション

入出力兼用ポートは出力モード時の出力仕様として、コンプリメンタリ出力、またはNチャンネルオープンドレイン出力のいずれかをマスクオプションにより各ビットごとに選択できるようになっています。

なお、Nチャンネルオープンドレイン出力を選択した場合でも、ポートに電源電圧を越える電圧を印加することは禁止します。

このオプションは入出力兼用ポートをシリアルインタフェースの出力として使用する場合も有効です。

4.6.3 I/O制御レジスタと入力/出力モード

入出力兼用ポートは、各ポートに対応したI/O制御レジスタIOC2xにデータを書き込むことにより入力モードあるいは出力モードに設定されます。

入力モードに設定する場合はI/O制御レジスタに"0"を書き込みます。入力モードに設定された入出力兼用ポートは、ハイインピーダンス状態となり入力ポートとして働きます。ただし、次項で説明するプルアップ制御を行っている場合は、この入力モード時に限り入力ラインがプルアップされます。

出力モードに設定する場合はI/O制御レジスタに"1"を書き込みます。出力モードに設定された入出力兼用ポートは出力ポートとして働き、ポート出力データが"1"の場合にHIGH (V_{DD}) レベル、"0"の場合にLOW (V_{SS}) レベルの出力を行います。出力モード時にもデータの読み出しは可能で、その場合はデータレジスタの内容が読み出されます。

イニシャルリセット時、I/O制御レジスタは"0"に設定され、入出力兼用ポートは入力モードになります。

シリアルインタフェースの入出力に設定されたポート(表4.6.1.1参照)の入出力制御はハードウェアが行います。この場合、I/O制御レジスタは入出力制御に影響を与えない汎用レジスタとして使用可能です。

4.6.4 入力モード時のプルアップ

S1C63406/408の入出力兼用ポートには入力モード時に働くプルアップ抵抗が内蔵されています。

各ポートに対応したプルアップ制御レジスタPPL2xに"1"を書き込むことによりプルアップ抵抗が有効になり、入力モード時に入力ラインがプルアップされます。"0"を書き込んだ場合、プルアップは行われません。イニシャルリセット時、プルアップ制御レジスタは"1"に設定されます。

シリアルインタフェースの出力に設定されたポート(表4.6.1.1参照)のプルアップ制御レジスタは、プルアップ制御に影響を与えない汎用レジスタとして使用可能です。シリアルインタフェースの入力に設定されたポートのプルアップ制御レジスタは入出力兼用ポートと同様に機能します。

4.6.5 入出力兼用ポートのI/Oメモリ

表4.6.5.1に入出力兼用ポートの制御ビットとそのアドレスを示します。

表4.6.5.1 入出力兼用ポートの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF48H	IOC23	IOC22	IOC21	IOC20	IOC23	0	Output	Input	P23 I/O制御レジスタ SIF クロック同期式スレーブ 選択時、汎用レジスタとして機能 P22 I/O制御レジスタ SIF クロック同期式のみ 選択時、汎用レジスタとして機能 P21 I/O制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能 P20 I/O制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能
					IOC22	0	Output	Input	
	R/W				IOC21	0	Output	Input	
					IOC20	0	Output	Input	
FF49H	PPL23	PPL22	PPL21	PPL20	PPL23	1	On	Off	P23プルアップ制御レジスタ SIF クロック同期式スレーブ 選択時、汎用レジスタとして機能 P22プルアップ制御レジスタ SIF クロック同期式マスタ 選択時、汎用レジスタとして機能 SIF クロック同期式スレーブ 選択時、 SCLK(1)プルアップ制御レジスタ P21プルアップ制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能 P20プルアップ制御レジスタ(ESIF=0) SIF選択時、SINプルアップ制御レジスタ
					PPL22	1	On	Off	
	R/W				PPL21	1	On	Off	
					PPL20	1	On	Off	
FF4AH	P23 (XSRDY)	P22 (XSCLK)	P21 (SOUT)	P20 (SIN)	P23	－*2	High	Low	P23入出力兼用ポートデータ SIF クロック同期式スレーブ 選択時、汎用レジスタとして機能 P22入出力兼用ポートデータ SIF クロック同期式のみ 選択時、汎用レジスタとして機能 P21入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能 P20入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能
					P22	－*2	High	Low	
	R/W				P21	－*2	High	Low	
					P20	－*2	High	Low	
FF70H	0	SMD1	SMD0	ESIF	0 *3	－*2			未使用 [SMD1, 0] 0 1 モード Clk-sync. master Clk-sync. slave シリアル/F [SMD1, 0] 2 3 モード選択 モード Async. 7-bit Async. 8-bit シリアル/Fイネーブル P2xポート機能選択)
	R	R/W			SMD1	0			
					SMD0	0			
					ESIF	0	SIF	I/O	

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

ESIF: シリアルインタフェースイネーブルレジスタ(FF70H・D0)

P20～P23の機能を選択します。

"1"書き込み: シリアルインタフェース入出力ポート

"0"書き込み: 入出力兼用ポート

読み出し: 可能

シリアルインタフェースを使用する場合に"1"、入出力兼用ポートとして使用する場合に"0"を書き込みます。P20～P23の中でシリアルインタフェースの入出力に使用される端子の構成は、SMD1とSMD0レジスタで選択する転送モード(調歩同期式7ビット、調歩同期式8ビット、クロック同期式スレーブ、クロック同期式マスタ)によって決定します。クロック同期式スレーブモードではP20～P23すべてがシリアルインタフェースの入出力ポートに設定されます。クロック同期式マスタモードではP20～P22がシリアルインタフェースの入出力ポートに設定され、P23は入出力兼用ポートとして使用することができます。調歩同期式8/7ビットモードではP20とP21がシリアルインタフェースの入出力ポートに設定され、P22とP23は入出力兼用ポートとして使用することができます。

イニシャルリセット時、このレジスタは"0"に設定されます。

P20 ~ P23: P2入出力兼用ポートデータレジスタ(FF4AH)

入出力兼用ポートデータの読み出し、および出力データの設定を行います。

- データ書き込み時

"1"書き込み: HIGHレベル

"0"書き込み: LOWレベル

入出力兼用ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力兼用ポート端子に出力されます。ポートデータとして"1"を書き込んだ場合はポート端子はHIGH(V_{DD})レベルになり、"0"を書き込んだ場合はLOW(V_{SS})レベルになります。

なお、入力モードの場合もポートデータの書き込みは行えます。

- データ読み出し時

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

入出力兼用ポートの端子電圧レベルを読み出します。入出力兼用ポートが入力モードの場合はポート端子に入力されている電圧レベルが読み出され、出力モードに設定されている場合はレジスタの内容が読み出されます。端子電圧がHIGH(V_{DD})レベルの場合は読み出されるポートデータが"1"、LOW(V_{SS})レベルの場合は"0"となります。

また、PPLレジスタに"1"を設定している場合、入力モード時には内蔵プルアップ抵抗がONとなり、入出力兼用ポート端子がプルアップされます。

シリアルインタフェースの入出力に設定したポートのデータレジスタは入出力には影響を与えない汎用レジスタとなります。

注: 入力モード時にポートの入力をLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の時定数によって波形立ち上がり遅延が生じます。このため、入力データの取り込みを行う際は、適切な待ち時間を設定してください。

特に、キーマトリクス構成時のキースキャン等に注意が必要です。

この待ち時間は次の式で算出される時間以上としてください。

$$10 \times C (\text{端子容量} 5\text{pF} + \text{寄生容量} ?\text{pF}) \times R (\text{プルアップ抵抗} 300\text{k}\Omega)$$

IOC20 ~ IOC23: P2ポートI/O制御レジスタ(FF48H)

入出力兼用ポートの入力/出力モードを設定します。

"1"書き込み: 出力モード

"0"書き込み: 入力モード

読み出し: 可能

入出力兼用ポートの入力/出力モードを1ビット単位に設定します。

I/O制御レジスタに"1"を書き込むことにより対応する入出力兼用ポートが出力モードに、"0"を書き込むことにより入力モードになります。

イニシャルリセット時、これらのレジスタは"0"に設定され、入出力兼用ポートはすべて入力モードになります。

シリアルインタフェースの入出力に設定したポートのI/O制御レジスタは入出力には影響を与えない汎用レジスタとなります。

PPL20 ~ PPL23: P2ポートプルアップ制御レジスタ(FF49H)

入力モード時のプルアップを設定します。

"1"書き込み: プルアップON
 "0"書き込み: プルアップOFF
 読み出し: 可能

入出力兼用ポートに内蔵されたプルアップ抵抗を入力モード時にONまたはOFFすることを1ビット単位に設定します。

プルアップ制御レジスタに"1"を書き込むことにより、対応する入出力兼用ポートが入力モード時にプルアップがONとなります。"0"を書き込んだ場合、プルアップは行われません。

イニシャルリセット時、これらのレジスタは"1"に設定され、プルアップ抵抗がすべてONになります。

シリアルインタフェースのシリアル出力に用いられるポートのプルアップ制御レジスタはプルアップには影響を与えない汎用レジスタとなります。シリアル入力に用いられるポートのプルアップ制御レジスタは入出力兼用ポートの場合と同様に機能します。

4.6.6 プログラミング上の注意事項

入力モード時にポートの入力をLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の時定数によって波形立ち上がりに遅延が生じます。このため、入力データの取り込みを行う際は、適切な待ち時間を設定してください。

特に、キーマトリクス構成時のキースキャン等に注意が必要です。

この待ち時間は次の式で算出される時間以上としてください。

$10 \times (C \text{ (端子容量5pF + 寄生容量?pF)}) \times R \text{ (プルアップ抵抗300k}\Omega\text{)}$

4.7 LCDドライバ

4.7.1 LCDドライバの構成

S1C63406は9本のコモン端子 (COM0 ~ COM8) と60本のセグメント端子 (SEG0 ~ SEG59) を持ち、最大540ドット (60×9) のドットマトリクスタイプLCDを駆動できます。

S1C63408は17本のコモン端子 (COM0 ~ COM16) と60本のセグメント端子 (SEG0 ~ SEG59) を持ち、最大1,020ドット (60×17) のドットマトリクスタイプLCDを駆動できます。

駆動方法は V_{C1} 、 V_{C2} 、 V_{C4} 、 V_{C5} の4電位 (1/4バイアス) による1/8デューティまたは1/9デューティダイナミック駆動です。S1C63408では1/8デューティ、1/9デューティ、1/16デューティ、1/17デューティ駆動に対応しています。

LCD表示のON/OFFもソフトウェアにより制御できます。

4.7.2 LCD駆動電源

LCD駆動用の電圧 V_{C1} ~ V_{C5} は、IC内部のLCD系電圧回路が発生します。

LCD系電圧回路はLPWRレジスタによってON/OFFします。LPWRを"1"に設定することにより、LCD系電圧回路はLCD駆動電圧 V_{C1} ~ V_{C5} をLCDドライバに対して出力します。

LCD系電圧回路はその中の定電圧回路によって V_{C1} または V_{C2} を発生し、その電圧を昇圧または降圧して他の3電位を発生します。表4.7.2.1に V_{C1} ~ V_{C5} の電圧値と昇降圧の状態を示します。

表4.7.2.1 LCD駆動電圧

LCD駆動電圧	$V_{DD}=1.3V\sim3.6V$	$V_{DD}=2.5V\sim3.6V$
V_{C1} (0.975V~1.2V)	V_{C1} (基準)	$1/2 \times V_{C2}$
V_{C2} (1.950V~2.4V)	$2 \times V_{C1}$	V_{C2} (基準)
V_{C4} (2.925V~3.6V)	$3 \times V_{C1}$	$3/2 \times V_{C2}$
V_{C5} (3.900V~4.8V)	$4 \times V_{C1}$	$2 \times V_{C2}$

注) LCD駆動電圧はソフトウェア (4.7.5項参照) により調整できます。

表の数値はTYP値です。

V_{C1} 基準、 V_{C2} 基準のどちらを使用するかは、レジスタVCCHGで選択します。

VCCHGに"1"を書き込むと V_{C2} 基準、"0"では V_{C1} 基準となります。イニシャルリセット時は V_{C1} 基準 (VCCHG = "0") に設定されます。

注: LPWRに"1"を書き込むと (ONにすると) LCD電源を素早く安定させるために1kHz信号の1周期の間、消費電流が増加します。

4.7.3 LCD表示のON/OFFとデューティの切り換え

(1) 表示のON/OFF

S1C63406/408には電源のON/OFFの制御とは別に、表示を点滅させるためのALON、ALOFFレジスタが用意されています。ALONは"1"の書き込みですべてのドットをONにするものです。ALOFFは逆に"1"の書き込みですべてのドットをOFFにします。これらは、SEGにON波形またはOFF波形を出力します。"0"設定時は共に通常の表示が行われます。また、ALON、ALOFF共に"1"に設定した場合、ALON (全点灯) がALOFF (全消灯) に優先します。

(2) 駆動デューティの切り換え

S1C63406はソフトウェアにより駆動デューティを1/8と1/9のどちらかに設定することができます。S1C63408では、これに加え1/16と1/17デューティも選択可能です。この設定は表4.7.3.1に示すとおり、LDUTY0およびLDUTY1によって行います。

表4.7.3.1 駆動デューティの設定

LDUTY1*	LDUTY0	駆動デューティ	使用コモン端子	最大セグメント数
1	1	1/16 *	COM0~COM15 *	960 (60×16) *
1	0	1/17 *	COM0~COM16 *	1,020 (60×17) *
0	1	1/8	COM0~COM7	480 (60×8)
0	0	1/9	COM0~COM8	540 (60×9)

* S1C63406は1/16と1/17デューティには対応していません。LDUTY1は駆動デューティには影響を与えない汎用レジスタとなります。

フレーム周波数はOSC1発振周波数と駆動デューティにしたがい表4.7.3.2に示す値となります。

表4.7.3.2 フレーム周波数

OSC1発振周波数	1/8デューティ選択時	1/9デューティ選択時	1/16デューティ選択時*	1/17デューティ選択時*
32.768kHz	32Hz	28.4Hz	32Hz	30.12Hz
60kHz	58.6Hz	52.0Hz	58.6Hz	55.2Hz

* S1C63408のみ

図4.7.3.1に1/4バイアスのダイナミック駆動波形を示します。

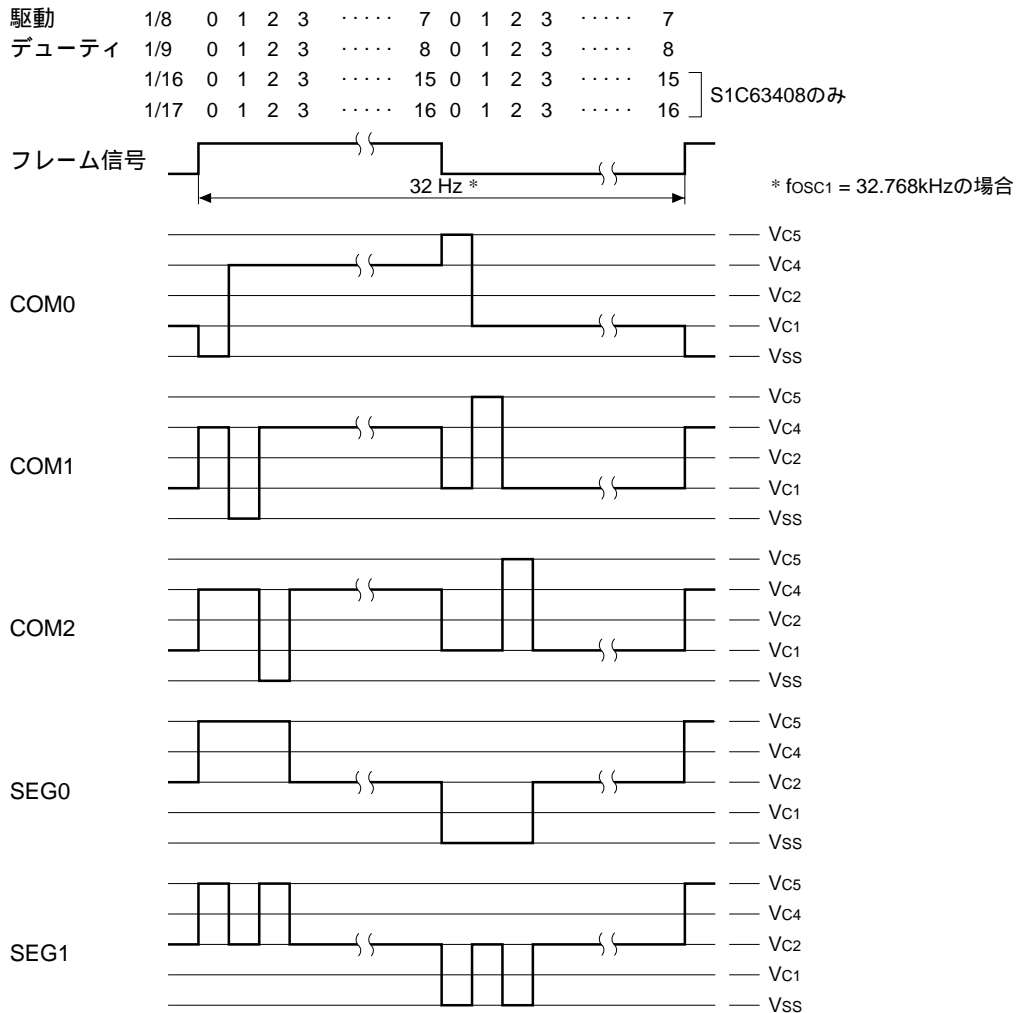


図4.7.3.1 1/4バイアスの駆動波形

4.7.4 表示メモリ

S1C63406

S1C63406の表示メモリはデータメモリ領域のF000H～F176Hに割り付けられており、図4.7.4.1のようにCOM出力、SEG出力に対応しています。

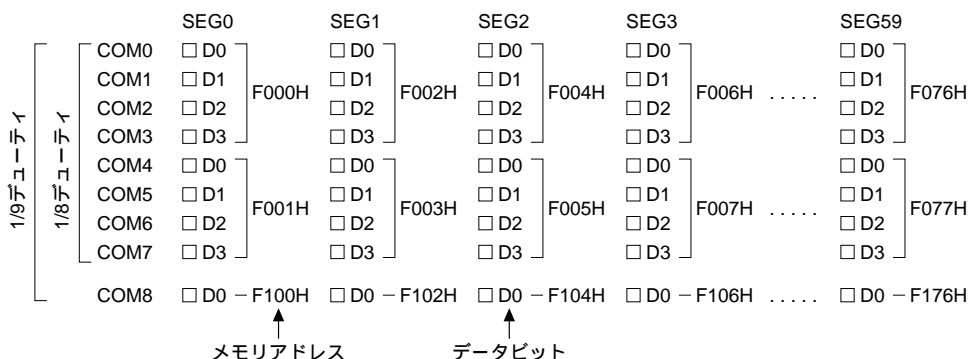


図4.7.4.1 表示メモリとLCDドットマトリクスに対応 (S1C63406)

表示メモリのビットを"1"にすると対応するLCDのドットが点灯し、"0"にすると消灯します。

イニシャルリセット時、表示メモリの内容は不定となりますので、ソフトウェアにより初期化する必要があります。表示メモリはリード/ライト可能となっており、LCD表示に使用しないアドレスは汎用レジスタとして使用することができます。

注: メモリ非実装領域 (F078H～F0FFH, F101H, F103H, …, F177H) をアクセスするようなプログラムを作成した場合、正常な動作を保証することはできません。

S1C63408

S1C63408の表示メモリはデータメモリ領域のF000H～F276Hに割り付けられており、図4.7.4.2のようにCOM出力、SEG出力に対応しています。

表示メモリのビットを"1"にすると対応するLCDのドットが点灯し、"0"にすると消灯します。

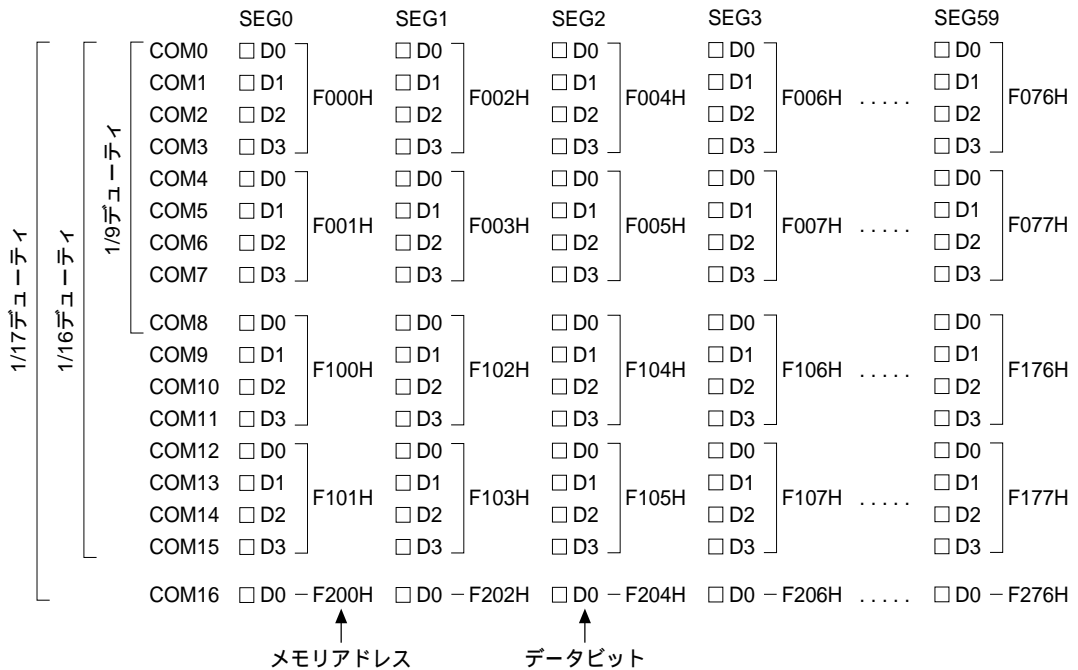
1/17 (1/16, 1/9) デューティ動作時はCOM0～COM16 (15, 8) が出力されます。

1/8 デューティ動作時はCOM0～COM7のみが出力されますが、表示メモリの容量が2画面分あるため、図4.7.4.2 (a) のCOM8～COM15のメモリ領域もCOM0～COM7として使用することが可能となっています。F000H～F077HとF100H～F177Hのどちらの領域のデータを表示させる (COM0～COM7端子から出力させる) かをレジスタLPAGEで選択します。これにより、画面を瞬時に切り換えることができます。

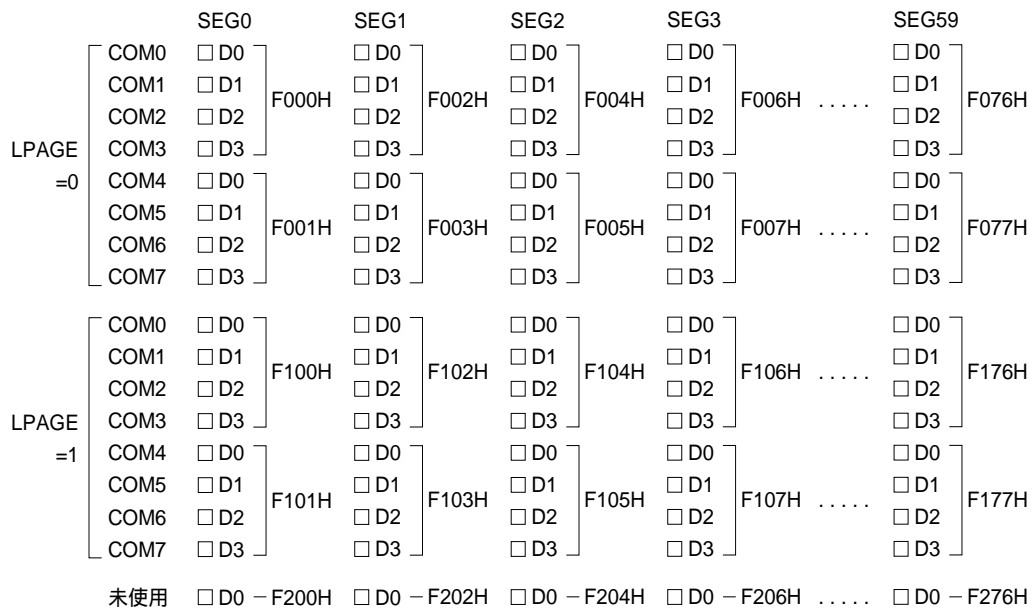
イニシャルリセット時、表示メモリの内容は不定となりますので、ソフトウェアにより初期化する必要があります。表示メモリはリード/ライト可能となっており、LCD表示に使用しないアドレスは汎用レジスタとして使用することができます。

注: • メモリ非実装領域 (F078H～F0FFH, F178H～F1FFH, F201H, F203H, …, F277H) をアクセスするようなプログラムを作成した場合、正常な動作を保証することはできません。

• LPAGEはS1C63408で1/8デューティ選択時のみ有効で、1/9、1/16または1/17デューティ選択時およびS1C63406では汎用レジスタとして使用可能です。



(a) 1/17、1/16または1/9デューティ選択時



(b) 1/8デューティ選択時

図4.7.4.2 表示メモリとLCDドットマトリクスの対応 (S1C63408)

4.7.5 LCDコントラスト調整

S1C63406/408では、LCDのコントラストもソフトウェアによって調整できるようになっています。これは内蔵のLCD系電圧回路が出力する $V_C \sim V_{C5}$ の電圧を制御することによって実現しています。コントラストはLC3～LC0レジスタによって表4.7.5.1に示す16段階に調整可能です。VCCHG = "0"のとき、 V_{C1} は0.975V～1.2Vの範囲で、他の電圧は V_{C1} にしたがって変化します。また、VCCHG = "1"のとき、 V_{C2} は1.950V～2.4Vの範囲で、他の電圧は V_{C2} にしたがって変化します。

表4.7.5.1 LCDコントラスト

No.	LC3	LC2	LC1	LC0	コントラスト
0	0	0	0	0	淡 ↑
1	0	0	0	1	
2	0	0	1	0	
3	0	0	1	1	
4	0	1	0	0	
5	0	1	0	1	
6	0	1	1	0	
7	0	1	1	1	
8	1	0	0	0	↓ 濃い
9	1	0	0	1	
10	1	0	1	0	
11	1	0	1	1	
12	1	1	0	0	
13	1	1	0	1	
14	1	1	1	0	
15	1	1	1	1	

常温では7または8を基準にしてください。

イニシャルリセット時、LC3～LC0の内容は不定ですので、ソフトウェアによる初期化が必要です。

4.7.6 LCDドライバのI/Oメモリ

表4.7.6.1にLCDドライバの制御ビットとそのアドレスを、図4.7.6.1および4.7.6.2に表示メモリマップを示します。

表4.7.6.1 LCDドライバの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF60H	LDUTY1	LDUTY0	VCCHG	LPWR	LDUTY1	0			LCD駆動デューティ 切り換え
					LDUTY0	0			
	R/W				VCCHG	0	Vc2	Vc1	LCD定電圧切り換え LCD電源On/Off
					LPWR	0	On	Off	
									LCD駆動デューティ [LDUTY1,0] 0 1 2* 3* デューティ 1/9 1/8 1/17 1/16 (* S1C63408のみ)
FF61H	EXLCDC	ALOFF	ALON	LPAGE	EXLCDC	0	1	0	汎用レジスタ LCD全消灯制御
					ALOFF	1	All Off	Normal	
					ALON	0	All On	Normal	LCD全点灯制御
					LPAGE	0	F100-F177	F000-F077	
	R/W								表示メモリ領域選択 (S1C63408で1/8デューティ選択時) S1C63408で1/17、1/16、1/9デューティ選択時、 およびS1C63406では汎用レジスタとして機能
FF62H	LC3	LC2	LC1	LC0	LC3	–*2			LCDコントラスト調整
					LC2	–*2			
					LC1	–*2			[LC3~0] 0 ~ 15 コントラスト 淡 ~ 濃
					LC0	–*2			
	R/W								

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

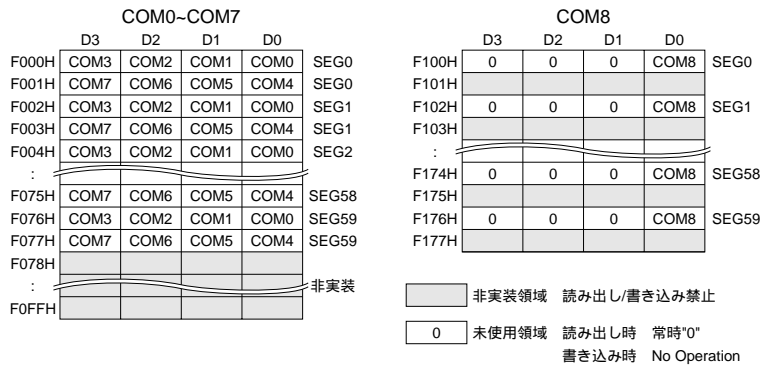


図4.7.6.1 S1C63406表示メモリマップ

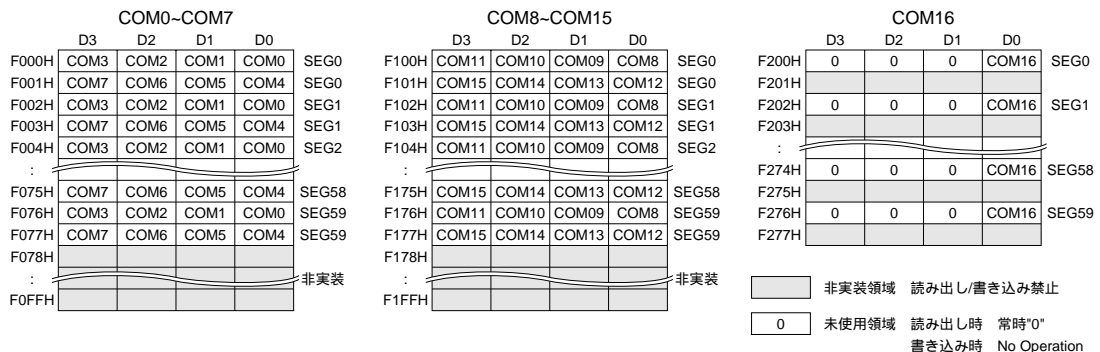


図4.7.6.2 S1C63408表示メモリマップ

LPWR: LCD電源ON/OFF制御レジスタ (FF60H・D0)

LCD系電圧回路をON/OFFします。

"1"書き込み: ON
 "0"書き込み: OFF
 読み出し: 可能

LPWRに"1"を書き込むことにより、LCD系電圧回路がONとなりLCD駆動電圧を発生します。"0"を書き込んだ場合、LCD駆動電圧はすべてV_{SS}となります。

LPWRに"1"を書き込んだ後、LCD系電圧回路が動作しLCD駆動電圧出力が安定するまで約100msecかかります。

イニシャルリセット時、このレジスタは"0"に設定されます。

VCCHG: LCD定電圧切り換えレジスタ (FF60H・D1)

LCD駆動電圧の基準電圧を選択します。

"1"書き込み: V_{C2}
 "0"書き込み: V_{C1}
 読み出し: 可能

VCCHGに"1"を書き込むことにより、LCD系電圧回路はV_{C2}を基準としてLCD駆動電圧を発生します。VCCHGに"0"を設定した場合は、V_{C1}が基準となります。電源電圧が2.5V以上の場合にV_{C2}、それ以下の場合はV_{C1}を選択してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

LDUTY0, LDUTY1: LCD駆動デューティ切り換えレジスタ (FF60H・D2, D3)

LCD駆動デューティを選択します。

表4.7.6.2 駆動デューティの設定

LDUTY1*	LDUTY0	駆動デューティ	使用コモン端子	最大セグメント数
1	1	1/16 *	COM0~COM15 *	960 (60 × 16) *
1	0	1/17 *	COM0~COM16 *	1,020 (60 × 17) *
0	1	1/8	COM0~COM7	480 (60 × 8)
0	0	1/9	COM0~COM8	540 (60 × 9)

* S1C63406は1/16と1/17デューティには対応していません。LDUTY1は駆動デューティには影響を与えない汎用レジスタとなります。

イニシャルリセット時、このレジスタは"0"に設定されます。

ALON: LCD全点灯制御レジスタ (FF61H・D1)

LCDのドットを全点灯させます。

"1"書き込み: 全点灯
 "0"書き込み: 通常表示
 読み出し: 可能

ALONに"1"を書き込むとLCDのドットがすべて点灯し、"0"の書き込みで通常表示に戻ります。これによる全点灯はSEGIにON波形を出力するもので、表示メモリの内容には影響を与えません。

ALONはALOFFに優先します。

イニシャルリセット時、このレジスタは"0"に設定されます。

ALOFF: LCD全消灯制御レジスタ (FF61H・D2)

LCDのドットを全消灯させます。

"1"書き込み: 全消灯
 "0"書き込み: 通常表示
 読み出し: 可能

ALOFFに"1"を書き込むとLCDのドットがすべて消灯し、"0"の書き込みで通常表示に戻ります。これによる全消灯はSEGにOFF波形を出力するもので、表示メモリの内容には影響を与えません。

イニシャルリセット時、このレジスタは"1"に設定されます。

LPAGE: LCD表示メモリ領域選択レジスタ (FF61H・D0)

1/8デューティ駆動時の表示メモリ領域を選択します (S1C63408のみ)

"1"書き込み: F100H～F177H
 "0"書き込み: F000H～F077H
 読み出し: 可能

LPAGEに"1"を書き込むことによりF100H～F177H (表示メモリの後半) のデータが表示され、"0"の場合は、F000H～F077H (表示メモリの前半) のデータが表示されます。

LPAGEはS1C63408で1/8デューティ選択時のみ有効で、1/9、1/16または1/17デューティ選択時およびS1C63406では汎用レジスタとして使用可能です。

イニシャルリセット時、このレジスタは"0"に設定されます。

LC3～LC0: LCDコントラスト調整レジスタ (FF62H)

LCDのコントラストを調整します。

LC3～LC0 = 0000B 淡
 :
 LC3～LC0 = 1111B 濃

常温では7または8を基準にしてください。

イニシャルリセット時、LC3～LC0の内容は不定となります。

4.7.7 プログラミング上の注意事項

- (1) LPWRに"1"を書き込むと (ONにすると) LCD電源を素早く安定させるために1kHz信号の1周期の間、消費電流が増加します。
- (2) 以下のメモリ非実装領域をアクセスするようなプログラムを作成した場合、正常な動作を保証することはできません。
 S1C63406: F078H～F0FFH、F101H、F103H、…、F177H
 S1C63408: F078H～F0FFH、F178H～F1FFH、F201H、F203H、…、F277H
- (3) イニシャルリセット時、表示メモリの内容およびLC3～LC0 (LCDコントラスト) は不定となりますので、ソフトウェアにより初期化する必要があります。また、表示もすべてOFFとなるように各レジスタ (LPWR、ALOFF) が設定されますので注意してください。

4.8 計時タイム

4.8.1 計時タイムの構成

S1C63406/408はOSC1(水晶発振)を原振とする計時タイムを内蔵しています。計時タイムはfosc1の分周クロック(256Hz)を入力クロックとする8ビットのバイナリカウンタで構成され、その8ビットデータ(128Hz~16Hzと8Hzと8Hz~1Hz)をソフトウェアによって読み出すことができます。

図4.8.1.1に計時タイムのブロック図を示します。

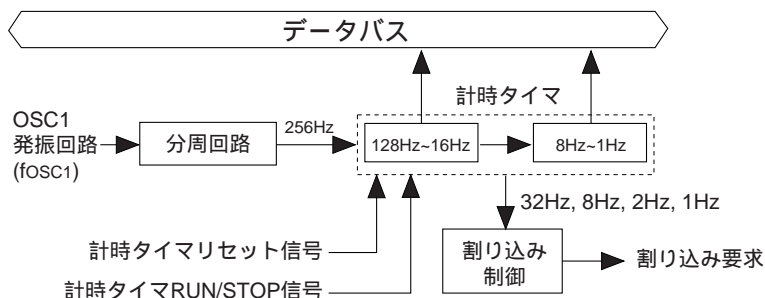


図4.8.1.1 計時タイムのブロック図

通常はこの計時タイムを、時計などのような各種の計時機能に用います。

注: OSC1発振回路としてCR発振回路がマスクオプションで選択された場合にはfosc1が60kHz(Typ.)になりますので、記載されているすべての周波数、時間等が異なります。よって、時計機能に用いることはできません。

4.8.2 データの読み出しとホールド機能

8ビットのタイムデータはアドレスFF79HとFF7AHに次のように割り付けられています。

<FF79H>	D0:TM0=128Hz	D1:TM1=64Hz	D2:TM2=32Hz	D3:TM3=16Hz
<FF7AH>	D0:TM4=8Hz	D1:TM5=4Hz	D2:TM6=2Hz	D3:TM7=1Hz

計時タイムのデータは2つのアドレスに割り付けられているため、カウント中に下位データ(TM0~TM3: 128Hz~16Hz)から上位データ(TM4~TM7: 8Hz~1Hz)への桁上げが発生します。下位データと上位データの読み出しの間にこの桁上げが発生すると、2つを合わせた内容が正しい値とはなりません(下位データがFFHと読み出されていて、上位データはその時点から1つカウントアップされた値になってしまいます)。これを避けるために、S1C63406/408では上位データのホールド機能が働くようになっています。この機能は下位データの読み出しを行った時点で上位データのカウンタアップ(下位データからの桁上げ)を一時停止するもので、上位データがホールドされる時間は次に示す2つの内の短い方になります。

1. 上位データを読み出すまでの間
2. 0.48msec~1.5msec(読み出しのタイミングにより異なる)

注: 上位データを先に読み出した場合は下位データのホールドは行われませんので、必ず下位バイトから先に読み出しを行ってください。

4.8.3 割り込み機能

計時タイマは32Hz、8Hz、2Hz、1Hzの各信号の立ち下がりエッジにおいて割り込みを発生させることができます。また、前記の各周波数に対して個別に割り込みをマスクするかしないかを、ソフトウェアで設定することができます。

図4.8.3.1に計時タイマのタイミングチャートを示します。

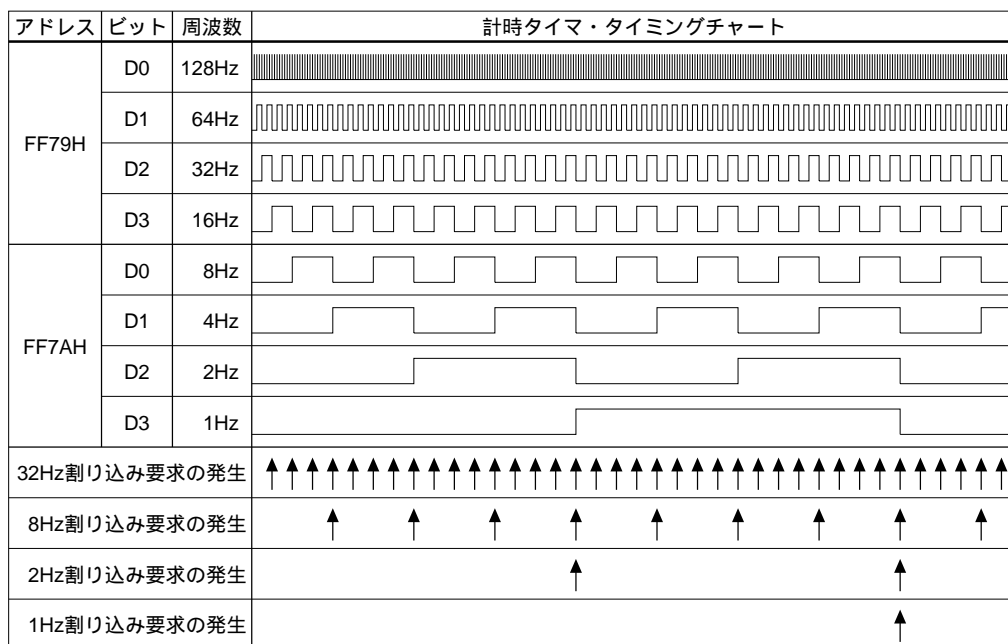


図4.8.3.1 計時タイマのタイミングチャート

図4.8.3.1に示すとおり、割り込みは各周波数(32Hz、8Hz、2Hz、1Hz)の信号の立ち下がりエッジによって発生します。また、この時点に対応する割り込み要因フラグ(IT0、IT1、IT2、IT3)が"1"にセットされます。各割り込みは、割り込みマスクレジスタ(EIT0、EIT1、EIT2、EIT3)によって、個別にマスクを選択することができます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応する信号の立ち下がりエッジで"1"にセットされます。

4.8.4 計時タイマのI/Oメモリ

表4.8.4.1に計時タイマの制御ビットとそのアドレスを示します。

表4.8.4.1 計時タイマの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF78H	0	0	TMRST	TMRUN	0 *3 0 *3	- *2 - *2			未使用 未使用
	R		W	R/W	TMRST *3 TMRUN	Reset 0	Reset Run	Invalid Stop	計時タイマリセット(書き込み時) 計時タイマRun/Stop
	TM3	TM2	TM1	TM0	TM3 TM2 TM1 TM0	0 0 0 0			計時タイマデータ(16Hz) 計時タイマデータ(32Hz) 計時タイマデータ(64Hz) 計時タイマデータ(128Hz)
FF79H	R								
	TM7	TM6	TM5	TM4	TM7 TM6 TM5 TM4	0 0 0 0			計時タイマデータ(1Hz) 計時タイマデータ(2Hz) 計時タイマデータ(4Hz) 計時タイマデータ(8Hz)
	R								
FF7AH	EIT3	EIT2	EIT1	EIT0	EIT3 EIT2 EIT1 EIT0	0 0 0 0	Enable Enable Enable Enable	Mask Mask Mask Mask	割り込みマスクレジスタ(計時タイマ1Hz) 割り込みマスクレジスタ(計時タイマ2Hz) 割り込みマスクレジスタ(計時タイマ8Hz) 割り込みマスクレジスタ(計時タイマ32Hz)
	R/W								
	IT3	IT2	IT1	IT0	IT3 IT2 IT1 IT0	0 0 0 0	(R) Yes (W) Reset	(R) No (W) Invalid	割り込み要因フラグ(計時タイマ1Hz) 割り込み要因フラグ(計時タイマ2Hz) 割り込み要因フラグ(計時タイマ8Hz) 割り込み要因フラグ(計時タイマ32Hz)
FF7BH	R/W								
	IT3	IT2	IT1	IT0	IT3 IT2 IT1 IT0	0 0 0 0	(R) Yes (W) Reset	(R) No (W) Invalid	割り込み要因フラグ(計時タイマ1Hz) 割り込み要因フラグ(計時タイマ2Hz) 割り込み要因フラグ(計時タイマ8Hz) 割り込み要因フラグ(計時タイマ32Hz)
	R/W								

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

TM0 ~ TM7: タイマデータ(FF79H, FF7AH)

計時タイマの128Hz ~ 1Hzのタイマデータが読み出せます。この8ビットは読み出し専用のため、書き込み動作は無効となります。

下位データ FF79H を読み出すことにより、上位データ FF7AH がその読み出しまで、または0.48msec ~ 1.5msecの間、どちらか短い方にホールドされます。

イニシャルリセット時、タイマデータは"00H"に初期化されます。

TMRST: 計時タイマリセット(FF78H・D1)

計時タイマをリセットするビットです。

"1"書き込み: 計時タイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

計時タイマは、TMRSTに"1"を書き込むことによりリセットされます。計時タイマがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合はリセットデータが保持されます。

また、"0"の書き込みはノーオペレーションとなります。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

TMRUN: 計時タイマRUN/STOP制御レジスタ(FF78H・D0)

計時タイマのRUN/STOPを制御します。

"1"書き込み: RUN
 "0"書き込み: STOP
 読み出し: 可能

計時タイマはTMRUNに"1"を書き込むことによりRUNし、"0"の書き込みによりSTOPします。STOP状態ではリセットか次にRUN状態にするまで、タイマのデータは保持されます。また、STOP状態からRUN状態にすることにより保持していたデータから継続して、カウントを進めることができます。イニシャルリセット時、このレジスタは"0"に設定されます。

EIT0: 32Hz割り込みマスクレジスタ(FFE6H・D0)

EIT1: 8Hz割り込みマスクレジスタ(FFE6H・D1)

EIT2: 2Hz割り込みマスクレジスタ(FFE6H・D2)

EIT3: 1Hz割り込みマスクレジスタ(FFE6H・D3)

計時タイマの割り込みについて、マスクするかしないかを選択します。

"1"書き込み: イネーブル
 "0"書き込み: マスク
 読み出し: 可能

各周波数(32Hz、8Hz、2Hz、1Hz)に対して、割り込みをマスクするかしないかを、割り込みマスクレジスタ EIT0(32Hz)、EIT1(8Hz)、EIT2(2Hz)、EIT3(1Hz)により個別に選択できます。

イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

IT0: 32Hz割り込み要因フラグ(FFF6H・D0)

IT1: 8Hz割り込み要因フラグ(FFF6H・D1)

IT2: 2Hz割り込み要因フラグ(FFF6H・D2)

IT3: 1Hz割り込み要因フラグ(FFF6H・D3)

計時タイマ割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有
 "0"読み出し: 割り込み無
 "1"書き込み: 要因フラグをリセット
 "0"書き込み: 無効

割り込み要因フラグIT0、IT1、IT2、IT3は、それぞれ32Hz、8Hz、2Hz、1Hzの計時タイマ割り込みに対応します。これらのフラグによって計時タイマ割り込みの有無を、ソフトウェアで判断することができます。ただし、これらのフラグは割り込みをマスクしていても、対応する信号の立ち下がりで"1"にセットされます。これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

4.8.5 プログラミング上の注意事項

- (1)データの読み出しは必ず下位データ(TM0~TM3)から先に行ってください。
- (2)割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- (3)OSC1発振回路としてCR発振回路がマスクオプションで選択された場合にはfosc1が60kHz(Typ.)になりますので、記載されているすべての周波数、時間等が異なります。よって、時計機能に用いることはできません。

4.9 ストップウォッチタイマ

4.9.1 ストップウォッチタイマの構成

S1C63406/408は1/100sec単位と1/10sec単位のストップウォッチタイマを内蔵しています。ストップウォッチタイマは、近似100Hz信号(f_{osc1} を近似的に100Hzに分周した信号)を入力クロックとする4ビット2段のBCDカウンタで構成され、ソフトウェアにより4ビット単位でデータを読み出すことができます。

図4.9.1.1にストップウォッチタイマの構成を示します。

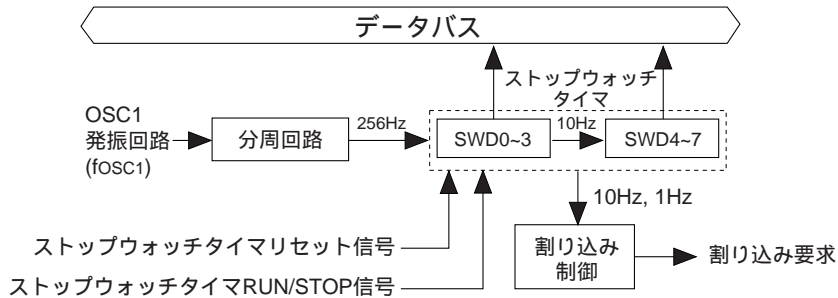


図4.9.1.1 ストップウォッチタイマの構成

ストップウォッチタイマは計時タイマとは別のタイマとして使用でき、特にデジタルウォッチのストップウォッチ機能などをソフトウェアで容易に実現することができます。

注: OSC1発振回路としてCR発振回路がマスクオプションで選択された場合には f_{osc1} が60kHz(Typ.)になりますので、記載されているすべての周波数、時間等が異なります。よって、ストップウォッチ機能を実現することはできません。

4.9.2 カウントアップパターン

ストップウォッチタイマは、それぞれ4ビットのBCDカウンタSWD0～SWD3とSWD4～SWD7で構成されています。

ストップウォッチタイマ前段のカウンタSWD0～SWD3は近似100Hz信号を入力クロックとし、1/100secごとのカウントアップを行って近似10Hz信号を発生します。後段のカウンタSWD4～SWD7はSWD0～SWD3が出力する近似10Hz信号を入力クロックとし、1/10secごとのカウントアップを行って1Hz信号を発生します。

図4.9.2.1にストップウォッチタイマのカウントアップパターンを示します。

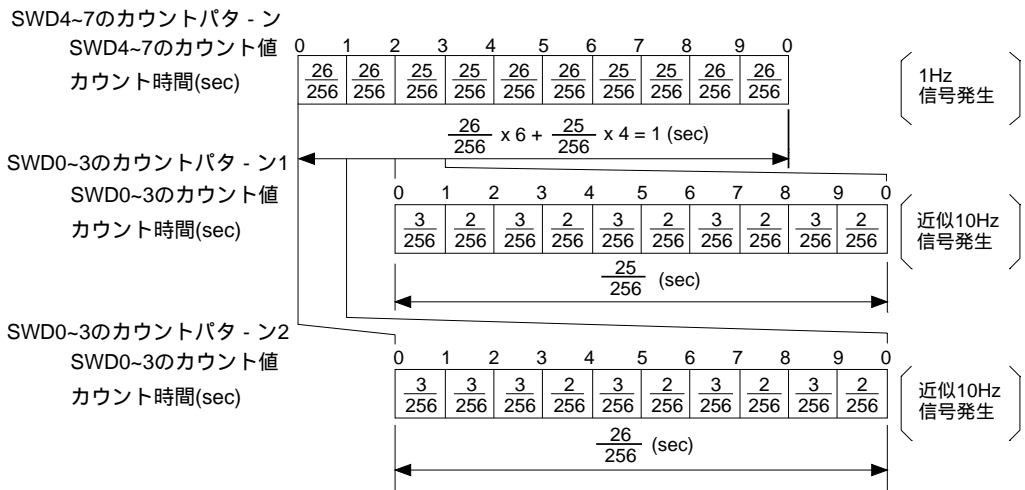


図4.9.2.1 ストップウォッチタイマのカウントアップパターン

SWD0～SWD3は基本となる256Hz信号(f_{osc1} の分周クロック)から近似10Hz信号を発生します。カウントアップの間隔は2/256secと3/256secで、最終的に25/256secと26/256secの2つのパターンを発生します。したがって、各パターンは正確に1/100secとはなりません。

SWD4～SWD7は25/256secと26/256sec間隔で発生する近似10Hz信号を4:6の割合でカウントし、1Hz信号を発生します。カウントアップの間隔については25/256secと26/256secで、正確に1/10secとはなりません。

4.9.3 割り込み機能

ストップウォッチタイマSWD0～SWD3とSWD4～SWD7はそれぞれのオーバーフローにより、10Hz(近似10Hz)と1Hzの割り込みを発生させることができます。

図4.9.3.1にストップウォッチタイマのタイミングチャートを示します。

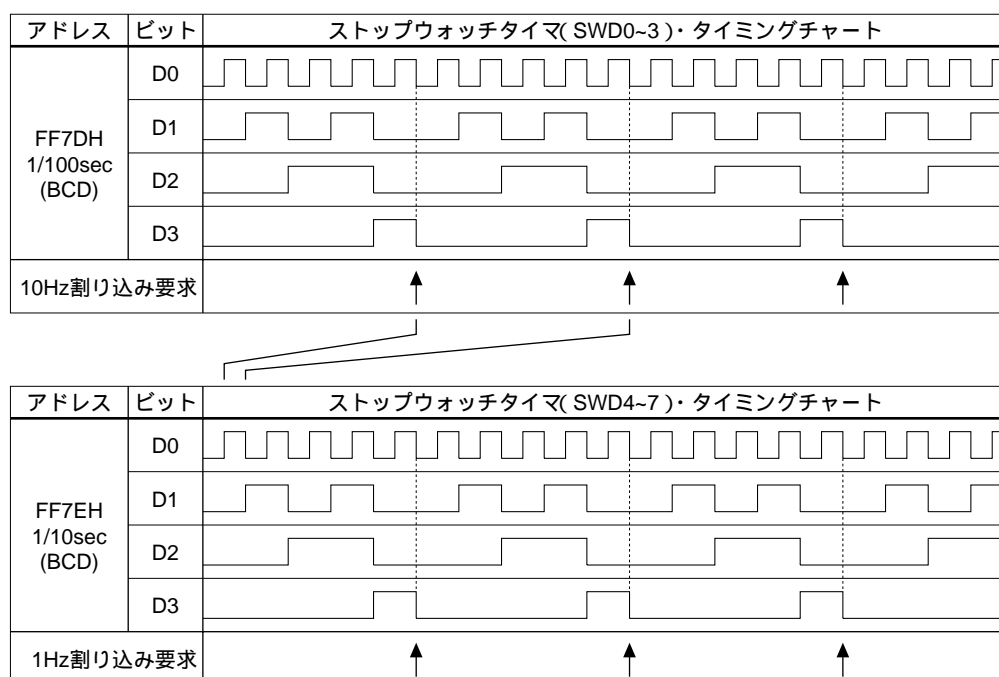


図4.9.3.1 ストップウォッチタイマのタイミングチャート

SWD0～SWD3、SWD4～SWD7それぞれのカウンタのオーバーフロー("9" から "0" への変化)によって割り込み要因フラグISW10、ISW1が"1"にセットされ、割り込みが発生します。それぞれの割り込みは割り込みマスクレジスタEISW10、EISW1によって個別にマスクすることができます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応するカウンタのオーバーフローで"1"にセットされます。

4.9.4 ストップウォッチタイムのI/Oメモリ

表4.9.4.1にストップウォッチタイムの制御ビットとそのアドレスを示します。

表4.9.4.1 ストップウォッチタイムの制御ビット

アドレス	レジスタ				注 釈				
	D3	D2	D1	D0	Name	Init *1	1	0	
FF7CH	0	0	SWRST	SWRUN	0 *3 0 *3	– *2 – *2			未使用 未使用
	R		W	R/W	SWRST*3 SWRUN	Reset 0	Reset Run	Invalid Stop	ストップウォッチタイマリセット(書き込み時) ストップウォッチタイマRun/Stop
	SWD3	SWD2	SWD1	SWD0	SWD3 SWD2 SWD1 SWD0	0 0 0 0			ストップウォッチタイマデータ BCD(1/100sec)
R									
FF7EH	SWD7	SWD6	SWD5	SWD4	SWD7 SWD6 SWD5 SWD4	0 0 0 0			ストップウォッチタイマデータ BCD(1/10sec)
	R								
	FFE7H	GPR73	GPR72	EISW1	EISW10	GPR73 GPR72 EISW1 EISW10	0 0 0 0	1 1 Enable Enable	0 0 Mask Mask
R/W									
FFF7H		0	0	ISW1	ISW10	0 *3 0 *3	– *2 – *2	(R) Yes	(R) No
	R		R/W		ISW1 ISW10	0 0	(W) Reset	(W) Invalid	割り込み要因フラグ(ストップウォッチタイマ1Hz) 割り込み要因フラグ(ストップウォッチタイマ10Hz)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

SWD0 ~ SWD7: ストップウォッチタイムデータ(FF7DH, FF7EH)

ストップウォッチタイム1/100sec桁、1/10sec桁のデータ BCD がそれぞれSWD0 ~ SWD3、SWD4 ~ SWD7から読み出せます。この8ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、タイムデータは"00H"に設定されます。

SWRST: ストップウォッチタイムリセット(FF7CH・D1)

ストップウォッチタイムをリセットするビットです。

"1"書き込み: ストップウォッチタイムリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

ストップウォッチタイムは、SWRSTに"1"を書き込むことによりリセットされます。これにより、タイムデータはすべて"0"になります。

ストップウォッチタイムがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合はリセットデータが保持されます。

また、"0"の書き込みはノーオペレーションとなります。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

SWRUN: ストップウォッチタイムRUN/STOP制御レジスタ(FF7CH・D0)

ストップウォッチタイムのRUN/STOPを制御します。

"1"書き込み: RUN

"0"書き込み: STOP

読み出し: 可能

ストップウォッチタイムはSWRUNに"1"を書き込むことによりRUNし、"0"の書き込みによりSTOPします。

STOP状態ではリセットが次にRUN状態にするまで、タイムのデータは保持されます。また、STOP状態からRUN状態にすることにより保持していたデータから継続して、カウントを進めることができます。

RUN状態でカウンタのデータを読み出す場合、下位桁(SWD0～SWD3)から上位桁(SWD4～SWD7)への桁上げにより正しい読み出しができないことがあります(桁上げのタイミングに、SWD0～SWD3とSWD4～SWD7の読み出しがまたがった場合)。これを防止するため、一度停止させてから読み出し、再度SWRUN="1"にしてください。また、この場合の停止期間は976μsec(256Hzの1/4周期)以内である必要があります。

イニシャルリセット時、このレジスタは"0"に設定されます。

EISW10: 10Hz割り込みマスキレジスタ(FFE7H・D0)

EISW1 : 1Hz割り込みマスキレジスタ(FFE7H・D1)

ストップウォッチタイムの割り込みについて、マスクするかしないかを選択します。

"1"書き込み: イネーブル

"0"書き込み: マスク

読み出し: 可能

各周波数(10Hz、1Hz)に対して、割り込みをマスクするかしないかを、割り込みマスキレジスタEISW10(10Hz)、EISW1(1Hz)により個別に選択できます。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

ISW10: 10Hz割り込み要因フラグ(FFF7H・D0)

ISW1 : 1Hz割り込み要因フラグ(FFF7H・D1)

ストップウォッチタイム割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有

"0"読み出し: 割り込み無

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

割り込み要因フラグISW10、ISW1は、それぞれ10Hz、1Hzのストップウォッチタイム割り込みに対応します。これらのフラグによってストップウォッチタイム割り込みの有無を、ソフトウェアで判断することができます。ただし、これらのフラグは割り込みをマスクしていても、対応するカウンタのオーバフローで"1"にセットされます。

これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(1フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

4.9.5 プログラミング上の注意事項

- (1) RUN状態でカウンタのデータを読み出す場合、一度停止させてから読み出し、再度SWRUN="1"にしてください。また、この場合の停止期間は976μsec(256Hzの1/4周期)以内である必要があります。
- (2) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(1フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- (3) OSC1発振回路としてCR発振回路がマスクオプションで選択された場合にはfosc1が60kHz(Typ.)になりますので、記載されているすべての周波数、時間等が異なります。よって、ストップウォッチ機能を実現することはできません。

4.10 プログラマブルタイム

4.10.1 プログラマブルタイムの構成

S1C63406/408は8ビットのプログラマブルタイムを2系統(タイム0およびタイム1)内蔵しています。タイム0とタイム1は8ビットプリセッタブルダウンカウンタで構成され、8ビット×2チャンネルのプログラマブルタイムまたは16ビット×1チャンネルのプログラマブルタイムとして使用することができます。また、タイム0はK03ポート端子を使用したイベントカウンタ機能も合わせ持っています。

図4.10.1.1にプログラマブルタイムの構成を示します。

プログラマブルタイムはカウントダウンによるアンダーフローによって割り込みを発生し、カウンタ初期値のプリセットを行います。また、タイム0またはタイム1のアンダーフロー信号は、R12ポート端子から外部に出力させるTOUT信号を発生します。さらにタイム1のアンダーフロー信号はシリアルインタフェースのクロック源として使用できるため、転送速度のプログラマブルな設定が可能です。

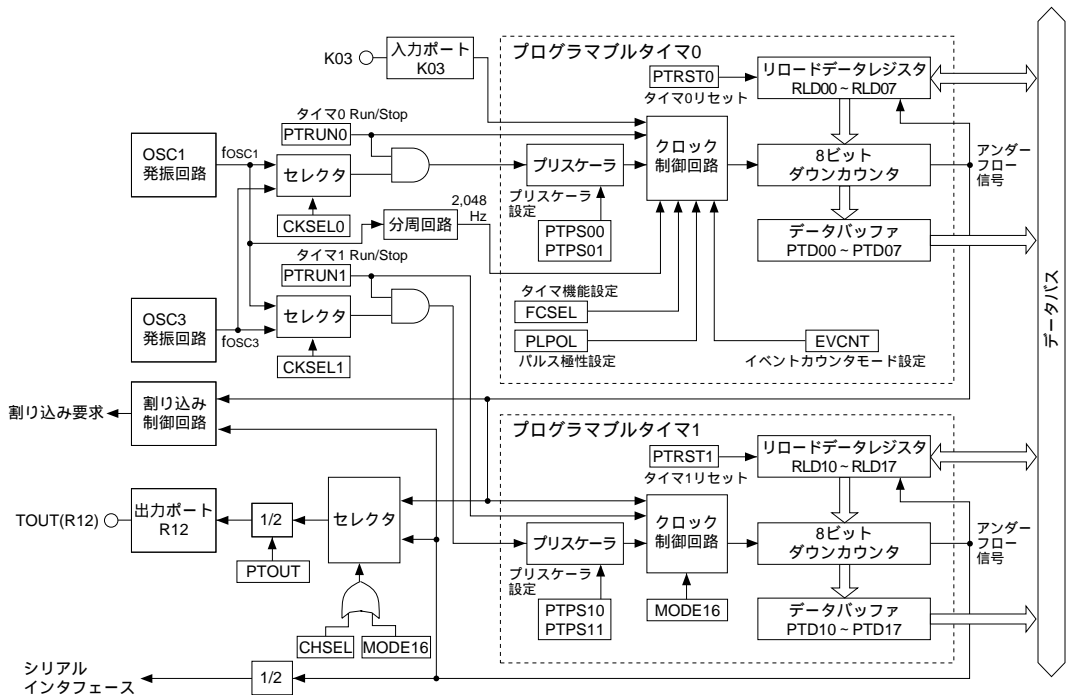


図4.10.1.1 プログラマブルタイムの構成

4.10.2 2チャンネル×8ビットタイマ(MODE16 = "0")の動作

4.10.2.1 カウンタ初期値の設定とダウンカウント動作

タイマ0およびタイマ1にはそれぞれ、8ビットのダウンカウンタとリロードデータレジスタが設けられています。

リロードデータレジスタRLD00～RLD07(タイマ0)、RLD10～RLD17(タイマ1)はカウンタの初期値を設定するレジスタです。

ダウンカウンタは、リロードデータレジスタRLDに設定された初期値を、タイマリセットビットPTRST0(タイマ0)、PTRST1(タイマ1)への"1"書き込みによってロードします。したがって、このロードされた初期値から入力クロックによるダウンカウントが行われます。

タイマ0およびタイマ1にはそれぞれ、RUN/STOPを制御するレジスタPTRUN0(タイマ0)、PTRUN1(タイマ1)が設けられています。リロードデータをカウンタにプリセットした後、本レジスタに"1"を書き込むことによってダウンカウントを開始します。"0"を書き込むとクロックの入力が禁止され、カウントを停止します。このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

カウンタのデータ読み出しはデータバッファPTD00～PTD07(タイマ0)、PTD10～PTD17(タイマ1)を介して行い、下位、上位4ビットずつソフトウェアにより任意のタイミングで読み出しが可能です。

ただし、このカウンタも計時タイマと同様に下位データ、上位データ読み出し間の桁下げを防止するため、下位データの読み出しにより上位データがホールドされるようになっています。したがって、データの読み出しは必ず下位データから先に行ってください。

カウンタはダウンカウントが進んでアンダーフローが発生すると、リロードデータレジスタRLDに設定された初期値をリロードします。初期値をリロード後は、その初期値からダウンカウントを継続します。

このアンダーフロー信号はカウンタのリロードのほか、割り込みの発生、外部へのパルス(TOUT信号)出力、シリアルインタフェースへのクロック供給を制御します。

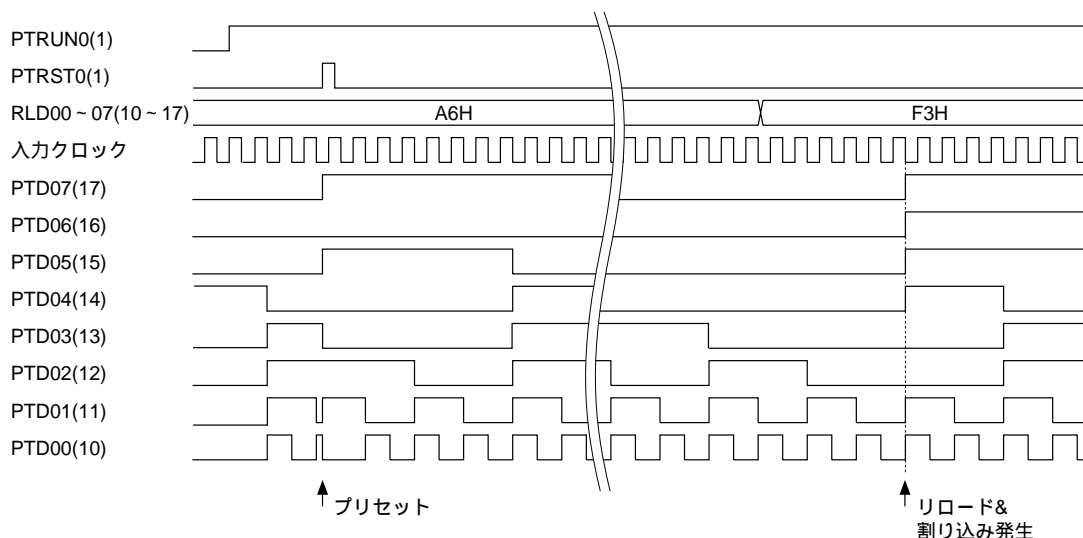


図4.10.2.1.1 カウンタの基本動作タイミング

4.10.2.2 カウンタモード

本プログラマブルタイムにはタイマモードとイベントカウンタモードの2種類のカウンタモードが設定されており、ソフトウェアによって選択することができます。

(1) タイマモード

タイマモードはプリスケアラの出力を入力クロックとしてダウンカウントを行うモードです。このモードは、OSC1またはOSC3発振クロックを原振として一定周期ごとにカウントを行うタイマとして動作します。

タイマ0はタイマ0カウンタモード選択レジスタEVCNTによりタイマモードとイベントカウンタモードの切り換えが可能となっています。タイマ0カウンタモード選択レジスタEVCNTが"0"に設定されている場合、タイマ0はタイマモードで動作します。

タイマ1はタイマモードのみの動作となります。

イニシャルリセット時はこのモードに設定されます。

タイマの基本的な動作と制御については"4.10.2.1 初期値の設定とダウンカウント動作"を参照してください。

タイマモード時の入力クロックは、OSC1またはOSC3発振クロックをプログラマブルタイム回路に内蔵されたプリスケアラによって分周して発生しています。この入力クロックの設定については次項を参照してください。

(2) イベントカウンタモード

タイマ0には、K03ポート端子に外部クロックを入力してカウントを行うイベントカウンタ機能があります。この機能は、タイマ0カウンタモード選択レジスタEVCNTに"1"を書き込むことによって選択されます。タイマ1はタイマモードのみで、イベントカウンタとしては使用できません。

イベントカウンタモードでは、外部からタイマ0にクロックが供給されるため、タイマ0プリスケアラ分周比選択レジスタPTPS00、PTPS01およびプリスケアラ0原振クロック選択レジスタCKSEL0の設定は無効となります。

ダウンカウントのタイミングは、タイマ0パルス極性選択レジスタPLPOLによって、立ち下がリエッジまたは立ち上がりエッジのどちらかが選択できます。レジスタPLPOLに"0"を書き込んだ場合が立ち下がリエッジ、"1"を書き込んだ場合が立ち上がりエッジとなり、図4.10.2.2.1に示すタイミングでダウンカウントが行われます。

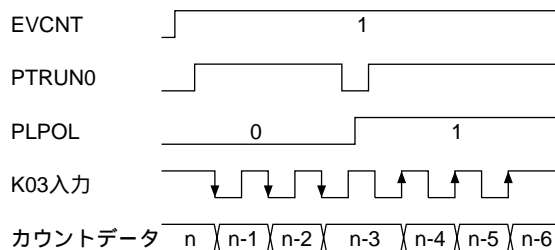


図4.10.2.2.1 イベントカウンタモードのタイミングチャート

イベントカウンタモードにはこのほかに、外部クロック (K03) 入力に対してチャタリング等のノイズを除去するノイズリジェクタ付加機能があります。この機能はタイマ0機能選択レジスタFCSELに"1"を書き込むことによって選択されます。

ノイズリジェクタ付きを選択した場合は確実なカウントを行うために、LOWレベル/HIGHレベル共に0.98msec以上のパルス幅を確保する必要があります。(ノイズリジェクタは、K03ポート端子の入力レベルが変化してから2度目の内部2,048Hz信号の立ち下がリエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msec以下となります。)

図4.10.2.2.2にノイズリジェクタ付加時のダウンカウントタイミングを示します。

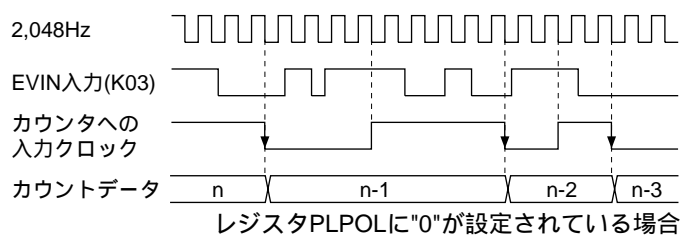


図4.10.2.2.2 ノイズリジェクタ付加時のダウンカウントタイミング

イベントカウンタモードの動作は、入力クロックが外部クロック(K03)となること以外はタイマモードと同等です。

カウントの基本的な動作と制御については"4.10.2.1 初期値の設定とダウンカウント動作"を参照してください。

4.10.2.3 タイマモード入力クロックの設定

タイマ0およびタイマ1にはそれぞれ、プリスケアラが設けられています。プリスケアラはOSC1またはOSC3発振回路から供給される原振クロックを分周して、それぞれのタイマへの入力クロックを発生します。原振クロックとプリスケアラの分周比はタイマ0、タイマ1でそれぞれ個別にソフトウェアで選択することができます。

設定した入力クロックはタイマモードでの動作時のカウントクロックとして使用されます。タイマ0をイベントカウンタモードに設定した場合は、以下の設定はすべて無効となります。

入力クロックは以下の手順で設定します。

(1) 原振クロックの選択

それぞれのプリスケアラに入力する原振クロックを、OSC1とするかOSC3とするかを選択します。この選択は、原振クロック選択レジスタCKSEL0(タイマ0)、CKSEL1(タイマ1)によって行い、"0"を書き込むとOSC1、"1"を書き込むとOSC3が選択されます。

OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3発振回路をONさせる必要があります。

ただし、OSC3発振回路をONにしてから発振が安定するまでに5msec以上の時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ON後、充分な待ち時間をおいてから行ってください。

OSC3の制御方法と注意事項については"4.3 発振回路"を参照してください。イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

(2) プリスケアラ分周比の選択

それぞれのプリスケアラの分周比を4種類の中から選択します。この選択は、プリスケアラ分周比選択レジスタPTPS00/PTPS01(タイマ0)、PTPS10/PTPS11(タイマ1)によって行います。設定値と分周比は表4.10.2.3.1に示すとおり対応しています。

表4.10.2.3.1 プリスケアラ分周比の選択

PTPS11 PTPS01	PTPS10 PTPS00	プリスケアラ分周比
1	1	原振クロック / 256
1	0	原振クロック / 32
0	1	原振クロック / 4
0	0	原振クロック / 1

レジスタPTRUN0(タイマ0)、PTRUN1(タイマ1)に"1"を書き込むことによって、原振クロックがプリスケアラに入力されます。これによって、選択した分周比のクロックがタイマに入力され、タイマがダウンカウントを開始します。

4.10.2.4 割り込み機能

プログラマブルタイムは、タイマ0およびタイマ1の各アンダーフロー信号によって割り込みを発生させることができます。割り込みタイミングについては図4.10.2.1.1を参照してください。

タイマ0およびタイマ1の各アンダーフロー信号によって、それぞれに対応する割り込み要因フラグIPT0、IPT1が"1"にセットされ、割り込みが発生します。各割り込み要因フラグに対応した割り込みマスクレジスタEIPT0、EIPT1の設定により、割り込みをマスクすることもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応するタイマのアンダーフローで"1"にセットされます。

4.10.2.5 TOUT出力の設定

プログラマブルタイムは、タイマ0またはタイマ1のアンダーフローによってTOUT信号を発生させることができます。TOUT信号はアンダーフローを1/2分周した信号で、TOUT出力チャンネル選択レジスタCHSELによって、どちらのタイマのアンダーフローを使用するかを選択することができます。レジスタCHSELに"0"を書き込んだ場合がタイマ0、"1"を書き込んだ場合がタイマ1となります。

図4.10.2.5.1にチャンネル切り換え時のTOUT信号波形を示します。

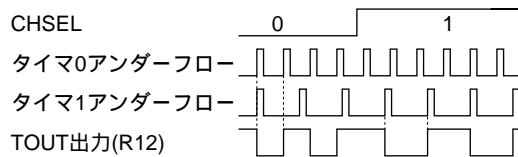


図4.10.2.5.1 チャンネル切り換え時のTOUT信号波形

TOUT信号はR12ポート端子から出力させることができ、外部デバイス等に対してプログラマブルなクロックを供給することができます。

R12ポートの構成を図4.10.2.5.2に示します。

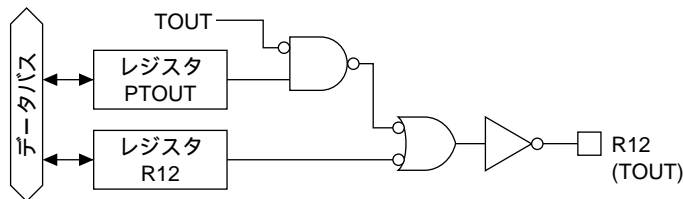


図4.10.2.5.2 R12の構成

TOUT信号はレジスタPTOUTによって出力制御が行われます。PTOUTに"1"を設定するとTOUT信号がR12端子から出力され、"0"を設定するとHIGH (V_{DD}) レベルが出力されます。このとき、データレジスタR12には"1"が設定されている必要があります。

なお、TOUT信号はレジスタPTOUTとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図4.10.2.5.3にTOUT信号の出力波形を示します。

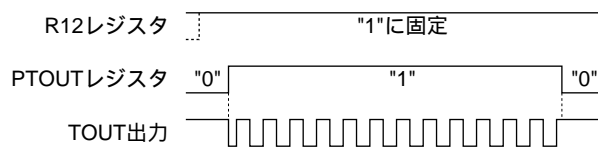


図4.10.2.5.3 TOUT信号の出力波形

4.10.2.6 シリアルインタフェースの転送速度設定

タイマ1のアンダーフローを1/2分周した信号をシリアルインタフェースのクロック源として使用することができます。

シリアルインタフェースへのクロックはタイマ1をRUN(PTRUN1="1")することにより出力されますので、PTOUTレジスタによる制御は不要です。

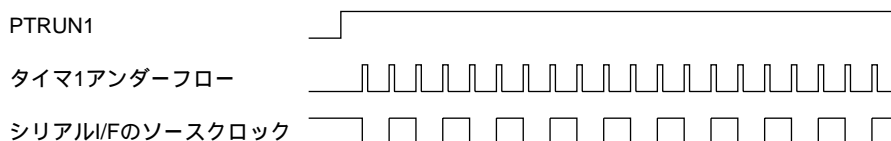


図4.10.2.6.1 シリアルインタフェースの同期クロック

転送速度に対するレジスタRLD1Xへの設定値は次式のようになります。

$$RLD1X = f_{osc} / (2 \times bps \times \text{プリスケアラ分周比}) - 1$$

fosc: 発振周波数(OSC1/OSC3)
bps: 転送速度
(RLD1Xには00Hも設定可能)

4.10.3 1チャンネル×16ビットタイマ(MODE16 = "1")の動作

MODE16に"1"を書き込むことにより、タイマ0とタイマ1を合わせて1チャンネルの16ビットタイマとして使用することができます。この場合、タイマ0は16ビットタイマの下位バイト、タイマ1は上位バイトとなります。

4.10.3.1 カウンタ初期値の設定とダウンカウンタ動作

タイマ0およびタイマ1にはそれぞれ、8ビットのダウンカウンタとリロードデータレジスタが設けられています。

リロードデータレジスタRLD00～RLD07(タイマ0)、RLD10～RLD17(タイマ1)はカウンタの初期値を設定するレジスタです。

ダウンカウンタは、リロードデータレジスタRLDiに設定された初期値を、タイマリセットビットPTRSTi(タイマ0)またはPTRST1(タイマ1)への"1"書き込みによってロードします。したがって、このロードされた初期値から入カクロックによるダウンカウントが行われます。

タイマ0およびタイマ1のRUN/STOP制御にはレジスタPTRUNi(タイマ0)を使用します。リロードデータをカウンタにプリセットした後、本レジスタに"1"を書き込むことによってダウンカウントを開始します。"0"を書き込むとクロックの入力が禁止され、カウントを停止します。

このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

カウンタのデータ読み出しはデータバッファPTD00～PTD07(タイマ0)、PTD10～PTD17(タイマ1)を介して任意のタイミングで行えます。

ただし、このカウンタも計時タイマと同様に下位データ、上位データ読み出し間の桁下げを防止するため、下位データの読み出しにより上位データがホールドされるようになっています。したがって、データの読み出しは必ず下位データから先に行ってください。

ダウンカウントが進んでタイマ1にアンダーフローが発生すると、リロードデータレジスタRLDiに設定された初期値をリロードします。初期値をリロード後は、その初期値からダウンカウントを継続します。

このアンダーフロー信号はカウンタのリロードのほか、割り込みの発生、外部へのパルス(TOUT信号)出力、シリアルインタフェースへのクロック供給を制御します。

4.10.3.2 カウンタモード

本プログラマブルタイムにはタイマモードとイベントカウンタモードの2種類のカウンタモードが設定されており、ソフトウェアによって選択することができます。

(1) タイマモード

タイマモードはプリスケアラの出力を入力クロックとしてダウンカウントを行うモードです。このモードは、OSC1またはOSC3発振クロックを原振として一定周期ごとにカウントを行うタイマとして動作します。プログラマブルタイムはタイマ0カウンタモード選択レジスタEVCNTによりタイマモードとイベントカウンタモードの切り換えが可能となっています。タイマ0カウンタモード選択レジスタEVCNTが"0"に設定されている場合、プログラマブルタイムはタイマモードで動作します。イニシャルリセット時はこのモードに設定されます。

タイマの基本的な動作と制御については"4.10.3.1 初期値の設定とダウンカウント動作"を参照してください。

タイマモード時の入力クロックは、OSC1またはOSC3発振クロックをプログラマブルタイム回路に内蔵されたプリスケアラによって分周して発生しています。この入力クロックの設定については次項を参照してください。

(2) イベントカウンタモード

プログラマブルタイムには、K03ポート端子に外部クロックを入力してカウントを行うイベントカウンタ機能があります。この機能は、タイマ0カウンタモード選択レジスタEVCNTに"1"を書き込むことによって選択されます。

イベントカウンタモードでは、外部からタイマ0にクロックが供給されるため、タイマ0プリスケアラ分周比選択レジスタPTPS00、PTPS01およびプリスケアラ0原振クロック選択レジスタCKSEL0の設定は無効となります。

ダウンカウントのタイミングは、タイマ0パルス極性選択レジスタPLPOLによって、立ち下がリエッジまたは立ち上がりエッジのどちらかが選択できます。レジスタPLPOLに"0"を書き込んだ場合が立ち下がリエッジ、"1"を書き込んだ場合が立ち上がりエッジとなり、図4.10.3.2.1に示すタイミングでダウンカウントが行われます。

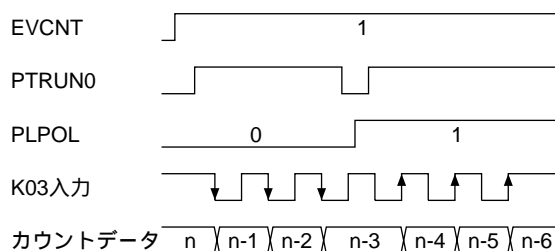


図4.10.3.2.1 イベントカウンタモードのタイミングチャート

イベントカウンタモードにはこのほかに、外部クロック (K03) 入力に対してチャタリング等のノイズを除去するノイズリジェクタ付加機能があります。この機能はタイマ0機能選択レジスタFCSELに"1"を書き込むことによって選択されます。

ノイズリジェクタ付きを選択した場合は確実なカウントを行うために、LOWレベル/HIGHレベル共に0.98msec以上のパルス幅を確保する必要があります。(ノイズリジェクタは、K03ポート端子の入力レベルが変化してから2度目の内部2,048Hz信号の立ち下がリエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msec以下となります。)

図4.10.3.2.2にノイズリジェクタ付加時のダウンカウントタイミングを示します。

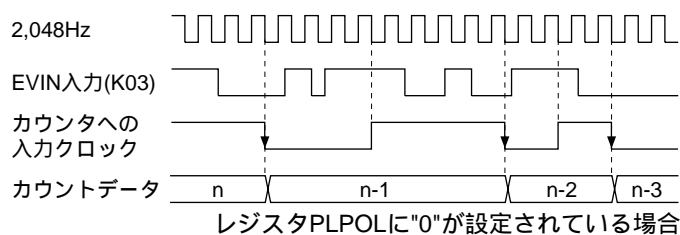


図4.10.3.2.2 ノイズリジェクタ付加時のダウンカウントタイミング

イベントカウンタモードの動作は、入力クロックが外部クロック(K03)となること以外はタイマモードと同等です。

カウントの基本的な動作と制御については"4.10.3.1 初期値の設定とダウンカウント動作"を参照してください。

4.10.3.3 タイマモード入力クロックの設定

16ビットプログラマブルタイマにはプリスケアラが設けられています。プリスケアラはOSC1またはOSC3発振回路から供給される原振クロックを分周して、本プログラマブルタイマへの入力クロックを発生します。設定した入力クロックはタイマモードでの動作時のカウントクロックとして使用されます。16ビットプログラマブルタイマをイベントカウンタモードに設定した場合は、以下の設定はすべて無効となります。

入力クロックは以下の手順で設定します。

(1) 原振クロックの選択

プリスケアラに入力する原振クロックを、OSC1とするかOSC3とするかを選択します。この選択は、原振クロック選択レジスタCKSEL(タイマ0)によって行い、"0"を書き込むとOSC1、"1"を書き込むとOSC3が選択されます。

OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3発振回路をONさせる必要があります。

ただし、OSC3発振回路をONにしてから発振が安定するまでに5msec以上の時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ON後、十分な待ち時間をおいてから行ってください。OSC3の制御方法と注意事項については"4.3 発振回路"を参照してください。イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

(2) プリスケアラ分周比の選択

プリスケアラの分周比を4種類の中から選択します。この選択は、プリスケアラ分周比選択レジスタPTPS00/PTPS01(タイマ0)によって行います。設定値と分周比は表4.10.3.3.1に示すとおり対応しています。

表4.10.3.3.1 プリスケアラ分周比の選択

PTPS01	PTPS00	プリスケアラ分周比
1	1	原振クロック / 256
1	0	原振クロック / 32
0	1	原振クロック / 4
0	0	原振クロック / 1

レジスタPTRUN(タイマ0)に"1"を書き込むことによって、原振クロックがプリスケアラに入力されます。これによって、選択した分周比のクロックがタイマに入力され、タイマがダウンカウントを開始します。

4.10.3.4 割り込み機能

プログラマブルタイムは、アンダーフロー信号によって割り込みを発生させることができます。

16ビットプログラマブルタイムのアンダーフロー信号によって対応する割り込み要因フラグIPT1が"1"にセットされ、割り込みが発生します。割り込み要因フラグに対応した割り込みマスクレジスタEIP1の設定により、割り込みをマスクすることもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応するタイムのアンダーフローで"1"にセットされます。

4.10.3.5 TOUT出力の設定

プログラマブルタイムは、16ビットプログラマブルタイムのアンダーフローによってTOUT信号を発生させることができます。TOUT信号はアンダーフローを1/2分周した信号です。

TOUT信号はR12ポート端子から出力させることができ、外部デバイス等に対してプログラマブルなクロックを供給することができます。

R12ポートの構成を図4.10.3.5.1に示します。

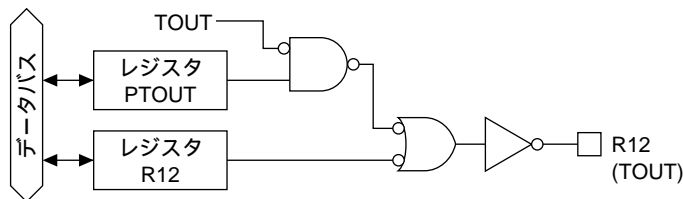


図4.10.3.5.1 R12の構成

TOUT信号はレジスタPTOUTによって出力制御が行われます。PTOUTに"1"を設定するとTOUT信号がR12端子から出力され、"0"を設定するとHIGH (V_{DD})レベルが出力されます。このとき、データレジスタR12には"1"が設定されている必要があります。

なお、TOUT信号はレジスタPTOUTとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図4.10.3.5.2にTOUT信号の出力波形を示します。

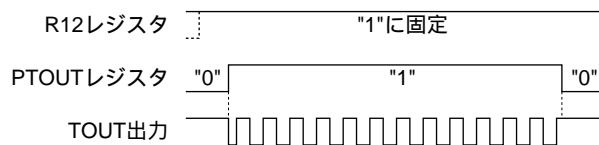


図4.10.3.5.2 TOUT信号の出力波形

4.10.3.6 シリアルインタフェースの転送速度設定

16ビットプログラマブルタイマのアンダーフローを1/2分周した信号をシリアルインタフェースのクロック源として使用することができます。

シリアルインタフェースへのクロックは16ビットプログラマブルタイマをRUN(PTRUN0="1")することにより出力されますので、PTOUTレジスタによる制御は不要です。

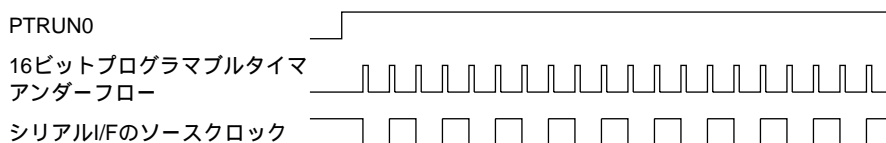


図4.10.3.6.1 シリアルインタフェースの同期クロック

転送速度に対するレジスタRLD1X、RLD0Xへの設定値は次式のようにになります。

$$\text{RLD1X, RLD0X} = \text{fosc} / (2 * \text{bps} * \text{プリスケアラ分周比}) - 1$$

fosc: 発振周波数(OSC1/OSC3)

bps: 転送速度

(RLD1Xには00Hも設定可能)

4.10.4 プログラマブルタイムのI/Oメモリ

表4.10.4.1にプログラマブルタイムの制御ビットとそのアドレスを示します。

表4.10.4.1 プログラマブルタイムの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FFC0H	MODE16	EVCNT	FCSEL	PLPOL	MODE16	0	16bit × 1	8bit × 2	タイマモード選択(8ビット×2または16ビット×1) タイマ0カウンタモード選択 タイマ0機能選択(イベントカウンタモード時) タイマ0パルス極性選択(イベントカウンタモード時)
					EVCNT	0	Event ct.	Timer	
	R	R/W			FCSEL	0	With NR	No NR	
					PLPOL	0	↓	↓	
FFC1H	CHSEL	PTOUT	CKSEL1	CKSEL0	CHSEL	0	Timer1	Timer0	TOUT出力チャンネル選択 TOUT出力制御 プリスケアラ1原振クロック選択 プリスケアラ0原振クロック選択
					PTOUT	0	On	Off	
	R/W				CKSEL1	0	OSC3	OSC1	
					CKSEL0	0	OSC3	OSC1	
FFC2H	PTPS01	PTPS00	PTRST0	PTRUN0	PTPS01	0			プリスケアラ0 [PTPS01, 00] 0 1 2 3 分周比選択 分周比 1/1 1/4 1/32 1/256 タイマ0リセット(リロード) タイマ0 Run/Stop
					PTPS00	0			
	R/W		W	R/W	PTRST0+3	−*2	Reset	Invalid	
					PTRUN0	0	Run	Stop	
FFC3H	PTPS11	PTPS10	PTRST1	PTRUN1	PTPS11	0			プリスケアラ1 [PTPS11, 10] 0 1 2 3 分周比選択 分周比 1/1 1/4 1/32 1/256 タイマ1リセット(リロード) タイマ1 Run/Stop
					PTPS10	0			
	R/W		W	R/W	PTRST1+3	−*2	Reset	Invalid	
					PTRUN1	0	Run	Stop	
FFC4H	RLD03	RLD02	RLD01	RLD00	RLD03	0			MSB プログラマブルタイム0リロードデータ(下位4ビット) LSB
					RLD02	0			
	R/W				RLD01	0			
					RLD00	0			
FFC5H	RLD07	RLD06	RLD05	RLD04	RLD07	0			MSB プログラマブルタイム0リロードデータ(上位4ビット) LSB
					RLD06	0			
	R/W				RLD05	0			
					RLD04	0			
FFC6H	RLD13	RLD12	RLD11	RLD10	RLD13	0			MSB プログラマブルタイム1リロードデータ(下位4ビット) LSB
					RLD12	0			
	R/W				RLD11	0			
					RLD10	0			
FFC7H	RLD17	RLD16	RLD15	RLD14	RLD17	0			MSB プログラマブルタイム1リロードデータ(上位4ビット) LSB
					RLD16	0			
	R/W				RLD15	0			
					RLD14	0			
FFC8H	PTD03	PTD02	PTD01	PTD00	PTD03	0			MSB プログラマブルタイム0データ(下位4ビット) LSB
					PTD02	0			
	R				PTD01	0			
					PTD00	0			
FFC9H	PTD07	PTD06	PTD05	PTD04	PTD07	0			MSB プログラマブルタイム0データ(上位4ビット) LSB
					PTD06	0			
	R				PTD05	0			
					PTD04	0			
FFCAH	PTD13	PTD12	PTD11	PTD10	PTD13	0			MSB プログラマブルタイム1データ(下位4ビット) LSB
					PTD12	0			
	R				PTD11	0			
					PTD10	0			
FFCBH	PTD17	PTD16	PTD15	PTD14	PTD17	0			MSB プログラマブルタイム1データ(上位4ビット) LSB
					PTD16	0			
	R				PTD15	0			
					PTD14	0			
FFE2H	GPR23	GPR22	EIPT1	EIPT0	GPR23	0	1	0	汎用レジスタ 汎用レジスタ 割り込みマスクレジスタ(プログラマブルタイム1) 割り込みマスクレジスタ(プログラマブルタイム0)
					GPR22	0	1	0	
	R/W				EIPT1	0	Enable	Mask	
					EIPT0	0	Enable	Mask	
FFF2H	0	0	IPT1	IPT0	0 *3	−*2	(R)	(R)	未使用 未使用 割り込み要因フラグ(プログラマブルタイム1) 割り込み要因フラグ(プログラマブルタイム0)
					0 *3	−*2	Yes	No	
	R		R/W		IPT1	0	(W)	(W)	
					IPT0	0	Reset	Invalid	

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

CKSEL0: プリスケアラ0原振クロック選択レジスタ(FFC1H・D0)

CKSEL1: プリスケアラ1原振クロック選択レジスタ(FFC1H・D1)

プリスケアラの原振クロックを選択します。

"1"書き込み: OSC3クロック

"0"書き込み: OSC1クロック

読み出し: 可能

プリスケアラの原振クロックをOSC1とするかOSC3とするかを選択します。CKSEL0に"0"を書き込んだ場合、プリスケアラ0(タイマ0用)の入力クロックとしてOSC1、"1"を書き込んだ場合はOSC3がそれぞれ選択されます。

同様に、プリスケアラ1の原振クロックがCKSEL1によって選択されます。

なお、タイマ0のイベントカウンタモードを選択している場合はCKSEL0の設定は無効となります。

また、16ビットタイマとして使用する場合は、プリスケアラ1の設定は無効です。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

PTPS00, PTPS01: タイマ0プリスケアラ分周比選択レジスタ(FFC2H・D2, D3)

PTPS10, PTPS11: タイマ1プリスケアラ分周比選択レジスタ(FFC3H・D2, D3)

プリスケアラの分周比を選択します。

PTPS00, PTPS01の2ビットはタイマ0に対応したプリスケアラ分周比選択レジスタで、PTPS10, PTPS11の2ビットは同様にタイマ1に対応しています。

本レジスタによって設定できるプリスケアラの分周比は表4.10.4.2のとおりです。

表4.10.4.2 プリスケアラ分周比の選択

PTPS11 PTPS01	PTPS10 PTPS00	プリスケアラ分周比
1	1	原振クロック / 256
1	0	原振クロック / 32
0	1	原振クロック / 4
0	0	原振クロック / 1

なお、イベントカウンタモードを選択している場合はPTPS00, PTPS01の設定は無効となります。

また、16ビットタイマとして使用する場合は、PTPS10, PTPS11の設定は無効です。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

EVCNT: タイマ0カウンタモード選択レジスタ(FFC0H・D2)

タイマ0のカウンタモードを選択します。

"1"書き込み: イベントカウンタモード

"0"書き込み: タイマモード

読み出し: 可能

タイマ0をイベントカウンタとして使用するか、タイマとして使用するかを選択します。EVCNTに"1"を書き込んだ場合はイベントカウンタモード、"0"を書き込んだ場合はタイマモードがそれぞれ選択されます。

イニシャルリセット時、このレジスタは"0"に設定されます。

MODE16: タイマモード選択レジスタ (FFC0H・D3)

プログラマブルタイムを8ビット×2チャンネルとして使用するか、16ビット×1チャンネルとして使用するか選択します。

- "1"書き込み: 16ビット×1チャンネル
- "0"書き込み: 8ビット×2チャンネル(タイマ0またはタイマ1)
- 読み出し: 可能

8ビット×2チャンネルを選択すると、タイマ0とタイマ1を個別の8ビットタイマとして制御できます。
16ビット×1チャンネルを選択すると、タイマ0とタイマ1は16ビットタイマとして連結されます。この場合、クロックはタイマ0に入力され、割り込みはタイマ1のアンダーフローで発生します。
イニシャルリセット時、このレジスタは"0"に設定されます。

FCSEL: タイマ0機能選択レジスタ (FFC0H・D1)

イベントカウンタモードのクロック入力回路にノイズリジェクタを付加するかしないか選択します。

- "1"書き込み: ノイズリジェクタ付き
- "0"書き込み: ノイズリジェクタなし
- 読み出し: 可能

FCSELに"1"を書き込んだ場合はノイズリジェクタが付加され、0.98msec以上のパルス幅の外部クロック (K03)によってカウントが行われます。(ノイズリジェクタは、K03端子の入力レベルが変化してから2度目の内部2,048Hz信号の立ち上がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msec以下となります。)

FCSELに"0"を書き込んだ場合はノイズリジェクタは付加されず、K03端子に入力される外部クロックによって直接カウントが行われます。

このレジスタの設定は、タイマ0をイベントカウンタモードで使用する場合にのみ有効です。

イニシャルリセット時、このレジスタは"0"に設定されます。

PLPOL: タイマ0パルス極性選択レジスタ (FFC0H・D0)

イベントカウンタのカウントパルス極性を選択します。

- "1"書き込み: 立ち上がりエッジ
- "0"書き込み: 立ち下がりエッジ
- 読み出し: 可能

イベントカウンタモード(タイマ0)のカウントのタイミングをK03入力ポート端子に入力される外部クロックの立ち上がりエッジとするか、立ち下がりエッジとするかを選択します。

PLPOLに"0"を書き込んだ場合は立ち下がりエッジ、"1"を書き込んだ場合は立ち上がりエッジがそれぞれ選択されます。

このレジスタの設定は、タイマ0をイベントカウンタモードで使用する場合にのみ有効です。

イニシャルリセット時、このレジスタは"0"に設定されます。

RLD00 ~ RLD07: タイマ0リロードデータレジスタ (FFC4H, FFC5H)**RLD10 ~ RLD17: タイマ1リロードデータレジスタ (FFC6H, FFC7H)**

カウンタの初期値を設定します。

本レジスタに設定したリロードデータがそれぞれのカウンタにロードされ、それを初期値としてダウンカウントが行われます。

リロードデータがカウンタにロードされる条件はPTRST0、PTRST1に"1"を書き込んでプリセットを行う場合と、カウンタのアンダーフローによって自動的にリロードが行われる場合です。

イニシャルリセット時、これらのレジスタはそれぞれ"00H"に設定されます。

PTD00 ~ PTD07: タイマ0カウンタデータ(FFC8H, FFC9H)

PTD10 ~ PTD17: タイマ1カウンタデータ(FFCAH, FFCBH)

プログラマブルタイマのデータが読み出せます。

タイマ0のカウンタデータの低位4ビットがPTD00 ~ PTD03、上位4ビットがPTD04 ~ PTD07から読み出せます。同様に、タイマ1のカウンタデータの低位4ビットがPTD10 ~ PTD13、上位4ビットがPTD14 ~ PTD17から読み出せます。

低位4ビットの読み出しにより上位4ビットのホールド機能が働きますので、読み出しは必ず低位4ビットから先に行ってください。

本ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、各カウンタデータは"00H"に設定されます。

PTRST0: タイマ0リセット(リロード)(FFC2H・D1)

PTRST1: タイマ1リセット(リロード)(FFC3H・D1)

タイマをリセットし、リロードデータをカウンタにプリセットします。

"1"書き込み: リセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

PTRST0に"1"を書き込むことによって、RLD00 ~ RLD07のリロードデータがタイマ0のカウンタにプリセットされます。タイマ0のカウンタがRUN状態のときにプリセットを行うとリロードデータのプリセット直後にリスタートします。

また、STOP状態の場合はプリセットされたリロードデータがそのまま保持されます。

"0"の書き込みはノーオペレーションとなります。

同様に、RLD10 ~ RLD17のリロードデータがPTRST1によってタイマ1のカウンタにプリセットされます。

本ビットは書き込み専用のため、読み出しは常時"0"となります。

PTRUN0: タイマ0 RUN/STOP制御レジスタ(FFC2H・D0)

PTRUN1: タイマ1 RUN/STOP制御レジスタ(FFC3H・D0)

カウンタのRUN/STOPを制御します。

"1"書き込み: RUN

"0"書き込み: STOP

読み出し: 可能

タイマ0のカウンタはPTRUN0に"1"を書き込むことによってダウncountを開始し、"0"の書き込みにより停止します。

STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

同様に、タイマ1のカウンタがPTRUN1によってRUN/STOP制御されます。

16ビットタイマとして使用する場合は、PTRUN0で制御します。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

CHSEL: TOUT出力チャンネル選択レジスタ(FFC1H・D3)

TOUT信号のチャンネルを選択します。

"1"書き込み: タイマ1

"0"書き込み: タイマ0

読み出し: 可能

TOUT信号にタイマ0のアンダーフローを使用するか、タイマ1のアンダーフローを使用するかを選択します。

CHSELに"0"を書き込んだ場合はタイマ0、"1"を書き込んだ場合はタイマ1がそれぞれ選択されます。

16ビット×2チャンネルモード時(MODE16="1")は、このレジスタの設定にかかわらず常にタイマ1が選択されます。

イニシャルリセット時、このレジスタは"0"に設定されます。

PTOUT: TOUT出力制御レジスタ (FFC1H・D2)

TOUT信号の出力制御を行います。

"1"書き込み: ON
 "0"書き込み: OFF
 読み出し: 可能

PTOUTはTOUT信号の出力制御レジスタで、"1"を設定するとTOUT信号がR12端子から出力され、"0"を設定するとHIGHレベル(V_{DD})が出力されます。このとき、データレジスタR12には"1"が設定されている必要があります。

イニシャルリセット時、このレジスタは"0"に設定されます。

EIPT0: タイマ0割り込みマスクレジスタ (FFE2H・D0)

EIPT1: タイマ1割り込みマスクレジスタ (FFE2H・D1)

プログラマブルタイムの割り込みについて、マスクするかしないかを選択します。

"1"書き込み: イネーブル
 "0"書き込み: マスク
 読み出し: 可能

タイマ0、タイマ1の割り込みをマスクするかしないかを、割り込みマスクレジスタEIPT0(タイマ0)、EIPT1(タイマ1)により個別に選択できます。16ビットタイマとして使用する場合は、EIPT1で割り込みを制御します。イニシャルリセット時、これらのレジスタは"0"に設定されます。

IPT0: タイマ0割り込み要因フラグ (FFF2H・D0)

IPT1: タイマ1割り込み要因フラグ (FFF2H・D1)

プログラマブルタイム割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有
 "0"読み出し: 割り込み無
 "1"書き込み: 要因フラグをリセット
 "0"書き込み: 無効

割り込み要因フラグIPT0、IPT1は、それぞれタイマ0、タイマ1のプログラマブルタイム割り込みに対応します。これらのフラグによってプログラマブルタイム割り込みの有無を、ソフトウェアで判断することができます。ただし、これらのフラグは割り込みをマスクしていても、対応するタイマのアンダーフローで"1"にセットされます。16ビットタイマとして使用している場合は、タイマ1の要因フラグがセットされます。

これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

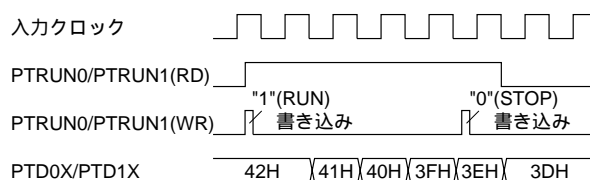
割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

4.10.5 プログラミング上の注意事項

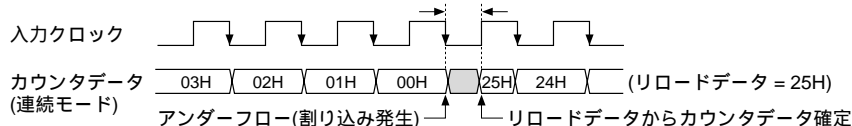
- (1) カウンタデータの読み出しは必ず下位4ビット(PTD00 ~ PTD03、PTD10 ~ PTD13) から先に行ってください。
また、下位4ビット(PTD00 ~ PTD03、PTD10 ~ PTD13) と上位4ビット(PTD04 ~ PTD07、PTD14 ~ PTD17) の読み出しの時間差は0.73msec以下としてください。
16ビット×1チャンネルモード時は、次の順番で1.46msec以内にすべてを読み出してください。
(PTD00 ~ PTD03) (PTD04 ~ PTD07) (PTD10 ~ PTD13) (PTD14 ~ PTD17)
- (2) プログラマブルタイマはレジスタPTRUN0/PTRUN1への書き込みに対して、入力クロックの立ち下がりがエッジに同期して実際にRUN/STOP状態となります。
したがって、PTRUN0/PTRUN1に"0"を書き込んだ場合は、"-1"余分にカウントしたところでタイマが停止状態となります。また、このときPTRUN0/PTRUN1は実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。

図4.10.5.1にRUN/STOP制御のタイミングチャートを示します。



なお、これについてはイベントカウンタも対象となるため、RUN/STOPレジスタ(PTRUN0)を設定後にクロック入力がない場合、カウンタ回路は実際にはRUN/STOP状態になりませんので注意してください。

- (3) TOUT信号は出力制御レジスタPTOUTとは非同期に発生していますので、PTOUTの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- (4) OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3発振回路をONさせる必要があります。
ただし、OSC3発振回路をONにしてから発振が安定するまでに5msec以上の時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ON後、十分な待ち時間をおいてから行ってください。
OSC3の制御方法と注意事項については"4.3 発振回路"を参照してください。イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。
- (5) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- (6) プログラマブルタイマ動作中にプログラマブルタイマ割り込み発生間隔を変更する場合、以下の理由によりリロードデータを書き込むタイミングに注意が必要です。
プログラマブルタイマは入力クロックの立ち下がりがエッジでダウンカウントを行い、そこでアンダーフローが発生した場合は同時に割り込みを発生します。その後、リロードデータをカウンタにセットする動作を開始し、入力クロックの次の立ち上がりエッジでカウンタデータが確定します(の区間)。



リロードデータを正しくカウンタにセットするために、割り込み発生後は の区間を含め、カウンタデータが確定するまではリロードデータの書き換えを行わないでください。入力クロックの源振にOSC1(低速クロック)を使用し、CPUがOSC3(高速クロック)で動作している場合は、特に注意が必要です。

4.11 シリアルインタフェース

4.11.1 シリアルインタフェースの構成

S1C63406/408はクロック同期式または調歩同期式の選択が可能な全二重方式(調歩同期式選択時)のシリアルインタフェースを内蔵しています。

転送方式はソフトウェアによって選択でき、クロック同期式を選択した場合は8ビットのデータ転送が可能です。調歩同期式では7ビットまたは8ビットのデータ転送が可能で、受信データのパリティチェックおよび送信データへのパリティビットの付加もソフトウェア選択によって自動的行えます。

図4.11.1.1にシリアルインタフェースの構成を示します。

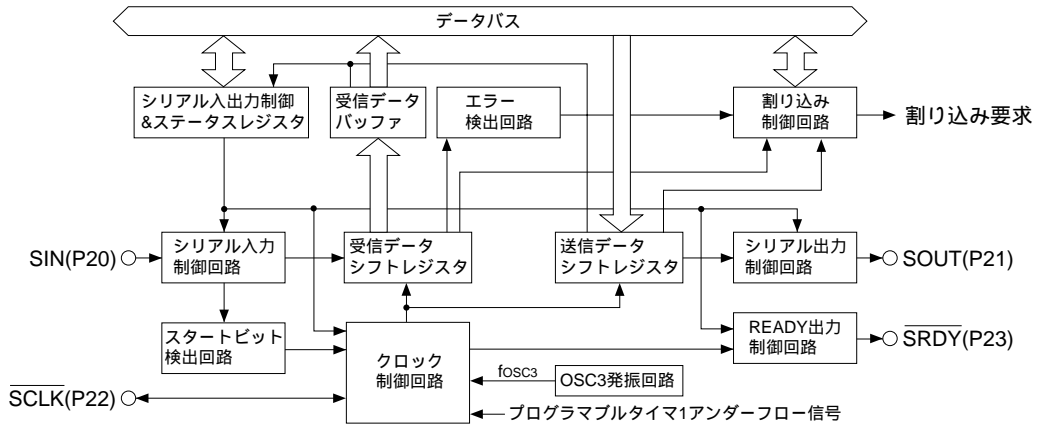


図4.11.1.1 シリアルインタフェースの構成

シリアルインタフェースの入出力端子SIN、SOUT、 $\overline{\text{SCLK}}$ 、 $\overline{\text{SRDY}}$ は入出力兼用ポートP20～P23と共用されており、シリアルインタフェースの入出力端子として用いる場合はレジスタESIF、SMD0およびSMD1によってその設定を行います。(イニシャルリセット時は入出力兼用ポート端子に設定されます。)

シリアルインタフェースの入出力端子に設定される入出力兼用ポート端子はそれぞれの信号と転送モードによって入出力方向が設定され、対応する入出力兼用ポートのI/O制御レジスタの設定は無効となります。

表4.11.1.1 入出力端子の構成

端子	シリアルインタフェース選択時
P20	SIN
P21	SOUT
P22	$\overline{\text{SCLK}}$
P23	$\overline{\text{SRDY}}$

* 転送モードにより使用する端子が異なります。

SIN、SOUTはそれぞれシリアルデータの入力、出力端子で、クロック同期式および調歩同期式ともに共通です。 $\overline{\text{SCLK}}$ はクロック同期式専用で、同期クロックの入出力端子となります。 $\overline{\text{SRDY}}$ はクロック同期式スレープモード専用で、送受信レディ信号の出力端子となっています。調歩同期式を選択した場合は $\overline{\text{SCLK}}$ および $\overline{\text{SRDY}}$ を使用しませんので、P22、P23入出力兼用ポート端子は入出力兼用ポートとして使用することができます。

同様に、クロック同期式マスタモードを選択した場合は $\overline{\text{SRDY}}$ を使用しませんので、P23入出力兼用ポート端子は入出力兼用ポートとして使用することができます。

4.11.2 マスクオプション

シリアルインタフェースの入出力端子は入出力兼用ポート(P20～P23)と兼用されているため、入出力兼用ポートの端子仕様を選択するマスクオプションがシリアルインタフェースにも適用されます。

シリアルインタフェースの入出力ポートの中で出力として使用されるSOUT端子、SCLK端子(クロック同期式マスタモード時)、SRDY端子(クロック同期式スレーブモード時)の出力仕様がP20～P23のマスクオプションで設定されます。出力仕様として、コンプリメンタリ出力またはNチャンネルオープンドレイン出力のいずれかが選択できます。ただし、Nチャンネルオープンドレイン出力を選択した場合でも、端子に電源電圧を越える電圧を印加することは禁止します。

4.11.3 転送モード

シリアルインタフェースの転送モードは、モード選択レジスタSMD0およびSMD1の2ビットの設定によって以下の4種類が選択できます。

表4.11.3.1 転送モード

SMD1	SMD0	モード
1	1	調歩同期式8ビット
1	0	調歩同期式7ビット
0	1	クロック同期式スレーブ
0	0	クロック同期式マスタ

表4.11.3.2 転送モードによる端子設定

モード	SIN	SOUT	SCLK	SRDY
調歩同期式8ビット	入力	出力	P22	P23
調歩同期式7ビット	入力	出力	P22	P23
クロック同期式スレーブ	入力	出力	入力	出力
クロック同期式マスタ	入力	出力	出力	P23

イニシャルリセット時はクロック同期式マスタモードに設定されます。

クロック同期式マスタモード

本モードでは、内蔵シフトレジスタの同期クロックとして内部クロックを使用する、本シリアルインタフェースをマスタとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックはSCLK端子からも出力され、外部(スレーブ側)のシリアル入出力デバイスを制御することができます。

このモードではSRDY端子を使用しませんので、この端子を入出力兼用ポートとして使用することができます。

図4.11.3.1(a)にクロック同期式マスタモードにおける入出力端子の接続例を示します。

クロック同期式スレーブモード

本モードでは、外部(マスタ側)のシリアル入出力デバイスから供給される同期クロックを使用する、本シリアルインタフェースをスレーブとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックはSCLK端子より入力し、本シリアルインタフェースの同期クロックとして使用します。

また、SRDY端子からは送受信レディ状態を示すSRDY信号がシリアルインタフェースの動作状態にしたがって出力されます。

スレーブモードではクロック源を選択するレジスタSCS0、SCS1の設定が無効となります。

図4.11.3.1(b)にクロック同期式スレーブモードにおける入出力端子の接続例を示します。

調歩同期式7ビットモード

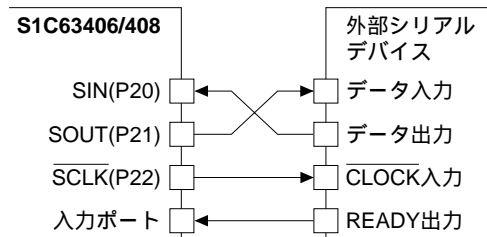
このモードでは、調歩同期式7ビット転送が行えます。データ受信時のパリティチェックおよびデータ送信時のパリティビットの付加(奇数/偶数/なし)を指定でき、データをパリティなし7ビットまたはパリティ付き7ビットとして処理できます。このモードでは内部クロックを使用しますので、SCLK端子は使用しません。また、SRDY端子も使用しませんので、この2つの端子は入出力兼用ポートとして使用することができます。

図4.11.3.1(c)に調歩同期式モードにおける入出力端子の接続例を示します。

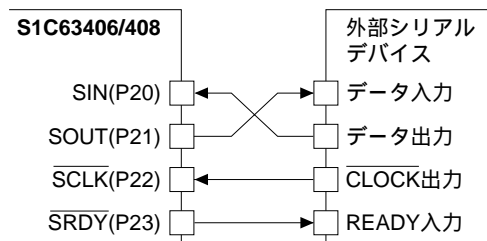
調歩同期式8ビットモード

このモードでは、調歩同期式8ビット転送が行えます。データ受信時のパリティチェックおよびデータ送信時のパリティビットの付加(奇数/偶数/なし)を指定でき、データをパリティなし8ビットまたはパリティ付き8ビットとして処理できます。このモードでは内部クロックを使用しますので、SCLK端子は使用しません。また、SRDY端子も使用しませんので、この2つの端子は入出力兼用ポートとして使用することができます。

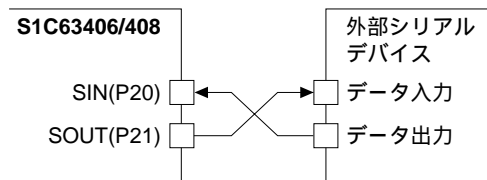
図4.11.3.1(c)に調歩同期式モードにおける入出力端子の接続例を示します。



(a) クロック同期式マスタモード



(b) クロック同期式スレーブモード



(c) 調歩同期式 7ビット/8ビットモード

図4.11.3.1 シリアルインタフェース入出力端子の接続例

4.11.4 クロック源

クロック源はクロック選択レジスタSCS0、SCS1の2ビットの設定によって以下の4種類が選択できます。

表4.11.4.1 クロック源

SCS1	SCS0	クロック源
1	1	プログラマブルタイマ
1	0	$f_{OSC3} / 93$
0	1	$f_{OSC3} / 372$
0	0	$f_{OSC3} / 186$

クロック同期式スレープモードでは本レジスタの設定は無効となり、 \overline{SCLK} 端子より入力される外部クロックが使用されます。

"プログラマブルタイマ"を選択した場合は、プログラマブルタイマ1のアンダーフローを1/2分周した信号がクロック源として使用されます。転送速度設定の詳細については"4.10 プログラマブルタイマ"を参照してください。

イニシャルリセット時は" $f_{OSC3}/186$ "に設定されます。

選択したクロックはさらに1/16に分周され、同期クロックとして使用されます。

また、クロック同期式スレープモードの \overline{SCLK} は外部からの入力があるまま使用されます。

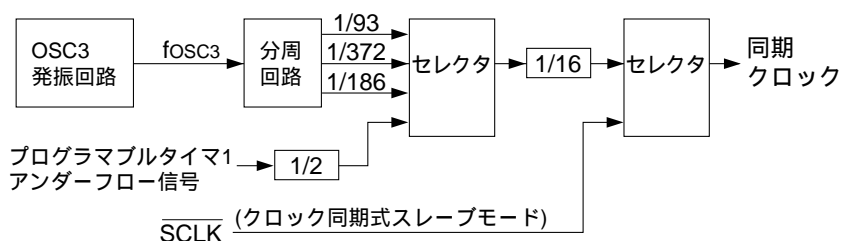


図4.11.4.1 同期クロックの分周

表4.11.4.2にプログラマブルタイマをクロック源とした場合の転送速度とOSC3発振周波数の例を示します。

表4.11.4.2 転送速度とOSC3発振周波数

転送速度 (bps)	$f_{OSC3}=3.580\text{MHz}$	
	PSC1X	RLD1X
19,200	0 (1/1)	05H
9,600	0 (1/1)	0BH
4,800	0 (1/1)	16H
2,400	0 (1/1)	2EH
1,200	0 (1/1)	5CH
600	0 (1/1)	B9H
300	1 (1/4)	5CH
150	1 (1/4)	B9H

OSC3発振回路の分周信号をクロック源とする場合は、シリアルインタフェースを使用する以前にOSC3の発振をONさせる必要があります。

なお、OSC3発振回路をONIにしてから発振が安定するまでに数msec～数10msecの時間を必要とします。したがって、シリアルインタフェースの送受信開始はOSC3発振ONの後、十分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)

イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

4.11.5 送受信の制御

以下に送受信の制御を行うレジスタ等を説明します。送受信の制御手順と動作については次項よりモード別に説明しますので、そちらを参照してください。

シフトレジスタと受信データバッファ

本シリアルインタフェースには、送信と受信それぞれに専用のシフトレジスタが設けられています。このため、調歩同期式モード選択時には送信と受信を同時に行う全二重通信が可能です。

TRXD0～TRXD7に書き込まれた送信データはシフトレジスタによってシリアル変換され、SOUT端子から出力されます。

受信部にはシフトレジスタとは別に受信データバッファが設けられています。

受信時には、SIN端子から入力されたデータが、シフトレジスタによってパラレル変換され、受信データバッファに書き込まれます。

受信データバッファの読み出しをシリアル入力とは非同期にその動作中に行えるため、効率のよい連続受信が行えます。

ただし、クロック同期式モードではバッファ機能を使用しませんので、次のデータ受信が始まる前にデータを読み出す必要があります。

送信許可レジスタ、送信制御ビット

送信の制御には、送信許可レジスタTXENと送信制御ビットTXTRGを使用します。

送信許可レジスタTXENは送信の許可/禁止状態を設定するレジスタです。このレジスタに"1"を書き込んで送信を許可状態にすると、シフトレジスタへのクロック入力がいネーブルとなり、データの送信が行える状態となります。クロック同期式モードでは、SCLK端子の同期クロック入出力もいネーブルとなります。

送信制御ビットTXTRGは送信開始のトリガとして使用します。

送信シフトレジスタに送信データを書き込み、送信準備ができたところでTXTRGに"1"を書き込み送信を開始させます。

割り込みを許可している場合は、送信が終了した時点で割り込みが発生します。

次の送信データがある場合は、この割り込みを利用してデータの書き込みを行うことができます。

また、TXTRGはステータスとして読み出しが可能で、"1"の場合は送信動作中、"0"の場合は送信停止中を示します。

詳細タイミングについては、各モードのタイミングチャートをそれぞれ参照してください。

なお、送信を行わない場合はTXENを"0"として、送信禁止状態に設定してください。

受信許可レジスタ、受信制御ビット

受信の制御には、受信許可レジスタRXENと受信制御ビットRXTRGを使用します。

受信許可レジスタRXENは受信の許可/禁止状態を設定するレジスタです。このレジスタに"1"を書き込んで受信を許可状態にすると、シフトレジスタへのクロック入力がいネーブルとなり、データの受信が行える状態となります。クロック同期式モードでは、SCLK端子の同期クロック入出力もいネーブルとなります。これによって受信を開始し、SIN端子から入力されるシリアルデータをシフトレジスタに取り込みます。

受信制御ビットRXTRGは、クロック同期式と調歩同期式で若干動作が異なります。

クロック同期式でのRXTRGは受信開始のトリガとして使用します。

受信データを読み出し、次の受信準備ができたところでRXTRGに"1"を書き込み受信を開始させます。(スレーブモードではRXTRGに"1"を書き込んだところでSRDYが"0"となります。)

調歩同期式でのRXTRGは、次のデータの受信準備に使用します。受信データバッファにある受信データを読み出し、バッファが空となったことを知らせるためRXTRGに"1"を書き込みます。RXTRGに"1"を書き込まなかった場合は、次の受信が終了した時点でオーバーランエラーフラグOERが"1"にセットされます。(受信データを読み出す動作とRXTRGに"1"を書き込む動作との間に受信を終了した場合は、オーバーランエラーとなります。)

また、RXTRGはステータスとして読み出しが可能で、クロック同期式、調歩同期式どちらのモードでも"1"の場合は受信動作中、"0"の場合は受信停止中を示します。

詳細タイミングについては、各モードのタイミングチャートをそれぞれ参照してください。

なお、受信を行わない場合はRXENを"0"として、受信禁止状態に設定してください。

4.11.6 クロック同期式転送の動作

クロック同期式転送は8ビットデータを8個のクロックに同期させて転送する方式で、送信側、受信側で同じ同期クロックを使用します。

本シリアルインタフェースをマスタモードで使用する場合はSCS0、SCS1で選択したクロックを1/16に分周したものが同期クロックとして使用され、さらにSCLK端子を通してスレーブ側(外部のシリアル入出力デバイス)に出力されます。スレーブモードで使用する場合は、マスタ側(外部のシリアル入出力デバイス)からSCLK端子に入力されたクロックを同期クロックとして使用します。

クロック同期式モードでは1本のクロックライン(SCLK)を送受信で共用するため、送信と受信を同時に行うことはできません。(クロック同期式モードでは半二重通信となります。)

転送データは8ビット固定で、LSB(ビット0)を先頭として送受信が行われます。

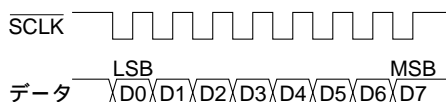


図4.11.6.1 クロック同期式の転送データフォーマット

以下にクロック同期式転送を行う場合の初期化および送受信の制御手順と動作について説明します。シリアルインタフェース割り込みについては"4.11.8 割り込み機能"を参照してください。

シリアルインタフェースの初期化

クロック同期式転送を行う場合には以下の初期設定を行う必要があります。

(1) 送受信禁止に設定

シリアルインタフェースの設定は、送信許可レジスタTXENおよび受信許可レジスタRXENにそれぞれ"0"を書き込んで、送受信を禁止にした状態で行ってください。

なお、この2つのレジスタは実際にデータ転送を開始するまで、禁止状態に固定してください。

(2) ポート選択

イニシャルリセット時、シリアルインタフェースの入出力端子SIN、SOUT、SCLK、SRDYは入出力兼用ポート端子P20～P23に設定されますので、シリアルインタフェースイネーブルレジスタESIFに"1"を書き込んでこれらの端子をシリアルインタフェース用に設定します。

(3) 転送モードの設定

モード選択レジスタSMD0およびSMD1の2ビットに以下のデータを書き込んでクロック同期式モードを選択します。

マスタモード: SMD0 = "0"、SMD1 = "0"

スレーブモード: SMD0 = "1"、SMD1 = "0"

(4) クロック源の選択

マスタモードの場合はクロック源選択レジスタSCS0、SCS1の2ビットにデータを書き込んで同期クロック源を選択します。(表4.11.4.1参照)

スレーブモードでは、この選択は不要です。

なお、このアドレスにはパリティイネーブルレジスタEPRも割り付けられていますが、クロック同期式モードではパリティを必要としないため、その設定内容にかかわらずパリティチェックは行われません。

(5) クロック源の制御

マスタモードを選択し、クロック源にプログラマブルタイマを選択した場合は、プログラマブルタイマ側で転送速度の設定を行ってください。("4.10 プログラマブルタイマ"参照)

OSC3発振回路の分周信号をクロック源として選択した場合は、データ転送を開始する以前にOSC3の発振をONさせる必要があります。("4.3 発振回路"参照)

また、シリアルインタフェースのクロック周波数は最大2MHzに制限されます。

データの送信手順

送信時の制御手順と動作は以下のとおりです。

- (1) 送信許可レジスタTXENおよび受信許可レジスタRXENに"0"を書き込み、シリアルインタフェースをリセットします。
- (2) 送信許可レジスタTXENに"1"を書き込み、送信許可状態に設定します。
- (3) 送信するデータをTRXD0～TRXD7に書き込みます。
- (4) マスタモードの場合は、必要に応じてスレーブ側(外部シリアル入出力デバイス)の受信レディ状態を確認してください。受信レディ状態になるまで待ちます。
- (5) 送信制御ビットTXTRGに"1"を書き込み、送信を開始させます。

マスタモードであれば、この制御によって同期クロックがイネーブルとなり、送信用シフトレジスタに供給されるとともにSCLK端子から出力されます。

スレーブモードでは、SCLK端子に同期クロックが入力されるのを待ちます。

シフトレジスタの送信データは同期クロックの各立ち上がりエッジで1ビットずつシフトされ、SOUT端子より出力されます。最後のビット(MSB)が出力されると、次の送信が開始されるまでSOUT端子はそのレベルを保持します。

シフトレジスタのデータ送信が終了したところで、送信完了割り込み要因フラグISTRが"1"にセットされます。割り込みが許可されている場合は、この時点で送信完了割り込みが発生します。

本割り込みを利用して次の送信データをセットしてください。

- (6) 送信データのバイト数だけ(3)～(5)を繰り返し、送信が終了した時点で送信許可レジスタTXENに"0"を書き込み、送信禁止状態に設定します。

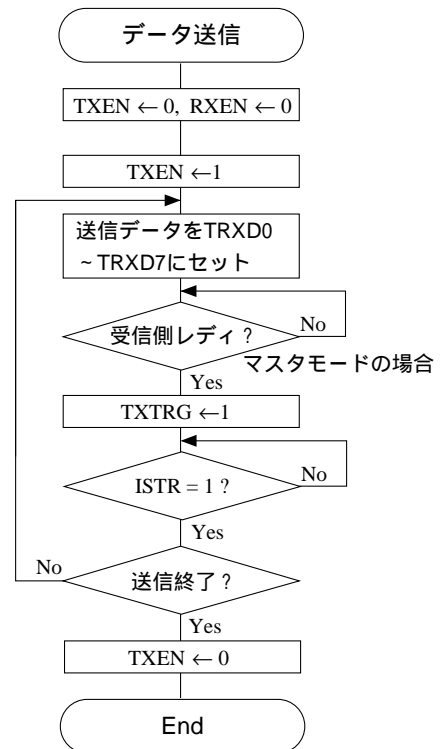


図4.11.6.2 クロック同期式の送信手順

データの受信手順

受信時の制御手順と動作は以下のとおりです。

- (1) 受信許可レジスタRXENおよび送信許可レジスタTXENに"0"を書き込み、シリアルインタフェースをリセットします。
- (2) 受信許可レジスタRXENに"1"を書き込み、受信許可状態に設定します。
- (3) マスタモードの場合は、必要に応じてスレーブ側(外部シリアル入出力デバイス)の送信レディ状態を確認してください。送信レディ状態になるまで待ちます。
- (4) 受信制御ビットRXTRGに"1"を書き込み、受信を開始させます。

マスタモードであれば、この制御によって同期クロックがイネーブルとなり、受信用シフトレジスタに供給されるとともにSCLK端子から出力されます。スレーブモードでは、SCLK端子に同期クロックが入力されるのを待ちます。

SIN端子から入力される受信データは同期クロックの立ち上がりエッジに同期して順次シフトレジスタ内に取り込まれます。

8ビット目のデータが同期クロック最後(8回目)の立ち上がりエッジで取り込まれたところで、シフトレジスタ内のデータが受信データバッファに転送され、受信完了割り込み要因フラグISRCが"1"にセットされます。割り込みが許可されている場合は、この時点で受信完了割り込みが発生します。

- (5) 受信完了割り込みを利用して、受信データをTRXD0～TRXD7から読み出します。
- (6) 受信データのバイト数だけ(3)～(5)を繰り返し、受信が終了した時点で受信許可レジスタRXENに"0"を書き込み、受信禁止状態に設定します。

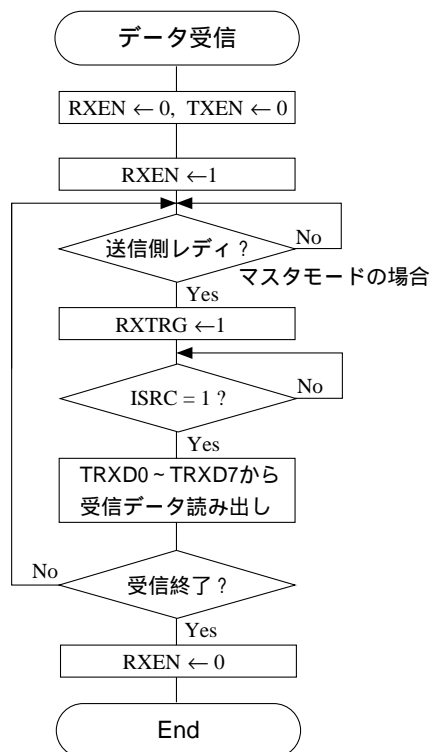


図4.11.6.3 クロック同期式の受信手順

送受信レディ($\overline{\text{SRDY}}$)信号

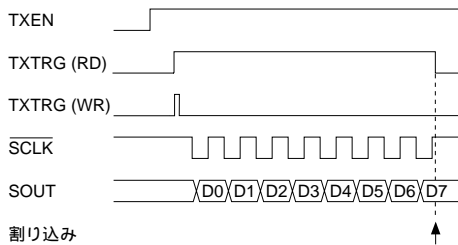
本シリアルインタフェースをクロック同期式スレープモード(外部クロック入力)で使用する場合は、マスタ側(外部のシリアル入出力デバイス)に対して本シリアルインタフェースが送受信可能かどうかを示すSRDY信号が出力されます。この信号はSRDY端子から出力され、本インタフェースが送信または受信可能なREADY状態のときに"0"(LOWレベル)、送受信動作時などのBUSY状態のときに"1"(HIGHレベル)となります。

SRDY信号は送信制御ビットTXTRG、または受信制御ビットRXTRGに"1"を書き込んだ直後に"1"から"0"に変化し、初の同期クロックが入力された時点(立ち下がりエッジ)で"0"から"1"に戻ります。

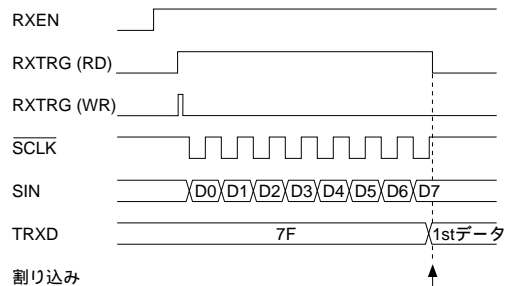
マスタモードに設定した場合は、スレープ側から同様の信号を入力ポートまたは入出力兼用ポートを使用して取り込み、転送の制御を行ってください。この場合、SRDY端子は設定されずP23端子が入出力兼用ポートとして機能しますので、このポートをその制御にあてることもできます。

タイミングチャート

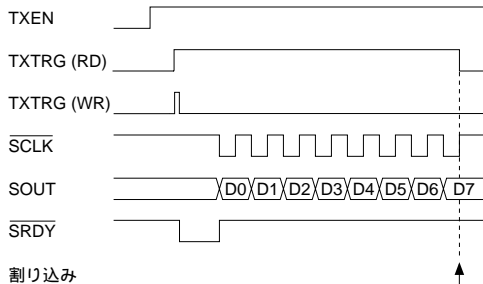
クロック同期式転送のタイミングチャートを図4.11.6.4に示します。



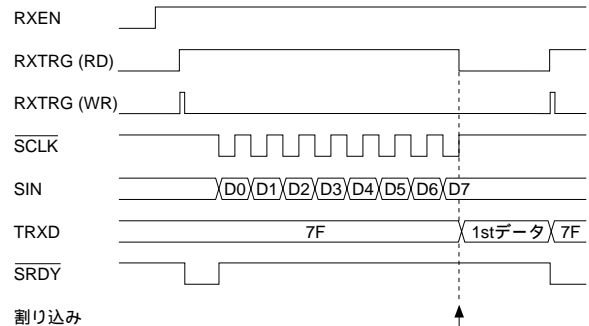
(a) マスタモード送信タイミング



(c) マスタモード受信タイミング



(b) スレープモード送信タイミング



(d) スレープモード受信タイミング

図4.11.6.4 タイミングチャート(クロック同期式転送)

4.11.7 調歩同期式転送の動作

調歩同期式転送は、シリアル変換した各データの前後にスタートビットとストップビットを付加して転送を行う方式です。この方式では、送信側、受信側それぞれで完全に同期の一致したクロックを用いる必要はなく、各データの前後に付けられたスタート/ストップビットで同期をとりながら転送を行います。この転送モードを選択することによって、RS-232Cインタフェース機能などを容易に実現することができます。

本インタフェースは送受信個別にシフトレジスタを持っており、送受信が同時に行える全二重方式の転送が可能となっています。

転送データは、調歩同期式7ビットモードでは7ビットデータ(パリティなし)または7ビットデータ+パリティビットのいずれかが選択できます。調歩同期式8ビットモードでは8ビットデータ(パリティなし)または8ビットデータ+パリティビットのいずれかが同様に選択できます。パリティには偶数または奇数が選択でき、受信データのパリティチェックおよび送信データへのパリティビット付加を自動的に行います。したがって、プログラムでパリティデータそのものを意識する必要はありません。

スタートビット、ストップビットはそれぞれ1ビット固定で、データはLSB(ビット0)を先頭として送受信が行われます。

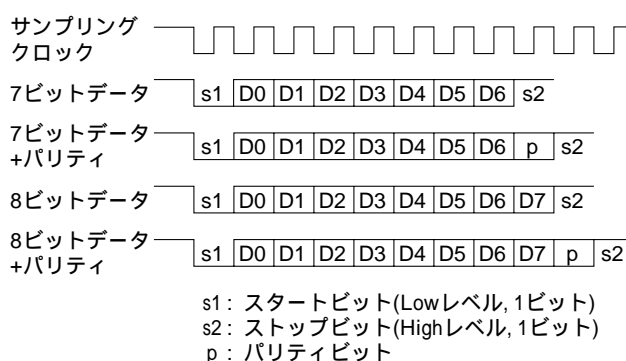


図4.11.7.1 調歩同期式の転送データフォーマット

以下に調歩同期式転送を行う場合の初期化および送受信の制御手順と動作について説明します。
シリアルインタフェース割り込みについては"4.11.8 割り込み機能"を参照してください。

シリアルインタフェースの初期化

調歩同期式転送を行う場合には以下の初期設定を行う必要があります。

(1) 送受信禁止に設定

シリアルインタフェースの設定は、送信許可レジスタTXENおよび受信許可レジスタRXENにそれぞれ"0"を書き込んで、送受信を禁止にした状態で行ってください。

なお、この2つのレジスタは実際にデータ転送を開始するまで、禁止状態に固定してください。

(2) ポート選択

イニシャルリセット時、シリアルインタフェースの入出力端子SIN、SOUTは入出力兼用ポート端子P20、P21に設定されますので、シリアルインタフェースイネーブルレジスタESIFに"1"を書き込んでこれらの端子をシリアルインタフェース用に設定します。

クロック同期式モードにおいて設定されるSCLK、SRDY端子は調歩同期式モードでは使用しません。これらの端子は入出力兼用ポート端子P22、P23として機能します。

(3) 転送モードの設定

モード選択レジスタSMD0およびSMD1の2ビットに以下のデータを書き込んで調歩同期式モードを選択します。

7ビットモード: SMD0 = "0", SMD1 = "1"

8ビットモード: SMD0 = "1", SMD1 = "1"

(4) パリティビットの選択

パリティビットをチェックおよび付加する場合はパリティイネーブルレジスタEPRに"1"を書き込んで"パリティチェックあり"に設定してください。この設定によって、調歩同期式7ビットモードでは7ビットデータ+パリティビットのデータ構成に、調歩同期式8ビットモードでは8ビットデータ+パリティビットのデータ構成にそれぞれ設定されます。この場合、受信時のパリティチェックと送信時のパリティビット付加は、ハードウェアによって自動的に行われます。

また、"パリティチェックあり"とした場合は、さらにパリティモード選択レジスタPMDによって、パリティを"奇数"とするか"偶数"とするかを、選択する必要があります。

レジスタPMDに"0"を書き込んで"パリティチェックなし"を選択すると、調歩同期式7ビットモードでは7ビットデータ(パリティなし)のデータ構成に、調歩同期式8ビットモードでは8ビットデータ(パリティなし)のデータ構成にそれぞれ設定され、パリティチェックおよびパリティビットの付加は行われません。

(5) クロック源の選択

クロック源選択レジスタSCS0およびSCS1の2ビットにデータを書き込んでクロック源を選択します。(表4.11.4.1参照)

(6) クロック源の制御

クロック源にプログラマブルタイマを選択した場合は、プログラマブルタイマ側で転送速度の設定を行ってください。("4.10 プログラマブルタイマ"参照)

OSC3発振回路の分周信号をクロック源として選択した場合は、データ転送を開始する以前にOSC3の発振をONさせる必要があります。("4.3 発振回路"参照)

データの送信

送信時の制御手順と動作は以下のとおりです。

- (1) 送信許可レジスタTXENに"0"を書き込み、シリアルインタフェースをリセットします。
- (2) 送信許可レジスタTXENに"1"を書き込み、送信許可状態に設定します。
- (3) 送信するデータをTRXD0～TRXD7に書き込みます。なお、7ビットデータ選択時は、TRXD7のデータは無効となります。
- (4) 送信制御ビットTXTRGに"1"を書き込み、送信を開始させます。

この制御によってシフトクロックがイネーブルとなり、その立ち上がりエッジに同期してスタートビット(LOW)がSOUT端子に出力されます。シフトレジスタに設定された送信データは、その後のクロックの各立ち上がりエッジで1ビットずつシフトされSOUT端子より出力されます。データ出力後はストップビット(HIGH)が出力され、次のスタートビットの出力までHIGHレベルが保持されます。

送信が終了したところで、送信完了割り込み要因フラグISTRが"1"にセットされます。割り込みが許可されている場合は、この時点で送信完了割り込みが発生します。本割り込みを利用して次の送信データをセットしてください。

- (5) 送信データのバイト数だけ(3)～(4)を繰り返し、送信が終了した時点で送信許可レジスタTXENに"0"を書き込み、送信禁止状態に設定します。

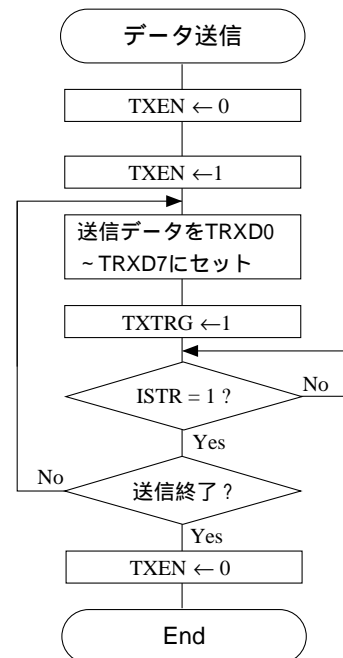


図4.11.7.2 調歩同期式の送信手順

データの受信

受信時の制御手順と動作は以下のとおりです。

- (1) 受信許可レジスタRXENに"0"を書き込んで受信禁止状態に設定し、パリティエラー、オーバーランエラー、フレーミングエラーの発生を示すPERフラグ、OERフラグ、FERフラグをそれぞれリセットします。
- (2) 受信許可レジスタRXENに"1"を書き込み、受信許可状態に設定します。
- (3) SIN端子にスタートビット(LOW)が入力された時点からシフトクロックがイネーブルとなり、受信データが2個目以降のクロックの立ち上がりエッジに同期して順次シフトレジスタ内に取り込まれます。

データビットが取り込まれた後、ストップビットがチェックされ、HIGHレベルでない場合にはフレーミングエラーとなり、エラー割り込み要因フラグISERが"1"にセットされます。割り込みが許可されている場合には、この時点でエラー割り込みが発生します。

受信が終了すると、シフトレジスタ内のデータが受信データバッファに転送され、受信完了割り込み要因フラグISRCが"1"にセットされます。割り込みが許可されている場合には、この時点で受信完了割り込みが発生します。(オーバーランエラー発生時は割り込み要因フラグISRCは"1"にセットされず、受信完了割り込みも発生しません。)

また、"パリティチェックあり"を選択している場合は、シフトレジスタから受信データバッファにデータが転送される際にパリティチェックが行われ、パリティエラーが検出された場合にはエラー割り込み要因フラグISERが"1"にセットされます。割り込みを許可している場合には、前記フレーミングエラー同様の時点でエラー割り込みが発生します。

- (4) 受信完了割り込みを利用して、受信データをTRXD0～TRXD7から読み出します。
- (5) 受信制御ビットRXTRGに"1"を書き込み、受信データが読み出されたことを知らせます。
RXTRGに"1"を書き込む以前に次のデータを受信すると、オーバーランエラーと認識され、エラー割り込み要因フラグISERが"1"にセットされます。割り込みを許可している場合には、前記フレーミングエラー、パリティエラー同様この時点でエラー割り込みが発生します。
- (6) 受信データのバイト数だけ(3)～(5)を繰り返して、受信が終了した時点で受信許可レジスタRXENに"0"を書き込み、受信禁止状態に設定します。

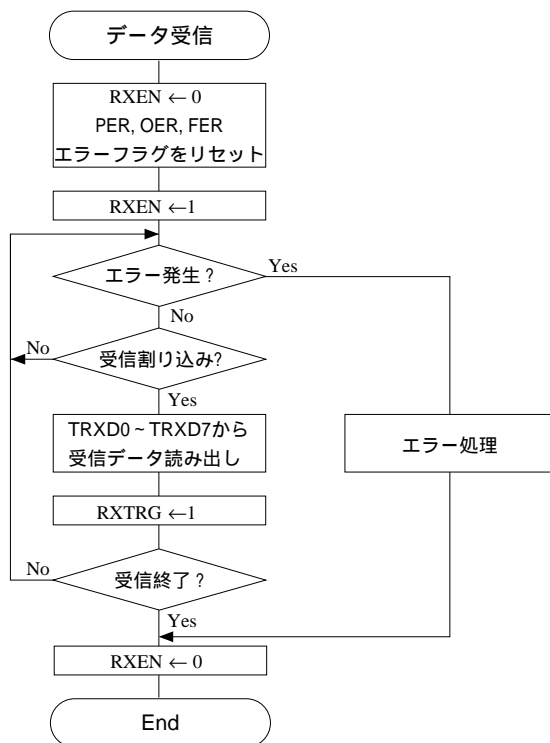


図4.11.7.3 調歩同期式の受信手順

受信エラー

受信時には以下の3種類のエラーを、割り込みによって検出することができます。

(1) パリティエラー

レジスタEPRに"1"を書き込んで"パリティチェックあり"を選択した場合には、受信時にパリティチェック(垂直パリティチェック)が行われます。これは送信データ(1キャラクタ)中の"1"のビット数の合計にパリティを加え、その数が奇数か偶数かをパリティビットにのせて送信し、それを受信側でチェックする方式です。

パリティチェックはシフトレジスタに受信されたデータが受信データバッファに転送される際に行われ、データパリティビット含中の"1"のビット数がレジスタPMDで設定した奇数または偶数パリティと整合がとれるかをチェックします。このとき、不整合となった場合にはパリティエラーと認識され、パリティエラーフラグPERおよびエラー割り込み要因フラグISERが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグPERは"1"を書き込むことによって"0"にリセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。ただし、その時点での受信データはパリティエラーのため保証されません。

(2) フレーミングエラー

調歩同期式転送ではスタートビット("0")とストップビット("1")で1キャラクタごとに同期をとっています。ストップビットを"0"として受信した場合、シリアルインタフェースは同期ずれと判断してフレーミングエラーが発生します。

本エラーが発生すると、フレーミングエラーフラグFERおよびエラー割り込み要因フラグISERが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグFERは"1"を書き込むことによって"0"にリセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。

(3) オーバーランエラー

RXTRGに"1"を書き込む前に次のデータを受信すると、前回の受信データが上書きされるためオーバーランエラーが発生します。

本エラーが発生すると、オーバーランエラーフラグOERおよびエラー割り込み要因フラグISERが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグOERは"1"を書き込むことによって"0"にリセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。なお、RXTRGに"1"を書き込むタイミングと受信データが受信データバッファに転送されるタイミングが重なった場合は、オーバーランエラーと認識されます。

タイミングチャート

調歩同期式転送のタイミングチャートを図4.11.7.4に示します。

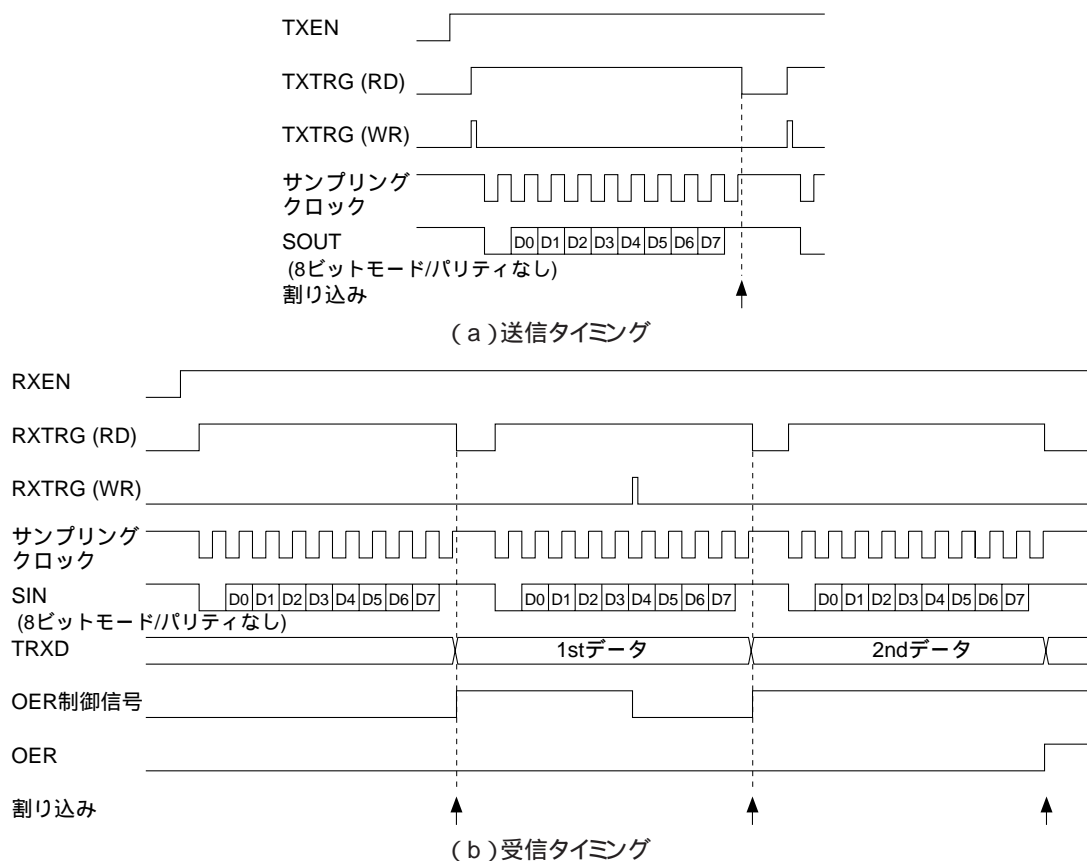


図4.11.7.4 タイミングチャート(調歩同期式転送)

4.11.8 割り込み機能

本シリアルインタフェースには以下に示す3種類の割り込みを発生させる機能があります。

- 送信完了割り込み
- 受信完了割り込み
- エラー割り込み

それぞれの割り込み要因に対して割り込み要因フラグISxxと割り込みマスクレジスタEISxxが設けられており、割り込みの許可/禁止をソフトウェアによって設定することができます。

図4.11.8.1にシリアルインタフェース割り込み回路の構成を示します。

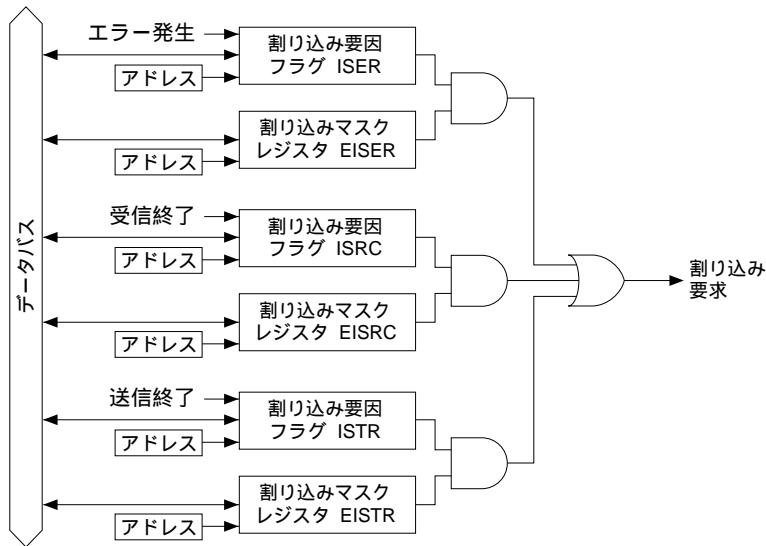


図4.11.8.1 シリアルインタフェース割り込み回路の構成

送信完了割り込み

本割り込み要因は、シフトレジスタに書き込んだデータの送信が終了した時点で発生し、割り込み要因フラグISTRを"1"にセットします。このとき、割り込みマスクレジスタEISTRが"1"で、かつCPUが割り込み許可(Iフラグ="1")に設定されている場合、CPUに対し割り込みが発生します。

割り込みマスクレジスタEISTRに"0"が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグISTRは"1"にセットされます。

割り込み要因フラグISTRは"1"を書き込むことによって"0"にリセットされます。

本割り込み要因の発生によって、次の送信データのセットと送信開始の制御(TXTRGIに"1"を書き込む)を行うことができます。

受信完了割り込み

本割り込み要因は、受信が完了してシフトレジスタに取り込まれた受信データが受信データバッファに転送された時点で発生し、割り込み要因フラグISRCを"1"にセットします。このとき、割り込みマスクレジスタEISRCが"1"で、かつCPUが割り込み許可(Iフラグ="1")に設定されている場合、CPUに対し割り込みが発生します。

割り込みマスクレジスタEISRCに"0"が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグISRCは"1"にセットされます。

割り込み要因フラグISRCは"1"を書き込むことによって"0"にリセットされます。

本割り込み要因の発生により、受信データの読み出しが可能となります。

なお、パリティエラーおよびフレーミングエラー発生時にも割り込み要因フラグISRCは"1"にセットされます。

エラー割り込み

本割り込み要因は、受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された時点で発生し、割り込み要因フラグISERを"1"にセットします。このとき、割り込みマスクレジスタEISERが"1"で、かつCPUが割り込み許可(Iフラグ="1")に設定されている場合、CPUに対し割り込みが発生します。

割り込みマスクレジスタEISERに"0"が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグISERは"1"にセットされます。

割り込み要因フラグISERは"1"を書き込むことによって"0"にリセットされます。

3種類のエラーとも同一の割り込み要因となっていますので、発生したエラーの識別はエラーフラグPER(パリティエラー)、OER(オーバーランエラー)、FER(フレーミングエラー)で行ってください。

4.11.9 シリアルインタフェースのI/Oメモリ

表4.11.9.1にシリアルインタフェースの制御ビットとそのアドレスを示します。

表4.11.9.1 シリアルインタフェースの制御ビット

アドレス	レジスタ				注 釈				
	D3	D2	D1	D0	Name	Init *1	1	0	
FF49H	PPL23	PPL22	PPL21	PPL20	PPL23	1	On	Off	P23プルアップ制御レジスタ SIF クロック同期式スレープ 選択時、汎用レジスタとして機能
					PPL22	1	On	Off	P22プルアップ制御レジスタ SIF クロック同期式マスタ 選択時、汎用レジスタとして機能 SIF クロック同期式スレープ 選択時、 SCLK(1)プルアップ制御レジスタ
	R/W				PPL21	1	On	Off	P21プルアップ制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能
					PPL20	1	On	Off	P20プルアップ制御レジスタ(ESIF=0) SIF選択時、SINプルアップ制御レジスタ
FF70H	0	SMD1	SMD0	ESIF	0 *3 SMD1 SMD0 ESIF	— *2 0 0 0			未使用 [SMD1, 0] 0 1 シリアルI/F モード Clk-sync. master Clk-sync. slave モード選択 [SMD1, 0] 2 3 モード Async. 7-bit Async. 8-bit シリアルI/Fイネーブル(P2xポート機能選択)
	R	R/W					SIF	I/O	
FF71H	EPR	PMD	SCS1	SCS0	EPR PMD SCS1 SCS0	0 0 0 0	Enable Odd	Disable Even	パリティ機能選択 パリティモード選択 クロック源 [SCS1, 0] 0 1 2 3 選択 モード 1200bps 600bps 2400bps PT
	R/W								
FF72H	RXTRG	RXEN	TXTRG	TXEN	RXTRG	0	Run Trigger	Stop —	シリアルI/F受信ステータス(読み出し時) シリアルI/F受信トリガ(書き込み時)
					RXEN	0	Enable	Disable	シリアルI/F受信イネーブル
	R/W				TXTRG	0	Run Trigger	Stop —	シリアルI/F送信ステータス(読み出し時) シリアルI/F送信トリガ(書き込み時)
					TXEN	0	Enable	Disable	シリアルI/F送信イネーブル
FF73H	0	FER	PER	OER	0 *3 FER PER OER	— *2 0 0 0	Error Reset Error Reset Error Reset	No error — No error — No error —	未使用 フレーミングエラーフラグステータス(読み出し時) フレーミングエラーフラグリセット(書き込み時) パリティエラーフラグステータス(読み出し時) パリティエラーフラグリセット(書き込み時) オーバーランエラーフラグステータス(読み出し時) オーバーランエラーフラグリセット(書き込み時)
	R	R/W							
FF74H	TRXD3	TRXD2	TRXD1	TRXD0	TRXD3 TRXD2 TRXD1 TRXD0	— *2 — *2 — *2 — *2	High High High High	Low Low Low Low	シリアルI/F送受信データ(下位4ビット) LSB
	R/W								
FF75H	TRXD7	TRXD6	TRXD5	TRXD4	TRXD7 TRXD6 TRXD5 TRXD4	— *2 — *2 — *2 — *2	High High High High	Low Low Low Low	MSB シリアルI/F送受信データ(上位4ビット)
	R/W								
FFE3H	GPR33	EISER	EISTR	EISRC	GPR33 EISER EISTR EISRC	0 0 0 0	1 Enable Enable Enable	0 Mask Mask Mask	汎用レジスタ 割り込みマスクレジスタ(シリアルI/Fエラー) 割り込みマスクレジスタ(シリアルI/F送信完了) 割り込みマスクレジスタ(シリアルI/F受信完了)
	R/W								
FFF3H	0	ISER	ISTR	ISRC	0 *3 ISER ISTR ISRC	— *2 0 0 0	(R) Yes (W) Reset	(R) No (W) Invalid	未使用 割り込み要因フラグ(シリアルI/Fエラー) 割り込み要因フラグ(シリアルI/F送信完了) 割り込み要因フラグ(シリアルI/F受信完了)
	R	R/W							

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

ESIF: シリアルインタフェースイネーブルレジスタ(P2ポート機能選択)(FF70H・D0)
P20 ~ P23をシリアルインタフェースの入出力ポートに設定します。

"1"書き込み: シリアルインタフェース
"0"書き込み: 入出力兼用ポート
読み出し: 可能

ESIFはシリアルインタフェースイネーブルレジスタで、"1"を書き込んだ場合はP20 ~ P23端子がシリアル入出力端子(SIN、SOUT、 $\overline{\text{SCLK}}$ 、 $\overline{\text{SRDY}}$)となり、"0"を書き込んだ場合は入出力兼用ポート端子となります。なお、転送モードによる端子の設定は表4.11.3.2を参照してください。イニシャルリセット時、このレジスタは"0"に設定されます。

PPL20: SINプルアップ制御レジスタ(FF49H・D0)
PPL22: $\overline{\text{SCLK}}$ プルアップ制御レジスタ(FF49H・D2)
SIN端子、 $\overline{\text{SCLK}}$ 端子(スレーブモード時)のプルアップを設定します。

"1"書き込み: プルアップON
"0"書き込み: プルアップOFF
読み出し: 可能

SIN(P20)および $\overline{\text{SCLK}}$ (P22)端子に内蔵されたプルアップ抵抗をONまたはOFFに設定します。 $\overline{\text{SCLK}}$ のプルアップはクロック同期式スレーブモード時にのみ有効で、調歩同期式またはクロック同期式マスタモード時はPPL22レジスタを汎用レジスタとして使用することができます。イニシャルリセット時、これらのレジスタは"1"に設定され、プルアップ抵抗はONになります。

SMD0, SMD1: シリアルインタフェースモード設定レジスタ(FF70H・D1, D2)
転送モードを表4.11.9.2のとおり設定します。

表4.11.9.2 転送モードの設定

SMD1	SMD0	モード
1	1	調歩同期式8ビット
1	0	調歩同期式7ビット
0	1	クロック同期式スレーブ
0	0	クロック同期式マスタ

SMD0, SMD1は読み出しも可能です。
イニシャルリセット時、このレジスタは"0"に設定されます。

SCS0, SCS1: クロック源選択レジスタ(FF71H・D0, D1)
クロック源を表4.11.9.3のとおり選択します。

表4.11.9.3 クロック源の選択

SCS1	SCS0	クロック源
1	1	プログラマブルタイマ
1	0	fosc3 / 93
0	1	fosc3 / 372
0	0	fosc3 / 186

SCS0, SCS1は読み出しも可能です。
クロック同期式スレーブモードでは、このレジスタの設定は無効です。
イニシャルリセット時、このレジスタは"0"に設定されます。

EPR: パリティ機能選択レジスタ(FF71H・D3)

パリティ機能を選択します。

"1"書き込み: パリティあり
"0"書き込み: パリティなし
読み出し: 可能

受信データのパリティチェックおよび送信データへのパリティビットの付加を行うか行わないかを選択します。EPRに"1"を書き込むと受信データの最上位ビットがパリティビットと見なされてパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。"0"を書き込んだ場合はチェックおよび付加は行われません。

パリティは調歩同期式モードの場合にのみ有効で、クロック同期式モードではEPRの設定は無効となります。イニシャルリセット時、このレジスタは"0"に設定されます。

PMD: パリティモード選択レジスタ(FF71H・D2)

奇数パリティ/偶数パリティを選択します。

"1"書き込み: 奇数パリティ
"0"書き込み: 偶数パリティ
読み出し: 可能

PMDに"1"を書き込むと奇数パリティが選択され、"0"を書き込むと偶数パリティが選択されます。パリティチェックおよびパリティビットの付加はEPRに"1"が書き込まれている場合にのみ有効で、EPRに"0"が書き込まれている場合は、PMDによる奇数パリティ/偶数パリティの設定は無効となります。

イニシャルリセット時、このレジスタは"0"に設定されます。

TXEN: 送信許可レジスタ(FF72H・D0)

シリアルインタフェースを送信許可状態に設定します。

"1"書き込み: 送信許可
"0"書き込み: 送信禁止
読み出し: 可能

TXENに"1"を書き込むとシリアルインタフェースが送信許可状態となり、"0"を書き込むと送信禁止状態となります。

シリアルインタフェースのモード初期設定等を行う場合は、TXENを"0"に設定してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

TXTRG: 送信トリガ/ステータス(FF72H・D1)

送信開始のトリガ/動作状態(送信中/停止中)を示すステータスとして機能します。

"1"書き込み: 送信開始
"0"書き込み: 無効
"1"読み出し: 送信中
"0"読み出し: 停止中

送信データを書き込んだ後、TXTRGに"1"を書き込むことで送信処理を開始します。

TXTRGはステータスとして読み出しが可能で、"1"の場合は送信動作中、"0"の場合は送信停止中を示します。

イニシャルリセット時、TXTRGは"0"に設定されます。

RXEN: 受信許可レジスタ(FF72H・D2)

シリアルインタフェースを受信許可状態に設定します。

"1"書き込み: 受信許可
 "0"書き込み: 受信禁止
 読み出し: 可能

RXENに"1"を書き込むとシリアルインタフェースが受信許可状態となり、"0"を書き込むと受信禁止状態となります。

シリアルインタフェースのモード初期設定等を行う場合は、RXENを"0"に設定してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

RXTRG: 受信トリガ/ステータス(FF72H・D3)

受信開始のトリガ/次のデータの受信準備/動作状態(受信中/停止中)を示すステータスとして機能します。

"1"書き込み: 受信開始/次のデータの受信準備
 "0"書き込み: 無効
 "1"読み出し: 受信中
 "0"読み出し: 停止中

RXTRGは、クロック同期式と調歩同期式で若干動作が異なります。

クロック同期式でのRXTRGは受信開始のトリガとして使用します。

受信データを読み出し、次の受信準備ができたところでRXTRGに"1"を書き込み受信を開始させます。(スレーブモードではRXTRGに"1"を書き込んだところでSRDYが"0"となります。)

調歩同期式でのRXTRGは、次のデータの受信準備に使用します。受信データバッファにある受信データを読み出し、バッファが空となったことを知らせるためRXTRGに"1"を書き込みます。RXTRGに"1"を書き込まなかった場合、次の受信が終了した時点でオーバーランエラーフラグOERが"1"にセットされます。(受信データを読み出す動作とRXTRGに"1"を書き込む動作との間に受信を終了した場合はオーバーランエラーとなります。)

また、RXTRGはステータスとして読み出しが可能で、クロック同期式、調歩同期式どちらのモードでも"1"の場合は受信動作中、"0"の場合は受信停止中を示します。

イニシャルリセット時、RXTRGは"0"に設定されます。

TRXD0 ~ TRXD7: 送受信データ(FF74H, FF75H)

送信時

送信データを書き込みます。

"1"書き込み: HIGHレベル
 "0"書き込み: LOWレベル

送信開始前に送信データを書き込みます。

連続送信の場合、データの書き込みは送信完了割り込みを待ってから行ってください。

調歩同期式7ビットモードにおいてはTRXD7が無効となります。

SOUT端子からはシリアル変換されたデータが、"1"に設定されたビットがHIGH(V_{DD})レベル、"0"に設定されたビットがLOW(V_{SS})レベルとして出力されます。

受信時

受信データを読み出します。

"1"読み出し: HIGHレベル
 "0"読み出し: LOWレベル

受信データバッファのデータが読み出せます。

シフトレジスタが本バッファとは別に設けられていますので、調歩同期式モードでは受信動作中にデータの読み出しが行えます。(クロック同期式モードではバッファ機能を使用しません。)

データの読み出しは受信完了割り込みを待ってから行ってください。

調歩同期式7ビットモードにおいてパリティチェックを行っている場合、パリティビットに対応する8ビット目(TRXD7)には"0"がロードされます。

SIN端子から入力されたシリアルデータはHIGH(V_{DD})レベルのビットを"1"、LOW(V_{SS})レベルのビットを"0"としてパラレル変換され、本バッファにロードされます。

イニシャルリセット時、バッファの内容は不定となります。

OER: オーバーランエラーフラグ(FF73H・D0)

オーバーランエラーの発生を示します。

"1"読み出し: エラーあり

"0"読み出し: エラーなし

"1"書き込み: "0"にリセット

"0"書き込み: 無効

OERはオーバーランエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。

オーバーランエラーは調歩同期式モードの受信において、RXTRGに"1"を書き込む前に次のデータの受信を完了した場合に発生します。

OERは"1"を書き込むことで"0"にリセットされます。

イニシャルリセット時、およびRXENが"0"のときOERは"0"に設定されます。

PER: パリティエラーフラグ(FF73H・D1)

パリティエラーの発生を示します。

"1"読み出し: エラーあり

"0"読み出し: エラーなし

"1"書き込み: "0"にリセット

"0"書き込み: 無効

PERはパリティエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。

パリティエラーは調歩同期式モードでパリティチェックを行っている場合に、パリティの合っていないデータを受信すると発生します。

PERは"1"を書き込むことで"0"にリセットされます。

イニシャルリセット時、およびRXENが"0"のとき、PERは"0"(エラーなし)に設定されます。

FER: フレーミングエラーフラグ(FF73H・D2)

フレーミングエラーの発生を示します。

"1"読み出し: エラーあり

"0"読み出し: エラーなし

"1"書き込み: "0"にリセット

"0"書き込み: 無効

FERはフレーミングエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。

フレーミングエラーは調歩同期式モードの受信において、ストップビットが"0"になっていた場合に発生します。

FERは"1"を書き込むことで"0"にリセットされます。

イニシャルリセット時、およびRXENが"0"のときFERは"0"(エラーなし)に設定されます。

EISRC, EISTR, EISER: 割り込みマスクレジスタ(FFE3H・D0, D1, D2)
シリアルインタフェースからの割り込みマスクを設定します。

"1"書き込み: イネーブル
"0"書き込み: マスク
読み出し: 可能

EISRC, EISTR, EISERはそれぞれ受信完了、送信完了、受信エラーの割り込み要因に対応する割り込みマスクレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。
イニシャルリセット時、これらのレジスタは"0"に設定されます。

ISRC, ISTR, ISER: 割り込み要因フラグ(FFF3H・D0, D1, D2)
シリアルインタフェースからの割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有
"0"読み出し: 割り込み無
"1"書き込み: 要因フラグをリセット
"0"書き込み: 無効

ISRC, ISTR, ISERはそれぞれ受信完了、送信完了、受信エラーの割り込みに対応する割り込み要因フラグで、それぞれの要因の発生により"1"にセットされます。

送信完了割り込み要因は、シフトレジスタのデータ送信が終了したところで発生します。

受信完了割り込み要因は、受信データが受信データバッファに転送されたところで発生します。

受信エラー割り込み要因は、データ受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された場合に発生します。

このとき、対応する割り込みマスクレジスタが"1"で、かつCPUが割り込み許可(Iフラグ="1")に設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットが必要です。割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、これらのフラグはすべて"0"にリセットされます。

4.11.10 プログラミング上の注意事項

- (1) シリアルインタフェースのモード初期設定は、送受信が禁止の状態(TXEN=RXEN="0")で行ってください。
- (2) シリアルインタフェースが送信(受信)中のときは、TXTRQ(RXTRG)に対して二重トリガ("1"書き込み)は行わないでください。
- (3) クロック同期式モードでは1本のクロックライン($\overline{\text{SCLK}}$)を送受信で共用するため、送信と受信を同時に行うことはできません。したがって、TXTRQ(RXTRG)が"1"の最中はRXTRQ(TXTRG)に"1"は書き込まないでください。
- (4) 調歩同期式モードにおいて、受信時にパリティエラーおよびフレーミングエラーが発生した場合は受信エラー割り込み要因フラグISERは、受信完了割り込み要因フラグISRCに対して表4.11.10.1に示す時間早く"1"にセットされます。したがって、エラー処理ルーチン等で待ち時間を設けて、受信完了割り込み要因フラグISRCを"0"にリセットしてください。
- なお、オーバーランエラー発生時には受信完了割り込み要因フラグISRCは"1"にセットされず、受信完了割り込みも発生しません。

表4.11.10.1 エラー発生時のISERとISRCの時間差

クロック源	時間差
fosc3 / n	fosc3 / n の1/2周期
プログラマブルタイマ	タイマ1アンダーフローの1周期

- (5) OSC3発振回路の分周信号をクロック源とする場合は、シリアルインタフェースを使用する前にOSC3の発振をONさせる必要があります。
- なお、OSC3発振回路をONにしてから発振が安定するまでに5msecの時間を必要とします。したがって、シリアルインタフェースの送受信開始はOSC3発振ONの後、十分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)
- イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。
- (6) シリアルインタフェースのクロック周波数は、最大2MHzに制限されます。
- (7) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.12 SVD(電源電圧検出)回路

4.12.1 SVD回路の構成

S1C63406/408にはSVD(電源電圧検出)回路が内蔵されておりソフトウェアによって電源電圧低下を知ることができます。SVD回路のON/OFFおよび比較電圧の設定は、ソフトウェアによって行えます。SVD回路の構成は図4.12.1.1のとおりです。

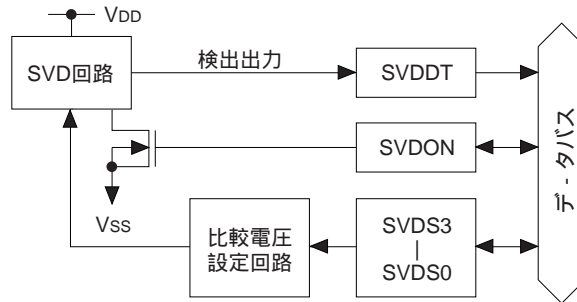


図4.12.1.1 SVD回路の構成

4.12.2 SVD動作

SVD回路はソフトウェアによって設定した比較電圧と電源電圧(V_{DD} 端子 - V_{SS} 端子)の比較を行い、その結果をSVDDTラッチにセットします。このSVDDTラッチのデータを読み出すことにより、電源電圧が正常か、あるいは低下していることをソフトウェアによって判断できます。

比較電圧はSVDS3 ~ SVDS0レジスタによって表4.12.2.1の16種類に設定できます。

SVDS3 ~ SVDS0レジスタに"0"を設定した場合、電源電圧検出は1.30Vとなります。"8"を設定した場合、電源電圧検出は2.10Vとなります。

表4.12.2.1 比較電圧の設定

SVDS3	SVDS2	SVDS1	SVDS0	比較電圧 (V)	SVDS3	SVDS2	SVDS1	SVDS0	比較電圧 (V)
0	1	1	1	2.00	1	1	1	1	2.80
0	1	1	0	1.90	1	1	1	0	2.70
0	1	0	1	1.80	1	1	0	1	2.60
0	1	0	0	1.70	1	1	0	0	2.50
0	0	1	1	1.60	1	0	1	1	2.40
0	0	1	0	1.50	1	0	1	0	2.30
0	0	0	1	1.40	1	0	0	1	2.20
0	0	0	0	1.30	1	0	0	0	2.10

SVD回路による電源電圧または外部電圧の検出動作はレジスタSVDONに"1"を書き込むことによって開始します。

その後SVDONに"0"を書き込むことにより、SVD回路は検出結果をSVDDTラッチにセットして検出動作を停止(回路をOFF)します。

なお、安定した検出結果を得るためには少なくとも100 μ sec以上SVD回路をONにする必要があります。したがって、電源電圧の検出は次のシーケンスで行ってください。

1. SVDONを"1"にセット
2. 100 μ sec以上保持
3. SVDONを"0"にセット
4. SVDDTの読み出し

なお、SVD動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD回路をOFFに設定してください。

4.12.3 SVD回路のI/Oメモリ

表4.12.3.1にSVD回路の制御ビットとそのアドレスを示します。

表4.12.3.1 SVD回路の制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF04H	SVDS3	SVDS2	SVDS1	SVDS0	SVDS3	0			SVD比較電圧設定 [SVDS3~0] 0 1 2 3 4 5 6 7 電圧(V) 1.30 1.40 1.50 1.60 1.70 1.80 1.90 2.00 [SVDS3~0] 8 9 10 11 12 13 14 15 電圧(V) 2.10 2.20 2.30 2.40 2.50 2.60 2.70 2.80
					SVDS2	0			
	R/W				SVDS1	0			
					SVDS0	0			
FF05H	0	0	SVDDT	SVDON	0 *3	— *2			未使用 未使用 SVD検出データ SVD回路On/Off
					0 *3	— *2			
	R			R/W	SVDDT	0	Low	Normal	
					SVDON	0	On	Off	

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

SVDS3 ~ SVDS0: SVD比較電圧設定レジスタ(FF04H)

SVDの比較電圧を表4.12.2.1に示すとおり設定します。

イニシャルリセット時、このレジスタは"0"に設定されます。

SVDON: SVD検出ON/OFF制御レジスタ(FF05H・D0)

SVD回路のON/OFFを制御します。

"1"書き込み: SVD回路 ON

"0"書き込み: SVD回路 OFF

読み出し: 可能

SVDONを"1"にセットすることによりSVD検出が行われ、SVDONを"0"にリセットした直後にSVDDTラッチへ検出結果が書き込まれます。なお、安定したSVD検出結果を得るためには、少なくとも100μsec以上SVD回路をONにする必要があります。

イニシャルリセット時、このレジスタは"0"に設定されます。

SVDDT: SVD検出結果(FF05H・D1)

SVDによる検出結果がセットされます。

"0"読み出し: 比較電圧より電源電圧(V_{DD} - V_{SS})が高い

"1"読み出し: 比較電圧より電源電圧(V_{DD} - V_{SS})が低い

書き込み: 無効

SVDONを"0"にした時点の検出結果を読み出すことができます。

イニシャルリセット時、SVDDTは"0"に設定されます。

4.12.4 プログラミング上の注意事項

- (1)SVD回路はONさせてから安定した結果が得られるまでに100μsecの時間を必要とします。このため、SVDONに"1"を書き込み後、100μsec以上経過後にSVDONに"0"を書き込んでSVDDTを読み出してください。
- (2)SVD検出動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD検出をOFFに設定してください。

4.13 重負荷保護機能

4.13.1 重負荷保護モード

S1C63406/408は、外付けランプ点灯時やブザーオン(ピエゾ駆動時)など、電池の負荷が重くなり電源電圧が低下する場合に備えて重負荷保護機能を持っています。この重負荷保護機能が働いているモードを重負荷保護モードと呼びます。通常動作モードから重負荷保護モードへは、ソフトウェアでHLMODを"1"にセットした場合に移行します。

注: 重負荷保護モードでは通常動作モードより消費電流が多くなります。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないように注意してください。

4.13.2 重負荷保護機能のI/Oメモリ

表4.13.2.1に重負荷保護機能の制御ビットとそのアドレスを示します。

表4.13.2.1 重負荷保護機能の制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF07H	HLMOD	0	WDEN	WDRST	HLMOD 0 *3	0 — *2	On	Off	重負荷保護モード 未使用
	R/W	R	R/W	W	WDEN	1	Enable	Disable	ウォッチドッグタイミナーブル
					WDRST *3	Reset	Reset	Invalid	ウォッチドッグタイマリセット(書き込み時)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

HLMOD: 重負荷保護モード制御 (FF07H・D3)

重負荷保護モードを制御します。

"1"書き込み: 重負荷保護モードON

"0"書き込み: 重負荷保護モードOFF

読み出し: 可能

HLMODに"1"を書き込むと重負荷保護モードになり、"0"を書き込むと通常モードに戻ります。

重負荷保護モードでは消費電流が大きくなりますので、必要なとき以外はソフトウェアにより重負荷保護モードに設定しないでください。

イニシャルリセット時、このレジスタは"0"に設定されます。

4.13.3 プログラミング上の注意事項

重負荷保護モードでは通常動作モードより消費電流が多くなります。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないように注意してください。

4.14 割り込みとHALT/SLEEP

<割り込みの種類>

S1C63406/408には以下の割り込みが設定されています。

外部割り込み	• 入力ポート割り込み	(4系統)
内部割り込み	• ウォッチドッグタイマ割り込み	(NMI、1系統)
	• プログラマブルタイマ割り込み	(2系統)
	• シリアルインタフェース割り込み	(3系統)
	• 計時タイマ割り込み	(4系統)
	• ストップウォッチタイマ割り込み	(2系統)

割り込みを許可するためにはインタラプトフラグを"1"にセット(EI)し、あわせて必要な系統の割り込みマスケレジスタも"1"にセット(イネーブル)する必要があります。

割り込みが発生するとインタラプトフラグは自動的に"0"にリセット(DI)され、以後の割り込みは禁止されます。

ウォッチドッグタイマ割り込みはNMI(ノンマスカブル割り込み)のため、インタラプトフラグの設定にかかわらず、割り込みが発生します。このため、割り込みマスケレジスタも用意されていません。ただし、ウォッチドッグタイマはソフトウェアにより動作を停止させることができますので、NMIを発生させないようにすることができます。

図4.14.1に割り込み回路の構成を示します。

注: イニシャルリセット時、NMIを含むすべての割り込みはスタックポイントSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み(NMIを含む)は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

<HALT/SLEEP>

S1C63406/408は必要とき以外の消費電流を大幅に低減させるHALT機能およびSLEEP機能を持っています。

CPUはHALT命令が入力されるとHALT状態に入り、CPUの動作を停止します。ただし、発振回路は動作していますので、タイマのカウント等は継続して行われます。CPUのHALT状態からの再起動はNMIを含むハードウェア割り込み要求が発生することにより行われます。

CPUのSLP命令によって移行するSLEEP状態では、HALT状態と同様CPUの動作を停止するとともにOSC3発振回路も停止します。さらに、分周回路および周辺回路へのOSC1クロック供給も停止します。ただし、OSC1発振動作は停止しません。

CPUのSLEEP状態からの再起動は、K0ポートの入力割り込み要求が発生することのみに限られます。したがって、SLP命令を実行する前に、インタラプトフラグおよびSLEEP解除に使用する入力ポートの制御レジスタを以下のとおり設定しておく必要があります。

- インタラプトフラグ(Iフラグ)= "1"(割り込みを許可)
- 割り込み選択レジスタSIK0x = "1"(K0x入力ポート割り込みを選択)
- 割り込みマスケレジスタEIK0x = "1"(K0x入力ポート割り込みを許可)
- ノイズリジェクタ選択レジスタK0NR1、K0NR0 = "00"(ノイズリジェクタをバイパス)

SLEEP状態が入力ポートの割り込みによって解除されると、発振の安定を待ってCPUの動作(入力割り込みの処理)を再開します。

HALT/SLEEP状態への移行と解除のタイミング等については、"S1C63000コアCPUマニュアル"を参照してください。

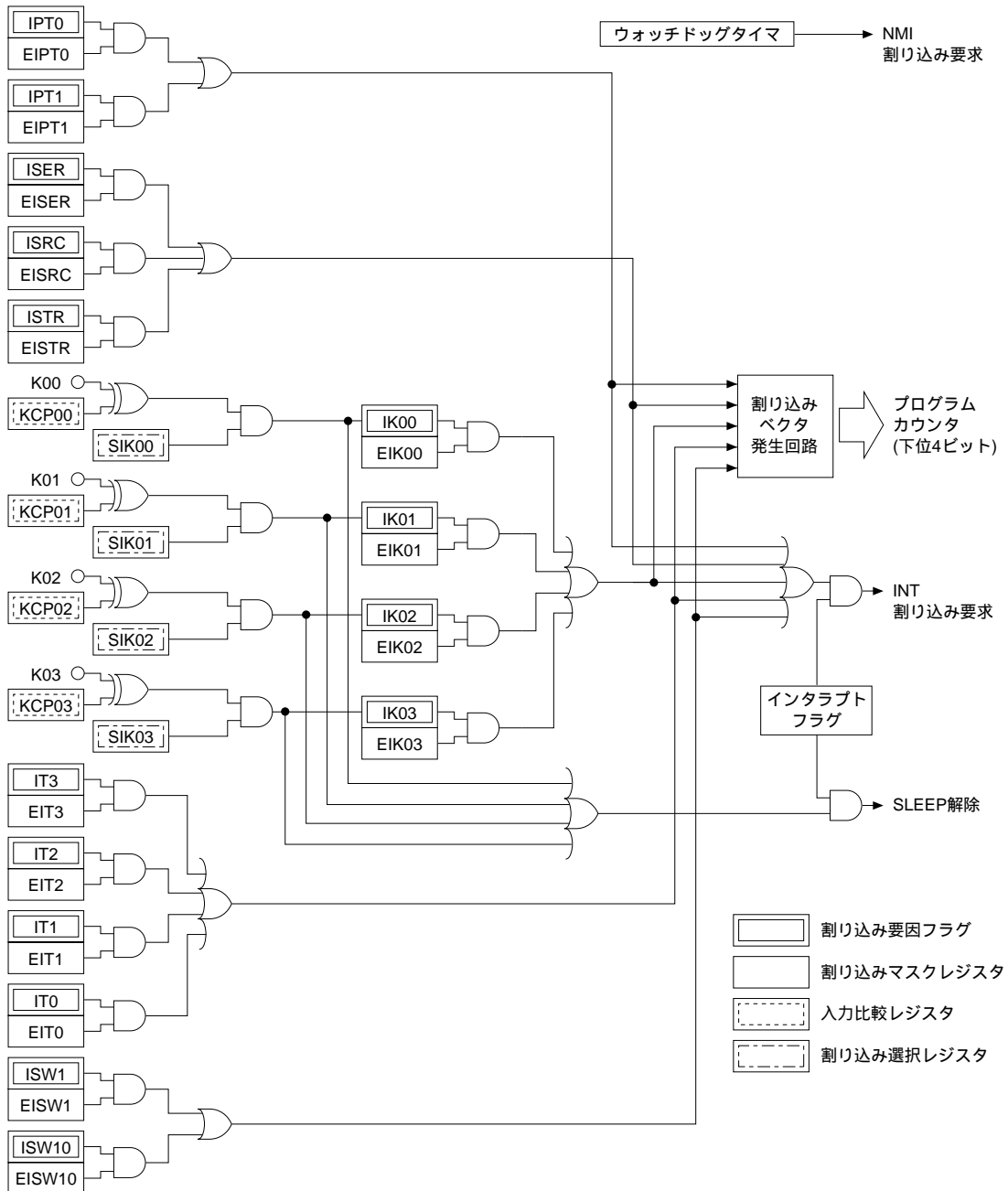


図4.14.1 割り込み回路の構成

4.14.1 割り込みの要因

割り込み要求が発生する要因を表4.14.1.1に示します。

各々の割り込み要因により、対応する割り込み要因フラグが"1"にセットされます。

CPUに対する割り込みは、以下の条件が成立している場合に割り込み要因フラグが"1"にセットされたときに発生します。

- 対応する割り込みマスクレジスタが"1"(イネーブル)
- インタラプトフラグが"1"(EI)

割り込み要因フラグは"1"書き込みにより"0"にリセットされます。

イニシャルリセット時、割り込み要因フラグは"0"にリセットされます。

* ウォッチドッグタイマはNMIのため、上記の条件とは無関係に割り込みが発生します。割り込み要因フラグも用意されていません。

表4.14.1.1 割り込み要因

割り込み要因	割り込み要因フラグ
プログラブルタイマ(カウンタ=0)	IPT1 (FFF2H•D1)
プログラブルタイマ(カウンタ=0)	IPT0 (FFF2H•D0)
シリアルインタフェース受信エラー	ISER (FFF3H•D2)
シリアルインタフェース受信終了	ISRC (FFF3H•D0)
シリアルインタフェース送信終了	ISTR (FFF3H•D1)
K03入力(立ち下がりまたは立ち上がりエッジ)	IK03 (FFF6H•D3)
K02入力(立ち下がりまたは立ち上がりエッジ)	IK02 (FFF6H•D2)
K01入力(立ち下がりまたは立ち上がりエッジ)	IK01 (FFF6H•D1)
K00入力(立ち下がりまたは立ち上がりエッジ)	IK00 (FFF6H•D0)
計時タイマ1Hz(立ち下がりエッジ)	IT3 (FFF6H•D3)
計時タイマ2Hz(立ち下がりエッジ)	IT2 (FFF6H•D2)
計時タイマ8Hz(立ち下がりエッジ)	IT1 (FFF6H•D1)
計時タイマ32Hz(立ち下がりエッジ)	IT0 (FFF6H•D0)
ストップウォッチタイマ(1Hz)	ISW1 (FFF7H•D1)
ストップウォッチタイマ(10Hz)	ISW10 (FFF7H•D0)

注: 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(1フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.14.2 割り込みの個別マスク

割り込み要因フラグは、対応する割り込みマスクレジスタによりマスクできます。

割り込みマスクレジスタは読み出し/書き込みが可能なレジスタであり、"1"書き込みでイネーブル(割り込み許可)、"0"書き込みでマスク(割り込み禁止)となります。

イニシャルリセット時、割り込みマスクレジスタは"0"にリセットされます。

表4.14.2.1に割り込みマスクレジスタと割り込み要因フラグの対応を示します。

表4.14.2.1 割り込みマスクレジスタと割り込み要因フラグ

割り込みマスクレジスタ		割り込み要因フラグ	
EIPT1	(FFE2H・D1)	IPT1	(FFF2H・D1)
EIPT0	(FFE2H・D0)	IPT0	(FFF2H・D0)
EISER	(FFE3H・D2)	ISER	(FFF3H・D2)
EISRC	(FFE3H・D0)	ISRC	(FFF3H・D0)
EISTR	(FFE3H・D1)	ISTR	(FFF3H・D1)
EIK03	(FFE6H・D3)	IK03	(FFF6H・D3)
EIK02	(FFE6H・D2)	IK02	(FFF6H・D2)
EIK01	(FFE6H・D1)	IK01	(FFF6H・D1)
EIK00	(FFE6H・D0)	IK00	(FFF6H・D0)
EIT3	(FFE6H・D3)	IT3	(FFF6H・D3)
EIT2	(FFE6H・D2)	IT2	(FFF6H・D2)
EIT1	(FFE6H・D1)	IT1	(FFF6H・D1)
EIT0	(FFE6H・D0)	IT0	(FFF6H・D0)
EISW1	(FFE7H・D1)	ISW1	(FFF7H・D1)
EISW10	(FFE7H・D0)	ISW10	(FFF7H・D0)

4.14.3 割り込みベクタ

CPUに割り込み要求が入力されると、CPUは割り込み処理を開始します。

割り込み処理は実行中のプログラムの終了後、以下の手順で行われます。

1. フラグレジスタを退避後、Iフラグをリセット
2. 次に実行すべきプログラムのアドレスデータ(プログラムカウンタの値)をスタック領域(RAM)に退避
3. 割り込み要求による割り込みベクタの値(0100H~010AH)をプログラムカウンタにセット
4. 指定されたアドレスのプログラムを実行(ソフトウェアによる割り込み処理ルーチンの実行)

表4.14.3.1に割り込み要求と割り込みベクタの対応を示します。

表4.14.3.1 割り込み要求と割り込みベクタ

割り込みベクタ	割り込み要因	優先順位
0100H	ウォッチドッグタイマ	高い ↑
0102H	プログラマブルタイマ	
0104H	シリアルインタフェース	
0106H	K00~K03入力	
0108H	計時タイマ	↓ 低い
010AH	ストップウォッチタイマ	

プログラムカウンタ(PC)の下位4ビットが割り込み要求による間接アドレス指定となります。

4.14.4 割り込みのI/Oメモリ

表4.14.4.1に割り込みに関する制御ビットとそのアドレスを示します。

表4.14.4.1 割り込みの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF54H	SIK03	SIK02	SIK01	SIK00	SIK03	0	Enable	Disable	K00 ~ K03割り込み選択レジスタ
					SIK02	0	Enable	Disable	
	R/W				SIK01	0	Enable	Disable	
					SIK00	0	Enable	Disable	
FF55H	KCP03	KCP02	KCP01	KCP00	KCP03	1			K00 ~ K03入力比較レジスタ
					KCP02	1			
	R/W				KCP01	1			
					KCP00	1			
FFE2H	GPR23	GPR22	EIPT1	EIPT0	GPR23	0	1	0	汎用レジスタ
					GPR22	0	1	0	汎用レジスタ
	R/W				EIPT1	0	Enable	Mask	割り込みマスクレジスタ(プログラマブルタイマ1)
					EIPT0	0	Enable	Mask	割り込みマスクレジスタ(プログラマブルタイマ0)
FFE3H	GPR33	EISER	EISTR	EISRC	GPR33	0	1	0	汎用レジスタ
					EISER	0	Enable	Mask	割り込みマスクレジスタ(シリアルI/Fエラー)
	R/W				EISTR	0	Enable	Mask	割り込みマスクレジスタ(シリアルI/F送信完了)
					EISRC	0	Enable	Mask	割り込みマスクレジスタ(シリアルI/F受信完了)
FFE6H	EIT3	EIT2	EIT1	EIT0	EIT3	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ1Hz)
					EIT2	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ2Hz)
	R/W				EIT1	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ8Hz)
					EIT0	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ32Hz)
FFE7H	GPR73	GPR72	EISW1	EISW10	GPR73	0	1	0	汎用レジスタ
					GPR72	0	1	0	汎用レジスタ
	R/W				EISW1	0	Enable	Mask	割り込みマスクレジスタ(ストップウォッチタイマ1Hz)
					EISW10	0	Enable	Mask	割り込みマスクレジスタ(ストップウォッチタイマ10Hz)
FFEBH	EIK03	EIK02	EIK01	EIK00	EIK03	0	Enable	Mask	割り込みマスクレジスタ(K03)
					EIK02	0	Enable	Mask	割り込みマスクレジスタ(K02)
	R/W				EIK01	0	Enable	Mask	割り込みマスクレジスタ(K01)
					EIK00	0	Enable	Mask	割り込みマスクレジスタ(K00)
FFF2H	0	0	IPT1	IPT0	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
	R		R/W		IPT1	0	(W)	(W)	割り込み要因フラグ(プログラマブルタイマ1)
					IPT0	0	Reset	Invalid	割り込み要因フラグ(プログラマブルタイマ0)
FFF3H	0	ISER	ISTR	ISRC	0 *3	- *2	(R)	(R)	未使用
					ISER	0	Yes	No	割り込み要因フラグ(シリアルI/Fエラー)
	R		R/W		ISTR	0	(W)	(W)	割り込み要因フラグ(シリアルI/F送信完了)
					ISRC	0	Reset	Invalid	割り込み要因フラグ(シリアルI/F受信完了)
FFF6H	IT3	IT2	IT1	IT0	IT3	0	(R)	(R)	割り込み要因フラグ(計時タイマ1Hz)
					IT2	0	Yes	No	割り込み要因フラグ(計時タイマ2Hz)
	R/W				IT1	0	(W)	(W)	割り込み要因フラグ(計時タイマ8Hz)
					IT0	0	Reset	Invalid	割り込み要因フラグ(計時タイマ32Hz)
FFF7H	0	0	ISW1	ISW10	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
	R		R/W		ISW1	0	(W)	(W)	割り込み要因フラグ(ストップウォッチタイマ1Hz)
					ISW10	0	Reset	Invalid	割り込み要因フラグ(ストップウォッチタイマ10Hz)
FFFBH	IK03	IK02	IK01	IK00	IK03	0	(R)	(R)	割り込み要因フラグ(K03)
					IK02	0	Yes	No	割り込み要因フラグ(K02)
	R/W				IK01	0	(W)	(W)	割り込み要因フラグ(K01)
					IK00	0	Reset	Invalid	割り込み要因フラグ(K00)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

EIPT1, EIPT0: 割り込みマスクレジスタ(FFE2H・D1, D0)

IPT1, IPT0: 割り込み要因フラグ(FFF2H・D1, D0)

..."4.10 プログラマブルタイマ"参照

EISER, EISTR, EISRC: 割り込みマスクレジスタ(FFE3H・D2 ~ D0)

ISER, ISTR, ISRC: 割り込み要因フラグ(FFF3H・D2 ~ D0)

..."4.11 シリアルインタフェース"参照

KCP03 ~ KCP00: 入力比較レジスタ(FF55H)

SIK03 ~ SIK00: 割り込み選択レジスタ(FF54H)

EIK03 ~ EIK00: 割り込みマスクレジスタ(FFE6H)

IK03 ~ IK00: 割り込み要因フラグ(FFF6H)

..."4.4 入力ポート"参照

EIT3 ~ EIT0: 割り込みマスクレジスタ(FFE6H)

IT3 ~ IT0: 割り込み要因フラグ(FFF6H)

..."4.8 計時タイマ"参照

EISW1, EISW10: 割り込みマスクレジスタ(FFE7H・D1, D0)

ISW1, ISW10: 割り込み要因フラグ(FFF7H・D1, D0)

..."4.9 ストップウォッチタイマ"参照

4.14.5 プログラミング上の注意事項

- (1) 各割り込み要因フラグは、各割り込みマスクレジスタを"0"に設定していても、割り込み条件成立によりセットされます。
- (2) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- (3) イニシャルリセット時、NMIを含むすべての割り込みはスタックポインタSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み(NMIを含む)は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。
- (4) SLEEP機能を使用する場合、SLP命令を実行する前にインタラプトフラグおよびSLEEP解除に使用する入力ポートの制御レジスタを以下のとおり設定しておく必要があります。
 - ・インタラプトフラグ(Iフラグ)= "1"(割り込みを許可)
 - ・割り込み選択レジスタSIK0x = "1"(K0x入力ポート割り込みを選択)
 - ・割り込みマスクレジスタEIK0x = "1"(K0x入力ポート割り込みを許可)
 - ・ノイズリジェクタ選択レジスタK0NR1、K0NR0 = "00"(ノイズリジェクタをバイパス)

5 注意事項のまとめ

5.1 低消費電流化のための注意事項

S1C63406/408は、低消費電流化のため回路系ごとに制御レジスタを持っています。この制御レジスタにより必要最小限の回路系を動作させるプログラムとすることで、低消費電流化が実現できます。

以下に動作を制御できる回路系とその制御レジスタ等を説明しますので、プログラムを組む上で参考としてください。

表5.1.1 回路系と制御レジスタ

回路系(および項目)	制御レジスタ等
CPU	HALT命令
CPU動作周波数	CLKCHG, OSCC
内部ロジック系定電圧回路	VDC1, VDC0
LCD系電圧回路	LPWR, VCCHG
SVD回路	SVDON
重負荷保護	HLMOD

消費電流については"7 電気的特性"を参照してください。

イニシャルリセット時の各回路系の状態は以下のとおりです。

CPU:	動作状態
CPU動作周波数:	低速側(CLKCHG = "0") OSC3発振回路停止状態(OSCC = "0")
内部ロジック系定電圧回路:	低速側 1.1V(VDC1~VDC0 = "0H")
LCD系電圧回路:	OFF状態(LPWR = "0") Vc2基準(VCCHG = "1") VDDが2.5V以上の場合
SVD回路:	OFF状態(SVDON = "0")
重負荷保護:	OFF状態(HLMOD = "0")

リセット回路(マスクオプション)を使用すると、通常動作中も消費電流が増加します。また、リセット状態での消費電流が大きくなります。詳細は"7 電気的特性"を参照してください。

LCDパネルの特性により消費電流が数 μ Aのオーダーで異なりますので、パネルの選択にも注意が必要です。

5.2 個別機能についての注意事項のまとめ

以下に各機能の注意事項を個別にまとめます。内容に十分留意した上でプログラミングを行ってください。

メモリ、スタック

- (1) メモリマップの未使用領域にはメモリが実装されていません。また、表示メモリ領域および周辺I/O領域にも非実装領域、未使用(アクセス禁止)領域が存在します。これらの領域をアクセスするようなプログラムを作成した場合は、正常な動作を保証することはできません。表示メモリについては"4.7.4 表示メモリ"を、周辺I/O領域については表4.1.1(a)~(d)に示すI/Oメモリマップを参照してください。
- (2) データメモリの一部をサブルーチンコールやレジスタ退避時のスタック領域としても使用しますので、データ領域とスタック領域が重ならないように注意してください。
- (3) S1C63000コアCPUは、4ビットデータ用スタックポインタ(SP2)および16ビットデータ用スタックポインタ(SP1)によりスタック処理を行います。SP1によるスタック処理では16ビットデータアクセスが行われますので、このスタック領域の設定は4ビット/16ビットアクセスが可能な領域内(0100H~01FFH)で行ってください。スタックポインタは、SP1が0000H~03FFH、SP2が0000H~00FFHの範囲でサイクリックに動作します。このため、SP1はS1C63406/408の4ビット/16ビットアクセス領域を外れた0200H以上、あるいは00FFH以下の領域にも設定される可能性がありますので注意してください。SP1によるスタック操作以外のメモリアクセスは4ビットデータアクセスとなります。
また、イニシャルリセット時は、スタックポインタSP1、SP2の両方がソフトウェアで設定されるまでNMIを含むすべての割り込みがマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまでNMIを含む割り込みは再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

ウォッチドッグタイマ

- (1) ウォッチドッグタイマを使用する場合、3秒周期以内にソフトウェアでウォッチドッグタイマをリセットする必要があります。
- (2) イニシャルリセットにより、ウォッチドッグタイマは動作状態に設定されますので、使用しない場合は割り込み(NMI)発生前にウォッチドッグタイマをディセーブル(使用しない)に設定してください。

発振回路

- (1) CPUシステムクロックをOSC1からOSC3に切り換える場合は、OSC3発振をONにする前にV_{D1}の設定を行ってください。その後、2.5msec以上の時間をおいてからOSC3発振をONにします。OSC3からOSC1に切り換える場合は、OSC1に切り換えてOSC3発振をOFFにした後でV_{D1}を設定してください。
- (2) OSC3発振回路がONしてから発振が安定するまでに、5msec以上を必要とします。したがって、CPUの動作クロックをOSC1からOSC3に切り換える際は、OSC3発振ONの後、5msec以上経過してから行ってください。
また、発振安定時間は外付け発振子の特性および使用条件等により異なりますので、十分マージンを取って待ち時間を設定してください。
- (3) OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々のインストラクションで行ってください。1インストラクションで、同時に処理するとCPUの誤動作につながります。
- (4) S1C63406/408はSLEEP機能に対応しており、SLEEP時にOSC3発振回路が停止します。OSC1発振回路は分周回路および周辺回路へのクロック供給を停止しますが、発振動作は停止しません。SLEEPモードから起床した時点でCPUが誤動作しないようにするため、SLEEPモードへはCPUがOSC1クロックで動作している状態で移行してください。

入力ポート

- (1) 入力ポートをLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の積定数によって波形立ち上がり遅延が生じます。このため、入力ポートの取り込みを行う際は、適切な待ち時間を設定してください。特に、キーマトリクス構成時のキースキャン等に注意が必要です。この待ち時間は次の式で算出される時間以上としてください。

$$10 \times (\alpha \text{ 端子容量} 5\text{pF} + \text{寄生容量} \text{pF}) \times R \text{ (プルアップ抵抗} 300\text{k}\Omega \text{)}$$

- (2) SLP命令を実行する前には、必ずノイズリジェクタをOFFに設定してください。
- (3) SLEEPモードからは入力割り込み要因の発生によってのみ起床可能です。したがって、SLP命令を実行する前に、SLEEP解除に使用するポートの割り込み選択レジスタをセット(SIK0x = "1")しておく必要があります。また、SLEEP解除後に入力ポート割り込み処理を実行するためには、SLP命令を実行する前に、該当ポートの割り込みマスクレジスタもイネーブル状態にセット(EIK0x = "1")しておく必要があります。
- (4) 入力割り込みは、各ポート(K00 ~ K03)ごとに設定可能になっています。従来機種の入力割り込みとは異なっていますので、注意してください。
- (5) K03端子はプログラマブルタイマの入力クロック端子としての機能も兼ねることがあり、入力ポート機能と入力信号が共有されます。そのため、K03端子をプログラマブルタイマの入力クロック端子に設定した場合、割り込み等の設定には十分注意してください。

出力ポート

- (1) R12、R13を特殊出力として使用する場合、R12、R13レジスタは"1" に固定してください。
R12、R13レジスタに"0"を書き込むと、出力端子がLOW(V_{SS})に固定されますので注意してください。
- (2) TOUT信号、FOUT信号のON/OFF時は、出力波形にハザードが出る場合があります。
- (3) FOUT信号の周波数としてfosc3を選択した場合は、信号出力前にOSC3発振回路の制御が必要です。制御方法と注意事項については"4.3 発振回路"を参照してください。

入出力兼用ポート

入力モード時にポートの入力をLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の時定数によって波形立ち上がり遅延が生じます。このため、入力データの取り込みを行う際は、適切な待ち時間を設定してください。特に、キーマトリクス構成時のキースキャン等に注意が必要です。この待ち時間は次の式で算出される時間以上としてください。

$$10 \times (C \text{ 端子容量} 5\text{pF} + \text{寄生容量} \text{?pF}) \times R \text{ (プルアップ抵抗} 300\text{k}\Omega \text{)}$$

LCDドライバ

- (1) LPWRに"1"を書き込むと(ONにすると) LCD電源を素早く安定させるために1kHz信号の1周期の間、消費電流が増加します。
- (2) 以下のメモリ非実装領域をアクセスするようなプログラムを作成した場合、正常な動作を保証することはできません。
S1C63406: F078H ~ F0FFH、F101H、F103H、...、F177H
S1C63408: F078H ~ F0FFH、F178H ~ F1FFH、F201H、F203H、...、F277H
- (3) イニシャルリセット時、表示メモリの内容およびLC3 ~ LC9(LCDコントラスト)は不定となりますので、ソフトウェアにより初期化する必要があります。また、表示もすべてOFFとなるように各レジスタ LPWR、ALOFF が設定されますので注意してください。

計時タイマ

- (1) データの読み出しは必ず下位データ(TM0 ~ TM3)から先に行ってください。
- (2) OSC1発振回路としてCR発振回路がマスクオプションで選択された場合にはfosc1が60kHz(Typ.)になりますので、記載されているすべての周波数、時間等が異なります。よって、時計機能に用いることはできません。

ストップウォッチタイマ

- (1) RUN状態でカウンタのデータを読み出す場合、一度停止させてから読み出し、再度SWRUN="1"にしてください。また、この場合の停止期間は976μsec(256Hzの1/4周期)以内である必要があります。
- (2) OSC1発振回路としてCR発振回路がマスクオプションで選択された場合にはfosc1が60kHz(Typ.)になりますので、記載されているすべての周波数、時間等が異なります。よって、ストップウォッチ機能を実現することはできません。

プログラブルタイマ

- (1) カウンタデータの読み出しは必ず下位4ビット(PTD00~PTD03, PTD10~PTD13)から先に行ってください。また、下位4ビット(PTD00~PTD03, PTD10~PTD13)と上位4ビット(PTD04~PTD07, PTD14~PTD17)の読み出しの時間差は0.73msec($f_{osc1} = 32.768\text{kHz}$ の場合)以下としてください。
- (2) プログラブルタイマはレジスタPTRUN0/PTRUN1への書き込みに対して、入力クロックの立ち下がりでエッジに同期して実際にRUN/STOP状態となります。
したがって、PTRUN0/PTRUN1に"0"を書き込んだ場合は、"-1"余分にカウントしたところでタイマが停止状態となります。また、このときPTRUN0/PTRUN1は実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。

図5.2.1にRUN/STOP制御のタイミングチャートを示します。

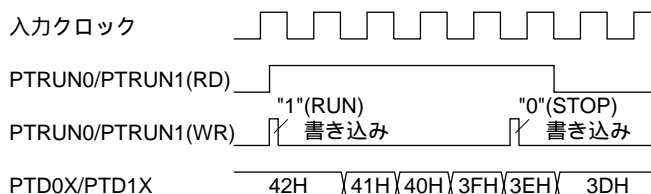


図5.2.1 RUN/STOP制御のタイミングチャート

なお、これについてはイベントカウンタも対象となるため、RUN/STOPレジスタ(PTRUN0)を設定後にクロック入力がない場合、カウンタ回路は実際にはRUN/STOP状態になりませんので注意してください。

- (3) TOUT信号は出力制御レジスタPTOUTとは非同期に発生していますので、PTOUTの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- (4) OSC3発振回路を原振とする場合は、プログラブルタイマを使用する以前にOSC3発振回路をONさせる必要があります。ただし、OSC3発振回路をONにしてから発振が安定するまでに5msec以上の時間を必要とします。したがって、プログラブルタイマのカウント開始はOSC3発振ON後、十分な待ち時間をおいてから行ってください。OSC3の制御方法と注意事項については"4.3 発振回路"を参照してください。イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。
- (5) プログラブルタイマ動作中にプログラブルタイマ割り込み発生間隔を変更する場合、以下の理由によりリロードデータを書き込むタイミングに注意が必要です。
プログラブルタイマは入力クロックの立ち下がりでエッジでダウンカウントを行い、そこでアンダーフローが発生した場合は同時に割り込みを発生します。その後、リロードデータをカウンタにセットする動作を開始し、入力クロックの次の立ち上がりエッジでカウンタデータが確定します(の区間)。

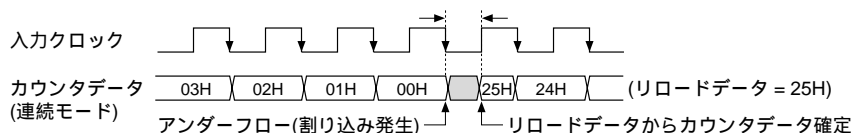


図5.2.2 プログラブルタイマリロードタイミング

リロードデータを正しくカウンタにセットするために、割り込み発生後はの区間を含め、カウンタデータが確定するまではリロードデータの書き換えを行わないでください。入力クロックの源振にOSC1(低速クロック)を使用し、CPUがOSC3(高速クロック)で動作している場合は、特に注意が必要です。

シリアルインタフェース

- (1) シリアルインタフェースのモード初期設定は、送受信が禁止の状態(TXEN=RXEN="0")で行ってください。
- (2) シリアルインタフェースが送信(受信)中のときは、TXTRG(RXTRG)に対して二重トリガ("1"書き込み)は行わないでください。

- (3) クロック同期式モードでは1本のクロックライン($\overline{\text{SCLK}}$)を送受信で共用するため、送信と受信を同時に行うことはできません。したがって、TXTRG(RXTRG)が"1"の最中はRXTRG(TXTRG)に"1"は書き込まないでください。
- (4) 調歩同期式モードにおいて、受信時にパリティエラーおよびフレーミングエラーが発生した場合は受信エラー割り込み要因フラグISERは、受信完了割り込み要因フラグISRCに対して表5.2.1に示す時間早く"1"にセットされます。したがって、エラー処理ルーチン等で待ち時間を設けて、受信完了割り込み要因フラグISRCを"0"にリセットしてください。なお、オーバーランエラー発生時には受信完了割り込み要因フラグISRCは"1"にセットされず、受信完了割り込みも発生しません。

表5.2.1 エラー発生時のISERとISRCの時間差

クロック源	時間差
fosc3 / n	fosc3 / n の1/2周期
プログラマブルタイマ	タイマ1アンダーフローの1周期

- (5) OSC3発振回路の分周信号をクロック源とする場合は、シリアルインタフェースを使用する前にOSC3の発振をONさせる必要があります。なお、OSC3発振回路をONにしてから発振が安定するまでに5msecの時間を必要とします。したがって、シリアルインタフェースの送受信開始はOSC3発振ONの後、充分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電气的特性"に発振開始時間の一例を示しますので参照してください。)
イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。
- (6) シリアルインタフェースのクロック周波数は、最大2MHzに制限されます。

SVD回路

- (1) SVD回路はONさせてから安定した結果が得られるまでに100μsecの時間を必要とします。このため、SVDONに"1"を書き込み後、100μsec以上経過後にSVDONに"0"を書き込んでSVDDETを読み出してください。
- (2) SVD検出動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD検出をOFFに設定してください。

重負荷保護機能

重負荷保護モードでは通常動作モードより消費電流が多くなります。したがって、必要なとき以外はソフトウェアで重負荷保護モードに設定しないように注意してください。

割り込み

- (1) 各割り込み要因フラグは、各割り込みマスクレジスタを"0"に設定していても、割り込み条件成立によりセットされます。
- (2) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- (3) イニシャルリセット時、NMIを含むすべての割り込みはスタックポイントSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み(NMIを含む)は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。
- (4) SLEEP機能を使用する場合、SLP命令を実行する前にインタラプトフラグおよびSLEEP解除に使用する入力ポートの制御レジスタを以下のとおり設定しておく必要があります。
- インタラプトフラグ(Iフラグ)= "1"(割り込みを許可)
 - 割り込み選択レジスタSIK0x = "1"(K0x入力ポート割り込みを選択)
 - 割り込みマスクレジスタEIK0x = "1"(K0x入力ポート割り込みを許可)
 - ノイズリジェクタ選択レジスタK0NR1、K0NR0 = "00"(ノイズリジェクタをバイパス)

5.3 実装上の注意事項

発振回路

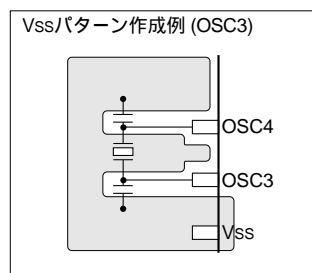
発振特性は諸条件(使用部品、基板パターン等)により変化します。

特にセラミック発振子または水晶振動子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。

ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1) OSC1、OSC3、OSC2、OSC4端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
- (2) OSC1、OSC3、OSC2、OSC4端子およびこれらの端子に接続された部品の周辺部は右図のようにVssパターンをできるだけ広く作成してください。
また、このVssパターンは発振用途以外に使用しないでください。

OSC1(OSC3) - VDD間のリーク電流による発振回路の不安定動作を防止するため、基板パターンにおいて、OSC1(OSC3)はVDD電源や信号線とは十分な距離を確保してください。



リセット回路

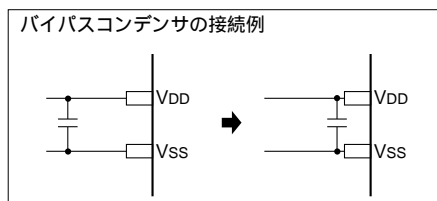
パワーオン時、RESET端子に入力されるリセット信号は諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。
また、RESET端子のプルアップ抵抗を使用する場合には、抵抗値のばらつきを十分考慮した定数設定が必要です。

ノイズによる動作中のリセットを防ぐため、RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

電源回路

ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1) 電源からVDD、Vss端子へはできるだけ短くかつ太いパターンで接続してください。
- (2) VDD - Vssのバイパスコンデンサを接続する場合、VDD端子とVss端子をできるだけ最短で接続してください。



- (3) VD1、VC1 ~ VC5端子に接続するコンデンサ、抵抗等の部品はできるだけ最短で接続してください。
特にVC1 ~ VC5の各電圧はLCD駆動として用いるため表示品質に影響を与えます。

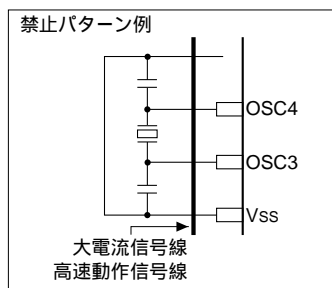
LCDドライバを使用しない場合は、VC1 ~ VC5端子を開放としてください。

信号線の配置

相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。

高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。

特に、発振部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。

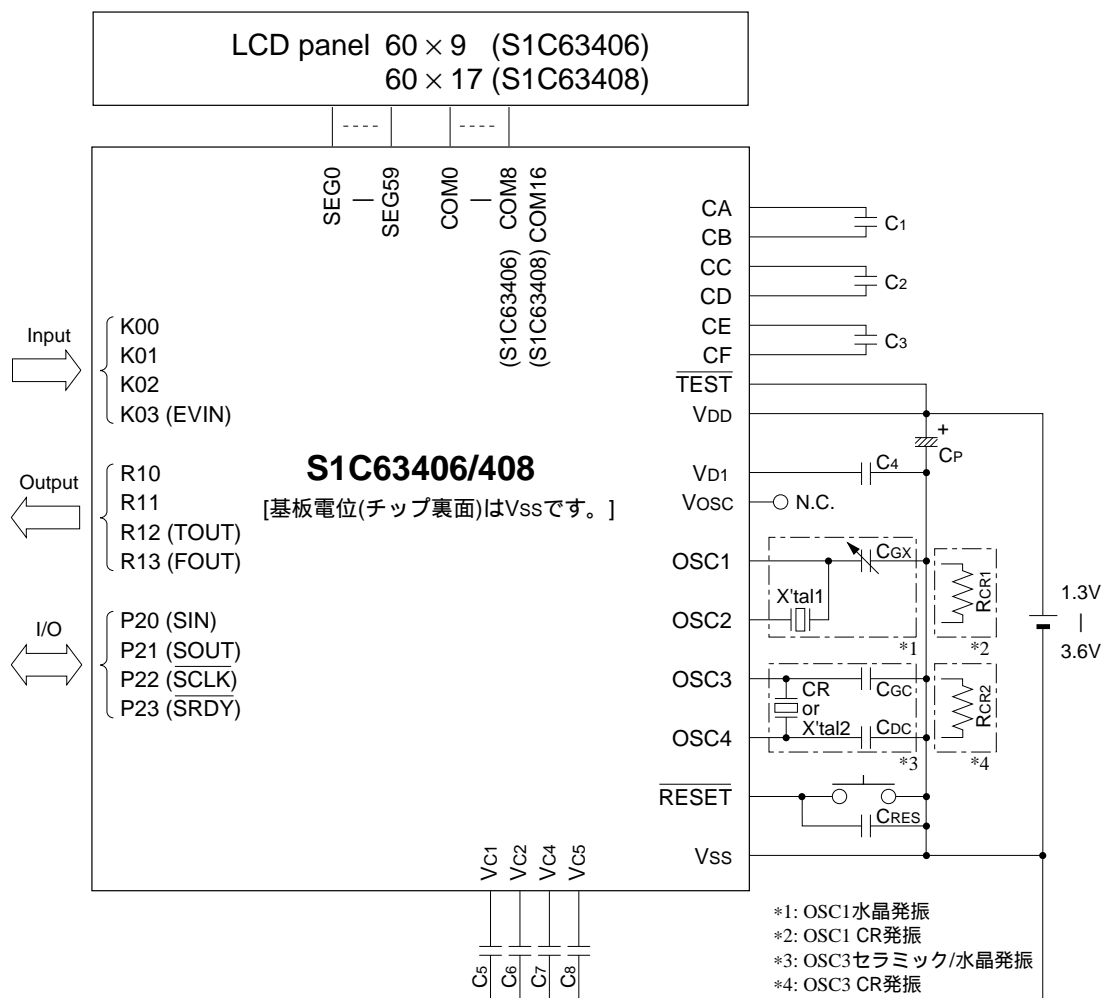


光に対する取り扱い(ベアチップ実装の場合)

半導体素子は、光が照射されると特性が変化します。このため、本ICに光が当たると誤動作をおこすことがあります。光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。

- (1)実使用時にICの遮光性が考慮された構造となるよう設計および実装を行ってください。
- (2)検査工程では、ICの遮光性が考慮された環境設計を行ってください。
- (3)ICの遮光は、ICチップの表面、裏面および側面について考慮してください。

6 基本外部結線図



X'tal1	水晶振動子	32.768kHz, C _i (Max.) = 34kΩ
CGX	トリマコンデンサ	5~25pF
RCR1	OSC1 CR発振用抵抗	680kΩ (60kHz)
CR	セラミック振動子	3.58MHz
X'tal2	水晶振動子	4MHz
CGC	ゲート容量	30pF (セラミック発振), 15pF (水晶発振)
CDC	ドレイン容量	30pF (セラミック発振), 15pF (水晶発振)
RCR2	OSC3 CR発振用抵抗	820Ω (2MHz, V _{D1} = 1.5V)
C1~C8	コンデンサ	0.1μF
CP	コンデンサ	3.3μF
CRES	RESET端子コンデンサ	0.47μF (内蔵リセット回路使用時は0.01μF)

注: ここに記載されている値は一例であり、特に動作を保証するものではありません。

7 電気的特性

7.1 絶対最大定格

(V_{SS}=0V)

項 目	記号	定 格 値	単位
電源電圧	V _{DD}	-0.5 ~ 4.7	V
入力電圧(1)	V _I	-0.5 ~ V _{DD} + 0.3	V
入力電圧(2)	V _I OSC	-0.5 ~ V _{D1} + 0.3	V
許容総出力電流 *1	ΣI _{VDD}	10	mA
動作温度	T _{opr}	-40 ~ 85	°C
保存温度	T _{stg}	-65 ~ 150	°C
半田付け温度・時間	T _{sol}	260°C, 10sec (リード部)	—
許容損失 *2	P _d	250	mW

*1 許容総出力電流とは出力端子から同時に流し出せる(または引き込める)電流(平均電流)の総和です。

*2 プラスチックパッケージの場合

7.2 推奨動作条件

(Ta=-40 ~ 85°C)

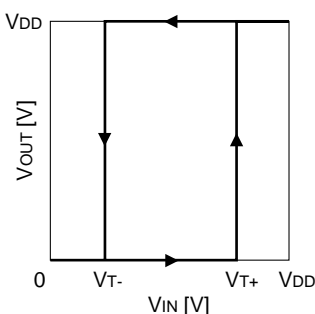
項 目	記号	条 件	Min.	Typ.	Max.	単位
電源電圧	V _{DD}	V _{SS} =0V, OSC3=OFF, OSC1=80kHz Max.	1.3		3.6	V
		V _{SS} =0V, OSC3=700kHz Max.	1.4		3.6	V
		V _{SS} =0V, OSC3=2.2MHz Max.	1.6		3.6	V
		V _{SS} =0V, OSC3=4.2MHz Max.	1.8		3.6	V
発振周波数	f _{OSC1}	水晶発振	30	32.768	80	kHz
		CR発振	30	60	80	kHz
	f _{OSC3}	V _{DD} =1.4~3.6V, CR発振	30	500	700	kHz
		V _{DD} =1.6~3.6V, CR発振	0.03	1	2.2	MHz
		V _{DD} =1.8~3.6V, CR発振	0.03	2	4.2	MHz
		V _{DD} =1.8~3.6V, セラミック発振	0.03	3.58	4.2	MHz
		V _{DD} =1.8~3.6V, 水晶発振	0.03	4	4.2	MHz

7.3 DC特性

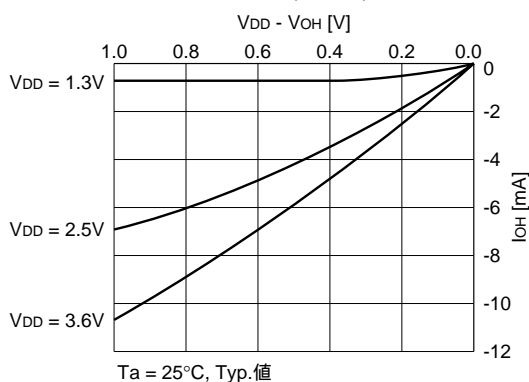
特記なき場合: $V_{DD}=3.6V$, $V_{SS}=0V$, $T_a=25^{\circ}C$, $V_{D1}/V_{OSC}/V_{C1}/V_{C2}/V_{C4}/V_{C5}$ は内部電圧, $C1\sim C8=0.1\mu F$

項 目	記号	条 件	Min.	Typ.	Max.	単位
高レベル入力電圧	V_{IH}	K0x	$0.8 \cdot V_{DD}$		V_{DD}	V
低レベル入力電圧	V_{IL}	K0x	0		$0.2 \cdot V_{DD}$	V
高レベルシュミット入力電圧	V_{T+}	P2x, RESET, TEST	$0.5 \cdot V_{DD}$		$0.9 \cdot V_{DD}$	V
低レベルシュミット入力電圧	V_{T-}	P2x, RESET, TEST	$0.1 \cdot V_{DD}$		$0.5 \cdot V_{DD}$	V
入力リーク電流	I_{LIH}	K0x, P2x, RESET, TEST	-1.0		1.0	μA
	I_{LIL}	K0x, P2x	-1.0		1.0	μA
入力プルアップ抵抗	R_{IN}	K0x, P2x, RESET, TEST	100	300	500	k Ω
入力端子容量	C_{IN}	$V_{IN}=0V$, $f=32kHz$			15	pF
高レベル出力電流 *1	I_{OH}	$V_{OH1}=0.9 \cdot V_{DD}$, $V_{DD}=1.3V$			-0.3	mA
低レベル出力電流 *1	I_{OL}	$V_{OL1}=0.1 \cdot V_{DD}$, $V_{DD}=1.3V$	0.3			mA
出力リーク電流	I_{LOH}	R1x, P2x	-1.0		1.0	μA
	I_{LOL}	R1x, P2x	-1.0		1.0	μA
コモン出力電流	I_{COMH}	$V_{COMH}=V_{C5}-0.05V$			-25	μA
	I_{COML}	$V_{COML}=V_{SS}+0.05V$	25			μA
セグメント出力電流	I_{SEGH}	$V_{SEGH}=V_{C5}-0.05V$			-10	μA
	I_{SEGL}	$V_{SEGL}=V_{SS}+0.05V$	10			μA

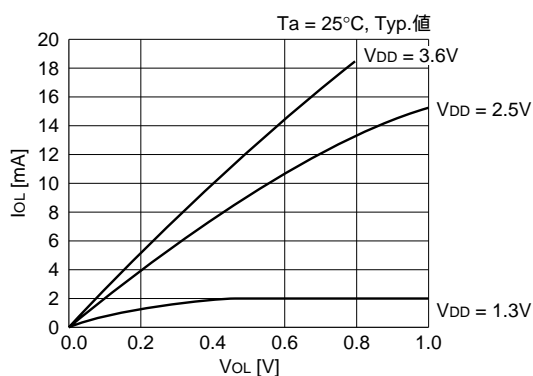
*1 実際の出力電流の値は、グラフを参考にしてください。



高レベル出力電流特性グラフ(参考値)



低レベル出力電流特性グラフ(参考値)



注: 許容総出力電流の限界を越えない範囲で使用してください。

7.4 アナログ回路特性/消費電流

LCDドライバ

特記なき場合:

V_{DD}=3.6V, V_{SS}=0V, f_{OSC1}=32.768kHz, C_G=5pF, T_a=25°C, V_{D1}/V_{OSC}/V_{C1}/V_{C2}/V_{C4}/V_{C5}は内部電圧, C₁~C₈=0.1μF

項 目	記号	条 件	Min.	Typ.	Max.	単位
LCD駆動電圧 (V _{C1} 基準選択時)	V _{C1}	V _{SS} -V _{C1} 間に1MΩの負荷抵抗を接続 (パネル負荷なし)	Typ. ×0.88	LC0~3="0"	0.98	Typ. ×1.12
				LC0~3="1"	0.99	
				LC0~3="2"	1.01	
				LC0~3="3"	1.02	
				LC0~3="4"	1.04	
				LC0~3="5"	1.05	
				LC0~3="6"	1.07	
				LC0~3="7"	1.08	
				LC0~3="8"	1.10	
				LC0~3="9"	1.11	
				LC0~3="10"	1.13	
				LC0~3="11"	1.14	
				LC0~3="12"	1.16	
				LC0~3="13"	1.17	
				LC0~3="14"	1.19	
				LC0~3="15"	1.20	
LCD駆動電圧 (V _{C2} 基準選択時)	V _{C2}	V _{SS} -V _{C2} 間に1MΩの負荷抵抗を接続 (パネル負荷なし)	2·V _{C1} ×0.9		2·V _{C1}	V
	V _{C4}	V _{SS} -V _{C4} 間に1MΩの負荷抵抗を接続 (パネル負荷なし)	3·V _{C1} ×0.9		3·V _{C1}	V
	V _{C5}	V _{SS} -V _{C5} 間に1MΩの負荷抵抗を接続 (パネル負荷なし)	4·V _{C1} ×0.9		4·V _{C1}	V
	V _{C1}	V _{SS} -V _{C1} 間に1MΩの負荷抵抗を接続 (パネル負荷なし)	1/2·V _{C2} ×0.95		1/2·V _{C2} +0.1	V
	V _{C2}	V _{SS} -V _{C2} 間に1MΩの負荷抵抗を接続 (パネル負荷なし)	Typ. ×0.88	LC0~3="0"	1.95	Typ. ×1.12
				LC0~3="1"	1.98	
				LC0~3="2"	2.01	
				LC0~3="3"	2.04	
				LC0~3="4"	2.07	
				LC0~3="5"	2.10	
				LC0~3="6"	2.13	
				LC0~3="7"	2.16	
				LC0~3="8"	2.19	
				LC0~3="9"	2.22	
				LC0~3="10"	2.25	
				LC0~3="11"	2.28	
				LC0~3="12"	2.31	
				LC0~3="13"	2.34	
				LC0~3="14"	2.37	
				LC0~3="15"	2.40	
	V _{C4}	V _{SS} -V _{C4} 間に1MΩの負荷抵抗を接続 (パネル負荷なし)	3/2·V _{C2} ×0.95		3/2·V _{C2}	V
	V _{C5}	V _{SS} -V _{C5} 間に1MΩの負荷抵抗を接続 (パネル負荷なし)	2·V _{C2} ×0.95		2·V _{C2}	V

SVD回路

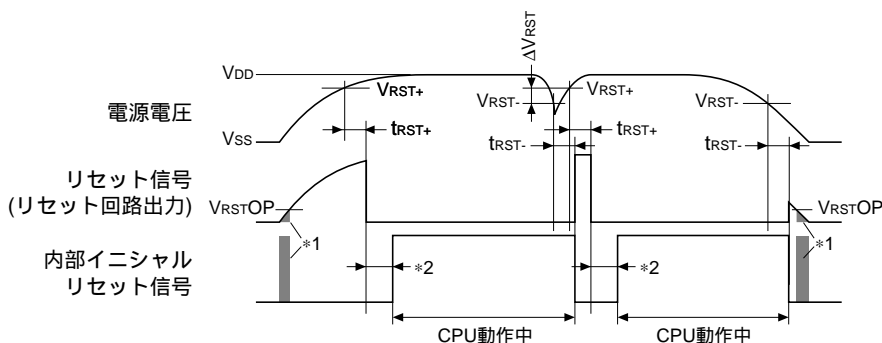
特記なき場合: $V_{SS}=0V$, $T_a=25^{\circ}C$

項 目	記号	条 件	Min.	Typ.	Max.	単位
SVD電圧	VSVD	SVDS0~3="0"	Typ. $\times 0.93$	1.30	Typ. $\times 1.07$	V
		SVDS0~3="1"		1.40		
		SVDS0~3="2"		1.50		
		SVDS0~3="3"		1.60		
		SVDS0~3="4"		1.70		
		SVDS0~3="5"		1.80		
		SVDS0~3="6"		1.90		
		SVDS0~3="7"		2.00		
		SVDS0~3="8"		2.10		
		SVDS0~3="9"		2.20		
		SVDS0~3="10"		2.30		
		SVDS0~3="11"		2.40		
		SVDS0~3="12"		2.50		
		SVDS0~3="13"		2.60		
		SVDS0~3="14"		2.70		
		SVDS0~3="15"		2.80		
SVD回路応答時間	t _{SVD}				100	μs

リセット回路

特記なき場合: $V_{DD}=3.6V$, $V_{SS}=0V$, $C_{res}=0.01\mu F$, $T_a=25^{\circ}C$

項 目	記号	条 件	Min.	Typ.	Max.	単位
リセット検出電圧	VRST+	$V_{DD}=L \rightarrow H$	Typ. $\times 0.99$	1.72	Typ. $\times 1.01$	V
				1.52		V
				1.32		V
	VRST-	$V_{DD}=H \rightarrow L$	Typ. $\times 0.99$	1.68	Typ. $\times 1.01$	V
				1.48		V
				1.28		V
ヒステリシス電圧	$\Delta VRST$	$V_{DD}=L \rightarrow H \rightarrow L$	30	40	50	mV
検出電圧温度係数	$VRST/\Delta T$	$T_a=-40\sim+85^{\circ}C$		-0.06		$\%/^{\circ}C$
リセット回路応答時間	trst+	$(VRST-[Typ.]-0.2V) \rightarrow (VRST+[Typ.]+0.2V)$			30	μs
					30	μs
					30	μs
	trst-	$(VRST-[Typ.]+0.2V) \rightarrow (VRST+[Typ.]-0.2V)$			20	μs
					20	μs
					20	μs
動作限界電圧	VRSTOP			0.65	0.95	V



*1 リセット不定領域

*2 リセット保持期間 — C_{res} 推奨値使用の場合、 $1024/f_{osc1} [s] + 3 ms (max.)$
リセット保持期間は C_{res} の値によって変化します。

消費電流

特記なき場合:

VDD=3.6V, VSS=0V, Ta=25°C, VDI/VOSC/VC1/VC2/VC4/VC5は内部電圧, C1~C8=0.1μF, LCDパネル負荷なし, 非重負荷保護モード

項 目	記号	条 件	Min.	Typ.	Max.	単位
SLEEP時消費電流	ISLP	OSC1=32kHz水晶発振 液晶OFF *1		1.2	2.5	μA
HALT時消費電流	IHALT1	OSC1=32kHz水晶発振 液晶OFF *2		1.3	2.6	μA
		液晶ON (VC1基準) *2		3.0	6	μA
		液晶ON (VC2基準) *2		2.5	5	μA
	IHALT2	OSC1=60kHz CR発振 液晶OFF *2		3.5	7	μA
		液晶ON (VC1基準) *2		6.2	13	μA
		液晶ON (VC2基準) *2		4.6	10	μA
	IHALT3	OSC1=32kHz水晶発振 リセット回路(1.8Vオプション) *3		3.2	7	μA
		液晶OFF リセット回路(1.6Vオプション) *3		3.5	7.5	μA
		リセット回路(1.4Vオプション) *3		3.8	8	μA
実行時消費電流	IEXE	OSC1=32kHz水晶発振 液晶OFF *2		3.0	5	μA
		OSC1=60kHz CR発振 液晶OFF *2		7.0	10	μA
		OSC3=500kHz CR発振 液晶OFF *4		90	200	μA
		OSC3=1MHz CR発振 液晶OFF *4		200	400	μA
		OSC3=2MHz CR発振 液晶OFF *4		350	700	μA
		OSC3=3.58MHzセラミック発振 液晶OFF *4		500	1000	μA
		OSC3=4MHz水晶発振 液晶OFF *4		550	1200	μA
		OSC1=32kHz水晶発振 HLMODレジスタ="1" 液晶OFF *2		30	45	μA
リセット時消費電流	IRSTON	OSC1=32kHz水晶発振, VDD=1.29V時 リセット回路オプション選択時 *5		17	25	μA
LCD回路電流	ILCD1	VDD=3.6V, VC1基準, fOSC1=32.768kHz *6		1.7	4	μA
	ILCD2	VDD=3.6V, VC2基準, fOSC1=32.768kHz *6		1.2	3	μA
SVD回路電流	ISVD	VDD=1.3~3.6V, 電源電圧検出動作時		5.5	7	μA
リセット回路電流	IRST	VDD=3.6V *7		2.5	4	μA

*1 OSC1=ON(ただし、周辺回路および分周回路へのクロック供給停止), OSC3=OFF, CPUクロック=OSC1, SVD=OFF, リセット回路非選択

*2 OSC1=ON, OSC3=OFF, CPUクロック=OSC1, SVD=OFF, リセット回路非選択

*3 OSC1=ON, OSC3=OFF, CPUクロック=OSC1, SVD=OFF, リセット回路選択

*4 OSC1=ON, OSC3=ON, CPUクロック=OSC3, SVD=OFF, リセット回路非選択

*5 リセット回路の電源検出によるリセット状態, OSC1=ON, OSC3=ON, CPUクロック=OSC3, SVD=OFF, リセット回路選択, 液晶OFF, 消費電流はVDDが高くなるほど大きくなります。

*6 LPWR="1"時、2kHzの間消費電流は一時的に増加しますが、その後減少し安定します。また、LCD回路の消費電流はOSC1のクロック周波数により異なります。

*7 リセット回路の消費電流は、選択したオプションにより若干異なります。上記は1.4Vオプション選択時(同一のVDD値の場合、1.4Vオプションが最も消費電流が大きくなります。)

7.5 発振特性

発振特性は諸条件(使用部品、基板パターン等)により変化します。以下の特性は参考値としてご使用ください。

OSC1 水晶発振回路

特記なき場合: $V_{DD}=1.3 \sim 3.6V$, $V_{SS}=0V$, $f_{OSC1}=32.768kHz$, $C_G=25pF$, C_D =内蔵, $T_a=-40 \sim 85^\circ C$

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振開始時間	tsta				3	s
内蔵容量(ドレイン)	C_D	IC内部の寄生容量を含む(チップ状態)		14		pF
周波数電圧偏差	$\Delta f/\Delta V$	$V_{DD}=1.3 \sim 3.6V$			5	ppm
周波数IC偏差	$\Delta f/\Delta IC$		-10		10	ppm
周波数調整範囲	$\Delta f/\Delta C_G$	$C_G=5 \sim 25pF$	10	20		ppm
高調波発振開始電圧	V_{ihh}	$C_G=5pF$ (V_{DD})	3.6			V
許容リーク抵抗	R_{leak}	OSC1と V_{SS} の間	200			M Ω

OSC1 CR発振回路

特記なき場合: $V_{DD}=1.3 \sim 3.6V$, $V_{SS}=0V$, $R_{CR1}=680k\Omega$, $T_a=-40 \sim 85^\circ C$

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振周波数バラツキ	fosc1	R_{CR1} =一定	-25		25	%
発振開始時間	tsta				100	μs

OSC3 セラミック発振回路

特記なき場合: $V_{DD}=1.8 \sim 3.6V$, $V_{SS}=0V$, セラミック振動子: 3.58MHz, $C_{GC}=C_{DC}=30pF$, $T_a=-40 \sim 85^\circ C$

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振開始時間	tsta				5	ms

OSC3 水晶発振回路

特記なき場合: $V_{DD}=1.8 \sim 3.6V$, $V_{SS}=0V$, 水晶振動子: 4MHz, $C_{GC}=C_{DC}=15pF$, $T_a=-40 \sim 85^\circ C$

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振開始時間	tsta				10	ms

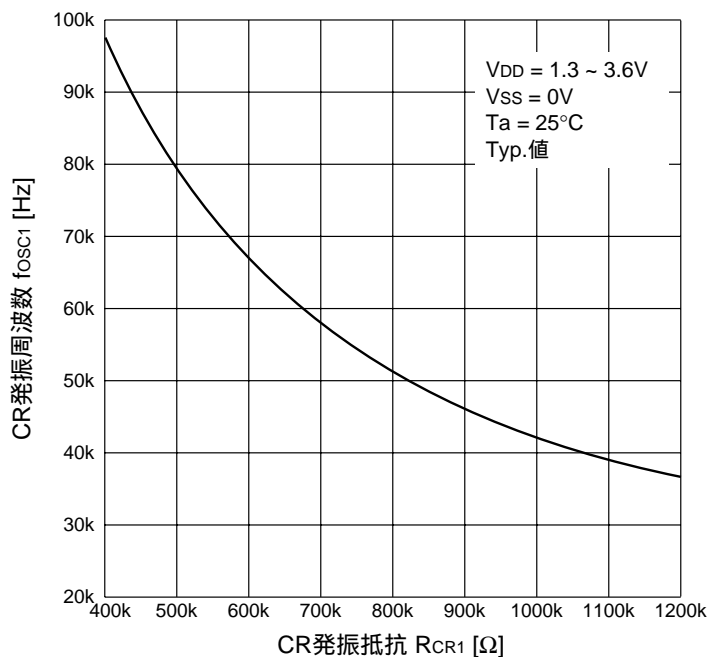
OSC3 CR発振回路

特記なき場合: $V_{DD}=1.4 \sim 3.6V$, $V_{SS}=0V$, $R_{CR2}=100k\Omega$, $T_a=-40 \sim 85^\circ C$

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振周波数バラツキ	fosc3	$V_{DD}=1.8 \sim 3.6V$ ($V_{DC}=3$), R_{CR2} =一定	-25		25	%
		$V_{DD}=1.6 \sim 3.6V$ ($V_{DC}=2$), R_{CR2} =一定	-25		25	%
		$V_{DD}=1.4 \sim 3.6V$ ($V_{DC}=1$), R_{CR2} =一定	-25		25	%
発振開始時間	tsta				100	μs

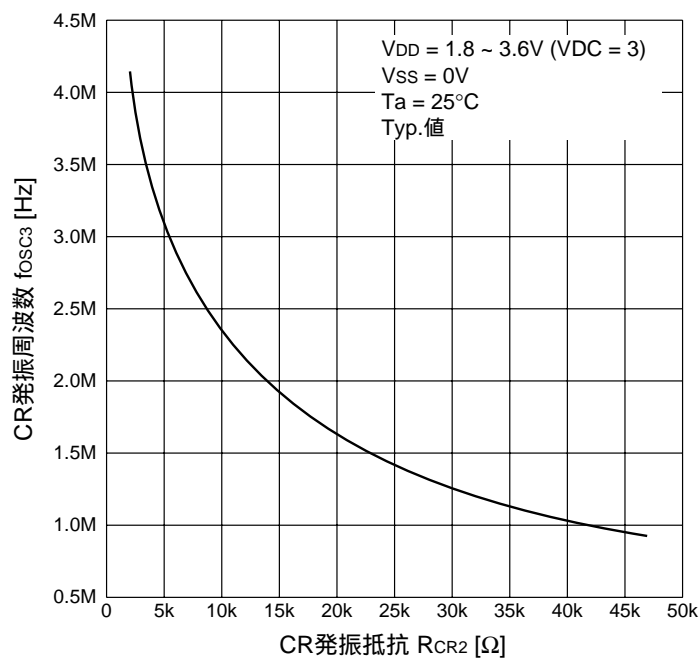
OSC1 CR発振抵抗特性

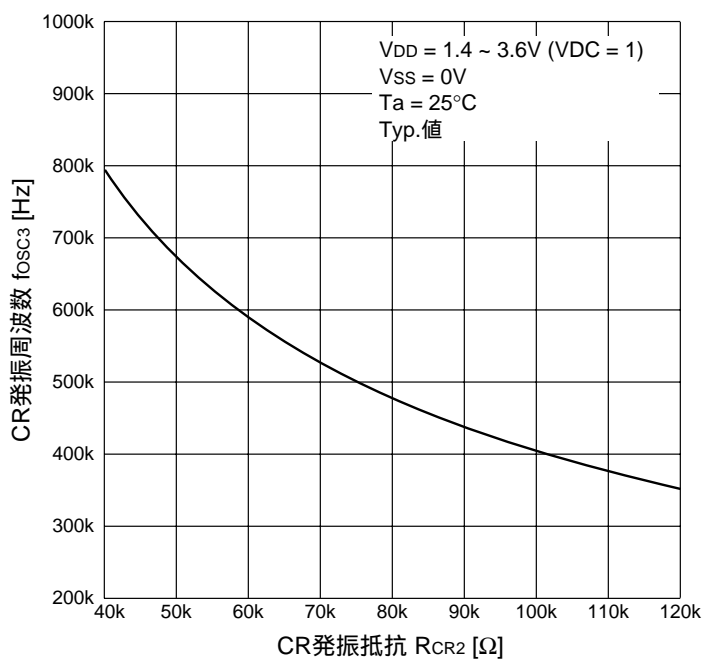
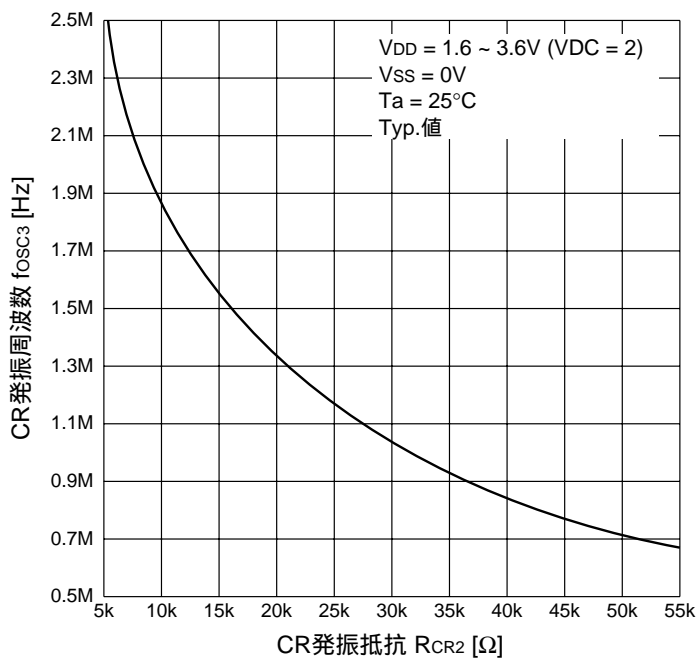
発振特性は諸条件(使用部品、基板パターン等)により変化します。以下の特性は参考値とし、実際の製品で評価されることを推奨します。



OSC3 CR発振抵抗特性

発振特性は諸条件(使用部品、基板パターン等)により変化します。また、 R_{CR2} 10k Ω においては、諸条件により発振が不安定になる可能性があります。以下の特性は参考値とし、必ず実際の製品で評価してください。





7.6 シリアルインタフェースAC特性

1 マスタモード(32kHz動作時)

条件: $V_{DD}=3.0V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$, $V_{IH1}=0.8V_{DD}$, $V_{IL1}=0.2V_{DD}$, $V_{OH}=0.8V_{DD}$, $V_{OL}=0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	t _{smd}			5	μs
受信データ入力セットアップ時間	t _{sms}	10			μs
受信データ入力ホールド時間	t _{smh}	5			μs

2 マスタモード(1MHz動作時)

条件: $V_{DD}=3.0V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$, $V_{IH1}=0.8V_{DD}$, $V_{IL1}=0.2V_{DD}$, $V_{OH}=0.8V_{DD}$, $V_{OL}=0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	t _{smd}			200	ns
受信データ入力セットアップ時間	t _{sms}	400			ns
受信データ入力ホールド時間	t _{smh}	200			ns

クロック周波数は最大2MHzに制限されます。

3 スレーブモード(32kHz動作時)

条件: $V_{DD}=3.0V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$, $V_{IH1}=0.8V_{DD}$, $V_{IL1}=0.2V_{DD}$, $V_{OH}=0.8V_{DD}$, $V_{OL}=0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	t _{ssd}			10	μs
受信データ入力セットアップ時間	t _{sss}	10			μs
受信データ入力ホールド時間	t _{ssh}	5			μs

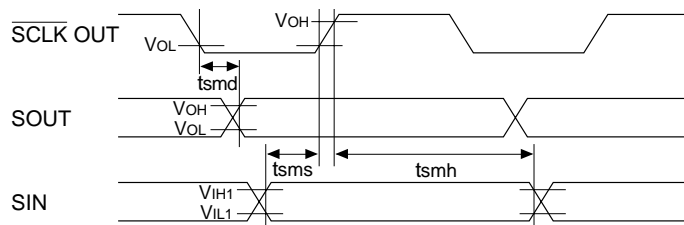
4 スレーブモード(1MHz動作時)

条件: $V_{DD}=3.0V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$, $V_{IH1}=0.8V_{DD}$, $V_{IL1}=0.2V_{DD}$, $V_{OH}=0.8V_{DD}$, $V_{OL}=0.2V_{DD}$

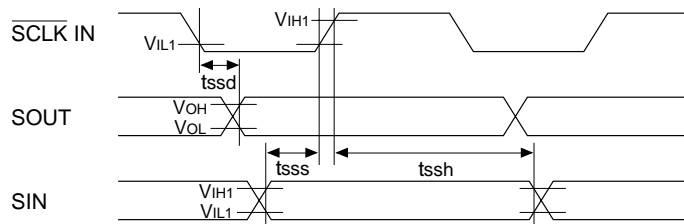
項 目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	t _{ssd}			500	ns
受信データ入力セットアップ時間	t _{sss}	400			ns
受信データ入力ホールド時間	t _{ssh}	200			ns

クロック周波数は最大2MHzに制限されます。

<マスタモード>



<スレーブモード>



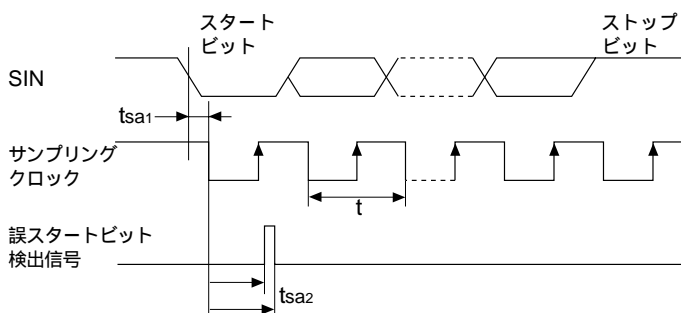
5 調歩同期式

条件: $V_{DD}=1.4 \sim 3.6V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$

項 目	記号	Min.	Typ.	Max.	単位
スタートビット検出誤差時間 *1	t_{sa1}	0		$t/16$	s
誤スタートビット検出範囲時間 *2	t_{sa2}	$9t/16$		$10t/16$	s

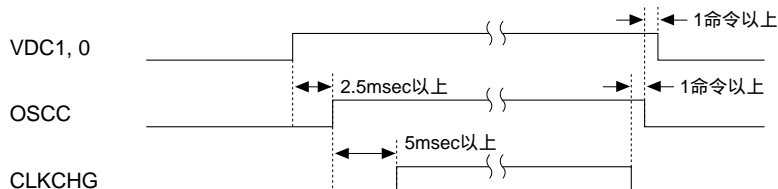
*1 スタートビット検出誤差時間とは、スタートビットが入力されてから内部のサンプリングクロックが動作するまでの論理的遅れ時間。(AC的な時間は含まれません。)

*2 誤スタートビット検出とは、スタートビットを検出し内部のサンプリングクロックが動作した後、再度LOWレベル(スタートビット)が入力されているか検出する論理的な範囲時間。HIGHレベルであった場合、スタートビット検出回路がリセットされ、再度スタートビット検出待ちになります。(AC的な時間は含まれません。)



7.7 タイミングチャート

システムクロック切り換えタイミングチャート

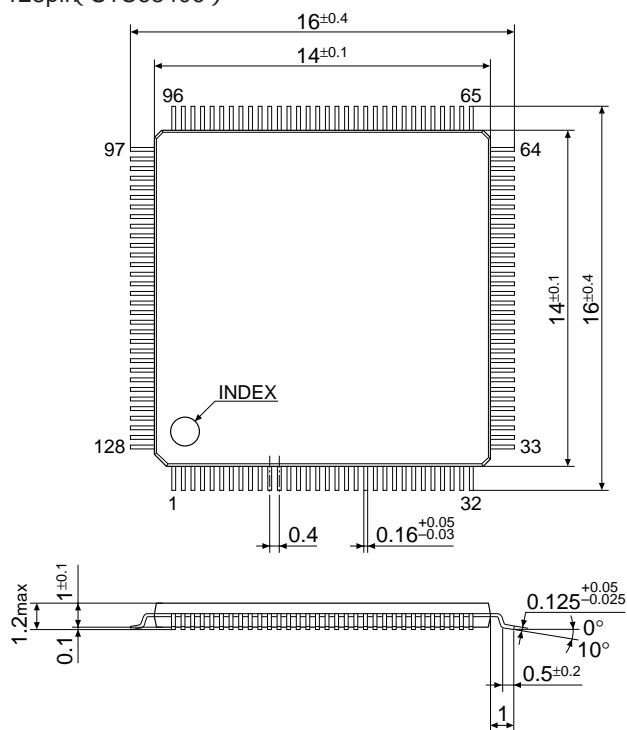


8 パッケージ

8.1 プラスチックパッケージ

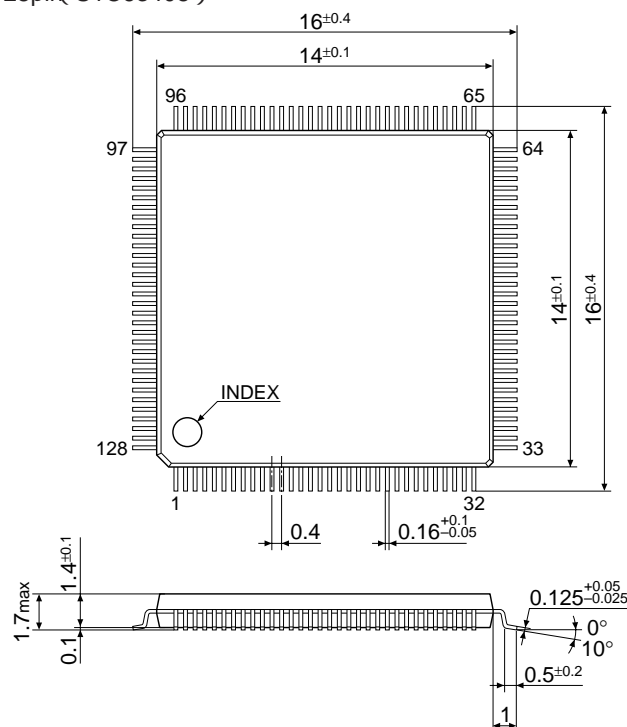
TQFP15-128pin(S1C63406)

(単位: mm)



QFP15-128pin(S1C63408)

(単位: mm)

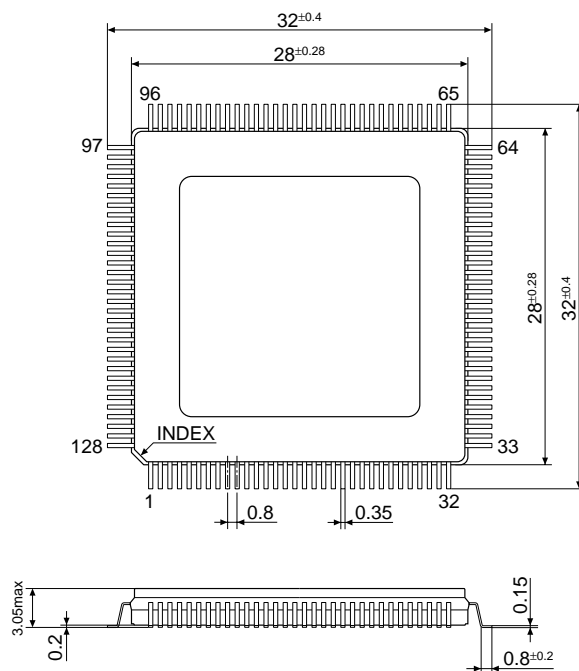


寸法については予告なく変更する場合があります。

8.2 テストサンプル用セラミックパッケージ

QFP8-128pin

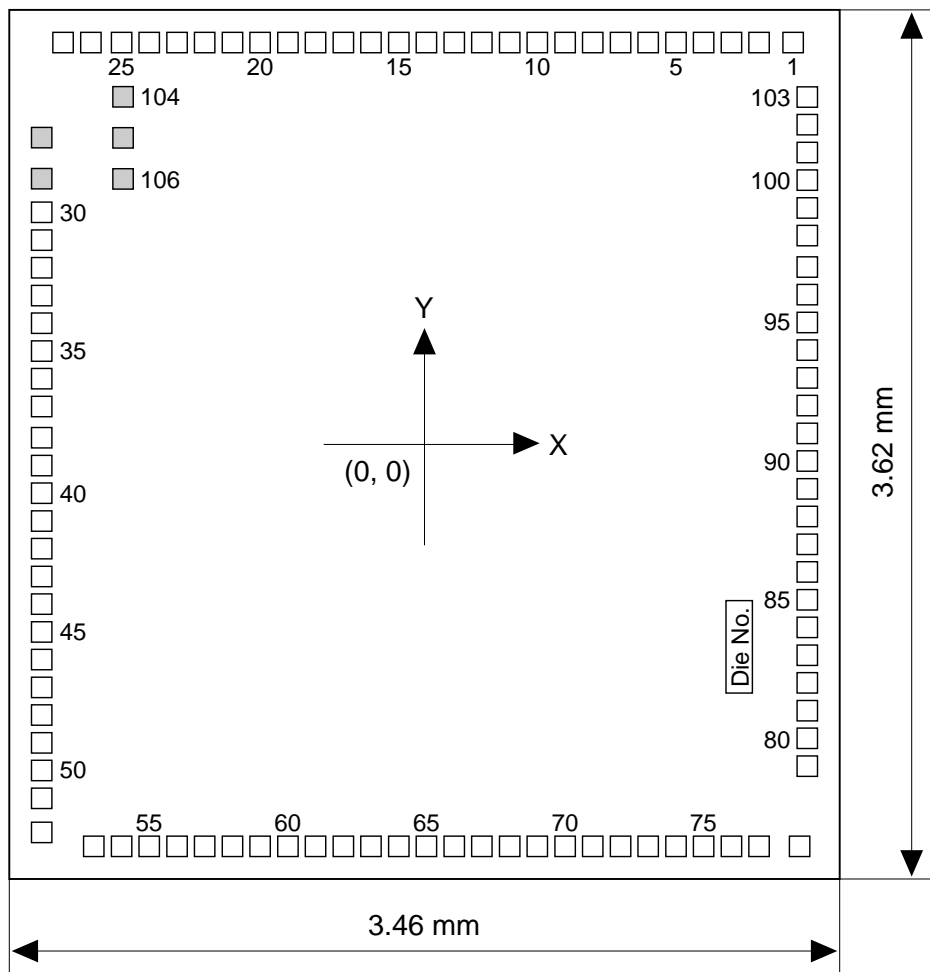
(单位: mm)



9 パッド配置

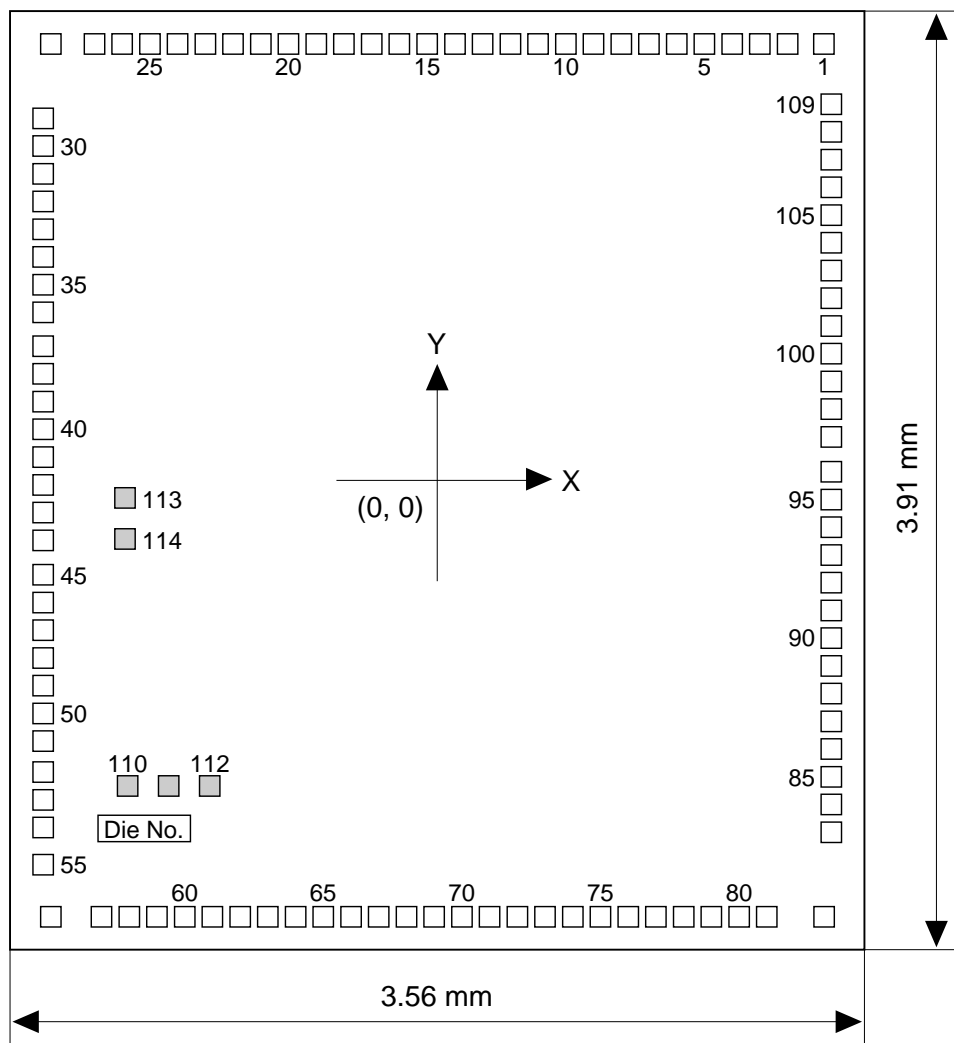
9.1 パッド配置図

S1C63406



チップ厚: 400μm
 パッド開口部: 100μm

S1C63408



チップ厚: 400μm
 パッド開口部: 100μm

9.2 パッド座標

S1C63406

単位: μm

No.	パッド名	X	Y	No.	パッド名	X	Y	No.	パッド名	X	Y
1	CF	1,536	1,674	37	COM7	-1,595	158	73	SEG35	932	-1,674
2	Vc5	1,394	1,674	38	SEG0	-1,595	28	74	SEG36	1,048	-1,674
3	Vc4	1,279	1,674	39	SEG1	-1,595	-88	75	SEG37	1,163	-1,674
4	Vc2	1,163	1,674	40	SEG2	-1,595	-203	76	SEG38	1,279	-1,674
5	Vc1	1,048	1,674	41	SEG3	-1,595	-319	77	SEG39	1,394	-1,674
6	K00	932	1,674	42	SEG4	-1,595	-434	78	SEG40	1,563	-1,674
7	K01	817	1,674	43	SEG5	-1,595	-550	79	SEG41	1,595	-1,340
8	K02	701	1,674	44	SEG6	-1,595	-665	80	SEG42	1,595	-1,224
9	K03	586	1,674	45	SEG7	-1,595	-781	81	SEG43	1,595	-1,109
10	R10	470	1,674	46	SEG8	-1,595	-896	82	SEG44	1,595	-993
11	R11	355	1,674	47	SEG9	-1,595	-1,012	83	SEG45	1,595	-878
12	R12	239	1,674	48	SEG10	-1,595	-1,127	84	SEG46	1,595	-762
13	R13	124	1,674	49	SEG11	-1,595	-1,243	85	SEG47	1,595	-647
14	P20	8	1,674	50	SEG12	-1,595	-1,358	86	SEG48	1,595	-531
15	P21	-107	1,674	51	SEG13	-1,595	-1,474	87	SEG49	1,595	-416
16	P22	-223	1,674	52	SEG14	-1,595	-1,616	88	SEG50	1,595	-300
17	P23	-338	1,674	53	SEG15	-1,378	-1,674	89	SEG51	1,595	-185
18	VDD	-454	1,674	54	SEG16	-1,262	-1,674	90	SEG52	1,595	-69
19	Vd1	-569	1,674	55	SEG17	-1,147	-1,674	91	SEG53	1,595	46
20	OSC4	-685	1,674	56	SEG18	-1,031	-1,674	92	SEG54	1,595	162
21	OSC3	-800	1,674	57	SEG19	-916	-1,674	93	SEG55	1,595	277
22	Vosc	-916	1,674	58	SEG20	-800	-1,674	94	SEG56	1,595	393
23	OSC2	-1,031	1,674	59	SEG21	-685	-1,674	95	SEG57	1,595	508
24	OSC1	-1,147	1,674	60	SEG22	-569	-1,674	96	SEG58	1,595	624
25	Vss	-1,262	1,674	61	SEG23	-454	-1,674	97	SEG59	1,595	739
26	RESET	-1,390	1,674	62	SEG24	-338	-1,674	98	COM8	1,595	870
27	TEST	-1,506	1,674	63	SEG25	-223	-1,674	99	CA	1,595	985
28	N.C.	-1,595	1,278	64	SEG26	-107	-1,674	100	CB	1,595	1,101
29	N.C.	-1,595	1,107	65	SEG27	8	-1,674	101	CC	1,595	1,216
30	COM0	-1,595	967	66	SEG28	124	-1,674	102	CD	1,595	1,332
31	COM1	-1,595	851	67	SEG29	239	-1,674	103	CE	1,595	1,447
32	COM2	-1,595	736	68	SEG30	355	-1,674	104	N.C.	-1,256	1,448
33	COM3	-1,595	620	69	SEG31	470	-1,674	105	N.C.	-1,256	1,277
34	COM4	-1,595	505	70	SEG32	586	-1,674	106	N.C.	-1,256	1,106
35	COM5	-1,595	389	71	SEG33	701	-1,674	-			
36	COM6	-1,595	274	72	SEG34	817	-1,674	-			

S1C63408

単位: μm

No.	パッド名	X	Y	No.	パッド名	X	Y	No.	パッド名	X	Y
1	CE	1,611	1,818	39	SEG2	-1,642	328	77	SEG40	911	-1,818
2	CF	1,460	1,818	40	SEG3	-1,642	213	78	SEG41	1,027	-1,818
3	Vc5	1,344	1,818	41	SEG4	-1,642	97	79	SEG42	1,142	-1,818
4	Vc4	1,229	1,818	42	SEG5	-1,642	-19	80	SEG43	1,258	-1,818
5	Vc2	1,113	1,818	43	SEG6	-1,642	-134	81	SEG44	1,373	-1,818
6	Vc1	998	1,818	44	SEG7	-1,642	-250	82	SEG45	1,612	-1,818
7	K00	882	1,818	45	SEG8	-1,642	-393	83	SEG46	1,642	-1,466
8	K01	767	1,818	46	SEG9	-1,642	-509	84	SEG47	1,642	-1,350
9	K02	651	1,818	47	SEG10	-1,642	-624	85	SEG48	1,642	-1,235
10	K03	536	1,818	48	SEG11	-1,642	-740	86	SEG49	1,642	-1,119
11	R10	420	1,818	49	SEG12	-1,642	-855	87	SEG50	1,642	-1,004
12	R11	305	1,818	50	SEG13	-1,642	-971	88	SEG51	1,642	-888
13	R12	189	1,818	51	SEG14	-1,642	-1,086	89	SEG52	1,642	-773
14	R13	74	1,818	52	SEG15	-1,642	-1,215	90	SEG53	1,642	-657
15	P20	-42	1,818	53	SEG16	-1,642	-1,331	91	SEG54	1,642	-542
16	P21	-158	1,818	54	SEG17	-1,642	-1,446	92	SEG55	1,642	-426
17	P22	-273	1,818	55	SEG18	-1,642	-1,601	93	SEG56	1,642	-311
18	P23	-389	1,818	56	SEG19	-1,610	-1,818	94	SEG57	1,642	-195
19	VDD	-504	1,818	57	SEG20	-1,399	-1,818	95	SEG58	1,642	-80
20	Vd1	-620	1,818	58	SEG21	-1,283	-1,818	96	SEG59	1,642	36
21	OSC4	-735	1,818	59	SEG22	-1,168	-1,818	97	COM8	1,642	181
22	OSC3	-851	1,818	60	SEG23	-1,052	-1,818	98	COM9	1,642	297
23	Vosc	-966	1,818	61	SEG24	-937	-1,818	99	COM10	1,642	412
24	OSC2	-1,082	1,818	62	SEG25	-821	-1,818	100	COM11	1,642	528
25	OSC1	-1,197	1,818	63	SEG26	-706	-1,818	101	COM12	1,642	643
26	Vss	-1,313	1,818	64	SEG27	-590	-1,818	102	COM13	1,642	759
27	RESET	-1,428	1,818	65	SEG28	-475	-1,818	103	COM14	1,642	874
28	TEST	-1,610	1,818	66	SEG29	-359	-1,818	104	COM15	1,642	990
29	COM0	-1,642	1,508	67	SEG30	-244	-1,818	105	COM16	1,642	1,105
30	COM1	-1,642	1,393	68	SEG31	-128	-1,818	106	CA	1,642	1,221
31	COM2	-1,642	1,277	69	SEG32	-13	-1,818	107	CB	1,642	1,336
32	COM3	-1,642	1,162	70	SEG33	103	-1,818	108	CC	1,642	1,452
33	COM4	-1,642	1,046	71	SEG34	218	-1,818	109	CD	1,642	1,567
34	COM5	-1,642	931	72	SEG35	334	-1,818	110	N.C.	-1,290	-1,273
35	COM6	-1,642	815	73	SEG36	449	-1,818	111	N.C.	-1,119	-1,273
36	COM7	-1,642	700	74	SEG37	565	-1,818	112	N.C.	-948	-1,273
37	SEG0	-1,642	559	75	SEG38	680	-1,818	113	N.C.	-1,301	-73
38	SEG1	-1,642	444	76	SEG39	796	-1,818	114	N.C.	-1,301	-244

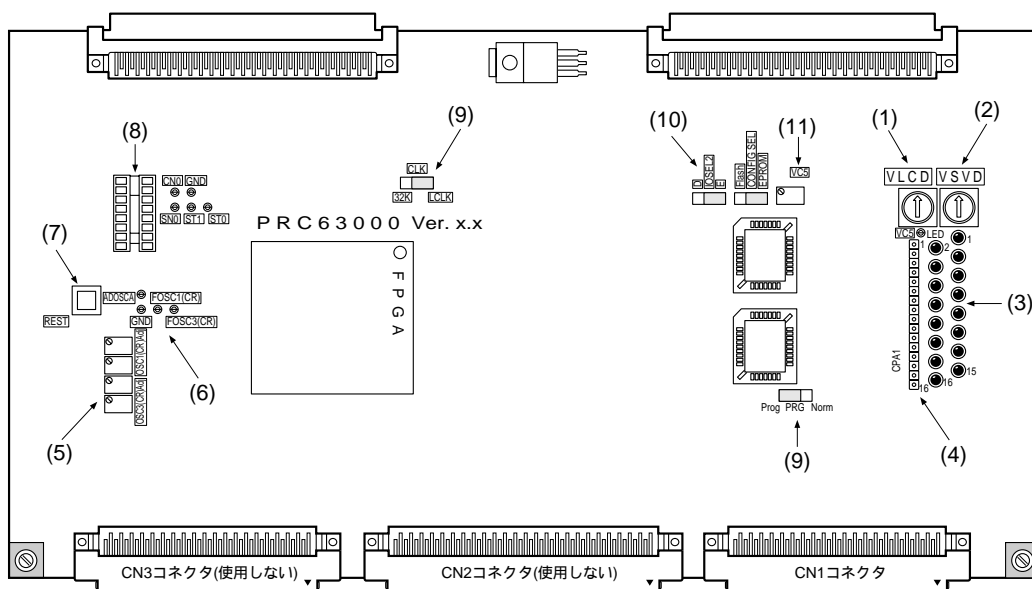
APPENDIX S5U1C63000P Manual(Peripheral Circuit Board for S1C63406/408)

ここでは、4-bit Single Chip Microcomputer S1C63 FamilyのデバッグツールであるICE (S5U1C63000H1/ S5U1C63000H2)に装着してエミュレーション機能を提供するPeripheral Circuit Board for S1C63406/408(S5U1C63000P)の使用方法を説明します。

なお、本文ではS1C63 Family Peripheral Circuit Board(S5U1C63000P)にS1C63406/408用回路データがダウンロードされているものについて適用されます。そのため、各機種用回路データのダウンロード方法と、ボードの共通仕様などについては、製品に添付されたS5U1C63000P Manual(S1C63 Family Peripheral Circuit Board)を、ICEの機能、操作などの詳細については、それぞれに用意されたマニュアルを参照してください。

A.1 各部の名称と機能

以下、本ボード(S5U1C63000P)の各部の名称と機能について説明します。



(1)VLCD

使用しません。

(2)VSVD

電源電圧検出機能(SVD)の動作を確認するため、擬似的に電源電圧を変化させるボリュームです。なお、1つのボリューム位置にて2つの電圧値を示しますので注意してください。

SVDレベル	0	1	2	3	4	5	6	7
	8	9	10	11	12	13	14	15

(たとえば、SVDレベル0と8は、同一のボリューム位置です)

(3)レジスタモニタLED

以下の各レジスタに対応しており、"1"のとき点灯、"0"のとき消灯します。

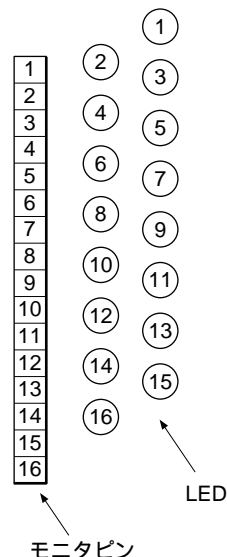
VDC0-1, OSC, CLKCHG, SVDON, SVDDT, HLMOD, LPWR, VCCHG

(4) レジスタモニタピン

以下の各レジスタに対応しており、"1"のときHIGHレベル、"0"のときLOWレベル出力となります。

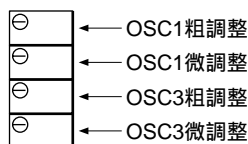
モニタピン		LED	
Pin No.	名称	LED No.	名称
1	DONE *	1	DONE *
2	VDC0	2	VDC0
3	VDC1	3	VDC1
4	OSCC	4	OSCC
5	CLKCHG	5	CLKCHG
6	SVDON	6	SVDON
7	SVDDT	7	SVDDT
8	HLMOD	8	HLMOD
9	LPWR	9	LPWR
10	VCCHG	10	VCCHG
11	—	11	—
12	—	12	—
13	—	13	—
14	—	14	—
15	—	15	—
16	—	16	—

* DONE: 本ボードの初期化が正常に完了した場合にHIGHレベル出力、点灯



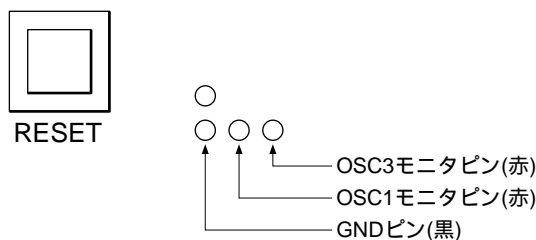
(5) CR発振周波数調整ボリューム

マスクオプションによってOSC1、またはOSC3をCR発振回路に設定した場合、このボリュームにより発振周波数を調整することができます。調整可能範囲は、OSC1は約20kHz～500kHz、OSC3は約100kHz～8MHzになります。なお、実ICの動作周波数範囲はこの調整可能範囲とは異なりますので、"4.3 発振回路"を参照の上、適切な動作周波数を選択してください。



(6) CR発振周波数モニタピン

CR発振回路からのクロック波形をオシロスコープなどでモニタすることができます。なお、このピンからは発振回路の動作制御にかかわらず、常にクロックが出力されています。



(7) RESETスイッチ

本ボードの回路を初期化し、ICEにリセット信号を与えます。

(8) モニタピン、外付け部品接続ソケット

使用しません。

(9) CLK、PRGスイッチ

回路データのダウンロード中、処理が完了しないままICEの電源が遮断されてしまった場合、再度ICEの電源を投入しても本ボード側の回路構成が不完全なままとなり、デバッガが起動しなくなることがあります。このような場合は、ICEの電源をいったん落とし、CLKを32K側に、PRGスイッチをProg側にそれぞれ設定し、再度ICEの電源を投入します。これによりデバッガは起動可能になりますので、この状態で回路データのダウンロードを行ってください。回路データのダウンロード完了後は、いったんICEの電源を落とし、CLKをLCLK側に、PRGをNorm側にそれぞれ戻して、再度ICEの電源を投入してください。

(10) OSEL2

回路データをダウンロードする場合は、"E"側に設定してください。それ以外の場合は、"D"側に設定してください。

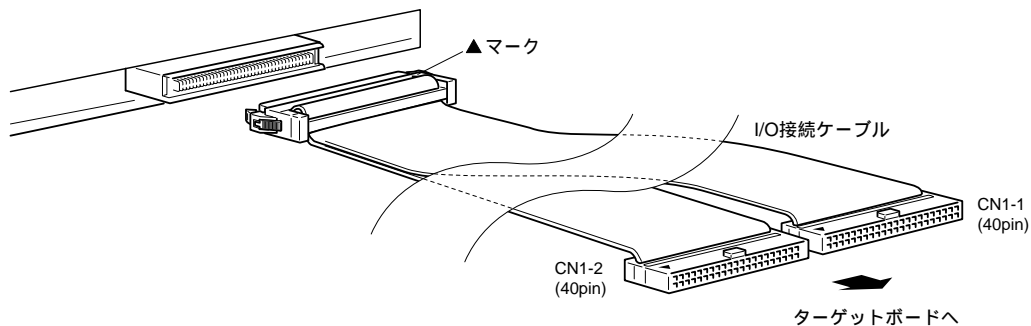
(11) VC5

このボリュームを廻すことによりLCDの駆動電源電圧を微調整することができます。ただし、実際のICでは、駆動電源電圧がLCDコントラストレジスタのみにより決定されますので、充分ご注意ください。

A.2 ターゲットシステムとの接続

ここではターゲットシステムとの接続方法を説明します。

本ボード(S5U1C63000P)とターゲットシステムの接続は、添付のI/O接続ケーブル(80pin/40pin×2、flat type)を用いて行います。なお、本コネクタには電源($V_{DD}=+3.3V$)が供給されていますので、ご注意ください。



図A.2.1 ターゲットシステムとの接続

表A.2.1 I/Oコネクタのピン配列表

40pin CN1-1コネクタ		40pin CN1-2コネクタ	
No.	端子名	No.	端子名
1	VDD (=3.3V)	1	VDD (=3.3V)
2	VDD (=3.3V)	2	VDD (=3.3V)
3	K00	3	R10
4	K01	4	R11
5	K02	5	R12
6	K03	6	R13
7	接続不可	7	接続不可
8	接続不可	8	接続不可
9	接続不可	9	接続不可
10	接続不可	10	接続不可
11	VSS	11	VSS
12	VSS	12	VSS
13	P20	13	接続不可
14	P21	14	接続不可
15	P22	15	接続不可
16	P23	16	接続不可
17	接続不可	17	接続不可
18	接続不可	18	接続不可
19	接続不可	19	接続不可
20	接続不可	20	接続不可
21	VDD (=3.3V)	21	VDD (=3.3V)
22	VDD (=3.3V)	22	VDD (=3.3V)
23	接続不可	23	接続不可
24	接続不可	24	接続不可
25	接続不可	25	接続不可
26	接続不可	26	接続不可
27	接続不可	27	接続不可
28	接続不可	28	接続不可
29	接続不可	29	接続不可
30	接続不可	30	ECLK3 *
31	VSS	31	VSS
32	VSS	32	VSS
33	接続不可	33	接続不可
34	接続不可	34	接続不可
35	接続不可	35	接続不可
36	接続不可	36	接続不可
37	接続不可	37	接続不可
38	接続不可	38	RESET
39	VSS	39	VSS
40	VSS	40	VSS

*: ECLK3端子は本ボードのみに存在する端子で、OSC3クロックを外部から入力して、所望のOSC3発振周波数を実現するためのものです。ファンクションオプションジェネレータで外部入力を選択した場合にのみ、本端子からOSC3外部クロックを入力することができます。

A.3 使用上の注意

本ボード(S5U1C63000P)を正しく使用していただくために、以下の事項に注意してください。

A.3.1 操作上の注意事項

- (1) ケーブルの接続と切り離しは、接続する機器すべての電源をOFFにした状態で行ってください。
- (2) 入力ポート(K00 ~ K03)をすべてLOWレベルにした状態において、電源投入およびマスクオブションデータのロードを行わないでください。キー同時押しリセット機能が働く可能性があります。
- (3) デバッグを行う場合は、その前に必ずマスクオブションデータをロードしてください。

A.3.2 実ICとの相違点

(1) I/Oについての相違

<インタフェース電源>

本ボードとターゲットシステムのインタフェース電圧は+3.3Vに固定されています。このため、実際のICと同一のインタフェース電圧が必要な場合は、ターゲットシステム側においてレベルシフト回路などを付加して対応してください。

<各出力ポートの駆動能力>

本ボードにおける各出力ポートの駆動能力は、実際のICに比べて高くなっていますので、"7 電気的特性"を参照し、各出力端子の駆動能力を確認した上で、システムおよびソフトウェアの設計を行ってください。

<各ポートの保護ダイオード>

すべてのI/Oポートには保護用ダイオードがVDDとVSSに対して入っており、ターゲットシステムとのインタフェース信号は+3.3Vに固定されます。このため、出力ポートをオープンドレインに設定し、VDDを超える電圧レベルとのインタフェースをとることはできません。

<プルアップ抵抗値>

本ボードにおいて、プルアップ抵抗値は220kΩに固定されていますが、実際のICと抵抗値が異なります。実際のICにおける抵抗値は、"7 電気的特性"を参照して確認してください。

なお、プルアップ抵抗を使用して入力端子をHIGHレベルに引き上げる場合などにおいて、HIGHレベル確定までの時間に相違が生じます。たとえば、出力ポートと入力ポートを組み合わせるキーマトリクス回路を構成した場合は、入力ポートの立ち上がりディレイに相違が発生しますので十分な注意が必要です。

(2) 消費電流についての相違

本ボードの消費電流は実際のICと大きく異なります。本ボード上のLEDを確認することで、おおよその消費電流を把握することができます。なお、消費電流に大きく影響を及ぼすものとして以下のようなものがあります。

<LED、モニタピンなどで確認が可能なもの>

- a) RunとHaltの実行比率(ICEのモニタピン、LEDによる)
- b) CPU動作電圧切り換え(VDC0、VDC1)
- c) OSC3発振ON/OFF(OSCC)
- d) CPUクロック切り換え(CLKCHG)
- e) SVD回路ON/OFF(SVDON)
- f) 重負荷保護モード(HLMOD)
- g) LCD電源ON/OFF(LPWR)
- h) LCD定電圧切り換え(VCCHG)

<システム、ソフトウェア上注意するしかないもの>

- i) 内蔵プルアップ抵抗により消費される電流
- j) 入力ポートがフローティング状態

(3)機能上の相違

<LCD電源回路>

LCD電源回路(LPWR)をONしてから、LCD駆動波形が出力されるまでにディレイが発生します。本ボードにおいて、このディレイは約125msecに設定されていますが、実際のICは異なります。

<SVD回路>

- S1C63406/408には、外部から供給された電圧を検出する機能がありますが、本ボードでは外部から供給される電圧を検出することはできません。SVD機能は、本ボード上のVSVDボリュームにより、擬似的に電源電圧を変化させることにより行います。
- SVD回路の電源をONしてから実際に電圧を検出するまでにディレイ時間が発生し、本ボードでは61 μ sec ~ 92 μ secに設定されています。実際のICにおいては、これと異なりますので、"4.12 SVD回路"を参照して、適切なウェイト時間を設定してください。

<発振回路>

- OSC3発振制御回路(OSCC)をONにしてから発振が安定するまでにウェイト時間が必要になりますが、本ボードではウェイトなしにOSC3の発振切り換え(CLKCHG)しても動作してしまいます。このため、実際のICにおいては、"4.3 発振回路"を参照の上適切な時間を設定してください。
- OSC3からOSC1へのクロック切り換えと、OSC3回路の発振停止は別の命令で行ってください。ひとつの命令で同時に行った場合は、本ボードで動作しても実際のICで動作しない場合があります。
- 発振回路のロジックレベルが高いため、発振開始時間のタイミングが異なります。
- 本ボードにはOSC1とOSC3用の発振回路が内蔵されています。このため、実ICにおいてOSC3の発振子を接続しない場合でも、OSC3回路による動作が可能になりますので、注意してください。
- OSC3発振回路をONする場合は、適切な内部回路用電圧を選択してください。本ボードでは、誤った電圧を選択しても動作してしまいますので充分注意してください。
- OSC3外部クロックを使用する場合、振幅を3.3V \pm 5%、デューティを50% \pm 10%に調整し、VssをグランドとしてI/OコネクタのECLK3端子から入力してください。

<未定義アドレス空間のアクセス>

S1C63406/408内蔵のROM/RAM、I/Oの未定義空間に対して読み出し・書き込みを行った場合、その値は不定となります。また、本ボードと実際のICでは不定となる状態が異なりますので、充分注意してください。なお、ICE(S5U1C63000H1/ S5U1C63000H2)は、未定義アドレス空間に対してアクセスがあった場合、プログラムブレークが発生する機能を内蔵しています。

<リセット回路>

ICEおよび本ボードに電源を投入してから、プログラムが動作するまでのシーケンスは、実際のICに電源を投入してから、プログラムが動作するまでのシーケンスと異なりますので、注意してください。本ボードでは、ユーザプログラムのロード、オプションデータのロードを行ってからデバッグシステムとしての動作が可能になります。なお、ICEをフリーランモードに設定して動作させる場合は、必ずシステムリセットをかけてください。システムリセットは、本ボード上のリセットスイッチ、リセット端子入力、入力ポートの同時LOWレベル保持のいずれかになります。

<内部電源回路>

- 本ボードでは、VDC0-1、HLMOD、VCCHGレジスタを内蔵していますが、実際の電源制御は行っていない。各周辺回路の説明を参照して正しい電圧を設定してください。また、制御電圧を切り換える場合も適切なウェイト時間を設けてください。
- LCDの駆動電圧は、実際のICと異なります。
- 使用可能な動作周波数範囲は、内部動作電圧に依存しますので、"4.3 発振回路"を参照の上、不適当な動作周波数と内部電源の組み合わせで動作させないように注意してください。
- 本ボードには、LCD駆動電圧を調整するためのボリューム(VC5)がありますが、実際のICではソフトウェアによるLCDコントラスト調整のみが可能です。

セイコーエプソン株式会社 電子デバイス営業本部

IC営業推進部	〒191-8501 東京都日野市日野421-8
IC営業技術G	TEL (042)587-5816(直通) FAX (042)587-5624
東日本	
ED東京営業部	〒191-8501 東京都日野市日野421-8
東京IC営業G	TEL (042)587-5313(直通) FAX (042)587-5116
西日本	
ED大阪営業部	〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F TEL (06)6120-6000(代表) FAX (06)6120-6100
東海・北陸	
ED名古屋営業部	〒461-0005 名古屋市東区東桜1-10-24 栄大野ビル4F TEL (052)953-8031(代表) FAX (052)953-8041
長野	
ED長野営業部	〒392-8502 長野県諏訪市大和3-3-5 TEL (0266)58-8171(直通) FAX (0266)58-9917
東北	
ED仙台営業所	〒980-0013 宮城県仙台市青葉区花京院1-1-20 花京院スクエア19F TEL (022)263-7975(代表) FAX (022)263-7990

インターネットによる電子デバイスのご紹介 <http://www.epsondevice.com/domcfg.nsf>