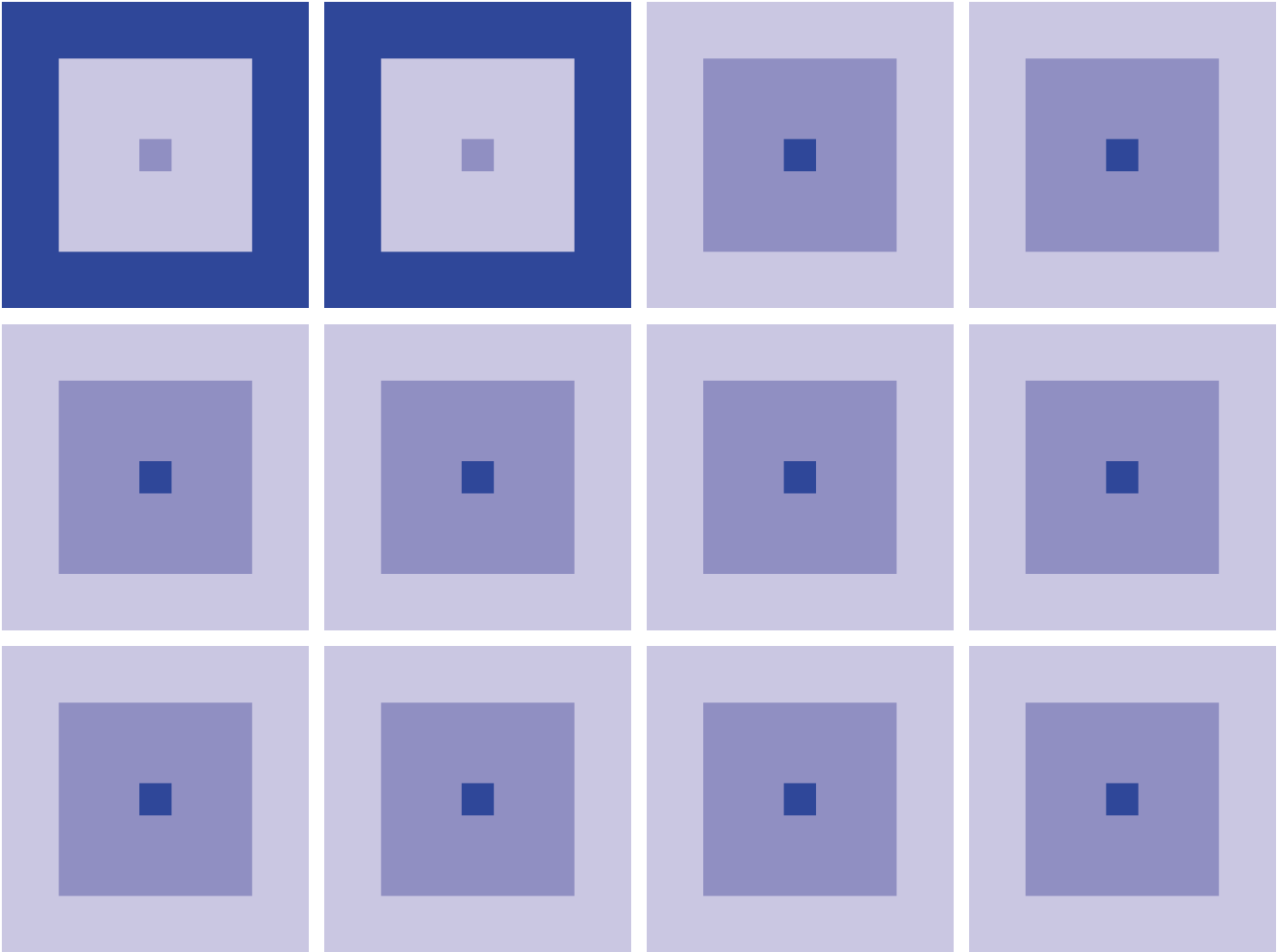


CMOS 32-BIT SINGLE CHIP MICROCOMPUTER

S1C33S01

テクニカルマニュアル

S1C33S01 PRODUCT PART
S1C33S01 FUNCTION PART



本資料のご使用につきましては、次の点にご留意願います。

1. 本資料の内容については、予告なく変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利(工業所有権を含む)侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち、「外国為替および外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、一般民生用です。生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合の如何なる責任についても負いかねます。

S1C33S01 Technical Manual

本書はセイコーエプソンオリジナルの32ビットマイクロコンピュータS1C33S01のハードウェア仕様を以下の3部構成で解説します。

S1C33S01 PRODUCT PART

周辺回路の詳細を除くハードウェア仕様を解説します。

S1C33S01 FUNCTION PART

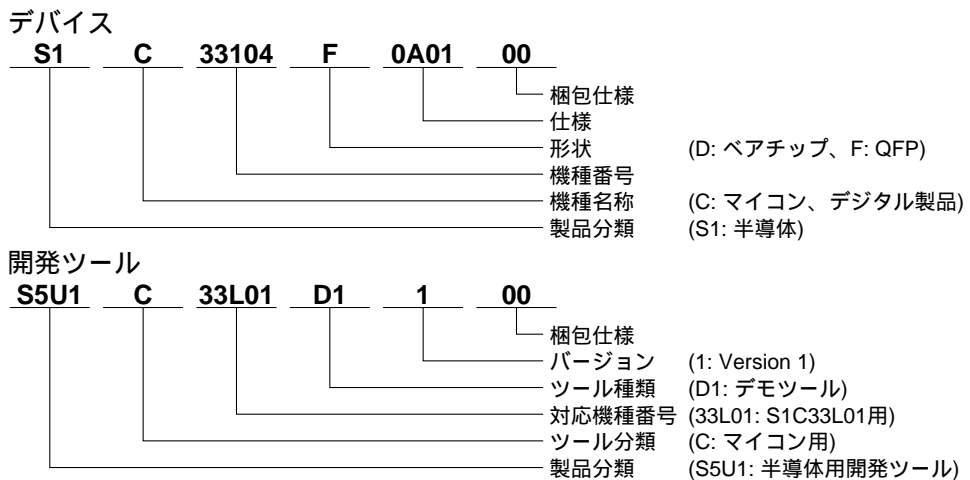
SIC33 Familyマイクロコンピュータ用の全周辺回路ブロックを機能別に解説します。

32ビットRISC型コアCPU SIC33000の詳細については"SIC33000 Core CPU Manual"を参照してください。

製品型番体系変更のご案内

2001年4月1日より、弊社半導体製品の製品型番体系が以下のとおり変更となります。4月1日以降のご発注につきましては、これらの製品型番にてお願い申し上げます。

なお、製品型番の詳細仕様につきましては、弊社営業担当にお問い合わせください。



S1C33S01 PRODUCT PART

目次

1 概要	A-1
1.1 特長.....	A-1
1.2 ブロック図	A-2
1.3 端子説明.....	A-3
1.3.1 端子配置図 (プラスチックパッケージ)	A-3
1.3.2 端子機能	A-4
2 電源	A-7
2.1 電源端子	A-7
2.2 動作電圧 (VDD, VSS).....	A-7
3 内蔵メモリ	A-8
3.1 ROMとブートアドレス	A-8
3.2 RAM.....	A-8
4 周辺回路.....	A-9
4.1 周辺回路一覧.....	A-9
4.2 I/Oメモリマップ	A-10
5 パワーダウン制御	A-36
6 基本外部結線図.....	A-38
7 実装上の注意事項	A-39
8 電気的特性	A-41
8.1 絶対最大定格.....	A-41
8.2 推奨動作条件.....	A-42
8.3 DC特性.....	A-43
8.4 消費電流.....	A-44
8.5 AC特性.....	A-45
8.5.1 記号説明.....	A-45
8.5.2 AC特性測定条件.....	A-45
8.5.3 C33ブロックAC特性表.....	A-46
8.5.4 C33ブロックAC特性タイミングチャート	A-53
8.6 発振特性.....	A-60
8.7 PLL特性.....	A-61
9 パッケージ	A-62
9.1 プラスチックパッケージ	A-62
10 パッド配置	A-63
10.1 パッド配置図.....	A-63
10.2 パッド座標.....	A-64
APPENDIX A 参考資料 外部デバイスとのインタフェースタイミング.....	A-66
A.1 DRAM (70ns).....	A-67
A.2 DRAM (60ns).....	A-70
A.3 ROM, パーストROM	A-74
A.4 SRAM (55ns).....	A-76
A.5 SRAM (70ns).....	A-78
A.6 8255A.....	A-80

APPENDIX B 端子特性.....	A-81
----------------------	------

S1C33S01 FUNCTION PART

目次

I 概要

I-1 はじめに	B-I-1-1
I-2 ブロック図	B-I-2-1
I-3 端子一覧	B-I-3-1
外部入出力端子一覧	B-I-3-1

II コアブロック

II-1 はじめに	B-II-1-1
II-2 CPUと動作モード	B-II-2-1
CPU	B-II-2-1
スタンバイモード	B-II-2-2
HALTモード	B-II-2-2
SLEEPモード	B-II-2-2
注意事項	B-II-2-3
テストモード	B-II-2-3
デバッグモード	B-II-2-3
トラップテーブル	B-II-2-4
II-3 イニシャルリセット	B-II-3-1
イニシャルリセット用端子	B-II-3-1
コールドスタートとホットスタート	B-II-3-1
パワーオンリセット	B-II-3-2
リセットパルス	B-II-3-2
ブートアドレス	B-II-3-3
イニシャルリセット時の注意事項	B-II-3-3
II-4 BCU(バスコントロールユニット)	B-II-4-1
外部システムインタフェース用の端子構成	B-II-4-1
入出力端子一覧	B-II-4-1
システムバス制御信号の組み合わせ	B-II-4-3
メモリエリア	B-II-4-4
メモリマップ	B-II-4-4
外部メモリマップとチップイネーブル	B-II-4-5
外部メモリ領域内での内蔵メモリの使用	B-II-4-7
エリア専用信号	B-II-4-7
エリア10	B-II-4-8
エリア3	B-II-4-9
外部バス条件の設定	B-II-4-10
デバイスタイプとデバイスサイズの設定	B-II-4-10
SRAMタイプのタイミング条件設定	B-II-4-11
バーストロムタイプのタイミング条件設定	B-II-4-12

バスオペレーション	B-II-4-13
メモリ上のデータ配置	B-II-4-13
外部メモリのバスオペレーション	B-II-4-13
バスクロック	B-II-4-17
バススピードモード	B-II-4-18
バスクロックの外部出力	B-II-4-18
外部システムインタフェースのバスサイクル	B-II-4-19
SRAMタイプのリードサイクル	B-II-4-19
SRAMタイプのライトサイクル	B-II-4-21
バーストロムのリードサイクル	B-II-4-23
DRAMダイレクトインタフェース	B-II-4-24
DRAMインタフェースの概要	B-II-4-24
DRAMタイプの条件設定	B-II-4-25
DRAMリード/ライトサイクル	B-II-4-28
DRAMリフレッシュサイクル	B-II-4-31
外部バスの解放	B-II-4-32
外部デバイスによるパワーダウン制御	B-II-4-33
BCUのI/Oメモリ	B-II-4-34
II-5 ITC(割り込みコントローラ)	B-II-5-1
割り込み機能概要	B-II-5-1
マスク可能な割り込み	B-II-5-1
NMI (ノンマスカブル割り込み)	B-II-5-2
CPUの割り込み処理	B-II-5-3
割り込みによるスタンバイモードの解除	B-II-5-3
トラップテーブル	B-II-5-4
マスク可能な割り込みの制御	B-II-5-5
割り込みコントローラの構成	B-II-5-5
PSR (プロセッサステータスレジスタ)	B-II-5-5
割り込み要因フラグと割り込みイネーブルレジスタ	B-II-5-6
割り込みプライオリティレジスタと割り込みレベル	B-II-5-8
割り込みコントローラのI/Oメモリ	B-II-5-9
プログラミング上の注意事項	B-II-5-14
II-6 CLG(クロックジェネレータ)	B-II-6-1
クロックジェネレータの構成	B-II-6-1
クロックジェネレータの入出力端子	B-II-6-2
高速(OSC3)発振回路	B-II-6-2
PLL	B-II-6-3
発振の制御	B-II-6-3
CPU動作クロックの設定と切り換え	B-II-6-4
パワーコントロールレジスタ保護フラグ	B-II-6-5
スタンバイモード時の動作	B-II-6-5
クロックジェネレータのI/Oメモリ	B-II-6-6
プログラミング上の注意事項	B-II-6-9
II-7 DBG(デバッグユニット)	B-II-7-1
デバッグ回路	B-II-7-1
デバッグ回路の入出力端子	B-II-7-1

III 周辺回路ブロック

III-1 はじめに	B-III-1-1
III-2 プリスケアラ	B-III-2-1
プリスケアラの構成	B-III-2-1
原振クロック	B-III-2-1
プリスケアラ分周比の選択と出力制御	B-III-2-2
8ビットプログラマブルタイマへの原振クロック出力	B-III-2-2
プリスケアラのI/Oメモリ	B-III-2-3
プログラミング上の注意事項	B-III-2-6
III-3 8ビットプログラマブルタイマ	B-III-3-1
8ビットプログラマブルタイマの構成	B-III-3-1
8ビットプログラマブルタイマの出力端子	B-III-3-1
8ビットプログラマブルタイマの用途	B-III-3-2
8ビットプログラマブルタイマの制御と動作	B-III-3-4
クロック出力の制御	B-III-3-7
8ビットプログラマブルタイマ割り込み	B-III-3-8
8ビットプログラマブルタイマのI/Oメモリ	B-III-3-9
プログラミング上の注意事項	B-III-3-14
III-4 16ビットプログラマブルタイマ	B-III-4-1
16ビットプログラマブルタイマの構成	B-III-4-1
16ビットプログラマブルタイマの入出力端子	B-III-4-2
16ビットプログラマブルタイマの用途	B-III-4-3
16ビットプログラマブルタイマの制御と動作	B-III-4-4
クロック出力の制御	B-III-4-7
16ビットプログラマブルタイマ割り込み	B-III-4-9
16ビットプログラマブルタイマのI/Oメモリ	B-III-4-11
プログラミング上の注意事項	B-III-4-23
III-5 ウォッチドッグタイマ	B-III-5-1
ウォッチドッグタイマの構成	B-III-5-1
ウォッチドッグタイマの制御	B-III-5-1
スタンバイモード時の動作	B-III-5-2
ウォッチドッグタイマのI/Oメモリ	B-III-5-3
プログラミング上の注意事項	B-III-5-3
III-6 低速(OSC1)発振回路	B-III-6-1
低速(OSC1)発振回路の構成	B-III-6-1
低速(OSC1)発振回路の入出力端子	B-III-6-1
発振回路の種類	B-III-6-2
発振の制御	B-III-6-3
CPU動作クロックの切り換え	B-III-6-3
パワーコントロールレジスタ保護フラグ	B-III-6-3
スタンバイモード時の動作	B-III-6-4
OSC1クロックの外部出力	B-III-6-4
クロックジェネレータのI/Oメモリ	B-III-6-5
プログラミング上の注意事項	B-III-6-8
III-7 計時タイマ	B-III-7-1
計時タイマの構成	B-III-7-1
計時タイマの制御と動作	B-III-7-2
計時タイマの割り込み機能	B-III-7-4

計時タイマの使用例	B-III-7-6
計時タイマのI/Oメモリ	B-III-7-7
プログラミング上の注意事項	B-III-7-12
III-8 シリアルインタフェース.....	B-III-8-1
シリアルインタフェースの構成.....	B-III-8-1
シリアルインタフェースの特長	B-III-8-1
シリアルインタフェースの入出力端子	B-III-8-2
転送モードの設定	B-III-8-3
クロック同期式インタフェース.....	B-III-8-4
クロック同期式インタフェースの概要	B-III-8-4
クロック同期式インタフェースの設定	B-III-8-5
クロック同期式転送の制御と動作	B-III-8-7
調歩同期式インタフェース.....	B-III-8-12
調歩同期式インタフェースの概要	B-III-8-12
調歩同期式インタフェースの設定	B-III-8-13
調歩同期式転送の制御と動作	B-III-8-16
IrDAインタフェース	B-III-8-20
IrDAインタフェースの概要	B-III-8-20
IrDAインタフェースの設定	B-III-8-20
IrDAインタフェースの制御と動作	B-III-8-22
シリアルインタフェース割り込み	B-III-8-23
シリアルインタフェースのI/Oメモリ	B-III-8-25
プログラミング上の注意事項	B-III-8-33
III-9 入出力ポート	B-III-9-1
入出力兼用ポート (Pポート).....	B-III-9-1
入出力兼用ポートの構成.....	B-III-9-1
入出力兼用ポート端子	B-III-9-2
I/O制御レジスタと入力/出力モード	B-III-9-3
入出力兼用ポートのI/Oメモリ	B-III-9-4
入力割り込み.....	B-III-9-8
ポート入力割り込み.....	B-III-9-8
キー入力割り込み	B-III-9-10
割り込みコントローラの制御レジスタ	B-III-9-12
入力割り込みのI/Oメモリ	B-III-9-14
プログラミング上の注意事項.....	B-III-9-19

APPENDIX I/Oマップ

S1C33S01
PRODUCT PART

1 概要

S1C33S01は、セイコーエプソンオリジナルの32ビットマイクロコンピュータです。高速動作、低消費電力、低電圧動作を特長とし、高度なデータ処理を必要とする携帯機器への応用に最適です。

S1C33S01は32ビットRISC型CPU S1C33000を中心に、バスコントロールユニット、割り込みコントローラ、タイマ、シリアルインタフェース等の周辺回路、およびRAMで構成されます。高速系の発振回路とPLL、および低速クロック入力回路を内蔵し、高速動作と省電力動作、および高度な時計機能に対応しています。さらに、内蔵の積和演算機能により、音声合成処理等のDSP機能を必要とするシステムを容易に構築できます。

1.1 特長

コアCPU

セイコーエプソンオリジナル32ビットRISC型CPU S1C33000を内蔵

- 16ビット固定長、105種類の基本命令セット
- 16本の32ビット汎用レジスタを内蔵
- 32ビットのALUと8ビットシフタを内蔵
- 乗除算命令および積和演算(MAC)命令をサポート
- 20nsの最小命令実行時間(50MHz動作時)

内蔵メモリ

RAM: 8Kバイト

内蔵周辺回路

発振回路:	高速(OSC3)発振回路 33MHz max. 水晶/セラミック発振または外部クロック入力
	低速(OSC1)発振回路 32.768kHz typ. 水晶発振または外部クロック入力
タイマ:	8ビットタイマ 4 ch. 16ビットタイマ 6 ch. ウォッチドッグタイマ(16ビットタイマ0の機能) 計時タイマ 1ch.(アラーム機能付き)
シリアルインタフェース:	2 ch.(クロック同期式、調歩同期式、IrDAインタフェース選択可能)
割り込みコントローラ:	入力割り込み 10種類(プログラマブル) 16ビットプログラマブルタイマ割り込み 12種類 8ビットプログラマブルタイマ割り込み 4種類 シリアルインタフェース割り込み 6種類 計時タイマ割り込み 1種類
汎用入力/出力ポート:	アドレスバス、周辺回路の入出力と兼用 入出力兼用ポート 29ビット

外部バスインタフェース

- BCU(バスコントロールユニット)内蔵
- 24ビットアドレスバス(内部28ビット処理)
上位4ビットを入出力兼用ポートと兼用
- 16ビットデータバス
エリアごとにデータサイズを8または16ビットに設定可能
- リトルエンディアン方式によるメモリアクセス
エリアごとにビッグエンディアン方式にも設定可能
- メモリマップドI/O
- チップイネーブルとウェイト制御回路を内蔵
- DRAMのダイレクトインタフェース機能を内蔵
高速ページモード、EDOページモードに対応
セルフリフレッシュ、CASビフォアRASリフレッシュに対応
- バーストROMに対応

動作条件, 消費電流

動作電圧: コア (VDD) 1.8V ~ 3.6V
 動作周波数: 50MHz max. (コア電圧 = 3.3V±0.3Vの場合)
 動作温度: -40 ~ 85°C
 消費電力: SLEEPモード時 4μW typ.
 HALTモード時 100mW typ. (3.3V, 50MHz)
 動作時 195mW typ. (3.3V, 50MHz)

注: • 動作時の消費電力は、"ロード命令 55%、演算命令 23%、mac命令 1%、分岐命令 12%、ext命令9%"の試験プログラムを連続動作させた場合の値です。

出荷形態

QFP15-100pinプラスチックパッケージ

1.2 ブロック図

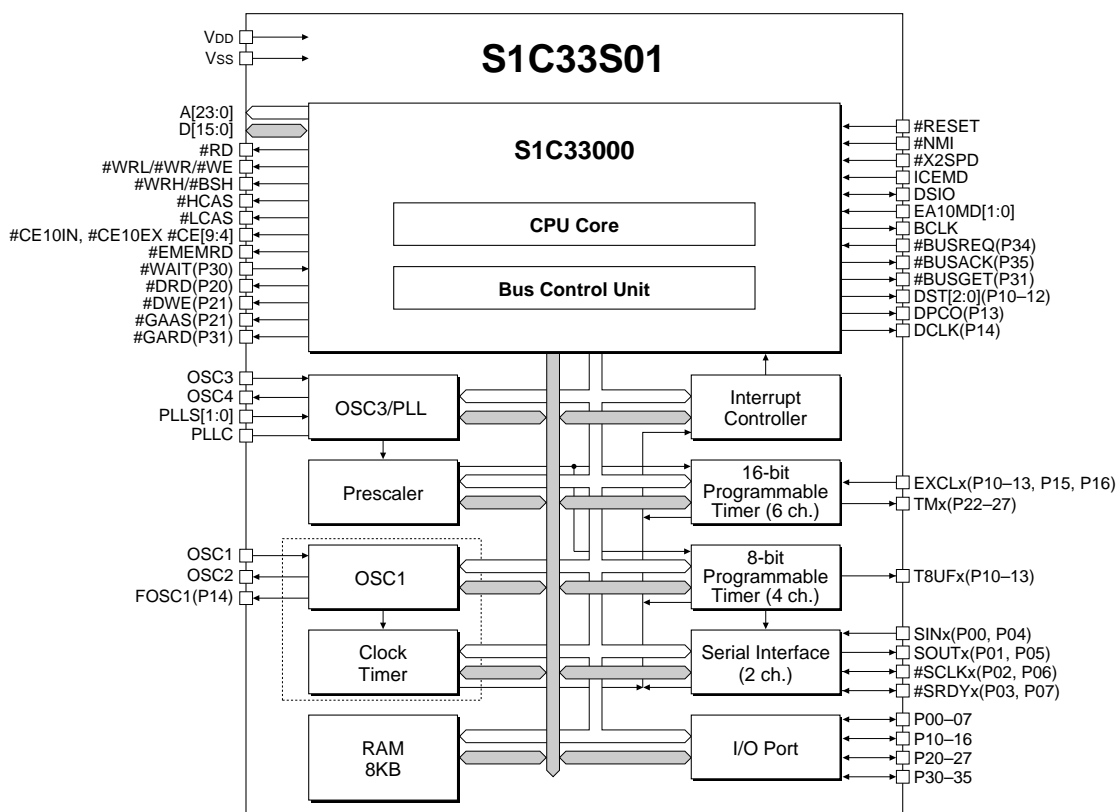
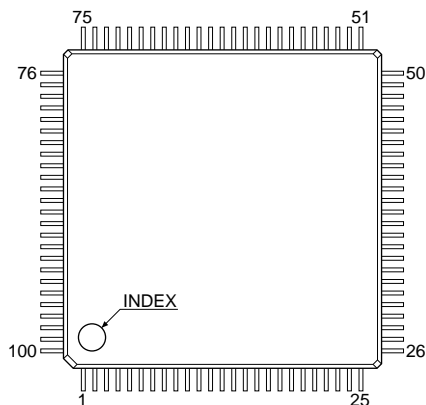


図 1.2.1 S1C33S01 ブロック図

1.3 端子説明

1.3.1 端子配置図 (プラスチックパッケージ)

QFP15-100pin



No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	#WRL/#WR/#WE	26	A0/#BSL	51	A21/P34/#BUSREQ	76	P14/FOSC1/DCLK
2	#WRH/#BSH	27	A1	52	A22/P35/#BUSACK	77	P13/EXCL3/T8UF3/DPCO
3	#RD	28	A2	53	#CE9/P32	78	P12/EXCL2/T8UF2/DST2
4	#EMEMRD	29	A3	54	A23/P07/#SRDY1	79	P11/EXCL1/T8UF1/DST1
5	#LCAS	30	V _{DD}	55	P06/#SCLK1	80	P10/EXCL0/T8UF0/DST0
6	#HCAS	31	A4	56	P05/SOUT1	81	PLLS0
7	V _{SS}	32	A5	57	P04/SIN1	82	PLLS1
8	D0	33	A6	58	V _{SS}	83	PLLC
9	D1	34	A7	59	OSC1	84	V _{SS}
10	D2	35	V _{SS}	60	OSC2	85	#X2SPD
11	D3	36	A8	61	V _{DD}	86	OSC3
12	D4	37	A9	62	#RESET	87	OSC4
13	D5	38	A10	63	#NMI	88	ICEMD
14	V _{DD}	39	A11	64	EA10MD0	89	#CE10EX
15	D6	40	V _{DD}	65	EA10MD1	90	#CE10IN
16	D7	41	A12	66	V _{SS}	91	V _{DD}
17	D8	42	A13	67	#CE8/P31/#BUSGET/#GARD	92	BCLK
18	D9	43	A14	68	P30/#WAIT	93	#CE6/P20/#DRD
19	D10	44	A15	69	P03/#SRDY0	94	#CE7/P21/#DWE/#GAAS
20	D11	45	V _{SS}	70	P02/SCLK0	95	P22/TM0
21	V _{SS}	46	A16	71	P01/SOUT0	96	P23/TM1
22	D12	47	A17	72	P00/SIN0	97	P24/TM2
23	D13	48	A18	73	#CE5/P16/EXCL5	98	P25/TM3
24	D14	49	A19	74	#CE4/P15/EXCL4	99	P26/TM4
25	D15	50	A20/P33	75	DSIO	100	P27/TM5

図 1.3.1 端子配置図 (QFP15-100pin)

1.3.2 端子機能

表 1.3.1 電源系端子一覧

端子名	端子No.	I/O	Pull-up	機 能
VDD	14, 30, 40, 61, 91	–	–	電源 (+)
VSS	7, 21, 35, 45, 58, 66, 84	–	–	電源 (–) GND

表 1.3.2 外部インタフェース信号端子一覧

端子名	端子No.	I/O	Pull-up	機 能
A0 #BSL	26	O	–	A0: アドレスバス(A0)/SBUSST(D3/0x4812E) = "0"の場合 (デフォルト) #BSL: バスストロブ(下位バイト)信号/SBUSST(D3/0x4812E) = "1"の場合
A[19:1]	27–29, 31–34, 36–39, 41–44, 46–49	O	–	アドレスバス(A1–A19)
A23 P07 #SRDY	54	I/O	–	A23: アドレスバス(A23)/CFA23(D7/0x40300) = "0"の場合 (デフォルト) P07: 入出力兼用ポート/CFA23(D7/0x40300) = "1"および CFP07(D7/0x402D0) = "0"の場合 #SRDY: シリアル/F Ch.1レディ信号入出力/CFA23(D7/0x40300) = "1"および CFP07(D7/0x402D0) = "1"の場合
A22 P35 #BUSACK	52	I/O	–	A22: アドレスバス(A22)/CFA22(D6/0x40300) = "0"の場合 (デフォルト) P35: 入出力兼用ポート/CFA22(D6/0x40300) = "1"および CFP35(D5/0x02DC) = "0"の場合 #BUSACK: バス開放要求応答出力/CFA22(D6/0x40300) = "1"および CFP35(D5/0x02DC) = "1"の場合
A21 P34 #BUSREQ #CE6	51	I/O	–	A21: アドレスバス(A21)/CFA21(D5/0x40300) = "0"の場合 (デフォルト) P34: 入出力兼用ポート/CFA21(D5/0x40300) = "1"および CFP34(D4/0x402DC) = "0"の場合 #BUSREQ: バス開放要求入力/CFA21(D5/0x40300) = "1"および CFP34(D4/0x402DC) = "1"、IOC34(D4/0x402DE) = "0"の場合 #CE6: エリア6チップイネーブル/CFA21(D5/0x40300) = "1"および CFP34(D4/0x402DC) = "1"、IOC34(D4/0x402DE) = "1"の場合
A20 P33	50	I/O	–	A20: アドレスバス(A20)/CFA20(D5/0x40300) = "0"の場合 (デフォルト) P33: 入出力兼用ポート/CFA20(D5/0x40300) = "1"の場合
D[15:0]	8–13, 15–20, 21–25	I/O	–	データバス(D0–D15)
#CE10EX	89	O	–	外部メモリ用エリア10チップイネーブル * CEFUNC[1:0] = "1x"の場合、本端子は#CE9+#CE10EX信号を出力します。
#CE10IN	90	O	–	内蔵ROMエミュレーション用エリア10チップイネーブル
#CE9 P32	53	I/O	–	#CE9: エリア9チップイネーブル/CFCE9(D5/0x40301) = "0"の場合(デフォルト) * CEFUNC[1:0](D[A:9]/0x48130)により、#CE17、#CE9+#CE10に出力を変更可能 P32: 入出力兼用ポート/CFCE9(D5/0x40301) = "1"の場合
#CE8 P31 #BUSGET #GARD	67	I/O	–	#CE8: エリア8チップイネーブル/CFCE8(D4/0x40301) = "0"の場合(デフォルト) * CEFUNC[1:0](D[A:9]/0x48130)およびA8DRA(D8/0x48128)、 A14DRA(D8/0x48122)により、#RAS1、#CE14、#RAS3に出力を変更可能 P31: 入出力兼用ポート/CFCE8(D4/0x40301) = "1"および CFP31(D1/0x402DC) = "0"、CFEX3(D3/0x402DF) = "0"の場合 #BUSGET: バス開放要求バス状態モニタ信号出力/CFCE8(D4/0x40301) = "1"および CFP31(D1/0x402DC) = "1"、CFEX3(D3/0x402DF) = "0"の場合 #GARD: GA用エリア用エリアリード信号出力/CFCE8(D4/0x40301) = "1"および CFEX3(D3/0x402DF) = "1"の場合

端子名	端子No.	I/O	Pull-up	機能
#CE7 P21 #DWE #GAAS	94	I/O	—	<p>#CE7: エリア7チップイネーブル/CFCE7(D3/0x40301) = "0"の場合(デフォルト) * CEFUNC[1:0](D[A:9]/0x48130)およびA7DRA(D7/0x48128)、 A13DRA(D7/0x48122)により、#RAS0、#CE13、#RAS2に出力を変更可能</p> <p>P21: 入出力兼用ポート/CFCE7(D3/0x40301) = "1"および CFP21(D1/0x402D8) = "0"、CFEX2(D2/0x402DF) = "0"の場合</p> <p>#DWE: 連続RASモード用DRAMライト信号/CFCE7(D3/0x40301) = "1"および CFP21(D1/0x402D8) = "1"、CFEX2(D2/0x402DF) = "0"の場合</p> <p>#GAAS: GA用エリアアドレスストローブ出力/CFCE7(D3/0x40301) = "1"および CFEX2(D2/0x402DF) = "1"の場合</p>
#CE6 P20 #DRD	93	I/O	—	<p>#CE6: エリア6チップイネーブル/CFCE6(D2/0x40301) = "0"の場合(デフォルト) * CEFUNC[1:0](D[A:9]/0x48130)により、#CE7+#CE8に出力を変更可能</p> <p>P20: 入出力兼用ポート/CFCE6(D2/0x40301) = "1"および CFP20(D0/0x402D8) = "0"の場合</p> <p>#DRD: 連続RASモード用DRAMリード信号出力/CFCE6(D2/0x40301) = "1"および CFP20(D0/0x402D8) = "1"の場合</p>
#CE5 P16 EXCL5	73	I/O	—	<p>#CE5: エリア5チップイネーブル/CFCE5(D1/0x40301) = "0"の場合(デフォルト) * CEFUNC[1:0](D[A:9]/0x48130)により、#CE15、#CE15+#CE16に出力を 変更可能</p> <p>P16: 入出力兼用ポート/CFCE5(D1/0x40301) = "1"および CFP16(D6/0x402D4) = "0"の場合</p> <p>EXCL5: 16ビットタイマ5イベントカウンタ入力/CFCE5(D1/0x40301) = "1"および CFP16(D6/0x402D4) = "1"、IOC16(D6/0x402D6) = "0"の場合</p>
#CE4 P15 EXCL4	74	I/O	—	<p>#CE4: エリア4チップイネーブル/CFCE4(D0/0x40301) = "0"の場合(デフォルト) * CEFUNC[1:0](D[A:9]/0x48130)により、#CE11、#CE11+#CE12に出力を 変更可能</p> <p>P15: 入出力兼用ポート/CFCE4(D0/0x40301) = "1"および CFP15(D5/0x402D4) = "0"の場合</p> <p>EXCL4: 16ビットタイマ4イベントカウンタ入力/CFCE4(D0/0x40301) = "1"および CFP15(D5/0x402D4) = "1"、IOC15(D5/0x402D6) = "0"の場合</p>
#RD	3	O	—	リード信号
#EMEMRD	4	O	—	内蔵ROMエミュレーションメモリ用リード信号
#WRL #WR #WE	1	O	—	<p>#WRL: ライト(下位バイト)信号/SBUSST(D3/0x4812E) = "0"の場合 (デフォルト)</p> <p>#WR: ライト信号/SBUSST(D3/0x4812E) = "1"の場合</p> <p>#WE: DRAMライト信号</p>
#WRH #BSH	2	O	—	<p>#WRH: ライト(上位バイト)信号/SBUSST(D3/0x4812E) = "0"の場合 (デフォルト)</p> <p>#BSH: バスストローブ(上位バイト)信号/SBUSST(D3/0x4812E) = "1"の場合</p>
#HCAS	6	O	—	#HCAS: DRAMコラムアドレスストローブ(上位バイト)信号
#LCAS	5	O	—	#LCAS: DRAMコラムアドレスストローブ(下位バイト)信号
BCLK	92	O	—	バスクロック出力
P30 #WAIT #CE4&5	68	I/O	—	<p>P30: 入出力兼用ポート/CFP30(D0/0x402DC) = "0"の場合 (デフォルト)</p> <p>#WAIT: ウェイトサイクル要求入力/CFP30(D0/0x402DC) = "1"の場合</p> <p>#CE4&5: エリア4&5チップイネーブル/CFP30(D0/0x402DC) = "1" およびIOC30(D0/0x402DE) = "1"の場合</p>
#CE8 P31 #BUSGET #GARD	67	I/O	—	<p>#CE8: エリア8チップイネーブル/CFCE8(D4/0x40301) = "0"の場合(デフォルト) * CEFUNC[1:0](D[A:9]/0x48130)およびA8DRA(D8/0x48128)、 A14DRA(D8/0x48122)により、#RAS1、#CE14、#RAS3に出力を変更可能</p> <p>P31: 入出力兼用ポート/CFCE8(D4/0x40301) = "1"および CFP31(D1/0x402DC) = "0"、CFEX3(D3/0x402DF) = "0"の場合</p> <p>#BUSGET: バス開放要求バス状態モニタ信号出力/CFCE8(D4/0x40301) = "1"および CFP31(D1/0x402DC) = "1"、CFEX3(D3/0x402DF) = "0"の場合</p> <p>#GARD: GA用エリア用エリアリード信号出力/CFCE8(D4/0x40301) = "1"および CFEX3(D3/0x402DF) = "1"の場合</p>
#CE9 P32	53	I/O	—	<p>#CE9: エリア9チップイネーブル/CFCE9(D5/0x40301) = "0"の場合(デフォルト) * CEFUNC[1:0](D[A:9]/0x48130)により、#CE17、#CE9+#CE10に出力を変 更可能</p> <p>P32: 入出力兼用ポート/CFCE9(D5/0x40301) = "1"の場合</p>
A20 P33	50	I/O	—	<p>A20: アドレスバス(A20)/CFA20(D5/0x40300) = "0"の場合 (デフォルト)</p> <p>P33: 入出力兼用ポート/CFA20(D5/0x40300) = "1"の場合</p>

1 概要

端子名	端子No.	I/O	Pull-up	機 能
A21 P34 #BUSREQ #CE6	51	I/O	—	A21: アドレスバス(A21)/CFA21(D5/0x40300) = "0"の場合 (デフォルト) P34: 入出力兼用ポート/CFA21(D5/0x40300) = "1"および CFP34(D4/0x402DC) = "0"の場合 #BUSREQ: バス開放要求入力/CFA21(D5/0x40300) = "1"および CFP34(D4/0x402DC) = "1"、IOC34(D4/0x402DE) = "0"の場合 #CE6: エリア6チップイネーブル/CFA21(D5/0x40300) = "1"および CFP34(D4/0x402DC) = "1"、IOC34(D4/0x402DE) = "1"の場合
A22 P35 #BUSACK	52	I/O	—	A22: アドレスバス(A22)/CFA22(D6/0x40300) = "0"の場合 (デフォルト) P35: 入出力兼用ポート/CFA22(D6/0x40300) = "1"および CFP35(D5/0x02DC) = "0"の場合 #BUSACK: バス開放要求応答出力/CFA22(D6/0x40300) = "1"および CFP35(D5/0x02DC) = "1"の場合

表 1.3.3 クロックジェネレータ端子一覧

端子名	端子No.	I/O	Pull-up	機 能																				
OSC1	59	I	－	低速(OSC1)発振入力 (32kHz水晶発振、または外部クロック入力)																				
OSC2	60	O	－	低速(OSC1)発振出力																				
OSC3	86	I	－	高速(OSC3)発振入力 (水晶/セラミック発振、または外部クロック入力)																				
OSC4	87	O	－	高速(OSC3)発振出力																				
PLLS[1:0]	82, 81	I	－	PLL設定端子 <table><tr><td>PLLS1</td><td>PLLS0</td><td>f_{in} (f_{OSC3})</td><td>f_{out} (f_{SPCIN})</td></tr><tr><td>1</td><td>1</td><td>10~25MHz</td><td>20~50MHz</td></tr><tr><td>1</td><td>0</td><td>－</td><td>－</td></tr><tr><td>0</td><td>1</td><td>10~12.5MHz</td><td>40~50MHz</td></tr><tr><td>0</td><td>0</td><td>PLL未使用</td><td>－</td></tr></table>	PLLS1	PLLS0	f _{in} (f _{OSC3})	f _{out} (f _{SPCIN})	1	1	10~25MHz	20~50MHz	1	0	－	－	0	1	10~12.5MHz	40~50MHz	0	0	PLL未使用	－
PLLS1	PLLS0	f _{in} (f _{OSC3})	f _{out} (f _{SPCIN})																					
1	1	10~25MHz	20~50MHz																					
1	0	－	－																					
0	1	10~12.5MHz	40~50MHz																					
0	0	PLL未使用	－																					
PLLCL	83	I/O	－	PLL用コンデンサ接続端子																				

表 1.3.4 その他の端子

端子名	端子No.	I/O	Pull-up	機 能															
ICEMD	88	I	Pull-down	ハイインピーダンス制御端子 本端子をHighに設定することにより、すべての出力端子がハイ インピーダンスになります。これにより、ボード上のS1C33チップをシステムから切り離すことができます。															
DSIO	75	I/O	Pull-up	デバッグ用シリアル入出力端子 本端子はデバッグツールS5U1C33000Hとの通信に使用します。															
#X2SPD	85	I	－	倍速モード設定端子 1: CPUクロック = バスクロック × 1, 0: CPUクロック = バスクロック × 2															
#NMI	63	I	Pull-up	NMI要求入力端子															
#RESET	62	I	Pull-up	イニシャルリセット入力端子															
EA10MD1	65	I	Pull-up	エリア10ブートモード選択															
EA10MD0	64	I	－	<table><tr><th>EA10MD1</th><th>EA10MD0</th><th>モード</th></tr><tr><td>1</td><td>1</td><td>外部ROMモード</td></tr><tr><td>1</td><td>0</td><td>内蔵ROMモード</td></tr><tr><td>0</td><td>1</td><td>－</td></tr><tr><td>0</td><td>0</td><td>内蔵ROMエミュレーションモード</td></tr></table>	EA10MD1	EA10MD0	モード	1	1	外部ROMモード	1	0	内蔵ROMモード	0	1	－	0	0	内蔵ROMエミュレーションモード
EA10MD1	EA10MD0	モード																	
1	1	外部ROMモード																	
1	0	内蔵ROMモード																	
0	1	－																	
0	0	内蔵ROMエミュレーションモード																	

注: 端子名の#は、入出力する信号がLowアクティブであることを示します。

2 電源

この章ではS1C33S01の動作電圧について説明します。

2.1 電源端子

S1C33S01の電源端子を表 2.1.1に示します。

端子名	端子No.	機能
VDD	14, 30, 40, 61, 91	内部ロジックおよびI/O用電源端子(+)
VSS	7, 21, 35, 45, 58, 66, 84	電源端子(-) GND

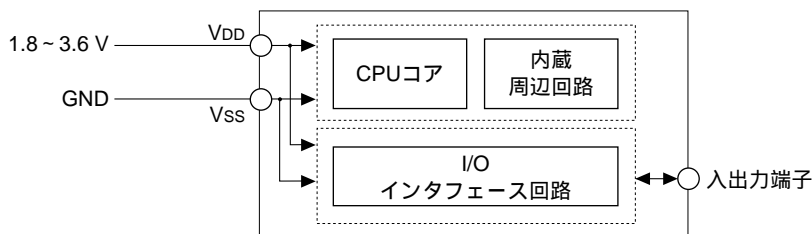


図 2.1.1 電源系

2.2 動作電圧 (V_{DD} , V_{SS})

S1C33S01のコアCPU、内部周辺回路およびI/O インタフェース回路は、 $V_{DD} \sim V_{SS}$ 間に供給される電源電圧によって動作します。この動作電圧には、次のとおりです。

$V_{DD} = 1.8V \sim 3.6V$ ($V_{SS} = GND$)

注: S1C33S01は5本の V_{DD} 端子と7本の V_{SS} 端子を持っています。これらすべての端子を電源に接続し、開放しないでください。

なお、上記動作電圧による動作周波数範囲(OSC3)は5MHz ~ 50MHzです。

3 内蔵メモリ

この章では、S1C33S01に内蔵されるメモリの構成について説明します。

図 3.1.1にS1C33S01の基本内蔵メモリマップを示します。

エリア	アドレス		バスサイクル	デバイスサイズ
エリア3	0x00FFFFFF	(Reserved) ミドルウェア用		
	0x0080000			
エリア2	0x007FFFF	(Reserved) CPUコアおよび デバッグモード用	3サイクル固定	16ビット
	0x0060000			
エリア1	0x005FFFF	(内蔵周辺回路のミラー)	2サイクル固定	8, 16ビット
	0x0050000			
	0x004FFFF	内蔵周辺回路		
	0x0040000			
	0x003FFFF	(内蔵周辺回路のミラー)		
	0x0030000			
エリア0	0x0002FFF	(内蔵RAMのミラー)	1サイクル固定	32ビット
	0x0002000			
	0x0001FFF			
	0x0001000			
	0x0000FFF			
	0x0000800	内蔵RAM (8KB)		
	0x00007FF			
	0x0000000			

図 3.1.1 基本内蔵メモリマップ

エリア2はデバッグモード専用の領域です。ユーザー モード(通常のプログラム実行状態)からはアクセスすることができません。

3.1 ROMとブートアドレス

S1C33S01はROMを内蔵していません。
S1C33S01ではブートアドレスが0x0C00000に固定されますので、エリア10に外部ROM/Flashを使用してください。
エリア10の設定については、"S1C33 Function Partの"BCU(バスコントロールユニット)"を参照してください。

3.2 RAM

S1C33S01は8KBのRAMを内蔵しています。このRAMはエリア0のアドレス0x0000000 ~ 0x0001FFFに割り付けられています。
内蔵RAMはデバイスサイズは32ビットで、バイト、 ハーフワード、ワードデータが1サイクルで読み出し/書き込み可能です。

4 周辺回路

以下に、内蔵周辺回路の一覧とI/Oメモリマップを示します。各周辺回路の詳細については、本マニュアル"S1C33S01 Product Part"を参照してください。

4.1 周辺回路一覧

S1C33S01はC33コアブロック、C33周辺回路ブロックで構成されています。

C33コアブロック

CPU	32ビットRISC型CPU S1C33000
BCU (バスコントロールユニット)	24ビット外部アドレスバス、16ビットデータバス BCUの全機能を使用可能
ITC (割り込みコントローラ)	33種類の割り込みが使用可能
CLG (クロックジェネレータ)	OSC3発振回路(33MHz Max.)、PLL OSC1発振回路(32.768kHz Typ.)
DBG (デバッグユニット)	ICD33(In-Circuit Debugger for S1C33 Family)によるデバッグ用機能ブロック

C33周辺回路ブロック

プリスケータ	周辺回路用クロックをプログラマブルに設定可能
8ビットプログラマブルタイマ	4チャンネル(クロック出力機能付き)
16ビットプログラマブルタイマ	6チャンネル(イベントカウンタ、クロック出力、ウォッチドッグタイマ機能付き)
シリアルインタフェース	2チャンネル(調歩同期式、クロック同期式、IrDA選択可能)
入出力ポート	入出力兼用ポート: 29ビット(周辺回路の入出力として使用)
計時タイマ	1チャンネル(アラーム機能付き)

4.2 I/Oメモリマップ

表 4.2.1 I/Oメモリマップ

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
8bitタイマ クロック選択 レジスタ	0040146 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P8TPCK3	8bitタイマ3クロック選択	1 0/1 0 分周クロック	0	R/W	0: プリスケールクロ ック選択レジスタ (0x40181)で選択
		D2	P8TPCK2	8bitタイマ2クロック選択	1 0/1 0 分周クロック	0	R/W	
		D1	P8TPCK1	8bitタイマ1クロック選択	1 0/1 0 分周クロック	0	R/W	
		D0	P8TPCK0	8bitタイマ0クロック選択	1 0/1 0 分周クロック	0	R/W	
16bitタイマ0 クロック コントロール レジスタ	0040147 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P16TON0	16bitタイマ0クロック制御	1 On 0 Off	0	R/W	0: プリスケールクロ ック選択レジスタ (0x40181)で選択 16bitタイマ0は ウォッチドッグタイ マとして使用可
		D2	P16TS02	16bitタイマ0 クロック分周比選択	P16TS0[2:0] 分周比	0	R/W	
		D1	P16TS01		1 1 1 0/4096	0		
		D0	P16TS00		1 1 0 0/1024	0		
					1 0 1 0/256			
					1 0 0 0/64			
					0 1 1 0/16			
					0 1 0 0/4			
					0 0 1 0/2			
					0 0 0 0/1			
16bitタイマ1 クロック コントロール レジスタ	0040148 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P16TON1	16bitタイマ1クロック制御	1 On 0 Off	0	R/W	0: プリスケールクロ ック選択レジスタ (0x40181)で選択
		D2	P16TS12	16bitタイマ1 クロック分周比選択	P16TS1[2:0] 分周比	0	R/W	
		D1	P16TS11		1 1 1 0/4096	0		
		D0	P16TS10		1 1 0 0/1024	0		
					1 0 1 0/256			
					1 0 0 0/64			
					0 1 1 0/16			
					0 1 0 0/4			
					0 0 1 0/2			
					0 0 0 0/1			
16bitタイマ2 クロック コントロール レジスタ	0040149 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P16TON2	16bitタイマ2クロック制御	1 On 0 Off	0	R/W	0: プリスケールクロ ック選択レジスタ (0x40181)で選択
		D2	P16TS22	16bitタイマ2 クロック分周比選択	P16TS2[2:0] 分周比	0	R/W	
		D1	P16TS21		1 1 1 0/4096	0		
		D0	P16TS20		1 1 0 0/1024	0		
					1 0 1 0/256			
					1 0 0 0/64			
					0 1 1 0/16			
					0 1 0 0/4			
					0 0 1 0/2			
					0 0 0 0/1			
16bitタイマ3 クロック コントロール レジスタ	004014A (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P16TON3	16bitタイマ3クロック制御	1 On 0 Off	0	R/W	0: プリスケールクロ ック選択レジスタ (0x40181)で選択
		D2	P16TS32	16bitタイマ3 クロック分周比選択	P16TS3[2:0] 分周比	0	R/W	
		D1	P16TS31		1 1 1 0/4096	0		
		D0	P16TS30		1 1 0 0/1024	0		
					1 0 1 0/256			
					1 0 0 0/64			
					0 1 1 0/16			
					0 1 0 0/4			
					0 0 1 0/2			
					0 0 0 0/1			
16bitタイマ4 クロック コントロール レジスタ	004014B (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P16TON4	16bitタイマ4クロック制御	1 On 0 Off	0	R/W	0: プリスケールクロ ック選択レジスタ (0x40181)で選択
		D2	P16TS42	16bitタイマ4 クロック分周比選択	P16TS4[2:0] 分周比	0	R/W	
		D1	P16TS41		1 1 1 0/4096	0		
		D0	P16TS40		1 1 0 0/1024	0		
					1 0 1 0/256			
					1 0 0 0/64			
					0 1 1 0/16			
					0 1 0 0/4			
					0 0 1 0/2			
					0 0 0 0/1			

[アドレス]の(B)は8ビットレジスタ、(HW)は16ビットレジスタを示しています。

[Init.]のシンボルの意味は次のとおりです。

0, 1: イニシャルリセット時、記載の値に初期化されます。

(ただし、バスと入出力ポートのレジスタはホットスタートでは初期化されません。)

X: イニシャルリセットで初期化されません。

-: 回路上設定されません。

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ5 クロック コントロール レジスタ	004014C (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P16TON5	16bitタイマ5クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS52	16bitタイマ5 クロック分周比選択	P16TS5[2:0] 分周比	0	R/W	θ: プリスケールクロック 選択レジスタ (0x40181)で選択
		D1	P16TS51		1 1 1 0/4096	0		
		D0	P16TS50		1 1 0 0/1024	0		
					1 0 1 0/256			
					1 0 0 0/64			
					0 1 1 0/16			
					0 1 0 0/4			
					0 0 1 0/2			
					0 0 0 0/1			
8bitタイマ0/1 クロック コントロール レジスタ	004014D (B)	D7	P8TON1	8bitタイマ1クロック制御	1 On 0 Off	0	R/W	
		D6	P8TS12	8bitタイマ1 クロック分周比選択	P8TS1[2:0] 分周比	0	R/W	θ: プリスケールクロック 選択レジスタ (0x40181)で選択
		D5	P8TS11		1 1 1 0/4096	0		
		D4	P8TS10		1 1 0 0/2048	0		
					1 0 1 0/1024			
					1 0 0 0/512			
					0 1 1 0/256			
					0 1 0 0/128			
					0 0 1 0/64			
					0 0 0 0/32			
		D3	P8TON0	8bitタイマ0クロック制御	1 On 0 Off	0	R/W	
		D2	P8TS02	8bitタイマ0 クロック分周比選択	P8TS0[2:0] 分周比	0	R/W	θ: プリスケールクロック 選択レジスタ (0x40181)で選択
		D1	P8TS01		1 1 1 0/256	0		
		D0	P8TS00		1 1 0 0/128	0		
					1 0 1 0/64			
					1 0 0 0/32			
					0 1 1 0/16			
					0 1 0 0/8			
					0 0 1 0/4			
					0 0 0 0/2			
8bitタイマ2/3 クロック コントロール レジスタ	004014E (B)	D7	P8TON3	8bitタイマ3クロック制御	1 On 0 Off	0	R/W	
		D6	P8TS32	8bitタイマ3 クロック分周比選択	P8TS3[2:0] 分周比	0	R/W	θ: プリスケールクロック 選択レジスタ (0x40181)で選択
		D5	P8TS31		1 1 1 0/256	0		
		D4	P8TS30		1 1 0 0/128	0		
					1 0 1 0/64			
					1 0 0 0/32			
					0 1 1 0/16			
					0 1 0 0/8			
					0 0 1 0/4			
					0 0 0 0/2			
		D3	P8TON2	8bitタイマ2クロック制御	1 On 0 Off	0	R/W	
		D2	P8TS22	8bitタイマ2 クロック分周比選択	P8TS2[2:0] 分周比	0	R/W	θ: プリスケールクロック 選択レジスタ (0x40181)で選択
		D1	P8TS21		1 1 1 0/4096	0		
		D0	P8TS20		1 1 0 0/2048	0		
					1 0 1 0/64			
					1 0 0 0/32			
					0 1 1 0/16			
					0 1 0 0/8			
					0 0 1 0/4			
					0 0 0 0/2			

4 周辺回路

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
計時タイム Run/Stop レジスタ	0040151 (B)	D7-2	—	reserved	—	—	—	読み出し時: 0
		D1	TCRST	計時タイムリセット	1 リセット 0 無効	X	W	読み出し時: 0
		D0	TCRUN	計時タイムRun/Stop制御	1 Run 0 Stop	X	R/W	
計時タイム 割り込み制御 レジスタ	0040152 (B)	D7	TCISE2	計時タイム割り込み要因選択	TCISE[2:0] 割り込み要因	X	R/W	
		D6	TCISE1			X	R/W	
		D5	TCISE0			X	R/W	
計時タイム 割り込み制御 レジスタ	0040152 (B)	D4	TCASE2	計時タイムアラーム要因選択	TCASE[2:0] アラーム要因	X	R/W	
		D3	TCASE1			X	R/W	
		D2	TCASE0			X	R/W	
計時タイム 分周レジスタ	0040153 (B)	D7	TCD7	計時タイムデータ 1Hz	1 High 0 Low	X	R	
		D6	TCD6	計時タイムデータ 2Hz	1 High 0 Low	X	R	
		D5	TCD5	計時タイムデータ 4Hz	1 High 0 Low	X	R	
		D4	TCD4	計時タイムデータ 8Hz	1 High 0 Low	X	R	
		D3	TCD3	計時タイムデータ 16Hz	1 High 0 Low	X	R	
		D2	TCD2	計時タイムデータ 32Hz	1 High 0 Low	X	R	
		D1	TCD1	計時タイムデータ 64Hz	1 High 0 Low	X	R	
		D0	TCD0	計時タイムデータ 128Hz	1 High 0 Low	X	R	
計時タイム 秒レジスタ	0040154 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	TCMD5	計時タイム秒データ	0 ~ 59秒	X	R	
		D4	TCMD4	TCMD5 = MSB		X	R	
		D3	TCMD3	TCMD0 = LSB		X	R	
		D2	TCMD2			X	R	
		D1	TCMD1			X	R	
		D0	TCMD0			X	R	
計時タイム 分レジスタ	0040155 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	TCHD5	計時タイム分データ	0 ~ 59分	X	R/W	
		D4	TCHD4	TCHD5 = MSB		X	R/W	
		D3	TCHD3	TCHD0 = LSB		X	R/W	
		D2	TCHD2			X	R/W	
		D1	TCHD1			X	R/W	
		D0	TCHD0			X	R/W	
計時タイム 時間レジスタ	0040156 (B)	D7-5	—	reserved	—	—	—	読み出し時: 0
		D4	TCDD4	計時タイム時間データ	0 ~ 23時	X	R/W	
		D3	TCDD3	TCDD4 = MSB		X	R/W	
		D2	TCDD2	TCDD0 = LSB		X	R/W	
		D1	TCDD1			X	R/W	
		D0	TCDD0			X	R/W	
計時タイム 日(下位) レジスタ	0040157 (B)	D7	TCND7	計時タイム日データ	0 ~ 65535日	X	R/W	
		D6	TCND6	(下位8ビット)	(下位8ビット)	X	R/W	
		D5	TCND5	TCND0 = LSB		X	R/W	
		D4	TCND4			X	R/W	
		D3	TCND3			X	R/W	
		D2	TCND2			X	R/W	
		D1	TCND1			X	R/W	
		D0	TCND0			X	R/W	
計時タイム 日(上位) レジスタ	0040158 (B)	D7	TCND15	計時タイム日データ	0 ~ 65535日	X	R/W	
		D6	TCND14	(上位8ビット)	(上位8ビット)	X	R/W	
		D5	TCND13	TCND15 = MSB		X	R/W	
		D4	TCND12			X	R/W	
		D3	TCND11			X	R/W	
		D2	TCND10			X	R/W	
		D1	TCND9			X	R/W	
		D0	TCND8			X	R/W	
計時タイム 分比較レジスタ	0040159 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	TCCH5	計時タイム分比較データ	0 ~ 59分	X	R/W	
		D4	TCCH4	TCCH5 = MSB	(注)0 ~ 63を設定可能	X	R/W	
		D3	TCCH3	TCCH0 = LSB		X	R/W	
		D2	TCCH2			X	R/W	
		D1	TCCH1			X	R/W	
		D0	TCCH0			X	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
計時タイマ 時間比較 レジスタ	004015A (B)	D7-5	—	reserved	—	—	—	読み出し時: 0
		D4	TCCD4	計時タイマ時間比較データ	0 ~ 23時	X	R/W	
		D3	TCCD3	TCCD4 = MSB	(注)0 ~ 31を設定可能	X		
		D2	TCCD2	TCCD0 = LSB		X		
		D1	TCCD1			X		
		D0	TCCD0			X		
計時タイマ 日比較レジスタ	004015B (B)	D7-5	—	reserved	—	—	—	読み出し時: 0
		D4	TCCN4	計時タイマ日比較データ	0 ~ 31日	X	R/W	TCND[4:0]と比較
		D3	TCCN3	TCCN4 = MSB		X		
		D2	TCCN2	TCCN0 = LSB		X		
		D1	TCCN1			X		
		D0	TCCN0			X		

4 周辺回路

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
8bitタイマ0 制御レジスタ	0040160 (B)	D7-3	—	reserved	—	—	—	読み出し時: 0
		D2	PTOUT0	8bitタイマ0クロック出力制御	1 On 0 Off	0	R/W	
		D1	PSET0	8bitタイマ0プリセット	1 プリセット 0 無効	—	W	読み出し時: 0
		D0	PTRUN0	8bitタイマ0 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ0 リロードデータ レジスタ	0040161 (B)	D7	RLD07	8bitタイマ0	0 ~ 255	X	R/W	
		D6	RLD06	リロードデータ		X		
		D5	RLD05	RLD07 = MSB		X		
		D4	RLD04	RLD00 = LSB		X		
		D3	RLD03			X		
		D2	RLD02			X		
		D1	RLD01			X		
		D0	RLD00			X		
8bitタイマ0 カウントデータ レジスタ	0040162 (B)	D7	PTD07	8bitタイマ0カウントデータ	0 ~ 255	X	R	
		D6	PTD06	PTD07 = MSB		X		
		D5	PTD05	PTD00 = LSB		X		
		D4	PTD04			X		
		D3	PTD03			X		
		D2	PTD02			X		
		D1	PTD01			X		
		D0	PTD00			X		
8bitタイマ1 制御レジスタ	0040164 (B)	D7-3	—	reserved	—	—	—	読み出し時: 0
		D2	PTOUT1	8bitタイマ1クロック出力制御	1 On 0 Off	0	R/W	
		D1	PSET1	8bitタイマ1プリセット	1 プリセット 0 無効	—	W	読み出し時: 0
		D0	PTRUN1	8bitタイマ1 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ1 リロードデータ レジスタ	0040165 (B)	D7	RLD17	8bitタイマ1	0 ~ 255	X	R/W	
		D6	RLD16	リロードデータ		X		
		D5	RLD15	RLD17 = MSB		X		
		D4	RLD14	RLD10 = LSB		X		
		D3	RLD13			X		
		D2	RLD12			X		
		D1	RLD11			X		
		D0	RLD10			X		
8bitタイマ1 カウントデータ レジスタ	0040166 (B)	D7	PTD17	8bitタイマ1カウントデータ	0 ~ 255	X	R	
		D6	PTD16	PTD17 = MSB		X		
		D5	PTD15	PTD10 = LSB		X		
		D4	PTD14			X		
		D3	PTD13			X		
		D2	PTD12			X		
		D1	PTD11			X		
		D0	PTD10			X		
8bitタイマ2 制御レジスタ	0040168 (B)	D7-3	—	reserved	—	—	—	読み出し時: 0
		D2	PTOUT2	8bitタイマ2クロック出力制御	1 On 0 Off	0	R/W	
		D1	PSET2	8bitタイマ2プリセット	1 プリセット 0 無効	—	W	読み出し時: 0
		D0	PTRUN2	8bitタイマ2 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ2 リロードデータ レジスタ	0040169 (B)	D7	RLD27	8bitタイマ2	0 ~ 255	X	R/W	
		D6	RLD26	リロードデータ		X		
		D5	RLD25	RLD27 = MSB		X		
		D4	RLD24	RLD20 = LSB		X		
		D3	RLD23			X		
		D2	RLD22			X		
		D1	RLD21			X		
		D0	RLD20			X		
8bitタイマ2 カウントデータ レジスタ	004016A (B)	D7	PTD27	8bitタイマ2カウントデータ	0 ~ 255	X	R	
		D6	PTD26	PTD27 = MSB		X		
		D5	PTD25	PTD20 = LSB		X		
		D4	PTD24			X		
		D3	PTD23			X		
		D2	PTD22			X		
		D1	PTD21			X		
		D0	PTD20			X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈
8bitタイマ3 制御レジスタ	004016C (B)	D7-3	—	reserved	—			—	—	読み出し時: 0
		D2	PTOUT3	8bitタイマ3クロック出力制御	1	On	0	Off	0	R/W
		D1	PSET3	8bitタイマ3プリセット	1	プリセット	0	無効	—	W 読み出し時: 0
		D0	PTRUN3	8bitタイマ3 Run/Stop制御	1	Run	0	Stop	0	R/W
8bitタイマ3 リロードデータ レジスタ	004016D (B)	D7	RLD37	8bitタイマ3	0 ~ 255			X	R/W	
		D6	RLD36	リロードデータ				X		
		D5	RLD35	RLD37 = MSB				X		
		D4	RLD34	RLD30 = LSB				X		
		D3	RLD33					X		
		D2	RLD32					X		
		D1	RLD31					X		
		D0	RLD30					X		
8bitタイマ3 カウントデータ レジスタ	004016E (B)	D7	PTD37	8bitタイマ3カウントデータ	0 ~ 255			X	R	
		D6	PTD36	PTD37 = MSB				X		
		D5	PTD35	PTD30 = LSB				X		
		D4	PTD34					X		
		D3	PTD33					X		
		D2	PTD32					X		
		D1	PTD31					X		
		D0	PTD30					X		

4 周辺回路

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
ウォッチドッグ タイマ書き込み 保護レジスタ	0040170 (B)	D7	WRWD	EWD書き込み保護	1	書込許可	0	書込禁止	0	R/W	読み出し時: 0
		D6-0	—	—	—			—	—		
ウォッチドッグ タイマイネーブル レジスタ	0040171 (B)	D7-2	—	—	—			—	—	読み出し時: 0	
		D1	EWD	ウォッチドッグタイマイネーブル	1	NMI許可	0	NMI禁止	0	R/W	
		D0	—	—	—			—	—	読み出し時: 0	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
パワー コントロール レジスタ	0040180 (B)	D7 D6	CLKDT1 CLKDT0	システムクロック分周比選択	CLKDT[1:0] 1 1 1/8 1 0 1/4 0 1 1/2 0 0 1/1	0 0	R/W	
		D5	PSCON	ブリスケーラOn/Off制御	1 On 0 Off	1	R/W	
		D4-3	—	reserved	—	0	—	1書き込み禁止
		D2	CLKCHG	CPU動作クロック切り換え	1 OSC3 0 OSC1	1	R/W	
		D1	SOSC3	高速(OSC3)発振On/Off制御	1 On 0 Off	1	R/W	
		D0	SOSC1	低速(OSC1)発振On/Off制御	1 On 0 Off	1	R/W	
ブリスケーラ クロック選択 レジスタ	0040181 (B)	D7-1	—	reserved	—	0	—	
		D0	PSCDT0	ブリスケーラクロック選択	1 OSC1 0 OSC3/PLL	0	R/W	
クロック オプション レジスタ	0040190 (B)	D7-4	—	—	—	—	—	読み出し時: 0
		D3	HLT2OP	HALTクロックオプション	1 On 0 Off	0	R/W	
		D2	8T1ON	高速(OSC3)発振待ち時間On	1 Off 0 On	1	R/W	
		D1	—	reserved	—	0	—	1書き込み禁止
		D0	PF1ON	OSC1外部出力On/Off制御	1 On 0 Off	0	R/W	
パワー コントロール レジスタ 保護レジスタ	004019E (B)	D7 D6 D5 D4 D3 D2 D1 D0	CLGP7 CLGP6 CLGP5 CLGP4 CLGP3 CLGP2 CLGP1 CLGP0	パワーコントロールレジスタ 保護フラグ	10010110(0x96)書き込みにより パワーコントロールレジスタ (0x40180)、クロックオプション レジスタ(0x40190)の書き込み保 護を解除 それ以外は書き込み禁止に設定	0 0 0 0 0 0 0 0	R/W	

4 周辺回路

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈	
シリアルI/F Ch.0送信データ レジスタ	00401E0 (B)	D7	TXD07	シリアルI/F Ch.0 送信データ TXD07(06) = MSB TXD00 = LSB	0x0 ~ 0xFF(0x7F)		X	R/W	調歩同期式7ビットモ ードの場合、TXD07 は無効	
		D6	TXD06							
		D5	TXD05							
		D4	TXD04							
		D3	TXD03							
		D2	TXD02							
		D1	TXD01							
		D0	TXD00							
		シリアルI/F Ch.0受信データ レジスタ	00401E1 (B)				D7			RXD07
D6	RXD06									
D5	RXD05									
D4	RXD04									
D3	RXD03									
D2	RXD02									
D1	RXD01									
D0	RXD00									
シリアルI/F Ch.0ステータス レジスタ	00401E2 (B)			D7-6	—	—	—		—	—
		D5	TEND0	Ch.0転送終了フラグ	1 転送中	0 終了	0	R		
		D4	FER0	Ch.0フレーミングエラーフラグ	1 エラー	0 正常	0	R/W	0書き込みでクリア	
		D3	PER0	Ch.0パリティエラーフラグ	1 エラー	0 正常	0	R/W	0書き込みでクリア	
		D2	OER0	Ch.0オーバーランエラーフラグ	1 エラー	0 正常	0	R/W	0書き込みでクリア	
		D1	TDBE0	Ch.0送信データバッファエンプティ	1 エンプティ	0 バッファフル	1	R		
		D0	RDBF0	Ch.0受信データバッファフル	1 バッファフル	0 エンプティ	0	R		
		シリアルI/F Ch.0制御 レジスタ	00401E3 (B)	D7	TXEN0	Ch.0送信許可	1 許可	0 禁止	0	R/W
D6	RXEN0			Ch.0受信許可	1 許可	0 禁止	0	R/W		
D5	EPR0			Ch.0パリティイネーブル	1 パリティ付	0 パリティなし	X	R/W	調歩同期式モード時 のみ有効	
D4	PMD0			Ch.0/パリティモード選択	1 奇数	0 偶数	X	R/W		
D3	STPB0			Ch.0ストップビット選択	1 2bit	0 1bit	X	R/W		
D2	SCLK0			Ch.0入力クロック選択	1 #SCLK0	0 内部クロック	X	R/W		
D1	SMD01			Ch.0転送モード選択	SMD0[1:0]		転送モード	X	R/W	
D0	SMD00				1 1	調歩同期式8bit	X			
					1 0	調歩同期式7bit				
					0 1	クロック同期スレーブ クロック同期マスタ				
シリアルI/F Ch.0 IrDA レジスタ	00401E4 (B)	D7-5	—	—	—		—	—	読み出し時: 0	
		D4	DIVMD0	Ch.0調歩同期クロック分周比	1 1/8	0 1/16	X	R/W		
		D3	IRTL0	Ch.0 IrDA I/F出力論理反転	1 反転	0 反転なし	X	R/W	調歩同期式モード時 のみ有効	
		D2	IRRL0	Ch.0 IrDA I/F入力論理反転	1 反転	0 反転なし	X	R/W		
		D1	IRMD01	Ch.0インタフェースモード 選択	IRMD0[1:0]		I/Fモード	X	R/W	
		D0	IRMD00		1 1	reserved				
					1 0	IrDA 1.0				
					0 1	reserved				
		0 0	通常のI/F							

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈		
シリアルI/F Ch.1送信データ レジスタ	00401E5 (B)	D7	TXD17	シリアルI/F Ch.1	0x0 ~ 0xFF(0x7F)		X	R/W	調歩同期式7ビットモ ードの場合、TXD17 は無効		
		D6	TXD16	送信データ							
		D5	TXD15	TXD17(16) = MSB							
		D4	TXD14	TXD10 = LSB							
		D3	TXD13								
		D2	TXD12								
		D1	TXD11								
		D0	TXD10								
		シリアルI/F Ch.1受信データ レジスタ	00401E6 (B)	D7			RXD17			シリアルI/F Ch.1	0x0 ~ 0xFF(0x7F)
D6	RXD16			受信データ							
D5	RXD15			RXD17(16) = MSB							
D4	RXD14			RXD10 = LSB							
D3	RXD13										
D2	RXD12										
D1	RXD11										
D0	RXD10										
シリアルI/F Ch.1ステータス レジスタ	00401E7 (B)			D7-6	—	—	—		—	—	
		D5	TEND1	Ch.1転送終了フラグ	1	転送中	0	終了	0	R	
		D4	FER1	Ch.1フレーミングエラーフラグ	1	エラー	0	正常	0	R/W	0書き込みでクリア
		D3	PER1	Ch.1パリティエラーフラグ	1	エラー	0	正常	0	R/W	0書き込みでクリア
		D2	OER1	Ch.1オーバーランエラーフラグ	1	エラー	0	正常	0	R/W	0書き込みでクリア
		D1	TDBE1	Ch.1送信データバッファエンプティ	1	エンプティ	0	バッファフル	1	R	
		D0	RDBF1	Ch.1受信データバッファフル	1	バッファフル	0	エンプティ	0	R	
		シリアルI/F Ch.1制御 レジスタ	00401E8 (B)	D7	TXEN1	Ch.1送信許可	1	許可	0	禁止	0
D6	RXEN1			Ch.1受信許可	1	許可	0	禁止	0	R/W	
D5	EPR1			Ch.1パリティイネーブル	1	パリティ付	0	パリティなし	X	R/W	調歩同期式モード時 のみ有効
D4	PMD1			Ch.1パリティモード選択	1	奇数	0	偶数	X	R/W	
D3	STPB1			Ch.1ストップビット選択	1	2bit	0	1bit	X	R/W	
D2	SSCK1			Ch.1入カクロック選択	1	#SCLK1	0	内部クロック	X	R/W	
D1	SMD11			Ch.1転送モード選択	SMD1[1:0]		転送モード		X	R/W	
D0	SMD10				1	1	調歩同期式8bit	X			
					1	0	調歩同期式7bit				
					0	1	クロック同期スレーブ クロック同期マスタ				
シリアルI/F Ch.1 IrDA レジスタ	00401E9 (B)	D7-5	—	—	—		—	—	読み出し時: 0		
		D4	DIVMD1	Ch.1調歩同期クロック分周比	1	1/8	0	1/16	X	R/W	
		D3	IRTL1	Ch.1 IrDA I/F出力論理反転	1	反転	0	反転なし	X	R/W	調歩同期式モード時 のみ有効
		D2	IRRL1	Ch.1 IrDA I/F入力論理反転	1	反転	0	反転なし	X	R/W	
		D1	IRMD11	Ch.1インタフェースモード 選択	IRMD1[1:0]		I/Fモード		X	R/W	
		D0	IRMD10		1	1	reserved				
					1	0	IrDA 1.0				
						0	1	reserved			
				0	0	通常のI/F					

4 周辺回路

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
ポート入力 割り込み0/1 プライオリティ レジスタ	0040260 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP1L2	ポート入力1	0 ~ 7	X	R/W	
		D5	PP1L1	割り込みレベル		X		
		D4	PP1L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP0L2	ポート入力0	0 ~ 7	X	R/W	
		D1	PP0L1	割り込みレベル		X		
		D0	PP0L0			X		
ポート入力 割り込み2/3 プライオリティ レジスタ	0040261 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP3L2	ポート入力3	0 ~ 7	X	R/W	
		D5	PP3L1	割り込みレベル		X		
		D4	PP3L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP2L2	ポート入力2	0 ~ 7	X	R/W	
		D1	PP2L1	割り込みレベル		X		
		D0	PP2L0			X		
キー入力割り込 みプライオリテ ィレジスタ	0040262 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PK1L2	キー入力1	0 ~ 7	X	R/W	
		D5	PK1L1	割り込みレベル		X		
		D4	PK1L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PK0L2	キー入力0	0 ~ 7	X	R/W	
		D1	PK0L1	割り込みレベル		X		
		D0	PK0L0			X		
16bitタイマ0/1 割り込み プライオリティ レジスタ	0040266 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	P16T12	16bitタイマ1	0 ~ 7	X	R/W	
		D5	P16T11	割り込みレベル		X		
		D4	P16T10			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	P16T02	16bitタイマ0	0 ~ 7	X	R/W	
		D1	P16T01	割り込みレベル		X		
		D0	P16T00			X		
16bitタイマ2/3 割り込み プライオリティ レジスタ	0040267 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	P16T32	16bitタイマ3	0 ~ 7	X	R/W	
		D5	P16T31	割り込みレベル		X		
		D4	P16T30			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	P16T22	16bitタイマ2	0 ~ 7	X	R/W	
		D1	P16T21	割り込みレベル		X		
		D0	P16T20			X		
16bitタイマ4/5 割り込み プライオリティ レジスタ	0040268 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	P16T52	16bitタイマ5	0 ~ 7	X	R/W	
		D5	P16T51	割り込みレベル		X		
		D4	P16T50			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	P16T42	16bitタイマ4	0 ~ 7	X	R/W	
		D1	P16T41	割り込みレベル		X		
		D0	P16T40			X		
8bitタイマ, シリ アル/F Ch.0 割り込み プライオリティ レジスタ	0040269 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PSIO02	シリアルインタフェースCh.0	0 ~ 7	X	R/W	
		D5	PSIO01	割り込みレベル		X		
		D4	PSIO00			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	P8TM2	8bitタイマ0-3	0 ~ 7	X	R/W	
		D1	P8TM1	割り込みレベル		X		
		D0	P8TM0			X		
シリアル/F Ch.1 割り込み プライオリティ レジスタ	004026A (B)	D7-3	—	reserved	—	—	—	読み出し時: 0
		D2	PSIO12	シリアルインタフェースCh.1	0 ~ 7	X	R/W	
		D1	PSIO11	割り込みレベル		X		
		D0	PSIO10			X		
計時タイマ 割り込み プライオリティ レジスタ	004026B (B)	D7-3	—	reserved	—	—	—	1書き込み禁止
		D2	PCTM2	計時タイマ	0 ~ 7	X	R/W	
		D1	PCTM1	割り込みレベル		X		
		D0	PCTM0			X		

レジスタ名	アドレス	ビット	名称	機能	設定	Init.	R/W	注 釈
ポート入力 割り込み4/5 プライオリティ レジスタ	004026C (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP5L2	ポート入力5	0 ~ 7	X	R/W	
		D5	PP5L1	割り込みレベル		X		
		D4	PP5L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP4L2	ポート入力4	0 ~ 7	X	R/W	
		D1	PP4L1	割り込みレベル		X		
		D0	PP4L0			X		
ポート入力 割り込み6/7 プライオリティ レジスタ	004026D (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP7L2	ポート入力7	0 ~ 7	X	R/W	
		D5	PP7L1	割り込みレベル		X		
		D4	PP7L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP6L2	ポート入力6	0 ~ 7	X	R/W	
		D1	PP6L1	割り込みレベル		X		
		D0	PP6L0			X		
キー入力, ポート入力0-3 割り込み イネーブル レジスタ	0040270 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	EK1	キー入力1	1 許可	0 禁止	0 R/W	
		D4	EK0	キー入力0			0 R/W	
		D3	EP3	ポート入力3			0 R/W	
		D2	EP2	ポート入力2			0 R/W	
		D1	EP1	ポート入力1			0 R/W	
		D0	EP0	ポート入力0			0 R/W	
16bitタイマ0/1 割り込み イネーブル レジスタ	0040272 (B)	D7	E16TC1	16bitタイマ1コンペアA	1 許可	0 禁止	0 R/W	
		D6	E16TU1	16bitタイマ1コンペアB			0 R/W	
		D5-4	—	reserved	—	—	—	読み出し時: 0
		D3	E16TC0	16bitタイマ0コンペアA	1 許可	0 禁止	0 R/W	
		D2	E16TU0	16bitタイマ0コンペアB			0 R/W	
		D1-0	—	reserved	—	—	—	読み出し時: 0
16bitタイマ2/3 割り込み イネーブル レジスタ	0040273 (B)	D7	E16TC3	16bitタイマ3コンペアA	1 許可	0 禁止	0 R/W	
		D6	E16TU3	16bitタイマ3コンペアB			0 R/W	
		D5-4	—	reserved	—	—	—	読み出し時: 0
		D3	E16TC2	16bitタイマ2コンペアA	1 許可	0 禁止	0 R/W	
		D2	E16TU2	16bitタイマ2コンペアB			0 R/W	
		D1-0	—	reserved	—	—	—	読み出し時: 0
16bitタイマ4/5 割り込み イネーブル レジスタ	0040274 (B)	D7	E16TC5	16bitタイマ5コンペアA	1 許可	0 禁止	0 R/W	
		D6	E16TU5	16bitタイマ5コンペアB			0 R/W	
		D5-4	—	reserved	—	—	—	読み出し時: 0
		D3	E16TC4	16bitタイマ4コンペアA	1 許可	0 禁止	0 R/W	
		D2	E16TU4	16bitタイマ4コンペアB			0 R/W	
		D1-0	—	reserved	—	—	—	読み出し時: 0
8bitタイマ 割り込み イネーブル レジスタ	0040275 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	E8TU3	8bitタイマ3アンダーフロー	1 許可	0 禁止	0 R/W	
		D2	E8TU2	8bitタイマ2アンダーフロー			0 R/W	
		D1	E8TU1	8bitタイマ1アンダーフロー			0 R/W	
		D0	E8TU0	8bitタイマ0アンダーフロー			0 R/W	
シリアルI/F 割り込み イネーブル レジスタ	0040276 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	ESTX1	SIF Ch.1送信バッファエンプティ	1 許可	0 禁止	0 R/W	
		D4	ESRX1	SIF Ch.1受信バッファフル			0 R/W	
		D3	ESERR1	SIF Ch.1受信エラー			0 R/W	
		D2	ESTX0	SIF Ch.0送信バッファエンプティ			0 R/W	
		D1	ESRX0	SIF Ch.0受信バッファフル			0 R/W	
		D0	ESERR0	SIF Ch.0受信エラー			0 R/W	
ポート入力4-7, 計時タイマ 割り込みイネー ブルレジスタ	0040277 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	EP7	ポート入力7	1 許可	0 禁止	0 R/W	
		D4	EP6	ポート入力6			0 R/W	
		D3	EP5	ポート入力5			0 R/W	
		D2	EP4	ポート入力4			0 R/W	
		D1	ECTM	計時タイマ			0 R/W	
		D0	—	reserved	—	—	0 R/W	1書き込み禁止
キー入力, ポート入力0-3 割り込み要因 フラグレジスタ	0040280 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	FK1	キー入力1	1 要因発生	0 要因なし	X R/W	
		D4	FK0	キー入力0			X R/W	
		D3	FP3	ポート入力3			X R/W	
		D2	FP2	ポート入力2			X R/W	
		D1	FP1	ポート入力1			X R/W	
		D0	FP0	ポート入力0			X R/W	

4 周辺回路

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈
16bitタイマ0/1 割り込み 要因フラグ レジスタ	0040282 (B)	D7	F16TC1	16bitタイマ1コンペアA	1	要因発生	0	要因なし	X	R/W	
		D6	F16TU1	16bitタイマ1コンペアB					X	R/W	
		D5-4	—	reserved	—				—	—	読み出し時: 0
		D3	F16TC0	16bitタイマ0コンペアA	1	要因発生	0	要因なし	X	R/W	
		D2	F16TU0	16bitタイマ0コンペアB					X	R/W	
D1-0	—	reserved	—				—	—	読み出し時: 0		
16bitタイマ2/3 割り込み 要因フラグ レジスタ	0040283 (B)	D7	F16TC3	16bitタイマ3コンペアA	1	要因発生	0	要因なし	X	R/W	
		D6	F16TU3	16bitタイマ3コンペアB					X	R/W	
		D5-4	—	reserved	—				—	—	読み出し時: 0
		D3	F16TC2	16bitタイマ2コンペアA	1	要因発生	0	要因なし	X	R/W	
		D2	F16TU2	16bitタイマ2コンペアB					X	R/W	
D1-0	—	reserved	—				—	—	読み出し時: 0		
16bitタイマ4/5 割り込み 要因フラグ レジスタ	0040284 (B)	D7	F16TC5	16bitタイマ5コンペアA	1	要因発生	0	要因なし	X	R/W	
		D6	F16TU5	16bitタイマ5コンペアB					X	R/W	
		D5-4	—	reserved	—				—	—	読み出し時: 0
		D3	F16TC4	16bitタイマ4コンペアA	1	要因発生	0	要因なし	X	R/W	
		D2	F16TU4	16bitタイマ4コンペアB					X	R/W	
D1-0	—	reserved	—				—	—	読み出し時: 0		
8bitタイマ 割り込み 要因フラグ レジスタ	0040285 (B)	D7-4	—	reserved	—				—	—	読み出し時: 0
		D3	F8TU3	8bitタイマ3アンダーフロー	1	要因発生	0	要因なし	X	R/W	
		D2	F8TU2	8bitタイマ2アンダーフロー					X	R/W	
		D1	F8TU1	8bitタイマ1アンダーフロー					X	R/W	
D0	F8TU0	8bitタイマ0アンダーフロー	X	R/W							
シリアルI/F 割り込み 要因フラグ レジスタ	0040286 (B)	D7-6	—	reserved	—				—	—	読み出し時: 0
		D5	FSTX1	SIF Ch.1送信バッファエンプティ	1	要因発生	0	要因なし	X	R/W	
		D4	FSRX1	SIF Ch.1受信バッファフル					X	R/W	
		D3	FSERR1	SIF Ch.1受信エラー					X	R/W	
		D2	FSTX0	SIF Ch.0送信バッファエンプティ					X	R/W	
		D1	FSRX0	SIF Ch.0受信バッファフル					X	R/W	
		D0	FSERR0	SIF Ch.0受信エラー					X	R/W	
ポート入力4-7, 計時タイマ 割り込み要因 フラグレジスタ	0040287 (B)	D7-6	—	reserved					—		
		D5	FP7	ポート入力7	1	要因発生	0	要因なし	X	R/W	
		D4	FP6	ポート入力6					X	R/W	
		D3	FP5	ポート入力5					X	R/W	
		D2	FP4	ポート入力4					X	R/W	
		D1	FCTM	計時タイマ					X	R/W	
		D0	—	reserved					X	R/W	
フラグセット/I/F セット方式選択 レジスタ	004029F (B)	D7-1	—	reserved					—		
		D0	RSTONLY	割り込み要因フラグ リセット方式選択	1	リセット オンリー	0	RD/WR	1	R/W	
ポート入力 割り込み選択 レジスタ1	00402C6 (B)	D7	SPT31	FPT3割り込み入力ポート選択	11	10	01	00	0	R/W	
		D6	SPT30		P23	P03	—	—	0		
		D5	SPT21	FPT2割り込み入力ポート選択	11	10	01	00	0	R/W	
		D4	SPT20		P22	P02	—	—	0		
		D3	SPT11	FPT1割り込み入力ポート選択	11	10	01	00	0	R/W	
		D2	SPT10		P21	P01	—	—	0		
		D1	SPT01	FPT0割り込み入力ポート選択	11	10	01	00	0	R/W	
		D0	SPT00		P20	P00	—	—	0		
ポート入力 割り込み選択 レジスタ2	00402C7 (B)	D7	SPT71	FPT7割り込み入力ポート選択	11	10	01	00	0	R/W	
		D6	SPT70		P27	P07	P33	—	0		
		D5	SPT61	FPT6割り込み入力ポート選択	11	10	01	00	0	R/W	
		D4	SPT60		P26	P06	P32	—	0		
		D3	SPT51	FPT5割り込み入力ポート選択	11	10	01	00	0	R/W	
		D2	SPT50		P25	P05	P31	—	0		
		D1	SPT41	FPT4割り込み入力ポート選択	11	10	01	00	0	R/W	
		D0	SPT40		P24	P04	—	—	0		
ポート入力 割り込み 入力極性選択 レジスタ	00402C8 (B)	D7	SPPT7	FPT7入力極性選択	1	Highレベル または 立ち上がり エッジ	0	Lowレベル または 立ち下がり エッジ	1	R/W	
		D6	SPPT6	FPT6入力極性選択					1	R/W	
		D5	SPPT5	FPT5入力極性選択					1	R/W	
		D4	SPPT4	FPT4入力極性選択					1	R/W	
		D3	SPPT3	FPT3入力極性選択					1	R/W	
		D2	SPPT2	FPT2入力極性選択					1	R/W	
		D1	SPPT1	FPT1入力極性選択					1	R/W	
		D0	SPPT0	FPT0入力極性選択					1	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈
ポート入力 割り込み エッジ/レベル 選択レジスタ	00402C9 (B)	D7	SEPT7	FPT7エッジ/レベル選択	1	エッジ	0	レベル	1	R/W	
		D6	SEPT6	FPT6エッジ/レベル選択					1	R/W	
		D5	SEPT5	FPT5エッジ/レベル選択					1	R/W	
		D4	SEPT4	FPT4エッジ/レベル選択					1	R/W	
		D3	SEPT3	FPT3エッジ/レベル選択					1	R/W	
		D2	SEPT2	FPT2エッジ/レベル選択					1	R/W	
		D1	SEPT1	FPT1エッジ/レベル選択					1	R/W	
		D0	SEPT0	FPT0エッジ/レベル選択					1	R/W	
キー入力 割り込み選択 レジスタ	00402CA (B)	D7-4	—	reserved	—				—	—	読み出し時: 0
		D3	SPPK11	FPK1割り込み入力ポート選択	11	10	01	00	0	R/W	
		D2	SPPK10	FPK0割り込み入力ポート選択	P2[7:4]	P0[7:4]	—	—	0		
		D1	SPPK01		11	10	01	00	0	R/W	
		D0	SPPK00		P2[4:0]	P0[4:0]	—	—	0		
キー入力 割り込み(FPK0) 入力比較 レジスタ	00402CC (B)	D7-5	—	reserved	—				—	—	読み出し時: 0
		D4	SCPK04	FPK04入力比較	1	High	0	Low	0	R/W	
		D3	SCPK03	FPK03入力比較					0	R/W	
		D2	SCPK02	FPK02入力比較					0	R/W	
		D1	SCPK01	FPK01入力比較					0	R/W	
		D0	SCPK00	FPK00入力比較					0	R/W	
キー入力 割り込み(FPK1) 入力比較 レジスタ	00402CD (B)	D7-4	—	reserved	—				—	—	読み出し時: 0
		D3	SCPK13	FPK13入力比較	1	High	0	Low	0	R/W	
		D2	SCPK12	FPK12入力比較					0	R/W	
		D1	SCPK11	FPK11入力比較					0	R/W	
		D0	SCPK10	FPK10入力比較					0	R/W	
キー入力 割り込み(FPK0) 入力マスク レジスタ	00402CE (B)	D7-5	—	reserved	—				—	—	読み出し時: 0
		D4	SMPK04	FPK04入力マスク	1	割り込み 許可	0	割り込み 禁止	0	R/W	
		D3	SMPK03	FPK03入力マスク					0	R/W	
		D2	SMPK02	FPK02入力マスク					0	R/W	
		D1	SMPK01	FPK01入力マスク					0	R/W	
		D0	SMPK00	FPK00入力マスク					0	R/W	
キー入力 割り込み(FPK1) 入力マスク レジスタ	00402CF (B)	D7-4	—	reserved	—				—	—	読み出し時: 0
		D3	SMPK13	FPK13入力マスク	1	割り込み 許可	0	割り込み 禁止	0	R/W	
		D2	SMPK12	FPK12入力マスク					0	R/W	
		D1	SMPK11	FPK11入力マスク					0	R/W	
		D0	SMPK10	FPK10入力マスク					0	R/W	
P0機能選択 レジスタ	00402D0 (B)	D7	CFP07	P07機能選択	1	#SRDY1	0	P07	0	R/W	拡張機能(0x402DF)
		D6	CFP06	P06機能選択	1	#SCLK1	0	P06	0	R/W	
		D5	CFP05	P05機能選択	1	SOUT1	0	P05	0	R/W	
		D4	CFP04	P04機能選択	1	SIN1	0	P04	0	R/W	
		D3	CFP03	P03機能選択	1	#SRDY0	0	P03	0	R/W	
		D2	CFP02	P02機能選択	1	#SCLK0	0	P02	0	R/W	
		D1	CFP01	P01機能選択	1	SOUT0	0	P01	0	R/W	
		D0	CFP00	P00機能選択	1	SIN0	0	P00	0	R/W	
P0入出力兼用 ポートデータ レジスタ	00402D1 (B)	D7	P07D	P07入出力兼用ポートデータ	1	High	0	Low	0	R/W	
		D6	P06D	P06入出力兼用ポートデータ					0	R/W	
		D5	P05D	P05入出力兼用ポートデータ					0	R/W	
		D4	P04D	P04入出力兼用ポートデータ					0	R/W	
		D3	P03D	P03入出力兼用ポートデータ					0	R/W	
		D2	P02D	P02入出力兼用ポートデータ					0	R/W	
		D1	P01D	P01入出力兼用ポートデータ					0	R/W	
		D0	P00D	P00入出力兼用ポートデータ					0	R/W	
P0 I/O制御 レジスタ	00402D2 (B)	D7	IOC07	P07 I/O制御	1	出力	0	入力	0	R/W	
		D6	IOC06	P06 I/O制御					0	R/W	
		D5	IOC05	P05 I/O制御					0	R/W	
		D4	IOC04	P04 I/O制御					0	R/W	
		D3	IOC03	P03 I/O制御					0	R/W	
		D2	IOC02	P02 I/O制御					0	R/W	
		D1	IOC01	P01 I/O制御					0	R/W	
		D0	IOC00	P00 I/O制御					0	R/W	

4 周辺回路

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
P1機能選択 レジスタ	00402D4 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	CFP16	P16機能選択	1 EXCL5	0 P16	0 R/W	拡張機能(0x402DF)
		D5	CFP15	P15機能選択	1 EXCL4	0 P15	0 R/W	
		D4	CFP14	P14機能選択	1 FOSC1	0 P14	0 R/W	
		D3	CFP13	P13機能選択	1 EXCL3 T8UF3	0 P13	0 R/W	
		D2	CFP12	P12機能選択	1 EXCL2 T8UF2	0 P12	0 R/W	
		D1	CFP11	P11機能選択	1 EXCL1 T8UF1	0 P11	0 R/W	
		D0	CFP10	P10機能選択	1 EXCL0 T8UF0	0 P10	0 R/W	
P1入出力兼用 ポートデータ レジスタ	00402D5 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	P16D	P16入出力兼用ポートデータ	1 High	0 Low	0 R/W	
		D5	P15D	P15入出力兼用ポートデータ			0 R/W	
		D4	P14D	P14入出力兼用ポートデータ			0 R/W	
		D3	P13D	P13入出力兼用ポートデータ			0 R/W	
		D2	P12D	P12入出力兼用ポートデータ			0 R/W	
		D1	P11D	P11入出力兼用ポートデータ			0 R/W	
		D0	P10D	P10入出力兼用ポートデータ			0 R/W	
P1 I/O制御 レジスタ	00402D6 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	IOC16	P16 I/O制御	1 出力	0 入力	0 R/W	
		D5	IOC15	P15 I/O制御			0 R/W	
		D4	IOC14	P14 I/O制御			0 R/W	
		D3	IOC13	P13 I/O制御			0 R/W	
		D2	IOC12	P12 I/O制御			0 R/W	
		D1	IOC11	P11 I/O制御			0 R/W	
		D0	IOC10	P10 I/O制御			0 R/W	
P2機能選択 レジスタ	00402D8 (B)	D7	CFP27	P27機能選択	1 TM5	0 P27	0 R/W	
		D6	CFP26	P26機能選択	1 TM4	0 P26	0 R/W	
		D5	CFP25	P25機能選択	1 TM3	0 P25	0 R/W	
		D4	CFP24	P24機能選択	1 TM2	0 P24	0 R/W	
		D3	CFP23	P23機能選択	1 TM1	0 P23	0 R/W	
		D2	CFP22	P22機能選択	1 TM0	0 P22	0 R/W	
		D1	CFP21	P21機能選択	1 #DWE	0 P21	0 R/W	拡張機能(0x402DF)
		D0	CFP20	P20機能選択	1 #DRD	0 P20	0 R/W	
P2入出力兼用 ポートデータ レジスタ	00402D9 (B)	D7	P27D	P27入出力兼用ポートデータ	1 High	0 Low	0 R/W	
		D6	P26D	P26入出力兼用ポートデータ			0 R/W	
		D5	P25D	P25入出力兼用ポートデータ			0 R/W	
		D4	P24D	P24入出力兼用ポートデータ			0 R/W	
		D3	P23D	P23入出力兼用ポートデータ			0 R/W	
		D2	P22D	P22入出力兼用ポートデータ			0 R/W	
		D1	P21D	P21入出力兼用ポートデータ			0 R/W	
		D0	P20D	P20入出力兼用ポートデータ			0 R/W	
P2 I/O制御 レジスタ	00402DA (B)	D7	IOC27	P27 I/O制御	1 出力	0 入力	0 R/W	
		D6	IOC26	P26 I/O制御			0 R/W	
		D5	IOC25	P25 I/O制御			0 R/W	
		D4	IOC24	P24 I/O制御			0 R/W	
		D3	IOC23	P23 I/O制御			0 R/W	
		D2	IOC22	P22 I/O制御			0 R/W	
		D1	IOC21	P21 I/O制御			0 R/W	
		D0	IOC20	P20 I/O制御			0 R/W	
P3機能選択 レジスタ	00402DC (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	CFP35	P35機能選択	1 #BUSACK	0 P35	0 R/W	
		D4	CFP34	P34機能選択	1 #BUSREQ #CE6	0 P34	0 R/W	
		D3-2	—	reserved	—	—	0 R/W	1書き込み禁止
		D1	CFP31	P31機能選択	1 #BUSGET	0 P31	0 R/W	拡張機能(0x402DF)
		D0	CFP30	P30機能選択	1 #WAIT #CE4/#CE5	0 P30	0 R/W	
P3入出力兼用 ポートデータ レジスタ	00402DD (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	P35D	P35入出力兼用ポートデータ	1 High	0 Low	0 R/W	
		D4	P34D	P34入出力兼用ポートデータ			0 R/W	
		D3	P33D	P33入出力兼用ポートデータ			0 R/W	
		D2	P32D	P32入出力兼用ポートデータ			0 R/W	
		D1	P31D	P31入出力兼用ポートデータ			0 R/W	
		D0	P30D	P30入出力兼用ポートデータ			0 R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈	
P3 I/O制御 レジスタ	00402DE (B)	D7-6	—	reserved	—				—	—	読み出し時: 0	
		D5	IOC35	P35 I/O制御	1	出力	0	入力	0	R/W		
		D4	IOC34	P34 I/O制御					0	R/W		
		D3	IOC33	P33 I/O制御					0	R/W		
		D2	IOC32	P32 I/O制御					0	R/W		
		D1	IOC31	P31 I/O制御					0	R/W		
		D0	IOC30	P30 I/O制御					0	R/W		
ポート機能拡張 レジスタ	00402DF (B)	D7-4	—	reserved	—				0	R/W	1書き込み禁止	
		D3	CFEX3	P31ポート機能拡張	1	#GARD	0	P31, etc.	0	R/W		
		D2	CFEX2	P21ポート機能拡張	1	#GAAS	0	P21, etc.	0	R/W		
		D1	CFEX1	P10, P11, P13ポート機能拡張	1	DST0 DST1 DPC0	0	P10, etc. P11, etc. P13, etc.	1	R/W		
		D0	CFEX0	P12, P14ポート機能拡張	1	DST2 DCLK	0	P12, etc. P14, etc.	1	R/W		
アドレスバス 機能選択 レジスタ	0040300	D7	CFA23	A23機能選択	1	P07 etc.	0	A23	0	R/W		
		D6	CFA22	A22機能選択	1	P35 etc.	0	A22	0	R/W		
		D5	CFA21	A21機能選択	1	P34 etc.	0	A21	0	R/W		
		D4	CFA20	A20機能選択	1	P33	0	A20	0	R/W		
		D3-0	—	reserved	—				—	—	読み出し時: 0	
チップ イネーブル 機能選択 レジスタ	0040301	D7-6	—	reserved	—				—	—	読み出し時: 0	
		D5	CFCE9	#CE9機能選択	1	P32	0	#CE9, etc.	0	R/W		
		D4	CFCE8	#CE8機能選択	1	P31, etc.	0	#CE8, etc.	0	R/W		
		D3	CFCE7	#CE7機能選択	1	P21, etc.	0	#CE7, etc.	0	R/W		
		D2	CFCE6	#CE6機能選択	1	P20, etc.	0	#CE6, etc.	0	R/W		
		D1	CFCE5	#CE5機能選択	1	P16, etc.	0	#CE5, etc.	0	R/W		
		D0	CFCE4	#CE4機能選択	1	P15, etc.	0	#CE4, etc.	0	R/W		
エリア18-15 設定レジスタ	0048120 (HW)	DF	—	reserved	—				—	—	読み出し時: 0	
		DE	A18SZ	エリア18-17デバイスサイズ選択	1	8ビット	0	16ビット	0	R/W		
		DD	A18DF1	エリア18-17	A18DF[1:0]		サイクル数		1	R/W		
		DC	A18DF0	出力ディセーブル遅延時間	1	1	3.5		1			
					1	0	2.5					
					0	1	1.5					
					0	1	0.5					
					0	0						
		DB	—	reserved	—				—	—		読み出し時: 0
		DA	A18WT2	エリア18-17ウェイト制御	A18WT[2:0]		ウェイト数		1	R/W		
		D9	A18WT1		1	1	1	7	1			
		D8	A18WT0		1	1	0	6	1			
					1	0	1	5				
					1	0	0	4				
					0	1	1	3				
					0	1	0	2				
					0	0	1	1				
					0	0	0	0				
		D7	—	reserved	—				—	—		読み出し時: 0
		D6	A16SZ	エリア16-15デバイスサイズ選択	1	8ビット	0	16ビット	0	R/W		
		D5	A16DF1	エリア16-15	A16DF[1:0]		サイクル数		1	R/W		
		D4	A16DF0	出力ディセーブル遅延時間	1	1	3.5		1			
					1	0	2.5					
					0	1	1.5					
0	0				0.5							
D3	—	reserved	—				—	—	読み出し時: 0			
D2	A16WT2	エリア16-15ウェイト制御	A16WT[2:0]		ウェイト数		1	R/W				
D1	A16WT1		1	1	1	7	1					
D0	A16WT0		1	1	0	6	1					
			1	0	1	5						
			1	0	0	4						
			0	1	1	3						
			0	1	0	2						
			0	0	1	1						
			0	0	0	0						

4 周辺回路

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈		
エリア14-13 設定レジスタ	0048122 (HW)	DF-9	—	reserved	—		—	—	読み出し時: 0	
		D8	A14DRA	エリア14 DRAM選択	1 使用	0 未使用	0	R/W		
		D7	A13DRA	エリア13 DRAM選択	1 使用	0 未使用	0	R/W		
		D6	A14SZ	エリア14-13デバイスサイズ選択	1 8ビット	0 16ビット	0	R/W		
		D5	A14DF1	エリア14-13 出力ディセーブル遅延時間	A14DF[1:0]		サイクル数	1	R/W	
		D4	A14DF0		1 1	3.5	1			
			1 0		2.5					
			0 1		1.5					
			0 0		0.5					
		D3	—	reserved	—		—	—	読み出し時: 0	
		D2	A14WT2	エリア14-13ウェイト制御	A14WT[2:0]		ウェイト数	1	R/W	
		D1	A14WT1		1 1 1	7	1			
		D0	A14WT0		1 1 0	6	1			
			1 0 1		5					
			1 0 0		4					
			0 1 1		3					
			0 1 0		2					
			0 0 1		1					
	0 0 0	0								
エリア12-11 設定レジスタ	0048124 (HW)	DF-7	—	reserved	—		—	—	読み出し時: 0	
		D6	A12SZ	エリア12-11デバイスサイズ選択	1 8ビット	0 16ビット	0	R/W		
		D5	A12DF1	エリア12-11 出力ディセーブル遅延時間	A18DF[1:0]		サイクル数	1	R/W	
		D4	A12DF0		1 1	3.5	1			
			1 0		2.5					
			0 1		1.5					
			0 0		0.5					
		D3	—	reserved	—		—	—	読み出し時: 0	
		D2	A12WT2	エリア12-11ウェイト制御	A18WT[2:0]		ウェイト数	1	R/W	
		D1	A12WT1		1 1 1	7	1			
		D0	A12WT0		1 1 0	6	1			
			1 0 1		5					
	1 0 0	4								
	0 1 1	3								
	0 1 0	2								
	0 0 1	1								
	0 0 0	0								
エリア10-9 設定レジスタ	0048126 (HW)	DF	—	reserved	—		—	—	読み出し時: 0	
		DE	A10IR2	エリア10内蔵ROM容量選択	A10IR[2:0]		ROM容量	1	R/W	
		DD	A10IR1		1 1 1	2MB	1			
		DC	A10IR0		1 1 0	1MB	1			
			1 0 1		512KB					
			1 0 0		256KB					
			0 1 1		128KB					
			0 1 0		64KB					
			0 0 1		32KB					
			0 0 0		16KB					
		DB	—	reserved	—		—	—	読み出し時: 0	
		DA	A10BW1	エリア10-9 バーストROM バーストリードサイクルウェイト 制御	A10BW[1:0]		ウェイト数	0	R/W	
		D9	A10BW0		1 1	3	0			
			1 0		2					
			0 1		1					
			0 0		0					
		D8	A10DRA	エリア10バーストROM選択	1 使用	0 未使用	0	R/W		
		D7	A9DRA	エリア9バーストROM選択	1 使用	0 未使用	0	R/W		
		D6	A10SZ	エリア10-9デバイスサイズ選択	1 8ビット	0 16ビット	0	R/W		
		D5	A10DF1	エリア10-9 出力ディセーブル遅延時間	A10DF[1:0]		サイクル数	1	R/W	
		D4	A10DF0		1 1	3.5	1			
			1 0		2.5					
			0 1		1.5					
			0 0		0.5					
		D3	—	reserved	—		—	—	読み出し時: 0	
		D2	A10WT2	エリア10-9ウェイト制御	A10WT[2:0]		ウェイト数	1	R/W	
		D1	A10WT1		1 1 1	7	1			
		D0	A10WT0		1 1 0	6	1			
			1 0 1		5					
			1 0 0		4					
			0 1 1		3					
			0 1 0		2					
			0 0 1		1					
			0 0 0		0					

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
エリア8-7 設定レジスタ	0048128 (HW)	DF-9	—	reserved	—			—	—	読み出し時: 0	
		D8	A8DRA	エリア8 DRAM選択	1	使用	0	未使用	0	R/W	
		D7	A7DRA	エリア7 DRAM選択	1	使用	0	未使用	0	R/W	
		D6	A8SZ	エリア8-7デバイスサイズ選択	1	8ビット	0	16ビット	0	R/W	
		D5	A8DF1	エリア8-7	A8DF[1:0]		サイクル数		1	R/W	
		D4	A8DF0	出力ディセーブル遅延時間	1	1	3.5		1		
					1	0	2.5				
					0	1	1.5				
					0	0	0.5				
		D3	—	reserved	—			—	—	—	読み出し時: 0
		D2	A8WT2	エリア8-7ウェイト制御	A8WT[2:0]		ウェイト数		1	R/W	
		D1	A8WT1		1	1	1	7	1		
		D0	A8WT0		1	1	0	6	1		
					1	0	1	5			
			1	0	0	4					
			0	1	1	3					
			0	1	0	2					
			0	0	1	1					
			0	0	0	0					
エリア6-4 設定レジスタ	004812A (HW)	DF-E	—	reserved	—			—	—	読み出し時: 0	
		DD	A6DF1	エリア6	A6DF[1:0]		サイクル数		1	R/W	
		DC	A6DF0	出力ディセーブル遅延時間	1	1	3.5		1		
					1	0	2.5				
					0	1	1.5				
					0	0	0.5				
		DB	—	reserved	—			—	—	—	読み出し時: 0
		DA	A6WT2	エリア6ウェイト制御	A6WT[2:0]		ウェイト数		1	R/W	
		D9	A6WT1		1	1	1	7	1		
		D8	A6WT0		1	1	0	6	1		
					1	0	1	5			
					1	0	0	4			
					0	1	1	3			
					0	1	0	2			
					0	0	1	1			
					0	0	0	0			
		D7	—	reserved	—			—	—	—	読み出し時: 0
		D6	A5SZ	エリア5-4デバイスサイズ選択	1	8ビット	0	16ビット	0	R/W	
		D5	A5DF1	エリア5-4	A5DF[1:0]		サイクル数		1	R/W	
		D4	A5DF0	出力ディセーブル遅延時間	1	1	3.5		1		
					1	0	2.5				
			0	1	1.5						
			0	0	0.5						
D3	—	reserved	—			—	—	—	読み出し時: 0		
D2	A5WT2	エリア5-4ウェイト制御	A5WT[2:0]		ウェイト数		1	R/W			
D1	A5WT1		1	1	1	7	1				
D0	A5WT0		1	1	0	6	1				
			1	0	1	5					
			1	0	0	4					
			0	1	1	3					
			0	1	0	2					
			0	0	1	1					
			0	0	0	0					
TTBRレジスタ 書き込み保護 レジスタ	004812D (B)	D7	TBRP7	TTBRレジスタ書き込み保護	01011001(0x59)書き込みによりTTBRレジスタ(0x48134)の書き込み保護を解除 それ以外は書き込み禁止に設定			0	W	読み出し時: 不定	
D6	TBRP6		0								
D5	TBRP5		0								
D4	TBRP4		0								
D3	TBRP3		0								
D2	TBRP2		0								
D1	TBRP1		0								
D0	TBRP0		0								

4 周辺回路

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈				
バスコントロールレジスタ	004812E (HW)	DF	RBCLK	BCLK出力イネーブル	1	H 固定	0	イネーブル	0	R/W			
		DE	—	reserved	—				0	—	1書き込み禁止		
		DD	RBST8	バーストROMバーストモード選択	1	8連続	0	4連続	0	R/W			
		DC	REDO	DRAMページモード選択	1	EDO	0	高速ページ	0	R/W			
		DB	RCA1	カラムアドレスサイズ選択	RCA[1:0]		サイズ		0	R/W			
		DA	RCA0		1	1	11		0				
					1	0	10						
					0	1	9						
					0	0	8						
		D9	RPC2	リフレッシュイネーブル	1	イネーブル	0	ディセーブル	0	R/W			
		D8	RPC1	リフレッシュ方式選択	1	セルフ	0	CBR	0	R/W			
		D7	RPC0	リフレッシュRPCディレイ	1	2.0	0	1.0	0	R/W			
		D6	RRA1	リフレッシュ RASパルス幅選択	RRA[1:0]		サイクル数		0	R/W			
		D5	RRA0		1	1	5		0				
		1	0		4								
		0	1		3								
		0	0		2								
D4	—	reserved	—				0	—	1書き込み禁止				
D3	SBUSST	外部インタフェース方式設定	1	#BSL	0	A0	0	R/W					
D2	SEMAS	外部バスマスタ設定	1	存在	0	なし	0	R/W					
D1	SEPD	外部パワーダウン制御	1	有効	0	無効	0	R/W					
D0	SWAITE	#WAITイネーブル	1	許可	0	禁止	0	R/W					
DRAM タイミング設定レジスタ	0048130 (HW)	DF-C	—	reserved	—				—	—	読み出し時: 0		
		DB	A3EEN	エリア3エミュレーション	1	内蔵ROM	0	エミュレーション	1	R/W			
		DA	CEFUNC1	#CE端子機能選択	CFFUNC[1:0]		#CE出力		0	R/W			
		D9	CEFUNC0		1	x	#CE7/8..#CE17/18		0				
					0	1	#CE6..#CE17						
					0	0	#CE4..#CE10						
		D8	CRAS	連続RASモード	1	連続	0	通常	0	R/W			
		D7	RPRC1	DRAM RASプリチャージサイクル数	RPRC[1:0]		サイクル数		0	R/W			
		D6	RPRC0		1	1	4		0				
					1	0	3						
					0	1	2						
					0	0	1						
		D5	—	reserved	—				—	—	読み出し時: 0		
		D4	CASC1	DRAM CASサイクル数	CASC[1:0]		サイクル数		0	R/W			
D3	CASC0	1	1		4		0						
		1	0		3								
		0	1		2								
		0	0		1								
D2	—	reserved	—				—	—	読み出し時: 0				
D1	RASC1	DRAM RASサイクル数	RASC[1:0]		サイクル数		0	R/W					
D0	RASC0		1	1	4		0						
			1	0	3								
			0	1	2								
			0	0	1								
アクセス制御レジスタ	0048132 (HW)	DF	A18IO	エリア18, 17外部/内部アクセス	1	内部	0	外部	0	R/W			
		DE	A16IO	エリア16, 15外部/内部アクセス	アクセス	アクセス	0	R/W					
		DD	A14IO	エリア14, 13外部/内部アクセス			0	R/W					
		DC	A12IO	エリア12, 11外部/内部アクセス			0	R/W					
		DB	—	reserved			—				0	—	読み出し時: 0
		DA	A8IO	エリア8, 7外部/内部アクセス	1	内部	0	外部	0	R/W			
		D9	A6IO	エリア6外部/内部アクセス	アクセス	アクセス	0	R/W					
		D8	A5IO	エリア5, 4外部/内部アクセス			0	R/W					
		D7	A18EC	エリア18, 17エンディアン制御			1	ビッグエンディアン	0	リトルエンディアン	0	R/W	
		D6	A16EC	エリア16, 15エンディアン制御			0	R/W					
		D5	A14EC	エリア14, 13エンディアン制御	0	R/W							
		D4	A12EC	エリア12, 11エンディアン制御	0	R/W							
		D3	A10EC	エリア10, 9エンディアン制御	0	R/W							
		D2	A8EC	エリア8, 7エンディアン制御	0	R/W							
		D1	A6EC	エリア6エンディアン制御	0	R/W							
		D0	A5EC	エリア5, 4エンディアン制御	0	R/W							

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
TTBR 下位レジスタ	0048134 (HW)	DF	TTBR15	トラップテーブル				0	R/W		
		DE	TTBR14	ベースアドレス bit[15:10]				0			
		DD	TTBR13	0							
		DC	TTBR12	0							
		DB	TTBR11	0							
		DA	TTBR10	0							
		D9	TTBR09	トラップテーブル	0に固定		0	R	読み出し時: 0 書き込み禁止		
		D8	TTBR08	ベースアドレス bit[9:0]						0	
		D7	TTBR07	0							
		D6	TTBR06	0							
		D5	TTBR05	0							
		D4	TTBR04	0							
		D3	TTBR03	0							
		D2	TTBR02	0							
		D1	TTBR01	0							
		D0	TTBR00	0							
TTBR 上位レジスタ	0048136 (HW)	DF	TTBR33	トラップテーブル	0に固定			0	R	読み出し時: 0 書き込み禁止	
		DE	TTBR32	ベースアドレス bit[31:28]							0
		DD	TTBR31	0							
		DC	TTBR30	0							
		DB	TTBR2B	トラップテーブル	0x0C0		←	R/W			
		DA	TTBR2A	ベースアドレス bit[27:16]							
		D9	TTBR29								
		D8	TTBR28								
		D7	TTBR27								
		D6	TTBR26								
		D5	TTBR25								
		D4	TTBR24								
		D3	TTBR23								
		D2	TTBR22								
		D1	TTBR21								
		D0	TTBR20								
G/Aリード信号 制御レジスタ	0048138 (HW)	DF	A18AS	エリア18, 17アドレスストローブ	1 生成	0 禁止		0	R/W		
		DE	A16AS	エリア16, 15アドレスストローブ				0			
		DD	A14AS	エリア14, 13アドレスストローブ				0			
		DC	A12AS	エリア12, 11アドレスストローブ				0			
		DB	—	reserved	—			0	—	読み出し時: 0	
		DA	A8AS	エリア8, 7アドレスストローブ	1 生成	0 禁止		0	R/W		
		D9	A6AS	エリア6アドレスストローブ				0			
		D8	A5AS	エリア5, 4アドレスストローブ				0			
		D7	A18RD	エリア18, 17リード信号				1 生成		0 禁止	
		D6	A16RD	エリア16, 15リード信号	0						
		D5	A14RD	エリア14, 13リード信号	0						
		D4	A12RD	エリア12, 11リード信号	0						
		D3	—	reserved	—			0	—	読み出し時: 0	
		D2	A8RD	エリア8, 7リード信号	1 生成	0 禁止		0	R/W		
		D1	A6RD	エリア6リード信号				0			
		D0	A5RD	エリア5, 4リード信号				0			
BCLK選択 レジスタ	004813A (B)	D7-4	—	reserved	—			0	—	読み出し時: 0	
		D3	A1X1MD	エリア1アクセス速度	1 2サイクル	0 4サイクル	0	R/W	x2スピードモード時		
		D2	—	reserved	—			0	—	読み出し時: 0	
		D1	BCLKSEL1	BCLK出力クロック選択	BCLKSEL[1:0]		BCLK	0	R/W		
		D0	BCLKSEL0		1 1	PLL_CLK					
				1 0	OSC3_CLK						
		0 1	BCU_CLK								
		0 0	CPU_CLK								

4 周辺回路

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈			
16bitタイマ0 コンペアデータ A設定レジスタ	0048180 (HW)	DF	CR0A15	16bitタイマ0 コンペアデータA CR0A15 = MSB CR0A0 = LSB	0 ~ 65535	X	R/W				
		DE	CR0A14			X					
		DD	CR0A13			X					
		DC	CR0A12			X					
		DB	CR0A11			X					
		DA	CR0A10			X					
		D9	CR0A9			X					
		D8	CR0A8			X					
		D7	CR0A7			X					
		D6	CR0A6			X					
		D5	CR0A5			X					
		D4	CR0A4			X					
		D3	CR0A3			X					
		D2	CR0A2			X					
		D1	CR0A1			X					
		D0	CR0A0			X					
16bitタイマ0 コンペアデータ B設定レジスタ	0048182 (HW)	DF	CR0B15	16bitタイマ0 コンペアデータB CR0B15 = MSB CR0B0 = LSB	0 ~ 65535	X	R/W				
		DE	CR0B14			X					
		DD	CR0B13			X					
		DC	CR0B12			X					
		DB	CR0B11			X					
		DA	CR0B10			X					
		D9	CR0B9			X					
		D8	CR0B8			X					
		D7	CR0B7			X					
		D6	CR0B6			X					
		D5	CR0B5			X					
		D4	CR0B4			X					
		D3	CR0B3			X					
		D2	CR0B2			X					
		D1	CR0B1			X					
		D0	CR0B0			X					
16bitタイマ0 カウンタデータ レジスタ	0048184 (HW)	DF	TC015	16bitタイマ0 カウンタデータ TC015 = MSB TC00 = LSB	0 ~ 65535	X	R				
		DE	TC014			X					
		DD	TC013			X					
		DC	TC012			X					
		DB	TC011			X					
		DA	TC010			X					
		D9	TC09			X					
		D8	TC08			X					
		D7	TC07			X					
		D6	TC06			X					
		D5	TC05			X					
		D4	TC04			X					
		D3	TC03			X					
		D2	TC02			X					
		D1	TC01			X					
		D0	TC00			X					
16bitタイマ0 制御レジスタ	0048186 (B)	D7	—	reserved	—		0	—	読み出し時: 0		
		D6	SELFMO	16bitタイマ0ファインモード選択	1	ファイン	0	通常	0	R/W	
		D5	SELCRB0	16bitタイマ0コンペアバッファ	1	許可	0	禁止	0	R/W	
		D4	OUTINV0	16bitタイマ0出力反転	1	反転	0	通常	0	R/W	
		D3	CKSL0	16bitタイマ0入力クロック選択	1	外部クロック	0	内部クロック	0	R/W	
		D2	PTM0	16bitタイマ0クロック出力制御	1	On	0	Off	0	R/W	
		D1	PRESET0	16bitタイマ0リセット	1	リセット	0	無効	0	W	読み出し時: 0
		D0	PRUN0	16bitタイマ0 Run/Stop制御	1	Run	0	Stop	0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈			
16bitタイマ1 コンペアデータ A設定レジスタ	0048188 (HW)	DF	CR1A15	16bitタイマ1 コンペアデータA CR1A15 = MSB CR1A0 = LSB	0 ~ 65535	X	R/W				
		DE	CR1A14			X					
		DD	CR1A13			X					
		DC	CR1A12			X					
		DB	CR1A11			X					
		DA	CR1A10			X					
		D9	CR1A9			X					
		D8	CR1A8			X					
		D7	CR1A7			X					
		D6	CR1A6			X					
		D5	CR1A5			X					
		D4	CR1A4			X					
		D3	CR1A3			X					
		D2	CR1A2			X					
		D1	CR1A1			X					
		D0	CR1A0			X					
16bitタイマ1 コンペアデータ B設定レジスタ	004818A (HW)	DF	CR1B15	16bitタイマ1 コンペアデータB CR1B15 = MSB CR1B0 = LSB	0 ~ 65535	X	R/W				
		DE	CR1B14			X					
		DD	CR1B13			X					
		DC	CR1B12			X					
		DB	CR1B11			X					
		DA	CR1B10			X					
		D9	CR1B9			X					
		D8	CR1B8			X					
		D7	CR1B7			X					
		D6	CR1B6			X					
		D5	CR1B5			X					
		D4	CR1B4			X					
		D3	CR1B3			X					
		D2	CR1B2			X					
		D1	CR1B1			X					
		D0	CR1B0			X					
16bitタイマ1 カウンタデータ レジスタ	004818C (HW)	DF	TC115	16bitタイマ1 カウンタデータ TC115 = MSB TC10 = LSB	0 ~ 65535	X	R				
		DE	TC114			X					
		DD	TC113			X					
		DC	TC112			X					
		DB	TC111			X					
		DA	TC110			X					
		D9	TC19			X					
		D8	TC18			X					
		D7	TC17			X					
		D6	TC16			X					
		D5	TC15			X					
		D4	TC14			X					
		D3	TC13			X					
		D2	TC12			X					
		D1	TC11			X					
		D0	TC10			X					
16bitタイマ1 制御レジスタ	004818E (B)	D7	—	reserved	—		0	—	読み出し時: 0		
		D6	SELF1	16bitタイマ1ファインモード選択	1	ファイン	0	通常	0	R/W	
		D5	SELCRB1	16bitタイマ1コンペアバッファ	1	許可	0	禁止	0	R/W	
		D4	OUTINV1	16bitタイマ1出力反転	1	反転	0	通常	0	R/W	
		D3	CKSL1	16bitタイマ1入力クロック選択	1	外部クロック	0	内部クロック	0	R/W	
		D2	PTM1	16bitタイマ1クロック出力制御	1	On	0	Off	0	R/W	
		D1	PRESET1	16bitタイマ1リセット	1	リセット	0	無効	0	W	読み出し時: 0
		D0	PRUN1	16bitタイマ1 Run/Stop制御	1	Run	0	Stop	0	R/W	

4 周辺回路

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈			
16bitタイマ2 コンペアデータ A設定レジスタ	0048190 (HW)	DF	CR2A15	16bitタイマ2 コンペアデータA CR2A15 = MSB CR2A0 = LSB	0 ~ 65535	X	R/W				
		DE	CR2A14			X					
		DD	CR2A13			X					
		DC	CR2A12			X					
		DB	CR2A11			X					
		DA	CR2A10			X					
		D9	CR2A9			X					
		D8	CR2A8			X					
		D7	CR2A7			X					
		D6	CR2A6			X					
		D5	CR2A5			X					
		D4	CR2A4			X					
		D3	CR2A3			X					
		D2	CR2A2			X					
		D1	CR2A1			X					
		D0	CR2A0			X					
16bitタイマ2 コンペアデータ B設定レジスタ	0048192 (HW)	DF	CR2B15	16bitタイマ2 コンペアデータB CR2B15 = MSB CR2B0 = LSB	0 ~ 65535	X	R/W				
		DE	CR2B14			X					
		DD	CR2B13			X					
		DC	CR2B12			X					
		DB	CR2B11			X					
		DA	CR2B10			X					
		D9	CR2B9			X					
		D8	CR2B8			X					
		D7	CR2B7			X					
		D6	CR2B6			X					
		D5	CR2B5			X					
		D4	CR2B4			X					
		D3	CR2B3			X					
		D2	CR2B2			X					
		D1	CR2B1			X					
		D0	CR2B0			X					
16bitタイマ2 カウンタデータ レジスタ	0048194 (HW)	DF	TC215	16bitタイマ2 カウンタデータ TC215 = MSB TC20 = LSB	0 ~ 65535	X	R				
		DE	TC214			X					
		DD	TC213			X					
		DC	TC212			X					
		DB	TC211			X					
		DA	TC210			X					
		D9	TC29			X					
		D8	TC28			X					
		D7	TC27			X					
		D6	TC26			X					
		D5	TC25			X					
		D4	TC24			X					
		D3	TC23			X					
		D2	TC22			X					
		D1	TC21			X					
		D0	TC20			X					
16bitタイマ2 制御レジスタ	0048196 (B)	D7	—	reserved	—		0	—	読み出し時: 0		
		D6	SELF _{M2}	16bitタイマ2ファインモード選択	1	ファイン	0	通常	0	R/W	
		D5	SEL _{CRB2}	16bitタイマ2コンペアバッファ	1	許可	0	禁止	0	R/W	
		D4	OUT _{INV2}	16bitタイマ2出力反転	1	反転	0	通常	0	R/W	
		D3	CK _{SL2}	16bitタイマ2入力クロック選択	1	外部クロック	0	内部クロック	0	R/W	
		D2	PT _{M2}	16bitタイマ2クロック出力制御	1	On	0	Off	0	R/W	
		D1	PRE _{SET2}	16bitタイマ2リセット	1	リセット	0	無効	0	W	読み出し時: 0
		D0	PR _{UN2}	16bitタイマ2 Run/Stop制御	1	Run	0	Stop	0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈			
16bitタイマ3 コンペアデータ A設定レジスタ	0048198 (HW)	DF	CR3A15	16bitタイマ3 コンペアデータA CR3A15 = MSB CR3A0 = LSB	0 ~ 65535	X	R/W				
		DE	CR3A14			X					
		DD	CR3A13			X					
		DC	CR3A12			X					
		DB	CR3A11			X					
		DA	CR3A10			X					
		D9	CR3A9			X					
		D8	CR3A8			X					
		D7	CR3A7			X					
		D6	CR3A6			X					
		D5	CR3A5			X					
		D4	CR3A4			X					
		D3	CR3A3			X					
		D2	CR3A2			X					
		D1	CR3A1			X					
		D0	CR3A0			X					
16bitタイマ3 コンペアデータ B設定レジスタ	004819A (HW)	DF	CR3B15	16bitタイマ3 コンペアデータB CR3B15 = MSB CR3B0 = LSB	0 ~ 65535	X	R/W				
		DE	CR3B14			X					
		DD	CR3B13			X					
		DC	CR3B12			X					
		DB	CR3B11			X					
		DA	CR3B10			X					
		D9	CR3B9			X					
		D8	CR3B8			X					
		D7	CR3B7			X					
		D6	CR3B6			X					
		D5	CR3B5			X					
		D4	CR3B4			X					
		D3	CR3B3			X					
		D2	CR3B2			X					
		D1	CR3B1			X					
		D0	CR3B0			X					
16bitタイマ3 カウンタデータ レジスタ	004819C (HW)	DF	TC315	16bitタイマ3 カウンタデータ TC315 = MSB TC30 = LSB	0 ~ 65535	X	R				
		DE	TC314			X					
		DD	TC313			X					
		DC	TC312			X					
		DB	TC311			X					
		DA	TC310			X					
		D9	TC39			X					
		D8	TC38			X					
		D7	TC37			X					
		D6	TC36			X					
		D5	TC35			X					
		D4	TC34			X					
		D3	TC33			X					
		D2	TC32			X					
		D1	TC31			X					
		D0	TC30			X					
16bitタイマ3 制御レジスタ	004819E (B)	D7	—	reserved	—		0	—	読み出し時: 0		
		D6	SELF3	16bitタイマ3ファインモード選択	1	ファイン	0	通常	0	R/W	
		D5	SEL3B3	16bitタイマ3コンペアバッファ	1	許可	0	禁止	0	R/W	
		D4	OUTINV3	16bitタイマ3出力反転	1	反転	0	通常	0	R/W	
		D3	CKSL3	16bitタイマ3入力クロック選択	1	外部クロック	0	内部クロック	0	R/W	
		D2	PTM3	16bitタイマ3クロック出力制御	1	On	0	Off	0	R/W	
		D1	PRESET3	16bitタイマ3リセット	1	リセット	0	無効	0	W	読み出し時: 0
		D0	PRUN3	16bitタイマ3 Run/Stop制御	1	Run	0	Stop	0	R/W	

4 周辺回路

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈			
16bitタイマ4 コンペアデータ A設定レジスタ	00481A0 (HW)	DF	CR4A15	16bitタイマ4 コンペアデータA CR4A15 = MSB CR4A0 = LSB	0 ~ 65535	X	R/W				
		DE	CR4A14			X					
		DD	CR4A13			X					
		DC	CR4A12			X					
		DB	CR4A11			X					
		DA	CR4A10			X					
		D9	CR4A9			X					
		D8	CR4A8			X					
		D7	CR4A7			X					
		D6	CR4A6			X					
		D5	CR4A5			X					
		D4	CR4A4			X					
		D3	CR4A3			X					
		D2	CR4A2			X					
		D1	CR4A1			X					
		D0	CR4A0			X					
16bitタイマ4 コンペアデータ B設定レジスタ	00481A2 (HW)	DF	CR4B15	16bitタイマ4 コンペアデータB CR4B15 = MSB CR4B0 = LSB	0 ~ 65535	X	R/W				
		DE	CR4B14			X					
		DD	CR4B13			X					
		DC	CR4B12			X					
		DB	CR4B11			X					
		DA	CR4B10			X					
		D9	CR4B9			X					
		D8	CR4B8			X					
		D7	CR4B7			X					
		D6	CR4B6			X					
		D5	CR4B5			X					
		D4	CR4B4			X					
		D3	CR4B3			X					
		D2	CR4B2			X					
		D1	CR4B1			X					
		D0	CR4B0			X					
16bitタイマ4 カウンタデータ レジスタ	00481A4 (HW)	DF	TC415	16bitタイマ4 カウンタデータ TC415 = MSB TC40 = LSB	0 ~ 65535	X	R				
		DE	TC414			X					
		DD	TC413			X					
		DC	TC412			X					
		DB	TC411			X					
		DA	TC410			X					
		D9	TC49			X					
		D8	TC48			X					
		D7	TC47			X					
		D6	TC46			X					
		D5	TC45			X					
		D4	TC44			X					
		D3	TC43			X					
		D2	TC42			X					
		D1	TC41			X					
		D0	TC40			X					
16bitタイマ4 制御レジスタ	00481A6 (B)	D7	—	reserved	—		0	—	読み出し時: 0		
		D6	SELFM4	16bitタイマ4ファインモード選択	1	ファイン	0	通常	0	R/W	
		D5	SELCRB4	16bitタイマ4コンペアバッファ	1	許可	0	禁止	0	R/W	
		D4	OUTINV4	16bitタイマ4出力反転	1	反転	0	通常	0	R/W	
		D3	CKSL4	16bitタイマ4入力クロック選択	1	外部クロック	0	内部クロック	0	R/W	
		D2	PTM4	16bitタイマ4クロック出力制御	1	On	0	Off	0	R/W	
		D1	PRESET4	16bitタイマ4リセット	1	リセット	0	無効	0	W	読み出し時: 0
		D0	PRUN4	16bitタイマ4 Run/Stop制御	1	Run	0	Stop	0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈			
16bitタイマ5 コンペアデータ A設定レジスタ	00481A8 (HW)	DF	CR5A15	16bitタイマ5 コンペアデータA CR5A15 = MSB CR5A0 = LSB	0 ~ 65535	X	R/W				
		DE	CR5A14			X					
		DD	CR5A13			X					
		DC	CR5A12			X					
		DB	CR5A11			X					
		DA	CR5A10			X					
		D9	CR5A9			X					
		D8	CR5A8			X					
		D7	CR5A7			X					
		D6	CR5A6			X					
		D5	CR5A5			X					
		D4	CR5A4			X					
		D3	CR5A3			X					
		D2	CR5A2			X					
		D1	CR5A1			X					
		D0	CR5A0			X					
16bitタイマ5 コンペアデータ B設定レジスタ	00481AA (HW)	DF	CR5B15	16bitタイマ5 コンペアデータB CR5B15 = MSB CR5B0 = LSB	0 ~ 65535	X	R/W				
		DE	CR5B14			X					
		DD	CR5B13			X					
		DC	CR5B12			X					
		DB	CR5B11			X					
		DA	CR5B10			X					
		D9	CR5B9			X					
		D8	CR5B8			X					
		D7	CR5B7			X					
		D6	CR5B6			X					
		D5	CR5B5			X					
		D4	CR5B4			X					
		D3	CR5B3			X					
		D2	CR5B2			X					
		D1	CR5B1			X					
		D0	CR5B0			X					
16bitタイマ5 カウンタデータ レジスタ	00481AC (HW)	DF	TC515	16bitタイマ5 カウンタデータ TC515 = MSB TC50 = LSB	0 ~ 65535	X	R				
		DE	TC514			X					
		DD	TC513			X					
		DC	TC512			X					
		DB	TC511			X					
		DA	TC510			X					
		D9	TC59			X					
		D8	TC58			X					
		D7	TC57			X					
		D6	TC56			X					
		D5	TC55			X					
		D4	TC54			X					
		D3	TC53			X					
		D2	TC52			X					
		D1	TC51			X					
		D0	TC50			X					
16bitタイマ5 制御レジスタ	00481AE (B)	D7	—	reserved	—		0	—	読み出し時: 0		
		D6	SELFM5	16bitタイマ5ファインモード選択	1	ファイン	0	通常	0	R/W	
		D5	SELCRB5	16bitタイマ5コンペアバッファ	1	許可	0	禁止	0	R/W	
		D4	OUTINV5	16bitタイマ5出力反転	1	反転	0	通常	0	R/W	
		D3	CKSL5	16bitタイマ5入力クロック選択	1	外部クロック	0	内部クロック	0	R/W	
		D2	PTM5	16bitタイマ5クロック出力制御	1	On	0	Off	0	R/W	
		D1	PRESET5	16bitタイマ5リセット	1	リセット	0	無効	0	W	読み出し時: 0
		D0	PRUN5	16bitタイマ5 Run/Stop制御	1	Run	0	Stop	0	R/W	

5 パワーダウン制御

ここでは、省電力化のための制御について説明します。

省電力化のポイント

消費電流はCPUの動作モード、システムクロック、動作させる周辺回路により大きく変わります。

消費電流	小			大		
CPU/BCU	SLEEP	HALT2	動作	HALT2	HALT(基本)	動作
システムクロック	—	OSC1	OSC1	OSC3	OSC3	OSC3
OSC3発振回路	OFF	OFF	OFF	ON	ON	ON
プリスケラ/周辺回路	STOP			RUN		

省電力化を図るためには、不要な回路をできるだけ多く停止することがポイントです。特に、高速に動作する周辺回路は電流を多く消費しますので、必要なとき以外は停止するようにプログラミングしてください。

スタンバイモードによる省電力化

キー入力や周辺回路からの割り込み待ちなど、CPUの処理が不要な場合はスタンバイモードに設定して消費電流を低減してください。

スタンバイモード	移行方法	停止する回路/機能
HALT基本モード	HLT2OP(クロックオプションレジスタ0x40190•D3) = "0"の状態ではHALT命令を実行 SEPD(バスコントロールレジスタ0x4812E•D1) = "1"の状態では外部バスマスタによるバス権解放要求が発生	CPUのみ
HALT2モード	HLT2OP = "1"の状態ではHALT命令を実行	CPU, BCU, バスクロック
SLEEPモード	SLP命令を実行	CPU, BCU, バスクロック, 高速(OSC3)発振回路, プリスケラ, プリスケラ出力クロックを使用する周辺回路

HALTモードを選択するクロックオプションレジスタ(0x40190)のHLT2OP(D3)は、イニシャルリセット時に"0"(HALT基本モード)に設定されます。

- 注:
- ・ DRAMを直結したシステムでは、HALT2モードおよびSLEEPモード時にリフレッシュ機能が停止します。
 - ・ スタンバイモードは割り込みの発生によって解除されます(外部バスマスタによって設定されたHALT基本モードを除く)。このため、スタンバイモードに移行する前に、解除に使用する割り込みが発生可能な状態に設定しておくことが必要です。

低速(OSC1)発振回路と計時タイマはSLEEPモード時も動作します。不要な場合は、これらの回路も停止させることができます。

機 能	レジスタ	"1"	"0"	デフォルト
低速(OSC1)発振回路ON/OFF制御	SOSC1(パワーコントロールレジスタ0x40180•D0)	ON	OFF	ON

システムクロックの切り換え

通常、システムは高速(OSC3)発振クロックにより動作します。高速動作が不要な場合は、システムクロックを低速(OSC1)発振クロックに切り換え、高速(OSC3)発振回路を停止することにより消費電流を低減できます。ただし、DRAMを直結しているシステムでは、リフレッシュ機能も停止しますので注意してください。

また、高速(OSC3)発振クロックで動作させる場合でも、その分周クロック(1/1、1/2、1/4、1/8に分周可能)をシステムクロックとして使用することで省電力化を図ることができます。

機 能	レジスタ	"1"	"0"	デフォルト
システムクロックの切り換え	CLKCHG(パワーコントロールレジスタ0x40180•D2)	OSC3	OSC1	OSC3
高速(OSC3)発振回路ON/OFF制御	SOSC3(パワーコントロールレジスタ0x40180•D1)	ON	OFF	ON
システムクロック分周比選択	CLKDIT(パワーコントロールレジスタ0x40180•D[7:6])	"11" = 1/8 "10" = 1/4 "01" = 1/2 "00" = 1/1		1/1

プリスケアラと周辺回路の停止

高速動作する周辺回路をできるだけ停止させることで、消費電流が低減できます。

以下の回路は、プリスケアラで動作クロックを生成します。

- ・16ビットプログラマブルタイマ0~5(ウォッチドッグタイマ)
- ・8ビットプログラマブルタイマ0~3(DRAMリフレッシュ、シリアルI/F)
- ・A/D変換器

これらのすべてを使用しない場合は、プリスケアラの動作を停止させてください。

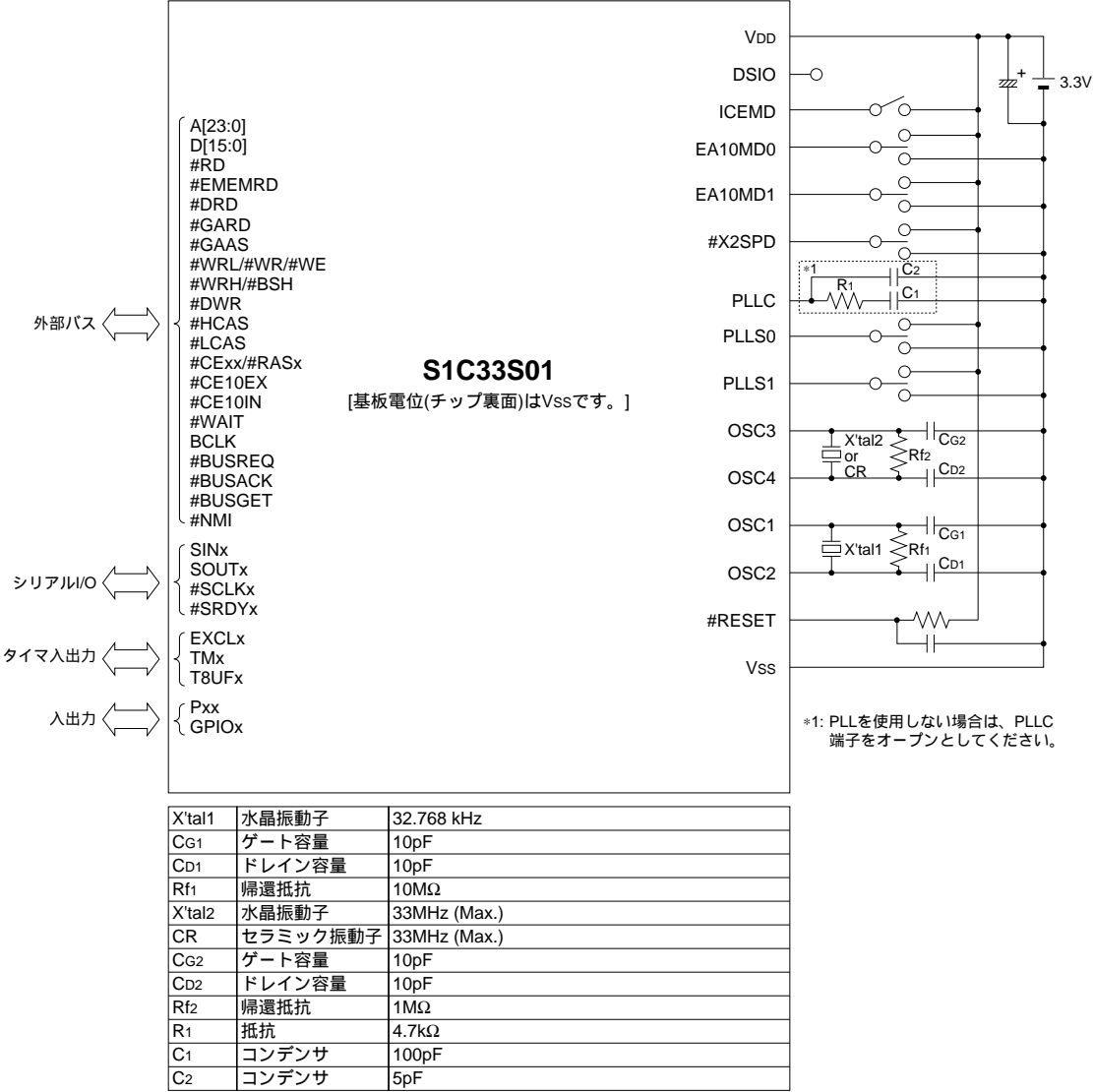
一部の回路のみを使用する場合は、それ以外の回路を停止させ、併せてプリスケアラから各回路へのクロック供給も停止させてください。

機 能	制御ビット	"1"	"0"	デフォルト
プリスケアラON/OFF制御	PSCON(パワーコントロールレジスタ0x40180•D5)	ON	OFF	ON
16ビットタイマ0クロック制御	P16TON0(16bitタイマ0クロックコントロールレジスタ0x40147•D3)	ON	OFF	OFF
16ビットタイマ0 Run/Stop制御	PRUN0(16bitタイマ0制御レジスタ0x48186•D0)	RUN	STOP	STOP
16ビットタイマ1クロック制御	P16TON1(16bitタイマ1クロックコントロールレジスタ0x40148•D3)	ON	OFF	OFF
16ビットタイマ1 Run/Stop制御	PRUN1(16bitタイマ1制御レジスタ0x4818E•D0)	RUN	STOP	STOP
16ビットタイマ2クロック制御	P16TON2(16bitタイマ2クロックコントロールレジスタ0x40149•D3)	ON	OFF	OFF
16ビットタイマ2 Run/Stop制御	PRUN2(16bitタイマ2制御レジスタ0x48196•D0)	RUN	STOP	STOP
16ビットタイマ3クロック制御	P16TON3(16bitタイマ3クロックコントロールレジスタ0x4014A•D3)	ON	OFF	OFF
16ビットタイマ3 Run/Stop制御	PRUN3(16bitタイマ3制御レジスタ0x4819E•D0)	RUN	STOP	STOP
16ビットタイマ4クロック制御	P16TON4(16bitタイマ4クロックコントロールレジスタ0x4014B•D3)	ON	OFF	OFF
16ビットタイマ4 Run/Stop制御	PRUN4(16bitタイマ4制御レジスタ0x481A6•D0)	RUN	STOP	STOP
16ビットタイマ5クロック制御	P16TON5(16bitタイマ5クロックコントロールレジスタ0x4014C•D3)	ON	OFF	OFF
16ビットタイマ5 Run/Stop制御	PRUN5(16bitタイマ5制御レジスタ0x481AE•D0)	RUN	STOP	STOP
8ビットタイマ0クロック制御	P8TON0(8bitタイマ0/1クロックコントロールレジスタ0x4014D•D3)	ON	OFF	OFF
8ビットタイマ0 Run/Stop制御	PTRUN0(8bitタイマ0制御レジスタ0x40160•D0)	RUN	STOP	STOP
8ビットタイマ1クロック制御	P8TON1(8bitタイマ0/1クロックコントロールレジスタ0x4014D•D7)	ON	OFF	OFF
8ビットタイマ1 Run/Stop制御	PTRUN1(8bitタイマ1制御レジスタ0x40164•D0)	RUN	STOP	STOP
8ビットタイマ2クロック制御	P8TON2(8bitタイマ2/3クロックコントロールレジスタ0x4014E•D3)	ON	OFF	OFF
8ビットタイマ2 Run/Stop制御	PTRUN2(8bitタイマ2制御レジスタ0x40168•D0)	RUN	STOP	STOP
8ビットタイマ3クロック制御	P8TON3(8bitタイマ2/3クロックコントロールレジスタ0x4014E•D7)	ON	OFF	OFF
8ビットタイマ3 Run/Stop制御	PTRUN3(8bitタイマ3制御レジスタ0x4016C•D0)	RUN	STOP	STOP

プリスケアラの動作クロックにはCPU動作クロックと同じクロック源を使用する必要があります。したがって、CPUをOSC1クロックにより低速動作させる場合は、プリスケアラの入力クロックもCPUに合わせて切り換えます。この場合、周辺回路の誤動作を防止するため、CPUの動作クロックを切り換える前にプリスケアラをOFFにしてください。CPUの動作クロックを切り換え後、プリスケアラの動作クロックを切り換えてからプリスケアラをONにします。

機 能	レジスタ	"1"	"0"	デフォルト
プリスケアラ動作クロックの切り換え	PSCDT0(プリスケアラクロック選択レジスタ0x40181•D0)	OSC1	OSC3/ PLL	OSC3/ PLL

6 基本外部結線図



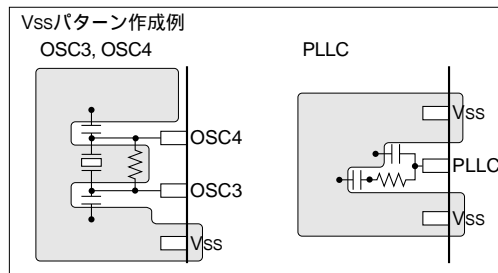
注: ここに記載されている値は一例であり、特に動作を保証するものではありません。

7 実装上の注意事項

基板の設計およびICを実装する際の注意事項を以下に示します。

発振回路

- 発振特性は諸条件(使用部品、基板パターン等)により変化します。
特にセラミック発振子または水晶振動子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。
- ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため次の点に配慮してください。
 - OSC3(OSC1)、OSC4(OSC2)、PLL_C端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
 - OSC3(OSC1)、OSC4(OSC2)端子およびこれらの端子に接続された部品の周辺部は下図のようにV_{SS}パターンをできるだけ広く作成してください。PLL_C端子も同様です。
また、このV_{SS}パターンには発振系以外の部品等は接続しないでください。



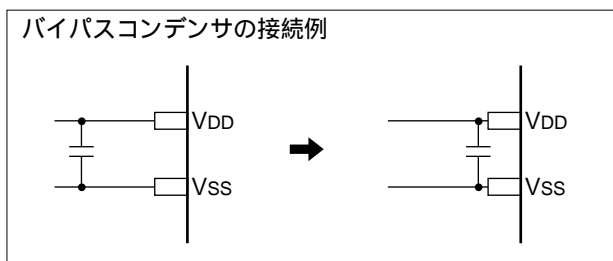
- OSC3(OSC1)端子に外部クロックを入力する場合、クロック源からできるだけ最短で接続してください。OSC4(OSC2)端子は開放してください。
- OSC3(OSC1) - V_{DD}間のリーク電流による発振回路の不安定動作を防止するため、基板パターンにおいて、OSC3(OSC1)はV_{DD}電源や信号線とは十分な距離を確保してください。

リセット回路

- 電源投入時、#RESET端子に入力されるリセット信号は、諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。
#RESET端子のプルアップ抵抗については、抵抗値のばらつきを十分考慮した定数設定が必要です。
- ノイズによる動作中のリセットを防ぐため、#RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

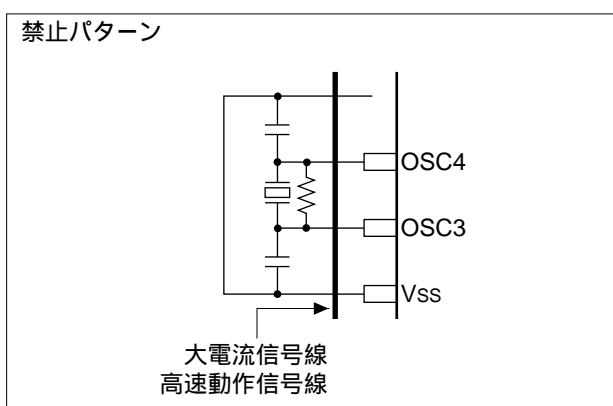
電源回路

- ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。
 - 電源からV_{DD}、およびV_{SS}端子へはできるだけ短くかつ太いパターンで接続してください。
 - V_{DD} - V_{SS}のバイパスコンデンサを接続する場合、V_{DD}端子とV_{SS}端子をできるだけ最短で接続してください。



信号線の配置

- 相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部、アナログ入力部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。
- 高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。
特に、発振部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



8 電気的特性

8.1 絶対最大定格

(V _{SS} =0V)					
項目	記号	条件	定格値	単位	注
電源電圧	V _{DD}		-0.3 ~ +4.0	V	
入力電圧	V _I		-0.3 ~ V _{DD} +0.5	V	1
高レベル出力電流	I _{OH}	1端子	-10	mA	
		全端子合計	-40	mA	
低レベル出力電流	I _{OL}	1端子	10	mA	
		全端子合計	40	mA	
保存温度	T _{STG}		-65 ~ +150	°C	

注1：5Vトレラント端子については、-0.3Vから7.0Vまで可。

8.2 推奨動作条件

1) 3.3V単一電源の場合

(V_{DD}, V_{SS}=0V)

項目	記号	条件	Min.	Typ.	Max.	単位	注
電源電圧	V _{DD}		2.70	—	3.60	V	
入力電圧	V _I		V _{SS}	—	V _{DD}	V	1
CPU動作周波数	f _{CPU}		—	—	50	MHz	
外部バス動作周波数	f _{BUS}		—	—	33	MHz	
低速発振動作周波数	f _{OSC1}		—	32.768	—	kHz	
動作温度	T _a		-40	25	85	°C	
入力立ち上がり時間(ノーマル入力)	t _{ri}		—	—	50	ns	
入力立ち下がり時間(ノーマル入力)	t _{fi}		—	—	50	ns	
入力立ち上がり時間(シュミット入力)	t _{ri}		—	—	5	ms	
入力立ち下がり時間(シュミット入力)	t _{fi}		—	—	5	ms	

2) 2.0V単一電源の場合

(V_{DD}, V_{SS}=0V)

項目	記号	条件	Min.	Typ.	Max.	単位	注
電源電圧	V _{DD}		1.80	2.00	2.20	V	
入力電圧	V _I		V _{SS}	—	V _{DD}	V	1
CPU動作周波数	f _{CPU}		—	—	20	MHz	
外部バス動作周波数	f _{BUS}		—	—	20	MHz	
低速発振動作周波数	f _{OSC1}		—	32.768	—	kHz	
動作温度	T _a		-40	25	85	°C	
入力立ち上がり時間(ノーマル入力)	t _{ri}		—	—	100	ns	
入力立ち下がり時間(ノーマル入力)	t _{fi}		—	—	100	ns	
入力立ち上がり時間(シュミット入力)	t _{ri}		—	—	10	ms	
入力立ち下がり時間(シュミット入力)	t _{fi}		—	—	10	ms	

注1：5Vトレラント端子については、5.5Vまで可。

8.3 DC特性

1) 3.3V単一電源の場合

(特記なき場合: $V_{DD}=2.7V \sim 3.6V$, $T_a=-40^{\circ}C \sim +85^{\circ}C$)

項目	記号	条件	Min.	Typ.	Max.	単位	注
静的消費電流	I_{DDs}	静止状態、 $T_j=85$	—	—	90	μA	
入力リーク電流	I_{LI}		-1	—	1	μA	
オフステートリーク電流	I_{OZ}		-1	—	1	μA	
高レベル出力電圧	V_{OH}	$I_{OH}=-2mA$ (Type1), $I_{OH}=-6mA$ (Type2), $V_{DD}=\text{Min.}$	V_{DD} -0.4	—	—	V	
低レベル出力電圧	V_{OL}	$I_{OL}=2mA$ (Type1), $I_{OL}=6mA$ (Type2), $V_{DD}=\text{Min.}$	—	—	0.4	V	
高レベル入力電圧	V_{IH}	CMOSレベル, $V_{DD}=\text{Max.}$	2.4	—	—	V	
低レベル入力電圧	V_{IL}	CMOSレベル, $V_{DD}=\text{Min.}$	—	—	0.4	V	
ポジティブトリガ入力電圧	V_{T+}	LVTTLシュミット	1.1	—	2.4	V	
ネガティブトリガ入力電圧	V_{T-}	LVTTLシュミット	0.6	—	1.8	V	
ヒステリシス電圧	V_H	LVTTLシュミット	0.1	—	—	V	
ブルアップ抵抗	R_{PU}	$V_i=0V$ DSIO以外	80	200	480	$k\Omega$	
		DSIO	40	100	240	$k\Omega$	
ブルダウン抵抗	R_{PD}	$V_i=V_{DD}$ (#ICEMD)	40	100	240	$k\Omega$	
入力端子容量	C_I	$f=1MHz$, $V_{DD}=0V$	—	—	10	pF	
出力端子容量	C_O	$f=1MHz$, $V_{DD}=0V$	—	—	10	pF	
入出力端子容量	C_{IO}	$f=1MHz$, $V_{DD}=0V$	—	—	10	pF	

注: 端子の特性については、"Appendix B 端子特性"を参照してください。

2) 2.0V単一電源の場合

(特記なき場合: $V_{DD}=2V \pm 0.2V$, $V_{SS}=0V$, $T_a=-40^{\circ}C \sim +85^{\circ}C$)

項目	記号	条件	Min.	Typ.	Max.	単位	注
静的消費電流	I_{DDs}	静止状態、 $T_j=85$	—	—	80	μA	
入力リーク電流	I_{LI}		-1	—	1	μA	
オフステートリーク電流	I_{OZ}		-1	—	1	μA	
高レベル出力電圧	V_{OH}	$I_{OH}=-0.6mA$ (Type1), $I_{OH}=-2mA$ (Type2), $V_{DD}=\text{Min.}$	V_{DD} -0.2	—	—	V	
低レベル出力電圧	V_{OL}	$I_{OL}=0.6mA$ (Type1), $I_{OL}=2mA$ (Type2), $V_{DD}=\text{Min.}$	—	—	0.2	V	
高レベル入力電圧	V_{IH}	CMOSレベル, $V_{DD}=\text{Max.}$	1.6	—	—	V	
低レベル入力電圧	V_{IL}	CMOSレベル, $V_{DD}=\text{Min.}$	—	—	0.3	V	
ポジティブトリガ入力電圧	V_{T+}	CMOSシュミット	0.4	—	1.6	V	
ネガティブトリガ入力電圧	V_{T-}	CMOSシュミット	0.3	—	1.4	V	
ヒステリシス電圧	V_H	CMOSシュミット	0	—	—	V	
ブルアップ抵抗	R_{PU}	$V_i=0V$ DSIO以外	120	480	1200	$k\Omega$	
		DSIO	60	240	600	$k\Omega$	
ブルダウン抵抗	R_{PD}	$V_i=V_{DD}$ (#ICEMD)	60	240	600	$k\Omega$	
入力端子容量	C_I	$f=1MHz$, $V_{DD}=0V$	—	—	10	pF	
出力端子容量	C_O	$f=1MHz$, $V_{DD}=0V$	—	—	10	pF	
入出力端子容量	C_{IO}	$f=1MHz$, $V_{DD}=0V$	—	—	10	pF	

注: 端子の特性については、"Appendix B 端子特性"を参照してください。

8.4 消費電流

1) 3.3V電源の場合

(特記なき場合: $V_{DD}=2.7V \sim 3.6V$, $V_{SS}=0V$, $T_a=-40^{\circ}C \sim +85^{\circ}C$)

項目		記号	条件	Min.	Typ.	Max.	単位	注
動作電流	IDD1	CPU動作時	20MHz	—	23	27	mA	1
			33MHz	—	35	42		
			50MHz	—	49	58		
	IDD2	halt命令実行時	20MHz	—	11	13	mA	2
			33MHz	—	15	18		
			50MHz	—	20	24		
	IDD3	halt命令実行時 (HALT2モード)	20MHz	—	1.0	1.2	mA	3
			33MHz	—	1.8	2.0		
			50MHz	—	2.7	3.2		
	IDD4	slp命令実行時	—	1	30	μA	4	
計時タイマ動作電流	IDDC1	計時タイマのみ動作 OSC1発振は32kHz	—	7	—	μA	5	

2) 2.0V電源の場合

(特記なき場合: $V_{DD}=2.0V \pm 0.2V$, $V_{SS}=0V$, $T_a=-40^{\circ}C \sim +85^{\circ}C$)

項目	記号	条件	Min.	Typ.	Max.	単位	注
動作電流	IDD1	CPU動作時 20MHz	—	12	14	mA	1
	IDD2	halt命令実行時 20MHz	—	5	6	mA	2
	IDD4	halt命令実行時(HALT2モード) 20MHz	—	0.4	1.0	mA	3
	IDD5	slp命令実行時	—	1	30	μA	4
計時タイマ動作電流	IDDC1	計時タイマのみ動作 OSC1発振は32kHz	—	1.5	—	μA	5

8.5 AC特性

8.5.1 記号説明

tcyc: バスクロックサイクルタイム

- x1モードでは CPU 20MHz動作のとき tcyc = 50ns (20MHz)
CPU 33MHz動作のとき tcyc = 30ns (33MHz)
- x2モードでは CPU 40MHz動作のとき tcyc = 50ns (20MHz)
CPU 50MHz動作のとき tcyc = 40ns (25MHz)

WC: ウェイトサイクル数

ウェイトサイクルは、BCUの制御レジスタで最大7サイクルまで設定可能です。さらに、外部から#WAIT端子への入力で、必要なだけウェイトサイクルを延ばすことができます。

"0"ウェイトに設定した場合、リード時の最小サイクル数は1サイクルです。

"0"ウェイトに設定した場合、ライト時の最小サイクル数は2サイクルです。BCUの制御レジスタで"1"ウェイトを設定した場合でも、この最小サイクル数は変わりません。"2"ウェイト以上を設定すると、実際にライトサイクルが延長されます。

外部から#WAIT端子への入力でウェイトサイクルを挿入する場合、#WAIT端子のサンプリングタイミングに注意してください。リードサイクルの場合は、#WAIT端子のネゲートをサンプリングしたサイクルでそのリードサイクルを終了します。ライトサイクルの場合は、#WAIT端子のネゲートをサンプリングした次のサイクルでそのライトサイクルを終了します。

C1, C2, C3, Cn: サイクル番号

C1は、BCUが外部メモリなどとデータ転送を行うときの第1サイクルであることを示します。同様にC2は第2サイクル、Cnは第nサイクルであることを示します。

Cw: ウェイトサイクル

そのサイクルがウェイトサイクルであることを示します。

8.5.2 AC特性測定条件

信号検定レベル: 入力信号 Highレベル $V_{IH} = V_{DD} - 0.4V$
Lowレベル $V_{IL} = 0.4V$

出力信号 Highレベル $V_{OH} = 1/2 V_{DD}$
Lowレベル $V_{OL} = 1/2 V_{DD}$

ただし、OSC3外部クロック入力の場合は下記のとおりです。

入力信号 Highレベル $V_{IH} = 1/2 V_{DD}$
Lowレベル $V_{IL} = 1/2 V_{DD}$

入力信号波形: 立ち上がり (10% 90% V_{DD}) 5ns
立ち下がり (90% 10% V_{DD}) 5ns

出力負荷容量: $C_L = 50pF$

8.5.3 C33ブロックAC特性表

外部クロック入力特性

(注) このAC特性値は、外部クロック入力の場合に適用されます。

OSC3への入力は、必ずV_{DD}とV_{SS}の範囲内で与えてください。

1) 3.3V単一電源の場合

(特記なき場合: V_{SS}=0V, Ta=-40°C ~ +85°C)

項目	記号	Min.	Max.	単位	注
高速クロックサイクル時間	t _{C3}	30		ns	
OSC3クロック入力デューティ	t _{C3ED}	45	55	%	
OSC3クロック入力立ち上がり時間	t _{IF}		5	ns	
OSC3クロック入力立ち下がり時間	t _{IR}		5	ns	
BCLKハイレベル出力遅延時間	t _{CD1}		35	ns	
BCLKローレベル出力遅延時間	t _{CD2}		35	ns	
最小リセットパルス幅	t _{RST}	6·t _{CYC}		ns	

2) 2.0V単一電源の場合

(特記なき場合: V_{DD}=2.0V±0.2V, V_{SS}=0V, Ta=-40°C ~ +85°C)

項目	記号	Min.	Max.	単位	注
高速クロックサイクル時間	t _{C3}	50		ns	
OSC3クロック入力デューティ	t _{C3ED}	45	55	%	
OSC3クロック入力立ち上がり時間	t _{IF}		5	ns	
OSC3クロック入力立ち下がり時間	t _{IR}		5	ns	
BCLKハイレベル出力遅延時間	t _{CD1}		60	ns	
BCLKローレベル出力遅延時間	t _{CD2}		60	ns	
最小リセットパルス幅	t _{RST}	6·t _{CYC}		ns	

BCLKクロック出力特性

(注) このAC特性値は、高速発振回路使用の場合に適用されます。

1) 3.3V単一電源の場合

(特記なき場合: V_{DD}=2.7 ~ 3.6V, V_{SS}=0V, Ta=-40°C ~ +85°C)

項目	記号	Min.	Max.	単位	注
BCLKクロック出力デューティ	t _{CBD}	40	60	%	

2) 2.0V単一電源の場合

(特記なき場合: V_{DD}=2.0V±0.2V, V_{SS}=0V, Ta=-40°C ~ +85°C)

項目	記号	Min.	Max.	単位	注
BCLKクロック出力デューティ	t _{CBD}	40	60	%	

共通特性

1) 3.3V単一電源の場合

(特記なき場合: $V_{DD}=2.7 \sim 3.6V$, $V_{SS}=0V$, $T_a=-40^{\circ}C \sim +85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
アドレス遅延時間	t_{AD}	—	10	ns	1
#CE \times 遅延時間(1)	t_{CE1}	—	10	ns	
#CE \times 遅延時間(2)	t_{CE2}	—	10	ns	
ウェイトセットアップ時間	t_{WTS}	15	—	ns	
ウェイトホールド時間	t_{WTH}	0	—	ns	
リード信号遅延時間(1)	t_{RDD1}		10	ns	2
リードデータセットアップ時間	t_{RDS}	15		ns	
リードデータホールド時間	t_{RDH}	0		ns	
ライト信号遅延時間(1)	t_{WRD1}		10	ns	3
ライトデータ遅延時間(1)	t_{WDD1}		10	ns	
ライトデータ遅延時間(2)	t_{WDD2}	0	10	ns	
ライトデータホールド時間	t_{WDH}	0		ns	

2) 2.0V単一電源の場合

(特記なき場合: $V_{DD}=2.0V \pm 0.2V$, $V_{SS}=0V$, $T_a=-40^{\circ}C \sim +85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
アドレス遅延時間	t_{AD}	—	20	ns	1
#CE \times 遅延時間(1)	t_{CE1}	—	20	ns	
#CE \times 遅延時間(2)	t_{CE2}	—	20	ns	
ウェイトセットアップ時間	t_{WTS}	40	—	ns	
ウェイトホールド時間	t_{WTH}	0	—	ns	
リード信号遅延時間(1)	t_{RDD1}		20	ns	2
リードデータセットアップ時間	t_{RDS}	40		ns	
リードデータホールド時間	t_{RDH}	0		ns	
ライト信号遅延時間(1)	t_{WRD1}		20	ns	3
ライトデータ遅延時間(1)	t_{WDD1}		20	ns	
ライトデータ遅延時間(2)	t_{WDD2}	0	20	ns	
ライトデータホールド時間	t_{WDH}	0		ns	

注1: #BSH、#BSLも同じタイミングです。

2: #GAAS、#GARDも同じタイミングです。

3: #GAASも同じタイミングです。

8 電気的特性

SRAMリードサイクル

1) 3.3V単一電源の場合

(特記なき場合: $V_{DD}=2.7 \sim 3.6V$, $V_{SS}=0V$, $T_a=-40^{\circ}C \sim +85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
リード信号遅延時間(2)	tRDD2		10	ns	
リード信号パルス幅	tRDW	tcyc(0.5+WC)-10		ns	
リードアドレスアクセス時間(1)	tACC1		tcyc(1+WC)-25	ns	
チップイネーブルアクセス時間(1)	tCEAC1		tcyc(1+WC)-25	ns	
リード信号アクセス時間(1)	tRDAC1		tcyc(0.5+WC)-25	ns	

2) 2.0V単一電源の場合

(特記なき場合: $V_{DD}=2.0V \pm 0.2V$, $V_{SS}=0V$, $T_a=-40^{\circ}C \sim +85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
リード信号遅延時間(2)	tRDD2		10	ns	
リード信号パルス幅	tRDW	tcyc(0.5+WC)-10		ns	
リードアドレスアクセス時間(1)	tACC1		tcyc(1+WC)-60	ns	
チップイネーブルアクセス時間(1)	tCEAC1		tcyc(1+WC)-60	ns	
リード信号アクセス時間(1)	tRDAC1		tcyc(0.5+WC)-60	ns	

SRAMライトサイクル

1) 3.3V単一電源の場合

(特記なき場合: $V_{DD}=2.7 \sim 3.6V$, $V_{SS}=0V$, $T_a=-40^{\circ}C \sim +85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
ライト信号遅延時間(2)	tWRD2		10	ns	
ライト信号パルス幅	tWRW	tcyc(1+WC)-10		ns	

2) 2.0V単一電源の場合

(特記なき場合: $V_{DD}=2.0V \pm 0.2V$, $V_{SS}=0V$, $T_a=-40^{\circ}C \sim +85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
ライト信号遅延時間(2)	tWRD2		20	ns	
ライト信号パルス幅	tWRW	tcyc(1+WC)-20		ns	

DRAMアクセスサイクル共通特性

1) 3.3V単一電源の場合

(特記なき場合: $V_{DD}=2.7 \sim 3.6V$, $V_{SS}=0V$, $T_a=-40^{\circ}C \sim +85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
#RAS信号遅延時間(1)	tRASD1		10	ns	
#RAS信号遅延時間(2)	tRASD2		10	ns	
#RAS信号パルス幅	tRASW	tCYC(2+WC)-10		ns	
#CAS信号遅延時間(1)	tCASD1		10	ns	
#CAS信号遅延時間(2)	tCASD2		10	ns	
#CAS信号パルス幅	tCASW	tCYC(0.5+WC)-10		ns	
リード信号遅延時間(3)	tRDD3		10	ns	
リード信号パルス幅(2)	tRDW2	tCYC(2+WC)-10		ns	
ライト信号遅延時間(3)	tWRD3		10	ns	
ライト信号パルス幅(2)	tWRW2	tCYC(2+WC)-10		ns	

2) 2.0V単一電源の場合

(特記なき場合: $V_{DD}=2.0V \pm 0.2V$, $V_{SS}=0V$, $T_a=-40^{\circ}C \sim +85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
#RAS信号遅延時間(1)	tRASD1		20	ns	
#RAS信号遅延時間(2)	tRASD2		20	ns	
#RAS信号パルス幅	tRASW	tCYC(2+WC)-20		ns	
#CAS信号遅延時間(1)	tCASD1		20	ns	
#CAS信号遅延時間(2)	tCASD2		20	ns	
#CAS信号パルス幅	tCASW	tCYC(0.5+WC)-20		ns	
リード信号遅延時間(3)	tRDD3		20	ns	
リード信号パルス幅(2)	tRDW2	tCYC(2+WC)-20		ns	
ライト信号遅延時間(3)	tWRD3		20	ns	
ライト信号パルス幅(2)	tWRW2	tCYC(2+WC)-20		ns	

DRAMランダムアクセスサイクル, DRAM高速ページサイクル

1) 3.3V単一電源の場合

(特記なき場合: $V_{DD}=2.7 \sim 3.6V$, $V_{SS}=0V$, $T_a=-40^{\circ}C \sim +85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
カラムアドレスアクセス時間	t_{ACCF}		$t_{CYC}(1+WC)-25$	ns	
#RASアクセス時間	t_{RACF}		$t_{CYC}(1.5+WC)-25$	ns	
#CASアクセス時間	t_{CACF}		$t_{CYC}(0.5+WC)-25$	ns	

2) 2.0V単一電源の場合

(特記なき場合: $V_{DD}=2.0V \pm 0.2V$, $V_{SS}=0V$, $T_a=-40^{\circ}C \sim +85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
カラムアドレスアクセス時間	t_{ACCF}		$t_{CYC}(1+WC)-60$	ns	
#RASアクセス時間	t_{RACF}		$t_{CYC}(1.5+WC)-60$	ns	
#CASアクセス時間	t_{CACF}		$t_{CYC}(0.5+WC)-60$	ns	

EDO DRAMランダムアクセスサイクル, EDO DRAMページサイクル

1) 3.3V単一電源の場合

(特記なき場合: $V_{DD}=2.7 \sim 3.6V$, $V_{SS}=0V$, $T_a=-40^{\circ}C \sim +85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
カラムアドレスアクセス時間	t_{ACCE}		$t_{CYC}(1.5+WC)-25$	ns	
#RASアクセス時間	t_{RACE}		$t_{CYC}(2+WC)-25$	ns	
#CASアクセス時間	t_{CACE}		$t_{CYC}(1+WC)-20$	ns	
リードデータセットアップ時間	t_{RDS2}	20		ns	

2) 2.0V単一電源の場合

(特記なき場合: $V_{DD}=2.0V \pm 0.2V$, $V_{SS}=0V$, $T_a=-40^{\circ}C \sim +85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
カラムアドレスアクセス時間	t_{ACCE}		$t_{CYC}(1.5+WC)-60$	ns	
#RASアクセス時間	t_{RACE}		$t_{CYC}(2+WC)-60$	ns	
#CASアクセス時間	t_{CACE}		$t_{CYC}(1+WC)-60$	ns	
リードデータセットアップ時間	t_{RDS2}	20		ns	

バーストROMリードサイクル

1) 3.3V単一電源の場合

(特記なき場合: $V_{DD}=2.7 \sim 3.6V$, $V_{SS}=0V$, $T_a=-40^{\circ}C \sim +85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
リードアドレスアクセス時間(2)	t_{ACC2}		$t_{CYC}(1+WC)-25$	ns	
チップイネーブルアクセス時間(2)	t_{CEAC2}		$t_{CYC}(1+WC)-25$	ns	
リード信号アクセス時間(2)	t_{RDAC2}		$t_{CYC}(0.5+WC)-25$	ns	
バーストアドレスアクセス時間	t_{ACCB}		$t_{CYC}(1+WC)-25$	ns	

2) 2.0V単一電源の場合

(特記なき場合: $V_{DD}=2.0V \pm 0.2V$, $V_{SS}=0V$, $T_a=-40^{\circ}C \sim +85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
リードアドレスアクセス時間(2)	t_{ACC2}		$t_{CYC}(1+WC)-60$	ns	
チップイネーブルアクセス時間(2)	t_{CEAC2}		$t_{CYC}(1+WC)-60$	ns	
リード信号アクセス時間(2)	t_{RDAC2}		$t_{CYC}(0.5+WC)-60$	ns	
バーストアドレスアクセス時間	t_{ACCB}		$t_{CYC}(1+WC)-60$	ns	

外部バスマスタとNMI

1) 3.3V単一電源の場合

(特記なき場合: $V_{DD}=2.7 \sim 3.6V$, $V_{SS}=0V$, $T_a=-40^{\circ}C \sim +85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
#BUSREQ信号セットアップ時間	t_{BRQS}	15		ns	
#BUSREQ信号ホールド時間	t_{BRQH}	0		ns	
#BUSACK信号出力遅延時間	t_{BAKD}		10	ns	
ハインピーダンス 出力 遅延時間	t_{Z2E}		10	ns	
出力 ハインピーダンス 遅延時間	t_{B2Z}		10	ns	
#NMIパルス幅	t_{NMIW}	30		ns	

2) 2.0V単一電源の場合

(特記なき場合: $V_{DD}=2.0V \pm 0.2V$, $V_{SS}=0V$, $T_a=-40^{\circ}C \sim +85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
#BUSREQ信号セットアップ時間	t_{BRQS}	40		ns	
#BUSREQ信号ホールド時間	t_{BRQH}	0		ns	
#BUSACK信号出力遅延時間	t_{BAKD}		20	ns	
ハインピーダンス 出力 遅延時間	t_{Z2E}		20	ns	
出力 ハインピーダンス 遅延時間	t_{B2Z}		20	ns	
#NMIパルス幅	t_{NMIW}	90		ns	

8 電気的特性

入出力兼用ポート

1) 3.3V単一電源の場合

(特記なき場合: $V_{DD}=2.7 \sim 3.6V$, $V_{SS}=0V$, $T_a=-40^{\circ}C \sim +85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
入力データセットアップ時間	t_{INPS}	20		ns	
入力データホールド時間	t_{INPH}	10		ns	
出力データ遅延時間	t_{OUTD}		20	ns	

2) 2.0V単一電源の場合

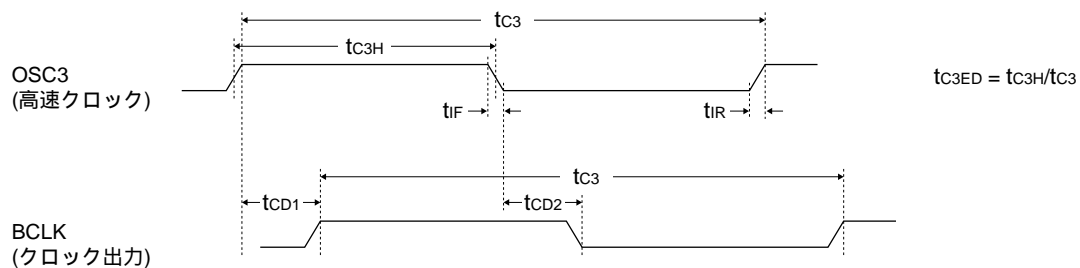
(特記なき場合: $V_{DD}=2.0V \pm 0.2V$, $V_{SS}=0V$, $T_a=-40^{\circ}C \sim +85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
入力データセットアップ時間	t_{INPS}	40		ns	
入力データホールド時間	t_{INPH}	20		ns	
出力データ遅延時間	t_{OUTD}		30	ns	

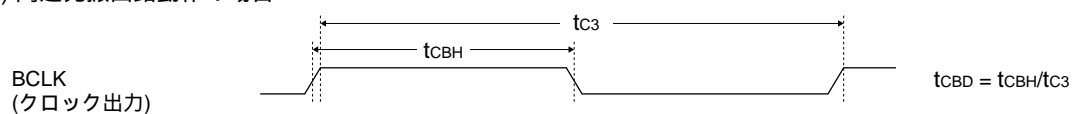
8.5.4 C33ブロックAC特性タイミングチャート

クロック

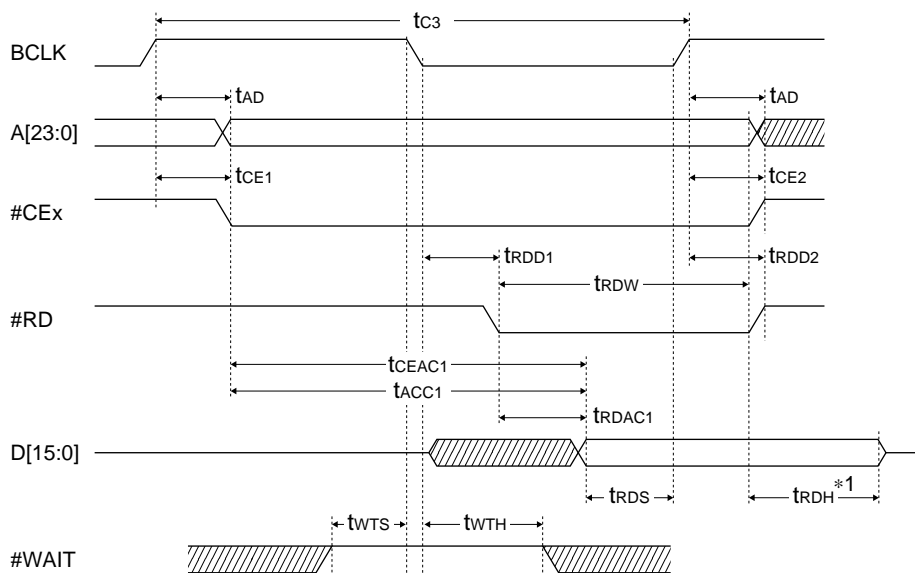
(1) 外部クロック入力の場合 (x1スピードモード時)



(2) 高速発振回路動作の場合

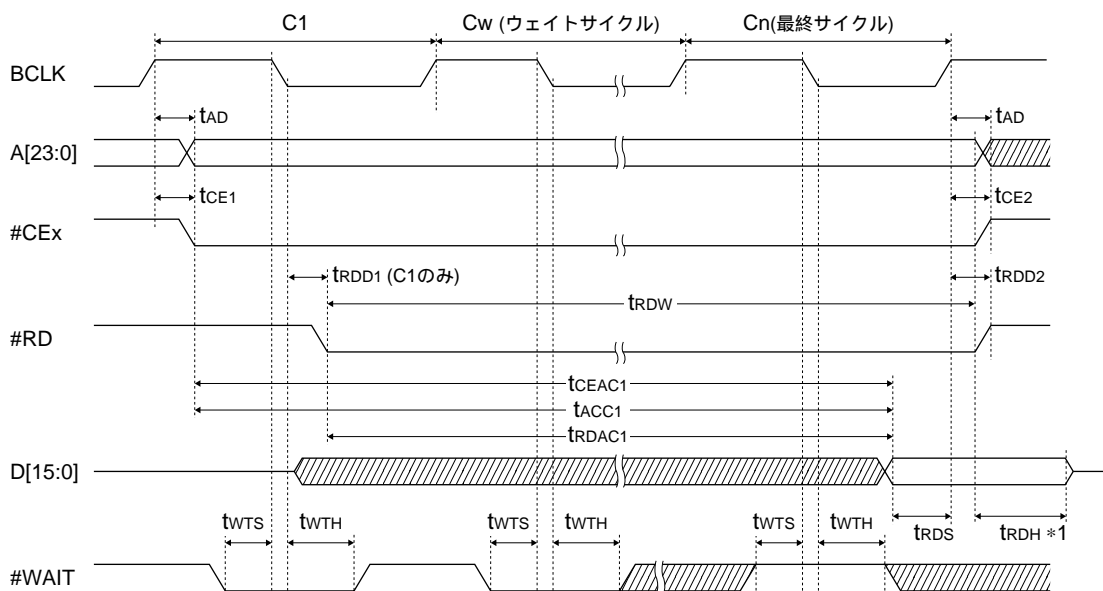


SRAMリードサイクル (基本サイクル: 1サイクル)



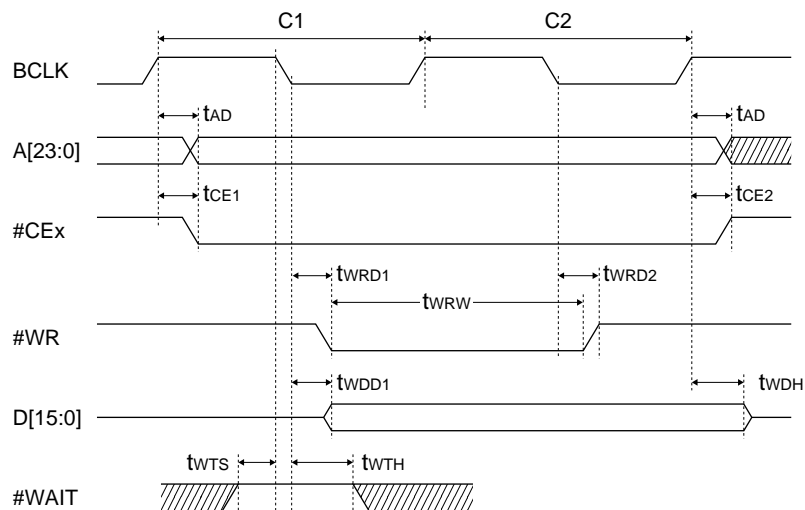
*1 t_{RDH} は、#RD、#CEx、A[23:0]の中の最も早い信号変化(ネゲート)からの規定とします。

SRAMリードサイクル (ウェイトサイクル挿入時)

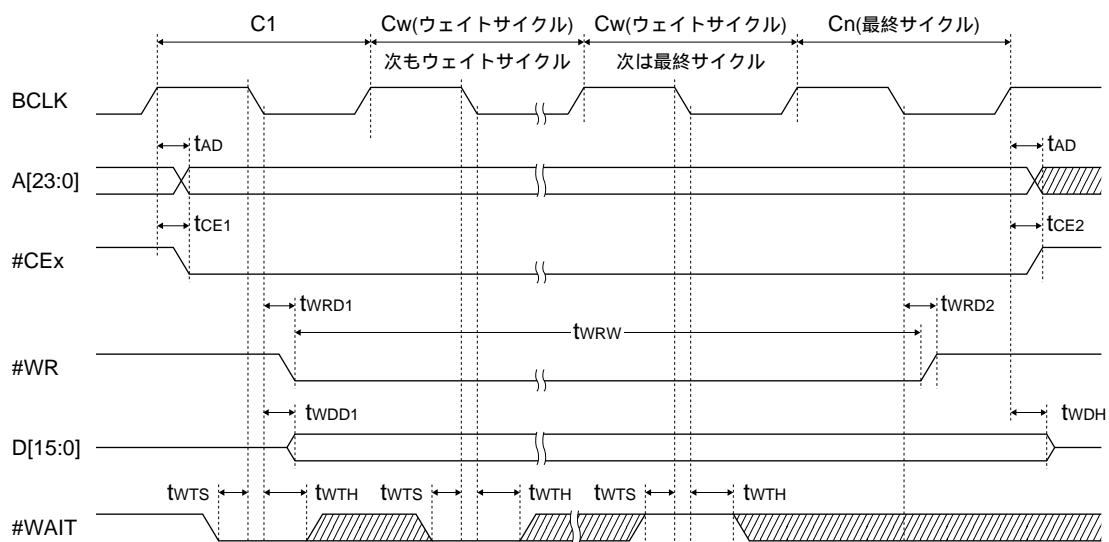


*1 t_{RDH} は、#RD、#CEx、A[23:0]の中の最も早い信号変化(ネゲート)からの規定とします。

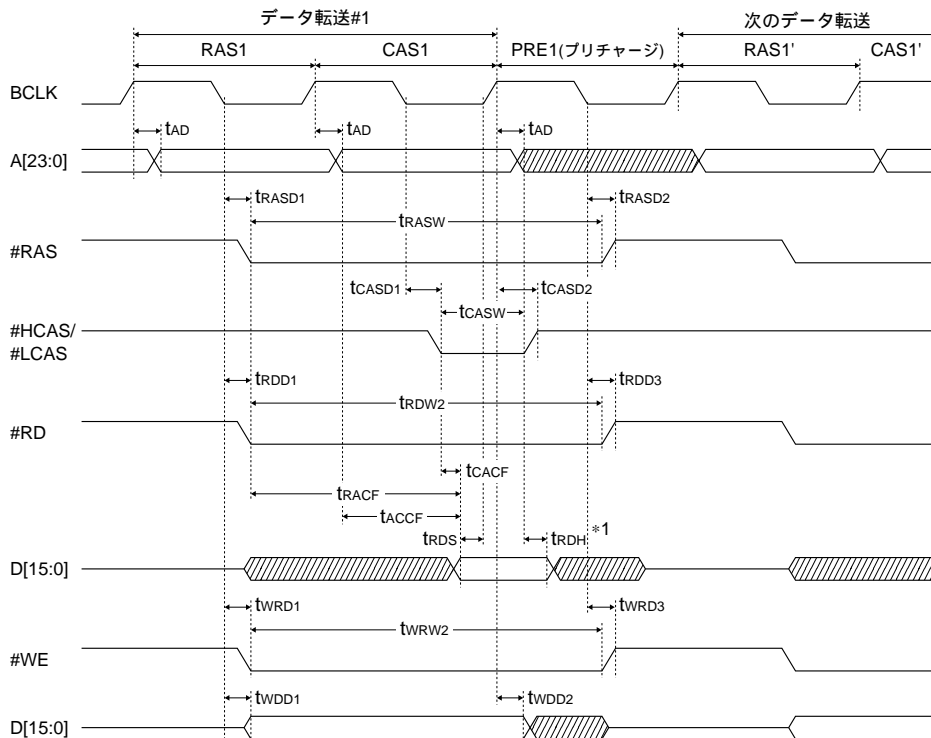
SRAMライトサイクル (基本サイクル: 2サイクル)



SRAMライトサイクル (ウェイトサイクル挿入時)

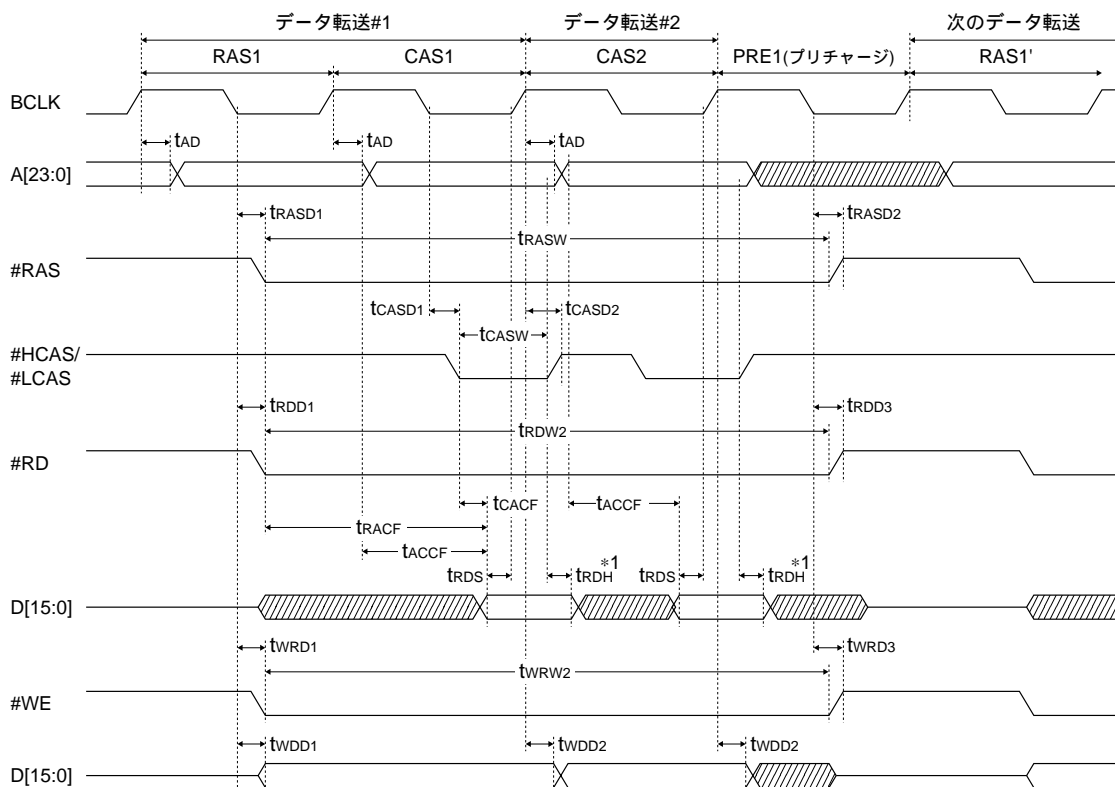


DRAMランダムアクセスサイクル (基本サイクル)



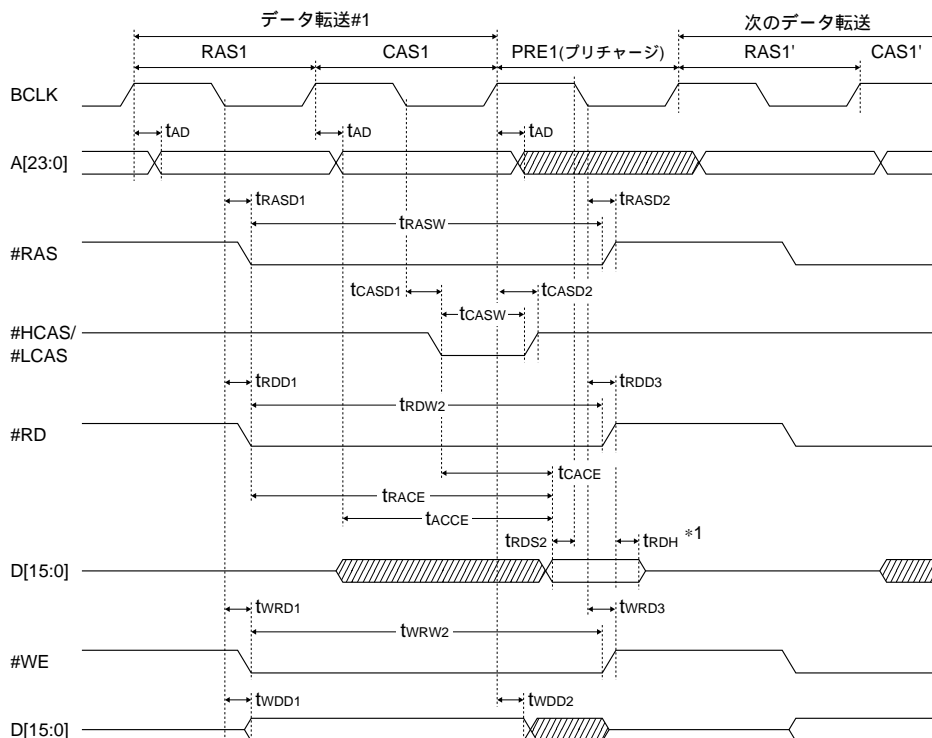
*1 t_{RDH} は、#RD、A[23:0]の中の最も早い信号変化(ネゲート)からの規定とします。

DRAM高速ページアクセスサイクル



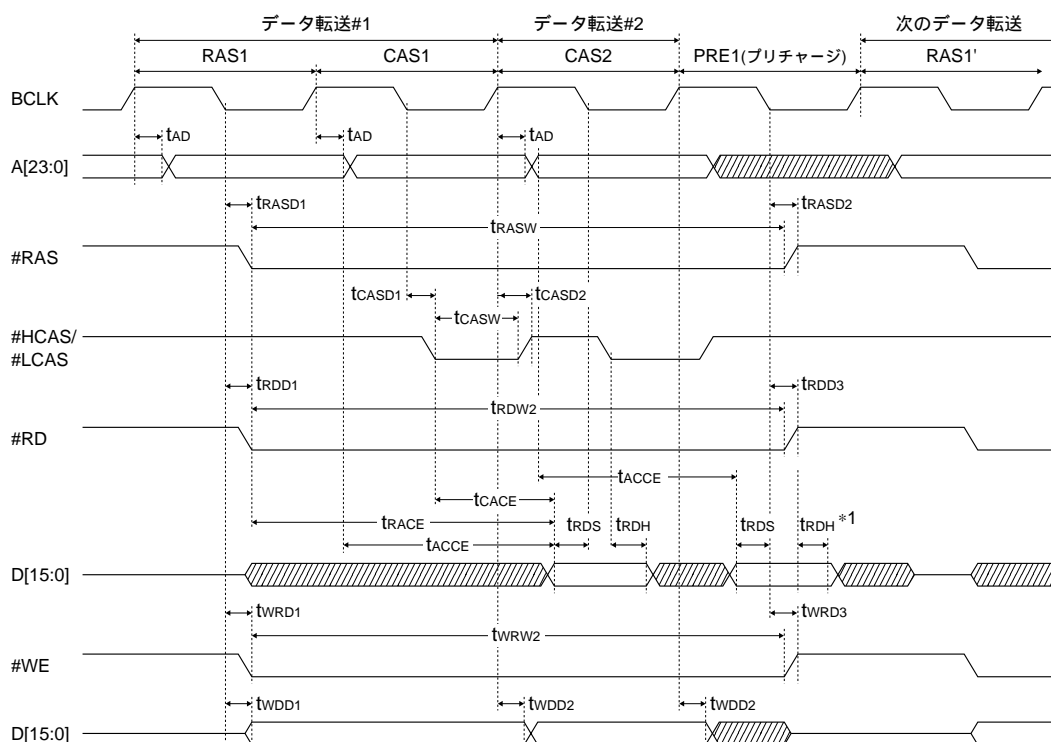
*1 t_{RDH} は、#RD、A[23:0]の中の最も早い信号変化(ネゲート)からの規定とします。

EDO DRAMランダムアクセスサイクル (基本サイクル)



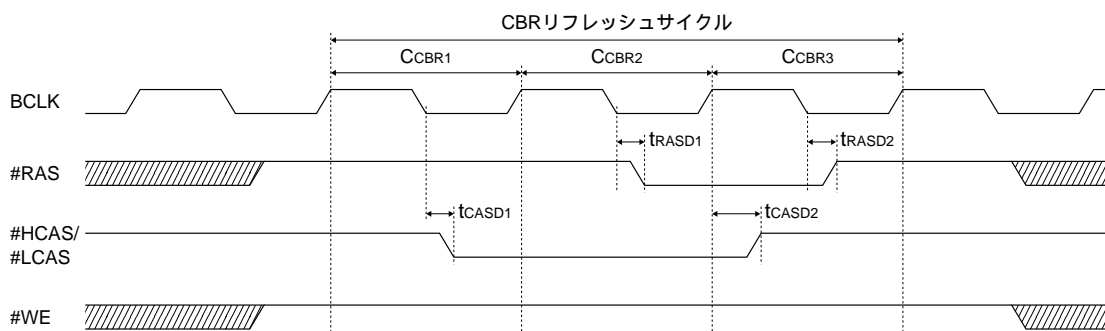
*1 t_{RDH} は、#RD、#RASxの中の最も早い信号変化(ネゲート)からの規定とします。

EDO DRAMページアクセスサイクル

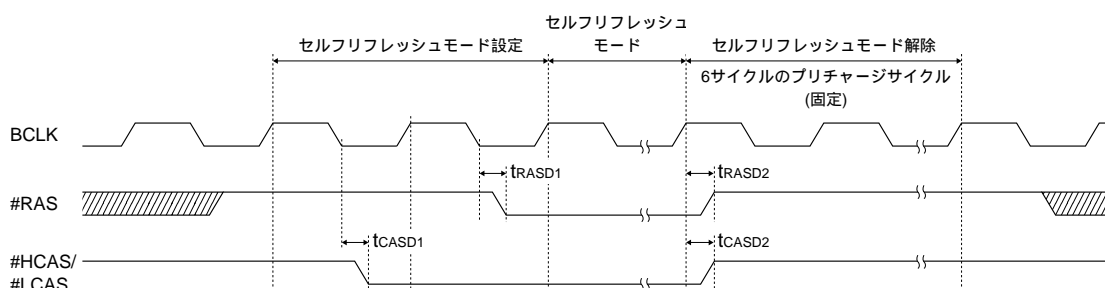


*1 t_{RDH} は、#RD、#RASx(ネゲート)、または#CAS(立ち下がり)の中の最も早い信号変化からの規定とします。

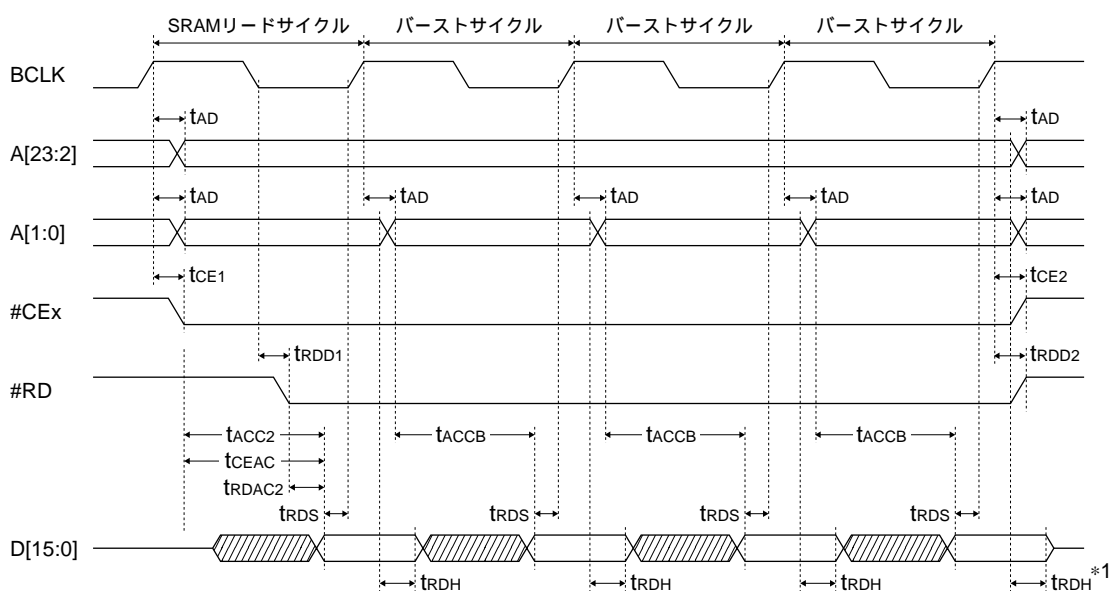
DRAM CASビフォアRASリフレッシュサイクル



DRAM セルフリフレッシュサイクル

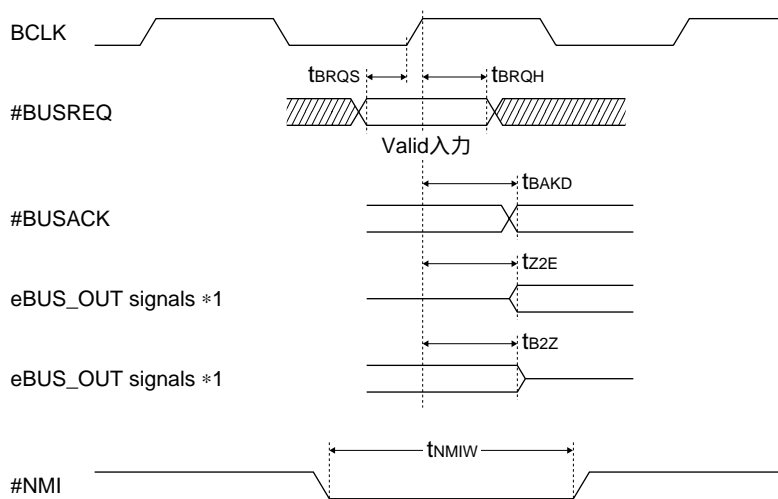


バーストROMリードサイクル



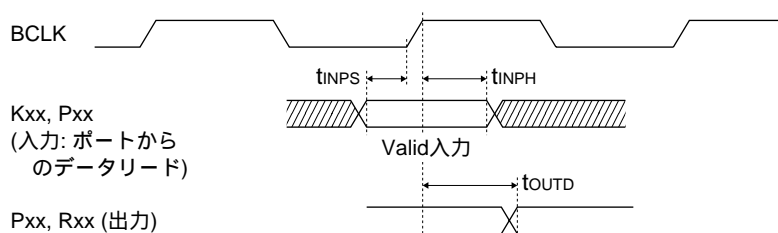
*1 t_{RDH} は、#RD、#CEx、A[23:0]の中の最も早い信号変化(ネゲート)からの規定とします。

#BUSREQ, #BUSACK, #NMIタイミング



*1 eBUS_OUTは、以下の端子を示します。
A[23:0], #RD, #WRL, #WRH, #HCAS, #LCAS, #CE[17:4], D[15:0]

入出力兼用ポートタイミング



8.6 発振特性

発振特性は諸条件(使用部品、基板パターン等)により変化します。以下の特性は参考値としてご使用ください。特にセラミック発振子または水晶振動子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。

OSC1水晶発振

(特記なき場合: 水晶振動子=Q11C02RX*1 32.768kHz, Rf1=20M Ω , C_{G1}=C_{D1}=15pF*2)

項目	記号	条件	Min.	Typ.	Max.	単位	注
動作温度	Ta	V _{DD} =2.7 ~ 3.6V	-40		85	°C	
		V _{DD} =1.9 ~ 2.2V	-40		85	°C	
		V _{DD} =1.8 ~ 2.2V	0		70	°C	

*1 Q11C02RX: セイコーエプソン製水晶振動子 *2 C_{G1}=C_{D1}=15pFは基板容量を含みます。

(特記なき場合: V_{DD}=3.3V, V_{SS}=0V, 水晶振動子=Q11C02RX*1 32.768kHz, Rf1=20M Ω , C_{G1}=C_{D1}=15pF*2, Ta=25°C)

項目	記号	条件	Min.	Typ.	Max.	単位	注
発振開始時間	t _{STA1}				3	sec	
外付けゲート容量, ドレイン容量	C _{G1} , C _{D1}	C _{G1} =C _{D1} , 基板容量などを含む	5		25	pF	
周波数IC偏差	$\Delta f/\Delta IC$		-10		10	ppm	
周波数電源電圧偏差	$\Delta f/\Delta V$		-10		10	ppm/V	
周波数調整範囲	$\Delta f/\Delta C_G$	C _{G1} =C _{D1} =5 ~ 25pF	50			ppm	

*1 Q11C02RX: セイコーエプソン製水晶振動子 *2 C_{G1}=C_{D1}=15pFは基板容量を含みます。

(特記なき場合: V_{DD}=2.0V, V_{SS}=0V, 水晶振動子=Q11C02RX*1 32.768kHz, Rf1=20M Ω , C_{G1}=C_{D1}=15pF*2, Ta=25°C)

項目	記号	条件	Min.	Typ.	Max.	単位	注
発振開始時間	t _{STA1}				20	sec	
外付けゲート容量, ドレイン容量	C _{G1} , C _{D1}	C _{G1} =C _{D1} , 基板容量などを含む	5		25	pF	
周波数IC偏差	$\Delta f/\Delta IC$		-10		10	ppm	
周波数電源電圧偏差	$\Delta f/\Delta V$		-10		10	ppm/V	
周波数調整範囲	$\Delta f/\Delta C_G$	C _{G1} =C _{D1} =5 ~ 25pF	50			ppm	

*1 Q11C02RX: セイコーエプソン製水晶振動子 *2 C_{G1}=C_{D1}=15pFは基板容量を含みます。

OSC3水晶発振

注: OSC3水晶発振回路には、"基本波を使用した水晶振動子"を使用してください。

(特記なき場合: V_{SS}=0V, 水晶振動子=Q22MA306*1 33.8688MHz, Rf2=1M Ω , C_{G1}=C_{D1}=15pF*2, Ta=25°C)

項目	記号	条件	Min.	Typ.	Max.	単位	注
発振開始時間	t _{STA3}	V _{DD} =3.3V			10	ms	
		V _{DD} =2.0V			25	ms	

*1 Q22MA306: セイコーエプソン製水晶振動子 *2 C_{G1}=C_{D1}=15pFは基板容量を含みます。

OSC3セラミック発振

(特記なき場合: V_{SS}=0V, Ta=25°C)

項目	記号	条件	Min.	Typ.	Max.	単位	注
発振開始時間	t _{STA3}	10MHzセラミック発振子			10	ms	1
		16MHzセラミック発振子			10	ms	2
		20MHzセラミック発振子			10	ms	3
		25MHzセラミック発振子			5	ms	4
		33MHzセラミック発振子			5	ms	5

注)	No.	セラミック発振子 品種名	推奨定数			電源電圧 範囲(V)	備考
			C _{G2} (pF)	C _{D2} (pF)	Rf2 (M Ω)		
	1	CST10.0MTW	30	30	1	1.8 ~ 2.2	村田製作所製セラミック発振子 *1
	2	CST16.00MXW0C1	5	5	1	1.8 ~ 2.2	村田製作所製セラミック発振子
	3	CST20.00MXW0H1	5	5	1	1.8 ~ 2.2	村田製作所製セラミック発振子
	4	CST25.00MXW0H1	5	5	1	2.7 ~ 3.6	村田製作所製セラミック発振子
	5	CST33.00MXZ040	Open	Open	1	2.7 ~ 3.6	村田製作所製セラミック発振子

*1 周波数が0.3%高めにずれる傾向があります。

8.7 PLL特性

PLLS0, PLLS1の設定(推奨動作条件)

VDD=2.7V ~ 3.6V

PLLS1	PLLS0	モード	Fin (OSC3クロック)	Fout
1	1	2逓倍	10 ~ 25MHz	20 ~ 50MHz
0	1	4逓倍	10 ~ 12.5MHz	40 ~ 50MHz
0	0	PLL未使用	—	—

VDD=2.0V±0.2V

PLLS1	PLLS0	モード	Fin (OSC3クロック)	Fout
1	1	2逓倍	10MHz	20MHz
0	0	PLL未使用	—	—

PLL特性

(特記なき場合: VDD=2.7V ~ 3.6V, VSS=0V, 水晶発振器=Q3204DC*1, R1=4.7kΩ, C1=100pF, C2=5pF, Ta=-40°C ~ +85°C)

項目	記号	条件	Min.	Typ.	Max.	単位	注
ジッタ(ピークジッタ)	tpj		-1		1	ns	
ロックアップ時間	tpll				1	ms	

*1 Q3204DC: セイコーエプソン製水晶発振器

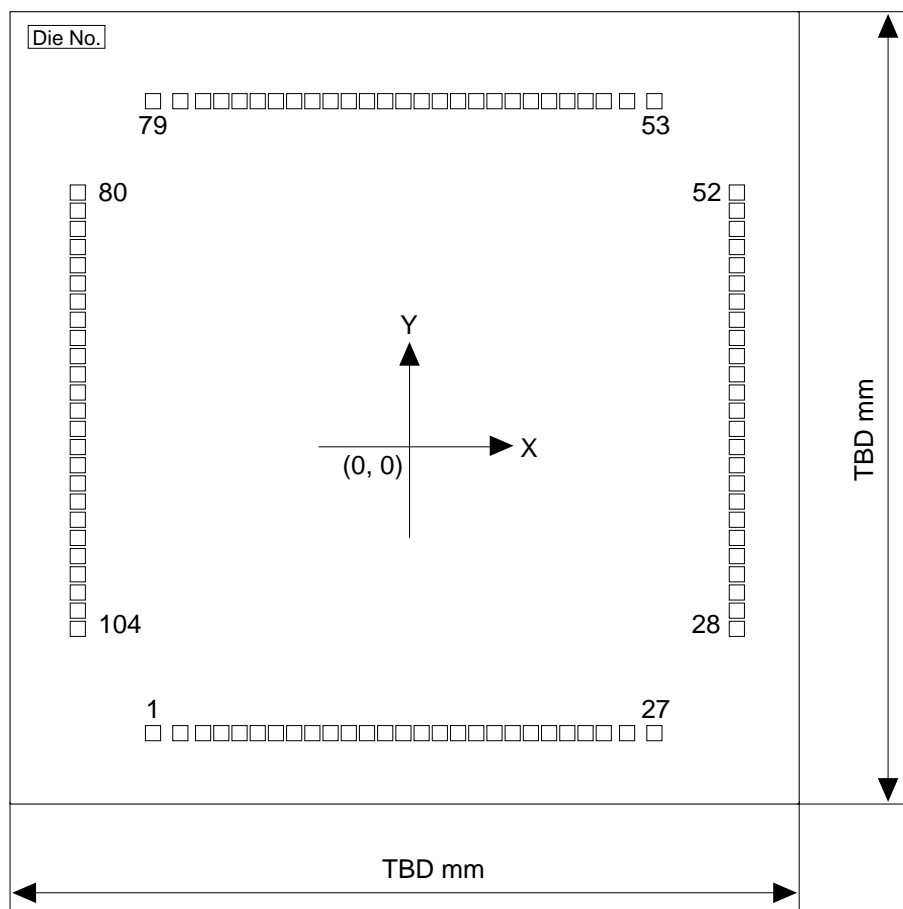
(特記なき場合: VDD=2.0V±0.2V, VSS=0V, 水晶発振器=Q3204DC*1, R1=4.7kΩ, C1=100pF, C2=5pF, Ta=-40°C ~ +85°C)

項目	記号	条件	Min.	Typ.	Max.	単位	注
ジッタ(ピークジッタ)	tpj		-2		2	ns	
ロックアップ時間	tpll				2	ms	

*1 Q3204DC: セイコーエプソン製水晶発振器

10 パッド配置

10.1 パッド配置図



10.2 パッド座標

(単位: μm)

No.	パッド名	X座標	Y座標
1	VDD	-1,638	-2,015
2	#WRL/WR/#WE	-1,512	-2,015
3	#WRH/#BSH	-1,386	-2,015
4	#RD	-1,260	-2,015
5	#EMEMRD	-1,134	-2,015
6	#LCAS	-1,008	-2,015
7	#HCAS	-882	-2,015
8	Vss	-756	-2,015
9	D0	-630	-2,015
10	D1	-504	-2,015
11	D2	-378	-2,015
12	D3	-252	-2,015
13	D4	-126	-2,015
14	D5	0	-2,015
15	VDD	126	-2,015
16	D6	252	-2,015
17	D7	378	-2,015
18	D8	504	-2,015
19	D9	630	-2,015
20	D10	756	-2,015
21	D11	882	-2,015
22	Vss	1,008	-2,015
23	D12	1,134	-2,015
24	D13	1,260	-2,015
25	D14	1,386	-2,015
26	D15	1,512	-2,015
27	Vss	1,638	-2,015
28	A0/#BSL	2,141	-1,512
29	A1	2,141	-1,386
30	A2	2,141	-1,260
31	A3	2,141	-1,134
32	VDD	2,141	-1,008
33	A4	2,141	-882
34	A5	2,141	-756
35	A6	2,141	-630
36	A7	2,141	-504
37	Vss	2,141	-378
38	A8	2,141	-252
39	A9	2,141	-126
40	A10	2,141	0
41	A11	2,141	126
42	VDD	2,141	252
43	A12	2,141	378
44	A13	2,141	504
45	A14	2,141	630
46	A15	2,141	756
47	Vss	2,141	882
48	A16	2,141	1,008
49	A17	2,141	1,134
50	A18	2,141	1,260
51	A19	2,141	1,386
52	A20/P33	2,141	1,512

No.	パッド名	X座標	Y座標
53	VDD	1,638	2,015
54	A21/P34/#BUSREQ	1,512	2,015
55	A22/P35/#BUSACK	1,386	2,015
56	#CE9/P32	1,260	2,015
57	A23/P07/#SRDY1	1,134	2,015
58	P06/#SCLK1	1,008	2,015
59	P05/SOUT1	882	2,015
60	P04/SIN1	756	2,015
61	Vss	630	2,015
62	OSC1	504	2,015
63	OSC2	378	2,015
64	VDD	252	2,015
65	#RESET	126	2,015
66	#NMI	0	2,015
67	EA10MD0	-126	2,015
68	EA10MD2	-252	2,015
69	Vss	-378	2,015
70	#CE8/P31/#BUSGET/#GARD	-504	2,015
71	P30/#WAIT	-630	2,015
72	P03/#SRDY0	-756	2,015
73	P02/#SCLK0	-882	2,015
74	P01/SOUT0	-1,008	2,015
75	P00/SIN0	-1,134	2,015
76	#CE5/P16/EXCL5	-1,260	2,015
77	#CE4/P15/EXCL4	-1,386	2,015
78	DSIO	-1,512	2,015
79	Vss	-1,638	2,015
80	P14/FOSC1/DCLK	-2,141	1,512
81	P13/EXCL3/T8UF3/DPC0	-2,141	1,386
82	P12/EXCL2/T8UF2/DST2	-2,141	1,260
83	P11/EXCL1/T8UF1/DST1	-2,141	1,134
84	P10/EXCL0/T8UF0/DST0	-2,141	1,008
85	PLLS0	-2,141	882
86	PLLS1	-2,141	756
87	PLL0	-2,141	630
88	Vss	-2,141	504
89	#X2SPD	-2,141	378
90	OSC3	-2,141	252
91	OSC4	-2,141	126
92	ICEMD	-2,141	0
93	#CE10EX	-2,141	-126
94	#CE10IN	-2,141	-252
95	VDD	-2,141	-378
96	BCLK	-2,141	-504
97	#CE6/P20/#DRD	-2,141	-630
98	#CE7/P21/#DWE/#GAAS	-2,141	-756
99	A22/TM0	-2,141	-882
100	A23/TM2	-2,141	-1,008
101	A24/TM2	-2,141	-1,134
102	A25/TM3	-2,141	-1,260
103	A26/TM4	-2,141	-1,386
104	A27/TM5	-2,141	-1,512

Appendix A 参考資料 外部デバイスとのインタフェースタイミング

外部デバイスを接続してシステムを構成する際の参考資料として、外部システムインタフェースのタイミング条件設定例を示します。

ただし、本参考資料を利用する場合は以下の点に注意してください。

- 外部デバイスのAC特性値には、一般的な数値を記載しています。実際のデバイスのAC特性値とは必ずしも一致しませんので、使用するデバイスのマニュアルまたは仕様書を参照し、実際の設定値(サイクル数)を決定してください。
- 実際には、バスや信号線の負荷容量、接続するデバイス数、使用温度範囲、入出力レベル等に従って適切なマージン設定が必要です。記載のサイクル数はあくまでも一例であり、これらの条件を満たすものではありません。
- 表中の"時間"として記載されている数値は、単にサイクル数に周期を掛け合わせた値で、各デバイスの出力遅延時間や、配線・負荷容量による遅延、入力セットアップ時間等を考慮した数値ではありません。
- 記載内容は参考資料であり、動作を保証するものではありません。

A.1 DRAM (70ns)

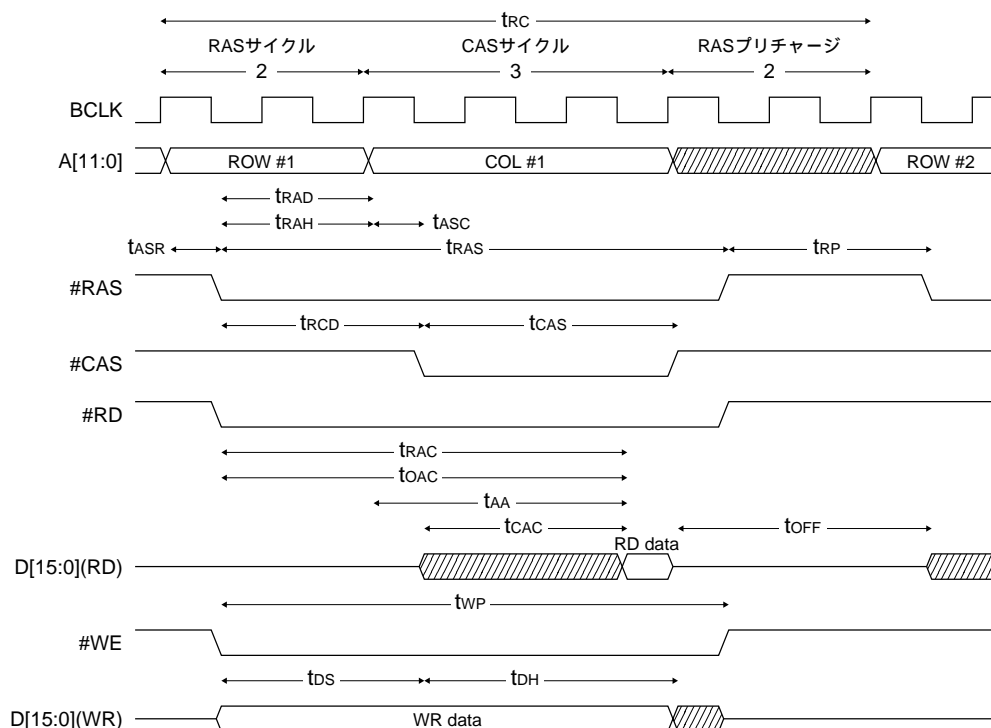
DRAMインタフェース設定例 - 70ns

動作周波数	RASプリチャージ サイクル	RASサイクル	CASサイクル	リフレッシュ RASパルス幅	リフレッシュ RPCディレイ
20MHz	2	1	2	2	1
25MHz	2	1	2	2	1
33MHz	2	2	3	3	1

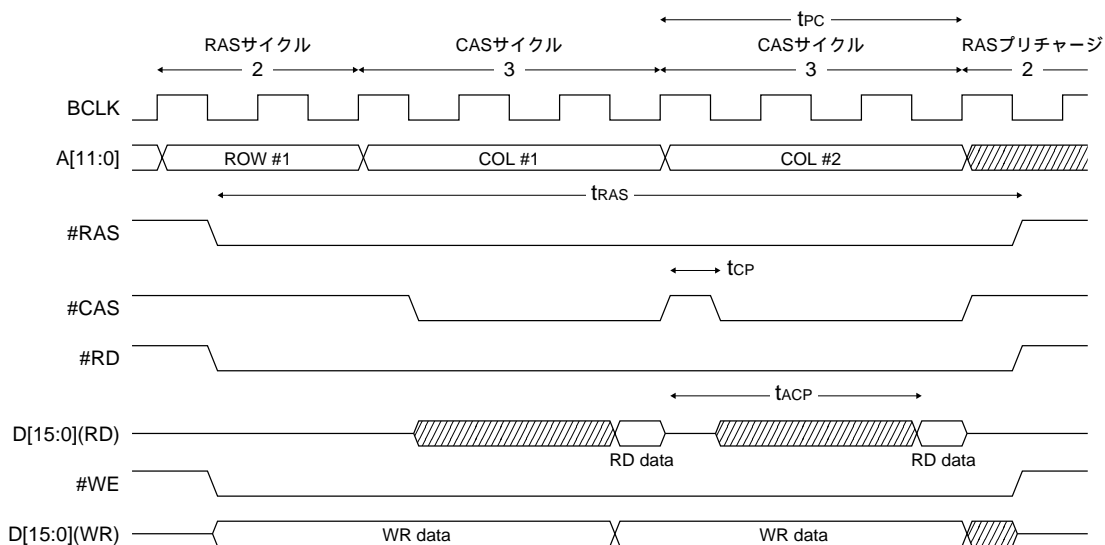
DRAMインタフェースタイミング - 70ns

DRAMインタフェース		単位: ns		33MHz		25MHz		20MHz	
パラメータ	シンボル	Min.	Max.	サイクル	時間	サイクル	時間	サイクル	時間
《共通パラメータ》									
ランダムリード/ライトサイクル時間	t _{RC}	130	—	7	210	5	200	5	250
#RASプリチャージ時間	t _{RP}	50	—	2	60	2	80	2	100
#RASパルス幅	t _{RAS}	70	10000	5	150	3	120	3	150
#CASパルス幅	t _{CAS}	20	10000	2.5	75	1.5	60	1.5	75
ローアドレスセットアップ時間	t _{ASR}	0	—	0.5	15	0.5	20	0.5	25
ローアドレスホールド時間	t _{RAH}	10	—	1.5	45	0.5	20	0.5	25
カラムアドレスセットアップ時間	t _{ASC}	0	—	0.5	15	0.5	20	0.5	25
#RAS #CAS遅延時間	t _{RCD}	20	—	2.0	60	1.0	40	1.0	50
#RAS カラムアドレス遅延時間	t _{RAD}	15	—	1.5	45	0.5	20	0.5	25
《リードサイクルパラメータ》									
#RASアクセス時間	t _{RAC}	—	70	4.5	135	2.5	100	2.5	125
#CASアクセス時間	t _{CAC}	—	20	2.5	75	1.5	60	1.5	75
アドレスアクセス時間	t _{AA}	—	35	3.0	90	2.0	80	2.0	100
#OEアクセス時間	t _{OAC}	—	20	4.5	135	2.5	100	2.5	125
出力バッファターンオフ時間	t _{OFF}	0	20	2	60	2	80	2	100
《ライトサイクルパラメータ》									
データ入力ホールド時間	t _{DH}	15	—	2.5	75	1.5	60	1.5	75
《高速ページモード》									
高速ページモードサイクル時間	t _{PC}	45	—	3.0	90	2.0	80	2.0	100
高速ページモード#CASプリチャージ時間	t _{CP}	10	—	0.5	15	0.5	20	0.5	25
#CASプリチャージからのアクセス時間	t _{ACP}	—	40	3.0	90	2.0	80	2.0	100
《リフレッシュサイクル》									
#CASセットアップ時間	t _{CSR}	10	—	1.0	30	1.0	40	1.0	50
#CASホールド時間	t _{CHR}	10	—	2.5	75	1.5	60	1.5	75
#RASプリチャージ #CASホールド時間	t _{PPC}	10	—	1.0	30	1.0	40	1.0	50
#RASパルス幅(リフレッシュサイクルのみ)	t _{RAS}	70	10000	3.0	90	2.0	80	2.0	100

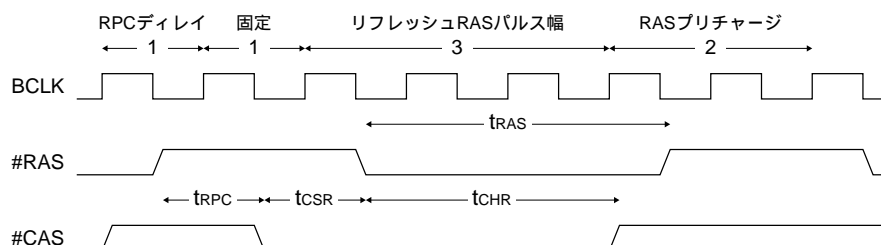
DRAM: 70ns, CPU: 33MHz, ランダムリード/ライトサイクル



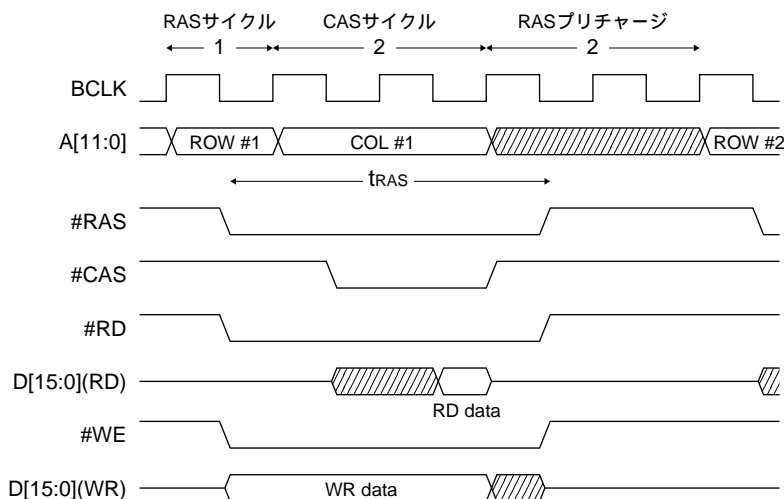
DRAM: 70ns, CPU: 33MHz, ページモードリード/ライトサイクル



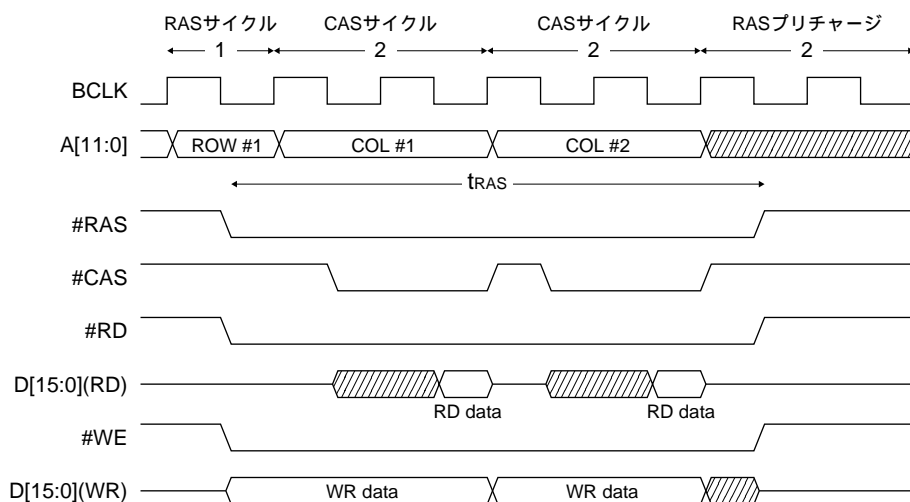
DRAM: 70ns, CPU: 33MHz, CASビフォアRASリフレッシュサイクル



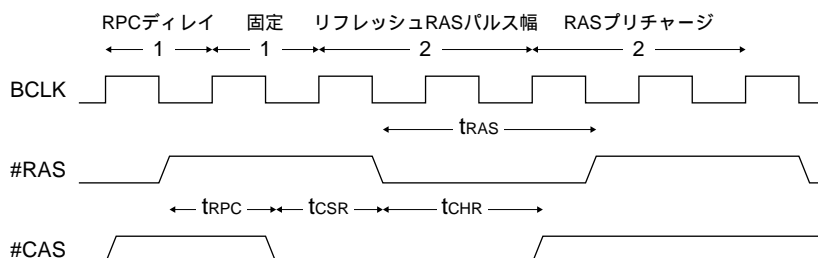
DRAM: 70ns, CPU: 25/20MHz, ランダムリード/ライトサイクル



DRAM: 70ns, CPU: 25/20MHz, ページモードリード/ライトサイクル



DRAM: 70ns, CPU: 25/20MHz, CASビフォアRASリフレッシュサイクル



A.2 DRAM (60ns)

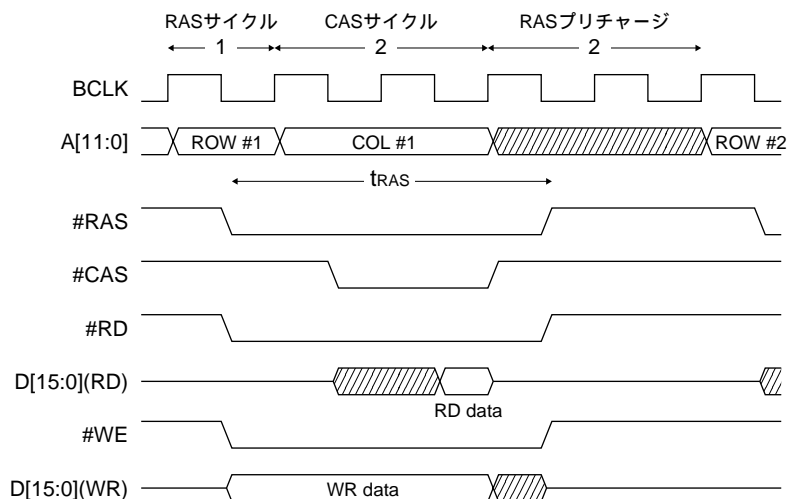
DRAMインタフェース設定例 - 60ns

動作周波数	RASプリチャージ サイクル	RASサイクル	CASサイクル	リフレッシュ RASパルス幅	リフレッシュ RPCディレイ
20MHz	1	1	2	2	1
25MHz	2	1	2	2	1
33MHz	2	2	2	3	1

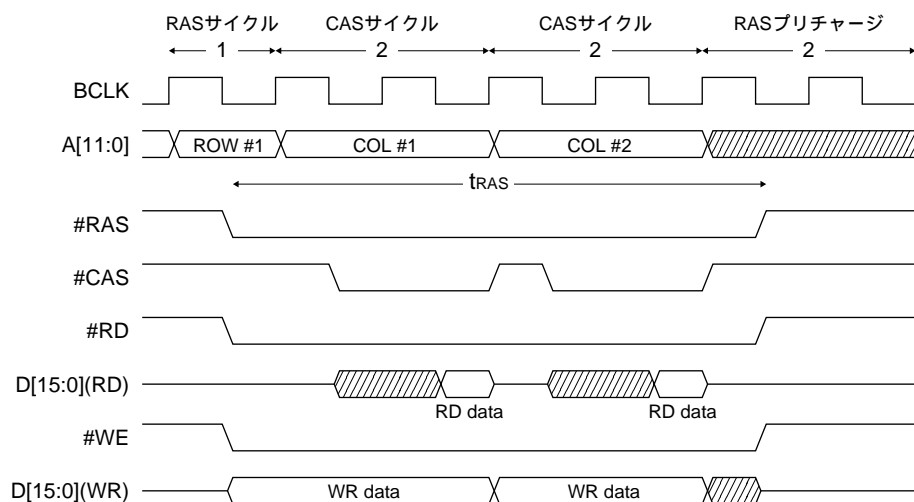
DRAMインタフェースタイミング - 60ns

DRAMインタフェース		単位: ns		33MHz		25MHz		20MHz	
パラメータ	シンボル	Min.	Max.	サイクル	時間	サイクル	時間	サイクル	時間
《共通パラメータ》									
ランダムリード/ライトサイクル時間	t _{RC}	110	—	6	180	5	200	4	200
#RASプリチャージ時間	t _{RP}	40	—	2	60	2	80	1	50
#RASパルス幅	t _{RAS}	60	10000	4	120	3	120	3	150
#CASパルス幅	t _{CAS}	15	10000	1.5	45	1.5	60	1.5	75
ローアドレスセットアップ時間	t _{ASR}	0	—	0.5	15	0.5	20	0.5	25
ローアドレスホールド時間	t _{RAH}	10	—	1.5	45	0.5	20	0.5	25
カラムアドレスセットアップ時間	t _{ASC}	0	—	0.5	15	0.5	20	0.5	25
#RAS #CAS遅延時間	t _{RCD}	20	—	2.0	60	1.0	40	1.0	50
#RAS カラムアドレス遅延時間	t _{RAD}	15	—	1.5	45	0.5	20	0.5	25
《リードサイクルパラメータ》									
#RASアクセス時間	t _{RAC}	—	60	3.5	105	2.5	100	2.5	125
#CASアクセス時間	t _{CAC}	—	15	1.5	45	1.5	60	1.5	75
アドレスアクセス時間	t _{AA}	—	30	2.0	60	2.0	80	2.0	100
#OEアクセス時間	t _{OAC}	—	15	3.5	105	2.5	100	2.5	125
出力バッファターンオフ時間	t _{OFF}	0	15	2	60	2	80	1	50
《ライトサイクルパラメータ》									
データ入力ホールド時間	t _{DH}	10	—	1.5	45	1.5	60	1.5	75
《高速ページモード》									
高速ページモードサイクル時間	t _{PC}	40	—	2.0	60	2.0	80	2.0	100
高速ページモード#CASプリチャージ時間	t _{CP}	10	—	0.5	15	0.5	20	0.5	25
#CASプリチャージからのアクセス時間	t _{ACP}	—	35	2.0	60	2.0	80	2.0	100
《リフレッシュサイクル》									
#CASセットアップ時間	t _{CSR}	10	—	1.0	30	1.0	40	1.0	50
#CASホールド時間	t _{CHR}	10	—	2.5	75	1.5	60	1.5	75
#RASプリチャージ #CASホールド時間	t _{PPC}	10	—	1.0	30	1.0	40	1.0	50
#RASパルス幅(リフレッシュサイクルのみ)	t _{RAS}	60	10000	3.0	90	2.0	80	2.0	100

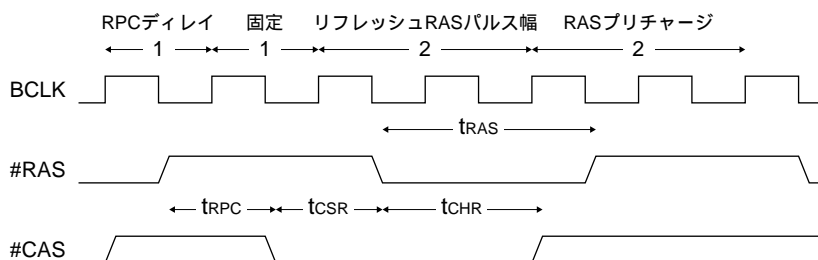
DRAM: 60ns, CPU: 25MHz, ランダムリード/ライトサイクル



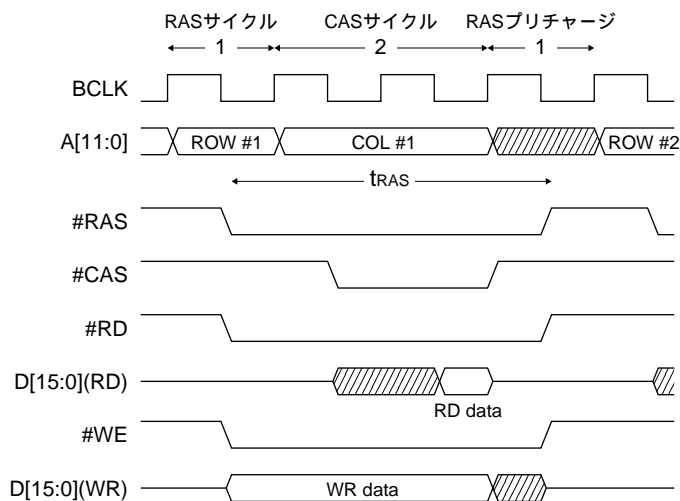
DRAM: 60ns, CPU: 25MHz, ページモードリード/ライトサイクル



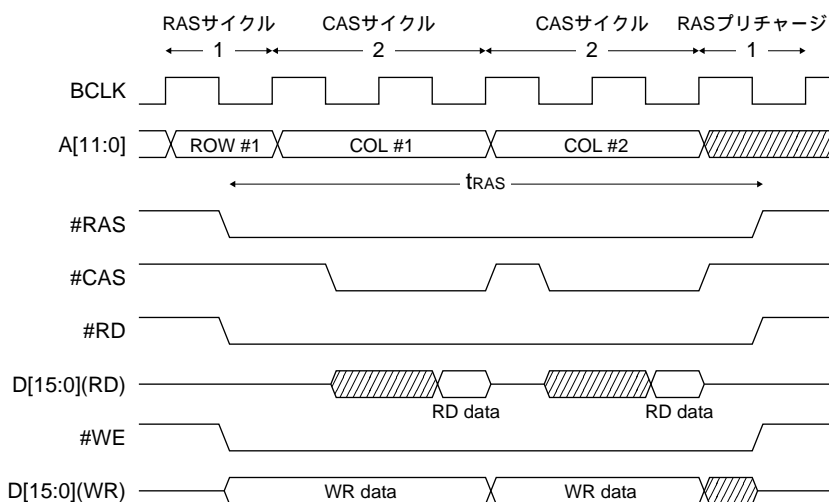
DRAM: 60ns, CPU: 25MHz, CASビフォアRASリフレッシュサイクル



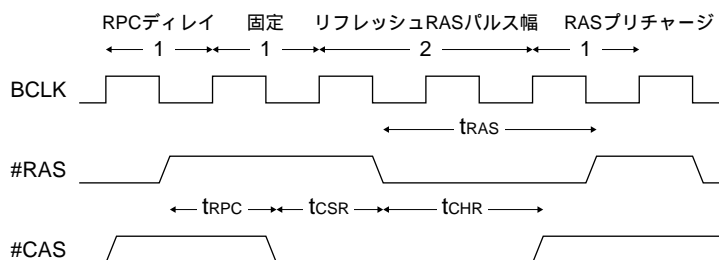
DRAM: 60ns, CPU: 20MHz, ランダムリード/ライトサイクル



DRAM: 60ns, CPU: 20MHz, ページモードリード/ライトサイクル



DRAM: 60ns, CPU: 20MHz, CASビフォアRASリフレッシュサイクル



A.3 ROM, バーストROM

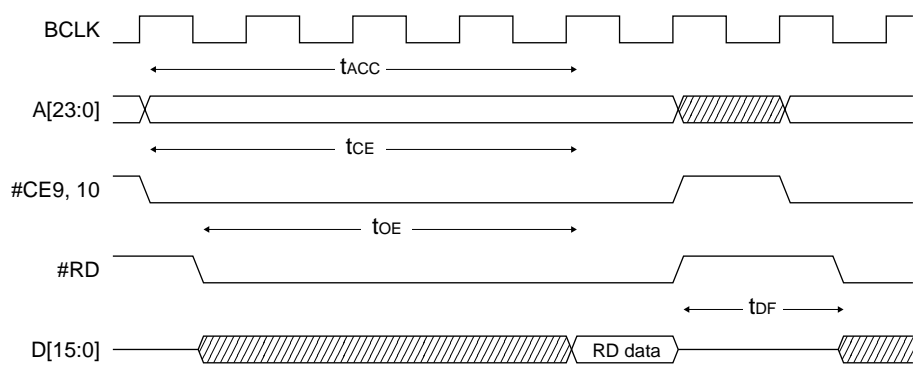
バーストROM, マスクROMインタフェース設定例

動作周波数	ノーマルリードサイクル		バーストリードサイクル		出力ディセーブル 遅延サイクル
	ウェイトサイクル	リードサイクル	ウェイトサイクル	リードサイクル	
20MHz	2	3	1	2	1.5
25MHz	3	4	1	2	1.5
33MHz	4	5	2	3	1.5

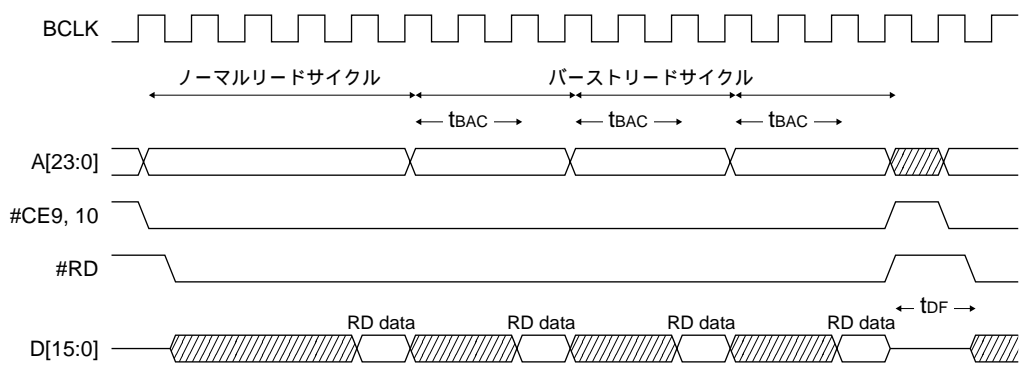
バーストROM, マスクROMインタフェースタイミング

バーストROM, マスクROMインタフェース				33MHz		25MHz		20MHz	
パラメータ	シンボル	Min.	Max.	サイクル	時間	サイクル	時間	サイクル	時間
アクセス時間	t _{ACC}	—	100	5	150	4	160	3	150
#CE出力遅延時間	t _{CE}	—	100	5	150	4	160	3	150
#OE出力遅延時間	t _{OE}	—	50	4.5	135	3.5	140	2.5	125
バーストアクセス時間	t _{BAC}	—	50	3	90	2	80	2	100
出力ディセーブル遅延時間	t _{DF}	0	40	1.5	45	1.5	60	1.5	75

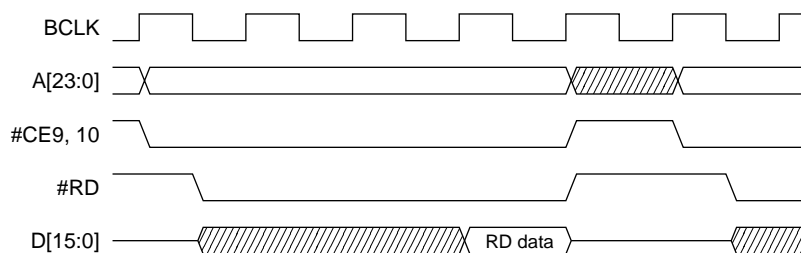
ROM: 100ns, CPU: 33MHz, ノーマルリード



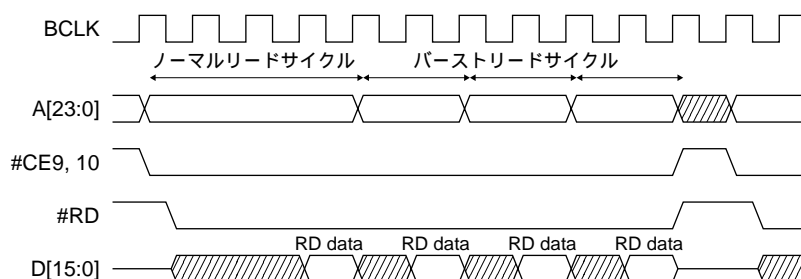
ROM: 100ns, CPU: 33MHz, バーストリード



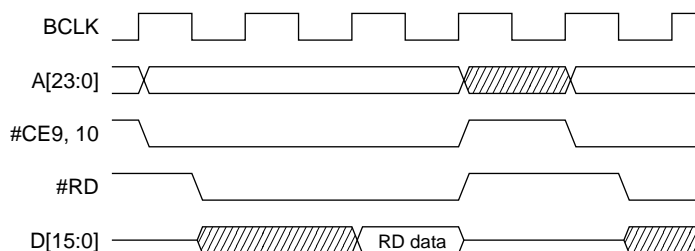
ROM: 100ns, CPU: 25MHz, ノーマルリード



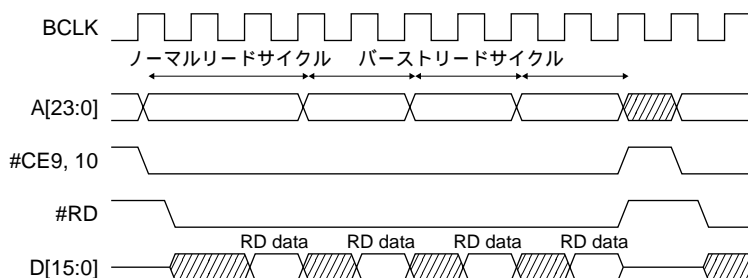
ROM: 100ns, CPU: 25MHz, バーストリード



ROM: 100ns, CPU: 20MHz, ノーマルリード



ROM: 100ns, CPU: 20MHz, バーストリード



A.4 SRAM (55ns)

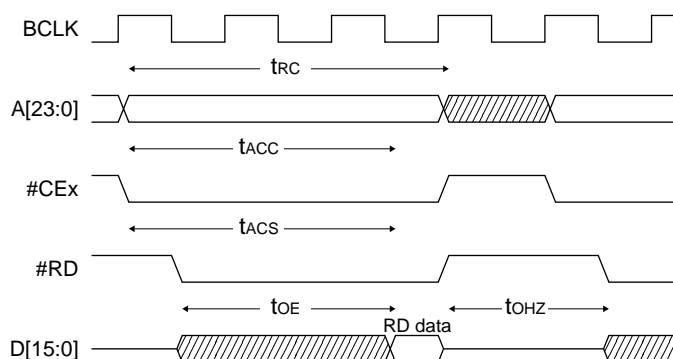
SRAMインタフェース設定例 - 55ns

動作周波数	リードサイクル		ライトサイクル	出力ディセーブル 遅延サイクル
	ウェイトサイクル	リードサイクル		
20MHz	1	2	2	1.5
25MHz	2	3	3	1.5
33MHz	2	3	3	1.5

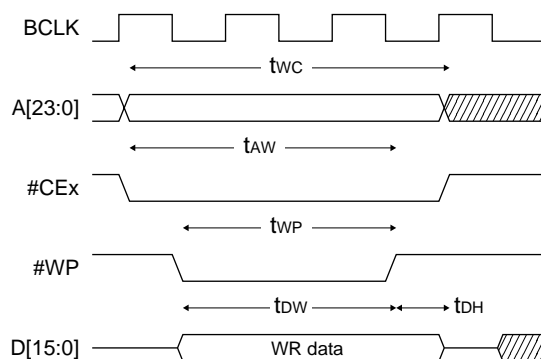
SRAMインタフェースタイミング - 55ns

SRAMインタフェース				33MHz		25MHz		20MHz	
パラメータ	シンボル	Min.	Max.	サイクル	時間	サイクル	時間	サイクル	時間
《リードサイクル》									
リードサイクル時間	t _{RC}	55	—	3	90	3	120	2	100
アドレスアクセス時間	t _{ACC}	—	55	3	90	3	120	2	100
#CEアクセス時間	t _{ACS}	—	55	3	90	3	120	2	100
#OEアクセス時間	t _{OE}	—	30	2.5	75	2.5	100	1.5	75
出力ディセーブル遅延時間	t _{OHZ}	0	30	1.5	45	1.5	60	1.5	75
《ライトサイクル》									
ライトサイクル時間	t _{WC}	55	—	3	90	3	120	2	100
アドレスイネーブル時間	t _{AW}	50	—	2.5	75	2.5	100	1.5	75
ライトパルス幅	t _{WP}	45	—	2	60	2	80	1	50
入力データセットアップ時間	t _{DW}	30	—	2	60	2	80	1	50
入力データホールド時間	t _{DH}	0	—	0.5	15	0.5	20	0.5	25

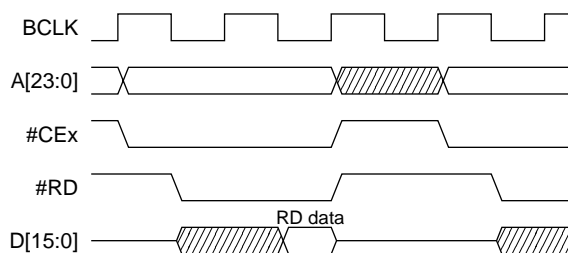
SRAM: 55ns, CPU: 33/25MHz, リードサイクル



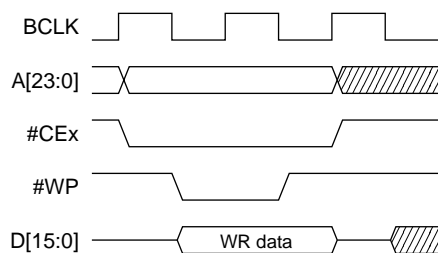
SRAM: 55ns, CPU: 33/25MHz, ライトサイクル



SRAM: 55ns, CPU: 20MHz, リードサイクル



SRAM: 55ns, CPU: 20MHz, ライトサイクル



A.5 SRAM (70ns)

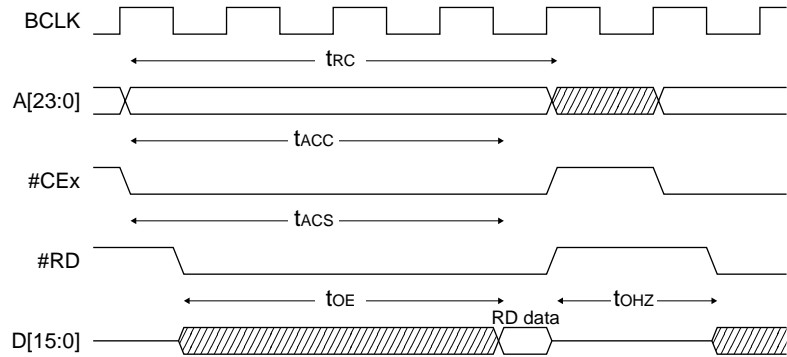
SRAMインタフェース設定例 - 70ns

動作周波数	リードサイクル		ライトサイクル	出力ディセーブル 遅延サイクル
	ウェイトサイクル	リードサイクル		
20MHz	2	3	3	1.5
25MHz	2	3	3	1.5
33MHz	3	4	4	1.5

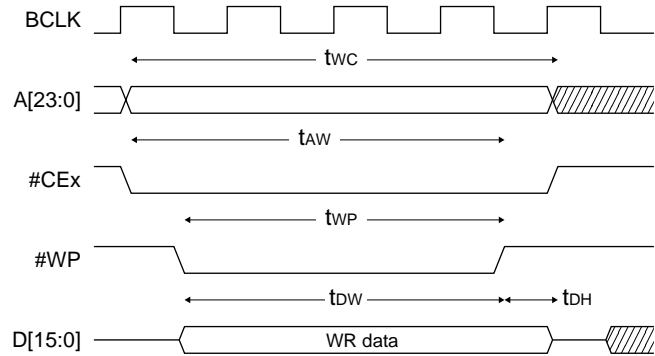
SRAMインタフェースタイミング - 70ns

SRAMインタフェース					33MHz		25MHz		20MHz	
パラメータ	シンボル	Min.	Max.		サイクル	時間	サイクル	時間	サイクル	時間
《リードサイクル》										
リードサイクル時間	t _{RC}	70	—		4	120	3	120	3	150
アドレスアクセス時間	t _{ACC}	—	70		4	120	3	120	3	150
#CEアクセス時間	t _{ACS}	—	70		4	120	3	120	3	150
#OEアクセス時間	t _{OE}	—	40		3.5	105	2.5	100	2.5	125
出力ディセーブル遅延時間	t _{OHZ}	0	30		1.5	45	1.5	60	1.5	75
《ライトサイクル》										
ライトサイクル時間	t _{WC}	70	—		4	120	3	120	3	150
アドレスイネーブル時間	t _{AW}	60	—		3.5	105	2.5	100	2.5	125
ライトパルス幅	t _{WP}	55	—		3	90	2	80	2	100
入力データセットアップ時間	t _{DW}	30	—		3	90	2	80	2	100
入力データホールド時間	t _{DH}	0	—		0.5	15	0.5	20	0.5	25

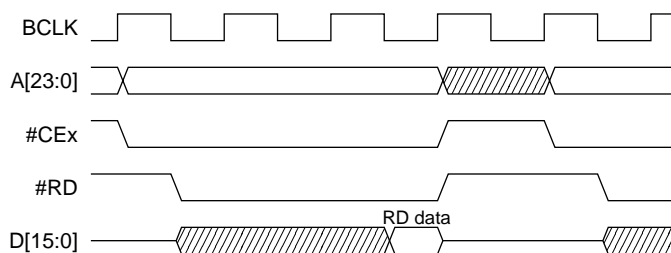
SRAM: 70ns, CPU: 33MHz, リードサイクル



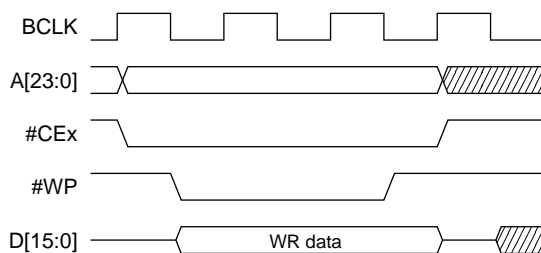
SRAM: 70ns, CPU: 33MHz, ライトサイクル



SRAM: 70ns, CPU: 25/20MHz, リードサイクル



SRAM: 70ns, CPU: 25/20MHz, ライトサイクル



A.6 8255A

8255Aインタフェース設定例

動作周波数	リードサイクル		ライトサイクル	出力ディセーブル 遅延サイクル
	ウェイトサイクル	リードサイクル		
20MHz	9 *1	10	10	3.5
25MHz	11	12	12	3.5
33MHz	14	15	15	3.5 *2

8255Aインタフェースタイミング

SRAMインタフェース					33MHz		25MHz		20MHz	
パラメータ	シンボル	Min.	Max.		サイクル	時間	サイクル	時間	サイクル	時間
《リードサイクル》										
リードサイクル時間	t _{RC}	300	—		15	450	12	480	10	500
アドレスアクセス時間	t _{ACC}	—	250		15	450	12	480	10	500
#CEアクセス時間	t _{ACS}	—	250		15	450	12	480	10	500
#OEアクセス時間	t _{OE}	—	250		14.5	435	11.5	460	9.5	475
出力ディセーブル遅延時間	t _{OHZ}	10	150		3.5	105	3.5	140	3.5	175
《ライトサイクル》										
ライトサイクル時間	t _{WC}	430	—		15	450	12	480	10	500
アドレスイネーブル時間	t _{AW}	400	—		14.5	435	11.5	460	9.5	475
ライトパルス幅	t _{WP}	400	—		14	420	11	440	9	450
入力データセットアップ時間	t _{DW}	100	—		14	420	11	440	9	450
入力データホールド時間 *3	t _{DH}	30	—		0.5	15	0.5	20	0.5	25

- *1 S1C33S01ではウェイトサイクルが7サイクルまでしか設定できませんので、7サイクル以上のウェイトは外部のハードウェアから#WAIT信号を入力して挿入します。#WAIT端子によってウェイトサイクルを挿入するためには、インタフェースがSRAMタイプに設定されている必要があります。(詳細は、“S1C33 Function Part”の“BCU(バスコントロールユニット)”参照)
- *2 この設定では、8255Aが要求する150nsの出力ディセーブル遅延時間の仕様を満たすことができません。このような低速デバイスをシステムに組み込む場合は、外部システムバスのCPUから見て出力側に3ステートのバスバッファ等を挿入してバスを分離する必要があります。
- *3 データホールド時間が足りない場合、外部データバスD[15:0]にバスリピータを接続、または外部システムインタフェースの出力側にラッチを挿入するなどの方法により、ホールド時間を保証してください。

Appendix B 端子特性

端子 No.	信号名	I/Oセル名	入力特性	出力特性	Pull-up Pull-down	備考
1	#WRL/#WR/#WE	XBB1	注2	Type 1		
2	#WRH/#BSH	XBB1	注2	Type 1		
3	#RD	XBB1	注2	Type 1		
4	#EMEMRD	XTB1T		Type 1		
5	#LCAS	XTB1T		Type 1		
6	#HCAS	XTB1T		Type 1		
7	Vss	XVSS				
8	D0	XBB1	CMOS	Type 1		注1
9	D1	XBB1	CMOS	Type 1		注1
10	D2	XBB1	CMOS	Type 1		注1
11	D3	XBB1	CMOS	Type 1		注1
12	D4	XBB1	CMOS	Type 1		注1
13	D5	XBB1	CMOS	Type 1		注1
14	Vdd	XVDD				
15	D6	XBB1	CMOS	Type 1		注1
16	D7	XBB1	CMOS	Type 1		注1
17	D8	XBB1	CMOS	Type 1		注1
18	D9	XBB1	CMOS	Type 1		注1
19	D10	XBB1	CMOS	Type 1		注1
20	D11	XBB1	CMOS	Type 1		注1
21	Vss	XVSS				
22	D12	XBB1	CMOS	Type 1		注1
23	D13	XBB1	CMOS	Type 1		注1
24	D14	XBB1	CMOS	Type 1		注1
25	D15	XBB1	CMOS	Type 1		注1
26	A0/#BSL	XBB1	注2	Type 1		
27	A1	XBB1	注2	Type 1		
28	A2	XBB1	注2	Type 1		
29	A3	XBB1	注2	Type 1		
30	Vdd	XVDD				
31	A4	XBB1	注2	Type 1		
32	A5	XBB1	注2	Type 1		
33	A6	XBB1	注2	Type 1		
34	A7	XBB1	注2	Type 1		
35	Vss	XVSS				
36	A8	XBB1	注2	Type 1		
37	A9	XBB1	注2	Type 1		
38	A10	XBB1	注2	Type 1		
39	A11	XBB1	注2	Type 1		
40	Vdd	XVDD				
41	A12	XBB1	注2	Type 1		
42	A13	XBB1	注2	Type 1		
43	A14	XBB1	注2	Type 1		
44	A15	XBB1	注2	Type 1		
45	Vss	XVSS				
46	A16	XBB1	注2	Type 1		
47	A17	XBB1	注2	Type 1		
48	A18	XBB1	注2	Type 1		
49	A19	XBB1	注2	Type 1		
50	A20/P33	XBG1	CMOS SCHMITT	Type 1		注1
51	A21/P34/#BUSREQ	XBG1	CMOS SCHMITT	Type 1		注1
52	A22/P35/#BUSACK	XBG1	CMOS SCHMITT	Type 1		注1
53	#CE9/P32	XBG1	CMOS SCHMITT	Type 1		注1
54	A23/P07/#SRDY1	XBG1	CMOS SCHMITT	Type 1		注1

端子 No.	信号名	I/Oセル名	入力特性	出力特性	Pull-up Pull-down	備考
55	P06/#SCLK1	XBG1	CMOS SCHMITT	Type 1		注1
56	P05/SOUT1	XBG1	CMOS SCHMITT	Type 1		注1
57	P04/SIN1	XBG1	CMOS SCHMITT	Type 1		注1
58	Vss	XVSS				
59	OSC1	XLIN				
60	OSC2	XLOT				
61	VDD	XVDD				
62	#RESET	XIBHP2	LVTTTL/CMOS SCHMITT		Pull-up	
63	#NMI	XIBHP2	LVTTTL/CMOS SCHMITT		Pull-up	
64	EA10MD0	XIBC	LVTTTL/CMOS			
65	EA10MD1	XIBCP2	LVTTTL/CMOS		Pull-up	
66	Vss	XVSS				
67	#CE8/P31/#BUSGET/#GARD	XBG1	CMOS SCHMITT	Type 1		注1
68	P30/#WAIT	XBG1	CMOS SCHMITT	Type 1		注1
69	P03/#SRDY0	XBG1	CMOS SCHMITT	Type 1		注1
70	P02/#SCLK0	XBG1	CMOS SCHMITT	Type 1		注1
71	P01/SOUT0	XBG1	CMOS SCHMITT	Type 1		注1
72	P00/SIN0	XBG1	CMOS SCHMITT	Type 1		注1
73	#CE5/P16/EXCL5	XBG1	CMOS SCHMITT	Type 1		注1
74	#CE4/P15/EXCL4	XBG1	CMOS SCHMITT	Type 1		注1
75	DSIO	XBH2P2T	LVTTTL/CMOS SCHMITT	Type 2	Pull-up	
76	P14/FOSC1/DCLK	XBG2	CMOS SCHMITT	Type 2		注1
77	P13/EXCL3/T8UF3/DPCO	XBG2	CMOS SCHMITT	Type 2		注1
78	P12/EXCL2/T8UF2/DST2	XBG2	CMOS SCHMITT	Type 2		注1
79	P11/EXCL1/T8UF1/DST1	XBG2	CMOS SCHMITT	Type 2		注1
80	P10/EXCL0/T8UF0/DST0	XBG2	CMOS SCHMITT	Type 2		注1
81	PLLS0	XIBC	CMOS			
82	PLLS1	XIBC	CMOS			
83	PLL	XLIN				
84	Vss	XVSS				
85	#X2SPD	XIBC	CMOS			
86	OSC3	XLIN				
87	OSC4	XLOT				
88	ICEMD	XITST1			Pull-down	テスト端子
89	#CE10EX	XBB1	注2	Type 1		
90	#CE10IN	XTB1T		Type 1		
91	VDD	XVDD				
92	BCLK	XTB1T		Type 1		
93	#CE6/P20/#DRD	XBG1	CMOS SCHMITT	Type 1		注1
94	#CE7/P21/#DWE/#GAAS	XBG1	CMOS SCHMITT	Type 1		注1
95	P22/TM0	XBG1	CMOS SCHMITT	Type 1		注1
96	P23/TM1	XBG1	CMOS SCHMITT	Type 1		注1
97	P24/TM2	XBG1	CMOS SCHMITT	Type 1		注1
98	P25/TM3	XBG1	CMOS SCHMITT	Type 1		注1
99	P26/TM4	XBG1	CMOS SCHMITT	Type 1		注1
100	P27/TM5	XBG1	CMOS SCHMITT	Type 1		注1

注1) この端子は5Vトレラントです。

注2) この端子はデバイス試験のときに入力となります。通常動作時は出力端子です。

出力電流特性は、次のとおりです。

出力電流 (I_{OL}/I_{OH})

	5.0V	3.3V	2.0V
Type1	3mA	2mA	0.6mA
Type2	—	6mA	2mA

S1C33S01
FUNCTION PART

S1C33S01 FUNCTION PART

I 概要

I-1 はじめに

S1C33S01 Function Partでは、セイコーエプソンオリジナル32ビットマイクロコンピュータS1C33S01の内蔵する各種の機能ブロックを詳細に説明しています。

S1C33S01は、RISC型CPUの採用により、小さなCPUコアサイズにもかかわらず、コンパクトなコードにコンパイル可能な強力な命令セットを持っています。

本製品の特長を以下に示します。

- コンパクトなCPUコア: 25Kゲート
- 高速・高性能: DCから50 MHzまでの動作に対応
- 強力な命令セット: 16ビット固定長、105種類の基本命令
- 実行サイクル: 主要命令は1サイクル/命令で実行
- 積和演算(MAC)機能: 16ビット×16ビット+64ビット、2クロック/MAC (50MHz時で25 MOPS)
- CPUレジスタ: 16個の32ビット汎用レジスタおよび5個の32ビット特殊レジスタ
- メモリ空間: 256Mバイト(28ビット)のコード、データ、I/Oがマップ可能なりニア空間
- 外部バスインタフェース: 15の個々に設定可能なメモリエリア
外部メモリを直結可能
- 割り込み: リセット、NMI、最大128個の外部割り込み、4つのソフトウェア割り込みおよび2つの例外に対応
- リセット、ブート: コールドリセット、ホットリセット
- パワーダウンモード: SLEEP、HALT
- その他: リトルエンディアン(ビッグエンディアンにも設定可能)
ハーバードアーキテクチャ(フェッチとロード/ストアの並列実行)
- ユーザロジックインタフェース: プログラマブルなウェイトサイクル(最大7サイクル)
#WAIT端子によるハンドシェークが可能
ユーザロジック用の大きなメモリ空間(最大16Mバイト)
BCUレジスタにより外部メモリ領域の内部使用が可能(エリア4~18)
ユーザロジックからの多数の割り込み要求に対応

このページはブランクです。

I-2 ブロック図

S1C33ブロックは、C33コアブロック、C33周辺回路ブロック、C33内蔵メモリブロックの3つのブロックで構成されています。

図1.1にS1C33各ブロックの構成を示します。

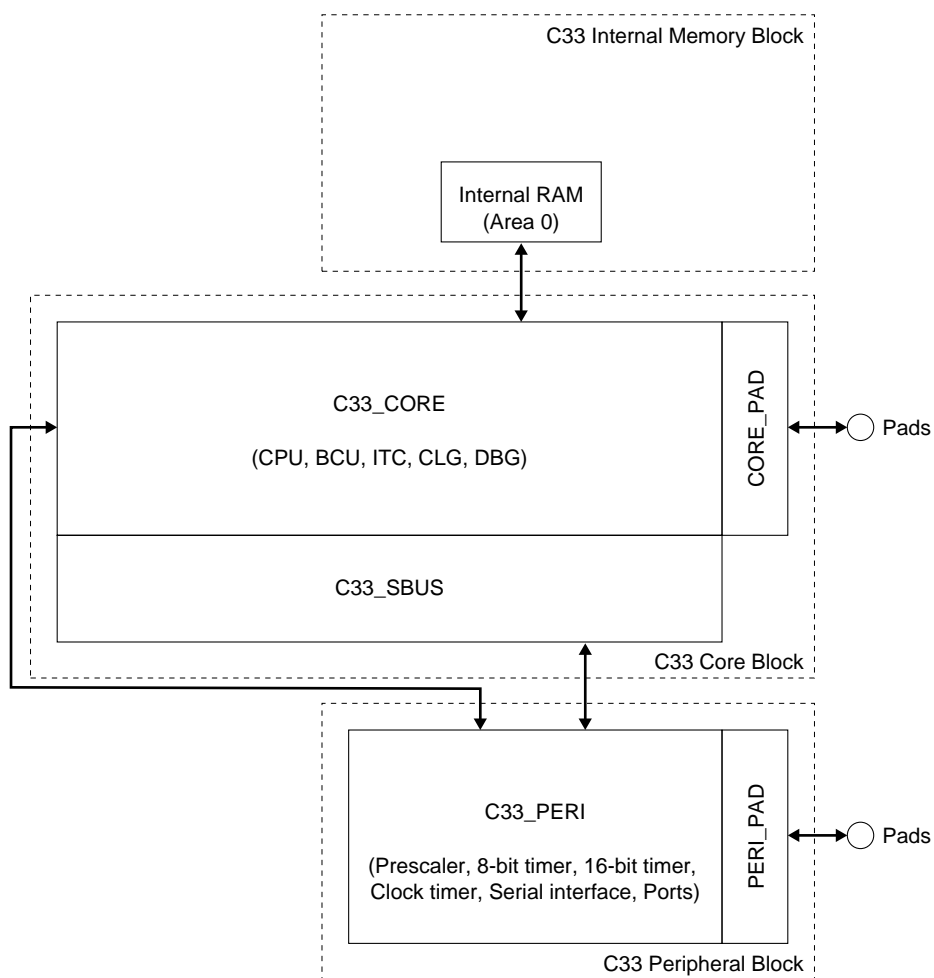


図1.1 ブロック構成

C33コアブロック

C33コアブロックは、CPU、BCU(バスコントロールユニット)、ITC(割り込みコントローラ)、CLG(クロックジェネレータ)、DBG(デバッグユニット)を含む機能ブロックC33_CORE、外部インタフェース用のI/Oパッドブロック、およびチップ上の周辺回路とのインタフェースを行うSBUSブロックで構成されています。

32ビットRISC CPU S1C33000をコアCPUとして使用しています。

C33周辺回路ブロック

C33周辺回路ブロックは、プリスケアラ、4チャンネルの8ビットプログラマブルタイマ、ウォッチドッグタイマ、イベントカウンタ機能付き6チャンネルの16ビットプログラマブルタイマ、2チャンネルのシリアルインタフェース、入出力ポート、計時タイマで構成されています。

C33メモリブロック

内蔵メモリ領域用に、SRAM 8MBが用意されています。

各ブロックの詳細については、本マニュアル内のそれぞれの説明を参照してください。

I-3 端子一覧

外部入出力端子一覧

以下に、C33コアブロックと周辺回路ブロックの外部入出力端子を示します。一部の端子は複数の表に重複して記載されています。

表 1.1 電源系端子一覧

端子名	端子No.	I/O	Pull-up	機 能
VDD	14, 30, 40, 61, 91	–	–	電源 (+)
VSS	7, 21, 35, 45, 58, 66, 84	–	–	電源 (–) GND

表 1.2 外部インタフェース信号端子一覧

端子名	端子No.	I/O	Pull-up	機 能
A0 #BSL	26	O	–	A0: アドレスバス(A0)/SBUSS(D3/0x4812E) = "0"の場合 (デフォルト) #BSL: バスストロープ(下位バイト)信号/SBUSS(D3/0x4812E) = "1"の場合
A[19:1]	27–29, 31–34, 36–39, 41–44, 46–49	O	–	アドレスバス(A1–A19)
A23 P07 #SRDY	54	I/O	–	A23: アドレスバス(A23)/CFA23(D7/0x40300) = "0"の場合 (デフォルト) P07: 入出力兼用ポート/CFA23(D7/0x40300) = "1"および CFP07(D7/0x402D0) = "0"の場合 #SRDY: シリアルI/F Ch.1 レディ 信号入出力/CFA23(D7/0x40300) = "1"および CFP07(D7/0x402D0) = "1"の場合
A22 P35 #BUSACK	52	I/O	–	A22: アドレスバス(A22)/CFA22(D6/0x40300) = "0"の場合 (デフォルト) P35: 入出力兼用ポート/CFA22(D6/0x40300) = "1"および CFP35(D5/0x02DC) = "0"の場合 #BUSACK: バス開放要求応答出力/CFA22(D6/0x40300) = "1"および CFP35(D5/0x02DC) = "1"の場合
A21 P34 #BUSREQ #CE6	51	I/O	–	A21: アドレスバス(A21)/CFA21(D5/0x40300) = "0"の場合 (デフォルト) P34: 入出力兼用ポート/CFA21(D5/0x40300) = "1"および CFP34(D4/0x402DC) = "0"の場合 #BUSREQ: バス開放要求入力/CFA21(D5/0x40300) = "1"および CFP34(D4/0x402DC) = "1"、IOC34(D4/0x402DE) = "0"の場合 #CE6: エリア6チップイネーブル/CFA21(D5/0x40300) = "1"および CFP34(D4/0x402DC) = "1"、IOC34(D4/0x402DE) = "1"の場合
A20 P33	50	I/O	–	A20: アドレスバス(A20)/CFA20(D5/0x40300) = "0"の場合 (デフォルト) P33: 入出力兼用ポート/CFA20(D5/0x40300) = "1"の場合
D[15:0]	8–13, 15–20, 21–25	I/O	–	データバス(D0–D15)
#CE10EX	89	O	–	外部メモリ用エリア10チップイネーブル * CEFUNC[1:0] = "1x"の場合、本端子は#CE9+#CE10EX信号を出力します。
#CE10IN	90	O	–	内蔵ROMエミュレーション用エリア10チップイネーブル
#CE9 P32	53	I/O	–	#CE9: エリア9チップイネーブル/CFCE9(D5/0x40301) = "0"の場合(デフォルト) * CEFUNC[1:0](D[A:9]/0x48130)により、#CE17、#CE9+#CE10に出力を変 更可能 P32: 入出力兼用ポート/CFCE9(D5/0x40301) = "1"の場合
#CE8 P31 #BUSGET #GARD	67	I/O	–	#CE8: エリア8チップイネーブル/CFCE8(D4/0x40301) = "0"の場合(デフォルト) * CEFUNC[1:0](D[A:9]/0x48130)およびA8DRA(D8/0x48128)、 A14DRA(D8/0x48122)により、#RAS1、#CE14、#RAS3に出力を変更可 能 P31: 入出力兼用ポート/CFCE8(D4/0x40301) = "1"および CFP31(D1/0x402DC) = "0"、CFEX3(D3/0x402DF) = "0"の場合 #BUSGET: バス開放要求バス状態モニタ信号出力/CFCE8(D4/0x40301) = "1"および CFP31(D1/0x402DC) = "1"、CFEX3(D3/0x402DF) = "0"の場合 #GARD: GA用エリア用エリアリード信号出力/CFCE8(D4/0x40301) = "1"および CFEX3(D3/0x402DF) = "1"の場合

I 概要: 端子一覧

端子名	端子No.	I/O	Pull-up	機 能
#CE7 P21 #DWE #GAAS	94	I/O	—	<p>#CE7: エリア7チップバイネーブル/CFCE7(D3/0x40301) = "0"の場合(デフォルト) * CEFUNC[1:0](D[A:9]/0x48130)およびA7DRA(D7/0x48128)、 A13DRA(D7/0x48122)により、#RAS0、#CE13、#RAS2に出力を変更可能</p> <p>P21: 入出力兼用ポート/CFCE7(D3/0x40301) = "1"および CFP21(D1/0x402D8) = "0"、CFEX2(D2/0x402DF) = "0"の場合</p> <p>#DWE: 連続RASモード用DRAMライト信号/CFCE7(D3/0x40301) = "1"および CFP21(D1/0x402D8) = "1"、CFEX2(D2/0x402DF) = "0"の場合</p> <p>#GAAS: GA用エリアアドレスストローブ出力/CFCE7(D3/0x40301) = "1"および CFEX2(D2/0x402DF) = "1"の場合</p>
#CE6 P20 #DRD	93	I/O	—	<p>#CE6: エリア6チップバイネーブル/CFCE6(D2/0x40301) = "0"の場合(デフォルト) * CEFUNC[1:0](D[A:9]/0x48130)により、#CE7+#CE8に出力を変更可能</p> <p>P20: 入出力兼用ポート/CFCE6(D2/0x40301) = "1"および CFP20(D0/0x402D8) = "0"の場合</p> <p>#DRD: 連続RASモード用DRAMリード信号出力/CFCE6(D2/0x40301) = "1"および CFP20(D0/0x402D8) = "1"の場合</p>
#CE5 P16 EXCL5	73	I/O	—	<p>#CE5: エリア5チップバイネーブル/CFCE5(D1/0x40301) = "0"の場合(デフォルト) * CEFUNC[1:0](D[A:9]/0x48130)により、#CE15、#CE15+#CE16に出力を変更可能</p> <p>P16: 入出力兼用ポート/CFCE5(D1/0x40301) = "1"および CFP16(D6/0x402D4) = "0"の場合</p> <p>EXCL5: 16ビットタイマ5イベントカウンタ入力/CFCE5(D1/0x40301) = "1"および CFP16(D6/0x402D4) = "1"、IOC16(D6/0x402D6) = "0"の場合</p>
#CE4 P15 EXCL4	74	I/O	—	<p>#CE4: エリア4チップバイネーブル/CFCE4(D0/0x40301) = "0"の場合(デフォルト) * CEFUNC[1:0](D[A:9]/0x48130)により、#CE11、#CE11+#CE12に出力を変更可能</p> <p>P15: 入出力兼用ポート/CFCE4(D0/0x40301) = "1"および CFP15(D5/0x402D4) = "0"の場合</p> <p>EXCL4: 16ビットタイマ4イベントカウンタ入力/CFCE4(D0/0x40301) = "1"および CFP15(D5/0x402D4) = "1"、IOC15(D5/0x402D6) = "0"の場合</p>
#RD	3	O	—	リード信号
#EMEMRD	4	O	—	内蔵ROMエミュレーションメモリ用リード信号
#WRL #WR #WE	1	O	—	<p>#WRL: ライト(下位バイト)信号/SBUSST(D3/0x4812E) = "0"の場合 (デフォルト)</p> <p>#WR: ライト信号/SBUSST(D3/0x4812E) = "1"の場合</p> <p>#WE: DRAMライト信号</p>
#WRH #BSH	2	O	—	<p>#WRH: ライト(上位バイト)信号/SBUSST(D3/0x4812E) = "0"の場合 (デフォルト)</p> <p>#BSH: バスストローブ(上位バイト)信号/SBUSST(D3/0x4812E) = "1"の場合</p>
#HCAS	6	O	—	#HCAS: DRAMコラムアドレスストローブ(上位バイト)信号
#LCAS	5	O	—	#LCAS: DRAMコラムアドレスストローブ(下位バイト)信号
BCLK	92	O	—	バスクロック出力
P30 #WAIT #CE4&5	68	I/O	—	<p>P30: 入出力兼用ポート/CFP30(D0/0x402DC) = "0"の場合 (デフォルト)</p> <p>#WAIT: ウェイトサイクル要求入力/CFP30(D0/0x402DC) = "1"の場合</p> <p>#CE4&5: エリア4&5チップバイネーブル/CFP30(D0/0x402DC) = "1" およびIOC30(D0/0x402DE) = "1"の場合</p>
#CE8 P31 #BUSGET #GARD	67	I/O	—	<p>#CE8: エリア8チップバイネーブル/CFCE8(D4/0x40301) = "0"の場合(デフォルト) * CEFUNC[1:0](D[A:9]/0x48130)およびA8DRA(D8/0x48128)、 A14DRA(D8/0x48122)により、#RAS1、#CE14、#RAS3に出力を変更可能</p> <p>P31: 入出力兼用ポート/CFCE8(D4/0x40301) = "1"および CFP31(D1/0x402DC) = "0"、CFEX3(D3/0x402DF) = "0"の場合</p> <p>#BUSGET: バス開放要求バス状態モニタ信号出力/CFCE8(D4/0x40301) = "1"および CFP31(D1/0x402DC) = "1"、CFEX3(D3/0x402DF) = "0"の場合</p> <p>#GARD: GA用エリア用エリアリード信号出力/CFCE8(D4/0x40301) = "1"および CFEX3(D3/0x402DF) = "1"の場合</p>
#CE9 P32	53	I/O	—	<p>#CE9: エリア9チップバイネーブル/CFCE9(D5/0x40301) = "0"の場合(デフォルト) * CEFUNC[1:0](D[A:9]/0x48130)により、#CE17、#CE9+#CE10に出力を変更可能</p> <p>P32: 入出力兼用ポート/CFCE9(D5/0x40301) = "1"の場合</p>
A20 P33	50	I/O	—	<p>A20: アドレスバス(A20)/CFA20(D5/0x40300) = "0"の場合 (デフォルト)</p> <p>P33: 入出力兼用ポート/CFA20(D5/0x40300) = "1"の場合</p>

端子名	端子No.	I/O	Pull-up	機 能
A21 P34 #BUSREQ #CE6	51	I/O	—	A21: アドレスバス(A21)/CFA21(D5/0x40300) = "0"の場合 (デフォルト) P34: 入出力兼用ポート/CFA21(D5/0x40300) = "1"および CFP34(D4/0x402DC) = "0"の場合 #BUSREQ: バス開放要求入力/CFA21(D5/0x40300) = "1"および CFP34(D4/0x402DC) = "1"、IOC34(D4/0x402DE) = "0"の場合 #CE6: エリア6チップイネーブル/CFA21(D5/0x40300) = "1"および CFP34(D4/0x402DC) = "1"、IOC34(D4/0x402DE) = "1"の場合
A22 P35 #BUSACK	52	I/O	—	A22: アドレスバス(A22)/CFA22(D6/0x40300) = "0"の場合 (デフォルト) P35: 入出力兼用ポート/CFA22(D6/0x40300) = "1"および CFP35(D5/0x02DC) = "0"の場合 #BUSACK: バス開放要求応答出力/CFA22(D6/0x40300) = "1"および CFP35(D5/0x02DC) = "1"の場合

表 1.3 クロックジェネレータ端子一覧

端子名	端子No.	I/O	Pull-up	機 能			
OSC1	59	I	－	低速(OSC1)発振入力 (32kHz水晶発振、または外部クロック入力)			
OSC2	60	O	－	低速(OSC1)発振出力			
OSC3	86	I	－	高速(OSC3)発振入力 (水晶/セラミック発振、または外部クロック入力)			
OSC4	87	O	－	高速(OSC3)発振出力			
PLLS[1:0]	82, 81	I	－	PLL設定端子			
				PLLS1	PLLS0	fin (fosc3)	fout (fpScin)
				1	1	10~30MHz	20~60MHz
				1	0	－	－
				0	1	10~15MHz	40~60MHz
				0	0	PLL未使用	－
PLLCL	83	I/O	－	PLL用コンデンサ接続端子			

表 1.4 その他の端子

端子名	端子No.	I/O	Pull-up/down	機 能															
ICEMD	88	I	Pull-down	ハイインピーダンス制御端子 本端子をHighに設定することにより、すべての出力端子がハイインピーダンスになります。これにより、ボード上のS1C33チップをシステムから切り離すことができます。															
DSIO	75	I/O	Pull-up	デバッグ用シリアル入出力端子 本端子はデバッグツールS5U1C33000Hとの通信に使用します。															
#X2SPD	85	I	－	倍速モード設定端子 1: CPUクロック = バスクロック × 1, 0: CPUクロック = バスクロック × 2															
#NMI	63	I	Pull-up	NMI要求入力端子															
#RESET	62	I	Pull-up	イニシャルリセット入力端子															
EA10MD1	65	I	Pull-up	エリア10ブートモード選択															
EA10MD0	64	I	－	<table><tr><th>EA10MD1</th><th>EA10MD0</th><th>モード</th></tr><tr><td>1</td><td>1</td><td>外部ROMモード</td></tr><tr><td>1</td><td>0</td><td>内蔵ROMモード</td></tr><tr><td>0</td><td>1</td><td>未使用</td></tr><tr><td>0</td><td>0</td><td>内蔵ROMエミュレーションモード</td></tr></table>	EA10MD1	EA10MD0	モード	1	1	外部ROMモード	1	0	内蔵ROMモード	0	1	未使用	0	0	内蔵ROMエミュレーションモード
EA10MD1	EA10MD0	モード																	
1	1	外部ROMモード																	
1	0	内蔵ROMモード																	
0	1	未使用																	
0	0	内蔵ROMエミュレーションモード																	

注: 端子名の#は、入出力する信号がLowアクティブであることを示します。

このページはブランクです。

S1C33S01 FUNCTION PART

II コアブロック

II-1 はじめに

C33コアブロックは、CPU、BCU(バスコントロールユニット)、ITC(割り込みコントローラ)、CLG(クロックジェネレータ)、DBG(デバッグユニット)を含む機能ブロックC33_CORE、外部インタフェース用のI/Oパッドブロック、およびチップ上の周辺回路とのインタフェースを行うSBUSブロックで構成されています。

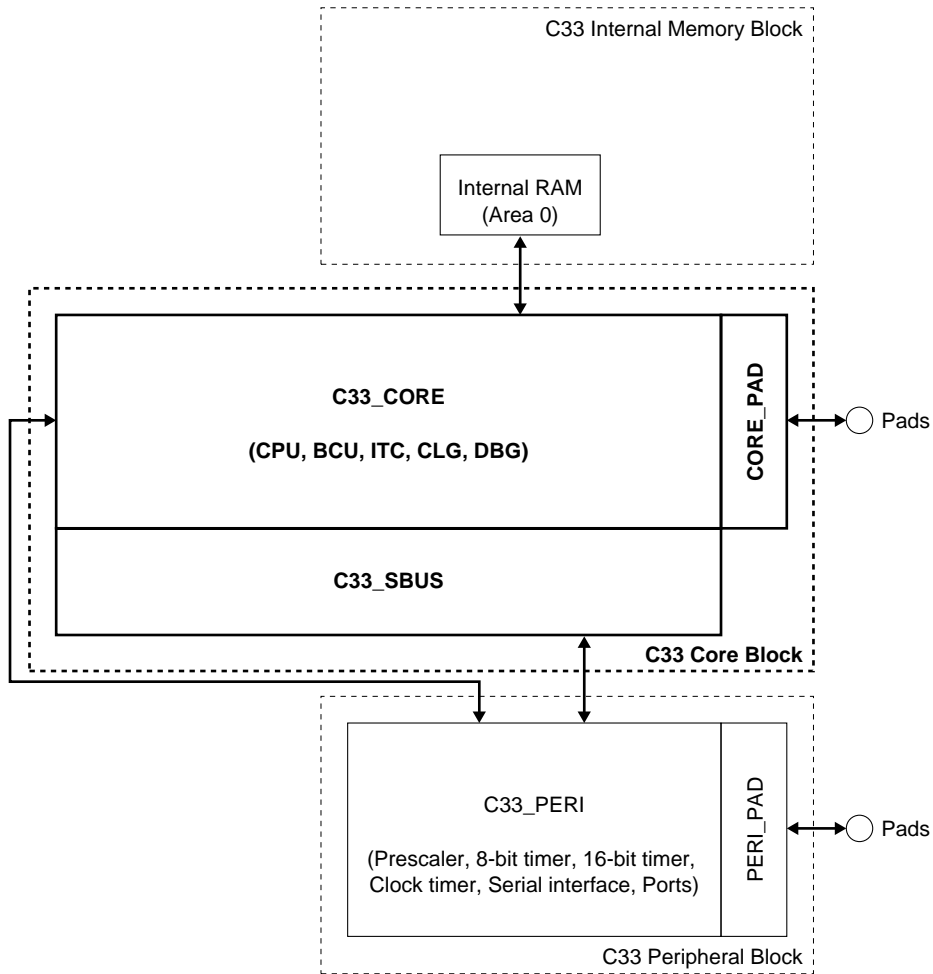


図2.1 コアブロック

このページはブランクです。

II-2 CPUと動作モード

CPU

C33コアブロックは、セイコーエプソンオリジナルの32ビットRISC型CPU S1C33000をコアCPUとして搭載しています。また、乗算器も内蔵しているため、積和演算(MAC)命令や乗除算命令を含むS1C33000命令セットのすべての命令(105命令)が使用可能です。

S1C33000の内部レジスタもすべて使用可能です。CPU内部レジスタおよびCPU内部アドレスバスでは28ビットアドレスを扱うことができますが、外部アドレスバスには下位24ビットのみが出力されます。

S1C33000の詳細については"S1C33000 Core CPU Manual"を参照してください。

スタンバイモード

CPUはHALTモード2種類とSLEEPモード1種類、計3種類のスタンバイモードをサポートしています。スタンバイモードに設定することにより大幅な省電力化が実現できます。

HALTモード

CPUはhalt命令を実行するとプログラムの実行を中断し、HALTモードに移行します。

CPUは2種類のHALTモード(基本モード、HALT2モード)を持っており、クロックオプションレジスタ(0x40190)のHLT2OP(D3)で設定しておくことができます。

HALT基本モードではCPUが動作を停止しますので、その分の消費電流が低減できます。halt命令実行時に動作していた発振回路を含む内蔵周辺回路は動作を継続します。

HALT2モードは上記の基本モードに加え、外部バスのコントロールおよびバスクロックを停止します。これにより、HALT基本モード以上の省電力化が実現できます。

HALTモードはイニシャルリセットまたはNMIを含む任意の割り込みが発生することによって解除されます。したがって、外部入力待ちや周辺回路の動作結果待ちなど、CPUの実行が不要な場合の省電力化に有効です。

割り込みによってHALTモードが解除されると、CPUはトラップ処理によってプログラム実行状態に移行し、その割り込み処理ルーチンを実行します。CPUのトラップ処理では、halt命令の次の命令アドレスが割り込み処理ルーチンからのリターンアドレスとしてスタックにセーブされますので、割り込み処理ルーチンのreti命令は、halt命令の次の命令に分岐します。

PSRが割り込み禁止の状態に設定されている場合、リセットまたはNMI以外でHALTモードを解除することはできません。

SLEEPモード

CPUはslp命令を実行するとプログラムの実行を中断し、SLEEPモードに移行します。

SLEEPモードではCPUの動作に加え、高速(OSC3)発振回路も動作を停止します。したがって、SLEEPモードでは低速(OSC1)発振回路と計時タイマを除き、すべての周辺回路が動作を停止します。これにより、HALTモード以上の省電力化が実現できます。

SLEEPモードはイニシャルリセット、計時タイマ割り込み、外部からのNMIまたは入力割り込みが発生することによって解除されます。OSC3クロックで動作する周辺回路は動作を停止するため、その割り込みは利用できません。

割り込みによってSLEEPモードが解除されると、CPUはトラップ処理によってプログラム実行状態に移行し、その割り込み処理ルーチンを実行します。CPUのトラップ処理では、slp命令の次の命令アドレスが割り込み処理ルーチンからのリターンアドレスとしてスタックにセーブされますので、割り込み処理ルーチンのreti命令は、slp命令の次の命令に分岐します。

PSRが割り込み禁止の状態に設定されている場合、リセットまたはNMI以外でSLEEPモードを解除することはできません。

注意事項

割り込みの設定

スタンバイモードは割り込みによって解除されます。したがって、スタンバイモードに移行する前に、解除に使用する割り込みを許可しておく必要があります。また、個別の割り込みの許可のほか、PSRのIE(割り込み許可)ビットおよびIL(割り込みレベル)もその割り込みが発生可能な状態に設定しておかなければなりません。PSRが割り込み禁止状態に設定されている場合、割り込み要求が発生してもスタンバイモードを解除することはできません。割り込みの設定に関する詳細は"ITC(割り込みコントローラ)"を参照してください。

発振回路

高速(OSC3)発振回路はSLEEPモード時に発振を停止し、SLEEPモードの解除により発振を再開します。SLEEPモード移行前にCPUがOSC3クロックで動作していた場合、SLEEPモード解除後もOSC3クロックで再起動します。高速(OSC3)発振回路は動作開始後に発振が安定するまでである程度の時間(VDD=3.3V、標準動作条件の発振安定時間: Max. 10ms)を要しますので、CPUを確実に再起動させるには、この発振安定時間が経過後にCPUが動作を開始するように設定しておかなければなりません。このため、SLEEP解除直後はCPUの動作開始待ち時間をプログラマブルに設定できるようになっています。詳細については、"CLG(クロックジェネレータ)"を参照してください。

高速(OSC3)発振回路の発振開始時間は使用する素子や基板パターンおよび動作環境により変化しますので、この時間設定には十分な余裕をとってください。

BCU

スタンバイモードになると、BCU(バスコントロールユニット)はその時点のバスサイクルの実行終了後に停止します。すべてのチップイネーブル信号がインアクティブとなります。

HALT基本モードではBCLK(バスクロック)信号が出力され、DRAMのリフレッシュサイクルも生成されます。

HALT2モードおよびSLEEPモードではBCLK信号は出力されません。DRAMのリフレッシュサイクルも生成されません。

その他

コアCPUの内部レジスタ、入出力ポートの状態はスタンバイモード時も保持されます。内蔵周辺回路の制御およびデータレジスタの内容も基本的には保持されますが、SLEEPモード移行時に変更されるものもあります。各周辺回路の説明を参照してください。

テストモード

C33コアブロックはチップのテスト用にICEMD端子を持っています。この端子をHighにすると、ICは以下の状態になります。

- 出力端子はハイインピーダンス状態。ただし、クロック出力端子(OSC2: H、OSC4: H、PLLC: L)を除きます。
- クロック入力の禁止。OSC1、OSC3、PLLは発振停止。OSC2: H、OSC4: H、PLLC: L
- すべてのプルアップ/プルダウンはOFF

通常動作時は、ICEMD端子をオープンまたはVssに接続してください。ICEMD端子はプルダウン抵抗を内蔵しています。

デバッグモード

C33コアブロックはデバッグモードをサポートしています。

デバッグモードはS1C33000コアCPUの機能で、チップ自体でシングルステップ動作、ブレーク機能を実現します。デバッグモードとデバッグ機能については"S1C33000 Core CPU Manual"を参照してください。

メモリマップのエリア2はデバッグモード時にのみアクセス可能です。

デバッグモード時は、OSC3クロックがCPUの動作クロックとして使用されます。したがって、デバッグ機能を使用する場合は高速(OSC3)発振回路を停止させないでください。また、デバッグモードではCPUとBCUのみが動作し、他の内蔵周辺回路(発振回路を除く)は停止します。

トラップテーブル

表2.1にC33コアのトラップテーブルを示します。例外の詳細については、"S1C33000 Core CPU Manual"を、割り込みについては、本書の"II-5 ITC(割り込みコントローラ)"を参照してください。

表2.1 トラップテーブル

Hex No	ベクタ番号 (Hexアドレス)	例外/割り込み名称	例外/割り込み要因等	優先 順位
0	0(Base)	リセット	リセット端子へのLow入力	高い
	1~3	reserved	—	
4	4(Base+10)	ゼロ除算	除算命令	
5	5	reserved	—	
6	6(Base+18)	アドレス不整例外	メモリアクセス命令	
7	0x0 or 0x60000	デバッグ例外	brk命令等	
8	8(Base+1C)	NMI	NMI端子へのLow入力	
	9~11	reserved	—	
C	12(Base+30)	ソフトウェア例外0	int命令	
D	13(Base+34)	ソフトウェア例外1	int命令	
E	14(Base+38)	ソフトウェア例外2	int命令	
F	15(Base+3C)	ソフトウェア例外3	int命令	
10	16(Base+40)	ポート入力割り込み0	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	
11	17(Base+44)	ポート入力割り込み1	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	
12	18(Base+48)	ポート入力割り込み2	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	
13	19(Base+4C)	ポート入力割り込み3	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	
14	20(Base+50)	キー入力割り込み0	入力立ち下がりまたは立ち上がりエッジ	
15	21(Base+54)	キー入力割り込み1	入力立ち下がりまたは立ち上がりエッジ	
	22~29	reserved	—	
1E	30(Base+78)	16ビットプログラマブル	タイマ0コンペアB	
1F	31(Base+7C)	タイマ0割り込み	タイマ0コンペアA	
	32~33	reserved	—	
22	34(Base+88)	16ビットプログラマブル	タイマ1コンペアB	
23	35(Base+8C)	タイマ1割り込み	タイマ1コンペアA	
	36~37	reserved	—	
26	38(Base+98)	16ビットプログラマブル	タイマ2コンペアB	
27	39(Base+9C)	タイマ2割り込み	タイマ2コンペアA	
	40~41	reserved	—	
2A	42(Base+A8)	16ビットプログラマブル	タイマ3コンペアB	
2B	43(Base+AC)	タイマ3割り込み	タイマ3コンペアA	
	44~45	reserved	—	
2E	46(Base+B8)	16ビットプログラマブル	タイマ4コンペアB	
2F	47(Base+BC)	タイマ4割り込み	タイマ4コンペアA	
	48~49	reserved	—	
32	50(Base+C8)	16ビットプログラマブル	タイマ5コンペアB	
33	51(Base+CC)	タイマ5割り込み	タイマ5コンペアA	
34	52(Base+D0)	8ビットプログラマブル	タイマ0アンダーフロー	
35	53(Base+D4)	タイマ割り込み	タイマ1アンダーフロー	
36	54(Base+D8)		タイマ2アンダーフロー	
37	55(Base+DC)		タイマ3アンダーフロー	
38	56(Base+E0)	シリアルインタフェース	受信エラー	
39	57(Base+E4)	Ch.0割り込み	受信バッファフル	
3A	58(Base+E8)		送信バッファエンブティ	
	59	reserved	—	
3C	60(Base+F0)	シリアルインタフェース	受信エラー	
3D	61(Base+F4)	Ch.1割り込み	受信バッファフル	
3E	62(Base+F8)		送信バッファエンブティ	
	63~64	reserved	—	
41	65(Base+104)	計時タイマ割り込み	32Hz, 8Hz, 2Hz, 1Hz信号立ち下がりエッジ	
	66~67	reserved	—	
44	68(Base+110)	ポート入力割り込み4	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	
45	69(Base+114)	ポート入力割り込み5	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	
46	70(Base+118)	ポート入力割り込み6	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	
47	71(Base+11C)	ポート入力割り込み7	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	低い

* Base = TTBRレジスタ(0x48134~0x48137)の設定値。デフォルトは0xC00000

II-3 イニシャルリセット

イニシャルリセット用端子

イニシャルリセットに使用する端子を表3.1に示します。

表3.1 イニシャルリセット用端子

端子名	I/O	機 能
#RESET	I	イニシャルリセット入力端子(Lowアクティブ) L: CPUをリセット
#NMI	I	NMI要求端子 本端子はリセット方法の選択にも使用されます。 H: コールドスタート L: ホットスタート

S1C33チップは#RESET端子がLowになるとリセットされ、そのリセット信号がHighに立ち上がることで動作を開始します。コアCPUと内蔵周辺回路はリセット信号がLowの期間中に初期化されます。

コールドスタートとホットスタート

S1C33チップはコールドスタート、ホットスタートの2種類のリセット方法で起動可能です。この指定には#RESET端子とともに#NMI端子を使用します。

表3.2にコールドスタートとホットスタートの違いを示します。

表3.2 コールドスタートとホットスタートの相違点

設定内容	コールドスタート	ホットスタート
リセット条件	#RESET = L & #NMI = H	#RESET = L & #NMI = L
CPU: PC	ブートアドレスのリセットベクタをロード	
CPU: PSR	全フラグが"0"にリセット	
CPU: 他のレジスタ	不定	
CPU: 動作クロック	高速(OSC3)発振クロックで動作	
外部バスの状態(0x48120-0x4813F)	初期化	状態を保持
発振回路	高速(OSC3)および低速(OSC1)発振開始	
I/O端子の状態(0x402C0-0x402DF)	初期化	状態を保持
他の周辺回路	初期化または不定	

コールドスタートはCPUおよび内蔵周辺回路をすべて初期化しますので、パワーオンリセットに有効です。

ホットスタートもCPUと内蔵周辺回路を初期化しますが、BCU(バスコントロールユニット)と入力、出力、入出力兼用ポートの制御およびデータレジスタは初期化しません。したがって、動作中に外部バスと入出力端子の状態を保持したままリセットを行いたい場合に有効です。

なお、リセット方法を指定する#NMI端子への信号入力とは図3.1に示すタイミングで行ってください。



図3.1 #RESETと#NMIの端子設定

パワーオンリセット

電源投入時は、確実に動作を開始させるため、必ずイニシャルリセット(コールドスタート)を行ってください。

#RESET端子はゲート入力のため、外部にパワーオンリセット回路を構成することを推奨します。

イニシャルリセット(#RESET=L)により高速(OSC3)発振回路が発振を開始し、リセット信号の立ち上がりでCPUがOSC3クロックにより動作を開始します。高速(OSC3)発振回路は動作開始後に発振が安定するまである程度の時間($V_{DD}=3.3V$ 、標準動作条件の発振安定時間: Max. 10ms)を要しますので、CPUを確実に起動させるには、この発振安定時間が経過後にイニシャルリセットを解除することが必要です。イニシャルリセットパルス幅は発振安定時間を越えるように決定してください。

図3.2にパワーオンリセット時のタイミングチャートを示します。

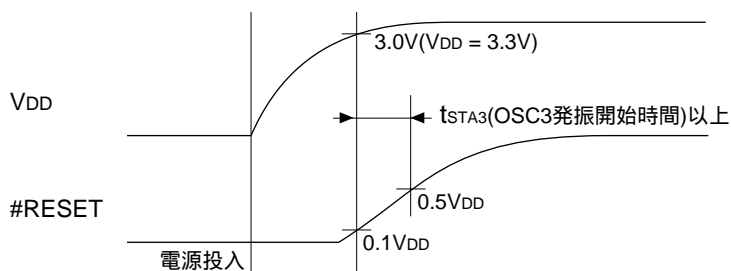


図3.2 パワーオンリセットタイミング

電源投入後、電源電圧が発振開始電圧(3.0V)以上になるまでは、#RESET端子を $0.1 \cdot V_{DD}$ 以下(Lowレベル)としてください。また、高速(OSC3)発振回路の発振が安定するまで、#RESET端子を $0.5 \cdot V_{DD}$ 以下のレベルとしておくことが必要です。

注: 高速(OSC3)発振回路の発振開始時間は使用する素子や基板パターンおよび動作環境により変化しますので、リセット解除時間には十分な余裕をとってください。

リセットパルス

S1C33チップが動作中は、#RESET端子にLowレベルのパルスを入力してイニシャルリセットを行うことが可能です。

ただし、"AC特性"に記載の最小リセットパルス幅以上のパルスを入力してください。

また、高速(OSC3)発振回路が停止中にリセットパルスを入力する場合は、パワーオンリセットと同様に発振安定時間以上#RESET端子をLowレベルに設定する必要があります。

ブートアドレス

コアCPUはイニシャルリセットによって、ブートアドレス(0x0C00000)からリセットベクタ(プログラム開始アドレス)を読み出し、PC(プログラムカウンタ)に設定します。#RESET端子がHighになると、そのアドレスからプログラムの実行を開始します。

割り込みなどのトラップベクタを書き込んでおくトラップテーブルも、デフォルトではこのブートアドレスから始まります("S1C33000 Core CPU Manual"参照)。

トラップテーブルのベースアドレスはTTBRレジスタ(0x48134 ~ 0x48137)で、任意の1KB境界アドレスに変更することも可能です。

イニシャルリセット時の注意事項

コアCPU

イニシャルリセット時、PCとPSRを除き、コアCPUの内部レジスタは不定となります。したがって、プログラムによる初期化が必要です。特に、SP(スタックポインタ)はスタックのアクセス前に必ず初期化してください。なお、誤動作を防ぐため、イニシャルリセット後はSPにデータが書き込まれるまでNMI要求はハードウェアによってマスクされるようになっています。

コアCPU内部レジスタの初期化は、コールドスタート時に必要です。

内蔵RAM

内蔵RAMの内容はイニシャルリセットにより不定となります。必要に応じて初期化してください。

高速(OSC3)発振回路

イニシャルリセットにより高速(OSC3)発振回路が発振を開始し、リセットが解除されるとCPUはOSC3クロックによって動作を開始します。不安定なクロックによる誤動作を防止するため、パワーオンリセットや高速(OSC3)発振回路が停止中にリセットを行う場合は、発振が安定してからリセットを解除する必要があります。

低速(OSC1)発振回路

パワーオンリセットや低速(OSC1)発振回路が停止中にリセットを行うと、低速(OSC1)発振回路も発振を開始します。低速(OSC1)発振回路は高速(OSC3)発振回路に比べ、発振の安定に長い時間を要します(標準動作条件でMax. 3秒)。不安定なクロックによる誤動作を防止するため、OSC1クロックはこの安定時間が経過してから使用してください。

BCU(バスコントロールユニット)

コールドスタートはBCU(バスコントロールユニット)の制御レジスタを初期化します。したがって、すべてのバス条件を設定する必要があります。

ホットスタートでは、制御レジスタやバスはリセット前の状態を保持します。

入出力ポートと入出力端子

コールドスタートは入出力兼用ポートの制御レジスタおよびデータレジスタを初期化します。

ホットスタートでは制御レジスタや端子の状態はリセット前の状態を保持します。ただし、それらの端子を内蔵周辺回路用の入出力端子に設定している場合、周辺回路の制御レジスタはイニシャルリセットにより初期化あるいは不定となりますので、プログラムによる再設定が必要です。

その他の内蔵周辺回路

上記以外の周辺回路の制御およびデータレジスタは、リセット方法(コールドスタート、ホットスタート)にかかわらず、イニシャルリセットにより初期化あるいは不定となります。

プログラムにより必要な設定を行ってください。

イニシャルリセットによる周辺回路の初期設定内容については、各I/Oマップまたは回路説明を参照してください。

このページはブランクです。

II-4 BCU(バスコントロールユニット)

BCU(バスコントロールユニット)は、外部デバイスおよびチップに内蔵するユーザロジックブロックとのインタフェースを提供します。メモリマップのエリア別にメモリや周辺I/Oデバイスの種類やサイズが設定でき、BCUによって直接制御することが可能です。DRAMやバーストロム(ROM)の直接インタフェースにも対応しています。ここでは、外部および内部システムインタフェースの制御方法やバスオペレーションについて説明します。

注: 以下に示す外部システムインタフェースの制御レジスタは16ビットの内蔵I/O領域に割り付けられています。したがって、制御レジスタのアドレスは、特に指定されたものを除きすべて16ビット単位のハーフワードアドレスで示されています。なお、特に指定のない制御レジスタはバイト単位、ハーフワード単位、ワード単位でアクセスできます。

外部システムインタフェース用の端子構成

入出力端子一覧

外部入出力端子

表4.1に外部システムインタフェースに使用する端子の一覧を示します。

表4.1 入出力端子一覧

端子名	I/O	機 能
A[0]#BSL	O	アドレスバス(A0)/バーストロブ(Low-byte)
A[23:1]	O	アドレスバス(A1 ~ A23)
D[15:0]	I/O	データバス(D0 ~ D15)
#CE10EX	O	外部メモリ用エリア10チップイネーブル
#CE10IN	O	内蔵ROMエミュレーション用エリア10チップイネーブル
#CE9/#CE17	O	エリア9/17チップイネーブル
#CE8/#RAS1/#CE14/#RAS3	O	エリア8/14チップイネーブル/DRAMローストロブ
#CE7/#RAS0/#CE13/#RAS2	O	エリア7/13チップイネーブル/DRAMローストロブ
#CE6	O	エリア6チップイネーブル
#CE5/#CE15	O	エリア5/15チップイネーブル
#CE4/#CE11	O	エリア4/11チップイネーブル
#RD	O	リード信号
#EMEMRD	O	エリア3/10エミュレーション用リード信号
#WRL/#WR/#WE	O	ライト(Low-byte)/ライト/DRAMライト
#WRH/#BSH	O	ライト(High-byte)/バーストロブ(High-byte)
#HCAS	O	DRAMカラムアドレスストロブ(High-byte)
#LCAS	O	DRAMカラムアドレスストロブ(Low-byte)
BCLK	O	バスクロック出力
#BUSREQ/#CE6/P34	I/O	バス解放要求/エリア6チップイネーブル/入出力兼用ポート
#BUSACK/P35	O	バス要求応答/入出力兼用ポート
#WAIT/#CE4&5/P30	I/O	ウェイトサイクル要求/エリア4&5チップイネーブル/入出力兼用ポート
#DRD/P20	O	DRAMリード/入出力兼用ポート
#DWE/P21	O	DRAMライト(Low-byte)/入出力兼用ポート
#X2SPD	I	CPU-バスクロック比設定入力 1: CPUクロック=バスクロック, 0: CPUクロック=バスクロック×2
EA10MD[1:0]	I	エリア10ブートモード選択入力 11: 外部ROM, 10: 内蔵ROM, 01: OTP, 00: 内蔵ROMエミュレーション

ユーザインタフェース信号

表4.2 ユーザインタフェース信号一覧

信号名	I/O	機 能
Internal_addr0	O	<ul style="list-style-type: none"> • アドレスバス(a0)/SBUSST(D3/0x4812E) = "0"の場合 (デフォルト) • バスストローブ(下位バイト)信号(#BSL)/SBUSST(D3/0x4812E) = "1"の場合
Internal_addr[23:1]	O	アドレスバス(a1-a23)
Internal_dout[15:0]	O	出力データバス(dout0-dout15) このデータバスはCPUがユーザロジックに対しデータを書き込む際に使用します。
Internal_din[15:0]	I	入力データバス(din0-din15) このデータバスはCPUがユーザロジックからデータを読み出す際に使用します。
Internal_ce4_x Internal_ce5_x Internal_ce6_x	O	エリア6-4チップイネーブル信号 これらの信号は、CPUがエリア6-4に割り付けられたユーザロジック回路をアクセスする際にLowとなります。
Internal_rd_x	O	リード信号 この信号はCPUがユーザロジックからデータを読み出す際にLowとなります。
Internal_wrl_x	O	<ul style="list-style-type: none"> • ライト(下位バイト)信号(#WRL)/SBUSST(D3/0x4812E) = "0"の場合 (デフォルト) • ライト信号(#WR)/SBUSST(D3/0x4812E) = "1"の場合 この信号はCPUがユーザロジックに下位8ビットデータを書き込む際にLowとなります。
Internal_wrh_x	O	<ul style="list-style-type: none"> • ライト(上位バイト)信号 (#WRH)/SBUSST(D3/0x4812E) = "0"の場合 (デフォルト) • バスストローブ(上位バイト)信号(#BSH)/SBUSST(D3/0x4812E) = "1"の場合 この信号はCPUがユーザロジックに上位8ビットデータを書き込む際にLowとなります。
Internal_osc3_clk	O	高速(OSC3)発振クロック出力 ユーザロジックのソースクロックとして使用できます。
Internal_pll_clk	O	PLL出力クロック ユーザロジックのソースクロックとして使用できます。
Internal_wait_x	I	ウェイトサイクル要求入力 ユーザロジックは、この信号をLowにすることによりウェイトサイクルを要求することができます。
Internal_irrd_x	O	命令フェッチインジケータ信号 この信号は、CPUの命令をフェッチサイクルにLowとなります。

内部バス信号は、BCUレジスタでエリアの内部アクセスを選択した場合にのみアクティブになります。
バス条件は外部バスと同様に、BCUレジスタで設定できます。

システムバス制御信号の組み合わせ

複数の機能を持つバス制御信号端子については、プログラムによってインタフェース方式を選択した時点で決定します。BCUは通常の外部システムインタフェース(2種類のインタフェース方式に対応)とDRAMインタフェースを内蔵しています。

表4.3 インタフェース方式の選択

インタフェースの種類	インタフェース方式	制御ビット
外部システムインタフェース	A0方式(デフォルト)	SBUSST(バスコントロールレジスタ0x4812E•D3) = "0"
	#BSL方式	SBUSST(バスコントロールレジスタ0x4812E•D3) = "1"
DRAMインタフェース	2CAS方式(固定)	なし

SBUSSTは、コールドスタート時に"0"に初期化されます。
ホットスタート時はリセット前の状態を保持します。

インタフェース方式による制御信号の組み合わせを表4.4に示します。

表4.4 バス制御信号の組み合わせ

外部システムインタフェース		DRAMインタフェース
A0方式	#BSL方式	2CAS方式
A0	#BSL (リトルエンディアン) / #BSH (ビッグエンディアン) *1	—
#WRL	#WR	#WE
#WRH	#BSH (リトルエンディアン) / #BSL (ビッグエンディアン) *1	—
—	—	#HCAS
—	—	#LCAS
#CE _x	#CE _x	#RAS _x (*2)

- *1 #BSL方式の場合、リトルエンディアンとビッグエンディアンの選択により、A0端子と#WRH端子の機能が変わります。
- *2 DRAMを使用する場合、エリア7-8(またはエリア13-14)の#CE出力端子が#RAS1-2(#RAS3-4)端子として機能します。

メモリエリア

メモリマップ

図4.1にBCUがサポートしているメモリマップを示します。

エリア	アドレス		エリア	アドレス	
エリア9	0x0BFFFFFF	外部メモリ(4MB)	エリア18	0xFFFFFFFF	
SRAMタイプ			SRAMタイプ	0xD0000000	
バーストROMタイプ			8 or 16ビット	0xCFFFFFFF	外部メモリ(16MB)
8 or 16ビット	0x08000000			0xC0000000	
エリア8	0x07FFFFFF	外部メモリ(2MB)	エリア17	0xBFFFFFFF	
SRAMタイプ			SRAMタイプ	0x90000000	
DRAMタイプ			8 or 16ビット	0x8FFFFFFF	外部メモリ(16MB)
8 or 16ビット	0x06000000			0x80000000	
エリア7	0x05FFFFFF	外部メモリ(2MB)	エリア16	0x7FFFFFFF	
SRAMタイプ			SRAMタイプ	0x70000000	
DRAMタイプ			8 or 16ビット	0x6FFFFFFF	外部メモリ(16MB)
8 or 16ビット	0x04000000			0x60000000	
エリア6	0x03FFFFFF	外部I/O (16ビットデバイス)	エリア15	0x5FFFFFFF	
SRAMタイプ	0x03800000		SRAMタイプ	0x50000000	
	0x037FFFFF	外部I/O (8ビットデバイス)	8 or 16ビット	0x4FFFFFFF	外部メモリ(16MB)
	0x03000000			0x40000000	
エリア5	0x02FFFFFF	外部メモリ(1MB)	エリア14	0x3FFFFFFF	
SRAMタイプ			SRAMタイプ		
8 or 16ビット	0x02000000		DRAMタイプ		外部メモリ(16MB)
エリア4	0x01FFFFFF	外部メモリ(1MB)	8 or 16ビット	0x30000000	
SRAMタイプ			エリア13	0x2FFFFFFF	
8 or 16ビット	0x01000000		SRAMタイプ		
エリア3	0x00FFFFFF	(Reserved) ミドルウェア用	DRAMタイプ		外部メモリ(16MB)
16ビット			8 or 16ビット	0x20000000	
1サイクル固定	0x00800000	(Reserved) CPUコア/デバッグモード用	エリア12	0x1FFFFFFF	
エリア2	0x007FFFFF		SRAMタイプ		
16ビット			8 or 16ビット	0x18000000	外部メモリ(8MB)
3サイクル固定	0x00060000		エリア11	0x17FFFFFF	
エリア1	0x005FFFFF	(内蔵I/Oメモリのミラー)	SRAMタイプ		外部メモリ(8MB)
8, 16ビット	0x00500000		8 or 16ビット	0x10000000	
2 or 4サイクル	0x004FFFFF	内蔵I/Oメモリ	エリア10	0x0FFFFFFF	
	0x00400000		SRAMタイプ		
	0x003FFFFF	(内蔵I/Oメモリのミラー)	バーストROMタイプ		外部メモリ(4MB)
	0x00300000		8 or 16ビット	0x0C000000	
エリア0	0x002FFFFF	内蔵RAM			
32ビット					
1サイクル固定	0x00000000				

図4.1 メモリマップ

基本的には、エリア0～3が内部メモリ領域、エリア4～18が外部メモリ領域です。

エリア0は通常内蔵RAM領域として使用します。メモリはエリア0の先頭から配置します。

エリア1はチップに内蔵する機能ブロックのI/Oメモリ領域として予約されています。アドレス0x00400000～0x004FFFFFが制御レジスタ等に使用され、アドレス0x00500000～0x005FFFFFはそのミラーとなります。エリア2はデバッグモード専用の領域です。ユーザモード(通常のプログラム実行状態)からはアクセスすることができません。

エリア3はS1C33ミドルウェア用の領域として予約されています。

エリア4～18は制御レジスタにより内部メモリ領域に切り換え、ユーザロジック用に使用することもできます。

外部メモリマップとチップイネーブル

BCUは24ビットの外部アドレスバス(A[23:0])と16ビットの外部データバス(D[15:0])を持ち、16Mバイトのアドレス空間をアクセスできるようになっています。アドレス空間はデフォルトで11個のエリア(エリア0~エリア10)に分割して管理されます。この中のエリア4~エリア10が外部システムに開放され、個々にチップイネーブル端子(#CE[10:4])も設けられています。

C33コアブロックではアドレスバス端子が24本、#CE出力端子が7本に制限されていますが、#CE[4:10]出力端子はソフトウェアで表4.5に示す上位エリア用のチップイネーブル出力端子に切り換えられるようになっています。この切り換えはDRAMタイミング設定レジスタ(0x48130)のCEFUNC[1:0](D[A:9])で行います。

表4.5 #CE出力の切り換え

端子	CEFUNC = "00"	CEFUNC = "01"	CEFUNC = "1x"
#CE4	#CE4	#CE11	#CE11+#CE12
#CE5	#CE5	#CE15	#CE15+#CE16
#CE6	#CE6	#CE6	#CE7+#CE8
#CE7/#RAS0	#CE7/#RAS0	#CE13/#RAS2	#CE13/#RAS2
#CE8/#RAS1	#CE8/#RAS1	#CE14/#RAS3	#CE14/#RAS3
#CE9	#CE9	#CE17	#CE17+#CE18
#CE10EX	#CE10EX	#CE10EX	#CE9+#CE10EX

(デフォルト: CEFUNC = "00")

CEFUNCに"01"を書き込むことで使用可能となる上位のエリアは、デフォルトの下位エリアに比べエリアサイズを大きく取ることができます。たとえば、デフォルト設定でDRAMを使用する場合、エリア7と8で4Mバイトまでとなりますが、エリア13と14を使用すると最大32MバイトのDRAMが使用可能となります。他のエリアも同様です。また、CEFUNCを"10"または"11"に設定すると、5本のチップイネーブル信号が、それぞれ2エリアに対応するように拡張されます。

アドレス出力端子は24本ですが、チップ内部のアドレス処理は28ビットで行われます。

図4.2に外部システム用のメモリマップを示します。

エリア	アドレス		エリア	アドレス	
エリア10(#CE10)	0x0FFFFFFF	外部メモリ6(4MB)	エリア17(#CE17)	0xBFFFFFFF	(外部メモリ6のミラー)
SRAMタイプ			SRAMタイプ	0x9000000	
バーストROMタイプ			8 or 16ビット	0x8FFFFFFF	外部メモリ6(16MB)
8 or 16ビット	0x0C000000			0x80000000	
エリア9(#CE9)	0x0BFFFFFFF	外部メモリ5(4MB)	エリア15(#CE15)	0x5FFFFFFF	(外部メモリ5のミラー)
SRAMタイプ			SRAMタイプ	0x50000000	
バーストROMタイプ			8 or 16ビット	0x4FFFFFFF	外部メモリ5(16MB)
8 or 16ビット	0x08000000			0x40000000	
エリア8(#CE8/#RAS1)	0x07FFFFFFF	外部メモリ4(2MB)	エリア14(#CE14/#RAS3)	0x3FFFFFFF	外部メモリ4(16MB)
SRAMタイプ			SRAMタイプ		
DRAMタイプ			DRAMタイプ		
8 or 16ビット	0x06000000		8 or 16ビット	0x30000000	
エリア7(#CE7/#RAS0)	0x05FFFFFFF	外部メモリ3(2MB)	エリア13(#CE13/#RAS2)	0x2FFFFFFF	外部メモリ3(16MB)
SRAMタイプ			SRAMタイプ		
DRAMタイプ			DRAMタイプ		
8 or 16ビット	0x04000000		8 or 16ビット	0x20000000	
エリア6(#CE6)	0x03FFFFFFF	外部I/O (16ビットデバイス)	エリア11(#CE11)	0x17FFFFFFF	外部メモリ2(8MB)
SRAMタイプ	0x03800000		SRAMタイプ		
	0x037FFFFFFF	外部I/O (8ビットデバイス)	8 or 16ビット		
	0x03000000			0x10000000	
エリア5(#CE5)	0x02FFFFFFF	外部メモリ2(1MB)	エリア10(#CE10)	0x0FFFFFFF	外部メモリ1(4MB)
SRAMタイプ			SRAMタイプ		
8 or 16ビット			バーストROMタイプ		
	0x02000000		8 or 16ビット	0x0C000000	
エリア4(#CE4)	0x01FFFFFFF	外部メモリ1(1MB)	エリア6(#CE6)	0x03FFFFFFF	外部I/O (16ビットデバイス)
SRAMタイプ			SRAMタイプ	0x03800000	
8 or 16ビット				0x037FFFFFFF	外部I/O (8ビットデバイス)
	0x01000000			0x03000000	

#CE4~10使用時

#CE6, 10, 11, 13~15, 17使用時

II コアブロック:BCU(バスコントロールユニット)

エリア	アドレス	
エリア17+18 (#CE17+18)	0xFFFFFFFF	(外部メモリ7のミラー)
SRAMタイプ	0xD000000	
8 or 16 ビット	0xCFFFFFFF	外部メモリ7(16MB)
	0xC0000000	
	0xBFFFFFFF	(外部メモリ7のミラー)
	0x90000000	
	0x8FFFFFFF	外部メモリ7(16MB)
	0x80000000	
エリア15-16 (#CE15+16)	0x7FFFFFFF	(外部メモリ6のミラー)
SRAMタイプ	0x70000000	
8 or 16ビット	0x6FFFFFFF	外部メモリ6(16MB)
	0x60000000	
	0x5FFFFFFF	(外部メモリ6のミラー)
	0x50000000	
	0x4FFFFFFF	外部メモリ6(16MB)
	0x40000000	
エリア14 (#CE14/#RAS3)	0x3FFFFFFF	
SRAMタイプ		外部メモリ5(16MB)
DRAMタイプ		
8 or 16ビット	0x30000000	
エリア13 (#CE13/#RAS2)	0x2FFFFFFF	
SRAMタイプ		外部メモリ4(16MB)
DRAMタイプ		
8 or 16ビット	0x20000000	
エリア11-12 (#CE11+12)	0x1FFFFFFF	
SRAMタイプ		外部メモリ3(16MB)
8 or 16 ビット		
	0x10000000	
エリア9-10 (#CE9+10EX)	0x0FFFFFFF	
SRAMタイプ		外部メモリ2(8MB)
パーストROMタイプ		
8 or 16ビット	0x08000000	
エリア7-8 (#CE7+8)	0x07FFFFFF	
SRAMタイプ		外部メモリ1(4MB)
8 or 16ビット		
	0x04000000	

CEFUNC = "10"または"11"

図4.2 外部システムメモリマップ

また、#CE4+#CE5および#CE6信号は、それぞれP30、P34端子から出力させることができます。これにより、CEFUNCを"01"、"10"、"11"に設定した場合にアクセス可能なエリアを拡大することができます。

#CE4+#CE5信号をP30端子から出力する場合:

CFP30 (P3機能選択レジスタ0x402DC•D0) = "1"

IOC30 (P3 I/O制御レジスタ0x402DE•D0) = "1"

#CE6信号をP34端子から出力する場合:

CFP34 (P3機能選択レジスタ0x402DC•D4) = "1"

IOC34 (P3 I/O制御レジスタ0x402DE•D4) = "1"

イニシャルリセット時、P30とP34端子は汎用入出力兼用ポート端子に設定されます。

なお、P30は#WAIT入力、P34は#BUSREQ入力とも共用されていますので、これらの信号を使用する場合は#CE4+#CE5、#CE6信号を出力させることはできません。

外部メモリ領域内での内蔵メモリの使用

本BCUでは、外部メモリ領域にも内蔵メモリが使用できます。

外部アクセスと内部アクセスの選択は、アクセス制御レジスタ(0x48132)のAxxIOビットで行います。

このビットに"1"を書き込むと内蔵デバイスがアクセスされ、"0"を書き込むと外部デバイスがアクセスされます。ビットは以下のように各エリアに対応しています。

A18IO (DF): エリア17, 18

A16IO (DE): エリア15, 16

A14IO (DD): エリア13, 14

A12IO (DC): エリア11, 12

A8IO (DA): エリア7, 8

A6IO (D9): エリア6

A5IO (D8): エリア4, 5

エリア専用信号

各エリアは、外部メモリインタフェースの共通制御信号以外に、エリア専用信号(アドレスストローブ#GAASおよびリード信号#GARD)でアクセス可能です。

この専用信号を使用するには、G/Aリード信号制御レジスタ(0x48138)で設定しておきます。

アドレスストローブ信号はAxxASビットで、リード信号はAxxRDビットで、エリアに対する出力を許可/禁止します。これらのビットに"1"を書き込むと対応するエリアの専用信号出力が許可され、"0"を書き込むと禁止されます(デフォルトは禁止)。ビットは以下のように各エリアに対応しています。

A18AS (DF), A18RD (D7): エリア17, 18

A16AS (DE), A16RD (D6): エリア15, 16

A14AS (DD), A14RD (D5): エリア13, 14

A12AS (DC), A12RD (D4): エリア11, 12

A8AS (DA), A8RD (D2): エリア7, 8

A6AS (D9), A6RD (D1): エリア6

A5AS (D8), A5RD (D0): エリア4, 5

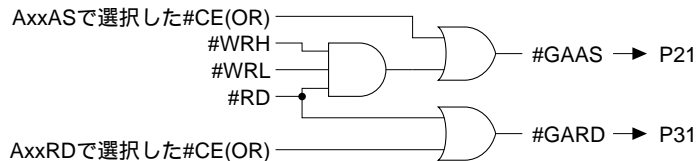


図4.3 #GAAS、#GARD信号

アドレスストローブ信号とリード信号は、それぞれP21端子、P31端子から出力されます。したがって、これらの信号を使用するには、ポート機能拡張レジスタで各端子を専用信号出力に設定しておく必要があります。

アドレスストローブ信号#GAASを出力する場合:

CFEX2 (ポート機能拡張レジスタ0x402DF・D2) = "1"

リード信号#GARDを出力する場合:

CFEX3 (ポート機能拡張レジスタ0x402DF・D3) = "1"

これらの信号は前記のすべてのエリアに共通して使用されます。2つ以上のエリアを選択した場合、各エリアに対する信号が論理和されて出力されます。

エリア10

エリア10はブートアドレス(0xC00000)を含む外部メモリ領域です。このエリアは3つのブートモードをサポートし、高速内蔵ROMを使用することも可能です。

エリア10ブートモード

ブートモードはEA10MD[1:0]端子で設定します。

表4.6 エリア10ブートモードの選択

EA10MD[1:0]端子	エリア10ブートモード
00	内蔵ROMエミュレーションモード
01	—
10	内蔵ROMブートモード
11	外部ROMブートモード

内蔵ROMブートモード

CPUはエリア10に割り付けられている内蔵ROMからブートします。内蔵ROMサイズはA10IR[2:0] (エリア10-9設定レジスタ0x48126・D[E:C])で8種類(16KB～2MB)から選択できます。

このROMはアドレス0xC00000から始まり、エリア3の内蔵ROMと同様に1サイクルでの読み出しが行えます。このROMサイズを除いたエリア10の残りの領域は、外部メモリへのアクセスとなります。

内蔵ROMエミュレーションモード*

CPUは内蔵ROMをエミュレートする外部メモリからブートします。このモードでは、A10IR[2:0] (エリア10-9設定レジスタ0x48126・D[E:C])で指定されたサイズの内蔵ROMエミュレーションメモリが、内蔵ROMブートモードと同じ条件でアクセスされます。エミュレーションメモリのアクセスには#CE10INチップイネーブル信号を使用します。

*内蔵ROMエミュレーションモードは、デバッグ時のみ使用できますが、量産時は使用できません。

外部ROMブートモード

CPUは外部メモリ (ROM, Flash, SRAM等)からブートします。外部メモリは、エリア10用のBCUレジスタの設定条件に従ってアクセスされます。

内蔵ROMサイズの設定

外部ROMブートモード以外のブートモードを使用する場合は、A10IR[2:0] (エリア10-9設定レジスタ0x48126・D[E:C])で内蔵ROMまたはエミュレーションメモリのサイズを指定します。

表4.7 エリア10内蔵ROMサイズ

A10IR2	A10IR1	A10IR0	ROMサイズ
0	0	0	16KB
0	0	1	32KB
0	1	0	64KB
0	1	1	128KB
1	0	0	256KB
1	0	1	512KB
1	1	0	1MB
1	1	1	2MB(デフォルト)

エリア10メモリマップ

図4.4にエリア10のメモリマップを示します。

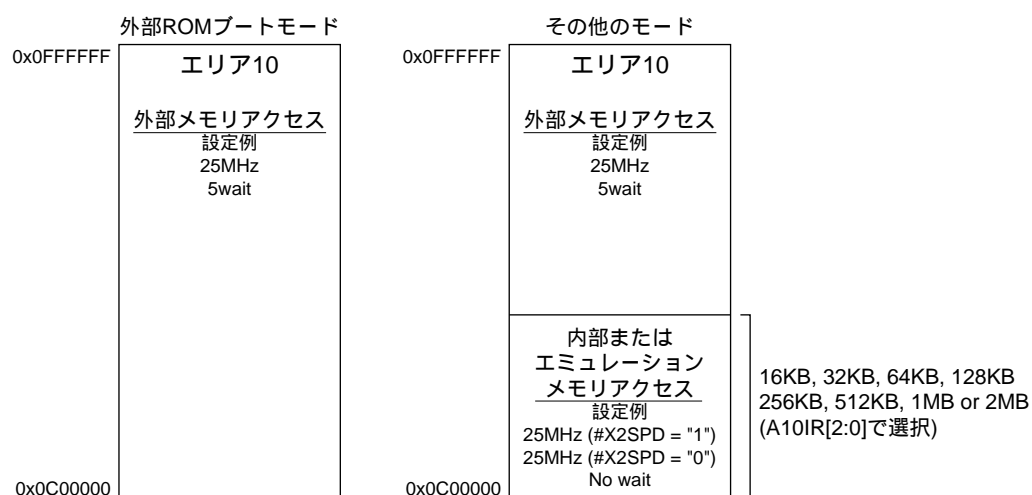


図4.4 エリア10メモリマップ

エリア3

エリア3は内蔵メモリ領域でS1C33ミドルウェア用に予約されています。

外部バス条件の設定

外部バスに接続するデバイスの種類、サイズ、ウェイトなどの条件が、制御レジスタ(0x48120~0x48130)によってエリアごとに設定できるようになっています。以下、設定可能な条件を個別に説明します。DRAMインタフェースの条件設定については、"DRAMダイレクトインタフェース"を参照してください。

バス条件を設定する制御レジスタは、コールドスタート時に初期化されます。外部デバイスの構成や仕様に合わせ、必要に応じてソフトウェアで設定し直してください。

ホットスタート時は設定した内容および端子はリセット前の状態を保持します。

デバイスタイプとデバイスサイズの設定

表4.8に各エリアに直結可能なデバイスの種類を示します。

表4.8 デバイスタイプ

エリア	SRAMタイプ	DRAMタイプ	バーストROMタイプ	制御ビット
18-15		x	x	なし
14			x	A14DRA(エリア14-13設定レジスタ0x48122・D8)
13			x	A13DRA(エリア14-13設定レジスタ0x48122・D7)
12, 11		x	x	なし
10		x		A10DRA(エリア10-9設定レジスタ0x48126・D8)
9		x		A9DRA(エリア10-9設定レジスタ0x48126・D7)
8			x	A8DRA(エリア8-7設定レジスタ0x48128・D8)
7			x	A7DRA(エリア8-7設定レジスタ0x48128・D7)
6-4		x	x	なし

: 接続可能 x: 接続不可

バーストROMまたはDRAMを接続する場合は対応する制御ビットに"1"を書き込んでください。これらの制御ビットはコールドスタート時に"0"(SRAMタイプ)に設定されます。

デバイスサイズはエリア6を除き、2エリア単位に8ビットまたは16ビットサイズに設定できます。

エリア6のみは、エリアの前半(0x300000~0x37FFFF)が8ビットデバイス用、後半(0x380000~0x3FFFFFF)が16ビットデバイス用に固定されています。

表4.9 デバイスサイズ制御ビット

エリア	制御ビット
18, 17	A18SZ(エリア18-15設定レジスタ0x48120・DE)
16, 15	A16SZ(エリア18-15設定レジスタ0x48120・D6)
14, 13	A14SZ(エリア14-13設定レジスタ0x48122・D6)
12, 11	A12SZ(エリア12-11設定レジスタ0x48124・D6)
10, 9	A10SZ(エリア10-9設定レジスタ0x48126・D6)
8, 7	A8SZ(エリア8-7設定レジスタ0x48128・D6)
5, 4	A5SZ(エリア6-4設定レジスタ0x4812A・D6)

コールドスタート時は、各エリアとも16ビットに設定されます。

8ビットデバイスを使用する場合は制御ビットに"1"を書き込んでください。

注: BCUは16ビットのバーストROMをサポートしています。したがって、エリア10またはエリア9にバーストROMを接続する場合は、デバイスサイズを8ビット(A10SZ="1")には設定しないでください。

デバイスサイズおよびアクセスデータサイズによるバスオペレーションの違いについては、"外部メモリのバスオペレーション"を参照してください。

SRAMタイプのタイミング条件設定

SRAMタイプに設定したエリアは、ウェイトサイクルと出力ディセーブル遅延時間が設定可能です。

ウェイトサイクル数: 0~7サイクル(1サイクル単位)

出力ディセーブル遅延時間: 0.5, 1.5, 2.5, 3.5サイクル

この選択は、エリア6を除き2エリア単位に行えます。

表4.10 タイミング条件設定ビット(SRAMタイプ)

エリア	ウェイトサイクル数	出力ディセーブル遅延時間	制御レジスタ
18, 17	A18WT[2:0](D[A:8])	A18DF[1:0](D[D:C])	エリア18-15設定レジスタ(0x48120)
16, 15	A16WT[2:0](D[D:0])	A16DF[1:0](D[5:4])	エリア18-15設定レジスタ(0x48120)
14, 13	A14WT[2:0](D[2:0])	A14DF[1:0](D[5:4])	エリア14-13設定レジスタ(0x48122)
12, 11	A12WT[2:0](D[2:0])	A12DF[1:0](D[5:4])	エリア12-11設定レジスタ(0x48124)
10, 9	A10WT[2:0](D[2:0])	A10DF[1:0](D[5:4])	エリア10-9設定レジスタ(0x48126)
8, 7	A8WT[2:0](D[2:0])	A8DF[1:0](D[5:4])	エリア8-7設定レジスタ(0x48128)
6	A6WT[2:0](D[A:8])	A6DF[1:0](D[D:C])	エリア6-4設定レジスタ(0x4812A)
5, 4	A5WT[2:0](D[2:0])	A5DF[1:0](D[5:4])	エリア6-4設定レジスタ(0x4812A)

コールドスタート時、ウェイトサイクル数は7サイクルに、出力ディセーブル遅延時間は3.5サイクルに設定されます。接続するデバイスの仕様に合わせ、必要に応じてソフトウェアで設定し直してください。ホットスタート時はリセット前の設定を保持します。

ウェイトサイクル

各制御ビットでウェイト数を設定すると、BCUはそのエリアへのアクセス時に、設定したウェイトサイクル分バスサイクルを延長します。バスクロック周波数と外部デバイスのアクセス時間に従って設定してください。ここで設定するウェイトサイクルとは別に、#WAIT端子によっても外部からのウェイト要求を受け付けます。ソフトウェアによるウェイトサイクル数の設定は2エリアごとのため、エリア個々にウェイトサイクル数を制御したい場合や、7サイクル以上のウェイトサイクルが必要な場合は、外部ウェイト要求で対応してください。#WAIT端子はP30出力兼用ポート端子と兼用されています。外部ウェイト要求を受け付けるためには、P3機能選択レジスタ(0x402DC)のCFP30(D0)とバスコントロールレジスタ(0x4812E)のSWAIT(D0)に"1"を書き込み(デフォルトは"0")、#WAIT端子をイネーブルに設定しておくことが必要です。

バスサイクルおよびウェイトサイクル挿入時のタイミングチャートについては"外部システムインタフェースのバスサイクル"を参照してください。

ウェイトサイクル数が0に設定され、外部ウェイト要求もない場合、SRAMタイプの外部デバイスに対する基本リードサイクル(バイト/ハーフワードリード)は1サイクルです。ウェイトサイクル数を設定するとそのサイクル数が加算されますので、バスリードサイクル数は[ウェイトサイクル数+1]となります(外部ウェイトがない場合)。

一方、基本ライトサイクルは最小が2サイクルで、ウェイトサイクルを0または1サイクルに設定しても変わりません。ウェイトサイクル数を2サイクル以上に設定すると、バスサイクルが実際に延長されます。その場合のバスライトサイクル数はリードサイクル時と同様、[ウェイトサイクル数+1]となります(外部ウェイトがない場合)。

出力ディセーブル遅延時間

出力ディセーブル時間の長いデバイスを接続した場合、そのデバイスに対するリードサイクルに続けて次のアクセスを開始すると、データバス上で競合が起こる場合があります(リードデバイスがデータバスをハイインピーダンスにしていないため)。出力ディセーブル遅延時間はこのデータバスの競合を防止するための設定で、リードサイクルと次のバスオペレーションの間に指定したサイクル数が挿入されます。

接続するデバイスの仕様を確認して設定してください。

この出力ディセーブル遅延時間の挿入は、デフォルトで以下の場合にのみ発生するようになっています。

- ・出力ディセーブル遅延時間が設定された外部デバイスからのリードサイクルの後、次がCPUによるライトサイクルの場合
- ・出力ディセーブル遅延時間が設定された外部デバイスからのリードサイクルの後、次が異なるエリア(内部デバイスも含む)からのリードサイクルの場合

逆に、以下の条件では出力ディセーブル遅延時間は挿入されません。

- ・ライトサイクル直後
- ・同じ外部デバイスからの連続リード時

バーストROMタイプのタイミング条件設定

ウェイトサイクル

エリア10またはエリア9にバーストROMを選択した場合、バーストリードサイクルに挿入するウェイトサイクル数を0~3サイクルの範囲で選択することができます。選択はエリア10-9設定レジスタ(0x48126)のA10BW[1:0](D[A:9])で行います。この選択はエリア10と9に同時に適用され、エリアごとに個別に設定することはできません。コールドスタート時は0サイクルに設定されます。

バーストリードの場合でも、最初のバスオペレーションにはSRAMタイプのウェイトサイクル数の設定が有効です。(前節のA10WT[2:0]を参照)

A10BW[1:0]で設定するウェイトサイクルは、それ以降のバーストサイクルに挿入されます。

また、バーストROMを選択した場合のリードサイクルには、#WAIT端子によるウェイトサイクルは挿入できません。

バーストROMが選択された状態でそのエリアに書き込みを行った場合、SRAMタイプのライトサイクルが実行されます。その場合は、SRAMタイプのウェイトサイクル数の設定と#WAIT端子の入力が共に有効となります。

バーストモード

バーストモードとして8連続バーストモードまたは4連続バーストモードが選択可能です。この選択はバスコントロールレジスタ(0x4812E)のRBST8(DD)で行います。RBST8に"1"を書き込むと8連続バーストモード、"0"を書き込むと4連続バーストモードに設定されます。コールドスタート時は4連続バーストに設定されます。

バスオペレーション

メモリ上のデータ配置

S1C33 Familyのデバイスは、バイト(8ビット)、ハーフワード(16ビット)、ワード(32ビット)のデータを扱います。メモリ上のデータをアクセスする場合は、データサイズに従った境界アドレスを指定することが必要で、それ以外のアドレスを指定すると、アドレス不整例外が発生します。SP(スタックポインタ)やPC(プログラムカウンタ)の内容を書き換える命令は(スタック操作や分岐命令など)、指定アドレスが強制的に境界アドレスに変更されるため、アドレス不整例外は発生しません。アドレス不整例外の詳細については、"S1C33000 Core CPU Manual"を参照してください。

表4.11にデータタイプによるメモリ上の配置位置を示します。

表4.11 メモリ上のデータ配置

データタイプ	配置位置
バイト	バイト境界(全アドレス)
ハーフワード	ハーフワード境界(A[0]="0")
ワード	ワード境界(A[1:0]="00")

メモリ上のハーフワードデータ、ワードデータは、デフォルトではリトルエンディアン形式でアクセスされます。アクセス制御レジスタ(0x48132)のAxxEC(D[7:0])ビットに"1"を書き込むことにより、エリアごとにビッグエンディアン形式に変更することもできます。以下にビットとエリアの対応を示します。

A18EC (D7): エリア17, 18

A16EC (D6): エリア15, 16

A14EC (D5): エリア13, 14

A12EC (D4): エリア11, 12

A10EC (D3): エリア9, 10

... ブートエリアのため、"0" (リトルエンディアン)に固定

A8EC (D2): エリア7, 8

A6EC (D1): エリア6

A5EC (D0): エリア4, 5

メモリ効率を上げるには、同種のデータを連続的に配置し、境界アドレスへの配置によってできる空白領域を極力減らしてください。

外部メモリのバスオペレーション

外部データバスは16ビットサイズです。このため、デバイスサイズと実行する命令のデータサイズによっては、表4.12に示すとおり、複数回のバスオペレーションが発生します。

表4.12 バスオペレーションの実行回数

アクセスデータ サイズ	デバイス サイズ	バスオペレ ーション回数	備考
32ビット	16ビット	2回	
16ビット	16ビット	1回	
8ビット	16ビット	1回	リトルエンディアン方式: アドレスの最下位ビット(A[0])が"0"のとき、または#BSLがLのときは下位バイトをアクセス、A[0]が"1"のとき、または#BSHがLのときは上位バイトをアクセス ビッグエンディアン方式: アドレスの最下位ビット(A[0])が"0"のとき、または#BSLがLのときは上位バイトをアクセス、A[0]が"1"のとき、または#BSHがLのときは下位バイトをアクセス
32ビット	8ビット	4回	リトルエンディアン方式: 8ビットデバイスはデータバスのLSB側8ビットに接続 ビッグエンディアン方式: 8ビットデバイスはデータバスのMSB側8ビットに接続
16ビット	8ビット	2回	リトルエンディアン方式: 8ビットデバイスはデータバスのLSB側8ビットに接続 ビッグエンディアン方式: 8ビットデバイスはデータバスのMSB側8ビットに接続
8ビット	8ビット	1回	リトルエンディアン方式: 8ビットデバイスはデータバスのLSB側8ビットに接続 ビッグエンディアン方式: 8ビットデバイスはデータバスのMSB側8ビットに接続

以下、これらのバスオペレーションを、A0方式の場合を例に図で示します。

BSL方式の場合は、次のように見てください。

- (1) データ読み込みの場合は下記の図と共通です。
- (2) データ書き込みでリトルエンディアンのはときは、A0を#BSCに、#WRHを#BSHと置き換えて見てください。
- (3) データ書き込みでビッグエンディアンのはときは、A0を#BSLに、#WRLを#BSHと置き換えて見てください。

また、メモリの接続は、図4.20を参照してください。

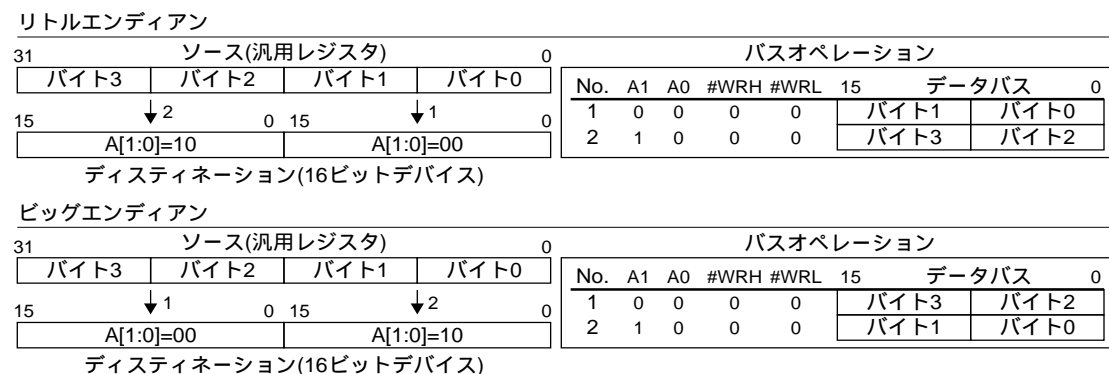


図4.5 16ビットデバイスへのワードデータ書き込み

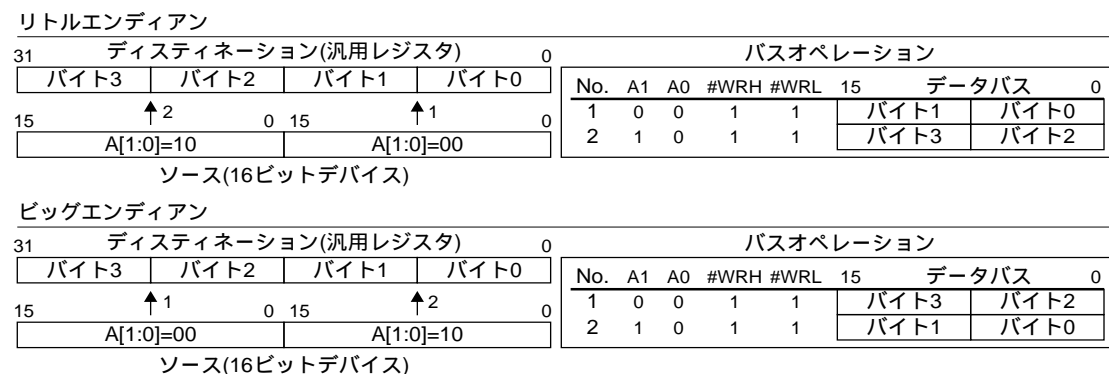


図4.6 16ビットデバイスからのワードデータ読み込み

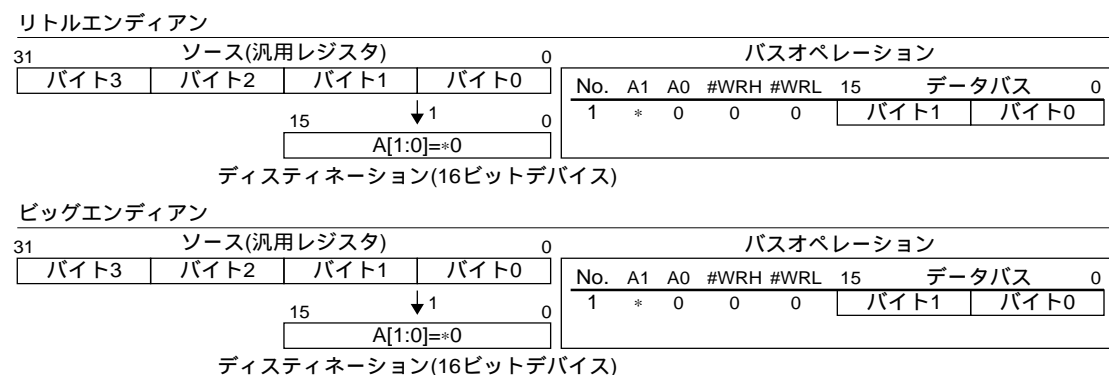
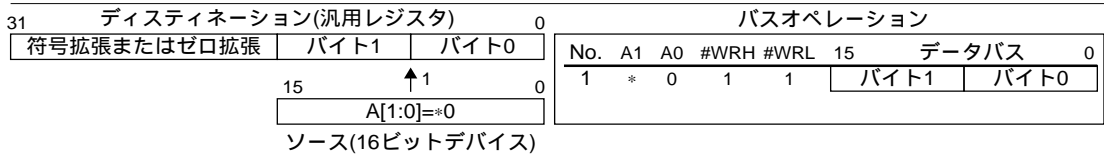


図4.7 16ビットデバイスへのハーフワードデータ書き込み

リトルエンディアン



ビッグエンディアン

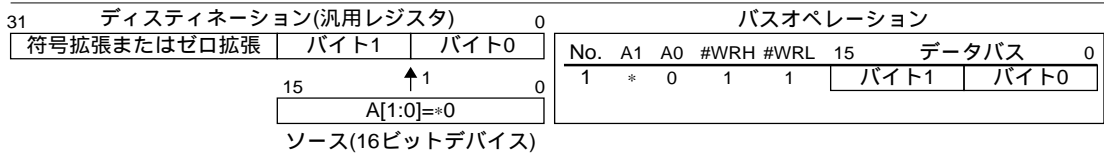
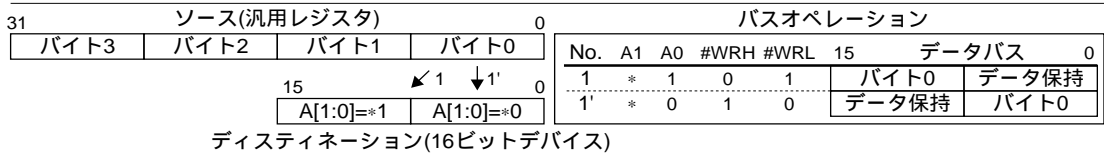


図4.8 16ビットデバイスからのハーフワードデータ読み込み

リトルエンディアン



ビッグエンディアン

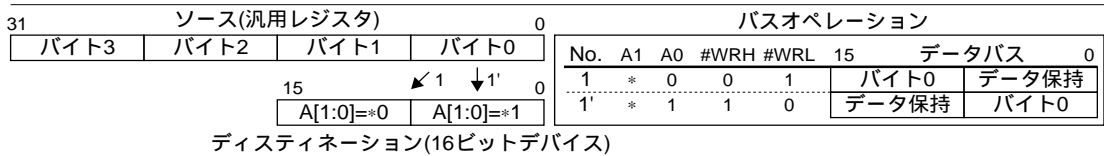
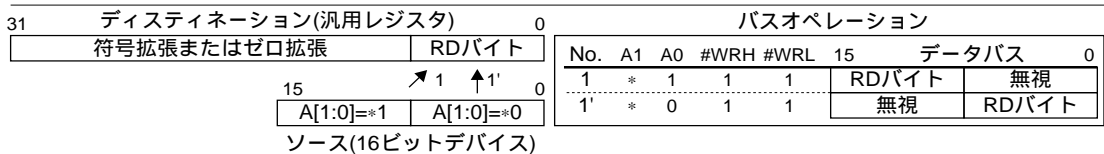


図4.9 16ビットデバイスへのバイトデータ書き込み

リトルエンディアン



ビッグエンディアン

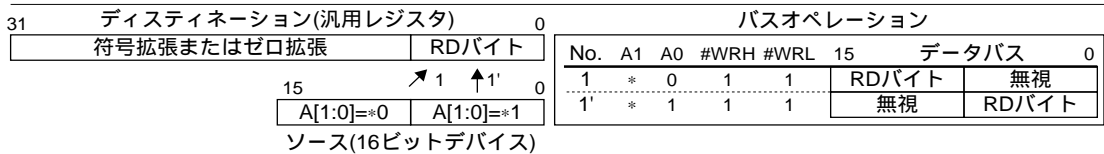
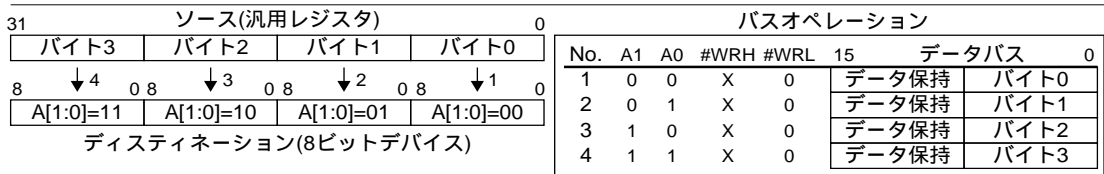


図4.10 16ビットデバイスからのバイトデータ読み込み

リトルエンディアン



(X: 未接続/未使用)

ビッグエンディアン

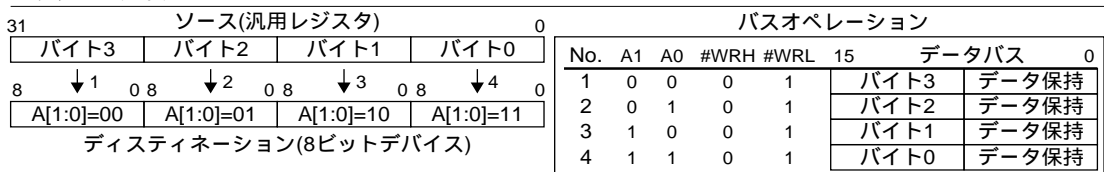
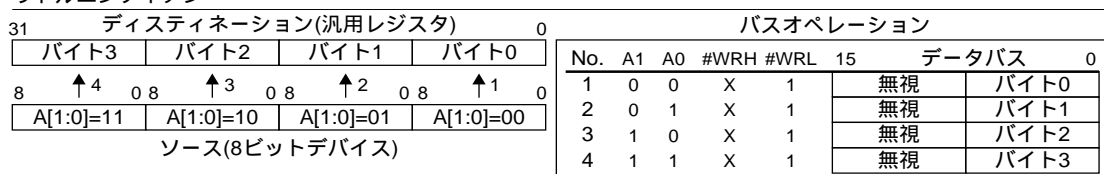


図4.11 8ビットデバイスへのワードデータ書き込み

リトルエンディアン



(X: 未接続/未使用)

ビッグエンディアン

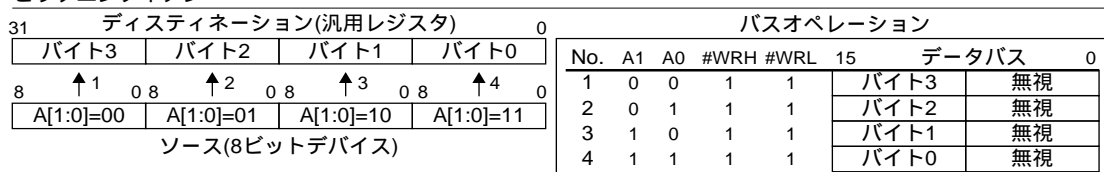
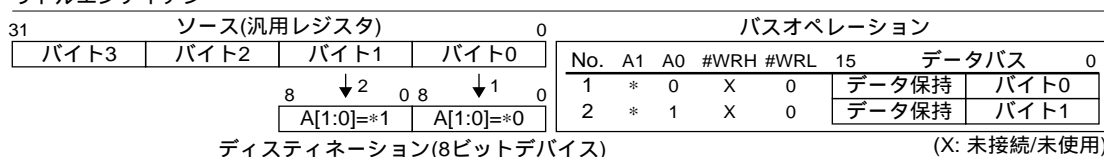


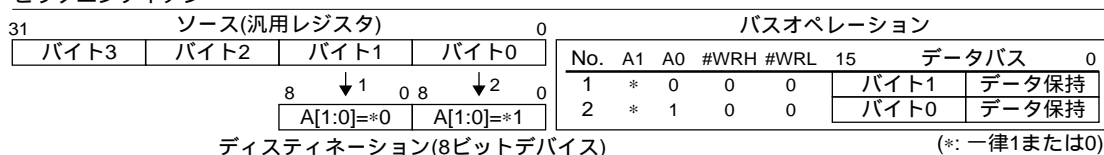
図4.12 8ビットデバイスからのワードデータ読み込み

リトルエンディアン



(X: 未接続/未使用)

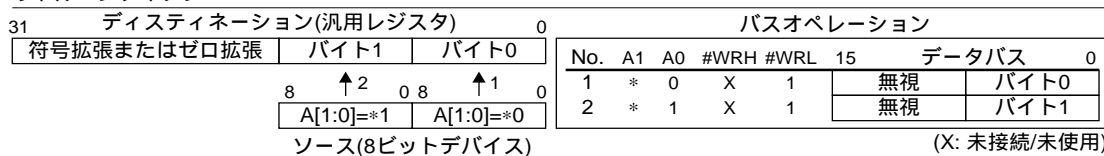
ビッグエンディアン



(*: 一律1または0)

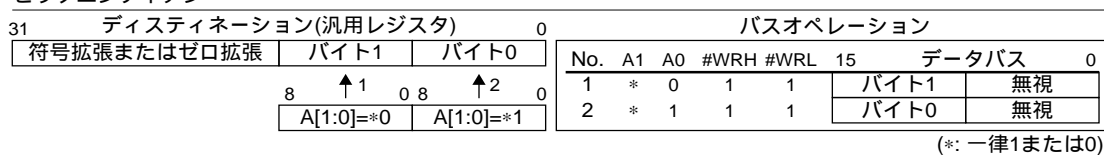
図4.13 8ビットデバイスへのハーフワードデータ書き込み

リトルエンディアン



(X: 未接続/未使用)

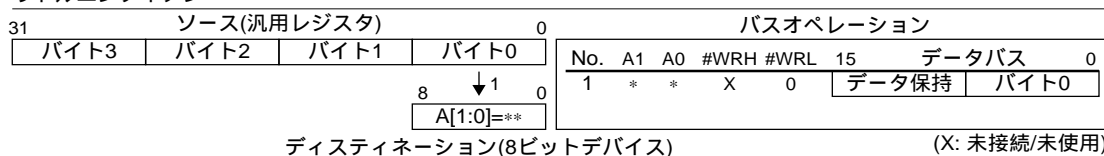
ビッグエンディアン



(*: 一律1または0)

図4.14 8ビットデバイスからのハーフワードデータ読み込み

リトルエンディアン



(X: 未接続/未使用)

ビッグエンディアン

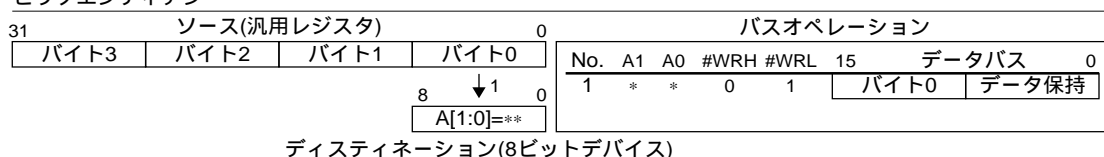
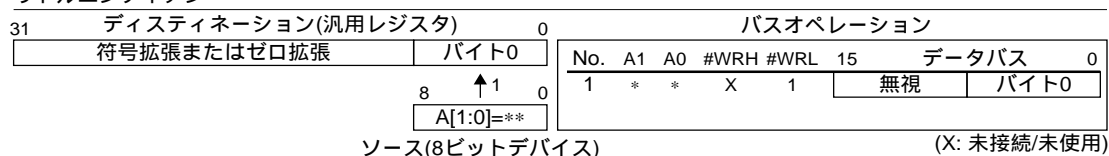


図4.15 8ビットデバイスへのバイトデータ書き込み

リトルエンディアン



ビッグエンディアン

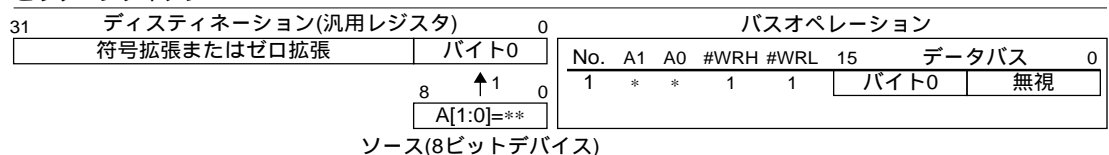


図4.16 8ビットデバイスからのバイトデータ読み込み

バスクロック

バスクロックはクロックジェネレータが出力するCPUシステムクロックからBCUが生成します。

図4.17にクロック系のブロック図を示します。

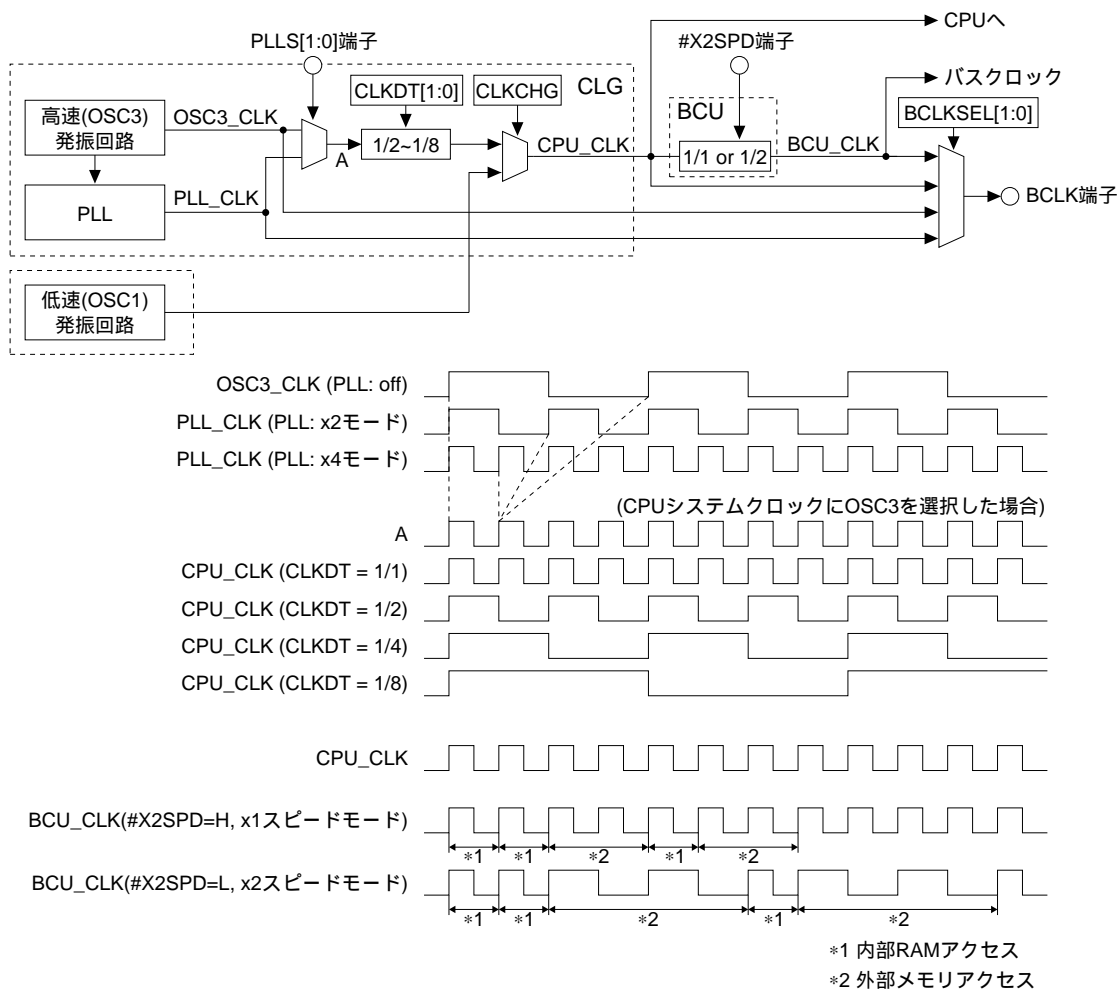


図4.17 クロック系

バスクロックはCPUシステムクロック(CPU_CLK)から生成するため、以下の設定が直接バスクロックにも影響します。

1. 発振回路の選択(OSC3またはOSC1)
2. PLLの設定(OSC3_CLK x 1, x2 or x4)
3. パワーセーブ用の分周(OSC3_CLKまたはPLL_CLKの1/8、1/4、1/2または1/1)

2と3の設定は、高速(OSC3)発振回路を選択した場合に適用されます。

CPUシステムクロックの設定については、"CLG (クロックジェネレータ)"を参照してください。

スタンバイモード時の動作は次のとおりです。

HALT 基本モード: BCUおよびバスクロックは動作します。DRAMリフレッシュも可能です。

HALT2モード: BCUおよびバスクロックは停止します。

SLEEPモード: BCUおよびバスクロックは停止します。

バススピードモード

CPU - バスクロック比を#X2SPD端子で設定することができます。

#X2SPD端子がHighの場合、x1スピードモード(CPU - バスクロック比が1:1)となり、バスクロックがCPUシステムクロックと同じになります。

#X2SPD端子がLowの場合はx2スピードモード(CPU - バスクロック比が2:1)となります。

x2スピードモードでは、アクセスするメモリによりバスクロックが次のようにダイナミックに変化します。

- 外部メモリ領域をアクセスする場合、バスクロックはCPUシステムクロックの1/2となります。
- 内蔵RAM/ROM領域をアクセスする場合、バスクロックはCPUシステムクロックと同じになります。

また、エリア1(内蔵I/O領域)はx1スピードモードではCPUシステムクロック4サイクルでアクセスされますが、x2スピードモード時のアクセスサイクル数はBCLK選択レジスタ(0x4813A)のA1X1MD (D3)で次のように選択できます。

A1X1MD = "1": CPUシステムクロックの2サイクルでアクセス

A1X1MD = "0": CPUシステムクロックの4サイクルでアクセス(デフォルト)

バスクロックの外部出力

バスクロックはBCLK端子から外部にも出力されます。BCLK出力クロックはBCLK選択レジスタ(0x4813A)のBCLKSEL[1:0] (D[1:0])で4種類から選択可能です。

表4.13 BCLK出力クロックの選択

BCLKSEL1	BCLKSEL0	出力クロック
1	1	PLL_CLK (PLL出力クロック)
1	0	OSC3_CLK (OSC3発振クロック)
0	1	BCU_CLK (BCU動作クロック)
0	0	CPU_CLK (CPU動作クロック)

外部システムインタフェースのバスサイクル

以下に、SRAM接続例と基本的なバスサイクルを示します。

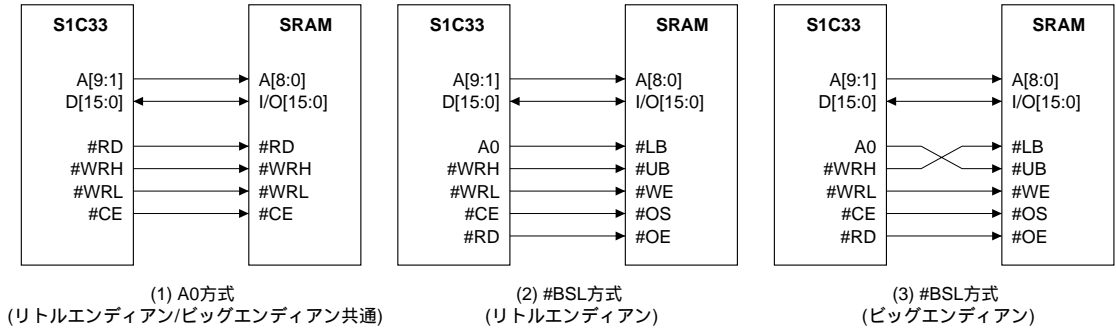


図4.18 SRAM接続例

SRAMタイプのリードサイクル

ウェイトなしの基本リードサイクル

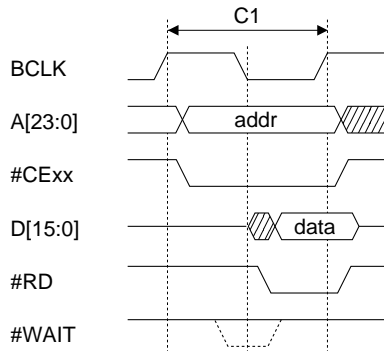


図4.19 ウェイトなしの基本リードサイクル

ウェイト付のリードサイクル

例: BCU内は0ウェイト、#WAIT端子の入力で2サイクルのウェイトを挿入する場合

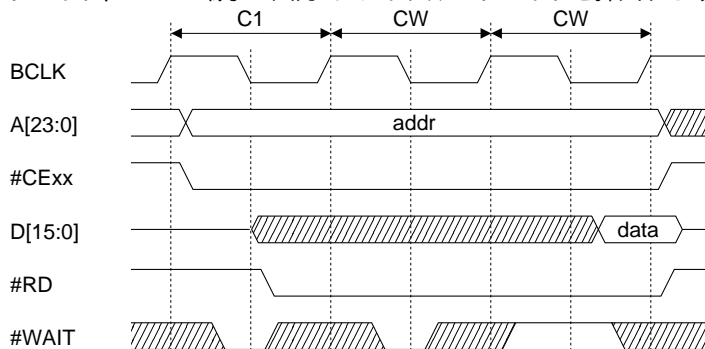


図4.20 ウェイト付のリードサイクル

#WAIT信号はBCLK(バスクロック)の立ち下がりエッジでサンプリングされ、インアクティブレベル(High)がサンプリングされた時点でリードサイクルを終了します。

注: #WAIT端子によるウェイトサイクルの挿入は、バス条件のデバイスタイプがSRAMタイプに設定され、かつバスコントロールレジスタ(0x4812E)のSWAIT(D0)がウェイトイネーブルに設定されている場合にのみ可能です。

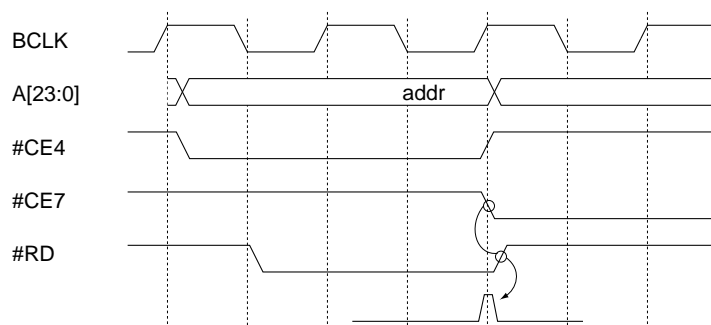
例は#WAIT信号によってウェイトを挿入した場合のリードサイクルですが、ウェイトコントロールビットによっても0~7サイクルのウェイトを挿入することができます。ウェイトコントロールビットの設定と#WAIT信号を併用することも可能です。その場合も#WAIT信号はBCLKの各立ち下がりエッジでサンプリングされます。ただし、ウェイトコントロールビットによるウェイトサイクル終了前に#WAIT信号がインアクティブになっても、その時点ではリードサイクルを終了しません。

注意事項

#RD信号の立ち上がりに対する#CEとアドレスのホールド時間

本BCUのリードサイクルでは、#RD信号立ち上がり、チップイネーブル信号(#CExx)の立ち上がり、およびアドレス(A[23:0])の切り換えが同じクロックエッジで発生します。チップイネーブル信号とアドレス信号にはホールド時間が設けられていません。これは、出力ディセーブル遅延時間を挿入した場合でも同様です。

したがって、リード動作によって内部情報が変化する周辺回路をバスに接続する場合は、意図的にアドレスとチップイネーブル信号に遅延を設けるような工夫が必要です。



ハザード発生。
このハザードによって、次のエリアへの
誤ったRD動作が発生してしまう。

出力ディセーブルサイクル

出力ディセーブルサイクル(出力ディセーブル遅延時間で設定)が挿入されると、次のリードサイクルとの間隔を空けることができます。これによって、遅いデバイスをバスに接続することが可能になります。

ただし、同じチップイネーブルでアクセスする領域を連続してリードした場合、出力ディセーブルサイクルは挿入されませんので注意が必要です。

SRAMタイプのライトサイクル

ウェイトなしの基本ライトサイクル

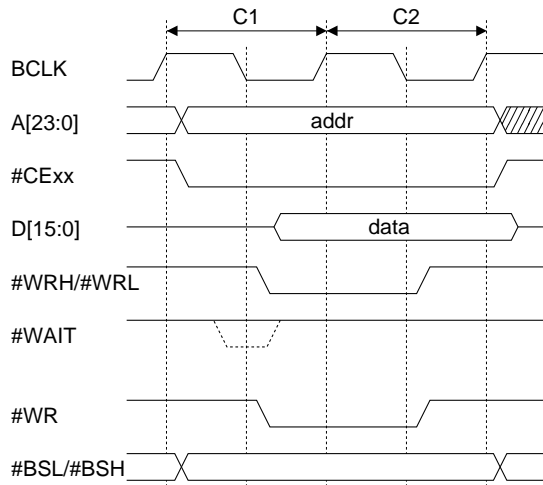


図4.21 ウェイトなしのハーフワードライトサイクル

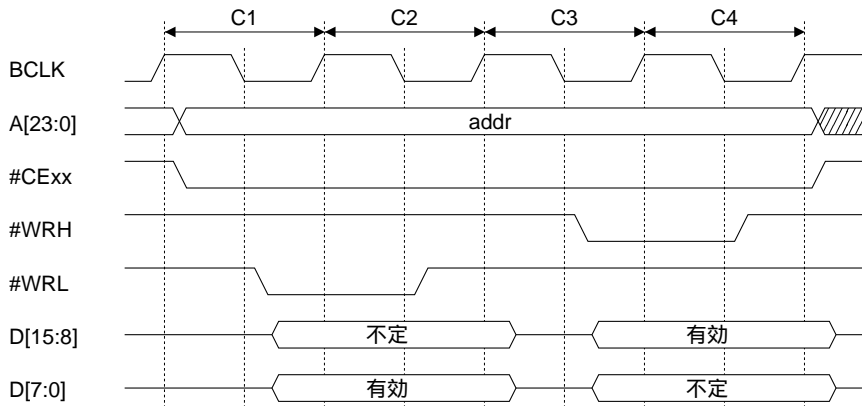


図4.22 ウェイトなしのバイトライトサイクル(A0方式, リトルエンディアン)

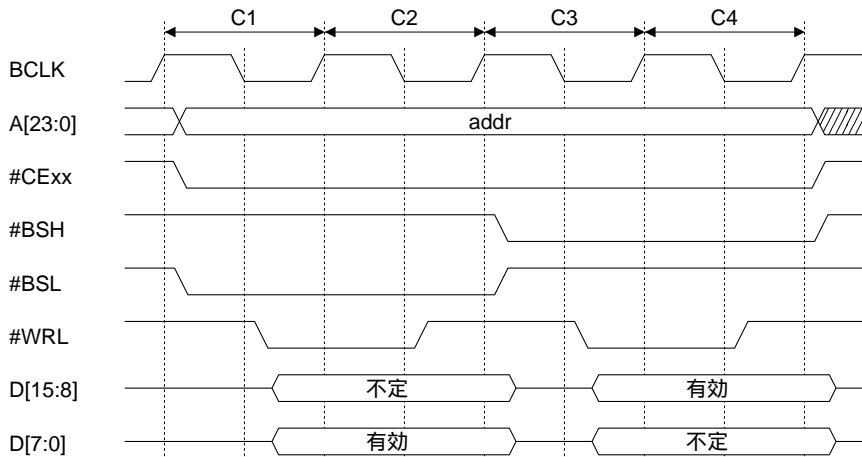


図4.23 ウェイトなしのバイトライトサイクル(#BSL方式, リトルエンディアン)

ウェイト付のライトサイクル

例: BCU内は0ウェイト、#WAIT端子の入力で1サイクルのウェイトを挿入する場合

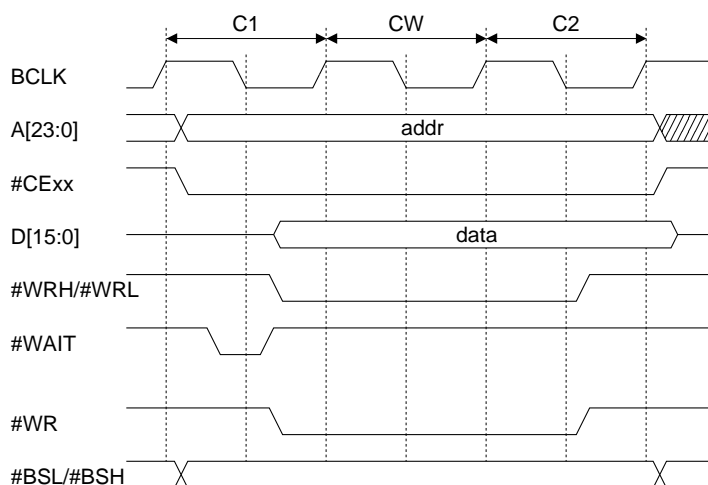


図4.24 ウェイト付のハーフワードライトサイクル

#WAIT信号はBCLK(バスクロック)の立ち下がりエッジでサンプリングされ、インアクティブレベル(High)がサンプリングされたサイクルの次のサイクルでライトサイクルを終了します。

注: #WAIT端子によるウェイトサイクルの挿入は、バス条件のデバイスタイプがSRAMタイプに設定され、かつバスコントロールレジスタ(0x4812E)のSWAIT(D0)がウェイトイネーブルに設定されている場合にのみ可能です。

上記例は#WAIT信号によってウェイトを挿入した場合のライトサイクルですが、ウェイトコントロールビットによっても2~7サイクルのウェイトを挿入することができます。ウェイトコントロールビットの設定と#WAIT信号を併用することも可能です。その場合も#WAIT信号はBCLKの各立ち下がりエッジでサンプリングされます。ただし、ウェイトコントロールビットによるウェイトサイクル終了前に#WAIT信号がインアクティブになっても、その時点ではライトサイクルを終了しません。

注: 基本ライトサイクルは最小が2サイクルで、ウェイトコントロールビットによってウェイトサイクルを0または1サイクルに設定しても変わりません。ウェイトサイクル数を2サイクル以上に設定すると、バスサイクルが実際に延長されます。その場合のバスライトサイクル数はリードサイクル時と同様、[ウェイトサイクル数+1]となります(外部ウェイトがない場合)。

バーストROMのリードサイクル

バーストリードサイクル

例: 4連続バースト、最初のアクセスが2ウェイトに設定されている場合

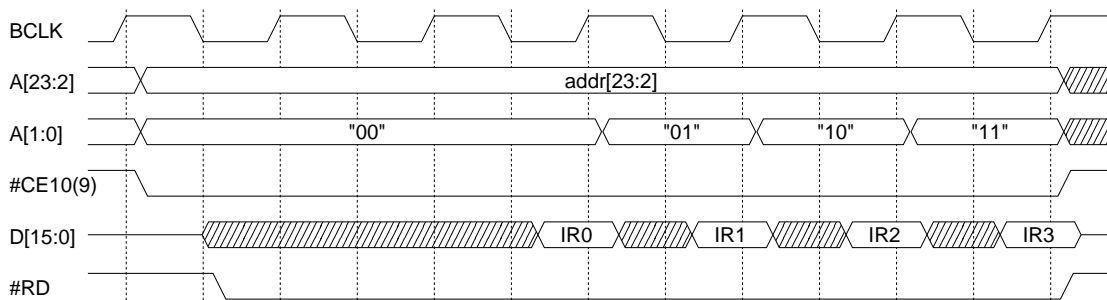


図4.25 バーストリードサイクル

バーストリードサイクルは、エリア10またはエリア9がバーストROMに設定され、そのエリアに対して以下のいずれかのアクセスが行われた場合に発生します。

1) 命令のフェッチ

連続するアドレスからの命令フェッチが

A[2:1]="11"となるまで(4連続バーストの場合)

A[3:1]="111"となるまで(8連続バーストの場合)

バーストリードサイクルとなります。

2) ワード(32ビット)データの読み出し

注: バーストROMとしては、16ビット出力タイプをサポートしています。デバイスサイズは16ビットに設定してください。

バーストリード時のウェイトサイクル

最初のバスオペレーションには、通常のSRAMタイプと同じエリア10-9設定レジスタ(0x48126)のA10WT[2:0](D[2:0])で、0~7サイクルのウェイトを挿入することができます。続くバーストサイクルに挿入するウェイトサイクルは、同レジスタのバーストリード専用ウェイト制御ビットA10BW[1:0]で0~3サイクルの範囲で指定可能です。

なお、バーストリードサイクルには、#WAIT端子によるウェイトサイクルは挿入できません。

バーストROMエリアへのライトサイクル

エリア10またはエリア9がバーストROMに設定されている場合にこのエリアに対して書き込みを行うと、SRAMタイプのライトサイクルを実行します。この場合、#WAIT端子によるウェイトサイクルの挿入も有効です。

DRAMダイレクトインタフェース

DRAMインタフェースの概要

本BCUはDRAMダイレクトインタフェースを内蔵しており、エリア8と7またはエリア14と13には直接DRAMを接続することができます。インタフェース方式としては2CAS方式に対応し、カラムアドレスは8～11ビットに設定可能です。また、ランダムサイクルのほかに、高速ページモードまたはEDOページモード(EDOタイプDRAMを直結可能)もサポートします。リフレッシュ方式(CASビフォアRASリフレッシュ、セルフリフレッシュ)やタイミング条件(RAS/CASサイクル数、プリチャージサイクル数等)も制御レジスタでプログラム可能です。

エリア8と7またはエリア14と13のどちらの領域を使用するかについては、DRAMタイミング設定レジスタ(0x48130)のCEFUNC(D9)によるチップイネーブルの設定で決まります。

CEFUNC = "00": エリア8と7にDRAMを接続可能(デフォルト)
#CE8と#CE7はそれぞれ#RAS0、#RAS1として機能します。
CEFUNC = "00"以外: エリア14と13にDRAMを接続可能
#CE14と#CE13はそれぞれ#RAS2、#RAS3として機能します。

DRAMの接続例を図4.26に、接続可能なDRAMの例を表4.14および表4.15に示します。

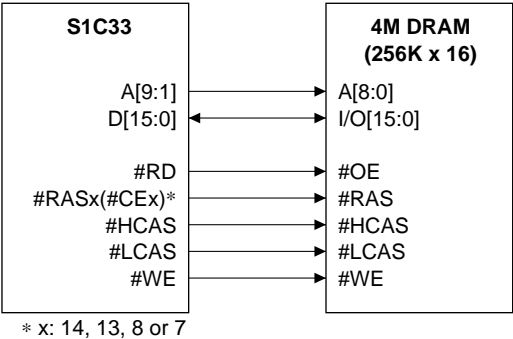


図4.26 DRAM接続例

表4.14 使用可能なDRAMの例

DRAM	使用個数	Rowビット数	Columnビット数	メモリ容量
1M (64K x 16)	1	8	8	128Kバイト
4M (256K x 16)	1	9	9	512Kバイト
16M (1M x 16)	1	12	8	2Mバイト

表4.15 DRAM構成例 (エリア7と8のみ)

	エリア7	エリア8	合計メモリ容量
1	I/O	DRAM (1M)	1Mビット (128Kバイト)
2	I/O	DRAM (4M)	4Mビット (512Kバイト)
3	I/O	DRAM (16M)	16Mビット (2Mバイト)
4	DRAM (1M)	DRAM (1M)	2Mビット (256Kバイト)
5	DRAM (4M)	DRAM (4M)	8Mビット (1Mバイト)
6	DRAM (16M)	DRAM (16M)	32Mビット (4Mバイト)

DRAMタイプの条件設定

DRAMインタフェースは、以下の条件が選択できるようになっています。DRAMはエリア8と7またはエリア14と13で使用可能ですが、これらの条件は4つのエリアすべてに適用され、個別に設定することはありません。

表4.16 DRAMインタフェースの設定項目

設定項目	選択内容	初期設定	制御ビット
ページモード	EDOページモードまたは高速ページモード	高速ページモード	REDO(/バスコントロールレジスタ0x4812E・DC)
RASモード	連続RASモードまたは通常モード	通常モード	CRAS(DRAMタイミング設定レジスタ0x48130・D8)
カラムアドレスサイズ	8, 9, 10, 11ビット	8ビット	RCA[1:0](/バスコントロールレジスタ0x4812E・D[B:A])
リフレッシュイネーブル	イネーブルまたはディセーブル	ディセーブル	RPC2(/バスコントロールレジスタ0x4812E・D9)
リフレッシュ方式	セルフリフレッシュまたはCASビフォアRASリフレッシュ	CBR リフレッシュ	RPC1(/バスコントロールレジスタ0x4812E・D8)
リフレッシュRPCディレイ	2.0または1.0	1.0	RPC0(/バスコントロールレジスタ0x4812E・D7)
リフレッシュRASパルス幅	2, 3, 4, 5サイクル	2サイクル	RRA[1:0](/バスコントロールレジスタ0x4812E・D[6:5])
RASプリチャージサイクル数	1, 2, 3, 4サイクル	1サイクル	RPRC[1:0](DRAMタイミング設定レジスタ0x48130・D[7:6])
CASサイクルコントロール	1, 2, 3, 4サイクル	1サイクル	CASC[1:0](DRAMタイミング設定レジスタ0x48130・D[4:3])
RASサイクルコントロール	1, 2, 3, 4サイクル	1サイクル	RASC[1:0](DRAMタイミング設定レジスタ0x48130・D[1:0])

ページモード

本DRAMインタフェースにはEDO DRAMを直結可能です。このため、高速ページモード以外にもEDOページモードもサポートしています。

使用するDRAMに合わせ、REDOで選択してください。

REDO = "1": EDOページモード

REDO = "0": 高速ページモード(デフォルト)

連続RASモード

DRAMアクセスの速度が要求されるアプリケーションのために、本DRAMインタフェースは連続RASモードをサポートしています。連続RASモードは、CPUからのアクセス要求がDRAMに対して連続しない場合でも、プリチャージサイクルを挿入せず、#RAS信号をLowレベルにしたまま動作を継続します。したがって、前回のDRAMアクセスと同じページ(ローアドレス)をアクセスする場合はページモードが継続するため、高速なリード/ライトが可能です。

ただし、AC特性を保証するため、ページモードのアクセス開始時と終了時にはそれぞれ1サイクルのアイドルサイクルが挿入されます。

連続RASモードの設定はCRASで行います。

CRAS = "1": 連続RASモード

CRAS = "0": 通常モード(デフォルト)

連続RASモードを中断する要因は以下のとおりです。

- ・リフレッシュサイクルの発生
- ・外部バスマスタのバスリクエスト
- ・DRAMタイプのメモリへのリクエストで、デバイスとページが一致しない場合
- ・slp、halt命令の実行

連続RASモードが中断されると、次のバスサイクルを開始する前にプリチャージサイクルが挿入されます。

注: 連続RASモードを使用する場合は、必ずリード信号に#DRD、下位バイト用のライト信号に#DWEを使用してください。

コラムアドレスサイズ

DRAMへのアクセス時は、アドレスをロー(行)アドレスおよびコラム(列)アドレスに分割して出力されます。

このコラムアドレスのサイズをRCAで選択します。

表4.17 コラムアドレスサイズ

RCA1	RCA0	コラムアドレスサイズ
1	1	11
1	0	10
0	1	9
0	0	8

イニシャルリセット時の初期設定は8ビットです。使用するDRAMのアドレス入力端子数に合わせて選択してください。

#RAS信号の立ち下がりに同期して出力されるローアドレスは、CPU内部の28ビットアドレスをコラムアドレスサイズ分右方向に論理シフトした値です。シフトの際、上位ビットには"1"が入ります。コラムアドレスは#CAS信号の立ち下がりに同期してアドレスバスに出力されます。これにはCPU内部の28ビットアドレスがそのまま使用されます。

ローアドレスの出力内容を図4.27に示します。

28ビットCPU内部アドレス

27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	---	---	---	---	---	---	---	---	---	---

(1) コラムアドレスを8ビットに設定した場合のローアドレス

T	T	T	T	T	T	T	T	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8
---	---	---	---	---	---	---	---	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	---	---

(2) コラムアドレスを9ビットに設定した場合のローアドレス

T	T	T	T	T	T	T	T	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9
---	---	---	---	---	---	---	---	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	---

(3) コラムアドレスを10ビットに設定した場合のローアドレス

T	T	T	T	T	T	T	T	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10
---	---	---	---	---	---	---	---	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----

(4) コラムアドレスを11ビットに設定した場合のローアドレス

T	T	T	T	T	T	T	T	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11
---	---	---	---	---	---	---	---	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----

T = "1"、0~27: CPU内部アドレスのビット番号

図4.27 ロー・コラムアドレスのマッピング例

リフレッシュイネーブル

内蔵のリフレッシュ機能をRPC2でイネーブル/ディセーブルに設定します。

RPC2 = "1": イネーブル

RPC2 = "0": ディセーブル(デフォルト)

リフレッシュ方式をRPC1で選択後、RPC2に"1"を書き込んでください。

リフレッシュ方式

本DRAMインタフェースは、CASビフォアRASリフレッシュサイクルとセルフリフレッシュサイクルをサポートしています。使用する方式をRPC1で選択してください。

RPC1 = "1": セルフリフレッシュ

RPC1 = "0": CASビフォアRASリフレッシュ

CASビフォアRASリフレッシュサイクルの発生周期は8ビットプログラマブルタイム0のアンダーフロー信号で決まります。したがって、CASビフォアRASリフレッシュサイクルを実行する場合は、8ビットプログラマブルタイム0に必要なアンダーフロー周期が得られるように設定しておくことが必要です。この方式を選択しRPC2をイネーブルに設定すると、8ビットプログラマブルタイム0のアンダーフロー出力信号の周期でリフレッシュサイクルが生成されます。

セルフリフレッシュは、RPC1に"1"を設定した状態でRPC2に"1"を書き込むことにより開始し、RPC1またはRPC2への"0"書き込みによって終了します。

RPC2が"1"(リフレッシュイネーブル)の場合にRPC1を切り換えると不要なセルフリフレッシュを発生させることになりますので、リフレッシュ方式の選択はRPC2を"0"(リフレッシュディセーブル)に設定して行ってください。

リフレッシュRPCディレイ

リフレッシュサイクルのRPCディレイの値(直前のプリチャージから#CASを立ち上げるまでの遅延時間)をRPC0で設定します。

RPC0 = "1": 2サイクル

RPC0 = "0": 1サイクル

リフレッシュRASパルス幅

CASビフォアRASリフレッシュサイクルの#RASパルス幅をRRAで設定します。

表4.18 リフレッシュRASパルス幅

RRA1	RRA0	パルス幅
1	1	5サイクル
1	0	4サイクル
0	1	3サイクル
0	0	2サイクル

イニシャルリセット時の初期設定は2サイクルです。

RASプリチャージサイクル数

プリチャージのサイクル数をRPRCで選択します。

表4.19 RASプリチャージサイクル数

RPRC1	RPRC0	サイクル数
1	1	4サイクル
1	0	3サイクル
0	1	2サイクル
0	0	1サイクル

イニシャルリセット時の初期設定は1サイクルです。

CASサイクルコントロール

DRAMアクセス時のCASサイクル数をCASCで選択します。

表4.20 CASサイクル数

CASC1	CASC0	CASサイクル数
1	1	4サイクル
1	0	3サイクル
0	1	2サイクル
0	0	1サイクル

イニシャルリセット時の初期設定は1サイクルです。

RASサイクルコントロール

DRAMアクセス時のRASサイクル数をRASCで選択します。

表4.21 RASサイクル数

RASC1	RASC0	RASサイクル数
1	1	4サイクル
1	0	3サイクル
0	1	2サイクル
0	0	1サイクル

イニシャルリセット時の初期設定は1サイクルです。

DRAMリード/ライトサイクル

以下に、DRAMの基本的なバスサイクルを示します。

DRAMインタフェースでは、#WAIT端子によってウェイトサイクルを挿入することはできません。

DRAMランダムリードサイクル

例: RAS: 1サイクル、CAS: 2サイクル、プリチャージ: 1サイクル

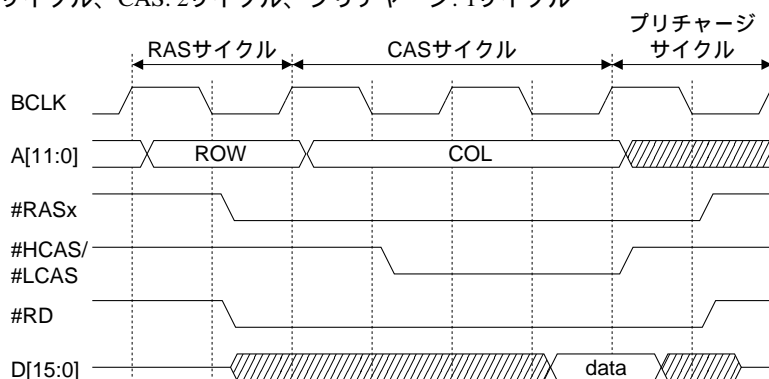


図4.28 DRAMランダムリードサイクル

DRAMリードサイクル (高速ページモード)

例: RAS: 1サイクル、CAS: 2サイクル、プリチャージ: 1サイクル

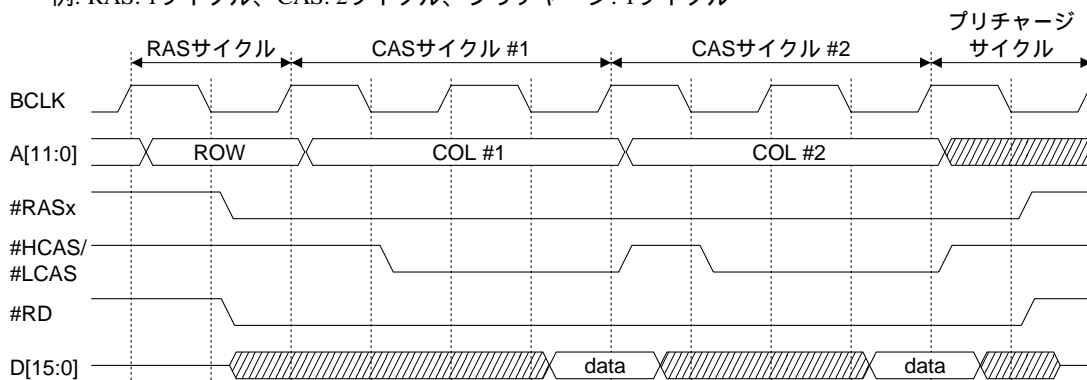


図4.29 DRAMリードサイクル (高速ページモード)

DRAMリードサイクル (EDOページモード)

例: RAS: 1サイクル、CAS: 2サイクル、プリチャージ: 1サイクル

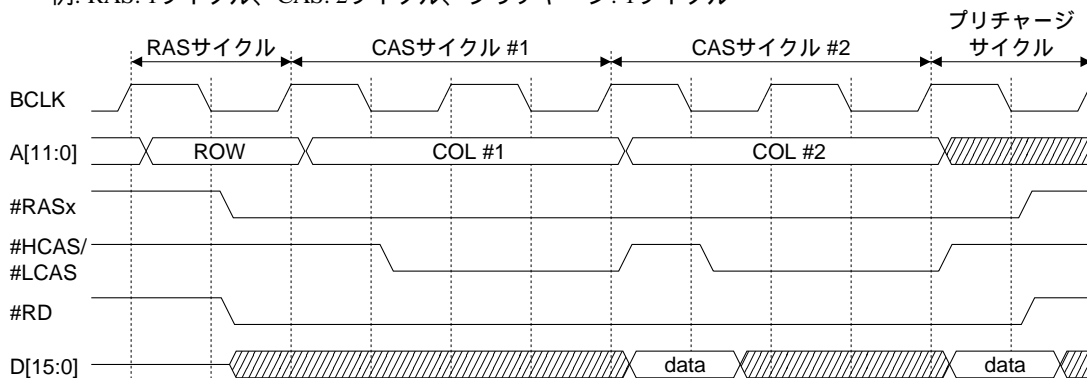


図4.30 DRAMリードサイクル (EDOページモード)

EDOページモードの読み込みタイミングは、高速ページモードよりも0.5サイクル後ろになります。

DRAMランダムライトサイクル

例: RAS: 1サイクル、CAS: 2サイクル、プリチャージ: 1サイクル

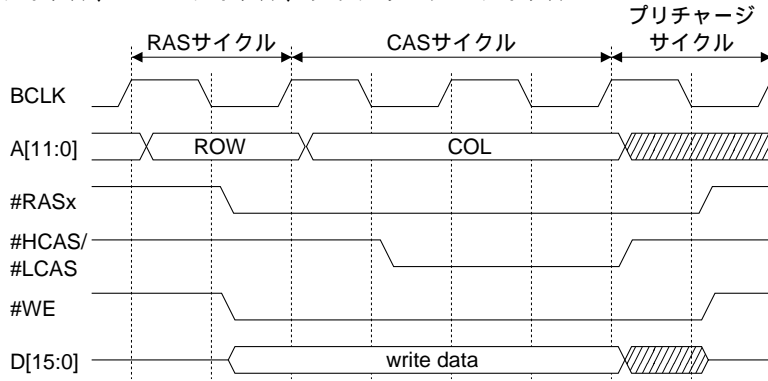


図4.31 2CAS方式DRAMランダムライトサイクル

DRAMライトサイクル (高速ページモードまたはEDOページモード)

例: RAS: 1サイクル、CAS: 2サイクル、プリチャージ: 1サイクル、ワード書き込み例

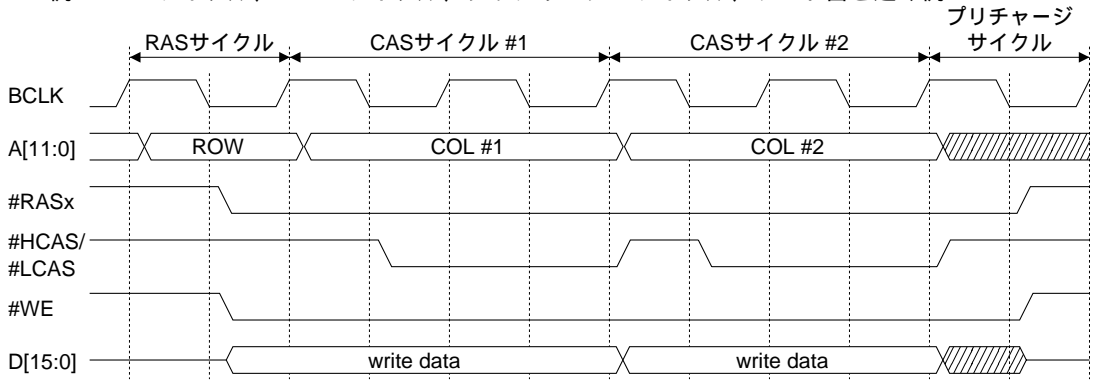


図4.32 DRAMワードライトサイクル (高速ページモードまたはEDOページモード)

例: RAS: 1サイクル、CAS: 2サイクル、プリチャージ: 1サイクル

バイト書き込み例(リトルエンディアン)

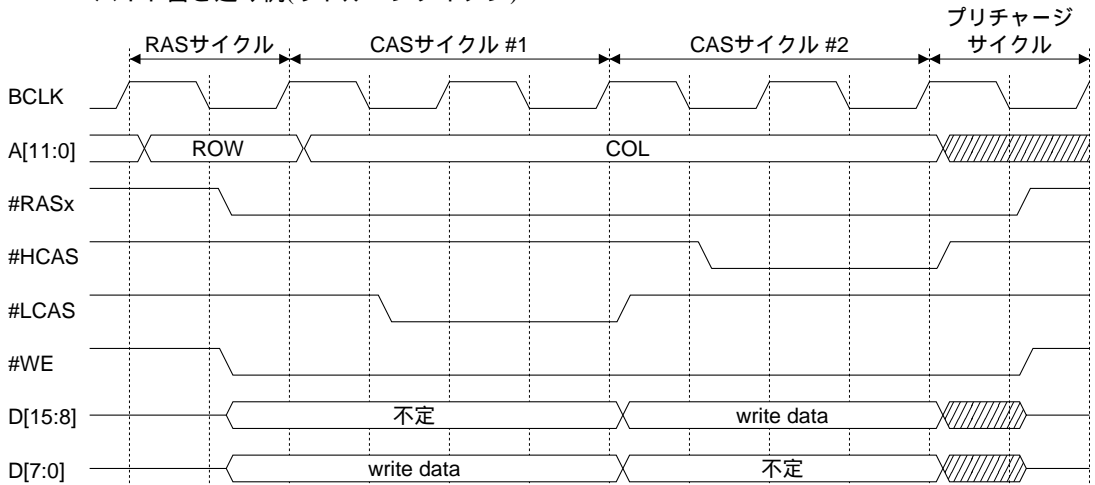


図4.33 DRAMバイトライトサイクル (高速ページモードまたはEDOページモード)

連続RASモードの動作

例: RAS: 2サイクル、CAS: 1サイクル、プリチャージ: 2サイクル

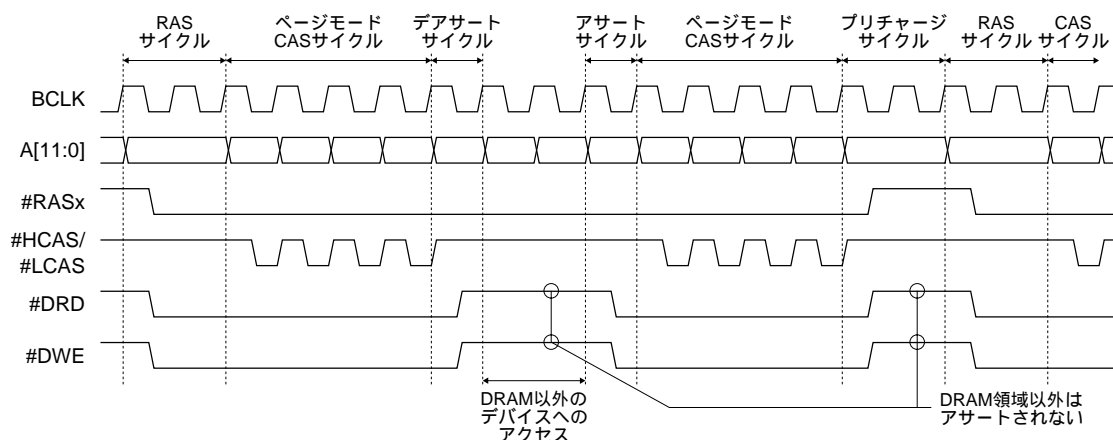


図4.34 連続RASモードの動作

DRAM領域へのアクセスは、最初に通常のRASサイクルが実行されます。

ページモードの途中で同じDRAMに対するアクセスが中断した場合は、#RASxをアサートしたまま他のデバイスをアクセスします。このとき、#DRD/#DWEを一旦インアクティブにするデアサートサイクルが他のデバイスへのアクセス前に挿入されます。

その後、同じDRAMの同ページに対するアクセス要求があった場合、#DRD/#DWEをアサートしてページモードの動作を再開します。

プリチャージサイクルは、ページモードを中断するような以下の条件が発生した場合に実行されます。

- ・異なるDRAMへのアクセス要求
- ・同じDRAMの他のページへのアクセス要求
- ・DRAM以外のデバイスへのアクセス要求
- ・CASビフォアRASリフレッシュ要求
- ・外部バスマスタによるバス解放要求

注: 連続RASモードを使用する場合は、必ずリード信号に#DRD、下位バイト用のライト信号に#DWEを使用してください。

DRAMリフレッシュサイクル

本DRAMインタフェースは、CASビフォアRASリフレッシュサイクルとセルフリフレッシュサイクルをサポートしています。

CASビフォアRASリフレッシュサイクル

CASビフォアRASリフレッシュを行う場合はRPC1を"0"に設定した状態で、RPC2に"1"を書き込んでDRAMリフレッシュ機能をイネーブルに設定します。それ以降、BCUは8ビットプログラマブルタイマ0が出力するアンダーフロー信号を入力し、それをトリガとしてCASビフォアRASリフレッシュサイクルを実行します。このため、プリスケアラと8ビットプログラマブルタイマ0によって、リフレッシュの発生周期をプログラマブルに設定することができます。

プリスケアラと8ビットプログラマブルタイマの制御方法については"プリスケアラ"および"8ビットプログラマブルタイマ"を参照してください。

例: RPCディレイ: 1サイクル、リフレッシュRASパルス幅: 2サイクル、プリチャージ: 1サイクル

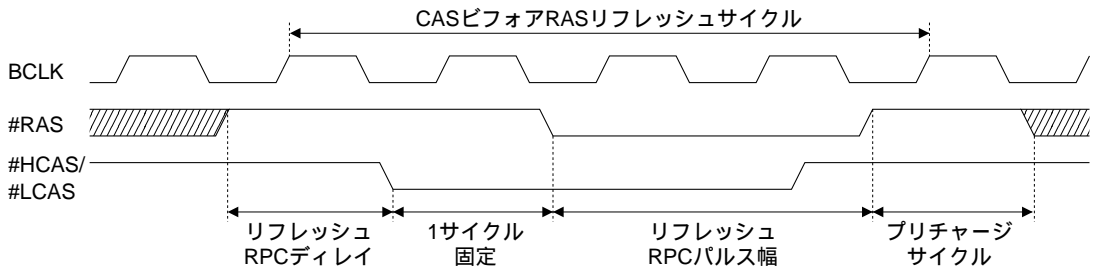


図4.35 CASビフォアRASリフレッシュ

リフレッシュサイクル終了時の#HCAS/#LCAS信号の立ち上がりタイミングは、#RAS立ち上がりの0.5サイクル前です。したがって、#HCAS/#LCASのパルス幅はRRAで設定したリフレッシュRASパルス幅で決まります。

リフレッシュサイクル後のプリチャージサイクル数には、RPRCで設定した値がランダムサイクルやページモードのアクセスと共通に使用されます。

セルフリフレッシュ

セルフリフレッシュ機能を備えたDRAMに対応するため、本BCUにはセルフリフレッシュサイクルを生成する機能もあります。

セルフリフレッシュを開始するには、RPC1を"1"に設定した上でRPC2に"1"を書き込みます。一方、セルフリフレッシュを解除するには、RPC1またはRPC2に"0"を書き込みます。

例: RPCディレイ: 1サイクル

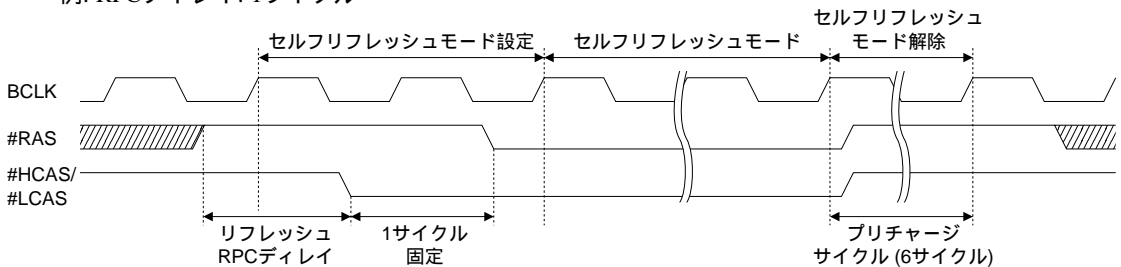


図4.36 セルフリフレッシュ

セルフリフレッシュの場合も、RPCディレイはCASビフォアRASリフレッシュと同じRPC0の設定で決まります。

リフレッシュRASパルス幅はソフトウェアによる解除のタイミングで決まり、RRAの設定内容は影響しません。

また、セルフリフレッシュ終了時の#RASと#HCAS/#LCASは同時に立ち上がり、その後のプリチャージは6サイクルに固定されています。

通常、DRAMの仕様書にはセルフリフレッシュサイクル前後の一定時間内に、すべてのローアドレスについてリフレッシュを実行するように規定されています。これについては、CASビフォアRASリフレッシュを実行するようにプログラムで対応してください。この場合、既定時間内にすべてのローアドレスに対してリフレッシュを実行するように、8ビットプログラマブルタイマ0を設定してください。

注: セルフリフレッシュ中のDRAMに対してリード/ライトを行うと、BCUは#RASと#HCAS/#LCASをLowレベルに保ったまま、リード/ライトサイクルを実行します。#RAS、#HCAS/#LCAS以外のバス信号(アドレス、データ、制御信号)は設定された条件で変化します。これは、DRAMに対する不正なアクセスとなりますので、セルフリフレッシュ中のDRAMはリード/ライトしないでください。

外部バスの解放

外部バスは、通常CPUの管理下に置かれていますが、バス権を外部に解放することが可能となっています。この機能はバスコントロールレジスタ(0x4812E)のSEMAS(D2)に"1"を書き込むことにより有効となります(初期設定は無効)。また、この制御には、#BUSREQ(P34)端子と#BUSACK(P35)端子を使用します。P34およびP35端子を#BUSREQ入力と#BUSACK出力に設定するにはP3機能選択レジスタ(0x402DC[Byte])のCFP34(D4)とCFP35(D5)に"1"を書き込んでください。

バス権解放シーケンス

バス権解放のシーケンスは次のとおりです。

1. バス権を要求する外部バスマスタデバイスは、#BUSREQ端子をLowレベルにします。
2. CPUは常に#BUSREQ端子の状態を監視しており、端子がLowレベルになると実行中のバスサイクルを終了し、その1サイクル後に以下の信号をハイインピーダンスにします。
A[23:0], D[15:0], #RD, #WRL, #WRH, #HCAS, #LCAS, #CExx
さらに#BUSACK端子をLowレベルにしてバス権を解放したことを、外部デバイスに知らせます。
3. 1サイクル後、外部バスマスタは自らのバスサイクルを開始します。外部バスマスタはバスサイクルを終了するまで#BUSREQ端子をLowに固定しておく必要があります。
4. 外部バスマスタは必要なバスサイクルを終了後、バスをハイインピーダンスにしてから#BUSREQ端子をHighレベルに戻します。
5. CPUは#BUSREQ端子のHighレベルを確認すると、その1サイクル後に#BUSACK端子をHighレベルにし、中断していた処理を再開します。

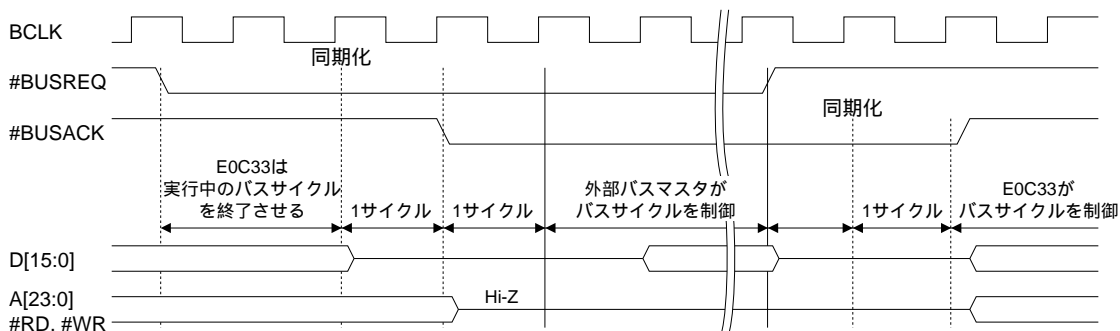


図4.37 外部バス解放タイミング

バス権解放中のDRAMリフレッシュ

DRAMを直結したシステムの場合、バス権解放中にリフレッシュ要求が発生する可能性があります。これについては、以下の方法で対処してください。

- 8ビットプログラマブルタイマ0の出力信号をモニタ

8ビットプログラマブルタイマ0のアンダーフロー信号(DRAMリフレッシュ要求)は、P10入出力兼用ポート端子から出力させることができます。

外部バスマスタでこの出力をモニタし、リフレッシュ要求が発生した場合は#BUSREQをHighに戻してバス権要求を取り下げてください。

バス権がCPUに戻った時点でDRAMリフレッシュサイクルを開始します。

P10端子を8ビットプログラマブルタイマ0のアンダーフロー信号出力に設定するにはP1機能選択レジスタ(0x402D4[Byte])のCFP10(D0)とP1 I/O制御レジスタ(0x402D6[Byte])のIOC10(D0)に"1"を書き込んでください。また、アンダーフロー信号を外部出力するには、8bitタイマ0制御レジスタ(0x40160[Byte])のPTOUT0(D2)に"1"を書き込みます。出力制御の詳細については、"8ビットプログラマブルタイマ"を参照してください。

- #BUSGET信号のモニタ

P31入出力兼用ポート端子からは#BUSGET信号を出力させることができます。

#BUSGET信号は以下の信号の論理和をとった内容です。

1. DRAMリフレッシュ要求信号(8ビットプログラマブルタイマ0出力)
2. 割り込みコントローラからCPUへの割り込み要求信号

外部バスマスタでこの信号をモニタし、#BUSGET信号がアクティブになった場合は#BUSREQをHighに戻してバス権要求を取り下げてください。

#BUSGET信号でリフレッシュ要求のみをモニタする場合は、割り込みコントローラを割り込み要求が発生しないように設定してください。

P31端子を#BUSGET信号出力に設定するにはポート機能拡張レジスタ(0x402DF[Byte])のCFEX3(D3)に"1"を書き込んでください。

外部デバイスによるパワーダウン制御

前述のバス権解放要求に加え、#BUSREQ信号を使用してCPUをHALT状態に設定することができます。これにより、外部バスマスタによるバスオペレーション中にCPUを停止して消費電流を低減させることができます。

この機能は、バスコントロールレジスタ(0x4812E)のSEPD(D1)に"1"を書き込むことによって有効となります。

SEPDが"1"の場合に#BUSREQ端子がLowレベルになると、CPUとBCUは動作を停止しHALT状態となります。このHALT状態は内蔵周辺回路の割り込みによっては解除されず、#BUSREQ端子がHighに戻るまで続きます。通常の#BUSREQによるバス解放状態とは異なり、アドレスバスやバス制御信号はハイインピーダンスとはなりません。

このHALT状態で発生するDRAMリフレッシュ要求については、前節で説明した方法で対応してください。

BCUのI/Oメモリ

表4.22に外部システムインタフェースの制御ビットを示します。これらのI/Oメモリは内蔵16ビット周辺回路用の領域(0x48000以降)に割り付けられています。ただし、ハーフワード以外(バイトまたはワード)でもアクセス可能です。

出力・入出力兼用ポートに割り当てられた外部システムインタフェース用端子の制御ビット、およびDRAMリフレッシュサイクル生成のための8ビットプログラマブルタイマ0の制御方法については、それぞれの章を参照してください。

表4.22 外部システムインタフェースの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
エリア18-15 設定レジスタ	0048120 (HW)	DF	—	reserved	—	—	—	読み出し時: 0
		DE	A18SZ	エリア18-17デバイスサイズ選択	1 8ビット 0 16ビット	0	R/W	
		DD	A18DF1	エリア18-17	A18DF[1:0]	1	R/W	
		DC	A18DF0	出力ディセーブル遅延時間	1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		DB	—	reserved	—	—	—	読み出し時: 0
		DA	A18WT2	エリア18-17ウェイト制御	A18WT[2:0]	1	R/W	
		D9	A18WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D8	A18WT0			1		
		D7	—	reserved	—	—	—	読み出し時: 0
		D6	A16SZ	エリア16-15デバイスサイズ選択	1 8ビット 0 16ビット	0	R/W	
		D5	A16DF1	エリア16-15	A16DF[1:0]	1	R/W	
		D4	A16DF0	出力ディセーブル遅延時間	1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	A16WT2	エリア16-15ウェイト制御	A16WT[2:0]	1	R/W	
		D1	A16WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D0	A16WT0			1		
エリア14-13 設定レジスタ	0048122 (HW)	DF-9	—	reserved	—	—	—	読み出し時: 0
		D8	A14DRA	エリア14 DRAM選択	1 使用 0 未使用	0	R/W	
		D7	A13DRA	エリア13 DRAM選択	1 使用 0 未使用	0	R/W	
		D6	A14SZ	エリア14-13デバイスサイズ選択	1 8ビット 0 16ビット	0	R/W	
		D5	A14DF1	エリア14-13	A14DF[1:0]	1	R/W	
		D4	A14DF0	出力ディセーブル遅延時間	1 1 3.5 1 0 2.5 0 1 1.5 0 0 0.5	1		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	A14WT2	エリア14-13ウェイト制御	A14WT[2:0]	1	R/W	
		D1	A14WT1		1 1 1 7 1 1 0 6 1 0 1 5 1 0 0 4 0 1 1 3 0 1 0 2 0 0 1 1 0 0 0 0	1		
		D0	A14WT0			1		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
エリア12-11 設定レジスタ	0048124 (HW)	DF-7	—	reserved	—	—	—	読み出し時: 0
		D6	A12SZ	エリア12-11デバイスサイズ選択	1 8ビット 0 16ビット	0	R/W	
		D5	A12DF1	エリア12-11 出力ディセーブル遅延時間	A18DF[1:0]	1	R/W	
		D4	A12DF0		1 1 3.5	1		
					1 0 2.5			
					0 1 1.5			
					0 0 0.5			
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	A12WT2	エリア12-11ウェイト制御	A18WT[2:0]	1	R/W	
		D1	A12WT1		1 1 1 7	1		
		D0	A12WT0		1 1 0 6	1		
					1 0 1 5			
					1 0 0 4			
					0 1 1 3			
					0 1 0 2			
エリア10-9 設定レジスタ	0048126 (HW)	DF	—	reserved	—	—	—	読み出し時: 0
		DE	A10IR2	エリア10内蔵ROM容量選択	A10IR[2:0]	1	R/W	
		DD	A10IR1		1 1 1 2MB	1		
		DC	A10IR0		1 1 0 1MB	1		
					1 0 1 512KB			
					1 0 0 256KB			
					0 1 1 128KB			
					0 1 0 64KB			
					0 0 1 32KB			
					0 0 0 16KB			
		DB	—	reserved	—	—	—	読み出し時: 0
		DA	A10BW1	エリア10-9 バーストROM バーストリードサイクルウェイト 制御	A10BW[1:0]	0	R/W	
		D9	A10BW0		1 1 3	0		
					1 0 2			
					0 1 1			
					0 0 0			
		D8	A10DRA	エリア10バーストROM選択	1 使用 0 未使用	0	R/W	
		D7	A9DRA	エリア9バーストROM選択	1 使用 0 未使用	0	R/W	
		D6	A10SZ	エリア10-9デバイスサイズ選択	1 8ビット 0 16ビット	0	R/W	
		D5	A10DF1	エリア10-9 出力ディセーブル遅延時間	A10DF[1:0]	1	R/W	
		D4	A10DF0		1 1 3.5	1		
					1 0 2.5			
					0 1 1.5			
					0 0 0.5			
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	A10WT2	エリア10-9ウェイト制御	A10WT[2:0]	1	R/W	
		D1	A10WT1		1 1 1 7	1		
		D0	A10WT0		1 1 0 6	1		
					1 0 1 5			
					1 0 0 4			
					0 1 1 3			
					0 1 0 2			
エリア8-7 設定レジスタ	0048128 (HW)	DF-9	—	reserved	—	—	—	読み出し時: 0
		D8	A8DRA	エリア8 DRAM選択	1 使用 0 未使用	0	R/W	
		D7	A7DRA	エリア7 DRAM選択	1 使用 0 未使用	0	R/W	
		D6	A8SZ	エリア8-7デバイスサイズ選択	1 8ビット 0 16ビット	0	R/W	
		D5	A8DF1	エリア8-7 出力ディセーブル遅延時間	A8DF[1:0]	1	R/W	
		D4	A8DF0		1 1 3.5	1		
					1 0 2.5			
					0 1 1.5			
					0 0 0.5			
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	A8WT2	エリア8-7ウェイト制御	A8WT[2:0]	1	R/W	
		D1	A8WT1		1 1 1 7	1		
		D0	A8WT0		1 1 0 6	1		
					1 0 1 5			
					1 0 0 4			
					0 1 1 3			
					0 1 0 2			
					0 0 1 1			
					0 0 0 0			

II コアブロック: BCU(バスコントロールユニット)

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
エリア6-4 設定レジスタ	004812A (HW)	DF-E	—	reserved	—	—	—	読み出し時: 0
		DD	A6DF1	エリア6	A6DF[1:0]	サイクル数	1	R/W
		DC	A6DF0	出力ディセーブル遅延時間	1 1 1 0 0 1 0 0	3.5 2.5 1.5 0.5	1	
		DB	—	reserved	—	—	—	読み出し時: 0
		DA	A6WT2	エリア6ウェイト制御	A6WT[2:0]	ウェイト数	1	R/W
		D9	A6WT1		1 1 1 1 1 0 1 0 1 1 0 0 0 1 1 0 1 0 0 0 1 0 0 0	7 6 5 4 3 2 1 0	1 1	
		D8	A6WT0					
		D7	—	reserved	—	—	—	読み出し時: 0
		D6	A5SZ	エリア5-4デバイスサイズ選択	1 8ビット	0 16ビット	0	R/W
		D5	A5DF1	エリア5-4	A5DF[1:0]	サイクル数	1	R/W
		D4	A5DF0	出力ディセーブル遅延時間	1 1 1 0 0 1 0 0	3.5 2.5 1.5 0.5	1	
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	A5WT2	エリア5-4ウェイト制御	A5WT[2:0]	ウェイト数	1	R/W
		D1	A5WT1		1 1 1 1 1 0 1 0 1 1 0 0 0 1 1 0 1 0 0 0 1 0 0 0	7 6 5 4 3 2 1 0	1 1	
		D0	A5WT0					
バスコントロール レジスタ	004812E (HW)	DF	RBCLK	BCLK出力イネーブル	1 H 固定	0 イネーブル	0	R/W
		DE	—	reserved	—	—	0	—
		DD	RBST8	バーストROM/バーストモード選択	1 8連続	0 4連続	0	R/W
		DC	REDO	DRAMページモード選択	1 EDO	0 高速ページ	0	R/W
		DB	RCA1	カラムアドレスサイズ選択	RCA[1:0]	サイズ	0	R/W
		DA	RCA0		1 1 1 0 0 1 0 0	11 10 9 8	0	
		D9	RPC2	リフレッシュイネーブル	1 イネーブル	0 ディセーブル	0	R/W
		D8	RPC1	リフレッシュ方式選択	1 セルフ	0 CBR	0	R/W
		D7	RPC0	リフレッシュRPCディレイ	1 2.0	0 1.0	0	R/W
		D6	RRA1	リフレッシュ	RRA[1:0]	サイクル数	0	R/W
		D5	RRA0	RASパルス幅選択	1 1 1 0 0 1 0 0	5 4 3 2	0	
		D4	—	reserved	—	—	0	—
		D3	SBUSST	外部インタフェース方式設定	1 #BSL	0 A0	0	R/W
		D2	SEMAS	外部バスマスタ設定	1 存在	0 なし	0	R/W
		D1	SEPD	外部パワーダウン制御	1 有効	0 無効	0	R/W
		D0	SWAITE	#WAITイネーブル	1 許可	0 禁止	0	R/W

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
DRAM タイミング設定 レジスタ	0048130 (HW)	DF-C	-	reserved	-	-	-	読み出し時: 0
		DB	A3EEN	エリア3エミュレーション	1 内蔵ROM 0 エミュレーション	1	R/W	
		DA	CEFUNC1	#CE端子機能選択	CFFUNC[1:0] #CE出力	0	R/W	
		D9	CEFUNC0		1 x #CE7/8..#CE17/18 0 1 #CE6..#CE17 0 0 #CE4..#CE10	0		
		D8	CRAS	連続RASモード	1 連続 0 通常	0	R/W	
		D7	RPRC1	DRAM	RPRC[1:0] サイクル数	0	R/W	
		D6	RPRC0	RASプリチャージサイクル数	1 1 4 1 0 3 0 1 2 0 0 1	0		
		D5	-	reserved	-	-	-	読み出し時: 0
		D4	CASC1	DRAM	CASC[1:0] サイクル数	0	R/W	
		D3	CASC0	CASサイクル数	1 1 4 1 0 3 0 1 2 0 0 1	0		
		D2	-	reserved	-	-	-	読み出し時: 0
		D1	RASC1	DRAM	RASC[1:0] サイクル数	0	R/W	
		D0	RASC0	RASサイクル数	1 1 4 1 0 3 0 1 2 0 0 1	0		
アクセス制御 レジスタ	0048132 (HW)	DF	A18IO	エリア18, 17外部/内部アクセス	1 内部 0 外部	0	R/W	
		DE	A16IO	エリア16, 15外部/内部アクセス	アクセス	0	R/W	
		DD	A14IO	エリア14, 13外部/内部アクセス		0	R/W	
		DC	A12IO	エリア12, 11外部/内部アクセス		0	R/W	
		DB	-	reserved	-	0	-	読み出し時: 0
		DA	A8IO	エリア8, 7外部/内部アクセス	1 内部 0 外部	0	R/W	
		D9	A6IO	エリア6外部/内部アクセス	アクセス	0	R/W	
		D8	A5IO	エリア5, 4外部/内部アクセス		0	R/W	
		D7	A18EC	エリア18, 17エンディアン制御	1 ビッグエン 0 リトルエン	0	R/W	
		D6	A16EC	エリア16, 15エンディアン制御	ディアン	0	R/W	
		D5	A14EC	エリア14, 13エンディアン制御		0	R/W	
		D4	A12EC	エリア12, 11エンディアン制御		0	R/W	
		D3	A10EC	エリア10, 9エンディアン制御		0	R/W	
		D2	A8EC	エリア8, 7エンディアン制御		0	R/W	
		D1	A6EC	エリア6エンディアン制御		0	R/W	
		D0	A5EC	エリア5, 4エンディアン制御		0	R/W	
G/Aリード信号 制御レジスタ	0048138 (HW)	DF	A18AS	エリア18, 17アドレスストローブ	1 生成 0 禁止	0	R/W	
		DE	A16AS	エリア16, 15アドレスストローブ		0	R/W	
		DD	A14AS	エリア14, 13アドレスストローブ		0	R/W	
		DC	A12AS	エリア12, 11アドレスストローブ		0	R/W	
		DB	-	reserved	-	0	-	読み出し時: 0
		DA	A8AS	エリア8, 7アドレスストローブ	1 生成 0 禁止	0	R/W	
		D9	A6AS	エリア6アドレスストローブ		0	R/W	
		D8	A5AS	エリア5, 4アドレスストローブ		0	R/W	
		D7	A18RD	エリア18, 17リード信号	1 生成 0 禁止	0	R/W	
		D6	A16RD	エリア16, 15リード信号		0	R/W	
		D5	A14RD	エリア14, 13リード信号		0	R/W	
		D4	A12RD	エリア12, 11リード信号		0	R/W	
		D3	-	reserved	-	0	-	読み出し時: 0
		D2	A8RD	エリア8, 7リード信号	1 生成 0 禁止	0	R/W	
		D1	A6RD	エリア6リード信号		0	R/W	
		D0	A5RD	エリア5, 4リード信号		0	R/W	
BCLK選択 レジスタ	004813A (B)	D7-4	-	reserved	-	0	-	読み出し時: 0
		D3	A1X1MD	エリア1アクセス速度	1 2サイクル 0 4サイクル	0	R/W	x2スピードモード時
		D2	-	reserved	-	0	-	読み出し時: 0
		D1	BCLKSEL1	BCLK出力クロック選択	BCLKSEL[1:0] BCLK	0	R/W	
		D0	BCLKSEL0		1 1 PLL_CLK 1 0 OSC3_CLK 0 1 BCU_CLK 0 0 CPU_CLK	0		

A18SZ: エリア18-17デバイスサイズ選択(DE/0x48120<エリア18-15設定レジスタ>)
A16SZ: エリア16-15デバイスサイズ選択(D6/0x48120<エリア18-15設定レジスタ>)
A14SZ: エリア14-13デバイスサイズ選択(D6/0x48122<エリア14-13設定レジスタ>)
A12SZ: エリア12-11デバイスサイズ選択(D6/0x48124<エリア12-11設定レジスタ>)
A10SZ: エリア10-9デバイスサイズ選択(D6/0x48126<エリア10-9設定レジスタ>)
A8SZ: エリア8-7デバイスサイズ選択(D6/0x48128<エリア8-7設定レジスタ>)
A5SZ: エリア5-4デバイスサイズ選択(D6/0x4812A<エリア6-4設定レジスタ>)

各エリアに接続するデバイスのサイズを選択します。

"1"書き込み: 8ビット

"0"書き込み: 16ビット

読み出し: 可能

デバイスサイズを2つのエリア単位に選択できます。

AxxSZに"1"を書き込むと8ビット、"0"を書き込むと16ビットに設定されます。

エリア6はエリアの前半(0x300000 ~ 0x37FFFF)が8ビットデバイス用、後半(0x380000 ~ 0x3FFFFFF)が16ビットデバイス用となっています。

コールドスタート時、これらのビットは"0"(16ビット)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A18DF1-A18DF0: エリア18-17出力ディセーブル遅延時間(D[D:C]/0x48120<エリア18-15設定レジスタ>)
A16DF1-A16DF0: エリア16-15出力ディセーブル遅延時間(D[5:4]/0x48120<エリア18-15設定レジスタ>)
A14DF1-A14DF0: エリア14-13出力ディセーブル遅延時間(D[5:4]/0x48122<エリア14-13設定レジスタ>)
A12DF1-A12DF0: エリア12-11出力ディセーブル遅延時間(D[5:4]/0x48124<エリア12-11設定レジスタ>)
A10DF1-A10DF0: エリア10-9出力ディセーブル遅延時間(D[5:4]/0x48126<エリア10-9設定レジスタ>)
A8DF1-A8DF0: エリア8-7出力ディセーブル遅延時間(D[5:4]/0x48128<エリア8-7設定レジスタ>)
A6DF1-A6DF0: エリア6出力ディセーブル遅延時間(D[D:C]/0x4812A<エリア6-4設定レジスタ>)
A5DF1-A5DF0: エリア5-4出力ディセーブル遅延時間(D[5:4]/0x4812A<エリア6-4設定レジスタ>)

出力ディセーブル遅延時間を設定します。

表4.23 出力ディセーブル遅延時間

AxxDF1	AxxDF0	遅延時間
1	1	3.5サイクル
1	0	2.5サイクル
0	1	1.5サイクル
0	0	0.5サイクル

出力ディセーブル時間の長いデバイスを使用する場合は、そのデバイスのリード直後のバスオペレーションでデータバス上の競合が発生しないように、遅延時間を設定します。

コールドスタート時、これらのビットは"11"(3.5サイクル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A18WT2-A18WT0: エリア18-17ウェイト制御(D[A:8]/0x48120<エリア18-15設定レジスタ>)
A16WT2-A16WT0: エリア16-15ウェイト制御(D[2:0]/0x48120<エリア18-15設定レジスタ>)
A14WT2-A14WT0: エリア14-13ウェイト制御(D[2:0]/0x48122<エリア14-13設定レジスタ>)
A12WT2-A12WT0: エリア12-11ウェイト制御(D[2:0]/0x48124<エリア12-11設定レジスタ>)
A10WT2-A10WT0: エリア10-9ウェイト制御(D[2:0]/0x48126<エリア10-9設定レジスタ>)
A8WT2-A8WT0: エリア8-7ウェイト制御(D[2:0]/0x48128<エリア8-7設定レジスタ>)
A6WT2-A6WT0: エリア6ウェイト制御(D[A:8]/0x4812A<エリア6-4設定レジスタ>)
A5WT2-A5WT0: エリア5-4ウェイト制御(D[2:0]/0x4812A<エリア6-4設定レジスタ>)

SRAMタイプのデバイスをアクセスする際のウェイトサイクル数を設定します。

ここに書き込む0~7の値が挿入されるウェイトサイクル数となります。

なお、ライトサイクルは最小サイクル数が2サイクルで、0または1の書き込みは無効です。

SRAMタイプのデバイスを接続した場合は#WAIT端子によるウェイトサイクルも挿入可能で、その場合もAxxWTによるウェイトサイクルは有効です。

DRAMのリード/ライトサイクルには、AxxWTまたは#WAIT端子によるウェイトサイクルは挿入されません。

バーストROMのバーストリード(最初のアクセスを除く)サイクルも同様に、ウェイトサイクルは挿入されません。バーストROMの最初のリードサイクルおよびバーストROM領域へのライトサイクルには、AxxWTで設定したウェイトサイクルが挿入されます。バーストROM領域へのライトサイクルの場合、#WAIT端子の設定も有効です。

コールドスタート時、これらのビットは"111"(7サイクル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A14DRA: エリア14 DRAM選択(D8/0x48122<エリア14-13設定レジスタ>)

A13DRA: エリア13 DRAM選択(D7/0x48122<エリア14-13設定レジスタ>)

A8DRA: エリア8 DRAM選択(D8/0x48128<エリア8-7設定レジスタ>)

A7DRA: エリア7 DRAM選択(D7/0x48128<エリア8-7設定レジスタ>)

DRAMダイレクトインタフェースを選択します。

"1"書き込み: DRAM使用

"0"書き込み: DRAM未使用

読み出し: 可能

本ICにDRAMを直結して使用する場合に"1"を書き込みます。"0"を書き込んだ場合は通常のSRAMタイプのインタフェースとなります。

DRAMを接続可能なエリアはCEFUNGが"0"の場合はエリア8と7、"1"の場合はエリア14と13です。

コールドスタート時、これらのビットは"0"(DRAM未使用)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A10IR2-A10IR0: エリア10内蔵ROMサイズ選択(D[D:B]/0x48126<エリア10-9設定レジスタ>)

エリア10の内蔵メモリ/エミュレーションメモリサイズを選択します。

表4.24 エリア10内蔵ROMサイズ

A10IR2	A10IR1	A10IR0	ROMサイズ
0	0	0	16KB
0	0	1	32KB
0	1	0	64KB
0	1	1	128KB
1	0	0	256KB
1	0	1	512KB
1	1	0	1MB
1	1	1	2MB

コールドスタート時、A10IRは"111"(2MB)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A10BW1-A10BW0: バーストリードサイクルウェイト制御(D[A:9]/0x48126<エリア10-9設定レジスタ>)

バーストリード時のウェイトサイクル数を設定します。

ここに書き込む0~3の値が挿入されるウェイトサイクル数となります。この設定内容はエリア10と9の両方に適用されます。バーストROMの最初のリードサイクルおよびバーストROM領域へのライトサイクルには、AxxWTで設定したウェイトサイクルが挿入されます。バーストROM領域へのライトサイクルの場合、#WAIT端子の設定も有効です。

コールドスタート時、A10BWは"0"(0サイクル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A10DRA: エリア10バーストロム選択(D8/0x48126<エリア10-9設定レジスタ>)

A9DRA: エリア9バーストロム選択(D7/0x48126<エリア10-9設定レジスタ>)

エリア10と9をバーストロム用に設定します。

"1"書き込み: バーストロム使用

"0"書き込み: バーストロム未使用

読み出し: 可能

バーストロムを使用する場合に"1"を書き込みます。"0"を書き込んだ場合は通常のSRAMタイプのインタフェースとなります。

エリア9はCEFUNCが"00"の場合にのみ使用可能です。

コールドスタート時、これらのビットは"0"(バーストロム未使用)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

RBCLK: BCLK出力制御(DF/0x4812E<バスコントロールレジスタ>)

バスクロックBCLKの外部出力を制御します。

"1"書き込み: High固定

"0"書き込み: 出力イネーブル

読み出し: 可能

BCLK端子のバスクロック出力を停止する場合に"1"を書き込みます。出力を停止すると、BCLK端子はHighレベルとなります。"0"を書き込むとBCLK端子はバスクロックを出力します。

BCLK端子のバスクロック出力は、HALT2モード時およびSLEEPモード時も停止します。

コールドスタート時、RBCLKは"0"(出力イネーブル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

RBST8: バーストモード選択(DD/0x4812E<バスコントロールレジスタ>)

バーストリード時の動作モードを設定します。

"1"書き込み: 8連続バーストモード

"0"書き込み: 4連続バーストモード

読み出し: 可能

RBST8に"1"を書き込むことにより8連続バーストモード、"0"の場合は4連続バーストモードに設定されます。この設定はエリア10、9をバーストロム用に設定した場合に有効で、両方のエリアに同時に適用されます。

コールドスタート時、RBST8は"0"(4連続バーストモード)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

REDO: ページモード選択(DC/0x4812E<バスコントロールレジスタ>)

DRAMのページモードを選択します。

"1"書き込み: EDOページモード

"0"書き込み: 高速ページモード

読み出し: 可能

EDOタイプのDRAMを使用する場合に"1"を書き込み、EDOページモードを設定します。

この設定内容はDRAMに対応したエリア14、13、8、7すべてに適用されます。

コールドスタート時、REDOは"0"(高速ページモード)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

RCA1-RCA0: カラムアドレスサイズ選択(D[B:A]/0x4812E<バスコントロールレジスタ>)

DRAMのカラムアドレスサイズを選択します。

表4.25 カラムアドレスサイズ

RCA1	RCA0	カラムアドレスサイズ
1	1	11
1	0	10
0	1	9
0	0	8

この設定内容はDRAMに対応したエリア14、13、8、7すべてに適用されます。

RCAは読み出しも可能です。コールドスタート時、RCAは"0"(8ビット)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

RPC2: リフレッシュイネーブル(D9/0x4812E<バスコントロールレジスタ>)

DRAMリフレッシュ機能を制御します。

"1"書き込み: イネーブル

"0"書き込み: ディセーブル

読み出し: 可能

DRAMを直結する場合、RPC2に"1"を書き込むことによりリフレッシュサイクルが生成されます。"0"を書き込んだ場合は内蔵のリフレッシュ機能が無効となります。

HALT2モードおよびSLEEPモード時はBCUが停止するため、この制御にかかわらずリフレッシュサイクルは生成されません。

この設定内容はDRAMに対応したエリア14、13、8、7すべてに適用されます。

コールドスタート時、RPC2は"0"(ディセーブル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

RPC1: リフレッシュ方式選択(D8/0x4812E<バスコントロールレジスタ>)

DRAMリフレッシュ方式を選択します。

"1"書き込み: セルフリフレッシュ

"0"書き込み: CASビフォアRASリフレッシュ

読み出し: 可能

CASビフォアRASリフレッシュを行う場合はRPC1を"0"に設定後、RPC2を"1"に設定します。これにより、8ビットプログラマブルタイマ0のアンダーフロー出力信号がDRAMインタフェースに入力され、その周期でリフレッシュサイクルを生成します。

セルフリフレッシュを開始するにはRPC1を"1"に設定後、RPC2を"1"に設定します。セルフリフレッシュを解除するには、RPC2に"0"を書き込みます。

この設定内容はDRAMに対応したエリア14、13、8、7すべてに適用されます。

コールドスタート時、RPC1は"0"(CASビフォアRASリフレッシュ)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

RPC0: リフレッシュRPCディレイ設定(D7/0x4812E<バスコントロールレジスタ>)

リフレッシュ開始時のRPCディレイを設定します。

"1"書き込み: 2サイクル

"0"書き込み: 1サイクル

読み出し: 可能

直前のプリチャージサイクルからリフレッシュのための#HCAS/#LCAS立ち下げまでの時間を設定します。RPC0が"1"の場合は2サイクル、"0"の場合は1サイクルです。

この設定内容はDRAMに対応したエリア14、13、8、7すべてに適用されます。

コールドスタート時、RPC0は"0"(1サイクル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

RRA1–RRA0: リフレッシュRASパルス幅選択(D[6:5]/0x4812E<バスコントロールレジスタ>)

CASピフォアRASリフレッシュサイクルのRASパルス幅を選択します。

表4.26 リフレッシュRASパルス幅

RRA1	RRA0	パルス幅
1	1	5サイクル
1	0	4サイクル
0	1	3サイクル
0	0	2サイクル

この設定内容はDRAMに対応したエリア14、13、8、7すべてに適用されます。

RRAは読み出しも可能です。

コールドスタート時、RRAは"0"(2サイクル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SBUSST: 外部インタフェース方式選択(D3/0x4812E<バスコントロールレジスタ>)

SRAMタイプデバイスのインタフェース方式を選択します。

"1"書き込み: #BSL方式

"0"書き込み: A0方式

読み出し: 可能

#BSL方式を使用する場合はSBUSSTに"1"を書き込みます。

この設定内容はSRAMタイプに設定したすべてのエリアに適用されます。

コールドスタート時、SBUSSTは"0"(A0方式)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SEMAS: 外部バスマスタ設定(D2/0x4812E<バスコントロールレジスタ>)

外部バスマスタが存在するかどうかを設定します。

"1"書き込み: 存在

"0"書き込み: なし

読み出し: 可能

SEMASに"1"を書き込むことにより、#BUSREQ端子によるバス権解放要求を受け付け可能な状態となります。外部にバスマスタを設けない場合は"0"に固定してください。

コールドスタート時、SEMASは"0"(なし)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SEPD: 外部パワーダウン制御(D1/0x4812E<バスコントロールレジスタ>)

外部バスマスタによるCPUのパワーダウン制御機能を有効に設定します。

"1"書き込み: 有効

"0"書き込み: 無効

読み出し: 可能

SEPDに"1"を書き込むことによって、外部端子(#BUSREQ)によるパワーダウン制御が有効となります。その状態で#BUSREQ端子をLowにするとCPUがHALT状態となり、消費電流を低減することができます。コールドスタート時、SEPDは"0"(無効)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SWAITE: #WAITイネーブル(D0/0x4812E<バスコントロールレジスタ>)

#WAIT端子によるウェイトサイクルの制御を許可/禁止します。

"1"書き込み: 許可
 "0"書き込み: 禁止
 読み出し: 可能

SWAITEに"1"を書き込むことにより、SRAMタイプのデバイスからのウェイト要求を受け付け可能な状態となります。#WAIT端子から入力されるウェイト要求信号は、SRAMタイプのリード/ライトサイクル実行時にバスクロックの各立ち上がりエッジでサンプリングされ、Highがサンプリングされるまでウェイトサイクルが挿入されます。

0~7サイクルまでのウェイト制御は、#WAIT端子を使用しなくてもAxxWTにより制御が可能です。ただし、AxxWTによる設定は2エリアごとのため、エリア個々にウェイトサイクル数を制御したい場合や、7サイクル以上のウェイトサイクルが必要な場合は、外部ウェイト要求で対応してください。

SWAITEが"0"の場合、#WAIT端子からのウェイト要求は無視されます。

この設定内容はSRAMタイプに設定したすべてのエリアに適用されます。また、バーストROMに設定したエリアのライトサイクルに対して有効です。

コールドスタート時、SWAITEは"0"(禁止)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A3EEN: エリア3エミュレーション(DB/0x48130<DRAMタイミング設定レジスタ>)

エリア3エミュレーションモードを設定します。

"1"書き込み: 内蔵ROMモード
 "0"書き込み: エミュレーションモード
 読み出し: 可能

A3EENに"0"を書き込むとエリア3は内蔵ROMエミュレーションモードに設定され、内蔵ROMと同じ条件で外部デバイスがアクセスされます。

A3EENが"1"の場合、エリア3は内蔵ROMがアクセスされます。

このビットはビットの内容と端子の状態の論理和によりモードが決定します。

コールドスタート時、A3EENは"1"(内蔵ROMモード)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

CEFUNC1-CEFUNC0: #CE端子機能選択(D[A:9]/0x48130<DRAMタイミング設定レジスタ>)

#CE端子の割り付けエリアを変更します。

表4.27 #CE出力の切り換え

端子	CEFUNC = "00"	CEFUNC = "01"	CEFUNC = "1x"
#CE4	#CE4	#CE11	#CE11+#CE12
#CE5	#CE5	#CE15	#CE15+#CE16
#CE6	#CE6	#CE6	#CE7+#CE8
#CE7/#RAS0	#CE7/#RAS0	#CE13/#RAS2	#CE13/#RAS2
#CE8/#RAS1	#CE8/#RAS1	#CE14/#RAS3	#CE14/#RAS3
#CE9	#CE9	#CE17	#CE17+#CE18
#CE10EX	#CE10EX	#CE10EX	#CE9+#CE10EX

(デフォルト: CEFUNC = "00")

CEFUNCに"01"を書き込むことで使用可能となる上位のエリアは、デフォルトの下位エリアに比べエリアサイズを大きく取ることができます。たとえば、デフォルト設定でDRAMを使用する場合、エリア7と8で4Mバイトまでとなりますが、エリア13と14を使用すると最大32MバイトのDRAMが使用可能となります。他のエリアも同様です。また、CEFUNCを"10"または"11"に設定すると、4本のチップイネーブル信号が、それぞれ2エリアに対応するように拡張されます。

コールドスタート時、CEFUNCは"00"に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

CRAS: 連続RASモード設定(D8/0x48130<DRAMタイミング設定レジスタ>)

連続RASモードを設定します。

"1"書き込み: 連続RASモード

"0"書き込み: 通常モード

読み出し: 可能

DRAMを使用するシステムにおいてCRASに"1"を書き込むと連続RASモードに設定され、DRAMアクセスが連続しない場合でもページモードによるリード/ライトが可能になります。連続RASモードを使用する場合は、必ずリード信号に#DRD、下位バイト用のライト信号に#DWEを使用してください。

CRASが"0"の場合、連続しないDRAMアクセスはランダムリード/ライトサイクルとなります。

この設定内容はDRAMに対応したエリア14、13、8、7すべてに適用されます。

コールドスタート時、CRASは"0"(通常モード)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

RPRC1–RPRC0: RASプリチャージサイクル数選択(D[7:6]/0x48130<DRAMタイミング設定レジスタ>)

DRAMアクセス時のプリチャージサイクル数を選択します。

表4.28 RASプリチャージサイクル数

RPRC1	RPRC0	サイクル数
1	1	4サイクル
1	0	3サイクル
0	1	2サイクル
0	0	1サイクル

この設定内容はDRAMに対応したエリア14、13、8、7すべてに適用されます。

コールドスタート時、RPRCは"0"(1サイクル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

CASC1–CASC0: CASサイクル数選択(D[4:3]/0x48130<DRAMタイミング設定レジスタ>)

DRAMアクセス時のCASサイクル数を選択します。

表4.29 CASサイクル数

CASC1	CASC0	CASサイクル数
1	1	4サイクル
1	0	3サイクル
0	1	2サイクル
0	0	1サイクル

この設定内容はDRAMに対応したエリア14、13、8、7すべてに適用されます。

コールドスタート時、CASCは"0"(1サイクル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

RASC1–RASC0: RASサイクル数選択(D[1:0]/0x48130<DRAMタイミング設定レジスタ>)

DRAMアクセス時のRASサイクル数を選択します。

表4.30 RASサイクル数

RASC1	RASC0	RASサイクル数
1	1	4サイクル
1	0	3サイクル
0	1	2サイクル
0	0	1サイクル

この設定内容はDRAMに対応したエリア14、13、8、7すべてに適用されます。

コールドスタート時、RASCは"0"(1サイクル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A18IO: エリア18-17外部/内部アクセス選択(DF/0x48132<アクセス制御レジスタ>)
A16IO: エリア16-15外部/内部アクセス選択(DE/0x48132<アクセス制御レジスタ>)
A14IO: エリア14-13外部/内部アクセス選択(DD/0x48132<アクセス制御レジスタ>)
A12IO: エリア12-11外部/内部アクセス選択(DC/0x48132<アクセス制御レジスタ>)
A8IO: エリア8-7外部/内部アクセス選択(DA/0x48132<アクセス制御レジスタ>)
A6IO: エリア6外部/内部アクセス選択(D9/0x48132<アクセス制御レジスタ>)
A5IO: エリア5-4外部/内部アクセス選択(D8/0x48132<アクセス制御レジスタ>)

各エリアを内部アクセスするか外部アクセスするか選択します。

"1"書き込み: 内部アクセス

"0"書き込み: 外部アクセス

読み出し: 可能

AxxIOを"1"に設定すると、対応するエリアに割り付けられている内蔵デバイスがアクセスされます。

AxxIOを"0"に設定すると、外部デバイスがアクセスされます。

コールドスタート時、これらのビットは"0"(外部アクセス)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A18EC: エリア18-17リトル/ビッグエンディアン形式選択(D7/0x48132<アクセス制御レジスタ>)
A16EC: エリア16-15リトル/ビッグエンディアン形式選択(D6/0x48132<アクセス制御レジスタ>)
A14EC: エリア14-13リトル/ビッグエンディアン形式選択(D5/0x48132<アクセス制御レジスタ>)
A12EC: エリア12-11リトル/ビッグエンディアン形式選択(D4/0x48132<アクセス制御レジスタ>)
A10EC: エリア10-9リトル/ビッグエンディアン形式選択(D3/0x48132<アクセス制御レジスタ>)
A8EC: エリア8-7リトル/ビッグエンディアン形式選択(D2/0x48132<アクセス制御レジスタ>)
A6EC: エリア6リトル/ビッグエンディアン形式選択(D1/0x48132<アクセス制御レジスタ>)
A5EC: エリア5-4リトル/ビッグエンディアン形式選択(D0/0x48132<アクセス制御レジスタ>)

各エリアのアクセス形式(リトルエンディアンまたはビッグエンディアン)を選択します。

"1"書き込み: ビッグエンディアン

"0"書き込み: リトルエンディアン

読み出し: 可能

AxxECを"1"に設定すると、対応するエリアはビッグエンディアン形式でアクセスされます。AxxECを"0"に設定すると、リトルエンディアン形式でアクセスされます。エリア10からブートする場合は、A10ECを"0"(リトルエンディアン)に固定してください。

コールドスタート時、これらのビットは"0"(リトルエンディアン)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A18AS: エリア18-17アドレスストローブ信号(DF/0x48138<G/Aリード信号制御レジスタ>)
A16AS: エリア16-15アドレスストローブ信号(DE/0x48138<G/Aリード信号制御レジスタ>)
A14AS: エリア14-13アドレスストローブ信号(DD/0x48138<G/Aリード信号制御レジスタ>)
A12AS: エリア12-11アドレスストローブ信号(DC/0x48138<G/Aリード信号制御レジスタ>)
A8AS: エリア8-7アドレスストローブ信号(DA/0x48138<G/Aリード信号制御レジスタ>)
A6AS: エリア6アドレスストローブ信号(D9/0x48138<G/Aリード信号制御レジスタ>)
A5AS: エリア5-4アドレスストローブ信号(D8/0x48138<G/Aリード信号制御レジスタ>)

エリア専用のアドレスストローブ信号出力をイネーブル/ディセーブルに設定します。

"1"書き込み: イネーブル

"0"書き込み: ディセーブル

読み出し: 可能

AxxASを"1"に設定すると、対応するエリアのアクセス時にエリア専用のアドレスストローブ信号が#GAAS(P21)端子から出力されます。AxxASを"0"に設定すると、信号は出力されません。

コールドスタート時、これらのビットは"0"(ディセーブル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

A18RD: エリア18-17リード信号(D7/0x48138<G/Aリード信号制御レジスタ>)
A16RD: エリア16-15リード信号(D6/0x48138<G/Aリード信号制御レジスタ>)
A14RD: エリア14-13リード信号(D5/0x48138<G/Aリード信号制御レジスタ>)
A12RD: エリア12-11リード信号(D4/0x48138<G/Aリード信号制御レジスタ>)
A8RD: エリア8-7リード信号(D2/0x48138<G/Aリード信号制御レジスタ>)
A6RD: エリア6リード信号(D1/0x48138<G/Aリード信号制御レジスタ>)
A5RD: エリア5-4リード信号(D0/0x48138<G/Aリード信号制御レジスタ>)

エリア専用のリード信号出力をイネーブル/ディセーブルに設定します。

"1"書き込み: イネーブル

"0"書き込み: ディセーブル

読み出し: 可能

AxxRDを"1"に設定すると、対応するエリアの読み出し時にエリア専用のリード信号が#GARD(P31)端子から出力されます。AxxRDを"0"に設定すると、信号は出力されません。

コールドスタート時、これらのビットは"0"(ディセーブル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

BCLKSEL1-BCLKSEL0: BCLK出力クロック選択 (D[1:0]/0x4813A<BCLK選択レジスタ>)

BCLK端子から出力するクロックを選択します。

表4.31 BCLK出力クロックの選択

BCLKSEL1	BCLKSEL0	出力クロック
1	1	PLL_CLK (PLL出力クロック)
1	0	OSC3_CLK (OSC3発振クロック)
0	1	BCU_CLK (BCU動作クロック)
0	0	CPU_CLK (CPU動作クロック)

PLL_CLK: PLLの出力クロックです。安定したクロックが出力されます。PLLが停止しない限りは、クロックが出力されます。PLLは以下の場合に停止します。

1. PLLS[1:0]端子でPLLをOFFにした場合
 2. SLP命令を実行してOSC3(高速)発振を停止させた場合
 3. CLGのレジスタでOSC3(高速)発振を停止させた場合
- なお、位相はCPU動作クロックとは、ずれています。

OSC3_CLK: OSC3(高速)発振回路の出力クロックです。安定したクロックが出力されます。OSC3(高速)発振回路が停止しない限りは、クロックが出力されます。OSC3(高速)発振回路は以下の場合に停止します。

1. SLP命令を実行した場合
 2. CLGのレジスタで発振を停止させた場合
- なお、位相はCPU動作クロックとは、ずれています。

BCU_CLK: バスコントローラのバスクロックです。バスサイクルの速度に応じたクロック信号が出力されます。x2スピードモードを設定した場合、クロック周波数はダイナミックに変化します。

1. 内蔵RAM/内蔵ROMアクセス時はx2のクロック(CPU動作クロックと同じ、たとえば50MHz)が出力されます。
 2. 外部バスアクセス時はx1のクロック(たとえば25MHz)が出力されます。
- クロックはダイナミックに、たとえば50MHzと25MHzで変化しますが、外部メモリをアクセスしたときは、25MHzのバスクロックの立ち上がり、立ち下がり位置と、たとえば#WRの立ち下がり位置の関係は一定です。(25MHz、x1スピードモード時の位相関係と同じになります。)

CPU_CLK: CPUの動作クロックです。出力クロックの周波数は次のようになります。

1. PLLがONのときは、PLLの出力クロックの周波数となります。
 2. PLLがOFFのときは、OSC3(高速)発振回路の出力クロックの周波数となります。
 3. ただし、CLGでCPUのクロック周波数を分周するように設定している場合は、分周後の周波数となります。
 4. HALT命令またはSLP命令でCPUが停止した場合は、このクロックも停止します。
- このクロックはバスクロックとほぼ同位相の波形となります。

イニシャルリセット時、BCLKSELは"0"(CPU_CLK)に設定されます。

A1X1MD: エリア1アクセス速度 (D3/0x4813A<BCLK選択レジスタ>)

x2スピードモード時のエリア1のアクセス速度を選択します。

"1"書き込み: 2サイクル

"0"書き込み: 4サイクル

読み出し: 可能

x2スピードモード(#X2SPD端子=L)に設定されている場合、A1X1MDに"1"を書き込むとエリア1がCPUシステムクロックの2サイクルでリード/ライトされます。A1X1MDが"0"の場合は4サイクルでリード/ライトされます。

x1スピードモード(#X2SPD端子=H)の場合は、A1X1MDの設定にかかわらず2サイクルに固定です。コールドスタート時、A1X1MDは"0"(4サイクル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

このページはブランクです。

II-5 ITC(割り込みコントローラ)

C33コアブロックには割り込みコントローラが内蔵されており、内蔵周辺回路が発生するすべての割り込みを制御します。この章では、マスク可能な割り込みの制御方法を中心に、割り込みコントローラの機能を説明します。個別の割り込み要因の詳細と発生条件等については、各周辺回路の説明を参照してください。

割り込み機能概要

マスク可能な割り込み

ITCは表5.1に示す39種類のマスク可能な割り込みが用意されています。

表5.1 マスク可能割り込み一覧

No.	Hex No.	ベクタ番号 (Hexアドレス)	割り込み系列 (周辺回路)	割り込み要因	優先 順位
1	10	16(Base+40)	ポート入力割り込み0	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	高い
2	11	17(Base+44)	ポート入力割り込み1	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	
3	12	18(Base+48)	ポート入力割り込み2	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	
4	13	19(Base+4C)	ポート入力割り込み3	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	
5	14	20(Base+50)	キー入力割り込み0	入力立ち下がりまたは立ち上がりエッジ	
6	15	21(Base+54)	キー入力割り込み1	入力立ち下がりまたは立ち上がりエッジ	
—	—	22~29	reserved	—	
12	1E	30(Base+78)	16ビットプログラマブル タイマ0	タイマ0コンペアB	
13	1F	31(Base+7C)	タイマ0	タイマ0コンペアA	
—	—	32~33	reserved	—	
14	22	34(Base+88)	16ビットプログラマブル タイマ1	タイマ1コンペアB	
15	23	35(Base+8C)	タイマ1	タイマ1コンペアA	
—	—	36~37	reserved	—	
16	26	38(Base+98)	16ビットプログラマブル タイマ2	タイマ2コンペアB	
17	27	39(Base+9C)	タイマ2	タイマ2コンペアA	
—	—	40~41	reserved	—	
18	2A	42(Base+A8)	16ビットプログラマブル タイマ3	タイマ3コンペアB	
19	2B	43(Base+AC)	タイマ3	タイマ3コンペアA	
—	—	44~45	reserved	—	
20	2E	46(Base+B8)	16ビットプログラマブル タイマ4	タイマ4コンペアB	
21	2F	47(Base+BC)	タイマ4	タイマ4コンペアA	
—	—	48~49	reserved	—	
22	32	50(Base+C8)	16ビットプログラマブル タイマ5	タイマ5コンペアB	
23	33	51(Base+CC)	タイマ5	タイマ5コンペアA	
24	34	52(Base+D0)	8ビットプログラマブル タイマ	タイマ0アンダーフロー	
25	35	53(Base+D4)		タイマ1アンダーフロー	
26	36	54(Base+D8)		タイマ2アンダーフロー	
27	37	55(Base+DC)		タイマ3アンダーフロー	
28	38	56(Base+E0)	シリアルインタフェース Ch.0	受信エラー	
29	39	57(Base+E4)		受信バッファフル	
30	3A	58(Base+E8)		送信バッファエンプティ	
—	—	59		reserved	
31	3C	60(Base+F0)	シリアルインタフェース Ch.1	受信エラー	
32	3D	61(Base+F4)		受信バッファフル	
33	3E	62(Base+F8)		送信バッファエンプティ	
—	—	63~64		reserved	
35	41	65(Base+104)	計時タイマ	32Hz, 8Hz, 2Hz, 1Hz信号立ち下がりエッジ 1分, 1時間, 指定時間カウント	
—	—	66~67	reserved	—	
36	44	68(Base+110)	ポート入力割り込み4	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	
37	45	69(Base+114)	ポート入力割り込み5	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	
38	46	70(Base+118)	ポート入力割り込み6	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	
39	47	71(Base+11C)	ポート入力割り込み7	入力エッジ(立ち下がり/立ち上がり)またはレベル(High/Low)	低い

表の内容

[Hex No.]は割り込み番号を16進数で示します。

[ベクタ番号(アドレス)]はトラップテーブルのベクタ番号で、()内はトラップテーブル先頭アドレス(Base)からのオフセット(バイト数)を示します。トラップテーブル先頭アドレス(Base)はデフォルトでブートアドレスとなりますので、イニシャルリセット時は0xC00000となります。このアドレスは、TTBRレジスタ(0x48134~0x48137)で変更することも可能です。

例外要因等も含むトラップテーブルの内容については、"S1C33000 Core CPU Manual"を参照してください。

[割り込み系列(周辺回路)]は、記述された周辺回路ごとに割り込みレベルがプログラムできることを示します。

[割り込み要因]は、各割り込み系列内で発生する割り込み要因の種類を示します。

[優先順位]は、すべての割り込み系列が同じ割り込みレベルに設定されている場合の優先順位を示します。複数の割り込み要因が同時に発生した場合は、優先順位の高いものから受け付けられます。各割り込み系列に設定する割り込みレベルによって、優先順位は変わります。ただし、同一割り込み系列内の割り込み要因については記述された順序に固定です。

マスク可能な割り込みの発生条件

CPUに対するマスク可能な割り込みは、以下のすべての条件が成立している場合に発生します。

- 発生した割り込み要因に対応する割り込みイネーブルレジスタのビットが"1"にセットされている。
- PSR(CPU内のプロセッサステータスレジスタ)のIE(割り込みイネーブル)ビットが"1"にセットされている。
- 発生した割り込み要因が、PSRのIL(割り込みレベル)に設定されている値よりも高い割り込みレベルに設定されている。(割り込みレベルは各割り込み系列の割り込みプライオリティレジスタで設定可能です。)
- NMIなど、他の優先順位の高いトラップ要因が発生していない。

割り込み要因が発生すると対応する割り込み要因フラグが"1"にセットされ、プログラムでリセットするまではその状態を保持します。したがって、割り込み要因の発生時点で上記の条件が満たされていない場合でも発生した割り込み要因がクリアされることはありません。上記の条件が満たされた時点で割り込みが発生します。

同時に複数のマスク可能な割り込み要因が発生した場合は、その中で最もレベルの高い割り込み要因がその時点でのCPUへの割り込み要求の対象となります。レベルの低い割り込みは、その後、上記の条件が成立するまで保留されます。

PSRおよび割り込み制御レジスタの詳細は後述します。

各割り込み要因の発生条件については、各周辺回路の説明を参照してください。

NMI (ノンマスクابل割り込み)

#NMI端子へのLowレベル入力または内蔵のウォッチドッグタイマにより、NMI(ノンマスクابل割り込み)を発生させることができます。NMIのベクタ番号は7で、ベクタアドレスはトラップテーブル先頭アドレス+28(バイト)に設定されています。

この割り込みは他の割り込み要因に優先して、無条件にCPUに受け付けられます。

ただし、SP(スタックポインタ)設定前に発生すると誤動作するため、イニシャルリセット後はSPに対して書き込みが行われるまでハードウェアによってマスクされるようになっています。

CPUの割り込み処理

CPUは毎サイクル、割り込み要求のサンプリングを行っています。CPUは割り込み要求を受け付けるとその時点の命令の実行終了後、トラップ処理に移行します。

トラップ処理で実行される内容は以下のとおりです。

- (1) PSRおよび現在のPC(プログラムカウンタ)値をスタックに退避
- (2) PSRのIEビットを"0"にリセット(以降のマスク可能な割り込みを禁止)
- (3) PSRのILを受け付けた割り込みのレベルにセット(NMIは割り込みレベルを変更しない)
- (4) 発生した割り込み要因のベクタをPCにロードして割り込み処理ルーチンを実行

したがって、割り込みを受け付けると、(2)によって以降のマスク可能な割り込みは禁止されます。割り込み処理ルーチン内でIEビットを"1"にセットすることで、多重割り込みにも対応できます。その場合、(3)によってILが変更されていますので、現在処理中の割り込みより高いレベルの割り込みのみが受け付けられます。

割り込み処理ルーチンをreti命令で終了すると、PSRが割り込み発生前の状態に戻ります。プログラムは割り込み発生時に実行していた命令の次の命令に分岐して処理を再開します。

割り込みによるスタンバイモードの解除

スタンバイモード(HALT、SLEEP)は、NMIまたはマスク可能な割り込みによって解除されます。

HALTモードの解除にはすべてのマスク可能な割り込みを使用することができます。

SLEEPモードでは高速(OSC3)発振回路が停止するため、OSC3クロックを原振とする周辺回路の割り込みは使用できません。

HALT基本モードを解除可能な割り込み: NMIおよびすべてのマスク可能な割り込み

HALT2モードを解除可能な割り込み: NMIおよびすべてのマスク可能な割り込み

SLEEPモードを解除可能な割り込み: NMI、入力ポート割り込み、計時タイマ割り込み

スタンバイモードの解除はCPUへの割り込み要求によって行われます。したがって、PSRがその割り込みを受け付け可能な状態に設定され、割り込み要因に対応した割り込みイネーブルレジスタのビットが割り込み許可に設定されていることが必要です。

スタンバイモードが解除されCPUがその割り込みを受け付けた場合は、割り込み処理ルーチンを実行後にhaltまたはslp命令の次の命令に戻ります。

トラップテーブル

割り込みベクタを書き込んでおくトラップテーブルのベース(先頭)アドレスは、TTBRレジスタによって設定することができます。

TTBR0(TTBR下位レジスタ0x48134•D[9:0]): トラップテーブルベースアドレス[9:0] ("0"に固定)

TTBR1(TTBR下位レジスタ0x48134•D[F:A]): トラップテーブルベースアドレス[15:10]

TTBR2(TTBR上位レジスタ0x48136•D[B:0]): トラップテーブルベースアドレス[27:16]

TTBR3(TTBR上位レジスタ0x48136•D[F:C]): トラップテーブルベースアドレス[31:28] ("0"に固定)

イニシャルリセット後、TTBRレジスタは0x0C00000番地に設定されます。

したがって、トラップテーブルの位置を変更する場合でも、リセットベクタのみは上記のアドレスに書き込んでおく必要があります。

TTBR0とTTBR3は読み出し専用で"0"に固定されます。このため、トラップテーブルの先頭アドレスは常に1KB境界アドレスから始まります。

なお、TTBRレジスタは誤って書き換えられることのないように、通常は書き込み禁止状態に置かれ、この書き込み保護機能を解除するためにTTBRレジスタ書き込み保護レジスタTBRP(D[7:0]/0x4812D[Byte])が用意されています。TBRPレジスタに0x59を書き込むとTTBRレジスタへの書き込みが許可され、TTBRレジスタの最上位バイト(0x48137)への書き込みにより書き込み禁止状態に戻ります。したがって、TTBRレジスタへの書き込みは下位ハーフワードから先に行う必要があります。ただし、下位と上位ハーフワードの書き込みの間にNMI等が発生すると誤動作しますので、ワード書き込みを推奨します。

マスク可能な割り込みの制御

割り込みコントローラの構成

割り込みコントローラは図5.1のように構成されています。

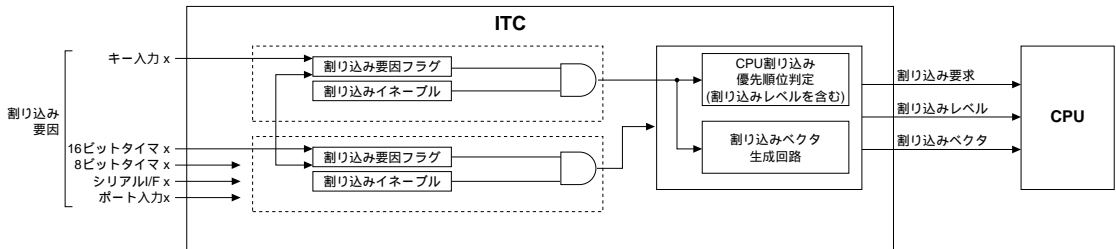


図5.1 割り込みコントローラの構成

以下、割り込みの制御に使用するレジスタの機能について説明します。

PSR (プロセッサステータスレジスタ)

PSRはコアCPU内の特殊レジスタで、CPUに対する割り込み要求を許可/禁止する制御ビットを含んでいます。

IE(割り込みイネーブル)ビット ...PSR[4]

このビットにより、CPUへの割り込み要求を許可あるいは禁止します。IEビットを"1"にセットすると、CPUはマスク可能な割り込み要求を受け付け可能な状態になります。"0"にリセットすると、マスク可能な割り込み要求はCPUに受け付けられません。

CPUは割り込み要求を受け付けると(あるいは他のトラップが発生すると)、PSRをスタックに退避後にIEビットを"0"にリセットします。したがって、以降はIEビットをプログラムで"1"にセットするか、割り込み(トラップ)処理ルーチンをret命令で終了するまで、マスク可能な割り込みは受け付けられません。

IEビットはイニシャルリセットにより"0"(割り込み禁止)に初期化されます。

IL(割り込みレベル) ...PSR[11:8]

ILはその中に設定された割り込みレベル以下の割り込みを禁止します。たとえば、ILに3が設定されていると、割り込みプライオリティレジスタ(後述)が3以下に設定されている割り込みは、IEビットが"1"にセットされている場合でもCPUには受け付けられません。ILと割り込みプライオリティレジスタの設定により割り込みの優先順位を、割り込み系列ごとに制御することができます。割り込みレベルの詳細については、「割り込みプライオリティレジスタと割り込みレベル」を参照してください。

CPUはマスク可能な割り込み要求を受け付けると、PSRをスタックに退避後にILをその割り込みのレベルに設定します。したがって、割り込み処理ルーチンの中でIEビットを"1"にセットしても、ILを書き換えないかぎり現在処理中の割り込みと同じレベルまたはそれ以下のレベルの割り込みは禁止されます。

割り込み処理ルーチンをret命令で終了すると、ILは割り込み発生前の状態に戻ります。

マスク可能な割り込み以外のトラップ(リセットを除く)では、ILは書き換えられません。
ILはイニシャルリセットによりレベル0(レベル1以上の割り込みを許可)に設定されます。

注: S1C33000コアCPUの機能としては、ILによって割り込みレベルを0～15の16種類に設定可能です。
ただし、本割り込みコントローラでは割り込みプライオリティレジスタが3ビットのため、各割り込み系列の割り込みレベルを8以上に設定することはできません。

割り込み要因フラグと割り込みイネーブルレジスタ

各マスク可能な割り込み要因には、割り込み要因フラグと割り込みイネーブルレジスタが用意されています。

割り込み要因フラグ

割り込み要因フラグは、対応する割り込み要因が発生すると"1"にセットされます。CPUのトラップ処理によらず、このフラグを読み出すことによっても割り込み要因の発生を知ることができます。割り込み要因フラグは、ソフトウェアによるデータ書き込みによってのみリセットされます。なお、割り込み要因フラグのリセット方式を、以下に示す2種類からソフトウェアで選択できるようになっています。選択はフラグセット/リセット方式選択レジスタ(0x4029F)のRSTONLY(D0)で行います。

- リセットオンリー方式 (デフォルト)

イニシャルリセット時は、この方式(RSTONLY = "1")に設定されます。

リセットオンリー方式の場合、割り込み要因フラグは"1"を書き込むことでリセットされます。

割り込み要因フラグレジスタの同一アドレス内には複数の割り込み要因フラグが割り付けられていますが、"0"を書き込んだ要因フラグはセットもリセットもされません。したがって、特定の要因フラグのみを確実にリセットできます。

ただし、リード・モディファイ・ライト命令(bset, bclr, bnot)を使用したり、または命令の組み合わせでリード・モディファイ・ライトを行うと、非同期に発生する"1"にセットされた割り込み要因フラグが書き込み時にリセットされますので注意してください。

この方式では、ソフトウェアで割り込み要因フラグをセットすることはできません。

- リード/ライト方式

この方式はRSTONLYに"0"を書き込むことにより設定されます。

リード/ライト方式の場合、割り込み要因フラグは他のレジスタと同様に読み出し/書き込みが許可されます。したがって、"0"を書き込むとリセットされ、"1"を書き込むとセットされます。この場合、"0"を書き込んだ要因フラグがすべてリセットされてしまいます。リード・モディファイ・ライトを行う場合でも、読み出しと書き込みの間に割り込み要因が発生する可能性がありますので注意してください。

イニシャルリセット時、割り込み要因フラグは初期化されないため、割り込みを許可する前に必ずリセットしてください。

注: マスク可能な割り込み要求がCPUに受け付けられ、割り込み処理ルーチンに分岐しても、割り込み要因フラグはリセットされません。プログラムで割り込み要因フラグをリセットせずにret命令で割り込み処理ルーチンからリターンすると、再度同一の割り込みが発生しますので注意してください。

割り込み要因の発生条件については、各周辺回路の説明を参照してください。

割り込みイネーブルレジスタ

割り込みイネーブルレジスタは、CPUに対する割り込み要求の出力を制御します。割り込みイネーブルレジスタのビットを"1"に設定した場合にのみ、対応する割り込み要因の発生によりCPUに対する割り込み要求が可能となります。"0"に設定されている場合は、対応する割り込み要因が発生してもCPUへの割り込み要求は行われません。

割り込みイネーブルビットは他のレジスタと同様に読み出し/書き込みが許可されます。したがって、"0"を書き込むとリセットされ、"1"を書き込むとセットされます。また、読み出すことで、いつでも設定状態が確認できます。

なお、この設定は割り込み要因フラグの動作には影響を与えませんので、割り込みイネーブルレジスタのビットが"0"の場合でも割り込み要因フラグは割り込み要因の発生によって"1"にセットされます。

イニシャルリセット時、割り込みイネーブルレジスタは"0"(割り込み禁止)に設定されます。

スタンバイモード(HALT、SLEEP)を解除する場合も、対応する割り込みイネーブルレジスタのビットを"1"に設定しておくことが必要です。

割り込みコントローラは、以下の条件が成立すると、CPUに対して割り込み要求を出力します。

- ・ 割り込み要因の発生により割り込み要因フラグが"1"にセットされた
- ・ 発生した割り込み要因に対応した割り込みイネーブルレジスタのビットが"1"(割り込み許可)に設定されている

同時に複数の割り込みが発生した場合は、その中で最も優先順位の高い割り込み要因を割り込み要求の対象とします(次節参照)。

条件が成立すると、割り込みコントローラはCPUに対して割り込み要求信号、発生した割り込みの系列に対応した割り込みプライオリティレジスタの設定内容(割り込みレベル)、およびそのベクタ番号を出力します。

これらの信号は、割り込み要因フラグが"0"にリセットされるか、割り込みイネーブルレジスタのビットが"0"(割り込み禁止)に設定されるまで、あるいは他の優先順位の高い割り込み要因が発生するまで保持されます。CPUが割り込み要求を受け付けても解除されません。

割り込みプライオリティレジスタと割り込みレベル

割り込みプライオリティレジスタは、割り込み系列ごとに用意された3ビットのレジスタで、対応する割り込み系列の割り込みレベルを0~7に設定できます。この設定により、表5.1に示したデフォルトの優先順位をシステムに合わせて変更することができます。

割り込みプライオリティレジスタに設定された値は、割り込みコントローラとCPUでそれぞれ以下のように利用されます。

割り込みコントローラにおける割り込みプライオリティレジスタの役割

割り込みイネーブルレジスタによって割り込みが許可されている複数の割り込み要因が同時に発生した場合、割り込みコントローラは其中で最も大きな数値が書き込まれた割り込みプライオリティレジスタを持つ割り込み系列内の割り込み要因を割り込み要求の対象とします。

同一レベルの複数の割り込み系列に割り込み要因が発生した場合は、表5.1に示したデフォルトの優先順位に従います。同じ割り込み系列内の割り込み要因も表5.1の順序で処理されます。

それ以外に発生している割り込み要因は、それよりも優先順位の高い割り込みがCPUに受け付けられるまで保留されます。

割り込みコントローラは、CPUへの割り込み要求信号を出力する際、割り込みプライオリティレジスタの内容もCPUに対して出力します。

割り込みコントローラは、割り込み要求を出力中にそれよりも優先順位の高い割り込み要因が発生すると、ベクタ番号と割り込みレベルの出力を新たな割り込み要因に対応させて変更します。それまでの割り込み要求については保留されます。

CPUの処理における割り込みプライオリティレジスタの役割

CPUは割り込みコントローラから出力された割り込みプライオリティレジスタの内容と、PSR内のILに設定された割り込みレベルを比較して、その割り込み要求を受け付けるかどうかを決定します。

IEビット="1" & IL < 割り込みプライオリティレジスタ: 割り込み要求を受け付ける

IEビット="1" & IL ≥ 割り込みプライオリティレジスタ: 割り込み要求を受け付けない

割り込みレベルによって割り込みを制御するには、ILに割り込みを禁止するレベルを書き込んでください。たとえば、ILに3を書き込むと、割り込みプライオリティレジスタに4以上の値が書き込まれた割り込みのみを受け付けます。

割り込みを受け付けると、その割り込みプライオリティレジスタに設定された割り込みレベルをILに設定します。それ以降、そのレベル以下の割り込み要求は受け付け禁止状態となります。

割り込みプライオリティレジスタに"0"を設定した場合、その割り込みは禁止されます。

- 注:
- ・ S1C33000コアCPUの機能としては、ILによって割り込みレベルを0~15の16種類に設定可能です。ただし、本割り込みコントローラでは割り込みプライオリティレジスタが3ビットのため、各割り込み系列の割り込みレベルを8以上に設定することはできません。
 - ・ 割り込み処理ルーチン内でILの割り込みレベルの書き換えにより、多重割り込みにも対応可能です。ただし、割り込み発生後、割り込み要因フラグをリセットする前にILの割り込みレベルを現在のレベルよりも低く設定し、IEをセットして割り込みを許可すると、再度同一の割り込みが発生してしまいますので注意してください。

割り込みコントローラのI/Oメモリ

表5.2に割り込みコントローラの制御ビットを示します。

表5.2 割り込みコントローラの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
ポート入力 割り込み0/1 プライオリティ レジスタ	0040260 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP1L2	ポート入力1	0 ~ 7	X	R/W	
		D5	PP1L1	割り込みレベル		X		
		D4	PP1L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP0L2	ポート入力0	0 ~ 7	X	R/W	
		D1	PP0L1	割り込みレベル		X		
		D0	PP0L0			X		
ポート入力 割り込み2/3 プライオリティ レジスタ	0040261 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP3L2	ポート入力3	0 ~ 7	X	R/W	
		D5	PP3L1	割り込みレベル		X		
		D4	PP3L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP2L2	ポート入力2	0 ~ 7	X	R/W	
		D1	PP2L1	割り込みレベル		X		
		D0	PP2L0			X		
キー入力割り込 みプライオリテ ィレジスタ	0040262 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PK1L2	キー入力1	0 ~ 7	X	R/W	
		D5	PK1L1	割り込みレベル		X		
		D4	PK1L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PK0L2	キー入力0	0 ~ 7	X	R/W	
		D1	PK0L1	割り込みレベル		X		
		D0	PK0L0			X		
16bitタイマ0/1 割り込み プライオリティ レジスタ	0040266 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	P16T12	16bitタイマ1	0 ~ 7	X	R/W	
		D5	P16T11	割り込みレベル		X		
		D4	P16T10			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	P16T02	16bitタイマ0	0 ~ 7	X	R/W	
		D1	P16T01	割り込みレベル		X		
		D0	P16T00			X		
16bitタイマ2/3 割り込み プライオリティ レジスタ	0040267 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	P16T32	16bitタイマ3	0 ~ 7	X	R/W	
		D5	P16T31	割り込みレベル		X		
		D4	P16T30			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	P16T22	16bitタイマ2	0 ~ 7	X	R/W	
		D1	P16T21	割り込みレベル		X		
		D0	P16T20			X		
16bitタイマ4/5 割り込み プライオリティ レジスタ	0040268 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	P16T52	16bitタイマ5	0 ~ 7	X	R/W	
		D5	P16T51	割り込みレベル		X		
		D4	P16T50			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	P16T42	16bitタイマ4	0 ~ 7	X	R/W	
		D1	P16T41	割り込みレベル		X		
		D0	P16T40			X		
8bitタイマ, シリ アルI/F Ch.0 割り込み プライオリティ レジスタ	0040269 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PSI002	シリアルインタフェースCh.0	0 ~ 7	X	R/W	
		D5	PSI001	割り込みレベル		X		
		D4	PSI000			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	P8TM2	8bitタイマ0~3	0 ~ 7	X	R/W	
		D1	P8TM1	割り込みレベル		X		
		D0	P8TM0			X		
シリアルI/F Ch.1 割り込み プライオリティ レジスタ	004026A (B)	D7~3	—	reserved	—	—	—	読み出し時: 0
		D2	PSIO12	シリアルインタフェースCh.1	0 ~ 7	X	R/W	
		D1	PSIO11	割り込みレベル		X		
		D0	PSIO10			X		
計時タイマ 割り込み プライオリティ レジスタ	004026B (B)	D7~3	—	reserved	—	—	—	1書き込み禁止
		D2	PCTM2	計時タイマ	0 ~ 7	X	R/W	
		D1	PCTM1	割り込みレベル		X		
		D0	PCTM0			X		

II コアブロック: ITC(割り込みコントローラ)

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
ポート入力 割り込み4/5 プライオリティ レジスタ	004026C (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP5L2	ポート入力5	0 - 7	X	R/W	
		D5	PP5L1	割り込みレベル		X		
		D4	PP5L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP4L2	ポート入力4	0 - 7	X	R/W	
		D1	PP4L1	割り込みレベル		X		
		D0	PP4L0			X		
ポート入力 割り込み6/7 プライオリティ レジスタ	004026D (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP7L2	ポート入力7	0 - 7	X	R/W	
		D5	PP7L1	割り込みレベル		X		
		D4	PP7L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP6L2	ポート入力6	0 - 7	X	R/W	
		D1	PP6L1	割り込みレベル		X		
		D0	PP6L0			X		
キー入力, ポート入力0-3 割り込み イネーブル レジスタ	0040270 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	EK1	キー入力1	1 許可 0 禁止	0	R/W	
		D4	EK0	キー入力0		0	R/W	
		D3	EP3	ポート入力3		0	R/W	
		D2	EP2	ポート入力2		0	R/W	
		D1	EP1	ポート入力1		0	R/W	
		D0	EP0	ポート入力0		0	R/W	
16bitタイマ0/1 割り込み イネーブル レジスタ	0040272 (B)	D7	E16TC1	16bitタイマ1コンペアA	1 許可 0 禁止	0	R/W	
		D6	E16TU1	16bitタイマ1コンペアB		0	R/W	
		D5-4	—	reserved	—	—	—	読み出し時: 0
		D3	E16TC0	16bitタイマ0コンペアA	1 許可 0 禁止	0	R/W	
		D2	E16TU0	16bitタイマ0コンペアB		0	R/W	
		D1-0	—	reserved	—	—	—	読み出し時: 0
16bitタイマ2/3 割り込み イネーブル レジスタ	0040273 (B)	D7	E16TC3	16bitタイマ3コンペアA	1 許可 0 禁止	0	R/W	
		D6	E16TU3	16bitタイマ3コンペアB		0	R/W	
		D5-4	—	reserved	—	—	—	読み出し時: 0
		D3	E16TC2	16bitタイマ2コンペアA	1 許可 0 禁止	0	R/W	
		D2	E16TU2	16bitタイマ2コンペアB		0	R/W	
		D1-0	—	reserved	—	—	—	読み出し時: 0
16bitタイマ4/5 割り込み イネーブル レジスタ	0040274 (B)	D7	E16TC5	16bitタイマ5コンペアA	1 許可 0 禁止	0	R/W	
		D6	E16TU5	16bitタイマ5コンペアB		0	R/W	
		D5-4	—	reserved	—	—	—	読み出し時: 0
		D3	E16TC4	16bitタイマ4コンペアA	1 許可 0 禁止	0	R/W	
		D2	E16TU4	16bitタイマ4コンペアB		0	R/W	
		D1-0	—	reserved	—	—	—	読み出し時: 0
8bitタイマ 割り込み イネーブル レジスタ	0040275 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	E8TU3	8bitタイマ3アンダーフロー	1 許可 0 禁止	0	R/W	
		D2	E8TU2	8bitタイマ2アンダーフロー		0	R/W	
		D1	E8TU1	8bitタイマ1アンダーフロー		0	R/W	
		D0	E8TU0	8bitタイマ0アンダーフロー		0	R/W	
シリアルI/F 割り込み イネーブル レジスタ	0040276 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	ESTX1	SIF Ch.1送信バッファエンプティ	1 許可 0 禁止	0	R/W	
		D4	ESRX1	SIF Ch.1受信バッファフル		0	R/W	
		D3	ESERR1	SIF Ch.1受信エラー		0	R/W	
		D2	ESTX0	SIF Ch.0送信バッファエンプティ		0	R/W	
		D1	ESRX0	SIF Ch.0受信バッファフル		0	R/W	
		D0	ESERR0	SIF Ch.0受信エラー		0	R/W	
ポート入力4-7, 計時タイマ 割り込みイネー ブルレジスタ	0040277 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	EP7	ポート入力7	1 許可 0 禁止	0	R/W	
		D4	EP6	ポート入力6		0	R/W	
		D3	EP5	ポート入力5		0	R/W	
		D2	EP4	ポート入力4		0	R/W	
		D1	ECTM	計時タイマ		0	R/W	
		D0	—	reserved	—	0	R/W	1書き込み禁止
キー入力, ポート入力0-3 割り込み要因 フラグレジスタ	0040280 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	FK1	キー入力1	1 要因発生 0 要因なし	X	R/W	
		D4	FK0	キー入力0		X	R/W	
		D3	FP3	ポート入力3		X	R/W	
		D2	FP2	ポート入力2		X	R/W	
		D1	FP1	ポート入力1		X	R/W	
		D0	FP0	ポート入力0		X	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈		
16bitタイマ0/1 割り込み 要因フラグ レジスタ	0040282 (B)	D7	F16TC1	16bitタイマ1コンペアA	1	要因発生	0	要因なし	X	R/W	
		D6	F16TU1	16bitタイマ1コンペアB					X	R/W	
		D5-4	—	reserved	—				—	—	読み出し時: 0
		D3	F16TC0	16bitタイマ0コンペアA	1	要因発生	0	要因なし	X	R/W	
		D2	F16TU0	16bitタイマ0コンペアB					X	R/W	
		D1-0	—	reserved	—				—	—	読み出し時: 0
16bitタイマ2/3 割り込み 要因フラグ レジスタ	0040283 (B)	D7	F16TC3	16bitタイマ3コンペアA	1	要因発生	0	要因なし	X	R/W	
		D6	F16TU3	16bitタイマ3コンペアB					X	R/W	
		D5-4	—	reserved	—				—	—	読み出し時: 0
		D3	F16TC2	16bitタイマ2コンペアA	1	要因発生	0	要因なし	X	R/W	
		D2	F16TU2	16bitタイマ2コンペアB					X	R/W	
		D1-0	—	reserved	—				—	—	読み出し時: 0
16bitタイマ4/5 割り込み 要因フラグ レジスタ	0040284 (B)	D7	F16TC5	16bitタイマ5コンペアA	1	要因発生	0	要因なし	X	R/W	
		D6	F16TU5	16bitタイマ5コンペアB					X	R/W	
		D5-4	—	reserved	—				—	—	読み出し時: 0
		D3	F16TC4	16bitタイマ4コンペアA	1	要因発生	0	要因なし	X	R/W	
		D2	F16TU4	16bitタイマ4コンペアB					X	R/W	
		D1-0	—	reserved	—				—	—	読み出し時: 0
8bitタイマ 割り込み 要因フラグ レジスタ	0040285 (B)	D7-4	—	reserved	—				—	—	読み出し時: 0
		D3	F8TU3	8bitタイマ3アンダーフロー	1	要因発生	0	要因なし	X	R/W	
		D2	F8TU2	8bitタイマ2アンダーフロー					X	R/W	
		D1	F8TU1	8bitタイマ1アンダーフロー					X	R/W	
		D0	F8TU0	8bitタイマ0アンダーフロー					X	R/W	
		シリアルI/F 割り込み 要因フラグ レジスタ	0040286 (B)	D7-6	—	reserved	—				—
D5	FSTX1			SIF Ch.1送信バッファエンプティ	1	要因発生	0	要因なし	X	R/W	
D4	FSRX1			SIF Ch.1受信バッファフル					X	R/W	
D3	FSERR1			SIF Ch.1受信エラー					X	R/W	
D2	FSTX0			SIF Ch.0送信バッファエンプティ					X	R/W	
D1	FSRX0			SIF Ch.0受信バッファフル					X	R/W	
D0	FSERR0			SIF Ch.0受信エラー					X	R/W	
ポート入力4-7, 計時タイマ 割り込み要因 フラグレジスタ	0040287 (B)	D7-6	—	reserved	—				—	—	読み出し時: 0
		D5	FP7	ポート入力7	1	要因発生	0	要因なし	X	R/W	
		D4	FP6	ポート入力6					X	R/W	
		D3	FP5	ポート入力5					X	R/W	
		D2	FP4	ポート入力4					X	R/W	
		D1	FCTM	計時タイマ					X	R/W	
		D0	—	reserved					—	X	
フラグセット/リ セット方式選択 レジスタ	004029F (B)	D7-1	—	reserved	—				—	—	
		D0	RSTONLY	割り込み要因フラグ リセット方式選択	1	リセット オンリー	0	RD/WR	1	R/W	
TTBRレジスタ 書き込み保護 レジスタ	004812D (B)	D7	TBRP7	TTBRレジスタ書き込み保護	01011001(0x59)書き込みによ りTTBRレジスタ(0x48134)の 書き込み保護を解除 それ以外は書き込み禁止に設定				0	W	読み出し時: 不定
D6	TBRP6	0									
D5	TBRP5	0									
D4	TBRP4	0									
D3	TBRP3	0									
D2	TBRP2	0									
D1	TBRP1	0									
D0	TBRP0	0									
TTBR 下位レジスタ	0048134 (HW)	DF	TTBR15	トラップテーブル ベースアドレス bit[15:10]					0	R/W	
		DE	TTBR14						0		
		DD	TTBR13						0		
		DC	TTBR12						0		
		DB	TTBR11						0		
		DA	TTBR10						0		
		D9	TTBR09	トラップテーブル ベースアドレス bit[9:0]	0に固定				0	R	読み出し時: 0 1書き込み禁止
		D8	TTBR08						0		
		D7	TTBR07						0		
		D6	TTBR06						0		
		D5	TTBR05						0		
		D4	TTBR04						0		
		D3	TTBR03						0		
		D2	TTBR02						0		
		D1	TTBR01						0		
		D0	TTBR00						0		

II コアブロック: ITC(割り込みコントローラ)

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
TTBR 上位レジスタ	0048136 (HW)	DF	TTBR33	トラップテーブル ベースアドレス bit[31:28]	0に固定	0	R	読み出し時: 0 1書き込み禁止
		DE	TTBR32			0		
		DD	TTBR31			0		
		DC	TTBR30			0		
		DB	TTBR2B	トラップテーブル ベースアドレス bit[27:16]	0x0C0	←	R/W	
		DA	TTBR2A					
		D9	TTBR29					
		D8	TTBR28					
		D7	TTBR27					
		D6	TTBR26					
		D5	TTBR25					
		D4	TTBR24					
		D3	TTBR23					
		D2	TTBR22					
		D1	TTBR21					
		D0	TTBR20					

以下、各制御レジスタ/ビットの基本機能をまとめて説明します。個々の割り込み系列/要因ごとの内容については、各周辺回路の説明を参照してください。

Pxxx2-Pxxx0: 割り込みプライオリティレジスタ

割り込み系列の優先レベルを0～7の範囲で設定します。

割り込みプライオリティレジスタがPSRのILの値以下に設定されている場合、割り込みは発生しません。イニシャルリセット時、割り込みプライオリティレジスタは不定となります。

Exxx: 割り込みイネーブルレジスタ

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

割り込みイネーブルレジスタのビットを"1"に設定すると対応する割り込みが許可され、"0"に設定すると割り込みが禁止されます。

スタンバイモードの解除に使用する割り込み要因に対応する割り込みイネーブルレジスタのビットも、割り込み許可に設定しておく必要があります。

イニシャルリセット時、割り込みイネーブルレジスタは"0"(割り込み禁止)に設定されます。

Fxxx: 割り込み要因フラグ

割り込み要因の発生状態を示します。

- 読み出し時
 - "1"読み出し: 割り込み要因あり
 - "0"読み出し: 割り込み要因なし
- リセットオンリー方式書き込み時 (デフォルト)
 - "1"書き込み: 要因フラグをリセット
 - "0"書き込み: 無効
- リード/ライト方式書き込み時
 - "1"書き込み: 要因フラグをセット
 - "0"書き込み: 要因フラグをリセット

割り込み要因フラグは各周辺回路で割り込み要因が発生すると"1"にセットされます。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み要因の発生により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。

割り込み要因フラグはソフトウェアによる書き込みよってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。

イニシャルリセット時、割り込み要因フラグは不定となりますので、必ずソフトウェアでリセットしてください。

RSTONLY: 割り込み要因フラグリセット方式選択(D0/0x4029F<フラグセット/リセット方式選択レジスタ>)

割り込み要因フラグのリセット方式を選択します。

- "1"書き込み: リセットオンリー方式
- "0"書き込み: リード/ライト方式
- 読み出し: 可能

リセットオンリー方式の場合、割り込み要因フラグは"1"を書き込むことでリセットされます。

"0"を書き込んだ要因フラグはセットもリセットもされません。したがって、特定の要因フラグのみを確実にリセットできます。ただし、リード・モディファイ・ライト命令(bset, bclr, bnot)を使用すると、"1"にセットされた割り込み要因フラグが書き込み時にリセットされますので注意してください。この方式では、ソフトウェアで割り込み要因フラグをセットすることはできません。

リード/ライト方式はRSTONLYに"0"を書き込むことにより設定されます。この方式の場合、割り込み要因フラグは他のレジスタと同様に読み出し/書き込みが許可されます。したがって、"0"を書き込むとリセットされ、"1"を書き込むとセットされます。この場合、"0"を書き込んだ要因フラグがすべてリセットされてしまいます。リード・モディファイ・ライトを行う場合でも、読み出しと書き込みの間に割り込み要因が発生する可能性がありますので注意してください。

イニシャルリセット時、RSTONLYは"1"(リセットオンリー方式)に設定されます。

TBRP7–TBRP0: TTBRレジスタ書き込み保護([D[7:0]/0x4812D< TTBRレジスタ書き込み保護レジスタ>)

TTBRレジスタの書き込み保護を解除します。

0x59書き込み: 書き込み保護解除

上記以外の書き込み: ノーオペレーション(書き込み保護)

読み出し: 可能

TTBRレジスタに書き込みを行う場合は、その前にTBRPを0x59に設定し、書き込み保護を解除してください。その後、TTBRの最上位バイト(0x48137)にデータが書き込まれると書き込み禁止状態に戻ります。イニシャルリセット時、TBRPレジスタは0x0(書き込み保護)に設定されます。

TTBR09–TTBR00: トラップテーブルベースアドレスbit[9:0](D[9:0]/0x48134[HW]<TTBR下位レジスタ>)

TTBR15–TTBR10: トラップテーブルベースアドレスbit[15:10](D[F:A]/0x48134[HW]<TTBR下位レジスタ>)

TTBR2B–TTBR20: トラップテーブルベースアドレスbit[27:16](D[B:0]/0x48136[HW]<TTBR上位レジスタ>)

TTBR33–TTBR30: トラップテーブルベースアドレスbit[31:28](D[F:C]/0x48136[HW]<TTBR上位レジスタ>)

トラップテーブル先頭アドレスを設定します。

TTBR0とTTBR3は読み出し専用で"0"に固定されます。このため、トラップテーブルの先頭アドレスは常に1KB境界アドレスから始まります。

なお、TTBRレジスタは誤って書き換えられることのないように、通常は書き込み禁止状態に置かれ、この書き込み保護機能を解除するためにTTBRレジスタ書き込み保護レジスタTBRP(D[7:0]/0x4812D[Byte])が用意されています。TBRPレジスタに0x59を書き込むとTTBRレジスタへの書き込みが許可され、TTBRレジスタの最上位バイト(0x48137)への書き込みにより書き込み禁止状態に戻ります。したがって、TTBRレジスタへの書き込みは下位ハーフワードから先に行うことが必要です。ただし、下位と上位ハーフワードの書き込みの間にNMI等が発生すると誤動作しますので、ワード書き込みを推奨します。

イニシャルリセット後、TTBRレジスタは0x0C00000番地に設定されます。

プログラミング上の注意事項

- (1) S1C33000コアCPUの機能としては、ILによって割り込みレベルを0～15の16種類に設定可能です。ただし、本割り込みコントローラでは割り込みプライオリティレジスタが3ビットのため、各割り込み系列の割り込みレベルを8以上に設定することはできません。
- (2) リセットオンリー方式で割り込み要因フラグをリセットする("1"を書き込む)場合、リード・モディファイ・ライト命令(bset, bclr, bnot)を使用すると、同じアドレスで"1"にセットされた他の割り込み要因フラグが書き込み時にリセットされますので注意してください。リード/ライト方式でリセットする("0"を書き込む)場合、"0"を書き込んだ要因フラグがすべてリセットされてしまいます。リード・モディファイ・ライトを行うと、読み出しと書き込みの間に割り込み要因が発生する可能性がありますので注意してください。
- (3) イニシャルリセット後、割り込み要因フラグおよび割り込みプライオリティレジスタは不定となります。不要な割り込みの発生を防止するため、必ずプログラムでリセットしてください。
- (4) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、割り込みを許可、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。

II-6 CLG(クロックジェネレータ)

この章では、システムクロックの制御方法について説明します。

クロックジェネレータの構成

C33コアブロックは、高速発振回路(OSC3)とPLLで構成されるクロックジェネレータを内蔵しています。高速(OSC3)発振回路はCPUと内蔵周辺回路(シリアルインタフェース、プログラマブルタイマ等)用のメインクロックを発生します。

また、クロックジェネレータは、周辺回路ブロックで生成される低速(OSC1)クロック(32.768kHz Typ.)などのサブクロックを入力することができます。このサブクロックは計時タイマ用および省電力化のためにCPUを低速動作させるクロックとして使用可能です。

注: 低速(OSC1)発振回路を含む周辺回路ブロックを搭載すると、CPUと内蔵周辺回路(シリアルインタフェース、プログラマブルタイマ等)用のソースクロックがそれぞれ個別にOSC3とOSC1から選択できます。詳細は、本章の"CPU動作クロックの設定と切り換え"、周辺回路ブロックの"プリスケラ"および"低速(OSC1)発振回路"を参照してください。

図6.1にクロックジェネレータの構成を示します。

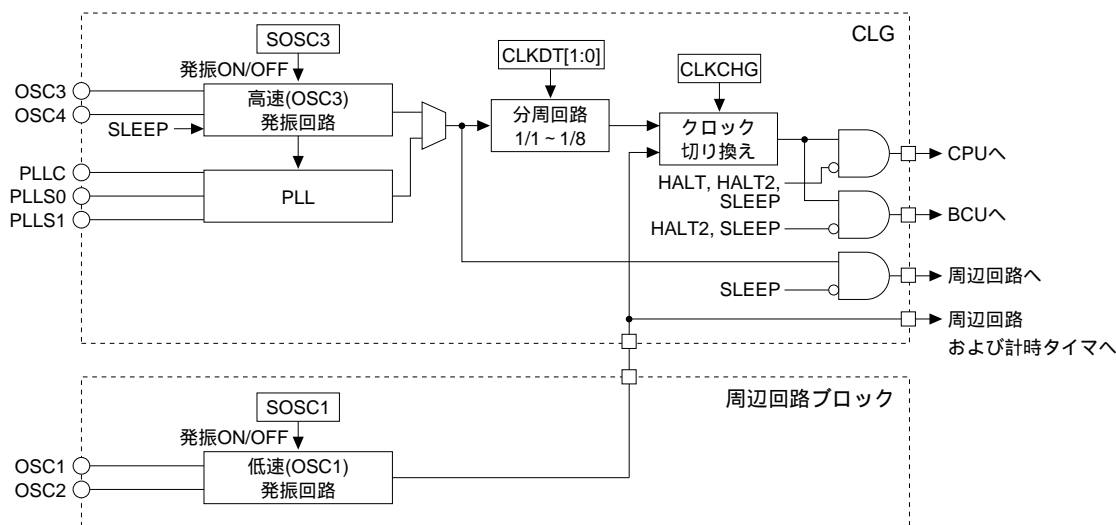


図6.1 クロックジェネレータの構成

イニシャルリセット後は、高速(OSC3)発振回路の出力(OSC3クロック)がCPUの動作クロックに設定されます。

低速(OSC1)発振回路を搭載すると、CPUの動作クロックはプログラムによって低速(OSC1)発振回路の出力(OSC1クロック)に切り換えることができます。また、各発振回路をプログラムによって停止させることもできます。

計時処理等のOSC3クロックが不要な場合は消費電流を低減させるため、OSC1クロックをCPUの動作クロックに設定し、高速(OSC3)発振回路を停止させてください。また、SLEEPモードに設定すると高速(OSC3)発振回路が停止し、消費電流が大幅に低減できます(計時タイマ以外の動作が不要な場合)。

クロックジェネレータの入出力端子

表6.1に発振回路の入出力端子を示します。

表6.1 クロックジェネレータの入出力端子

端子名	I/O	機 能			
OSC3	I	高速(OSC3)発振入力端子: 水晶/セラミック発振または外部クロック入力			
OSC4	O	高速(OSC3)発振出力端子: 水晶/セラミック発振(外部クロック入力時は開放)			
PLL	–	PLL用コンデンサ接続端子			
PLLS[1:0]	I	PLL設定端子			
		PLLS1	PLLS0	fin (fosc3)	fout (fpSCIN) 備考
		1	1	10~20MHz	20~40MHz
		1	0	20~25MHz	40~50MHz
		0	1	10~12.5MHz	40~50MHz
		0	0	PLL未使用	L* * PLL未使用時はOSC3クロックを直接使用

高速(OSC3)発振回路

高速(OSC3)発振回路はCPUと内蔵周辺回路(シリアルインタフェース、プログラマブルタイマ等)用のメインクロックを発生します。

水晶発振回路またはセラミック発振回路として使用可能です。また、外部よりクロックを入力することもできます。

図6.2に高速(OSC3)発振回路の構造を示します。

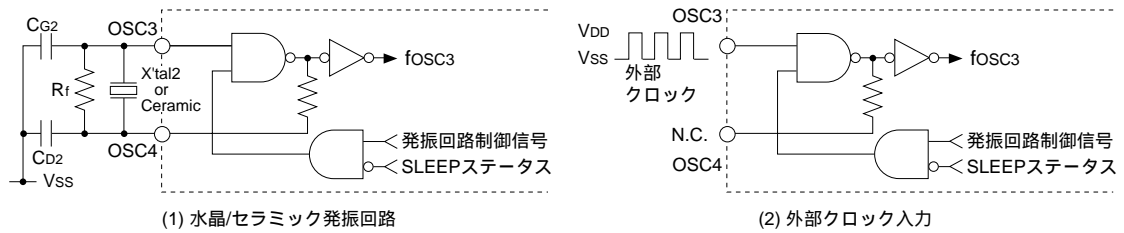


図6.2 高速(OSC3)発振回路

水晶またはセラミック発振回路として使用する場合は、水晶(X'tal2)またはセラミック(Ceramic)振動子と帰還抵抗(Rf)をOSC3~OSC4端子間に、2つのコンデンサ(CG2、Cd2)をそれぞれOSC3端子~Vss間、OSC4端子~Vss間に接続してください。

外部クロックを使用する場合はOSC4端子を開放し、矩形波のクロックをOSC3端子に入力してください。発振周波数の範囲は10MHz~33MHzです。この周波数範囲は外部クロックを入力する場合にも適用されます。

注: PLLを使用する場合、発振周波数範囲はPLLの設定により変わります。表6.2を参照してください。

発振特性と外部クロックの入力特性については"電気的特性"を参照してください。

PLL

PLLは高速(OSC3)クロックを入力し、その周波数を逡倍します。逡倍モードは、OSC3発振周波数に合わせ、PLLS[1:0]端子で設定可能です。

表6.2 PLLS[1:0]端子の設定

PLLS1	PLLS0	モード	fin (OSC3クロック)	fout
1	1	x2	10~25MHz	20~50MHz
0	1	x4	10~12.5MHz	40~50MHz
0	0	PLL未使用	—	未使用

図6.3にPLL用端子の基本外部結線図を示します。

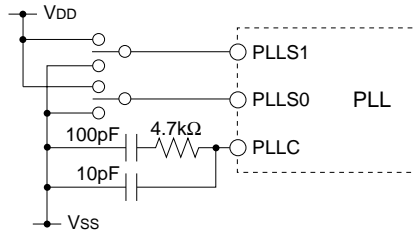


図6.3 PLL使用時の基本外部結線図

注: PLLを使用しない場合は、OSC3発振出力がクロックとして使用されます。この場合の発振周波数範囲は10MHz~33MHzです。また、PLLC端子はオープンとしてください。

発振の制御

高速(OSC3)発振回路は、パワーコントロールレジスタ(0x40180)のSOSC3 (D1)によって発振のON/OFFが制御できます。

SOSC3に"0"を書き込むと高速(OSC3)発振回路が停止し、"1"を書き込むと発振を再開します。

イニシャルリセット時、SOSC3は"1"に設定され、高速(OSC3)発振回路はONとなります。

注: • CPUの動作クロック原振に高速(OSC3)発振回路を使用している場合は、高速(OSC3)発振回路を停止させることはできません。その場合のSOSC3への"0"書き込みは無効です。また、パワーコントロールレジスタ保護フラグが0b10010110に設定されている場合にのみ、SOSC3への書き込みが行えます。

- 発振回路をONにした直後は、発振が安定するまである程度の時間を要します(3.3V系水晶振動子の場合で最大10ms)。誤動作を防止するため、発振が安定するまではそのクロックを使用しないでください。

高速(OSC3)発振回路はSLEEP時にも停止します。

CPU動作クロックの設定と切り換え

CPU動作周波数の設定

CPUを高速(OSC3)クロックで動作させる場合、動作周波数を4段階に切り換えることができます。この切り換えは、パワーコントロールレジスタ(0x40180)のCLKDT[1:0](D[7:6])によって行います。

表6.3 CPU動作クロックの設定

CLKDT1	CLKDT0	分周比
1	1	fout/8
1	0	fout/4
0	1	fout/2
0	0	fout/1

fout: PLL出力周波数

ここで設定したクロックがシステムクロックとなり、CPUの動作クロックおよびバスクロックとして使用されます。

イニシャルリセット時はfout/1に設定され、高速(OSC3)発振クロックで直接動作します。

CPUの動作速度を落とすことで消費電流を低減できますので、必要に応じて切り換えてください。

この設定は高速(OSC3)クロックに対してのみ有効で、低速(OSC1)クロックをシステムクロックとして使用する場合は無効です。

注: CLKDT[1:0]への書き込みは、パワーコントロールレジスタ保護フラグが0b10010110に設定されている場合にのみ有効です。

CPU動作クロックの切り換え

注: CPU動作クロックの切り換え(OSC3 → OSC1)は、周辺回路ブロックの低速(OSC1)発振回路を使用している場合にのみ可能です。

イニシャルリセット後、CPUはOSC3クロックにより動作を開始します。内蔵周辺回路もすべて動作します。

OSC3クロックをソースクロックとする周辺回路(プログラマブルタイマ、シリアルインタフェース等)の動作が不要でCPUも低速動作で処理可能な場合は、CPUの動作クロックをOSC1クロックに切り換えて消費電流を低減させることができます。この動作クロックの切り換えは、パワーコントロールレジスタ(0x40180)のCLKCHG(D2)によって行います。

OSC3クロックからOSC1クロックへの切り換え手順

1. 低速(OSC1)発振回路をON (SOSC1に"1"を書き込み)
 2. OSC1発振が安定するまで(3秒以上)ウェイト
 3. CPU動作クロックの切り換え (CLKCHGに"0"を書き込み)
 4. 高速(OSC3)発振回路をOFF (SOSC3に"0"を書き込み)
- 1と2は低速(OSC1)発振回路が停止している場合にのみ必要です。

注: • OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々の命令で行ってください。1命令で同時に処理すると、CPUの誤動作につながります。

- プログラマブルタイマ、シリアルインタフェースなど、OSC3発振回路を原振とする周辺回路は、誤動作を防止するためOSC3発振を停止する前に動作を終了させてください。

OSC1クロックからOSC3クロックへの切り換え手順

1. 高速(OSC3)発振回路をON (SOSC3に"1"を書き込み)
2. OSC3発振が安定するまで(3.3V系水晶振動子の場合10ms以上)ウェイト
3. CPU動作クロックの切り換え (CLKCHGに"1"を書き込み)

注: CLKCHGによる動作クロックの切り換えは、発振回路が両方ともONしている場合で、パワーコントロールレジスタ保護フラグが0b10010110に設定されている場合にのみ有効です。

クロックジェネレータのI/Oメモリ

表6.4にクロックジェネレータの制御ビットを示します。

表6.4 クロックジェネレータの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
パワー コントロール レジスタ	0040180 (B)	D7	CLKDT1	システムクロック分周比選択	CLKDT[1:0]		分周比	0	R/W		
		D6	CLKDT0		1	1	1/8	0			
					1	0	1/4				
					0	1	1/2				
					0	0	1/1				
		D5	PSCON	プリスケアラOn/Off制御	1	On	0	Off	1	R/W	
		D4-3	—	reserved	—			0	—	1書き込み禁止	
D2	CLKCHG	CPU動作クロック切り換え	1	OSC3	0	OSC1	1	R/W			
D1	SOSC3	高速(OSC3)発振On/Off制御	1	On	0	Off	1	R/W			
D0	SOSC1	低速(OSC1)発振On/Off制御	1	On	0	Off	1	R/W			
クロック オプション レジスタ	0040190 (B)	D7-4	—	—	—			—	—	読み出し時: 0	
		D3	HLT2OP	HALTクロックオプション	1	On	0	Off	0	R/W	
		D2	8T1ON	高速(OSC3)発振待ち時間On	1	Off	0	On	1	R/W	
		D1	—	reserved	—			0	—	1書き込み禁止	
		D0	PF1ON	OSC1外部出力On/Off制御	1	On	0	Off	0	R/W	
パワー コントロール レジスタ 保護レジスタ	004019E (B)	D7	CLGP7	パワーコントロールレジスタ 保護フラグ	10010110(0x96)書き込みにより パワーコントロールレジスタ (0x40180)、クロックオプション レジスタ(0x40190)の書き込み保 護を解除 それ以外は書き込み禁止に設定			0	R/W		
		D6	CLGP6					0			
		D5	CLGP5					0			
		D4	CLGP4					0			
		D3	CLGP3					0			
		D2	CLGP2					0			
		D1	CLGP1					0			
		D0	CLGP0					0			

SOSC1: 低速(OSC1)発振制御(D0/0x40180<パワーコントロールレジスタ>)

低速(OSC1)発振回路の発振ON/OFFを制御します。

"1"書き込み: OSC1発振ON

"0"書き込み: OSC1発振OFF

読み出し: 可能

SOSC1に"0"を書き込むことにより低速(OSC1)発振回路が発振を停止し、"1"の書き込みで発振を再開します。発振を再開後は、発振が安定するまで標準動作条件で最大3秒の時間を要しますので、OSC1クロックはそれ以上の時間が経過後に使用してください。

SOSC1への書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。また、OSC1クロックでCPUが動作している場合は、"0"の書き込みは無効となり発振を停止しません。

イニシャルリセット時、SOSC1は"1"(OSC1発振ON)に設定されます。

注: この制御ビットは周辺回路ブロックの低速(OSC1)発振回路を使用している場合にのみ有効です。

SOSC3: 高速(OSC3)発振制御(D1/0x40180<パワーコントロールレジスタ>)

高速(OSC3)発振回路の発振ON/OFFを制御します。

"1"書き込み: OSC3発振ON

"0"書き込み: OSC3発振OFF

読み出し: 可能

SOSC3に"0"を書き込むことにより高速(OSC3)発振回路が発振を停止し、"1"の書き込みで発振を再開します。発振を再開後は、発振が安定するまで最大10ms(3.3V系水晶振動子、標準動作条件の場合)の時間を要しますので、OSC3クロックはそれ以上の時間が経過後に使用してください。

SOSC3への書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。また、OSC3クロックでCPUが動作している場合は、"0"の書き込みは無効となり発振を停止しません。

イニシャルリセット時、SOSC3は"1"(OSC3発振ON)に設定されます。

CLKCHG: CPU動作クロック切り換え(D2/0x40180<パワーコントロールレジスタ>)

CPUの動作クロックを選択します。

- "1"書き込み: OSC3クロック
 "0"書き込み: OSC1クロック
 読み出し: 可能

CPUの動作クロックはCLKCHGに"1"を書き込んだ場合OSC3、"0"を書き込んだ場合OSC1となります。高速(OSC3)発振回路および低速(OSC1)発振回路が共にONの場合にのみ動作クロックの切り換えが行えます。また、CLKCHGへの書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。発振回路が発振を開始した直後は、発振が安定するまでCPUの動作クロックの切り換えは行わないでください。

イニシャルリセット時、CLKCHGは"1"(OSC3クロック)に設定されます。

注: この制御ビットは周辺回路ブロックの低速(OSC1)発振回路を使用している場合にのみ有効です。

CLKDT1-CLKDT0: CPU動作周波数選択(D[7:6]/0x40180<パワーコントロールレジスタ>)

CPUの動作クロック周波数を選択します。

表6.5 CPU動作クロックの設定

CLKDT1	CLKDT0	分周比
1	1	fout/8
1	0	fout/4
0	1	fout/2
0	0	fout/1

fout: PLL出力周波数

この設定は高速(OSC3)クロックで動作させる場合に有効で、低速(OSC1)クロックには無効です。

CLKDT[1:0]への書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。

イニシャルリセット時、CLKDTは"0"(fout/1)に設定されます。

8T1ON: 高速(OSC3)発振待ち機能設定(D2/0x40190<クロックオプションレジスタ>)

SLEEP解除後の高速(OSC3)発振待ち機能を設定します。

- "1"書き込み: OFF
 "0"書き込み: ON
 読み出し: 可能

8T1ONに"0"を書き込むことにより、SLEEP解除後の高速(OSC3)発振待ち機能が有効となります。この機能を使用する場合は、SLEEP状態への移行前に8ビットプログラマブルタイム1に待ち時間を設定し、カウント動作を開始させておくことが必要です。SLEEP解除後は、8ビットプログラマブルタイム1がアンダーフローするまでOSC3クロックはCPUには供給されません。8T1ONが"1"に設定されている場合、この機能は働きます。高速(OSC3)発振待ち機能はSLEEP解除時のみ有効です。

8T1ONへの書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。

8T1ONへの書き込みを行う場合は、クロックオプションレジスタ(0x40190)の予約(reserved)ビット(D1)には必ず"0"を書き込んでください。

イニシャルリセット時、8T1ONは"0"(OFF)に設定されます。

HLT2OP: HALTクロックオプション(D3/0x40190<クロックオプションレジスタ>)

HALTモード時の状態(基本モードとHALT2モード)を選択します。

- "1"書き込み: HALT2モード
 "0"書き込み: 基本モード
 読み出し: 可能

HALTモード時の状態は、HLT2OPに"1"を書き込むとHALT2モード、"0"を書き込むと基本モードになります。

HLT2OPへの書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。

イニシャルリセット時、HLT2OPは"0"(基本モード)に設定されます。

HALTモード(基本モードとHALT2モード)、SLEEPモードの動作状態は以下のとおりです。

表6.6 スタンバイモードの動作状態

スタンバイモード		動作状態	再起動
HALTモード	基本モード	<ul style="list-style-type: none"> ・ CPUクロック停止(CPU停止) ・ BCUへのクロック非停止(BCU非停止) ・ 周辺回路へのクロックはHALTモードに移行する直前の状態を継続(停止/非停止) ・ 高速発振回路はHALTモードに移行する直前の状態を継続 ・ 低速発振回路はHALTモードに移行する直前の状態を継続 	<ul style="list-style-type: none"> ・ リセット、NMI ・ マスクされていない割り込み要因の発生
	HALT2モード	<ul style="list-style-type: none"> ・ CPUクロック停止(CPU停止) ・ BCUへのクロック停止(BCU停止) ・ 周辺回路へのクロックはHALTモードに移行する直前の状態を継続(停止/非停止) ・ 高速発振回路はHALTモードに移行する直前の状態を継続 ・ 低速発振回路はHALTモードに移行する直前の状態を継続 	HALT2では、SIO、タイマ(8bit, 16bit)は、停止せずに動作を続けますが、同期化のためのクロックが停止するため、これらの周辺回路による再起動はできません。 再起動は、 <ul style="list-style-type: none"> ・ 入力端子からの割り込み ・ 計時タイマからの割り込み ・ NMI ・ リセット のみ可能です。
SLEEPモード		<ul style="list-style-type: none"> ・ CPUクロック停止(CPU停止) ・ BCUへのクロック停止(BCU停止) ・ 周辺回路へのクロックは停止 ・ 高速発振回路は停止 ・ 低速発振回路はSLEEPモードに移行する直前の状態を継続 	<ul style="list-style-type: none"> ・ リセット、NMI ・ マスクされていない入力ポートからの割り込み ・ 低速発振回路が動作しているときの計時タイマからの割り込み

CLGP7-CLGP0: パワーコントロールレジスタ保護フラグ

([D[7:0]/0x4019E<パワーコントロールレジスタ保護レジスタ>)

パワーコントロールレジスタ(0x40180)とクロックオプションレジスタ(0x40190)の書き込み保護を解除します。

0b10010110書き込み: 書き込み保護解除

上記以外の書き込み: ノーオペレーション(書き込み保護)

読み出し: 可能

パワーコントロールレジスタ(0x40180)またはクロックオプションレジスタ(0x40190)に書き込みを行う場合は、その前にCLGP[7:0]を0b10010110に設定し、書き込み保護を解除してください。この解除は上記いずれかのアドレスに対する1回の書き込みのみに有効で、書き込みが行われると0b00000000にクリアされます。したがって、書き込みの都度CLGP[7:0]を再設定する必要があります。

イニシャルリセット時、CLGPは0b00000000(書き込み保護)に設定されます。

プログラミング上の注意事項

- (1) 高速(OSC3)発振回路をONにした直後は、発振が安定するまである程度の時間を要します(3.3V系水晶振動子の場合で最大10ms)。誤動作を防止するため、発振が安定するまではそのクロックを使用しないでください。
特にOSC3クロックでCPUが動作中にSLEEPモードに設定した場合は、SLEEP中に高速(OSC3)発振回路が停止し、SLEEP解除により発振を再開します。不安定なOSC3クロックによるCPUの再起動で誤動作しないように、8ビットプログラマブルタイマ1に余裕を持った安定待ち時間を設定し、SLEEP解除時の発振安定待ち機能をONにしてからSLEEPモードへ移行してください。
- (2) CPUの動作クロックに使用している発振回路を停止させることはできません。
- (3) CPU動作クロックの切り換えは、OSC3とOSC1発振回路が両方ともONしている場合にのみ可能です。また、CPU動作クロックの切り換え後に不要となった発振回路をOFFする場合、切り換えと発振OFFは命令を分けて行ってください。1命令で同時に処理すると、CPUの誤動作につながります。
- (4) 高速(OSC3)発振回路をOFFにした場合、OSC3クロックで動作している周辺回路はすべて停止します。
- (5) 消費電流を低減させるため、OSC3クロックが不要な場合はOSC1クロックでCPUを動作させ、高速(OSC3)発振回路をOFFしてください。

- (6) SLEEP状態の時、発振回路のクロックが停止します。また、Halt2モード時は、周辺回路へのクロック供給を停止します。
この状態から、再起動するとトリガとして、ポートからの割り込み入力が使えますが、この割り込み入力は、機能上レベル入力として動作します。したがって、設定エッジ入力となってもレベル入力として再起動します。
再起動は、立ち上がりと立ち下がりでは次のように動作します。
立ち上がりエッジ割り込み設定時：HIGHレベル入力で再起動する。
立ち下がりエッジ割り込み設定時：LOWレベル入力で再起動する。

通常動作では、SLP命令実行後、一定時間経過してから再起動しますが、立ち下がり（立ち上がり）レベル（エッジ）割り込みで再起動と設定した場合は、次のように動作します。

- ・ SLP命令実行後、即時に再起動する。
- ・ SLP命令実行時にポートレベルがすでにLOWレベルのため、立ち下がり（立ち上がり）エッジを持たないため、一瞬だけSLP状態になり、すぐに再起動してしまう。

これは、ポート入力回路にクロック信号による同期回路が入っていた、また、SLEEP状態、またはHALT2状態では、クロックが停止しているため、この同期回路をバイパスして再起動する構成になっていた。したがって、ポートからの入力レベルが、レベルでアクティブの場合再起動します。

そのため、SLEEP状態またはHALT2状態からのポート入力による再起動は、レベルで行われることを前提にシステム設計してください。

このページはblankです。

II-7 DBG(デバッグユニット)

デバッグ回路

C33コアブロックにはデバッグ回路が搭載されています。

デバッグ回路は、高度なソフトウェア開発環境を容易に実現するために用意された機能ブロックです。

注: 通常の動作時には、このデバッグ回路は動作しません。デバッグ回路を使用したソフトウェア開発環境を実現するためには、S5U1C33000H (In-Circuit Debugger for S1C33 Family)が別途必要となります。

デバッグ回路の入出力端子

デバッグ回路にはS5U1C33000H (In-Circuit Debugger for S1C33 Family)を接続する6本の予約された専用の端子が存在し、3.3Vの入出力電圧レベルとなっています。

表7.1にデバッグ回路の入出力端子を示します。

表7.1 デバッグ回路の入出力端子

端子名	I/O	Pull-up	リセット後の状態	電圧レベル	機 能
DCLK	O	—	1	3.3V	デバッグ用クロック出力
DST2	O	—	0	3.3V	デバッグ用ステータス出力2
DST1	O	—	1	3.3V	デバッグ用ステータス出力1
DST0	O	—	1	3.3V	デバッグ用ステータス出力0
DPCO	O	—	1	3.3V	デバッグ用PC出力
DSIO	I/O	あり	1 (入力)	3.3V	デバッグ用シリアル入出力

DCLK、DST[2:0]、DPCO出力はそれぞれ、入出力兼用ポート端子P14、P1[2:0]、P13の拡張機能です。イニシャルリセット時はデバッグ信号出力に設定されます。

デバッグ回路を使用しない場合は、ポート機能拡張レジスタ(0x402DF)のCFEX[1:0] (D[1:0])の設定によってこれらの端子を入出力兼用ポートあるいは既定の周辺回路用として使用することができます。端子機能については、“入出力兼用ポート(Pポート)”を参照してください。

注: これらの端子をデバッグ信号出力に設定した場合、S5U1C33000H (In-Circuit Debugger for S1C33 Family)を使用するとき以外は何も接続しないでください。S5U1C33000Hの接続方法については、“S5U1C33000H Manual (S1C33 Family In-Circuit Debugger)”を参照してください。
また、ユーザリセット後の端子の状態は、表に示したとおり固定されます。

このページはブランクです。

S1C33S01 FUNCTION PART

III 周辺回路ブロック

III-1 はじめに

C33周辺回路ブロックは、プリスケラ、4チャンネルの8ビットプログラマブルタイマ、ウォッチドッグタイマ、イベントカウンタ機能付き6チャンネルの16ビットプログラマブルタイマ、2チャンネルのシリアルインタフェース、入力および入出力ポート、低速(OSC1)発振回路、計時タイマで構成されています。

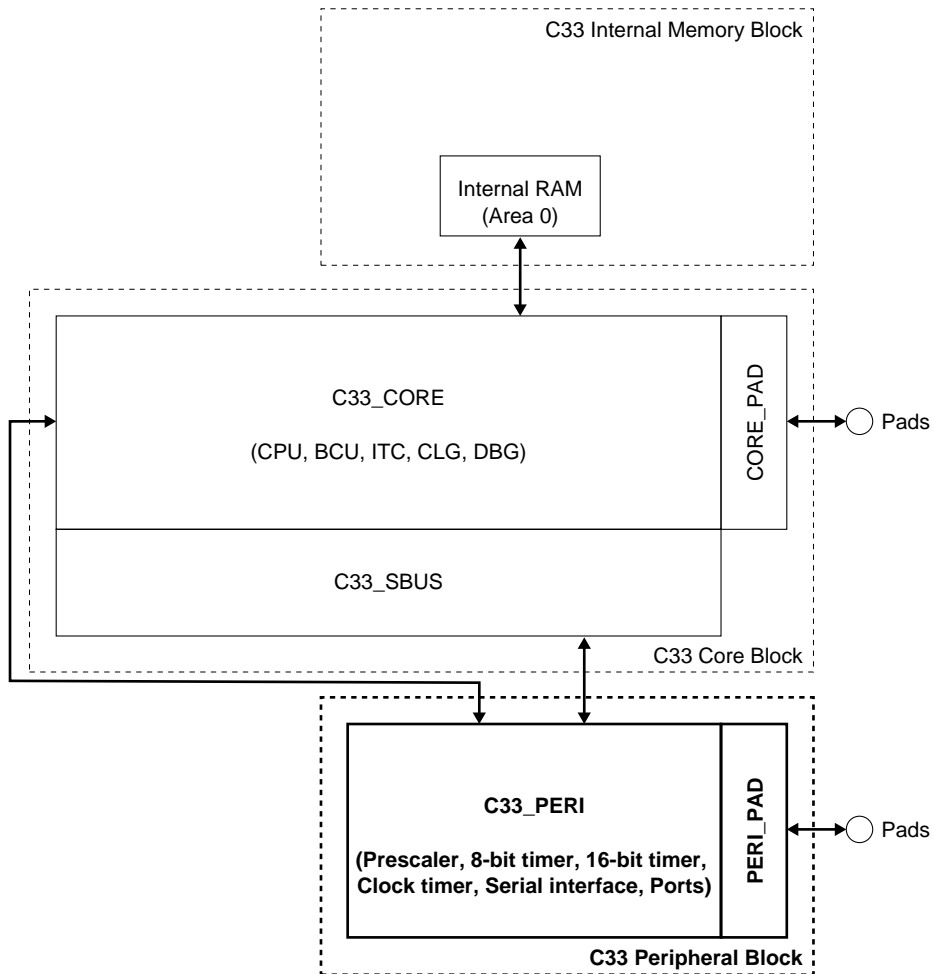


図1.1 周辺回路ブロック

このページはブランクです。

III-2 プリスケーラ

プリスケーラの構成

プリスケーラは、入力クロック(OSC3クロック/PLL出力クロック、またはOSC1クロック)を分周して内蔵周辺回路用クロックを生成します。プリスケーラの分周比はプログラムによって周辺回路個別に選択することができます。また、各周辺回路へのクロック供給を制御するクロック制御回路も設けられています。

この出力クロックを使用する周辺回路は以下のとおりです。

- ・ 16ビットプログラマブルタイマ5~0 (およびウォッチドッグタイマ)
- ・ 8ビットプログラマブルタイマ3~0 (およびシリアルインタフェース)

図2.1にプリスケーラの構成を示します。

各周辺回路の制御については、それぞれの章を参照してください。

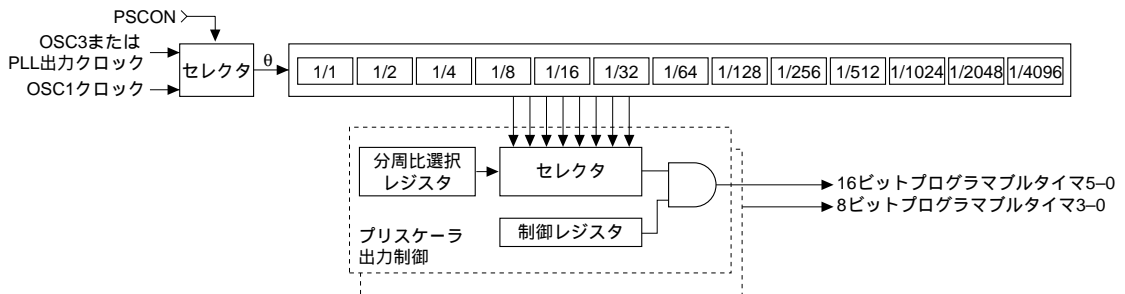


図2.1 プリスケーラとクロック制御回路の構成

原振クロック

プリスケーラの原振クロックは、プリスケーラクロック選択レジスタ(0x40181)のPSCDT0(D0)によって選択可能です。

PSCDT0が"0"の場合、OSC3クロック(PLL未使用時)またはPLL出力クロック(PLL使用時)に設定されます。

PSCDT0が"1"の場合はOSC1クロック(32kHz Typ.)に設定されます。

イニシャルリセット時はOSC3/PLLクロックが選択されます。

注: プリスケーラクロックには、CPU動作クロックと同じクロック源を設定してください。

発振回路とCPU動作クロックの制御については、"CLG(クロックジェネレータ)"を参照してください。

選択したクロックは、パワーコントロールレジスタ(0x40180)のPSCON(D5)に"1"を書き込むことによってプリスケーラに供給されます。

イニシャルリセット時は、PSCONが"1"に設定され動作状態となります。前記の周辺回路をすべて停止可能な場合は消費電流を低減させるため、PSCONに"0"を書き込みプリスケーラを停止させてください。

プリスケアラ分周比の選択と出力制御

プリスケアラには前記の周辺回路個別に分周比選択とクロック出力制御用のビットが設けられており、周辺回路ごとに制御することができます。

プリスケアラ分周比はそれぞれの周辺回路用に設定された8種類の中から分周比選択ビットによって選択します。その分周クロックはクロック出力制御ビットに"1"を書き込むことにより、その周辺回路に出力されます。

表2.1 クロック制御ビット

周辺回路	分周比選択ビット	クロック出力制御ビット
16ビットプログラマブルタイマ0	P16TS0[2:0] (D[2:0]/0x40147)*1	P16TON0 (D3/0x40147)
16ビットプログラマブルタイマ1	P16TS1[2:0] (D[2:0]/0x40148)*1	P16TON1 (D3/0x40148)
16ビットプログラマブルタイマ2	P16TS2[2:0] (D[2:0]/0x40149)*1	P16TON2 (D3/0x40149)
16ビットプログラマブルタイマ3	P16TS3[2:0] (D[2:0]/0x4014A)*1	P16TON3 (D3/0x4014A)
16ビットプログラマブルタイマ4	P16TS4[2:0] (D[2:0]/0x4014B)*1	P16TON4 (D3/0x4014B)
16ビットプログラマブルタイマ5	P16TS5[2:0] (D[2:0]/0x4014C)*1	P16TON5 (D3/0x4014C)
8ビットプログラマブルタイマ0	P8TS0[2:0] (D[2:0]/0x4014D)*2	P8TON0 (D3/0x4014D)
8ビットプログラマブルタイマ1	P8TS1[2:0] (D[6:4]/0x4014D)*3	P8TON1 (D7/0x4014D)
8ビットプログラマブルタイマ2	P8TS2[2:0] (D[2:0]/0x4014E)*4	P8TON2 (D3/0x4014E)
8ビットプログラマブルタイマ3	P8TS3[2:0] (D[6:4]/0x4014E)*2	P8TON3 (D7/0x4014E)

*1~*4: 表2.2参照

表2.2 分周比

制御ビット設定	7	6	5	4	3	2	1	0
*1	θ/4096	θ/1024	θ/256	θ/64	θ/16	θ/4	θ/2	θ/1
*2	θ/256	θ/128	θ/64	θ/32	θ/16	θ/8	θ/4	θ/2
*3	θ/4096	θ/2048	θ/1024	θ/512	θ/256	θ/128	θ/64	θ/32
*4	θ/4096	θ/2048	θ/64	θ/32	θ/16	θ/8	θ/4	θ/2

(θ = PSCDT0で選択した原振クロック)

上記の中で使用していない周辺回路へのクロック出力を停止することで、消費電流を低減することができます。

注: 以下の場合、プリスケアラの出力クロックにハザードが出ることがありますので注意してください。

- クロックを出力中に、その分周比を変更した場合
- クロック出力ON/OFFの切り換え時
- 発振回路の停止時およびCPU動作クロックの切り換え時

これらの制御は、16ビットプログラマブルタイマ、8ビットプログラマブルタイマを停止させた状態で行ってください。

8ビットプログラマブルタイマへの原振クロック出力

8ビットプログラマブルタイマに対しては、分周クロック以外にプリスケアラの原振クロックを直接出力できるようになっています。この選択は8ビットタイマ個々にP8TPCK_xビットで行います。

8ビットタイマ0: P8TPCK0 (8ビットタイマクロック選択レジスタ0x40146•D0)

8ビットタイマ1: P8TPCK1 (8ビットタイマクロック選択レジスタ0x40146•D1)

8ビットタイマ2: P8TPCK2 (8ビットタイマクロック選択レジスタ0x40146•D2)

8ビットタイマ3: P8TPCK3 (8ビットタイマクロック選択レジスタ0x40146•D3)

P8TPCK_xを"1"に設定すると、8ビットタイマ_xの動作クロックとしてプリスケアラ入力クロック(θ/1)が選択されます。この場合でも、クロック出力の制御はP8TON_xで行います。

P8TPCK_xが"0"の場合は、P8TS_x[2:0]で選択された分周クロックが8ビットタイマ_xに出力されます。

イニシャルリセット時、P8TPCK_xは"0"に設定され、P8TS_x[2:0]の設定が有効になります。

プリスケアラのI/Oメモリ

表2.3にプリスケアラの制御ビットを示します。

表2.3 プリスケアラの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
8bitタイマ クロック選択 レジスタ	0040146 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P8TPCK3	8bitタイマ3クロック選択	1 0/1 0 分周クロック	0	R/W	0: プリスケアラクロ ック選択レジスタ (0x40181)で選択
		D2	P8TPCK2	8bitタイマ2クロック選択	1 0/1 0 分周クロック	0	R/W	
		D1	P8TPCK1	8bitタイマ1クロック選択	1 0/1 0 分周クロック	0	R/W	
		D0	P8TPCK0	8bitタイマ0クロック選択	1 0/1 0 分周クロック	0	R/W	
16bitタイマ0 クロック コントロール レジスタ	0040147 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P16TON0	16bitタイマ0クロック制御	1 On 0 Off	0	R/W	0: プリスケアラクロ ック選択レジスタ (0x40181)で選択
		D2	P16TS02	16bitタイマ0 クロック分周比選択	P16TS0[2:0] 分周比	0	R/W	
		D1	P16TS01		1 1 1 0/4096	0		
		D0	P16TS00		1 1 0 0/1024	0		
					1 0 1 0/256			16bitタイマ0は ウォッチドッグタイ マとして使用可
					1 0 0 0/64			
					0 1 1 0/16			
					0 1 0 0/4			
					0 0 1 0/2			
					0 0 0 0/1			
16bitタイマ1 クロック コントロール レジスタ	0040148 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P16TON1	16bitタイマ1クロック制御	1 On 0 Off	0	R/W	0: プリスケアラクロ ック選択レジスタ (0x40181)で選択
		D2	P16TS12	16bitタイマ1 クロック分周比選択	P16TS1[2:0] 分周比	0	R/W	
		D1	P16TS11		1 1 1 0/4096	0		
		D0	P16TS10		1 1 0 0/1024	0		
					1 0 1 0/256			
					1 0 0 0/64			
					0 1 1 0/16			
					0 1 0 0/4			
					0 0 1 0/2			
					0 0 0 0/1			
16bitタイマ2 クロック コントロール レジスタ	0040149 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P16TON2	16bitタイマ2クロック制御	1 On 0 Off	0	R/W	0: プリスケアラクロ ック選択レジスタ (0x40181)で選択
		D2	P16TS22	16bitタイマ2 クロック分周比選択	P16TS2[2:0] 分周比	0	R/W	
		D1	P16TS21		1 1 1 0/4096	0		
		D0	P16TS20		1 1 0 0/1024	0		
					1 0 1 0/256			
					1 0 0 0/64			
					0 1 1 0/16			
					0 1 0 0/4			
					0 0 1 0/2			
					0 0 0 0/1			
16bitタイマ3 クロック コントロール レジスタ	004014A (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P16TON3	16bitタイマ3クロック制御	1 On 0 Off	0	R/W	0: プリスケアラクロ ック選択レジスタ (0x40181)で選択
		D2	P16TS32	16bitタイマ3 クロック分周比選択	P16TS3[2:0] 分周比	0	R/W	
		D1	P16TS31		1 1 1 0/4096	0		
		D0	P16TS30		1 1 0 0/1024	0		
					1 0 1 0/256			
					1 0 0 0/64			
					0 1 1 0/16			
					0 1 0 0/4			
					0 0 1 0/2			
					0 0 0 0/1			
16bitタイマ5 クロック コントロール レジスタ	004014C (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P16TON5	16bitタイマ5クロック制御	1 On 0 Off	0	R/W	0: プリスケアラクロ ック選択レジスタ (0x40181)で選択
		D2	P16TS52	16bitタイマ5 クロック分周比選択	P16TS5[2:0] 分周比	0	R/W	
		D1	P16TS51		1 1 1 0/4096	0		
		D0	P16TS50		1 1 0 0/1024	0		
					1 0 1 0/256			
					1 0 0 0/64			
					0 1 1 0/16			
					0 1 0 0/4			
					0 0 1 0/2			
					0 0 0 0/1			

III 周辺回路ブロック: プリスケアラ

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
8bitタイマ0/1 クロック コントロール レジスタ	004014D (B)	D7	P8TON1	8bitタイマ1クロック制御	1 On 0 Off	0	R/W	θ: プリスケアラクロ ック選択レジスタ (0x40181)で選択 8bitタイマ1は OSC3発振安定時間 のクロックを生成
		D6	P8TS12	8bitタイマ1	P8TS1[2:0] 分周比	0	R/W	
		D5	P8TS11	クロック分周比選択	1 1 1 θ/4096	0		
		D4	P8TS10		1 1 0 θ/2048	0		
					1 0 1 θ/1024			
					1 0 0 θ/512			
					0 1 1 θ/256			
					0 1 0 θ/128			
					0 0 1 θ/64			
					0 0 0 θ/32			
		D3	P8TON0	8bitタイマ0クロック制御	1 On 0 Off	0	R/W	
		D2	P8TS02	8bitタイマ0	P8TS0[2:0] 分周比	0	R/W	
		D1	P8TS01	クロック分周比選択	1 1 1 θ/256	0		
		D0	P8TS00		1 1 0 θ/128	0		
					1 0 1 θ/64			
					1 0 0 θ/32			
					0 1 1 θ/16			
					0 1 0 θ/8			
					0 0 1 θ/4			
					0 0 0 θ/2			
8bitタイマ2/3 クロック コントロール レジスタ	004014E (B)	D7	P8TON3	8bitタイマ3クロック制御	1 On 0 Off	0	R/W	θ: プリスケアラクロ ック選択レジスタ (0x40181)で選択 8bitタイマ3は シリアル/F Ch.1の クロックを生成
		D6	P8TS32	8bitタイマ3	P8TS3[2:0] 分周比	0	R/W	
		D5	P8TS31	クロック分周比選択	1 1 1 θ/256	0		
		D4	P8TS30		1 1 0 θ/128	0		
					1 0 1 θ/64			
					1 0 0 θ/32			
					0 1 1 θ/16			
					0 1 0 θ/8			
					0 0 1 θ/4			
					0 0 0 θ/2			
		D3	P8TON2	8bitタイマ2クロック制御	1 On 0 Off	0	R/W	
		D2	P8TS22	8bitタイマ2	P8TS2[2:0] 分周比	0	R/W	
		D1	P8TS21	クロック分周比選択	1 1 1 θ/4096	0		
		D0	P8TS20		1 1 0 θ/2048	0		
					1 0 1 θ/64			
					1 0 0 θ/32			
					0 1 1 θ/16			
					0 1 0 θ/8			
					0 0 1 θ/4			
					0 0 0 θ/2			
パワー コントロール レジスタ	0040180 (B)	D7	CLKDT1	システムクロック分周比選択	CLKDT[1:0] 分周比	0	R/W	
		D6	CLKDT0		1 1 1/8	0		
					1 0 1/4			
					0 1 1/2			
					0 0 1/1			
		D5	PSCON	プリスケアラOn/Off制御	1 On 0 Off	1	R/W	
		D4-3	—	reserved	—	0	—	
		D2	CLKCHG	CPU動作クロック切り換え	1 OSC3 0 OSC1	1	R/W	
プリスケアラ クロック選択 レジスタ	0040181 (B)	D7-1	—	reserved	—	0	—	
		D0	PSCDT0	プリスケアラクロック選択	1 OSC1 0 OSC3/PLL	0	R/W	
パワー コントロール レジスタ 保護レジスタ	004019E (B)	D7	CLGP7	パワーコントロールレジスタ 保護フラグ	10010110(0x96)書き込みにより パワーコントロールレジスタ (0x40180)の書き込み保護を解除 それ以外は書き込み禁止に設定	0	R/W	
		D6	CLGP6			0		
		D5	CLGP5			0		
		D4	CLGP4			0		
		D3	CLGP3			0		
		D2	CLGP2			0		
		D1	CLGP1			0		
		D0	CLGP0			0		

PSCON: プリスケアラON/OFF制御(D5/0x40180<パワーコントロールレジスタ>)

プリスケアラをON/OFFします。

"1"書き込み: ON
 "0"書き込み: OFF
 読み出し: 可能

PSCONに"1"を書き込むことによりOSC3クロックがプリスケアラに入力され、分周動作を開始します。
 "0"を書き込むと、プリスケアラは停止します。周辺回路を動作させる必要がない場合は、"0"を書き込んで消費電流を低減させてください。PSCONへの書き込みは、SOSC1、SOSC3、CLKCHG、CLKDT[1:0]と同様に保護されているため、CLGP[7:0]が0b10010110に設定されている場合にのみ可能です。
 イニシャルリセット時、PSCONは"1"(ON)に設定されます。

CLGP7–CLGP0: パワーコントロールレジスタ保護フラグ

([D7:0]/0x4019E<パワーコントロールレジスタ保護レジスタ>)

パワーコントロールレジスタ(0x40180)とクロックオプションレジスタ(0x40190)の書き込み保護を解除します。

0b10010110書き込み: 書き込み保護解除
 上記以外の書き込み: ノーオペレーション(書き込み保護)
 読み出し: 可能

パワーコントロールレジスタ(0x40180)またはクロックオプションレジスタ(0x40190)に書き込みを行う場合は、その前にCLGP[7:0]を0b10010110に設定し、書き込み保護を解除してください。この解除は上記いずれかのアドレスに対する1回の書き込みのみに有効で、書き込みが行われると0b00000000にクリアされます。したがって、書き込みの都度CLGP[7:0]を再設定する必要があります。
 イニシャルリセット時、CLGPは0b00000000(書き込み保護)に設定されます。

PSCDT0: プリスケアラクロック選択(D0/0x40181<プリスケアラクロック選択レジスタ>)

プリスケアラの原振クロックを選択します。

"1"書き込み: OSC1クロック
 "0"書き込み: OSC3クロック/PLL出力クロック
 読み出し: 可能

PSCDT0に"1"を書き込むことによりOSC1クロック(32kHz Typ.)に設定されます。
 "0"を書き込むと、OSC3クロック(PLL未使用時)またはPLL出力クロック(PLL使用時)に設定されます。
 プリスケアラクロックには、CPU動作クロックと同じクロック源を設定してください。
 イニシャルリセット時、PSCDT0は"0"(OSC3クロック/PLL出力クロック)に設定されます。

P16TS0[2:0]: 16bitタイマ0クロック分周比設定(D[2:0]/0x40147<16bitタイマ0クロックコントロールレジスタ>)

P16TS1[2:0]: 16bitタイマ1クロック分周比設定(D[2:0]/0x40148<16bitタイマ1クロックコントロールレジスタ>)

P16TS2[2:0]: 16bitタイマ2クロック分周比設定(D[2:0]/0x40149<16bitタイマ2クロックコントロールレジスタ>)

P16TS3[2:0]: 16bitタイマ3クロック分周比設定(D[2:0]/0x4014A<16bitタイマ3クロックコントロールレジスタ>)

P16TS4[2:0]: 16bitタイマ4クロック分周比設定(D[2:0]/0x4014B<16bitタイマ4クロックコントロールレジスタ>)

P16TS5[2:0]: 16bitタイマ5クロック分周比設定(D[2:0]/0x4014C<16bitタイマ5クロックコントロールレジスタ>)

P8TS0[2:0]: 8bitタイマ0クロック分周比設定(D[2:0]/0x4014D<8bitタイマ0/1クロックコントロールレジスタ>)

P8TS1[2:0]: 8bitタイマ1クロック分周比設定(D[6:4]/0x4014D<8bitタイマ0/1クロックコントロールレジスタ>)

P8TS2[2:0]: 8bitタイマ2クロック分周比設定(D[2:0]/0x4014E<8bitタイマ2/3クロックコントロールレジスタ>)

P8TS3[2:0]: 8bitタイマ3クロック分周比設定(D[6:4]/0x4014E<8bitタイマ2/3クロックコントロールレジスタ>)

各周辺回路のクロックを選択します。

それぞれ、I/Oマップに示した8種類の分周比の中から選択できます。周辺回路により分周比が異なりますので注意してください。

これらのビットは読み出しも可能です。

イニシャルリセット時、これらのビットはすべて"0b000"(最も高い周波数)に設定されます。

P16TON0: 16bit タイマ0クロック制御(D3/0x40147<16bit タイマ0クロックコントロールレジスタ>)
P16TON1: 16bit タイマ1クロック制御(D3/0x40148<16bit タイマ1クロックコントロールレジスタ>)
P16TON2: 16bit タイマ2クロック制御(D3/0x40149<16bit タイマ2クロックコントロールレジスタ>)
P16TON3: 16bit タイマ3クロック制御(D3/0x4014A<16bit タイマ3クロックコントロールレジスタ>)
P16TON4: 16bit タイマ4クロック制御(D3/0x4014B<16bit タイマ4クロックコントロールレジスタ>)
P16TON5: 16bit タイマ5クロック制御(D3/0x4014C<16bit タイマ5クロックコントロールレジスタ>)
P8TON0: 8bit タイマ0クロック制御(D3/0x4014D<8bit タイマ0/1クロックコントロールレジスタ>)
P8TON1: 8bit タイマ1クロック制御(D7/0x4014D<8bit タイマ0/1クロックコントロールレジスタ>)
P8TON2: 8bit タイマ2クロック制御(D3/0x4014E<8bit タイマ2/3クロックコントロールレジスタ>)
P8TON3: 8bit タイマ3クロック制御(D7/0x4014E<8bit タイマ2/3クロックコントロールレジスタ>)

各周辺回路へのクロック供給を制御します。

"1"書き込み: ON
 "0"書き込み: OFF
 読み出し: 可能

これらのビットに"1"を書き込むことにより、分周比設定ビットで選択したクロックが対応する周辺回路に出力されます。

"0"を書き込むと、クロックは出力されません。周辺回路を動作させる必要がない場合は、"0"を書き込んで消費電流を低減させてください。

イニシャルリセット時、これらのビットはすべて"0"(OFF)に設定されます。

P8TPCK0: 8bit タイマ0クロック選択(D0/0x40146<8bit タイマクロック選択レジスタ>)
P8TPCK1: 8bit タイマ1クロック選択(D1/0x40146<8bit タイマクロック選択レジスタ>)
P8TPCK2: 8bit タイマ2クロック選択(D2/0x40146<8bit タイマクロック選択レジスタ>)
P8TPCK3: 8bit タイマ3クロック選択(D3/0x40146<8bit タイマクロック選択レジスタ>)

8ビットプログラマブルタイマの動作クロックを選択します。

"1"書き込み: プリスケアラ入力クロック($\theta/1$)
 "0"書き込み: 分周クロック
 読み出し: 可能

P8TPCK_xに"1"を書き込むことにより、8ビットタイマ_xの動作クロックとしてプリスケアラ入力クロック($\theta/1$)が選択されます。この場合でも、クロック出力の制御はP8TON_xで行います。

"0"を書き込むと、P8TS_x[2:0]で選択された分周クロックが設定されます。

イニシャルリセット時、P8TPCK_xは"0"(分周クロック)に設定されます。

プログラミング上の注意事項

- (1) プリスケアラクロックには、CPU動作クロックと同じクロック源を設定してください。
- (2) 以下の場合、プリスケアラの出力クロックにハザードが出ることがありますので注意してください。
 - ・クロックを出力中に、その分周比を変更した場合
 - ・クロック出力ON/OFFの切り換え時
 - ・発振回路の停止時およびCPU動作クロックの切り換え時
 これらの制御は、16ビットプログラマブルタイマ、8ビットプログラマブルタイマを停止させた状態で行ってください。
- (3) 16ビットプログラマブルタイマ、8ビットプログラマブルタイマを動作させる必要がない場合は、消費電流を低減させるためクロックの供給を停止してください。

III-3 8ビットプログラマブルタイマ

8ビットプログラマブルタイマの構成

C33周辺回路ブロックは8ビットのプログラマブルタイマを4系統(タイマ0～タイマ3)内蔵しています。図3.1に8ビットプログラマブルタイマの構成を示します。

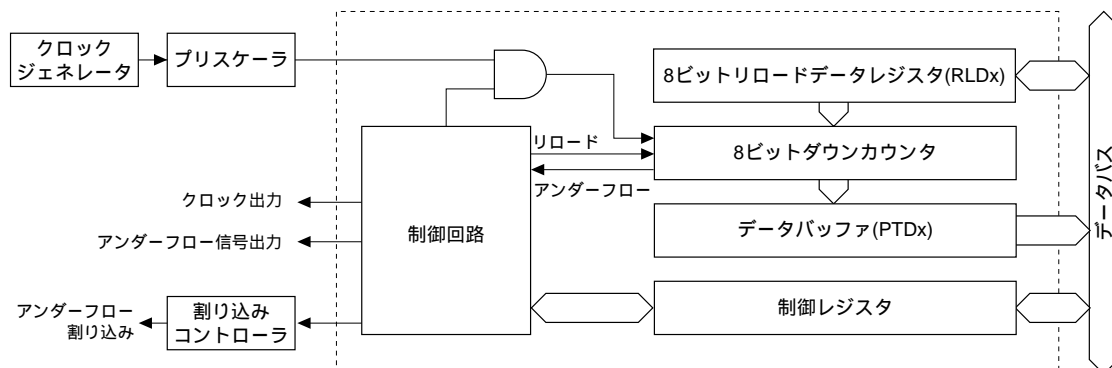


図3.1 プログラマブルタイマの構成

各タイマは8ビットプリセッタブルダウンカウンタで構成され、カウンタのアンダーフローにより生成したクロックを周辺回路やIC外部に出力することができます。ソフトウェアで設定可能なプリセットデータとプリスケータでの入力クロックの設定により、出力クロックの周期を広いレンジで選択可能です。

8ビットプログラマブルタイマの出力端子

表3.1に、8ビットプログラマブルタイマのアンダーフロー信号をIC外部に出力する場合に使用する端子を示します。

表3.1 8ビットプログラマブルタイマの出力端子

端子名	I/O	機 能	機能選択ビット
P10/EXCL0/ T8UF0	I/O	入出力兼用ポート/16ビットタイマ0イベントカウンタ入力/8ビットタイマ0出力/DST0出力	CFP10(P1機能選択レジスタ0x402D4•D0) CFEX1(ポート機能拡張レジスタ0x402DF•D1)
P11/EXCL1/ T8UF1	I/O	入出力兼用ポート/16ビットタイマ1イベントカウンタ入力/8ビットタイマ1出力/DST1出力	CFP11(P1機能選択レジスタ0x402D4•D1) CFEX1(ポート機能拡張レジスタ0x402DF•D1)
P12/EXCL2/ T8UF2	I/O	入出力兼用ポート/16ビットタイマ2イベントカウンタ入力/8ビットタイマ2出力/DST2出力	CFP12(P1機能選択レジスタ0x402D4•D2) CFEX0(ポート機能拡張レジスタ0x402DF•D0)
P13/EXCL3/ T8UF3	I/O	入出力兼用ポート/16ビットタイマ3イベントカウンタ入力/8ビットタイマ3出力/DPC0出力	CFP13(P1機能選択レジスタ0x402D4•D3) CFEX1(ポート機能拡張レジスタ0x402DF•D1)

T8UFx (8ビットプログラマブルタイマ出力端子)

各8ビットプログラマブルタイマで分周したクロックを出力します。パルス幅は8ビットタイマの入力クロック(プリスケータ出力)のパルス幅になります。したがって、プリスケータの設定によってパルス幅は変わります。

8ビットプログラマブルタイマ出力端子の設定方法

8ビットプログラマブルタイマで使用する端子はすべて、入出力兼用ポート端子、16ビットプログラマブルタイマのイベントカウンタ入力およびデバッグ用信号出力と共用されています。

コールドスタート時はすべてデバッグ用信号出力端子(機能選択ビットCFP1[3:0]="0"、ポート機能拡張ビットCFEX[1:0]="1")として設定されます。8ビットプログラマブルタイマのクロック出力機能を使用する場合は、使用するタイマに合わせ、対応する端子のポート機能拡張ビットCFEXxに"0"、機能選択ビットCFP1xに"1"を書き込んでください。

さらに、入出力兼用ポートのP1 I/O制御レジスタ(0x402D6)のIOC1x(D[3:0])に"1"を書き込み、出力モードに設定してください。入力モードに設定されていると16ビットプログラマブルタイマのイベントカウンタ入力として機能し、8ビットプログラマブルタイマのクロック出力は行えません。コードスタート時は入力モードに設定されます。

ホットスタート時、これらのレジスタはリセット前の状態を保持します。

8ビットプログラマブルタイマの用途

8ビットプログラマブルタイマのダウンカウンタは、ソフトウェアで設定したプリセットデータにより周期的にアンダーフロー信号を出力します。このアンダーフロー信号はCPUへの割り込み要求や、内蔵周辺回路の制御に使用されます。この信号をIC外部に出力することもできます。

また、各8ビットプログラマブルタイマは、アンダーフロー信号を1/2に分周してクロックを生成し、特定の内蔵周辺回路に出力します。

CPUへの割り込み要求

各タイマのアンダーフローを割り込み要因として、CPUに対して割り込み要求を出力可能です。ソフトウェアで設定した周期で割り込みを発生させることができます。

IC外部へのクロック出力

アンダーフロー信号をIC外部に出力することができます。これを外部デバイスの制御などに使用することができます。各タイマの出力端子は前節に示したとおりです。

内蔵周辺回路の制御とクロック供給

8ビットプログラマブルタイマのアンダーフロー信号で制御される機能と、出力クロックを使用する内蔵周辺回路を以下に示します。

8ビットプログラマブルタイマ0

• DRAMリフレッシュ

BCUの外部バスにDRAMを直結して使用する場合、タイマ0のアンダーフロー信号をDRAMリフレッシュリクエスト信号として使用可能です。これにより、リフレッシュサイクルの間隔をプログラマブルに設定することができます。

この機能を使用するには、BCUのバスコントロールレジスタ(0x4812E)のRPC(D9)に"1"を書き込み、DRAMリフレッシュをイネーブルに設定します。

8ビットプログラマブルタイマ1

• 高速(OSC3)発振回路の発振安定待ち時間

SLEEPモードを外部割り込みによって解除すると、高速(OSC3)発振回路が発振を開始します。発振が安定する前のクロックによるCPUの誤動作を防止するため、SLEEP解除後にCPUが動作を開始するまで待ち時間を設けることができます。この時間を8ビットプログラマブルタイマ1によって生成します。高速(OSC3)発振回路の発振開始により8ビットプログラマブルタイマ1を動作させ、発振安定時間以上経過後にアンダーフローが発生するように8ビットプログラマブルタイマ1を設定しておくと、CPUはそのアンダーフロー信号によって動作を開始します。

この機能を使用するには、発振回路のクロックオプションレジスタ(0x40190)の8T1ON(D2)に"0"を書き込み、発振安定待ち機能をイネーブルに設定します。

8ビットプログラマブルタイマ2

• シリアルインタフェースCh.0へのクロック供給

シリアルインタフェースのCh.0をクロック同期式マスタモード、または内部クロックを使用した調歩同期式モードで使用する場合、8ビットプログラマブルタイマ2のアンダーフロー信号を1/2に分周した出力クロックがシリアルインタフェースの動作クロックとして使用されます。これにより、転送速度をプログラマブルに設定することができます。

この機能を使用するには、シリアルインタフェースCh.0制御レジスタ(0x401E3)のSSCK0(D2)に"0"を書き込み、内部クロックを選択してください。

8ビットプログラマブルタイマ3

• シリアルインタフェースCh.1へのクロック供給

シリアルインタフェースのCh.1をクロック同期式マスタモード、または内部クロックを使用した調歩同期式モードで使用する場合、8ビットプログラマブルタイマ3のアンダーフロー信号を1/2に分周した出力クロックがシリアルインタフェースの動作クロックとして使用されます。これにより、転送速度をプログラマブルに設定することができます。

この機能を使用するには、シリアルインタフェースCh.1制御レジスタ(0x401E8)のSSCK1(D2)に"0"を書き込み、内部クロックを選択してください。

8ビットプログラマブルタイマの制御と動作

8ビットプログラマブルタイマを使用する場合は、カウントを開始させる前に以下の設定が必要です。

1. 出力端子の設定(必要な場合のみ)
2. 入力クロックの設定
3. プリセットデータ(カウンタ初期値)の設定
4. 割り込みの設定

出力端子の設定は、8ビットプログラマブルタイマの出力クロックをIC外部に出力させる場合にのみ必要です。設定方法は"8ビットプログラマブルタイマの出力端子"を参照してください。

割り込みの設定については"8ビットプログラマブルタイマ割り込み"を参照してください。

注: 8ビットプログラマブルタイマ0~3のカウント動作は同一で、制御レジスタも同一の構成です。制御ビット名にはタイマ番号を示す"0"~"3"が付きますが、説明は全タイマに共通なため、必要な部分以外はタイマ番号を"x"に置き換えて記述します。

入力クロックの設定

8ビットプログラマブルタイマはプリスケアラの出力クロックにより動作します。プリスケアラの分周比は、タイマごとに選択可能です。

分周比選択ビット	クロック制御ビット	レジスタ
タイマ0: P8TS0[2:0] (D2:0)	P8TON0 (D3)	8bitタイマ0/1クロック制御レジスタ(0x4014D)
タイマ1: P8TS1[2:0] (D6:4)	P8TON1 (D7)	8bitタイマ0/1クロック制御レジスタ(0x4014D)
タイマ2: P8TS2[2:0] (D2:0)	P8TON2 (D3)	8bitタイマ2/3クロック制御レジスタ(0x4014E)
タイマ3: P8TS3[2:0] (D6:4)	P8TON3 (D7)	8bitタイマ2/3クロック制御レジスタ(0x4014E)

分周比はタイマにより異なりますので注意してください(表3.2参照)。

また、8ビットタイマクロック選択レジスタ(0x40146)のP8TCPKxビットに"1"を書き込むことで、プリスケアラの入力クロックを直接8ビットタイマに供給することもできます。

タイマ0クロック選択: P8TCPK0 (8bitタイマクロック選択レジスタ0x40146•D0)

タイマ1クロック選択: P8TCPK1 (8bitタイマクロック選択レジスタ0x40146•D1)

タイマ2クロック選択: P8TCPK2 (8bitタイマクロック選択レジスタ0x40146•D2)

タイマ3クロック選択: P8TCPK3 (8bitタイマクロック選択レジスタ0x40146•D3)

P8TSxで指定した分周クロックを使用する場合は、P8TCPKxを"0"に設定しておきます。

表3.2 入力クロックの選択

タイマ	P8TSx = 7	P8TSx = 6	P8TSx = 5	P8TSx = 4	P8TSx = 3	P8TSx = 2	P8TSx = 1	P8TSx = 0	P8TCPK = 1
タイマ0	fPSCIN/256	fPSCIN/128	fPSCIN/64	fPSCIN/32	fPSCIN/16	fPSCIN/8	fPSCIN/4	fPSCIN/2	fPSCIN/1
タイマ1	fPSCIN/4096	fPSCIN/2048	fPSCIN/1024	fPSCIN/512	fPSCIN/256	fPSCIN/128	fPSCIN/64	fPSCIN/32	fPSCIN/1
タイマ2	fPSCIN/4096	fPSCIN/2048	fPSCIN/64	fPSCIN/32	fPSCIN/16	fPSCIN/8	fPSCIN/4	fPSCIN/2	fPSCIN/1
タイマ3	fPSCIN/256	fPSCIN/128	fPSCIN/64	fPSCIN/32	fPSCIN/16	fPSCIN/8	fPSCIN/4	fPSCIN/2	fPSCIN/1

fPSCIN: プリスケアラ入力クロック周波数

選択したクロックはP8TONxに"1"を書き込むことにより、プリスケアラから8ビットプログラマブルタイマに出力されます。

- 注: ・ 8ビットプログラマブルタイマの動作はプリスケアラが動作していることが条件です。("プリスケアラ"参照)
- ・ 8ビットプログラマブルタイマの入力クロックにCPU動作クロックよりも高速なクロックは使用しないでください。
 - ・ 入力クロックの設定は、8ビットプログラマブルタイマが停止中に行ってください。

プリセットデータ(カウンタ初期値)の設定

各タイマには8ビットのダウンカウンタとリロードデータレジスタが設けられています。
 リロードデータレジスタRLD_xは各タイマのダウンカウンタ初期値を設定するレジスタです。
 タイマ0リロードデータ: RLD0[7:0](8bitタイマ0リロードデータレジスタ0x40161•D[7:0])
 タイマ1リロードデータ: RLD1[7:0](8bitタイマ1リロードデータレジスタ0x40165•D[7:0])
 タイマ2リロードデータ: RLD2[7:0](8bitタイマ2リロードデータレジスタ0x40169•D[7:0])
 タイマ3リロードデータ: RLD3[7:0](8bitタイマ3リロードデータレジスタ0x4016D•D[7:0])

リロードデータレジスタは読み出し/書き込み可能です。イニシャルリセット時、リロードデータレジスタは初期化されません。

ここに書き込んだデータがダウンカウンタにプリセットされ、その値からダウンカウントが行われます。

ダウンカウンタへのプリセットは、次の2つの場合に行われます。

1. ソフトウェアでプリセットを行った場合
 ソフトウェアによるプリセットはプリセット制御ビットPSET_xによって行います。このビットに"1"を書き込むと、その時点でリロードデータレジスタの内容がダウンカウンタにロードされます。
 タイマ0プリセット: PSET0(8bitタイマ0制御レジスタ0x40160•D1)
 タイマ1プリセット: PSET1(8bitタイマ1制御レジスタ0x40164•D1)
 タイマ2プリセット: PSET2(8bitタイマ2制御レジスタ0x40168•D1)
 タイマ3プリセット: PSET3(8bitタイマ3制御レジスタ0x4016C•D1)
2. ダウンカウンタがカウント中にアンダーフローした場合
 ダウンカウンタはそのアンダーフローによりリロードデータをプリセットしますので、リロードデータレジスタの設定値により、アンダーフロー周期が決定します。このアンダーフロー信号は前節で説明した各機能を制御します。

8ビットプログラマブルタイマの動作を開始する前にリロードデータレジスタに初期値を設定し、PSET_xでダウンカウンタにプリセットしてください。

アンダーフロー周期は、プリスケアラの設定とリロードデータによって決まります。この関係を次の式に示します。

$$\text{アンダーフロー周期} = \frac{\text{RLD}_x + 1}{f_{\text{PSCIN}} \times \text{pdr}} \quad [\text{秒}]$$

f_{PSCIN}: プリスケアラ入力クロック周波数 [Hz]

pdr: P8TS_xによるプリスケアラの分周比

RLD_x: RLD_xの設定値(0 ~ 255)

タイマのRUN/STOP制御

各タイマにはそれぞれ、RUN/STOPを制御するビットPTRUN_xが設けられています。

タイマ0 RUN/STOP制御: PTRUN0(8bitタイマ0制御レジスタ0x40160•D0)
 タイマ1 RUN/STOP制御: PTRUN1(8bitタイマ1制御レジスタ0x40164•D0)
 タイマ2 RUN/STOP制御: PTRUN2(8bitタイマ2制御レジスタ0x40168•D0)
 タイマ3 RUN/STOP制御: PTRUN3(8bitタイマ3制御レジスタ0x4016C•D0)

タイマはPTRUN_xに"1"を書き込むことによってダウンカウントを開始します。PTRUN_xに"0"を書き込むとクロックの入力が禁止され、カウントは停止します。

このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

カウンタはダウンカウントが進んでアンダーフローが発生すると、リロードデータレジスタに設定された初期値をリロードします。

タイマのRUN/STOP制御ビット(PTRUN_x)とプリセットビット(PSET_x)の両方を"1"にして8bitタイマ制御レジスタに書き込んだ場合、リロードデータレジスタの値をプリセットしてからタイマがRUNします。

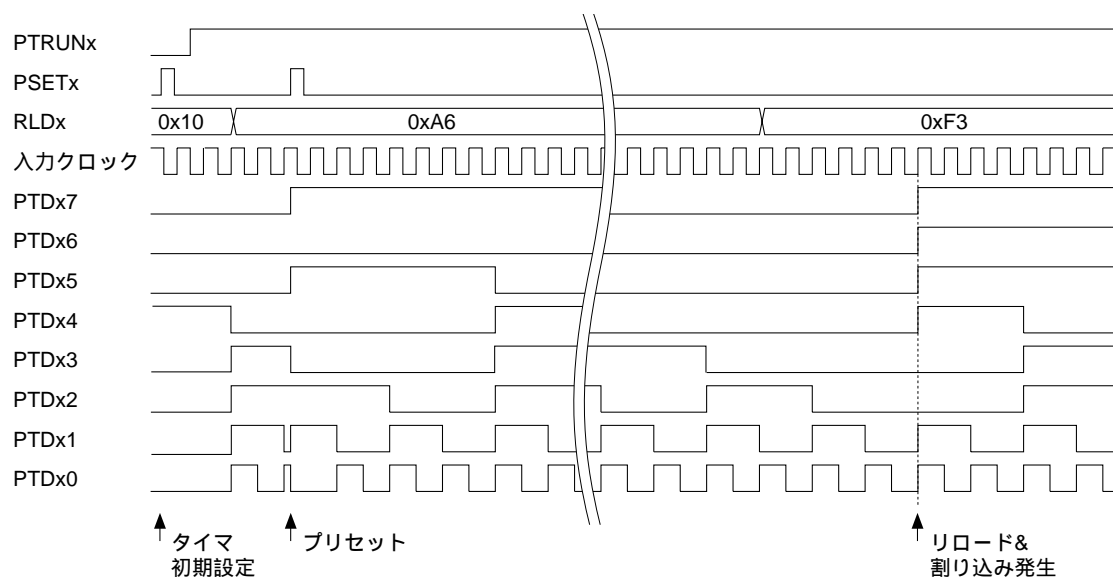


図3.2 カウンタの基本動作タイミング

カウンタデータの読み出し

カウンタデータの読み出しはデータバッファPTDxを介して行います。任意のタイミングで読み出しが可能です。

タイマ0データ: PTD0[7:0](8bitタイマ0カウントデータレジスタ0x40162・D[7:0])

タイマ1データ: PTD1[7:0](8bitタイマ1カウントデータレジスタ0x40166・D[7:0])

タイマ2データ: PTD2[7:0](8bitタイマ2カウントデータレジスタ0x4016A・D[7:0])

タイマ3データ: PTD3[7:0](8bitタイマ3カウントデータレジスタ0x4016E・D[7:0])

クロック出力の制御

8ビットプログラマブルタイマのアンダーフロー信号をIC外部に出力する場合、またはアンダーフロー信号から生成したクロックをシリアルインタフェースに出力する場合はクロックの出力制御が必要です。

タイマ0クロック出力制御: PTOUT0(8bitタイマ0制御レジスタ0x40160・D2)

タイマ1クロック出力制御: PTOUT1(8bitタイマ1制御レジスタ0x40164・D2)

タイマ2クロック出力制御: PTOUT2(8bitタイマ2制御レジスタ0x40168・D2)

タイマ3クロック出力制御: PTOUT3(8bitタイマ3制御レジスタ0x4016C・D2)

アンダーフロー信号/クロックを出力するには、クロック出力制御レジスタPTOUTxに"1"を書き込みます。出力端子が設定されていれば、その端子からアンダーフロー信号が出力されます。

タイマ2または3をシリアルインタフェースのクロック源として設定した場合も同様で、この制御により、アンダーフロー信号を1/2に分周して生成したクロックがシリアルインタフェースに出力されます。

PTOUTxに"0"を書き込むと出力が停止し、外部出力は"0"に、内部クロック出力は"1"に固定されます。

図3.3に出力波形を示します。

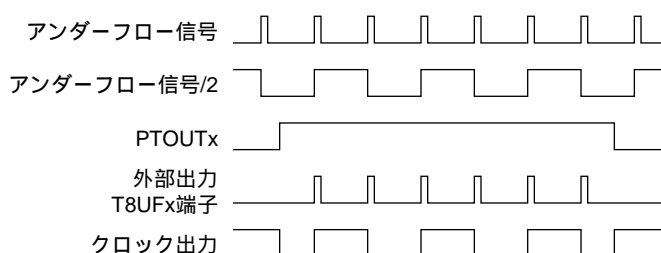


図3.3 8ビットプログラマブルタイマの出力波形

アンダーフロー信号のパルス幅(High)は、入力クロック(プリスケアラ出力)のパルス幅と等しくなります。

8ビットタイマ外部出力(P10～P13ポート)

- 1) イニシャルリセット(コールドスタート)後のポート(P10～P13)はデバッグ用出力に設定されています。
- 2) ポート(P10～P13)を8ビットタイマ出力に設定した段階で"0"を出力します。
(タイマ出力はOFF状態)
- 3) 入力クロック、タイマの初期値を設定後、タイマ出力をONにしてもタイマ出力は"0"を保持します。
- 4) 8ビットタイマをRUNさせ、アンダーフローが発生すると、8ビットタイマのクロック入力(プリスケアラ出力)の1クロックパルスを出力します。

8ビットプログラマブルタイマ割り込み

8ビットプログラマブルタイマには、各タイマのアンダーフローによって割り込みを発生させる機能があります。

割り込みの発生タイミングは、図3.2に示したとおりです。

割り込みコントローラの制御レジスタ

各タイマごとに用意されている割り込みコントローラの制御レジスタを、表3.3に示します。

表3.3 割り込みコントローラの制御レジスタ

タイマ	割り込み要因フラグ	割り込み イネーブルレジスタ	割り込み プライオリティレジスタ
タイマ0	F8TU0(D0/0x40285)	E8TU0(D0/0x40275)	P8TM[2:0](D[2:0]/0x40269)
タイマ1	F8TU1(D1/0x40285)	E8TU1(D1/0x40275)	
タイマ2	F8TU2(D2/0x40285)	E8TU2(D2/0x40275)	
タイマ3	F8TU3(D3/0x40285)	E8TU3(D3/0x40275)	

タイマにアンダーフローが発生すると、対応する割り込み要因フラグが"1"にセットされます。その割り込み要因フラグに対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、そのタイマによる割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず("0"に設定されていても)、タイマのアンダーフローによって"1"にセットされます。割り込みプライオリティレジスタは、4つのタイマを1つの割り込み系列として割り込みの優先レベル(0~7)を設定します。8ビットプログラマブルタイマの中の優先順位は、タイマ0が最も高く、タイマ3が最も低く設定されています。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。

また、入力割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した入力割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITC(割り込みコントローラ)"を参照してください。

トラップベクタ

各アンダーフロー割り込み要因のトラップベクタアドレスは、デフォルトでそれぞれ以下のとおり設定されています。

タイマ0アンダーフロー割り込み: 0x0C000D0
 タイマ1アンダーフロー割り込み: 0x0C000D4
 タイマ2アンダーフロー割り込み: 0x0C000D8
 タイマ3アンダーフロー割り込み: 0x0C000DC

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134~0x48137)で変更することも可能です。

8ビットプログラマブルタイマのI/Oメモリ

表3.4に8ビットプログラマブルタイマの制御ビットを示します。

クロックを設定するプリスケアラのI/Oメモリについては、"プリスケアラ"を参照してください。

表3.4 8ビットプログラマブルタイマの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
8bitタイマ0 制御レジスタ	0040160 (B)	D7-3	—	reserved	—	—	—	読み出し時: 0
		D2	PTOUT0	8bitタイマ0クロック出力制御	1 On 0 Off	0	R/W	
		D1	PSET0	8bitタイマ0プリセット	1 プリセット 0 無効	—	W	読み出し時: 0
		D0	PTRUN0	8bitタイマ0 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ0 リロードデータ レジスタ	0040161 (B)	D7	RLD07	8bitタイマ0	0 ~ 255	X	R/W	
		D6	RLD06	リロードデータ		X		
		D5	RLD05	RLD07 = MSB		X		
		D4	RLD04	RLD00 = LSB		X		
		D3	RLD03			X		
		D2	RLD02			X		
		D1	RLD01			X		
		D0	RLD00			X		
8bitタイマ0 カウントデータ レジスタ	0040162 (B)	D7	PTD07	8bitタイマ0カウントデータ	0 ~ 255	X	R	
		D6	PTD06	PTD07 = MSB		X		
		D5	PTD05	PTD00 = LSB		X		
		D4	PTD04			X		
		D3	PTD03			X		
		D2	PTD02			X		
		D1	PTD01			X		
		D0	PTD00			X		
8bitタイマ1 制御レジスタ	0040164 (B)	D7-3	—	reserved	—	—	—	読み出し時: 0
		D2	PTOUT1	8bitタイマ1クロック出力制御	1 On 0 Off	0	R/W	
		D1	PSET1	8bitタイマ1プリセット	1 プリセット 0 無効	—	W	読み出し時: 0
		D0	PTRUN1	8bitタイマ1 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ1 リロードデータ レジスタ	0040165 (B)	D7	RLD17	8bitタイマ1	0 ~ 255	X	R/W	
		D6	RLD16	リロードデータ		X		
		D5	RLD15	RLD17 = MSB		X		
		D4	RLD14	RLD10 = LSB		X		
		D3	RLD13			X		
		D2	RLD12			X		
		D1	RLD11			X		
		D0	RLD10			X		
8bitタイマ1 カウントデータ レジスタ	0040166 (B)	D7	PTD17	8bitタイマ1カウントデータ	0 ~ 255	X	R	
		D6	PTD16	PTD17 = MSB		X		
		D5	PTD15	PTD10 = LSB		X		
		D4	PTD14			X		
		D3	PTD13			X		
		D2	PTD12			X		
		D1	PTD11			X		
		D0	PTD10			X		
8bitタイマ2 制御レジスタ	0040168 (B)	D7-3	—	reserved	—	—	—	読み出し時: 0
		D2	PTOUT2	8bitタイマ2クロック出力制御	1 On 0 Off	0	R/W	
		D1	PSET2	8bitタイマ2プリセット	1 プリセット 0 無効	—	W	読み出し時: 0
		D0	PTRUN2	8bitタイマ2 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ2 リロードデータ レジスタ	0040169 (B)	D7	RLD27	8bitタイマ2	0 ~ 255	X	R/W	
		D6	RLD26	リロードデータ		X		
		D5	RLD25	RLD27 = MSB		X		
		D4	RLD24	RLD20 = LSB		X		
		D3	RLD23			X		
		D2	RLD22			X		
		D1	RLD21			X		
		D0	RLD20			X		
8bitタイマ2 カウントデータ レジスタ	004016A (B)	D7	PTD27	8bitタイマ2カウントデータ	0 ~ 255	X	R	
		D6	PTD26	PTD27 = MSB		X		
		D5	PTD25	PTD20 = LSB		X		
		D4	PTD24			X		
		D3	PTD23			X		
		D2	PTD22			X		
		D1	PTD21			X		
		D0	PTD20			X		

III 周辺回路ブロック: 8ビットプログラマブルタイマ

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
8bitタイマ3 制御レジスタ	004016C (B)	D7-3	—	reserved	—	—	—	読み出し時: 0
		D2	PTOUT3	8bitタイマ3クロック出力制御	1 On 0 Off	0	R/W	
		D1	PSET3	8bitタイマ3プリセット	1 プリセット 0 無効	—	W	読み出し時: 0
		D0	PTRUN3	8bitタイマ3 Run/Stop制御	1 Run 0 Stop	0	R/W	
8bitタイマ3 リロードデータ レジスタ	004016D (B)	D7	RLD37	8bitタイマ3	0 ~ 255	X	R/W	
		D6	RLD36	リロードデータ		X		
		D5	RLD35	RLD37 = MSB		X		
		D4	RLD34	RLD30 = LSB		X		
		D3	RLD33			X		
		D2	RLD32			X		
		D1	RLD31			X		
		D0	RLD30			X		
8bitタイマ3 カウントデータ レジスタ	004016E (B)	D7	PTD37	8bitタイマ3カウントデータ	0 ~ 255	X	R	
		D6	PTD36	PTD37 = MSB		X		
		D5	PTD35	PTD30 = LSB		X		
		D4	PTD34			X		
		D3	PTD33			X		
		D2	PTD32			X		
		D1	PTD31			X		
		D0	PTD30			X		
8bitタイマ, シリアルI/F Ch.0 割り込み プライオリティ レジスタ	0040269 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PSIO02	シリアルインタフェースCh.0	0 ~ 7	X	R/W	
		D5	PSIO01	割り込みレベル		X		
		D4	PSIO00			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	P8TM2	8bitタイマ0-3	0 ~ 7	X	R/W	
		D1	P8TM1	割り込みレベル		X		
		D0	P8TM0			X		
8bitタイマ 割り込み イネーブル レジスタ	0040275 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	E8TU3	8bitタイマ3アンダーフロー	1 許可 0 禁止	0	R/W	
		D2	E8TU2	8bitタイマ2アンダーフロー		0	R/W	
		D1	E8TU1	8bitタイマ1アンダーフロー		0	R/W	
		D0	E8TU0	8bitタイマ0アンダーフロー		0	R/W	
8bitタイマ 割り込み 要因フラグ レジスタ	0040285 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	F8TU3	8bitタイマ3アンダーフロー	1 要因発生 0 要因なし	X	R/W	
		D2	F8TU2	8bitタイマ2アンダーフロー		X	R/W	
		D1	F8TU1	8bitタイマ1アンダーフロー		X	R/W	
		D0	F8TU0	8bitタイマ0アンダーフロー		X	R/W	
P1機能選択 レジスタ	00402D4 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	CFP16	P16機能選択	1 EXCL5 0 P16	0	R/W	
		D5	CFP15	P15機能選択	1 EXCL4 0 P15	0	R/W	
		D4	CFP14	P14機能選択	1 FOSC1 0 P14	0	R/W	拡張機能(0x402DF)
		D3	CFP13	P13機能選択	1 EXCL3 T8UF3 0 P13	0	R/W	
		D2	CFP12	P12機能選択	1 EXCL2 T8UF2 0 P12	0	R/W	
		D1	CFP11	P11機能選択	1 EXCL1 T8UF1 0 P11	0	R/W	
		D0	CFP10	P10機能選択	1 EXCL0 T8UF0 0 P10	0	R/W	
P1 I/O制御 レジスタ	00402D6 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	IOC16	P16 I/O制御	1 出力 0 入力	0	R/W	
		D5	IOC15	P15 I/O制御		0	R/W	
		D4	IOC14	P14 I/O制御		0	R/W	
		D3	IOC13	P13 I/O制御		0	R/W	
		D2	IOC12	P12 I/O制御		0	R/W	
		D1	IOC11	P11 I/O制御		0	R/W	
		D0	IOC10	P10 I/O制御		0	R/W	
ポート機能拡張 レジスタ	00402DF (B)	D7-4	—	reserved	—	0	R/W	1書き込み禁止
		D3	CFEX3	P31ポート機能拡張	1 #GARD 0 P31, etc.	0	R/W	
		D2	CFEX2	P21ポート機能拡張	1 #GAAS 0 P21, etc.	0	R/W	
		D1	CFEX1	P10, P11, P13ポート機能拡張	1 DST0 DST1 DPC0 0 P10, etc. P11, etc. P13, etc.	1	R/W	
		D0	CFEX0	P12, P14ポート機能拡張	1 DST2 DCLK 0 P12, etc. P14, etc.	1	R/W	

CFP13–CFP10: P1[3:0]端子機能選択(D[3:0]/0x402D4<P1機能選択レジスタ>)

タイマアンダーフロー信号の外部出力に使用する端子を選択します。

"1"書き込み: アンダーフロー信号出力端子

"0"書き込み: 入出力兼用ポート端子

読み出し: 可能

タイマアンダーフロー信号の外部出力に使用する端子を、CFP10～CFP13に"1"を書き込んでP10～P13の中から選択します。P10～P13はそれぞれタイマ0～タイマ3に対応します。"0"を書き込んだ場合、その端子は入出力兼用ポート端子となります。

コールドスタート時、CFPは"0"(入出力兼用ポート)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

IOC13–IOC10: P1[3:0]ポートI/O制御(D[3:0]/0x402D6<P1 I/O制御レジスタ>)

P10～P13の入力/出力モードを設定します。

"1"書き込み: 出力モード

"0"書き込み: 入力モード

読み出し: 可能

P10～P13の中でタイマアンダーフロー出力に使用する端子に対応するI/O制御ビットには、"1"を書き込んで出力モードに設定してください。CFP1xが"1"に設定されている場合でも入力モードに設定されていると、その端子は16ビットプログラマブルタイマのイベントカウンタ入力端子として機能し、タイマアンダーフロー信号の出力は行えません。

コールドスタート時、IOCはすべて"0"(入力モード)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

CFEX1: P10, P11, P13ポート機能拡張(D[1]/0x402DF<ポート機能拡張レジスタ>)**CFEX0: P12, P14ポート機能拡張(D[0]/0x402DF<ポート機能拡張レジスタ>)**

入出力兼用ポート端子の拡張機能を選択します。

"1"書き込み: 拡張機能端子

"0"書き込み: 入出力兼用ポート端子/周辺回路用端子

読み出し: 可能

CFEX[1:0]に"1"を書き込むと、P13～P10ポートがデバッグ用信号出力ポートとして機能します。

CFEX[1:0]が"0"の場合はCFP1[3:0]が有効となり、その設定に従ってP13～P10ポートが入出力兼用ポート端子または8ビットタイマアンダーフロー出力端子となります。

コールドスタート時、CFEX[1:0]は"1"(拡張機能端子)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

RLD07–RLD00: タイマ0リロードデータ(D[7:0]/0x40161<8bitタイマ0リロードデータレジスタ>)**RLD17–RLD10: タイマ1リロードデータ(D[7:0]/0x40165<8bitタイマ1リロードデータレジスタ>)****RLD27–RLD20: タイマ2リロードデータ(D[7:0]/0x40169<8bitタイマ2リロードデータレジスタ>)****RLD37–RLD30: タイマ3リロードデータ(D[7:0]/0x4016D<8bitタイマ3リロードデータレジスタ>)**

各タイマのカウンタの初期値を設定します。

本レジスタに設定したリロードデータがそれぞれのカウンタにロードされ、それを初期値としてダウンカウントが行われます。

リロードデータがカウンタにロードされる条件はPSETxに"1"を書き込んでプリセットを行う場合と、カウンタのアンダーフローによって自動的にリロードが行われる場合です。

イニシャルリセット時、RLDは初期化されません。

PTD07–PTD00: タイマ0カウントデータ(D[7:0]/0x40162<8bitタイマ0カウントデータレジスタ>)
PTD17–PTD10: タイマ1カウントデータ(D[7:0]/0x40166<8bitタイマ1カウントデータレジスタ>)
PTD27–PTD20: タイマ2カウントデータ(D[7:0]/0x4016A<8bitタイマ2カウントデータレジスタ>)
PTD37–PTD30: タイマ3カウントデータ(D[7:0]/0x4016E<8bitタイマ3カウントデータレジスタ>)

8ビットプログラマブルタイマのデータが読み出せます。

本ビットは読み出し時にカウンタのデータが保持されるバッファとなっており、データは任意のタイミングで読み出しが可能です。

イニシャルリセット時、PTDは初期化されません。

PSET0: タイマ0プリセット(D1/0x40160<8bitタイマ0制御レジスタ>)
PSET1: タイマ1プリセット(D1/0x40164<8bitタイマ1制御レジスタ>)
PSET2: タイマ2プリセット(D1/0x40168<8bitタイマ2制御レジスタ>)
PSET3: タイマ3プリセット(D1/0x4016C<8bitタイマ3制御レジスタ>)

リロードデータをカウンタにプリセットします。

"1"書き込み: プリセット

"0"書き込み: 無効

読み出し: 常時"0"

PSETxに"1"を書き込むことによって、RLDxのリロードデータがタイマxのカウンタにプリセットされます。カウンタがRUN状態のときにプリセットを行うとリロードデータのプリセット直後にリスタートします。

また、STOP状態の場合はプリセットされたリロードデータがそのまま保持されます。

"0"の書き込みはノーオペレーションとなります。

PSETxは書き込み専用のため、読み出しは常時"0"となります。

PTRUN0: タイマ0 RUN/STOP制御(D0/0x40160<8bitタイマ0制御レジスタ>)
PTRUN1: タイマ1 RUN/STOP制御(D0/0x40164<8bitタイマ1制御レジスタ>)
PTRUN2: タイマ2 RUN/STOP制御(D0/0x40168<8bitタイマ2制御レジスタ>)
PTRUN3: タイマ3 RUN/STOP制御(D0/0x4016C<8bitタイマ3制御レジスタ>)

カウンタのRUN/STOPを制御します。

"1"書き込み: RUN

"0"書き込み: STOP

読み出し: 可能

各タイマのカウンタはPTRUNxに"1"を書き込むことによってダウンカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではプリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

イニシャルリセット時、PTRUNxは"0"(STOP)に設定されます。

PTOUT0: タイマ0クロック出力制御(D2/0x40160<8bitタイマ0制御レジスタ>)
PTOUT1: タイマ1クロック出力制御(D2/0x40164<8bitタイマ1制御レジスタ>)
PTOUT2: タイマ2クロック出力制御(D2/0x40168<8bitタイマ2制御レジスタ>)
PTOUT3: タイマ3クロック出力制御(D2/0x4016C<8bitタイマ3制御レジスタ>)

各タイマのクロック出力を制御します。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

PTOUTxに"1"を書き込むとタイマxのアンダーフロー信号がCFPIxで設定した外部出力端子から出力されます。タイマ2またはタイマ3をシリアルインタフェースのクロック源として使用している場合は、アンダーフロー信号を1/2に分周して生成したクロックがシリアルインタフェースの対応するチャンネルに出力されます。

"0"を書き込むとクロックの出力は停止し、外部出力は"0"に、内部クロック出力は"1"に固定されます。イニシャルリセット時、PTOUTは"0"(OFF)に設定されます。

P8TM2–P8TM0: 8bitタイマ割り込みレベル

(D[2:0]/0x40269<8bitタイマ, シリアルI/F Ch.0割り込みプライオリティレジスタ>)

8ビットプログラマブルタイマ割り込みの優先レベルを0~7の範囲で設定します。

イニシャルリセット時、P8TMレジスタは不定となります。

E8TU0: タイマ0割り込みイネーブル(D0/0x40275<8bitタイマ割り込みイネーブルレジスタ>)

E8TU1: タイマ1割り込みイネーブル(D1/0x40275<8bitタイマ割り込みイネーブルレジスタ>)

E8TU2: タイマ2割り込みイネーブル(D2/0x40275<8bitタイマ割り込みイネーブルレジスタ>)

E8TU3: タイマ3割り込みイネーブル(D3/0x40275<8bitタイマ割り込みイネーブルレジスタ>)

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

E8TUxは8ビットタイマの割り込みを制御する割り込みイネーブルビットで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

イニシャルリセット時、E8TUxはそれぞれ"0"(割り込み禁止)に設定されます。

F8TU0: タイマ0割り込み要因フラグ(D0/0x40285<8bitタイマ割り込み要因フラグレジスタ>)

F8TU1: タイマ1割り込み要因フラグ(D1/0x40285<8bitタイマ割り込み要因フラグレジスタ>)

F8TU2: タイマ2割り込み要因フラグ(D2/0x40285<8bitタイマ割り込み要因フラグレジスタ>)

F8TU3: タイマ3割り込み要因フラグ(D3/0x40285<8bitタイマ割り込み要因フラグレジスタ>)

8ビットプログラマブルタイマ割り込みの発生状態を示します。

• 読み出し時

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

• リセットオンリー方式書き込み時 (デフォルト)

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

• リード/ライト方式書き込み時

"1"書き込み: 要因フラグをセット

"0"書き込み: 要因フラグをリセット

F8TUxは各タイマの割り込みに対応する割り込み要因フラグで、それぞれのカウンタのアンダーフローに同期して"1"にセットされます。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。

割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。

イニシャルリセット時、F8TU_xは不定となりますので、必ずソフトウェアでリセットしてください。

プログラミング上の注意事項

- (1) 8ビットプログラマブルタイマの動作はプリスケアラが動作していることが条件です。
- (2) 8ビットプログラマブルタイマの入力クロックにCPU動作クロックよりも高速なクロックは使用しないでください。
- (3) 入力クロックの設定は、8ビットプログラマブルタイマが停止中に行ってください。
- (4) イニシャルリセット後、アンダーフロー割り込みおよびタイマ出力は不定のため、割り込み要因フラグをリセットする前あるいはタイマ出力をONする前に8ビットプログラマブルタイマの初期値をプリセットしてください。ただし、タイマ出力がOFFの場合、タイマ出力は"0"に固定されます。
- (5) イニシャルリセット後、割り込み要因フラグ(F8TU_x)は不定となります。不要な割り込みの発生を防止するため、必ずプログラムでリセットしてください。
- (6) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグ(F8TU_x)をリセットしてください。

III-4 16ビットプログラマブルタイマ

16ビットプログラマブルタイマの構成

C33周辺回路ブロックは16ビットのプログラマブルタイマを6系統(タイマ0～タイマ5)内蔵しています。各タイマは、入力ポート端子を使用したイベントカウンタ機能も合わせ持っています。

注: 以降、6系統のタイマの名称をタイマxとして説明します($x = 0 \sim 5$)。16ビットプログラマブルタイマ0～5の機能および制御レジスタの構成は同一です。制御ビット名にはタイマ番号を示す"0"～"5"が付きますが、説明は全タイマに共通なため、必要な部分以外はタイマ番号を"x"に置き換えて記述します。

図4.1に16ビットプログラマブルタイマの1チャンネルの構成を示します。

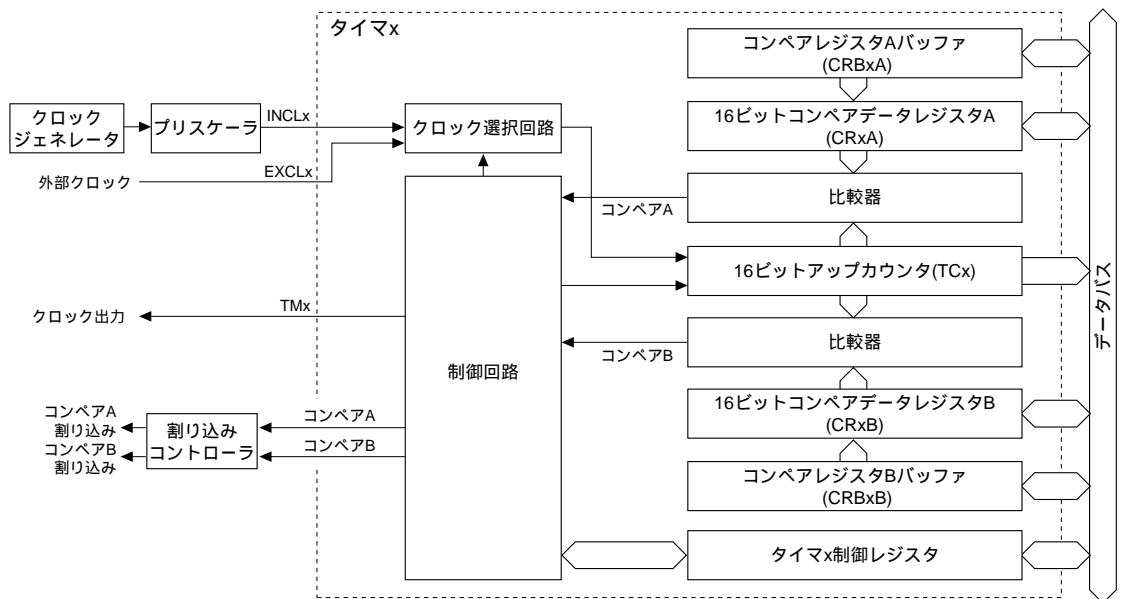


図4.1 16ビットプログラマブルタイマの構成

各タイマには、16ビットのアップカウンタと、2つの16ビットコンペアデータレジスタ(CRxA、CRxB)とそのバッファ(CRBxA、CRBxB)が設けられています。

16ビットカウンタはソフトウェアで"0"にリセット可能で、プリスケータの出力クロックまたは入出力兼用ポート端子からの外部信号でカウントアップを行います。カウント値はソフトウェアで読み出すことができます。

コンペアデータレジスタAおよびBはアップカウンタの内容と比較するためのデータを格納するレジスタです。コンペアデータレジスタは、直接データの書き込み/読み出しが可能です。また、コンペアレジスタバッファを使用すると、カウンタがソフトウェア(PRESETxビットへの"1"書き込み)またはコンペアBマッチ信号によってリセットされた時点で設定した比較値をコンペアデータレジスタにロードすることができます。比較値をコンペアデータレジスタとバッファのどちらに書き込むかについては、ソフトウェアで設定可能です。

カウンタ値が各コンペアデータレジスタの内容に一致すると比較器によって信号が出力され、割り込みや出力信号を制御します。したがって、これらのレジスタにより割り込みの発生周期や出力クロックの周波数とデューティ比をプログラマブルに設定することができます。

16ビットプログラマブルタイマの入出力端子

表4.1に16ビットプログラマブルタイマで使用する入出力端子を示します。

表4.1 16ビットプログラマブルタイマの入出力端子

端子名	I/O	機 能	機能選択ビット
P10/EXCL0/ T8UF0/DST0	I/O	入出力兼用ポート/16ビットタイマ0イベントカウンタ入力(I)/ 8ビットタイマ0出力(O)/DST0出力(Ex)	CFP10(P1機能選択レジスタ0x402D4•D0) CFEX1(ポート機能拡張レジスタ0x402DF•D1)
P11/EXCL1/ T8UF1/DST1	I/O	入出力兼用ポート/16ビットタイマ1イベントカウンタ入力(I)/ 8ビットタイマ1出力(O)/DST1出力(Ex)	CFP11(P1機能選択レジスタ0x402D4•D1) CFEX1(ポート機能拡張レジスタ0x402DF•D1)
P12/EXCL2/ T8UF2/DST2	I/O	入出力兼用ポート/16ビットタイマ2イベントカウンタ入力(I)/ 8ビットタイマ2出力(O)/DST2出力(Ex)	CFP12(P1機能選択レジスタ0x402D4•D2) CFEX0(ポート機能拡張レジスタ0x402DF•D0)
P13/EXCL3/ T8UF3/DPCO	I/O	入出力兼用ポート/16ビットタイマ3イベントカウンタ入力(I)/ 8ビットタイマ3出力(O)/DPCO出力(Ex)	CFP13(P1機能選択レジスタ0x402D4•D3) CFEX1(ポート機能拡張レジスタ0x402DF•D1)
P15/EXCL4	I/O	入出力兼用ポート/16ビットタイマ4イベントカウンタ入力(I)	CFP15(P1機能選択レジスタ0x402D4•D5)
P16/EXCL5	I/O	入出力兼用ポート/16ビットタイマ5イベントカウンタ入力(I)	CFP16(P1機能選択レジスタ0x402D4•D6)
P22/TM0	I/O	入出力兼用ポート/16ビットタイマ0出力	CFP22(P2機能選択レジスタ0x402D8•D2)
P23/TM1	I/O	入出力兼用ポート/16ビットタイマ1出力	CFP23(P2機能選択レジスタ0x402D8•D3)
P24/TM2	I/O	入出力兼用ポート/16ビットタイマ2出力	CFP24(P2機能選択レジスタ0x402D8•D4)
P25/TM3	I/O	入出力兼用ポート/16ビットタイマ3出力	CFP25(P2機能選択レジスタ0x402D8•D5)
P26/TM4	I/O	入出力兼用ポート/16ビットタイマ4出力	CFP26(P2機能選択レジスタ0x402D8•D6)
P27/TM5	I/O	入出力兼用ポート/16ビットタイマ5出力	CFP27(P2機能選択レジスタ0x402D8•D7)

(I): 入力モード, (O): 出力モード, (Ex): 拡張機能

TMx (16ビットプログラマブルタイマ出力端子)

タイマxで生成したクロックを出力します。

EXCLx (イベントカウンタ入力端子)

タイマxをイベントカウンタとして使用する場合に、外部からのカウントパルスを入力します。

16ビットプログラマブルタイマ入出力端子の設定方法

16ビットプログラマブルタイマで使用するクロック出力端子はすべて入出力兼用ポート端子と共用されています。

コールドスタート時は入出力兼用ポート端子P2x(機能選択ビットCFP2x = "0")として設定され、ハイインピーダンスとなります。16ビットプログラマブルタイマのクロック出力機能を使用する場合は使用するタイマに合わせ、対応する端子の機能選択レジスタCFP2xに"1"を書き込んでください。ホットスタート時は、リセット前の状態を保持します。

イベントカウンタ入力端子はすべて入出力兼用ポート端子と共用されています。

コールドスタート時はすべてデバッグ用信号出力(ポート機能拡張ビットCFEX[1:0] = "1")として設定されます。イベントカウンタ機能を使用する場合は、使用するタイマに合わせ、対応する端子の機能選択ビットCFP1xに"1"を、ポート機能拡張ビットCFEX[1:0]に"0"を書き込んでください。なお、これらの端子は8ビットプログラマブルタイマ等の出力端子とも兼用で、入出力端子が入力モードの場合にイベントカウンタ入力となります。このため、入出力兼用ポートP1 I/O制御レジスタ(0x402D6)のIOC1x(D[6:0])を"0"に設定しておく必要があります。コールドスタート時は入力モードに設定され、ホットスタート時は、リセット前の状態を保持します。

16ビットプログラマブルタイマの用途

16ビットプログラマブルタイマのアップカウンタは、ソフトウェアで設定したコンペアデータにより周期的にコンペアマッチ信号を出力します。これらの信号はCPUへの割り込み要求や、内蔵周辺回路の制御に使用されます。また、これらの信号から生成したクロックをIC外部に出力することもできます。

CPUへの割り込み要求

各タイマのコンペアマッチ(カウンタとコンペアデータの一致)を割り込み要因として、CPUに対して割り込み要求を出力可能です。ソフトウェアで設定した周期で割り込みを発生させることができます。

IC外部へのクロック出力

コンペアマッチ信号により生成したクロックをIC外部に出力することができます。コンペアB信号でクロックの周期が決まり、コンペアA信号でデューティ比が決まります。これを外部デバイスの制御などに使用することができます。各タイマの出力端子は前節に示したとおりです。

ウォッチドッグタイマ

16ビットプログラマブルタイマ0は、CPUの暴走を監視するウォッチドッグタイマとして使用することができます。この場合、タイマ0のコンペアB信号はCPUに対するNMI要求信号となります。この機能を使用するには、ウォッチドッグタイマイネーブルレジスタ(0x40171)のEWD(D1)に"1"を書き込み、NMIを有効に設定します。ウォッチドッグタイマの制御については、"ウォッチドッグタイマ"を参照してください。

16ビットプログラマブルタイマの制御と動作

16ビットプログラマブルタイマを使用する場合は、カウントを開始させる前に以下の設定が必要です。

1. 入力・出力端子の設定(必要な場合のみ)
2. 入力クロックの設定
3. コンペアデータレジスタ/バッファの選択
4. クロック出力条件の設定(信号極性、ファインモード)
5. コンペアデータの設定
6. 割り込みの設定

クロック出力条件、割り込みの設定については"クロック出力の制御"、"16ビットプログラマブルタイマ割り込み"を参照してください。

入力・出力端子の設定

出力端子の設定は、16ビットプログラマブルタイマの出力クロックをIC外部に出力させる場合に必要です。入力端子の設定は、16ビットプログラマブルタイマを外部クロックをカウントするイベントカウンタとして使用する場合に必要です。

設定方法は"16ビットプログラマブルタイマの入出力端子"を参照してください。

入力クロックの設定

各タイマのカウントクロックには内部クロックと外部クロックが選択できます。

選択は以下の制御ビットで行います。

タイマ0入力クロック選択: CKSL0(16bitタイマ0制御レジスタ0x48186•D3)

タイマ1入力クロック選択: CKSL1(16bitタイマ1制御レジスタ0x4818E•D3)

タイマ2入力クロック選択: CKSL2(16bitタイマ2制御レジスタ0x48196•D3)

タイマ3入力クロック選択: CKSL3(16bitタイマ3制御レジスタ0x4819E•D3)

タイマ4入力クロック選択: CKSL4(16bitタイマ4制御レジスタ0x481A6•D3)

タイマ5入力クロック選択: CKSL5(16bitタイマ5制御レジスタ0x481AE•D3)

CKSLxに"1"を書き込むと外部クロック、"0"を書き込むと内部クロックが選択されます。

イニシャルリセット時は内部クロックに設定されます。

外部クロックは、入力端子を設定したタイマで使用可能です。

・内部クロック

内部クロックを選択すると、そのタイマはプリスケアラの出力クロックにより動作します。プリスケアラの分周比は、タイマごとに選択可能です。

表4.2 内部クロックの制御

タイマ	制御レジスタ	分周比選択ビット	クロック制御ビット
タイマ0	16bitタイマ0クロックコントロールレジスタ(0x40147)	P16TS0[2:0] (D2:0))	P16TON0 (D3)
タイマ1	16bitタイマ1クロックコントロールレジスタ(0x40148)	P16TS1[2:0] (D2:0))	P16TON1 (D3)
タイマ2	16bitタイマ2クロックコントロールレジスタ(0x40149)	P16TS2[2:0] (D2:0))	P16TON2 (D3)
タイマ3	16bitタイマ3クロックコントロールレジスタ(0x4014A)	P16TS3[2:0] (D2:0))	P16TON3 (D3)
タイマ4	16bitタイマ4クロックコントロールレジスタ(0x4014B)	P16TS4[2:0] (D2:0))	P16TON4 (D3)
タイマ5	16bitタイマ5クロックコントロールレジスタ(0x4014C)	P16TS5[2:0] (D2:0))	P16TON5 (D3)

分周比は表4.3に示す8種類から選択できます。

表4.3 入力クロックの選択

P16TS = 7	P16TS = 6	P16TS = 5	P16TS = 4	P16TS = 3	P16TS = 2	P16TS = 1	P16TS = 0
fPSCIN/4096	fPSCIN/1024	fPSCIN/256	fPSCIN/64	fPSCIN/16	fPSCIN/4	fPSCIN/2	fPSCIN/1

fPSCIN: プリスケアラ入力クロック周波数

選択したクロックはP16TONxに"1"を書き込むことにより、プリスケアラから16ビットプログラマブルタイマに出力されます。

- 注: ・ 内部クロックを使用する場合、16ビットプログラマブルタイマの動作はプリスケアラが動作していることが条件です。("プリスケアラ"参照)
- ・ 入力クロックの設定は、16ビットプログラマブルタイマが停止中に行ってください。

- 外部クロック

外部よりパルスを入力し、イベントカウンタとして使用する場合、イベント周期はCPU動作クロックの2倍以上としてください。

コンペアデータレジスタ/バッファの選択

コンペアデータレジスタAおよびBはアップカウンタの内容と比較するためのデータを格納するレジスタで、直接データの書き込み/読み出しが可能です。また、コンペアレジスタバッファを使用すると、カウンタがソフトウェア(PRESETxビットへの"1"書き込み)またはコンペアBマッチ信号によってリセットされた時点で設定した比較値をコンペアデータレジスタにロードすることができます。比較値をコンペアデータレジスタとバッファのどちらに書き込むかについて、以下の制御ビットで設定します。

タイマ0コンペアレジスタバッファイネーブル: SELCRB0 (16bitタイマ0制御レジスタ0x48186•D5)

タイマ1コンペアレジスタバッファイネーブル: SELCRB1 (16bitタイマ1制御レジスタ0x4818E•D5)

タイマ2コンペアレジスタバッファイネーブル: SELCRB2 (16bitタイマ2制御レジスタ0x48196•D5)

タイマ3コンペアレジスタバッファイネーブル: SELCRB3 (16bitタイマ3制御レジスタ0x4819E•D5)

タイマ4コンペアレジスタバッファイネーブル: SELCRB4 (16bitタイマ4制御レジスタ0x481A6•D5)

タイマ5コンペアレジスタバッファイネーブル: SELCRB5 (16bitタイマ5制御レジスタ0x481AE•D5)

SELCRBxに"1"を書き込むとコンペアレジスタバッファ、"0"を書き込むとコンペアデータレジスタが選択されます。

イニシャルリセット時は、コンペアデータレジスタが選択されます。

コンペアデータの設定

プログラマブルタイマにはデータの比較器が内蔵されており、カウントデータを任意の値と比較することができます。この値は以下のレジスタで設定します。

タイマ0コンペアデータA: CR0A[15:0](16bitタイマ0コンペアデータA設定レジスタ0x48180•D[F:0])

タイマ0コンペアデータB: CR0B[15:0](16bitタイマ0コンペアデータB設定レジスタ0x48182•D[F:0])

タイマ1コンペアデータA: CR1A[15:0](16bitタイマ1コンペアデータA設定レジスタ0x48188•D[F:0])

タイマ1コンペアデータB: CR1B[15:0](16bitタイマ1コンペアデータB設定レジスタ0x4818A•D[F:0])

タイマ2コンペアデータA: CR2A[15:0](16bitタイマ2コンペアデータA設定レジスタ0x48190•D[F:0])

タイマ2コンペアデータB: CR2B[15:0](16bitタイマ2コンペアデータB設定レジスタ0x48192•D[F:0])

タイマ3コンペアデータA: CR3A[15:0](16bitタイマ3コンペアデータA設定レジスタ0x48198•D[F:0])

タイマ3コンペアデータB: CR3B[15:0](16bitタイマ3コンペアデータB設定レジスタ0x4819A•D[F:0])

タイマ4コンペアデータA: CR4A[15:0](16bitタイマ4コンペアデータA設定レジスタ0x481A0•D[F:0])

タイマ4コンペアデータB: CR4B[15:0](16bitタイマ4コンペアデータB設定レジスタ0x481A2•D[F:0])

タイマ5コンペアデータA: CR5A[15:0](16bitタイマ5コンペアデータA設定レジスタ0x481A8•D[F:0])

タイマ5コンペアデータB: CR5B[15:0](16bitタイマ5コンペアデータB設定レジスタ0x481AA•D[F:0])

SELCRBxが"0"に設定されている場合、これらのレジスタによりコンペアデータレジスタが直接読み出し/書き込み可能です。

SELCRBxが"1"に設定されている場合、これらのレジスタへのデータ書き込み/読み出しはコンペアレジスタバッファに対して行われます。バッファの内容はカウンタがリセットされた時点でコンペアデータレジスタにロードされます。

イニシャルリセット時、コンペアデータレジスタ/バッファは初期化されません。

プログラマブルタイマはコンペアデータレジスタとカウントデータを比較し、同じ値になったところでコンペアマッチ信号を発生します。このコンペアマッチ信号は割り込みを発生するとともに外部へのクロック(TMx信号)出力を制御します。

コンペアデータBはカウンタのリセット周期も決定します。

カウンタのリセット

各タイマのアップカウンタは、PRESETxビットによってリセットできます。

タイマ0リセット: PRESET0(16bitタイマ0制御レジスタ0x48186•D1)

タイマ1リセット: PRESET1(16bitタイマ1制御レジスタ0x4818E•D1)

タイマ2リセット: PRESET2(16bitタイマ2制御レジスタ0x48196•D1)

タイマ3リセット: PRESET3(16bitタイマ3制御レジスタ0x4819E•D1)

タイマ4リセット: PRESET4(16bitタイマ4制御レジスタ0x481A6•D1)

タイマ5リセット: PRESET5(16bitタイマ5制御レジスタ0x481AE•D1)

通常は、カウントアップを開始する前に、このビットに"1"を書き込みカウンタをリセットします。カウント開始後は、カウンタがコンペアデータBに一致するとハードウェアによってリセットされます。

タイマのRUN/STOP制御

各タイマにはそれぞれ、RUN/STOPを制御するビットPRUNxが設けられています。

タイマ0 RUN/STOP制御: PRUN0(16bitタイマ0制御レジスタ0x48186•D0)

タイマ1 RUN/STOP制御: PRUN1(16bitタイマ1制御レジスタ0x4818E•D0)

タイマ2 RUN/STOP制御: PRUN2(16bitタイマ2制御レジスタ0x48196•D0)

タイマ3 RUN/STOP制御: PRUN3(16bitタイマ3制御レジスタ0x4819E•D0)

タイマ4 RUN/STOP制御: PRUN4(16bitタイマ4制御レジスタ0x481A6•D0)

タイマ5 RUN/STOP制御: PRUN5(16bitタイマ5制御レジスタ0x481AE•D0)

タイマはPRUNxに"1"を書き込むことによってカウントを開始します。PRUNxに"0"を書き込むとクロックの入力が禁止され、カウントは停止します。

このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

カウント中にカウンタがコンペアデータレジスタAの設定値と一致すると、コンペアA割り込みが発生します。

また、カウンタがコンペアデータレジスタBの設定値と一致すると、コンペアB割り込みが発生するとともに、カウンタをリセットします。SELCRBxが"1"に設定されている場合は、コンペアレジスタバッファに設定してある値がコンペアデータレジスタにロードされます。

どちらの割り込みが発生した場合もカウント動作はそのまま継続します。コンペアB割り込みの場合はカウンタ値"0"からのカウントとなります。

RUN/STOP制御ビット(PRUNx)とタイマリセットビット(PRESETx)に同時に"1"を書き込んだ場合、タイマはカウンタをリセット後にカウントを開始します。

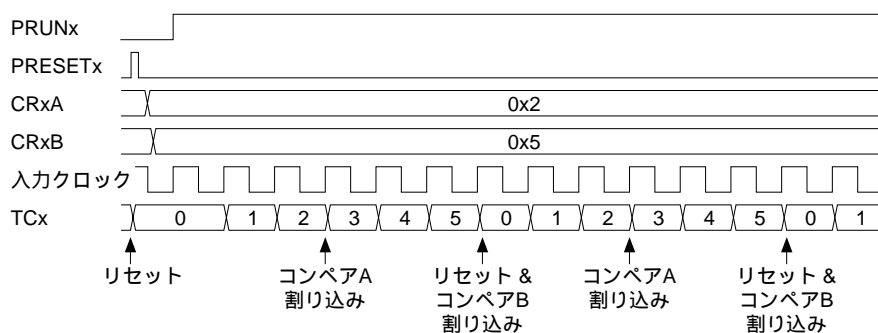


図4.2 カウンタの基本動作タイミング

カウンタデータの読み出し

カウンタデータはそれぞれ以下のアドレスから任意のタイミングで読み出しが可能です。

タイマ0カウンタデータ: TC0[15:0](16bitタイマ0カウンタデータレジスタ0x48184)

タイマ1カウンタデータ: TC1[15:0](16bitタイマ1カウンタデータレジスタ0x4818C)

タイマ2カウンタデータ: TC2[15:0](16bitタイマ2カウンタデータレジスタ0x48194)

タイマ3カウンタデータ: TC3[15:0](16bitタイマ3カウンタデータレジスタ0x4819C)

タイマ4カウンタデータ: TC4[15:0](16bitタイマ4カウンタデータレジスタ0x481A4)

タイマ5カウンタデータ: TC5[15:0](16bitタイマ5カウンタデータレジスタ0x481AC)

クロック出力の制御

各タイマは、コンペアマッチ信号によってTMx信号を発生させることができます。

出力信号の極性選択

デフォルトでは、アクティブHigh(ノーマルLow)の出力信号が生成されます。この論理をOUTINVxビットで反転させることができます。OUTINVxに"1"を書き込むと、タイマはアクティブLow(ノーマルHigh)の信号を生成します。

タイマ0出力反転: OUTINV0(16bitタイマ0制御レジスタ0x48186・D4)

タイマ1出力反転: OUTINV1(16bitタイマ1制御レジスタ0x4818E・D4)

タイマ2出力反転: OUTINV2(16bitタイマ2制御レジスタ0x48196・D4)

タイマ3出力反転: OUTINV3(16bitタイマ3制御レジスタ0x4819E・D4)

タイマ4出力反転: OUTINV4(16bitタイマ4制御レジスタ0x481A6・D4)

タイマ5出力反転: OUTINV5(16bitタイマ5制御レジスタ0x481AE・D4)

出力波形については図4.3を参照してください。

出力端子の設定

ここで発生したTMx信号は、クロック出力端子(表4.1参照)から出力させることができ、外部デバイス等に対してプログラマブルなクロックを供給することができます。

コールドスタート時、出力に使用する端子は入出力兼用ポート用に設定され、入力モードとなります。このときの端子の状態はハイインピーダンスとなります。

端子機能をタイマ出力に切り換えると、OUTINVxが"0"の場合は端子がLowレベル、OUTINVxが"1"の場合はHighレベルになります。

クロック出力の開始

TMxクロックを出力するには、クロック出力制御ビットPTMxに"1"を書き込みます。PTMxに"0"を書き込むと、出力はOUTINVxの設定に従ったOFFレベル(OUTINVx = "0": Low、OUTINVx = "1": High)となります。

タイマ0クロック出力制御: PTM0(16bitタイマ0制御レジスタ0x48186・D2)

タイマ1クロック出力制御: PTM1(16bitタイマ1制御レジスタ0x4818E・D2)

タイマ2クロック出力制御: PTM2(16bitタイマ2制御レジスタ0x48196・D2)

タイマ3クロック出力制御: PTM3(16bitタイマ3制御レジスタ0x4819E・D2)

タイマ4クロック出力制御: PTM4(16bitタイマ4制御レジスタ0x481A6・D2)

タイマ5クロック出力制御: PTM5(16bitタイマ5制御レジスタ0x481AE・D2)

図4.3に出力波形を示します。

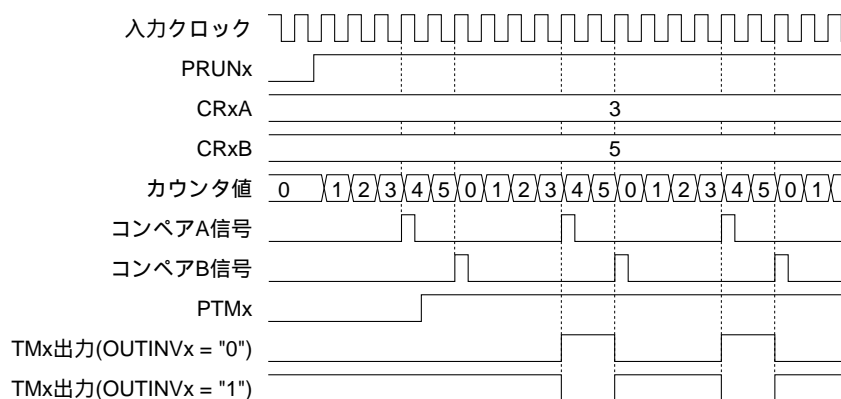


図4.3 16ビットプログラマブルタイマの出力波形

OUTINVx = "0" (アクティブHigh)の場合

タイマは、カウンタがCRxAレジスタに設定したコンペアデータAに一致するまでLowレベルを出力します。カウンタがコンペアデータAの次の値になると、出力端子はHighレベルとなりコンペアA割り込みが発生します。その後、カウンタがCRxBレジスタに設定したコンペアデータBまでカウントアップされると、カウンタがリセットされ、出力端子はLowレベルに戻ります。同時にコンペアB割り込みも発生します。

OUTINVx = "1" (アクティブLow)の場合

タイマは、カウンタがCRxAレジスタに設定したコンペアデータAに一致するまでHighレベルを出力します。カウンタがコンペアデータAの次の値になると、出力端子はLowレベルとなりコンペアA割り込みが発生します。その後、カウンタがCRxBレジスタに設定したコンペアデータBまでカウントアップされると、カウンタがリセットされ、出力端子はHighレベルに戻ります。同時にコンペアB割り込みも発生します。

クロック出力ファインモードの設定

デフォルト(イニシャルリセット時)では、CRxA[15:0]とTCx[15:0]が一致した場合、入力クロックの立ち上がりでクロック出力が変化します。

ファインモードのクロック出力は、CRxA[15:1]とTCx[14:0]が一致した場合に、CRxA[0]の値に従って変化します。

CRxA[0]が"0"の場合: 入力クロックの立ち上がりで変化

CRxA[0]が"1"の場合: 半周期遅れの入力クロックの立ち下がりで変化

例) CRxA = 3, CRxB = 5

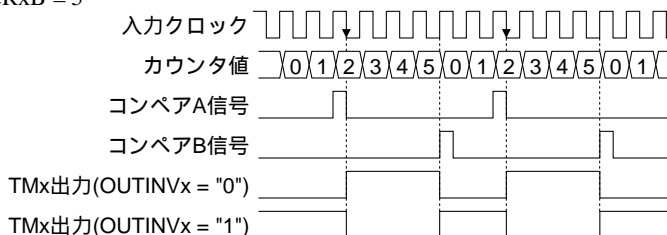


図4.4 ファインモードのクロック出力

このように、ファインモードでは入力クロックの半周期きざみで出力デューティを調節することができます。ただし、CRxA = 0の場合は、入力クロックの1周期幅のパルスが出力されます(デフォルトの場合と同様)。ファインモードでのCRxB最大値は $2^{15} - 1 = 32,767$ 、CRxAの設定範囲は $0 \sim (2 \times CRxB - 1)$ となります。

ファインモードは以下のレジスタで設定します。

タイマ0ファインモード選択: SELFM0(16bitタイマ0制御レジスタ0x48186•D6)

タイマ1ファインモード選択: SELFM1(16bitタイマ1制御レジスタ0x4818E•D6)

タイマ2ファインモード選択: SELFM2(16bitタイマ2制御レジスタ0x48196•D6)

タイマ3ファインモード選択: SELFM3(16bitタイマ3制御レジスタ0x4819E•D6)

タイマ4ファインモード選択: SELFM4(16bitタイマ4制御レジスタ0x481A6•D6)

タイマ5ファインモード選択: SELFM5(16bitタイマ5制御レジスタ0x481AE•D6)

SELFMxに"1"を書き込むと、ファインモードが設定されます。イニシャルリセット時はファインモードがディセーブル状態となります。

注意事項

- 1) コンペアデータレジスタAとBに同じ値を設定すると、ハザードパルスが出力されることがあります。タイマ出力を使用する場合は、コンペアデータAとBを同じ値には設定しないでください。割り込み機能のみを使用する場合は、A = Bでも問題ありません。割り込みは正常に発生します。
- 2) タイマ出力を使用する場合、コンペアデータはA = 0、B = 1を設定してください。最小設定はA = 0、B = 1で、タイマ出力サイクルは入力クロックの1/2となります。
- 3) コンペアデータをA > Bに設定すると、コンペアマッチA信号は発生しません。この場合、タイマ出力はOFFレベルに固定されます。

16ビットプログラマブルタイマ割り込み

16ビットプログラマブルタイマには、各タイマのコンペアマッチAとBによって割り込みを発生させる機能があります。割り込みの発生タイミングは、図4.2に示したとおりです。

割り込みコントローラの制御レジスタ

各タイマごとに用意されている割り込みコントローラの制御レジスタを、表4.4に示します。

表4.4 割り込みコントローラの制御レジスタ

割り込み要因	割り込み要因フラグ	割り込み イネーブルレジスタ	割り込み プライオリティレジスタ
タイマ0コンペアA	F16TC0 (D3/0x40282)	E16TC0 (D3/0x40272)	P16T0[2:0] (D[2:0]/0x40266)
タイマ0コンペアB	F16TU0 (D2/0x40282)	E16TU0 (D2/0x40272)	
タイマ1コンペアA	F16TC1 (D7/0x40282)	E16TC1 (D7/0x40272)	P16T1[2:0] (D[6:4]/0x40266)
タイマ1コンペアB	F16TU1 (D6/0x40282)	E16TU1 (D6/0x40272)	
タイマ2コンペアA	F16TC2 (D3/0x40283)	E16TC2 (D3/0x40273)	P16T2[2:0] (D[2:0]/0x40267)
タイマ2コンペアB	F16TU2 (D2/0x40283)	E16TU2 (D2/0x40273)	
タイマ3コンペアA	F16TC3 (D7/0x40283)	E16TC3 (D7/0x40273)	P16T3[2:0] (D[6:4]/0x40267)
タイマ3コンペアB	F16TU3 (D6/0x40283)	E16TU3 (D6/0x40273)	
タイマ4コンペアA	F16TC4 (D3/0x40284)	E16TC4 (D3/0x40274)	P16T4[2:0] (D[2:0]/0x40268)
タイマ4コンペアB	F16TU4 (D2/0x40284)	E16TU4 (D2/0x40274)	
タイマ5コンペアA	F16TC5 (D7/0x40284)	E16TC5 (D7/0x40274)	P16T5[2:0] (D[6:4]/0x40268)
タイマ5コンペアB	F16TU5 (D6/0x40284)	E16TU5 (D6/0x40274)	

タイマにコンペアマッチが発生すると、対応する割り込み要因フラグが"1"にセットされます。その割り込み要因フラグに対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。

割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、そのタイマによる割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず("0"に設定されていても)、タイマのコンペアマッチによって"1"にセットされます。

割り込みプライオリティレジスタは、タイマ割り込みの優先レベル(0~7)を設定します。優先順位はタイマ番号の小さい方が高く、また、割り込みの種類としてはコンペアB割り込みがコンペアA割り込みに優先します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。

また、入力割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した入力割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITC(割り込みコントローラ)"を参照してください。

トラップベクタ

各割り込み要因のトラップベクタアドレスは、デフォルトでそれぞれ以下のとおり設定されています。

タイマ0コンペアB割り込み: 0x0C00078
タイマ0コンペアA割り込み: 0x0C0007C
タイマ1コンペアB割り込み: 0x0C00088
タイマ1コンペアA割り込み: 0x0C0008C
タイマ2コンペアB割り込み: 0x0C00098
タイマ2コンペアA割り込み: 0x0C0009C
タイマ3コンペアB割り込み: 0x0C000A8
タイマ3コンペアA割り込み: 0x0C000AC
タイマ4コンペアB割り込み: 0x0C000B8
タイマ4コンペアA割り込み: 0x0C000BC
タイマ5コンペアB割り込み: 0x0C000C8
タイマ5コンペアA割り込み: 0x0C000CC

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134～0x48137)で変更することも可能です。

16ビットプログラマブルタイマのI/Oメモリ

表4.5に16ビットプログラマブルタイマの制御ビットを示します。

クロックを設定するプリスケアラのI/Oメモリについては、"プリスケアラ"を参照してください。

表4.5 16ビットプログラマブルタイマの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈			
16bitタイマ0/1 割り込み プライオリティ レジスタ	0040266 (B)	D7	—	reserved	—	—	—	読み出し時: 0			
		D6	P16T12	16bitタイマ1	0 ~ 7	X	R/W				
		D5	P16T11	割り込みレベル		X					
		D4	P16T10			X					
		D3	—	reserved	—	—	—	読み出し時: 0			
		D2	P16T02	16bitタイマ0	0 ~ 7	X	R/W				
		D1	P16T01	割り込みレベル		X					
		D0	P16T00			X					
16bitタイマ2/3 割り込み プライオリティ レジスタ	0040267 (B)	D7	—	reserved	—	—	—	読み出し時: 0			
		D6	P16T32	16bitタイマ3	0 ~ 7	X	R/W				
		D5	P16T31	割り込みレベル		X					
		D4	P16T30			X					
		D3	—	reserved	—	—	—	読み出し時: 0			
		D2	P16T22	16bitタイマ2	0 ~ 7	X	R/W				
		D1	P16T21	割り込みレベル		X					
		D0	P16T20			X					
16bitタイマ4/5 割り込み プライオリティ レジスタ	0040268 (B)	D7	—	reserved	—	—	—	読み出し時: 0			
		D6	P16T52	16bitタイマ5	0 ~ 7	X	R/W				
		D5	P16T51	割り込みレベル		X					
		D4	P16T50			X					
		D3	—	reserved	—	—	—	読み出し時: 0			
		D2	P16T42	16bitタイマ4	0 ~ 7	X	R/W				
		D1	P16T41	割り込みレベル		X					
		D0	P16T40			X					
16bitタイマ0/1 割り込み イネーブル レジスタ	0040272 (B)	D7	E16TC1	16bitタイマ1コンペアA	1 許可	0 禁止	0	R/W			
		D6	E16TU1	16bitタイマ1コンペアB			0	R/W			
		D5-4	—	reserved	—		—	—	読み出し時: 0		
		D3	E16TC0	16bitタイマ0コンペアA	1 許可	0 禁止	0	R/W			
		D2	E16TU0	16bitタイマ0コンペアB			0	R/W			
		D1-0	—	reserved	—		—	—	読み出し時: 0		
		16bitタイマ2/3 割り込み イネーブル レジスタ	0040273 (B)	D7	E16TC3	16bitタイマ3コンペアA	1 許可	0 禁止	0	R/W	
				D6	E16TU3	16bitタイマ3コンペアB			0	R/W	
D5-4	—			reserved	—		—		—	読み出し時: 0	
D3	E16TC2			16bitタイマ2コンペアA	1 許可	0 禁止	0	R/W			
D2	E16TU2			16bitタイマ2コンペアB			0	R/W			
D1-0	—			reserved	—		—	—	読み出し時: 0		
16bitタイマ4/5 割り込み イネーブル レジスタ	0040274 (B)			D7	E16TC5	16bitタイマ5コンペアA	1 許可	0 禁止	0	R/W	
				D6	E16TU5	16bitタイマ5コンペアB			0	R/W	
		D5-4	—	reserved	—		—		—	読み出し時: 0	
		D3	E16TC4	16bitタイマ4コンペアA	1 許可	0 禁止	0	R/W			
		D2	E16TU4	16bitタイマ4コンペアB			0	R/W			
		D1-0	—	reserved	—		—	—	読み出し時: 0		
		16bitタイマ0/1 割り込み 要因フラグ レジスタ	0040282 (B)	D7	F16TC1	16bitタイマ1コンペアA	1 要因発生	0 要因なし	X	R/W	
				D6	F16TU1	16bitタイマ1コンペアB			X	R/W	
D5-4	—			reserved	—		—		—	読み出し時: 0	
D3	F16TC0			16bitタイマ0コンペアA	1 要因発生	0 要因なし	X	R/W			
D2	F16TU0			16bitタイマ0コンペアB			X	R/W			
D1-0	—			reserved	—		—	—	読み出し時: 0		
16bitタイマ2/3 割り込み 要因フラグ レジスタ	0040283 (B)			D7	F16TC3	16bitタイマ3コンペアA	1 要因発生	0 要因なし	X	R/W	
				D6	F16TU3	16bitタイマ3コンペアB			X	R/W	
		D5-4	—	reserved	—		—		—	読み出し時: 0	
		D3	F16TC2	16bitタイマ2コンペアA	1 要因発生	0 要因なし	X	R/W			
		D2	F16TU2	16bitタイマ2コンペアB			X	R/W			
		D1-0	—	reserved	—		—	—	読み出し時: 0		
		16bitタイマ4/5 割り込み 要因フラグ レジスタ	0040284 (B)	D7	F16TC5	16bitタイマ5コンペアA	1 要因発生	0 要因なし	X	R/W	
				D6	F16TU5	16bitタイマ5コンペアB			X	R/W	
D5-4	—			reserved	—		—		—	読み出し時: 0	
D3	F16TC4			16bitタイマ4コンペアA	1 要因発生	0 要因なし	X	R/W			
D2	F16TU4			16bitタイマ4コンペアB			X	R/W			
D1-0	—			reserved	—		—	—	読み出し時: 0		

III 周辺回路ブロック: 16ビットプログラマブルタイマ

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
P1機能選択 レジスタ	00402D4 (B)	D7	—	reserved	—			—	—	読み出し時: 0 拡張機能(0x402DF)	
		D6	CFP16	P16機能選択	1	EXCL5 #DMAEND1	0	P16	0		R/W
		D5	CFP15	P15機能選択	1	EXCL4 #DMAEND0	0	P15	0		R/W
		D4	CFP14	P14機能選択	1	FOSC1	0	P14	0		R/W
		D3	CFP13	P13機能選択	1	EXCL3 T8UF3	0	P13	0		R/W
		D2	CFP12	P12機能選択	1	EXCL2 T8UF2	0	P12	0		R/W
		D1	CFP11	P11機能選択	1	EXCL1 T8UF1	0	P11	0		R/W
		D0	CFP10	P10機能選択	1	EXCL0 T8UF0	0	P10	0		R/W
P2機能選択 レジスタ	00402D8 (B)	D7	CFP27	P27機能選択	1	TM5	0	P27	0	R/W	拡張機能(0x402DF)
		D6	CFP26	P26機能選択	1	TM4	0	P26	0	R/W	
		D5	CFP25	P25機能選択	1	TM3	0	P25	0	R/W	
		D4	CFP24	P24機能選択	1	TM2	0	P24	0	R/W	
		D3	CFP23	P23機能選択	1	TM1	0	P23	0	R/W	
		D2	CFP22	P22機能選択	1	TM0	0	P22	0	R/W	
		D1	CFP21	P21機能選択	1	#DWE	0	P21	0	R/W	
		D0	CFP20	P20機能選択	1	#DRD	0	P20	0	R/W	
ポート機能拡張 レジスタ	00402DF (B)	D7-4	—	reserved	—			0	R/W	1書き込み禁止	
		D3	CFEX3	P31ポート機能拡張	1	#GARD	0	P31, etc.	0	R/W	
		D2	CFEX2	P21ポート機能拡張	1	#GAAS	0	P21, etc.	0	R/W	
		D1	CFEX1	P10, P11, P13ポート機能拡張	1	DST0 DST1 DPC0	0	P10, etc. P11, etc. P13, etc.	1	R/W	
		D0	CFEX0	P12, P14ポート機能拡張	1	DST2 DCLK	0	P12, etc. P14, etc.	1	R/W	
16bitタイマ0 コンペアデータ A設定レジスタ	0048180 (HW)	DF	CR0A15	16bitタイマ0	0 ~ 65535			X	R/W		
		DE	CR0A14	コンペアデータA				X			
		DD	CR0A13	CR0A15 = MSB				X			
		DC	CR0A12	CR0A0 = LSB				X			
		DB	CR0A11					X			
		DA	CR0A10					X			
		D9	CR0A9					X			
		D8	CR0A8					X			
		D7	CR0A7					X			
		D6	CR0A6					X			
		D5	CR0A5					X			
		D4	CR0A4					X			
		D3	CR0A3					X			
		D2	CR0A2					X			
		D1	CR0A1					X			
		D0	CR0A0					X			
16bitタイマ0 コンペアデータ B設定レジスタ	0048182 (HW)	DF	CR0B15	16bitタイマ0	0 ~ 65535			X	R/W		
		DE	CR0B14	コンペアデータB				X			
		DD	CR0B13	CR0B15 = MSB				X			
		DC	CR0B12	CR0B0 = LSB				X			
		DB	CR0B11					X			
		DA	CR0B10					X			
		D9	CR0B9					X			
		D8	CR0B8					X			
		D7	CR0B7					X			
		D6	CR0B6					X			
		D5	CR0B5					X			
		D4	CR0B4					X			
		D3	CR0B3					X			
		D2	CR0B2					X			
		D1	CR0B1					X			
		D0	CR0B0					X			

III 周辺回路ブロック: 16ビットプログラマブルタイマ

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈		
16bitタイマ0 カウンタデータ レジスタ	0048184 (HW)	DF	TC015	16bitタイマ0 カウンタデータ TC015 = MSB TC00 = LSB	0 ~ 65535		X	R			
		DE	TC014				X				
		DD	TC013				X				
		DC	TC012				X				
		DB	TC011				X				
		DA	TC010				X				
		D9	TC09				X				
		D8	TC08				X				
		D7	TC07				X				
		D6	TC06				X				
		D5	TC05				X				
		D4	TC04				X				
		D3	TC03				X				
		D2	TC02				X				
		D1	TC01				X				
		D0	TC00				X				
16bitタイマ0 制御レジスタ	0048186 (B)	D7	—	reserved	—		0	—	読み出し時: 0		
		D6	SELFMO	16bitタイマ0ファインモード選択	1	ファイン	0	通常	0	R/W	
		D5	SELCRBO	16bitタイマ0コンペアバッファ	1	許可	0	禁止	0	R/W	
		D4	OUTINV0	16bitタイマ0出力反転	1	反転	0	通常	0	R/W	
		D3	CKSL0	16bitタイマ0入力クロック選択	1	外部クロック	0	内部クロック	0	R/W	
		D2	PTMO	16bitタイマ0クロック出力制御	1	On	0	Off	0	R/W	
		D1	PRESET0	16bitタイマ0リセット	1	リセット	0	無効	0	W	読み出し時: 0
		D0	PRUN0	16bitタイマ0 Run/Stop制御	1	Run	0	Stop	0	R/W	
16bitタイマ1 コンペアデータ A設定レジスタ	0048188 (HW)	DF	CR1A15	16bitタイマ1 コンペアデータA CR1A15 = MSB CR1A0 = LSB	0 ~ 65535		X	R/W			
		DE	CR1A14				X				
		DD	CR1A13				X				
		DC	CR1A12				X				
		DB	CR1A11				X				
		DA	CR1A10				X				
		D9	CR1A9				X				
		D8	CR1A8				X				
		D7	CR1A7				X				
		D6	CR1A6				X				
		D5	CR1A5				X				
		D4	CR1A4				X				
		D3	CR1A3				X				
		D2	CR1A2				X				
		D1	CR1A1				X				
		D0	CR1A0				X				
16bitタイマ1 コンペアデータ B設定レジスタ	004818A (HW)	DF	CR1B15	16bitタイマ1 コンペアデータB CR1B15 = MSB CR1B0 = LSB	0 ~ 65535		X	R/W			
		DE	CR1B14				X				
		DD	CR1B13				X				
		DC	CR1B12				X				
		DB	CR1B11				X				
		DA	CR1B10				X				
		D9	CR1B9				X				
		D8	CR1B8				X				
		D7	CR1B7				X				
		D6	CR1B6				X				
		D5	CR1B5				X				
		D4	CR1B4				X				
		D3	CR1B3				X				
		D2	CR1B2				X				
		D1	CR1B1				X				
		D0	CR1B0				X				
16bitタイマ1 カウンタデータ レジスタ	004818C (HW)	DF	TC115	16bitタイマ1 カウンタデータ TC115 = MSB TC10 = LSB	0 ~ 65535		X	R			
		DE	TC114				X				
		DD	TC113				X				
		DC	TC112				X				
		DB	TC111				X				
		DA	TC110				X				
		D9	TC19				X				
		D8	TC18				X				
		D7	TC17				X				
		D6	TC16				X				
		D5	TC15				X				
		D4	TC14				X				
		D3	TC13				X				
		D2	TC12				X				
		D1	TC11				X				
		D0	TC10				X				

III 周辺回路ブロック: 16ビットプログラマブルタイマ

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈
16bitタイマ1 制御レジスタ	004818E (B)	D7	—	reserved	—			0	—	読み出し時: 0
		D6	SELFM1	16bitタイマ1ファインモード選択	1	ファイン	0 通常	0	R/W	
		D5	SELCRB1	16bitタイマ1コンペアバッファ	1	許可	0 禁止	0	R/W	
		D4	OUTINV1	16bitタイマ1出力反転	1	反転	0 通常	0	R/W	
		D3	CKSL1	16bitタイマ1入力クロック選択	1	外部クロック	0 内部クロック	0	R/W	
		D2	PTM1	16bitタイマ1クロック出力制御	1	On	0 Off	0	R/W	
		D1	PRESET1	16bitタイマ1リセット	1	リセット	0 無効	0	W	読み出し時: 0
		D0	PRUN1	16bitタイマ1 Run/Stop制御	1	Run	0 Stop	0	R/W	
16bitタイマ2 コンペアデータ A設定レジスタ	0048190 (HW)	DF	CR2A15	16bitタイマ2	0 ~ 65535			X	R/W	
		DE	CR2A14	コンペアデータA				X		
		DD	CR2A13	CR2A15 = MSB				X		
		DC	CR2A12	CR2A0 = LSB				X		
		DB	CR2A11					X		
		DA	CR2A10					X		
		D9	CR2A9					X		
		D8	CR2A8					X		
		D7	CR2A7					X		
		D6	CR2A6					X		
		D5	CR2A5					X		
		D4	CR2A4					X		
		D3	CR2A3					X		
		D2	CR2A2					X		
		D1	CR2A1					X		
		D0	CR2A0					X		
16bitタイマ2 コンペアデータ B設定レジスタ	0048192 (HW)	DF	CR2B15	16bitタイマ2	0 ~ 65535			X	R/W	
		DE	CR2B14	コンペアデータB				X		
		DD	CR2B13	CR2B15 = MSB				X		
		DC	CR2B12	CR2B0 = LSB				X		
		DB	CR2B11					X		
		DA	CR2B10					X		
		D9	CR2B9					X		
		D8	CR2B8					X		
		D7	CR2B7					X		
		D6	CR2B6					X		
		D5	CR2B5					X		
		D4	CR2B4					X		
		D3	CR2B3					X		
		D2	CR2B2					X		
		D1	CR2B1					X		
		D0	CR2B0					X		
16bitタイマ2 カウンタデータ レジスタ	0048194 (HW)	DF	TC215	16bitタイマ2	0 ~ 65535			X	R	
		DE	TC214	カウンタデータ				X		
		DD	TC213	TC215 = MSB				X		
		DC	TC212	TC20 = LSB				X		
		DB	TC211					X		
		DA	TC210					X		
		D9	TC29					X		
		D8	TC28					X		
		D7	TC27					X		
		D6	TC26					X		
		D5	TC25					X		
		D4	TC24					X		
		D3	TC23					X		
		D2	TC22					X		
		D1	TC21					X		
		D0	TC20					X		
16bitタイマ2 制御レジスタ	0048196 (B)	D7	—	reserved	—			0	—	読み出し時: 0
		D6	SELFM2	16bitタイマ2ファインモード選択	1	ファイン	0 通常	0	R/W	
		D5	SELCRB2	16bitタイマ2コンペアバッファ	1	許可	0 禁止	0	R/W	
		D4	OUTINV2	16bitタイマ2出力反転	1	反転	0 通常	0	R/W	
		D3	CKSL2	16bitタイマ2入力クロック選択	1	外部クロック	0 内部クロック	0	R/W	
		D2	PTM2	16bitタイマ2クロック出力制御	1	On	0 Off	0	R/W	
		D1	PRESET2	16bitタイマ2リセット	1	リセット	0 無効	0	W	読み出し時: 0
		D0	PRUN2	16bitタイマ2 Run/Stop制御	1	Run	0 Stop	0	R/W	

III 周辺回路ブロック: 16ビットプログラマブルタイマ

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈		
16bitタイマ3 コンペアデータ A設定レジスタ	0048198 (HW)	DF	CR3A15	16bitタイマ3 コンペアデータA CR3A15 = MSB CR3A0 = LSB	0 ~ 65535		X	R/W			
		DE	CR3A14				X				
		DD	CR3A13				X				
		DC	CR3A12				X				
		DB	CR3A11				X				
		DA	CR3A10				X				
		D9	CR3A9				X				
		D8	CR3A8				X				
		D7	CR3A7				X				
		D6	CR3A6				X				
		D5	CR3A5				X				
		D4	CR3A4				X				
		D3	CR3A3				X				
		D2	CR3A2				X				
		D1	CR3A1				X				
		D0	CR3A0				X				
16bitタイマ3 コンペアデータ B設定レジスタ	004819A (HW)	DF	CR3B15	16bitタイマ3 コンペアデータB CR3B15 = MSB CR3B0 = LSB	0 ~ 65535		X	R/W			
		DE	CR3B14				X				
		DD	CR3B13				X				
		DC	CR3B12				X				
		DB	CR3B11				X				
		DA	CR3B10				X				
		D9	CR3B9				X				
		D8	CR3B8				X				
		D7	CR3B7				X				
		D6	CR3B6				X				
		D5	CR3B5				X				
		D4	CR3B4				X				
		D3	CR3B3				X				
		D2	CR3B2				X				
		D1	CR3B1				X				
		D0	CR3B0				X				
16bitタイマ3 カウンタデータ レジスタ	004819C (HW)	DF	TC315	16bitタイマ3 カウンタデータ TC315 = MSB TC30 = LSB	0 ~ 65535		X	R			
		DE	TC314				X				
		DD	TC313				X				
		DC	TC312				X				
		DB	TC311				X				
		DA	TC310				X				
		D9	TC39				X				
		D8	TC38				X				
		D7	TC37				X				
		D6	TC36				X				
		D5	TC35				X				
		D4	TC34				X				
		D3	TC33				X				
		D2	TC32				X				
		D1	TC31				X				
		D0	TC30				X				
16bitタイマ3 制御レジスタ	004819E (B)	D7	—	reserved	—		0	—	読み出し時: 0		
		D6	SELF3	16bitタイマ3ファインモード選択	1	ファイン	0	通常	0	R/W	
		D5	SELCRB3	16bitタイマ3コンペアバッファ	1	許可	0	禁止	0	R/W	
		D4	OUTINV3	16bitタイマ3出力反転	1	反転	0	通常	0	R/W	
		D3	CKSL3	16bitタイマ3入力クロック選択	1	外部クロック	0	内部クロック	0	R/W	
		D2	PTM3	16bitタイマ3クロック出力制御	1	On	0	Off	0	R/W	
		D1	PRESET3	16bitタイマ3リセット	1	リセット	0	無効	0	W	読み出し時: 0
		D0	PRUN3	16bitタイマ3 Run/Stop制御	1	Run	0	Stop	0	R/W	
16bitタイマ4 コンペアデータ A設定レジスタ	00481A0 (HW)	DF	CR4A15	16bitタイマ4 コンペアデータA CR4A15 = MSB CR4A0 = LSB	0 ~ 65535		X	R/W			
		DE	CR4A14				X				
		DD	CR4A13				X				
		DC	CR4A12				X				
		DB	CR4A11				X				
		DA	CR4A10				X				
		D9	CR4A9				X				
		D8	CR4A8				X				
		D7	CR4A7				X				
		D6	CR4A6				X				
		D5	CR4A5				X				
		D4	CR4A4				X				
		D3	CR4A3				X				
		D2	CR4A2				X				
		D1	CR4A1				X				
		D0	CR4A0				X				

III 周辺回路ブロック: 16ビットプログラマブルタイマ

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
16bitタイマ4 コンペアデータ B設定レジスタ	00481A2 (HW)	DF	CR4B15	16bitタイマ4	0 ~ 65535			X	R/W		
		DE	CR4B14	コンペアデータB							
		DD	CR4B13	CR4B15 = MSB							
		DC	CR4B12	CR4B0 = LSB							
		DB	CR4B11								
		DA	CR4B10								
		D9	CR4B9								
		D8	CR4B8								
		D7	CR4B7								
		D6	CR4B6								
		D5	CR4B5								
		D4	CR4B4								
		D3	CR4B3								
		D2	CR4B2								
		D1	CR4B1								
		D0	CR4B0								
16bitタイマ4 カウンタデータ レジスタ	00481A4 (HW)	DF	TC415	16bitタイマ4	0 ~ 65535			X	R		
		DE	TC414	カウンタデータ							
		DD	TC413	TC415 = MSB							
		DC	TC412	TC40 = LSB							
		DB	TC411								
		DA	TC410								
		D9	TC49								
		D8	TC48								
		D7	TC47								
		D6	TC46								
		D5	TC45								
		D4	TC44								
		D3	TC43								
		D2	TC42								
		D1	TC41								
		D0	TC40								
16bitタイマ4 制御レジスタ	00481A6 (B)	D7	—	reserved	—			0	—	読み出し時: 0	
		D6	SELFM4	16bitタイマ4ファインモード選択	1	ファイン	0	通常	0	R/W	
		D5	SELCRB4	16bitタイマ4コンペアバッファ	1	許可	0	禁止	0	R/W	
		D4	OUTINV4	16bitタイマ4出力反転	1	反転	0	通常	0	R/W	
		D3	CKSL4	16bitタイマ4入力クロック選択	1	外部クロック	0	内部クロック	0	R/W	
		D2	PTM4	16bitタイマ4クロック出力制御	1	On	0	Off	0	R/W	
		D1	PRESET4	16bitタイマ4リセット	1	リセット	0	無効	0	W	読み出し時: 0
		D0	PRUN4	16bitタイマ4 Run/Stop制御	1	Run	0	Stop	0	R/W	
16bitタイマ5 コンペアデータ A設定レジスタ	00481A8 (HW)	DF	CR5A15	16bitタイマ5	0 ~ 65535			X	R/W		
		DE	CR5A14	コンペアデータA							
		DD	CR5A13	CR5A15 = MSB							
		DC	CR5A12	CR5A0 = LSB							
		DB	CR5A11								
		DA	CR5A10								
		D9	CR5A9								
		D8	CR5A8								
		D7	CR5A7								
		D6	CR5A6								
		D5	CR5A5								
		D4	CR5A4								
		D3	CR5A3								
		D2	CR5A2								
		D1	CR5A1								
		D0	CR5A0								
16bitタイマ5 コンペアデータ B設定レジスタ	00481AA (HW)	DF	CR5B15	16bitタイマ5	0 ~ 65535			X	R/W		
		DE	CR5B14	コンペアデータB							
		DD	CR5B13	CR5B15 = MSB							
		DC	CR5B12	CR5B0 = LSB							
		DB	CR5B11								
		DA	CR5B10								
		D9	CR5B9								
		D8	CR5B8								
		D7	CR5B7								
		D6	CR5B6								
		D5	CR5B5								
		D4	CR5B4								
		D3	CR5B3								
		D2	CR5B2								
		D1	CR5B1								
		D0	CR5B0								

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ5 カウンタデータ レジスタ	00481AC (HW)	DF	TC515	16bitタイマ5	0 ~ 65535	X	R	
		DE	TC514	カウンタデータ		X		
		DD	TC513	TC515 = MSB		X		
		DC	TC512	TC50 = LSB		X		
		DB	TC511			X		
		DA	TC510			X		
		D9	TC59			X		
		D8	TC58			X		
		D7	TC57			X		
		D6	TC56			X		
		D5	TC55			X		
		D4	TC54			X		
		D3	TC53			X		
		D2	TC52			X		
		D1	TC51			X		
		D0	TC50			X		
16bitタイマ5 制御レジスタ	00481AE (B)	D7	—	reserved	—	0	—	読み出し時: 0
		D6	SELMF5	16bitタイマ5ファインモード選択	1 ファイン 0 通常	0	R/W	
		D5	SELCRB5	16bitタイマ5コンペアバツファ	1 許可 0 禁止	0	R/W	
		D4	OUTINV5	16bitタイマ5出力反転	1 反転 0 通常	0	R/W	
		D3	CKSL5	16bitタイマ5入力クロック選択	1 外部クロック 0 内部クロック	0	R/W	
		D2	PTM5	16bitタイマ5クロック出力制御	1 On 0 Off	0	R/W	
		D1	PRESET5	16bitタイマ5リセット	1 リセット 0 無効	0	W	読み出し時: 0
		D0	PRUN5	16bitタイマ5 Run/Stop制御	1 Run 0 Stop	0	R/W	

CFP16–CFP10: P1[6:0]端子機能選択(D[6:0]/0x402D4<P1機能選択レジスタ>)

外部カウントクロックの入力に使用する端子を選択します。

"1"書き込み: クロック入力端子

"0"書き込み: 入出力兼用ポート端子

読み出し: 可能

イベントカウンタとして使用するタイマのクロック入力端子を、CFP10～CFP16に"1"を書き込んでP10～P16の中から選択します。各端子とタイマの対応については、表4.1を参照してください。"0"を書き込んだ場合、その端子は入出力兼用ポート端子となります。

16ビットプログラマブルタイマのクロック入力に使用するためにはこの選択に加え、その端子をI/O制御レジスタで入力モードに設定することも必要です。

コールドスタート時、CFP1xは"0"(入出力兼用ポート)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

CFP27–CFP22: P2[7:2]端子機能選択(D[7:2]/0x402D8<P2機能選択レジスタ>)

クロック出力に使用する端子を選択します。

"1"書き込み: クロック出力端子

"0"書き込み: 入出力兼用ポート端子

読み出し: 可能

タイマが生成したクロックの外部出力に使用する端子を、CFP22～CFP27に"1"を書き込んでP22～P27の中から選択します。各端子とタイマの対応については、表4.1を参照してください。"0"を書き込んだ場合、その端子は出力ポート端子となります。

コールドスタート時、CFP2xは"0"(入出力兼用ポート)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

CFEX1: P10, P11, P13ポート機能拡張(D[1]/0x402DF<ポート機能拡張レジスタ>)

CFEX0: P12, P14ポート機能拡張(D[0]/0x402DF<ポート機能拡張レジスタ>)

入出力兼用ポート端子の拡張機能を選択します。

"1"書き込み: 拡張機能端子

"0"書き込み: 入出力兼用ポート端子/周辺回路用端子

読み出し: 可能

CFEX[1:0]に"1"を書き込むと、P14～P10ポートがデバッグ用信号出力ポートとして機能します。

CFEX[1:0]が"0"の場合はCFP1[4:0]が有効となり、その設定に従ってP14～P10ポートが入出力兼用ポート端子または外部クロック入力端子となります。

コールドスタート時、CFEX[1:0]は"1"(拡張機能端子)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

IOC16–IOC10: P1[6:0]ポートI/O制御(D[6:0]/0x402D6<P1 I/O制御レジスタ>)

P10～P16の入力/出力モードを設定します。

"1"書き込み: 出力モード

"0"書き込み: 入力モード

読み出し: 可能

P10～P16の中で外部クロック入力端子に対応するI/O制御ビットには、"0"を書き込んで入力モードに設定してください。CFP1xが"1"に設定されている場合でも出力モードに設定されていると、その端子は8ビットプログラマブルタイマなどの出力端子となり、外部クロックは入力できません。

コールドスタート時、IOCはすべて"0"(入力モード)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SELFM0: タイマ0ファインモード選択(D6/0x48186<16bitタイマ0制御レジスタ>)

SELFM1: タイマ1ファインモード選択(D6/0x4818E<16bitタイマ1制御レジスタ>)

SELFM2: タイマ2ファインモード選択(D6/0x48196<16bitタイマ2制御レジスタ>)

SELFM3: タイマ3ファインモード選択(D6/0x4819E<16bitタイマ3制御レジスタ>)

SELFM4: タイマ4ファインモード選択(D6/0x481A6<16bitタイマ4制御レジスタ>)

SELFM5: タイマ5ファインモード選択(D6/0x481AE<16bitタイマ5制御レジスタ>)

クロック出力をファインモードに設定します。

"1"書き込み: ファインモード

"0"書き込み: 通常出力

読み出し: 可能

SELFMxに"1"を書き込むとクロック出力がファインモードに設定され、出力クロックのデューティを入力クロックの半周期単位で調整可能となります。

SELFMxが"0"に設定されている場合は、通常のクロック出力が行われます。

イニシャルリセット時、SELFMxは"0"(通常出力)に設定されます。

SELCRB0: タイマ0コンペアレジスタバッファイネーブル(D5/0x48186<16bitタイマ0制御レジスタ>)
SELCRB1: タイマ1コンペアレジスタバッファイネーブル(D5/0x4818E<16bitタイマ1制御レジスタ>)
SELCRB2: タイマ2コンペアレジスタバッファイネーブル(D5/0x48196<16bitタイマ2制御レジスタ>)
SELCRB3: タイマ3コンペアレジスタバッファイネーブル(D5/0x4819E<16bitタイマ3制御レジスタ>)
SELCRB4: タイマ4コンペアレジスタバッファイネーブル(D5/0x481A6<16bitタイマ4制御レジスタ>)
SELCRB5: タイマ5コンペアレジスタバッファイネーブル(D5/0x481AE<16bitタイマ5制御レジスタ>)

コンペアレジスタバッファへの書き込みを許可/禁止します。

"1"書き込み: 許可
 "0"書き込み: 禁止
 読み出し: 可能

SELCRBxに"1"を書き込むと、コンペアデータの書き込み/読み出しがコンペアレジスタバッファに対して行われます。バッファの内容は、カウンタがソフトウェアまたはコンペアB信号によってリセットされた時点でコンペアデータレジスタにロードされます。

SELCRBxが"0"に設定されている場合、コンペアデータの書き込み/読み出しがコンペアデータレジスタに対して直接行われます。

イニシャルリセット時、SELCRBxは"0"(禁止)に設定されます。

OUTINV0: タイマ0出力反転(D4/0x48186<16bitタイマ0制御レジスタ>)
OUTINV1: タイマ1出力反転(D4/0x4818E<16bitタイマ1制御レジスタ>)
OUTINV2: タイマ2出力反転(D4/0x48196<16bitタイマ2制御レジスタ>)
OUTINV3: タイマ3出力反転(D4/0x4819E<16bitタイマ3制御レジスタ>)
OUTINV4: タイマ4出力反転(D4/0x481A6<16bitタイマ4制御レジスタ>)
OUTINV5: タイマ5出力反転(D4/0x481AE<16bitタイマ5制御レジスタ>)

タイマ出力信号の極性を選択します。

"1"書き込み: 反転(アクティブLow)
 "0"書き込み: 通常(アクティブHigh)
 読み出し: 可能

OUTINVxに"1"を書き込むと、TMx出力用にアクティブLowの信号(OFFレベル = High)が生成されます。OUTINVxが"0"の場合は、アクティブHighの信号(OFFレベル = Low)が生成されます。

イニシャルリセット時、OUTINVxは"0"(アクティブHigh)に設定されます。

CKSL0: タイマ0入力クロック選択(D3/0x48186<16bitタイマ0制御レジスタ>)
CKSL1: タイマ1入力クロック選択(D3/0x4818E<16bitタイマ1制御レジスタ>)
CKSL2: タイマ2入力クロック選択(D3/0x48196<16bitタイマ2制御レジスタ>)
CKSL3: タイマ3入力クロック選択(D3/0x4819E<16bitタイマ3制御レジスタ>)
CKSL4: タイマ4入力クロック選択(D3/0x481A6<16bitタイマ4制御レジスタ>)
CKSL5: タイマ5入力クロック選択(D3/0x481AE<16bitタイマ5制御レジスタ>)

各タイマの入力クロックを選択します。

"1"書き込み: 外部クロック
 "0"書き込み: 内部クロック
 読み出し: 可能

CKSLxに"0"を書き込んだ場合は、タイマの入力クロックとして内部クロック(プリスケアラ出力)が選択されます。"1"を書き込んだ場合は外部クロック(クロック入力端子から入力するクロック)が選択され、イベントカウンタとして機能します。この場合、CFP1xでクロック入力端子を設定しておくことが必要です。

イニシャルリセット時、CKSLxは"0"(内部クロック)に設定されます。

PTM0: タイマ0クロック出力制御(D2/0x48186<16bitタイマ0制御レジスタ>)
PTM1: タイマ1クロック出力制御(D2/0x4818E<16bitタイマ1制御レジスタ>)
PTM2: タイマ2クロック出力制御(D2/0x48196<16bitタイマ2制御レジスタ>)
PTM3: タイマ3クロック出力制御(D2/0x4819E<16bitタイマ3制御レジスタ>)
PTM4: タイマ4クロック出力制御(D2/0x481A6<16bitタイマ4制御レジスタ>)
PTM5: タイマ5クロック出力制御(D2/0x481AE<16bitタイマ5制御レジスタ>)

TMx信号(タイマ出力クロック)の出力制御を行います。

"1"書き込み: ON
 "0"書き込み: OFF
 読み出し: 可能

PTMxはTMx信号の出力制御ビットで、"1"を設定するとTMx信号がクロック出力端子から出力されます。
 "0"を設定すると出力はOUTINVxの設定に従ったOFFレベル(OUTINVx = "0": Low、OUTINVx = "1": High)となります。この場合、CFP2xでクロック出力端子を設定しておく必要があります。
 イニシャルリセット時、PTMxは"0"(OFF)に設定されます。

PRESET0: タイマ0リセット(D1/0x48189<16bitタイマ0制御レジスタ>)
PRESET1: タイマ1リセット(D1/0x4818E<16bitタイマ1制御レジスタ>)
PRESET2: タイマ2リセット(D1/0x48199<16bitタイマ2制御レジスタ>)
PRESET3: タイマ3リセット(D1/0x4819E<16bitタイマ3制御レジスタ>)
PRESET4: タイマ4リセット(D1/0x481A9<16bitタイマ4制御レジスタ>)
PRESET5: タイマ5リセット(D1/0x481AE<16bitタイマ5制御レジスタ>)

カウンタをリセットします。

"1"書き込み: リセット
 "0"書き込み: 無効
 読み出し: 常時"0"

PRESETxに"1"を書き込むことによって、タイマxのカウンタがリセットされます。
 "0"の書き込みはノーオペレーションとなります。
 PRESETxは書き込み専用のため、読み出しは常時"0"となります。

PRUN0: タイマ0 RUN/STOP制御(D0/0x48186<16bitタイマ0制御レジスタ>)
PRUN1: タイマ1 RUN/STOP制御(D0/0x4818E<16bitタイマ1制御レジスタ>)
PRUN2: タイマ2 RUN/STOP制御(D0/0x48196<16bitタイマ2制御レジスタ>)
PRUN3: タイマ3 RUN/STOP制御(D0/0x4819E<16bitタイマ3制御レジスタ>)
PRUN4: タイマ4 RUN/STOP制御(D0/0x481A6<16bitタイマ4制御レジスタ>)
PRUN5: タイマ5 RUN/STOP制御(D0/0x481AE<16bitタイマ5制御レジスタ>)

タイマのRUN/STOPを制御します。

"1"書き込み: RUN
 "0"書き込み: STOP
 読み出し: 可能

各タイマはPRUNxに"1"を書き込むことによってカウントアップを開始し、"0"の書き込みにより停止します。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。
 イニシャルリセット時、PRUNxは"0"(STOP)に設定されます。

CR0A15–CR0A0: タイマ0コンペアデータA(D[F:0]/0x48180<16bitタイマ0コンペアデータA設定レジスタ>)
CR1A15–CR1A0: タイマ1コンペアデータA(D[F:0]/0x48188<16bitタイマ1コンペアデータA設定レジスタ>)
CR2A15–CR2A0: タイマ2コンペアデータA(D[F:0]/0x48190<16bitタイマ2コンペアデータA設定レジスタ>)
CR3A15–CR3A0: タイマ3コンペアデータA(D[F:0]/0x48198<16bitタイマ3コンペアデータA設定レジスタ>)
CR4A15–CR4A0: タイマ4コンペアデータA(D[F:0]/0x481A0<16bitタイマ4コンペアデータA設定レジスタ>)
CR5A15–CR5A0: タイマ5コンペアデータA(D[F:0]/0x481A8<16bitタイマ5コンペアデータA設定レジスタ>)

各タイマのコンペアデータAを設定します。

SELCRBxが"0"に設定されている場合、これらのレジスタによりコンペアデータレジスタAが直接読み出し/書き込み可能です。

SELCRBxが"1"に設定されている場合、これらのレジスタへのデータ書き込み/読み出しはコンペアレジスタバッファAに対して行われます。バッファの内容はカウンタがリセットされた時点でコンペアデータレジスタAにロードされます。

設定したデータがそれぞれのカウンタデータと比較され、内容が一致したところでコンペアA割り込みが発生します。同時に、タイマ出力波形が変化します(OUTINVx = "0"の場合は立ち上がり、OUTINVx = "1"の場合は立ち下がります)。これらの処理は、カウンタのデータやカウントアップ動作には影響を与えません。

イニシャルリセット時、CRxAは初期化されません。

CR0B15–CR0B0: タイマ0コンペアデータB(D[F:0]/0x48182<16bitタイマ0コンペアデータB設定レジスタ>)
CR1B15–CR1B0: タイマ1コンペアデータB(D[F:0]/0x4818A<16bitタイマ1コンペアデータB設定レジスタ>)
CR2B15–CR2B0: タイマ2コンペアデータB(D[F:0]/0x48192<16bitタイマ2コンペアデータB設定レジスタ>)
CR3B15–CR3B0: タイマ3コンペアデータB(D[F:0]/0x4819A<16bitタイマ3コンペアデータB設定レジスタ>)
CR4B15–CR4B0: タイマ4コンペアデータB(D[F:0]/0x481A2<16bitタイマ4コンペアデータB設定レジスタ>)
CR5B15–CR5B0: タイマ5コンペアデータB(D[F:0]/0x481AA<16bitタイマ5コンペアデータB設定レジスタ>)

各タイマのコンペアデータBを設定します。

SELCRBxが"0"に設定されている場合、これらのレジスタによりコンペアデータレジスタBが直接読み出し/書き込み可能です。

SELCRBxが"1"に設定されている場合、これらのレジスタへのデータ書き込み/読み出しはコンペアレジスタバッファBに対して行われます。バッファの内容はカウンタがリセットされた時点でコンペアデータレジスタBにロードされます。

設定したデータがそれぞれのカウンタデータと比較され、内容が一致したところでコンペアB割り込みが発生します。同時に、タイマ出力波形が変化し(OUTINVx = "0"の場合は立ち下がり、OUTINVx = "1"の場合は立ち上がります)、カウンタが"0"にリセットされます。

イニシャルリセット時、CRxBは初期化されません。

TC015–TC00: タイマ0カウンタデータ(D[F:0]/0x48184<16bitタイマ0カウンタデータレジスタ>)
TC115–TC10: タイマ1カウンタデータ(D[F:0]/0x4818C<16bitタイマ1カウンタデータレジスタ>)
TC215–TC20: タイマ2カウンタデータ(D[F:0]/0x48194<16bitタイマ2カウンタデータレジスタ>)
TC315–TC30: タイマ3カウンタデータ(D[F:0]/0x4819C<16bitタイマ3カウンタデータレジスタ>)
TC415–TC40: タイマ4カウンタデータ(D[F:0]/0x481A4<16bitタイマ4カウンタデータレジスタ>)
TC515–TC50: タイマ5カウンタデータ(D[F:0]/0x481AC<16bitタイマ5カウンタデータレジスタ>)

各タイマのカウンタデータが読み出せます。

データは任意のタイミングで読み出しが可能です。

TCxは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、TCxは初期化されません。

P16T02–P16T00: タイマ0割り込みレベル(D[2:0]/0x40266<16bitタイマ0/1割り込みプライオリティレジスタ>)
P16T12–P16T10: タイマ1割り込みレベル(D[6:4]/0x40266<16bitタイマ0/1割り込みプライオリティレジスタ>)
P16T22–P16T20: タイマ2割り込みレベル(D[2:0]/0x40267<16bitタイマ2/3割り込みプライオリティレジスタ>)
P16T32–P16T30: タイマ3割り込みレベル(D[6:4]/0x40267<16bitタイマ2/3割り込みプライオリティレジスタ>)
P16T42–P16T40: タイマ4割り込みレベル(D[2:0]/0x40268<16bitタイマ4/5割り込みプライオリティレジスタ>)
P16T52–P16T50: タイマ5割り込みレベル(D[6:4]/0x40268<16bitタイマ4/5割り込みプライオリティレジスタ>)

16ビットプログラマブルタイマ割り込みの優先レベルを設定します。
 タイマごとに、割り込みの優先レベルを0～7の範囲で設定できます。
 イニシャルリセット時、P16Txは不定となります。

E16TU0, E16TC0: タイマ0割り込みイネーブル(D2, D3/0x40272<16bitタイマ0/1割り込みイネーブルレジスタ>)
E16TU1, E16TC1: タイマ1割り込みイネーブル(D6, D7/0x40272<16bitタイマ0/1割り込みイネーブルレジスタ>)
E16TU2, E16TC2: タイマ2割り込みイネーブル(D2, D3/0x40273<16bitタイマ2/3割り込みイネーブルレジスタ>)
E16TU3, E16TC3: タイマ3割り込みイネーブル(D6, D7/0x40273<16bitタイマ2/3割り込みイネーブルレジスタ>)
E16TU4, E16TC4: タイマ4割り込みイネーブル(D2, D3/0x40274<16bitタイマ4/5割り込みイネーブルレジスタ>)
E16TU5, E16TC5: タイマ5割り込みイネーブル(D6, D7/0x40274<16bitタイマ4/5割り込みイネーブルレジスタ>)

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可
 "0"書き込み: 割り込み禁止
 読み出し: 可能

E16TUx、E16TCxは、それぞれコンペアB、コンペアAの割り込み要因に対応する割り込みイネーブルビットで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。
 イニシャルリセット時、割り込みイネーブルレジスタはすべて"0"(割り込み禁止)に設定されます。

F16TU0, F16TC0: タイマ0割り込み要因フラグ(D2, D3/0x40282<16bitタイマ0/1割り込み要因フラグレジスタ>)
F16TU1, F16TC1: タイマ1割り込み要因フラグ(D6, D7/0x40282<16bitタイマ0/1割り込み要因フラグレジスタ>)
F16TU2, F16TC2: タイマ2割り込み要因フラグ(D2, D3/0x40283<16bitタイマ2/3割り込み要因フラグレジスタ>)
F16TU3, F16TC3: タイマ3割り込み要因フラグ(D6, D7/0x40283<16bitタイマ2/3割り込み要因フラグレジスタ>)
F16TU4, F16TC4: タイマ4割り込み要因フラグ(D2, D3/0x40284<16bitタイマ4/5割り込み要因フラグレジスタ>)
F16TU5, F16TC5: タイマ5割り込み要因フラグ(D6, D7/0x40284<16bitタイマ4/5割り込み要因フラグレジスタ>)

16ビットプログラマブルタイマ割り込みの発生状態を示します。

- ・読み出し時
 - "1"読み出し: 割り込み要因あり
 - "0"読み出し: 割り込み要因なし
- ・リセットオンリー方式書き込み時 (デフォルト)
 - "1"書き込み: 要因フラグをリセット
 - "0"書き込み: 無効
- ・リード/ライト方式書き込み時
 - "1"書き込み: 要因フラグをセット
 - "0"書き込み: 要因フラグをリセット

F16TUx、F16TCxフラグは、それぞれコンペアB、コンペアAの割り込みに対応する割り込み要因フラグで、それぞれの要因の発生により"1"にセットされます。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み要因の発生により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。

割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。

イニシャルリセット時、これらのフラグはすべて不定となりますので、必ずソフトウェアでリセットしてください。

プログラミング上の注意事項

- (1) 内部クロックによる16ビットプログラマブルタイマの動作はプリスケアラが動作していることが条件です。
- (2) 入力クロックや動作モードの設定は、16ビットプログラマブルタイマが停止中に行ってください。
- (3) コンペアデータレジスタAとBに同じ値を設定すると、ハザードパルスが出力されることがあります。タイマ出力を使用する場合は、コンペアデータAとBを同じ値には設定しないでください。割り込み機能のみを使用する場合は、 $A = B$ でも問題ありません。割り込みは正常に発生します。
- (4) タイマ出力を使用する場合、コンペアデータは $A = 0$ 、 $B = 1$ を設定してください。最小設定は $A = 0$ 、 $B = 1$ で、タイマ出力サイクルは入力クロックの $1/2$ となります。
- (5) 通常モードの場合、コンペアデータを $A > B$ に設定すると、コンペアマッチA信号は発生しません。この場合、タイマ出力はOFFレベルに固定されます。ファインモードでは、 $A > 2 \times B + 1$ に設定すると、コンペアマッチA信号は発生しません。
- (6) イニシャルリセット後、割り込み要因フラグは不定となります。不要な割り込みの発生を防止するため、必ずプログラムでリセットしてください。
- (7) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。
- (8) 16ビットプログラマブルタイマでTMxクロック出力を行っている場合、クロック出力やポートの設定などにより不要なパルスが出力されることがありますので注意してください。
たとえば、TMxを反転出力($OUTINVx = 1$)に設定して使用している場合、出力波形はコンペアBで立ち上がり、コンペアAで立ち下がります。また、PTMxを"0"に設定してクロック出力を停止させると出力端子はHighレベルに固定されます。ここで、コンペアAで信号が立ち下がった後に出力端子を入出力兼用ポートに切り換えて出力をLowレベルに再設定するような制御を行う場合、Lowレベルに再設定する前にPTMxに"0"を書き込むと、その間にHighレベルのパルスが出力されてしまいます。この問題は、ポートをLowレベルに再設定後にPTMxに"0"を書き込むことで回避できます。

このページはブランクです。

III-5 ウォッチドッグタイマ

ウォッチドッグタイマの構成

C33周辺回路ブロックはCPUの暴走を検出するウォッチドッグタイマ機能を内蔵しています。この機能は16ビットプログラマブルタイマ0を使用して実現します。ウォッチドッグタイマ機能を有効に設定すると、16ビットプログラマブルタイマ0のコンペアB信号(ソフトウェアで発生周期を設定可能)でNMI(ノンマスカプブル割り込み)が発生します。ソフトウェアで周期的に16ビットプログラマブルタイマ0をリセットしNMIが発生しないように処理しておくことで、その処理ルーチンを通らないようなプログラムの暴走を検出することができます。

図5.1にウォッチドッグタイマのブロック図を示します。

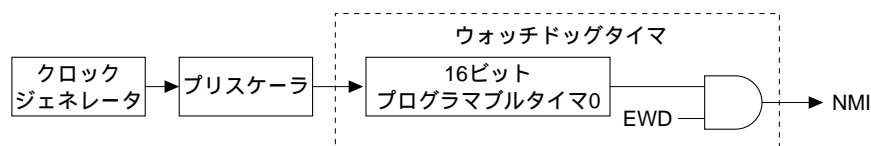


図5.1 ウォッチドッグタイマのブロック図

ウォッチドッグタイマの制御

動作クロックとNMI発生周期の設定

ウォッチドッグタイマはプリスケータの出力クロックによって動作します。したがって、プリスケータが停止中は、ウォッチドッグタイマの機能を使用することはできません。

NMIは16ビットタイマ0のコンペアB周期で発生します。したがって、その周期はプリスケータの16ビットタイマ0クロックコントロールレジスタ(0x40147)のP16TS0[2:0](D[2:0])と16ビットタイマ0コンペアレジスタB(0x48182)のCR0B[15:0](D[F:0])にセットするコンペアデータBによって決まります。

NMI発生周期は次の式から求められます。

$$\text{NMI発生周期} = \frac{\text{CR0B} + 1}{\text{fPSCIN} \times \text{pdr}} \quad [\text{秒}]$$

fPSCIN: プリスケータ入力クロック周波数 [Hz]

pdr: P16TS0によるプリスケータの分周比(1/4096, 1/1024, 1/256, 1/64, 1/16, 1/4, 1/2, 1/1)

CR0B: CR0B[F:0]の設定値(0 ~ 65535)

プリスケータと16ビットプログラマブルタイマ0の制御方法については、それぞれ"プリスケータ"、"16ビットプログラマブルタイマ"を参照してください。

ウォッチドッグタイマ機能の設定

ウォッチドッグタイマ機能を使用する場合は、16ビットタイマ0のコンペアB信号によるNMIを有効に設定します。これにはウォッチドッグタイマイネーブルレジスタ(0x40171)のEWD(D1)を使用します。

EWDに"1"を書き込むとNMIが許可されます。イニシャルリセット時はEWDが"0"に設定され、NMIの発生は禁止状態となります。

なお、EWDへの誤書き込みによる不要なNMIの発生を防止するため、通常EWDは書き込み禁止に設定されています。EWDを書き込み許可に設定するには、ウォッチドッグタイマ書き込み保護レジスタ(0x40170)のWRWD(D7)に"1"を書き込みます。なお、WRWDによる書き込み許可は、EWDに対して1回の書き込みのみを許可します。書き込み許可に設定後、EWDにデータを書き込むと、WRWDは"0"に復帰し、再びEWDを書き込み禁止状態にします。

16ビットプログラマブルタイマ0も適切なコンペアBデータを設定し、動作を開始させておきます。

ウォッチドッグタイマを使用しない場合は、EWDを"0"に固定し変更しないでください。

ウォッチドッグタイマのリセット

ウォッチドッグタイマを使用する場合は、NMIが発生する前に16ビットプログラマブルタイマ0をリセットするルーチンを定期的に処理される場所に用意しておきます。このルーチンは前述のNMI発生周期以内で処理されるようにしてください。

16ビットタイマ0は16bitタイマ0制御レジスタ(0x48186)のPRESET0(D1)に"1"を書き込むことによりリセットされます。この時点でタイマカウンタが"0"にリセットされ、そこから新たなNMI発生周期のカウンタを始めます。

何らかの原因によってウォッチドッグタイマが設定周期以内にリセットされなかった場合、NMIによってCPUはトラップ処理に移行し、NMIベクタで示される処理ルーチンを実行します。

NMIのトラップベクタアドレスは、デフォルトで0x0C0001Cに設定されます。

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134 ~ 0x48137)で変更することも可能です。

スタンバイモード時の動作

HALTモード時

HALTモード時(基本モードおよびHALT2モード)は、プリスケアラおよびウォッチドッグタイマも動作します。したがって、NMI発生周期以上、HALTモードを続けるとNMIによりHALTモードが解除されます。

HALTモード時にウォッチドッグタイマを無効にするには、halt命令実行前にEWDを"0"に設定するか、16ビットタイマ0を停止させてください。

EWDによりNMIを禁止した場合、16ビットタイマ0はHALT時もカウントを継続します。HALTモードを解除後にNMIを許可する際には、その前に16ビットタイマ0をリセットしてください。

16ビットタイマ0を停止させてHALTモードに移行した場合も、動作を再開させる前にリセットを行ってください。

SLEEPモード時

SLEEPモード時はプリスケアラが停止します。したがって、ウォッチドッグタイマも動作を停止します。SLEEPモード解除後に不要なNMIが発生することを防ぐため、slp命令の実行前に16ビットタイマ0をプリセットしてください。また、必要に応じEWDによってNMIの発生を禁止状態に設定してください。

ウォッチドッグタイマのI/Oメモリ

表5.1にウォッチドッグタイマの制御ビットを示します。

表5.1 ウォッチドッグタイマの制御ビット

レジスタ名	アドレ	ビット	名 称	機 能	設 定		Init.	R/W	注 釈		
ウォッチドッグ タイマ書き込み 保護レジスタ	0040170 (B)	D7	WRWD	EWD書き込み保護	1	書込許可	0	書込禁止	0	R/W	
		D6-0	—	—	—		—	—	読み出し時: 0		
ウォッチドッグ タイマイネーブル レジスタ	0040171 (B)	D7-2	—	—	—		—	—	読み出し時: 0		
		D1	EWD	ウォッチドッグタイマイネーブル	1	NMI許可	0	NMI禁止	0	R/W	
		D0	—	—	—		—	—	読み出し時: 0		

WRWD: EWD書き込み保護(D7/0x40170<ウォッチドッグタイマ書き込み保護レジスタ>)

EWDへの書き込みを許可します。

"1"書き込み: 書き込み許可

"0"書き込み: 書き込み禁止

読み出し: 可能

EWDは、不要な変更を防止するために書き込み禁止状態となっています。WRWDに"1"を書き込むと、この書き込みが1回のみ許可されます。EWDに対して書き込みを行うと、その時点でWRWDは"0"に戻り、EWDは書き込み禁止状態となります。

書き込み許可状態(WRWD="1")のときに、WRWDに"0"を書き込んだ場合も書き込み禁止状態に戻ります。イニシャルリセット時、WRWDは"0"(書き込み禁止)に設定されます。

EWD: ウォッチドッグタイマイネーブル(D1/0x40171<ウォッチドッグタイマイネーブルレジスタ>)

ウォッチドッグタイマによるノンマスカブル割り込み(NMI)の発生を制御します。

"1"書き込み: NMI有効

"0"書き込み: NMI禁止

読み出し: 可能

EWDに"0"を書き込むと、ウォッチドッグタイマの割り込み信号がマスクされ、CPUに対してNMIを発生しません。EWDが"1"に設定されていると16ビットタイマ0のコンペアB信号によりNMIが発生します。

EWDへの書き込みはWRWDが"1"になっている場合のみ有効です。

なお、EWDを"0"に設定しても、16ビットタイマ0はカウント動作を停止しません。したがって、一時的にNMIを無効にした場合は、EWDを"1"に戻す前に16ビットタイマ0をリセットしてください。

イニシャルリセット時、EWDは"0"(NMI禁止)に設定されます。

プログラミング上の注意事項

- (1) ウォッチドッグタイマのNMIを有効に設定している場合、16ビットタイマ0がコンペアB信号を出力する前にソフトウェアでプリセットする必要があります。
- (2) EWDを"0"に設定しても、16ビットタイマ0は停止しません。したがって、一時的にNMIを無効にした場合は、EWDを"1"に戻す前に16ビットタイマ0をリセットしてください。

このページはブランクです。

III-6 低速(OSC1)発振回路

低速(OSC1)発振回路の構成

C33周辺回路ブロックは、低速(OSC1)発振回路を内蔵しています。
 低速(OSC1)発振回路は32.768kHz(Typ.)のサブクロックを発生します。
 出力されるOSC1クロックはコアブロックのCLG(クロックジェネレータ)に入力され、計時タイマのソースクロックとして使用されます。また、CPU/周辺回路の低速(低電力)動作のサブクロックとして使用することもできます(プログラムによる切り換え)。
 図6.1にクロック系の構成を示します。

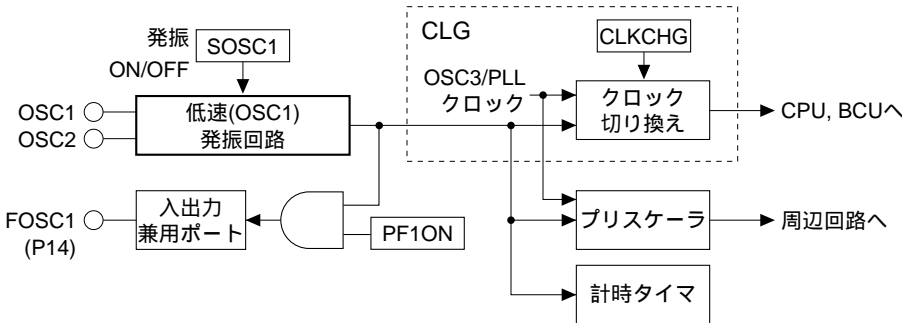


図6.1 クロック系の構成

CPUの動作クロックはプログラムによって低速(OSC1)発振回路の出力(OSC1クロック)に切り換えることができます。また、発振回路をプログラムによって停止させることもできます。
 計時処理等のOSC3クロックが不要な場合は消費電流を低減させるため、OSC1クロックをCPU/周辺回路の動作クロックに設定し、高速(OSC3)発振回路を停止させてください。
 低速(OSC1)発振回路はSLEEPモードでも停止しません。
 OSC1クロックを周辺回路の動作クロックとして使用する場合は制御については、"プリスケアラ"を参照してください。

低速(OSC1)発振回路の入出力端子

表6.1に低速(OSC1)発振回路の入出力端子を示します。

表6.1 低速(OSC1)発振回路の入出力端子

端子名	I/O	機能
OSC1	I	低速(OSC1)発振入力端子: 水晶発振または外部クロック入力
OSC2	O	低速(OSC1)発振出力端子: 水晶発振(外部クロック入力時は開放)
P14/FOSC1/DCLK	I/O	入出力兼用ポート/低速(OSC1)発振クロック出力/ DCLK信号出力

発振回路の種類

低速(OSC1)発振回路の種類としては、水晶発振または外部クロック入力を選択できます。

図6.2に低速(OSC1)発振回路の構造を示します。

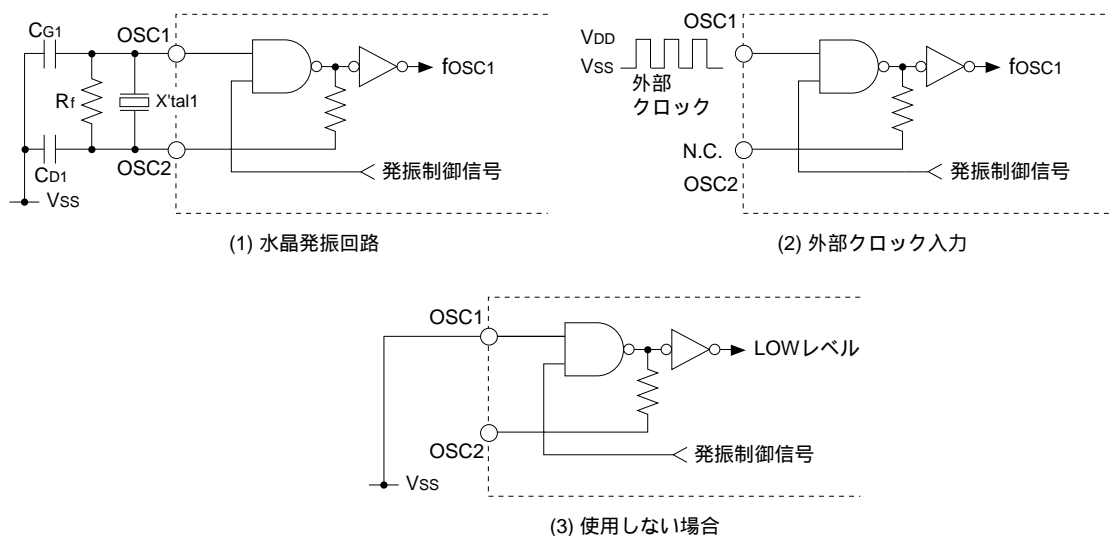


図6.2 低速(OSC1)発振回路

水晶発振回路として使用する場合は、水晶振動子X'tal1(32.768kHz Typ.)と帰還抵抗(Rf)をOSC1 ~ OSC2端子間に、2つのコンデンサ(CG1、Cd1)をそれぞれOSC1端子 ~ Vss間、OSC2端子 ~ Vss間に接続してください。

外部クロックを使用する場合はOSC2端子を開放し、矩形波のクロックをOSC1端子に入力してください。低速(OSC1)発振回路を使用しない場合はOSC1端子をVssに接続し、OSC2端子を開放してください。

発振周波数は32.768kHz(Typ.)です。この周波数の水晶振動子または外部クロックを使用してください。これ以外の周波数では、計時用途に使用できません。

発振特性と外部クロックの入力特性については"電氣的特性"を参照してください。

発振の制御

低速(OSC1)発振回路は、パワーコントロールレジスタ(0x40180)のSOSC1 (D0)によって発振のON/OFFが制御できます。

SOSC1に"0"を書き込むと低速(OSC1)発振回路が停止し、"1"を書き込むと発振を再開します。

イニシャルリセット時、SOSC1は"1"に設定され、低速(OSC1)発振回路はONとなります。

注: • CPUの動作クロック原振に低速(OSC1)発振回路を使用している場合は、低速(OSC1)発振回路を停止させることはできません。その場合のSOSC1への"0"書き込みは無効です。また、パワーコントロールレジスタ保護フラグが0b10010110に設定されている場合にのみ、SOSC1への書き込みが行えます。

- 発振回路をONにした直後は、発振が安定するまである程度の時間を要します(最大3秒)。誤動作を防止するため、発振が安定するまではそのクロックを使用しないでください。

低速(OSC1)発振回路はSLEEP時に停止しません。

CPU動作クロックの切り換え

イニシャルリセット後、CPUはOSC3クロックにより動作を開始します。

OSC3クロックをソースクロックとする周辺回路(プログラマブルタイマ、シリアルインタフェース、A/D変換器等)の動作が不要でCPUも低速動作で処理可能な場合は、CPUの動作クロックをOSC1クロックに切り換えて消費電流を低減させることができます。この動作クロックの切り換えは、パワーコントロールレジスタ(0x40180)のCLKCHG(D2)によって行います。

OSC3クロックからOSC1クロックへの切り換え手順

1. 低速(OSC1)発振回路をON (SOSC1に"1"を書き込み)
 2. OSC1発振が安定するまで(3秒以上)ウェイト
 3. CPU動作クロックの切り換え (CLKCHGに"0"を書き込み)
 4. 高速(OSC3)発振回路をOFF (SOSC3に"0"を書き込み)
- 1と2は低速(OSC1)発振回路が停止している場合にのみ必要です。

注: • OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々の命令で行ってください。1命令で同時に処理すると、CPUの誤動作につながります。

- プログラマブルタイマ、シリアルインタフェースなど、OSC3発振回路を原振とする周辺回路は、誤動作を防止するためOSC3発振を停止する前に動作を終了させてください。

OSC1クロックからOSC3クロックへの切り換え手順

1. 高速(OSC3)発振回路をON (SOSC3に"1"を書き込み)
2. OSC3発振が安定するまで(3.3V系水晶振動子の場合10ms以上)ウェイト
3. CPU動作クロックの切り換え (CLKCHGに"1"を書き込み)

注: CLKCHGによる動作クロックの切り換えは、発振回路が両方ともONしている場合で、パワーコントロールレジスタ保護フラグが0b10010110に設定されている場合にのみ有効です。

パワーコントロールレジスタ保護フラグ

発振回路とCPU動作クロックの制御を行うアドレス0x40180のパワーコントロールレジスタ(SOSC1、SOSC3、CLKCHG、CLKDT[1:0])は、不要な書き込みによる誤動作を防止するため、通常は書き込み禁止状態となっています。

書き込み可能な状態にするには、パワーコントロールレジスタ保護レジスタ(0x4019E)のCLGP[7:0](D7:0)に0b10010110を設定する必要があります。なお、この設定はパワーコントロールレジスタ(0x40180)への1回の書き込みのみを許可し、書き込みが行われるとCLGP[7:0]のすべてのビットが"0"にクリアされます。したがって、パワーコントロールレジスタ(0x40180)への書き込みを行う場合は、その都度CLGP[7:0]に0b10010110を設定してください。

CLGP[7:0]は、パワーコントロールレジスタ(0x40180)の読み出しには影響を与えません。

スタンバイモード時の動作

halt命令の実行により設定されるHALTモードでは、低速(OSC1)発振回路はHALTモードへ移行する前の状態を保持します。したがって、HALTモードへの移行前および解除後に発振回路を制御する必要は特にありません。

slp命令の実行により設定されるSLEEPモードでも、低速(OSC1)発振回路はHALTモードへ移行する前の状態を保持します。したがって、SLEEPモードへの移行前にCPUがOSC1クロックで動作していた場合は、SLEEP中もCPUはOSC1クロックによって動作します。

OSC1クロックの外部出力

低速(OSC1)発振クロックは、FOSC1(P14)端子から外部に出力することができます。

表6.2 出力端子

端子名	I/O	機 能	機能選択ビット
P14/FOSC1/ DCLK	I/O	入出力兼用ポート/低速(OSC1)発振クロック出力/ DCLK信号出力	CFP14(P1機能選択レジスタ0x402D4•D4) CFEX0 (ポート機能拡張レジスタ0x402DF•D0)

クロック出力端子の設定方法

OSC1クロック出力に使用する端子はP14入出力兼用ポートおよびデバッグ用クロック信号DCLKと共用されています。

コールドスタート時はDCLK端子(CFP14="0"、CFEX0="1")として設定されます。クロック出力機能を使用する場合は、CFP14を"1"、CFEX0を"0"に設定し、さらにIOC14(0x402D6•D4)を"1"に設定してください("入出力兼用ポート"参照)。

ホットスタート時は、リセット前の状態を保持します。

出力制御

クロック出力を開始させるにはクロックオプションレジスタ(0x40190)のPF1ON(D0)に"1"を書き込みます。"0"を書き込むと出力は停止します。

イニシャルリセット時、PF1ONは"0"(出力停止)に設定されます。

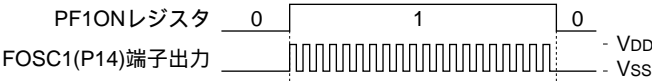


図6.3 OSC1クロック出力

クロックジェネレータのI/Oメモリ

表6.3にクロックジェネレータの制御ビットを示します。

表6.3 クロックジェネレータの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
パワー コントロール レジスタ	0040180 (B)	D7 D6	CLKDT1 CLKDT0	システムクロック分周比選択	CLKDT[1:0] 1 1 1/8 1 0 1/4 0 1 1/2 0 0 1/1	0 0	R/W	
		D5	PSCON	プリスケアラOn/Off制御	1 On 0 Off	1	R/W	
		D4-3	—	reserved	—	0	—	1書き込み禁止
		D2	CLKCHG	CPU動作クロック切り換え	1 OSC3 0 OSC1	1	R/W	
		D1	SOSC3	高速(OSC3)発振On/Off制御	1 On 0 Off	1	R/W	
		D0	SOSC1	低速(OSC1)発振On/Off制御	1 On 0 Off	1	R/W	
		D0	SOSC1	低速(OSC1)発振On/Off制御	1 On 0 Off	1	R/W	
クロック オプション レジスタ	0040190 (B)	D7-4	—	—	—	—	—	読み出し時: 0
		D3	HLT2OP	HALTクロックオプション	1 On 0 Off	0	R/W	
		D2	8T1ON	高速(OSC3)発振待ち時間On	1 Off 0 On	1	R/W	
		D1	—	reserved	—	0	—	1書き込み禁止
		D0	PF1ON	OSC1外部出力On/Off制御	1 On 0 Off	0	R/W	
パワー コントロール レジスタ 保護レジスタ	004019E (B)	D7	CLGP7	パワーコントロールレジスタ 保護フラグ	10010110(0x96)書き込みにより パワーコントロールレジスタ (0x40180)、クロックオプション レジスタ(0x40190)の書き込み保 護を解除 それ以外は書き込み禁止に設定	0	R/W	
		D6	CLGP6			0		
		D5	CLGP5			0		
		D4	CLGP4			0		
		D3	CLGP3			0		
		D2	CLGP2			0		
		D1	CLGP1			0		
		D0	CLGP0			0		
		D0	CLGP0			0		
P1機能選択 レジスタ	00402D4 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	CFP16	P16機能選択	1 EXCL5 0 P16	0	R/W	
		D5	CFP15	P15機能選択	1 EXCL4 0 P15	0	R/W	
		D4	CFP14	P14機能選択	1 FOOSC1 0 P14	0	R/W	拡張機能(0x402DF)
		D3	CFP13	P13機能選択	1 EXCL3 T8UF3 0 P13	0	R/W	
		D2	CFP12	P12機能選択	1 EXCL2 T8UF2 0 P12	0	R/W	
		D1	CFP11	P11機能選択	1 EXCL1 T8UF1 0 P11	0	R/W	
		D0	CFP10	P10機能選択	1 EXCL0 T8UF0 0 P10	0	R/W	
ポート機能拡張 レジスタ	00402DF (B)	D7-4	—	reserved	—	0	R/W	1書き込み禁止
		D3	CFEX3	P31ポート機能拡張	1 #GARD 0 P31, etc.	0	R/W	
		D2	CFEX2	P21ポート機能拡張	1 #GAAS 0 P21, etc.	0	R/W	
		D1	CFEX1	P10, P11, P13ポート機能拡張	1 DST0 DST1 DPC0 0 P10, etc. P11, etc. P13, etc.	1	R/W	
		D0	CFEX0	P12, P14ポート機能拡張	1 DST2 DCLK 0 P12, etc. P14, etc.	1	R/W	

SOSC1: 低速(OSC1)発振制御(D0/0x40180<パワーコントロールレジスタ>)

低速(OSC1)発振回路の発振ON/OFFを制御します。

"1"書き込み: OSC1発振ON

"0"書き込み: OSC1発振OFF

読み出し: 可能

SOSC1に"0"を書き込むことにより低速(OSC1)発振回路が発振を停止し、"1"の書き込みで発振を再開します。発振を再開後は、発振が安定するまで標準動作条件で最大3秒の時間を要しますので、OSC1クロックはそれ以上の時間が経過後に使用してください。

SOSC1への書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。また、OSC1クロックでCPUが動作している場合は、"0"の書き込みは無効となり発振を停止しません。

イニシャルリセット時、SOSC1は"1"(OSC1発振ON)に設定されます。

CLKCHG: CPU動作クロック切り換え(D2/0x40180<パワーコントロールレジスタ>)

CPUの動作クロックを選択します。

"1"書き込み: OSC3クロック

"0"書き込み: OSC1クロック

読み出し: 可能

CPUの動作クロックはCLKCHGに"1"を書き込んだ場合OSC3、"0"を書き込んだ場合OSC1となります。高速(OSC3)発振回路および低速(OSC1)発振回路が共にONの場合にのみ動作クロックの切り換えが行えます。また、CLKCHGへの書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。発振回路が発振を開始した直後は、発振が安定するまでCPUの動作クロックの切り換えは行わないでください。

イニシャルリセット時、CLKCHGは"1"(OSC3クロック)に設定されます。

高速(OSC3)発振回路の制御については、コアブロックの"CLG(クロックジェネレータ)"を参照してください。

HLT2OP: HALTクロックオプション(D3/0x40190<クロックオプションレジスタ>)

HALTモード時の状態(基本モードとHALT2モード)を選択します。

"1"書き込み: HALT2モード

"0"書き込み: 基本モード

読み出し: 可能

HALTモード時の状態は、HLT2OPに"1"を書き込むとHALT2モード、"0"を書き込むと基本モードになります。

HLT2OPへの書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。

イニシャルリセット時、HLT2OPは"0"(基本モード)に設定されます。

HALTモード(基本モードとHALT2モード)、SLEEPモードの動作状態は以下のとおりです。

表6.4 スタンバイモードの動作状態

スタンバイモード		動作状態	再起動
HALTモード	基本モード	CPUクロック停止(CPU停止) BCUへのクロック非停止(BCU非停止) 周辺回路へのクロックはHALTモードに移行する直前の状態を継続(停止/非停止) 高速発振回路はHALTモードに移行する直前の状態を継続 低速発振回路はHALTモードに移行する直前の状態を継続	リセット、NMI マスクされていない割り込み要因の発生
	HALT2モード	CPUクロック停止(CPU停止) BCUへのクロック停止(BCU停止) 周辺回路へのクロックはHALTモードに移行する直前の状態を継続(停止/非停止) 高速発振回路はHALTモードに移行する直前の状態を継続 低速発振回路はHALTモードに移行する直前の状態を継続	
SLEEPモード		CPUクロック停止(CPU停止) BCUへのクロック停止(BCU停止) 周辺回路へのクロックは停止 高速発振回路は停止 低速発振回路はSLEEPモードに移行する直前の状態を継続	リセット、NMI マスクされていない入力ポートからの割り込み 低速発振回路が動作しているときの計時タイマからの割り込み

PF10N: OSC1外部出力ON/OFF制御(D0/0x40190<クロックオプションレジスタ>)

低速(OSC1)クロックの外部出力をON/OFFします。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

PF10Nに"1"を書き込むことにより、低速(OSC1)クロックがFOSC1端子から出力されます。ただし、P14端子をCFP14およびCFEX0によってFOSC1端子に設定し、さらにIOC14(D4/0x402D6<P1I/O制御レジスタ>)を"1"にして出力設定にしておくことが必要です。

"0"を書き込むと出力は停止します。

PF10Nへの書き込みはCLGP[7:0]が0b10010110に設定されている場合にのみ可能です。

イニシャルリセット時、PF10Nは"0"(OFF)に設定されます。

CLGP7–CLGP0: パワーコントロールレジスタ保護フラグ

([D[7:0]/0x4019E<パワーコントロールレジスタ保護レジスタ>)

パワーコントロールレジスタ(0x40180)とクロックオプションレジスタ(0x40190)の書き込み保護を解除します。

0b10010110書き込み: 書き込み保護解除

上記以外の書き込み: ノーオペレーション(書き込み保護)

読み出し: 可能

パワーコントロールレジスタ(0x40180)またはクロックオプションレジスタ(0x40190)に書き込みを行う場合は、その前にCLGP[7:0]を0b10010110に設定し、書き込み保護を解除してください。この解除は上記いずれかのアドレスに対する1回の書き込みのみに有効で、書き込みが行われると0b00000000にクリアされます。したがって、書き込みの都度CLGP[7:0]を再設定する必要があります。

イニシャルリセット時、CLGPは0b00000000(書き込み保護)に設定されます。

CFP14: P14機能選択(D4/0x402D4<P1機能選択レジスタ>)

P14入出力兼用ポート端子の機能を選択します。

"1"書き込み: OSC1クロック出力端子

"0"書き込み: 入出力兼用ポート端子

読み出し: 可能

CFP14に"1"を書き込むと、P14端子がOSC1クロック出力端子(FOSC1)に設定されます。

FOSC1出力端子として使用する場合は、IOC14(D4/0x402D6<P1I/O制御レジスタ>)も"1"(出力)に設定してください。

コールドスタート時、CFP14は"0"(入出力兼用ポート端子)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

CFEX0: P12, P14ポート機能拡張(D0/0x402DF<ポート機能拡張レジスタ>)

P14端子の拡張機能を選択します。

"1"書き込み: DCLK出力端子

"0"書き込み: P14/FOSC1出力端子

読み出し: 無効

CFEX0に"1"を書き込むと、P14端子がデバッグ用クロック信号DCLKの出力端子として機能します。

CFEX0が"0"の場合はCFP14レジスタが有効となり、その設定に従ってP14入出力兼用ポート端子またはFOSC1出力端子となります。

コールドスタート時、CFEX0は"1"(DCLK出力端子)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

プログラミング上の注意事項

- (1) 低速(OSC1)発振回路をONにした直後は、発振が安定するまである程度の時間を要します(最大3秒)。誤動作を防止するため、発振が安定するまではそのクロックを使用しないでください。
- (2) CPUの動作クロックに使用している発振回路を停止させることはできません。
- (3) CPU動作クロックの切り換えは、OSC3とOSC1発振回路が両方ともONしている場合にのみ可能です。また、CPU動作クロックの切り換え後に不要となった発振回路をOFFする場合、切り換えと発振OFFは命令を分けて行ってください。1命令で同時に処理すると、CPUの誤動作につながります。
- (4) 低速(OSC1)発振回路をOFFにした場合、OSC1クロックで動作している周辺回路はすべて停止します。
- (5) 消費電流を低減させるため、OSC3クロックが不要な場合はOSC1クロックでCPUを動作させ、高速(OSC3)発振回路をOFFしてください。
- (6) P14/FOSC1/DCLK端子をFOSC1端子として使用する場合、CFP14(D4/0x402D4)、CFEX0(D0/0x402DF)による設定に加えて、IOC14(D4/0x402D6)を"1"(出力)に設定してください。

III-7 計時タイマ

計時タイマの構成

計時タイマは低速(OSC1)発振クロック f_{OSC1} を分周した256Hz信号を入力クロックとする8ビットのバイナリカウンタ、秒カウンタ、分カウンタ、時間カウンタ、日カウンタで構成され、各データ(128~1Hz、秒、分、時間、日)をソフトウェアによって読み出すことができます。また、32Hz、8Hz、2Hz、1Hz(1秒)信号および1分、1時間、1日のカウントアップによる割り込みと分、時間、日指定によるアラームを発生させることができます。

低速(OSC1)発振回路と計時タイマは、CPUおよび他の内蔵周辺回路をスタンバイモード(HALTまたはSLEEP)にした場合でも動作可能です。

通常はこの計時タイマを、時計などのような各種の計時機能に使用します。

図7.1に計時タイマの構成を示します。

注: 計時タイマは低速(OSC1)発振回路を原振としているため、低速(OSC1)発振回路(Typ. 32.768kHz)を使用しない場合は、計時タイマも使用できません。

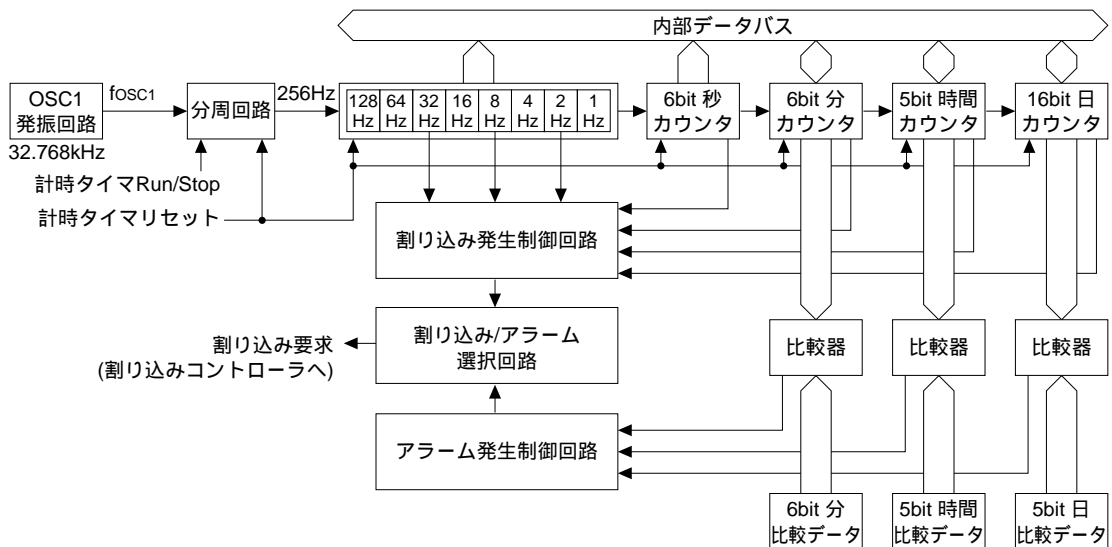


図7.1 計時タイマの構成

計時タイマの制御と動作

初期設定

イニシャルリセット時、計時タイマのカウンタデータ、アラーム設定内容およびRUN/STOPを含む制御ビットは初期化されません(CPUコア電源ON/OFFフラグTCHVOFおよびOSC1オートOFFフラグTCAOFFを除く)。

したがって、計時タイマを使用する場合は以下の手順で初期化してください。

1. 設定開始前に、計時タイマを停止状態、計時タイマ割り込みを禁止に設定
2. カウンタをリセット
3. 分、時間、日データをプリセット(必要な場合のみ)
4. 割り込み要因を選択
5. アラーム機能の選択
6. 割り込みを許可
7. 計時タイマをスタート

各設定、制御方法を以下に説明します。割り込みの制御については"計時タイマの割り込み機能"を参照してください。

カウンタのリセット

計時タイマの各カウンタはソフトウェアでのみ"0"にリセット可能です。イニシャルリセットやオートオフ機能によってはリセットされませんので注意してください。

計時タイマをリセットするには計時タイマRun/Stopレジスタ(0x40151)のTCRST(D1)に"1"を書き込みます。ただし、このリセットは計時タイマが停止中のみ受け付けられ、動作中は無効です。

- 注:
- ・ 計時タイマリセットビットTCRSTと計時タイマRUN/STOP制御ビットTCRUNは、同一アドレス(0x40151)の計時タイマRun/Stopレジスタに割り付けられています。ただし、両方に"1"を書き込んで計時タイマのリセットとRUNを同時に行うことはできません。この場合、リセットは無効となり、その時点のカウンタ値からのカウントアップとなります。リセットは必ずTCRUNが"0"の状態で行ってください。
 - ・ 計時タイマのリセットによってカウンタがクリアされる際、設定によっては割り込みが発生することがあります。したがって、計時タイマをリセットする場合は、先に計時タイマ割り込みを禁止し、計時タイマをリセット後に割り込み要因フラグ、割り込み要因発生フラグおよびアラーム要因発生フラグをリセットしてください。

分、時間、日データのプリセット

計時タイマの分カウンタ、時間カウンタ、日カウンタにはデータプリセット機能があり、時間を任意に設定することができます。

表7.1 カウンタのプリセット

カウンタ	データレジスタ	プリセット値
分カウンタ	TCHD[5:0] (計時タイマ分レジスタ0x40155・D[5:0])	0 ~ 59
時間カウンタ	TCDD[4:0] (計時タイマ時間レジスタ0x40156・D[4:0])	0 ~ 23
日カウンタ	TCND[15:0] (計時タイマ日(上位)レジスタ0x40158・D[7:0]) (計時タイマ日(下位)レジスタ0x40157・D[7:0])	0 ~ 65535

計時タイマをRTCとして使用する場合には、これらのカウンタ値を設定してから計時タイマを動作させてください。日カウンタには基準日(たとえば1990年1月1日)からの日数を設定します。

計時タイマのRUN/STOP

計時タイマは計時タイマRun/Stopレジスタ(0x40151)のTCRUN(D0)に"1"を書き込むとカウントをスタートし、"0"を書き込むと停止します。

計時タイマをRUNさせると、低速(OSC1)発振クロックの立ち下がりエッジで256Hzクロックの入力がイネーブルとなり、256Hzクロックの立ち下がりエッジで8ビットバイナリカウンタがカウントアップします。8ビットバイナリカウンタの動作を図7.2に示します。

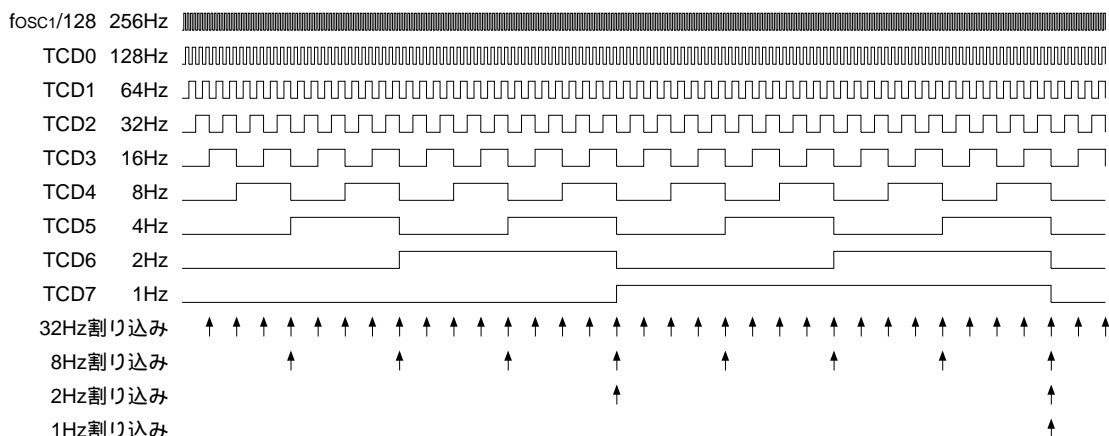


図7.2 8ビットバイナリカウンタのタイミングチャート

8ビットバイナリカウンタの最終段は1Hz信号を出力します。

秒カウンタはその1Hz信号をカウントします。60秒をカウントすると60秒信号を出力し、カウンタは0秒にリセットされます。

同様に分カウンタ、時間カウンタもそれぞれ前段のカウンタの出力信号により60分、24時間のカウントを行います。

日カウンタは16ビットのバイナリカウンタで、時間カウンタが出力する24時間信号により65536日のカウントが行えます。

各カウンタが発生する以下の信号の中から、割り込みを発生させる信号を1つ選択することができます。

32Hz, 8Hz, 2Hz, 1Hz(1秒), 1分, 1時間, 1日

TCRUNに"0"を書き込んだ場合は、カウントアップのタイミング(256Hzクロックの立ち下がり)と重なることによる誤動作を避けるため、計時タイマは低速(OSC1)発振クロックの立ち上がりエッジで停止します。

計時タイマを停止させた場合でも、各カウンタはその時点のデータを保持します。その状態で再びRUNさせると、保持している値からカウントを継続します。

カウンタデータの読み出し

各カウンタのデータはソフトウェアによってバイナリデータとして読み出すことができます。

表7.2 カウンタデータの読み出し

カウンタ	カウンタデータ
1Hz ~ 128Hz	TCDD[7:0] (計時タイマ分周レジスタ0x40153・D[7:0])
秒カウンタ	TCMD[5:0] (計時タイマ秒レジスタ0x40154・D[5:0])
分カウンタ	TCHD[5:0] (計時タイマ分レジスタ0x40155・D[5:0])
時間カウンタ	TCDD[4:0] (計時タイマ時間レジスタ0x40156・D[4:0])
日カウンタ	TCND[15:0] (計時タイマ日(上位)レジスタ0x40158・D[7:0]) (計時タイマ日(下位)レジスタ0x40157・D[7:0])

データは動作中のカウンタから直接読み出されます。このため、各カウンタデータの読み出しの間にカウンタがオーバーフローして、正確なデータが読み出せないことがあります。たとえば、8ビットバイナリカウンタが0xFFで読み出され、次の秒カウンタを読み出す前にオーバーフローすると、秒カウンタは8ビットバイナリカウンタの読み出し時から1秒加算された値になります。これを防ぐため、各カウンタを複数回の読み出して、データが変更されないことを確認してください。

アラーム機能の設定

計時タイマにはアラーム機能があり、指定の日時に割り込みを発生させることができます。アラームの指定は分単位、時間単位、日単位で単独に、または複数を組み合わせて行えます。この選択は計時タイマ割り込み制御レジスタ(0x40152)のTCASE[2:0](D4:2)で行います。

表7.3 アラーム要因の選択

TCASE2	TCASE1	TCASE0	アラーム要因
X	X	1	分アラーム
X	1	X	時間アラーム
1	X	X	日アラーム
0	0	0	選択なし

たとえばTCASEを"001"に設定すると、分アラームのみが有効となり、毎時指定分にアラームが発生します。"111"に設定すると、指定日・指定時・指定分にアラームが発生します。

アラームを使用しない場合は"000"を設定してください。

1分、1時間、あるいは1日周期で割り込みを発生させたい場合は、カウンタによる割り込み機能で対応可能です。

日・時間・分の指定は以下のレジスタで行います。

分の指定: 計時タイマ分比較レジスタ TCCH[5:0](D[5:0]/0x40159) 0~59分*

時間の指定: 計時タイマ時間比較レジスタ TCCD[4:0](D[4:0]/0x4015A) 0~23時*

日の指定: 計時タイマ日比較レジスタ TCCN4[4:0](D[4:0]/0x4015B) 0~31日後

* 分比較レジスタ(6ビット)、時間比較レジスタ(5ビット)はそれぞれ63分、31時まで設定可能で、59分あるいは23時を越えるデータを設定しても無効とはなりませんので注意してください。

これらのレジスタに設定された値が各カウンタと比較され、一致すると計時タイマ割り込み制御レジスタ(0x40152)のアラーム要因発生フラグTCAF(D0)が"1"にセットされます。割り込みコントローラによって計時タイマ割り込みが許可されていれば、同時に割り込みも発生します。

なお、日比較データレジスタは5ビットで、日カウンタの下位5ビットと比較されます。したがって、設定した日から31日後までの間アラームを発生可能です。

計時タイマの割り込み機能

計時タイマ割り込み要因

計時タイマはカウンタの32Hz、8Hz、2Hz、1Hz(1秒)、1分、1時間、1日の信号によって割り込みを発生させることができます。この中のどの信号を割り込み要因として使用するかについては計時タイマ割り込み制御レジスタ(0x40152)の割り込み要因選択ビットTCISE[2:0](D[7:5])で選択できます。

表7.4 割り込み要因の選択

TCISE2	TCISE1	TCISE0	割り込み要因
1	1	1	選択なし
1	1	0	1日
1	0	1	1時間
1	0	0	1分
0	1	1	1Hz
0	1	0	2Hz
0	0	1	8Hz
0	0	0	32Hz

選択した信号の周期(各立ち下がりエッジ)で割り込み要因が発生します。

これらの信号による割り込みを使用しない場合は、TCISEを"111"に設定してください。

選択した割り込み要因が発生すると、計時タイマ割り込み制御レジスタ(0x40152)の割り込み要因発生フラグTCIF(D1)が"1"にセットされます。同時に計時タイマ割り込み要因フラグレジスタ(0x40287)の計時タイマ割り込み要因フラグFCTM(D1)も"1"にセットされます。このとき、割り込み制御レジスタによって割り込み条件が満たされていれば、CPUに対し割り込みが発生します。

前節で説明したとおり、指定したアラーム日時に割り込みを発生させることもできます。

信号による割り込みとアラームによる割り込みの両方を利用することができます。ただし、計時タイマの割り込み要因フラグは1種類のため、同一の割り込みが発生します。したがって、両方の割り込みを使用する場合は、割り込み発生時に割り込み要因発生フラグTCIFとアラーム要因発生フラグTCAFを読み出してどちらの要因による割り込みなのかを確認してください。

要因発生フラグは"1"にセットされると、ソフトウェアで"1"を書き込むまでリセットされません。

フラグがセットされていることを確認後は"1"を書き込んでリセットしてください。

なお、割り込み要因発生フラグ、アラーム要因発生フラグは、割り込み、アラーム発生から4ms以上の時間が経過後にリセットしてください。

注: 不要な割り込みの発生を防止するため、割り込み要因およびアラーム要因の選択は、計時タイマの割り込みを禁止した状態で行ってください。また、その後で割り込みを許可する前に、各要因発生フラグと割り込み要因フラグをリセットしてください。

割り込みコントローラの制御レジスタ

計時タイマ割り込みの制御ビット/レジスタは次のとおりです。

割り込み要因フラグ: FCTM

(ポート入力4-7, 計時タイマ割り込み要因フラグレジスタ0x40287•D1)

割り込みイネーブル: ECTM

(ポート入力4-7, 計時タイマ割り込みイネーブルレジスタ0x40277•D1)

割り込みレベル: PCTM[2:0]

(計時タイマ割り込みプライオリティレジスタ0x4026B•D[2:0])

計時タイマは前述の割り込み要因が発生すると割り込み要因フラグを"1"にセットします。このときに、対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず("0"に設定されていても)、割り込み要因発生時に"1"にセットされます。割り込みプライオリティレジスタは、割り込みの優先レベル(0~7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。また、計時タイマ割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した計時タイマ割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITC(割り込みコントローラ)"を参照してください。

トラップベクタ

計時タイマ割り込みのトラップベクタアドレスは、デフォルトで0x0C00104に設定されています。

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134~0x48137)で変更することも可能です。

計時タイマの使用例

以下に計時タイマの使用例とその制御方法を示します。

計時タイマをタイマカウンタとして使用する場合

CPUを停止した状態で計時タイマを動作させ、指定時間(例: 3日)経過後にウェークアップさせる例

1. 低速(OSC1)発振回路が安定して発振していることを確認します。(SOSC1 = "1")
発振開始直後の場合は発振が安定するまで(約3秒)待機してください。
2. 割り込みコントローラで計時タイマの割り込みを禁止します。(ECTM = "0")
3. 計時タイマを停止させ、日比較レジスタに"3日"を設定します。(TCRUN = "0", TCCN = "3")
4. アラーム要因選択レジスタで"日指定アラーム"を選択し、割り込み要因選択レジスタを"選択なし"に設定します。(TCASE = "100", TCISE = "111")
5. 割り込み要因フラグおよびアラーム要因発生フラグをリセットします。(FCTM = "0", TCAF = "0")
6. 割り込みコントローラで計時タイマ割り込みを許可します。(ECTM = "1")
7. CPU動作クロックを低速(OSC1)クロックに切り換えます。(CLKCHG = "0")
8. 高速(OSC3)発振回路を停止させます。(SOSC3 = "0")
9. 計時タイマをリセットします。(TCRST = "0")
10. 計時タイマをスタートさせます。(TCRUN = "1")
11. halt命令を実行し、CPUを停止させます。

:

計時タイマからの日指定アラーム割り込みの発生を待ちます。割り込みが発生すると、CPUはOSC1クロックで起動します。

:

12. 必要であれば、高速(OSC3)発振回路をONし、CPU動作クロックをOSC3クロックに切り換えます。

上記例で、3日が経過する前にリセットをかけた場合は次のような動作となります。

- ・CPUはOSC3クロックにより起動します。
- ・計時タイマのカウンタはリセットされません。RUN状態を保持します。

計時タイマのカウンタを読み出すことで、CPUが停止していた時間を確認することができます。

計時タイマをRTCとして使用する場合

計時タイマを動作させ、毎日10時(AM)にアラームを発生させる例

1. 割り込みコントローラで計時タイマの割り込みを禁止します。(ECTM = "0")
2. 計時タイマを停止させます。(TCRUN = "0")
3. 計時タイマをリセットします。(TCRST = "1")
4. 分(TCHD)・時間(TCDD)・日(TCND)カウンタに現在の日時を設定します。日カウンタには基準日(1990年1月1日等)からの日数を設定し、読み出し時はソフトウェアで現在の日付に変換します。
5. 時間比較レジスタに"10時"を設定します。(TCCD = "0x0A")
6. アラーム要因選択レジスタで"時間指定アラーム"を選択し、割り込み要因選択レジスタを"選択なし"に設定します。(TCASE = "010", TCISE = "111")
7. 割り込み要因フラグとアラーム要因発生フラグをリセットします。(FCTM = "1", TCAF = "0")
8. 割り込みコントローラで計時タイマ割り込みを許可します。(ECTM = "1")
9. 計時タイマをスタートさせます。(TCRUN = "1")

:

計時タイマは毎日10時に時間指定アラーム割り込みを発生します。

:

上記例で、アラーム以外の割り込み要因を選択した場合、その割り込み要因による割り込みも発生します。どちらの割り込みかを確認するには、割り込み要因発生フラグTCIFおよびアラーム要因フラグTCAFを読み出してください。TCAFが"1"にセットされていれば、アラームによる割り込みです。なお、時間指定アラームと1日以外の割り込み要因を選択した場合は、アラーム要因発生時にその割り込み要因も同時に発生します。

計時タイマのI/Oメモリ

表7.5に計時タイマの制御ビットを示します。

表7.5 計時タイマの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈	
計時タイマ Run/Stop レジスタ	0040151 (B)	D7-2	—	reserved	—		—	—	読み出し時: 0	
		D1	TCRST	計時タイマリセット	1 リセット	0 無効	X	W	読み出し時: 0	
		D0	TCRUN	計時タイマRun/Stop制御	1 Run	0 Stop	X	R/W		
計時タイマ 割り込み制御 レジスタ	0040152 (B)	D7	TCISE2	計時タイマ割り込み要因選択	TCISE[2:0]		割り込み要因	X	R/W	
		D6	TCISE1		1 1 1	なし	X			
		D5	TCISE0		1 1 0	1日	X			
					1 0 1	1時間				
					1 0 0	1分				
					0 1 1	1Hz				
					0 1 0	2Hz				
					0 0 1	8Hz				
					0 0 0	32Hz				
		D4	TCASE2	計時タイマアラーム要因選択	TCASE[2:0]		アラーム要因	X	R/W	
D3	TCASE1	1 X X	日アラーム		X					
D2	TCASE0	X 1 X	時間アラーム		X					
		X X 1	分アラーム							
				0 0 0	なし					
D1	TCIF	割り込み要因発生フラグ	1 要因あり	0 要因なし	X	R/W	"1"書き込みでリセット			
D0	TCAF	アラーム要因発生フラグ	1 要因あり	0 要因なし	X	R/W	"1"書き込みでリセット			
計時タイマ 分周レジスタ	0040153 (B)	D7	TCDD7	計時タイマデータ 1Hz	1 High	0 Low	X	R		
		D6	TCDD6	計時タイマデータ 2Hz	1 High	0 Low	X	R		
		D5	TCDD5	計時タイマデータ 4Hz	1 High	0 Low	X	R		
		D4	TCDD4	計時タイマデータ 8Hz	1 High	0 Low	X	R		
		D3	TCDD3	計時タイマデータ 16Hz	1 High	0 Low	X	R		
		D2	TCDD2	計時タイマデータ 32Hz	1 High	0 Low	X	R		
		D1	TCDD1	計時タイマデータ 64Hz	1 High	0 Low	X	R		
		D0	TCDD0	計時タイマデータ 128Hz	1 High	0 Low	X	R		
計時タイマ 秒レジスタ	0040154 (B)	D7-6	—	reserved	—		—	—	読み出し時: 0	
		D5	TCMD5	計時タイマ秒データ	0 ~ 59秒		X	R		
		D4	TCMD4	TCMD5 = MSB			X			
		D3	TCMD3	TCMD0 = LSB			X			
		D2	TCMD2				X			
		D1	TCMD1				X			
		D0	TCMD0				X			
計時タイマ 分レジスタ	0040155 (B)	D7-6	—	reserved	—		—	—	読み出し時: 0	
		D5	TCHD5	計時タイマ分データ	0 ~ 59分		X	R/W		
		D4	TCHD4	TCHD5 = MSB			X			
		D3	TCHD3	TCHD0 = LSB			X			
		D2	TCHD2				X			
		D1	TCHD1				X			
		D0	TCHD0				X			
計時タイマ 時間レジスタ	0040156 (B)	D7-5	—	reserved	—		—	—	読み出し時: 0	
		D4	TCDD4	計時タイマ時間データ	0 ~ 23時		X	R/W		
		D3	TCDD3	TCDD4 = MSB			X			
		D2	TCDD2	TCDD0 = LSB			X			
		D1	TCDD1				X			
		D0	TCDD0				X			
計時タイマ 日(下位) レジスタ	0040157 (B)	D7	TCND7	計時タイマ日データ	0 ~ 65535日		X	R/W		
		D6	TCND6	(下位8ビット)	(下位8ビット)		X			
		D5	TCND5	TCND0 = LSB			X			
		D4	TCND4				X			
		D3	TCND3				X			
		D2	TCND2				X			
		D1	TCND1				X			
		D0	TCND0				X			
計時タイマ 日(上位) レジスタ	0040158 (B)	D7	TCND15	計時タイマ日データ	0 ~ 65535日		X	R/W		
		D6	TCND14	(上位8ビット)	(上位8ビット)		X			
		D5	TCND13	TCND15 = MSB			X			
		D4	TCND12				X			
		D3	TCND11				X			
		D2	TCND10				X			
		D1	TCND9				X			
		D0	TCND8				X			

III 周辺回路ブロック: 計時タイマ

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
計時タイマ 分比較レジスタ	0040159 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	TCCH5	計時タイマ分比較データ	0 ~ 59分	X	R/W	(注)0 ~ 63を設定可能
		D4	TCCH4	TCCH5 = MSB		X		
		D3	TCCH3	TCCH0 = LSB		X		
		D2	TCCH2			X		
		D1	TCCH1			X		
		D0	TCCH0			X		
計時タイマ 時間比較 レジスタ	004015A (B)	D7-5	—	reserved	—	—	—	読み出し時: 0
		D4	TCCD4	計時タイマ時間比較データ	0 ~ 23時	X	R/W	(注)0 ~ 31を設定可能
		D3	TCCD3	TCCD4 = MSB		X		
		D2	TCCD2	TCCD0 = LSB		X		
		D1	TCCD1			X		
		D0	TCCD0			X		
計時タイマ 日比較レジスタ	004015B (B)	D7-5	—	reserved	—	—	—	読み出し時: 0
		D4	TCCN4	計時タイマ日比較データ	0 ~ 31日	X	R/W	TCND[4:0]と比較
		D3	TCCN3	TCCN4 = MSB		X		
		D2	TCCN2	TCCN0 = LSB		X		
		D1	TCCN1			X		
		D0	TCCN0			X		
計時タイマ 割り込み プライオリティ レジスタ	004026B (B)	D7-3	—	reserved	—	—	—	1書き込み禁止
		D2	PCTM2	計時タイマ	0 ~ 7	X	R/W	
		D1	PCTM1	割り込みレベル		X		
		D0	PCTM0			X		
ポート入力4-7, 計時タイマ 割り込みイネー ブルレジスタ	0040277 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	EP7	ポート入力7	1 許可	0 禁止	0	R/W
		D4	EP6	ポート入力6			0	R/W
		D3	EP5	ポート入力5			0	R/W
		D2	EP4	ポート入力4			0	R/W
		D1	ECTM	計時タイマ			0	R/W
		D0	—	reserved	—	—	0	R/W
ポート入力4-7, 計時タイマ 割り込み要因 フラグレジスタ	0040287 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	FP7	ポート入力7	1 要因発生	0 要因なし	X	R/W
		D4	FP6	ポート入力6			X	R/W
		D3	FP5	ポート入力5			X	R/W
		D2	FP4	ポート入力4			X	R/W
		D1	FCTM	計時タイマ			X	R/W
		D0	—	reserved	—	—	X	R/W
								1書き込み禁止

TCRST: 計時タイマリセット(D1/0x40151<計時タイマRun/Stopレジスタ>)

計時タイマをリセットします。

"1"書き込み: 計時タイマリセット

"0"書き込み: 無効

読み出し: 常時"0"

計時タイマは、停止状態でTCRSTに"1"を書き込むことによってリセットされます。カウンタはすべて"0"にクリアされます。

計時タイマがRUN状態ではリセットされません。また、計時タイマRun/Stopレジスタ(0x40151)に対する1回の書き込みで計時タイマのリセットとRUNを同時に実行することはできません(計時タイマはスタートしますが、リセットされません)。この場合は、先に計時タイマをリセットし、別の命令で計時タイマをRUNさせてください。

計時タイマのリセットによってカウンタがクリアされる際、設定によっては割り込みが発生することがあります。したがって、計時タイマをリセットする場合は、先に計時タイマ割り込みを禁止し、計時タイマをリセット後に割り込み要因フラグ、割り込み要因発生フラグおよびアラーム要因発生フラグをリセットしてください。

"0"の書き込みはノーオペレーションとなります。TCRSTは書き込み専用のため、読み出し時は常時"0"となります。

計時タイマはイニシャルリセットによってはリセットされません。

TCRUN: 計時タイマRUN/STOP制御(D0/0x40151<計時タイマRun/Stopレジスタ>)

計時タイマのRUN/STOPを制御します。

"1"書き込み: RUN

"0"書き込み: STOP

読み出し: 可能

計時タイマはTCRUNに"1"を書き込むことによってカウントを開始し、"0"の書き込みにより停止します。STOP状態でもタイマのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

イニシャルリセット時、TCRUNは初期化されません。

TCDD7-TCDD0: 1~128Hzカウンタデータ(D[7:0]/0x40153<計時タイマ分周レジスタ>)

TCMD5-TCMD0: 秒カウンタデータ(D[5:0]/0x40154<計時タイマ秒レジスタ>)

TCHD5-TCHD0: 分カウンタデータ(D[5:0]/0x40155<計時タイマ分レジスタ>)

TCDD4-TCDD0: 時間カウンタデータ(D[4:0]/0x40156<計時タイマ時間レジスタ>)

TCND15-TCND0: 日カウンタデータ(上位8ビット: D[7:0]/0x40158<計時タイマ日(上位)レジスタ>
下位8ビット: D[7:0]/0x40157<計時タイマ日(下位)レジスタ>)

各カウンタのデータが読み出せます。

分・時間・日カウンタにはデータを書き込むこともできます。

1~128Hzカウンタと秒カウンタは読み出し専用のため、書き込み動作は無効となります。

秒・分・時間カウンタデータの各アドレス内の上位未使用ビットは、読み出し時は常時"0"となります。

イニシャルリセット時、カウンタデータは初期化されません。

TCCH5-TCCH0: 分比較データ(D[5:0]/0x40159<計時タイマ分比較レジスタ>)

TCCD4-TCCD0: 時間比較データ(D[4:0]/0x4015A<計時タイマ時間比較レジスタ>)

TCCN4-TCCN0: 日比較データ(D[4:0]/0x4015B<計時タイマ日比較レジスタ>)

アラーム発生日時を設定します。

TCASEで選択したアラーム要因に対応する比較データレジスタがカウンタデータと比較され、データが一致するとアラーム割り込み要求を発生します。

日比較データは日カウンタの下位5ビットと比較されます。

各レジスタは読み出しも可能です。

イニシャルリセット時、これらのデータは初期化されません。

TCISE2-TCISE0: 割り込み要因選択(D[7:5]/0x40152<計時タイマ割り込み制御レジスタ>)

計時タイマ割り込みを発生させる要因を選択します。

表7.6 割り込み要因の選択

TCISE2	TCISE1	TCISE0	割り込み要因
1	1	1	選択なし
1	1	0	1日
1	0	1	1時間
1	0	0	1分
0	1	1	1Hz
0	1	0	2Hz
0	0	1	8Hz
0	0	0	32Hz

計時タイマ割り込みが許可されている場合、選択した信号の立ち下がりエッジで周期的に割り込みが発生します。これらの要因による割り込みを使用しない場合は、TCISEに"111"を設定してください。

イニシャルリセット時、TCISEは初期化されません。

TCASE2–TCASE0: アラーム要因選択(D[4:2]/0x40152<計時タイマ割り込み制御レジスタ>)

アラーム要因を選択します。

表7.7 アラーム要因の選択

TCASE2	TCASE1	TCASE0	アラーム要因
X	X	1	分アラーム
X	1	X	時間アラーム
1	X	X	日アラーム
0	0	0	選択なし

TCASE2、TCASE1、TCASE0はそれぞれ日アラーム、時間アラーム、分アラームを選択するビットで、複数のアラーム要因を選択することができます。"1"を書き込むとそのアラーム要因に対応する比較データレジスタの内容がカウンタと比較されます。選択したすべてのアラーム要因の比較データがカウンタデータと一致すると、アラーム割り込み要求を発生します。"0"を書き込んだアラーム要因に対応する比較データレジスタはカウンタデータとは比較されません。

イニシャルリセット時、TCASEは初期化されません。

TCIF: 割り込み要因発生フラグ(D1/0x40152<計時タイマ割り込み制御レジスタ>)

割り込み要因の発生を示します。

"1"読み出し: 要因発生

"0"読み出し: 要因なし

"1"書き込み: フラグをリセット

"0"書き込み: 無効

TCIFはTCISEで選択した割り込み要因が発生すると"1"にセットされます。計時タイマ割り込みは1系統のため、アラーム要因による割り込みとの切り分けに使用してください。

TCIFは"1"にセットされると、"1"を書き込むまでリセットされません。

イニシャルリセット時、TCIFは初期化されません。

なお、割り込みはこのビットの状態("0"または"1")にかかわらず発生します。

TCAF: アラーム要因発生フラグ(D0/0x40152<計時タイマ割り込み制御レジスタ>)

アラーム要因の発生を示します。

"1"読み出し: 要因発生

"0"読み出し: 要因なし

"1"書き込み: フラグをリセット

"0"書き込み: 無効

TCAFはTCASEで選択したすべてのアラーム要因が発生すると"1"にセットされます。計時タイマ割り込みは1系統のため、他の割り込み要因による割り込みとの切り分けに使用してください。

TCAFは"1"にセットされると、"1"を書き込むまでリセットされません。

イニシャルリセット時、TCAFは初期化されません。

なお、アラームはこのビットの状態("0"または"1")にかかわらず発生します。

PCTM2–PCTM0: 計時タイマ割り込みレベル(D[2:0]/0x4026B<計時タイマ割り込みプライオリティレジスタ>)

計時タイマ割り込みの優先レベルを0～7の範囲で設定します。

イニシャルリセット時、PCTMは不定となります。

ECTM: 計時タイマ割り込みイネーブル

(D1/0x40277<ポート入力4-7, 計時タイマ割り込みイネーブルレジスタ >)

CPUに対する割り込みの発生を許可または禁止します。

- "1"書き込み: 割り込み許可
- "0"書き込み: 割り込み禁止
- 読み出し: 可能

ECTMは計時タイマ割り込みを制御する割り込みイネーブルビットで、"1"に設定すると割り込みが許可され、"0"に設定すると割り込みが禁止されます。

イニシャルリセット時、ECTMは"0"(割り込み禁止)に設定されます。

FCTM: 計時タイマ割り込み要因フラグ

(D1/0x40287<ポート入力4-7, 計時タイマ割り込み要因フラグレジスタ >)

計時タイマの割り込み要因の発生状態を示します。

- 読み出し時
 - "1"読み出し: 割り込み要因あり
 - "0"読み出し: 割り込み要因なし
- リセットオンリー方式書き込み時 (デフォルト)
 - "1"書き込み: 要因フラグをリセット
 - "0"書き込み: 無効
- リード/ライト方式書き込み時
 - "1"書き込み: 要因フラグをセット
 - "0"書き込み: 要因フラグをリセット

FCTMは計時タイマの割り込み要因フラグで、選択した割り込み要因またはアラーム要因が発生すると"1"にセットされます。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み要因の発生により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。

割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。

イニシャルリセット時、FCTMフラグは不定となりますので、必ずソフトウェアでリセットしてください。

プログラミング上の注意事項

- (1) 計時タイマの原振となる低速(OSC1)発振回路は動作を開始してから発振が安定するまでに3秒程度の時間を要します。したがって、電源投入時などは発振が安定するのを待ってから計時タイマをスタートさせてください。
- (2) イニシャルリセット時、計時タイマのカウンタデータ、アラーム設定内容およびRUN/STOPを含む制御ビットは初期化されません。電源投入後は必ずソフトウェアで初期化してください。
- (3) 計時タイマリセットビットTCRSTと計時タイマRUN/STOP制御ビットTCRUNは、同一アドレスの計時タイマRun/Stopレジスタ(0x40151)に割り付けられています。ただし、両方に"1"を書き込んでリセットと計時タイマのRUNを同時に行うことはできません。この場合、リセットは無効となり、その時点のカウンタ値からのカウントアップとなります。リセットは必ずTCRUNが"0"(計時タイマが停止)の状態で行ってください。
- (4) 計時タイマのリセットによってカウンタがクリアされる際、設定によっては割り込みが発生することがあります。したがって、計時タイマをリセットする場合は、先に計時タイマ割り込みを禁止し、計時タイマをリセット後に割り込み要因フラグ、割り込み要因発生フラグおよびアラーム要因発生フラグをリセットしてください。
- (5) 不要な割り込みの発生を防止するため、割り込み要因およびアラーム要因の選択は、計時タイマの割り込みを禁止した状態で行ってください。また、その後で割り込みを許可する前に、各要因発生フラグと割り込み要因フラグをリセットしてください。
- (6) イニシャルリセット後、割り込み要因フラグ(FCTM)は不定となります。不要な割り込みの発生を防止するため、必ずプログラムでリセットしてください。
- (7) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグ(FCTM)をリセットしてください。

III-8 シリアルインタフェース

シリアルインタフェースの構成

シリアルインタフェースの特長

C33周辺回路ブロックは以下の特徴を持つシリアルインタフェースを2チャンネル(Ch.0、Ch.1)内蔵しています。2チャンネルとも同機能です。

- 転送方式としてクロック同期式モードまたは調歩同期式モードを選択可能

クロック同期式モード

データ長: 8ビット固定(スタート/ストップ/パリティビットなし)

受信エラー: オーバーランエラーを検出

調歩同期式モード

データ長: 7ビットまたは8ビットを選択可能

受信エラー: オーバーランエラー、フレーミングエラー、パリティエラーを検出

スタートビット: 1ビット固定

ストップビット: 1ビットまたは2ビットを選択可能

パリティビット: 偶数、奇数、または なしを選択可能

受信部と送信部が独立しているため、全二重通信が可能

IrDAインタフェースに対応

内部クロックまたは外部クロック入力を選択可能

- ボーレート設定 プリスケアラの分周比、8ビットプログラマブルタイマの設定、または外部クロック(調歩同期式のみ)により、任意のボーレートを設定可能
- ダブルバッファ構造の受信部および送信部により、連続受信、連続送信が可能
- 3種類(送信データエンプティ、受信データフル、受信エラー)の割り込みを発生可能

図8.1にシリアルインタフェース(1チャンネル)の構成を示します。

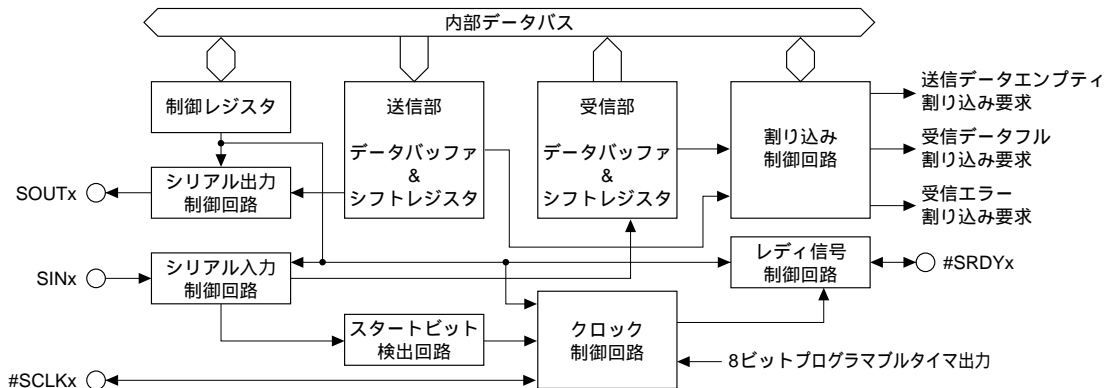


図8.1 シリアルインタフェースの構成

注: Ch.0とCh.1は同一の構成で、同一の機能を持ちます。信号名や制御ビット名の後ろにはチャンネル番号を示す"0"または"1"が付いて区別されますが、説明は両チャンネルに共通なため、必要な部分以外は"0"と"1"を"x"に置き換えて記述します。

シリアルインタフェースの入出力端子

表8.1にシリアルインタフェースで使用する端子を示します。

表8.1 シリアルインタフェースの端子構成

端子名	I/O	機 能	機能選択ビット
P00/SIN0	I/O	入出力兼用ポート/シリアルIF Ch.0データ入力	CFP00(P0機能選択レジスタ0x402D0•D0)
P01/SOUT0	I/O	入出力兼用ポート/シリアルIF Ch.0データ出力	CFP01(P0機能選択レジスタ0x402D0•D1)
P02/#SCLK0	I/O	入出力兼用ポート/シリアルIF Ch.0クロック入出力	CFP02(P0機能選択レジスタ0x402D0•D2)
P03/#SRDY0	I/O	入出力兼用ポート/シリアルIF Ch.0レディ入出力	CFP03(P0機能選択レジスタ0x402D0•D3)
P04/SIN1	I/O	入出力兼用ポート/シリアルIF Ch.1データ入力	CFP04(P0機能選択レジスタ0x402D0•D4)
P05/SOUT1	I/O	入出力兼用ポート/シリアルIF Ch.1データ出力	CFP05(P0機能選択レジスタ0x402D0•D5)
P06/#SCLK1	I/O	入出力兼用ポート/シリアルIF Ch.1クロック入出力	CFP06(P0機能選択レジスタ0x402D0•D6)
P07/#SRDY1	I/O	入出力兼用ポート/シリアルIF Ch.1レディ入出力	CFP07(P0機能選択レジスタ0x402D0•D7)

SINx (シリアルデータ入力端子)

シリアルデータを入力します。転送モードにかかわらず共通です。

SOUTx (シリアルデータ出力端子)

シリアルデータを出力します。転送モードにかかわらず共通です。

#SCLKx (クロック入出力端子)

クロックを入出力します。

クロック同期式スレーブモードではクロック入力端子として、クロック同期式マスタモードではクロック出力端子として使用されます。

調歩同期式モードでは、外部クロックを使用する場合にクロック入力端子として使用されます。内部クロックを使用する場合はこの端子を使用しませんので、入出力兼用ポートとして使用することができます。

#SRDYx (レディ信号入出力端子)

クロック同期式モードで使用するレディ信号を入出力します。

クロック同期式スレーブモードではレディ信号出力端子として、クロック同期式マスタモードではレディ信号入力端子として使用されます。

調歩同期式モードではこの端子を使用しませんので、入出力兼用ポートとして使用することができます。

シリアルインタフェース入出力端子の設定方法

シリアルインタフェースで使用する端子はすべて入出力兼用ポート端子と共用されており、コールドスタート時にすべて入出力兼用ポート端子P0x(機能選択ビットCFP0x = "0")として設定されます。シリアルインタフェースを使用する場合は、使用するチャネルと転送モードに合わせ、使用する端子の機能選択ビットCFP0xに"1"を書き込んでください。

ホットスタート時は、リセット前の設定状態を保持します。

転送モードの設定

シリアルインタフェースの転送モードは、シリアルI/F Ch.x制御レジスタ(Ch.0: 0x401E3、Ch.1: 0x401E8)のSMDx[1:0](D[1:0])によってチャンネル個別に表8.2のように設定できます。

表8.2 転送モード

SMDx1	SMDx0	転送モード
1	1	調歩同期式8ビットモード
1	0	調歩同期式7ビットモード
0	1	クロック同期式スレーブモード
0	0	クロック同期式マスタモード

イニシャルリセット時、SMDxは不定となりますので、必ずソフトウェアで初期化してください。

IrDAインタフェースを使用する場合は、調歩同期式7ビットモードまたは調歩同期式8ビットモードに設定してください。

入出力端子は転送モードにより構成が異なります。表8.3に各モードの端子構成を示します。

表8.3 転送モードによる端子設定

転送モード	SINx(P00/P04)	SOUTx(P01/P05)	#SCLKx(P02/P06)	#SRDYx(P03/P07)
調歩同期式8ビット	データ入力	データ出力	クロック入力/Pポート	Pポート
調歩同期式7ビット	データ入力	データ出力	クロック入力/Pポート	Pポート
クロック同期式スレーブ	データ入力	データ出力	クロック入力	レディ出力
クロック同期式マスタ	データ入力	データ出力	クロック出力	レディ入力

クロック同期式モードは4本すべてを使用します。

調歩同期式モードでは#SRDYxを使用しないため、P03(またはP07) は入出力兼用(P)ポートとして使用可能です。また、外部クロックを使用しない場合はP02(またはP06) も入出力兼用ポートとして使用可能です。

シリアルインタフェースに使用される入出力兼用ポートのI/O制御レジスタおよびデータレジスタは、リード/ライト可能な汎用レジスタとして使用することができます。

注: IrDAインタフェースを設定するためにシリアルI/F IrDAレジスタ(Ch.0: 0x401E4、Ch.1: 0x401E9)にIRMDx[1:0](D[1:0])が設けられています。このビットはイニシャルリセット時に不定となりますので、通常のインタフェースとして使用する場合は"00"を、IrDAインタフェースとして使用する場合は"10"を書き込んで初期化してください。

クロック同期式インタフェース

クロック同期式インタフェースの概要

クロック同期式転送は8ビットデータを送信側、受信側に共通のクロックに同期させて転送する方式です。送信部、受信部ともにダブルバッファ構造になっているため、連続送信および連続受信が可能です。クロックラインが送受信で共用されるため、半二重通信となります。

マスタモードとスレーブモード

シリアルI/F Ch.x制御レジスタ(Ch.0: 0x401E3、Ch.1: 0x401E8)のSMDx[1:0](D[1:0])によってクロック同期式マスタモードまたはクロック同期式スレーブモードが選択できます。

クロック同期式マスタモード (SMDx[1:0] = "00")

本モードでは、内蔵シフトレジスタの同期クロックとして内部クロックを使用する、本シリアルインタフェースをマスタとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックは#SCLKx端子から出力され、外部(スレーブ側)のシリアル入出力デバイスを制御することができます。また、#SRDYx端子には外部シリアル入出力デバイスの送受信レディ状態(Lowで送受信レディ)を示す信号を入力します。

クロック同期式スレーブモード (SMDx[1:0] = "01")

本モードでは、外部(マスタ側)のシリアル入出力デバイスから供給される同期クロックを使用する、本シリアルインタフェースをスレーブとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックは#SCLKx端子より入力し、本シリアルインタフェースの同期クロックとして使用します。また、本シリアルインタフェースの送受信レディ状態を示す#SRDYx信号が#SRDYx端子から出力されます。

図8.2にクロック同期式モードにおける入出力端子の接続例を示します。

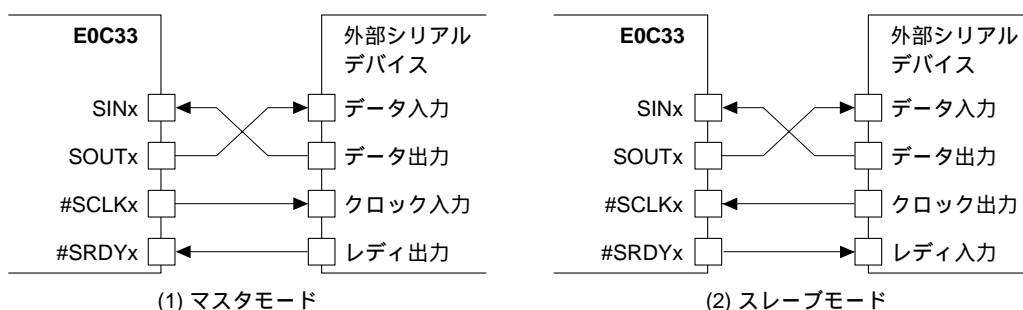


図8.2 クロック同期式マスタモードの接続例

クロック同期式転送データフォーマット

クロック同期式転送では、データフォーマットが次のとおり固定です。

データ長: 8ビット
 スタートビット: なし
 ストップビット: なし
 パリティビット: なし

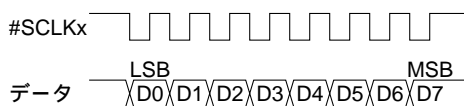


図8.3 クロック同期式転送データフォーマット

シリアルデータはLSBを先頭として送受信されます。

クロック同期式インタフェースの設定

シリアルインタフェースでクロック同期式転送を行う場合は、データ転送開始前に以下の設定が必要です。

1. 入出力端子の設定
2. インタフェースモードの設定
3. 転送モードの設定
4. 入力クロックの設定
5. 割り込みの設定

以下、各設定内容について説明します。割り込みの設定については"シリアルインタフェース割り込み"を参照してください。

注: これらの設定は、必ずシリアルインタフェースが動作停止中に(TXENxおよびRXENxを"0"に設定して)行ってください。動作中の設定変更は誤動作の原因となります。

入出力端子の設定

クロック同期式モードでは、SINx、SOUTx、#SCLKx、#SRDYxの4本の端子をすべて使用します。Ch.0を使用する場合はP0機能選択レジスタ(0x402D0)のCFP0[3:0](D[3:0])を"1111"、Ch.1を使用する場合はCFP0[7:4](D[7:4])を"1111"に設定してください(両チャネルを使用することも可能)。

インタフェースモード設定

インタフェースモード(通常のインタフェースまたはIrDAインタフェース)を設定するシリアルI/F Ch.x IrDAレジスタ(Ch.0: 0x401E4、Ch.1: 0x401E9)のIRMDx[1:0](D[1:0])に"00"を書き込み、通常のインタフェースを選択します。IRMDxはイニシャルリセット時に不定となりますので、初期化する必要があります。

転送モード設定

前述のとおり、シリアルインタフェースの転送モードをSMDxで設定します。

本インタフェースをクロック同期式転送のマスタとして使用する場合はSMDx[1:0]を"00"に、スレーブとして使用する場合は"01"に設定してください。

入力クロックの設定

- クロック同期式マスタモード

クロック同期式マスタモードは内部発生したクロックで動作します。各チャネルのクロック源は次のとおりです。

Ch.0: 8ビットプログラマブルタイマ2の出力クロック

Ch.1: 8ビットプログラマブルタイマ3の出力クロック

したがって、クロック同期式マスタモードでシリアルインタフェースを使用するには、以下の条件が満たされている必要があります。

1. プリスケアラが8ビットプログラマブルタイマ2(3)にクロックを出力している
2. 8ビットプログラマブルタイマ2(3)がクロックを出力している

プリスケアラの分周比および8ビットプログラマブルタイマのリロードデータの設定により、クロック周波数を任意に設定可能です。これらの設定内容と転送速度の関係は式1で表されます。

8ビットプログラマブルタイマは、シリアルインタフェースに供給するクロックのデューティを50%にするため、内部的にアンダーフロー信号をさらに1/2に分周しています。式1はこの1/2分周を考慮しています。

$$RLD = \frac{f_{PSCIN} \times pdr}{2 \times bps} - 1 \quad (\text{式1})$$

RLD: 8ビットプログラマブルタイマのリロードレジスタ設定値

fPSCIN: プリスケアラ入力クロック周波数(Hz)

bps: 転送速度(ビット/秒)

pdr: プリスケアラの分周比

注: プリスケアラで選択する分周比は8ビットプログラマブルタイマ2と3では異なりますので、設定の際には注意してください。

8ビットプログラマブルタイマ2: 1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/2048, 1/4096

8ビットプログラマブルタイマ3: 1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/128, 1/256

プリスケアラと8ビットプログラマブルタイマの制御方法については、"プリスケアラ"、"8ビットプログラマブルタイマ"を参照してください。

シリアルインタフェースの制御レジスタの中に、調歩同期式モードのクロック源を選択するSSCKxビットがあります。このビットはクロック同期式モードのクロックには影響を与えませんが、イニシャルリセット時に不定となるため、クロック同期式マスタモードで使用する場合でも"0"(内部クロック)を書き込んで初期化してください。

- クロック同期式スレーブモード

クロック同期式スレーブモードは外部マスタが出力するクロックで動作します。クロックは#SCLK端子から入力します。

したがって、プリスケアラや8ビットプログラマブルタイマの制御は必要ありません。

SSCKxビットは"1"(#SCLKx)を書き込んで初期化してください。

クロック同期式転送の制御と動作

送信制御

(1) 送信許可

送信の制御には、送信許可ビットTXEN_xを使用します。

Ch.0送信許可: TXEN0 (シリアルI/F Ch.0制御レジスタ0x401E3•D7)

Ch.1送信許可: TXEN1 (シリアルI/F Ch.1制御レジスタ0x401E8•D7)

このビットに"1"を書き込んで送信を許可状態にすると、シフトレジスタへのクロック入力がいネーブル(入力可能な状態)となり、データの送信が行える状態となります。#SCLK_x端子の同期クロック入出力もいネーブル(入出力可能な状態)となります。

TXEN_xに"0"を書き込むと送信禁止状態に戻ります。

なお、P0ポートの機能選択レジスタをシリアル入出力用に設定した後、#SRDY、#SCLKは以下のタイミングで入力/出力が切り換わります。

#SRDY: スレーブモードに設定 P03(P07)が出力モードに切り換わります。

上記以外 P03(P07)は入力モード

#SCLK: マスタモードに設定 P02(P06)が出力モードに切り換わります。

上記以外 P02(P06)は入力モード

注: クロック同期式転送は送受信で共通のクロックラインを使用する半二重通信です。したがって、TXEN_xと受信許可ビットRXEN_xを同時に許可に設定することはできません。送信を行う場合はRXEN_xを"0"に固定し、変更しないでください。
また、送信中はTXEN_xを"0"に設定しないでください。

(2) 送信手順

本シリアルインタフェースには、送信用シフトレジスタと送信データレジスタ(送信データバッファ)が受信用とは独立して設けられています。

Ch.0送信データ: TXD0[7:0] (シリアルI/F Ch.0送信データレジスタ0x401E0•D[7:0])

Ch.1送信データ: TXD1[7:0] (シリアルI/F Ch.1送信データレジスタ0x401E5•D[7:0])

また、送信データレジスタの状態を示すステータスビットも設けられています。

Ch.0送信データバッファエンプティ: TDBE0 (シリアルI/F Ch.0ステータスレジスタ0x401E2•D1)

Ch.1送信データバッファエンプティ: TDBE1 (シリアルI/F Ch.1ステータスレジスタ0x401E7•D1)

このビットは送信データレジスタにデータを書き込むと"0"となり、そのデータがシフトレジスタに転送されると"1"(バッファエンプティ)に戻ります。

送信データレジスタにデータを書き込むことにより、シリアルインタフェースは送信動作を開始します。

送信状態は、送信終了フラグ(TEND_x)で確認できます。

Ch.0送信終了フラグ: TEND0 (シリアルI/F Ch.0ステータスレジスタ0x401E2•D5)

Ch.1送信終了フラグ: TEND1 (シリアルI/F Ch.1ステータスレジスタ0x401E7•D5)

このビットはデータ送信中に"1"となり、送信を終了すると"0"に戻ります。

クロック同期式転送で連続してデータを送信する場合、マスタモード時は全データを送信するまで"1"を保持し(図8.4)、スレーブモード時は1バイト送信するごとに"0"となります(図8.5)。

マスタモード、スレーブモードそれぞれの送信動作は以下のとおりです。

・クロック同期式マスタモード

マスタモードが送信動作を開始するタイミングは次のとおりです。

TDBExが"0"(送信データレジスタにデータが書き込まれている)の状態、#SRDYがLowになった場合または

#SRDYがLowの状態、TDBExが"0"になった(送信データレジスタにデータが書き込まれた)場合

図8.4にクロック同期式マスタモードの送信タイミングチャートを示します。

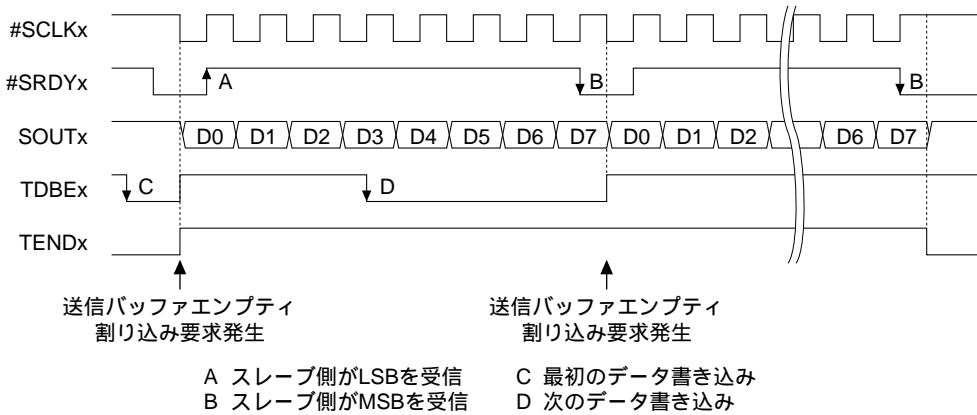


図8.4 クロック同期式マスターモードの送信タイミング

1. スレーブからの#SRDYx信号がHighの場合はLow(受信レディ)になるまで待機します。
2. #SRDYxがLowの場合はシリアルインタフェースへの同期クロックの入力を開始します。
同期クロックは#SCLKx端子からスレーブ側のデバイスにも出力されます。
3. クロックの最初の立ち下がりエッジに同期してデータレジスタの内容がシフトレジスタに転送されます。同時に、シフトレジスタに転送されたデータのLSBがSOUTx端子から出力されます。
4. 続くクロックの立ち下がりエッジでシフトレジスタのデータが1ビットシフトし、続くビットをSOUTxから出力します。8ビットのデータが送信されるまで、この動作を繰り返します。

スレーブ側のデバイスは、各ビットを同期クロックの立ち上がりエッジで取り込んでください。

• クロック同期式スレーブモード

図8.5にクロック同期式スレーブモードの送信タイミングチャートを示します。

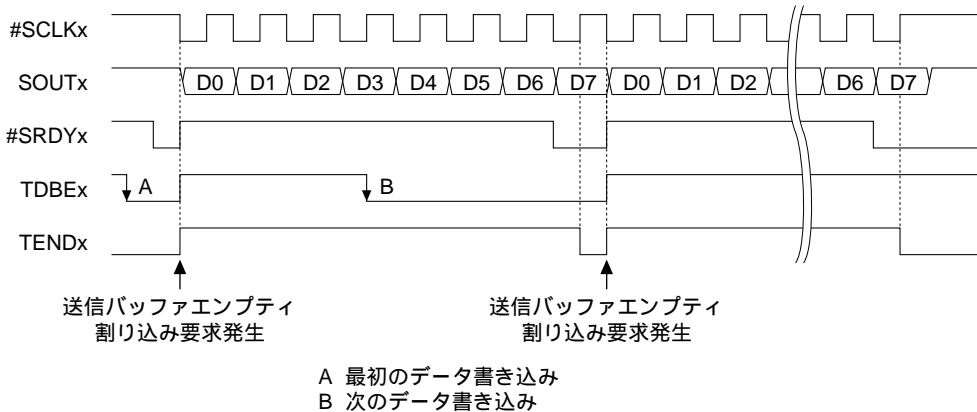


図8.5 クロック同期式スレーブモードの送信タイミング

1. #SRDYx信号をLow(送信レディ)にしてマスタ側からのクロック入力を待ちます。
2. 同期クロックが#SCLKx端子から入力されると、クロックの最初の立ち下がりエッジに同期してデータレジスタの内容がシフトレジスタに転送されます。同時に、シフトレジスタに転送されたデータのLSBがSOUTx端子から出力されます。
#SRDYx信号はこの時点でHighに戻ります。
3. 続くクロックの立ち下がりエッジでシフトレジスタのデータが1ビットシフトし、続くビットをSOUTxから出力します。8ビットのデータが送信されるまで、この動作を繰り返します。
4. 最後のビット(8ビット目)をSOUTx端子に出力したところで、#SRDYx信号をLowにします。

マスタ側のデバイスは、各ビットを同期クロックの立ち上がりエッジで取り込んでください。

- 連続送信

送信データレジスタのデータがシフトレジスタに転送されるとTDBExは"1"(バッファEMPTY)に戻ります。これ以降であれば、データの送信中であっても、送信データレジスタに次の送信データを書き込むことが可能です。

これにより、データの連続送信が行えます。各データの送信手順は前述のとおりです。

TDBExが"1"になると同時に送信データEMPTY割り込み要因が発生します割り込みコントローラの設定によって割り込みを発生させることができますので割り込み処理ルーチンで次の送信データを書き込むことができます。

割り込みの制御方法については、"シリアルインタフェース割り込み"を参照してください。

(3) 送信の終了

データの送信が終了した場合は、送信許可ビットTXENxに"0"を書き込んで送信禁止に設定してください。

受信制御

(1) 受信許可

受信の制御には、受信許可ビットRXENxを使用します。

Ch.0受信許可: RXEN0 (シリアルI/F Ch.0制御レジスタ0x401E3•D6)

Ch.1受信許可: RXEN1 (シリアルI/F Ch.1制御レジスタ0x401E8•D6)

このビットに"1"を書き込んで受信を許可状態にすると、シフトレジスタへのクロック入力がイネーブル(入力可能な状態)となり、データの受信動作を開始します。#SCLKx端子の同期クロック入出力もイネーブル(入出力可能な状態)となります。

RXENxに"0"を書き込むと受信禁止状態に戻ります。

なお、P0ポートの機能選択レジスタをシリアル入出力用に設定した後、#SRDY、#SCLKは以下のタイミングで入力/出力が切り換わります。

#SRDY: スレープモードに設定 P03(P07)が出力モードに切り換わります。

上記以外 P03(P07)は入力モード

#SCLK: マスタモードに設定 P02(P06)が出力モードに切り換わります。

上記以外 P02(P06)は入力モード

注: クロック同期式転送は送受信で共通のクロックラインを使用する半二重通信です。したがって、RXENxと送信許可ビットTXENxを同時に許可に設定することはできません。受信を行う場合はTXENxを"0"に固定し、変更しないでください。

また、受信中はRXENxを"0"に設定しないでください。

(2) 受信手順

本シリアルインタフェースには、受信用シフトレジスタと受信データレジスタ(受信データバッファ)が送信用とは独立して設けられています。

Ch.0受信データ: RXD0[7:0] (シリアルI/F Ch.0受信データレジスタ0x401E1•D[7:0])

Ch.1受信データ: RXD1[7:0] (シリアルI/F Ch.1受信データレジスタ0x401E6•D[7:0])

受信データはこのレジスタから読み出すことができます。

また、受信データレジスタの状態を示すステータスビットが設けられています。

Ch.0受信データバッファフル: RDBF0 (シリアルI/F Ch.0ステータスレジスタ0x401E2•D0)

Ch.1受信データバッファフル: RDBF1 (シリアルI/F Ch.1ステータスレジスタ0x401E7•D0)

このビットはシリアルデータのMSBを受信してシフトレジスタのデータが受信データレジスタに転送されると"1"(バッファフル)となり、受信データが読み出せることを示します。そのデータが読み出されると"0"に戻ります。

マスタモード、スレープモードそれぞれの受信動作は以下のとおりです。

- クロック同期式マスタモード

図8.6にクロック同期式マスタモードの受信タイミングチャートを示します。

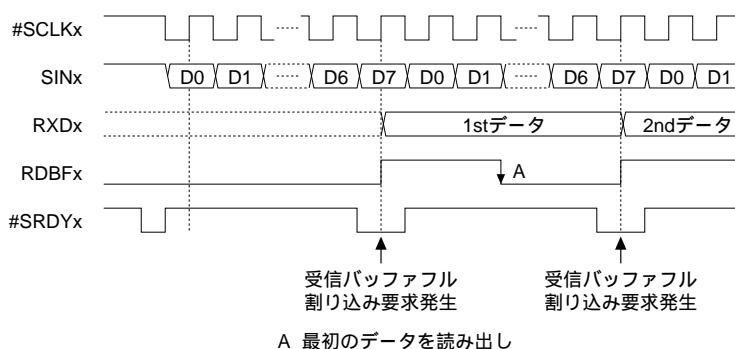


図8.6 クロック同期式マスタモードの受信タイミング

1. スレーブからの#SRDYx信号がHighの場合はLow(送信レディ)になるまで待機します。
2. #SRDYがLowの場合はシリアルインタフェースへの同期クロックの入力を開始します。
同期クロックは#SCLKx端子からスレーブ側のデバイスにも出力されます。
3. スレーブ側のデバイスはクロックの立ち下がりエッジに同期してデータの各ビットを出力します。LSBを最初に出力します。
4. 本シリアルインタフェースは、SINの入力をクロックの立ち上がりエッジでシフトレジスタに取り込みます。シフトレジスタはビットの取り込みにより順次シフトされます。データのMSBを受信するまで、この動作を繰り返します。
5. MSBが取り込まれると、シフトレジスタのデータは受信データレジスタに転送され、データが読み出せる状態となります。

- クロック同期式スレーブモード

図8.7にクロック同期式スレーブモードの受信タイミングチャートを示します。

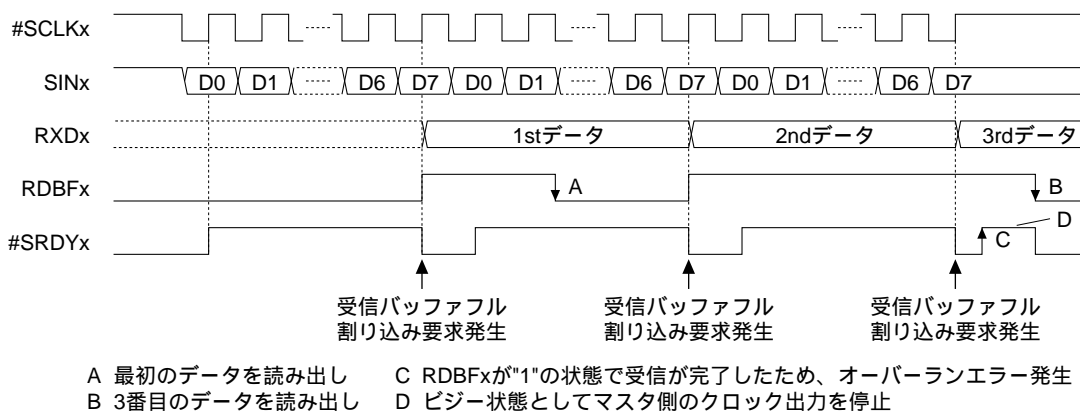


図8.7 クロック同期式スレーブモードの受信タイミング

1. #SRDYx信号をLow(受信レディ)にしてマスタ側からのクロック入力を待ちます。
2. マスタ側のデバイスはクロックの立ち下がりエッジに同期してデータの各ビットを出力します。LSBを最初に出力します。
3. 本シリアルインタフェースは、SINの入力を#SCLKxから入力したクロックの立ち上がりエッジでシフトレジスタに取り込みます。シフトレジスタはビットの取り込みにより順次シフトされます。データのMSBを受信するまで、この動作を繰り返します。
4. MSBが取り込まれると、シフトレジスタのデータは受信データレジスタに転送され、データが読み出せる状態となります。

- 連続受信

シフトレジスタに受信したデータが受信データレジスタに転送されると、RDBFxが"1"(バッファフル)となり受信データが読み出せることを示します。

次のデータの受信中に受信データレジスタを読み出すことができますので、データの連続受信が行えます。各データの受信手順は前述のとおりです。

RDBFxが"1"になると同時に受信データフル割り込み要因が発生します。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンで受信データを読み出すことができます。

割り込みの制御方法については、"シリアルインタフェース割り込み"を参照してください。

(3) オーバーランエラー

連続受信を行っている場合、受信データレジスタを読み出す前に次のデータの受信を終了すると受信データレジスタは新たなデータで上書きされます。したがって、受信データレジスタは次のデータの受信が終了する前に読み出す必要があります。

受信データレジスタが上書きされるとオーバーランエラーが発生し、オーバーランエラーフラグが"1"にセットされます。

Ch.0オーバーランエラーフラグ: OER0 (シリアルI/F Ch.0ステータスレジスタ0x401E2・D2)

Ch.1オーバーランエラーフラグ: OER1 (シリアルI/F Ch.1ステータスレジスタ0x401E7・D2)

オーバーランエラーフラグは、"1"にセットされるとソフトウェアで"0"を書き込むまでリセットされません。

オーバーランエラーはシリアルインタフェースの受信エラー割り込み要因のひとつです。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンでエラー処理が行えます。

(4) スレーブモードの#SRDYx

RXENxに"1"を書き込んで受信を許可すると#SRDYx信号はLowとなり、受信可能であることをマスタ側のデバイスに知らせます。シリアルデータのLSBを受信すると#SRDYxはHighとなり、MSBを受信すると次の受信に備えてLowに戻ります。

オーバーランエラーが発生した場合は、その時点で#SRDYxがHigh(受信不可)となりますので、続くデータ受信は中断します。この場合、受信データレジスタに上書きされたデータを読み出すことで#SRDYxがLowに戻り、続くデータがあれば受信を再開します。

(5) 受信の終了

データの受信が終了した場合は、受信許可ビットRXENxに"0"を書き込んで受信禁止に設定してください。

調歩同期式インタフェース

調歩同期式インタフェースの概要

調歩同期式転送は、シリアル変換した各データの前後にスタートビットとストップビットを付加して転送を行う方式です。この方式では、送信側、受信側それぞれで完全に同期の一致したクロックを用いる必要はなく、各データの前後に付けられたスタート/ストップビットで同期をとりながら転送を行います。調歩同期式8ビットモード(SMDx[1:0] = "11")では8ビットデータの転送、調歩同期式7ビットモード(SMDx[1:0] = "10")では7ビットデータの転送が行えます。

どちらのモードも、ストップビット長の選択、パリティビットの追加、偶数/奇数パリティの選択が可能です。スタートビットは1ビットに固定です。

動作クロックには、8ビットプログラマブルタイマによる内部クロック、または#SCLKx端子から入力する外部クロックのいずれかを選択することができます。

送信部、受信部ともにダブルバッファ構造になっているため、連続送信および連続受信が可能です。また、送信部、受信部が独立しているため、送信と受信を同時に行う全二重通信が可能です。

図8.8に調歩同期式モードにおける入出力端子の接続例を示します。

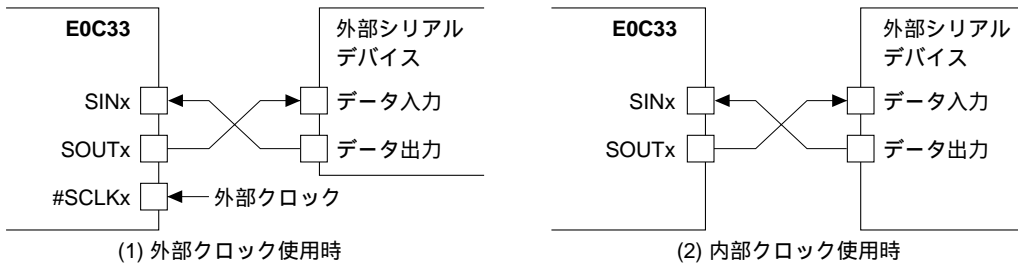


図8.8 調歩同期式モードの接続例

調歩同期式モードに設定すると、IrDAインタフェース機能を使用することもできます。

調歩同期式転送データフォーマット

調歩同期式転送のデータフォーマットは以下のとおりです。

データ長: 7ビットまたは8ビット (転送モードの選択により決定)

スタートビット: 1ビット固定

ストップビット: 1ビットまたは2ビット

パリティビット: 偶数パリティ、奇数パリティ、または なし

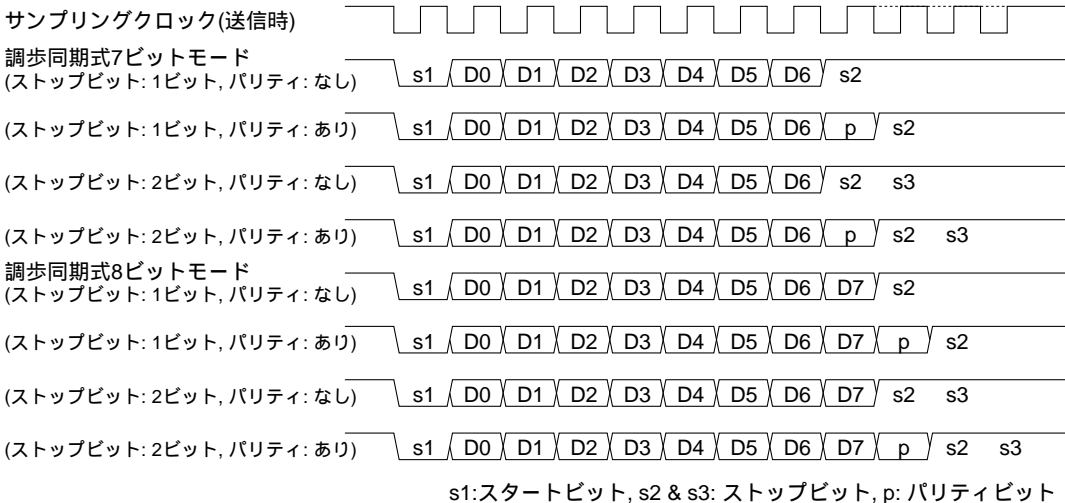


図8.9 調歩同期式転送データフォーマット

シリアルデータはLSBを先頭として送受信されます。

調歩同期式インタフェースの設定

シリアルインタフェースで調歩同期式転送を行う場合は、データ転送開始前に以下の設定が必要です。

1. 入出力端子の設定
2. インタフェースモードの設定
3. 転送モードの設定
4. 入力クロックの設定
5. データフォーマットの設定
6. 割り込みの設定

以下、各設定内容について説明します。割り込みの設定については"シリアルインタフェース割り込み"を参照してください。

注: これらの設定は、必ずシリアルインタフェースが動作停止中に(TXENxおよびRXENxを"0"に設定して)行ってください。動作中の設定変更は誤動作の原因となります。

入出力端子の設定

調歩同期式モードでは、SINxおよびSOUTxの2本の端子を使用します。外部クロックを入力する場合は、さらに#SCLKx端子も使用します。

使用する端子に合わせ、P0機能選択レジスタ(0x402D0)のCFP0[7:0](D[7:0])を設定してください(両チャンネルを使用することも可能)。#SRDYx端子は使用しませんので、P03またはP07は入出力兼用ポートとして使用可能です。内部クロックで動作させる場合は、P03またはP06も入出力兼用ポートとして使用可能です。

インタフェースモード設定

IrDAインタフェースを設定するために、シリアルI/F Ch.x IrDAレジスタ(Ch.0: 0x401E4、Ch.1: 0x401E9)にIRMDx[1:0](D[1:0])が設けられています。このビットはイニシャルリセット時に不定となりますので、通常のインタフェースとして使用する場合は"00"を、IrDAインタフェースとして使用する場合は"10"を書き込んで初期化してください。この設定は転送モードを設定する前に行ってください。

転送モード設定

前述のとおり、シリアルインタフェースの転送モードをSMDxで設定します。

本インタフェースを調歩同期式8ビットモードで使用する場合はSMDx[1:0]を"11"に、調歩同期式7ビットモードで使用する場合は"10"に設定してください。

入力クロックの設定

調歩同期式モードでは、動作クロックとして内部クロックまたは外部クロックが選択できます。

Ch.0入力クロック選択: SSCK0 (シリアルI/F Ch.0制御レジスタ0x401E3•D2)

Ch.1入力クロック選択: SSCK1 (シリアルI/F Ch.0制御レジスタ0x401E8•D2)

SSCKxに"1"を書き込むと外部クロック(#SCLKx端子より入力)、“0”を書き込むと内部クロックが選択されます。

注: SSCKxはイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。

• 内部クロック

内部クロックを選択すると、8ビットプログラマブルタイマで発生したクロックで動作します。各チャンネルのクロック源は次のとおりです。

Ch.0: 8ビットプログラマブルタイマ2の出力クロック

Ch.1: 8ビットプログラマブルタイマ3の出力クロック

したがって、内部クロックを使用する場合は、以下の条件が満たされている必要があります。

1. プリスケーラが8ビットプログラマブルタイマ2(3)にクロックを出力している
2. 8ビットプログラマブルタイマ2(3)がクロックを出力している

プリスケアラの分周比および8ビットプログラマブルタイマのリロードデータの設定により、クロック周波数を任意に設定可能です。これらの設定内容と転送速度の関係は式2で表されます。8ビットプログラマブルタイマは、シリアルインタフェースに供給するクロックのデューティを50%にするため、内部的にアンダーフロー信号をさらに1/2に分周しています。また、8ビットプログラマブルタイマの出力クロックはシリアルインタフェース内部で1/16または1/8に分周され、サンプリングクロックとなります("サンプリングクロック"参照)。転送速度を設定するには、この分周比も考慮する必要があります。式2はこれらの分周も考慮しています。

$$RLD = \frac{f_{PSCIN} \times pdr \times sdr}{2 \times bps} - 1 \quad (式2)$$

RLD: 8ビットプログラマブルタイマのリロードレジスタ設定値

fPSCIN: プリスケアラ入力クロック周波数(Hz)

bps: 転送速度(ビット/秒)

pdr: プリスケアラの分周比

sdr: シリアルインタフェース内部分周比(1/16または1/8)

注: プリスケアラで選択する分周比は8ビットプログラマブルタイマ2と3では異なりますので、設定の際には注意してください。

8ビットプログラマブルタイマ2: 1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/2048, 1/4096

8ビットプログラマブルタイマ3: 1/2, 1/4, 1/8, 1/16, 1/32, 1/64, 1/128, 1/256

表8.4にシリアルインタフェースの内部分周比を1/16に設定した場合の、プリスケアラ分周比とプログラマブルタイマのリロードデータ設定例を示します。

表8.4 転送速度の設定例

転送速度 (bps)	fPSCIN = 20MHz			fPSCIN = 25MHz			fPSCIN = 33MHz		
	RLD	pdr	誤差(%)	RLD	pdr	誤差(%)	RLD	pdr	誤差(%)
300	129	1/16	0.16025	162	1/16	-0.14698	216	1/16	0.00640
1200	129	1/4	0.16025	162	1/4	-0.14698	216	1/4	0.00640
2400	129	1/2	0.16025	162	1/2	-0.14698	216	1/2	0.00640
4800	64	1/2	0.16025	80	1/2	-0.46939	108	1/2	-0.45234
9600	32	1/2	-1.35732	40	1/2	-0.75584	53	1/2	0.46939
14400	21	1/2	-1.35732	13	1/4	-3.11880	35	1/2	0.46939
28800	10	1/2	-1.35732	13	1/2	-3.11880	17	1/2	0.46939

誤差はできるだけ1%以内となるように設定してください。誤差の計算式は次のとおりです。

$$\text{誤差} = \left\{ \frac{f_{PSCIN} \times pdr}{(RLD + 1) \times 32 \times bps} - 1 \right\} \times 100 [\%]$$

プリスケアラと8ビットプログラマブルタイマの制御方法については、"プリスケアラ"、"8ビットプログラマブルタイマ"を参照してください。

• 外部クロック

外部クロックを選択すると、#SCLKx端子から入力するクロックで動作します。

したがって、プリスケアラや8ビットプログラマブルタイマの制御は必要ありません。

クロック周波数は任意に設定可能です。#SCLKx端子から入力されたクロックはシリアルインタフェース内部で1/16または1/8に分周され、サンプリングクロックとなります("サンプリングクロック"参照)。転送速度を設定するには、この分周比も考慮してください。

• サンプルングクロック

調歩同期式モードではTCLK(8ビットプログラマブルタイムの出力クロックまたは#SCLKx端子からの入力クロック)をシリアルインタフェースの内部で分周してサンプルングクロックが生成されます。

分周比はDIVMDxに"1"を書き込むと1/16、"0"を書き込むと1/8に設定されます。

Ch.0クロック分周比選択: DIVMD0 (シリアルI/F Ch.0 IrDAレジスタ0x401E4•D4)

Ch.1クロック分周比選択: DIVMD1 (シリアルI/F Ch.1 IrDAレジスタ0x401E9•D4)

注: DIVMDxはイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。
このビットの設定は調歩同期式モード(IrDAインタフェース使用時も含む)でのみ有効です。

受信時

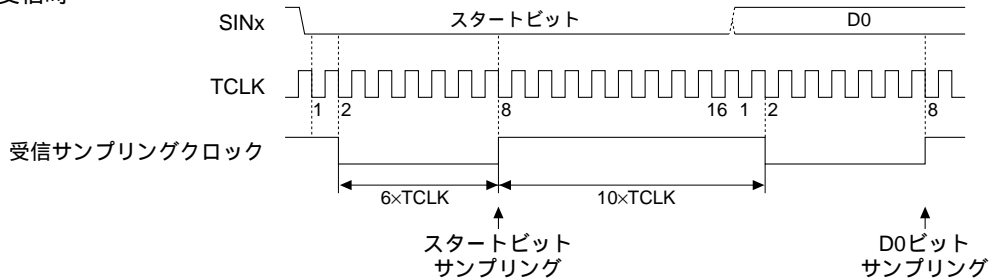


図8.10 調歩同期式受信時のサンプルングクロック(1/16分周選択時)

図8.10に示すように、サンプルングクロックはTCLKを1/16分周(または8分周)して生成されます。クロックのデューティ比(Low:High)は6:10(1/8選択時は2:6)となり、50%ではありません。受信する各ビットデータの中央でサンプルングするために、最初にスタートビットを認識してから2番目のTCLKの立ち下がりエッジでHighからLowに変化し、8番目(1/8選択時は4番目)のTCLKの立ち下がりエッジでLowからHighになります。以後、この変化を繰り返します。

各ビットデータはこのサンプルングクロックの各立ち上がりエッジでサンプルングされます。ストップビットをサンプルングすると、次にスタートビットがくるまでHighに固定されます。

スタートビットを認識後、2番目のTCLKの立ち下がりエッジでSINx端子がHighに戻っていた場合は、ノイズとみなして以降のサンプルングクロックの生成を中止します。

送信側、受信側のボーレートが合っていない場合など、8個目(1/8選択時は4個目)のクロックによるスタートビットサンプルングの際にSINx端子がLowでなかったときは、以降のデータのサンプルングを中止してスタートビット検出の状態に戻ります。この場合、エラーは発生しません。

送信時

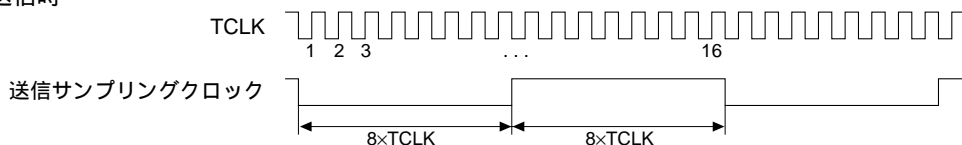


図8.11 調歩同期式送信時のサンプルングクロック(1/16分周選択時)

送信時はTCLKを1/16(または1/8)に分周してデューティ50%のサンプルングクロックを生成し、それに同期して各ビットを出力します。

データフォーマットの設定

調歩同期式モードでは、転送モードの設定によりデータ長が7ビットまたは8ビットとなります。スタートビットは1ビットに固定です。

ストップビットとパリティビットは以下の制御ビットにより表8.5のとおり設定できます。

Ch.0(シリアルI/F Ch.0制御レジスタ) Ch.1(シリアルI/F Ch.1制御レジスタ)

ストップビット選択: STPB0 (0x401E3•D3) STPB1 (0x401E8•D3)

パリティイネーブル: EPR0 (0x401E3•D5) EPR1 (0x401E8•D5)

パリティモード選択: PMD0 (0x401E3•D4) PMD1 (0x401E8•D4)

表8.5 ストップビットとパリティビットの設定

STPBx	EPRx	PMDx	ストップビット	パリティビット
1	1	1	2ビット	奇数
		0	2ビット	偶数
		*	2ビット	なし
0	1	1	1ビット	奇数
		0	1ビット	偶数
	0	*	1ビット	なし

* EPRxが"0"の場合、PMDxの設定は無効です。

注: これらのビットはイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。

調歩同期式転送の制御と動作

送信制御

(1) 送信許可

送信の制御には、送信許可ビットTXENxを使用します。

Ch.0送信許可: TXEN0 (シリアルI/F Ch.0制御レジスタ0x401E3•D7)

Ch.1送信許可: TXEN1 (シリアルI/F Ch.1制御レジスタ0x401E8•D7)

このビットに"1"を書き込んで送信を許可状態にすると、シフトレジスタへのクロック入力がいネーブル(入力可能な状態)となり、データの送信が行える状態となります。

TXENxに"0"を書き込むと送信禁止状態に戻ります。

注: 送信中はTXENxを"0"に設定しないでください。

(2) 送信手順

本シリアルインタフェースには、送信用シフトレジスタと送信データレジスタ(送信データバッファ)が受信用とは独立して設けられています。

Ch.0送信データ: TXD0[7:0] (シリアルI/F Ch.0送信データレジスタ0x401E0•D[7:0])

Ch.1送信データ: TXD1[7:0] (シリアルI/F Ch.1送信データレジスタ0x401E5•D[7:0])

このレジスタにデータを書き込むことにより、シリアルインタフェースは送信動作を開始します。調歩同期式7ビットモードでは、それぞれのレジスタのビット7(MSB)は無効となります。

また、送信データレジスタの状態を示すステータスビットも設けられています。

Ch.0送信データバッファエンプティ: TDBE0 (シリアルI/F Ch.0ステータスレジスタ0x401E2•D1)

Ch.1送信データバッファエンプティ: TDBE1 (シリアルI/F Ch.1ステータスレジスタ0x401E7•D1)

このビットは送信データレジスタにデータを書き込むと"0"となり、そのデータがシフトレジスタに転送されると"1"(バッファエンプティ)に戻ります。転送のタイミングはスタートビットの送信開始時です。

送信状態は、送信終了フラグ(TENDx)で確認できます。

Ch.0送信終了フラグ: TEND0 (シリアルI/F Ch.0ステータスレジスタ0x401E2•D5)

Ch.1送信終了フラグ: TEND1 (シリアルI/F Ch.1ステータスレジスタ0x401E7•D5)

このビットはデータ送信中に"1"となり、送信を終了すると"0"に戻ります。

調歩同期式転送で連続してデータを送信する場合、全データを送信するまで"1"を保持します。

図8.12に調歩同期式モードの送信タイミングチャートを示します。

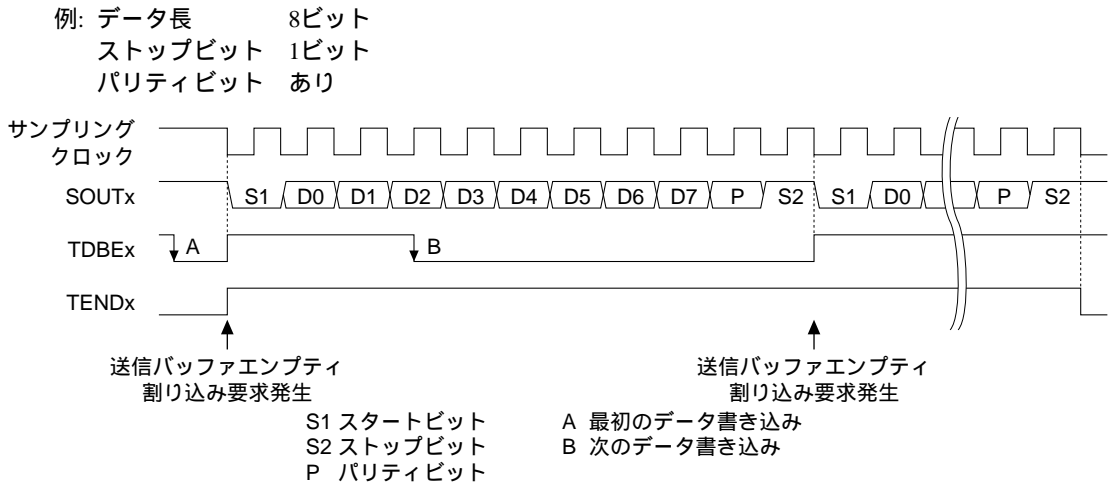


図8.12 調歩同期式モードの送信タイミング

1. サンプリングクロックの最初の立ち上がりエッジに同期してデータレジスタの内容がシフトレジスタに転送されます。同時に、SOUTx端子をLowにしてスタートビットを送信します。
2. 続くサンプリングクロックの各立ち上がりエッジでシフトレジスタの各ビットをLSBから送信します。8(7)ビットのデータが送信されるまで、この動作を繰り返します。
3. MSBを送信後、パリティビット(EPRx = "1"の場合)とストップビットを続けて送信します。

• 連続送信

送信データレジスタのデータがシフトレジスタに転送されるとTDBExは"1"(バッファエンプティ)に戻ります。これ以降であれば、データの送信中であっても、送信データレジスタに次の送信データを書き込むことが可能です。

これにより、データの連続送信が行えます。各データの送信手順は前述のとおりです。

TDBExが"1"になると同時に送信データエンプティ割り込み要因が発生します割り込みコントローラの設定によって割り込みを発生させることができますので割り込み処理ルーチンで次の送信データを書き込むことができます。

割り込みの制御方法については、"シリアルインタフェース割り込み"を参照してください。

(3) 送信の終了

データの送信が終了した場合は、送信許可レジスタTXENxに"0"を書き込んで送信禁止に設定してください。

受信制御

(1) 受信許可

受信の制御には、受信許可ビットRXENxを使用します。

Ch.0受信許可: RXEN0 (シリアルI/F Ch.0制御レジスタ0x401E3・D6)

Ch.1受信許可: RXEN1 (シリアルI/F Ch.0制御レジスタ0x401E8・D6)

このビットに"1"を書き込んで受信を許可状態にすると、シフトレジスタへのクロック入力がいネーブル(入力可能な状態)となり、データの受信が行える状態となります。

RXENxに"0"を書き込むと受信禁止状態に戻ります。

注: 受信中はRXENxを"0"に設定しないでください。

(2) 受信手順

本シリアルインタフェースには、受信用シフトレジスタと受信データレジスタ(受信データバッファ)が送信用とは独立して設けられています。

Ch.0受信データ: RXD0[7:0] (シリアルI/F Ch.0受信データレジスタ0x401E1•D[7:0])

Ch.1受信データ: RXD1[7:0] (シリアルI/F Ch.1受信データレジスタ0x401E6•D[7:0])

受信データはこのレジスタから読み出すことができます。

また、受信データレジスタの状態を示すステータスビットが設けられています。

Ch.0受信データバッファフル: RDBF0 (シリアルI/F Ch.0ステータスレジスタ0x401E2•D0)

Ch.1受信データバッファフル: RDBF1 (シリアルI/F Ch.1ステータスレジスタ0x401E7•D0)

このビットはストップビット(2ビットに設定した場合は2ビット目)をサンプリングしてシフトレジスタのデータが受信データレジスタに転送されると"1"(バッファフル)となり、受信データが読み出せることを示します。そのデータが読み出されると"0"に戻ります。

図8.13に調歩同期式モードの受信タイミングチャートを示します。

例: データ長 8ビット

ストップビット 1ビット

パリティビット あり

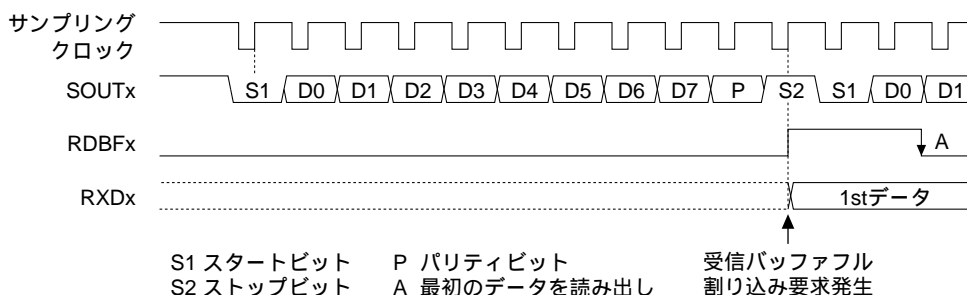


図8.13 調歩同期式モードの受信タイミング

1. スタートビット($SINx = Low$)の入力によりサンプリングを開始します。
2. サンプリングクロックの最初の立ち上がりエッジでスタートビットがサンプリングされると、以降のクロックの各立ち上がりエッジで受信データの各ビットをLSBからシフトレジスタに取り込みます。データのMSBを受信するまで、この動作を繰り返します。
3. MSBが取り込まれると、続くパリティビットを取り込みます($EPRx = "1"$ の場合)。
4. ストップビットをサンプリングするとシフトレジスタのデータは受信データレジスタに転送され、データが読み出せる状態となります。
受信データレジスタへの転送時にはパリティチェックが行われます($EPRx = "1"$ の場合)。

注: ストップビットを2ビットに設定した場合でも、ストップビットの1ビット目をサンプリングした時点で受信動作が終了します。

• 連続受信

シフトレジスタに受信したデータが受信データレジスタに転送されるとRDBFxが"1"(バッファフル)となり、受信データが読み出せることを示します。これ以降、次のデータの受信中に受信データレジスタを読み出すことができますので、データの連続受信が行えます。各データの受信手順は前述のとおりです。

RDBFxが"1"になると同時に受信データフル割り込み要因が発生します。割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンで受信データを読み出すことができます。

割り込みの制御方法については、"シリアルインタフェース割り込み"を参照してください。

(3) 受信エラー

調歩同期式モードの受信時には3種類の受信エラーが検出可能です。

割り込みコントローラの設定によって割り込みを発生させることができますので、割り込み処理ルーチンでエラー処理が行えます。受信エラー割り込みについては、「シリアルインタフェース割り込み」を参照してください。

- パリティエラー

EPRxが"1"(パリティあり)に設定されている場合、受信時にパリティチェックが行われます。

パリティチェックはシフトレジスタに受信したデータが受信データレジスタに転送される際に行われ、PMDxの設定(奇数または偶数パリティ)との整合をチェックします。この結果が不整合の場合はパリティエラーと判断され、パリティエラーフラグが"1"にセットされます。

Ch.0/パリティエラーフラグ: PER0 (シリアルI/F Ch.0ステータスレジスタ0x401E2•D3)

Ch.1/パリティエラーフラグ: PER1 (シリアルI/F Ch.1ステータスレジスタ0x401E7•D3)

本エラーが発生した場合でも、その受信データは受信データレジスタに転送され、受信動作も継続されます。ただし、受信データはパリティエラーのため保証されません。

なお、PERxフラグは"0"を書き込むことによってリセットされます。

- フレーミングエラー

ストップビットを"0"として受信すると、シリアルインタフェースは同期ずれと判断してフレーミングエラーを発生します。

ストップビットを2ビットに設定している場合は、最初の1ビットのみチェックします。

本エラーが発生すると、フレーミングエラーフラグが"1"にセットされます。

Ch.0フレーミングエラーフラグ: FER0 (シリアルI/F Ch.0ステータスレジスタ0x401E2•D4)

Ch.1フレーミングエラーフラグ: FER1 (シリアルI/F Ch.1ステータスレジスタ0x401E7•D4)

本エラーが発生した場合でも、その受信データは受信データレジスタに転送され、受信動作も継続されます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。

なお、FERxフラグは"0"を書き込むことによってリセットされます。

- オーバーランエラー

連続受信を行っている場合、受信データレジスタを読み出す前に次のデータの受信を終了すると受信データレジスタは新たなデータで上書きされます。したがって、受信データレジスタは次のデータの受信が終了する前に読み出すことが必要です。

受信データレジスタが上書きされるとオーバーランエラーが発生し、オーバーランエラーフラグが"1"にセットされます。

Ch.0オーバーランエラーフラグ: OER0 (シリアルI/F Ch.0ステータスレジスタ0x401E2•D2)

Ch.1オーバーランエラーフラグ: OER1 (シリアルI/F Ch.1ステータスレジスタ0x401E7•D2)

本エラーが発生した場合でも、その受信データは受信データレジスタに転送され、受信動作も継続されます。

なお、OERxフラグは"0"を書き込むことによってリセットされます。

(4) 受信の終了

データの受信が終了した場合は、受信許可ビットRXENxに"0"を書き込んで受信禁止に設定してください。

IrDAインタフェース

IrDAインタフェースの概要

シリアルインタフェースは各チャンネルにPPM変調回路を内蔵しており、IrDA 1.0に準拠した赤外線通信の回路を簡単な外部回路を追加することにより構成できるようになっています。

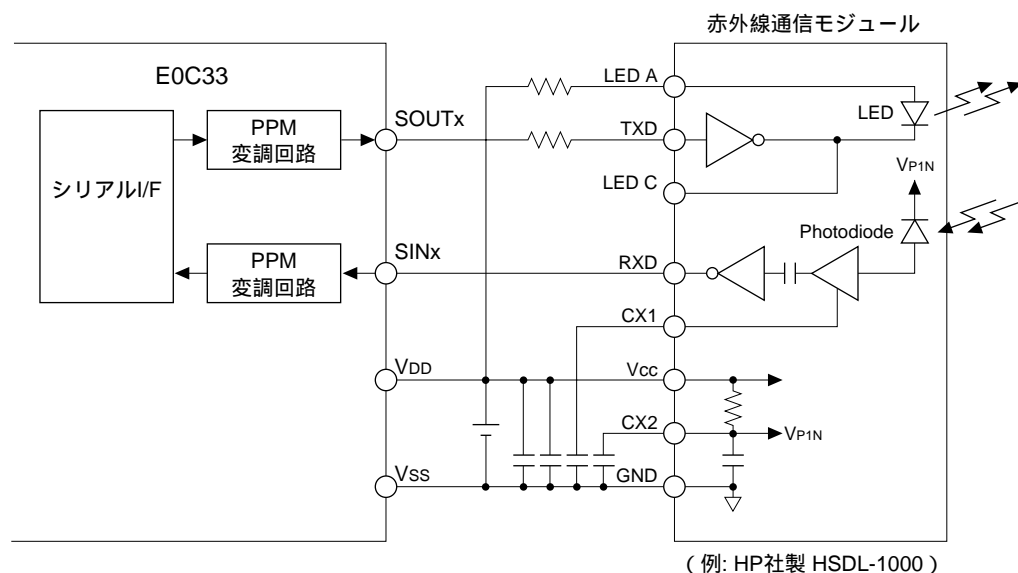


図8.14 IrDAインタフェースの構成例

このIrDAインタフェース機能は、転送モードが調歩同期式モードに設定されている場合にのみ使用可能です。

IrDAインタフェース部以外のシリアルインタフェース機能は調歩同期式モードの内容がそのまま適用されますので、データフォーマット、データ転送の設定や制御手順については"調歩同期式インタフェース"を参照してください。

IrDA インタフェースの設定

赤外線通信を行う場合は、通信開始前に以下の設定が必要です。

1. 入出力端子の設定
2. インタフェースモード(IrDAインタフェース機能)の選択
3. 転送モードの設定
4. 入力クロックの設定
5. データフォーマットの設定
6. 割り込みの設定
7. 入出力論理の設定

1～5までは調歩同期式インタフェースで説明した内容です。"調歩同期式インタフェース"を参照してください。6については"シリアルインタフェース割り込み"を参照してください。

注: これらの設定は、必ずシリアルインタフェースが動作停止中に(TXENxおよびRXENxを"0"に設定して)行ってください。動作中の設定変更は誤動作の原因となります。
また、IrDAインタフェース機能の選択(2)は、必ず転送モード(3)以降の設定を行う前に行ってください。

IrDAインタフェース機能の選択

IrDAインタフェース機能を使用するには、次の制御ビットでIrDAインタフェース機能を選択し、さらに調歩同期式8ビット(または7ビット)モードに設定してください。

Ch.0 IrDAインタフェース機能選択: IRMD0[1:0] (シリアルI/F Ch.0 IrDAレジスタ0x401E4•D[1:0])

Ch.1 IrDAインタフェース機能選択: IRMD1[1:0] (シリアルI/F Ch.1 IrDAレジスタ0x401E9•D[1:0])

表8.6 IrDAインタフェースの設定

IRMDx1	IRMDx0	設定内容
1	1	設定禁止(reserved)
1	0	IrDA 1.0インタフェース
0	1	設定禁止(reserved)
0	0	通常のインタフェース

注: IRMDxはイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。

入出力論理の設定

IrDAインタフェースを使用する場合、PPM変調回路の入出力信号の論理を外部に接続する赤外線通信モジュールや回路に合わせて切り換えることができます。内蔵のシリアルインタフェースはLowアクティブです。Highアクティブの信号を入出力する場合は論理を反転させて使用します。入力SINxと出力SOUTxの論理をそれぞれIRRLx、IRTLxによって個別に設定することができます。

Ch.0(シリアルI/F Ch.0 IrDAレジスタ) Ch.1(シリアルI/F Ch.0 IrDAレジスタ)

IrDA入力論理反転: IRRL0 (0x401E4•D2)

IRRL1 (0x401E9•D2)

IrDA出力論理反転: IRTL0 (0x401E4•D3)

IRTL1 (0x401E9•D3)

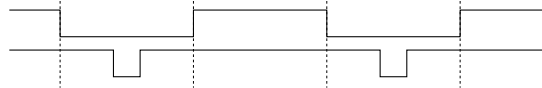
IRRLx/IRTLxに"1"を書き込むことで、入力/出力信号の論理が反転します。"0"を書き込んだ場合は、論理反転を行いません。

送信時

(1) IRTLx = "0"

PPM変調回路入力(I/F出力)

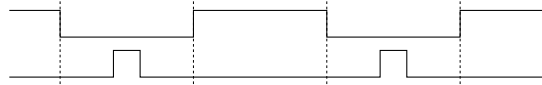
PPM変調回路出力(SOUTx)



(2) IRTLx = "1"

PPM変調回路入力(I/F出力)

PPM変調回路出力(SOUTx)

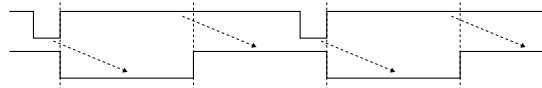


受信時

(1) IRRLx = "0"

PPM変調回路入力(SINx)

PPM変調回路出力(I/F入力)



(2) IRRLx = "1"

PPM変調回路入力(SINx)

PPM変調回路出力(I/F入力)

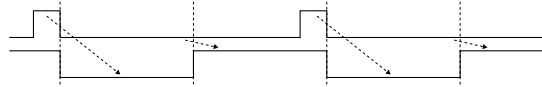


図8.15 IRRLxとIRTLxの設定例

注: IRMRLxおよびIRTLxはイニシャルリセット時に不定となります。必ずソフトウェアで初期化してください。

IrDAインタフェースの制御と動作

送受信の手順は調歩同期式インタフェースで説明したとおりです。"調歩同期式転送の制御と動作"を参照してください。

PPM変調回路によるデータの変調と復調の動作は以下のとおりです。

送信時

送信時は、シリアルインタフェースの出力信号のパルス幅を $3/16$ 倍に変換しSOUT_x端子から出力します。

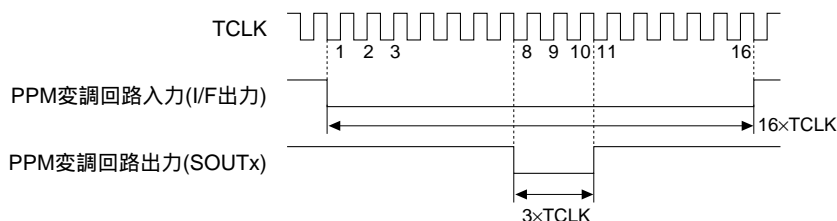


図8.16 PPM変調回路によるデータの変調

受信時

受信時は、SIN_xからの入力信号のパルス幅を $16/3$ 倍に変換し、シリアルインタフェースに送ります。

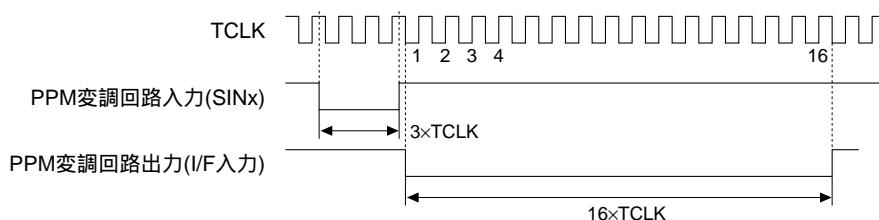


図8.17 PPM変調回路によるデータの復調

注: IrDAインタフェースを使用する場合、シリアルインタフェース内部の分周比は $1/16$ (DIVMD_x = "1")に設定し、 $1/8$ (DIVMD_x = "0")には設定しないでください。

シリアルインタフェース割り込み

シリアルインタフェースには各チャンネルごとに、以下の3種類の割り込みを発生させる機能があります。

- 送信バッファエンプティ割り込み
- 受信バッファフル割り込み
- 受信エラー割り込み

送信バッファエンプティ割り込み要因

この割り込み要因は、送信データレジスタに設定した送信データがシフトレジスタに転送された時点で発生し、割り込み要因フラグFSTXxを"1"にセットします。このとき、割り込み制御レジスタによって割り込み条件が満たされていれば、CPUに対し割り込みが発生します。

この割り込み要因の発生によって、次の送信データを送信データレジスタに書き込むことができます。

受信完了割り込み

この割り込み要因は、受信が完了してシフトレジスタに取り込まれた受信データが受信データレジスタに転送された時点で発生し、割り込み要因フラグFSRXxを"1"にセットします。このとき、割り込み制御レジスタによって割り込み条件が満たされていれば、CPUに対し割り込みが発生します。

この割り込み要因の発生によって、受信データの読み出しが可能となります。

受信エラー割り込み

この割り込み要因は、受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された場合に発生し、割り込み要因フラグFSERRxを"1"にセットします。このとき、割り込み制御レジスタによって割り込み条件が満たされていれば、CPUに対し割り込みが発生します。

3種類のエラーとも同一の割り込み要因となっていますので、発生したエラーの識別はエラーフラグPERx(パリティエラー)、OERx(オーバーランエラー)、FERx(フレーミングエラー)で行ってください。クロック同期式モードではパリティエラーとフレーミングエラーは発生しません。

注: 受信エラー(パリティエラー、フレーミングエラー)が発生した場合、受信エラー割り込み要因と受信バッファフル割り込み要因が同時に発生します。ただし、受信エラー割り込みの優先順位が受信バッファフル割り込みよりも高く設定されていますので、受信エラー割り込みの処理が先に実行されます。このため、受信エラー割り込み処理の中で受信バッファフル割り込み要因フラグをリセットする必要があります。

割り込みコントローラの制御レジスタ

各割り込み系列(チャンネル)ごとに用意されている割り込みコントローラの制御レジスタを、表8.7に示します。

表8.7 割り込みコントローラの制御レジスタ

Ch.	割り込み要因	割り込み要因フラグ	割り込み イネーブルレジスタ	割り込み プライオリティレジスタ
Ch.0	受信エラー	FSERR0(D0/0x40286)	ESERR0(D0/0x40276)	PSIO0[2:0](D[6:4]/0x40269)
	受信バッファフル	FSRX0(D1/0x40286)	ESRX0(D1/0x40276)	
	送信バッファエンプティ	FSTX0(D2/0x40286)	ESTX0(D2/0x40276)	
Ch.1	受信エラー	FSERR1(D3/0x40286)	ESERR1(D3/0x40276)	PSIO1[2:0](D[2:0]/0x4026A)
	受信バッファフル	FSRX1(D4/0x40286)	ESRX1(D4/0x40276)	
	送信バッファエンプティ	FSTX1(D5/0x40286)	ESTX1(D5/0x40276)	

前述の割り込み要因が発生すると、それぞれに対応した割り込み要因フラグが"1"にセットされます。その割り込み要因に対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。

割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、その要因による割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず("0"に設定されていても)、割り込み条件の成立によって"1"にセットされます。

割り込みプライオリティレジスタは、割り込み系列ごとの割り込みの優先レベル(0~7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。

また、入力割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した入力割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITC(割り込みコントローラ)"を参照してください。

トラップベクタ

各割り込み要因のトラップベクタアドレスは、デフォルトでそれぞれ以下のとおり設定されています。

Ch.0受信エラー割り込み:	0x0C000E0
Ch.0受信バッファフル割り込み:	0x0C000E4
Ch.0送信バッファエンプティ割り込み:	0x0C000E8
Ch.1受信エラー割り込み:	0x0C000EC
Ch.1受信バッファフル割り込み:	0x0C000F0
Ch.1送信バッファエンプティ割り込み:	0x0C000F4

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134 ~ 0x48137)で変更することも可能です。

シリアルインタフェースのI/Oメモリ

表8.8にシリアルインタフェースの制御ビットを示します。

クロックを設定するプリスケアラおよび8ビットプログラマブルタイマのI/Oメモリについては、それぞれ"プリスケアラ"、"8ビットプログラマブルタイマ"を参照してください。

表8.8 シリアルインタフェースの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
シリアルI/F Ch.0送信データ レジスタ	00401E0 (B)	D7 D6 D5 D4 D3 D2 D1 D0	TXD07 TXD06 TXD05 TXD04 TXD03 TXD02 TXD01 TXD00	シリアルI/F Ch.0 送信データ TXD07(06) = MSB TXD00 = LSB	0x0 ~ 0xFF(0x7F)	X X X X X X X X	R/W	調歩同期式7ビットモードの場合、TXD07は無効
シリアルI/F Ch.0受信データ レジスタ	00401E1 (B)	D7 D6 D5 D4 D3 D2 D1 D0	RXD07 RXD06 RXD05 RXD04 RXD03 RXD02 RXD01 RXD00	シリアルI/F Ch.0 受信データ RXD07(06) = MSB RXD00 = LSB	0x0 ~ 0xFF(0x7F)	X X X X X X X X	R	調歩同期式7ビットモードの場合、RXD07は無効(0固定)
シリアルI/F Ch.0ステータス レジスタ	00401E2 (B)	D7-6 D5 D4 D3 D2 D1 D0	— TEND0 FER0 PER0 OER0 TDBE0 RDBF0	— Ch.0転送終了フラグ Ch.0フレーミングエラーフラグ Ch.0パリティエラーフラグ Ch.0オーバーランエラーフラグ Ch.0送信データバッファエンプティ Ch.0受信データバッファフル	— 1 転送中 0 終了 1 エラー 0 正常 1 エラー 0 正常 1 エラー 0 正常 1 エンプティ 0 バッファフル	— 0 0 0 0 1 0	— R R/W R/W R/W R	読み出し時: 0 0書き込みでクリア 0書き込みでクリア 0書き込みでクリア
シリアルI/F Ch.0制御 レジスタ	00401E3 (B)	D7 D6 D5 D4 D3 D2 D1 D0	TXEN0 RXEN0 EPR0 PMD0 STPB0 SSCK0 SMD01 SMD00	Ch.0送信許可 Ch.0受信許可 Ch.0パリティエネーブル Ch.0パリティモード選択 Ch.0ストップビット選択 Ch.0入力クロック選択 Ch.0転送モード選択	1 許可 0 禁止 1 許可 0 禁止 1 パリティ付 0 パリティなし 1 奇数 0 偶数 1 2bit 0 1bit 1 #SCLK0 0 内部クロック SMD0[1:0] 転送モード 1 1 調歩同期式8bit 1 0 調歩同期式7bit 0 1 クロック同期スレーブ 0 0 クロック同期マスタ	0 0 X X X X X X	R/W R/W R/W R/W R/W R/W R/W	調歩同期式モード時のみ有効
シリアルI/F Ch.0 IrDA レジスタ	00401E4 (B)	D7-5 D4 D3 D2 D1 D0	— DIVMD0 IRTL0 IRRL0 IRMD01 IRMD00	— Ch.0調歩同期クロック分周比 Ch.0 IrDA I/F出力論理反転 Ch.0 IrDA I/F入力論理反転 Ch.0インタフェースモード 選択	— 1 1/8 0 1/16 1 反転 0 反転なし 1 反転 0 反転なし IRMD0[1:0] I/Fモード 1 1 reserved 1 0 IrDA 1.0 0 1 reserved 0 0 通常のI/F	— X X X X X	— R/W R/W R/W R/W	読み出し時: 0 調歩同期式モード時のみ有効
シリアルI/F Ch.1送信データ レジスタ	00401E5 (B)	D7 D6 D5 D4 D3 D2 D1 D0	TXD17 TXD16 TXD15 TXD14 TXD13 TXD12 TXD11 TXD10	シリアルI/F Ch.1 送信データ TXD17(16) = MSB TXD10 = LSB	0x0 ~ 0xFF(0x7F)	X X X X X X X X	R/W	調歩同期式7ビットモードの場合、TXD17は無効
シリアルI/F Ch.1受信データ レジスタ	00401E6 (B)	D7 D6 D5 D4 D3 D2 D1 D0	RXD17 RXD16 RXD15 RXD14 RXD13 RXD12 RXD11 RXD10	シリアルI/F Ch.1 受信データ RXD17(16) = MSB RXD10 = LSB	0x0 ~ 0xFF(0x7F)	X X X X X X X X	R	調歩同期式7ビットモードの場合、RXD17は無効(0固定)

III 周辺回路ブロック: シリアルインタフェース

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
シリアルI/F Ch.1ステータス レジスタ	00401E7 (B)	D7-6	—	—	—			—	—	読み出し時: 0	
		D5	TEND1	Ch.1転送終了フラグ	1	転送中	0	終了	0	R	
		D4	FER1	Ch.1フレーミングエラーフラグ	1	エラー	0	正常	0	R/W	0書き込みでクリア
		D3	PER1	Ch.1パリティエラーフラグ	1	エラー	0	正常	0	R/W	0書き込みでクリア
		D2	OER1	Ch.1オーバーランエラーフラグ	1	エラー	0	正常	0	R/W	0書き込みでクリア
		D1	TDBE1	Ch.1送信データバッファエンプティ	1	エンプティ	0	バッファフル	1	R	
		D0	RDBF1	Ch.1受信データバッファフル	1	バッファフル	0	エンプティ	0	R	
シリアルI/F Ch.1制御 レジスタ	00401E8 (B)	D7	TXEN1	Ch.1送信許可	1	許可	0	禁止	0	R/W	
		D6	RXEN1	Ch.1受信許可	1	許可	0	禁止	0	R/W	
		D5	EPR1	Ch.1パリティエネブル	1	パリティ付	0	パリティなし	X	R/W	調歩同期式モード時のみ有効
		D4	PMD1	Ch.1パリティモード選択	1	奇数	0	偶数	X	R/W	
		D3	STPB1	Ch.1ストップビット選択	1	2bit	0	1bit	X	R/W	
		D2	SSCK1	Ch.1入力クロック選択	1	#SCLK1	0	内部クロック	X	R/W	
		D1	SMD11	Ch.1転送モード選択	SMD1[1:0]		転送モード		X	R/W	
		D0	SMD10		1	1	調歩同期式8bit		X		
					1	0	調歩同期式7bit				
					0	1	クロック同期スレーブ				
			0	0	クロック同期マスタ						
シリアルI/F Ch.1 IrDA レジスタ	00401E9 (B)	D7-5	—	—	—			—	—	読み出し時: 0	
		D4	DIVMD1	Ch.1調歩同期クロック分周比	1	1/8	0	1/16	X	R/W	
		D3	IRTL1	Ch.1 IrDA I/F出力論理反転	1	反転	0	反転なし	X	R/W	調歩同期式モード時のみ有効
		D2	IRRL1	Ch.1 IrDA I/F入力論理反転	1	反転	0	反転なし	X	R/W	
		D1	IRMD11	Ch.1インタフェースモード 選択	IRMD1[1:0]		I/Fモード		X	R/W	
		D0	IRMD10		1	1	reserved		X		
					1	0	IrDA 1.0				
			0	1	reserved						
			0	0	通常のI/F						
8bitタイマ, シリアルI/F Ch.0 割り込み プライオリティ レジスタ	0040269 (B)	D7	—	reserved	—			—	—	読み出し時: 0	
		D6	PSIO02	シリアルインタフェースCh.0 割り込みレベル	0 ~ 7			X	R/W		
		D5	PSIO01		X						
		D4	PSIO00		X						
		D3	—	reserved	—			—	—	読み出し時: 0	
		D2	P8TM2	8bitタイマ0-3 割り込みレベル	0 ~ 7			X	R/W		
		D1	P8TM1		X						
D0	P8TM0	X									
シリアルI/F Ch.1 割り込み プライオリティ レジスタ	004026A (B)	D7-3	—	reserved	—			—	—	読み出し時: 0	
		D2	PSIO12	シリアルインタフェースCh.1 割り込みレベル	0 ~ 7			X	R/W		
		D1	PSIO11		X						
		D0	PSIO10		X						
シリアルI/F 割り込み イネーブル レジスタ	0040276 (B)	D7-6	—	reserved	—			—	—	読み出し時: 0	
		D5	ESTX1	SIF Ch.1送信バッファエンプティ	1	許可	0	禁止	0	R/W	
		D4	ESRX1	SIF Ch.1受信バッファフル				0	R/W		
		D3	ESERR1	SIF Ch.1受信エラー				0	R/W		
		D2	ESTX0	SIF Ch.0送信バッファエンプティ				0	R/W		
		D1	ESRX0	SIF Ch.0受信バッファフル				0	R/W		
		D0	ESERR0	SIF Ch.0受信エラー				0	R/W		
シリアルI/F 割り込み 要因フラグ レジスタ	0040286 (B)	D7-6	—	reserved	—			—	—	読み出し時: 0	
		D5	FSTX1	SIF Ch.1送信バッファエンプティ	1	要因発生	0	要因なし	X	R/W	
		D4	FSRX1	SIF Ch.1受信バッファフル				X	R/W		
		D3	FSERR1	SIF Ch.1受信エラー				X	R/W		
		D2	FSTX0	SIF Ch.0送信バッファエンプティ				X	R/W		
		D1	FSRX0	SIF Ch.0受信バッファフル				X	R/W		
		D0	FSERR0	SIF Ch.0受信エラー				X	R/W		
P0機能選択 レジスタ	00402D0 (B)	D7	CFP07	P07機能選択	1	#SRDY1	0	P07	0	R/W	拡張機能(0x402DF)
		D6	CFP06	P06機能選択	1	#SCLK1	0	P06	0	R/W	
		D5	CFP05	P05機能選択	1	SOUT1	0	P05	0	R/W	
		D4	CFP04	P04機能選択	1	SIN1	0	P04	0	R/W	
		D3	CFP03	P03機能選択	1	#SRDY0	0	P03	0	R/W	
		D2	CFP02	P02機能選択	1	#SCLK0	0	P02	0	R/W	
		D1	CFP01	P01機能選択	1	SOUT0	0	P01	0	R/W	
		D0	CFP00	P00機能選択	1	SIN0	0	P00	0	R/W	
ポート機能拡張 レジスタ	00402DF (B)	D7-4	—	reserved	—			0	R/W	1書き込み禁止	
		D3	CFEX3	P31ポート機能拡張	1	#GARD	0	P31, etc.	0	R/W	
		D2	CFEX2	P21ポート機能拡張	1	#GAAS	0	P21, etc.	0	R/W	
		D1	CFEX1	P10, P11, P13ポート機能拡張	1	DST0 DST1 DPC0	0	P10, etc. P11, etc. P13, etc.	1	R/W	
		D0	CFEX0	P12, P14ポート機能拡張	1	DST2 DCLK	0	P12, etc. P14, etc.	1	R/W	

CFP07–CFP00: P0[7:0]端子機能選択(D[7:0]/0x402D0<P0機能選択レジスタ>)

シリアルインタフェースに使用する端子を選択します。

- "1"書き込み: シリアルインタフェース入出力端子
- "0"書き込み: 入出力兼用ポート端子
- 読み出し: 可能

シリアルインタフェースに使用する端子を、CFP00～CFP07に"1"を書き込んでP00～P07の中から選択します。P00～P03(SIN0、SOUT0、#SCLK0、#SRDY0)はCh.0、P04～P07(SIN1、SOUT1、#SCLK1、#SRDY1)はCh.1で使います。"0"を書き込んだ場合、その端子は入出力兼用ポート端子となります。転送モードにより必要な入出力端子は異なります(表8.3参照)。コールドスタート時、CFPは"0"(入出力兼用ポート)に設定されます。ホットスタート時はイニシャルリセット前の状態を保持します。

TXD07–TXD00: Ch.0送信データ(D[7:0]/0x401E0<シリアル/F Ch.0送信データレジスタ>)**TXD17–TXD10: Ch.1送信データ(D[7:0]/0x401E5<シリアル/F Ch.1送信データレジスタ>)**

送信データを設定します。

TXENxに"1"を書き込み後、このレジスタ(送信バッファ)にデータを書き込むことにより送信を開始します。データがシフトレジスタに転送された時点で、TDBExが"1"(送信バッファエンプティ)にセットされます。同時に送信バッファエンプティ割り込み要因も発生します。それ以降であれば、シリアルインタフェースが送信中であっても次の送信データを書き込むことができます。

調歩同期式7ビットモードにおいては、TXDx7(MSB)が無効となります。

SOUT端子からはシリアル変換されたデータがLSBを先頭に、"1"に設定されたビットがHighレベル、"0"に設定されたビットがLowレベルとして出力されます。

このレジスタは読み出しも可能です。

イニシャルリセット時、TXDxの内容は不定となります。

RXD07–RXD00: Ch.0受信データ(D[7:0]/0x401E1<シリアル/F Ch.0受信データレジスタ>)**RXD17–RXD10: Ch.1受信データ(D[7:0]/0x401E6<シリアル/F Ch.1受信データレジスタ>)**

受信データが格納されます。

受信が終了し、シフトレジスタのデータがこのレジスタ(受信バッファ)に転送された時点でRDBFxが"1"(受信バッファフル)にセットされます。同時に受信バッファフル割り込み要因も発生します。これ以降、次のデータの受信を終了するまで、データの読み出しが可能です。このレジスタを読み出す前に次の受信を終了した場合は、新たな受信データで上書きされ、オーバーランエラーが発生します。

調歩同期式7ビットモードにおいては、RXDx7には"0"がロードされます。

SINx端子から入力されたシリアルデータは先頭をLSBとして、Highレベルのビットを"1"、Lowレベルのビットを"0"としてパラレル変換され、本バッファにロードされます。

このレジスタは読み出し専用で、書き込みは行えません。

イニシャルリセット時、RXDxの内容は不定となります。

TEND0: Ch.0送信終了フラグ(D5/0x401E2<シリアル/F Ch.0ステータスレジスタ>)**TEND1: Ch.1送信終了フラグ(D5/0x401E7<シリアル/F Ch.1ステータスレジスタ>)**

送信状態を示します。

- "1"読み出し: 送信中
- "0"読み出し: 送信終了
- 書き込み: 無効

TENDxはデータ送信中に"1"となり、送信を終了すると"0"に戻ります。

クロック同期式マスタモードまたは調歩同期式モードで連続してデータを送信する場合、全データを送信するまで"1"を保持します(図8.4、図8.12参照)。クロック同期式スレーブモード時は1バイト送信するごとに"0"となります(図8.5参照)。

イニシャルリセット時、TENDxは"0"(送信終了)に設定されます。

FER0: Ch.0 フレーミングエラーフラグ(D4/0x401E2<シリアルI/F Ch.0ステータスレジスタ>)

FER1: Ch.1 フレーミングエラーフラグ(D4/0x401E7<シリアルI/F Ch.1ステータスレジスタ>)

フレーミングエラーの発生を示します。

"1"読み出し: エラー

"0"読み出し: エラーなし

"1"書き込み: 無効

"0"書き込み: "0"にリセット

FERxフラグはフレーミングエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。フレーミングエラーは、調歩同期式モードの受信時にストップビットが"0"になっていた場合に発生します。FERxフラグは"0"を書き込むことでリセットされます。

イニシャルリセット時、およびRXENxとTXENx共に"0"を書き込むとFERxフラグは"0"(エラーなし)に設定されます。

PER0: Ch.0 パリティエラーフラグ(D3/0x401E2<シリアルI/F Ch.0ステータスレジスタ>)

PER1: Ch.1 パリティエラーフラグ(D3/0x401E7<シリアルI/F Ch.1ステータスレジスタ>)

パリティエラーの発生を示します。

"1"読み出し: エラー

"0"読み出し: エラーなし

"1"書き込み: 無効

"0"書き込み: "0"にリセット

PERxフラグはパリティエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。パリティチェックはEPRxを"1"(パリティ付き)に設定した調歩同期式モードでのみ有効で、受信データをシフトレジスタから受信データレジスタに転送する際に行われます。PERxフラグは"0"を書き込むことでリセットされます。

イニシャルリセット時、およびRXENxとTXENx共に"0"を書き込むとPERxは"0"(エラーなし)に設定されます。

OER0: Ch.0 オーバーランエラーフラグ(D2/0x401E2<シリアルI/F Ch.0ステータスレジスタ>)

OER1: Ch.1 オーバーランエラーフラグ(D2/0x401E7<シリアルI/F Ch.1ステータスレジスタ>)

オーバーランエラーの発生を示します。

"1"読み出し: エラー

"0"読み出し: エラーなし

"1"書き込み: 無効

"0"書き込み: "0"にリセット

OERxフラグはオーバーランエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。オーバーランエラーは、受信データレジスタを読み出す前に次の受信が終了し、受信データレジスタが上書きされた場合に発生します。OERxフラグは"0"を書き込むことでリセットされます。

イニシャルリセット時、およびRXENxとTXENx共に"0"を書き込むとOERxは"0"(エラーなし)に設定されます。

TDBE0: Ch.0 送信データバッファエンブティ(D1/0x401E2<シリアルI/F Ch.0ステータスレジスタ>)

TDBE1: Ch.1 送信データバッファエンブティ(D1/0x401E7<シリアルI/F Ch.1ステータスレジスタ>)

送信データレジスタ(バッファ)の状態を示します。

"1"読み出し: バッファエンブティ

"0"読み出し: バッファフル

書き込み: 無効

TDBExは送信データレジスタに送信データが書き込まれると"0"となり、そのデータがシフトレジスタに転送されると(送信を開始すると)"1"となります。

送信データの書き込みは、このビットが"1"の場合に行います。

イニシャルリセット時、TDBExは"1"(バッファエンブティ)に設定されます。

RDBF0: Ch.0受信データバッファフル(D0/0x401E2<シリアルI/F Ch.0ステータスレジスタ>)

RDBF1: Ch.1受信データバッファフル(D0/0x401E7<シリアルI/F Ch.1ステータスレジスタ>)

受信データレジスタ(バッファ)の状態を示します。

"1"読み出し: バッファフル

"0"読み出し: バッファエンブティ

書き込み: 無効

RDBFxはシフトレジスタに受信したデータが受信データレジスタに転送されると(受信が完了すると)"1"となり、そのデータが読み出し可能であることを示します。データが読み出されると"0"に戻ります。

イニシャルリセット時、RDBFxは"0"(バッファエンブティ)に設定されます。

TXEN0: Ch.0送信許可(D7/0x401E3<シリアルI/F Ch.0制御レジスタ>)

TXEN1: Ch.1送信許可(D7/0x401E8<シリアルI/F Ch.1制御レジスタ>)

各チャネルを送信許可状態に設定します。

"1"書き込み: 送信許可

"0"書き込み: 送信禁止

読み出し: 可能

TXENxに"1"を書き込むとそのチャネルが送信許可状態となり、"0"を書き込むと送信禁止状態となります。転送モード等の設定を行う場合は、TXENxが"0"の状態で行ってください。

イニシャルリセット時、TXENxは"0"(送信禁止)に設定されます。

RXEN0: Ch.0受信許可(D6/0x401E3<シリアルI/F Ch.0制御レジスタ>)

RXEN1: Ch.1受信許可(D6/0x401E8<シリアルI/F Ch.1制御レジスタ>)

各チャネルを受信許可状態に設定します。

"1"書き込み: 受信許可

"0"書き込み: 受信禁止

読み出し: 可能

RXENxに"1"を書き込むとそのチャネルが受信許可状態となり、"0"を書き込むと受信禁止状態となります。転送モード等の設定を行う場合は、RXENxが"0"の状態で行ってください。

イニシャルリセット時、RXENxは"0"(受信禁止)に設定されます。

EPR0: Ch.0パリティイネーブル(D5/0x401E3<シリアルI/F Ch.0制御レジスタ>)

EPR1: Ch.1パリティイネーブル(D5/0x401E8<シリアルI/F Ch.1制御レジスタ>)

パリティ機能を選択します。

"1"書き込み: パリティ付

"0"書き込み: パリティなし

読み出し: 可能

EPRxによって、受信データのパリティチェック、および送信データへのパリティビットの付加を行うかどうかを選択します。EPRxに"1"を書き込むと受信データはパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。"0"を書き込んだ場合はチェックおよび付加は行われません。

パリティ機能は調歩同期式モードの場合にのみ有効で、クロック同期式モードではEPRxの設定は無効となります。

イニシャルリセット時、EPRxは不定となります。

PMD0: Ch.0パリティモード選択(D4/0x401E3<シリアルI/F Ch.0制御レジスタ>)

PMD1: Ch.1パリティモード選択(D4/0x401E8<シリアルI/F Ch.1制御レジスタ>)

奇数パリティ/偶数パリティを選択します。

"1"書き込み: 奇数パリティ

"0"書き込み: 偶数パリティ

読み出し: 可能

PMD_xに"1"を書き込むと奇数パリティが選択され、"0"を書き込むと偶数パリティが選択されます。パリティチェックおよびパリティビットの付加はEPR_xに"1"が書き込まれている場合の調歩同期式転送にのみ有効で、EPR_xに"0"が書き込まれている場合は、PMD_xの設定は無効となります。

イニシャルリセット時、PMD_xは不定となります。

STPB0: Ch.0ストップビット選択(D3/0x401E3<シリアルI/F Ch.0制御レジスタ>)

STPB1: Ch.1ストップビット選択(D3/0x401E8<シリアルI/F Ch.1制御レジスタ>)

調歩同期式転送を行う場合のストップビット長を選択します。

"1"書き込み: 2ビット

"0"書き込み: 1ビット

読み出し: 可能

STPB_xは調歩同期式転送時にのみ有効なストップビット選択ビットです。"1"を書き込むとストップビットが2ビットに、"0"を書き込むと1ビットになります。スタートビットは1ビットに固定です。

クロック同期式転送を行う場合、STPB_xの設定は無効となります。

イニシャルリセット時、STPB_xは不定となります。

SSCK0: Ch.0入力クロック選択(D2/0x401E3<シリアルI/F Ch.0制御レジスタ>)

SSCK1: Ch.1入力クロック選択(D2/0x401E8<シリアルI/F Ch.1制御レジスタ>)

調歩同期式転送のクロック源を選択します。

"1"書き込み: #SCLK (外部クロック)

"0"書き込み: 内部クロック

読み出し: 可能

調歩同期式モード時に、内部クロック(8ビットプログラマブルタイマの出力)を使用するか、外部クロック(#SCLK_x端子から入力)を使用するか選択します。SSCK_xに"1"を書き込むと外部クロック、"0"を書き込むと内部クロックが選択されます。

イニシャルリセット時、SSCK_xは不定となります。

SMD01–SMD00: Ch.0転送モード選択(D[1:0]/0x401E3<シリアルI/F Ch.0制御レジスタ>)

SMD11–SMD10: Ch.1転送モード選択(D[1:0]/0x401E8<シリアルI/F Ch.1制御レジスタ>)

シリアルインタフェースの転送モードを表8.9のとおり設定します。

表8.9 転送モードの設定

SMD _x 1	SMD _x 0	転送モード
1	1	調歩同期式8ビットモード
1	0	調歩同期式7ビットモード
0	1	クロック同期式スレーブモード
0	0	クロック同期式マスタモード

SMD_xは読み出しも可能です。

IrDAインタフェースを使用する場合は、必ず調歩同期式モードに設定してください。

イニシャルリセット時、SMD_xは不定となります。

DIVMD0: Ch.0 サンプリングクロック分周比選択(D4/0x401E4<シリアル/F Ch.0 IrDAレジスタ>)

DIVMD1: Ch.1 サンプリングクロック分周比選択(D4/0x401E9<シリアル/F Ch.1 IrDAレジスタ>)

サンプリングクロックの分周比を選択します。

"1"書き込み: 1/8

"0"書き込み: 1/16

読み出し: 可能

調歩同期式転送のサンプリングクロックを生成するための分周比を選択します。DIVMDxに"1"を書き込むと、シリアルインタフェースの入力クロック(8ビットプログラマブルタイム出力または#SCLKx入力)を1/8に分周してサンプリングクロックを生成します。"0"を書き込んだ場合は1/16に分周されます。イニシャルリセット時、DIVMDxは不定となります。

IRTL0: Ch.0 IrDA出力論理反転(D3/0x401E4<シリアル/F Ch.0 IrDAレジスタ>)

IRTL1: Ch.1 IrDA出力論理反転(D3/0x401E9<シリアル/F Ch.1 IrDAレジスタ>)

IrDA出力信号の論理を反転します。

"1"書き込み: 反転

"0"書き込み: 反転なし

読み出し: 可能

IrDAインタフェースを使用する場合に、SOUTx出力信号の論理を外部に接続する赤外線通信回路に合わせて設定します。IRTLxに"1"を書き込むと、出力データが"0"のときにHighパルスを出力するように設定されます(出力データが"1"のときはLowレベルを保持)。"0"を書き込んだ場合は、出力データが"0"のときにLowパルスを出力するように設定されます(出力データが"1"のときはHighレベルを保持)イニシャルリセット時、IRTLxは不定となります。

IRRL0: Ch.0 IrDA入力論理反転(D2/0x401E4<シリアル/F Ch.0 IrDAレジスタ>)

IRRL1: Ch.1 IrDA入力論理反転(D2/0x401E9<シリアル/F Ch.1 IrDAレジスタ>)

IrDA入力信号の論理を反転します。

"1"書き込み: 反転

"0"書き込み: 反転なし

読み出し: 可能

IrDAインタフェースを使用する場合に、外部に接続する赤外線通信回路からの入力信号の論理をシリアルインタフェースに合わせて設定します。IRRLxに"1"を書き込むと、Highパルスを"0"として入力します。"0"を書き込んだ場合は、Lowパルスを"0"として入力します。イニシャルリセット時、IRRLxは不定となります。

IRMD01–IRMD00: Ch.0 IrDAインタフェース機能選択(D[1:0]/0x401E4<シリアル/F Ch.0 IrDAレジスタ>)

IRMD11–IRMD10: Ch.1 IrDAインタフェース機能選択(D[1:0]/0x401E9<シリアル/F Ch.0 IrDAレジスタ>)

IrDAインタフェース機能を選択します。

表8.10 IrDAインタフェースの設定

IRMDx1	IRMDx0	設定内容
1	1	設定禁止(reserved)
1	0	IrDA 1.0インタフェース
0	1	設定禁止(reserved)
0	0	通常のインタフェース

IrDAインタフェース機能を使用する場合は、調歩同期式モードに設定するとともに、IRMDxに"10"を書き込んでください。IrDA機能を使用しない場合はIRMDxに"00"を書き込んでください。イニシャルリセット時、IRMDxは不定となります。

注: この選択は、必ず転送モード等、他の設定の前に行ってください。

PSIO02–PSIO00: Ch.0割り込みレベル

(D[6:4]/0x40269<8bitタイマ, シリアルI/F Ch.0割り込みプライオリティレジスタ>)

PSIO12–PSIO10: Ch.1割り込みレベル

(D[2:0]/0x4026A<シリアルI/F Ch.1, A/D変換器割り込みプライオリティレジスタ>)

シリアルインタフェース割り込みの優先レベルを設定します。

各チャンネルごとに、割り込みの優先レベルを0~7の範囲で設定できます。

イニシャルリセット時、PSIOxは不定となります。

ESERR0, ESRX0, ESTX0: Ch.0割り込みイネーブル

(D0, D1, D2/0x40276<シリアルI/F割り込みイネーブルレジスタ>)

ESERR1, ESRX1, ESTX1: Ch.1割り込みイネーブル

(D3, D4, D5/0x40276<シリアルI/F割り込みイネーブルレジスタ>)

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

ESERRx、ESRXx、ESTXxは、それぞれ各チャンネルの受信エラー、受信バッファフル、送信バッファエンブティの割り込み要因に対応する割り込みイネーブルビットで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

イニシャルリセット時、割り込みイネーブルレジスタは"0"(割り込み禁止)に設定されます。

FSERR0, FSRX0, FSTX0: Ch.0割り込み要因フラグ

(D0, D1, D2/0x40286<シリアルI/F割り込み要因フラグレジスタ>)

FSERR1, FSRX1, FSTX1: Ch.1割り込み要因フラグ

(D3, D4, D5/0x40286<シリアルI/F割り込み要因フラグレジスタ>)

シリアルインタフェース割り込みの発生状態を示します。

- 読み出し時

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

- リセットオンリー方式書き込み時 (デフォルト)

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

- リード/ライト方式書き込み時

"1"書き込み: 要因フラグをセット

"0"書き込み: 要因フラグをリセット

FSERRx、FSRXx、FSTXxフラグは、それぞれ各チャンネルの受信エラー、受信バッファフル、送信バッファエンブティの割り込みに対応する割り込み要因フラグで、それぞれの要因の発生により"1"にセットされます。

送信バッファエンブティ割り込み要因は、送信データが送信データレジスタからシフトレジスタに転送されたところで発生します。

受信バッファフル割り込み要因は、受信データがシフトレジスタから受信データレジスタに転送されたところで発生します。

受信エラー割り込み要因は、データ受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された場合に発生します。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み要因の発生により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。

割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。

イニシャルリセット時、これらのフラグはすべて不定となりますので、必ずソフトウェアでリセットしてください。

プログラミング上の注意事項

- (1) シリアルインタフェースの各種設定は、送受信が禁止の状態(TXENx = RXENx = "0")で行ってください。
- (2) シリアルインタフェースが送信(受信)中は、TXENx(RXENx)を"0"に設定しないでください。また、slp命令も実行しないでください。
- (3) クロック同期式転送は送受信で共通のクロックラインを使用する半二重通信です。したがって、TXENxとRXENxを同時に許可に設定することはできません。
- (4) イニシャルリセット後、割り込み要因フラグは不定となります。不要な割り込みの発生を防止するため、必ずプログラムでリセットしてください。
- (5) 受信エラーが発生した場合、受信エラー割り込み要因と受信バッファフル割り込み要因が同時に発生します。ただし、受信エラー割り込みの優先順位が受信バッファフル割り込みよりも高く設定されていますので、受信エラー割り込みの処理が先に実行されます。このため、受信エラー割り込み処理の中で受信バッファフル割り込み要因フラグをリセットする必要があります。
- (6) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。
- (7) シリアルインタフェースは、次の手順で初期設定してください。

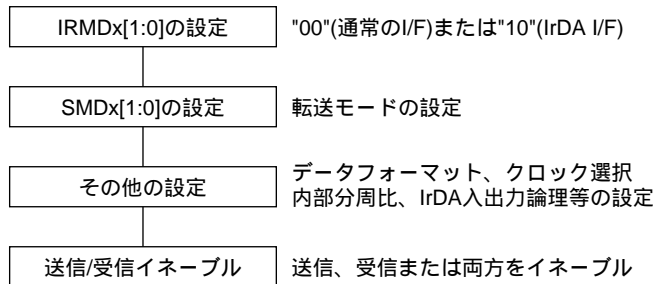


図8.18 シリアルインタフェースの初期設定手順

- (8) クロック同期式マスタモードで送信する場合、(7)のフローに従って初期設定を行った後、必要に応じて送信データを送信データレジスタに書き込みます。ただし、この書き込みは8ビットタイマからのクロックがシリアルインタフェースに供給されている状態(具体的には最低1回は8ビットタイマのアンダーフローを発生させる)で行ってください。これ以外の場合、書き込んだ送信データの前に0xFFが送信されます。
- (9) シリアルインタフェースの転送レートは、最大1Mbpsと規定します。
- (10) 受信途中で受信回路を止める場合は、送信・受信ともに禁止に設定してください。

このページはblankです。

III-9 入出力ポート

C33周辺回路ブロックは29本の入出力端子を持っています。それぞれ、内部周辺回路の入出力端子として使用されますが、周辺回路用に使用しない端子については、汎用の入出力ポートとして使用することができます。この章では、汎用入出力ポートとして使用する場合の機能と制御方法について説明します。

入出力兼用ポート (Pポート)

入出力兼用ポートの構成

C33周辺回路ブロックは、プログラムにより入出力方向の切り換えが可能な29ビットの入出力兼用ポート (P00 ~ P07、P10 ~ P16、P20 ~ P27、P30 ~ P35)を内蔵しています。

図9.1に入出力兼用ポートの構造を示します。

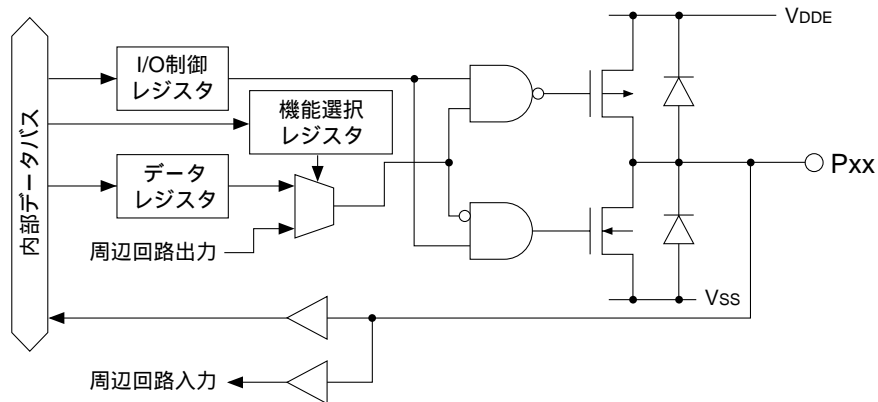


図9.1 入出力兼用ポートの構造

入出力兼用ポート端子

入出力端子は、表9.1に示すとおり周辺回路用の入出力端子を兼ねており、入出力兼用ポートとして使用するか、周辺回路用に使用するかを機能選択レジスタによってビット単位に設定できるようになっています。周辺回路用に使用しない端子は、すべて汎用入出力兼用ポート端子として使用できます。

表9.1 入出力端子

端子名	I/O	Pull-up	機 能	機能選択ビット
P00/SIN0	I/O	–	入出力兼用ポート/シリアルIF Ch.0データ入力	CFP00(P0機能選択レジスタ0x402D0•D0)
P01/SOUT0	I/O	–	入出力兼用ポート/シリアルIF Ch.0データ出力	CFP01(P0機能選択レジスタ0x402D0•D1)
P02/#SCLK0	I/O	–	入出力兼用ポート/シリアルIF Ch.0クロック入出力	CFP02(P0機能選択レジスタ0x402D0•D2)
P03/#SRDY0	I/O	–	入出力兼用ポート/シリアルIF Ch.0レディ入出力	CFP03(P0機能選択レジスタ0x402D0•D3)
P04/SIN1	I/O	–	入出力兼用ポート/シリアルIF Ch.1データ入力	CFP04(P0機能選択レジスタ0x402D0•D4)
P05/SOUT1	I/O	–	入出力兼用ポート/シリアルIF Ch.1データ出力	CFP05(P0機能選択レジスタ0x402D0•D5)
P06/#SCLK1	I/O	–	入出力兼用ポート/シリアルIF Ch.1クロック入出力	CFP06(P0機能選択レジスタ0x402D0•D6)
A23/P07/ #SRDY	I/O	–	アドレスバス(A23)/入出力兼用ポート/シリアルIF Ch.0データ入力	CFA23(アドレスバス機能選択レジスタ0x40300•D7) CFP07(P0機能選択レジスタ0x402D0•D7)
P10/EXCL0/ T8UF0/DST0 *	I/O	–	入出力兼用ポート/16bitタイマ0イベントカウンタ入力(I) / 8bitタイマ0出力(O) / DST0出力(Ex)	CFP10(P1機能選択レジスタ0x402D4•D0) CFEX1(ポート機能拡張レジスタ0x402DF•D1)
P11/EXCL1/ T8UF1/DST1 *	I/O	–	入出力兼用ポート/16bitタイマ1イベントカウンタ入力(I) / 8bitタイマ1出力(O) / DST1出力(Ex)	CFP11(P1機能選択レジスタ0x402D4•D1) CFEX1(ポート機能拡張レジスタ0x402DF•D1)
P12/EXCL2/ T8UF2/DST2 *	I/O	–	入出力兼用ポート/16bitタイマ2イベントカウンタ入力(I) / 8bitタイマ2出力(O) / DST2出力(Ex)	CFP12(P1機能選択レジスタ0x402D4•D2) CFEX0(ポート機能拡張レジスタ0x402DF•D0)
P13/EXCL3/ T8UF3/DPCO *	I/O	–	入出力兼用ポート/16bitタイマ3イベントカウンタ入力(I) / 8bitタイマ3出力(O) / DPCO出力(Ex)	CFP13(P1機能選択レジスタ0x402D4•D3) CFEX1(ポート機能拡張レジスタ0x402DF•D1)
P14/FOSC1/ DCLK *	I/O	–	入出力兼用ポート/低速(OSC1)クロック出力/DCLK出力(Ex)	CFP14(P1機能選択レジスタ0x402D4•D4) CFEX0(ポート機能拡張レジスタ0x402DF•D0)
#CE4/P15/ EXCL4	I/O	–	エリア4チップインーブル/入出力兼用ポート/16bitタイマ4イベントカウンタ入力(I)	CFCE4(チップインーブル機能選択レジスタ0x40301•D0) CFP15(P1機能選択レジスタ0x402D4•D5)
#CE5/P16/ EXCL5	I/O	–	エリア5チップインーブル/入出力兼用ポート/16bitタイマ5イベントカウンタ入力(I)	CFCE5(チップインーブル機能選択レジスタ0x40301•D1) CFP16(P1機能選択レジスタ0x402D4•D6)

(I): 入力モード, (O): 出力モード, (Ex): 拡張機能

*: P10～P14端子は3V系I/O電圧のみ使用可能です。

端子名	I/O	Pull-up	機 能	機能選択ビット
#CE6/P20/#DRD	I/O	–	エリア6チップインーブル/入出力兼用ポート/ #DRD出力	CFCE6(チップインーブル機能選択レジスタ0x40301•D2) CFP20(P2機能選択レジスタ0x402D8•D0)
#CE7/P21/ #DWE/#GAAS	I/O	–	エリア7チップインーブル/入出力兼用ポート/ #DWE出力/GAアドレスストロブ出力(Ex)	CFCE7(チップインーブル機能選択レジスタ0x40301•D3) CFP21(P2機能選択レジスタ0x402D8•D1) CFEX2(ポート機能拡張レジスタ0x402DF•D2)
P22/TM0	I/O	–	入出力兼用ポート/16bitタイマ0出力	CFP22(P2機能選択レジスタ0x402D8•D2)
P23/TM1	I/O	–	入出力兼用ポート/16bitタイマ1出力	CFP23(P2機能選択レジスタ0x402D8•D3)
P24/TM2	I/O	–	入出力兼用ポート/16bitタイマ2出力	CFP24(P2機能選択レジスタ0x402D8•D4)
P25/TM3	I/O	–	入出力兼用ポート/16bitタイマ3出力	CFP25(P2機能選択レジスタ0x402D8•D5)
P26/TM4	I/O	–	入出力兼用ポート/16bitタイマ4出力	CFP26(P2機能選択レジスタ0x402D8•D6)
P27/TM5	I/O	–	入出力兼用ポート/16bitタイマ5出力	CFP27(P2機能選択レジスタ0x402D8•D7)
P30/#WAIT/ #CE4&5	I/O	–	入出力兼用ポート/#WAIT入力(I)/#CE4&5出力(O)	CFP30(P3機能選択レジスタ0x402DC•D0)
#CE8/P31/ #BUSGET/ #GARD	I/O	–	エリア8チップインーブル/入出力兼用ポート/ #BUSGET出力/GAリード信号出力(Ex)	CFCE8(チップインーブル機能選択レジスタ0x40301•D4) CFP31(P3機能選択レジスタ0x402DC•D1) CFEX3(ポート機能拡張レジスタ0x402DF•D3)
#CE9/P32	I/O	–	エリア9チップインーブル/入出力兼用ポート	CFCE9(チップインーブル機能選択レジスタ0x40301•D5)

(I): 入力モード, (O): 出力モード, (Ex): 拡張機能

端子名	I/O	Pull-up	機 能	機能選択ビット
A20/P33	I/O	—	アドレスバス (A20) / 入出力兼用ポート	CFA20(アドレスバス機能選択レジスタ 0x40300•D4)
A21/P34/ #BUSREQ/#CE6	I/O	—	アドレスバス (A21) / 入出力兼用ポート/ #BUSREQ入力(I)/#CE6出力(O)	CFA21(アドレスバス機能選択レジスタ 0x40300•D5) CFP34(P3機能選択レジスタ0x402DC•D4)
A22/P35/ #BUSACK	I/O	—	アドレスバス (A22) / 入出力兼用ポート/ #BUSACK出力	CFA22(アドレスバス機能選択レジスタ 0x40300•D6) CFP35(P3機能選択レジスタ0x402DC•D5)

(I): 入力モード, (O): 出力モード, (Ex): 拡張機能

コールドスタート時は、すべて入出力兼用ポート端子P_{xx}(機能選択ビットCFP_{xx}="0")に設定されます。内蔵周辺回路に使用する場合は、CFP_{xx}に"1"を書き込んでください。その場合の機能の詳細は、各周辺回路の説明を参照してください。ホットスタート時は、リセット前の状態を保持します。

P10～P13、P30およびP34端子は入出力兼用ポートの他に、それぞれ2種類(P10～P13は3種類)の周辺回路と共用されます。そのどちらの周辺回路用を使用するかは、後述するI/O制御レジスタによる入出力方向の設定によって決まります。

P10～P14、P21およびP31ポートは表中の(Ex)で示される拡張機能を持っています。それらの機能は、ポート機能拡張レジスタ(0x402DF)のCFEX_xに"1"を書き込むことで選択されます。

CFEX_xの設定はCFP_{xx}に優先します。コールドスタート時、CFEX1とCFEX0は"1"に設定され、P10～P14ポートがデバッグ用信号出力ポートとして機能します。

I/O制御レジスタと入力/出力モード

入出力兼用ポートは、それぞれのビットに対応したI/O制御レジスタにデータを書き込むことによって、入力モードあるいは出力モードに設定されます。

P07～P00用I/O制御: IOC0[7:0] (P0 I/O制御レジスタ0x402D2•D[7:0])

P16～P10用I/O制御: IOC1[6:0] (P1 I/O制御レジスタ0x402D6•D[6:0])

P27～P20用I/O制御: IOC2[7:0] (P2 I/O制御レジスタ0x402DA•D[7:0])

P35～P30用I/O制御: IOC3[5:0] (P3 I/O制御レジスタ0x402DE•D[5:0])

入力モードに設定する場合はI/O制御レジスタに"0"を書き込みます。入力モードに設定された入出力兼用ポートは、ハイインピーダンス状態となり入力ポートとして機能します。

入力モード時の読み出しでは入力端子の状態が直接読み込まれ、そのデータは入力端子がHigh(V_{DD})レベルのときに"1"、Low(V_{SS})レベルのときに"0"となります。

入力モード時においても、端子の状態に影響を与えることなくデータレジスタに対して書き込みは行えます。

出力モードに設定する場合はI/O制御レジスタに"1"を書き込みます。出力モードに設定された入出力兼用ポートは出力ポートとして機能し、ポート出力データが"1"の場合にHigh(V_{DD})レベル、"0"の場合にLow(V_{SS})レベルを出力します。

コールドスタート時、I/O制御レジスタは"0"(入力モード)に設定されます。

ホットスタート時は、リセット前の状態を保持します。

注: P10～P13、P30およびP34を周辺回路用の端子に設定した場合は、IOC1_xによる入出力方向制御により端子機能が変わります。

入出力兼用ポートのI/Oメモリ

表9.2に入出力兼用ポートの制御ビットを示します。

表9.2 入出力兼用ポートの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
P0機能選択 レジスタ	00402D0 (B)	D7	CFP07	P07機能選択	1	#SRDY1	0	P07	0	R/W	拡張機能(0x402DF)
		D6	CFP06	P06機能選択	1	#SCLK1	0	P06	0	R/W	
		D5	CFP05	P05機能選択	1	SOUT1	0	P05	0	R/W	
		D4	CFP04	P04機能選択	1	SIN1	0	P04	0	R/W	
		D3	CFP03	P03機能選択	1	#SRDY0	0	P03	0	R/W	
		D2	CFP02	P02機能選択	1	#SCLK0	0	P02	0	R/W	
		D1	CFP01	P01機能選択	1	SOUT0	0	P01	0	R/W	
		D0	CFP00	P00機能選択	1	SIN0	0	P00	0	R/W	
P0入出力兼用 ポートデータ レジスタ	00402D1 (B)	D7	P07D	P07入出力兼用ポートデータ	1	High	0	Low	0	R/W	
		D6	P06D	P06入出力兼用ポートデータ					0	R/W	
		D5	P05D	P05入出力兼用ポートデータ					0	R/W	
		D4	P04D	P04入出力兼用ポートデータ					0	R/W	
		D3	P03D	P03入出力兼用ポートデータ					0	R/W	
		D2	P02D	P02入出力兼用ポートデータ					0	R/W	
		D1	P01D	P01入出力兼用ポートデータ					0	R/W	
		D0	P00D	P00入出力兼用ポートデータ					0	R/W	
P0 I/O制御 レジスタ	00402D2 (B)	D7	IOC07	P07 I/O制御	1	出力	0	入力	0	R/W	
		D6	IOC06	P06 I/O制御					0	R/W	
		D5	IOC05	P05 I/O制御					0	R/W	
		D4	IOC04	P04 I/O制御					0	R/W	
		D3	IOC03	P03 I/O制御					0	R/W	
		D2	IOC02	P02 I/O制御					0	R/W	
		D1	IOC01	P01 I/O制御					0	R/W	
		D0	IOC00	P00 I/O制御					0	R/W	
P1機能選択 レジスタ	00402D4 (B)	D7	—	reserved		—			—	—	読み出し時: 0
		D6	CFP16	P16機能選択	1	EXCL5	0	P16	0	R/W	拡張機能(0x402DF)
		D5	CFP15	P15機能選択	1	EXCL4	0	P15	0	R/W	
		D4	CFP14	P14機能選択	1	FOSC1	0	P14	0	R/W	
		D3	CFP13	P13機能選択	1	EXCL3 T8UF3	0	P13	0	R/W	
		D2	CFP12	P12機能選択	1	EXCL2 T8UF2	0	P12	0	R/W	
		D1	CFP11	P11機能選択	1	EXCL1 T8UF1	0	P11	0	R/W	
		D0	CFP10	P10機能選択	1	EXCL0 T8UF0	0	P10	0	R/W	
P1入出力兼用 ポートデータ レジスタ	00402D5 (B)	D7	—	reserved		—			—	—	読み出し時: 0
		D6	P16D	P16入出力兼用ポートデータ	1	High	0	Low	0	R/W	
		D5	P15D	P15入出力兼用ポートデータ					0	R/W	
		D4	P14D	P14入出力兼用ポートデータ					0	R/W	
		D3	P13D	P13入出力兼用ポートデータ					0	R/W	
		D2	P12D	P12入出力兼用ポートデータ					0	R/W	
		D1	P11D	P11入出力兼用ポートデータ					0	R/W	
		D0	P10D	P10入出力兼用ポートデータ					0	R/W	
P1 I/O制御 レジスタ	00402D6 (B)	D7	—	reserved		—			—	—	読み出し時: 0
		D6	IOC16	P16 I/O制御	1	出力	0	入力	0	R/W	
		D5	IOC15	P15 I/O制御					0	R/W	
		D4	IOC14	P14 I/O制御					0	R/W	
		D3	IOC13	P13 I/O制御					0	R/W	
		D2	IOC12	P12 I/O制御					0	R/W	
		D1	IOC11	P11 I/O制御					0	R/W	
		D0	IOC10	P10 I/O制御					0	R/W	
P2機能選択 レジスタ	00402D8 (B)	D7	CFP27	P27機能選択	1	TM5	0	P27	0	R/W	拡張機能(0x402DF)
		D6	CFP26	P26機能選択	1	TM4	0	P26	0	R/W	
		D5	CFP25	P25機能選択	1	TM3	0	P25	0	R/W	
		D4	CFP24	P24機能選択	1	TM2	0	P24	0	R/W	
		D3	CFP23	P23機能選択	1	TM1	0	P23	0	R/W	
		D2	CFP22	P22機能選択	1	TM0	0	P22	0	R/W	
		D1	CFP21	P21機能選択	1	#DWE	0	P21	0	R/W	
		D0	CFP20	P20機能選択	1	#DRD	0	P20	0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈					
P2入出力兼用 ポートデータ レジスタ	00402D9 (B)	D7	P27D	P27入出力兼用ポートデータ	1	High	0	Low	0	R/W					
		D6	P26D	P26入出力兼用ポートデータ					0	R/W					
		D5	P25D	P25入出力兼用ポートデータ					0	R/W					
		D4	P24D	P24入出力兼用ポートデータ					0	R/W					
		D3	P23D	P23入出力兼用ポートデータ					0	R/W					
		D2	P22D	P22入出力兼用ポートデータ					0	R/W					
		D1	P21D	P21入出力兼用ポートデータ					0	R/W					
		D0	P20D	P20入出力兼用ポートデータ					0	R/W					
		P2 I/O制御 レジスタ	00402DA (B)	D7					IOC27	P27 I/O制御		1	出力	0	入力
D6	IOC26			P26 I/O制御	0	R/W									
D5	IOC25			P25 I/O制御	0	R/W									
D4	IOC24			P24 I/O制御	0	R/W									
D3	IOC23			P23 I/O制御	0	R/W									
D2	IOC22			P22 I/O制御	0	R/W									
D1	IOC21			P21 I/O制御	0	R/W									
D0	IOC20			P20 I/O制御	0	R/W									
P3機能選択 レジスタ	00402DC (B)			D7-6	—	reserved	—			—	—				
		D5	CFP35	P35機能選択	1	#BUSACK	0	P35	0	R/W					
		D4	CFP34	P34機能選択	1	#BUSREQ #CE6	0	P34	0	R/W					
		D3-2	—	reserved	—			0	R/W	1書き込み禁止					
		D1	CFP31	P31機能選択	1	#BUSGET	0	P31	0	R/W	拡張機能(0x402DF)				
		D0	CFP30	P30機能選択	1	#WAIT #CE4/#CE5	0	P30	0	R/W					
P3入出力兼用 ポートデータ レジスタ	00402DD (B)	D7-6	—	reserved	—			—	—	読み出し時: 0					
		D5	P35D	P35入出力兼用ポートデータ	1	High	0	Low	0	R/W					
		D4	P34D	P34入出力兼用ポートデータ					0	R/W					
		D3	P33D	P33入出力兼用ポートデータ					0	R/W					
		D2	P32D	P32入出力兼用ポートデータ					0	R/W					
		D1	P31D	P31入出力兼用ポートデータ					0	R/W					
		D0	P30D	P30入出力兼用ポートデータ					0	R/W					
		P3 I/O制御 レジスタ	00402DE (B)	D7-6					—	reserved		—			—
D5	IOC35			P35 I/O制御					1	出力		0	入力	0	R/W
D4	IOC34			P34 I/O制御	0	R/W									
D3	IOC33			P33 I/O制御	0	R/W									
D2	IOC32			P32 I/O制御	0	R/W									
D1	IOC31			P31 I/O制御	0	R/W									
D0	IOC30			P30 I/O制御	0	R/W									
ポート機能拡張 レジスタ	00402DF (B)	D7-4	—	reserved	—			0			R/W			1書き込み禁止	
		D3	CFEX3	P31ポート機能拡張	1	#GARD	0	P31, etc.	0	R/W					
		D2	CFEX2	P21ポート機能拡張	1	#GAAS	0	P21, etc.	0	R/W					
		D1	CFEX1	P10, P11, P13ポート機能拡張	1	DST0 DST1 DPC0	0	P10, etc. P11, etc. P13, etc.	1	R/W					
		D0	CFEX0	P12, P14ポート機能拡張	1	DST2 DCLK	0	P12, etc. P14, etc.	1	R/W					
アドレスバス 機能選択 レジスタ	0040300	D7	CFA23	A23機能選択	1	P07 etc.	0	A23	0	R/W					
		D6	CFA22	A22機能選択	1	P35 etc.	0	A22	0	R/W					
		D5	CFA21	A21機能選択	1	P34 etc.	0	A21	0	R/W					
		D4	CFA20	A20機能選択	1	P33	0	A20	0	R/W					
		D3-0	—	reserved	—			—	—	読み出し時: 0					
チップ イネーブル 機能選択 レジスタ	0040301	D7-6	—	reserved	—			—	—	読み出し時: 0					
		D5	CFCE9	#CE9機能選択	1	P32	0	#CE9, etc.	0	R/W					
		D4	CFCE8	#CE8機能選択	1	P31, etc.	0	#CE8, etc.	0	R/W					
		D3	CFCE7	#CE7機能選択	1	P21, etc.	0	#CE7, etc.	0	R/W					
		D2	CFCE6	#CE6機能選択	1	P20, etc.	0	#CE6, etc.	0	R/W					
		D1	CFCE5	#CE5機能選択	1	P16, etc.	0	#CE5, etc.	0	R/W					
		D0	CFCE4	#CE4機能選択	1	P15, etc.	0	#CE4, etc.	0	R/W					

CFP07–CFP00: P0[7:0]機能選択(D[7:0]/0x402D0<P0機能選択レジスタ>)
CFP16–CFP10: P1[6:0]機能選択(D[6:0]/0x402D4<P1機能選択レジスタ>)
CFP27–CFP20: P2[7:0]機能選択(D[7:0]/0x402D8<P2機能選択レジスタ>)
CFP35–CFP30: P3[5:0]機能選択(D[5:0]/0x402DC<P3機能選択レジスタ>)

入出力兼用ポート端子の機能を選択します。

- "1"書き込み: 周辺回路用端子
- "0"書き込み: 入出力兼用ポート端子
- 読み出し: 可能

CFPレジスタのビットに"1"を書き込むと、対応する端子が周辺回路用に設定されます(表9.1参照)。
 "0"に設定されたビットに対応する端子は汎用入出力兼用ポート端子として使用可能です。

コールドスタート時、CFPは"0"(入出力兼用ポート端子)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

P07D–P00D: P0[7:0]入出力兼用ポートデータ(D[7:0]/0x402D1<P0入出力兼用ポートデータレジスタ>)
P16D–P10D: P1[6:0]入出力兼用ポートデータ(D[6:0]/0x402D5<P1入出力兼用ポートデータレジスタ>)
P27D–P20D: P2[7:0]入出力兼用ポートデータ(D[7:0]/0x402D9<P2入出力兼用ポートデータレジスタ>)
P35D–P30D: P3[5:0]入出力兼用ポートデータ(D[5:0]/0x402DD<P3入出力兼用ポートデータレジスタ>)

入出力兼用ポート端子のデータの読み出し、および出力データの設定を行います。

- データ書き込み時
 - "1"書き込み: Highレベル
 - "0"書き込み: Lowレベル

入出力兼用ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力兼用ポート端子に出力されます。ポートデータとして"1"を書き込んだ場合はポート端子はHigh(V_{DD})レベルとなり、
 "0"を書き込んだ場合はLow(V_{SS})レベルとなります。

入力モードの場合もポートデータの書き込みは行えます。

- データ読み出し時
 - "1"読み出し: Highレベル
 - "0"読み出し: Lowレベル

入出力兼用ポートが入力モード、出力モードにかかわらず、ポート端子の電圧レベルが読み出されます。
 端子電圧がHigh(V_{DD})レベルの場合は"1"、Low(V_{SS})レベルの場合は"0"がそれぞれ入力データとして読み出されます。

コールドスタート時、データビットはすべて"0"に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

IOC07–IOC00: P0[7:0]ポートI/O制御(D[7:0]/0x402D2<P0 I/O制御レジスタ>)
IOC16–IOC10: P1[6:0]ポートI/O制御(D[6:0]/0x402D6<P1 I/O制御レジスタ>)
IOC27–IOC20: P2[7:0]ポートI/O制御(D[7:0]/0x402DA<P2 I/O制御レジスタ>)
IOC35–IOC30: P3[5:0]ポートI/O制御(D[5:0]/0x402DE<P3 I/O制御レジスタ>)

入出力兼用ポートの入力/出力モードを設定します。

- "1"書き込み: 出力モード
- "0"書き込み: 入力モード
- 読み出し: 無効

IOCレジスタは各入出力兼用ポートにビット単位で対応するI/O制御レジスタです。IOCビットを"1"に設定すると対応する入出力兼用ポートが出力モードとなり、
 "0"に設定すると入力モードとなります。

コールドスタート時、IOCはすべて"0"(入力モード)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

入出力兼用ポート端子を周辺回路用の端子に設定した場合、P10～P14、P15～P16、P30、P31、P34はIOC1x、
 IOC3xによる入出力方向制御により端子機能が変わります。

CFEX0: P12, P14機能拡張(D0/0x402DF<ポート機能拡張レジスタ>)
CFEX1: P10, P11, P13機能拡張(D1/0x402DF<ポート機能拡張レジスタ>)
CFEX2: P21機能拡張(D2/0x402DF<ポート機能拡張レジスタ>)
CFEX3: P31機能拡張(D3/0x402DF<ポート機能拡張レジスタ>)

入出力兼用ポート端子の拡張機能を選択します。

"1"書き込み: 拡張機能端子
 "0"書き込み: 入出力兼用ポート端子/周辺回路用端子
 読み出し: 無効

CFEXxに"1"を書き込むと、対応する端子が拡張機能用の入出力端子に設定されます。CFEXxが"0"の場合はCFPビットが有効となります。

コールドスタート時、CFEX0およびCFEX1は"1"(拡張機能端子)に設定され、その他のビットは"0"(入出力兼用ポート端子/周辺回路用端子)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

CFA20: A20機能選択(D4/0x40300<アドレスバス機能選択レジスタ>)
CFA21: A21機能選択(D5/0x40300<アドレスバス機能選択レジスタ>)
CFA22: A22機能選択(D6/0x40300<アドレスバス機能選択レジスタ>)
CFA23: A23機能選択(D7/0x40300<アドレスバス機能選択レジスタ>)

アドレスバス端子の拡張機能を選択します。

"1"書き込み: 入出力兼用ポート端子 / バス制御端子
 "0"書き込み: アドレスバス端子
 読み出し: 可能

CFA20 に "1" を書き込むと、入出力兼用ポート端子 (P33) に設定され、"0"の場合はアドレスバス端子に設定されます。

CFA21, CFA22 および CFA23に"1"を書き込むと、それぞれ CFP34, CFP35, CFP07ビットが有効となり、"0"の場合はアドレスバス端子に設定されます。

コールドスタート時、CFA2xは "0" (アドレスバス端子) に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

CFCE4: #CE4機能選択(D0/0x40301<チップイネーブル機能選択レジスタ>)
CFCE5: #CE5機能選択(D1/0x40301<チップイネーブル機能選択レジスタ>)
CFCE6: #CE6機能選択(D2/0x40301<チップイネーブル機能選択レジスタ>)
CFCE7: #CE7機能選択(D3/0x40301<チップイネーブル機能選択レジスタ>)
CFCE8: #CE8機能選択(D4/0x40301<チップイネーブル機能選択レジスタ>)
CFCE9: #CE9機能選択(D5/0x40301<チップイネーブル機能選択レジスタ>)

チップイネーブル端子の拡張機能を選択します。

"1"書き込み: 入出力兼用ポート端子 / バス制御端子 / 周辺回路用端子
 "0"書き込み: チップイネーブル端子
 読み出し: 可能

CFCE4, CFCE5, CFCE6, CFCE7およびCFCE8に"1"を書き込むと、それぞれCFP15, CFP16, CFP20, CFP21およびCFP31ビットが有効となり、"0"の場合は、チップイネーブル端子に設定されます。

CFCE9に"1"を書き込むと入出力兼用ポート端子 (P32) に設定され、"0"の場合は、エリア9チップイネーブル端子に設定されます。

すべてコールドスタート時は"0" (チップイネーブル端子) に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

入力割り込み

入力ポートと入出力兼用ポートは8系列のポート入力割り込みと2系列のキー入力割り込みをサポートしています。

ポート入力割り込み

ポート入力割り込み回路は8本の割り込み系列(FPT7～FPT0)を持ち、それぞれの割り込み要因を発生するポートを選択することができます。

割り込み条件についても、入力信号のエッジで割り込みを発生させるか、レベルによって発生させるか選択可能です。

図9.2にポート入力割り込み回路の構成を示します。

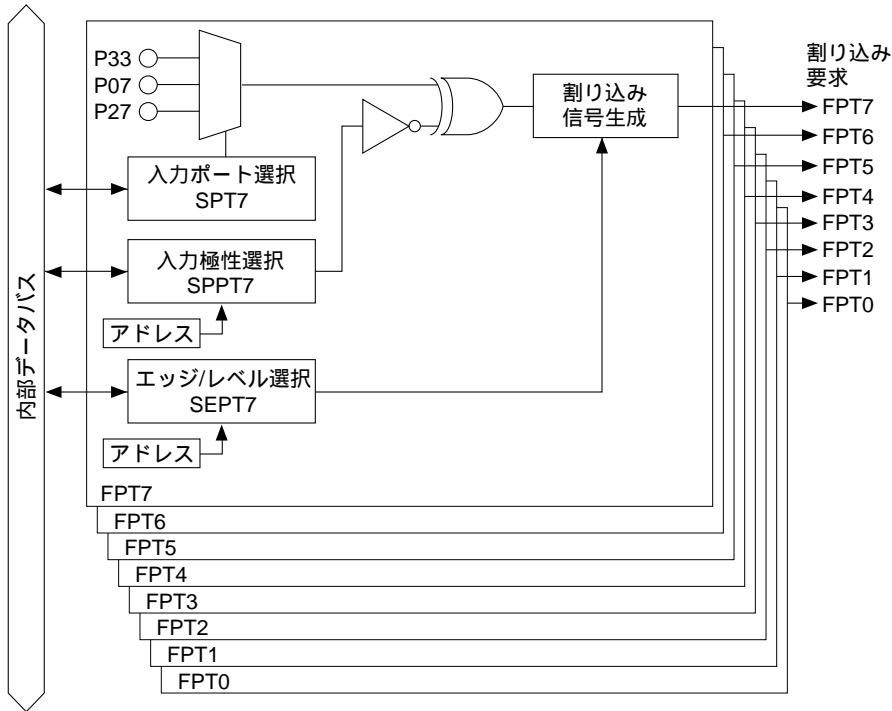


図9.2 ポート入力割り込み回路の構成

入力端子の選択

各割り込み要因ごとに、入力端子を既定の4本の中から選択できます。

表9.3に各要因で選択可能な入力端子と選択に使用する制御ビットを示します。

表9.3 ポート入力割り込み用入力端子の選択

割り込み 要因	制御ビット	SPT設定			
		11	10	01	00
FPT7	SPT7[1:0] (ポート入力割り込み選択レジスタ2 0x402C7•D[7:6])	P27	P07	P33	—
FPT6	SPT6[1:0] (ポート入力割り込み選択レジスタ2 0x402C7•D[5:4])	P26	P06	P32	—
FPT5	SPT5[1:0] (ポート入力割り込み選択レジスタ2 0x402C7•D[3:2])	P25	P05	P31	—
FPT4	SPT4[1:0] (ポート入力割り込み選択レジスタ2 0x402C7•D[1:0])	P24	P04	—	—
FPT3	SPT3[1:0] (ポート入力割り込み選択レジスタ1 0x402C6•D[7:6])	P23	P03	—	—
FPT2	SPT2[1:0] (ポート入力割り込み選択レジスタ1 0x402C6•D[5:4])	P22	P02	—	—
FPT1	SPT1[1:0] (ポート入力割り込み選択レジスタ1 0x402C6•D[3:2])	P21	P01	—	—
FPT0	SPT0[1:0] (ポート入力割り込み選択レジスタ1 0x402C6•D[1:0])	P20	P00	—	—

ポート入力割り込みの発生条件

各ポート入力割り込みは、入力信号のエッジまたはレベルで発生させることができます。エッジとレベルの選択は、ポート入力割り込みエッジ/レベル選択レジスタ(0x402C9)のSEPTxビットで行います。SEPTxを"1"に設定するとFPTx割り込みは入力信号のエッジで発生し、"0"を設定すると信号レベルで発生します。

また、割り込みを発生させる信号の極性を、ポート入力割り込み入力極性選択レジスタ(0x402C8)のSPPTxビットで選択します。

これらのレジスタにより、ポート入力割り込み条件は表9.4のように決まります。

表9.4 ポート入力割り込み発生条件

SEPTx	SPPTx	FPTx割り込み条件
1	1	立ち上がりエッジ
1	0	立ち下がりエッジ
0	1	Highレベル
0	0	Lowレベル

入力信号が指定された状態に変化すると、割り込み要因フラグFPが"1"にセットされ、割り込みコントローラによる他の割り込み条件が整っていれば割り込みを発生します。

注： HALT2モードまたはSLEEPモードから再起動するトリガとしてポート入力割り込みを使う場合、割り込み条件としてエッジを設定していても、割り込みは入力信号のレベルで発生します。

キー入力割り込み

キー入力割り込み回路は2本の割り込み系列(FPK1、FPK0)を持ち、それぞれの割り込み要因を発生するポートの組み合わせを選択することができます。
割り込み条件についても、ソフトウェアで選択可能です。
図9.3にキー入力割り込み回路の構成を示します。

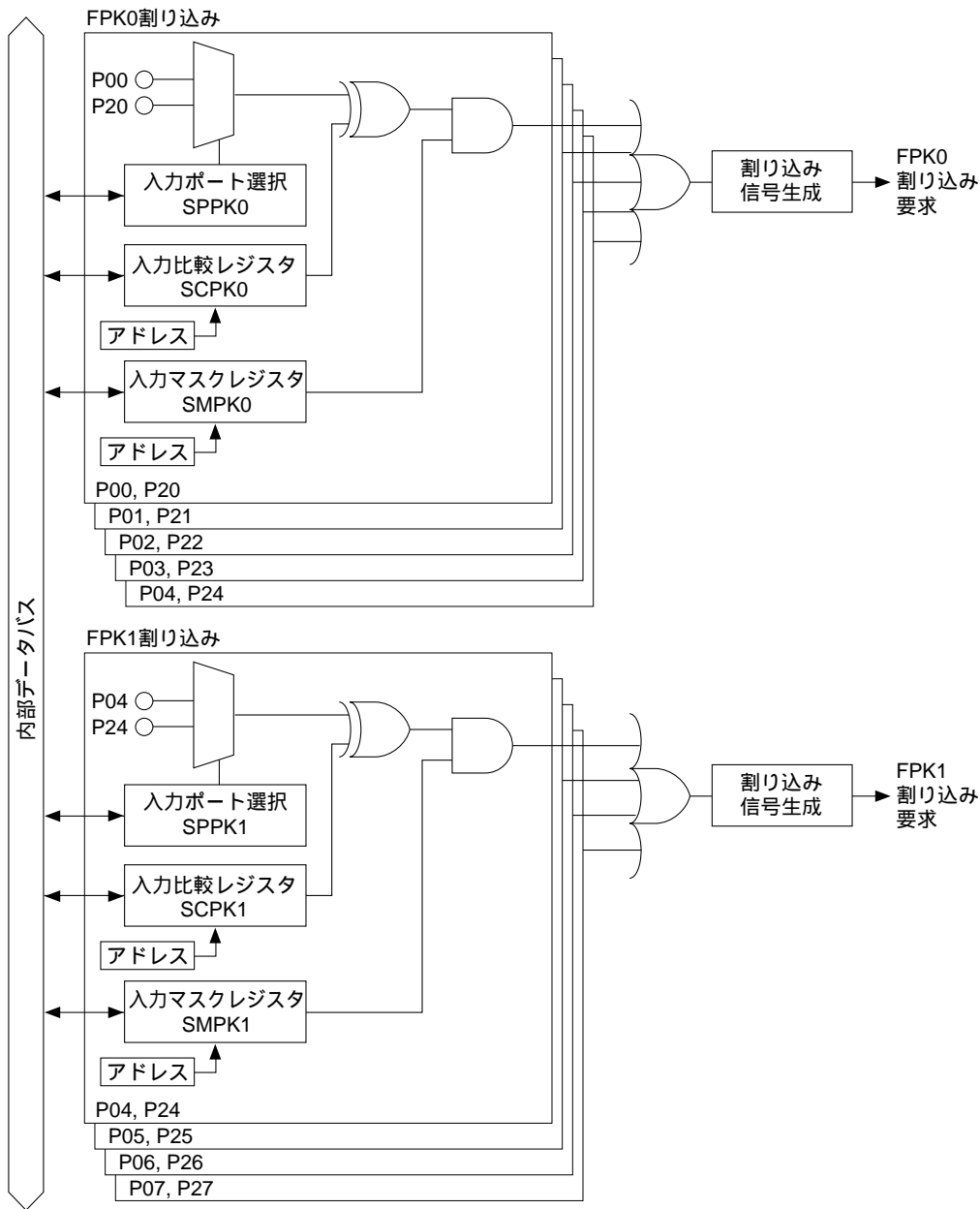


図9.3 キー入力割り込み回路の構成

入力端子の選択

FPK1割り込みには、4ビットの入力端子系列を既定の4種類の中から選択できます。FPK0割り込みには、5ビットの入力端子系列を選択できます。

表9.5に各要因で選択可能な入力端子系列と選択に使用する制御ビットを示します。

表9.5 キー入力割り込み用入力端子の選択

割り込み 要因	制御ビット	SPPK設定			
		11	10	01	00
FPK1	SPPK1[1:0] (キー入力割り込み選択レジスタ0x402CA•D[3:2])	P2[7:4]	P0[7:4]	—	—
FPK0	SPPK0[1:0] (キー入力割り込み選択レジスタ0x402CA•D[1:0])	P2[4:0]	P0[4:0]	—	—

キー入力割り込み発生条件

キー入力割り込み回路には、入力割り込み条件を設定する入力マスクレジスタ(FPK0用: SMPK0 [4:0]、FPK1用: SMPK1[3:0])と入力比較レジスタ(FPK0用: SCPK0[4:0]、FPK1用: SCPK0[3:0])が設けられています。

入力マスクレジスタSMPKは、入力端子系列内で割り込みに使用しない入力端子を選択します。割り込みコントローラの割り込みイネーブルレジスタが割り込み系列ごとの割り込み要因をマスクするのにに対し、入力マスクレジスタSMPKは入力端子個別にマスク設定を行います。

入力比較レジスタSCPKは、各入力ポートの割り込みを入力の立ち上がりエッジで発生させるか、立ち下がりエッジで発生させるかを選択します。

入力マスクレジスタSMPKによって割り込みが許可されている入力端子と入力比較レジスタSCPKとの内容が一致状態から不一致状態に変化すると、割り込み要因フラグFKが"1"にセットされ、他の割り込み条件が整っていれば割り込みを発生します。

図9.4にFPK0の割り込み発生例を示します。なお、割り込みコントローラの制御レジスタはFPK0割り込みが発生可能な状態に設定されているものとします。

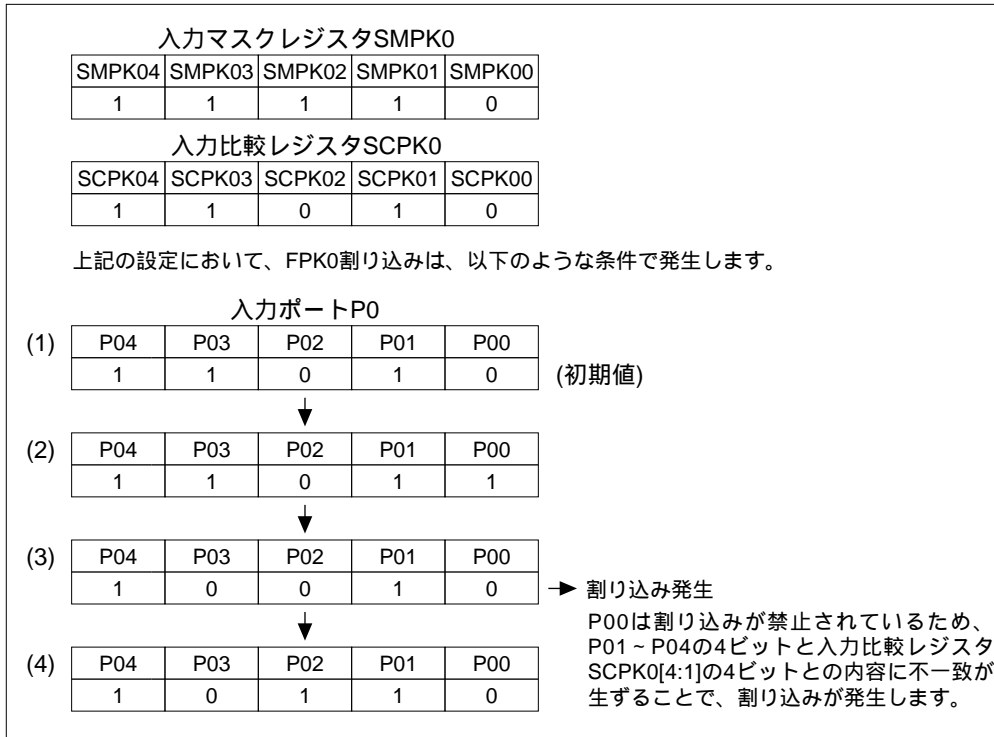


図9.4 FPK0割り込み発生例(SPPK[1:0]でP0[4:0]が選択されている場合)

P00は入力マスクビットSMPK00によって割り込みが禁止されているため、(2)の時点では割り込みは発生しません。

次に(3)でP03が"0"になるため、割り込みが許可されている入力端子P0[4:1]のデータと入力比較レジスタSCPK[4:1]のデータとの不一致により割り込みが発生します。

前述のとおり、入力データと入力比較レジスタSCPKの内容が一致状態から不一致状態に変化することが割り込み発生条件となるため、(4)のように不一致状態から、別の不一致状態に変化しても割り込みは発生しません。したがって、割り込み発生後に再度割り込みを発生させる場合は、入力端子の状態を一度入力比較レジスタSCPKと同じ内容に戻すか、入力比較レジスタSCPKを再設定する必要があります。なお、SMPKによって割り込みが禁止されている入力端子については割り込み発生条件に影響を与えません。

FPK1についても同様に割り込みが発生します。

割り込みコントローラの制御レジスタ

各入力割り込み系列ごとに用意されている割り込みコントローラの制御レジスタを、表9.6に示します。

表9.6 割り込みコントローラの制御レジスタ

割り込み系列	割り込み要因フラグ	割り込みイネーブルレジスタ	割り込みプライオリティレジスタ
FPT7	FP7(D5/0x40287)	EP7(D5/0x40277)	PP7L[2:0](D[6:4]/0x4026D)
FPT6	FP6(D4/0x40287)	EP6(D4/0x40277)	PP6L[2:0](D[2:0]/0x4026D)
FPT5	FP5(D3/0x40287)	EP5(D3/0x40277)	PP5L[2:0](D[6:4]/0x4026C)
FPT4	FP4(D2/0x40287)	EP4(D2/0x40277)	PP4L[2:0](D[2:0]/0x4026C)
FPT3	FP3(D3/0x40280)	EP3(D3/0x40270)	PP3L[2:0](D[6:4]/0x40261)
FPT2	FP2(D2/0x40280)	EP2(D2/0x40270)	PP2L[2:0](D[2:0]/0x40261)
FPT1	FP1(D1/0x40280)	EP1(D1/0x40270)	PP1L[2:0](D[6:4]/0x40260)
FPT0	FP0(D0/0x40280)	EP0(D0/0x40270)	PP0L[2:0](D[2:0]/0x40260)
FPK1	FK1(D5/0x40280)	EK1(D5/0x40270)	PK1L[2:0](D[6:4]/0x40262)
FPK0	FK0(D4/0x40280)	EK0(D4/0x40270)	PK0L[2:0](D[2:0]/0x40262)

前述の入力割り込み発生条件が成立すると、それぞれに対応した割り込み要因フラグが"1"にセットされます。その割り込み要因に対応する割り込みイネーブルレジスタのビットが"1"に設定されていると割り込み要求が発生します。

割り込みイネーブルレジスタのビットを"0"に設定しておくことにより、その要因による割り込みを禁止することもできます。割り込み要因フラグは、割り込みイネーブルレジスタの設定にかかわらず("0"に設定されていても)、割り込み条件の成立によって"1"にセットされます。

割り込みプライオリティレジスタは、割り込み系列ごとの割り込みの優先レベル(0~7)を設定します。CPUに対する割り込み要求は、他に優先レベルの高い割り込み要求が発生していないことが条件となります。

また、入力割り込み要求を実際にCPUが受け付けるのは、PSRのIEビットが"1"(割り込み許可)に、ILが割り込みプライオリティレジスタで設定した入力割り込みのレベルよりも小さな値に設定されている場合に限られます。

これらの割り込み制御レジスタの詳細と割り込み発生時の動作については"ITC(割り込みコントローラ)"を参照してください。

トラップベクタ

各入力割り込み要因のトラップベクタアドレスは、デフォルトでそれぞれ以下のとおり設定されています。

FPT0入力割り込み:	0x0C00040
FPT1入力割り込み:	0x0C00044
FPT2入力割り込み:	0x0C00048
FPT3入力割り込み:	0x0C0004C
FPK0入力割り込み:	0x0C00050
FPK1入力割り込み:	0x0C00054
FPT4入力割り込み:	0x0C00110
FPT5入力割り込み:	0x0C00114
FPT6入力割り込み:	0x0C00118
FPT7入力割り込み:	0x0C0011C

なお、トラップテーブルのベースアドレスはTTBRレジスタ(0x48134～0x48137)で変更することも可能です。

入力割り込みのI/Oメモリ

表9.7にポート入力割り込みおよびキー入力割り込みの制御ビットを示します。

表9.7 入力割り込みの制御ビット

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
ポート入力 割り込み0/1 プライオリティ レジスタ	0040260 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP1L2	ポート入力1	0 ~ 7	X	R/W	
		D5	PP1L1	割り込みレベル		X		
		D4	PP1L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP0L2	ポート入力0	0 ~ 7	X	R/W	
		D1	PP0L1	割り込みレベル		X		
		D0	PP0L0			X		
ポート入力 割り込み2/3 プライオリティ レジスタ	0040261 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP3L2	ポート入力3	0 ~ 7	X	R/W	
		D5	PP3L1	割り込みレベル		X		
		D4	PP3L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP2L2	ポート入力2	0 ~ 7	X	R/W	
		D1	PP2L1	割り込みレベル		X		
		D0	PP2L0			X		
キー入力割り込 みプライオリテ ィレジスタ	0040262 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PK1L2	キー入力1	0 ~ 7	X	R/W	
		D5	PK1L1	割り込みレベル		X		
		D4	PK1L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PK0L2	キー入力0	0 ~ 7	X	R/W	
		D1	PK0L1	割り込みレベル		X		
		D0	PK0L0			X		
ポート入力 割り込み4/5 プライオリティ レジスタ	004026C (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP5L2	ポート入力5	0 ~ 7	X	R/W	
		D5	PP5L1	割り込みレベル		X		
		D4	PP5L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP4L2	ポート入力4	0 ~ 7	X	R/W	
		D1	PP4L1	割り込みレベル		X		
		D0	PP4L0			X		
ポート入力 割り込み6/7 プライオリティ レジスタ	004026D (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP7L2	ポート入力7	0 ~ 7	X	R/W	
		D5	PP7L1	割り込みレベル		X		
		D4	PP7L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP6L2	ポート入力6	0 ~ 7	X	R/W	
		D1	PP6L1	割り込みレベル		X		
		D0	PP6L0			X		
キー入力, ポート入力0-3 割り込み イネーブル レジスタ	0040270 (B)	D7-6	—	reserved	—		—	読み出し時: 0
		D5	EK1	キー入力1	1 許可	0 禁止	0	R/W
		D4	EK0	キー入力0			0	R/W
		D3	EP3	ポート入力3			0	R/W
		D2	EP2	ポート入力2			0	R/W
		D1	EP1	ポート入力1			0	R/W
		D0	EP0	ポート入力0			0	R/W
ポート入力4-7, 計時タイマ 割り込みイネー ブルレジスタ	0040277 (B)	D7-6	—	reserved			—	
		D5	EP7	ポート入力7	1 許可	0 禁止	0	R/W
		D4	EP6	ポート入力6			0	R/W
		D3	EP5	ポート入力5			0	R/W
		D2	EP4	ポート入力4			0	R/W
		D1	ECTM	計時タイマ			0	R/W
		D0	—	reserved			0	R/W
								1書き込み禁止
キー入力, ポート入力0-3 割り込み要因 フラグレジスタ	0040280 (B)	D7-6	—	reserved			—	
		D5	FK1	キー入力1	1 要因発生	0 要因なし	X	R/W
		D4	FK0	キー入力0			X	R/W
		D3	FP3	ポート入力3			X	R/W
		D2	FP2	ポート入力2			X	R/W
		D1	FP1	ポート入力1			X	R/W
		D0	FP0	ポート入力0			X	R/W

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈
ポート入力4-7、 計時タイマ、 割り込み要因 フラグレジスタ	0040287 (B)	D7-6	—	reserved	—				—	—	読み出し時: 0
		D5	FP7	ポート入力7	1	要因発生	0	要因なし	X	R/W	
		D4	FP6	ポート入力6					X	R/W	
		D3	FP5	ポート入力5					X	R/W	
		D2	FP4	ポート入力4					X	R/W	
		D1	FCTM	計時タイマ					X	R/W	
		D0	—	reserved					—		
ポート入力 割り込み選択 レジスタ1	00402C6 (B)	D7	SPT31	FPT3割り込み入力ポート選択	11	10	01	00	0	R/W	
		D6	SPT30	FPT3割り込み入力ポート選択	P23	P03	—	—	0		
		D5	SPT21	FPT2割り込み入力ポート選択	11	10	01	00	0	R/W	
		D4	SPT20	FPT2割り込み入力ポート選択	P22	P02	—	—	0		
		D3	SPT11	FPT1割り込み入力ポート選択	11	10	01	00	0	R/W	
		D2	SPT10	FPT1割り込み入力ポート選択	P21	P01	—	—	0		
		D1	SPT01	FPT0割り込み入力ポート選択	11	10	01	00	0	R/W	
		D0	SPT00	FPT0割り込み入力ポート選択	P20	P00	—	—	0		
ポート入力 割り込み選択 レジスタ2	00402C7 (B)	D7	SPT71	FPT7割り込み入力ポート選択	11	10	01	00	0	R/W	
		D6	SPT70	FPT7割り込み入力ポート選択	P27	P07	P33	—	0		
		D5	SPT61	FPT6割り込み入力ポート選択	11	10	01	00	0	R/W	
		D4	SPT60	FPT6割り込み入力ポート選択	P26	P06	P32	—	0		
		D3	SPT51	FPT5割り込み入力ポート選択	11	10	01	00	0	R/W	
		D2	SPT50	FPT5割り込み入力ポート選択	P25	P05	P31	—	0		
		D1	SPT41	FPT4割り込み入力ポート選択	11	10	01	00	0	R/W	
		D0	SPT40	FPT4割り込み入力ポート選択	P24	P04	—	—	0		
ポート入力 割り込み 入力極性選択 レジスタ	00402C8 (B)	D7	SPPT7	FPT7入力極性選択	1	Highレベル または 立ち上がり エッジ	0	Lowレベル または 立ち下がり エッジ	1	R/W	
		D6	SPPT6	FPT6入力極性選択					1	R/W	
		D5	SPPT5	FPT5入力極性選択					1	R/W	
		D4	SPPT4	FPT4入力極性選択					1	R/W	
		D3	SPPT3	FPT3入力極性選択					1	R/W	
		D2	SPPT2	FPT2入力極性選択					1	R/W	
		D1	SPPT1	FPT1入力極性選択					1	R/W	
		D0	SPPT0	FPT0入力極性選択					1	R/W	
ポート入力 割り込み エッジ/レベル 選択レジスタ	00402C9 (B)	D7	SEPT7	FPT7エッジ/レベル選択	1	エッジ	0	レベル	1	R/W	
		D6	SEPT6	FPT6エッジ/レベル選択					1	R/W	
		D5	SEPT5	FPT5エッジ/レベル選択					1	R/W	
		D4	SEPT4	FPT4エッジ/レベル選択					1	R/W	
		D3	SEPT3	FPT3エッジ/レベル選択					1	R/W	
		D2	SEPT2	FPT2エッジ/レベル選択					1	R/W	
		D1	SEPT1	FPT1エッジ/レベル選択					1	R/W	
		D0	SEPT0	FPT0エッジ/レベル選択					1	R/W	
キー入力 割り込み選択 レジスタ	00402CA (B)	D7-4	—	reserved	—				—	—	読み出し時: 0
		D3	SPPK11	FPK1割り込み入力ポート選択	11	10	01	00	0	R/W	
		D2	SPPK10	FPK1割り込み入力ポート選択	P2[7:4]	P0[7:4]	—	—	0		
		D1	SPPK01	FPK0割り込み入力ポート選択	11	10	01	00	0	R/W	
		D0	SPPK00	FPK0割り込み入力ポート選択	P2[4:0]	P0[4:0]	—	—	0		
キー入力 割り込み(FPK0) 入力比較 レジスタ	00402CC (B)	D7-5	—	reserved	—				—	—	読み出し時: 0
		D4	SCPK04	FPK04入力比較	1	High	0	Low	0	R/W	
		D3	SCPK03	FPK03入力比較					0	R/W	
		D2	SCPK02	FPK02入力比較					0	R/W	
		D1	SCPK01	FPK01入力比較					0	R/W	
		D0	SCPK00	FPK00入力比較					0	R/W	
キー入力 割り込み(FPK1) 入力比較 レジスタ	00402CD (B)	D7-4	—	reserved					—		
		D3	SCPK13	FPK13入力比較	1	High	0	Low	0	R/W	
		D2	SCPK12	FPK12入力比較					0	R/W	
		D1	SCPK11	FPK11入力比較					0	R/W	
		D0	SCPK10	FPK10入力比較					0	R/W	
キー入力 割り込み(FPK0) 入力マスク レジスタ	00402CE (B)	D7-5	—	reserved	—				—	—	読み出し時: 0
		D4	SMPK04	FPK04入力マスク	1	割り込み 許可	0	割り込み 禁止	0	R/W	
		D3	SMPK03	FPK03入力マスク					0	R/W	
		D2	SMPK02	FPK02入力マスク					0	R/W	
		D1	SMPK01	FPK01入力マスク					0	R/W	
		D0	SMPK00	FPK00入力マスク					0	R/W	
キー入力 割り込み(FPK1) 入力マスク レジスタ	00402CF (B)	D7-4	—	reserved					—		
		D3	SMPK13	FPK13入力マスク	1	割り込み 許可	0	割り込み 禁止	0	R/W	
		D2	SMPK12	FPK12入力マスク					0	R/W	
		D1	SMPK11	FPK11入力マスク					0	R/W	
		D0	SMPK10	FPK10入力マスク					0	R/W	

SPT71–SPT70: FPT7割り込み入力ポート選択(D[7:6]/0x402C7<ポート入力割り込み選択レジスタ2>)
SPT61–SPT60: FPT6割り込み入力ポート選択(D[5:4]/0x402C7<ポート入力割り込み選択レジスタ2>)
SPT51–SPT50: FPT5割り込み入力ポート選択(D[3:2]/0x402C7<ポート入力割り込み選択レジスタ2>)
SPT41–SPT40: FPT4割り込み入力ポート選択(D[1:0]/0x402C7<ポート入力割り込み選択レジスタ2>)
SPT31–SPT30: FPT3割り込み入力ポート選択(D[7:6]/0x402C6<ポート入力割り込み選択レジスタ1>)
SPT21–SPT20: FPT2割り込み入力ポート選択(D[5:4]/0x402C6<ポート入力割り込み選択レジスタ1>)
SPT11–SPT10: FPT1割り込み入力ポート選択(D[3:2]/0x402C6<ポート入力割り込み選択レジスタ1>)
SPT01–SPT00: FPT0割り込み入力ポート選択(D[1:0]/0x402C6<ポート入力割り込み選択レジスタ1>)

ポート入力割り込みに使用する入力端子を選択します。

表9.8 ポート入力割り込み用入力端子の選択

割り込み 系列	SPT設定			
	11	10	01	00
FPT7	P27	P07	P33	–
FPT6	P26	P06	P32	–
FPT5	P25	P05	P31	–
FPT4	P24	P04	–	–
FPT3	P23	P03	–	–
FPT2	P22	P02	–	–
FPT1	P21	P01	–	–
FPT0	P20	P00	–	–

コールドスタート時、SPTは"00"に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SPPT7–SPPT0: 入力極性選択(D[7:0]/0x402C8<ポート入力割り込み入力極性選択レジスタ>)

ポート入力割り込みを発生させる入力信号の極性を選択します。

"1"書き込み: Highレベルまたは立ち上がりエッジ

"0"書き込み: Lowレベルまたは立ち下がりエッジ

読み出し: 可能

SPPTxはFPTx割り込みに対応する入力極性選択ビットです。SPPTxを"1"に設定すると、FPTx割り込みは入力がHighレベルになると、または立ち上がりエッジで発生します。SPPTxを"0"に設定すると、FPTx割り込みは入力がLowレベルになると、または立ち下がりエッジで発生します。エッジとレベルの選択はSEPTxビットで行います。

コールドスタート時、SPPTは"0"(Lowレベル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SEPT7–SEPT0: エッジ/レベル選択(D[7:0]/0x402C9<ポート入力割り込みエッジ/レベル選択レジスタ>)

ポート入力割り込みを入力信号のエッジで発生させるか、レベルで発生させるか選択します。

"1"書き込み: エッジ

"0"書き込み: レベル

読み出し: 可能

SEPTxはFPTx割り込みに対応するエッジ/レベル選択ビットです。SEPTxを"1"に設定すると、FPTx割り込みは入力のエッジで発生します。SPPTxビットの設定により、立ち上がりエッジまたは立ち下がりエッジが選択されます。SEPTxを"0"に設定すると、FPTx割り込みは入力のレベルで発生します。SPPTxビットの設定により、HighレベルまたはLowレベルが選択されます。

コールドスタート時、SEPTは"0"(レベル)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SPPK11–SPPK10: FPK1 割り込み入力ポート選択(D[3:2]/0x402CA<キー入力割り込み選択レジスタ>)
SPPK01–SPPK00: FPK0 割り込み入力ポート選択(D[1:0]/0x402CA<キー入力割り込み選択レジスタ>)
 キー入力割り込みに使用する入力端子系列を選択します。

表9.9 キー入力割り込み用入力端子の選択

割り込み 系列	SPPK設定			
	11	10	01	00
FPK1	P2[7:4]	P0[7:4]	–	–
FPK0	P2[4:0]	P0[4:0]	–	–

コールドスタート時、SPPKは"00"に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SCPK13–SCPK10: FPK1 入力比較(D[3:0]/0x402CD<FPK1 入力比較レジスタ>)
SCPK04–SCPK00: FPK0 入力比較(D[4:0]/0x402CC<FPK0 入力比較レジスタ>)

キー入力割り込み発生条件(割り込み発生タイミング)を設定します。

"1"書き込み: 立ち下がりエッジ
 "0"書き込み: 立ち上がりエッジ
 読み出し: 可能

SCPK0[4:0]はFPK0の5ビットの入力状態、SCPK1[3:0]はFPK1の4ビットの入力状態と比較され、それぞれの内容が一致状態から不一致状態に変化した場合に割り込み要求が発生します(SMPKビットで割り込み禁止に設定した入力と比較の対象とはなりません)。

コールドスタート時、SCPKは"0"(立ち上がりエッジ)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

SMPK13–SMPK10: FPK1 入力マスク(D[3:0]/0x402CF<FPK1 入力マスクレジスタ>)
SMPK04–SMPK00: FPK0 入力マスク(D[4:0]/0x402CE<FPK0 入力マスクレジスタ>)

キー入力割り込み発生条件(割り込み許可/禁止)を設定します。

"1"書き込み: 割り込み許可
 "0"書き込み: 割り込み禁止
 読み出し: 可能

SMPKはキー入力割り込み端子系列の各ビットに対応する入力マスクビットで、"1"に設定したビットの割り込みが許可され、"0"に設定したビットの割り込みが禁止されます。割り込み禁止に設定した入力端子の状態変化は、割り込みの発生に影響を与えません。

コールドスタート時、SMPKは"0"(割り込み禁止)に設定されます。ホットスタート時は、イニシャルリセット前の状態を保持します。

PP0L2–PP0L0: ポート入力0割り込みレベル(D[2:0]/0x40260<ポート入力0/1割り込みプライオリティレジスタ>)
PP1L2–PP1L0: ポート入力1割り込みレベル(D[6:4]/0x40260<ポート入力0/1割り込みプライオリティレジスタ>)
PP2L2–PP2L0: ポート入力2割り込みレベル(D[2:0]/0x40261<ポート入力2/3割り込みプライオリティレジスタ>)
PP3L2–PP3L0: ポート入力3割り込みレベル(D[6:4]/0x40261<ポート入力2/3割り込みプライオリティレジスタ>)
PP4L2–PP4L0: ポート入力4割り込みレベル(D[2:0]/0x4026C<ポート入力4/5割り込みプライオリティレジスタ>)
PP5L2–PP5L0: ポート入力5割り込みレベル(D[6:4]/0x4026C<ポート入力4/5割り込みプライオリティレジスタ>)
PP6L2–PP6L0: ポート入力6割り込みレベル(D[2:0]/0x4026D<ポート入力6/7割り込みプライオリティレジスタ>)
PP7L2–PP7L0: ポート入力7割り込みレベル(D[6:4]/0x4026D<ポート入力6/7割り込みプライオリティレジスタ>)
PK0L2–PK0L0: キー入力0割り込みレベル(D[2:0]/0x40262<キー入力割り込みプライオリティレジスタ>)
PK1L2–PK1L0: キー入力1割り込みレベル(D[6:4]/0x40262<キー入力割り込みプライオリティレジスタ>)

入力割り込みの優先レベルを設定します。

PPxLはポート入力割り込み、PKxLはキー入力割り込みに対応した割り込みプライオリティレジスタです。それぞれの割り込み系列の優先レベルを0～7の範囲で設定できます。

イニシャルリセット時、これらのレジスタは不定となります。

EP3-EP0: ポート入力3-0割り込みイネーブル

(D[3:0]/0x40270<キー入力, ポート入力0-3割り込みイネーブルレジスタ>)

EP7-EP4: ポート入力7-4割り込みイネーブル

(D[5:2]/0x40277<ポート入力4-7, 計時タイマ割り込みイネーブルレジスタ>)

EK1, EK0: キー入力1, 0割り込みイネーブル

(D[5:4]/0x40270<キー入力, ポート入力0-3割り込みイネーブルレジスタ>)

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

EPxはポート入力割り込み、EKxはキー入力割り込みの各系列に対応する割り込みイネーブルビットで、"1"に設定した入力割り込みが許可され、"0"に設定した入力割り込みが禁止されます。イニシャルリセット時、これらのレジスタはすべて"0"(割り込み禁止)に設定されます。

FP3-FP0: ポート入力3-0割り込み要因フラグ

(D[3:0]/0x40280<キー入力, ポート入力0-3割り込み要因フラグレジスタ>)

FP7-FP4: ポート入力7-4割り込み要因フラグ

(D[5:2]/0x40287<ポート入力4-7, 計時タイマ割り込み要因フラグレジスタ>)

FK1, FK0: キー入力1, 0割り込み要因フラグ

(D[5:4]/0x40280<キー入力, ポート入力0-3割り込み要因フラグレジスタ>)

入力割り込み要因の発生状態を示します。

• 読み出し時

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

• リセットオンリー方式書き込み時 (デフォルト)

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

• リード/ライト方式書き込み時

"1"書き込み: 要因フラグをセット

"0"書き込み: 要因フラグをリセット

FPxはポート入力割り込み、FKxはキー入力割り込みの各系列に対応する割り込み要因フラグで、割り込み発生条件の成立により"1"にセットされます。

このとき、以下の条件が成立していれば、CPUに対し割り込みが発生します。

1. 対応する割り込みイネーブルレジスタのビットが"1"に設定されている。
2. 他の割り込み優先レベルの高い割り込み要求が発生していない。
3. PSRのIEビットが"1"(割り込み許可)に設定されている。
4. 対応する割り込みプライオリティレジスタがCPUの割り込みレベル(IL)より高いレベルに設定されている。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットとPSRの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをILに設定しIEビットを"1"にセットするか、reti命令を実行する)が必要です。

割り込み要因フラグはソフトウェアによる書き込みによってのみリセットされます。割り込み要因フラグをリセットせずにPSRを割り込み受け付け可能な状態に再設定(reti命令の実行も含む)すると、再度同じ割り込みが発生しますので注意してください。また、リセットのための書き込み値はリセットオンリー方式(RSTONLY = "1")の場合が"1"、リード/ライト方式(RSTONLY = "0")の場合が"0"となりますので注意してください。

イニシャルリセット時、割り込み要因フラグはすべて不定となりますので、必ずソフトウェアでリセットしてください。

プログラミング上の注意事項

- (1) イニシャルリセット後、割り込み要因フラグは不定となります。不要な割り込みの発生を防止するため、必ずプログラムでリセットしてください。
- (2) 割り込み発生後は、同じ要因による割り込みの再発生を防止するため、PSRを再設定またはreti命令を実行する前に必ず割り込み要因フラグをリセットしてください。
- (3) HALT2モードまたはSLEEPモードから再起動するトリガとして、ポート入力割り込みを使う場合、割り込み条件としてエッジを設定していても、割り込みは入力信号のレベルで発生します。

このページはブランクです。

S1C33S01 FUNCTION PART

Appendix I/Oマップ

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
8bitタイマ クロック選択 レジスタ	0040146 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P8TPCK3	8bitタイマ3クロック選択	1 0/1 0 分周クロック	0	R/W	0: プリスケールクロック選択レジスタ
		D2	P8TPCK2	8bitタイマ2クロック選択	1 0/1 0 分周クロック	0	R/W	(0x40181)で選択
		D1	P8TPCK1	8bitタイマ1クロック選択	1 0/1 0 分周クロック	0	R/W	
		D0	P8TPCK0	8bitタイマ0クロック選択	1 0/1 0 分周クロック	0	R/W	
16bitタイマ0 クロック コントロール レジスタ	0040147 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P16TON0	16bitタイマ0クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS02	16bitタイマ0 クロック分周比選択	P16TS0[2:0] 分周比	0	R/W	0: プリスケールクロック選択レジスタ
		D1	P16TS01		1 1 1 0/4096	0		(0x40181)で選択
		D0	P16TS00		1 1 0 0/1024	0		
					1 0 1 0/256			
					1 0 0 0/64			
					0 1 1 0/16			16bitタイマ0は ウォッチドッグタイ マとして使用可
					0 1 0 0/4			
					0 0 1 0/2			
16bitタイマ1 クロック コントロール レジスタ	0040148 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P16TON1	16bitタイマ1クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS12	16bitタイマ1 クロック分周比選択	P16TS1[2:0] 分周比	0	R/W	0: プリスケールクロック選択レジスタ
		D1	P16TS11		1 1 1 0/4096	0		(0x40181)で選択
		D0	P16TS10		1 1 0 0/1024	0		
					1 0 1 0/256			
					1 0 0 0/64			
					0 1 1 0/16			
					0 1 0 0/4			
					0 0 1 0/2			
16bitタイマ2 クロック コントロール レジスタ	0040149 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P16TON2	16bitタイマ2クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS22	16bitタイマ2 クロック分周比選択	P16TS2[2:0] 分周比	0	R/W	0: プリスケールクロック選択レジスタ
		D1	P16TS21		1 1 1 0/4096	0		(0x40181)で選択
		D0	P16TS20		1 1 0 0/1024	0		
					1 0 1 0/256			
					1 0 0 0/64			
					0 1 1 0/16			
					0 1 0 0/4			
					0 0 1 0/2			
16bitタイマ3 クロック コントロール レジスタ	004014A (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P16TON3	16bitタイマ3クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS32	16bitタイマ3 クロック分周比選択	P16TS3[2:0] 分周比	0	R/W	0: プリスケールクロック選択レジスタ
		D1	P16TS31		1 1 1 0/4096	0		(0x40181)で選択
		D0	P16TS30		1 1 0 0/1024	0		
					1 0 1 0/256			
					1 0 0 0/64			
					0 1 1 0/16			
					0 1 0 0/4			
					0 0 1 0/2			
16bitタイマ4 クロック コントロール レジスタ	004014B (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P16TON4	16bitタイマ4クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS42	16bitタイマ4 クロック分周比選択	P16TS4[2:0] 分周比	0	R/W	0: プリスケールクロック選択レジスタ
		D1	P16TS41		1 1 1 0/4096	0		(0x40181)で選択
		D0	P16TS40		1 1 0 0/1024	0		
					1 0 1 0/256			
					1 0 0 0/64			
					0 1 1 0/16			
					0 1 0 0/4			
					0 0 1 0/2			

[アドレス]の(B)は8ビットレジスタ、(HW)は16ビットレジスタを示しています。

[Init.]のシンボルの意味は次のとおりです。

0, 1: イニシャルリセット時、記載の値に初期化されます。

(ただし、バスと入出力ポートのレジスタはホットスタートでは初期化されません。)

X: イニシャルリセットで初期化されません。

—: 回路上設定されません。

APPENDIX: I/Oマップ

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ5 クロック コントロール レジスタ	004014C (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	P16TON5	16bitタイマ5クロック制御	1 On 0 Off	0	R/W	
		D2	P16TS52	16bitタイマ5 クロック分周比選択	P16TS5[2:0] 分周比	0	R/W	θ: プリスケールクロ ック選択レジスタ (0x40181)で選択
		D1	P16TS51		1 1 1 θ/4096	0		
		D0	P16TS50		1 1 0 θ/1024	0		
					1 0 1 θ/256			
					1 0 0 θ/64			
					0 1 1 θ/16			
					0 1 0 θ/4			
					0 0 1 θ/2			
					0 0 0 θ/1			
8bitタイマ0/1 クロック コントロール レジスタ	004014D (B)	D7	P8TON1	8bitタイマ1クロック制御	1 On 0 Off	0	R/W	
		D6	P8TS12	8bitタイマ1 クロック分周比選択	P8TS1[2:0] 分周比	0	R/W	θ: プリスケールクロ ック選択レジスタ (0x40181)で選択 8bitタイマ1は OSC3発振安定時間 のクロックを生成
		D5	P8TS11		1 1 1 θ/4096	0		
		D4	P8TS10		1 1 0 θ/2048	0		
					1 0 1 θ/1024			
					1 0 0 θ/512			
					0 1 1 θ/256			
					0 1 0 θ/128			
					0 0 1 θ/64			
					0 0 0 θ/32			
		D3	P8TON0	8bitタイマ0クロック制御	1 On 0 Off	0	R/W	
		D2	P8TS02	8bitタイマ0 クロック分周比選択	P8TS0[2:0] 分周比	0	R/W	θ: プリスケールクロ ック選択レジスタ (0x40181)で選択 8bitタイマ0は DRAMリフレッシュ のクロックを生成
		D1	P8TS01		1 1 1 θ/256	0		
		D0	P8TS00		1 1 0 θ/128	0		
					1 0 1 θ/64			
					1 0 0 θ/32			
					0 1 1 θ/16			
					0 1 0 θ/8			
					0 0 1 θ/4			
					0 0 0 θ/2			
8bitタイマ2/3 クロック コントロール レジスタ	004014E (B)	D7	P8TON3	8bitタイマ3クロック制御	1 On 0 Off	0	R/W	
		D6	P8TS32	8bitタイマ3 クロック分周比選択	P8TS3[2:0] 分周比	0	R/W	θ: プリスケールクロ ック選択レジスタ (0x40181)で選択 8bitタイマ3は シリアル/F Ch.1の クロックを生成
		D5	P8TS31		1 1 1 θ/256	0		
		D4	P8TS30		1 1 0 θ/128	0		
					1 0 1 θ/64			
					1 0 0 θ/32			
					0 1 1 θ/16			
					0 1 0 θ/8			
					0 0 1 θ/4			
					0 0 0 θ/2			
		D3	P8TON2	8bitタイマ2クロック制御	1 On 0 Off	0	R/W	
		D2	P8TS22	8bitタイマ2 クロック分周比選択	P8TS2[2:0] 分周比	0	R/W	θ: プリスケールクロ ック選択レジスタ (0x40181)で選択 8bitタイマ2は シリアル/F Ch.0の クロックを生成
		D1	P8TS21		1 1 1 θ/4096	0		
		D0	P8TS20		1 1 0 θ/2048	0		
					1 0 1 θ/64			
					1 0 0 θ/32			
					0 1 1 θ/16			
					0 1 0 θ/8			
					0 0 1 θ/4			
					0 0 0 θ/2			

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈	
計時タイマ Run/Stop レジスタ	0040151 (B)	D7-2	—	reserved	—		—	—	読み出し時: 0	
		D1	TCRST	計時タイマリセット	1 リセット	0 無効	X	W	読み出し時: 0	
		D0	TCRUN	計時タイマRun/Stop制御	1 Run	0 Stop	X	R/W		
計時タイマ 割り込み制御 レジスタ	0040152 (B)	D7	TCISE2	計時タイマ割り込み要因選択	TCISE[2:0]		割り込み要因	X	R/W	
		D6	TCISE1		1 1 1	なし	X			
		D5	TCISE0		1 1 0	1日	X			
		1 0 1	1時間							
		1 0 0	1分							
		0 1 1	1Hz							
		0 1 0	2Hz							
		0 0 1	8Hz							
		0 0 0	32Hz							
		D4	TCASE2	計時タイマアラーム要因選択	TCASE[2:0]		アラーム要因		X	R/W
D3	TCASE1	1 X X	日アラーム		X					
D2	TCASE0	X 1 X	時間アラーム		X					
X X 1	分アラーム									
D1	TCIF	割り込み要因発生フラグ	1 要因あり	0 要因なし	X	R/W	"1"書き込みでリセット			
D0	TCAF	アラーム要因発生フラグ	1 要因あり	0 要因なし	X	R/W	"1"書き込みでリセット			
計時タイマ 分周レジスタ	0040153 (B)	D7	TCDD7	計時タイマデータ 1Hz	1 High	0 Low	X	R		
		D6	TCDD6	計時タイマデータ 2Hz	1 High	0 Low	X	R		
		D5	TCDD5	計時タイマデータ 4Hz	1 High	0 Low	X	R		
		D4	TCDD4	計時タイマデータ 8Hz	1 High	0 Low	X	R		
		D3	TCDD3	計時タイマデータ 16Hz	1 High	0 Low	X	R		
		D2	TCDD2	計時タイマデータ 32Hz	1 High	0 Low	X	R		
		D1	TCDD1	計時タイマデータ 64Hz	1 High	0 Low	X	R		
		D0	TCDD0	計時タイマデータ 128Hz	1 High	0 Low	X	R		
		計時タイマ 秒レジスタ	0040154 (B)	D7-6	—	reserved	—		—	—
D5	TCMD5			計時タイマ秒データ TCMD5 = MSB TCMD0 = LSB	0 ~ 59秒		X	R		
D4	TCMD4						X			
D3	TCMD3						X			
D2	TCMD2						X			
D1	TCMD1						X			
D0	TCMD0						X			
計時タイマ 分レジスタ	0040155 (B)	D7-6	—	reserved	—		—	—	読み出し時: 0	
		D5	TCHD5	計時タイマ分データ TCHD5 = MSB TCHD0 = LSB	0 ~ 59分		X	R/W		
		D4	TCHD4				X			
		D3	TCHD3				X			
		D2	TCHD2				X			
		D1	TCHD1				X			
		D0	TCHD0				X			
計時タイマ 時間レジスタ	0040156 (B)	D7-5	—	reserved	—		—	—	読み出し時: 0	
		D4	TCDD4	計時タイマ時間データ TCDD4 = MSB TCDD0 = LSB	0 ~ 23時		X	R/W		
		D3	TCDD3				X			
		D2	TCDD2				X			
		D1	TCDD1				X			
		D0	TCDD0				X			
計時タイマ 日(下位) レジスタ	0040157 (B)	D7	TCND7	計時タイマ日データ (下位8ビット) TCND0 = LSB	0 ~ 65535日 (下位8ビット)		X	R/W		
		D6	TCND6				X			
		D5	TCND5				X			
		D4	TCND4				X			
		D3	TCND3				X			
		D2	TCND2				X			
		D1	TCND1				X			
		D0	TCND0				X			
計時タイマ 日(上位) レジスタ	0040158 (B)	D7	TCND15	計時タイマ日データ (上位8ビット) TCND15 = MSB	0 ~ 65535日 (上位8ビット)		X	R/W		
		D6	TCND14				X			
		D5	TCND13				X			
		D4	TCND12				X			
		D3	TCND11				X			
		D2	TCND10				X			
		D1	TCND9				X			
		D0	TCND8				X			
		計時タイマ 分比較レジスタ	0040159 (B)				D7-6	—		reserved
D5	TCCH5			計時タイマ分比較データ TCCH5 = MSB TCCH0 = LSB	0 ~ 59分 (注)0 ~ 63を設定可能		X	R/W		
D4	TCCH4						X			
D3	TCCH3						X			
D2	TCCH2						X			
D1	TCCH1						X			
D0	TCCH0						X			

APPENDIX: I/Oマップ

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
計時タイマ 時間比較 レジスタ	004015A (B)	D7-5	—	reserved	—	—	—	読み出し時: 0
		D4	TCCD4	計時タイマ時間比較データ	0 ~ 23時	X	R/W	
		D3	TCCD3	TCCD4 = MSB	(注)0 ~ 31を設定可能	X		
		D2	TCCD2	TCCD0 = LSB		X		
		D1	TCCD1			X		
		D0	TCCD0			X		
計時タイマ 日比較レジスタ	004015B (B)	D7-5	—	reserved	—	—	—	読み出し時: 0
		D4	TCCN4	計時タイマ日比較データ	0 ~ 31日	X	R/W	TCND[4:0]と比較
		D3	TCCN3	TCCN4 = MSB		X		
		D2	TCCN2	TCCN0 = LSB		X		
		D1	TCCN1			X		
		D0	TCCN0			X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈
8bitタイマ0 制御レジスタ	0040160 (B)	D7-3	—	reserved	—			—	—	読み出し時: 0
		D2	PTOUT0	8bitタイマ0クロック出力制御	1	On	0	Off	0	R/W
		D1	PSET0	8bitタイマ0プリセット	1	プリセット	0	無効	—	W 読み出し時: 0
		D0	PTRUN0	8bitタイマ0 Run/Stop制御	1	Run	0	Stop	0	R/W
8bitタイマ0 リロードデータ レジスタ	0040161 (B)	D7	RLD07	8bitタイマ0	0 ~ 255			X	R/W	
		D6	RLD06	リロードデータ				X		
		D5	RLD05	RLD07 = MSB				X		
		D4	RLD04	RLD00 = LSB				X		
		D3	RLD03					X		
		D2	RLD02					X		
		D1	RLD01					X		
		D0	RLD00					X		
8bitタイマ0 カウントデータ レジスタ	0040162 (B)	D7	PTD07	8bitタイマ0カウントデータ	0 ~ 255			X	R	
		D6	PTD06	PTD07 = MSB				X		
		D5	PTD05	PTD00 = LSB				X		
		D4	PTD04					X		
		D3	PTD03					X		
		D2	PTD02					X		
		D1	PTD01					X		
		D0	PTD00					X		
8bitタイマ1 制御レジスタ	0040164 (B)	D7-3	—	reserved	—			—	—	読み出し時: 0
		D2	PTOUT1	8bitタイマ1クロック出力制御	1	On	0	Off	0	R/W
		D1	PSET1	8bitタイマ1プリセット	1	プリセット	0	無効	—	W 読み出し時: 0
		D0	PTRUN1	8bitタイマ1 Run/Stop制御	1	Run	0	Stop	0	R/W
8bitタイマ1 リロードデータ レジスタ	0040165 (B)	D7	RLD17	8bitタイマ1	0 ~ 255			X	R/W	
		D6	RLD16	リロードデータ				X		
		D5	RLD15	RLD17 = MSB				X		
		D4	RLD14	RLD10 = LSB				X		
		D3	RLD13					X		
		D2	RLD12					X		
		D1	RLD11					X		
		D0	RLD10					X		
8bitタイマ1 カウントデータ レジスタ	0040166 (B)	D7	PTD17	8bitタイマ1カウントデータ	0 ~ 255			X	R	
		D6	PTD16	PTD17 = MSB				X		
		D5	PTD15	PTD10 = LSB				X		
		D4	PTD14					X		
		D3	PTD13					X		
		D2	PTD12					X		
		D1	PTD11					X		
		D0	PTD10					X		
8bitタイマ2 制御レジスタ	0040168 (B)	D7-3	—	reserved	—			—	—	読み出し時: 0
		D2	PTOUT2	8bitタイマ2クロック出力制御	1	On	0	Off	0	R/W
		D1	PSET2	8bitタイマ2プリセット	1	プリセット	0	無効	—	W 読み出し時: 0
		D0	PTRUN2	8bitタイマ2 Run/Stop制御	1	Run	0	Stop	0	R/W
8bitタイマ2 リロードデータ レジスタ	0040169 (B)	D7	RLD27	8bitタイマ2	0 ~ 255			X	R/W	
		D6	RLD26	リロードデータ				X		
		D5	RLD25	RLD27 = MSB				X		
		D4	RLD24	RLD20 = LSB				X		
		D3	RLD23					X		
		D2	RLD22					X		
		D1	RLD21					X		
		D0	RLD20					X		
8bitタイマ2 カウントデータ レジスタ	004016A (B)	D7	PTD27	8bitタイマ2カウントデータ	0 ~ 255			X	R	
		D6	PTD26	PTD27 = MSB				X		
		D5	PTD25	PTD20 = LSB				X		
		D4	PTD24					X		
		D3	PTD23					X		
		D2	PTD22					X		
		D1	PTD21					X		
		D0	PTD20					X		

APPENDIX: I/Oマップ

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈
8bitタイマ3 制御レジスタ	004016C (B)	D7-3	—	reserved	—			—	—	読み出し時: 0
		D2	PTOUT3	8bitタイマ3クロック出力制御	1	On	0	Off	0	R/W
		D1	PSET3	8bitタイマ3プリセット	1	プリセット	0	無効	—	W 読み出し時: 0
		D0	PTRUN3	8bitタイマ3 Run/Stop制御	1	Run	0	Stop	0	R/W
8bitタイマ3 リロードデータ レジスタ	004016D (B)	D7	RLD37	8bitタイマ3	0 ~ 255			X	R/W	
		D6	RLD36	リロードデータ				X		
		D5	RLD35	RLD37 = MSB				X		
		D4	RLD34	RLD30 = LSB				X		
		D3	RLD33					X		
		D2	RLD32					X		
		D1	RLD31					X		
		D0	RLD30					X		
8bitタイマ3 カウントデータ レジスタ	004016E (B)	D7	PTD37	8bitタイマ3カウントデータ	0 ~ 255			X	R	
		D6	PTD36	PTD37 = MSB				X		
		D5	PTD35	PTD30 = LSB				X		
		D4	PTD34					X		
		D3	PTD33					X		
		D2	PTD32					X		
		D1	PTD31					X		
		D0	PTD30					X		

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
ウォッチドッグ タイマ書き込み 保護レジスタ	0040170 (B)	D7	WRWD	EWD書き込み保護	1	書込許可	0	書込禁止	0	R/W	
		D6-0	—	—	—			—	—	読み出し時: 0	
ウォッチドッグ タイマイネーブル レジスタ	0040171 (B)	D7-2	—	—	—			—	—	読み出し時: 0	
		D1	EWD	ウォッチドッグタイマイネーブル	1	NMI許可	0	NMI禁止	0	R/W	
		D0	—	—	—			—	—	読み出し時: 0	

APPENDIX: I/Oマップ

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
パワー コントロール レジスタ	0040180 (B)	D7 D6	CLKDT1 CLKDT0	システムクロック分周比選択	CLKDT[1:0] 1 1 1 0 0 1 0 0 分周比 1/8 1/4 1/2 1/1	0 0	R/W	
		D5	PSCON	プリスケラOn/Off制御	1 On 0 Off	1	R/W	
		D4-3	—	reserved	—	0	—	1書き込み禁止
		D2	CLKCHG	CPU動作クロック切り換え	1 OSC3 0 OSC1	1	R/W	
		D1	SOSC3	高速(OSC3)発振On/Off制御	1 On 0 Off	1	R/W	
		D0	SOSC1	低速(OSC1)発振On/Off制御	1 On 0 Off	1	R/W	
プリスケラ クロック選択 レジスタ	0040181 (B)	D7-1	—	reserved	—	0	—	
		D0	PSCDT0	プリスケラクロック選択	1 OSC1 0 OSC3/PLL	0	R/W	
クロック オプション レジスタ	0040190 (B)	D7-4	—	—	—	—	—	読み出し時: 0
		D3	HLT2OP	HALTクロックオプション	1 On 0 Off	0	R/W	
		D2	8T1ON	高速(OSC3)発振待ち時間On	1 Off 0 On	1	R/W	
		D1	—	reserved	—	0	—	1書き込み禁止
		D0	PF1ON	OSC1外部出力On/Off制御	1 Off 0 On	0	R/W	
パワー コントロール レジスタ 保護レジスタ	004019E (B)	D7	CLGP7	パワーコントロールレジスタ 保護フラグ	10010110(0x96)書き込みにより パワーコントロールレジスタ (0x40180)の書き込み保護を解除 それ以外は書き込み禁止に設定	0	R/W	
		D6	CLGP6			0		
		D5	CLGP5			0		
		D4	CLGP4			0		
		D3	CLGP3			0		
		D2	CLGP2			0		
		D1	CLGP1			0		
		D0	CLGP0			0		

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
シリアルI/F Ch.0送信データ レジスタ	00401E0 (B)	D7	TXD07	シリアルI/F Ch.0	0x0 ~ 0xFF(0x7F)	X	R/W	調歩同期式7ビットモ ードの場合、TXD07 は無効
		D6	TXD06	送信データ		X		
		D5	TXD05	TXD07(06) = MSB		X		
		D4	TXD04	TXD00 = LSB		X		
		D3	TXD03			X		
		D2	TXD02			X		
		D1	TXD01			X		
		D0	TXD00			X		
シリアルI/F Ch.0受信データ レジスタ	00401E1 (B)	D7	RXD07	シリアルI/F Ch.0	0x0 ~ 0xFF(0x7F)	X	R	調歩同期式7ビットモ ードの場合、RXD07 は無効(0固定)
		D6	RXD06	受信データ		X		
		D5	RXD05	RXD07(06) = MSB		X		
		D4	RXD04	RXD00 = LSB		X		
		D3	RXD03			X		
		D2	RXD02			X		
		D1	RXD01			X		
		D0	RXD00			X		
シリアルI/F Ch.0ステータス レジスタ	00401E2 (B)	D7-6	—	—	—	—	—	読み出し時: 0
		D5	TEND0	Ch.0転送終了フラグ	1 転送中	0 終了	0 R	
		D4	FER0	Ch.0フレーミングエラーフラグ	1 エラー	0 正常	0 R/W	0書き込みでクリア
		D3	PER0	Ch.0パリティエラーフラグ	1 エラー	0 正常	0 R/W	0書き込みでクリア
		D2	OER0	Ch.0オーバーランエラーフラグ	1 エラー	0 正常	0 R/W	0書き込みでクリア
		D1	TDBE0	Ch.0送信データバッファエンプティ	1 エンプティ	0 バッファフル	1 R	
		D0	RDBF0	Ch.0受信データバッファフル	1 バッファフル	0 エンプティ	0 R	
シリアルI/F Ch.0制御 レジスタ	00401E3 (B)	D7	TXEN0	Ch.0送信許可	1 許可	0 禁止	0 R/W	
		D6	RXEN0	Ch.0受信許可	1 許可	0 禁止	0 R/W	
		D5	EPR0	Ch.0パリティイネーブル	1 パリティ付	0 パリティなし	X R/W	調歩同期式モード時 のみ有効
		D4	PMD0	Ch.0パリティモード選択	1 奇数	0 偶数	X R/W	
		D3	STPB0	Ch.0ストップビット選択	1 2bit	0 1bit	X R/W	
		D2	SSCK0	Ch.0入力クロック選択	1 #SCLK0	0 内部クロック	X R/W	
		D1	SMD01	Ch.0転送モード選択	SMD0[1:0] 転送モード		X R/W	
		D0	SMD00		1 1	調歩同期式8bit	X	
					1 0	調歩同期式7bit		
					0 1	クロック同期スレーブ		
					0 0	クロック同期マスタ		
シリアルI/F Ch.0 IrDA レジスタ	00401E4 (B)	D7-5	—	—	—	—	—	読み出し時: 0
		D4	DIVMD0	Ch.0調歩同期クロック分周比	1 1/8	0 1/16	X R/W	
		D3	IRTL0	Ch.0 IrDA I/F出力論理反転	1 反転	0 反転なし	X R/W	調歩同期式モード時 のみ有効
		D2	IRRL0	Ch.0 IrDA I/F入力論理反転	1 反転	0 反転なし	X R/W	
		D1	IRMD01	Ch.0インタフェースモード 選択	IRMD0[1:0] I/Fモード		X R/W	
		D0	IRMD00		1 1	reserved	X	
					1 0	IrDA 1.0		
					0 1	reserved		
					0 0	通常のI/F		

APPENDIX: I/Oマップ

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
シリアルI/F Ch.1送信データ レジスタ	00401E5 (B)	D7	TXD17	シリアルI/F Ch.1	0x0 ~ 0xFF(0x7F)	X	R/W	調歩同期式7ビットモ ードの場合、TXD17 は無効
		D6	TXD16	送信データ		X		
		D5	TXD15	TXD17(16) = MSB		X		
		D4	TXD14	TXD10 = LSB		X		
		D3	TXD13			X		
		D2	TXD12			X		
		D1	TXD11			X		
		D0	TXD10			X		
シリアルI/F Ch.1受信データ レジスタ	00401E6 (B)	D7	RXD17	シリアルI/F Ch.1	0x0 ~ 0xFF(0x7F)	X	R	調歩同期式7ビットモ ードの場合、RXD17 は無効(0固定)
		D6	RXD16	受信データ		X		
		D5	RXD15	RXD17(16) = MSB		X		
		D4	RXD14	RXD10 = LSB		X		
		D3	RXD13			X		
		D2	RXD12			X		
		D1	RXD11			X		
		D0	RXD10			X		
シリアルI/F Ch.1ステータス レジスタ	00401E7 (B)	D7-6	—	—	—	—	—	読み出し時: 0
		D5	TEND1	Ch.1転送終了フラグ	1 転送中	0 終了	0	R
		D4	FER1	Ch.1フレーミングエラーフラグ	1 エラー	0 正常	0	R/W
		D3	PER1	Ch.1パリティエラーフラグ	1 エラー	0 正常	0	R/W
		D2	OER1	Ch.1オーバーランエラーフラグ	1 エラー	0 正常	0	R/W
		D1	TDBE1	Ch.1送信データバッファエンプティ	1 エンプティ	0 バッファフル	1	R
		D0	RDBF1	Ch.1受信データバッファフル	1 バッファフル	0 エンプティ	0	R
シリアルI/F Ch.1制御 レジスタ	00401E8 (B)	D7	TXEN1	Ch.1送信許可	1 許可	0 禁止	0	R/W
		D6	RXEN1	Ch.1受信許可	1 許可	0 禁止	0	R/W
		D5	EPR1	Ch.1パリティイネーブル	1 パリティ付	0 パリティなし	X	R/W
		D4	PMD1	Ch.1パリティモード選択	1 奇数	0 偶数	X	R/W
		D3	STPB1	Ch.1ストップビット選択	1 2bit	0 1bit	X	R/W
		D2	SSCK1	Ch.1入力クロック選択	1 #SCLK1	0 内部クロック	X	R/W
		D1	SMD11	Ch.1転送モード選択	SMD1[1:0]		転送モード	X
		D0	SMD10		1 1	0 0	調歩同期式8bit	X
					1 0	0 1	調歩同期式7bit	
					0 1	0 0	クロック同期スレーブ	
シリアルI/F Ch.1 IrDA レジスタ	00401E9 (B)	D7-5	—	—	—	—	—	読み出し時: 0
		D4	DIVMD1	Ch.1調歩同期クロック分周比	1 1/8	0 1/16	X	R/W
		D3	IRTL1	Ch.1 IrDA I/F出力論理反転	1 反転	0 反転なし	X	R/W
		D2	IRRL1	Ch.1 IrDA I/F入力論理反転	1 反転	0 反転なし	X	R/W
		D1	IRMD11	Ch.1インタフェースモード 選択	IRMD1[1:0]		I/Fモード	X
		D0	IRMD10		1 1	0 0	reserved	
					1 0	0 1	IrDA 1.0	
					0 1	0 0	reserved	
					0 0	0 0	通常のI/F	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
ポート入力 割り込み0/1 プライオリティ レジスタ	0040260 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP1L2	ポート入力1	0 ~ 7	X	R/W	
		D5	PP1L1	割り込みレベル		X		
		D4	PP1L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP0L2	ポート入力0	0 ~ 7	X	R/W	
		D1	PP0L1	割り込みレベル		X		
		D0	PP0L0			X		
ポート入力 割り込み2/3 プライオリティ レジスタ	0040261 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP3L2	ポート入力3	0 ~ 7	X	R/W	
		D5	PP3L1	割り込みレベル		X		
		D4	PP3L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP2L2	ポート入力2	0 ~ 7	X	R/W	
		D1	PP2L1	割り込みレベル		X		
		D0	PP2L0			X		
キー入力割り込 みプライオリテ ィレジスタ	0040262 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PK1L2	キー入力1	0 ~ 7	X	R/W	
		D5	PK1L1	割り込みレベル		X		
		D4	PK1L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PK0L2	キー入力0	0 ~ 7	X	R/W	
		D1	PK0L1	割り込みレベル		X		
		D0	PK0L0			X		
16bitタイマ0/1 割り込み プライオリティ レジスタ	0040266 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	P16T12	16bitタイマ1	0 ~ 7	X	R/W	
		D5	P16T11	割り込みレベル		X		
		D4	P16T10			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	P16T02	16bitタイマ0	0 ~ 7	X	R/W	
		D1	P16T01	割り込みレベル		X		
		D0	P16T00			X		
16bitタイマ2/3 割り込み プライオリティ レジスタ	0040267 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	P16T32	16bitタイマ3	0 ~ 7	X	R/W	
		D5	P16T31	割り込みレベル		X		
		D4	P16T30			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	P16T22	16bitタイマ2	0 ~ 7	X	R/W	
		D1	P16T21	割り込みレベル		X		
		D0	P16T20			X		
16bitタイマ4/5 割り込み プライオリティ レジスタ	0040268 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	P16T52	16bitタイマ5	0 ~ 7	X	R/W	
		D5	P16T51	割り込みレベル		X		
		D4	P16T50			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	P16T42	16bitタイマ4	0 ~ 7	X	R/W	
		D1	P16T41	割り込みレベル		X		
		D0	P16T40			X		
8bitタイマ, シリ アルI/F Ch.0 割り込み プライオリティ レジスタ	0040269 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PSIO02	シリアルインタフェースCh.0	0 ~ 7	X	R/W	
		D5	PSIO01	割り込みレベル		X		
		D4	PSIO00			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	P8TM2	8bitタイマ0-3	0 ~ 7	X	R/W	
		D1	P8TM1	割り込みレベル		X		
		D0	P8TM0			X		
シリアルI/F Ch.1 割り込み プライオリティ レジスタ	004026A (B)	D7-3	—	reserved	—	—	—	読み出し時: 0
		D2	PSIO12	シリアルインタフェースCh.1	0 ~ 7	X	R/W	
		D1	PSIO11	割り込みレベル		X		
		D0	PSIO10			X		
計時タイマ 割り込み プライオリティ レジスタ	004026B (B)	D7-3	—	reserved	—	—	—	1書き込み禁止
		D2	PCTM2	計時タイマ	0 ~ 7	X	R/W	
		D1	PCTM1	割り込みレベル		X		
		D0	PCTM0			X		

APPENDIX: I/Oマップ

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
ポート入力 割り込み4/5 プライオリティ レジスタ	004026C (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP5L2	ポート入力5	0 - 7	X	R/W	
		D5	PP5L1	割り込みレベル		X		
		D4	PP5L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP4L2	ポート入力4	0 - 7	X	R/W	
		D1	PP4L1	割り込みレベル		X		
		D0	PP4L0			X		
ポート入力 割り込み6/7 プライオリティ レジスタ	004026D (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	PP7L2	ポート入力7	0 - 7	X	R/W	
		D5	PP7L1	割り込みレベル		X		
		D4	PP7L0			X		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	PP6L2	ポート入力6	0 - 7	X	R/W	
		D1	PP6L1	割り込みレベル		X		
		D0	PP6L0			X		
キー入力, ポート入力0-3 割り込み イネーブル レジスタ	0040270 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	EK1	キー入力1	1 許可 0 禁止	0	R/W	
		D4	EK0	キー入力0		0	R/W	
		D3	EP3	ポート入力3		0	R/W	
		D2	EP2	ポート入力2		0	R/W	
		D1	EP1	ポート入力1		0	R/W	
		D0	EP0	ポート入力0		0	R/W	
16bitタイマ0/1 割り込み イネーブル レジスタ	0040272 (B)	D7	E16TC1	16bitタイマ1コンペアA	1 許可 0 禁止	0	R/W	
		D6	E16TU1	16bitタイマ1コンペアB		0	R/W	
		D5-4	—	reserved	—	—	—	読み出し時: 0
		D3	E16TC0	16bitタイマ0コンペアA	1 許可 0 禁止	0	R/W	
		D2	E16TU0	16bitタイマ0コンペアB		0	R/W	
		D1-0	—	reserved	—	—	—	読み出し時: 0
16bitタイマ2/3 割り込み イネーブル レジスタ	0040273 (B)	D7	E16TC3	16bitタイマ3コンペアA	1 許可 0 禁止	0	R/W	
		D6	E16TU3	16bitタイマ3コンペアB		0	R/W	
		D5-4	—	reserved	—	—	—	読み出し時: 0
		D3	E16TC2	16bitタイマ2コンペアA	1 許可 0 禁止	0	R/W	
		D2	E16TU2	16bitタイマ2コンペアB		0	R/W	
		D1-0	—	reserved	—	—	—	読み出し時: 0
16bitタイマ4/5 割り込み イネーブル レジスタ	0040274 (B)	D7	E16TC5	16bitタイマ5コンペアA	1 許可 0 禁止	0	R/W	
		D6	E16TU5	16bitタイマ5コンペアB		0	R/W	
		D5-4	—	reserved	—	—	—	読み出し時: 0
		D3	E16TC4	16bitタイマ4コンペアA	1 許可 0 禁止	0	R/W	
		D2	E16TU4	16bitタイマ4コンペアB		0	R/W	
		D1-0	—	reserved	—	—	—	読み出し時: 0
8bitタイマ 割り込み イネーブル レジスタ	0040275 (B)	D7-4	—	reserved	—	—	—	読み出し時: 0
		D3	E8TU3	8bitタイマ3アンダーフロー	1 許可 0 禁止	0	R/W	
		D2	E8TU2	8bitタイマ2アンダーフロー		0	R/W	
		D1	E8TU1	8bitタイマ1アンダーフロー		0	R/W	
		D0	E8TU0	8bitタイマ0アンダーフロー		0	R/W	
シリアルI/F 割り込み イネーブル レジスタ	0040276 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	ESTX1	SIF Ch.1送信バッファエンプティ	1 許可 0 禁止	0	R/W	
		D4	ESRX1	SIF Ch.1受信バッファフル		0	R/W	
		D3	ESERR1	SIF Ch.1受信エラー		0	R/W	
		D2	ESTX0	SIF Ch.0送信バッファエンプティ		0	R/W	
		D1	ESRX0	SIF Ch.0受信バッファフル		0	R/W	
		D0	ESERR0	SIF Ch.0受信エラー		0	R/W	
ポート入力4-7, 計時タイマ 割り込みイネー ブルレジスタ	0040277 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	EP7	ポート入力7	1 許可 0 禁止	0	R/W	
		D4	EP6	ポート入力6		0	R/W	
		D3	EP5	ポート入力5		0	R/W	
		D2	EP4	ポート入力4		0	R/W	
		D1	ECTM	計時タイマ		0	R/W	
		D0	—	reserved	—	0	R/W	1書き込み禁止
キー入力, ポート入力0-3 割り込み要因 フラグレジスタ	0040280 (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	FK1	キー入力1	1 要因発生 0 要因なし	X	R/W	
		D4	FK0	キー入力0		X	R/W	
		D3	FP3	ポート入力3		X	R/W	
		D2	FP2	ポート入力2		X	R/W	
		D1	FP1	ポート入力1		X	R/W	
		D0	FP0	ポート入力0		X	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈
16bitタイマ0/1 割り込み 要因フラグ レジスタ	0040282 (B)	D7	F16TC1	16bitタイマ1コンペアA	1	要因発生	0	要因なし	X	R/W	
		D6	F16TU1	16bitタイマ1コンペアB					X	R/W	
		D5-4	—	reserved	—				—	—	読み出し時: 0
		D3	F16TC0	16bitタイマ0コンペアA	1	要因発生	0	要因なし	X	R/W	
		D2	F16TU0	16bitタイマ0コンペアB					X	R/W	
		D1-0	—	reserved	—				—	—	読み出し時: 0
16bitタイマ2/3 割り込み 要因フラグ レジスタ	0040283 (B)	D7	F16TC3	16bitタイマ3コンペアA	1	要因発生	0	要因なし	X	R/W	
		D6	F16TU3	16bitタイマ3コンペアB					X	R/W	
		D5-4	—	reserved	—				—	—	読み出し時: 0
		D3	F16TC2	16bitタイマ2コンペアA	1	要因発生	0	要因なし	X	R/W	
		D2	F16TU2	16bitタイマ2コンペアB					X	R/W	
		D1-0	—	reserved	—				—	—	読み出し時: 0
16bitタイマ4/5 割り込み 要因フラグ レジスタ	0040284 (B)	D7	F16TC5	16bitタイマ5コンペアA	1	要因発生	0	要因なし	X	R/W	
		D6	F16TU5	16bitタイマ5コンペアB					X	R/W	
		D5-4	—	reserved	—				—	—	読み出し時: 0
		D3	F16TC4	16bitタイマ4コンペアA	1	要因発生	0	要因なし	X	R/W	
		D2	F16TU4	16bitタイマ4コンペアB					X	R/W	
		D1-0	—	reserved	—				—	—	読み出し時: 0
8bitタイマ 割り込み 要因フラグ レジスタ	0040285 (B)	D7-4	—	reserved	—				—	—	読み出し時: 0
		D3	F8TU3	8bitタイマ3アンダーフロー	1	要因発生	0	要因なし	X	R/W	
		D2	F8TU2	8bitタイマ2アンダーフロー					X	R/W	
		D1	F8TU1	8bitタイマ1アンダーフロー					X	R/W	
		D0	F8TU0	8bitタイマ0アンダーフロー					X	R/W	
		シリアルI/F 割り込み 要因フラグ レジスタ	0040286 (B)	D7-6	—	reserved	—				—
D5	FSTX1			SIF Ch.1送信バッファエンプティ	1	要因発生	0	要因なし	X	R/W	
D4	FSRX1			SIF Ch.1受信バッファフル					X	R/W	
D3	FSERR1			SIF Ch.1受信エラー					X	R/W	
D2	FSTX0			SIF Ch.0送信バッファエンプティ					X	R/W	
D1	FSRX0			SIF Ch.0受信バッファフル					X	R/W	
D0	FSERR0			SIF Ch.0受信エラー					X	R/W	
ポート入力4-7, 計時タイマ 割り込み要因 フラグレジスタ	0040287 (B)			D7-6	—	reserved	—				—
		D5	FP7	ポート入力7	1	要因発生	0	要因なし	X	R/W	
		D4	FP6	ポート入力6					X	R/W	
		D3	FP5	ポート入力5					X	R/W	
		D2	FP4	ポート入力4					X	R/W	
		D1	FCTM	計時タイマ					X	R/W	
		D0	—	reserved					—		
		フラグセット/リ セット方式選択 レジスタ	004029F (B)	D7-1	—	reserved	—				—
D0	RSTONLY			割り込み要因フラグ リセット方式選択	1	リセット オンリー	0	RD/WR	1	R/W	
ポート入力 割り込み選択 レジスタ1	00402C6 (B)	D7	SPT31	FPT3割り込み入力ポート選択	11	10	01	00	0	R/W	
		D6	SPT30	FPT3割り込み入力ポート選択	P23	P03	—	—	0		
		D5	SPT21	FPT2割り込み入力ポート選択	11	10	01	00	0	R/W	
		D4	SPT20	FPT2割り込み入力ポート選択	P22	P02	—	—	0		
		D3	SPT11	FPT1割り込み入力ポート選択	11	10	01	00	0	R/W	
		D2	SPT10	FPT1割り込み入力ポート選択	P21	P01	—	—	0		
		D1	SPT01	FPT0割り込み入力ポート選択	11	10	01	00	0	R/W	
		D0	SPT00	FPT0割り込み入力ポート選択	P20	P00	—	—	0		
		ポート入力 割り込み選択 レジスタ2	00402C7 (B)	D7	SPT71	FPT7割り込み入力ポート選択	11	10	01	00	
D6	SPT70			FPT7割り込み入力ポート選択	P27	P07	P33	—	0		
D5	SPT61			FPT6割り込み入力ポート選択	11	10	01	00	0	R/W	
D4	SPT60			FPT6割り込み入力ポート選択	P26	P06	P32	—	0		
D3	SPT51			FPT5割り込み入力ポート選択	11	10	01	00	0	R/W	
D2	SPT50			FPT5割り込み入力ポート選択	P25	P05	P31	—	0		
D1	SPT41			FPT4割り込み入力ポート選択	11	10	01	00	0	R/W	
D0	SPT40			FPT4割り込み入力ポート選択	P24	P04	—	—	0		
ポート入力 割り込み 入力極性選択 レジスタ	00402C8 (B)			D7	SPPT7	FPT7入力極性選択	1	Highレベル または 立ち上がり エッジ	0	Lowレベル または 立ち下がり エッジ	1
		D6	SPPT6	FPT6入力極性選択	1	R/W					
		D5	SPPT5	FPT5入力極性選択	1	R/W					
		D4	SPPT4	FPT4入力極性選択	1	R/W					
		D3	SPPT3	FPT3入力極性選択	1	R/W					
		D2	SPPT2	FPT2入力極性選択	1	R/W					
		D1	SPPT1	FPT1入力極性選択	1	R/W					
		D0	SPPT0	FPT0入力極性選択	1	R/W					

APPENDIX: I/Oマップ

レジスタ名	アドレス	ビット	名 称	機 能	設 定				Init.	R/W	注 釈
ポート入力 割り込み エッジ/レベル 選択レジスタ	00402C9 (B)	D7	SEPT7	FPT7エッジ/レベル選択	1	エッジ	0	レベル	1	R/W	
		D6	SEPT6	FPT6エッジ/レベル選択					1	R/W	
		D5	SEPT5	FPT5エッジ/レベル選択					1	R/W	
		D4	SEPT4	FPT4エッジ/レベル選択					1	R/W	
		D3	SEPT3	FPT3エッジ/レベル選択					1	R/W	
		D2	SEPT2	FPT2エッジ/レベル選択					1	R/W	
		D1	SEPT1	FPT1エッジ/レベル選択					1	R/W	
		D0	SEPT0	FPT0エッジ/レベル選択					1	R/W	
キー入力 割り込み選択 レジスタ	00402CA (B)	D7-4	—	reserved	—				—	—	読み出し時: 0
		D3	SPPK11	FPK1割り込み入力ポート選択	11	10	01	00	0	R/W	
		D2	SPPK10	FPK0割り込み入力ポート選択	P2[7:4]	P0[7:4]	—	—	0		
		D1	SPPK01		11	10	01	00	0	R/W	
		D0	SPPK00		P2[4:0]	P0[4:0]	—	—	0		
キー入力 割り込み(FPK0) 入力比較 レジスタ	00402CC (B)	D7-5	—	reserved	—				—	—	読み出し時: 0
		D4	SCPK04	FPK04入力比較	1	High	0	Low	0	R/W	
		D3	SCPK03	FPK03入力比較					0	R/W	
		D2	SCPK02	FPK02入力比較					0	R/W	
		D1	SCPK01	FPK01入力比較					0	R/W	
		D0	SCPK00	FPK00入力比較					0	R/W	
キー入力 割り込み(FPK1) 入力比較 レジスタ	00402CD (B)	D7-4	—	reserved	—				—	—	読み出し時: 0
		D3	SCPK13	FPK13入力比較	1	High	0	Low	0	R/W	
		D2	SCPK12	FPK12入力比較					0	R/W	
		D1	SCPK11	FPK11入力比較					0	R/W	
		D0	SCPK10	FPK10入力比較					0	R/W	
キー入力 割り込み(FPK0) 入力マスク レジスタ	00402CE (B)	D7-5	—	reserved	—				—	—	読み出し時: 0
		D4	SMPK04	FPK04入力マスク	1	割り込み 許可	0	割り込み 禁止	0	R/W	
		D3	SMPK03	FPK03入力マスク					0	R/W	
		D2	SMPK02	FPK02入力マスク					0	R/W	
		D1	SMPK01	FPK01入力マスク					0	R/W	
		D0	SMPK00	FPK00入力マスク					0	R/W	
キー入力 割り込み(FPK1) 入力マスク レジスタ	00402CF (B)	D7-4	—	reserved	—				—	—	読み出し時: 0
		D3	SMPK13	FPK13入力マスク	1	割り込み 許可	0	割り込み 禁止	0	R/W	
		D2	SMPK12	FPK12入力マスク					0	R/W	
		D1	SMPK11	FPK11入力マスク					0	R/W	
		D0	SMPK10	FPK10入力マスク					0	R/W	
P0機能選択 レジスタ	00402D0 (B)	D7	CFP07	P07機能選択	1				#SRDY1	0	P07
		D6	CFP06	P06機能選択	1	#SCLK1	0	P06	0	R/W	
		D5	CFP05	P05機能選択	1	SOUT1	0	P05	0	R/W	
		D4	CFP04	P04機能選択	1	SIN1	0	P04	0	R/W	
		D3	CFP03	P03機能選択	1	#SRDY0	0	P03	0	R/W	
		D2	CFP02	P02機能選択	1	#SCLK0	0	P02	0	R/W	
		D1	CFP01	P01機能選択	1	SOUT0	0	P01	0	R/W	
		D0	CFP00	P00機能選択	1	SIN0	0	P00	0	R/W	
P0入出力兼用 ポートデータ レジスタ	00402D1 (B)	D7	P07D	P07入出力兼用ポートデータ	1	High	0	Low	0	R/W	
		D6	P06D	P06入出力兼用ポートデータ					0	R/W	
		D5	P05D	P05入出力兼用ポートデータ					0	R/W	
		D4	P04D	P04入出力兼用ポートデータ					0	R/W	
		D3	P03D	P03入出力兼用ポートデータ					0	R/W	
		D2	P02D	P02入出力兼用ポートデータ					0	R/W	
		D1	P01D	P01入出力兼用ポートデータ					0	R/W	
		D0	P00D	P00入出力兼用ポートデータ					0	R/W	
P0 I/O制御 レジスタ	00402D2 (B)	D7	IOC07	P07 I/O制御	1	出力	0	入力	0	R/W	
		D6	IOC06	P06 I/O制御					0	R/W	
		D5	IOC05	P05 I/O制御					0	R/W	
		D4	IOC04	P04 I/O制御					0	R/W	
		D3	IOC03	P03 I/O制御					0	R/W	
		D2	IOC02	P02 I/O制御					0	R/W	
		D1	IOC01	P01 I/O制御					0	R/W	
		D0	IOC00	P00 I/O制御					0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
P1機能選択 レジスタ	00402D4 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	CFP16	P16機能選択	1 EXCL5	0 P16	0 R/W	拡張機能(0x402DF)
		D5	CFP15	P15機能選択	1 EXCL4	0 P15	0 R/W	
		D4	CFP14	P14機能選択	1 FOSC1	0 P14	0 R/W	
		D3	CFP13	P13機能選択	1 EXCL3 T8UF3	0 P13	0 R/W	
		D2	CFP12	P12機能選択	1 EXCL2 T8UF2	0 P12	0 R/W	
		D1	CFP11	P11機能選択	1 EXCL1 T8UF1	0 P11	0 R/W	
		D0	CFP10	P10機能選択	1 EXCL0 T8UF0	0 P10	0 R/W	
P1入出力兼用 ポートデータ レジスタ	00402D5 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	P16D	P16入出力兼用ポートデータ	1 High	0 Low	0 R/W	
		D5	P15D	P15入出力兼用ポートデータ			0 R/W	
		D4	P14D	P14入出力兼用ポートデータ			0 R/W	
		D3	P13D	P13入出力兼用ポートデータ			0 R/W	
		D2	P12D	P12入出力兼用ポートデータ			0 R/W	
		D1	P11D	P11入出力兼用ポートデータ			0 R/W	
		D0	P10D	P10入出力兼用ポートデータ			0 R/W	
P1 I/O制御 レジスタ	00402D6 (B)	D7	—	reserved	—	—	—	読み出し時: 0
		D6	IOC16	P16 I/O制御	1 出力	0 入力	0 R/W	
		D5	IOC15	P15 I/O制御			0 R/W	
		D4	IOC14	P14 I/O制御			0 R/W	
		D3	IOC13	P13 I/O制御			0 R/W	
		D2	IOC12	P12 I/O制御			0 R/W	
		D1	IOC11	P11 I/O制御			0 R/W	
		D0	IOC10	P10 I/O制御			0 R/W	
P2機能選択 レジスタ	00402D8 (B)	D7	CFP27	P27機能選択	1 TM5	0 P27	0 R/W	
		D6	CFP26	P26機能選択	1 TM4	0 P26	0 R/W	
		D5	CFP25	P25機能選択	1 TM3	0 P25	0 R/W	
		D4	CFP24	P24機能選択	1 TM2	0 P24	0 R/W	
		D3	CFP23	P23機能選択	1 TM1	0 P23	0 R/W	
		D2	CFP22	P22機能選択	1 TM0	0 P22	0 R/W	
		D1	CFP21	P21機能選択	1 #DWE	0 P21	0 R/W	拡張機能(0x402DF)
		D0	CFP20	P20機能選択	1 #DRD	0 P20	0 R/W	
P2入出力兼用 ポートデータ レジスタ	00402D9 (B)	D7	P27D	P27入出力兼用ポートデータ	1 High	0 Low	0 R/W	
		D6	P26D	P26入出力兼用ポートデータ			0 R/W	
		D5	P25D	P25入出力兼用ポートデータ			0 R/W	
		D4	P24D	P24入出力兼用ポートデータ			0 R/W	
		D3	P23D	P23入出力兼用ポートデータ			0 R/W	
		D2	P22D	P22入出力兼用ポートデータ			0 R/W	
		D1	P21D	P21入出力兼用ポートデータ			0 R/W	
		D0	P20D	P20入出力兼用ポートデータ			0 R/W	
P2 I/O制御 レジスタ	00402DA (B)	D7	IOC27	P27 I/O制御	1 出力	0 入力	0 R/W	
		D6	IOC26	P26 I/O制御			0 R/W	
		D5	IOC25	P25 I/O制御			0 R/W	
		D4	IOC24	P24 I/O制御			0 R/W	
		D3	IOC23	P23 I/O制御			0 R/W	
		D2	IOC22	P22 I/O制御			0 R/W	
		D1	IOC21	P21 I/O制御			0 R/W	
		D0	IOC20	P20 I/O制御			0 R/W	
P3機能選択 レジスタ	00402DC (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	CFP35	P35機能選択	1 #BUSACK	0 P35	0 R/W	
		D4	CFP34	P34機能選択	1 #BUSREQ #CE6	0 P34	0 R/W	
		D3-2	—	reserved	—	—	0 R/W	1書き込み禁止
		D1	CFP31	P31機能選択	1 #BUSGET	0 P31	0 R/W	拡張機能(0x402DF)
		D0	CFP30	P30機能選択	1 #WAIT #CE4/#CE5	0 P30	0 R/W	
P3入出力兼用 ポートデータ レジスタ	00402DD (B)	D7-6	—	reserved	—	—	—	読み出し時: 0
		D5	P35D	P35入出力兼用ポートデータ	1 High	0 Low	0 R/W	
		D4	P34D	P34入出力兼用ポートデータ			0 R/W	
		D3	P33D	P33入出力兼用ポートデータ			0 R/W	
		D2	P32D	P32入出力兼用ポートデータ			0 R/W	
		D1	P31D	P31入出力兼用ポートデータ			0 R/W	
		D0	P30D	P30入出力兼用ポートデータ			0 R/W	

APPENDIX: I/Oマップ

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
P3 I/O制御 レジスタ	00402DE (B)	D7-6	—	reserved	—			—	—	読み出し時: 0	
		D5	IOC35	P35 I/O制御	1	出力	0	入力	0		R/W
		D4	IOC34	P34 I/O制御					0		R/W
		D3	IOC33	P33 I/O制御					0		R/W
		D2	IOC32	P32 I/O制御					0		R/W
		D1	IOC31	P31 I/O制御					0		R/W
		D0	IOC30	P30 I/O制御					0		R/W
ポート機能拡張 レジスタ	00402DF (B)	D7-4	—	reserved	—			0	R/W	1書き込み禁止	
		D3	CFEX3	P31ポート機能拡張	1	#GARD	0	P31, etc.	0		R/W
		D2	CFEX2	P21ポート機能拡張	1	#GAAS	0	P21, etc.	0		R/W
		D1	CFEX1	P10, P11, P13ポート機能拡張	1	DST0 DST1 DPC0	0	P10, etc. P11, etc. P13, etc.	1		R/W
		D0	CFEX0	P12, P14ポート機能拡張	1	DST2 DCLK	0	P12, etc. P14, etc.	1		R/W
アドレスバス 機能選択 レジスタ	0040300	D7	CFA23	A23機能選択	1	P07 etc.	0	A23	0	R/W	
		D6	CFA22	A22機能選択	1	P35 etc.	0	A22	0	R/W	
		D5	CFA21	A21機能選択	1	P34 etc.	0	A21	0	R/W	
		D4	CFA20	A20機能選択	1	P33	0	A20	0	R/W	
		D3-0	—	reserved	—			—	—	読み出し時: 0	
チップ イネーブル 機能選択 レジスタ	0040301	D7-6	—	reserved	—			—	—	読み出し時: 0	
		D5	CFCE9	#CE9機能選択	1	P32	0	#CE9, etc.	0		R/W
		D4	CFCE8	#CE8機能選択	1	P31, etc.	0	#CE8, etc.	0		R/W
		D3	CFCE7	#CE7機能選択	1	P21, etc.	0	#CE7, etc.	0		R/W
		D2	CFCE6	#CE6機能選択	1	P20, etc.	0	#CE6, etc.	0		R/W
		D1	CFCE5	#CE5機能選択	1	P16, etc.	0	#CE5, etc.	0		R/W
		D0	CFCE4	#CE4機能選択	1	P15, etc.	0	#CE4, etc.	0		R/W
エリア18-15 設定レジスタ	0048120 (HW)	DF	—	reserved	—			—	—	読み出し時: 0	
		DE	A18SZ	エリア18-17デバイスサイズ選択	1	8ビット	0	16ビット	0		R/W
		DD	A18DF1	エリア18-17	A18DF[1:0]		サイクル数		1		R/W
		DC	A18DF0	出力ディセーブル遅延時間	1	1	3.5		1		
					1	0	2.5				
					0	1	1.5				
					0	0	0.5				
		DB	—	reserved	—			—	—	読み出し時: 0	
		DA	A18WT2	エリア18-17ウェイト制御	A18WT[2:0]		ウェイト数		1		R/W
		D9	A18WT1		1	1	1	7	1		
		D8	A18WT0		1	1	0	6	1		
					1	0	1	5			
					1	0	0	4			
					0	1	1	3			
					0	1	0	2			
					0	0	1	1			
			0	0	0	0					
D7	—	reserved	—			—	—	読み出し時: 0			
D6	A16SZ	エリア16-15デバイスサイズ選択	1	8ビット	0	16ビット	0		R/W		
D5	A16DF1	エリア16-15	A16DF[1:0]		サイクル数		1		R/W		
D4	A16DF0	出力ディセーブル遅延時間	1	1	3.5		1				
			1	0	2.5						
			0	1	1.5						
			0	0	0.5						
D3	—	reserved	—			—	—	読み出し時: 0			
D2	A16WT2	エリア16-15ウェイト制御	A16WT[2:0]		ウェイト数		1		R/W		
D1	A16WT1		1	1	1	7	1				
D0	A16WT0		1	1	0	6	1				
			1	0	1	5					
			1	0	0	4					
			0	1	1	3					
			0	1	0	2					
			0	0	1	1					
			0	0	0	0					

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈	
エリア14-13 設定レジスタ	0048122 (HW)	DF-9	—	reserved	—			—	—	読み出し時: 0	
		D8	A14DRA	エリア14 DRAM選択	1	使用	0	未使用	0	R/W	
		D7	A13DRA	エリア13 DRAM選択	1	使用	0	未使用	0	R/W	
		D6	A14SZ	エリア14-13デバイスサイズ選択	1	8ビット	0	16ビット	0	R/W	
		D5	A14DF1	エリア14-13	A14DF[1:0]		サイクル数		1	R/W	
		D4	A14DF0	出力ディセーブル遅延時間	1	1	3.5		1		
					1	0	2.5				
					0	1	1.5				
					0	0	0.5				
		D3	—	reserved	—			—	—	—	読み出し時: 0
		D2	A14WT2	エリア14-13ウェイト制御	A14WT[2:0]		ウェイト数		1	R/W	
		D1	A14WT1		1	1	1	7	1		
		D0	A14WT0		1	1	0	6	1		
					1	0	1	5			
			1	0	0	4					
			0	1	1	3					
			0	1	0	2					
			0	0	1	1					
			0	0	0	0					
エリア12-11 設定レジスタ	0048124 (HW)	DF-7	—	reserved	—			—	—	読み出し時: 0	
		D6	A12SZ	エリア12-11デバイスサイズ選択	1	8ビット	0	16ビット	0	R/W	
		D5	A12DF1	エリア12-11	A18DF[1:0]		サイクル数		1	R/W	
		D4	A12DF0	出力ディセーブル遅延時間	1	1	3.5		1		
					1	0	2.5				
					0	1	1.5				
					0	0	0.5				
		D3	—	reserved	—			—	—	—	読み出し時: 0
		D2	A12WT2	エリア12-11ウェイト制御	A18WT[2:0]		ウェイト数		1	R/W	
		D1	A12WT1		1	1	1	7	1		
		D0	A12WT0		1	1	0	6	1		
					1	0	1	5			
					1	0	0	4			
					0	1	1	3			
			0	1	0	2					
			0	0	1	1					
			0	0	0	0					
エリア10-9 設定レジスタ	0048126 (HW)	DF	—	reserved	—			—	—	読み出し時: 0	
		DE	A10IR2	エリア10内蔵ROM容量選択	A10IR[2:0]		ROM容量		1	R/W	
		DD	A10IR1		1	1	1	2MB	1		
		DC	A10IR0		1	1	0	1MB	1		
					1	0	1	512KB			
					1	0	0	256KB			
					0	1	1	128KB			
					0	1	0	64KB			
					0	0	1	32KB			
					0	0	0	16KB			
		DB	—	reserved	—			—	—	—	読み出し時: 0
		DA	A10BW1	エリア10-9	A10BW[1:0]		ウェイト数		0	R/W	
		D9	A10BW0	バーストROM バーストリードサイクルウェイト 制御	1	1	3		0		
					1	0	2				
					0	1	1				
					0	0	0				
		D8	A10DRA	エリア10バーストROM選択	1	使用	0	未使用	0	R/W	
		D7	A9DRA	エリア9バーストROM選択	1	使用	0	未使用	0	R/W	
		D6	A10SZ	エリア10-9デバイスサイズ選択	1	8ビット	0	16ビット	0	R/W	
		D5	A10DF1	エリア10-9	A10DF[1:0]		サイクル数		1	R/W	
		D4	A10DF0	出力ディセーブル遅延時間	1	1	3.5		1		
					1	0	2.5				
					0	1	1.5				
					0	0	0.5				
D3	—	reserved	—			—	—	—	読み出し時: 0		
D2	A10WT2	エリア10-9ウェイト制御	A10WT[2:0]		ウェイト数		1	R/W			
D1	A10WT1		1	1	1	7	1				
D0	A10WT0		1	1	0	6	1				
			1	0	1	5					
			1	0	0	4					
			0	1	1	3					
			0	1	0	2					
			0	0	1	1					
			0	0	0	0					

APPENDIX: I/Oマップ

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
エリア8-7 設定レジスタ	0048128 (HW)	DF-9	—	reserved	—	—	—	読み出し時: 0
		D8	A8DRA	エリア8 DRAM選択	1 使用 0 未使用	0	R/W	
		D7	A7DRA	エリア7 DRAM選択	1 使用 0 未使用	0	R/W	
		D6	A8SZ	エリア8-7デバイスサイズ選択	1 8ビット 0 16ビット	0	R/W	
		D5	A8DF1	エリア8-7 出力ディセーブル遅延時間	A8DF[1:0]	サイクル数		1 R/W
		D4	A8DF0		1 1	3.5		1
					1 0	2.5		
					0 1	1.5		
					0 0	0.5		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	A8WT2	エリア8-7ウェイト制御	A8WT[2:0]	ウェイト数		1 R/W
		D1	A8WT1		1 1 1	7		1
		D0	A8WT0		1 1 0	6		1
					1 0 1	5		
					1 0 0	4		
					0 1 1	3		
					0 1 0	2		
					0 0 1	1		
					0 0 0	0		
エリア6-4 設定レジスタ	004812A (HW)	DF-E	—	reserved	—	—	—	読み出し時: 0
		DD	A6DF1	エリア6 出力ディセーブル遅延時間	A6DF[1:0]	サイクル数		1 R/W
		DC	A6DF0		1 1	3.5		1
					1 0	2.5		
					0 1	1.5		
					0 0	0.5		
		DB	—	reserved	—	—	—	読み出し時: 0
		DA	A6WT2	エリア6ウェイト制御	A6WT[2:0]	ウェイト数		1 R/W
		D9	A6WT1		1 1 1	7		1
		D8	A6WT0		1 1 0	6		1
					1 0 1	5		
					1 0 0	4		
					0 1 1	3		
					0 1 0	2		
					0 0 1	1		
					0 0 0	0		
		D7	—	reserved	—	—	—	読み出し時: 0
		D6	A5SZ	エリア5-4デバイスサイズ選択	1 8ビット 0 16ビット	0	R/W	
		D5	A5DF1	エリア5-4 出力ディセーブル遅延時間	A5DF[1:0]	サイクル数		1 R/W
		D4	A5DF0		1 1	3.5		1
					1 0	2.5		
					0 1	1.5		
					0 0	0.5		
		D3	—	reserved	—	—	—	読み出し時: 0
		D2	A5WT2	エリア5-4ウェイト制御	A5WT[2:0]	ウェイト数		1 R/W
		D1	A5WT1		1 1 1	7		1
		D0	A5WT0		1 1 0	6		1
					1 0 1	5		
					1 0 0	4		
					0 1 1	3		
					0 1 0	2		
					0 0 1	1		
					0 0 0	0		
TTBRレジスタ 書き込み保護 レジスタ	004812D (B)	D7	TBRP7	TTBRレジスタ書き込み保護	01011001(0x59)書き込みによりTTBRレジスタ(0x48134)の書き込み保護を解除 それ以外は書き込み禁止に設定		0	W 読み出し時: 不定
		D6	TBRP6				0	
		D5	TBRP5				0	
		D4	TBRP4				0	
		D3	TBRP3				0	
		D2	TBRP2				0	
		D1	TBRP1				0	
		D0	TBRP0				0	

レジスタ名	アドレス	ビット	名 称	機 能	設 定		Init.	R/W	注 釈		
バスコントロールレジスタ	004812E (HW)	DF	RBCLK	BCLK出力イネーブル	1	H 固定	0	イネーブル	0	R/W	
		DE	—	reserved	—		0	—	0	—	1書き込み禁止
		DD	RBST8	バーストROM/バーストモード選択	1	8連続	0	4連続	0	R/W	
		DC	REDO	DRAMページモード選択	1	EDO	0	高速ページ	0	R/W	
		DB	RCA1	カラムアドレスサイズ選択	RCA[1:0]		サイズ		0	R/W	
		DA	RCA0		1	1	11		0		
					1	0	10				
					0	1	9				
					0	0	8				
		D9	RPC2	リフレッシュイネーブル	1	イネーブル	0	ディセーブル	0	R/W	
		D8	RPC1	リフレッシュ方式選択	1	セルフ	0	CBR	0	R/W	
		D7	RPC0	リフレッシュRPCディレイ	1	2.0	0	1.0	0	R/W	
		D6	RRA1	リフレッシュ	RRA[1:0]		サイクル数		0	R/W	
		D5	RRA0	RAS/パルス幅選択	1	1	5		0		
					1	0	4				
			0	1	3						
			0	0	2						
D4	—	reserved	—		0	—	0	—	1書き込み禁止		
D3	SBUSST	外部インタフェース方式設定	1	#BSL	0	A0	0	R/W			
D2	SEMAS	外部バスマスタ設定	1	存在	0	なし	0	R/W			
D1	SEPD	外部パワーダウン制御	1	有効	0	無効	0	R/W			
D0	SWAITE	#WAITイネーブル	1	許可	0	禁止	0	R/W			
DRAM タイミング設定レジスタ	0048130 (HW)	DF-C	—	reserved	—		—	—	—	—	読み出し時: 0
		DB	A3EEN	エリア3エミュレーション	1	内蔵ROM	0	エミュレーション	1	R/W	
		DA	CEFUNC1	#CE端子機能選択	CFFUNC[1:0]		#CE出力		0	R/W	
		D9	CEFUNC0		1	x	#CE7/8..#CE17/18		0		
					0	1	#CE6..#CE17				
					0	0	#CE4..#CE10				
		D8	CRAS	連続RASモード	1	連続	0	通常	0	R/W	
		D7	RPRC1	DRAM RASプリチャージサイクル数	RPRC[1:0]		サイクル数		0	R/W	
		D6	RPRC0		1	1	4		0		
					1	0	3				
					0	1	2				
					0	0	1				
		D5	—	reserved	—		—	—	—	—	読み出し時: 0
		D4	CASC1	DRAM CASサイクル数	CASC[1:0]		サイクル数		0	R/W	
		D3	CASC0		1	1	4		0		
					1	0	3				
					0	1	2				
					0	0	1				
		D2	—	reserved	—		—	—	—	—	読み出し時: 0
		D1	RASC1	DRAM RASサイクル数	RASC[1:0]		サイクル数		0	R/W	
		D0	RASC0		1	1	4		0		
					1	0	3				
					0	1	2				
					0	0	1				
アクセス制御レジスタ	0048132 (HW)	DF	A18IO	エリア18, 17外部/内部アクセス	1	内部アクセス	0	外部アクセス	0	R/W	
		DE	A16IO	エリア16, 15外部/内部アクセス			0		R/W		
		DD	A14IO	エリア14, 13外部/内部アクセス			0		R/W		
		DC	A12IO	エリア12, 11外部/内部アクセス			0		R/W		
		DB	—	reserved	—		0		—	読み出し時: 0	
		DA	A8IO	エリア8, 7外部/内部アクセス	1	内部アクセス	0	外部アクセス	0	R/W	
		D9	A6IO	エリア6外部/内部アクセス			0		R/W		
		D8	A5IO	エリア5, 4外部/内部アクセス			0		R/W		
		D7	A18EC	エリア18, 17エンディアン制御	1		ビッグエンディアン		0	リトルエンディアン	0
		D6	A16EC	エリア16, 15エンディアン制御		0		R/W			
		D5	A14EC	エリア14, 13エンディアン制御		0		R/W			
		D4	A12EC	エリア12, 11エンディアン制御		0		R/W			
		D3	A10EC	エリア10, 9エンディアン制御		0		R/W			
		D2	A8EC	エリア8, 7エンディアン制御		0		R/W			
		D1	A6EC	エリア6エンディアン制御		0		R/W			
		D0	A5EC	エリア5, 4エンディアン制御		0		R/W			

APPENDIX: I/Oマップ

レジスタ名	アドレス	ビット	名 称	機 能	設 定			Init.	R/W	注 釈									
TTBR 下位レジスタ	0048134 (HW)	DF	TTBR15	トラップテーブル ベースアドレス bit[15:10]				0	R/W										
		DE	TTBR14					0											
		DD	TTBR13					0											
		DC	TTBR12					0											
		DB	TTBR11					0											
		DA	TTBR10					0											
		D9	TTBR09	トラップテーブル ベースアドレス bit[9:0]	0に固定			0	R	読み出し時: 0 1書き込み禁止									
		D8	TTBR08					0											
		D7	TTBR07					0											
		D6	TTBR06					0											
		D5	TTBR05					0											
		D4	TTBR04					0											
		D3	TTBR03					0											
		D2	TTBR02					0											
		D1	TTBR01					0											
		D0	TTBR00					0											
TTBR 上位レジスタ	0048136 (HW)	DF	TTBR33	トラップテーブル ベースアドレス bit[31:28]	0に固定			0	R	読み出し時: 0 1書き込み禁止									
		DE	TTBR32					0											
		DD	TTBR31					0											
		DC	TTBR30					0											
		DB	TTBR2B	トラップテーブル ベースアドレス bit[27:16]	0x0C0			←	R/W										
		DA	TTBR2A																
		D9	TTBR29																
		D8	TTBR28																
		D7	TTBR27																
		D6	TTBR26																
		D5	TTBR25																
		D4	TTBR24																
		D3	TTBR23																
		D2	TTBR22																
		D1	TTBR21																
		D0	TTBR20																
		G/Aリード信号 制御レジスタ	0048138 (HW)								DF	A18AS	エリア18, 17アドレスストローブ	1 生成	0 禁止	0	R/W		
											DE	A16AS	エリア16, 15アドレスストローブ			0			R/W
											DD	A14AS	エリア14, 13アドレスストローブ			0			R/W
											DC	A12AS	エリア12, 11アドレスストローブ			0			R/W
DB	—			reserved	—			0	—	読み出し時: 0									
DA	A8AS			エリア8, 7アドレスストローブ	1 生成	0 禁止	0	R/W											
D9	A6AS			エリア6アドレスストローブ			0	R/W											
D8	A5AS			エリア5, 4アドレスストローブ			0	R/W											
D7	A18RD			エリア18, 17リード信号	1 生成	0 禁止	0	R/W											
D6	A16RD			エリア16, 15リード信号			0			R/W									
D5	A14RD			エリア14, 13リード信号			0			R/W									
D4	A12RD			エリア12, 11リード信号			0			R/W									
D3	—			reserved	—			0	—	読み出し時: 0									
D2	A8RD			エリア8, 7リード信号	1 生成	0 禁止	0	R/W											
D1	A6RD			エリア6リード信号			0	R/W											
D0	A5RD			エリア5, 4リード信号			0	R/W											
BCLK選択 レジスタ	004813A (B)	D7-4	—	reserved	—			0	—	読み出し時: 0									
		D3	A1X1MD	エリア1アクセス速度	1 2サイクル	0 4サイクル	0	R/W	x2スピードモード時										
		D2	—	reserved	—			0	—	読み出し時: 0									
		D1	BCLKSEL1	BCLK出力クロック選択	BCLKSEL[1:0]		BCLK	0	R/W										
		D0	BCLKSEL0		1 1	PLL_CLK													
					1 0	OSC3_CLK													
					0 1	BCU_CLK													
		0 0	CPU_CLK																

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈			
16bitタイマ0 コンペアデータ A設定レジスタ	0048180 (HW)	DF	CR0A15	16bitタイマ0 コンペアデータA CR0A15 = MSB CR0A0 = LSB	0 ~ 65535	X	R/W				
		DE	CR0A14			X					
		DD	CR0A13			X					
		DC	CR0A12			X					
		DB	CR0A11			X					
		DA	CR0A10			X					
		D9	CR0A9			X					
		D8	CR0A8			X					
		D7	CR0A7			X					
		D6	CR0A6			X					
		D5	CR0A5			X					
		D4	CR0A4			X					
		D3	CR0A3			X					
		D2	CR0A2			X					
		D1	CR0A1			X					
		D0	CR0A0			X					
16bitタイマ0 コンペアデータ B設定レジスタ	0048182 (HW)	DF	CR0B15	16bitタイマ0 コンペアデータB CR0B15 = MSB CR0B0 = LSB	0 ~ 65535	X	R/W				
		DE	CR0B14			X					
		DD	CR0B13			X					
		DC	CR0B12			X					
		DB	CR0B11			X					
		DA	CR0B10			X					
		D9	CR0B9			X					
		D8	CR0B8			X					
		D7	CR0B7			X					
		D6	CR0B6			X					
		D5	CR0B5			X					
		D4	CR0B4			X					
		D3	CR0B3			X					
		D2	CR0B2			X					
		D1	CR0B1			X					
		D0	CR0B0			X					
16bitタイマ0 カウンタデータ レジスタ	0048184 (HW)	DF	TC015	16bitタイマ0 カウンタデータ TC015 = MSB TC00 = LSB	0 ~ 65535	X	R				
		DE	TC014			X					
		DD	TC013			X					
		DC	TC012			X					
		DB	TC011			X					
		DA	TC010			X					
		D9	TC09			X					
		D8	TC08			X					
		D7	TC07			X					
		D6	TC06			X					
		D5	TC05			X					
		D4	TC04			X					
		D3	TC03			X					
		D2	TC02			X					
		D1	TC01			X					
		D0	TC00			X					
16bitタイマ0 制御レジスタ	0048186 (B)	D7	—	reserved	—		0	—	読み出し時: 0		
		D6	SELFMO	16bitタイマ0ファインモード選択	1	ファイン	0	通常	0	R/W	
		D5	SELCRB0	16bitタイマ0コンペアバッファ	1	許可	0	禁止	0	R/W	
		D4	OUTINV0	16bitタイマ0出力反転	1	反転	0	通常	0	R/W	
		D3	CKSL0	16bitタイマ0入力クロック選択	1	外部クロック	0	内部クロック	0	R/W	
		D2	PTM0	16bitタイマ0クロック出力制御	1	On	0	Off	0	R/W	
		D1	PRESET0	16bitタイマ0リセット	1	リセット	0	無効	0	W	読み出し時: 0
		D0	PRUN0	16bitタイマ0 Run/Stop制御	1	Run	0	Stop	0	R/W	

APPENDIX: I/Oマップ

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈			
16bitタイマ1 コンペアデータ A設定レジスタ	0048188 (HW)	DF	CR1A15	16bitタイマ1 コンペアデータA CR1A15 = MSB CR1A0 = LSB	0 ~ 65535	X	R/W				
		DE	CR1A14			X					
		DD	CR1A13			X					
		DC	CR1A12			X					
		DB	CR1A11			X					
		DA	CR1A10			X					
		D9	CR1A9			X					
		D8	CR1A8			X					
		D7	CR1A7			X					
		D6	CR1A6			X					
		D5	CR1A5			X					
		D4	CR1A4			X					
		D3	CR1A3			X					
		D2	CR1A2			X					
		D1	CR1A1			X					
		D0	CR1A0			X					
16bitタイマ1 コンペアデータ B設定レジスタ	004818A (HW)	DF	CR1B15	16bitタイマ1 コンペアデータB CR1B15 = MSB CR1B0 = LSB	0 ~ 65535	X	R/W				
		DE	CR1B14			X					
		DD	CR1B13			X					
		DC	CR1B12			X					
		DB	CR1B11			X					
		DA	CR1B10			X					
		D9	CR1B9			X					
		D8	CR1B8			X					
		D7	CR1B7			X					
		D6	CR1B6			X					
		D5	CR1B5			X					
		D4	CR1B4			X					
		D3	CR1B3			X					
		D2	CR1B2			X					
		D1	CR1B1			X					
		D0	CR1B0			X					
16bitタイマ1 カウンタデータ レジスタ	004818C (HW)	DF	TC115	16bitタイマ1 カウンタデータ TC115 = MSB TC10 = LSB	0 ~ 65535	X	R				
		DE	TC114			X					
		DD	TC113			X					
		DC	TC112			X					
		DB	TC111			X					
		DA	TC110			X					
		D9	TC19			X					
		D8	TC18			X					
		D7	TC17			X					
		D6	TC16			X					
		D5	TC15			X					
		D4	TC14			X					
		D3	TC13			X					
		D2	TC12			X					
		D1	TC11			X					
		D0	TC10			X					
16bitタイマ1 制御レジスタ	004818E (B)	D7	—	reserved	—		0	—	読み出し時: 0		
		D6	SELFM1	16bitタイマ1ファインモード選択	1	ファイン	0	通常	0	R/W	
		D5	SELCRB1	16bitタイマ1コンペアバッファ	1	許可	0	禁止	0	R/W	
		D4	OUTINV1	16bitタイマ1出力反転	1	反転	0	通常	0	R/W	
		D3	CKSL1	16bitタイマ1入力クロック選択	1	外部クロック	0	内部クロック	0	R/W	
		D2	PTM1	16bitタイマ1クロック出力制御	1	On	0	Off	0	R/W	
		D1	PRESET1	16bitタイマ1リセット	1	リセット	0	無効	0	W	読み出し時: 0
		D0	PRUN1	16bitタイマ1 Run/Stop制御	1	Run	0	Stop	0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈		
16bitタイマ2 コンペアデータ A設定レジスタ	0048190 (HW)	DF	CR2A15	16bitタイマ2 コンペアデータA CR2A15 = MSB CR2A0 = LSB	0 ~ 65535	X	R/W			
		DE	CR2A14			X				
		DD	CR2A13			X				
		DC	CR2A12			X				
		DB	CR2A11			X				
		DA	CR2A10			X				
		D9	CR2A9			X				
		D8	CR2A8			X				
		D7	CR2A7			X				
		D6	CR2A6			X				
		D5	CR2A5			X				
		D4	CR2A4			X				
		D3	CR2A3			X				
		D2	CR2A2			X				
		D1	CR2A1			X				
		D0	CR2A0			X				
16bitタイマ2 コンペアデータ B設定レジスタ	0048192 (HW)	DF	CR2B15	16bitタイマ2 コンペアデータB CR2B15 = MSB CR2B0 = LSB	0 ~ 65535	X	R/W			
		DE	CR2B14			X				
		DD	CR2B13			X				
		DC	CR2B12			X				
		DB	CR2B11			X				
		DA	CR2B10			X				
		D9	CR2B9			X				
		D8	CR2B8			X				
		D7	CR2B7			X				
		D6	CR2B6			X				
		D5	CR2B5			X				
		D4	CR2B4			X				
		D3	CR2B3			X				
		D2	CR2B2			X				
		D1	CR2B1			X				
		D0	CR2B0			X				
16bitタイマ2 カウンタデータ レジスタ	0048194 (HW)	DF	TC215	16bitタイマ2 カウンタデータ TC215 = MSB TC20 = LSB	0 ~ 65535	X	R			
		DE	TC214			X				
		DD	TC213			X				
		DC	TC212			X				
		DB	TC211			X				
		DA	TC210			X				
		D9	TC29			X				
		D8	TC28			X				
		D7	TC27			X				
		D6	TC26			X				
		D5	TC25			X				
		D4	TC24			X				
		D3	TC23			X				
		D2	TC22			X				
		D1	TC21			X				
		D0	TC20			X				
16bitタイマ2 制御レジスタ	0048196 (B)	D7	—	reserved	—		0	—	読み出し時: 0	
		D6	SELF M2	16bitタイマ2ファインモード選択	1	ファイン	0 通常	0	R/W	
		D5	SEL CRB2	16bitタイマ2コンペアバッファ	1	許可	0 禁止	0	R/W	
		D4	OUT INV2	16bitタイマ2出力反転	1	反転	0 通常	0	R/W	
		D3	CKSL2	16bitタイマ2入力クロック選択	1	外部クロック	0 内部クロック	0	R/W	
		D2	PTM2	16bitタイマ2クロック出力制御	1	On	0 Off	0	R/W	
		D1	PRESET2	16bitタイマ2リセット	1	リセット	0 無効	0	W	読み出し時: 0
		D0	PRUN2	16bitタイマ2 Run/Stop制御	1	Run	0 Stop	0	R/W	

APPENDIX: I/Oマップ

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ3 コンペアデータ A設定レジスタ	0048198 (HW)	DF	CR3A15	16bitタイマ3	0 ~ 65535	X	R/W	
		DE	CR3A14	コンペアデータA		X		
		DD	CR3A13	CR3A15 = MSB		X		
		DC	CR3A12	CR3A0 = LSB		X		
		DB	CR3A11			X		
		DA	CR3A10			X		
		D9	CR3A9			X		
		D8	CR3A8			X		
		D7	CR3A7			X		
		D6	CR3A6			X		
		D5	CR3A5			X		
		D4	CR3A4			X		
		D3	CR3A3			X		
		D2	CR3A2			X		
		D1	CR3A1			X		
		D0	CR3A0			X		
16bitタイマ3 コンペアデータ B設定レジスタ	004819A (HW)	DF	CR3B15	16bitタイマ3	0 ~ 65535	X	R/W	
		DE	CR3B14	コンペアデータB		X		
		DD	CR3B13	CR3B15 = MSB		X		
		DC	CR3B12	CR3B0 = LSB		X		
		DB	CR3B11			X		
		DA	CR3B10			X		
		D9	CR3B9			X		
		D8	CR3B8			X		
		D7	CR3B7			X		
		D6	CR3B6			X		
		D5	CR3B5			X		
		D4	CR3B4			X		
		D3	CR3B3			X		
		D2	CR3B2			X		
		D1	CR3B1			X		
		D0	CR3B0			X		
16bitタイマ3 カウンタデータ レジスタ	004819C (HW)	DF	TC315	16bitタイマ3	0 ~ 65535	X	R	
		DE	TC314	カウンタデータ		X		
		DD	TC313	TC315 = MSB		X		
		DC	TC312	TC30 = LSB		X		
		DB	TC311			X		
		DA	TC310			X		
		D9	TC39			X		
		D8	TC38			X		
		D7	TC37			X		
		D6	TC36			X		
		D5	TC35			X		
		D4	TC34			X		
		D3	TC33			X		
		D2	TC32			X		
		D1	TC31			X		
		D0	TC30			X		
16bitタイマ3 制御レジスタ	004819E (B)	D7	—	reserved	—	0	—	読み出し時: 0
		D6	SELFM3	16bitタイマ3ファインモード選択	1 ファイン 0 通常	0	R/W	
		D5	SELCRB3	16bitタイマ3コンペアバッファ	1 許可 0 禁止	0	R/W	
		D4	OUTINV3	16bitタイマ3出力反転	1 反転 0 通常	0	R/W	
		D3	CKSL3	16bitタイマ3入力クロック選択	1 外部クロック 0 内部クロック	0	R/W	
		D2	PTM3	16bitタイマ3クロック出力制御	1 On 0 Off	0	R/W	
		D1	PRESET3	16bitタイマ3リセット	1 リセット 0 無効	0	W	読み出し時: 0
		D0	PRUN3	16bitタイマ3 Run/Stop制御	1 Run 0 Stop	0	R/W	

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈			
16bitタイマ4 コンペアデータ A設定レジスタ	00481A0 (HW)	DF	CR4A15	16bitタイマ4 コンペアデータA CR4A15 = MSB CR4A0 = LSB	0 ~ 65535	X	R/W				
		DE	CR4A14			X					
		DD	CR4A13			X					
		DC	CR4A12			X					
		DB	CR4A11			X					
		DA	CR4A10			X					
		D9	CR4A9			X					
		D8	CR4A8			X					
		D7	CR4A7			X					
		D6	CR4A6			X					
		D5	CR4A5			X					
		D4	CR4A4			X					
		D3	CR4A3			X					
		D2	CR4A2			X					
		D1	CR4A1			X					
		D0	CR4A0			X					
16bitタイマ4 コンペアデータ B設定レジスタ	00481A2 (HW)	DF	CR4B15	16bitタイマ4 コンペアデータB CR4B15 = MSB CR4B0 = LSB	0 ~ 65535	X	R/W				
		DE	CR4B14			X					
		DD	CR4B13			X					
		DC	CR4B12			X					
		DB	CR4B11			X					
		DA	CR4B10			X					
		D9	CR4B9			X					
		D8	CR4B8			X					
		D7	CR4B7			X					
		D6	CR4B6			X					
		D5	CR4B5			X					
		D4	CR4B4			X					
		D3	CR4B3			X					
		D2	CR4B2			X					
		D1	CR4B1			X					
		D0	CR4B0			X					
16bitタイマ4 カウンタデータ レジスタ	00481A4 (HW)	DF	TC415	16bitタイマ4 カウンタデータ TC415 = MSB TC40 = LSB	0 ~ 65535	X	R				
		DE	TC414			X					
		DD	TC413			X					
		DC	TC412			X					
		DB	TC411			X					
		DA	TC410			X					
		D9	TC49			X					
		D8	TC48			X					
		D7	TC47			X					
		D6	TC46			X					
		D5	TC45			X					
		D4	TC44			X					
		D3	TC43			X					
		D2	TC42			X					
		D1	TC41			X					
		D0	TC40			X					
16bitタイマ4 制御レジスタ	00481A6 (B)	D7	—	reserved	—		0	—	読み出し時: 0		
		D6	SELFM4	16bitタイマ4ファインモード選択	1	ファイン	0	通常	0	R/W	
		D5	SELCRB4	16bitタイマ4コンペアバッファ	1	許可	0	禁止	0	R/W	
		D4	OUTINV4	16bitタイマ4出力反転	1	反転	0	通常	0	R/W	
		D3	CKSL4	16bitタイマ4入力クロック選択	1	外部クロック	0	内部クロック	0	R/W	
		D2	PTM4	16bitタイマ4クロック出力制御	1	On	0	Off	0	R/W	
		D1	PRESET4	16bitタイマ4リセット	1	リセット	0	無効	0	W	読み出し時: 0
		D0	PRUN4	16bitタイマ4 Run/Stop制御	1	Run	0	Stop	0	R/W	

APPENDIX: I/Oマップ

レジスタ名	アドレス	ビット	名 称	機 能	設 定	Init.	R/W	注 釈
16bitタイマ5 コンペアデータ A設定レジスタ	00481A8 (HW)	DF	CR5A15	16bitタイマ5	0 ~ 65535	X	R/W	
		DE	CR5A14	コンペアデータA		X		
		DD	CR5A13	CR5A15 = MSB		X		
		DC	CR5A12	CR5A0 = LSB		X		
		DB	CR5A11			X		
		DA	CR5A10			X		
		D9	CR5A9			X		
		D8	CR5A8			X		
		D7	CR5A7			X		
		D6	CR5A6			X		
		D5	CR5A5			X		
		D4	CR5A4			X		
		D3	CR5A3			X		
		D2	CR5A2			X		
		D1	CR5A1			X		
		D0	CR5A0			X		
16bitタイマ5 コンペアデータ B設定レジスタ	00481AA (HW)	DF	CR5B15	16bitタイマ5	0 ~ 65535	X	R/W	
		DE	CR5B14	コンペアデータB		X		
		DD	CR5B13	CR5B15 = MSB		X		
		DC	CR5B12	CR5B0 = LSB		X		
		DB	CR5B11			X		
		DA	CR5B10			X		
		D9	CR5B9			X		
		D8	CR5B8			X		
		D7	CR5B7			X		
		D6	CR5B6			X		
		D5	CR5B5			X		
		D4	CR5B4			X		
		D3	CR5B3			X		
		D2	CR5B2			X		
		D1	CR5B1			X		
		D0	CR5B0			X		
16bitタイマ5 カウンタデータ レジスタ	00481AC (HW)	DF	TC515	16bitタイマ5	0 ~ 65535	X	R	
		DE	TC514	カウンタデータ		X		
		DD	TC513	TC515 = MSB		X		
		DC	TC512	TC50 = LSB		X		
		DB	TC511			X		
		DA	TC510			X		
		D9	TC59			X		
		D8	TC58			X		
		D7	TC57			X		
		D6	TC56			X		
		D5	TC55			X		
		D4	TC54			X		
		D3	TC53			X		
		D2	TC52			X		
		D1	TC51			X		
		D0	TC50			X		
16bitタイマ5 制御レジスタ	00481AE (B)	D7	—	reserved	—	0	—	読み出し時: 0
		D6	SELFM5	16bitタイマ5ファインモード選択	1 ファイン 0 通常	0	R/W	
		D5	SELCRB5	16bitタイマ5コンペアバッファ	1 許可 0 禁止	0	R/W	
		D4	OUTINV5	16bitタイマ5出力反転	1 反転 0 通常	0	R/W	
		D3	CKSL5	16bitタイマ5入力クロック選択	1 外部クロック 0 内部クロック	0	R/W	
		D2	PTM5	16bitタイマ5クロック出力制御	1 On 0 Off	0	R/W	
		D1	PRESET5	16bitタイマ5リセット	1 リセット 0 無効	0	W	読み出し時: 0
		D0	PRUN5	16bitタイマ5 Run/Stop制御	1 Run 0 Stop	0	R/W	

セイコーエプソン株式会社 電子デバイス営業本部

ED営業推進部	〒191-8501 東京都日野市日野421-8
IC営業技術G	TEL (042) 587-5816 (直通) FAX (042) 587-5624
東日本	
ED東京営業部	〒191-8501 東京都日野市日野421-8
東京IC営業G	TEL (042) 587-5313 (直通) FAX (042) 587-5116
西日本	
ED大阪営業部	〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F TEL (06) 6120-6000 (代表) FAX (06) 6120-6100
東海・北陸	
ED名古屋営業部	〒461-0005 名古屋市東区東桜1-10-24 栄大野ビル4F TEL (052) 953-8031 (代表) FAX (052) 953-8041
長野	
ED長野営業部	〒392-8502 長野県諏訪市大和3-3-5 TEL (0266) 58-8171 (直通) FAX (0266) 58-9917
東北	
ED仙台営業所	〒980-0013 宮城県仙台市青葉区花京院1-1-20 花京院スクエア19F TEL (022) 263-7975 (代表) FAX (022) 263-7990

インターネットによる電子デバイスのご紹介 <http://www.epson.co.jp/device/>