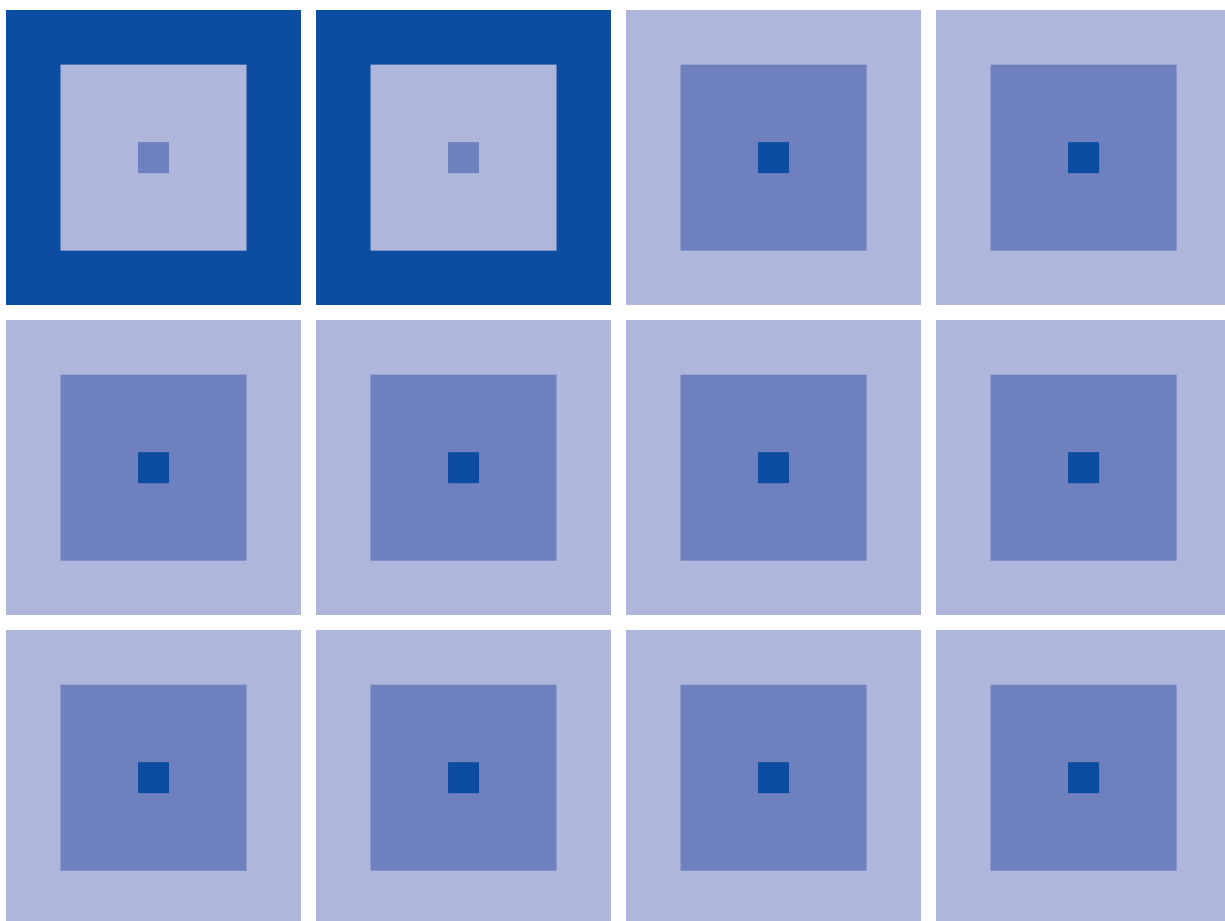


CMOS 4-BIT SINGLE CHIP MICROCOMPUTER

S1C63567

テクニカルマニュアル

S1C63567 Technical Hardware



本資料のご使用につきましては、次の点にご留意願います。

1. 本資料の内容については、予告なく変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利(工業所有権を含む)侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち、「外国為替および外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、一般民生用です。生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合の如何なる責任についても負いかねます。

本版で改訂または追加された箇所

章	節/項	頁	項目	内容
1	1.1	1	特長	消費電流値を変更
2	2.1.2	8	表2.1.2.1 内部発生時のLCD駆動電圧	表変更
4	4.7.2	48	表4.7.2.1 内部発生時のLCD駆動電圧	表変更
7	7.4	149	アナログ回路特性・消費電流	表変更

製品型番変更のご案内

2001年4月1日より、弊社半導体製品の製品型番が以下のとおり変更となっておりますので、ご発注につきましては変更後の製品型番にてお願い申し上げます。

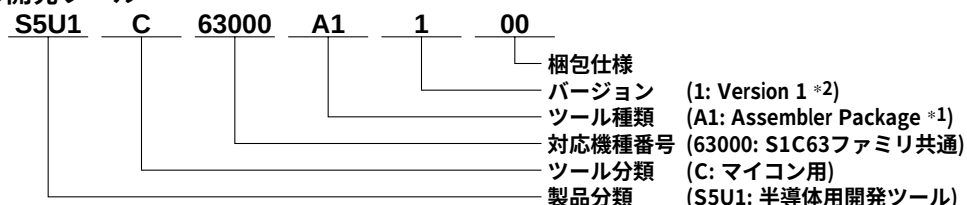
なお、製品型番の詳細仕様につきましては、弊社営業担当にお問い合わせください。

製品型番体系

●デバイス



●開発ツール



*1: ツールの種類は、新旧型番対応表を参照してください。(マニュアル類には一桁で記載されているものもあります。)

*2: マニュアル類には、実際のバージョンは記載されておりません。

新旧型番対応表

●S1C63ファミリ

旧型番	新型番
E0C63158	S1C63158
E0C63256	S1C63256
E0C63358	S1C63358
E0C63P366	S1C6P366
E0C63404	S1C63404
E0C63406	S1C63406
E0C63408	S1C63408
E0C63F408	S1C6F408
E0C63454	S1C63454
E0C63455	S1C63455
E0C63458	S1C63458
E0C63466	S1C63466
E0C63P466	S1C6P466

旧型番	新型番
E0C63467	S1C63467
E0C63557	S1C63557
E0C63558	S1C63558
E0C63567	S1C63567
E0C63F567	S1C6F567
E0C63658	S1C63658
E0C63666	S1C63666
E0C63F666	S1C6F666
E0C63A08	S1C63A08
E0C63B07	S1C63B07
E0C63B08	S1C63B08
E0C63B58	S1C63B58

●S1C63ファミリのペリフェラル製品

旧型番	新型番
E0C5250	S1C05250
E0C5251	S1C05251

開発ツール新旧型番対応表

●S1C63ファミリ関係の開発ツール

旧型番	新型番
ADP63366	S5U1C63366X
ADP63466	S5U1C63466X
ASM63	S5U1C63000A
GAM63001	S5U1C63000G
ICE63	S5U1C63000H1
PRC63001	S5U1C63001P
PRC63002	S5U1C63002P
PRC63004	S5U1C63004P
PRC63005	S5U1C63005P
PRC63006	S5U1C63006P
PRC63007	S5U1C63007P
URS63366	S5U1C63366Y

●S1C63/88ファミリ関係の開発ツール

旧型番	新型番
ADS00002	S5U1C88000X1
GWH00002	S5U1C88000W2
URM00002	S5U1C88000W1

目 次

1	概要	1
1.1	特長	1
1.2	ブロック図	2
1.3	端子配置図	3
1.4	端子説明	4
1.5	マスクオプション	5
2	電源系 および イニシャルリセット	8
2.1	電源系	8
2.1.1	発振回路および内部回路用電圧<V _{D1} >	8
2.1.2	LCD駆動用電圧<V _{C1} ~V _{C5} >	8
2.2	イニシャルリセット	9
2.2.1	リセット端子(RESET)	9
2.2.2	入力ポート(K00~K03)の同時LOW入力	10
2.2.3	イニシャルリセット時の内部レジスタ	10
2.2.4	イニシャルリセット時の端子設定	11
2.3	テスト端子 (TEST)	11
3	CPU, ROM, RAM	12
3.1	CPU	12
3.2	コードROM	12
3.3	RAM	12
3.4	データROM	13
4	周辺回路と動作	14
4.1	メモリマップ	14
4.2	ウォッチドッグタイマ	22
4.2.1	ウォッチドッグタイマの構成	22
4.2.2	割り込み機能	22
4.2.3	ウォッチドッグタイマのI/Oメモリ	23
4.2.4	プログラミング上の注意事項	23
4.3	発振回路	24
4.3.1	発振回路の構成	24
4.3.2	OSC1発振回路	24
4.3.3	OSC3発振回路	25
4.3.4	CPU動作クロックの切り換え	26
4.3.5	クロック周波数とインストラクション実行時間	26
4.3.6	発振回路のI/Oメモリ	26
4.3.7	プログラミング上の注意事項	27
4.4	入力ポート (K00~K03, K10~K13)	28
4.4.1	入力ポートの構成	28
4.4.2	割り込み機能	28

4.4.3	マスクオプション	29
4.4.4	入力ポートのI/Oメモリ	30
4.4.5	プログラミング上の注意事項	32
4.5	出力ポート (R00～R03, R10～R13, R20～R23)	33
4.5.1	出力ポートの構成	33
4.5.2	マスクオプション	33
4.5.3	ハイインピーダンス制御	34
4.5.4	特殊出力	34
4.5.5	出力ポートのI/Oメモリ	37
4.5.6	プログラミング上の注意事項	40
4.6	入出力兼用ポート (P00～P03, P10～P13, P20～P23, P30～P33)	41
4.6.1	入出力兼用ポートの構成	41
4.6.2	マスクオプション	42
4.6.3	I/O制御レジスタと入力/出力モード	42
4.6.4	入力モード時のプルアップ	42
4.6.5	特殊出力 (CL, FR)	43
4.6.6	入出力兼用ポートのI/Oメモリ	44
4.6.7	プログラミング上の注意事項	47
4.7	LCDドライバ	48
4.7.1	LCDドライバの構成	48
4.7.2	LCD駆動電源	48
4.7.3	LCD表示のON/OFFとデューティの切り換え	48
4.7.4	表示メモリ	50
4.7.5	LCDコントラスト調整	51
4.7.6	LCDドライバのI/Oメモリ	52
4.7.7	プログラミング上の注意事項	54
4.8	計時タイマ	55
4.8.1	計時タイマの構成	55
4.8.2	データの読み出しとホールド機能	55
4.8.3	割り込み機能	56
4.8.4	計時タイマのI/Oメモリ	57
4.8.5	プログラミング上の注意事項	58
4.9	ストップウォッチタイマ	59
4.9.1	ストップウォッチタイマの構成	59
4.9.2	カウントアップパターン	59
4.9.3	割り込み機能	60
4.9.4	ストップウォッチタイマのI/Oメモリ	61
4.9.5	プログラミング上の注意事項	62
4.10	プログラマブルタイマ	63
4.10.1	プログラマブルタイマの構成	63
4.10.2	カウンタ初期値の設定とダウンカウント動作	64
4.10.3	カウンタモード	65
4.10.4	タイマモード入力クロックの設定	66
4.10.5	割り込み機能	67
4.10.6	TOUT出力の設定	67
4.10.7	シリアルインタフェースの転送速度設定	68

4.10.8 プログラマブルタイマのI/Oメモリ	69
4.10.9 プログラミング上の注意事項	74
4.11 シリアルインタフェース	75
4.11.1 シリアルインタフェースの構成	75
4.11.2 マスクオプション	76
4.11.3 転送モード	76
4.11.4 クロック源	78
4.11.5 送受信の制御	79
4.11.6 クロック同期式転送の動作	80
4.11.7 調歩同期式転送の動作	84
4.11.8 割り込み機能	88
4.11.9 シリアルインタフェースのI/Oメモリ	90
4.11.10 プログラミング上の注意事項	96
4.12 サウンドジェネレータ	97
4.12.1 サウンドジェネレータの構成	97
4.12.2 ブザー回路	97
4.12.3 ブザー出力の制御	98
4.12.4 ブザー周波数と音量の設定	99
4.12.5 デジタルエンベロープ	100
4.12.6 1ショット出力	101
4.12.7 サウンドジェネレータのI/Oメモリ	102
4.12.8 プログラミング上の注意事項	105
4.13 SVD(電源電圧検出)回路	106
4.13.1 SVD回路の構成	106
4.13.2 マスクオプション	106
4.13.3 SVD動作	106
4.13.4 SVD回路のI/Oメモリ	107
4.13.5 プログラミング上の注意事項	108
4.14 電話機能(トーン/パルスダイヤラ)	109
4.14.1 トーン/パルスダイヤラの構成	109
4.14.2 マスクオプション	110
4.14.3 ダイヤル処理手順	110
4.14.4 トーンモード(DTMF)	113
4.14.5 パルスモード(DP)	116
4.14.6 ポーズ	119
4.14.7 フラッシュ	121
4.14.8 ホールドライン	122
4.14.9 割り込み	123
4.14.10 電話機能のI/Oメモリ	124
4.14.11 プログラミング上の注意事項	132
4.15 割り込みとHALT	133
4.15.1 割り込みの要因	135
4.15.2 割り込みの個別マスク	136
4.15.3 割り込みベクタ	136
4.15.4 割り込みのI/Oメモリ	137
4.15.5 プログラミング上の注意事項	138

5	注意事項のまとめ	139
5.1	低消費電流化のための注意事項	139
5.2	個別機能についての注意事項のまとめ	140
5.3	実装上の注意事項	144
6	基本外部結線図	146
7	電気的特性	147
7.1	絶対最大定格	147
7.2	推奨動作条件	147
7.3	DC特性	148
7.4	アナログ回路特性・消費電流	149
7.5	発振特性	150
7.6	シリアルインタフェースAC特性	152
7.7	タイミングチャート	153
7.8	特性グラフ(参考値)	154
7.8.1	出力電流特性	154
7.8.2	電源電流-周波数特性	156
8	パッケージ	157
8.1	プラスチックパッケージ	157
8.2	テストサンプル用セラミックパッケージ	158
9	パッド配置	159
9.1	パッド配置図	159
9.2	パッド座標	160

1 概要

S1C63567は高性能4ビットCPU S1C63000を中心に、ワンチップ上にROM(16,384ワード×13ビット)、RAM(5,120ワード×4ビット)、シリアルインタフェース、ウォッチドッグタイマ、プログラマブルタイマ、タイムベースカウンタ(2系統)、SVD回路、最大60セグメント×17コモンのドットマトリクスLCD駆動回路、DTMF/DPジェネレータ、サウンドジェネレータ等を内蔵したマイクロコンピュータです。2.2V～5.5Vまでの動作電圧による高速動作および低消費電流等の特長を持ち、電池駆動を必要とする応用に適しています。特に大容量のRAMを内蔵しているため、コーラーID(Caller ID)や携帯用データバンクシステム等への応用に最適です。

1.1 特長

OSC1発振回路	32.768kHz(Typ.)水晶発振、または60kHz(Typ.)CR発振回路(*1)
OSC3発振回路	3.58MHz(Typ.)セラミック発振、または1.8MHz(Typ.)CR発振回路(*1)
インストラクションセット	基本命令 46種類(全命令数 411種類)、アドレッシングモード 8種類
インストラクション実行時間	32.768kHz動作時: 61μsec 122μsec 183μsec 3.58MHz動作時: 0.56μsec 1.12μsec 1.68μsec
ROM容量	命令ROM: 16,384ワード×13ビット データROM: 2,048ワード×4ビット(=8Kビット)
RAM容量	データメモリ: 5,120ワード×4ビット 表示メモリ: 1,020ビット(240ワード×4ビット + 60×1ビット)
入力ポート	8ビット (プリアップ抵抗の付加が可能*1)
出力ポート	12ビット (8ビットを特殊出力に切り換え可能*2)
入出力兼用ポート	16ビット (2ビットを特殊出力、4ビットをシリアルI/F入出力に切り換え可能*2)
シリアルインタフェース	1ch. (クロック同期式8ビット/調歩同期式8ビット転送が選択可能*2)
LCDドライバ	60セグメント×8、16または17コモン(*2)
タイムベースカウンタ	2系統 (計時タイマ、ストップウォッチタイマ)
プログラマブルタイマ	内蔵 (2入力×8ビット、イベントカウンタ機能付き)
ウォッチドッグタイマ	内蔵
DTMFジェネレータ	内蔵
DPジェネレータ	内蔵
サウンドジェネレータ	エンベロープ、1ショット出力機能付き
電源電圧検出(SVD)回路	12値プログラマブル(2.20V～3.30V) (1値を外部電圧検出に切り換え可能*1)
外部割り込み	入力ポート割り込み 2系統
内部割り込み	計時タイマ割り込み 4系統 ストップウォッチタイマ割り込み 2系統 プログラマブルタイマ割り込み 2系統 シリアルインタフェース割り込み 3系統 ダイアル割り込み 1系統
電源電圧	2.2V～5.5V
動作温度範囲	-20°C～70°C
消費電流(Typ.)	低速動作時(OSC1: 水晶発振): HALT時(32kHz) 3.0V(液晶電源OFF) 1.5μA 3.0V(液晶電源ON) 4μA 動作時(32kHz) 3.0V(液晶電源ON) 10μA 高速動作時(OSC3: セラミック発振): 動作時(3.58MHz) 3.0V(液晶電源ON) 600μA
出荷形態	QFP8-144pin(プラスチック)またはチップ

*1: マスクオプションにより選択 *2: ソフトウェアにより選択

1.2 ブロック図

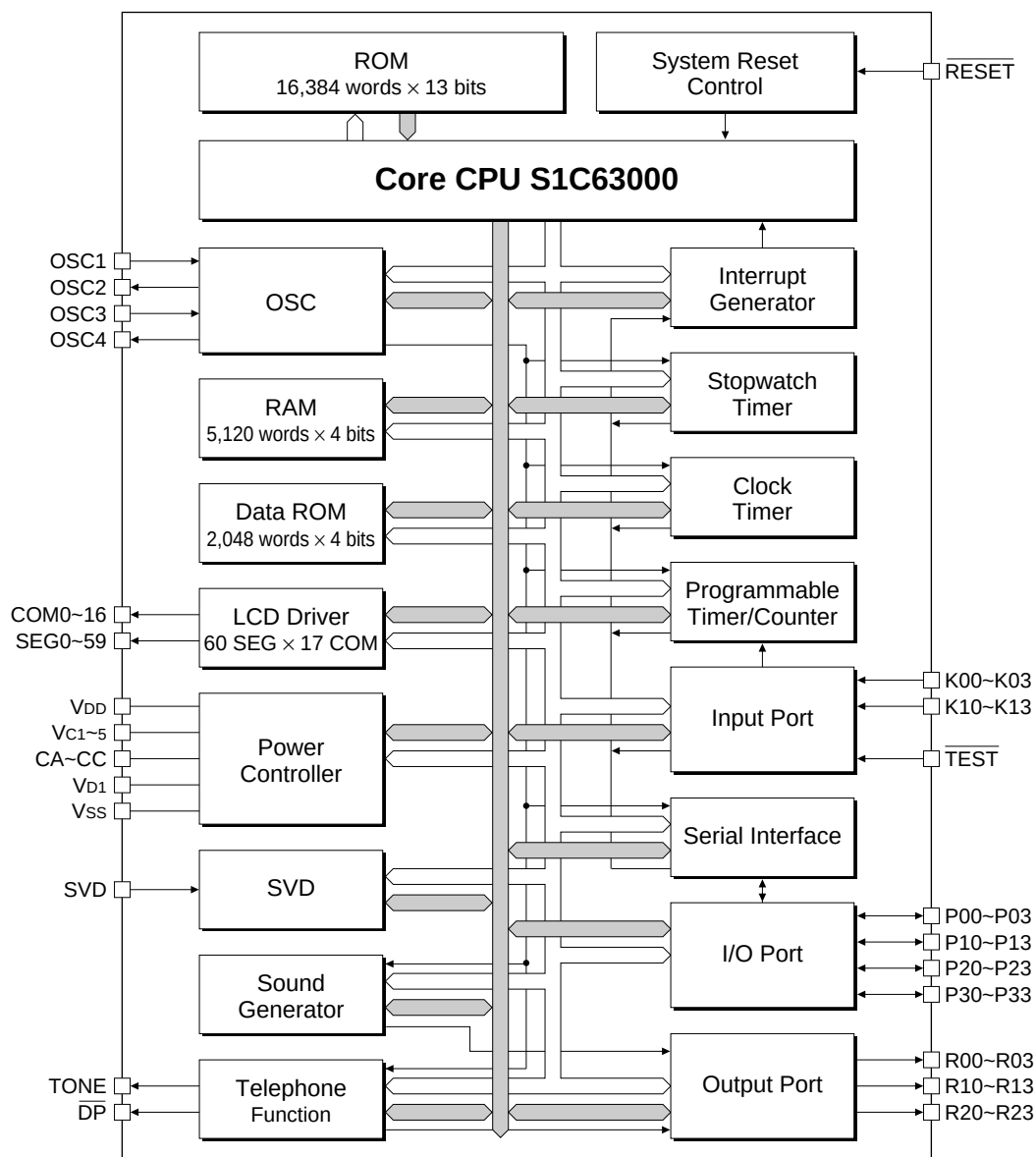
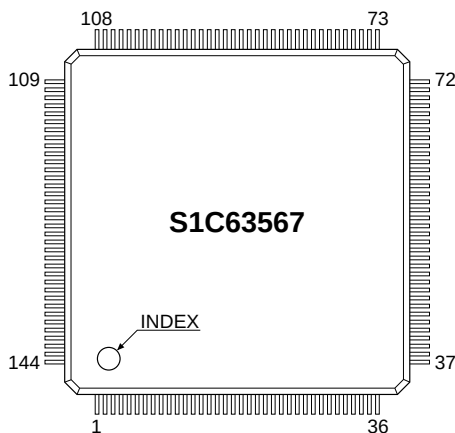


図1.2.1 ブロック図

1.3 端子配置図

QFP8-144pin



No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	N.C.	37	N.C.	73	N.C.	109	N.C.
2	SEG16	38	N.C.	74	K11	110	N.C.
3	SEG15	39	$\overline{DP}$	75	K10	111	N.C.
4	SEG14	40	R23	76	K03	112	SEG47
5	SEG13	41	R22	77	K02	113	SEG46
6	SEG12	42	R21	78	K01	114	SEG45
7	SEG11	43	R20	79	K00	115	SEG44
8	SEG10	44	R13	80	SVD	116	SEG43
9	SEG9	45	R12	81	VC1	117	SEG42
10	SEG8	46	R11	82	VC23	118	SEG41
11	SEG7	47	R10	83	VC4	119	SEG40
12	SEG6	48	R03	84	VC5	120	SEG39
13	SEG5	49	R02	85	CC	121	SEG38
14	SEG4	50	R01	86	CB	122	SEG37
15	SEG3	51	R00	87	CA	123	SEG36
16	SEG2	52	P33	88	COM8	124	SEG35
17	SEG1	53	P32	89	COM9	125	SEG34
18	SEG0	54	P31	90	COM10	126	SEG33
19	COM7	55	P30	91	COM11	127	SEG32
20	COM6	56	P23	92	COM12	128	SEG31
21	COM5	57	P22	93	COM13	129	SEG30
22	COM4	58	P21	94	COM14	130	SEG29
23	COM3	59	P20	95	COM15	131	SEG28
24	COM2	60	P13	96	COM16	132	SEG27
25	COM1	61	P12	97	SEG59	133	SEG26
26	COM0	62	P11	98	SEG58	134	SEG25
27	Vss	63	P10	99	SEG57	135	SEG24
28	OSC1	64	P03	100	SEG56	136	SEG23
29	OSC2	65	P02	101	SEG55	137	SEG22
30	VD1	66	P01	102	SEG54	138	SEG21
31	OSC3	67	P00	103	SEG53	139	SEG20
32	OSC4	68	K13	104	SEG52	140	SEG19
33	VD0	69	K12	105	SEG51	141	SEG18
34	$\overline{RESET}$	70	N.C.	106	SEG50	142	SEG17
35	$\overline{TEST}$	71	N.C.	107	SEG49	143	N.C.
36	TONE	72	N.C.	108	SEG48	144	N.C.

N.C. : No Connection

図1.3.1 端子配置図

1.4 端子説明

表1.4.1 端子説明

端子名	端子No.	I/O	機 能
VDD	33	–	電源(+)端子
VSS	27	–	電源(–)端子
VD1	30	–	発振系定電圧出力端子
VC1~VC5	81~84	–	LCD系電源端子 (内部発生により1/4バイアス)
CA~CC	87~85	–	LCD系昇降圧コンデンサ接続端子
OSC1	28	I	水晶発振入力端子
OSC2	29	O	水晶発振出力端子
OSC3	31	I	セラミック発振入力端子
OSC4	32	O	セラミック発振出力端子
K00~K03	79~76	I	入力端子
K10~K13	75, 74, 69, 68	I	入力端子
P00~P03	67~64	I/O	入出力端子
P10~P13	63~60	I/O	入出力端子(シリアルI/F入出力にソフト切り換え)
P20	59	I/O	入出力端子
P21	58	I/O	入出力端子
P22	57	I/O	入出力端子(CL信号出力にソフト切り換え)
P23	56	I/O	入出力端子(FR信号出力にソフト切り換え)
P30~P33	55~52	I/O	入出力端子
R00	51	O	出力端子(XBZ信号出力にソフト切り換え)
R01	50	O	出力端子(BZ信号出力にソフト切り換え)
R02	49	O	出力端子(TOUT信号出力にソフト切り換え)
R03	48	O	出力端子(FOUT信号出力にソフト切り換え)
R10	47	O	出力端子(XTMUTE信号出力にソフト切り換え)
R11	46	O	出力端子(XRMUTE信号出力にソフト切り換え)
R12	45	O	出力端子(HDO信号出力にソフト切り換え)
R13	44	O	出力端子(HFO信号出力にソフト切り換え)
R20~R23	43~40	O	出力端子
COM0~COM16	26~19, 88~96	O	LCDコモン出力端子(1/8, 1/16, 1/17デューティをソフト切り換え)
SEG0~SEG59	18~2, 142~112, 108~97	O	LCDセグメント出力端子
SVD	80	I	SVD外部電圧入力端子
DP	39	O	ダイアルパルス出力端子
TONE	36	O	DTMF出力端子
RESET	34	I	イニシャルリセット入力端子
TEST	35	I	テスト用入力端子

1.5 マスクオプション

S1C63567には以下に示すマスクオプションが設定されています。

各マスクオプションには複数のハードウェア仕様が用意されており、アプリケーションに合わせて選択することができます。この選択にはS1C63567の開発ソフトウェアツールとして用意されているファンクションオプションジェネレータwinfogを使用します。winfogによって作成したデータをもとに最終的なICのマスクパターン生成が行われます。winfogについては"S5U1C63000A Manual"を参照してください。

〈S1C63567マスクオプションの概要〉

(1) OSC1発振回路

OSC1発振回路として水晶発振回路またはCR発振回路が選択できます。
詳細については"4.3.2 OSC1発振回路"を参照してください。

(2) OSC3発振回路

OSC3発振回路としてCR発振回路またはセラミック発振回路が選択できます。
詳細については"4.3.3 OSC3発振回路"を参照してください。

(3) 入力ポート(K00～K03)同時LOW入力による外部リセット

この機能は、複数キーの同時押しによってICをリセットするもので、この機能を使用するかしないかをマスクオプションで選択できます。また、使用する場合は、同時に押すキーを接続する入力ポート(K00～K03)の組み合わせを選択します。詳細については"2.2.2 入力ポート(K00～K03)の同時LOW入力"を参照してください。

(4) 入力ポート同時LOW入力リセットの時間検定回路

(3)の外部リセット機能を使用する場合に時間検定回路を使用するかしないか選択できます。時間検定回路を使用すると、規定時間以上の同時LOW入力があった場合のみ、リセット機能が働きます。詳細については"2.2.2 入力ポート(K00～K03)の同時LOW入力"を参照してください。

(5) 入力ポートプルアップ抵抗

入力(K)ポートにプルアップ抵抗を付加するかしないか選択できます。この選択は入力ポートの各ビットごとに行えます。詳細については"4.4.3 マスクオプション"を参照してください。

(6) 出力ポートの出力仕様

出力(R)ポートの出力仕様として、コンプリメンタリ出力またはNチャンネルオープンドレイン出力が選択できます。選択はビット単位で行います。詳細については"4.5.2 マスクオプション"を参照してください。

(7) 入出力兼用ポートの出力仕様/プルアップ抵抗

入出力兼用(P)ポートが出力モードの際の出力仕様として、コンプリメンタリ出力またはNチャンネルオープンドレイン出力が選択できます。

また、入力モード時に働くプルアップ抵抗を付加するかしないか選択できます。

出力仕様の選択は、入出力兼用ポートごとにビット単位で行います。

プルアップ抵抗の選択は、P2xポートはビット単位、P0x、P1x、P3xポートは4ビット単位で行います。

詳細については"4.6.2 マスクオプション"を参照してください。

(8) その他の特殊出力端子の出力仕様

以下の特殊出力端子は出力(R)ポート端子または入出力兼用(P)ポート端子と共用されます。したがって、共用されるポートの出力仕様(コンプリメンタリ出力またはNチャンネルオープンドレイン出力)が特殊出力にも適用されます。

特殊出力信号	共用されるポート
XBZ, BZ, TOUT, FOUT	出力ポート R00～R03
XRMUTE, XTMUTE, HDO, HFO	出力ポート R10～R13
シリアルインタフェースの入出力	入出力兼用ポート P10～P13
CL, FR	入出力兼用ポート P22, P23

(9) DP端子の出力仕様

DP(ダイアルパルス出力)端子の出力仕様として、コンプリメンタリ出力またはNチャンネルオープンドレイン出力が選択できます。

詳細については"4.14.2 マスクオプション"を参照してください。

(10) SVD回路の外部電圧検出

電源電圧(V_{DD}端子ーV_{SS}端子)の低下検出以外に外部電圧(SVD端子ーV_{SS}端子)の低下検出を選択できます。この外部電圧はSVD端子より入力します。

詳細については"4.13.2 マスクオプション"を参照してください。

(11) DTMF回路のトーン出力時間選択(DTS)機能

DTSレジスタによる94msecまたは47msecのトーン出力時間設定機能を使用するかしないか選択できます。使用しない場合、トーン出力時間は94msecに固定されます。詳細については"4.14.2 マスクオプション"を参照してください。

〈マスクオプションリスト〉

S1C63567のオプションリストを以下に示します。各オプション項目には、複数の選択肢が用意されていますので、4章の"周辺回路と動作"を参照してシステムに合った内容を選択し、□に印を付けてください。なお、使用しない機能についても解説に従って必ず選択してください。このオプションリストを参照しながら、S1C63567のオプション設定をwinfogのウィンドウ上で行います。winfogについては"S5U1C63000A Manual"を参照してください。

1. OSC1発振回路(OSC1 system clock)

- ☐ 1. 水晶
- ☐ 2. CR

2. OSC3発振回路(OSC3 system clock)

- ☐ 1. セラミック
- ☐ 2. CR

3. キー同時押しリセット組み合わせ(Multiple key entry reset combination)

- ☐ 1. 使用しない
- ☐ 2. 使用する <K00, K01, K02, K03>
- ☐ 3. 使用する <K00, K01, K02>
- ☐ 4. 使用する <K00, K01>

4. キー同時押しリセット時間検定(Multiple key entry reset time authorize)

- ☐ 1. 使用しない
- ☐ 2. 使用する

5. 入力ポートプルアップ抵抗 (Input port pull up resistor)

- | | | |
|-----------|--------------------------------|--------------------------------|
| K00 | ☐ 1. あり | ☐ 2. なし |
| K01 | ☐ 1. あり | ☐ 2. なし |
| K02 | ☐ 1. あり | ☐ 2. なし |
| K03 | ☐ 1. あり | ☐ 2. なし |
| K10 | ☐ 1. あり | ☐ 2. なし |
| K11 | ☐ 1. あり | ☐ 2. なし |
| K12 | ☐ 1. あり | ☐ 2. なし |
| K13 | ☐ 1. あり | ☐ 2. なし |

6. 出力ポート出力仕様 (Output port output specification)

- | | | |
|-----------|--------------------------------------|---|
| R00 | ☐ 1. コンプリメンタリ | ☐ 2. Nchオープンドレイン |
| R01 | ☐ 1. コンプリメンタリ | ☐ 2. Nchオープンドレイン |
| R02 | ☐ 1. コンプリメンタリ | ☐ 2. Nchオープンドレイン |
| R03 | ☐ 1. コンプリメンタリ | ☐ 2. Nchオープンドレイン |
| R10 | ☐ 1. コンプリメンタリ | ☐ 2. Nchオープンドレイン |
| R11 | ☐ 1. コンプリメンタリ | ☐ 2. Nchオープンドレイン |
| R12 | ☐ 1. コンプリメンタリ | ☐ 2. Nchオープンドレイン |
| R13 | ☐ 1. コンプリメンタリ | ☐ 2. Nchオープンドレイン |
| R20 | ☐ 1. コンプリメンタリ | ☐ 2. Nchオープンドレイン |
| R21 | ☐ 1. コンプリメンタリ | ☐ 2. Nchオープンドレイン |
| R22 | ☐ 1. コンプリメンタリ | ☐ 2. Nchオープンドレイン |
| R23 | ☐ 1. コンプリメンタリ | ☐ 2. Nchオープンドレイン |

7. I/Oポート出力仕様 (I/O port output specification)

- | | | |
|-----------|--------------------------------------|---|
| P00 | ☐ 1. コンプリメンタリ | ☐ 2. Nchオープンドレイン |
| P01 | ☐ 1. コンプリメンタリ | ☐ 2. Nchオープンドレイン |
| P02 | ☐ 1. コンプリメンタリ | ☐ 2. Nchオープンドレイン |
| P03 | ☐ 1. コンプリメンタリ | ☐ 2. Nchオープンドレイン |
| P10 | ☐ 1. コンプリメンタリ | ☐ 2. Nchオープンドレイン |
| P11 | ☐ 1. コンプリメンタリ | ☐ 2. Nchオープンドレイン |
| P12 | ☐ 1. コンプリメンタリ | ☐ 2. Nchオープンドレイン |
| P13 | ☐ 1. コンプリメンタリ | ☐ 2. Nchオープンドレイン |
| P20 | ☐ 1. コンプリメンタリ | ☐ 2. Nchオープンドレイン |
| P21 | ☐ 1. コンプリメンタリ | ☐ 2. Nchオープンドレイン |
| P22 | ☐ 1. コンプリメンタリ | ☐ 2. Nchオープンドレイン |
| P23 | ☐ 1. コンプリメンタリ | ☐ 2. Nchオープンドレイン |
| P30 | ☐ 1. コンプリメンタリ | ☐ 2. Nchオープンドレイン |
| P31 | ☐ 1. コンプリメンタリ | ☐ 2. Nchオープンドレイン |
| P32 | ☐ 1. コンプリメンタリ | ☐ 2. Nchオープンドレイン |
| P33 | ☐ 1. コンプリメンタリ | ☐ 2. Nchオープンドレイン |

8. I/Oポートプルアップ抵抗 (I/O port pull up resistor)

- | | | |
|-----------|--------------------------------|--------------------------------|
| P0x | ☐ 1. あり | ☐ 2. なし |
| P1x | ☐ 1. あり | ☐ 2. なし |
| P20 | ☐ 1. あり | ☐ 2. なし |
| P21 | ☐ 1. あり | ☐ 2. なし |
| P22 | ☐ 1. あり | ☐ 2. なし |
| P23 | ☐ 1. あり | ☐ 2. なし |
| P3x | ☐ 1. あり | ☐ 2. なし |

9. DPポート出力仕様 (DP port output specification)

- ☐ 1. コンプリメンタリ
☐ 2. Nchオープンドレイン

10. SVD回路外部電圧検出 (SVD external voltage detection)

- ☐ 1. 使用しない
☐ 2. 使用する

11. DTMF回路DTS機能 (DTMF "DTS")

- ☐ 1. 使用しない
☐ 2. 使用する

2 電源系 および イニシャルリセット

2.1 電源系

S1C63567の動作電源電圧は次のとおりです。

電源電圧 $V_{DD} = 2.2V \sim 5.5V$

S1C63567は上記範囲の単一電源を $V_{DD}-V_{SS}$ 間に与えることにより動作し、内部に必要な電圧を、内蔵された以下の電源回路によりIC自身で発生します。

回路系	電源回路	出力電圧
発振、内部回路	発振系定電圧回路	V_{D1}
LCD駆動回路	LCD系電圧回路	$V_{C1} \sim V_{C5}$

注: ・ 内部電源回路の出力電圧による外付け負荷の駆動は禁止します。

・ 電圧値、駆動能力については"7 電気的特性"を参照してください。

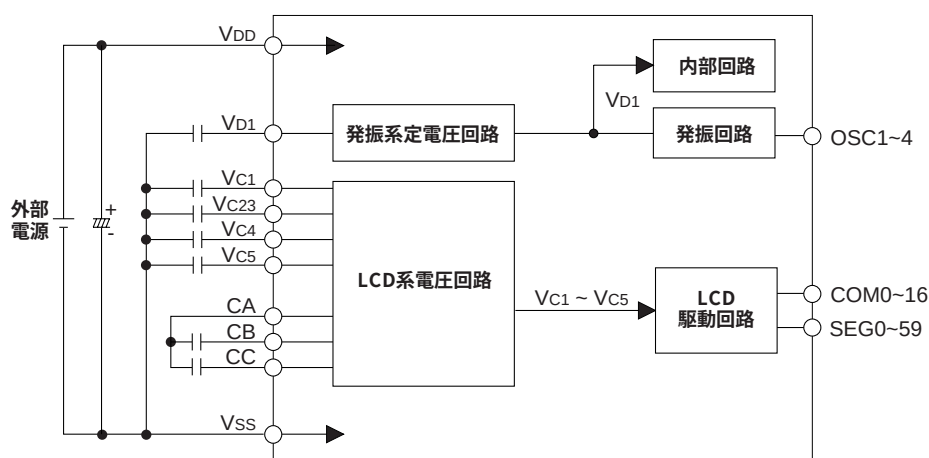


図2.1.1 電源系の構成

2.1.1 発振回路および内部回路用電圧< V_{D1} >

V_{D1} は発振回路および内部ロジック回路用の電圧で、発振を安定させるため発振系定電圧回路で発生しています。電圧値は2.1V固定となり、ソフトウェアによる制御は必要ありません。

2.1.2 LCD駆動用電圧< $V_{C1} \sim V_{C5}$ >

V_{C1} 、 V_{C23} 、 V_{C4} 、 V_{C5} はLCD(1/4バイアス)駆動用の電圧で、内蔵のLCD系電圧回路が発生します。この4つの出力電圧は外付けして拡張するLCDドライバに限り、外部に対して供給可能です。

LCD系電圧回路は、 V_{C23} を発生し、その電圧を昇圧または降圧して他の3電位を発生します。表2.1.2.1に V_{C1} 、 V_{C23} 、 V_{C4} 、 V_{C5} の電圧値と昇降圧の状態を示します。

表2.1.2.1 内部発生時のLCD駆動電圧

LCD駆動電圧	昇降圧状態	電圧値[V]
V_{C1}	$V_{C2} \times 0.5$	1.13
V_{C23}	V_{C2} (基準)	2.25
V_{C4}	$V_{C2} \times 1.5$	3.38
V_{C5}	$V_{C2} \times 2$	4.50

(注) LCD駆動電圧はソフトウェア(4.7.5項参照)により調整できます。

表の数値はTYP値です。

LCD駆動電圧の制御方法については"4.7 LCDドライバ"を参照してください。

2.2 イニシャルリセット

S1C63567は回路を初期化するためにイニシャルリセットを必要とします。イニシャルリセット要因としては次の2種類があります。

(1) RESET端子による外部イニシャルリセット

(2) K00～K03端子の同時LOWレベル入力による外部イニシャルリセット(マスクオプションで設定)

(1)または(2)のいずれかにより回路が初期化されます。電源投入時は必ずこのリセット機能を使用し、確実に初期化する必要があります。電源投入のみでは回路が正しく初期化される保証はありません。

図2.2.1にイニシャルリセット回路の構成を示します。

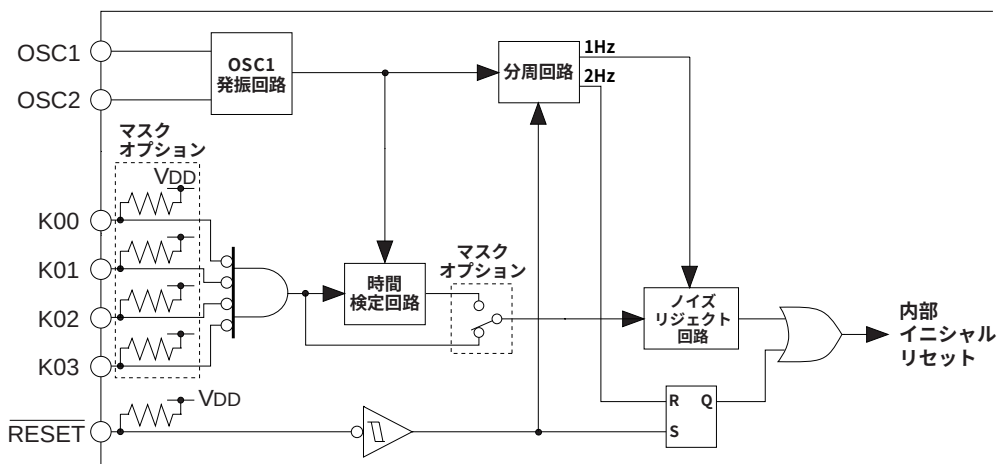


図2.2.1 イニシャルリセット回路の構成

2.2.1 リセット端子(RESET)

外部よりリセット端子をLOWレベル(Vss)にすることによりイニシャルリセットが行えます。

その後、リセット端子をHIGHレベル(VDD)にすることによりイニシャルリセットは解除され、CPUが動作を開始します。

リセット入力信号はRSラッチにより保持され、内部イニシャルリセット信号となります。RSラッチはOSC1クロックを分周した2Hz信号(HIGH)で解除されるようになっています。したがって、通常動作時はリセット端子がHIGHレベルになった後、内部イニシャルリセットが解除されるまで、最大250msec($f_{OSC1}=32.768\text{kHz}$ 時)の時間を要します。

確実にイニシャルリセットを行うために、リセット入力は最低0.1msec以上、LOWレベルを保ってください。ただし、電源投入時には図2.2.1.1に示すタイミングでリセット端子をLOWレベルにしてください。

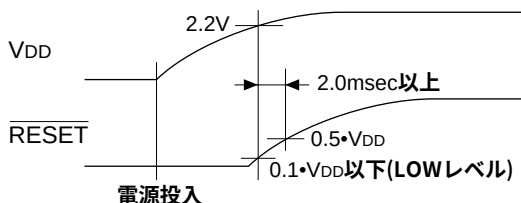


図2.2.1.1 電源投入時のイニシャルリセット

電源電圧が2.2V以上になるまで、リセット端子を0.1・VDD以下(LOWレベル)とします。その後2.0msec以上、0.5・VDD以下のレベルを保持します。

2.2.2 入力ポート(K00～K03)の同時LOW入力

マスクオプションで選択された入力ポート(K00～K03)に、外部から同時にLOW入力を与えることによりイニシャルリセットが行えます。このイニシャルリセットはノイズリジェクト回路を通るため、動作中は1.5msec(発振周波数 $f_{osc1}=32.768\text{kHz}$ の場合)以上、指定入力ポート端子をLOWレベルに保ってください。また、電源投入時には発振が停止しているため、ノイズリジェクト回路は動作しません。このため、発振開始後、さらに1.5msec(発振周波数 $f_{osc1}=32.768\text{kHz}$ の場合)以上、指定入力ポート端子をLOWレベルに保ってください。表2.2.2.1にマスクオプションで選択できる入力ポート(K00～K03)の組合せを示します。

表2.2.2.1 入力ポートの組合せ

1	使用しない
2	K00*K01*K02*K03
3	K00*K01*K02
4	K00*K01

たとえば、マスクオプションで2の"K00*K01*K02*K03"を選択した場合、K00～K03の4ポートの入力が同時にLOWレベルになったときにイニシャルリセットを行います。3または4の場合は、選択した入力ポートの組合せが含まれるキー入力が行われたときにイニシャルリセットがかかります。

また、同時LOW入力の入力時間を検定し、規定時間(1～2秒)以上の入力があったときにイニシャルリセットを行う時間検定回路をマスクオプションで選択できます。

なお、このリセット機能を使用する場合、通常動作時に指定ポートが同時にLOWレベルにならないように注意してください。

2.2.3 イニシャルリセット時の内部レジスタ

イニシャルリセットによりCPUは表2.2.3.1のように初期化されます。

イニシャルリセットによって初期化されないレジスタ、フラグは必要に応じてプログラムで初期化する必要があります。

特にスタックポインタSP1およびSP2は必ずペアで設定してください。イニシャルリセット後は、SP1、SP2両方のスタックポインタがソフトウェアにより設定されるまでNMIを含むすべての割り込みがマスクされます。

EXTレジスタにデータを書き込むとEフラグがセットされ、次の命令が拡張アドレッシングモードで実行されます。そこに拡張アドレッシングが禁止されている命令を使用した場合、動作が保証されません。したがって、EXTレジスタの初期化のみを目的としたデータ書き込みは行わないでください。

拡張アドレッシングと使用可能な命令については"S1C63000コアCPUマニュアル"を参照してください。

表2.2.3.1 初期設定値

CPUコア				周辺回路		
名 称	記号	ビット長	設定値	名 称	ビット長	設定値
データレジスタA	A	4	不定	RAM	4	不定
データレジスタB	B	4	不定	表示メモリ	4	不定
拡張レジスタEXT	EXT	8	不定	その他の周辺回路	—	*
インデックスレジスタX	X	16	不定	* "4.1 メモリマップ"参照		
インデックスレジスタY	Y	16	不定			
プログラムカウンタ	PC	16	0110H			
スタックポインタSP1	SP1	8	不定			
スタックポインタSP2	SP2	8	不定			
ゼロフラグ	Z	1	不定			
キャリーフラグ	C	1	不定			
インタラプトフラグ	I	1	0			
拡張フラグ	E	1	0			
キューレジスタ	Q	16	不定			

2.2.4 イニシャルリセット時の端子設定

S1C63567の出力ポート(R)端子、入出力兼用ポート(P)端子は特殊出力端子やシリアルインタフェースの入出力端子と兼用されており、それらの機能をソフトウェアで選択するようになっています。イニシャルリセット時、各端子はすべてが汎用出力ポート端子、汎用入出力兼用ポート端子として設定されますので、アプリケーションの初期化ルーチンでシステムに合った設定を行ってください。また、システム設計の際には、出力端子の初期状態にも注意してください。

表2.2.4.1に兼用端子設定の一覧を示します。

表2.2.4.1(a) 兼用端子設定一覧(Rxx)

端子名	イニシャルリセット時の 端子状態	特殊出力使用時							
		FOUT	TOUT	BZ	XBZ	HFO	HDO	XRMUTE	XTMUTE
R00	R00 (HIGH出力)				XBZ				
R01	R01 (HIGH出力)			BZ					
R02	R02 (HIGH出力)		TOUT						
R03	R03 (HIGH出力)	FOUT							
R10	R10 (HIGH出力)								XTMUTE
R11	R11 (HIGH出力)							XRMUTE	
R12	R12 (HIGH出力)						HDO		
R13	R13 (HIGH出力)					HFO			
R20~R23	R20~R23 (HIGH出力)								

表2.2.4.1(b) 兼用端子設定一覧(Pxx)

端子名	イニシャルリセット時の 端子状態	特殊出力使用時		シリアルインタフェース使用時		
		CL	FR	Async.	Clk-sync. Master	Clk-sync. Slave
P00~P03	P00~P03 (入力&プルアップ*)					
P10	P10 (入力&プルアップ*)			SIN(I)	SIN(I)	SIN(I)
P11	P11 (入力&プルアップ*)			SOUT(O)	SOUT(O)	SOUT(O)
P12	P12 (入力&プルアップ*)				SCLK(O)	SCLK(I)
P13	P13 (入力&プルアップ*)					SRDY(O)
P20	P20 (入力&プルアップ*)					
P21	P21 (入力&プルアップ*)					
P22	P22 (入力&プルアップ*)	CL				
P23	P23 (入力&プルアップ*)		FR			
P30~P33	P30~P33 (入力&プルアップ*)					

* マスクオプションにて"プルアップあり"選択時 ("プルアップなし"選択時はハイインピーダンス)

機能の設定方法については各周辺回路の説明を参照してください。

2.3 テスト端子 (TEST)

ICの出荷検査時に使用する端子です。通常動作時は $\overline{\text{TEST}}$ を V_{DD} に接続してください。

3 CPU, ROM, RAM

3.1 CPU

S1C63567はCPU部分に4ビットコアCPU S1C63000を使用しています。
S1C63000については"S1C63000コアCPUマニュアル"を参照してください。

注: S1C63567においては、SLEEP動作を想定していないため、SLP命令は使用できません。

3.2 コードROM

内蔵コードROMはプログラム格納用のマスクROMで、16,384ステップ×13ビットの容量があります。コアCPUのプログラム領域は0000H～FFFFHステップまでリニアにアクセス可能ですが、S1C63567では、このうち0000H～3FFFHステップがプログラム領域となります。イニシャルリセット後のプログラム開始番地が0110Hステップ、ノンマスカブル割り込み(NMI)ベクタが0100H、ハードウェア割り込みベクタが0104H～010EHステップに割り当てられています。

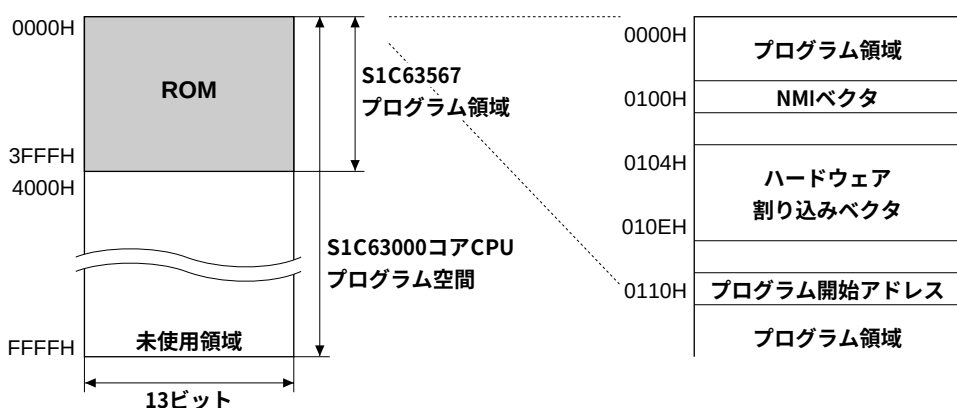


図3.2.1 コードROMの構成

3.3 RAM

RAMは種々のデータを格納するデータメモリで、5,120ワード×4ビットの容量があります。RAM領域は、データメモリマップ上のアドレス0000H～13FFHに割り当てられています。この中でアドレス0100H～01FFHが4ビット/16ビットデータアクセスが可能な領域、その他の領域は4ビットデータアクセスのみ可能な領域となっています。プログラミングの際には以下の点に注意してください。

- (1) データメモリの一部をサブルーチンコールやレジスタ退避時のスタック領域としても使用しますので、データ領域とスタック領域が重ならないように注意してください。
- (2) S1C63000コアCPUは、4ビットデータ用スタックポインタ(SP2)および16ビットデータ用スタックポインタ(SP1)によりスタック処理を行います。SP1によるスタック処理では16ビットデータアクセスが行われますので、このスタック領域の設定は4ビット/16ビットアクセスが可能な領域内(0100H～01FFH)で行ってください。スタックポインタは、SP1が0000H～03FFH、SP2が0000H～00FFHの範囲でサイクリックに動作します。このため、SP1はS1C63567の4ビット/16ビットアクセス領域を外れた0200H以上、あるいは00FFH以下の領域にも設定される可能性がありますので注意してください。SP1によるスタック操作以外のメモリアクセスは4ビットデータアクセスとなります。
また、イニシャルリセット時は、スタックポインタSP1、SP2の両方がソフトウェアで設定されるまでNMIを含むすべての割り込みがマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまでNMIを含む割り込みは再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

- (3) サブルーチンコールでは16ビットデータ用スタック(SP1)を4ワード(PCの退避)消費します。
 割り込みでは16ビットデータ用スタックエリアを4ワード(PCの退避)、4ビットデータ用スタックエリアを1ワード(Fレジスタの退避)消費します。

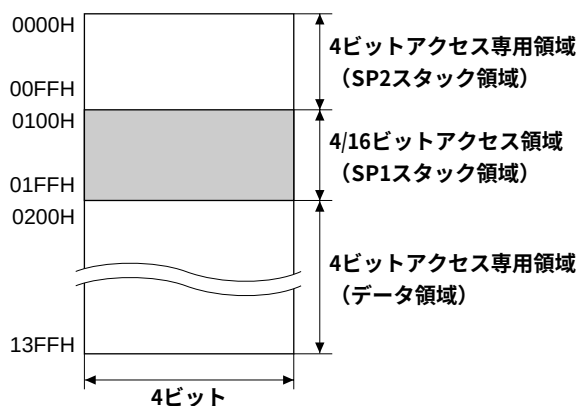


図3.3.1 データRAMの構成

3.4 データROM

データROMはキャラクタジェネレータなどの各種固定データ格納用のマスクROMで、2,048ワード×4ビットの容量があります。データメモリマップ上のアドレス8000H～87FFHに割り当てられており、RAMと同様にデータメモリアクセス命令でデータを読み出すことができます。

4 周辺回路と動作

S1C63567の周辺回路(タイマ、I/O等)はメモリマップドI/O方式で、CPUとインタフェースされています。このため、メモリマップ上のI/Oメモリをメモリ操作命令でアクセスすることにより、すべての周辺回路を制御することができます。

以下に、各周辺回路の動作について詳細に説明します。

4.1 メモリマップ

S1C63567のデータメモリは5,120ワードのRAM、2,048ワードのデータROM、1,020ビットの表示メモリ、84ワードの周辺I/Oメモリで構成されます。

図4.1.1にS1C63567の全体のメモリマップ、表4.1.1(a)～(g)に周辺回路(I/O空間)のメモリマップを示します。

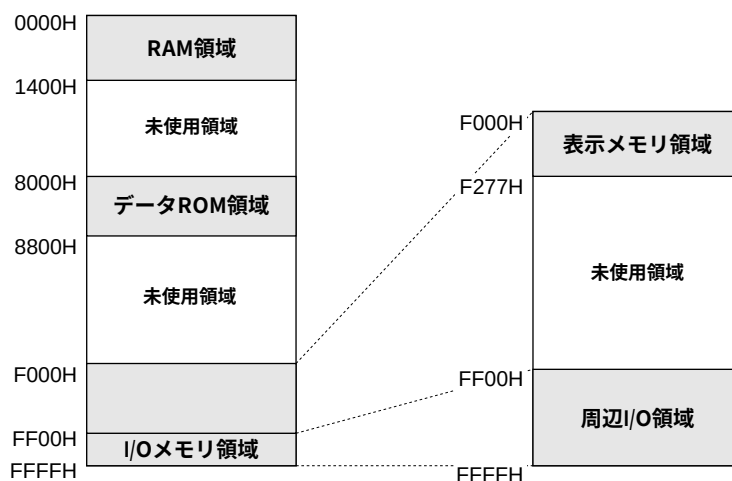


図4.1.1 メモリマップ

注: メモリマップの未使用領域にはメモリが実装されていません。また、表示メモリ領域および周辺I/O領域にも非実装領域、未使用(アクセス禁止)領域が存在します。これらの領域をアクセスするようなプログラムを作成した場合は、正常な動作を保証することはできません。

表示メモリについては"4.7.4 表示メモリ"を、周辺I/O領域については表4.1.1(a)～(g)に示すI/Oメモリマップを参照してください。

表4.1.1(a) I/Oメモリマップ (FF00H~FF18H)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF00H	CLKCHG	OSCC	0	Dummy	CLKCHG	0	OSC3	OSC1	CPUクロック切り換え OSC3発振On/Off 未使用 汎用レジスタ
					OSCC	0	On	Off	
		R/W	R	R/W	0 *3 Dummy	- *2 0			
FF04H	SVDS3	SVDS2	SVDS1	SVDS0	SVDS3	0			SVD比較電圧設定 [SVDS3~0] 0 1 2 3 4 5 6 7 電圧(V) 2.20 0.95 2.20 2.20 2.20 2.20 2.30 2.40 2.50 [SVDS3~0] 8 9 10 11 12 13 14 15 電圧(V) 2.60 2.70 2.80 2.90 3.00 3.10 3.20 3.30
					SVDS2	0			
					SVDS1	0			
FF05H					SVDS0	0			
	0	0	SVDDT	SVDON	0 *3 0 *3	- *2 - *2			未使用 未使用 SVD検出データ SVD回路On/Off
					SVDDT	0	Low	Normal	
FF06H					SVDON	0	On	Off	
	FOUTE	0	FOFQ1	FOFQ0	FOUTE	0	FOUT	DC	R03出力選択(R03レジスタを"1"に固定) 未使用 FOUT [FOFQ1, 0] 0 1 2 3 周波数選択 周波数 fosc1/64 fosc1/8 fosc1 fosc3
					0 *3 FOFQ1	- *2 0			
FF07H					FOFQ0	0			
	0	0	WDEN	WDRST	0 *3 0 *3	- *2 - *2			未使用 未使用 ウォッチドッグタイマインーブル ウォッチドッグタイマリセット(書き込み時)
					WDEN	1	Enable	Disable	
FF10H					WDRST *3	Reset	Reset	Invalid	
	TPS	0	MB	DRS	TPS	0	Pulse	Tone	トーン/パルスモード選択 未使用 メイク率選択 パルスレート選択
					0 *3 MB	- *2 33.3:66.6			
FF11H					DRS	0	20pps	10pps	
	PTS3	PTS2	PTS1	PTS0	PTS3	0			ボーズ時間選択 (初期値: 4sec) [PTS3~0] 0 1 2 3 4 5 6 7 時間(sec) × 1 2 3 4 5 6 7 [PTS3~0] 8 9 10 11 12 13 14 15 時間(sec) 8 9 10 11 12 13 14 15
					PTS2	1			
FF12H					PTS1	0			
					PTS0	0			フラッシュ時間選択 (初期値: 563ms) [FTS3~0] 0 1 2 3 4 5 6 7 時間(ms) × 94 188 281 375 469 563 656 [FTS3~0] 8 9 10 11 12 13 14 15 時間(ms) 750 844 938 1031 1125 1219 1313 1406
	FTS3	FTS2	FTS1	FTS0	FTS3	0			
FF13H					FTS2	1			
					FTS1	1			R13出力選択(R13レジスタを"1"に固定) R12出力選択(R12レジスタを"1"に固定) R11出力選択(R11レジスタを"1"に固定) R10出力選択(R10レジスタを"1"に固定)
					FTS0	0			
FF14H	CHFO	CHDO	CRMO	CTMO	CHFO	0	HFO	DC	ハンドフリー ホールドライン機能 ボーズ機能 フラッシュ機能
					CHDO	0	HDO	DC	
					CRMO	0	XRMUTE	DC	
FF15H					CTMO	0	XTMUTE	DC	インターデジットボーズ時間選択 (初期値: 750ms) [IDP3~0] 0 1 2 3 4 5 6 7 時間(ms) × 94 188 281 375 469 563 656 [IDP3~0] 8 9 10 11 12 13 14 15 時間(ms) 750 844 938 1031 1125 1219 1313 1406
	HF	HOLD	PAUSE	FLASH	HF	0	Yes	No	
					HOLD	0	On	Off	
FF16H					PAUSE *3	0	Yes	No	連続トーン出力On/Off トーン出力時間選択(マスクオプション) DTMF ROW周波数出力カインーブル DTMF COL周波数出力カインーブル
					FLASH *3	0	Yes	No	
	IDP3	IDP2	IDP1	IDP0	IDP3	1			
FF17H					IDP2	0			ダイヤル番号選択 [TCD3~0] 0 1 2 3 4 5 6 7 DTMF (R1C4)(R1C1)(R1C2)(R1C3)(R2C1)(R2C2)(R2C3)(R3C1) DP × 1 2 3 4 5 6 7 [TCD3~0] 8 9 10 11 12 13 14 15 DTMF (R3C2)(R3C3)(R4C2)(R4C3)(R4C1)(R2C4)(R4C4)(R3C4) DP 8 9 10 11 12 13 14 15
					IDP1	0			
					IDP0	0			
FF18H	CTO	DTS	SINR	SINC	CTO	0	On	Off	フックスイッチOn/Off 未使用 レシーバミュート制御 トランスミッタミュート制御
					DTS	0	47msec	94msec	
					SINR	1	Enable	Disable	
FF19H					SINC	1	Enable	Disable	フックスイッチOn/Off 未使用 レシーバミュート制御 トランスミッタミュート制御
	TCD3	TCD2	TCD1	TCD0	TCD3	0			
					TCD2	0			
FF20H					TCD1	0			フックスイッチOn/Off 未使用 レシーバミュート制御 トランスミッタミュート制御
					TCD0	0			

[注 釈]

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

表4.1.1(b) I/Oメモリマップ(FF20H～FF42H)

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF20H	SIK03	SIK02	SIK01	SIK00	SIK03	0	Enable	Disable	K00～K03割り込み選択レジスタ
					SIK02	0	Enable	Disable	
					SIK01	0	Enable	Disable	
	R/W				SIK00	0	Enable	Disable	
FF21H	K03	K02	K01	K00	K03	–*2	High	Low	K00～K03入力ポートデータ
					K02	–*2	High	Low	
					K01	–*2	High	Low	
	R				K00	–*2	High	Low	
FF22H	KCP03	KCP02	KCP01	KCP00	KCP03	1			K00～K03入力比較レジスタ
					KCP02	1			
					KCP01	1			
	R/W				KCP00	1			
FF24H	SIK13	SIK12	SIK11	SIK10	SIK13	0	Enable	Disable	K10～K13割り込み選択レジスタ
					SIK12	0	Enable	Disable	
					SIK11	0	Enable	Disable	
	R/W				SIK10	0	Enable	Disable	
FF25H	K13 (EVIN)	K12	K11	K10	K13	–*2	High	Low	K10～K13入力ポートデータ
					K12	–*2	High	Low	
					K11	–*2	High	Low	
	R				K10	–*2	High	Low	
FF26H	KCP13	KCP12	KCP11	KCP10	KCP13	1			K10～K13入力比較レジスタ
					KCP12	1			
					KCP11	1			
	R/W				KCP10	1			
FF30H	R03HIZ	R02HIZ	R01HIZ	R00HIZ	R03HIZ	0	Hi-Z	Output	R03 Hi-z制御 (FOUTE=0), FOUT出力Hi-z制御 (FOUTE=1) R02 Hi-z制御 (PTOUT=0), TOUT出力Hi-z制御 (PTOUT=1) R01 Hi-z制御 (BZOUT=0), BZ出力Hi-z制御 (BZOUT=1) R00 Hi-z制御 (XBZOUT=0), XBZ出力Hi-z制御 (XBZOUT=1)
					R02HIZ	0	Hi-Z	Output	
					R01HIZ	0	Hi-Z	Output	
	R/W				R00HIZ	0	Hi-Z	Output	
FF31H	R03 (FOUT)	R02 (TOUT)	R01 (BZ)	R00 (XBZ)	R03	1	High	Low	R03出力ポートデータ (FOUTE=0) FOUT出力時は1に固定 R02出力ポートデータ (PTOUT=0) TOUT出力時は1に固定 R01出力ポートデータ (BZOUT=0) BZ出力時は1に固定 R00出力ポートデータ (XBZOUT=0) XBZ出力時は1に固定
					R02	1	High	Low	
					R01	1	High	Low	
	R/W				R00	1	High	Low	
FF32H	R13HIZ	R12HIZ	R11HIZ	R10HIZ	R13HIZ	0	Hi-Z	Output	R13 Hi-z制御 (CHFO=0), HFO出力Hi-z制御 (CHFO=1) R12 Hi-z制御 (CHDO=0), HDO出力Hi-z制御 (CHDO=1) R11 Hi-z制御 (CRMO=0), XRMUTE出力Hi-z制御 (CRMO=1) R10 Hi-z制御 (CTMO=0), XTMUTE出力Hi-z制御 (CTMO=1)
					R12HIZ	0	Hi-Z	Output	
					R11HIZ	0	Hi-Z	Output	
	R/W				R10HIZ	0	Hi-Z	Output	
FF33H	R13 (HFO)	R12 (HDO)	R11 (XRMUTE)	R10 (XTMUTE)	R13	1	High	Low	R13出力ポートデータ (CHFO=0) HFO出力時は1に固定 R12出力ポートデータ (CHDO=0) HDO出力時は1に固定 R11出力ポートデータ (CRMO=0) XRMUTE出力時は1に固定 R10出力ポートデータ (CTMO=0) XTMUTE出力時は1に固定
					R12	1	High	Low	
					R11	1	High	Low	
	R/W				R10	1	High	Low	
FF34H	R23HIZ	R22HIZ	R21HIZ	R20HIZ	R23HIZ	0	Hi-Z	Output	R20～R23 Hi-z制御
					R22HIZ	0	Hi-Z	Output	
					R21HIZ	0	Hi-Z	Output	
	R/W				R20HIZ	0	Hi-Z	Output	
FF35H	R23	R22	R21	R20	R23	1	High	Low	R20～R23出力ポートデータ
					R22	1	High	Low	
					R21	1	High	Low	
	R/W				R20	1	High	Low	
FF40H	IOC03	IOC02	IOC01	IOC00	IOC03	0	Output	Input	P00～P03 I/O制御レジスタ
					IOC02	0	Output	Input	
					IOC01	0	Output	Input	
	R/W				IOC00	0	Output	Input	
FF41H	PUL03	PUL02	PUL01	PUL00	PUL03	1	On	Off	P00～P03プルアップ制御レジスタ
					PUL02	1	On	Off	
					PUL01	1	On	Off	
	R/W				PUL00	1	On	Off	
FF42H	P03	P02	P01	P00	P03	–*2	High	Low	P00～P03入出力兼用ポートデータ
					P02	–*2	High	Low	
					P01	–*2	High	Low	
	R/W				P00	–*2	High	Low	

表4.1.1(c) I/Oメモリマップ(FF44H~FF60H)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF44H	IOC13	IOC12	IOC11	IOC10	IOC13	0	Output	Input	P13 I/O制御レジスタ SIF(クロック同期式スレーブ)選択時、汎用レジスタとして機能
					IOC12	0	Output	Input	P12 I/O制御レジスタ SIF(クロック同期式のみ)選択時、汎用レジスタとして機能
	R/W				IOC11	0	Output	Input	P11 I/O制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能
					IOC10	0	Output	Input	P10 I/O制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能
FF45H	PUL13	PUL12	PUL11	PUL10	PUL13	1	On	Off	P13プルアップ制御レジスタ SIF(クロック同期式スレーブ)選択時、汎用レジスタとして機能
					PUL12	1	On	Off	P12プルアップ制御レジスタ SIF(クロック同期式マスタ)選択時、汎用レジスタとして機能
	R/W				PUL11	1	On	Off	SIF(クロック同期式スレーブ)選択時、 SCLK(I)プルアップ制御レジスタ P11プルアップ制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能
					PUL10	1	On	Off	P10プルアップ制御レジスタ(ESIF=0) SIF選択時、SINプルアップ制御レジスタ
FF46H	P13 (XSRDY)	P12 (XSCLK)	P11 (SOUT)	P10 (SIN)	P13	− *2	High	Low	P13入出力兼用ポートデータ SIF(クロック同期式スレーブ)選択時、汎用レジスタとして機能
					P12	− *2	High	Low	P12入出力兼用ポートデータ SIF(クロック同期式のみ)選択時、汎用レジスタとして機能
	R/W				P11	− *2	High	Low	P11入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能
					P10	− *2	High	Low	P10入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能
FF48H	IOC23	IOC22	IOC21	IOC20	IOC23	0	Output	Input	P23 I/O制御レジスタ(EXLCDC=0) FR出力選択時、汎用レジスタとして機能
					IOC22	0	Output	Input	P22 I/O制御レジスタ(EXLCDC=0) CL出力選択時、汎用レジスタとして機能
	R/W				IOC21	0	Output	Input	P21 I/O制御レジスタ
					IOC20	0	Output	Input	P20 I/O制御レジスタ
FF49H	PUL23	PUL22	PUL21	PUL20	PUL23	1	On	Off	P23プルアップ制御レジスタ(EXLCDC=0) FR出力選択時、汎用レジスタとして機能
					PUL22	1	On	Off	P22プルアップ制御レジスタ(EXLCDC=0) CL出力選択時、汎用レジスタとして機能
	R/W				PUL21	1	On	Off	P21プルアップ制御レジスタ
					PUL20	1	On	Off	P20プルアップ制御レジスタ
FF4AH	P23 (FR)	P22 (CL)	P21	P20	P23	− *2	High	Low	P23入出力兼用ポートデータ(EXLCDC=0) FR出力選択時、汎用レジスタとして機能
					P22	− *2	High	Low	P22入出力兼用ポートデータ(EXLCDC=0) CL出力選択時、汎用レジスタとして機能
	R/W				P21	− *2	High	Low	P21入出力兼用ポートデータ
					P20	− *2	High	Low	P20入出力兼用ポートデータ
FF4CH	IOC33	IOC32	IOC31	IOC30	IOC33	0	Output	Input	P30〜P33 I/O制御レジスタ
					IOC32	0	Output	Input	
	R/W				IOC31	0	Output	Input	
					IOC30	0	Output	Input	
FF4DH	PUL33	PUL32	PUL31	PUL30	PUL33	1	On	Off	P30〜P33プルアップ制御レジスタ
					PUL32	1	On	Off	
	R/W				PUL31	1	On	Off	
					PUL30	1	On	Off	
FF4EH	P33	P32	P31	P30	P33	− *2	High	Low	P30〜P33入出力兼用ポートデータ
					P32	− *2	High	Low	
	R/W				P31	− *2	High	Low	
					P30	− *2	High	Low	
FF60H	LDUTY1	LDUTY0	Dummy	LPWR	LDUTY1	0			LCD駆動デューティ [LDUTY1, 0] 0 1 2, 3 切り換え デューティ 1/17 1/16 1/8 汎用レジスタ LCD電源On/Off
					LDUTY0	0			
	R/W				Dummy	0			
					LPWR	0	On	Off	

表4.1.1(d) I/Oメモリマップ(FF61H~FF75H)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF61H	EXLDC	ALOFF	ALON	LPAGE	EXLDC	0	Enable	Disable	拡張LCDドライバ用信号出力制御 LCD全消灯制御 LCD全点灯制御 表示メモリ領域選択(1/8デューティ選択時) 1/16、1/17デューティ選択時、汎用レジスタとして機能
					ALOFF	1	All Off	Normal	
					ALON	0	All On	Normal	
					LPAGE	0	F100-F177	F000-F077	
FF62H									LCDコントラスト調整 [LC3~0] 0 ~ 15 コントラスト 淡 ~ 濃
	LC3	LC2	LC1	LC0	LC3	- *2			
					LC2	- *2			
					LC1	- *2			
FF65H									未使用 未使用 R01出力選択(R01レジスタを"1"に固定) R00出力選択(R00レジスタを"1"に固定)
FF6CH	ENRTM	ENRST	ENON	BZE	ENRTM	0	1sec	0.5sec	エンベロープ減衰時間選択 エンベロープリセット(書き込み時) エンベロープOn/Off BZ出力イネーブル
					ENRST*3	Reset	Reset	Invalid	
					ENON	0	On	Off	
					BZE	0	Enable	Disable	
FF6DH									未使用 1ショットブザーStop(書き込み時) 1ショットブザートリガ(書き込み時) 1ショットブザーステータス(読み出し時) 1ショットブザーパルス幅選択
FF6EH									未使用 ブザー 周波数選択
FF6FH									未使用 ブザー信号デューティ比選択 (本編参照)
FF70H									未使用 シリアルI/F モード選択 シリアルI/Fイネーブル(P1xポート機能選択)
FF71H	EPR	PMD	SCS1	SCS0	EPR	0	Enable	Disable	シリアルI/Fパリティ機能選択 シリアルI/Fパリティモード選択 シリアルI/F クロック源選択 モード 1200bps 600bps 2400bps PT
					PMD	0	Odd	Even	
					SCS1	0			
					SCS0	0			
FF72H	RXTRG	RXEN	TXTRG	TXEN	RXTRG	0	Run	Stop	シリアルI/F受信ステータス(読み出し時) シリアルI/F受信トリガ(書き込み時) シリアルI/F受信イネーブル シリアルI/F送信ステータス(読み出し時) シリアルI/F送信トリガ(書き込み時) シリアルI/F送信イネーブル
					RXEN	0	Enable	Disable	
					TXTRG	0	Run	Stop	
					TXEN	0	Trigger	-	
FF73H									未使用 SIFフレーミングエラーフラグステータス(読み出し時) SIFフレーミングエラーフラグリセット(書き込み時) SIFパリティエラーフラグステータス(読み出し時) SIFパリティエラーフラグリセット(書き込み時) SIFオーバーランエラーフラグステータス(読み出し時) SIFオーバーランエラーフラグリセット(書き込み時)
FF74H	TRXD3	TRXD2	TRXD1	TRXD0	TRXD3	- *2	High	Low	シリアルI/F送受信データ(下位4ビット) LSB
					TRXD2	- *2	High	Low	
					TRXD1	- *2	High	Low	
					TRXD0	- *2	High	Low	
FF75H	TRXD7	TRXD6	TRXD5	TRXD4	TRXD7	- *2	High	Low	MSB シリアルI/F送受信データ(上位4ビット)
					TRXD6	- *2	High	Low	
					TRXD5	- *2	High	Low	
					TRXD4	- *2	High	Low	

表4.1.1(e) I/Oメモリマップ(FF78H~FFC8H)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF78H	0	0	TMRST	TMRUN	0 *3 0 *3	- *2 - *2			未使用 未使用
	R		W	R/W	TMRST*3 TMRUN	Reset 0	Reset Run	Invalid Stop	計時タイマリセット(書き込み時) 計時タイマRun/Stop
	TM3	TM2	TM1	TM0	TM3 TM2 TM1 TM0	0 0 0 0			計時タイマデータ(16Hz) 計時タイマデータ(32Hz) 計時タイマデータ(64Hz) 計時タイマデータ(128Hz)
FF79H	TM3	TM2	TM1	TM0	TM3 TM2 TM1 TM0	0 0 0 0			計時タイマデータ(16Hz) 計時タイマデータ(32Hz) 計時タイマデータ(64Hz) 計時タイマデータ(128Hz)
	R								
	TM7	TM6	TM5	TM4	TM7 TM6 TM5 TM4	0 0 0 0			計時タイマデータ(1Hz) 計時タイマデータ(2Hz) 計時タイマデータ(4Hz) 計時タイマデータ(8Hz)
FF7AH	TM7	TM6	TM5	TM4	TM7 TM6 TM5 TM4	0 0 0 0			計時タイマデータ(1Hz) 計時タイマデータ(2Hz) 計時タイマデータ(4Hz) 計時タイマデータ(8Hz)
	R								
FF7CH	0	0	SWRST	SWRUN	0 *3 0 *3	- *2 - *2			未使用 未使用
	R		W	R/W	SWRST*3 SWRUN	Reset 0	Reset Run	Invalid Stop	ストップウォッチタイマリセット(書き込み時) ストップウォッチタイマRun/Stop
FF7DH	SWD3	SWD2	SWD1	SWD0	SWD3 SWD2 SWD1 SWD0	0 0 0 0			ストップウォッチタイマデータ BCD(1/100sec)
	R								
FF7EH	SWD7	SWD6	SWD5	SWD4	SWD7 SWD6 SWD5 SWD4	0 0 0 0			ストップウォッチタイマデータ BCD(1/10sec)
	R								
FFC0H	0	EVCNT	FCSEL	PLPOL	0 *3 EVCNT	- *2 0			未使用 タイマ0カウンタモード選択
	R	R/W			FCSEL PLPOL	With NR 0	Timer No NR	Timer On	タイマ0機能選択(イベントカウンタモード時) タイマ0パルス極性選択(イベントカウンタモード時)
FFC1H	CHSEL	PTOUT	CKSEL1	CKSEL0	CHSEL PTOUT CKSEL1 CKSEL0	0 0 0 0	Timer1 On	Timer0 Off	TOUT出力チャンネル選択 TOUT出力制御
	R/W						OSC3 OSC1	OSC3 OSC1	プリスケアラ1原振クロック選択 プリスケアラ0原振クロック選択
FFC2H	PTPS01	PTPS00	PTRST0	PTRUN0	PTPS01 PTPS00 PTRST0*3 PTRUN0	0 0 - *2 0	Reset Run	Invalid Stop	プリスケアラ0 [PTPS01, 00] 0 1 2 3 分周比選択 分周比 1/1 1/4 1/32 1/256 タイマ0リセット(リロード) タイマ0 Run/Stop
	R/W		W	R/W					
FFC3H	PTPS11	PTPS10	PTRST1	PTRUN1	PTPS11 PTPS10 PTRST1*3 PTRUN1	0 0 - *2 0	Reset Run	Invalid Stop	プリスケアラ1 [PTPS11, 10] 0 1 2 3 分周比選択 分周比 1/1 1/4 1/32 1/256 タイマ1リセット(リロード) タイマ1 Run/Stop
	R/W		W	R/W					
FFC4H	RLD03	RLD02	RLD01	RLD00	RLD03 RLD02 RLD01 RLD00	0 0 0 0			MSB プログラマブルタイマ0リロードデータ(下位4ビット) LSB
	R/W								
FFC5H	RLD07	RLD06	RLD05	RLD04	RLD07 RLD06 RLD05 RLD04	0 0 0 0			MSB プログラマブルタイマ0リロードデータ(上位4ビット) LSB
	R/W								
FFC6H	RLD13	RLD12	RLD11	RLD10	RLD13 RLD12 RLD11 RLD10	0 0 0 0			MSB プログラマブルタイマ1リロードデータ(下位4ビット) LSB
	R/W								
FFC7H	RLD17	RLD16	RLD15	RLD14	RLD17 RLD16 RLD15 RLD14	0 0 0 0			MSB プログラマブルタイマ1リロードデータ(上位4ビット) LSB
	R/W								
FFC8H	PTD03	PTD02	PTD01	PTD00	PTD03 PTD02 PTD01 PTD00	0 0 0 0			MSB プログラマブルタイマ0データ(下位4ビット) LSB
	R								

表4.1.1(f) I/Oメモリマップ(FFC9H~FFF6H)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FFC9H	PTD07	PTD06	PTD05	PTD04	PTD07	0			MSB プログラマブルタイマ0データ(上位4ビット) LSB
					PTD06	0			
					PTD05	0			
					PTD04	0			
FFCAH	PTD13	PTD12	PTD11	PTD10	PTD13	0			MSB プログラマブルタイマ1データ(下位4ビット) LSB
					PTD12	0			
					PTD11	0			
					PTD10	0			
FFCBH	PTD17	PTD16	PTD15	PTD14	PTD17	0			MSB プログラマブルタイマ1データ(上位4ビット) LSB
					PTD16	0			
					PTD15	0			
					PTD14	0			
FFE2H	0	0	EIPT1	EIPT0	0 *3	- *2			未使用 未使用 割り込みマスクレジスタ(プログラマブルタイマ1) 割り込みマスクレジスタ(プログラマブルタイマ0)
					0 *3	- *2			
					EIPT1	0	Enable	Mask	
					EIPT0	0	Enable	Mask	
FFE3H	0	EISER	EISTR	EISRC	0 *3	- *2			未使用 割り込みマスクレジスタ(シリアルI/Fエラー) 割り込みマスクレジスタ(シリアルI/F送信完了) 割り込みマスクレジスタ(シリアルI/F受信完了)
					EISER	0	Enable	Mask	
					EISTR	0	Enable	Mask	
					EISRC	0	Enable	Mask	
FFE4H	0	0	0	EIK0	0 *3	- *2			未使用 未使用 未使用 割り込みマスクレジスタ(K00~K03)
					0 *3	- *2			
					0 *3	- *2			
					EIK0	0	Enable	Mask	
FFE5H	0	0	0	EIK1	0 *3	- *2			未使用 未使用 未使用 割り込みマスクレジスタ(K10~K13)
					0 *3	- *2			
					0 *3	- *2			
					EIK1	0	Enable	Mask	
FFE6H	EIT3	EIT2	EIT1	EIT0	EIT3	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ1Hz) 割り込みマスクレジスタ(計時タイマ2Hz) 割り込みマスクレジスタ(計時タイマ8Hz) 割り込みマスクレジスタ(計時タイマ32Hz)
					EIT2	0	Enable	Mask	
					EIT1	0	Enable	Mask	
					EIT0	0	Enable	Mask	
FFE7H	0	0	EISW1	EISW10	0 *3	- *2			未使用 未使用 割り込みマスクレジスタ(ストップウォッチタイマ1Hz) 割り込みマスクレジスタ(ストップウォッチタイマ10Hz)
					0 *3	- *2			
					EISW1	0	Enable	Mask	
					EISW10	0	Enable	Mask	
FFE9H	0	0	0	EID	0 *3	- *2			未使用 未使用 未使用 割り込みマスクレジスタ(ダイアル)
					0 *3	- *2			
					0 *3	- *2			
					EID	0	Enable	Mask	
FFF2H	0	0	IPT1	IPT0	0 *3	- *2	(R)	(R)	未使用 未使用 割り込み要因フラグ(プログラマブルタイマ1) 割り込み要因フラグ(プログラマブルタイマ0)
					0 *3	- *2	Yes	No	
					IPT1	0	(W)	(W)	
					IPT0	0	Reset	Invalid	
FFF3H	0	ISER	ISTR	ISRC	0 *3	- *2	(R)	(R)	未使用 割り込み要因フラグ(シリアルI/Fエラー) 割り込み要因フラグ(シリアルI/F送信完了) 割り込み要因フラグ(シリアルI/F受信完了)
					ISER	0	Yes	No	
					ISTR	0	(W)	(W)	
					ISRC	0	Reset	Invalid	
FFF4H	0	0	0	IK0	0 *3	- *2	(R)	(R)	未使用 未使用 未使用 割り込み要因フラグ(K00~K03)
					0 *3	- *2	Yes	No	
					0 *3	- *2	(W)	(W)	
					IK0	0	Reset	Invalid	
FFF5H	0	0	0	IK1	0 *3	- *2	(R)	(R)	未使用 未使用 未使用 割り込み要因フラグ(K10~K13)
					0 *3	- *2	Yes	No	
					0 *3	- *2	(W)	(W)	
					IK1	0	Reset	Invalid	
FFF6H	IT3	IT2	IT1	IT0	IT3	0	(R)	(R)	割り込み要因フラグ(計時タイマ1Hz) 割り込み要因フラグ(計時タイマ2Hz) 割り込み要因フラグ(計時タイマ8Hz) 割り込み要因フラグ(計時タイマ32Hz)
					IT2	0	Yes	No	
					IT1	0	(W)	(W)	
					IT0	0	Reset	Invalid	

表4.1.1(g) I/Oメモリマップ(FFF7H~FFF9H)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FFF7H	0	0	ISW1	ISW10	0 *3	— *2	(R)	(R)	未使用
					0 *3	— *2	Yes	No	未使用
	R		R/W		ISW1	0	(W)	(W)	割り込み要因フラグ(ストップウォッチタイマ1Hz)
					ISW10	0	Reset	Invalid	割り込み要因フラグ(ストップウォッチタイマ10Hz)
FFF9H	0	0	0	ID	0 *3	— *2	(R)	(R)	未使用
					0 *3	— *2	Yes	No	未使用
	R			R/W	0 *3	— *2	(W)	(W)	未使用
					ID	0	Reset	Invalid	割り込み要因フラグ(ダイアル)

4.2 ウォッチドッグタイマ

4.2.1 ウォッチドッグタイマの構成

S1C63567はOSC1分周クロック256Hzを原振とするウォッチドッグタイマを内蔵しています。ウォッチドッグタイマはイニシャルリセット時に動作状態に設定されますが、ソフトウェアにより動作を停止させることができます。ウォッチドッグタイマが動作中はソフトウェアにより周期的にリセットする必要があり、3～4秒以上リセットが行われない場合、CPUに対してノンマスカブル割り込み(NMI)を発生します。

図4.2.1.1にウォッチドッグタイマのブロック図を示します。

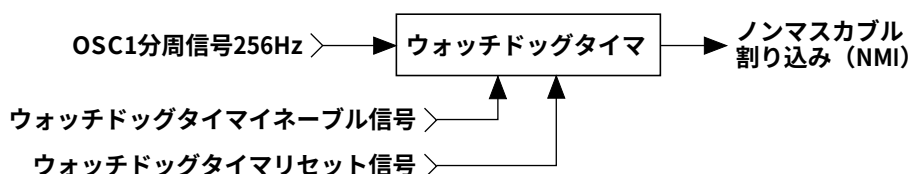


図4.2.1.1 ウォッチドッグタイマのブロック図

ウォッチドッグタイマは10ビットのバイナリカウンタで構成され、最終段0.25Hzのオーバーフローによってノンマスカブル割り込みを発生します。

プログラムのメインルーチン上でウォッチドッグタイマのリセット処理をすることにより、メインルーチンのウォッチドッグタイマ処理を通らないようなプログラムの暴走を検出することができます。通常はこのルーチンをタイマ割り込みルーチンのように、定期的に処理される箇所に組み込みます。

なお、ウォッチドッグタイマはHALT時も動作しており、HALT状態を3～4秒間続けるとノンマスカブル割り込みによりHALT状態が解除されます。

4.2.2 割り込み機能

ウォッチドッグタイマがソフトウェアによって周期的にリセットされない場合、コアCPUに対してノンマスカブル(NMI)割り込みが発生します。この割り込みはマスク不可能で、割り込み禁止状態(Iフラグ="0")でも受け付けられます(イニシャルリセット直後やスタックポインタ再設定時など、SP1およびSP2がペアで設定されるまでの割り込みマスク状態は除きます)。

NMIの割り込みベクタはプログラムメモリの0100Hに設定されています。

4.2.3 ウォッチドッグタイマのI/Oメモリ

表4.2.3.1にウォッチドッグタイマの制御ビットとそのアドレスを示します。

表4.2.3.1 ウォッチドッグタイマの制御ビット

アドレス	レジスタ									注 釈
	D3	D2	D1	D0	Name	Init *1	1	0		
FF07H	0	0	WDEN	WDRST	0 *3	— *2			未使用	
					0 *3	— *2			未使用	
	R		R/W	W	WDEN	1	Enable	Disable	ウォッチドッグタイマイネーブル	
					WDRST*3	Reset	Reset	Invalid	ウォッチドッグタイマリセット(書き込み時)	

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

● WDEN: ウォッチドッグタイマイネーブルレジスタ (FF07H・D1)

ウォッチドッグタイマを使用する(イネーブル)かしない(ディセーブル)か選択します。

"1"書き込み: イネーブル

"0"書き込み: ディセーブル

読み出し: 可能

WDENレジスタに"1"を書き込むことによりウォッチドッグタイマはイネーブルとなり、カウント動作を行います。

"0"を書き込んだ場合はディセーブルとなり、カウント動作および割り込み(NMI)の発生も行いません。

イニシャルリセット時、このレジスタは"1"にセットされます。

● WDRST: ウォッチドッグタイマリセット (FF07H・D0)

ウォッチドッグタイマをリセットするビットです。

"1"書き込み: ウォッチドッグタイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

WDRSTに"1"を書き込むことによりウォッチドッグタイマはリセットされ、その直後リスタートします。"0"の書き込みはノーオペレーションとなります。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

4.2.4 プログラミング上の注意事項

- (1) ウォッチドッグタイマを使用する場合、3秒周期以内にソフトウェアでウォッチドッグタイマをリセットする必要があります。
- (2) イニシャルリセットにより、ウォッチドッグタイマは動作状態に設定されますので、使用しない場合は割り込み(NMI)発生前にウォッチドッグタイマをディセーブル(使用しない)に設定してください。

4.3 発振回路

4.3.1 発振回路の構成

S1C63567は2系統の発振回路(OSC1とOSC3)を内蔵しています。このうちOSC1は水晶またはCR発振回路で、CPUおよび周辺回路に動作クロックを供給します。また、OSC3はCRまたはセラミック発振回路で、高速動作が要求される処理が必要な場合に、CPUの動作クロックをソフトウェアによりOSC1からOSC3に切り換えて使用します。

図4.3.1.1に発振系のブロック図を示します。

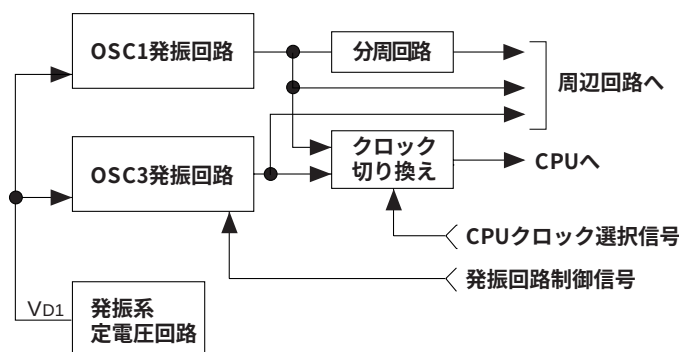


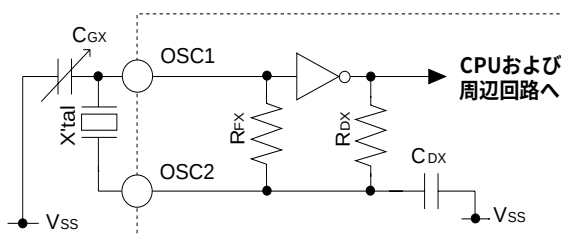
図4.3.1.1 発振系のブロック図

4.3.2 OSC1発振回路

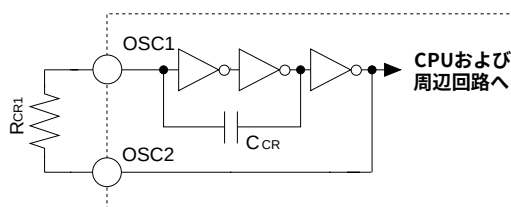
OSC1発振回路はCPUおよび周辺回路用のメインクロックを発生します。発振回路の種類として、水晶発振回路またはCR発振回路のいずれかをマスクオプションによって選択できます。

発振周波数は水晶発振回路の場合が32.768kHz(Typ.)、CR発振回路の場合が60kHz(Typ.)です。

図4.3.2.1にOSC1発振回路のブロック図を示します。



(a) 水晶発振回路



(b) CR発振回路

図4.3.2.1 OSC1発振回路

図4.3.2.1に示すとおり、水晶発振を選択した場合は、OSC1端子とOSC2端子間に32.768kHz(Typ.)の水晶振動子(X'tal)を、OSC1端子とV_{SS}間に5~25pFのトリマコンデンサ(C_{GX})をそれぞれ接続することにより、容易に水晶発振回路を構成することができます。

CR発振を選択した場合はOSC1端子とOSC2端子間に抵抗(RCR1)を接続するだけでCR発振回路を構成できます。RCR1の抵抗値については"7 電気的特性"を参照してください。

注: ・ CR発振は水晶発振に比べ消費電流が大きくなります。

・ CR発振は発振周波数が多少変動しますので、それに対する考慮が必要です。

特に、 f_{osc1} を原振としているタイマ(時計のずれ)、LCDフレーム周波数(表示品質の変化、低周波数時のチラツキ等)、サウンドジェネレータ(音質の変化)等には注意が必要です。

4.3.3 OSC3発振回路

S1C63567はCPUを高速動作(3.58MHz)させるためのサブクロック、および高速クロックを必要とする周辺回路(プログラマブルタイマ、FOUT出力)のソースクロックを発生するOSC3発振回路を内蔵しています。この発振回路にはCRまたはセラミック発振回路をマスクオプションで選択できます。CR発振選択時は外付素子として抵抗が、セラミック発振選択時はセラミック振動子とコンデンサ2個(ゲート容量とドレイン容量)が必要となります。

図4.3.3.1にOSC3発振回路のブロック図を示します。

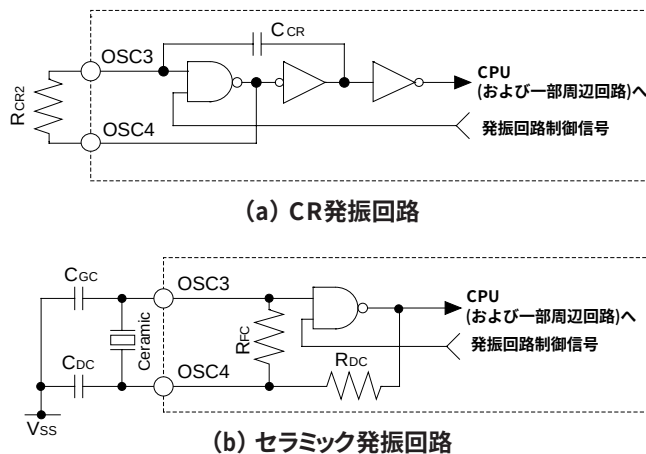


図4.3.3.1 OSC3発振回路

図4.3.3.1に示すとおり、CR発振を選択した場合はOSC3端子とOSC4端子間に抵抗(RCR2)を接続するだけでCR発振回路を構成できます。RCR2の抵抗値については"7 電気的特性"を参照してください。

セラミック発振を選択した場合はOSC3端子とOSC4端子間にセラミック振動子(3.58MHz)を、同OSC3、OSC4端子とVSS間にコンデンサを2個(CGC、CDC)それぞれ接続することでセラミック発振回路を構成できます。CGC、CDCは共に30pF程度のものを接続してください。

このOSC3発振回路は消費電流を低減するために、使用しないときはソフトウェア(OSCCレジスタ)によって発振を停止させることができます。

4.3.4 CPU動作クロックの切り換え

OSC1とOSC3のどちらをCPUのシステムクロックとして使用するか、ソフトウェア(CLKCHGレジスタ)によって切り換えます。

CPUのシステムクロックとしてOSC3を使用する場合は、OSC3の発振をONした後、発振が安定する5msec以上の時間をおいてクロックの切り換えを行ってください。

OSC3からOSC1に切り換える場合は、クロックを切り換え後にOSC3発振をOFFします。

OSC1→OSC3

1. OSCCに"1"を設定(OSC3発振ON)
2. 5msec以上保持
3. CLKCHGに"1"を設定(OSC1→OSC3)

OSC3→OSC1

1. CLKCHGに"0"を設定(OSC3→OSC1)
2. OSCCに"0"を設定(OSC3発振OFF)

注: OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々のインストラクションで行ってください。1インストラクションで、同時に処理するとCPUの誤動作につながります。

4.3.5 クロック周波数とインストラクション実行時間

表4.3.5.1に各クロックの周波数によるインストラクションの実行時間を示します。

表4.3.5.1 クロック周波数とインストラクション実行時間

クロック周波数	インストラクション実行時間(μsec)		
	1サイクル命令	2サイクル命令	3サイクル命令
OSC1: 32.768kHz	61	122	183
OSC1: 60kHz	33	67	100
OSC3: 3.58MHz	0.56	1.12	1.68

4.3.6 発振回路のI/Oメモリ

表4.3.6.1に発振回路の制御ビットとそのアドレスを示します。

表4.3.6.1 発振回路の制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF00H	CLKCHG	OSCC	0	Dummy	CLKCHG	0	OSC3	OSC1	CPUクロック切り換え OSC3発振On/Off 未使用 汎用レジスタ
					OSCC	0	On	Off	
					0 *3	— *2			
					Dummy	0			
	R/W		R	R/W					

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

● OSCC: OSC3発振制御レジスタ (FF00H・D2)

OSC3発振回路の発振ON、OFFを制御します。

"1"書き込み: OSC3発振ON

"0"書き込み: OSC3発振OFF

読み出し: 可能

CPUを高速に動作させる必要のある場合にOSCCを"1"とし、それ以外の場合は、消費電流低減のため"0"としてください。

イニシャルリセット時、このレジスタは"0"に設定されます。

● **CLKCHG: CPUクロック切り換えレジスタ (FF00H・D3)**

CPUの動作クロックを選択します。

"1"書き込み: OSC3クロックを選択
"0"書き込み: OSC1クロックを選択
読み出し: 可能

CPUの動作クロックをOSC3にする場合にCLKCHGを"1"に設定してください。OSC3発振をON(OSCC = "1")にした直後は5msec以上の時間をおいてからクロックの切り換えを行ってください。

CLKCHGを"0"に設定した場合はOSC1クロックが選択されます。

イニシャルリセット時、このレジスタは"0"に設定されます。

4.3.7 プログラミング上の注意事項

- (1) OSC3発振回路がONしてから発振が安定するまでに、5msec以上を必要とします。したがって、CPUの動作クロックをOSC1からOSC3に切り換える際は、OSC3発振ONの後、5msec以上経過してから行ってください。また、発振安定時間は外付け発振子の特性および使用条件等により異なりますので、十分マージンを取って待ち時間を設定してください。
- (2) OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々のインストラクションで行ってください。1インストラクションで、同時に処理するとCPUの誤動作につながります。
- (3) 内部動作電圧V_{DI}は2.1Vに固定されています。したがって、動作クロックにかかわらず動作電圧の切り換え制御は不要です。

4.4 入力ポート (K00~K03, K10~K13)

4.4.1 入力ポートの構成

S1C63567は8ビットの汎用入力ポートを内蔵しています。各入力ポート端子(K00~K03, K10~K13)には内蔵プルアップ抵抗が用意されており、マスクオプションで1ビットごとにプルアップ抵抗の有無を選択できます。図4.4.1.1に入力ポートの構成を示します。

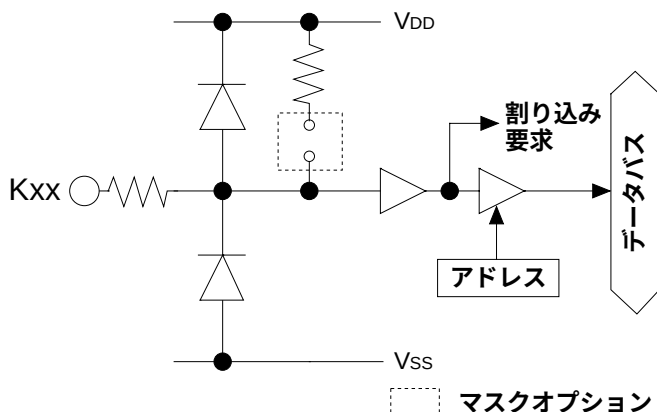


図4.4.1.1 入力ポートの構成

マスクオプションで"プルアップ抵抗 あり"を選択した場合、プッシュスイッチ、キーマトリクス等の入力に適当です。また、"プルアップ抵抗 なし"を選択した場合、スライドスイッチ入力、他LSIとのインタフェースなどに使用できます。

4.4.2 割り込み機能

入力ポート8ビット(K00~K03, K10~K13)は、すべて割り込み機能を持っており、割り込み発生条件はソフトウェアで設定することができます。また、割り込みをマスクするかしないかを、同様にソフトウェアで設定することができます。

図4.4.2.1にK00~K03(K10~K13)割り込み回路の構成図を示します。

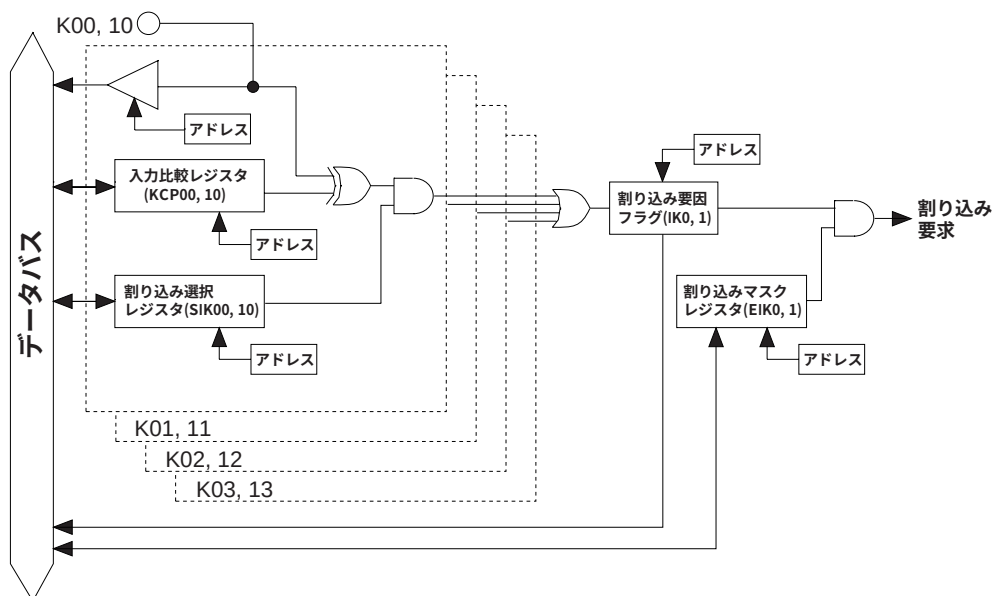


図4.4.2.1 入力割り込み回路構成

入力ポートK00～K03、K10～K13には個々に割り込み選択レジスタ(SIK)および入力比較レジスタ(KCP)が設定されており、割り込みを発生させる端子と割り込みタイミングを指定することができます。

割り込み選択レジスタ(SIK00～SIK03、SIK10～SIK13)は、K00～K03およびK10～K13のどの入力を割り込みに使用するか選択します。割り込み選択レジスタに"1"を書き込むことにより、その入力ポートを割り込み発生条件に組み込みます。割り込み選択レジスタが"0"に設定されている入力ポートの変化は割り込みの発生に影響を与えません。

入力割り込みタイミングは、入力比較レジスタ(KCP00～KCP03、KCP10～KCP13)の設定値により、割り込みを入力の上立ち上がりエッジで発生させるか、立ち下がりエッジで発生させるかを選択することができます。この2つの条件設定により、K00～K03、K10～K13(4ビット単位)の割り込みは入力選択レジスタで割り込みが許可されている入力ポートと入力比較レジスタの内容が一致状態から不一致状態に変化したときに割り込みが発生します。

また、割り込みマスクレジスタ(EIK0、EIK1)により、それぞれの割り込みのマスクを選択することができます。割り込みが発生した際には、割り込み要因フラグ(IK0、IK1)が"1"にセットされます。

図4.4.2.2にK00～K03割り込み発生例を示します。

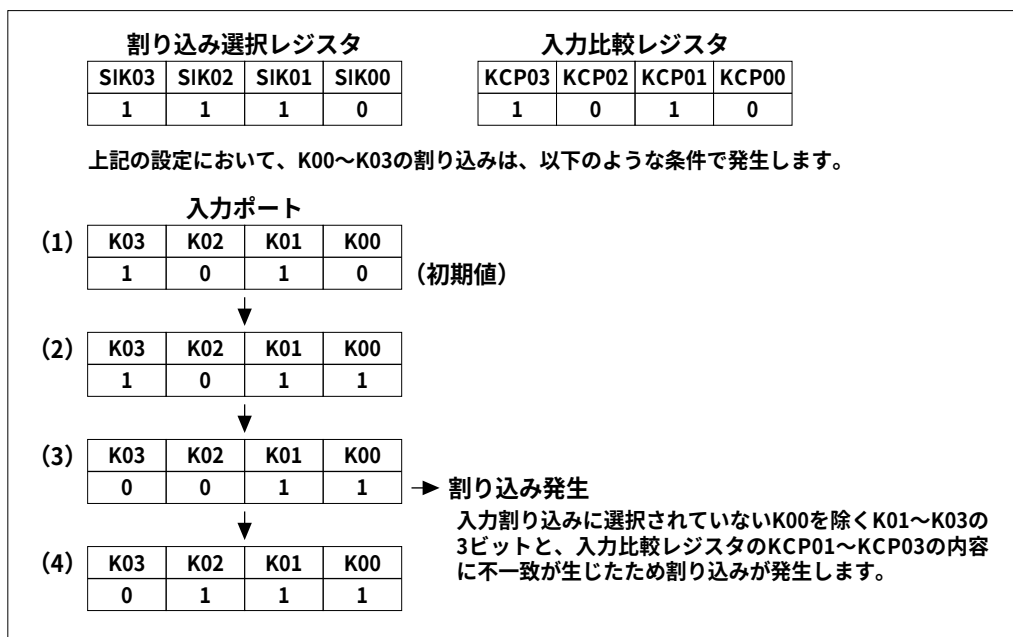


図4.4.2.2 K00～K03割り込み発生例

K00は割り込み選択レジスタ(SIK00)によって割り込みが禁止されているため、(2)の時点では割り込みは発生しません。次に(3)でK03が"0"になるため、割り込みが許可されている端子のデータと入力比較レジスタのデータとの不一致により割り込みが発生します。ただし、割り込みマスクレジスタ(EIK0)によってK00～K03入力割り込みがイネーブルに設定されている必要があります。

前述のとおり、ポートデータと入力比較レジスタの内容が一致状態から不一致状態に変化することが割り込み発生条件となるため、(4)のように不一致状態から、別の不一致状態に変化しても割り込みは発生しません。また、割り込みが禁止されている端子は割り込み発生条件に影響を与えません。

4.4.3 マスクオプション

入力ポートのマスクオプションでは8ビットの入力ポート(K00～K03、K10～K13)に対して、1ビットごとに内蔵プルアップ抵抗の有無を選択できます。

"プルアップ抵抗 なし"を選択した場合は、入力にフローティング状態が発生しないよう注意してください。使用しない入力ポートは"プルアップ抵抗 あり"を選択してください。

4.4.4 入力ポートのI/Oメモリ

表4.4.4.1に入力ポートの制御ビットとそのアドレスを示します。

表4.4.4.1 入力ポートの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF20H	SIK03	SIK02	SIK01	SIK00	SIK03	0	Enable	Disable	K00～K03割り込み選択レジスタ
					SIK02	0	Enable	Disable	
					SIK01	0	Enable	Disable	
					SIK00	0	Enable	Disable	
FF21H	K03	K02	K01	K00	R/W				K00～K03入力ポートデータ
					K03	–*2	High	Low	
					K02	–*2	High	Low	
					K01	–*2	High	Low	
FF22H	KCP03	KCP02	KCP01	KCP00	R				K00～K03入力比較レジスタ
					KCP03	1	↓	↑	
					KCP02	1	↓	↑	
					KCP01	1	↓	↑	
FF24H	SIK13	SIK12	SIK11	SIK10	R/W				K10～K13割り込み選択レジスタ
					SIK13	0	Enable	Disable	
					SIK12	0	Enable	Disable	
					SIK11	0	Enable	Disable	
FF25H	K13	K12	K11	K10	R/W				K10～K13入力ポートデータ
					K13	–*2	High	Low	
					K12	–*2	High	Low	
					K11	–*2	High	Low	
FF26H	KCP13	KCP12	KCP11	KCP10	R				K10～K13入力比較レジスタ
					KCP13	1	↓	↑	
					KCP12	1	↓	↑	
					KCP11	1	↓	↑	
FFE4H	0	0	0	EIK0	R/W				未使用 未使用 未使用 割り込みマスクレジスタ(K00～K03)
					0*3	–*2			
					0*3	–*2			
					EIK0	0	Enable	Mask	
FFE5H	0	0	0	EIK1	R/W				未使用 未使用 未使用 割り込みマスクレジスタ(K10～K13)
					0*3	–*2			
					0*3	–*2			
					EIK1	0	Enable	Mask	
FFF4H	0	0	0	IK0	R/W				未使用 未使用 未使用 割り込み要因フラグ(K00～K03)
					0*3	–*2	(R)	(R)	
					0*3	–*2	Yes	No	
					0*3	–*2	(V)	(V)	
FFF5H	0	0	0	IK1	R/W				未使用 未使用 未使用 割り込み要因フラグ(K10～K13)
					IK0	0	Reset	Invalid	
					0*3	–*2	(R)	(R)	
					0*3	–*2	Yes	No	
FFF5H	0	0	0	IK1	R/W				未使用 未使用 未使用 割り込み要因フラグ(K10～K13)
					0*3	–*2	(W)	(W)	
					0*3	–*2	(W)	(W)	
					IK1	0	Reset	Invalid	

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

● K00～K03: K0入力ポートデータ (FF21H)

K10～K13: K1入力ポートデータ (FF25H)

入力ポート端子の入力データが読み出せます。

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

書き込み: 無効

入力ポート8ビット(K00～K03、K10～K13)の端子電圧がそれぞれHIGH(V_{DD})レベルのとき"1"、LOW(V_{SS})レベルのとき"0"として読み出せます。

これらのビットは読み出し専用のため、書き込み動作は無効となります。

● **SIK00～SIK03: K0ポート割り込み選択レジスタ (FF20H)**

SIK10～SIK13: K1ポート割り込み選択レジスタ (FF24H)

K00～K03、K10～K13入力割り込みに使用するポートを選択します。

"1"書き込み: 割り込み許可
 "0"書き込み: 割り込み禁止
 読み出し: 可能

割り込み選択レジスタ(SIK00～SIK03、SIK10～SIK13)に"1"を書き込んだ入力ポート(K00～K03、K10～K13)の割り込みを許可します。"0"に設定した入力ポートは割り込みの発生条件には影響を与えません。イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

● **KCP00～KCP03: K0ポート入力比較レジスタ (FF22H)**

KCP10～KCP13: K1ポート入力比較レジスタ (FF26H)

割り込み発生タイミングを設定します。

"1"書き込み: 立ち下がりエッジ
 "0"書き込み: 立ち上がりエッジ
 読み出し: 可能

入力ポートは入力比較レジスタ(KCP00～KCP03、KCP10～KCP13)によって、割り込みの発生タイミングを入力の立ち上がりエッジとするか立ち下がりエッジとするか、1ビットごとに選択できます。KCP00～KCP03については、SIK00～SIK03レジスタによってK00～K03の中の割り込みが許可されているポートとのみ比較が行われます。同様にKCP10～KCP13は、SIK10～SIK13レジスタによってK10～K13の中の割り込みが許可されているポートとのみ比較が行われます。イニシャルリセット時、これらのレジスタはすべて"1"に設定されます。

● **EIK0: K0入力割り込みマスクレジスタ (FFE4H・D0)**

EIK1: K1入力割り込みマスクレジスタ (FFE5H・D0)

入力ポートの割り込みについて、マスクするかしないかを選択します。

"1"書き込み: イネーブル
 "0"書き込み: マスク
 読み出し: 可能

入力ポートの2つの系列(K00～K03、K10～K13)に対して、割り込みをマスクするかしないかを、これらのレジスタにより選択できます。イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

● **IK0: K0入力割り込み要因フラグ (FFF4H・D0)**

IK1: K1入力割り込み要因フラグ (FFF5H・D0)

入力割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有
 "0"読み出し: 割り込み無
 "1"書き込み: 要因フラグをリセット
 "0"書き込み: 無効

割り込み要因フラグIK0、IK1はそれぞれK00～K03、K10～K13の入力割り込みに対応します。これらのフラグによって入力割り込みの有無を、ソフトウェアで判断することができます。

割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず割り込み条件の成立により"1"にセットされます。ただし、割り込みがマスクされている場合はCPUに対して割り込みは発生しません。

これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

4.4.5 プログラミング上の注意事項

- (1) 入力ポートをLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の時定数によって波形立ち上がりに遅延が生じます。このため、入力ポートの取り込みを行う際は、適切な待ち時間を設定してください。
特に、キーマトリクス構成時のキースキャン等に注意が必要です。
この待ち時間は次の式で算出される時間以上としてください。
$$10 \times C(\text{端子容量}5\text{pF} + \text{寄生容量?pF}) \times R(\text{プルアップ抵抗}330\text{k}\Omega)$$
- (2) K13端子はプログラマブルタイマの入力クロック端子としての機能も兼ねることがあり、入力ポート機能と入力信号が共有されます。そのため、K13端子をプログラマブルタイマの入力クロック端子に設定した場合、割り込み等の設定には十分注意してください。
- (3) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.5 出力ポート (R00~R03, R10~R13, R20~R23)

4.5.1 出力ポートの構成

S1C63567は12ビットの汎用出力ポートを内蔵しています。
各出力ポートの出力仕様はマスクオプションで個別に選択できます。選択できる出力仕様はコンプリメンタリ出力とNチャンネルオープンドレイン出力の2種類です。
図4.5.1.1に出力ポートの構成を示します。

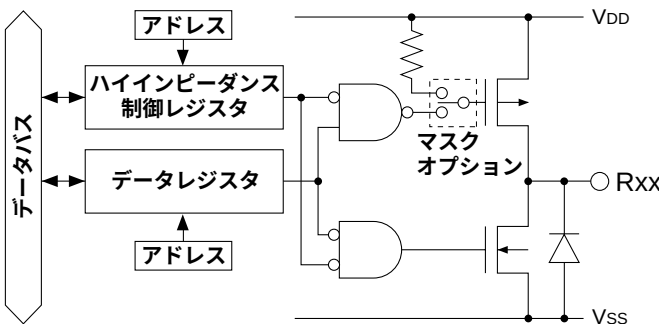


図4.5.1.1 出力ポートの構成

R00~R03出力ポート端子はブザー/クロック出力(XBZ、BZ、TOUT、FOUT)と、R10~R13出力ポート端子はトーン/パルスダイアラの出力(XTMUTE、XRMUTE、HDO、HFO)と兼用されており、これらの機能をソフトウェアによって選択するようになっています。
イニシャルリセット時はすべて汎用出力ポートに設定されます。
表4.5.1.1に機能選択による出力端子の設定を示します。

表4.5.1.1 出力端子の機能設定

端子名	イニシャルリセット時の 端子状態	特殊出力使用時							
		FOUT	TOUT	BZ	XBZ	HFO	HDO	XRMUTE	XTMUTE
R00	R00 (HIGH出力)	R00	R00	R00	XBZ	R00	R00	R00	R00
R01	R01 (HIGH出力)	R01	R01	BZ	R01	R01	R01	R01	R01
R02	R02 (HIGH出力)	R02	TOUT	R02	R02	R02	R02	R02	R02
R03	R03 (HIGH出力)	FOUT	R03	R03	R03	R03	R03	R03	R03
R10	R10 (HIGH出力)	R10	R10	R10	R10	R10	R10	R10	XTMUTE
R11	R11 (HIGH出力)	R11	R11	R11	R11	R11	R11	XRMUTE	R11
R12	R12 (HIGH出力)	R12	R12	R12	R12	R12	HDO	R12	R12
R13	R13 (HIGH出力)	R13	R13	R13	R13	HFO	R13	R13	R13
R20~R23	R20~R23 (HIGH出力)	R20~R23	R20~R23	R20~R23	R20~R23	R20~R23	R20~R23	R20~R23	R20~R23

特殊出力として使用する場合、データレジスタは"1"に、ハイインピーダンス制御レジスタは"0"(データ出力)に固定する必要があります。

4.5.2 マスクオプション

出力ポートはマスクオプションにより出力仕様の選択が行えます。
出力ポートの出力仕様はビットごとに、コンプリメンタリ出力またはNチャンネルオープンドレイン出力のいずれかが選択できます。
ただし、Nチャンネルオープンドレイン出力を選択した場合でも、出力ポートに電源電圧を越える電圧の印加は禁止します。

4.5.3 ハイインピーダンス制御

出力ポートは、ソフトウェアにより端子の出力状態をハイインピーダンスとすることができます。制御は各出力ポートRxxに対応するハイインピーダンス制御レジスタRxxHIZによって行います。

ハイインピーダンス制御レジスタに"1"を書き込むと、対応する出力ポート端子がハイインピーダンスとなり、"0"でデータレジスタにしたがった出力が行われます。

4.5.4 特殊出力

出力ポートR00～R03およびR10～R13は通常のDC出力のほかに表4.5.4.1に示す特殊出力をソフトウェアによって設定できます。図4.5.4.1にR00～R03およびR10～R13出力ポートの構成を示します。

表4.5.4.1 特殊出力

端子名	特殊出力選択時	特殊出力制御レジスタ
R13	HFO	CHFO
R12	HDO	CHDO
R11	XRMUTE	CRMO
R10	XTMUTE	CTMO
R03	FOUT	FOUTE
R02	TOUT	PTOUT
R01	BZ	BZOUT
R00	XBZ	XBZOUT

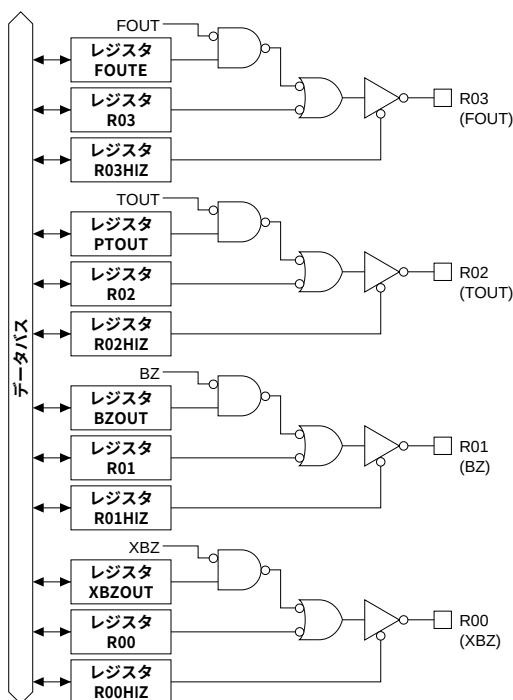


図4.5.4.1(a) R00～R03出力ポートの構成

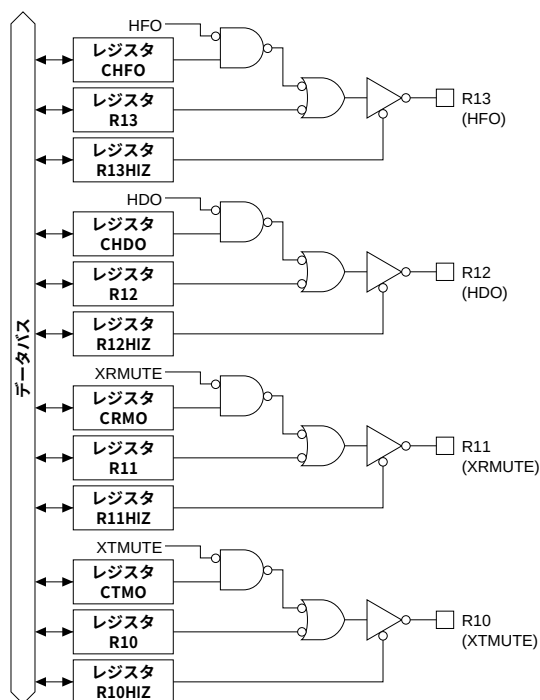


図4.5.4.1(b) R10～R13出力ポートの構成

イニシャルリセット時、出力ポートのデータレジスタは"1"、ハイインピーダンス制御レジスタは"0"に設定され、出力端子はHIGH(V_{DD})レベルとなります。

R00～R03、R10～R13を特殊出力ポートとして使用する場合は、データレジスタR00～R03、R10～R13を"1"、ハイインピーダンス制御レジスタR00HIZ～R03HIZ、R10HIZ～R13HIZを"0"（データ出力）に固定し、特殊出力制御レジスタによってそれぞれの信号をON/OFFしてください。

注: • 特殊出力選択時にR00～R03、R10～R13レジスタに"0"を書き込むと、DC出力の場合と同様に出力端子がLOW(Vss)レベルに固定されますので注意してください。

• ハイインピーダンス制御レジスタR00HIZ～R03HIZ、R10HIZ～R13HIZに"1"を書き込むと、出力端子がハイインピーダンスになりますので注意してください。

• 特殊出力信号はソフトウェア制御によるON/OFF時にハザードを生じる可能性があります。

● XBZ(R00)

R00端子からはXBZ信号を出力させることができます。

XBZはサウンドジェネレータで生成されるブザー(BZ)の反転信号で、BZ信号とともに圧電ブザーのダイレクトドライブに使用します。

XBZ出力を行う場合は、XBZOUTレジスタに"1"を書き込んでR00端子をXBZ出力に設定します。さらに、R00レジスタを"1"、R00HIZレジスタを"0"に固定します。XBZ信号の出力制御(ON/OFF)はBZEレジスタによって行います。XBZ信号と制御方法の詳細については"4.12 サウンドジェネレータ"を参照してください。

● BZ(R01)

R01端子からはBZ(ブザー)信号を出力させることができます。

BZはサウンドジェネレータで生成されるブザー信号です。

BZ出力を行う場合は、BZOUTレジスタに"1"を書き込んでR01端子をBZ出力に設定します。さらに、R01レジスタを"1"、R01HIZレジスタを"0"に固定します。BZ信号の出力制御(ON/OFF)はBZEレジスタによって行います。BZ信号と制御方法の詳細については"4.12 サウンドジェネレータ"を参照してください。

● TOUT(R02)

R02端子からはTOUT信号を出力させることができます。

TOUT信号はプログラマブルタイマの出力クロックで、外部デバイスに対するクロック供給などの目的に使用することができます。

TOUT出力を行う場合はR02レジスタを"1"、R02HIZレジスタを"0"に固定し、PTOUTレジスタによって信号をON/OFFします。ただし、プログラマブルタイマの制御が必要です。

TOUT信号と制御方法の詳細については"4.10 プログラマブルタイマ"を参照してください。

● FOUT(R03)

R03端子からはFOUT信号を出力させることができます。

FOUT信号は発振回路の出力クロック(fosc1、fosc3)またはfosc1を内部回路で分周したクロックで、外部デバイスに対するクロック供給などの目的に使用することができます。

FOUT出力を行う場合はR03レジスタを"1"、R03HIZレジスタを"0"に固定し、FOUTEレジスタによって信号をON/OFFします。

出力するクロックの周波数は、表4.5.4.2に示す4種類から1つをFOFQ0およびFOFQ1レジスタによって選択できます。

表4.5.4.2 FOUTクロック周波数

FOFQ1	FOFQ0	クロック周波数
1	1	fosc3
1	0	fosc1
0	1	fosc1 × 1/8
0	0	fosc1 × 1/64

fosc1: OSC1発振回路の出力クロック

fosc3: OSC3発振回路の出力クロック

FOUT信号の周波数としてfosc3を選択した場合は、信号出力前にOSC3発振回路の制御が必要です。制御方法と注意事項については"4.3 発振回路"を参照してください。

図4.5.4.2にFOUT信号の出力波形を示します。

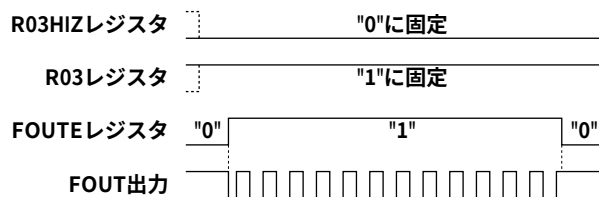


図4.5.4.2 FOUT信号の出力波形

● XTMUTE (R10)

R10端子からはXTMUTE信号を出力させることができます。

XTMUTEは電話機能に使用するトランスミットミュート信号です。

XTMUTE出力を行う場合は、CTMOレジスタに"1"を書き込んでR10端子をXTMUTE出力に設定します。さらに、R10レジスタを"1"、R10HIZレジスタを"0"に固定します。XTMUTE信号の出力制御はCTMUTレジスタによって行います。XTMUTE信号と制御方法の詳細については"4.14 電話機能"を参照してください。

● XRMUTE (R11)

R11端子からはXRMUTE信号を出力させることができます。

XRMUTEは電話機能に使用するレシーバミュート信号です。

XRMUTE出力を行う場合は、CRM0レジスタに"1"を書き込んでR11端子をXRMUTE出力に設定します。さらに、R11レジスタを"1"、R11HIZレジスタを"0"に固定します。XRMUTE信号の出力制御はCRMUTレジスタによって行います。XRMUTE信号と制御方法の詳細については"4.14 電話機能"を参照してください。

● HDO (R12)

R12端子からはHDO信号を出力させることができます。

HDOは電話機能に使用するホールドライン信号です。

HDO出力を行う場合は、CHDOレジスタに"1"を書き込んでR12端子をHDO出力に設定します。さらに、R12レジスタを"1"、R12HIZレジスタを"0"に固定します。HDO信号の出力制御はHOLDレジスタによって行います。HDO信号と制御方法の詳細については"4.14 電話機能"を参照してください。

● HFO (R13)

R13端子からはHFO信号を出力させることができます。

HFOは電話機能に使用するハンドフリー信号です。

HFO出力を行う場合は、CHFOレジスタに"1"を書き込んでR13端子をHFO出力に設定します。さらに、R13レジスタを"1"、R13HIZレジスタを"0"に固定します。HFO信号の出力制御はHFレジスタによって行います。HFO信号と制御方法の詳細については"4.14 電話機能"を参照してください。

4.5.5 出力ポートのI/Oメモリ

表4.5.5.1に出力ポートの制御ビットとそのアドレスを示します。

表4.5.5.1 出力ポートの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF06H	FOUTE	0	FOFQ1	FOFQ0	FOUTE 0 *3	0 - *2	FOUT	DC	R03出力選択 (R03レジスタを"1"に固定) 未使用] FOUT [FOFQ1, 0] 0 1 2 3 周波数選択 周波数 fosc1/64 fosc1/8 fosc1 fosc3
	R/W	R	R/W		FOFQ1 FOFQ0	0 0			
FF13H	CHFO	CHDO	CRMO	CTMO	CHFO CHDO	0 0	HFO HDO	DC DC	R13出力選択 (R13レジスタを"1"に固定) R12出力選択 (R12レジスタを"1"に固定) R11出力選択 (R11レジスタを"1"に固定) R10出力選択 (R10レジスタを"1"に固定)
	R/W				CRMO CTMO	0 0	XRMUTE XTMUTE	DC DC	
FF30H	R03HIZ	R02HIZ	R01HIZ	R00HIZ	R03HIZ R02HIZ	0 0	Hi-Z Hi-Z	Output Output	R03 Hi-z制御 (FOUTE=0), FOUT出力Hi-z制御 (FOUTE=1) R02 Hi-z制御 (PTOUT=0), TOUT出力Hi-z制御 (PTOUT=1) R01 Hi-z制御 (BZOUT=0), BZ出力Hi-z制御 (BZOUT=1) R00 Hi-z制御 (XBZOUT=0), XBZ出力Hi-z制御 (XBZOUT=1)
	R/W				R01HIZ R00HIZ	0 0	Hi-Z Hi-Z	Output Output	
FF31H	R03 (FOUT)	R02 (TOUT)	R01 (BZ)	R00 (XBZ)	R03 R02 R01 R00	1 1 1 1	High High High High	Low Low Low Low	R03出力ポートデータ (FOUTE=0) FOUT出力時は1に固定 R02出力ポートデータ (PTOUT=0) TOUT出力時は1に固定 R01出力ポートデータ (BZOUT=0) BZ出力時は1に固定 R00出力ポートデータ (XBZOUT=0) XBZ出力時は1に固定
	R/W								
FF32H	R13HIZ	R12HIZ	R11HIZ	R10HIZ	R13HIZ R12HIZ R11HIZ R10HIZ	0 0 0 0	Hi-Z Hi-Z Hi-Z Hi-Z	Output Output Output Output	R13 Hi-z制御 (CHFO=0), HFO出力Hi-z制御 (CHFO=1) R12 Hi-z制御 (CHDO=0), HDO出力Hi-z制御 (CHDO=1) R11 Hi-z制御 (CRMO=0), XRMUTE出力Hi-z制御 (CRMO=1) R10 Hi-z制御 (CTMO=0), XTMUTE出力Hi-z制御 (CTMO=1)
	R/W								
FF33H	R13 (HFO)	R12 (HDO)	R11 (XRMUTE)	R10 (XTMUTE)	R13 R12 R11 R10	1 1 1 1	High High High High	Low Low Low Low	R13出力ポートデータ (CHFO=0) HFO出力時は1に固定 R12出力ポートデータ (CHDO=0) HDO出力時は1に固定 R11出力ポートデータ (CRMO=0) XRMUTE出力時は1に固定 R10出力ポートデータ (CTMO=0) XTMUTE出力時は1に固定
	R/W								
FF34H	R23HIZ	R22HIZ	R21HIZ	R20HIZ	R23HIZ R22HIZ R21HIZ R20HIZ	0 0 0 0	Hi-Z Hi-Z Hi-Z Hi-Z	Output Output Output Output	R20～R23 Hi-z制御
	R/W								
FF35H	R23	R22	R21	R20	R23 R22 R21 R20	1 1 1 1	High High High High	Low Low Low Low	R20～R23出力ポートデー タ
	R/W								
FF65H	0	0	BZOUT	XBZOUT	0 *3 0 *3	- *2 - *2			未使用 未使用 R01出力選択 (R01レジスタを"1"に固定) R00出力選択 (R00レジスタを"1"に固定)
	R		R/W		BZOUT XBZOUT	0 0	BZ XBZ	DC DC	
FFC1H	CHSEL	PTOUT	CKSEL1	CKSEL0	CHSEL PTOUT	0 0	Timer1 On Off	Timer0 Off	TOUT出力チャンネル選択 TOUT出力制御 プリスケーラ1原振クロック選択 プリスケーラ0原振クロック選択
	R/W				CKSEL1 CKSEL0	0 0	OSC3 OSC3	OSC1 OSC1	

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

- **R00HIZ～R03HIZ: R0ポートハイインピーダンス制御レジスタ (FF30H)**
R10HIZ～R13HIZ: R1ポートハイインピーダンス制御レジスタ (FF32H)
R20HIZ～R23HIZ: R2ポートハイインピーダンス制御レジスタ (FF34H)

出力ポートのハイインピーダンス制御を行います。

"1"書き込み: ハイインピーダンス
"0"書き込み: データ出力
読み出し: 可能

ハイインピーダンス制御レジスタに"0"を書き込むことにより、対応する出力端子からデータレジスタにしたがった出力が行われ、"1"を書き込むとハイインピーダンスになります。

R00～R03、R10～R13を特殊出力として使用する場合、対応するハイインピーダンス制御レジスタは"0" (データ出力)に固定してください。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

- **R00～R03: R0出力ポートデータレジスタ (FF31H)**
R10～R13: R1出力ポートデータレジスタ (FF33H)
R20～R23: R2出力ポートデータレジスタ (FF35H)

各出力ポートの出力データを設定します。

"1"書き込み: HIGHレベル出力
"0"書き込み: LOWレベル出力
読み出し: 可能

出力ポート端子は対応するデータレジスタに書き込まれたデータをそのまま出力します。レジスタに"1"を書き込んだ場合、出力ポート端子はHIGH(V_{DD})レベルになり、"0"を書き込んだ場合はLOW(V_{SS})レベルになります。

R00～R03、R10～R13を特殊出力として使用する場合、対応するデータレジスタは"1"に固定してください。

イニシャルリセット時、これらのレジスタは"1"に設定されます。

- **XBZOUT: R00出力選択レジスタ (FF65H・D0)**

R00端子の機能を選択します。

"1"書き込み: XBZ出力
"0"書き込み: 汎用DC出力
読み出し: 可能

R00端子をXBZ出力に使用する場合、このレジスタに"1"を書き込みます。さらに、R00レジスタを"1"、R00HIZレジスタを"0"に固定します。XBZ出力の制御方法については、"4.12 サウンドジェネレータ"を参照してください。

R00を汎用出力ポートとして使用する場合、XBZOUTは"0"に固定してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

- **BZOUT: R01出力選択レジスタ (FF65H・D1)**

R01端子の機能を選択します。

"1"書き込み: BZ出力
"0"書き込み: 汎用DC出力
読み出し: 可能

R01端子をBZ出力に使用する場合、このレジスタに"1"を書き込みます。さらに、R01レジスタを"1"、R01HIZレジスタを"0"に固定します。BZ出力の制御方法については、"4.12 サウンドジェネレータ"を参照してください。

R01を汎用出力ポートとして使用する場合、BZOUTは"0"に固定してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

● PTOUT: TOUT出力制御レジスタ (FFC1H・D2)

TOUT出力を制御します。

"1"書き込み: TOUT出力ON
 "0"書き込み: TOUT出力OFF
 読み出し: 可能

R02レジスタが"1"、R02HIZレジスタが"0"に設定されている状態でPTOUTに"1"を書き込むことによってR02端子からTOUT信号が出力され、"0"の書き込みでR02端子がHIGH(V_{DD})レベルになります。R02を汎用出力ポートとして使用する場合、PTOUTは"0"に固定してください。イニシャルリセット時、このレジスタは"0"に設定されます。

● FOUTE: FOUT出力制御レジスタ (FF06H・D3)

FOUT出力を制御します。

"1"書き込み: FOUT出力ON
 "0"書き込み: FOUT出力OFF
 読み出し: 可能

R03レジスタが"1"、R03HIZレジスタが"0"に設定されている状態でFOUTEに"1"を書き込むことによってR03端子からFOUT信号が出力され、"0"の書き込みでR03端子がHIGH(V_{DD})レベルになります。R03を汎用出力ポートとして使用する場合、FOUTEは"0"に固定してください。イニシャルリセット時、このレジスタは"0"に設定されます。

● FOFQ0、FOFQ1: FOUT周波数選択レジスタ (FF06H・D0, D1)

FOUT信号の周波数を選択します。

表4.5.5.2 FOUTクロック周波数

FOFQ1	FOFQ0	クロック周波数
1	1	fosc3
1	0	fosc1
0	1	fosc1 × 1/8
0	0	fosc1 × 1/64

イニシャルリセット時、このレジスタは"0"に設定されます。

● CTMO: R10出力選択レジスタ (FF13H・D0)

R10端子の機能を選択します。

"1"書き込み: XTMUTE出力
 "0"書き込み: 汎用DC出力
 読み出し: 可能

R10端子をXTMUTE出力に使用する場合、このレジスタに"1"を書き込みます。さらに、R10レジスタを"1"、R10HIZレジスタを"0"に固定します。XTMUTE出力の制御方法については、"4.14 電話機能"を参照してください。

R10を汎用出力ポートとして使用する場合、CTMOは"0"に固定してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

● CRMO: R11出力選択レジスタ (FF13H・D1)

R11端子の機能を選択します。

"1"書き込み: XRMUTE出力
"0"書き込み: 汎用DC出力
読み出し: 可能

R11端子をXRMUTE出力に使用する場合、このレジスタに"1"を書き込みます。さらに、R11レジスタを"1"、R11HIZレジスタを"0"に固定します。XRMUTE出力の制御方法については、"4.14 電話機能"を参照してください。

R11を汎用出力ポートとして使用する場合、CRMOは"0"に固定してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

● CHDO: R12出力選択レジスタ (FF13H・D2)

R12端子の機能を選択します。

"1"書き込み: HDO出力
"0"書き込み: 汎用DC出力
読み出し: 可能

R12端子をHDO出力に使用する場合、このレジスタに"1"を書き込みます。さらに、R12レジスタを"1"、R12HIZレジスタを"0"に固定します。HDO出力の制御方法については、"4.14 電話機能"を参照してください。

R12を汎用出力ポートとして使用する場合、CHDOは"0"に固定してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

● CHFO: R13出力選択レジスタ (FF13H・D3)

R13端子の機能を選択します。

"1"書き込み: HFO出力
"0"書き込み: 汎用DC出力
読み出し: 可能

R13端子をHFO出力に使用する場合、このレジスタに"1"を書き込みます。さらに、R13レジスタを"1"、R13HIZレジスタを"0"に固定します。HFO出力の制御方法については、"4.14 電話機能"を参照してください。

R13を汎用出力ポートとして使用する場合、CHFOは"0"に固定してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

4.5.6 プログラミング上の注意事項

- (1) R00～R03、R10～R13を特殊出力として使用する場合、R00～R03、R10～R13レジスタは"1"、R00HIZ～R03HIZ、R10HIZ～R13HIZレジスタは"0"に固定してください。
R00～R03、R10～R13レジスタに"0"を書き込むと、出力端子がLOW(V_{ss})に固定されますので注意してください。また、R00HIZ～R03HIZ、R10HIZ～R13HIZレジスタに"1"を書き込むと、出力端子がハイインピーダンスになりますので注意してください。
- (2) TOUT信号、FOUT信号、BZ信号、XBZ信号のON/OFF時は、出力波形にハザードが出る場合があります。
- (3) FOUT信号の周波数としてfosc3を選択した場合は、信号出力前にOSC3発振回路の制御が必要です。制御方法と注意事項については"4.3 発振回路"を参照してください。

4.6 入出力兼用ポート (P00~P03, P10~P13, P20~P23, P30~P33)

4.6.1 入出力兼用ポートの構成

S1C63567は16ビットの汎用入出力兼用ポートを内蔵しています。図4.6.1.1に入出力兼用ポートの構成を示します。

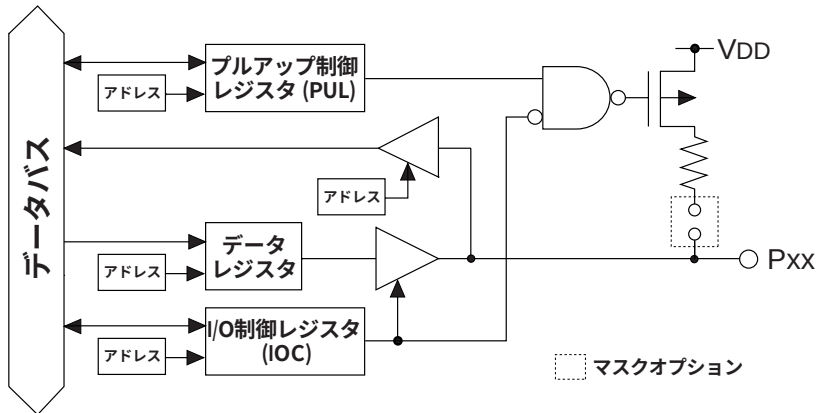


図4.6.1.1 入出力兼用ポートの構成

入出力兼用ポート端子の中でP10~P13はシリアルインタフェースの入出力端子と、P22およびP23は特殊出力(CL, FR)端子と兼用されており、これらの機能をソフトウェアによって選択するようになっています。イニシャルリセット時はすべて入出力兼用ポートに設定されます。

表4.6.1.1に機能選択による入出力端子の設定を示します。

表4.6.1.1 入出力端子の機能設定

端子名	イニシャルリセット時の端子状態	特殊出力使用時		シリアルインタフェース使用時		
		CL	FR	Async.	Clk-sync. Master	Clk-sync. Slave
P00~P03	P00~P03 (入力&プルアップ*)	P00~P03	P00~P03	P00~P03	P00~P03	P00~P03
P10	P10 (入力&プルアップ*)	P10	P10	SIN(I)	SIN(I)	SIN(I)
P11	P11 (入力&プルアップ*)	P11	P11	SOUT(O)	SOUT(O)	SOUT(O)
P12	P12 (入力&プルアップ*)	P12	P12	P12	SCLK(O)	SCLK(I)
P13	P13 (入力&プルアップ*)	P13	P13	P13	P13	SRDY(O)
P20	P20 (入力&プルアップ*)	P20	P20	P20	P20	P20
P21	P21 (入力&プルアップ*)	P21	P21	P21	P21	P21
P22	P22 (入力&プルアップ*)	CL	P22	P22	P22	P22
P23	P23 (入力&プルアップ*)	P23	FR	P23	P23	P23
P30~P33	P30~P33 (入力&プルアップ*)	P30~P33	P30~P33	P30~P33	P30~P33	P30~P33

* マスクオプションにて"プルアップあり"選択時 ("プルアップなし"選択時はハイインピーダンス)

入出力兼用ポートとして使用する場合、各ポートを個々(1ビット単位)に入力モードまたは出力モードに設定できます。この設定はI/O制御レジスタにデータを書き込むことによって行います。

シリアルインタフェースの制御については"4.11 シリアルインタフェース"を参照してください。

4.6.2 マスクオプション

入出力兼用ポートは出力モード時の出力仕様として、コンプリメンタリ出力、またはNチャンネルオープンドレイン出力のいずれかをマスクオプションにより各ビットごとに選択できるようになっています。

なお、Nチャンネルオープンドレイン出力を選択した場合でも、ポートに電源電圧を越える電圧を印加することは禁止します。

入力モード時のプルアップ抵抗の有無もマスクオプションにより選択できます。

プルアップ抵抗の有無の選択は、P2xポートはビットごとに、P0x、P1x、P3xポートは4ビットごとに行います。入力モード時の"プルアップ抵抗なし"を選択した場合には、フローティング状態が発生しないように注意してください。

このオプションは入出力兼用ポートを特殊出力、シリアルインタフェースの入出力として使用する場合も有効です。

4.6.3 I/O制御レジスタと入力/出力モード

入出力兼用ポートは、各ポートに対応したI/O制御レジスタIOCxxにデータを書き込むことにより入力モードあるいは出力モードに設定されます。

入力モードに設定する場合はI/O制御レジスタに"0"を書き込みます。入力モードに設定された入出力兼用ポートは、ハイインピーダンス状態となり入力ポートとして働きます。ただし、次項で説明するプルアップ制御を行っている場合は、この入力モード時に限り入力ラインがプルアップされます。

出力モードに設定する場合はI/O制御レジスタに"1"を書き込みます。出力モードに設定された入出力兼用ポートは出力ポートとして働き、ポート出力データが"1"の場合にHIGH(V_{DD})レベル、"0"の場合にLOW(V_{SS})レベルの出力を行います。出力モード時にもデータの読み出しは可能で、その場合はデータレジスタの内容が読み出されます。

イニシャルリセット時、I/O制御レジスタは"0"に設定され、入出力兼用ポートは入力モードになります。

特殊出力、シリアルインタフェースの入出力に設定されたポート(表4.6.1.1参照)の入出力制御はハードウェアが行います。この場合、I/O制御レジスタは入出力制御に影響を与えない汎用レジスタとして使用可能です。

4.6.4 入力モード時のプルアップ

S1C63567の入出力兼用ポートには入力モード時に働くプルアップ抵抗が内蔵されています。このプルアップを使用するかしないかについてはマスクオプションにより選択可能です。

各ポートに対応したプルアップ制御レジスタPULxxに"1"を書き込むことによりプルアップ抵抗が有効になり、入力モード時に入力ラインがプルアップされます。"0"を書き込んだ場合、プルアップは行われません。イニシャルリセット時、プルアップ制御レジスタは"1"に設定されます。

マスクオプションにより"プルアップなし"を選択したポートのプルアップ制御レジスタは、汎用レジスタとして使用可能です。

マスクオプションにより"プルアップあり"を選択した場合でも、特殊出力、シリアルインタフェースの出力に設定されたポート(表4.6.1.1参照)のプルアップ制御レジスタは、プルアップ制御に影響を与えない汎用レジスタとして使用可能です。シリアルインタフェースの入力に設定されたポートのプルアップ制御レジスタは入出力兼用ポートと同様に機能します。

4.6.5 特殊出力(CL, FR)

入出力兼用ポートP22およびP23は、ソフトウェアによってCL信号およびFR信号を出力する特殊出力ポートに切り換えて使用することができます。イニシャルリセット時、P22およびP23は入出力兼用ポート(入力モード)に設定されますので、特殊出力を使用する場合はEXLDCレジスタで特殊出力機能を選択してください。なお、特殊出力に設定したポートのデータレジスタ、I/O制御レジスタ、プルアップ制御レジスタは出力に影響を与えない汎用レジスタとして使用可能です。

EXLDCレジスタに"1"を書き込むとP22がCL出力ポートに、P23がFR出力ポートに設定されます。

CL信号、FR信号は外部に拡張するLCDドライバのためのLCD同期信号(CL)、LCDフレーム信号(FR)で、EXLDCレジスタによって機能を切り換えた時点でP22端子、P23端子から出力されます。

CL信号、FR信号の周波数は以下のとおりです。

表4.6.5.1 CL信号の周波数

OSC1発振周波数	1/8デューティ選択時	1/16デューティ選択時	1/17デューティ選択時
32.768kHz	512Hz	1,024Hz	1,024Hz
60kHz	937.5Hz	1,875Hz	1,875Hz

表4.6.5.2 FR信号の周波数

OSC1発振周波数	1/8デューティ選択時	1/16デューティ選択時	1/17デューティ選択時
32.768kHz	32Hz	32Hz	30.12Hz
60kHz	58.6Hz	58.6Hz	55.2Hz

LCD駆動デューティの制御等については"4.7 LCDドライバ"を参照してください。

注: CL、FR出力信号はON/OFF時(ポート機能切り換え時)にハザードを生じます。

図4.6.5.1にCL、FR信号の出力波形を示します。

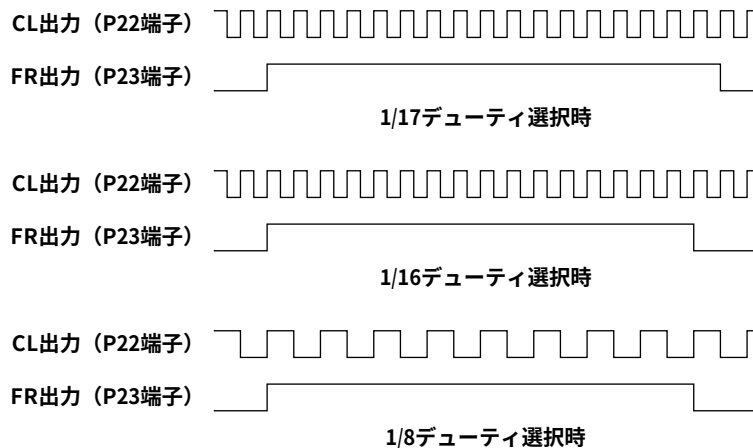


図4.6.5.1 CL、FR信号の出力波形

4.6.6 入出力兼用ポートのI/Oメモリ

表4.6.6.1(a)、(b)に入出力兼用ポートの制御ビットとそのアドレスを示します。

表4.6.6.1(a) 入出力兼用ポートの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF40H	IOC03	IOC02	IOC01	IOC00	IOC03	0	Output	Input	P00～P03 I/O制御レジスタ
					IOC02	0	Output	Input	
	R/W				IOC01	0	Output	Input	
					IOC00	0	Output	Input	
FF41H	PUL03	PUL02	PUL01	PUL00	PUL03	1	On	Off	P00～P03プルアップ制御レジスタ
					PUL02	1	On	Off	
	R/W				PUL01	1	On	Off	
					PUL00	1	On	Off	
FF42H	P03	P02	P01	P00	P03	－*2	High	Low	P00～P03入出力兼用ポートデータ
					P02	－*2	High	Low	
	R/W				P01	－*2	High	Low	
					P00	－*2	High	Low	
FF44H	IOC13	IOC12	IOC11	IOC10	IOC13	0	Output	Input	P13 I/O制御レジスタ SIF(クロック同期式スレーブ)選択時、汎用レジスタとして機能 P12 I/O制御レジスタ SIF(クロック同期式のみ)選択時、汎用レジスタとして機能 P11 I/O制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能 P10 I/O制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能
					IOC12	0	Output	Input	
	R/W				IOC11	0	Output	Input	
					IOC10	0	Output	Input	
FF45H	PUL13	PUL12	PUL11	PUL10	PUL13	1	On	Off	P13プルアップ制御レジスタ SIF(クロック同期式スレーブ)選択時、汎用レジスタとして機能 P12プルアップ制御レジスタ SIF(クロック同期式マスタ)選択時、汎用レジスタとして機能 SIF(クロック同期式スレーブ)選択時、 SCLK(I)プルアップ制御レジスタ P11プルアップ制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能 P10プルアップ制御レジスタ(ESIF=0) SIF選択時、SINプルアップ制御レジスタ
					PUL12	1	On	Off	
	R/W				PUL11	1	On	Off	
					PUL10	1	On	Off	
FF46H	P13 (XSRDY)	P12 (XSCLK)	P11 (SOUT)	P10 (SIN)	P13	－*2	High	Low	P13入出力兼用ポートデータ SIF(クロック同期式スレーブ)選択時、汎用レジスタとして機能 P12入出力兼用ポートデータ SIF(クロック同期式のみ)選択時、汎用レジスタとして機能 P11入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能 P10入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能
					P12	－*2	High	Low	
	R/W				P11	－*2	High	Low	
					P10	－*2	High	Low	
FF48H	IOC23	IOC22	IOC21	IOC20	IOC23	0	Output	Input	P23 I/O制御レジスタ(EXLCDC=0) FR出力選択時、汎用レジスタとして機能 P22 I/O制御レジスタ(EXLCDC=0) CL出力選択時、汎用レジスタとして機能 P21 I/O制御レジスタ P20 I/O制御レジスタ
					IOC22	0	Output	Input	
	R/W				IOC21	0	Output	Input	
					IOC20	0	Output	Input	
FF49H	PUL23	PUL22	PUL21	PUL20	PUL23	1	On	Off	P23プルアップ制御レジスタ(EXLCDC=0) FR出力選択時、汎用レジスタとして機能 P22プルアップ制御レジスタ(EXLCDC=0) CL出力選択時、汎用レジスタとして機能 P21プルアップ制御レジスタ P20プルアップ制御レジスタ
					PUL22	1	On	Off	
	R/W				PUL21	1	On	Off	
					PUL20	1	On	Off	
FF4AH	P23 (FR)	P22 (CL)	P21	P20	P23	－*2	High	Low	P23入出力兼用ポートデータ(EXLCDC=0) FR出力選択時、汎用レジスタとして機能 P22入出力兼用ポートデータ(EXLCDC=0) CL出力選択時、汎用レジスタとして機能 P21入出力兼用ポートデータ P20入出力兼用ポートデータ
					P22	－*2	High	Low	
	R/W				P21	－*2	High	Low	
					P20	－*2	High	Low	

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*2 回路上設定されない

表4.6.6.1(b) 入出力兼用ポートの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF4CH	IOC33	IOC32	IOC31	IOC30	IOC33	0	Output	Input	P30～P33 I/O制御レジスタ
					IOC32	0	Output	Input	
					IOC31	0	Output	Input	
					IOC30	0	Output	Input	
FF4DH	PUL33	PUL32	PUL31	PUL30	PUL33	1	On	Off	P30～P33ブルアップ制御レジスタ
					PUL32	1	On	Off	
					PUL31	1	On	Off	
					PUL30	1	On	Off	
FF4EH	P33	P32	P31	P30	P33	–*2	High	Low	P30～P33入出力兼用ポートデータ
					P32	–*2	High	Low	
					P31	–*2	High	Low	
					P30	–*2	High	Low	
FF61H	EXLDCD	ALOFF	ALON	LPAGE	EXLDCD	0	Enable	Disable	拡張LCDドライバ用信号出力制御 LCD全消灯制御 LCD全点灯制御 表示メモリ領域選択(1/8デューティ選択時) 1/16、1/17デューティ選択時、汎用レジスタとして機能
					ALOFF	1	All Off	Normal	
					ALON	0	All On	Normal	
					LPAGE	0	F100-F177	F000-F077	
FF70H	0	SMD1	SMD0	ESIF	0 *3	–*2			未使用 [SMD1, 0] 0 1 モード Clk-sync. master Clk-sync. slave シリアルI/F [SMD1, 0] 2 3 モード選択 モード Async. 7-bit Async. 8-bit シリアルI/Fイネーブル(P1xポート機能選択)
					SMD1	0			
					SMD0	0			
	R		R/W		ESIF	0	SIF	I/O	

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*2 回路上設定されない

(1) ポート機能の選択

● EXLDCD: 拡張LCDドライバ用信号出力制御レジスタ (FF61H・D3)

P22、P23をCL信号出力、FR信号出力に設定します。

"1"書き込み: CL/FR信号出力

"0"書き込み: 入出力兼用ポート

読み出し: 可能

P22をCL(LCD同期信号)出力、P23をFR(LCDフレーム信号)出力に設定する場合に"1"、入出力兼用ポートとして使用する場合は"0"に固定してください。

EXLDCDに"1"を書き込んだ時点でCL信号がP22端子から、FR信号がP23端子から出力されます。この場合、P22およびP23の入出力兼用ポートの制御レジスタはすべて、これらの出力に影響を与えない汎用レジスタとして使用できます。

イニシャルリセット時、このレジスタは"0"に設定されます。

● ESIF: シリアルインタフェースイネーブルレジスタ (FF70H・D0)

P10～P13の機能を選択します。

"1"書き込み: シリアルインタフェース入出力ポート

"0"書き込み: 入出力兼用ポート

読み出し: 可能

シリアルインタフェースを使用する場合に"1"、入出力兼用ポートとして使用する場合に"0"を書き込みます。P10～P13の中でシリアルインタフェースの入出力に使用される端子の構成は、SMD1とSMD0レジスタで選択する転送モード(調歩同期式7ビット、調歩同期式8ビット、クロック同期式スレーブ、クロック同期式マスタ)によって決定します。クロック同期式スレーブモードではP10～P13すべてがシリアルインタフェースの入出力ポートに設定されます。クロック同期式マスタモードではP10～P12がシリアルインタフェースの入出力ポートに設定され、P13は入出力兼用ポートとして使用することができます。調歩同期式8/7ビットモードではP10とP11がシリアルインタフェースの入出力ポートに設定され、P12とP13は入出力兼用ポートとして使用することができます。

イニシャルリセット時、このレジスタは"0"に設定されます。

(2) 入出力兼用ポートの制御● **P00～P03: P0入出力兼用ポートデータレジスタ (FF42H)****P10～P13: P1入出力兼用ポートデータレジスタ (FF46H)****P20～P23: P2入出力兼用ポートデータレジスタ (FF4AH)****P30～P33: P3入出力兼用ポートデータレジスタ (FF4EH)**

入出力兼用ポートデータの読み出し、および出力データの設定を行います。

● **データ書き込み時**

"1"書き込み: HIGHレベル

"0"書き込み: LOWレベル

入出力兼用ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力兼用ポート端子に出力されます。ポートデータとして"1"を書き込んだ場合はポート端子はHIGH(V_{DD})レベルになり、"0"を書き込んだ場合はLOW(V_{SS})レベルになります。

なお、入力モードの場合もポートデータの書き込みは行えます。

● **データ読み出し時**

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

入出力兼用ポートの端子電圧レベルを読み出します。入出力兼用ポートが入力モードの場合はポート端子に入力されている電圧レベルが読み出され、出力モードに設定されている場合はレジスタの内容が読み出されます。端子電圧がHIGH(V_{DD})レベルの場合は読み出されるポートデータが"1"、LOW(V_{SS})レベルの場合は"0"となります。

また、マスクオプションで"プルアップあり"を選択し、PULレジスタに"1"を設定している場合、入力モード時には内蔵プルアップ抵抗がONとなり、入出力兼用ポート端子がプルアップされます。

特殊出力に設定したポート(P22、P23)、シリアルインタフェースの入出力に設定したポート(P10～P12またはP10～P13)のデータレジスタは入出力には影響を与えない汎用レジスタとなります。

注: 入力モード時にポートの入力をLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の時定数によって波形立ち上がりに遅延が生じます。このため、入力データの取り込みを行う際は、適切な待ち時間を設定してください。

特に、キーマトリクス構成時のキースキャン等に注意が必要です。

この待ち時間は次の式で算出される時間以上としてください。

$$10 \times C(\text{端子容量}5\text{pF} + \text{寄生容量}?\text{pF}) \times R(\text{プルアップ抵抗}330\text{k}\Omega)$$

● **IOC00～IOC03: P0ポートI/O制御レジスタ (FF40H)****IOC10～IOC13: P1ポートI/O制御レジスタ (FF44H)****IOC20～IOC23: P2ポートI/O制御レジスタ (FF48H)****IOC30～IOC33: P3ポートI/O制御レジスタ (FF4CH)**

入出力兼用ポートの入力/出力モードを設定します。

"1"書き込み: 出力モード

"0"書き込み: 入力モード

読み出し: 可能

入出力兼用ポートの入力/出力モードを1ビット単位に設定します。

I/O制御レジスタに"1"を書き込むことにより対応する入出力兼用ポートが出力モードに、"0"を書き込むことにより入力モードになります。

イニシャルリセット時、これらのレジスタは"0"に設定され、入出力兼用ポートはすべて入力モードになります。特殊出力に設定したポート(P22、P23)、シリアルインタフェースの入出力に設定したポート(P10～P12またはP10～P13)のI/O制御レジスタは入出力には影響を与えない汎用レジスタとなります。

- PUL00～PUL03: P0ポートプルアップ制御レジスタ (FF41H)
- PUL10～PUL13: P1ポートプルアップ制御レジスタ (FF45H)
- PUL20～PUL23: P2ポートプルアップ制御レジスタ (FF49H)
- PUL30～PUL33: P3ポートプルアップ制御レジスタ (FF4DH)

入力モード時のプルアップを設定します。

"1"書き込み: プルアップON
 "0"書き込み: プルアップOFF
 読み出し: 可能

入出力兼用ポートに内蔵されたプルアップ抵抗を入力モード時にONまたはOFFすることを1ビット単位に設定します。(プルアップ抵抗はマスクオプションで選択したポートのみに付加されます。)

プルアップ制御レジスタに"1"を書き込むことにより、対応する入出力兼用ポートが入力モード時にプルアップがONとなります。"0"を書き込んだ場合、プルアップは行われません。

イニシャルリセット時、これらのレジスタは"1"に設定され、プルアップ抵抗がすべてONになります。

マスクオプションによりプルアップ抵抗が付加されていないポート、特殊出力に設定したポート、およびシリアルインタフェースのシリアル出力に用いられるポートのプルアップ制御レジスタはプルアップには影響を与えない汎用レジスタとなります。シリアル入力に用いられるポートのプルアップ制御レジスタは入出力兼用ポートの場合と同様に機能します。

4.6.7 プログラミング上の注意事項

- (1) 入力モード時にポートの入力をLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の時定数によって波形立ち上がりに遅延が生じます。このため、入力データの取り込みを行う際は、適切な待ち時間を設定してください。

特に、キーマトリクス構成時のキースキャン等に注意が必要です。

この待ち時間は次の式で算出される時間以上としてください。

$$10 \times C(\text{端子容量}5\text{pF} + \text{寄生容量}?) \times R(\text{プルアップ抵抗}330\text{k}\Omega)$$

- (2) 特殊出力(CL, FR)を選択した場合、信号のON/OFF時に出力波形にハザードが出る場合があります。

4.7 LCDドライバ

4.7.1 LCDドライバの構成

S1C63567は17本のコモン端子(COM0~COM16)と60本のセグメント端子(SEG0~SEG59)を持ち、最大1,020ドット(60×17)のドットマトリクスタイプLCDを駆動できます。

駆動方法は V_{C1} 、 V_{C23} 、 V_{C4} 、 V_{C5} の4電位(1/4バイアス)による1/17デューティ、1/16デューティまたは1/8デューティダイナミック駆動です。LCD表示のON/OFFもソフトウェアにより制御できます。

4.7.2 LCD駆動電源

V_{C1} 、 V_{C23} 、 V_{C4} 、 V_{C5} はLCD(1/4バイアス)駆動用の電圧で、内蔵のLCD系電圧回路が発生します。この4つの出力電圧は外付けして拡張するLCDドライバに限り、外部に対して供給可能です。

LCD系電圧回路はLPWRレジスタによってON/OFFします。LPWRを"1"に設定することにより、LCD系電圧回路はLCD駆動電圧 V_{C1} 、 V_{C23} 、 V_{C4} 、 V_{C5} をLCDドライバに対して出力します。

LCD系電圧回路はその中の定電圧回路によって V_{C23} を発生し、その電圧を昇圧または降圧して他の3電位を発生します。表4.7.2.1に V_{C1} 、 V_{C23} 、 V_{C4} 、 V_{C5} の電圧値と昇降圧の状態を示します。

表4.7.2.1 内部発生時のLCD駆動電圧

LCD駆動電圧	昇降圧状態	電圧値[V]
V_{C1}	$V_{C2} \times 0.5$	1.13
V_{C23}	V_{C2} (基準)	2.25
V_{C4}	$V_{C2} \times 1.5$	3.38
V_{C5}	$V_{C2} \times 2$	4.50

注) LCD駆動電圧はソフトウェア(4.7.5項参照)により調整できます。

表の数値はTYP値です。

4.7.3 LCD表示のON/OFFとデューティの切り換え

(1) 表示のON/OFF

S1C63567には電源のON/OFFの制御とは別に、表示を点滅させるためのALON、ALOFFレジスタが用意されています。ALONは"1"の書き込みですべてのドットをONにするものです。ALOFFは逆に"1"の書き込みですべてのドットをOFFにします。これらは、SEGにON波形またはOFF波形を出力します。"0"設定時は共に通常の表示が行われます。また、ALON、ALOFF共に"1"に設定した場合、ALON(全点灯)がALOFF(全消灯)に優先します。

(2) 駆動デューティの切り換え

S1C63567はソフトウェアにより駆動デューティを1/17、1/16、1/8の3種類に切り換えることができます。この設定は表4.7.3.1に示すとおり、レジスタLDUTY1およびLDUTY0によって行います。

表4.7.3.1 駆動デューティの設定

LDUTY1	LDUTY0	駆動デューティ	使用コモン端子	最大セグメント数
1	*	1/8	COM0~COM7	480 (60×8)
0	1	1/16	COM0~COM15	960 (60×16)
0	0	1/17	COM0~COM16	1,020 (60×17)

フレーム周波数はOSC1発振周波数と駆動デューティに従い表4.7.3.2に示す値となります。

表4.7.3.2 フレーム周波数

OSC1発振周波数	1/8デューティ選択時	1/16デューティ選択時	1/17デューティ選択時
32.768kHz	32Hz	32Hz	30.12Hz
60kHz	58.6kHz	58.6kHz	55.2Hz

図4.7.3.1に1/4バイアスのダイナミック駆動波形を示します。

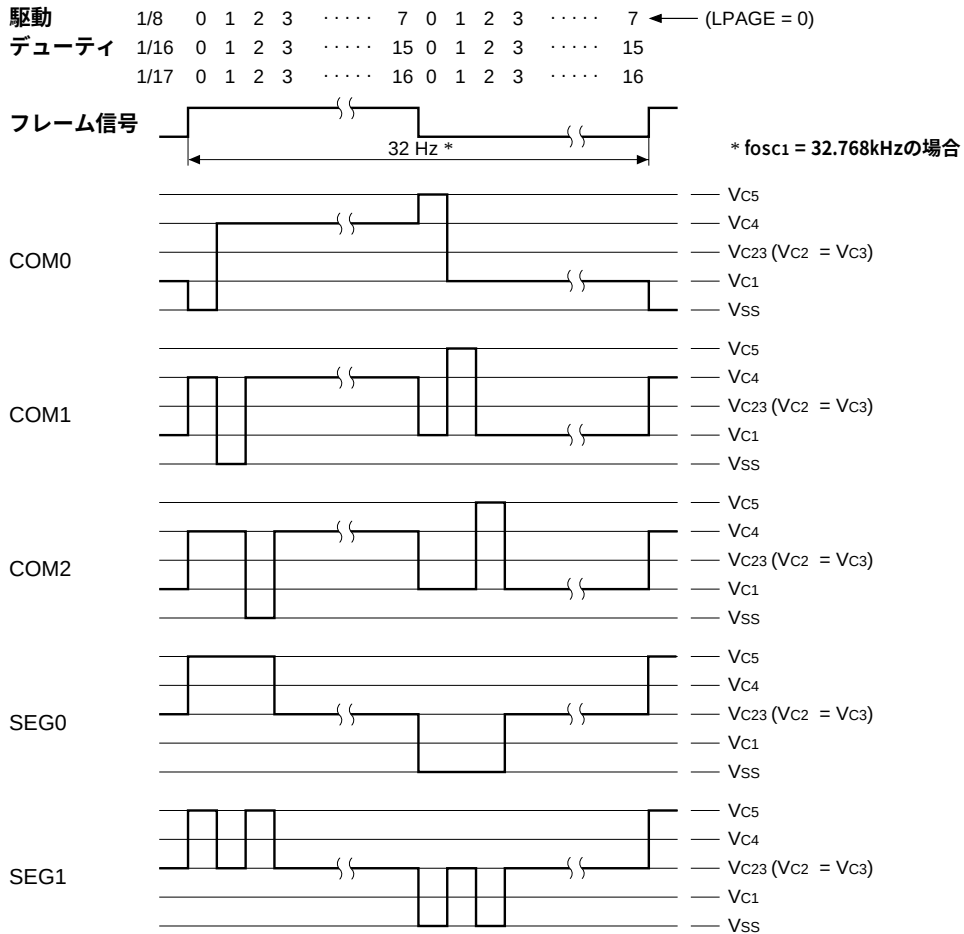
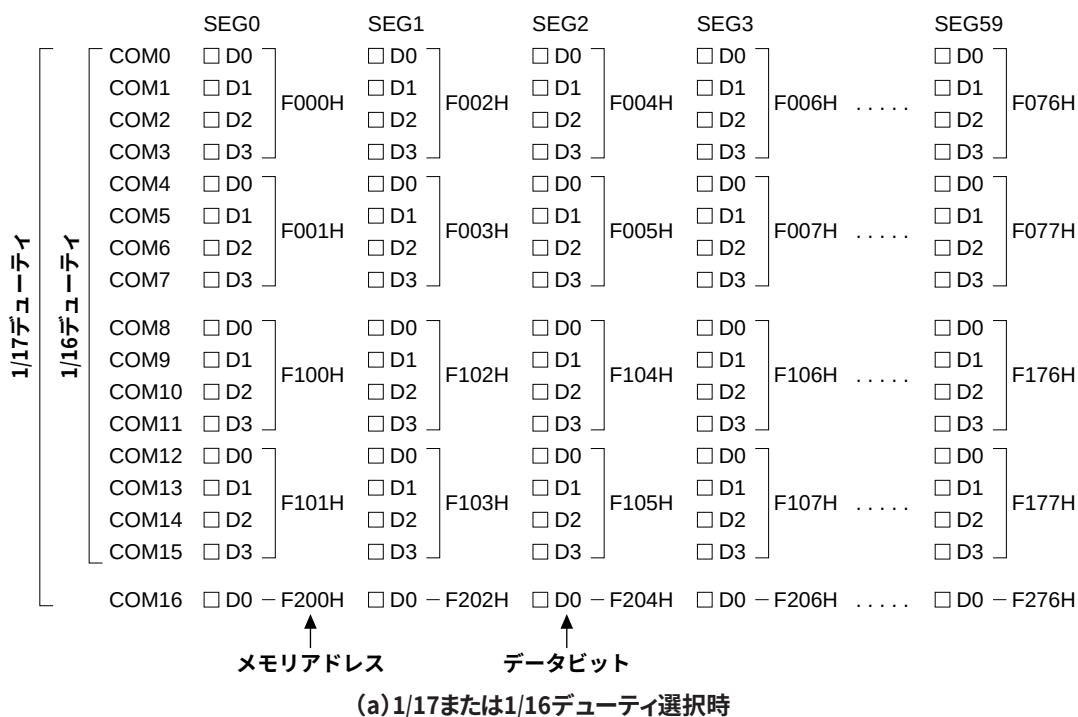


図4.7.3.1 1/4バイアスの駆動波形

4.7.4 表示メモリ

表示メモリはデータメモリ領域のF000H～F276Hに割り付けられており、図4.7.4.1のようにCOM出力、SEG出力に対応しています。



表示メモリのビットを"1"にすると対応するLCDのドットが点灯し、"0"にすると消灯します。

1/17(1/16)デューティ動作時はCOM0～COM16(15)がすべて出力されます。

1/8デューティ動作時はCOM0～COM7のみが出力されますが、表示メモリの容量が2画面分あるため、図4.7.4.1(a)のCOM8～COM15のメモリ領域もCOM0～COM7として使用することが可能となっています。F000H～F077HとF100H～F177Hのどちらの領域のデータを表示させる(COM0～COM7端子から出力させる)かをレジスタLPAGEで選択します。これにより、画面を瞬時に切り換えることができます。

イニシャルリセット時、表示メモリの内容は不定となりますので、ソフトウェアにより初期化する必要があります。表示メモリはリード/ライト可能となっており、LCD表示に使用しないアドレスは汎用レジスタとして使用することができます。

注: メモリ非実装領域(F078H～F0FFH, F178H～F1FFH, F201H, F203H, …、F277H)をアクセスするようなプログラムを作成した場合、正常な動作を保証することはできません。

4.7.5 LCDコントラスト調整

S1C63567では、LCDのコントラストもソフトウェアによって調整できるようになっています。

これは内蔵のLCD系電圧回路が出力するV_{C1}、V_{C23}、V_{C4}、V_{C5}の電圧を制御することによって実現しています。外部拡張用のLCDドライバにこの電圧を供給している場合、拡張したLCDのコントラストも同時に調整されます。

コントラストはLC3～LC0レジスタによって表4.7.5.1に示す16段階に調整可能です。

表4.7.5.1 LCDコントラスト

No.	LC3	LC2	LC1	LC0	コントラスト
0	0	0	0	0	淡
1	0	0	0	1	↑
2	0	0	1	0	
3	0	0	1	1	
4	0	1	0	0	
5	0	1	0	1	
6	0	1	1	0	
7	0	1	1	1	
8	1	0	0	0	
9	1	0	0	1	
10	1	0	1	0	
11	1	0	1	1	
12	1	1	0	0	
13	1	1	0	1	
14	1	1	1	0	↓
15	1	1	1	1	濃

LC3～LC0の設定によりV_{C23}の電圧が調整され、V_{C1}、V_{C4}、V_{C5}もそれに対応して変化し、コントラストが変わります。

ただし、V_{DD} = 2.2～2.5Vの範囲では、V_{C23}の電圧がV_{DD}の影響を受けます。表4.7.5.1のNo.15(コントラストが最も濃い設定)では、本来V_{C23} = 2.4V(V_{DD} = 2.5～5.5Vの場合)となりますが、V_{DD} = 2.2～2.5VではV_{C23} = (V_{DD} - 0.1)Vとなります。

常温では7または8を基準にしてください。

イニシャルリセット時、LC3～LC0の内容は不定ですので、ソフトウェアによる初期化が必要です。

4.7.6 LCDドライバのI/Oメモリ

表4.7.6.1にLCDドライバの制御ビットとそのアドレスを、図4.7.6.1に表示メモリマップを示します。

表4.7.6.1 LCDドライバの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF60H	LDUTY1	LDUTY0	Dummy	LPWR	LDUTY1	0			LCD駆動デューティ [LDUTY1, 0] 0 1 2, 3 切り換え デューティ 1/17 1/16 1/8 汎用レジスタ LCD電源On/Off
					LDUTY0	0			
	R/W				Dummy	0			
					LPWR	0	On	Off	
FF61H	EXLCDC	ALOFF	ALON	LPAGE	EXLCDC	0	Enable	Disable	拡張LCDドライバ用信号出力制御 LCD全消灯制御 LCD全点灯制御 表示メモリ領域選択(1/8デューティ選択時) 1/16、1/17デューティ選択時、汎用レジスタとして機能
					ALOFF	1	All Off	Normal	
					ALON	0	All On	Normal	
	R/W				LPAGE	0	F100-F177	F000-F077	
FF62H	LC3	LC2	LC1	LC0	LC3	−*2			LCDコントラスト調整 [LC3~0] 0 ~ 15 コントラスト 淡 ~ 濃
					LC2	−*2			
	R/W				LC1	−*2			
					LC0	−*2			

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

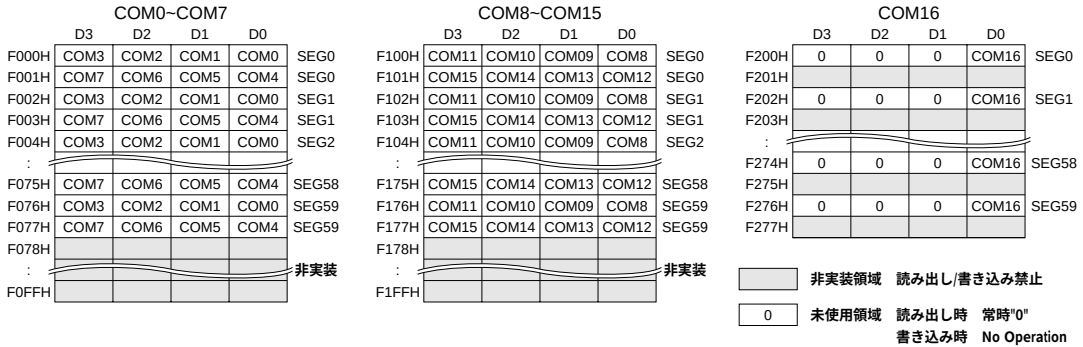


図4.7.6.1 表示メモリマップ

● LPWR: LCD電源ON/OFF制御レジスタ (FF60H・D0)

LCD系電圧回路をON/OFFします。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

LPWRに"1"を書き込むことにより、LCD系電圧回路がONとなりLCD駆動電圧を発生します。"0"を書き込んだ場合、LCD駆動電圧はすべてVssとなります。

LPWRに"1"を書き込んだ後、LCD系電圧回路が動作しLCD駆動電圧出力が安定するまで約100msecかかります。

イニシャルリセット時、このレジスタは"0"に設定されます。

● LDUTY0, LDUTY1: LCD駆動デューティ切り換えレジスタ (FF60H・D2, D3)

LCD駆動デューティを選択します。

表4.7.6.2 駆動デューティの設定

LDUTY1	LDUTY0	駆動デューティ	使用コモン端子	最大セグメント数
1	*	1/8	COM0~COM7	480 (60×8)
0	1	1/16	COM0~COM15	960 (60×16)
0	0	1/17	COM0~COM16	1,020 (60×17)

イニシャルリセット時、このレジスタは"0"に設定されます。

● ALON: LCD全点灯制御レジスタ (FF61H・D1)

LCDのドットを全点灯させます。

"1"書き込み: 全点灯
 "0"書き込み: 通常表示
 読み出し: 可能

ALONに"1"を書き込むとLCDのドットがすべて点灯し、"0"の書き込みで通常表示に戻ります。これによる全点灯はSEGにON波形を出力するもので、表示メモリの内容には影響を与えません。

ALONはALOFFに優先します。

イニシャルリセット時、このレジスタは"0"に設定されます。

● ALOFF: LCD全消灯制御レジスタ (FF61H・D2)

LCDのドットを全消灯させます。

"1"書き込み: 全消灯
 "0"書き込み: 通常表示
 読み出し: 可能

ALOFFに"1"を書き込むとLCDのドットがすべて消灯し、"0"の書き込みで通常表示に戻ります。これによる全消灯はSEGにOFF波形を出力するもので、表示メモリの内容には影響を与えません。

イニシャルリセット時、このレジスタは"1"に設定されます。

● LPAGE: LCD表示メモリ領域選択レジスタ (FF61H・D0)

1/8デューティ駆動時の表示メモリ領域を選択します。

"1"書き込み: F100H~F177H
 "0"書き込み: F000H~F077H
 読み出し: 可能

LPAGEに"1"を書き込むことによりF100H~F177H(表示メモリの後半)のデータが表示され、"0"の場合は、F000H~F077H(表示メモリの前半)のデータが表示されます。

LPAGEは1/8デューティ選択時のみ有効で、1/16または1/17デューティ選択時は汎用レジスタとして使用可能です。

イニシャルリセット時、このレジスタは"0"に設定されます。

● LC3~LC0: LCDコントラスト調整レジスタ (FF62H)

LCDのコントラストを調整します。

LC3~LC0 = 0000B 淡
 :
 LC3~LC0 = 1111B 濃

常温では7または8を基準にしてください。

イニシャルリセット時、LC3~LC0の内容は不定となります。

4.7.7 プログラミング上の注意事項

- (1) メモリ非実装領域(F078H～F0FFH、F178H～F1FFH、F201H、F203H、・・・、F277H)をアクセスするようなプログラムを作成した場合、正常な動作を保証することはできません。
- (2) イニシャルリセット時、表示メモリの内容およびLC3～LC0(LCDコントラスト)は不定となりますので、ソフトウェアにより初期化する必要があります。また、表示もすべてOFFとなるように各レジスタ(LPWR、ALOFF)が設定されますので注意してください。

4.8 計時タイマ

4.8.1 計時タイマの構成

S1C63567はOSC1(水晶発振)を原振とする計時タイマを内蔵しています。計時タイマは f_{OSC1} の分周クロック(256Hz)を入力クロックとする8ビットのバイナリカウンタで構成され、その8ビットデータ(128Hz~16Hzと8Hz~1Hz)をソフトウェアによって読み出すことができます。

図4.8.1.1に計時タイマのブロック図を示します。

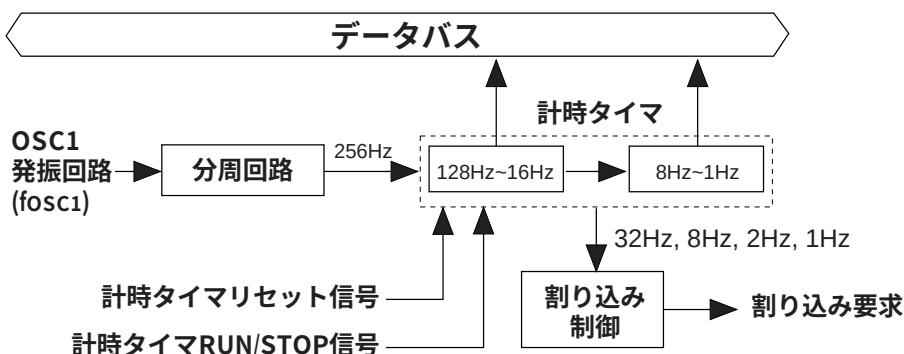


図4.8.1.1 計時タイマのブロック図

通常はこの計時タイマを、時計などのような各種の計時機能に用います。

注: OSC1発振回路としてCR発振回路がマスクオプションで選択された場合には f_{osc1} が60kHz(Typ.)になりますので、記載されているすべての周波数、時間等が異なります。よって、時計機能に用いることはできません。

4.8.2 データの読み出しとホールド機能

8ビットのタイマデータはアドレスFF79HとFF7AHに次のように割り付けられています。

<FF79H>	D0:TM0=128Hz	D1:TM1=64Hz	D2:TM2=32Hz	D3:TM3=16Hz
<FF7AH>	D0:TM4=8Hz	D1:TM5=4Hz	D2:TM6=2Hz	D3:TM7=1Hz

計時タイマのデータは2つのアドレスに割り付けられているため、カウント中に下位データ(TM0~TM3: 128Hz~16Hz)から上位データ(TM4~TM7: 8Hz~1Hz)への桁上げが発生します。下位データと上位データの読み出しの間にこの桁上げが発生すると、2つを合わせた内容が正しい値とはなりません(下位データがFFHと読み出されていて、上位データはその時点から1つカウントアップされた値になってしまいます)。これを避けるために、S1C63567では上位データのホールド機能が働くようになっています。この機能は下位データの読み出しを行った時点で上位データのカウンタアップ(下位データからの桁上げ)を一時停止するもので、上位データがホールドされる時間は次に示す2つの内の短い方になります。

1. 上位データを読み出すまでの間
2. 0.48msec~1.5msec(読み出しのタイミングにより異なる)

注: 上位データを先に読み出した場合は下位データのホールドは行われませんので、必ず下位バイトから先に読み出しを行ってください。

4.8.3 割り込み機能

計時タイマは32Hz、8Hz、2Hz、1Hzの各信号の立ち下がりエッジにおいて割り込みを発生させることができます。また、前記の各周波数に対して個別に割り込みをマスクするかしないかを、ソフトウェアで設定することができます。

図4.8.3.1に計時タイマのタイミングチャートを示します。

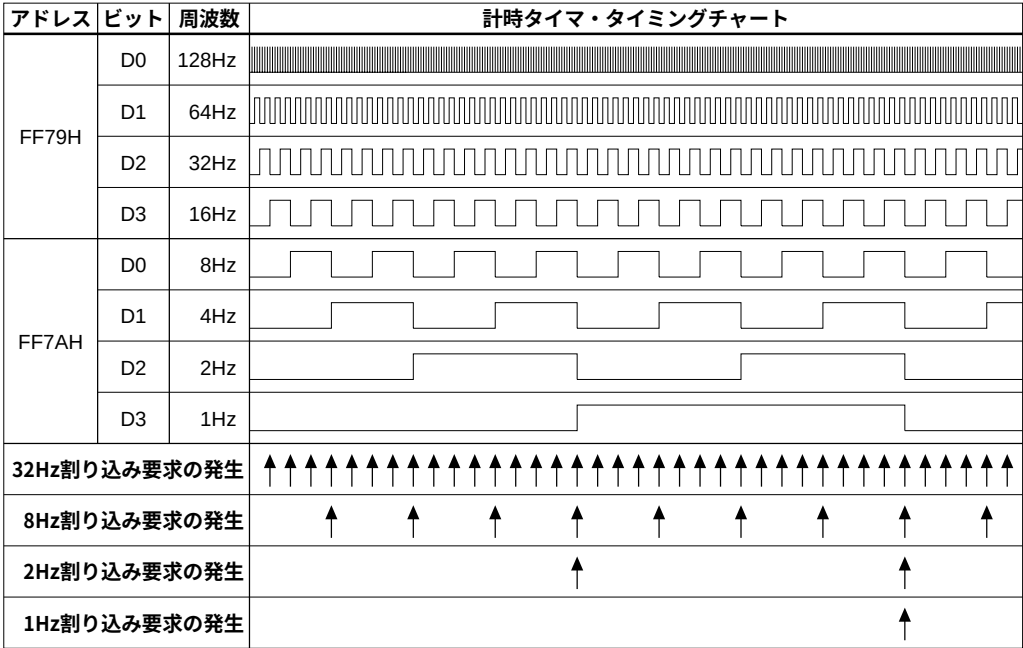


図4.8.3.1 計時タイマのタイミングチャート

図4.8.3.1に示すとおり、割り込みは各周波数(32Hz、8Hz、2Hz、1Hz)の信号の立ち下がりエッジによって発生します。また、この時点に対応する割り込み要因フラグ(IT0、IT1、IT2、IT3)が"1"にセットされます。各割り込みは、割り込みマスクレジスタ(EIT0、EIT1、EIT2、EIT3)によって、個別にマスクを選択することができます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応する信号の立ち下がりエッジで"1"にセットされます。

4.8.4 計時タイマのI/Oメモリ

表4.8.4.1に計時タイマの制御ビットとそのアドレスを示します。

表4.8.4.1 計時タイマの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF78H	0	0	TMRST	TMRUN	0 *3 0 *3	— *2 — *2			未使用 未使用
	R		W	R/W	TMRST*3	Reset	Reset	Invalid	計時タイマリセット(書き込み時)
					TMRUN	0	Run	Stop	計時タイマRun/Stop
FF79H	TM3	TM2	TM1	TM0	TM3	0			計時タイマデータ(16Hz)
					TM2	0			計時タイマデータ(32Hz)
	R				TM1	0			計時タイマデータ(64Hz)
					TM0	0			計時タイマデータ(128Hz)
FF7AH	TM7	TM6	TM5	TM4	TM7	0			計時タイマデータ(1Hz)
					TM6	0			計時タイマデータ(2Hz)
	R				TM5	0			計時タイマデータ(4Hz)
					TM4	0			計時タイマデータ(8Hz)
FFE6H	EIT3	EIT2	EIT1	EIT0	EIT3	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ1Hz)
					EIT2	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ2Hz)
	R/W				EIT1	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ8Hz)
					EIT0	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ32Hz)
FFF6H	IT3	IT2	IT1	IT0	IT3	0	(R)	(R)	割り込み要因フラグ(計時タイマ1Hz)
					IT2	0	Yes	No	割り込み要因フラグ(計時タイマ2Hz)
	R/W				IT1	0	(W)	(W)	割り込み要因フラグ(計時タイマ8Hz)
					IT0	0	Reset	Invalid	割り込み要因フラグ(計時タイマ32Hz)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

● **TM0～TM7: タイマデータ (FF79H, FF7AH)**

計時タイマの128Hz～1Hzのタイマデータが読み出せます。この8ビットは読み出し専用のため、書き込み動作は無効となります。

下位データ(FF79H)を読み出すことにより、上位データ(FF7AH)がその読み出しまで、または0.48msec～1.5msecの間、どちらか短い方にホールドされます。

イニシャルリセット時、タイマデータは"00H"に初期化されます。

● **TMRST: 計時タイマリセット (FF78H・D1)**

計時タイマをリセットするビットです。

"1"書き込み: 計時タイマリセット
 "0"書き込み: ノーオペレーション
 読み出し: 常時"0"

計時タイマは、TMRSTに"1"を書き込むことによりリセットされます。計時タイマがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合はリセットデータが保持されます。

また、"0"の書き込みはノーオペレーションとなります。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

● TMRUN: 計時タイマRUN/STOP制御レジスタ (FF78H・D0)

計時タイマのRUN/STOPを制御します。

"1"書き込み: RUN
 "0"書き込み: STOP
 読み出し: 可能

計時タイマはTMRUNに"1"を書き込むことによりRUNし、"0"の書き込みによりSTOPします。
 STOP状態ではリセットか次にRUN状態にするまで、タイマのデータは保持されます。また、STOP状態からRUN状態にすることにより保持していたデータから継続して、カウントを進めることができます。
 イニシャルリセット時、このレジスタは"0"に設定されます。

● EIT0: 32Hz割り込みマスクレジスタ (FFE6H・D0)

EIT1: 8Hz割り込みマスクレジスタ (FFE6H・D1)

EIT2: 2Hz割り込みマスクレジスタ (FFE6H・D2)

EIT3: 1Hz割り込みマスクレジスタ (FFE6H・D3)

計時タイマの割り込みについて、マスクするかしないかを選択します。

"1"書き込み: イネーブル
 "0"書き込み: マスク
 読み出し: 可能

各周波数(32Hz、8Hz、2Hz、1Hz)に対して、割り込みをマスクするかしないかを、割り込みマスクレジスタEIT0(32Hz)、EIT1(8Hz)、EIT2(2Hz)、EIT3(1Hz)により個別に選択できます。
 イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

● IT0: 32Hz割り込み要因フラグ (FFF6H・D0)

IT1: 8Hz割り込み要因フラグ (FFF6H・D1)

IT2: 2Hz割り込み要因フラグ (FFF6H・D2)

IT3: 1Hz割り込み要因フラグ (FFF6H・D3)

計時タイマ割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有
 "0"読み出し: 割り込み無
 "1"書き込み: 要因フラグをリセット
 "0"書き込み: 無効

割り込み要因フラグIT0、IT1、IT2、IT3は、それぞれ32Hz、8Hz、2Hz、1Hzの計時タイマ割り込みに対応します。これらのフラグによって計時タイマ割り込みの有無を、ソフトウェアで判断することができます。ただし、これらのフラグは割り込みをマスクしていても、対応する信号の立ち下がりエッジで"1"にセットされます。これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

4.8.5 プログラミング上の注意事項

- (1) データの読み出しは必ず下位データ(TM0～TM3)から先に行ってください。
- (2) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- (3) OSC1発振回路としてCR発振回路がマスクオプションで選択された場合にはfosc1が60kHz(Typ.)になりますので、記載されているすべての周波数、時間等が異なります。よって、時計機能に用いることはできません。

4.9 ストップウォッチタイマ

4.9.1 ストップウォッチタイマの構成

S1C63567は1/100sec単位と1/10sec単位のストップウォッチタイマを内蔵しています。ストップウォッチタイマは、近似100Hz信号(f_{osc1} を近似的に100Hzに分周した信号)を入力クロックとする4ビット2段のBCDカウンタで構成され、ソフトウェアにより4ビット単位でデータを読み出すことができます。

図4.9.1.1にストップウォッチタイマの構成を示します。

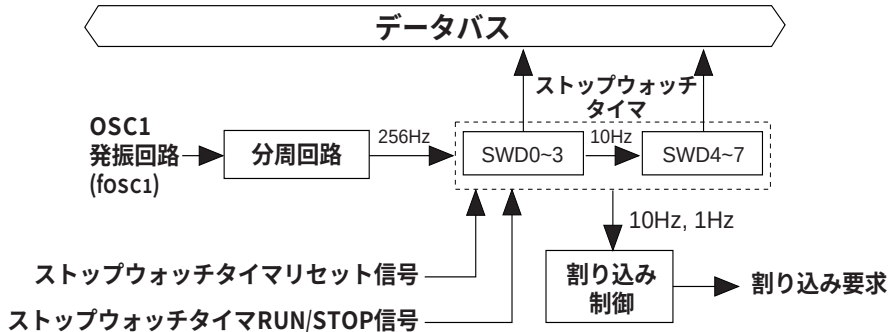


図4.9.1.1 ストップウォッチタイマの構成

ストップウォッチタイマは計時タイマとは別のタイマとして使用でき、特にデジタルウォッチのストップウォッチ機能などをソフトウェアで容易に実現することができます。

注: OSC1発振回路としてCR発振回路がマスクオプションで選択された場合には f_{osc1} が60kHz(Typ.)になりますので、記載されているすべての周波数、時間等が異なります。よって、ストップウォッチ機能を実現することはできません。

4.9.2 カウントアップパターン

ストップウォッチタイマは、それぞれ4ビットのBCDカウンタSWD0～SWD3とSWD4～SWD7で構成されています。

ストップウォッチタイマ前段のカウンタSWD0～SWD3は近似100Hz信号を入力クロックとし、1/100secごとのカウントアップを行って近似10Hz信号を発生します。後段のカウンタSWD4～SWD7はSWD0～SWD3が出力する近似10Hz信号を入力クロックとし、1/10secごとのカウントアップを行って1Hz信号を発生します。

図4.9.2.1にストップウォッチタイマのカウントアップパターンを示します。

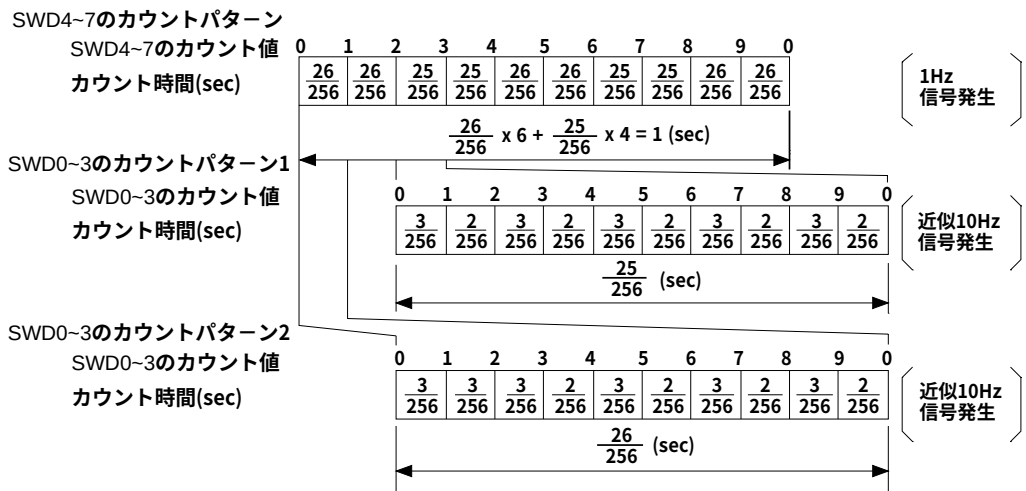


図4.9.2.1 ストップウォッチタイマのカウントアップパターン

SWD0～SWD3は基本となる256Hz信号(f_{osc1} の分周クロック)から近似10Hz信号を発生します。カウントアップの間隔は $2/256\text{sec}$ と $3/256\text{sec}$ で、最終的に $25/256\text{sec}$ と $26/256\text{sec}$ の2つのパターンを発生します。したがって、各パターンは正確に $1/100\text{sec}$ とはなりません。

SWD4～SWD7は $25/256\text{sec}$ と $26/256\text{sec}$ 間隔で発生する近似10Hz信号を4:6の割合でカウントし、1Hz信号を発生します。カウントアップの間隔については $25/256\text{sec}$ と $26/256\text{sec}$ で、正確に $1/10\text{sec}$ とはなりません。

4.9.3 割り込み機能

ストップウォッチタイマSWD0～SWD3とSWD4～SWD7はそれぞれのオーバーフローにより、10Hz(近似10Hz)と1Hzの割り込みを発生させることができます。

図4.9.3.1にストップウォッチタイマのタイミングチャートを示します。

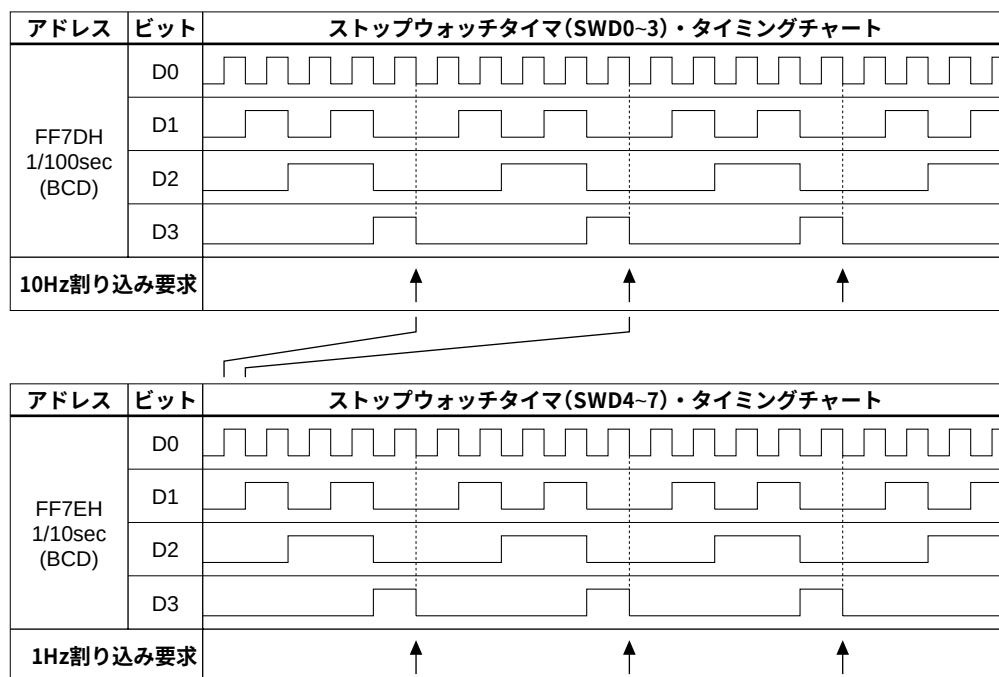


図4.9.3.1 ストップウォッチタイマのタイミングチャート

SWD0～SWD3、SWD4～SWD7それぞれのカウンタのオーバーフロー("9"から"0"への変化)によって割り込み要因フラグISW10、ISW1が"1"にセットされ、割り込みが発生します。それぞれの割り込みは割り込みマスクレジスタEISW10、EISW1によって個別にマスクすることができます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応するカウンタのオーバーフローで"1"にセットされます。

4.9.4 ストップウォッチタイマのI/Oメモリ

表4.9.4.1にストップウォッチタイマの制御ビットとそのアドレスを示します。

表4.9.4.1 ストップウォッチタイマの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF7CH	0	0	SWRST	SWRUN	0 *3 0 *3	– *2 – *2			未使用 未使用
	R		W	R/W	SWRST*3 SWRUN	Reset 0	Reset Run	Invalid Stop	ストップウォッチタイマリセット(書き込み時) ストップウォッチタイマRun/Stop
	SWD3	SWD2	SWD1	SWD0	SWD3 SWD2 SWD1 SWD0	0 0 0 0			ストップウォッチタイマデータ BCD(1/100sec)
FF7EH	SWD7	SWD6	SWD5	SWD4	SWD7 SWD6 SWD5 SWD4	0 0 0 0			ストップウォッチタイマデータ BCD(1/10sec)
	R								
FFE7H	0	0	EISW1	EISW10	0 *3 0 *3	– *2 – *2			未使用 未使用
	R		R/W		EISW1 EISW10	0 0	Enable Enable	Mask Mask	割り込みマスキレジスタ(ストップウォッチタイマ1Hz) 割り込みマスキレジスタ(ストップウォッチタイマ10Hz)
FFF7H	0	0	ISW1	ISW10	0 *3 0 *3	– *2 – *2	(R) Yes	(R) No	未使用 未使用
	R		R/W		ISW1 ISW10	0 0	(W) Reset	(W) Invalid	割り込み要因フラグ(ストップウォッチタイマ1Hz) 割り込み要因フラグ(ストップウォッチタイマ10Hz)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

● SWD0～SWD7: ストップウォッチタイマデータ (FF7DH, FF7EH)

ストップウォッチタイマ1/100sec桁、1/10sec桁のデータ(BCD)がそれぞれSWD0～SWD3、SWD4～SWD7から読み出せます。この8ビットは読み出し専用のため、書き込み動作は無効となります。イニシャルリセット時、タイマデータは"00H"に設定されます。

● SWRST: ストップウォッチタイマリセット (FF7CH・D1)

ストップウォッチタイマをリセットするビットです。

"1"書き込み: ストップウォッチタイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

ストップウォッチタイマは、SWRSTに"1"を書き込むことによりリセットされます。これにより、タイマデータはすべて"0"になります。

ストップウォッチタイマがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合はリセットデータが保持されます。

また、"0"の書き込みはノーオペレーションとなります。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

● SWRUN: ストップウォッチタイマRUN/STOP制御レジスタ (FF7CH・D0)

ストップウォッチタイマのRUN/STOPを制御します。

"1"書き込み: RUN

"0"書き込み: STOP

読み出し: 可能

ストップウォッチタイマはSWRUNに"1"を書き込むことによりRUNし、"0"の書き込みによりSTOPします。STOP状態ではリセットが次にRUN状態にするまで、タイマのデータは保持されます。また、STOP状態からRUN状態にすることにより保持していたデータから継続して、カウントを進めることができます。

RUN状態でカウンタのデータを読み出す場合、下位桁(SWD0～SWD3)から上位桁(SWD4～SWD7)への桁上げにより正しい読み出しができないことがあります(桁上げのタイミングに、SWD0～SWD3とSWD4～SWD7の読み出しがまたがった場合)。これを防止するため、一度停止させてから読み出し、再度SWRUN="1"にしてください。また、この場合の停止期間は976μsec(256Hzの1/4周期)以内である必要があります。

イニシャルリセット時、このレジスタは"0"に設定されます。

● EISW10: 10Hz割り込みマスクレジスタ (FFE7H・D0)

EISW1 : 1Hz割り込みマスクレジスタ (FFE7H・D1)

ストップウォッチタイマの割り込みについて、マスクするかしないかを選択します。

"1"書き込み: イネーブ

"0"書き込み: マスク

読み出し: 可能

各周波数(10Hz、1Hz)に対して、割り込みをマスクするかしないかを、割り込みマスクレジスタEISW10(10Hz)、EISW1(1Hz)により個別に選択できます。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

● ISW10: 10Hz割り込み要因フラグ (FFF7H・D0)

ISW1 : 1Hz割り込み要因フラグ (FFF7H・D1)

ストップウォッチタイマ割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有

"0"読み出し: 割り込み無

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

割り込み要因フラグISW10、ISW1は、それぞれ10Hz、1Hzのストップウォッチタイマ割り込みに対応します。これらのフラグによってストップウォッチタイマ割り込みの有無を、ソフトウェアで判断することができます。ただし、これらのフラグは割り込みをマスクしていても、対応するカウンタのオーバーフローで"1"にセットされます。

これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(1フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

4.9.5 プログラミング上の注意事項

- (1) RUN状態でカウンタのデータを読み出す場合、一度停止させてから読み出し、再度SWRUN="1"にしてください。また、この場合の停止期間は976μsec(256Hzの1/4周期)以内である必要があります。
- (2) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(1フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- (3) OSC1発振回路としてCR発振回路がマスクオプションで選択された場合にはfosc1が60kHz(Typ.)になりますので、記載されているすべての周波数、時間等が異なります。よって、ストップウォッチ機能を実現することはできません。

4.10 プログラマブルタイマ

4.10.1 プログラマブルタイマの構成

S1C63567は8ビットのプログラマブルタイマを2系統(タイマ0およびタイマ1)内蔵しています。タイマ0とタイマ1は8ビットプリセットダウンカウンタで構成され、8ビット×2チャンネルのプログラマブルタイマとして使用することができます。また、タイマ0はK13入力ポート端子を使用したイベントカウンタ機能も合わせ持っています。

図4.10.1.1にプログラマブルタイマの構成を示します。

プログラマブルタイマはカウントダウンによるアンダーフローによって割り込みを発生し、カウンタ初期値のプリセットを行います。また、タイマ0またはタイマ1のアンダーフロー信号は、R02出力ポート端子から外部に出力させるTOUT信号を発生します。さらにタイマ1のアンダーフロー信号はシリアルインタフェースのクロック源として使用できるため、転送速度のプログラマブルな設定が可能です。

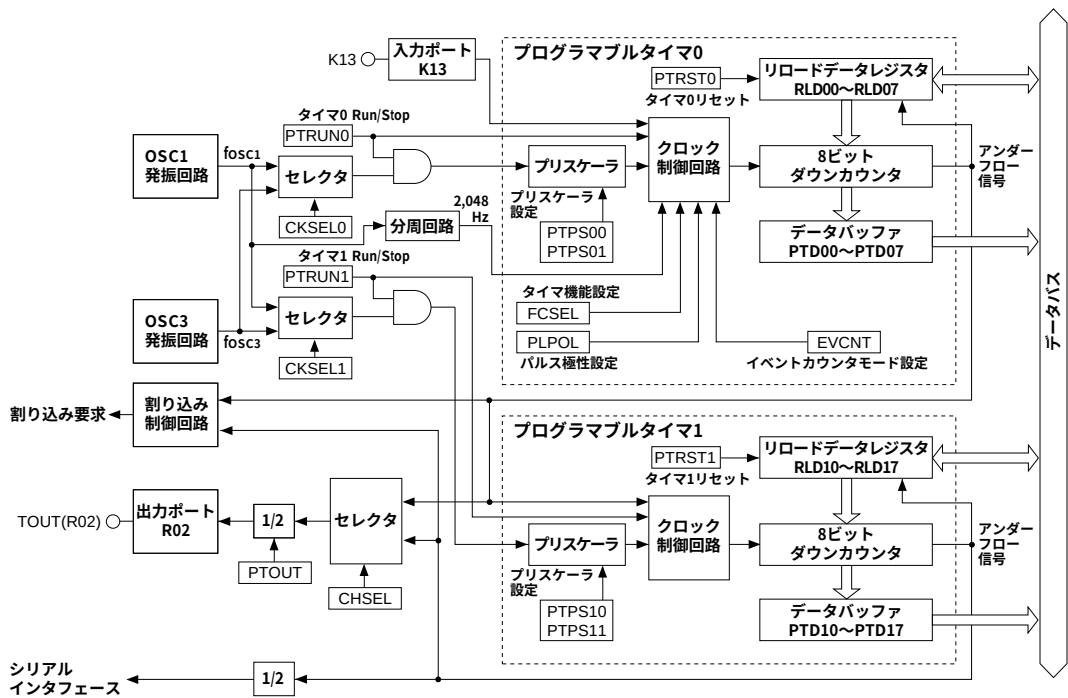


図4.10.1.1 プログラマブルタイマの構成

4.10.2 カウンタ初期値の設定とダウンカウント動作

タイマ0およびタイマ1にはそれぞれ、8ビットのダウンカウンタとリロードデータレジスタが設けられています。

リロードデータレジスタRLD00～RLD07(タイマ0)、RLD10～RLD17(タイマ1)はカウンタの初期値を設定するレジスタです。

ダウンカウンタは、リロードデータレジスタRLDに設定された初期値を、タイマリセットビットPTRST0(タイマ0)、PTRST1(タイマ1)への"1"書き込みによってロードします。したがって、このロードされた初期値から入力クロックによるダウンカウントが行われます。

タイマ0およびタイマ1にはそれぞれ、RUN/STOPを制御するレジスタPTRUN0(タイマ0)、PTRUN1(タイマ1)が設けられています。リロードデータをカウンタにプリセットした後、本レジスタに"1"を書き込むことによってダウンカウントを開始します。"0"を書き込むとクロックの入力が禁止され、カウントを停止します。

このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

カウンタのデータ読み出しはデータバッファPTD00～PTD07(タイマ0)、PTD10～PTD17(タイマ1)を介して行い、下位、上位4ビットずつソフトウェアにより任意のタイミングで読み出しが可能です。

ただし、このカウンタも計時タイマと同様に下位データ、上位データ読み出し間の桁下げを防止するため、下位データの読み出しにより上位データがホールドされるようになっています。したがって、データの読み出しは必ず下位データから先に行ってください。

カウンタはダウンカウントが進んでアンダーフローが発生すると、リロードデータレジスタRLDに設定された初期値をリロードします。初期値をリロード後は、その初期値からダウンカウントを継続します。

このアンダーフロー信号はカウンタのリロードのほか、割り込みの発生、外部へのパルス(TOUT信号)出力、シリアルインタフェースへのクロック供給を制御します。

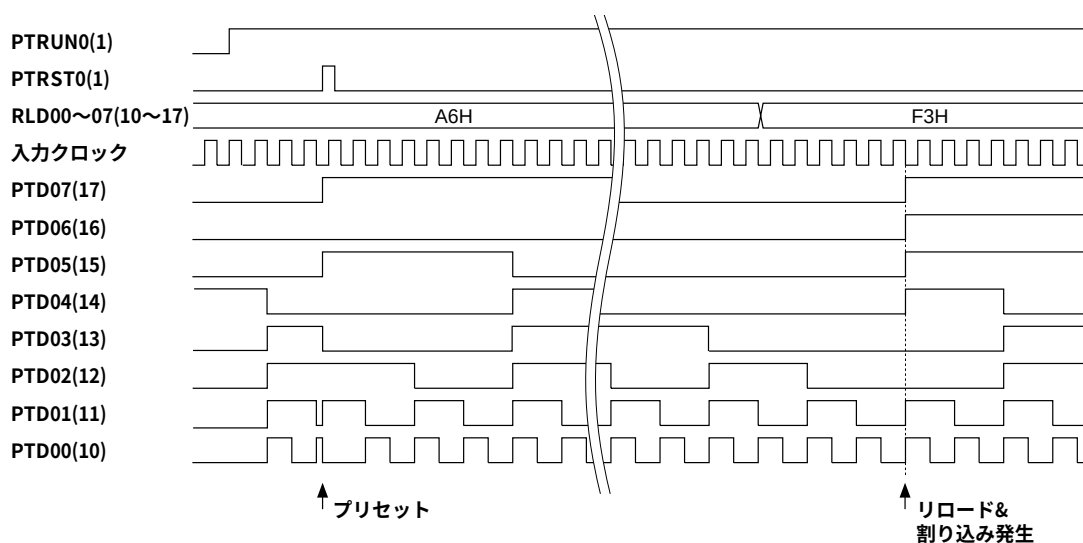


図4.10.2.1 カウンタの基本動作タイミング

4.10.3 カウンタモード

本プログラマブルタイマにはタイマモードとイベントカウンタモードの2種類のカウンタモードが設定されており、ソフトウェアによって選択することができます。

(1)タイマモード

タイマモードはプリスケアラの出力を入力クロックとしてダウンカウントを行うモードです。このモードは、OSC1またはOSC3発振クロックを原振として一定周期ごとにカウントを行うタイマとして動作します。

タイマ0はタイマ0カウンタモード選択レジスタEVCNTによりタイマモードとイベントカウンタモードの切り換えが可能となっています。タイマ0カウンタモード選択レジスタEVCNTが"0"に設定されている場合、タイマ0はタイマモードで動作します。

タイマ1はタイマモードのみの動作となります。

イニシャルリセット時はこのモードに設定されます。

タイマの基本的な動作と制御については"4.10.2 初期値の設定とダウンカウント動作"を参照してください。

タイマモード時の入力クロックは、OSC1またはOSC3発振クロックをプログラマブルタイマ回路に内蔵されたプリスケアラによって分周して発生しています。この入力クロックの設定については次項を参照してください。

(2)イベントカウンタモード

タイマ0には、K13入力ポート端子に外部クロックを入力してカウントを行うイベントカウンタ機能があります。この機能は、タイマ0カウンタモード選択レジスタEVCNTに"1"を書き込むことによって選択されます。タイマ1はタイマモードのみで、イベントカウンタとしては使用できません。

イベントカウンタモードでは、外部からタイマ0にクロックが供給されるため、タイマ0プリスケアラ分周比選択レジスタPTPS00、PTPS01およびプリスケアラ0原振クロック選択レジスタCKSEL0の設定は無効となります。

ダウンカウントのタイミングは、タイマ0パルス極性選択レジスタPLPOLによって、立ち下がりエッジまたは立ち上がりエッジのどちらかが選択できます。レジスタPLPOLに"0"を書き込んだ場合が立ち下がりエッジ、"1"を書き込んだ場合が立ち上がりエッジとなり、図4.10.3.1に示すタイミングでダウンカウントが行われます。

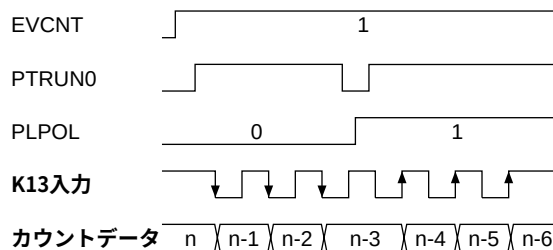


図4.10.3.1 イベントカウンタモードのタイミングチャート

イベントカウンタモードにはこのほかに、外部クロック(K13)入力に対してチャタリング等のノイズを除去するノイズリジクタ付加機能があります。この機能はタイマ0機能選択レジスタFCSELに"1"を書き込むことによって選択されます。

ノイズリジクタ付きを選択した場合は確実なカウントを行うために、LOWレベル/HIGHレベル共に0.98msec*以上のパルス幅を確保する必要があります。ノイズリジクタは、K13入力ポート端子の入力レベルが変化してから2度目の内部2,048Hz*信号の立ち下がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msec*以下となります。(*はfOSC1 = 32.768kHzの場合の値です。)

図4.10.3.2にノイズリジクタ付加時のダウンカウントタイミングを示します。

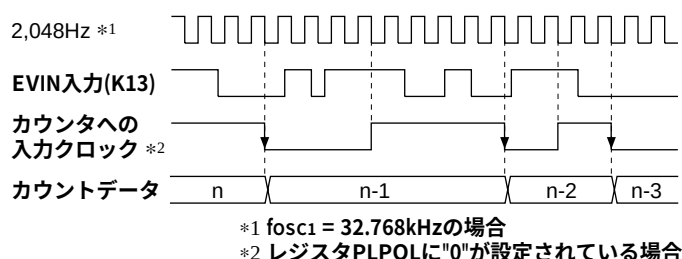


図4.10.3.2 ノイズリジェクタ付加時のダウンカウントタイミング

イベントカウンタモードの動作は、入力クロックが外部クロック(K13)となること以外はタイマモードと同等です。

カウントの基本的な動作と制御については"4.10.2 初期値の設定とダウンカウント動作"を参照してください。

4.10.4 タイマモード入力クロックの設定

タイマ0およびタイマ1にはそれぞれ、プリスケアラが設けられています。プリスケアラはOSC1またはOSC3発振回路から供給される原振クロックを分周して、それぞれのタイマへの入力クロックを発生します。原振クロックとプリスケアラの分周比はタイマ0、タイマ1でそれぞれ個別にソフトウェアで選択することができます。

設定した入力クロックはタイマモードでの動作時のカウントクロックとして使用されます。タイマ0をイベントカウンタモードに設定した場合は、以下の設定はすべて無効となります。

入力クロックは以下の手順で設定します。

(1) 原振クロックの選択

それぞれのプリスケアラに入力する原振クロックを、OSC1とするかOSC3とするかを選択します。この選択は、原振クロック選択レジスタCKSEL0(タイマ0)、CKSEL1(タイマ1)によって行い、"0"を書き込むとOSC1、"1"を書き込むとOSC3が選択されます。

OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3発振回路をONさせる必要があります。

ただし、OSC3発振回路をONにしてから発振が安定するまでに5msec以上の時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ON後、十分な待ち時間をおいてから行ってください。

OSC3の制御方法と注意事項については"4.3 発振回路"を参照してください。イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

(2) プリスケアラ分周比の選択

それぞれのプリスケアラの分周比を4種類の中から選択します。この選択は、プリスケアラ分周比選択レジスタPTPS00/PTPS01(タイマ0)、PTPS10/PTPS11(タイマ1)によって行います。設定値と分周比は表4.10.4.1に示すとおり対応しています。

表4.10.4.1 プリスケアラ分周比の選択

PTPS11 PTPS01	PTPS10 PTPS00	プリスケアラ分周比
1	1	原振クロック / 256
1	0	原振クロック / 32
0	1	原振クロック / 4
0	0	原振クロック / 1

レジスタPTRUN0(タイマ0)、PTRUN1(タイマ1)に"1"を書き込むことによって、原振クロックがプリスケアラに入力されます。これによって、選択した分周比のクロックがタイマに入力され、タイマがダウンカウントを開始します。

4.10.5 割り込み機能

プログラマブルタイムは、タイマ0およびタイマ1の各アンダーフロー信号によって割り込みを発生させることができます。割り込みタイミングについては図4.10.2.1を参照してください。

タイマ0およびタイマ1の各アンダーフロー信号によって、それぞれに対応する割り込み要因フラグIPT0、IPT1が"1"にセットされ、割り込みが発生します。各割り込み要因フラグに対応した割り込みマスクレジスタEIPT0、EIPT1の設定により、割り込みをマスクすることもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応するタイマのアンダーフローで"1"にセットされます。

4.10.6 TOUT出力の設定

プログラマブルタイムは、タイマ0またはタイマ1のアンダーフローによってTOUT信号を発生させることができます。TOUT信号はアンダーフローを1/2分周した信号で、TOUT出力チャンネル選択レジスタCHSELによって、どちらのタイマのアンダーフローを使用するかを選択することができます。レジスタCHSELに"0"を書き込んだ場合がタイマ0、"1"を書き込んだ場合がタイマ1となります。

図4.10.6.1にチャンネル切り換え時のTOUT信号波形を示します。

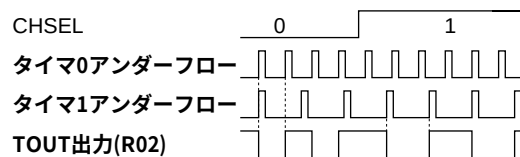


図4.10.6.1 チャンネル切り換え時のTOUT信号波形

TOUT信号はR02出力ポート端子から出力させることができ、外部デバイス等に対してプログラマブルなクロックを供給することができます。

R02出力ポートの構成を図4.10.6.2に示します。

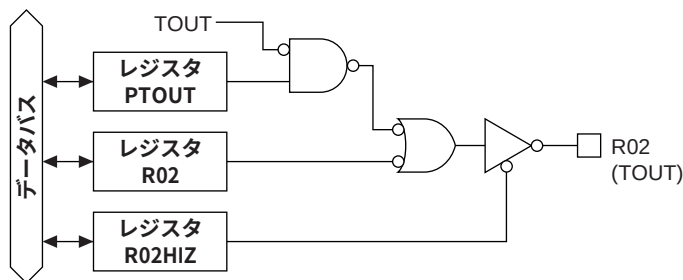


図4.10.6.2 R02の構成

TOUT信号はレジスタPTOUTによって出力制御が行われます。PTOUTに"1"を設定するとTOUT信号がR02出力ポート端子から出力され、"0"を設定するとHIGH(V_{DD})レベルが出力されます。このとき、データレジスタR02には常時"1"が、ハインピーダンス制御レジスタR02HIZには常時"0"（データ出力）が設定されている必要があります。

なお、TOUT信号はレジスタPTOUTとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図4.10.6.3にTOUT信号の出力波形を示します。

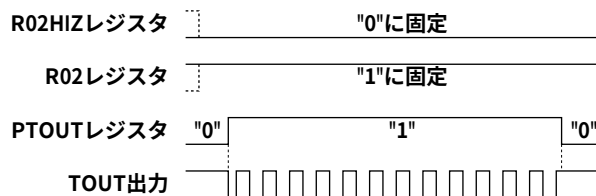


図4.10.6.3 TOUT信号の出力波形

4.10.7 シリアルインタフェースの転送速度設定

タイマ1のアンダーフローを1/2分周した信号をシリアルインタフェースのクロック源として使用することができます。

シリアルインタフェースへのクロックはタイマ1をRUN(PTRUN="1")することにより出力されますので、PTOUTレジスタによる制御は不要です。

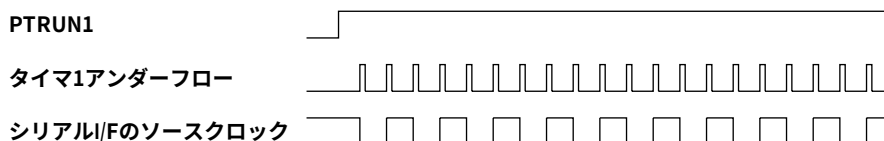


図4.10.7.1 シリアルインタフェースの同期クロック

転送速度に対するレジスタRLD1Xへの設定値は次式のようになります。

$$\text{RLD1X} = \text{fosc} / (32 * \text{bps} * \text{プリスケアラ分周比}) - 1$$

fosc: 発振周波数 (OSC1/OSC3)

bps: 転送速度

(RLD1Xには00Hも設定可能)

OSC3を原振として使用する場合、シリアルインタフェースのクロック周波数は最大1MHzに制限されますので注意してください。

4.10.8 プログラマブルタイマのI/Oメモリ

表4.10.8.1にプログラマブルタイマの制御ビットとそのアドレスを示します。

表4.10.8.1 プログラマブルタイマの制御ビット

アドレス	レジスタ				注 釈				
	D3	D2	D1	D0	Name	Init *1	1	0	
FFC0H	0	EVCNT	FCSEL	PLPOL	0 *3 EVCNT	– *2 0	Event ct.	Timer	未使用 タイマ0カウンタモード選択
	R	R/W			FCSEL	0	With NR	No NR	タイマ0機能選択(イベントカウンタモード時)
					PLPOL	0			タイマ0パルス極性選択(イベントカウンタモード時)
FFC1H	CHSEL	PTOUT	CKSEL1	CKSEL0	CHSEL	0	Timer1	Timer0	TOUT出力チャンネル選択
					PTOUT	0	On	Off	TOUT出力制御
	R/W				CKSEL1	0	OSC3	OSC1	プリスケアラ1原振クロック選択
					CKSEL0	0	OSC3	OSC1	プリスケアラ0原振クロック選択
FFC2H	PTPS01	PTPS00	PTRST0	PTRUN0	PTPS01	0			プリスケアラ0 [PTPS01, 00]
					PTPS00	0			分周比選択 分周比 1/1 1/4 1/32 1/256
	R/W		W	R/W	PTRST0*3 PTRUN0	– *2 0	Reset Run	Invalid Stop	タイマ0リセット(リロード) タイマ0 Run/Stop
FFC3H	PTPS11	PTPS10	PTRST1	PTRUN1	PTPS11	0			プリスケアラ1 [PTPS11, 10]
					PTPS10	0			分周比選択 分周比 1/1 1/4 1/32 1/256
	R/W		W	R/W	PTRST1*3 PTRUN1	– *2 0	Reset Run	Invalid Stop	タイマ1リセット(リロード) タイマ1 Run/Stop
FFC4H	RLD03	RLD02	RLD01	RLD00	RLD03	0			MSB
					RLD02	0			プログラマブルタイマ0リロードデータ(下位4ビット)
	R/W				RLD01	0			LSB
					RLD00	0			
FFC5H	RLD07	RLD06	RLD05	RLD04	RLD07	0			MSB
					RLD06	0			プログラマブルタイマ0リロードデータ(上位4ビット)
	R/W				RLD05	0			LSB
					RLD04	0			
FFC6H	RLD13	RLD12	RLD11	RLD10	RLD13	0			MSB
					RLD12	0			プログラマブルタイマ1リロードデータ(下位4ビット)
	R/W				RLD11	0			LSB
					RLD10	0			
FFC7H	RLD17	RLD16	RLD15	RLD14	RLD17	0			MSB
					RLD16	0			プログラマブルタイマ1リロードデータ(上位4ビット)
	R/W				RLD15	0			LSB
					RLD14	0			
FFC8H	PTD03	PTD02	PTD01	PTD00	PTD03	0			MSB
					PTD02	0			プログラマブルタイマ0データ(下位4ビット)
	R				PTD01	0			LSB
					PTD00	0			
FFC9H	PTD07	PTD06	PTD05	PTD04	PTD07	0			MSB
					PTD06	0			プログラマブルタイマ0データ(上位4ビット)
	R				PTD05	0			LSB
					PTD04	0			
FFCAH	PTD13	PTD12	PTD11	PTD10	PTD13	0			MSB
					PTD12	0			プログラマブルタイマ1データ(下位4ビット)
	R				PTD11	0			LSB
					PTD10	0			
FFCBH	PTD17	PTD16	PTD15	PTD14	PTD17	0			MSB
					PTD16	0			プログラマブルタイマ1データ(上位4ビット)
	R				PTD15	0			LSB
					PTD14	0			
FFE2H	0	0	EIPT1	EIPT0	0 *3 EVCNT	– *2 0			未使用
					EIPT1	0	Enable	Mask	未使用
	R		R/W		EIPT0	0	Enable	Mask	割り込みマスクレジスタ(プログラマブルタイマ1) 割り込みマスクレジスタ(プログラマブルタイマ0)
FFF2H	0	0	IPT1	IPT0	0 *3 EVCNT	– *2 0	(R) Yes	(R) No	未使用
					IPT1	0	(W) Reset	(W) Invalid	未使用
	R		R/W		IPT0	0			割り込み要因フラグ(プログラマブルタイマ1) 割り込み要因フラグ(プログラマブルタイマ0)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

● **CKSEL0: プリスケアラ0原振クロック選択レジスタ (FFC1H・D0)**

CKSEL1: プリスケアラ1原振クロック選択レジスタ (FFC1H・D1)

プリスケアラの原振クロックを選択します。

"1"書き込み: OSC3クロック

"0"書き込み: OSC1クロック

読み出し: 可能

プリスケアラの原振クロックをOSC1とするかOSC3とするかを選択します。CKSEL0に"0"を書き込んだ場合、プリスケアラ0(タイマ0用)の入力クロックとしてOSC1、"1"を書き込んだ場合はOSC3がそれぞれ選択されます。

同様に、プリスケアラ1の原振クロックがCKSEL1によって選択されます。

なお、タイマ0のイベントカウンタモードを選択している場合はCKSEL0の設定は無効となります。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

● **PTPS00, PTPS01: タイマ0プリスケアラ分周比選択レジスタ (FFC2H・D2, D3)**

PTPS10, PTPS11: タイマ1プリスケアラ分周比選択レジスタ (FFC3H・D2, D3)

プリスケアラの分周比を選択します。

PTPS00、PTPS01の2ビットはタイマ0に対応したプリスケアラ分周比選択レジスタで、PTPS10、PTPS11の2ビットは同様にタイマ1に対応しています。

本レジスタによって設定できるプリスケアラの分周比は表4.10.8.2のとおりです。

表4.10.8.2 プリスケアラ分周比の選択

PTPS11 PTPS01	PTPS10 PTPS00	プリスケアラ分周比
1	1	原振クロック / 256
1	0	原振クロック / 32
0	1	原振クロック / 4
0	0	原振クロック / 1

なお、イベントカウンタモードを選択している場合はPTPS00、PTPS01の設定は無効となります。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

● **EVCNT: タイマ0カウンタモード選択レジスタ (FFC0H・D2)**

タイマ0のカウンタモードを選択します。

"1"書き込み: イベントカウンタモード

"0"書き込み: タイマモード

読み出し: 可能

タイマ0をイベントカウンタとして使用するか、タイマとして使用するかを選択します。EVCNTに"1"を書き込んだ場合はイベントカウンタモード、"0"を書き込んだ場合はタイマモードがそれぞれ選択されます。

イニシャルリセット時、このレジスタは"0"に設定されます。

● FCSEL: タイマ0機能選択レジスタ (FFC0H・D1)

イベントカウンタモードのクロック入力回路にノイズリジェクタを付加するかしないか選択します。

"1"書き込み: ノイズリジェクタ付き
 "0"書き込み: ノイズリジェクタなし
 読み出し: 可能

FCSELに"1"を書き込んだ場合はノイズリジェクタが付加され、0.98msec*以上のパルス幅の外部クロック(K13)によってカウントが行われます。ノイズリジェクタは、K13入力ポート端子の入力レベルが変化してから二度目の内部2,048Hz*信号の立ち下がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msec*以下となります。(*はfOSC1 = 32.768kHzの場合の値です。)

また、FCSELに"0"を書き込んだ場合はノイズリジェクタは付加されず、K13入力ポート端子に入力される外部クロックによって直接カウントが行われます。

このレジスタの設定は、タイマ0をイベントカウンタモードで使用する場合にのみ有効です。

イニシャルリセット時、このレジスタは"0"に設定されます。

● PLPOL: タイマ0パルス極性選択レジスタ (FFC0H・D0)

イベントカウンタのカウントパルス極性を選択します。

"1"書き込み: 立ち上がりエッジ
 "0"書き込み: 立ち下がりエッジ
 読み出し: 可能

イベントカウンタモード(タイマ0)のカウントのタイミングをK13入力ポート端子に入力される外部クロックの立ち下がりエッジとするか、立ち上がりエッジとするかを選択します。

PLPOLに"0"を書き込んだ場合は立ち下がりエッジ、"1"を書き込んだ場合は立ち上がりエッジがそれぞれ選択されます。

このレジスタの設定は、タイマ0をイベントカウンタモードで使用する場合にのみ有効です。

イニシャルリセット時、このレジスタは"0"に設定されます。

● RLD00～RLD07: タイマ0リロードデータレジスタ (FFC4H, FFC5H)

RLD10～RLD17: タイマ1リロードデータレジスタ (FFC6H, FFC7H)

カウンタの初期値を設定します。

本レジスタに設定したリロードデータがそれぞれのカウンタにロードされ、それを初期値としてダウンカウントが行われます。

リロードデータがカウンタにロードされる条件はPTRST0、PTRST1に"1"を書き込んでプリセットを行う場合と、カウンタのアンダーフローによって自動的にリロードが行われる場合です。

イニシャルリセット時、これらのレジスタはそれぞれ"00H"に設定されます。

● PTD00～PTD07: タイマ0カウンタデータ (FFC8H, FFC9H)

PTD10～PTD17: タイマ1カウンタデータ (FFCAH, FFCBH)

プログラマブルタイムのデータが読み出せます。

タイマ0のカウントデータの低位4ビットがPTD00～PTD03、上位4ビットがPTD04～PTD07から読み出せます。

同様に、タイマ1のカウントデータの低位4ビットがPTD10～PTD13、上位4ビットがPTD14～PTD17から読み出せます。

低位4ビットの読み出しにより上位4ビットのホールド機能が働きますので、読み出しは必ず低位4ビットから先に行ってください。

本ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、各カウンタデータは"00H"に設定されます。

● PTRST0: タイマ0リセット(リロード) (FFC2H・D1)**PTRST1: タイマ1リセット(リロード) (FFC3H・D1)**

タイマをリセットし、リロードデータをカウンタにプリセットします。

"1"書き込み: リセット
"0"書き込み: ノーオペレーション
読み出し: 常時"0"

PTRST0に"1"を書き込むことによって、PLD00～PLD07のリロードデータがタイマ0のカウンタにプリセットされます。タイマ0のカウンタがRUN状態のときにプリセットを行うとリロードデータのプリセット直後にリスタートします。

また、STOP状態の場合はプリセットされたリロードデータがそのまま保持されます。

"0"の書き込みはノーオペレーションとなります。

同様に、PLD10～PLD17のリロードデータがPTRST1によってタイマ1のカウンタにプリセットされます。

本ビットは書き込み専用のため、読み出しは常時"0"となります。

● PTRUN0: タイマ0 RUN/STOP制御レジスタ (FFC2H・D0)**PTRUN1: タイマ1 RUN/STOP制御レジスタ (FFC3H・D0)**

カウンタのRUN/STOPを制御します。

"1"書き込み: RUN
"0"書き込み: STOP
読み出し: 可能

タイマ0のカウンタはPTRUN0に"1"を書き込むことによってダウンカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

同様に、タイマ1のカウンタがPTRUN1によってRUN/STOP制御されます。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

● CHSEL: TOUT出力チャンネル選択レジスタ (FFC1H・D3)

TOUT信号のチャンネルを選択します。

"1"書き込み: タイマ1
"0"書き込み: タイマ0
読み出し: 可能

TOUT信号にタイマ0のアンダーフローを使用するか、タイマ1のアンダーフローを使用するかを選択します。

CHSELに"0"を書き込んだ場合はタイマ0、"1"を書き込んだ場合はタイマ1がそれぞれ選択されます。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

● PTOUT: TOUT出力制御レジスタ (FFC1H・D2)

TOUT信号の出力制御を行います。

"1"書き込み: ON
"0"書き込み: OFF
読み出し: 可能

PTOUTはTOUT信号の出力制御レジスタで、"1"を設定するとTOUT信号がR02出力ポート端子から出力され、"0"を設定するとHIGHレベル(V_{DD})が出力されます。このとき、データレジスタR02には常時"1"が、ハイインピーダンス制御レジスタR02HIZには常時"0" (データ出力) が設定されている必要があります。

イニシャルリセット時、このレジスタは"0"に設定されます。

● EIPT0: タイマ0割り込みマスクレジスタ (FFE2H・D0)**EIPT1: タイマ1割り込みマスクレジスタ (FFE2H・D1)**

プログラマブルタイマの割り込みについて、マスクするかしないかを選択します。

"1"書き込み: イネーブル

"0"書き込み: マスク

読み出し: 可能

タイマ0、タイマ1の割り込みをマスクするかしないかを、割り込みマスクレジスタEIPT0(タイマ0)、EIPT1(タイマ1)により個別に選択できます。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

● IPT0: タイマ0割り込み要因フラグ (FFF2H・D0)**IPT1: タイマ1割り込み要因フラグ (FFF2H・D1)**

プログラマブルタイマ割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有

"0"読み出し: 割り込み無

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

割り込み要因フラグIPT0、IPT1は、それぞれタイマ0、タイマ1のプログラマブルタイマ割り込みに対応します。これらのフラグによってプログラマブルタイマ割り込みの有無を、ソフトウェアで判断することができます。ただし、これらのフラグは割り込みをマスクしていても、対応するタイマのアンダーフローで"1"にセットされます。

これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

4.10.9 プログラミング上の注意事項

- (1) カウンタデータの読み出しは必ず下位4ビット(PTD00～PTD03、PTD10～PTD13)から先に行ってください。
また、下位4ビット(PTD00～PTD03、PTD10～PTD13)と上位4ビット(PTD04～PTD07、PTD14～PTD17)の読み出しの時間差は0.73msec($f_{osc1} = 32.768\text{kHz}$ の場合)以下としてください。
- (2) プログラマブルタイマはレジスタPTRUN0/PTRUN1への書き込みに対して、入力クロックの立ち下がりエッジに同期して実際にRUN/STOP状態となります。
したがって、PTRUN0/PTRUN1に"0"を書き込んだ場合は、"-1"余分にカウントしたところでタイマが停止状態となります。また、このときPTRUN0/PTRUN1は実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。

図4.10.9.1にRUN/STOP制御のタイミングチャートを示します。

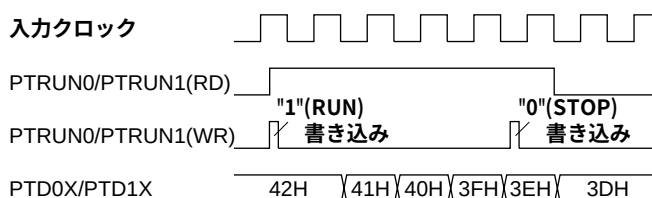


図4.10.9.1 RUN/STOP制御のタイミングチャート

なお、これについてはイベントカウンタも対象となるため、RUN/STOPレジスタ(PTRUN0)を設定後にクロック入力がない場合、カウンタ回路は実際にはRUN/STOP状態になりませんので注意してください。

- (3) TOUT信号は出力制御レジスタPTOUTとは非同期に発生していますので、PTOUTの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- (4) OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3発振回路をONさせる必要があります。
ただし、OSC3発振回路をONにしてから発振が安定するまでに5msec以上の時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ON後、十分な待ち時間をおいてから行ってください。
OSC3の制御方法と注意事項については"4.3 発振回路"を参照してください。イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。
- (5) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.11 シリアルインタフェース

4.11.1 シリアルインタフェースの構成

S1C63567はクロック同期式または調歩同期式の選択が可能な全二重方式(調歩同期式選択時)のシリアルインタフェースを内蔵しています。

転送方式はソフトウェアによって選択でき、クロック同期式を選択した場合は8ビットのデータ転送が可能です。調歩同期式では7ビットまたは8ビットのデータ転送が可能で、受信データのパリティチェックおよび送信データへのパリティビットの付加もソフトウェア選択によって自動的に行えます。

図4.11.1.1にシリアルインタフェースの構成を示します。

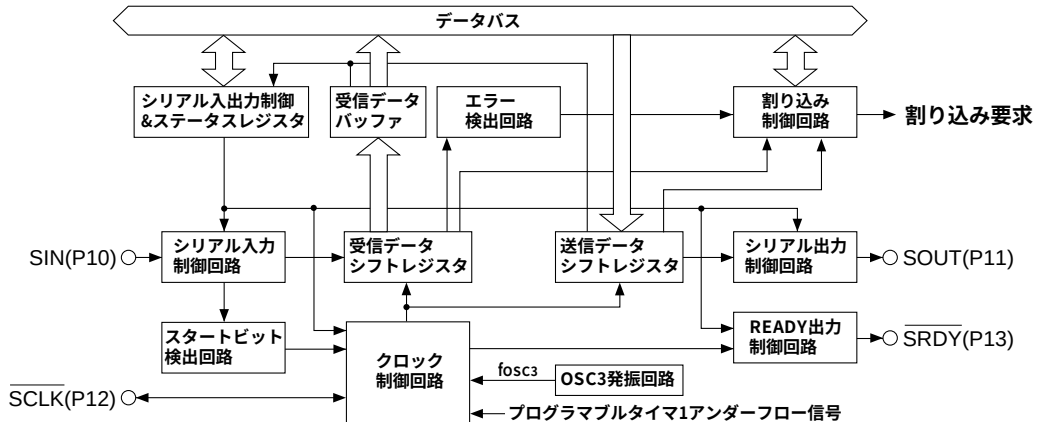


図4.11.1.1 シリアルインタフェースの構成

シリアルインタフェースの入出力端子SIN、SOUT、SCLK、SRDYは入出力兼用ポートP10～P13と共用されており、シリアルインタフェースの入出力端子として用いる場合はレジスタESIF、SMD0およびSMD1によってその設定を行います。(イニシャルリセット時は入出力兼用ポート端子に設定されます。)

シリアルインタフェースの入出力端子に設定される入出力兼用ポート端子はそれぞれの信号と転送モードによって入出力方向が設定され、対応する入出力兼用ポートのI/Oコントロールレジスタの設定は無効となります。

表4.11.1.1 入出力端子の構成

端子	シリアルインタフェース選択時
P10	SIN
P11	SOUT
P12	SCLK
P13	SRDY

* 転送モードにより使用する端子が異なります。

SIN、SOUTはそれぞれシリアルデータの入力、出力端子で、クロック同期式および調歩同期式ともに共通です。SCLKはクロック同期式専用で、同期クロックの入出力端子となります。SRDYはクロック同期式スレーブモード専用で、送受信レディ信号の出力端子となっています。調歩同期式を選択した場合はSCLKおよびSRDYを使用しませんので、P12、P13入出力兼用ポート端子は入出力兼用ポートとして使用することができます。

同様に、クロック同期式マスターモードを選択した場合はSRDYを使用しませんので、P13入出力兼用ポート端子は入出力兼用ポートとして使用することができます。

4.11.2 マスクオプション

シリアルインタフェースの入出力端子は入出力兼用ポート(P10～P13)と兼用されているため、入出力兼用ポートの端子仕様を選択するマスクオプションがシリアルインタフェースにも適用されます。

シリアルインタフェースの入出力ポートの中で出力として使用されるSOUT端子、 $\overline{\text{SCLK}}$ 端子(クロック同期式マスタモード時)、 $\overline{\text{SRDY}}$ 端子(クロック同期式スレーブモード時)の出力仕様がP10～P13のマスクオプションで設定されます。出力仕様として、コンプリメンタリ出力またはNチャンネルオープンドレイン出力のいずれかが選択できます。ただし、Nチャンネルオープンドレイン出力を選択した場合でも、端子に電源電圧を越える電圧を印加することは禁止します。

また、入力として使用されるSIN端子、 $\overline{\text{SCLK}}$ 端子(スレーブモード時)のプルアップ抵抗の有無もP10～P13のマスクオプションで選択できます。"プルアップなし"を選択した場合には、フローティング状態が発生しないように注意してください。

4.11.3 転送モード

シリアルインタフェースの転送モードは、モード選択レジスタSMD0およびSMD1の2ビットの設定によって以下の4種類が選択できます。

表4.11.3.1 転送モード

SMD1	SMD0	モード
1	1	調歩同期式8ビット
1	0	調歩同期式7ビット
0	1	クロック同期式スレーブ
0	0	クロック同期式マスタ

表4.11.3.2 転送モードによる端子設定

モード	SIN	SOUT	$\overline{\text{SCLK}}$	$\overline{\text{SRDY}}$
調歩同期式8ビット	入力	出力	P12	P13
調歩同期式7ビット	入力	出力	P12	P13
クロック同期式スレーブ	入力	出力	入力	出力
クロック同期式マスタ	入力	出力	出力	P13

イニシャルリセット時はクロック同期式マスタモードに設定されます。

クロック同期式マスタモード

本モードでは、内蔵シフトレジスタの同期クロックとして内部クロックを使用する、本シリアルインタフェースをマスタとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックは $\overline{\text{SCLK}}$ 端子からも出力され、外部(スレーブ側)のシリアル入出力デバイスを制御することができます。

このモードでは $\overline{\text{SRDY}}$ 端子を使用しませんので、この端子を入出力兼用ポートとして使用することができます。

図4.11.3.1(a)にクロック同期式マスタモードにおける入出力端子の接続例を示します。

クロック同期式スレーブモード

本モードでは、外部(マスタ側)のシリアル入出力デバイスから供給される同期クロックを使用する、本シリアルインタフェースをスレーブとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックは $\overline{\text{SCLK}}$ 端子より入力し、本シリアルインタフェースの同期クロックとして使用します。

また、 $\overline{\text{SRDY}}$ 端子からは送受信レディ状態を示す $\overline{\text{SRDY}}$ 信号がシリアルインタフェースの動作状態にしたがって出力されます。

スレーブモードではクロック源を選択するレジスタSCS0、SCS1の設定が無効となります。

図4.11.3.1(b)にクロック同期式スレーブモードにおける入出力端子の接続例を示します。

調歩同期式7ビットモード

このモードでは、調歩同期式7ビット転送が行えます。データ受信時のパリティチェックおよびデータ送信時のパリティビットの付加(奇数/偶数/なし)を指定でき、データをパリティなし7ビットまたはパリティ付き7ビットとして処理できます。このモードでは内部クロックを使用しますので、SCLK端子は使用しません。また、SRDY端子も使用しませんので、この2つの端子は入出力兼用ポートとして使用することができます。

図4.11.3.1(c)に調歩同期式モードにおける入出力端子の接続例を示します。

調歩同期式8ビットモード

このモードでは、調歩同期式8ビット転送が行えます。データ受信時のパリティチェックおよびデータ送信時のパリティビットの付加(奇数/偶数/なし)を指定でき、データをパリティなし8ビットまたはパリティ付き8ビットとして処理できます。このモードでは内部クロックを使用しますので、SCLK端子は使用しません。また、SRDY端子も使用しませんので、この2つの端子は入出力兼用ポートとして使用することができます。

図4.11.3.1(c)に調歩同期式モードにおける入出力端子の接続例を示します。

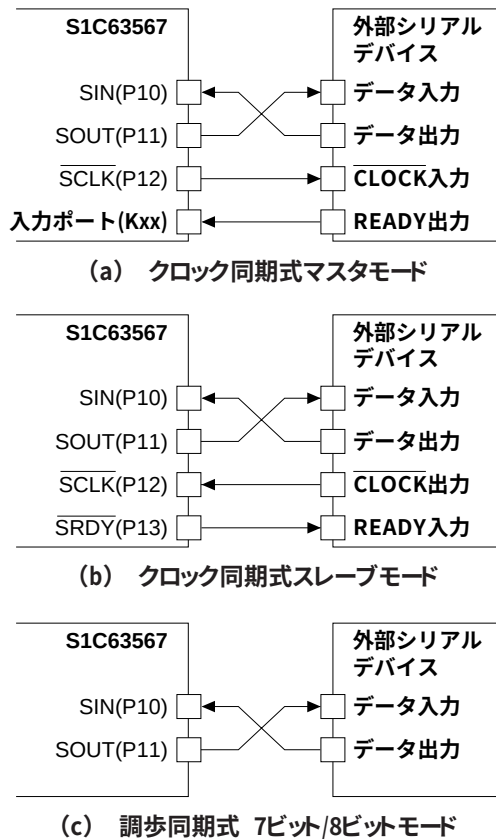


図4.11.3.1 シリアルインタフェース入出力端子の接続例

4.11.4 クロック源

クロック源はクロック選択レジスタSCS0、SCS1の2ビットの設定によって以下の4種類が選択できます。

表4.11.4.1 クロック源

SCS1	SCS0	クロック源
1	1	プログラマブルタイマ
1	0	$f_{osc3} / 93$
0	1	$f_{osc3} / 372$
0	0	$f_{osc3} / 186$

クロック同期式スレープモードでは本レジスタの設定は無効となり、 $\overline{SCLK}$ 端子より入力される外部クロックが使用されます。

"プログラマブルタイマ"を選択した場合は、プログラマブルタイマ1のアンダーフローを1/2分周した信号がクロック源として使用されます。転送速度設定の詳細については"4.10 プログラマブルタイマ"を参照してください。

イニシャルリセット時は" $f_{osc3}/186$ "に設定されます。

選択したクロックはさらに1/16に分周され、同期クロックとして使用されます。

また、クロック同期式スレープモードの $\overline{SCLK}$ は外部からの入力そのまま使用されます。

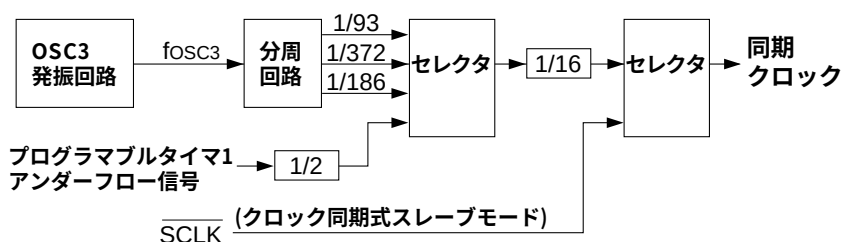


図4.11.4.1 同期クロックの分周

表4.11.4.2にプログラマブルタイマをクロック源とした場合の転送速度とOSC3発振周波数の例を示します。

表4.11.4.2 転送速度とOSC3発振周波数

転送速度 (bps)	$f_{osc3}=3.580\text{MHz}$	
	PSC1X	RLD1X
9,600	0 (1/1)	0CH
4,800	0 (1/1)	17H
2,400	0 (1/1)	2FH
1,200	0 (1/1)	5DH
600	0 (1/1)	BAH
300	1 (1/4)	5DH
150	1 (1/4)	BAH

OSC3発振回路の分周信号をクロック源とする場合は、シリアルインタフェースを使用する以前にOSC3の発振をONさせる必要があります。

なお、OSC3発振回路をONにしてから発振が安定するまでに数msec～数10msecの時間を必要とします。したがって、シリアルインタフェースの送受信開始はOSC3発振ONの後、充分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)

イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

4.11.5 送受信の制御

以下に送受信の制御を行うレジスタ等を説明します。送受信の制御手順と動作については次項よりモード別に説明しますので、そちらを参照してください。

シフトレジスタと受信データバッファ

本シリアルインタフェースには、送信と受信それぞれに専用のシフトレジスタが設けられています。このため、調歩同期式モード選択時には送信と受信を同時に行う全二重通信が可能です。

TRXD0～TRXD7に書き込まれた送信データはシフトレジスタによってシリアル変換され、SOUT端子から出力されます。

受信部にはシフトレジスタとは別に受信データバッファが設けられています。

受信時には、SIN端子から入力されたデータが、シフトレジスタによってパラレル変換され、受信データバッファに書き込まれます。

受信データバッファの読み出しをシリアル入力とは非同期にその動作中に行えるため、効率のよい連続受信が行えます。

ただし、クロック同期式モードではバッファ機能を使用しませんので、次のデータ受信が始まる前にデータを読み出す必要があります。

送信許可レジスタ、送信制御ビット

送信の制御には、送信許可レジスタTXENと送信制御ビットTXTRGを使用します。

送信許可レジスタTXENは送信の許可/禁止状態を設定するレジスタです。このレジスタに"1"を書き込んで送信を許可状態にすると、シフトレジスタへのクロック入力がいネーブルとなり、データの送信が行える状態となります。クロック同期式モードでは、SCLK端子の同期クロック入出力もいネーブルとなります。

送信制御ビットTXTRGは送信開始のトリガとして使用します。

送信シフトレジスタに送信データを書き込み、送信準備ができたところでTXTRGに"1"を書き込み送信を開始させます。

割り込みを許可している場合は、送信が終了した時点で割り込みが発生します。

次の送信データがある場合は、この割り込みを利用してデータの書き込みを行うことができます。

また、TXTRGはステータスとして読み出しが可能で、"1"の場合は送信動作中、"0"の場合は送信停止中を示します。

詳細タイミングについては、各モードのタイミングチャートをそれぞれ参照してください。

なお、送信を行わない場合はTXENを"0"として、送信禁止状態に設定してください。

受信許可レジスタ、受信制御ビット

受信の制御には、受信許可レジスタRXENと受信制御ビットRXTRGを使用します。

受信許可レジスタRXENは受信の許可/禁止状態を設定するレジスタです。このレジスタに"1"を書き込んで受信を許可状態にすると、シフトレジスタへのクロック入力がいネーブルとなり、データの受信が行える状態となります。クロック同期式モードでは、SCLK端子の同期クロック入出力もいネーブルとなります。これによって受信を開始し、SIN端子から入力されるシリアルデータをシフトレジスタに取り込みます。

受信制御ビットRXTRGは、クロック同期式と調歩同期式で若干動作が異なります。

クロック同期式でのRXTRGは受信開始のトリガとして使用します。

受信データを読み出し、次の受信準備ができたところでRXTRGに"1"を書き込み受信を開始させます。(スレーブモードではRXTRGに"1"を書き込んだところでSRDYが"0"となります。)

調歩同期式でのRXTRGは、次のデータの受信準備に使用します。受信データバッファにある受信データを読み出し、バッファが空となったことを知らせるためRXTRGに"1"を書き込みます。RXTRGに"1"を書き込まなかった場合は、次の受信が終了した時点でオーバーランエラーフラグOERが"1"にセットされます。(受信データを読み出す動作とRXTRGに"1"を書き込む動作との間に受信を終了した場合は、オーバーランエラーとなります。)

また、RXTRGはステータスとして読み出しが可能で、クロック同期式、調歩同期式どちらのモードでも"1"の場合は受信動作中、"0"の場合は受信停止中を示します。

詳細タイミングについては、各モードのタイミングチャートをそれぞれ参照してください。

なお、受信を行わない場合はRXENを"0"として、受信禁止状態に設定してください。

4.11.6 クロック同期式転送の動作

クロック同期式転送は8ビットデータを8個のクロックに同期させて転送する方式で、送信側、受信側で同じ同期クロックを使用します。

本シリアルインタフェースをマスタモードで使用する場合はSCS0、SCS1で選択したクロックを1/16に分周したものが同期クロックとして使用され、さらにSCLK端子を通してスレーブ側(外部のシリアル入出力デバイス)に出力されます。スレーブモードで使用する場合は、マスタ側(外部のシリアル入出力デバイス)からSCLK端子に入力されたクロックを同期クロックとして使用します。

クロック同期式モードでは1本のクロックライン(SCLK)を送受信で共用するため、送信と受信を同時に行うことはできません。(クロック同期式モードでは半二重通信となります。)

転送データは8ビット固定で、LSB(ビット0)を先頭として送受信が行われます。

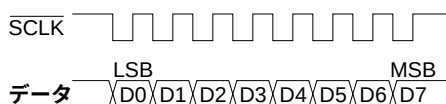


図4.11.6.1 クロック同期式の転送データフォーマット

以下にクロック同期式転送を行う場合の初期化および送受信の制御手順と動作について説明します。シリアルインタフェース割り込みについては"4.11.8 割り込み機能"を参照してください。

シリアルインタフェースの初期化

クロック同期式転送を行う場合には以下の初期設定を行う必要があります。

(1) 送受信禁止に設定

シリアルインタフェースの設定は、送信許可レジスタTXENおよび受信許可レジスタRXENにそれぞれ"0"を書き込んで、送受信を禁止にした状態で行ってください。

なお、この2つのレジスタは実際にデータ転送を開始するまで、禁止状態に固定してください。

(2) ポート選択

イニシャルリセット時、シリアルインタフェースの入出力端子SIN、SOUT、SCLK、SRDYは入出力兼用ポート端子P10～P13に設定されますので、シリアルインタフェースイネーブルレジスタESIFに"1"を書き込んでこれらの端子をシリアルインタフェース用に設定します。

(3) 転送モードの設定

モード選択レジスタSMD0およびSMD1の2ビットに以下のデータを書き込んでクロック同期式モードを選択します。

マスタモード: SMD0 = "0"、SMD1 = "0"

スレーブモード: SMD0 = "1"、SMD1 = "0"

(4) クロック源の選択

マスタモードの場合はクロック源選択レジスタSCS0、SCS1の2ビットにデータを書き込んで同期クロック源を選択します。(表4.11.4.1参照)

スレーブモードでは、この選択は不要です。

なお、このアドレスにはパリティイネーブルレジスタEPRも割り付けられていますが、クロック同期式モードではパリティを必要としないため、その設定内容にかかわらずパリティチェックは行われません。

(5)クロック源の制御

マスタモードを選択し、クロック源にプログラマブルタイマを選択した場合は、プログラマブルタイマ側で転送速度の設定を行ってください。("4.10 プログラマブルタイマ"参照)

OSC3発振回路の分周信号をクロック源として選択した場合は、データ転送を開始する以前にOSC3の発振をONさせる必要があります。("4.3 発振回路"参照)

また、シリアルインタフェースのクロック周波数は最大1MHzに制限されます。

データの送信手順

送信時の制御手順と動作は以下のとおりです。

- (1) 送信許可レジスタTXENおよび受信許可レジスタRXENに"0"を書き込み、シリアルインタフェースをリセットします。
- (2) 送信許可レジスタTXENに"1"を書き込み、送信許可状態に設定します。
- (3) 送信するデータをTRXD0～TRXD7に書き込みます。
- (4) マスタモードの場合は、必要に応じてスレーブ側(外部シリアル入出力デバイス)の受信レディ状態を確認してください。受信レディ状態になるまで待ちます。
- (5) 送信制御ビットTXTRGに"1"を書き込み、送信を開始させます。

マスタモードであれば、この制御によって同期クロックがイネーブルとなり、送信用シフトレジスタに供給されるとともにSCLK端子から出力されます。

スレーブモードでは、SCLK端子に同期クロックが入力されるのを待ちます。

シフトレジスタの送信データは同期クロックの各立ち上がりエッジで1ビットずつシフトされ、SOUT端子より出力されます。最後のビット(MSB)が出力されると、次の送信が開始されるまでSOUT端子はそのレベルを保持します。

シフトレジスタのデータ送信が終了したところで、送信完了割り込み要因フラグISTRが"1"にセットされます。割り込みが許可されている場合は、この時点で送信完了割り込みが発生します。本割り込みを利用して次の送信データをセットしてください。

- (6) 送信データのバイト数だけ(3)～(5)を繰り返し、送信が終了した時点で送信許可レジスタTXENに"0"を書き込み、送信禁止状態に設定します。

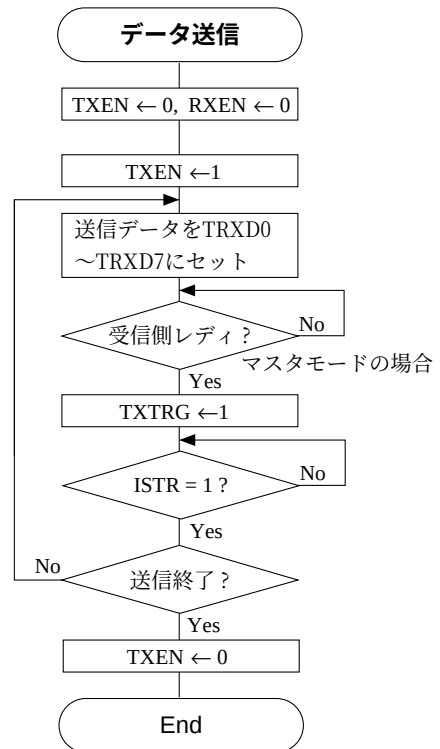


図4.11.6.2 クロック同期式の送信手順

データの受信手順

受信時の制御手順と動作は以下のとおりです。

- (1) 受信許可レジスタRXENおよび送信許可レジスタTXENに"0"を書き込み、シリアルインタフェースをリセットします。
- (2) 受信許可レジスタRXENに"1"を書き込み、受信許可状態に設定します。
- (3) マスタモードの場合は、必要に応じてスレーブ側(外部シリアル入出力デバイス)の送信レディ状態を確認してください。送信レディ状態になるまで待ちます。
- (4) 受信制御ビットRXTRGに"1"を書き込み、受信を開始させます。

マスタモードであれば、この制御によって同期クロックがイネーブルとなり、受信用シフトレジスタに供給されるとともにSCLK端子から出力されます。スレーブモードでは、SCLK端子に同期クロックが入力されるのを待ちます。

SIN端子から入力される受信データは同期クロックの立ち上がりエッジに同期して順次シフトレジスタ内に取り込まれます。

8ビット目のデータが同期クロック最後(8個目)の立ち上がりエッジで取り込まれたところで、シフトレジスタ内のデータが受信データバッファに転送され、受信完了割り込み要因フラグISRCが"1"にセットされます。割り込みが許可されている場合は、この時点で受信完了割り込みが発生します。

- (5) 受信完了割り込みを利用して、受信データをTRXD0～TRXD7から読み出します。
- (6) 受信データのバイト数だけ(3)～(5)を繰り返し、受信が終了した時点で受信許可レジスタRXENに"0"を書き込み、受信禁止状態に設定します。

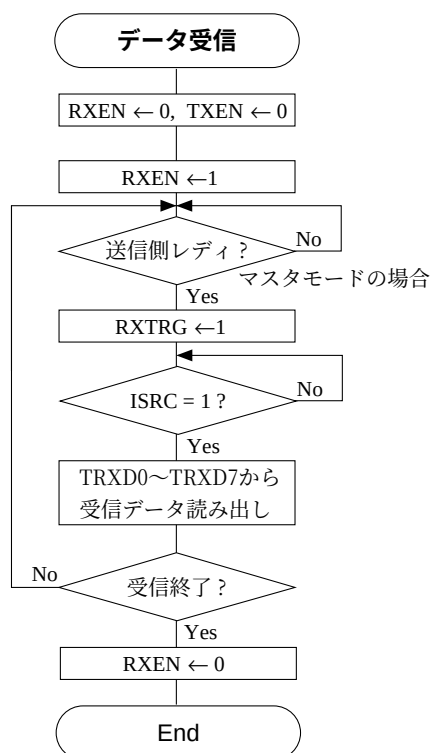


図4.11.6.3 クロック同期式の受信手順

送受信レディ(SRDY)信号

本シリアルインタフェースをクロック同期式スレープモード(外部クロック入力)で使用する場合は、マスタ側(外部のシリアル入出力デバイス)に対して本シリアルインタフェースが送受信可能かどうかを示すSRDY信号が出力されます。この信号はSRDY端子から出力され、本インタフェースが送信または受信可能なREADY状態のときに"0"(LOWレベル)、送受信動作時などのBUSY状態のときに"1"(HIGHレベル)となります。

SRDY信号は送信制御ビットTXTRG、または受信制御ビットRXTRGに"1"を書き込んだ直後に"1"から"0"に変化し、初の同期クロックが入力された時点(立ち下がりエッジ)で"0"から"1"に戻ります。

マスタモードに設定した場合は、スレープ側から同様の信号を入力ポートまたは入出力兼用ポートを使用して取り込み、転送の制御を行ってください。この場合、SRDY端子は設定されずP13端子が入出力兼用ポートとして機能しますので、このポートをその制御にあてることもできます。

タイミングチャート

クロック同期式転送のタイミングチャートを図4.11.6.4に示します。

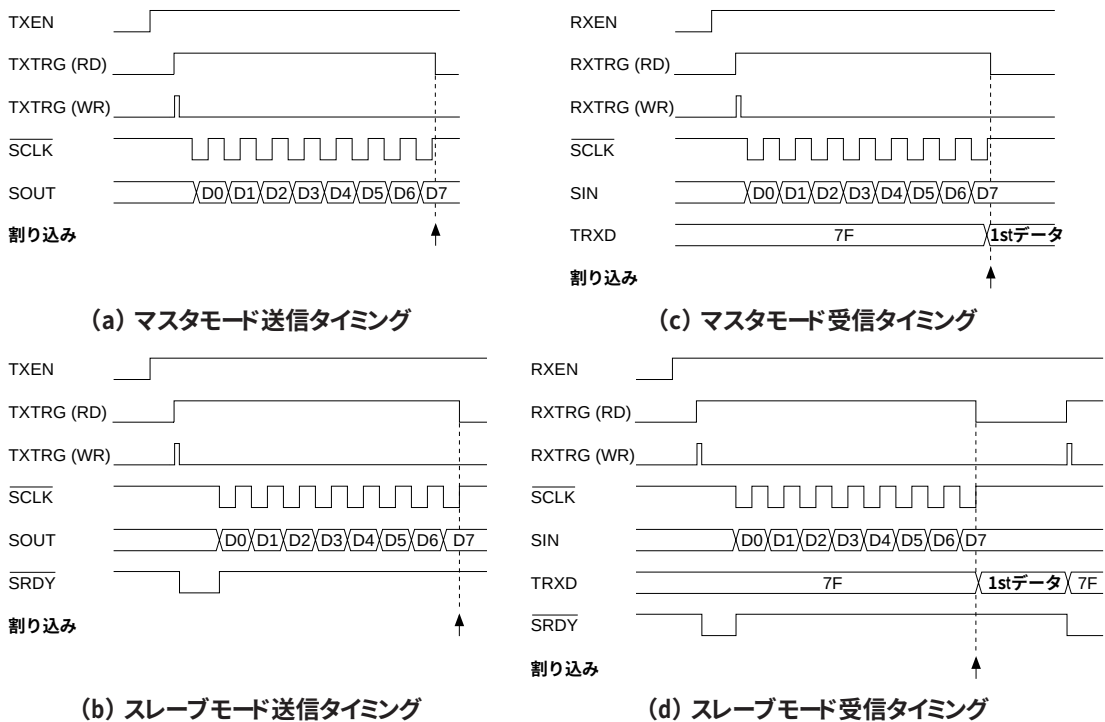


図4.11.6.4 タイミングチャート(クロック同期式転送)

4.11.7 調歩同期式転送の動作

調歩同期式転送は、シリアル変換した各データの前後にスタートビットとストップビットを付加して転送を行う方式です。この方式では、送信側、受信側それぞれで完全に同期の一致したクロックを用いる必要はなく、各データの前後に付けられたスタート/ストップビットで同期をとりながら転送を行います。この転送モードを選択することによって、RS-232Cインタフェース機能などを容易に実現することができます。

本インタフェースは送受信個別にシフトレジスタを持っており、送受信が同時に行える全二重方式の転送が可能となっています。

転送データは、調歩同期式7ビットモードでは7ビットデータ(パリティなし)または7ビットデータ+パリティビットのいずれかが選択できます。調歩同期式8ビットモードでは8ビットデータ(パリティなし)または8ビットデータ+パリティビットのいずれかが同様に選択できます。パリティには偶数または奇数が選択でき、受信データのパリティチェックおよび送信データへのパリティビット付加を自動的にを行います。したがって、プログラムでパリティデータそのものを意識する必要はありません。

スタートビット、ストップビットはそれぞれ1ビット固定で、データはLSB(ビット0)を先頭として送受信が行われます。

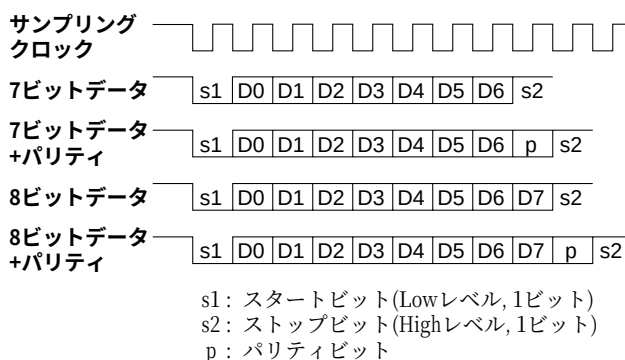


図4.11.7.1 調歩同期式の転送データフォーマット

以下に調歩同期式転送を行う場合の初期化および送受信の制御手順と動作について説明します。シリアルインタフェース割り込みについては"4.11.8 割り込み機能"を参照してください。

シリアルインタフェースの初期化

調歩同期式転送を行う場合には以下の初期設定を行う必要があります。

(1) 送受信禁止に設定

シリアルインタフェースの設定は、送信許可レジスタTXENおよび受信許可レジスタRXENにそれぞれ"0"を書き込んで、送受信を禁止にした状態で行ってください。

なお、この2つのレジスタは実際にデータ転送を開始するまで、禁止状態に固定してください。

(2) ポート選択

イニシャルリセット時、シリアルインタフェースの入出力端子SIN、SOUTは入出力兼用ポート端子P10、P11に設定されますので、シリアルインタフェースイネーブルレジスタESIFに"1"を書き込んでこれらの端子をシリアルインタフェース用に設定します。

クロック同期式モードにおいて設定されるSCLK、SRDY端子は調歩同期式モードでは使用しません。これらの端子は入出力兼用ポート端子P12、P13として機能します。

(3) 転送モードの設定

モード選択レジスタSMD0およびSMD1の2ビットに以下のデータを書き込んで調歩同期式モードを選択します。

7ビットモード: SMD0 = "0", SMD1 = "1"

8ビットモード: SMD0 = "1", SMD1 = "1"

(4) パリティビットの選択

パリティビットをチェックおよび付加する場合はパリティイネーブルレジスタEPRに"1"を書き込んで"パリティチェックあり"に設定してください。この設定によって、調歩同期式7ビットモードでは7ビットデータ+パリティビットのデータ構成に、調歩同期式8ビットモードでは8ビットデータ+パリティビットのデータ構成にそれぞれ設定されます。この場合、受信時のパリティチェックと送信時のパリティビット付加は、ハードウェアによって自動的に行われます。

また、"パリティチェックあり"とした場合は、さらにパリティモード選択レジスタPMDによって、パリティを"奇数"とするか"偶数"とするかを、選択する必要があります。

レジスタPMDに"0"を書き込んで"パリティチェックなし"を選択すると、調歩同期式7ビットモードでは7ビットデータ(パリティなし)のデータ構成に、調歩同期式8ビットモードでは8ビットデータ(パリティなし)のデータ構成にそれぞれ設定され、パリティチェックおよびパリティビットの付加は行われません。

(5) クロック源の選択

クロック源選択レジスタSCS0およびSCS1の2ビットにデータを書き込んでクロック源を選択します。(表4.11.4.1参照)

(6) クロック源の制御

クロック源にプログラマブルタイマを選択した場合は、プログラマブルタイマ側で転送速度の設定を行ってください。("4.10 プログラマブルタイマ"参照)

OSC3発振回路の分周信号をクロック源として選択した場合は、データ転送を開始する以前にOSC3の発振をONさせる必要があります。("4.3 発振回路"参照)

データの送信

送信時の制御手順と動作は以下のとおりです。

- (1) 送信許可レジスタTXENに"0"を書き込み、シリアルインタフェースをリセットします。
- (2) 送信許可レジスタTXENに"1"を書き込み、送信許可状態に設定します。
- (3) 送信するデータをTRXD0～TRXD7に書き込みます。なお、7ビットデータ選択時は、TRXD7のデータは無効となります。
- (4) 送信制御ビットTXTRGに"1"を書き込み、送信を開始させます。

この制御によってシフトクロックがイネーブルとなり、その立ち上がりエッジに同期してスタートビット(LOW)がSOUT端子に出力されます。シフトレジスタに設定された送信データは、その後のクロックの各立ち上がりエッジで1ビットずつシフトされSOUT端子より出力されます。データ出力後はストップビット(HIGH)が出力され、次のスタートビットの出力までHIGHレベルが保持されます。

送信が終了したところで、送信完了割り込み要因フラグISTRが"1"にセットされます。割り込みが許可されている場合は、この時点で送信完了割り込みが発生します。本割り込みを利用して次の送信データをセットしてください。

- (5) 送信データのバイト数だけ(3)～(4)を繰り返し、送信が終了した時点で送信許可レジスタTXENに"0"を書き込み、送信禁止状態に設定します。

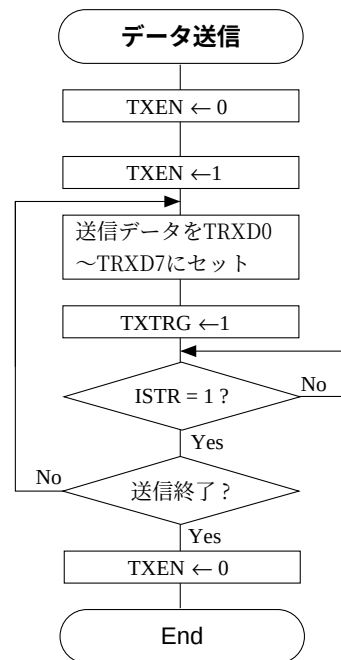


図4.11.7.2 調歩同期式の送信手順

データの受信

受信時の制御手順と動作は以下のとおりです。

- (1) 受信許可レジスタRXENに"0"を書き込んで受信禁止状態に設定し、パリティエラー、オーバーランエラー、フレーミングエラーの発生を示すPERフラグ、OERフラグ、FERフラグをそれぞれセットします。
- (2) 受信許可レジスタRXENに"1"を書き込み、受信許可状態に設定します。
- (3) SIN端子にスタートビット(LOW)が入力された時点からシフトクロックがイネーブルとなり、受信データが2個目以降のクロックの立ち上がりエッジに同期して順次シフトレジスタ内に取り込まれます。

データビットが取り込まれた後、ストップビットがチェックされ、HIGHレベルでない場合にはフレーミングエラーとなり、エラー割り込み要因フラグISERが"1"にセットされます。割り込みが許可されている場合には、この時点でエラー割り込みが発生します。

受信が終了すると、シフトレジスタ内のデータが受信データバッファに転送され、受信完了割り込み要因フラグISRCが"1"にセットされます。割り込みが許可されている場合には、この時点で受信完了割り込みが発生します。(オーバーランエラー発生時は割り込み要因フラグISRCは"1"にセットされず、受信完了割り込みも発生しません。)

また、"パリティチェックあり"を選択している場合は、シフトレジスタから受信データバッファにデータが転送される際にパリティチェックが行われ、パリティエラーが検出された場合にはエラー割り込み要因フラグISERが"1"にセットされます。割り込みを許可している場合には、前記フレーミングエラー同様の時点でエラー割り込みが発生します。

- (4) 受信完了割り込みを利用して、受信データをTRXD0～TRXD7から読み出します。
- (5) 受信制御ビットRXTRGに"1"を書き込み、受信データが読み出されたことを知らせます。
RXTRGに"1"を書き込む以前に次のデータを受信すると、オーバーランエラーと認識され、エラー割り込み要因フラグISERが"1"にセットされます。割り込みを許可している場合には、前記フレーミングエラー、パリティエラー同様この時点でエラー割り込みが発生します。
- (6) 受信データのバイト数だけ(3)～(5)を繰り返し、受信が終了した時点で受信許可レジスタRXENに"0"を書き込み、受信禁止状態に設定します。

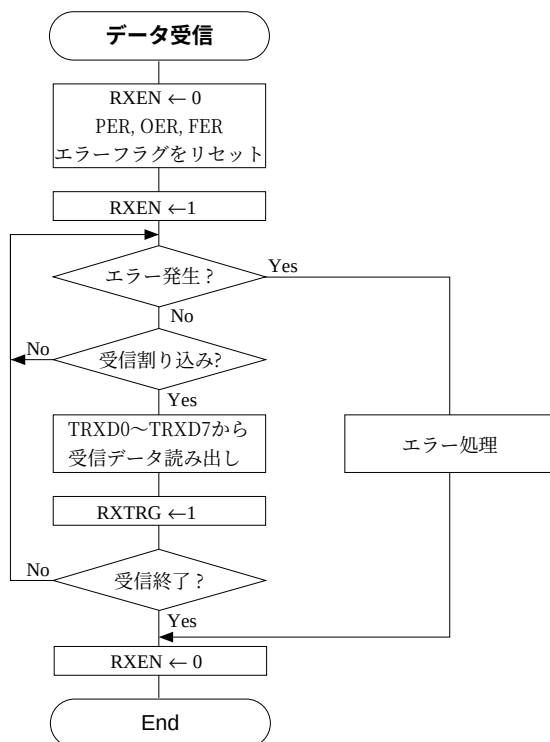


図4.11.7.3 調歩同期式の受信手順

受信エラー

受信時には以下の3種類のエラーを、割り込みによって検出することができます。

(1) パリティエラー

レジスタEPRに"1"を書き込んで"パリティチェックあり"を選択した場合には、受信時にパリティチェック(垂直パリティチェック)が行われます。これは送信データ(1キャラクタ)中の"1"のビット数の合計にパリティを加え、その数が奇数か偶数かをパリティビットにのせて送信し、それを受信側でチェックする方式です。

パリティチェックはシフトレジスタに受信されたデータが受信データバッファに転送される際に行われ、データ(パリティビット含)中の"1"のビット数がレジスタPMDで設定した奇数または偶数パリティと整合がとれるかをチェックします。このとき、不整合となった場合にはパリティエラーと認識され、パリティエラーフラグPERおよびエラー割り込み要因フラグISERが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグPERは"1"を書き込むことによって"0"にリセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。ただし、その時点での受信データはパリティエラーのため保証されません。

(2) フレーミングエラー

調歩同期式転送ではスタートビット("0")とストップビット("1")で1キャラクタごとに同期をとっています。ストップビットを"0"として受信した場合、シリアルインタフェースは同期ずれと判断してフレーミングエラーを発生します。

本エラーが発生すると、フレーミングエラーフラグFERおよびエラー割り込み要因フラグISERが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグFERは"1"を書き込むことによって"0"にリセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。

(3) オーバーランエラー

RXTRGに"1"を書き込む前に次のデータを受信すると、前回の受信データが上書きされるためオーバーランエラーが発生します。

本エラーが発生すると、オーバーランエラーフラグOERおよびエラー割り込み要因フラグISERが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグOERは"1"を書き込むことによって"0"にリセットされます。

本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。なお、RXTRGに"1"を書き込むタイミングと受信データが受信データバッファに転送されるタイミングが重なった場合は、オーバーランエラーと認識されます。

タイミングチャート

調歩同期式転送のタイミングチャートを図4.11.7.4に示します。

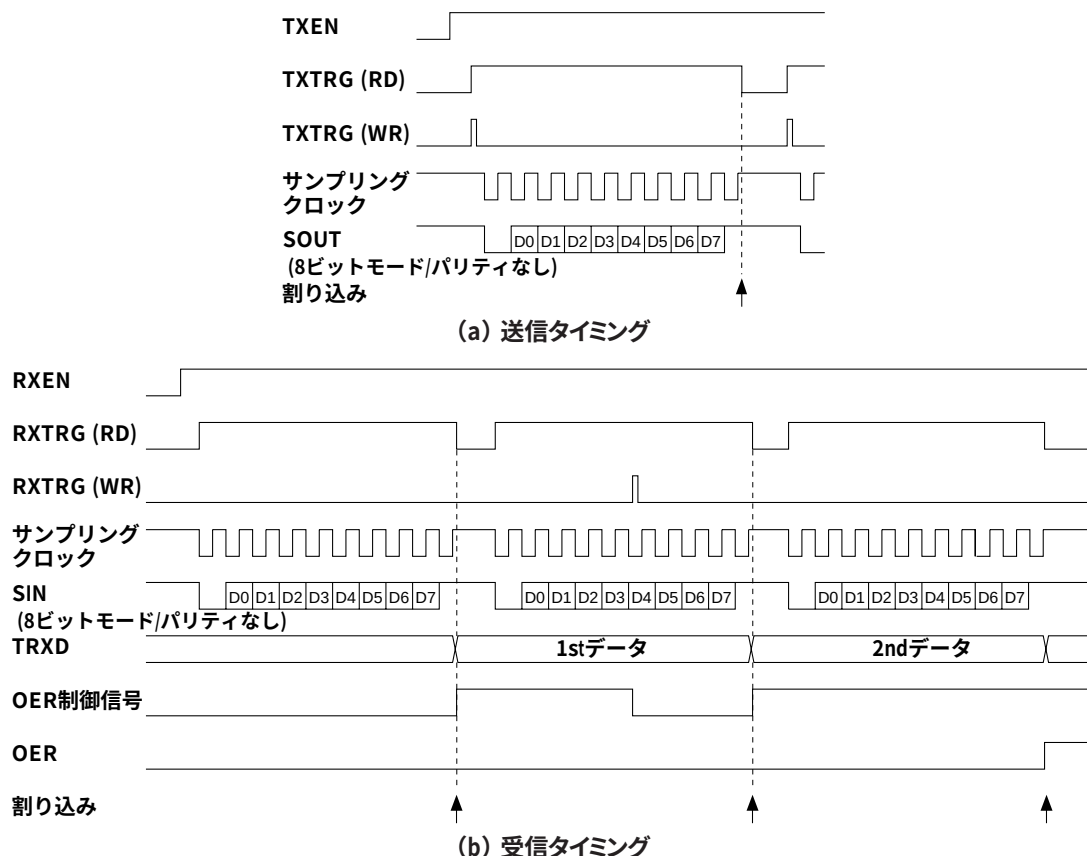


図4.11.7.4 タイミングチャート(調歩同期式転送)

4.11.8 割り込み機能

本シリアルインタフェースには以下に示す3種類の割り込みを発生させる機能があります。

- 送信完了割り込み
- 受信完了割り込み
- エラー割り込み

それぞれの割り込み要因に対して割り込み要因フラグISxxと割り込みマスクレジスタEISxxxが設けられており、割り込みの許可/禁止をソフトウェアによって設定することができます。

図4.11.8.1にシリアルインタフェース割り込み回路の構成を示します。

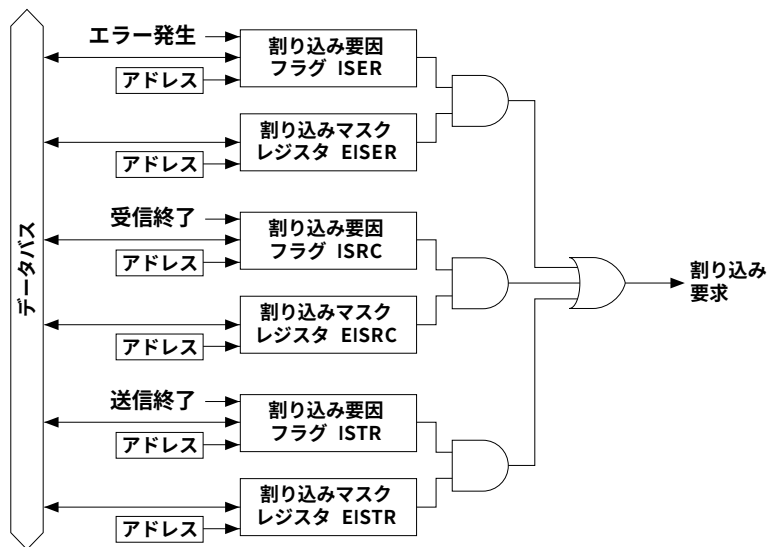


図4.11.8.1 シリアルインタフェース割り込み回路の構成

送信完了割り込み

本割り込み要因は、シフトレジスタに書き込んだデータの送信が終了した時点で発生し、割り込み要因フラグISTRを"1"にセットします。このとき、割り込みマスクレジスタEISTRが"1"で、かつCPUが割り込み許可(Iフラグ="1")に設定されている場合、CPUに対し割り込みが発生します。

割り込みマスクレジスタEISTRに"0"が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグISTRは"1"にセットされます。

割り込み要因フラグISTRは"1"を書き込むことによって"0"にリセットされます。

本割り込み要因の発生によって、次の送信データのセットと送信開始の制御(TXTRGに"1"を書き込む)を行うことができます。

受信完了割り込み

本割り込み要因は、受信が完了してシフトレジスタに取り込まれた受信データが受信データバッファに転送された時点で発生し、割り込み要因フラグISRCを"1"にセットします。このとき、割り込みマスクレジスタEISRCが"1"で、かつCPUが割り込み許可(Iフラグ="1")に設定されている場合、CPUに対し割り込みが発生します。

割り込みマスクレジスタEISRCに"0"が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグISRCは"1"にセットされます。

割り込み要因フラグISRCは"1"を書き込むことによって"0"にリセットされます。

本割り込み要因の発生により、受信データの読み出しが可能となります。

なお、パリティエラーおよびフレーミングエラー発生時にも割り込み要因フラグISRCは"1"にセットされます。

エラー割り込み

本割り込み要因は、受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された時点で発生し、割り込み要因フラグISERを"1"にセットします。このとき、割り込みマスクレジスタEISERが"1"で、かつCPUが割り込み許可(Iフラグ="1")に設定されている場合、CPUに対し割り込みが発生します。

割り込みマスクレジスタEISERに"0"が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグISERは"1"にセットされます。

割り込み要因フラグISERは"1"を書き込むことによって"0"にリセットされます。

3種類のエラーとも同一の割り込み要因となっていますので、発生したエラーの識別はエラーフラグPER(パリティエラー)、OER(オーバーランエラー)、FER(フレーミングエラー)で行ってください。

4.11.9 シリアルインタフェースのI/Oメモリ

表4.11.9.1にシリアルインタフェースの制御ビットとそのアドレスを示します。

表4.11.9.1 シリアルインタフェースの制御ビット

アドレス	レジスタ				注 釈				
	D3	D2	D1	D0	Name	Init *1	1	0	
FF45H	PUL13	PUL12	PUL11	PUL10	PUL13	1	On	Off	P13プルアップ制御レジスタ SIF(クロック同期式スレーブ)選択時、汎用レジスタとして機能
					PUL12	1	On	Off	P12プルアップ制御レジスタ SIF(クロック同期式マスタ)選択時、汎用レジスタとして機能
	R/W				PUL11	1	On	Off	SIF(クロック同期式スレーブ)選択時、 SCLK(I)プルアップ制御レジスタ
					PUL10	1	On	Off	P11プルアップ制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能
					P10プルアップ制御レジスタ(ESIF=0) SIF選択時、SINプルアップ制御レジスタ				
FF70H	0	SMD1	SMD0	ESIF	0 *3	— *2			未使用
	R	R/W			SMD1	0			モード 0 Clk-sync. master Clk-sync. slave
					SMD0	0			モード選択 [SMD1, 0] 2 3
					ESIF	0	SIF	I/O	モード Async. 7-bit Async. 8-bit シリアルI/Fイネーブル(P1xポート機能選択)
FF71H	EPR	PMD	SCS1	SCS0	EPR	0	Enable	Disable	パリティ機能選択
	R/W	R/W			PMD	0	Odd	Even	パリティモード選択
					SCS1	0			クロック源 [SCS1, 0] 0 1 2 3 選択 モード 1200bps 600bps 2400bps PT
					SCS0	0			
FF72H	RXTRG	RXEN	TXTRG	TXEN	RXTRG	0	Run	Stop	シリアルI/F受信ステータス(読み出し時)
	R/W	R/W				—	Trigger	—	シリアルI/F受信トリガ(書き込み時)
					RXEN	0	Enable	Disable	シリアルI/F受信イネーブル
					TXTRG	0	Run	Stop	シリアルI/F送信ステータス(読み出し時)
						Trigger	—	シリアルI/F送信トリガ(書き込み時)	
					TXEN	0	Enable	Disable	シリアルI/F送信イネーブル
FF73H	0	FER	PER	OER	0 *3	— *2			未使用
	R	R/W			FER	0	Error	No error	フレーミングエラーフラグステータス(読み出し時)
						Reset	—	フレーミングエラーフラグリセット(書き込み時)	
					PER	0	Error	No error	パリティエラーフラグステータス(読み出し時)
						Reset	—	パリティエラーフラグリセット(書き込み時)	
					OER	0	Error	No error	オーバーランエラーフラグステータス(読み出し時)
						Reset	—	オーバーランエラーフラグリセット(書き込み時)	
FF74H	TRXD3	TRXD2	TRXD1	TRXD0	TRXD3	— *2	High	Low	シリアルI/F送受信データ(下位4ビット) LSB
	R/W				TRXD2	— *2	High	Low	
					TRXD1	— *2	High	Low	
					TRXD0	— *2	High	Low	
FF75H	TRXD7	TRXD6	TRXD5	TRXD4	TRXD7	— *2	High	Low	MSB シリアルI/F送受信データ(上位4ビット)
	R/W				TRXD6	— *2	High	Low	
					TRXD5	— *2	High	Low	
					TRXD4	— *2	High	Low	
FFE3H	0	EISER	EISTR	EISRC	0 *3	— *2			未使用
	R	R/W			EISER	0	Enable	Mask	割り込みマスクレジスタ(シリアルI/Fエラー)
					EISTR	0	Enable	Mask	割り込みマスクレジスタ(シリアルI/F送信完了)
					EISRC	0	Enable	Mask	割り込みマスクレジスタ(シリアルI/F受信完了)
FFF3H	0	ISER	ISTR	ISRC	0 *3	— *2	(R)	(R)	未使用
	R	R/W			ISER	0	Yes	No	割り込み要因フラグ(シリアルI/Fエラー)
					ISTR	0	(W)	(W)	割り込み要因フラグ(シリアルI/F送信完了)
					ISRC	0	Reset	Invalid	割り込み要因フラグ(シリアルI/F受信完了)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

● ESIF: シリアルインタフェースイネーブルレジスタ(P1ポート機能選択) (FF70H・D0)

P10～P13をシリアルインタフェースの入出力ポートに設定します。

"1"書き込み: シリアルインタフェース
 "0"書き込み: 入出力兼用ポート
 読み出し: 可能

ESIFはシリアルインタフェースイネーブルレジスタで、"1"を書き込んだ場合はP10～P13端子がシリアル入出力端子(SIN、SOUT、 $\overline{\text{SCLK}}$ 、 $\overline{\text{SRDY}}$)となり、"0"を書き込んだ場合は入出力兼用ポート端子となります。なお、転送モードによる端子の設定は表4.11.3.2を参照してください。イニシャルリセット時、このレジスタは"0"に設定されます。

注: *ESIF="1"に設定した時点で、P12($\overline{\text{SCLK}}$)端子からハザードが出る場合がありますので、ESIF="1"に設定後10 μsec 以上待ってから実データの送受信を開始してください。*

● PUL10: SINプルアップ制御レジスタ (FF45H・D0)

PUL12: $\overline{\text{SCLK}}$ プルアップ制御レジスタ (FF45H・D2)

SIN端子、 $\overline{\text{SCLK}}$ 端子(スレープモード時)のプルアップを設定します。

"1"書き込み: プルアップON
 "0"書き込み: プルアップOFF
 読み出し: 可能

SIN(P10)および $\overline{\text{SCLK}}$ (P12)端子に内蔵されたプルアップ抵抗をONまたはOFFに設定します。(プルアップ抵抗はマスクオプションで選択したポートのみに付加されます。)

$\overline{\text{SCLK}}$ のプルアップはクロック同期式スレープモード時にのみ有効で、調歩同期式またはクロック同期式マスタモード時はPUL12レジスタを汎用レジスタとして使用することができます。

イニシャルリセット時、これらのレジスタは"1"に設定され、プルアップ抵抗はONになります。

● SMD0, SMD1: シリアルインタフェースモード設定レジスタ (FF70H・D1, D2)

転送モードを表4.11.9.2のとおり設定します。

表4.11.9.2 転送モードの設定

SMD1	SMD0	モード
1	1	調歩同期式8ビット
1	0	調歩同期式7ビット
0	1	クロック同期式スレープ
0	0	クロック同期式マスタ

SMD0, SMD1は読み出しも可能です。

イニシャルリセット時、このレジスタは"0"に設定されます。

● SCS0, SCS1: クロック源選択レジスタ (FF71H・D0, D1)

クロック源を表4.11.9.3のとおり選択します。

表4.11.9.3 クロック源の選択

SCS1	SCS0	クロック源
1	1	プログラマブルタイマ
1	0	fosc3 / 93
0	1	fosc3 / 372
0	0	fosc3 / 186

SCS0, SCS1は読み出しも可能です。

クロック同期式スレープモードでは、このレジスタの設定は無効です。

イニシャルリセット時、このレジスタは"0"に設定されます。

● EPR: パリティ機能選択レジスタ (FF71H・D3)

パリティ機能を選択します。

"1"書き込み: パリティあり
"0"書き込み: パリティなし
読み出し: 可能

受信データのパリティチェックおよび送信データへのパリティビットの付加を行うか行わないかを選択します。EPRに"1"を書き込むと受信データの最上位ビットがパリティビットと見なされてパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。"0"を書き込んだ場合はチェックおよび付加は行われません。

パリティは調歩同期式モードの場合にのみ有効で、クロック同期式モードではEPRの設定は無効となります。イニシャルリセット時、このレジスタは"0"に設定されます。

● PMD: パリティモード選択レジスタ (FF71H・D2)

奇数パリティ/偶数パリティを選択します。

"1"書き込み: 奇数パリティ
"0"書き込み: 偶数パリティ
読み出し: 可能

PMDに"1"を書き込むと奇数パリティが選択され、"0"を書き込むと偶数パリティが選択されます。パリティチェックおよびパリティビットの付加はEPRに"1"が書き込まれている場合にのみ有効で、EPRに"0"が書き込まれている場合は、PMDによる奇数パリティ/偶数パリティの設定は無効となります。

イニシャルリセット時、このレジスタは"0"に設定されます。

● TXEN: 送信許可レジスタ (FF72H・D0)

シリアルインタフェースを送信許可状態に設定します。

"1"書き込み: 送信許可
"0"書き込み: 送信禁止
読み出し: 可能

TXENに"1"を書き込むとシリアルインタフェースが送信許可状態となり、"0"を書き込むと送信禁止状態となります。

シリアルインタフェースのモード初期設定等を行う場合は、TXENを"0"に設定してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

● TXTRG: 送信トリガ/ステータス (FF72H・D1)

送信開始のトリガ/動作状態(送信中/停止中)を示すステータスとして機能します。

"1"書き込み: 送信開始
"0"書き込み: 無効
"1"読み出し: 送信中
"0"読み出し: 停止中

送信データを書き込んだ後、TXTRGに"1"を書き込むことで送信処理を開始します。

TXTRGはステータスとして読み出しが可能で、"1"の場合は送信動作中、"0"の場合は送信停止中を示します。

イニシャルリセット時、TXTRGは"0"に設定されます。

● RXEN: 受信許可レジスタ (FF72H・D2)

シリアルインタフェースを受信許可状態に設定します。

"1"書き込み: 受信許可
 "0"書き込み: 受信禁止
 読み出し: 可能

RXENに"1"を書き込むとシリアルインタフェースが受信許可状態となり、"0"を書き込むと受信禁止状態となります。

シリアルインタフェースのモード初期設定等を行う場合は、RXENを"0"に設定してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

● RXTRG: 受信トリガ/ステータス (FF72H・D3)

受信開始のトリガ/次のデータの受信準備/動作状態(受信中/停止中)を示すステータスとして機能します。

"1"書き込み: 受信開始/次のデータの受信準備
 "0"書き込み: 無効
 "1"読み出し: 受信中
 "0"読み出し: 停止中

RXTRGは、クロック同期式と調歩同期式で若干動作が異なります。

クロック同期式でのRXTRGは受信開始のトリガとして使用します。

受信データを読み出し、次の受信準備ができたところでRXTRGに"1"を書き込み受信を開始させます。(スレーブモードではRXTRGに"1"を書き込んだところでSRDYが"0"となります。)

調歩同期式でのRXTRGは、次のデータの受信準備に使用します。受信データバッファにある受信データを読み出し、バッファが空となったことを知らせるためRXTRGに"1"を書き込みます。RXTRGに"1"を書き込まなかった場合、次の受信が終了した時点でオーバーランエラーフラグOERが"1"にセットされます。(受信データを読み出す動作とRXTRGに"1"を書き込む動作との間に受信を終了した場合はオーバーランエラーとなります。)

また、RXTRGはステータスとして読み出しが可能で、クロック同期式、調歩同期式どちらのモードでも"1"の場合は受信動作中、"0"の場合は受信停止中を示します。

イニシャルリセット時、RXTRGは"0"に設定されます。

● TRXD0～TRXD7: 送受信データ (FF74H, FF75H)

送信時

送信データを書き込みます。

"1"書き込み: HIGHレベル
 "0"書き込み: LOWレベル

送信開始前に送信データを書き込みます。

連続送信の場合、データの書き込みは送信完了割り込みを待ってから行ってください。

調歩同期式7ビットモードにおいてはTRXD7が無効となります。

SOUT端子からはシリアル変換されたデータが、"1"に設定されたビットがHIGH(V_{DD})レベル、"0"に設定されたビットがLOW(V_{SS})レベルとして出力されます。

受信時

受信データを読み出します。

"1"読み出し: HIGHレベル
 "0"読み出し: LOWレベル

受信データバッファのデータが読み出せます。

シフトレジスタが本バッファとは別に設けられていますので、調歩同期式モードでは受信動作中にデータの読み出しが行えます。(クロック同期式モードではバッファ機能を使用しません。)

データの読み出しは受信完了割り込みを待ってから行ってください。

調歩同期式7ビットモードにおいてパリティチェックを行っている場合、パリティビットに対応する8ビット目 (TRXD7)には"0"がロードされます。

SIN端子から入力されたシリアルデータはHIGH(V_{DD})レベルのビットを"1"、LOW(V_{SS})レベルのビットを"0"としてパラレル変換され、本バッファにロードされます。

イニシャルリセット時、バッファの内容は不定となります。

● OER: オーバーランエラーフラグ (FF73H・D0)

オーバーランエラーの発生を示します。

"1"読み出し: エラーあり

"0"読み出し: エラーなし

"1"書き込み: "0"にリセット

"0"書き込み: 無効

OERはオーバーランエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。

オーバーランエラーは調歩同期式モードの受信において、RXTRGに"1"を書き込む前に次のデータの受信を完了した場合に発生します。

OERは"1"を書き込むことで"0"にリセットされます。

イニシャルリセット時、およびRXENが"0"のときOERは"0"に設定されます。

● PER: パリティエラーフラグ (FF73H・D1)

パリティエラーの発生を示します。

"1"読み出し: エラーあり

"0"読み出し: エラーなし

"1"書き込み: "0"にリセット

"0"書き込み: 無効

PERはパリティエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。

パリティエラーは調歩同期式モードでパリティチェックを行っている場合に、パリティの合っていないデータを受信すると発生します。

PERは"1"を書き込むことで"0"にリセットされます。

イニシャルリセット時、およびRXENが"0"のとき、PERは"0"(エラーなし)に設定されます。

● FER: フレーミングエラーフラグ (FF73H・D2)

フレーミングエラーの発生を示します。

"1"読み出し: エラーあり

"0"読み出し: エラーなし

"1"書き込み: "0"にリセット

"0"書き込み: 無効

FERはフレーミングエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。

フレーミングエラーは調歩同期式モードの受信において、ストップビットが"0"になっていた場合に発生します。

FERは"1"を書き込むことで"0"にリセットされます。

イニシャルリセット時、およびRXENが"0"のときFERは"0"(エラーなし)に設定されます。

● EISRC, EISTR, EISER: 割り込みマスクレジスタ (FFE3H・D0, D1, D2)

シリアルインタフェースからの割り込みマスクを設定します。

"1"書き込み: イネーブル
 "0"書き込み: マスク
 読み出し: 可能

EISRC, EISTR, EISERはそれぞれ受信完了、送信完了、受信エラーの割り込み要因に対応する割り込みマスクレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。イニシャルリセット時、これらのレジスタは"0"に設定されます。

● ISRC, ISTR, ISER: 割り込み要因フラグ (FFF3H・D0, D1, D2)

シリアルインタフェースからの割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有
 "0"読み出し: 割り込み無
 "1"書き込み: 要因フラグをリセット
 "0"書き込み: 無効

ISRC, ISTR, ISERはそれぞれ受信完了、送信完了、受信エラーの割り込みに対応する割り込み要因フラグで、それぞれの要因の発生により"1"にセットされます。

送信完了割り込み要因は、シフトレジスタのデータ送信が終了したところで発生します。

受信完了割り込み要因は、受信データが受信データバッファに転送されたところで発生します。

受信エラー割り込み要因は、データ受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された場合に発生します。

このとき、対応する割り込みマスクレジスタが"1"で、かつCPUが割り込み許可(Iフラグ="1")に設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットが必要です。割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、これらのフラグはすべて"0"にリセットされます。

4.11.10 プログラミング上の注意事項

- (1) シリアルインタフェースのモード初期設定は、送受信が禁止の状態(TXEN=RXEN="0")で行ってください。
- (2) シリアルインタフェースが送信(受信)中のときは、TXTRG(RXTRG)に対して二重トリガ("1"書き込み)は行わないでください。
- (3) クロック同期式モードでは1本のクロックライン(SCLK)を送受信で共用するため、送信と受信を同時に行うことはできません。したがって、TXTRG(RXTRG)が"1"の最中はRXTRG(TXTRG)に"1"は書き込まないでください。
- (4) 調歩同期式モードにおいて、受信時にパリティエラーおよびフレーミングエラーが発生した場合は受信エラー割り込み要因フラグISERは、受信完了割り込み要因フラグISRCに対して表4.11.10.1に示す時間早く"1"にセットされます。したがって、エラー処理ルーチン等で待ち時間を設けて、受信完了割り込み要因フラグISRCを"0"にリセットしてください。
なお、オーバーランエラー発生時には受信完了割り込み要因フラグISRCは"1"にセットされず、受信完了割り込みも発生しません。

表4.11.10.1 エラー発生時のISERとISRCの時間差

クロック源	時間差
fOSC3 / n	fOSC3 / n の1/2周期
プログラマブルタイマ	タイマ1アンダーフローの1周期

- (5) OSC3発振回路の分周信号をクロック源とする場合は、シリアルインタフェースを使用する前にOSC3の発振をONさせる必要があります。
なお、OSC3発振回路をONにしてから発振が安定するまでに5msecの時間を必要とします。したがって、シリアルインタフェースの送受信開始はOSC3発振ONの後、十分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)
イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。
- (6) シリアルインタフェースのクロック周波数は、最大1MHzに制限されます。
- (7) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.12 サウンドジェネレータ

4.12.1 サウンドジェネレータの構成

S1C63567はブザー信号を発生するサウンドジェネレータを内蔵しています。ここで発生したブザー信号はR00(XBZ)およびR01(BZ)端子から出力することができます。ブザー信号の周波数と音量をソフトウェアによりそれぞれ8段階に設定できるほか、デューティ比制御によるデジタルエンベロープを付加することができます。また、キー操作音等を出力するための、1ショット出力機能も持っています。

図4.12.1.1にサウンドジェネレータの構成を示します。

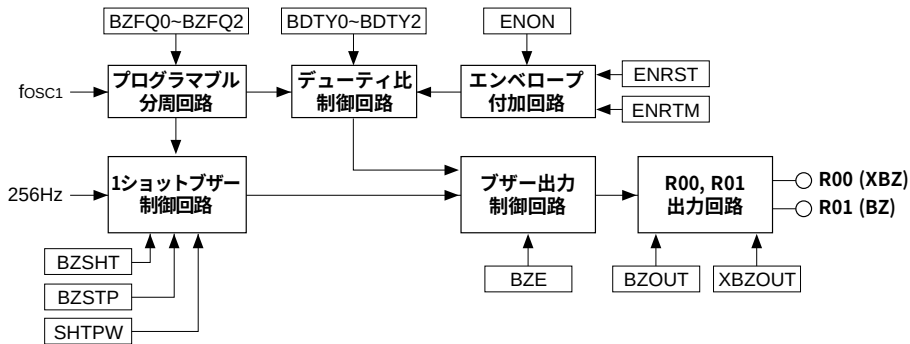


図4.12.1.1 サウンドジェネレータの構成

注: ブザー信号はOSC1の分周クロックを用いて発生しています。CR発振(60kHz Typ.)がマスクオプションで選択された場合には、水晶発振(32.768kHz Typ.)を基準として本項に記載しているすべての周波数、時間等が変わります。

4.12.2 ブザー回路

S1C63567はブザー信号の出力にR01(BZ)端子、R00(XBZ)端子を使用します。

1端子で圧電ブザーを駆動する場合は、R01(BZ)端子から出力されるBZ信号でバイポーラトランジスタを駆動します。ブザーOFF時はR01(BZ)端子がHIGHレベルとなりますので、図4.12.2.1に示すとおりPNPトランジスタで圧電ブザーを駆動してください。

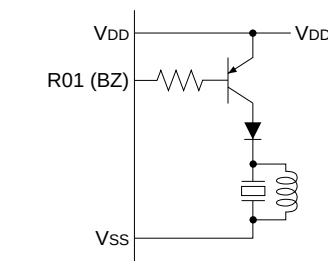


図4.12.2.1 R01(BZ)端子によるブザー回路

R01(BZ)とR00(XBZ)の2端子を使用することで圧電ブザーのダイレクトドライブが可能です。この場合は図4.12.2.2に示すように、R01(BZ)端子、R00(XBZ)端子に保護抵抗(100Ω)を介して圧電ブザーを接続します。

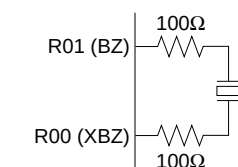


図4.12.2.2 R01(BZ)端子とR00(XBZ)端子による圧電ブザーのダイレクトドライブ

4.12.3 ブザー出力の制御

ブザー出力に使用するR01端子、R00端子はイニシャルリセット時に汎用出力ポート端子に設定されます。したがって、ブザー出力を行う前に、BZOUTレジスタに"1"を書き込みR01端子をBZ出力端子に設定しておく必要があります。また、R01出力ポートのデータレジスタR01を"1"、ハイインピーダンス制御レジスタR01HIZを"0"に固定してください。

圧電ブザーをダイレクトドライブする場合は、R00端子も同様にXBZ出力に設定しておく必要があります。この設定はXBZOUTレジスタに"1"を書き込むことによって行います。この場合も、R00出力ポートのデータレジスタR00を"1"、ハイインピーダンス制御レジスタR00HIZを"0"に固定してください。

サウンドジェネレータで発生したブザー信号はブザー出力イネーブルレジスタBZEに"1"を書き込むことにより、BZ(R01)端子、XBZ(R00)端子から出力されます。BZEレジスタを"0"に設定すると、BZ(R01)端子はHIGH(V_{DD})レベル、XBZ(R00)端子はLOW(V_{SS})レベルになります。

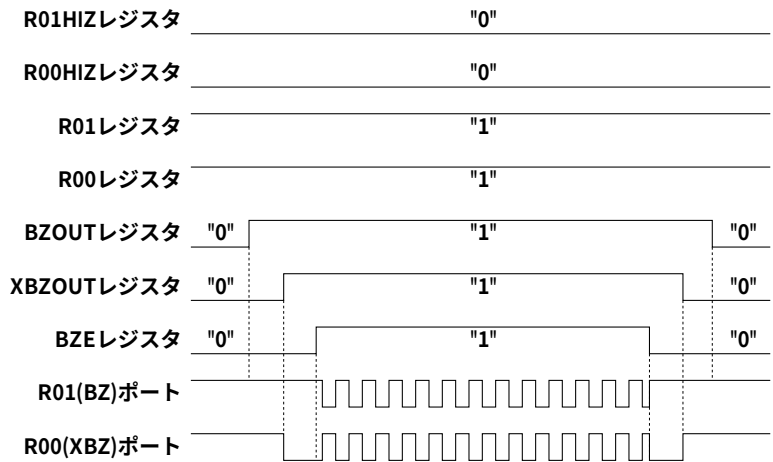


図4.12.3.1 ブザー信号出力タイミングチャート

注: BZ、XBZ信号はレジスタBZEレジスタとは非同期に発生していますので、BZEレジスタの設定による信号のON/OFF時にハザードが生じる場合があります。

4.12.4 ブザー周波数と音量の設定

ブザー(BZ, XBZ)信号にはOSC1発振クロック(32.768kHz)の分周信号が用いられており、この分周比を変化させることによって8種類の周波数が選択できるようになっています。周波数の選択はブザー周波数選択レジスタBZFQ0～BZFQ2を表4.12.4.1のように設定することにより行います。

表4.12.4.1 ブザー信号の周波数設定

BZFQ2	BZFQ1	BZFQ0	ブザー周波数 (Hz)
0	0	0	4096.0
0	0	1	3276.8
0	1	0	2730.7
0	1	1	2340.6
1	0	0	2048.0
1	0	1	1638.4
1	1	0	1365.3
1	1	1	1170.3

ブザーの音量はブザー信号のデューティ比を制御することによって変化させています。

デューティ比はブザーデューティ選択レジスタBDTY0～BDTY2の設定により、表4.12.4.2に示す8種類の中から選択できます。

表4.12.4.2 デューティ比の設定

レベル	BDTY2	BDTY1	BDTY0	ブザー周波数 (Hz)によるデューティ比			
				4096.0 2048.0	3276.8 1638.4	2730.7 1365.3	2340.6 1170.3
レベル1(最大)	0	0	0	8/16	8/20	12/24	12/28
レベル2	0	0	1	7/16	7/20	11/24	11/28
レベル3	0	1	0	6/16	6/20	10/24	10/28
レベル4	0	1	1	5/16	5/20	9/24	9/28
レベル5	1	0	0	4/16	4/20	8/24	8/28
レベル6	1	0	1	3/16	3/20	7/24	7/28
レベル7	1	1	0	2/16	2/20	6/24	6/28
レベル8(最小)	1	1	1	1/16	1/20	5/24	5/28

デューティ比はパルス周期に対するパルス幅の比率のことで、HIGHレベル出力時間をTH、LOWレベル出力時間をTLとした場合は、負極性の場合 $TL/(TH+TL)$ 、正極性の場合 $TH/(TH+TL)$ となります。BDTY0～BDTY2をすべて"0"に設定した場合にデューティ比が最大となり、音量も最大になります。逆にBDTY0～BDTY2をすべて"1"に設定した場合にデューティ比が最小となり、音量も最小になります。

なお、設定できるデューティ比は各周波数によって異なりますので表4.12.4.2を参照してください。

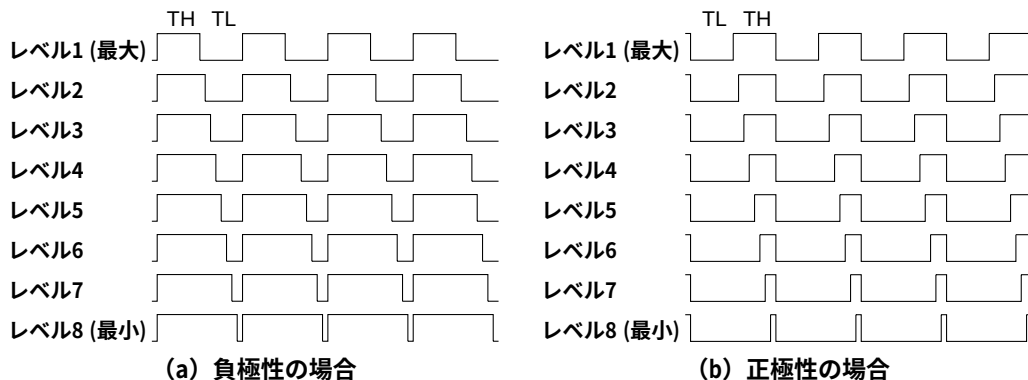


図4.12.4.1 ブザー信号波形のデューティ比

注: ブザー信号にデジタルエンベロープを付加した場合、デューティ比の制御が行われるため、BDTY0～BDTY2の設定は無効となります。

4.12.5 デジタルエンベロープ

ブザー信号にはデューティ比制御のデジタルエンベロープを付加することができます。

エンベロープは前項の表4.12.4.2の内容と同様のデューティ比をレベル1(最大)からレベル8(最小)に段階的に変化させることにより制御されます。

ブザー信号へのエンベロープの付加はレジスタENONに"1"を書き込むことで行われ、"0"が書き込まれた場合は付加されません。

ENONを"1"に設定後、ブザー信号の出力を開始する(BZEレジスタに"1"を書き込む)と、デューティ比がレベル1(最大)となり、レベル8まで段階的に変化します。レベル8(最小)まで減衰するとそのレベルに保持されます。また、エンベロープ付きのブザー信号出力中はレジスタENRSTに"1"を書き込むことによりデューティ比を最大に復帰させることができます。

エンベロープの減衰時間(デューティ比の変化する時間)はレジスタENRTMで選択できます。レベルが1段階変化する時間はENRTMに"0"を書き込んだ場合が62.5msec(16Hz)、“1”を書き込んだ場合が125msec(8Hz)になります。ただし、エンベロープONから最初の変化までは共に最大4msecの誤差があります。

図4.12.5.1にデジタルエンベロープのタイミングチャートを示します。

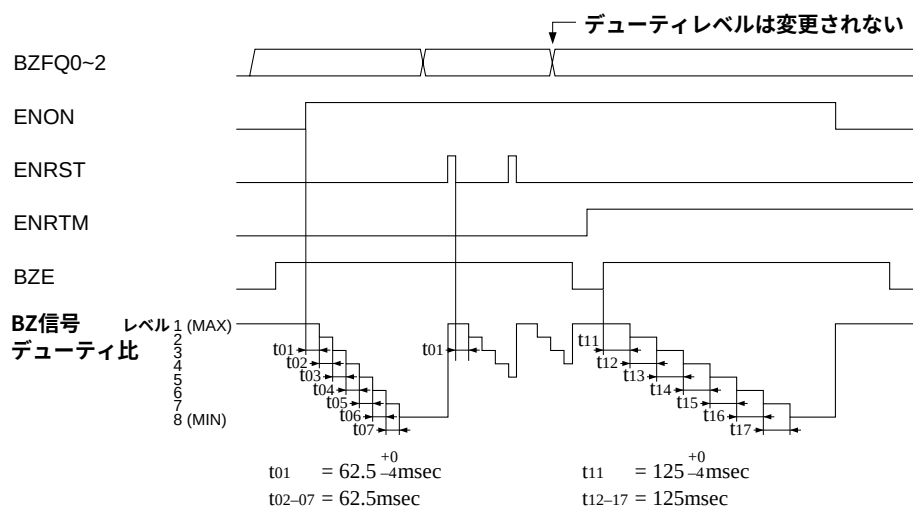


図4.12.5.1 デジタルエンベロープのタイミングチャート

4.12.6 1ショット出力

キー操作音などのように短時間のブザー信号を出力させるために、サウンドジェネレータは1ショット出力機能を持っています。

1ショットブザー信号の出力時間はSHTPWレジスタによって125msec、または31.25msecが選択できます。1ショットブザーの出力制御は1ショットブザートリガBZSHTに"1"を書き込むことにより行います。このトリガが与えられると、内部の256Hz信号に同期してブザー信号がBZ、XBZ端子から出力されます。その後、設定時間が経過すると出力開始と同様に256Hz信号に同期してブザー信号がOFFとなります。BZSHTは読み出しも可能で、BZSHTが"1"の場合は1ショット出力回路が動作中(1ショット出力中)、“0”の場合は回路がREADY(出力が行える)状態であることを示します。

なお、1ショット出力を設定時間経過前に終了させることもできます。これは1ショットブザーストップBZSTPに"1"を書き込むことにより行います。この場合も256Hz信号に同期してブザー信号がOFFとなります。

1ショット出力中に再度BZSHTに"1"を書き込んだ場合は、その時点から(256Hz信号に同期して)新たに125msecまたは31.25msecの1ショット出力が行われます。

1ショット出力は短時間のため、エンベロープを付加することはできません。ただし、デューティ比の選択による音量と周波数は設定することができます。

通常のブザー出力中(BZE = "1"の間)は1ショット出力の制御は無効となります。

図4.12.6.1に1ショット出力のタイミングチャートを示します。

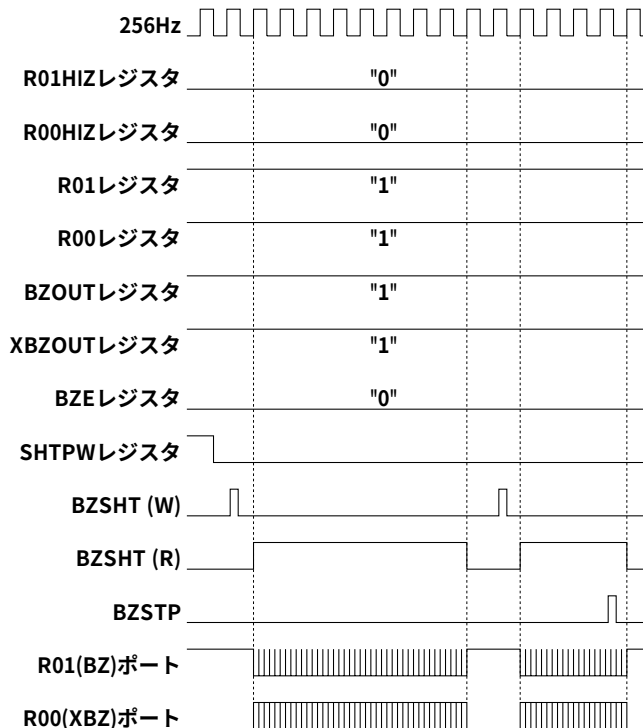


図4.12.6.1 1ショット出力のタイミングチャート

4.12.7 サウンドジェネレータのI/Oメモリ

表4.12.7.1にサウンドジェネレータの制御ビットとそのアドレスを示します。

表4.12.7.1 サウンドジェネレータの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF30H	R03HIZ	R02HIZ	R01HIZ	R00HIZ	R03HIZ	0	Hi-Z	Output	R03 Hi-z制御 (FOUTE=0), FOUT出力Hi-z制御 (FOUTE=1)
					R02HIZ	0	Hi-Z	Output	R02 Hi-z制御 (PTOUT=0), TOUT出力Hi-z制御 (PTOUT=1)
					R01HIZ	0	Hi-Z	Output	R01 Hi-z制御 (BZOUT=0), BZ出力Hi-z制御 (BZOUT=1)
					R00HIZ	0	Hi-Z	Output	R00 Hi-z制御 (XBZOUT=0), XBZ出力Hi-z制御 (XBZOUT=1)
	R/W								
FF31H	R03 (FOUT)	R02 (TOUT)	R01 (BZ)	R00 (XBZ)	R03	1	High	Low	R03出力ポートデータ (FOUTE=0) FOUT出力時は1に固定
					R02	1	High	Low	R02出力ポートデータ (PTOUT=0) TOUT出力時は1に固定
					R01	1	High	Low	R01出力ポートデータ (BZOUT=0) BZ出力時は1に固定
					R00	1	High	Low	R00出力ポートデータ (XBZOUT=0) XBZ出力時は1に固定
	R/W								
FF65H	0	0	BZOUT	XBZOUT	0 *3	- *2			未使用
					0 *3	- *2			未使用
	R		R/W		BZOUT	0	BZ	DC	R01出力選択 (R01レジスタを"1"に固定)
					XBZOUT	0	XBZ	DC	R00出力選択 (R00レジスタを"1"に固定)
	R/W								
FF6CH	ENRTM	ENRST	ENON	BZE	ENRTM	0	1sec	0.5sec	エンベロープ減衰時間選択
					ENRST *3	Reset	Reset	Invalid	エンベロープリセット (書き込み時)
					ENON	0	On	Off	エンベロープOn/Off
					BZE	0	Enable	Disable	BZ出力イネーブル
	R/W	W	R/W						
FF6DH	0	BZSTP	BZSHT	SHTPW	0 *3	- *2			未使用
					BZSTP *3	0	Stop	Invalid	1ショットブザーStop (書き込み時)
					BZSHT	0	Trigger	Invalid	1ショットブザートリガ (書き込み時)
					SHTPW	0	Busy	Ready	1ショットブザーステータス (読み出し時)
	R	W	R/W			125msec	31.25msec		1ショットブザーパルス幅選択
FF6EH	0	BZFQ2	BZFQ1	BZFQ0	0 *3	- *2			未使用
					BZFQ2	0			ブザー 周波数選択 [BZFQ2, 1, 0] 0 1 2 3 周波数(Hz) 4096.0 3276.8 2730.7 2340.6 [BZFQ2, 1, 0] 4 5 6 7 周波数(Hz) 2048.0 1638.4 1365.3 1170.3
					BZFQ1	0			
					BZFQ0	0			
	R	R/W							
FF6FH	0	BDTY2	BDTY1	BDTY0	0 *3	- *2			未使用
					BDTY2	0			ブザー信号デューティ比選択 (本編参照)
					BDTY1	0			
					BDTY0	0			
	R	R/W							

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

● R00HIZ, R01HIZ: R00, R01ポートハイインピーダンス制御レジスタ (FF30H・D0, D1)

出力ポートのハイインピーダンス制御を行います。

"1"書き込み: ハイインピーダンス

"0"書き込み: データ出力

読み出し: 可能

BZ出力、XBZ出力を行う場合は、このレジスタを"0"に固定してください。R01HIZはBZ出力、R00HIZはXBZ出力に対応します。

イニシャルリセット時、このレジスタは"0"に設定されます。

● R00, R01: R0出力ポートデータレジスタ (FF31H・D0, D1)

各出力ポートの出力データを設定します。

"1"書き込み: ブザー出力可能

"0"書き込み: 設定禁止 (LOWレベル出力)

読み出し: 可能

BZ出力、XBZ出力を行う場合は、このレジスタを"1"に固定してください。R01はBZ出力、R00はXBZ出力に対応します。

イニシャルリセット時、このレジスタは"1"に設定されます。

● BZOUT: R01出力選択レジスタ (FF65H・D1)

R01端子の機能を選択します。

"1"書き込み: BZ出力
 "0"書き込み: 汎用DC出力
 読み出し: 可能

R01端子をBZ出力に使用する場合、このレジスタに"1"を書き込みます。さらに、R01レジスタを"1"、R01HIZレジスタを"0"に固定します。

イニシャルリセット時、このレジスタは"0"に設定されます。

● XBZOUT: R00出力選択レジスタ (FF65H・D0)

R00端子の機能を選択します。

"1"書き込み: XBZ出力
 "0"書き込み: 汎用DC出力
 読み出し: 可能

R00端子をXBZ出力に使用する場合、このレジスタに"1"を書き込みます。さらに、R00レジスタを"1"、R00HIZレジスタを"0"に固定します。

R00を汎用出力ポートとして使用する場合、XBZOUTは"0"に固定してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

● BZE: BZ出力制御レジスタ (FF6CH・D0)

BZ出力を制御します。

"1"書き込み: ブザー出力ON
 "0"書き込み: ブザー出力OFF
 読み出し: 可能

BZEに"1"を書き込むことによってBZ(R01)端子からBZ信号、XBZ(R00)端子からXBZ信号が出力され、"0"の書き込みでブザーがOFFします。

イニシャルリセット時、このレジスタは"0"に設定されます。

● BZFQ0～BZFQ2: ブザー周波数選択レジスタ (FF6EH・D0～D2)

ブザー信号の周波数を選択します。

表4.12.7.2 ブザー信号の周波数設定

BZFQ2	BZFQ1	BZFQ0	ブザー周波数 (Hz)
0	0	0	4096.0
0	0	1	3276.8
0	1	0	2730.7
0	1	1	2340.6
1	0	0	2048.0
1	0	1	1638.4
1	1	0	1365.3
1	1	1	1170.3

ブザー周波数は発振クロックを分周した上記8種類の中から選択します。

イニシャルリセット時、このレジスタは"0"に設定されます。

● BDTY0～BDTY2: デューティ比選択レジスタ (FF6FH・D0～D2)

ブザー信号のデューティ比を表4.12.7.3のとおり選択します。

表4.12.7.3 デューティ比の設定

レベル	BDTY2	BDTY1	BDTY0	ブザー周波数 (Hz)によるデューティ比			
				4096.0 2048.0	3276.8 1638.4	2730.7 1365.3	2340.6 1170.3
レベル1(最大)	0	0	0	8/16	8/20	12/24	12/28
レベル2	0	0	1	7/16	7/20	11/24	11/28
レベル3	0	1	0	6/16	6/20	10/24	10/28
レベル4	0	1	1	5/16	5/20	9/24	9/28
レベル5	1	0	0	4/16	4/20	8/24	8/28
レベル6	1	0	1	3/16	3/20	7/24	7/28
レベル7	1	1	0	2/16	2/20	6/24	6/28
レベル8(最小)	1	1	1	1/16	1/20	5/24	5/28

このデューティ比を選択することによりブザーの音量を設定することができます。
ただし、エンベロープをON(ENON="1")に設定している場合は、この設定は無効となります。
イニシャルリセット時、このレジスタは"0"に設定されます。

● ENRST: エンベロープリセット (FF6CH・D2)

エンベロープをリセットします。

"1"書き込み: リセット
"0"書き込み: ノーオペレーション
読み出し: 常時"0"

ENRSTに"1"を書き込むことによりエンベロープがリセットされ、デューティ比が最大となります。エンベロープが付加されていない場合(ENON="0")、およびブザー信号の出力が行われていない場合のリセットは無効となります。また"0"の書き込みも無効です。
ENRSTは書き込み専用のため、読み出し時は常時"0"となります。

● ENON: エンベロープON/OFF制御レジスタ (FF6CH・D1)

ブザー信号へのエンベロープ付加を制御します。

"1"書き込み: ON
"0"書き込み: OFF
読み出し: 可能

ENONレジスタに"1"を書き込むことにより、ブザー信号出力時にエンベロープが付加されます。"0"を書き込んだ場合、エンベロープは付加されません。
イニシャルリセット時、このレジスタは"0"が選択されます。

● ENRTM: エンベロープ減衰時間選択レジスタ (FF6CH・D3)

ブザー信号に付加されたエンベロープの減衰時間を選択します。

"1"書き込み: 1.0sec (125msec×7 = 875msec)
"0"書き込み: 0.5sec (62.5msec×7 = 437.5msec)
読み出し: 可能

デジタルエンベロープの減衰時間はデューティ比の変化する時間で決められます。ENRTMに"1"を書き込んだ場合は125msec(8Hz)単位、"0"を書き込んだ場合は62.5msec(16Hz)単位となります。
イニシャルリセット時、このレジスタは"0"に設定されます。

● SHTPW: 1ショットブザーパルス幅選択レジスタ (FF6DH・D0)

1ショットブザーの出力時間を選択します。

"1"書き込み: 125msec
 "0"書き込み: 31.25msec
 読み出し: 可能

SHTPWレジスタに"1"を書き込むことにより1ショット出力時間が125msecに、"0"書き込みで31.25msecに設定されます。通常のブザー出力には影響を与えません。
 イニシャルリセット時、このレジスタは"0"に設定されます。

● BZSHT: 1ショットブザートリガ/ステータス (FF6DH・D1)

1ショットブザー出力の制御を行います。

・データ書き込み時

"1"書き込み: トリガ
 "0"書き込み: ノーオペレーション

BZSHTに"1"を書き込むことにより1ショット出力回路が動作し、ブザー信号が出力されます。この出力はSHTPWによって設定した時間の経過後に自動的にOFFとなります。

1ショット出力は通常のブザー出力がOFF(BZE = "0")の状態でのみ有効で、ON(BZE = "1")状態でのトリガは無効となります。1ショット出力中に再トリガを行った場合は、その時点からSHTPWによって設定した時間を計測し直します(時間延長)。

・データ読み出し時

"1"読み出し: BUSY
 "0"読み出し: READY

読み出し時は1ショット出力回路の動作状態を示します。1ショット出力中にBZSHTは"1"となり、出力がOFFすると"0"になります。

イニシャルリセット時、このビットは"0"に設定されます。

● BZSTP: 1ショットブザーSTOP (FF6DH・D2)

1ショットブザー出力を停止させます。

"1"書き込み: STOP
 "0"書き込み: ノーオペレーション
 読み出し: 常時"0"

BZSTPに"1"を書き込むことにより、SHTPWによる設定時間が経過する前に1ショットブザー出力をOFFすることができます。"0"書き込みおよび1ショット出力中以外の"1"書き込みは無効です。

BZSTPは書き込み専用のため、読み出し時は常時"0"となります。

4.12.8 プログラミング上の注意事項

- (1) BZ、XBZ信号はBZEレジスタとは非同期に発生していますので、BZEレジスタの設定による信号のON/OFF時にハザードを生じる場合があります。
- (2) 1ショット出力は通常のブザー出力がOFF(BZE = "0")の状態でのみ有効で、ON(BZE = "1")状態でのトリガは無効となります。
- (3) BZ、XBZ信号はR01、R00ポートの特殊出力のため、BZEレジスタに"1"を設定する前にハイインピーダンス制御レジスタ(R01HIZ、R00HIZ)を"0"、データレジスタ(R01、R00)を"1"、出力選択レジスタ(BZOUT、XBZOUT)を"1"に設定しておく必要があります。
- (4) ブザー信号はOSC1の分周クロックを用いて発生しています。CR発振(60kHz Typ.)がマスクオプションで選択された場合には、水晶発振(32.768kHz Typ.)を基準として本項に記載しているすべての周波数、時間等が変わります。

4.13 SVD(電源電圧検出)回路

4.13.1 SVD回路の構成

S1C63567にはSVD(電源電圧検出)回路が内蔵されており、ソフトウェアによって電源電圧低下を知ることができます。また、マスクオプションにより電源電圧以外の外部電圧低下を知ることができます。SVD回路のON/OFFおよび比較電圧の設定は、ソフトウェアによって行えます。SVD回路の構成は図4.13.1.1のとおりです。

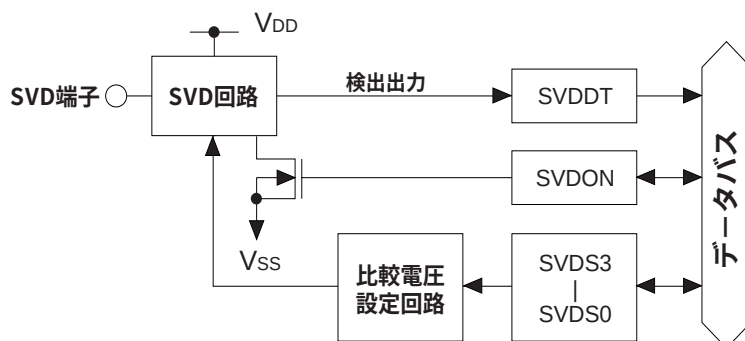


図4.13.1.1 SVD回路の構成

4.13.2 マスクオプション

SVD回路は電源電圧(VDD端子-VSS端子)の低下を検出すること以外に、SVD端子から入力された外部電圧(SVD端子-VSS端子)を決められた検出電圧(0.95V)と比較し、外部電圧の低下を検出することが可能です。この機能はマスクオプションで使用するかしないかを選択します。

4.13.3 SVD動作

SVD回路はソフトウェアによって設定した比較電圧と電源電圧(VDD端子-VSS端子)または外部電圧(SVD端子-VSS端子)の比較を行い、その結果をSVDDTラッチにセットします。このSVDDTラッチのデータを読み出すことにより、電源電圧が正常か、あるいは低下していることをソフトウェアによって判断できます。

比較電圧はSVDS3～SVDS0レジスタによって表4.13.3.1の12種類に設定できます。

SVDS3～SVDS0レジスタに"0"を設定した場合、電源電圧検出は2.20Vとなります。ただし、マスクオプションで"外部電圧検出あり"を選択した場合は電源電圧(VDD端子-VSS端子)との比較は行われず、SVD端子から入力される外部電圧(SVD端子-VSS端子)が0.95Vと比較されます。

表4.13.3.1 比較電圧の設定

SVDS3	SVDS2	SVDS1	SVDS0	比較電圧 (V)	SVDS3	SVDS2	SVDS1	SVDS0	比較電圧 (V)
0	1	1	1	2.50	1	1	1	1	3.30
0	1	1	0	2.40	1	1	1	0	3.20
0	1	0	1	2.30	1	1	0	1	3.10
0	1	0	0	2.20	1	1	0	0	3.00
0	0	1	1	2.20	1	0	1	1	2.90
0	0	1	0	2.20	1	0	1	0	2.80
0	0	0	1	2.20	1	0	0	1	2.70
0	0	0	0	2.20/0.95	1	0	0	0	2.60

SVD回路による電源電圧または外部電圧の検出動作はレジスタSVDONに"1"を書き込むことによって開始します。

その後SVDONに"0"を書き込むことにより、SVD回路は検出結果をSVDDTラッチにセットして検出動作を停止(回路をOFF)します。

なお、安定した検出結果を得るためには少なくとも100μsec以上SVD回路をONにする必要があります。したがって、電源電圧の検出は次のシーケンスで行ってください。

1. SVDONを"1"にセット
2. 100μsec以上保持
3. SVDONを"0"にセット
4. SVDPTの読み出し

なお、SVD動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD回路をOFFに設定してください。

4.13.4 SVD回路のI/Oメモリ

表4.13.4.1にSVD回路の制御ビットとそのアドレスを示します。

表4.13.4.1 SVD回路の制御ビット

アドレス	レジスタ									注 釈
	D3	D2	D1	D0	Name	Init *1	1	0		
FF04H	SVDS3	SVDS2	SVDS1	SVDS0	SVDS3	0			SVD比較電圧設定 [SVDS3~0] 0 1 2 3 4 5 6 7 電圧 (V) 2.20/0.95 2.20 2.20 2.20 2.20 2.30 2.40 2.50 [SVDS3~0] 8 9 10 11 12 13 14 15 電圧 (V) 2.60 2.70 2.80 2.90 3.00 3.10 3.20 3.30	
					SVDS2	0				
					SVDS1	0				
					SVDS0	0				
	R/W									
FF05H	0	0	SVDDT	SVDON	0 *3	— *2			未使用 未使用 SVD検出データ SVD回路On/Off	
					0 *3	— *2				
					SVDDT	Low				Normal
					SVDON	On				Off
	R		R/W							

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

● SVDS3～SVDS0: SVD比較電圧設定レジスタ (FF04H)

SVDの比較電圧を表4.13.3.1に示すとおり設定します。

イニシャルリセット時、このレジスタは"0"に設定されます。

● SVDON: SVD検出ON/OFF制御レジスタ (FF05H・D0)

SVD回路のON/OFFを制御します。

"1"書き込み: SVD回路 ON

"0"書き込み: SVD回路 OFF

読み出し: 可能

SVDONを"1"にセットすることによりSVD検出が行われ、SVDONを"0"にリセットした直後にSVDDETラッチへ検出結果が書き込まれます。なお、安定したSVD検出結果を得るためには、少なくとも100μsec以上SVD回路をONにする必要があります。

イニシャルリセット時、このレジスタは"0"に設定されます。

● SVDDT: SVD検出結果 (FF05H・D1)

SVDによる検出結果がセットされます。

"0"読み出し: 比較電圧より電源電圧($V_{DD}-V_{SS}$)が高い
"1"読み出し: 比較電圧より電源電圧($V_{DD}-V_{SS}$)が低い
書き込み: 無効

SVDONを"0"にした時点の検出結果を読み出すことができます。

イニシャルリセット時、SVDDTは"0"に設定されます。

4.13.5 プログラミング上の注意事項

- (1) SVD回路はONさせてから安定した結果が得られるまでに100 μ secの時間を必要とします。このため、SVDONに"1"を書き込み後、100 μ sec以上経過後にSVDONに"0"を書き込んでSVDDTを読み出してください。
- (2) SVD検出動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD検出をOFFに設定してください。

4.14 電話機能(トーン/パルスダイヤラ)

4.14.1 トーン/パルスダイヤラの構成

S1C63567はトーン/ダイヤルパルス出力切り換え可能なダイヤラを内蔵しています。ポーズ、フラッシュ、ホルドライン、ミュート制御、フックスイッチ制御、ハンドフリー機能をサポートしており、高機能電話等が容易に実現できます。

各機能はソフトウェアによって制御できます。図4.14.1.1にトーン/パルスダイヤラの構成を示します。

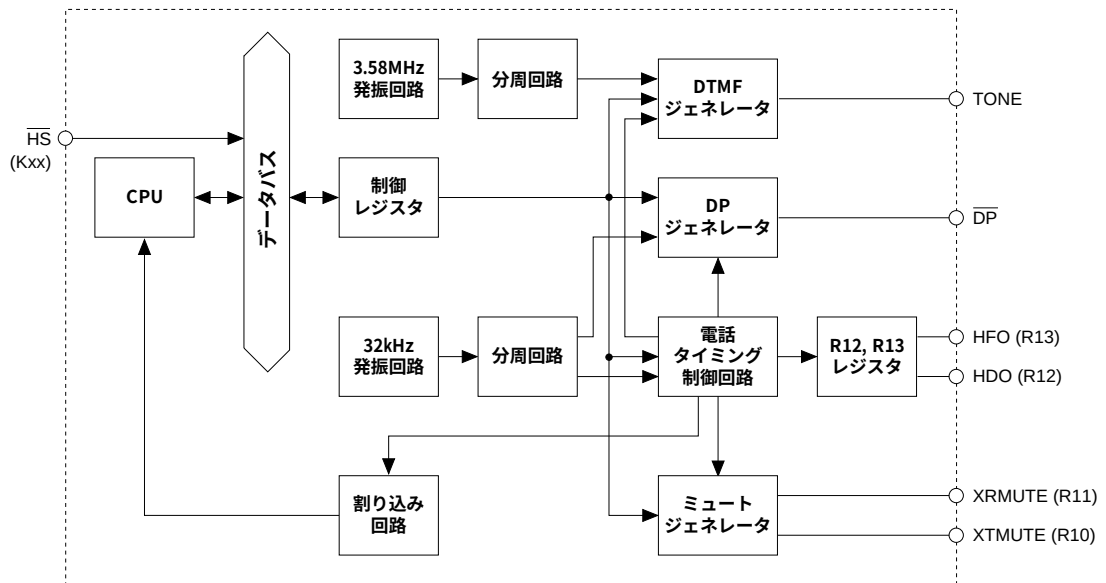


図4.14.1.1 トーン/パルスダイヤラの構成

本ダイヤラはトーン生成用のDTMFジェネレータ(デュアルトーンマルチ周波数)とダイヤルパルス生成用のDPジェネレータを内蔵しています。

DTMFジェネレータはOSC3(3.58MHz)クロックをもとにソフトウェアで設定したトーン信号(シングルトーンまたはダブルトーンをソフト切り換え)を発生し、TONE端子から出力します。

DPジェネレータはOSC1(32kHz)クロックをもとにソフトウェアで設定した番号のダイヤルパルスを発生し、DP端子から出力します。

ソフトウェアによる動作モードの設定にしたがって、トーンまたはパルスどちらかの信号が出力されます。

プッシュボタンのマトリクスは入力ポートと出力ポートを使用して構成します。フックスイッチは入力ポートに接続します。なお、フックスイッチのON/OFFはソフトウェアで行いますので、オンフック(受話器を掛けたまま)でのダイヤル/通話も可能です。

上記端子のほかにR10端子～R13端子をそれぞれXTMUTE(トランスミッタミュート信号出力)、XRMUTE(レシーバミュート信号出力)、HDO(ホルドライン信号出力)端子、HFO(ハンドフリー信号出力)端子として使用することができます。この設定もソフトウェアで行います。("4.5 出力ポート"参照)

本ダイヤラは割り込み回路も内蔵しており、ダイヤル信号出力終了時、ポーズおよびフラッシュ機能の実行終了時はCPUに対して割り込みを発生させることができます。

4.14.2 マスクオプション

DP端子の出力仕様をマスクオプションで選択します。コンプリメンタリ出力またはNチャンネルオープンドレイン出力のいずれかに設定できます。

XTMUTE端子、XRMUTE端子、HDO端子、HFO端子としてR10端子、R11端子、R12端子、R13端子が使用されるため、これらの出力仕様も出力ポートのマスクオプションによりコンプリメンタリ出力またはNチャンネルオープンドレイン出力のいずれかに設定できます。

ただし、Nチャンネルオープンドレイン出力を選択した場合でも、出力端子に電源電圧を越える電圧の印加は禁止します。

また、DTS機能(トーン出力時間選択)もマスクオプションで選択します。DTSを使用するオプションを選択すると、DTSレジスタ(FF16H・D2)でトーン出力時間を47msecまたは94msecに設定することができます。DTSを使用しない場合、レジスタは常に"0"で、トーン出力時間も94msecに固定されます。

4.14.3 ダイアル処理手順

ここでは、ダイアル処理手順の概要を(1)設定、(2)実行、(3)割り込みの3段階に分けて説明します。動作および制御の詳細は各機能の項で説明します。

(1)設定

各機能には制御レジスタが設けられており、実行前に動作モード、動作条件などの設定をしておきます。表4.14.3.1に機能と対応する制御レジスタ、およびその初期設定内容を示します。

表4.14.3.1 制御レジスタと初期設定

機 能	制御レジスタ	初期設定
DTMF	TPS (FF10H・D3)	トーンモード
	SINC, SINR (FF16H)	デュアルトーン
	DTS (FF16H・D2)	トーン出力時間
DP	TPS (FF10H・D3)	トーンモード
	MB (FF10H・D1)	40 : 60
	DRS (FF10H・D0)	10pps
	IDP3~IDP0 (FF15H)	750ms
PAUSE	PTS3~PTS0 (FF11H)	4sec
FLASH	FTS3~FTS0 (FF12H)	563ms

各制御レジスタの詳細については"4.14.10 電話機能のI/Oメモリ"を参照してください。

動作モード

本ダイアラにはトーン出力を行うDTMFジェネレータおよびダイアルパルス出力を行うDPジェネレータが内蔵されています。このため、2種類の基本動作モード(トーンモード、パルスモード)が設定されており、ソフトウェア(TPSレジスタ)で切り換えられるようになっています。この設定はダイアル処理に先だって行っておく必要があります。イニシャルリセット時の初期設定はトーンモードです。

動作モードにより、以下の動作条件の設定も行います。

- トーンモード:**
- ・シングルトーン/デュアルトーン出力の選択
 - ・最小トーン出力時間の選択(マスクオプションでこの機能を選択した場合のみ)
- パルスモード:**
- ・メイク率の設定(40:60または33.3:66.6)
 - ・パルスレートの設定(10ppsまたは20pps)
 - ・インターデジットポーズの設定(94msec~1406msec、15種類から選択)

これらの詳細については後述します。

トーンモードはOSC3(3.58MHz)クロックを使用するため、ダイアル前にOSC3発振をON(OSCC="1")しておきます。CPUシステムクロックをOSC3に切り換える必要はありません。

ポーズ機能、フラッシュ機能を実行する場合にはその時間をあらかじめ設定しておきます。

ポーズ時間: 1~15sec(1sec単位、15種類から選択)

フラッシュ時間: 94msec~1406msec(15種類から選択)

また、出力ポートR10、R11、R12、R13をXTMUTE出力、XRMUTE出力、HDO出力、HFO出力として使用する場合は、あらかじめCTMO、CRMO、CHDO、CHFOレジスタ("1"書き込み)により出力ポートの機能を切り換えておきます。この切り換えは、図4.14.3.1(XTMUTE、XRMUTEの例)に示す手順で行ってください。CTMO、CRMO、CHDO、CHFOレジスタに"1"を書き込む前に、ハイインピーダンス制御レジスタ(R10HIZ、R11HIZ、R12HIZ、R13HIZ)を"0"、データレジスタ(R10、R11、R12、R13)を"1"に設定しておく必要があります。また、ミュート制御レジスタ(CTMUT、CRMUT)も"1"に設定しておく必要があります。

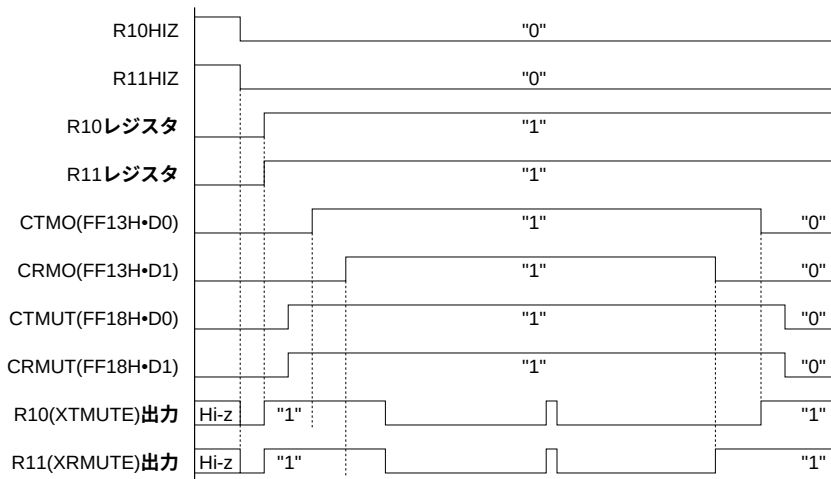


図4.14.3.1 出力端子の設定手順

(2) 実行

動作モードおよび動作条件の設定後、表4.14.3.2に示す制御レジスタへのデータ書き込みによりダイヤル動作を開始します。

表4.14.3.2 機能実行用の制御レジスタ

機 能	制御レジスタ	実行機能
DTMF	TCD3~TCD0 (FF17H)	ダイヤルトーン
	CTO (FF16H・D3)	連続トーン出力 On/Off
	HSON (FF18H・D3)	フックスイッチ On/Off
DP	TCD3~TCD0 (FF17H)	ダイヤルパルス
	HSON (FF18H・D3)	フックスイッチ On/Off
ポーズ	PAUSE (FF14H・D1)	ポーズ
フラッシュ	FLASH (FF14H・D0)	フラッシュ
ホールドライン	HOLD (FF14H・D2)	ホールドライン
ハンドフリー	HF (FF14H・D3)	ハンドフリー

各制御レジスタの詳細については"4.14.10 電話機能のI/Oメモリ"を参照してください。

フックスイッチ制御(HSON)、連続トーン出力(CTO)、ホールドライン(HOLD)およびハンドフリー(HF)は各レジスタにより機能、信号のON/OFFを制御します。レジスタに"1"が設定されている間、各信号がONとなります。これらの機能は割り込みを発生しませんので、ON時間等のタイミングはソフトウェアによって制御します。

HSONはフックスイッチのON/OFF(受話器を掛ける/外す)を指定するレジスタで、ダイヤル操作の前に"1"(オフフック)に設定する必要があります。実際の受話器操作は直接ダイヤル回路に入力されませんので、このレジスタによりオンフックダイヤルが可能です。フックスイッチは入力ポート(Kxx)に接続し、入力割り込み等を利用して受話器の状態を確認してください。

HSONをオフフックに設定後、TCDレジスタにダイヤルする番号(1桁分)に対応するデータを設定することにより(1)で設定した条件にしたがってダイヤルトーンまたはダイヤルパルスを出力します。この出力終了後、割り込みが発生しますので、それを利用して次の桁の番号を設定します。

ポーズ機能、フラッシュ機能はそれぞれPAUSE、FLASHビットにトリガ("1"書き込み)を与えることにより実行され、(1)で設定した時間経過後に割り込みを発生します。機能をOFFにする制御は必要ありません。

(3) 割り込み

ダイヤル、ポーズ、フラッシュ機能は動作終了時に割り込みを発生します。割り込み発生時は割り込み要因フラグID (FFF9H・D0)が"1"にセットされます。CPUに対する割り込みは割り込みマスクレジスタEID (FFE9H・D0)を"1"に設定してある場合に発生し、"0"の場合はマスクされます。なお、CPUに対する割り込みをマスクしている場合でも、割り込み要因フラグIDは上記動作終了時に"1"にセットされますので、IDのスキャンによっても動作終了を確認できます。IDは"1"を書き込むことによって"0"にリセットされます。割り込みが発生した場合は、次の割り込みに備えてIDをリセットしてください。

図4.14.3.2にダイヤルパルス送信時の制御例を示します。

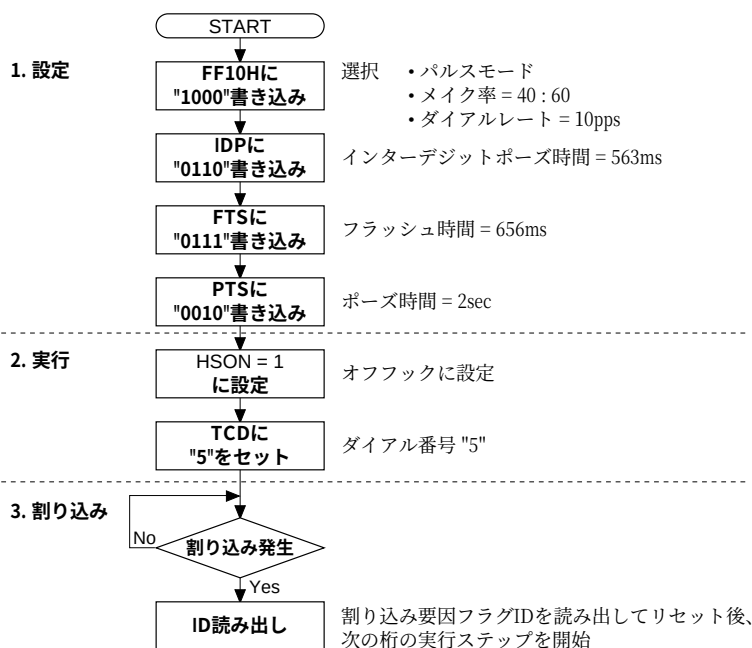


図4.14.3.2 ダイヤルパルス送信フロー

図の設定ステップでは、最初にアドレスFF10Hに"1000"を書き込み、動作モードをパルス(DP)モード、メイク率を40:60、ダイヤルレートを10ppsに設定します。

次にIDP(FF15H)、PTS(FF11H)、FTS(FF12H)にデータを書き込み、インターデジットポーズ時間、ポーズ時間、フラッシュ時間を設定します。IDP、PTS、FTSの初期設定値を使用する場合は、これらのデータ書き込みは必要ありません。

実行ステップではFF18H・D3へ"1"を書き込み(HSON="1")、オフフックに設定します。これにより、 $\overline{DP}$ 端子がHIGH(V_{DD})レベルとなり電話回線が開きます。

次にダイヤル番号"5"を示すデータ"0101"をTCD(FF17H)に書き込み、ダイヤル動作を開始させます。 $\overline{DP}$ 端子からは設定されている条件に従った5個のパルスが出力されます。同時に、XTMUTE信号、XRMUTE信号もアクティブとなります(あらかじめ、R10、R11端子をこれらの信号出力用に切り換えておく必要があります)。実際のアプリケーションではこのステップで受話器(フックスイッチ)の状態を取り込み、プッシュボタンの入力処理等を行います。

パルスの送信が終了すると割り込みが発生します。割り込み要因フラグIDをリセット("1"書き込み)後、次の桁の実行ステップを開始します。

4.14.4 トーンモード (DTMF)

トーンモードはプッシュボタン(PB)ダイヤル信号を出力するモードです。イニシャルリセット時はこのモードに設定されます。パルスモードからこのモードに変更する場合はTPSレジスタ(FF10H・D3)に"0"を書き込みます。

PB(トーン)信号は表4.14.4.1に示すとおり、ダイヤル番号を接点とする2つの周波数の組み合わせとして規定されています。

表4.14.4.1 PB周波数の組み合わせ

周波数(Hz)	COL1 1209	COL2 1336	COL3 1477	COL4 1633
ROW1 697	1	2	3	未使用
ROW2 770	4	5	6	未使用
ROW3 852	7	8	9	未使用
ROW4 941	*	0	#	未使用

各周波数とそれを組み合わせたトーン信号はDTMF(デュアルトーンマルチ周波数)ジェネレータが発生します。

図4.14.4.1にDTMFジェネレータのブロック図を示します。

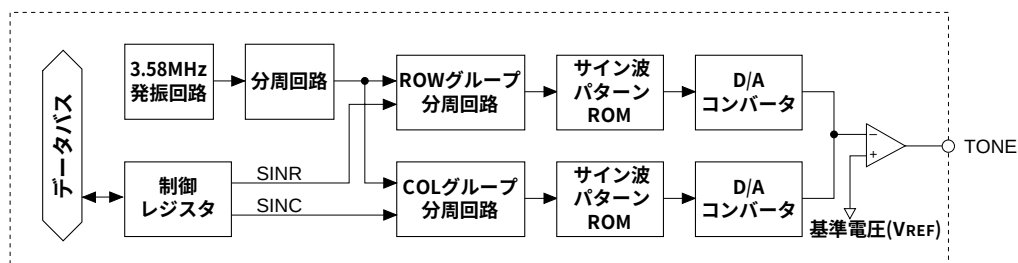


図4.14.4.1 DTMFジェネレータのブロック図

図4.14.4.1に示すとおり、DTMFジェネレータはOSC3(3.58MHz)クロックを分周して各周波数を生成しています。このため、トーン信号出力前にOSC3発振回路をONにする必要があります(CPUシステムクロックの切り換えは不要です)。

分周回路はROW(列)グループとCOL(桁)グループそれぞれに用意されています。ここで発生する実際の周波数を表4.14.4.2に示します。分周の関係上、表4.14.4.1に示した標準周波数に対して許容範囲内の誤差が発生します。

表4.14.4.2 トーン周波数

ROW/COL	トーン出力周波数(Hz)		誤差 (%) *
	標準周波数	実際の周波数	
ROW1	697	701.32	+0.62
ROW2	770	771.45	+0.19
ROW3	852	857.17	+0.61
ROW4	941	935.10	-0.63
COL1	1209	1215.88	+0.57
COL2	1336	1331.68	-0.32
COL3	1477	1471.85	-0.35
COL4	1633	1645.01	+0.74

* 誤差には発振周波数の特性変化は含まれません。

ROWグループ、COLグループの分周回路は個別に動作可能で、ソフトウェアによって動作させる回路を選択できます。一方の回路のみを動作させることにより、シングルトーン出力も可能です。この制御は表4.14.4.3に示すとおりSINRレジスタ(FF16H・D1)、SINCレジスタ(FF16H・D0)によって行います。

表4.14.4.3 トーン出力の選択

制御レジスタ		トーン出力
SINR	SINC	
0	0	DCレベル: 1/2 ($V_{DD} \sim V_{SS}$)
0	1	COL周波数
1	0	ROW周波数
1	1	デュアルトーン出力

イニシャルリセット時はデュアルトーン出力に設定されます。

分周された周波数はサイン波ROMとD/Aコンバータによってトーン信号に変換され、TONE端子から出力されるようになっています。

以下にトーン信号出力前に設定しておく内容をまとめておきます。

1. トーンモードに設定(TSP="0") ...動作モードが初期状態から変更されていない場合は不要
2. トーン出力(シングルトーン/デュアルトーン)の選択(SINR、SINC)
3. OSC3発振回路をON(OSCC="1")(注)

注: OSC3発振回路がONしてから発振が安定するまでに、5msec以上を必要とします。したがって、ダイヤル操作は、OSC3発振ONの後、5msec以上経過してから行ってください。発振安定時間は外付け発振子の特性および使用条件等により異なりますので、十分マージンを取って待ち時間を設定してください。また、OSC3発振回路動作時は消費電流が大きくなりますので、ダイヤル時以外のDTMFジェネレータを使用しない場合、あるいはCPUの高速処理が不要な場合はOSC3発振回路をOFFにしてください。

次に、トーン信号出力方法と動作を説明します。

はじめにHSONレジスタ(FF18H・D3)に"1"を書き込み、オフフック(受話器を外した)状態に設定します。これにより、DP端子がHIGH(V_{DD})レベルとなります。

次に、発信するプッシュボタン(ROW/COL)のデータをTCD3～TCD0レジスタ(FF17H)に書き込みます。書き込みデータと選択されるトーン周波数(ROW/COL)は表4.14.4.4のとおりです。

表4.14.4.4 トーン周波数の選択

TCDコード				トーン周波数	キー シンボル
D3	D2	D1	D0		
0	0	0	0	(ROW1, COL4)	"A"
0	0	0	1	(ROW1, COL1)	"1"
0	0	1	0	(ROW1, COL2)	"2"
0	0	1	1	(ROW1, COL3)	"3"
0	1	0	0	(ROW2, COL1)	"4"
0	1	0	1	(ROW2, COL2)	"5"
0	1	1	0	(ROW2, COL3)	"6"
0	1	1	1	(ROW3, COL1)	"7"

TCDコード				トーン周波数	キー シンボル
D3	D2	D1	D0		
1	0	0	0	(ROW3, COL2)	"8"
1	0	0	1	(ROW3, COL3)	"9"
1	0	1	0	(ROW4, COL2)	"0"
1	0	1	1	(ROW4, COL3)	"#"
1	1	0	0	(ROW4, COL1)	"*"
1	1	0	1	(ROW2, COL4)	"B"
1	1	1	0	(ROW4, COL4)	"D"
1	1	1	1	(ROW3, COL4)	"C"

このレジスタへのデータ書き込みがトリガとなり、トーン出力を開始します。シングルトーン出力を選択している場合は、書き込みデータに対応するROWまたはCOLどちらか一方の周波数のみがトーン信号として出力されます。デュアルトーン出力を選択している場合は書き込みデータに対応するROW、COLの2つの周波数が合成されて出力されます。

図4.14.4.2にトーン出力のタイミングチャートを示します。

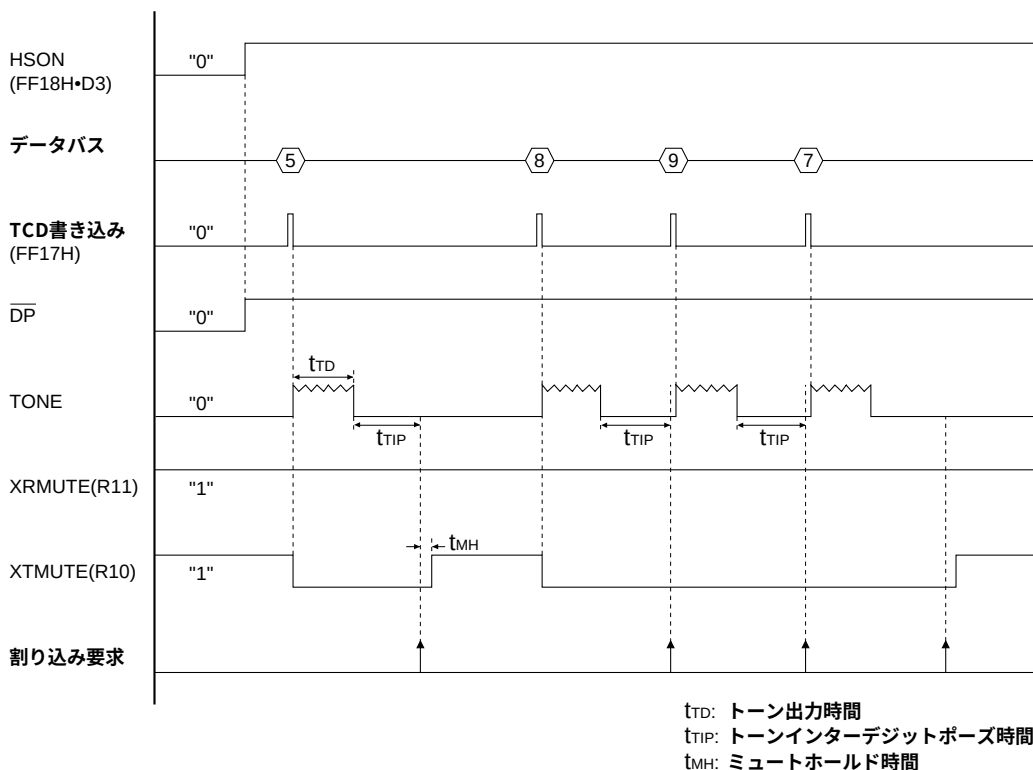


図4.14.4.2 トーン出力のタイミングチャート

TCDレジスタへのデータ書き込みにより指定のトーン信号がTONE端子から出力されます。同時に、XTMUTE(R10)端子がLOWレベルとなります。

最小トーン出力時間(t_{TD})は、マスクオプションでDTS機能を選択している場合は94msecまたは47msecに設定できます。この時間はCTOレジスタ(FF16H・D3)を使用して延長することも可能です。TCDレジスタにデータを書き込む前にCTOレジスタに"1"を書き込んでおくと、CTOレジスタに"0"を書き込むまでトーン出力を延長します。

トーン信号の出力が終わると、TONE端子がLOWレベルに戻り、94msecのインターデジットポーズがとられます。

割り込みはインターデジットポーズ時間が経過したところで発生します。この時点から次のトーンの発信が可能となります。

トーン出力開始と同時にLOWレベルになったXTMUTE(R10)端子は、インターデジットポーズの終了から4msecのミュートホールド時間(t_{MH})が経過するまでLOWレベルを保持します。この間に次のトーン出力が開始されない場合、XTMUTE(R10)端子はHIGHレベルに戻ります。ミュートホールド時間の間に次のトーン出力を開始した場合は、XTMUTE(R10)端子はLOWレベルを保持します。

なお、上記のミュート機能(XTMUTE、XRMUTEの制御)を使用する場合はCTMUTレジスタ(FF18H・D0)、CRMUTレジスタ(FF18H・D1)が"1"に設定されている必要があります。

トーンモードでのダイヤル発信手順を以下にまとめます。

1. HSONレジスタに"1"書き込み
2. CTOレジスタに"1"書き込み(注)
3. TCDレジスタに発信データを書き込み ...トーン出力を開始
4. トーン出力時間をカウント後、CTOレジスタに"0"書き込み(注)
5. 割り込み発生後、割り込み要因フラグをリセット("1"書き込み)
6. ダイヤル桁数分2～5を繰り返す
:
通信
:
7. 通信終了後、HSONレジスタに"0"書き込み

注: 2と4に示したCTOレジスタの設定はトーン出力時間を94msec以上にする場合に行います。94msec出力の場合は不要です。

4.14.5 パルスモード (DP)

パルスモードはダイヤルパルス信号を出力するモードです。ダイヤル番号をソフトウェアで設定することにより、DPジェネレータがパルス列を生成し、 $\overline{\text{DP}}$ 端子から出力します。

イニシャルリセット時、動作モードはトーンモードに設定されますので、ダイヤルパルス出力を行う場合はTPSレジスタ(FF10H・D3)に"1"を書き込んでパルスモードに設定します。

図4.14.5.1にDPジェネレータのブロック図を示します。

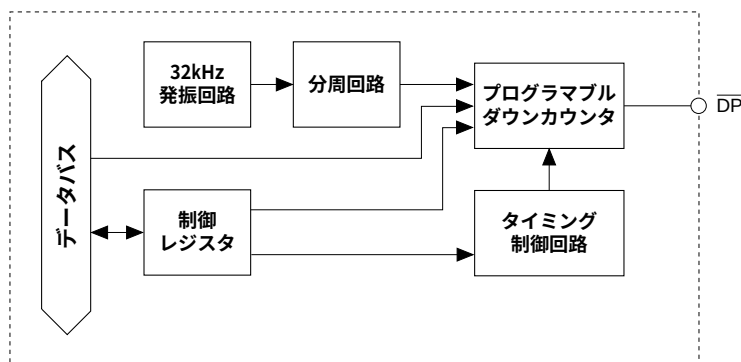


図4.14.5.1 DPジェネレータのブロック図

DPジェネレータはパルス生成にOSC1(32kHz)クロックを使用します。このため、トーンモードのようなOSC3発振回路の制御は必要ありません。

ダイヤルパルス出力においては、ダイヤル番号(1～9)がそのままパルス数となります("0"は10個のパルス)。DPジェネレータにはプログラマブルダウンカウンタが内蔵されており、そこにセットされたダイヤル番号を"0"になるまでダウンカウントして必要なパルス列を生成します。

パルス仕様もソフトウェアで設定できるようになっており、設定した内容にしたがってタイミング制御回路がダウンカウンタを制御します。

ソフトウェアで設定する内容は、パルスレート、メイク率、インターデジットポーズ時間です。

パルスレートは1秒間に出力するパルス数(pps)で、DRSレジスタ(FF10H・D0)によって10pps(DRS="0")または20pps(DRS="1")が選択できます。イニシャルリセットによる初期設定は10pps(DRS="0")です。

メイク率(M/B)はパルスのメイク時間(HIGH)とブレイク時間(LOW)の比率(M:B)で、MBレジスタ(FF10H・D1)によって40:60(MB="0")または33.3:66.6(MB="1")が選択できます。イニシャルリセットによる初期設定は40:60(MB="0")です。

インターデジットポーズ時間はダイヤル番号(パルス列)間のポーズ時間で、パルスモードでは94msec～1,406msec、15種類の中から選択できるようになっています。選択は表4.14.5.1に示すとおり、IDP3～IDP0レジスタ(FF15H)で行います。

表4.14.5.1 インターデジットポーズ時間の選択

IDP				インターデジット ポーズ時間 (msec)	IDP				インターデジット ポーズ時間 (msec)
D3	D2	D1	D0		D3	D2	D1	D0	
0	0	0	0	使用禁止 *	1	0	0	0	750
0	0	0	1	94	1	0	0	1	844
0	0	1	0	188	1	0	1	0	938
0	0	1	1	281	1	0	1	1	1031
0	1	0	0	375	1	1	0	0	1125
0	1	0	1	469	1	1	0	1	1219
0	1	1	0	563	1	1	1	0	1313
0	1	1	1	656	1	1	1	1	1406

* IDPレジスタへの0(0000B)書き込みは誤動作の原因になりますので禁止します。

イニシャルリセットによる初期設定は750msec(IDP="1000B")です。

以下にダイヤルパルス出力前に設定しておく内容をまとめておきます。

1. パルスモードに設定(TPS="1")
2. パルスレート(10ppsまたは20pps)の選択(DRS)
3. メイク率(40:60または33.3:66.6)の選択(MB)
4. インターデジットポーズ時間(94msec～1,406msec)の選択(IDP)

次に、ダイヤルパルス出力方法と動作を説明します。

はじめにHSONレジスタ(FF18H・D3)に"1"を書き込み、オフフック(受話器を外した)状態に設定します。これにより、DP端子がHIGH(V_{DD})レベルとなります。

次に、発信するダイヤル番号(1～9、0)のデータをTCD3～TCD0レジスタ(FF17H)に書き込みます。書き込みデータとパルス数の対応は表4.14.5.2のとおりです。

表4.14.5.2 パルス数の選択

TCDコード				パルス数	TCDコード				パルス数
D3	D2	D1	D0		D3	D2	D1	D0	
0	0	0	0	使用禁止 *	1	0	0	0	8
0	0	0	1	1	1	0	0	1	9
0	0	1	0	2	1	0	1	0	10
0	0	1	1	3	1	0	1	1	11
0	1	0	0	4	1	1	0	0	12
0	1	0	1	5	1	1	0	1	13
0	1	1	0	6	1	1	1	0	14
0	1	1	1	7	1	1	1	1	15

* TCDレジスタへの0(0000B)書き込みは誤動作の原因になりますので禁止します。

ダイヤル番号"1"～"9"については、番号がそのままパルス数となります。ダイヤル番号"0"は10個のパルス列となりますのでTCDレジスタには10(1010B)を書き込みます。

このレジスタへのデータ書き込みがトリガとなり、パルス出力を開始します。

図4.14.5.2にパルス出力のタイミングチャートを示します。

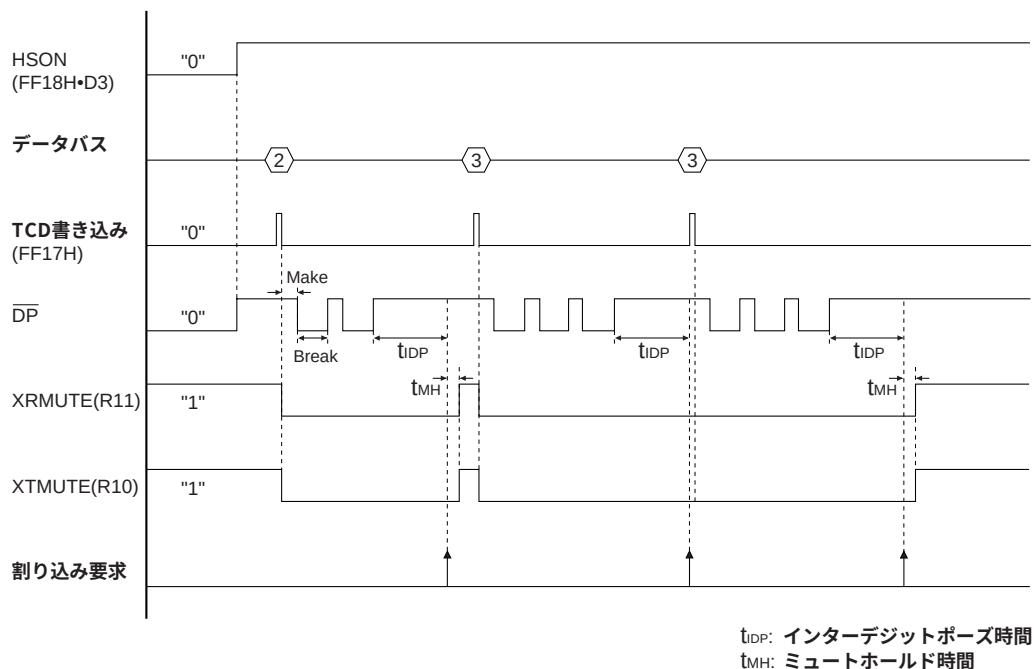


図4.14.5.2 パルス出力のタイミングチャート

TCDレジスタへのデータ書き込みにより指定のパルス列が $\overline{DP}$ 端子から出力されます。同時に、XRMUTE (R11)端子およびXTMUTE (R10)端子がLOWレベルとなります。

パルス列の出力が終わると $\overline{DP}$ 端子がHIGHレベルとなり、設定されているインターデジットポーズがとられます。

割り込みはインターデジットポーズ時間が経過したところで発生します。この時点から次のダイヤル発信が可能となります。

パルス出力開始と同時にLOWレベルになったXRMUTE (R11)端子およびXTMUTE (R10)端子は、インターデジットポーズの終了から4msecのミュートホールド時間(t_{MH})が経過するまでLOWレベルを保持します。この間に次のパルス出力が開始されない場合、XRMUTE (R11)端子およびXTMUTE (R10)端子はHIGHレベルに戻ります。ミュートホールド時間の間に次のパルス出力を開始した場合は、XRMUTE (R11)端子およびXTMUTE (R10)端子はLOWレベルを保持します。

なお、上記のミュート機能(XTMUTE、XRMUTEの制御)を使用する場合はCTMUTレジスタ(FF18H・D0)、CRMUTレジスタ(FF18H・D1)が"1"に設定されている必要があります。

パルスモードでのダイヤル発信手順を以下にまとめます。

1. HSONレジスタに"1"書き込み
2. TCDレジスタに発信データを書き込み ...パルス出力を開始
3. 割り込み発生後、割り込み要因フラグをリセット("1"書き込み)
4. ダイヤル桁数分2～3を繰り返す
- :
- 通信
- :
5. 通信終了後、HSONレジスタに"0"書き込み

4.14.6 ポーズ

本ダイアラはトーン信号間、パルス列間に1～15秒のポーズ時間を挿入することができます。
挿入するポーズ時間はダイヤル信号出力前にPTS3～PTS0レジスタ(FF11H)に設定しておきます。設定可能な時間は表4.14.6.1のとおりです。

表4.14.6.1 ポーズ時間の選択

PTS				ポーズ時間 (sec)	PTS				ポーズ時間 (sec)
D3	D2	D1	D0		D3	D2	D1	D0	
0	0	0	0	使用禁止 *	1	0	0	0	8
0	0	0	1	1	1	0	0	1	9
0	0	1	0	2	1	0	1	0	10
0	0	1	1	3	1	0	1	1	11
0	1	0	0	4	1	1	0	0	12
0	1	0	1	5	1	1	0	1	13
0	1	1	0	6	1	1	1	0	14
0	1	1	1	7	1	1	1	1	15

* PTSレジスタへの0(0000B)書き込みは誤動作の原因になりますので禁止します。

イニシャルリセットによる初期設定は4秒です。

PTSレジスタへのデータ書き込みは、事前にポーズ時間を設定しておくためのもので、ポーズの実行はPAUSEビット(FF14H・D1)を"1"に設定した時点で開始します。

図4.14.6.1にポーズ機能実行時のタイミングチャートを示します。

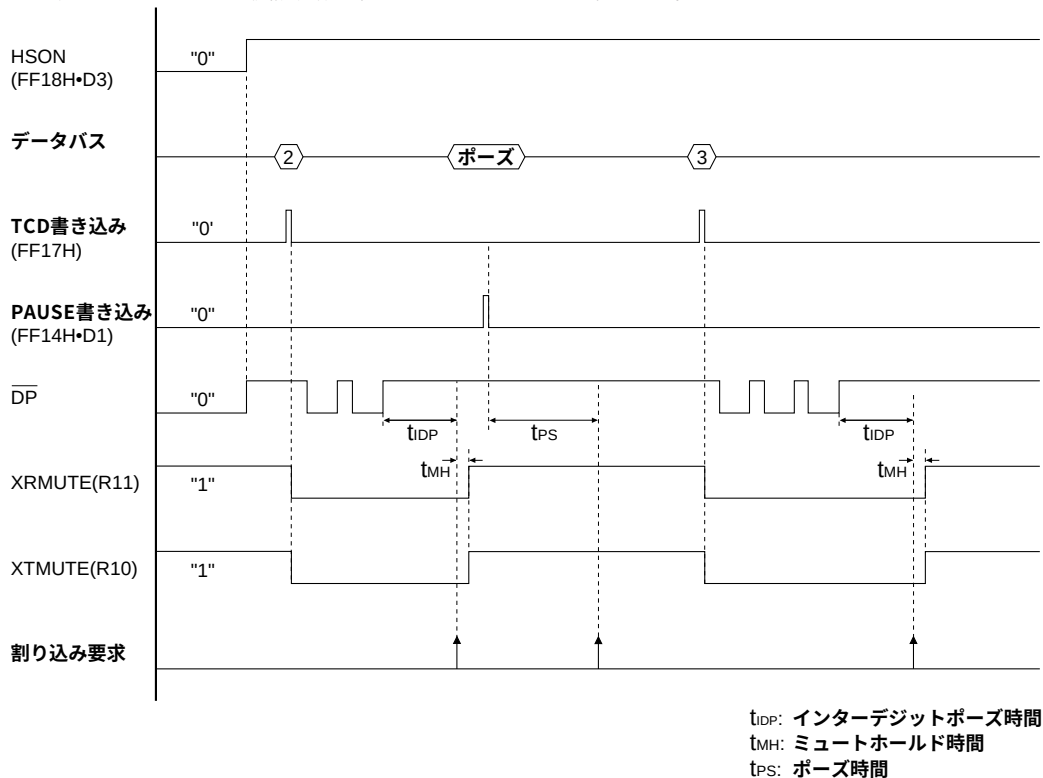


図4.14.6.1(a) ポーズ実行タイミングチャート(パルスモード)

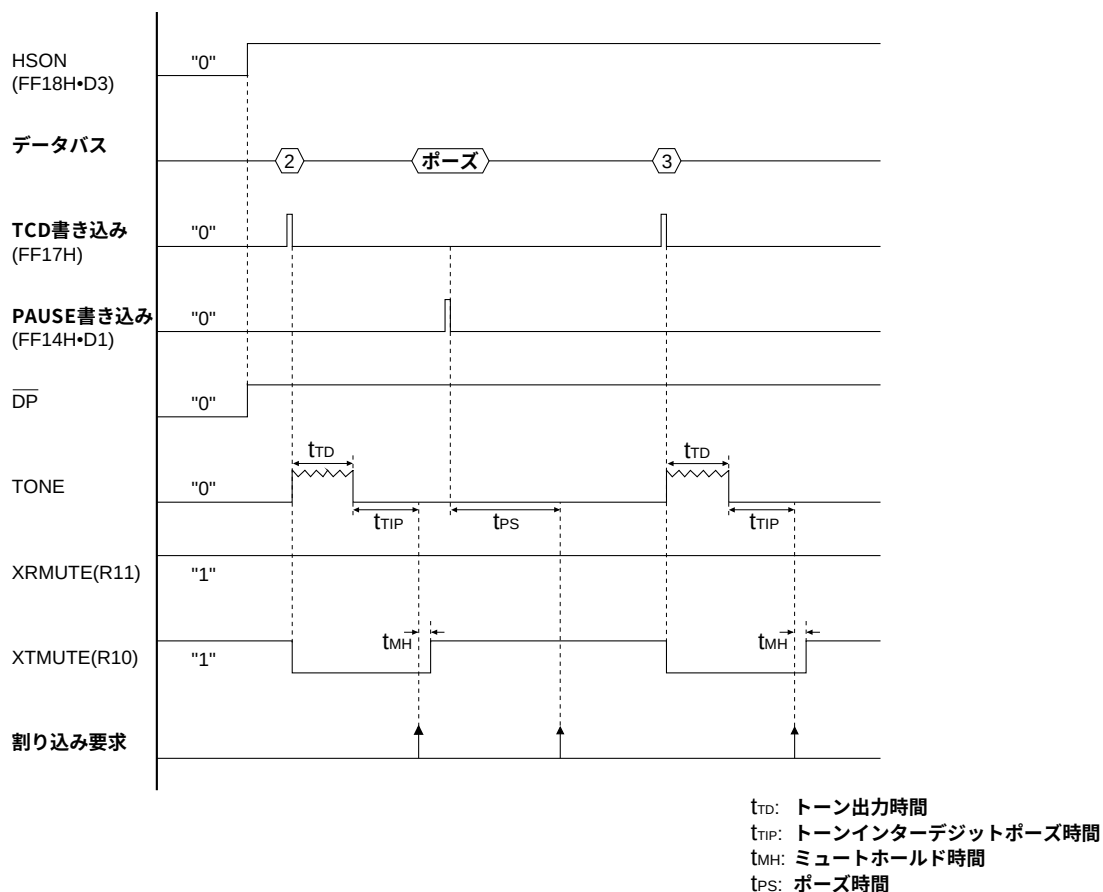


図4.14.6.1(b) ポーズ実行タイミングチャート(トーンモード)

PAUSEビットは書き込み専用で、ポーズ挿入のトリガとなります。このビットに"1"を書き込んだ時点からPTSレジスタで設定したポーズ時間経過後に割り込みが発生します。割り込みの発生によってPAUSEビットは自動的に"0"にリセットされますので、ポーズ実行開始時以外の制御は必要ありません。

ポーズ終了時もダイアル信号送信終了時と同系統の割り込みが発生しますので、割り込み要因フラグIDはポーズ実行前に必ずリセット("1"書き込み)しておいてください。

4.14.7 フラッシュ

フラッシュは $\overline{DP}$ 端子を指定の時間LOWレベルにして一時的にオンフック状態にする機能です。フラッシュ時間はFTS3～FTS0レジスタ(FF12H)で設定しておきます。設定可能な時間は表4.14.7.1のとおりです。

表4.14.7.1 フラッシュ時間の選択

FTS				フラッシュ時間 (msec)	FTS				フラッシュ時間 (msec)
D3	D2	D1	D0		D3	D2	D1	D0	
0	0	0	0	使用禁止 *	1	0	0	0	750
0	0	0	1	94	1	0	0	1	844
0	0	1	0	188	1	0	1	0	938
0	0	1	1	281	1	0	1	1	1031
0	1	0	0	375	1	1	0	0	1125
0	1	0	1	469	1	1	0	1	1219
0	1	1	0	563	1	1	1	0	1313
0	1	1	1	656	1	1	1	1	1406

* FTSレジスタへの0(0000B)書き込みは誤動作の原因になりますので禁止します。

イニシャルリセットによる初期設定は563msecです。

FTSレジスタへのデータ書き込みは、事前にフラッシュ時間を設定しておくためのもので、フラッシュの実行はFLASHビット(FF14H・D0)を"1"に設定した時点で開始します。

図4.14.7.1にフラッシュ機能実行時のタイミングチャートを示します。

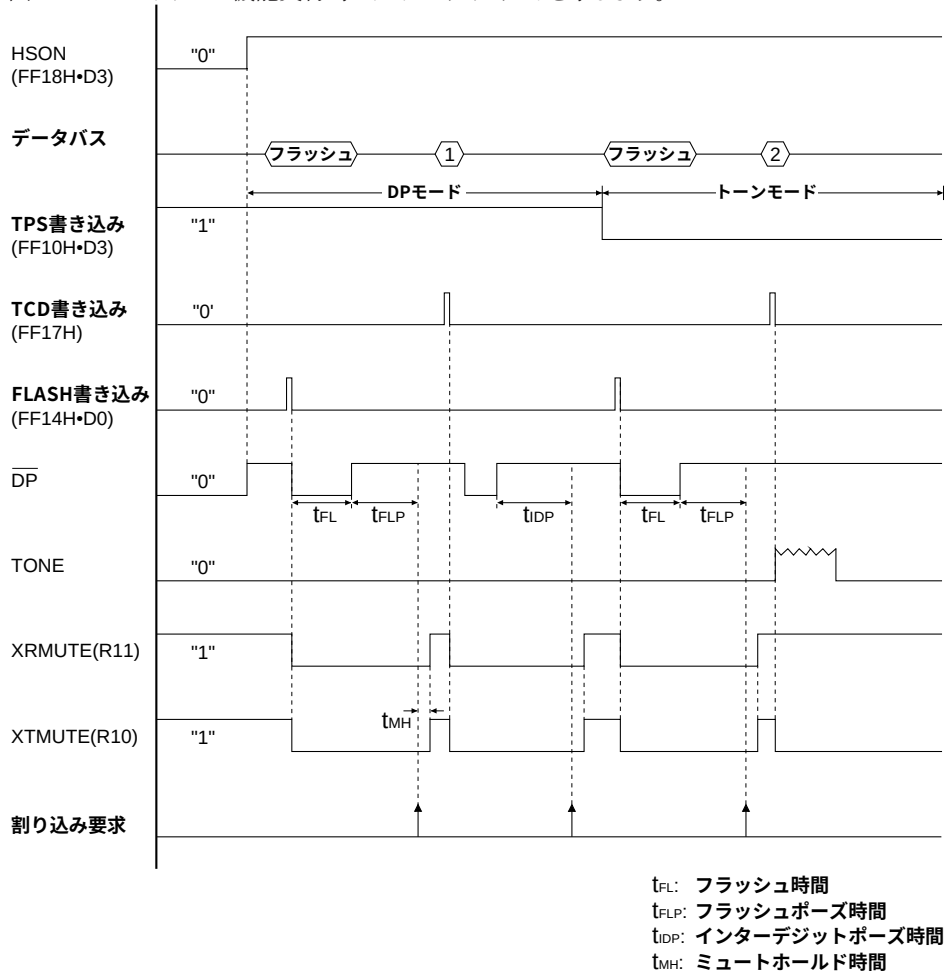


図4.14.7.1 フラッシュ実行タイミングチャート

FLASHビットは書き込み専用で、フラッシュ挿入のトリガとなります。このビットに"1"を書き込んだ時点からFTSレジスタで設定した時間が経過するまで $\overline{DP}$ 端子がLOWレベルになります。その後 $\overline{DP}$ 端子はHIGHレベルに戻り、938msecのフラッシュポーズ時間経過後に割り込みが発生します。割り込みの発生によってFLASHビットは自動的に"0"にリセットされますので、フラッシュ実行開始時以外の制御は必要ありません。

フラッシュ終了時もダイアル信号送信終了時と同系統の割り込みが発生しますので、割り込み要因フラグIDはフラッシュ実行前に必ず読み出してリセットしておいてください。

4.14.8 ホールドライン

ホールドラインは開いている回線をそのままに、XTMUTE信号をアクティブにする機能です。この機能のON/OFFはHOLDレジスタによって制御します。HOLDレジスタに"1"を書き込むことによりホールド状態となり、XTMUTE信号がLOWレベルになります。その後HOLDレジスタに"0"を書き込むとXTMUTE信号がHIGHレベルに戻ります。

また、ホールド状態を示すHDO信号をR12端子から出力する機能もあります。HDO信号を使用する場合は、CHDOレジスタ(FF13H・D2)に"1"を書き込みR12ポートをHDO出力に設定します。この設定後、R12端子からはHOLDレジスタの内容が出力されるようになります。

HDO出力を設定した場合は出力ポートデータレジスタR12は"1"に、ハイインピーダンス制御レジスタR12HIZは"0"に固定してください。R12レジスタに"0"を書き込むとHDO信号もLOWレベルになってしまいます。

図4.14.8.1にホールドライン機能実行時のタイミングチャートを示します。

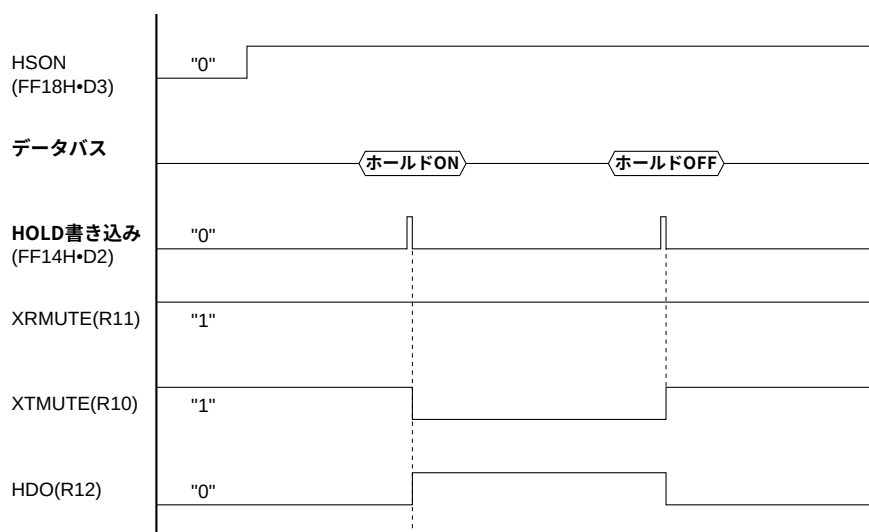


図4.14.8.1 ホールドライン実行タイミングチャート

4.14.9 割り込み

本ダイアラには3種類の割り込みを発生する機能があります。

(1)ダイアル信号出力終了時

a. トーンモード

トーンモードではトーン信号出力(最低94msec、CTOレジスタにより延長可能)後、94msecのインターデジットポーズ時間経過後に割り込みが発生します。
タイミングチャートは図4.14.4.2を参照してください。

b. パルスモード

パルスモードではダイアルパルス列出力後、IDPレジスタで設定したインターデジットポーズ時間経過後に割り込みが発生します。
タイミングチャートは図4.14.5.2を参照してください。

(2)ポーズ実行終了時

ポーズ機能実行時は、PAUSEビットに"1"書き込んだ時点からPTSレジスタで設定したポーズ時間(1~15秒)経過後に割り込みが発生します。
タイミングチャートは図4.14.6.1を参照してください。

(3)フラッシュ実行終了時

フラッシュ機能実行時は、FLASHビットに"1"書き込んだ時点からFTSレジスタで設定したフラッシュ時間(94~1,406msec)が経過し、さらに938msecのフラッシュポーズ時間経過後に割り込みが発生します。
タイミングチャートは図4.14.7.1を参照してください。

割り込み発生時は割り込み要因フラグID(FFF9H・D0)が"1"にセットされます。CPUに対する割り込みは割り込みマスクレジスタEID(FFE9H・D0)を"1"に設定してある場合に発生し、"0"の場合はマスクされます。なお、CPUに対する割り込みをマスクしている場合でも、割り込み要因フラグIDは上記動作終了時に"1"にセットされますので、IDのスキャンによっても動作終了を確認できます。IDは"1"の書き込みによって"0"にリセットされます。割り込みが発生した場合は、次の割り込みに備えてIDをリセットしてください。

4.14.10 電話機能のI/Oメモリ

表4.14.10.1に電話機能の制御ビットとそのアドレスを示します。

表4.14.10.1 電話機能の制御ビット

アドレス	レジスタ				Name				注 釈	
	D3	D2	D1	D0	Init *1	1	0			
FF00H	CLKCHG	OSCC	0	Dummy	CLKCHG	0	OSC3	OSC1	CPUクロック切り換え	
					OSCC	0	On	Off	OSC3発振On/Off	
					0 *3	- *2			未使用	
	R/W		R	R/W	Dummy	0			汎用レジスタ	
FF10H	TPS	0	MB	DRS	TPS	0	Pulse	Tone	トーン/パルスモード選択	
					0 *3	- *2			未使用	
	R/W	R		R/W	MB	0	33.3:66.6	40:60	メイク率選択	
					DRS	0	20pps	10pps	パルスレート選択	
FF11H	PTS3	PTS2	PTS1	PTS0	PTS3	0			ボーズ時間選択 (初期値: 4sec) [PTS3~0] 0 1 2 3 4 5 6 7 時間(sec) × 1 2 3 4 5 6 7 [PTS3~0] 8 9 10 11 12 13 14 15 時間(sec) 8 9 10 11 12 13 14 15	
					PTS2	1				
					PTS1	0				
					PTS0	0				
FF12H	FTS3	FTS2	FTS1	FTS0	FTS3	0			フラッシュ時間選択 (初期値: 563ms) [FTS3~0] 0 1 2 3 4 5 6 7 時間(ms) × 94 188 281 375 469 563 656 [FTS3~0] 8 9 10 11 12 13 14 15 時間(ms) 750 844 938 1031 1125 1219 1313 1406	
					FTS2	1				
					FTS1	1				
					FTS0	0				
FF13H	CHFO	CHDO	CRMO	CTMO	CHFO	0	HFO	DC	R13出力選択(R13レジスタを"1"に固定)	
					CHDO	0	HDO	DC	R12出力選択(R12レジスタを"1"に固定)	
					CRMO	0	XRMUTE	DC	R11出力選択(R11レジスタを"1"に固定)	
					CTMO	0	XTMUTE	DC	R10出力選択(R10レジスタを"1"に固定)	
FF14H	HF	HOLD	PAUSE	FLASH	HF	0	Yes	No	ハンドフリー	
					HOLD	0	On	Off	ホールドライン機能	
					PAUSE*3	0	Yes	No	ボーズ機能	
					FLASH*3	0	Yes	No	フラッシュ機能	
FF15H	IDP3	IDP2	IDP1	IDP0	IDP3	1			インターデジットボーズ時間選択 (初期値: 750ms) [IDP3~0] 0 1 2 3 4 5 6 7 時間(ms) × 94 188 281 375 469 563 656 [IDP3~0] 8 9 10 11 12 13 14 15 時間(ms) 750 844 938 1031 1125 1219 1313 1406	
					IDP2	0				
					IDP1	0				
					IDP0	0				
FF16H	CTO	DTS	SINR	SINC	CTO	0	On	Off	連続トーン出力On/Off	
					DTS	0	47msec	94msec	トーン出力時間選択(マスクオプション)	
					SINR	1	Enable	Disable	DTMF ROW周波数出力イネーブル	
					SINC	1	Enable	Disable	DTMF COL周波数出力イネーブル	
FF17H	TCD3	TCD2	TCD1	TCD0	TCD3	0			ダイヤル番号選択 [TCD3~0] 0 1 2 3 4 5 6 7 DTMF (R1C4)(R1C1)(R1C2)(R1C3)(R2C2)(R2C3)(R3C1) DP × 1 2 3 4 5 6 7 [TCD3~0] 8 9 10 11 12 13 14 15 DTMF (R3C2)(R3C3)(R4C2)(R4C1)(R2C4)(R4C4)(R3C4) DP 8 9 10 11 12 13 14 15	
					TCD2	0				
					TCD1	0				
					TCD0	0				
FF18H	HSO	0	CRMUT	CTMUT	HSO	0	Off	On	フックスイッチOn/Off	
					0 *3	- *2			未使用	
	R/W	R		R/W	CRMUT	1	Mute	0	レシーバミュート制御	
					CTMUT	1	Mute	0	トランスミッタミュート制御	
FF32H	R13HIZ	R12HIZ	R11HIZ	R10HIZ	R13HIZ	0	Hi-Z	Output	R13 Hi-z制御(CHFO=0), HFO出力Hi-z制御(CHFO=1)	
					R12HIZ	0	Hi-Z	Output	R12 Hi-z制御(CHDO=0), HDO出力Hi-z制御(CHDO=1)	
					R11HIZ	0	Hi-Z	Output	R11 Hi-z制御(CRMO=0), XRMUTE出力Hi-z制御(CRMO=1)	
					R10HIZ	0	Hi-Z	Output	R10 Hi-z制御(CTMO=0), XTMUTE出力Hi-z制御(CTMO=1)	
FF33H	R13 (HFO)	R12 (HDO)	R11 (XRMUTE)	R10 (XTMUTE)	R13	1	High	Low	R13出力ポートデータ(CHFO=0) HFO出力時は1に固定	
					R12	1	High	Low	R12出力ポートデータ(CHDO=0) HDO出力時は1に固定	
					R11	1	High	Low	R11出力ポートデータ(CRMO=0) XRMUTE出力時は1に固定	
					R10	1	High	Low	R10出力ポートデータ(CTMO=0) XTMUTE出力時は1に固定	
FFE9H	0	0	0	EID	0 *3	- *2			未使用	
					0 *3	- *2			未使用	
					0 *3	- *2			未使用	
	R			R/W	EID	0	Enable	Mask	割り込みマスクレジスタ(ダイヤル)	
FFF9H	0	0	0	ID	0 *3	- *2	(R)	(R)	未使用	
					0 *3	- *2	Yes	No	未使用	
					0 *3	- *2	(W)	(W)	未使用	
	R			R/W	ID	0	Reset	Invalid	割り込み要因フラグ(ダイヤル)	

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*2 回路上設定されない

● R10HIZ～R13HIZ: R1ポートハイインピーダンス制御レジスタ (FF32H)

出力ポートのハイインピーダンス制御を行います。

"1"書き込み: ハイインピーダンス
 "0"書き込み: データ出力
 読み出し: 可能

XTMUTE出力、XRMUTE出力、HDO出力、HFO出力を行う場合は、このレジスタを"0"に固定してください。R10HIZ、R11HIZ、R12HIZ、R13HIZはそれぞれXTMUTE出力、XRMUTE出力、HDO出力、HFO出力に対応します。

イニシャルリセット時、このレジスタは"0"に設定されます。

● R10～R13: R1出力ポートデータレジスタ (FF33H)

各出力ポートの出力データを設定します。

"1"書き込み: 特殊出力可能
 "0"書き込み: 設定禁止 (LOWレベル出力)
 読み出し: 可能

XTMUTE出力、XRMUTE出力、HDO出力、HFO出力を行う場合は、このレジスタを"1"に固定してください。R10、R11、R12、R13はそれぞれXTMUTE出力、XRMUTE出力、HDO出力、HFO出力に対応します。イニシャルリセット時、このレジスタは"1"に設定されます。

● CTMO: R10出力選択レジスタ (FF13H・D0)

R10端子の機能を選択します。

"1"書き込み: XTMUTE出力
 "0"書き込み: 汎用DC出力
 読み出し: 可能

R10端子をXTMUTE出力に使用する場合、R10レジスタを"1"、R10HIZレジスタを"0"に固定し、さらにこのレジスタに"1"を書き込みます。XTMUTE出力の制御はCTMUTレジスタ(FF18H・D0)で行います。

イニシャルリセット時、このレジスタは"0"に設定されます。

● CRMO: R11出力選択レジスタ (FF13H・D1)

R11端子の機能を選択します。

"1"書き込み: XRMUTE出力
 "0"書き込み: 汎用DC出力
 読み出し: 可能

R11端子をXRMUTE出力に使用する場合、R11レジスタを"1"、R11HIZレジスタを"0"に固定し、さらにこのレジスタに"1"を書き込みます。XRMUTE出力の制御はCRMUTレジスタ(FF18H・D1)で行います。

イニシャルリセット時、このレジスタは"0"に設定されます。

● CHDO: R12出力選択レジスタ (FF13H・D2)

R12端子の機能を選択します。

"1"書き込み: HDO出力
 "0"書き込み: 汎用DC出力
 読み出し: 可能

R12端子をHDO出力に使用する場合、R12レジスタを"1"、R12HIZレジスタを"0"に固定し、さらにこのレジスタに"1"を書き込みます。HDO出力の制御はHOLDレジスタ(FF14H・D2)で行います。

イニシャルリセット時、このレジスタは"0"に設定されます。

● CHFO: R13出力選択レジスタ (FF13H・D3)

R13端子の機能を選択します。

"1"書き込み: HFO出力
"0"書き込み: 汎用DC出力
読み出し: 可能

R13端子をHFO出力に使用する場合、R13レジスタを"1"、R13HIZレジスタを"0"に固定し、さらにこのレジスタに"1"を書き込みます。HFO出力の制御はHFレジスタ(FF14H・D3)で行います。

イニシャルリセット時、このレジスタは"0"に設定されます。

● OSCC: OSC3発振制御(FF00H・D2)

OSC3発振回路の発振ON、OFFを制御します。

"1"書き込み: OSC3発振ON
"0"書き込み: OSC3発振OFF
読み出し: 可能

DTMFジェネレータを起動する場合、CPUを高速に動作させる必要のある場合にOSCCを"1"とし、それ以外の場合は、消費電流低減のため"0"としてください。

イニシャルリセット時、このレジスタは"0"に設定されます。

● TPS: トーン/パルスモード選択(FF10H・D3)

ダイヤルモードを選択します。

"1"書き込み: パルスモード
"0"書き込み: トーンモード
読み出し: 可能

TPSレジスタに"1"を書き込むことにより、ダイヤルパルスを出力するパルスモードに設定されます。"0"を書き込んだ場合は、トーン信号を出力するトーンモードに設定されます。

イニシャルリセット時、このレジスタは"0"に設定されます。

● MB: メイク率選択(FF10H・D1)

パルスモード時のメイク率を選択します。

"1"書き込み: 33.3 : 66.6
"0"書き込み: 40.0 : 60.0
読み出し: 可能

DPジェネレータが発生するダイヤルパルスのメイク率(メイク:ブレークの比率)を設定します。MBレジスタに"1"を書き込むことにより33.3 : 66.6に、"0"を書き込んだ場合は40.0 : 60.0に設定されます。ダイヤルパルスはメイク期間(パルスのHIGH期間)、ブレーク期間(パルスのLOW期間)の順に発生されます。

この選択はパルスモード時のみ有効です。

イニシャルリセット時、このレジスタは"0"に設定されます。

● DRS: パルスレート選択(FF10H・D0)

パルスモード時のパルスレートを選択します。

"1"書き込み: 20pps
"0"書き込み: 10pps (pps = pulse per second)
読み出し: 可能

DPジェネレータが発生するダイヤルパルスのパルスレート(1秒あたりのパルス数)を設定します。DRSレジスタに"1"を書き込むことにより20ppsに、"0"を書き込んだ場合は10ppsに設定されます。

この選択はパルスモード時のみ有効です。

イニシャルリセット時、このレジスタは"0"に設定されます。

● PTS0~PTS3: ポーズ時間選択(FF11H)

表4.14.10.2に示す15種類の中からポーズ時間を選択します。

表4.14.10.2 ポーズ時間の選択

PTS				ポーズ時間 (sec)	PTS				ポーズ時間 (sec)
D3	D2	D1	D0		D3	D2	D1	D0	
0	0	0	0	使用禁止 *	1	0	0	0	8
0	0	0	1	1	1	0	0	1	9
0	0	1	0	2	1	0	1	0	10
0	0	1	1	3	1	0	1	1	11
0	1	0	0	4	1	1	0	0	12
0	1	0	1	5	1	1	0	1	13
0	1	1	0	6	1	1	1	0	14
0	1	1	1	7	1	1	1	1	15

* PTSレジスタへの0(0000B)書き込みは誤動作の原因になりますので禁止します。

ここで選択したポーズ時間はPAUSE(FF14H・D1)に"1"を書き込んだ場合に挿入されます。
イニシャルリセット時、このレジスタは"0100B"(4秒)に設定されます。

● FTS0~FTS3: フラッシュ時間選択(FF12H)

表4.14.10.3に示す15種類の中からフラッシュ時間を選択します。

表4.14.10.3 フラッシュ時間の選択

FTS				フラッシュ時間 (msec)	FTS				フラッシュ時間 (msec)
D3	D2	D1	D0		D3	D2	D1	D0	
0	0	0	0	使用禁止 *	1	0	0	0	750
0	0	0	1	94	1	0	0	1	844
0	0	1	0	188	1	0	1	0	938
0	0	1	1	281	1	0	1	1	1031
0	1	0	0	375	1	1	0	0	1125
0	1	0	1	469	1	1	0	1	1219
0	1	1	0	563	1	1	1	0	1313
0	1	1	1	656	1	1	1	1	1406

* FTSレジスタへの0(0000B)書き込みは誤動作の原因になりますので禁止します。

ここで選択したフラッシュ時間はFLASH(FF14H・D0)に"1"を書き込んだ場合に挿入されます。
イニシャルリセット時、このレジスタは"0110B"(563msec)に設定されます。

● HOLD: ホールドライン機能(FF14H・D2)

ホールドライン機能とHDO信号出力を制御します。

"1"書き込み: HDO出力ON(R12端子からHIGHレベル出力)

"0"書き込み: HDO出力OFF(R12端子からLOWレベル出力)

読み出し: 可能

HDO出力を選択した場合、このレジスタの設定によりR12端子からのHDO信号出力を制御します。HDO出力機能はCHDOレジスタ(FF13H・D2)に"1"を書き込むことにより設定されます。この場合、R12レジスタは"1"に、R12HIZレジスタは"0"に固定します。

HOLDに"1"を書き込むことにより、XTMUTE(R10)端子がLOW(V_{SS})レベルに、HDO(R12)端子がHIGH(V_{DD})レベルになります。"0"を書き込むとXTMUTE(R10)端子がHIGH(V_{DD})レベルに、HDO(R12)端子がLOW(V_{SS})レベルになります。

イニシャルリセット時、このレジスタは"0"に設定されます。

● PAUSE: ポーズ機能(FF14H・D1)

ポーズ機能を実行します。

"1"書き込み: ポーズ機能実行
 "0"書き込み: ポーズ機能キャンセル
 読み出し: 常時"0"

PAUSEに"1"を書き込むことによりポーズ機能を実行します。これにより、PTSレジスタで設定されているポーズ時間がDP端子の出力信号上に挿入され、その時間経過後に割り込みが発生します。割り込み発生時、PAUSEビットは自動的に"0"にリセットされます。
 このビットは書き込み専用のため、読み出し時は常時"0"となります。

● FLASH: フラッシュ機能(FF14H・D0)

フラッシュ機能を実行します。

"1"書き込み: フラッシュ機能実行
 "0"書き込み: フラッシュ機能キャンセル
 読み出し: 常時"0"

FLASHに"1"を書き込むことによりフラッシュ機能を実行します。これにより、FTSレジスタで設定されているフラッシュ時間、DP端子、XRMUTE(R11)端子およびXTMUTE(R10)端子がLOW(V_{SS})レベルとなり、その時間経過後に割り込みが発生します。割り込み発生時、FLASHビットは自動的に"0"にリセットされます。
 このビットは書き込み専用のため、読み出し時は常時"0"となります。

● HF: ハンドフリー(FF14H・D3)

ハンドフリー機能とHFO信号出力を制御します。

"1"書き込み: HFO出力ON(R13端子からHIGHレベル出力)
 "0"書き込み: HFO出力OFF(R13端子からLOWレベル出力)
 読み出し: 可能

HFO出力を選択した場合、このレジスタの設定によりR13端子からのHFO信号出力を制御します。HFO出力機能はCHFOレジスタ(FF13H・D3)に"1"を書き込むことにより設定されます。この場合、R13レジスタは"1"に、R13HIZレジスタは"0"に固定します。
 HFに"1"を書き込むことにより、HFO(R13)端子がHIGH(V_{DD})レベルになります。"0"を書き込むとHFO(R13)端子がLOW(V_{SS})レベルになります。
 イニシャルリセット時、このレジスタは"0"に設定されます。

● IDP0～IDP3: インターデジットポーズ時間選択(FF15H)

パルスモード時のインターデジットポーズ時間を表4.14.10.4に示す15種類の中から選択します。

表4.14.10.4 インターデジットポーズ時間の選択

IDP				インターデジット ポーズ時間 (msec)	IDP				インターデジット ポーズ時間 (msec)
D3	D2	D1	D0		D3	D2	D1	D0	
0	0	0	0	使用禁止 *	1	0	0	0	750
0	0	0	1	94	1	0	0	1	844
0	0	1	0	188	1	0	1	0	938
0	0	1	1	281	1	0	1	1	1031
0	1	0	0	375	1	1	0	0	1125
0	1	0	1	469	1	1	0	1	1219
0	1	1	0	563	1	1	1	0	1313
0	1	1	1	656	1	1	1	1	1406

* IDPレジスタへの0(0000B)書き込みは誤動作の原因になりますので禁止します。

ここで選択したインターデジットポーズ時間が各桁のダイアルパルス列の直後に挿入されます。
 この選択はパルスモード時のみ有効です。
 イニシャルリセット時、このレジスタは"1000B"(750msec)に設定されます。

● SINR: DTMF ROW周波数出力イネーブル(FF16H・D1)

トーン信号のROW周波数出力をイネーブル(出力)、ディセーブル(禁止)に設定します。

"1"書き込み: イネーブル
 "0"書き込み: ディセーブル
 読み出し: 可能

SINCレジスタと共にトーン出力モードを設定します。デュアルトーン出力またはROW周波数のシングルトーン出力を行う場合に"1"を書き込みます。

イニシャルリセット時、このレジスタは"1"に設定されます。

● SINC: DTMF COL周波数出力イネーブル(FF16H・D0)

トーン信号のCOL周波数出力をイネーブル(出力)、ディセーブル(禁止)に設定します。

"1"書き込み: イネーブル
 "0"書き込み: ディセーブル
 読み出し: 可能

SINRレジスタと共にトーン出力モードを設定します。デュアルトーン出力またはCOL周波数のシングルトーン出力を行う場合に"1"を書き込みます。

イニシャルリセット時、このレジスタは"1"に設定されます。

SINRおよびSINCレジスタの組み合わせによる選択内容を表4.14.10.5に示します。

表4.14.10.5 トーン出力の選択

制御レジスタ		トーン出力
SINR	SINC	
0	0	DCレベル: 1/2 ($V_{DD} \sim V_{SS}$)
0	1	COL周波数
1	0	ROW周波数
1	1	デュアルトーン出力

ここでシングルトーン出力を選択した場合、TCDレジスタ(FF17H)で選択される周波数は表4.14.10.6(a)、(b)のようになります。

表4.14.10.6(a) シングルトーン周波数の選択内容(COL周波数、SINR="0"、SINC="1")

TCDコード				COL周波数 (Hz)	TCDコード				COL周波数 (Hz)
D3	D2	D1	D0		D3	D2	D1	D0	
0	0	0	0	COL4: 1645.01	1	0	0	0	COL2: 1331.68
0	0	0	1	COL1: 1215.88	1	0	0	1	COL3: 1471.85
0	0	1	0	COL2: 1331.68	1	0	1	0	COL2: 1331.68
0	0	1	1	COL3: 1471.85	1	0	1	1	COL3: 1471.85
0	1	0	0	COL1: 1215.88	1	1	0	0	COL1: 1215.88
0	1	0	1	COL2: 1331.68	1	1	0	1	COL4: 1645.01
0	1	1	0	COL3: 1471.85	1	1	1	0	COL4: 1645.01
0	1	1	1	COL1: 1215.88	1	1	1	1	COL4: 1645.01

表4.14.10.6(b) シングルトーン周波数の選択内容(ROW周波数、SINR="1"、SINC="0")

TCDコード				ROW周波数 (Hz)	TCDコード				ROW周波数 (Hz)
D3	D2	D1	D0		D3	D2	D1	D0	
0	0	0	0	ROW1: 701.32	1	0	0	0	ROW3: 857.17
0	0	0	1	ROW1: 701.32	1	0	0	1	ROW3: 857.17
0	0	1	0	ROW1: 701.32	1	0	1	0	ROW4: 935.10
0	0	1	1	ROW1: 701.32	1	0	1	1	ROW4: 935.10
0	1	0	0	ROW2: 771.45	1	1	0	0	ROW4: 935.10
0	1	0	1	ROW2: 771.45	1	1	0	1	ROW2: 771.45
0	1	1	0	ROW2: 771.45	1	1	1	0	ROW4: 935.10
0	1	1	1	ROW3: 857.17	1	1	1	1	ROW3: 857.17

● DTS: トーン出力時間(FF16H・D2)

トーン出力時間を選択します。(マスクオプション)

"1"書き込み: 47msec
 "0"書き込み: 94msec
 読み出し: 可能

DTSレジスタに"1"を書き込むと最小トーン出力時間が47msecに、"0"を書き込むと94msecに設定されます。ただし、このレジスタはマスクオプションでDTS機能を選択した場合にのみ有効となります。DTSを使用しないオプションを選択した場合、最小トーン出力時間は94msecに固定されます。イニシャルリセット時、このレジスタは"0"に設定されます。

● TCD0～TCD3: ダイヤル番号選択(FF17H)

このレジスタにコードを書き込むことにより、それに対応したダイヤルパルス列(パルスモード)またはトーン信号(トーンモード)の出力を開始します。出力後は割り込みを発生します。イニシャルリセット時、このレジスタは"0000B"に設定されます。

TCDレジスタの設定内容を、パルスモード(TPS = "1")、トーンモード(TPS = "0")それぞれの場合について以下に示します。

(1) パルスモード

発信するダイヤル番号(1～9, 0)のデータをTCDレジスタに書き込みます。書き込みデータとパルス数の対応は表4.14.10.7のとおりです。

表4.14.10.7 パルス数の選択

TCDコード				パルス数
D3	D2	D1	D0	
0	0	0	0	使用禁止 *
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7

TCDコード				パルス数
D3	D2	D1	D0	
1	0	0	0	8
1	0	0	1	9
1	0	1	0	10
1	0	1	1	11
1	1	0	0	12
1	1	0	1	13
1	1	1	0	14
1	1	1	1	15

* TCDレジスタへの0(0000B)書き込みは誤動作の原因になりますので禁止します。

ダイヤル番号"1"～"9"については、番号がそのままパルス数となります。ダイヤル番号"0"は10個のパルス列となりますのでTCDレジスタには10(1010B)を書き込みます。

(2) トーンモード

発信するプッシュボタン(ROW/COL)のデータをTCDレジスタ(FF17H)に書き込みます。書き込みデータと選択されるトーン周波数(ROW/COL)は表4.14.10.8のとおりです。

表4.14.10.8 トーン周波数の選択

TCDコード				トーン周波数	キーシンボル
D3	D2	D1	D0		
0	0	0	0	(ROW1, COL4)	"A"
0	0	0	1	(ROW1, COL1)	"1"
0	0	1	0	(ROW1, COL2)	"2"
0	0	1	1	(ROW1, COL3)	"3"
0	1	0	0	(ROW2, COL1)	"4"
0	1	0	1	(ROW2, COL2)	"5"
0	1	1	0	(ROW2, COL3)	"6"
0	1	1	1	(ROW3, COL1)	"7"

TCDコード				トーン周波数	キーシンボル
D3	D2	D1	D0		
1	0	0	0	(ROW3, COL2)	"8"
1	0	0	1	(ROW3, COL3)	"9"
1	0	1	0	(ROW4, COL2)	"0"
1	0	1	1	(ROW4, COL3)	"#"
1	1	0	0	(ROW4, COL1)	"*"
1	1	0	1	(ROW2, COL4)	"B"
1	1	1	0	(ROW4, COL4)	"D"
1	1	1	1	(ROW3, COL4)	"C"

このレジスタへのデータ書き込みがトリガとなり、トーン出力を開始します。シングルトーン出力を選択している場合は、書き込みデータに対応するROWまたはCOLどちらか一方の周波数のみがトーン信号として出力されます。デュアルトーン出力を選択している場合は書き込みデータに対応するROW、COLの2つの周波数が合成されて出力されます。

● CRMUT: レシーバミュート制御(FF18H・D1)

レシーバミュートを制御します。

"1"書き込み: レシーバミュート出力
 "0"書き込み: XRMUTE(R11)端子をLOWレベルに固定
 読み出し: 可能

CRMUTレジスタに"0"を書き込むとXRMUTE(R11)端子がLOW(Vss)レベルに固定され、常にレシーバミュートがかかった状態になります。

"1"が書き込まれていると、XRMUTE(R11)端子の出力はハードウェアで制御され、ダイヤルパルス出力時、フラッシュ機能実行時に自動的にLOW(Vss)となります。

イニシャルリセット時、このレジスタは"1"に設定されます。

● CTMUT: トランスミッタミュート制御(FF18H・D0)

トランスミッタミュートを制御します。

"1"書き込み: トランスミッタミュート出力
 "0"書き込み: XTMUTE(R10)端子をLOWレベルに固定
 読み出し: 可能

CTMUTレジスタに"0"を書き込むとXTMUTE(R10)端子がLOW(Vss)レベルに固定され、常にトランスミッタミュートがかかった状態になります。

"1"が書き込まれていると、XTMUTE(R10)端子の出力はハードウェアで制御され、ダイヤルパルス出力時、トーン出力時、フラッシュ機能実行時、ホールドライン機能実行時に自動的にLOW(Vss)となります。

イニシャルリセット時、このレジスタは"1"に設定されます。

● HSON: フックスイッチON/OFF(FF18H・D0)

フックスイッチのON/OFFを制御します。

"1"書き込み: オフフック
 "0"書き込み: オンフック
 読み出し: 可能

HSONレジスタに"1"を書き込むことによりオフフック(受話器を上げた)状態となり、 $\overline{DP}$ 端子がHIGH(VDD)レベルになります。

イニシャルリセット時、このレジスタは"0"に設定されます。

● CTO: トーン信号連続出力選択(FF16H・D3)

トーン出力時間を制御します。

"1"書き込み: 連続
 "0"書き込み: 非連続
 読み出し: 可能

トーン信号出力前に、CTOレジスタに"1"を書き込んでおくことにより、トーン信号出力がCTOレジスタを"0"に戻すまで連続して行われます。ただし、最小トーン出力時間(94または47msec)経過前にCTOレジスタに"0"を書き込んでも最小トーン出力時間が経過するまでトーン信号出力が行われます。

CTOレジスタが"0"の状態での出力は最小トーン出力時間に固定されます。

この設定はトーンモード時のみ有効です。

イニシャルリセット時、このレジスタは"0"に設定されます。

● EID: 割り込みマスクレジスタ(FFE9H・D0)

ダイヤル割り込みのマスクを設定します。

"1"書き込み: イネーブル
 "0"書き込み: マスク
 読み出し: 可能

EIDはダイヤル割り込み要因に対応する割り込みマスクレジスタで、"1"に設定すると割り込みが許可され、"0"に設定すると割り込みが禁止されます。

イニシャルリセット時、このレジスタは"0"に設定されます。

● ID: 割り込み要因フラグ(FFF9H・D0)

ダイヤル割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有
 "0"読み出し: 割り込み無
 "1"書き込み: 要因フラグをリセット
 "0"書き込み: 無効

割り込み要因フラグIDはダイヤル割り込み(ダイヤル信号出力終了時、ポーズ実行終了時、フラッシュ実行終了時)の発生により"1"にセットされます。

このとき、対応する割り込みマスクレジスタが"1"で、かつCPUが割り込み許可(Iフラグ="1")に設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、割り込み要因フラグのリセットが必要です。割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、このフラグは"0"にリセットされます。

4.14.11 プログラミング上の注意事項

- (1) トーンモードはOSC3(3.58MHz)クロックを使用するため、ダイヤル前にOSC3発振をONしておく必要があります。これにより、消費電流が増加しますのでトーンモードでのダイヤル時以外はOSC3発振をOFFにしてください。
- (2) IDレジスタ、FTSレジスタ、PTSレジスタおよびパルスモードでのTCDレジスタへの"0H"書き込みは、誤動作の原因になりますので禁止します。
- (3) ポーズ機能を制御するPAUSE(FF14H・D1)およびフラッシュ機能を制御するFLASH(FF14H・D0)は書き込み専用です。したがって、これらの制御に(アドレスFF14Hに対して)演算命令(AND、OR...)を使用することはできません。また、PAUSE(FF14H・D1)、FLASH(FF14H・D0)へ"0"を書き込むと、ポーズ機能、フラッシュ機能がキャンセルされますので注意が必要です。
- (4) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.15 割り込みとHALT

<割り込みの種類>

S1C63567には以下の7種類の割り込みが設定されています。

外部割り込み	・ 入力割り込み	(2系統)
内部割り込み	・ ウォッチドッグタイマ割り込み	(NMI、1系統)
	・ プログラマブルタイマ割り込み	(2系統)
	・ シリアルインタフェース割り込み	(3系統)
	・ 計時タイマ割り込み	(4系統)
	・ ストップウォッチタイマ割り込み	(2系統)
	・ ダイアル割り込み	(1系統)

割り込みを許可するためにはインタラプトフラグを"1"にセット(EI)し、あわせて必要な系統の割り込みマスクレジスタも"1"にセット(イネーブル)する必要があります。

割り込みが発生するとインタラプトフラグは自動的に"0"にリセット(DI)され、以後の割り込みは禁止されます。

ウォッチドッグタイマ割り込みはNMI(ノンマスクابل割り込み)のため、インタラプトフラグの設定にかかわらず、割り込みが発生します。このため、割り込みマスクレジスタも用意されていません。ただし、ウォッチドッグタイマはソフトウェアにより動作を停止させることができますので、NMIを発生させないようにすることができます。

図4.15.1に割り込み回路の構成を示します。

注: イニシャルリセット時、NMIを含むすべての割り込みはスタックポインタSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み(NMIを含む)は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

<HALT>

S1C63567は必要なとき以外の消費電流を大幅に低減させるHALT機能を持っています。

CPUはHALT命令が入力されるとHALT状態に入り、CPUの動作を停止します。ただし、発振回路は動作していますので、タイマのカウント等は継続して行われます。

CPUのHALT状態からの再起動はNMIを含むハードウェア割り込み要求が発生することにより行われます。

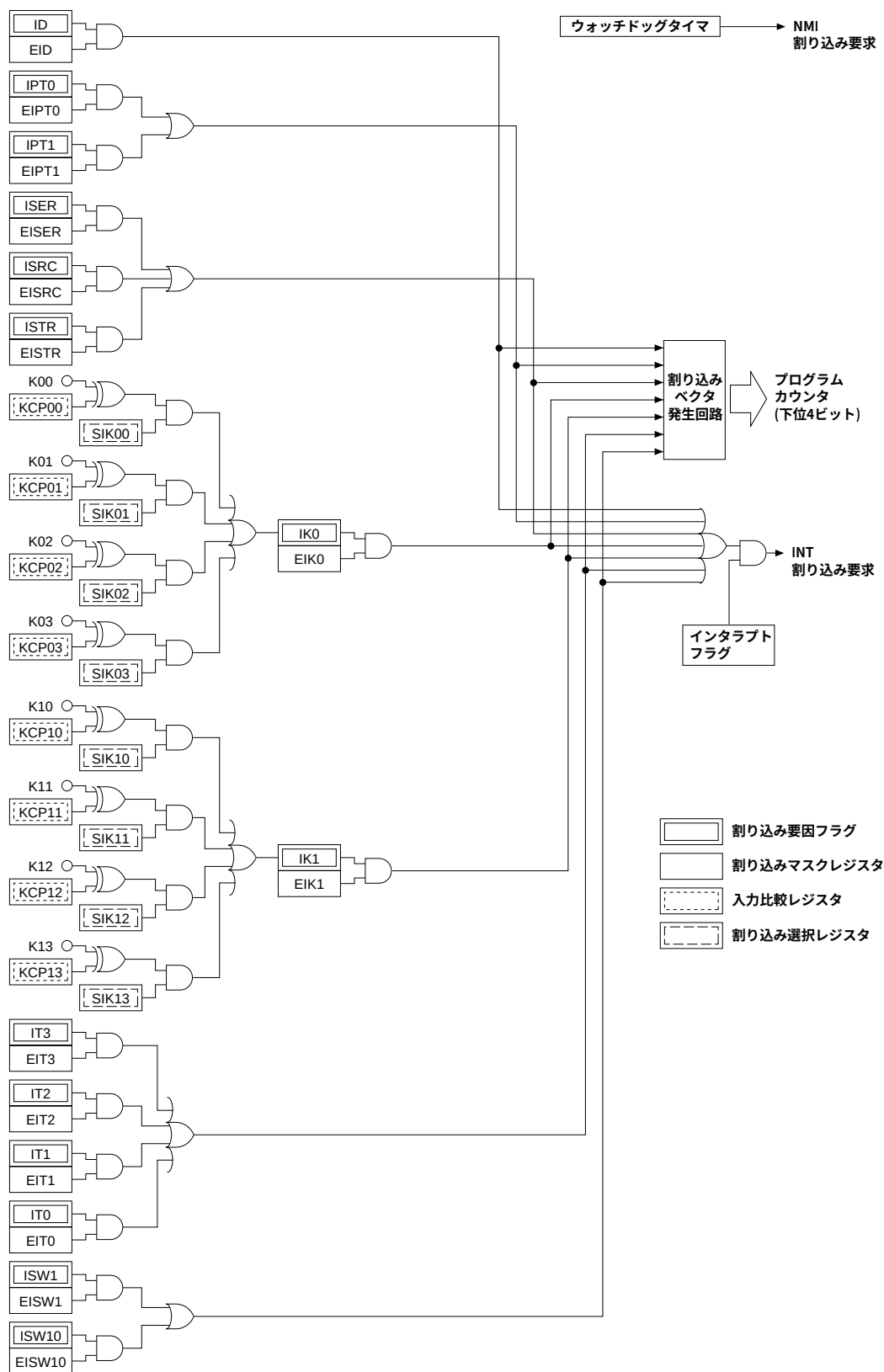


図4.15.1 割り込み回路の構成

4.15.1 割り込みの要因

割り込み要求が発生する要因を表4.15.1.1に示します。

各々の割り込み要因により、対応する割り込み要因フラグが"1"にセットされます。

CPUに対する割り込みは、以下の条件が成立している場合に割り込み要因フラグが"1"にセットされたときに発生します。

• 対応する割り込みマスキレジスタが"1"(イネーブル)

• インタラプトフラグが"1"(EI)

割り込み要因フラグは"1"書き込みにより"0"にリセットされます。

イニシャルリセット時、割り込み要因フラグは"0"にリセットされます。

* ウォッチドッグタイマはNMIのため、上記の条件とは無関係に割り込みが発生します。割り込み要因フラグも用意されていません。

表4.15.1.1 割り込み要因

割り込み要因	割り込み要因フラグ
ダイアルサイクル終了	ID (FFF9H・D0)
プログラマブルタイマ1(カウンタ=0)	IPT1 (FFF2H・D1)
プログラマブルタイマ0(カウンタ=0)	IPT0 (FFF2H・D0)
シリアルインタフェース受信エラー	ISER (FFF3H・D2)
シリアルインタフェース受信終了	ISRC (FFF3H・D0)
シリアルインタフェース送信終了	ISTR (FFF3H・D1)
K00～K03入力(立ち下がりまたは立ち上がりエッジ)	IK0 (FFF4H・D0)
K10～K13入力(立ち下がりまたは立ち上がりエッジ)	IK1 (FFF5H・D0)
計時タイマ1Hz(立ち下がりエッジ)	IT3 (FFF6H・D3)
計時タイマ2Hz(立ち下がりエッジ)	IT2 (FFF6H・D2)
計時タイマ8Hz(立ち下がりエッジ)	IT1 (FFF6H・D1)
計時タイマ32Hz(立ち下がりエッジ)	IT0 (FFF6H・D0)
ストップウォッチタイマ(1Hz)	ISW1 (FFF7H・D1)
ストップウォッチタイマ(10Hz)	ISW10 (FFF7H・D0)

注: 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(IFラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.15.2 割り込みの個別マスク

割り込み要因フラグは、対応する割り込みマスクレジスタによりマスクできます。

割り込みマスクレジスタは読み出し/書き込みが可能なレジスタであり、"1"書き込みでイネーブル(割り込み許可)、“0"書き込みでマスク(割り込み禁止)となります。

イニシャルリセット時、割り込みマスクレジスタは"0"にリセットされます。

表4.15.2.1に割り込みマスクレジスタと割り込み要因フラグの対応を示します。

表4.15.2.1 割り込みマスクレジスタと割り込み要因フラグ

割り込みマスクレジスタ		割り込み要因フラグ	
EID	(FFE9H・D0)	ID	(FFF9H・D0)
EIPT1	(FFE2H・D1)	IPT1	(FFF2H・D1)
EIPT0	(FFE2H・D0)	IPT0	(FFF2H・D0)
EISER	(FFE3H・D2)	ISER	(FFF3H・D2)
EISRC	(FFE3H・D0)	ISRC	(FFF3H・D0)
EISTR	(FFE3H・D1)	ISTR	(FFF3H・D1)
EIK0	(FFE4H・D0)	IK0	(FFF4H・D0)
EIK1	(FFE5H・D0)	IK1	(FFF5H・D0)
EIT3	(FFE6H・D3)	IT3	(FFF6H・D3)
EIT2	(FFE6H・D2)	IT2	(FFF6H・D2)
EIT1	(FFE6H・D1)	IT1	(FFF6H・D1)
EIT0	(FFE6H・D0)	IT0	(FFF6H・D0)
EISW1	(FFE7H・D1)	ISW1	(FFF7H・D1)
EISW10	(FFE7H・D0)	ISW10	(FFF7H・D0)

4.15.3 割り込みベクタ

CPUに割り込み要求が入力されると、CPUは割り込み処理を開始します。

割り込み処理は実行中のプログラムの終了後、以下の手順で行われます。

1. フラグレジスタを退避後、Iフラグをリセット
2. 次に実行すべきプログラムのアドレスデータ(プログラムカウンタの値)をスタック領域(RAM)に退避
3. 割り込み要求による割り込みベクタの値(0100H～010EH)をプログラムカウンタにセット
4. 指定されたアドレスのプログラムを実行(ソフトウェアによる割り込み処理ルーチンの実行)

表4.15.3.1に割り込み要求と割り込みベクタの対応を示します。

表4.15.3.1 割り込み要求と割り込みベクタ

割り込みベクタ	割り込み要因	優先順位
0100H	ウォッチドッグタイマ	高い ↑
0102H	ダイアル	
0104H	プログラマブルタイマ	
0106H	シリアルインタフェース	
0108H	K00～K03入力	
010AH	K10～K13入力	↓ 低い
010CH	計時タイマ	
010EH	ストップウォッチタイマ	

プログラムカウンタ(PC)の下位4ビットが割り込み要求による間接アドレス指定となります。

4.15.4 割り込みのI/Oメモリ

表4.15.4.1に割り込みに関する制御ビットとそのアドレスを示します。

表4.15.4.1(a) 割り込みの制御ビット

アドレス	レジスタ				注 釈			
	D3	D2	D1	D0	Name	Init *1	1	0
FF20H	SIK03	SIK02	SIK01	SIK00	SIK03	0	Enable	Disable
					SIK02	0	Enable	Disable
	R/W				SIK01	0	Enable	Disable
					SIK00	0	Enable	Disable
FF22H	KCP03	KCP02	KCP01	KCP00	KCP03	1		
					KCP02	1		
	R/W				KCP01	1		
					KCP00	1		
FF24H	SIK13	SIK12	SIK11	SIK10	SIK13	0	Enable	Disable
					SIK12	0	Enable	Disable
	R/W				SIK11	0	Enable	Disable
					SIK10	0	Enable	Disable
FF26H	KCP13	KCP12	KCP11	KCP10	KCP13	1		
					KCP12	1		
	R/W				KCP11	1		
					KCP10	1		
FFE2H	0	0	EIPT1	EIPT0	0 *3	- *2		
					0 *3	- *2		
	R		R/W		EIPT1	0	Enable	Mask
					EIPT0	0	Enable	Mask
FFE3H	0	EISER	EISTR	EISRC	0 *3	- *2		
					EISER	0	Enable	Mask
	R		R/W		EISTR	0	Enable	Mask
					EISRC	0	Enable	Mask
FFE4H	0	0	0	EIK0	0 *3	- *2		
					0 *3	- *2		
	R			R/W	0 *3	- *2		
					EIK0	0	Enable	Mask
FFE5H	0	0	0	EIK1	0 *3	- *2		
					0 *3	- *2		
	R			R/W	0 *3	- *2		
					EIK1	0	Enable	Mask
FFE6H	EIT3	EIT2	EIT1	EIT0	EIT3	0	Enable	Mask
					EIT2	0	Enable	Mask
	R/W				EIT1	0	Enable	Mask
					EIT0	0	Enable	Mask
FFE7H	0	0	EISW1	EISW10	0 *3	- *2		
					0 *3	- *2		
	R		R/W		EISW1	0	Enable	Mask
					EISW10	0	Enable	Mask
FFE9H	0	0	0	EID	0 *3	- *2		
					0 *3	- *2		
	R			R/W	0 *3	- *2		
					EID	0	Enable	Mask
FFF2H	0	0	IPT1	IPT0	0 *3	- *2	(R)	(R)
					0 *3	- *2	Yes	No
	R		R/W		IPT1	0	(W)	(W)
					IPT0	0	Reset	Invalid
FFF3H	0	ISER	ISTR	ISRC	0 *3	- *2	(R)	(R)
					ISER	0	Yes	No
	R		R/W		ISTR	0	(W)	(W)
					ISRC	0	Reset	Invalid
FFF4H	0	0	0	IK0	0 *3	- *2	(R)	(R)
					0 *3	- *2	Yes	No
	R			R/W	0 *3	- *2	(W)	(W)
					IK0	0	Reset	Invalid

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*2 回路上設定されない

表4.15.4.1(b) 割り込みの制御ビット

アドレス	レジスタ				注 釈				
	D3	D2	D1	D0	Name	Init *1	1	0	
FFF5H	0	0	0	IK1	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
					0 *3	- *2	(W)	(W)	未使用
					IK1	0	Reset	Invalid	割り込み要因フラグ(K10～K13)
FFF6H	IT3	IT2	IT1	IT0	IT3	0	(R)	(R)	割り込み要因フラグ(計時タイマ1Hz)
					IT2	0	Yes	No	割り込み要因フラグ(計時タイマ2Hz)
					IT1	0	(W)	(W)	割り込み要因フラグ(計時タイマ8Hz)
					IT0	0	Reset	Invalid	割り込み要因フラグ(計時タイマ32Hz)
FFF7H	0	0	ISW1	ISW10	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
					ISW1	0	(W)	(W)	割り込み要因フラグ(ストップウォッチタイマ1Hz)
					ISW10	0	Reset	Invalid	割り込み要因フラグ(ストップウォッチタイマ10Hz)
FFF9H	0	0	0	ID	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
					0 *3	- *2	(W)	(W)	未使用
					ID	0	Reset	Invalid	割り込み要因フラグ(ダイヤル)

*1 イニシャルリセット時の初期値

*3 読み出し時は常時"0"

*2 回路上設定されない

- EID: 割り込みマスクレジスタ (FFE9H・D0)
- ID: 割り込み要因フラグ (FFF9H・D0)
... "4.14 電話機能"参照
- EIPT1, EIPT0: 割り込みマスクレジスタ (FFE2H・D1, D0)
- IPT1, IPT0: 割り込み要因フラグ (FFF2H・D1, D0)
... "4.10 プログラマブルタイマ"参照
- EISER, EISTR, EISRC: 割り込みマスクレジスタ (FFE3H・D2~D0)
- ISER, ISTR, ISRC: 割り込み要因フラグ (FFF3H・D2~D0)
... "4.11 シリアルインタフェース"参照
- KCP03~KCP00, KCP13~KCP10: 入力比較レジスタ (FF22H, FF26H)
- SIK03~SIK00, SIK13~SIK10: 割り込み選択レジスタ (FF20H, FF24H)
- EIK0, EIK1: 割り込みマスクレジスタ (FFE4H・D0, FFE5H・D0)
- IK0, IK1: 割り込み要因フラグ (FFF4H・D0, FFF5H・D0)
... "4.4 入力ポート"参照
- EIT3~EIT0: 割り込みマスクレジスタ (FFE6H)
- IT3~IT0: 割り込み要因フラグ (FFF6H)
... "4.8 計時タイマ"参照
- EISW1, EISW10: 割り込みマスクレジスタ (FFE7H・D1, D0)
- ISW1, ISW10: 割り込み要因フラグ (FFF7H・D1, D0)
... "4.9 ストップウォッチタイマ"参照

4.15.5 プログラミング上の注意事項

- (1) 各割り込み要因フラグは、各割り込みマスクレジスタを"0"に設定していても、割り込み条件成立によりセットされます。
- (2) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(1フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- (3) イニシャルリセット時、NMIを含むすべての割り込みはスタックポインタSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み(NMIを含む)は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

5 注意事項のまとめ

5.1 低消費電流化のための注意事項

S1C63567は、低消費電流化のため回路系ごとに制御レジスタを持っています。
この制御レジスタにより必要最小限の回路系を動作させるプログラムとすることで、低消費電流化が実現
できます。
以下に動作を制御できる回路系とその制御レジスタ等を説明しますので、プログラムを組む上で参考とし
てください。

表5.1.1 回路系と制御レジスタ

回路系(および項目)	制御レジスタ等
CPU	HALT命令
CPU動作周波数	CLKCHG, OSCC
LCD系電圧回路	LPWR
SVD回路	SVDON

消費電流については"7 電気的特性"を参照してください。

イニシャルリセット時の各回路系の状態は以下のとおりです。

- CPU:** 動作状態
- CPU動作周波数:** 低速側(CLKCHG = "0")
OSC3発振回路停止状態(OSCC = "0")
- LCD系電圧回路:** OFF状態(LPWR = "0")
- SVD回路:** OFF状態(SVDON = "0")

また、LCDパネルの特性により消費電流が数 μ Aのオーダーで異なりますので、パネルの選択にも注意が必要
です。

5.2 個別機能についての注意事項のまとめ

以下に各機能の注意事項を個別にまとめます。内容に十分留意した上でプログラミングを行ってください。

● メモリ、スタック

- (1) メモリマップの未使用領域にはメモリが実装されていません。また、表示メモリ領域および周辺I/O領域にも非実装領域、未使用(アクセス禁止)領域が存在します。これらの領域をアクセスするようなプログラムを作成した場合は、正常な動作を保証することはできません。

表示メモリについては"4.7.4 表示メモリ"を、周辺I/O領域については表4.1.1(a)～(g)に示すI/Oメモリマップを参照してください。

- (2) データメモリの一部をサブルーチンコールやレジスタ退避時のスタック領域としても使用しますので、データ領域とスタック領域が重ならないように注意してください。

- (3) S1C63000コアCPUは、4ビットデータ用スタックポインタ(SP2)および16ビットデータ用スタックポインタ(SP1)によりスタック処理を行います。SP1によるスタック処理では16ビットデータアクセスが行われますので、このスタック領域の設定は4ビット/16ビットアクセスが可能な領域内(0100H～01FFH)で行ってください。スタックポインタは、SP1が0000H～03FFH、SP2が0000H～00FFHの範囲でサイクリックに動作します。このため、SP1はS1C63567の4ビット/16ビットアクセス領域を外れた0200H以上、あるいは00FFH以下の領域にも設定される可能性がありますので注意してください。SP1によるスタック操作以外のメモリアクセスは4ビットデータアクセスとなります。

また、イニシャルリセット時は、スタックポインタSP1、SP2の両方がソフトウェアで設定されるまでNMIを含むすべての割り込みがマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまでNMIを含む割り込みは再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

● ウォッチドッグタイマ

ウォッチドッグタイマを使用する場合、3秒周期以内にソフトウェアでウォッチドッグタイマをリセットする必要があります。イニシャルリセットにより、ウォッチドッグタイマは動作状態に設定されますので、使用しない場合は割り込み(NMI)発生前にウォッチドッグタイマをディセーブル(使用しない)に設定してください。

● 発振回路

- (1) OSC3発振回路がONしてから発振が安定するまでに、5msec以上を必要とします。したがって、CPUの動作クロックをOSC1からOSC3に切り換える際は、OSC3発振ONの後、5msec以上経過してから行ってください。また、発振安定時間は外付け発振子の特性および使用条件等により異なりますので、十分マージンを取って待ち時間を設定してください。

- (2) OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々のインストラクションで行ってください。1インストラクションで、同時に処理するとCPUの誤動作につながります。

- (3) S1C63567の内部動作電圧V_{DI}は常に2.1Vとなります。したがって、選択する動作クロックにかかわらず、動作電圧の設定変更は不要です。

● 入力ポート

- (1) 入力ポートをLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の時定数によって波形立ち上がりに遅延が生じます。このため、入力ポートの取り込みを行う際は、適切な待ち時間を設定してください。

特に、キーマトリクス構成時のキースキャン等に注意が必要です。

この待ち時間は次の式で算出される時間以上としてください。

$$10 \times C(\text{端子容量}5\text{pF} + \text{寄生容量}?) \times R(\text{プルアップ抵抗}330\text{k}\Omega)$$

- (2) K13端子はプログラマブルタイマの入力クロック端子としての機能も兼ねることがあり、入力ポート機能と入力信号が共有されます。そのため、K13端子をプログラマブルタイマの入力クロック端子に設定した場合、割り込み等の設定には十分注意してください。

● 出力ポート

- (1) R00～R03、R10～R13を特殊出力として使用する場合、R00～R03、R10～R13レジスタは"1"、R00HIZ～R03HIZ、R10HIZ～R13HIZレジスタは"0"に固定してください。
R00～R03、R10～R13レジスタに"0"を書き込むと、出力端子がLOW(V_{SS})に固定されますので注意してください。また、R00HIZ～R03HIZ、R10HIZ～R13HIZレジスタに"1"を書き込むと、出力端子がハイインピーダンスになりますので注意してください。
- (2) TOUT信号、FOUT信号、BZ信号、XBZ信号のON/OFF時は、出力波形にハザードが出る場合があります。
- (3) FOUT信号の周波数としてfosc3を選択した場合は、信号出力前にOSC3発振回路の制御が必要です。制御方法と注意事項については"4.3 発振回路"を参照してください。

● 入出力兼用ポート

- (1) 入力モード時にポートの入力をLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の時定数によって波形立ち上がりに遅延が生じます。このため、入力データの取り込みを行う際は、適切な待ち時間を設定してください。
特に、キーマトリクス構成時のキースキャン等に注意が必要です。
この待ち時間は次の式で算出される時間以上としてください。
 $10 \times C(\text{端子容量}5\text{pF} + \text{寄生容量}?) \times R(\text{プルアップ抵抗}330\text{k}\Omega)$
- (2) 特殊出力(CL、FR)を選択した場合、信号のON/OFF時に出力波形にハザードが出る場合があります。

● LCDドライバ

- (1) メモリ非実装領域(F078H～F0FFH、F178H～F1FFH、F201H、F203H、・・・、F277H)をアクセスするようプログラムを作成した場合、正常な動作を保証することはできません。
- (2) イニシャルリセット時、表示メモリの内容およびLC3～LC0(LCDコントラスト)は不定となりますので、ソフトウェアにより初期化する必要があります。また、表示もすべてOFFとなるように各レジスタ(LPWR、ALOFF)が設定されますので注意してください。

● 計時タイマ

- (1) データの読み出しは必ず下位データ(TM0～TM3)から先に行ってください。
- (2) OSC1発振回路としてCR発振回路がマスクオプションで選択された場合にはfosc1が60kHz(Typ.)になりますので、記載されているすべての周波数、時間等が異なります。よって、時計機能に用いることはできません。

● ストップウォッチタイマ

- (1) RUN状態でカウンタのデータを読み出す場合、一度停止させてから読み出し、再度SWRUN="1"にしてください。また、この場合の停止期間は976μsec(256Hzの1/4周期)以内である必要があります。
- (2) OSC1発振回路としてCR発振回路がマスクオプションで選択された場合にはfosc1が60kHz(Typ.)になりますので、記載されているすべての周波数、時間等が異なります。よって、ストップウォッチ機能を実現することはできません。

● プログラマブルタイマ

- (1) カウンタデータの読み出しは必ず下位4ビット(PTD00～PTD03、PTD10～PTD13)から先に行ってください。また、下位4ビット(PTD00～PTD03、PTD10～PTD13)と上位4ビット(PTD04～PTD07、PTD14～PTD17)の読み出しの時間差は0.73msec(fosc1 = 32.768kHzの場合)以下としてください。
- (2) プログラマブルタイマはレジスタPTRUN0/PTRUN1への書き込みに対して、入力クロックの立ち下がりエッジに同期して実際にRUN/STOP状態となります。
したがって、PTRUN0/PTRUN1に"0"を書き込んだ場合は、"-1"余分にカウントしたところでタイマが停止状態となります。また、このときPTRUN0/PTRUN1は実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。
図5.2.1にRUN/STOP制御のタイミングチャートを示します。

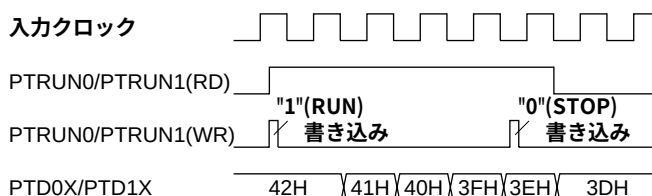


図5.2.1 RUN/STOP制御のタイミングチャート

なお、これについてはイベントカウンタも対象となるため、RUN/STOPレジスタ(PTRUN0)を設定後にクロック入力がない場合、カウンタ回路は実際にはRUN/STOP状態になりませんので注意してください。

- (3) TOUT信号は出力制御レジスタPTOUTとは非同期に発生していますので、PTOUTの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- (4) OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3発振回路をONさせる必要があります。
ただし、OSC3発振回路をONにしてから発振が安定するまでに5msec以上の時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ON後、十分な待ち時間をおいてから行ってください。
OSC3の制御方法と注意事項については"4.3 発振回路"を参照してください。イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

● シリアルインタフェース

- (1) シリアルインタフェースのモード初期設定は、送受信が禁止の状態(TXEN=RXEN="0")で行ってください。
- (2) シリアルインタフェースが送信(受信)中のときは、TXTRG(RXTRG)に対して二重トリガ("1"書き込み)は行わないでください。
- (3) クロック同期式モードでは1本のクロックライン(SCLK)を送受信で共用するため、送信と受信を同時に行うことはできません。したがって、TXTRG(RXTRG)が"1"の最中はRXTRG(TXTRG)に"1"は書き込まないでください。
- (4) 調歩同期式モードにおいて、受信時にパリティエラーおよびフレーミングエラーが発生した場合は受信エラー割り込み要因フラグISERは、受信完了割り込み要因フラグISRCに対して表5.2.1に示す時間早く"1"にセットされます。したがって、エラー処理ルーチン等で待ち時間を設けて、受信完了割り込み要因フラグISRCを"0"にリセットしてください。
なお、オーバーランエラー発生時には受信完了割り込み要因フラグISRCは"1"にセットされず、受信完了割り込みも発生しません。

表5.2.1 エラー発生時のISERとISRCの時間差

クロック源	時間差
fosc3 / n	fosc3 / n の1/2周期
プログラマブルタイマ	タイマ1アンダーフローの1周期

- (5) OSC3発振回路の分周信号をクロック源とする場合は、シリアルインタフェースを使用する前にOSC3の発振をONさせる必要があります。
なお、OSC3発振回路をONにしてから発振が安定するまでに5msecの時間を必要とします。したがって、シリアルインタフェースの送受信開始はOSC3発振ONの後、十分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)
イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。
- (6) シリアルインタフェースのクロック周波数は、最大1MHzに制限されます。

● サウンドジェネレータ

- (1) BZ、XBZ信号はBZEレジスタとは非同期に発生していますので、BZEレジスタの設定による信号のON/OFF時にハザードを生じる場合があります。
- (2) 1ショット出力は通常のブザー出力がOFF (BZE = "0")の状態でのみ有効で、ON (BZE = "1")状態でのトリガは無効となります。
- (3) BZ、XBZ信号はR01、R00ポートの特殊出力のため、BZEレジスタに"1"を設定する前にハイインピーダンス制御レジスタ(R01HIZ、R00HIZ)を"0"、データレジスタ(R01、R00)を"1"、出力選択レジスタ(BZOUT、XBZOUT)を"1"に設定しておく必要があります。
- (4) ブザー信号はOSC1の分周クロックを用いて発生しています。CR発振(60kHz Typ.)がマスクオプションで選択された場合には、水晶発振(32.768kHz Typ.)を基準として本書に記載しているすべての周波数、時間等が変わります。

● SVD回路

- (1) SVD回路はONさせてから安定した結果が得られるまでに100μsecの時間を必要とします。このため、SVDONに"1"を書き込み後、100μsec以上経過後にSVDONに"0"を書き込んでSVDDTを読み出してください。
- (2) SVD検出動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD検出をOFFに設定してください。

● 電話機能

- (1) トーンモードはOSC3(3.58MHz)クロックを使用するため、ダイヤル前にOSC3発振をONしておく必要があります。これにより、消費電流が増加しますのでトーンモードでのダイヤル時以外はOSC3発振をOFFにしてください。
- (2) IDレジスタ、FTSレジスタ、PTSレジスタおよびパルスモードでのTCDレジスタへの"0H"書き込みは、誤動作の原因になりますので禁止します。
- (3) ポーズ機能を制御するPAUSE(FF14H・D1)およびフラッシュ機能を制御するFLASH(FF14H・D0)は書き込み専用です。したがって、これらの制御に(アドレスFF14Hに対して)演算命令(AND、OR...)を使用することはできません。また、PAUSE(FF14H・D1)、FLASH(FF14H・D0)へ"0"を書き込むと、ポーズ機能、フラッシュ機能がキャンセルされますので注意が必要です。

● 割り込み

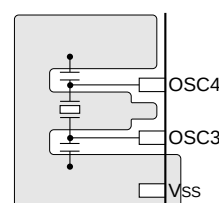
- (1) 各割り込み要因フラグは、各割り込みマスクレジスタを"0"に設定していても、割り込み条件成立によりセットされます。
- (2) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- (3) イニシャルリセット時、NMIを含むすべての割り込みはスタックポインタSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み(NMIを含む)は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

5.3 実装上の注意事項

〈発振回路〉

- 発振特性は諸条件(使用部品、基板パターン等)により変化します。
特にセラミック発振子または水晶振動子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。
- ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため次の点に配慮してください。
 - (1) OSC1、OSC3、OSC2、OSC4端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
 - (2) OSC1、OSC3、OSC2、OSC4端子およびこれらの端子に接続された部品の周辺部は右図のようにVssパターンをできるだけ広く作成してください。
また、このVssパターンは発振用途以外に使用しないでください。
- OSC1(OSC3)－VDD間のリーク電流による発振回路の不安定動作を防止するため、基板パターンにおいて、OSC1(OSC3)はVDD電源や信号線とは十分な距離を確保してください。

Vssパターン作成例 (OSC3)

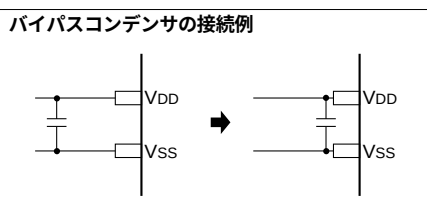


〈リセット回路〉

- パワーオン時、 $\overline{\text{RESET}}$ 端子に入力されるリセット信号は諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。
また、マスクオプションによりRESET端子のプルアップ抵抗を付加した場合には、抵抗値のばらつきを十分考慮した定数設定が必要です。
- ノイズによる動作中のリセットを防ぐため、 $\overline{\text{RESET}}$ 端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

〈電源回路〉

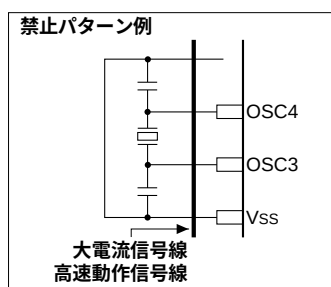
- ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。
 - (1) 電源からVDD、Vss端子へはできるだけ短くかつ太いパターンで接続してください。
 - (2) VDD－Vssのバイパスコンデンサを接続する場合、VDD端子とVss端子をできるだけ最短で接続してください。



- (3) VD1、VC1～VC5端子に接続するコンデンサ、抵抗等の部品はできるだけ最短で接続してください。
特にVC1～VC5の各電圧はLCD駆動として用いるため表示品質に影響を与えます。
- LCDドライバを使用しない場合は、VC1～VC5端子を開放としてください。

〈信号線の配置〉

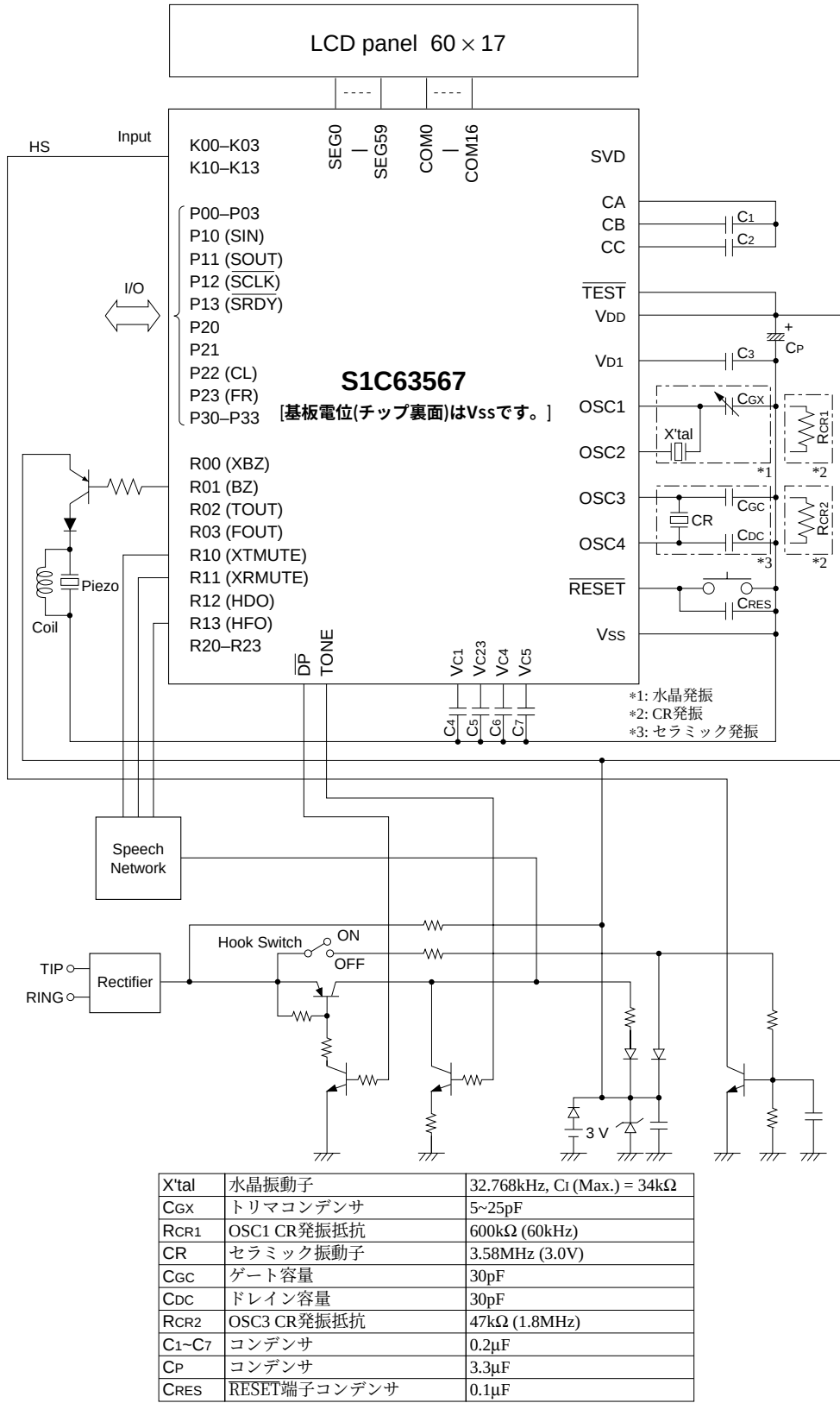
- 相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。
- 高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。
特に、発振部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



〈光に対する取り扱い(ベアチップ実装の場合)〉

- 半導体素子は、光が照射されると特性が変化します。このため、本ICに光が当たると誤動作をおこすことがあります。光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。
- (1) 実使用時にICの遮光性が考慮された構造となるよう、設計および実装を行ってください。
 - (2) 検査工程では、ICの遮光性が考慮された環境設計を行ってください。
 - (3) ICの遮光は、ICチップの表面、裏面および側面について考慮してください。

6 基本外部結線図



注: ここに記載されている値は一例であり、特に動作を保証するものではありません。

7 電気的特性

7.1 絶対最大定格

(V_{SS}=0V)

項 目	記号	定 格 値	単位
電源電圧	V _{DD}	-0.5 ~ 7.0	V
入力電圧(1)	V _I	-0.5 ~ V _{DD} + 0.3	V
入力電圧(2)	V _{IOSC}	-0.5 ~ V _{D1} + 0.3	V
許容総出力電流 *1	ΣI _{VDD}	10	mA
動作温度	T _{opr}	-20 ~ 70	°C
保存温度	T _{stg}	-65 ~ 150	°C
半田付け温度・時間	T _{sol}	260°C, 10sec (リード部)	—
許容損失 *2	P _D	250	mW

*1 許容総出力電流とは出力端子から同時に流し出せる(または引き込める)電流(平均電流)の総和です。

*2 プラスチックパッケージ(QFP8-144pin)の場合

7.2 推奨動作条件

(Ta=-20~70°C)

項 目	記号	条 件	Min.	Typ.	Max.	単位
電源電圧	V _{DD}	V _{SS} =0V	2.2	3.0	5.5	V
発振周波数	f _{OSC1}	水晶発振	—	32.768	—	kHz
		CR発振	40	60	80	kHz
	f _{OSC3}	CR発振	—	1,800	2,250	kHz
		セラミック発振	—	3.58	—	MHz
SVD端子入力電圧	SVD	SVD ≤ V _{DD} , V _{SS} =0V	0		5.5	V

7.3 DC特性

特記なき場合

$V_{DD}=3.0V$, $V_{SS}=0V$, $f_{OSC1}=32.768kHz$, $T_a=-20\sim70^{\circ}C$, $V_{D1}/V_{C1}/V_{C23}/V_{C4}/V_{C5}$ は内部電圧, $C_1\sim C_7=0.2\mu F$

項 目	記号	条 件	Min.	Typ.	Max.	単位
高レベル入力電圧(1)	V_{IH1}	K00~03, K10~13 P00~03, P10~13, P20~23, P30~33	$0.8 \cdot V_{DD}$		V_{DD}	V
高レベル入力電圧(2)	V_{IH2}	RESET, TEST	$0.9 \cdot V_{DD}$		V_{DD}	V
低レベル入力電圧(1)	V_{IL1}	K00~03, K10~13	0		$0.2 \cdot V_{DD}$	V
低レベル入力電圧(2)	V_{IL2}	P00~03, P10~13, P20~23, P30~33	0		0.4	V
低レベル入力電圧(3)	V_{IL3}	RESET, TEST	0		$0.1 \cdot V_{DD}$	V
高レベル入力電流	I_{IH}	$V_{IH}=3.0V$ K00~03, K10~13 P00~03, P10~13, P20~23, P30~33 RESET, TEST	0		0.5	μA
低レベル入力電流(1)	I_{IL1}	$V_{IL1}=V_{SS}$ Pull upなし K00~03, K10~13 P00~03, P10~13, P20~23, P30~33 RESET, TEST	-0.5		0	μA
低レベル入力電流(2)	I_{IL2}	$V_{IL2}=V_{SS}$ Pull upあり K00~03, K10~13 P00~03, P10~13, P20~23, P30~33 RESET, TEST	-16	-10	-6	μA
高レベル出力電流(1)	I_{OH1}	$V_{OH1}=0.9 \cdot V_{DD}$ R02, R03, R10~13, R20~23 P00~03, P10~13, P20~23, P30~33			-0.6	mA
高レベル出力電流(2)	I_{OH2}	$V_{OH2}=0.9 \cdot V_{DD}$ R00, R01			-0.6	mA
低レベル出力電流(1)	I_{OL1}	$V_{OL1}=0.1 \cdot V_{DD}$ R02, R03, R10~13, R20~23 P00~03, P10~13, P20~23, P30~33	1.5			mA
低レベル出力電流(2)	I_{OL2}	$V_{OL2}=0.1 \cdot V_{DD}$ R00, R01	1.5			mA
コモン出力電流	I_{OH3}	$V_{OH3}=V_{C5}-0.05V$ COM0~16			-25	μA
	I_{OL3}	$V_{OL3}=V_{SS}+0.05V$	25			μA
セグメント出力電流	I_{OH4}	$V_{OH4}=V_{C5}-0.05V$ SEG0~59			-10	μA
	I_{OL4}	$V_{OL4}=V_{SS}+0.05V$	10			μA

特記なき場合

$V_{DD}=5.0V$, $V_{SS}=0V$, $f_{OSC1}=32.768kHz$, $T_a=-20\sim70^{\circ}C$, $V_{D1}/V_{C1}/V_{C23}/V_{C4}/V_{C5}$ は内部電圧, $C_1\sim C_7=0.2\mu F$

項 目	記号	条 件	Min.	Typ.	Max.	単位
高レベル入力電圧(1)	V_{IH1}	K00~03, K10~13 P00~03, P10~13, P20~23, P30~33	$0.8 \cdot V_{DD}$		V_{DD}	V
高レベル入力電圧(2)	V_{IH2}	RESET, TEST	$0.9 \cdot V_{DD}$		V_{DD}	V
低レベル入力電圧(1)	V_{IL1}	K00~03, K10~13	0		$0.2 \cdot V_{DD}$	V
低レベル入力電圧(2)	V_{IL2}	P00~03, P10~13, P20~23, P30~33	0		0.4	V
低レベル入力電圧(3)	V_{IL3}	RESET, TEST	0		$0.1 \cdot V_{DD}$	V
高レベル入力電流	I_{IH}	$V_{IH}=5.0V$ K00~03, K10~13 P00~03, P10~13, P20~23, P30~33 RESET, TEST	0		0.5	μA
低レベル入力電流(1)	I_{IL1}	$V_{IL1}=V_{SS}$ Pull upなし K00~03, K10~13 P00~03, P10~13, P20~23, P30~33 RESET, TEST	-0.5		0	μA
低レベル入力電流(2)	I_{IL2}	$V_{IL2}=V_{SS}$ Pull upあり K00~03, K10~13 P00~03, P10~13, P20~23, P30~33 RESET, TEST	-25	-15	-10	μA
高レベル出力電流(1)	I_{OH1}	$V_{OH1}=0.9 \cdot V_{DD}$ R02, R03, R10~13, R20~23 P00~03, P10~13, P20~23, P30~33			-1.5	mA
高レベル出力電流(2)	I_{OH2}	$V_{OH2}=0.9 \cdot V_{DD}$ R00, R01			-1.5	mA
低レベル出力電流(1)	I_{OL1}	$V_{OL1}=0.1 \cdot V_{DD}$ R02, R03, R10~13, R20~23 P00~03, P10~13, P20~23, P30~33	3.5			mA
低レベル出力電流(2)	I_{OL2}	$V_{OL2}=0.1 \cdot V_{DD}$ R00, R01	3.5			mA
コモン出力電流	I_{OH3}	$V_{OH3}=V_{C5}-0.05V$ COM0~16			-25	μA
	I_{OL3}	$V_{OL3}=V_{SS}+0.05V$	25			μA
セグメント出力電流	I_{OH4}	$V_{OH4}=V_{C5}-0.05V$ SEG0~59			-10	μA
	I_{OL4}	$V_{OL4}=V_{SS}+0.05V$	10			μA

7.4 アナログ回路特性・消費電流

特記なき場合

VDD=3.0V, VSS=0V, fOSC1=32.768kHz, CG=25pF, Ta=-20~70°C, VD1/VC1/VC23/VC4/VC5は内部電圧, C1~C7=0.2μF

項 目	記号	条 件		Min.	Typ.	Max.	単位
LCD駆動電圧	VC1	VSS-VC1間に1MΩの負荷抵抗を接続 (パネル負荷なし)		1/2・VC23 ×0.95		1/2・VC23 -0.1	V
	VC23	VSS-VC23間に1MΩの負荷抵抗 を接続 (パネル負荷なし)	LC0~3="0"	Typ. ×0.88	1.95	Typ. ×1.12	V
			LC0~3="1"		1.98		
			LC0~3="2"		2.01		
			LC0~3="3"		2.04		
			LC0~3="4"		2.07		
			LC0~3="5"		2.10		
			LC0~3="6"		2.13		
			LC0~3="7"		2.16		
			LC0~3="8"		2.19		
			LC0~3="9"		2.22		
			LC0~3="10"		2.25		
			LC0~3="11"		2.28		
			LC0~3="12"		2.31		
LC0~3="13"	2.34						
LC0~3="14"	2.37						
LC0~3="15"	2.40						
VC4	VSS-VC4間に1MΩの負荷抵抗を接続 (パネル負荷なし)		3/2・VC23 ×0.95		3/2・VC23	V	
VC5	VSS-VC5間に1MΩの負荷抵抗を接続 (パネル負荷なし)		2・VC23 ×0.95		2・VC23	V	
SVD電圧 (Ta=25°C)	VSVD1	SVDS0~3="0"(内部)	Typ. ×0.93	2.20	Typ. ×1.07	V	
		SVDS0~3="1"		2.20			
		SVDS0~3="2"		2.20			
		SVDS0~3="3"		2.20			
		SVDS0~3="4"		2.20			
		SVDS0~3="5"		2.30			
		SVDS0~3="6"		2.40			
		SVDS0~3="7"		2.50			
		SVDS0~3="8"		2.60			
		SVDS0~3="9"		2.70			
		SVDS0~3="10"		2.80			
		SVDS0~3="11"		2.90			
		SVDS0~3="12"		3.00			
		SVDS0~3="13"		3.10			
		SVDS0~3="14"		3.20			
		SVDS0~3="15"		3.30			
		SVD電圧(外部) *3 (Ta=25°C)		VSVD2			SVDS0~3="0"(外部)
SVD回路応答時間 (Ta=25°C)	tsVD					100	μs
消費電流 (Ta=25°C)	IOP	HALT時	液晶電源OFF *1,*2		1.5	3	μA
		(32kHz水晶発振)	液晶電源ON *1,*2		4	8	μA
		実行時	液晶電源ON *1,*2		10	19	μA
		(32kHz水晶発振)					
		実行時	液晶電源ON *1,*2		45	80	μA
		(60kHz CR発振)					
		実行時	液晶電源ON *1		800	1,000	μA
		(1,800kHz CR発振)					
		HALT時	液晶電源ON *1		150	300	μA
		(3.58MHzセラミック発振)					
実行時	液晶電源ON *1		600	800	μA		
(3.58MHzセラミック発振)							
SVD回路電流(電源電圧検出時) VDD=2.2~5.5V			1		15	μA	
SVD回路電流(外部電圧検出時) VDD=2.2~5.5V			0.5		6	μA	

*1 パネル負荷なし、SVD回路はOFF状態

*2 OSCC="0"

*3 SVD端子には電源電圧(VDD-VSS)範囲外の電圧を入力しないでください。

7.5 発振特性

発振特性は諸条件(使用部品、基板パターン等)により変化します。以下の特性は参考値としてご使用ください。

OSC1 水晶発振回路

特記なき場合

$V_{DD}=3.0V$, $V_{SS}=0V$, $f_{OSC1}=32.768kHz$, $C_G=25pF$, C_D =内蔵, $T_a=-20\sim70^{\circ}C$

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振開始電圧	V_{sta}	$t_{sta} \leq 3sec (V_{DD})$	2.2			V
発振停止電圧	V_{stp}	$t_{stp} \leq 10sec (V_{DD})$	2.2			V
内蔵容量(ドレイン)	C_D	IC内部の寄生容量を含む(チップ状態)		14		pF
周波数電圧偏差	$\Delta f/\Delta V$	$V_{DD}=2.2 \sim 5.5V$			10	ppm
周波数IC偏差	$\Delta f/\Delta IC$		-10		10	ppm
周波数調整範囲	$\Delta f/\Delta C_G$	$C_G=5 \sim 25pF$	10	20		ppm
高調波発振開始電圧	V_{hho}	$C_G=5pF (V_{DD})$	5.5			V
許容リーク抵抗	R_{leak}	OSC1と V_{SS} の間	200			$M\Omega$

OSC1 CR発振回路

特記なき場合

$V_{DD}=3.0V$, $V_{SS}=0V$, $R_{CR1}=600k\Omega$, $T_a=-20\sim70^{\circ}C$

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振周波数バラツキ	f_{OSC1}		-30	60kHz	30	%
発振開始電圧	V_{sta}	(V_{DD})	2.2			V
発振開始時間	t_{sta}	$V_{DD}=2.2 \sim 5.5V$			3	ms
発振停止電圧	V_{stp}	(V_{DD})	2.2			V

OSC3 セラミック発振回路

特記なき場合

$V_{DD}=3.0V$, $V_{SS}=0V$, セラミック振動子: 3.58MHz, $C_{GC}=C_{DC}=30pF$, $T_a=-20\sim70^{\circ}C$

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振開始電圧	V_{sta}	(V_{DD})	2.2			V
発振開始時間	t_{sta}	$V_{DD}=2.2 \sim 5.5V$			5	ms
発振停止電圧	V_{stp}	(V_{DD})	2.2			V

OSC3 CR発振回路

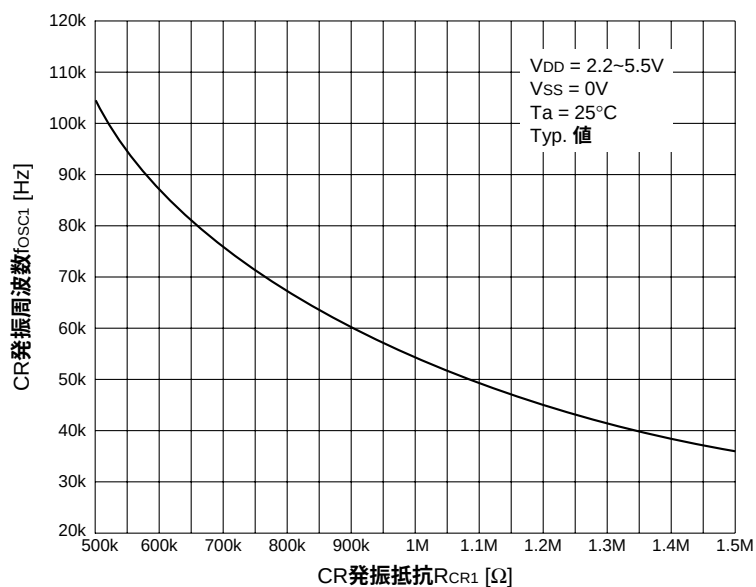
特記なき場合

$V_{DD}=3.0V$, $V_{SS}=0V$, $R_{CR2}=47k\Omega$, $T_a=-20\sim70^{\circ}C$

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振周波数バラツキ	f_{OSC3}		-25	1,800kHz	25	%
発振開始電圧	V_{sta}	(V_{DD})	2.2			V
発振開始時間	t_{sta}	$V_{DD}=2.2 \sim 5.5V$			3	ms
発振停止電圧	V_{stp}	(V_{DD})	2.2			V

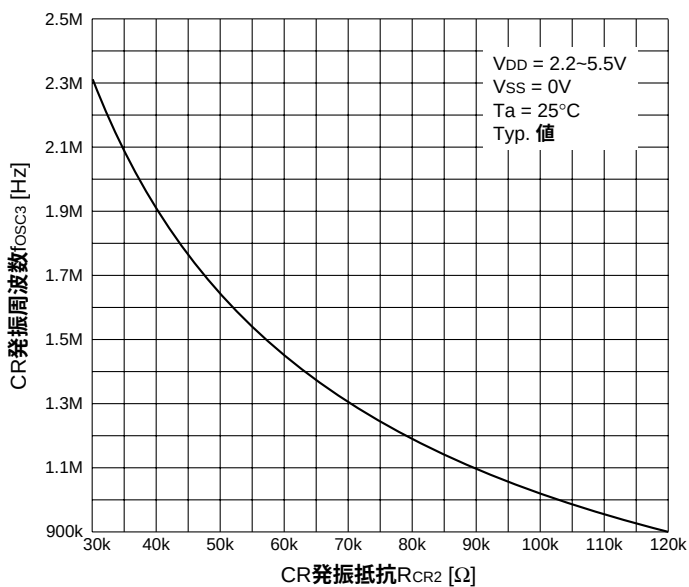
OSC1 CR発振抵抗特性

発振特性は諸条件(使用部品、基板パターン等)により変化します。以下の特性は参考値とし、実際の製品で評価されることを推奨します。



OSC3 CR発振抵抗特性

発振特性は諸条件(使用部品、基板パターン等)により変化します。以下の特性は参考値とし、実際の製品で評価されることを推奨します。



7.6 シリアルインタフェースAC特性

1 マスタモード (32kHz動作時)

条件: $V_{DD}=3.0V$, $V_{SS}=0V$, $T_a=-20\sim70^{\circ}C$, $V_{IH1}=0.8V_{DD}$, $V_{IL1}=0.2V_{DD}$, $V_{OH}=0.8V_{DD}$, $V_{OL}=0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	t _{sm_d}			5	μs
受信データ入力セットアップ時間	t _{sm_s}	10			μs
受信データ入力ホールド時間	t _{sm_h}	5			μs

2 マスタモード (1MHz動作時)

条件: $V_{DD}=3.0V$, $V_{SS}=0V$, $T_a=-20\sim70^{\circ}C$, $V_{IH1}=0.8V_{DD}$, $V_{IL1}=0.2V_{DD}$, $V_{OH}=0.8V_{DD}$, $V_{OL}=0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	t _{sm_d}			200	ns
受信データ入力セットアップ時間	t _{sm_s}	400			ns
受信データ入力ホールド時間	t _{sm_h}	200			ns

クロック周波数は最大1MHzに制限されます。

3 スレーブモード (32kHz動作時)

条件: $V_{DD}=3.0V$, $V_{SS}=0V$, $T_a=-20\sim70^{\circ}C$, $V_{IH1}=0.8V_{DD}$, $V_{IL1}=0.2V_{DD}$, $V_{OH}=0.8V_{DD}$, $V_{OL}=0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	t _{ss_d}			10	μs
受信データ入力セットアップ時間	t _{ss_s}	10			μs
受信データ入力ホールド時間	t _{ss_h}	5			μs

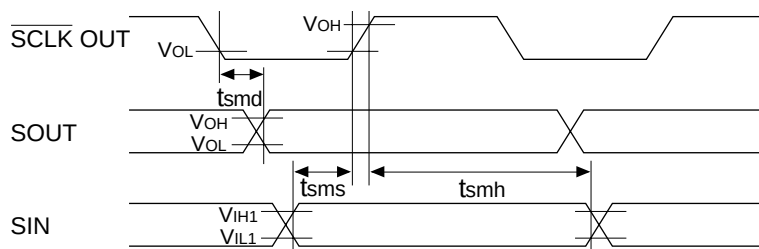
4 スレーブモード (1MHz動作時)

条件: $V_{DD}=3.0V$, $V_{SS}=0V$, $T_a=-20\sim70^{\circ}C$, $V_{IH1}=0.8V_{DD}$, $V_{IL1}=0.2V_{DD}$, $V_{OH}=0.8V_{DD}$, $V_{OL}=0.2V_{DD}$

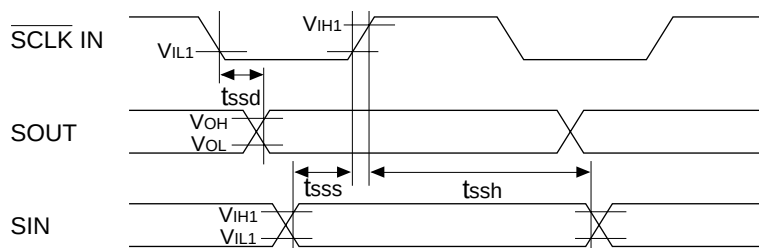
項 目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	t _{ss_d}			500	ns
受信データ入力セットアップ時間	t _{ss_s}	400			ns
受信データ入力ホールド時間	t _{ss_h}	200			ns

クロック周波数は最大1MHzに制限されます。

<マスタモード>



<スレーブモード>



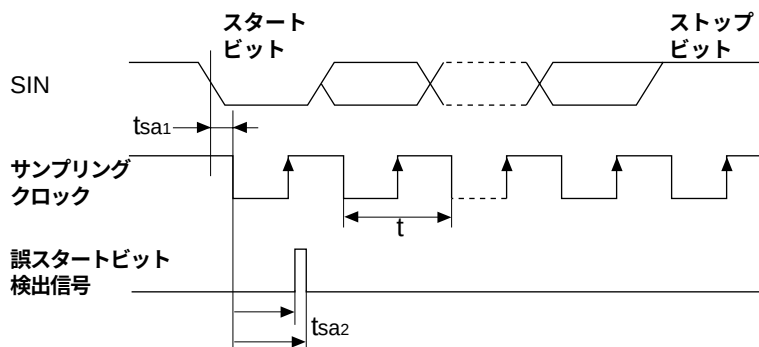
5 調歩同期式

条件: $V_{DD}=2.2\sim 5.5V$, $V_{SS}=0V$, $T_a=-20\sim 70^{\circ}C$

項 目	記号	Min.	Typ.	Max.	単位
スタートビット検出誤差時間 *1	t_{sa1}	0		$t/16$	s
誤スタートビット検出範囲時間 *2	t_{sa2}	$9t/16$		$10t/16$	s

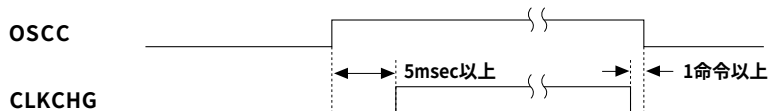
*1 スタートビット検出誤差時間とは、スタートビットが入力されてから内部のサンプリングクロックが動作するまでの論理的遅れ時間。(AC的な時間は含まれません。)

*2 誤スタートビット検出とは、スタートビットを検出し内部のサンプリングクロックが動作した後、再度LOWレベル(スタートビット)が入力されているか検出する論理的な範囲時間。HIGHレベルであった場合、スタートビット検出回路がリセットされ、再度スタートビット検出待ちになります。(AC的な時間は含まれません。)



7.7 タイミングチャート

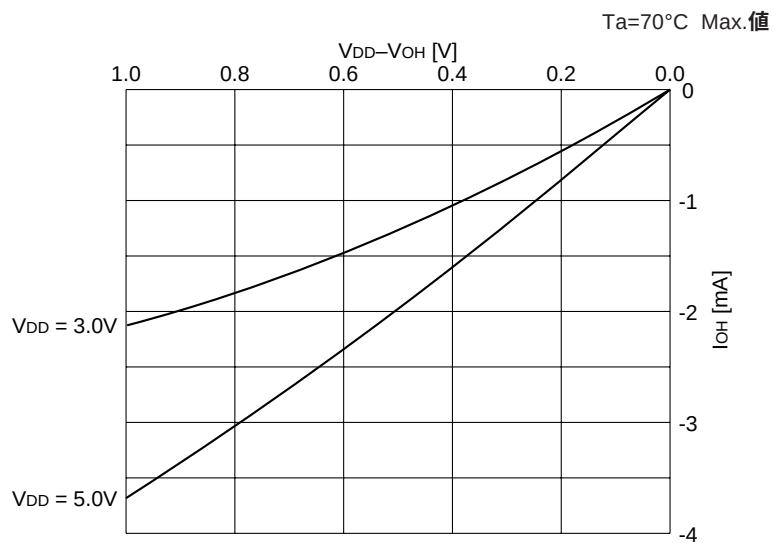
システムクロック切り換えタイミングチャート



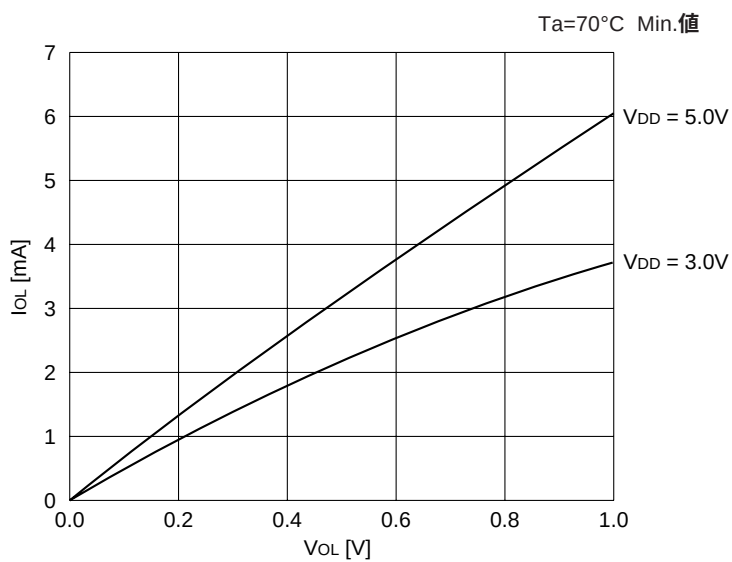
7.8 特性グラフ(参考値)

7.8.1 出力電流特性

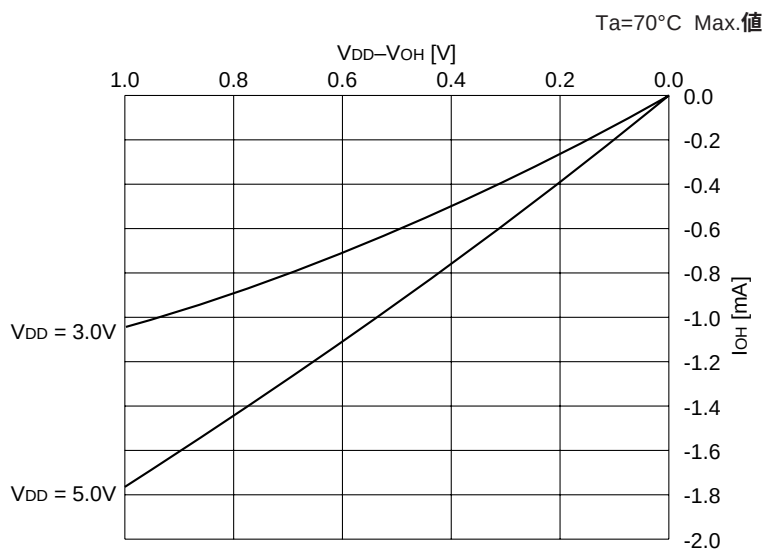
■高レベル出力電流(P_{xx} , R_{xx} , BZ)



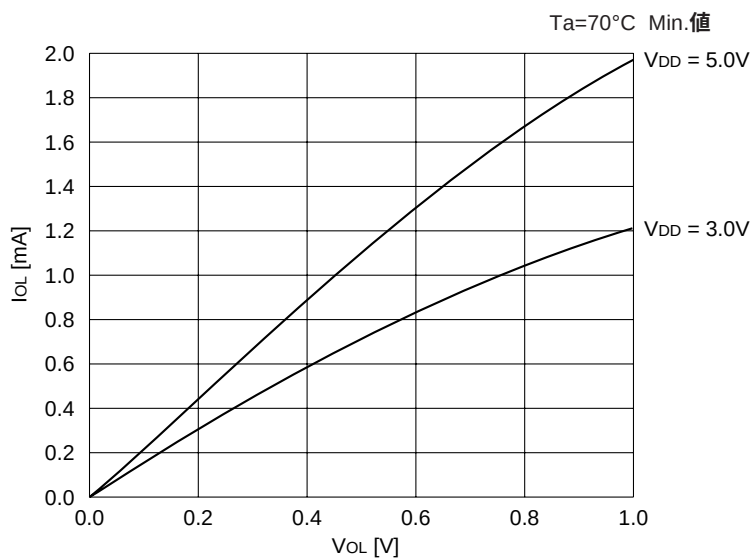
■低レベル出力電流(P_{xx} , R_{xx} , BZ)



■高レベル出力電流 (SEGxx)

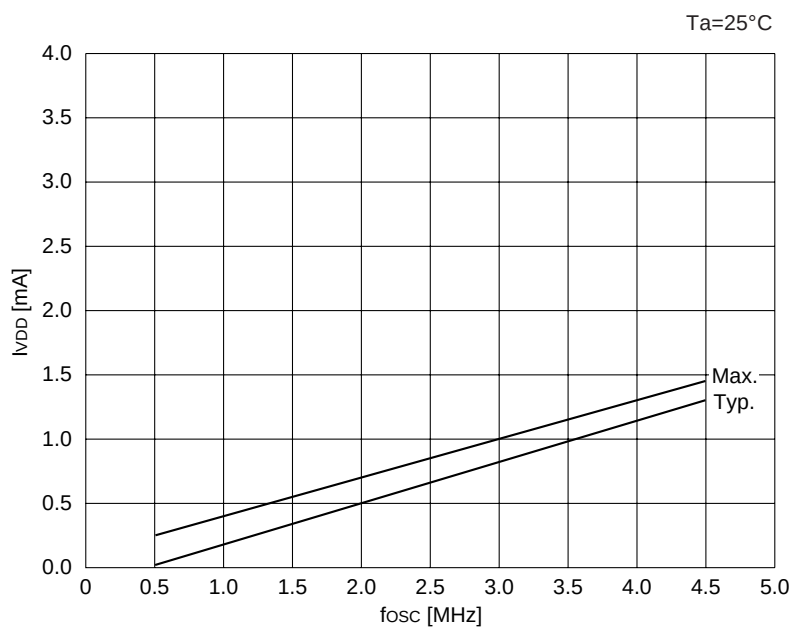


■低レベル出力電流 (SEGxx)



7.8.2 電源電流-周波数特性

■セラミック発振(動作時)

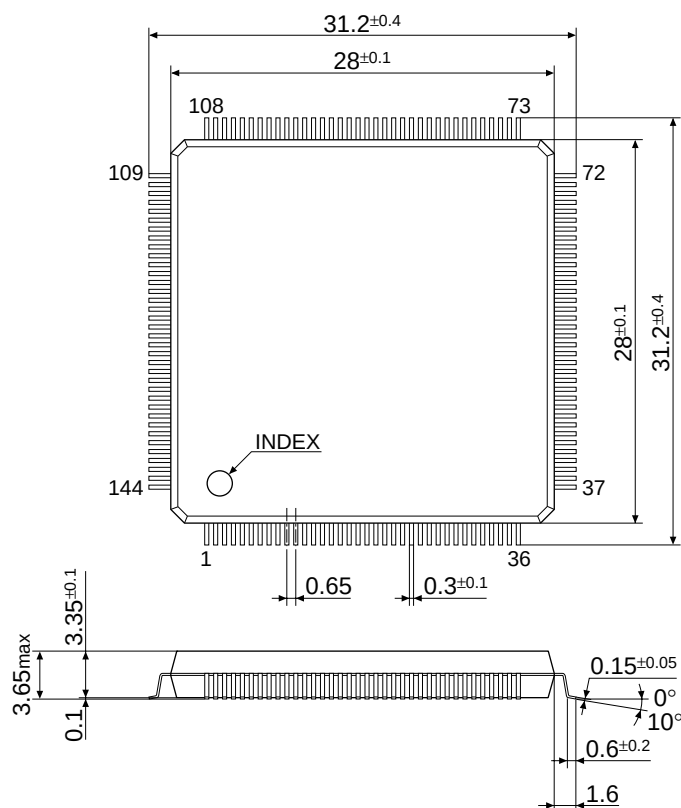


8 パッケージ

8.1 プラスチックパッケージ

QFP8-144pin

(単位: mm)

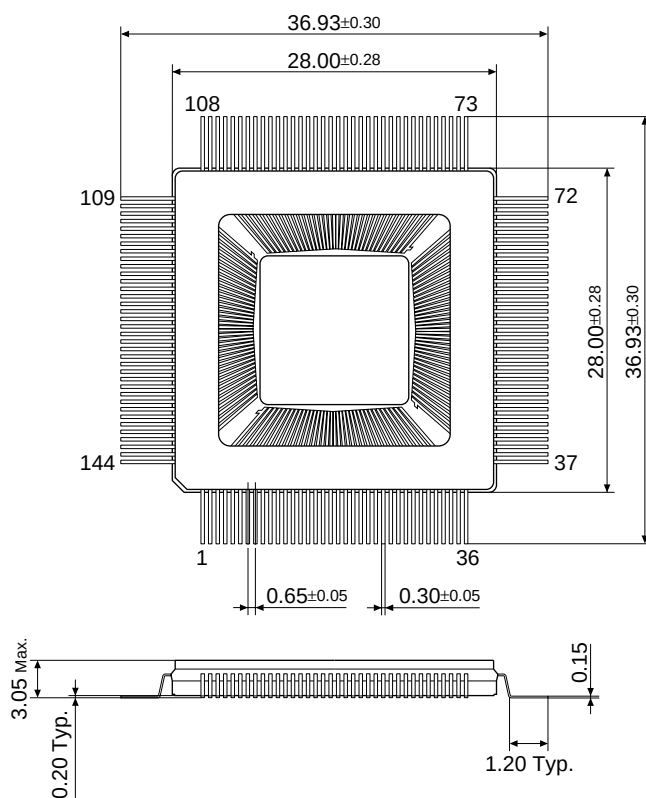


寸法については予告なく変更する場合があります。

8.2 テストサンプル用セラミックパッケージ

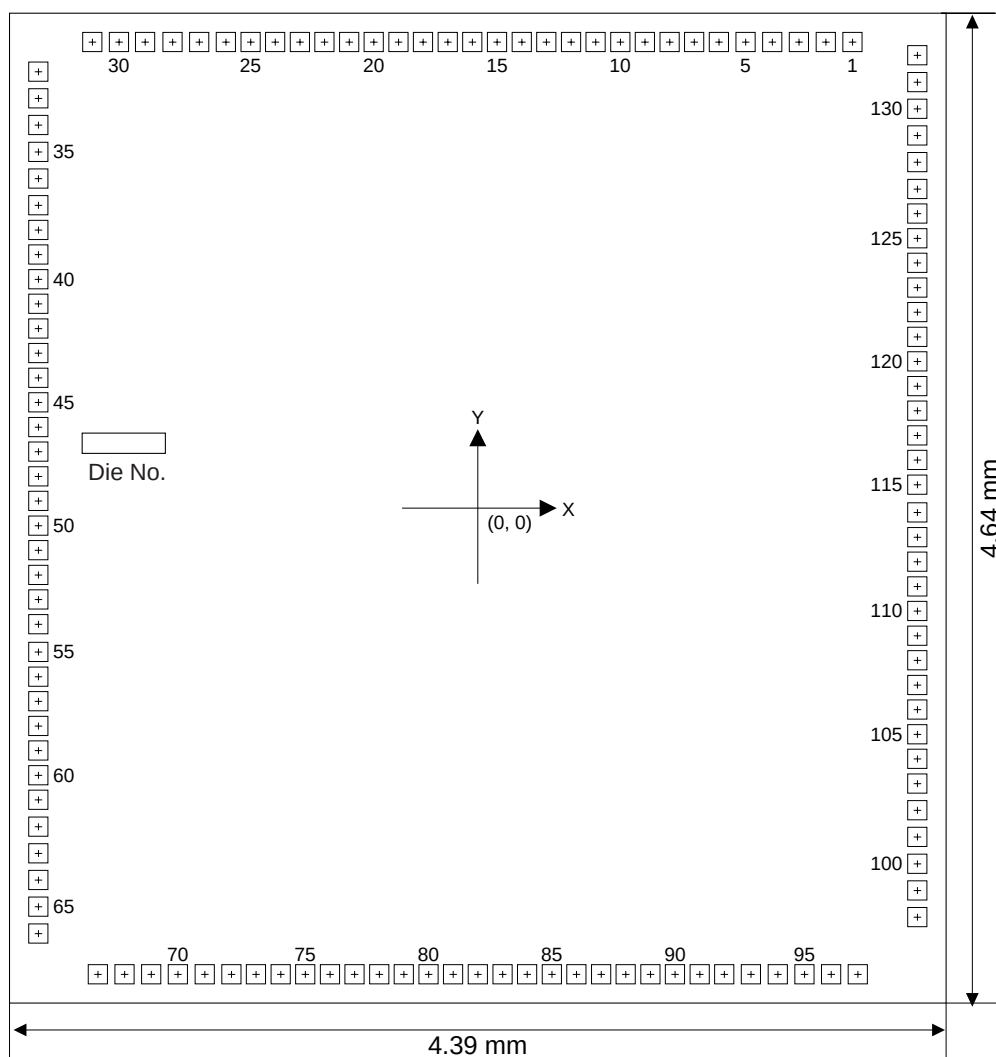
QFP8-144pin

(単位: mm)



9 パッド配置

9.1 パッド配置図



チップ厚: 400 μ m
 パッド開口部: 100 μ m

9.2 パッド座標

単位: μm

No.	パッド名	X	Y	No.	パッド名	X	Y	No.	パッド名	X	Y	No.	パッド名	X	Y
1	$\overline{\text{DP}}$	1756	2185	32	K11	-2060	2046	67	SEG47	-1781	-2185	98	SEG16	2060	-1917
2	R23	1631	2185	33	K10	-2060	1921	68	SEG46	-1656	-2185	99	SEG15	2060	-1792
3	R22	1505	2185	34	K03	-2060	1796	69	SEG45	-1531	-2185	100	SEG14	2060	-1667
4	R21	1380	2185	35	K02	-2060	1670	70	SEG44	-1406	-2185	101	SEG13	2060	-1541
5	R20	1255	2185	36	K01	-2060	1545	71	SEG43	-1280	-2185	102	SEG12	2060	-1416
6	R13	1130	2185	37	K00	-2060	1420	72	SEG42	-1155	-2185	103	SEG11	2060	-1291
7	R12	1014	2185	38	SVD	-2060	1304	73	SEG41	-1040	-2185	104	SEG10	2060	-1175
8	R11	899	2185	39	VC1	-2060	1189	74	SEG40	-924	-2185	105	SEG09	2060	-1060
9	R10	783	2185	40	VC23	-2060	1073	75	SEG39	-809	-2185	106	SEG08	2060	-944
10	R03	668	2185	41	VC4	-2060	958	76	SEG38	-693	-2185	107	SEG07	2060	-829
11	R02	552	2185	42	VC5	-2060	842	77	SEG37	-578	-2185	108	SEG06	2060	-713
12	R01	437	2185	43	CC	-2060	727	78	SEG36	-462	-2185	109	SEG05	2060	-598
13	R00	321	2185	44	CB	-2060	611	79	SEG35	-347	-2185	110	SEG04	2060	-482
14	P33	206	2185	45	CA	-2060	496	80	SEG34	-231	-2185	111	SEG03	2060	-367
15	P32	90	2185	46	COM8	-2060	380	81	SEG33	-116	-2185	112	SEG02	2060	-251
16	P31	-26	2185	47	COM9	-2060	265	82	SEG32	0	-2185	113	SEG01	2060	-136
17	P30	-141	2185	48	COM10	-2060	149	83	SEG31	116	-2185	114	SEG00	2060	-20
18	P23	-257	2185	49	COM11	-2060	34	84	SEG30	231	-2185	115	COM7	2060	110
19	P22	-372	2185	50	COM12	-2060	-82	85	SEG29	347	-2185	116	COM6	2060	226
20	P21	-488	2185	51	COM13	-2060	-197	86	SEG28	462	-2185	117	COM5	2060	341
21	P20	-603	2185	52	COM14	-2060	-313	87	SEG27	578	-2185	118	COM4	2060	457
22	P13	-719	2185	53	COM15	-2060	-428	88	SEG26	693	-2185	119	COM3	2060	572
23	P12	-834	2185	54	COM16	-2060	-544	89	SEG25	809	-2185	120	COM2	2060	688
24	P11	-950	2185	55	SEG59	-2060	-674	90	SEG24	924	-2185	121	COM1	2060	803
25	P10	-1065	2185	56	SEG58	-2060	-790	91	SEG23	1040	-2185	122	COM0	2060	919
26	P03	-1181	2185	57	SEG57	-2060	-905	92	SEG22	1155	-2185	123	V _{SS}	2060	1034
27	P02	-1306	2185	58	SEG56	-2060	-1021	93	SEG21	1280	-2185	124	OSC1	2060	1150
28	P01	-1431	2185	59	SEG55	-2060	-1136	94	SEG20	1406	-2185	125	OSC2	2060	1265
29	P00	-1556	2185	60	SEG54	-2060	-1252	95	SEG19	1531	-2185	126	V _{D1}	2060	1381
30	K13	-1682	2185	61	SEG53	-2060	-1367	96	SEG18	1656	-2185	127	OSC3	2060	1496
31	K12	-1807	2185	62	SEG52	-2060	-1493	97	SEG17	1781	-2185	128	OSC4	2060	1622
				63	SEG51	-2060	-1618					129	V _{DD}	2060	1747
				64	SEG50	-2060	-1743					130	$\overline{\text{RESET}}$	2060	1872
				65	SEG49	-2060	-1868					131	$\overline{\text{TEST}}$	2060	1997
				66	SEG48	-2060	-1994					132	TONE	2060	2123

セイコーエプソン株式会社 電子デバイス営業本部

ED営業推進部 IC営業技術G	〒191-8501 東京都日野市日野421-8 TEL (042) 587-5816 (直通) FAX (042) 587-5624
〈東日本〉 ED東京営業部 東京IC営業G	〒191-8501 東京都日野市日野421-8 TEL (042) 587-5313 (直通) FAX (042) 587-5116
〈西日本〉 ED大阪営業部	〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F TEL (06) 6120-6000 (代表) FAX (06) 6120-6100
〈東海・北陸〉 ED名古屋営業部	〒461-0005 名古屋市東区東桜1-10-24 栄大野ビル4F TEL (052) 953-8031 (代表) FAX (052) 953-8041
〈長野〉 ED長野営業部	〒392-8502 長野県諏訪市大和3-3-5 TEL (0266) 58-8171 (直通) FAX (0266) 58-9917
〈東北〉 ED仙台営業所	〒980-0013 宮城県仙台市青葉区花京院1-1-20 花京院スクエア19F TEL (022) 263-7975 (代表) FAX (022) 263-7990

インターネットによる電子デバイスのご紹介 <http://www.epsondevice.com>