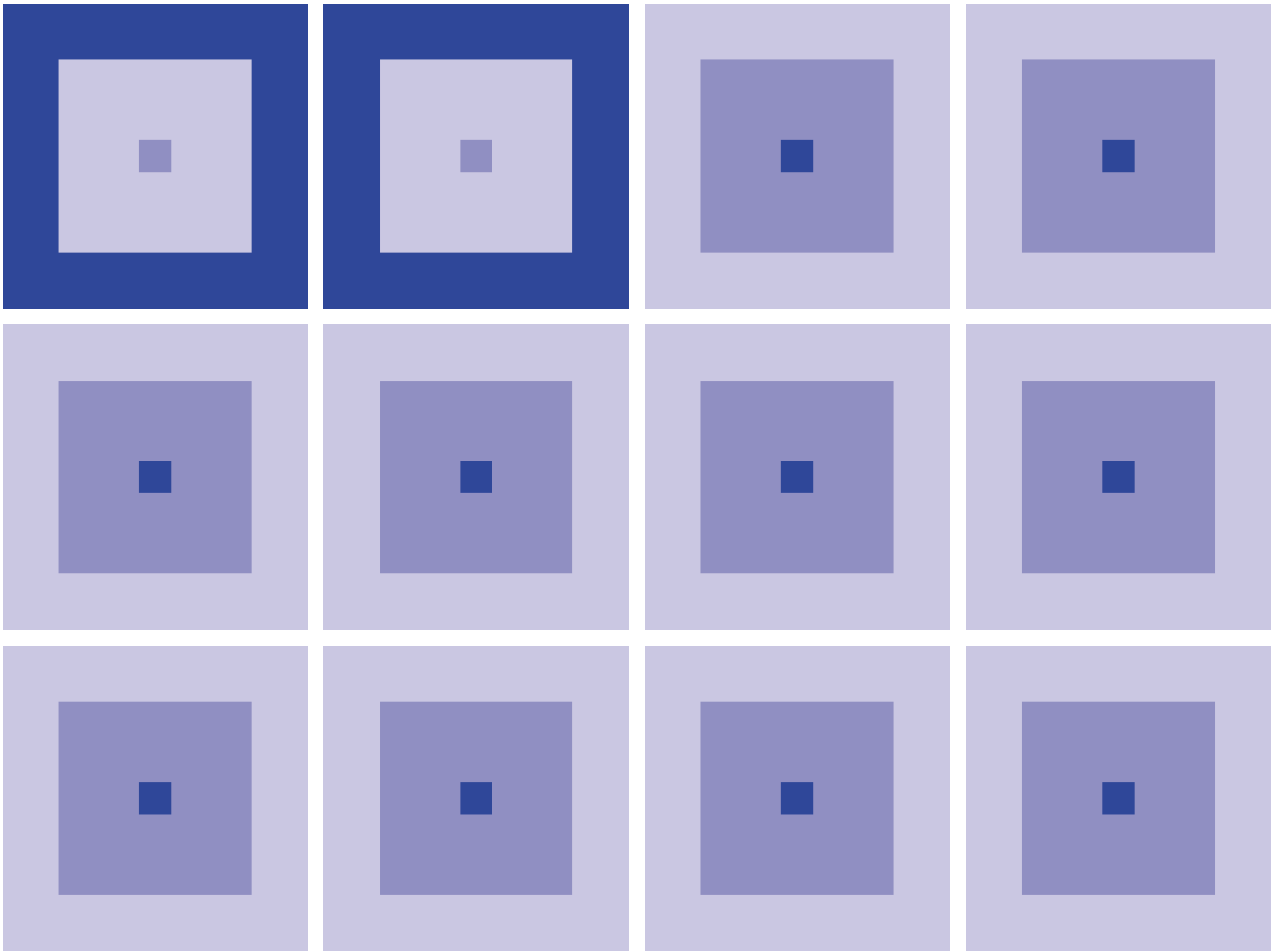


CMOS 32-BIT SINGLE CHIP MICROCOMPUTER

S1C33
ASIC DESIGN GUIDE

Embedded Array S1X50000 Series



本資料のご使用につきましては、次の点にご留意願います。

1. 本資料の内容については、予告なく変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利(工業所有権を含む)侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち、「外国為替および外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、一般民生用です。生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合の如何なる責任についても負いかねます。

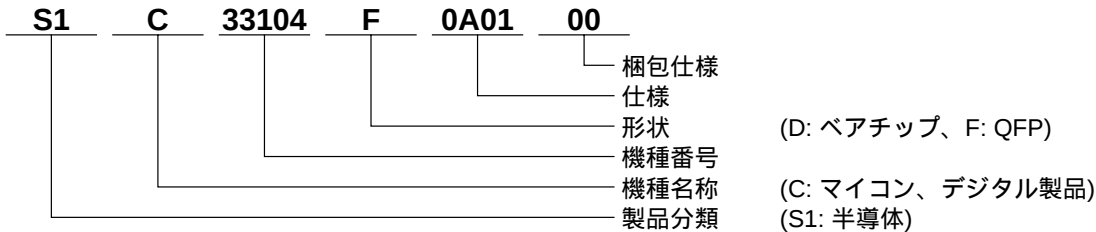
MS-DOS, Windows, Windows95, Windows98およびWindows NTは米国マイクロソフト社の登録商標です。
PC/AT, PS/2, PC-DOS, VGA, EGAおよびIBMは、米国International Business Machines社の登録商標です。
NEC PC-9800シリーズおよびNECは日本電気株式会社の登録商標です。
その他のブランド名または製品名は、それらの所有者の商標もしくは登録商標です。

製品型番変更のご案内

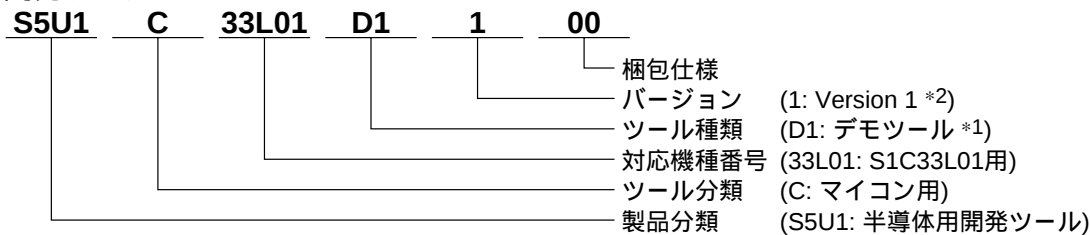
2001年4月1日より、弊社半導体製品の製品型番が以下のとおり変更となりますので、4月1日以降のご発注につきましては変更後の製品型番にてお願い申し上げます。
なお、製品型番の詳細仕様につきましては、弊社営業担当にお問い合わせください。

製品型番体系

● デバイス



● 開発ツール



*1: ツールの種類は、新旧型番対応表を参照してください。(マニュアル類には一桁で記載されているものもあります。)
*2: マニュアル類には、実際のバージョンは記載されておりません。

新旧型番対応表

● S1C33ファミリ

旧型番	新型番
E0C33A104	S1C33104
E0C33202	S1C33202
E0C33204	S1C33204
E0C33208	S1C33208
E0C33209	S1C33209
E0C332T01	S1C33T01
E0C332L01	S1C33L01
E0C332L02	S1C33L02
E0C332S08	S1C33S01
E0C332129	S1C33221
E0C33264	S1C33222
E0C332F128	S1C33240

旧型番	新型番
CC33	S5U1C33000C
CF33	S5U1C330C1S
COSIM33	S5U1C330C2S
GRAPHIC33	S5U1C330G1S
HMM33	S5U1C330H1S
JPEG33	S5U1C330J1S
MON33	S5U1C330M2S
MELODY33	S5U1C330M1S
PEN33	S5U1C330P1S
ROS33	S5U1C330R1S
SOUND33	S5U1C330S1S
SMT33	S5U1C330S2S
TS33	S5U1C330T1S
USB33	S5U1C330U1S
VOX33	S5U1C330V1S
VRE33	S5U1C330V2S

開発ツール新旧型番対応表

● S1C33ファミリ関係の開発ツール

旧型番	新型番
ICE33	S5U1C33104H
EM33-4M	S5U1C33104E
PRC33001	S5U1C33104P1
POD33001	S5U1C33104P2
ICD33	S5U1C33000H
DMT33004	S5U1C33104D1
DMT33004PD	S5U1C33104D2
DMT33005	S5U1C33208D1
DMT33005PD	S5U1C33208D2
DMT33006LV	S5U1C33L01D1
DMT33006PDLV	S5U1C33L01D2
DMT33007	S5U1C33208D3
DMT33007PD	S5U1C33208D4
DMT33008LV	S5U1C33T01D1
DMT33008PDLV	S5U1C33T01D2
DMT332S08LV	S5U1C33S01D1
DMT332S08PDLV	S5U1C33S01D2
DMT33209LV	S5U1C33209D1
DMT33209PDLV	S5U1C33209D2
DMT332F128LV	S5U1C33240D1
DMT33MON	S5U1C330M1D1
DMT33MONLV	S5U1C330M2D1
DMT33AMP	S5U1C330A1D1
DMT33AMP2	S5U1C330A2D1
DMT33AMP3	S5U1C330A3D1
DMT33AMP4	S5U1C330A4D1
DMT33CF	S5U1C330C1D1
DMT33CPLD400KLV	S5U1C330C2D1

旧型番	新型番
DMT33LIF	S5U1C330L1D1
DMT33SMT	S5U1C330S1D1
DMT33LCD26	S5U1C330L2D1
DMT33LCD37	S5U1C330L3D1
EPOD33001	S5U1C33208E1
EPOD33001LV	S5U1C33208E2
EPOD33208	S5U1C33208E3
EPOD33208LV	S5U1C33208E4
EPOD332L01LV	S5U1C33L01E1
EPOD332T01	S5U1C33T01E1
EPOD332T01LV	S5U1C33T01E2
EPOD33209	S5U1C33209E1
EPOD33209LV	S5U1C33209E2
EPOD332128	S5U1C33220E1
EPOD332128LV	S5U1C33220E2
EPOD332S08LV	S5U1C33S01E1
MEM33201	S5U1C33001M1
MEM33201LV	S5U1C33001M2
MEM33202	S5U1C33002M1
MEM33202LV	S5U1C33002M2
MEM33203	S5U1C33003M1
MEM33203LV	S5U1C33003M2
MEM33DIP42	S5U1C330D1M1
MEM33TSOP48	S5U1C330T1M1
EPOD176CABLE	S5U1C33T00E31
EPOD100CABLE	S5U1C33S00E31
EPOD33SRAM5V	S5U1C33000S
EPOD33SRAM3V	S5U1C33001S

第 4 章 C33 マクロ搭載 ASIC における特殊作業	62
4.1 特殊作業について	62
4.2 C33 マクロ仕様の確認	62
4.3 ピン配置の制約事項の確認	63
4.3.1 PLL 用端子、低速 / 高速発振回路用端子の制約	63
4.3.2 ADC 用端子の制約	63
4.3.3 電源の本数	63
4.3.4 フロアプラン	63
4.4 C33 マクロとユーザ回路、ユーザ I/O との接続	65
4.4.1 C33 マクロとユーザ回路との接続	65
4.4.2 C33 マクロとユーザ I/O との接続	65
4.4.3 5V トレラント I/O セル使用時の注意事項	65
4.4.4 C33 マクロとユーザ I/O の接続例	66
4.5 テストパターンの作成	67
4.5.1 DC/AC テストパターンの作成	67
4.5.2 C33 マクロとユーザ回路の接続確認用テストパターンの作成	67
第 5 章 シミュレーション	68
5.1 設計フロー	68
5.2 システムレベルシミュレーション	70
5.3 テストパターン作成	70
5.4 シミュレーション環境	71
5.4.1 動作環境	71
5.4.2 インストール手順	71
5.5 シミュレーションの走行	72
5.5.1 シミュレーション準備	72
5.5.2 シミュレーション実行サンプル	72
5.5.3 シミュレーション実行スクリプト	73
5.5.4 テストベンチの構成	74
5.6 評価プログラムの作成	76
5.6.1 asm33 アセンブラプロトについて	76
第 6 章 ボード開発	79
6.1 開発環境	79
6.2 評価ボード設計	82
第 7 章 実装	85
7.1 実装上の注意事項	85
7.2 その他	89

第 1 章 製品概要

1.1 まえがき

本製品（以下 C33 と略す。）は、セイコーエプソンが独自に開発した 32 ビット CPU コア S1C33000 シリーズと各種周辺機能のマクロを内蔵する ASIC マクロファミリの名称です。C33 マクロは、セイコーエプソンの 0.35 μm エンベディッド ASIC ファミリ（SIX50000 シリーズ）上に集積することができます。プロセス技術が共通である SRAM/ROM/フラッシュ ASIC メモリマクロも同様に同一チップ上に集積することができます。このように、セイコーエプソンは、完全な ASIC マイコン設計環境を構築し、C33 マクロを内蔵する ASIC 製品（S1C33ASIC）をお客さまに提供いたします。

C33 CPU アーキテクチャは RISC 形式です。CPU コアサイズが小さいにも関わらず、命令セットは非常に強力でコンパイルコードサイズを小さくすることができます。C33 マクロは、以下の特長を備えています。

- ・ 高速かつ高性能： DC ～ 60MHz で動作可能 ROM 内蔵～ 50MHz
ROM レス～ 60MHz
- ・ 強力な命令セット： 16 ビット固定長、基本命令数 105
- ・ 実行サイクル： 主要な命令は 1CPI（Cycle Per Instruction）で実行
- ・ MAC 機能： 16 ビット× 16 ビット+ 64 ビット。積和演算を 2 クロックで実行し、50MHz 動作時 25MOPS。
- ・ レジスタ： 32 ビット× 16 の汎用レジスタ。32 ビット× 5 の特殊レジスタ
- ・ メモリ空間： 256M バイト（28 ビット）リニア空間で、命令コード、データ、I/O 共有形式
- ・ 外部バスインタフェース： 15 に分割されたメモリエリア構成
外部メモリとの直結可能
- ・ 割り込み： リセット、NMI、外部割り込み（最大 128 本）、ソフトウェア割り込み× 4 本、命令実行例外× 2 種
- ・ リセット： コールドリセット、ホットリセット、エリア 10 からブート
- ・ パワーダウンモード： SLEEP モード、HALT モード
- ・ ハーバードアーキテクチャ（命令フェッチとデータロード/ストアを並列実行）
- ・ ユーザインタフェース： ソフトウェアによるウェイトサイクル挿入可能（最大 7 サイクル）

#WAIT ピンのハンドシェイク制御可能

ユーザロジック用大容量メモリ空間（最大 16M バイト）

エリア 4～エリア 18 の各エリアはソフトウェアにより BCU レジスタをセットすることで内部アクセスに設定可能

ユーザロジックからの多数の割り込み要求を割り込みコントローラに接続可能

・ その他：

リトルエンディアン（エリアによりビッグエンディアンに設定可能）

※ ASIC 設計時は、本書の他に以下のドキュメントを併用ください。

- ・ S1L50000 SERIES ASIC DESIGN GUIDE
- ・ S1L50000 SERIES MSI Cell Library（I/O 用）
- ・ S1X50000 SERIES MSI Cell Library（内部セル用）
- ・ S1C332XX Series Technical Manual
- ・ S1C33 Family ASIC Macro Manual
- ・ EVALUATION BOARD MANUAL

1.2 インタフェースと設計フロー

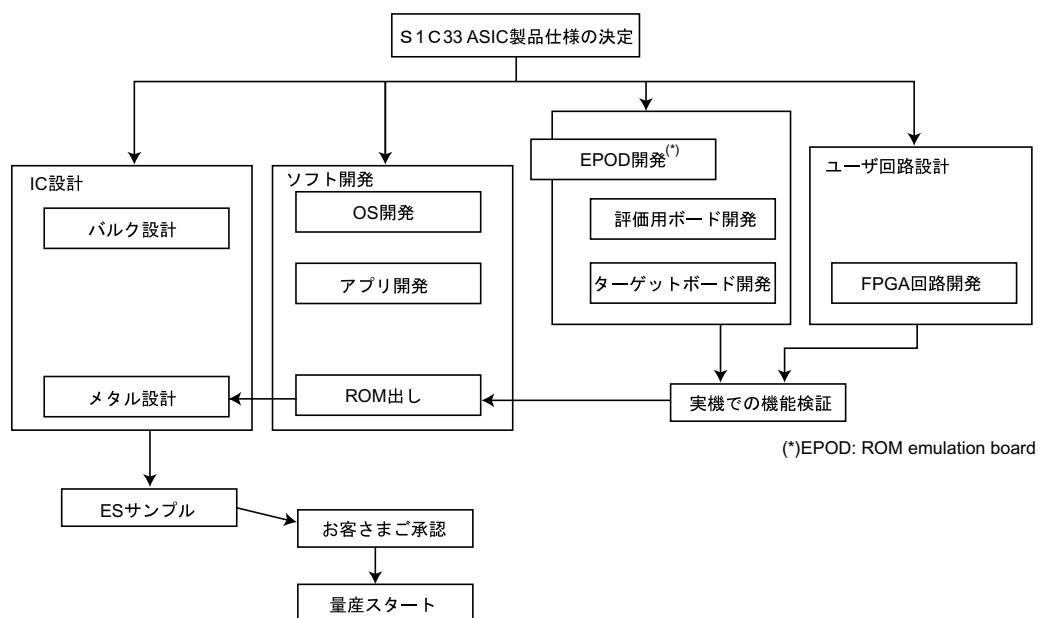


図 1.1 製品開発全体のフロー

表 1.1 S1C33ASIC の開発フローと作業内容

開発工程	作業項目
仕様確認	● C33 マクロ、使用モジュールの選定 ● ユーザ論理仕様 Fix ● パッケージ、ピン配置仕様確認 ● テスト設計仕様確認 ● EPOD 仕様確認
開発環境の整備	● デザインキット立ち上げ (S1X50000 シリーズ, C33 デザインキット)
ユーザ論理設計	● 図面入力、機能記述、論理合成 ● ユーザロジックシミュレーション
統合シミュレーション	● チップレベルネットリスト作成 ● チップレベル Sim 用プログラム作成 (C33 アセンブラコード) ● チップレベルシミュレーション
デザインルールチェック	● SNRC(*)
バルクサインオフ	● フロアプラン作成 (マクロ配置、ピン配置) バルクサイズ Fix
プリシミュレーション	● プリシミュレーション
テスト設計	● ATPG (ユーザロジック部)
P&R	● 自動配置配線、CTS 挿入 ● バックアノテーション用 SDF 作成
ポストシミュレーション	● ポストシミュレーション
ROM コード対応	● 内蔵 ROM 用コード Fix ● ROM コードデータ変換
メタルサインオフ	
試作流動	
サンプル出荷、評価、量産移管	

(*) SNRC・・・ネットリストルールチェッカー

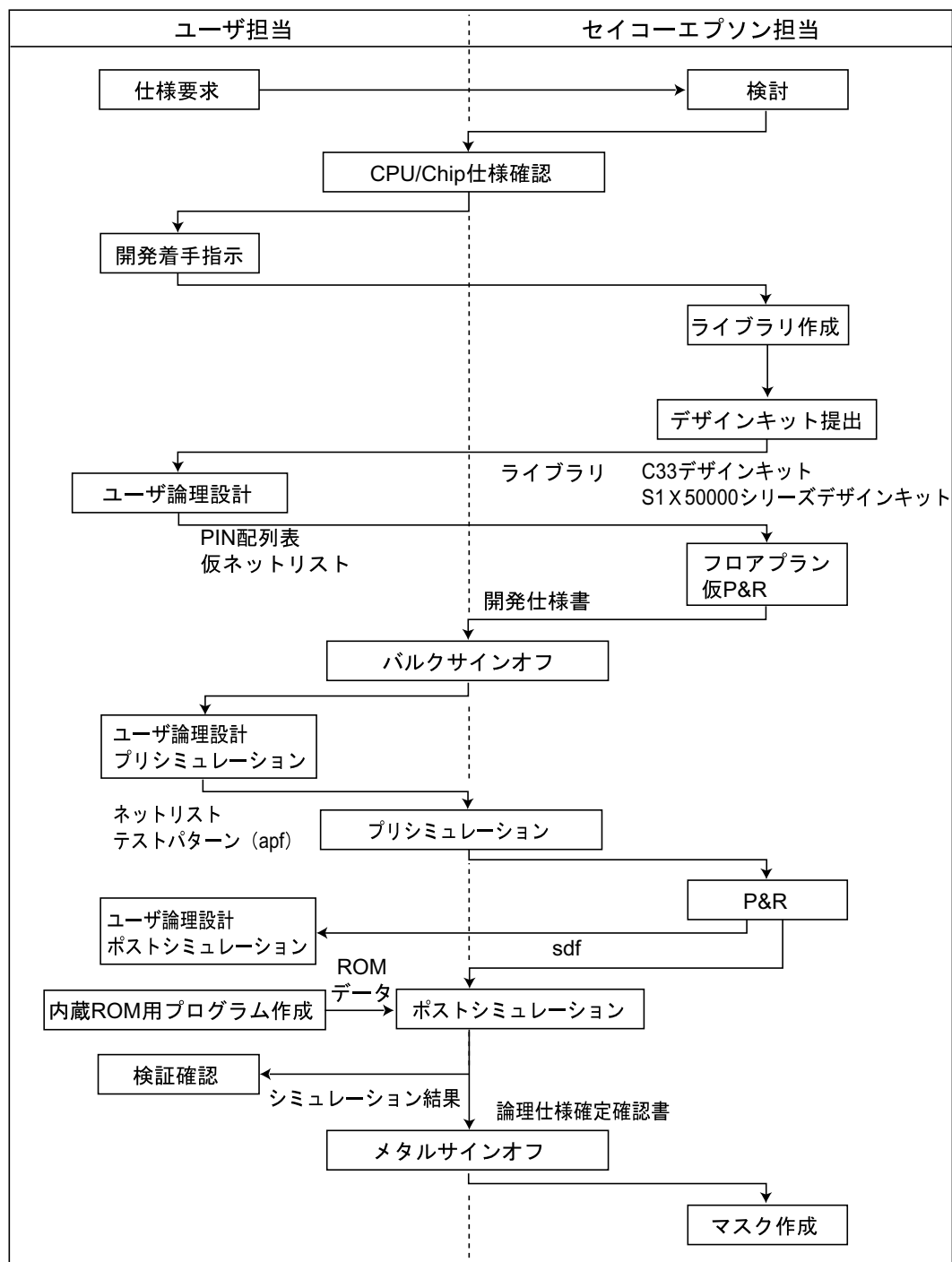
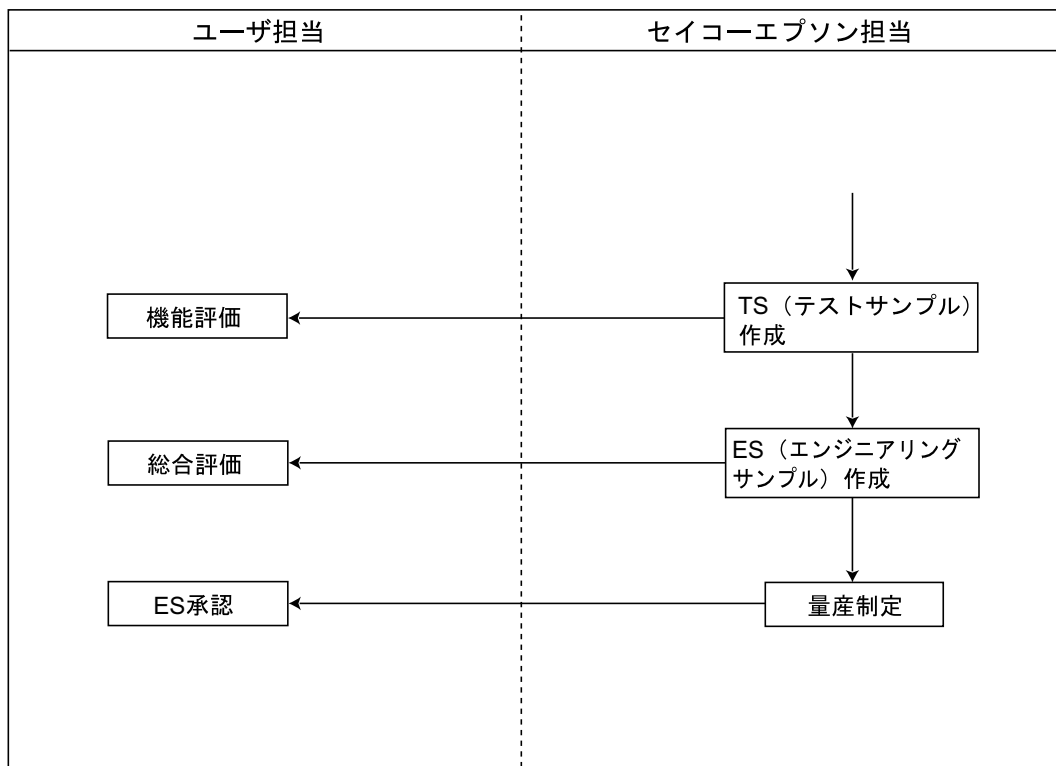


図 1.2 開発フローと作業分担（作業分担別開発フロー図）

次ページに続く

1. 製品概要



第 2 章 C33 マクロ仕様

2.1 概要

C33 マクロモデルは、以下の構成となっています。 ユーザオプションにより、これらを組み合わせて提供します。

- C33_CORE
 - ・C33 コアマクロ
 - ・CPU、BCU (バスコントローラ)、ITC (割り込みコントローラ)、DBG (デバッグユニット)、高速発振回路 (PLL を含む)
 - ・約 6 万ゲート
 - ・ハードマクロ
- C33_PERI
 - ・C33 デジタル周辺機能マクロ
 - ・8 ビットタイマ 4ch、16 ビットタイマ 6ch、プリスケアラ、シリアルインタフェース 2ch、ウォッチドッグタイマ、クロックタイマ、低速発振回路 (32kHz)、ポート
 - ・約 2 万ゲート
 - ・ソフトマクロ
- C33_AD
 - ・C33 アナログ周辺機能マクロ
 - ・8 ビット入力、10 ビット逐次比較
 - ・10 μ sec 変換時間
 - ・約 1 万ゲート相当
 - ・ハードマクロ
- C33_DMA
 - ・C33 DMA 機能マクロ
 - ・高速 DMA4ch、インテリジェント DMA128ch
 - ・約 1 万ゲート
 - ・ハードマクロ

(*)

- | | |
|--|--|
| <ul style="list-style-type: none"> ・ソフトマクロ ・ハードマクロ | <p>レイアウトの固定されていない RTL もしくは
ネットリストのマクロ</p> <p>レイアウトの固定されているネットリストのマクロ</p> |
|--|--|

2.2 ブロック図

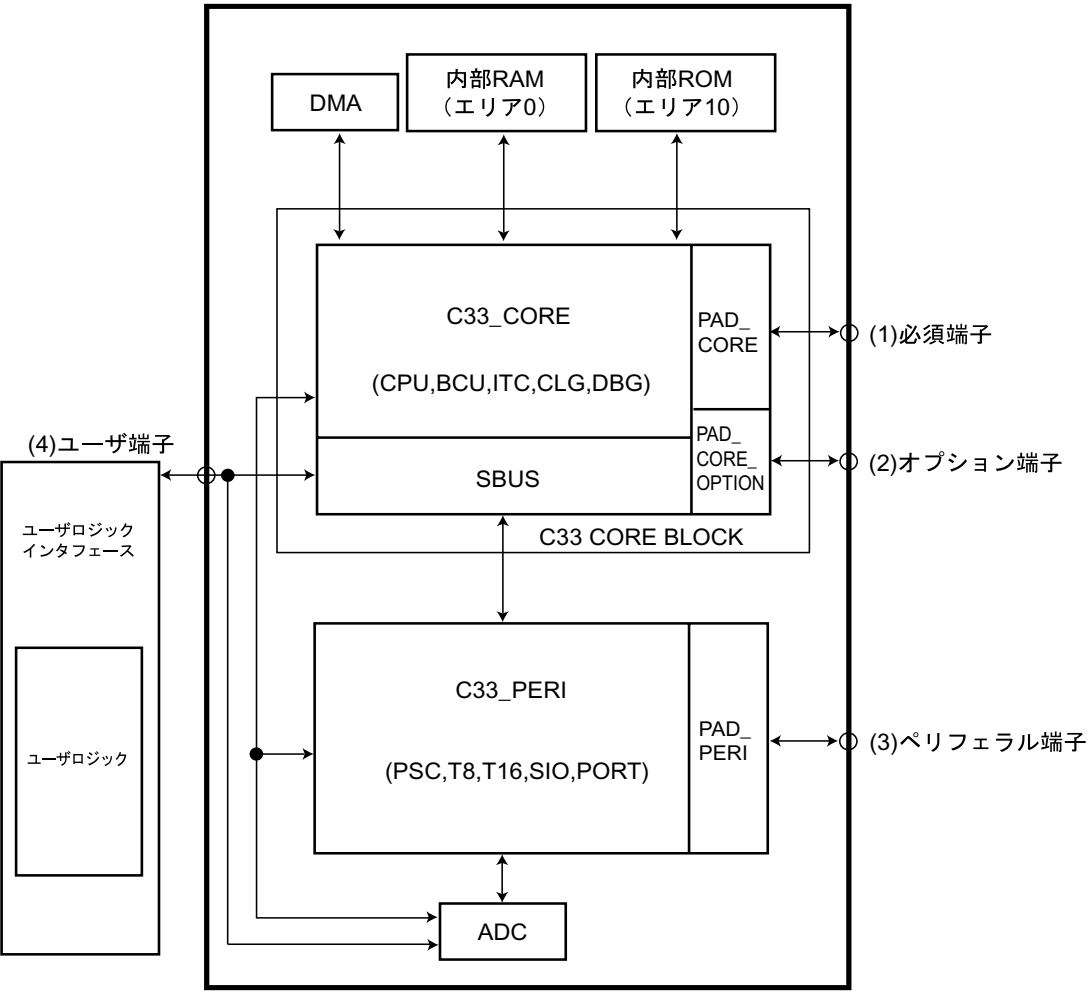


図 2.1 C33 マクロのブロック図

用語説明)

BCU :	バスコントロールユニット
ITC :	割り込みコントローラ
CLG :	クロックジェネレータ (発振回路、PLL およびクロック分周器内蔵)
DBG :	デバッグ機能ブロック (On_Chip_ICE)
C33_CORE :	CPU、BCU、ITC、CLG および DBG を含む機能ブロック
PAD_CORE :	C33_CORE 用 I/O パッドブロック

SBUS :	ユーザロジック部と接続されアドレス / データバス構造をもつバス制御ブロック
C33_PERI :	C33 周辺回路ブロックで、プリスケアラ、8 ビットタイマ (4ch)、16 ビットタイマ (6ch)、シリアルインタフェース (2ch)、ポート (入力、出力、入出力)、クロックタイマを含むプリスケアラ
PSC :	8 ビットタイマ
T8 :	シリアルインタフェース
SIO :	C33_PERI ブロック用 I/O パッド
PAD_PERI :	基本的にはエリア 10 はオンチップのマスク ROM を使用する [×16 bit] (0 ~ 2M byte) るユーザ用のものです。ASIC ROM を配置します。
内部 ROM (エリア 10):	エリア 0 はオンチップのデータ SRAM 用です。ウェイトサ [×8 bit] (0 ~ 128K byte) イクルを挿入する必要がなく高速アクセスが可能です。
内部 RAM (エリア 0):	[バイトライト ×32 bit] ASIC RAM を配置します。
ADC :	アナログデジタル変換

2.3 C33 マクロ端子一覧

- (1) C33 マクロ・必須端子（パッド接続）
 (2) C33 マクロ・オプション端子（パッド接続）
 (3) C33 マクロ・ペリフェラル端子（パッド接続）
 (4) C33 マクロ・ユーザ端子（チップ内接続）

(1) C33 マクロ・必須端子（パッド接続）（57 本）

必須端子は必ず IC のピンとして引き出してください。

表 2.3.1 必須端子一覧

接続先 ; PAD_CORE

ピン名称	入出力	セル名 (****)	Pull-u/d	機能
P_A23 ~ P_A0	I/O(*)	XHBC1T		24 ビットアドレスバス。A0 は #BSL との兼用。
P_D15 ~ P_D0	I/O	XHBC1T		16 ビットデータバス
P_CE10EX	I/O(*)	XHBC1T		エリア 10 チップイネーブル / テストクロック
P_RD_X	I/O(*)	XHBC1T		リードストローブ
P_WRL_X	I/O(*)	XHBC1T		下位バイト・ライトストローブ
P_WRH_X	I/O(*)	XHBC1T		上位バイト・ライトストローブ
P_BCLK	O	XHTB1T		バスクロック
P_NMI_X	I	XHIBHP2	Pull-up	ノン・マスカブル割込み
P_RESETX	I	XHIBHP2	Pull-up	リセット信号
P_X2SPDX	I	XHIBC		倍速モード (CPU クロックがバスクロックの 2 倍)
P_TST	I	XITST1	Pull-down	テストモード
P_EA10M1	I	XHIBHP2	Pull-up	エリア 10・ブートモード指定ビット 1(**)
P_EA10M0	I	XHIBC		エリア 10・ブートモード指定ビット 0(**)
P_DSIO	I/O	XLBH2P2T	Pull-up	オンチップ ICE 用シリアル入出力
P_OSC4	O	XLLOT		高速発振回路出力
P_OSC3	I	XLLIN		高速発振回路出力（発振子を接続）
P_PLLS1	I	XHIBC		PLL モード指定ビット 1(***)
P_PLLS0	I	XHIBC		PLL モード指定ビット 0(***)
P_PLLC	O	XLLIN		PLL 用コンデンサ接続端子

(*) テスト時入力となります。

(**) 設定値は表 2.3.3 を参照ください。

(***) P_PLLS[1:0] 端子の設定

00: PLL 未使用（システムクロックとして OSC3 入力を使用）

01: × 4 モード fin=10 ~ 15MHz fout= 40 ~ 60MHz

11: × 2 モード fin=10 ~ 30MHz fout= 20 ~ 60MHz

(****) お客様の仕様により Type は変更可能です。

セルタイプについては「S1L50000 SERIES MSI Cell Library」を参照ください。

(2) C33 マクロ・オプション端子 (パッド接続) (12 本)

表 2.3.2 オプション端子一覧

接続先 ; PAD_CORE_OPTION

ピン名称	入出力	セル名	Pull-u/d	機能
P_LCAS_X	O	XHTBIT		DRAM 下位バイト CAS 信号
P_HCAS_X	O	XHTBIT		DRAM 下位バイト CAS 信号
P_CE10IN	O	XHTBIT		内蔵 ROM エミュレーションエリア (エリア 10) チップイネーブル
P_CE9_X	I/O	XHBCIT		チップイネーブル (エリア 9 又はエリア 17)
P_CE8_X	I/O	XHBCIT		チップイネーブル (エリア 8 又はエリア 14) あるいはエリア 8、14 の DRAM ストロープ
P_CE7_X	I/O	XHBCIT		チップイネーブル (エリア 7 又はエリア 13) あるいはエリア 7、13 の DRAM ストロープ
P_CE6_X	I/O	XHBCIT		チップイネーブル (エリア 6)
P_CE5_X	I/O	XHBCIT		チップイネーブル (エリア 5 又はエリア 15)
P_CE4_X	I/O	XHBCIT		チップイネーブル (エリア 4 又はエリア 11)
P_CE3_X	O	XHTBIT		チップイネーブル (エリア 3)
P_EMEMRD	O	XHTBIT		内蔵 ROM エミュレーションエリア (エリア 10) リードストロープ
P_EA10M2	I	XHIBC		エリア 10・ブートモード指定ビット 2

(*) P_CE4_X ~ P_CE9_X はテスト回路変更により OUTPUT になります。

上記オプション端子は、1 端子毎にパッドに接続するかしないかの選択が可能です。パッド接続しない場合は、同じ意味の内部信号として使用することができます。その場合の fan-in と fan-out の値は、S1X50000 シリーズライブラリの XBF2 相当です。

表 2.3.3 P_EA10M2,P_EA10M1,P_EA10M0 の設定
(エリア 10 ブートモード) について

P_EA10M2	P_EA10M1	P_EA10M0	機能
0	0	0	内蔵 ROM エミュレーション
0	0	1	リザーブ
0	1	0	内蔵 ROM
0	1	1	外部 ROM
1	0	0	リザーブ
1	0	1	リザーブ
1	1	0	リザーブ
1	1	1	内蔵 FLASH ROM

(3) C33 マクロ・ペリフェラル端子 (パッド接続) (44 本)

表 2.3.4 ペリフェラル端子一覧

接続先 ; PAD_PERI

ピン名称	入出力	セル名	Pull-u/d	機能
P_K67	I	XHIBCLIN**		入力ポート /CFK67(D7/0×402C3)="0" の場合 (デフォルト)
P_K66	I	XHIBCLIN**		入力ポート /CFK66(D6/0×402C3)="0" の場合 (デフォルト)
P_K65	I	XHIBCLIN**		入力ポート /CFK65(D5/0×402C3)="0" の場合 (デフォルト)
P_K64	I	XHIBCLIN**		入力ポート /CFK64(D4/0×402C3)="0" の場合 (デフォルト)
P_K63	I	XHIBCLIN**		入力ポート /CFK63(D3/0×402C3)="0" の場合 (デフォルト)
P_K62	I	XHIBCLIN**		入力ポート /CFK62(D2/0×402C3)="0" の場合 (デフォルト)
P_K61	I	XHIBCLIN**		入力ポート /CFK61(D1/0×402C3)="0" の場合 (デフォルト)
P_K60	I	XHIBCLIN**		入力ポート /CFK60(D0/0×402C3)="0" の場合 (デフォルト)
P_K54	I	XHIBHP2	Pull-up	入力ポート /CFK54(D4/0×402C0)="0" の場合 (デフォルト)
P_K53	I	XHIBHP2	Pull-up	入力ポート /CFK53(D3/0×402C0)="0" の場合 (デフォルト)
P_K52	I	XHIBHP2	Pull-up	入力ポート /CFK52(D2/0×402C0)="0" の場合 (デフォルト)
P_K51	I	XHIBHP2	Pull-up	入力ポート /CFK51(D1/0×402C0)="0" の場合 (デフォルト)
P_k50	I	XHIBHP2	Pull-up	入力ポート /CFK50(D0/0×402C0)="0" の場合 (デフォルト)
P_P35	I/O	XHBHIT		入出力兼用ポート /CFP35(D5/0×402DC)="0" の場合 (デフォルト)
P_P34	I/O	XHBHIT		入出力兼用ポート /CFP34(D4/0×402DC)="0" の場合 (デフォルト)
P_P33	I/O	XHBHIT		入出力兼用ポート /CFP33(D3/0×402DC)="0" の場合 (デフォルト)
P_P32	I/O	XHBHIT		入出力兼用ポート /CFP32(D2/0×402DC)="0" の場合 (デフォルト)
P_P31	I/O	XHBHIT		入出力兼用ポート /CFP31(D1/0×402DC)="0" の場合 (デフォルト)
P_P30	I/O	XHBHIT		入出力兼用ポート /CFP30(D0/0×402DC)="0" の場合 (デフォルト)
P_P27	I/O	XHBHIT		入出力兼用ポート /CFP27(D7/0×402D8)="0" の場合 (デフォルト)
P_P26	I/O	XHBHIT		入出力兼用ポート /CFP26(D5/0×402D8)="0" の場合 (デフォルト)
P_P25	I/O	XHBHIT		入出力兼用ポート /CFP25(D5/0×402D8)="0" の場合 (デフォルト)
P_P24	I/O	XHBHIT		入出力兼用ポート /CFP24(D4/0×402D8)="0" の場合 (デフォルト)
P_P23	I/O	XHBHIT		入出力兼用ポート /CFP23(D3/0×402D8)="0" の場合 (デフォルト)
P_P22	I/O	XHBHIT		入出力兼用ポート /CFP22(D2/0×402D8)="0" の場合 (デフォルト)
P_P21	I/O	XHBHIT		入出力兼用ポート /CFP21(D1/0×402D8)="0" および CFE×2(D2/0×40LDF)="0" の場合 (デフォルト)
P_P20	I/O	XHBHIT		入出力兼用ポート /CFP20(D0/0×402D8)="0" の場合 (デフォルト)
P_P16	I/O	XHBHIT		入出力兼用ポート /CFP16(D6/0×402D4)="0" の場合 (デフォルト)
P_P15 *	I/O	XHBHIT		入出力兼用ポート /CFP15(D5/0×402D4)="0" の場合 (デフォルト)
P_P14 *	I/O	XLBH2T		入出力兼用ポート /CFP14(D4/0×402D4)="0" および CFE×0(D0/0×402DF)="0" の場合 (デフォルト)
P_P13 *	I/O	XLBH2T		入出力兼用ポート /CFP13(D3/0×402D4)="0" および CFE×1(D1/0×402DF)="0" の場合 (デフォルト)
P_P12 *	I/O	XLBH2T		入出力兼用ポート /CFP12(D2/0×402D4)="0" および CFE×0(D0/0×402DF)="0" の場合 (デフォルト)
P_P11 *	I/O	XLBH2T		入出力兼用ポート /CFP11(D1/0×402D4)="0" および CFE×1(D1/0×402DF)="0" の場合 (デフォルト)
P_P10 *	I/O	XLBH2T		入出力兼用ポート /CFP10(D0/0×402D4)="0" および CFE×1(D1/0×402DF)="0" の場合 (デフォルト)

ピン名称	入出力	セル名	Pull-u/d	機能
P_P07	I/O	XHBHIT		入出力兼用ポート /CFP07(D7/0×402D0)=“0” および CFE×7(D7/0×402DF)=“0” の場合 (デフォルト)
P_P06	I/O	XHBHIT		入出力兼用ポート /CFP06(D6/0×402D0)=“0” および CFE×6(D6/0×402DF)=“0” の場合 (デフォルト)
P_P05	I/O	XHBHIT		入出力兼用ポート /CFP05(D5/0×402D0)=“0” および CFE×5(D5/0×402DF)=“0” の場合 (デフォルト)
P_P04	I/O	XHBHIT		入出力兼用ポート /CFP04(D4/0×402D0)=“0” および CFE×4(D4/0×402LDF)=“0” の場合 (デフォルト)
P_P03	I/O	XHBHIT		入出力兼用ポート /CFP03(D3/0×402D0)=“0” の場合 (デフォルト)
P_P02	I/O	XHBHIT		入出力兼用ポート /CFP02(D2/0×402D0)=“0” の場合 (デフォルト)
P_P01	I/O	XHBHIT		入出力兼用ポート /CFP01(D1/0×402D0)=“0” の場合 (デフォルト)
P_P00	I/O	XHBHIT		入出力兼用ポート /CFP00(D0/0×402D0)=“0” の場合 (デフォルト)
P_OSC2	O	XLLOT		低速 (OSC1) 発振出力
P_OSC1	I	XLLIN		低速 (OSC1) 発振入力 (32kHz 水晶発振、または外部クロック入力)

(*) P_P10 ~ P_P14 は S5U1C33000H との I/F ピンとして使用します。

(**) アナログ入力、デジタル入力兼用入力バッファ

上記オプション端子は、1 端子毎にパッドに接続するかしないかの選択が可能です。パッド接続しない場合は、同じ意味の内部信号として使用することができます。その場合の fan-in と fan-out の値は、S1X50000 シリーズライブラリの XBF2 相当です。

(4) C33 マクロ・ユーザ端子 (チップ内接続)

BCU レジスタの設定により当該エリアがオンチップモードの場合、以下に示す信号/バスがバス動作時アクティブとなります。

C33 メモリエリアは 19 エリア (エリア 0 ~ エリア 18) に分割されています。基本的にはエリア 4 ~ エリア 18 は外部 (チップ外) メモリエリア、そしてエリア 0 ~ エリア 3 が内部 (オンチップ) メモリエリアです。使用メモリ (SRAM、ROM、RAM、DRAM)、デバイスサイズ (8 ビット幅または 16 ビット幅)、タイミング (ウェイトサイクル、出力ディセーブルサイクル) の条件を BCU レジスタによって設定します。

さらに、別の BCU レジスタを設定することで、エリア 4 ~ エリア 18 の特定のエリアを外部バス上の外部エリアに設定し、その他のエリアを次ページに示す内部バス上のオンチップエリアとすることも可能です。

特定のエリアをオンチップ (内部バス上の) エリアに設定した場合でも、使用メモリ (SRAM、ROM、RAM、DRAM)、デバイスサイズ (8 ビット幅または 16 ビット幅)、タイミング (ウェイトサイクル、出力ディセーブルサイクル) の条件は同じく BCU レジスタの設定が適用されます。

表 2.3.5 その他の端子

接続先; ユーザロジック

ピン名称	入出力	セル名 (ファンアウト)	機能
U_ADDR[23:0]	O	XBF4	アドレスバス
U_DOUT[15:0]	O	XBF4	出力データバス
U_DIN[15:0]	I	XAO22V	入力データバス
U_CE10_X	O	XBF4	ユーザロジック用チップイネーブル
U_CE9_X	O	XBF4	ユーザロジック用チップイネーブル
U_CE8_X	O	XBF4	ユーザロジック用チップイネーブル
U_CE7_X	O	XBF4	ユーザロジック用チップイネーブル
U_CE6_X	O	XBF4	ユーザロジック用チップイネーブル
U_CE5_X	O	XBF4	ユーザロジック用チップイネーブル
U_CE4_X	O	XBF4	ユーザロジック用チップイネーブル
U_WRL_X	O	XBF4	下位バイト・ライトストロープ
U_WRH_X	O	XBF4	上位バイト・ライトストロープ
U_RD_X	O	XBF4	リードストロープ
U_WAIT_X	I	XAO22V	ウエイト信号
U_P3_PIN[5:0]	O	XBF2	P3 ポートの入力値 (分離テスト入力)
U_P2_PIN[7:0]	O	XBF2	P2 ポートの入力値 (分離テスト入力)
U_P1_PIN[6:0]	O	XBF2	P1 ポートの入力値 (分離テスト入力)
U_P0_PIN[7:0]	O	XBF2	P0 ポートの入力値 (分離テスト入力)
U_K5_PIN[4:0]	O	XBF2	K5 ポートの入力値 (分離テスト入力)
U_BUSMD[2:0]	O	XBF2	バスサイクルステータス信号
U_BUSSZ[1:0]	O	XBF2	バスサイズ信号
U_BCLK	O	XBF4	バスクロック
U_OSC1CLK	O	XBF4	低速発振回路出力
U_OSC3CLK	O	XBF4	高速発振回路出力
U_PLLCLK	O	XBF4	PLL 回路出力
U_BCUCLK	O	XCRBF6	BCU クロック (CTS 対応)
U_PERICLK	O	XCRBF6	周辺回路クロック (CTS 対応)
U_RST_X	O	XBF4	リセット信号
TST_USER	O	XBF2	ユーザ回路テストモード
TST_TA	O	XBF16	I/O セル TA 端子接続信号
TST_TE_X	O	XBF16	I/O セル TE 端子接続信号
TST_TS	O	XBF16	I/O セル TS 端子接続信号

2.4 特殊信号

U_BUSSZ[1:0] および U_BUSMD[2:0] 信号は、チップの外部バス上または内部バス（オンチップユーザロジックを含む内部バス）上で、そのときに実行されているバスサイクルの状態を示します。まず、U_BUSSZ[1:0] が “11” のとき、そのときのバスサイクルはアイドル状態であり U_BUSMD[2:0] は意味を持ちません。これは、CPU または DMA コントローラが意味のあるバスサイクルを実行していないことを示しています。また、U_BUSSZ[1:0] が “11” でない場合、U_BUSSZ[1:0] はその時点のバス動作のデータサイズを示し、U_BUSMD[2:0] はバス状態を示します。

表 2.4 バスサイクルの状態設定

U_BUSMD[2:0]	000	CPU 命令フェッチサイクル
	001	CPU ベクターフェッチサイクル
	010	CPU データリードサイクル
	011	CPU データライトサイクル
	100	CPU スタックリードサイクル
	101	CPU スタックライトサイクル
	110	DMA データリードサイクル
	111	DMA データライトサイクル
U_BUSSZ[1:0]	00	バイト (8 ビット)
	01	ハーフワード (16 ビット)
	10	ワード (32 ビット)
	11	アイドル状態

2.5 クロック信号とリセット信号

ユーザロジックに接続可能なクロック信号は下記 6 種類があります。

U_PLLCLK, U_OSC1CLK, U_OSC3CLK, U_BCLK, U_BCUCCLK, U_PERICLK

図 2.2 はクロック信号とリセット信号の概念図を示しています。U_OSC3CLK は高速発振回路 (OSC3) からの出力、また U_PLLCLK は PLL 回路からの出力です。したがって U_PLLCLK の周波数は、P_PLLS1, P_PLLS0 ピンの入力によって決定されます。たとえば、OSC3 発振子の周波数が 20MHz、P_PLLS1=1, P_PLLS0=0 ならば、各クロックの周波数は次のようになります。

U_PLLCLK=40MHz,

U_OSC3CLK=20MHz

これらのクロックの位相は CPU/BCU 内部クロックとは一致しないことに注意してください。さらに、U_OSC3CLK と U_PLLCLK とともに OSC3 クロックから生成されるため、CPU が

SLP 命令を実行するとスリープモードが解除されるまでどちらも停止します。そして、解除要因により OSC3 が動作を開始したときには、U_OSC3CLK と U_PLLCLK は一定時間（約 10msec）発振が安定しません。

U_OSC1CLK は、低速発振回路からの出力です。

U_BCUCCLK と U_PERICLK は、C33 コアで使用するクロックと同じクロック遅延値のスキュー調節がなされるクロックです。

U_BCLK は、BCU からのバスクロックを出力します。バスクロックについての詳細は、「S1C33 Family ASIC Macro Manual」のバスクロック記述を参照してください。

U_RST_X 信号は、図に示すように P_RESETX パッドピンの値を出力するものです。

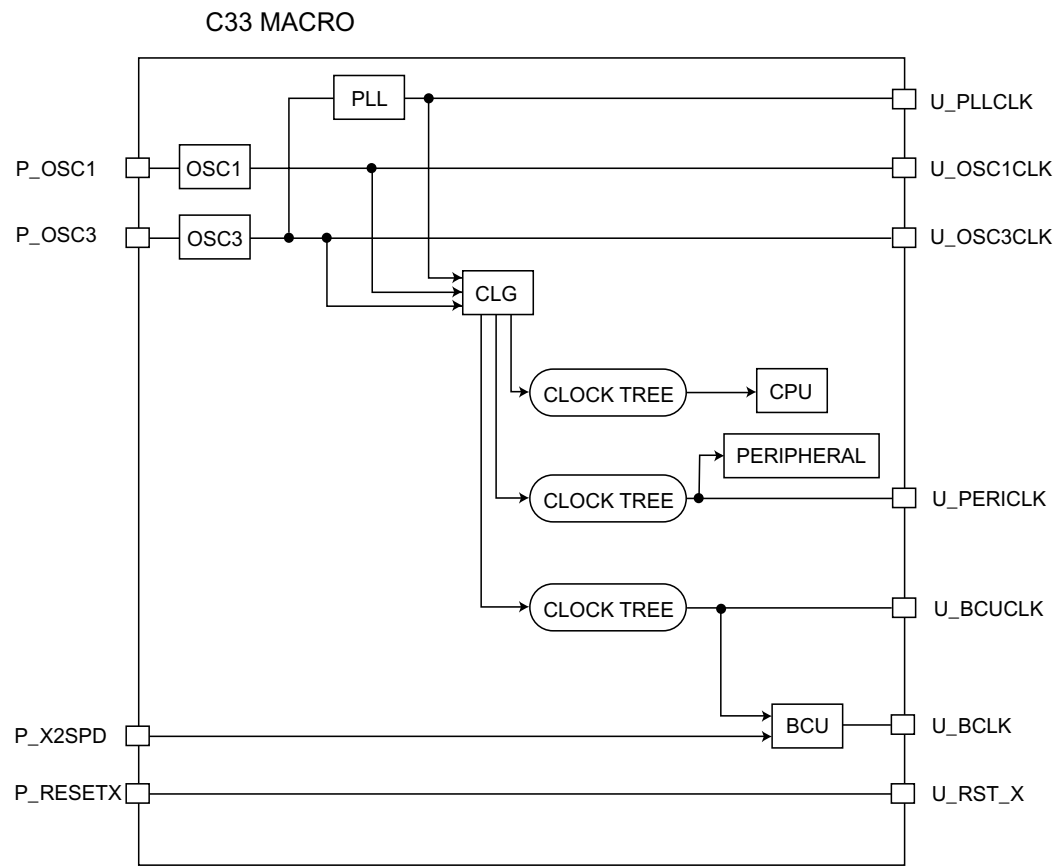


図 2.2 オンチップユーザ回路クロック信号とリセット信号

表 2.5 クロックの動作モード

	HALT モード	HALT2 モード	SLP モード	デバッグ* モード
U_PERICLK	RUN	RUN	STOP	STOP
U_BCUCCLK	RUN	STOP	STOP	RUN

(*) デバッグモードは S5U1C33000H を用いてデバッグする場合のモードです。

2.6 電気的特性

C33 マクロの I/O セラライブラリは S1L50000 シリーズに基づいて設計されています。したがって電気的特性は、基本的に、S1L50000 シリーズと同一です。

しかし、C33 マクロは、CPU、DMA 始め、PLL や発振、AD 変換など、特長ある機能ブロックを内蔵しているため、ここに電気的特性を定めます。

C33 マクロは、内部にデータバス、入出力ポートなど、入出力バッファを含みます。デフォルトの入出力バッファの設定は、汎用製品 S1C33209 に準拠します。詳細は“2.3 C33 マクロ端子一覧”を参照してください。

2.6.1 絶対最大定格・規格

1) 単一電源の場合

($V_{SS}=0V$)

項目	記号	条件	定格値	単位	注
電源電圧	V_{DD}		-0.3 ~ +4.0	V	
入力電圧	V_I		-0.3 ~ $V_{DD}+0.5^{*1}$	V	
出力電圧	V_O		-0.3 ~ $V_{DD}+0.5^{*1}$	V	
出力電流 / ピン	I_{OUT}		±30	mA	
アナログ電源電圧	AV_{DD}		-0.3 ~ +7.0	V	
アナログ入力電圧	AV_{IN}		-0.3 ~ $AV_{DD}+0.3$	V	
保存温度	T_{STG}		-65 ~ +150	°C	

*1: N チャンネルオープンドレイン双方向バッファおよび IDC、IDH 系の入力バッファおよびフェイルセーフセルについては -0.3 ~ 7.0V まで可能です。

2) 2 電源の場合

($V_{SS}=0V$)

項目	記号	条件	定格値	単位	注
電源電圧	HV_{DD}		-0.3 ~ +7.0	V	
	LV_{DD}		-0.3 ~ +4.0	V	
入力電圧	HV_I		-0.3 ~ $HV_{DD}+0.5^{*1}$	V	
	LV_I		-0.3 ~ $LV_{DD}+0.5^{*1}$	V	
出力電圧	HV_O		-0.3 ~ $HV_{DD}+0.5^{*1}$	V	
	LV_O		-0.3 ~ $LV_{DD}+0.5^{*1}$	V	
出力電流 / ピン	I_{OUT}		±30(±50 ^{*2})	mA	
保存温度	T_{STG}		-65 ~ +150	°C	

*1: N チャンネルオープンドレイン双方向バッファおよび LIDC、LIDH 系、あるいは、HIDC、HIDH 系の入力バッファについては、-0.3 ~ +7.5V まで可能です。

*2: 出力電流 24mA のバッファに適用します。

2.6.2 推奨動作条件

1) 3.3V 単一電源の場合

(V_{SS}=0V)

項目	記号	条件	Min.	Typ.	Max.	単位	注
電源電圧	V _{DD}		3.00	3.30	3.60	V	
			2.70	3.00	3.30	V	
入力電圧	V _I		V _{SS}	—	V _{DD} *1	V	
CPU 動作周波数	f _{CPU}	ROM レス製品かつ 3.3±0.3V のとき	—	—	60	MHz	
		ROM 内蔵製品又は 3.0±0.3V のとき	—	—	50	MHz	
低速発振動作周波数	f _{OSC1}		—	32.768	—	KHz	
周囲温度	Ta	Tj=0 ~ 85°C	0	25	70*2	°C	
		Tj=-40 ~ 125°C	-40	25	85*3	°C	
入力立ち上がり時間 (ノーマル入力)	tri		—	—	100	ns	
入力立ち下がり時間 (ノーマル入力)	tfi		—	—	100	ns	
入力立ち上がり時間 (シュミット入力)	tri		—	—	10	ms	
入力立ち下がり時間 (シュミット入力)	tfi		—	—	10	ms	

*1: N チャンネルオープンドレイン双方向バッファおよび IDC、IDH 系の入力バッファについては、5.25V あるいは 5.5V まで可能です。

*2: この温度範囲は、Tj=0 ~ 85°C を想定した推奨周囲温度です。

*3: この温度範囲は、Tj=-40 ~ 125°C を想定した推奨周囲温度です。

2) 2.0V 単一電源の場合

(V_{SS}=0V)

項目	記号	条件	Min.	Typ.	Max.	単位	注
電源電圧	V _{DD}		1.80	2.00	2.20	V	
入力電圧	V _I		V _{SS}	—	V _{DD} *1	V	
CPU 動作周波数	f _{CPU}		—	—	20	MHz	
低速発振動作周波数	f _{OSC1}		—	32.768	—	KHz	
周囲温度	Ta	Tj=0 ~ 85°C	0	25	70*2	°C	
		Tj=-40 ~ 125°C	-40	25	85*3	°C	
入力立ち上がり時間 (ノーマル入力)	tri		—	—	100	ns	
入力立ち下がり時間 (ノーマル入力)	tfi		—	—	100	ns	
入力立ち上がり時間 (シュミット入力)	tri		—	—	10	ms	
入力立ち下がり時間 (シュミット入力)	tfi		—	—	10	ms	

*1: N チャンネルオープンドレイン双方向バッファおよび IDC、IDH 系の入力バッファについては 5.25V あるいは 5.5V まで可能です。

*2: この温度範囲は、Tj=0 ~ 85°C を想定した推奨周囲温度です。

*3: この温度範囲は、Tj=-40 ~ 125°C を想定した推奨周囲温度です。

3) 3.3/5.0V 2 電源の場合

(V_{SS}=0V)

項目	記号	条件	Min.	Typ.	Max.	単位	注
電源電圧 (高電圧)	HV _{DD}		4.75	5.00	5.25	V	
			4.50	5.00	5.50	V	
電源電圧 (低電圧)	LV _{DD}		3.00	3.30	3.60	V	
			2.70	3.00	3.30	V	
入力電圧	H _{VI}		V _{SS}	–	HV _{DD}	V	
	L _{VI}		V _{SS}	–	LV _{DD} *1	V	
CPU 動作周波数	f _{CPU}	ROM レス製品かつ 3.3±0.3V のとき	–	–	60	MHz	
		ROM 内蔵製品又は 3.0±0.3V のとき	–	–	50	MHz	
低速発振動作周波数	f _{OSC1}		–	32.768	–	KHz	
動作温度	Ta	Tj=0 ~ 85°C	0	25	70*2	°C	
		Tj=-40 ~ 125°C	-40	25	85*3	°C	
入力立ち上がり時間 (ノーマル入力)	tri		–	–	100	ns	
入力立ち下がり時間 (ノーマル入力)	tfi		–	–	100	ns	
入力立ち上がり時間 (シュミット入力)	tri		–	–	10	ms	
入力立ち下がり時間 (シュミット入力)	tfi		–	–	10	ms	

*1: N チャンネルオープンドレイン双方向バッファおよび LIDC、LIDH 系の入力バッファについては、5.25V あるいは 5.5V まで可能です。

*2: この温度範囲は、Tj=0 ~ 85°C を想定した推奨周囲温度です。

*3: この温度範囲は、Tj=-40 ~ 125°C を想定した推奨周囲温度です。

4) 2.0V/3.3V 2 電源の場合

(V_{SS}=0V)

項目	記号	条件	Min.	Typ.	Max.	単位	注
電源電圧 (高電圧)	HV _{DD}		3.00	3.30	3.60	V	
電源電圧 (低電圧)	LV _{DD}		1.80	2.20	2.20	V	
入力電圧	H _{VI}		V _{SS}	–	HV _{DD} *1	V	
	L _{VI}		V _{SS}	–	LV _{DD} *1	V	
CPU 動作周波数	f _{CPU}		–	–	20	MHz	
低速発振動作周波数	f _{OSC1}		–	32.768	–	KHz	
動作温度	Ta		0	25	70*2	°C	
			-40	25	85*3	°C	
入力立ち上がり時間 (ノーマル入力)	Htri		–	–	50	ns	
	Ltri				100	ns	
入力立ち下がり時間 (ノーマル入力)	Htri		–	–	50	ns	
	Ltri				100	ns	
入力立ち上がり時間 (シュミット入力)	Htri		–	–	5	ms	
	Ltri				10	ms	
入力立ち下がり時間 (シュミット入力)	Htri		–	–	5	ms	
	Ltri				10	ms	

*1: N チャンネルオープンドレイン双方向バッファおよび LIDC、LIDH 系あるいは、HIDC、HIDH 系の入力バッファについては 5.25V あるいは 5.5V まで可能です。

*2: この温度範囲は、Tj=0 ~ 85°C を想定した推奨周囲温度です。

*3: この温度範囲は、Tj=-40 ~ 125°C を想定した推奨周囲温度です。

2.6.3 DC 特性

1) 3.3V/5.0V 2 電源の場合

(特記なき場合 : $HV_{DD}=4.5V \sim 5.5V$, $LV_{DD}=2.7V \sim 3.6V$, $V_{SS}=0V$, $T_a=-40 \sim +85^{\circ}C$)

項目	記号	条件	Min.	Typ.	Max.	単位	注
入力リーク電流	I_{LI}		-1	—	1	μA	
オフステートリーク電流	I_{OZ}		-1	—	1	μA	
高レベル出力電圧	V_{OH}	$I_{OH}=-3mA$, $V_{DD}=\text{Min.}$	V_{DD} -0.4	—	—	V	
低レベル出力電圧	V_{OL}	$I_{OL}=3mA$, $V_{DD}=\text{Min.}$	—	—	0.4	V	
高レベル入力電圧	V_{IH}	CMOS レベル, $V_{DD}=\text{Max.}$	3.5	—	—	V	
低レベル入力電圧	V_{IL}	CMOS レベル, $V_{DD}=\text{Min.}$	—	—	1.0	V	
ポジティブ・トリガ入力電圧	V_{T+}	CMOS シュミット	2.0	—	4.0	V	
ネガティブ・トリガ入力電圧	V_{T-}	CMOS シュミット	0.8	—	3.1	V	
ヒステリシス電圧	V_H	CMOS シュミット	0.3	—	—	V	
ブルアップ抵抗	R_{PU}	$V_I=0V$	60	120	288	$K\Omega$	
ブルダウン抵抗	R_{PD}	$V_I=V_{DD}$ (#ICEMD)	30	60	144	$K\Omega$	
入力端子容量	C_I	$f=1MHz$, $V_{DD}=0V$	—	—	10	pF	
出力端子容量	C_O	$f=1MHz$, $V_{DD}=0V$	—	—	10	pF	
入出力端子容量	C_{IO}	$f=1MHz$, $V_{DD}=0V$	—	—	10	pF	

2) 3.3V 単一電源の場合

(特記なき場合 : $V_{DD}=2.7V \sim 3.6V$, $V_{SS}=0V$, $T_a=-40 \sim +85^{\circ}C$)

項目	記号	条件	Min.	Typ.	Max.	単位	注
入力リーク電流	I_{LI}		-1	—	1	μA	
オフステートリーク電流	I_{OZ}		-1	—	1	μA	
高レベル出力電圧	V_{OH}	$I_{OH}=-2mA$, $V_{DD}=\text{Min.}$	V_{DD} -0.4	—	—	V	
低レベル出力電圧	V_{OL}	$I_{OL}=2mA$, $V_{DD}=\text{Min.}$	—	—	0.4	V	
高レベル入力電圧	V_{IH}	CMOS レベル, $V_{DD}=\text{Max.}$	2.4	—	—	V	
低レベル入力電圧	V_{IL}	CMOS レベル, $V_{DD}=\text{Min.}$	—	—	0.4	V	
ポジティブ・トリガ入力電圧	V_{T+}	LVTTL シュミット	1.1	—	2.4	V	
ネガティブ・トリガ入力電圧	V_{T-}	LVTTL シュミット	0.6	—	1.8	V	
ヒステリシス電圧	V_H	LVTTL シュミット	0.1	—	—	V	
ブルアップ抵抗	R_{PU}	$V_I=0V$	DSIO 以外	80	200	480	$k\Omega$
			DSIO	40	100	240	$k\Omega$
ブルダウン抵抗	R_{PD}	$V_I=V_{DD}$ (#ICEMD)	40	100	240	$k\Omega$	
入力端子容量	C_I	$f=1MHz$, $V_{DD}=0V$	—	—	10	pF	
出力端子容量	C_O	$f=1MHz$, $V_{DD}=0V$	—	—	10	pF	
入出力端子容量	C_{IO}	$f=1MHz$, $V_{DD}=0V$	—	—	10	pF	

3) 2.0V 単一電源の場合

(特記なき場合: $V_{DD}=1.8V \sim 2.2V$, $V_{SS}=0V$, $T_a=-40 \sim +85^{\circ}C$)

項目	記号	条件	Min.	Typ.	Max.	単位	注
入力リーク電流	I_{LI}		-1	—	1	μA	
オフステートリーク電流	I_{OZ}		-1	—	1	μA	
高レベル出力電圧	V_{OH}	$I_{OH}=-0.6mA$, $V_{DD}=\text{Min.}$	$V_{DD}-0.2$	—	—	V	
低レベル出力電圧	V_{OL}	$I_{OL}=0.6mA$, $V_{DD}=\text{Min.}$	—	—	0.2	V	
高レベル入力電圧	V_{IH}	CMOS レベル, $V_{DD}=\text{Max.}$	1.6	—	—	V	
低レベル入力電圧	V_{IL}	CMOS レベル, $V_{DD}=\text{Min.}$	—	—	0.3	V	
ポジティブ・トリガ入力電圧	V_{T+}	CMOS シュミット	0.4	—	1.6	V	
ネガティブ・トリガ入力電圧	V_{T-}	CMOS シュミット	0.3	—	1.4	V	
ヒステリシス電圧	V_H	CMOS シュミット	0	—	—	V	
ブルアップ抵抗	R_{PU}	$V_I=0V$	60	240	600	$K\Omega$	
ブルダウン抵抗	R_{PD}	$V_I=V_{DD}(\#ICEMD)$	30	120	300	$K\Omega$	
入力端子容量	C_I	$f=1MHz$, $V_{DD}=0V$	—	—	10	pF	
出力端子容量	C_O	$f=1MHz$, $V_{DD}=0V$	—	—	10	pF	
入出力端子容量	C_{IO}	$f=1MHz$, $V_{DD}=0V$	—	—	10	pF	

2.6.4 消費電流

消費電流は、C33 マクロ部分の消費電流 (V_{DD} 系) について定めています。ユーザ回路や C33 マクロ以外の機能ブロックの消費電流は、含んでいません。

1) 3.3V 単一電源の場合

(特記なき場合: $V_{DD}=2.7V \sim 3.6V$, $V_{SS}=0V$, $T_a=-40 \sim +85^{\circ}C$)

項目	記号	条件	Min.	Typ.	Max.	単位	注
動作電流	I_{DD1}	20MHz	—	25	35	mA	
		33MHz	—	40	60	mA	
		50MHz	—	65	85	mA	
動作電流	I_{DD2}	20MHz	—	12	16	mA	
		33MHz	—	20	26	mA	
		50MHz	—	30	40	mA	
動作電流	I_{DD3}	halt 命令実行時 (HALT2 モード) 20MHz	—	1.8	2.5	mA	
動作電流	I_{DD4}	slp 命令実行時	—	1	30	μA	
計時タイマ動作電流	I_{DDCT}	計時タイマのみ動作 OSC1 発振は 32KHz	—	7	—	μA	

2. C33 マクロ仕様

2) 2.0V 単一電源の場合

(特記なき場合: $V_{DD}=1.8V \sim 2.2V$, $V_{SS}=0V$, $T_a=-40 \sim +85^{\circ}C$)

項目	記号	条件	Min.	Typ.	Max.	単位	注
動作電流	I_{DD1}	CPU 動作時	20MHz	–	13	19	mA
動作電流	I_{DD2}	halt 命令実行時	20MHz	–	6	9	mA
動作電流	I_{DD3}	halt 命令実行時 (HALT2 モード)	20MHz	–	0.4	1.0	mA
動作電流	I_{DD4}	slp 命令実行時	–	1	30	μA	
計時タイマ動作電流	I_{DDCT}	計時タイマのみ動作 OSC1 発振は 32KHz	–	1.5	–	μA	

3) アナログ電源電流の場合

項目	記号	条件	Min.	Typ.	Max.	単位	注
AD 変換器 動作電流	A_{IDD1}	$AV_{DD}=HV_{DD}=4.5V \sim 5.5V$	–	800	1400	μA	
		$V_{DD}=AV_{DD}=2.7V \sim 3.6V$	–	500	800		

消費電流測定条件: V_{DD} の消費電流は含まれない。

$V_{IH}=V_{DD}$, $V_{IL}=0V$, 出力端子はオープン

注	高速発振	低速発振	CPU	計時タイマ	その他
1	発振	停止	通常動作 *1	停止	停止
2	発振	停止	HALT モード	停止	停止
3	発振	停止	HALT2 モード	停止	停止
4	停止	停止	SLEEP モード	停止	停止
5	停止	発振	HALT モード	動作	停止
6	発振	停止	HALT モード	停止	AD 変換器のみ動作、変換周波数 2MHz

*1 CPU 動作時の消費電流は、ロード命令 55%、演算命令 23%、mac 命令 1%、分岐命令 12%、ext 命令 9%、の試験プログラムを内蔵 RAM からフェッチしながら連続動作させた場合の値です。

2.6.5 A/D 変換器特性

1) 3.3V/5.0V 2 電源の場合

(特記なき場合: $HV_{DD}=AV_{DD}=4.5V \sim 5.5V$, $V_{SS}=AV_{SS}=0V$, $T_a=-40 \sim +85^{\circ}C$, $ST[1:0]=11$)

項目	記号	条件	Min.	Typ.	Max.	単位	注
分解能	–		–	10	–	bit	
変換時間	t_{ADC}	$ST[1:0]=00$ (Min.), 11 (Max.)	5	–	–	μs	1
ゼロスケール誤差	E_{ZS}		0	2	4	LSB	
フルスケール誤差	E_{FS}		-2	–	2	LSB	
積分直線性誤差	E_{IL}	ベストストレートライン法	-3	–	3	LSB	
微分直線性誤差	E_{DL}		-3	–	3	LSB	
許容信号源インピーダンス	A_{IMP}		–	–	5	K Ω	
アナログ入力容量	A_{CIN}		–	–	45	pF	

注 1: Min 値は A/D 変換器クロック入力 =4MHz (5V 系の最大動作周波数の場合)

2) 3.3V 単一電源の場合

(特記なき場合: $V_{DD}=AV_{DD}=2.7V \sim 3.6V$, $V_{SS}=AV_{SS}=0V$, $T_a=0 \sim +70^{\circ}C$, A/D 変換器クロック入力 $f=2MHz$, $ST[1:0]=11$)

項目	記号	条件	Min.	Typ.	Max.	単位	注
分解能	—		—	10	—	bit	
変換時間	t_{ADC}	$ST[1:0]=00(\text{Min.}), 11(\text{Max.})$	10	—	—	μs	1
ゼロスケール誤差	E_{ZS}		0	2	4	LSB	
フルスケール誤差	E_{FS}		-2	—	2	LSB	
積分直線性誤差	E_{IL}	ベストストレートライン法	-3	—	3	LSB	
微分直線性誤差	E_{DL}		-3	—	3	LSB	
許容信号源インピーダンス	A_{IMP}		—	—	5	$K\Omega$	
アナログ入力容量	A_{CIN}		—	—	45	pF	

注 1: Min 値は A/D 変換器クロック入力 = 2MHz (3V 系の最大動作周波数) の場合

注 2: ・必ず $V_{DD}=AV_{DD}$ として使用してください。

・ S1C33209/204/202 を 2V 単一電源で使用する場合、A/D 変換器は使用できません。

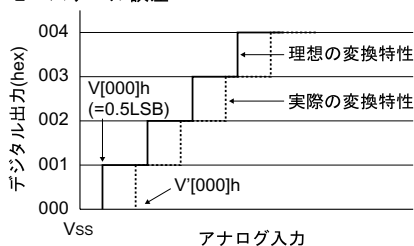
A/D 変換器誤差

$V[000]_h$ = 理想のゼロスケール点電圧 (= 0.5LSB)
 $V'[000]_h$ = 実際のゼロスケール点電圧
 $V[3FF]_h$ = 理想のフルスケール点電圧 (= 1022.5LSB)
 $V'[3FF]_h$ = 実際のフルスケール点電圧

$$1LSB = \frac{AV_{DD} - V_{SS}}{2^{10} - 1}$$

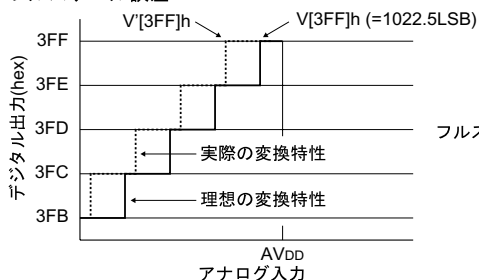
$$1LSB' = \frac{V'[3FF]_h - V'[000]_h}{2^{10} - 2}$$

■ ゼロスケール誤差



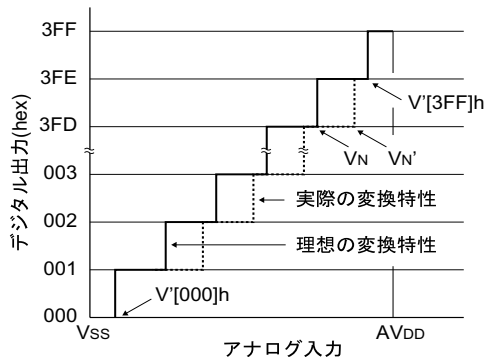
$$\text{ゼロスケール誤差 } E_{ZS} = \frac{(V'[000]_h - 0.5LSB') - (V[000]_h - 0.5LSB)}{1LSB} \text{ [LSB]}$$

■ フルスケール誤差



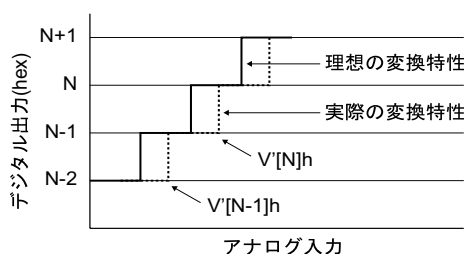
$$\text{フルスケール誤差 } E_{FS} = \frac{(V'[3FF]_h + 0.5LSB') - (V[3FF]_h + 0.5LSB)}{1LSB} \text{ [LSB]}$$

■ 積分直線性誤差



$$\text{積分直線性誤差 } EL = \frac{V_{N'} - V_N}{1LSB'} \text{ [LSB]}$$

■ 微分直線性誤差



$$\text{微分直線性誤差 } ED = \frac{V'[N]h - V'[N-1]h}{1LSB'} - 1 \text{ [LSB]}$$

2.6.6 AC 特性

C33 マクロの AC 特性は大きく分けて 2 種類あります。

1 つは、C33 マクロが内蔵する入出力バッファ端子についての AC 特性であり、これによってチップ外部とのインタフェースのタイミング条件を規定します。この AC 特性については“2.6.6.3 AC 特性表（入出力バッファ端子）”で記述しており、これに対応するタイミングチャートを“2.6.6.4 AC 特性タイミングチャート（入出力バッファ端子）”に記述しています。

もう 1 つは、C33 マクロとチップ上のユーザ回路との接続信号についての AC 特性であり、これによってチップ上のインタフェースのタイミング条件を規定します。

この AC 特性については、“2.6.6.5 AC 特性表（ユーザロジックインタフェース）”で記述しており、これに対応するタイミングチャートを“2.6.6.6 ”に記述しています。

C33 マクロのバスインタフェースは、チップ外部には、SRAM, ROM を始め、EDO DRAM, バースト ROM を接続することができます。チップ内部のユーザロジックとのバスインタフェースでは、SRAM タイプのインタフェースのみが有効となります。

2.6.6.1 記号説明

tcyc: バスクロックサイクルタイム

- X1 モードでは CPU 20MHz 動作のとき tcyc=50ns (20MHz)
 CPU 33MHz 動作のとき tcyc=30ns (33MHz)
- X2 モードでは CPU 40MHz 動作のとき tcyc=50ns (20MHz)
 CPU 50MHz 動作のとき tcyc=40ns (25MHz)
 CPU 60MHz 動作のとき tcyc=33ns (30MHz)

WC: ウェイトサイクル数

ウェイトサイクルは、BCU の制御レジスタで最大 7 サイクルまで設定可能です。さらに、外部から P_P30 (#WAIT) または U_WAIT_X 端子への入力 (ウェイト要求入力) で、必要なだけウェイトサイクルを延ばすことができます。

“0” ウェイトに設定した場合、リード時の最小サイクル数は 1 サイクルです。

“0” ウェイトに設定した場合、ライト時の最小サイクル数は 2 サイクルです。BCU の制御レジスタで“1” ウェイトを設定した場合でも、この最小サイクル数は変わりません。“2” ウェイト以上を設定すると、実際にライトサイクルが延長されます。

C33 マクロの外部からウェイト要求入力への入力でウェイトサイクルを挿入する場合、ウェイト要求入力のサンプリングタイミングに注意してください。リードサイクルの場合は、ウェイト要求入力のネゲートをサンプリングしたサイクルでそのリードサイクルを終了します。ライトサイクルの場合は、ウェイト要求入力のネゲートをサンプリングした次のサイクルでそのライトサイクルを終了します。

C1、C2、C3、Cn: サイクル番号

C1 は、BCU が外部メモリなどとデータ転送を行うときの第 1 サイクルであることを示します。同様に C2 は第 2 サイクル、Cn は第 n サイクルであることを示します。

また、CW: ウェイトサイクルは、そのサイクルがウェイトサイクルであることを示します。

2.6.6.2 AC 特性測定条件

信号検定レベル:	入力信号	High レベル	$V_{IH}=V_{DD}-0.4V$
		Low レベル	$V_{IL}=0.4V$
	出力信号	High レベル	$V_{OH}=1/2 V_{DD}$
		Low レベル	$V_{OL}=1/2 V_{DD}$

ただし、OSC3 外部クロック入力の場合は下記のとおりです。

入力信号	High レベル	$V_{IH}=1/2 V_{DD}$
	Low レベル	$V_{IL}=1/2 V_{DD}$

入力信号波形:	立ち上がり (10% → 90% V_{DD}) 5ns (入出力バッファ端子)		
	立ち下がり (90% → 10% V_{DD}) 5ns (入出力バッファ端子)		
出力負荷容量:	$C_L=50pF$ (入出力バッファ端子のみ)		
	F/O=1 (ユーザロジックインタフェース)		

2.6.6.3 AC 特性表（入出力バッファ端子）

C33 マクロとチップ外部とのインタフェースのタイミングを規定します。

■ 外部クロック入力特性

[注] この AC 特性値は、外部クロック入力の場合に適用されます。

1) 3.3V/5.0V 2 電源の場合

（特記なき場合：HV_{DD}=4.5V ~ 5.5V, LV_{DD}=2.7V ~ 3.6V, V_{SS}=0V, Ta=-40 ~ 85°C）

項目	記号	Min.	Max.	単位	注
高速クロックサイクル時間	t _{C3}	30		ns	
P_OSC3 クロック入力デューティ	t _{C3ED}	45	55	%	
P_OSC3 クロック入力立ち上がり時間	t _{IF}		5	ns	
P_OSC3 クロック入力立ち下がり時間	t _{IR}		5	ns	
P_BCLK ハイレベル出力遅延時間	t _{CD1}		35	ns	
P_BCLK ローレベル出力遅延時間	t _{CD2}		35	ns	
最小リセットパルス幅（P_RESETX 入力）	t _{RST}	6 × t _{CYC}		ns	

（注）OSC3 への入力は必ず LV_{DD} と V_{SS} の範囲内で与えてください。

2) 3.3V 単一電源の場合

（特記なき場合：V_{DD}=2.7V ~ 3.6V, V_{SS}=0V, Ta=-40 ~ 85°C）

項目	記号	Min.	Max.	単位	注
高速クロックサイクル時間	t _{C3}	30		ns	
P_OSC3 クロック入力デューティ	t _{C3ED}	45	55	%	
P_OSC3 クロック入力立ち上がり時間	t _{IF}		5	ns	
P_OSC3 クロック入力立ち下がり時間	t _{IR}		5	ns	
P_BCLK ハイレベル出力遅延時間	t _{CD1}		35	ns	
P_BCLK ローレベル出力遅延時間	t _{CD2}		35	ns	
最小リセットパルス幅（P_RESETX 入力）	t _{RST}	6 × t _{CYC}		ns	

（注）OSC3 への入力は V_{DD} と V_{SS} の範囲内で与えてください。

3) 2.0V 単一電源の場合

（特記なき場合：V_{DD}=1.8V ~ 2.2V, V_{SS}=0V, Ta=-40 ~ 85°C）

項目	記号	Min.	Max.	単位	注
高速クロックサイクル時間	t _{C3}	30		ns	
P_OSC3 クロック入力デューティ	t _{C3ED}	45	55	%	
P_OSC3 クロック入力立ち上がり時間	t _{IF}		5	ns	
P_OSC3 クロック入力立ち下がり時間	t _{IR}		5	ns	
P_BCLK ハイレベル出力遅延時間	t _{CD1}		60	ns	
P_BCLK ローレベル出力遅延時間	t _{CD2}		60	ns	
最小リセットパルス幅（P_RESETX 入力）	t _{RST}	6 × t _{CYC}		ns	

（注）OSC3 への入力は V_{DD} と V_{SS} の範囲内で与えてください。

■ P_BCLK クロック出力特性

[注] この AC 特性値は、高速発振回路使用の場合に適用されます。

1) 3.3V/5.0V 2 電源の場合

(特記なき場合 : $HV_{DD}=4.5V \sim 5.5V$, $LV_{DD}=2.7V \sim 3.6V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
P_BCLK クロック出力デューティ	t_{CBD}	40	60	%	

2) 3.3V 単一電源の場合

(特記なき場合 : $V_{DD}=2.7V \sim 3.6V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
P_BCLK クロック出力デューティ	t_{CBD}	40	60	%	

3) 2.0V 単一電源の場合

(特記なき場合 : $V_{DD}=1.8V \sim 2.2V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
P_BCLK クロック出力デューティ	t_{CBD}	40	60	%	

■ 共通特性

1) 3.3/5.0V 2 電源の場合

(特記なき場合 : $HV_{DD}=4.5V \sim 5.5V$, $LV_{DD}=2.7V \sim 3.6V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
アドレス遅延時間	t_{AD}	—	8	ns	
P_CEx 遅延時間 (1)	t_{CE1}	—	8	ns	
P_CEx 遅延時間 (2)	t_{CE2}	—	8	ns	
ウェイトセットアップ時間	t_{WTS}	15	—	ns	
ウェイトホールド時間	t_{WTH}	0	—	ns	
リード信号遅延時間 (1)	t_{RDD1}		8	ns	
リードデータセットアップ時間	t_{RDS}	12		ns	
リードデータホールド時間	t_{RDH}	0		ns	
ライト信号遅延時間 (1)	t_{WRD1}		8	ns	
ライトデータ遅延時間 (1)	t_{WDD1}		10	ns	
ライトデータ遅延時間 (2)	t_{WDD2}	0	10	ns	
ライトデータホールド時間	t_{WDH}	0		ns	

2) 3.3V 単一電源の場合

(特記なき場合: $V_{DD}=2.7V \sim 3.6V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
アドレス遅延時間	t_{AD}	–	10	ns	
P_CEx 遅延時間 (1)	t_{CE1}	–	10	ns	
P_CEx 遅延時間 (2)	t_{CE2}	–	10	ns	
ウェイトセットアップ時間	t_{WTS}	15	–	ns	
ウェイトホールド時間	t_{WTH}	0	–	ns	
リード信号遅延時間 (1)	t_{RDD1}		10	ns	
リードデータセットアップ時間	t_{RDS}	15		ns	
リードデータホールド時間	t_{RDH}	0		ns	
ライト信号遅延時間 (1)	t_{WRD1}		10	ns	
ライトデータ遅延時間 (1)	t_{WDD1}		10	ns	
ライトデータ遅延時間 (2)	t_{WDD2}	0	10	ns	
ライトデータホールド時間	t_{WDH}	0		ns	

3) 2.0V 単一電源の場合

(特記なき場合: $V_{DD}=1.8V \sim 2.2V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
アドレス遅延時間	t_{AD}	–	20	ns	
P_CEx 遅延時間 (1)	t_{CE1}	–	20	ns	
P_CEx 遅延時間 (2)	t_{CE2}	–	20	ns	
ウェイトセットアップ時間	t_{WTS}	40	–	ns	
ウェイトホールド時間	t_{WTH}	0	–	ns	
リード信号遅延時間 (1)	t_{RDD1}		20	ns	
リードデータセットアップ時間	t_{RDS}	40		ns	
リードデータホールド時間	t_{RDH}	0		ns	
ライト信号遅延時間 (1)	t_{WRD1}		20	ns	
ライトデータ遅延時間 (1)	t_{WDD1}		20	ns	
ライトデータ遅延時間 (2)	t_{WDD2}	0	20	ns	
ライトデータホールド時間	t_{WDH}	0		ns	

■ SRAM リードサイクル

1) 3.3/5.0V 2 電源の場合

(特記なき場合: $HV_{DD}=4.5V \sim 5.5V$, $LV_{DD}=2.7V \sim 3.6V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
リード信号遅延時間 (2)	t_{RDD2}		8	ns	
リード信号パルス幅	t_{RDW}	$t_{CYC}(0.5+WC)-8$		ns	
リードアドレスアクセス時間 (1)	t_{ACCI}		$t_{CYC}(1+WC)-20$	ns	
チップイネーブルアクセス時間 (1)	t_{CEAC1}		$t_{CYC}(1+WC)-20$	ns	
リード信号アクセス時間 (1)	t_{RDAC1}		$t_{CYC}(0.5+WC)-20$	ns	

2) 3.3V 単一電源の場合

(特記なき場合 : $V_{DD}=2.7V \sim 3.6V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
リード信号遅延時間 (2)	t_{RDD2}		10	ns	
リード信号パルス幅	t_{RDW}	$t_{CYC}(0.5+WC)-10$		ns	
リードアドレスアクセス時間 (1)	t_{ACC1}		$t_{CYC}(1+WC)-25$	ns	
チップイネーブルアクセス時間 (1)	t_{CEAC1}		$t_{CYC}(1+WC)-25$	ns	
リード信号アクセス時間 (1)	t_{RDAC1}		$t_{CYC}(0.5+WC)-25$	ns	

3) 2.0V 単一電源の場合

(特記なき場合 : $V_{DD}=1.8V \sim 2.2V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
リード信号遅延時間 (2)	t_{RDD2}		10	ns	
リード信号パルス幅	t_{RDW}	$t_{CYC}(0.5+WC)-10$		ns	
リードアドレスアクセス時間 (1)	t_{ACC1}		$t_{CYC}(1+WC)-60$	ns	
チップイネーブルアクセス時間 (1)	t_{CEAC1}		$t_{CYC}(1+WC)-60$	ns	
リード信号アクセス時間 (1)	t_{RDAC1}		$t_{CYC}(0.5+WC)-60$	ns	

■ SRAM ライトサイクル

1) 3.3V/5.0V 2 電源の場合

(特記なき場合 : $HV_{DDE}=4.5V \sim 5.5V$, $LV_{DD}=2.7V \sim 3.6V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
ライト信号遅延時間 (2)	t_{WRD2}		8	ns	
ライト信号パルス幅	t_{WRW}	$t_{CYC}(1+WC)-10$		ns	

2) 3.3V 単一電源の場合

(特記なき場合 : $V_{DD}=2.7V \sim 3.6V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
ライト信号遅延時間 (2)	t_{WRD2}		10	ns	
ライト信号パルス幅	t_{WRW}	$t_{CYC}(1+WC)-10$		ns	

3) 2.0V 単一電源の場合

(特記なき場合 : $V_{DD}=1.8V \sim 2.2V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
ライト信号遅延時間 (2)	t_{WRD2}		20	ns	
ライト信号パルス幅	t_{WRW}	$t_{CYC}(1+WC)-20$		ns	

■ DRAM アクセスサイクル共通特性

下記の DRAM とのインタフェースの規定の記述の中で #RAS、#CAS は、下記の意味を持ちます。

- ・ #RAS とは、チップイネーブル信号 (P_CEX) の中で DRAM に対する RAS 信号として動作するようにバスコントローラ (BCU) で設定された信号を意味します。
- ・ #CAS とは、P_HCAS_X 信号、または P_LCAS_X 信号を意味します。

1) 3.3V/5.0V 2 電源の場合

(特記なき場合: HV_{DD}=4.5V ~ 5.5V, LV_{DD}=2.7V ~ 3.6V, V_{SS}=0V, Ta=-40 ~ 85°C)

項目	記号	Min.	Max.	単位	注
#RAS 信号遅延時間 (1)	t _{RASD1}		10	ns	
#RAS 信号遅延時間 (2)	t _{RASD2}		10	ns	
#RAS 信号パルス幅	t _{RASW}	t _{CYC} (2+WC)-10		ns	
#CAS 信号遅延時間 (1)	t _{CASD1}		10	ns	
#CAS 信号遅延時間 (2)	t _{CASD2}		10	ns	
#CAS 信号パルス幅	t _{CASW}	t _{CYC} (0.5+WC)-5		ns	
リード信号遅延時間 (3)	t _{RDD3}		10	ns	
リード信号パルス幅 (2)	t _{RDW2}	t _{CYC} (2+WC)-10		ns	
ライト信号遅延時間 (3)	t _{WRD3}		10	ns	
ライト信号パルス幅 (2)	t _{WRW2}	t _{CYC} (2+WC)-10		ns	

2) 3.3V 単一電源の場合

(特記なき場合: V_{DD}=2.7V ~ 3.6V, V_{SS}=0V, Ta=-40 ~ 85°C)

項目	記号	Min.	Max.	単位	注
#RAS 信号遅延時間 (1)	t _{RASD1}		10	ns	
#RAS 信号遅延時間 (2)	t _{RASD2}		10	ns	
#RAS 信号パルス幅	t _{RASW}	t _{CYC} (2+WC)-10		ns	
#CAS 信号遅延時間 (1)	t _{CASD1}		10	ns	
#CAS 信号遅延時間 (2)	t _{CASD2}		10	ns	
#CAS 信号パルス幅	t _{CASW}	t _{CYC} (0.5+WC)-10		ns	
リード信号遅延時間 (3)	t _{RDD3}		10	ns	
リード信号パルス幅 (2)	t _{RDW2}	t _{CYC} (2+WC)-10		ns	
ライト信号遅延時間 (3)	t _{WRD3}		10	ns	
ライト信号パルス幅 (2)	t _{WRW2}	t _{CYC} (2+WC)-10		ns	

3) 2.0V 単一電源の場合

(特記なき場合 : $V_{DD}=1.8V \sim 2.2V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
#RAS 信号遅延時間 (1)	t_{RASD1}		20	ns	
#RAS 信号遅延時間 (2)	t_{RASD2}		20	ns	
#RAS 信号パルス幅	t_{RASW}	$t_{CYC}(2+WC)-20$		ns	
#CAS 信号遅延時間 (1)	t_{CASD1}		20	ns	
#CAS 信号遅延時間 (2)	t_{CASD2}		20	ns	
#CAS 信号パルス幅	t_{CASW}	$t_{CYC}(0.5+WC)-20$		ns	
リード信号遅延時間 (3)	t_{RDD3}		20	ns	
リード信号パルス幅 (2)	t_{RDW2}	$t_{CYC}(2+WC)-20$		ns	
ライト信号遅延時間 (3)	t_{WRD3}		20	ns	
ライト信号パルス幅 (2)	t_{WRW2}	$t_{CYC}(2+WC)-20$		ns	

■ DRAM ランダムアクセスサイクル , DRAM 高速ページサイクル

1) 3.3V/5.0V 2 電源の場合

(特記なき場合 : $HV_{DD}=4.5V \sim 5.5V$, $LV_{DD}=2.7V \sim 3.6V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
カラムアドレスアクセス時間	t_{ACCF}		$t_{CYC}(1+WC)-25$	ns	
#RAS アクセス時間	t_{RACF}		$t_{CYC}(1.5+WC)-25$	ns	
#CAS アクセス時間	t_{CACF}		$t_{CYC}(0.5+WC)-25$	ns	

2) 3.3V 単一電源の場合

(特記なき場合 : $V_{DD}=2.7V \sim 3.6V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
カラムアドレスアクセス時間	t_{ACCF}		$t_{CYC}(1+WC)-25$	ns	
#RAS アクセス時間	t_{RACF}		$t_{CYC}(1.5+WC)-25$	ns	
#CAS アクセス時間	t_{CACF}		$t_{CYC}(0.5+WC)-25$	ns	

3) 2.0V 単一電源の場合

(特記なき場合 : $V_{DD}=1.8V \sim 2.2V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
カラムアドレスアクセス時間	t_{ACCF}		$t_{CYC}(1+WC)-60$	ns	
#RAS アクセス時間	t_{RACF}		$t_{CYC}(1.5+WC)-60$	ns	
#CAS アクセス時間	t_{CACF}		$t_{CYC}(0.5+WC)-60$	ns	

■ EDO DRAM ランダムアクセスサイクル, EDO DRAM ページサイクル

1) 3.3V/5.0V 2 電源の場合

(特記なき場合: $HV_{DD}=4.5V \sim 5.5V$, $LV_{DD}=2.7V \sim 3.6V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
カラムアドレスアクセス時間	t_{ACCE}		$t_{CYC}(1.5+WC)-25$	ns	
#RAS アクセス時間	t_{RACE}		$t_{CYC}(2+WC)-25$	ns	
#CAS アクセス時間	t_{CACE}		$t_{CYC}(1+WC)-15$	ns	
リードデータセットアップ時間	t_{RDS2}	20		ns	

2) 3.3V 単一電源の場合

(特記なき場合: $V_{DD}=2.7V \sim 3.6V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
カラムアドレスアクセス時間	t_{ACCE}		$t_{CYC}(1.5+WC)-25$	ns	
#RAS アクセス時間	t_{RACE}		$t_{CYC}(2+WC)-25$	ns	
#CAS アクセス時間	t_{CACE}		$t_{CYC}(1+WC)-20$	ns	
リードデータセットアップ時間	t_{RDS2}	20		ns	

3) 2.0V 単一電源の場合

(特記なき場合: $V_{DD}=1.8V \sim 2.2V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
カラムアドレスアクセス時間	t_{ACCE}		$t_{CYC}(1.5+WC)-60$	ns	
#RAS アクセス時間	t_{RACE}		$t_{CYC}(2+WC)-60$	ns	
#CAS アクセス時間	t_{CACE}		$t_{CYC}(1+WC)-60$	ns	
リードデータセットアップ時間	t_{RDS2}	20		ns	

■ バースト ROM リードサイクル

1) 3.3V/5.0V 2 電源の場合

(特記なき場合: $HV_{DD}=4.5V \sim 5.5V$, $LV_{DD}=2.7V \sim 3.6V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
リードアドレスアクセス時間 (2)	t_{ACC2}		$t_{CYC}(1+WC)-20$	ns	
チップイネーブルアクセス時間 (2)	t_{CEAC2}		$t_{CYC}(1+WC)-20$	ns	
リード信号アクセス時間 (2)	t_{RDAC2}		$t_{CYC}(0.5+WC)-20$	ns	
バーストアドレスアクセス時間	t_{ACCB}		$t_{CYC}(1+WC)-20$	ns	

2) 3.3V 単一電源の場合

(特記なき場合: $V_{DD}=2.7V \sim 3.6V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
リードアドレスアクセス時間 (2)	t_{ACC2}		$t_{CYC}(1+WC)-25$	ns	
チップイネーブルアクセス時間 (2)	t_{CEAC2}		$t_{CYC}(1+WC)-25$	ns	
リード信号アクセス時間 (2)	t_{RDAC2}		$t_{CYC}(0.5+WC)-25$	ns	
バーストアドレスアクセス時間	t_{ACCB}		$t_{CYC}(1+WC)-25$	ns	

3) 2.0V 単一電源の場合

(特記なき場合: $V_{DD}=1.8V \sim 2.2V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
リードアドレスアクセス時間 (2)	t_{ACC2}		$t_{CYC}(1+WC)-60$	ns	
チップイネーブルアクセス時間 (2)	t_{CEAC2}		$t_{CYC}(1+WC)-60$	ns	
リード信号アクセス時間 (2)	t_{RDAC2}		$t_{CYC}(0.5+WC)-60$	ns	
バーストアドレスアクセス時間	t_{ACCB}		$t_{CYC}(1+WC)-60$	ns	

■ 外部バスマスタと NMI

下記の外部バスマスタと NMI のタイミング規定の中で、#BUSRE0、#BUSACK、#NMI はそれぞれ下記の意味となります。

- #BUSRE0 : P_34 端子が外部バスマスタからのバスリクエスト信号入力と設定された場合
- #BUSACK : P_P35 端子が外部バスマスタへのバスアクノリージ信号出力と設定された場合
- #NMI : P_NMI_X 入力

1) 3.3V/5.0V 2 電源の場合

(特記なき場合: $HV_{DD}=4.5V \sim 5.5V$, $LV_{DD}=2.7V \sim 3.6V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
#BUSREQ 信号セットアップ時間	t_{BRQS}	15		ns	
#BUSREQ 信号ホールド時間	t_{BRQH}	0		ns	
#BUSACK 信号出力遅延時間	t_{BAKD}		10	ns	
ハイインピーダンス→出力 遅延時間	t_{Z2E}		10	ns	
出力→ハイインピーダンス 遅延時間	t_{B2Z}		10	ns	
#NMI パルス幅	t_{NMIW}	30		ns	

2) 3.3V 単一電源の場合

(特記なき場合: $V_{DD}=2.7V \sim 3.6V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
#BUSREQ 信号セットアップ時間	t_{BRQS}	15		ns	
#BUSREQ 信号ホールド時間	t_{BRQH}	0		ns	
#BUSACK 信号出力遅延時間	t_{BAKD}		10	ns	
ハイインピーダンス→出力 遅延時間	t_{Z2E}		10	ns	
出力→ハイインピーダンス 遅延時間	t_{B2Z}		10	ns	
#NMI パルス幅	t_{NMIW}	30		ns	

3) 2.0V 単一電源の場合

(特記なき場合: $V_{DD}=1.8V \sim 2.2V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
#BUSREQ 信号セットアップ時間	t_{BRQS}	40		ns	
#BUSREQ 信号ホールド時間	t_{BRQH}	0		ns	
#BUSACK 信号出力遅延時間	t_{BAKD}		20	ns	
ハイインピーダンス→出力 遅延時間	t_{Z2E}		20	ns	
出力→ハイインピーダンス 遅延時間	t_{B2Z}		20	ns	
#NMI パルス幅	t_{NMIW}	90		ns	

■ 入力, 出力, 入出力兼用ポート

P_Pxx ポート、P_Kxx ポートの AC 特性を規定します。

1) 3.3V/5.0V 2 電源の場合

(特記なき場合 : $HV_{DD}=4.5V \sim 5.5V$, $LV_{DD}=2.7V \sim 3.6V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
入力データセットアップ時間	t_{INPS}	20		ns	
入力データホールド時間	t_{INPH}	10		ns	
出力データ遅延時間	t_{OUTD}		20	ns	
P_Kxx ポート割り込み	t_{KINW}	30		ns	
入力パルス幅		$2 \times t_{CYC}$		ns	

2) 3.3V 単一電源の場合

(特記なき場合 : $V_{DD}=2.7V \sim 3.6V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$)

項目	記号	Min.	Max.	単位	注
入力データセットアップ時間	t_{INPS}	20		ns	
入力データホールド時間	t_{INPH}	10		ns	
出力データ遅延時間	t_{OUTD}		20	ns	
P_Kxx ポート割り込み	t_{KINW}	30		ns	
入力パルス幅		$2 \times t_{CYC}$		ns	

3) 2.0V 単一電源の場合

(特記なき場合 : $V_{DD}=1.8V \sim 2.2V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$)

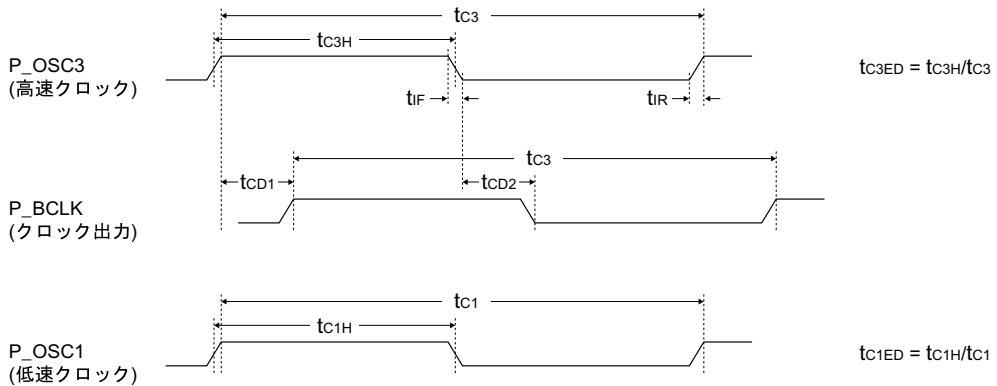
項目	記号	Min.	Max.	単位	注
入力データセットアップ時間	t_{INPS}	40		ns	
入力データホールド時間	t_{INPH}	20		ns	
出力データ遅延時間	t_{OUTD}		30	ns	
P_Kxx ポート割り込み	t_{KINW}	90		ns	
入力パルス幅		$2 \times t_{CYC}$		ns	

2.6.6.4 AC 特性タイミングチャート（入出力バッファ端子）

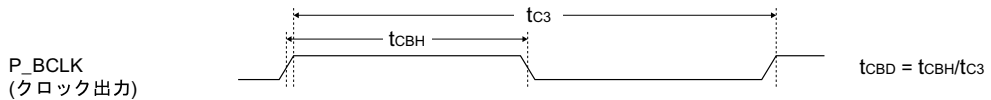
C33マクロとチップ外部のデバイスとのインタフェースのタイミングチャートを示します。

■ クロック

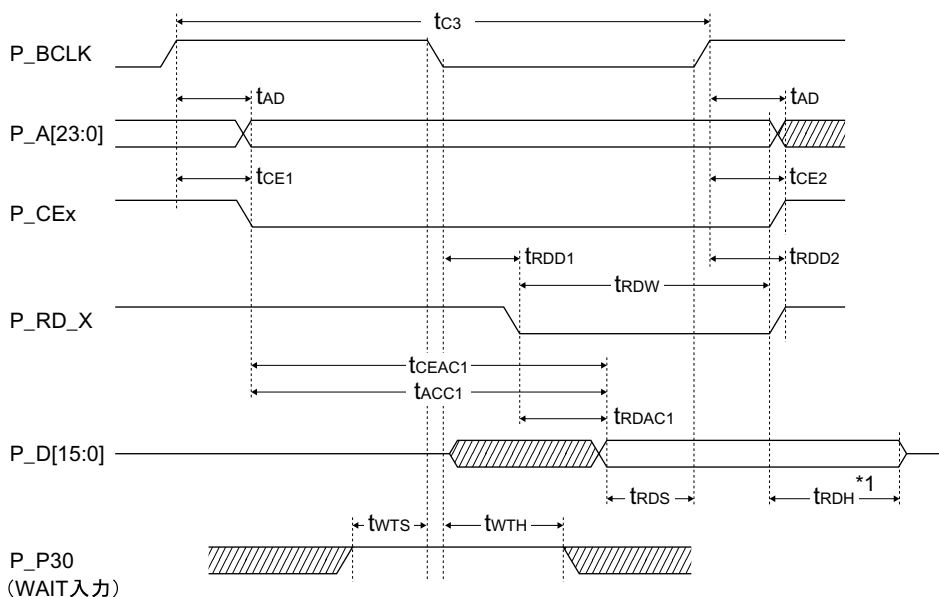
(1) 外部クロック入力の場合



(2) 高速発振回路動作の場合

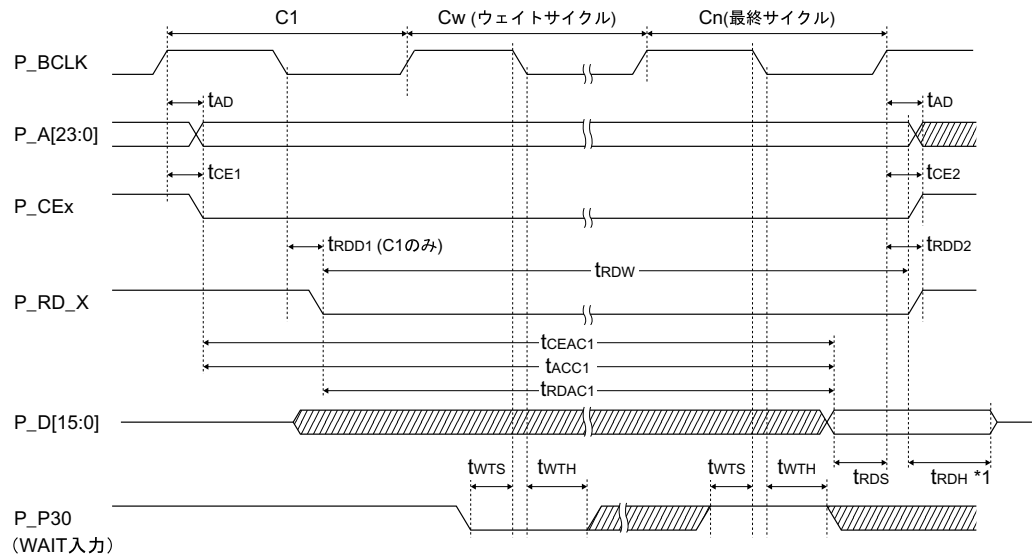


■ SRAM リードサイクル（基本サイクル: 1 サイクル）



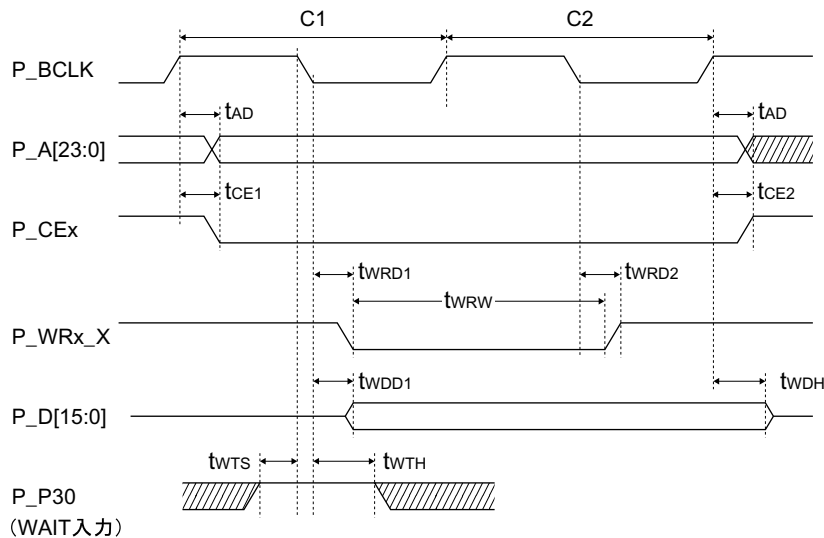
*1 t_{RDH} は、P_RD、P_CEx、P_A[23:0] 中の最も早い信号変化（ネゲート）からの規定とします。

■ SRAM リードサイクル（ウェイトサイクル挿入時）

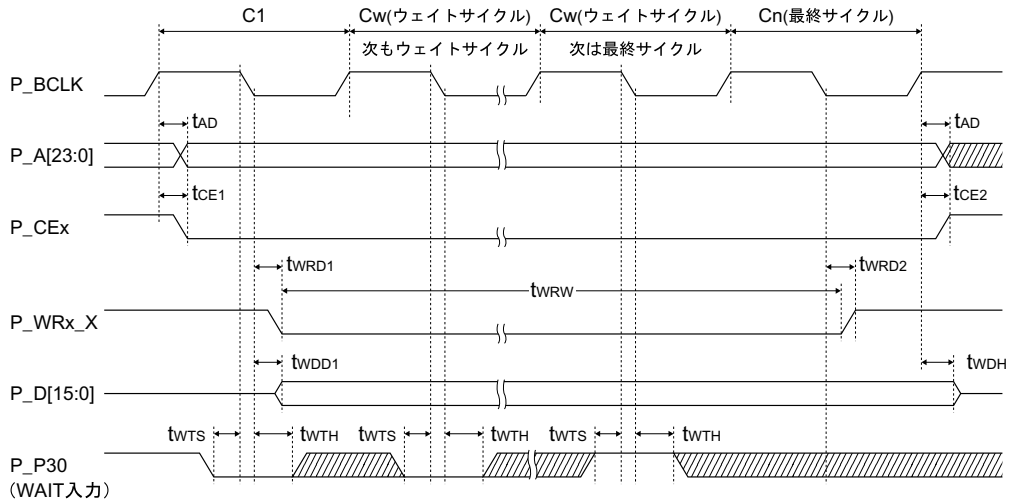


*1 t_{RDH} は、P_RD、P_CEx、P_A[23:0] 中の最も早い信号変化（ネゲート）からの規定とします。

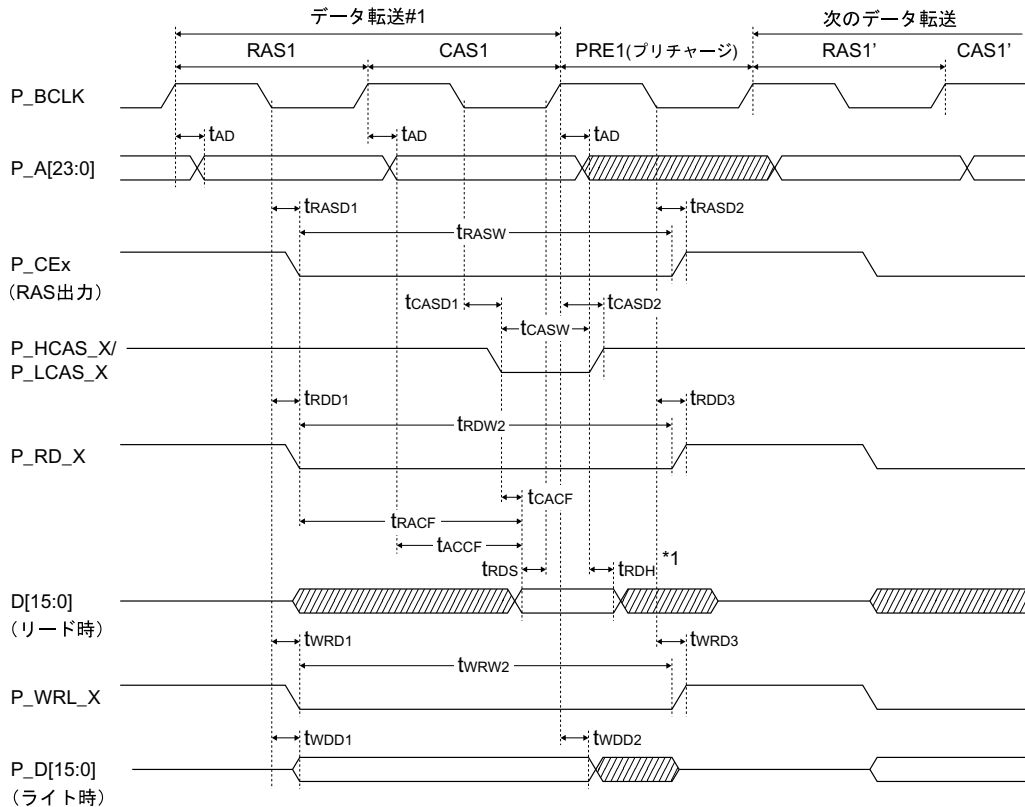
■ SRAM ライトサイクル（基本サイクル：2 サイクル）



■ SRAM ライトサイクル（ウェイトサイクル挿入時）

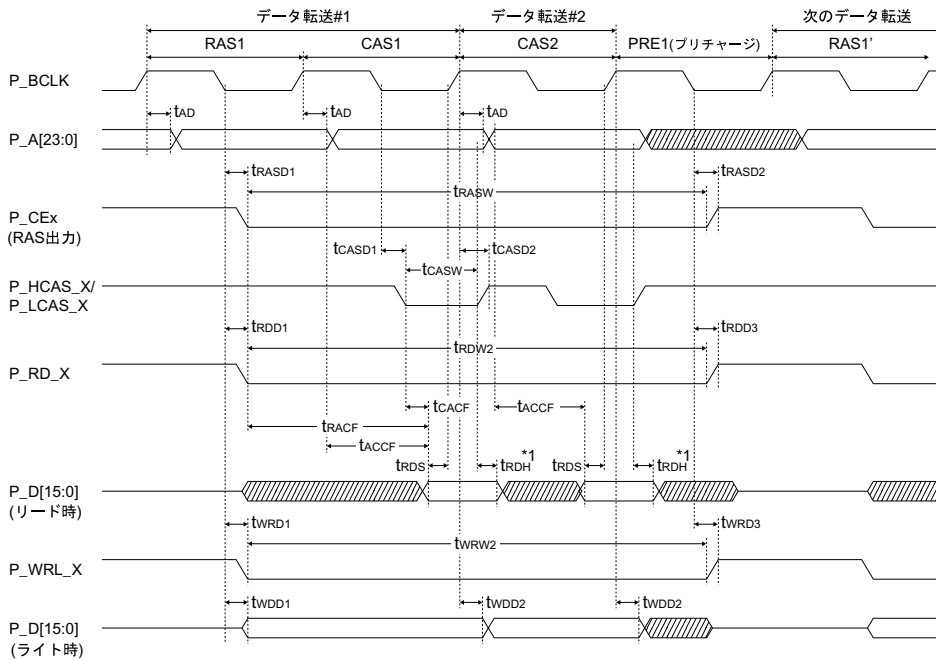


■ DRAM ランダムアクセスサイクル（基本サイクル）



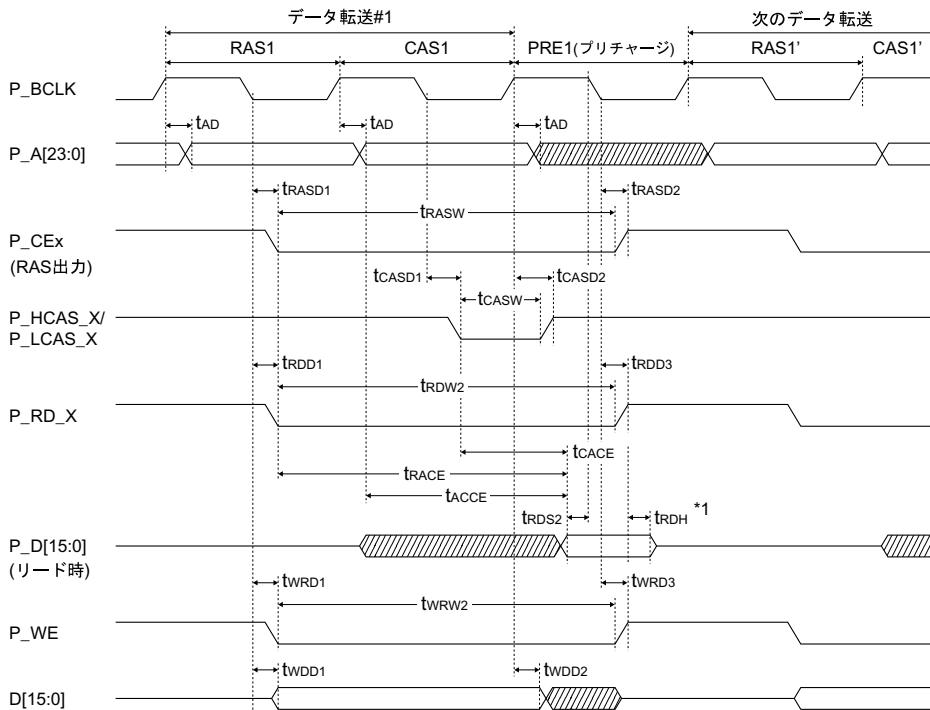
*1 t_{RDH} は、P_RD、P_A[23:0] の中の最も早い信号変化（ネゲート）からの規定とします。

■ DRAM 高速ページアクセスサイクル



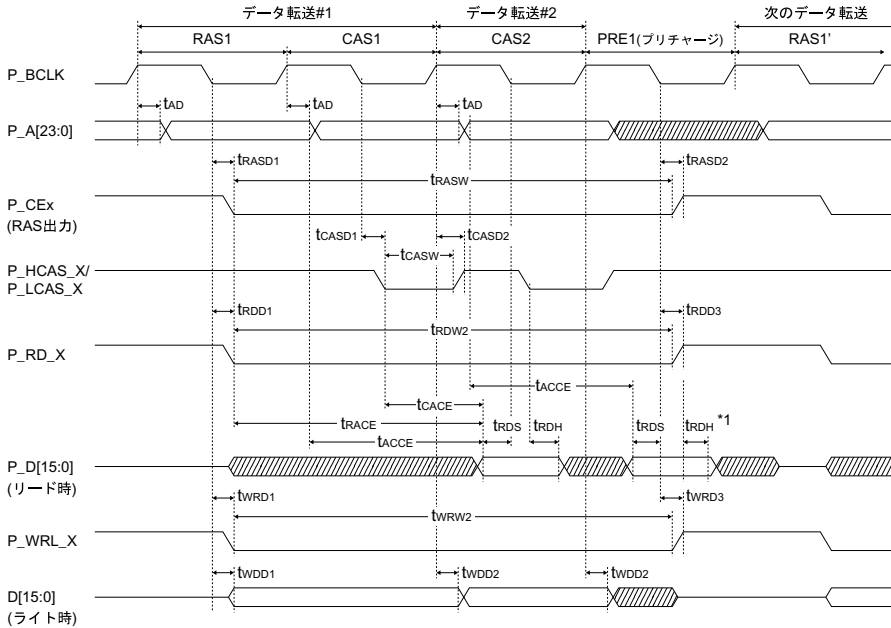
*1 tRDH は、P_RD、P_A[23:0] 中の最も早い信号変化（ネゲート）からの規定とします。

■ EDO DRAM ランダムアクセスサイクル (基本サイクル)



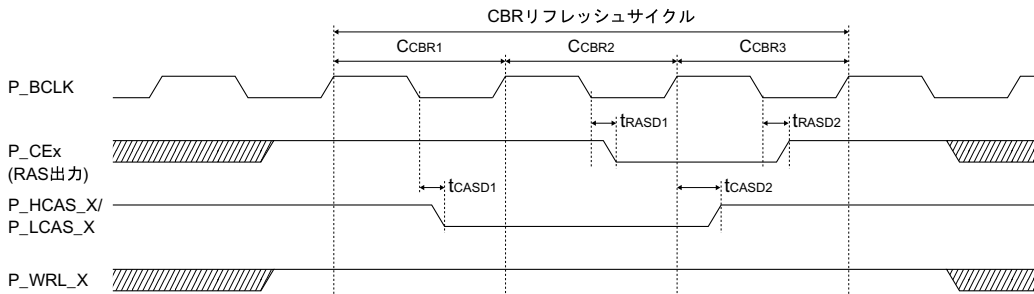
*1 tRDH は、P_RD、P_RASx 中の最も早い信号変化（ネゲート）からの規定とします。

■ EDO DRAM ページアクセスサイクル

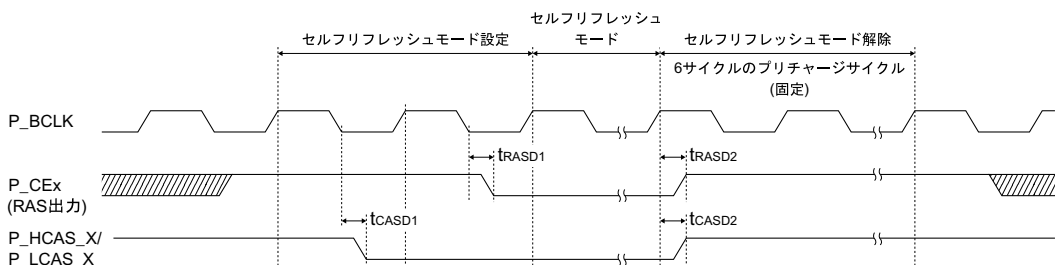


*1 tRDH は、P_RD、P_RASx (ネゲート)、または #CAS (立ち下がり) の中の最も早い信号変化からの規定とします。

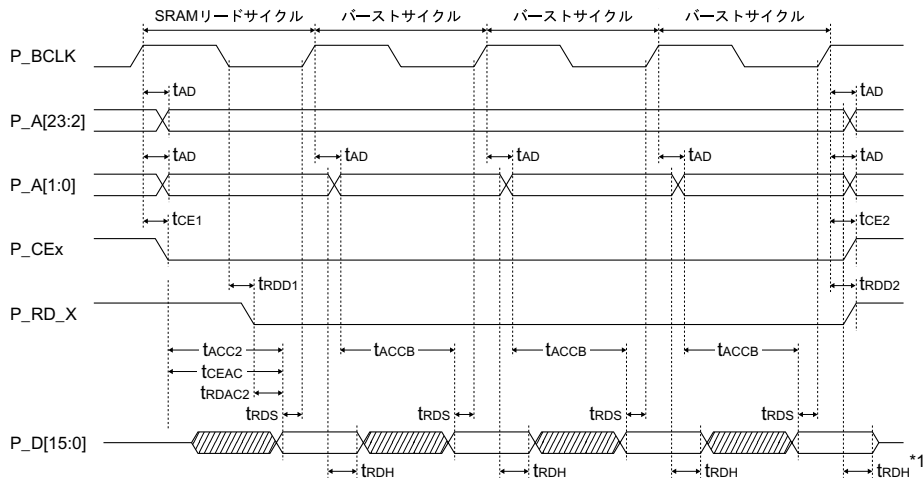
■ DRAM CAS ビフォア RAS リフレッシュサイクル



■ DRAM セルフリフレッシュサイクル

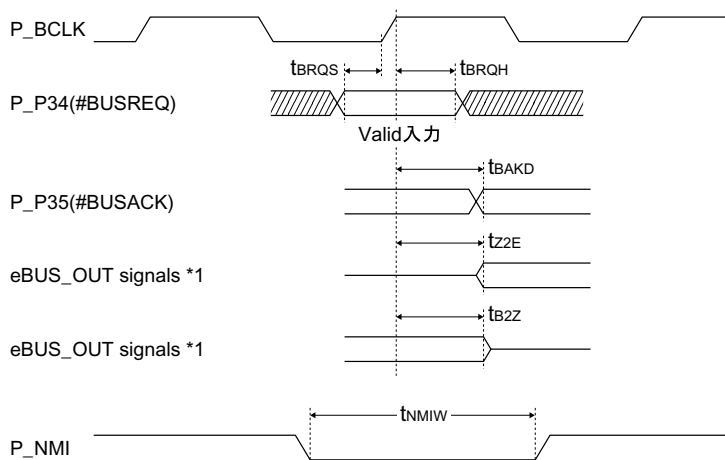


■ バースト ROM リードサイクル



*1 t_{RDH} は、P_RD、P_CEx、P_A[23:0] 中の最も早い信号変化（ネゲート）からの規定とします。

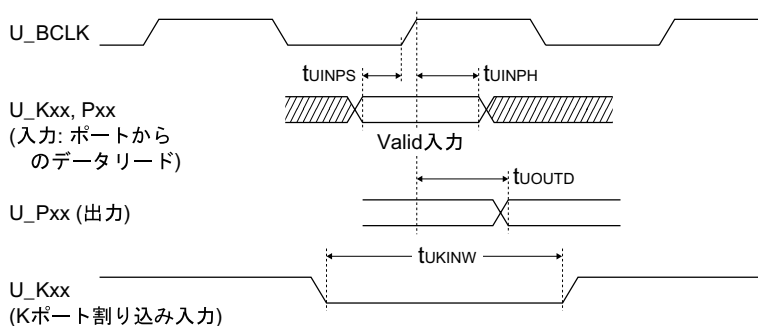
■ 外部バスマスタ、NMI タイミング



*1 eBUS_OUT は、以下の端子を示します。

P_A[23:0], P_RD_X, P_WRL_X, P_WRH_X, P_HCAS_X, P_LCAS_X, P_CEx, P_D[15:0]

■ 入力、出力、入出力兼用ポートタイミング



2.6.6.5 AC 特性表（ユーザロジックインタフェース）

C33 マクロチップとチップ上のユーザロジックとのインタフェースのタイミングを規定します。（なお、最終的にはシュミレーションにより検証を行い確認します。）

■ 外部クロック入力特性

$V_{DD}=3.0V \sim 3.6V$ の場合の AC 特性を規定します。

その他の条件の場合は別途、お問合わせください。

（特記なき場合： $V_{DD}=3.0V \sim 3.6V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$ ）

項目	記号	Min.	Max.	単位	注
低速クロックサイクル時間	t_{C1}	—	—	ns	1
U_OSC1CLK クロックデューティ	t_{UC1D}	45	55	%	
高速クロックサイクル時間	t_{C3}	30	—	ns	
U_OSC3CLK クロックデューティ	t_{U3D}	40	60	%	
U_PLLCLK クロックサイクル時間	t_{UPLL}	16.66	—	ns	
U_PLLCLK クロックデューティ	t_{UCPD}	40	60	%	
U_PLLCLK クロックディレイ時間	t_{UCDP}	—	5	ns	
U_BCLK クロックサイクル時間	t_{CBCLK}	16.66	—	ns	
U_BCLK クロックデューティ	t_{UCBD}	40	60	%	
U_BCLK クロックディレイ時間	t_{UCDB}	—	13	ns	
U_PERICLK クロックサイクル時間	t_{CPSC}	16.66	—	ns	
U_PERICLK クロックデューティ	t_{VPD}	40	60	%	
U_PERICLK クロックディレイ時間	t_{UDP}	—	10	ns	
U_BCUCCLK クロックサイクル時間	t_{CBCU}	16.66	—	ns	
U_BCUCCLK クロックデューティ	t_{UBD}	40	60	%	
U_BUCLK クロックディレイ時間	t_{UDB}	—	10	ns	
リセットアサート遅延時間	t_{URA}	—	10	ns	
リセットデアサート遅延時間	t_{URD}	—	6	ns	
最小リセットパルス幅	t_{URST}	$6 t_{cyc}$	—	ns	

注 1: OSC1 とクロックサイクルは、 $f_{OSC1}=32.768kHz$ で周波数調整範囲が 50ppm になります。詳細は “ 2.6.6.7 発振特性 ” を参照してください。

注 2: 上記のクロックについての AC 特性は、OSC1,OSC3 それぞれが、発振回路からクロックが生成されていることを前提としています。

■ 共通特性（ユーザロジックインタフェース）

ユーザロジックとのインタフェースは、常に V_{DD} 、 V_{SS} の電圧レベルで行われます。

（特記なき場合： $V_{DD}=3.0V \sim 3.6V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$ ）

項目	記号	Min.	Max.	単位	注
アドレス遅延時間	t_{UAD}	—	7	ns	
U_{CEX} 遅延時間 (1)	t_{UCE1}	—	7	ns	
U_{CEX} 遅延時間 (2)	t_{UCE2}	—	7	ns	
ウェイトセットアップ時間	t_{UWTS}	10	—	ns	
ウェイトホールド時間	t_{UWTH}	0	—	ns	
リード信号遅延時間 (1)	t_{URDD1}		7	ns	
リードデータセットアップ時間	t_{URDS}	13		ns	
リードデータホールド時間	t_{URDH}	0		ns	
ライト信号遅延時間 (1)	t_{UWRD1}		7	ns	
ライトデータ遅延時間 (1)	t_{UWDD1}		7	ns	
ライトデータ遅延時間 (2)	t_{UWDD2}	0	7	ns	
ライトデータホールド時間	t_{UWDH}	0		ns	

■ SRAM リードサイクル

（特記なき場合： $V_{DD}=2.7V \sim 3.6V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$ ）

項目	記号	Min.	Max.	単位	注
リード信号遅延時間 (2)	t_{URDD2}		7	ns	
リード信号パルス幅	t_{URDW}	$t_{CYC}(0.5+WC)-7$		ns	
リードアドレスアクセス時間 (1)	t_{UACC1}		$t_{CYC}(1+WC)-20$	ns	
チップイネーブルアクセス時間 (1)	t_{UCEAC1}		$t_{CYC}(1+WC)-20$	ns	
リード信号アクセス時間 (1)	t_{URDAC1}		$t_{CYC}(0.5+WC)-20$	ns	

■ SRAM ライトサイクル

（特記なき場合： $V_{DD}=3.0V \sim 3.6V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$ ）

項目	記号	Min.	Max.	単位	注
ライト信号遅延時間	t_{WRD2}		7	ns	
ライト信号パルス幅	t_{WRW}	$t_{CYC}(1+WC)-7$		ns	

■ 入力，出力，入出力兼用ポート（ユーザロジックインタフェース）

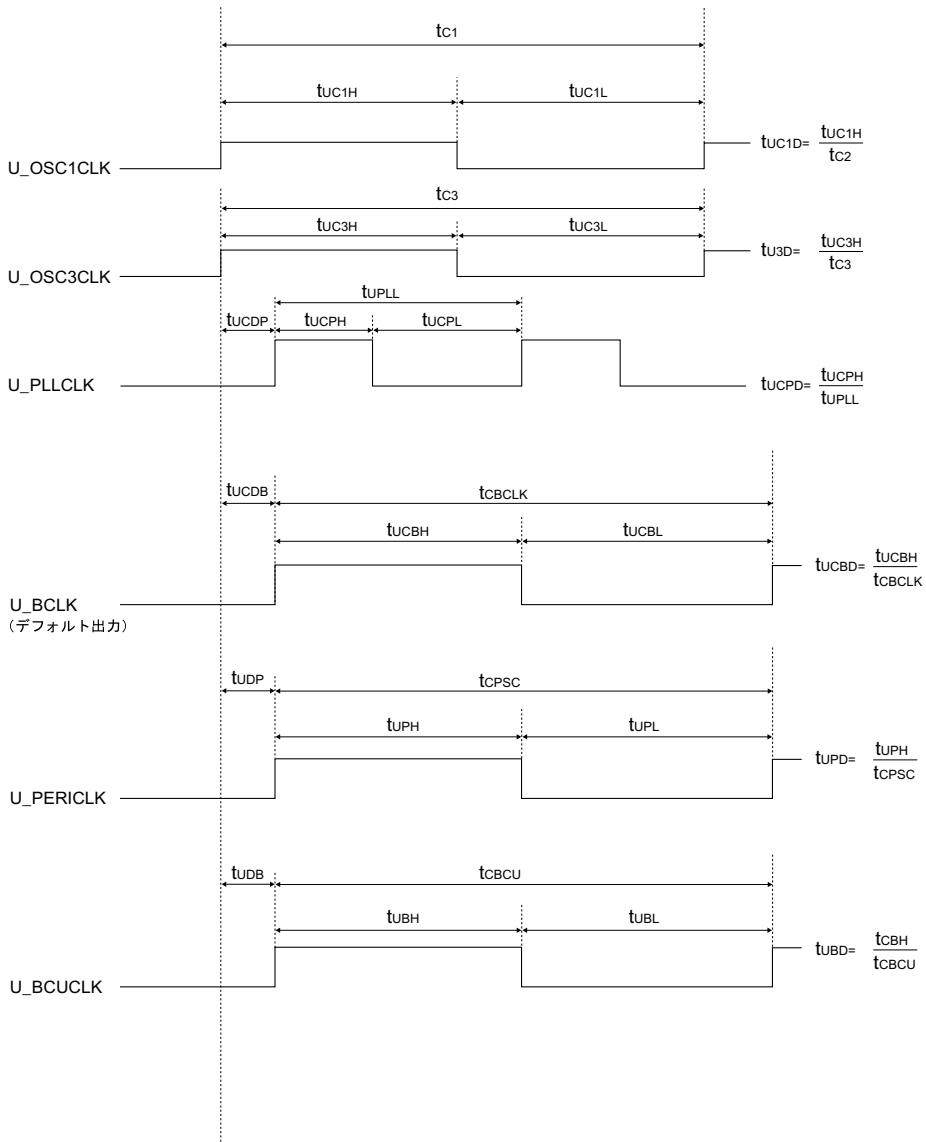
（特記なき場合： $V_{DD}=3.0V \sim 3.6V$, $V_{SS}=0V$, $T_a=-40 \sim 85^{\circ}C$ ）

項目	記号	Min.	Max.	単位	注
入力データセットアップ時間	t_{UINPS}	10		ns	
入力データホールド時間	t_{UINPH}	5		ns	
出力データ遅延時間	t_{UOUTD}		10	ns	
Kポート割り込み	SLEEP, HALT2 モード時 t_{UKINW}	30		ns	
入力パルス幅	上記以外	$2 \times t_{CYC}$		ns	

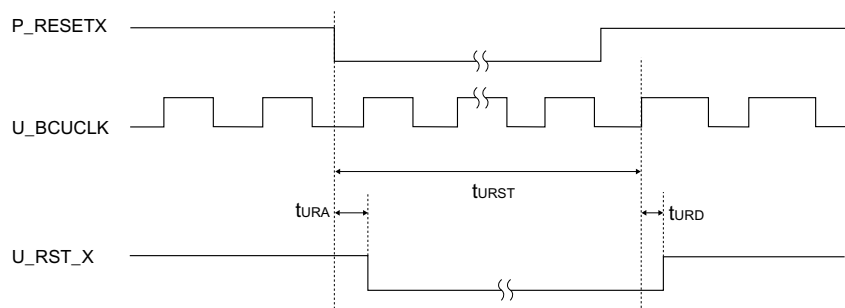
2.6.6.6 AC 特性タイミングチャート（ユーザロジックインタフェース）

C33 マクロとチップ上のユーザロジックとのインタフェースのタイミングチャートを示します。

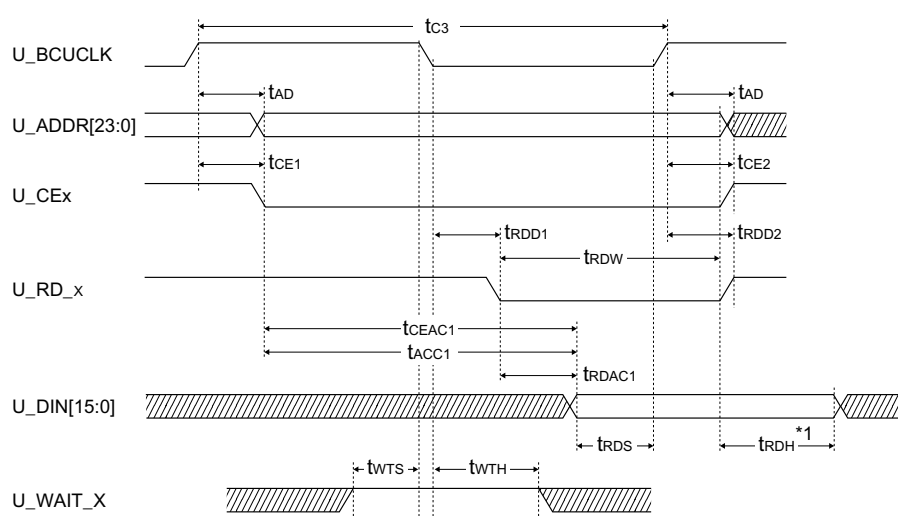
■ クロック



■ リセット

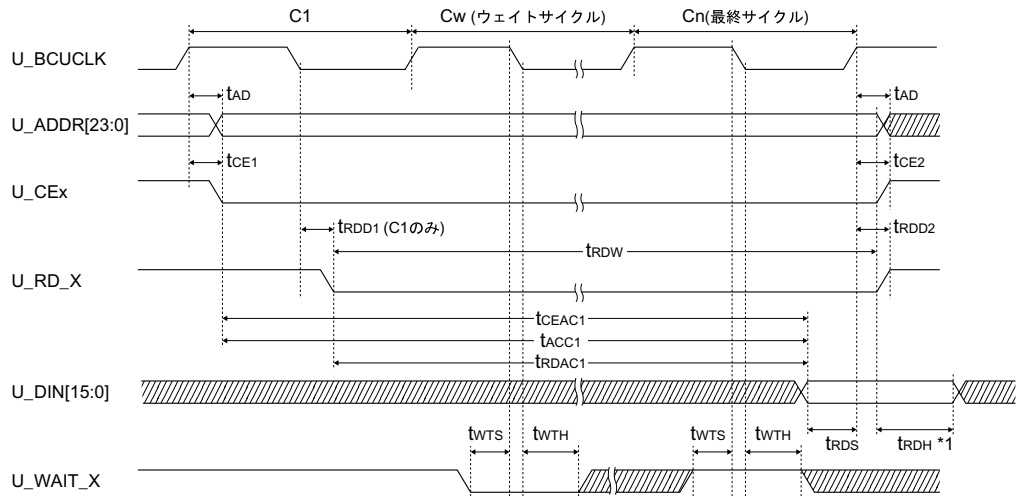


■ SRAM リードサイクル (基本サイクル: 1 サイクル)



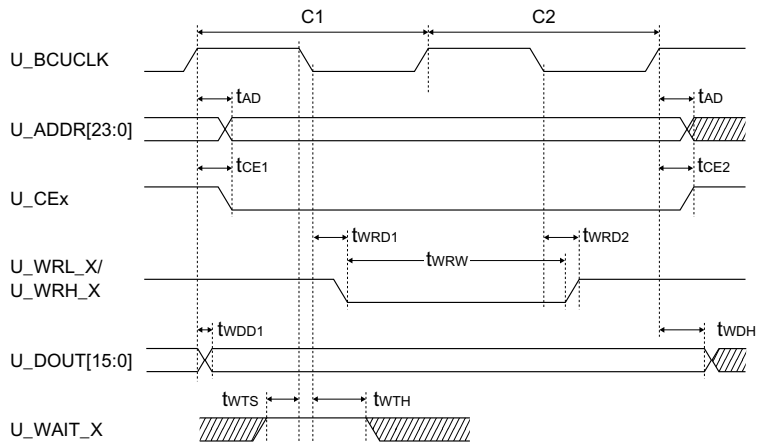
*1 t_{RDH} は、P_RD、P_CEx、P_A[23:0] の中の最も早い信号変化（ネゲート）からの規定とします。

■ SRAM リードサイクル（ウェイトサイクル挿入時）

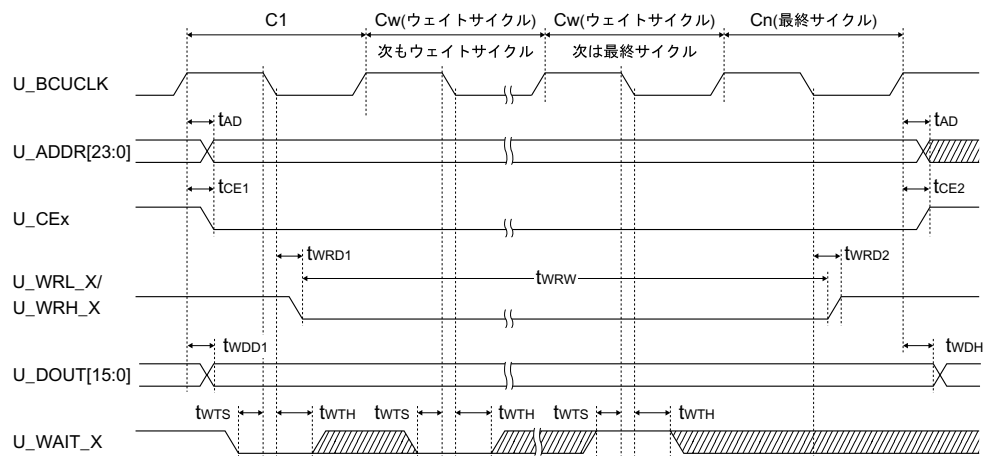


*1 t_{RDH} は、P_RD、P_CEx、P_A[23:0] の中の最も早い信号変化（ネゲート）からの規定とします。

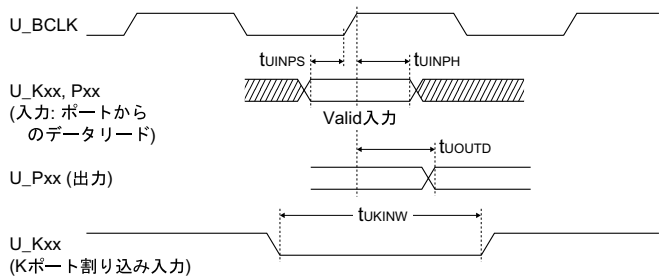
■ SRAM ライトサイクル（基本サイクル：2 サイクル）



■ SRAM ライトサイクル（ウェイトサイクル挿入時）



■ 入力，出力，入出力兼用ポートタイミング



2.6.6.7 発振特性

発振特性は諸条件（使用部品、基板パターン等）により変化します。以下の特性は参考値としてご使用ください。特にセラミック発振子または水晶振動子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。

■ OSC1 水晶発振

（特記なき場合：水晶振動子 =C-002RX^{*1}, 32,768kHz, R_{f1}=20MΩ, C_{G1}=C_{D1}=15pF^{*2}）

項目	記号	条件	Min.	Typ.	Max.	単位	注
動作温度	Ta	V _{DD} =2.7 ~ 3.6V	-40		85	°C	
		V _{DD} =1.9 ~ 2.2V	-40		85	°C	
		V _{DD} =1.8 ~ 2.2V	0		70	°C	

* 1 Q11C02RX: セイコーエプソン製水晶振動子

* 2 C_{G1}=C_{D1}=15pF は基板容量を含みます。

（特記なき場合：V_{DD}=3.3V, V_{SS}=0V, 水晶振動子 =C-002RX^{*1}, C_{G1}=C_{D1}=10pF, R_{f1}=10MW, Ta=25°C）

項目	記号	条件	Min.	Typ.	Max.	単位	注
発振開始時間	t _{STA1}				3	sec	
外付けゲート容量、ドレイン容量	C _{G1} , C _{D1}		5		25	pF	
周波数 IC 偏差	f/IC		-10		10	ppm	
周波数電源電圧偏差	f/V	C _G =15pF	-10		10	ppm/V	
周波数調整範囲	f/CG	C _G =5 ~ 25pF	50			ppm	

* 1 Q11C02RX: セイコーエプソン製水晶振動子

* 2 C_{G1}=C_{D1}=15pF は基板容量を含みます。

（特記なき場合：V_{DD}=2.0V, V_{SS}=0V, 水晶振動子 =C-002RX^{*1}, C_{G1}=C_{D1}=10pF, R_{f1}=10MW, Ta=25°C）

項目	記号	条件	Min.	Typ.	Max.	単位	注
発振開始時間	t _{STA1}				3	sec	
外付けゲート容量、ドレイン容量	C _{G1} , C _{D1}		5		25	pF	
周波数 IC 偏差	f/IC		-10		10	ppm	
周波数電源電圧偏差	f/V	C _G =15pF	-10		10	ppm/V	
周波数調整範囲	f/CG	C _G =5 ~ 25pF	50			ppm	

* 1 Q11C02RX: セイコーエプソン製水晶振動子

* 2 C_{G1}=C_{D1}=15pF は基板容量を含みます。

■ OSC3 水晶発振

[注] OSC3 水晶発振回路には、“ 基本波を使用した水晶振動子 ” を使用してください。

(特記なき場合 : $V_{SS}=0V$, 水晶振動子 =MA-306*1 33.8688MHz, $Rf_2=1M\Omega$, $C_{G1}=C_{D1}=15pF$ *2, $Ta=25^{\circ}C$)

項目	記号	条件	Min.	Typ.	Max.	単位	注
発振開始時間	tSTA3	$V_{DD}=3.3V$			10	ms	
		$V_{DD}=2.0V$			25	ms	

*1 Q22MA306: セイコーエプソン製水晶振動子

*2 $C_{G1}=C_{D1}=15pF$ は基板容量を含みます。

■ OSC3 セラミック発振

(特記なき場合 : $V_{SS}=0V$, $Ta=25^{\circ}C$)

項目	記号	条件	Min.	Typ.	Max.	単位	注
発振開始時間	tSTA3	10MHz セラミック発振子			10	ms	
		16MHz セラミック発振子			10	ms	
		20MHz セラミック発振子			10	ms	
		250MHz セラミック発振子			5	ms	
		33MHz セラミック発振子			5	ms	

注	No.	セラミック発振子 品種名	推奨定数			電源電圧 範囲 (V)	備考
			$C_{G2}(pF)$	$C_{D2}(pF)$	$Rf_2(M\Omega)$		
	1	CST10.0MTW	30	30	1	1.8 ~ 2.2	村田製作所セラミック発振子 *1
	2	CST16.00MXTW0C1	5	5	1	1.8 ~ 2.2	村田製作所セラミック発振子
	3	CST20.00MXTW0H1	5	5	1	1.8 ~ 2.2	村田製作所セラミック発振子
	4	CST25.00MXW0H1	5	5	1	2.7 ~ 3.6	村田製作所セラミック発振子
	5	CST33.00MXZ040	Open	Open	1	2.7 ~ 3.6	村田製作所セラミック発振子

*1 周波数が 0.3% 高めにずれる傾向にあります。

2.6.6.8 PLL 特性

■ PLLS0, PLLS1 の設定 (推奨動作条件)

 $V_{DD}=2.7V \sim 3.6V$

PLL	PLLS0	モード	Fin(OSC3 クロック)	Fout
1	1	2 通倍	10 ~ 25MHz	20 ~ 50MHz
0	1	4 通倍	10 ~ 12.5MHz	40 ~ 50MHz
0	0	PLL 未使用	—	—

 $V_{DD}=2.0V \pm 0.2V$

PLLSL	PLLS0	モード	Fin(OSC3 クロック)	Fout
1	1	2 通倍	10MHz	20MHz
0	0	PLL 未使用	—	—

■ PLL 特性

(特記なき場合: $V_{DD}=2.7V \sim 3.6V$, $V_{SS}=0V$, 水晶発振器 =SG-8002^{*1}, $R_1=4.7k\Omega$, $C_1=100pF$, $C_2=5pF$, $T_a=-40 \sim +85^\circ C$)

項目	記号	条件	Min.	Typ.	Max.	単位	注
ジッタ (ピークジッタ)	t_{pj}		-1		1	ns	
ロックアップ時間	t_{pll}				1	ms	

*1 Q3204DC: セイコーエプソン製水晶発振器

(特記なき場合: $V_{DD}=2.0V \pm 0.2V$, $V_{SS}=0V$, 水晶発振器 =SG-8002^{*1}, $R_1=4.7k\Omega$, $C_1=100pF$, $C_2=5pF$, $T_a=40 \sim +85^\circ C$)

項目	記号	条件	Min.	Typ.	Max.	単位	注
ジッタ (ピークジッタ)	t_{pj}		-2		2	ns	
ロックアップ時間	t_{pll}				2	ms	

*1 Q3204DC: セイコーエプソン製水晶発振器

第 3 章 C33 テスト機能

3.1 テスト概要

C33 マクロは、C33 コアや I/O、ユーザ回路のテスト / 出荷検査のために、さまざまなテストモードを用意しています。その中で、ユーザに対しては以下の 2 つのテストモードを用意しています。

なお、テストモードの設定には、C33 マクロ必須端子である P_TST, P_RESETX, P_X2SPD, P_EA10M0 の 4 端子を使用します。

DC/AC テストモード (TST_DCT モード)

全 I/O ピンのテストをテスト入力ピンより制御可能にし、DC/AC テストを容易にします。C33 マクロは、S1X50000 シリーズで推奨するテスト回路 TCIR と AC パス測定用の XACP1 を内蔵しています。DC/AC テストはこの TCIR と XACP1 の機能を使って行います。本テストモードでは、C33 マクロ内蔵の TCIR を使うことにより、以下の 4 つの DC/AC テストができます。

- a. DC テスト
 - 1. 静的消費電流測定
 - 2. 出力特性 (V_{OH}/V_{OL}) 測定
 - 3. 入力論理レベル検定
- b. AC テスト
 - 1. 専用 AC パス測定

ユーザ回路テストモード (TST_USER モード)

本テストモードでは、アドレス / データ / リード / ライト / チップイネーブル / データバス方向制御を、パッドより直接制御することが可能になります。これにより、ユーザ回路内のレジスタ制御が可能となります。

なお、本テストモードでは C33 のシステムクロックは止まります。

3.2 DC/AC テストモード (TST_DCT モード)

3.2.1 テストモードへの切り換え方法

DC/AC テストモードへの入力シーケンスについて説明します。

P_RESETX=0, P_TST=0 の状態で、C33 マクロの内部状態を安定させるため P_OSC3 からクロックを 4 発以上入力します。その後、P_TST=1 にします。

P_RESETX=0, P_TST=1 の状態で、通常モードではレベル信号となる P_X2SPDX の立ち上がりエッジを 4 回入力します。

P_RESETX=1 にします。この時点でテストモードが確定すると同時に、C33 の内部信号 tst_dct は Low から High になります。(tst_dct=High は DC/AC テストモードであることを意味します。)

なお、tst_dct は AAA.tst_dct でモニタすることができます。

注 1 : AAA は C33 マクロのインスタンス名になります。

注 2 : 他のモードに遷移する可能性があるため、初期状態に影響する入力ピンの値は High または Low に固定してください。固定すべき入力ピンは、P_NMI_X, P_EA10M0, P_EA10M1, P_EA10M2, P_DSIO, P_PLLS0, P_PLLS1, P_OSC1 です。特に P_NMI_X と P_DSIO については、インアクティブ状態 High にする必要があります。

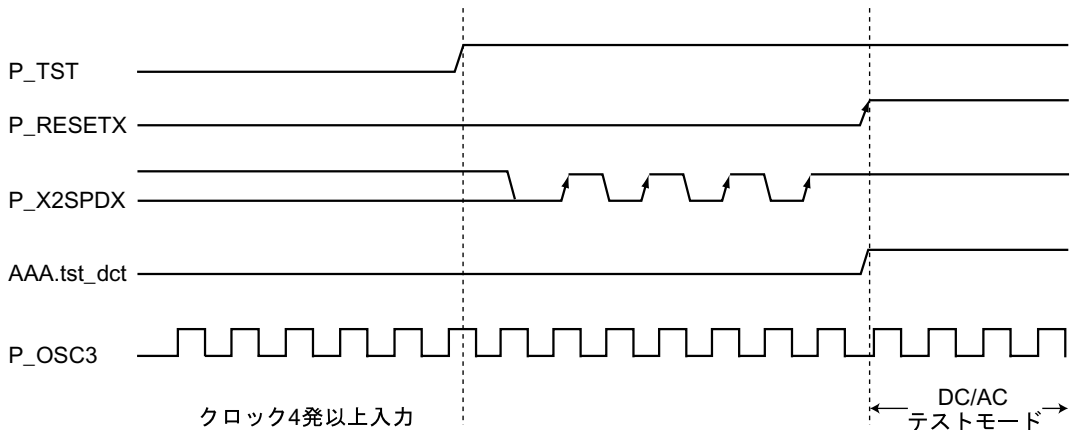


図 3.1 テストモードへの移行

3.2.2 テストモードの説明

DC/AC テストモードでは、ユーザの I/O セルは、C33 マクロ・ユーザ端子（内部信号）の TST_TA, TST_TE_X, TST_TS 信号によって制御されます。なお、P_TST=High の状態では、I/O の Pull-up/down は非能動状態となります。

本テストモード時の制御および出力端子は以下の通りです。

表 3.1 DC/AC テストモード時の外部端子機能

外部端子名	I/O	機 能
P_X2SPDX	In	TCIR の IP0
P_EA10M1	In	TCIR の IP1
P_EA10M0	In	TCIR の IP2
P_A1	Out	専用 AC パス測定時の出力端子
P_BCLK	Out	入力論理レベル検定時の出力端子

表 3.2 DC/AC テストモード時のテストモード信号

マクロ内信号名	I/O	機 能
tst_dct	Out	DC/AC テストモードに入ると "1" になる

各測定モードの説明(以下の説明は S1L50000 SERIES DESIGN GUIDE の内容と同等です。)

1) 静的消費電流測定モード

- Hi-Z モード：双方向端子は入力状態，3 ステート出力端子は Hi-Z 状態

P_X2SPDX (IP0) ... High 固定

P_EA10M1 (IP1) ... High または Low 固定（どちらでも可）

P_EA10M0 (IP2) ... High 固定

- 出力モード：双方向端子および 3 ステート出力端子は出力状態

P_X2SPDX (IP0) ... High 固定

P_EA10M1 (IP1) ... High または Low 固定（どちらでも可）

P_EA10M0 (IP2) ... Low 固定

2) 出力特性 (V_{OH}/V_{OL}) 測定モード

P_X2SPDX (IP0) ... High 固定

P_EA10M1 (IP1) ... High または Low の入力

この入力状態が、全出力セルと双方向セル(EA10MD0=Low の場合) に出力される。

P_EA10M0 (IP2) 双方向端子モードをコントロールする。

High ... Hi-Z (入力) モード

Low ... 出力モード

3) 入力論理レベル検定モード

P_X2SPDX (IP0) ... High 固定

P_EA10M1 (IP1) ... High または Low 固定 (どちらでも可)

P_EA10M0 (IP2) ... High 固定

測定端子 ... High・Low の入力

P_BCLK ... High・Low の出力

4) 専用 AC パス測定モード

P_X2SPDX (IP0) ... Low 固定

P_EA10M1 (IP1) ... High・Low のデータ入力入力

P_EA10M0 (IP2) ... High 固定

P_A1 ... High・Low のデータ (P_EA10M1 の状態) 出力

< APF フォーマットの例 >

```

$RATE          100000
$STROBE         85000
$RESOLUTION    0.001ns

$NODE
P_RESETX      IU  0
P_X2SPDX      I   0
P_TST         ID  0
P_OSC3        P   20000  50000
P_EA10M1      IU  0
P_EA10M0      I
P_BCLK        O
P_A1          B   0
P_D15         B   75000
P_D14         B   75000
P_D13         B   75000
P_D12         B   75000
P_D11         B   75000
P_D10         B   75000
P_D9          B   75000
P_D8          B   75000
P_D7          B   75000
P_D6          B   75000
P_D5          B   75000
P_D4          B   75000
P_D3          B   75000
P_D2          B   75000
P_D1          B   75000
P_D0          B   75000
BI01          B   0
OUT1          0
OUT1          0
$ENDNODE

```

\$PATTERN

```
#
#          PPPPPPPPPPPPPPPPPPPPPPPB00
#          _____IUU
#          RXIOEBADDDDDDDDDDDDDDDOTT
#          E2CSAAC1111119876543210112
#          SSEC11L 543210
#          EPM300K
#          TDD MM
#          XX 10
#
#          IIIPII0BBBBBBBBBBBBBBBBB00
#          U D U
#
```

0	000P00LXXXXXXXXXXXXXXXXHXLX	
1	000P00LXXXXXXXXXXXXXXXXHXLH	
2	000P00LL0000000000000000HXLH	
3	000P00LL0000000000000000HXLH	
4	001P00L000000000000000000ZL	
5	001P00L000000000000000000ZL	テストモード入力シーケンス
6	011P00L000000000000000000ZL	
7	001P00L000000000000000000ZL	
8	011P00L000000000000000000ZL	
9	001P00L000000000000000000ZL	
10	011P00L000000000000000000ZL	
11	001P00L000000000000000000ZL	
12	001P00L000000000000000000ZL	
14	111P00XLLLLLLLLLLLLLLLLLLLL	
15	111P11X000000000000000000ZH	静的消費電流測定
20	111P01X000000000000000000ZH	(双方向は入力、3 ステートは Hi-Z)
25	111P10XHHHHHHHHHHHHHHHHHHHH	静的消費電流測定
30	111P00XLLLLLLLLLLLLLLLLLLLL	(双方向および 3 ステートは出力)
35	111P00XLLLLLLLLLLLLLLLLLLLL	
36	111P11X000000000000000000ZH	出力特性 (V _{OH} /V _{OL}) 測定
40	111P11XHHHHHHHHHHHHHHHHHHHH	
41	111P10XHHHHHHHHHHHHHHHHHHHH	 全出力 : High レベル
45	111P10XHHHHHHHHHHHHHHHHHHHH	
46	111P11X000000000000000000ZH	
47	111P01X000000000000000000ZH	
50	111P01X000000000000000000ZH	
52	111P00XLLLLLLLLLLLLLLLLLLLL	 全出力 : Low レベル
55	111P00XLLLLLLLLLLLLLLLLLLLL	
57	111P11X000000000000000000ZH	
60	111P11X000000000000000000ZH	
63	101P11XHHHHHHHHHHHHHHHHHHHH	
65	101P11XHHHHHHHHHHHHHHHHHHHH	
68	101P01XLHHHHHHHHHHHHHHHHHHHH	専用 AC パス測定
70	101P01XLHHHHHHHHHHHHHHHHHHHH	
73	101P11XHHHHHHHHHHHHHHHHHHHH	
75	101P11XHHHHHHHHHHHHHHHHHHHH	P_EA10M1 から P_A1 までの遅延を測定)
78	101P01XLHHHHHHHHHHHHHHHHHHHH	
80	101P01XLHHHHHHHHHHHHHHHHHHHH	
85	101P11XHHHHHHHHHHHHHHHHHHHH	
88	111P11X000000000000000000ZH	
90	111P11X000000000000000000ZH	
93	111P11H000000000000000000ZH	入力論理レベル検定 (当社にて作成)
95	111P11H000000000000000000ZH	
98	111P11L000000000000000000ZH	ある入力端子からの High/Low 入力を
100	111P11L000000000000000000ZH	P_BCLK 端子にて観測する。
103	111P11H000000000000000000ZH	(シュミレーションは不可)

```
105 111P11H000000000000000000ZH
108 111P11L000000000000000000ZH
110 111P11L000000000000000000ZH
113 111P01L000000000000000000ZH
115 111P11H000000000000000000ZH
118 111P01H000000000000000000ZH
120 111P01H000000000000000000ZH
123 111P01L000000000000000000ZH
125 111P01L000000000000000000ZH
128 111P01H000000000000000000ZH
130 111P01H000000000000000000ZH
133 111P01L000000000000000000ZH
135 111P01L000000000000000000ZH
140 111P01L000000000000000000ZH
```

```
$ENDPATTERN
```

```
#
```

```
# EOF
```

この例は、XITST1 (P_TST) の LG 端子に High/Low データを force したシミュレーション結果なので、P_BCLK 端子から High/Low を確認できている。

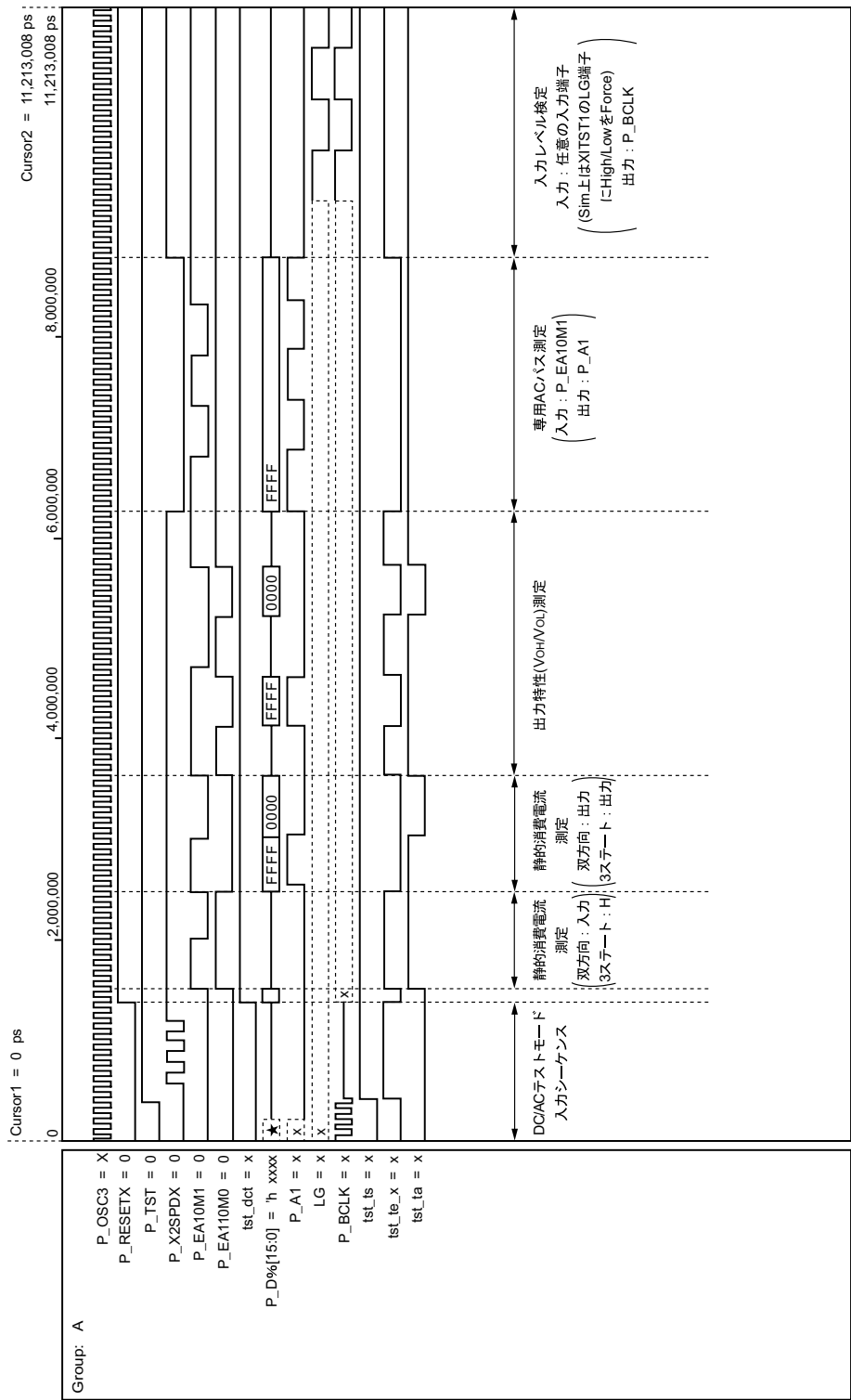


図 3.2 サンプルパターンの波形図

3.3 ユーザ回路テストモード (TST_USER モード)

3.3.1 テストモードへの切り換え方法

ユーザ回路テストモードへの入力シーケンスについて説明します。

P_RESETX=0, P_TST=0 の状態で、C33 マクロの内部状態を安定させるため P_OSC3 からクロックを 4 発以上入力します。その後、P_TST=1 にします。これ以降、C33 マクロ内ではシステムクロックの入力が禁止されます。

P_RESETX=0, P_TST=1 の状態で、通常モードではレベル入力となる P_EA10M0 の立ち上がりエッジを 1 回入力します。この時点でテストモードが確定すると同時に、マクロ端子の TST_USER は Low から High になります。

(TST_USER=High はユーザ回路テストモードであることを意味します。)

P_RESETX=1 にします。

注意：他のモードに遷移する可能性があるため、初期状態に影響する入力ピンの値は High または Low に固定してください。固定すべき入力ピンは、P_NMI_X, P_X2SPD, P_EA10M1, P_EA10M2, P_DSIO, P_PLLS0, P_PLLS1, P_OSC1 です。特に P_NMI_X と P_DSIO については、インアクティブ状態 High にする必要があります。

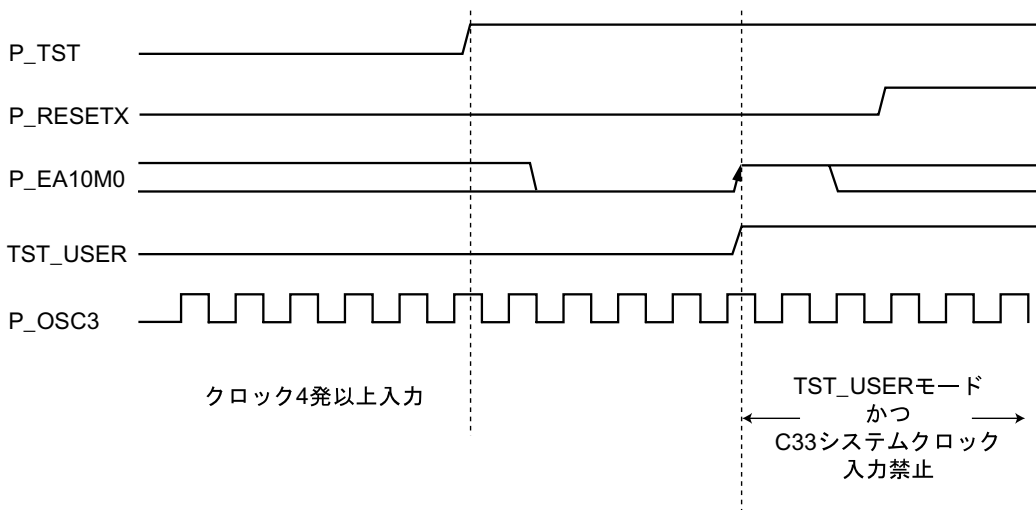


図 3.3 ユーザ回路テストモードへの移行

3.3.2 テストモードの説明

ユーザ回路テストモードでは、クロック、アドレス、データ、リード、ライト、チップイネーブル、データバス方向制御信号が外部端子より制御可能になります。これにより、C33を介さずユーザ回路を直接制御可能にします。

本テストモード時の外部端子の機能は以下の通りです。

表 3.3 ユーザ回路テストモード時の外部端子機能

外部端子名	I/O	マクロ端子名	機 能
P_A[17:0]	In	U_ADDR[17:0]	アドレス入力
P_RD_X	In	U_RD_X	リード信号
P_WRL_X	In	U_WRL_X	ローバイトのライト信号
P_WRH_X	In	U_WRH_X	ハイバイトのライト信号
P_X2SPDX	In	-	データバスの方向制御 1:READ (出力) 0:WRITE (入力)
P_D[15:0]	I/O	U_DOUT[15:0]	ライト時のデータ入力
		U_DIN[15:0]	リード時のデータ出力
P_CE10EX	In	U_BCLK	クロック入力 (ユーザ回路テストモード時は、5 端子とも P_CE10EX が入力となる)
		U_OSC1CLK	
		U_OSC3CLK	
		U_PLLCLK	
		U_BCUCCLK	
		U_PERICLK	

表 3.4 ユーザ回路テストモード時のテストモード信号

マクロ端子名	I/O	機 能
TST_USER	Out	ユーザ回路テストモードに入ると "1" になる

注意 : ユーザ回路テストモードでは、C33 コアブロックを停止させるため、システムクロックの供給を止めています。このため、ユーザテストモードにおいてユーザ回路ブロックへのクロック供給は、テストクロック (P_CE10EX) を使用してください。

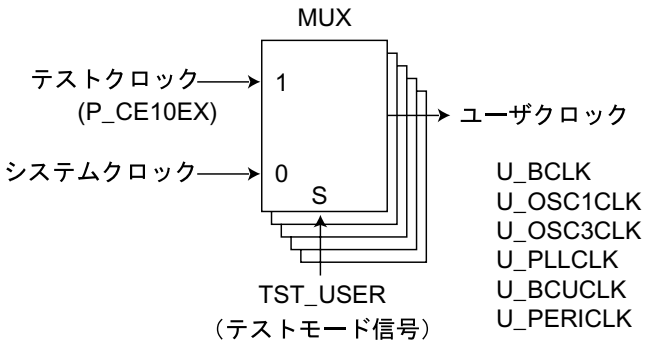


図 3.4 ユーザ回路テストモードにおけるクロック供給

注意：ユーザ回路へのチップイネーブルは以下のようにしてください。

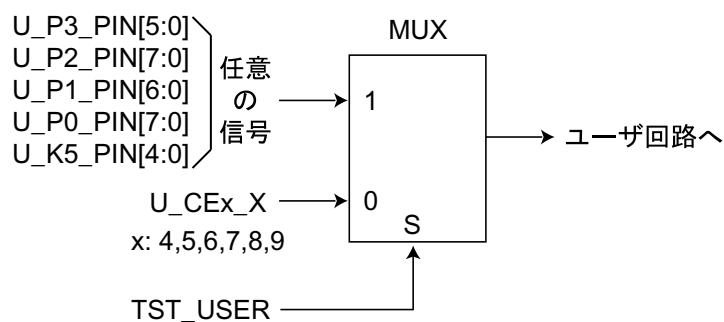


図 3.5 ユーザ回路へのチップイネーブルの作り方

第 4 章 C33 マクロ搭載 ASIC における特殊作業

4.1 特殊作業について

S1X50000 シリーズの C33 マクロ搭載 ASIC を開発することにおいて発生する特殊作業について説明します。この章以外の内容については、「S1L50000 SERIES DESIGN GUIDE」を参照してください。

4.2 C33 マクロ仕様の確認

C33 マクロ搭載 ASIC を検討する段階において、下記の項目をあらかじめ確認していただく必要があります。この仕様をもとに、弊社にて C33 マクロライブラリをリリースさせていただきます。

- 1) C33 マクロモジュールの選定
“2.1 概要”を参考にして、使用モジュールおよび内部 RAM/ROM の有無等をお知らせください。
- 2) C33 オプションパッドの選定
“2.3 C33 マクロ端子一覧”を参考にして、C33 オプション端子の中で不要な端子があれば、お知らせください。
- 3) C33 ユーザ端子の選定
“2.3 C33 マクロ端子一覧”を参考にして、C33 オプションパッドを同じ機能の C33 端子（内部信号）として引き出す必要があれば、お知らせください。
- 4) C33 マクロ端子の I/O セルタイプの選定
“2.3 C33 マクロ端子一覧”および「S1L50000 SERIES MSI Cell Library」を参照して、C33 マクロ端子の I/O セルタイプをお知らせください。

4.3 ピン配置の制約事項の確認

チップサイズおよび選択された C33 マクロモジュールによってチップのフロアプランが変わってきます。それに伴い、下記項目のような PIN 配置制約がありますので、PIN 配置検討の際には、弊社 ASIC 担当と相談ください。

4.3.1 PLL 用端子、低速 / 高速発振回路用端子の制約

PLL 用端子 (P_PLLC) および高速発振回路用端子 (P_OSC3, P_OSC4) の 3 端子の端子位置は、C33 コアマクロの配置に依存します。低速発振回路用端子 (P_OSC1, P_OS2) の端子位置は、低速発振回路の配置に依存します。また、これらの端子は電源で囲むか、少なくとも変化しない入力ピンで囲んでください。

(図 4.1 の例を参考にしてください。)

4.3.2 ADC 用端子の制約

アナログ用電源 (AV_{DD}) およびアナログ入力端子 (P_K60 ~ P_K67) は ADC マクロの配置に依存します。また、ADC マクロはチップの上下左右に配置可能ですが、チップサイズおよび他のマクロの位置により配置上の制約を受ける場合があります。ADC マクロと ADC 用 I/O セルの電源 (AV_{DD}) は他の電源 (HV_{DD} , LV_{DD}) と分離します。電源分離用 I/O セルは、ADC 用 I/O セルを挟むように配置します。したがって、 AV_{DD} 領域に ADC 以外の端子を配置することはできませんので注意してください。(図 4.1 の例を参考にしてください。なお、電源分離は V_{DD} 系のみで V_{SS} は共通です。)

4.3.3 電源の本数

電源の本数については、「S1L50000 SERIES ASIC DESIGN GUIDE」を参照してください。

4.3.4 フロアプラン

すべてのブロック (C33_CORE, C33_DMA, C33_ADC および C33_PERI) を選択した場合のフロアプラン例を図 4.1 に示します。なお、この図はフロアプランの例を示す図であり、各ブロックおよび I/O の大きさを関連付ける図ではありません。このため、各ブロックおよび I/O はチップ上の実際の大きさとは異なります。

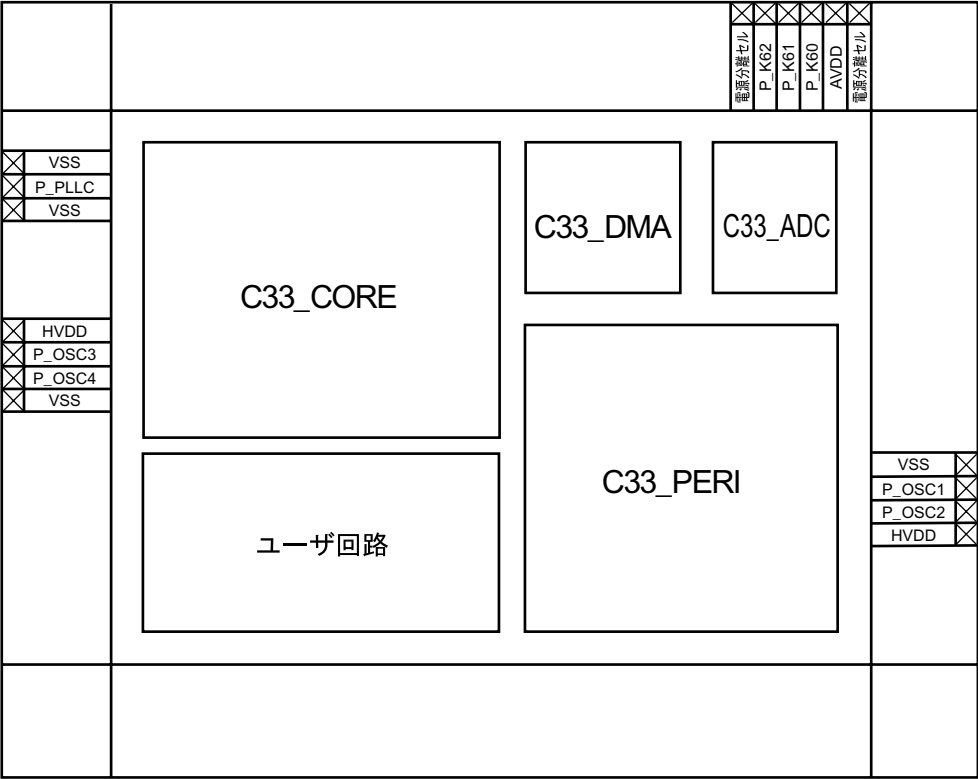


図 4.1 フロアプランおよび端子制約例

4.4 C33 マクロとユーザ回路、ユーザ I/O との接続

4.4.1 C33 マクロとユーザ回路との接続

C33 マクロとユーザ回路との接続については、C33 マクロ・ユーザ端子一覧の中から必要な任意の端子を接続します。ユーザ回路テストモード時は、外部端子よりユーザ端子の制御が可能になるので特にテスト回路の追加は必要ありません。

4.4.2 C33 マクロとユーザ I/O との接続

ユーザ I/O は、基本的にテストファンクション付き I/O を使用していただき、ユーザ I/O と C33 マクロは、下記の表のように接続してください。この接続をすることにより、C33 マクロが提供する DC/AC テストモードの機能を使用することができます。したがってユーザ回路の中に DC/AC テスト用の回路を追加する必要はなくなります。

C33 マクロの端子	使用方法
TST_USER	ユーザ回路をテスト状態に設定するのにご使用ください。
TST_TA	I/O セルの TA 端子に接続してください。
TST_TE_X	I/O セルの TE 端子に接続してください。
TST_TS	I/O セルの TS 端子に接続してください。

4.4.3 5V トレラント I/O セル使用時の注意事項

S1X50000 シリーズの 5V トレラント I/O セルは、テストファンクション付きの I/O セルが無いため、C33 マクロの DC/AC テストモードを利用することができないので注意してください。この場合、5V トレラント I/O セルを使った端子について、以下のテストパターンを別途用意していただく必要があります。

- A. 入力論理レベル検定：すべての入力が 0 → 1 の状態と 1 → 0 の状態が存在するテストパターン。
- B. 出力特性 (V_{OH}/V_{OL}): すべての出力が L → H の状態と H → L の状態が存在するテストパターン。
- C. 双方向端子：上記の A と B を満たすテストパターン。

4.4.4 C33 マクロとユーザ I/O の接続例

図 4.2 に C33 マクロとユーザ回路およびユーザ I/O の接続例を示します。

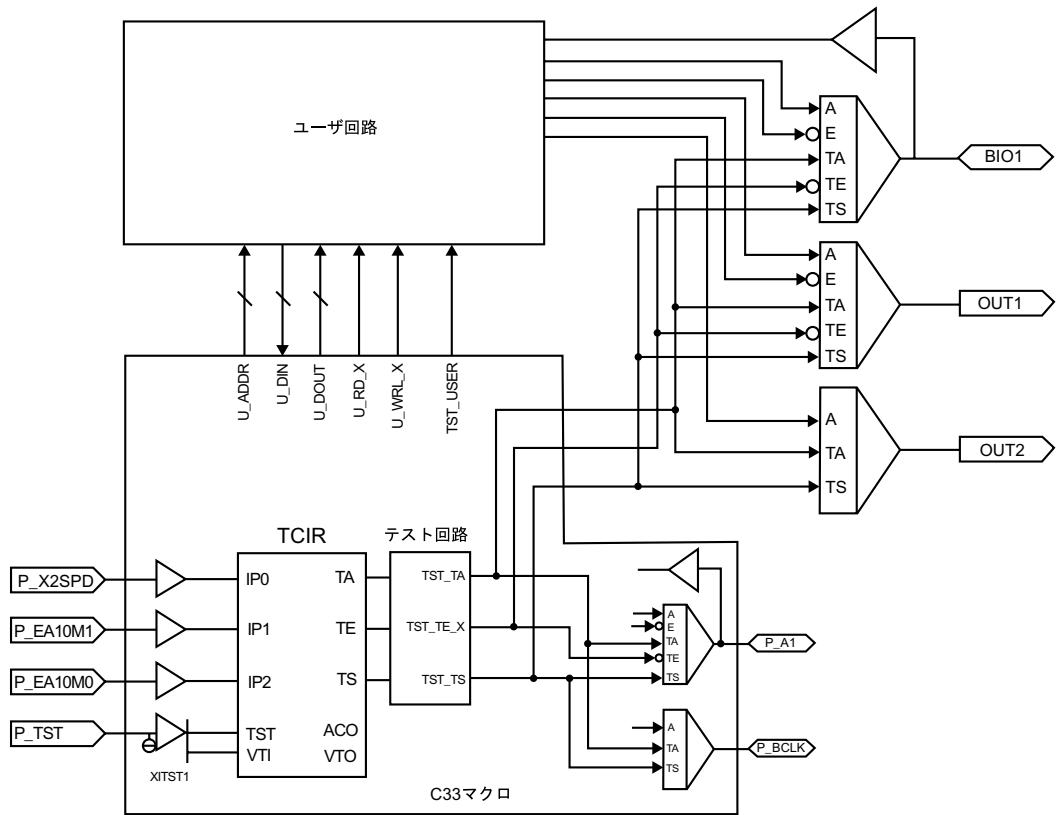


図 4.2 C33 マクロとユーザ回路および I/O の接続例

4.5 テストパターンの作成

4.5.1 DC/AC テストパターンの作成

DC/AC テスト項目の中で、入力レベル検定以外はお客さまにて作成していただきます。
パターン作成については、本マニュアルの“3.2 DC/AC テストモード”および「S1L50000
SERIES DESIGN GUIDE」を参照してください。

4.5.2 C33 マクロとユーザ回路の接続確認用テストパターンの作成

ユーザ回路のファンクション確認用のテストパターンはユーザ回路テストモードにて作成していただきますが、ファンクション確認とは別に、C33 マクロとユーザ回路の接続確認用のテストパターンを作成していただきます。接続確認用のテストパターン作成は、本マニュアルの“第5章 シミュレーション”の内容にそって作成していただきます。C33 を動作させてユーザ回路をアクセスするテストパターンとし、かつ、C33 マクロとユーザ回路を接続している全ての信号が外部で観測できる内容にしてください。以下に、ユーザ回路と接続しているアドレス/データ/チップイネーブル/リード/ライト信号の接続確認例のフローを示します。

BCU のレジスタ設定でユーザ回路に割り当てられたエリアを内部アクセスに設定します。

(0x48132/D[F:8] の任意のビットを “1” にする。)

↓

ユーザ回路内部の任意のレジスタに任意のデータをライトする。

↓

でライトしたレジスタをリードする。

↓

リードしたデータをオンチップ上に存在しない外部エリアの任意のアドレスにライトする。

上記フローでは以下の信号の確認ができます。

アドレス (U_ADDR), データ (U_DOUT), チップイネーブル (U_CEx_X), ライト (U_WRL_X/U_WRH_X) の接続確認。

アドレス (U_ADDR), データ (U_IN), チップイネーブル (U_CEx_X), リード (U_RD_X) の接続確認。

リードデータを外部エリアにライトすることにより、リードデータが P_D[15:0] から出力され、この値がテストパターン上の期待値になります。

第5章 シミュレーション

5.1 設計フロー

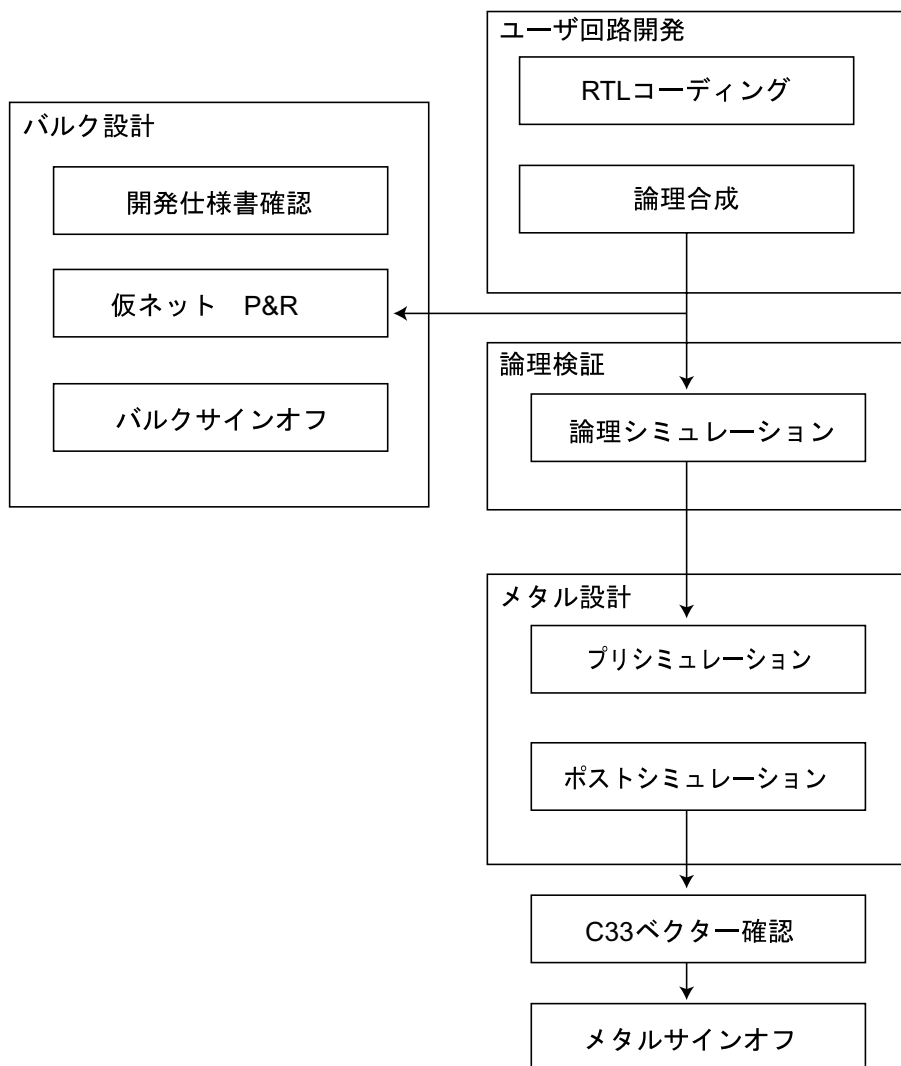


図 5.1 設計フロー

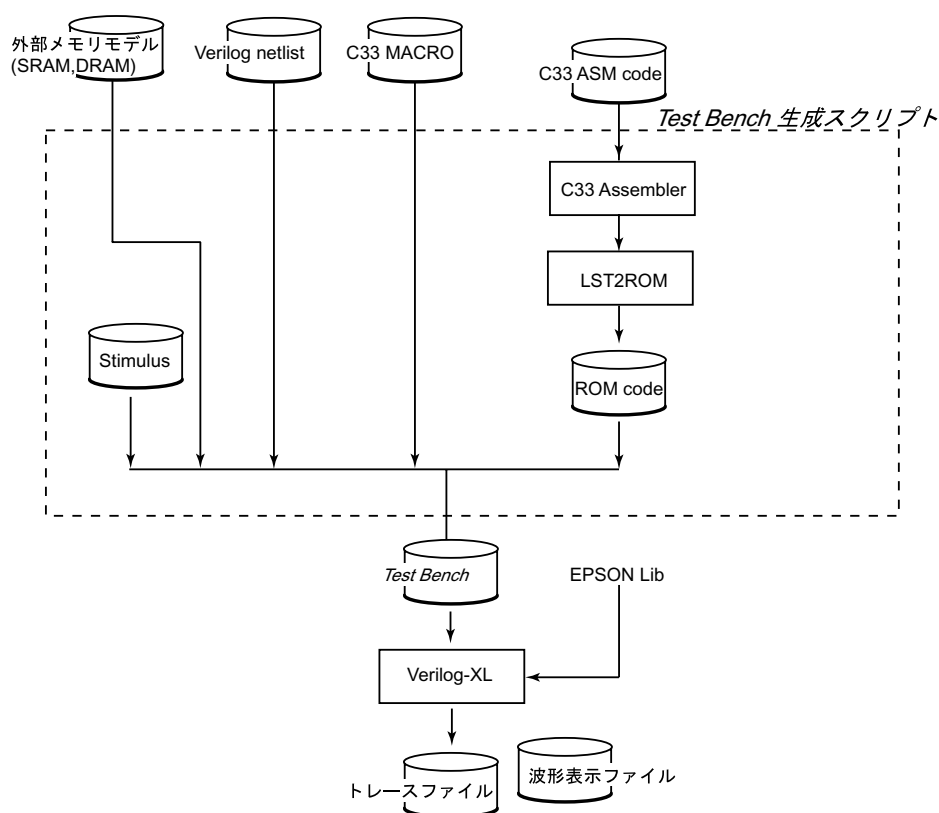


図 5.2 シミュレーションフロー

表 5.1 シミュレーション条件

シミュレーション条件	C33 ハードマクロ (コア、DMA)	ユーザロジック C33 ソフトマクロ
T0 timing	SDF 無し	SDF 無し
Forward Annotation	仮想配線 SDF	仮想配線 SDF
Back Annotation	ポストレイアウト SDF	ポストレイアウト SDF

[注] 現状、ゲートレベルシミュレーションモデルのみ

5.2 システムレベルシミュレーション

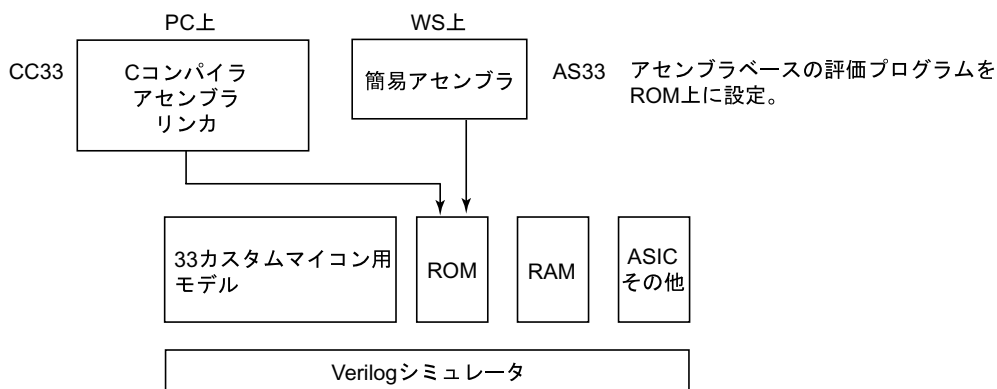


図 5.3 システムレベルシミュレーション

5.3 テストパターン作成

論理設計が完了したら、次にテストパターンを作成します。テストパターンは、設計された回路の動作確認のためのシミュレーションに用いられるだけでなく、製品の出荷検査にも使用されます。

5.4 シミュレーション環境

5.4.1 動作環境

標準でサポートしているシミュレーション環境は以下の通りです。

これ以外の環境については、お問い合わせください。

```
Machine: Sun EWS
OS:      Solaris 2.5.1 または 2.6
Verilog: Verilog-XL 2.6 以降
```

5.4.2 インストール手順

C33 シミュレーション環境は、CD-ROM で提供されます。

インストールするディレクトリを作成して、そのディレクトリを環境変数 "C33" として定義します。CD-ROM の "c33_install.csh" を実行してインストールします。

```
csh> mkdir {install directory}
csh> setenv C33 {install_directory}
csh> cd {CD-ROM directory}
csh> c33_install.csh
```

インストール後のディレクトリの構成を以下に示します。

\$C33/bin	ツールディレクトリ
\$C33/lib	ライブラリディレクトリ
\$C33/lib/C33_lib	C33 ライブラリ
\$C33/lib/Megacell	メガセルライブラリ
\$C33/lib/Epsonlib	ゲートアレイセルライブラリ
\$C33/sim	シミュレーションディレクトリ
\$C33/sim/asm	C33 アセンブラプログラム
\$C33/sim/verilog	Verilog シミュレーション
\$C33/sim/verilog/ENV	Verilog 環境
\$C33/sim/verilog/ENV/bin	Verilog 起動ツール
\$C33/sim/verilog/ENV/tb	テストベンチ部品 (C33 用)
\$C33/sim/verilog/ENV/user_tb	テストベンチ部品 (ユーザ用)
\$C33/sim/verilog/Sample	シミュレーションサンプルディレクトリ
\$C33/sim/verilog/Sample/t0	t0 遅延シミュレーション環境
\$C33/sim/verilog/Sample/ba	バックアノテーション環境

C33 マクロの、ネットリストは、ハードマクロ + ソフトマクロ + I/O セル、によって構成されています。

上記 C33 ライブラリには、C33 マクロを使用して C33 シリーズの汎用機種である S1C33208 を構成したサンプル例が用意されています。メガセルライブラリにはセイコーエプソンが提供するハードマクロが用意されます。

5.5 シミュレーションの走行

5.5.1 シミュレーション準備

シミュレーションを実行する前には以下の設定が必要です。

- 1) インストールディレクトリを環境変数 C33 として定義します。
- 2) verilog コマンドで、Verilog シミュレータが起動するように設定します。

```

csh> verilog
      :
VERILOG-XL 2.8
Valid host command options:
      -f <filename>  read host command arguments from file
      :
      :
```

- 3) 必要に応じて環境セットアップファイルを修正します。
\$C33/bin/SETUP は、C33 シミュレーション環境で必要となる設定を行います。

5.5.2 シミュレーション実行サンプル

以下の手順で、サンプルのシミュレーションが実行されます。

```

csh> cd $C33/sim/verilog/Sample/t0
csh> mv trc trc_back
csh> ./qa_sample.csh
```

シミュレーション結果は以下のディレクトリに保存されます。バックアップした、trc_back ディレクトリの内容と比較してください。

```

$C33/sim/verilog/Sample/t0/trc/sample/...  出力ディレクトリ
sample_f10emux1.log:      ログファイル
sample_f10emux1.tb:      テストベンチファイル
sample_f10emux1.trc:      トレース出力ファイル
```

5.5.3 シミュレーション実行スクリプト

C33 シミュレーションは、以下のスクリプトによって実行されます。

```
$C33/sim/verilog/Sample/t0/verilog.bo0
$C33/sim/verilog/Sample/t0/qa_sample.csh
$C33/sim/verilog/ENV/bin/c33_sim.csh
```

verilog.bo0 ファイルは、Verilog シミュレータを起動する時のコマンドオプションを設定して、実際に Verilog シミュレータを起動するシェルスクリプトです。

qa_sample.csh ファイルは、c33_sim.csh を用いてシミュレーションを走行する作業を管理するために準備するスクリプトです。

c33_sim.csh ファイルは、以下の一連の動作を実行します。

- ・ Verilog の ROM モデルで読み込む C33 機械語コードを生成する。
- ・ Verilog シミュレーションのテストベンチを生成する。
- ・ verilog.bo0 を用いて、Verilog シミュレータを起動する。

c33_sim.csh の書式

```
c33_sim.csh ASM file [option...]
    ASM_file:C33 アセンブラプログラムファイル名
```

オプションには次のものがあります。

(オプションの '=' の前後にはスペースはありません。)

```
trc=file    :トレース結果を出力するファイル名を指定します。
cycle=n     :シミュレーション実行サイクル数を指定します。
tcyc=n      :シミュレーションのサイクル時間を指定します。(単位 ns)
tb=file     :テストベンチの部品ファイルを指定します。複数指定可能です。
incl=file   :テストベンチの部品ファイルを連記したファイルを指定しま
            す。tb= オプションを共通化できます。複数指定可能です。
debug       :テストベンチ環境をデバッグしたい時に使用します。本オプシ
            ョンを設定した場合、verilog.bo0 は起動しません。
```

例 1) 通常シミュレーション

```
csh> c33_sim.csh sample.asm trc=test1 tcyc=100 cycle=300  
tb=abc.tb tb=def.tb
```

sample.asm を入力として、10MHz(100ns) で、300cycle 実行します。テストベンチに abc.tb と def.tb を追加します。出力ファイル名は、./trc/sample/test1.trc です。

Verilogシミュレーション結果は、trcディレクトリにASM_fileの名前のディレクトリが生成され、trc= オプションで指定した名前のファイルができます。

例 2) デバッグオプション

```
csh> debug_sample.csh  
  
>>> verilog debug files copied to directory --> ./samplex_f10emux1  
>>> edit test bench samplex_f10emux1.tb  
>>> run verilog with following command  
      source $C33/bin/SETUP  
      cd samplex_f10emux1  
      verilog.boom samplex_f10emux1.tb
```

debug_sample.csh は、qa_sample.csh に debug オプションを追加指定したものです。この場合には、ASM_file の名前のディレクトリがつくられて、シミュレーションに必要なファイルがセットアップされます。Verilog シミュレーションを実行するには、SETUP ファイルを Source 実行し、生成されたディレクトリに移動して、テストベンチを引数として、verilog.boom を実行します。

5.5.4 テストベンチの構成

テストベンチは、c33_sim.csh のオプションとして、"tb=" あるいは "incl=" で指定されたテストベンチの部品ファイルを組み合わせで構成されます。ファイルは、以下のディレクトリの順番にサーチされて使用されます。

- (1) シミュレーションするディレクトリにある、tb ディレクトリ
- (2) \$C33/sim/verilog/ENV/user_tb ユーザ共用テストベンチ
- (3) \$C33/sim/verilog/ENV/c33_tb C33 共用テストベンチ

同じファイル名が上記ディレクトリに存在する場合には、最初にサーチされたものが使用されます。

c33_sim.csh は、テストベンチを生成する際にテストベンチとして使用された部品ファイルの場所は、"//__" という形式（スラッシュ 2 個とアンダースコア 2 個）でコメント文になっています。

テストベンチを grep することで、ファイルの場所を簡単に表示できます。

```
csh> grep //__ samplex_f10emux1.tb
//__.../sim/verilog/ENV/tb/header.tb
//__.../sim/verilog/ENV/tb/c33_chip.tb
//__.../sim/verilog/ENV/tb/pll_00.tb
//__.../sim/verilog/ENV/tb/c33_init.tb
//__.../sim/verilog/ENV/tb/osc1_5MHz.tb
//__.../sim/verilog/ENV/tb/mode_x1spd.tb
//__.../sim/verilog/ENV/tb/ea10md_00.tb
//__.../sim/verilog/ENV/tb/ea3md_0.tb
//__.../sim/verilog/ENV/tb/mode_normal.tb
//__.../sim/verilog/ENV/tb/top1.tb
//__.../sim/verilog/Sample/t0/tb/cpu_trace.tb
( "... " は実際にはインストールディレクトリです。)
```

c33_sim.csh は、テストベンチの "TRACE_FILE" という文字列を出力ファイルの名前に置換します。したがって、テストベンチの部品としては、共通のファイルを使用しながら出力ファイルの名前でトレースファイルまたは波形ファイルを出力できます。

5.6 評価プログラムの作成

5.6.1 asm33 アセンブラプロトについて

asm33 アセンブラプロトの使用方法、制限事項を下記に記述します。それ以外は、マニュアル「S1C33 Family C Compiler Package Manual」の内容に準じますので参照してください。

(1) 起動方法

\$C33/bin/SETUP を実行した後、下記のように入力してください。

```
csH > asm33 ソースファイル
```

```
入力ファイル      ; ソースファイル
```

```
出力 lst ファイル ; (*.lst)
```

例) asm33 test.asm

test.lst を作成。

コマンドを実行すると、標準出力に以下のメッセージが出力され、カレントディレクトリに LST ファイル (*.lst) が生成されます。

```
Assembler33 Ver0.5 (Proto)
```

```
Copyright (C) SEIKO EPSON CORP. 1995
```

アセンブルが正常終了すると、標準出力に以下のメッセージが出力されます。

```
Assembler complete.
```

アセンブルエラーが発生すると、標準出力にソースファイル、行番号、エラー情報を出力します。

引数がなかったり、複数のファイル名を指定すると標準出力に以下のようなメッセージを出力します。

```
Usage:
```

```
asm33 filename
```

```
filename:Assembler source file
```

```
Output:
```

```
Listing file (*.lst)
```

Example:

asm33 test.asm

(2) レジスタ、数値、ラベルの制約

・使用可能文字

デリミタは space, tab, ", " の 3 つ。

最初の 1 文字が

.	; 疑似命令
0x[0-9a-fA-F]*	数字
a-z, A-Z, _	; ラベル、命令
;	; コメント

1 行に、ラベル定義 (ラベル:)、命令、疑似命令は 1 つまで。

命令、レジスタ名は小文字のみ。

ラベルは大文字、小文字とも可。

%rs, %rd, %ra, %rb	: 汎用レジスタ (%r0, %r1, %r2 -- %r15)
%ss, %sd, %sp	: 専用レジスタ (%sp, %psr, %alr, %ahr)
imm 値	: 0x0-0xffffffff (16 進のみ)
LABEL@rh	: bit22-31[12:3] jp, call, jrcc 用
LABEL@rm	: bit9-21 jp, call, jrcc 用
LABEL@r1	: bit1-8(sign9[8:1]) jp, call, jrcc 用

(3) 使用可能な疑似命令

.org imm32	: アドレス設定、増加方向のみ
.half imm16	: 16bit データ

(4) 制限

- 1) アセンブルできるソースファイルは 1 つのみです。
- 2) jp, call, jrcc 以外はラベルは使用不可です。
- 3) 拡張命令は、32 bit 即値ロード命令のみ使用可能です。
例) xld.w %r0, 0xabcd1234
- 4) 即値拡張命令を必要とするジャンプ命令は、以下の順序で記述されていなければなりません (記述されていなければ文法エラー)。

```
extLABEL@rh          extLABEL@rm
extLABEL@rm または   jp LABEL@r1
jpLABEL@r1
```

- 5) 即値拡張命令を必要とするジャンプ命令は、必ず拡張命令の次にジャンプ命令が記述されていなければなりません（記述されていなければ文法エラー）。

○ `ext LABEL@rh`

`ext LABEL@rm`

`jp LABEL@r1`

× `ext LABEL@rh` `ext LABEL@rh`

[他の命令] または `ext LABEL@rm`

`ext LABEL@rm` [他の命令]

`jp LABEL@r1` `jpLABEL@r1`

- 6) 1 ソースファイルで扱える行数は最大 65536 行まで。
7) 扱えるシンボルの長さは最大 54 文字で、1 ソースファイルで 1024 個まで。

第6章 ボード開発

6.1 開発環境

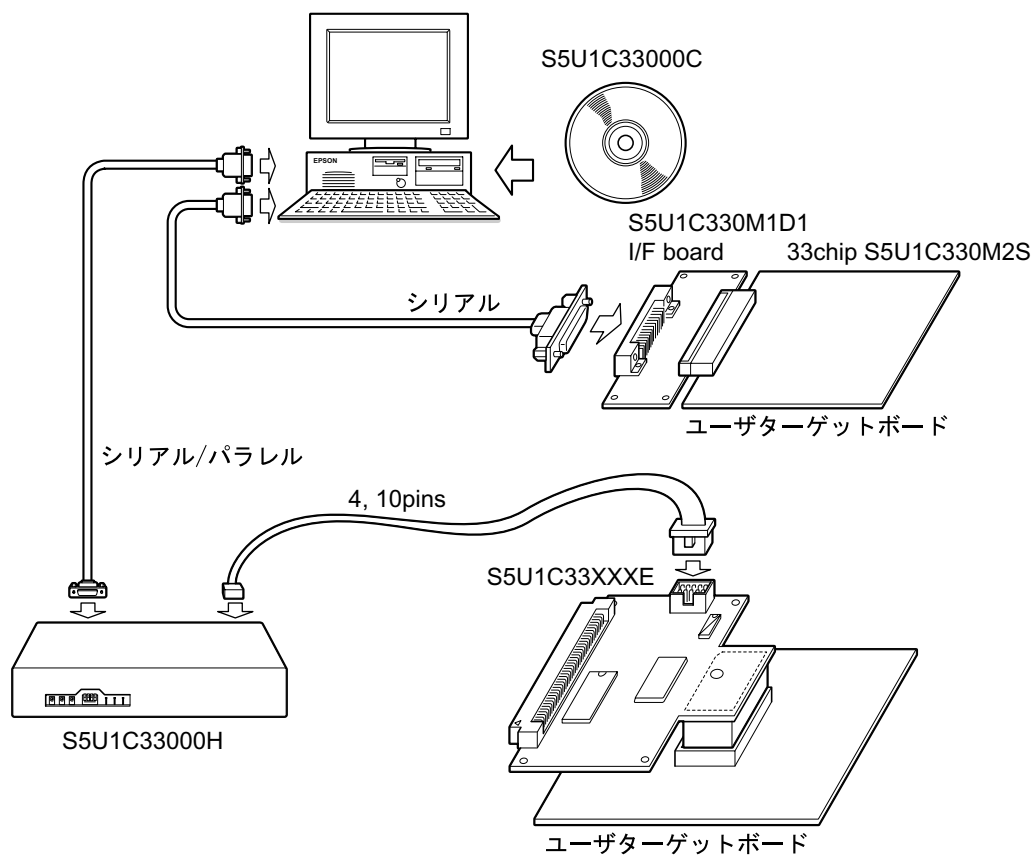


図 6.1 S1C33 ソフト開発環境

- ホストコンピュータ
 - ・ PC-AT, Windows95/98/NT4.0
- ソフトウェアツール
 - ・ S5U1C330000
 - C コンパイラからデバッガまでを提供
- ハードウェア & デバッグツール
 - ・ S5U1C33000H (省ピン型 ICE)
 - C33 model2 以降に対応
 - ・ S5U1C330M2S & S5U1C330M1D1
 - 簡易デバッグ環境を提供
 - ・ S5U1C33XXE
 - ASIC 設計時のアダプタボード

また、以下の開発用ソフトウェアが用意されています。

- リアルタイム OS
 - ・ S5U1C330R1S
 - ITRON3.0 準拠
- ミドルウェア
 - ・ S5U1C330V1S
 - 音声圧縮伸長。ADPCM から独自高圧縮方式まで、話速変換もサポート
 - ・ S5U1C330V2S
 - 音声認識エンジン
 - ・ S5U1C330J1S
 - JPEG 圧縮 / 伸長をサポート
 - ・ S5U1C330M1S、S5U1C330S1S
 - 音楽演奏、簡易 PWM 再生から WAVE 音源再生までをサポート
- デモボード、その他
 - ・ S5U1C33104D1、S5U1C33208D1、S5U1C330A1D1
 - 上記のミドルウェア群を、33A104,33209 で評価可能な評価ボード
 - ・ FLS33 (C33 ver2 に添付)
 - AMD、Intel 方式のフラッシュメモリに対してデバッガより消去 / 書き込みを行うユーティリティ

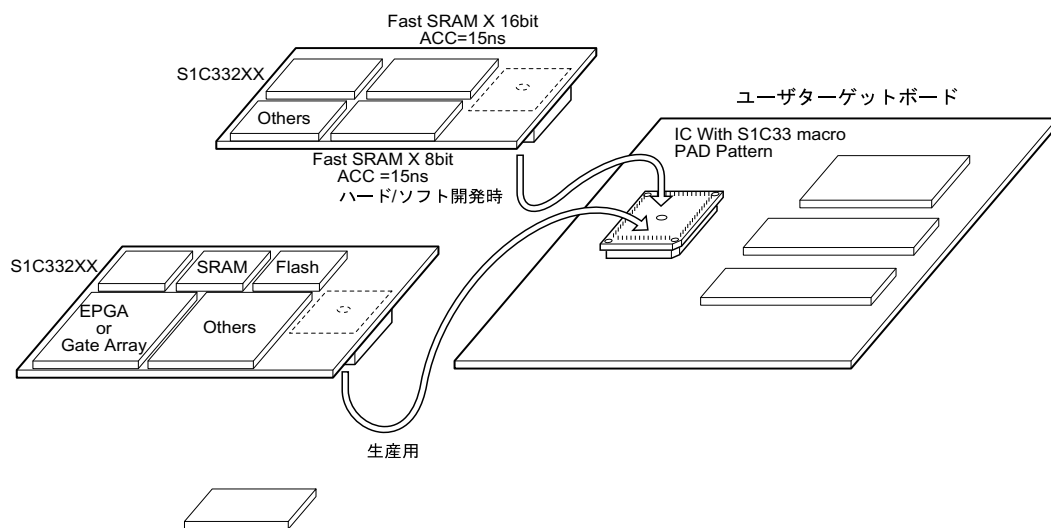


図 6.2 S5U1C33XXE の QFP インタフェース

6.2 評価ボード設計

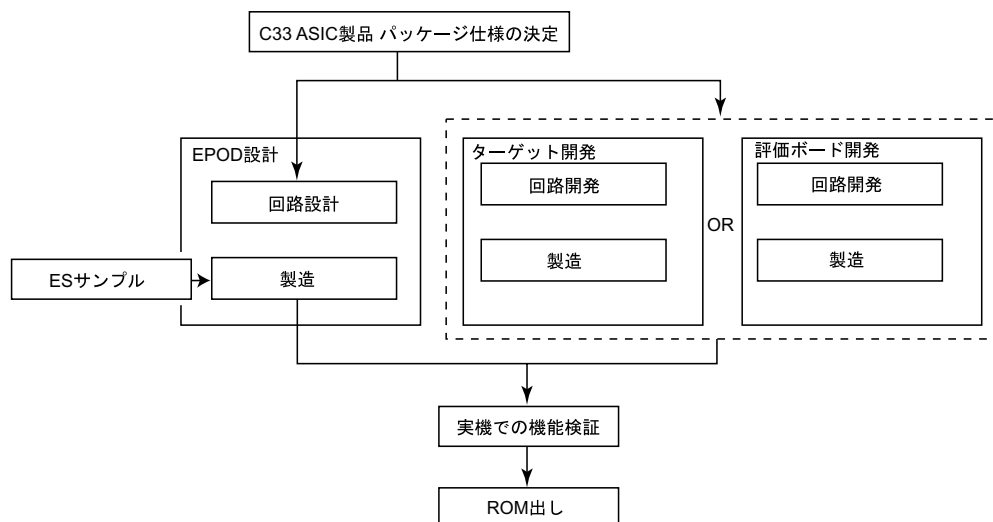


図 6.3 ボード開発フロー

(1) ボード設計の進め方 (例 1)

STEP1 : C33ASIC 製品のパッケージ、およびピン配置を決定します。

STEP2 : ターゲット基板 (量産用) を起し、同時に C33209 (汎用品) を使って FPGA 付き EPOD 基板を起して性能評価、ユーザ回路評価を行い、さらにソフトウェア開発をスタートします。

STEP3 : C33ASIC 製品を設計、製造します。

STEP4 : ターゲット基板に C33ASIC 製品を実装し、ソフトウェア動作の確認を行って最終評価とします。

STEP5 : 量産 GO

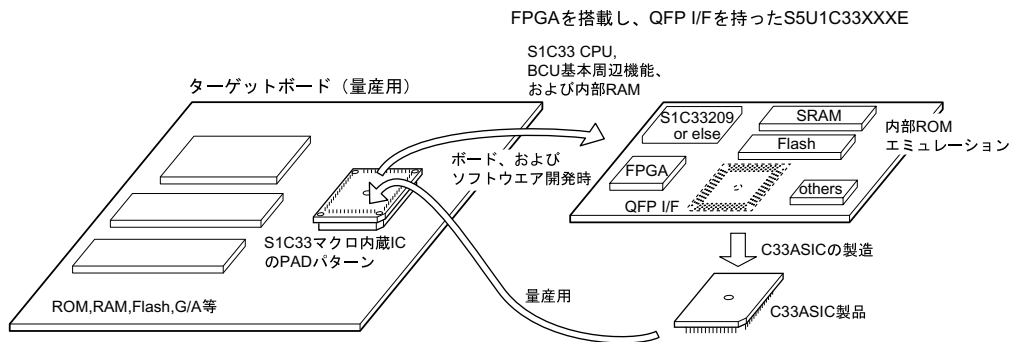


図 6.4 ボード開発の構成 (例 1)

(2) ボード開発の進め方 (例 2)

開発当初、パッケージおよびピン配置が決まらない場合には、以下の方法があります。

STEP1: C33209 (汎用品) FPGA および必要なメモリを使って評価用基板を作成し、性能評価、FPGA 回路評価を行い、さらにソフトウェア開発をスタートします。

STEP2: ターゲット基板 (量産用) を起し、同時に C33ASIC 製品を設計、製造します。

STEP3: ターゲット基板に C33ASIC 製品を実装し、ソフトウェア動作の確認を行って最終評価とします。

STEP4: 量産 GO

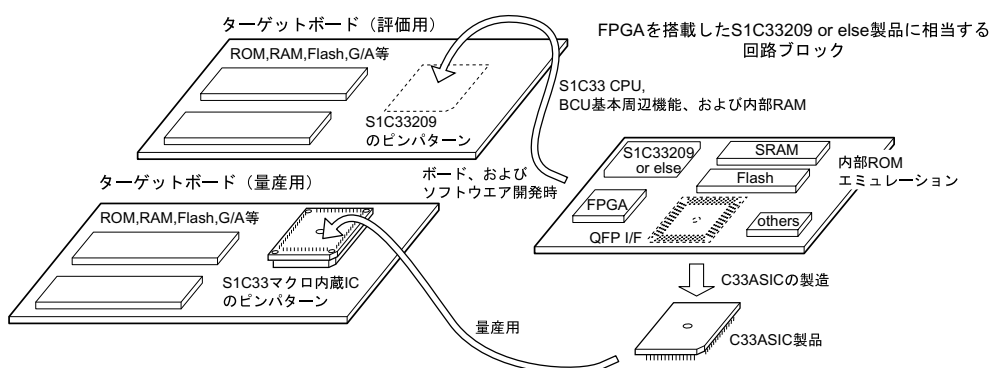


図 6.5 ボード開発の構成 (例 2)

第 7 章 実装

7.1 実装上の注意事項

基板の設計および IC を実装する際の注意事項を以下に示します。

■ 発振回路

- 発振特性は諸条件（使用部品、基板パターン等）により変化します。
特にセラミック発振子または水晶振動子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。
- ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため次の点に配慮してください。

- OSC3(OSC1)、OSC4(OSC3)、PLL_C 端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
- OSC3(OSC1)、OSC4(OSC2) 端子およびこれらの端子に接続された部品の周辺部は下図のように V_{SS} パターンをできるだけ広く作成してください。PLL_C 端子も同様です。

また、この V_{SS} パターンには発振系以外の部品等は接続しないでください。

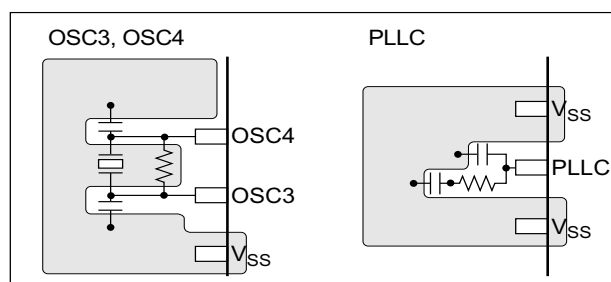


図 7.1 V_{SS} パターン作成例

- OSC3(OSC1) 端子に外部クロックを入力する場合、クロック源からできるだけ最短で接続してください。OSC4(OSC2) 端子は開放してください。
- OSC3(OSC1) - V_{DD} 間のリーク電流による発振回路の不安定動作を防止するため、基板パターンにおいて、OSC3(OSC1) は V_{DD} 電源や信号線とは十分な距離を確保してください。

■ リセット回路

- 電源投入時、P_RESETX 端子に入力されるリセット信号は、諸条件（電源の立ち上がり時間、使用部品、基板パターン等）により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。

P_RESETX 端子のプルアップ抵抗については、抵抗値のばらつきを十分考慮した定数設定が必要です。

- ノイズによる動作中のリセットを防ぐため、P_RESETX 端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

■ 電源回路

- ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1) 電源から V_{DD} 、 V_{SS} 端子および AV_{DD} 端子へはできるだけ短くかつ太いパターンで接続してください。

特に AV_{DD} 電源は、A/D 変換器に用いるため変換精度に影響を与えます。

- (2) $V_{DD}-V_{SS}$ のバイパスコンデンサを接続する場合、 V_{DD} 端子と V_{SS} 端子をできるだけ最短で接続してください。

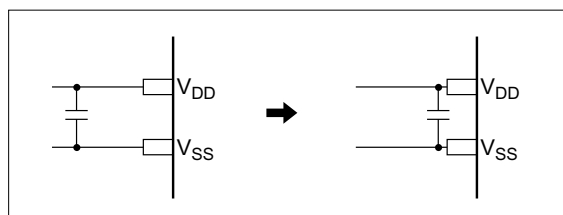
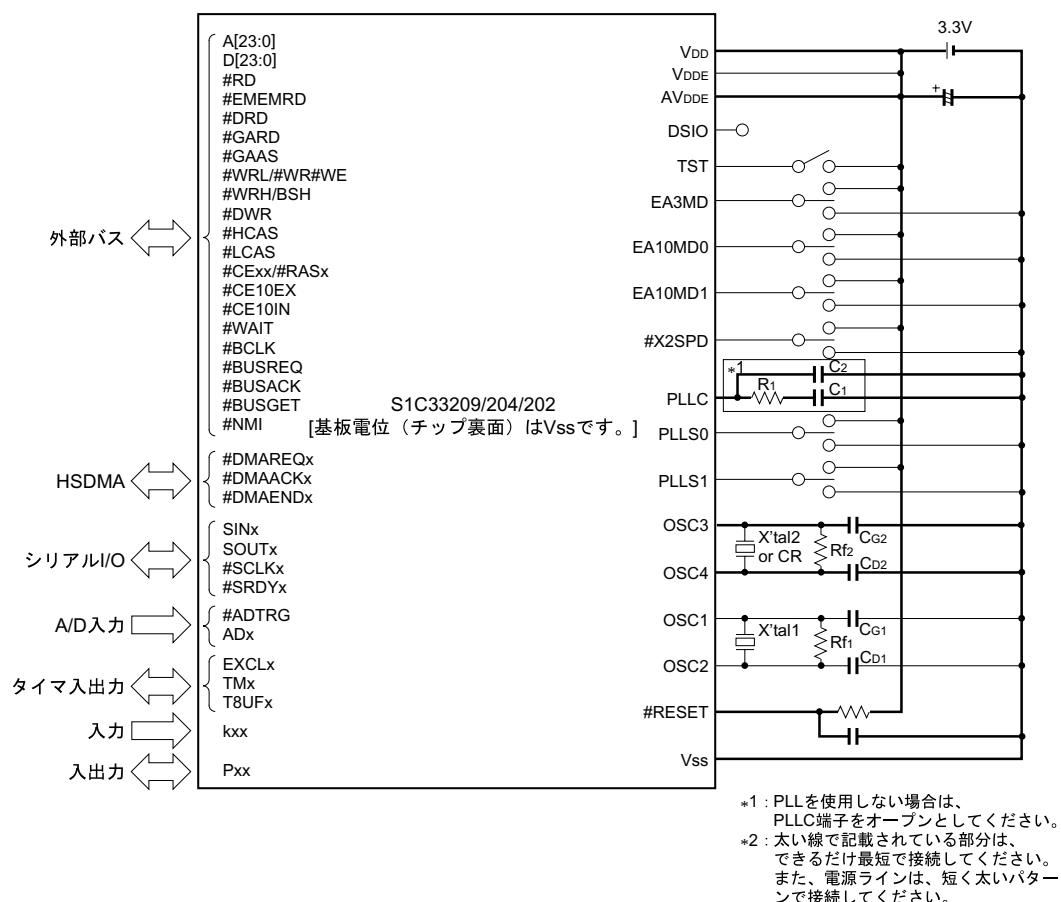


図 7.2 バイパスコンデンサの接続例

■ 推奨回路



X'tal1	水晶振動子	32.768 kHz
Cg1	ゲート容量	10pF
Cd1	ドレイン容量	10pF
Rf1	帰還抵抗	10MΩ
X'tal2	水晶振動子	33MHz (Max.)
CR	セラミック振動子	33MHz (Max.)
Cg2	ゲート容量	10pF
Cd2	ドレイン容量	10pF
Rf2	帰還抵抗	1MΩ
R1	抵抗	4.7kΩ
C1	コンデンサ	100pF
C2	コンデンサ	5pF

注: ここに記載されている値は一例であり、特に動作を保証するものではありません。

■ 信号線の配置

- 相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部、アナログ入力部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。
- 高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。特に、発振部、アナログ入力部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。

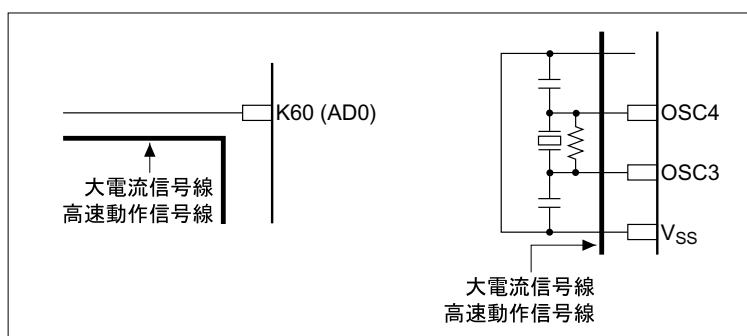


図 7.3 禁止パターン

■ 光に対する取り扱い（ベアチップ実装の場合）

- 半導体素子は、光が照射されると特性が変化します。このため、本 IC に光が当たると誤動作をおこすことがあります。光に対する IC の誤動作を防ぐため、本 IC が実装される基板および製品について、以下に示す内容を考慮してください。
- (1) 実使用時に IC の遮光性が考慮された構造となるよう、設計および実装を行ってください。
 - (2) 検査工程では、IC の遮光性が考慮された環境設計を行ってください。
 - (3) IC の遮光は、IC チップの表面、裏面および側面について考慮してください。

7.2 その他

C33 マクロを使用した場合、誤動作を避けるために下記ピンの配置が重要となります。お客様の作成した“ピン配列表”によりましては、配置をご相談させていただく場合がございますのでご了承ください。

P_OSC4, P_OSC3, P_OSC2, P_OSC1, P_PLLC,
P_K67, P_K66, P_K65, P_K64, P_K63, P_K62, P_K61, P_K60

セイコーエプソン株式会社 電子デバイス営業本部

ED営業推進部	〒191-8501 東京都日野市日野421-8
IC営業技術G	TEL (042) 587-5816 (直通) FAX (042) 587-5624
東日本	
ED東京営業部	〒191-8501 東京都日野市日野421-8
東京IC営業G	TEL (042) 587-5313 (直通) FAX (042) 587-5116
西日本	
ED大阪営業部	〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F TEL (06) 6120-6000 (代表) FAX (06) 6120-6100
東海・北陸	
ED名古屋営業部	〒461-0005 名古屋市東区東桜1-10-24 栄大野ビル4F TEL (052) 953-8031 (代表) FAX (052) 953-8041
長野	
ED長野営業部	〒392-8502 長野県諏訪市大和3-3-5 TEL (0266) 58-8171 (直通) FAX (0266) 58-9917
東北	
ED仙台営業所	〒980-0013 宮城県仙台市青葉区花京院1-1-20 花京院スクエア19F TEL (022) 263-7975 (代表) FAX (022) 263-7990

インターネットによる電子デバイスのご紹介 <http://www.epson.co.jp/device/>