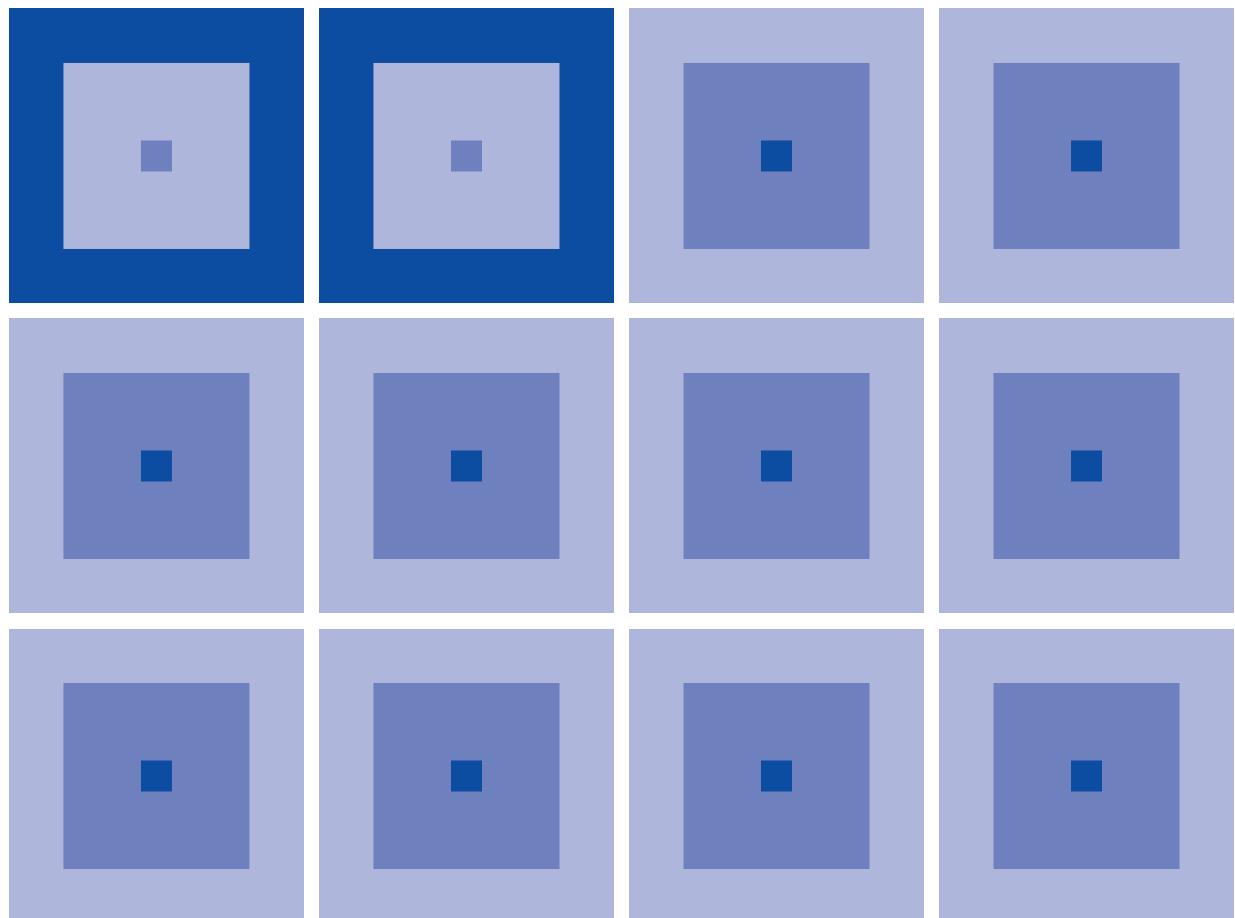


CMOS 4-BIT SINGLE CHIP MICROCOMPUTER

S1C6P366

テクニカルマニュアル

S1C6P366 Technical Hardware



本資料のご使用につきましては、次の点にご留意願います。

1. 本資料の内容については、予告なく変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利(工業所有権を含む)侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち、「外国為替および外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、一般民生用です。生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合の如何なる責任についても負いかねます。

MS-DOS、Windows、Windows95、Windows98およびWindows NTは米国マイクロソフト社の登録商標です。

PC/AT、PS/2、PC-DOS、VGA、EGAおよびIBMは、米国International Business Machines社の登録商標です。

NEC PC-9800シリーズおよびNECは日本電気株式会社の登録商標です。

その他のブランド名または製品名は、それらの所有者の商標もしくは登録商標です。

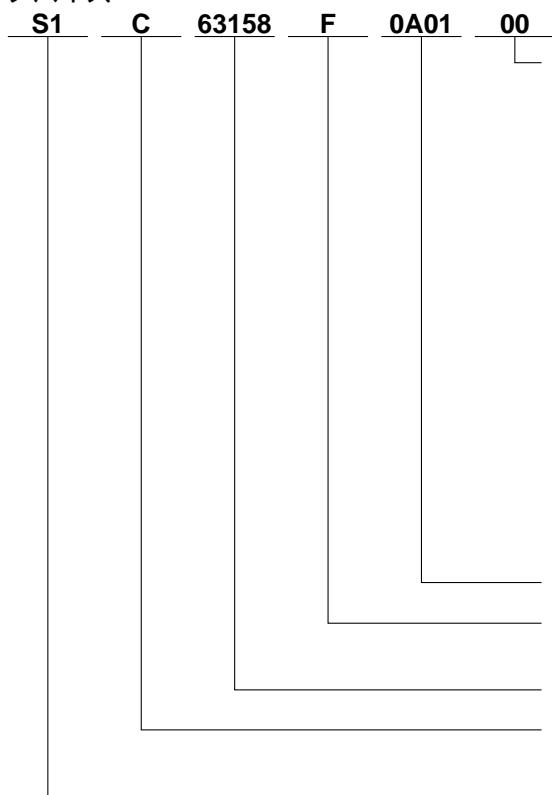
本製品はSilicon Storage Technology, Inc.よりライセンスされたSuperFlash®テクノロジーを使用しています。

本版で改訂または追加された箇所

章	節/項	頁	項目	内容
4	4.7.3	46	LCD表示と駆動波形の制御 (1)表示のON/OFF	文章変更
	4.9.5	73	プログラミング上の注意事項	(6)追加
7	7.2	120	個別機能についての注意事項のまとめ プログラマブルタイマ	(5)追加

製品型番体系

デバイス



梱包仕様

- 00 : テープ&リール以外
- 0A : TCP BL 2方向
- 0B : テープ&リール BACK
- 0C : TCP BR 2方向
- 0D : TCP BT 2方向
- 0E : TCP BD 2方向
- 0F : テープ&リール FRONT
- 0G : TCP BT 4方向
- 0H : TCP BD 4方向
- 0J : TCP SL 2方向
- 0K : TCP SR 2方向
- 0L : テープ&リール LEFT
- 0M : TCP ST 2方向
- 0N : TCP SD 2方向
- 0P : TCP ST 4方向
- 0Q : TCP SD 4方向
- 0R : テープ&リール RIGHT
- 99 : 梱包仕様未定

仕様

[D: ベアチップ、F: QFP]

機種番号

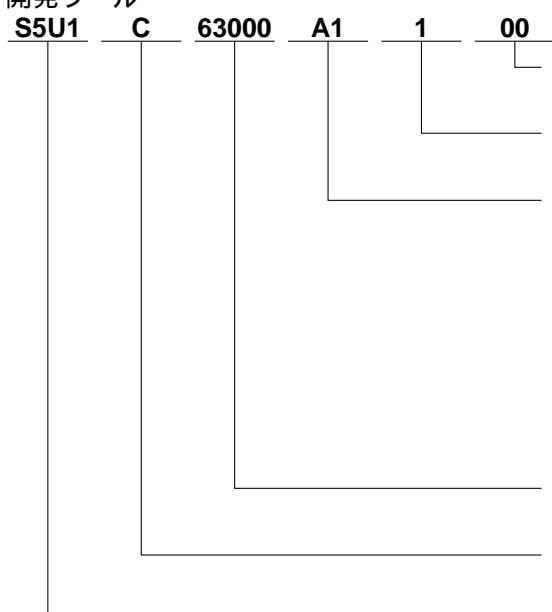
機種名称

[C: マイコン、デジタル製品]

製品分類

[S1: 半導体]

開発ツール



梱包仕様

[00: 標準梱包]

バージョン

[1: Version 1]

ツール種類

- Hx : ICE
- Ex : EVAボード
- Px : ペリフェラルボード
- Wx: FLASHマイコン用ROMライタ
- Xx : ROMライタ周辺ボード
- Cx : Cコンパイラパッケージ
- Ax : アセンブラーパッケージ
- Dx : 機種別ユーティリティツール
- Qx : ソフトシミュレータ

対応機種番号

[63000: S1C63ファミリ共通]

ツール分類

[C: マイコン用]

製品分類

[S5U1: 半導体用開発ツール]

- 目 次 -

1 概要	1
1.1 特長	1
1.2 ブロック図	2
1.3 端子配置図	3
1.4 端子説明	4
1.5 マスクオプション	5
1.6 セグメントオプション	5
2 電源系およびイニシャルリセット	6
2.1 電源系	6
2.1.1 発振回路用電圧<VD1>	7
2.1.2 LCD駆動用電圧<VC1 ~ VC3>	7
2.1.3 内部電源回路の動作モード	7
2.2 イニシャルリセット	8
2.2.1 リセット端子($\overline{\text{RESET}}$)	8
2.2.2 イニシャルリセット時の内部レジスタ	8
2.2.3 イニシャルリセット時の端子設定	9
2.3 テスト端子($\overline{\text{TEST}}$)	10
2.4 Flash EEPROM専用端子	10
3 CPU, PROM, RAM	11
3.1 CPU	11
3.2 コードPROM	11
3.3 RAM	11
4 周辺回路と動作	13
4.1 メモリマップ	13
4.2 ウオッチドッグタイマ	20
4.2.1 ウオッチドッグタイマの構成	20
4.2.2 割り込み機能	20
4.2.3 ウオッチドッグタイマのI/Oメモリ	21
4.2.4 プログラミング上の注意事項	21
4.3 発振回路	22
4.3.1 発振回路の構成	22
4.3.2 OSC1発振回路	22
4.3.3 OSC3発振回路	23
4.3.4 動作電圧について	24
4.3.5 動作クロックの切り換え	24
4.3.6 クロック周波数とインストラクション実行時間	24
4.3.7 発振回路のI/Oメモリ	25
4.3.8 プログラミング上の注意事項	26

4.4	入力ポート(K00 ~ K03, K10 ~ K13, K20)	27
4.4.1	入力ポートの構成	27
4.4.2	割り込み機能	28
4.4.3	マスクオプション	29
4.4.4	入力ポートのI/Oメモリ	30
4.4.5	プログラミング上の注意事項	33
4.5	出力ポート(R00 ~ R03, R10 ~ R13, R20 ~ R23)	34
4.5.1	出力ポートの構成	34
4.5.2	マスクオプション	34
4.5.3	ハイインピーダンス制御	35
4.5.4	特殊出力	35
4.5.5	出力ポートのI/Oメモリ	37
4.5.6	プログラミング上の注意事項	39
4.6	入出力兼用ポート(P00 ~ P03, P10 ~ P13, P20 ~ P23, P30 ~ P33, P40 ~ P43)	40
4.6.1	入出力兼用ポートの構成	40
4.6.2	マスクオプション	41
4.6.3	I/O制御レジスタと入力/出力モード	41
4.6.4	入力モード時のプルアップ	41
4.6.5	入出力兼用ポートのI/Oメモリ	42
4.6.6	プログラミング上の注意事項	45
4.7	LCDドライバ(COM0 ~ COM3, SEG0 ~ SEG31)	46
4.7.1	LCDドライバの構成	46
4.7.2	LCD駆動電源	46
4.7.3	LCD表示と駆動波形の制御	46
4.7.4	セグメントオプション	50
4.7.5	マスクオプション	51
4.7.6	LCDドライバのI/Oメモリ	52
4.7.7	プログラミング上の注意事項	53
4.8	計時タイマ	54
4.8.1	計時タイマの構成	54
4.8.2	データの読み出しとホールド機能	54
4.8.3	割り込み機能	55
4.8.4	計時タイマのI/Oメモリ	56
4.8.5	プログラミング上の注意事項	57
4.9	プログラマブルタイマ	58
4.9.1	プログラマブルタイマの構成	58
4.9.2	2チャンネル×8ビットタイマ(MODE16 = "0")の動作	59
4.9.2.1	カウンタ初期値の設定とダウンカウント動作	59
4.9.2.2	カウンタモード	60
4.9.2.3	タイマモード入力クロックの設定	61
4.9.2.4	割り込み機能	62
4.9.2.5	TOUT出力の設定	62
4.9.2.6	シリアルインターフェースの転送速度設定	63
4.9.3	1チャンネル×16ビットタイマ(MODE16 = "1")の動作	63
4.9.3.1	カウンタ初期値の設定とダウンカウント動作	63
4.9.3.2	カウンタモード	64

4.9.3.3 タイマモード入力クロックの設定	65
4.9.3.4 割り込み機能	66
4.9.3.5 TOUT出力の設定	66
4.9.3.6 シリアルインタフェースの転送速度設定	67
4.9.4 プログラマブルタイマのI/Oメモリ	68
4.9.5 プログラミング上の注意事項	73
4.10 シリアルインタフェース(SIN, SOUT, SCLK, SRDY)	74
4.10.1 シリアルインタフェースの構成	74
4.10.2 マスクオプション	75
4.10.3 シリアルインタフェースのマスタモードとスレーブモード	75
4.10.4 データの入出力と割り込み	76
4.10.5 シリアルインタフェースのI/Oメモリ	78
4.10.6 プログラミング上の注意事項	81
4.11 A/D変換器	82
4.11.1 A/D変換器の特徴と構成	82
4.11.2 A/D変換器の端子構成	82
4.11.3 マスクオプション	83
4.11.4 A/D変換の制御	83
4.11.5 割り込み機能	85
4.11.6 A/D変換器のI/Oメモリ	86
4.11.7 プログラミング上の注意事項	88
4.12 ブザー出力回路	89
4.12.1 ブザー出力回路の構成	89
4.12.2 マスクオプション	89
4.12.3 ブザー出力の制御	90
4.12.4 ブザー出力回路のI/Oメモリ	91
4.12.5 プログラミング上の注意事項	91
4.13 SVD(電源電圧検出)回路	92
4.13.1 SVD回路の構成	92
4.13.2 SVD動作	92
4.13.3 SVD回路のI/Oメモリ	93
4.13.4 プログラミング上の注意事項	93
4.14 割り込みとHALT	94
4.14.1 割り込みの要因	96
4.14.2 割り込みの個別マスク	97
4.14.3 割り込みベクタ	97
4.14.4 割り込みのI/Oメモリ	98
4.14.5 プログラミング上の注意事項	100
5 PROMプログラマと動作モード	101
5.1 PROMプログラマの構成	101
5.2 動作モード	103
5.2.1 通常動作モード	103
5.2.2 シリアルプログラミングモード	103
5.2.3 パラレルプログラミングモード	104

6 マスクROM版との相違点	105
6.1 S1C63358との相違点	105
6.1.1 パッケージと端子構成	105
6.1.2 マスクオプション	106
6.1.3 電源	107
6.1.4 イニシャルリセット	109
6.1.5 PROM, RAM	109
6.1.6 I/Oメモリ	109
6.1.7 発振回路	109
6.1.8 SVD回路	110
6.2 S1C63158との相違点	111
6.2.1 パッケージと端子構成	111
6.2.2 マスクオプション	113
6.2.3 電源	114
6.2.4 イニシャルリセット	115
6.2.5 PROM, RAM	116
6.2.6 I/Oメモリ	116
6.2.7 発振回路	116
6.2.8 SVD回路	116
7 注意事項のまとめ	117
7.1 低消費電流化のための注意事項	117
7.2 個別機能についての注意事項のまとめ	118
7.3 実装上の注意事項	122
8 基本外部結線図	124
9 電気的特性	128
9.1 絶対最大定格	128
9.2 推奨動作条件	128
9.3 DC特性	129
9.4 アナログ回路特性・消費電流	130
9.5 発振特性	131
9.6 シリアルインタフェースAC特性	132
9.7 タイミングチャート	133
9.8 特性グラフ(参考値)	134
10 パッケージ	138
10.1 プラスチックパッケージ	138
11 パッド配置	139
11.1 パッド配置図	139
11.2 パッド座標	140

Appendix A PROMプログラミング 141

A.1 書き込みツールの概要	141
A.2 シリアルプログラミング(S1C88/S1C63 Serial Connector).....	142
A.2.1 シリアルプログラミングシステム環境(S1C88/S1C63 Serial Connector)	142
A.2.2 シリアルプログラミングシステムの接続と設定(S1C88/S1C63 Serial Connector)	144
A.2.3 シリアルプログラミング手順(S1C88/S1C63 Serial Connector)	145
A.2.4 シリアルプログラミング結線図(S1C88/S1C63 Serial Connector)	147
A.3 パラレルプログラミング	149
A.3.1 パラレルプログラミングシステム環境	149
A.3.2 パラレルプログラミングシステムの接続と設定	151
A.3.3 パラレルプログラミング手順	152
A.4 Universal ROM Writer I(S5U1C88000W1)仕様	155
A.4.1 Universal ROM Writer II仕様概要	155
A.4.2 Universal ROM Writer IIコマンドの詳細説明	156
A.4.3 PROMライタコマンド一覧表	164
A.4.4 Universal ROM Writer IIエラーメッセージ	165
A.5 Flash EEPROMプログラミング上の注意事項	166

Appendix B S5U1C63000P Manual

(Peripheral Circuit Board for S1C63158/358/P366) 167

B.1 各部の名称と機能	167
B.2 ターゲットシステムとの接続	170
B.3 使用上の注意	172
B.3.1 操作上の注意事項	172
B.3.2 実ICとの相違点	172

1 概要

S1C6P366は4ビットCPU S1C63000を中心に、書き換え可能なPROM、RAM、シリアルインターフェース、ウォッチドッグタイマ、プログラマブルタイマ、タイムベースカウンタ(1系統)、SVD回路、最大32セグメント×4コモンのLCD駆動回路、A/D変換器、A/D変換器を使用して入力キーを識別可能な特殊入力ポート等を内蔵したマイクロコンピュータです。S1C63358およびS1C63158に対して上位互換性を持つ大容量のPROM(16K×13ビット)、RAM(2K×4ビット)を内蔵しており、プログラム開発等に使用することができます。

1.1 特長

OSC1発振回路	32.768kHz (Typ.)	水晶発振回路
OSC3発振回路	1.8MHz (Typ.)	CR発振回路または4MHz (Max.) セラミック発振回路(*1)
インストラクションセット	基本命令 46種類 (全命令数 411種類)	アドレッシングモード 8種類
インストラクション実行時間	32.768kHz動作時: 61μsec (Min.)	
	4MHz動作時: 0.5μsec (Min.)	
PROM容量	コードPROM: 16,384ワード×13ビット	
	セグメントオプションPROM: 2,048ワード×4ビット	
	プログラミング方式: パラレルおよびシリアル方式 (専用PROMライタを使用)	
	書き換え回数: 100回	
RAM容量	データメモリ: 2,048ワード×4ビット	
	表示メモリ: 32ワード×4ビット	
入力ポート	9ビット 8ビット (ブルアップ抵抗付き) 1ビット (A/D変換によるキーポジション検出割り込みを発生)	
出力ポート	12ビット (2ビットを特殊出力に切り替え可能*2)	
入出力兼用ポート	20ビット (4ビットをシリアル入出力に切り替え可能*2) (4ビットをA/D変換器入力に切り替え可能*2)	
シリアルインターフェース	1ポート (クロック同期式8ビット)	
LCDドライバ	32セグメント×4、3または2コモン(*2)	1/3バイアス駆動
タイムベースカウンタ	1系統 (計時タイマ)	
プログラマブルタイマ	内蔵 2チャンネル×8ビットまたは1チャンネル×16ビット(*2) イベントカウンタ機能付き	
ウォッチドッグタイマ	内蔵	
A/D変換器	分解能 8ビット 最大誤差: ±3LSB A/Dクロック: OSC1、OSC3 (2.7V ~ 5.5V)	
ブザー出力	ブザー周波数: 2kHzまたは4kHz (*2)	2Hzインターバル出力(*2)
電源電圧検出(SVD)回路	2値プログラマブル(2.7V、2.8V)	
外部割り込み	入力ポート割り込み キー検出割り込み	2系統 1系統
内部割り込み	計時タイマ割り込み プログラマブルタイマ割り込み シリアルインターフェース割り込み A/D変換器割り込み	4系統 2系統 1系統 1系統
電源電圧	2.7V ~ 5.5V	
動作温度範囲	-20°C ~ 70°C	
消費電流(Typ.)	シングルクロック: HALT時(32kHz) 3.0V(液晶電源OFF) 2.5μA 3.0V(液晶電源ON) 37μA 動作時(32kHz) 3.0V(液晶電源ON) 120μA ツインクロック: 動作時(4MHz) 3.0V(液晶電源ON) 800μA	
出荷形態	QFP15-100pin(プラスチック) またはチップ	

*1: マスクオプションにより選択

*2: ソフトウェアにより選択

1.2 ブロック図

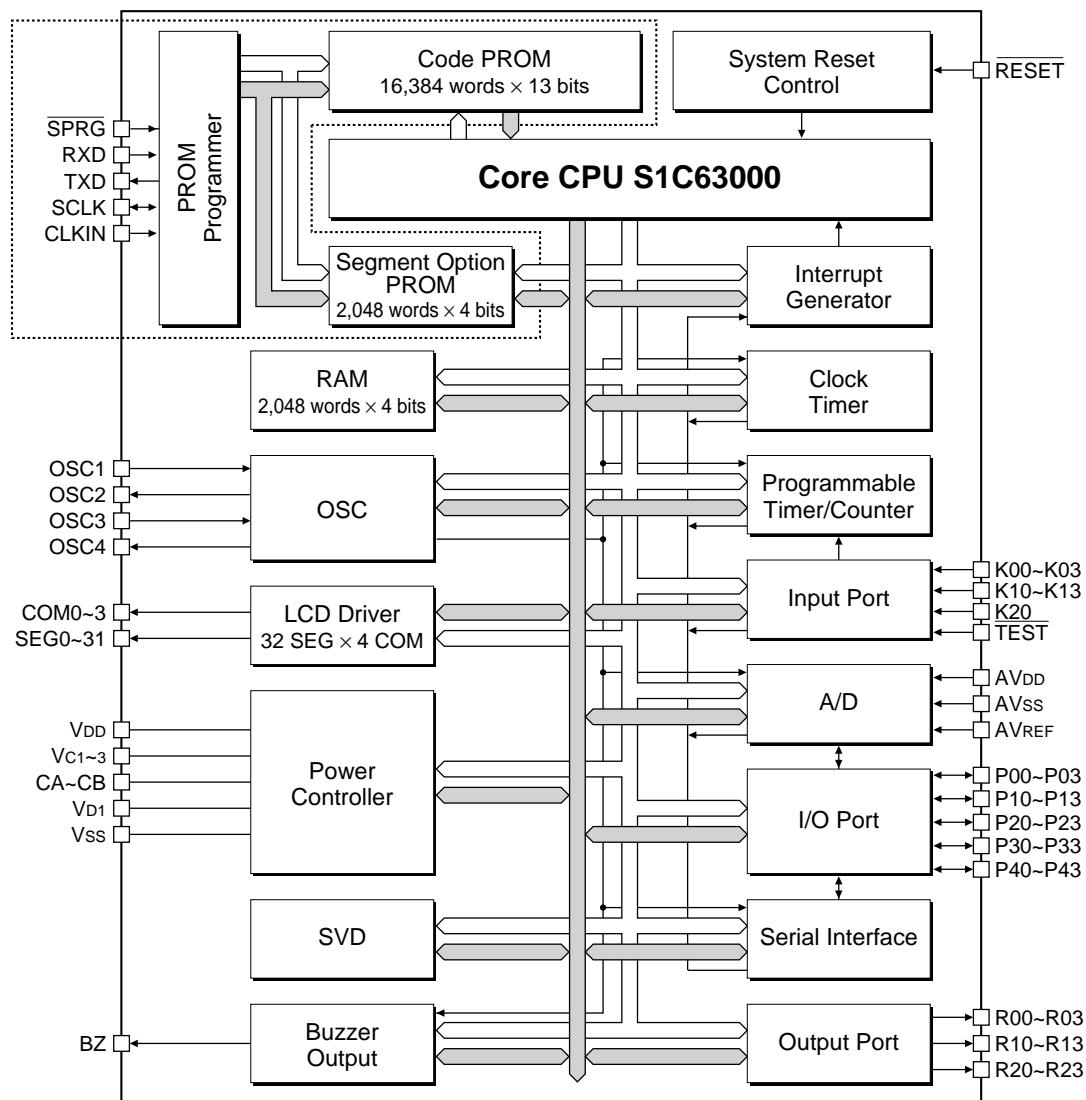
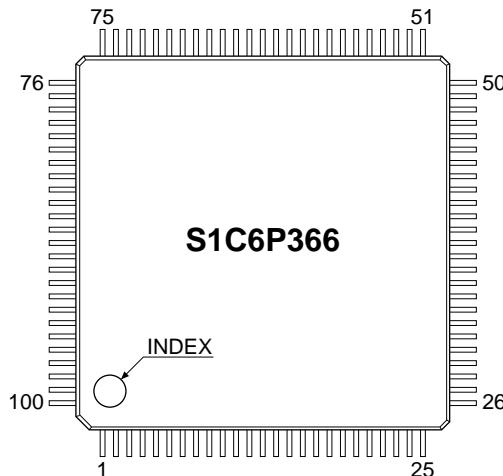


図1.2.1 ブロック図

1.3 端子配置図

QFP15-100pin



No.	端子名										
	S1C6P366	S1C63358									
1	SEG7	SEG7	26	CLKIN	N.C.	51	SCLK	N.C.	76	R13	R13
2	SEG8	SEG8	27	SPRG	N.C.	52	P43	P43	77	R12	R12
3	SEG9	SEG9	28	COM0	COM0	53	P42	P42	78	R11	R11
4	SEG10	SEG10	29	COM1	COM1	54	P41	P41	79	R10	R10
5	SEG11	SEG11	30	COM2	COM2	55	P40	P40	80	R03	R03
6	SEG12	SEG12	31	COM3	COM3	56	P33	P33	81	R02	R02
7	SEG13	SEG13	32	CB	CB	57	P32	P32	82	R01	R01
8	SEG14	SEG14	33	CA	CA	58	P31	P31	83	R00	R00
9	SEG15	SEG15	34	Vc3	Vc3	59	P30	P30	84	BZ	BZ
10	SEG16	SEG16	35	Vc2	Vc2	60	P23	P23	85	K00	K00
11	SEG17	SEG17	36	Vc1	Vc1	61	P22	P22	86	K01	K01
12	SEG18	SEG18	37	Vss	Vss	62	P21	P21	87	K02	K02
13	SEG19	SEG19	38	OSC1	OSC1	63	P20	P20	88	K03	K03
14	SEG20	SEG20	39	OSC2	OSC2	64	P13	P13	89	K10	K10
15	SEG21	SEG21	40	Vd1	Vd1	65	P12	P12	90	K11	K11
16	SEG22	SEG22	41	OSC3	OSC3	66	P11	P11	91	K12	K12
17	SEG23	SEG23	42	OSC4	OSC4	67	P10	P10	92	K13	K13
18	SEG24	SEG24	43	Vdd	Vdd	68	P03	P03	93	K20	K20
19	SEG25	SEG25	44	RESET	RESET	69	P02	P02	94	SEG0	SEG0
20	SEG26	SEG26	45	TEST	TEST	70	P01	P01	95	SEG1	SEG1
21	SEG27	SEG27	46	AVREF	AVREF	71	P00	P00	96	SEG2	SEG2
22	SEG28	SEG28	47	AVDD	AVDD	72	R23	R23	97	SEG3	SEG3
23	SEG29	SEG29	48	AVSS	AVSS	73	R22	R22	98	SEG4	SEG4
24	SEG30	SEG30	49	RXD	N.C.	74	R21	R21	99	SEG5	SEG5
25	SEG31	SEG31	50	TXD	N.C.	75	R20	R20	100	SEG6	SEG6

N.C. : No Connection

図1.3.1 端子配置図

1.4 端子説明

表1.4.1 端子説明

端子名	端子No.	入出力	機能
VDD	43	-	電源(+)端子
Vss	37	-	電源(-)端子
VD1	40	-	発振系定電圧出力端子
VC1~VC3	36~34	-	LCD系電源端子 1/3バイアス
CA, CB	33, 32	-	LCD系昇降圧コンデンサ接続端子
OSC1	38	I	水晶発振入力端子
OSC2	39	O	水晶発振出力端子
OSC3	41	I	セラミックまたはCR発振入力端子(マスクオプション選択)
OSC4	42	O	セラミックまたはCR発振出力端子(マスクオプション選択)
K00~K03	85~88	I	入力端子
K10~K13	89~92	I	入力端子
K20	93	I	入力端子(キーポジション検出割り込みポート)
P00~P03	71~68	I/O	入出力端子
P10~P13	67~64	I/O	入出力端子(シリアルI/F入出力にソフト切り換え)
P20~P23	63~60	I/O	入出力端子
P30~P33	59~56	I/O	入出力端子
P40~P43	55~52	I/O	入出力端子(A/D変換器入力として使用可能)
R00	83	O	出力端子
R01	82	O	出力端子
R02	81	O	出力端子(TOUT信号出力にソフト切り換え)
R03	80	O	出力端子(FOUT信号出力にソフト切り換え)
R10~R13	79~76	O	出力端子
R20~R23	75~72	O	出力端子
COM0~COM3	28~31	O	LCDコモン出力端子(1/4, 1/3, 1/2デューティをソフト切り換え)
SEG0~SEG31	94~100, 1~25	O	LCDセグメント出力端子
AVDD	47	-	アナログ回路系電源(+)端子
AVss	48	-	アナログ回路系電源(-)端子
AVREF	46	-	アナログ回路系基準電圧端子
BZ	84	O	ブザー出力端子
RESET	44	I	イニシャルリセット入力端子
TEST	45	I	テスト用入力端子
RXD *1	49	I	Flashプログラミング用シリアルインターフェース・データ入力端子
TXD *1	50	O	Flashプログラミング用シリアルインターフェース・データ出力端子
SCLK *1	51	I/O	Flashプログラミング用シリアルインターフェース・クロック入出力端子
CLKIN *1	26	I	Flashプログラミング用クロック入力端子
SPRG *1	27	I	Flashプログラミング用制御端子

*1 S1C63358の場合N.C.

Flashプログラミング用の端子については"5 PROMプログラマと動作モード"を参照してください。

1.5 マスクオプション

S1C6P366には以下に示すマスクオプションが設定されています。

S1C6P366のマスクオプション

(1) OSC3発振回路

OSC3発振回路としてCR発振回路またはセラミック発振回路が選択できます。詳細については“4.3.3 OSC3発振回路”を参照してください。

S1C63358/63158に用意されているその他のマスクオプションは、以下のように固定され選択することはできません。

- ・ OSC1発振回路 水晶発振
- ・ キー同時入力リセット 使用しない
- ・ キー同時入力リセット時間検定 使用しない
- ・ 入力ポートプルアップ抵抗 あり
- ・ 出力ポート出力仕様 コンプリメンタリ
- ・ 入出力兼用ポート出力仕様 コンプリメンタリ
- ・ 入出力兼用ポートプルアップ抵抗 P1x, P2x, P3x あり
P4x なし
- ・ LCD駆動バイアス 1/3バイアス
- ・ シリアルインターフェース入出力仕様 負極性
- ・ ブザー出力仕様 負極性

1.6 セグメントオプション

(1) LCDセグメントの割り付け

LCD表示メモリはデータメモリ空間上のアドレスF000H～F01FHの領域から最大128ビットまで選択できます。LCDドライバはセグメントデコーダを内蔵しており、表示メモリ領域の任意のアドレス(F000H～F01FH)データビット(D0～D3)を任意のセグメントに割り付けることができます。

この選択にはS1C63358の開発ソフトウェアツールとして用意されているセグメントオプションジェネレータSOG63358を使用します。

詳細については"4.7.4 ヤグメントオプション"を参照してください。

(2) LCDセグメントの出力仕様

DC出力として使用するSEG端子の設定が行えます。

詳細については"4.7.4 セグメントオプション"を参照してください。

(3) セグメントオプションデータ

LCDセグメントオプションについてはS5U1C6P366Y1パッケージに推奨オプションデータが添付されています。LCDセグメントオプションを変更する場合はお客様の責任において書き換えを行ってください。

2 電源系およびイニシャルリセット

2.1 電源系

S1C6P366の動作電源電圧は次のとおりです。

2.7V ~ 5.5V

S1C6P366は上記範囲の単一電源をVDD/AVDD - Vss/AVss間に与えることにより動作し、内部に必要な電圧を、内蔵された以下の電源回路によりIC自身で発生します。

回路系	電源回路	出力電圧
発振回路	発振系定電圧回路	V _{D1}
内部ロジック回路	電源電圧(V _{DD})	V _{DD}
LCD駆動回路	LCD系電圧回路	V _{C1} ~ V _{C3}
発振系定電圧回路	電源電圧(V _{DD})	V _{DD}
LCD系電圧回路	電源電圧(V _{DD})	V _{DD}
A/D変換器	アナログ電源電圧(AV _{DD})および電源電圧(V _{DD})	AV _{DD} およびV _{DD}

- 注:
- 内部電源回路の出力電圧による外付け負荷の駆動は禁止します。
 - S1C6P366は内部LCD系電圧回路 1/3バイアス を使用します。
 - 電圧値、駆動能力については"9 電気的特性"を参照してください。

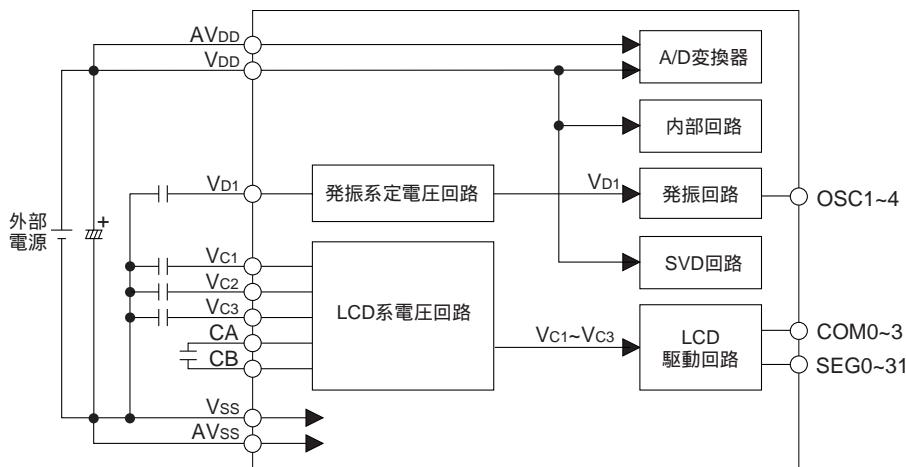


図2.1.1 電源系の構成

2.1.1 発振回路用電圧<VD1>

VD1は発振回路用の電圧で、発振を安定させるため発振系定電圧回路で発生しています。

S1C63358/S1C63158では、発振回路の仕様および動作周波数に対応させるため、定電圧回路で発生するVD1の出力電圧を切り換える必要がありますが、S1C6P366ではVD1出力電圧が1レベルのみの設定となっています。このため、S1C6P366では、ソフトウェアによりVD1出力電圧の設定を変更しても、実際のVD1出力には影響を与えません。ただし、S1C6P366をS1C63358/S1C63158の開発ツールとして使用する場合は、それぞれのICに合わせVD1の制御ルーチンを組み込んでおくことが必要です。

詳細については、"6 マスクROM版との相違点"を参照してください。

2.1.2 LCD駆動用電圧<VC1～VC3>

VC1～VC3はLCD駆動用の電圧で、表示品質を安定させるためLCD系電圧回路で発生しています。

S1C6P366の動作下限電圧は2.7Vであるため、VC2基準でLCD駆動電圧を内部発生し、その電圧を昇圧または降圧して他の2電位を発生します(VC1 = 1/2·VC2, VC3 = 3/2·VC2)。

VC1～VC3の電圧値については"9 電気的特性"を参照してください。

2.1.3 内部電源回路の動作モード

S1C6P366の発振系定電圧回路およびA/D変換器の電源回路は、VDDを電源電圧とする通常モードで動作します。

S1C63358/S1C63158には、低電圧動作を保証するための昇圧モード(VC2モード)が設けられており、使用的電源電圧によっては動作モードの切り換えが必要です。S1C6P366は電源電圧が2.7V以上のため、この切り換えは不要で、制御レジスタの設定は動作モードに影響を与えません。ただし、S1C6P366をS1C63358/S1C63158の開発ツールとして使用する場合は、それぞれのICに合わせ動作モードの制御ルーチンを組み込んでおくことが必要です。

詳細については、"6 マスクROM版との相違点"を参照してください。

2.2 イニシャルリセット

S1C6P366は回路を初期化するためにイニシャルリセットを必要とします。S1C6P366のイニシャルリセット要因はリセット(RESET)端子による外部イニシャルリセットのみです。

電源投入時は必ずこのリセット機能を使用し、確実に初期化する必要があります。電源投入のみでは回路が正しく初期化される保証はありません。

図2.2.1にイニシャルリセット回路の構成を示します。

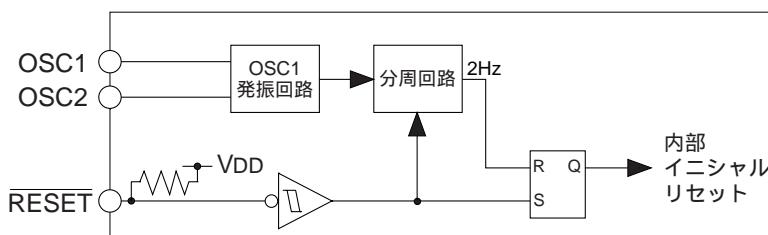


図2.2.1 イニシャルリセット回路の構成

2.2.1 リセット端子(RESET)

外部よりリセット端子をLOWレベル(V_{SS})にすることによりイニシャルリセットが行えます。

その後、リセット端子をHIGHレベル(V_{DD})にすることによりイニシャルリセットは解除され、CPUが動作を開始します。

リセット入力信号はRSラッチにより保持され、内部イニシャルリセット信号となります。RSラッチはOSC1クロックを分周した2Hz信号(HIGH)で解除されるようになっています。したがって、通常動作時はリセット端子がHIGHレベルになった後、内部イニシャルリセットが解除されるまで、最大250msec(fosc1=32.768kHz時)の時間を要します。

確実にイニシャルリセットを行うために、リセット入力は最低0.1msec以上、LOWレベルを保ってください。ただし、電源投入時については図2.2.1.1に示すタイミングでリセット端子をLOWレベルにしてください。

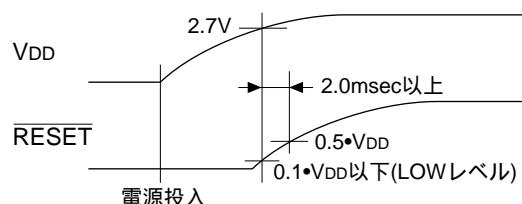


図2.2.1.1 電源投入時のイニシャルリセット

電源電圧が2.7V以上になるまで、リセット端子は0.1•V_{DD}以下(LOWレベル)とします。

その後2.0msec以上、0.5•V_{DD}以下のレベルを保持します。

また、S1C6P366ではリセット端子からのLOW入力信号によりIC内部の一部アナログ回路を初期化します。このとき、バイアス電流として十数μAの電流をIC内部で消費します。

2.2.2 イニシャルリセット時の内部レジスタ

イニシャルリセットによりCPUは表2.2.2.1のように初期化されます。

イニシャルリセットによって初期化されないレジスタ、フラグは必要に応じてプログラムで初期化する必要があります。

特にスタックポインタSP1およびSP2は必ずペアで設定してください。イニシャルリセット後は、SP1、SP2両方のスタックポインタがソフトウェアにより設定されるまでNMIを含むすべての割り込みがマスクされます。

EXTレジスタにデータを書き込むとEフラグがセットされ、次の命令が拡張アドレスシングモードで実行されます。そこに拡張アドレスシングが禁止されている命令を使用した場合、動作が保証されません。したがって、EXTレジスタの初期化のみを目的としたデータ書き込みは行わないでください。

拡張アドレスシングと使用可能な命令については"S1C63000コアCPUマニュアル"を参照してください。

表2.2.2.1 初期設定値

CPUコア				周辺回路		
名 称	記号	ビット長	設定値	名 称	ビット長	設定値
データレジスタA	A	4	不定	RAM	4	不定
データレジスタB	B	4	不定	表示メモリ	4	不定
拡張レジスタEXT	EXT	8	不定	その他の周辺回路	-	*
インデックスレジスタX	X	16	不定			
インデックスレジスタY	Y	16	不定			
プログラムカウンタ	PC	16	0110H			
スタックポインタSP1	SP1	8	不定			
スタックポインタSP2	SP2	8	不定			
ゼロフラグ	Z	1	不定			
キャリーフラグ	C	1	不定			
インタラプトフラグ	I	1	0			
拡張フラグ	E	1	0			
キューレジスタ	Q	16	不定			

* "4.1 メモリマップ"参照

2.2.3 イニシャルリセット時の端子設定

S1C6P366の出力ポートR端子、入出力兼用ポートP端子は特殊出力端子やシリアルインターフェースの入出力端子およびA/D変換器の入力端子と兼用されており、それらの機能をソフトウェアで選択するようになっています。イニシャルリセット時、各端子はすべてが汎用出力ポート端子、汎用入出力兼用ポート端子として設定されますので、アプリケーションの初期化ルーチンでシステムに合った設定を行ってください。また、システム設計の際には、出力端子の初期状態にも注意してください。

表2.2.3.1に兼用端子設定の一覧を示します。

表2.2.3.1 兼用端子設定一覧

端子名	イニシャルリセット時の 端子状態	特殊出力使用時		シリアルI/F使用時		A/D変換器 使用時
		TOUT	FOUT	Master	Slave	
R00	R00 (HIGH出力)					
R01	R01 (HIGH出力)					
R02	R02 (HIGH出力)	TOUT				
R03	R03 (HIGH出力)		FOUT			
R10~R13	R10~R13 (HIGH出力)					
R20~R23	R20~R23 (HIGH出力)					
P00~P03	P00~P03 (入力&ブルアップ)					
P10	P10 (入力&ブルアップ)			SIN(I)	SIN(I)	
P11	P11 (入力&ブルアップ)			SOUT(O)	SOUT(O)	
P12	P12 (入力&ブルアップ)			SCLK(O)	SCLK(I)	
P13	P13 (入力&ブルアップ)				SRDY(O)	
P20~P23	P20~P23 (入力&ブルアップ)					
P30~P33	P30~P33 (入力&ブルアップ)					
P40	P40 (入力&ハイインピーダンス)					AD0(I)
P41	P41 (入力&ハイインピーダンス)					AD1(I)
P42	P42 (入力&ハイインピーダンス)					AD2(I)
P43	P43 (入力&ハイインピーダンス)					AD3(I)

機能の設定方法については各周辺回路の説明を参照してください。

2.3 テスト端子(TEST)

ICの出荷検査時に使用する端子です。通常動作時はTESTをVDDに接続してください。

2.4 Flash EEPROM専用端子

S1C6P366は、Flash EEPROMへの書き込みおよび出荷検査用に以下の専用端子を持っています。

- SPRG: Flash EEPROMプログラミング用制御端子
- SCLK: Flash EEPROMシリアルプログラミング用クロック入出力端子
- RXD: Flash EEPROMシリアルプログラミング用データ入力端子
- TXD: Flash EEPROMシリアルプログラミング用データ出力端子
- CLKIN: Flash EEPROM書き込み制御用クロック入力端子

上記Flash EEPROM専用端子の処理は動作モードにより異なります。詳細については、"5 PROMプログラマと動作モード"を参照してください。

3 CPU, PROM, RAM

3.1 CPU

S1C6P366はCPU部分に4ビットコアCPU S1C63000を使用しています。

S1C63000については"S1C63000コアCPUマニュアル"を参照してください。

注: S1C6P366においては、SLEEP動作を想定していないため、SLP命令は使用できません。

3.2 コードPROM

内蔵コードPROMはプログラム格納用のPROMで、16,384ステップ×13ビットの容量があります。コアCPUのプログラム領域は0000H～FFFFHステップまでリニアにアクセス可能ですが、S1C6P366では、このうち0000H～3FFFHステップがプログラム領域となります。イニシャルリセット後のプログラム開始番地が0110Hステップ、ノンマスク割り込み(NMI)ベクタが0100H、ハードウェア割り込みベクタが0102H～010EHステップに割り当てられています。

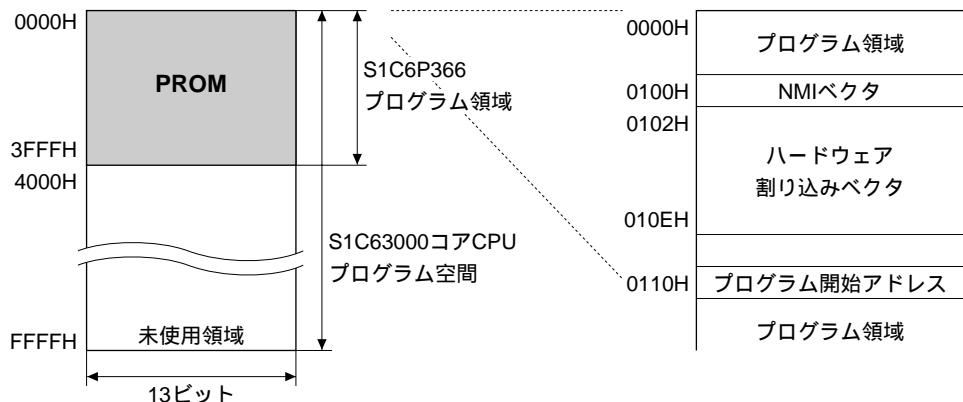


図3.2.1 コードPROMの構成

3.3 RAM

RAMは種々のデータを格納するデータメモリで、2,048ワード×4ビットの容量があります。

RAM領域は、データメモリマップ上のアドレス0000H～07FFHに割り当てられています。

この中でアドレス0100H～01FFHが4ビット/16ビットデータアクセスが可能な領域、その他の領域は4ビットデータアクセスのみ可能な領域となっています。

プログラミングの際には以下の点に注意してください。

(1)データメモリの一部をサブルーチンコールやレジスタ退避時のスタック領域としても使用しますので、データ領域とスタック領域が重ならないように注意してください。

(2)S1C63000コアCPUは、4ビットデータ用スタックポインタ(SP2)および16ビットデータ用スタックポインタ(SP1)によりスタック処理を行います。SP1によるスタック処理では16ビットデータアクセスが行われますので、このスタック領域の設定は4ビット/16ビットアクセスが可能な領域内(0100H～01FFH)で行ってください。スタックポインタは、SP1が0000H～03FFH、SP2が0000H～00FFHの範囲でサイクリックに動作します。このため、SP1はS1C6P366の4ビット/16ビットアクセス領域を外れた00FFH以下の領域にも設定される可能性がありますので注意してください。SP1によるスタック操作以外のメモリアクセスは4ビットデータアクセスとなります。

また、イニシャルリセット時は、スタックポインタSP1、SP2の両方がソフトウェアで設定されるまでNMIを含むすべての割り込みがマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまでNMIを含む割り込みは再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

(3) サブルーチンコールでは16ビットデータ用スタック(SP1)を4ワード(PCの退避)消費します。
割り込みでは16ビットデータ用スタックエリアを4ワード(PCの退避)4ビットデータ用スタックエリアを1ワード(Fレジスタの退避)消費します。

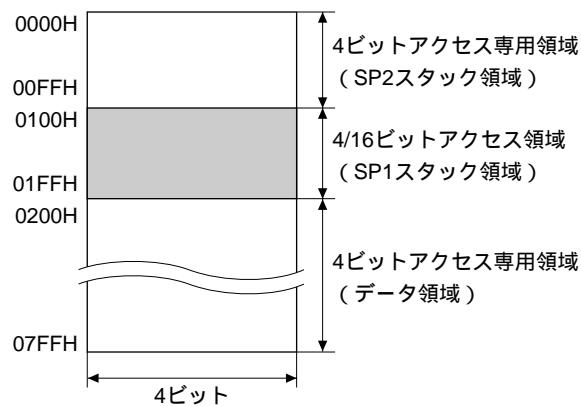


図3.3.1 データRAMの構成

4 周辺回路と動作

S1C6P366の周辺回路(タイマ、A/D、I/O等)はメモリマップドI/O方式で、CPUとインターフェースされています。このため、メモリマップ上のI/Oメモリをメモリ操作命令でアクセスすることにより、すべての周辺回路を制御することができます。

以下に、各周辺回路の動作について詳細に説明します。

4.1 メモリマップ

S1C6P366のデータメモリは2,048ワードのRAM、32ワードの表示メモリ、76ワードの周辺I/Oメモリ領域で構成されます。

図4.1.1にS1C6P366の全体のメモリマップ、表4.1.1(a)~(f)に周辺回路(I/O空間)のメモリマップを示します。

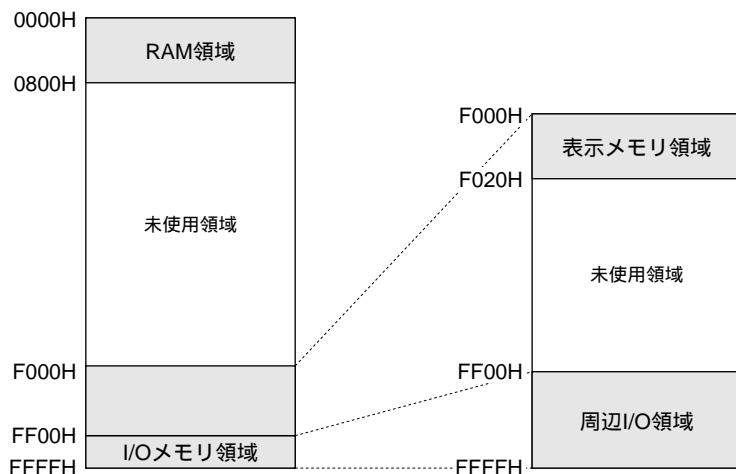


図4.1.1 メモリマップ

注：メモリマップの未使用領域にはメモリが実装されていません。また、周辺I/O領域にも非実装領域、未使用（アクセス禁止）領域が存在します。これらの領域をアクセスするようなプログラムを作成した場合は、正常な動作を保証することはできません。

周辺I/O領域については表4.1.1(a)~(f)に示すI/Oメモリマップを参照してください。

表4.1.1(a) I/Oメモリマップ(FF00H~FF28H)

アドレス	レジスタ				注釈			
	D3	D2	D1	D0	Name	Init *1	1	0
FF00H	CLKCHG	OSCC	0	VDC	CLKCHG OSCC 0 *3 VDC	0 0 -*2 0	OSC3 On (OSC3)	OSC1 Off (OSC1)
	R/W		R	R/W				CPUクロック切り換え OSC3発振On/Off 未使用 (動作電圧切り換え)
FF01H	VADSEL	VDSEL	0	DBON	VADSEL VDSEL 0 *3 DBON	0 0 -*2 0	(Vc2) (Vc2) (On)	(VDD) (VDD) (Off)
	R/W		R	R/W				(A/D変換器用電源選択) (発振系定電圧回路用電源選択) 未使用 (昇圧回路On/Off)
FF04H	SVDS3	SVDS2	SVDS1	SVDS0	SVDS3 SVDS2 SVDS1 SVDS0	0 0 0 0		SVD比較電圧設定 [SVDS3~0] 0 1 2 3 4 5 6 7 電圧(V) - - - - - - - - [SVDS3~0] 8 9 10 11 12 13 14 15 電圧(V) - - - - - - 2.70 2.80
	R/W							
FF05H	0	0	SVDDT	SVDON	0 *3 0 *3 SVDDT SVDON	-*2 -*2 0 0	Low Normal On	未使用 未使用 SVD検出データ SVD回路On/Off
	R		R/W					
FF06H	FOUTE	0	FOFQ1	FOFQ0	FOUTE 0 *3 FOFQ1 FOFQ0	0 -*2 0 0	Enable	Disable
	R/W	R	R/W					FOUT出力イネーブル 未使用 [FOUT [FOFQ1, 0] 0 1 2 3 周波数選択 周波数 fosc1/64 fosc1/8 fosc1 fosc3
FF07H	0	0	WDEN	WDRST	0 *3 0 *3 WDEN WDRST *3	-*2 -*2 1 Reset	Enable Disable Reset	未使用 未使用 ウォッチドッグタイマイネーブル ウォッチドッグタイマリセット(書き込み時)
	R		R/W	W				
FF20H	SIK03	SIK02	SIK01	SIK00	SIK03 SIK02 SIK01 SIK00	0 0 0 0	Enable Enable Enable Enable	Disable Disable Disable Disable
	R/W							K00~K03割り込み選択レジスタ
FF21H	K03	K02	K01	K00	K03 K02 K01 K00	-*2 -*2 -*2 -*2	High High High High	Low Low Low Low
	R							K00~K03入力ポートデータ
FF22H	KCP03	KCP02	KCP01	KCP00	KCP03 KCP02 KCP01 KCP00	1 1 1 1	↓ ↓ ↓ ↓	↑ ↑ ↑ ↑
	R/W							K00~K03入力比較レジスタ
FF24H	SIK13	SIK12	SIK11	SIK10	SIK13 SIK12 SIK11 SIK10	0 0 0 0	Enable Enable Enable Enable	Disable Disable Disable Disable
	R/W							K10~K13割り込み選択レジスタ
FF25H	K13	K12	K11	K10	K13 K12 K11 K10	-*2 -*2 -*2 -*2	High High High High	Low Low Low Low
	R							K10~K13入力ポートデータ
FF26H	KCP13	KCP12	KCP11	KCP10	KCP13 KCP12 KCP11 KCP10	1 1 1 1	↓ ↓ ↓ ↓	↑ ↑ ↑ ↑
	R/W							K10~K13入力比較レジスタ
FF28H	0	0	0	SIK20	0 *3 0 *3 0 *3 SIK20	-*2 -*2 -*2 0	Enable Disable	未使用 未使用 未使用 K20割り込み選択レジスタ
	R		R/W					

[注釈]

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

表4.1.1(b) I/Oメモリマップ(FF29H ~ FF44H)

アドレス	レジスタ				Name	Init *1	1	0	注釈	
	D3	D2	D1	D0						
FF29H	0	0	0	K20	0 *3	- *2	High	Low	未使用	
	R			K20	0 *3	- *2			未使用	
	R/W				0 *3	- *2			未使用	
	R/W				1	-			K20入力ポートデータ	
FF2AH	0	0	0	KCP20	0 *3	- *2	-	-	未使用	
	R			R/W	0 *3	- *2			未使用	
	R/W				0 *3	- *2			未使用	
	R/W				KCP20	1			K20入力比較レジスタ	
FF2BH	0	0	0	SENON	0 *3	- *2	On	Off	未使用	
	R			R/W	0 *3	- *2			未使用	
	R/W				0 *3	- *2			未使用	
	R/W				SENON	1			キー検出On/Off制御	
FF30H	R03HIZ	R02HIZ	R01HIZ	R00HIZ	R03HIZ	0	High-Z	Output	R03出力ハイインピーダンス制御(FOUTE=0)	
	R/W			R/W	R02HIZ	0	High-Z	Output	FOUT出力ハイインピーダンス制御(FOUTE=1)	
	R/W				R01HIZ	0	High-Z	Output	R02出力ハイインピーダンス制御(PTOUT=0)	
	R/W				R00HIZ	0	High-Z	Output	TOUT出力ハイインピーダンス制御(PTOUT=1)	
FF31H	R03	R02	R01	R00	R03	1	High	Low	R03出力ポートデータ(FOUTE=0) FOUT出力時は1に固定	
	R/W			R/W	R02	1	High	Low	R02出力ポートデータ(PTOUT=0) TOUT出力時は1に固定	
	R/W				R01	1	High	Low	R01出力ポートデータ	
	R/W				R00	1	High	Low	R00出力ポートデータ	
FF32H	0	0	0	R1HIZ	0 *3	- *2	High-Z	Output	未使用	
	R			R/W	0 *3	- *2			未使用	
	R/W				0 *3	- *2			未使用	
	R/W				R1HIZ	0	High-Z	Output	R1出力ハイインピーダンス制御	
FF33H	R13	R12	R11	R10	R13	1	High	Low	R10 ~ R13出力ポートデータ	
	R/W			R/W	R12	1	High	Low		
	R/W				R11	1	High	Low		
	R/W				R10	1	High	Low		
FF34H	0	0	0	R2HIZ	0 *3	- *2	High-Z	Output	未使用	
	R			R/W	0 *3	- *2			未使用	
	R/W				0 *3	- *2			未使用	
	R/W				R2HIZ	0	High-Z	Output	R2出力ハイインピーダンス制御	
FF35H	R23	R22	R21	R20	R23	1	High	Low	R20 ~ R23出力ポートデータ	
	R/W			R/W	R22	1	High	Low		
	R/W				R21	1	High	Low		
	R/W				R20	1	High	Low		
FF40H	IOC03	IOC02	IOC01	IOC00	IOC03	0	Output	Input	P00 ~ P03 I/O制御レジスタ	
	R/W			R/W	IOC02	0	Output	Input		
	R/W				IOC01	0	Output	Input		
	R/W				IOC00	0	Output	Input		
FF41H	PUL03	PUL02	PUL01	PUL00	PUL03	1	On	Off	P00 ~ P03 ブルアップ制御レジスタ	
	R/W			R/W	PUL02	1	On	Off		
	R/W				PUL01	1	On	Off		
	R/W				PUL00	1	On	Off		
FF42H	P03	P02	P01	P00	P03	- *2	High	Low	P00 ~ P03入出力兼用ポートデータ	
	R/W			R/W	P02	- *2	High	Low		
	R/W				P01	- *2	High	Low		
	R/W				P00	- *2	High	Low		
FF44H	IOC13	IOC12	IOC11	IOC10	IOC13	0	Output	Input	P13 I/O制御レジスタ	
	R/W			R/W	IOC12	0	Output	Input	SIF(スレーブ)選択時、汎用レジスタとして機能	
	R/W				IOC11	0	Output	Input	P12 I/O制御レジスタ(ESIF=0)	
	R/W				IOC10	0	Output	Input	SIF選択時、汎用レジスタとして機能	

表4.1.1(c) I/Oメモリマップ(FF45H ~ FF51H)

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF45H	PUL13	PUL12	PUL11	PUL10	PUL13	1	On	Off	P13ブルアップ制御レジスタ SIF(スレーブ)選択時、汎用レジスタとして機能
					PUL12	1	On	Off	P12ブルアップ制御レジスタ(ESIF=0) SIF(マスター)選択時、汎用レジスタとして機能
					PUL11	1	On	Off	SIF(スレーブ)選択時、SCLK(1)ブルアップ制御レジスタ P11ブルアップ制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能
					PUL10	1	On	Off	P10ブルアップ制御レジスタ(ESIF=0) SIF選択時、SINブルアップ制御レジスタ
FF46H	P13	P12	P11	P10	P13	- *2	High	Low	P13入出力兼用ポートデータ SIF(スレーブ)選択時、汎用レジスタとして機能
					P12	- *2	High	Low	P12入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能
					P11	- *2	High	Low	P11入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能
					P10	- *2	High	Low	P10入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能
FF48H	IOC23	IOC22	IOC21	IOC20	IOC23	0	Output	Input	P20～P23 I/O制御レジスタ
					IOC22	0	Output	Input	
FF49H	PUL23	PUL22	PUL21	PUL20	IOC21	0	Output	Input	P20～P23ブルアップ制御レジスタ
					IOC20	0	Output	Input	
					PUL23	1	On	Off	
					PUL22	1	On	Off	
FF4AH	P23	P22	P21	P20	PUL21	1	On	Off	P20～P23入出力兼用ポートデータ
					PUL20	1	On	Off	
					P23	- *2	High	Low	
					P22	- *2	High	Low	
FF4CH	IOC33	IOC32	IOC31	IOC30	P21	- *2	High	Low	P30～P33 I/O制御レジスタ
					P20	- *2	High	Low	
FF4DH	PUL33	PUL32	PUL31	PUL30	IOC33	0	Output	Input	P30～P33ブルアップ制御レジスタ
					IOC32	0	Output	Input	
					IOC31	0	Output	Input	
					IOC30	0	Output	Input	
FF4EH	P33	P32	P31	P30	PUL33	1	On	Off	P30～P33入出力兼用ポートデータ
					PUL32	1	On	Off	
					PUL31	1	On	Off	
					PUL30	1	On	Off	
FF50H	IOC43	IOC42	IOC41	IOC40	P33	- *2	High	Low	P30～P33入出力兼用ポートデータ
					P32	- *2	High	Low	
					P31	- *2	High	Low	
					P30	- *2	High	Low	
FF51H	PUL43	PUL42	PUL41	PUL40	IOC43	0	Output	Input	汎用レジスタ
					IOC42	0	Output	Input	
					IOC41	0	Output	Input	
					IOC40	0	Output	Input	

表4.1.1(d) I/Oメモリマップ(FF52H ~ FFC1H)

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF52H	P43	P42	P41	P40	P43	- *2	High	Low	P43入出力兼用ポートデータ(PAD3=0) A/Dイネーブル時、汎用レジスタとして機能
					P42	- *2	High	Low	P42入出力兼用ポートデータ(PAD2=0) A/Dイネーブル時、汎用レジスタとして機能
					P41	- *2	High	Low	P41入出力兼用ポートデータ(PAD1=0) A/Dイネーブル時、汎用レジスタとして機能
					P40	- *2	High	Low	P40入出力兼用ポートデータ(PAD0=0) A/Dイネーブル時、汎用レジスタとして機能
FF60H	R/W				LDUTY1	0			LCD駆動デューティ [LDUTY1, 0] 0 1 2, 3
	LDUTY1	LDUTY0	VCCHG	LPWR	LDUTY0	0			切り替え
					VCCHG	0			汎用レジスタ(予約レジスタ)
					LPWR	0	On	Off	LCD電源On/Off
FF61H	0	ALOFF	ALON	STCD	0 *3	- *2	All Off	Normal	未使用
					Aloff	1	All On	Normal	LCD全消灯制御
	R	R/W			ALON	0	Static	Normal	LCD全点灯制御
					STCD	0	Dynamic	Dynamic	コモン出力信号制御
FF64H	0	ENON	BZFQ	BZON	0 *3	- *2	On	Off	未使用
					ENON	0	2kHz	4kHz	2HzインターバルOn/Off制御
	R	R/W			BZFQ	0	On	Off	ブザー周波数選択
					BZON	0			ブザー出力On/Off制御
FF70H	0	ESOUT	SCTRG	ESIF	0 *3	- *2	Enable	Disable	未使用
					ESOUT	0	Trigger	Invalid	SOUT制御
	R	R/W			SCTRG	0	Run	Stop	シリアルI/Fクロックトリガ(書き込み時)
					ESIF	0	I/O		シリアルI/Fクロックステータス(読み出し時)
FF71H	R/W				SDP	0	MSB first	LSB first	シリアルI/Fデータ入出力順列
	SDP	SCPS	SCS1	SCS0	SCPS	0	↑	↑	シリアルI/Fクロックフェーズ選択 [SCS1, 0] 0 1
					SCS1	0			シリアルI/F [SCS1, 0] 2 3
					SCS0	0			クロックモード選択 クロック OSC1/2 OSC1
FF72H	SD3	SD2	SD1	SD0	SD3	- *2	High	Low	MSB
					SD2	- *2	High	Low	シリアルI/F送受信データ(下位4ビット)
	R/W				SD1	- *2	High	Low	
					SD0	- *2	High	Low	LSB
FF73H	SD7	SD6	SD5	SD4	SD7	- *2	High	Low	MSB
					SD6	- *2	High	Low	シリアルI/F送受信データ(上位4ビット)
	R/W				SD5	- *2	High	Low	
					SD4	- *2	High	Low	LSB
FF78H	0	0	TMRST	TMRUN	0 *3	- *2			未使用
					0 *3	- *2			未使用
	R/W				TMRST ^{*3}	Reset	Reset	Run	計時タイマリセット(書き込み時)
					TMRUN	0			計時タイマRun/Stop
FF79H	TM3	TM2	TM1	TM0	TM3	0			計時タイマデータ(16Hz)
					TM2	0			計時タイマデータ(32Hz)
	R				TM1	0			計時タイマデータ(64Hz)
					TM0	0			計時タイマデータ(128Hz)
FF7AH	TM7	TM6	TM5	TM4	TM7	0			計時タイマデータ(1Hz)
					TM6	0			計時タイマデータ(2Hz)
	R				TM5	0			計時タイマデータ(4Hz)
					TM4	0			計時タイマデータ(8Hz)
FFC0H	MODE16	EVCNT	FCSEL	PLPOL	MODEL16	0	16bit × 1	8bit × 2	タイマモード選択(8ビット×2または16ビット×1)
					EVCNT	0	Event ct.	Timer	タイマ0カウンタモード選択
	R/W				FCSEL	0	With NR	No NR	タイマ0機能選択(イベントカウンタモード時)
					PLPOL	0	↑	↓	タイマ0パルス極性選択(イベントカウンタモード時)
FFC1H	CHSEL	PTOUT	CKSEL1	CKSEL0	CHSEL	0	Timer1	Timer0	TOUT出力チャンネル選択
					PTOUT	0	On	Off	TOUT出力制御
	R/W				CKSEL1	0	OSC3	OSC1	プリスケーラ1原振クロック選択
					CKSEL0	0	OSC3	OSC1	プリスケーラ0原振クロック選択

表4.1.1(e) I/Oメモリマップ(FFC2H ~ FFD3H)

アドレス	レジスタ				Name	Init *1	1	0	注釈					
	D3	D2	D1	D0										
FFC2H	PTPS01	PTPS00	PTRST0	PTRUN0	PTPS01	0			プリスケーラ0 [PTPS01, 00] 0 1 2 3 分周比選択 分周比 1/1 1/4 1/32 1/256 PTRST0*3 PTRUN0					
	R/W		W	R/W	PTPS00	0	Reset	Invalid	タマリセット(リロード) タマ0 Run/Stop					
	PTPS11	PTPS10	PTRST1	PTRUN1	PTPS11	0			プリスケーラ1 [PTPS11, 10] 0 1 2 3 分周比選択 分周比 1/1 1/4 1/32 1/256 PTRST1*3 PTRUN1					
	R/W		W	R/W	PTPS10	0	Reset	Invalid	タマリセット(リロード) タマ1 Run/Stop					
FFC4H	RLD03	RLD02	RLD01	RLD00	RLD03	0			MSB プログラマブルタマ0リロードデータ(下位4ビット) LSB					
	R/W				RLD02	0			MSB プログラマブルタマ0リロードデータ(上位4ビット) LSB					
	RLD07	RLD06	RLD05	RLD04	RLD07	0			MSB プログラマブルタマ0リロードデータ(上位4ビット) LSB					
	R/W				RLD06	0			MSB プログラマブルタマ1リロードデータ(下位4ビット) LSB					
FFC5H	RLD13	RLD12	RLD11	RLD10	RLD13	0			MSB プログラマブルタマ1リロードデータ(上位4ビット) LSB					
	R/W				RLD12	0			MSB プログラマブルタマ1リロードデータ(上位4ビット) LSB					
	RLD17	RLD16	RLD15	RLD14	RLD17	0			MSB プログラマブルタマ1リロードデータ(上位4ビット) LSB					
	R/W				RLD16	0			MSB プログラマブルタマ1リロードデータ(上位4ビット) LSB					
FFC6H	PTD03	PTD02	PTD01	PTD00	PTD03	0			MSB プログラマブルタマ0データ(下位4ビット) LSB					
	R				PTD02	0			MSB プログラマブルタマ0データ(下位4ビット) LSB					
	PTD07	PTD06	PTD05	PTD04	PTD06	0			MSB プログラマブルタマ0データ(上位4ビット) LSB					
	R				PTD05	0			MSB プログラマブルタマ1データ(下位4ビット) LSB					
FFCAH	PTD13	PTD12	PTD11	PTD10	PTD13	0			MSB プログラマブルタマ1データ(上位4ビット) LSB					
	R				PTD12	0			MSB プログラマブルタマ1データ(上位4ビット) LSB					
	PTD17	PTD16	PTD15	PTD14	PTD17	0			MSB プログラマブルタマ1データ(上位4ビット) LSB					
	R				PTD16	0			MSB プログラマブルタマ1データ(上位4ビット) LSB					
FFCBH	ADRUN	ADCLK	CHS1	CHS0	ADRUN	0	Start	Invalid	A/D変換器Run/Off制御 A/D変換器入力選択 A/D変換器入力 [CHS1, 0] 0 1 2 3 チャンネル選択 入力チャンネル P40 P41 P42 P43					
	R/W				ADCLK	0	OSC3	OSC1	A/D変換器入力選択 A/D変換器入力 [CHS1, 0] 0 1 2 3 チャンネル選択 入力チャンネル P40 P41 P42 P43					
	PAD3	PAD2	PAD1	PAD0	PAD3	0	Enable	Disable	P43入力チャンネル制御 P42入力チャンネル制御 P41入力チャンネル制御 P40入力チャンネル制御					
	R/W				PAD2	0	Enable	Disable	P43入力チャンネル制御 P42入力チャンネル制御 P41入力チャンネル制御 P40入力チャンネル制御					
FFD2H	ADDR3	ADDR2	ADDR1	ADDR0	ADDR3	-*2			A/D変換データ(D0 ~ D3)					
	R				ADDR2	-*2			A/D変換データ(D0 ~ D3)					
	ADDR1	ADDR0			ADDR1	-*2			A/D変換データ(D4 ~ D7)					
	R				ADDR0	-*2			A/D変換データ(D4 ~ D7)					
FFD3H	ADDR7	ADDR6	ADDR5	ADDR4	ADDR7	-*2			A/D変換データ(D4 ~ D7)					
	R				ADDR6	-*2			A/D変換データ(D4 ~ D7)					
	ADDR5	ADDR4			ADDR5	-*2			A/D変換データ(D4 ~ D7)					
	R				ADDR4	-*2			A/D変換データ(D4 ~ D7)					

表4.1.1(f) I/Oメモリマップ(FFE2H ~ FFF7H)

アドレス	レジスタ				Name	Init *1	1	0	注釈
	D3	D2	D1	D0					
FFE2H	0	0	EIPT1	EIPT0	0 *3	- *2	Enable	Mask	未使用
	R	R	R/W		0 *3	- *2			未使用
FFE3H	0	0	0	EISIF	0 *3	- *2	Enable	Mask	割り込みマスクレジスタ(プログラマブルタイマ1)
	R	R	R/W		0 *3	- *2			割り込みマスクレジスタ(プログラマブルタイマ0)
FFE4H	0	0	0	EIK0	0 *3	- *2	Enable	Mask	未使用
	R	R	R/W		0 *3	- *2			未使用
FFE5H	0	0	EIK2	EIK1	0 *3	- *2	Enable	Mask	未使用
	R	R	R/W		0 *3	- *2			未使用
FFE6H	EIT3	EIT2	EIT1	EIT0	EIT3	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ1Hz)
	R	R	R/W		EIT2	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ2Hz)
FFE7H	0	0	0	EIAD	0 *3	- *2	Enable	Mask	割り込みマスクレジスタ(計時タイマ8Hz)
	R	R	R/W		0 *3	- *2			割り込みマスクレジスタ(計時タイマ16Hz)
FFF2H	0	0	IPT1	IPT0	0 *3	- *2	(R)	(R)	未使用
	R	R	R/W		0 *3	- *2			未使用
FFF3H	0	0	0	ISIF	0 *3	- *2	(W)	No	未使用
	R	R	R/W		0 *3	- *2			未使用
FFF4H	0	0	0	IK0	0 *3	- *2	(R)	(R)	未使用
	R	R	R/W		0 *3	- *2			未使用
FFF5H	0	0	IK2	IK1	0 *3	- *2	(R)	(R)	未使用
	R	R	R/W		0 *3	- *2			未使用
FFF6H	IT3	IT2	IT1	IT0	IT3	0	(R)	(R)	割り込み要因フラグ(計時タイマ1Hz)
	R	R	R/W		IT2	0	Yes	No	割り込み要因フラグ(計時タイマ2Hz)
FFF7H	0	0	0	IAD	0 *3	- *2	(W)	(W)	割り込み要因フラグ(計時タイマ8Hz)
	R	R	R/W		0 *3	- *2			割り込み要因フラグ(計時タイマ16Hz)
FFF7H	0	0	0	IAD	0 *3	- *2	(R)	(R)	未使用
	R	R	R/W		0 *3	- *2			未使用
FFF7H	0	0	0	IAD	0 *3	- *2	(W)	(W)	未使用
	R	R	R/W		0 *3	- *2			未使用

4.2 ウオッチドッグタイマ

4.2.1 ウオッチドッグタイマの構成

S1C6P366はOSC1分周クロック256Hzを原振とするウオッチドッグタイマを内蔵しています。ウオッチドッグタイマはイニシャルリセット時に動作状態に設定されますが、ソフトウェアにより動作を停止させることができます。ウオッチドッグタイマが動作中はソフトウェアにより周期的にリセットする必要があり、3~4秒以上リセットが行われない場合、CPUに対してノンマスカブル割り込み(NMI)を発生します。

図4.2.1.1にウオッチドッグタイマのブロック図を示します。

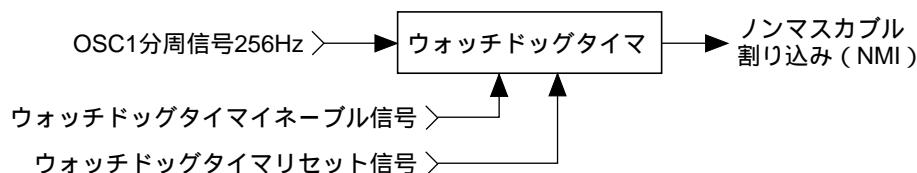


図4.2.1.1 ウオッチドッグタイマのブロック図

ウオッチドッグタイマは10ビットのバイナリカウンタで構成され、最終段0.25Hzのオーバーフローによってノンマスカブル割り込みを発生します。

プログラムのメインルーチン上でウオッチドッグタイマのリセット処理をすることにより、メインルーチンのウオッチドッグタイマ処理を通らないようなプログラムの暴走を検出することができます。通常はこのルーチンをタイマ割り込みルーチンのように、定期的に処理される箇所に組み込みます。

なお、ウオッチドッグタイマはHALT時も動作しており、HALT状態を3~4秒間続けるとノンマスカブル割り込みによりHALT状態が解除されます。

4.2.2 割り込み機能

ウオッチドッグタイマがソフトウェアによって周期的にリセットされない場合、コアCPUに対してノンマスカブル(NMI)割り込みが発生します。この割り込みはマスク不可能で、割り込み禁止状態(Iフラグ="0")でも受け付けられます(イニシャルリセット直後やスタックポインタ再設定時など、SP1およびSP2がペアで設定されるまでの割り込みマスク状態は除きます)。

NMIの割り込みベクタはプログラムメモリの0100Hに設定されています。

4.2.3 ウオッチドッグタイマのI/Oメモリ

表4.2.3.1にウォッチドッグタイマの制御ビットとそのアドレスを示します。

表4.2.3.1 ウォッチドッグタイマの制御ビット

アドレス	レジスタ								注釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF07H	0	0	WDEN	WDRST	0 *3 0 *3	- *2 - *2			未使用 未使用
	R	R/W	W		WDEN WDRST *3	1 Reset	Enable Reset	Disable Invalid	ウォッチドッグタイママイネーブル ウォッチドッグタイマリセット(書き込み時)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

WDEN: ウォッチドッグタイママイネーブルレジスタ(FF07H·D1)

ウォッチドッグタイマを使用する(イネーブル)かしない(ディセーブル)か選択します。

"1"書き込み: イネーブル

"0"書き込み: ディセーブル

読み出し: 可能

WDENレジスタに"1"を書き込むことによりウォッチドッグタイマはイネーブルとなり、カウント動作を行います。

"0"を書き込んだ場合はディセーブルとなり、カウント動作および割り込み(NMI)の発生も行いません。

イニシャルリセット時、このレジスタは"1"にセットされます。

WDRST: ウォッチドッグタイマリセット(FF07H·D0)

ウォッチドッグタイマをリセットするビットです。

"1"書き込み: ウォッチドッグタイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

WDRSTに"1"を書き込むことによりウォッチドッグタイマはリセットされ、その直後リスタートします。"0"の書き込みはノーオペレーションとなります。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

4.2.4 プログラミング上の注意事項

- (1)ウォッチドッグタイマを使用する場合、3秒周期以内にソフトウェアでウォッチドッグタイマをリセットする必要があります。
- (2)イニシャルリセットにより、ウォッチドッグタイマは動作状態に設定されますので、使用しない場合は割り込み(NMI)発生前にウォッチドッグタイマをディセーブル(使用しない)に設定してください。

4.3 発振回路

4.3.1 発振回路の構成

S1C6P366は2系統の発振回路(OSC1とOSC3)を内蔵しています。このうちOSC1は水晶発振回路で、CPUおよび周辺回路に動作クロックを供給します。また、OSC3はCRまたはセラミック発振回路で、高速動作が要求される処理が必要な場合に、CPUの動作クロックをソフトウェアによりOSC1からOSC3に切り換えて使用します。

図4.3.1.1に発振系のブロック図を示します。

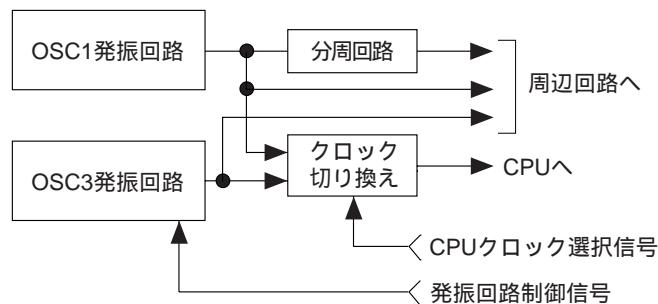


図4.3.1.1 発振系のブロック図

4.3.2 OSC1発振回路

OSC1発振回路はCPUおよび周辺回路用のメインクロックを発生します。発振回路の種類は水晶発振回路で、発振周波数は32.768kHz(Typ.)です。

図4.3.2.1にOSC1発振回路のブロック図を示します。

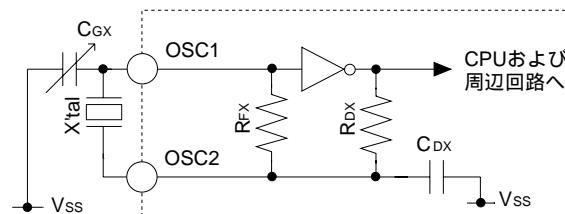


図4.3.2.1 OSC1発振回路

図4.3.2.1に示すとおり、OSC1端子とOSC2端子間に32.768kHz(Typ.)の水晶振動子(X'tal)を、OSC1端子とVss間に5~25pFのトリマコンデンサ(C_{GX})をそれぞれ接続することにより、容易に水晶発振回路を構成することができます。

4.3.3 OSC3発振回路

S1C6P366はCPUを高速動作させるためのサブクロック、および高速クロックを必要とする周辺回路(プログラマブルタイマ、FOUT出力)のソースクロックを発生するOSC3発振回路を内蔵しています。この発振回路にはCR(Typ. 1.8MHz)またはセラミック発振回路(Max. 4MHz セラミック発振回路)をマスクオプションで選択できます。CR発振選択時は外付素子として抵抗が、セラミック発振選択時はセラミック振動子とコンデンサ2個(ゲート容量とドレイン容量)が必要となります。

図4.3.3.1にOSC3発振回路のブロック図を示します。

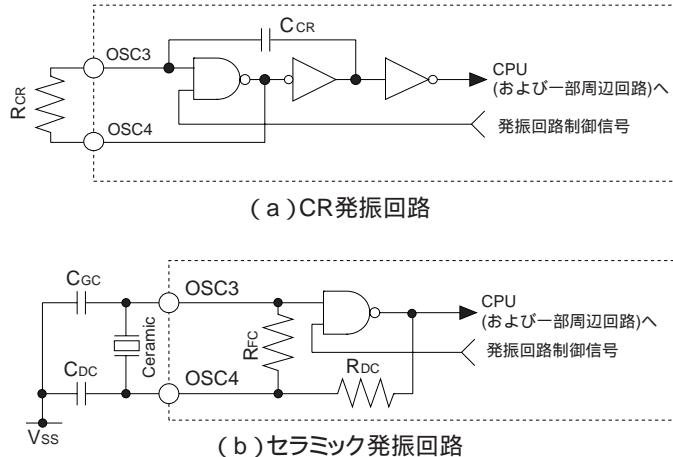


図4.3.3.1 OSC3発振回路

図4.3.3.1に示すとおり、CR発振を選択した場合はOSC3端子とOSC4端子間に抵抗(R_{CR})を接続するだけでCR発振回路を構成できます。 R_{CR} の抵抗値については"9 電気的特性"を参照してください。

セラミック発振を選択した場合はOSC3端子とOSC4端子間にセラミック振動子(Max. 4MHz)を、同OSC3、OSC4端子とVss間にコンデンサを2個(C_{GC} 、 C_{DC})それぞれ接続することでセラミック発振回路を構成できます。 C_{GC} 、 C_{DC} は共に100pF程度のものを接続してください。

このOSC3発振回路は消費電流を低減するために、使用しないときはソフトウェア(OSCCLレジスタ)によって発振を停止させることができます。

4.3.4 動作電圧について

S1C6P366は発振回路の動作を安定化するため、発振回路用電圧V_{D1}をIC内部で発生します。

S1C6P366では、内部定電圧V_{D1}は発振回路にのみ使用され、その電圧値も次のように1レベルに固定されます。

V_{D1}出力電圧 = 2.05±0.3V

このため、マスクROM版で有効なI/OメモリのVDCレジスタ(FF00H・D0)の設定は無効になり、レジスタの設定値は、V_{D1}の出力電圧レベルに影響を与えません。

S1C6P366をS1C63358、S1C63158の開発ツールとして使用する場合は、それぞれの機種の"テクニカルマニュアル"を参照し、VDCレジスタによる動作電圧の切り換え制御を行ってください。

また、S1C6P366では、OSC1発振回路以外の周辺回路(OSC3発振回路も含む)はV_{DD}–V_{SS}間の電源電圧で動作します。

4.3.5 動作クロックの切り換え

OSC1とOSC3のどちらをCPUのシステムクロックとして使用するかソフトウェア(CLKCHGレジスタ)によって切り換えます。

CPUのシステムクロックとしてOSC3を使用する場合は、OSC3の発振をONした後、発振が安定する5msec以上の時間をおいてクロックの切り換えを行ってください。

OSC3からOSC1に切り換える場合は、クロックを切り換え後にOSC3発振をOFFします。

OSC1 OSC3

1. OSCCIに"1"を設定(OSC3発振ON)

2. 5msec以上保持

3. CLKCHGに"1"を設定(OSC1 OSC3)

OSC3 OSC1

1. CLKCHGに"0"を設定(OSC3 OSC1)

2. OSCCIに"0"を設定(OSC3発振OFF)

4.3.6 クロック周波数とインストラクション実行時間

表4.3.6.1に各クロックの周波数によるインストラクションの実行時間を示します。

表4.3.6.1 クロック周波数とインストラクション実行時間

クロック周波数	インストラクション実行時間(μsec)		
	1サイクル命令	2サイクル命令	3サイクル命令
OSC1: 32.768kHz	61	122	183
OSC3: 4MHz	0.5	1	1.5

4.3.7 発振回路のI/Oメモリ

表4.3.7.1に発振回路の制御ビットとそのアドレスを示します。

表4.3.7.1 発振回路の制御ビット

アドレス	レジスタ								注　記
	D3	D2	D1	D0	Name	Init *1	1	0	
FF00H	CLKCHG	OSCC	0	VDC	CLKCHG OSCC 0 *3 VDC	0 0 - *2 0	OSC3 On (OSC3)	OSC1 Off (OSC1)	CPUクロック切り換え OSC3発振On/Off 未使用 動作電圧切り換え
	R/W	R	R/W						

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

VDC: 動作電圧切り換えレジスタ(FF00H·D0)

S1C6P366では、このレジスタの値はVD1出力電圧に影響を与えません。ただし、CLKCHGレジスタによるCPUクロックの切り換え制御に影響しますので注意が必要です。

S1C6P366をS1C63358、S1C63158の開発ツールとして使用する場合は、それぞれの機種の"テクニカルマニュアル"を参照し、各機種に対応した制御を行ってください。

イニシャルリセット時、このレジスタは"0"に設定されます。

OSCC: OSC3発振制御レジスタ(FF00H·D2)

OSC3発振回路の発振ON、OFFを制御します。

"1"書き込み: OSC3発振ON

"0"書き込み: OSC3発振OFF

読み出し: 可能

CPUを高速に動作させる必要のある場合にOSCCを"1"とし、それ以外の場合は、消費電流低減のため"0"としてください。

イニシャルリセット時、このレジスタは"0"に設定されます。

CLKCHG: CPUクロック切り換えレジスタ(FF00H·D3)

CPUの動作クロックを選択します。

"1"書き込み: OSC3クロックを選択

"0"書き込み: OSC1クロックを選択

読み出し: 可能

CPUの動作クロックをOSC3にする場合にCLKCHGを"1"に設定してください。OSC3発振をON(OSCC = "1")にした直後は5msec以上の時間をおいてからクロックの切り換えを行ってください。

CLKCHGを"0"に設定した場合はOSC1クロックが選択されます。

なお、VDC="0"の場合、およびOSC3発振がOFF(OSCC = "0")の場合はCLKCHG="1"の設定は無効となり、OSC3への切り換えは行われません。

イニシャルリセット時、このレジスタは"0"に設定されます。

4.3.8 プログラミング上の注意事項

- (1) OSC3発振回路がONしてから発振が安定するまでに、5msec以上を必要とします。したがって、CPUの動作クロックをOSC1からOSC3に切り換える際は、OSC3発振ONの後、5msec以上経過してから行ってください。また、発振安定時間は外付け発振子の特性および使用条件等により異なりますので、十分マージンを取って待ち時間を設定してください。
- (2) OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々のインストラクションで行ってください。1インストラクションで、同時に処理するとCPUの誤動作につながります。
- (3) S1C6P366では、VDCレジスタの値はVD1出力電圧に影響を与えません。ただし、このレジスタが"0"の場合、CLKCHGレジスタによってCPUクロックをOSC1からOSC3に切り換えることができないので注意が必要です。
S1C6P366をS1C63358、S1C63158の開発ツールとして使用する場合は、それぞれの機種の"テクニカルマニュアル"を参照し、各機種に対応した制御を行ってください。

4.4 入力ポート(K00 ~ K03, K10 ~ K13, K20)

4.4.1 入力ポートの構成

S1C6P366は9ビットのプルアップ抵抗付き汎用入力ポートを内蔵しています。

入力ポートの構造を図4.4.1.1(K00 ~ K03, K10 ~ K13)および図4.4.1.2(K20)に示します。

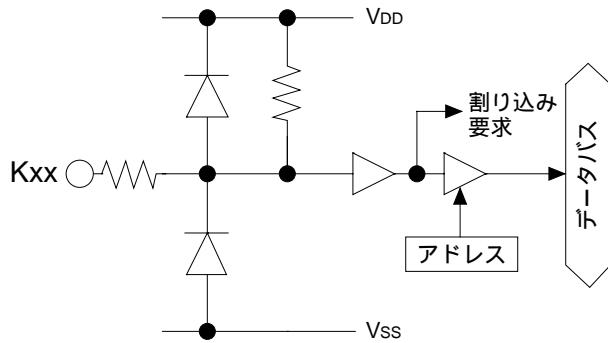


図4.4.1.1 入力ポートの構造(K00 ~ K03, K10 ~ K13)

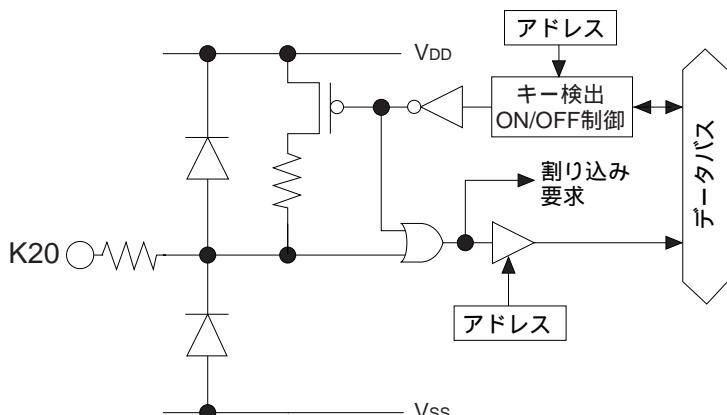


図4.4.1.2 入力ポートの構造(K20)

4.4.2 割り込み機能

入力ポート9ビット(K00 ~ K03, K10 ~ K13, K20)は、すべて割り込み機能を持っており、割り込み発生条件はソフトウェアで設定することができます。また、割り込みをマスクするかしないかを、同様にソフトウェアで設定することができます。入力割り込みはK0(K00 ~ K03), K1(K10 ~ K13), K20の3系統に分けられます。図4.4.2.1にK00 ~ K03(K10 ~ K13)、図4.4.2.2にK20割り込み回路の構成図を示します。

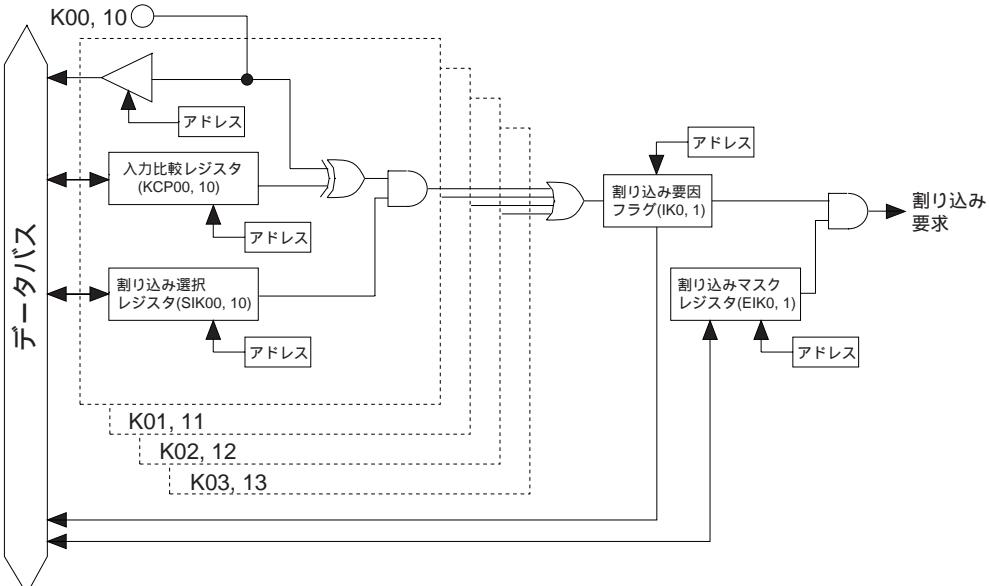


図4.4.2.1 入力割り込み回路構成(K00 ~ K03, K10 ~ K13)

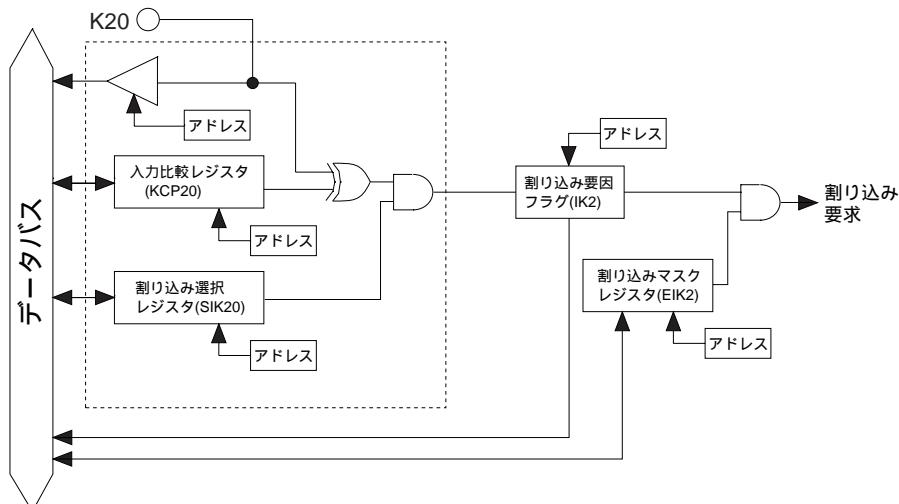


図4.4.2.2 入力割り込み回路構成(K20)

入力ポートK00 ~ K03, K10 ~ K13およびK20には個々に割り込み選択レジスタ(SIK)および入力比較レジスタ(KCP)が設定されており、割り込みを発生させる端子と割り込みタイミングを指定することができます。割り込み選択レジスタ(SIK00 ~ SIK03, SIK10 ~ SIK13, SIK20)は、K00 ~ K03, K10 ~ K13およびK20のどの入力を割り込みに使用するかを選択します。割り込み選択レジスタに"1"を書き込むことにより、その入力ポートを割り込み発生条件に組み込みます。割り込み選択レジスタが"0"に設定されている入力ポートの変化は割り込みの発生に影響を与えません。

入力割り込みタイミングは、入力比較レジスタ(KCP00 ~ KCP03, KCP10 ~ KCP13, KCP20)の設定値により、割り込みを入力の立ち上がりエッジで発生させるか、立ち下がりエッジで発生させるかを選択することができます。

この2つの条件設定により、K00 ~ K03, K10 ~ K13(4ビット単位)およびK20の割り込みは入力選択レジスタで割り込みが許可されている入力ポートと入力比較レジスタの内容が一致状態から不一致状態に変化したときに割り込みが発生します。

また、割り込みマスクレジスタ(EIK0, EIK1, EIK2)により、それぞれの割り込みのマスクを選択することができます。

割り込みが発生した際には、割り込み要因フラグ(IK0, IK1, IK2)が"1"にセットされます。

図4.4.2.3にK00 ~ K03割り込み発生例を示します。

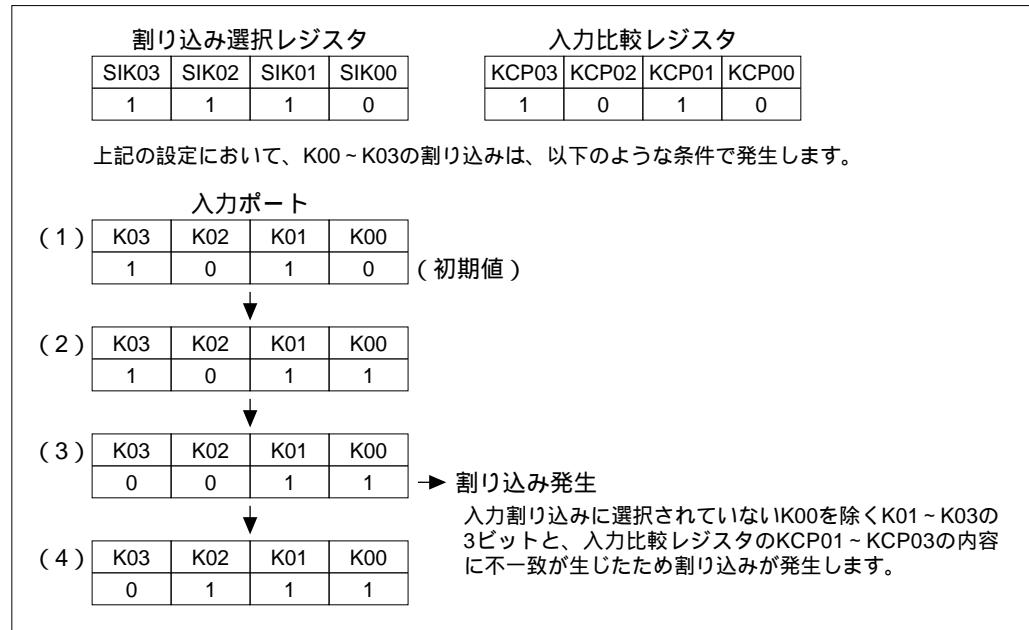


図4.4.2.3 K00 ~ K03割り込み発生例

K00は割り込み選択レジスタ(SIK00)によって割り込みが禁止されているため、(2)の時点では割り込みは発生しません。次に(3)でK03が"0"になるため、割り込みが許可されている端子のデータと入力比較レジスタのデータとの不一致により割り込みが発生します。ただし、割り込みマスクレジスタ(EIK0)によってK00 ~ K03入力割り込みがイネーブルに設定されている必要があります。

前述のとおり、ポートデータと入力比較レジスタの内容が一致状態から不一致状態に変化することが割り込み発生条件となるため、(4)のように不一致状態から、別の不一致状態に変化しても割り込みは発生しません。また、割り込みが禁止されている端子は割り込み発生条件に影響を与えません。

4.4.3 マスクオプション

S1C6P366の入力ポートは、すべてプルアップ抵抗付きの仕様に固定されています。

4.4.4 入力ポートのI/Oメモリ

表4.4.4.1に入力ポートの制御ビットとそのアドレスを示します。

表4.4.4.1 入力ポートの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF20H	SIK03	SIK02	SIK01	SIK00	SIK03	0	Enable	Disable	K00～K03割り込み選択レジスタ
					SIK02	0	Enable	Disable	
					SIK01	0	Enable	Disable	
					SIK00	0	Enable	Disable	
FF21H	R/W				K03	- *2	High	Low	K00～K03入力ポートデータ
	K03	K02	K01	K00	K02	- *2	High	Low	
					K01	- *2	High	Low	
					K00	- *2	High	Low	
FF22H	R/W				KCP03	1	↓	↑	K00～K03入力比較レジスタ
	KCP03	KCP02	KCP01	KCP00	KCP02	1	↓	↑	
					KCP01	1	↓	↑	
					KCP00	1	↓	↑	
FF24H	R/W				SIK13	0	Enable	Disable	K10～K13割り込み選択レジスタ
	SIK13	SIK12	SIK11	SIK10	SIK12	0	Enable	Disable	
					SIK11	0	Enable	Disable	
					SIK10	0	Enable	Disable	
FF25H	R				K13	- *2	High	Low	K10～K13入力ポートデータ
	K13	K12	K11	K10	K12	- *2	High	Low	
					K11	- *2	High	Low	
					K10	- *2	High	Low	
FF26H	R/W				KCP13	1	↓	↑	K10～K13入力比較レジスタ
	KCP13	KCP12	KCP11	KCP10	KCP12	1	↓	↑	
					KCP11	1	↓	↑	
					KCP10	1	↓	↑	
FF28H	0	0	0	SIK20	0 *3	- *2			未使用 未使用 未使用 K20割り込み選択レジスタ
					0 *3	- *2			
					0 *3	- *2			
					SIK20	0	Enable	Disable	
FF29H	R			R/W	0 *3	- *2			未使用 未使用 未使用 K20入力ポートデータ
	0	0	0		0 *3	- *2			
					0 *3	- *2			
					K20	- *2	High	Low	
FF2AH	R			R/W	0 *3	- *2			未使用 未使用 未使用 K20入力比較レジスタ
	0	0	0		0 *3	- *2			
					0 *3	- *2			
					KCP20	1	↓	↑	
FF2BH	R			R/W	0 *3	- *2			未使用 未使用 未使用 キー検出On/Off制御
	0	0	0		0 *3	- *2			
					0 *3	- *2			
					SENON	1	On	Off	
FFE4H	R			R/W	0 *3	- *2			未使用 未使用 未使用 割り込みマスクレジスタ(K00～K03)
	0	0	0		0 *3	- *2			
					0 *3	- *2			
					EIK0	0	Enable	Mask	
FFE5H	R			R/W	0 *3	- *2			未使用 未使用 割り込みマスクレジスタ(K20) 割り込みマスクレジスタ(K10～K13)
	0	0	EIK2	EIK1	0 *3	- *2			
					EIK2	0	Enable	Mask	
					EIK1	0	Enable	Mask	
FFF4H	R			R/W	0 *3	- *2	(R)	(R)	未使用 未使用 未使用 割り込み要因フラグ(K00～K03)
	0	0	0		0 *3	- *2	Yes	No	
					0 *3	- *2	(W)	(W)	
					IK0	0	Reset	Invalid	
FFF5H	R			R/W	0 *3	- *2	(R)	(R)	未使用 未使用 割り込み要因フラグ(K20) 割り込み要因フラグ(K10～K13)
	0	0	IK2	IK1	0 *3	- *2	Yes	No	
					IK2	0	Reset	Invalid	
					IK1	0	Reset	Invalid	

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

K00 ~ K03: K0入力ポートデータ(FF21H)

K10 ~ K13: K1入力ポートデータ(FF25H)

K20: K20入力ポートデータ(FF29H·D0)

入力ポート端子の入力データが読み出せます。

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

書き込み: 無効

入力ポート9ビット(K00 ~ K03、K10 ~ K13、K20)の端子電圧がそれぞれHIGH(VDD)レベルのとき"1"、LOW(Vss)レベルのとき"0"として読み出せます。

これらのビットは読み出し専用のため、書き込み動作は無効となります。

SIK00 ~ SIK03: K0ポート割り込み選択レジスタ(FF20H)

SIK10 ~ SIK13: K1ポート割り込み選択レジスタ(FF24H)

SIK20: K20ポート割り込み選択レジスタ(FF28H·D0)

K00 ~ K03、K10 ~ K13およびK20入力割り込みに使用するポートを選択します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

割り込み選択レジスタ(SIK00 ~ SIK03、SIK10 ~ SIK13、SIK20)に"1"を書き込んだ入力ポート(K00 ~ K03、K10 ~ K13、K20)の割り込みを許可します。"0"に設定した入力ポートは割り込みの発生条件には影響を与えません。

イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

KCP00 ~ KCP03: K0ポート入力比較レジスタ(FF22H)

KCP10 ~ KCP13: K1ポート入力比較レジスタ(FF26H)

KCP20: K20ポート入力比較レジスタ(FF2AH·D0)

割り込み発生タイミングを設定します。

"1"書き込み: 立ち下がりエッジ

"0"書き込み: 立ち上がりエッジ

読み出し: 可能

入力ポートは入力比較レジスタ(KCP00 ~ KCP03、KCP10 ~ KCP13、KCP20)によって、割り込みの発生タイミングを入力の立ち上がりエッジとするか立ち下がりエッジとするか、1ビットごとに選択できます。

KCP00 ~ KCP03については、SIK00 ~ SIK03レジスタによってK00 ~ K03の中の割り込みが許可されるいるポートとのみ比較が行われます。同様にKCP10 ~ KCP13は、SIK10 ~ SIK13レジスタによってK10 ~ K13の中の割り込みが許可されているポートとのみ比較が行われます。K20についてはSIK20で割り込みが許可されている場合に、K20端子がKCP20の設定に従って変化すると割り込みが発生します。

イニシャルリセット時、これらのレジスタはすべて"1"に設定されます。

EIK0: K0入力割り込みマスクレジスタ(FFE4H·D0)

EIK1: K1入力割り込みマスクレジスタ(FFE5H·D0)

EIK2: K20入力割り込みマスクレジスタ(FFE5H·D1)

入力ポートの割り込みについて、マスクするかしないかを選択します。

"1"書き込み: イネーブル

"0"書き込み: マスク

読み出し: 可能

入力ポートの3つの系列(K00 ~ K03、K10 ~ K13、K20)に対して、割り込みをマスクするかしないかを、これらのレジスタにより選択できます。

イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

IK0: K0入力割り込み要因フラグ(FFF4H・D0)
 IK1: K1入力割り込み要因フラグ(FFF5H・D0)
 IK2: K20入力割り込み要因フラグ(FFF5H・D1)
 入力割り込みの発生状態を示すフラグです。

- "1"読み出し: 割り込み有
- "0"読み出し: 割り込み無
- "1"書き込み: 要因フラグをリセット
- "0"書き込み: 無効

割り込み要因フラグIK0、IK1、IK2はそれぞれK00～K03、K10～K13、K20の入力割り込みに対応します。これらのフラグによって入力割り込みの有無を、ソフトウェアで判断することができます。

割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず割り込み条件の成立により"1"にセットされます。ただし、割り込みがマスクされている場合はCPUに対して割り込みは発生しません。これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(「フラグ="1"」)に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット(「1」書き込み)を行ってください。イニシャルリセット時、これらのフラグは"0"に設定されます。

SENON: K20ポートキー検出ON/OFF制御レジスタ(FF2BH・D0)
 キー検出機能を制御します。

- "1"書き込み: ON
- "0"書き込み: OFF
- 読み出し: 可能

K20を汎用入力ポートとして使用する場合は、SENONを"1"(ON)に固定してください。

A/D変換器を使用したキー検出機能を使用する場合は、キーの検出開始時にSENONを"1"に設定します。図4.4.4.1に示した回路例で、キーが押されるとK20ポートはCPUに対して割り込みを発生します。その割り込みを利用してSENONを"0"に戻し、出力ポートを使用して外部N-P-NトランジスタをONさせます。さらにA/D変換器による変換を開始させます。A/D変換器は押されたキーによって変わる入力電圧をデジタル値に変換します。その結果をソフトウェアで読み出すことによって、押されたキーを識別することができます。キー検出時以外は、消費電流を低減させるため、SENONを"0"にしてください。

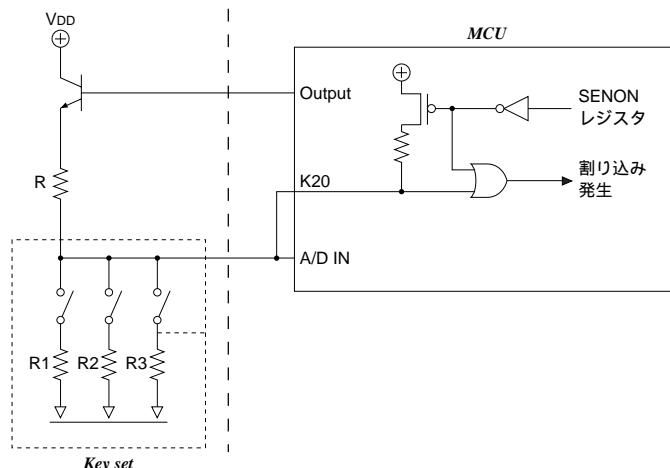


図4.4.4.1 キー位置検出回路

図はキーセットとMCU間を2本の信号線のみで接続し、押されたキーを識別する回路例です。MCUから離れた場所にあるキーセットを少ない信号線で接続する必要があるシステムに有効です。

回路説明

各キーはそれぞれに異なる抵抗を介してグラウンドに接続されます。したがって、押されたキーによって異なる電圧を発生します。すべてのキーの共通線がK20に接続されていますので、いずれかのキーが押されるとK20入力割り込みが発生します。そこで1つの出力ポートを利用して外部トランジスタをONさせ、A/D変換器を動作させると、押されたキーに接続された抵抗により電圧が発生しA/D変換器によってデジタル値に変換されます。この結果から、押されたキーをソフトウェアで識別できます。

4.4.5 プログラミング上の注意事項

- (1)入力ポートをLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の時定数によって波形立ち上がりに遅延が生じます。このため、入力ポートの取り込みを行う際は、適切な待ち時間設定してください。
特に、キーマトリクス構成時のキースキヤン等に注意が必要です。
この待ち時間は次の式で算出される時間以上としてください。

$$10 \times C(\text{端子容量}5\text{pF} + \text{寄生容量}?\text{pF}) \times R(\text{プルアップ抵抗}300\text{k}\Omega)$$
- (2)K13端子はプログラマブルタイマの入力クロック端子としての機能も兼ねることがあり、入力ポート機能と入力信号が共有されます。そのため、K13端子をプログラマブルタイマの入力クロック端子に設定した場合、割り込み等の設定には十分注意してください。
- (3)割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(!フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.5 出力ポート(R00 ~ R03, R10 ~ R13, R20 ~ R23)

4.5.1 出力ポートの構成

S1C6P366は12ビットの汎用出力ポートを内蔵しています。

出力仕様は全ポートともコンプリメンタリ出力に固定です。

図4.5.1.1に出力ポートの構成を示します。

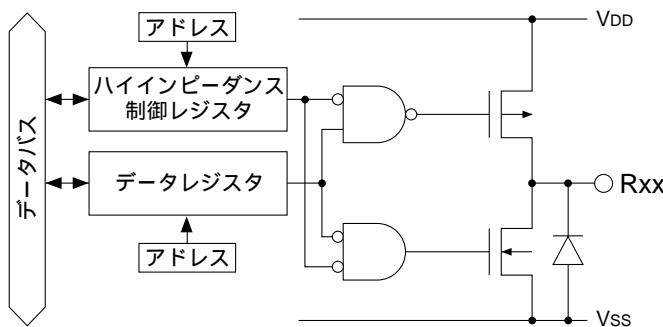


図4.5.1.1 出力ポートの構成

R02、R03出力ポート端子は特殊出力(TOUT、FOUT)端子と兼用されており、この機能をソフトウェアによって選択するようになっています。

イニシャルリセット時はすべて汎用出力ポートに設定されます。

表4.5.1.1に機能選択による出力端子の設定を示します。

表4.5.1.1 出力端子の機能設定

端子名	イニシャルリセット時の 端子状態	特殊出力使用時	
		TOUT	FOUT
R00	R00 (HIGH出力)	R00	R00
R01	R01 (HIGH出力)	R01	R01
R02	R02 (HIGH出力)	TOUT	
R03	R03 (HIGH出力)		FOUT
R10~R13	R10~R13 (HIGH出力)	R10~R13	R10~R13
R20~R23	R20~R23 (HIGH出力)	R20~R23	R20~R23

特殊出力として使用する場合、データレジスタは"1"に、ハイインピーダンス制御レジスタは"0"(データ出力)に固定する必要があります。

4.5.2 マスクオプション

S1C6P366の出力ポートは、すべてコンプリメンタリ出力の仕様に固定されています。

4.5.3 ハイインピーダンス制御

出力ポートは、ソフトウェアにより端子の出力状態をハイインピーダンスとすることができます。制御はハイインピーダンス制御レジスタによって行います。

出力ポートのハイインピーダンス制御レジスタは以下のように制御できる出力ポートが割り当てられています。

ハイインピーダンス制御レジスタ	対応する出力ポート
R00HIZ	R00(1ビット)
R01HIZ	R01(1ビット)
R02HIZ	R02(1ビット)
R03HIZ	R03(1ビット)
R1HIZ	R10 ~ R13(4ビット)
R2HIZ	R20 ~ R23(4ビット)

ハイインピーダンス制御レジスタに"1"を書き込むと対応する出力ポート端子がハイインピーダンスとなり"0"でデータレジスタにしたがった出力が行われます。

4.5.4 特殊出力

出力ポートR02およびR03は通常のDC出力のほかに表4.5.4.1に示す特殊出力をソフトウェアによって設定できます。図4.5.4.1にR02およびR03出力ポートの構成を示します。

表4.5.4.1 特殊出力

端子名	特殊出力選択時	特殊出力制御レジスタ
R03	FOUT	FOUTE
R02	TOUT	PTOUT

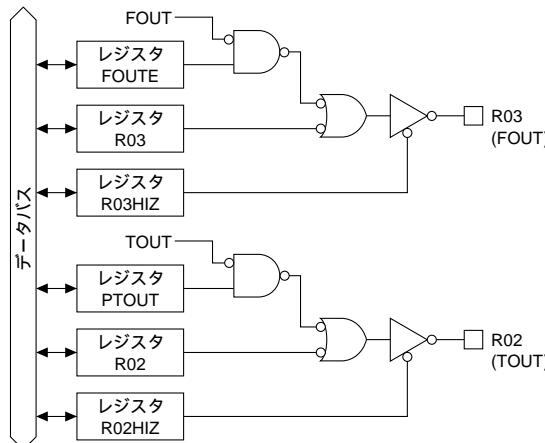


図4.5.4.1 R02、R03出力ポートの構成

イニシャルリセット時、出力ポートのデータレジスタは"1"、ハイインピーダンス制御レジスタは"0"に設定され、出力端子はHIGH(VDD)レベルとなります。

R02、R03を特殊出力ポートとして使用する場合はデータレジスタR02、R03を"1"、ハイインピーダンス制御レジスタR02HIZ、R03HIZを"0"(データ出力)に固定し、特殊出力制御レジスタによってそれぞれの信号をON/OFFしてください。

- 注:
- 特殊出力選択時にR02、R03レジスタに"0"を書き込むと、DC出力の場合と同様に出力端子がLOW(Vss)レベルに固定されますので注意してください。
 - ハイインピーダンス制御レジスタR02HIZ、R03HIZに"1"を書き込むと、出力端子がハイインピーダンスになりますので注意してください。

TOUT(R02)

R02端子からはTOUT信号を出力させることができます。

TOUT信号はプログラマブルタイマの出力クロックで、外部デバイスに対するクロック供給などの目的に使用することができます。

TOUT出力を行う場合はR02レジスタを"1"、R02HIZレジスタを"0"に固定し、PTOUTレジスタによって信号をON/OFFします。ただし、プログラマブルタイマの制御が必要です。

プログラマブルタイマの詳細については"4.9 プログラマブルタイマ"を参照してください。

注: TOUT出力信号はON/OFF時にハザードを生じる可能性があります。

図4.5.4.2にTOUT信号の出力波形を示します。

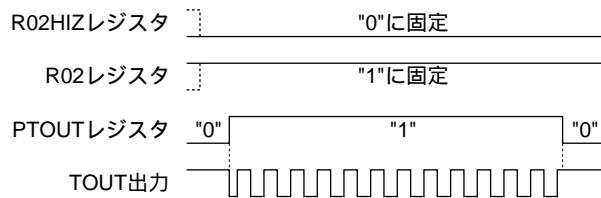


図4.5.4.2 TOUT信号の出力波形

FOUT(R03)

R03端子からはFOUT信号を出力させることができます。

FOUT信号は発振回路の出力クロック fosc1、fosc3 またはfosc1を内部回路で分周したクロックで、外部デバイスに対するクロック供給などの目的に使用することができます。

FOUT出力を行う場合はR03レジスタを"1"、R03HIZレジスタを"0"に固定し、FOUTEレジスタによって信号をON/OFFします。

出力するクロックの周波数は、表4.5.4.2に示す4種類から1つをFOFQ0およびFOFQ1レジスタによって選択できます。

表4.5.4.2 FOUTクロック周波数

FOFQ1	FOFQ0	クロック周波数
1	1	fosc3
1	0	fosc1
0	1	fosc1 × 1/8
0	0	fosc1 × 1/64

fosc1: OSC1発振回路の出力クロック

fosc3: OSC3発振回路の出力クロック

FOUT信号の周波数としてfosc3を選択した場合は、信号出力前にOSC3発振回路の制御が必要です。制御方法と注意事項については"4.3 発振回路"を参照してください。

注: FOUT出力信号はON/OFF時にハザードを生じる可能性があります。

図4.5.4.3にFOUT信号の出力波形を示します。

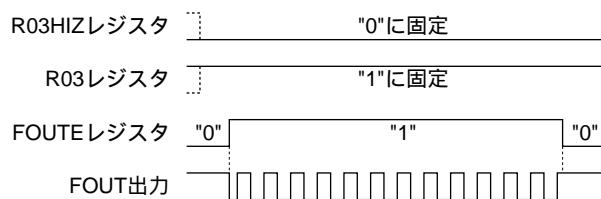


図4.5.4.3 FOUT信号の出力波形

4.5.5 出力ポートのI/Oメモリ

表4.5.5.1に出力ポートの制御ビットとそのアドレスを示します。

表4.5.5.1 出力ポートの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注釈
	D3	D2	D1	D0					
FF06H	FOUTE	0	FOFQ1	FOFQ0	FOUTE 0 *3	0 -*2	Enable	Disable	FOUT出力イネーブル 未使用
	R/W	R	R/W		FOFQ1	0			FOUT [FOFQ1, 0] 0 1 2 3 周波数選択 周波数 fosc1/64 fosc1/8 fosc1 fosc3
FF30H	R03HIZ	R02HIZ	R01HIZ	R00HIZ	R03HIZ	0	High-Z	Output	R03出力ハイインピーダンス制御(FOUTE=0)
	R/W				R02HIZ	0	High-Z	Output	FOUT出力ハイインピーダンス制御(FOUTE=1)
	R/W				R01HIZ	0	High-Z	Output	R02出力ハイインピーダンス制御(PTOUT=0)
	R/W				R00HIZ	0	High-Z	Output	TOUT出力ハイインピーダンス制御(PTOUT=1)
FF31H	R03	R02	R01	R00	R03	1	High	Low	R03出力ポートデータ(FOUTE=0) FOUT出力時は1に固定
	R/W				R02	1	High	Low	R02出力ポートデータ(PTOUT=0) TOUT出力時は1に固定
	R/W				R01	1	High	Low	R01出力ポートデータ
	R/W				R00	1	High	Low	R00出力ポートデータ
FF32H	0	0	0	R1HIZ	0 *3	-*2	Output	未使用 未使用 未使用	R1出力ハイインピーダンス制御
	R			R/W	0 *3	-*2			
FF33H	R13	R12	R11	R10	R13	1	High	Low	R10 ~ R13出力ポートデータ
	R/W				R12	1	High	Low	
	R/W				R11	1	High	Low	
	R/W				R10	1	High	Low	
FF34H	0	0	0	R2HIZ	0 *3	-*2	Output	未使用 未使用 未使用	R2出力ハイインピーダンス制御
	R			R/W	0 *3	-*2			
	R/W				0 *3	-*2			
	R/W				R2HIZ	0	High-Z	R20 ~ R23出力ポートデータ	
FF35H	R23	R22	R21	R20	R23	1	High	Low	R20 ~ R23出力ポートデータ
	R/W				R22	1	High	Low	
FFC1H	CHSEL	PTOUT	CKSEL1	CKSEL0	R21	1	High	Low	R21 ~ R24出力ポートデータ
	R/W				R20	1	High	Low	
	R/W				CHSEL	0	Timer1	Timer0	
	R/W				PTOUT	0	On	Off	TOUT出力チャンネル選択
R/W				CKSEL1	0	OSC3	OSC1	OSC3	TOUT出力制御
R/W				CKSEL0	0	OSC3	OSC1	OSC1	プリスケーラ1原振クロック選択
R/W									プリスケーラ0原振クロック選択

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

R00HIZ ~ R03HIZ: R0ポートハイインピーダンス制御レジスタ(FF30H)

R1HIZ: R1ポートハイインピーダンス制御レジスタ(FF32H·D0)

R2HIZ: R2ポートハイインピーダンス制御レジスタ(FF34H·D0)

出力ポートのハイインピーダンス制御を行います。

"1"書き込み: ハイインピーダンス

"0"書き込み: データ出力

読み出し: 可能

ハイインピーダンス制御レジスタに"0"を書き込むことにより、対応する出力端子からデータレジスタにしたがった出力が行われ、"1"を書き込むとハイインピーダンスになります。

R02、R03を特殊出力(TOUT、FOUT)として使用する場合、R02HIZレジスタ、R03HIZレジスタは"0"(データ出力)に固定してください。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

R00 ~ R03: R0出力ポートデータレジスタ(FF31H)

R10 ~ R13: R1出力ポートデータレジスタ(FF33H)

R20 ~ R23: R2出力ポートデータレジスタ(FF35H)

各出力ポートの出力データを設定します。

"1"書き込み: HIGHレベル出力

"0"書き込み: LOWレベル出力

読み出し: 可能

出力ポート端子は対応するデータレジスタに書き込まれたデータをそのまま出力します。レジスタに"1"を書き込んだ場合、出力ポート端子はHIGH(V_{DD})レベルになり、"0"を書き込んだ場合はLOW(V_{SS})レベルになります。

R02、R03を特殊出力(TOUT、FOUT)として使用する場合、R02レジスタ、R03レジスタは"1"に固定してください。

イニシャルリセット時、これらのレジスタは"1"に設定されます。

FOUTE: FOUT出力制御レジスタ(FF06H·D3)

FOUT出力を制御します。

"1"書き込み: FOUT出力ON

"0"書き込み: FOUT出力OFF

読み出し: 可能

R03レジスタが"1"、R03HIZレジスタが"0"に設定されている状態でFOUTEに"1"を書き込むことによってR03端子からFOUT信号が出力され、"0"の書き込みでR03端子がHIGH(V_{DD})レベルになります。

R03ポートをDC出力として使用する場合は、このレジスタを"0"に固定してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

FOFQ0、FOFQ1: FOUT周波数選択レジスタ(FF06H·D0, D1)

FOUT信号の周波数を選択します。

表4.5.5.2 FOUTクロック周波数

FOFQ1	FOFQ0	クロック周波数
1	1	fosc3
1	0	fosc1
0	1	fosc1 × 1/8
0	0	fosc1 × 1/64

イニシャルリセット時、このレジスタは"0"に設定されます。

PTOUT: TOUT出力制御レジスタ(FFC1H・D2)
TOUT出力を制御します。

"1"書き込み: TOUT出力ON
"0"書き込み: TOUT出力OFF
読み出し: 可能

R02レジスタが"1"、R02HIZレジスタが"0"に設定されている状態でPTOUTに"1"を書き込むことによってR02端子からTOUT信号が出力され、"0"の書き込みでR02端子がHIGH(VDD)レベルになります。
R02ポートをDC出力として使用する場合は、このレジスタを"0"に固定してください。
イニシャルリセット時、このレジスタは"0"に設定されます。

4.5.6 プログラミング上の注意事項

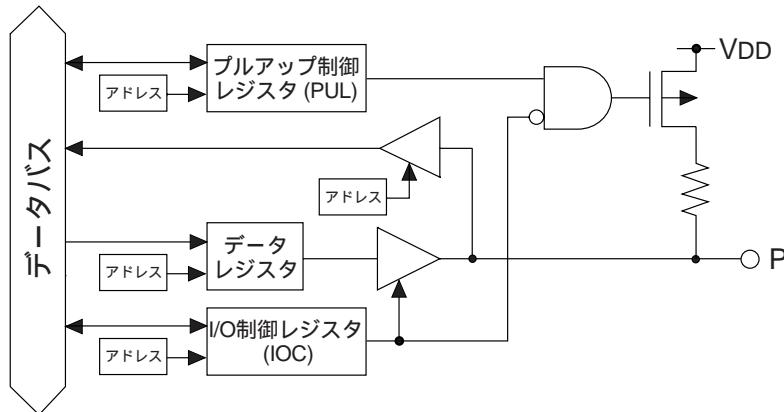
- (1) R02、R03を特殊出力(TOUT、FOUT)として使用する場合、R02レジスタ、R03レジスタは"1"、R02HIZレジスタ、R03HIZレジスタは"0"に固定してください。
R02、R03レジスタに"0"を書き込むと、出力端子がLOW(Vss)に固定されますので注意してください。
R02HIZ、R03HIZに"1"を書き込むと、出力端子がハイインピーダンスになりますので注意してください。
- (2) TOUT信号、FOUT信号のON/OFF時は、出力波形にハザードが出る場合があります。
- (3) FOUT信号の周波数としてfosc3を選択した場合は、信号出力前にOSC3発振回路の制御が必要です。制御方法と注意事項については"4.3 発振回路"を参照してください。

4.6 入出力兼用ポート(P00 ~ P03, P10 ~ P13, P20 ~ P23, P30 ~ P33, P40 ~ P43)

4.6.1 入出力兼用ポートの構成

S1C6P366は20ビットの汎用入出力兼用ポートを内蔵しています。

図4.6.1.1に入出力兼用ポートの構成を示します。入出力兼用ポート(出力モード時)の出力仕様はコンプリメンタリ出力に固定で、P10～P13、P20～P23、P30～P33ポートにはプルアップ抵抗が内蔵されています。



*P40～P43ポートはプルアップ抵抗なし

図4.6.1.1 入出力兼用ポートの構成

P10～P13入出力兼用ポート端子はシリアルインターフェースの入出力端子と兼用されており、この機能をソフトウェアによって選択するようになっています。P40～P43入出力兼用ポート端子はA/D変換器の入力端子と兼用されており、この機能もソフトウェアによって選択するようになっています。

イニシャルリセット時はすべて入出力兼用ポートに設定されます。

表4.6.1.1に機能選択による入出力端子の設定を示します。

表4.6.1.1 入出力端子の機能設定

端子名	イニシャルリセット時の 端子状態	シリアルI/F使用時		A/D変換器 使用時
		Master	Slave	
P00～P03	P00～P03 (入力& プルアップ)	P00～P03	P00～P03	P00～P03
P10	P10 (入力& プルアップ)	SIN(I)	SIN(I)	
P11	P11 (入力& プルアップ)	SOUT(O)	SOUT(O)	
P12	P12 (入力& プルアップ)	SCLK(O)	SCLK(I)	
P13	P13 (入力& プルアップ)	P13	$\overline{SRDY}(O)$	
P20～P23	P20～P23 (入力& プルアップ)	P20～P23	P20～P23	P20～P23
P30～P33	P30～P33 (入力& プルアップ)	P30～P33	P30～P33	P30～P33
P40	P40 (入力& ハイインピーダンス)			AD0(I)
P41	P41 (入力& ハイインピーダンス)			AD1(I)
P42	P42 (入力& ハイインピーダンス)			AD2(I)
P43	P43 (入力& ハイインピーダンス)			AD3(I)

入出力兼用ポートとして使用する場合、各ポートを個々(1ビット単位)に入力モードまたは出力モードに設定できます。この設定はI/O制御レジスタにデータを書き込むことによって行います。

シリアルインターフェースの制御については"4.10 シリアルインターフェース"を参照してください。

A/D変換器の制御については"4.11 A/D変換器"を参照してください。

4.6.2 マスクオプション

S1C6P366の入出力兼用ポートはすべてコンプリメンタリ出力、P10～P13、P20～P23、P30～P33ポートはプルアップ抵抗付きの仕様に固定されています。

4.6.3 I/O制御レジスタと入力/出力モード

入出力兼用ポートは、各ポートに対応したI/O制御レジスタIOCxxにデータを書き込むことにより入力モードあるいは出力モードに設定されます。

入力モードに設定する場合はI/O制御レジスタに"0"を書き込みます。入力モードに設定された入出力兼用ポートは、ハイインピーダンス状態となり入力ポートとして働きます。ただし、次項で説明するプルアップ制御を行っている場合は、この入力モード時に限り入力ラインがプルアップされます(P40～P43を除く)。

出力モードに設定する場合はI/O制御レジスタに"1"を書き込みます。出力モードに設定された入出力兼用ポートは出力ポートとして働き、ポート出力データが"1"の場合にHIGH(VDD)レベル、"0"の場合にLOW(Vss)レベルの出力を行います。出力モード時にもデータの読み出しは可能で、その場合はデータレジスタの内容が読み出されます。

イニシャルリセット時、I/O制御レジスタは"0"に設定され、入出力兼用ポートは入力モードになります。シリアルインターフェースおよびA/D変換器の入出力に設定されたポート(表4.6.1.1参照)の入出力制御はハードウェアが行います。この場合、I/O制御レジスタは入出力制御に影響を与えない汎用レジスタとして使用可能です。

4.6.4 入力モード時のプルアップ

S1C6P366の入出力兼用ポートP10～P13、P20～P23、P30～P33には入力モード時に働くプルアップ抵抗が内蔵されています。

各ポートに対応したプルアップ制御レジスタPULxxに"1"を書き込むことによりプルアップ抵抗が有効になります。入力モード時に入力ラインがプルアップされます。"0"を書き込んだ場合、プルアップは行われません。イニシャルリセット時、プルアップ制御レジスタは"1"に設定されます。

シリアルインターフェースの出力に設定されたポート(表4.6.1.1参照)およびP40～P43のプルアップ制御レジスタは、プルアップ制御に影響を与えない汎用レジスタとして使用可能です。シリアルインターフェースの入力に設定されたポートのプルアップ制御レジスタは入出力兼用ポートと同様に機能します。

4.6.5 入出力兼用ポートのI/Oメモリ

表4.6.5.1(a)～(b)に入出力兼用ポートの制御ビットとそのアドレスを示します。

表4.6.5.1(a) 入出力兼用ポートの制御ビット

アドレス	レジスタ				Name	Init *1	注 釈		
	D3	D2	D1	D0			1	0	
FF40H	IOC03	IOC02	IOC01	IOC00	IOC03	0	Output	Input	P00～P03 I/O制御レジスタ
					IOC02	0	Output	Input	
					IOC01	0	Output	Input	
					IOC00	0	Output	Input	
FF41H	R/W				PUL03	1	On	Off	P00～P03 プルアップ制御レジスタ
	PUL03	PUL02	PUL01	PUL00	PUL02	1	On	Off	
					PUL01	1	On	Off	
					PUL00	1	On	Off	
FF42H	R/W				P03	- *2	High	Low	P00～P03入出力兼用ポートデータ
	P03	P02	P01	P00	P02	- *2	High	Low	
					P01	- *2	High	Low	
					P00	- *2	High	Low	
FF44H	R/W				IOC13	0	Output	Input	P13 I/O制御レジスタ SIF(スレーブ)選択時、汎用レジスタとして機能 P12 I/O制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能 P11 I/O制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能 P10 I/O制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能
	IOC13	IOC12	IOC11	IOC10	IOC12	0	Output	Input	
					IOC11	0	Output	Input	
					IOC10	0	Output	Input	
FF45H	R/W				PUL13	1	On	Off	P13 プルアップ制御レジスタ SIF(スレーブ)選択時、汎用レジスタとして機能 P12 プルアップ制御レジスタ(ESIF=0) SIF(マスター)選択時、汎用レジスタとして機能 SIF(スレーブ)選択時、SCLK(1) プルアップ制御レジスタ P11 プルアップ制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能 P10 プルアップ制御レジスタ(ESIF=0) SIF選択時、SIN プルアップ制御レジスタ
	PUL13	PUL12	PUL11	PUL10	PUL12	1	On	Off	
					PUL11	1	On	Off	
					PUL10	1	On	Off	
FF46H	R/W				P13	- *2	High	Low	P13入出力兼用ポートデータ SIF(スレーブ)選択時、汎用レジスタとして機能 P12入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能 P11入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能 P10入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能
	P13	P12	P11	P10	P12	- *2	High	Low	
					P11	- *2	High	Low	
					P10	- *2	High	Low	
FF48H	R/W				IOC23	0	Output	Input	P20～P23 I/O制御レジスタ
	IOC23	IOC22	IOC21	IOC20	IOC22	0	Output	Input	
					IOC21	0	Output	Input	
					IOC20	0	Output	Input	
FF49H	R/W				PUL23	1	On	Off	P20～P23 プルアップ制御レジスタ
	PUL23	PUL22	PUL21	PUL20	PUL22	1	On	Off	
					PUL21	1	On	Off	
					PUL20	1	On	Off	
FF4AH	R/W				P23	- *2	High	Low	P20～P23入出力兼用ポートデータ
	P23	P22	P21	P20	P22	- *2	High	Low	
					P21	- *2	High	Low	
					P20	- *2	High	Low	
FF4CH	R/W				IOC33	0	Output	Input	P30～P33 I/O制御レジスタ
	IOC33	IOC32	IOC31	IOC30	IOC32	0	Output	Input	
					IOC31	0	Output	Input	
					IOC30	0	Output	Input	

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

表4.6.5.1(b) 入出力兼用ポートの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注釈
	D3	D2	D1	D0					
FF4DH	PUL33	PUL32	PUL31	PUL30	PUL33	1	On	Off	P30～P33 プルアップ制御レジスタ R/W
					PUL32	1	On	Off	
					PUL31	1	On	Off	
					PUL30	1	On	Off	
FF4EH	P33	P32	P31	P30	P33	- *2	High	Low	P30～P33 入出力兼用ポートデータ R/W
					P32	- *2	High	Low	
					P31	- *2	High	Low	
					P30	- *2	High	Low	
FF50H	IOC43	IOC42	IOC41	IOC40	IOC43	0	Output	Input	P43 I/O 制御レジスタ(PAD3=0) A/D イネーブル時、汎用レジスタとして機能
					IOC42	0	Output	Input	P42 I/O 制御レジスタ(PAD2=0) A/D イネーブル時、汎用レジスタとして機能
					IOC41	0	Output	Input	P41 I/O 制御レジスタ(PAD1=0) A/D イネーブル時、汎用レジスタとして機能
					IOC40	0	Output	Input	P40 I/O 制御レジスタ(PAD0=0) A/D イネーブル時、汎用レジスタとして機能
FF52H	P43	P42	P41	P40	P43	- *2	High	Low	P43 入出力兼用ポートデータ(PAD3=0) A/D イネーブル時、汎用レジスタとして機能
					P42	- *2	High	Low	P42 入出力兼用ポートデータ(PAD2=0) A/D イネーブル時、汎用レジスタとして機能
					P41	- *2	High	Low	P41 入出力兼用ポートデータ(PAD1=0) A/D イネーブル時、汎用レジスタとして機能
					P40	- *2	High	Low	P40 入出力兼用ポートデータ(PAD0=0) A/D イネーブル時、汎用レジスタとして機能
FF70H	0	ESOUT	SCTRG	ESIF	0 *3	- *2			未使用
					ESOUT	0	Enable	Disable	SOUT 制御
	R	R/W			SCTRG	0	Trigger	Invalid	シリアルI/Fクロックトリガ(書き込み時)
						0	Run	Stop	シリアルI/Fクロックステータス(読み出し時)
FFD1H	PAD3	PAD2	PAD1	PAD0	ESIF	0	I/O		シリアルI/Fイネーブル(P1ポート機能選択)
					PAD3	0	Enable	Disable	P43 入力チャンネル制御
					PAD2	0	Enable	Disable	P42 入力チャンネル制御
					PAD1	0	Enable	Disable	P41 入力チャンネル制御
					PAD0	0	Enable	Disable	P40 入力チャンネル制御

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

ESIF: シリアルインターフェースイネーブルレジスタ(FF70H・D0)

P10～P13の機能を選択します。

"1"書き込み: シリアルインターフェース入出力ポート

"0"書き込み: 入出力兼用ポート

読み出し: 可能

シリアルインターフェースを使用する場合に"1"、入出力兼用ポートとして使用する場合に"0"を書き込みます。P10～P13の中でシリアルインターフェースの入出力に使用される端子の構成は、SCS1とSCS0レジスタで選択するマスタ/スレーブモードによって決定します(4.10項参照)。スレーブモードではP10～P13すべてがシリアルインターフェースの入出力ポートに設定されます。マスタモードではP10～P12がシリアルインターフェースの入出力ポートに設定され、P13は入出力兼用ポートとして使用することができます。

イニシャルリセット時、このレジスタは"0"に設定されます。

PAD0 ~ PAD3: A/Dチャンネルイネーブルレジスタ(FFD1H)
P40 ~ P43の機能を選択します。

- "1"書き込み: A/D変換器入力
- "0"書き込み: 入出力兼用ポート
- 読み出し: 可能

PAD0 ~ PAD3はA/D変換器で使用する入力端子を設定するレジスタで、それぞれP40 ~ P43端子に対応します。A/D変換器の入力チャンネルとして使用する場合に"1"、入出力兼用ポートとして使用する場合に"0"を書き込みます。

イニシャルリセット時、このレジスタは"0"に設定されます。

P00 ~ P03: P0入出力兼用ポートデータレジスタ(FF42H)
P10 ~ P13: P1入出力兼用ポートデータレジスタ(FF46H)
P20 ~ P23: P2入出力兼用ポートデータレジスタ(FF4AH)
P30 ~ P33: P3入出力兼用ポートデータレジスタ(FF4EH)
P40 ~ P43: P4入出力兼用ポートデータレジスタ(FF52H)
入出力兼用ポートデータの読み出し、および出力データの設定を行います。

• データ書き込み時

- "1"書き込み: HIGHレベル
- "0"書き込み: LOWレベル

入出力兼用ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力兼用ポート端子に出力されます。ポートデータとして"1"を書き込んだ場合はポート端子はHIGH(VDD)レベルになります。"0"を書き込んだ場合はLOW(Vss)レベルになります。

なお、入力モードの場合もポートデータの書き込みは行えます。

• データ読み出し時

- "1"読み出し: HIGHレベル
- "0"読み出し: LOWレベル

入出力兼用ポートの端子電圧レベルを読み出します。入出力兼用ポートが入力モードの場合はポート端子に入力されている電圧レベルが読み出され、出力モードに設定されている場合はレジスタの内容が読み出されます。端子電圧がHIGH(VDD)レベルの場合は読み出されるポートデータが"1"、LOW(Vss)レベルの場合は"0"となります。

また、PULLレジスタに"1"を設定している場合、入力モード時には内蔵プルアップ抵抗がONとなり、入出力兼用ポート端子がプルアップされます(P40 ~ P43を除く)。

シリアルインターフェースまたはA/D変換器の入出力に設定したポートのデータレジスタは、入出力には影響を与えない汎用レジスタとなります。

注: 入力モード時にポートの入力をLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の時定数によって波形立ち上がりに遅延が生じます。このため、入力データの取り込みを行う際は、適切な待ち時間を設定してください。

特に、キーマトリクス構成時のキースキャン等に注意が必要です。

この待ち時間は次の式で算出される時間以上としてください。

$$10 \times C(\text{端子容量}5pF + \text{寄生容量}2pF) \times R(\text{プルアップ抵抗}300k\Omega)$$

IOC00 ~ IOC03: P0ポートI/O制御レジスタ(FF40H)
 IOC10 ~ IOC13: P1ポートI/O制御レジスタ(FF44H)
 IOC20 ~ IOC23: P2ポートI/O制御レジスタ(FF48H)
 IOC30 ~ IOC33: P3ポートI/O制御レジスタ(FF4CH)
 IOC40 ~ IOC43: P4ポートI/O制御レジスタ(FF50H)
 入出力兼用ポートの入力/出力モードを設定します。

"1"書き込み: 出力モード
 "0"書き込み: 入力モード
 読み出し: 可能

入出力兼用ポートの入力/出力モードを1ビット単位に設定します。
 I/O制御レジスタに"1"を書き込むことにより対応する入出力兼用ポートが出力モードに、"0"を書き込むことにより入力モードになります。
 イニシャルリセット時、これらのレジスタは"0"に設定され、入出力兼用ポートはすべて入力モードになります。
 シリアルインターフェースまたはA/D変換器の入出力に設定したポートのI/O制御レジスタは、入出力には影響を与えない汎用レジスタとなります。

PUL00 ~ PUL03: P0ポートプルアップ制御レジスタ(FF41H)
 PUL10 ~ PUL13: P1ポートプルアップ制御レジスタ(FF45H)
 PUL20 ~ PUL23: P2ポートプルアップ制御レジスタ(FF49H)
 PUL30 ~ PUL33: P3ポートプルアップ制御レジスタ(FF4DH)
 入力モード時のプルアップを設定します。

"1"書き込み: プルアップON
 "0"書き込み: プルアップOFF
 読み出し: 可能

入出力兼用ポートに内蔵されたプルアップ抵抗を入力モード時にONまたはOFFすることを1ビット単位に設定します。(プルアップ抵抗はP1x、P2x、P3xポートのみに付加されています。)
 プルアップ制御レジスタに"1"を書き込むことにより対応する入出力兼用ポートが入力モード時にプルアップがONとなります。"0"を書き込んだ場合、プルアップは行われません。
 イニシャルリセット時、これらのレジスタは"1"に設定され、プルアップ抵抗がすべてONになります。
 シリアルインターフェースの出力に用いられるポートのプルアップ制御レジスタは、プルアップには影響を与えない汎用レジスタとなります。シリアル入力に用いられるポートのプルアップ制御レジスタは入出力兼用ポートの場合と同様に機能します。

4.6.6 プログラミング上の注意事項

入力モード時にポートの入力をLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の時定数によって波形立ち上がりに遅延が生じます。このため、入力データの取り込みを行う際は、適切な待ち時間を設定してください。

特に、キーマトリクス構成時のキースキャン等に注意が必要です。

この待ち時間は次の式で算出される時間以上としてください。

$$10 \times C(\text{端子容量}5\text{pF} + \text{寄生容量?pF}) \times R(\text{プルアップ抵抗}300\text{k}\Omega)$$

4.7 LCD ドライバ(COM0 ~ COM3, SEG0 ~ SEG31)

4.7.1 LCD ドライバの構成

S1C6P366は4本のコモン端子(COM0 ~ COM3)と32本のセグメント端子(SEG0 ~ SEG31)を持ち、最大128(32×4)セグメントのLCDを駆動できます。

駆動方法はV_{SS}, V_{C1}, V_{C2}, V_{C3}の4電位(1/3バイアス)による1/4デューティ、1/3デューティまたは1/2デューティダイナミック駆動です。スタティック駆動も設定可能です。駆動デューティ、スタティック駆動はソフトウェアによって選択することができます。

4.7.2 LCD 駆動電源

LCD駆動用の電圧V_{C1} ~ V_{C3}は、内蔵LCD系電圧回路によって発生します。LCD系電圧回路は、その中の定電圧回路によってV_{C2}を発生し、その電圧を昇圧または降圧して他の2電位を発生します。

V_{C1} ~ V_{C3}を発生するLCD系電圧回路は、LCDドライバの電源制御レジスタLPWRによってON/OFFします。LPWRを"1"に設定することにより、LCD系電圧回路はV_{C1} ~ V_{C3}を発生します。LPWRを"0"に設定した場合、V_{C1} ~ V_{C3}はV_{SS}レベルとなります。この場合、COM端子およびSEG端子の出力はすべてV_{SS}レベルになります。

LCD表示を行うには、あらかじめLPWRに"1"を設定し、LCD駆動電源をONにしておく必要があります。また、DC出力に設定したSEG出力ポートは、この電源のON/OFFにかかわらず汎用の出力(R ポートと同じ)動作となります。

4.7.3 LCD 表示と駆動波形の制御

(1)表示のON/OFF

S1C6P366には電源のON/OFFの制御とは別に、表示を点滅させるためのALON, Aloffレジスタが用意されています。ALONは"1"の書き込みですべてのセグメントをONにするものです。Aloffは逆に"1"の書き込みですべてのセグメントをOFFにします。この場合、SEG端子からはON波形またはOFF波形が出力されます。"0"設定時は共に通常の表示が行われます。また、ALON, Aloff共に"1"に設定した場合、ALON(全点灯)がAloff(全消灯)に優先します。

(2)駆動デューティの設定

S1C6P366はソフトウェアにより駆動デューティを1/4, 1/3, 1/2の3種類に切り換えることができます。この設定は表4.7.3.1に示すとおりレジスタLDUTY1およびLDUTY0によって行います。

表4.7.3.1 駆動デューティの設定

LDUTY1	LDUTY0	駆動デューティ	使用コモン端子	最大セグメント数	フレーム周波数*
1	*	1/2	COM0, COM1	64 (32×2)	32Hz
0	1	1/3	COM0~COM2	96 (32×3)	42.7Hz
0	0	1/4	COM0~COM3	128 (32×4)	32Hz

* fosc1 = 32.768kHzの場合

図4.7.3.1 ~ 図4.7.3.3に各駆動デューティによるダイナミック駆動波形を示します。

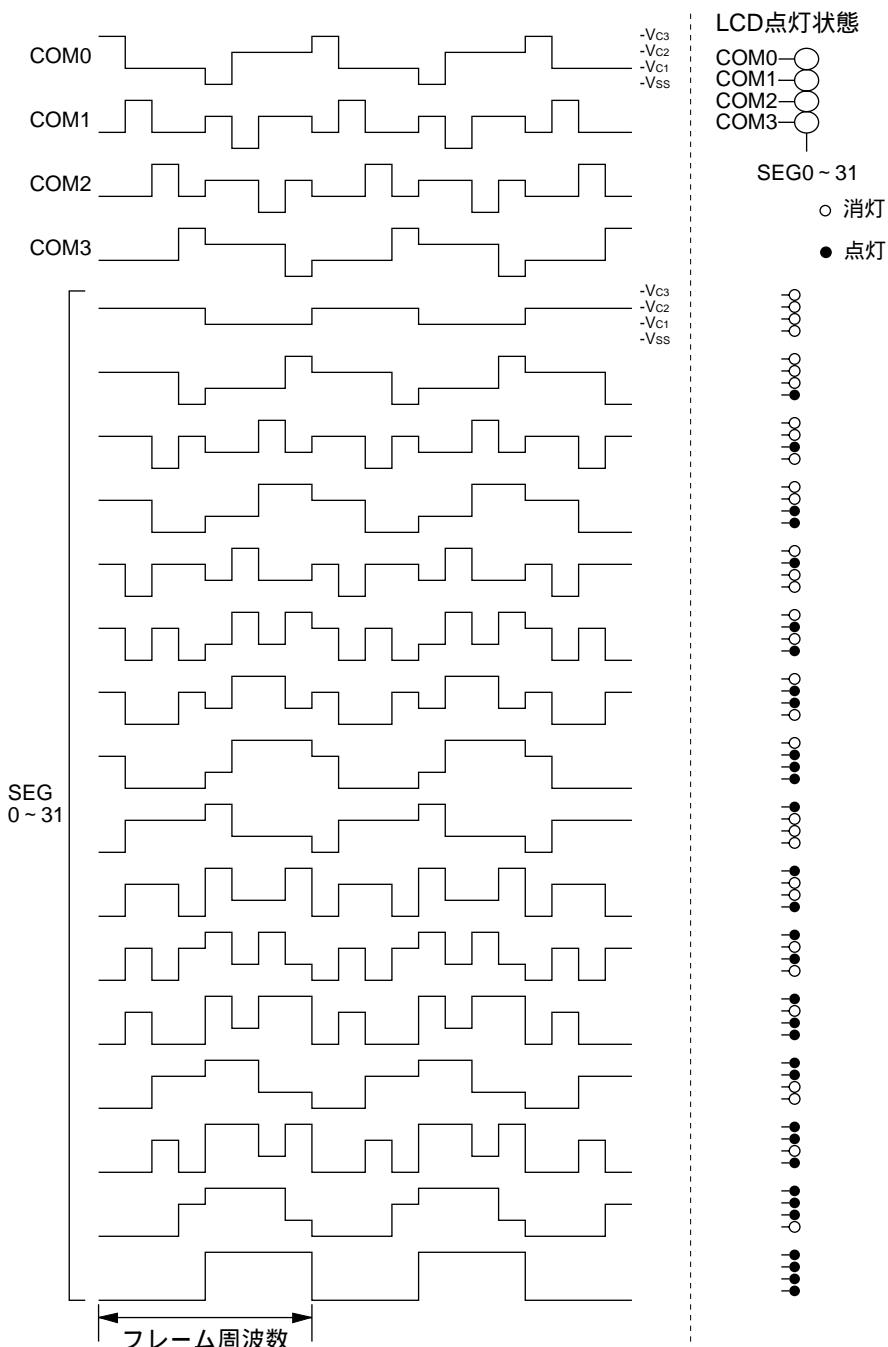


図4.7.3.1 1/4デューティダイナミック駆動波形(1/3バイアス)

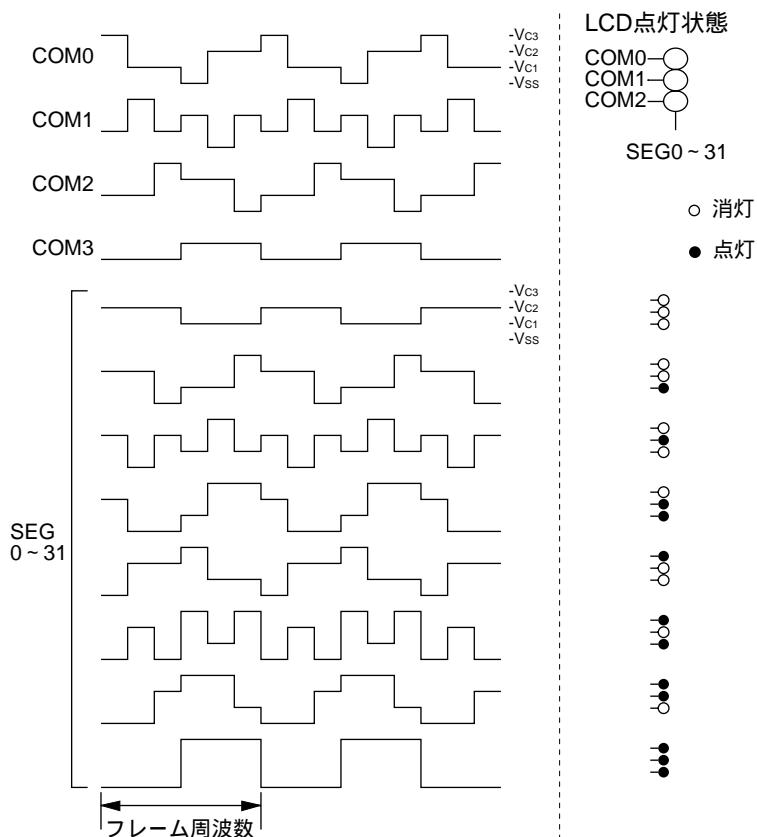


図4.7.3.2 1/3デューティダイナミック駆動波形(1/3バイアス)

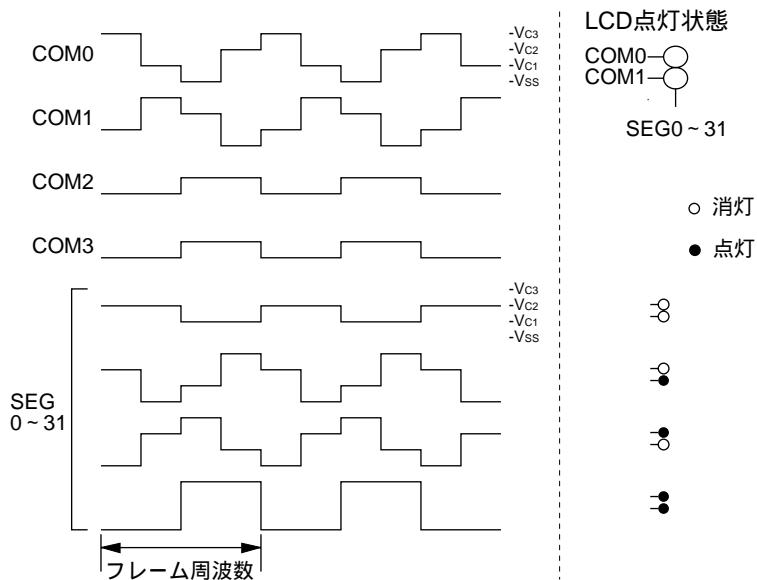


図4.7.3.3 1/2デューティダイナミック駆動波形(1/3バイアス)

(3)スタティック駆動

S1C6P366はLCDスタティック駆動をソフトウェアにより設定できます。

スタティック駆動に設定するには、コモン出力信号制御レジスタSTCDに"1"を書き込みます。この状態で、SEG端子に対応するCOM0～COM3のいずれかのビット(表示メモリ)に"1"を書き込むと、そのSEG端子はスタティックのON波形を出力します。COM0～COM3すべてが"0"に設定されているときは、そのSEG端子はダイナミックのままでOFF波形を出力します。

図4.7.3.4にスタティック駆動波形を示します。

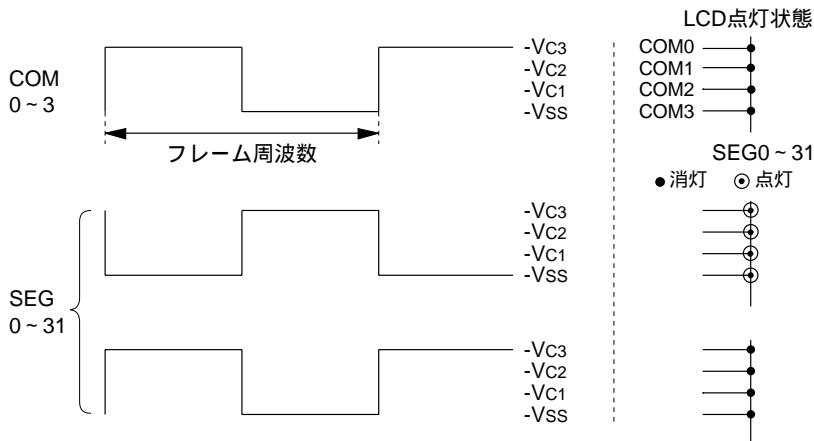


図4.7.3.4 スタティック駆動波形 (1/3バイアス)

4.7.4 セグメントオプション

(1) セグメント割り付け

表示メモリはデータメモリ空間上のアドレスF000H～F01FHの領域から最大128ビットまで選択できます。LCDドライバはセグメントデコーダを内蔵しており、表示メモリ領域の任意のアドレス(F000H～F01FH)データビット(D0～D3)を任意のセグメントに割り付けることができます。このため、液晶パネルの設計の自由度が増し設計が容易になります。

この表示メモリのビットを"1"に設定すると割り付けられたセグメントが点灯し、"0"にすると消灯します。

図4.7.4.1にLCDセグメント(パネル上)と表示メモリとの関係を1/3デューティの場合を例として示します。

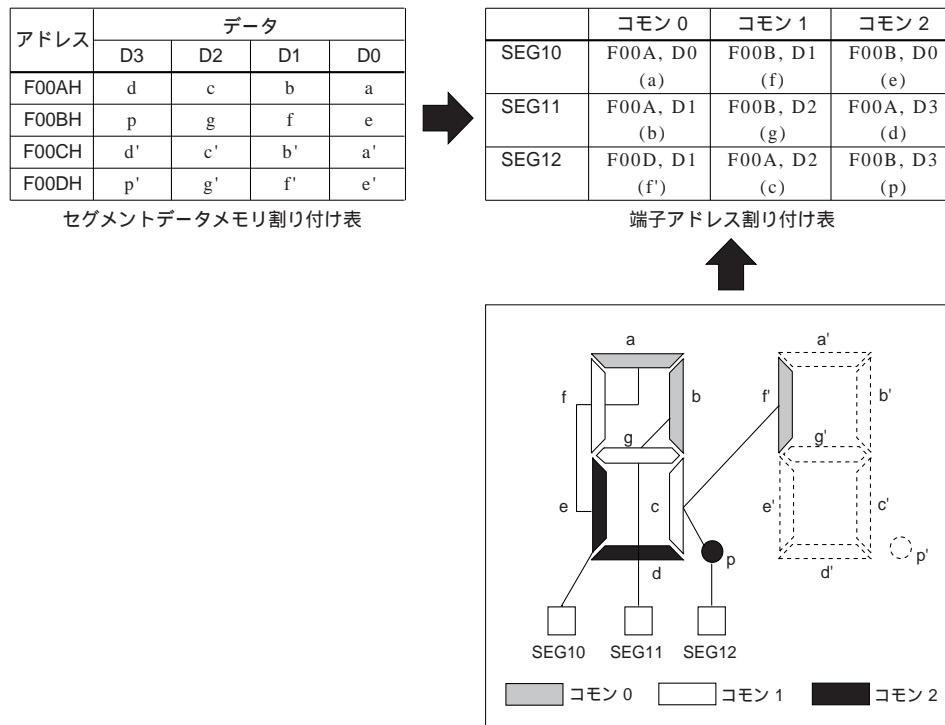


図4.7.4.1 セグメント割り付け

イニシャルリセット時、表示メモリの内容は不定となりますので、ソフトウェアにより初期化する必要があります。表示メモリはリード/ライト可能となっており、LCD表示に使用しないアドレス/ビットは汎用レジスタとして使用することができます。

(2) 出力仕様

- ① 各セグメント端子(SEG0～SEG31)は2端子単位*でセグメント信号出力かDC出力(VDD, VSSの2値出力)を選択できます。
DC出力を選択した場合は各セグメント端子のCOM0に対応するデータが出力されます。
- ② DC出力を選択した場合、コンプリメンタリ出力かNチャンネルオープンドレイン出力を2端子ごとに選択できます。

* 2端子単位とはSEG2・n、SEG2・n+1(n=0～15の整数)の組み合わせです。

(3)セグメントオプションデータ

LCDセグメントオプションについてはS5U1C6P366Y1パッケージに推奨オプションデータが添付されています。LCDセグメントオプションを変更する場合はお客様の責任において書き換えを行ってください。

LCDセグメント端子の出力仕様、表示メモリとLCDセグメントの割り付けデータは、セグメントオプションジェネレータSOG63358を使用して作成されるセグメントオプションドキュメントファイルより変換して生成します。オプション仕様をセグメントオプション用PROMに書き込むと、選択されたオプション仕様が自動的に各セグメント端子に設定されます。

(4)推奨セグメントオプションデータ

CP366SEG.SDC(セグメントオプションドキュメントファイル)

```
* E0C63P366 SEGMENT OPTION DOCUMENT V 1.00
*
* FILE NAME      CP366SEG.SDC
* USER'S NAME    EPSON
* INPUT DATE     99/11/10
*
* OPTION NO.12
*
* < LCD SEGMENT DECODE TABLE >
*
* SEG COM0 COM1 COM2 COM3 SPEC
*
0 000 001 002 003 S
1 010 011 012 013 S
2 020 021 022 023 S
3 030 031 032 033 S
4 040 041 042 043 S
5 050 051 052 053 S
6 060 061 062 063 S
7 070 071 072 073 S
8 080 081 082 083 S
9 090 091 092 093 S
10 0A0 0A1 0A2 0A3 S
11 0B0 0B1 0B2 0B3 S
12 0C0 0C1 0C2 0C3 S
13 0D0 0D1 0D2 0D3 S
14 0E0 0E1 0E2 0E3 S
15 0F0 0F1 0F2 0F3 S
16 100 101 102 103 S
17 110 111 112 113 S
18 120 121 122 123 S
19 130 131 132 133 S
20 140 141 142 143 S
21 150 151 152 153 S
22 160 161 162 163 S
23 170 171 172 173 S
24 180 181 182 183 S
25 190 191 192 193 S
26 1A0 1A1 1A2 1A3 S
27 1B0 1B1 1B2 1B3 S
28 1C0 1C1 1C2 1C3 S
29 1D0 1D1 1D2 1D3 S
30 1E0 1E1 1E2 1E3 S
31 1F0 1F1 1F2 1F3 S
*EOF
```

4.7.5 マスクオプション

S1C6P366では、内蔵電源回路によりLCD駆動用電圧を発生します。

マスクオプションにより外部印加を選択することはできません。

4.7.6 LCDドライバのI/Oメモリ

表4.7.6.1にLCDドライバの制御ビットとそのアドレスを、図4.7.6.1に表示メモリマップを示します。

表4.7.6.1 LCDドライバの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈			
	D3	D2	D1	D0					LDDUTY1	0		
FF60H	LDUTY1	LDUTY0	VCCHG	LPWR	LDUTY0	0			切り換え	[LDDUTY1, 0] 0 1 2, 3	デューティ 1/4 1/3 1/2	
					VCCHG	0			汎用レジスタ(予約レジスタ)			
				R/W	LPWR	0	On	Off	LCD電源On/Off			
FF61H	0	ALOFF	ALON	STCD	0 *3	- *2			未使用			
				R/W	ALOFF	1	All Off	Normal	LCD全消灯制御			
					ALON	0	All On	Normal	LCD全点灯制御			
					STCD	0	Static	Dynamic	コモン出力信号制御			

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常に"0"

Base address \ Low	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
F000																
F010																

図4.7.6.1 表示メモリマップ

LPWR: LCD電源ON/OFF制御レジスタ(FF60H·D0)

LCD系電圧回路をON/OFFします。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

LPWRに"1"を書き込むことによりLCD系電圧回路がONとなりLCD駆動電圧を発生します。"0"を書き込んだ場合、LCD駆動電圧はすべてVssレベルとなります。

LPWRに"1"を書き込んだ後、LCD系電圧回路が動作しLCD駆動電圧出力が安定するまで約100msecかかります。

この制御はDC出力に設定されたSEG端子には影響を与えません。

イニシャルリセット時、このレジスタは"0"に設定されます。

LDDUTY0, LDDUTY1: LCD駆動デューティ選択レジスタ(FF60H·D2, D3)

LCD駆動デューティを選択します。

表4.7.6.2 駆動デューティの設定

LDDUTY1	LDDUTY0	駆動デューティ	使用コモン端子	最大セグメント数	フレーム周波数*
1	*	1/2	COM0, COM1	64 (32×2)	32Hz
0	1	1/3	COM0~COM2	96 (32×3)	42.7Hz
0	0	1/4	COM0~COM3	128 (32×4)	32Hz

* fosc1 = 32.768kHzの場合

イニシャルリセット時、このレジスタは"0"に設定されます。

STCD: コモン出力信号制御レジスタ(FF61H・D0)
LCDの駆動方式を選択します。

"1"書き込み: スタティック駆動
"0"書き込み: ダイナミック駆動
読み出し: 可能

STCDに"1"を書き込むとスタティック駆動、"0"の書き込みでダイナミック駆動となります。
イニシャルリセット時、このレジスタは"0"に設定されます。

ALON: LCD全点灯制御レジスタ(FF61H・D1)
LCDのセグメントを全点灯させます。

"1"書き込み: 全点灯
"0"書き込み: 通常表示
読み出し: 可能

ALONに"1"を書き込むとLCDのセグメントがすべて点灯し、"0"の書き込みで通常表示に戻ります。これによる全点灯はSEGにON波形を出力するもので、表示メモリの内容には影響を与えません。
ALONはALOFFに優先します。

イニシャルリセット時、このレジスタは"0"に設定されます。

ALOFF: LCD全消灯制御レジスタ(FF61H・D2)
LCDのセグメントを全消灯させます。

"1"書き込み: 全消灯
"0"書き込み: 通常表示
読み出し: 可能

ALOFFに"1"を書き込むとLCDのセグメントがすべて消灯し、"0"の書き込みで通常表示に戻ります。これによる全消灯はSEGにOFF波形を出力するもので、表示メモリの内容には影響を与えません。
イニシャルリセット時、このレジスタは"1"に設定されます。

表示メモリ(F000H ~ F01FH)
LCDセグメントを点灯/消灯させます。

"1"書き込み: 点灯
"0"書き込み: 消灯
読み出し: 可能

LCDセグメント(パネル上)を割り付けた表示メモリにデータを書き込むことにより セグメントの点灯/消灯を行います。

イニシャルリセット時の表示メモリの内容は不定となりますので、ソフトウェアにより初期化する必要があります。

表示メモリはリード/ライト可能です。また、LCD表示に使用しないアドレス/ビットは汎用レジスタとして使用することができます。

4.7.7 プログラミング上の注意事項

- (1)表示メモリの初期化 CPUからのメモリクリア処理等 を行うまでは表示が不定になります。イニシャル処理で表示メモリの初期化を行ってください。
- (2)LCDドライバ電源制御レジスタLPWRに"1"を設定後、LCD駆動電圧Vc1、Vc2、Vc3が安定するためには100msec以上必要です。電源ON直後のセグメントの点灯には注意してください。

4.8 計時タイマ

4.8.1 計時タイマの構成

S1C6P366はOSC1(水晶発振)を原振とする計時タイマを内蔵しています。計時タイマはfosc1の分周クロック(256Hz)を入力クロックとする8ビットのバイナリカウンタで構成され、その8ビットデータ(128Hz ~ 16Hz と 8Hz ~ 1Hz)をソフトウェアによって読み出すことができます。

図4.8.1.1に計時タイマのブロック図を示します。

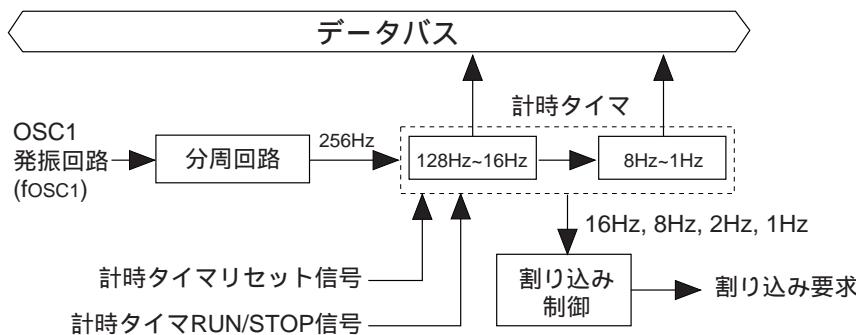


図4.8.1.1 計時タイマのブロック図

通常はこの計時タイマを、時計などのような各種の計時機能に用います。

4.8.2 データの読み出しとホールド機能

8ビットのタイマデータはアドレスFF79HとFF7AHに次のように割り付けられています。

<FF79H>	D0:TM0=128Hz	D1:TM1=64Hz	D2:TM2=32Hz	D3:TM3=16Hz
<FF7AH>	D0:TM4=8Hz	D1:TM5=4Hz	D2:TM6=2Hz	D3:TM7=1Hz

計時タイマのデータは2つのアドレスに割り付けられているため、カウント中に下位データ(TM0 ~ TM3: 128Hz ~ 16Hz)から上位データ(TM4 ~ TM7: 8Hz ~ 1Hz)への桁上げが発生します。下位データと上位データの読み出しの間にこの桁上げが発生すると、2つを合わせた内容が正しい値とはなりません(下位データがFFHと読み出されていて、上位データはその時点から1つカウントアップされた値になってしまいます)。これを避けるために、S1C6P366では上位データのホールド機能が働くようになっています。この機能は下位データの読み出しを行った時点で上位データのカウントアップ(下位データからの桁上げ)を一時停止するもので、上位データがホールドされる時間は次に示す2つの内の短い方になります。

1. 上位データを読み出すまでの間
2. 0.48msec ~ 1.5msec(読み出しのタイミングにより異なる)

注: 上位データを先に読み出した場合は下位データのホールドは行われませんので、必ず下位バイトから先に読み出しを行ってください。

4.8.3 割り込み機能

計時タイマは16Hz, 8Hz, 2Hz, 1Hzの各信号の立ち下がリエッジにおいて割り込みを発生させることができます。また、前記の各周波数に対して個別に割り込みをマスクするかしないかを、ソフトウェアで設定することができます。

図4.8.3.1に計時タイマのタイミングチャートを示します。

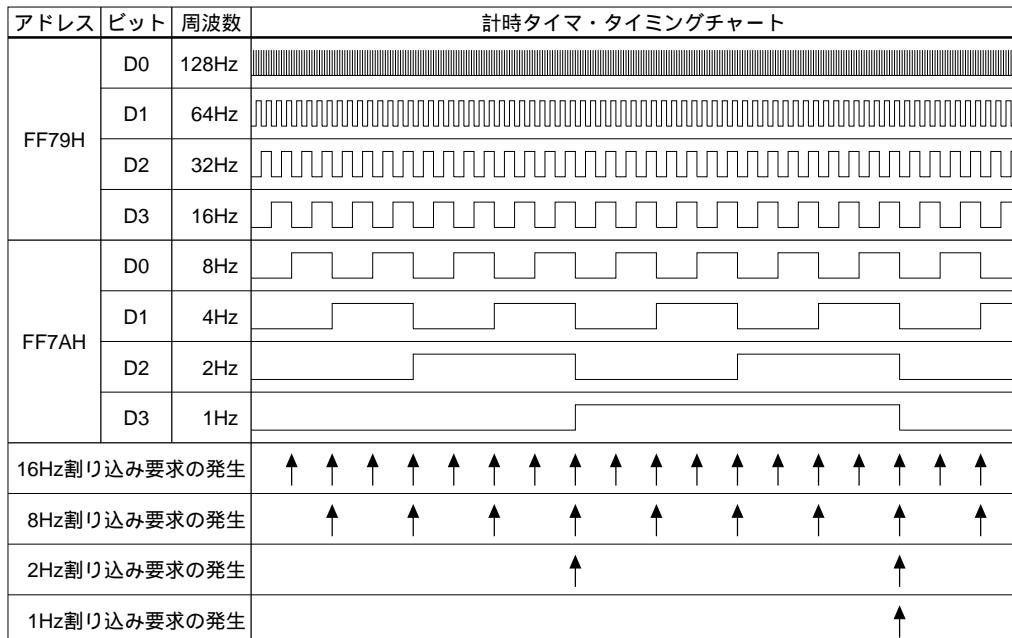


図4.8.3.1 計時タイマのタイミングチャート

図4.8.3.1に示すとおり、割り込みは各周波数(16Hz, 8Hz, 2Hz, 1Hz)の信号の立ち下がリエッジによって発生します。また、この時点で対応する割り込み要因フラグ(IT0, IT1, IT2, IT3)が"1"にセットされます。各割り込みは、割り込みマスクレジスタ EIT0, EIT1, EIT2, EIT3 によって、個別にマスクを選択することができます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応する信号の立ち下がリエッジで"1"にセットされます。

4.8.4 計時タイマのI/Oメモリ

表4.8.4.1に計時タイマの制御ビットとそのアドレスを示します。

表4.8.4.1 計時タイマの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF78H	0	0	TMRST	TMRUN	0 *3	- *2			未使用
					0 *3	- *2			未使用
	R		W	R/W	TMRST*3	Reset	Reset	Run	計時タイマリセット(書き込み時) 計時タイマRun/Stop
FF79H	TM3	TM2	TM1	TM0	TM3	0			計時タイマデータ(16Hz)
					TM2	0			計時タイマデータ(32Hz)
					TM1	0			計時タイマデータ(64Hz)
					TM0	0			計時タイマデータ(128Hz)
FF7AH	TM7	TM6	TM5	TM4	TM7	0			計時タイマデータ(1Hz)
					TM6	0			計時タイマデータ(2Hz)
					TM5	0			計時タイマデータ(4Hz)
					TM4	0			計時タイマデータ(8Hz)
FFE6H	EIT3	EIT2	EIT1	EIT0	EIT3	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ1Hz)
					EIT2	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ2Hz)
					EIT1	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ8Hz)
					EIT0	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ16Hz)
FFF6H	IT3	IT2	IT1	IT0	IT3	0	(R)	(R)	割り込み要因フラグ(計時タイマ1Hz)
					IT2	0	Yes	No	割り込み要因フラグ(計時タイマ2Hz)
					IT1	0	(W)	(W)	割り込み要因フラグ(計時タイマ8Hz)
					IT0	0	Reset	Invalid	割り込み要因フラグ(計時タイマ16Hz)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

TM0 ~ TM7: タイマデータ(FF79H, FF7AH)

計時タイマの128Hz ~ 1Hzのタイマデータが読み出せます。この8ビットは読み出し専用のため、書き込み動作は無効となります。

下位データ FF79H を読み出すことにより、上位データ FF7AH がその読み出しまで、または0.48msec ~ 1.5msecの間、どちらか短い方にホールドされます。

イニシャルリセット時、タイマデータは"00H"に初期化されます。

TMRST: 計時タイマリセット(FF78H·D1)

計時タイマをリセットするビットです。

"1"書き込み: 計時タイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

計時タイマは、TMRSTに"1"を書き込むことによりリセットされます。計時タイマがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合はリセットデータが保持されます。

また、"0"の書き込みはノーオペレーションとなります。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

TMRUN: 計時タイマRUN/STOP制御レジスタ(FF78H·D0)
計時タイマのRUN/STOPを制御します。

"1"書き込み: RUN
"0"書き込み: STOP
読み出し: 可能

計時タイマはTMRUNに"1"を書き込むことによりRUNし、"0"の書き込みによりSTOPします。
STOP状態ではリセットか次にRUN状態にするまで、タイマのデータは保持されます。また、STOP状態からRUN状態にすることにより保持していたデータから継続して、カウントを進めることができます。
イニシャルリセット時、このレジスタは"0"に設定されます。

EIT0: 16Hz割り込みマスクレジスタ(FFE6H·D0)
EIT1: 8Hz割り込みマスクレジスタ(FFE6H·D1)
EIT2: 2Hz割り込みマスクレジスタ(FFE6H·D2)
EIT3: 1Hz割り込みマスクレジスタ(FFE6H·D3)

計時タイマの割り込みについて、マスクするかしないかを選択します。

"1"書き込み: イネーブル
"0"書き込み: マスク
読み出し: 可能

各周波数(16Hz, 8Hz, 2Hz, 1Hz)に対して、割り込みをマスクするかしないかを、割り込みマスクレジスタ EIT0(16Hz) EIT1(8Hz) EIT2(2Hz) EIT3(1Hz)により個別に選択できます。
イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

IT0: 16Hz割り込み要因フラグ(FFF6H·D0)
IT1: 8Hz割り込み要因フラグ(FFF6H·D1)
IT2: 2Hz割り込み要因フラグ(FFF6H·D2)
IT3: 1Hz割り込み要因フラグ(FFF6H·D3)
計時タイマ割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有
"0"読み出し: 割り込み無
"1"書き込み: 要因フラグをリセット
"0"書き込み: 無効

割り込み要因フラグIT0, IT1, IT2, IT3は、それぞれ16Hz, 8Hz, 2Hz, 1Hzの計時タイマ割り込みに対応します。これらのフラグによって計時タイマ割り込みの有無を、ソフトウェアで判断することができます。ただし、これらのフラグは割り込みをマスクしていても、対応する信号の立ち下がりエッジで"1"にセットされます。これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(!フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
イニシャルリセット時、これらのフラグは"0"に設定されます。

4.8.5 プログラミング上の注意事項

- (1)データの読み出しあは必ず下位データ(TM0 ~ TM3)から先に行ってください。
- (2)割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(!フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.9 プログラマブルタイマ

4.9.1 プログラマブルタイマの構成

S1C6P366は8ビットのプログラマブルタイマを2系統(タイマ0およびタイマ1)内蔵しています。タイマ0とタイマ1は8ビットプリセットタブルダウンカウンタで構成され、8ビット×2チャネルのプログラマブルタイマまたは16ビット×1チャネルのプログラマブルタイマとして使用することができます。また、タイマ0はK13入力ポート端子を使用したイベントカウンタ機能も合わせ持っています。

図4.9.1.1にプログラマブルタイマの構成を示します。

プログラマブルタイマはカウントダウンによるアンダーフローによって割り込みを発生し、カウンタ初期値のプリセットを行います。また、タイマ0またはタイマ1のアンダーフロー信号はR02出力ポート端子から外部に出力させるTOUT信号を発生します。さらにタイマ1のアンダーフロー信号はシリアルインターフェースのクロック源として使用できるため、転送速度のプログラマブルな設定が可能です。

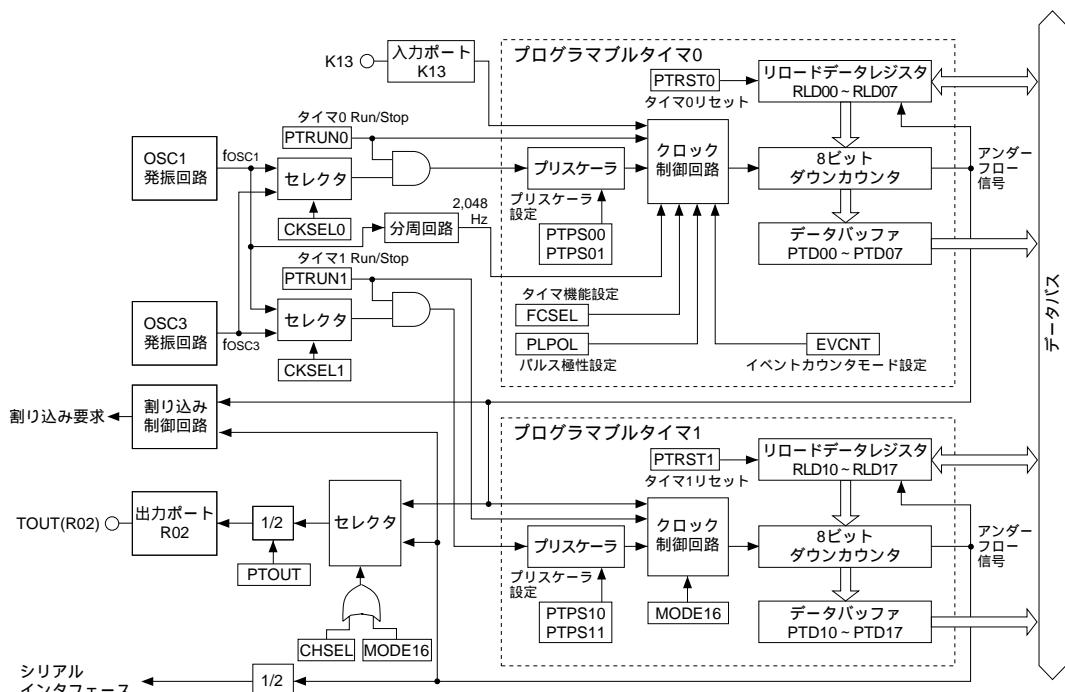


図4.9.1.1 プログラマブルタイマの構成

4.9.2 2チャンネル×8ビットタイマ(MODE16 = "0")の動作

4.9.2.1 カウンタ初期値の設定とダウンカウント動作

タイマ0およびタイマ1にはそれぞれ、8ビットのダウンカウンタとリロードデータレジスタが設けられています。

リロードデータレジスタRLD00～RLD07(タイマ0) RLD10～RLD17(タイマ1)はカウンタの初期値を設定するレジスタです。

ダウンカウンタは、リロードデータレジスタRLDに設定された初期値を、タイマリセットビットPTRST0(タイマ0) PTRST1(タイマ1)への"1"書き込みによってロードします。したがって、このロードされた初期値から入力クロックによるダウンカウントが行われます。

タイマ0およびタイマ1にはそれぞれ、RUN/STOPを制御するレジスタPTRUN0(タイマ0) PTRUN1(タイマ1)が設けられています。リロードデータをカウンタにプリセットした後、本レジスタに"1"を書き込むことによってダウンカウントを開始します。"0"を書き込むとクロックの入力が禁止され、カウントを停止します。

このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

カウンタのデータ読み出しはデータバッファPTD00～PTD07(タイマ0) PTD10～PTD17(タイマ1)を介して行い、下位、上位4ビットずつソフトウェアにより任意のタイミングで読み出しが可能です。

ただし、このカウンタも計時タイマと同様に下位データ、上位データ読み出し間の桁下げを防止するため、下位データの読み出しにより上位データがホールドされるようになっています。したがって、データの読み出しは必ず下位データから先に行ってください。

カウンタはダウンカウントが進んでアンダーフローが発生すると、リロードデータレジスタRLDに設定された初期値をリロードします。初期値をリロード後は、その初期値からダウンカウントを継続します。

このアンダーフロー信号はカウンタのリロードのほか、割り込みの発生、外部へのパルス(TOUT信号)出力、シリアルインターフェースへのクロック供給を制御します。

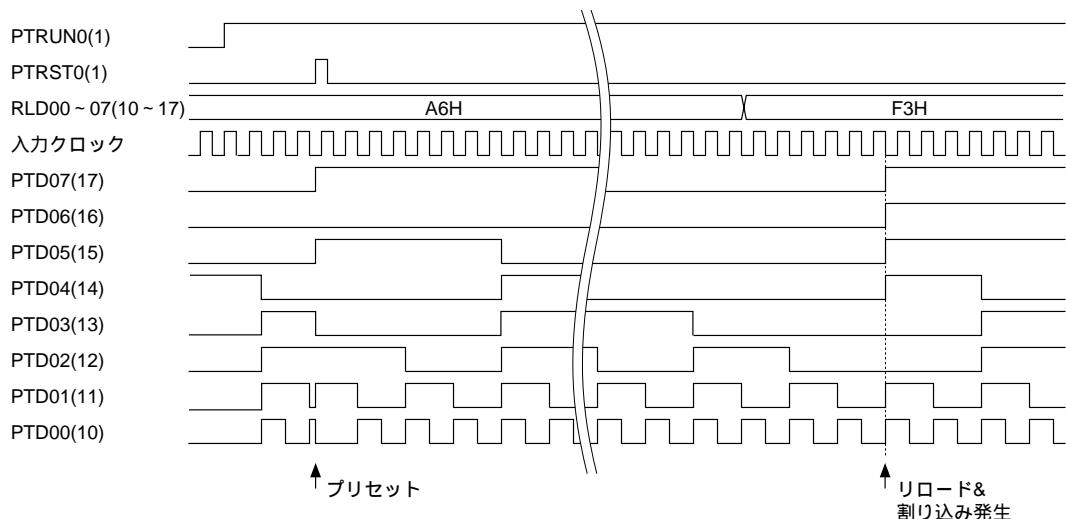


図4.9.2.1.1 カウンタの基本動作タイミング

4.9.2.2 カウンタモード

本プログラマブルタイマにはタイマモードとイベントカウンタモードの2種類のカウンタモードが設定されており、ソフトウェアによって選択することができます。

(1)タイマモード

タイマモードはプリスケーラの出力を入力クロックとしてダウンカウントを行うモードです。このモードは、OSC1またはOSC3発振クロックを原振として一定周期ごとにカウントを行うタイマとして動作します。

タイマ0はタイマ0カウンタモード選択レジスタEVCNTIによりタイマモードとイベントカウンタモードの切り替えが可能となっています。タイマ0カウンタモード選択レジスタEVCNTが"0"に設定されている場合、タイマ0はタイマモードで動作します。

タイマ1はタイマモードのみの動作となります。

イニシャルリセット時はこのモードに設定されます。

タイマの基本的な動作と制御については"4.9.2.1 初期値の設定とダウンカウント動作"を参照してください。

タイマモード時の入力クロックは、OSC1またはOSC3発振クロックをプログラマブルタイマ回路に内蔵されたプリスケーラによって分周して発生しています。この入力クロックの設定については次項を参照してください。

(2)イベントカウンタモード

タイマ0には、K13入力ポート端子に外部クロックを入力してカウントを行なうイベントカウンタ機能があります。この機能は、タイマ0カウンタモード選択レジスタEVCNTに"1"を書き込むことによって選択されます。タイマ1はタイマモードのみで、イベントカウンタとしては使用できません。

イベントカウンタモードでは、外部からタイマ0にクロックが供給されるため、タイマ0プリスケーラ分周比選択レジスタPTPS00、PTPS01およびプリスケーラ0原振クロック選択レジスタCKSEL0の設定は無効となります。

ダウンカウントのタイミングは、タイマ0パルス極性選択レジスタPLPOLによって、立ち下がりエッジまたは立ち上がりエッジのどちらかが選択できます。レジスタPLPOLに"0"を書き込んだ場合が立ち下がりエッジ、"1"を書き込んだ場合が立ち上がりエッジとなり、図4.9.2.2.1に示すタイミングでダウンカウントが行われます。

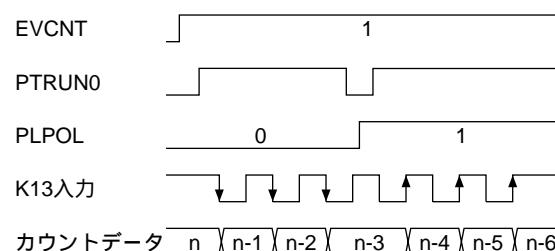


図4.9.2.2.1 イベントカウンタモードのタイミングチャート

イベントカウンタモードにはこのほかに、外部クロック(K13)入力に対してチャタリング等のノイズを除去するノイズリジェクタ付加機能があります。この機能はタイマ0機能選択レジスタFCSELに"1"を書き込むことによって選択されます。

ノイズリジェクタ付きを選択した場合は確実なカウントを行うために、LOWレベル/HIGHレベル共に0.98msec以上のパルス幅を確保する必要があります。(ノイズリジェクタは、K13入力ポート端子の入力レベルが変化してから2度目の内部2,048Hz信号の立ち下がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msec以下となります。)

図4.9.2.2.2にノイズリジェクタ付加時のダウンカウントタイミングを示します。

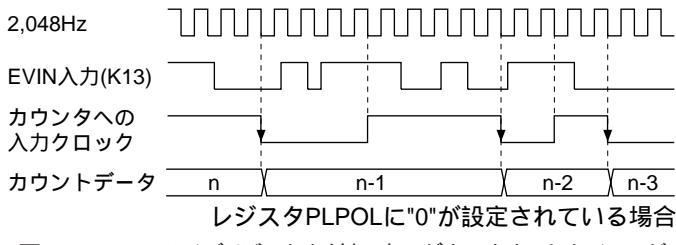


図4.9.2.2.2 ノイズリジェクタ付加時のダウンカウントタイミング

イベントカウンタモードの動作は、入力クロックが外部クロック(K13)となること以外はタイマモードと同等です。

カウントの基本的な動作と制御については"4.9.2.1 初期値の設定とダウンカウント動作"を参照してください。

4.9.2.3 タイマモード入力クロックの設定

タイマ0およびタイマ1にはそれぞれ、プリスケーラが設けられています。プリスケーラはOSC1またはOSC3発振回路から供給される原振クロックを分周して、それぞれのタイマへの入力クロックを発生します。

原振クロックとプリスケーラの分周比はタイマ0、タイマ1でそれぞれ個別にソフトウェアで選択することができます。

設定した入力クロックはタイマモードでの動作時のカウントクロックとして使用されます。タイマ0をイベントカウンタモードに設定した場合は、以下の設定はすべて無効となります。

入力クロックは以下の手順で設定します。

(1)原振クロックの選択

それぞれのプリスケーラに入力する原振クロックを、OSC1とするかOSC3とするかを選択します。この選択は、原振クロック選択レジスタCKSEL0(タイマ0) CKSEL1(タイマ1)によって行い、"0"を書き込むとOSC1、"1"を書き込むとOSC3が選択されます。

OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3発振回路をONさせる必要があります。

ただし、OSC3発振回路をONにしてから発振が安定するまでに5msec以上の時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ON後、充分な待ち時間をおいてから行ってください。

OSC3の制御方法と注意事項については"4.3 発振回路"を参照してください。イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

(2)プリスケーラ分周比の選択

それぞれのプリスケーラの分周比を4種類の中から選択します。この選択は、プリスケーラ分周比選択レジスタPTPS00/PTPS01(タイマ0) PTPS10/PTPS11(タイマ1)によって行います。設定値と分周比は表4.9.2.3.1に示すとおり対応しています。

表4.9.2.3.1 プリスケーラ分周比の選択

PTPS11 PTPS01	PTPS10 PTPS00	プリスケーラ分周比
1	1	原振クロック / 256
1	0	原振クロック / 32
0	1	原振クロック / 4
0	0	原振クロック / 1

レジスタPTRUN0(タイマ0) PTRUN1(タイマ1)に"1"を書き込むことによって、原振クロックがプリスケーラに入力されます。これによって、選択した分周比のクロックがタイマに入力され、タイマがダウンカウントを開始します。

4.9.2.4 割り込み機能

プログラマブルタイマは、タイマ0およびタイマ1の各アンダーフロー信号によって割り込みを発生させることができます。割り込みタイミングについては図4.9.2.1.1を参照してください。

タイマ0およびタイマ1の各アンダーフロー信号によって、それぞれに対応する割り込み要因フラグIPT0、IPT1が"1"にセットされ、割り込みが発生します。各割り込み要因フラグに対応した割り込みマスクレジスタEIPT0、EIPT1の設定により、割り込みをマスクすることもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応するタイマのアンダーフローで"1"にセットされます。

4.9.2.5 TOUT出力の設定

プログラマブルタイマは、タイマ0またはタイマ1のアンダーフローによってTOUT信号を発生させることができます。TOUT信号はアンダーフローを1/2分周した信号で、TOUT出力チャンネル選択レジスタCHSELによって、どちらのタイマのアンダーフローを使用するかを選択することができます。レジスタCHSELに"0"を書き込んだ場合がタイマ0、"1"を書き込んだ場合がタイマ1となります。

図4.9.2.5.1にチャンネル切り換え時のTOUT信号波形を示します。

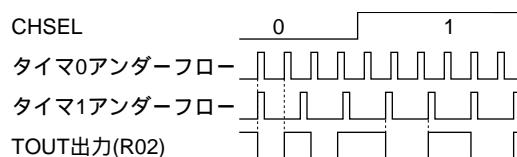


図4.9.2.5.1 チャンネル切り換え時のTOUT信号波形

TOUT信号はR02出力ポート端子から出力させることができます。外部デバイス等に対してプログラマブルなクロックを供給することができます。

R02出力ポートの構成を図4.9.2.5.2に示します。

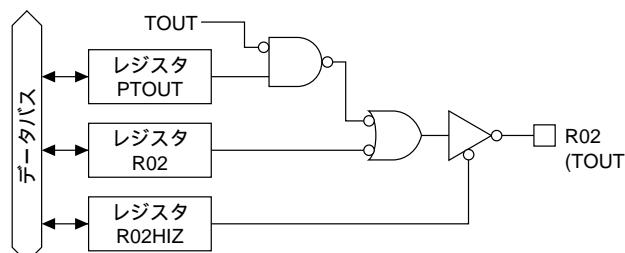


図4.9.2.5.2 R02の構成

TOUT信号はレジスタPTOUTによって出力制御が行われます。PTOUTに"1"を設定するとTOUT信号がR02出力ポート端子から出力され、"0"を設定するとHIGH(VDD)レベルが出力されます。このとき、データレジスタR02には常時"1"が、ハイインピーダンス制御レジスタR02HIZには常時"0"(データ出力)が設定されている必要があります。

なお、TOUT信号はレジスタPTOUTとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図4.9.2.5.3にTOUT信号の出力波形を示します。

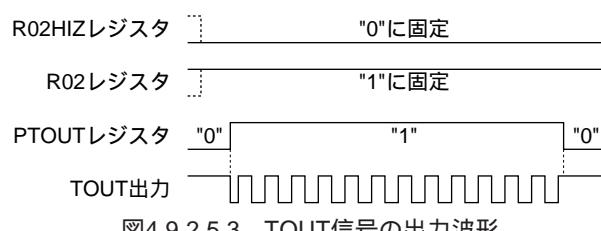


図4.9.2.5.3 TOUT信号の出力波形

4.9.2.6 シリアルインターフェースの転送速度設定

タイマ1のアンダーフローを1/2分周した信号をシリアルインターフェースのクロック源として使用することができます。

シリアルインターフェースへのクロックはタイマ1をRUN(PTRUN1="1")することにより出力されますので、PTOUTレジスタによる制御は不要です。

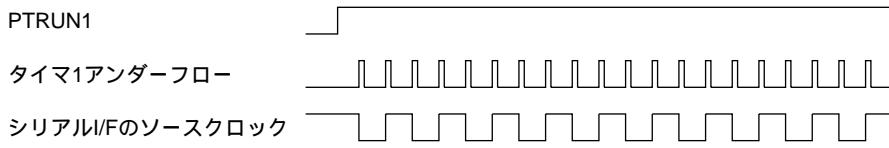


図4.9.2.6.1 シリアルインターフェースの同期クロック

転送速度に対するレジスタRLD1Xへの設定値は次式のようになります。

$$\text{RLD1X} = \text{fosc} / (2 * \text{bps} * \text{プリスケーラ分周比}) - 1$$

fosc: 発振周波数(OSC1/OSC3)

bps: 転送速度

(RLD1Xには00Hも設定可能)

4.9.3 1チャンネル×16ビットタイマ(MODE16 = "1")の動作

MODE16に"1"を書き込むことにより、タイマ0とタイマ1を合わせて1チャンネルの16ビットタイマとして使用することができます。この場合、タイマ0は16ビットタイマの下位バイト、タイマ1は上位バイトとなります。

4.9.3.1 カウンタ初期値の設定とダウンカウント動作

タイマ0およびタイマ1にはそれぞれ、8ビットのダウンカウンタとリロードデータレジスタが設けられています。

リロードデータレジスタRLD00～RLD07(タイマ0) RLD10～RLD17(タイマ1)はカウンタの初期値を設定するレジスタです。

ダウンカウンタは、リロードデータレジスタRLDに設定された初期値を、タイマリセットビットPTRST(タイマ0 またはPTRST1(タイマ1))への"1"書き込みによってロードします。したがって、このロードされた初期値から入力クロックによるダウンカウントが行われます。

タイマ0およびタイマ1のRUN/STOP制御にはレジスタPTRUN0(タイマ0)を使用します。リロードデータをカウンタにプリセットした後、本レジスタに"1"を書き込むことによってダウンカウントを開始します。"0"を書き込むとクロックの入力が禁止され、カウントを停止します。

このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

カウンタのデータ読み出しはデータバッファPTD00～PTD07(タイマ0) PTD10～PTD17(タイマ1)を介して任意のタイミングで行えます。

ただし、このカウンタも計時タイマと同様に下位データ、上位データ読み出し間の桁下げを防止するため、下位データの読み出しにより上位データがホールドされるようになっています。したがって、データの読み出しは必ず下位データから先に行ってください。

ダウンカウントが進んでタイマ1にアンダーフローが発生すると、リロードデータレジスタRLDに設定された初期値をリロードします。初期値をリロード後は、その初期値からダウンカウントを継続します。

このアンダーフロー信号はカウンタのリロードのほか、割り込みの発生、外部へのパルス(TOUT信号)出力、シリアルインターフェースへのクロック供給を制御します。

4.9.3.2 カウンタモード

本プログラマブルタイマにはタイマモードとイベントカウンタモードの2種類のカウンタモードが設定されており、ソフトウェアによって選択することができます。

(1)タイマモード

タイマモードはプリスケーラの出力を入力クロックとしてダウンカウントを行うモードです。このモードは、OSC1またはOSC3発振クロックを原振として一定周期ごとにカウントを行うタイマとして動作します。

プログラマブルタイマはタイマ0カウンタモード選択レジスタEVCNT1によりタイマモードとイベントカウンタモードの切り換えが可能となっています。タイマ0カウンタモード選択レジスタEVCNTが"0"に設定されている場合、プログラマブルタイマはタイマモードで動作します。

イニシャルリセット時はこのモードに設定されます。

タイマの基本的な動作と制御については"4.9.3.1 初期値の設定とダウンカウント動作"を参照してください。

タイマモード時の入力クロックは、OSC1またはOSC3発振クロックをプログラマブルタイマ回路に内蔵されたプリスケーラによって分周して発生しています。この入力クロックの設定については次項を参照してください。

(2)イベントカウンタモード

プログラマブルタイマには、K13入力ポート端子に外部クロックを入力してカウントを行なうイベントカウンタ機能があります。この機能は、タイマ0カウンタモード選択レジスタEVCNT1に"1"を書き込むことによって選択されます。

イベントカウンタモードでは、外部からタイマ0にクロックが供給されるため、タイマ0プリスケーラ分周比選択レジスタPTPS00、PTPS01およびプリスケーラ0原振クロック選択レジスタCKSEL0の設定は無効となります。

ダウンカウントのタイミングは、タイマ0パルス極性選択レジスタPLPOLによって、立ち下がりエッジまたは立ち上がりエッジのどちらかが選択できます。レジスタPLPOLに"0"を書き込んだ場合が立ち下がりエッジ、"1"を書き込んだ場合が立ち上がりエッジとなり、図4.9.3.2.1に示すタイミングでダウンカウントが行われます。

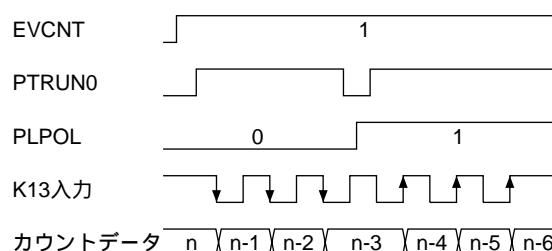


図4.9.3.2.1 イベントカウンタモードのタイミングチャート

イベントカウンタモードにはこのほかに、外部クロック(K13)入力に対してチャタリング等のノイズを除去するノイズリジェクタ付加機能があります。この機能はタイマ0機能選択レジスタFCSELに"1"を書き込むことによって選択されます。

ノイズリジェクタ付きを選択した場合は確実なカウントを行うために、LOWレベル/HIGHレベル共に0.98msec以上のパルス幅を確保する必要があります。(ノイズリジェクタは、K13入力ポート端子の入力レベルが変化してから2度目の内部2,048Hz信号の立ち下がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msec以下となります。)

図4.9.3.2.2にノイズリジェクタ付加時のダウンカウントタイミングを示します。

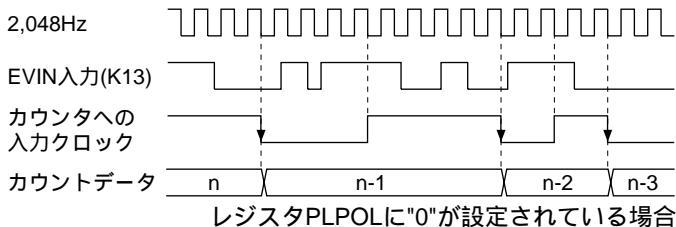


図4.9.3.2.2 ノイズリジェクタ付加時のダウンカウントタイミング

イベントカウンタモードの動作は、入力クロックが外部クロック(K13)となること以外はタイマモードと同等です。

カウントの基本的な動作と制御については"4.9.3.1 初期値の設定とダウンカウント動作"を参照してください。

4.9.3.3 タイマモード入力クロックの設定

16ビットプログラマブルタイマにはプリスケーラが設けられています。プリスケーラはOSC1またはOSC3発振回路から供給される原振クロックを分周して、本プログラマブルタイマへの入力クロックを発生します。設定した入力クロックはタイマモードでの動作時のカウントクロックとして使用されます。16ビットプログラマブルタイマをイベントカウンタモードに設定した場合は、以下の設定はすべて無効となります。

入力クロックは以下の手順で設定します。

(1)原振クロックの選択

プリスケーラに入力する原振クロックを、OSC1とするかOSC3とするかを選択します。この選択は、原振クロック選択レジスタCKSEL(タイマ0)によって行い、"0"を書き込むとOSC1、"1"を書き込むとOSC3が選択されます。

OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3発振回路をONさせる必要があります。

ただし、OSC3発振回路をONにしてから発振が安定するまでに5msec以上の時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ON後、充分な待ち時間をおいてから行ってください。OSC3の制御方法と注意事項については"4.3 発振回路"を参照してください。イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

(2)プリスケーラ分周比の選択

プリスケーラの分周比を4種類の中から選択します。この選択は、プリスケーラ分周比選択レジスタPTPS00/PTPS01(タイマ0)によって行います。設定値と分周比は表4.9.3.3.1に示すとおり対応しています。

表4.9.3.3.1 プリスケーラ分周比の選択

PTPS01	PTPS00	プリスケーラ分周比
1	1	原振クロック / 256
1	0	原振クロック / 32
0	1	原振クロック / 4
0	0	原振クロック / 1

レジスタPTRUN(タイマ0)に"1"を書き込むことによって、原振クロックがプリスケーラに入力されます。これによって、選択した分周比のクロックがタイマに入力され、タイマがダウンカウントを開始します。

4.9.3.4 割り込み機能

プログラマブルタイマは、アンダーフロー信号によって割り込みを発生させることができます。

16ビットプログラマブルタイマのアンダーフロー信号によって対応する割り込み要因フラグIPT1が"1"にセットされ、割り込みが発生します。割り込み要因フラグに対応した割り込みマスクレジスタEIPT1の設定により割り込みをマスクすることもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応するタイマのアンダーフローで"1"にセットされます。

4.9.3.5 TOUT出力の設定

プログラマブルタイマは、16ビットプログラマブルタイマのアンダーフローによってTOUT信号を発生させることができます。TOUT信号はアンダーフローを1/2分周した信号です。

TOUT信号はR02出力ポート端子から出力させることができ、外部デバイス等に対してプログラマブルなクロックを供給することができます。

R02出力ポートの構成を図4.9.3.5.1に示します。

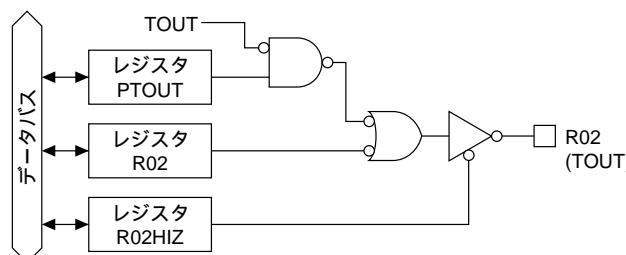


図4.9.3.5.1 R02の構成

TOUT信号はレジスタPTOUTによって出力制御が行われます。PTOUTに"1"を設定するとTOUT信号がR02出力ポート端子から出力され、"0"を設定するとHIGH(VDD)レベルが出力されます。このとき、データレジスタR02には常時"1"が、ハイインピーダンス制御レジスタR02HIZには常時"0"(データ出力)が設定されている必要があります。

なお、TOUT信号はレジスタPTOUTとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図4.9.3.5.2にTOUT信号の出力波形を示します。

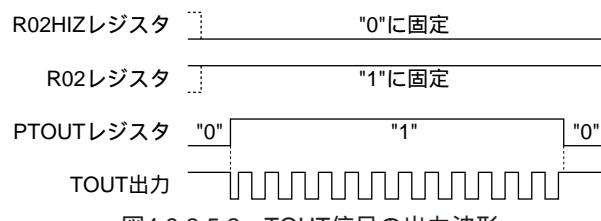


図4.9.3.5.2 TOUT信号の出力波形

4.9.3.6 シリアルインターフェースの転送速度設定

16ビットプログラマブルタイマのアンダーフローを1/2分周した信号をシリアルインターフェースのクロック源として使用することができます。

シリアルインターフェースへのクロックは16ビットプログラマブルタイマをRUN(PTRUN0="1")することにより出力されますので、PTOUTレジスタによる制御は不要です。

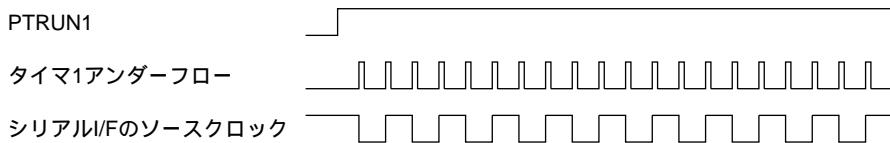


図4.9.3.6.1 シリアルインターフェースの同期クロック

転送速度に対するレジスタRLD1X、RLD0Xへの設定値は次式のようになります。

$$\text{RLD1X, RLD1X} = \text{fosc} / (2 * \text{bps} * \text{プリスケーラ分周比}) - 1$$

fosc: 発振周波数(OSC1/OSC3)

bps: 転送速度

(RLD1Xには00Hも設定可能)

4.9.4 プログラマブルタイマのI/Oメモリ

表4.9.4.1にプログラマブルタイマの制御ビットとそのアドレスを示します。

表4.9.4.1 プログラマブルタイマの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FFC0H	MODE16	EVCNT	FCSEL	PLPOL	MODEL16	0	16bit × 1	8bit × 2	タイマモード選択(8ビット×2または16ビット×1) タイマ0カウンタモード選択 タイマ0機能選択(イベントカウンタモード時) タイマ0パルス極性選択(イベントカウンタモード時)
	R	R/W			EVCNT	0	Event ct.	Timer	
					FCSEL	0	With NR	No NR	
					PLPOL	0	↑	↓	
FFC1H	CHSEL	PTOUT	CKSEL1	CKSEL0	CHSEL	0	Timer1	Timer0	TOUT出力チャンネル選択 TOUT出力制御
		R/W			PTOUT	0	On	Off	
					CKSEL1	0	OSC3	OSC1	プリスクーラ1原振クロック選択 プリスクーラ0原振クロック選択
					CKSEL0	0	OSC3	OSC1	
FFC2H	PTPS01	PTPS00	PTRST0	PTRUN0	PTPS01	0	Reset Run	Invalid Stop	プリスクーラ0 [PTPS01, 00] 0 1 2 3 分周比選択 分周比 1/1 1/4 1/32 1/256
		R/W			PTPS00	0			
					PTRST0*3	- *2			
					PTRUN0	0			タイム0リセット(リロード) タイム0 Run/Stop
FFC3H	PTPS11	PTPS10	PTRST1	PTRUN1	PTPS11	0	Reset Run	Invalid Stop	プリスクーラ1 [PTPS11, 10] 0 1 2 3 分周比選択 分周比 1/1 1/4 1/32 1/256
		R/W			PTPS10	0			
					PTRST1*3	- *2			
					PTRUN1	0			タイム1リセット(リロード) タイム1 Run/Stop
FFC4H	RLD03	RLD02	RLD01	RLD00	RLD03	0			MSB プログラマブルタイマ0リロードデータ(下位4ビット) LSB
		R/W			RLD02	0			
					RLD01	0			
					RLD00	0			
FFC5H	RLD07	RLD06	RLD05	RLD04	RLD07	0			MSB プログラマブルタイマ0リロードデータ(上位4ビット) LSB
		R/W			RLD06	0			
					RLD05	0			
					RLD04	0			
FFC6H	RLD13	RLD12	RLD11	RLD10	RLD13	0			MSB プログラマブルタイマ1リロードデータ(下位4ビット) LSB
		R/W			RLD12	0			
					RLD11	0			
					RLD10	0			
FFC7H	RLD17	RLD16	RLD15	RLD14	RLD17	0			MSB プログラマブルタイマ1リロードデータ(上位4ビット) LSB
		R/W			RLD16	0			
					RLD15	0			
					RLD14	0			
FFC8H	PTD03	PTD02	PTD01	PTD00	PTD03	0			MSB プログラマブルタイマ0データ(下位4ビット) LSB
		R			PTD02	0			
					PTD01	0			
					PTD00	0			
FFC9H	PTD07	PTD06	PTD05	PTD04	PTD07	0			MSB プログラマブルタイマ0データ(上位4ビット) LSB
		R			PTD06	0			
					PTD05	0			
					PTD04	0			
FFCAH	PTD13	PTD12	PTD11	PTD10	PTD13	0			MSB プログラマブルタイマ1データ(下位4ビット) LSB
		R			PTD12	0			
					PTD11	0			
					PTD10	0			
FFCBH	PTD17	PTD16	PTD15	PTD14	PTD17	0			MSB プログラマブルタイマ1データ(上位4ビット) LSB
		R			PTD16	0			
					PTD15	0			
					PTD14	0			
FFE2H	0	0	EIPT1	EIPT0	0 *3	- *2			未使用 未使用
		R/W			0 *3	- *2			
					EIPT1	0	Enable	Mask	割り込みマスクレジスタ(プログラマブルタイマ1) 割り込みマスクレジスタ(プログラマブルタイマ0)
					EIPT0	0	Enable	Mask	
FFF2H	0	0	IPT1	IPT0	0 *3	- *2			未使用 未使用
		R/W			0 *3	- *2			
					IPT1	(R)	(R)	(R)	割り込み要因フラグ(プログラマブルタイマ1)
					IPT0	0	Yes	No	割り込み要因フラグ(プログラマブルタイマ0)
*1 イニシャルリセット時の初期値					*2 回路上設定されない		*3 読み出し時は常時"0"		

CKSEL0: プリスケーラ0原振クロック選択レジスタ(FFC1H·D0)

CKSEL1: プリスケーラ1原振クロック選択レジスタ(FFC1H·D1)

プリスケーラの原振クロックを選択します。

"1"書き込み: OSC3クロック

"0"書き込み: OSC1クロック

読み出し: 可能

プリスケーラの原振クロックをOSC1とするかOSC3とするかを選択します。CKSEL0に"0"を書き込んだ場合、プリスケーラ(タイマ0用)の入力クロックとしてOSC1、"1"を書き込んだ場合はOSC3がそれぞれ選択されます。

同様に、プリスケーラ1の原振クロックがCKSEL1によって選択されます。

なお、タイマ0のイベントカウンタモードを選択している場合はCKSEL0の設定は無効となります。

また、16ビットタイマとして使用する場合は、プリスケーラ1の設定は無効です。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

PTPS00, PTPS01: タイマ0プリスケーラ分周比選択レジスタ(FFC2H·D2, D3)

PTPS10, PTPS11: タイマ1プリスケーラ分周比選択レジスタ(FFC3H·D2, D3)

プリスケーラの分周比を選択します。

PTPS00, PTPS01の2ビットはタイマ0に対応したプリスケーラ分周比選択レジスタで、PTPS10, PTPS11の2ビットは同様にタイマ1に対応しています。

本レジスタによって設定できるプリスケーラの分周比は表4.9.4.2のとおりです。

表4.9.4.2 プリスケーラ分周比の選択

PTPS11 PTPS01	PTPS10 PTPS00	プリスケーラ分周比
1	1	原振クロック / 256
1	0	原振クロック / 32
0	1	原振クロック / 4
0	0	原振クロック / 1

なお、イベントカウンタモードを選択している場合はPTPS00, PTPS01の設定は無効となります。

また、16ビットタイマとして使用する場合は、PTPS10, PTPS11の設定は無効です。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

EVCNT: タイマ0カウンタモード選択レジスタ(FFC0H·D2)

タイマ0のカウンタモードを選択します。

"1"書き込み: イベントカウンタモード

"0"書き込み: タイマモード

読み出し: 可能

タイマ0をイベントカウンタとして使用するか、タイマとして使用するかを選択します。EVCNTに"1"を書き込んだ場合はイベントカウンタモード、"0"を書き込んだ場合はタイマモードがそれぞれ選択されます。

イニシャルリセット時、このレジスタは"0"に設定されます。

MODE16: タイマモード選択レジスタ(FFC0H・D3)

プログラマブルタイマを8ビット×2チャンネルとして使用するか、16ビット×1チャンネルとして使用するかを選択します。

- "1"書き込み: 16ビット×1チャンネル
- "0"書き込み: 8ビット×2チャンネル(タイマ0またはタイマ1)
- 読み出し: 可能

8ビット×2チャンネルを選択すると、タイマ0とタイマ1を個別の8ビットタイマとして制御できます。

16ビット×1チャンネルを選択すると、タイマ0とタイマ1は16ビットタイマとして連結されます。この場合、クロックはタイマ0に入力され、割り込みはタイマ1のアンダーフローで発生します。

イニシャルリセット時、このレジスタは"0"に設定されます。

FCSEL: タイマ0機能選択レジスタ(FFC0H・D1)

イベントカウンタモードのクロック入力回路にノイズリジェクタを付加するかしないか選択します。

- "1"書き込み: ノイズリジェクト付き
- "0"書き込み: ノイズリジェクトなし
- 読み出し: 可能

FCSELに"1"を書き込んだ場合はノイズリジェクタが付加され、0.98msec以上のパルス幅の外部クロック(K13)によってカウントが行われます。(ノイズリジェクタは、K13入力ポート端子の入力レベルが変化してから2度目の内部2,048Hz信号の立ち下がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msec以下となります。)

FCSELに"0"を書き込んだ場合はノイズリジェクタは付加されず、K13入力ポート端子に入力される外部クロックによって直接カウントが行われます。

このレジスタの設定は、タイマ0をイベントカウンタモードで使用する場合にのみ有効です。

イニシャルリセット時、このレジスタは"0"に設定されます。

PLPOL: タイマ0パルス極性選択レジスタ(FFC0H・D0)

イベントカウンタのカウントパルス極性を選択します。

- "1"書き込み: 立ち上がりエッジ
- "0"書き込み: 立ち下がりエッジ
- 読み出し: 可能

イベントカウンタモード(タイマ0)のカウントのタイミングをK13入力ポート端子に入力される外部クロックの立ち下がりエッジとするか、立ち上がりエッジとするかを選択します。

PLPOLに"0"を書き込んだ場合は立ち下がりエッジ、"1"を書き込んだ場合は立ち上がりエッジがそれぞれ選択されます。

このレジスタの設定は、タイマ0をイベントカウンタモードで使用する場合にのみ有効です。

イニシャルリセット時、このレジスタは"0"に設定されます。

RLD00 ~ RLD07: タイマ0リロードデータレジスタ(FFC4H, FFC5H)**RLD10 ~ RLD17: タイマ1リロードデータレジスタ(FFC6H, FFC7H)**

カウンタの初期値を設定します。

本レジスタに設定したリロードデータがそれぞれのカウンタにロードされ、それを初期値としてダウンカウントが行われます。

リロードデータがカウンタにロードされる条件はPTRST0、PTRST1に"1"を書き込んでプリセットを行う場合と、カウンタのアンダーフローによって自動的にリロードが行われる場合です。

イニシャルリセット時、これらのレジスタはそれぞれ"00H"に設定されます。

PTD00 ~ PTD07: タイマ0カウンタデータ(FFC8H, FFC9H)

PTD10 ~ PTD17: タイマ1カウンタデータ(FFCAH, FFCBH)

プログラマブルタイマのデータが読み出せます。

タイマ0のカウンタデータの下位4ビットがPTD00 ~ PTD03、上位4ビットがPTD04 ~ PTD07から読み出せます。

同様に、タイマ1のカウンタデータの下位4ビットがPTD10 ~ PTD13、上位4ビットがPTD14 ~ PTD17から読み出せます。

下位4ビットの読み出しにより上位4ビットのホールド機能が働きますので、読み出しは必ず下位4ビットから先に行ってください。

本ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、各カウンタデータは"00H"に設定されます。

PTRST0: タイマ0リセット(リロード)(FFC2H·D1)

PTRST1: タイマ1リセット(リロード)(FFC3H·D1)

タイマをリセットし、リロードデータをカウンタにプリセットします。

"1"書き込み: リセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

PTRST0に"1"を書き込むことによって、PLD00 ~ PLD07のリロードデータがタイマ0のカウンタにプリセットされます。タイマ0のカウンタがRUN状態のときにプリセットを行うとリロードデータのプリセット直後にリストアします。

また、STOP状態の場合はプリセットされたリロードデータがそのまま保持されます。

"0"の書き込みはノーオペレーションとなります。

同様に、PLD10 ~ PLD17のリロードデータがPTRST1によってタイマ1のカウンタにプリセットされます。

本ビットは書き込み専用のため、読み出しは常時"0"となります。

PTRUN0: タイマ0 RUN/STOP制御レジスタ(FFC2H·D0)

PTRUN1: タイマ1 RUN/STOP制御レジスタ(FFC3H·D0)

カウンタのRUN/STOPを制御します。

"1"書き込み: RUN

"0"書き込み: STOP

読み出し: 可能

タイマ0のカウンタはPTRUN0に"1"を書き込むことによってダウンカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

同様に、タイマ1のカウンタがPTRUN1によってRUN/STOP制御されます。

16ビットタイマとして使用する場合は、PTRUN0で制御します。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

CHSEL: TOUT出力チャンネル選択レジスタ(FFC1H·D3)

TOUT信号のチャンネルを選択します。

"1"書き込み: タイマ1

"0"書き込み: タイマ0

読み出し: 可能

TOUT信号にタイマ0のアンダーフローを使用するか、タイマ1のアンダーフローを使用するかを選択します。

CHSELに"0"を書き込んだ場合はタイマ0、"1"を書き込んだ場合はタイマ1がそれぞれ選択されます。

16ビット×2チャンネルモード時(MODE16="1")は、このレジスタの設定にかかわらず常にタイマ1が選択されます。

イニシャルリセット時、このレジスタは"0"に設定されます。

PTOUT: TOUT出力制御レジスタ(FFC1H·D2)

TOUT信号の出力制御を行います。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

PTOUTはTOUT信号の出力制御レジスタで、"1"を設定するとTOUT信号がR02出力ポート端子から出力され、"0"を設定するとHIGHレベル(VDD)が出力されます。このとき、データレジスタR02には常時"1"が、ハイインピーダンス制御レジスタR02HZには常時"0"(データ出力)が設定されている必要があります。イニシャルリセット時、このレジスタは"0"に設定されます。

EIPT0: タイマ0割り込みマスクレジスタ(FFE2H·D0)**EIPT1: タイマ1割り込みマスクレジスタ(FFE2H·D1)**

プログラマブルタイマの割り込みについて、マスクするかしないかを選択します。

"1"書き込み: イネーブル

"0"書き込み: マスク

読み出し: 可能

タイマ0、タイマ1の割り込みをマスクするかしないかを、割り込みマスクレジスタEIPT0(タイマ0) EIPT1(タイマ1)により個別に選択できます。16ビットタイマとして使用する場合は、EIPT1で割り込みを制御します。イニシャルリセット時、これらのレジスタは"0"に設定されます。

IPT0: タイマ0割り込み要因フラグ(FFF2H·D0)**IPT1: タイマ1割り込み要因フラグ(FFF2H·D1)**

プログラマブルタイマ割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有

"0"読み出し: 割り込み無

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

割り込み要因フラグIPT0、IPT1は、それぞれタイマ0、タイマ1のプログラマブルタイマ割り込みに対応します。これらのフラグによってプログラマブルタイマ割り込みの有無を、ソフトウェアで判断することができます。ただし、これらのフラグは割り込みをマスクしていても、対応するタイマのアンダーフローで"1"にセットされます。16ビットタイマとして使用している場合は、タイマ1の要因フラグがセットされます。

これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

4.9.5 プログラミング上の注意事項

(1)カウンタデータの読み出しあは必ず下位4ビット(PTD00～PTD03、PTD10～PTD13)から先に行ってください。
また、下位4ビット(PTD00～PTD03、PTD10～PTD13)と上位4ビット(PTD04～PTD07、PTD14～PTD17)の
読み出しの時間差は0.73msec以下としてください。

16ビット×1チャンネルモード時は、次の順番で1.46msec以内にすべてを読み出してください。

(PTD00～PTD03) (PTD04～PTD07) (PTD10～PTD13) (PTD14～PTD17)

(2)プログラマブルタイマはレジスタPTRUN0/PTRUN1への書き込みに対して、入力クロックの立ち下がりエッジに同期して実際にRUN/STOP状態となります。

したがって、PTRUN0/PTRUN1に"0"を書き込んだ場合は、"-1"余分にカウントしたところでタイマが停止状態となります。また、このときPTRUN0/PTRUN1は実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。

図4.9.5.1にRUN/STOP制御のタイミングチャートを示します。



図4.9.5.1 RUN/STOP制御のタイミングチャート

なお、これについてはイベントカウンタも対象となるため、RUN/STOPレジスタ(PTRUN0)を設定後にクロック入力がない場合、カウンタ回路は実際にはRUN/STOP状態になりませんので注意してください。

(3)TOUT信号は出力制御レジスタPTOUTとは非同期に発生していますので、PTOUTの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

(4)OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3発振回路をONさせる必要があります。

ただし、OSC3発振回路をONにしてから発振が安定するまでに5msec以上の時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ON後、充分な待ち時間をおいてから行ってください。OSC3の制御方法と注意事項については"4.3 発振回路"を参照してください。イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

(5)割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(「フラグ="1"」)に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット(「1」書き込み)を行ってください。

(6)プログラマブルタイマ動作中にプログラマブルタイマ割り込み発生間隔を変更する場合、以下の理由によりリロードデータを書き込むタイミングに注意が必要です。

プログラマブルタイマは入力クロックの立ち下がりエッジでダウンカウントを行い、そこでアンダーフローが発生した場合は同時に割り込みを発生します。その後、リロードデータをカウンタにセットする動作を開始し、入力クロックの次の立ち上がりエッジでカウンタデータが確定します(　の区間)。

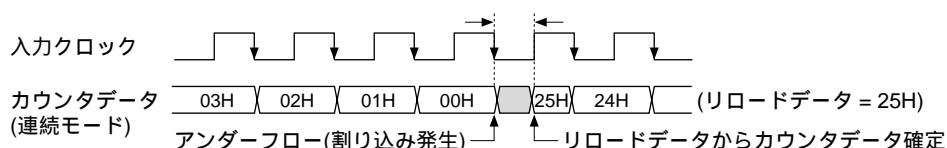


図4.9.5.2 プログラマブルタイマリロードタイミング

リロードデータを正しくカウンタにセットするために、割り込み発生後は　の区間を含め、カウンタデータが確定するまではリロードデータの書き換えを行わないでください。入力クロックの源振にOSC1(低速クロック)を使用し、CPUがOSC3(高速クロック)で動作している場合は、特に注意が必要です。

4.10 シリアルインターフェース(SIN, SOUT, $\overline{\text{SCLK}}$, $\overline{\text{SRDY}}$)

4.10.1 シリアルインターフェースの構成

S1C6P366はクロック同期型の8ビットシリアルインターフェースを内蔵しています。

図4.10.1.1にシリアルインターフェースの構成を示します。

CPUはSIN端子より入力されたシリアルデータを8ビットのシフトレジスタを介して読み取ることができます。また、同じ8ビットのシフトレジスタを介してパラレルデータをシリアル変換し、SOUT端子に出力することができます。

シリアルデータを入出力するための同期クロックは、マスタモード(内部クロックモード: 本CPUがシリアル入出力のマスターとなる場合)²種類とスレーブモード(外部クロックモード: 本CPUがシリアル入出力のスレーブとなる場合)¹種類の中から1つをソフトウェアにより選択できます。

また、本シリアルインターフェースをスレーブモードで使う場合には、シリアルインターフェースが送受信可能かどうかを示すSRDY信号を出力端子SRDYに出力します。

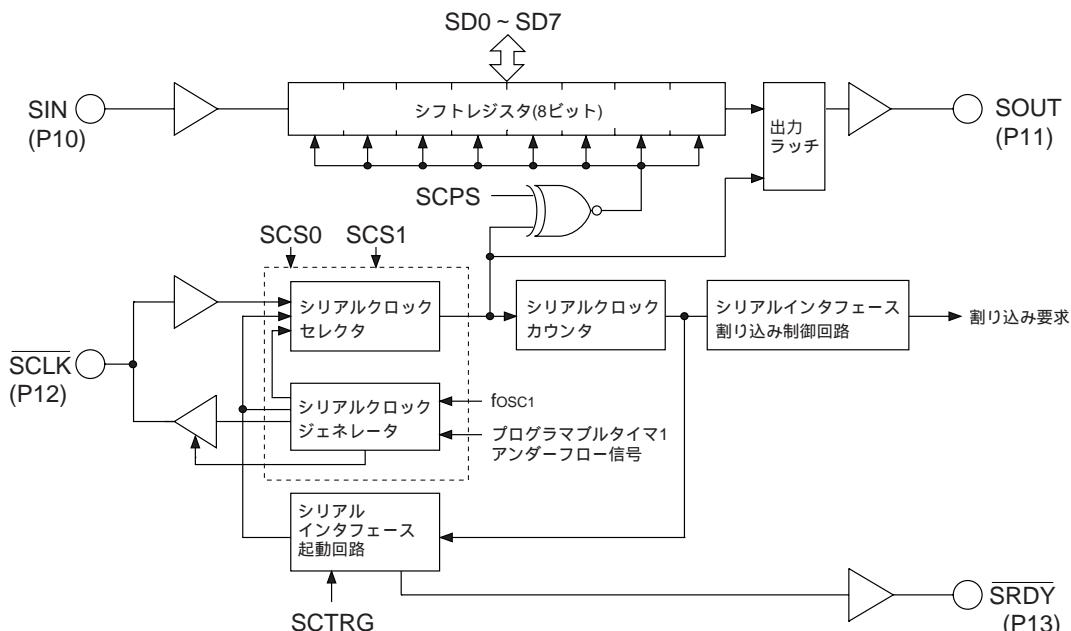


図4.10.1.1 シリアルインターフェースの構成

シリアルインターフェースの入出力ポートは入出力兼用ポート(P10～P13)と兼用されており、シリアルインターフェースとして使用する場合はソフトウェアによって機能の切り換えを行います。

P10～P13端子とシリアル入出力との対応は以下のとおりです。

マスタモード: P10 = SIN(I) P11 = SOUT(O) P12 = $\overline{\text{SCLK}}(O)$ P13 = 入出力兼用ポート(I/O)
スレーブモード: P10 = SIN(I) P11 = SOUT(O) P12 = $\overline{\text{SCLK}}(I)$ P13 = $\overline{\text{SRDY}}(O)$

注: イニシャルリセット時、P10～P13は入出力兼用ポートに設定されます。

シリアルインターフェースを使用する場合は、初期化ルーチンの中で機能の切り換え($\text{ESIF} = "1"$)を行ってください。

SOUT信号(出力データ)は、ESOUTレジスタで制御される3ステートバッファを通ります。データの出力時は ESOUTに"1"を書き込んでください。ESOUTに"0"が書き込まれるとデータ出力が禁止され、SOUT端子はハイインピーダンスになります。

4.10.2 マスクオプション

(1) 端子仕様

シリアルインタフェースの入出力端子は入出力兼用ポート(P10～P13)と兼用されているため、入出力兼用ポートの端子仕様を選択するマスクオプションがシリアルインタフェースにも適用されます。

S1C6P366の入出力兼用ポート(P10～P13)はブルアップ抵抗付き、コンプリメンタリ出力の仕様に固定されています。したがって、シリアルインタフェースの入出力ポートの中で出力として使用されるSOUT端子、SCLK端子(マスタモード時)、SRDY端子(スレーブモード時)の出力仕様はコンプリメンタリ出力となります。また、入力として使用されるSIN端子、SCLK端子(スレーブモード時)は、ブルアップ抵抗付き入力となります。

(2) 同期クロックおよびレディ信号の極性

S1C6P366では、同期クロックおよびスレーブモード時に出力されるレディ信号の極性が負極性(アクティブLOW)に固定されます。

4.10.3 シリアルインタフェースのマスタモードとスレーブモード

S1C6P366のシリアルインタフェースは、マスタモードとスレーブモードの2種類の動作モードを持っています。

マスタモードでは内蔵シフトレジスタの同期クロックとして内部クロックを使用し、この内部クロックをSCLK(P12端子)に出力し、外部の(スレーブ側の)シリアル入出力回路を制御することができます。スレーブモードでは、外部の(マスタ側の)シリアル入出力回路より出力される同期クロックをSCLK(P12端子)より入力し、本CPU内蔵のシリアルインタフェースの同期クロックとして使用することができます。

マスタモードとスレーブモードは、レジスタSCS0とSCS1にデータを書き込むことによって切り換えることができます。表4.10.3.1に示すように、マスタモードにした場合は、同期クロックとして3種類の中の1つを選択することができます。

表4.10.3.1 同期クロック選択

SCS1	SCS0	モード	同期クロック
1	1	マスタモード	OSC1
1	0		OSC1/2
0	1		プログラマブルタイマ*
0	0	スレーブモード	外部クロック

* クロック周波数は最大1MHzに制限されます。

プログラマブルタイマを選択した場合は、プログラマブルタイマ(タイマ1)のアンダーフロー信号を1/2分周した信号が同期クロックとして使用されます。この場合、シリアルインタフェースを動作させる前にプログラマブルタイマの制御が必要です。プログラマブルタイマについては"4.9 プログラマブルタイマ"を参照してください。

イニシャルリセット時はスレーブモード(外部クロックモード)が選択されます。

また、同期クロックは、8ビット・シリアルデータの入出力に伴い次のように制御されています。

- マスタモードでは、SCLK(P12)端子よりクロックが8個出力されると自動的にクロック出力を停止し、SCLK(P12)端子はHIGHに固定されます。
- スレーブモードでは、SCLK(P12)端子よりクロックが8個入力されると以降のクロック入力はマスクされます。

基本的なシリアル入出力部の接続例を図4.10.3.1に示します。

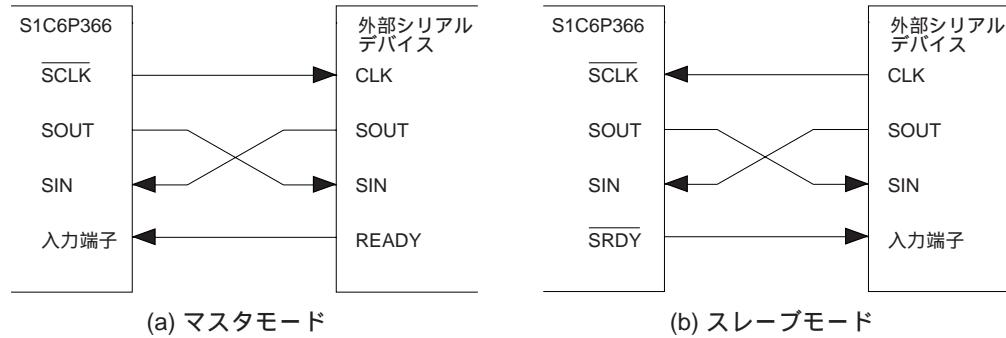


図4.10.3.1 基本的なシリアル入出力部の接続例

4.10.4 データの入出力と割り込み

S1C6P366のシリアルインターフェースは、内部の8ビットシフトレジスタを介してデータの入出力をすることができます。シフトレジスタのシフト動作は、SCLK (P12) 端子より出力される(マスタモード)同期クロックか、SCLK (P12) 端子に入力される(スレーブモード)同期クロックに同期して動作します。

シリアルインターフェースは8ビットのシリアルデータの入出力が終了すると割り込みを発生します。シリアルデータの入出力の検出は同期クロックSCLKをカウントすることで行っており、クロックが8個(8周期分)カウントされた時点で終了と判断して割り込みを発生します。

以下にシリアルデータの入出力方法について説明します。

(1) シリアルデータの出力と割り込み

S1C6P366のシリアルインターフェースは8ビット単位でパラレルデータをシリアル出力することができます。パラレルデータをデータレジスタSD0～SD3 (FF72H) とSD4～SD7 (FF73H) にセットし、SCTRGビット (FF70H・D1) を"1"にセットすると、同期クロックに同期してSOUT (P11) 端子にシリアルデータが出力されます。このとき、同期クロックはマスタモードでは内部クロックがSCLK (P12) 端子に出力され、スレーブモードでは外部クロックがSCLK (P12) 端子より入力されます。

SOUT (P11) 端子のシリアル出力はSCLK (P12) 端子から入力、または出力されるクロックの立ち下がりエッジで変化します。また、シフトレジスタのデータは、SCPSレジスタ (FF71H・D2) が"1"のときはSCLK信号の立ち下がりでシフトし、SCPSレジスタが"0"のときはSCLK信号の立ち上がりでシフトします。

SD0からSD7までの8ビットのデータを出力し終わると割り込み要因フラグISIF (FFF3H・D0) がセットされ、割り込みが発生します。なお、割り込みマスクレジスタEISIF (FFE3H・D0) によって割り込みを禁止することもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、8ビットデータの出力後"1"にセットされます。

(2) シリアルデータの入力と割り込み

S1C6P366のシリアルインターフェースは8ビット単位でシリアルデータをパラレルデータとして入力することができます。

シリアルデータはSIN (P10) 端子より入力され、同期クロックに同期してCPU内部の8ビットシフトレジスタに順次取り込まれます。同期クロックは(1)で説明したとおりマスタモードでは内部クロックが使われ、スレーブモードでは外部クロックが使われます。

内蔵シフトレジスタへのシリアルデータは、SCPSレジスタが"1"のときはSCLK信号の立ち下がりで取り込まれ、SCPSレジスタが"0"のときはSCLK信号の立ち上がりで取り込まれます。シリアルデータが取り込まれるとともに、シフトレジスタ内のデータは順次シフトされます。

SD0からSD7までの8ビットのデータを入力し終わると割り込み要因フラグISIFがセットされ、割り込みが発生します。なお、割り込みマスクレジスタEISIFによって割り込みを禁止することもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、8ビットデータの入力後"1"にセットされます。

シフトレジスタに入力されたデータは、レジスタSD0～SD7からソフトウェアによって読み出すことができます。

(3)シリアルデータの入出力順列

S1C6P366はレジスタSDP(FF71H・D3)によりシリアルデータの入出力の順列を LSBを先頭にするかMSBを先頭にするかを切り換えることができます。LSBを先頭にした場合とMSBを先頭にした場合のブロック図を図4.10.4.1に示します。SDPの設定はSD0～SD7にデータを設定する前に行ってください。



図4.10.4.1 シリアルデータの入出力順列

(4)SRDY信号

S1C6P366のシリアルインターフェースをスレーブモード(外部クロックモード)で使用する場合には、マスター側(外部のシリアル入出力回路に対してCPU内部のシリアルインターフェースが送受信可能かどうかを伝えるためのSRDY信号をSRDY(P13)端子より出力することができます。

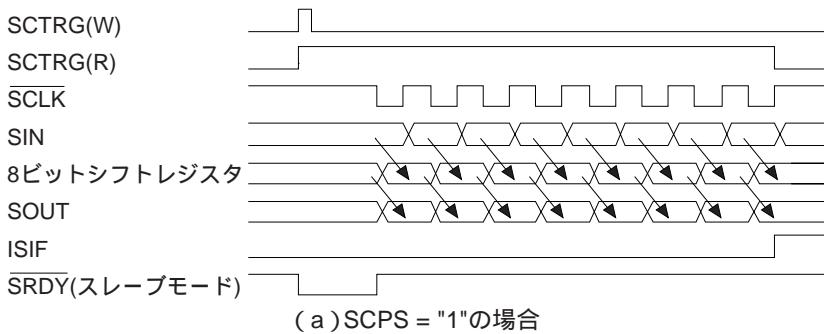
SRDY信号はS1C6P366のシリアル入出力回路が送信または受信可能な状態になったときに"0"(LOW)となり、通常は"1"(HIGH)となっています。

SRDY信号はSCTRGに"1"を書き込んだ直後に"1"から"0"に変化し、SCLK(P12)端子に"0"が入力される(送信または受信を開始すると)"0"から"1"に戻ります。

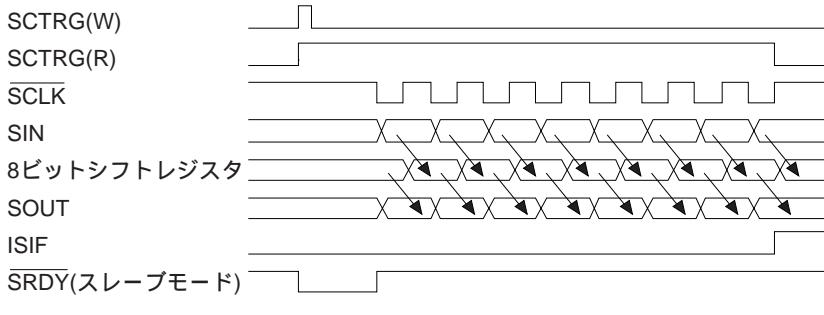
また、シフトレジスタの上位ワード(SD4～SD7)に対してデータを読み出したり、書き込んだりするとSRDY信号は"1"に戻ります。

(5)タイミングチャート

S1C6P366のシリアルインターフェースのタイミングチャートを図4.10.4.2に示します。



(a) SCPS = "1" の場合



(b) SCPS = "0" の場合

図4.10.4.2 シリアルインターフェースのタイミングチャート

4.10.5 シリアルインターフェースのI/Oメモリ

表4.10.5.1にシリアルインターフェースの制御ビットとそのアドレスを示します。

表4.10.5.1 シリアルインターフェースの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注釈
	D3	D2	D1	D0					
FF45H	PUL13	PUL12	PUL11	PUL10	PUL13	1	On	Off	P13ブルアップ制御レジスタ SIF(スレーブ)選択時、汎用レジスタとして機能
					PUL12	1	On	Off	P12ブルアップ制御レジスタ(ESIF=0) SIF(マスター)選択時、汎用レジスタとして機能
					PUL11	1	On	Off	SIF(スレーブ)選択時、SCLK(1)ブルアップ制御レジスタ P11ブルアップ制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能
					PUL10	1	On	Off	P10ブルアップ制御レジスタ(ESIF=0) SIF選択時、SINブルアップ制御レジスタ
FF70H	0	ESOUT	SCTRG	ESIF	0 *3	- *2	Enable	Disable	未使用
					ESOUT	0	Trigger	Invalid	SOUT制御
	R	R/W			SCTRG	0	Run	Stop	シリアルI/Fクロックトリガ(書き込み時) シリアルI/Fクロックステータス(読み出し時)
					ESIF	0	SIF	I/O	シリアルI/Fイネーブル(P1ポート機能選択)
FF71H	SDP	SCPS	SCS1	SCS0	SDP	0	MSB first	LSB first	シリアルI/Fデータ入出力順列
					SCPS	0			シリアルI/Fクロックフェーズ選択 [SCS1,0] 0 1 シリアルI/F [SCS1,0] 2 3
		R/W			SCS1	0			クロックモード選択 クロック OSC1/2 OSC1
					SCS0	0			
FF72H	SD3	SD2	SD1	SD0	SD3	- *2	High	Low	MSB
					SD2	- *2	High	Low	シリアルI/F送受信データ(下位4ビット)
		R/W			SD1	- *2	High	Low	LSB
					SD0	- *2	High	Low	
FF73H	SD7	SD6	SD5	SD4	SD7	- *2	High	Low	MSB
					SD6	- *2	High	Low	シリアルI/F送受信データ(上位4ビット)
		R/W			SD5	- *2	High	Low	LSB
					SD4	- *2	High	Low	
FFE3H	0	0	0	EISIF	0 *3	- *2			未使用
					0 *3	- *2			未使用
		R			0 *3	- *2			未使用
					EISIF	0	Enable	Mask	割り込みマスクレジスタ(シリアルI/F)
FFF3H	0	0	0	ISIF	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
		R/W			0 *3	- *2	(W)	(W)	未使用
					ISIF	0	Reset	Invalid	割り込み要因フラグ(シリアルI/F)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

ESIF: シリアルインターフェースイネーブルレジスタ(P1ポート機能選択)(FF70H・D0)

P10～P13をシリアルインターフェースの入出力ポートに設定します。

"1"書き込み: シリアルインターフェース

"0"書き込み: 入出力兼用ポート

読み出し: 可能

P10、P11、P12、P13がそれぞれSIN、SOUT、SCLK、SRDYとして機能します。P13端子はスレーブモードの場合にSRDY出力端子として機能し、マスター mode の場合は入出力兼用ポート端子として機能します。イニシャルリセット時、このレジスタは"0"に設定されます。

注: ESIF="1"に設定した時点で、P12(SCLK)端子からハザードが出る場合がありますので、ESIF="1"に設定後10μsec以上待ってから実データの送受信を開始してください。

ESOUT: SOUT制御レジスタ(FF70H・D2)
SOUT出力をイネーブルにします。

- "1"書き込み: イネーブル
- "0"書き込み: ディセーブル
- 読み出し: 可能

ESOUTに"1"を書き込むとSOUT端子からデータが出力可能な状態になります。"0"を書き込むとSOUT端子はハイインピーダンスとなります。

イニシャルリセット時、このレジスタは"0"に設定されます。

PUL10: SINプルアップ制御レジスタ(FF45H・D0)

PUL12: SCLKプルアップ制御レジスタ(FF45H・D2)

SIN端子、SCLK端子(スレーブモード時)のプルアップを設定します。

- "1"書き込み: プルアップON
- "0"書き込み: プルアップOFF
- 読み出し: 可能

SIN(P10)およびSCLK(P12)端子に内蔵されたプルアップ抵抗をONまたはOFFに設定します。

SCLKのプルアップはスレーブモード時にのみ有効で、マスタモード時はPUL12レジスタを汎用レジスタとして使用することができます。

イニシャルリセット時、これらのレジスタは"1"に設定され、プルアップ抵抗はONになります。

SCS1, SCS0: クロックモード選択レジスタ(FF71H・D1, D0)

シリアルインターフェースの同期クロック(SCLK)を選択します。

表4.10.5.2 同期クロック選択

SCS1	SCS0	モード	同期クロック
1	1		OSC1
1	0	マスタモード	OSC1 /2
0	1		プログラマブルタイマ*
0	0	スレーブモード	外部クロック*

* クロック周波数は最大1MHzに制限されます。

同期クロック(SCLK)は内部クロック3種類と外部クロックの上記4種類の中から選択します。

プログラマブルタイマを選択した場合は、プログラマブルタイマ(タイマ1)のアンダーフロー信号を1/2分周した信号が同期クロックとして使用されます。この場合、シリアルインターフェースを動作させる前にプログラマブルタイマの制御が必要です。プログラマブルタイマについては"4.9 プログラマブルタイマ"を参照してください。

イニシャルリセット時は外部クロックが選択されます。

SCPS: クロックフェーズ選択レジスタ(FF71H・D2)

SIN(P10)端子から入力するシリアルデータの読み込みタイミングを選択します。

- "1"書き込み: SCLK立ち下がりエッジ
- "0"書き込み: SCLK立ち上がりエッジ
- 読み出し: 可能

シリアル入出力データのレジスタ(SD0～SD7)への読み込みを同期クロックの立ち下がりエッジで行うか、立ち上がりエッジで行うかを選択します。

入力データの読み込みタイミングは選択できますが、出力データの出力タイミングはSCLK立ち下がりエッジに固定です。

イニシャルリセット時、このレジスタは"0"に設定されます。

SDP: データ入出力順列選択レジスタ(FF71H・D3)
シリアルデータの入出力順列を選択します。

- "1"書き込み: MSB先頭
- "0"書き込み: LSB先頭
- 読み出し: 可能

データの入出力をMSB先頭で行うか、LSB先頭で行うか選択します。
イニシャルリセット時、このレジスタは"0"に設定されます。

SCTRG: クロックトリガ/ステータス(FF70H・D1)
同期クロック(SCLK)の入力/出力開始トリガです。

• データ書き込み時

- "1"書き込み: トリガ入力
- "0"書き込み: ノーオペレーション

シリアルインターフェース起動回路にこのトリガ入力を与えると、同期クロック(SCLK)の入力/出力を開始します。トリガ条件として、SCTRGに"1"を書き込む以前に、データレジスタSD0～SD7の書き込み、または読み出しが行われている必要があります。(データレジスタSD0～SD7への書き込み/読み出しにより、シリアルインターフェースの内部回路は初期化されます。また、トリガをかける前に必ずESIFでシリアルインターフェースをイネーブルとしておいてください)。

トリガ入力はシリアルインターフェースをRUN状態にするごとに一度だけ与えてください。複数回のトリガ入力は誤動作につながりますので避けてください。

また、同期クロック(SCLK)が外部クロックの場合、トリガ入力後に外部クロックの入力を開始してください。

• データ読み出し時

- "1"読み出し: RUN(同期クロック入出力中)
- "0"読み出し: STOP(同期クロック停止中)

同期クロックの動作状態は、このビットを読み出すことによって確認できます。

SCTRGに"1"を書き込むと、このデータは同期クロックの入出力が停止(8個カウント)するまでラッチされます。したがって、"1"を読み出した場合は、同期クロックが入出力動作中であることを示しています。

同期クロックの入出力が終了するとこのラッチは"0"にリセットされます。

イニシャルリセット時、このビットは"0"に設定されます。

SD0～SD3, SD4～SD7: シリアルインターフェースデータレジスタ(FF72H, FF73H)

シリアルデータの書き込み/読み出しを行います。

• データ書き込み時

- "1"書き込み: HIGHレベル
- "0"書き込み: LOWレベル

SOUT(P11)端子から出力するシリアルデータを書き込みます。SOUT(P11)端子からは"1"に設定されたビットがHIGH(VDD)レベル、"0"に設定されたビットがLOW(Vss)レベルとしてシリアル変換されたデータが出力されます。

• データ読み出し時

- "1"読み出し: HIGHレベル
- "0"読み出し: LOWレベル

SIN(P10)端子から入力されたシリアルデータを読み出します。

このレジスタからは、SIN(P10)端子から入力されたHIGH(VDD)レベルのビットを"1"、LOW(Vss)レベルのビットを"0"としてパラレル変換されたデータが読み出されます。データの読み出しは、シリアルインターフェースが停止中(同期クロックが入力/出力されていない状態)のときにのみ行ってください。

イニシャルリセット時、このレジスタ内のデータは不定です。

EISIF: シリアルインタフェース割り込みマスクレジスタ (FFE3H·D0)
シリアルインタフェースからの割り込みマスクを設定します。

"1"書き込み: イネーブル
"0"書き込み: マスク
読み出し: 可能

シリアルインタフェースの割り込みをマスクするかしないかを選択できます。
イニシャルリセット時、このレジスタは"0"に設定されます。

ISIF: シリアルインタフェース割り込み要因フラグ (FFF3H·D0)
シリアルインタフェースからの割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有
"0"読み出し: 割り込み無
"1"書き込み: 要因フラグをリセット
"0"書き込み: 無効

このフラグによってシリアルインタフェース割り込みの有無を、ソフトウェアで判断することができます。このフラグは割り込みをマスクしていても、8ビットデータの入出力後に"1"にセットされます。

このフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(|フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、このフラグは"0"に設定されます。

4.10.6 プログラミング上の注意事項

- (1)データレジスタSD0～SD7への書き込み、または読み出しあはシリアルインタフェースが停止中(同期クロックが入力/出力されていない状態)のときのみ行ってください。
- (2)シリアルインタフェースの起動はトリガ条件として、SCTRGに"1"を書き込む以前に、データレジスタSD0～SD7の書き込み/読み出しが行われている必要があります。(データレジスタSD0～SD7への書き込み/読み出しにより、シリアルインタフェースの内部回路は初期化されます。)また、トリガをかける前に必ずESIFでシリアルインタフェースをイネーブルとしておいてください。
トリガはシリアルインタフェースをRUN状態にすることに一度だけ与えてください。また、同期クロックSCLKが外部クロックの場合は、トリガ後に外部クロックの入力を開始してください。
- (3)SDPIによる入出力順列(MSB先頭/LSB先頭)の設定は、SD0～SD7にデータを設定する前に行ってください。
- (4)プログラマブルタイマの出力クロックを同期クロックとして使用する場合、またはスレーブモードで使用する場合、同期クロックの周波数は最大1MHzに制限されますので注意してください。
- (5)割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(|フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.11 A/D変換器

4.11.1 A/D変換器の特徴と構成

- 変換方式 逐次比較型
- 分解能 8ビット
- 最大誤差: $\pm 3\text{LSB}$ A/Dクロック: OSC1, OSC3 (2.7V ~ 5.5V)
- 入力チャンネル 最大4チャンネル
- 変換時間 最小 $10.5\mu\text{s}$ (2MHz動作時)
最小 $641\mu\text{s}$ (32.768kHz動作時)
- アナログ変換電圧範囲が基準電圧端子(AVREF)により設定可能
- A/D変換結果は8ビットデータレジスタから読み出し可能
- サンプル&ホールド回路内蔵
- A/D変換終了時に割り込み発生

図4.11.1.1にA/D変換器の構成を示します。

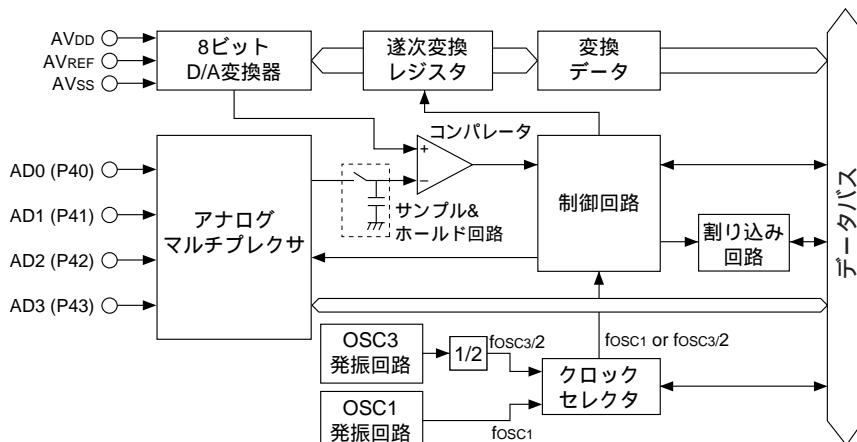


図4.11.1.1 A/D変換器の構成

4.11.2 A/D変換器の端子構成

A/D変換器で使用する端子は以下のとおりです。

AVDD, AVss(アナログ系電源端子)

AVDD, AVss端子はA/Dコンバータの電源端子です。入力電圧はAVDD = VDD, AVss=Vssとしてください。

AVREF(基準電圧入力端子)

AVREF端子はアナログ部の基準電圧端子です。A/D変換の入力電圧範囲がこの入力によって決定します(AVSS ~ AVREF)。入力電圧はAVREF = AVDDとしてください。

AD0 ~ AD3(アナログ入力端子)

アナログ入力端子AD0 ~ AD3は入出力兼用ポート端子P40 ~ P43(プルアップなし)と共にされています。したがって、アナログ入力端子として用いる場合は、ソフトウェアによりA/D変換器用に設定する必要があります。この設定は1端子ごとに行えます。(設定方法は4.11.4項参照)

イニシャルリセット時はすべての端子が入出力兼用ポート端子に設定されます。

入力可能なアナログ電圧値AVINはAVSS ~ AVIN ~ AVREFの範囲です。

4.11.3 マスクオプション

A/D変換器のアナログ入力端子は、入出力兼用端子P40～P43と兼用されています。このため、入出力兼用ポート端子のプルアップ抵抗のマスクオプションがそのまま適用されます。

S1C6P366のP40～P43ポートは、プルアップ抵抗なしの仕様に固定されています。

4.11.4 A/D変換の制御

(1) A/D入力端子の設定

A/D変換器を使用する場合、入出力兼用ポート端子として初期設定されるP40～P43の中でアナログ入力に使用する端子を設定しておく必要があります。4端子すべてをアナログ入力端子として使用可能です。

アナログ入力端子への設定はPAD(PAD0～PAD3)レジスタによって行います。PADレジスタビットを"1"に設定することにより、対応する端子がアナログ入力端子として機能します。

イニシャルリセット時、これらの端子はすべて入出力兼用ポート端子に設定され、各端子はハイインピーダンスとなります。

表4.11.4.1 A/D入力端子とPADレジスタの対応

端子	A/D入力制御レジスタ	備 考
P40 (AD0)	PAD0	
P41 (AD1)	PAD1	
P42 (AD2)	PAD2	
P43 (AD3)	PAD3	

(2) 入力クロックの設定

A/D変換用入力クロックは表4.11.4.2に示すとおり ADCLKレジスタによってOSC1クロックまたはOSC3の2分周クロックから選択できます。

表4.11.4.2 入力クロックの選択

ADCLK	入力クロック
0	OSC1
1	OSC3/2

選択したクロックはADRUNレジスタに"1"を書き込むことにより、クロックセレクタからA/D変換器に出力されます。

- 注:
- ADCLKレジスタによる入力クロックの選択は、必ずA/D変換器が停止中に行ってください。A/D変換中の変更は誤動作につながります。
 - クロックセレクタからA/D変換器へのクロックが停止中にA/D変換を開始(ADRUNレジスタへの"1"書き込み)したり、A/D変換動作中にクロックを停止しないでください。誤動作の原因となります。

(3) 入力信号の選択

AD0(P40)～AD3(P43)のアナログ入力はマルチプレクサに入力されており、ソフトウェアによってA/D変換を行うアナログ入力チャンネルを選択します。この選択は表4.11.4.3のとおり、CHSレジスタによって行います。

表4.11.4.3 アナログ入力チャンネルの選択

CHS1	CHS0	入力チャンネル
1	1	AD3 (P43)
1	0	AD2 (P42)
0	1	AD1 (P41)
0	0	AD0 (P40)

(4)A/D変換動作

A/D変換はADRUNレジスタ(FFD0H・D3)に"1"を書き込むことによって開始します。

たとえば、AD1をアナログ入力チャンネルとしてA/D変換を行いたい場合、CHSレジスタ(CHS1、CHS0)に"1"(0,1)を書き込みます。ただし、P41端子がアナログ入力端子として設定されている必要があります。次にADRUNレジスタに"1"を書き込みます。A/D変換器は、AD1端子に入力されている電圧の変換を開始します。

内蔵のサンプル&ホールド回路は、この書き込みから t_{AD} 時間経過後にアナログ入力のサンプリングを開始します。サンプリング期間が終了すると、そこでホールドされたアナログ入力電圧が逐次比較方式によりA/D変換されます。

ホールドされているアナログ入力電圧は8ビットの分解能でA/D変換され、その結果はADDR(ADDR0 ~ ADDR7)レジスタに格納されます。ADDR0がLSB、ADDR7がMSBです。

注: PADレジスタで設定されたアナログ入力端子(同時複数設定可)とCHSレジスタで選択された入力チャンネルが一致していないと正しいA/D変換が行われません。

例) 端子設定: PAD3=1, PAD2 ~ PAD0=0(AD3端子を設定)

 入力チャンネル選択: CHS1=0, CHS0=0(AD0を選択)

上記の設定では選択が一致していませんので、A/D変換結果は無効となります。

A/D変換開始のフローを図4.11.4.1に示します。

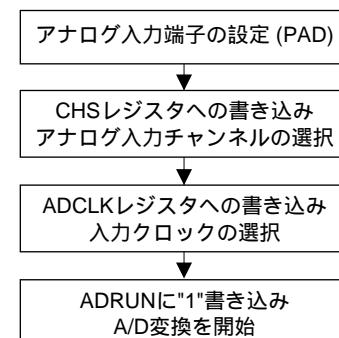


図4.11.4.1 A/D変換開始のフロー

変換結果がADDRレジスタに格納されA/D変換が終了すると、A/D変換器は次項で説明する割り込みを発生します。

A/D変換のタイミングを図4.11.4.2に示します。

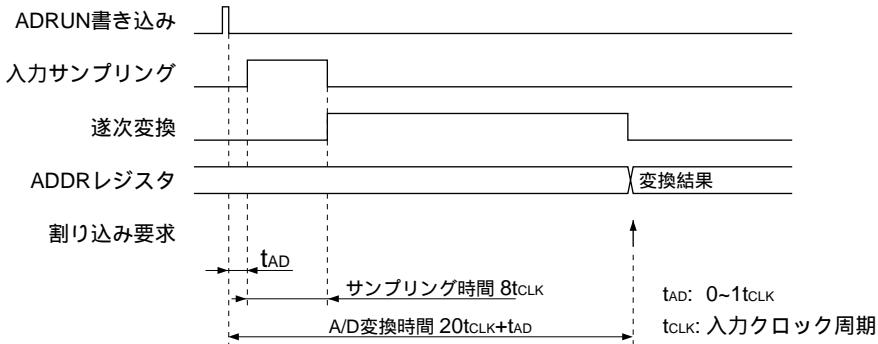


図4.11.4.2 A/D変換のタイミングチャート

4.11.5 割り込み機能

A/D変換器はA/D変換終了時に割り込みを発生させることができます。

図4.11.5.1にA/D変換器割り込み回路の構成を示します。

A/D変換器はA/D変換を終了し、変換結果をADDRレジスタに格納したところで割り込み要因フラグIADを"1"にセットします。このときに、割り込みマスクレジスタEIADが"1"に設定されている場合、CPUに対し割り込みが発生します。

EIADレジスタを"0"に設定しておくことにより、CPUへの割り込みを禁止することもできます。

割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、A/D変換の終了により"1"にセットされます。

"1"にセットされた割り込み要因フラグは"1"を書き込むことにより"0"にリセットされます。

A/D変換完了割り込みのベクタアドレスは010EHに設定されています。

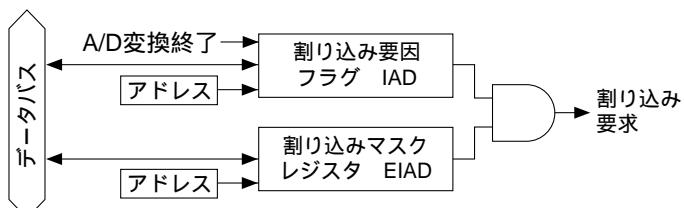


図4.11.5.1 A/D変換器割り込み回路の構成

4.11.6 A/D変換器のI/Oメモリ

表4.11.6.1にA/D変換器の制御ビットとそのアドレスを示します

表4.11.6.1 A/D変換器の制御ビット

アドレス	レジスタ				Name	Init *1	注 釈	
	D3	D2	D1	D0			1	0
FF01H	VADSEL	VDSEL	0	DBON	VADSEL	0	(V _{CZ})	(A/D変換器用電源選択)
					VDSEL	0	(V _{CZ})	(発振系定電圧回路用電源選択)
	R/W	R	R/W	DBON	0 *3	- *2	(On)	未使用 (昇圧回路On/Off)
FFD0H	ADRUN	ADCLK	CHS1	CHS0	ADRUN	0	Start	A/D変換器Run/Off制御
					ADCLK	0	OSC3	A/D変換器入力クロック選択
	W		R/W		CHS1	0		A/D変換器入力 [CHS1, 0] 0 1 2 3
					CHS0	0		チャンネル選択 入力チャンネル P40 P41 P42 P43
FFD1H	PAD3	PAD2	PAD1	PAD0	PAD3	0	Enable	P43入力チャンネル制御
					PAD2	0	Disable	P42入力チャンネル制御
					PAD1	0	Disable	P41入力チャンネル制御
	R/W				PAD0	0	Disable	P40入力チャンネル制御
FFD2H	ADDR3	ADDR2	ADDR1	ADDR0	ADDR3	- *2		A/D変換データ(D0 ~ D3)
					ADDR2	- *2		
					ADDR1	- *2		
	R				ADDR0	- *2		
FFD3H	ADDR7	ADDR6	ADDR5	ADDR4	ADDR7	- *2		A/D変換データ(D4 ~ D7)
					ADDR6	- *2		
					ADDR5	- *2		
	R				ADDR4	- *2		
FFE7H	0	0	0	EIAD	0 *3	- *2		未使用
					0 *3	- *2		未使用
					0 *3	- *2		未使用
	R		R/W	EIAD	0	Enable	Mask	割り込みマスクレジスタ(A/D変換器)
FFF7H	0	0	0	IAD	0 *3	- *2	(R)	未使用
					0 *3	- *2	Yes	未使用
					0 *3	- *2	No	未使用
	R		R/W	IAD	0	Reset	Invalid	未使用 割り込み要因フラグ(A/D変換器)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

PAD0 ~ PAD3: A/D変換器入力制御レジスタ(FFD1H)

P40 ~ P43端子をそれぞれA/D変換器のアナログ入力端子に設定します。

"1"書き込み: A/D変換器入力

"0"書き込み: 入出力兼用ポート

読み出し: 可能

PADnに"1"を書き込むとP4n端子がA/D変換器のアナログ入力端子ADnに設定されます。(n=0 ~ 3)

"0"を書き込んだ場合、その端子は入出力兼用ポート端子となります。

イニシャルリセット時、このレジスタは"0"(入出力兼用ポート)に設定されます。

ADCLK: A/D変換器入力クロック選択レジスタ(FFD0H·D2)

A/D変換器のクロック源を選択します。

"1"書き込み: OSC3

"0"書き込み: OSC1

読み出し: 可能

ADCLKに"1"を書き込むことにより、A/D変換器のクロック源としてOSC3が選択されます。

イニシャルリセット時、このレジスタは"0"(OSC1)に設定されます。

CHS0, CHS1: アナログ入力チャンネル選択レジスタ(FFD0H・D0, D1)
アナログ入力チャンネルを選択します。

表4.11.6.2 アナログ入力チャンネルの選択

CHS1	CHS0	入力チャンネル
1	1	AD3 (P43)
1	0	AD2 (P42)
0	1	AD1 (P41)
0	0	AD0 (P40)

イニシャルリセット時、このレジスタは"0"(AD0)に設定されます。

VADSEL: A/D電源選択レジスタ(FF01H・D3)

S1C6P366では、このレジスタの値はA/D変換器の動作モード(動作電圧)に影響を与えません。

ただし、S1C6P366をS1C63358、S1C63158の開発ツールとして使用する場合は、それぞれの機種の"テクニカルマニュアル"を参照し、電源電圧に合わせた制御を行ってください。

イニシャルリセット時、このレジスタは"0"に設定されます。

ADRUN: A/D変換制御(FFD0H・D3)

A/D変換を制御します。

- "1"書き込み: 変換開始
- "0"書き込み: ノーオペレーション
- 読み出し: 無効

ADRUNに"1"を書き込むことによりCHSレジスタで指定したチャンネルのA/D変換を行い、結果がADDRレジスタに格納されます。

イニシャルリセット時、ADRUNは"0"に設定されます。

ADDR0～ADDR7: A/D変換器結果(FFD2H/下位4ビット, FFD3H/上位4ビット)

A/D変換結果が格納されます。

ADDR0がLSB、ADDR7がMSBです。

イニシャルリセット時、データは不定となります。

EIAD: A/D変換器割り込みマスクレジスタ(FFE7H・D0)

A/D変換器の割り込みをマスクします。

- "1"書き込み: イネーブル
- "0"書き込み: マスク
- 読み出し: 可能

A/D変換器の割り込みをマスクするかしないかを、このレジスタにより選択できます。

イニシャルリセット時、このレジスタは"0"に設定されます。

IAD: A/D変換器割り込み要因フラグ(FFF7H·D0)

A/D変換器割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有

"0"読み出し: 割り込み無し

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

割り込み要因フラグIADによって、A/D変換器割り込みの有無をソフトウェアで判断することができます。

割り込み要因フラグは、割り込みマスクレジスタの設定にかかわらずA/D変換の終了により"1"にセットされます。ただし、割り込みがマスクされている場合はCPUに対して割り込みは発生しません。

このフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、このフラグは"0"にセットされます。

4.11.7 プログラミング上の注意事項

- (1)A/D変換器はクロックセレクタからのクロックを入力して動作します。したがって、A/D変換を行う前に、使用するクロックを選択し、クロック出力をONにしておく必要があります。またそのクロック源としてOSC3を使用する場合は、OSC3発振回路が動作していることも必要です。
- (2)OSC3クロックをA/D変換クロックとして使用する場合は、A/D変換中にOSC3発振回路を停止させないでください。停止させると正しい変換結果は得られません。
- (3)入力クロックやアナログ入力端子の設定は必ずA/D変換停止中に行ってください。A/D変換開始後の変更は誤動作の原因となります。
- (4)クロックセレクタからA/D変換器へのクロックが停止中にA/D変換を開始(ADRUNレジスタへの"1"書き込み)したり、A/D変換動作中にクロックを停止しないでください。誤動作の原因となります。
- (5)PADレジスタで設定されたアナログ入力端子(同時複数設定可)とCHSレジスタで選択された入力チャンネルが一致していないと正しいA/D変換が行われません。
- (6)A/D変換器のアナログ入力として使用しないP4n端子をA/D変換動作中に動作させないでください(デジタル信号の入出力等)。A/D変換精度に影響します。
- (7)S1C6P366では、VADSELレジスタの値はA/D変換器の動作モード(動作電圧)に影響を与えません。ただし、S1C6P366をS1C63358、S1C63158の開発ツールとして使用する場合は、それぞれの機種の"テクニカルマニュアル"を参照し、電源電圧に合わせた制御を行ってください。

4.12 ブザー出力回路

4.12.1 ブザー出力回路の構成

S1C6P366は圧電ブザーを駆動するブザー信号を出力することができます。ブザー信号はソフトウェアの制御によりBZ端子から出力されます。ブザー信号の周波数はソフトウェアにより2kHzまたは4kHzに設定することができ、さらに2Hzのインターバルで信号を出力することも可能です。

図4.12.1.1にブザー出力回路の構成を示します。

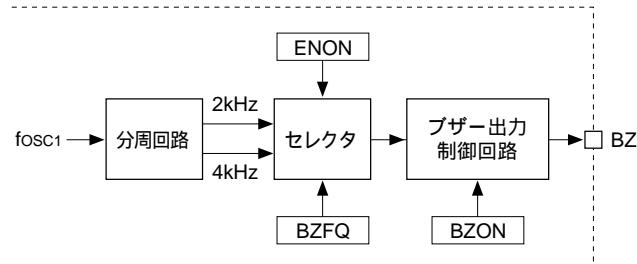


図4.12.1.1 ブザー出力回路の構成

4.12.2 マスクオプション

S1C6P366では、BZ端子から出力されるブザー信号の極性は負極性に固定されています。

ブザー信号出力時以外はBZ端子がHIGH(V_{DD})レベルになります。PNPトランジスタを外付けして圧電ブザーを駆動してください。

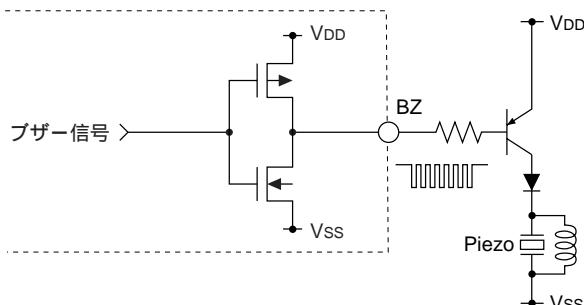


図4.12.2.1 出力回路の構成

4.12.3 ブザー出力の制御

ブザー信号の周波数はブザー周波数選択レジスタBZFQ1により選択します。BZFQレジスタに"1"を書き込むと2kHz、"0"を書き込むと4kHzに設定されます。この信号はfosc1を次のように分周して発生させています。

fosc1	2kHz	4kHz
32.768kHz	fosc1 / 16	fosc1 / 8

ブザー信号は、ブザー出力制御レジスタBZONに"1"を書き込むより、BZ端子から出力されます。BZONレジスタに"0"を書き込むと、BZ端子はHIGH(VDD)レベルになります。

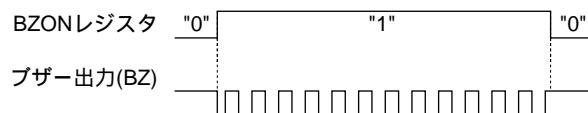


図4.12.3.1 ブザー信号出力タイミングチャート

ENONレジスタに"1"を書き込むことによって、2Hz周期の断続出力も行えます。

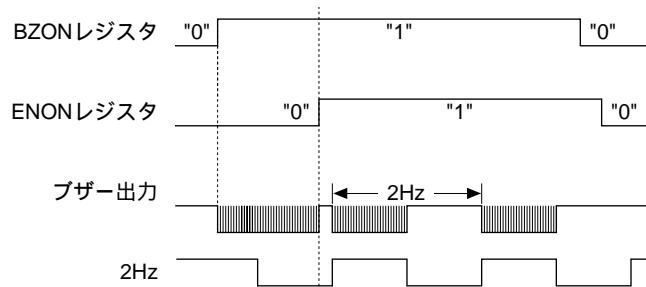


図4.12.3.2 2Hzインターバル出力

注: ブザー信号はBZONレジスタとは非同期に発生していますので、BZONレジスタの設定による信号のON/OFF時にハザードを生じることがあります。

4.12.4 ブザー出力回路のI/Oメモリ

表4.12.4.1にブザー出力回路の制御ビットとそのアドレスを示します。

表4.12.4.1 ブザー出力回路の制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF64H	0	ENON	BZFQ	BZON	0 *3	- *2	On	Off	未使用
					ENON	0			2HzインターバルOn/Off制御
	R		R/W		BZFQ	0	2kHz	4kHz	ブザー周波数選択
					BZON	0	On	Off	ブザー出力On/Off制御

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

ENON: 2HzインターバルON/OFF制御レジスタ(FF64H·D2)

ブザー信号の2Hzインターバル出力をON/OFFします。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

ENONに"1"を書き込むと、ブザー出力は2Hz周期の断続出力となります。"0"を書き込むと通常の連続出力となります。

イニシャルリセット時、このレジスタは"0"に設定されます。

BZFQ: ブザー周波数選択レジスタ(FF64H·D1)

ブザー信号の周波数を選択します。

"1"書き込み: 2kHz

"0"書き込み: 4kHz

読み出し: 可能

BZFQに"1"を書き込むと2kHz、"0"を書き込むと4kHzに設定されます。

イニシャルリセット時、このレジスタは"0"に設定されます。

BZON: ブザー出力ON/OFF制御レジスタ(FF64H·D0)

ブザー出力を制御します。

"1"書き込み: ブザー出力ON

"0"書き込み: ブザー出力OFF

読み出し: 可能

BZONに"1"を書き込むことによってBZ端子からブザー信号が出力され、"0"の書き込みでBZ端子がHIGH(V_{DD})レベルになります。

イニシャルリセット時、このレジスタは"0"に設定されます。

4.12.5 プログラミング上の注意事項

ブザー信号はBZONレジスタとは非同期に発生していますので、BZONレジスタの設定による信号のON/OFF時にハザードを生じる場合があります。

4.13 SVD(電源電圧検出)回路

4.13.1 SVD回路の構成

S1C6P366にはSVD(電源電圧検出)回路が内蔵されており、ソフトウェアによって電源電圧低下を知ることができます。

SVD回路のON/OFFおよび比較電圧の設定は、ソフトウェアによって行えます。

SVD回路の構成は図4.13.1.1のとおりです。

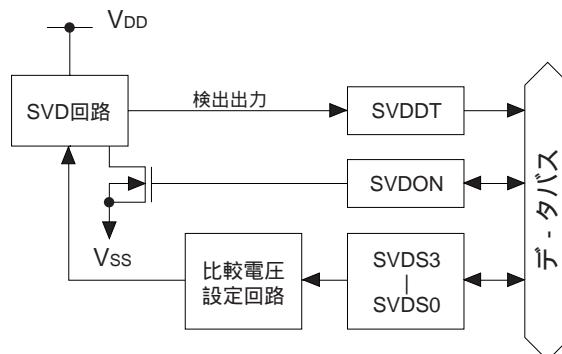


図4.13.1.1 SVD回路の構成

4.13.2 SVD動作

SVD回路はソフトウェアによって設定した比較電圧と電源電圧($V_{DD} - V_{SS}$)の比較を行い、その結果をSVDDTラッチにセットします。このSVDDTラッチのデータを読み出すことにより、電源電圧が正常か、あるいは低下していることをソフトウェアによって判断できます。

比較電圧はレジスタSVDS3～SVDS0によって表4.13.2.1の2種類に設定できます。

表4.13.2.1 比較電圧の設定

SVDS3	SVDS2	SVDS1	SVDS0	比較電圧(V)	SVDS3	SVDS2	SVDS1	SVDS0	比較電圧(V)
0	1	1	1	動作不可	1	1	1	1	2.80
0	1	1	0	動作不可	1	1	1	0	2.70
0	1	0	1	動作不可	1	1	0	1	動作不可
0	1	0	0	動作不可	1	1	0	0	動作不可
0	0	1	1	動作不可	1	0	1	1	動作不可
0	0	1	0	動作不可	1	0	1	0	動作不可
0	0	0	1	動作不可	1	0	0	1	動作不可
0	0	0	0	動作不可	1	0	0	0	動作不可

S1C6P366では動作下限電圧が2.7Vのため、SVDSレジスタを13以下に設定するとSVD(電源電圧検出)回路が正しく動作しない場合がありますので注意が必要です。

SVD回路による電源電圧の検出動作はレジスタSVDONに"1"を書き込むことによって開始します。

その後SVDONに"0"を書き込むことにより、SVD回路は検出結果をSVDDTラッチにセットして検出動作を停止(回路をOFF)します。

なお、安定した検出結果を得るために少なくとも100μsec以上SVD回路をONにする必要があります。したがって、電源電圧の検出は次のシーケンスで行ってください。

1. SVDONを"1"にセット
2. 100μsec以上保持
3. SVDONを"0"にセット
4. SVDDTの読み出し

なお、SVD動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD回路をOFFに設定してください。

4.13.3 SVD回路のI/Oメモリ

表4.13.3.1にSVD回路の制御ビットとそのアドレスを示します。

表4.13.3.1 SVD回路の制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注釈							
	D3	D2	D1	D0					SVD比較電圧設定 [SVDS3~0] 0 1 2 3 4 5 6 7 電圧(V) - - - - - - - - [SVDS3~0] 8 9 10 11 12 13 14 15 電圧(V) - - - - - - - - 2.70 2.80							
FF04H	SVDS3	SVDS2	SVDS1	SVDS0	SVDS3	0			SVD検出データ SVD回路On/Off	Low Normal	未使用 未使用	SVD検出データ SVD回路On/Off	R/W	R/W	R/W	
					SVDS2	0										
					SVDS1	0										
					SVDS0	0										
FF05H	0	0	SVDDT	SVDON	0 *3	- *2			SVD検出データ SVD回路On/Off	Low Normal	未使用 未使用	SVD検出データ SVD回路On/Off	R/W	R/W	R/W	
					0 *3	- *2										
					SVDDT	0										
					SVDON	0	On	Off								

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

SVDS3 ~ SVDS0: SVD比較電圧設定レジスタ(FF04H)

SVDの比較電圧を表4.13.2.1に示すとおり設定します。

イニシャルリセット時、このレジスタは"0"に設定されます。

SVDON: SVD検出ON/OFF制御レジスタ(FF05H·D0)

SVD回路のON/OFFを制御します。

"1"書き込み: SVD回路 ON

"0"書き込み: SVD回路 OFF

読み出し: 可能

SVDONを"1"にセットすることによりSVD検出が行われ、SVDONを"0"にリセットした直後にSVDDTラッチへ検出結果が書き込まれます。なお、安定したSVD検出結果を得るためにには、少なくとも100μsec以上SVD回路をONにする必要があります。

イニシャルリセット時、このレジスタは"0"に設定されます。

SVDDT: SVD検出結果(FF05H·D1)

SVDによる検出結果がセットされます。

"0"読み出し: 比較電圧より電源電圧(VDD - VSS)が高い

"1"読み出し: 比較電圧より電源電圧(VDD - VSS)が低い

書き込み: 無効

SVDONを"0"にした時点の検出結果を読み出すことができます。

イニシャルリセット時、SVDDTは"0"に設定されます。

4.13.4 プログラミング上の注意事項

(1)SVD回路はONさせてから安定した結果が得られるまでに100μsecの時間を必要とします。このため、SVDONに"1"を書き込み後、100μsec以上経過後にSVDONに"0"を書き込んでSVDDTを読み出してください。

(2)SVD検出動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD検出をOFFに設定してください。

(3)S1C6P366では動作下限電圧が2.7Vのため、SVDSレジスタを13以下に設定するとSVD(電源電圧検出)回路が正しく動作しない場合がありますので注意が必要です。

4.14 割り込みとHALT

<割り込みの種類>

S1C6P366には以下の6種類の割り込みが設定されています。

外部割り込み	• 入力割り込み	(3系統)
内部割り込み	• ウオッチドッグタイマ割り込み	(NMI、1系統)
	• プログラマブルタイマ割り込み	(2系統)
	• シリアルインタフェース割り込み	(1系統)
	• 計時タイマ割り込み	(4系統)
	• A/D変換器割り込み	(1系統)

割り込みを許可するためにはインタラプトフラグを"1"にセット(EI)し、あわせて必要な系統の割り込みマスクレジスタも"1"にセット(イネーブル)する必要があります。

割り込みが発生するとインタラプトフラグは自動的に"0"にリセット(DI)され、以後の割り込みは禁止されます。

ウォッチドッグタイマ割り込みはNMI(ノンマスカブル割り込み)のため、インタラプトフラグの設定にかかわらず、割り込みが発生します。このため、割り込みマスクレジスタも用意されていません。ただし、ウォッチドッグタイマはソフトウェアにより動作を停止させることができますので、NMIを発生させないようにすることができます。

図4.14.1に割り込み回路の構成を示します。

注: イニシャルリセット時、NMIを含むすべての割り込みはスタックポインタSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み(NMIを含む)は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

<HALT>

S1C6P366は必要なとき以外の消費電流を大幅に低減させるHALT機能を持っています。

CPUはHALT命令が入力されるとHALT状態に入り、CPUの動作を停止します。ただし、発振回路は動作していますので、タイマのカウント等は継続して行われます。

CPUのHALT状態からの再起動はNMIを含むハードウェア割り込み要求が発生することにより行われます。

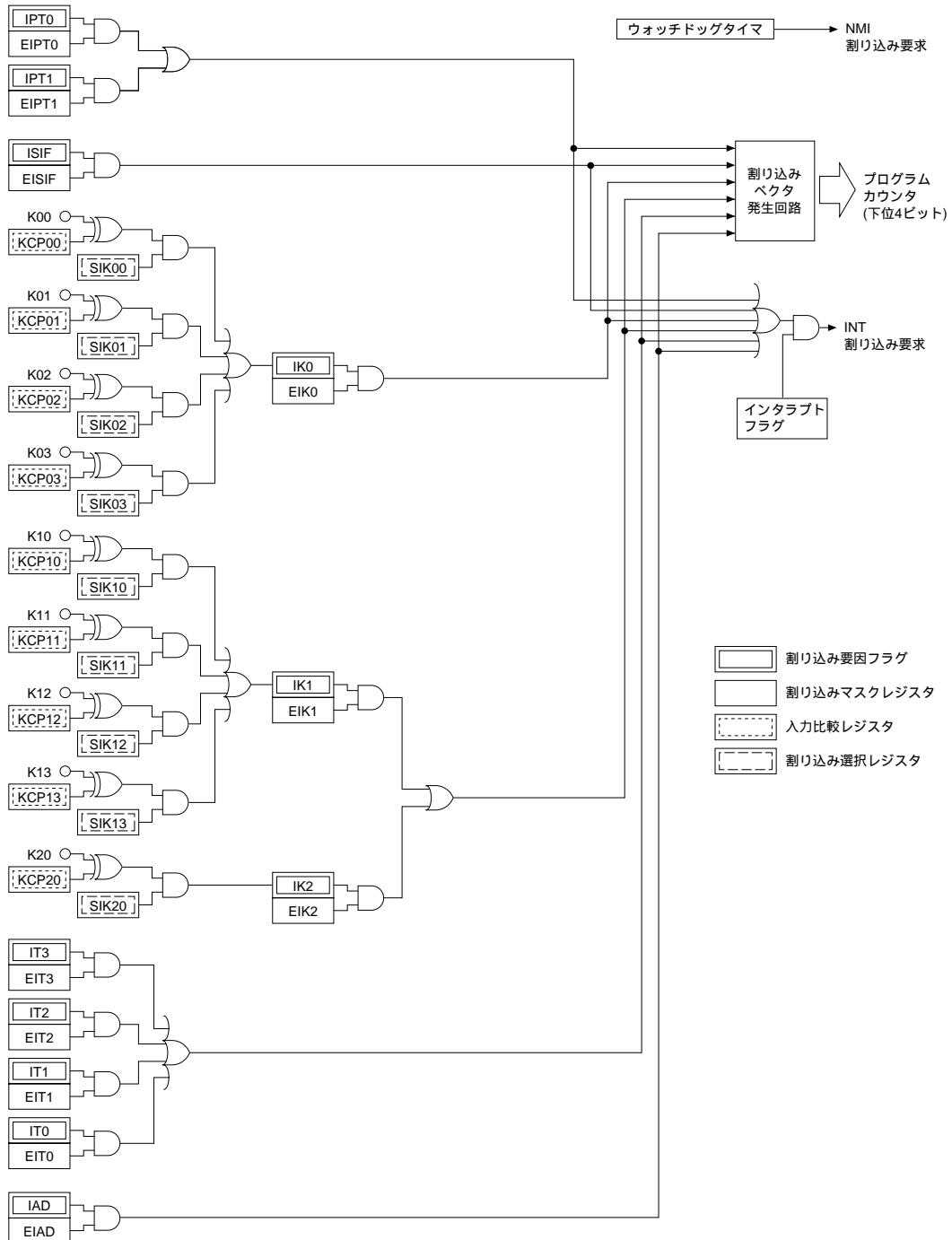


図4.14.1 割り込み回路の構成

4.14.1 割り込みの要因

割り込み要求が発生する要因を表4.14.1.1に示します。

各々の割り込み要因により、対応する割り込み要因フラグが"1"にセットされます。

CPUに対する割り込みは、以下の条件が成立している場合に割り込み要因フラグが"1"にセットされたときに発生します。

- 対応する割り込みマスクレジスタが"1"(イネーブル)
- インタラプトフラグが"1"(EI)

割り込み要因フラグは"1"書き込みにより"0"にリセットされます。

イニシャルリセット時、割り込み要因フラグは"0"にリセットされます。

* ウオッチドッグタイマはNMIのため、上記の条件とは無関係に割り込みが発生します。割り込み要因フラグも用意されていません。

表4.14.1.1 割り込み要因

割り込み要因	割り込み要因フラグ
プログラマブルタイマ1(カウンタ=0)	IPT1 (FFF2H•D1)
プログラマブルタイマ0(カウンタ=0)	IPT0 (FFF2H•D0)
シリアルインターフェース(データ8ビット入出力終了時)	ISIF (FFF3H•D0)
K00 ~ K03入力(立ち下がりまたは立ち上がりエッジ)	IK0 (FFF4H•D0)
K10 ~ K13入力(立ち下がりまたは立ち上がりエッジ)	IK1 (FFF5H•D0)
K20入力(立ち下がりまたは立ち上がりエッジ)	IK2 (FFF5H•D1)
計時タイマ1Hz(立ち下がりエッジ)	IT3 (FFF6H•D3)
計時タイマ2Hz(立ち下がりエッジ)	IT2 (FFF6H•D2)
計時タイマ8Hz(立ち下がりエッジ)	IT1 (FFF6H•D1)
計時タイマ16Hz(立ち下がりエッジ)	IT0 (FFF6H•D0)
A/D変換器	IAD (FFF7H•D0)

注： 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.14.2 割り込みの個別マスク

割り込み要因フラグは、対応する割り込みマスクレジスタによりマスクできます。

割り込みマスクレジスタは読み出し/書き込みが可能なレジスタであり、"1"書き込みでイネーブル(割り込み許可)、"0"書き込みでマスク(割り込み禁止)となります。

イニシャルリセット時、割り込みマスクレジスタは"0"にリセットされます。

表4.14.2.1に割り込みマスクレジスタと割り込み要因フラグの対応を示します。

表4.14.2.1 割り込みマスクレジスタと割り込み要因フラグ

割り込みマスクレジスタ	割り込み要因フラグ
EIPT1 (FFE2H•D1)	IPT1 (FFF2H•D1)
EIPT0 (FFE2H•D0)	IPT0 (FFF2H•D0)
EISIF (FFE3H•D0)	ISIF (FFF3H•D0)
EIK0 (FFE4H•D0)	IK0 (FFF4H•D0)
EIK1 (FFE5H•D0)	IK1 (FFF5H•D0)
EIK2 (FFE5H•D1)	IK2 (FFF5H•D1)
EIT3 (FFE6H•D3)	IT3 (FFF6H•D3)
EIT2 (FFE6H•D2)	IT2 (FFF6H•D2)
EIT1 (FFE6H•D1)	IT1 (FFF6H•D1)
EIT0 (FFE6H•D0)	IT0 (FFF6H•D0)
EIAD (FFE7H•D0)	IAD (FFF7H•D0)

4.14.3 割り込みベクタ

CPUに割り込み要求が入力されると、CPUは割り込み処理を開始します。

割り込み処理は実行中のプログラムの終了後、以下の手順で行われます。

1. フラグレジスタを退避後、Iフラグをリセット
2. 次に実行すべきプログラムのアドレスデータ(プログラムカウンタの値)をスタック領域(RAM)に退避
3. 割り込み要求による割り込みベクタの値(0100H ~ 010EH)をプログラムカウンタにセット
4. 指定されたアドレスのプログラムを実行(ソフトウェアによる割り込み処理ルーチンの実行)

表4.14.3.1に割り込み要求と割り込みベクタの対応を示します。

表4.14.3.1 割り込み要求と割り込みベクタ

割り込みベクタ	割り込み要因	優先順位
0100H	ウォッチドッグタイマ	高い ↑
0104H	プログラムブルタイマ	
0106H	シリアルインターフェース	
0108H	K00 ~ K03入力	
010AH	K10 ~ K13入力, K20入力	
010CH	計時タイマ	
010EH	A/D変換器	低い ↓

プログラムカウンタ(PC)の下位4ビットが割り込み要求による間接アドレス指定となります。

4.14.4 割り込みのI/Oメモリ

表4.14.4.1(a)と(b)に割り込みに関する制御ビットとそのアドレスを示します。

表4.14.4.1(a) 割り込みの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF20H	SIK03	SIK02	SIK01	SIK00	SIK03	0	Enable	Disable	K00～K03割り込み選択レジスタ
					SIK02	0	Enable	Disable	
					SIK01	0	Enable	Disable	
					SIK00	0	Enable	Disable	
FF22H	R/W				KCP03	1			K00～K03入力比較レジスタ
	KCP03	KCP02	KCP01	KCP00	KCP02	1			
					KCP01	1			
					KCP00	1			
FF24H	R/W				SIK13	0	Enable	Disable	K10～K13割り込み選択レジスタ
	SIK13	SIK12	SIK11	SIK10	SIK12	0	Enable	Disable	
					SIK11	0	Enable	Disable	
					SIK10	0	Enable	Disable	
FF26H	R/W				KCP13	1			K10～K13入力比較レジスタ
	KCP13	KCP12	KCP11	KCP10	KCP12	1			
					KCP11	1			
					KCP10	1			
FF28H	0	0	0	SIK20	0 *3	- *2	Enable	Disable	未使用 未使用 未使用 K20割り込み選択レジスタ
					0 *3	- *2			
					0 *3	- *2			
				R/W	SIK20	0			
FF2AH	0	0	0	KCP20	0 *3	- *2			未使用 未使用 未使用 K20入力比較レジスタ
					0 *3	- *2			
				R/W	0 *3	- *2			
					KCP20	1			
FFE2H	0	0	EIPT1	EIPT0	0 *3	- *2	Enable	Disable	未使用 未使用 割り込みマスクレジスタ(プログラマブルタイマ1) 割り込みマスクレジスタ(プログラマブルタイマ0)
					0 *3	- *2			
				R/W	EIPT1	0			
					EIPT0	0			
FFE3H	0	0	0	EISIF	0 *3	- *2	Enable	Mask	未使用 未使用 未使用 割り込みマスクレジスタ(シリアルI/F)
					0 *3	- *2			
				R/W	0 *3	- *2			
					EISIF	0			
FFE4H	0	0	0	EIK0	0 *3	- *2	Enable	Mask	未使用 未使用 未使用 割り込みマスクレジスタ(K00～K03)
					0 *3	- *2			
				R/W	0 *3	- *2			
					EIK0	0			
FFE5H	0	0	EIK2	EIK1	0 *3	- *2	Enable	Mask	未使用 未使用 割り込みマスクレジスタ(K20) 割り込みマスクレジスタ(K10～K13)
					0 *3	- *2			
				R/W	EIK2	0			
					EIK1	0			
FFE6H	EIT3	EIT2	EIT1	EIT0	EIT3	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ1Hz)
					EIT2	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ2Hz)
				R/W	EIT1	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ8Hz)
					EIT0	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ16Hz)
FFE7H	0	0	0	EIAD	0 *3	- *2	Enable	Mask	未使用 未使用 未使用 割り込みマスクレジスタ(A/D変換器)
					0 *3	- *2			
				R/W	EIAD	0 *3			
					EIAD	0			

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

表4.14.4.1(b) 割り込みの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注釈
	D3	D2	D1	D0					
FFF2H	0	0	IPT1	IPT0	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
	R		R/W		IPT1	0	(W)	(W)	割り込み要因フラグ(プログラマブルタイマ1)
					IPT0	0	Reset	Invalid	割り込み要因フラグ(プログラマブルタイマ0)
FFF3H	0	0	0	ISIF	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
	R		R/W		0 *3	- *2	(W)	(W)	未使用
					ISIF	0	Reset	Invalid	割り込み要因フラグ(シリアルI/F)
FFF4H	0	0	0	IK0	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
	R		R/W		0 *3	- *2	(W)	(W)	未使用
					IK0	0	Reset	Invalid	割り込み要因フラグ(K00 ~ K03)
FFF5H	0	0	IK2	IK1	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
	R		R/W		IK2	0	(W)	(W)	割り込み要因フラグ(K20)
					IK1	0	Reset	Invalid	割り込み要因フラグ(K10 ~ K13)
FFF6H	IT3	IT2	IT1	IT0	IT3	0	(R)	(R)	割り込み要因フラグ(計時タイマ1Hz)
					IT2	0	Yes	No	割り込み要因フラグ(計時タイマ2Hz)
	R/W				IT1	0	(W)	(W)	割り込み要因フラグ(計時タイマ8Hz)
					IT0	0	Reset	Invalid	割り込み要因フラグ(計時タイマ16Hz)
FFF7H	0	0	0	IAD	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
	R		R/W		0 *3	- *2	(W)	(W)	未使用
					IAD	0	Reset	Invalid	割り込み要因フラグ(A/D変換器)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

EIPT1, EIPT0: 割り込みマスクレジスタ(FFE2H・D1, D0)

IPT1, IPT0: 割り込み要因フラグ(FFF2H・D1, D0)

..."4.9 プログラマブルタイマ"参照

EISIF: 割り込みマスクレジスタ(FFE3H・D0)

ISIF: 割り込み要因フラグ(FFF3H・D0)

..."4.10 シリアルインターフェース"参照

KCP03 ~ KCP00, KCP13 ~ KCP10, KCP20: 入力比較レジスタ(FF22H, FF26H, FF2AH・D0)

SIK03 ~ SIK00, SIK13 ~ SIK10, SIK20: 割り込み選択レジスタ(FF20H, FF24H, FF28H・D0)

EIK0, EIK1, EIK2: 割り込みマスクレジスタ(FFE4H・D0, FFE5H・D0, FFE5H・D1)

IK0, IK1, IK2: 割り込み要因フラグ(FFF4H・D0, FFF5H・D0, FFF5H・D1)

..."4.4 入力ポート"参照

EIT3 ~ EIT0: 割り込みマスクレジスタ(FFE6H)

IT3 ~ IT0: 割り込み要因フラグ(FFF6H)

..."4.8 計時タイマ"参照

EIAD: 割り込みマスクレジスタ(FFE7H・D0)

IAD: 割り込み要因フラグ(FFF7H・D0)

..."4.11 A/D変換器"参照

4.14.5 プログラミング上の注意事項

- (1) 各割り込み要因フラグは、各割り込みマスクレジスタを"0"に設定していても、割り込み条件成立によりセットされます。
- (2) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- (3) イニシャルリセット時、NMIを含むすべての割り込みはスタックポインタSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み(NMIを含む)は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

5 PROMプログラマと動作モード

S1C6P366は、コードPROMおよびセグメントオプションPROMとしてFlash EEPROMを内蔵しています。弊社製専用PROMライタ(Universal ROM Writer II (S5U1C88000W1))を使用することにより、開発現場でのコードPROMおよびセグメントオプションPROMへのデータプログラミングが可能になっています。この章では、書き込みを制御するPROMプログラマと書き込みの各モードについて説明します。

5.1 PROMプログラマの構成

図5.1.1にPROMプログラマの構成を示します。

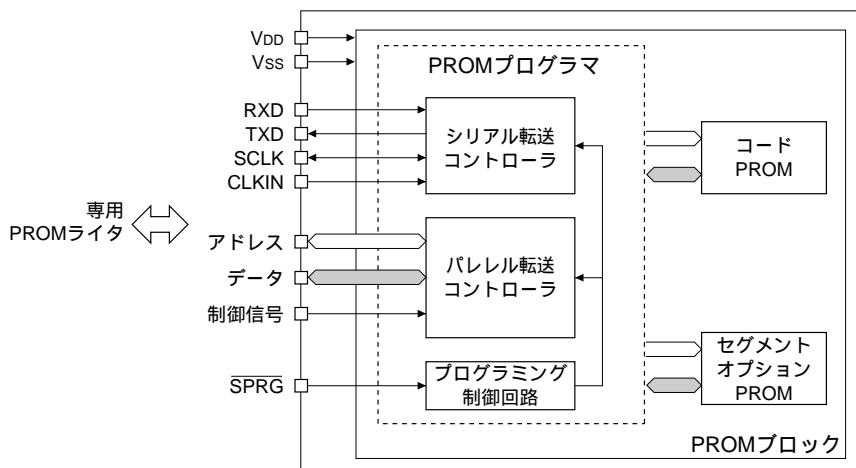


図5.1.1 PROMプログラマの構成

PROMプログラマは次の2つの書き込みモードをサポートしています。

- 1)シリアルプログラミング
- 2)パラレルプログラミング

シリアルプログラミングは、PROMライタとS1C6P366間のシリアルデータ通信により、書き込みを行います。

シリアル書き込みを考慮してボード設計することにより、オンボード書き込みが可能になります。

パラレル書き込みは、専用のPROMライタにアダプタソケットを装着することにより可能になります。

各プログラミング方式については、動作モードの項を参照してください。

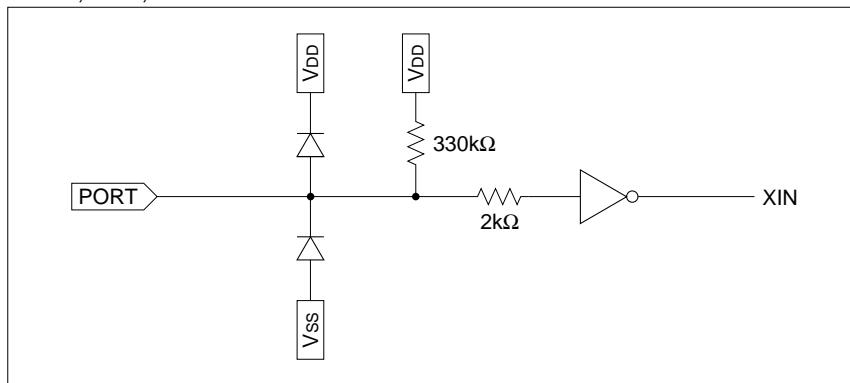
端子説明

S1C6P366にはFlash EEPROM用に以下の専用端子が設けられています。

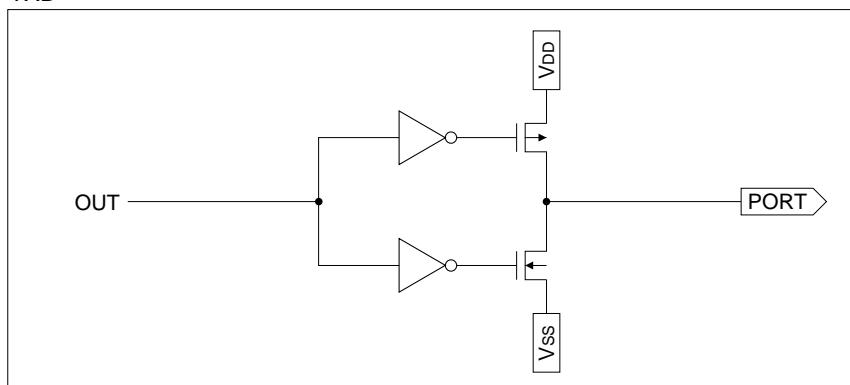
- | | |
|--------|---|
| SPRG: | Flashプログラミング用制御端子(内蔵プルアップ抵抗あり) |
| | High...通常動作モード(PROMの内容にそってCPUが処理を実行) |
| | Low...シリアルプログラミングモード(Flash EEPROMへの書き込みモード) |
| SCLK: | シリアルプログラミング用シリアル通信クロック入出力端子(内蔵プルアップ抵抗あり) |
| RXD: | シリアルプログラミング用シリアルデータ入力端子(内蔵プルアップ抵抗あり) |
| TXD: | シリアルプログラミング用シリアルデータ出力端子 |
| CLKIN: | PROMプログラマクロック入力端子(1MHz: 内蔵プルアップ抵抗あり) |

上記の5端子は、S1C63358、S1C63158にはないFlash EEPROM専用の端子です。

SPRG, RXD, CLKIN



TXD



SCLK

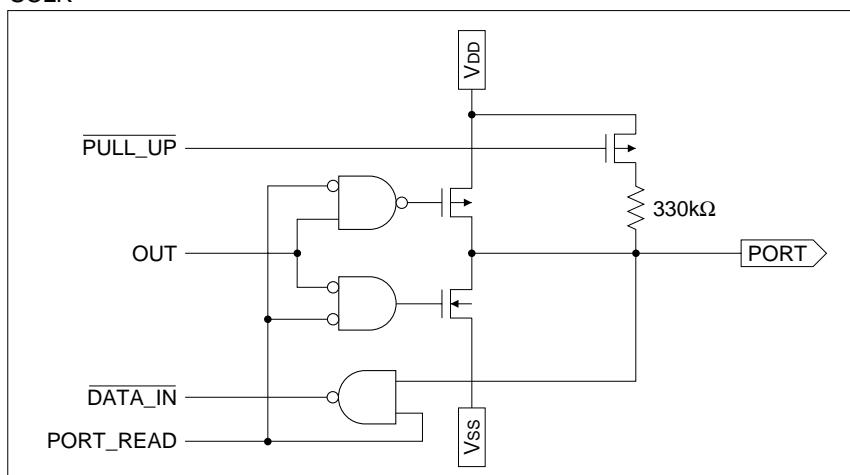


図5.1.2 端子仕様

5.2 動作モード

S1C6P366は、通常動作および2種類のプログラミングモードに対応する3種類の動作モードを持っています。動作モードは、ICの電源投入時またはイニシャルリセット時の端子の設定状態によって決まります。

S1C6P366ではSPRG端子をLowレベルにすることにより、シリアルプログラミングモードへ切り換わります。

通常動作時(Flash EEPROMへの書き込み後、Flash EEPROMに書き込まれた命令により動作させるとき)は、SPRG端子をHighまたはオープンとしてください。

パラレルプログラミングは、専用PROMライタによって行います。パラレル書き込みモードへの移行、および各端子の設定は専用PROMライタにより行われます。

表5.2.1にモードの設定一覧を示します。

表5.2.1 SPRG端子によるモード設定

動作モード	SPRG端子
通常動作モード	Highまたはオープン
シリアルプログラミングモード	PROMライタにより設定
パラレルプログラミングモード	PROMライタにより設定

5.2.1 通常動作モード

Flash EEPROMにプログラミングされたインストラクションにしたがって、S1C63000コアCPUおよび周辺回路が動作するモードです。工場出荷時の内蔵コードPROM(Flash EEPROM)には、出荷検査用データが書き込まれています。

通常動作時におけるFlash EEPROMへの書き込み専用端子の処理は、表5.2.1.1のように設定してください。また、動作中に各端子の状態が変更されることのないようにボードを設計してください。

表5.2.1.1 通常動作時の端子設定

端子	端子処理
SPRG	Highまたはオープン
SCLK	Highまたはオープン
RXD	Highまたはオープン
TXD	オープン
CLKIN	Highまたはオープン

S1C6P366はSPRG端子をLowレベルに設定することにより、シリアルプログラミングモードに移行します。通常動作とシリアルプログラミングモードはSPRG端子の状態により決定されるため、通常動作中にSPRG端子の状態が変更されないように注意してください。

5.2.2 シリアルプログラミングモード

シリアルプログラミングモードは、専用PROMライタ(Universal ROM Writer II)とS1C6P366間のシリアルデータ通信により書き込みを行います。実装基板上にシリアル通信用のポートを設置することで、S1C6P366を実装した状態での書き込みが可能になります(オンボード書き込み)。

表5.2.2.1 シリアルプログラミング時の端子設定

端子	端子処理
SPRG	専用PROMライタに接続
SCLK	専用PROMライタに接続
RXD	専用PROMライタに接続
TXD	専用PROMライタに接続
CLKIN	専用PROMライタに接続

シリアルプログラミング中は、CLKIN端子にPROMライタから1MHzのクロックが供給され、プログラミング処理を行っています。CLKIN端子の配線引き回しについては、ノイズの影響を受けないように基板の設計に注意してください。

5.2.3 パラレルプログラミングモード

パラレルプログラミングは、専用PROMライタにS1C6P366用アダプタソケットを装着することで使用できます。端子の設定等は専用PROMライタにより行われるため不要です。チップでの供給を要望される場合は、シリアルプログラミングを前提に開発環境を設定してください。

6 マスクROM版との相違点

ここでは、S1C6P366とS1C63358、S1C63158のFlash EEPROM部以外の相違点について説明します。

6.1 S1C63358との相違点

6.1.1 パッケージと端子構成

S1C6P366はS1C63358と同じパッケージ(QFP15-100pin)を使用しています。S1C6P366に追加されているPROMプログラマ用の端子はS1C63358の未使用端子に割り当てられているため、端子配置については完全な互換性があります。

表6.1.1.1 端子配置(QFP15-100pin)

No.	端子名		No.	端子名		No.	端子名	
	S1C6P366	S1C63358		S1C6P366	S1C63358		S1C6P366	S1C63358
1	SEG7	SEG7	26	CLKIN	N.C.	51	SCLK	N.C.
2	SEG8	SEG8	27	SPRG	N.C.	52	P43	P43
3	SEG9	SEG9	28	COM0	COM0	53	P42	P42
4	SEG10	SEG10	29	COM1	COM1	54	P41	P41
5	SEG11	SEG11	30	COM2	COM2	55	P40	P40
6	SEG12	SEG12	31	COM3	COM3	56	P33	P33
7	SEG13	SEG13	32	CB	CB	57	P32	P32
8	SEG14	SEG14	33	CA	CA	58	P31	P31
9	SEG15	SEG15	34	VC3	VC3	59	P30	P30
10	SEG16	SEG16	35	VC2	VC2	60	P23	P23
11	SEG17	SEG17	36	VC1	VC1	61	P22	P22
12	SEG18	SEG18	37	Vss	Vss	62	P21	P21
13	SEG19	SEG19	38	OSC1	OSC1	63	P20	P20
14	SEG20	SEG20	39	OSC2	OSC2	64	P13	P13
15	SEG21	SEG21	40	Vd1	Vd1	65	P12	P12
16	SEG22	SEG22	41	OSC3	OSC3	66	P11	P11
17	SEG23	SEG23	42	OSC4	OSC4	67	P10	P10
18	SEG24	SEG24	43	Vdd	Vdd	68	P03	P03
19	SEG25	SEG25	44	RESET	RESET	69	P02	P02
20	SEG26	SEG26	45	TEST	TEST	70	P01	P01
21	SEG27	SEG27	46	AVREF	AVREF	71	P00	P00
22	SEG28	SEG28	47	AVdd	AVdd	72	R23	R23
23	SEG29	SEG29	48	AVss	AVss	73	R22	R22
24	SEG30	SEG30	49	RXD	N.C.	74	R21	R21
25	SEG31	SEG31	50	TXD	N.C.	75	R20	R20

N.C. : No Connection

6.1.2 マスクオプション

S1C6P366ではS1C63358のマスクオプションを個別に指定することはできません。表6.1.2.1に示す組み合せが用意されています。

注: LCDセグメントオプションについてはS5U1C6P366Y1パッケージに推奨オプションデータが添付されています。LCDセグメントオプションを変更する場合は客さまの責任において書き換えを行ってください。LCDセグメント仕様についてはセグメント割り付けおよび出力仕様ともにセグメントオプションジェネレータSOG63358を使用してデータを作成し、セグメントオプションPROMに書き込みます。選択されたオプション仕様は自動的に各セグメント端子に設定されます。

表6.1.2.1 S1C6P366のマスクオプション

マスクオプション	S1C6P366E(Eタイプ)	S1C6P366F(Fタイプ)
OSC1発振回路	水晶発振(32.768kHz)	水晶発振(32.768kHz)
OSC3発振回路	セラミック発振	CR発振
キー同時押しリセット組み合わせ	使用しない	使用しない
キー同時押しリセット時間検定	使用しない	使用しない
入力ポートプルアップ抵抗	K00	プルアップあり
	K01	プルアップあり
	K02	プルアップあり
	K03	プルアップあり
	K10	プルアップあり
	K11	プルアップあり
	K12	プルアップあり
	K13	プルアップあり
	K20	プルアップあり
	R10 ~ R13	コンプリメンタリ出力
出力ポート出力仕様	R20 ~ R23	コンプリメンタリ出力
	P10 ~ P13	コンプリメンタリ出力
	P20	コンプリメンタリ出力
	P21	コンプリメンタリ出力
	P22	コンプリメンタリ出力
	P23	コンプリメンタリ出力
	P30	コンプリメンタリ出力
	P31	コンプリメンタリ出力
	P32	コンプリメンタリ出力
	P33	コンプリメンタリ出力
	P40	コンプリメンタリ出力
	P41	コンプリメンタリ出力
	P42	コンプリメンタリ出力
	P43	コンプリメンタリ出力
入出力兼用ポート出力仕様	P10 ~ P13	プルアップあり
	P20	プルアップあり
	P21	プルアップあり
	P22	プルアップあり
	P23	プルアップあり
	P30	プルアップあり
	P31	プルアップあり
	P32	プルアップあり
	P33	プルアップあり
	P40	プルアップなし
	P41	プルアップなし
	P42	プルアップなし
	P43	プルアップなし
LCD駆動バイアス	1/3バイアス(内部発生)	1/3バイアス(内部発生)
シリアルインターフェース極性	負極性	負極性
ブザー出力仕様	負極性	負極性

6.1.3 電源

1. 動作電源電圧範囲

S1C6P366: 2.7V ~ 5.5V S1C63358: 0.9V ~ 3.6V

S1C6P366は2.7V以下の電源電圧では動作しません。また、この違いは電気的特性にも影響します。

2. 発振系定電圧回路の動作モードと内部動作電圧

S1C63358の発振系定電圧回路は、0.9 ~ 1.4Vの電源電圧を使用する場合は V_{C2} モード(LCD系電圧回路が outputする V_{C2} 電圧で動作するモード)で動作します。1.4V ~ 3.6Vの電源電圧を使用する場合は通常モード(電源電圧 V_{DD} で動作するモード)で動作します。このため、電源電圧により動作モードの切り換えが必要で、この切り換えにVDSELレジスタ FF01H·D2 を使用します。

S1C6P366は2.7V以下の電源電圧では動作しないため、この切り換えは不要です。VDSELレジスタはS1C63358の開発用に用意されていますが、レジスタの設定は動作モードに影響を与えません(通常モードに固定)。

発振系定電圧回路は内蔵発振回路用の電圧 V_{D1} を発生します。

S1C63358では、 V_{D1} を内部ロジック回路(CPU、PROM、RAMおよび周辺デジタル回路)の動作電圧としても使用しています。また、使用する発振回路と電源電圧に従って V_{D1} の電圧値を切り換える必要があり、この切り換えにVDCレジスタ FF00H·D0 を使用します。

S1C6P366では、 V_{D1} が2.05Vに固定されているため、この切り換えが不要です。また、 V_{D1} はOSC1発振回路にのみ使用され、OSC3発振回路および内部ロジック回路は電源電圧 V_{DD} で動作します。VDCレジスタ(FF00H·D0)の設定は V_{D1} 出力電圧に影響を与えません(ただし、システムクロックの切り換えには影響します)。

表6.1.3.1に発振系定電圧回路の動作モードおよび V_{D1} 電圧を、表6.1.3.2に制御レジスタのI/Oマップを示します。

表6.1.3.1 発振系定電圧回路の動作モードと V_{D1} 電圧

電源回路	動作条件	V_{D1} (V)	電源電圧 V_{DD} (V)			
			0.9~1.4	1.4~2.3	2.3~3.6	3.6~5.5
発振系定電圧回路	OSC1	1.35	V_{C2} モード	通常モード		動作不可
	OSC3, 4MHz	2.25	動作不可		通常モード	動作不可

S1C6P366

電源回路	動作条件	V_{D1} (V)	電源電圧 V_{DD} (V)			
			0.9~1.4	1.4~2.7	2.7~3.6	3.6~5.5
発振系定電圧回路	OSC1	2.05	動作不可		通常モード	
	OSC3, 4MHz	V_{DD}	動作不可		通常モード	

S1C63358

表6.1.3.2 I/Oメモリマップ

アドレス	レジスタ				注釈							
	D3	D2	D1	D0	Name	Init	1	0				
FF00H	CLKCHG	OSCC	0	V_{DC}	CLKCHG	0	$OSC3$	$OSC1$	CPUクロック切り換え	OSC3発振On/Off	未使用	動作電圧切り換え
	R/W	R	R/W		OSCC	0	-	0				
FF01H	VADSEL	VDSEL	0	0	VADSEL	0	V_{C2}	V_{DD}	A/D変換器用電源選択	発振系定電圧回路用電源選択	未使用	未使用
	R/W	R	R/W		VDSEL	0	V_{C2}	V_{DD}				

S1C6P366

アドレス	レジスタ				注釈							
	D3	D2	D1	D0	Name	Init	1	0				
FF00H	CLKCHG	OSCC	0	V_{DC}	CLKCHG	0	$OSC3$	$OSC1$	CPUクロック切り換え	OSC3発振On/Off	未使用	(動作電圧切り換え、CPUクロック切り換え制御)
	R/W	R	R/W		OSCC	0	-	0				
FF01H	VADSEL	VDSEL	0	$DBON$	VADSEL	0	(V_{C2})	(V_{DD})	(A/D変換器用電源選択、レジスタ機能のみ)	(発振系定電圧回路用電源選択、レジスタ機能のみ)	未使用	汎用レジスタ
	R/W	R	R/W		VDSEL	0	(V_{C2})	(V_{DD})				

3. LCD駆動用電源(Vc1 ~ Vc3)

LCD系電圧回路は、その中の定電圧回路によってVc2を発生し、その電圧を昇圧または降圧して他の2電位を発生します($V_{C1} = 1/2 \cdot V_{C2}$, $V_{C3} = 3/2 \cdot V_{C2}$)。

また、S1C6P366ではマスクオプションが1/3バイアスに固定されているため、S1C63358で可能な1/2バイアス($V_{C2} = V_{C1}$, $V_{C3} = 2 \cdot V_{C1}$)出力は評価できません。

4. A/D変換器電源の動作モード

S1C63358のA/D変換器は、0.9 ~ 1.6Vの電源電圧を使用する場合はVc2モード(LCD系電圧回路が output するVc2電圧で動作するモード)で動作します。1.6V ~ 3.6Vの電源電圧を使用する場合は通常モード(電源電圧VDDで動作するモード)で動作します。このため、電源電圧により動作モードの切り換えが必要で、この切り換えにVADSELレジスタ(FF01H・D3)を使用します。

S1C6P366は2.7V以下の電源電圧では動作しないため、この切り換えは不要です。VADSELレジスタはS1C63358の開発用に用意されていますが、レジスタの設定は動作モードに影響を与えません(通常モードに固定)。

表6.1.3.3にA/D変換器電源の動作モードを、表6.1.3.4に制御レジスタのI/Oマップを示します。

表6.1.3.3 A/D変換器電源の動作モード

S1C63358

回路	電源電圧VDD (V)		
	0.9~1.6	1.6~3.6	3.6~5.5
A/D変換器	Vc2モード	通常モード	動作不可

S1C6P366

回路	電源電圧VDD (V)		
	0.9~2.7	2.7~3.6	3.6~5.5
A/D変換器	動作不可	通常モード	

表6.1.3.4 I/Oメモリマップ

S1C63358

アドレス	レジスタ								注釈
	D3	D2	D1	D0	Name	Init	1	0	
FF01H	VADSEL	VDSEL	0	0	VADSEL	0	Vc2	Vdd	A/D変換器用電源選択
					VDSEL	0	Vc2	Vdd	発振系定電圧回路用電源選択
					0	-			未使用
					0	-			未使用
R/W		R							

S1C6P366

アドレス	レジスタ								注釈
	D3	D2	D1	D0	Name	Init	1	0	
FF01H	VADSEL	VDSEL	0	DBON	VADSEL	0	(Vc2)	(Vdd)	(A/D変換器用電源選択、レジスタ機能のみ)
					VDSEL	0	(Vc2)	(Vdd)	(発振系定電圧回路用電源選択、レジスタ機能のみ)
					0	-			未使用
					DBON	0	1	0	汎用レジスタ
R/W		R		R/W					

6.1.4 イニシャルリセット

電源投入時は、電源電圧があるレベル(下図の V_{sr})以上になるまでリセット端子をLowレベル(V_{ss})に保つ必要があります。

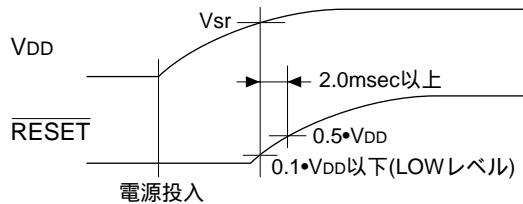


図6.1.4.1 電源投入時のイニシャルリセット

電源電圧の違いにより V_{sr} の値は次のようになります。

S1C63358: $V_{sr} = 1.4V$

S1C6P366: $V_{sr} = 2.7V$

また、S1C6P366では通常モード、プログラミングモードの設定がイニシャルリセット信号をトリガとして行われます。したがって、確実にイニシャルリセットがかかるように回路を設計してください。動作中のイニシャルリセットはS1C63358と同様です。

通常動作時にイニシャルリセットを行う場合、SPRG端子は必ずオープンまたはHighレベルに固定してください。

6.1.5 PROM, RAM

S1C6P366は内蔵PROMにFlash EEPROMを使用しており、専用PROMライタにより100回以内の書き換えが可能です。Flash EEPROMの書き換えについては、お客様の責任において行ってください。

表6.1.5.1にS1C63358とのコードPROMおよびRAMのサイズ比較を示します。

表6.1.5.1 メモリサイズ比較表

メモリ	S1C6P366	S1C63358
コードPROM	$16,384 \times 13$ ビット	$8,192 \times 13$ ビット
データRAM	$2,048 \times 4$ ビット	512×4 ビット

S1C6P366を用いてS1C63358のソフト開発を行う場合は、上記のPROM、RAMサイズに注意してください。

6.1.6 I/Oメモリ

S1C6P366にはS1C63158の開発にも使用できるように、DBONレジスタ(FF01H・D0)が存在します。このレジスタはS1C63358には存在しません。S1C6P366においても、汎用レジスタとして機能します。

6.1.7 発振回路

S1C6P366では、OSC1に水晶発振回路、OSC3にはセラミック発振回路またはCR発振回路のみ使用可能です。S1C63358のマスクオプションで選択可能なOSC1 CR発振回路は使用できません。

また、電源電圧の違いによる発振開始時間の違いにも注意してください。特に、OSC3発振安定待ち時間が必要な周辺回路の制御は、十分な余裕をとってください。

6.1.8 SVD回路

S1C6P366にはS1C63358と同様にSVD(電源電圧検出)回路が内蔵されていますが、検出レベルはそれぞれ異なります。また、動作電圧が異なるため、S1C6P366では機能する検出レベルが大幅に制限されます。

表6.1.8.1 SVD回路の比較電圧

検出レベル	S1C63358			S1C6P366		
	Min.	Typ.	Max.	Min.	Typ.	Max.
SVDS3-0 = "0"	0.95	1.05	1.15			
SVDS3-0 = "1"	1.02	1.10	1.18			
SVDS3-0 = "2"	1.07	1.15	1.23			
SVDS3-0 = "3"	1.12	1.20	1.28			
SVDS3-0 = "4"	1.16	1.25	1.34			
SVDS3-0 = "5"	1.21	1.30	1.39			
SVDS3-0 = "6"	1.30	1.40	1.50			
SVDS3-0 = "7"	1.49	1.60	1.71			
SVDS3-0 = "8"	1.81	1.95	2.09			
SVDS3-0 = "9"	1.86	2.00	2.14			
SVDS3-0 = "10"	1.91	2.05	2.19			
SVDS3-0 = "11"	1.95	2.10	2.25			
SVDS3-0 = "12"	2.05	2.20	2.35			
SVDS3-0 = "13"	2.14	2.30	2.46			
SVDS3-0 = "14"	2.33	2.50	2.68	2.50	2.70	2.90
SVDS3-0 = "15"	2.42	2.60	2.78	2.60	2.80	3.00

動作不可

S1C6P366において、SVDSレジスタを13以下に設定すると、SVD(電源電圧検出)回路が正しく動作しない場合がありますので注意が必要です。

6.2 S1C63158との相違点

6.2.1 パッケージと端子構成

S1C6P366はS1C63358をベースとしているため、S1C63158には存在しないLCDドライバ出力端子を有する等、端子構成および配置に相違があります。また、PROMプログラマ用の端子が追加されています。

表6.2.1.1 S1C63158(QFP12-48pin)との端子配置比較

S1C6P366		S1C63158		S1C6P366		S1C63158		S1C6P366		S1C63158		S1C6P366		S1C63158	
No.	端子名	No.	端子名	No.	端子名	No.	端子名	No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	SEG7	-	-	26	CLKIN	-	-(*1)	51	SCLK	-	-(*1)	76	R13	30	R13
2	SEG8	-	-	27	SPRG	-	-(*1)	52	P43	14	P43	77	R12	31	R12
3	SEG9	-	-	28	COM0	-	-	53	P42	15	P42	78	R11	32	R11
4	SEG10	-	-	29	COM1	-	-	54	P41	16	P41	79	R10	33	R10
5	SEG11	-	-	30	COM2	-	-	55	P40	17	P40	80	R03	34	R03
6	SEG12	-	-	31	COM3	-	-	56	P33	-	-	81	R02	35	R02
7	SEG13	-	-	32	CB	11	CB	57	P32	-	-	82	R01	37	R01
8	SEG14	-	-	33	CA	12	CA	58	P31	-	-	83	R00	38	R00
9	SEG15	-	-	34	Vc3	-	-	59	P30	-	-	84	BZ	39	BZ
10	SEG16	-	-	35	Vc2	13	Vc2	60	P23	18	P23	85	K00	40	K00
11	SEG17	-	-	36	Vc1	-	-	61	P22	19	P22	86	K01	41	K01
12	SEG18	-	-	37	Vss	1	Vss	62	P21	20	P21	87	K02	42	K02
13	SEG19	-	-	38	OSC1	2	OSC1	63	P20	21	P20	88	K03	43	K03
14	SEG20	-	-	39	OSC2	3	OSC2	64	P13	22	P13	89	K10	44	K10
15	SEG21	-	-	40	Vd1	4	Vd1	65	P12	23	P12	90	K11	45	K11
16	SEG22	-	-	41	OSC3	5	OSC3	66	P11	24	P11	91	K12	46	K12
17	SEG23	-	-	42	OSC4	6	OSC4	67	P10	25	P10	92	K13	47	K13
18	SEG24	-	-	43	Vdd	7	Vdd	68	P03	26	P03	93	K20	48	K20
19	SEG25	-	-	44	RESET	8	RESET	69	P02	27	P02	94	SEG0	-	-
20	SEG26	-	-	45	TEST	9	TEST	70	P01	28	P01	95	SEG1	-	-
21	SEG27	-	-	46	AVREF	10	VREF	71	P00	29	P00	96	SEG2	-	-
22	SEG28	-	-	47	AVDD	-	-	72	R23	-	-	97	SEG3	-	-
23	SEG29	-	-	48	AVSS	-	-	73	R22	-	-	98	SEG4	-	-
24	SEG30	-	-	49	RXD	-	-(*1)	74	R21	-	-	99	SEG5	-	-
25	SEG31	-	-	50	TXD	-	-(*1)	75	R20	-	-	100	SEG6	-	-

*1 : シリアルプログラミング専用端子

表6.2.1.2 S1C63158(QFP13-64pin)との端子配置比較

S1C6P366		S1C63158		S1C6P366		S1C63158		S1C6P366		S1C63158		S1C6P366		S1C63158	
No.	端子名	No.	端子名	No.	端子名	No.	端子名	No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	SEG7	-	-	26	CLKIN	-	-(*1)	51	SCLK	-	-(*1)	76	R13	41	R13
2	SEG8	-	-	27	SPRG	-	-(*1)	52	P43	17	P43	77	R12	42	R12
3	SEG9	-	-	28	COM0	-	-	53	P42	18	P42	78	R11	43	R11
4	SEG10	-	-	29	COM1	-	-	54	P41	19	P41	79	R10	44	R10
5	SEG11	-	-	30	COM2	-	-	55	P40	20	P40	80	R03	45	R03
6	SEG12	-	-	31	COM3	-	-	56	P33	21	P33	81	R02	46	R02
7	SEG13	-	-	32	CB	13	CB	57	P32	22	P32	82	R01	52	R01
8	SEG14	-	-	33	CA	14	CA	58	P31	23	P31	83	R00	53	R00
9	SEG15	-	-	34	Vc3	-	-	59	P30	24	P30	84	BZ	54	BZ
10	SEG16	-	-	35	Vc2	15	Vc2	60	P23	25	P23	85	K00	55	K00
11	SEG17	-	-	36	Vc1	-	-	61	P22	26	P22	86	K01	56	K01
12	SEG18	-	-	37	Vss	1	Vss	62	P21	27	P21	87	K02	57	K02
13	SEG19	-	-	38	OSC1	2	OSC1	63	P20	28	P20	88	K03	58	K03
14	SEG20	-	-	39	OSC2	3	OSC2	64	P13	29	P13	89	K10	59	K10
15	SEG21	-	-	40	Vd1	4	Vd1	65	P12	30	P12	90	K11	60	K11
16	SEG22	-	-	41	OSC3	5	OSC3	66	P11	31	P11	91	K12	61	K12
17	SEG23	-	-	42	OSC4	6	OSC4	67	P10	32	P10	92	K13	62	K13
18	SEG24	-	-	43	Vdd	7	Vdd	68	P03	33	P03	93	K20	63	K20
19	SEG25	-	-	44	RESET	8	RESET	69	P02	34	P02	94	SEG0	-	-
20	SEG26	-	-	45	TEST	9	TEST	70	P01	35	P01	95	SEG1	-	-
21	SEG27	-	-	46	AVREF	12	VREF	71	P00	36	P00	96	SEG2	-	-
22	SEG28	-	-	47	AVDD	10	AVDD	72	R23	37	R23	97	SEG3	-	-
23	SEG29	-	-	48	AVSS	11	AVSS	73	R22	38	R22	98	SEG4	-	-
24	SEG30	-	-	49	RXD	-	-(*1)	74	R21	39	R21	99	SEG5	-	-
25	SEG31	-	-	50	TXD	-	-(*1)	75	R20	40	R20	100	SEG6	-	-

*1 : シリアルプログラミング専用端子

表6.2.1.3 S1C63158(パッド)との端子配置比較

S1C6P366		S1C63158		S1C6P366		S1C63158		S1C6P366		S1C63158		S1C6P366		S1C63158	
No.	パッド名	No.	パッド名	No.	パッド名	No.	パッド名	No.	パッド名	No.	パッド名	No.	パッド名	No.	パッド名
79	P43	1	P43	2	R12	26	R12	27	SEG7	-	-	53	SPRG	-	-(*1)
80	P42	2	P42	3	R11	27	R11	28	SEG8	-	-	54	COM0	-	-
81	P41	3	P41	4	R10	28	R10	29	SEG9	-	-	55	COM1	-	-
82	P40	4	P40	5	R03	29	R03	30	SEG10	-	-	56	COM2	-	-
83	P33	5	P33	6	R02	30	R02	31	SEG11	-	-	57	COM3	-	-
84	P32	6	P32	7	R01	31	R01	32	SEG12	-	-	58	CB	55	CB
85	P31	7	P31	8	R00	32	R00	33	SEG13	-	-	59	CA	56	CA
86	P30	8	P30	9	BZ	33	BZ	34	SEG14	-	-	60	Vc3	-	-
87	P23	9	P23	10	K00	34	K00	35	SEG15	-	-	61	Vc2	57	VC2
88	P22	10	P22	11	K01	35	K01	36	SEG16	-	-	62	VC1	-	-
89	P21	11	P21	12	K02	36	K02	37	SEG17	-	-	63	Vss	43	Vss
90	P20	12	P20	13	K03	37	K03	38	SEG18	-	-	64	OSC1	44	OSC1
91	P13	13	P13	14	K10	38	K10	39	SEG19	-	-	65	OSC2	45	OSC2
92	P12	14	P12	15	K11	39	K11	40	SEG20	-	-	66	VD1	46	Vd1
93	P11	15	P11	16	K12	40	K12	41	SEG21	-	-	67	OSC3	47	OSC3
94	P10	16	P10	17	K13	41	K13	42	SEG22	-	-	68	OSC4	48	OSC4
95	P03	17	P03	18	K20	42	K20	43	SEG23	-	-	69	VDD	49	Vdd
96	P02	18	P02	19	N.C.	-	-(*2)	44	SEG24	-	-	70	N.C.	-	-
97	P01	19	P01	20	SEG0	-	-	45	SEG25	-	-	71	RESET	50	RESET
98	P00	20	P00	21	SEG1	-	-	46	SEG26	-	-	72	TEST	51	TEST
99	R23	21	R23	22	SEG2	-	-	47	SEG27	-	-	73	AVREF	54	VREF
100	R22	22	R22	23	SEG3	-	-	48	SEG28	-	-	74	AVDD	52	AVDD
101	R21	23	R21	24	SEG4	-	-	49	SEG29	-	-	75	AVSS	53	AVSS
102	R20	24	R20	25	SEG5	-	-	50	SEG30	-	-	76	RXD	-	-(*1)
1	R13	25	R13	26	SEG6	-	-	51	SEG31	-	-	77	TXD	-	-(*1)
						52	CLKIN	-	-(*1)	78	SCLK	-	-(*1)		

*1: シリアルプログラミング専用端子

*2: テスト信号モニタパッド

(書き込み時未使用: ユーザはオープンとしてください)

6.2.2 マスクオプション

S1C6P366ではS1C63158のマスクオプションを個別に指定することはできません。表6.2.2.1に示す組み合せが用意されています。

表6.2.2.1 S1C6P366のマスクオプション

マスクオプション	S1C6P366E(Eタイプ)	S1C6P366F(Fタイプ)
OSC1発振回路	水晶発振(32.768kHz)	水晶発振(32.768kHz)
OSC3発振回路	セラミック発振	CR発振
キー同時押しリセット組み合わせ	使用しない	使用しない
キー同時押しリセット時間検定	使用しない	使用しない
入力ポートプルアップ抵抗	K00	ブリアップあり
	K01	ブリアップあり
	K02	ブリアップあり
	K03	ブリアップあり
	K10	ブリアップあり
	K11	ブリアップあり
	K12	ブリアップあり
	K13	ブリアップあり
	K20	ブリアップあり
出力ポート出力仕様	R10 ~ R13	コンプリメンタリ出力
	R20 ~ R23	コンプリメンタリ出力
入出力兼用ポート出力仕様	P10 ~ P13	コンプリメンタリ出力
	P20	コンプリメンタリ出力
	P21	コンプリメンタリ出力
	P22	コンプリメンタリ出力
	P23	コンプリメンタリ出力
	P30	コンプリメンタリ出力
	P31	コンプリメンタリ出力
	P32	コンプリメンタリ出力
	P33	コンプリメンタリ出力
	P40	コンプリメンタリ出力
	P41	コンプリメンタリ出力
	P42	コンプリメンタリ出力
	P43	コンプリメンタリ出力
入出力兼用ポートプルアップ抵抗	P10 ~ P13	ブリアップあり
	P20	ブリアップあり
	P21	ブリアップあり
	P22	ブリアップあり
	P23	ブリアップあり
	P30	ブリアップあり
	P31	ブリアップあり
	P32	ブリアップあり
	P33	ブリアップあり
	P40	ブリアップなし
	P41	ブリアップなし
	P42	ブリアップなし
	P43	ブリアップなし
シリアルインターフェース極性	負極性	負極性
ブザー出力仕様	負極性	負極性

6.2.3 電源

1. 動作電源電圧範囲

S1C6P366: 2.7V ~ 5.5V S1C63158: 0.9V ~ 3.6V

S1C6P366は2.7V以下の電源電圧では動作しません。また、この違いは電気的特性にも影響します。

2. 発振系定電圧回路の動作モードと内部動作電圧

S1C63158の発振系定電圧回路は、0.9~1.35Vの電源電圧を使用する場合はV_{C2}モード(昇圧回路が outputするV_{C2}電圧で動作するモード)で動作します。1.35V~3.6Vの電源電圧を使用する場合は通常モード(電源電圧V_{DD}で動作するモード)で動作します。このため、電源電圧により昇圧回路の制御と動作モードの切り換えが必要です。昇圧回路のON/OFFにDBONレジスタ(FF01H·D0)動作モードの切り換えにVDSELレジスタ(FF01H·D2)を使用します。S1C6P366は2.7V以下の電源電圧では動作しないため、この制御は不要です。DBONおよびVDSELレジスタはS1C63158の開発用に用意されていますが、レジスタの設定は動作モードに影響を与えません(通常モードに固定)。

発振系定電圧回路は内蔵発振回路用の電圧V_{D1}を発生します。

S1C63158では、V_{D1}を内部ロジック回路(CPU、PROM、RAMおよび周辺デジタル回路)の動作電圧としても使用しています。また、使用する発振回路と電源電圧に従ってV_{D1}の電圧値を切り換える必要があります、この切り換えにVDCレジスタ(FF00H·D0)を使用します。

S1C6P366では、V_{D1}が2.05Vに固定されているため、この切り換えが不要です。また、V_{D1}はOSC1発振回路にのみ使用され、OSC3発振回路および内部ロジック回路は電源電圧V_{DD}で動作します。VDCレジスタ(FF00H·D0)の設定はV_{D1}出力電圧に影響を与えません(ただし、システムクロックの切り換えには影響します)。

表6.2.3.1に発振系定電圧回路の動作モードおよびV_{D1}電圧を、表6.2.3.2に制御レジスタのI/Oマップを示します。

S1C63158 表6.2.3.1 発振系定電圧回路の動作モードとV_{D1}電圧

電源回路	動作条件	V _{D1} (V)	電源電圧V _{DD} (V)			
			0.9~1.35	1.35~2.2	2.2~3.6	3.6~5.5
発振系定電圧回路	OSC1	1.3	V _{C2} モード	通常モード	動作不可	
	OSC3, 2MHz	2.1		動作不可	通常モード	動作不可

S1C6P366

電源回路	動作条件	V _{D1} (V)	電源電圧V _{DD} (V)			
			0.9~1.35	1.35~2.7	2.7~3.6	3.6~5.5
発振系定電圧回路	OSC1	2.05	動作不可	通常モード		
	OSC3, 4MHz	V _{DD}	動作不可		通常モード	

S1C63158

表6.2.3.2 I/Oメモリマップ

アドレス	レジスタ				注釈			
	D3	D2	D1	D0	Name	Init	1	0
FF00H	CLKCHG	OSCC	0	VDC	CLKCHG	0	OSC3	OSC1
			R/W	R/W	OSCC	0	On	Off
FF01H	VADSEL	VDSEL	0	DBON	0	-	2.1V	1.3V
			R/W	R/W	VDC	0		

S1C6P366

アドレス	レジスタ				注釈			
	D3	D2	D1	D0	Name	Init	1	0
FF00H	CLKCHG	OSCC	0	VDC	CLKCHG	0	OSC3	OSC1
			R/W	R/W	OSCC	0	On	Off
FF01H	VADSEL	VDSEL	0	DBON	0	-	(OSC3)	(OSC1)
			R/W	R/W	VDC	0		

3. LCD電圧回路

S1C6P366はLCD駆動電圧を発生するLCD電圧回路を内蔵していますが、S1C63158には存在しません。

4. A/D変換器電源の動作モード

S1C63158のA/D変換器は、0.9~2.2Vの電源電圧を使用する場合は V_{C2} モード(昇圧回路が出力する V_{C2} 電圧で動作するモード)で動作します。2.2V~3.6Vの電源電圧を使用する場合は通常モード(電源電圧 V_{DD} で動作するモード)で動作します。このため、電源電圧により昇圧回路の制御と動作モードの切り換えが必要です。昇圧回路のON/OFFにDBONレジスタ FF01H・D0)動作モードの切り換えにVADSELレジスタ FF01H・D3を使用します。S1C6P366は2.7V以下の電源電圧では動作しないため、この制御は不要です。DBONおよびVADSELレジスタはS1C63158の開発用に用意されていますが、レジスタの設定は動作モードに影響を与えません(通常モードに固定)。

表6.2.3.3にA/D変換器電源の動作モードを、表6.2.3.4に制御レジスタのI/Oマップを示します。

表6.2.3.3 A/D変換器電源の動作モード

S1C63158

回路	電源電圧 V_{DD} (V)		
	0.9~2.2	2.2~3.6	3.6~5.5
A/D変換器	V_{C2} モード	通常モード	動作不可

S1C6P366

回路	電源電圧 V_{DD} (V)		
	0.9~2.7	2.7~3.6	3.6~5.5
A/D変換器	動作不可	通常モード	

表6.2.3.4 I/Oメモリマップ

S1C63158

アドレス	レジスタ				注釈			
	D3	D2	D1	D0	Name	Init	1	0
FF01H	VADSEL	VDSEL	0	DBON	VADSEL	0	V_{C2}	V_{DD}
					VDSEL	0	V_{C2}	V_{DD}
	R/W	R	R/W		0	-		
				DBON	0	On	Off	

S1C6P366

アドレス	レジスタ				注釈			
	D3	D2	D1	D0	Name	Init	1	0
FF01H	VADSEL	VDSEL	0	DBON	VADSEL	0	(V_{C2})	(V_{DD})
					VDSEL	0	(V_{C2})	(V_{DD})
	R/W	R	R/W		0	-	(On)	(Off)
				DBON	0			

6.2.4 イニシャルリセット

電源投入時は、電源電圧があるレベル(下図の V_{sr})以上になるまでリセット端子をLowレベル(V_{ss})に保つ必要があります。

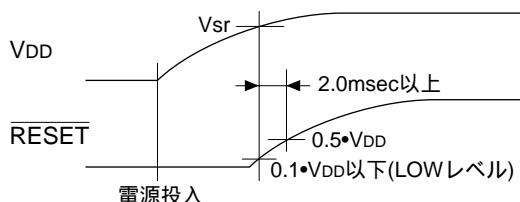


図6.2.4.1 電源投入時のイニシャルリセット

電源電圧の違いにより、 V_{sr} の値は次のようになります。

S1C63158: $V_{sr} = 1.3V$

S1C6P366: $V_{sr} = 2.7V$

また、S1C6P366では通常モード、プログラミングモードの設定がイニシャルリセット信号をトリガとして行われます。したがって、確実にイニシャルリセットがかかるように回路を設計してください。動作中のイニシャルリセットはS1C63158と同様です。通常動作時にイニシャルリセットを行う場合、 \bar{SPRG} 端子は必ずオープンまたはHighレベルに固定してください。

6.2.5 PROM, RAM

S1C6P366は内蔵PROMにFlash EEPROMを使用しており、専用PROMライタにより100回以内の書き換えが可能です。Flash EEPROMの書き換えについては、お客様の責任において行ってください。

表6.2.5.1にS1C63158とのコードPROMおよびRAMのサイズ比較を示します。

表6.2.5.1 メモリサイズ比較表

メモリ	S1C6P366	S1C63158
コードPROM	$16,384 \times 13$ ビット	$8,192 \times 13$ ビット
データRAM	$2,048 \times 4$ ビット	512×4 ビット

S1C6P366を用いてS1C63158のソフト開発を行う場合は、上記のPROM、RAMサイズに注意してください。

6.2.6 I/Oメモリ

S1C6P366にはS1C63358の開発に使用できるように、LCDドライバの制御レジスタ(FF60H、FF61H)が存在します。これらのレジスタはS1C63158には存在しません。

6.2.7 発振回路

S1C6P366では、OSC1に水晶発振回路、OSC3にはセラミック発振回路またはCR発振回路のみ使用可能で、S1C63158のマスクオプションで選択可能なOSC1 CR発振回路は使用できません。

また、電源電圧の違いによる発振開始時間の違いにも注意してください。特に、OSC3発振安定待ち時間が必要な周辺回路の制御は、十分な余裕をとってください。

6.2.8 SVD回路

S1C6P366にはS1C63158と同様にSVD(電源電圧検出)回路が内蔵されていますが、検出レベルはそれぞれ異なります。また、動作電圧が異なるため、S1C6P366では機能する検出レベルが大幅に制限されます。

表6.2.8.1 SVD回路の比較電圧

検出レベル	S1C63158			S1C6P366		
	Min.	Typ.	Max.	Min.	Typ.	Max.
SVDS3-0 = "0"	0.95	1.05	1.15			
SVDS3-0 = "1"	1.05	1.10	1.15			
SVDS3-0 = "2"	1.10	1.15	1.20			
SVDS3-0 = "3"	1.15	1.20	1.25			
SVDS3-0 = "4"	1.20	1.25	1.30			
SVDS3-0 = "5"	1.25	1.30	1.35			
SVDS3-0 = "6"	1.35	1.40	1.45			
SVDS3-0 = "7"	1.55	1.60	1.65	動作不可		
SVDS3-0 = "8"	1.90	1.95	2.00			
SVDS3-0 = "9"	1.95	2.00	2.05			
SVDS3-0 = "10"	2.00	2.05	2.10			
SVDS3-0 = "11"	2.05	2.10	2.15			
SVDS3-0 = "12"	2.15	2.20	2.25			
SVDS3-0 = "13"	2.25	2.30	2.35			
SVDS3-0 = "14"	2.45	2.50	2.55	2.50	2.70	2.90
SVDS3-0 = "15"	2.55	2.60	2.65	2.60	2.80	3.00

S1C6P366において、SVDSレジスタを13以下に設定すると、SVD(電源電圧検出)回路が正しく動作しない場合がありますので注意が必要です。

7 注意事項のまとめ

7.1 低消費電流化のための注意事項

S1C6P366は、低消費電流化のため回路系ごとに制御レジスタを持っています。

この制御レジスタにより必要最小限の回路系を動作させるプログラムとすることで、低消費電流化が実現できます。

以下に動作を制御できる回路系とその制御レジスタ等を説明しますので、プログラムを組む上で参考してください。

表7.1.1 回路系と制御レジスタ

回路系(および項目)	制御レジスタ等
CPU	HALT命令
CPU動作周波数	CLKCHG, OSCC
LCD系電圧回路	LPWR
SVD回路	SVDON

消費電流については"9 電気的特性"を参照してください。

イニシャルリセット時の各回路系の状態は以下のとおりです。

CPU: 動作状態

CPU動作周波数: 低速側(CLKCHG = "0")
OSC3発振回路停止状態(OSCC = "0")

LCD系電圧回路: OFF状態(LPWR = "0")

SVD回路: OFF状態(SVDON = "0")

また、LCDパネルの特性により消費電流が数μAのオーダで異なりますので、パネルの選択にも注意が必要です。

7.2 個別機能についての注意事項のまとめ

以下に各機能の注意事項を個別にまとめます。内容に十分留意した上でプログラミングを行ってください。

メモリ、スタック

- (1)メモリマップの未使用領域にはメモリが実装されていません。また、周辺I/O領域にも非実装領域、未使用(アクセス禁止)領域が存在します。これらの領域をアクセスするようなプログラムを作成した場合は、正常な動作を保証することはできません。
周辺I/O領域については表4.1.1(a)~(f)に示すI/Oメモリマップを参照してください。
- (2)データメモリの一部をサブルーチンコールやレジスタ退避時のスタック領域としても使用しますので、データ領域とスタック領域が重ならないように注意してください。
- (3)S1C63000コアCPUは、4ビットデータ用スタックポインタ(SP2)および16ビットデータ用スタックポインタ(SP1)によりスタック処理を行います。SP1によるスタック処理では16ビットデータアクセスが行われますので、このスタック領域の設定は4ビット/16ビットアクセスが可能な領域内(0100H~01FFH)で行ってください。スタックポインタは、SP1が0000H~03FFH、SP2が0000H~00FFHの範囲でサイクリックに動作します。このため、SP1はS1C6P366の4ビット/16ビットアクセス領域を外れた00FFH以下の領域にも設定される可能性がありますので注意してください。SP1によるスタック操作以外のメモリアクセスは4ビットデータアクセスとなります。
また、イニシャルリセット時は、スタックポインタSP1、SP2の両方がソフトウェアで設定されるまでNMIを含むすべての割り込みがマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまでNMIを含む割り込みは再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。
- (4)S1C6P366はS1C63358、S1C63158より大きな容量のコードPROMおよびRAMを内蔵しています。
S1C6P366をこれらの機種の開発ツールとして使用する場合は、メモリサイズに注意してください。

動作モードと電源制御

S1C6P366は2.7V以上の電源電圧で動作するため、電源の動作モードは通常モードに固定されます。動作モードの制御レジスタは存在しますが、レジスタ機能のみとなり、S1C63358、S1C63158のような動作モードの切り換えは不要です。ただし、S1C6P366をS1C63358、S1C63158の開発ツールとして使用する場合は、それぞれの機種の"テクニカルマニュアル"を参照し、適切な制御を行うようにプログラムしてください。

ウォッチドッグタイマ

- (1)ウォッチドッグタイマを使用する場合、3秒周期以内にソフトウェアでウォッチドッグタイマをリセットする必要があります。
- (2)イニシャルリセットにより、ウォッチドッグタイマは動作状態に設定されますので、使用しない場合は割り込み(NMI)発生前にウォッチドッグタイマをディセーブル(使用しない)に設定してください。

発振回路

- (1)OSC3発振回路がONしてから発振が安定するまでに、5msec以上を必要とします。したがって、CPUの動作クロックをOSC1からOSC3に切り換える際は、OSC3発振ONの後、5msec以上経過してから行ってください。また、発振安定時間は外付け発振子の特性および使用条件等により異なりますので、十分マージンを取って待ち時間を設定してください。
- (2)OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々のインストラクションで行ってください。1インストラクションで、同時に処理するとCPUの誤動作につながります。
- (3)S1C6P366では、VDCレジスタの値はVD1出力電圧に影響を与えません。ただし、このレジスタが"0"の場合、CLKCHGレジスタによってCPUクロックをOSC1からOSC3に切り換えることができませんので注意が必要です。S1C6P366をS1C63358、S1C63158の開発ツールとして使用する場合は、それぞれの機種の"テクニカルマニュアル"を参照し、適切な制御を行うようにプログラムしてください。

入力ポート

- (1) 入力ポートをLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の時定数によって波形立ち上がりに遅延が生じます。このため、入力ポートの取り込みを行う際は、適切な待ち時間を設定してください。
 特に、キーマトリクス構成時のキースキャン等に注意が必要です。
 この待ち時間は次の式で算出される時間以上としてください。

$$10 \times C(\text{端子容量}5\text{pF} + \text{寄生容量}?\text{pF}) \times R(\text{プルアップ抵抗}300\text{k}\Omega)$$
- (2) K13端子はプログラマブルタイマの入力クロック端子としての機能も兼ねることがあり、入力ポート機能と入力信号が共有されます。そのため、K13端子をプログラマブルタイマの入力クロック端子に設定した場合、割り込み等の設定には十分注意してください。

出力ポート

- (1) R02、R03を特殊出力(TOUT、FOUT)として使用する場合、R02レジスタ、R03レジスタは"1"、R02HIZレジスタ、R03HIZレジスタは"0"に固定してください。
 R02、R03レジスタに"0"を書き込むと、出力端子がLOW(Vss)に固定されますので注意してください。
 R02HIZ、R03HIZに"1"を書き込むと、出力端子がハイインピーダンスになりますので注意してください。
- (2) TOUT信号、FOUT信号のON/OFF時は、出力波形にハザードが出る場合があります。
- (3) FOUT信号の周波数としてfosc3を選択した場合は、信号出力前にOSC3発振回路の制御が必要です。制御方法と注意事項については"4.3 発振回路"を参照してください。

入出力兼用ポート

入力モード時にポートの入力をLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の時定数によって波形立ち上がりに遅延が生じます。このため、入力データの取り込みを行う際は、適切な待ち時間を設定してください。
 特に、キーマトリクス構成時のキースキャン等に注意が必要です。
 この待ち時間は次の式で算出される時間以上としてください。

$$10 \times C(\text{端子容量}5\text{pF} + \text{寄生容量}?\text{pF}) \times R(\text{プルアップ抵抗}300\text{k}\Omega)$$

LCDドライバ

- (1) 表示メモリの初期化(CPUからのメモリクリア処理等)を行うまでは表示が不定になります。イニシャル処理で表示メモリの初期化を行ってください。
- (2) LCDドライバ電源制御レジスタLPWRに"1"を設定後、LCD駆動電圧Vc1、Vc2、Vc3が安定するためには100msec以上必要です。電源ON直後のセグメントの点灯には注意してください。

計時タイマ

データの読み出しへ必ず下位データ(TM0 ~ TM3)から先に行ってください。

プログラマブルタイマ

- (1) カウンタデータの読み出しへ必ず下位4ビット(PTD00 ~ PTD03、PTD10 ~ PTD13)から先に行ってください。また、下位4ビット(PTD00 ~ PTD03、PTD10 ~ PTD13)と上位4ビット(PTD04 ~ PTD07、PTD14 ~ PTD17)の読み出しの時間差は0.73msec以下としてください。
 16ビット×1チャンネルモード時は、次の順番で1.46msec以内にすべてを読み出してください。

$$(\text{PTD00} \sim \text{PTD03}) (\text{PTD04} \sim \text{PTD07}) (\text{PTD10} \sim \text{PTD13}) (\text{PTD14} \sim \text{PTD17})$$
- (2) プログラマブルタイマはレジスタPTRUN0/PTRUN1への書き込みに対して、入力クロックの立ち下がりエッジに同期して実際にRUN/STOP状態となります。
 したがって、PTRUN0/PTRUN1に"0"を書き込んだ場合は、"-1"余分にカウントしたところでタイマが停止状態となります。また、このときPTRUN0/PTRUN1は実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。

図7.2.1にRUN/STOP制御のタイミングチャートを示します。



図7.2.1 RUN/STOP制御のタイミングチャート

なお、これについてはイベントカウンタも対象となるため、RUN/STOPレジスタ PTRUN0 を設定後にクロック入力がない場合、カウンタ回路は実際にはRUN/STOP状態になりませんので注意してください。

(3) TOUT信号は出力制御レジスタPTOUTとは非同期に発生していますので、PTOUTの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

(4) OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3発振回路をONさせる必要があります。ただし、OSC3発振回路をONにしてから発振が安定するまでに5msec以上の時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ON後、充分な待ち時間をおいてから行ってください。

OSC3の制御方法と注意事項については"4.3 発振回路"を参照してください。イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

(5) プログラマブルタイマ動作中にプログラマブルタイマ割り込み発生間隔を変更する場合、以下の理由によりリロードデータを書き込むタイミングに注意が必要です。

プログラマブルタイマは入力クロックの立ち下がりエッジでダウンカウントを行い、そこでアンダーフローが発生した場合は同時に割り込みを発生します。その後、リロードデータをカウンタにセットする動作を開始し、入力クロックの次の立ち上がりエッジでカウンタデータが確定します()の区間)

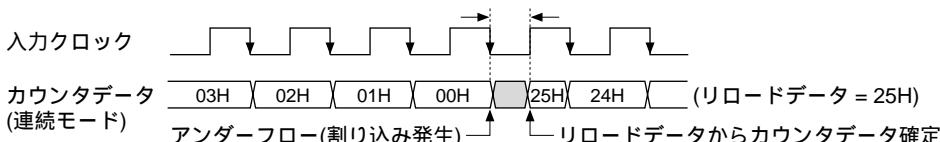


図7.2.2 プログラマブルタイマリロードタイミング

リロードデータを正しくカウンタにセットするために、割り込み発生後は の区間を含め、カウンタデータが確定するまではリロードデータの書き換えを行わないでください。入力クロックの源振にOSC1(低速クロック)を使用し、CPUがOSC3(高速クロック)で動作している場合は、特に注意が必要です。

シリアルインターフェース

(1) データレジスタSD0～SD7への書き込み、または読み出しはシリアルインターフェースが停止中(同期クロックが入力/出力されていない状態)のときのみ行ってください。

(2) シリアルインターフェースの起動はトリガ条件として、SCTRGに"1"を書き込む以前に、データレジスタSD0～SD7の書き込み/読み出しが行われている必要があります。(データレジスタSD0～SD7への書き込み/読み出しそれぞれ、シリアルインターフェースの内部回路は初期化されます。また、トリガをかける前に必ずESIFでシリアルインターフェースをイネーブルとしておいてください)。

トリガはシリアルインターフェースをRUN状態にすることに一度だけ与えてください。また、同期クロックSCLKが外部クロックの場合は、トリガ後に外部クロックの入力を開始してください。

(3) SDPによる入出力順列(MSB先頭/LSB先頭)の設定は、SD0～SD7にデータを設定する前に行ってください。

(4) シリアルインターフェースで使用可能なクロック周波数は、OSC3をクロック源としたプログラマブルタイマ出力を使用する場合あるいはスレーブモード時においても、最大1MHzまでに制限されていますので注意してください。

A/D変換器

- (1) A/D変換器はクロックセレクタからのクロックを入力して動作します。したがって、A/D変換を行う前に、使用するクロックを選択し、クロック出力をONにしておく必要があります。またそのクロック源としてOSC3を使用する場合は、OSC3発振回路が動作していることも必要です。
- (2) OSC3クロックをA/D変換クロックとして使用する場合は、A/D変換中にOSC3発振回路を停止させないでください。停止させると正しい変換結果は得られません。
- (3) 入力クロックやアナログ入力端子の設定は必ずA/D変換停止中に行ってください。A/D変換開始後の変更は誤動作の原因となります。
- (4) クロックセレクタからA/D変換器へのクロックが停止中にA/D変換を開始(ADRUNレジスタへの"1"書き込み)したり、A/D変換動作中にクロックを停止しないでください。誤動作の原因となります。
- (5) PADレジスタで設定されたアナログ入力端子(同時複数設定可)とCHSレジスタで選択された入力チャンネルが一致していないと正しいA/D変換が行われません。
- (6) A/D変換器のアナログ入力として使用しないIP4n端子をA/D変換動作中に動作させないでください(デジタル信号の入出力等)。A/D変換精度に影響します。
- (7) S1C6P366では、VADSELレジスタの値はA/D変換器の動作モード(動作電圧)に影響を与えません。ただし、S1C6P366をS1C63358、S1C63158の開発ツールとして使用する場合は、それぞれの機種の"テクニカルマニュアル"を参照し、電源電圧に合わせた制御を行ってください。

ブザー出力回路

ブザー信号はBZONレジスタとは非同期に発生していますので、BZONレジスタの設定による信号のON/OFF時にハザードを生じる場合があります。

SVD回路

- (1) SVD回路はONさせてから安定した結果が得られるまでに100μsecの時間を必要とします。このため、SVDDONに"1"を書き込み後、100μsec以上経過後にSVDDONに"0"を書き込んでSVDDTを読み出してください。
- (2) SVD検出動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD検出をOFFに設定してください。
- (3) S1C6P366では動作下限電圧が2.7Vのため、SVDSレジスタを13以下に設定するとSVD(電源電圧検出)回路が正しく動作しない場合がありますので注意が必要です。

割り込み

- (1) 各割り込み要因フラグは、各割り込みマスクレジスタを"0"に設定していても、割り込み条件成立によりセットされます。
- (2) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(FLAG="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- (3) イニシャルリセット時、NMIを含むすべての割り込みはスタックポインタSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み(NMIを含む)は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

Flash EEPROM

- (1) 工場出荷時の内蔵コードPROM(Flash EEPROM)には、出荷検査用データが書き込まれています。したがって、通常動作をさせる前にプログラミング作業が必要です(Appendix A 参照)。
- (2) LCDセグメントオプションについてはS5U1C6P366Y1パッケージに推奨オプションデータが添付されています。LCDセグメントオプションを変更する場合はお客様の責任において書き換えを行ってください。
- (3) コードPROM、セグメントオプションPROM共にデータの書き換えは100回以内で可能です。書き換えについては、すべてお客様の責任において行ってください。

7.3 実装上の注意事項

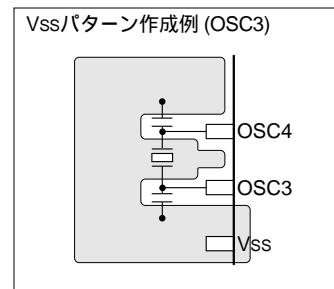
<発振回路>

発振特性は諸条件(使用部品、基板パターン等)により変化します。

特にセラミック発振子または水晶振動子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。

ノイズによる発振クロックの乱れは誤動作の原因となります。
これを防止するため次の点に配慮してください。

- (1)OSC1～OSC4端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
- (2)OSC1～OSC4端子およびこれらの端子に接続された部品の周辺部は右図のようにVssパターンをできるだけ広く作成してください。
また、このVssパターンは発振用途以外に使用しないでください。



OSC1(OSC3) - VDD間のリーク電流による発振回路の不安定動作を防止するため、基板パターンにおいて、OSC1(OSC3)はVDD電源や信号線とは十分な距離を確保してください。

<リセット回路>

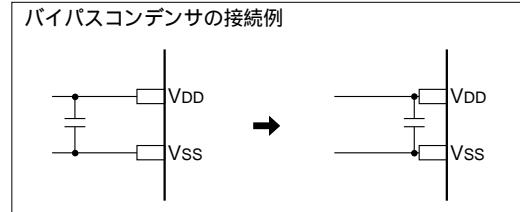
パワーオン時RESET端子に入力されるリセット信号は、諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。また、マスクオプションによりRESET端子のプルアップ抵抗を付加した場合には、抵抗値のばらつきを十分考慮した定数設定が必要です。

ノイズによる動作中のリセットを防ぐため、RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

<電源回路>

ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1)電源からVDD、VSS端子およびAVDD、AVSS、AVREF端子へはできるだけ短くかつ太いパターンで接続してください。
特にAVDD、AVSS、AVREFの各電源は、A/D変換器に用いるため変換精度に影響を与えます。
- (2)VDD - Vssのバイパスコンデンサを接続する場合、VDD端子とVss端子をできるだけ最短で接続してください。



- (3)Vd1、Vc1～Vc3端子に接続するコンデンサ、抵抗等の部品はできるだけ最短で接続してください。
特にVc1～Vc3の各電圧はLCD駆動として用いるため表示品質に影響を与えます。

LCDドライバを使用しない場合は、Vc1～Vc3端子を開放してください。

< A/D変換器 >

A/D変換器を使用しない場合は、次のように接続してください。

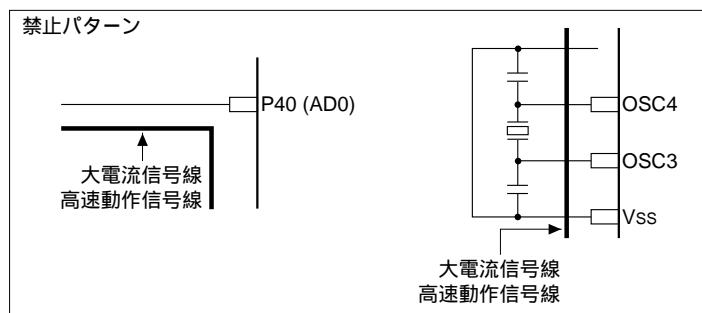
AVDD	→	VDD
AVSS	→	VSS
AVREF	→	VSS

< 信号線の配置 >

相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部、アナログ入力部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。

高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。

特に、発振部、アナログ入力部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



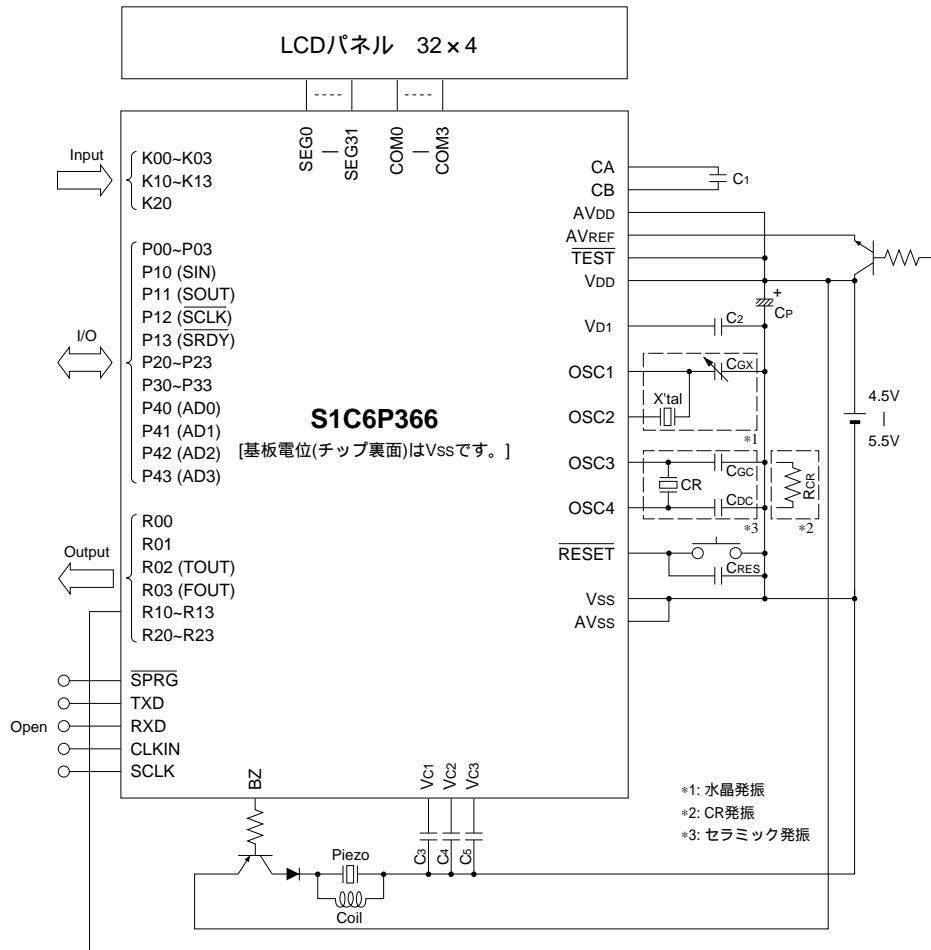
< 光に対する取り扱い(ベアチップ実装の場合)>

半導体素子は、光が照射されると特性が変化します。このため、本ICに光が当たると誤動作をおこすことがあります。光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。

- (1) 実使用時にICの遮光性が考慮された構造となるよう 設計および実装を行ってください。
- (2) 検査工程では、ICの遮光性が考慮された環境設計を行ってください。
- (3) ICの遮光は、ICチップの表面、裏面および側面について考慮してください。

8 基本外部結線図

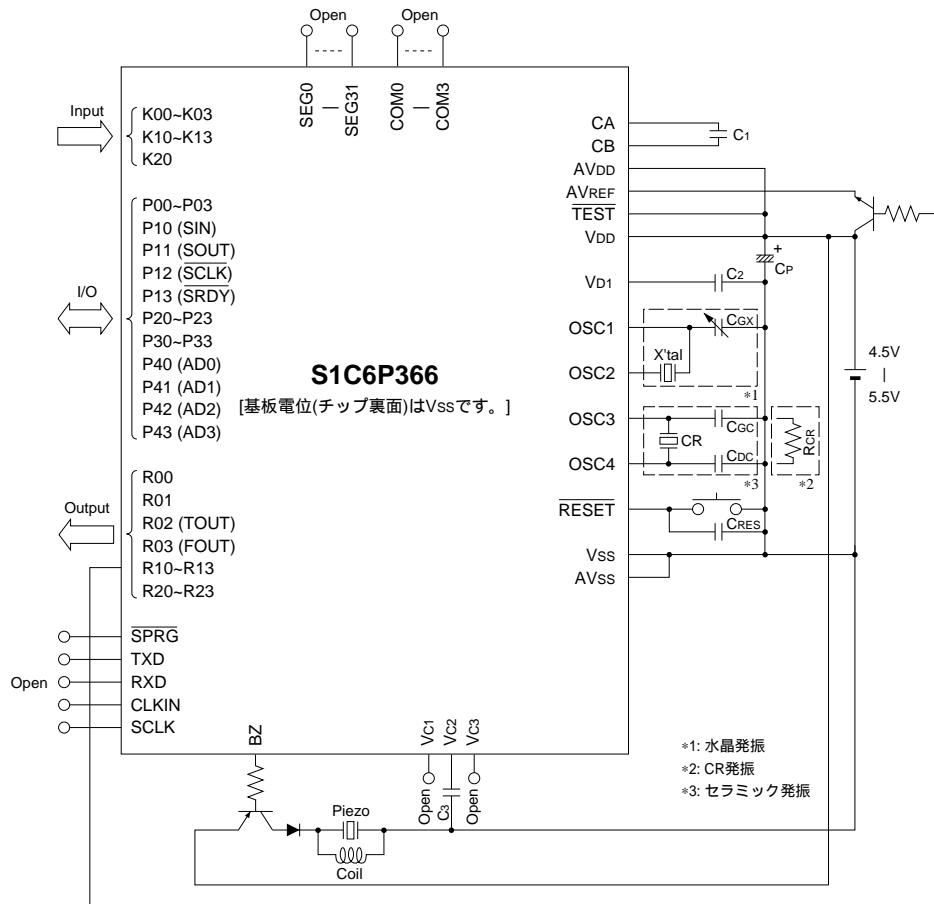
通常動作時(S1C63358のOTPとして使用する場合)



X'tal	水晶振動子	32.768kHz, C1(Max.) = 34kΩ
CGx	トリマコンデンサ	5~25pF
CR	セラミック振動子	4MHz (3.0V)
RCR	OSC3 CR発振用抵抗	91kΩ (1.8MHz/3.0V)
CGc	ゲート容量	100pF
Cdc	ドレイン容量	100pF
C1~C5	コンデンサ	0.2μF
CP	コンデンサ	3.3μF
CRES	RESET端子コンデンサ	0.1μF

注: ここに記載されている値は一例であり、特に動作を保証するものではありません。

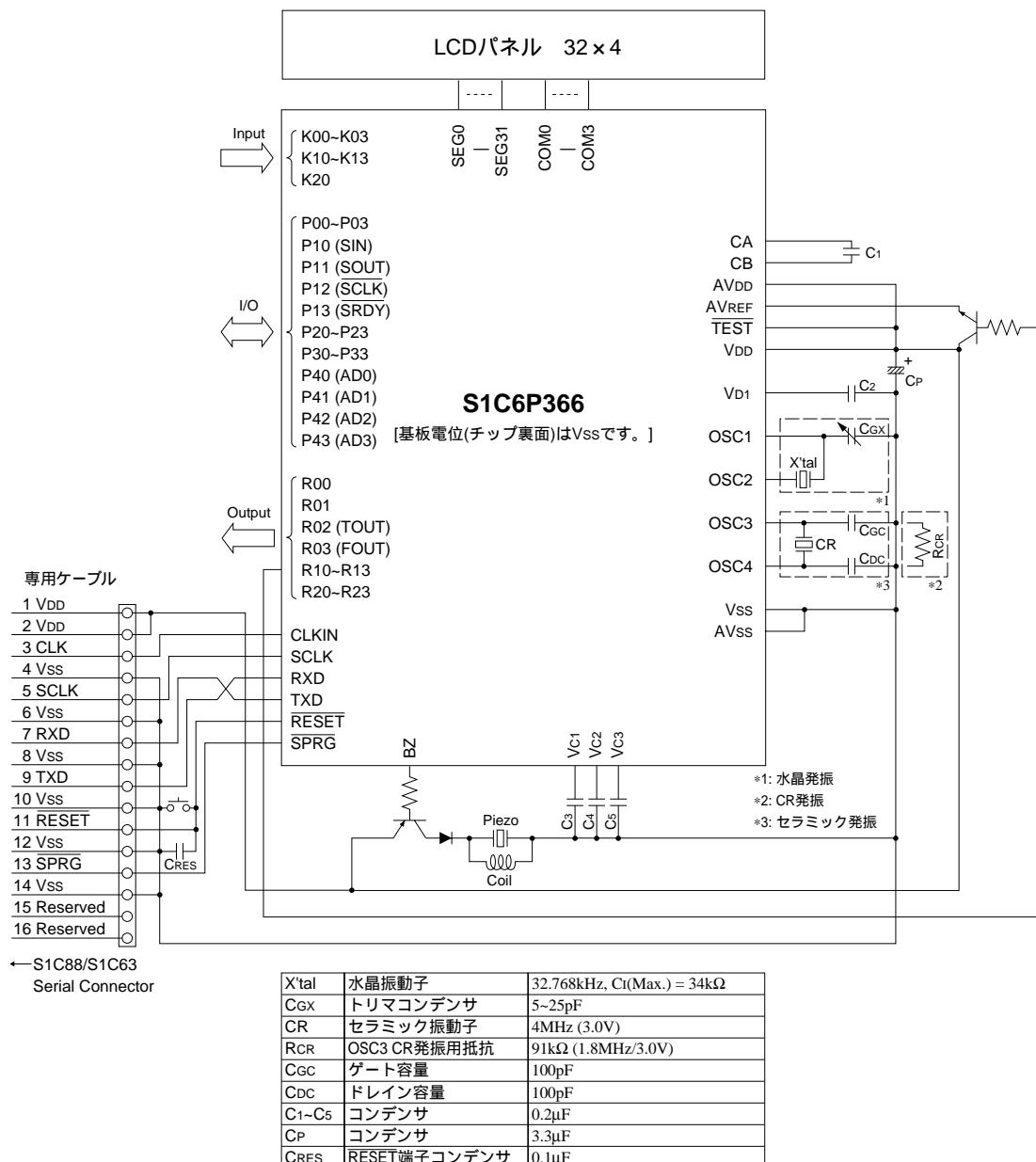
通常動作時(S1C63158のOTPとして使用する場合)



X'tal	水晶振動子	32.768kHz, C _i (Max.) = 34kΩ
C _{GX}	トリマコンデンサ	5~25pF
CR	セラミック振動子	4MHz (3.0V)
R _{CR}	OSC3 CR発振用抵抗	91kΩ (1.8MHz/3.0V)
C _{GC}	ゲート容量	100pF
C _{DC}	ドレイン容量	100pF
C _{1~C₃}	コンデンサ	0.2μF
C _P	コンデンサ	3.3μF
C _{RES}	RESET端子コンデンサ	0.1μF

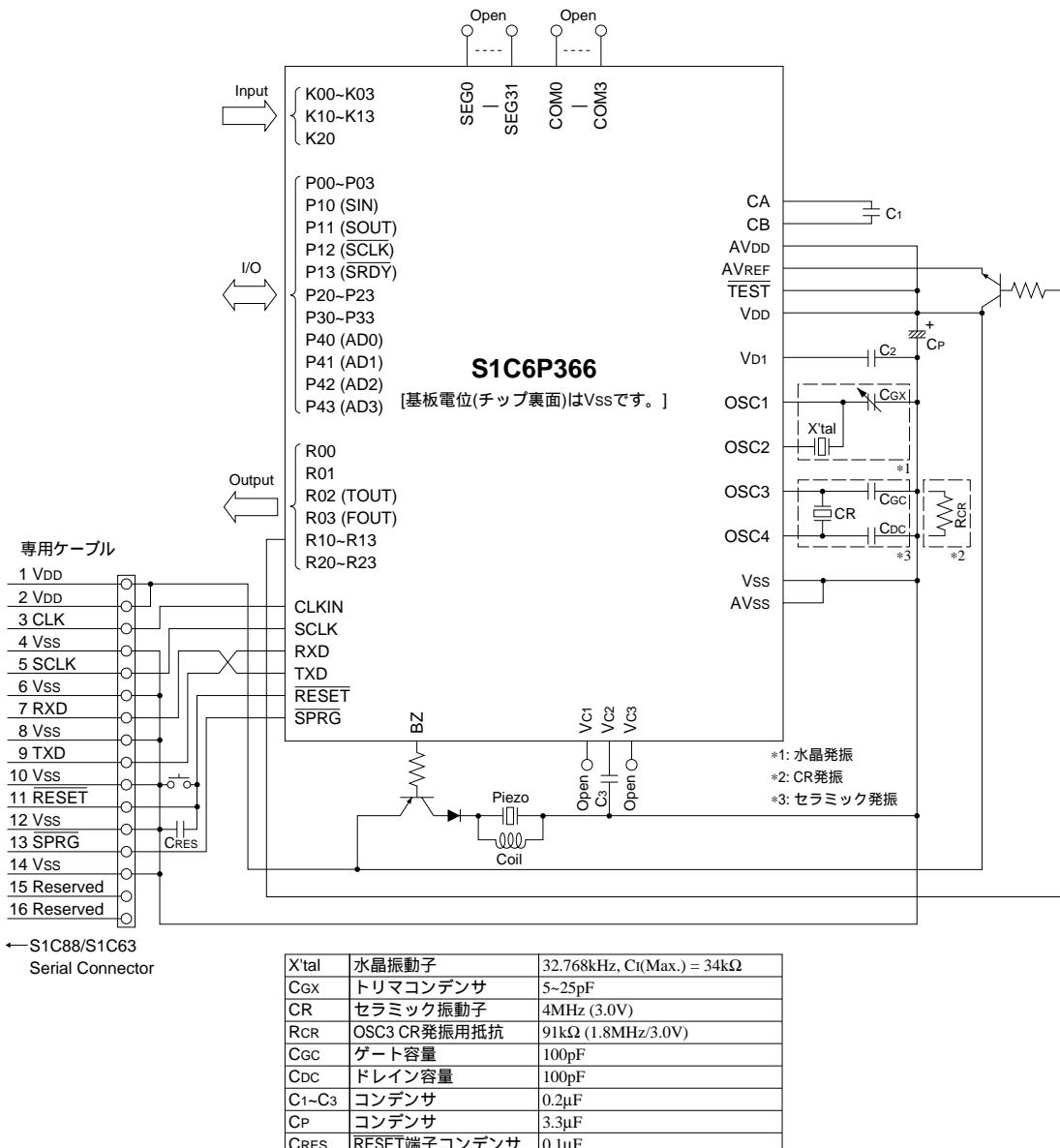
注: ここに記載されている値は一例であり、特に動作を保証するものではありません。

シリアルプログラミング(S1C88/S1C63 Serial Connector)時(S1C63358のOTPとして使用する場合)



注: ここに記載されている値は一例であり、特に動作を保証するものではありません。

シリアルプログラミング(S1C88/S1C63 Serial Connector)時(S1C63158のOTPとして使用する場合)



注: ここに記載されている値は一例であり、特に動作を保証するものではありません。

9 電気的特性

注: S1C6P366はS1C63358/S1C63158と電気的特性に差異がありますので、開発ツールとして使用する場合の参考値としてください。

9.1 絶対最大定格

項目	記号	定格値	(Vss=0V) 単位
電源電圧	VDD	-0.5 ~ 7.0	V
入力電圧(1)	V _I	-0.5 ~ V _{DD} + 0.3	V
入力電圧(2)	V _{IOSC}	-0.5 ~ V _{D1} + 0.3	V
許容総出力電流 *1	ΣI_{VDD}	10	mA
動作温度	T _{opr}	-20 ~ 70	°C
保存温度 *2	T _{stg}	-65 ~ 150	°C
半田付け温度・時間	T _{sol}	260°C, 10sec (リード部)	—
許容損失 *3	P _D	250	mW

*1 許容総出力電流とは出力端子から同時に流し出せる(または引き込める)電流(平均電流)の総和です。

*2 保存温度の絶対最大定格はデータ保持を保証するものではありません。

*3 プラスチックパッケージ(QFP15-100pin)の場合

9.2 推奨動作条件

項目	記号	条件	Min.	Typ.	Max.	単位
電源電圧	V _{DD}	V _{SS} =0V 通常モード	2.7	3.0	5.5	V
	A _{VDD}	A _{VSS} =0V	2.7	3.0	5.5	V
発振周波数	fosc ₁	水晶発振	—	32.768	—	kHz
	fosc ₃	CR発振 セラミック発振		1800		kHz
					4100	kHz

9.3 DC特性

特記なき場合

$V_{DD}=3.0V$, $V_{SS}=0V$, $f_{OSC1}=32.768kHz$, $T_a=25^{\circ}C$, $V_{D1}/V_{Cl}/V_{C2}/V_{C3}$ は内部電圧, $C_1 \sim C_5=0.2\mu F$

項目	記号	条件	Min.	Typ.	Max.	単位
高レベル入力電圧(1)	V_{IH1}	$K00 \sim 03, K10 \sim 13, K20, P00 \sim 03$ $P10 \sim 13, P20 \sim 23, P30 \sim 33, P40 \sim 43$ RXD, SCLK, CLKIN, SPRG	0.8·VDD		VDD	V
高レベル入力電圧(2)	V_{IH2}	RESET, TEST	0.9·VDD		VDD	V
低レベル入力電圧(1)	V_{IL1}	$K00 \sim 03, K10 \sim 13, K20, P00 \sim 03$ $P10 \sim 13, P20 \sim 23, P30 \sim 33, P40 \sim 43$ RXD, SCLK, CLKIN, SPRG	0		0.2·VDD	V
低レベル入力電圧(2)	V_{IL2}	RESET, TEST	0		0.1·VDD	V
高レベル入力電流	I_{IH}	$V_{IH}=3.0V$	$K00 \sim 03, K10 \sim 13, K20, P00 \sim 03$ $P10 \sim 13, P20 \sim 23, P30 \sim 33, P40 \sim 43$ RXD, SCLK, CLKIN, SPRG RESET, TEST	0	0.5	μA
低レベル入力電流(1)	I_{IL1}	$V_{IL1}=V_{SS}$ Pull upなし	P40~43	-0.5	0	μA
低レベル入力電流(2)	I_{IL2}	$V_{IL2}=V_{SS}$ Pull upあり	$K00 \sim 03, K10 \sim 13, K20, P00 \sim 03$ $P10 \sim 13, P20 \sim 23, P30 \sim 33, P40 \sim 43$ RXD, SCLK, CLKIN, SPRG RESET, TEST	-16	-10	μA
高レベル出力電流(1)	I_{OH1}	$V_{OH1}=0.9 \cdot V_{DD}$	$R00 \sim 03, R10 \sim 13, R20 \sim 23, P00 \sim 03$ $P10 \sim 13, P20 \sim 23, P30 \sim 33, P40 \sim 43$ TXD, SCLK		-1.5	mA
高レベル出力電流(2)	I_{OH2}	$V_{OH2}=0.9 \cdot V_{DD}$	BZ		-1.5	mA
低レベル出力電流(1)	I_{OL1}	$V_{OL1}=0.1 \cdot V_{DD}$	$R00 \sim 03, R10 \sim 13, R20 \sim 23, P00 \sim 03$ $P10 \sim 13, P20 \sim 23, P30 \sim 33, P40 \sim 43$ TXD, SCLK	3		mA
低レベル出力電流(2)	I_{OL2}	$V_{OL2}=0.1 \cdot V_{DD}$	BZ	3		mA
コモン出力電流	I_{OH3}	$V_{OH3}=V_{CS}-0.05V$	COM0~3		-10	μA
	I_{OL3}	$V_{OL3}=V_{SS}+0.05V$		10		μA
セグメント出力電流 (LCD出力時)	I_{OH4}	$V_{OH4}=V_{CS}-0.05V$	SEG0~31		-10	μA
	I_{OL4}	$V_{OL4}=V_{SS}+0.05V$		10		μA
セグメント出力電流 (DC出力時)	I_{OH5}	$V_{OH5}=0.9 \cdot V_{DD}$	SEG0~31		-220	μA
	I_{OL5}	$V_{OL5}=0.1 \cdot V_{DD}$		220		μA

特記なき場合

$V_{DD}=5.0V$, $V_{SS}=0V$, $f_{OSC1}=32.768kHz$, $T_a=25^{\circ}C$, $V_{D1}/V_{Cl}/V_{C2}/V_{C3}$ は内部電圧, $C_1 \sim C_5=0.2\mu F$

項目	記号	条件	Min.	Typ.	Max.	単位
高レベル入力電圧(1)	V_{IH1}	$K00 \sim 03, K10 \sim 13, K20, P00 \sim 03$ $P10 \sim 13, P20 \sim 23, P30 \sim 33, P40 \sim 43$ RXD, SCLK, CLKIN, SPRG	0.8·VDD		VDD	V
高レベル入力電圧(2)	V_{IH2}	RESET, TEST	0.9·VDD		VDD	V
低レベル入力電圧(1)	V_{IL1}	$K00 \sim 03, K10 \sim 13, K20, P00 \sim 03$ $P10 \sim 13, P20 \sim 23, P30 \sim 33, P40 \sim 43$ RXD, SCLK, CLKIN, SPRG	0		0.2·VDD	V
低レベル入力電圧(2)	V_{IL2}	RESET, TEST	0		0.1·VDD	V
高レベル入力電流	I_{IH}	$V_{IH}=5.0V$	$K00 \sim 03, K10 \sim 13, K20, P00 \sim 03$ $P10 \sim 13, P20 \sim 23, P30 \sim 33, P40 \sim 43$ RXD, SCLK, CLKIN, SPRG RESET, TEST	0	0.5	μA
低レベル入力電流(1)	I_{IL1}	$V_{IL1}=V_{SS}$ Pull upなし	P40~43	-0.5	0	μA
低レベル入力電流(2)	I_{IL2}	$V_{IL2}=V_{SS}$ Pull upあり	$K00 \sim 03, K10 \sim 13, K20, P00 \sim 03$ $P10 \sim 13, P20 \sim 23, P30 \sim 33, P40 \sim 43$ RXD, SCLK, CLKIN, SPRG RESET, TEST	-25	-15	μA
高レベル出力電流(1)	I_{OH1}	$V_{OH1}=0.9 \cdot V_{DD}$	$R00 \sim 03, R10 \sim 13, R20 \sim 23, P00 \sim 03$ $P10 \sim 13, P20 \sim 23, P30 \sim 33, P40 \sim 43$ TXD, SCLK		-3	mA
高レベル出力電流(2)	I_{OH2}	$V_{OH2}=0.9 \cdot V_{DD}$	BZ		-3	mA
低レベル出力電流(1)	I_{OL1}	$V_{OL1}=0.1 \cdot V_{DD}$	$R00 \sim 03, R10 \sim 13, R20 \sim 23, P00 \sim 03$ $P10 \sim 13, P20 \sim 23, P30 \sim 33, P40 \sim 43$ TXD, SCLK	6		mA
低レベル出力電流(2)	I_{OL2}	$V_{OL2}=0.1 \cdot V_{DD}$	BZ	6		mA
コモン出力電流	I_{OH3}	$V_{OH3}=V_{CS}-0.05V$	COM0~3		-10	μA
	I_{OL3}	$V_{OL3}=V_{SS}+0.05V$		10		μA
セグメント出力電流 (LCD出力時)	I_{OH4}	$V_{OH4}=V_{CS}-0.05V$	SEG0~31		-10	μA
	I_{OL4}	$V_{OL4}=V_{SS}+0.05V$		10		μA
セグメント出力電流 (DC出力時)	I_{OH5}	$V_{OH5}=0.9 \cdot V_{DD}$	SEG0~31		-660	μA
	I_{OL5}	$V_{OL5}=0.1 \cdot V_{DD}$		660		μA

9.4 アナログ回路特性・消費電流

特記なき場合

VDD=3.0V, Vss=0V, fosc1=32.768kHz, CG=25pF, Ta=25°C, VD1/VCl/Vc2/Vc3は内部電圧, C1~C5=0.2μF

項目	記号	条件	Min.	Typ.	Max.	単位	
LCD駆動電圧	VC1	Vss-Vc1間に1MΩの負荷抵抗を接続 (パネル負荷なし)	1/2-Vc2 -0.1		1/2-Vc2 ×0.95	V	
	VC2	Vss-Vc2間に1MΩの負荷抵抗を接続 (パネル負荷なし)		Typ. ×0.88	2.10	V	
	VC3	Vss-Vc3間に1MΩの負荷抵抗を接続 (パネル負荷なし)		3/2-Vc2 ×0.95	3/2-Vc2	V	
SVD電圧	VSVD	SVDS0-3="0"	-	-	-	V	
		SVDS0-3="1"	-	-	-		
		SVDS0-3="2"	-	-	-		
		SVDS0-3="3"	-	-	-		
		SVDS0-3="4"	-	-	-		
		SVDS0-3="5"	-	-	-		
		SVDS0-3="6"	-	-	-		
		SVDS0-3="7"	-	-	-		
		SVDS0-3="8"	-	-	-		
		SVDS0-3="9"	-	-	-		
		SVDS0-3="10"	-	-	-		
		SVDS0-3="11"	-	-	-		
		SVDS0-3="12"	-	-	-		
		SVDS0-3="13"	-	-	-		
		SVDS0-3="14"	2.50	2.70	2.90		
		SVDS0-3="15"	2.60	2.80	3.00		
SVD回路応答時間	tsvd				100	μs	
消費電流	IOP	HALT時 通常モード 液晶電源OFF	32.768kHz		2.5	6	μA
		HALT時 通常モード*1 液晶電源ON	32.768kHz		37	60	μA
		実行時 通常モード*1 液晶電源ON	32.768kHz (水晶発振) 1.8MHz (CR発振) 4MHz (セラミック発振)	120 0.6 0.8	200 0.9 1.2	μA mA mA	

*1 パネル負荷なし、SVD回路およびA/D変換器はOFF状態、AVREFはOPEN

A/D変換器特性

特記なき場合

AVDD=VDD=2.7~3.6V, AVss=Vss=0V, Ta=-25~75°C

項目	記号	条件	Min.	Typ.	Max.	単位
分解能			8	8	8	bit
誤差		3.6V≤VDD≤5.5V Fconv=OSC3/2 or OSC1	-3		3	LSB
		2.7V≤VDD≤3.6V Fconv=OSC3/2 or OSC1	-3		3	LSB
変換時間	tconv	Fconv=OSC3/2=2MHz			10.5	μs
		Fconv=OSC1=32kHz			641	μs
入力電圧		AVss			AVREF	V
基準電圧	AVREF		0.9		AVDD	V
AVREF抵抗			15	50		kΩ

9.5 発振特性

発振特性は諸条件(使用部品、基板パターン等)により変化します。以下の特性は参考値としてご使用ください。

OSC1 水晶発振回路

特記なき場合

VDD=3.0V, Vss=0V, fosc1=32.768kHz, CG=25pF, CD=内蔵, Ta=-20°C~70°C

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始電圧	Vsta	tsta 3sec (VDD)	2.7			V
発振停止電圧	Vstp	tstp 10sec (VDD)	2.7			V
内蔵容量(ドレイン)	Cd	IC内部の寄生容量を含む(チップ状態)		18		pF
周波数電圧偏差	df/dV	VDD=2.7 ~ 5.5V			5	ppm
周波数IC偏差	df/dIC		-10		10	ppm
周波数調整範囲	df/dCG	CG=5 ~ 25pF		50		ppm
高調波発振開始電圧	Vhho	CG=5pF (VDD)	5.5			V
許容リーケ抵抗	Rleak	OSC1とVDD, Vssの間	200			MΩ

OSC3 セラミック発振回路

特記なき場合

VDD=3.0V, Vss=0V. セラミック振動子: 4MHz, CGC=CDC=100pF, Ta=-20°C~70°C

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始電圧	Vsta	通常モード(VDD)	2.7			V
発振開始時間	tsta	VDD=2.7 ~ 5.5V			5	ms
発振停止電圧	Vstp	通常モード(VDD)	2.7			V

OSC3 CR発振回路

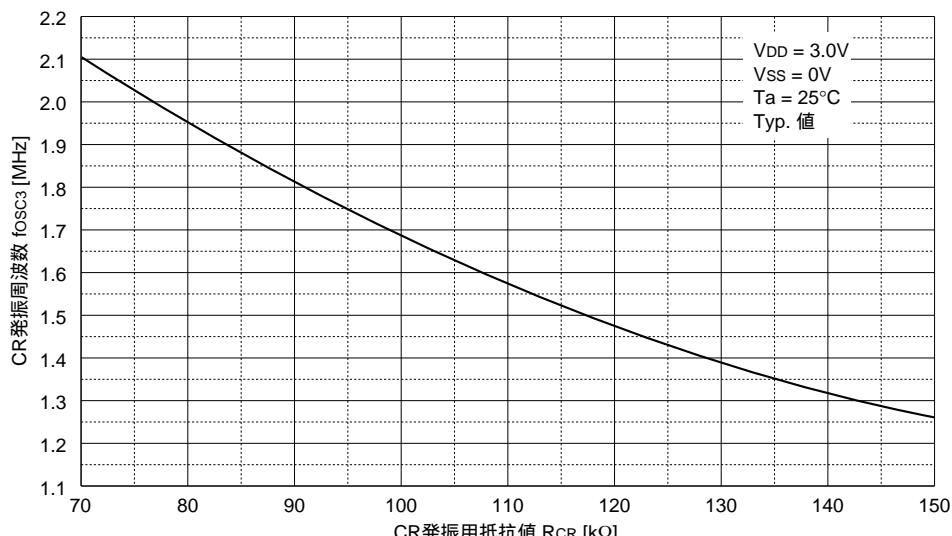
特記なき場合

VDD=3.0V, Vss=0V, RCR=91kΩ, Ta=25°C

項目	記号	条件	Min.	Typ.	Max.	単位
発振周波数パラツキ	fosc3		-30	1.8MHz	30	%
発振開始電圧	Vsta	通常モード(VDD)	2.7			V
発振開始時間	tsta	VDD=2.7 ~ 5.5V			3	ms
発振停止電圧	Vstp	通常モード(VDD)	2.7			V

OSC3 CR発振抵抗特性

発振特性は諸条件(使用部品、基板パターン等)により変化します。以下の特性は参考値とし、実際の製品で評価されることを推奨します。



9.6 シリアルインターフェースAC特性

1 マスタモード(32kHz動作時)

条件: V_DD=3.0V, V_SS=0V, Ta=25°C, V_{IH1}=0.8V_DD, V_{IL1}=0.2V_DD, V_OH=0.8V_DD, V_OL=0.2V_DD

項目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	t _{smd}			5	μs
受信データ入力セットアップ時間	t _{sms}	10			μs
受信データ入力ホールド時間	t _{smh}	5			μs

2 マスタモード(1MHz動作時)

条件: V_DD=3.0V, V_SS=0V, Ta=25°C, V_{IH1}=0.8V_DD, V_{IL1}=0.2V_DD, V_OH=0.8V_DD, V_OL=0.2V_DD

項目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	t _{smd}			200	ns
受信データ入力セットアップ時間	t _{sms}	400			ns
受信データ入力ホールド時間	t _{smh}	200			ns

3 スレーブモード(32kHz動作時)

条件: V_DD=3.0V, V_SS=0V, Ta=25°C, V_{IH1}=0.8V_DD, V_{IL1}=0.2V_DD, V_OH=0.8V_DD, V_OL=0.2V_DD

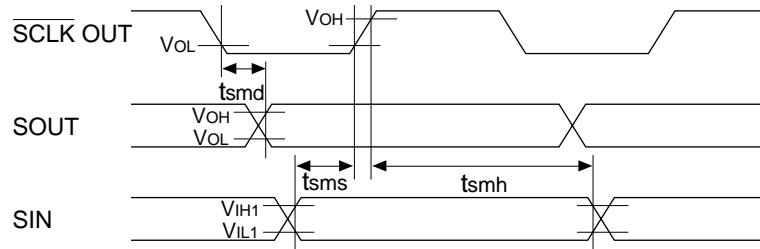
項目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	t _{ssd}			10	μs
受信データ入力セットアップ時間	t _{sss}	10			μs
受信データ入力ホールド時間	t _{ssh}	5			μs

4 スレーブモード(1MHz動作時)

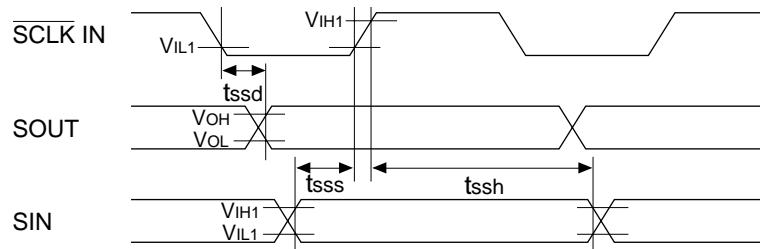
条件: V_DD=3.0V, V_SS=0V, Ta=25°C, V_{IH1}=0.8V_DD, V_{IL1}=0.2V_DD, V_OH=0.8V_DD, V_OL=0.2V_DD

項目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	t _{ssd}			500	ns
受信データ入力セットアップ時間	t _{sss}	400			ns
受信データ入力ホールド時間	t _{ssh}	200			ns

<マスタモード>

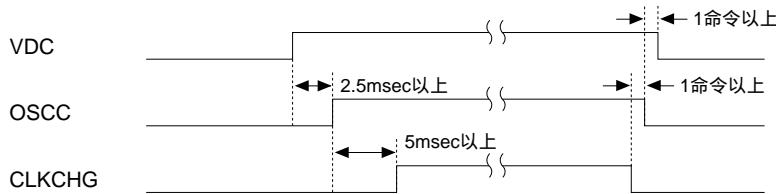


<スレーブモード>



9.7 タイミングチャート

システムクロック切り換えタイミングチャート



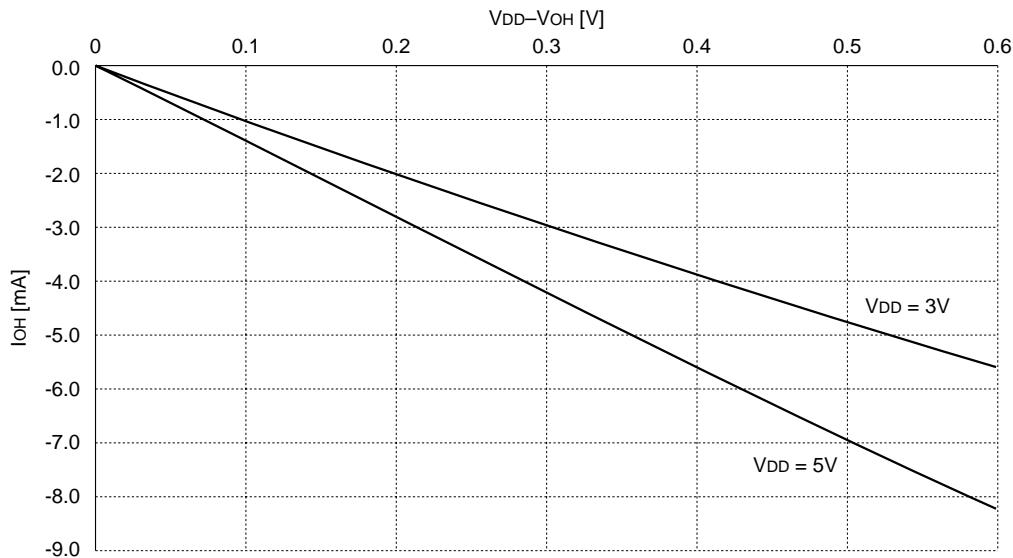
S1C6P366では、VDCレジスタの値はVD1出力電圧に影響を与えません。ただし、このレジスタが"0"の場合、CLKCHGレジスタによってCPUクロックをOSC1からOSC3に切り換えることができませんので注意が必要です。

S1C6P366においてCPUクロックをOSC1からOSC3に切り換える場合には、VDCレジスタの設定を"1"としてください。

また、S1C6P366をS1C63358、S1C63158の開発ツールとして使用する場合は、それぞれの機種の"テクニカルマニュアル"を参照し、各機種に対応した制御を行ってください。

9.8 特性グラフ(参考値)

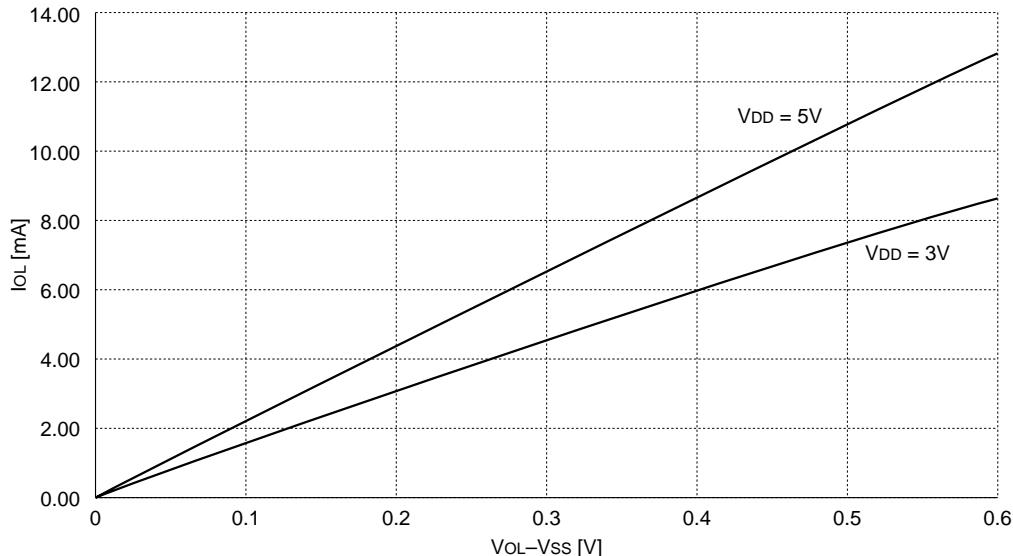
高レベル出力電流(Rxx, Pxx, BZ, Typ. 値)



OSC1: 32.768kHz水晶発振, $V_{ss} = 0V$, パネル負荷なし, $C_{GX} = 25pF$, $C_{GC} = C_{DC} = 100pF$, $C_1 \sim C_5 = 0.2\mu F$
上記グラフは参考例であり、実装状態、使用部品、測定環境により変化します。

出力端子については定格の許容総出力電流値を超えないように使用してください。

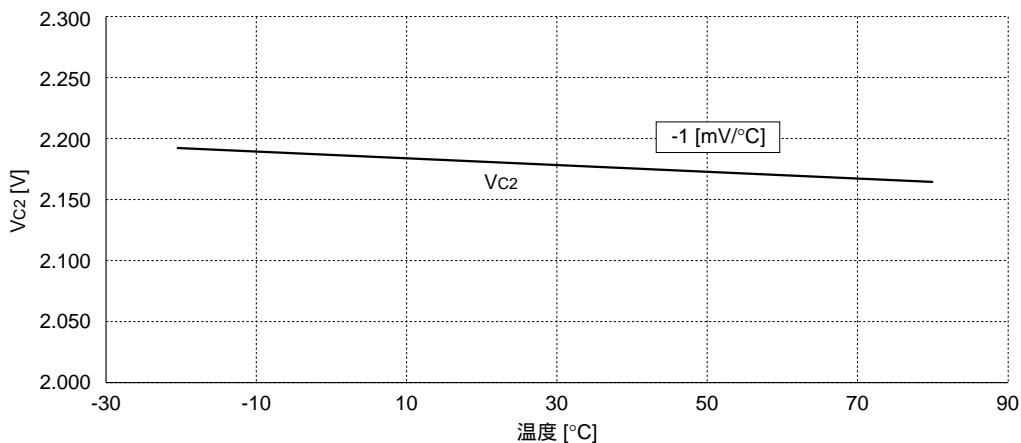
低レベル出力電流(Rxx, Pxx, BZ, Typ. 値)



OSC1: 32.768kHz水晶発振, $V_{ss} = 0V$, パネル負荷なし, $C_{GX} = 25pF$, $C_{GC} = C_{DC} = 100pF$, $C_1 \sim C_5 = 0.2\mu F$
上記グラフは参考例であり、実装状態、使用部品、測定環境により変化します。

出力端子については定格の許容総出力電流値を超えないように使用してください。

Vc2出力電圧温度特性(Typ. 値)

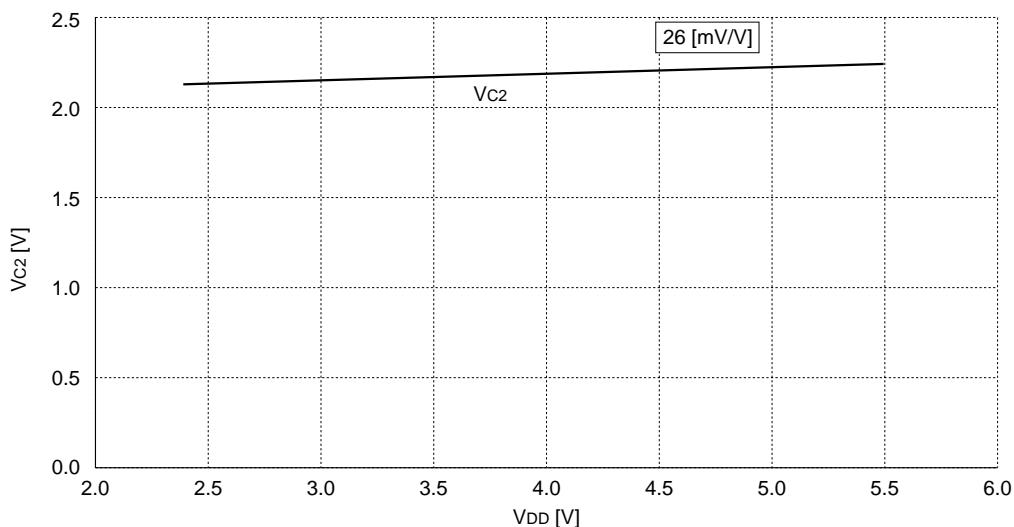


OSC1: 32.768kHz水晶発振, VDD = 3V, Vss = 0V, パネル負荷なし, CGX = 25pF, CGC = CDC = 100pF, C1~C5 = 0.2μF

内蔵液晶駆動電源回路は上記グラフのような温度依存性を持ちます。

上記グラフは参考例であり、実装状態、使用部品、測定環境により変化します。

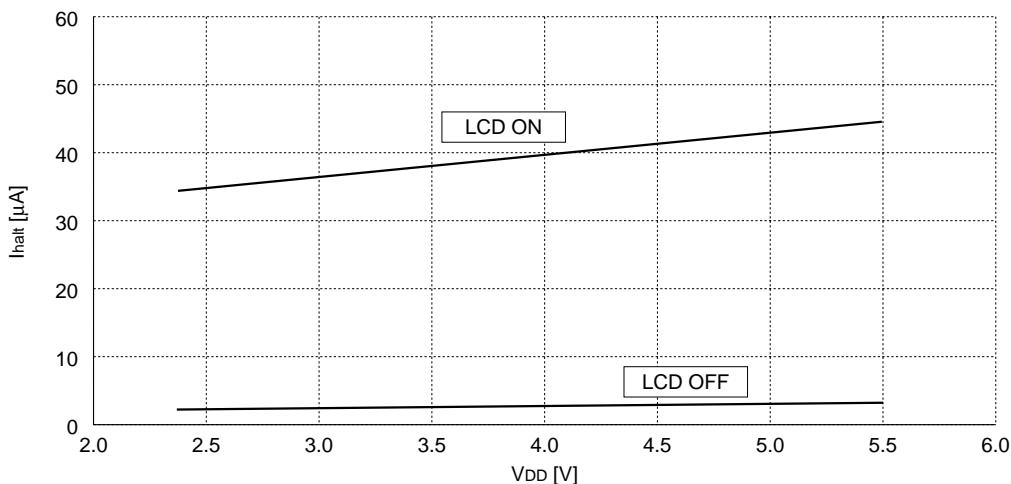
Vc2出力電圧-電源電圧特性(Typ. 値)



OSC1: 32.768kHz水晶発振, Ta = 25°C, Vss = 0V, パネル負荷なし, CGX = 25pF, CGC = CDC = 100pF, C1~C5 = 0.2μF

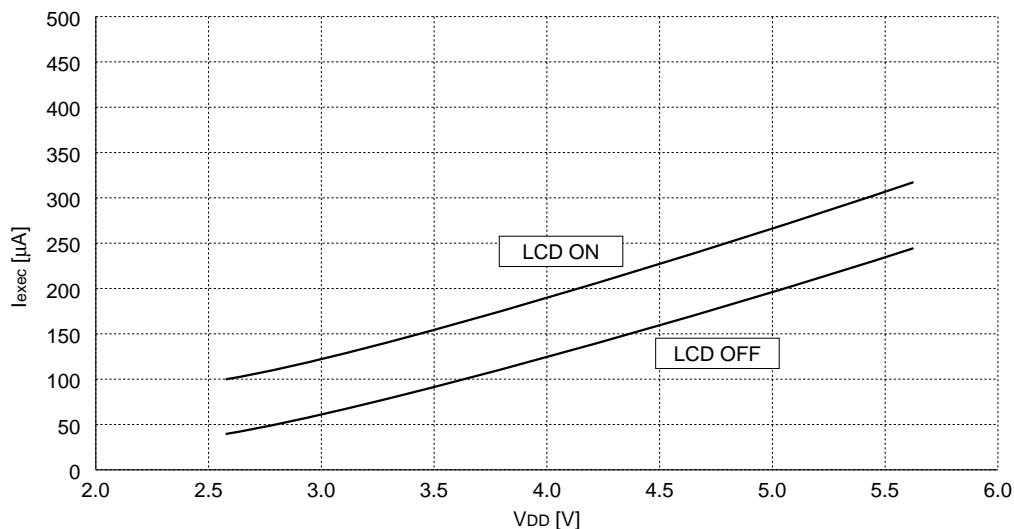
上記グラフは参考例であり、実装状態、使用部品、測定環境により変化します。

HALT時動作電流-電源電圧特性(Typ. 値)



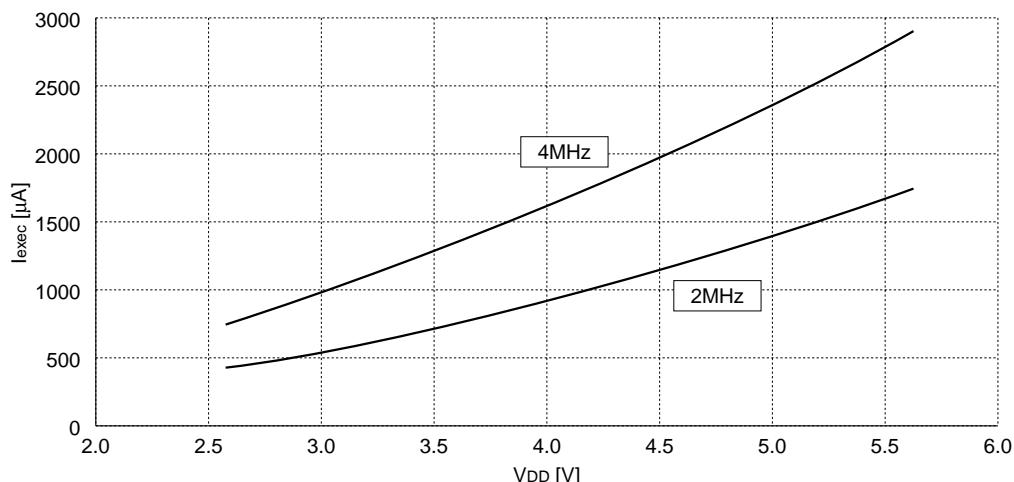
OSC1: 32.768kHz水晶発振, $T_a = 25^\circ\text{C}$, $V_{ss} = 0\text{V}$, バネル負荷なし, $C_{GX} = 25\text{pF}$, $C_{GC} = C_{DC} = 100\text{pF}$
上記グラフは参考例であり、実装状態、使用部品、測定環境により変化します。

OSC1動作時電流-電源電圧特性(Typ. 値)



OSC1: 32.768kHz水晶発振, $T_a = 25^\circ\text{C}$, $V_{SS} = 0\text{V}$, パネル負荷なし, $C_{GX} = 25\text{pF}$, $C_{GC} = C_{DC} = 100\text{pF}$
上記グラフは参考例であり、実装状態、使用部品、測定環境により変化します。

OSC3動作時電流-電源電圧特性(Typ. 値)



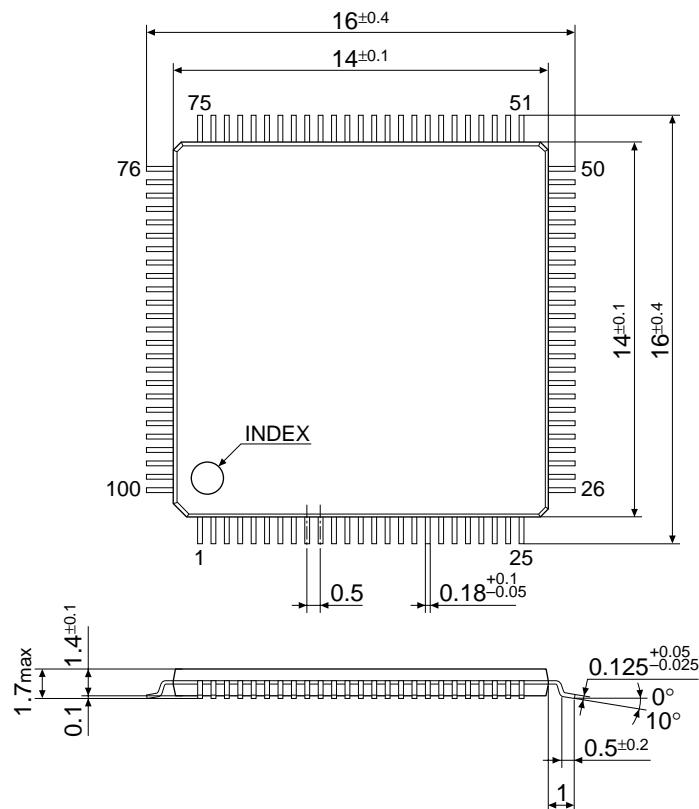
OSC1: 32.768kHz水晶発振, $T_a = 25^\circ\text{C}$, $V_{SS} = 0\text{V}$, パネル負荷なし, $C_{GX} = 25\text{pF}$, $C_{GC} = C_{DC} = 100\text{pF}$
上記グラフは参考例であり、実装状態、使用部品、測定環境により変化します。

10 パッケージ

10.1 プラスチックパッケージ

QFP15-100pin

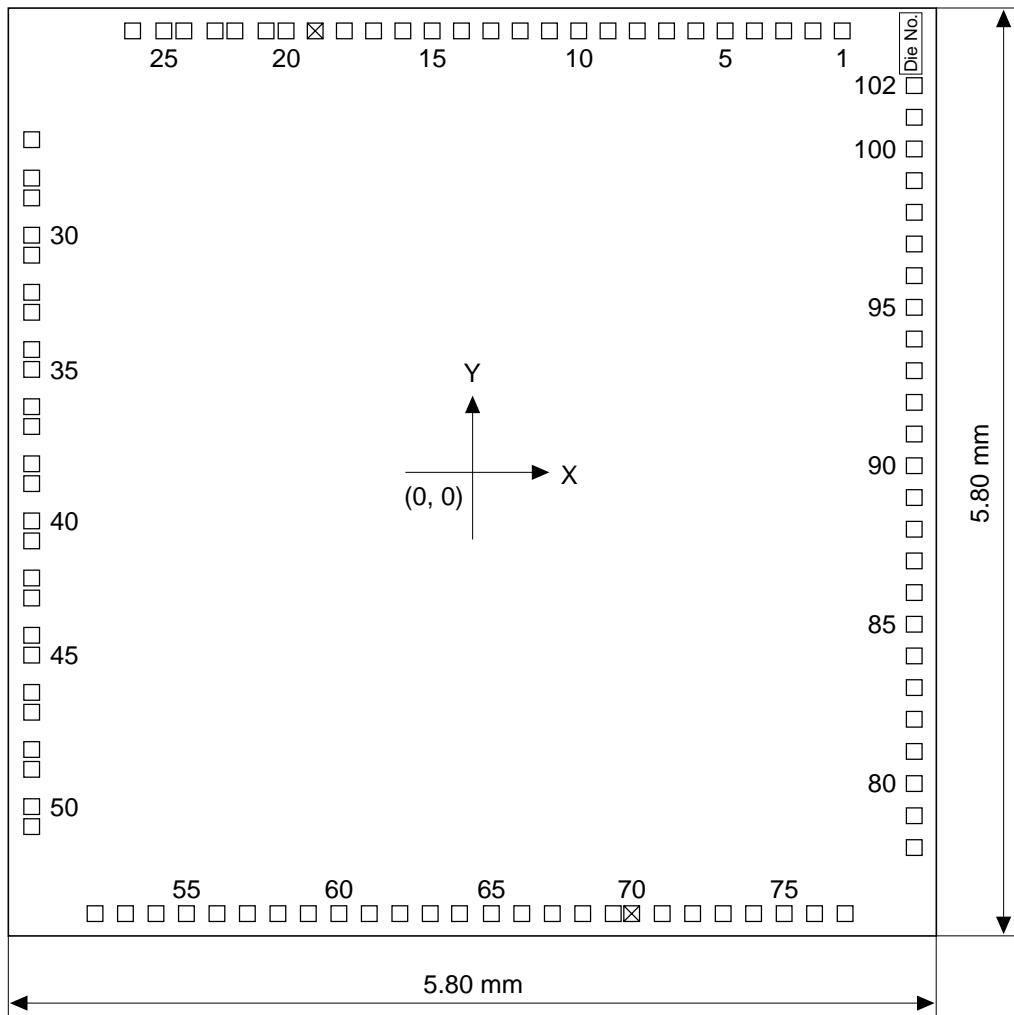
(単位: mm)



寸法については予告なく変更する場合があります。

11 パッド配置

11.1 パッド配置図



チップ厚: 400 μm
パッド開口部: 98 μm

11.2 パッド座標

単位: μm

No.	パッド名	X座標	Y座標	No.	パッド名	X座標	Y座標	No.	パッド名	X座標	Y座標
1	R13	2,309	2,759	35	SEG15	-2,757	643	69	VDD	878	-2,759
2	R12	2,126	2,759	36	SEG16	-2,757	410	70	N.C.	993	-2,759
3	R11	1,943	2,759	37	SEG17	-2,757	286	71	RESET	1,184	-2,759
4	R10	1,760	2,759	38	SEG18	-2,757	53	72	TEST	1,374	-2,759
5	R03	1,577	2,759	39	SEG19	-2,757	-71	73	AVREF	1,565	-2,759
6	R02	1,394	2,759	40	SEG20	-2,757	-304	74	AVDD	1,755	-2,759
7	R01	1,211	2,759	41	SEG21	-2,757	-429	75	AVss	1,946	-2,759
8	R00	1,028	2,759	42	SEG22	-2,757	-661	76	RXD	2,136	-2,759
9	BZ	845	2,759	43	SEG23	-2,757	-786	77	TXD	2,327	-2,759
10	K00	662	2,759	44	SEG24	-2,757	-1,019	78	SCLK	2,759	-2,346
11	K01	479	2,759	45	SEG25	-2,757	-1,143	79	P43	2,759	-2,147
12	K02	296	2,759	46	SEG26	-2,757	-1,376	80	P42	2,759	-1,946
13	K03	113	2,759	47	SEG27	-2,757	-1,500	81	P41	2,759	-1,745
14	K10	-71	2,759	48	SEG28	-2,757	-1,733	82	P40	2,759	-1,544
15	K11	-254	2,759	49	SEG29	-2,757	-1,857	83	P33	2,759	-1,346
16	K12	-437	2,759	50	SEG30	-2,757	-2,090	84	P32	2,759	-1,148
17	K13	-620	2,759	51	SEG31	-2,757	-2,215	85	P31	2,759	-950
18	K20	-803	2,759	52	CLKIN	-2,361	-2,759	86	P30	2,759	-752
19	N.C.	-986	2,759	53	SPRG	-2,171	-2,759	87	P23	2,759	-554
20	SEG0	-1,167	2,759	54	COM0	-1,980	-2,759	88	P22	2,759	-356
21	SEG1	-1,292	2,759	55	COM1	-1,790	-2,759	89	P21	2,759	-158
22	SEG2	-1,487	2,759	56	COM2	-1,599	-2,759	90	P20	2,759	41
23	SEG3	-1,611	2,759	57	COM3	-1,409	-2,759	91	P13	2,759	239
24	SEG4	-1,806	2,759	58	CB	-1,218	-2,759	92	P12	2,759	437
25	SEG5	-1,931	2,759	59	CA	-1,028	-2,759	93	P11	2,759	635
26	SEG6	-2,126	2,759	60	Vc3	-837	-2,759	94	P10	2,759	833
27	SEG7	-2,757	2,079	61	Vc2	-647	-2,759	95	P03	2,759	1,031
28	SEG8	-2,757	1,839	62	Vc1	-456	-2,759	96	P02	2,759	1,229
29	SEG9	-2,757	1,715	63	Vss	-266	-2,759	97	P01	2,759	1,427
30	SEG10	-2,757	1,482	64	OSC1	-83	-2,759	98	P00	2,759	1,625
31	SEG11	-2,757	1,357	65	OSC2	116	-2,759	99	R23	2,759	1,823
32	SEG12	-2,757	1,125	66	Vd1	306	-2,759	100	R22	2,759	2,021
33	SEG13	-2,757	1,000	67	OSC3	497	-2,759	101	R21	2,759	2,219
34	SEG14	-2,757	767	68	OSC4	687	-2,759	102	R20	2,759	2,417

N.C. : No Connection

Appendix A PROMプログラミング

A.1 書き込みツールの概要

S1C6P366内蔵Flash EEPROMへのユーザデータ書き込みツールには次のものがあります。
用途に応じてお選びください。

(1)シリアルプログラミング(S1C88/S1C63 Serial Connector)

システム環境

- Universal ROM Writer IK(製品名: S5U1C88000W1)
- S1C88/S1C63 Serial Connector(製品名: S5U1C88000X1)
- コントロールソフトウェア(製品名: S5U1C6P366Y1)

パソコン用USB端子とS5U1C88000W1およびS5U1C88000X1を用いてオンボードプログラミングが可能です。ターゲットへの電源供給やモード設定はS5U1C88000X1から行います。

(2)パラレルプログラミング

システム環境

- Universal ROM Writer IK(製品名: S5U1C88000W1)
- S1C6P366 Adapter Socket(製品名: S5U1C6P366X1)
- コントロールソフトウェア(製品名: S5U1C6P366Y1)

パソコン用USB端子とS5U1C88000W1およびS5U1C6P366X1を用いて、未実装のパッケージ品への高速書き込みが可能です。

以降、製品名を以下のように記述して説明します。

S5U1C88000W1	Universal Writer
S5U1C88000X1	S1C88/S1C63 Serial Connector
S5U1C6P366X1	S1C6P366 Adapter Socket
S5U1C6P366Y1	コントロールソフトウェア

コントロールソフトウェアはS5U1C63000A(アセンブラー言語)に梱包されております。

A.2 シリアルプログラミング(S1C88/S1C63 Serial Connector)

A.2.1 シリアルプログラミングシステム環境(S1C88/S1C63 Serial Connector)

ホストコンピュータとして下記のパーソナルコンピュータシステム、専用のPROM書き込みツールおよびFlash内蔵マイコンに書き込むためのデータを用意してください。

(1)パーソナルコンピュータ

- IBM-PC/ATまたは互換機でシリアルポート(RS-232C)を備えたもの

(2)OS

- 日本語版/英語版Windows95/98

(3)PROM書き込みツール

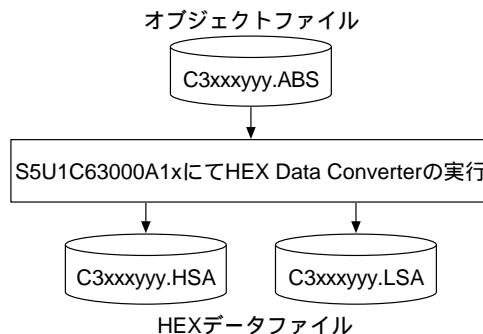
- S5U1C88000W1パッケージ
- S5U1C88000X1パッケージ
- S5U1C6P366Y1パッケージ

(4)ユーザデータ ROMデータHEXファイル

<HEX Data Converterの実行>

HEX63xxxを実行し、オブジェクトファイル(C3xxxxyy.ABS)からHEXデータファイル(C3xxxxyy.HSA、C3xxxxyy.LSA)を作成します。

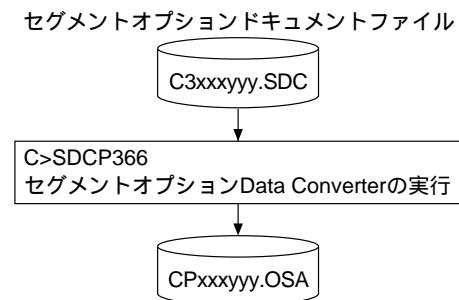
HEX Data Converterの詳細については、"S5U1C63000A Manual"を参照してください。



図A.2.1.1 HEX63xxxの実行フロー

<セグメントオプション変換の実行>

SDCP366を実行し、セグメントオプションドキュメントファイル(C3xxxxyy.SDC)からセグメントオプションPROM HEXデータファイル(C3xxxxyy.OSA)を作成します。



図A.2.1.2 セグメントオプション変換の実行フロー

カレントディレクトリにSDCP366.EXEをコピーしてください。
MS-DOSプロンプトを起動します。

```
C>SDCP366
```

を実行すると、下記の入力待ち状態となります。

```
*** Please input SOG document file name ***
Input File Name == c3xxxxyy.sdc
```

セグメントオプションドキュメントファイル名を入力すると、出力ファイルを聞いてきます。

```
*** Please output SOG HEX file name ***
Output File Name == cpxxxxyy.osa
```

出力ファイル名を入力します。

```
Making file is completed
```

セグメントオプションPROM HEXデータファイル(CPxxxxyy.OSA)が作成されます。
MS-DOSプロンプトを閉じます。

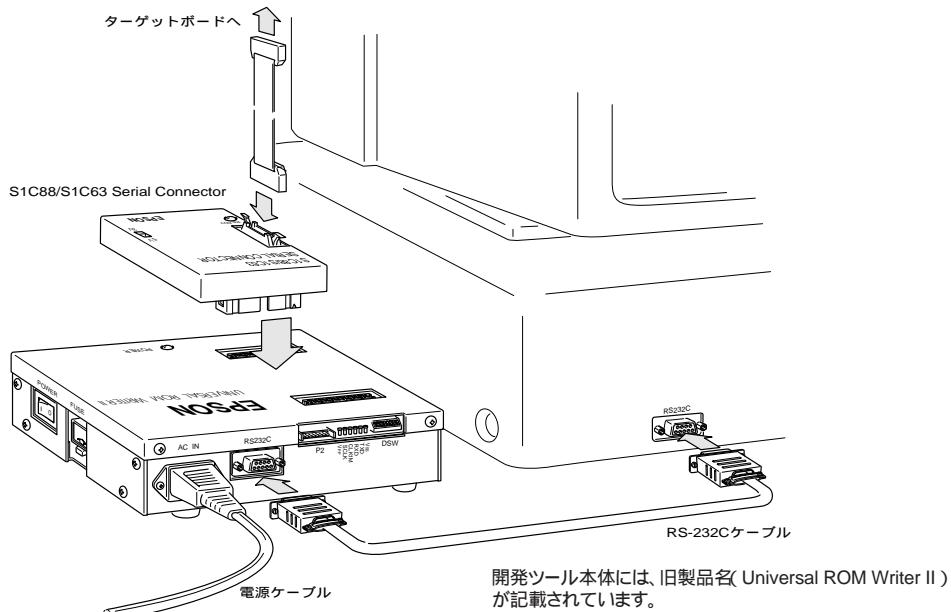
S5U1C6P366Y1パッケージには次のファイルが添付されています。

- SDCP366.EXE(セグメントオプションData Converter実行ファイル)
- CP366SEG.SDO(推奨セグメントオプションドキュメントファイル)
- CP366SEG.OSA(推奨セグメントオプションPROM HEXデータファイル)

推奨セグメントオプションについては"4.7.4 セグメントオプション"を参照してください。

A.2.2 シリアルプログラミングシステムの接続と設定(S1C88/S1C63 Serial Connector)

Universal Writerをパソコンに接続し、S1C88/S1C63 Serial ConnectorをUniversal Writer上面のコネクタに装着して使用します。



図A.2.2.1 システム接続図

システムの接続は、以下の手順に従って行います。

(1)電源OFFを確認します。

パソコン、Universal Writerの電源がOFFになっていることを確認します。

(2)電源ケーブルを接続します。

Universal Writerには専用の電源ケーブル(3極)が添付されています。

この電源ケーブルをUniversal Writer背面の電源コネクタに接続します。

(3)RS-232Cケーブルを接続します。

Universal Writerに添付されているRS-232Cケーブルを使用してUniversal Writerをパソコンに接続してください。RS-232CケーブルはIBM-PC/AT用(9pin-9pin)です。

注: RS-232Cケーブルはコネクタ付属のビスでしっかりと固定してください。接続が不十分だと誤動作の原因になります。

(4)S1C88/S1C63 Serial ConnectorをUniversal Writerの上面コネクタに装着します。

S1C88/S1C63 Serial Connectorのコネクタには誤挿入防止用のツメがついていますので、Universal Writerのコネクタのノッチに合わせて装着してください。

注: S1C88/S1C63 Serial Connectorを取り外す場合もUniversal Writerの電源をOFFした状態で行ってください。

(5)書き込み電圧を選択します。

S1C88/S1C63 Serial Connector上の5V/3V切り替えスイッチで書き込み電圧を5Vに設定します。

(6)ディップスイッチを確認します。

Universal Writer背面のディップスイッチ(DSW)が図のとおり(出荷時の設定)になっていることを確認してください。



注! SW1と2は上側に、SW3～8はすべて下側に倒してください。

図A.2.2.2 ディップスイッチの指定

A.2.3 シリアルプログラミング手順(S1C88/S1C63 Serial Connector)

(1)システムの接続および設定

"A.2.2 シリアルプログラミング システムの接続と設定(S1C88/S1C63 Serial Connector)"に示した通り、接続および設定を行います。

(2)電源の投入

パーソナルコンピュータの電源を投入します。次にUniversal Writerの電源(側面のPOWER SW)を投入します。

(3)シリアルポートの割り付け確認

パーソナルコンピュータのシリアルポートがCOM1に割り付けられているか確認します。

(4)コントロールソフトウェアおよびユーザデータの準備

S5U1C6P366Y1パッケージより以下のファイルをパーソナルコンピュータ上の任意のフォルダにコピーします。(本マニュアルでは"C:¥URW2"のフォルダにコピーします。)

S5U1C6P366Y1パッケージ
RW63P366.EXE(日本語/英語版)
63P366.FRM

次に、ユーザデータ(ROMデータHEXファイル)を同じフォルダにコピーします。

注: スペースを含む名称のフォルダ(例: *My Document*)上では、コントロールソフトウェアが正常に動作しない場合があります。

(5)コントロールソフトウェアの起動

以下の方法でコントロールソフトウェアを起動します。

- MS-DOSプロンプト起動後、次のコマンドを実行

```
C:¥URW2>RW63P366
```

- RW63P366.EXEファイルのアイコンをダブルクリック

コントロールソフトウェアが起動すると、次のタイトルメッセージが出力されます。

```
UNIVERSAL ROM WRITER      Ver. 3.xx
(C) COPYRIGHT 200x SEIKO EPSON CORPORATION
LOADING 63P366 FIRMWARE PROGRAM Ver. 3.xx
.....
```

メッセージが出力された後、次のようなプロンプトが表示されます。

```
63P366:
```

(6)ユーザデータのロード

コードPROM HEXファイル(CP366xxx.HSA、CP366xxx.LSA)をロードします。

```
63P366:LI CP366xxx
```

と入力します。

セグメントオプションPROM HEXファイル(CP366xxx.OSA)をロードします。

```
63P366:LO CP366xxx
```

と入力します。

S5U1C6P366Y1パッケージには、推奨セグメントオプションPROM HEXデータ(CP366SEG.OSA)が添付されています。

(7)ターゲットの接続

ターゲットをS1C88/S1C63 Serial Connectorに接続します。接続方法については"A.2.4シリアルプログラミング結線図(S1C88/S1C63 Serial Connector)"をご覧ください。

注: PROMプログラミング用電源(5V)はUniversal Writerより供給されますので、ターゲット側の電源はOFFしてください。

(8)PROMの消去

PROM(コードPROMおよびセグメントオプションPROM)の内容の消去(イレースおよびイレースチェックを行います。

63P366:FERSA /E ↴

と入力します。

正常に消去が行われると、"ERASE COMPLETED"が表示されます。

リードプロテクト処理されていないサンプルは、FERSI、FERSCコマンドを用いてコードPROM、セグメントオプションPROMを個別に消去することもできます。詳しくは、"A.4.2 Universal ROM Writer IIコマンドの詳細説明"を参照してください。

注:

- 工場出荷時のPROMには出荷検査用のデータが書き込まれていますので、初期化のため実行してください。
- 工場出荷時に弊社にてお客様のデータを書き込んだPROMにはリードプロテクト処理がされています。上記のコマンドを実行すると、PROMの内容が消去された後、リードプロテクトが解除されます。

(9)ユーザデータの書き込み

コードPROMのデータ書き込みおよびベリファイを行います。

63P366:FWI /V ↴

と入力します。

正常に書き込みが行われると、"WRITE COMPLETED"が表示されます。

セグメントオプションPROMのデータ書き込みおよびベリファイを行います。

63P366:FWC /V ↴

と入力します。

正常に書き込みが行われると、"WRITE COMPLETED"が表示されます。

(10)ターゲットの取り外し

書き込みコマンド正常終了確認後、ターゲットを取り外します。

なお、続けて書き込みを行う場合は、手順(7)~(10)を繰り返し行ってください。

注: S1C88/S1C63 Serial Connector上の"READY"LEDが消灯している状態での取り外しは行わないでください。

(11)コントロールソフトウェアの終了

QUITコマンドによりコントロールソフトウェアを終了します。

63P366:Q ↴

注: QUITコマンドを実行せずにMS-DOSプロンプトを"閉じる"などで強制終了した後、再度コントロールソフトウェアを起動すると"RAM CLEAR ERROR"などのエラーが発生する場合があります。この場合は一度Universal Writerの電源をOFFし、再度投入した後にコントロールソフトウェアを起動してください。

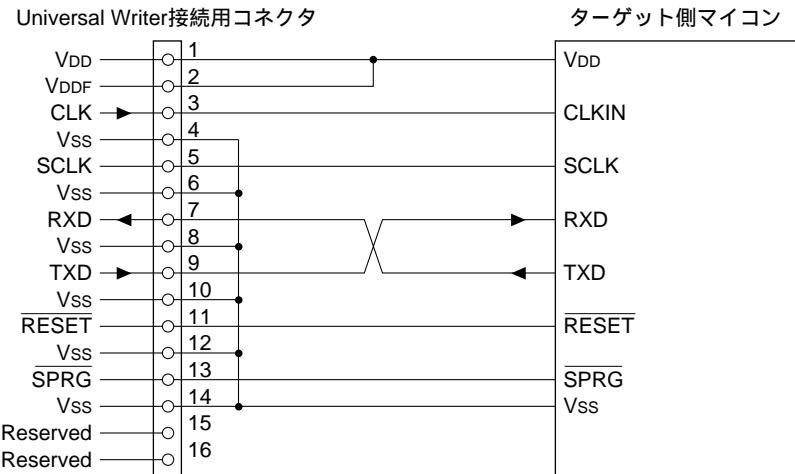
(12)電源OFF

Universal Writerの電源(側面のPOWER SW)をOFFします。次にパーソナルコンピュータの電源をOFFします。

A.2.4 シリアルプログラミング結線図(S1C88/S1C63 Serial Connector)

ターゲットボードへの接続

ターゲット上の結線を図A.2.4.1に、信号の仕様を表A.2.4.1に示します。



図A.2.4.1 シリアルプログラミング結線図(S1C88/S1C63 Serial Connector)

表A.2.4.1 信号仕様

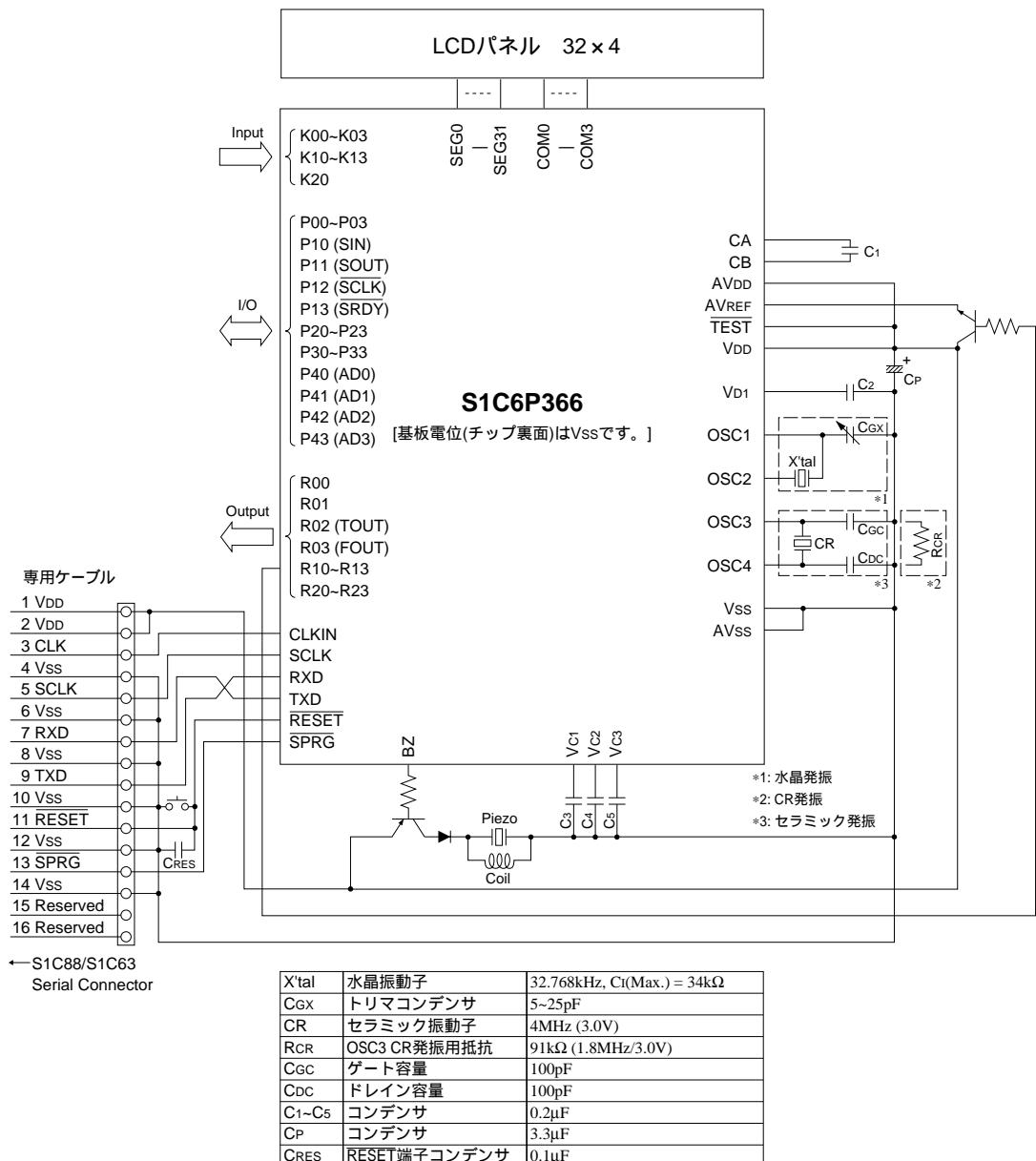
コネクタピン番号	信号名	機能	マイコンの接続先
1	VDD	電源端子	VDD端子
2	VDDF	プログラミング電源端子	VDD端子
3	CLK	システムクロック出力	CLKIN端子
5	SCLK	シリアルI/Fクロック出力	SCLK端子
7	RXD	シリアルI/Fデータ入力	TXD端子
9	TXD	シリアルI/Fデータ出力	RXD端子
11	RESET	イニシャルリセット出力	RESET端子
13	SPRG	プログラミングモード設定出力	SPRG端子
15	Reserved		N.C.
16	Reserved		N.C.
4, 6, 8, 10, 12, 14	Vss	GND端子	Vss端子

表A.2.4.2 Universal Writer接続用コネクタ部品

名称	型名
ボックスヘッダ(オス) [ターゲット側]	3408-6002LCFL(3M) または相当品
ソケットコネクタ(メス) [SIOケーブル側]	ソケットコネクタ部 7916-B500FL(3M) ストレインリリーフ部 3448-7916(3M) または相当品

- 注:
- PROMプログラミング用電源(5V)は Universal Writerより供給されますので、ターゲット側の電源は OFFしてください。
 - PROMプログラミングは電源電圧5Vで行いますので、ターゲット上の各部品の定格電圧には十分注意してください。

シリアルプログラミング基本外部結線図(S1C88/S1C63 Serial Connector)



注: ここに記載されている値は一例で、特に動作を保証するものではありません。

図A.2.4.2 シリアルプログラミング(S1C88/S1C63 Serial Connector)時の基本外部結線図

- シリアルプログラミング時の電源は、S1C88/S1C63 Serial ConnectorのVDD端子から供給されます。
- シリアルプログラミング時の動作クロック(1MHz)は、S1C88/S1C63 Serial ConnectorのCLK端子からS1C6P366に供給されます。

A.3 パラレルプログラミング

A.3.1 パラレルプログラミングシステム環境

ホストコンピュータとして下記のパーソナルコンピュータシステム、専用のPROM書き込みツールおよびS1C6P366に書き込むためのデータを用意してください。

(1)パーソナルコンピュータ

- IBM-PC/ATまたは互換機でシリアルポート(RS-232C)を備えたもの

(2)OS

- 日本語版/英語版Windows95/98

(3)PROM書き込みツール

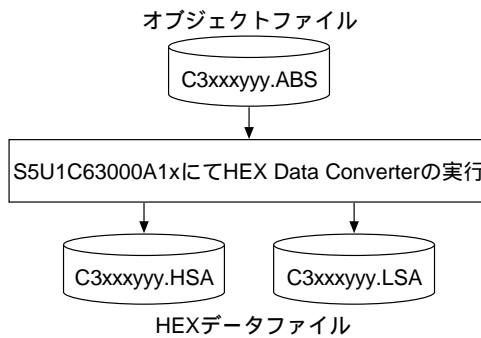
- S5U1C88000W1/パッケージ
- S5U1C6P366X1/パッケージ
- S5U1C6P366Y1/パッケージ

(4)ユーザデータ ROMデータHEXファイル

<HEX Data Converterの実行>

HEX63xxxを実行し、オブジェクトファイル(C3xxxxyy.ABS)からHEXデータファイル(C3xxxxyy.HSA、C3xxxxyy.LSA)を作成します。

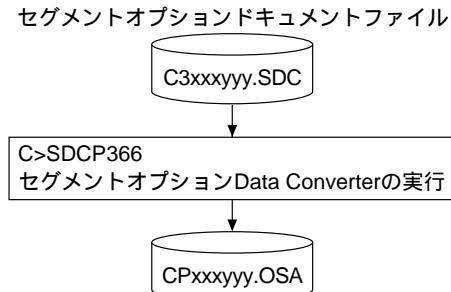
HEX Data Converterの詳細については、"S5U1C63000A Manual"を参照してください。



図A.3.1.1 HEX63xxxの実行フロー

<セグメントオプション変換の実行>

SDCP366を実行し、セグメントオプションドキュメントファイル(C3xxxxyy.SDC)からセグメントオプションPROM HEXデータファイル(C3xxxxyy.OSA)を作成します。



図A.3.1.2 セグメントオプション変換の実行フロー

カレントディレクトリにSDCP366.EXEをコピーしてください。
MS-DOSプロンプトを起動します。

```
C>SDCP366
```

を実行すると、下記の入力待ち状態となります。

```
*** Please input SOG document file name ***
Input File Name == c3xxxxyy.sdc
```

セグメントオプションドキュメントファイル名を入力すると、出力ファイルを聞いてきます。

```
*** Please output SOG HEX file name ***
Output File Name == cpxxxxyy.osa
```

出力ファイル名を入力します。

```
Making file is completed
```

セグメントオプションPROM HEXデータファイル(CPxxxxyy.OSA)が作成されます。
MS-DOSプロンプトを閉じます。

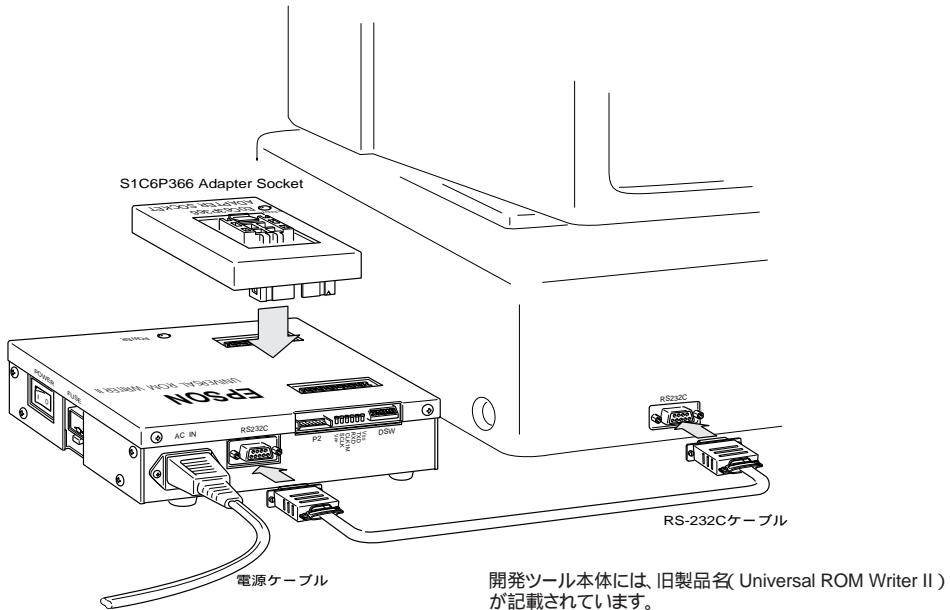
S5U1C6P366Y1パッケージには次のファイルが添付されています。

- SDCP366.EXE(セグメントオプションData Converter実行ファイル)
- CP366SEG.SDC(推奨セグメントオプションドキュメントファイル)
- CP366SEG.OSA(推奨セグメントオプションPROM HEXデータファイル)

推奨セグメントオプションについては"4.7.4 セグメントオプション"を参照してください。

A.3.2 パラレルプログラミングシステムの接続と設定

Universal Writerをパソコンに接続し、S1C6P366 Adapter SocketをUniversal Writer上面のコネクタに装着して使用します。



図A.3.2.1 システム接続図

システムの接続は、以下の手順に従って行います。

(1) 電源OFFを確認します。

パソコンとUniversal Writerの電源がOFFになっていることを確認します。

(2) 電源ケーブルを接続します。

Universal Writerには専用の電源ケーブル(3極)が添付されています。

この電源ケーブルをUniversal Writer背面の電源コネクタに接続します。

(3) RS-232Cケーブルを接続します。

Universal Writerに添付されているRS-232Cケーブルを使用してUniversal Writerをパソコンに接続してください。RS-232CケーブルはIBM-PC/AT用(9ピン-9ピン)です。

注: RS-232Cケーブルはコネクタ付属のビスでしっかりと固定してください。接続が不十分ですと誤動作の原因になります。

(4) S1C6P366 Adapter SocketをUniversal Writerの上面コネクタに装着します。

S1C6P366 Adapter Socketのコネクタには誤挿入防止用のツメがついていますので、Universal Writerのコネクタのノッチに合わせて装着してください。

注: S1C6P366 Adapter Socketを取り外す場合もUniversal Writerの電源をOFFした状態で行ってください。

(5) ディップスイッチを確認します。

Universal Writer背面のディップスイッチ(DSW)が図のとおり(出荷時の設定)になっていることを確認してください。



注: SW1と2は上側に、SW3~8はすべて下側に倒してください。

図A.3.2.2 ディップスイッチの指定

A.3.3 パラレルプログラミング手順

(1)システムの接続および設定

"A.3.2 パラレルプログラミングシステムの接続と設定"に示したとおり、接続および設定を行います。

(2)電源の投入

パーソナルコンピュータの電源を投入します。次にUniversal Writerの電源(側面のPOWER SW)を投入します。

(3)シリアルポートの割り付け確認

パーソナルコンピュータのシリアルポートがCOM1に割り付けられているか確認します。

(4)コントロールソフトウェアおよびユーザデータの準備

S5U1C6P366Y1パッケージより以下のファイルをパーソナルコンピュータ上の任意のフォルダにコピーします。(本マニュアルでは"C:\URW2"のフォルダにコピーします。)

S5U1C6P366Y1パッケージ
RW63P366.EXE(日本語/英語版)
63P366.FRM

次に、ユーザデータ ROMデータHEXファイル を同じフォルダにコピーします。

注: スペースを含む名称のフォルダ(例: My Document)上では、コントロールソフトウェアが正常に動作しない場合があります。

(5)コントロールソフトウェアの起動

以下の方法でコントロールソフトウェアを起動します。

- MS-DOSプロンプト起動後、次のコマンドを実行

```
C:\URW2>RW63P366
```

- RW63P366.EXEファイルのアイコンをダブルクリック

コントロールソフトウェアが起動すると、次のタイトルメッセージが出力されます。

```
UNIVERSAL ROM WRITER      Ver. 3.xx
(C)COPYRIGHT 200x SEIKO EPSON CORPORATION
LOADING 63P366 FIRMWARE PROGRAM Ver. 3.xx
.....
```

メッセージが出力された後、次のようなプロンプトが表示されます。

```
63P366:
```

(6)ユーザデータのロード

コードPROM HEXファイル(CP366xxx.HSA、CP366xxx.LSA)をロードします。

```
63P366:LI CP366xxx
```

と入力します。

セグメントオプションPROM HEXファイル(CP366xxx.OSA)をロードします。

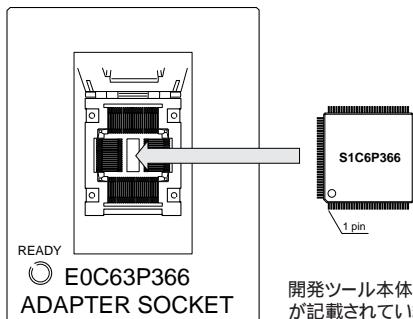
```
63P366:LO CP366xxx
```

と入力します。

S5U1C6P366Y1パッケージには、推奨セグメントオプションPROM HEXデータ(CP366SEG.OSA)が添付されています。

(7)S1C6P366の装着

ICの1番ピンを図のようにソケットに合わせて装着してください。



開発ツール本体には、旧製品名(E0C63P366 Adapter Socket)が記載されています。

注: ICを誤った向きでS1C6P366 Adapter Socketに装着してパラレルプログラミングを行うと、ICが破壊される場合がありますので注意してください。

(8)PROMの消去

PROM(コードPROMおよびセグメントオプションPROM)の内容の消去(イレース)およびイレースチェックを行います。

63P366:ERSA / E

と入力します。

正常に消去が行われると、"ERASE COMPLETED"が表示されます。

リードプロテクト処理されていないサンプルは、FERSI, FERSCコマンドを用いてコードPROM、セグメントオプションPROMを個別に消去することもできます。詳しくは、"A.4.2 Universal ROM Writer IIコマンドの詳細説明"を参照してください。

注: • 工場出荷時のPROMには出荷検査用のデータが書き込まれていますので、初期化のため実行してください。
• 工場出荷時に弊社にてお客様のデータを書き込んだPROMにはリードプロテクト処理がされています。上記のコマンドを実行すると、PROMの内容が消去された後、リードプロテクトが解除されます。

(9)ユーザデータの書き込み

コードPROMのデータ書き込みおよびペリファイを行います。

63P366:WI / V

と入力します。

正常に書き込みが行われると、"WRITE COMPLETED"が表示されます。

セグメントオプションPROMのデータ書き込みおよびペリファイを行います。

63P366:WC / V

と入力します。

正常に書き込みが行われると、"WRITE COMPLETED"が表示されます。

(10)S1C6P366の取り外し

書き込みコマンド正常終了確認後、S1C6P366を取り外します。

なお、続けて書き込みを行う場合は、手順(7)~(10)を繰り返し行ってください。

注: S1C6P366 Adapter Socket上の"READY"LEDが消灯している状態での取り外しは行わないでください。ICが破壊される場合があります。

(11)コントロールソフトウェアの終了

QUITコマンドによりコントロールソフトウェアを終了します。

63P366:Q ↴

注: QUITコマンドを実行せずにMS-DOSプロンプトを"閉じる"などで強制終了した後、再度コントロールソフトウェアを起動すると"RAM CLEAR ERROR"などのエラーが発生する場合があります。この場合はいつたんUniversal Writerの電源をOFFし、再度投入した後にコントロールソフトウェアを起動してください。

(12)電源OFF

Universal Writerの電源(側面のPOWER SW)をOFFします。次にパーソナルコンピュータの電源をOFFします。

A.4 Universal ROM Writer II(S5U1C88000W1)仕様

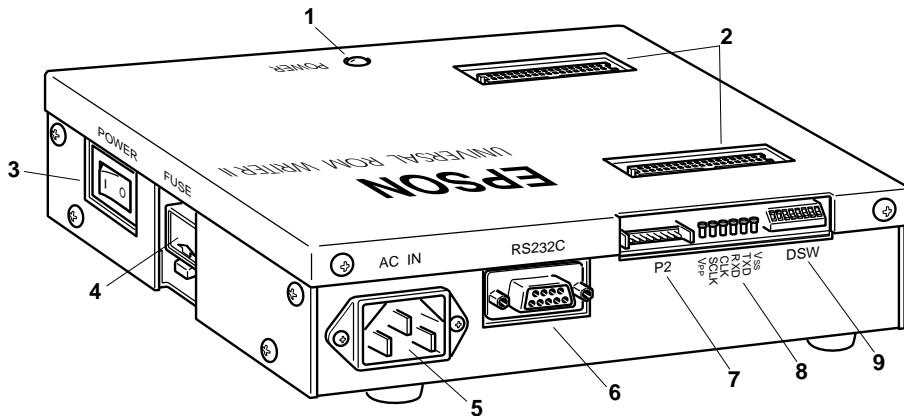
A.4.1 Universal ROM Writer II仕様概要

Flash内蔵マイコン用のPROMライタです。オンボードシリアルプログラミング時は、S1C88/S1C63 Serial Connectorを使用することにより各種Flash内蔵マイコンに対応します。パラレルプログラミング(マイコン单体書き込み)時は、機種毎にAdapter Socketを載せ替えることにより各種Flash内蔵マイコンに対応します。RS-232Cを介してホストコンピュータ(パソコン)と接続され、パソコンから書き込み指示等を受けます。

操作部の仕様

Universal Writerのスイッチおよびコネクタ等について説明します。

図A.4.1.1にUniversal Writerの操作部の外観を示します。



開発ツール本体には、旧製品名(Universal ROM Writer II)が記載されています。

図A.4.1.1 Universal Writerの操作部外観図

各部の機能について表A.4.1.1に示します。

表A.4.1.1 操作部機能表

項目番号	位置	表示略称	名称	機能仕様
1	上面	POWER	パワーオンLED	Universal Writerの電源投入で赤色に点灯します。
2	上面		• Adapter Socket用コネクタ • S1C88/S1C63 Serial Connector用コネクタ	各種Flash内蔵マイコン用のアダプタソケットまたはS1C88/S1C63 Serial Connectorを装着するコネクタです。Adapter Socketはパラレルプログラミングを行う場合に、S1C88/S1C63 Serial Connectorはシリアルプログラミングを行う場合に必要です。脱着は電源OFF時に行ってください。
3	側面	POWER	電源スイッチ	Universal Writerの電源スイッチです。I側で電源ON、O側で電源OFFとなります。
4	側面	FUSE	ヒューズホルダ	1Aカソ形ヒューズが実装されています。
5	背面	AC IN	電源入力コネクタ	電源コードを接続するコネクタです。
6	背面	RS232C	RS-232Cケーブル接続用コネクタ	RS-232Cケーブルを接続するためのコネクタです。ケーブル付属のビスで固定して使用してください。
7	背面	P2	SIOケーブル接続用コネクタ	SIOケーブルを接続するためのコネクタです。ターゲットボード上でシリアルプログラミングを行う場合に必要です。
8	背面	Vss, TXD, RXD, CLK, SCLK, VPP	チェック端子	SIOインターフェースのVss、TXD、RXD、CLK、SCLK、VPP信号に接続されています。
9	背面	DSW	ディップスイッチ	RS-232Cの転送速度を設定します。出荷時には9600bpsに設定されています。

A.4.2 Universal ROM Writer IIコマンドの詳細説明

RW63P366内で使用できるコマンドについて説明します。以下に示すコマンドの操作説明の中で、

_ はスペース

[]は省略可能

, は選択

□は[Enter]キーを表します。

1 パラレルプログラミング 書き込みコマンド(コードPROM)

操作: WI [_/V]□

オプション: /V 一通りの書き込みを終了したあと、コードPROMの先頭アドレスよりベリファイを行います。

内容: PROMライタのバッファRAMの内容を、アダプタソケット上のS1C6P366のコードPROM領域に書き込みます。データの書き込み中はコードPROMのアドレスを表示します。
オプション指定は、毎回行うものとします。

例: WI □ コードPROMへのデータ書き込みを行い、ベリファイは行いません。

2 パラレルプログラミング 書き込みコマンド(セグメントオプションPROM)

操作: WC [_/V]□

オプション: /V 一通りの書き込みを終了したあと、セグメントオプションPROMの先頭アドレスよりベリファイを行います。

内容: PROMライタのバッファRAMの内容を、アダプタソケット上のS1C6P366のセグメントオプションPROM領域に書き込みます。データの書き込み中はセグメントオプションPROMのアドレスを表示します。
オプション指定は、毎回行うものとします。

例: WC □ セグメントオプションPROMへのデータ書き込みを行い、ベリファイは行いません。

3 パラレルプログラミング 読み込みコマンド(コードPROM)

操作: RI [_/V]□

オプション: /V 読み込み終了後、コードPROMの先頭からベリファイを行います。

内容: アダプタソケット上のS1C6P366のコードPROMの内容をPROMライタのバッファRAMへ読み込みます。
読み込み中はコードPROMのアドレスを表示します。
オプションの指定は、毎回行うものとします。

例: RI □ コードPROMの内容をPROMライタのバッファRAMに読み込みます。ベリファイは行いません。

4 パラレルプログラミング 読み込みコマンド(セグメントオプションPROM)

操作: RC [_/V]□

オプション: /V 読み込み終了後、セグメントオプションPROMの先頭からベリファイを行います。

内容: アダプタソケット上のS1C6P366のセグメントオプションPROMの内容をPROMライタのバッファRAMへ読み込みます。
読み込み中はセグメントオプションPROMのアドレスを表示します。
オプションの指定は、毎回行うものとします。

例: RC □ セグメントオプションPROMの内容をPROMライタのバッファRAMに読み込みます。ベリファイは行いません。

5 パラレルプログラミング ベリファイコマンド(コードPROM)

操作: VI

内容: アダプタソケット上のS1C6P366のコードPROMとPROMライタのバッファRAMの内容をベリファイします。

ベリファイ中は、コードPROMのアドレス表示を行い、エラーとなった場合は、コードPROMのアドレスとデータ、およびバッファRAMのデータを表示して一時停止します。[Enter]キーの入力でベリファイを再開します。

6 パラレルプログラミング ベリファイコマンド(セグメントオプションPROM)

操作: VC

内容: アダプタソケット上のS1C6P366のセグメントオプションPROMとPROMライタのバッファRAMの内容をベリファイします。

ベリファイ中は、セグメントオプションPROMのアドレス表示を行い、エラーとなった場合は、セグメントオプションPROMのアドレスとデータ、およびバッファRAMのデータを表示して一時停止します。[Enter]キーの入力でベリファイを再開します。

7 パラレルプログラミング イレースコマンド(コードPROM)

操作: ERSI [/_E]

オプション: /E イレース終了後、コードPROMの先頭アドレスよりイレースチェックを行います。

内容: アダプタソケット上のS1C6P366のコードPROMをイレースします。
オプション指定は、毎回行うものとします。

8 パラレルプログラミング イレースコマンド(セグメントオプションPROM)

操作: ERSC [/_E]

オプション: /E イレース終了後、セグメントオプションPROMの先頭アドレスよりイレースチェックを行います。

内容: アダプタソケット上のS1C6P366のセグメントオプションPROMをイレースします。
オプション指定は、毎回行うものとします。

9 パラレルプログラミング 全イレースコマンド

操作: ERSA [/_E]

オプション: /E イレース終了後、イレースチェックを行います。

内容: アダプタソケット上のS1C6P366のコードPROMおよびセグメントオプションPROMをイレース後、プロテクトを解除します。

10 パラレルプログラミング イレースチェックコマンド(コードPROM)

操作: EI

内容: アダプタソケット上のS1C6P366のコードPROMのイレースチェックを行います。チェック実行中はコードPROMのアドレスを表示し、エラーとなった場合はコードPROMのアドレスとデータを表示して一時停止します。[Enter]キーの入力でチェックを再開します。

11 パラレルプログラミング イレースチェックコマンド(セグメントオプションPROM)

操作: EC^④

内容: アダプタソケット上のS1C6P366のセグメントオプションPROMのイレースチェックを行います。チェック実行中はセグメントオプションPROMのアドレスを表示し、エラーとなった場合はセグメントオプションPROMのアドレスとデータを表示して一時停止します。[Enter]キーの入力でチェックを再開します。

12 パラレルプログラミング プロテクトコマンド

操作: PROTECT^④

内容: アダプタソケット上のS1C6P366のPROMにプロテクトをかけます。なお、一度プロテクトがかけられたS1C6P366は、全イレース"ERSA"以外のコマンドの実行ができなくなります。

13 シリアルプログラミング 書き込みコマンド(コードPROM)

操作: FWI [/_V]^④

オプション: /V 一通りの書き込みを終了したあと、コードPROMの先頭アドレスよりベリファイを行います。

内容: PROMライタのバッファRAMの内容を、PROMライタに接続されたターゲットボード上のS1C6P366のコードPROM領域に書き込みます。データの書き込み中はコードPROMのアドレスを表示します。

オプション指定は、毎回行うものとします。

例: FWI^④ コードPROMへのデータ書き込みを行い、ベリファイは行いません。

14 シリアルプログラミング 書き込みコマンド(セグメントオプションPROM)

操作: FWC [/_V]^④

オプション: /V 一通りの書き込みを終了したあと、セグメントオプションPROMの先頭アドレスよりベリファイを行います。

内容: PROMライタのバッファRAMの内容を、PROMライタに接続されたターゲットボード上のS1C6P366のセグメントオプションPROM領域に書き込みます。データの書き込み中はセグメントオプションPROMのアドレスを表示します。

オプション指定は、毎回行うものとします。

例: FWC^④ セグメントオプションPROMへのデータ書き込みを行い、ベリファイは行いません。

15 シリアルプログラミング 読み込みコマンド(コードPROM)

操作: FRI [/_V]^④

オプション: /V 読み込み終了後、コードPROMの先頭からベリファイを行います。

内容: PROMライタに接続されたターゲットボード上のS1C6P366のコードPROMの内容をPROMライタのバッファRAMへ読み込みます。

読み込み中はコードPROMのアドレスを表示します。

オプションの指定は、毎回行うものとします。

例: FRI^④ コードPROMの内容をPROMライタのバッファRAMに読み込みます。ベリファイは行いません。

16シリアルプログラミング 読み込みコマンド(セグメントオプションPROM)

操作: FRC [/_N]█

オプション: /N 読み込み終了後、セグメントオプションPROMの先頭からベリファイを行います。

内容: PROMライタに接続されたターゲットボード上のS1C6P366のセグメントオプションPROMの内容をPROMライタのバッファRAMへ読み込みます。読み込み中はセグメントオプションPROMのアドレスを表示します。オプションの指定は、毎回行うものとします。

例: FRC █ セグメントオプションPROMの内容をPROMライタのバッファRAMに読み込みます。ベリファイは行いません。

17シリアルプログラミング ベリファイコマンド(コードPROM)

操作: FVI█

内容: PROMライタに接続されたターゲットボード上のS1C6P366のコードPROMとPROMライタのバッファRAMの内容をベリファイします。

ベリファイ中は、コードPROMのアドレスを表示し、エラーとなった場合はコードPROMのアドレスとデータ、およびバッファRAMのデータを表示して一時停止します。[Enter]キーの入力でベリファイを再開します。

18シリアルプログラミング ベリファイコマンド(セグメントオプションPROM)

操作: FVC█

内容: PROMライタに接続されたターゲットボード上のS1C6P366のセグメントオプションPROMとPROMライタのバッファRAMの内容をベリファイします。

ベリファイ中は、セグメントオプションPROMのアドレスを表示し、エラーとなった場合はセグメントオプションPROMのアドレスとデータ、およびバッファRAMのデータを表示して一時停止します。[Enter]キーの入力でベリファイを再開します。

19シリアルプログラミング イレースコマンド(コードPROM)

操作: FERSI [/_E]█

オプション: /E イレース終了後、コードPROMの先頭アドレスよりイレースチェックを行います。

内容: PROMライタに接続されたターゲットボード上のS1C6P366のコードPROMをイレースします。オプション指定は、毎回行うものとします。

20シリアルプログラミング イレースコマンド(セグメントオプションPROM)

操作: FERSC [/_E]█

オプション: /E イレース終了後、セグメントオプションPROMの先頭アドレスよりイレースチェックを行います。

内容: PROMライタに接続されたターゲットボード上のS1C6P366のセグメントオプションPROMをイレースします。オプション指定は、毎回行うものとします。

21シリアルプログラミング 全イレースコマンド

操作: FERSA [/_E]█

オプション: /E イレース終了後、イレースチェックを行います。

内容: PROMライタに接続されたターゲットボード上のS1C6P366のコードPROMおよびセグメントオプションPROMをイレース後、プロテクトを解除します。

22シリアルプログラミング イレースチェックコマンド(コードPROM)

操作: FEI

内容: PROMライタに接続されたターゲットボード上のS1C6P366のコードPROMのイレースチェックを行います。チェック実行中はコードPROMのアドレスを表示し、エラーとなった場合はコードPROMのアドレスとデータを表示して一時停止します。キーの入力でチェックを再開します。

23シリアルプログラミング イレースチェックコマンド(セグメントオプションPROM)

操作: FEC

内容: PROMライタに接続されたターゲットボード上のS1C6P366のセグメントオプションPROMのイレースチェックを行います。チェック実行中はセグメントオプションPROMのアドレスを表示し、エラーとなった場合はセグメントオプションPROMのアドレスとデータを表示して一時停止します。キーの入力でチェックを再開します。

24シリアルプログラミング プロテクトコマンド

操作: FPROTECT

内容: PROMライタに接続されたターゲットボード上のS1C6P366のPROMにプロテクトをかけます。なお、一度プロテクトがかけられたS1C6P366は、全イレース"FERSA"以外のコマンドの実行ができないなります。

25LOADファイルコマンド(コードPROM用ファイル)

操作: LI_ファイル名

オプション: ファイル名 ... ロードするファイル名。拡張子は含みません。

内容: パーソナルコンピュータ側よりコードPROM用ファイルをロードし、PROMライタへ転送します。ロードするファイルはHEX63xxxにより作成されたコードPROM用HEXデータHighファイルとコードPROM用HEXデータLowファイルの2種類です。指定するファイル名は拡張子を除いたものを入力してください。

例: LI_C3358001 C3358001.HSAとC3358001.LSAの2つのファイルをロードします。

26LOADファイルコマンド(セグメントオプションPROM用ファイル)

操作: LO_ファイル名

オプション: ファイル名 ... ロードするファイル名。拡張子は含みません。

内容: パーソナルコンピュータ側よりセグメントオプションファイルをロードし、PROMライタへ転送します。ロードするファイルはSDCP366で変換されたセグメントオプションPROM HEXデータファイルです。指定するファイル名は拡張子を除いたものを入力してください。

例: LO_CP366001 CP366001.OSAというファイルをロードします。

27SAVEファイルコマンド(コードPROM用ファイル)

操作: SI_ファイル名

オプション: ファイル名 ... セーブするファイル名。拡張子は含みません。

内容: PROMライタのバッファRAMのコードPROM用領域のデータを、指定されたファイル名に.HSA,.LSAの拡張子を付けて、HighファイルとLowファイルの2つのファイルにセーブします。指定するファイル名は拡張子を除いたものを入力してください。

例: SI_C3358001 コードPROMのデータをC3358001.HSAとC3358001.LSAの2つのファイルにセーブします。

28 SAVEファイルコマンド(セグメントオプションPROM用ファイル)

操作: SO_ファイル名回

オプション: ファイル名 ... セーブするファイル名。拡張子は含みません。

内容: PROMライタのバッファRAMのセグメントオプションPROM用領域のデータを、指定されたファイル名に.OSAの拡張子を付けてセーブします。指定するファイル名は拡張子を除いたものを入力してください。

例: SO_CP366001回 セグメントオプションPROMのデータをCP366001.OSAというファイルにセーブします。

29 ダンプコマンド(コードPROM用)

操作: DI [_アドレス1 [_アドレス2]] [_/L, /H]回

オプション: アドレス1 ダンプスタートアドレス
0000Hから3FE0Hの範囲で、20H単位で指定可能です。

アドレス2 ダンプエンドアドレス
001FHから3FFFHの範囲で、20H単位で指定可能です。

/L LOW側8ビットのみを表示します。(C3xxxxyy.LSAに対応)
/H HIGH側5ビットのみを表示します。(C3xxxxyy.HSAに対応)

内容: バッファRAMのコードPROM用データを指定されたフォーマットで表示します。
アドレス1とアドレス2が指定された場合は、アドレス1からアドレス2までのデータを表示します。アドレス1のみの場合は、アドレス1から1画面分のデータを表示します。アドレス1、アドレス2共に指定のないときは、前回の最後に表示されたアドレスに続いて、その次のアドレスから1画面分を表示します(デフォルトは00000Hです)。
/_L, /Hの指定がないときは、PROMのイメージで13ビット単位のデータを表示します。
/_Lの指定がある場合は、LOW側8ビットのデータをHEXファイルC3xxxxyy.LSAのイメージで表示します。
/_Hの指定がある場合は、HIGH側5ビットのデータをHEXファイルC3xxxxyy.HSAのイメージで表示します。
/_L, /Hが指定されたときは、ファイルに合わせたアドレス値で入力、表示されます。
オプション指定は、毎回行うものとします。

例: DI_0_1F回 コードPROMのアドレス0番地から1F番地に対応するRAMのデータを表示します。

```
00000  1FF0  1EF1  1DF2  1CF3  1BF4  1AF5  19F6  18F7
00008  17F8  16F9  15FA  14FB  13FC  12FD  11FE  10FF
      :
00018  1F78  1F69  1F5A  1F4B  1F3C  1F2D  1F1E  1F0F
```

DI_0_/_L回 HEXファイルC3xxxxyy.LSAに対応するデータを0番地から表示します。

```
00000  F0 F1 F2 F3 F4 F5 F6 F7 F8 F9 FA FB FC FD FE FF
00010  FF FF
      :
000F0  FF FF
```

30 ダンプコマンド(セグメントオプションPROM用)

操作: DC [_アドレス1 [_アドレス2]] [_/C]□

オプション: アドレス1 ダンプスタートアドレス

0000Hから03E0Hの範囲で、20H単位で指定可能です。

アドレス2 ダンプエンドアドレス

001FHから03FFHの範囲で、20H単位で指定可能です。

/C HEXファイル(C3xxxxxx.SSA)に対応した表示をします。

内容: バッファRAMのセグメントオプションPROM用データを指定されたフォーマットで表示します。

アドレス1とアドレス2が指定された場合は、アドレス1からアドレス2までのデータを表示します。アドレス1のみの場合は、アドレス1から1画面分のデータを表示します。アドレス1、アドレス2共に指定のないときは、前回の最後に表示されたアドレスに続いて、その次のアドレスから1画面分を表示します(デフォルトは00000Hです)。

/Cの指定がないときは、PROMのイメージで4ビット単位のデータを表示します。/Cの指定がある場合は、HEXファイル(C3xxxxxx.SSA)のイメージで表示します。

例: DC_100_1FF□ .. アドレス100番地から1FF番地のデータをPROMのイメージで表示します。

00100 0 1 2 3 4 5 6 7 8 9 A B C D E F

00110 0 1 2 3 4 5 6 7 8 9 A B C D E F

:

:

001F0 0 1 2 3 4 5 6 7 8 9 A B C D E F

DC_00000_/_C□ .. アドレス0番地からのデータをHEXファイルのイメージで表示します。

00000 00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F

00010 00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F

:

:

000F0 00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F

31 ロギングコマンド

操作: LOG_ファイル名□

LOG_/_E□

オプション: ファイル名 ... 画面のデータをロギングするファイル名。拡張子も含みます。

/E データのロギングを終了します。

内容: 画面に表示されたデータを指定されたファイル名でセーブしていきます。

LOG_/_Eでロギングを終了します。

例: LOG_C3358001.dat□ ... この後、画面に表示されたデータをC3358001.DATというファイルに書き込みます。

LOG_/_E□ ロギング終了となり、この後のデータは書き込みません。

32 マクロファイル実行コマンド

操作: MAC_ファイル名□

オプション: ファイル名 ... マクロファイルの名称。拡張子も含みます。

内容: コマンドの記入されたマクロファイルを読み込み、中のコマンドを実行します。

例: MAC_C3358.mac□ C3358.MACが左のような内容の場合、ファイルのロードに続いてコードPROMへの書き込みを行います。

LI_C3358001

WI

33 コマンドヒストリ

操作:

内容: 今まで入力したコマンドを表示し、[Enter]キーで選択されると実行します。バッファリングするコマンドの数は20個です。

34 テンプレート

操作: f1
 f3

内容: 最後に入力したコマンドを[f1]キーで1文字ずつ、[f3]キーですべての文字を表示します。

例: LI_C3358001が最後に入力されていた場合

[f1]
L
[f1]
LI
[f1]
LI
[f3]

..... [f1]を入力する毎に1文字ずつ表示します。
..... [f3]ですべての文字を表示します。

35 DOSコマンド

操作: DOS

内容: 一時的にDOSに戻ります。DOSから戻るときは、EXITと入力します。

例: 63P366:DOS
C>

C>EXIT
63P366: EXITの入力でプログラムへ戻ります。

36 HELPコマンド

操作: HELP

内容: コマンドの一覧を表示します。

37 QUITコマンド

操作: Q

内容: プログラムを終了し、DOSへ戻ります。

A.4.3 PROMライタコマンド一覧表

No.	項目	操作	説明
1	パラレル書き込み	WI [/_V]回	RAMのデータをアダプタソケット上のコードPROMへ書き込む
2		WC [/_V]回	RAMのデータをアダプタソケット上のセグメントオプションPROMへ書き込む
3	パラレル読み出し	RI [/_V]回	アダプタソケット上のコードPROMのデータをRAMへ読み込む
4		RC [/_V]回	アダプタソケット上のセグメントオプションPROMのデータをRAMへ読み込む
5	パラレルベリファイ	VI回	アダプタソケット上のコードPROMのデータとRAMのデータを比較する
6		VC回	アダプタソケット上のセグメントオプションPROMのデータとRAMのデータを比較する
7	パラレルイレース	ERSI [/_E]回	アダプタソケット上のコードPROMをイレースする
8		ERSC [/_E]回	アダプタソケット上のセグメントオプションPROMをイレースする
9		ERSA [/_E]回	アダプタソケット上のコードPROM/セグメントオプションPROMをイレースし、プロテクトを解除する
10	パラレルイレースチェック	EI回	アダプタソケット上のコードPROMのイレースチェックを行う
11		EC回	アダプタソケット上のセグメントオプションPROMのイレースチェックを行う
12	パラレルプロテクト	PROTECT回	アダプタソケット上のPROMにプロテクトをかける
13	シリアル書き込み	FWI [/_V]回	RAMのデータをターゲットボード上のコードPROMへ書き込む
14		FWC [/_V]回	RAMのデータをターゲットボード上のセグメントオプションPROMへ書き込む
15	シリアル読み出し	FRI [/_V]回	ターゲットボード上のコードPROMのデータをRAMへ読み込む
16	シリアル読み出し	FRC [/_V]回	ターゲットボード上のセグメントオプションPROMのデータをRAMへ読み込む
17	シリアルベリファイ	FVI回	ターゲットボード上のコードPROMのデータとRAMのデータを比較する
18		FVC回	ターゲットボード上のセグメントオプションPROMのデータとRAMのデータを比較する
19	シリアルイレース	FERSI [/_E]回	ターゲットボード上のコードPROMをイレースする
20		FERSC [/_E]回	ターゲットボード上のセグメントオプションPROMをイレースする
21		FERSA [/_E]回	ターゲットボード上のコードPROM/セグメントオプションPROMをイレースし、プロテクトを解除する
22	シリアルイレースチェック	FEI回	ターゲットボード上のコードPROMのイレースチェックを行う
23	シリアルイレースチェック	FEC回	ターゲットボード上のセグメントオプションPROMのイレースチェックを行う
24	シリアルプロテクト	FPROTECT回	ターゲットボード上のPROMにプロテクトをかける
25	ファイルロード	LI_ファイル名回	パーソナルコンピュータからPROMライタへコードPROMのファイルをロードする
26		LO_ファイル名回	パーソナルコンピュータからPROMライタへセグメントオプションファイルをロードする
27	ファイルセーブ	SI_ファイル名回	PROMライタからコードPROMのデータをパーソナルコンピュータのファイルへセーブする
28		SO_ファイル名回	PROMライタからセグメントオプションデータをパーソナルコンピュータのファイルへセーブする
29	ダンプ	DI [アドレス1 [アドレス2]] [/H,/L]回	RAMのコードPROMデータをダンプして表示する
30		DC [アドレス1 [アドレス2]] [/C]回	RAMのセグメントオプションPROMデータをダンプして表示する
31	ロギング	LOG_ファイル名回 LOG_E回	画面に表示されるデータをセーブする /Eで終了
32	マクロ	MAC_ファイル名回	マクロファイルに記入されたコマンドを実行する
33	ヒストリ	□ □	今まで入力したコマンドを表示
34	テンプレート	[f1] or [f3]	前回入力したコマンドの表示
35	DOS	DOS回 EXIT回	一時的にDOSに戻る EXITの入力によりDOSから戻る
36	HELP	HELP回	コマンドの一覧を表示する
37	QUIT	Q回	プログラムを終了してDOSへ戻る

・_はスペースキー
・[]は省略可能

・, は選択
・回はリターンキー

・ロード、セーブのファイル名は拡張子を含まない
・ロギング、マクロファイル名は拡張子を含む

A.4.4 Universal ROM Writer IIエラーメッセージ

エラーメッセージ	説明
ROM WRITER NOT POWER ON	立ち上がりのチェックコマンド発行時、PROMライタからの応答がない。
SUM CHECK ERROR	PROMライタ内IPLのサムチェックエラー。
RAM R/W ERROR	RAMのR/Wチェックでエラー。
FILE DATA FORMAT ERROR	転送するファイルのデータフォーマットにエラーがある。
FILE DATA SUMCHECK ERROR	ファイルの各行のサムチェックデータにエラーがある。
COMMUNICATION ERROR 1	パーソナルコンピュータからのコマンド発行に対し、PROMライタからの応答がない。 PROMライタからパーソナルコンピュータへNAKが返された。 パーソナルコンピュータからPROMライタへNAKを送信した。
COMMUNICATION ERROR 2	ターゲットボード上のS1C6P366から応答がない。またはNAKを返された。
COMMUNICATION ERROR 3	PROMライタからのコマンド発行に対し、ターゲットボード上のS1C6P366から不正なコマンドが返された。
WRITE ERROR ADDRESS ROM : RAM xxx xxx xxx	PROM(アダプタソケット、ターゲットボード)へ書き込み時にエラー発生。 書き込み直後のチェックでエラー。
WRITE ERROR ADDRESS ROM : RAM xxx x x	
VERIFY ERROR ADDRESS ROM : RAM xxx xxx xxx	データのバリファイエラー。
VERIFY ERROR ADDRESS ROM : RAM xxx x x	
ERACE ERROR ADDRESS ROM xxx xxx	イレースチェックでデータのビットがすべて1ではない。
ERACE ERROR ADDRESS ROM xxx x	
COMMAND ERROR	入力フォーマットに異常がある。 オプションに異常がある。
FILE NOT FOUND	指定されたファイルが見つからない。

A.5 Flash EEPROMプログラミング上の注意事項

- (1)PROMプログラミングは、電源電圧5Vで行ってください。
- (2)PROMプログラミングは電源電圧5Vで行いますので、ターゲット上の各部品の定格電圧には十分ご注意ください。
- (3)シリアルプログラミング(S1C88/S1C63 Serial Connector)時またはパラレルプログラミング時のターゲット脱着はS1C88/S1C63 Serial ConnectorまたはS1C6P366 Adapter Socketの"READY"LEDが点灯していることを確認の上行ってください。
- (4)シリアルプログラミング(S1C88/S1C63 Serial Connector)時、PROMプログラミング用電源(5V)はUniversal Writerより供給されますので、ターゲット側の電源はOFFしてください。
- (5)PROMライタの接続と切り離しはパーソナルコンピュータの電源がOFFの状態で行ってください。
- (6)パーソナルコンピュータのシリアルポートへのRS-232Cケーブルを接続する際には、コネクタ付属のビスでしっかりと固定してください。
- (7)Universal Writerコントロールソフトウェアの終了時は、QUITコマンドを実行してください。

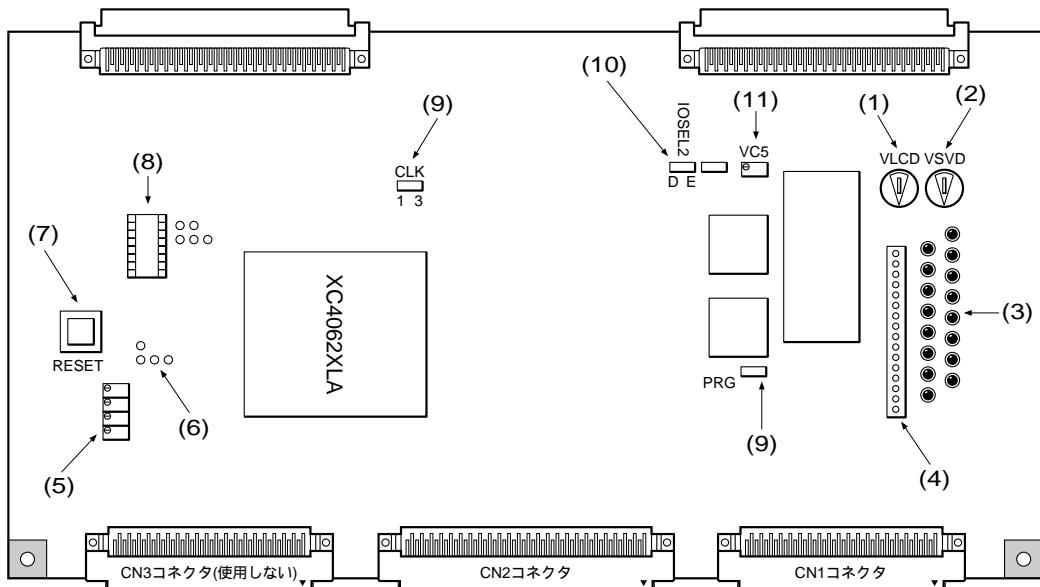
Appendix B S5U1C63000P Manual(Peripheral Circuit Board for S1C63158/358/P366)

ここでは、4-bit Single Chip Microcomputer S1C63 FamilyのデバッグツールであるICE(S5U1C63000H1/ S5U1C63000H2)に装着してエミュレーション機能を提供するPeripheral Circuit Board for S1C63158/358/P366(S5U1C63000P)の使用方法を説明します。

なお、本文ではS1C63 Family Peripheral Circuit Board(S5U1C63000P)にS1C63158/358/P366用回路データがダウンロードされているものについて適用されます。そのため、各機種用回路データのダウンロード方法と、ボードの共通仕様などについては、製品に添付されたS5U1C63000P Manual(S1C63 Family Peripheral Circuit Board)を、ICEの機能、操作などの詳細については、それぞれに用意されたマニュアルを参照してください。

B.1 各部の名称と機能

以下、本ボード(S5U1C63000P)の各部の名称と機能について説明します。



(1)LCD

このボリュームを廻すことにより、LCD駆動電源電圧を調整することができます。ただし、実際のICにおいては、LCD駆動電源電圧を調整することはできません。

(2)VSVD

電源電圧検出機能(SVD)の動作を確認するため、擬似的に電源電圧を変化させるボリュームです。なお、1つのボリューム位置にて2つの電圧値を示しますので注意してください。

SVDレベル	0	1	2	3	4	5	6	7
	8	9	10	11	12	13	14	15

(たとえば、SVDレベル0と8は、同一のボリューム位置です)

(3)レジスタモニタLED

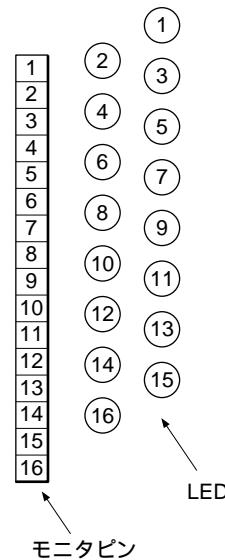
以下の各レジスタに対応しており、"1"のとき点灯、"0"のとき消灯します。

VDC, OSCC, CLKCHG, DBON, HLON, VDSEL, VADSEL, SVDS0-3, SVDON, LPWR, VCCHG

(4) レジスタモニタピン

以下の各レジスタに対応しており、"1"のときHIGHレベル、"0"のときLOWレベル出力となります。

モニタピン		LED	
Pin No.	名称	LED No.	名称
1	DONE *1	1	DONE *1
2	VDC	2	VDC
3	OSCC	3	OSCC
4	CLKCHG	4	CLKCHG
5	DBON *2	5	DBON *2
6	-	6	-
7	VDSEL	7	VDSEL
8	VADSEL	8	VADSEL
9	SVDS0	9	SVDS0
10	SVDS1	10	SVDS1
11	SVDS2	11	SVDS2
12	SVDS3	12	SVDS3
13	SVDON	13	SVDON
14	LPWR	14	LPWR
15	VCCHG	15	VCCHG
16	-	16	-



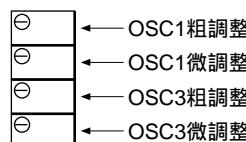
LED
モニタピン

*1 DONE: 本ボードの初期化が正常に完了した場合
にHIGHレベル出力、点灯

*2 DBON: S1C63158、S1C6P366対応時に使用

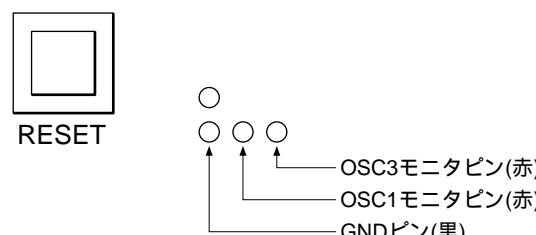
(5) CR発振周波数調整ボリューム

マスクオプションによってOSC1をCR発振回路、OSC3をCRまたはセラミック発振回路に設定した場合、このボリュームにより発振周波数を調整することができます。調整可能範囲は、OSC1は約20kHz～500kHz、OSC3は約100kHz～8MHzになります。なお、実ICの動作周波数範囲はこの調整可能範囲とは異なりますので、S1C63158/358/P366のテクニカルマニュアルを参照の上、適切な動作周波数を選択してください。



(6) CR発振周波数モニタピン

CR発振回路からのクロック波形をオシロスコープなどでモニタすることができます。なお、このピンからは、発振回路の動作制御にかかわらず、常にクロックが出力されています。



(7)RESETスイッチ

本ボードの回路を初期化し、ICEにリセット信号を与えます。

(8)モニタピン、外付け部品接続ソケット

使用しません。

(9)CLK、PRGスイッチ

回路データのダウンロード中、処理が完了しないままICEの電源が遮断されてしまった場合、再度ICEの電源を投入しても本ボード側の回路構成が不完全なままでなり、デバッガが起動しなくなることがあります。このような場合は、ICEの電源をいったん落とし、CLKを32K側に、PRGスイッチをProg側にそれぞれ設定し、再度ICEの電源を投入します。これによりデバッガは起動可能になりますので、この状態で回路データのダウンロードを行ってください。回路データのダウンロード完了後は、いったんICEの電源を落とし、CLKをLCLK側に、PRGをNorm側にそれぞれ戻して、再度ICEの電源を投入してください。

(10)OSEL2

回路データをダウンロードする場合は、"E"側に設定してください。それ以外の場合は、"D"側に設定してください。

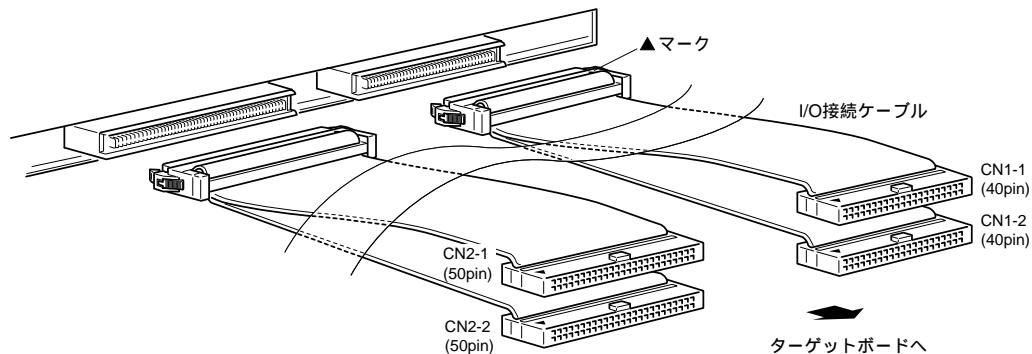
(11)VC5

使用しません。

B.2 ターゲットシステムとの接続

ここではターゲットシステムとの接続方法を説明します。

本ボード(S5U1C63000P)とターゲットシステムの接続は、添付のI/O接続ケーブル(80pin/40pin×2、100pin/50pin×2、flat type)を用いて行います。なお、本コネクタには電源(VDD=+3.3V)が供給されていますので、ご注意ください。



図B.2.1 ターゲットシステムとの接続

表B.2.1 I/Oコネクタのピン配列表

40pin CN1-1コネクタ		40pin CN1-2コネクタ		50pin CN2-1コネクタ		50pin CN2-2コネクタ	
No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	VDD (=3.3V)						
2	VDD (=3.3V)						
3	K00	3	R00	3	接続不可	3	接続不可
4	K01	4	R01	4	接続不可	4	接続不可
5	K02	5	R02	5	接続不可	5	接続不可
6	K03	6	R03	6	接続不可	6	接続不可
7	K10	7	R10	7	接続不可	7	接続不可
8	K11	8	R11	8	接続不可	8	接続不可
9	K12	9	R12	9	接続不可	9	接続不可
10	K13	10	R13	10	接続不可	10	接続不可
11	Vss	11	Vss	11	Vss	11	Vss
12	Vss	12	Vss	12	Vss	12	Vss
13	P00	13	R20	13	接続不可	13	接続不可
14	P01	14	R21	14	接続不可	14	接続不可
15	P02	15	R22	15	接続不可	15	接続不可
16	P03	16	R23	16	接続不可	16	接続不可
17	P10	17	接続不可	17	接続不可	17	接続不可
18	P11	18	接続不可	18	接続不可	18	接続不可
19	P12	19	接続不可	19	接続不可	19	接続不可
20	P13	20	接続不可	20	接続不可	20	接続不可
21	VDD (=3.3V)						
22	VDD (=3.3V)						
23	P20	23	BZ	23	接続不可	23	接続不可
24	P21	24	接続不可	24	接続不可	24	接続不可
25	P22	25	接続不可	25	接続不可	25	接続不可
26	P23	26	接続不可	26	接続不可	26	接続不可
27	P30	27	接続不可	27	接続不可	27	接続不可
28	P31	28	接続不可	28	接続不可	28	接続不可
29	P32	29	接続不可	29	接続不可	29	接続不可
30	P33	30	接続不可	30	接続不可	30	接続不可
31	Vss	31	Vss	31	Vss	31	Vss
32	Vss	32	Vss	32	Vss	32	Vss
33	P40	33	接続不可	33	接続不可	33	接続不可
34	P41	34	接続不可	34	接続不可	34	接続不可
35	P42	35	接続不可	35	接続不可	35	接続不可
36	P43	36	接続不可	36	接続不可	36	接続不可
37	VREF	37	接続不可	37	接続不可	37	接続不可
38	K20	38	RESET	38	接続不可	38	接続不可
39	Vss	39	Vss	39	接続不可	39	接続不可
40	Vss	40	Vss	40	接続不可	40	接続不可
41	VDD (=3.3V)						
42	VDD (=3.3V)						
43	接続不可	43	接続不可	43	接続不可	43	接続不可
44	接続不可	44	接続不可	44	接続不可	44	接続不可
45	接続不可	45	接続不可	45	接続不可	45	接続不可
46	接続不可	46	接続不可	46	接続不可	46	接続不可
47	接続不可	47	接続不可	47	接続不可	47	接続不可
48	接続不可	48	接続不可	48	接続不可	48	接続不可
49	接続不可	49	接続不可	49	接続不可	49	接続不可
50	接続不可	50	接続不可	50	接続不可	50	接続不可

* CN2-1、CN2-2 コネクタは、各SEG端子をマスクオプションでDC出力仕様とする場合に使用します。

B.3 使用上の注意

本ボード(S5U1C63000P)を正しく使用していただくために、以下の事項に注意してください。

B.3.1 操作上の注意事項

- (1)ケーブルの接続と切り離しは、接続する機器すべての電源をOFFにした状態で行ってください。
- (2)入力ポート(K00 ~ K03)をすべてLOWレベルにした状態において、電源投入およびマスクオプションデータのロードを行わないでください。キー同時押しリセット機能が働く可能性があります。
- (3)デバッグを行う場合は、その前に必ずマスクオプションデータをロードしてください。

B.3.2 実ICとの相違点

(1)I/Oについての相違

<インターフェース電源>

本ボードとターゲットシステムのインターフェース電圧は+3.3Vに固定されています。このため、実際のICと同一のインターフェース電圧が必要な場合は、ターゲットシステム側においてレベルシフタ回路などを附加して対応してください。

<各出力ポートの駆動能力>

本ボードにおける各出力ポートの駆動能力は、実際のICに比べて高くなっていますので、S1C63158/358/P366のテクニカルマニュアルを参照し、各出力端子の駆動能力を確認した上で、システムおよびソフトウェアの設計を行ってください。

<各ポートの保護ダイオード>

すべてのI/Oポートには保護用ダイオードがVDDとVssに対して入っており、ターゲットシステムとのインターフェース信号は+3.3Vに固定されます。このため、出力ポートをオープンドレインに設定し、VDDを超える電圧レベルとのインターフェースをとることはできません。

<プルアップ抵抗値>

本ボードにおいて、プルアップ抵抗値は220kΩに固定されていますが、実際のICと抵抗値が異なります。実際のICにおける抵抗値は、S1C63158/358/P366のテクニカルマニュアルを参照して確認してください。

なお、プルアップ抵抗を使用して入力端子をHIGHレベルに引き上げる場合などにおいて、HIGHレベル確定までの時間に相違が生じます。たとえば、出力ポートと入力ポートを組み合わせてキーマトリックス回路を構成した場合は、入力ポートの立ち上がりディレイに相違が発生しますので充分な注意が必要です。

(2)消費電流についての相違

本ボードの消費電流は実際のICと大きく異なります。本ボード上のLEDを確認することで、おおよその消費電流を把握することができます。なお、消費電流に大きく影響を及ぼすものとして以下のようなものがあげられます。

<LED、モニタピンなどで確認が可能なものの>

- a) RunとHaltの実行比率(ICEのモニタピン、LEDによる)
- b) CPU動作電圧切り換え回路(VDC)
- c) OSC3発振ON/OFF回路(OSCC)
- d) CPUクロック切り換え回路(CLKCHG)
- e) 2倍昇圧ON/OFF回路(DBON)
- f) 発振系定電圧回路用電源選択回路(VDSEL)
- g) A/Dコンバータ回路用電源選択回路(VADSEL)
- h) SVD回路ON/OFF回路(SVDON)
- i) LCD電源ON/OFF回路(LPWR)
- j) LCD定電圧切り換え回路(VCCHG)

<システム、ソフトウェア上注意するしかないもの>

- k) 内蔵プルアップ抵抗により消費される電流
- l) 入力ポートがフローティング状態

(3)機能上の相違

<LCD電源回路>

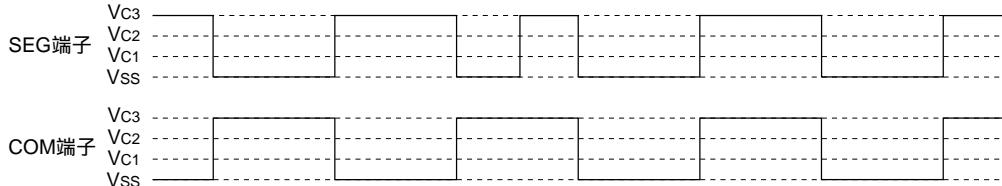
LCD電源回路(LPWR)をONしてから、LCD駆動波形が出力されるまでにディレイが発生します。本ボードにおいて、このディレイは約125msecに設定されていますが、実際のICにおいては、これと異なりますのでS1C63158/358/P366のテクニカルマニュアルを参照してください。

<LCD駆動波形の相違>

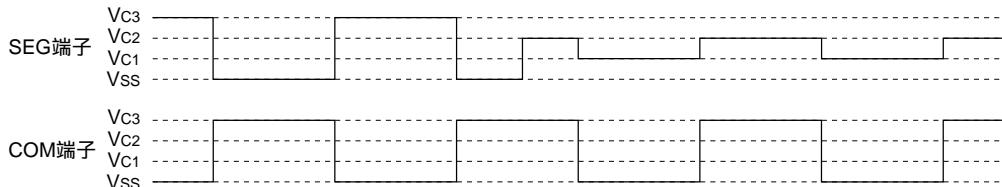
LCDをスタティック出力に設定(STCDレジスタ="1")した場合、本ボードのLCD駆動波形と、実ICの駆動波形が以下のように異なります。(1/3バイアスの場合のみ)

レジスタ	1	0
------	---	---

<実IC>



<S5U1C63000P+LCDボード>



<SVD回路>

- S1C63158/358/P366には、外部から供給された電圧を検出する機能がありますが、本ボードでは外部から供給される電圧を検出することはできません。SVD機能は、本ボード上のVSVDボリュームにより、擬似的に電源電圧を変化させることにより行います。
- SVD回路の電源をONしてから実際に電圧を検出するまでにディレイ時間が発生し、本ボードでは61μsec ~ 92μsecに設定されています。実際のICにおいては、これと異なりますので、S1C63158/358/P366のテクニカルマニュアルを参照して、適切なウェイト時間を設定してください。

<発振回路>

- OSC3発振制御回路(OSCC)をONにしてから発振が安定するまでにウェイト時間が必要になりますが、本ボードではウェイトなしにOSC3の発振切り換え(CLKCHG)しても動作してしまいます。このため、実際のICにおいては、S1C63158/358/P366のテクニカルマニュアルを参照の上適切な時間を設定してください。
- OSC3からOSC1へのクロック切り換えと、OSC3回路の発振停止は別の命令で行ってください。ひとつの命令で同時に切った場合は、本ボードで動作しても実際のICで動作しない場合があります。
- 発振回路のロジックレベルが高いため、発振開始時間のタイミングが異なります。
- 本ボードにはOSC1とOSC3用の発振回路が内蔵されています。このため、実ICにおいてOSC3の発振子を接続しない場合でも、OSC3回路による動作が可能になりますので、注意してください。
- 高速動作用定電圧回路が停止している状態でOSC3発振回路をONしないでください。

<未定義アドレス空間のアクセス>

S1C63158/358/P366内蔵のROM/RAM、I/Oの未定義空間に対して、読み出し・書き込みを行った場合、その値は不定となります。また、本ボードと実際のICでは不定となる状態が異なりますので、充分注意してください。なお、ICE(S5U1C63000H1/ S5U1C63000H2)は、未定義アドレス空間に対してアクセスがあった場合、プログラムブレークが発生する機能を内蔵しています。

<リセット回路>

ICEおよび本ボードに電源を投入してから、プログラムが動作するまでのシーケンスは、実際のICに電源を投入してから、プログラムが動作するまでのシーケンスと異なりますので、注意してください。本ボードでは、ユーザプログラムのロード、オプションデータのロードを行ってからデバッグシステムとしての動作が可能になります。なお、ICEをフリーランモードに設定して動作させる場合は、必ずシステムリセットをかけてください。システムリセットは、本ボード上のリセットスイッチ、リセット端子入力、入力ポートの同時LOWレベル保持のいずれかになります。

<内部電源回路>

- 本ボードでは、VDC、DBON、HLON、VDSEL、VADSELレジスタを内蔵していますが、実際の電源制御はいっさい行っていません。そのため、S1C63158/358/P366のテクニカルマニュアルを参照して正しい電圧を設定してください。また、制御電圧を切り換える場合もテクニカルマニュアルを参照の上適切なウェイト時間を設けてください。
- 本ボードには、LCD駆動電圧を調整するためのボリューム(VLCD)がありますが、実際のICでは調整できません。また、LCDの駆動電圧は、実際のICと差異が生じる可能性があります。
- 使用可能な動作周波数範囲は、内部動作電圧に依存しますので、S1C63158/358/P366のテクニカルマニュアルを参照の上、不適当な動作周波数と内部電源の組み合わせで動作させないように注意してください。

<I/Oレジスタの相違>

FF01H、D1ビットは読み出し時常に"0"に固定されていますが、本ボードではリード/ライト可能なレジスタとして動作しますので、本ビットには"1"を書き込まないように注意してください。

セイコーエプソン株式会社 電子デバイス営業本部

IC営業推進部	〒191-8501 東京都日野市日野421-8
IC営業技術G	TEL (042)687-5816(直通) FAX (042)687-5624
東日本	
ED東京営業部	〒191-8501 東京都日野市日野421-8
東京IC営業G	TEL (042)687-5313(直通) FAX (042)687-5116
西日本	
ED大阪営業部	〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F TEL (06)6120-6000(代表) FAX (06)6120-6100
東海・北陸	
ED名古屋営業部	〒461-0005 名古屋市東区東桜1-10-24 栄大野ビル4F TEL (052)953-8031(代表) FAX (052)953-8041
長野	
ED長野営業部	〒392-8502 長野県諏訪市大和3-3-5 TEL (0266)58-8171(直通) FAX (0266)58-9917
東北	
ED仙台営業所	〒980-0013 宮城県仙台市青葉区花京院1-1-20 花京院スクエア19F TEL (022)263-7975(代表) FAX (022)263-7990

インターネットによる電子デバイスのご紹介 <http://www.epsondevice.com/domcfg.nsf>