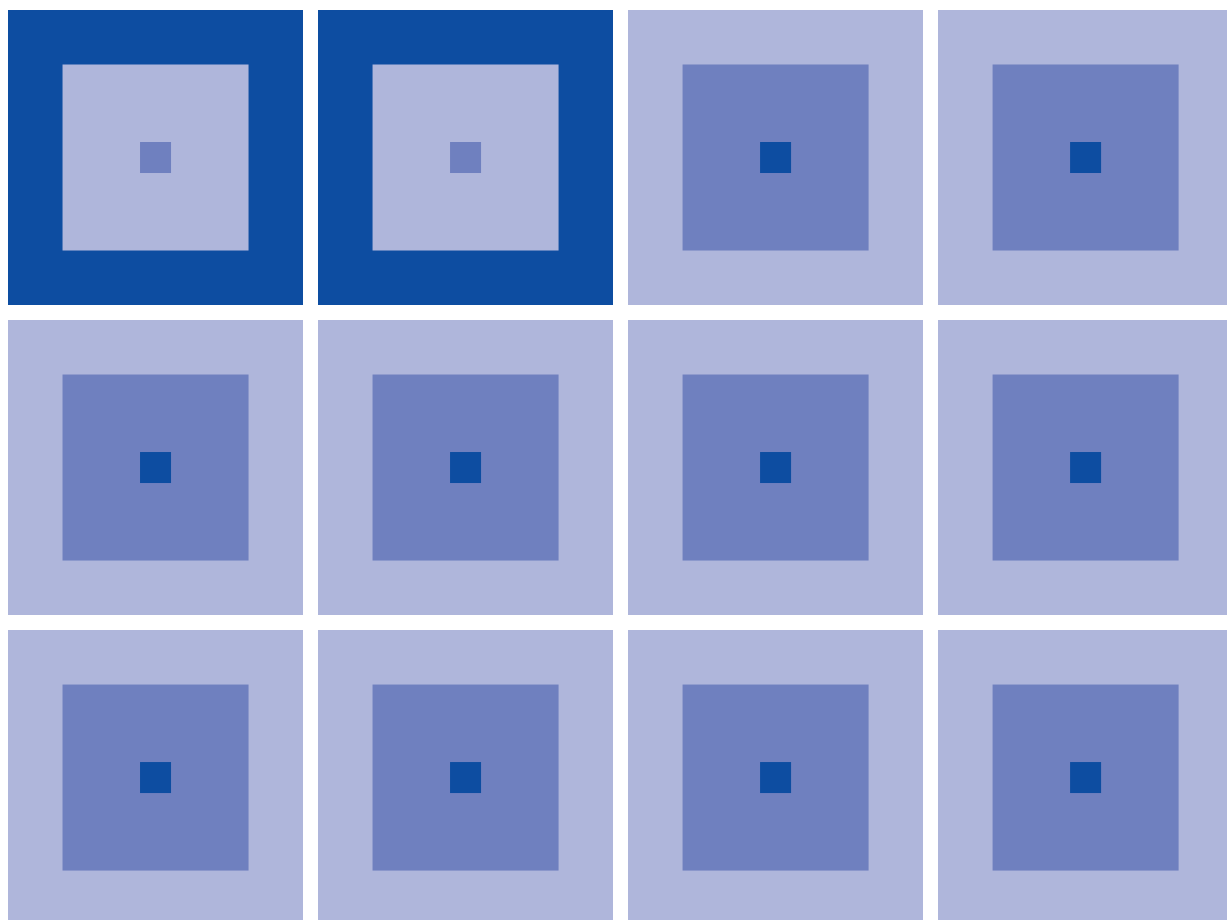


CMOS 4-BIT SINGLE CHIP MICROCOMPUTER

# S1C60N08/60R08

## テクニカルマニュアル

S1C60N08 Technical Hardware/S1C60R08 Technical Hardware



本資料のご使用につきましては、次の点にご留意願います。

---

1. 本資料の内容については、予告なく変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利(工業所有権を含む)侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち、「外国為替および外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、一般民生用です。生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合の如何なる責任についても負いかねます。

# **S1C60N08/S1C60R08 Technical Manual**

本書はセイコーエプソンオリジナル4ビットマイクロコンピュータS1C60N08およびS1C60R08( S1C60N08用ROMエミュレータモデル )のハードウェア仕様を個別に解説します。

## **I. S1C60N08 Technical Hardware**

ここでは、S1C60N08の機能、回路の構成、制御方法を解説します。

## **II. S1C60R08 Technical Hardware**

ここでは、S1C60N08と同様の機能を除いたS1C60R08のハードウェア仕様を解説します。



## 製品型番変更のご案内

2001年4月1日より、弊社半導体製品の製品型番が以下のとおり変更となりますので、4月1日以降のご発注につきましては変更後の製品型番にてお願い申し上げます。

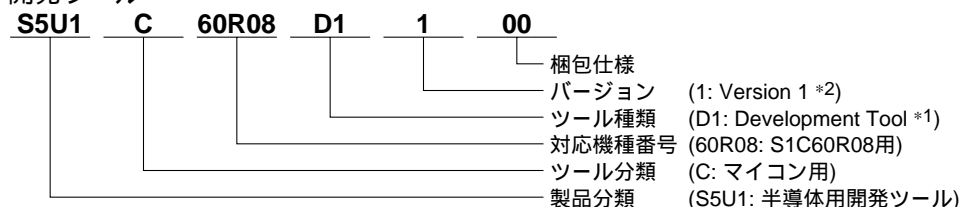
なお、製品型番の詳細仕様につきましては、弊社営業担当にお問い合わせください。

## 製品型番体系

### デバイス



### 開発ツール



\*1: ツールの種類は、新旧型番対応表を参照してください。(マニュアル類には一桁で記載されているものもあります。)

\*2: マニュアル類には、実際のバージョンは記載されておりません。

## 新旧型番対応表

### S1C60ファミリ

旧型番	新型番
E0C6001	S1C60N01
E0C6002	S1C60N02
E0C6003	S1C60N03
E0C6004	S1C60N04
E0C6005	S1C60N05
E0C6006	S1C60N06
E0C6007	S1C60N07
E0C6008	S1C60N08
E0C6009	S1C60N09
E0C6011	S1C60N11
E0C6013	S1C60N13
E0C6014	S1C60140
E0C60R08	S1C60R08

### S1C62ファミリ

旧型番	新型番
E0C621A	S1C621A0
E0C6215	S1C62150
E0C621C	S1C621C0
E0C6S27	S1C6S2N7
E0C6S37	S1C6S3N7
E0C623A	S1C6N3A0
E0C623E	S1C6N3E0
E0C6S32	S1C6S3N2
E0C6233	S1C62N33
E0C6235	S1C62N35
E0C623B	S1C6N3B0
E0C6244	S1C62440
E0C624A	S1C624A0
E0C6S46	S1C6S460

旧型番	新型番
E0C6247	S1C62470
E0C6248	S1C62480
E0C6S48	S1C6S480
E0C624C	S1C624C0
E0C6251	S1C62N51
E0C6256	S1C62560
E0C6292	S1C62920
E0C6262	S1C62N62
E0C6266	S1C62660
E0C6274	S1C62740
E0C6281	S1C62N81
E0C6282	S1C62N82
E0C62M2	S1C62M20
E0C62T3	S1C62T30

## 開発ツール新旧型番対応表

### S1C60/62ファミリ関係の開発ツール

旧型番	新型番
ASM62	S5U1C62000A
DEV6001	S5U1C60N01D
DEV6002	S5U1C60N02D
DEV6003	S5U1C60N03D
DEV6004	S5U1C60N04D
DEV6005	S5U1C60N05D
DEV6006	S5U1C60N06D
DEV6007	S5U1C60N07D
DEV6008	S5U1C60N08D
DEV6009	S5U1C60N09D
DEV6011	S5U1C60N11D
DEV60R08	S5U1C60R08D
DEV621A	S5U1C621A0D
DEV621C	S5U1C621C0D
DEV623B	S5U1C623B0D
DEV6244	S5U1C62440D
DEV624A	S5U1C624A0D
DEV624C	S5U1C624C0D
DEV6248	S5U1C62480D
DEV6247	S5U1C62470D

旧型番	新型番
DEV6262	S5U1C62620D
DEV6266	S5U1C62660D
DEV6274	S5U1C62740D
DEV6292	S5U1C62920D
DEV62M2	S5U1C62M20D
DEV6233	S5U1C62N33D
DEV6235	S5U1C62N35D
DEV6251	S5U1C62N51D
DEV6256	S5U1C62560D
DEV6281	S5U1C62N81D
DEV6282	S5U1C62N82D
DEV6S27	S5U1C6S2N7D
DEV6S32	S5U1C6S3N2D
DEV6S37	S5U1C6S3N7D
EVA6008	S5U1C60N08E
EVA6011	S5U1C60N11E
EVA621AR	S5U1C621A0E2
EVA621C	S5U1C621C0E
EVA6237	S5U1C62N37E
EVA623A	S5U1C623A0E

旧型番	新型番
EVA623B	S5U1C623B0E
EVA623E	S5U1C623E0E
EVA6247	S5U1C62470E
EVA6248	S5U1C62480E
EVA6251R	S5U1C62N51E1
EVA6256	S5U1C62N56E
EVA6262	S5U1C62620E
EVA6266	S5U1C62660E
EVA6274	S5U1C62740E
EVA6281	S5U1C62N81E
EVA6282	S5U1C62N82E
EVA62M1	S5U1C62M10E
EVA62T3	S5U1C62T30E
EVA6S27	S5U1C6S2N7E
EVA6S32R	S5U1C6S3N2E2
ICE62R	S5U1C62000H
KIT6003	S5U1C60N03K
KIT6004	S5U1C60N04K
KIT6007	S5U1C60N07K



# **I. S1C60N08 Technical Hardware**





## - 目 次 -

1	概要	I-1
1.1	機種構成	I-1
1.2	特長	I-1
1.3	ブロック図	I-2
1.4	端子配置図	I-3
1.5	端子説明	I-4
1.6	S1C60N08オプションリスト	I-4
2	電源系 および イニシャルリセット	I-7
2.1	電源系	I-7
2.2	イニシャルリセット	I-9
2.2.1	パワーオンリセット回路	I-9
2.2.2	リセット端子( RESET )	I-9
2.2.3	入力ポート( K00 ~ K03 )の同時HIGH入力	I-9
2.2.4	ウォッチドッグタイマ	I-10
2.2.5	イニシャルリセット時の内部レジスタ	I-10
2.3	テスト端子( TEST )	I-10
3	CPU ,ROM ,RAM	I-11
3.1	CPU	I-11
3.2	ROM	I-11
3.3	RAM	I-11
4	周辺回路と動作	I-12
4.1	メモリマップ	I-12
4.2	ウォッチドッグタイマのリセット	I-16
4.2.1	ウォッチドッグタイマの構成	I-16
4.2.2	マスクオプション	I-16
4.2.3	ウォッチドッグタイマの制御方法	I-16
4.2.4	プログラミング上の注意事項	I-16
4.3	発振回路とプリスケアラ	I-17
4.3.1	発振回路とプリスケアラの構成	I-17
4.3.2	OSC1発振回路	I-17
4.3.3	OSC3発振回路	I-18
4.3.4	発振回路とプリスケアラの制御方法	I-19
4.3.5	プログラミング上の注意事項	I-20
4.4	入力ポート( K00 ~ K03, K10, K20 ~ K23 )	I-21
4.4.1	入力ポートの構成	I-21
4.4.2	入力比較レジスタと割り込み機能	I-21
4.4.3	マスクオプション	I-24
4.4.4	入力ポートの制御方法	I-24
4.4.5	プログラミング上の注意事項	I-26

4.5	出力ポート( R00 ~ R03, R10 ~ R13 ) .....	I-27
4.5.1	出力ポートの構成 .....	I-27
4.5.2	マスクオプション .....	I-27
4.5.3	出力ポートの制御方法 .....	I-29
4.5.4	プログラミング上の注意事項 .....	I-30
4.6	入出力兼用ポート( P00 ~ P03, P10 ~ P13 ) .....	I-31
4.6.1	入出力兼用ポートの構成 .....	I-31
4.6.2	I/O制御レジスタと入力/出力モード .....	I-31
4.6.3	マスクオプション .....	I-31
4.6.4	入出力兼用ポートの制御方法 .....	I-32
4.6.5	プログラミング上の注意事項 .....	I-33
4.7	シリアルインタフェース( SIN, SOUT, SCLK ) .....	I-34
4.7.1	シリアルインタフェースの構成 .....	I-34
4.7.2	シリアルインタフェースのマスタモードとスレーブモード .....	I-34
4.7.3	データの入出力と割り込み .....	I-35
4.7.4	マスクオプション .....	I-37
4.7.5	シリアルインタフェースの制御方法 .....	I-38
4.7.6	プログラミング上の注意事項 .....	I-40
4.8	LCDドライバ( COM0 ~ COM3, SEG0 ~ SEG47 ) .....	I-41
4.8.1	LCDドライバの構成 .....	I-41
4.8.2	ダイナミック/スタティック駆動切り換え .....	I-46
4.8.3	マスクオプション( セグメント割り付け ) .....	I-47
4.8.4	LCDドライバの制御方法 .....	I-48
4.8.5	プログラミング上の注意事項 .....	I-49
4.9	計時タイマ .....	I-50
4.9.1	計時タイマの構成 .....	I-50
4.9.2	割り込み機能 .....	I-50
4.9.3	計時タイマの制御方法 .....	I-51
4.9.4	プログラミング上の注意事項 .....	I-52
4.10	ストップウォッチタイマ .....	I-53
4.10.1	ストップウォッチタイマの構成 .....	I-53
4.10.2	カウントアップパターン .....	I-53
4.10.3	割り込み機能 .....	I-54
4.10.4	ストップウォッチタイマの制御方法 .....	I-55
4.10.5	プログラミング上の注意事項 .....	I-56
4.11	サウンドジェネレータ .....	I-57
4.11.1	サウンドジェネレータの構成 .....	I-57
4.11.2	周波数設定 .....	I-58
4.11.3	デジタルエンベロープ .....	I-58
4.11.4	マスクオプション .....	I-59
4.11.5	サウンドジェネレータの制御方法 .....	I-60
4.11.6	プログラミング上の注意事項 .....	I-61
4.12	イベントカウンタ .....	I-62
4.12.1	イベントカウンタの構成 .....	I-62
4.12.2	カウントモードの切り換え .....	I-62
4.12.3	マスクオプション .....	I-63
4.12.4	イベントカウンタの制御方法 .....	I-64
4.12.5	プログラミング上の注意事項 .....	I-65

4.13	アナログコンパレータ .....	I-66
4.13.1	アナログコンパレータの構成 .....	I-66
4.13.2	アナログコンパレータの動作 .....	I-66
4.13.3	アナログコンパレータの制御方法 .....	I-67
4.13.4	プログラミング上の注意事項 .....	I-67
4.14	電池寿命検出( BLD )回路 .....	I-68
4.14.1	BLD( 電池寿命検出 )回路の構成 .....	I-68
4.14.2	判定電圧のプログラマブル選択 .....	I-68
4.14.3	BLD回路の検出タイミング .....	I-69
4.14.4	BLD回路の制御方法 .....	I-70
4.14.5	プログラミング上の注意事項 .....	I-71
4.15	重負荷保護機能とサブBLD回路 .....	I-72
4.15.1	重負荷保護機能の構成と動作 .....	I-72
4.15.2	サブBLD回路の動作 .....	I-73
4.15.3	重負荷保護機能とサブBLD回路の制御方法 .....	I-73
4.15.4	プログラミング上の注意事項 .....	I-75
4.16	割り込みとHALT .....	I-76
4.16.1	割り込みの要因 .....	I-78
4.16.2	割り込みの個別マスクと要因フラグ .....	I-78
4.16.3	割り込みベクタ .....	I-79
4.16.4	割り込みとHALTの制御方法 .....	I-80
4.16.5	プログラミング上の注意事項 .....	I-81
5	注意事項のまとめ .....	I-82
5.1	低消費電流化のための注意事項 .....	I-82
5.2	個別機能についての注意事項のまとめ .....	I-83
5.3	実装上の注意事項 .....	I-88
6	基本外部結線図 .....	I-90
7	電気的特性 .....	I-92
7.1	絶対最大定格 .....	I-92
7.2	推奨動作条件 .....	I-92
7.3	DC特性 .....	I-93
7.4	アナログ回路特性・消費電流 .....	I-94
7.5	発振特性 .....	I-97
8	パッケージ .....	I-98
8.1	プラスチックパッケージ .....	I-98
8.2	テストサンプル用セラミックパッケージ .....	I-99
9	パッド配置 .....	I-100
9.1	パッド配置図 .....	I-100
9.2	パッド座標 .....	I-101



# 1 概要

S1C60N08シリーズは4ビットコアCPU S1C6200Cを中心にして、ワンチップ上にROM( 4,096ワード×12ビット ) RAM( 832ワード×4ビット ) LCDドライバ、シリアルインタフェース、ダイヤル入力機能付イベントカウンタ、ウォッチドッグタイマ、2系統のタイムベースカウンタ等を内蔵したマイクロコンピュータです。低電圧動作、低消費電力であるため、特に電池駆動を必要とする各種のシステムへの応用に最適です。

## 1.1 機種構成

S1C60N08シリーズは使用する電源電圧と発振回路により、以下の機種構成となります。

表1.1.1 機種構成

機種	S1C60N08	S1C60A08	S1C60L08
電源電圧	3.0V	3.0V	1.5V
発振回路	OSC1のみ (シングルクロック)	OSC1, OSC3 (ツインクロック)	OSC1のみ (シングルクロック)
評価用ツール	S1C60R08		—

## 1.2 特長

表1.2.1 特長

機種	S1C60N08/S1C60R08	S1C60L08	S1C60A08/S1C60R08
OSC1発振回路	水晶発振回路 32.768kHz (Typ.)/38.400kHz (Typ.)		
OSC3発振回路	—		CRまたはセラミック発振回路(マスクオプションにて選択) 500 kHz (Typ.)
命令セット	108種類		
命令実行時間 (命令により異なる) (CLK: CPU動作周波数)	153μsec, 214μsec, 366μsec (CLK=32.768kHz) 130μsec, 182μsec, 313μsec (CLK=38.400kHz) —		
			10μsec, 14μsec, 24μsec (CLK=500kHz)
ROM容量	4,096ワード×12ビット		
RAM容量	832ワード×4ビット		
入力ポート	9ビット(マスクオプションにてブルダウン抵抗の付加が可能)		
出力ポート	8ビット(マスクオプションにてBZ, BZ, FOUT, SIOF出力が可能)		
入出力兼用ポート	8ビット(入力データ読み込み時にブルダウン)		
シリアルインタフェース	1ポート(8ビットクロック同期式)		
LCDドライバ	48セグメント×4, 3または2コモン(マスクオプションにて選択) V-3V 1/4, 1/3または1/2デューティ(定電圧回路/昇圧回路を内蔵)		
タイムベースカウンタ	2系統(タイマおよびストップウォッチ)		
ウォッチドッグタイマ	内蔵(マスクオプションで未使用も可)		
イベントカウンタ	8ビット2入力(ダイヤル入力判定型または独立型)		
サウンドジェネレータ	8音(8周波数)プログラマブル デジタルエンベロープ機能(マスクオプションで未使用も可)		
アナログコンパレータ	反転入力×1, 非反転入力×1		
電源電圧検出回路 (BLD)	2系統(8値プログラマブルおよび固定値) 2.4V, 2.2~2.55V      1.2V, 1.05~1.4V      2.4V, 2.2~2.55V		
外部割り込み	入力割り込み: 3系統		
内部割り込み	タイムベースカウンタ割り込み: 2系統 シリアルインタフェース割り込み: 1系統		
電源電圧	3.0V(1.8~3.5V)	1.5V(0.9~1.7V)	3.0V(2.2~3.5V)
消費電流 (Typ.値)	CLK=32.768kHz (HALT時)	1.0μA	1.1μA
	CLK=32.768kHz (実行時)	2.2μA	3.0μA
	CLK=500kHz (実行時)	—	50μA
出荷形態	QFP5-100pin, QFP15-100pinまたはチップ		

## 1.3 ブロック図

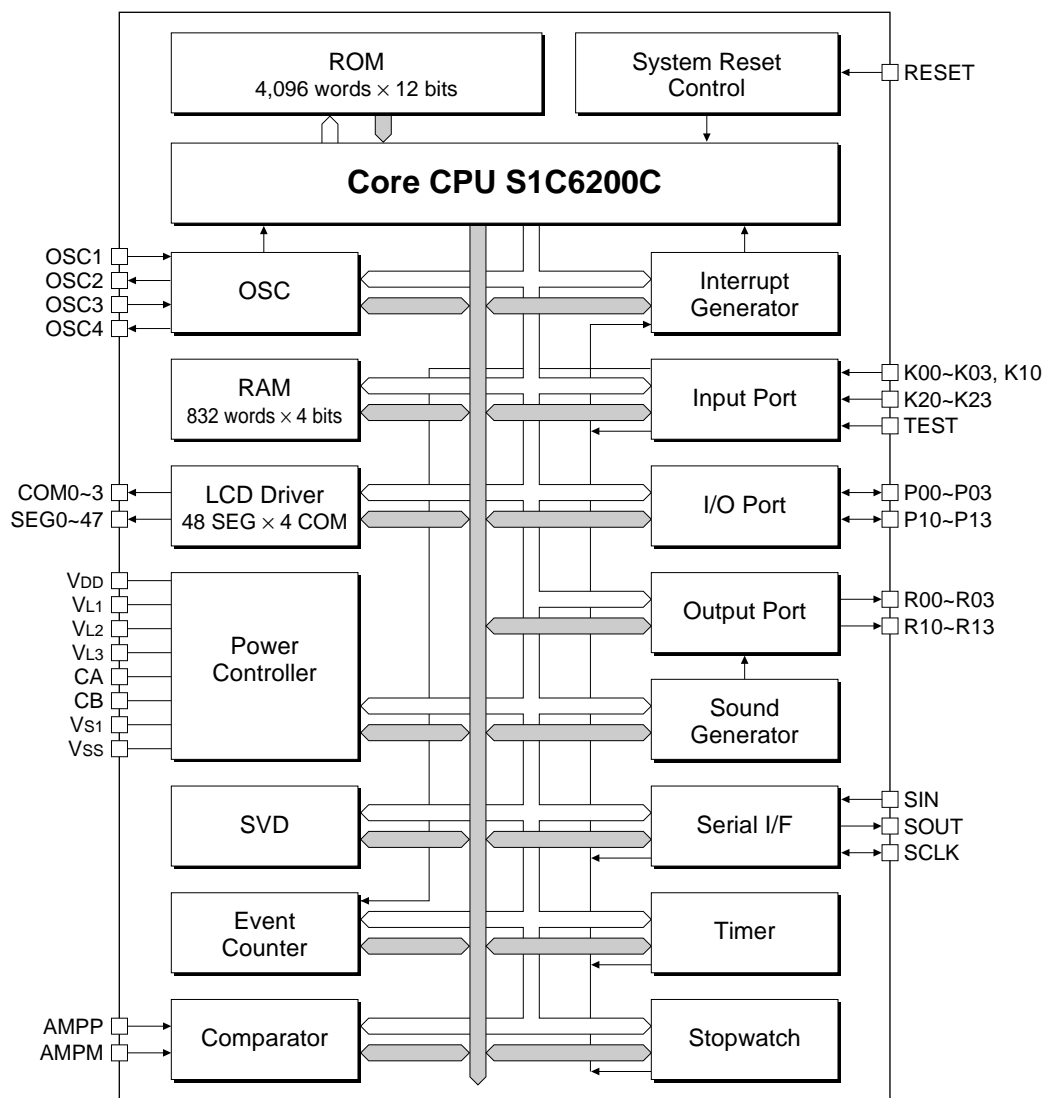
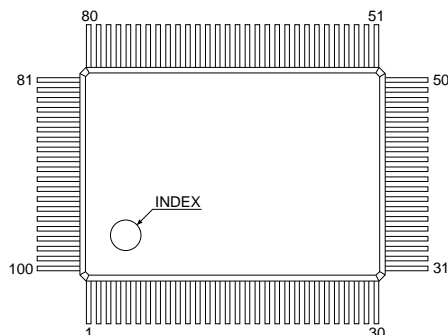


図1.3.1 ブロック図

## 1.4 端子配置図

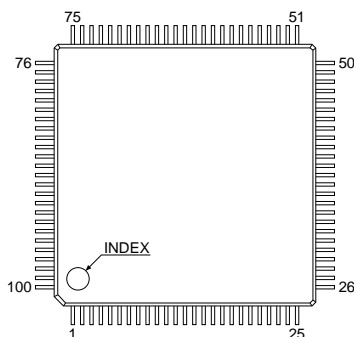
QFP5-100pin



No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	COM1	26	SEG24	51	SEG0	76	P10
2	COM0	27	TEST	52	AMPP	77	R03
3	SEG47	28	SEG23	53	AMPM	78	R02
4	SEG46	29	SEG22	54	K23	79	R01
5	SEG45	30	SEG21	55	K22	80	R00
6	SEG44	31	SEG20	56	K21	81	R12
7	SEG43	32	SEG19	57	K20	82	R11
8	SEG42	33	SEG18	58	K10	83	R10
9	SEG41	34	SEG17	59	K03	84	R13
10	SEG40	35	SEG16	60	K02	85	Vss
11	SEG39	36	SEG15	61	K01	86	RESET
12	SEG38	37	SEG14	62	K00	87	OSC4
13	SEG37	38	SEG13	63	SIN	88	OSC3
14	SEG36	39	SEG12	64	SOUT	89	Vs1
15	SEG35	40	SEG11	65	N.C.	90	OSC2
16	SEG34	41	SEG10	66	SCLK	91	OSC1
17	SEG33	42	SEG9	67	P03	92	VDD
18	SEG32	43	SEG8	68	P02	93	VL3
19	SEG31	44	SEG7	69	P01	94	VL2
20	SEG30	45	SEG6	70	P00	95	VL1
21	SEG29	46	SEG5	71	N.C.	96	CA
22	SEG28	47	SEG4	72	N.C.	97	CB
23	SEG27	48	SEG3	73	P13	98	N.C.
24	SEG26	49	SEG2	74	P12	99	COM3
25	SEG25	50	SEG1	75	P11	100	COM2

N.C. = No connection

QFP15-100pin



No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	SEG47	26	SEG23	51	AMPP	76	R02
2	SEG46	27	SEG22	52	AMPM	77	R01
3	SEG45	28	SEG21	53	K23	78	R00
4	SEG44	29	SEG20	54	K22	79	R12
5	SEG43	30	SEG19	55	K21	80	R11
6	SEG42	31	SEG18	56	K20	81	R10
7	SEG41	32	SEG17	57	K10	82	R13
8	SEG40	33	SEG16	58	K03	83	Vss
9	SEG39	34	SEG15	59	K02	84	RESET
10	SEG38	35	SEG14	60	K01	85	OSC4
11	SEG37	36	SEG13	61	K00	86	OSC3
12	SEG36	37	SEG12	62	SIN	87	Vs1
13	SEG35	38	N.C.	63	SOUT	88	OSC2
14	SEG34	39	SEG11	64	N.C.	89	OSC1
15	SEG33	40	SEG10	65	SCLK	90	VDD
16	SEG32	41	SEG9	66	N.C.	91	VL3
17	SEG31	42	SEG8	67	P03	92	VL2
18	SEG30	43	SEG7	68	P02	93	VL1
19	SEG29	44	SEG6	69	P01	94	CA
20	SEG28	45	SEG5	70	P00	95	CB
21	SEG27	46	SEG4	71	P13	96	N.C.
22	SEG26	47	SEG3	72	P12	97	COM3
23	SEG25	48	SEG2	73	P11	98	COM2
24	SEG24	49	SEG1	74	P10	99	COM1
25	TEST	50	SEG0	75	R03	100	COM0

N.C. = No connection

図1.4.1 端子配置図

## 1.5 端子説明

表1.5.1 端子説明

端子名	端子No.		I/O	機 能
	QFP5-100	QFP15-100		
V <sub>DD</sub>	92	90	(I)	電源端子(+)
V <sub>SS</sub>	85	83	(I)	電源端子(-)
V <sub>S1</sub>	89	87	-	発振および内部ロジック系動作電圧出力端子
V <sub>L1</sub>	95	93	-	LCD駆動電圧出力端子(約-1.05Vまたは1/2・V <sub>L2</sub> )
V <sub>L2</sub>	94	92	-	LCD駆動電圧出力端子(2・V <sub>L1</sub> または約-2.10V)
V <sub>L3</sub>	93	91	-	LCD駆動電圧出力端子(3・V <sub>L1</sub> または3/2・V <sub>L2</sub> )
CA, CB	96, 97	94, 95	-	昇圧コンデンサ接続端子
OSC1	91	89	I	水晶発振入力端子
OSC2	90	88	O	水晶発振出力端子
OSC3	88	86	I	CRまたはセラミック発振入力端子 * (S1C60N08/60L08はN.C.)
OSC4	87	85	O	CRまたはセラミック発振出力端子 * (S1C60N08/60L08はN.C.)
K00~K03	62~59	61~58	I	入力ポート端子
K10	58	57	I	入力ポート端子
K20~K23	57~54	56~53	I	入力ポート端子
P00~P03	70~67	70~67	I/O	入出力兼用ポート端子
P10~P13	76~73	74~71	I/O	入出力兼用ポート端子
R00~R03	80~77	78~75	O	出力ポート端子
R10	83	81	O	出力ポート端子またはBZ出力端子 *
R13	84	82	O	出力ポート端子またはBZ出力端子 *
R11	82	80	O	出力ポート端子またはSIOF出力端子 *
R12	81	79	O	出力ポート端子またはFOUT出力端子 *
SIN	63	62	I	シリアルインタフェースデータ入力端子
SOUT	64	63	O	シリアルインタフェースデータ出力端子
SCLK	66	65	I/O	シリアルインタフェースクロック入出力端子
AMPP	52	51	I	アナログコンパレータ非反転入力端子
AMPM	53	52	I	アナログコンパレータ反転入力端子
SEG0~47	51~28, 26~3	50~39, 37~26, 24~1	O	LCDセグメント出力端子 またはDC出力端子 *
COM0~3	2, 1, 100, 99	100~97	O	LCDコモン出力端子(1/2, 1/3または1/4デューティを選択可能 *)
RESET	86	84	I	イニシャルリセット入力端子
TEST	27	25	I	テスト用入力端子

\* マスクオプションにて選択

## 1.6 S1C60N08オプションリスト

S1C60N08には以下のファンクションオプションが設定されています。各周辺回路説明を参考に、システムに合った内容を選択してください。なお、使用しないポートについてもオプション設定が必要です。

### 1 機種 ... DEVICE TYPE

- ・機種 .....
  - 1. S1C60N08 (NORMAL TYPE)
  - 2. S1C60L08 (LOW POWER TYPE)
  - 3. S1C60A08 (TWIN CLOCK TYPE)
- ・ Evaluation board用
  - OSC1クロック .....
    - 1. 32kHz
    - 2. 38kHz

### 2 OSC3発振回路 ... OSC3 SYSTEM CLOCK (S1C60A08選択時)

- 1. CR発振回路
- 2. セラミック発振回路



- 
- [3] キー同時押しリセット... MULTIPLE KEY ENTRY RESET
- ・組み合わせ ..... 1. 使用しない  
2. 使用する K00, K01  
3. 使用する K00, K01, K02  
4. 使用する K00, K01, K02, K03
  - ・時間検定 ..... 1. 使用する 2. 使用しない
- [4] ウォッチドッグタイマ... WATCHDOG TIMER
- 1. 使用する 2. 使用しない
- [5] 入力割り込み ノイズリジェクタ... INPUT INTERRUPT NOISE REJECTOR
- ・ K00 ~ K03 ..... 1. 使用する 2. 使用しない
  - ・ K10 ..... 1. 使用する 2. 使用しない
  - ・ K20 ~ K23 ..... 1. 使用する 2. 使用しない
- [6] 入力ポート プルダウン抵抗... INPUT PORT PULL DOWN RESISTOR
- ・ K00 ..... 1. あり 2. なし
  - ・ K01 ..... 1. あり 2. なし
  - ・ K02 ..... 1. あり 2. なし
  - ・ K03 ..... 1. あり 2. なし
  - ・ K10 ..... 1. あり 2. なし
  - ・ K20 ..... 1. あり 2. なし
  - ・ K21 ..... 1. あり 2. なし
  - ・ K22 ..... 1. あり 2. なし
  - ・ K23 ..... 1. あり 2. なし
- [7] 出力ポート 出力仕様... OUTPUT PORT OUTPUT SPECIFICATION (R00 ~ R03)
- ・ R00 ..... 1. コンプリメンタリ 2. Pchオープンドレイン
  - ・ R01 ..... 1. コンプリメンタリ 2. Pchオープンドレイン
  - ・ R02 ..... 1. コンプリメンタリ 2. Pchオープンドレイン
  - ・ R03 ..... 1. コンプリメンタリ 2. Pchオープンドレイン
- [8] R10 端子仕様... R10 SPECIFICATION
- ・ 出力仕様 ..... 1. コンプリメンタリ 2. Pchオープンドレイン
  - ・ 出力形式 ..... 1. DC出力 2. ブザー出力
- [9] R11 端子仕様... R11 SPECIFICATION
- ・ 出力仕様 ..... 1. コンプリメンタリ 2. Pchオープンドレイン
  - ・ 出力形式 ..... 1. DC出力 2. SIOフラグ
- [10] R12 端子仕様... R12 SPECIFICATION
- ・ 出力仕様 ..... 1. コンプリメンタリ 2. Pchオープンドレイン
  - ・ 出力形式 ..... 1. DC出力
  - 2. FOUT 32768 or 38400 [Hz]
  - 3. FOUT 16384 or 19200 [Hz]
  - 4. FOUT 8192 or 9600 [Hz]
  - 5. FOUT 4096 or 4800 [Hz]
  - 6. FOUT 2048 or 2400 [Hz]
  - 7. FOUT 1024 or 1200 [Hz]
  - 8. FOUT 512 or 600 [Hz]
  - 9. FOUT 256 or 300 [Hz]



## 2 電源系 および イニシャルリセット

### 2.1 電源系

S1C60N08シリーズは外部より単一電源(\*1)を $V_{DD} \sim V_{SS}$ 間に与えることにより、内部に必要な電圧を定電圧回路(発振系 $\langle V_{S1} \rangle$ 、LCD系 $\langle V_{L1}$ または $V_{L2} \rangle$ )および昇降圧回路(LCD系 $\langle V_{L2}$ と $V_{L3}$ または $V_{L1}$ と $V_{L3} \rangle$ )により発生します。

\*1 電源電圧：S1C60N08/60A08 ... 3V、S1C60L08 ... 1.5V

図2.1.1にS1C60N08、図2.1.2にS1C60A08/60L08の電源系の構成を示します。

内部回路の動作電圧 $\langle V_{S1} \rangle$ は、発振系定電圧回路が発生します。

S1C60N08のLCD駆動電圧は、 $\langle V_{L2} \rangle$ をLCD系定電圧回路で、 $\langle V_{L1} \rangle$ と $\langle V_{L3} \rangle$ を昇降圧回路で発生します。S1C60A08とS1C60L08は $\langle V_{L1} \rangle$ をLCD系定電圧回路で、 $\langle V_{L2} \rangle$ と $\langle V_{L3} \rangle$ を昇降圧回路で発生します。

注：・ 定電圧回路および昇降圧回路の出力電圧による外付け負荷の駆動は禁止します。  
・ 電圧値については"7 電気的特性"を参照してください。

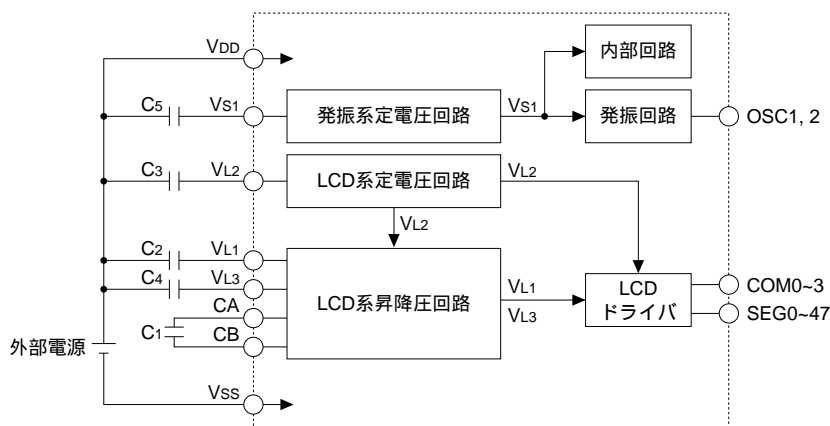


図2.1.1 S1C60N08電源系の構成

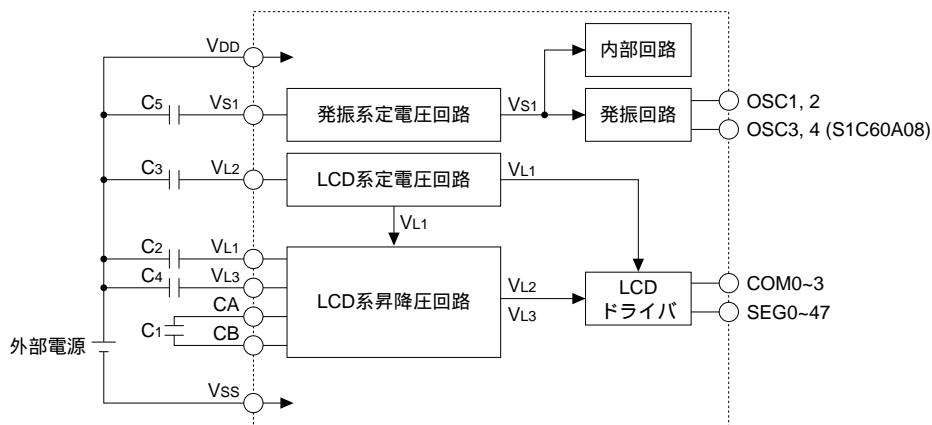


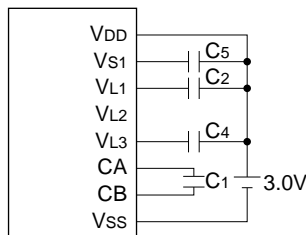
図2.1.2 S1C60A08/60L08電源系の構成

マスクオプションによりLCD系定電圧回路を使用しない構成にすることもできます。この場合、LCD系定電圧回路用のコンデンサが不要となりますので、外付け素子を削減できます。ただし、LCD系定電圧回路を使用しない場合には、使用する場合に比べて電源電圧変動 低下 時のLCDの表示品質が劣化します。

図2.1.3にLCD系定電圧回路を使用しない場合の外付け部品の構成を示します。

#### 4.5V LCDパネル

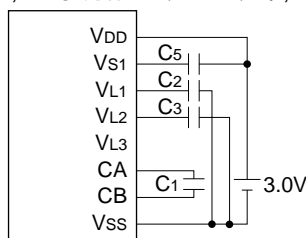
1/4, 1/3または1/2デューティ, 1/3バイアス



注: IC内部でVL2とVssが短絡されます。

#### 3V LCDパネル

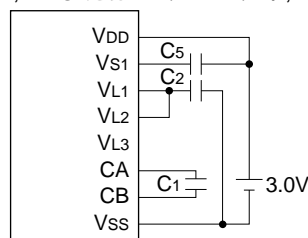
1/4, 1/3または1/2デューティ, 1/3バイアス



注: IC内部でVL3とVssが短絡されます。

#### 3V LCDパネル

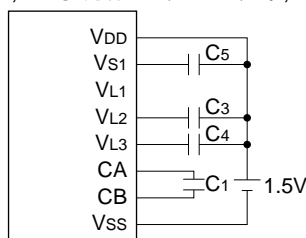
1/4, 1/3または1/2デューティ, 1/2バイアス



注: IC内部でVL1とVssが短絡されます。

#### 4.5V LCDパネル

1/4, 1/3または1/2デューティ, 1/3バイアス



#### 3V LCDパネル

1/4, 1/3または1/2デューティ, 1/2バイアス

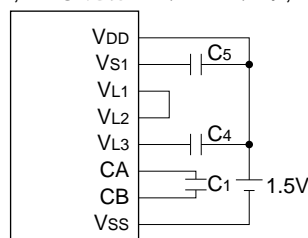


図2.1.3 LCD系定電圧回路を使用しない場合の外付け部品の構成

注: すべての機種において、セグメント端子の一部あるいは全部をマスクオプションでDC出力に設定した場合、LCD系定電圧回路を使用することはできません。逆に、LCD系定電圧回路を使用する場合は、セグメント端子のDC出力は禁止されます。

表2.1.1 LCD系定電圧回路とセグメント端子によるDC出力

LCD系定電圧回路	SEG端子のDC出力
使用する	不可
使用しない	可

## 2.2 イニシャルリセット

S1C60N08シリーズは回路を初期化するためにイニシャルリセットを必要とします。イニシャルリセット要因としては以下の4種類があります。

- (1) パワーオンリセット回路によるイニシャルリセット
- (2) RESET端子による外部イニシャルリセット
- (3) K00～K03端子の同時HIGHレベル入力による外部イニシャルリセット
- (4) ウォッチドッグタイマによるイニシャルリセット

図2.2.1にイニシャルリセット回路の構成を示します。

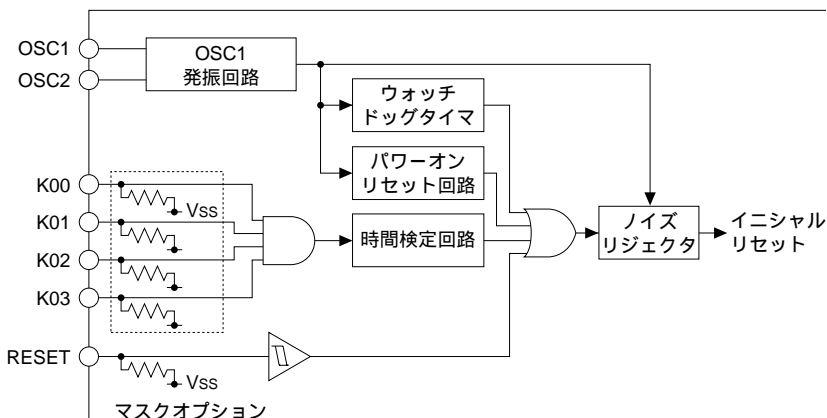


図2.2.1 イニシャルリセット回路の構成

### 2.2.1 パワーオンリセット回路

パワーオンリセット回路は、電源投入時に発振回路が発振を開始するまでイニシャルリセット信号を出力します。

注: パワーオンリセット回路は、不安定または低い電源電圧では正常に動作しない場合があります。イニシャルリセットには以下の2つの方法を推奨します。

### 2.2.2 リセット端子( RESET )

外部よりリセット端子をHIGHレベルにすることによりイニシャルリセットが行えます。イニシャルリセット回路はノイズリジェクタ回路を内蔵しているため、5msec( 発振周波数 $f_{OSC1}=32\text{kHz}$ の場合 )以上HIGHレベルを保ってください。リセット端子がLOWレベルになると、CPUが動作を開始します。

### 2.2.3 入力ポート( K00～K03 )の同時HIGH入力

マスクオプションで選択された入力ポート( K00～K03 )に、外部から同時にHIGH入力を与えることによりイニシャルリセットが行えます。イニシャルリセット回路はノイズリジェクタを内蔵しているため、5msec( 発振周波数 $f_{OSC1}=32\text{kHz}$ の場合 )以上、指定入力ポート端子をHIGHレベルに保ってください。表2.2.3.1にマスクオプションで選択できる入力ポート( K00～K03 )の組合せを示します。

表2.2.3.1 入力ポートの組合せ

選択肢	組み合わせ
A	使用しない
B	K00*K01
C	K00*K01*K02
D	K00*K01*K02*K03

たとえば、マスクオプションでDの"K00\*K01\*K02\*K03"を選択した場合、K00～K03の4ポートの入力が同時にHIGHレベルになったときにイニシャルリセットを行います。

また、同時HIGH入力の入力時間を検定し規定時間(1～2sec)以上の入力があったとき、イニシャルリセットを行う時間検定回路をマスクオプションで選択できます。

なお、この機能を使用する場合、通常動作時に指定ポートが同時にHIGHレベルにならないように注意してください。

## 2.2.4 ウォッチドッグタイマ

ウォッチドッグタイマはCPUが何らかの原因で暴走した場合、その暴走を検出しイニシャルリセット信号を出力します。詳細は"4.2 ウォッチドッグタイマのリセット"を参照してください。

## 2.2.5 イニシャルリセット時の内部レジスタ

イニシャルリセットによりCPUは以下のように初期化されます。

表2.2.5.1 初期設定値

CPUコア			
名 称	記号	ビット長	初期設定値
プログラムカウンタステップ	PCS	8	00H
プログラムカウンタページ	PCP	4	1H
ニューページポインタ	NPP	4	1H
スタックポインタ	SP	8	不定
インデックスレジスタX	X	10	不定
インデックスレジスタY	Y	10	不定
レジスタポインタ	RP	4	不定
汎用レジスタA	A	4	不定
汎用レジスタB	B	4	不定
インタラプトフラグ	I	1	0
デシマルフラグ	D	1	0
ゼロフラグ	Z	1	不定
キャリーフラグ	C	1	不定

周辺回路		
名 称	ビット長	初期設定値
RAM	4	不定
表示メモリ	4	不定
その他の周辺回路	4	*

\* "4.1 メモリマップ"参照

## 2.3 テスト端子( TEST )

ICの出荷検査時に使用する端子です。通常動作時は必ずVssに接続してください。

## 3 CPU ROM RAM

### 3.1 CPU

S1C60N08シリーズはCPU部分に4ビットコアCPU S1C6200Cを使用しているため、レジスタ構成、命令等は他のS1C6200/6200A/6200B/6200Cを使用したファミリプロセッサとほぼ同様です。コアCPUの詳細については"S1C6200/6200A Core CPU Manual"を参照してください。なお、S1C60N08シリーズにおいては、以下の点に注意してください。

- (1) SLEEP動作を想定していないため、SLP命令は使用できません。
- (2) ROM容量は4,096ワードのためバンクビットの必要がなく、PCB、NBPIは使用していません。
- (3) RAMは4ページまでの設定となっているため、アドレス指定を行うインデックスレジスタのページ部分(XP、YP)は下位2ビットのみ有効となります(上位2ビットは無視されます)。

### 3.2 ROM

内蔵ROMはプログラム格納用のマスクROMで、4,096ステップ×12ビットの容量があります。プログラム領域は16(0~15)ページ×256(00H~FFH)ステップとなっており、イニシャルリセット後のプログラム開始番地が1ページ00Hステップに、割り込みベクタが1ページ01H~0FHステップに割り当てられています。

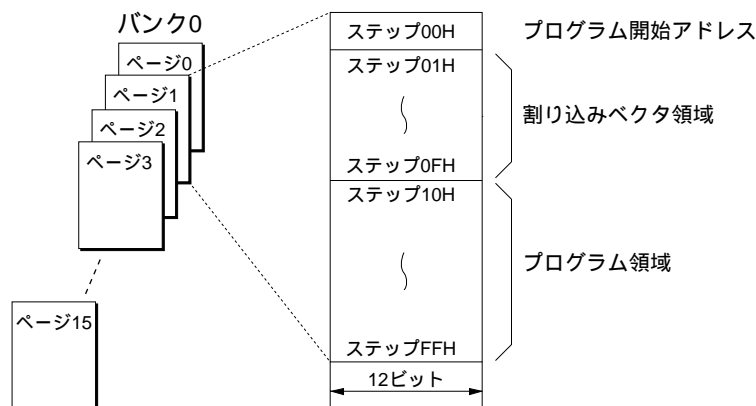


図3.2.1 ROMの構成

### 3.3 RAM

RAMは種々のデータを格納するデータメモリで、832ワード×4ビットの容量があります。プログラミングの際には以下の点に注意してください。

- (1) データメモリの一部をサブルーチンコールやレジスタ退避時のスタック領域としても使用しますので、データエリアとスタックエリアが重ならないように注意してください。
- (2) サブルーチンコール、割り込み等ではスタックエリアを3ワード消費します。
- (3) データメモリのアドレス000H~00FHはレジスタポインタ(RP)でアドレッシングされるメモリレジスタ領域です。

## 4 周辺回路と動作

S1C60N08シリーズの周辺回路(タイマ、I/O等)はメモリマップドI/O方式で、CPUとインタフェースされています。このため、メモリマップ上のI/Oメモリをメモリ操作命令でアクセスすることにより、すべての周辺回路を制御することができます。

以下に、各周辺回路の動作について詳細に説明します。

### 4.1 メモリマップ

S1C60N08シリーズのデータメモリは865ワード(表示メモリを2ページに配置した場合、913ワード)のアドレス空間を持っており、そのうち48ワードが表示メモリ、33ワードがI/Oメモリとして割り付けられています。

図4.1.1にS1C60N08シリーズの全体のメモリマップ、表4.1.1(a)~(c)に周辺回路(I/O空間)のメモリマップを示します。

Address Page	Low High	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	0	M0	M1	M2	M3	M4	M5	M6	M7	M8	M9	MA	MB	MC	MD	ME	MF
	1	RAM (256ワード×4ビット) R/W															
	2																
	3																
	4																
	5																
	6																
	7																
	8																
	9																
	A																
	B																
	C																
	D																
	E																
	F																
1	0	RAM (256ワード×4ビット) R/W															
	1																
	2																
	3																
	4																
	5																
	6																
	7																
	8																
	9																
	A																
	B																
	C																
	D																
	E																
	F																

Address Page	Low High	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
2	0	RAM (64ワード×4ビット) R/W															
	1																
	2																
	3	未使用領域															
	4																
	5																
	6																
	7																
	8																
	9																
	A																
	B																
	C																
	D																
	E																
	F																
3	0	RAM (256ワード×4ビット) R/W															
	1																
	2																
	3																
	4																
	5																
	6																
	7																
	8																
	9																
	A																
	B																
	C																
	D																
	E																
	F																

図4.1.1 メモリマップ

Address Page	Low High	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0 or 2	4	表示メモリ(48ワード×4ビット) 0ページ: R/W, 2ページ: W															
	5																
	6																

図4.1.2 表示メモリマップ

注: ・表示メモリは領域全体を0ページ(040H~06FH)か2ページ(240H~26FH)のどちらに配置するかマスコプションで選択できます。











0ページ(040H~06FH)を選択すると表示メモリはRAM領域内に割り付けられ、読み出し/書き込みが可能となります。

2ページ(240H~26FH)を選択すると、表示メモリは書き込み専用となります。

- ・メモリマップ中の未使用領域、およびこの章で示されていないメモリ領域にはメモリが実装されていません。このため、これらの領域をアクセスするようなプログラムを作成した場合は、正常な動作を保証することはできません。



表4.1.1( a ) I/Oメモリマップ( 2D0H, 2E0H ~ 2ECH )

アドレス	レジスタ								コメント
	D3	D2	D1	D0	Name	Init *1	1	0	
2D0H	0	0	0	LOF	0 *3	– *2	–	–	未使用
	R			R/W	0 *3	– *2	–	–	未使用
					0 *3	– *2	–	–	未使用
					LOF	1	Normal	All off	LCD全消灯制御
2E0H	TM3	TM2	TM1	TM0	TM3	0			計時タイマデータ(2Hz)
	R				TM2	0			計時タイマデータ(4Hz)
					TM1	0			計時タイマデータ(8Hz)
					TM0	0			計時タイマデータ(16Hz)
2E1H	SWL3	SWL2	SWL1	SWL0	SWL3	0			MSB
	R				SWL2	0			ストップウォッチタイマ1/100secデータ(BCD)
					SWL1	0			
					SWL0	0			LSB
2E2H	SWH3	SWH2	SWH1	SWH0	SWH3	0			MSB
					SWH2	0			ストップウォッチタイマ1/10 secデータ(BCD)
					SWH1	0			
					SWH0	0			LSB
2E3H	K03	K02	K01	K00	K03	– *2	High	Low	入力ポートデータ(K00~K03)
	R				K02	– *2	High	Low	
					K01	– *2	High	Low	
					K00	– *2	High	Low	
2E4H	KCP03	KCP02	KCP01	KCP00	KCP03	0			入力比較レジスタ(K00~K03)
	R/W				KCP02	0			
					KCP01	0			
					KCP00	0			
2E5H	EIK03	EIK02	EIK01	EIK00	EIK03	0	Enable	Mask	割り込みマスキレジスタ(K00~K03)
	R/W				EIK02	0	Enable	Mask	
					EIK01	0	Enable	Mask	
					EIK00	0	Enable	Mask	
2E6H	HLMOD	BLD0	EISWIT1	EISWIT0	HLMOD	0	Heavy load	Normal	重負荷保護モードレジスタ
	R/W			R	BLD0	0	Low	Normal	サブBLD判定データ
					EISWIT1	0	Enable	Mask	割り込みマスキレジスタ(ストップウォッチ1Hz)
					EISWIT0	0	Enable	Mask	割り込みマスキレジスタ(ストップウォッチ10Hz)
2E7H	SCTRG	EIK10	KCP10	K10	SCTRG *3	–	Trigger	–	シリアルI/Fクロックトリガ
	W			R	EIK10	0	Enable	Mask	割り込みマスキレジスタ(K10)
					KCP10	0			入力比較レジスタ(K10)
					K10	– *2	High	Low	入力ポートデータ(K10)
2E8H	CSDC	ETI2	ETI8	ETI32	CSDC	0	Static	Dynamic	LCD駆動切り換え
	R/W				ETI2	0	Enable	Mask	割り込みマスキレジスタ(計時タイマ2Hz)
					ETI8	0	Enable	Mask	割り込みマスキレジスタ(計時タイマ8Hz)
					ETI32	0	Enable	Mask	割り込みマスキレジスタ(計時タイマ32Hz)
2E9H	0	TI2	TI8	TI32	0 *3	– *2	–	–	未使用
	R				TI2 *4	0	Yes	No	割り込み要因フラグ(計時タイマ2Hz)
					TI8 *4	0	Yes	No	割り込み要因フラグ(計時タイマ8Hz)
					TI32 *4	0	Yes	No	割り込み要因フラグ(計時タイマ32Hz)
2EAH	IK1	IK0	SWIT1	SWIT0	IK1 *4	0	Yes	No	割り込み要因フラグ(K10)
	R				IK0 *4	0	Yes	No	割り込み要因フラグ(K00~K03)
					SWIT1 *4	0	Yes	No	割り込み要因フラグ(ストップウォッチ1Hz)
					SWIT0 *4	0	Yes	No	割り込み要因フラグ(ストップウォッチ10Hz)
2EBH	R03	R02	R01	R00	R03	0	High	Low	出力ポート(R03)
	R/W				R02	0	High	Low	出力ポート(R02)
					R01	0	High	Low	出力ポート(R01)
					R00	0	High	Low	出力ポート(R00)
2ECH	R13	R12	R11	R10	R13	0	High/On	Low/Off	出力ポート(R13)/BZ出力制御
	R/W			R	R12	0	High/On	Low/Off	出力ポート(R12)/FOUT出力制御
					R11	0	High	Low	出力ポート(R11, LAMP)
					SIOF	0	Run	Stop	出力ポート(SIOF)
					R10	0	High/On	Low/Off	出力ポート(R10)/BZ出力制御

\*1 イニシャルリセット時の初期値

\*3 読み出し時は常時"0"

\*5 不定

\*2 回路上設定されない

\*4 読み出し直後、リセット(0)

表4.1.1( b ) I/Oメモリマップ( 2EDH ~ 2FAH )

アドレス	レジスタ								コメント
	D3	D2	D1	D0	Name	Init *1	1	0	
2EDH	P03	P02	P01	P00	P03	– *2	High	Low	入出力兼用ポートデータ(P00~P03) イニシャルリセット時、出力ラッチはリセット
					P02	– *2	High	Low	
					P01	– *2	High	Low	
					P00	– *2	High	Low	
	R/W								
2EEH	TMRST	SWRUN	SWRST	IOC0	TMRST*3	Reset	Reset	–	計時タイマリセット ストップウォッチタイマRun/Stop ストップウォッチタイマリセット I/O制御レジスタ0 (P00~P03)
					SWRUN	0	Run	Stop	
	W	R/W	W	R/W	SWRST*3	Reset	Reset	–	
					IOC0	0	Output	Input	
2EFH	WDRST	WD2	WD1	WD0	WDRST*3	Reset	Reset	–	ウォッチドッグタイマリセット タイマデータ(ウォッチドッグタイマ) 1/4Hz タイマデータ(ウォッチドッグタイマ) 1/2Hz タイマデータ(ウォッチドッグタイマ) 1Hz
					WD2	0			
					WD1	0			
					WD0	0			
2F0H	SD3	SD2	SD1	SD0	SD3	× *5			シリアルI/Fデータレジスタ(下位4ビット)
					SD2	× *5			
					SD1	× *5			
					SD0	× *5			
2F1H	SD7	SD6	SD5	SD4	SD7	× *5			シリアルI/Fデータレジスタ(上位4ビット)
					SD6	× *5			
					SD5	× *5			
					SD4	× *5			
2F2H	SCS1	SCS0	SE2	EISIO	SCS1	1			SIFクロック [SCS1, 0] 0 1 2 3 モード選択 クロック CLK CLK/2 CLK/4 スレーブ シリアルI/Fクロックエッジ選択 割り込みマスクレジスタ(シリアルI/F)
					SCS0	1			
					SE2	0	↑	↓	
					EISIO	0	Enable	Mask	
2F3H	0	0	IK2	ISIO	0 *3	– *2	–	–	未使用 未使用 割り込み要因フラグ(K20~K23) 割り込み要因フラグ(シリアルI/F)
					0 *3	– *2	–	–	
					IK2 *4	0	Yes	No	
					ISIO *4	0	Yes	No	
2F4H	K23	K22	K21	K20	K23	– *2	High	Low	入力ポートデータ(K20~K23)
					K22	– *2	High	Low	
					K21	– *2	High	Low	
					K20	– *2	High	Low	
2F5H	EIK23	EIK22	EIK21	EIK20	EIK23	0	Enable	Mask	割り込みマスクレジスタ(K20~K23)
					EIK22	0	Enable	Mask	
					EIK21	0	Enable	Mask	
					EIK20	0	Enable	Mask	
2F6H	BZFQ2	BZFQ1	BZFQ0	ENVRST	BZFQ2	0			ブザー [BZFQ2~0] 0 1 2 3 周波数 foscI/8 foscI/10 foscI/12 foscI/14 周波数 [BZFQ2~0] 4 5 6 7 選択 周波数 foscI/16 foscI/20 foscI/24 foscI/28 エンベロープリセット
					BZFQ1	0			
					BZFQ0	0			
					ENVRST*3	Reset	Reset	–	
2F7H	ENVON	ENVRT	AMPDT	AMPON	ENVON	0	On	Off	エンベロープOn/Off エンベロープ減衰時間 アナログコンパレータデータ アナログコンパレータOn/Off
					ENVRT	0	1.0 sec	0.5 sec	
					AMPDT	1	+ > -	+ < -	
					AMPON	0	On	Off	
2F8H	EV03	EV02	EV01	EV00	EV03	0			イベントカウンタ0(下位4ビット)
					EV02	0			
					EV01	0			
					EV00	0			
2F9H	EV07	EV06	EV05	EV04	EV07	0			イベントカウンタ0(上位4ビット)
					EV06	0			
					EV05	0			
					EV04	0			
2FAH	EV13	EV12	EV11	EV10	EV13	0			イベントカウンタ1(下位4ビット)
					EV12	0			
					EV11	0			
					EV10	0			

\*1 イニシャルリセット時の初期値

\*3 読み出し時は常時"0"

\*5 不定

\*2 回路上設定されない

\*4 読み出し直後、リセット(0)

表4.1.1(c) I/Oメモリマップ(2FBH~2FFH)

アドレス	レジスタ								コメント
	D3	D2	D1	D0	Name	Init *1	1	0	
2FBH	EV17	EV16	EV15	EV14	EV17	0			イベントカウンタ1(上位4ビット)
					EV16	0			
	R				EV15	0			
					EV14	0			
2FCH	EVSEL	ENRUN	EV1RST	EV0RST	EVSEL	0	Separate	Phase	イベントカウンタモード選択
					EVRUN	0	Run	Stop	イベントカウンタRun/Stop
	R/W		W		EV1RST*3	Reset	Reset	-	イベントカウンタ1リセット
					EV0RST*3	Reset	Reset	-	イベントカウンタ0リセット
2FDH	P13	P12	P11	P10	P13	- *2	High	Low	入出力兼用ポートデータ(P10~P13) イニシャルリセット時、出力ラッチはリセット
					P12	- *2	High	Low	
	R/W				P11	- *2	High	Low	
					P10	- *2	High	Low	
2FEH	PRSM	CLKCHG	OSCC	IOC1	PRSM	0	38 kHz	32 kHz	OSC1プリスケラ選択
					CLKCHG	0	OSC3	OSC1	CPUクロック切り換え
	R/W				OSCC	0	On	Off	OSC3発振On/Off
					IOC1	0	Output	Input	I/O制御レジスタ(P10~P13)
2FFH	BLS	BLC2	BLC1	BLC0	BLS	0	On	Off	BLD On/Off
	BLD1				BLD1	0	Low	Normal	BLD判定データ
	W				BLC2	× *5			判定電圧設定レジスタ
					BLC1	× *5			[BLC2~0]
	R				BLC0	× *5			0 1 2 3 4 5 6 7
									S1C60N08/60A08 2.20 2.25 2.30 2.35 2.40 2.45 2.50 2.55 (V)
									S1C60L08 1.05 1.10 1.15 1.20 1.25 1.30 1.35 1.40 (V)

\*1 イニシャルリセット時の初期値

\*3 読み出し時は常時"0"

\*5 不定

\*2 回路上設定されない

\*4 読み出し直後、リセット(0)

## 4.2 ウォッチドッグタイマのリセット

### 4.2.1 ウォッチドッグタイマの構成

S1C60N08シリーズはOSC1(計時タイマ2Hz信号)を原振とするウォッチドッグタイマを内蔵しています。ウォッチドッグタイマはソフトウェアにより周期的にリセットする必要があり、3~4秒以上リセットが行われない場合、CPUに対して自動的にインシヤルリセット信号を出力します。図4.2.1.1にウォッチドッグタイマのブロック図を示します。

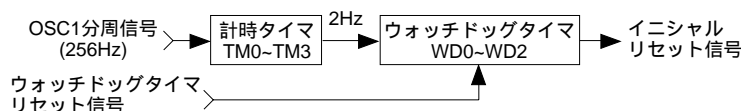


図4.2.1.1 ウォッチドッグタイマのブロック図

ウォッチドッグタイマは3ビットのバイナリカウンタ(WD0~WD2)で構成され、最上位桁のオーバーフローによってインシヤルリセット信号を内部的に発生します。プログラムのメインルーチン上でウォッチドッグタイマのリセット処理をすることにより、メインルーチンのウォッチドッグタイマ処理を通らないようなプログラムの暴走を検出することができます。通常はこのルーチンをタイマ割り込みルーチンのように、定期的に処理される箇所に組み込みます。なお、ウォッチドッグタイマはHALT時も動作しており、HALT状態を3~4秒間続けるとインシヤルリセットからの再起動となります。

### 4.2.2 マスクオプション

ウォッチドッグタイマを使用するかしないかは、マスクオプションにより選択することができます。"使用しない"を選択した場合、ウォッチドッグタイマをリセットする必要はありません。

### 4.2.3 ウォッチドッグタイマの制御方法

表4.2.3.1にウォッチドッグタイマの制御ビットを示します。

表4.2.3.1 ウォッチドッグタイマの制御ビット

アドレス	レジスタ								コメント
	D3	D2	D1	D0	Name	Init *1	1	0	
2EFH	WDRST	WD2	WD1	WD0	WDRST*3	Reset	Reset	-	ウォッチドッグタイマリセット タイマデータ(ウォッチドッグタイマ) 1/4Hz タイマデータ(ウォッチドッグタイマ) 1/2Hz タイマデータ(ウォッチドッグタイマ) 1Hz
					WD2	0			
					WD1	0			
					WD0	0			
	W	R							

\*1 インシヤルリセット時の初期値

\*3 読み出し時は常時"0"

\*5 不定

\*2 回路上設定されない

\*4 読み出し直後、リセット(0)

WDRST: ウォッチドッグタイマリセット(2EFH・D3)

ウォッチドッグタイマをリセットするビットです。

"1"書き込み: ウォッチドッグタイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

WDRSTに"1"を書き込むことによりウォッチドッグタイマはリセットされ、その直後リスタートします。"0"の書き込みはノーオペレーションとなります。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

### 4.2.4 プログラミング上の注意事項

ウォッチドッグタイマを使用する場合、3秒周期以内にソフトウェアでウォッチドッグタイマをリセットする必要があります。この場合、タイマデータ(WD0~WD2)は計時用途に使用することはできません。

### 4.3 発振回路とプリスケアラ

#### 4.3.1 発振回路とプリスケアラの構成

S1C60N08/60L08は1系統の発振回路( OSC1 )、S1C60A08は2系統の発振回路( OSC1とOSC3 )を内蔵しています。このうちOSC1は水晶発振回路で、CPUおよび周辺回路に動作クロックを供給します。OSC3はCRまたはセラミック発振回路で、S1C60A08において高速動作が要求される処理が必要な場合に、CPUの動作クロックをOSC1からOSC3に切り換えて使用します。

図4.3.1.1に発振系のブロック図を示します。

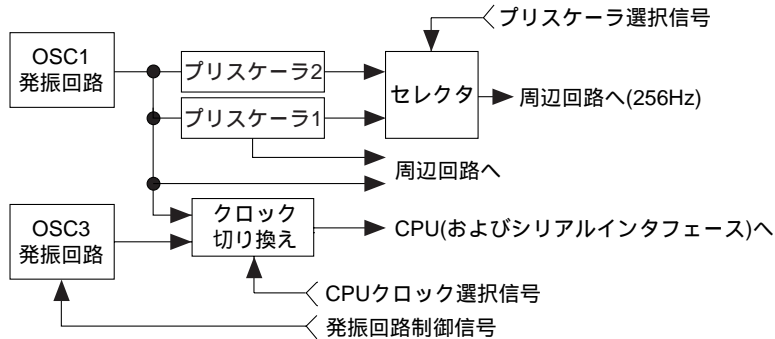


図4.3.1.1 発振系のブロック図

図4.3.1.1に示すとおり、OSC1発振回路には2系統のプリスケアラ(分周段)が接続されています。プリスケアラ1は32.768kHz用、プリスケアラ2は38.4kHz用の分周段です。使用する水晶振動子に合わせてソフトウェアによって選択します。この選択により、計時タイマ、ストップウォッチタイマ等を動作させる基本信号( 256Hz )が得られます。

またS1C60A08においては、CPUの動作クロックをOSC1とするか、OSC3とするかをソフトウェアで選択できます。

#### 4.3.2 OSC1発振回路

S1C60N08シリーズは水晶発振回路( OSC1発振回路 )を内蔵しています。OSC1発振回路は外付け素子として、水晶振動子( Typ. 32.768kHz )とトリマコンデンサ( 5 ~ 25pF )を接続することにより、CPUおよび周辺回路の動作クロックを発生します。

図4.3.2.1にOSC1発振回路のブロック図を示します。

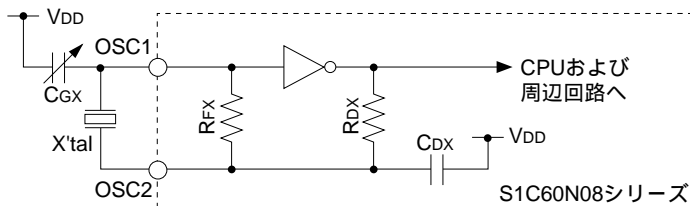


図4.3.2.1 OSC1発振回路

図4.3.2.1に示すとおり、OSC1端子とOSC2端子間に水晶振動子( X'tal )を、OSC1端子とVDD間にトリマコンデンサ( CGX )をそれぞれ接続することにより、容易に水晶発振回路を構成することができます。また、水晶振動子は32.768kHzのほかに38.4kHzの振動子を接続することができます。

## 4.3.3 OSC3発振回路

S1C60N08シリーズ中、ツインクロック仕様のS1C60A08はCPUのサブクロックとしてCRまたはセラミック発振回路( OSC3発振回路 )をマスクオプションで選択できます。発振回路そのものは内蔵されているため、CR発振選択時は外付素子として抵抗が、セラミック発振選択時はセラミック振動子とコンデンサ2個( ゲート容量とドレイン容量 )が必要となります。

図4.3.3.1にOSC3発振回路のブロック図を示します。

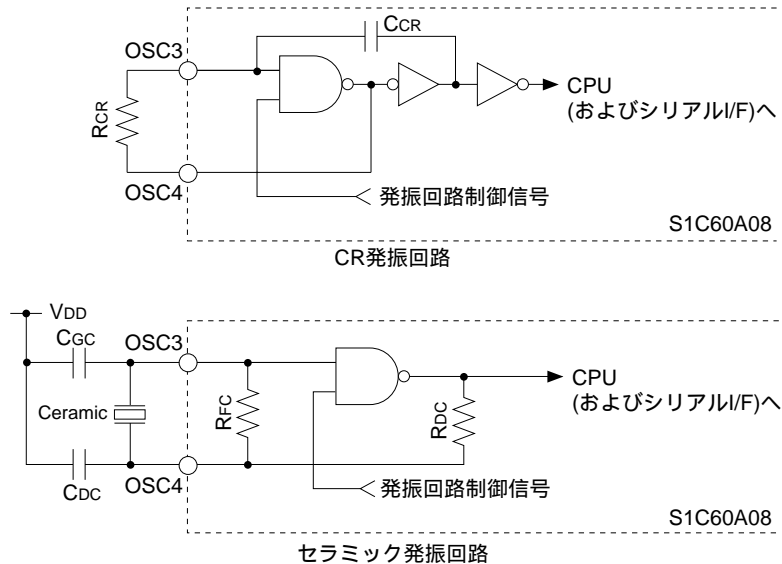


図4.3.3.1 OSC3発振回路

図4.3.3.1に示すとおり、CR発振を選択した場合はOSC3端子とOSC4端子間に抵抗(  $R_{CR}$  )を接続するだけでCR発振回路を構成できます。 $R_{CR}$ に82k $\Omega$ を使用した場合、発振周波数は約410kHzになります。

セラミック発振を選択した場合はOSC3端子とOSC4端子間にセラミック振動子( Typ. 500kHz )を、同OSC3、OSC4端子とVDD間にコンデンサを2個(  $C_{GC}$ 、 $C_{DC}$  )それぞれ接続することでセラミック発振回路を構成できます。 $C_{GC}$ 、 $C_{DC}$ は共に100pF程度のものを接続してください。

このOSC3発振回路は消費電流を低減するために、使用しないときはソフトウェアによって発振を停止させることができます。

S1C60N08/60L0 $\alpha$ ( シングルクロック仕様 )では、OSC3・OSC4をN.C( 非接続 )としてください。

## 4.3.4 発振回路とプリスケアラの制御方法

表4.3.4.1に発振回路とプリスケアラの制御ビットを示します。

表4.3.4.1 発振回路とプリスケアラの制御ビット

アドレス	レジスタ									コメント
	D3	D2	D1	D0	Name	Init *1	1	0		
2FEH	PRSM	CLKCHG	OSCC	IOC1	PRSM	0	38 kHz	32 kHz		OSC1プリスケアラ選択
					CLKCHG	0	OSC3	OSC1		CPUクロック切り換え
	R/W				OSCC	0	On	Off		OSC3発振On/Off
					IOC1	0	Output	Input		I/O制御レジスタ(P10~P13)

\*1 イニシャルリセット時の初期値

\*3 読み出し時は常時"0"

\*5 不定

\*2 回路上設定されない

\*4 読み出し直後、リセット(0)

OSCC: OSC3発振制御(2FEH・D1)

OSC3発振回路の発振ON/OFFを制御します。(S1C60A08のみ)

"1"書き込み: OSC3発振ON

"0"書き込み: OSC3発振OFF

読み出し: 可能

S1C60A08において、CPUを高速に動作させる必要のある場合にOSCCを"1"とし、それ以外の場合は、消費電流低減のため"0"としてください。

S1C60N08/60L08では"0"固定としてください。

イニシャルリセット時、OSCCは"0"に設定されます。

CLKCHG: CPUクロック切り換え(2FEH・D2)

CPUの動作クロックを選択します。(S1C60A08のみ)

"1"書き込み: OSC3クロックを選択

"0"書き込み: OSC1クロックを選択

読み出し: 可能

S1C60A08において、CPUの動作クロックをOSC3にする場合にCLKCHGを"1"、OSC1にする場合"0"を設定してください。S1C60N08/60L08ではこのレジスタの制御は無効で、設定値にかかわらず常時OSC1が選択されます。

イニシャルリセット時、CLKCHGは"0"に設定されます。

PRSM: OSC1プリスケアラ選択(2FEH・D3)

OSC1発振回路の水晶振動子に対応するプリスケアラを選択します。

"1"書き込み: 38.4kHz

"0"書き込み: 32.768kHz

読み出し: 可能

この選択により、計時タイマ、ストップウォッチタイマ等は正確に動作します。なお、このレジスタの設定値が、使用する水晶振動子と対応していない場合、前記周辺回路の動作周期は以下の倍率となります。

f<sub>OSC1</sub> = 32.768kHz, PRSM = "1": T' ≈ 1.172T

f<sub>OSC1</sub> = 38.4kHz, PRSM = "0": T' ≈ 0.853T

イニシャルリセット時、PRSMは"0"に設定されます。

#### 4.3.5 プログラミング上の注意事項

- (1) OSC3発振回路がONしてから発振が安定するまでに、5msec以上を必要とします。したがって、CPUの動作クロックをOSC1からOSC3に切り換える際は、OSC3発振ONの後、5msec以上経過してから行ってください。また、発振安定時間は外付け発振子の特性および使用条件等により異なりますので、充分マージンをとって待ち時間を設定してください。
- (2) OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々のインストラクションで行ってください。1インストラクションで、同時に処理するとCPUの誤動作につながります。
- (3) 計時タイマ、ストップウォッチタイマ等を正しく動作させるためには、使用する水晶振動子に合わせてOSC1のプリスケアラを選択してください。



## 4.4 入力ポート( K00 ~ K03, K10, K20 ~ K23 )

### 4.4.1 入力ポートの構成

S1C60N08シリーズは9ビット(4ビット×2+1)の汎用入力ポートを内蔵しています。各入力ポート端子( K00 ~ K03, K10, K20 ~ K23 )には内蔵プルダウン抵抗が用意されており、使用するかどうかをマスクオプションで1ビットごとに選択できます。

図4.4.1.1に入力ポートの構造を示します。

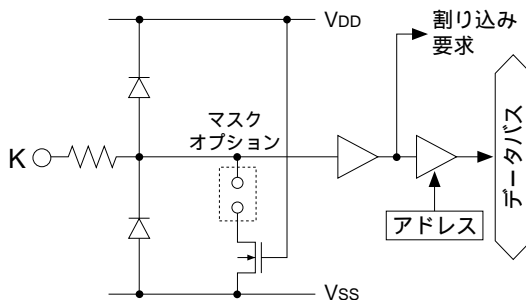


図4.4.1.1 入力ポートの構造

マスクオプションで"プルダウン抵抗あり"を選択した場合、プッシュスイッチ、キーマトリクス等の入力に適当です。また、"プルダウン抵抗なし"を選択した場合、スライドスイッチ入力、他LSIとのインタフェースなどに使用できます。

また、K02、K03端子はイベントカウンタの入力端子も兼ねています( 詳細は"4.12 イベントカウンタ"を参照してください )。

### 4.4.2 入力比較レジスタと割り込み機能

入力ポート9ビット( K00 ~ K03, K10, K20 ~ K23 )は、すべて割り込み機能を持っています。この中で、K00 ~ K03, K10の5ビットは、割り込み発生条件をソフトウェアで設定することができます。また、9ビットすべての端子について1ビットごとに、割り込みをマスクするかしないかを、同様にソフトウェアで設定することができます。

図4.4.2.1にK00 ~ K03, K10の構成図を、図4.4.2.3にK20 ~ K23の構成図をそれぞれ示します。

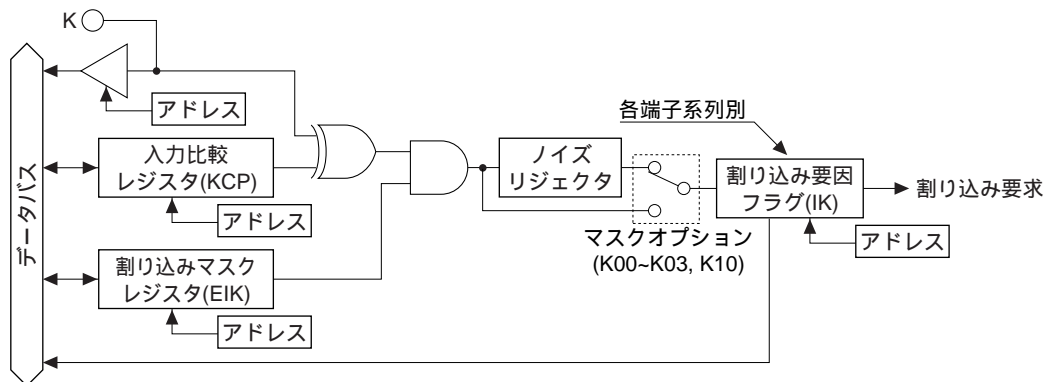


図4.4.2.1 入力割り込み回路構成( K00 ~ K03, K10 )

K00～K03、K10の入力割り込みタイミングは、入力比較レジスタ(KCP00～KCP03、KCP10)の設定値により、割り込みを入力の立ち上がりエッジで発生させるか、立ち下がりエッジで発生させるかを選択することができます。

また、K00～K03、K10は割り込みマスクレジスタ(EIK00～EIK03、EIK10)により、個別に割り込みのマスクを選択することができます。ただし、K00～K03の中で割り込みがイネーブルになっているものに対しては、入力比較レジスタとの内容が一致状態から不一致状態に変化したときに割り込みが発生します。K10については独自に同様の条件設定による割り込みが行えます。

割り込みが発生した際には、割り込み要因フラグ(IK0、IK1)が"1"にセットされます。

図4.4.2.2にK00～K03の割り込み発生例を示します。

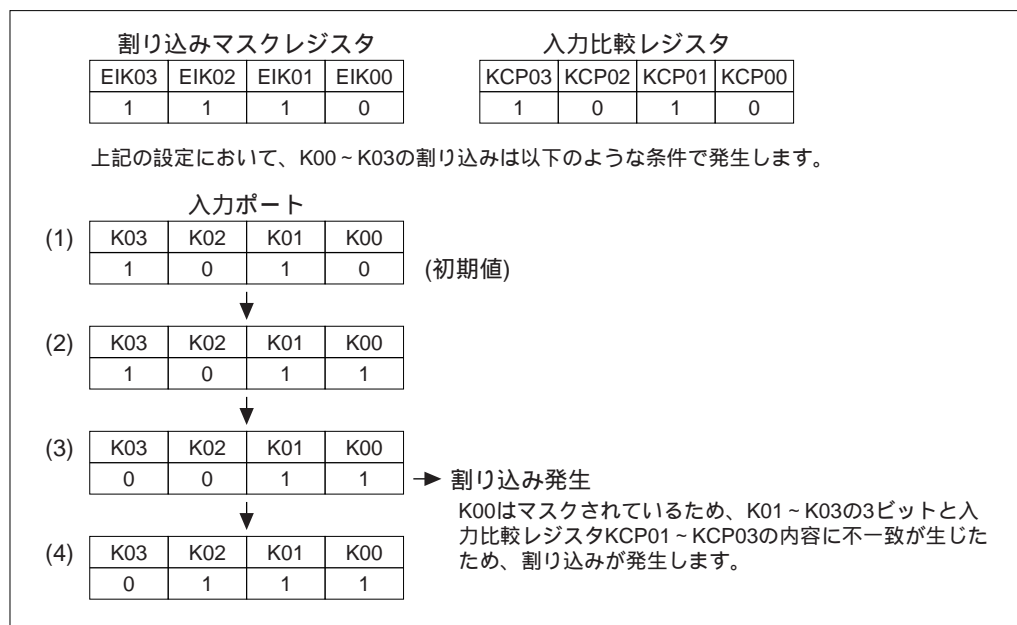


図4.4.2.2 K00～K03割り込み発生例

K00は割り込みマスクレジスタ(EIK00)によってマスクされているため、(2)の時点では割り込みは発生しません。次に(3)でK03が"0"になるため、割り込みがイネーブルになっている端子のデータと入力比較レジスタのデータとの不一致により割り込みが発生します。前述のとおり、ポートデータと入力比較レジスタの内容が一致状態から不一致状態に変化することが割り込み発生条件となるため、(4)のように不一致状態から、別の不一致状態に変化しても割り込みは発生しません。また、割り込みがマスクされている端子は割り込み発生条件に影響を与えません。

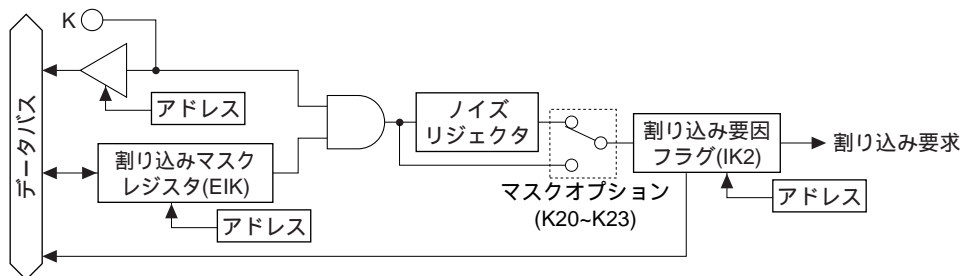


図4.4.2.3 入力割り込み回路構成 (K20 ~ K23)

K20 ~ K23には入力比較レジスタはなく、割り込みの発生は入力の立ち上がりエッジに固定されています。割り込みのマスクは、4ビットの端子について割り込みマスクレジスタ(EIK20 ~ EIK23)により個別に選択することができ、イネーブルになっている端子がすべて"0"の状態から1つ以上のポートが"1"の状態に変化したときに割り込みが発生します。

割り込みが発生した際には、割り込み要因フラグ(IK2)が"1"にセットされます。

図4.4.2.4に、K20 ~ K23の割り込み発生例を示します。

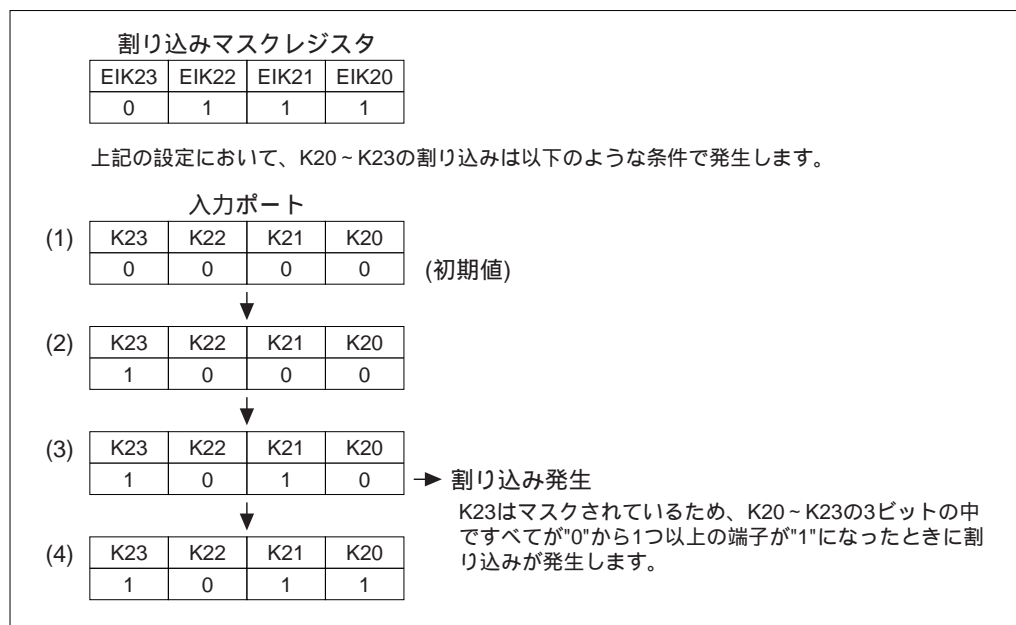


図4.4.2.4 K20 ~ K23割り込み発生例

K23は割り込みマスクレジスタ(EIK23)によってマスクされているため、(2)の時点では割り込みは発生しません。次に(3)でK21が"1"になるため、割り込みがイネーブルになっている端子がすべて"0"から1つ以上"1"に変化することにより割り込みが発生します。(4)においては前述の発生条件が成立しないため、割り込みは発生しません。また、割り込みがマスクされている端子は発生条件に影響を与えません。

## 4.4.3 マスクオプション

入力ポートのマスクオプションで選択できる内容は以下のとおりです。

- (1) 9ビットの入力ポート(K00～K03、K10、K20～K23)に対して、1ビットごとに内蔵プルダウン抵抗の有無を選択できます。

"プルダウン抵抗なし"を選択した場合は、入力にフローティング状態が発生しないよう注意してください。使用しない入力ポートは"プルダウン抵抗あり"を選択してください。











- (2) ノイズ等による割り込みの誤発生を防ぐため、入力割り込み回路にはノイズリジェクション回路が内蔵されています。各端子系列ごとにこのノイズリジェクション回路を使用するかしないか、マスクオプションで選択することができます。

"使用する"を選択した場合、割り込み条件成立から割り込み要因フラグ(IK)が"1"にセットされるまで、最大1msecの遅延が生じます。

## 4.4.4 入力ポートの制御方法

表4.4.4.1に入力ポートの制御ビットを示します。

表4.4.4.1 入力ポートの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	コメント
	D3	D2	D1	D0					
2E3H	K03	K02	K01	K00	K03	—*2	High	Low	入力ポートデータ(K00~K03)
	R	K02	—*2	High	Low				
		K01	—*2	High	Low				
		K00	—*2	High	Low				
2E4H	KCP03	KCP02	KCP01	KCP00	KCP03	0			入力比較レジスタ(K00~K03)
	R/W	KCP02	0						
		KCP01	0						
		KCP00	0						
2E5H	EIK03	EIK02	EIK01	EIK00	EIK03	0	Enable	Mask	割り込みマスクレジスタ(K00~K03)
	R/W	EIK02	0	Enable	Mask				
		EIK01	0	Enable	Mask				
		EIK00	0	Enable	Mask				
2E7H	SCTRG	EIK10	KCP10	K10	SCTRG*3	—	Trigger	—	シリアルI/Fクロックトリガ 割り込みマスクレジスタ(K10) 入力比較レジスタ(K10) 入力ポートデータ(K10)
	W	R/W	R	EIK10	0	Enable	Mask		
				KCP10	0				
				K10	—*2	High	Low		
2EAH	IK1	IK0	SWIT1	SWIT0	IK1 *4	0	Yes	No	割り込み要因フラグ(K10) 割り込み要因フラグ(K00~K03) 割り込み要因フラグ(ストップウォッチ1Hz) 割り込み要因フラグ(ストップウォッチ10Hz)
	R	IK0 *4	0	Yes	No				
		SWIT1 *4	0	Yes	No				
		SWIT0 *4	0	Yes	No				
2F3H	0	0	IK2	ISIO	0 *3	—*2	—	—	未使用 未使用 割り込み要因フラグ(K20~K23) 割り込み要因フラグ(シリアルI/F)
	R	0 *3	—*2	—	—				
		IK2 *4	0	Yes	No				
		ISIO *4	0	Yes	No				
2F4H	K23	K22	K21	K20	K23	—*2	High	Low	入力ポートデータ(K20~K23)
	R	K22	—*2	High	Low				
		K21	—*2	High	Low				
		K20	—*2	High	Low				
2F5H	EIK23	EIK22	EIK21	EIK20	EIK23	0	Enable	Mask	割り込みマスクレジスタ(K20~K23)
	R/W	EIK22	0	Enable	Mask				
		EIK21	0	Enable	Mask				
		EIK20	0	Enable	Mask				

\*1 イニシャルリセット時の初期値

\*3 読み出し時は常時"0"

\*5 不定

\*2 回路上設定されない

\*4 読み出し直後、リセット(0)

K00 ~ K03, K10, K20 ~ K23: 入力ポートデータ( 2E3H, 2E7H・D0, 2F4H )  
 入力ポート端子の入力データが読み出せます。

"1"読み出し: HIGHレベル  
 "0"読み出し: LOWレベル  
 書き込み: 無効

入力ポート9ビット( K00 ~ K03、K10、K20 ~ K23 )の端子電圧がそれぞれHIGH(  $V_{DD}$  )レベルのとき  
 "1"、LOW(  $V_{SS}$  )レベルのとき"0"として読み出せます。

これらのビットは読み出し専用のため、書き込み動作は無効となります。

KCP00 ~ KCP03, KCP10: 入力比較レジスタ( 2E4H, 2E7H・D1 )  
 K00 ~ K03、K10端子の割り込み発生条件を設定できます。

"1"書き込み: 立ち下がりエッジ  
 "0"書き込み: 立ち上がりエッジ  
 読み出し: 可能

入力ポート9ビット中、5ビットの端子( K00 ~ K03、K10 )は入力比較レジスタ( KCP00 ~ KCP03、  
 KCP10 )によって、割り込みの発生条件を入力の立ち上がりエッジとするか立ち下がりエッジとす  
 るか、1ビットごとに選択できます。

イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

EIK00 ~ EIK03, EIK10, EIK20 ~ EIK23: 割り込みマスクレジスタ( 2E5H, 2E7H・D2, 2F5H )  
 入力ポート端子の割り込みについて、マスクするかしないかを選択します。

"1"書き込み: イネーブル  
 "0"書き込み: マスク  
 読み出し: 可能

入力ポート9ビット( K00 ~ K03、K10、K20 ~ K23 )に対して、割り込みをマスクするかしないかを、  
 このレジスタにより、1ビットごとに選択できます。なお、書き込みは、D( インタラプトフラグ  
 ="0" )状態で行ってください。

イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

IK0, IK1, IK2: 割り込み要因フラグ( 2EAH・D2・D3, 2F3H・D1 )  
 入力割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込みあり  
 "0"読み出し: 割り込みなし  
 書き込み: 無効

割り込み要因フラグIK0、IK1、IK2はそれぞれK00 ~ K03、K10、K20 ~ K23の入力割り込みに対応  
 します。これらのフラグによって入力割り込みの有無を、ソフトウェアで判断することができま  
 す。これらのフラグは、ソフトウェアで読み出すことによってリセットされます。なお、読み出し  
 は、D( インタラプトフラグ="0" )状態で行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

## 4.4.5 プログラミング上の注意事項

- (1) 入力ポートをHIGHレベルからプルダウン抵抗でLOWレベルに変化させる場合、プルダウン抵抗と入力ゲート容量の積定数によって波形立ち下がりに遅延が生じます。このため、入力ポートの取り込みを行う際は、適切な待ち時間を設定してください。特に、キーマトリクス構成時のキースキャン等に注意が必要です。目安としては、約1msec程度の待ち時間が必要です。
- (2) マスクオプションで"ノイズリジェクト回路あり"を選択した場合、割り込み条件成立から割り込み要因フラグ( IK )が"1"にセットされるまで( 実際に割り込みが発生するまで )に、最大1msecの遅延が生じます。このため、割り込み要因フラグの読み出し( リセット )を行う際は、タイミングに注意する必要があります。たとえば、キーマトリクスにおいてキースキャンを行う場合、キースキャンにより入力の状態が変化して割り込み要因フラグがセットされるため、読み出してリセットする必要があります。ただし、キースキャンを行った直後に割り込み要因フラグの読み出しを行うと、遅延により読み出した後にフラグがセットされてしまい、リセットできません。
- (3) 入力割り込みプログラミング上の注意

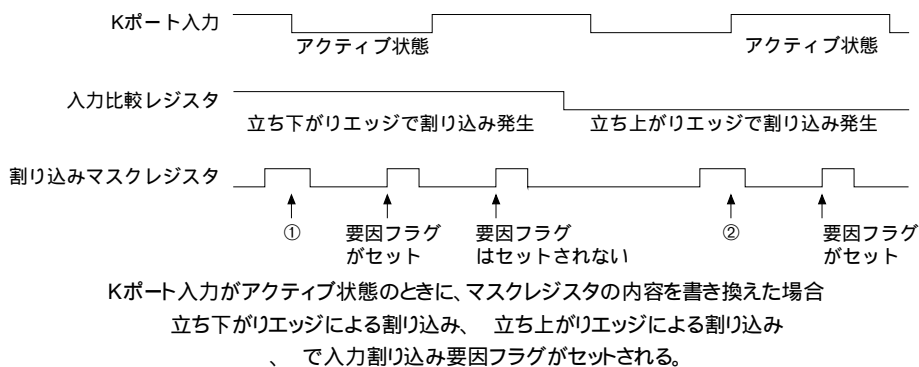


図4.4.5.1 入力割り込みタイミング

入力割り込みを使用する場合、割り込み入力となる入力端子の値がアクティブ状態のときにマスクレジスタの内容を書き換えると、入力割り込みの要因フラグがセットされることがあります。ここで、入力割り込みを使用した場合の入力端子のアクティブ状態とは、

立ち下がりエッジで割り込みがかかる場合: 入力端子=LOW状態

立ち上がりエッジで割り込みがかかる場合: 入力端子=HIGH状態

をいいます。

入力端子の立ち下がりエッジで割り込みをかける場合、図4.4.5.1の のタイミングで要因フラグがセットされますが、入力端子をLOW状態に保ったままマスクレジスタの内容をクリアして次にセットすると、セットしたタイミングで再び入力割り込みの要因フラグがセットされます。したがって、この場合立ち下がりエッジ以外で要因フラグがセットされないようにするために、入力端子がアクティブ状態( LOW状態 )のときはマスクレジスタの書き換え( マスクレジスタのクリア セット )を行わないでください。マスクレジスタをクリアした後セットする場合は、入力端子がアクティブでない状態( HIGH状態 )のときに、マスクレジスタをセットしてください。入力端子の立ち上がりエッジで割り込みをかける場合、図4.4.5.1の のタイミングで要因フラグがセットされます。この場合、マスクレジスタをクリア セットするときは、入力端子がLOW状態のときにマスクレジスタをセットしてください。

また、マスクレジスタ="1"かつ入力端子がアクティブ状態で入力比較レジスタの内容を書き換えると、入力割り込み要因フラグがセットされることがあります。入力比較レジスタの内容の書き換えは、マスクレジスタ="0"の状態で行ってください。

- (4) 割り込み要因フラグ( IK )の読み出しと、割り込みマスクレジスタ( EIK )への書き込みは、DK( インタラプトフラグ="0" )状態で行ってください。EK( インタラプトフラグ="1" )状態時のアクセスは誤動作の原因になります。

## 4.5 出力ポート( R00 ~ R03, R10 ~ R13 )

### 4.5.1 出力ポートの構成

S1C60N08シリーズは8ビット(4ビット×2)の汎用出力ポートを内蔵しています。各出力ポートの出力仕様はマスクオプションで個別に選択できます。選択できる出力仕様はコンプリメンタリ出力とPchオーブンドレイン出力の2種類です。また、出力ポートのR10～R13はマスクオプションにより特殊出力ポートとしても使用できます。図4.5.1.1に出力ポートの構成を示します。

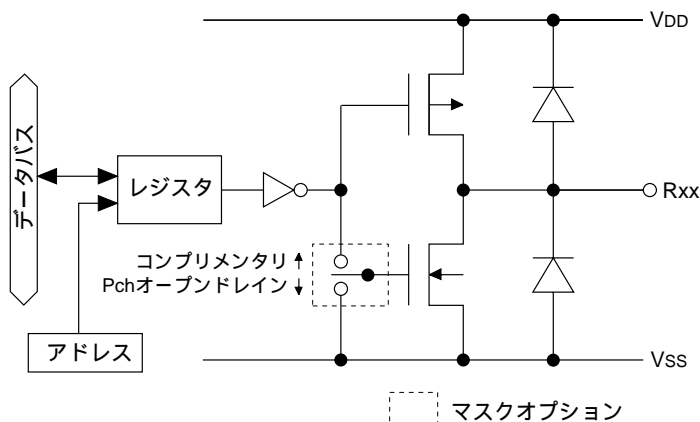


図4.5.1.1 出力ポートの構成

### 4.5.2 マスクオプション

出力ポートはマスクオプションにより以下の選択が行えます。

#### (1) 出力ポートの出力仕様

出力ポート( R00 ~ R03, R10 ~ R13 )の出力仕様は、8ビットのポート個々にコンプリメンタリ出力またはPchオーブンドレイン出力のいずれかが選択できます。

ただし、Pchオーブンドレイン出力を選択した場合でも出力ポートに電源電圧を越える電圧の印加は禁止します。

#### (2) 特殊出力

出力ポートR10～R13は通常のDC出力の他に表4.5.2.1に示す特殊出力を選択できます。

図4.5.2.1に出力ポートR10～R13の構造を示します。

表4.5.2.1 特殊出力

出力ポート	特殊出力
R10	BZ出力
R13	$\overline{\text{BZ}}$ 出力(R10にBZ出力を選択した場合のみ)
R11	SIOF出力
R12	FOUT出力

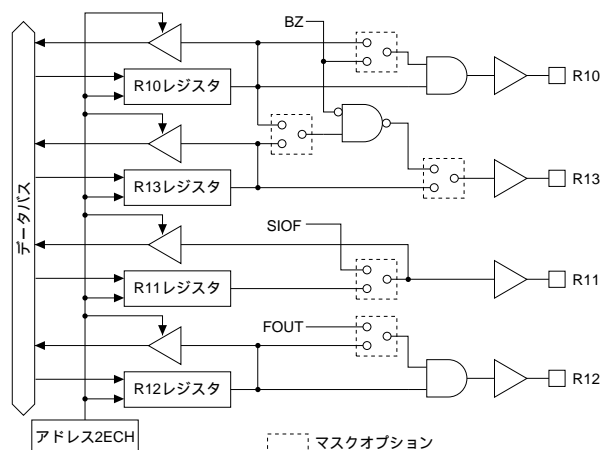


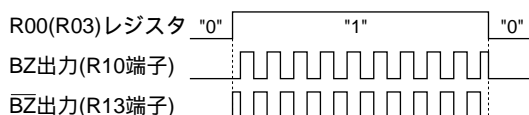
図4.5.2.1 出力ポートR10～R13の構造

BZ,  $\overline{\text{BZ}}$  (R10, R13)

BZ、 $\overline{\text{BZ}}$ は圧電ブザーを駆動するためのブザー信号出力で、ブザー信号は $f_{\text{osc1}}$ を分周して作られます。また、ブザー信号にデジタルエンベロープを付加することができます。詳細については"4.11 サウンドジェネレータ"を参照してください。

- 注:
- ・ BZ、 $\overline{\text{BZ}}$ 出力信号はON/OFF時にハザードを生じる可能性があります。
  - ・ 出力ポートR10をDC出力に設定した場合は出力ポートR13を $\overline{\text{BZ}}$ 出力に設定することはできません。

図4.5.2.2にBZ、 $\overline{\text{BZ}}$ の出力波形を示します。

図4.5.2.2 BZ、 $\overline{\text{BZ}}$ の出力波形

SIOF (R11)

出力ポートR11をSIOF出力に設定した場合、このポートはシリアルインタフェースの動作状態 (RUN状態/STOP状態)を示す信号を出力します。詳細については"4.7 シリアルインタフェース"を参照してください。

FOUT (R12)

出力ポートR12をFOUT出力に設定した場合、このポートは $f_{\text{osc1}}$ または $f_{\text{osc1}}$ を分周したクロックを出力します。クロックの周波数はマスクオプションで選択でき、その種類は表4.5.2.2のとおりです。

表4.5.2.2 FOUTクロック周波数

設定値	クロック周波数(Hz)	
	$f_{\text{osc1}} = 32.768\text{kHz}$	$f_{\text{osc1}} = 38.400\text{kHz}$
$f_{\text{osc1}} / 1$	32,768	38,400
$f_{\text{osc1}} / 2$	16,384	19,200
$f_{\text{osc1}} / 4$	8,192	9,600
$f_{\text{osc1}} / 8$	4,096	4,800
$f_{\text{osc1}} / 16$	2,048	2,400
$f_{\text{osc1}} / 32$	1,024	1,200
$f_{\text{osc1}} / 64$	512	600
$f_{\text{osc1}} / 128$	256	300

注: FOUT出力信号はON/OFF時にハザードを生じる可能性があります。



## 4.5.3 出力ポートの制御方法

表4.5.3.1に出力ポートの制御ビットを示します。

表4.5.3.1 出力ポートの制御ビット

アドレス	レジスタ								コメント
	D3	D2	D1	D0	Name	Init *1	1	0	
2EBH	R03	R02	R01	R00	R03	0	High	Low	出力ポート(R03)
					R02	0	High	Low	出力ポート(R02)
					R01	0	High	Low	出力ポート(R01)
					R00	0	High	Low	出力ポート(R00)
2ECH	R/W								
	R13	R12	R11	R10	R13	0	High/On	Low/Off	出力ポート(R13)/BZ出力制御
			SIOF		R12	0	High/On	Low/Off	出力ポート(R12)/FOUT出力制御
					R11	0	High	Low	出力ポート(R11, LAMP)
			R/W		SIOF	0	Run	Stop	出力ポート(SIOF)
			R	R/W	R10	0	High/On	Low/Off	出力ポート(R10)/BZ出力制御

\*1 イニシャルリセット時の初期値

\*3 読み出し時は常時"0"

\*5 不定

\*2 回路上設定されない

\*4 読み出し直後、リセット(0)

R00 ~ R03, R10 ~ R13( DC出力時 ): 出力ポートデータ( 2EBH, 2ECH )  
各出力ポートの出力データを設定します。

"1"書き込み: HIGHレベル出力  
"0"書き込み: LOWレベル出力  
読み出し: 可能

出力ポート端子は対応するレジスタ( R00 ~ R03, R10 ~ R13 )に書き込まれたデータをそのまま出力します。レジスタに"1"を書き込んだ場合、出力ポート端子はHIGH(  $V_{DD}$  )レベルになり、"0"を書き込んだ場合はLOW(  $V_{SS}$  )レベルになります。

イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

R10, R13( BZ,  $\overline{BZ}$ 出力選択時 ): 特殊出力ポートデータ( 2ECH・D0・D3 )  
ブザー信号( BZ,  $\overline{BZ}$  )の出力制御を行います。

"1"書き込み: ブザー信号出力  
"0"書き込み: LOWレベル( DC )出力  
読み出し: 可能

$\overline{BZ}$ はR13端子から出力されますが、この出力制御をレジスタR13で行うか、レジスタR10でBZと同時にを行うかをマスクオプションで選択できます。

$\overline{BZ}$ 出力をR13制御とした場合

BZ出力と $\overline{BZ}$ 出力を個別に制御できます。BZ出力の制御はレジスタR10にデータを書き込むことにより行い、 $\overline{BZ}$ 出力の制御はレジスタR13にデータを書き込むことにより行います。

$\overline{BZ}$ 出力をR10制御とした場合

BZ出力と $\overline{BZ}$ 出力の制御をレジスタR10のみにデータを書き込むことにより同時に行います。この場合、レジスタR13はリード/ライト可能な1ビットの汎用レジスタとして使用でき、このレジスタのデータは $\overline{BZ}$ 出力( R13端子の出力 )に影響を与えません。

イニシャルリセット時、レジスタR10、R13は"0"に設定されます。

R11( SIOF出力選択時 ): 特殊出力ポートデータ( 2ECH・D1 )  
シリアル入出力ポートの動作状態を示します。

"1"読み出し: RUN状態  
"0"読み出し: STOP状態  
書き込み: 無効

SIOFの詳細については"4.7 シリアルインタフェース"を参照してください。なお、このビットは読み出し専用のため、データの書き込みは無効となります。

R12( FOUT出力選択時 ): 特殊出力ポートデータ( 2ECH・D2 )  
FOUT( クロック )出力を制御します。

"1"書き込み : クロック出力  
"0"書き込み : LOWレベル( DC )出力  
読み出し : 可能

レジスタR12へのデータ書き込みにより、FOUT出力を制御できます。  
イニシャルリセット時、このレジスタは"0"に設定されます。

#### 4.5.4 プログラミング上の注意事項

マスクオプションでBZ、 $\overline{\text{BZ}}$ 、FOUTを選択した場合、出力レジスタのデータ変更時に出力波形にハザードが出る場合があります。

## 4.6 入出力兼用ポート( P00 ~ P03, P10 ~ P13 )

### 4.6.1 入出力兼用ポートの構成

S1C60N08シリーズは8ビット(4ビット×2)の汎用入出力兼用ポートを内蔵しています。図4.6.1.1に入出力兼用ポートの構成を示します。

入出力兼用ポートはP00～P03とP10～P13の4ビットずつをそれぞれ入力モードまたは出力モードに設定できます。この設定はI/O制御レジスタにデータを書き込むことによって行います。

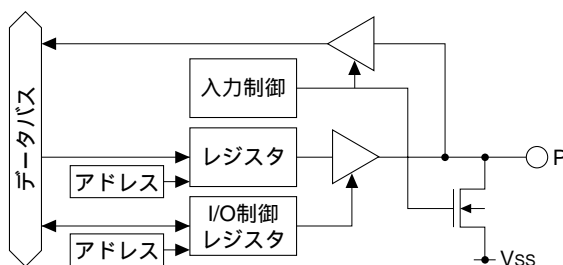


図4.6.1.1 入出力兼用ポートの構成

### 4.6.2 I/O制御レジスタと入力/出力モード

入出力兼用ポートP00～P03とP10～P13は、それぞれの4ビットに対応したI/O制御レジスタIOC0とIOC1にデータを書き込むことにより入力モードあるいは出力モードに設定されます。

入力モードに設定する場合はI/O制御レジスタに"0"を書き込みます。入力モードに設定された入出力兼用ポートは、ハインピーダンス状態となり入力ポートとして働きます。

ただし、入力データの読み込み時は、入力ラインがプルダウンされます。

出力モードに設定する場合はI/O制御レジスタに"1"を書き込みます。出力モードに設定された入出力兼用ポートは出力ポートとして働き、ポート出力データが"1"の場合にHIGH(  $V_{DD}$  )レベル、"0"の場合にLOW(  $V_{SS}$  )レベルの出力を行います。

イニシャルリセット時、I/O制御レジスタは"0"に設定され、入出力兼用ポートは入力モードになります。

### 4.6.3 マスクオプション

入出力兼用ポートは出力モード時(  $IOC="1"$  )の出力仕様としてコンプリメンタリ出力、またはPchオープンドレインのいずれかをマスクオプションにより設定できます。この設定は1ビットの各ポートごとに行えます。

ただし、Pchオープンドレイン出力を選択した場合でも、ポートに電源電圧を越える電圧を印加することは禁止します。

## 4.6.4 入出力兼用ポートの制御方法

表4.6.4.1に入出力兼用ポートの制御ビットを示します。

表4.6.4.1 入出力兼用ポートの制御ビット

アドレス	レジスタ				コメント				
	D3	D2	D1	D0	Name	Init *1	1	0	
2EDH	P03	P02	P01	P00	P03	−*2	High	Low	入出力兼用ポートデータ(P00~P03) イニシャルリセット時、出力ラッチはリセット
	R/W				P02	−*2	High	Low	
					P01	−*2	High	Low	
					P00	−*2	High	Low	
2EEH	TMRST	SWRUN	SWRST	IOC0	TMRST*3	Reset	Reset	−	計時タイマリセット ストップウォッチタイマRun/Stop ストップウォッチタイマリセット I/O制御レジスタ0 (P00~P03)
	W				SWRUN	0	Run	Stop	
					SWRST*3	Reset	Reset	−	
					IOC0	0	Output	Input	
2FDH	P13	P12	P11	P10	P13	−*2	High	Low	入出力兼用ポートデータ(P10~P13) イニシャルリセット時、出力ラッチはリセット
	R/W				P12	−*2	High	Low	
					P11	−*2	High	Low	
					P10	−*2	High	Low	
2FEH	PRSM	CLKCHG	OSCC	IOC1	PRSM	0	38 kHz	32 kHz	OSC1プリスケアラ選択 CPUクロック切り換え OSC3発振On/Off I/O制御レジスタ(P10~P13)
	R/W				CLKCHG	0	OSC3	OSC1	
					OSCC	0	On	Off	
					IOC1	0	Output	Input	

\*1 イニシャルリセット時の初期値

\*3 読み出し時は常時"0"

\*5 不定

\*2 回路上設定されない

\*4 読み出し直後、リセット(0)

P00 ~ P03, P10 ~ P13: 入出力兼用ポートデータ(2EDH, 2FDH)

入出力兼用ポートデータの読み出し、および出力データの設定を行います。

データ書き込み時

"1"書き込み: HIGHレベル

"0"書き込み: LOWレベル

入出力兼用ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力兼用ポート端子に出力されます。ポートデータとして"1"を書き込んだ場合はポート端子はHIGH( $V_{DD}$ )レベルになり、"0"を書き込んだ場合はLOW( $V_{SS}$ )レベルになります。

なお、入力モードの場合もポートデータの書き込みは行えます。

データ読み出し時

"1"読み出し時: HIGHレベル

"0"読み出し時: LOWレベル

入出力兼用ポートの端子電圧レベルを読み出します。入出力兼用ポートが入力モードの場合はポート端子に入力されている電圧レベルが読み出され、出力モードに設定されている場合は出力電圧レベルが読み出されます。端子電圧がHIGH( $V_{DD}$ )レベルの場合は読み出されるポートデータが"1"、LOW( $V_{SS}$ )レベルの場合は"0"となります。

また、読み出し時には内蔵ブルダウン抵抗がONとなり、入出力兼用ポート端子がブルダウンされます。

注: ・ 入出力兼用ポートが出力モードに設定され、ポート端子に低インピーダンスの負荷が接続されている場合、レジスタに書き込んだデータと読み出したデータが異なることがあります。

・ 入出力兼用ポートが入力モードに設定され、内蔵ブルダウン抵抗によりLOW( $V_{SS}$ )レベルが与えられる場合、入力ラインの容量性負荷と内蔵ブルダウン抵抗との時定数が読み出し時間より大きいと誤入力となります。入力データの読み出し時に入力ラインがブルダウンされる時間はCPUシステムクロックの1.5周期分ですが、端子の電位は0.5周期以内に定まる必要があります。この条件を満たせない場合はブルダウン抵抗を外部に設けるか、複数回の読み出しを行う等の対策が必要です。

IOC0, IOC1: I/O制御レジスタ(2EEH・D0, 2FEH・D0)

入出力兼用ポートの入力/出力モードを設定します。

"1"書き込み: 出力モード

"0"書き込み: 入力モード

読み出し: 可能

入出力兼用ポートの入力/出力モードを4ビット単位に設定します。IOC0はP00～P03のモード設定、IOC1はP10～P13のモード設定を行います。

I/O制御レジスタに"1"を書き込むことにより対応する入出力兼用ポートが出力モードに、"0"を書き込むことにより入力モードになります。

イニシャルリセット時、この2つのレジスタは"0"に設定され、入出力兼用ポートはすべて入力モードになります。

#### 4.6.5 プログラミング上の注意事項

- (1) 入出力兼用ポートの入力をHIGHレベルから内蔵プルダウン抵抗でLOWレベルに変化させる場合、プルダウン抵抗と入力ゲート容量の時定数によって波形立ち下がりに遅延が生じます。そのため、OSC3発振回路でCPUが動作中にデータを読み出す場合は、約500μsec程度の時間、連続してデータを読み出す必要があります。
- (2) 入出力兼用ポートを出力モードに設定している際にデータレジスタを読み出した場合は、レジスタのデータではなく端子データが読み出されます。そのため、低インピーダンスの負荷を接続した場合に、この読み出しを行うとレジスタの値と読み出し結果が異なる場合があります。

## 4.7 シリアルインタフェース( SIN, SOUT, SCLK )

### 4.7.1 シリアルインタフェースの構成

S1C60N08はクロック同期型の8ビットシリアルインタフェースを内蔵しています。

図4.7.1.1にシリアルインタフェースの構成を示します。

CPUはSIN端子より入力されたシリアルデータを8ビットのシフトレジスタを介して読み取ることができます。また、同じ8ビットのシフトレジスタを介してパラレルデータをシリアル変換し、SOUT端子に出力することができます。シリアルデータを入出力するための同期クロックは、マスタモード(内部クロックモード: 本CPUがシリアル入出力のマスタとなる場合)の種類とスレーブモード(外部クロックモード: 本CPUがシリアル入出力のスレーブとなる場合)の種類の中から1つをソフトウェアにより選択できます。また、本シリアルインタフェースをスレーブモードで使う場合には、シリアルインタフェースが送受信可能かどうかを示すSIOF信号をマスクオプションにより出力端子R11に出力することができます。

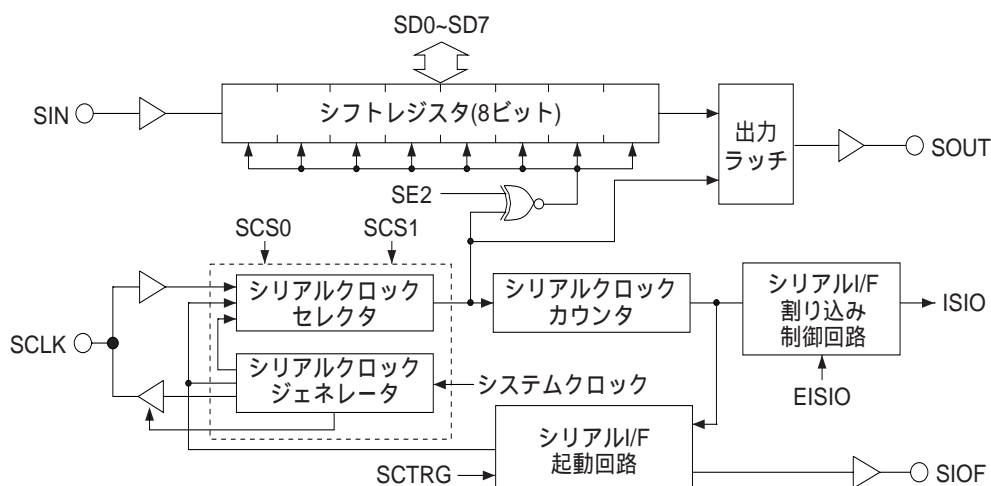


図4.7.1.1 シリアルインタフェースの構成

### 4.7.2 シリアルインタフェースのマスタモードとスレーブモード

S1C60N08のシリアルインタフェースは、マスタモードとスレーブモードの2種類の動作モードを持っています。

マスタモードでは内蔵シフトレジスタの同期クロックとして内部クロックを使用し、この内部クロックをSCLK端子に出力し、外部の(スレーブ側の)シリアル入出力回路を制御することができます。スレーブモードでは、外部の(マスタ側の)シリアル入出力回路より出力される同期クロックをSCLK端子より入力し、本CPU内蔵のシリアルインタフェースの同期クロックとして使用することができます。

マスタモードとスレーブモードは、レジスタSCS0とSCS1(アドレス2F2HのD2、D3)にデータを書き込むことによって切り換えることができます。表4.7.2.1に示すように、マスタモードにした場合は、同期クロックとして3種類の中の1つを選択することができます。

表4.7.2.1 同期クロック選択

SCS1	SCS0	モード	同期クロック
0	0	マスタモード	CLK
0	1		CLK/2
1	0		CLK/4
1	1	スレーブモード	外部クロック

CLK: CPUシステムクロック

イニシャルリセット時はスレーブモード(外部クロックモード)が選択されます。

また、同期クロックは、8ビット・シリアルデータの入出力に伴い次のように制御されています。

- ・ マスタモードでは、SCLK端子よりクロックが8個出力されると自動的にクロック出力を停止し、SCLK端子はLOWに固定されます。
- ・ スレーブモードでは、SCLK端子よりクロックが8個入力されると以降のクロック入力はマスクされます。

注: シリアルインタフェースをマスタモードで使用する場合、同期クロックはCPUのシステムクロックを使用しています。したがって、シリアルインタフェースが動作しているときは、システムクロックの切り換え( $f_{OSC1} \leftrightarrow f_{OSC3}$ )を行わないでください。

基本的なシリアル入出力部の接続例を図4.7.2.1に示します。

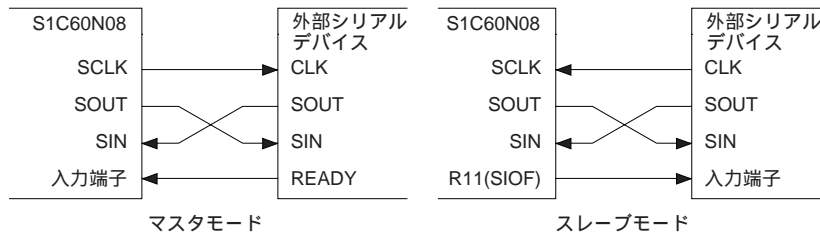


図4.7.2.1 基本的接続例

#### 4.7.3 データの入出力と割り込み

S1C60N08のシリアルインタフェースは、内部の8ビットシフトレジスタを介してデータの入出力をすることができます。シフトレジスタのシフト動作は、SCLK端子より出力される(マスタモード)同期クロックか、SCLK端子に入力される(スレーブモード)同期クロックに同期して動作します。シリアルインタフェースは8ビットのシリアルデータの入出力が終了すると割り込みを発生します。シリアルデータの入出力の検出は同期クロックSCLKをカウントすることで行っており、クロックが8個(8周期分)カウントされた時点で終了と判断して割り込みを発生します。

以下に、シリアルデータの入出力方法について説明します。

##### (1) シリアルデータの出力と割り込み

S1C60N08のシリアルインタフェースは8ビット単位でパラレルデータをシリアル出力することができます。

パラレルデータを4ビットレジスタSD0～SD3(アドレス2F0H)と4ビットレジスタSD4～SD7(アドレス2F1H)にセットし、SCTRGビット(アドレス2E7H・D3)を"1"にセットすると、同期クロックに同期してSOUT端子にシリアルデータが出力されます。このとき同期クロックは、マスタモードでは内部クロックがSCLK端子に出力され、スレーブモードでは外部クロックがSCLK端子より入力されます。SOUT端子のシリアル出力はSCLK端子から入力、または出力されるクロックの立ち上がりで変化します。

また、CPU内部シフトレジスタのデータは、SE2ビット(アドレス2F2H・D1)が"1"のときはSCLK信号の立ち上がりでシフトし、SE2ビットが"0"のときはSCLK信号の立ち下がりでシフトします。SD0からSD7までの8ビットのデータを出力し終わると割り込み要因フラグISIQ(アドレス2F3H・D0)がセットされ、割り込みが発生します。なお、割り込みマスクレジスタEISIQ(アドレス2F2H・D0)によって割り込みを禁止することもできます。

##### (2) シリアルデータの入力と割り込み

S1C60N08のシリアルインタフェースは8ビット単位でシリアルデータをパラレルデータとして入力することができます。

シリアルデータはSIN端子より入力され、同期クロックに同期してCPU内部の8ビットシフトレジスタに順次取り込まれます。同期クロックは、「(1) シリアルデータの出力と割り込み」で説明したとおりマスタモードでは内部クロックが使われ、スレーブモードでは外部クロックが使われます。

データを出力する場合と同様にSCLK端子に同期クロックを出力したり、SCLK端子より同期クロックを入力したりすることができます。

内蔵シフトレジスタへのシリアルデータは、SE2ビットが"1"のときはSCLK信号の立ち上がりで取り込まれ、SE2ビットが"0"のときはSCLK信号の立ち下がりで取り込まれます。シリアルデータが取り込まれるとともに、シフトレジスタ内のデータは順次シフトされます。

SD0からSD7までの8ビットのデータを入力し終わると割り込み要因フラグISIOがセットされ、割り込みが発生します。なお、割り込みマスクレジスタEISIOによって割り込みを禁止することもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、8ビットデータの入力後"1"にセットされます。

シフトレジスタに入力されたデータは、レジスタSD0～SD7からソフトウェアによって読み出すことができます。

### (3) シリアルデータの入出力順序

S1C60N08はマスクオプションによりシリアルデータの入出力の順序をLSBを先頭にするかMSBを先頭にするかを切り換えることができます。LSBを先頭にした場合とMSBを先頭にした場合のブロック図を図4.7.3.1に示します。

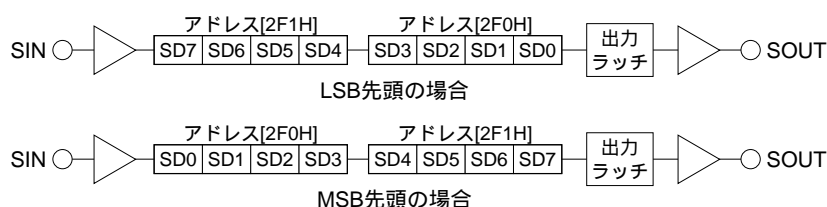


図4.7.3.1 シリアルデータの入出力順序

### (4) SIOF信号

S1C60N08のシリアルインタフェースをスレーブモード(外部クロックモード)で使用する場合には、マスタ側(外部)のシリアル入出力回路に対してCPU内部のシリアルインタフェースが送受信可能かどうかを伝えるためのSIOFを出力することができます。SIOF信号はマスクオプションにより出力端子R11より出力されます。

SIOF信号はS1C60N08のシリアル入出力回路が送信または受信可能な状態になったときに"1"(HIGH)となり、通常は"0"(LOW)となっています。

SIOF信号はSCTRGビットをセットした直後に"0"から"1"に変化し、同期クロックが8個(8周期分)カウントされた時点で"1"から"0"に戻ります。

### (5) タイミングチャート

S1C60N08のシリアルインタフェースのタイミングチャートを図4.7.3.2に示します。



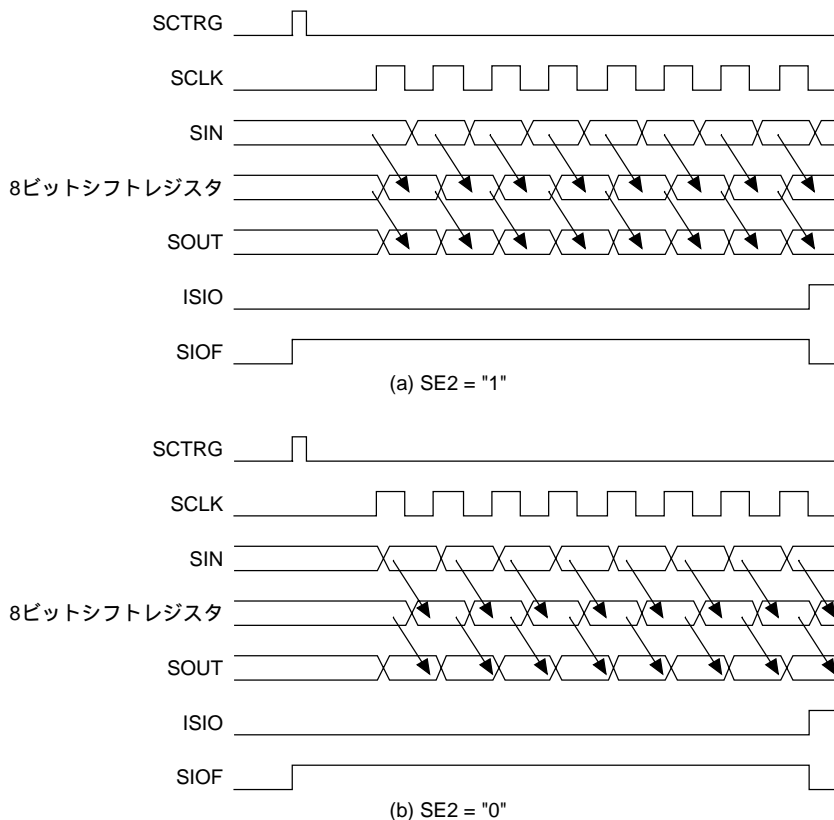


図4.7.3.2 シリアルインタフェースのタイミングチャート

#### 4.7.4 マスクオプション

シリアルインタフェースはマスクオプションにより以下の選択が行えます。

- (1) SIN端子は内蔵プルダウン抵抗の有無を選択できます。  
"プルダウン抵抗なし"を選択した場合はSIN端子にフローティング状態が発生しないように注意してください。SIN端子を使用しない場合は"プルダウン抵抗あり"を選択してください。
- (2) SOUT端子は出力仕様としてコンプリメンタリ出力、Pchオープンドレイン出力のいずれかを選択できます。ただし、Pchオープンドレイン出力を選択した場合でも、SOUT端子に電源電圧を越える電圧の印加は禁止します。
- (3) SCLK端子は入力モード(外部クロック)時にONになる内蔵プルダウン抵抗の有無を選択できます。"プルダウン抵抗なし"を選択した場合はSCLK端子が入力モード時にフローティング状態にならないように注意してください。通常は"プルダウン抵抗あり"を選択してください。
- (4) SCLK端子は出力モード時の出力仕様としてコンプリメンタリ出力、Pchオープンドレイン出力のいずれかを選択できます。
- (5) SCLK端子は信号論理の正負が選択できます(SCLKまたは $\overline{\text{SCLK}}$ )。  
ただし、入力モード時はプルダウン抵抗のみの設定となっていますので注意をしてください(プルアップ抵抗は内蔵していません)。
- (6) シリアルデータの入出力順列としてMSB先頭またはLSB先頭が選択できます。
- (7) 出力ポートR11("4.5 出力ポート"参照)を、シリアルインタフェースの動作状態を示すSIOF出力に設定できます。

## 4.7.5 シリアルインタフェースの制御方法

表4.7.5.1にシリアルインタフェースの制御ビットを示します。

表4.7.5.1 シリアル入出力ポートの制御ビット

アドレス	レジスタ				コメント			
	D3	D2	D1	D0	Name	Init *1	1	0
2EH	SCTRG	EIK10	KCP10	K10	SCTRG*3	–	Trigger	–
					EIK10	0	Enable	Mask
					KCP10	0		
	W	R/W		R	K10	–*2	High	Low
2ECH	R13	R12	R11	R10	R13	0	High/On	Low/Off
			SIOF		R12	0	High/On	Low/Off
					R11	0	High	Low
			R/W	R/W	SIOF	0	Run	Stop
			R	R/W	R10	0	High/On	Low/Off
2F0H	SD3	SD2	SD1	SD0	SD3	×*5		
					SD2	×*5		
					SD1	×*5		
					SD0	×*5		
2F1H	SD7	SD6	SD5	SD4	SD7	×*5		
					SD6	×*5		
					SD5	×*5		
					SD4	×*5		
2F2H	SCS1	SCS0	SE2	EISIO	SCS1	1		
					SCS0	1		
					SE2	0		
					EISIO	0	Enable	Mask
2F3H	0	0	IK2	ISIO	0*3	–*2	–	–
					0*3	–*2	–	–
					IK2*4	0	Yes	No
					ISIO*4	0	Yes	No

\*1 イニシャルリセット時の初期値

\*3 読み出し時は常時"0"

\*5 不定

\*2 回路上設定されない

\*4 読み出し直後、リセット(0)

SD0～SD3, SD4～SD7: シリアルインタフェースデータレジスタ(2F0H, 2F1H)  
シリアルデータの書き込み/読み出しを行います。

データ書き込み時

"1"書き込み: HIGHレベル

"0"書き込み: LOWレベル

SOUT端子から出力するシリアルデータを書き込みます。SOUT端子からは"1"に設定されたビットがHIGH( $V_{DD}$ )レベル、"0"に設定されたビットがLOW( $V_{SS}$ )レベルとしてシリアル変換されたデータが出力されます。

データ読み出し時

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

SIN端子から入力されたシリアルデータを読み出します。このレジスタにはSIN端子から入力されたHIGH( $V_{DD}$ )レベルのビットを"1"、LOW( $V_{SS}$ )レベルのビットを"0"としてパラレル変換されたデータが読み出されます。データの読み出しは、シリアルインタフェースが停止中(同期クロックが入力/出力されていない状態)のときにのみ行ってください。

イニシャルリセット時、このレジスタ内のデータは不定です。

SCS1, SCS0: クロックモード選択レジスタ(2F2H・D3・D2)  
シリアルインタフェースの同期クロック(SCLK)を選択します。

表4.7.5.2 同期クロック選択

SCS1	SCS0	モード	同期クロック
0	0	マスタモード	CLK
0	1		CLK/2
1	0		CLK/4
1	1	スレーブモード	外部クロック

CLK: CPUシステムクロック

同期クロック(SCLK)は内部クロック3種類と外部クロックの上記4種類の中から選択します。  
イニシャルリセット時は外部クロックが選択されます。

SE2: クロックエッジ選択レジスタ(2F2H・D1)  
SIN端子から入力するシリアルデータの読み込みタイミングを選択します。

"1"書き込み: SCLK立ち上がりエッジ  
"0"書き込み: SCLK立ち下がりエッジ  
読み出し: 可能

シリアル入力データのレジスタ(SD0～SD7)への読み込みをSCLK信号の立ち上がりエッジ("1"書き込み時)で行うか、立ち下がりエッジ("0"書き込み時)で行うかを選択します。  
マスクオプションにより同期クロックを逆相(SCLK SCLK)とした場合は注意してください。

$SCLK \text{立ち上がり} = \overline{SCLK} \text{立ち下がり}$ 、 $SCLK \text{立ち下がり} = \overline{SCLK} \text{立ち上がり}$

同期クロック(SCLK)に内部クロックが選択されている場合、レジスタSE2へのデータ書き込み時に同期クロック(SCLK)にハザードを生じます。

入力データの読み込みタイミングは選択できますが、出力データの出力タイミングはSCLK立ち上がりエッジに固定です。

イニシャルリセット時はSCLK立ち下がり(SE2="0")が選択されます。

EISIO: 割り込みマスクレジスタ(2F2H・D0)  
シリアル入出力ポートからの割り込みマスクを設定します。

"1"書き込み: 割り込みイネーブル  
"0"書き込み: 割り込みをマスク  
読み出し: 可能

イニシャルリセット時はマスク(EISIO="0")が選択されます。

ISIO: 割り込み要因フラグ(2F3H・D0)  
シリアルインタフェースからの割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込みあり  
"0"読み出し: 割り込みなし  
書き込み: 無効

この割り込み要因フラグを読み出すことにより、シリアルインタフェースからの割り込みの有無をソフトウェアで判断することができます。割り込み要因フラグは読み出された時点でリセットされます。ただし、このフラグは割り込みをマスクしていても、8ビットデータの入出力後"1"にセットされます。また、フラグの読み出しはDK(インタラプトフラグ="0")状態で行ってください。  
イニシャルリセット時、このフラグは"0"に設定されます。

SCTRG: クロックトリガ( 2E7H・D3 )

同期クロック( SCLK )の入力/出力開始トリガです。

"1"書き込み: トリガ入力  
 "0"書き込み: ノーオペレーション  
 読み出し: 常時"0"

シリアルインタフェース起動回路にこのトリガ入力を与えると、同期クロック( SCLK )の入力/出力を開始します。トリガ条件として、SCTRGに"1"を書き込む以前に、データレジスタSD0～SD7の書き込み、または読み出しが行われている必要があります。(データレジスタSD0～SD7への書き込み/読み出しにより、シリアルインタフェースの内部回路は初期化されます。)

トリガ入力はシリアルインタフェースがRUN状態になるごとに一度だけ与えてください。複数回のトリガ入力は誤動作につながりますので避けてください。

また、同期クロック( SCLK )が外部クロックの場合はトリガ入力後に外部クロックの入力を開始してください。

SIOF: 特殊出力ポートデータ( 2ECH・D1 )

シリアルインタフェースの動作状態を示します。

"1"読み出し: RUN状態  
 "0"読み出し: STOP状態  
 書き込み: 無効

RUN状態とはSCTRGビットへの"1"の書き込み終了からシリアルデータの入出力終了までを示します。

#### 4.7.6 プログラミング上の注意事項

- (1) SCLKが内部クロックモードの状態ではSE2のビットデータを変更した場合、SCLK端子にハザードが出力されます。この現象がシステム上問題となる場合はSE2のビットを変更する際にSCLKを必ず外部クロックモードに設定してください。
- (2) 割り込み要因フラグ( ISIO )の読み出しはシリアルインタフェースがSTOR( SIOF="0" )状態、かつDK( インタラプトフラグ="0" )状態でのみ行ってください。シリアルデータの入出力中( RUN中 )に読み出しを行うと、データの入出力を中断し初期状態となります。また、EK( インタラプトフラグ="1" )状態時に読み出すと誤動作の原因になります。
- (3) シリアルインタフェースをマスタモードで使用する場合、同期クロックはCPUのシステムクロックを使用しています。したがって、シリアルインタフェースが動作しているときは、システムクロックの切り換え( fosc1 $\leftrightarrow$ fosc3 )を行わないでください。
- (4) データレジスタSD0～SD7への書き込み、または読み出しはシリアルインタフェースが停止中( 同期クロックが入力/出力されていない状態 )のときのみ行ってください。
- (5) シリアルインタフェースの起動はトリガ条件として、SCTRGに"1"を書き込む以前に、データレジスタSD0～SD7の書き込み/読み出しが行われている必要があります。(データレジスタSD0～SD7への書き込み/読み出しにより、シリアルインタフェースの内部回路は初期化されます。)  
トリガはシリアルインタフェースをRUN状態にするごとに一度だけ与えてください。また、同期クロックSCLKが外部クロックの場合は、トリガ後に外部クロックの入力を開始してください。
- (6) 割り込みマスキレジスタへの書き込みは、割り込みがDK( インタラプトフラグ="0" )状態のときに行ってください。EK( インタラプトフラグ="1" )状態のときに割り込みマスキレジスタへ書き込むと誤動作の原因になります。

## 4.8 LCDドライバ (COM0 ~ COM3, SEG0 ~ SEG47)

### 4.8.1 LCDドライバの構成

S1C60N08シリーズは4本のコモン端子と48本のセグメント端子を持ち、最大192 (48 × 4) セグメントのLCDを駆動できます。

駆動方式は $V_{DD}$ 、 $V_{L1}$ 、 $V_{L2}$ 、 $V_{L3}$ の4電位 (1/3バイアス) による1/4デューティ (マスクオプションで1/3、1/2デューティも可) ダイナミック駆動です。また、マスクオプションにより、 $V_{DD}$ 、 $V_{L1}=V_{L2}$ 、 $V_{L3}$ の3電位 (1/2バイアス) による1/4デューティ (マスクオプションで1/3、1/2デューティも可) ダイナミック駆動も選択できます。

1/2バイアス選択時は、内蔵のLCD系定電圧回路を使用しない場合にのみ有効です。 $V_{L1}$ 端子と $V_{L2}$ 端子をIC外部で接続してください。

フレーム周波数は1/4デューティおよび1/2デューティが32Hz、1/3デューティが42.7Hzになります ( $f_{osc1}=32.768\text{kHz}$ の場合)。

図4.8.1.1 ~ 図4.8.1.6に各バイアス、デューティの駆動波形を示します。

注: ・  $f_{osc1}$ は発振回路の発振周波数を示します。

- すべての機種において、セグメント端子の一部あるいは全部をマスクオプションでDC出力に設定した場合、LCD系定電圧回路を使用することはできません。逆に、LCD系定電圧回路を使用する場合は、セグメント端子のDC出力は禁止されます。

表4.8.1.1 LCD系定電圧回路とセグメント端子によるDC出力

LCD系定電圧回路	SEG端子のDC出力
使用する	不可
使用しない	可

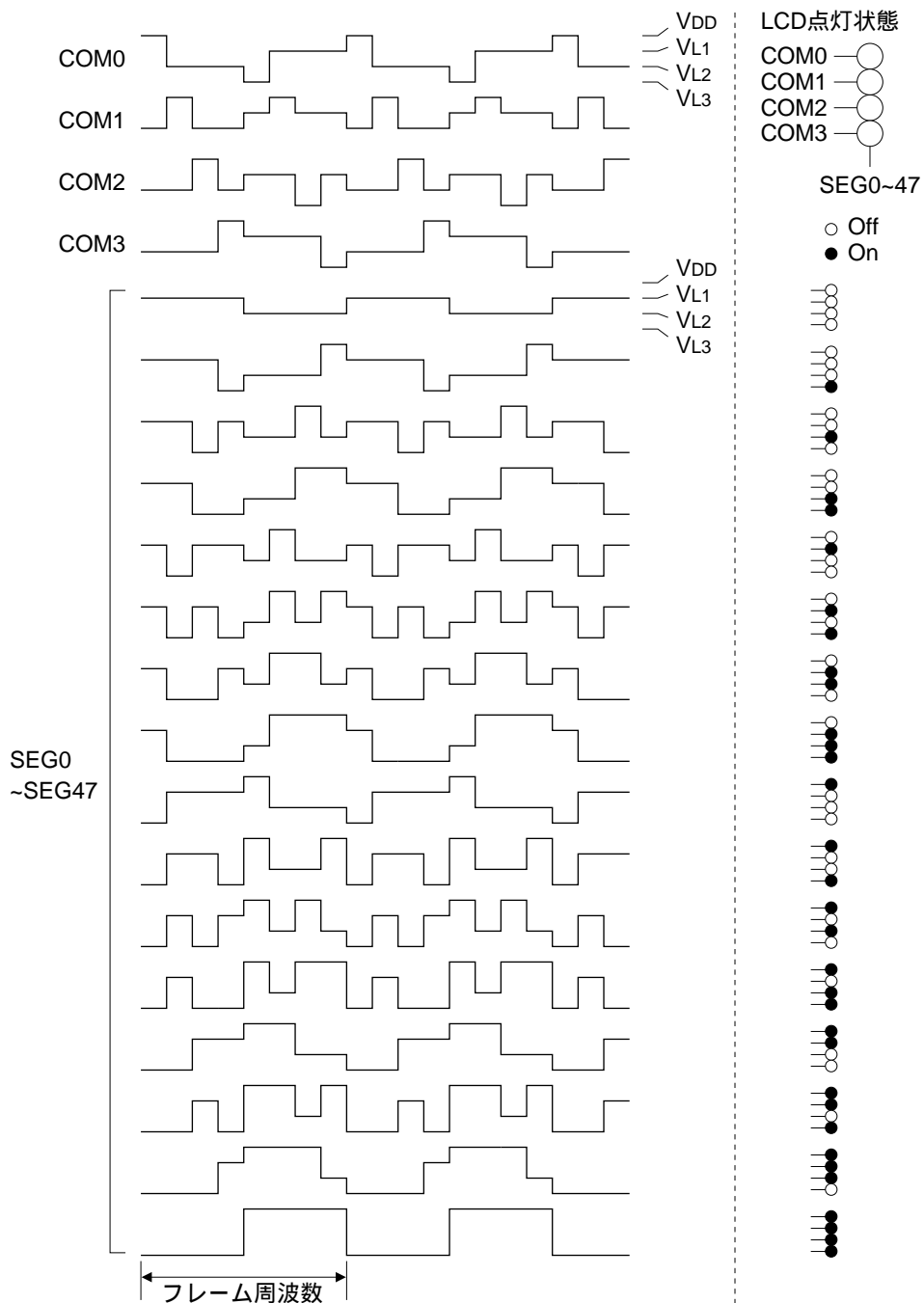


図4.8.1.1 1/4デューティの駆動波形 (1/3バイアス)

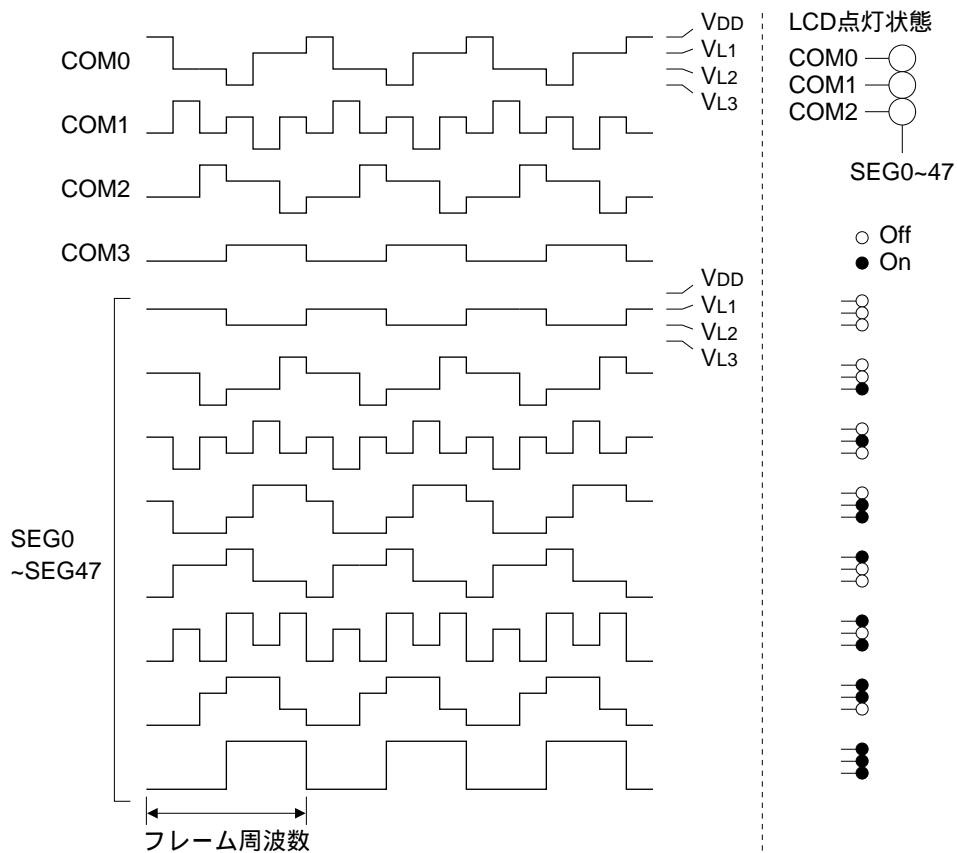


図4.8.1.2 1/3デューティの駆動波形 (1/3バイアス)

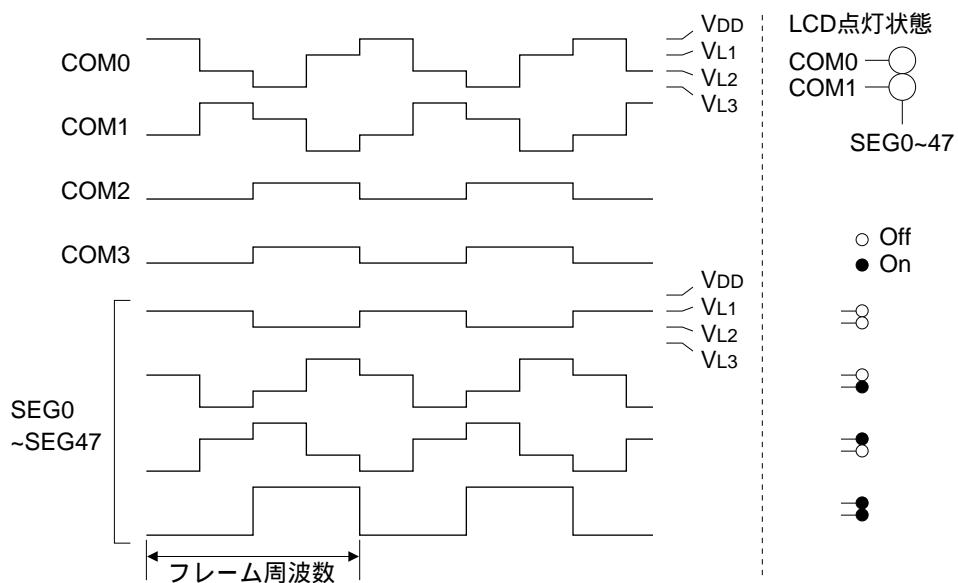


図4.8.1.3 1/2デューティの駆動波形 (1/3バイアス)

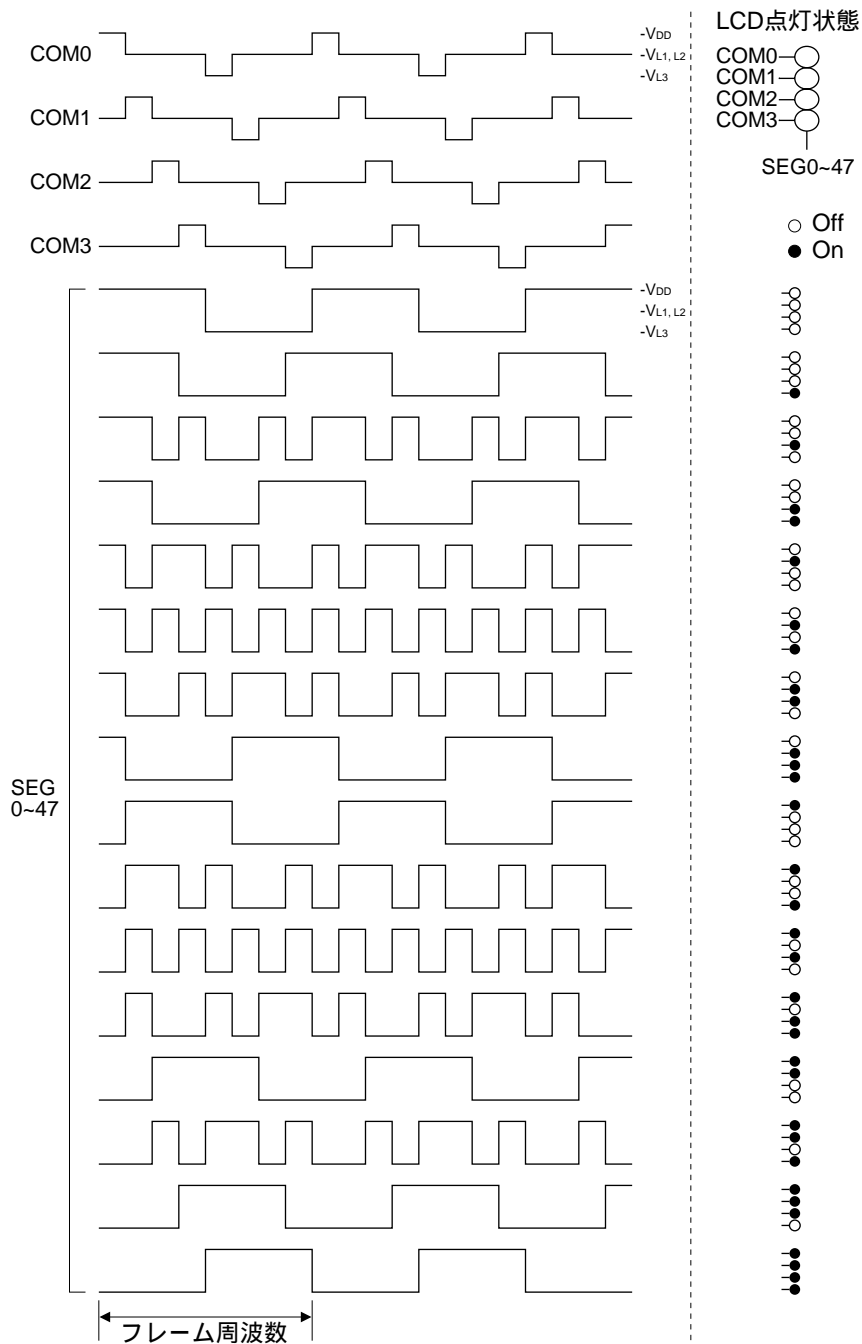


図4.8.1.4 1/4デューティの駆動波形(1/2バイアス)



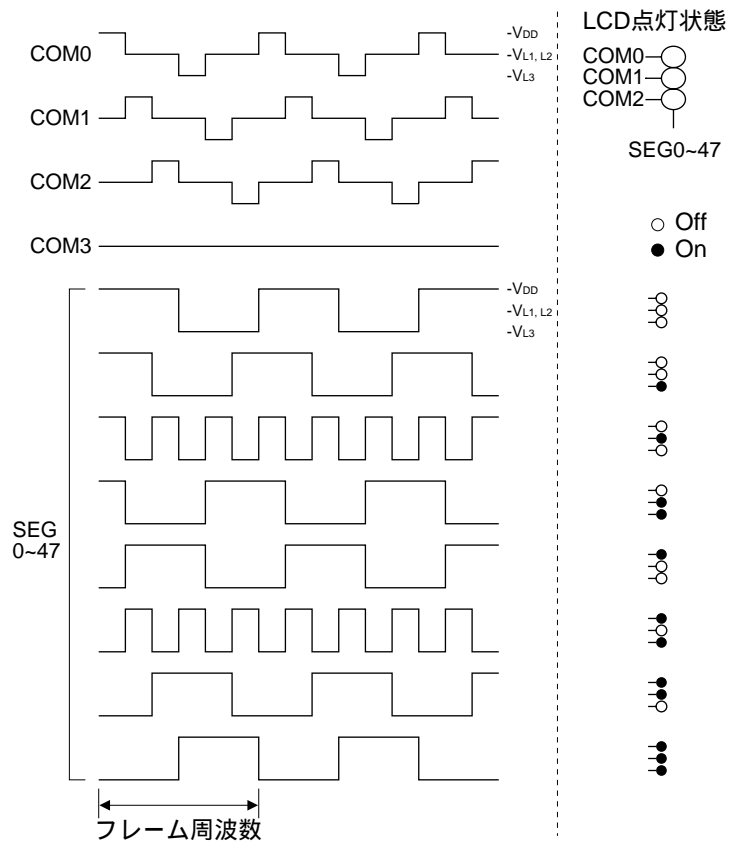


図4.8.1.5 1/3デューティの駆動波形 (1/2バイアス)

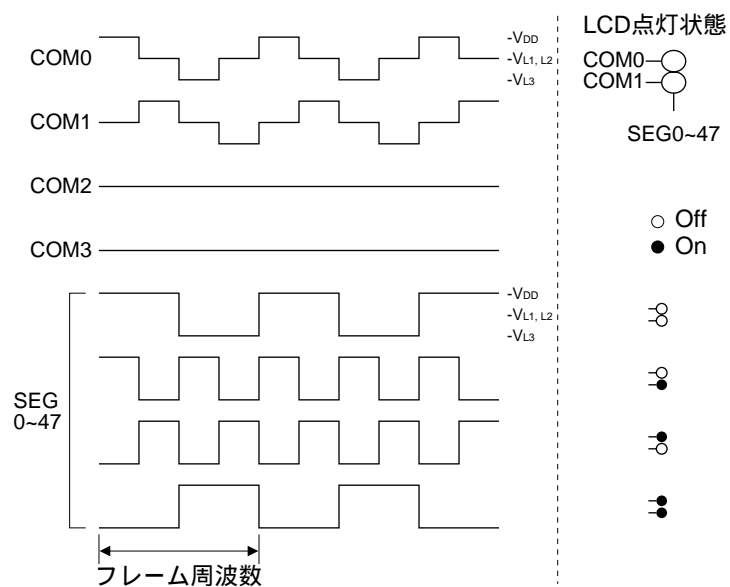


図4.8.1.6 1/2デューティの駆動波形 (1/2バイアス)

## 4.8.2 ダイナミック/スタティック駆動切り換え

S1C60N08シリーズは1/1デューティ駆動をソフトウェアにより設定できます。この機能により、OSC1発振回路(水晶発振回路)の発振周波数が簡単に調整(歩度調整)できます。LCDを1/1デューティで駆動させる手順は以下のとおりです。

- (1) アドレス"2E8H・D3"のレジスタCSDCに"1"を書き込みます。
  - (2) 表示メモリのCOM0～COM3に対応するレジスタにはすべて同一の値を書き込みます。
- フレーム周波数は32Hzです(  $f_{osc1}/1,024$ 、 $f_{osc1}=32.768\text{kHz}$ の場合 )。

- 注:
- ・ 1/3または1/2デューティをマスクオプションで選択している場合でも、1/1デューティ駆動にするとすべてのCOMに対応する表示データが有効になります。したがって、1/1デューティ駆動時はCOM0～COM3に対応する表示メモリに同じ値を設定してください。
  - ・ 歩度調整時はLCDが全点灯となるようにセグメントデータをセットしてください。

図4.8.2.1および図4.8.2.2に1/3バイアスおよび1/2バイアスの1/1デューティ駆動波形を示します。

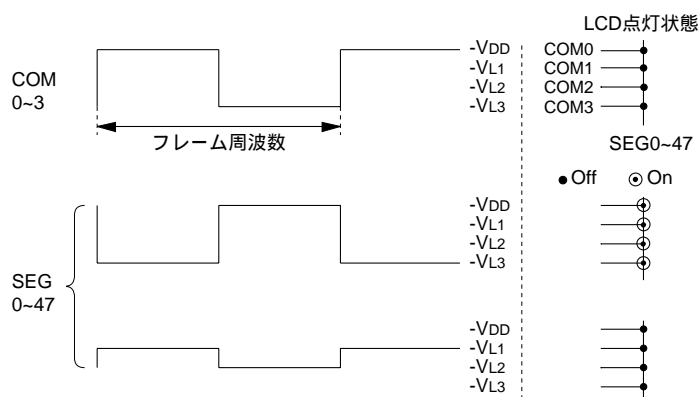


図4.8.2.1 1/1デューティ駆動波形(1/3バイアス)

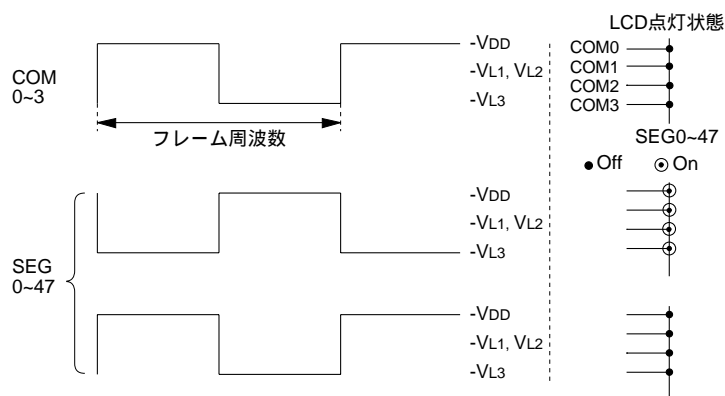


図4.8.2.2 1/1デューティ駆動波形(1/2バイアス)



## (3) 出力仕様

- 各セグメント端子 (SEG0 ~ SEG47) は2端子単位でセグメント信号出力かDC出力 (V<sub>DD</sub>、V<sub>SS</sub>の2値出力) をマスクオプションで選択します。  
DC出力を選択した場合は各セグメント端子のCOM0に対応するデータが出力されます。
- DC出力を選択した場合、コンプリメンタリ出力かPchオープンドレイン出力を各端子ごとにマスクオプションで選択できます。

注: 2端子単位とはSEG 2・n、SEG 2・n + 1 (nは0 ~ 23の整数) の組合せです。

## 4.8.4 LCDドライバの制御方法

表4.8.4.1にLCDドライバの制御ビットを、図4.8.4.1に表示メモリマップを示します。

表4.8.4.1 LCDドライバの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	コメント
	D3	D2	D1	D0					
2D0H	0	0	0	LOF	0 *3	– *2	–	–	未使用
					0 *3	– *2	–	–	未使用
					0 *3	– *2	–	–	未使用
					LOF	1	Normal	All off	LCD全消灯制御
2E8H	CSDC	ETI2	ETI8	ETI32	CSDC	0	Static	Dynamic	LCD駆動切り換え
					ETI2	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ2Hz)
					ETI8	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ8Hz)
					ETI32	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ32Hz)

\*1 イニシャルリセット時の初期値

\*3 読み出し時は常時"0"

\*5 不定

\*2 回路上設定されない

\*4 読み出し直後、リセット(0)

Address Page	Low High	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
		表示メモリ(48ワード×4ビット) 0ページ: R/W, 2ページ: W															
0 or 2	4																
	5																
	6																

図4.8.4.1 表示メモリマップ

LOF: LCD全消灯制御 (2D0H・D0)

LCDの表示を制御します。

"1"書き込み: 通常表示

"0"書き込み: LCD全消灯

読み出し: 可能

LOFレジスタに"0"を書き込むと、すべてのLCDセグメントがOFFします。"1"を書き込むと通常の表示に戻ります。"0"の書き込みではすべてのSEG端子がOFF波形を出力します。この制御は表示メモリの内容には影響を与えません。

イニシャルリセット時、LOFは"1"に設定されます。

CSDC: LCD駆動切り換え (2E8H・D3)

LCDの駆動方式を選択します。

"1"書き込み: スタティック駆動

"0"書き込み: ダイナミック駆動

読み出し: 可能

イニシャルリセット時はダイナミック駆動 (CSDC="0") が選択されます。

---

表示メモリ ( 040H ~ 06FH または 240H ~ 26FH )  
LCDセグメントを点灯/消灯させます。

"1"書き込み : 点灯  
"0"書き込み : 消灯  
読み出し : 0ページの場合、可能  
2ページの場合、不定

LCDセグメント ( パネル上 ) を割り付けた表示メモリにデータを書き込むことにより、セグメントの点灯/消灯を行います。  
イニシャルリセット時の表示メモリの内容は不定です。

#### 4.8.5 プログラミング上の注意事項

- ( 1 ) 表示メモリに0ページを選択した場合、その領域の初期化 ( CPUからのメモリクリア処理等 ) を行うまではメモリのデータと表示が一致しません。イニシャル処理で表示メモリの初期化を行ってください。
- ( 2 ) 表示メモリに2ページを選択した場合、その領域は書き込み専用となります。そのため、演算命令 ( AND、OR、ADD、SUB等 ) でデータを書き換えることはできません。

## 4.9 計時タイム

### 4.9.1 計時タイムの構成

S1C60N08シリーズはOSC1(水晶発振)を原振とする計時タイムを内蔵しています。計時タイムはプリスケアラより出力される256kHz信号を入力クロックとする7ビットのバイナリカウンタで構成され、そのうち上位4ビット(16Hz~2Hz)のデータをソフトウェアによって読み出すことができます。図4.9.1.1に計時タイムのブロック図を示します。

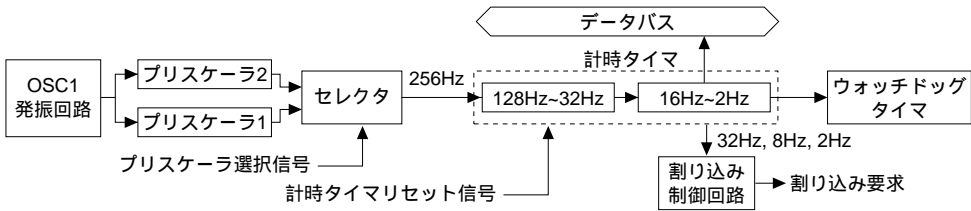


図4.9.1.1 計時タイムのブロック図

通常はこの計時タイムを、時計などのような各種の計時機能に用います。

計時タイムの入力クロックは、プリスケアラより出力されているため、使用する水晶振動子(32.768kHzまたは38.4kHz)にあわせて、正しくプリスケアラモードを設定する必要があります。プリスケアラの設定方法については、"4.3.4 発振回路とプリスケアラの制御方法"を参照してください。

### 4.9.2 割り込み機能

計時タイムは32Hz、8Hz、2Hzの各信号の立ち下がりエッジにおいて割り込みを発生させることができます。また、前記の各周波数に対して個別に割り込みをマスクするかしないかを、ソフトウェアで設定することができます。

図4.9.2.1に計時タイムのタイミングチャートを示します。

アドレス	レジスタ	周波数	計時タイムタイミングチャート
2E0H	D0	16Hz	
	D1	8Hz	
	D2	4Hz	
	D3	2Hz	
32Hz割り込み要求			↑ ↑
8Hz割り込み要求			↑ ↑ ↑ ↑ ↑ ↑ ↑ ↑
2Hz割り込み要求			↑ ↑

図4.9.2.1 計時タイムのタイミングチャート

図4.9.2.1に示すとおり、割り込みは各周波数(32Hz、8Hz、2Hz)の信号の立ち下がりエッジによって発生します。また、この時点では割り込み要因フラグ(TI32、TI8、TI2)が"1"にセットされます。各割り込みは、割り込みマスクレジスタ(ETI32、ETI8、ETI2)によって、個別にマスクを選択することができます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応する信号の立ち下がりエッジで"1"にセットされます。

## 4.9.3 計時タイマの制御方法

表4.9.3.1に計時タイマの制御ビットを示します。

表4.9.3.1 計時タイマの制御ビット

アドレス	レジスタ				コメント				
	D3	D2	D1	D0	Name	Init *1	1	0	
2E0H	TM3	TM2	TM1	TM0	TM3	0			計時タイマデータ(2Hz)
					TM2	0			計時タイマデータ(4Hz)
					TM1	0			計時タイマデータ(8Hz)
	R				TM0	0			計時タイマデータ(16Hz)
2E8H	CSDC	ETI2	ETI8	ETI32	CSDC	0	Static	Dynamic	LCD駆動切り換え
					ETI2	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ2Hz)
					ETI8	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ8Hz)
	R/W				ETI32	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ32Hz)
2E9H	0	TI2	TI8	TI32	0 *3	- *2	-	-	未使用
					TI2 *4	0	Yes	No	割り込み要因フラグ(計時タイマ2Hz)
					TI8 *4	0	Yes	No	割り込み要因フラグ(計時タイマ8Hz)
	R				TI32 *4	0	Yes	No	割り込み要因フラグ(計時タイマ32Hz)
2EEH	TMRST	SWRUN	SWRST	IOCO	TMRST*3	Reset	Reset	-	計時タイマリセット
					SWRUN	0	Run	Stop	ストップウォッチタイマRun/Stop
					SWRST*3	Reset	Reset	-	ストップウォッチタイマリセット
	W	R/W	W	R/W	IOCO	0	Output	Input	I/O制御レジスタ0 (P00~P03)

\*1 イニシャルリセット時の初期値

\*3 読み出し時は常時"0"

\*5 不定

\*2 回路上設定されない

\*4 読み出し直後、リセット(0)

TM0 ~ TM3: タイマデータ( 2E0H )

計時タイマの16Hz ~ 2Hzのタイマデータが読み出せます。この4ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、タイマデータは"0H"に初期化されます。

ETI32, ETI8, ETI2: 割り込みマスクレジスタ( 2E8H・D0 ~ D2 )

計時タイマの割り込みについて、マスクするかしないかを選択します。

"1"書き込み: イネーブル

"0"書き込み: マスク

読み出し: 可能

各周波数( 32Hz、8Hz、2Hz )に対して、割り込みをマスクするかしないかを、割り込みマスクレジスタ( ETI32、ETI8、ETI2 )により個別に選択できます。

イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

TI32, TI8, TI2: 割り込み要因フラグ( 2E9H・D0 ~ D2 )

計時タイマ割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込みあり

"0"読み出し: 割り込みなし

書き込み: 無効

割り込み要因フラグ( TI32、TI8、TI2 )はそれぞれ、各周波数( 32Hz、8Hz、2Hz )の計時タイマ割り込みに対応します。これらのフラグによって計時タイマ割り込みの有無を、ソフトウェアで判断することができます。ただし、これらのフラグは割り込みをマスクしていても、対応する信号の立ち下がりエッジで"1"にセットされます。

これらのフラグは、ソフトウェアで読み出すことによってリセットされます。フラグの読み出しはDK( インタラプトフラグ="0" )状態で行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

---

TMRST: 計時タイマリセット(2EEH・D3)  
計時タイマをリセットするビットです。

"1"書き込み: 計時タイマリセット  
"0"書き込み: ノーオペレーション  
読み出し: 常時"0"

計時タイマは、TMRSTに"1"を書き込むことによりリセットされ、その直後リスタートします。また、"0"の書き込みはノーオペレーションとなります。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

#### 4.9.4 プログラミング上の注意事項

- (1) 計時タイマは、使用する水晶振動子に合わせて正しくプリスケアラモードを設定する必要があります。
- (2) 計時タイマをリセットした際、割り込み要因フラグ(TI)が"1"にセットされる場合があります。このため、リセット時には必要に応じてフラグの読み出し(フラグのリセット)を行ってください。
- (3) ウォッチドッグタイマの入力クロックが、計時タイマの2Hz信号のため、計時タイマリセット時にはウォッチドッグタイマがカウントアップされる場合があります。
- (4) 割り込み要因フラグ(TI)の読み出しは、DK(インタラプトフラグ="0")状態で行ってください。EK(インタラプトフラグ="1")状態時に読み出すと誤動作の原因になります。



## 4.10 ストップウォッチタイマ

### 4.10.1 ストップウォッチタイマの構成

S1C60N08シリーズは、1/100sec単位と1/10sec単位のストップウォッチタイマを内蔵しています。ストップウォッチタイマは近似100Hz信号(プリスケアラより出力される256Hz信号を近似的に100Hzに分周した信号)を入力クロックとする4ビット2段のBCDカウンタで構成され、ソフトウェアにより4ビット単位でデータを読み出すことができます。

図4.10.1.1にストップウォッチタイマのブロック図を示します。

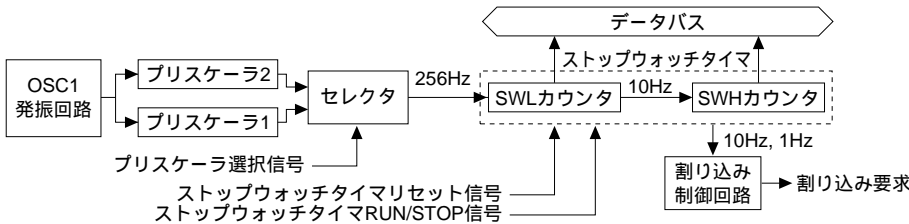


図4.10.1.1 ストップウォッチタイマのブロック図

ストップウォッチタイマは計時タイマとは別のタイマとして使用でき、特にデジタルウォッチのストップウォッチ機能などをソフトウェアで容易に実現することができます。

ストップウォッチタイマの入力クロックはプリスケアラより出力されているため、使用する水晶振動子(32.768kHzまたは38.4kHz)にあわせて、正しくプリスケアラモードを設定する必要があります。プリスケアラの設定方法については、「4.3.4 発振回路とプリスケアラの制御方法」を参照してください。

### 4.10.2 カウントアップパターン

ストップウォッチタイマは、それぞれ4ビットのBCDカウンタSWLとSWHで構成されています。ストップウォッチタイマ前段のカウンタSWLは、近似100Hz信号を入力クロックとし、1/100secごとのカウントアップを行って近似10Hz信号を発生します。後段のカウンタSWHはSWLが出力する近似10Hz信号を入力クロックとし、1/10secごとのカウントアップを行って1Hz信号を発生します。

図4.10.2.1にストップウォッチタイマのカウントアップパターンを示します。

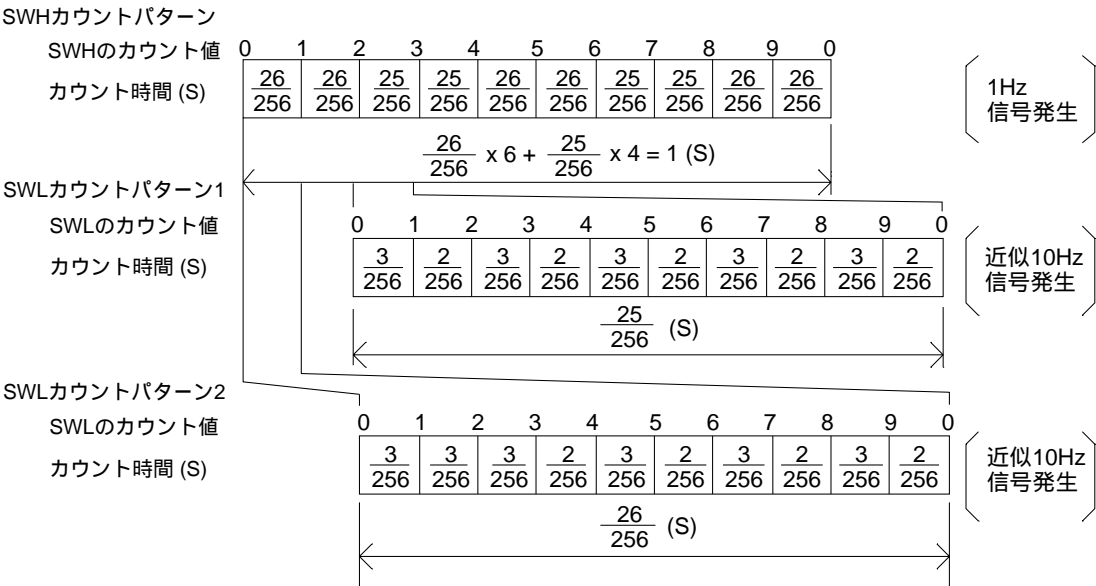


図4.10.2.1 ストップウォッチタイマのカウントアップパターン

SWLは基本となる256Hz信号から近似10Hz信号を発生します。カウントアップの間隔は2/256secと3/256secで、最終的に25/256secと26/256sec間隔の2つのパターンを発生します。したがって、各パターンは正確に1/100secとはなりません。

SWHは25/256secと26/256sec間隔で発生する近似10Hz信号を4:6の割合でカウントし、1Hz信号を発生します。カウントアップの間隔については25/256secと26/256secで、正確に1/10secとはなりません。

#### 4.10.3 割り込み機能

ストップウォッチタイマSWLとSWHはそれぞれのオーバーフローにより、10Hz(近似10Hz)と1Hzの割り込みを発生させることができます。また、前記のそれぞれの周波数に対して、個別に割り込みのマスクをするかしないかをソフトウェアで設定することができます。

図4.10.3.1にストップウォッチタイマのタイミングチャートを示します。

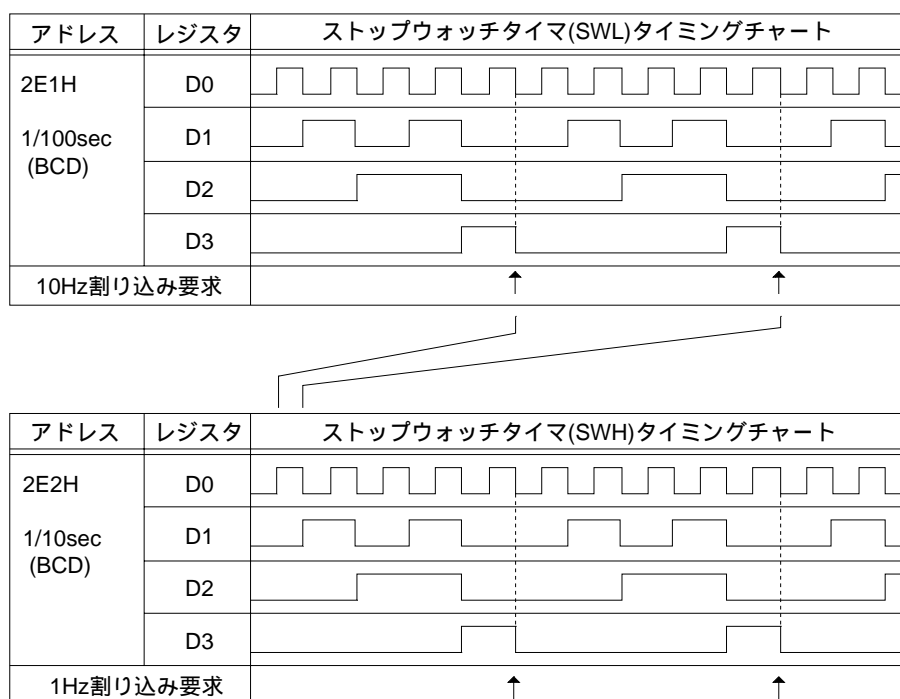


図4.10.3.1 ストップウォッチタイマのタイミングチャート

図4.10.3.1に示すとおり、割り込みはそれぞれのカウンタのオーバーフロー( "9"から"0"への変化 )によって発生します。また、この時点で対応する割り込み要因フラグ( SWIT0、SWIT1 )が"1"にセットされます。

それぞれの割り込みは、割り込みマスクレジスタ( EISWIT0、EISWIT1 )によって、個別にマスクを選択することができます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応するカウンタのオーバーフローで"1"にセットされます。

## 4.10.4 ストップウォッチタイマの制御方法

表4.10.4.1にストップウォッチタイマの制御ビットを示します。

表4.10.4.1 ストップウォッチタイマの制御ビット

アドレス	レジスタ								コメント
	D3	D2	D1	D0	Name	Init *1	1	0	
2E1H	SWL3	SWL2	SWL1	SWL0	SWL3	0			MSB ストップウォッチタイマ1/100secデータ(BCD)
					SWL2	0			
	R				SWL1	0			LSB
					SWL0	0			
2E2H	SWH3	SWH2	SWH1	SWH0	SWH3	0			MSB ストップウォッチタイマ1/10 secデータ(BCD)
					SWH2	0			
	R				SWH1	0			LSB
					SWH0	0			
2E6H	HLMOD	BLD0	EISWIT1	EISWIT0	HLMOD	0	Heavy load	Normal	重負荷保護モードレジスタ サブBLD判定データ 割り込みマスクレジスタ(ストップウォッチ1Hz) 割り込みマスクレジスタ(ストップウォッチ10Hz)
					BLD0	0	Low	Normal	
	R/W	R	R/W		EISWIT1	0	Enable	Mask	
					EISWIT0	0	Enable	Mask	
2EAH	IK1	IK0	SWIT1	SWIT0	IK1 *4	0	Yes	No	割り込み要因フラグ(K10) 割り込み要因フラグ(K00~K03) 割り込み要因フラグ(ストップウォッチ1Hz) 割り込み要因フラグ(ストップウォッチ10Hz)
					IK0 *4	0	Yes	No	
	R				SWIT1 *4	0	Yes	No	
					SWIT0 *4	0	Yes	No	
2EEH	TMRST	SWRUN	SWRST	IOC0	TMRST*3	Reset	Reset	—	計時タイマリセット ストップウォッチタイマRun/Stop ストップウォッチタイマリセット I/O制御レジスタ0 (P00~P03)
					SWRUN	0	Run	Stop	
	W	R/W	W	R/W	SWRST*3	Reset	Reset	—	
					IOC0	0	Output	Input	

\*1 イニシャルリセット時の初期値

\*3 読み出し時は常時"0"

\*5 不定

\*2 回路上設定されない

\*4 読み出し直後、リセット(0)

SWL0 ~ SWL3: ストップウォッチタイマ1/100sec( 2E1H )

ストップウォッチタイマ1/100sec桁のデータ( BCD )が読み出せます。  
この4ビットは読み出し専用のため、書き込み動作は無効となります。  
イニシャルリセット時、タイマデータは"0H"に設定されます。

SWH0 ~ SWH3: ストップウォッチタイマ1/10sec( 2E2H )

ストップウォッチタイマ1/10sec桁のデータ( BCD )が読み出せます。  
この4ビットは読み出し専用のため、書き込み動作は無効となります。  
イニシャルリセット時、タイマデータは"0H"に設定されます。

EISWIT0, EISWIT1: 割り込みマスクレジスタ( 2E6H・D0・D1 )

ストップウォッチタイマの割り込みについて、マスクするかしないかを選択します。

"1"書き込み:   イネーブル  
"0"書き込み:   マスク  
読み出し:   可能

10Hzと1Hzのそれぞれに対して、割り込みをマスクするかしないかを、割り込みマスクレジスタ( EISWIT0, EISWIT1 )により、個別に選択できます。

イニシャルリセット時、このレジスタはそれぞれ"0"に設定されます。

SWIT0, SWIT1: 割り込み要因フラグ( 2EAH・D0・D1 )

ストップウォッチタイム割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有  
"0"読み出し: 割り込み無  
書き込み: 無効

割り込み要因フラグ( SWIT0, SWIT1 )はそれぞれ10Hzと1Hzの割り込みに対応します。これらのフラグによってストップウォッチタイム割り込みの有無を、ソフトウェアにより判断することができます。ただし、これらのフラグは割り込みマスクレジスタの設定にかかわらず、対応するカウンタのオーバーフローで"1"にセットされます。これらのフラグは、ソフトウェアで読み出すことによってリセットされます。また、読み出しはDK( インタラプトフラグ="0" )状態で行ってください。イニシャルリセット時、これらのフラグは"0"に設定されます。

SWRST: ストップウォッチタイムリセット( 2EEH・D1 )

ストップウォッチタイムをリセットするビットです。

"1"書き込み: ストップウォッチタイムリセット  
"0"書き込み: ノーオペレーション  
読み出し: 常時"0"

ストップウォッチタイムはSWRSTに"1"を書き込むことによりリセットされます。ストップウォッチタイムがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合はリセットデータが保持されます。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

SWRUN: ストップウォッチタイムRUN/STOP( 2EEH・D2 )

ストップウォッチタイムのRUN/STOPを制御します。

"1"書き込み: RUN  
"0"書き込み: STOP  
読み出し: 可能

ストップウォッチタイムはSWRUNに"1"を書き込むことによりRUNし、"0"の書き込みによりSTOPします。STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることにより保持していたデータから継続して、カウントを進めることができます。RUN状態でカウンタのデータを読み出す場合、下位桁( SWL )から上位桁( SWH )への桁上げにより正しい読み込みができないことがあります( 桁上げのタイミングに、SWLとSWHの読み出しがまたがった場合 )。これを防止するため、一度STOPさせてから読み出し、再度RUNしてください。また、この場合のSTOP期間は976 $\mu$ s( 256Hzの1/4周期 )以内である必要があります。

イニシャルリセット時、このレジスタは"0"に設定されます。

#### 4.10.5 プログラミング上の注意事項

- (1) ストップウォッチタイムは、使用する水晶振動子に合わせてプリスケアラモードを正しく設定する必要があります。
- (2) RUN状態のカウンタデータを読み出す場合、一度カウンタをSTOPし読み出し後再度RUNさせる必要があります。カウンタの桁上げ時にデータを読み出すと、正しいデータが読み込めません。また、前記処理についてSTOP期間は976 $\mu$ s( 256Hzの1/4周期 )以内である必要があります。
- (3) 割り込み要因フラグ( SWIT )の読み出しは、DK( インタラプトフラグ="0" )状態で行ってください。EK( インタラプトフラグ="1" )状態時に読み出すと誤動作の原因になります。

## 4.11 サウンドジェネレータ

### 4.11.1 サウンドジェネレータの構成

S1C60N08シリーズは圧電ブザーを駆動するためのブザー信号(BZ、 $\overline{\text{BZ}}$ )を出力することができます。ブザー信号の周波数は $f_{\text{OSC1}}$ を分周した8種類の中からソフトウェアにより選択できます。また、ブザー信号にはデューティ比制御によるデジタルエンベロープを付加することができます。図4.11.1.1にサウンドジェネレータの構成を、図4.11.1.2にサウンドジェネレータのタイミングチャートを示します。

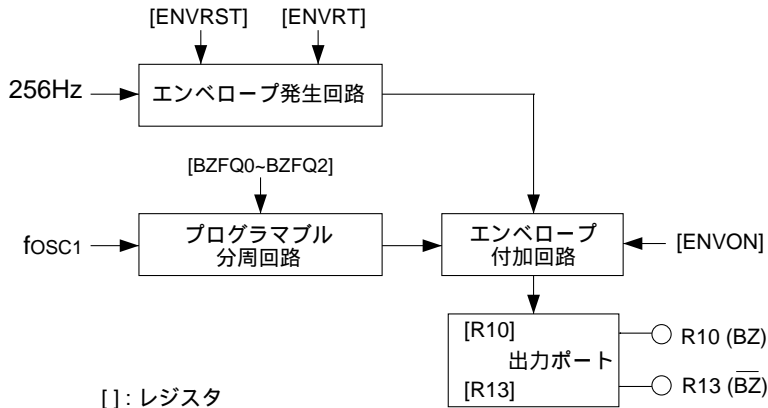


図4.11.1.1 サウンドジェネレータの構成

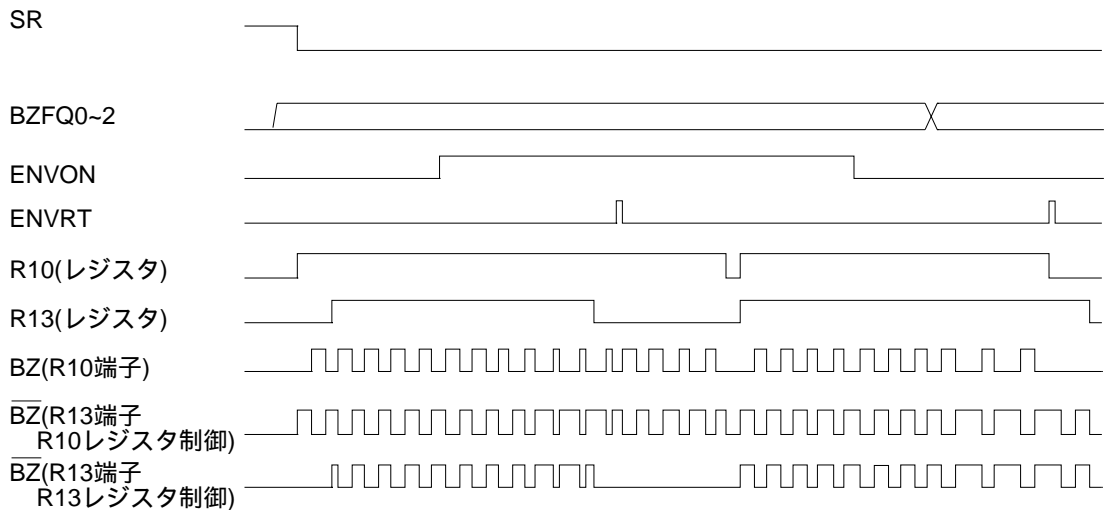


図4.11.1.2 サウンドジェネレータのタイミングチャート

## 4.11.2 周波数設定

ブザー信号( BZ、 $\overline{\text{BZ}}$  )の周波数はレジスタBZFQ0～BZFQ2にデータを書き込むことにより設定します。表4.11.2.1にレジスタの設定値と設定される周波数の一覧を示します。

表4.11.2.1 ブザー信号の周波数設定

BZFQ			ブザー周波数(Hz)		
2	1	0	分周比	fosc1 = 32kHzの場合	fosc1 = 38.4kHzの場合
0	0	0	fosc1/8	4,096.0	4,800.0
0	0	1	fosc1/10	3,276.8	3,840.0
0	1	0	fosc1/12	2,730.7	3,200.0
0	1	1	fosc1/14	2,340.6	2,742.9
1	0	0	fosc1/16	2,048.0	2,400.0
1	0	1	fosc1/20	1,638.4	1,920.0
1	1	0	fosc1/24	1,365.3	1,600.0
1	1	1	fosc1/28	1,170.3	1,371.4

注: ブザー信号の出力状態で周波数の切り換えを行うと、ブザー信号にハザードが発生する場合があります。

## 4.11.3 デジタルエンベロープ

ブザー信号( BZ、 $\overline{\text{BZ}}$  )にはデューティ比制御( デューティ比が8段階に変化 )のデジタルエンベロープを付加することができます。

デューティ比はパルス周期に対するパルス幅の比率のことで、HIGHレベル出力時間をTH、LOWレベル出力時間をTLとした場合、BZ出力はTH( TH + TL )となります。BZ出力はBZ出力の反転出力のためTL( TH + TL )となります。また、デューティ比はブザー周波数により異なりますので注意が必要です。

エンベロープの付加はレジスタENVONに"1"を書き込むことで行われ、"0"が書き込まれた場合はデューティ比が最大に固定されます。また、エンベロープが付加されている場合、レジスタENVRSTに"1"を書き込むことによりデューティ比が最大に復帰し、ブザー信号出力開始時のデューティ比も最大となります。

エンベロープの減衰時間( デューティ比の変化する時間 )はレジスタENVRTで選択できます。この時間はENVRTに"0"を書き込んだ場合62.5msec( 16Hz )、"1"を書き込んだ場合125msec( 8Hz )になります。ただし、エンベロープONから最初の変化までは共にMax 4msecの誤差があります。

表4.11.3.1にデューティ比とブザー周波数の一覧を、図4.11.3.1にデジタルエンベロープのタイミングチャートを示します。

表4.11.3.1 デューティ比とブザー周波数

BZFQ レジスタ	2	0	1	0	1	0	1	0	1
	1	0	0	0	0	1	1	1	1
デューティ	0	0	0	1	1	0	0	1	1
レベル1 (max.)	8/16	8/20	12/24	12/28					
レベル2	7/16	7/20	11/24	11/28					
レベル3	6/16	6/20	10/24	10/28					
レベル4	5/16	5/20	9/24	9/28					
レベル5	4/16	4/20	8/24	8/28					
レベル6	3/16	3/20	7/24	7/28					
レベル7	2/16	2/20	6/24	6/28					
レベル8 (min.)	1/16	1/20	5/24	5/28					

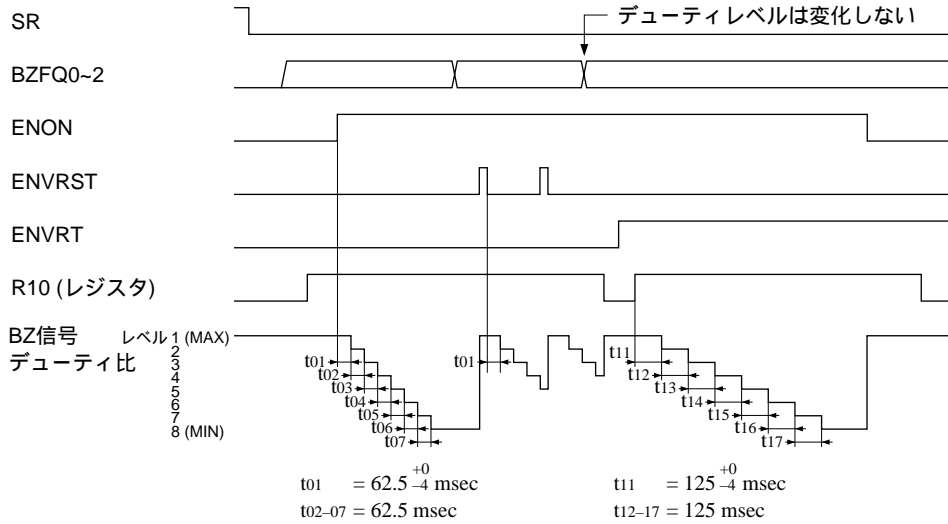


図4.11.3.1 デジタルエンベロープのタイミングチャート

#### 4.11.4 マスクオプション

- (1) BZ信号をR10端子から出力するかしないかを選択できます。
- (2)  $\overline{\text{BZ}}$ 信号をR13端子から出力するかしないかを選択できます。  
ただし、BZ信号の出力を行わない場合はBZ信号の出力は行えません。
- (3)  $\overline{\text{BZ}}$ 信号の出力制御をレジスタR10、レジスタR13のどちらで行うかを選択できます。  
上記マスクオプションの詳細については"4.5 出力ポート"を参照してください。

## 4.11.5 サウンドジェネレータの制御方法

表4.11.5.1にサウンドジェネレータの制御ビットとそのアドレスを示します。

表4.11.5.1 サウンドジェネレータの制御ビット

アドレス	レジスタ				コメント						
	D3	D2	D1	D0	Name	Init *1	1	0			
2ECH	R13	R12	R11	R10	R13	0	High/On	Low/Off	出力ポート(R13)/BZ出力制御		
			SIOF		R12	0	High/On	Low/Off	出力ポート(R12)/FOUT出力制御		
	R/W		R/W	R/W	R11	0	High	Low	出力ポート(R11, LAMP)		
			SIOF		0	Run	Stop	出力ポート(SIOF)			
			R		R10	0	High/On	Low/Off	出力ポート(R10)/BZ出力制御		
2F6H	BZFQ2	BZFQ1	BZFQ0	ENVRST	BZFQ2	0			ブザー 周波数 選択 周波数		
	R/W			W	BZFQ1	0					
					BZFQ0	0					
										ENVRST*3	Reset
					エンベロープリセット						
2F7H	ENVON	ENVRT	AMPDT	AMPON	ENVON	0	On	Off	エンベロープOn/Off		
	R/W			R	R/W	ENVRT	0	1.0 sec	0.5 sec	エンベロープ減衰時間	
						AMPDT	1	+ > -	+ < -	アナログコンバータデータ	
						AMPON	0	On	Off	アナログコンバータOn/Off	

\*1 イニシャルリセット時の初期値

\*3 読み出し時は常時"0"

\*5 不定

\*2 回路上設定されない

\*4 読み出し直後、リセット(0)

BZFQ0 ~ BZFQ2: ブザー周波数選択レジスタ(2F6H・D1 ~ D3)

ブザー信号の周波数を選択します。

表4.11.5.2 ブザー周波数

BZFQ2	BZFQ1	BZFQ0	ブザー周波数(Hz)
0	0	0	fosc1/8
0	0	1	fosc1/10
0	1	0	fosc1/12
0	1	1	fosc1/14
1	0	0	fosc1/16
1	0	1	fosc1/20
1	1	0	fosc1/24
1	1	1	fosc1/28

ブザー周波数はfosc1( OSC1発振回路の発振周波数 )を分周した上記8種類の中から選択します。  
イニシャルリセット時はfosc1/8Hzが選択されます。

ENVRST: エンベロープリセット(2F6H・D0)

ブザー信号のデューティ比を最大とするリセット入力です。

"1"書き込み: リセット入力

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

ブザー信号にエンベロープが付加されている場合、このリセット入力によりデューティ比は最大となります。エンベロープが付加されていない場合、およびブザー信号の出力が行われていない場合のリセット入力は無効となります。

ENVON: エンベロープ ON/OFF(2F7H・D3)

ブザー信号へのエンベロープ付加を制御します。

"1"書き込み: エンベロープ付加(ON)

"0"書き込み: エンベロープなし(OFF)

読み出し: 可能

エンベロープはデューティ比制御によるデジタルエンベロープです。エンベロープなしの場合のデューティ比は最大で固定です。

イニシャルリセット時はエンベロープなし(OFF)が選択されます。



ENVRT: エンベロープ減衰時間(  $2F7H \cdot D2$  )

ブザー信号に付加されたエンベロープの減衰時間を選択します。

"1"書き込み: 1.0sec(  $125\text{msec} \times 7 = 875\text{msec}$  )  
 "0"書き込み: 0.5sec(  $62.5\text{msec} \times 7 = 437.5\text{msec}$  )  
 読み出し: 可能

デジタルエンベロープの減衰時間はデューティ比の変化する時間で決められます。ENVRTに"1"を書き込んだ場合は $125\text{msec}$ ( 8Hz )単位、"0"を書き込んだ場合は $62.5\text{msec}$ ( 16Hz )単位となります。イニシャルリセット時は $0.5\text{sec}$ (  $437.5\text{msec}$  )が選択されます。

R10, R13( BZ,  $\overline{\text{BZ}}$ 出力選択時): 特殊出力ポートデータ(  $2\text{ECH} \cdot \text{D0} \cdot \text{D3}$  )

ブザー信号( BZ,  $\overline{\text{BZ}}$  )の出力制御を行います。

"1"書き込み: ブザー信号出力  
 "0"書き込み: LOWレベル( DC )出力  
 読み出し: 可能

$\overline{\text{BZ}}$ 出力をR13制御とした場合

BZ出力と $\overline{\text{BZ}}$ 出力を個別に制御できます。BZ出力の制御はレジスタR10にデータを書き込むことにより行い、 $\overline{\text{BZ}}$ 出力の制御はレジスタR13にデータを書き込むことにより行います。

$\overline{\text{BZ}}$ 出力をR10制御とした場合

BZ出力と $\overline{\text{BZ}}$ 出力の制御をレジスタR10のみにデータを書き込むことにより同時に行います。この場合レジスタR13はリード/ライト可能な1ビットの汎用レジスタとして使用でき、このレジスタは $\overline{\text{BZ}}$ 出力( R13端子の出力 )に影響を与えません。

イニシャルリセット時、レジスタR10、R13は"0"に設定されます。

#### 4.11.6 プログラミング上の注意事項

BZ、 $\overline{\text{BZ}}$ 信号は出力レジスタ( R10、R13 )ならびにブザー周波数選択レジスタ( BZFQ0 ~ BZFQ2 )のデータ変更時に出力波形にハザードが出る場合があります。

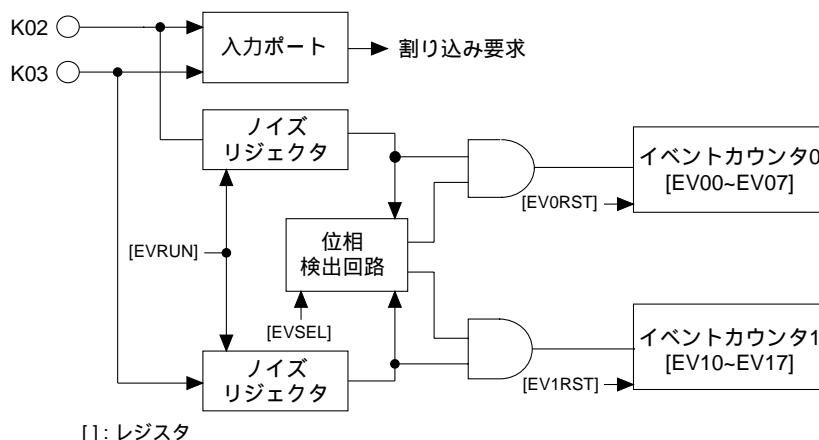
## 4.12 イベントカウンタ

### 4.12.1 イベントカウンタの構成

S1C60N08シリーズは外部から入力されたクロック信号を計数するイベントカウンタを内蔵しています。イベントカウンタは8ビットのバイナリカウンタ( アップカウンタ )組で構成され、クロック入力は入力ポートのK02端子、K03端子より行います。

各端子から入力されたクロック信号は、それぞれノイズリジェクタを通りイベントカウンタに入力されます。

イベントカウンタは2本のクロック信号の位相を検出して、どちらか一方のカウンタにのみクロック信号を入力する位相検出モードと、個々のクロック信号を個々のカウンタに入力する個別モードがソフトウェアにより選択できます。図4.12.1.1にイベントカウンタの構成を示します。



[ ]: レジスタ

図4.12.1.1 イベントカウンタの構成

### 4.12.2 カウントモードの切り換え

イベントカウンタは2本のクロック信号の位相を検出して、どちらか一方のカウンタにのみクロック信号を入力する位相検出モードと個々のクロック信号を個々のカウンタに入力する個別モードがソフトウェアにより選択できます。

選択はレジスタEVSELにデータを書き込むことにより行い、「0」書き込みで位相検出モード、「1」書き込みで個別モードになります。

位相検出モードの場合はK02、K03端子に位相差のあるクロック信号が同時に入力される必要があり、K02端子からの入力が早い場合はイベントカウンタ1に、K03端子からの入力が早い場合はイベントカウンタ0にクロック信号が入力されます。

個別モードの場合はK02端子からの入力がイベントカウンタ0に、K03端子からの入力がイベントカウンタ1にそれぞれ入力されます。

図4.12.2.1にイベントカウンタのタイミングチャートを示します。

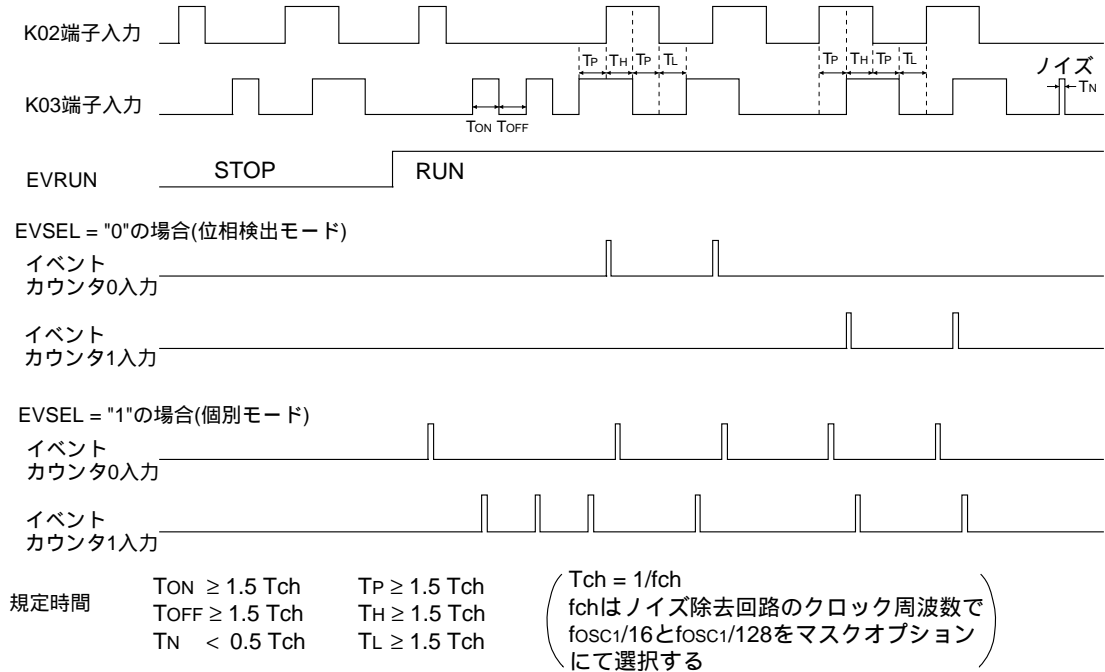


図4.12.2.1 イベントカウンタのタイミングチャート

#### 4.12.3 マスクオプション

ノイズリジェクタのクロック周波数を $f_{osc1}/16$ か $f_{osc1}/128$ のいずれかに選択できます。  
 表4.12.3.1に選択周波数による規定時間の一覧を示します。

表4.12.3.1 選択周波数による規定時間

規定時間	$f_{osc1} = 32.768\text{kHz}$		$f_{osc1} = 38.400\text{kHz}$	
	$f_{osc1}/16$	$f_{osc1}/128$	$f_{osc1}/16$	$f_{osc1}/128$
TN	0.24	1.95	0.20	1.66
TON	0.74	5.86	0.63	5.00
TOFF	0.74	5.86	0.63	5.00
TP	0.74	5.86	0.63	5.00
TH	0.74	5.86	0.63	5.00
TL	0.74	5.86	0.63	5.00

TN : 最大値  
 その他 : 最小値

(単位: msec)

## 4.12.4 イベントカウンタの制御方法

表4.12.4.1にイベントカウンタの制御ビットを示します。

表4.12.4.1 イベントカウンタの制御ビット

アドレス	レジスタ								コメント
	D3	D2	D1	D0	Name	Init *1	1	0	
2F8H	EV03	EV02	EV01	EV00	EV03	0			イベントカウンタ0(下位4ビット)
					EV02	0			
	R				EV01	0			
					EV00	0			
2F9H	EV07	EV06	EV05	EV04	EV07	0			イベントカウンタ0(上位4ビット)
					EV06	0			
	R				EV05	0			
					EV04	0			
2FAH	EV13	EV12	EV11	EV10	EV13	0			イベントカウンタ1(下位4ビット)
					EV12	0			
	R				EV11	0			
					EV10	0			
2FBH	EV17	EV16	EV15	EV14	EV17	0			イベントカウンタ1(上位4ビット)
					EV16	0			
	R				EV15	0			
					EV14	0			
2FCH	EVSEL	ENRUN	EV1RST	EV0RST	EVSEL	0	Separate	Phase	イベントカウンタモード選択
					EV1RST*3	Reset	Run	Stop	イベントカウンタRun/Stop
	R/W		W		EV0RST*3	Reset	Reset	–	イベントカウンタ1リセット
					EV0RST*3	Reset	Reset	–	イベントカウンタ0リセット

\*1 イニシャルリセット時の初期値

\*3 読み出し時は常時"0"

\*5 不定

\*2 回路上設定されない

\*4 読み出し直後、リセット(0)

EV00 ~ EV03: イベントカウンタ0 下位 (2F8H)

イベントカウンタ0の下位4ビットのデータが読み出せます。

この4ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、イベントカウンタ0は"00H"に設定されます。

EV04 ~ EV07: イベントカウンタ0 上位 (2F9H)

イベントカウンタ0の上位4ビットのデータが読み出せます。

この4ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、イベントカウンタ0は"00H"に設定されます。

EV10 ~ EV13: イベントカウンタ1 下位 (2FAH)

イベントカウンタ1の下位4ビットのデータが読み出せます。

この4ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、イベントカウンタ1は"00H"に設定されます。

EV14 ~ EV17: イベントカウンタ1 上位 (2FBH)

イベントカウンタ1の上位4ビットのデータが読み出せます。

この4ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、イベントカウンタ1は"00H"に設定されます。

EV0RST: イベントカウンタ0リセット (2FCH・D0)

イベントカウンタ0をリセットするビットです。

"1"書き込み: イベントカウンタ0リセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

"1"の書き込みによりイベントカウンタ0はリセットされ、データは"00H"になります。

"0"書き込みはノーオペレーションとなります。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

EV1RST: イベントカウンタ1リセット( 2FCH・D1 )  
イベントカウンタ1をリセットするビットです。

"1"書き込み: イベントカウンタ1リセット  
"0"書き込み: ノーオペレーション  
読み出し: 常時"0"

"1"の書き込みによりイベントカウンタ1はリセットされ、データは"00H"になります。

"0"書き込みはノーオペレーションとなります。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

EVRUN: イベントカウンタ RUN/STOP( 2FCH・D2 )  
イベントカウンタのRUN/STOPを制御します。

"1"書き込み: RUN  
"0"書き込み: STOP  
読み出し: 可能

"1"の書き込みによりイベントカウンタはRUN状態になりクロック入力の受け付けを開始します。

"0"の書き込みではイベントカウンタはSTOP状態となりクロック入力は無視されます。( ただし入力ポートへの入力は有効です。 )

イニシャルリセット時、このレジスタは"0"に設定されます。

EVSEL: イベントカウンタモード( 2FCH・D3 )  
イベントカウンタのカウントモードを制御します。

"1"書き込み: 個別  
"0"書き込み: 位相検出  
読み出し: 可能

"0"書き込みで2本のクロック信号の位相を検出して、どちらか一方のカウンタにのみクロック信号を入力する位相検出モードを、"1"書き込みで個々のクロック信号を個々のカウンタに入力する個別モードが選択できます。

イニシャルリセット時、このレジスタは"0"に設定されます。

#### 4.12.5 プログラミング上の注意事項

- (1) イベントカウンタはEVRUNのレジスタに書き込み後、ノイズ除去クロックの立ち下がりエッジに同期して動作または停止します。このため、入力信号( K02、K03への入力 )を受け付ける際に、前記タイミングに注意が必要です。
- (2) イベントカウンタのデータ誤読み込みを防ぐため、カウンタデータは複数回読み出しと比較を行い、一致したデータを結果として用いてください。

## 4.13 アナログコンパレータ

### 4.13.1 アナログコンパレータの構成

S1C60N08シリーズはMOS入力アナログコンパレータを内蔵しています。このアナログコンパレータは差動入力端子2本( 反転入力端子AMP<sub>PM</sub>、非反転入力端子AMP<sub>P</sub> )を持ち、汎用的に用いることができます。

図4.13.1.1にアナログコンパレータの構成を示します。

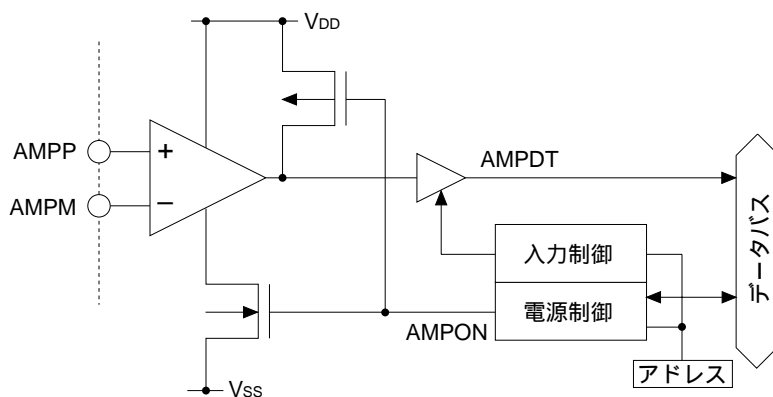


図4.13.1.1 アナログコンパレータの構成

### 4.13.2 アナログコンパレータの動作

アナログコンパレータはレジスタAMP<sub>ON</sub>が"1"のときONし、AMP<sub>P</sub>端子の入力レベルとAMP<sub>PM</sub>端子の入力レベルを比較します。

比較結果はレジスタAMP<sub>DT</sub>から読み込むことができ、AMP<sub>P</sub>(+) > AMP<sub>PM</sub>(-)のとき"1"、AMP<sub>P</sub>(+) < AMP<sub>PM</sub>(-)のとき"0"となります。

アナログコンパレータはON後、出力が安定するまで最大3msecの時間を要します。

## 4.13.3 アナログコンパレータの制御方法

表4.13.3.1にアナログコンパレータの制御ビットを示します。

表4.13.3.1 アナログコンパレータの制御ビット

アドレス	レジスタ								コメント
	D3	D2	D1	D0	Name	Init *1	1	0	
2F7H	ENVON	ENVRT	AMPDT	AMPON	ENVON	0	On	Off	エンベロープOn/Off
					ENVRT	0	1.0 sec	0.5 sec	エンベロープ減衰時間
	R/W		R	R/W	AMPDT	1	+>-	+<-	アナログコンパレータデータ
					AMPON	0	On	Off	アナログコンパレータOn/Off

\*1 イニシャルリセット時の初期値

\*3 読み出し時は常時"0"

\*5 不定

\*2 回路上設定されない

\*4 読み出し直後、リセット(0)

AMPON: アナログコンパレータ ON/OFF (2F7H・D0)

アナログコンパレータをON/OFFします。

"1"書き込み: アナログコンパレータ ON

"0"書き込み: アナログコンパレータ OFF

読み出し: 可能

AMPONに"1"を書き込むことによりアナログコンパレータがONとなり、"0"書き込みでOFFになります。

イニシャルリセット時、AMPONは"0"に設定されます。

AMPDT: アナログコンパレータデータ (2F7H・D1)

アナログコンパレータの出力を読み出します。

"1"読み出し: AMPP (+) > AMPM (-)

"0"読み出し: AMPP (+) < AMPM (-)

書き込み: 無効

AMPDTは反転入力端子 (AMPM) の入力レベルが非反転入力端子 (AMPP) の入力レベルよりも大きい場合に"0"、小さい場合に"1"となります。

イニシャルリセット時、AMPDTは"1"に設定されます。

## 4.13.4 プログラミング上の注意事項

- (1) 消費電流低減のため、必要時以外アナログコンパレータはOFFにしてください。
- (2) アナログコンパレータの出力データAMPDTの読み出しはAMPONを"1"に設定後、アナログコンパレータの動作が安定する3msec以上の待ち時間をとってから行ってください。

## 4.14 電池寿命検出 (BLD) 回路

### 4.14.1 BLD 電池寿命検出 回路の構成

S1C60N08シリーズにはBLD (電池寿命検出) 回路が内蔵されており、ソフトウェアによって電源電圧低下を知ることができます。BLD回路の構成は図4.14.1.1のとおりです。

また、重負荷保護機能と関連したサブBLD回路も合わせて内蔵しています。重負荷保護機能とサブBLD回路については、"4.15 重負荷保護機能とサブBLD回路"を参照してください。

BLD動作のON/OFFは、ソフトウェア (HLMOD、BLS) によって制御します。また、サブBLD回路により電源電圧の低下 (BLD0="1") が検出された場合、ハードウェアにより電源電圧が復帰 (BLD0="0") するまで周期的にBLD動作を行います。

BLD動作をONにするとICの消費電流が大きくなるため、必要なとき以外はBLD動作をOFFとしてください。

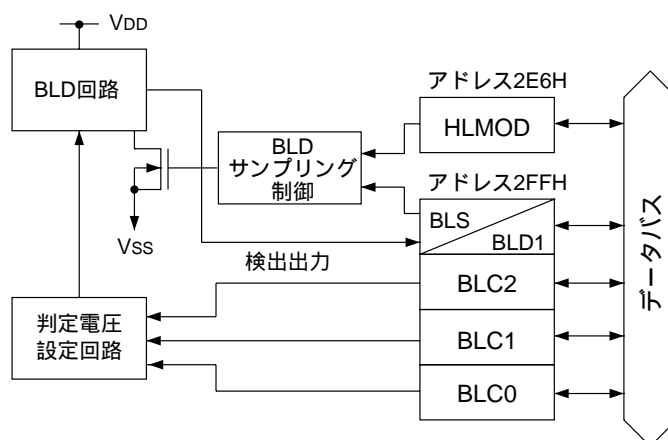


図4.14.1.1 BLD回路の構成

### 4.14.2 判定電圧のプログラマブル選択

S1C60N08シリーズでは、電池寿命判定のための判定電圧をプログラマブルに切り換えることができます。したがって、使用する電池に最適な判定電圧を設定することができます。

判定電圧は8種類のうち1つをソフトウェアで選択できます。S1C60N08シリーズ各機種の判定電圧は表4.14.2.1のとおりです。

表4.14.2.1 BLD回路の判定電圧

レジスタ設定			判定電圧(V)		
BLC2	BLC1	BLC0	S1C60L08	S1C60N08	S1C60A08
0	0	0	1.05	2.20	2.20
0	0	1	1.10	2.25	2.25
0	1	0	1.15	2.30	2.30
0	1	1	1.20	2.35	2.35
1	0	0	1.25	2.40	2.40
1	0	1	1.30	2.45	2.45
1	1	0	1.35	2.50	2.50
1	1	1	1.40	2.55	2.55

なお、判定電圧の精度については、電気的特性を参照してください。



#### 4.14.3 BLD回路の検出タイミング

この項では、BLD回路による電源電圧検出結果がBLDラッチに書き込まれるタイミングについて説明します。

BLD動作のON/OFFは、ソフトウェア (HLMOD、BLS) によって制御します。また、サブBLD回路により電源電圧の低下 (BLD0="1") が検出された場合、ハードウェアにより電源電圧が復帰 (BLD0="0") するまで周期的にBLD動作を行います。

BLD回路による電源電圧の検出結果はBLDラッチに書き込まれ、そのデータをソフトウェアで読み出すことにより電源電圧の状態を知ることができます。

BLD回路の検出タイミングは、以下に説明する3つの状態があります。

##### (1) HLMODを"1"にセットして、サンプリングする場合

HLMODを"1"にセットしてBLDサンプリングを行った場合は、次の2つのタイミングで検出結果がBLDラッチに書き込まれます。

1. HLMOD="1"とした直後の1命令サイクル時間終了直後
2. HLMOD="1"となっている間にプリスケアラより出力される2Hz周期でのサンプリング直後

したがって、BLDラッチのデータはHLMODを"1"にセットした直後に書き込まれるとともに2Hz周期で新たな検出結果が書き込まれます。

なお、安定したBLD検出結果を得るためには、少なくとも100 $\mu$ sec以上BLD回路をONにする必要があります。したがって、S1C60A08でCPUシステムクロックがfosc3の場合、1.のタイミングでの検出結果は無効あるいは誤判定の場合があります。(1.のタイミングを用いてBLD検出を行う場合は必ずCPUシステムクロックがfosc1の状態で行ってください。)

##### (2) BLSを"1"にセットして検出する場合

BLSを"1"にセットすることによりBLD検出が行われ、BLSを"0"にリセットした直後にBLDラッチへ検出結果が書き込まれます。なお、安定したBLD検出結果を得るためには、少なくとも100 $\mu$ sec以上BLD回路をONにする必要があります。したがって、BLD検出結果を得るためのプログラミングは次のシーケンスで行ってください。

0. HLMODを"1"にセット (S1C60A08でCPUシステムクロックがfosc3の場合のみ)
1. BLSを"1"にセット
2. 100 $\mu$ sec以上保持
3. BLSを"0"にセット
4. BLDの読み出し
5. HLMODを"0"にセット (S1C60A08でCPUシステムクロックがfosc3の場合のみ)

ただし、S1C60N08、S1C60L08およびS1C60A08がCPUシステムクロックにfosc1を選択している場合は命令サイクルが充分長いので、ソフトウェアによるBLS="1"の100 $\mu$ sec保持について留意する必要はありません。

##### (3) サブBLDラッチが"1"にセットされ、ハードウェアでサンプリングする場合

BLD $\alpha$  サブBLDラッチ が"1"にセットされた場合は、次の2つのタイミングで検出結果がBLD $\alpha$  (サブBLDラッチ) BLD1 (BLDラッチ) に書き込まれます (HLMODを"1"にセットした場合と同様です)。

1. BLD0="1"となった直後の1命令サイクル時間終了直後
2. BLD0="1"となっている間に計時タイマより出力される2Hz周期でのサンプリング直後

したがって、BLD $\alpha$  (サブBLDラッチ) BLD1 (BLDラッチ) のデータはBLD $\alpha$  (サブBLDラッチ) を"1"にセットされた直後に書き込まれるとともに2Hz周期で新たな検出結果が書き込まれます。

なお、安定したBLD検出結果を得るためには、少なくとも100 $\mu$ sec以上BLD回路をONにする必要があります。したがって、S1C60A08でCPUシステムクロックがfosc3の場合、1.のタイミングでの検出結果は無効あるいは誤判定の場合があります。

## 4.14.4 BLD回路の制御方法

表4.14.4.1にBLD回路の制御ビットを示します。

表4.14.4.1 BLD回路の制御ビット

アドレス	レジスタ								コメント
	D3	D2	D1	D0	Name	Init *1	1	0	
2E6H	HLMOD	BLD0	EISWIT1	EISWIT0	HLMOD	0	Heavy load	Normal	重負荷保護モードレジスタ
					BLD0	0	Low	Normal	サブBLD判定データ
	R/W	R	R/W		EISWIT1	0	Enable	Mask	割り込みマスクレジスタ(ストップウォッチ1Hz)
					EISWIT0	0	Enable	Mask	割り込みマスクレジスタ(ストップウォッチ10Hz)
2FFH	BLS	BLC2	BLC1	BLC0	BLS	0	On	Off	BLD On/Off
	BLD1				BLD1	0	Low	Normal	BLD判定データ
	W	R/W			BLC2	× *5			判定電圧設定レジスタ
	R				BLC1	× *5			[BLC2-0]
					BLC0	× *5			0 1 2 3 4 5 6 7
									S1C60N08/60A08 2.20 2.25 2.30 2.35 2.40 2.45 2.50 2.55 (V)
									S1C60L08 1.05 1.10 1.15 1.20 1.25 1.30 1.35 1.40 (V)

\*1 イニシャルリセット時の初期値

\*3 読み出し時は常時"0"

\*5 不定

\*2 回路上設定されない

\*4 読み出し直後、リセット(0)

## HLMOD: 重負荷保護モード( 2E6H・D3 )

"1"書き込み: 重負荷保護モードの設定

"0"書き込み: 重負荷保護モードの解除

読み込み: 可能

HLMODを"1"にすると、ICの動作状態を重負荷保護モードにするとともにBLD回路の電池寿命検出動作を制御( ON/OFF )します。重負荷保護モードについては、"4.15 重負荷保護機能とサブBLD回路"を参照してください。

HLMODを"1"にしたときのBLD回路のON時間はサンプリング制御されます。サンプリング時間には2種類あり、次のとおりです。

( 1 ) HLMOD="1"とした直後の1命令サイクル時間

( 2 ) HLMOD="1"となっている間にプリスケラより出力される2Hz周期でのサンプリング

BLD回路が応答するためには、少なくとも100μsec以上BLD回路をONにする必要があります。したがって、S1C60A08でCPUシステムクロックがfosc3の場合、( 1 )のタイミングでの検出結果は無効あるいは誤判定の場合があります。( 1 )のタイミングを用いてBLD検出を行う場合は、必ずCPUシステムクロックがfosc1の状態で行ってください。

なお、HLMODを"1"にセットしてBLDサンプリングをした場合、BLD検出結果がBLDラッチへ書き込まれるタイミングはそれぞれ次のとおりです。

( 1 ) HLMOD="1"とした直後の1命令サイクル時間終了直後

( 2 ) HLMOD="1"となっている間にプリスケラより出力される2Hz周期でのサンプリング直後

したがって、BLDラッチのデータはHLMODを"1"にセットした直後に書き込まれるとともに、2Hz周期で新たな検出結果が書き込まれます。

BLS/BLD1: BLD検出/BLDデータ (2FFH・D3)

BLD動作を制御します。

- "0"書き込み: BLD検出 OFF
- "1"書き込み: BLD検出 ON
- "0"読み出し: BLD設定値より電源電圧 ( $V_{DD} - V_{SS}$ ) が高い
- "1"読み出し: BLD設定値より電源電圧 ( $V_{DD} - V_{SS}$ ) が低い

本ビットは書き込み時と読み出し時で機能が異なりますので注意してください。

書き込みを行った場合はBLD検出動作のON/OFFを制御し、読み出しを行った場合はBLD検出結果 (BLDラッチの内容) を読み出します。BLD検出動作時は消費電流が大きくなりますので、必要なとき以外は必ずBLD検出をOFFに設定してください。

BLSを"1"にセットすることによりBLD検出が行われ、BLSを"0"にリセットした直後にBLDラッチへ検出結果が書き込まれます。なお、安定したBLD検出結果を得るためには、少なくとも100 $\mu$ sec以上BLD回路をONにする必要があります。したがって、BLD検出結果を得るためのプログラミングは次のシーケンスで行ってください。

0. HLMODを"1"にセット (S1C60A08でCPUシステムクロックがfosc3の場合のみ)

1. BLSを"1"にセット

2. 100 $\mu$ sec以上保持

3. BLSを"0"にセット

4. BLDの読み出し

5. HLMODを"0"にセット (S1C60A08でCPUシステムクロックがfosc3の場合のみ)

ただし、S1C60N08、S1C60L08およびS1C60A08がCPUシステムクロックにfosc1を選択している場合は命令サイクルが充分長いので、ソフトウェアによるBLS="1"の100 $\mu$ sec保持について留意する必要はありません。

#### 4.14.5 プログラミング上の注意事項

- (1) BLD回路はONさせてから安定した結果が得られるまでに100 $\mu$ secの時間を必要とします。このため、ソフトウェアにより以下の配慮を行ってください。

CPUシステムクロックがfosc1の場合

1. HLMODにて検出を行う場合

HLMODに"1"を書き込み後、1命令おいてからBLDを読み出します。

2. BLSにて検出を行う場合

BLSに"1"を書き込み、100 $\mu$ sec以上経過後 次命令で可"0"を書き込んでBLDを読み出します。

CPUシステムクロックがfosc3の場合 (S1C60A08の場合のみ)

1. HLMODにて検出を行う場合

HLMODに"1"を書き込み後、0.6secおいてからBLDを読み出します。

(HLMODは0.6sec以上"1"を保持すること)

2. BLSにて検出を行う場合

BLSに"1"を書き込む前にHLMODに"1"を書き込み、BLSに"1"を書き込み後100 $\mu$ sec以上経過後にBLSに"0"を書き込んでBLDを読み出します。

- (2) BLSはBLD1と同一アドレスの同一ビットに存在し、書き込みと読み出しで各々が選択されます。このため、BLSの制御に演算命令 (AND、OR、ADD、SUB等) を使用することはできません。

## 4.15 重負荷保護機能とサブBLD回路

本項では重負荷保護機能とサブBLD回路について説明します。

### 4.15.1 重負荷保護機能の構成と動作

本機能はS1C60L08とS1C60N08/60A08とでは機能が異なりますので注意が必要です。

#### (1) S1C60L08の場合

S1C60L08は外付けプザー鳴鐘時や外付けランプ点灯時など、電池の負荷が重くなり電源電圧が低下する場合に備えて重負荷保護機能を持っています。この重負荷保護機能が働いているモードを重負荷保護モードと呼び、通常動作モードより低い電圧での動作が可能となります。通常の動作モードから重負荷保護モードへは次の2つの場合に移行します。

1. ソフトウェア(HLMODを"1"にセット)により重負荷保護モードに移した場合
2. サブBLD回路が電源電圧の低下(BLD0="1")を検出した場合、電源電圧が復帰(BLD0="0")するまで自動的に重負荷保護モードに移ります。

サブBLD回路はBLD回路と同期して動作する2.4V/1.2V検出専用のBLD回路です。S1C60L08では低電圧電源の条件下でも動作を保证するために重負荷保護機能を制御します。

S1C60L08はサブBLD回路と重負荷保護機能の働きによって、電源電圧0.9V動作を実現しています。なお、サブBLD回路の検出電圧の精度については、電気的特性を参照してください。

重負荷保護機能とサブBLD回路の構成を図4.15.1.1に示します。

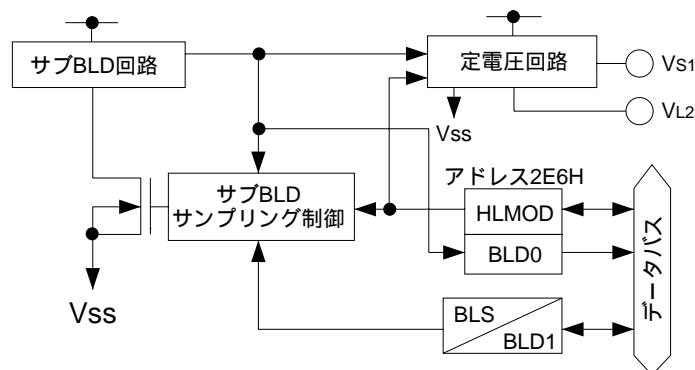


図4.15.1.1 重負荷保護機能とサブBLD回路の構成

重負荷保護モードでは、内部回路を動作させるための内部定電圧を液晶駆動電源出力VL2より発生させます。このため、重負荷保護モードでは通常モードより消費電流が多くなります。したがって、必要なとき以外にはソフトウェアで重負荷保護モードに設定しないように注意してください。

#### (2) S1C60N08/60A08の場合

S1C60N08/60A08は外付けプザー鳴鐘時など、電池電源電圧が変動する場合に備えて重負荷保護機能を持っています。この重負荷保護機能が働いているモードを重負荷保護モードと呼び、通常動作モードよりLCD系定電圧/昇圧回路の出力電圧変動を小さくできます。通常の動作モードから重負荷保護モードへは次の場合に移行します。

- ・ ソフトウェア(HLMODを"1"にセット)により重負荷保護モードに移した場合

重負荷保護モードでは、LCD系定電圧回路を低消費電流モードから高安定モードに切り換えます。このため、重負荷保護モードでは通常モードより消費電流が多くなります。したがって、必要なとき以外にはソフトウェアで重負荷保護モードに設定しないように注意してください。

#### 4.15.2 サブBLD回路の動作

サブBLD回路は判定電圧をプログラムで設定できない点を除いては、BLD回路とほぼ同様にソフトウェアで制御できます。

サブBLD回路の検出タイミングと検出データのサブBLDラッチへの書き込みタイミングは、BLD回路と同様にHLMODまたはBLSにより制御されます。ただし、S1C60L08ではサブBLD回路が電源電圧の低下(1.2V以下)を検出して重負荷保護モードに入った場合にも、ソフトウェアで重負荷保護モードに入った場合と同様に、プリスケアラより出力される2Hzに同期したタイミングで、BLD回路とサブBLD回路のサンプリングが行われます。したがって、一度サブBLD回路が低電圧を検出して重負荷保護モードに入った場合でも、電源電圧が回復してサブBLD回路が1.2V以上の電源電圧と判定すると通常モードに戻ります。また、S1C60N08とS1C60A08ではサブBLD回路が電源電圧の低下(2.4V以下)を検出してサブBLDラッチに検出データが書き込まれると、プリスケアラより出力される2Hzに同期したタイミングで、BLD回路とサブBLD回路のサンプリングが行われます。電源電圧が回復してサブBLD回路が2.4V以上の電源電圧と判定すると、プリスケアラより出力される2Hzに同期したタイミングでのBLD回路とサブBLD回路のサンプリングは行われなくなります。

#### 4.15.3 重負荷保護機能とサブBLD回路の制御方法

表4.15.3.1に重負荷保護機能とサブBLD回路の制御ビットを示します。

表4.15.3.1 重負荷保護機能とサブBLD回路の制御ビット

アドレス	レジスタ								コメント
	D3	D2	D1	D0	Name	Init *1	1	0	
2E6H	HLMOD	BLD0	EISWIT1	EISWIT0	HLMOD	0	Heavy load	Normal	重負荷保護モードレジスタ
					BLD0	0	Low	Normal	サブBLD判定データ
	R/W	R	R/W		EISWIT1	0	Enable	Mask	割り込みマスクレジスタ(ストップウォッチ1Hz)
					EISWIT0	0	Enable	Mask	割り込みマスクレジスタ(ストップウォッチ10Hz)
2FFH	BLS				BLS	0	On	Off	BLD On/Off
	BLD1	BLC2	BLC1	BLC0	BLD1	0	Low	Normal	BLD判定データ
					BLC2	×	*5		判定電圧設定レジスタ
	W	R/W			BLC1	×	*5		[BLC2~0]
					BLC0	×	*5		0 1 2 3 4 5 6 7
	R								S1C60N08/60A08 2.20 2.25 2.30 2.35 2.40 2.45 2.50 2.55 (V)
									S1C60L08 1.05 1.10 1.15 1.20 1.25 1.30 1.35 1.40 (V)

\*1 イニシャルリセット時の初期値

\*3 読み出し時は常時"0"

\*5 不定

\*2 回路上設定されない

\*4 読み出し直後、リセット(0)

HLMOD: 重負荷保護モード (2E6H・D3)

重負荷保護モードを設定します。

"1"書き込み: 重負荷保護モードの設定

"0"書き込み: 重負荷保護モードの解除

読み込み: 可能

HLMODを"1"にすると、ICの動作状態を重負荷保護モードにするとともにBLD回路の電池寿命検出動作を制御(ON/OFF)します。HLMODを"1"にしたときのBLD回路のON時間はサンプリング制御されます。サンプリング時間には2種類あり、次のとおりです。

(1) HLMOD="1"とした直後の1命令サイクル時間

(2) HLMOD="1"となっている間にプリスケアラより出力される2Hz周期でのサンプリング

BLD回路が応答するためには、少なくとも100μsec以上BLD回路をONにする必要があります。したがって、S1C60A08でCPUシステムクロックがfosc3の場合、(1)のタイミングでの検出結果は無効あるいは誤判定の場合があります。(1)のタイミングを用いてBLD検出を行う場合は、必ずCPUシステムクロックがfosc1の状態で行ってください。

なお、HLMODを"1"にセットしてBLDサンプリングをした場合、BLD検出結果がBLDラッチへ書き込まれるタイミングはそれぞれ次のとおりです。

(1) HLMOD="1"とした直後の1命令サイクル時間終了直後

(2) HLMOD="1"となっている間にプリスケアラより出力される2Hz周期でのサンプリング直後

したがって、BLDラッチのデータはHLMODを"1"にセットした直後に書き込まれるとともに、2Hz周期で新たな検出結果が書き込まれます。

## BLD0: サブBLDデータ( 2E6H・D2 )

重負荷保護モード時の電圧検出データが読み出せます。

- "0"読み出し: 約2.4V( S1C60N08/60A08 )/1.2V( S1C60L08 )より電源電圧(  $V_{DD} - V_{SS}$  )が高い
- "1"読み出し: 約2.4V( S1C60N08/60A08 )/1.2V( S1C60L08 )より電源電圧(  $V_{DD} - V_{SS}$  )が低い
- 書き込み: 無効

BLD0が"1"のとき、S1C60L08は重負荷保護モードになっています。BLD0が"1"のときは、2Hz周期でBLD回路とサブBLD回路の検出動作がサンプリングされ、それぞれBLDラッチとサブBLDラッチに検出結果が書き込まれます。

## BLS/BLD1: BLD検出/BLDデータ( 2FFH・D3 )

BLD動作を制御します。

- "0"書き込み: BLD検出 OFF
- "1"書き込み: BLD検出 ON
- "0"読み出し: BLD設定値より電源電圧(  $V_{DD} - V_{SS}$  )が高い
- "1"読み出し: BLD設定値より電源電圧(  $V_{DD} - V_{SS}$  )が低い

本ビットは書き込み時と読み出し時で機能が異なりますので注意してください。

書き込みを行った場合はBLD検出動作のON/OFFを制御し、読み出しを行った場合はBLD検出結果( BLDラッチの内容 )を読み出します。BLD検出動作時は消費電流が大きくなりますので、必要なとき以外は必ずBLD検出をOFFに設定してください。

BLSを"1"にセットすることによりBLD検出が行われ、BLSを"0"にリセットした直後にBLDラッチへ検出結果が書き込まれます。なお、安定したBLD検出結果を得るためには、少なくとも100 $\mu$ sec以上BLD回路をONにする必要があります。したがって、BLD検出結果を得るためのプログラミングは次のシーケンスで行ってください。

0. HLMODを"1"にセット( S1C60A08でCPUシステムクロックが $f_{osc3}$ の場合のみ )

1. BLSを"1"にセット

2. 100 $\mu$ sec以上保持

3. BLSを"0"にセット

4. BLDの読み出し

5. HLMODを"0"にセット( S1C60A08でCPUシステムクロックが $f_{osc3}$ の場合のみ )

ただし、S1C60N08、S1C60L08およびS1C60A08がCPUシステムクロックに $f_{osc1}$ を選択している場合は命令サイクルが充分長いため、ソフトウェアによるBLS="1"の100 $\mu$ sec保持について留意する必要はありません。

#### 4.15.4 プログラミング上の注意事項

- ( 1 ) BLD回路はONさせてから安定した結果が得られるまでに100 $\mu$ secの時間を必要とします。このため、ソフトウェアにより以下の配慮を行ってください。

CPUシステムクロックがfosc1の場合

1. HLMODにて検出を行う場合  
HLMODに"1"を書き込み後、1命令おいてからBLDを読み出します。
2. BLSにて検出を行う場合  
BLSに"1"を書き込み、100 $\mu$ sec以上経過後( 次命令で可 ) "0"を書き込んでBLDを読み出します。

CPUシステムクロックがfosc3の場合( S1C60A08の場合のみ )

1. HLMODにて検出を行う場合  
HLMODに"1"を書き込み後、0.6secおいてからBLDを読み出します。  
( HLMODは0.6sec以上"1"を保持すること )
  2. BLSにて検出を行う場合  
BLSに"1"を書き込む前にHLMODに"1"を書き込み、BLSに"1"を書き込み後100 $\mu$ sec以上経過後にBLSに"0"を書き込んでBLDを読み出します。
- ( 2 ) BLSはBLD1と同一アドレスの同一ビットに存在し、書き込みと読み出しで各々が選択されます。このためBLSの制御に演算命令( AND、OR、ADD、SUB等 )を使用することはできません。
- ( 3 ) S1C60L08の重負荷保護モードにおいて重負荷をドライブ後、通常モードに戻す場合は以下の2つの方法のうち、どちらか一方をソフトウェア処理として選択してください。

1. 重負荷ドライブ終了後、1秒間以上経過してから通常モードに戻します。
2. 重負荷ドライブ終了後、BLSをON、OFF( ON時間は100 $\mu$ sec以上必要 )させ、その後に通常モードに戻します。

S1C60N08/60A08の場合は特別なソフトウェア処理は必要なく、重負荷のドライブ終了直後に通常モードに戻します。

- ( 4 ) 重負荷保護モードで動作中にBLSをONさせる場合は、ON時間を10msec以内としてください。

## 4.16 割り込みとHALT

S1C60N08シリーズには以下の割り込みが設定されており、各々マスクが可能です。

外部割り込み ・ 入力割り込み( 3系統 )

内部割り込み ・ タイマ割り込み( 3系統 )

・ ストップウォッチ割り込み( 2系統 )

・ シリアルインタフェース割り込み( 1系統 )

割り込みを許可するためにはインタラプトフラグを"1"にセット( EI )し、合わせて必要な系統の割り込みマスクレジスタも"1"にセット( イネーブル )する必要があります。

割り込みが発生するとインタラプトフラグは自動的に"0"にリセット( DI )され、以後の割り込みは禁止されます。

CPUはHALT命令が入力されるとCPU動作クロックを停止し、HALT状態に入ります。

CPUのHALT状態からの再起動は割り込み要求が発生することにより行われます。

割り込み要求による再起動がかからない場合、ウォッチドッグタイマによりイニシャルリセット状態からの再起動となります( ウォッチドッグタイマを使用している場合 )。

図4.16.1に割り込み回路の構成を示します。

割り込みベクタマップ

表4.16.1 割り込みベクタマップ

ページ	ステップ	割り込みベクタ
1	00H	イニシャルリセット
	01H	シリアルインタフェース割り込み
	02H	入力ポート割り込み
	03H	シリアルインタフェース + 入力ポート割り込み
	04H	計時タイマ割り込み
	05H	シリアルインタフェース + 計時タイマ割り込み
	06H	入力ポート + 計時タイマ割り込み
	07H	シリアルインタフェース + 入力ポート + 計時タイマ割り込み
	08H	ストップウォッチタイマ割り込み
	09H	シリアルインタフェース + ストップウォッチタイマ割り込み
	0AH	入力ポート + ストップウォッチタイマ割り込み
	0BH	シリアルインタフェース + 入力ポート + ストップウォッチタイマ割り込み
	0CH	計時タイマ + ストップウォッチタイマ割り込み
	0DH	シリアルインタフェース + 計時タイマ + ストップウォッチタイマ割り込み
	0EH	入力ポート + 計時タイマ + ストップウォッチタイマ割り込み
	0FH	すべての割り込み

各割り込みベクタ割り当て可能番地にジャンプ先アドレス( 割り込み処理ルーチンの開始アドレス )を書き込んで使用します。



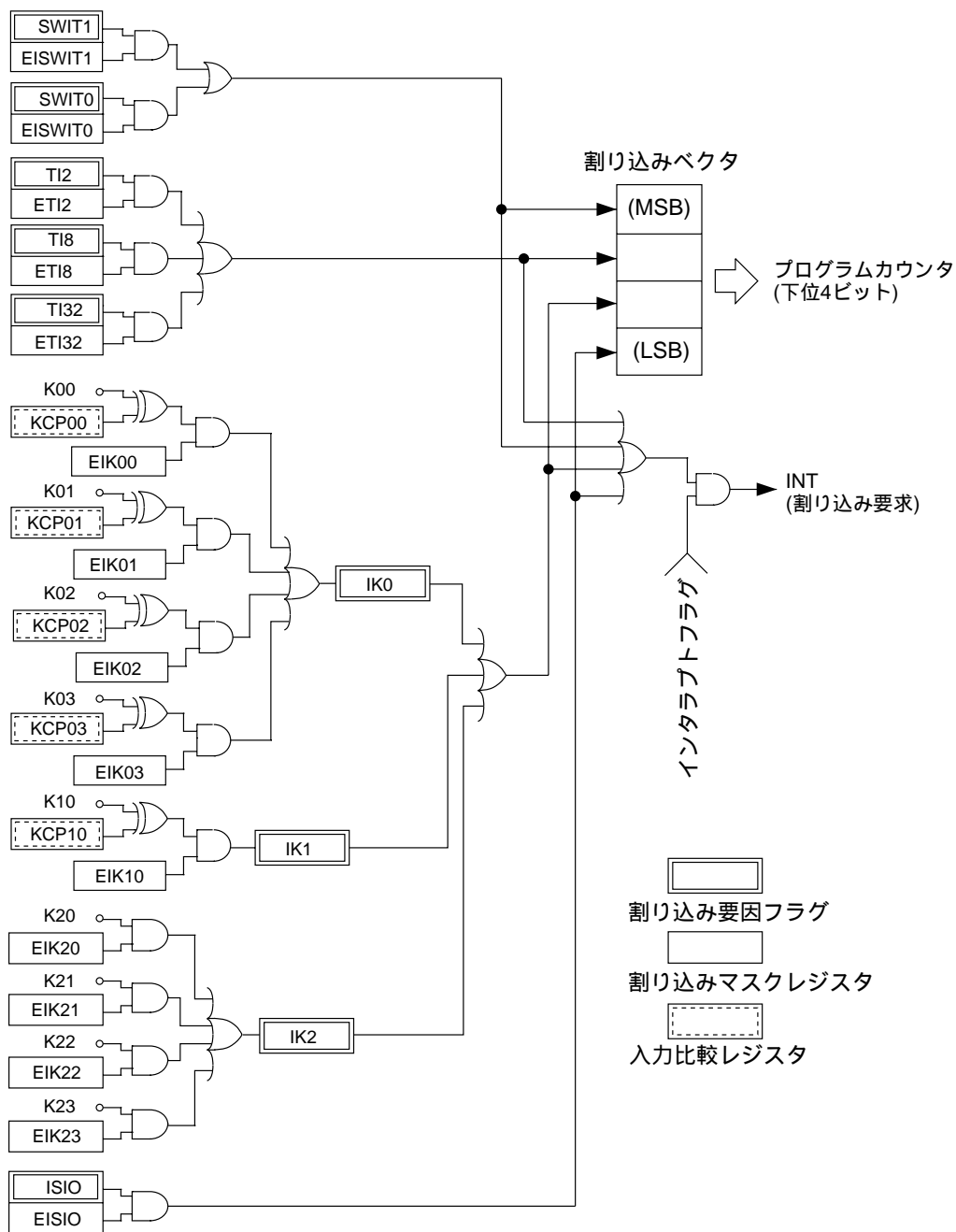


図4.16.1 割り込み回路の構成

## 4.16.1 割り込みの要因

割り込み要求が発生する要因を表4.16.1.1に示します。

各々の割り込み要因により、対応する割り込み要因フラグは"1"にセットされます。

CPUに対する割り込みは以下の条件が成立した場合、割り込み要因フラグが"1"にセットされたときに発生します。

- ・対応する割り込みマスクレジスタが"1"(イネーブル)
- ・インタラプトフラグが"1"(EI)

割り込み要因フラグは読み出し専用のレジスタですが、レジスタデータを読み出すことにより"0"にリセットされます。

イニシャルリセット時、割り込み要因フラグは"0"にリセットされます。

注: 割り込み要因フラグの読み出しは、DK(インタラプトフラグ="0")状態で行ってください。EK(インタラプトフラグ="1")のときに読み出すと誤動作の恐れがあります。

表4.16.1.1 割り込み要因

割り込み要因	割り込み要因フラグ
計時タイマ2Hz立ち下がりエッジ	TI2 (2E9H・D2)
計時タイマ8Hz立ち下がりエッジ	TI8 (2E9H・D1)
計時タイマ32Hz立ち下がりエッジ	TI32 (2E9H・D0)
ストップウォッチタイマ1Hz立ち下がりエッジ	SWIT1 (2EAH・D1)
ストップウォッチタイマ10Hz立ち下がりエッジ	SWIT0 (2EAH・D0)
シリアルインタフェース8ビットデータ入出力終了時	ISIO (2F3H・D0)
K00~K03ポート入力立ち上がり/立ち下がりエッジ	IK0 (2EAH・D2)
K10入力立ち上がり/立ち下がりエッジ	IK1 (2EAH・D3)
K20~K23入力立ち上がりエッジ	IK2 (2F3H・D1)

## 4.16.2 割り込みの個別マスクと要因フラグ

割り込み要因フラグは、対応する割り込みマスクレジスタによりマスクできます。

割り込みマスクレジスタは読み出し/書き込みが可能なレジスタであり、"1"書き込みでイネーブル(割り込み許可) "0"書き込みでマスク(割り込み禁止)となります。

イニシャルリセット時、割り込みマスクレジスタは"0"にリセットされます。

表4.16.2.1に割り込みマスクレジスタと割り込み要因フラグの対応を示します。

表4.16.2.1 割り込みマスクレジスタと割り込み要因フラグ

割り込みマスクレジスタ	割り込み要因フラグ
ETI2 (2E8H・D2)	TI2 (2E9H・D2)
ETI8 (2E8H・D1)	TI8 (2E9H・D1)
ETI32 (2E8H・D0)	TI32 (2E9H・D0)
EISWIT1 (2E6H・D1)	SWIT1 (2EAH・D1)
EISWIT0 (2E6H・D0)	SWIT0 (2EAH・D0)
EISIO (2F2H・D0)	ISIO (2F3H・D0)
EIK03* (2E5H・D3)	IK0 (2EAH・D2)
EIK02* (2E5H・D2)	
EIK01* (2E5H・D1)	
EIK00* (2E5H・D0)	
EIK10* (2E7H・D2)	IK1 (2EAH・D3)
EIK23* (2F5H・D3)	IK2 (2F3H・D1)
EIK22* (2F5H・D2)	
EIK21* (2F5H・D1)	
EIK20* (2F5H・D0)	

\* 入力ポートは端子ごとに割り込みマスクレジスタがあります。



## 4.16.4 割り込みとHALTの制御方法

表4.16.4.1に割り込みの制御ビットを示します。

表4.16.4.1 割り込みの制御ビット

アドレス	レジスタ								コメント
	D3	D2	D1	D0	Name	Init *1	1	0	
2E4H	KCP03	KCP02	KCP01	KCP00	KCP03	0			入力比較レジスタ(K00~K03)
					KCP02	0			
	R/W				KCP01	0			
					KCP00	0			
2E5H	EIK03	EIK02	EIK01	EIK00	EIK03	0	Enable	Mask	割り込みマスクレジスタ(K00~K03)
					EIK02	0	Enable	Mask	
	R/W				EIK01	0	Enable	Mask	
					EIK00	0	Enable	Mask	
2E6H	HLMOD	BLD0	EISWIT1	EISWIT0	HLMOD	0	Heavy load	Normal	重負荷保護モードレジスタ サブBLD判定データ 割り込みマスクレジスタ(ストップウォッチ1Hz) 割り込みマスクレジスタ(ストップウォッチ10Hz)
					BLD0	0	Low	Normal	
	R/W	R	R/W		EISWIT1	0	Enable	Mask	
					EISWIT0	0	Enable	Mask	
2E7H	SCTRG	EIK10	KCP10	K10	SCTRG*3	–	Trigger	–	シリアルI/Fクロックトリガ 割り込みマスクレジスタ(K10) 入力比較レジスタ(K10) 入力ポートデータ(K10)
					EIK10	0	Enable	Mask	
	W	R/W		R	KCP10	0			
					K10	–*2	High	Low	
2E8H	CSDC	ETI2	ETI8	ETI32	CSDC	0	Static	Dynamic	LCD駆動切り換え 割り込みマスクレジスタ(計時タイマ2Hz) 割り込みマスクレジスタ(計時タイマ8Hz) 割り込みマスクレジスタ(計時タイマ32Hz)
					ETI2	0	Enable	Mask	
	R/W				ETI8	0	Enable	Mask	
					ETI32	0	Enable	Mask	
2E9H	0	TI2	TI8	TI32	0*3	–*2	–	–	未使用 割り込み要因フラグ(計時タイマ2Hz) 割り込み要因フラグ(計時タイマ8Hz) 割り込み要因フラグ(計時タイマ32Hz)
					TI2*4	0	Yes	No	
	R				TI8*4	0	Yes	No	
					TI32*4	0	Yes	No	
2EAH	IK1	IK0	SWIT1	SWIT0	IK1*4	0	Yes	No	割り込み要因フラグ(K10) 割り込み要因フラグ(K00~K03) 割り込み要因フラグ(ストップウォッチ1Hz) 割り込み要因フラグ(ストップウォッチ10Hz)
					IK0*4	0	Yes	No	
	R				SWIT1*4	0	Yes	No	
					SWIT0*4	0	Yes	No	
2F2H	SCS1	SCS0	SE2	EISIO	SCS1	1			SIFクロック [SCS1, 0] 0 1 2 3 モード選択 クロック CLK CLK/2 CLK/4 スレーブ シリアルI/Fクロックエッジ選択 割り込みマスクレジスタ(シリアルI/F)
					SCS0	1			
	R/W				SE2	0			
					EISIO	0	Enable	Mask	
2F3H	0	0	IK2	ISIO	0*3	–*2	–	–	未使用 未使用 割り込み要因フラグ(K20~K23) 割り込み要因フラグ(シリアルI/F)
					0*3	–*2	–	–	
	R				IK2*4	0	Yes	No	
					ISIO*4	0	Yes	No	
2F5H	EIK23	EIK22	EIK21	EIK20	EIK23	0	Enable	Mask	割り込みマスクレジスタ(K20~K23)
					EIK22	0	Enable	Mask	
	R/W				EIK21	0	Enable	Mask	
					EIK20	0	Enable	Mask	

\*1 イニシャルリセット時の初期値

\*3 読み出し時は常時"0"

\*5 不定

\*2 回路上設定されない

\*4 読み出し直後、リセット(0)

ETI32, ETI8, ETI2: 割り込みマスクレジスタ( 2E8H・D0 ~ D2 )

TI32, TI8, TI2: 割り込み要因フラグ( 2E9H・D0 ~ D2 )

"4.9 計時タイマ"参照

EISWIT0, EISWIT1: 割り込みマスクレジスタ( 2E6H・D0 ~ D1 )

SWIT0, SWIT1: 割り込み要因フラグ( 2EAH・D0 ~ D1 )

"4.10 ストップウォッチタイマ"参照

EISIO: 割り込みマスクレジスタ( 2F2H・D0 )

ISIO: 割り込み要因フラグ( 2F3H・D0 )

"4.7 シリアルインタフェース"参照

KCP00 ~ KCP03: 入力比較レジスタ( 2E4H )

EIK00 ~ EIK03: 割り込みマスクレジスタ( 2E5H )

IK0: 割り込み要因フラグ( 2EAH・D2 )

"4.4 入力ポート"参照

KCP10: 入力比較レジスタ( 2E7H・D1 )

EIK10: 割り込みマスクレジスタ( 2E7H・D2 )

IK1: 割り込み要因フラグ( 2EAH・D3 )

"4.4 入力ポート"参照

EIK20 ~ EIK23: 割り込みマスクレジスタ( 2F5H )

IK2: 割り込み要因フラグ( 2F3H・D1 )

"4.4 入力ポート"参照

#### 4.16.5 プログラミング上の注意事項

- (1) 入力ポートの割り込み要因フラグ( IK )は、割り込みマスクレジスタ( EIK )を"0"に設定していると、入力ポートの端子状態が変化してもセットされません。
- (2) 計時タイマ、ストップウォッチタイマ、シリアルインタフェースの各割り込み要因フラグ( TI、SWIT、ISIO )は、各割り込みマスクレジスタ( ETI、EISWIT、EISIO )を"0"に設定していても、タイミング条件成立によりセットされます。
- (3) 各割り込み要因フラグの読み出しは、DK( インタラプトフラグ="0" )状態で行ってください。EI( インタラプトフラグ="1" )状態時に読み出すと誤動作の原因になります。
- (4) 各割り込みマスクレジスタへの書き込みは、DK( インタラプトフラグ="0" )状態で行ってください。EK( インタラプトフラグ="1" )状態時に書き込むと誤動作の原因になります。

## 5 注意事項のまとめ

### 5.1 低消費電流化のための注意事項

S1C60N08シリーズは、低消費電流化のため回路系ごとに制御レジスタを持っています。この制御レジスタにより必要最小限の回路系を動作させるプログラムとすることで、低消費電流化が実現できます。

以下に動作を制御できる回路系とその制御レジスタ等を説明しますので、プログラムを組むうえで参考としてください。

表5.1.1 回路系と制御レジスタ

回路(および項目)	制御レジスタ等	消費電流オーダ
CPU	HALT命令	"7 電気的特性"参照
CPU動作周波数(S1C60A08)	CLKCHG, OSCC	"7 電気的特性"参照
重負荷保護モード	HLMOD	"7 電気的特性"参照
BLD回路	HLMOD, BLS	数十 $\mu$ A
アナログコンパレータ	AMPON	数十 $\mu$ A

イニシャルリセット時の各回路系の状態は以下のとおりです。

CPU :                                   動作状態

CPU動作周波数 :           低速側( CLKCHG="0" )、OSC3発振回路停止状態( OSCC="0" )

重負荷保護モード :       通常動作モード( HLMOD="0" )

BLD回路 :                   OFF状態( HLMOD="0"、BLS="0" )

アナログコンパレータ : OFF状態( AMPON="0" )

またLCDパネルの特性により、消費電流が数 $\mu$ Aのオーダで異なりますのでパネルの選択にも注意が必要です。

## 5.2 個別機能についての注意事項のまとめ

以下に各機能の注意事項を個別にまとめます。内容に充分留意したうえでプログラミングを行ってください。

### メモリ

メモリマップ中の未使用領域、および本書に示されていないメモリ領域にはメモリが実装されていません。このため、これらの領域をアクセスするようなプログラムを作成した場合は、正常な動作を保証することはできません。

### ウォッチドッグタイマ

ウォッチドッグタイマを使用する場合、3秒周期以内にソフトウェアでウォッチドッグタイマをリセットする必要があります。この場合、タイマデータ(WD0~WD2)は計時用途に使用することはできません。

### 発振回路とプリスケアラ

- (1) OSC3発振回路がONしてから発振が安定するまでに、5msec以上を必要とします。したがって、CPUの動作クロックをOSC1からOSC3に切り換える際は、OSC3発振ONの後、5msec以上経過してから行ってください。また、発振安定時間は外付け発振子の特性および使用条件等により異なりますので、充分マージンをとって待ち時間を設定してください。
- (2) OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々のインストラクションで行ってください。1インストラクションで、同時に処理するとCPUの誤動作につながります。
- (3) 計時タイマ、ストップウォッチタイマ等を正しく動作させるためには、使用する水晶振動子に合わせてOSC1のプリスケアラを選択してください。

### 入力ポート

- (1) 入力ポートをHIGHレベルからプルダウン抵抗でLOWレベルに変化させる場合、プルダウン抵抗と入力ゲート容量の時定数によって波形立ち下がり遅延が生じます。このため、入力ポートの取り込みを行う際は、適切な待ち時間を設定してください。特に、キーマトリクス構成時のキースキャン等に注意が必要です。目安としては、約1msec程度の待ち時間が必要です。
- (2) マスクオプションで"ノイズリジェクト回路あり"を選択した場合、割り込み条件成立から割り込み要因フラグ(IK)が"1"にセットされるまで(実際に割り込みが発生するまで)に、最大1msecの遅延が生じます。このため、割り込み要因フラグの読み出し(リセット)を行う際は、タイミングに注意する必要があります。たとえば、キーマトリクスにおいてキースキャンを行う場合、キースキャンにより入力の状態が変化して割り込み要因フラグがセットされるため、読み出してリセットする必要があります。ただし、キースキャンを行った直後に割り込み要因フラグの読み出しを行うと、遅延により読み出した後にフラグがセットされてしまい、リセットできません。

## (3) 入力割り込みプログラミング上の注意

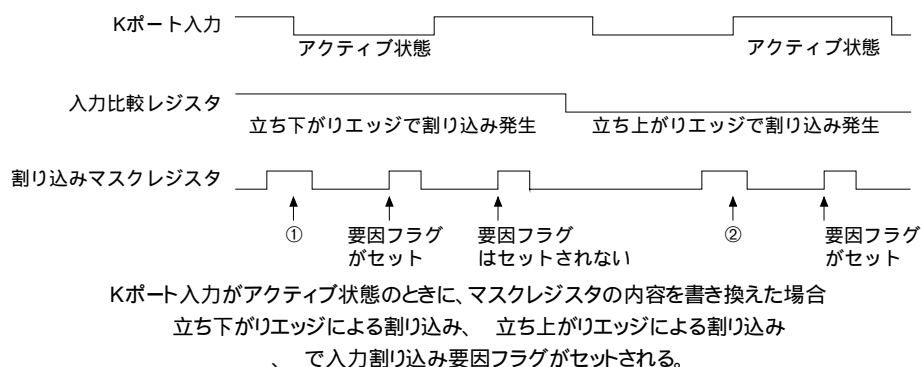


図5.2.1 入力割り込みタイミング

入力割り込みを使用する場合、割り込み入力となる入力端子の値がアクティブ状態のときにマスクレジスタの内容を書き換えると、入力割り込みの要因フラグがセットされることがあります。ここで、入力割り込みを使用した場合の入力端子のアクティブ状態とは、

立ち下がりエッジで割り込みがかかる場合: 入力端子=LOW状態

立ち上がりエッジで割り込みがかかる場合: 入力端子=HIGH状態

をいいます。

入力端子の立ち下がりエッジで割り込みをかける場合、図5.2.1のタイミングで要因フラグがセットされますが、入力端子をLOW状態に保ったままマスクレジスタの内容をクリアして次にセットすると、セットしたタイミングで再び入力割り込みの要因フラグがセットされます。したがって、この場合立ち下がりエッジ以外で要因フラグがセットされないようにするために、入力端子がアクティブ状態(LOW状態)のときはマスクレジスタの書き換え(マスクレジスタのクリア セット)を行わないでください。マスクレジスタをクリアした後セットする場合は、入力端子がアクティブでない状態(HIGH状態)のときに、マスクレジスタをセットしてください。入力端子の立ち上がりエッジで割り込みをかける場合、図5.2.1のタイミングで要因フラグがセットされます。この場合、マスクレジスタをクリア セットするときは、入力端子がLOW状態のときにマスクレジスタをセットしてください。

また、マスクレジスタ="1"かつ入力端子がアクティブ状態で入力比較レジスタの内容を書き換えると、入力割り込み要因フラグがセットされることがあります。入力比較レジスタの内容の書き換えは、マスクレジスタ="0"の状態で行ってください。

## 出力ポート

マスクオプションでBZ、 $\overline{\text{BZ}}$ 、FOUTを選択した場合、出力レジスタのデータ変更時に出力波形にハザードが出る場合があります。

## 入出力兼用ポート

- (1) 入出力兼用ポートの入力をHIGHレベルから内蔵プルダウン抵抗でLOWレベルに変化させる場合、プルダウン抵抗と入力ゲート容量の積定数によって波形立ち下がりに遅延が生じます。そのため、OSC3発振回路でCPUが動作中にデータを読み出す場合は、約500 $\mu\text{sec}$ 程度の時間、連続してデータを読み出す必要があります。
- (2) 入出力兼用ポートを出力モードに設定している際にデータレジスタを読み出した場合は、レジスタのデータではなく端子データが読み出されます。そのため、低インピーダンスの負荷を接続した場合に、この読み出しを行うとレジスタの値と読み出し結果が異なる場合があります。



### シリアルインタフェース

- (1) SCLKが内部クロックモードの状態ではSE2のビットデータを変更した場合、SCLK端子にハザードが出力されます。この現象がシステム上問題となる場合はSE2のビットを変更する際にSCLKを必ず外部クロックモードに設定してください。
- (2) 割り込み要因フラグ( ISIO )の読み出しはシリアルインタフェースがSTOR( SIOF="0" )状態、かつDK インタラプトフラグ="0" 状態でのみ行ってください。シリアルデータの入出力中( RUN 中 )に読み出しを行うと、データの入出力を中断し初期状態となります。また、EK インタラプトフラグ="1" 状態時に読み出すと誤動作の原因になります。
- (3) シリアルインタフェースをマスタモードで使用する場合、同期クロックはCPUのシステムクロックを使用しています。したがって、シリアルインタフェースが動作しているときは、システムクロックの切り換え( fosc1 $\leftrightarrow$ fosc3 )を行わないでください。
- (4) データレジスタSD0～SD7への書き込み、または読み出しはシリアルインタフェースが停止中( 同期クロックが入力/出力されていない状態 )のときのみ行ってください。
- (5) シリアルインタフェースの起動はトリガ条件として、SCTRGに"1"を書き込む以前に、データレジスタSD0～SD7の書き込み/読み出しが行われている必要があります。( データレジスタSD0～SD7への書き込み/読み出しにより、シリアルインタフェースの内部回路は初期化されます。 ) トリガはシリアルインタフェースをRUN状態にすることに一度だけ与えてください。また、同期クロックSCLKが外部クロックの場合は、トリガ後に外部クロックの入力を開始してください。

### LCDドライバ

- (1) 表示メモリに0ページを選択した場合、その領域の初期化( CPUからのメモリクリア処理等 )を行うまではメモリのデータと表示が一致しません。イニシャル処理で表示メモリの初期化を行ってください。
- (2) 表示メモリに2ページを選択した場合、その領域は書き込み専用となります。そのため、演算命令( AND、OR、ADD、SUB等 )でデータを書き換えることはできません。

### 計時タイマ

- (1) 計時タイマは、使用する水晶振動子に合わせて正しくプリスケアラモードを設定する必要があります。
- (2) 計時タイマをリセットした際、割り込み要因フラグ( TI )が"1"にセットされる場合があります。このため、リセット時には必要に応じてフラグの読み出し( フラグのリセット )を行ってください。
- (3) ウォッチドッグタイマの入力クロックが、計時タイマの2Hz信号のため、計時タイマリセット時にはウォッチドッグタイマがカウントアップされる場合があります。

### ストップウォッチタイマ

- (1) ストップウォッチタイマは、使用する水晶振動子に合わせてプリスケアラモードを正しく設定する必要があります。
- (2) RUN状態のカウンタデータを読み出す場合、一度カウンタをSTOPし読み出し後再度RUNさせる必要があります。カウンタの桁上げ時にデータを読み出すと、正しいデータが読み込めません。また、前記処理についてSTOP期間は976 $\mu$ sec( 256Hzの1/4周期 )以内である必要があります。

### サウンドジェネレータ

BZ、BZ信号は出力レジスタ( R10、R13 )ならびにブザー周波数選択レジスタ( BZFQ0～BZFQ2 )のデータ変更時に出力波形にハザードが出る場合があります。

### イベントカウンタ

- (1) イベントカウンタはEVRUNのレジスタに書き込み後、ノイズ除去クロックの立ち下がりエッジに同期して動作または停止します。このため、入力信号( K02、K03への入力 )を受け付ける際に、前記タイミングに注意が必要です。
- (2) イベントカウンタのデータ誤読み込みを防ぐため、カウンタデータは複数回読み出しと比較を行い、一致したデータを結果として用いてください。

### アナログコンパレ - タ

- (1) 消費電流低減のため、必要時以外アナログコンパレータはOFFにしてください。
- (2) アナログコンパレータの出力データAMPDTの読み出しはAMPONを"1"に設定後、アナログコンパレータの動作が安定する3msec以上の待ち時間をとってから行ってください。

### 電池寿命検出( BLD )回路

- (1) BLD回路はONさせてから安定した結果が得られるまでに100 $\mu$ secの時間を必要とします。このため、ソフトウェアにより以下の配慮を行ってください。

#### CPUシステムクロックがfosc1の場合

1. HLMODにて検出を行う場合  
HLMODに"1"を書き込み後、1命令おいてからBLDを読み出します。
2. BLSにて検出を行う場合  
BLSに"1"を書き込み、100 $\mu$ sec以上経過後 次命令で可 〇"を書き込んでBLDを読み出します。

#### CPUシステムクロックがfosc3の場合( S1C60A08の場合のみ )

1. HLMODにて検出を行う場合  
HLMODに"1"を書き込み後、0.6secおいてからBLDを読み出します。  
( HLMODは0.6sec以上"1"を保持すること )
  2. BLSにて検出を行う場合  
BLSに"1"を書き込む前にHLMODに"1"を書き込み、BLSに"1"を書き込み後100 $\mu$ sec以上経過後にBLSに"0"を書き込んでBLDを読み出します。
- (2) BLSはBLD1と同一アドレスの同一ビットに存在し、書き込みと読み出しで各々が選択されます。このため、BLSの制御に演算命令( AND、OR、ADD、SUB等 )を使用することはできません。

### 重負荷保護機能とサブBLD回路

- (1) BLD回路はONさせてから安定した結果が得られるまでに100 $\mu$ secの時間を必要とします。このため、ソフトウェアにより以下の配慮を行ってください。

#### CPUシステムクロックがfosc1の場合

1. HLMODにて検出を行う場合  
HLMODに"1"を書き込み後、1命令おいてからBLDを読み出します。
2. BLSにて検出を行う場合  
BLSに"1"を書き込み、100 $\mu$ sec以上経過後 次命令で可 〇"を書き込んでBLDを読み出します。

#### CPUシステムクロックがfosc3の場合( S1C60A08の場合のみ )

1. HLMODにて検出を行う場合  
HLMODに"1"を書き込み後、0.6secおいてからBLDを読み出します。  
( HLMODは0.6sec以上"1"を保持すること )
2. BLSにて検出を行う場合  
BLSに"1"を書き込む前にHLMODに"1"を書き込み、BLSに"1"を書き込み後100 $\mu$ sec以上経過後にBLSに"0"を書き込んでBLDを読み出します。

- 
- (2) BLSはBLD1と同一アドレスの同一ビットに存在し、書き込みと読み出しで各々が選択されます。このためBLSの制御に演算命令(AND、OR、ADD、SUB等)を使用することはできません。
- (3) S1C60L08の重負荷保護モードにおいて重負荷をドライブ後、通常モードに戻す場合は以下の2つの方法のうち、どちらか一方をソフトウェア処理として選択してください。
1. 重負荷ドライブ終了後、1秒間以上経過してから通常モードに戻します。
  2. 重負荷ドライブ終了後、BLSをON、OFF(ON時間は100μsec以上必要)させ、その後に通常モードに戻します。
- S1C60N08/60A08の場合は特別なソフトウェア処理は必要なく、重負荷のドライブ終了直後に通常モードに戻します。
- (4) 重負荷保護モードで動作中にBLSをONさせる場合は、ON時間を10msec以内としてください。

#### 割り込みとHALT

- (1) 入力ポートの割り込み要因フラグ(IK)は、割り込みマスクレジスタ(EIK)を"0"に設定していると、入力ポートの端子状態が変化してもセットされません。
- (2) 計時タイマ、ストップウォッチタイマ、シリアルインタフェースの各割り込み要因フラグ(TI、SWIT、ISIO)は、各割り込みマスクレジスタ(ETI、EISWIT、EISIO)を"0"に設定していても、タイミング条件成立によりセットされます。
- (3) 各割り込み要因フラグの読み出しは、DK(インタラプトフラグ="0")状態で行ってください。EI(インタラプトフラグ="1")状態時に読み出すと誤動作の原因になります。
- (4) 各割り込みマスクレジスタへの書き込みは、DK(インタラプトフラグ="0")状態で行ってください。EK(インタラプトフラグ="1")状態時に書き込むと誤動作の原因になります。

## 5.3 実装上の注意事項

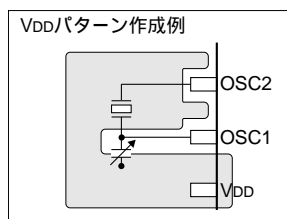
### 発振回路

発振特性は諸条件( 使用部品、基板パターン等 )により変化します。

特に水晶振動子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。

ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1) OSC1、OSC2、OSC3、OSC4端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
- (2) OSC1/OSC3、OSC2/OSC4端子およびこれらの端子に接続された部品の周辺部は右図のようにV<sub>DD</sub>パターンをできるだけ広く作成してください。また、このV<sub>DD</sub>パターンは発振用途以外に使用しないでください。



OSC1/OSC3 - V<sub>SS</sub>間のリーク電流による発振回路の不安定動作を防止するため、基板パターンにおいて、OSC1/OSC3はV<sub>SS</sub>電源や信号線とは十分な距離を確保してください。

### リセット回路

パワーオン時、RESET端子に入力されるリセット信号は諸条件( 電源の立ち上がり時間、使用部品、基板パターン等 )により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。

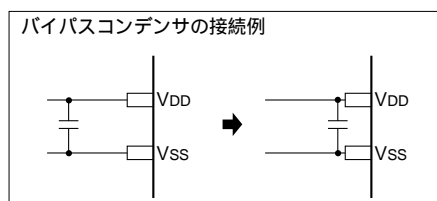
また、マスクオプションによりRESET端子のプルダウン抵抗を付加した場合には、抵抗値のばらつきを十分考慮した定数設定が必要です。

ノイズによる動作中のリセットを防ぐため、RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

### 電源回路

ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1) 電源からV<sub>DD</sub>、V<sub>SS</sub>端子へはできるだけ短くかつ太いパターンで接続してください。
- (2) V<sub>DD</sub> - V<sub>SS</sub>のバイパスコンデンサを接続する場合、V<sub>DD</sub>端子とV<sub>SS</sub>端子をできるだけ最短で接続してください。



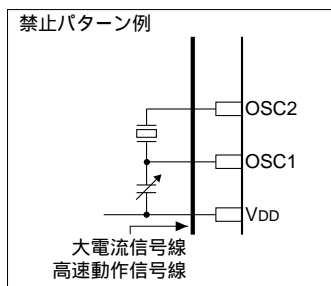
- (3) V<sub>S1</sub>、V<sub>L1</sub>、V<sub>L2</sub>、V<sub>L3</sub>端子に接続するコンデンサ等の部品はできるだけ最短で接続してください。

## 信号線の配置

相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。

高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。

特に、発振部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



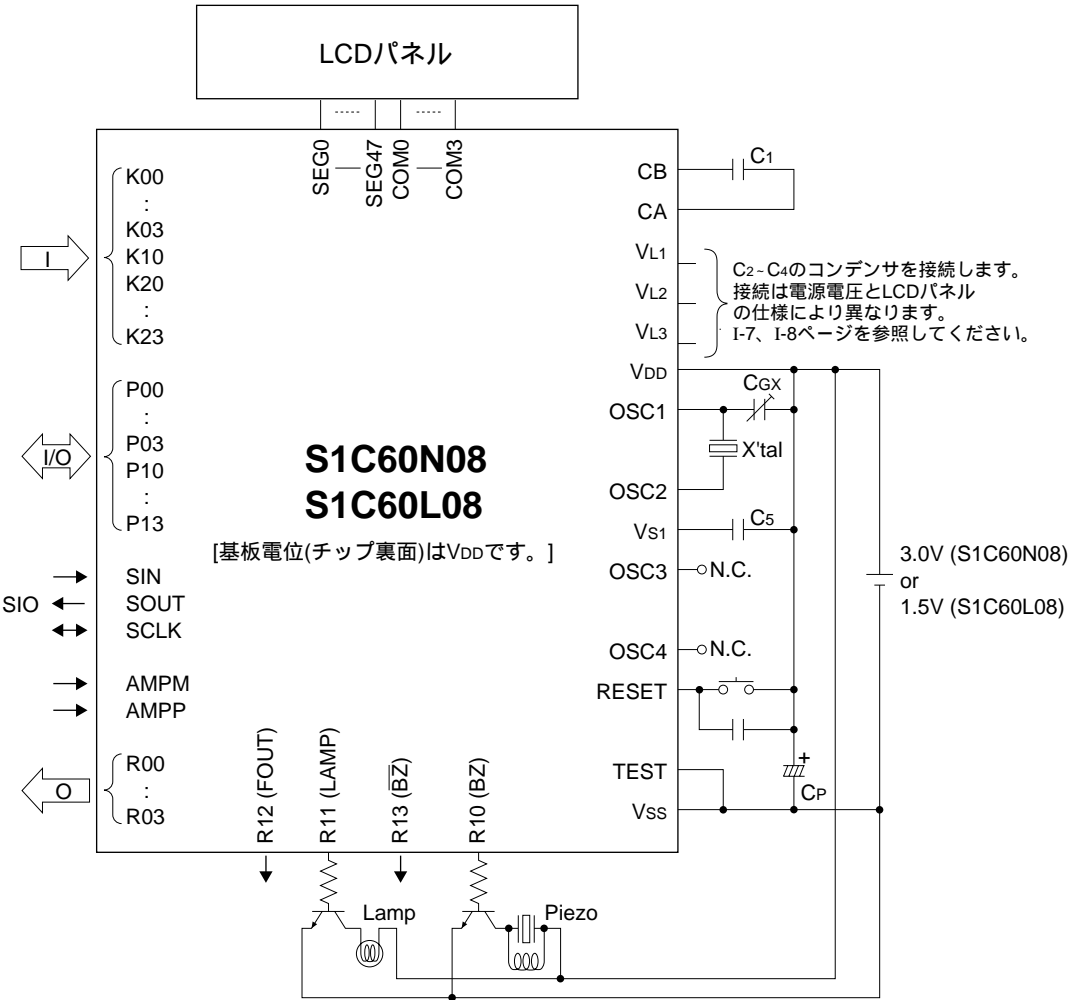
## 光に対する取り扱い（ベアチップ実装の場合）

半導体素子は、光が照射されると特性が変化します。このため、本ICに光が当たると誤動作をおこすことがあります。光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。

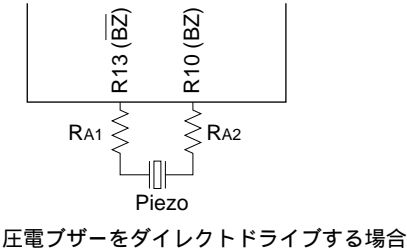
- (1) 実使用時にICの遮光性が考慮された構造となるよう、設計および実装を行ってください。
- (2) 検査工程では、ICの遮光性が考慮された環境設計を行ってください。
- (3) ICの遮光は、ICチップの表面、裏面および側面について考慮してください。

6 基本外部結線図

S1C60N08/S1C60L08

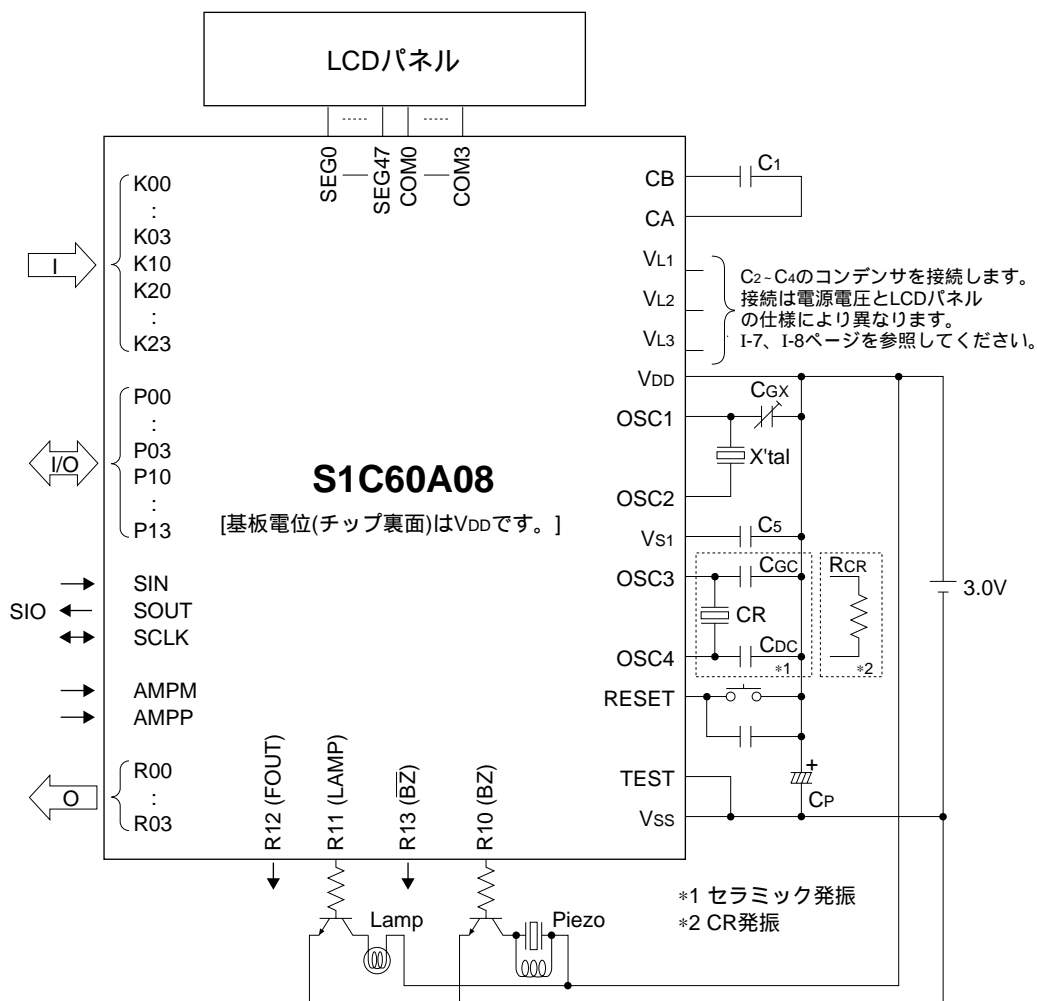


X'tal	水晶振動子	32.768kHz or 38.400kHz, C1 = 35kΩ
CGX	トリマキャパシタ	5~25pF
C1	キャパシタ	0.1μF
C2	キャパシタ	0.1μF
C3	キャパシタ	0.1μF
C4	キャパシタ	0.1μF
C5	キャパシタ	0.1μF
CP	キャパシタ	3.3μF
RA1	保護抵抗	100Ω
RA2	保護抵抗	100Ω



注: ここに記載されている値は一例であり、特に動作を保証するものではありません。

## S1C60A08



X'tal	水晶振動子	32.768kHz or 38.400kHz, C <sub>1</sub> = 35kΩ
CGX	トリマキャパシタ	5~25pF
CR	セラミック振動子	500kHz
CGC	ゲートキャパシタ	100pF
CDC	ドレインキャパシタ	100pF
R <sub>CR</sub>	CR発振用抵抗	82kΩ
C <sub>1</sub>	キャパシタ	0.1μF
C <sub>2</sub>	キャパシタ	0.1μF
C <sub>3</sub>	キャパシタ	0.1μF
C <sub>4</sub>	キャパシタ	0.1μF
C <sub>5</sub>	キャパシタ	0.1μF
C <sub>P</sub>	キャパシタ	3.3μF
R <sub>A1</sub>	保護抵抗	100Ω
R <sub>A2</sub>	保護抵抗	100Ω

注: ここに記載されている値は一例であり、特に動作を保証するものではありません。

## 7 電気的特性

### 7.1 絶対最大定格

S1C60N08/60A08

(V<sub>DD</sub>=0V)

項 目	記号	定 格 値	単位
電源電圧	V <sub>SS</sub>	-5.0 ~ 0.5	V
入力電圧(1)	V <sub>I</sub>	V <sub>SS</sub> -0.3 ~ 0.5	V
入力電圧(2)	V <sub>IOSC</sub>	V <sub>S1</sub> -0.3 ~ 0.5	V
許容総出力電流 *1	ΣI <sub>VSS</sub>	10	mA
動作温度	T <sub>opr</sub>	-20 ~ 70	°C
保存温度	T <sub>stg</sub>	-65 ~ 150	°C
半田付け温度・時間	T <sub>sol</sub>	260°C, 10sec (リード部)	—
許容損失 *2	P <sub>D</sub>	250	mW

\*1 許容総出力電流とは出力端子から同時に流し出せる(または引き込める)電流(平均電流)の総和です。

\*2 プラスチックパッケージの場合

S1C60L08

(V<sub>DD</sub>=0V)

項 目	記号	定 格 値	単位
電源電圧	V <sub>SS</sub>	-2.0 to 0.5	V
入力電圧(1)	V <sub>I</sub>	V <sub>SS</sub> -0.3 to 0.5	V
入力電圧(2)	V <sub>IOSC</sub>	V <sub>S1</sub> -0.3 to 0.5	V
許容総出力電流 *1	ΣI <sub>VSS</sub>	10	mA
動作温度	T <sub>opr</sub>	-20 to 70	°C
保存温度	T <sub>stg</sub>	-65 to 150	°C
半田付け温度・時間	T <sub>sol</sub>	260°C, 10sec (リード部)	—
許容損失 *2	P <sub>D</sub>	250	mW

\*1 許容総出力電流とは出力端子から同時に流し出せる(または引き込める)電流(平均電流)の総和です。

\*2 プラスチックパッケージの場合

### 7.2 推奨動作条件

S1C60N08

(Ta=-20 ~ 70°C)

項 目	記号	条 件	Min.	Typ.	Max.	単位
電源電圧	V <sub>SS</sub>	V <sub>DD</sub> =0V	-3.5	-3.0	-1.8	V
発振周波数	f <sub>OSC1</sub>	一方を選択	—	32.768	—	kHz
			—	38.400	—	kHz

S1C60L08

(Ta=-20 ~ 70°C)

項 目	記号	条 件	Min.	Typ.	Max.	単位
電源電圧	V <sub>SS</sub>	V <sub>DD</sub> =0V	-1.7	-1.5	-1.1	V
		V <sub>DD</sub> =0V, ソフト制御あり *1	-1.7	-1.5	-0.9 *2	V
		V <sub>DD</sub> =0V, アナログコンパレータ使用時	-1.7	-1.5	-1.2	V
発振周波数	f <sub>OSC1</sub>	一方を選択	—	32.768	—	kHz
			—	38.400	—	kHz

\*1 重負荷保護モードへの切り換えを行う場合(詳細は4.15項参照)

\*2 LCDパネルの表示は、LCDパネルの特性により表示可能な電圧が異なります。

S1C60A08

(Ta=-20 ~ 70°C)

項 目	記号	条 件	Min.	Typ.	Max.	単位
電源電圧	V <sub>SS</sub>	V <sub>DD</sub> =0V	-3.5	-3.0	-2.2	V
発振周波数(1)	f <sub>OSC1</sub>	一方を選択	—	32.768	—	kHz
			—	38.400	—	kHz
発振周波数(2)	f <sub>OSC3</sub>	デューティ 50±5%	50	500	600	kHz



## 7.3 DC特性

## S1C60N08/60A08

特記なき場合

VDD=0V, VSS=-3.0V, fOSC1=32.768kHz, Ta=25°C, VS1/VL1~VL3は内部電圧, C1~C5=0.1μF

項 目	記号	条 件	Min.	Typ.	Max.	単位
高レベル入力電圧(1)	VIH1	K00~03, K10, K20~23, P00~03 P10~13, SIN	0.2・VSS		0	V
高レベル入力電圧(2)	VIH2	SCLK, RESET, TEST	0.1・VSS		0	V
低レベル入力電圧(1)	VIL1	K00~03, K10, K20~23, P00~03 P10~13, SIN	VSS		0.8・VSS	V
低レベル入力電圧(2)	VIL2	SCLK, RESET, TEST	VSS		0.9・VSS	V
高レベル入力電流(1)	IIH1	VIH1=0V Pull downなし	0		0.5	μA
高レベル入力電流(2)	IIH2	VIH2=0V Pull downあり	4		16	μA
高レベル入力電流(3)	IIH3	VIH3=0V Pull downあり	25		100	μA
低レベル入力電流	IIL	VIL=VSS	-0.5		0	μA
高レベル出力電流(1)	IOH1	VOH1=0.1・VSS			-1.8	mA
高レベル出力電流(2)	IOH2	VOH2=0.1・VSS			-0.9	mA
低レベル出力電流(1)	IOL1	VOL1=0.9・VSS	6.0			mA
低レベル出力電流(2)	IOL2	VOL2=0.9・VSS	3.0			mA
コモン出力電流	IOH3	VOH3=-0.05V			-3	μA
	IOL3	VOL3=VL3+0.05V	3			μA
セグメント出力電流 (LCD出力時)	IOH4	VOH4=-0.05V			-3	μA
	IOL4	VOL4=VL3+0.05V	3			μA
セグメント出力電流 (DC出力時)	IOH5	VOH5=0.1・VSS			-200	μA
	IOL5	VOL5=0.9・VSS	200			μA

## S1C60L08

特記なき場合

VDD=0V, VSS=-1.5V, fOSC1=32.768kHz, Ta=25°C, VS1/VL1~VL3は内部電圧, C1~C5=0.1μF

項 目	記号	条 件	Min.	Typ.	Max.	単位
高レベル入力電圧(1)	VIH1	K00~03, K10, K20~23, P00~03 P10~13, SIN	0.2・VSS		0	V
高レベル入力電圧(2)	VIH2	SCLK, RESET, TEST	0.1・VSS		0	V
低レベル入力電圧(1)	VIL1	K00~03, K10, K20~23, P00~03 P10~13, SIN	VSS		0.8・VSS	V
低レベル入力電圧(2)	VIL2	SCLK, RESET, TEST	VSS		0.9・VSS	V
高レベル入力電流(1)	IIH1	VIH1=0V Pull downなし	0		0.5	μA
高レベル入力電流(2)	IIH2	VIH2=0V Pull downあり	2		10	μA
高レベル入力電流(3)	IIH3	VIH3=0V Pull downあり	12		60	μA
低レベル入力電流	IIL	VIL=VSS	-0.5		0	μA
高レベル出力電流(1)	IOH1	VOH1=0.1・VSS			-300	μA
高レベル出力電流(2)	IOH2	VOH2=0.1・VSS			-150	μA
低レベル出力電流(1)	IOL1	VOL1=0.9・VSS	1400			μA
低レベル出力電流(2)	IOL2	VOL2=0.9・VSS	700			μA
コモン出力電流	IOH3	VOH3=-0.05V			-3	μA
	IOL3	VOL3=VL3+0.05V	3			μA
セグメント出力電流 (LCD出力時)	IOH4	VOH4=-0.05V			-3	μA
	IOL4	VOL4=VL3+0.05V	3			μA
セグメント出力電流 (DC出力時)	IOH5	VOH5=0.1・VSS			-100	μA
	IOL5	VOL5=0.9・VSS	100			μA

## 7.4 アナログ回路特性・消費電流

## S1C60N08 (通常動作モード)

特記なき場合

V<sub>DD</sub>=0V, V<sub>SS</sub>=-3.0V, f<sub>osc1</sub>=32.768kHz, T<sub>a</sub>=25°C, C<sub>G</sub>=25pF, V<sub>S1</sub>/V<sub>L1</sub>~V<sub>L3</sub>は内部電圧, C<sub>1</sub>~C<sub>5</sub>=0.1μF

項 目	記号	条 件	Min.	Typ.	Max.	単位
LCD駆動電圧	V <sub>L1</sub>	V <sub>DD</sub> -V <sub>L1</sub> 間に1MΩの負荷抵抗を接続 (パネル負荷なし)	1/2・V <sub>L2</sub> - 0.1		1/2・V <sub>L2</sub> ×0.9	V
	V <sub>L2</sub>	V <sub>DD</sub> -V <sub>L2</sub> 間に1MΩの負荷抵抗を接続 (パネル負荷なし)	-2.30	-2.10	-1.90	V
	V <sub>L3</sub>	V <sub>DD</sub> -V <sub>L3</sub> 間に1MΩの負荷抵抗を接続 (パネル負荷なし)	3/2・V <sub>L2</sub> - 0.1		3/2・V <sub>L2</sub> ×0.9	V
BLD電圧 *1	V <sub>B0</sub>	BLC="0"	-2.35	-2.20	-2.05	V
	V <sub>B1</sub>	BLC="1"	-2.40	-2.25	-2.10	V
	V <sub>B2</sub>	BLC="2"	-2.45	-2.30	-2.15	V
	V <sub>B3</sub>	BLC="3"	-2.50	-2.35	-2.20	V
	V <sub>B4</sub>	BLC="4"	-2.55	-2.40	-2.25	V
	V <sub>B5</sub>	BLC="5"	-2.60	-2.45	-2.30	V
	V <sub>B6</sub>	BLC="6"	-2.65	-2.50	-2.35	V
	V <sub>B7</sub>	BLC="7"	-2.70	-2.55	-2.40	V
BLD回路応答時間	t <sub>b</sub>				100	μsec
サブBLD電圧	V <sub>BS</sub>		-2.55	-2.40	-2.25	V
サブBLD回路応答時間	t <sub>BS</sub>				100	μsec
アナログコンパレータ 入力電圧	V <sub>IP</sub>	非反転入力(AMPP)	V <sub>SS</sub> +0.3		V <sub>DD</sub> -0.9	V
	V <sub>IM</sub>	反転入力(AMPM)				
アナログコンパレータ オフセット電圧	V <sub>OF</sub>				10	mV
アナログコンパレータ 応答時間	t <sub>AMP</sub>	V <sub>IP</sub> =-1.5V V <sub>IM</sub> =V <sub>IP</sub> ±15mV			3	msec
消費電流	I <sub>OP</sub>	HALT時		1.0	2.0	μA
		実行時 *2	パネル 負荷なし	2.2	4.0	μA

\*1 V<sub>B0</sub>~V<sub>B7</sub>の大小関係はV<sub>B0</sub>>V<sub>B1</sub>>V<sub>B2</sub>>...V<sub>B5</sub>>V<sub>B6</sub>>V<sub>B7</sub>

\*2 BLD回路、サブBLD回路およびアナログコンパレータはOFF状態

## S1C60N08 (重負荷保護モード)

特記なき場合

V<sub>DD</sub>=0V, V<sub>SS</sub>=-3.0V, f<sub>osc1</sub>=32.768kHz, T<sub>a</sub>=25°C, C<sub>G</sub>=25pF, V<sub>S1</sub>/V<sub>L1</sub>~V<sub>L3</sub>は内部電圧, C<sub>1</sub>~C<sub>5</sub>=0.1μF

項 目	記号	条 件	Min.	Typ.	Max.	単位
LCD駆動電圧	V <sub>L1</sub>	V <sub>DD</sub> -V <sub>L1</sub> 間に1MΩの負荷抵抗を接続 (パネル負荷なし)	1/2・V <sub>L2</sub> - 0.1		1/2・V <sub>L2</sub> ×0.9	V
	V <sub>L2</sub>	V <sub>DD</sub> -V <sub>L2</sub> 間に1MΩの負荷抵抗を接続 (パネル負荷なし)	-2.30	-2.10	-1.90	V
	V <sub>L3</sub>	V <sub>DD</sub> -V <sub>L3</sub> 間に1MΩの負荷抵抗を接続 (パネル負荷なし)	3/2・V <sub>L2</sub> - 0.1		3/2・V <sub>L2</sub> ×0.9	V
BLD電圧 *1	V <sub>B0</sub>	BLC="0"	-2.35	-2.20	-2.05	V
	V <sub>B1</sub>	BLC="1"	-2.40	-2.25	-2.10	V
	V <sub>B2</sub>	BLC="2"	-2.45	-2.30	-2.15	V
	V <sub>B3</sub>	BLC="3"	-2.50	-2.35	-2.20	V
	V <sub>B4</sub>	BLC="4"	-2.55	-2.40	-2.25	V
	V <sub>B5</sub>	BLC="5"	-2.60	-2.45	-2.30	V
	V <sub>B6</sub>	BLC="6"	-2.65	-2.50	-2.35	V
	V <sub>B7</sub>	BLC="7"	-2.70	-2.55	-2.40	V
BLD回路応答時間	t <sub>b</sub>				100	μsec
サブBLD電圧	V <sub>BS</sub>		-2.55	-2.40	-2.25	V
サブBLD回路応答時間	t <sub>BS</sub>				100	μsec
アナログコンパレータ 入力電圧	V <sub>IP</sub>	非反転入力(AMPP)	V <sub>SS</sub> +0.3		V <sub>DD</sub> -0.9	V
	V <sub>IM</sub>	反転入力(AMPM)				
アナログコンパレータ オフセット電圧	V <sub>OF</sub>				10	mV
アナログコンパレータ 応答時間	t <sub>AMP</sub>	V <sub>IP</sub> =-1.5V V <sub>IM</sub> =V <sub>IP</sub> ±15mV			3	msec
消費電流	I <sub>OP</sub>	HALT時		10	20	μA
		実行時 *2	パネル 負荷なし	12	25	μA

\*1 V<sub>B0</sub>~V<sub>B7</sub>の大小関係はV<sub>B0</sub>>V<sub>B1</sub>>V<sub>B2</sub>>...V<sub>B5</sub>>V<sub>B6</sub>>V<sub>B7</sub>

\*2 BLD回路、サブBLD回路はON状態(HLMOD="1"、BLS="0")

アナログコンパレータはOFF状態

## S1C60L08 (通常の動作モード)

特記なき場合

V<sub>DD</sub>=0V, V<sub>SS</sub>=-1.5V, f<sub>OSC1</sub>=32.768kHz, Ta=25°C, C<sub>G</sub>=25pF, V<sub>S1</sub>/V<sub>L1</sub>~V<sub>L3</sub>は内部電圧, C<sub>1</sub>~C<sub>5</sub>=0.1μF

項 目	記号	条 件	Min.	Typ.	Max.	単位
LCD駆動電圧	V <sub>L1</sub>	V <sub>DD</sub> -V <sub>L1</sub> 間に1MΩの負荷抵抗を接続 (パネル負荷なし)	-1.15	-1.05	-0.95	V
	V <sub>L2</sub>	V <sub>DD</sub> -V <sub>L2</sub> 間に1MΩの負荷抵抗を接続 (パネル負荷なし)	2・V <sub>L1</sub> - 0.1		2・V <sub>L1</sub> ×0.9	V
	V <sub>L3</sub>	V <sub>DD</sub> -V <sub>L3</sub> 間に1MΩの負荷抵抗を接続 (パネル負荷なし)	3・V <sub>L1</sub> - 0.1		3・V <sub>L1</sub> ×0.9	V
BLD電圧 *1	V <sub>B0</sub>	BLC="0"	-1.15	-1.05	-0.95	V
	V <sub>B1</sub>	BLC="1"	-1.20	-1.10	-1.00	V
	V <sub>B2</sub>	BLC="2"	-1.25	-1.15	-1.05	V
	V <sub>B3</sub>	BLC="3"	-1.30	-1.20	-1.10	V
	V <sub>B4</sub>	BLC="4"	-1.35	-1.25	-1.15	V
	V <sub>B5</sub>	BLC="5"	-1.40	-1.30	-1.20	V
	V <sub>B6</sub>	BLC="6"	-1.45	-1.35	-1.25	V
	V <sub>B7</sub>	BLC="7"	-1.50	-1.40	-1.30	V
BLD回路応答時間	t <sub>B</sub>				100	μsec
サブBLD電圧	V <sub>BS</sub>		-1.30	-1.20	-1.10	V
サブBLD回路応答時間	t <sub>BS</sub>				100	μsec
アナログコンパレータ 入力電圧	V <sub>IP</sub>	非反転入力(AMPP)	V <sub>SS</sub> +0.3		V <sub>DD</sub> -0.9	V
	V <sub>IM</sub>	反転入力(AMPM)				
アナログコンパレータ オフセット電圧	V <sub>OF</sub>				20	mV
アナログコンパレータ 応答時間	t <sub>AMP</sub>	V <sub>IP</sub> =-1.1V V <sub>IM</sub> =V <sub>IP</sub> ±30mV			3	msec
消費電流	I <sub>OP</sub>	HALT時		1.0	2.0	μA
		実行時 *2	パネル 負荷なし	2.2	4.0	μA

\*1 V<sub>B0</sub>~V<sub>B7</sub>の大小関係はV<sub>B0</sub>>V<sub>B1</sub>>V<sub>B2</sub>>...V<sub>B5</sub>>V<sub>B6</sub>>V<sub>B7</sub>

\*2 BLD回路、サブBLD回路およびアナログコンパレータはOFF状態

## S1C60L08 (重負荷保護モード)

特記なき場合

V<sub>DD</sub>=0V, V<sub>SS</sub>=-1.5V, f<sub>OSC1</sub>=32.768kHz, Ta=25°C, C<sub>G</sub>=25pF, V<sub>S1</sub>/V<sub>L1</sub>~V<sub>L3</sub>は内部電圧, C<sub>1</sub>~C<sub>5</sub>=0.1μF

項 目	記号	条 件	Min.	Typ.	Max.	単位
LCD駆動電圧	V <sub>L1</sub>	V <sub>DD</sub> -V <sub>L1</sub> 間に1MΩの負荷抵抗を接続 (パネル負荷なし)	-1.15	-1.05	-0.95	V
	V <sub>L2</sub>	V <sub>DD</sub> -V <sub>L2</sub> 間に1MΩの負荷抵抗を接続 (パネル負荷なし)	2・V <sub>L1</sub> - 0.1		2・V <sub>L1</sub> ×0.85	V
	V <sub>L3</sub>	V <sub>DD</sub> -V <sub>L3</sub> 間に1MΩの負荷抵抗を接続 (パネル負荷なし)	3・V <sub>L1</sub> - 0.1		3・V <sub>L1</sub> ×0.85	V
BLD電圧 *1	V <sub>B0</sub>	BLC="0"	-1.15	-1.05	-0.95	V
	V <sub>B1</sub>	BLC="1"	-1.20	-1.10	-1.00	V
	V <sub>B2</sub>	BLC="2"	-1.25	-1.15	-1.05	V
	V <sub>B3</sub>	BLC="3"	-1.30	-1.20	-1.10	V
	V <sub>B4</sub>	BLC="4"	-1.35	-1.25	-1.15	V
	V <sub>B5</sub>	BLC="5"	-1.40	-1.30	-1.20	V
	V <sub>B6</sub>	BLC="6"	-1.45	-1.35	-1.25	V
	V <sub>B7</sub>	BLC="7"	-1.50	-1.40	-1.30	V
BLD回路応答時間	t <sub>B</sub>				100	μsec
サブBLD電圧	V <sub>BS</sub>		-1.30	-1.20	-1.10	V
サブBLD回路応答時間	t <sub>BS</sub>				100	μsec
アナログコンパレータ 入力電圧	V <sub>IP</sub>	非反転入力(AMPP)	V <sub>SS</sub> +0.3		V <sub>DD</sub> -0.9	V
	V <sub>IM</sub>	反転入力(AMPM)				
アナログコンパレータ オフセット電圧	V <sub>OF</sub>				20	mV
アナログコンパレータ 応答時間	t <sub>AMP</sub>	V <sub>IP</sub> =-1.1V V <sub>IM</sub> =V <sub>IP</sub> ±30mV			3	msec
消費電流	I <sub>OP</sub>	HALT時		6.5	10	μA
		実行時 *2	パネル 負荷なし	8.5	15	μA

\*1 V<sub>B0</sub>~V<sub>B7</sub>の大小関係はV<sub>B0</sub>>V<sub>B1</sub>>V<sub>B2</sub>>...V<sub>B5</sub>>V<sub>B6</sub>>V<sub>B7</sub>

\*2 BLD回路、サブBLD回路はON状態(HLMOD="1"、BLS="0")

アナログコンパレータはOFF状態

## S1C60A08 (通常の動作モード)

特記なき場合

VDD=0V, VSS=-3.0V, fOSC1=32.768kHz, Ta=25°C, CG=25pF, VS1/VL1~VL3は内部電圧, C1~C5=0.1μF

項 目	記号	条 件	Min.	Typ.	Max.	単位
LCD駆動電圧	VL1	VDD-VL1間に1MΩの負荷抵抗を接続 (パネル負荷なし)	-1.15	-1.05	-0.95	V
	VL2	VDD-VL2間に1MΩの負荷抵抗を接続 (パネル負荷なし)	2-VL1 - 0.1		2-VL1 ×0.9	V
	VL3	VDD-VL3間に1MΩの負荷抵抗を接続 (パネル負荷なし)	3-VL1 - 0.1		3-VL1 ×0.9	V
BLD電圧 *1	VB0	BLC="0"	-2.35	-2.20	-2.05	V
	VB1	BLC="1"	-2.40	-2.25	-2.10	V
	VB2	BLC="2"	-2.45	-2.30	-2.15	V
	VB3	BLC="3"	-2.50	-2.35	-2.20	V
	VB4	BLC="4"	-2.55	-2.40	-2.25	V
	VB5	BLC="5"	-2.60	-2.45	-2.30	V
	VB6	BLC="6"	-2.65	-2.50	-2.35	V
	VB7	BLC="7"	-2.70	-2.55	-2.40	V
BLD回路応答時間	tB				100	μsec
サブBLD電圧	VBs		-2.55	-2.40	-2.25	V
サブBLD回路応答時間	tBs				100	μsec
アナログコンパレータ 入力電圧	VIP	非反転入力(AMPP)	VSS+0.3		VDD-0.9	V
	VIM	反転入力(AMPM)				
アナログコンパレータ オフセット電圧	VOF				10	mV
アナログコンパレータ 応答時間	tAMP	VIP=-1.5V VIM=VIP±15mV			3	msec
消費電流	IOP	HALT時	パネル 負荷なし	1.1	2.0	μA
		実行時 *2		3.0	5.0	μA
		500kHz実行時 *2		50	70	μA

\*1 VB0~VB7の大小関係はVB0&gt;VB1&gt;VB2&gt;...VB5&gt;VB6&gt;VB7

\*2 BLD回路、サブBLD回路およびアナログコンパレータはOFF状態

## S1C60A08 (重負荷保護モード)

特記なき場合

VDD=0V, VSS=-3.0V, fOSC1=32.768kHz, Ta=25°C, CG=25pF, VS1/VL1~VL3は内部電圧, C1~C5=0.1μF

項 目	記号	条 件	Min.	Typ.	Max.	単位
LCD駆動電圧	VL1	VDD-VL1間に1MΩの負荷抵抗を接続 (パネル負荷なし)	-1.15	-1.05	-0.95	V
	VL2	VDD-VL2間に1MΩの負荷抵抗を接続 (パネル負荷なし)	2-VL1 - 0.1		2-VL1 ×0.9	V
	VL3	VDD-VL3間に1MΩの負荷抵抗を接続 (パネル負荷なし)	3-VL1 - 0.1		3-VL1 ×0.9	V
BLD電圧 *1	VB0	BLC="0"	-2.35	-2.20	-2.05	V
	VB1	BLC="1"	-2.40	-2.25	-2.10	V
	VB2	BLC="2"	-2.45	-2.30	-2.15	V
	VB3	BLC="3"	-2.50	-2.35	-2.20	V
	VB4	BLC="4"	-2.55	-2.40	-2.25	V
	VB5	BLC="5"	-2.60	-2.45	-2.30	V
	VB6	BLC="6"	-2.65	-2.50	-2.35	V
	VB7	BLC="7"	-2.70	-2.55	-2.40	V
BLD回路応答時間	tB				100	μsec
サブBLD電圧	VBs		-2.55	-2.40	-2.25	V
サブBLD回路応答時間	tBs				100	μsec
アナログコンパレータ 入力電圧	VIP	非反転入力(AMPP)	VSS+0.3		VDD-0.9	V
	VIM	反転入力(AMPM)				
アナログコンパレータ オフセット電圧	VOF				10	mV
アナログコンパレータ 応答時間	tAMP	VIP=-1.5V VIM=VIP±15mV			3	msec
消費電流	IOP	HALT時	パネル 負荷なし	6.5	10	μA
		実行時 *2		8.5	15	μA
		500kHz実行時 *2		55	75	μA

\*1 VB0~VB7の大小関係はVB0&gt;VB1&gt;VB2&gt;...VB5&gt;VB6&gt;VB7

\*2 BLD回路、サブBLD回路はON状態(HLMOD="1"、BLS="0")  
アナログコンパレータはOFF状態

## 7.5 発振特性

発振特性は諸条件(使用部品、基板パターン等)により変化します。以下の特性は参考値として、ご使用ください。

### S1C60N08 (OSC1水晶発振回路)

特記なき場合

V<sub>DD</sub>=0V, V<sub>SS</sub>=-3.0V, Crystal: Q13MC146, C<sub>G</sub>=25pF, C<sub>D</sub>=内蔵, Ta=25°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振開始電圧	V <sub>sta</sub>	t <sub>sta</sub> ≤5sec (V <sub>SS</sub> )	-1.8			V
発振停止電圧	V <sub>stp</sub>	t <sub>stp</sub> ≤10sec (V <sub>SS</sub> )	-1.8			V
内蔵容量(ドレイン)	C <sub>D</sub>	IC内部の寄生容量を含む		20		pF
周波数電圧偏差	Δf/ΔV	V <sub>SS</sub> =-1.8 ~ -3.5V			5	ppm
周波数IC偏差	Δf/ΔIC		-10		10	ppm
周波数調整範囲	Δf/ΔC <sub>G</sub>	C <sub>G</sub> =5 ~ 25pF	35	45		ppm
高調波発振開始電圧	V <sub>hho</sub>	(V <sub>SS</sub> )			-3.5	V
許容リーク抵抗	R <sub>leak</sub>	OSC1とV <sub>DD</sub> の間	200			MΩ

### S1C60L08 (OSC1水晶発振回路)

特記なき場合

V<sub>DD</sub>=0V, V<sub>SS</sub>=-1.5V, Crystal: Q13MC146, C<sub>G</sub>=25pF, C<sub>D</sub>=内蔵, Ta=25°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振開始電圧	V <sub>sta</sub>	t <sub>sta</sub> ≤5sec (V <sub>SS</sub> )	-1.1			V
発振停止電圧	V <sub>stp</sub>	t <sub>stp</sub> ≤10sec (V <sub>SS</sub> )	-1.1 (-0.9)*1			V
内蔵容量(ドレイン)	C <sub>D</sub>	IC内部の寄生容量を含む		20		pF
周波数電圧偏差	Δf/ΔV	V <sub>SS</sub> =-1.1 (-0.9)*1 ~ -1.7V			5	ppm
周波数IC偏差	Δf/ΔIC		-10		10	ppm
周波数調整範囲	Δf/ΔC <sub>G</sub>	C <sub>G</sub> =5 ~ 25pF	35	45		ppm
高調波発振開始電圧	V <sub>hho</sub>	(V <sub>SS</sub> )			-1.7	V
許容リーク抵抗	R <sub>leak</sub>	OSC1とV <sub>DD</sub> の間	200			MΩ

\*1 ( )内は重負荷保護モードで動作の場合

### S1C60A08 (OSC1水晶発振回路)

特記なき場合

V<sub>DD</sub>=0V, V<sub>SS</sub>=-3.0V, Crystal: Q13MC146, C<sub>G</sub>=25pF, C<sub>D</sub>=内蔵, Ta=25°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振開始電圧	V <sub>sta</sub>	t <sub>sta</sub> ≤5sec (V <sub>SS</sub> )	-2.2			V
発振停止電圧	V <sub>stp</sub>	t <sub>stp</sub> ≤10sec (V <sub>SS</sub> )	-2.2			V
内蔵容量(ドレイン)	C <sub>D</sub>	IC内部の寄生容量を含む		20		pF
周波数電圧偏差	Δf/ΔV	V <sub>SS</sub> =-2.2 ~ -3.5V			5	ppm
周波数IC偏差	Δf/ΔIC		-10		10	ppm
周波数調整範囲	Δf/ΔC <sub>G</sub>	C <sub>G</sub> =5 ~ 25pF	35	45		ppm
高調波発振開始電圧	V <sub>hho</sub>	(V <sub>SS</sub> )			-3.5	V
許容リーク抵抗	R <sub>leak</sub>	OSC1とV <sub>DD</sub> の間	200			MΩ

### S1C60A08 (OSC3 CR発振回路)

特記なき場合

V<sub>DD</sub>=0V, V<sub>SS</sub>=-3.0V, R<sub>CR</sub>=82kΩ, Ta=25°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振周波数バラツキ	f <sub>OSC3</sub>		-30	480kHz	30	%
発振開始電圧	V <sub>sta</sub>	(V <sub>SS</sub> )	-2.2			V
発振開始時間	t <sub>sta</sub>	V <sub>SS</sub> =-2.2 ~ -3.5V			3	msec
発振停止電圧	V <sub>stp</sub>	(V <sub>SS</sub> )	-2.2			V

### S1C60A08 (OSC3セラミック発振回路)

特記なき場合

V<sub>DD</sub>=0V, V<sub>SS</sub>=-3.0V, セラミック振動子: 500kHz, C<sub>GC</sub>=C<sub>DC</sub>=100pF, Ta=25°C

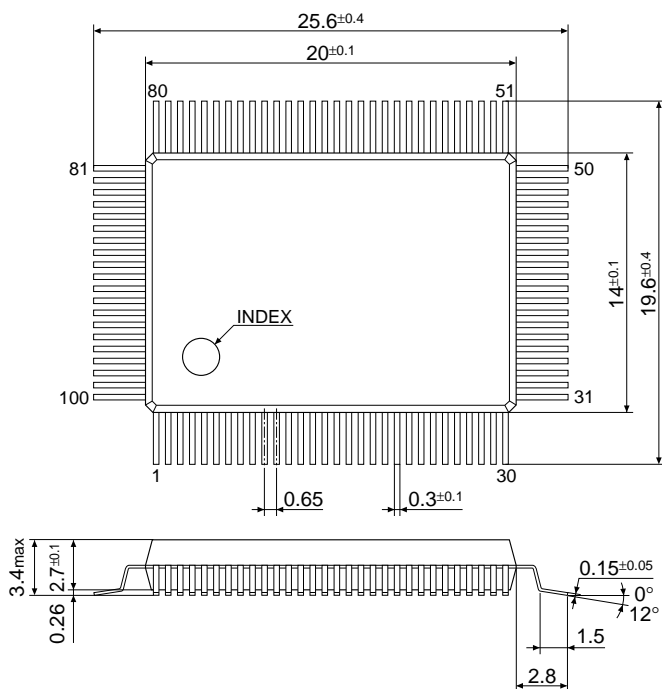
項 目	記号	条 件	Min.	Typ.	Max.	単位
発振開始電圧	V <sub>sta</sub>	(V <sub>SS</sub> )	-2.2			V
発振開始時間	t <sub>sta</sub>	V <sub>SS</sub> =-2.2 ~ -3.5V			5	msec
発振停止電圧	V <sub>stp</sub>	(V <sub>SS</sub> )	-2.2			V

## 8 パッケージ

### 8.1 プラスチックパッケージ

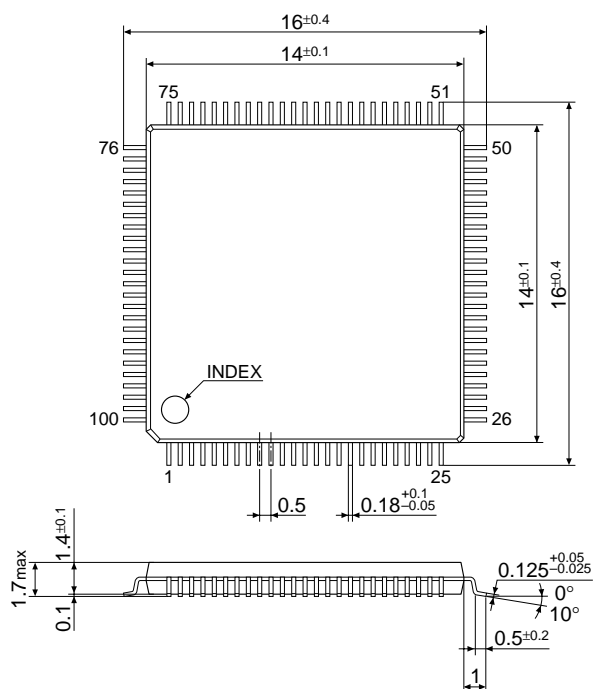
QFP5-100pin

(単位: mm)



QFP15-100pin

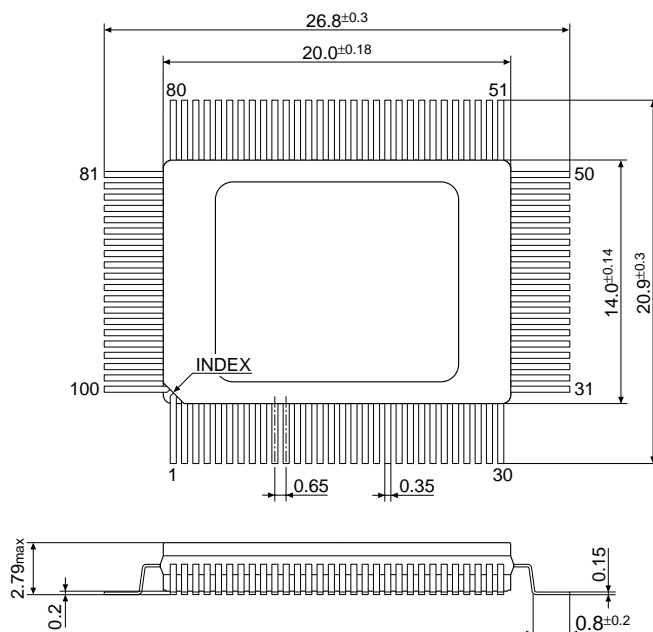
(単位: mm)



## 8.2 テストサンプル用セラミックパッケージ

QFP5-100pin

(単位 : mm)



QFP15-100pin

(単位 : mm)

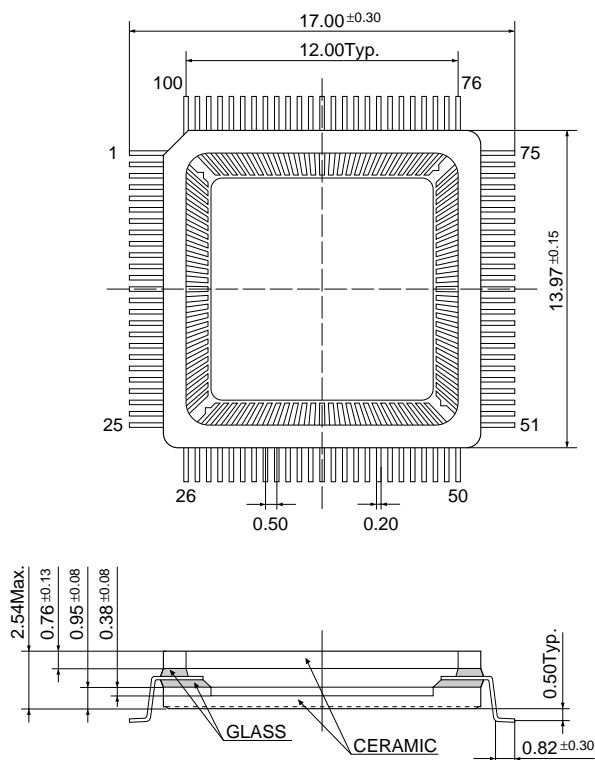


Diagram illustrating the layout of a die (chip) with dimensions 3.74 mm (width) and 3.73 mm (height). The layout shows a grid of 20 columns and 20 rows of die locations, numbered 1 to 20 horizontally and 70 to 95 vertically. A coordinate system (X, Y) is centered on the grid, with the origin (0,0) marked. The label "Die No." is present in the center of the grid.

チップ厚: 400 $\mu$ m  
パッド開口部: 95 $\mu$ m



## 9.2 パッド座標

(単位:  $\mu\text{m}$ )

No.	パッド名	X座標	Y座標	No.	パッド名	X座標	Y座標	No.	パッド名	X座標	Y座標
1	AMPP	1,294	1,699	33	OSC4	-1,704	176	65	SEG30	795	-1,699
2	AMPM	1,164	1,699	34	OSC3	-1,704	46	66	SEG29	925	-1,699
3	K23	1,034	1,699	35	Vs1	-1,704	-84	67	SEG28	1,055	-1,699
4	K22	904	1,699	36	OSC2	-1,704	-214	68	SEG27	1,185	-1,699
5	K21	774	1,699	37	OSC1	-1,704	-344	69	SEG26	1,315	-1,699
6	K20	644	1,699	38	VDD	-1,704	-503	70	SEG25	1,445	-1,699
7	K10	514	1,699	39	VL3	-1,704	-633	71	SEG24	1,704	-1,621
8	K03	384	1,699	40	VL2	-1,704	-763	72	TEST	1,704	-1,465
9	K02	254	1,699	41	VL1	-1,704	-893	73	SEG23	1,704	-1,310
10	K01	124	1,699	42	CA	-1,704	-1,022	74	SEG22	1,704	-1,180
11	K00	-7	1,699	43	CB	-1,704	-1,153	75	SEG21	1,704	-1,050
12	SIN	-137	1,699	44	COM3	-1,704	-1,283	76	SEG20	1,704	-920
13	SOUT	-267	1,699	45	COM2	-1,704	-1,413	77	SEG19	1,704	-790
14	SCLK	-397	1,699	46	COM1	-1,704	-1,543	78	SEG18	1,704	-660
15	P03	-527	1,699	47	COM0	-1,704	-1,673	79	SEG17	1,704	-530
16	P02	-657	1,699	48	SEG47	-1,415	-1,699	80	SEG16	1,704	-400
17	P01	-787	1,699	49	SEG46	-1,285	-1,699	81	SEG15	1,704	-270
18	P00	-917	1,699	50	SEG45	-1,155	-1,699	82	SEG14	1,704	-140
19	P13	-1,048	1,699	51	SEG44	-1,025	-1,699	83	SEG13	1,704	-10
20	P12	-1,178	1,699	52	SEG43	-895	-1,699	84	SEG12	1,704	120
21	P11	-1,308	1,699	53	SEG42	-765	-1,699	85	SEG11	1,704	250
22	P10	-1,438	1,699	54	SEG41	-635	-1,699	86	SEG10	1,704	380
23	R03	-1,704	1,686	55	SEG40	-505	-1,699	87	SEG9	1,704	510
24	R02	-1,704	1,556	56	SEG39	-375	-1,699	88	SEG8	1,704	640
25	R01	-1,704	1,426	57	SEG38	-245	-1,699	89	SEG7	1,704	770
26	R00	-1,704	1,296	58	SEG37	-115	-1,699	90	SEG6	1,704	900
27	R12	-1,704	1,166	59	SEG36	15	-1,699	91	SEG5	1,704	1,030
28	R11	-1,704	1,036	60	SEG35	145	-1,699	92	SEG4	1,704	1,160
29	R10	-1,704	812	61	SEG34	275	-1,699	93	SEG3	1,704	1,290
30	R13	-1,704	682	62	SEG33	405	-1,699	94	SEG2	1,704	1,420
31	Vss	-1,704	457	63	SEG32	535	-1,699	95	SEG1	1,704	1,550
32	RESET	-1,704	327	64	SEG31	665	-1,699	96	SEG0	1,704	1,680



## **II. S1C60R08 Technical Hardware**



## - はじめに -

本マニュアルはS1C60R08のハードウェア仕様を解説します。

S1C60R08はS1C60N08のROMエミュレータモデルです。S1C60N08のマスクROMブロックがS1C60R08ではエミュレーション用のRAMに変更され、外部に接続した本ROMエミュレータ専用のシリアルEEPROMから内蔵のシリアルEEPROMインタフェースを介してプログラムをダウンロードし、実行することができます。このROMエミュレータブロック以外の周辺回路はS1C60N08と同じです。そのため、本マニュアルではROMエミュレータブロックおよびS1C60N08と異なる内容のみを説明します。周辺回路の機能や制御方法については、"S1C60N08 Technical Hardware"を参照してください。

## - 目 次 -

<b>1</b>	<b>概要</b>	<b>II-1</b>
1.1	対象機種	II-1
1.2	特長	II-1
1.3	ブロック図	II-2
1.4	端子配置図	II-3
1.5	端子説明	II-4
1.6	S1C60R08オプションリスト	II-4
<b>2</b>	<b>ROMエミュレータ/ROMエミュレータプログラマ</b>	<b>II-7</b>
2.1	ROMエミュレータの構成	II-7
2.2	ROMエミュレータプログラマの構成	II-8
2.3	使用方法	II-8
<b>3</b>	<b>注意事項のまとめ</b>	<b>II-9</b>
3.1	S1C60R08の対象機種	II-9
3.2	ファンクション/セグメントオプション	II-9
3.3	シリアルEEPROM	II-9
3.4	実装上の注意事項	II-9
<b>4</b>	<b>メモリマップ</b>	<b>II-11</b>
<b>5</b>	<b>基本外部結線図</b>	<b>II-15</b>
<b>6</b>	<b>電気的特性</b>	<b>II-17</b>
6.1	絶対最大定格	II-17
6.2	推奨動作条件	II-17
6.3	DC特性	II-18
6.4	アナログ回路特性・消費電流	II-19
6.5	発振特性	II-21
<b>7</b>	<b>パッケージ</b>	<b>II-22</b>
7.1	プラスチックパッケージ	II-22
7.2	テストサンプル用セラミックパッケージ	II-23
<b>8</b>	<b>パッド配置</b>	<b>II-24</b>
8.1	パッド配置図	II-24
8.2	パッド座標	II-25



# 1 概要

S1C60R08はS1C60N08のROMエミュレータモデルで、CMOS 4ビットコアCPU S1C6200CおよびS1C60N08と同じ周辺回路を内蔵しています。S1C60N08のマスクROMはエミュレーション用RAMを含むROMエミュレータに変更されており、シリアルEEPROMを使用したプログラムの書き換えが可能になっています。

## 1.1 対象機種

S1C60R08はS1C60N08およびS1C60A08の機能をサポートします。この2つの対象機種の違いは次のとおりです。

表1.1.1 対象機種構成

機種	S1C60R08	
対象機種	S1C60N08	S1C60A08
電源電圧	3.0V	3.0V
発振回路	OSC1のみ (シングルクロック)	OSC1, OSC3 (ツインクロック)

注: S1C60R08はS1C60L08をサポートしていません。

## 1.2 特長

表1.2.1 特長

機種	S1C60R08	
対象機種	S1C60N08	S1C60A08
OSC1発振回路	水晶発振回路 32.768kHz (Typ.)/38.400kHz (Typ.)	
OSC3発振回路	—	CRまたはセラミック発振回路 (マスクオプションにて選択) 500kHz (Typ.)
命令セット	108種類	
命令実行時間 (命令により異なる) (CLK: CPU動作周波数)	153μsec, 214μsec, 366μsec (CLK = 32.768kHz) 130μsec, 182μsec, 313μsec (CLK = 38.400kHz)	
	—	10μsec, 14μsec, 24μsec (CLK = 500kHz)
ROMエミュレータ容量	4,096ワード×12ビット	
シリアルEEPROMインタフェース	Microchip 24AA65 2線バスプロトコルインタフェース	
RAM容量	832ワード×4ビット	
入力ポート	9ビット(マスクオプションにてプルダウン抵抗の付加が可能)	
出力ポート	8ビット	
入出力兼用ポート	8ビット	
シリアルインタフェース	1ポート(8ビットクロック同期式)	
LCDドライバ	48セグメント×4, 3または2コモン(マスクオプションにて選択) V-3V 1/4, 1/3または1/2デューティ(定電圧回路/昇圧回路を内蔵)	
タイムベースカウンタ	2系統(タイマおよびストップウォッチ)	
ウォッチドッグタイマ	内蔵(マスクオプションで未使用可)	
イベントカウンタ	8ビット2入力(ダイヤル入力判定型または独立型)	
サウンドジェネレータ	8音(8周波数)プログラマブル デジタルエンベロープ機能(マスクオプションで未使用可)	
アナログコンパレータ	反転入力×1, 非反転入力×1	
電源電圧検出回路 (BLD)	2系統(8値プログラマブルおよび固定値) 2.4V, 2.2~2.55V	
外部割り込み	入力割り込み: 3系統	
内部割り込み	タイムベースカウンタ割り込み: 2系統 シリアルインタフェース割り込み: 1系統	
電源電圧	3.0V(1.8~3.5V)	
消費電流 (Typ.値)	CLK=32.768kHz (HALT時)	1.0μA
	CLK=32.768kHz (実行時)	6.5μA
	CLK=500kHz (実行時)	—
出荷形態	QFP5-100pin, QFP15-100pinまたはチップ	

## 1.3 ブロック図

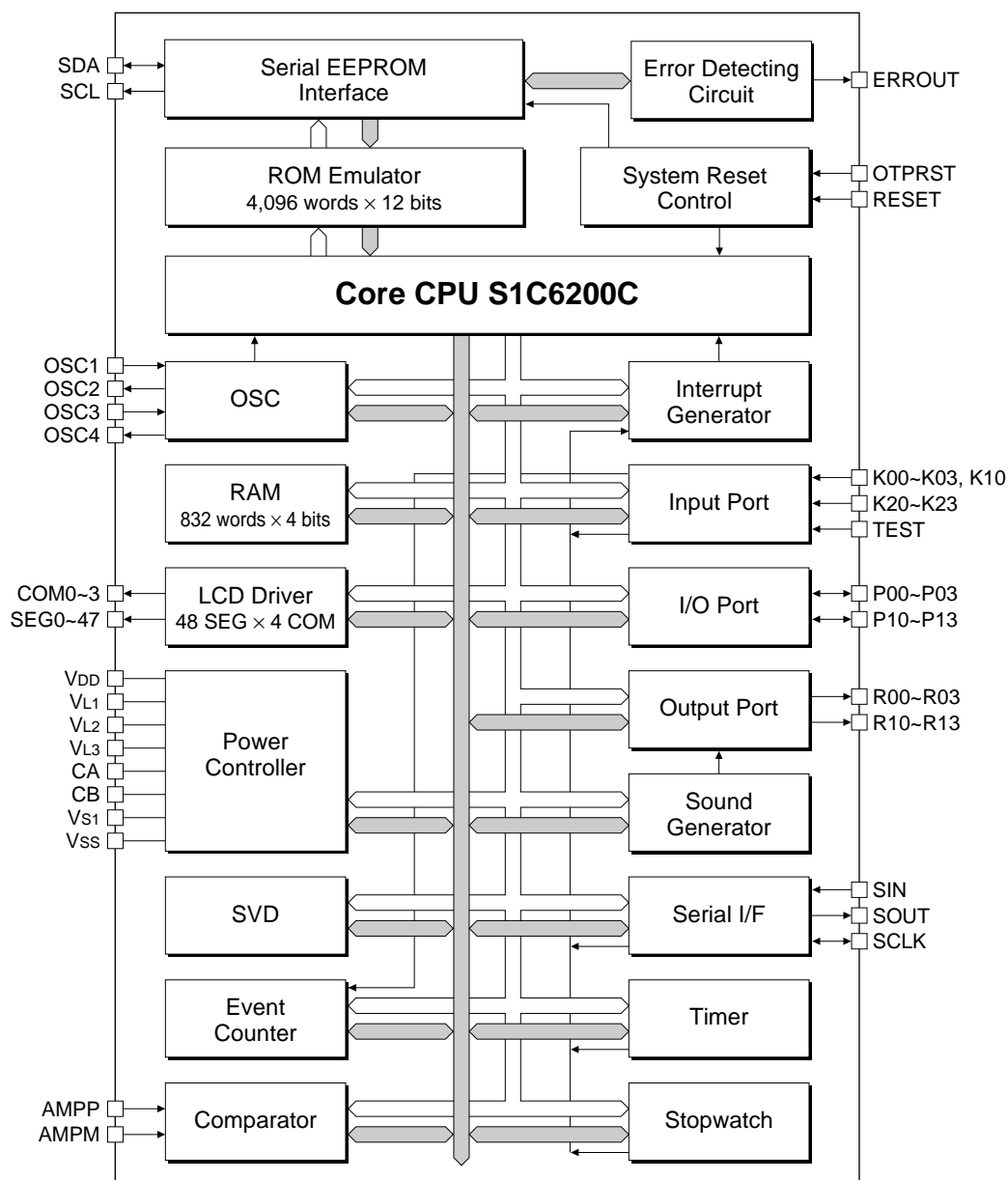
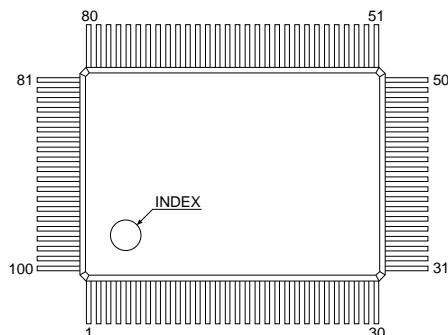


図1.3.1 ブロック図



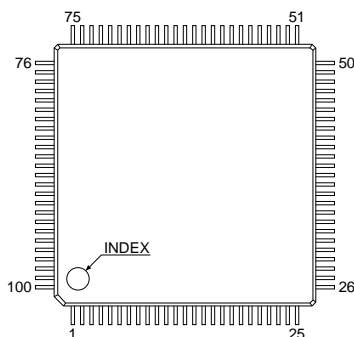
## 1.4 端子配置図

QFP5-100pin



No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	COM1	26	SEG24	51	SEG0	76	P10
2	COM0	27	TEST	52	AMPP	77	R03
3	SEG47	28	SEG23	53	AMPM	78	R02
4	SEG46	29	SEG22	54	K23	79	R01
5	SEG45	30	SEG21	55	K22	80	R00
6	SEG44	31	SEG20	56	K21	81	R12
7	SEG43	32	SEG19	57	K20	82	R11
8	SEG42	33	SEG18	58	K10	83	R10
9	SEG41	34	SEG17	59	K03	84	R13
10	SEG40	35	SEG16	60	K02	85	Vss
11	SEG39	36	SEG15	61	K01	86	RESET
12	SEG38	37	SEG14	62	K00	87	OSC4
13	SEG37	38	SEG13	63	SIN	88	OSC3
14	SEG36	39	SEG12	64	SOUT	89	Vs1
15	SEG35	40	SEG11	65	OTPRST	90	OSC2
16	SEG34	41	SEG10	66	SCLK	91	OSC1
17	SEG33	42	SEG9	67	P03	92	VDD
18	SEG32	43	SEG8	68	P02	93	VL3
19	SEG31	44	SEG7	69	P01	94	VL2
20	SEG30	45	SEG6	70	P00	95	VL1
21	SEG29	46	SEG5	71	SCL	96	CA
22	SEG28	47	SEG4	72	SDA	97	CB
23	SEG27	48	SEG3	73	P13	98	ERROUT
24	SEG26	49	SEG2	74	P12	99	COM3
25	SEG25	50	SEG1	75	P11	100	COM2

QFP15-100pin



No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	SEG47	26	SEG23	51	AMPM	76	R02
2	SEG46	27	SEG22	52	K23	77	R01
3	SEG45	28	SEG21	53	K22	78	R00
4	SEG44	29	SEG20	54	K21	79	R12
5	SEG43	30	SEG19	55	K20	80	R11
6	SEG42	31	SEG18	56	K10	81	R10
7	SEG41	32	SEG17	57	K03	82	R13
8	SEG40	33	SEG16	58	K02	83	Vss
9	SEG39	34	SEG15	59	K01	84	RESET
10	SEG38	35	SEG14	60	K00	85	OSC4
11	SEG37	36	SEG13	61	SIN	86	OSC3
12	SEG36	37	SEG12	62	SOUT	87	Vs1
13	SEG35	38	SEG11	63	OTPRST	88	OSC2
14	SEG34	39	SEG10	64	SCLK	89	OSC1
15	SEG33	40	SEG9	65	P03	90	VDD
16	SEG32	41	SEG8	66	P02	91	VL3
17	SEG31	42	SEG7	67	P01	92	VL2
18	SEG30	43	SEG6	68	P00	93	VL1
19	SEG29	44	SEG5	69	SCL	94	CA
20	SEG28	45	SEG4	70	SDA	95	CB
21	SEG27	46	SEG3	71	P13	96	ERROUT
22	SEG26	47	SEG2	72	P12	97	COM3
23	SEG25	48	SEG1	73	P11	98	COM2
24	SEG24	49	SEG0	74	P10	99	COM1
25	TEST	50	AMPP	75	R03	100	COM0

図1.4.1 端子配置図

## 1.5 端子説明

表1.5.1 端子説明

端子名	端子No.		I/O	機 能
	QFP5-100	QFP15-100		
VDD	92	90	(I)	電源端子(+)
VSS	85	83	(I)	電源端子(-)
VS1	89	87	-	発振および内部ロジック系動作電圧出力端子
VL1	95	93	-	LCD駆動電圧出力端子(約-1.05Vまたは1/2・VL2)
VL2	94	92	-	LCD駆動電圧出力端子(2・VL1または約-2.10V)
VL3	93	91	-	LCD駆動電圧出力端子(3・VL1または3/2・VL2)
CA, CB	96, 97	94, 95	-	昇圧コンデンサ接続端子
OSC1	91	89	I	水晶発振入力端子
OSC2	90	88	O	水晶発振出力端子
OSC3	88	86	I	CRまたはセラミック発振入力端子 * (S1C60N08はN.C.)
OSC4	87	85	O	CRまたはセラミック発振出力端子 * (S1C60N08はN.C.)
K00~K03	62~59	60~57	I	入力ポート端子
K10	58	56	I	入力ポート端子
K20~K23	57~54	55~52	I	入力ポート端子
P00~P03	70~67	68~65	I/O	入出力兼用ポート端子
P10~P13	76~73	74~71	I/O	入出力兼用ポート端子
R00~R03	80~77	78~75	O	出力ポート端子
R10	83	81	O	出力ポート端子またはBZ出力端子 *
R11	82	80	O	出力ポート端子またはSIOF出力端子 *
R12	81	79	O	出力ポート端子またはFOUT出力端子 *
R13	84	82	O	出力ポート端子またはBZ出力端子 *
SIN	63	61	I	シリアルインタフェースデータ入力端子
SOUT	64	62	O	シリアルインタフェースデータ出力端子
SCLK	66	64	I/O	シリアルインタフェースクロック入出力端子
AMPP	52	50	I	アナログコンパレータ非反転入力端子
AMPM	53	51	I	アナログコンパレータ反転入力端子
SEG0~47	51~28, 26~3	49~26, 24~1	O	LCDセグメント出力端子またはDC出力端子 *
COM0~3	2, 1, 100, 99	100~97	O	LCDコモン出力端子(1/2, 1/3または1/4デューティを選択可能 *)
RESET	86	84	I	イニシャルリセット入力端子
TEST	27	25	I	テスト用入力端子
SCL	71	69	O	シリアルEEPROMクロック出力端子
SDA	72	70	I/O	シリアルEEPROMデータ入出力端子
ERROUT	98	96	O	プログラムダウンロードエラー検出出力端子
OTPRST	65	63	I	プログラム再ダウンロード用コールドリセット端子

\* マスクオプションにて選択

## 1.6 S1C60R08オプションリスト

S1C60R08には以下のファンクションオプションが設定されています。"S1C60N08 Technical Hardware"を参照してください。

### 1 機種 ... DEVICE TYPE

- ・機種 ..... 1. S1C60N08 (NORMAL TYPE)  
2. S1C60A08 (TWIN CLOCK TYPE)
- ・ Evaluation board用  
OSC1クロック ..... 1. 32kHz 2. 38kHz

### 2 OSC3発振回路 ... OSC3 SYSTEM CLOCK (S1C60A08選択時)

- 1. CR発振回路 2. セラミック発振回路

- 
- [3] キー同時押しリセット... MULTIPLE KEY ENTRY RESET
- ・組み合わせ ..... 1. 使用しない  
2. 使用する K00, K01  
3. 使用する K00, K01, K02  
4. 使用する K00, K01, K02, K03
  - ・時間検定 ..... 1. 使用する 2. 使用しない
- [4] ウォッチドッグタイマ... WATCHDOG TIMER
- 1. 使用する 2. 使用しない
- [5] 入力割り込み ノイズリジェクタ... INPUT INTERRUPT NOISE REJECTOR
- ・ K00 ~ K03 ..... 1. 使用する 2. 使用しない
  - ・ K10 ..... 1. 使用する 2. 使用しない
  - ・ K20 ~ K23 ..... 1. 使用する 2. 使用しない
- [6] 入力ポート プルダウン抵抗... INPUT PORT PULL DOWN RESISTOR
- ・ K00 ..... 1. あり 2. なし
  - ・ K01 ..... 1. あり 2. なし
  - ・ K02 ..... 1. あり 2. なし
  - ・ K03 ..... 1. あり 2. なし
  - ・ K10 ..... 1. あり 2. なし
  - ・ K20 ..... 1. あり 2. なし
  - ・ K21 ..... 1. あり 2. なし
  - ・ K22 ..... 1. あり 2. なし
  - ・ K23 ..... 1. あり 2. なし
- [7] 出力ポート 出力仕様... OUTPUT PORT OUTPUT SPECIFICATION (R00 ~ R03)
- ・ R00 ..... 1. コンプリメンタリ 2. Pchオープンドレイン
  - ・ R01 ..... 1. コンプリメンタリ 2. Pchオープンドレイン
  - ・ R02 ..... 1. コンプリメンタリ 2. Pchオープンドレイン
  - ・ R03 ..... 1. コンプリメンタリ 2. Pchオープンドレイン
- [8] R10 端子仕様... R10 SPECIFICATION
- ・ 出力仕様 ..... 1. コンプリメンタリ 2. Pchオープンドレイン
  - ・ 出力形式 ..... 1. DC出力 2. ブザー出力
- [9] R11 端子仕様... R11 SPECIFICATION
- ・ 出力仕様 ..... 1. コンプリメンタリ 2. Pchオープンドレイン
  - ・ 出力形式 ..... 1. DC出力 2. SIOフラグ
- [10] R12 端子仕様... R12 SPECIFICATION
- ・ 出力仕様 ..... 1. コンプリメンタリ 2. Pchオープンドレイン
  - ・ 出力形式 ..... 1. DC出力
  - 2. FOUT 32768 or 38400 [Hz]
  - 3. FOUT 16384 or 19200 [Hz]
  - 4. FOUT 8192 or 9600 [Hz]
  - 5. FOUT 4096 or 4800 [Hz]
  - 6. FOUT 2048 or 2400 [Hz]
  - 7. FOUT 1024 or 1200 [Hz]
  - 8. FOUT 512 or 600 [Hz]
  - 9. FOUT 256 or 300 [Hz]



## 2 ROMエミュレータ/ROMエミュレータプログラマ

S1C60R08はRAMで構成されるROMエミュレータを内蔵しています。ここにシリアルインタフェース(プログラマ)を介して外部からプログラムをダウンロードすることで、マスクROMの場合と同様にCPUが読み出して実行します。

ここでは、ROMエミュレータとプログラマについて説明します。

### 2.1 ROMエミュレータの構成

S1C60R08のROMエミュレータ(エミュレーションRAM)はS1C60N08のマスクROMと同じ構成になっています。4,096ステップ×12ビットの容量があります。プログラム領域は16(0~15)ページ×256(00H~FFH)ステップとなっており、イニシャルリセット後のプログラム開始番地が1ページ00Hステップに、割り込みベクタが1ページ01H~0FHステップに割り当てられています。

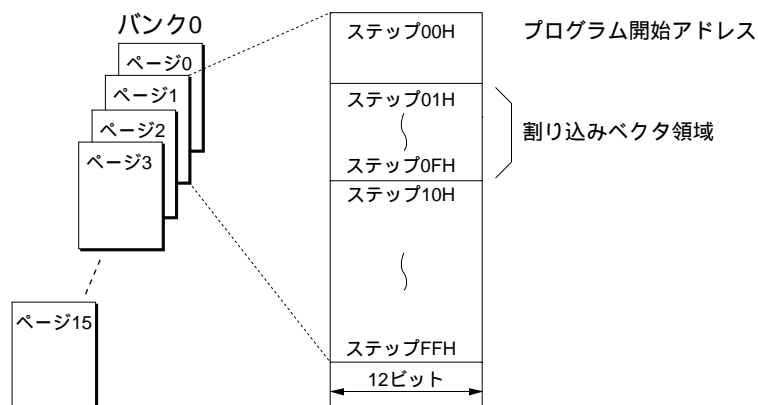


図2.1.1 ROMエミュレータの構成

ROMエミュレータのデータはプログラマ回路により外部のシリアルEEPROMからダウンロードされます。

電源投入直後、またはOTPRST端子にHIGHパルスが入力されると、ROMエミュレータのデータは初期化され、ダウンロードがスタートします。

## 2.2 ROMエミュレータプログラマの構成

ROMエミュレータプログラマはROMエミュレータへのダウンロードを制御します。このためにプログラマはシリアルEEPROMとのデータ送受信、データエラーチェック、システムリセット信号の生成をサポートしています。

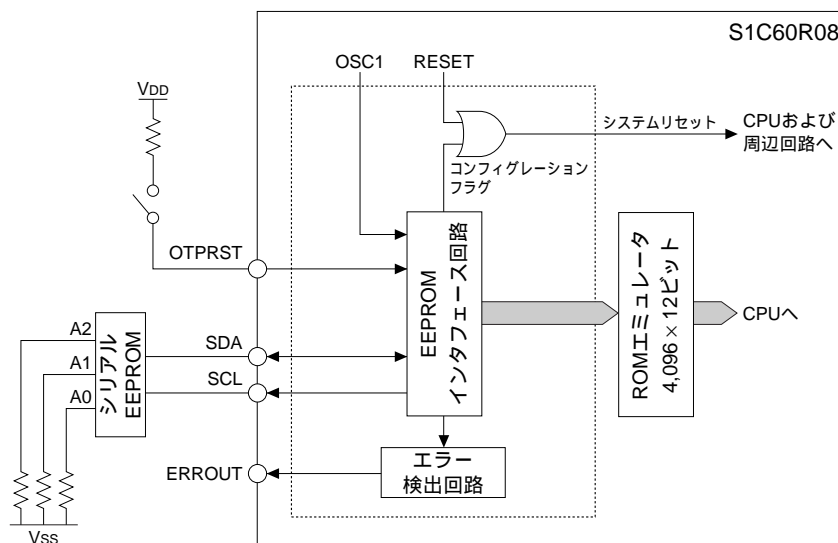


図2.2.1 ROMエミュレータブロック

### 端子構成

ROMエミュレータプログラマは以下の入出力端子を使用します。

- SCL: シリアルEEPROM制御クロック出力端子
- SDA: シリアルEEPROMデータ入出力端子
- ERRROUT: データエラー検出結果出力端子
- OTPRST: プログラム再ダウンロード用入力端子

## 2.3 使用方法

S1C60R08には2つの動作モードが設定されています。

- プログラミングモード: 外部シリアルEEPROMからプログラムをダウンロードします。
- 通常モード: マスクROM版と同様に動作します。

以下に、S1C60R08をプログラムして動作させる手順を説明します。

- 1) アプリケーションプログラムを作成します。
- 2) 作成したプログラムファイルをS1C60R08パッケージのwinedgでシリアルEEPROM用ファイルに変換します。
- 3) 変換したプログラムデータをシリアルEEPROMに書き込みます。
- 4) S1C60R08、シリアルEEPROMその他の部品でユーザーターゲットボードを作成します。（基本的な回路構成は、「5 基本外部結線図」を参考にしてください。）
- 5) ターゲットボードの電源をONにします。
- 6) S1C60R08はプログラミングモードになり、シリアルEEPROMから内蔵ROMエミュレータへのダウンロードを自動的に開始します。ダウンロード中はプログラマを除く内部回路がリセット状態になります。またデータエラーのチェックも同時に行われます。
- 7) データエラーを検出すると、ERRROUT端子がHIGHレベルになり、ダウンロードを中止します。
- 8) ダウンロードが問題なく終了するとS1C60R08は自動的に通常モードになり、マスクROM版と同様にROMエミュレータから命令をフェッチしてプログラムの実行を開始します。
- 9) その後、プログラムを再度ダウンロードするには、OTPRST端子にHIGHパルスを入力してください。S1C60R08はプログラミングモードになりダウンロードを開始します。

## 3 注意事項のまとめ

### 3.1 S1C60R08の対象機種

S1C60N08シリーズの3機種 (S1C60N08、S1C60A08、S1C60L08) の中でS1C60R08がサポートしているのは次の2機種です。

S1C60N08  $V_{DD} = 3.0V$  (Typ.) OSC1

S1C60A08  $V_{DD} = 3.0V$  (Typ.) OSC1/OSC3

それぞれの機種の詳細については、"S1C60N08 Technical Hardware"を参照してください。

### 3.2 ファンクション/セグメントオプション

S1C60R08のROMエミュレータはプログラムROMデータのダウンロードのみをサポートしており、ファンクションオプションやセグメントオプションをダウンロードすることはできません。これらのマスクオプションについては、S1C60R08のDevelopment Toolを使用して作成し、マスク発注をお願いします。オプションデータでカスタマイズしたS1C60R08を作成し納品いたします。

### 3.3 シリアルEEPROM

ROMエミュレータへのダウンロードに使用するシリアルEEPROMは次の製品を推奨します。

- ・ 旭化成マイクロ製 AK6010A/12A      ・ ROHM製 BR24C64
- ・ SGS-THOMSON製 M24C64/32      ・ Microchip製 24AA64

注: 使用されるプログラムメモリ以上のEEPROMを使用してください。

### 3.4 実装上の注意事項

#### 発振回路

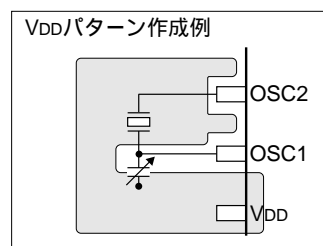
発振特性は諸条件(使用部品、基板パターン等)により変化します。

特に水晶振動子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。

ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1) OSC1、OSC2、OSC3、OSC4端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
- (2) OSC1/OSC3、OSC2/OSC4端子およびこれらの端子に接続された部品の周辺部は右図のように $V_{DD}$ パターンをできるだけ広く作成してください。また、この $V_{DD}$ パターンは発振用途以外に使用しないでください。

OSC1/OSC3 -  $V_{SS}$ 間のリーク電流による発振回路の不安定動作を防止するため、基板パターンにおいて、OSC1/OSC3は $V_{SS}$ 電源や信号線とは十分な距離を確保してください。



#### リセット回路

パワーオン時、RESET端子に入力されるリセット信号は諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。

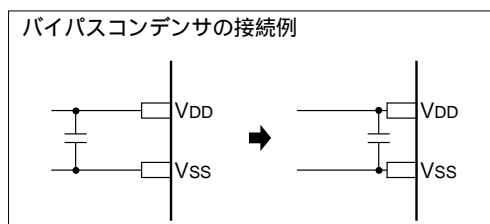
また、マスクオプションによりRESET端子のプルダウン抵抗を付加した場合には、抵抗値のばらつきを十分考慮した定数設定が必要です。

ノイズによる動作中のリセットを防ぐため、RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

## 電源回路

ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1) 電源から  $V_{DD}$ 、 $V_{SS}$  端子へはできるだけ短くかつ太いパターンで接続してください。
- (2)  $V_{DD}$  -  $V_{SS}$  のバイパスコンデンサを接続する場合、 $V_{DD}$  端子と  $V_{SS}$  端子をできるだけ最短で接続してください。



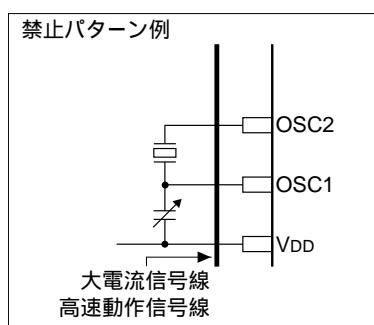
- (3)  $V_{S1}$ 、 $V_{L1}$ 、 $V_{L2}$ 、 $V_{L3}$  端子に接続するコンデンサ等の部品はできるだけ最短で接続してください。

## 信号線の配置

相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。

高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。

特に、発振部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



## 光に対する取り扱い (ベアチップ実装の場合)

半導体素子は、光が照射されると特性が変化します。このため、本ICに光が当たると誤動作をおこすことがあります。光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。

- (1) 実使用時にICの遮光性が考慮された構造となるよう、設計および実装を行ってください。
- (2) 検査工程では、ICの遮光性が考慮された環境設計を行ってください。
- (3) ICの遮光は、ICチップの表面、裏面および側面について考慮してください。



## 4 メモリマップ

S1C60R08シリーズのデータメモリは865ワード(表示メモリを2ページに配置した場合、913ワード)のアドレス空間を持っており、そのうち48ワードが表示メモリ、33ワードがI/Oメモリとして割り付けられています。

図4.1にS1C60R08シリーズの全体のメモリマップ、表4.1(a)~(c)に周辺回路(I/O空間)のメモリマップを示します。

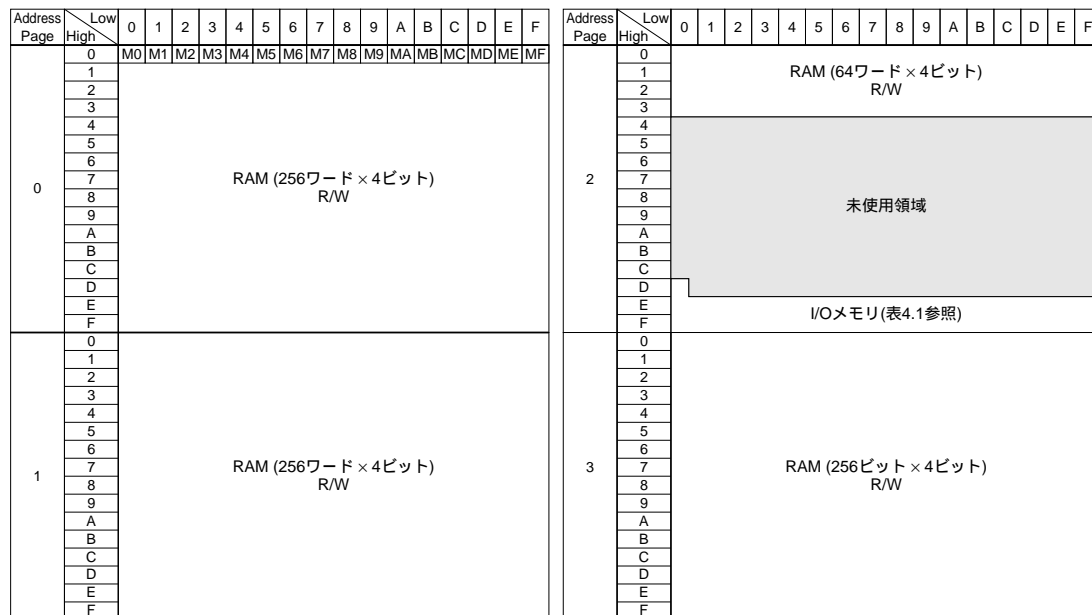












図4.1 メモリマップ

Address Page	Low High	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0 or 2	4	表示メモリ (48ワード×4ビット) 0ページ: R/W, 2ページ: W															
	5																
	6																

図4.2 表示メモリマップ

- 注:
- ・表示メモリは領域全体を0ページ(040H~06FH)か2ページ(240H~26FH)のどちらに配置するかマスキングオプションで選択できます。  
0ページ(040H~06FH)を選択すると表示メモリはRAM領域内に割り付けられ、読み出し/書き込みが可能です。  
2ページ(240H~26FH)を選択すると、表示メモリは書き込み専用となります。
  - ・メモリマップ中の未使用領域、およびこの章で示されていないメモリ領域にはメモリが実装されていません。このため、これらの領域をアクセスするようなプログラムを作成した場合は、正常な動作を保証することはできません。

表4.1( a ) I/Oメモリマップ( 2D0H, 2E0H ~ 2ECH )

アドレス	レジスタ								コメント
	D3	D2	D1	D0	Name	Init *1	1	0	
2D0H	0	0	0	LOF	0 *3	– *2	–	–	未使用
					0 *3	– *2	–	–	未使用
					0 *3	– *2	–	–	未使用
	R			R/W	LOF	1	Normal	All off	LCD全消灯制御
2E0H	TM3	TM2	TM1	TM0	TM3	0			計時タイマデータ(2Hz)
					TM2	0			計時タイマデータ(4Hz)
					TM1	0			計時タイマデータ(8Hz)
	R				TM0	0			計時タイマデータ(16Hz)
2E1H	SWL3	SWL2	SWL1	SWL0	SWL3	0			MSB
					SWL2	0			ストップウォッチタイマ1/100secデータ(BCD)
					SWL1	0			
	R				SWL0	0			LSB
2E2H	SWH3	SWH2	SWH1	SWH0	SWH3	0			MSB
					SWH2	0			ストップウォッチタイマ1/10 secデータ(BCD)
					SWH1	0			
					SWH0	0			LSB
2E3H	K03	K02	K01	K00	K03	– *2	High	Low	入力ポートデータ(K00~K03)
					K02	– *2	High	Low	
					K01	– *2	High	Low	
	R				K00	– *2	High	Low	
2E4H	KCP03	KCP02	KCP01	KCP00	KCP03	0			入力比較レジスタ(K00~K03)
					KCP02	0			
					KCP01	0			
	R/W				KCP00	0			
2E5H	EIK03	EIK02	EIK01	EIK00	EIK03	0	Enable	Mask	割り込みマスクレジスタ(K00~K03)
					EIK02	0	Enable	Mask	
					EIK01	0	Enable	Mask	
	R/W				EIK00	0	Enable	Mask	
2E6H	HLMOD	BLD0	EISWIT1	EISWIT0	HLMOD	0	Heavy load	Normal	重負荷保護モードレジスタ
					BLD0	0	Low	Normal	サブBLD判定データ
	R/W	R	R/W		EISWIT1	0	Enable	Mask	割り込みマスクレジスタ(ストップウォッチ1Hz)
					EISWIT0	0	Enable	Mask	割り込みマスクレジスタ(ストップウォッチ10Hz)
2E7H	SCTRG	EIK10	KCP10	K10	SCTRG *3	–	Trigger	–	シリアルI/Fクロックトリガ
					EIK10	0	Enable	Mask	割り込みマスクレジスタ(K10)
					KCP10	0			入力比較レジスタ(K10)
	W	R/W		R	K10	– *2	High	Low	入力ポートデータ(K10)
2E8H	CSDC	ETI2	ETI8	ETI32	CSDC	0	Static	Dynamic	LCD駆動切り換え
					ETI2	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ2Hz)
					ETI8	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ8Hz)
	R/W				ETI32	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ32Hz)
2E9H	0	TI2	TI8	TI32	0 *3	– *2	–	–	未使用
					TI2 *4	0	Yes	No	割り込み要因フラグ(計時タイマ2Hz)
					TI8 *4	0	Yes	No	割り込み要因フラグ(計時タイマ8Hz)
	R				TI32 *4	0	Yes	No	割り込み要因フラグ(計時タイマ32Hz)
2EAH	IK1	IK0	SWIT1	SWIT0	IK1 *4	0	Yes	No	割り込み要因フラグ(K10)
					IK0 *4	0	Yes	No	割り込み要因フラグ(K00~K03)
					SWIT1 *4	0	Yes	No	割り込み要因フラグ(ストップウォッチ1Hz)
	R				SWIT0 *4	0	Yes	No	割り込み要因フラグ(ストップウォッチ10Hz)
2EBH	R03	R02	R01	R00	R03	0	High	Low	出力ポート(R03)
					R02	0	High	Low	出力ポート(R02)
					R01	0	High	Low	出力ポート(R01)
	R/W				R00	0	High	Low	出力ポート(R00)
2ECH	R13	R12	R11 SIOF	R10	R13	0	High/On	Low/Off	出力ポート(R13)/BZ出力制御
					R12	0	High/On	Low/Off	出力ポート(R12)/FOUT出力制御
					R11	0	High	Low	出力ポート(R11, LAMP)
	R/W		R/W R	R/W	SIOF	0	Run	Stop	出力ポート(SIOF)
					R10	0	High/On	Low/Off	出力ポート(R10)/BZ出力制御

\*1 イニシャルリセット時の初期値

\*3 読み出し時は常時"0"

\*5 不定

\*2 回路上設定されない

\*4 読み出し直後、リセット(0)

表4.1( b ) I/Oメモリマップ( 2EDH ~ 2FAH )

アドレス	レジスタ				コメント				
	D3	D2	D1	D0	Name	Init *1	1	0	
2EDH	P03	P02	P01	P00	P03	−*2	High	Low	入出力兼用ポートデータ(P00~P03) イニシャルリセット時、出力ラッチはリセット
	P02				P02	−*2	High	Low	
	P01				P01	−*2	High	Low	
	P00				P00	−*2	High	Low	
2EEH	TMRST	SWRUN	SWRST	IOC0	TMRST*3	Reset	Reset	−	計時タイマリセット ストップウォッチタイマRun/Stop ストップウォッチタイマリセット I/O制御レジスタ0 (P00~P03)
					SWRUN	0	Run	Stop	
	W	R/W	W	R/W	SWRST*3	Reset	Reset	−	
					IOC0	0	Output	Input	
2EFH	WDRST	WD2	WD1	WD0	WDRST*3	Reset	Reset	−	ウォッチドッグタイマリセット タイマデータ(ウォッチドッグタイマ) 1/4Hz タイマデータ(ウォッチドッグタイマ) 1/2Hz タイマデータ(ウォッチドッグタイマ) 1Hz
					WD2	0			
					WD1	0			
					WD0	0			
2F0H	SD3	SD2	SD1	SD0	SD3	×*5			シリアルI/Fデータレジスタ(下位4ビット)
					SD2	×*5			
					SD1	×*5			
					SD0	×*5			
2F1H	SD7	SD6	SD5	SD4	SD7	×*5			シリアルI/Fデータレジスタ(上位4ビット)
					SD6	×*5			
					SD5	×*5			
					SD4	×*5			
2F2H	SCS1	SCS0	SE2	EISIO	SCS1	1			SIFクロック [SCS1, 0] 0 1 2 3 モード選択 クロック CLK CLK/2 CLK/4 スレーブ シリアルI/Fクロックエッジ選択 割り込みマスクレジスタ(シリアルI/F)
					SCS0	1			
					SE2	0	↑	↓	
					EISIO	0	Enable	Mask	
2F3H	0	0	IK2	ISIO	0*3	−*2	−	−	未使用 未使用 割り込み要因フラグ(K20~K23) 割り込み要因フラグ(シリアルI/F)
					0*3	−*2	−	−	
					IK2*4	0	Yes	No	
					ISIO*4	0	Yes	No	
2F4H	K23	K22	K21	K20	K23	−*2	High	Low	入力ポートデータ(K20~K23)
					K22	−*2	High	Low	
					K21	−*2	High	Low	
					K20	−*2	High	Low	
2F5H	EIK23	EIK22	EIK21	EIK20	EIK23	0	Enable	Mask	割り込みマスクレジスタ(K20~K23)
					EIK22	0	Enable	Mask	
					EIK21	0	Enable	Mask	
					EIK20	0	Enable	Mask	
2F6H	BZFQ2	BZFQ1	BZFQ0	ENVRST	BZFQ2	0			ブザー [BZFQ2~0] 0 1 2 3 周波数 周波数 fosc1/8 fosc1/10 fosc1/12 fosc1/14 選択 [BZFQ2~0] 4 5 6 7 周波数 fosc1/16 fosc1/20 fosc1/24 fosc1/28 エンベロープリセット
					BZFQ1	0			
					BZFQ0	0			
					ENVRST*3	Reset	Reset	−	
2F7H	ENVON	ENVRT	AMPDT	AMPON	ENVON	0	On	Off	エンベロープOn/Off エンベロープ減衰時間 アナログコンバータデータ アナログコンバータOn/Off
					ENVRT	0	1.0 sec	0.5 sec	
					AMPDT	1	+ > -	+ < -	
					AMPON	0	On	Off	
2F8H	EV03	EV02	EV01	EV00	EV03	0			イベントカウンタ0(下位4ビット)
					EV02	0			
					EV01	0			
					EV00	0			
2F9H	EV07	EV06	EV05	EV04	EV07	0			イベントカウンタ0(上位4ビット)
					EV06	0			
					EV05	0			
					EV04	0			
2FAH	EV13	EV12	EV11	EV10	EV13	0			イベントカウンタ1(下位4ビット)
					EV12	0			
					EV11	0			
					EV10	0			

\*1 イニシャルリセット時の初期値

\*3 読み出し時は常時"0"

\*5 不定

\*2 回路上設定されない

\*4 読み出し直後、リセット(0)

表4.1(c) I/Oメモリマップ(2FBH~2FFH)

アドレス	レジスタ								コメント
	D3	D2	D1	D0	Name	Init *1	1	0	
2FBH	EV17	EV16	EV15	EV14	EV17	0			イベントカウンタ1(上位4ビット)
					EV16	0			
					EV15	0			
					EV14	0			
2FCH	EVSEL	ENRUN	EV1RST	EV0RST	EVSEL	0	Separate	Phase	イベントカウンタモード選択
					EVRUN	0	Run	Stop	イベントカウンタRun/Stop
	R/W		W		EV1RST*3	Reset	Reset	-	イベントカウンタ1リセット
					EV0RST*3	Reset	Reset	-	イベントカウンタ0リセット
2FDH	P13	P12	P11	P10	P13	- *2	High	Low	入出力兼用ポートデータ(P10~P13) イニシャルリセット時、出力ラッチはリセット
					P12	- *2	High	Low	
					P11	- *2	High	Low	
					P10	- *2	High	Low	
2FEH	PRSM	CLKCHG	OSCC	IOC1	PRSM	0	38 kHz	32 kHz	OSC1プリスケラ選択
					CLKCHG	0	OSC3	OSC1	CPUクロック切り換え
	R/W				OSCC	0	On	Off	OSC3発振On/Off
					IOC1	0	Output	Input	I/O制御レジスタ(P10~P13)
2FFH	BLS	BLC2	BLC1	BLC0	BLS	0	On	Off	BLD On/Off
	BLD1				BLD1	0	Low	Normal	BLD判定データ
					BLC2	× *5			判定電圧設定レジスタ
	W	R/W			BLC1	× *5			[BLC2~0]
					BLC0	× *5			0 1 2 3 4 5 6 7
	R								S1C60N08/60A08 2.20 2.25 2.30 2.35 2.40 2.45 2.50 2.55 (V)
									S1C60L08 1.05 1.10 1.15 1.20 1.25 1.30 1.35 1.40 (V)

\*1 イニシャルリセット時の初期値

\*3 読み出し時は常時"0"

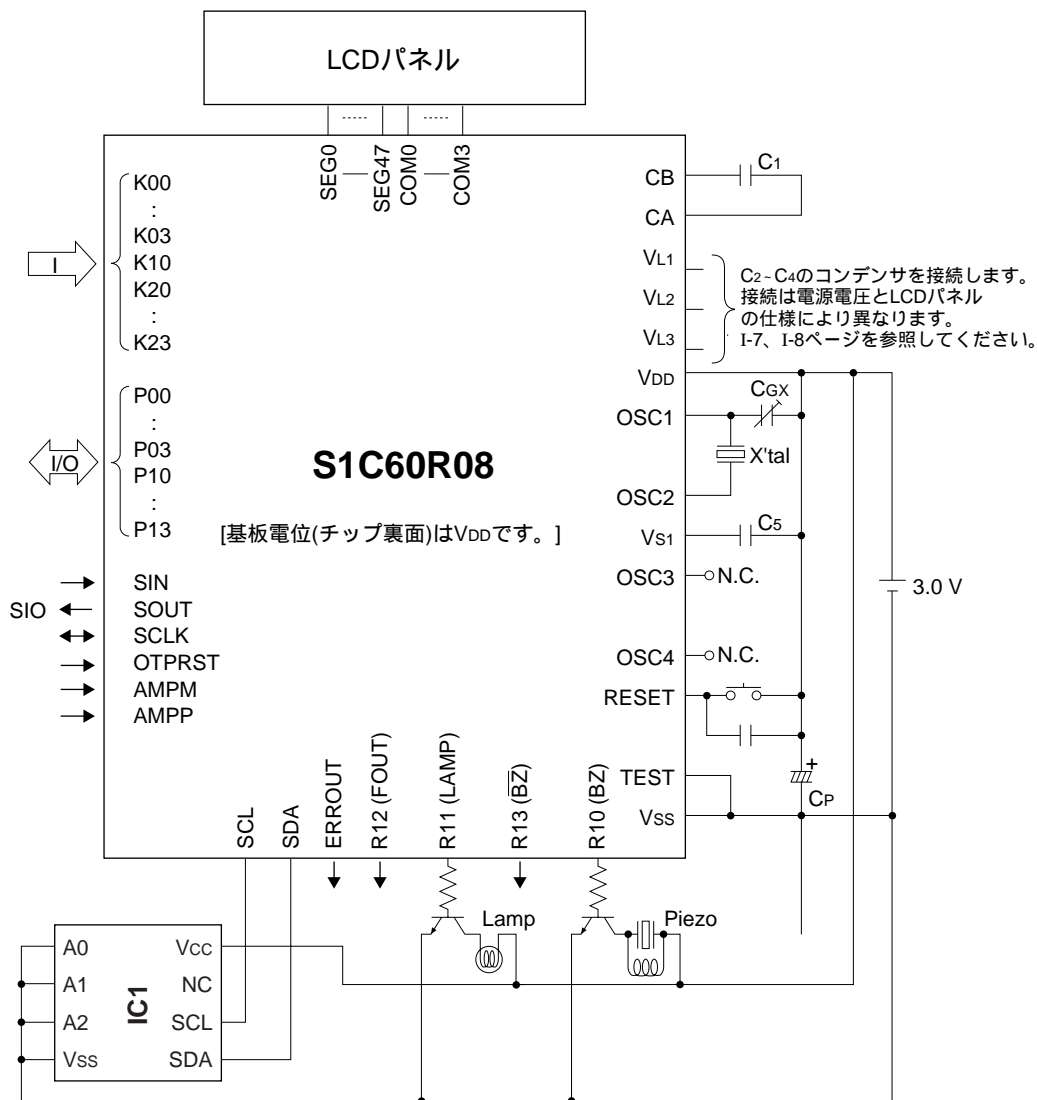
\*5 不定

\*2 回路上設定されない

\*4 読み出し直後、リセット(0)

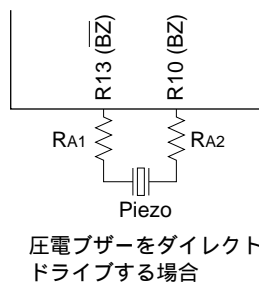
## 5 基本外部結線図

ターゲット: S1C60N08



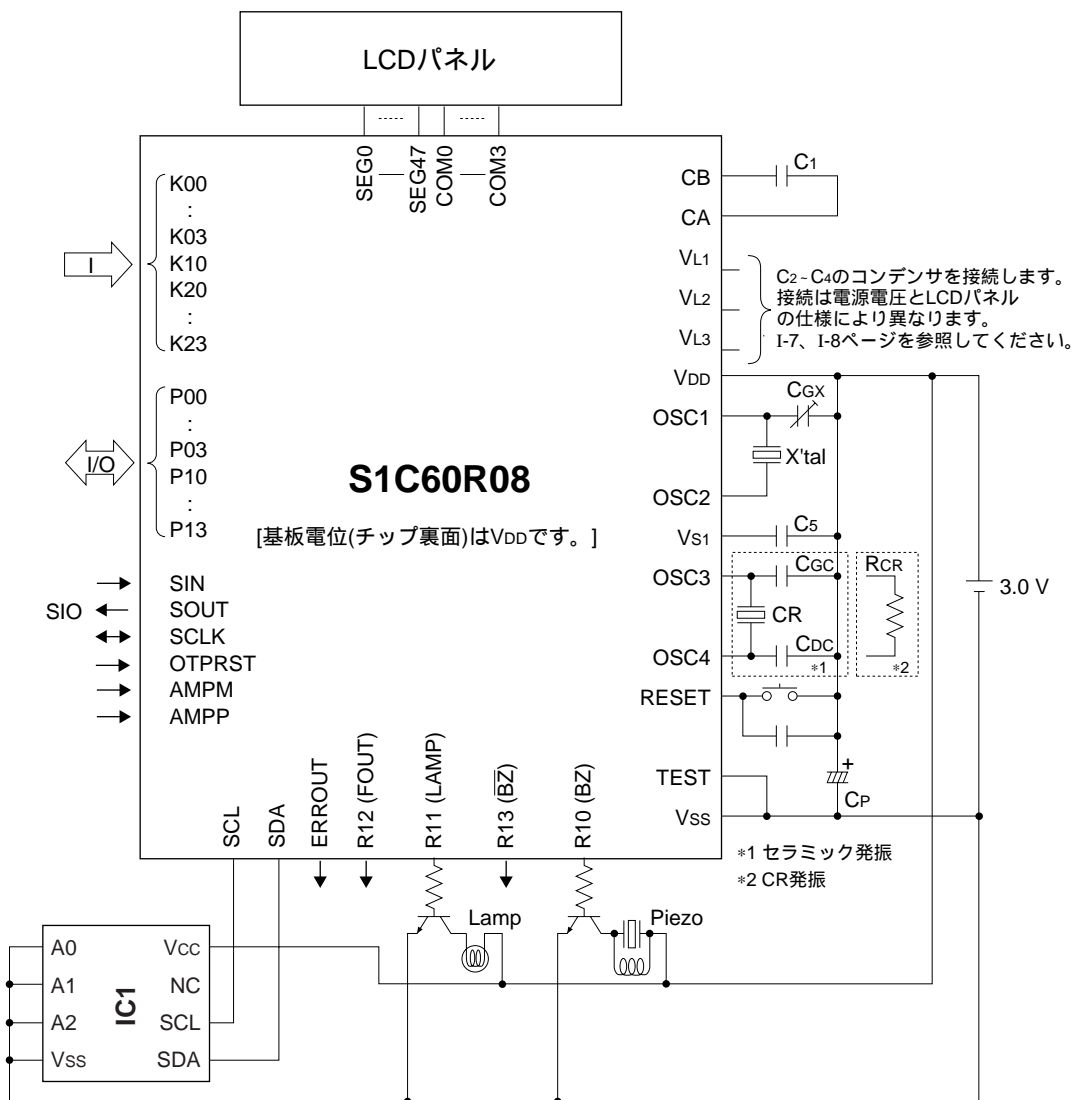
X'tal	水晶振動子	32.768kHz or 38.400kHz
CGX	トリマキャパシタ	5~25pF
C1	キャパシタ	0.1μF
C2	キャパシタ	0.1μF
C3	キャパシタ	0.1μF
C4	キャパシタ	0.1μF
C5	キャパシタ	0.1μF
CP	キャパシタ	3.3μF
RA1	保護抵抗	100Ω
RA2	保護抵抗	100Ω
IC1	シリアルEEPROM	*

\*: "3.3 シリアルEEPROM"(II-9ページ)参照



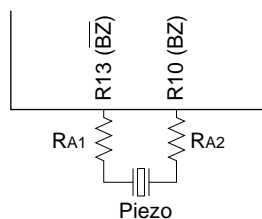
注: ここに記載されている値は一例であり、特に動作を保証するものではありません。

ターゲット: S1C60A08



X'tal	水晶振動子	32.768kHz or 38.400kHz
CGX	トリマキャパシタ	5~25pF
CR	セラミック振動子	500kHz
CGC	ゲートキャパシタ	100pF
CDC	ドレインキャパシタ	100pF
RCR	CR発振用抵抗	82kΩ
C1	キャパシタ	0.1μF
C2	キャパシタ	0.1μF
C3	キャパシタ	0.1μF
C4	キャパシタ	0.1μF
C5	キャパシタ	0.1μF
CP	キャパシタ	3.3μF
RA1	保護抵抗	100Ω
RA2	保護抵抗	100Ω
IC1	シリアルEEPROM	*

\*: "3.3 シリアルEEPROM"(II-9ページ)参照



注: ここに記載されている値は一例であり、特に動作を保証するものではありません。

## 6 電気的特性

### 6.1 絶対最大定格

ターゲット: S1C60N08 & S1C60A08

(V<sub>DD</sub>=0V)

項 目	記号	定 格 値	単位
電源電圧	V <sub>SS</sub>	-5.0 ~ 0.5	V
入力電圧(1)	V <sub>I</sub>	V <sub>SS</sub> -0.3 ~ 0.5	V
入力電圧(2)	V <sub>IOSC</sub>	V <sub>S1</sub> -0.3 ~ 0.5	V
許容総出力電流 *1	ΣI <sub>VSS</sub>	10	mA
動作温度	T <sub>opr</sub>	-20 ~ 70	°C
保存温度	T <sub>stg</sub>	-65 ~ 150	°C
半田付け温度・時間	T <sub>sol</sub>	260°C, 10sec (リード部)	—
許容損失 *2	P <sub>D</sub>	250	mW

\*1 許容総出力電流とは出力端子から同時に流し出せる(または引き込める)電流(平均電流)の総和です。

\*2 プラスチックパッケージの場合

### 6.2 推奨動作条件

ターゲット: S1C60N08

(T<sub>a</sub>=-20 ~ 70°C)

項 目	記号	条 件	Min.	Typ.	Max.	単位
電源電圧	V <sub>SS</sub>	V <sub>DD</sub> =0V	-3.5	-3.0	-1.8	V
発振周波数	f <sub>OSC1</sub>	一方を選択	—	32.768	—	kHz
			—	38.400	—	kHz

ターゲット: S1C60A08

(T<sub>a</sub>=-20 ~ 70°C)

項 目	記号	条 件	Min.	Typ.	Max.	単位
電源電圧	V <sub>SS</sub>	V <sub>DD</sub> =0V	-3.5	-3.0	-2.2	V
発振周波数(1)	f <sub>OSC1</sub>	一方を選択	—	32.768	—	kHz
			—	38.400	—	kHz
発振周波数(2)	f <sub>OSC3</sub>	デューティ50±5%	50	500	600	kHz

### 6.3 DC特性

ターゲット: S1C60N08 & S1C60A08

特記なき場合

$V_{DD}=0V$ ,  $V_{SS}=-3.0V$ ,  $f_{OSC1}=32.768kHz$ ,  $T_a=25^{\circ}C$ ,  $V_{S1}/V_{L1}\sim V_{L3}$ は内部電圧,  $C_1\sim C_5=0.1\mu F$

項 目	記号	条 件	Min.	Typ.	Max.	単位
高レベル入力電圧(1)	$V_{IH1}$	K00~03, K10, K20~23, P00~03 P10~13, SIN, SDA	$0.2 \cdot V_{SS}$		0	V
高レベル入力電圧(2)	$V_{IH2}$	SCLK, RESET, TEST, OTPRST	$0.1 \cdot V_{SS}$		0	V
低レベル入力電圧(1)	$V_{IL1}$	K00~03, K10, K20~23, P00~03 P10~13, SIN, SDA	$V_{SS}$		$0.8 \cdot V_{SS}$	V
低レベル入力電圧(2)	$V_{IL2}$	SCLK, RESET, TEST, OTPRST	$V_{SS}$		$0.9 \cdot V_{SS}$	V
高レベル入力電流(1)	$I_{IH1}$	$V_{IH1}=0V$ Pull downなし	0		0.5	$\mu A$
高レベル入力電流(2)	$I_{IH2}$	$V_{IH2}=0V$ Pull downあり	4		16	$\mu A$
高レベル入力電流(3)	$I_{IH3}$	$V_{IH3}=0V$ Pull downあり	25		100	$\mu A$
低レベル入力電流	$I_{IL}$	$V_{IL}=V_{SS}$	-0.5		0	$\mu A$
高レベル出力電流(1)	$I_{OH1}$	$V_{OH1}=0.1 \cdot V_{SS}$			-1.8	mA
高レベル出力電流(2)	$I_{OH2}$	$V_{OH2}=0.1 \cdot V_{SS}$			-0.9	mA
低レベル出力電流(1)	$I_{OL1}$	$V_{OL1}=0.9 \cdot V_{SS}$	6.0			mA
低レベル出力電流(2)	$I_{OL2}$	$V_{OL2}=0.9 \cdot V_{SS}$	3.0			mA
コモン出力電流	$I_{OH3}$	$V_{OH3}=-0.05V$			-3	$\mu A$
	$I_{OL3}$	$V_{OL3}=V_{L3}+0.05V$	3			$\mu A$
セグメント出力電流 (LCD出力時)	$I_{OH4}$	$V_{OH4}=-0.05V$			-3	$\mu A$
	$I_{OL4}$	$V_{OL4}=V_{L3}+0.05V$	3			$\mu A$
セグメント出力電流 (DC出力時)	$I_{OH5}$	$V_{OH5}=0.1 \cdot V_{SS}$			-200	$\mu A$
	$I_{OL5}$	$V_{OL5}=0.9 \cdot V_{SS}$	200			$\mu A$



## 6.4 アナログ回路特性・消費電流

ターゲット: S1C60N08 (通常動作モード)

特記なき場合

VDD=0V, VSS=-3.0V, fosc1=32.768kHz, Ta=25°C, CG=25pF, VSI/VL1~VL3は内部電圧, C1~C5=0.1μF

項 目	記号	条 件	Min.	Typ.	Max.	単位
LCD駆動電圧	VL1	VDD-VL1間に1MΩの負荷抵抗を接続 (パネル負荷なし)	1/2-VL2 - 0.1		1/2-VL2 ×0.9	V
	VL2	VDD-VL2間に1MΩの負荷抵抗を接続 (パネル負荷なし)	-2.30	-2.10	-1.90	V
	VL3	VDD-VL3間に1MΩの負荷抵抗を接続 (パネル負荷なし)	3/2-VL2 - 0.1		3/2-VL2 ×0.9	V
BLD電圧 *1	VB0	BLC="0"	-2.35	-2.20	-2.05	V
	VB1	BLC="1"	-2.40	-2.25	-2.10	V
	VB2	BLC="2"	-2.45	-2.30	-2.15	V
	VB3	BLC="3"	-2.50	-2.35	-2.20	V
	VB4	BLC="4"	-2.55	-2.40	-2.25	V
	VB5	BLC="5"	-2.60	-2.45	-2.30	V
	VB6	BLC="6"	-2.65	-2.50	-2.35	V
	VB7	BLC="7"	-2.70	-2.55	-2.40	V
BLD回路応答時間	tB				100	μsec
サブBLD電圧	VB5		-2.55	-2.40	-2.25	V
サブBLD回路応答時間	tBS				100	μsec
アナログコンパレータ 入力電圧	VIP	非反転入力(AMPP)	VSS+0.3		VDD-0.9	V
	VIM	反転入力(AMPM)				
アナログコンパレータ オフセット電圧	VOF				10	mV
アナログコンパレータ 応答時間	tAMP	VIP=-1.5V VIM=VIP±15mV			3	msec
消費電流	IOP	HALT時		1.0	2.0	μA
		実行時 *2	パネル 負荷なし	6.5	9.0	μA

\*1 VB0~VB7の大小関係はVB0>VB1>VB2>...VB5>VB6>VB7

\*2 BLD回路、サブBLD回路およびアナログコンパレータはOFF状態

ターゲット: S1C60N08 (重負荷保護モード)

特記なき場合

VDD=0V, VSS=-3.0V, fosc1=32.768kHz, Ta=25°C, CG=25pF, VSI/VL1~VL3は内部電圧, C1~C5=0.1μF

項 目	記号	条 件	Min.	Typ.	Max.	単位
LCD駆動電圧	VL1	VDD-VL1間に1MΩの負荷抵抗を接続 (パネル負荷なし)	1/2-VL2 - 0.1		1/2-VL2 ×0.9	V
	VL2	VDD-VL2間に1MΩの負荷抵抗を接続 (パネル負荷なし)	-2.30	-2.10	-1.90	V
	VL3	VDD-VL3間に1MΩの負荷抵抗を接続 (パネル負荷なし)	3/2-VL2 - 0.1		3/2-VL2 ×0.9	V
BLD電圧 *1	VB0	BLC="0"	-2.35	-2.20	-2.05	V
	VB1	BLC="1"	-2.40	-2.25	-2.10	V
	VB2	BLC="2"	-2.45	-2.30	-2.15	V
	VB3	BLC="3"	-2.50	-2.35	-2.20	V
	VB4	BLC="4"	-2.55	-2.40	-2.25	V
	VB5	BLC="5"	-2.60	-2.45	-2.30	V
	VB6	BLC="6"	-2.65	-2.50	-2.35	V
	VB7	BLC="7"	-2.70	-2.55	-2.40	V
BLD回路応答時間	tB				100	μsec
サブBLD電圧	VB5		-2.55	-2.40	-2.25	V
サブBLD回路応答時間	tBS				100	μsec
アナログコンパレータ 入力電圧	VIP	非反転入力(AMPP)	VSS+0.3		VDD-0.9	V
	VIM	反転入力(AMPM)				
アナログコンパレータ オフセット電圧	VOF				10	mV
アナログコンパレータ 応答時間	tAMP	VIP=-1.5V VIM=VIP±15mV			3	msec
消費電流	IOP	HALT時		6.5	10	μA
		実行時 *2	パネル 負荷なし	11.5	20	μA

\*1 VB0~VB7の大小関係はVB0>VB1>VB2>...VB5>VB6>VB7

\*2 BLD回路、サブBLD回路はON状態(HLMOD="1"、BLS="0")

アナログコンパレータはOFF状態

## ターゲット: S1C60A08 ( 通常の動作モード )

特記なき場合

VDD=0V, VSS=-3.0V, fOSC1=32.768kHz, Ta=25°C, CG=25pF, VS1/VL1~VL3は内部電圧, C1~C5=0.1μF

項 目	記号	条 件	Min.	Typ.	Max.	単位
LCD駆動電圧	VL1	VDD-VL1間に1MΩの負荷抵抗を接続 (パネル負荷なし)	-1.15	-1.05	-0.95	V
	VL2	VDD-VL2間に1MΩの負荷抵抗を接続 (パネル負荷なし)	2-VL1 - 0.1		2-VL1 ×0.9	V
	VL3	VDD-VL3間に1MΩの負荷抵抗を接続 (パネル負荷なし)	3-VL1 - 0.1		3-VL1 ×0.9	V
BLD電圧 *1	VB0	BLC="0"	-2.35	-2.20	-2.05	V
	VB1	BLC="1"	-2.40	-2.25	-2.10	V
	VB2	BLC="2"	-2.45	-2.30	-2.15	V
	VB3	BLC="3"	-2.50	-2.35	-2.20	V
	VB4	BLC="4"	-2.55	-2.40	-2.25	V
	VB5	BLC="5"	-2.60	-2.45	-2.30	V
	VB6	BLC="6"	-2.65	-2.50	-2.35	V
	VB7	BLC="7"	-2.70	-2.55	-2.40	V
BLD回路応答時間	tB				100	μsec
サブBLD電圧	VBS		-2.55	-2.40	-2.25	V
サブBLD回路応答時間	tBS				100	μsec
アナログコンパレータ 入力電圧	VIP	非反転入力(AMPP)	VSS+0.3		VDD-0.9	V
	VIM	反転入力(AMPM)				
アナログコンパレータ オフセット電圧	VOF				10	mV
アナログコンパレータ 応答時間	tAMP	VIP=-1.5V VIM=VIP±15mV			3	msec
消費電流	IOP	HALT時		1.1	2.0	μA
		実行時 *2		7.5	10	μA
		500kHz実行時 *2		115	150	μA

\*1 VB0~VB7の大小関係はVB0&gt;VB1&gt;VB2&gt;...VB5&gt;VB6&gt;VB7

\*2 BLD回路、サブBLD回路およびアナログコンパレータはOFF状態

## ターゲット: S1C60A08 ( 重負荷保護モード )

特記なき場合

VDD=0V, VSS=-3.0V, fOSC1=32.768kHz, Ta=25°C, CG=25pF, VS1/VL1~VL3は内部電圧, C1~C5=0.1μF

項 目	記号	条 件	Min.	Typ.	Max.	単位
LCD駆動電圧	VL1	VDD-VL1間に1MΩの負荷抵抗を接続 (パネル負荷なし)	-1.15	-1.05	-0.95	V
	VL2	VDD-VL2間に1MΩの負荷抵抗を接続 (パネル負荷なし)	2-VL1 - 0.1		2-VL1 ×0.9	V
	VL3	VDD-VL3間に1MΩの負荷抵抗を接続 (パネル負荷なし)	3-VL1 - 0.1		3-VL1 ×0.9	V
BLD電圧 *1	VB0	BLC="0"	-2.35	-2.20	-2.05	V
	VB1	BLC="1"	-2.40	-2.25	-2.10	V
	VB2	BLC="2"	-2.45	-2.30	-2.15	V
	VB3	BLC="3"	-2.50	-2.35	-2.20	V
	VB4	BLC="4"	-2.55	-2.40	-2.25	V
	VB5	BLC="5"	-2.60	-2.45	-2.30	V
	VB6	BLC="6"	-2.65	-2.50	-2.35	V
	VB7	BLC="7"	-2.70	-2.55	-2.40	V
BLD回路応答時間	tB				100	μsec
サブBLD電圧	VBS		-2.55	-2.40	-2.25	V
サブBLD回路応答時間	tBS				100	μsec
アナログコンパレータ 入力電圧	VIP	非反転入力(AMPP)	VSS+0.3		VDD-0.9	V
	VIM	反転入力(AMPM)				
アナログコンパレータ オフセット電圧	VOF				10	mV
アナログコンパレータ 応答時間	tAMP	VIP=-1.5V VIM=VIP±15mV			3	msec
消費電流	IOP	HALT時		6.5	10	μA
		実行時 *2		12.5	20	μA
		500kHz実行時 *2		120	160	μA

\*1 VB0~VB7の大小関係はVB0&gt;VB1&gt;VB2&gt;...VB5&gt;VB6&gt;VB7

\*2 BLD回路、サブBLD回路はON状態(HLMOD="1"、BLS="0")

アナログコンパレータはOFF状態

## 6.5 発振特性

発振特性は諸条件(使用部品、基板パターン等)により変化します。以下の特性は参考値として、ご使用ください。

ターゲット: S1C60N08 (OSC1水晶発振回路)

特記なき場合

V<sub>DD</sub>=0V, V<sub>SS</sub>=-3.0V, Crystal: C-002R (C<sub>I</sub>=35kΩ), C<sub>G</sub>=25pF, C<sub>D</sub>=内蔵, T<sub>a</sub>=25°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振開始電圧	V <sub>sta</sub>	t <sub>sta</sub> ≤5sec (V <sub>SS</sub> )	-1.8			V
発振停止電圧	V <sub>stp</sub>	t <sub>stp</sub> ≤10sec (V <sub>SS</sub> )	-1.8			V
内蔵容量(ドレイン)	C <sub>D</sub>	IC内部の寄生容量を含む		20		pF
周波数電圧偏差	Δf/ΔV	V <sub>SS</sub> =-1.8 ~ -3.5V			5	ppm
周波数IC偏差	Δf/ΔIC		-10		10	ppm
周波数調整範囲	Δf/ΔC <sub>G</sub>	C <sub>G</sub> =5 ~ 25pF	35	45		ppm
高調波発振開始電圧	V <sub>hho</sub>	(V <sub>SS</sub> )			-3.5	V
許容リーク抵抗	R <sub>leak</sub>	OSC1とV <sub>DD</sub> の間	200			MΩ

ターゲット: S1C60A08 (OSC1水晶発振回路)

特記なき場合

V<sub>DD</sub>=0V, V<sub>SS</sub>=-3.0V, Crystal: C-002R (C<sub>I</sub>=35kΩ), C<sub>G</sub>=25pF, C<sub>D</sub>=内蔵, T<sub>a</sub>=25°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振開始電圧	V <sub>sta</sub>	t <sub>sta</sub> ≤5sec (V <sub>SS</sub> )	-2.2			V
発振停止電圧	V <sub>stp</sub>	t <sub>stp</sub> ≤10sec (V <sub>SS</sub> )	-2.2			V
内蔵容量(ドレイン)	C <sub>D</sub>	IC内部の寄生容量を含む		20		pF
周波数電圧偏差	Δf/ΔV	V <sub>SS</sub> =-2.2 ~ -3.5V			5	ppm
周波数IC偏差	Δf/ΔIC		-10		10	ppm
周波数調整範囲	Δf/ΔC <sub>G</sub>	C <sub>G</sub> =5 ~ 25pF	35	45		ppm
高調波発振開始電圧	V <sub>hho</sub>	(V <sub>SS</sub> )			-3.5	V
許容リーク抵抗	R <sub>leak</sub>	OSC1とV <sub>DD</sub> の間	200			MΩ

ターゲット: S1C60A08 (OSC3 CR発振回路)

特記なき場合

V<sub>DD</sub>=0V, V<sub>SS</sub>=-3.0V, R<sub>CR</sub>=82kΩ, T<sub>a</sub>=25°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振周波数バラツキ	f <sub>osc3</sub>		-30	480kHz	30	%
発振開始電圧	V <sub>sta</sub>	(V <sub>SS</sub> )	-2.2			V
発振開始時間	t <sub>sta</sub>	V <sub>SS</sub> =-2.2 ~ -3.5V			3	msec
発振停止電圧	V <sub>stp</sub>	(V <sub>SS</sub> )	-2.2			V

ターゲット: S1C60A08 (OSC3セラミック発振回路)

特記なき場合

V<sub>DD</sub>=0V, V<sub>SS</sub>=-3.0V, セラミック振動子: 500kHz, C<sub>GC</sub>=C<sub>DC</sub>=100pF, T<sub>a</sub>=25°C

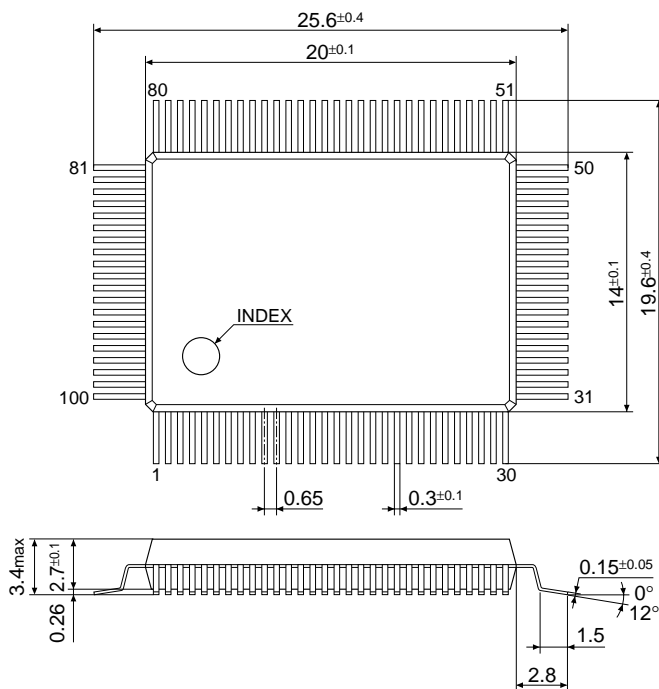
項 目	記号	条 件	Min.	Typ.	Max.	単位
発振開始電圧	V <sub>sta</sub>	(V <sub>SS</sub> )	-2.2			V
発振開始時間	t <sub>sta</sub>	V <sub>SS</sub> =-2.2 ~ -3.5V			5	msec
発振停止電圧	V <sub>stp</sub>	(V <sub>SS</sub> )	-2.2			V

## 7 パッケージ

### 7.1 プラスチックパッケージ

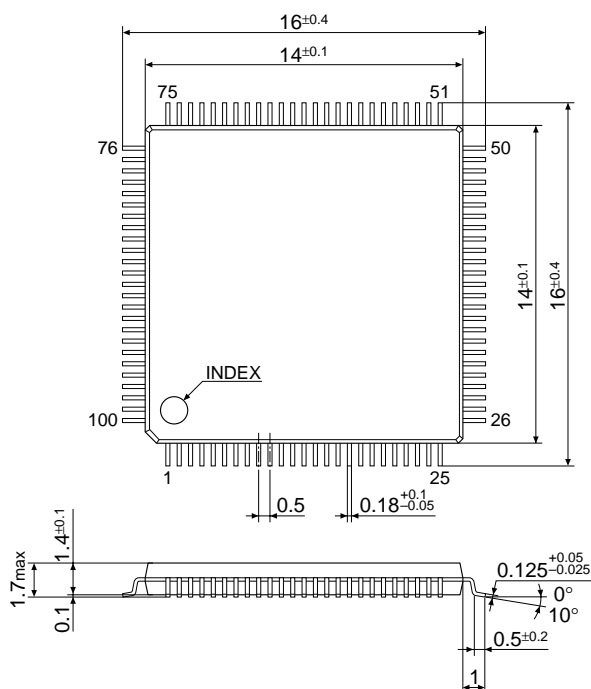
QFP5-100pin

(単位: mm)



QFP15-100pin

(単位: mm)

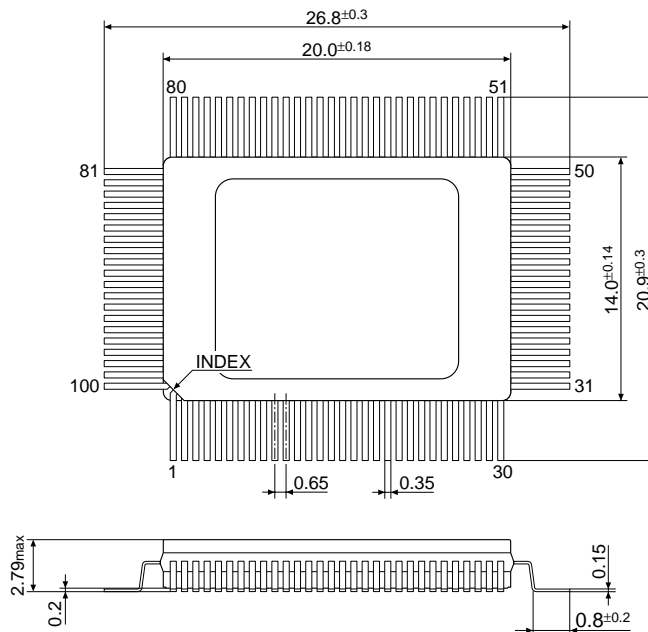


注: 寸法については予告なく変更する場合があります。

## 7.2 テストサンプル用セラミックパッケージ

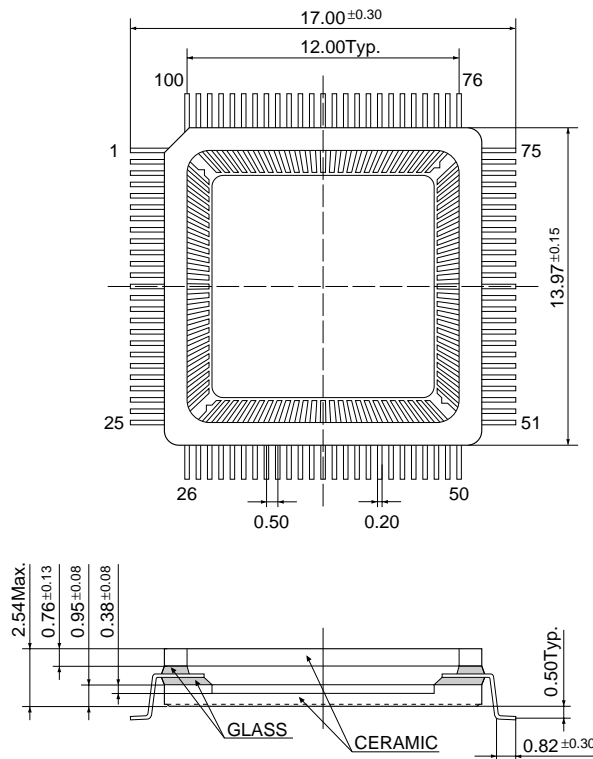
QFP5-100pin

(単位 : mm)



QFP15-100pin

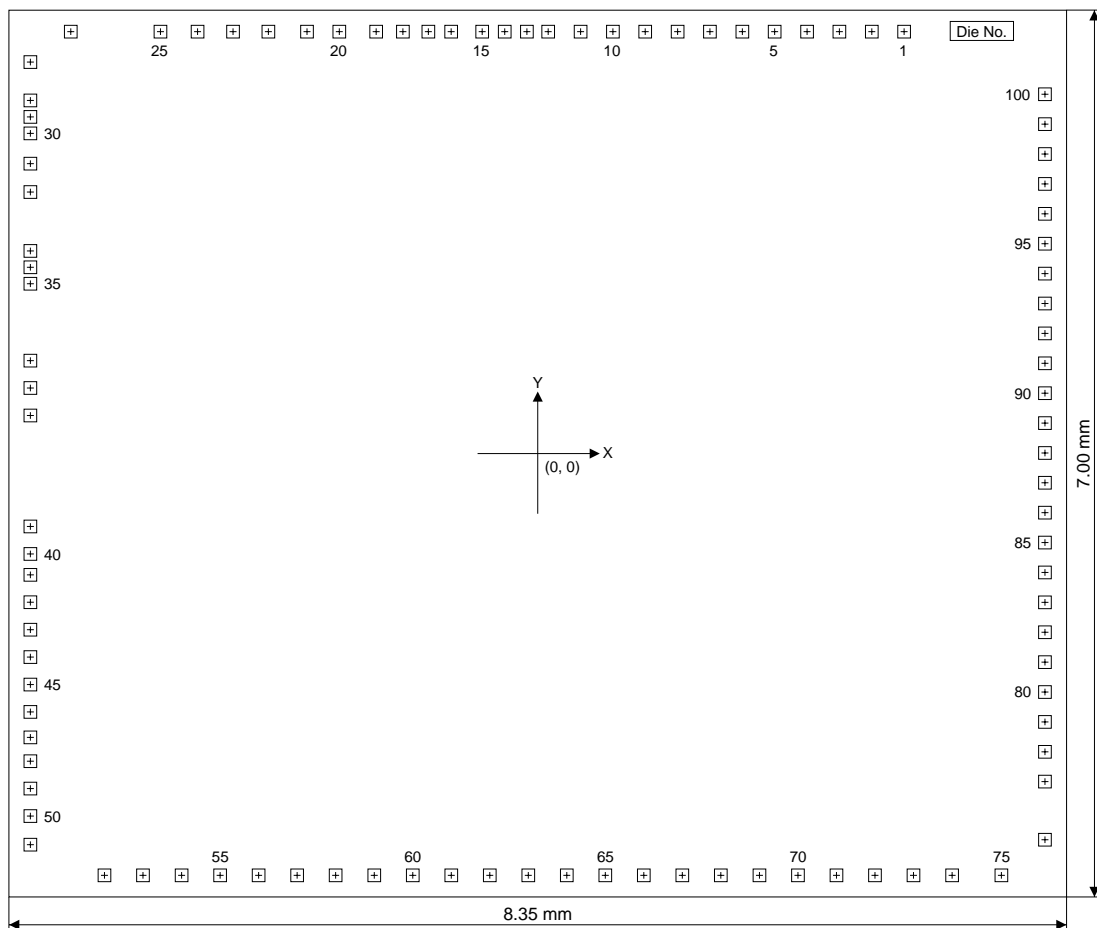
(単位 : mm)



注: 寸法については予告なく変更する場合があります。

## 8 パッド配置

### 8.1 パッド配置図



チップ厚: 400 $\mu$ m  
パッド開口部: 95 $\mu$ m

## 8.2 パッド座標

(単位:  $\mu\text{m}$ )

No.	パッド名	X座標	Y座標	No.	パッド名	X座標	Y座標	No.	パッド名	X座標	Y座標
1	AMPP	2,893	3,330	35	REST	-4,005	1,340	69	SEG30	1,751	-3,330
2	AMPM	2,638	3,330	36	OSC4	-4,005	733	70	SEG29	2,055	-3,330
3	K23	2,382	3,330	37	OSC3	-4,005	517	71	SEG28	2,359	-3,330
4	K22	2,127	3,330	38	Vs1	-4,005	300	72	SEG27	2,663	-3,330
5	K21	1,871	3,330	39	OSC2	-4,005	-576	73	SEG26	2,967	-3,330
6	K20	1,616	3,330	40	OSC1	-4,005	-793	74	SEG25	3,272	-3,330
7	K10	1,360	3,330	41	VDD	-4,005	-958	75	SEG24	3,661	-3,330
8	K03	1,105	3,330	42	VL3	-4,005	-1,174	76	TEST	4,005	-3,049
9	K02	849	3,330	43	VL2	-4,005	-1,391	77	SEG23	4,005	-2,590
10	K01	594	3,330	44	VL1	-4,005	-1,607	78	SEG22	4,005	-2,355
11	K00	339	3,330	45	CA	-4,005	-1,824	79	SEG21	4,005	-2,119
12	SIN	83	3,330	46	CB	-4,005	-2,040	80	SEG20	4,005	-1,883
13	SOUT	-85	3,330	47	ERROUT	-4,005	-2,241	81	SEG19	4,005	-1,647
14	OTPRST	-260	3,330	48	COM3	-4,005	-2,429	82	SEG18	4,005	-1,411
15	SCLK	-438	3,330	49	COM2	-4,005	-2,645	83	SEG17	4,005	-1,175
16	P03	-683	3,330	50	COM1	-4,005	-2,862	84	SEG16	4,005	-939
17	P02	-863	3,330	51	COM0	-4,005	-3,088	85	SEG15	4,005	-703
18	P01	-1,064	3,330	52	SEG47	-3,420	-3,330	86	SEG14	4,005	-467
19	P00	-1,275	3,330	53	SEG46	-3,116	-3,330	87	SEG13	4,005	-231
20	SCL	-1,566	3,330	54	SEG45	-2,811	-3,330	88	SEG12	4,005	4
21	SDA	-1,821	3,330	55	SEG44	-2,507	-3,330	89	SEG11	4,005	240
22	P13	-2,126	3,330	56	SEG43	-2,203	-3,330	90	SEG10	4,005	476
23	P12	-2,405	3,330	57	SEG42	-1,899	-3,330	91	SEG9	4,005	712
24	P11	-2,685	3,330	58	SEG41	-1,595	-3,330	92	SEG8	4,005	948
25	P10	-2,978	3,330	59	SEG40	-1,290	-3,330	93	SEG7	4,005	1,184
26	R03	-3,686	3,330	60	SEG39	-986	-3,330	94	SEG6	4,005	1,420
27	R02	-4,005	3,090	61	SEG38	-682	-3,330	95	SEG5	4,005	1,656
28	R01	-4,005	2,787	62	SEG37	-378	-3,330	96	SEG4	4,005	1,892
29	R00	-4,005	2,657	63	SEG36	-74	-3,330	97	SEG3	4,005	2,128
30	R12	-4,005	2,527	64	SEG35	230	-3,330	98	SEG2	4,005	2,364
31	R11	-4,005	2,288	65	SEG34	534	-3,330	99	SEG1	4,005	2,600
32	R10	-4,005	2,064	66	SEG33	838	-3,330	100	SEG0	4,005	2,836
33	R13	-4,005	1,599	67	SEG32	1,142	-3,330				
34	Vss	-4,005	1,470	68	SEG31	1,446	-3,330				

## セイコーエプソン株式会社 電子デバイス営業本部

ED営業推進部 IC営業技術G	〒191-8501 東京都日野市日野421-8 TEL (042) 587-5816(直通) FAX (042) 587-5624
東日本 ED東京営業部 東京IC営業G	〒191-8501 東京都日野市日野421-8 TEL (042) 587-5313(直通) FAX (042) 587-5116
西日本 ED大阪営業部	〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F TEL (06) 6120-6000(代表) FAX (06) 6120-6100
東海・北陸 ED名古屋営業部	〒461-0005 名古屋市東区東桜1-10-24 栄大野ビル4F TEL (052) 953-8031(代表) FAX (052) 953-8041
長野 ED長野営業部	〒392-8502 長野県諏訪市大和3-3-5 TEL (0266) 58-8171(直通) FAX (0266) 58-9917
東北 ED仙台営業所	〒980-0013 宮城県仙台市青葉区花京院1-1-20 花京院スクエア19F TEL (022) 263-7975(代表) FAX (022) 263-7990

インターネットによる電子デバイスのご紹介

<http://www.epson.co.jp/device/>