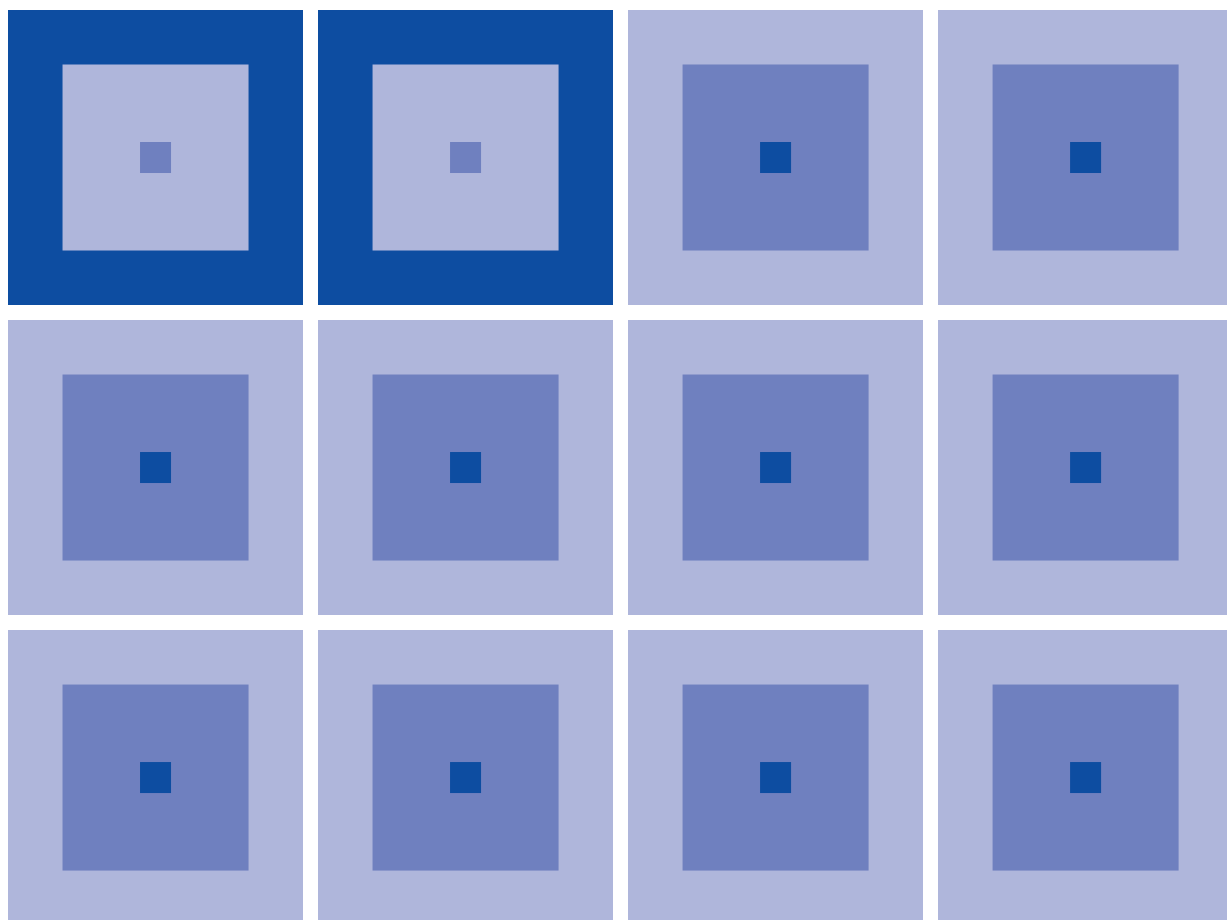


CMOS CALLING NUMBER IDENTIFICATION RECEIVER IC

S1C05250

テクニカルマニュアル

S1C05250 Technical Hardware



本資料のご使用につきましては、次の点にご留意願います。

1. 本資料の内容については、予告なく変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利(工業所有権を含む)侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち、「外国為替および外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、一般民生用です。生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合の如何なる責任についても負いかねます。

本書に記載のブランド名または製品名は、それらの所有者の商標もしくは登録商標です。

製品型番変更のご案内

2001年4月1日より、弊社半導体製品の製品型番が以下のとおり変更となりますので、4月1日以降のご発注につきましては変更後の製品型番にてお願い申し上げます。

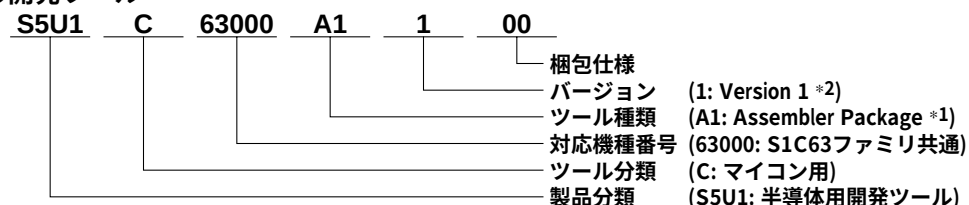
なお、製品型番の詳細仕様につきましては、弊社営業担当にお問い合わせください。

製品型番体系

●デバイス



●開発ツール



*1: ツールの種類は、新旧型番対応表を参照してください。(マニュアル類には一桁で記載されているものもあります。)

*2: マニュアル類には、実際のバージョンは記載されておりません。

新旧型番対応表

●S1C63ファミリ

旧型番	新型番
E0C63158	S1C63158
E0C63256	S1C63256
E0C63358	S1C63358
E0C63P366	S1C6P366
E0C63404	S1C63404
E0C63406	S1C63406
E0C63408	S1C63408
E0C63F408	S1C6F408
E0C63454	S1C63454
E0C63455	S1C63455
E0C63458	S1C63458
E0C63466	S1C63466
E0C63P466	S1C6P466

旧型番	新型番
E0C63467	S1C63467
E0C63557	S1C63557
E0C63558	S1C63558
E0C63567	S1C63567
E0C63F567	S1C6F567
E0C63658	S1C63658
E0C63666	S1C63666
E0C63F666	S1C6F666
E0C63A08	S1C63A08
E0C63B07	S1C63B07
E0C63B08	S1C63B08
E0C63B58	S1C63B58

●S1C63ファミリのペリフェラル製品

旧型番	新型番
E0C5250	S1C05250
E0C5251	S1C05251

開発ツール新旧型番対応表

●S1C63ファミリ関係の開発ツール

旧型番	新型番
ADP63366	S5U1C63366X
ADP63466	S5U1C63466X
ASM63	S5U1C63000A
GAM63001	S5U1C63000G
ICE63	S5U1C63000H1
PRC63001	S5U1C63001P
PRC63002	S5U1C63002P
PRC63004	S5U1C63004P
PRC63005	S5U1C63005P
PRC63006	S5U1C63006P
PRC63007	S5U1C63007P
URS63366	S5U1C63366Y

●S1C63/88ファミリ関係の開発ツール

旧型番	新型番
ADS00002	S5U1C88000X1
GWH00002	S5U1C88000W2
URM00002	S5U1C88000W1

目 次

1 概要	1
1.1 特長	1
1.2 ブロック図	2
1.3 端子配置図	2
1.4 端子説明	3
2 電源系およびイニシャルリセット	5
2.1 電源	5
2.2 イニシャルリセット	5
3 機能説明	6
3.1 レジスタ説明	6
3.2 入力アンプ回路	11
3.3 リング/ラインリバーサル信号検出	12
3.4 FSK復調	12
3.5 デュアルトーン検出	13
4 実装上の注意事項	14
5 電気的特性	16
5.1 絶対最大定格	16
5.2 推奨動作条件	16
5.3 DC特性	16
5.4 消費電流	16
5.5 水晶発振特性	17
5.6 FSK復調回路特性	17
5.6.1 FSK AC特性	17
5.6.2 FSKスイッチング特性	17
5.7 デュアルトーン(CAS)検出回路特性	18
5.7.1 CAS AC特性	18
5.7.2 CASスイッチング特性	18
5.8 コールプログレスモード(CPM)検出回路特性	19
5.8.1 CPM AC特性	19
5.8.2 CPMスイッチング特性	19
5.9 シリアルインタフェース回路特性	20
5.9.1 シリアルインタフェースAC特性	20
5.9.2 FSK復調データリードモード	21
5.9.3 CAS検出回路制御レジスタライトモード	21
5.10 S1C05250タイミングチャート	22
5.10.1 Bellcore オンフックデータ転送	22
5.10.2 Bellcore オフフックデータ転送	22
5.10.3 BT Idle State CLIサービス	23
5.10.4 BT Loop State CLIサービス	23
5.11 外部結線図(例)	24
5.11.1 Bellcore 互換電話機回路例	24
5.11.2 Bellcore 互換補助機回路例	25

6 パッケージ	26
7 パッド配置	27
7.1 パッド配置図	27
7.2 パッド座標	27

1 概要

S1C05250(CAS + FSK IC)は、Call Waiting機能付き発信番号認識用CMOS ICです。

Bellcore GR-30-COREに準拠したCND(Calling Number Delivery)、CNAM(Calling Name Delivery)、CIDCW(Calling Identity on Call Waiting)、あるいはBritish TelecomのCLIP(Calling Line Identification Service)、Cable Communications AssociationのCDS(Caller Display Service)など、各種発信情報通知サービスとのインタフェースを提供します。

また、S1C05250にはパワーダウン回路、リング検出回路、キャリア検出回路、同期受信データ出力機能、クロック同期式シリアルインタフェースが搭載されており、以下に挙げるようなアプリケーションの構築に最適です。

- Call Waiting機能付き発信番号通知サービス
- 電話機などの補助装置
- 電話応答装置
- 多機能電話
- ファックス
- コンピュータ周辺回路

1.1 特長

- Bellcore GR-30-CORE、SR-TSV-002476に準拠
- British Telecom SIN227、SIN242に準拠
- プログラマブルなバンドパスフィルタにより、BellcoreのCPEアラート信号(CAS)、British Telecomのアイドルトーンアラート信号を検出可能
- ITU-T V.23/BELL202準拠のFSK復調回路
- コールプログレスモード信号(CPM)検出のためのフィルタバイパスモード
- アラート信号の検出レベルをプログラマブルに設定可能
- キャリア/リング検出出力
- 3.579545MHz水晶発振または外部クロック入力に対応
- シリアル受信データ出力
- シリアルホストインタフェース
- パワーダウンモード
- 電源電圧: 2.7V～5.5V
- 動作温度範囲: -20°C～70°C
- 消費電流: 動作時 3mA
パワーダウン時 1μA
- 出荷形態: SOP1-24pin(プラスチック)またはチップ

1.2 ブロック図

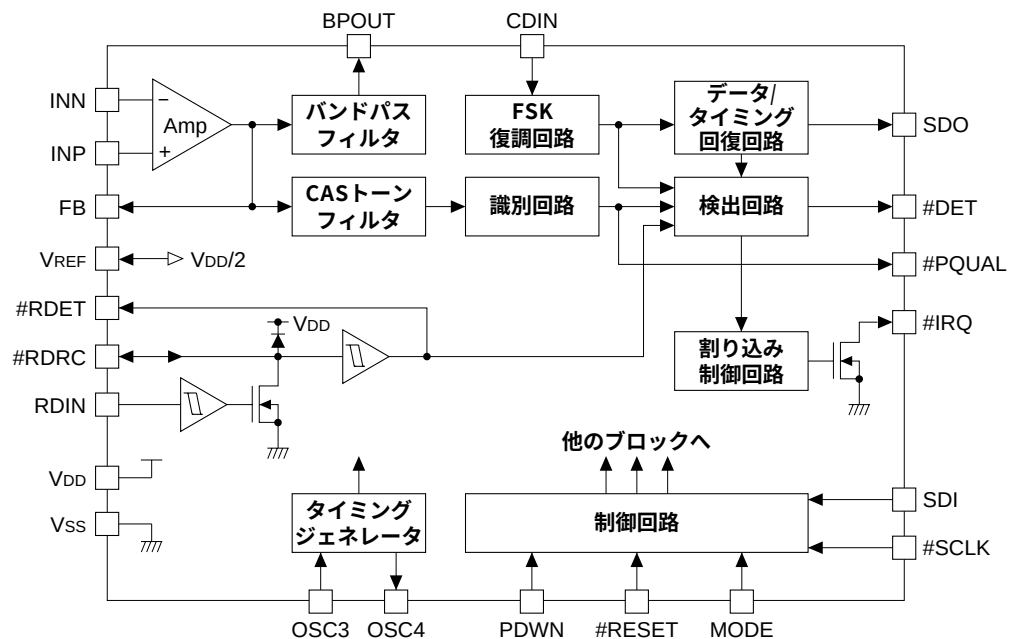
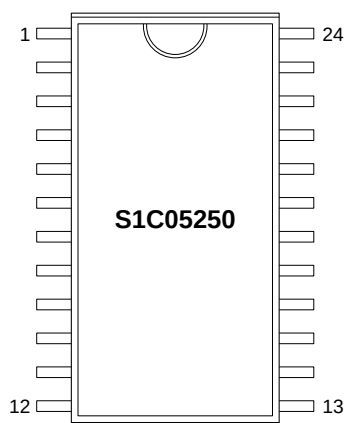


図 1.2.1 ブロック図

1.3 端子配置図

SOP1-24pin



No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	INP	7	#RDET	13	OSC3	19	#SCLK
2	INN	8	PDWN	14	OSC4	20	SDI
3	FB	9	#RESET	15	N.C.	21	SDO
4	VREF	10	N.C.	16	#PQUAL	22	CDIN
5	RDIN	11	MODE	17	#DET	23	BPOUT
6	#RDRC	12	Vss	18	#IRQ	24	VDD

図 1.3.1 端子配置

1.4 端子説明

注: 本書に記載の信号名/端子名において、先頭の"#"はLowアクティブ信号/端子を表します。

表 1.4.1 端子説明

端子名	端子No.	形式	パワー ダウン状態	機 能
INP	1	入力 アナログ	Off	+入力: 非反転アンプ入力 入力利得設定用抵抗とDCカットコンデンサを通し、ツイストペア電話線のRING側に接続します。パワーダウンモード時、本端子は内部回路から切り離されます。
INN	2	入力 アナログ	Off	-入力: 反転アンプ入力 入力利得設定用抵抗とDCカットコンデンサを通し、ツイストペア電話線のTIP側に接続します。パワーダウンモード時、本端子は内部回路から切り離されます。
FB	3	出力 アナログ	High-Z	アンプ出力 本端子とINN端子間に利得を設定する帰還抵抗を接続します。パワーダウンモード時、本端子はハイインピーダンスとなります。
VREF	4	出力 アナログ	VDDレベル	基準電圧出力 VDDの1/2の電圧を出力します。本端子は0.1μFのコンデンサでVSSに接続してください。パワーダウンモード時、本端子はVDDレベルとなります。
RDIN	5	シュミット トリガ入力	アクティブ	リング検出入力 リング検出のため、リング信号をアッテネートして入力します。この入力回路はパワーダウンモード時も動作します。
#RDRC	6	オープンド レイン出力 シュミット トリガ入力	アクティブ	リング検出RC端子 RCネットワークを接続して、リング信号検出のための遅延時間を設定します。この出力回路はパワーダウンモード時も動作します。
#RDET	7	出力	アクティブ	リング検出出力 本端子からはシュミットトリガバッファを通した#RDRC信号が出力されます。リング信号を検出すると、本端子はLowレベルとなります。
PDWN	8	入力	アクティブ	パワーダウン入力 通常動作中は、本端子をLowレベルに保つ必要があります。本端子をHighレベルに設定すると、S1C05250はパワーダウンモードになります。パワーダウンモード時、各端子は本表内に示した状態に設定されます。
#RESET	9	入力	アクティブ	リセット入力 本端子をLowレベルに設定すると、内部レジスタがすべてデフォルト状態にリセットされます。内部レジスタに書き込みを行うには、本端子をHighレベルに設定しておく必要があります。
MODE	11	入力	アクティブ	モード選択入力: CASモードまたはFSK/CPMモードの選択 本端子をHighレベルに設定するとCASモードが選択され、CAS検出が有効、FSK機能/CPM検出が無効となります。また、この状態でホストデバイスによるSDIおよび#SCLK端子を使用した内部レジスタへの書き込みが行えます。なお、レジスタへの書き込みを行う前に本端子を一度Lowレベルに設定し、シリアルインタフェースをデータ書き込みシーケンスに同期させる必要があります。 本端子をLowレベルに設定するとFSK/CPMモードが選択され、CAS検出が無効、FSK機能/CPM検出が有効となります。この状態で、ホストデバイスは受信データをSDO端子から読み出すことができます。
VSS	12	電源(-)		-電源端子 システムのグラウンドラインに接続します。
OSC3	13	入力	Off	水晶発振入力/外部クロック入力 水晶振動子を本端子とOSC4端子間に、また適切な容量を本端子とVSS端子間に接続します。外部クロックを本端子に入力して使用することも可能です。パワーダウンモード時、本端子は内部回路から切り離されます。

端子名	端子No.	形式	パワー ダウン状態	機 能
OSC4	14	出力	Highレベル	水晶発振出力 水晶振動子を本端子とOSC3端子間に、また適切な負荷容量を本端子とV _{SS} 端子間に接続します。OSC3端子に外部クロックを入力する場合は、本端子をオープンにします。パワーダウンモード時、本端子はHighレベルとなります。
#PQUAL	16	出力	Highレベル	プリクオリファイ出力 CASモードにおいて、CASTーンのプリクオリファイ状態を本端子でモニタできます。CASTーン検出中以外は、本端子はHighレベルになります。
#DET	17	出力	アクティブ	検出出力 パワーダウンモード時は、リング信号が入力されるか、ラインリバーサル信号によりLowレベルとなります。FSKモードでの通常動作中は、FSK信号が入力されるとLowレベルになります。CPMモードでの通常動作中は、入力信号をV _{DD} /V _{SS} レベルの振幅でパルス出力します。この周期をホスト側で計測することで、CPM(ダイヤル)トーンを識別することが可能です。CASモードでの通常動作中はCASTーン信号が入力されるとLowレベルになります。
#IRQ	18	オープンド レイン出力	アクティブ	割り込み要求出力 パワーダウンモード時は、リング信号が入力されるか、ラインリバーサル信号によりLowレベルとなります。FSKモードでの通常動作中は、受信データが内部レジスタに取り込まれ、ホストからの読み出しが可能になるとLowレベルとなります。その後、ホストが受信データの最初のビットを読み出した時点でHighレベルに戻ります。CPMモードでの通常動作中は、ダイヤルトーン等の200Hz以上の周波数の信号が入力されるとLowレベルになります。CASモードでの通常動作中はCASTーンを検出するとLowレベルになります。CASTーン入力中はLowレベルを保持します。
#SCLK	19	入力	アクティブ	シリアルクロック入力 ホストが内部レジスタへの書き込みを行う場合、または受信データを読み出す場合に、ホストからクロックが本端子に供給されます。ホストに読み出される受信データは本端子に入力されるクロックの立ち下がりエッジで順次シフトします。
SDI	20	入力	アクティブ	シリアルデータ入力 ホストが内部レジスタへの書き込みを行う際に、書き込みデータを入力します。
SDO	21	出力	Highレベル	シリアルデータ出力 ホストが読み出す受信データを出力します。非同期モード選択時は、非同期形式のデータが出力されます。同期モード選択時は、ホストが#SCLK端子に供給するクロックに同期してデータが出力されます。パワーダウンモード時、CPMモード時、あるいはCASモード時、本端子はHighレベルになります。
BPOUT	22	入力 アナログ	V _{REF}	コンデンサ接続端子 本端子とCDIN端子間に0.1μFのコンデンサを接続します。
CDIN	23	出力 アナログ	High-Z	コンデンサ接続端子 本端子とBPOUT端子間に0.1μFのコンデンサを接続します。
V _{DD}	24	電源		+電源端子
N.C.	10,15	オープン		未接続端子

2 電源系およびイニシャルリセット

2.1 電源

S1C05250の動作電源電圧は次のとおりです。

電源電圧: 2.7V～5.5V

S1C05250は上記範囲の単一電源を V_{DD} – V_{SS} 間に供給することにより動作し、内部動作に必要な電圧($V_{REF} = 1/2 V_{DD}$)をIC自身で発生します。

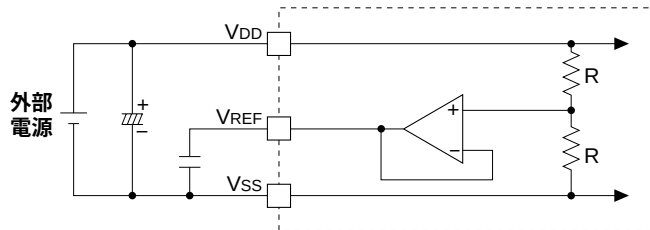


図 2.1.1 電源系

2.2 イニシャルリセット

S1C05250は、外部CPUがシリアルインターフェースを通してアクセス可能な制御レジスタを内蔵しています。これらの制御レジスタは#RESET端子を使用したイニシャルリセットによって初期化されます。

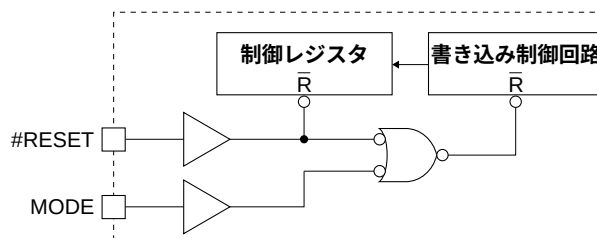


図 2.2.1 イニシャルリセット回路

IC外部より#RESET端子をLow(V_{SS})レベルにすることにより、制御レジスタはリセットされます。その後、#RESET端子をHigh(V_{DD})レベルにすることでリセット状態が解除されます。

また、制御レジスタの書き込み制御回路は、#RESET端子またはMODE端子がLow(V_{SS})レベルのときにリセットされます。制御レジスタへの書き込み時は、#RESET/MODEの両端子がHigh(V_{DD})レベルである必要があります。

3 機能説明

3.1 レジスタ説明

S1C05250はCPUによりアクセス可能な8個の4ビットレジスタを内蔵しています。

CPUはシリアルインタフェース端子(SDI、#SCLK、MODE)を通してこれらのCPUインタフェースレジスタをアクセスし、S1C05250のモードを制御することができます。CPUは送信データの最初の4ビットで、アクセスする内部レジスタのアドレスA[3:0]を指定します。送信はLSB(A0)から行います。これに続く4ビットはデータビットD[3:0]で、指定のレジスタに書き込むデータを指定します。このデータの送信もLSB(D0)から行います。

"表 3.1.1"にレジスタと制御ビットの割り付けを示します。

表 3.1.1 レジスタ構成

レジスタ名	アドレス A[3:0]	初期値	データビット			
			D3	D2	D1	D0
MDR	0000	0000	TEST	FSK/CPM	Bellcore/BT	ASYNC/SYNC
GLR	0001	0100	GL3	GL2	GL1	GL0
GHR	0010	0100	GH3	GH2	GH1	GH0
TLR	0011	0110	TL3	TL2	TL1	TL0
THR	0100	XXX1	X	X	X	TH0
AVR	0101	X011	X	AV2	AV1	AV0
WLR	0110	0001	WL3	WL2	WL1	WL0
WHR	0111	0001	WH3	WH2	WH1	WH0

以下、各レジスタの詳細を個別に説明します。

MDR: モードレジスタ(アドレス = 0h)

表 3.1.2 MDRレジスタ

ビット	ビット名	初期値	説 明						
D0	ASYNC/SYNC	0	非同期/同期モード選択 非同期または同期モードを選択します。 <table><tr><th>ASYNC/SYNCビット</th><th>モード</th></tr><tr><td>0</td><td>非同期モードを選択</td></tr><tr><td>1</td><td>同期モードを選択</td></tr></table> 本ビットを0に設定すると非同期モードが選択され、SDO端子から出力される8ビットシリアルデータは非同期形式となります。 本ビットを1に設定した場合は同期モードが選択されます。FSKモードでFSK信号を受信時は、CPUから#SCLK端子に入力されるクロックに同期してシリアルデータがSDO端子から出力されCPUに読み込まれます。また同期モードでは受信データが出力可能になると#IRQ端子がLowレベルとなり、CPUがデータを読み出せることを示します。	ASYNC/SYNCビット	モード	0	非同期モードを選択	1	同期モードを選択
ASYNC/SYNCビット	モード								
0	非同期モードを選択								
1	同期モードを選択								
D1	Bellcore/BT	0	Bellcore/BT選択 BellcoreまたはBT(British Telecom)モードを選択します。 <table><tr><th>Bellcore/BTビット</th><th>モード</th></tr><tr><td>0</td><td>Bellcoreモードを選択</td></tr><tr><td>1</td><td>BTモードを選択</td></tr></table> 本ビットを0に設定すると、デュアルトーンフィルタの利得はGLRおよびGHRレジスタで直接設定されます。 本ビットを1に設定した場合は、GLRおよびGHRレジスタの設定に6dBを加算した値がデュアルトーンフィルタの利得として設定されます。	Bellcore/BTビット	モード	0	Bellcoreモードを選択	1	BTモードを選択
Bellcore/BTビット	モード								
0	Bellcoreモードを選択								
1	BTモードを選択								
D2	FSK/CPM	0	CPMモード選択 MODE端子がLowレベルの場合に、FSKまたはCPMモードを選択します。 <table><tr><th>FSK/CPMビット</th><th>モード</th></tr><tr><td>0</td><td>FSKモードを選択</td></tr><tr><td>1</td><td>CPMモードを選択</td></tr></table> MODE端子がLowレベル(FSK/CPMモード)に設定されている場合に本ビットを1に設定すると受信フィルタがバイパスされ、INP/INN端子にCPMトーンが入力されると#IRQ端子がLowレベルになります。また、CPMトーン信号から生成したパルスが#DET端子から出力されますので、その周波数を計測することでCPM(ダイヤル)トーンの識別が行えます。 MODE端子がLowレベル(FSK/CPMモード)に設定されている場合に本ビットを0に設定すると、FSK機能が有効になります。 MODE端子がHighレベル(CASモード)の場合、本ビットの設定状態は動作に影響を与えません。	FSK/CPMビット	モード	0	FSKモードを選択	1	CPMモードを選択
FSK/CPMビット	モード								
0	FSKモードを選択								
1	CPMモードを選択								
D3	TEST	0	テストモード選択 IC検査用のテストビットです。通常は本ビットを常時0に設定しておく必要があります。						

GLR: ロートーン利得設定レジスタ(アドレス = 1h)

表 3.1.3 GLRレジスタ

ビット	ビット名	初期値	説 明								
D0	GL0	0100	ロートーンフィルタ利得選択								
D1	GL1		2130Hz トーンフィルタの利得を制御します。								
D2	GL2										
D3	GL3										
			GL3	GL2	利得(dB)		GL1	GL0	利得(dB)		
			0	0	0		0	0	0		
			0	1	-4		0	1	-1		
			1	0	-8		1	0	-2		
			1	1	-12		1	1	-3		
			GL1とGL0は利得を1dB単位で、GL3とGL2は4bB単位で変化させます。								
			ここで設定した利得のトータル分、アラート信号の検出レベルが減衰(感度が低下)します。								

GHR: ハイトーン利得設定レジスタ(アドレス = 2h)

表 3.1.4 GHRレジスタ

ビット	ビット名	初期値	説 明					
D0	GH0	0100	ハイトーンフィルタ利得選択					
D1	GH1		2750Hz トーンフィルタの利得を制御します。					
D2	GH2							
D3	GH3							
			GH3	GH2	利得(dB)	GH1	GH0	利得(dB)
			0	0	0	0	0	0
			0	1	-4	0	1	-1
			1	0	-8	1	0	-2
			1	1	-12	1	1	-3
			GH1とGH0は利得を1dB単位で、GH3とGH2は4dB単位で変化させます。					
			ここで設定した利得のトータル分、アラート信号の検出レベルが減衰(感度が低下)します。					

TLR, THR: 検出しきい値設定レジスタ(アドレス = 3h, 4h)

表 3.1.5 TLR、THRレジスタ

ビット	ビット名	初期値	説 明
D0	TL0	0110	CAS検出しきい値選択 CASTーンを識別する最小幅を制御します。TH0(THRレジスタのビット0)が設定値のMSBとなります。
D1	TL1		
D2	TL2		
D3	TL3		
D0	TH0	XXX1	しきい値(msec)
D1	X		0 0 0 0 0 5
D2	X		0 0 0 0 1 9
D3	X		0 0 0 1 0 12
			0 0 0 1 1 16
			0 0 1 0 0 19
			0 0 1 0 1 21
			0 0 1 1 0 23
			0 0 1 1 1 26
			0 1 0 0 0 29
			0 1 0 0 1 32
			0 1 0 1 0 34
			0 1 0 1 1 36
			0 1 1 0 0 39
			0 1 1 0 1 43
			0 1 1 1 0 46
			0 1 1 1 1 48
			1 0 0 0 0 50
			1 0 0 0 1 53
			1 0 0 1 0 56
			1 0 0 1 1 59
			1 0 1 0 0 61
			1 0 1 0 1 64
			1 0 1 1 0 67
			1 0 1 1 1 70
			1 1 0 0 0 73
			1 1 0 0 1 76
			1 1 0 1 0 78
			1 1 0 1 1 81
			1 1 1 0 0 84
			1 1 1 0 1 87
			1 1 1 1 0 90
			1 1 1 1 1 無効(設定不可)
			10110はBellcoreとBTのLoop Stateサービスに、11001はBTのIdle Stateサービスに対応します。

AVR: 平均分周比選択レジスタ(アドレス = 5h)

表 3.1.6 AVRレジスタ

ビット	ビット名	初期値	説 明
D0	AV0	X011	平均カウンタ分周比選択 内部の平均カウンタの分周比を制御します。設定は011を推奨します。
D1	AV1		
D2	AV2		
D3	X		
			AV2 AV1 AV0 分周比
			0 0 0 1/1
			0 0 1 1/2
			0 1 0 1/4
			0 1 1 1/8
			1 0 0 1/16
			1 0 1 1/32
			1 1 0 1/64

WLR: ロートーン記録ウィンドウ幅選択レジスタ(アドレス = 6h)

表 3.1.7 WLRレジスタ

ビット	ビット名	初期値	説 明				
D0 D1 D2 D3	WL0 WL1 WL2 WL3	0001	ロートーンウィンドウ幅選択 識別ブロックのロートーン記録ウィンドウの幅を選択します。トーン1サイクルが指定範囲内であれば識別されます。				
			WL3	WL2	WL1	WL0	ウィンドウ幅(%)
			0	0	0	0	0.51, -0.50
			0	0	0	1	0.57, -0.56
			0	0	1	0	0.63, -0.62
			0	0	1	1	0.69, -0.68
			0	1	0	0	0.75, -0.74
			0	1	0	1	0.81, -0.80
			0	1	1	0	0.87, -0.85
			0	1	1	1	0.93, -0.91
			1	0	0	0	0.99, -0.97
			1	0	0	1	1.06, -1.03
			1	0	1	0	1.12, -1.09
			1	0	1	1	1.18, -1.15
			1	1	0	0	1.24, -1.20
			1	1	0	1	1.30, -1.26
			1	1	1	0	1.36, -1.32
			1	1	1	1	1.42, -1.38
			0001はBellcore用のデフォルト設定値です。0010はBTのLoop State サービスに、1100はBTのIdle State サービスに対応します。				

WHR: ハイトーン記録ウィンドウ幅選択レジスタ(アドレス = 7h)

表 3.1.8 WHRレジスタ

ビット	ビット名	初期値	説 明																																																																																					
D0 D1 D2 D3	WH0 WH1 WH2 WH3	0001	ハイトーンウィンドウ幅選択 識別ブロックのハイトーン記録ウィンドウの幅を選択します。トーン1サイクルが指定範囲内であれば識別されます。 <table><thead><tr><th>WH3</th><th>WH2</th><th>WH1</th><th>WH0</th><th>ウィンドウ幅(%)</th></tr></thead><tbody><tr><td>0</td><td>0</td><td>0</td><td>0</td><td>0.51, -0.49</td></tr><tr><td>0</td><td>0</td><td>0</td><td>1</td><td>0.59, -0.56</td></tr><tr><td>0</td><td>0</td><td>1</td><td>0</td><td>0.67, -0.64</td></tr><tr><td>0</td><td>0</td><td>1</td><td>1</td><td>0.75, -0.71</td></tr><tr><td>0</td><td>1</td><td>0</td><td>0</td><td>0.83, -0.79</td></tr><tr><td>0</td><td>1</td><td>0</td><td>1</td><td>0.90, -0.86</td></tr><tr><td>0</td><td>1</td><td>1</td><td>0</td><td>0.98, -0.94</td></tr><tr><td>0</td><td>1</td><td>1</td><td>1</td><td>1.06, -1.02</td></tr><tr><td>1</td><td>0</td><td>0</td><td>0</td><td>1.14, -1.09</td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td><td>1.22, -1.17</td></tr><tr><td>1</td><td>0</td><td>1</td><td>0</td><td>1.30, -1.24</td></tr><tr><td>1</td><td>0</td><td>1</td><td>1</td><td>1.37, -1.32</td></tr><tr><td>1</td><td>1</td><td>0</td><td>0</td><td>1.45, -1.39</td></tr><tr><td>1</td><td>1</td><td>0</td><td>1</td><td>1.53, -1.46</td></tr><tr><td>1</td><td>1</td><td>1</td><td>0</td><td>1.61, -1.54</td></tr><tr><td>1</td><td>1</td><td>1</td><td>1</td><td>1.69, -1.61</td></tr></tbody></table> 0001はBellcore用のデフォルト設定値です。0010はBTのLoop Stateサービスに、1001はBTのIdle Stateサービスに対応します。	WH3	WH2	WH1	WH0	ウィンドウ幅(%)	0	0	0	0	0.51, -0.49	0	0	0	1	0.59, -0.56	0	0	1	0	0.67, -0.64	0	0	1	1	0.75, -0.71	0	1	0	0	0.83, -0.79	0	1	0	1	0.90, -0.86	0	1	1	0	0.98, -0.94	0	1	1	1	1.06, -1.02	1	0	0	0	1.14, -1.09	1	0	0	1	1.22, -1.17	1	0	1	0	1.30, -1.24	1	0	1	1	1.37, -1.32	1	1	0	0	1.45, -1.39	1	1	0	1	1.53, -1.46	1	1	1	0	1.61, -1.54	1	1	1	1	1.69, -1.61
WH3	WH2	WH1	WH0	ウィンドウ幅(%)																																																																																				
0	0	0	0	0.51, -0.49																																																																																				
0	0	0	1	0.59, -0.56																																																																																				
0	0	1	0	0.67, -0.64																																																																																				
0	0	1	1	0.75, -0.71																																																																																				
0	1	0	0	0.83, -0.79																																																																																				
0	1	0	1	0.90, -0.86																																																																																				
0	1	1	0	0.98, -0.94																																																																																				
0	1	1	1	1.06, -1.02																																																																																				
1	0	0	0	1.14, -1.09																																																																																				
1	0	0	1	1.22, -1.17																																																																																				
1	0	1	0	1.30, -1.24																																																																																				
1	0	1	1	1.37, -1.32																																																																																				
1	1	0	0	1.45, -1.39																																																																																				
1	1	0	1	1.53, -1.46																																																																																				
1	1	1	0	1.61, -1.54																																																																																				
1	1	1	1	1.69, -1.61																																																																																				

3.2 入力アンプ回路

入力段のアンプは利得が正しく設定されるように回路を構成する必要があります。このために6個または5個の外付け抵抗が必要です。

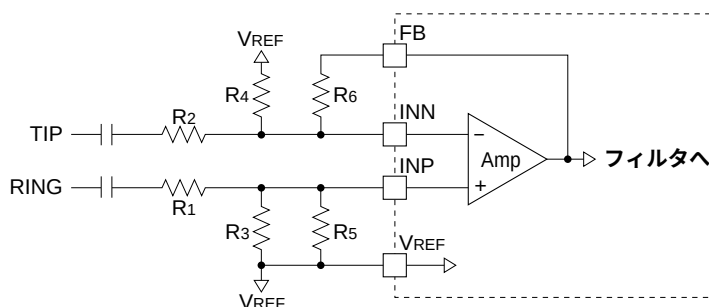


図 3.2.1 入力アンプ回路

入力段のアンプの利得はR1 からR6の値により次のように設定できます。なお、R3とR5は1つの抵抗で代用することもできます。

$$G_{AMP} = \frac{R_5}{R_1} = \frac{R_6}{R_2} \text{ [倍]} \quad (R_1 = R_2, R_3 = R_4, R_5 = R_6 \text{ の場合})$$

FSKおよびCASトーン信号の検出レベルを設定するには、V_{DD}を基準として次のように各抵抗値を決定してください。

$$G_{AMP} = \frac{R_5}{R_1} = \frac{R_6}{R_2} = \frac{V_{DD}}{5} \times 0.562 \text{ [倍]}$$

V_{DD}はS1C05250のV_{DD}端子に供給する電源電圧です。R3とR4はノイズ対策の面からどちらも100kΩ程度を推奨します。

"表 3.2.1"にV_{DD} = 5V、"表 3.2.2"にV_{DD} = 3Vの場合の抵抗値の例および利得を示します。

表 3.2.1 抵抗値と利得(V_{DD} = 5V)

項 目	値		条 件
	Bellcore	BT	
R1, R2	499kΩ	499kΩ	1%
R3, R4	100kΩ	100kΩ	1%
R5, R6	281kΩ	281kΩ	1%
入力アンプ利得	0.562倍(-5dB)	0.562倍(-5dB)	
FSK/CPM - CD ONレベル(Typ.)	-42.9dBm	-45.1dBV	
FSK/CPM - CD OFFレベル(Typ.)	-44.9dBm	-47.1dBV	
CAS - CD ONレベル(Typ.)	-35.8dBm	-44.0dBV	トーンフィルタ利得 = -4dB

表 3.2.2 抵抗値と利得(V_{DD} = 3V)

項 目	値		条 件
	Bellcore	BT	
R1, R2	499kΩ	499kΩ	1%
R3, R4	100kΩ	100kΩ	1%
R5, R6	168kΩ	168kΩ	1%
入力アンプ利得	0.3372倍(-9.4dB)	0.3372倍(-9.4dB)	
FSK/CPM - CD ONレベル(Typ.)	-42.9dBm	-45.1dBV	
FSK/CPM - CD OFFレベル(Typ.)	-44.9dBm	-47.1dBV	
CAS - CD ONレベル(Typ.)	-35.8dBm	-44.0dBV	トーンフィルタ利得 = -4dB

3.3 リング/ラインリバーサル信号検出

"図 3.3.1"にBellcoreのリング信号とBTのラインリバーサル信号を検出する回路例を示します。S1C05250がパワーダウンモードの場合、この回路はリング信号またはラインリバーサル信号の検出を行います。ラインリバーサル信号またはリング信号はRDIN端子の電位を上昇させ、シュミットトリガ出力をHighレベルにします。これによって、NchトランジスタがONし、#RDRC端子はLowレベルとなります。通常、RDIN端子はVssレベルになっているため#RDRC端子はHighレベルです。リング信号が入力されるか、ラインリバーサル信号が発生すると、#RDRC端子のコンデンサが放電し#RDRC端子はHighレベルからLowレベルに変化します。#RDET端子も同様の動作をしますが、モードにかかわらずパワーダウンモード時以外でもRDIN端子の入力に応じて常時応答します。

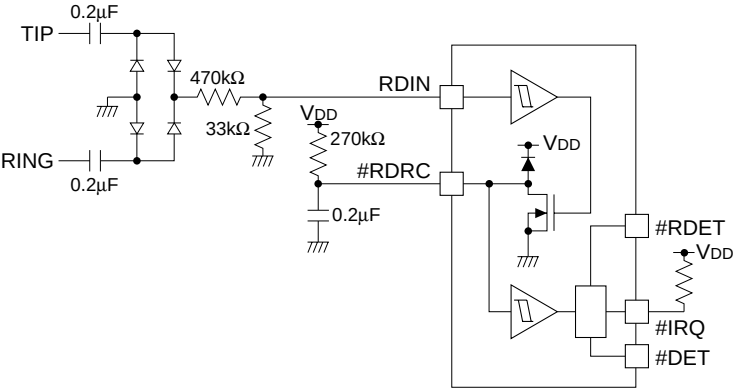


図 3.3.1 リング/ラインリバーサル信号検出回路

3.4 FSK復調

受信したFSK変調信号はバンドパスフィルタで処理された後、FSK復調回路により復調されます。PDWN端子がLowに設定され、ホストCPUによりFSKモードが選択されている場合にFSK信号が入力されると、#DET端子がLowレベルになります。受信データはSDO端子からホストCPUに読み出されます。また、1バイトの受信ごとに#IRQ端子がLowレベルになります。本復調回路はITU-T V.23またはBell 202に準拠したFSK変調信号に対応しています。

表 3.4.1 FSKデータ特性

項 目	Bellcore	BT
マーク周波数	1200Hz ±1%	1300Hz ±1.5%
スペース周波数	2200Hz ±1%	2100Hz ±1.5%
受信信号レベル	マーク: -32dBm~-12dBm スペース: -36dBm~-12dBm	マーク: -40dBV~-14dBV スペース: -36dBV~-8dBV
信号ひずみ率	≥ 25dB	≥ 20dB
転送レート	1200ボー ±1%	1200ボー ±1%

3.5 デュアルトーン検出

デュアルトーン(Bellcore: CPEアラート信号(CAS)、BT: トーンアラート信号)の検出は、2つのトーンフィルタとデジタル識別回路によって行います。PDWN端子がLowに設定され、ホストCPUによりCASモードが選択されている場合にデュアルトーンが送られてくると、#DET端子および#IRQ端子がLowレベルになります。

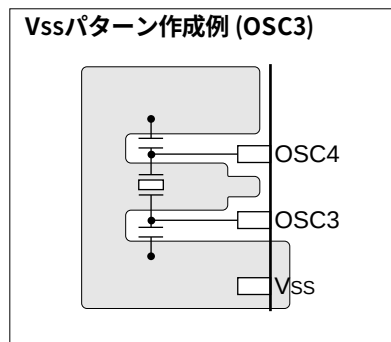
表 3.5.1 デュアルトーン特性

項 目	Bellcore (CPEアラート信号)	BT (トーンアラート信号)	
		回線断状態	回線接続状態
ロートーン周波数	2130Hz $\pm 0.5\%$	2130Hz $\pm 1.1\%$	2130Hz $\pm 0.6\%$
ハイトーン周波数	2750Hz $\pm 0.5\%$	2750Hz $\pm 1.1\%$	2750Hz $\pm 0.6\%$
受信信号レベル	-32dBm $\sim$ -14dBm/トーン, オフフック	-40dBV $\sim$ -2dBV/トーン, オンフック	-40dBV $\sim$ -8dBV/トーン, オフフック
除去信号レベル	≤ -45 dBm	≤ -46 dBV	
受信トーンツイスト	0 $\sim$ 6dB	0 $\sim$ 7dB	0 $\sim$ 7dB
トーン出力時間	75msec $\sim$ 85msec	88msec $\sim$ 110msec	80msec $\sim$ 85msec
音声同時受信	あり	なし	あり

4 実装上の注意事項

<発振回路>

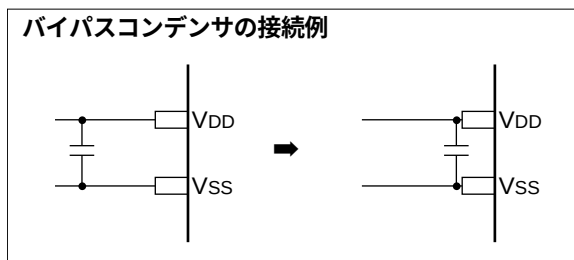
- 発振特性は諸条件(使用部品、基板パターン等)により変化します。
特に水晶振動子を使用する場合、容量などの定数は発振子メーカーの推奨値を使用してください。
- ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため次の点に配慮してください。
 - (1) OSC3、OSC4端子に接続する発振子、コンデンサ等の部品は、できるだけ最短で接続してください。
 - (2) OSC3、OSC4端子およびこれらの端子に接続された部品の周辺部は下図のようにVssパターンをできるだけ広く作成してください。
また、このVssパターンは発振用途以外に使用しないでください。



- (3) OSC3端子に外部クロックを入力する場合、クロック源からできるだけ最短で接続してください。
また、OSC4端子を開放としてください。
- OSC3-VDD間のリーク電流による発振回路の不安定動作を防止するため、基板パターンにおいて、OSC3はVDD電源や信号線とは十分な距離を確保してください。

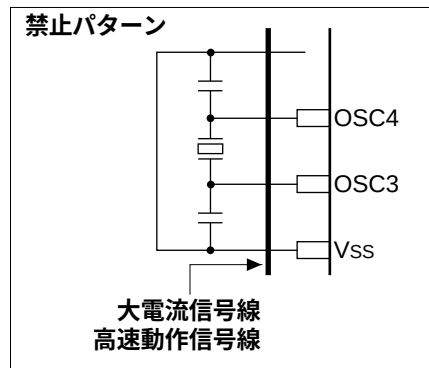
<電源回路>

- ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。
 - (1) 電源からVDD、VssおよびVREF端子へはできるだけ短くかつ太いパターンで接続してください。
 - (2) VDD-Vssのバイパスコンデンサを接続する場合、VDD端子とVss端子をできるだけ最短で接続してください。



＜信号線の配置＞

- 相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。
- 高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。
特に、発振部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



＜光に対する取り扱い(ベアチップ実装の場合)＞

- 半導体素子は、光が照射されると特性が変化します。このため、本ICに光が当たると誤動作をおこすことがあります。
光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。
- (1) 実使用時にICの遮光性が考慮された構造となるよう、設計および実装を行ってください。
 - (2) 検査工程では、ICの遮光性が考慮された環境設計を行ってください。
 - (3) ICの遮光は、ICチップの表面、裏面および側面について考慮してください。

5 電気的特性

5.1 絶対最大定格

表 5.1.1 絶対最大定格

項 目	記号	定格値	単位
電源電圧	VDD	-0.5~7	V
入力電圧	VI	-0.3~VDD+0.3	V
許容総出力電流	ΣIVDD	±10	mA
許容損失	PD	250	mW
保存温度	TSTG	-65~150	°C
半田付け温度	TSOL	255	°C
半田付け時間	tSOL	10	Sec
動作温度	TOPR	-20~70	°C
静電気耐圧	VE	EIAJ試験法(C=200pF): 150V以上、MIL試験法(C=100pF,R=1.5kΩ): 1200V以上	V

電圧はV_{SS}端子をグラウンドレベルとした場合の値です。

5.2 推奨動作条件

表 5.2.1 推奨動作条件

項 目	記号	条 件	単位
電源電圧	V _{DD}	2.7~5.5	V
水晶/クロック周波数	f _{CLK}	3.579545	MHz
水晶/クロック周波数誤差	f _{FERR}	±0.01	%

電圧はV_{SS}端子をグラウンドレベルとした場合の値です。

5.3 DC特性

表 5.3.1 DC特性

特記なき場合: V_{DD}=2.7V~5.5V, V_{SS}=0V, f_{CLK}=3.579545MHz, Ta=-20~70°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
高レベル入力電圧(1)	V _{IH1}	OSC3, MODE, #SCLK, SDI, PDWN, #RESET	0.8V _{DD}		V _{DD}	V
高レベル入力電圧(2)	V _{IH2}	RDIN, #RDRC	0.7V _{DD}		V _{DD}	V
低レベル入力電圧(1)	V _{IL1}	OSC3, MODE, #SCLK, SDI, PDWN, #RESET	0		0.2V _{DD}	V
低レベル入力電圧(2)	V _{IL2}	RDIN, #RDRC	0		0.3V _{DD}	V
高レベル入力電流	I _{IH}	V _{IH} =V _{DD} RDIN, OSC3, MODE, #SCLK, SDI, PDWN, #RESET, #IRQ #RDRC(RDIN=Low時)	0		0.5	μA
低レベル入力電流	I _{IL}	V _{IL} =V _{SS} RDIN, OSC3, MODE, #SCLK, SDI, PDWN, #RESET, #RDRC, #IRQ	-0.5		0	μA
高レベル出力電流	I _{OH}	V _{OH} =0.9V _{DD} SDO, #DET, #RDET, #PQUAL			-1.5	mA
低レベル出力電流	I _{OL}	V _{OL} =0.1V _{DD} SDO, #DET, #RDET, #PQUAL, #IRQ, #RDRC	2.5			mA
V _{REF} 出力電圧	V _{REF}			V _{DD} /2		V
入力インピーダンス	R _{IN}	INP, INN	10			MΩ
	R _{CDIN}	CDIN	140	200	260	kΩ

5.4 消費電流

表 5.4.1 消費電流

特記なき場合: V_{DD}=2.7V~5.5V, V_{SS}=0V, f_{CLK}=3.579545MHz, Ta=-20~70°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
消費電流	I _{OP}	パワーダウン時(PDWN=High)			1.0	μA
		動作時(信号入力なし)	V _{DD} =5V	3.0		mA
			V _{DD} =3V	1.8		mA

5.5 水晶発振特性

表 5.5.1 水晶発振特性

特記なき場合: VDD=2.7V~5.5V, VSS=0V, CG=CD=18pF, Ta=25°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
発振開始時間	tsta	3.579545MHz振動子			20	msec

5.6 FSK復調回路特性

5.6.1 FSK AC特性

表 5.6.1 FSK AC特性

特記なき場合: VDD=5.0/3.0V, VSS=0V, fCLK=3.579545MHz, Ta=-20~70°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
転送レート	TRATE		1188	1200	1212	ボー
Bell 202マーク(論理1)周波数	fb1		1188	1200	1212	Hz
Bell 202スペース(論理0)周波数	fb0		2178	2200	2222	Hz
ITU-T V.23マーク(論理1)周波数	fv1		1280	1300	1320	Hz
ITU-T V.23スペース(論理0)周波数	fv2		2068	2100	2132	Hz
SN比	SNR		20	—	—	dB
キャリア検出ON感度 *1 (TIP/RINGでの入力レベル)	CDONFSK	VDD=5V	-44.9	-42.9	-40.9	dBm
		入力アンプ利得(GAMP)=-5dB	-47.1	-45.1	-43.1	dBV
		VDD=3V	-44.9	-42.9	-40.9	dBm
		入力アンプ利得(GAMP)=-9.4dB	-47.1	-45.1	-43.1	dBV
キャリア検出OFF感度 *1	CDOFFFSK	VDD=5V	-46.9	-44.9	-42.9	dBm
		入力アンプ利得(GAMP)=-5dB	-49.1	-47.1	-45.1	dBV
		VDD=3V	-46.9	-44.9	-42.9	dBm
		入力アンプ利得(GAMP)=-9.4dB	-49.1	-47.1	-45.1	dBV

*1 入力アンプの利得がGAMP(dB)に設定されている場合、CDONFSKとCDOFFFSKのTyp.値は以下の式から算出できます。

$$\text{CDONFSK [dBm]} = -\text{GAMP} - 47.9 + 20\log\left(\frac{V_{DD}}{5}\right) \text{ [dBm]}, \quad \text{CDONFSK [dBV]} = -\text{GAMP} - 50.1 + 20\log\left(\frac{V_{DD}}{5}\right) \text{ [dBV]}$$

$$\text{CDOFFFSK [dBm]} = -\text{GAMP} - 49.9 + 20\log\left(\frac{V_{DD}}{5}\right) \text{ [dBm]}, \quad \text{CDOFFFSK [dBV]} = -\text{GAMP} - 52.1 + 20\log\left(\frac{V_{DD}}{5}\right) \text{ [dBV]}$$

5.6.2 FSKスイッチング特性

表 5.6.2 FSKスイッチング特性

特記なき場合: VDD=5.0/3.0V, VSS=0V, fCLK=3.579545MHz, Ta=-20~70°C, CL=50pF

項 目	記号	条 件	Min.	Typ.	Max.	単位
PDWN立ち下がり→FSK	tSUPD				20	msec
キャリア検出開始時間	tCDON		5	10	15	msec
データエンド→#DET立ち上がり	tCDOFF		5	10	15	msec
PDWN立ち下がり→発振開始	tDOCH	VDD=5V		7	12	msec
		VDD=3V		10	15	msec

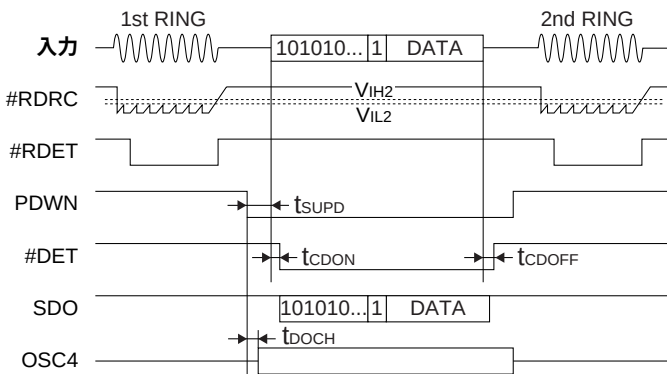


図 5.6.1 FSKスイッチング特性

5.7 デュアルトーン(CAS)検出回路特性

5.7.1 CAS AC特性

表 5.7.1 CAS AC特性

特記なき場合: VDD=5.0/3.0V, VSS=0V, fCLK=3.579545MHz, Ta=-20~70°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
キャリア検出感度 *1 (TIP/RINGでの入力レベル)	CDONTONE	VDD=5V, Bellcoreモード 入力アンプ利得(GAMP)=-5dB トーンフィルタ利得=-4dB	-39.8	-35.8	-35.1	dBm
		VDD=5V, BTモード *2 入力アンプ利得(GAMP)=-5dB トーンフィルタ利得=-4dB	-48.0	-44.0	-40.0	dBV
		VDD=3V, Bellcoreモード 入力アンプ利得(GAMP)=-9.4dB トーンフィルタ利得=-4dB	-39.8	-35.8	-35.1	dBm
		VDD=3V, BTモード *2 入力アンプ利得(GAMP)=-9.4dB トーンフィルタ利得=-4dB	-48.0	-44.0	-40.0	dBV
ロートーン周波数	fLTONE	Bellcore (±0.5%)	2119.35	2130	2140.65	Hz
		BT回線断状態	2110	2130	2150	Hz
		BT回線接続状態(±0.6%)	2117.22	2130	2142.78	Hz
ハイトーン周波数	fHTONE	Bellcore (±0.5%)	2736.25	2750	2763.75	Hz
		BT回線断状態	2720	2750	2780	Hz
		BT回線接続状態(±0.6%)	2733.50	2750	2766.50	Hz

*1 入力アンプの利得がGAMP(dB)に設定されている場合、CDONTONEのTyp.値は以下の式から算出できます。
(内部のトーンフィルタ利得 = -4dB時)

$$CDONTONE [dBm] = -GAMP - 40.8 + 20\log\left(\frac{V_{DD}}{5}\right) [dBm], \quad CDONTONE [dBV] = -GAMP - 49 + 20\log\left(\frac{V_{DD}}{5}\right) [dBV]$$

*2 BTモードはモードレジスタ(アドレス=0h)のビット2を1に設定することで選択されます。この設定により各デュアルトーンフィルタの利得が+6dB増加し、BT用のCDレベルに調整されます。

5.7.2 CASスイッチング特性

表 5.7.2 CASスイッチング特性

特記なき場合: VDD=5.0/3.0V, VSS=0V, fCLK=3.579545MHz, Ta=-20~70°C, CL=50pF

項 目	記号	Min.	Typ.	Max.	単位
CAS検出取得時間	tCASAQ		2.8×(N+2)+16.9		msec
CASエンド→#DET立ち上がり	tCASDH		2.8×(31-N)+13.1		msec
CAS幅	tCASW	75	80	85	msec

$$N = TH0 \times 16 + TL3 \times 8 + TL2 \times 4 + TL1 \times 2 + TL0$$

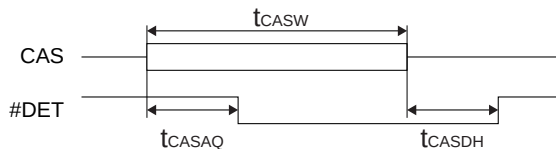


図 5.7.1 CASスイッチング特性

5.8 コールプログレスモード(CPM)検出回路特性

5.8.1 CPM AC特性

表 5.8.1 CPM AC特性

特記なき場合: VDD=5.0/3.0V, VSS=0V, fCLK=3.579545MHz, Ta=-20~70°C

項 目	記号	条 件	Min.	Typ.	Max.	単位
キャリア検出ON感度 *1 (TIP/RINGでの入力レベル)	CDONCPM	VDD=5V	-44.9	-42.9	-40.9	dBm
		入力アンプ利得(GAMP)=-5dB	-47.1	-45.1	-43.1	dBV
		VDD=3V	-44.9	-42.9	-40.9	dBm
		入力アンプ利得(GAMP)=-9.4dB	-47.1	-45.1	-43.1	dBV
キャリア検出OFF感度 *1	CDOFFCPM	VDD=5V	-46.9	-44.9	-42.9	dBm
		入力アンプ利得(GAMP)=-5dB	-49.1	-47.1	-45.1	dBV
		VDD=3V	-46.9	-44.9	-42.9	dBm
		入力アンプ利得(GAMP)=-9.4dB	-49.1	-47.1	-45.1	dBV

*1 入力アンプの利得がGAMP(dB)に設定されている場合、CDONCPMとCDOFFCPMのTyp.値は以下の式から算出できます。

$$\text{CDONCPM [dBm]} = -\text{GAMP} - 47.9 + 20\log\left(\frac{V_{DD}}{5}\right) \text{ [dBm]}, \quad \text{CDONCPM [dBV]} = -\text{GAMP} - 50.1 + 20\log\left(\frac{V_{DD}}{5}\right) \text{ [dBV]}$$

$$\text{CDOFFCPM [dBm]} = -\text{GAMP} - 49.9 + 20\log\left(\frac{V_{DD}}{5}\right) \text{ [dBm]}, \quad \text{CDOFFCPM [dBV]} = -\text{GAMP} - 52.1 + 20\log\left(\frac{V_{DD}}{5}\right) \text{ [dBV]}$$

5.8.2 CPMスイッチング特性

表 5.8.2 CPMスイッチング特性

特記なき場合: VDD=5.0/3.0V, VSS=0V, fCLK=3.579545MHz, Ta=-20~70°C, CL=50pF

項 目	記号	Min.	Typ.	Max.	単位
CPM トーン検出取得時間	tCPMAQ		25		msec
CPM トーンエンド→#IRQ立ち上がり	tCPMIH		30		msec

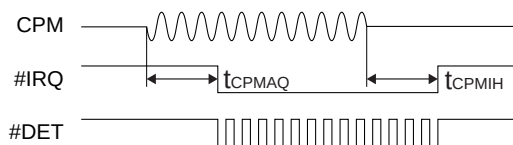


図 5.8.1 CPMスイッチング特性

5.9 シリアルインタフェース回路特性

5.9.1 シリアルインタフェースAC特性

表 5.9.1 AC特性

特記なき場合: $V_{DD}=5.0/3.0V$, $V_{SS}=0V$, $f_{CLK}=3.579545MHz$, $T_a=-20\sim70^{\circ}C$, $C_L=50pF$

項 目	記号	Min.	Typ.	Max.	単位
#SCLK周波数	f_{SCLK}			1	MHz
#SCLKパルス幅	t_{WSCLK}	400			nsec
SDIセットアップ時間	t_{SSDI}	250			nsec
SDIホールド時間	t_{HSDI}	500			nsec
SDO遅延時間	t_{DSDO}			250	nsec
MODE Highセットアップ時間	t_{SMH}	1			μsec
MODE Highホールド時間	t_{HMH}	1			μsec
MODE Lowセットアップ時間	t_{SML}	1			μsec
MODE Lowホールド時間	t_{HML}	1			μsec
MODE Lowパルス幅	t_{MDW}	1			μsec

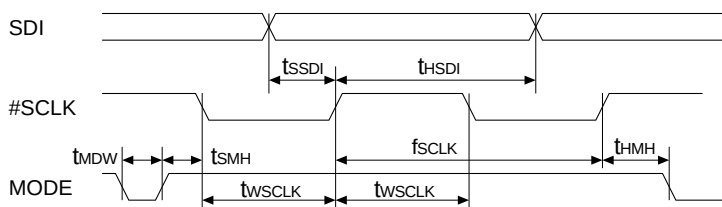


図 5.9.1 シリアルインタフェース入力タイミング

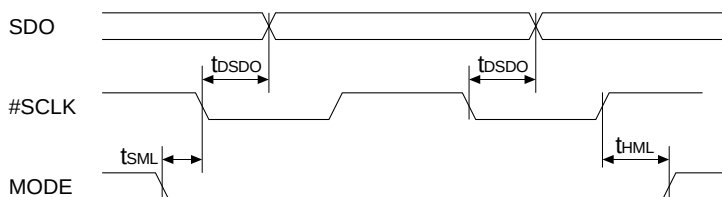


図 5.9.2 シリアルインタフェース出力タイミング

5.9.2 FSK復調データリードモード

INPおよびINN端子に入力されたFSK信号は8ビット調歩同期式のデータに復調されます。その後内部の8ビットシフトレジスタにサンプルされます。データがシフトレジスタに格納されると、#IRQ端子がLowレベルとなりホストCPUからの読み出しが可能であることを示します。

MODE端子がLowレベルで同期モードが選択されている(MDR[0]=1)場合、ホストCPUは#SCLK端子に供給するクロックに同期して8ビットデータを読み出します。"図 5.9.3"にそのタイミングを示します。8ビットデータの各ビットはビット0を先頭に#SCLKクロックの立ち下がりエッジに同期してSDO端子から出力されます。ホストCPUは#SCLKクロックの立ち上がりエッジで各ビットを取り込みます。

MODE端子がLowレベルで非同期モードが選択されている(MDR[0]=0)場合、1,200ボーの転送レートでSDO端子からデータが出力されます。ホストCPUからのクロック供給は不要です。ホストCPUはスタートビットに同期してデータを取り込みます。

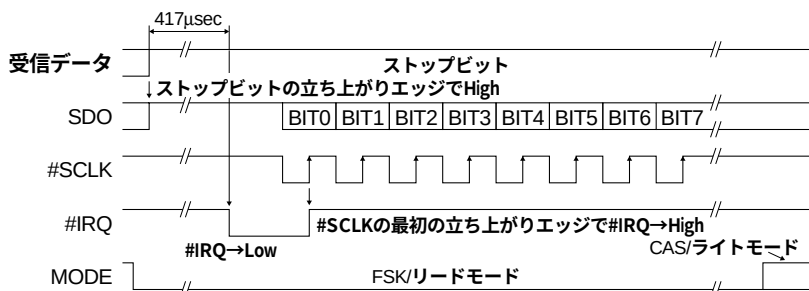


図 5.9.3 同期モードのタイミング

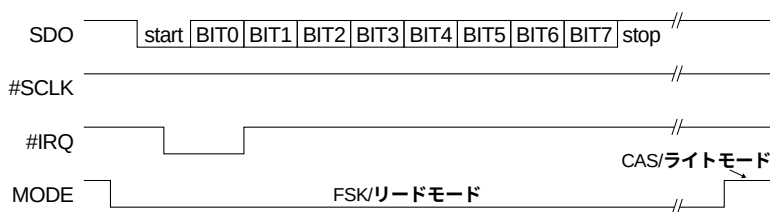


図 5.9.4 非同期モードのタイミング

5.9.3 CAS検出回路制御レジスタライトモード

ホストCPUは各制御ビットを設定するため、SDI端子を通して内部レジスタに4ビットデータを書き込むことができます。データを書き込む前に、ホストCPUはMODE端子を一度Lowレベルに設定し、書き込み制御回路を初期化する必要があります。その後、Highレベルに設定し、データの書き込み中はHighレベルに固定します。SDI端子に入力されるデータは、同じくホストCPUが#SCLK端子に供給するクロックの立ち上がりエッジでサンプルされます。ホストCPUから送られるデータの最初の4ビットはアクセスする内部レジスタのアドレスA[3:0]で、続く4ビットは指定のレジスタに書き込むデータビットD[3:0]です。データの inputs はLSBを先頭に行います。

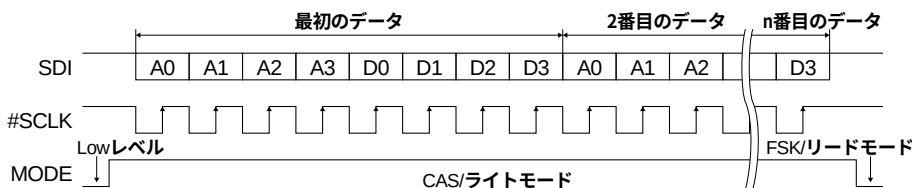


図 5.9.5 データ書き込みタイミング

5.10 S1C05250 タイミングチャート

5.10.1 Bellcore オンフックデータ転送

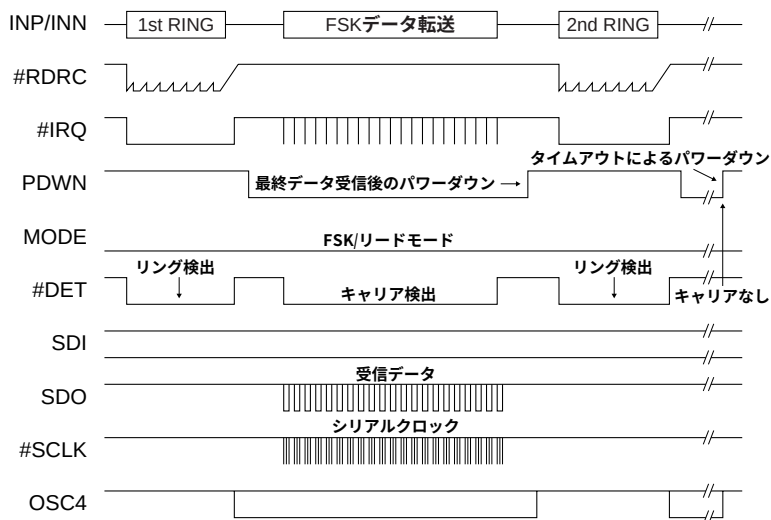


図 5.10.1 Bellcore オンフックデータ転送タイミングチャート

5.10.2 Bellcore オフフックデータ転送

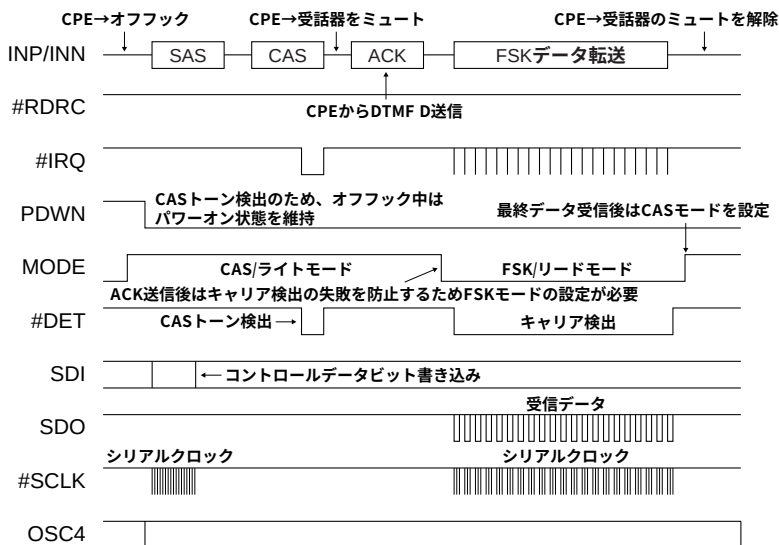


図 5.10.2 Bellcore オフフックデータ転送タイミングチャート

5.10.3 BT Idle State CLIサービス

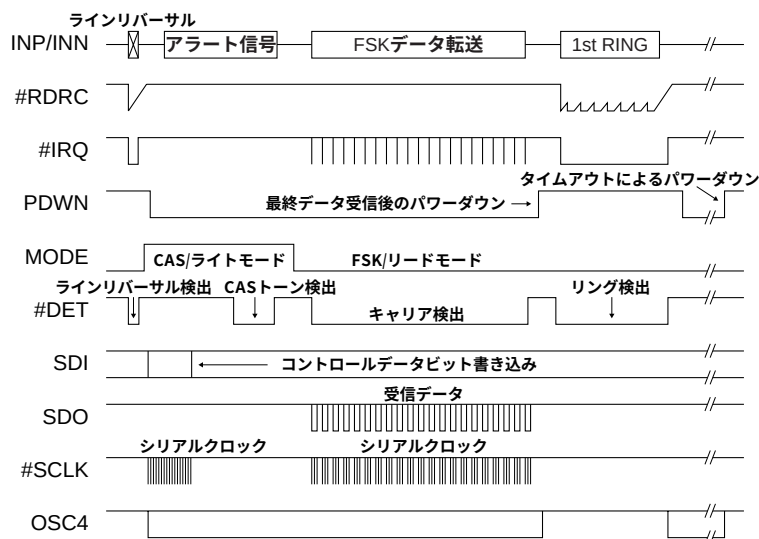


図 5.10.3 BT Idle State CLIサービスタイミングチャート

5.10.4 BT Loop State CLIサービス

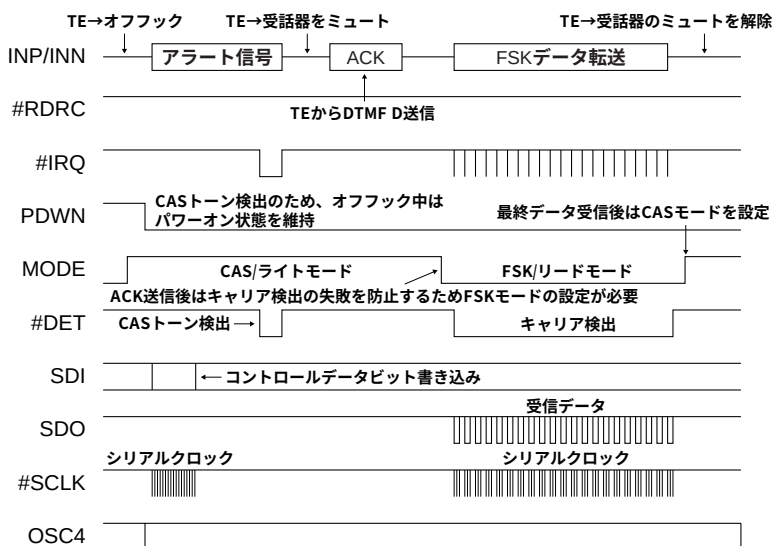


図 5.10.4 BT Loop State CLIサービスタイミングチャート

5.11 外部結線図(例)

5.11.1 Bellcore互換電話機回路例

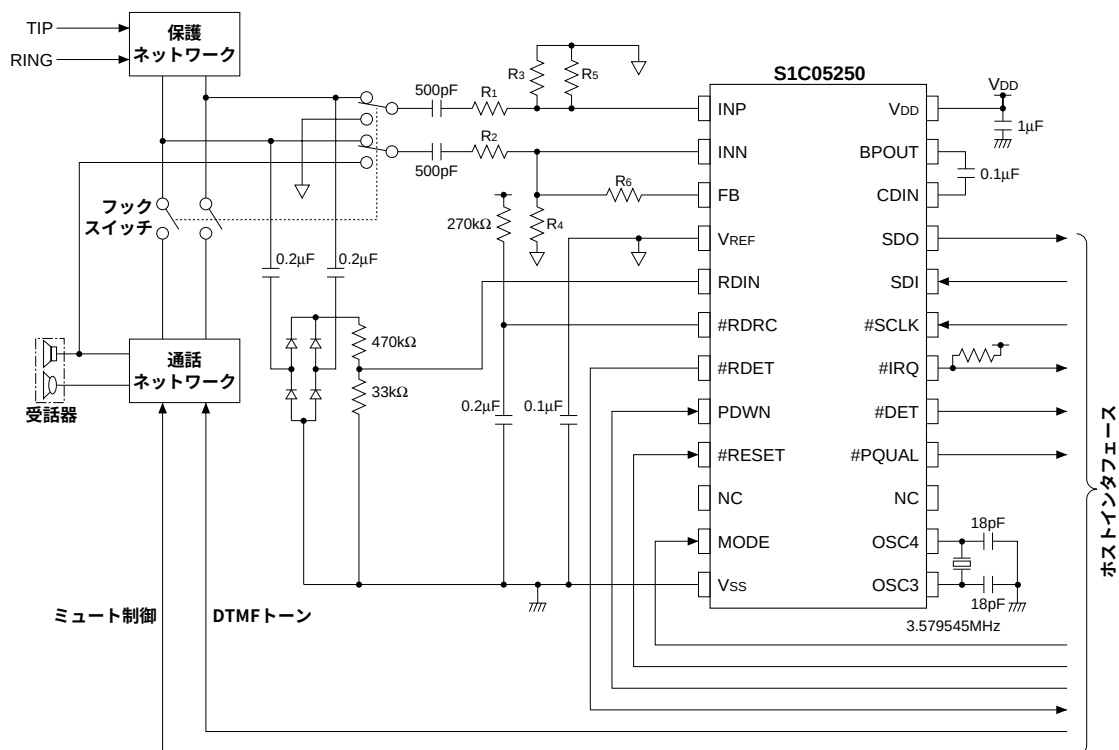


図 5.11.1 Bellcore互換電話機回路例

注: 上記回路は一例であり、特に動作を保証するものではありません。

* R1～R6については"3.2 入力アンプ回路"を参照してください。

5.11.2 Bellcore互換補助機回路例

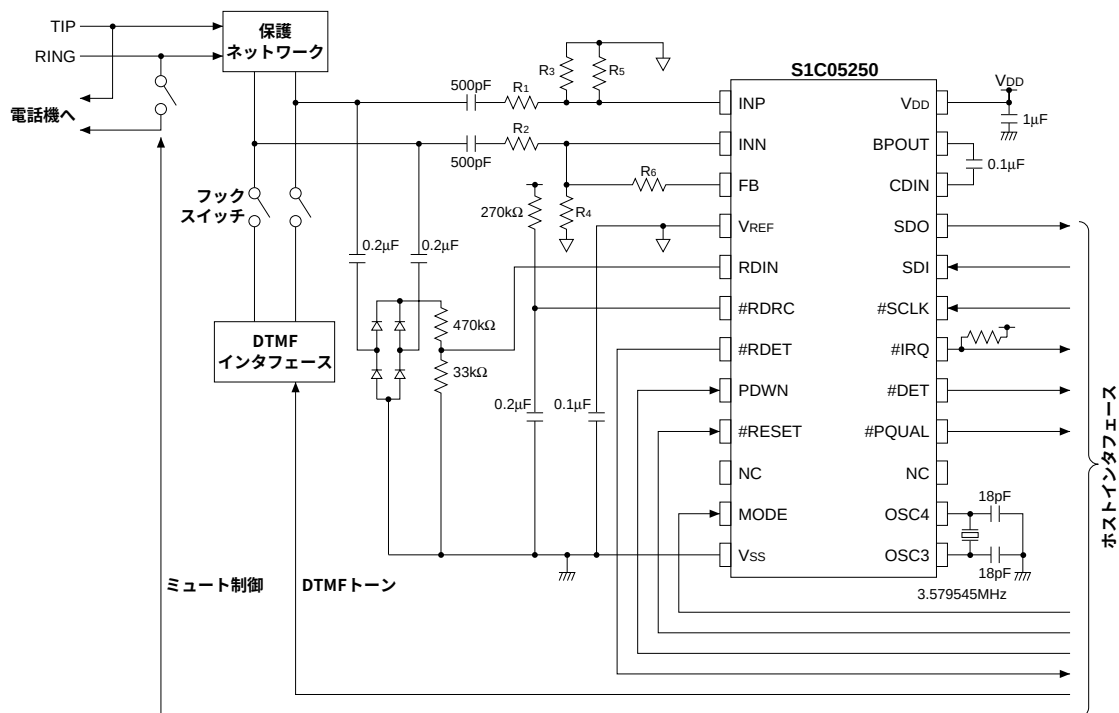
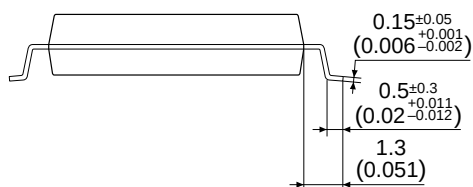
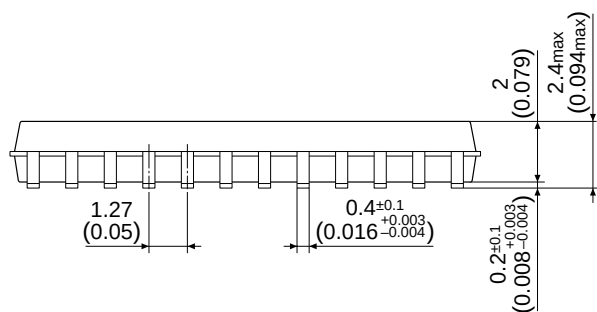
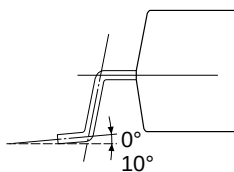


図 5.11.2 Bellcore互換補助機回路例

注: 上記回路は一例であり、特に動作を保証するものではありません。

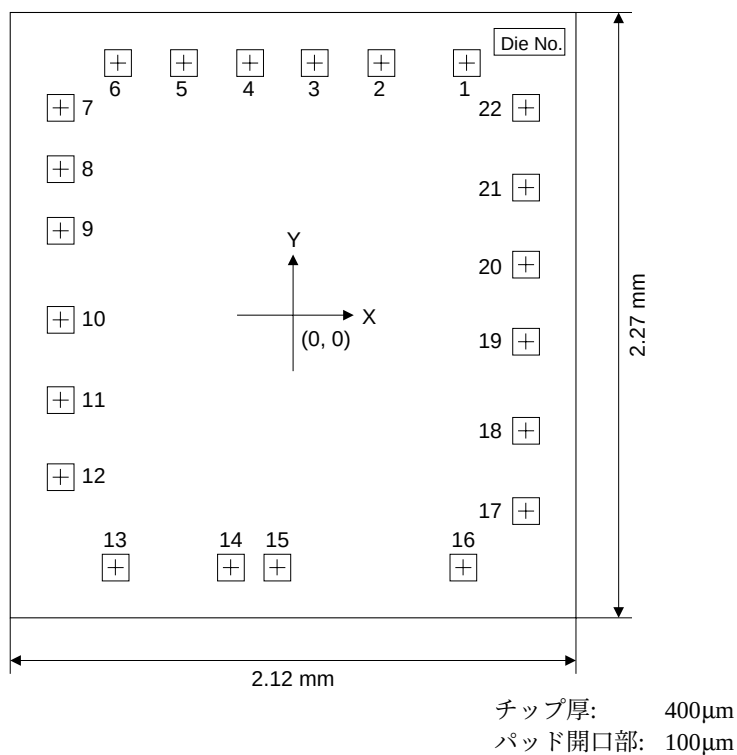
* R1～R6については"3.2 入力アンプ回路"を参照してください。

単位: mm (インチ)



7 パッド配置

7.1 パッド配置図



7.2 パッド座標

(単位: μm)

パッドNo.	パッド名	X座標	Y座標	パッドNo.	パッド名	X座標	Y座標
1	CDIN	650	946	12	#RESET	-872	-607
2	BPOUT	330	946	13	MODE	-666	-946
3	VDD	80	946	14	Vss	-234	-946
4	INP	-162	946	15	OSC3	-60	-946
5	INN	-410	946	16	OSC4	637	-946
6	FB	-657	946	17	#PQUAL	872	-734
7	VREF	-872	778	18	#DET	872	-433
8	RDIN	-872	548	19	#IRQ	872	-99
9	#RDRC	-872	317	20	#SCLK	872	190
10	#RDET	-872	-17	21	SDI	872	479
11	PDWN	-872	-318	22	SDO	872	778

セイコーエプソン株式会社 **電子デバイス営業本部**

ED営業推進部	〒191-8501 東京都日野市日野421-8
IC営業技術G	TEL (042) 587-5816 (直通) FAX (042) 587-5624
〈東日本〉	
ED東京営業部	〒191-8501 東京都日野市日野421-8
東京IC営業G	TEL (042) 587-5313 (直通) FAX (042) 587-5116
〈西日本〉	
ED大阪営業部	〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F
	TEL (06) 6120-6000 (代表) FAX (06) 6120-6100
〈東海・北陸〉	
ED名古屋営業部	〒461-0005 名古屋市東区東桜1-10-24 栄大野ビル4F
	TEL (052) 953-8031 (代表) FAX (052) 953-8041
〈長野〉	
ED長野営業部	〒392-8502 長野県諏訪市大和3-3-5
	TEL (0266) 58-8171 (直通) FAX (0266) 58-9917
〈東北〉	
ED仙台営業所	〒980-0013 宮城県仙台市青葉区花京院1-1-20 花京院スクエア19F
	TEL (022) 263-7975 (代表) FAX (022) 263-7990

インターネットによる電子デバイスのご紹介

<http://www.epson.co.jp/device/>