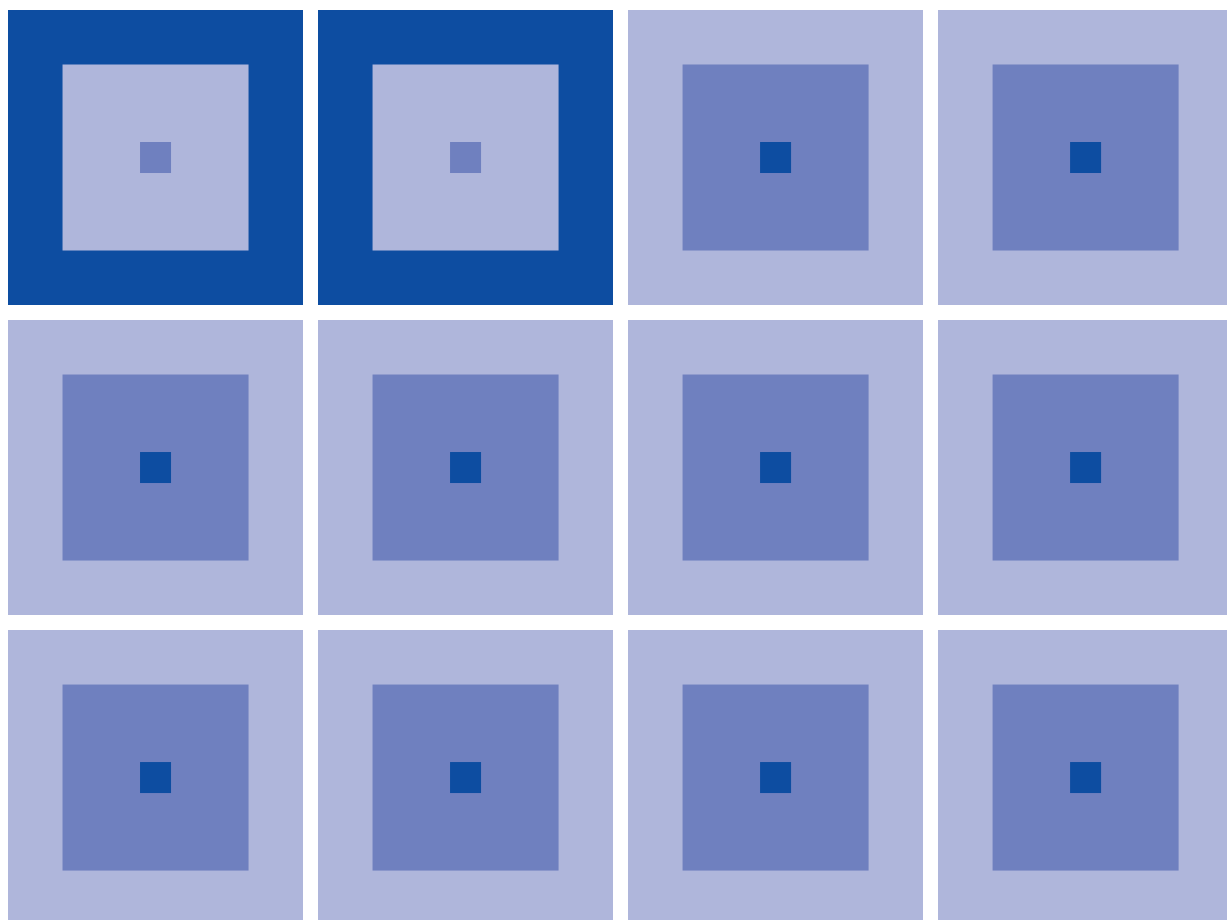


CMOS 8-BIT SINGLE CHIP MICROCOMPUTER

S1C88832/88862

テクニカルマニュアル

S1C88832/88862 Technical Hardware



本資料のご使用につきましては、次の点にご留意願います。

1. 本資料の内容については、予告なく変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利(工業所有権を含む)侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち、「外国為替および外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、一般民生用です。生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合の如何なる責任についても負いかねます。

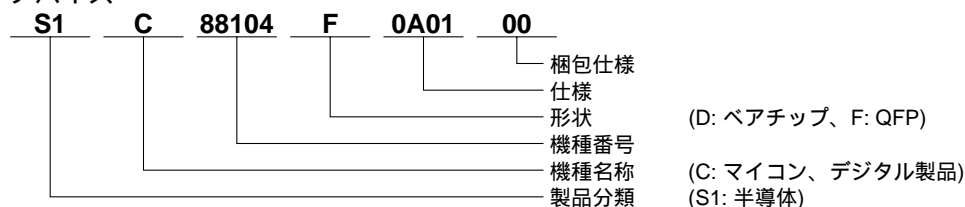
製品型番変更のご案内

2001年4月1日より、弊社半導体製品の製品型番が以下のとおり変更となりますので、4月1日以降のご発注につきましては変更後の製品型番にてお願い申し上げます。

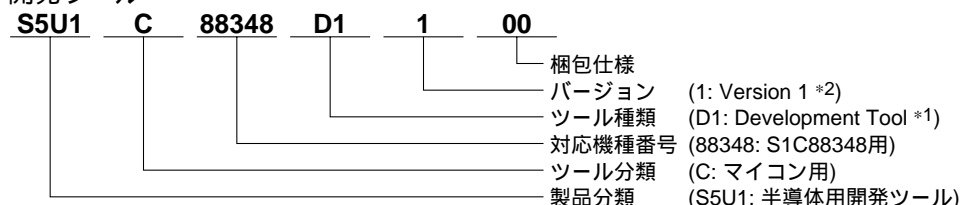
なお、製品型番の詳細仕様につきましては、弊社営業担当にお問い合わせください。

製品型番体系

デバイス



開発ツール



*1: ツールの種類は、新旧型番対応表を参照してください。(マニュアル類には一桁で記載されているものもあります。)

*2: マニュアル類には、実際のバージョンは記載されておりません。

新旧型番対応表

S1C88ファミリ

旧型番	新型番	旧型番	新型番
E0C88104	S1C88104	E0C88365	S1C88365
E0C88112	S1C88112	E0C88F360	S1C8F360
E0C88308	S1C88308	E0C88408	S1C88408
E0C88316	S1C88316	E0C88409	S1C88409
E0C88317	S1C88317	E0C88816	S1C88816
E0C88348	S1C88348	E0C88832	S1C88832
E0C88P348	S1C8P348	E0C88862	S1C88862
E0C88349	S1C88349	E0C88F816	S1C8F816

開発ツール新旧型番対応表

S1C88ファミリ関係の開発ツール

旧型番	新型番	旧型番	新型番
88ISAIF	S5U1C88000H4	DEV88816	S5U1C88816D
ADP88348	S5U1C88348X	DEV88832	S5U1C88832D
ADP88360	S5U1C88360X	DEV88862	S5U1C88862D
DEV88104	S5U1C88104D	DMT88348-DB	S5U1C88348T
DEV88112	S5U1C88112D	ICE88UR	S5U1C88000H5
DEV88308	S5U1C88308D	PRC88316	S5U1C88316P
DEV88316	S5U1C88316D	PRC88348	S5U1C88348P
DEV88317	S5U1C88317D	PRC88365	S5U1C88365P
DEV88348	S5U1C88348D	PRC88409	S5U1C88409P
DEV88365	S5U1C88365D	PRC88816	S5U1C88816P
DEV88408	S5U1C88408D	SAP88	S5U1C88000S
DEV88409	S5U1C88409D	URS88348	S5U1C88348Y

S1C63/88ファミリ関係の開発ツール

旧型番	新型番
ADS00002	S5U1C88000X1
GWH00002	S5U1C88000W2
URM00002	S5U1C88000W1

— 目 次 —

1	概要	1
1.1	機種構成	1
1.2	特長	2
1.3	ブロック図	3
1.4	端子配置図	4
1.5	マスクオプション	8
2	電源	11
2.1	動作電圧	11
2.2	内部電源回路	11
2.3	重負荷保護モード	12
3	CPUとメモリの構成	13
3.1	CPU	13
3.2	内蔵メモリ	13
3.2.1	ROM	13
3.2.2	RAM	13
3.2.3	I/Oメモリ	13
3.2.4	表示メモリ	13
3.3	例外処理ベクタ	13
3.4	CC (カスタマイズコンディションフラグ)	14
4	イニシャルリセット	15
4.1	イニシャルリセット要因	15
4.1.1	RESET端子	15
4.1.2	入力ポート(K00 ~ K03)の同時LOWレベル入力	15
4.1.3	電源電圧検出(SVD)回路	16
4.1.4	イニシャルリセットシーケンス	16
4.2	イニシャルリセット時の初期設定	17
5	周辺回路と動作	18
5.1	I/Oメモリマップ	18
5.2	ウォッチドッグタイマ	27
5.2.1	ウォッチドッグタイマの構成	27
5.2.2	割り込み機能	27
5.2.3	ウォッチドッグタイマの制御方法	27
5.2.4	プログラミング上の注意事項	27
5.3	発振回路と動作モード	28
5.3.1	発振回路の構成	28
5.3.2	マスクオプション	28
5.3.3	OSC1発振回路	28
5.3.4	OSC3発振回路	29
5.3.5	動作モード	29
5.3.6	CPUクロックの切り換え	30
5.3.7	発振回路と動作モードの制御方法	31
5.3.8	プログラミング上の注意事項	31
5.4	入力ポート (Kポート)	32
5.4.1	入力ポートの構成	32
5.4.2	マスクオプション	32

5.4.3	割り込み機能と入力比較レジスタ	33
5.4.4	入力ポートの制御方法	35
5.4.5	プログラミング上の注意事項	37
5.5	出力ポート (Rポート)	38
5.5.1	出力ポートの構成	38
5.5.2	マスクオプション	38
5.5.3	ハイインピーダンス制御	38
5.5.4	DC出力	38
5.5.5	特殊出力	38
5.5.6	出力ポートの制御方法	41
5.5.7	プログラミング上の注意事項	44
5.6	入出力兼用ポート (Pポート)	45
5.6.1	入出力兼用ポートの構成	45
5.6.2	マスクオプション	45
5.6.3	I/Oコントロールレジスタと入力/出力モード	45
5.6.4	入出力兼用ポートの制御方法	46
5.6.5	プログラミング上の注意事項	46
5.7	シリアルインタフェース	47
5.7.1	シリアルインタフェースの構成	47
5.7.2	マスクオプション	48
5.7.3	転送モード	48
5.7.4	クロック源	49
5.7.5	送受信の制御	50
5.7.6	クロック同期式転送の動作	51
5.7.7	調歩同期式転送の動作	55
5.7.8	割り込み機能	59
5.7.9	シリアルインタフェースの制御方法	61
5.7.10	プログラミング上の注意事項	65
5.8	計時タイマ	66
5.8.1	計時タイマの構成	66
5.8.2	割り込み機能	66
5.8.3	計時タイマの制御方法	68
5.8.4	プログラミング上の注意事項	70
5.9	ストップウォッチタイマ	71
5.9.1	ストップウォッチタイマの構成	71
5.9.2	カウントアップパターン	71
5.9.3	割り込み機能	72
5.9.4	ストップウォッチタイマの制御方法	73
5.9.5	プログラミング上の注意事項	75
5.10	プログラマブルタイマ	76
5.10.1	プログラマブルタイマの構成	76
5.10.2	カウント動作と基本モード設定	76
5.10.3	入力クロックの設定	78
5.10.4	タイマモード	78
5.10.5	イベントカウンタモード	79
5.10.6	パルス幅測定タイマモード	79
5.10.7	割り込み機能	80
5.10.8	TOUT出力の設定	80

5.10.9	シリアルインタフェースの転送速度設定	81
5.10.10	プログラマブルタイマの制御方法	82
5.10.11	プログラミング上の注意事項	87
5.11	LCDコントローラ	88
5.11.1	LCDコントローラの構成	88
5.11.2	マスクオプション	88
5.11.3	LCD電源	89
5.11.4	LCDドライバ	89
5.11.5	表示メモリ	92
5.11.6	表示の制御	99
5.11.7	LCDコントローラの制御方法	100
5.11.8	プログラミング上の注意事項	101
5.12	サウンドジェネレータ	102
5.12.1	サウンドジェネレータの構成	102
5.12.2	ブザー出力の制御	102
5.12.3	ブザー周波数と音量の設定	103
5.12.4	デジタルエンベロープ	104
5.12.5	ワンショット出力	104
5.12.6	サウンドジェネレータの制御方法	105
5.12.7	プログラミング上の注意事項	107
5.13	電源電圧検出(SVD)回路	108
5.13.1	SVD回路の構成	108
5.13.2	SVD回路の動作	108
5.13.3	SVD回路の制御方法	110
5.13.4	プログラミング上の注意事項	111
5.14	割り込みとスタンバイ状態	112
5.14.1	割り込み発生条件	113
5.14.2	割り込み要因フラグ	113
5.14.3	割り込みイネーブルレジスタ	114
5.14.4	割り込みプライオリティレジスタと割り込み優先レベル	114
5.14.5	例外処理ベクタ	115
5.14.6	割り込みの制御	116
5.14.7	プログラミング上の注意事項	117
5.15	低消費電力化のための注意事項	118
6	基本外部結線図	119
7	電気的特性	121
7.1	絶対最大定格	121
7.2	推奨動作条件	121
7.3	DC特性	122
7.4	アナログ回路特性	123
7.5	消費電流	126
7.6	AC特性	127
7.7	発振特性	133
7.8	特性グラフ (参考値)	134
8	パッケージ	141
8.1	プラスチックパッケージ	141
8.2	セラミックパッケージ	143

9	パッド配置	144
9.1	パッド配置図	144
9.2	パッド座標	146
10	実装上の注意事項	148

1 概要

S1C88832/88862は、CMOS 8ビットコアCPU S1C88 (MODEL3)を中心に、ROM、RAM、3種類のタイマ、調歩同期/クロック同期が選択可能なシリアルインタフェースなどを内蔵したマイクロコンピュータです。

動作電圧が広く、低電圧でも高速な動作が可能です。また、低消費電力というS1C Familyの特長も合わせ持っています。

1.1 機種構成

本書では、S1C88832およびS1C88862をS1C88832/88862の名称で一括して解説しています。

なお、これらの2機種は内蔵ROMの容量、出力ポート数、LCD駆動セグメント数に以下の違いがあり、他の周辺回路は同じ構成となっています。

機種名	内蔵ROM容量	出力ポート	LCDセグメント*1
S1C88832	32Kバイト	5ビット	1,632 (Max.)
S1C88862	60Kバイト	4ビット	1,312 (Max.)

*1: 32コモンを選択した場合の最大駆動セグメント数

1.2 特長

表1.2.1にS1C88832/88862の特長を示します。

表1.2.1 特長

機種名	S1C88832	S1C88862
コアCPU	CMOS 8ビットコアCPU S1C88 (MODEL3)	
OSC1発振回路	水晶発振回路/CR発振回路/外部クロック入力 32.768kHz (Typ.)	
OSC3発振回路	水晶発振回路/セラミック発振回路/CR発振回路/外部クロック入力 8.2MHz (Max.)	
命令セット	608種類 (乗除算命令使用可能)	
最小命令実行時間	0.244μsec/8.2MHz (2クロック)	
内蔵ROM容量	32Kバイト	60Kバイト
内蔵RAM容量	1.5Kバイト/RAM 3,216ビット/表示メモリ	1.5Kバイト/RAM 2,736ビット/表示メモリ
入力ポート	9ビット (1ビットをイベントカウンタの外部クロック入力端子に設定可能)	
出力ポート	5ビット (ブザー出力、TOUT信号出力、FOUT出力端子に設定可能)	4ビット (ブザー出力、TOUT信号出力端子に設定可能)
入出力兼用ポート	8ビット (4ビットをシリアルI/F入出力に設定可能)	
シリアルインタフェース	1ch (クロック同期式/調歩同期式の選択が可能)	
タイマ	プログラマブルタイマ (8ビット): 2ch (1chをイベントカウンタとして、または2chを16ビット1chのプログラマブルタイマとして設定可能) 計時タイマ (8ビット): 1ch ストップウォッチタイマ (8ビット): 1ch	
液晶駆動用電源回路	内蔵 (昇降圧方式、5電位/4電位)	
LCDドライバ	ドットマトリクス方式 (5×8または5×5ドットフォント対応可能) 51セグメント×32コモン 67セグメント×16コモン 67セグメント×8コモン	
サウンドジェネレータ	エンベロープ機能、音量調整機能付き	
ウォッチドッグタイマ	内蔵	
電源電圧検出回路 (SVD)	16レベルの検出電圧が読み出し可能	
割り込み	外部割り込み: 入力割り込み 内部割り込み: タイマ割り込み シリアルインタフェース割り込み	2系統 (3種類) 3系統 (9種類) 1系統 (3種類)
電源電圧	通常モード: 2.4V ~ 5.5V (Max. 4.2MHz) 低パワーモード: 1.8V ~ 3.5V (Max. 80kHz) 高速モード: 3.5V ~ 5.5V (Max. 8.2MHz)	
消費電流	SLEEP時	0.3μA (Typ./通常モード)
	HALT時 (32.768kHz)	1.5μA (Typ./通常モード)
	動作時 (32.768kHz)	9μA (Typ./通常モード)
	動作時 (4MHz)	1.1mA (Typ./通常モード)
出荷形態	QFP8-128ピン、QFP15-128ピンまたはチップ	

1.3 ブロック図

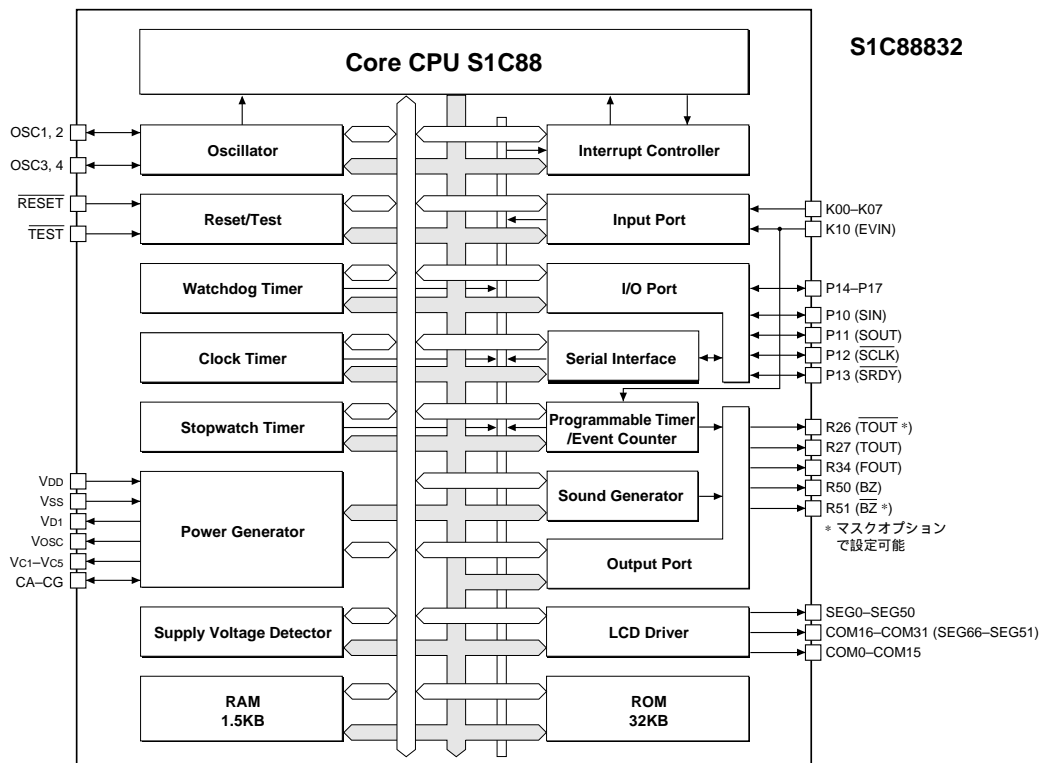


図1.3.1 S1C88832ブロック図

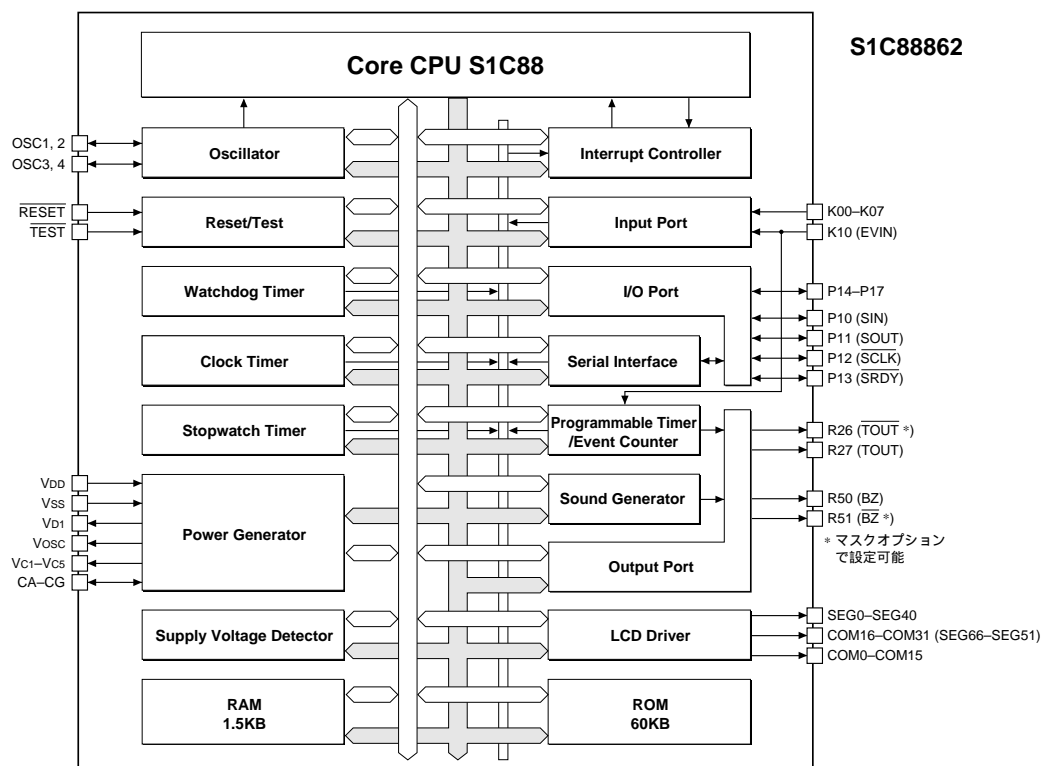
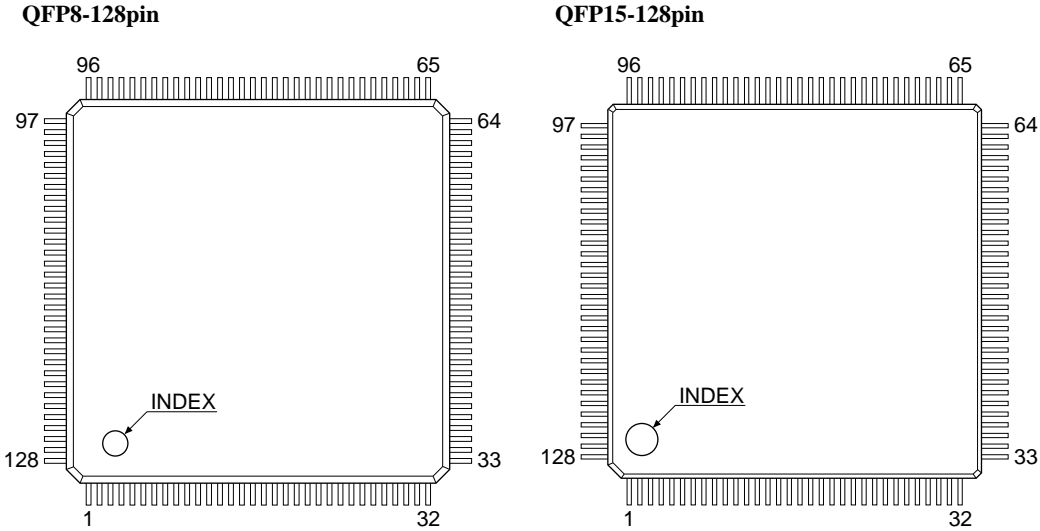


図1.3.2 S1C88862ブロック図

1.4 端子配置図

S1C88832



端子No.	端子名	端子No.	端子名	端子No.	端子名	端子No.	端子名
1	COM19/SEG63	33	OSC3	65	N.C.	97	SEG31
2	COM18/SEG64	34	OSC4	66	SEG0	98	SEG32
3	COM17/SEG65	35	V _{OSC}	67	SEG1	99	SEG33
4	COM16/SEG66	36	V _{D1}	68	SEG2	100	SEG34
5	COM15	37	V _{DD}	69	SEG3	101	SEG35
6	COM14	38	V _{SS}	70	SEG4	102	SEG36
7	COM13	39	OSC1	71	SEG5	103	SEG37
8	COM12	40	OSC2	72	SEG6	104	SEG38
9	COM11	41	<u>TEST</u>	73	SEG7	105	SEG39
10	COM10	42	<u>RESET</u>	74	SEG8	106	SEG40
11	COM9	43	K10/EVIN	75	SEG9	107	SEG41
12	COM8	44	K07	76	SEG10	108	SEG42
13	COM7	45	K06	77	SEG11	109	SEG43
14	COM6	46	K05	78	SEG12	110	SEG44
15	COM5	47	K04	79	SEG13	111	SEG45
16	COM4	48	K03	80	SEG14	112	SEG46
17	COM3	49	K02	81	SEG15	113	SEG47
18	COM2	50	K01	82	SEG16	114	SEG48
19	COM1	51	K00	83	SEG17	115	SEG49
20	COM0	52	P17	84	SEG18	116	SEG50
21	CG	53	P16	85	SEG19	117	COM31/SEG51
22	CF	54	P15	86	SEG20	118	COM30/SEG52
23	CE	55	P14	87	SEG21	119	COM29/SEG53
24	CD	56	P13/ <u>SRDY</u>	88	SEG22	120	COM28/SEG54
25	CC	57	P12/ <u>SCLK</u>	89	SEG23	121	COM27/SEG55
26	CB	58	P11/ <u>SOUT</u>	90	SEG24	122	COM26/SEG56
27	CA	59	P10/ <u>SIN</u>	91	SEG25	123	COM25/SEG57
28	V _{C5}	60	R26/ <u>TOUT</u>	92	SEG26	124	COM24/SEG58
29	V _{C4}	61	R27/ <u>TOUT</u>	93	SEG27	125	COM23/SEG59
30	V _{C3}	62	R34/ <u>FOUT</u>	94	SEG28	126	COM22/SEG60
31	V _{C2}	63	R50/ <u>BZ</u>	95	SEG29	127	COM21/SEG61
32	V _{C1}	64	R51/ <u>BZ</u>	96	SEG30	128	COM20/SEG62

図1.4.1 S1C88832端子配置図

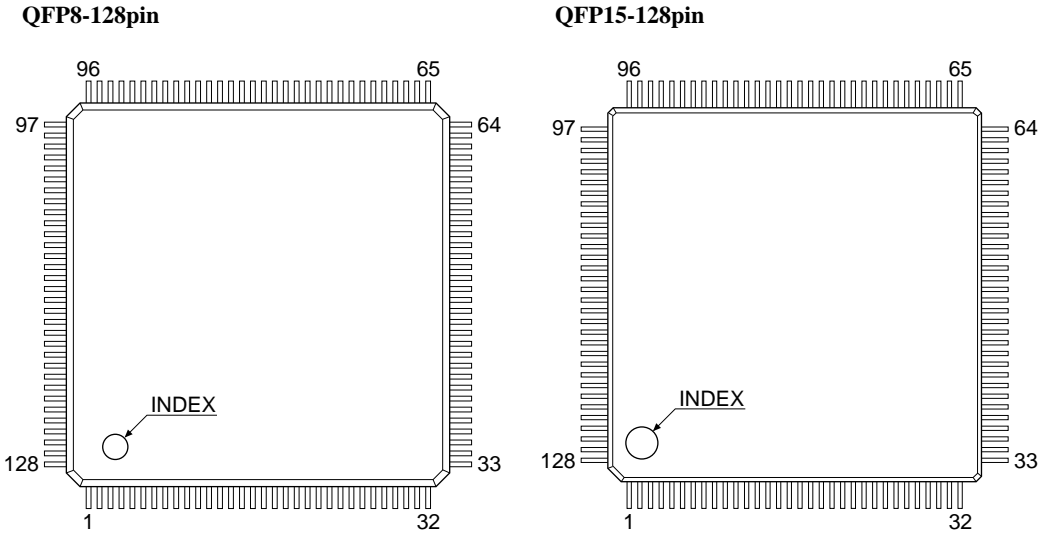
N.C.: No Connection

表1.4.1 S1C88832端子説明

端子名	端子No.	In/Out	機能
V _{DD}	37	—	電源(+)端子
V _{SS}	38	—	電源(-)端子
V _{D1}	36	—	内部動作電圧出力端子
V _{OSC}	35	—	OSC1発振系定電圧出力端子
V _{C1} ~V _{C5}	32~28	O	LCD駆動電圧出力端子
CA~CG	27~21	—	LCD系昇降圧コンデンサ接続端子
OSC1	39	I	OSC1発振入力端子 (水晶/CR発振/外部クロック入力をマスクオプションで選択)
OSC2	40	O	OSC1発振出力端子
OSC3	33	I	OSC3発振入力端子 (水晶/セラミック/CR発振/外部クロック入力をマスクオプションで選択)
OSC4	34	O	OSC3発振出力端子
K00~K07	51~44	I	入力ポート(K00~K07)端子
K10/EVIN	43	I	入力ポート(K10)端子またはイベントカウンタ外部クロック(EVIN)入力端子
R26/TOUT	60	O	出力ポート(R26)端子またはプログラマブルタイマアンダーフロー反転信号(TOUT)出力端子(マスクオプションで選択)
R27/TOUT	61	O	出力ポート(R27)端子またはプログラマブルタイマアンダーフロー信号(TOUT)出力端子
R34/FOUT	62	O	出力ポート(R34)端子またはクロック(FOUT)出力端子
R50/BZ	63	O	出力ポート(R50)端子またはブザー信号(BZ)出力端子
R51/BZ	64	O	出力ポート(R51)端子またはブザー反転信号(BZ)出力端子 (マスクオプションで選択)
P10/SIN	59	I/O	入出力兼用ポート(P10)端子またはシリアルI/Fデータ入力(SIN)端子
P11/SOUT	58	I/O	入出力兼用ポート(P11)端子またはシリアルI/Fデータ出力(SOUT)端子
P12/ $\overline{\text{SCLK}}$	57	I/O	入出力兼用ポート(P12)端子またはシリアルI/Fクロック($\overline{\text{SCLK}}$)入出力端子
P13/ $\overline{\text{SRDY}}$	56	I/O	入出力兼用ポート(P13)端子またはシリアルI/Fレディ信号($\overline{\text{SRDY}}$)出力端子
P14~P17	55~52	I/O	入出力兼用ポート(P14~P17)端子
COM0~COM15	20~5	O	LCDコモン出力端子
COM16~COM31 /SEG66~SEG51	4~1, 128~117	O	LCDコモン出力端子 (1/32デューティ選択時) またはLCDセグメント出力端子 (1/16または1/8デューティ選択時)
SEG0~SEG50	66~116	O	LCDセグメント出力端子
RESET	42	I	イニシャルリセット入力端子
TEST *1	41	I	テスト用入力端子

*1 TEST端子はICの出荷検査時に使用する端子です。通常動作時は必ずV_{DD}に接続してください。

S1C88862



端子No.	端子名	端子No.	端子名	端子No.	端子名	端子No.	端子名
1	N.C.	33	N.C.	65	N.C.	97	N.C.
2	N.C.	34	COM15	66	V _{OSC}	98	N.C.
3	N.C.	35	COM14	67	V _{D1}	99	N.C.
4	SEG28	36	COM13	68	V _{DD}	100	N.C.
5	SEG29	37	COM12	69	V _{SS}	101	SEG0
6	SEG30	38	COM11	70	OSC1	102	SEG1
7	SEG31	39	COM10	71	OSC2	103	SEG2
8	SEG32	40	COM9	72	TEST	104	SEG3
9	SEG33	41	COM8	73	$\overline{\text{RESET}}$	105	SEG4
10	SEG34	42	COM7	74	K10/EVIN	106	SEG5
11	SEG35	43	COM6	75	K07	107	SEG6
12	SEG36	44	COM5	76	K06	108	SEG7
13	SEG37	45	COM4	77	K05	109	SEG8
14	SEG38	46	COM3	78	K04	110	SEG9
15	SEG39	47	COM2	79	K03	111	SEG10
16	SEG40	48	COM1	80	K02	112	SEG11
17	COM31/SEG51	49	COM0	81	K01	113	SEG12
18	COM30/SEG52	50	CG	82	K00	114	SEG13
19	COM29/SEG53	51	CF	83	P17	115	SEG14
20	COM28/SEG54	52	CE	84	P16	116	SEG15
21	COM27/SEG55	53	CD	85	P15	117	SEG16
22	COM26/SEG56	54	CC	86	P14	118	SEG17
23	COM25/SEG57	55	CB	87	P13/ $\overline{\text{SRDY}}$	119	SEG18
24	COM24/SEG58	56	CA	88	P12/ $\overline{\text{SCLK}}$	120	SEG19
25	COM23/SEG59	57	V _{C5}	89	P11/ $\overline{\text{SOUT}}$	121	SEG20
26	COM22/SEG60	58	V _{C4}	90	P10/ $\overline{\text{SIN}}$	122	SEG21
27	COM21/SEG61	59	V _{C3}	91	R26/ $\overline{\text{TOUT}}$	123	SEG22
28	COM20/SEG62	60	V _{C2}	92	R27/ $\overline{\text{TOUT}}$	124	SEG23
29	COM19/SEG63	61	V _{C1}	93	R50/BZ	125	SEG24
30	COM18/SEG64	62	OSC3	94	R51/ $\overline{\text{BZ}}$	126	SEG25
31	COM17/SEG65	63	OSC4	95	N.C.	127	SEG26
32	COM16/SEG66	64	N.C.	96	N.C.	128	SEG27

図1.4.2 S1C88862端子配置図

N.C.: No Connection

表1.4.2 S1C88862端子説明

端子名	端子No.	In/Out	機能
VDD	68	—	電源(+)端子
VSS	69	—	電源(-)端子
VDI	67	—	内部動作電圧出力端子
VOSC	66	—	OSC1発振系定電圧出力端子
VC1~VC5	61~57	O	LCD駆動電圧出力端子
CA~CG	56~50	—	LCD系昇降圧コンデンサ接続端子
OSC1	70	I	OSC1発振入力端子 (水晶/CR発振/外部クロック入力をマスクオプションで選択)
OSC2	71	O	OSC1発振出力端子
OSC3	62	I	OSC3発振入力端子 (水晶/セラミック/CR発振/外部クロック入力をマスクオプションで選択)
OSC4	63	O	OSC3発振出力端子
K00~K07	82~75	I	入力ポート(K00~K07)端子
K10/EVIN	74	I	入力ポート(K10)端子またはイベントカウンタ外部クロック(EVIN)入力端子
R26/TOUT	91	O	出力ポート(R26)端子またはプログラマブルタイムアンダーフロー反転信号(TOUT)出力端子(マスクオプション)
R27/TOUT	92	O	出力ポート(R27)端子またはプログラマブルタイムアンダーフロー信号(TOUT)出力端子
R50/BZ	93	O	出力ポート(R50)端子またはブザー信号(BZ)出力端子
R51/BZ	94	O	出力ポート(R51)端子またはブザー反転信号(BZ)出力端子(マスクオプション)
P10/SIN	90	I/O	入出力兼用ポート(P10)端子またはシリアルI/Fデータ入力(SIN)端子
P11/SOUT	89	I/O	入出力兼用ポート(P11)端子またはシリアルI/Fデータ出力(SOUT)端子
P12/SCLK	88	I/O	入出力兼用ポート(P12)端子またはシリアルI/Fクロック(SCLK)入出力端子
P13/SRDY	87	I/O	入出力兼用ポート(P13)端子またはシリアルI/Fレディ信号(SRDY)出力端子
P14~P17	86~83	I/O	入出力兼用ポート(P14~P17)端子
COM0~COM15	49~34	O	LCDコモン出力端子
COM16~COM31 /SEG66~SEG51	32~17	O	LCDコモン出力端子 (1/32デューティ選択時) またはLCDセグメント出力端子 (1/16または1/8デューティ選択時)
SEG0~SEG40	101~128, 4~16	O	LCDセグメント出力端子
RESET	73	I	イニシャルリセット入力端子
TEST *1	72	I	テスト用入力端子

*1 TEST端子はICの出荷検査時に使用する端子です。通常動作時は必ずVDDに接続してください。

1.5 マスクオプション

S1C88832/88862には以下に示すマスクオプションが設定されています。

各マスクオプションには複数のハードウェア仕様が用意されており、アプリケーションに合わせて選択することができます。この選択にはS1C88832/88862の開発ソフトウェアツールとして用意されているファンクションオプションジェネレータWINFOGを使用します。WINFOGによって作成したデータをもとに最終的なICのマスクパターン生成が行われます。WINFOGについては、"S1C88 Family Development Tool Manual"を参照してください。

S1C88832/88862のマスクオプション

(1) RESET端子プルアップ抵抗

RESET端子にプルアップ抵抗を付加するかしないか選択できます。

(2) 入力ポート(K00 ~ K03)同時LOW入力による外部リセット

この機能は、複数キーの同時押しによってICをリセットするもので、この機能を使用するかしないかをマスクオプションで選択できます。また、使用する場合は、同時に押すキーを接続する入力ポート(K00 ~ K03)の組み合わせを選択します。詳細については"4.1.2 入力ポート(K00 ~ K03)の同時LOWレベル入力"を参照してください。

(3) OSC1発振回路

OSC1発振回路の種類を、水晶発振、CR発振、水晶発振(ゲート容量内蔵)、外部クロック入力から選択できます。詳細については、"5.3.3 OSC1発振回路"を参照してください。

(4) OSC3発振回路

OSC3発振回路の種類を、水晶発振、セラミック発振、CR発振、外部クロック入力から選択できます。詳細については、"5.3.4 OSC3発振回路"を参照してください。

(5) 入力ポートプルアップ抵抗

入力(K)ポートにプルアップ抵抗を付加するかしないか選択できます。この選択は入力ポートの各ビットごとに行えます。詳細については"5.4 入力ポート(Kポート)"を参照してください。

(6) R26、R51出力ポート仕様

R26ポートを、汎用DC出力として使用するか、TOUT出力(TOUT反転出力)として使用するか選択できます。同様に、R51ポートを汎用DC出力として使用するか、BZ出力(ブザー反転信号出力)として使用するか選択できます。詳細については"5.5 出力ポート(Rポート)"を参照してください。

(7) 入出力兼用ポートプルアップ抵抗

入出力兼用(P)ポートが入力モード時に働くプルアップ抵抗を付加するかしないか選択できます。この選択は入出力兼用ポートの各ビットごとに行えます。詳細については"5.6 入出力兼用ポート(Pポート)"を参照してください。

なお、P10 ~ P13はシリアルインタフェースの入出力端子と兼用されており、P10およびP12端子の選択は、それぞれシリアル入力(SIN)端子、シリアルクロック入力端子(クロック同期式スレーブモード選択時のSCLK)端子にも適用されます。詳細については"5.7 シリアルインタフェース"を参照してください。

(8) LCD駆動デューティ

内蔵LCDドライバの駆動デューティを1/32と1/16のソフトウェア切り換えとするか、1/8固定とするか選択できます。詳細については"5.11 LCDコントローラ"を参照してください。

(9) LCD駆動電源

LCDの駆動に内部電源を使用するか、外部電源を使用するか選択できます。さらに、内部電源を使用する場合は、駆動電圧を4.5V LCDパネル用または5.5V LCDパネル用に、駆動バイアスを1/5または1/4に設定できます。詳細については"5.11 LCDコントローラ"を参照してください。

(10) SVD回路によるイニシャルリセット

SVD回路は電源電圧がレベル0以下に低下した場合にイニシャルリセット信号を発生する機能を持っています。この機能を使用するかしないかをマスクオプションで選択できます。詳細については"5.13 電源電圧検出(SVD)回路"を参照してください。

オプションリスト

S1C88832/88862には以下のオプションが設定可能です。各オプション項目には複数の仕様が用意されていますので、システムに合った内容を選択し、 に印をつけてください。

このオプションリストを参照して、S1C88832/88862の持つマスクオプション選択をWINFOGの画面上で行います。

S1C88832/88862マスクオプションリスト(1/2)

- 1 OSC1発振回路... OSC1 SYSTEM CLOCK
 1. 水晶発振回路
 2. 外部クロック
 3. CR発振回路
 4. 水晶発振回路(ゲート容量内蔵)
- 2 OSC3発振回路... OSC3 SYSTEM CLOCK
 1. 水晶発振回路
 2. セラミック発振回路
 3. CR発振回路
 4. 外部クロック
- 3 キー同時押しリセット... MULTIPLE KEY ENTRY RESET
 - ・組み合わせ
 1. 使用しない
 2. 使用する K00, K01
 3. 使用する K00, K01, K02
 4. 使用する K00, K01, K02, K03
- 4 SVDリセット... SVD RESET
 1. 使用しない
 2. 使用する
- 5 入力ポート プルアップ抵抗... INPUT PORT PULL UP RESISTOR

・ K00	1. あり	2. なし
・ K01	1. あり	2. なし
・ K02	1. あり	2. なし
・ K03	1. あり	2. なし
・ K04	1. あり	2. なし
・ K05	1. あり	2. なし
・ K06	1. あり	2. なし
・ K07	1. あり	2. なし
・ K10	1. あり	2. なし
・ RESET	1. あり	2. なし
- 6 入出力兼用ポート プルアップ抵抗... I/O PORT PULL UP RESISTOR

・ P10	1. あり	2. なし
・ P11	1. あり	2. なし
・ P12	1. あり	2. なし
・ P13	1. あり	2. なし
・ P14	1. あり	2. なし
・ P15	1. あり	2. なし
・ P16	1. あり	2. なし
・ P17	1. あり	2. なし

S1C88832/88862マスクオプションリスト(2/2)

7 LCD駆動デューティ... LCD DRIVING DUTY

1. 1/32 & 1/16デューティ
2. 1/8デューティ

8 LCD駆動電源... LCD POWER SUPPLY

1. 内部駆動 タイプA (V_{C2} 基準, 1/5バイアス, 4.5V)
2. 外部駆動
3. 内部駆動 タイプB (V_{C2} 基準, 1/5バイアス, 5.5V)
4. 内部駆動 タイプC (V_{C2} 基準, 1/4バイアス, 4.5V)
5. 内部駆動 タイプD (V_{C1} 基準, 1/4バイアス, 4.5V)

9 R51出力ポート仕様... R51 OUTPUT PORT SPECIFICATION

1. \overline{BZ} あり (Use)
2. \overline{BZ} なし (Not Use)

10 R26出力ポート仕様... R26 OUTPUT PORT SPECIFICATION

1. \overline{TOUT} あり (Use)
2. \overline{TOUT} なし (Not Use)

2 電源

ここでは、S1C88832/88862の動作電圧、および内部電源回路の構成について説明します。

2.1 動作電圧

S1C88832/88862の動作電源電圧は次のとおりです。

通常モード:	2.4V ~ 5.5V
低パワーモード:	1.8V ~ 3.5V
高速モード:	3.5V ~ 5.5V

電源電圧がレベル0("7 電気的特性"参照)以下に低下した場合、後述の電源電圧検出(SVD)回路によってシステムリセットがかかるよう、マスクオプションで選択することができます。

2.2 内部電源回路

S1C88832/88862は図2.2.1に示す電源回路を内蔵しており、前記の範囲内の電圧をVDD(+), VSS(GND)間に供給することによって内部回路に必要なすべての電圧をIC内部で発生します。

電源回路は大きく3つに分けられます。

内部定電圧回路は、内部回路とOSC3発振回路の動作電圧<VD1>を発生します。

VD1の電圧値は動作モードに応じ、1.3V(低パワーモード時)/2.2V(通常モード時)/3.3V(高速モード時)の3種類が選択可能で、電源電圧および発振周波数にしたがってプログラムにより切り換えて使用します。

動作モードの切り換えについては"5.3 発振回路と動作モード"を参照してください。

発振系定電圧回路はOSC1発振回路の動作電圧<VOSC>を発生します。

LCD系電源回路はLCDの駆動電圧<VC1> ~ <VC5>を発生します。1/5バイアス時は、LCD系定電圧回路の出力VC2を降圧してVC1を、昇圧してVC3 ~ VC5を発生しています。この5電位はマスクオプションにより外部から供給することも可能です。

また、マスクオプションにより1/4バイアス用の駆動電圧としても使用でき、この場合はVC2 = VC3となります。さらに1/4バイアス時のみ、VC1を昇圧してVC2 ~ VC5を発生することも選択可能です。各電圧値については"7 電気的特性"を参照してください。

S1C88832/88862では、内蔵されたLCDドライバにこのLCD駆動電圧が供給され、コモン/セグメント端子に接続されたLCDパネルを駆動します。

注! 内部電源回路の出力を外部回路の駆動には絶対に使用しないでください。

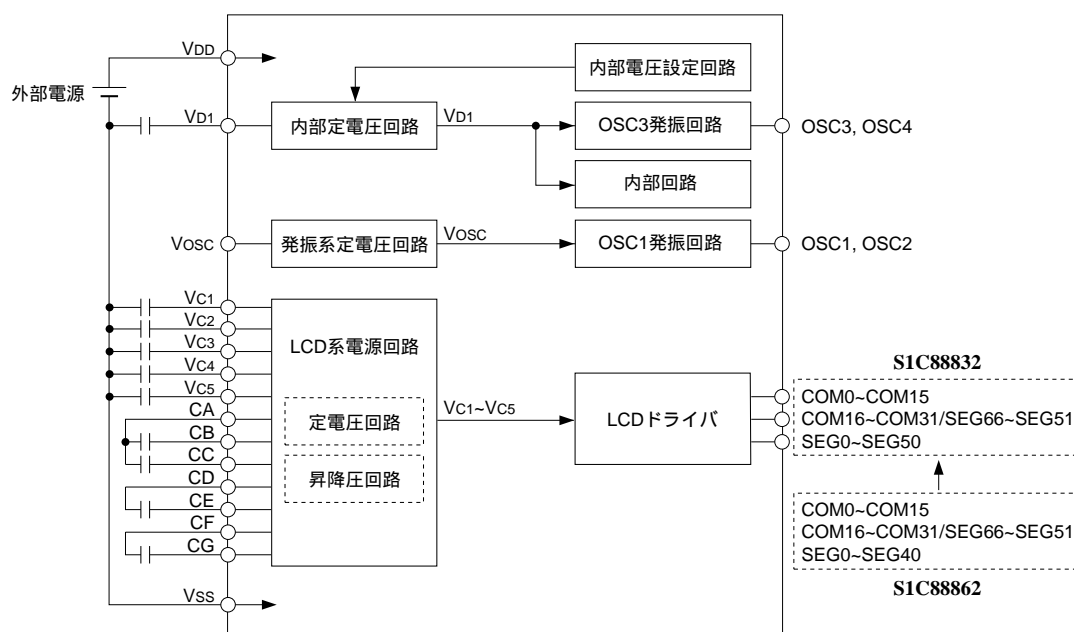


図2.2.1 電源回路の構成

2.3 重負荷保護モード

S1C88832/88862は、重負荷駆動による電源電圧の変動に対して安定した動作ができるよう重負荷保護機能を内蔵しています。この重負荷保護機能を動作させている状態を重負荷保護モードといい、周辺回路が次の状態のときに有効となります。

- (1) OSC3発振回路がON(OSCC="1"、かつ非SLEEP状態)しているとき
- (2) ブザー出力がON(BZON="1"、またはBZSHT="1")しているとき

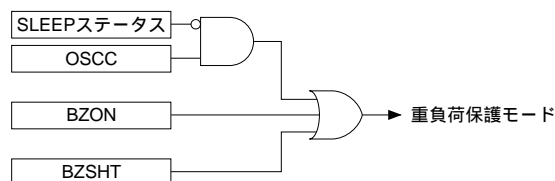


図2.3.1 重負荷保護モード制御回路の構成

OSC3発振回路とブザー出力の詳細は"5.3 発振回路と動作モード"および"5.12 サウンドジェネレータ"をそれぞれ参照してください。

3 CPUとメモリの構成

ここでは、CPUとメモリの構成について説明します。

3.1 CPU

S1C88832/88862はCPUとして8ビットコアCPU S1C88を使用しており、レジスタ構成、命令等は他のS1C88を使用したファミリプロセッサとほぼ同様です。

S1C88については"S1C88 Core CPU Manual"を参照してください。

使用しているS1C88のCPUモデルはMODEL3/ミニマムモードで、物理空間000000Hから00FFFFHまでの領域中、内部メモリが配置されたアドレスのみアクセスの対象として有効となります。

3.2 内蔵メモリ

S1C88832/88862は図3.2.1に示すROMおよびRAMを内蔵しています。

	S1C88832	S1C88862
00FFFFH	I/Oメモリ	I/Oメモリ
00FF00H		
00FD42H	表示メモリ	表示メモリ
00F800H		
00F7FFH	未使用領域	未使用領域
00F600H		
00F5FFH	RAM (1.5K byte)	RAM (1.5K byte)
00F000H		
00EFFFH	未使用領域	ROM (60K byte)
008000H		
007FFFH	ROM (32K byte)	
000000H		

図3.2.1 内蔵メモリマップ

3.2.1 ROM

内蔵ROMの容量は次のとおりです。

機種名	ROM容量	アドレス
S1C88832	32Kバイト	000000H~007FFFH
S1C88862	60Kバイト	000000H~00EFFFH

3.2.2 RAM

内蔵RAMの容量は次のとおりです。

機種名	RAM容量	アドレス
S1C88832	1.5Kバイト	00F000H~00F5FFH
S1C88862	1.5Kバイト	00F000H~00F5FFH

3.2.3 I/Oメモリ

S1C88832/88862では、内蔵する周辺回路とのインタフェースにメモリマップドI/O方式を採用しています。各周辺回路の制御ビットやデータレジスタはメモリ空間上に配置され、通常のメモリアccessによって制御およびデータのやりとりが行えます。I/Oメモリが配置されている領域は00FF00H~00FFFFHです。I/Oメモリの詳細については"5.1 I/Oメモリマップ"を参照してください。

3.2.4 表示メモリ

S1C88832/88862はLCDドライバの表示データを保持する表示メモリを内蔵しています。表示メモリが配置されている領域は00F800H~00FD42H(未使用領域を含む)です。表示メモリの詳細については"5.11 LCDコントローラ"を参照してください。

3.3 例外処理ベクタ

S1C88832/88862ではプログラム領域の000000H~000023Hが例外処理ベクタとして割り当てられています。また、000026H~0000FFHまでは任意の偶数番地から始まる2バイトにソフトウェア割り込みのベクタを割り付けることができます。

表3.3.1にベクタアドレスと例外処理要因の対応を示します。

表3.3.1 ベクタアドレスと例外処理要因の対応

ベクタ アドレス	例外処理要因	優先 順位
000000H	リセット	高い
000002H	ゼロ除算	
000004H	ウォッチドッグタイマ (NMI)	
000006H	プログラマブルタイマ1割り込み	
000008H	プログラマブルタイマ0割り込み	
00000AH	K10入力割り込み	
00000CH	K04 ~ K07入力割り込み	
00000EH	K00 ~ K03入力割り込み	
000010H	シリアルI/Fエラー割り込み	
000012H	シリアルI/F受信完了割り込み	
000014H	シリアルI/F送信完了割り込み	
000016H	ストップウォッチタイマ100Hz割り込み	
000018H	ストップウォッチタイマ10Hz割り込み	
00001AH	ストップウォッチタイマ1Hz割り込み	
00001CH	計時タイマ32Hz割り込み	
00001EH	計時タイマ8Hz割り込み	
000020H	計時タイマ2Hz割り込み	
000022H	計時タイマ1Hz割り込み	低い
000024H	システム予約 (使用不可)	
000026H	ソフトウェア割り込み	なし
0000FEH		

各ベクタアドレスとその次のアドレスに、例外処理ルーチンの先頭アドレスを下位、上位の順に格納しておきます。例外処理要因が発生すると、設定されたアドレスから始まる例外処理ルーチンを実行します。

同時に複数の例外処理が発生した場合は優先順位の高いものから先に実行されます。

なお、表3.3.1に示された割り込みの優先順位は、割り込み優先レベルがすべて同じ場合のもので、各割り込みの優先レベルは系列ごとにソフトウェアで設定することができます。("5.14 割り込みとスタンバイ状態"参照)

注! リセット以外の例外処理ではSC(システムコンディションフラグ)およびPC(プログラムカウンタ)をスタックに退避させ、各例外処理ルーチンに分岐します。したがって、例外処理ルーチンからメインルーチンに戻す際にはRETE命令を使用してください。

例外処理要因発生時のCPUの動作については"S1C88 Core CPU Manual"を参照してください。

3.4 CC (カスタマイズコンディションフラグ)

S1C88832/88862ではコアCPU内のカスタマイズコンディションフラグ(CC)を使用していません。したがって、条件付き分岐命令(JRS、CARS)の分岐条件として使用することはできません。

4 イニシャルリセット

S1C8832/88862は回路を初期化するためにイニシャルリセットを必要とします。
ここでは、イニシャルリセットの要因と内部レジスタ等の初期設定について説明します。

4.1 イニシャルリセット要因

S1C8832/88862のイニシャルリセット要因としては以下の3種類があります。

- (1) RESET端子
- (2) 入力ポート(K00 ~ K03端子)の同時LOWレベル入力
- (3) 電源電圧検出(SVD)回路

図4.1.1にイニシャルリセット回路の構成を示します。

イニシャルリセット要因によってCPUおよび周辺回路が初期化され、要因が解除されるとCPUはリセット例外処理を開始します。("S1C88 Core CPU Manual"参照)

これによって、バンク0先頭(000000H ~ 000001H)のリセット例外処理ベクタが読み出され、その読み出されたアドレスから始まるプログラム(初期化ルーチン)の実行を開始します。

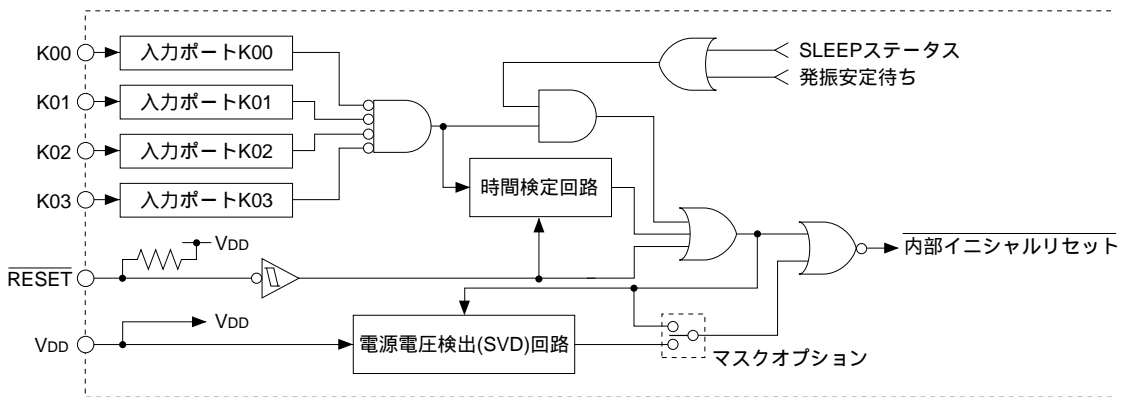


図4.1.1 イニシャルリセット回路の構成

4.1.1 RESET端子

外部からRESET端子にLOWレベルを入力することでイニシャルリセットが行えます。

S1C8832/88862を確実に初期化するため、電源電圧立ち上がり後規定の時間RESET端子をLOWレベルに保持してください。

また、電源投入時の初回のイニシャルリセットは必ずRESET端子を使用してください。RESET端子の内蔵プルアップ抵抗はマスクオプションで使用するかしないかを選択することができます。

4.1.2 入力ポート(K00 ~ K03)の同時LOWレベル入力

マスクオプションで選択された入力ポート(K00 ~ K03)に、外部から同時にLOWレベルを入力することでイニシャルリセットが行えます。本イニシャルリセット手段は時間検定回路を内蔵しているため、2秒(発振周波数 $f_{OSC1}=32.768\text{kHz}$ の場合)以上、指定入力ポート端子をLOWレベルに保つ必要があります。

ただし、SLEEP(スタンバイ)状態時、および電源投入時の発振安定待ち期間中は時間検定回路がバイパスされるため、指定入力ポートへのLOWレベル同時入力直後にイニシャルリセットがかかります。マスクオプションで選択できる入力ポート(K00 ~ K03)の組合せは次のとおりです。

- (1) 使用しない
- (2) K00 & K01
- (3) K00 & K01 & K02
- (4) K00 & K01 & K02 & K03

たとえば、マスクオプションで(4)の"K00 & K01 & K02 & K03"を選択した場合、K00 ~ K03の4ポートの入力が同時にLOWレベルになったときにイニシャルリセットがかかります。

この機能を使用する場合、通常動作時に指定入力ポートが同時にLOWレベルにならないように注意してください。

4.1.3 電源電圧検出(SVD)回路

SVD回路によって電源電圧がレベル0("7 電気的特性"参照)以下として連続的に4回検出された場合、SVD回路は電源電圧がレベル2以上に復帰するまでイニシャルリセット信号を発生します。

なお、SVD回路によるイニシャルリセットを使用するかしないかはマスクオプションで選択することができ、使用するとした場合は電源投入時におけるSVD回路の初回サンプリングで、電源電圧がレベル2以上である必要があります。このとき、電源電圧がレベル2未満である場合は、イニシャルリセット状態が解除されず、SVD回路は電源電圧がレベル2以上になるまで連続的にサンプリングを行います。

詳細については"5.13 電源電圧検出(SVD)回路"を参照してください。

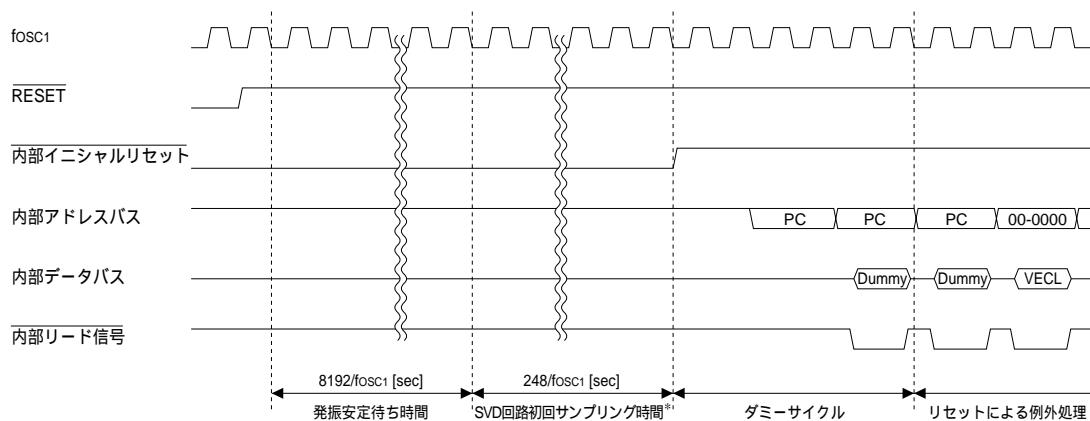
4.1.4 イニシャルリセットシーケンス

電源投入時の $\overline{\text{RESET}}$ 端子へのLOWレベル入力解除後、発振安定待ち時間($8,192/f_{\text{osc1}}$ 秒)が経過するまでCPUの起動は待たされます。

また、SVD回路によるイニシャルリセットを使用するとした場合は、初回のサンプリング時間($248/f_{\text{osc1}}$ 秒)がさらに待ち時間として付加されます。図4.1.4.1にイニシャルリセット解除後の動作シーケンスを示します。

なお、入力ポート(K00 ~ K03)への同時LOWレベル入力によるイニシャルリセット手段を使用する場合は、次の点に注意してください。

- (1) SLEEP状態時、および電源投入時の発振安定待ち期間中は時間検定回路がバイパスされるため、LOWレベル同時入力直後にイニシャルリセットがかかります。この場合、LOWレベル同時入力解除後に発振安定時間、SVD回路初回サンプリング時間(マスクオプションで使用するとしてした場合)を待ってCPUが起動されます。
- (2) (1)の状態以外はLOWレベル同時入力1~2秒後にイニシャルリセットがかかります。この場合は、S1C88832/88862内部でリセット微分パルス($64/f_{\text{osc1}}$ 秒)が発生されるため、LOWレベル同時入力状態を解除しなくてもCPUは起動されます。



* マスクオプションでSVD回路によるイニシャルリセットを使用するとしてした場合のみ、本サイクルが待ち時間として挿入されます。

図4.1.4.1 イニシャルリセット解除後の動作シーケンス

4.2 イニシャルリセット時の初期設定

イニシャルリセットによりCPUの内部レジスタは以下のように初期化されます。

表4.2.1 初期設定値

レジスタ名称	記号	ビット長	初期値
データレジスタA	A	8	不定
データレジスタB	B	8	不定
インデックス(データ)レジスタL	L	8	不定
インデックス(データ)レジスタH	H	8	不定
インデックスレジスタIX	IX	16	不定
インデックスレジスタIY	IY	16	不定
プログラムカウンタ	PC	16	不定*
スタックポインタ	SP	16	不定
ベースレジスタ	BR	8	不定
ゼロフラグ	Z	1	0
キャリーフラグ	C	1	0
オーバーフローフラグ	V	1	0
ネガティブフラグ	N	1	0
デシマルフラグ	D	1	0
アンパックフラグ	U	1	0
インタラプトフラグ0	I0	1	1
インタラプトフラグ1	I1	1	1
ニューコードバンクレジスタ	NB	8	01H
コードバンクレジスタ	CB	8	不定*
エクスパンドページレジスタ	EP	8	00H
IX用エクスパンドページレジスタ	XP	8	00H
IY用エクスパンドページレジスタ	YP	8	00H

* リセット例外処理によって、0バンクのメモリの先頭(000000H～000001H)に格納されている値がPCにロードされます。また、このとき同時にNBの初期値01HがCBにロードされます。

イニシャルリセット時に初期化されない(不定)レジスタはソフトウェアで初期化してください。

内蔵RAMおよび表示メモリについてもイニシャルリセット時に初期化されませんので、同様にソフトウェアで初期化してください。

内蔵の周辺回路については、それぞれ所定の初期化が行われます。必要に応じてソフトウェアで初期化してください。

イニシャルリセット時の初期値については、次章のI/Oメモリマップまたは各周辺回路の説明を参照してください。

5 周辺回路と動作

S1C88832/88862の周辺回路はメモリマップドI/O方式でCPUとインタフェースされています。このため、他のメモリアクセスと同様にI/Oメモリを操作して周辺回路を制御することができます。以下、各周辺回路別にその動作と制御方法を説明します。

5.1 I/Oメモリマップ

表5.1.1(a) I/Oメモリマップ(00FF00H～00FF10H)

アドレス	ビット	名称	機 能		1	0	SR	R/W	注 釈										
00FF00	D7	BSMD1	汎用レジスタ		1	0	0	R/W	予約レジスタ (注)										
	D6	BSMD0	汎用レジスタ				0	R/W											
	D5	CEMD1	汎用レジスタ				1	R/W											
	D4	CEMD0	汎用レジスタ				1	R/W											
	D3	CE3	汎用レジスタ				0	R/W											
	D2	CE2	汎用レジスタ				0	R/W											
	D1	CE1	汎用レジスタ				0	R/W											
	D0	CE0	汎用レジスタ				0	R/W											
00FF01	D7	SPP7	汎用レジスタ		1	0	0	R/W	予約レジスタ (注)										
	D6	SPP6	汎用レジスタ				0	R/W											
	D5	SPP5	汎用レジスタ				0	R/W											
	D4	SPP4	汎用レジスタ				0	R/W											
	D3	SPP3	汎用レジスタ				0	R/W											
	D2	SPP2	汎用レジスタ				0	R/W											
	D1	SPP1	汎用レジスタ				0	R/W											
	D0	SPP0	汎用レジスタ				0	R/W											
00FF02	D7	EBR	汎用レジスタ		1	0	0	R/W	予約レジスタ										
	D6	WT2	汎用レジスタ				0	R/W											
	D5	WT1	汎用レジスタ				0	R/W											
	D4	WT0	汎用レジスタ				0	R/W											
	D3	CLKCHG	CPU動作クロック切り換え		OSC3	OSC1	0	R/W											
	D2	OSCC	OSC3発振On/Off制御		On	Off	0	R/W											
	D1	VDC1	動作モード選択				0	R/W											
	D0	VDC0	<table><tr><td>VDC1</td><td>VDC0</td><td>動作モード</td></tr><tr><td>1</td><td>×</td><td>高速モード (VD1 = 3.3V)</td></tr><tr><td>0</td><td>1</td><td>低パワーモード (VD1 = 1.3V)</td></tr><tr><td>0</td><td>0</td><td>通常モード (VD1 = 2.2V)</td></tr></table>	VDC1	VDC0	動作モード	1	×	高速モード (VD1 = 3.3V)	0	1	低パワーモード (VD1 = 1.3V)	0	0	通常モード (VD1 = 2.2V)			0	R/W
VDC1	VDC0	動作モード																	
1	×	高速モード (VD1 = 3.3V)																	
0	1	低パワーモード (VD1 = 1.3V)																	
0	0	通常モード (VD1 = 2.2V)																	
00FF10	D7	—	—		—	—	—		読み出し時は 常時"0"										
	D6	—	—		—	—	—												
	D5	—	—		—	—	—												
	D4	LCCLK	汎用レジスタ		1	0	0	R/W	予約レジスタ										
	D3	LCFRM	汎用レジスタ				0	R/W											
	D2	DTFNT	LCDドットフォント選択		5×5ドット	5×8ドット	0	R/W											
	D1	LDUTY	LCD駆動デューティ選択		1/16デューティ	1/32デューティ	0	R/W	*1										
	D0	SGOUT	汎用レジスタ		1	0	0	R/W	予約レジスタ										

*1 マスクオプションで1/8デューティを選択している場合は、本レジスタの設定は無効となります。

注) S1C88 FamilyのデバッグツールICE(S5U1C8800I5)にペリフェラルボード(S5U1C88348P)を装着してデバッグを行う場合は、アドレス"00FF00H"および"00FF01H"に任意の値をそれぞれ書き込むまで、NMIを含めたすべての割り込みはマスクされます。

表5.1.1(b) I/Oメモリマップ(00FF11H ~ 00FF22H)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF11	D7	—	—	—	—	—		読み出し時は"0"
	D6	DSPAR	LCD表示メモリ領域選択	表示領域1	表示領域0	0	R/W	
	D5	LCDC1	LCD表示制御			0	R/W	SLP命令実行時に (0, 0)にリセット
	D4	LCDC0	LCDC1 LCDC0 LCD表示					
			1 1 全点灯					
			1 0 全消灯					
			0 1 通常表示			0	R/W	
			0 0 駆動Off					
	D3	LC3	LCDコントラスト調整			0	R/W	
00FF12	D2	LC2	LC3 LC2 LC1 LC0 コントラスト			0	R/W	
	D1	LC1	1 1 1 0 :			0	R/W	
			: : : : :			0	R/W	
			0 0 0 0 淡			0	R/W	
	D0	LC0						
	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	SVDSP	SVDオートサンプリング制御	On	Off	0	R/W	SLP命令実行時 "0"にリセット
	D4	SVDON	SVD連続サンプリング制御/ステータス	Busy On	Ready Off	1→0 ^{*1} 0	R/W	
00FF20	D3	SVD3	SVD検出レベル			X	R	*2
	D2	SVD2	SVD3 SVD2 SVD1 SVD0 検出レベル			X	R	
	D1	SVD1	1 1 1 0 レベル15			X	R	
			: : : : レベル14			X	R	
			: : : : :			X	R	
	D0	SVD0	0 0 0 0 レベル0			X	R	
00FF21	D7	PK01	K00 ~ K07割り込み			0	R/W	
	D6	PK00	プライオリティレジスタ	PK01 PK00		0	R/W	
	D5	PSIF1	シリアルインタフェース割り込み	PSIF1 PSIF0		0	R/W	
	D4	PSIF0	プライオリティレジスタ	PSW1 PSW0 優先 PTM1 PTM0 レベル		0	R/W	
	D3	PSW1	ストップウォッチタイマ割り込み	1 1 レベル3		0	R/W	
	D2	PSW0	プライオリティレジスタ	1 0 レベル2		0	R/W	
	D1	PTM1	計時タイマ割り込み	0 1 レベル1		0	R/W	
	D0	PTM0	プライオリティレジスタ	0 0 レベル0		0	R/W	
00FF22	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	PPT1	プログラマブルタイマ割り込み	PPT1 PPT0 優先 PK11 PK10 レベル		0	R/W	
	D2	PPT0	プライオリティレジスタ	1 1 レベル3		0	R/W	
	D1	PK11	K10割り込み	1 0 レベル2		0	R/W	
00FF22	D0	PK10	プライオリティレジスタ	0 1 レベル1		0	R/W	
				0 0 レベル0		0	R/W	
	D7	—	—	—	—	—		読み出し時は"0"
	D6	ESW100	ストップウォッチ100Hz割り込みイネーブルレジスタ			0	R/W	
	D5	ESW10	ストップウォッチ10Hz割り込みイネーブルレジスタ			0	R/W	
	D4	ESW1	ストップウォッチ1Hz割り込みイネーブルレジスタ			0	R/W	
	D3	ETM32	計時タイマ32Hz割り込みイネーブルレジスタ			0	R/W	
00FF22	D2	ETM8	計時タイマ8Hz割り込みイネーブルレジスタ			0	R/W	
	D1	ETM2	計時タイマ2Hz割り込みイネーブルレジスタ			0	R/W	
	D0	ETM1	計時タイマ1Hz割り込みイネーブルレジスタ			0	R/W	

*1 イニシャルリセット時、本ステータスはハードウェアによる初回のサンプリングが終了するまで、"1"に設定されます。

*2 初期値は、ハードウェアによる初回のサンプリング時に検出される電源電圧にしたがって設定されます。
このサンプリングが終了するまで、SVD0 ~ SVD3のデータは不定となります。

表5.1.1(c) I/Oメモリマップ(00FF23H~00FF31H)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈		
00FF23	D7	EPT1	プログラマブルタイマ1割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W			
	D6	EPT0	プログラマブルタイマ0割り込みイネーブルレジスタ			0	R/W			
	D5	EK1	K10割り込みイネーブルレジスタ			0	R/W			
	D4	EK0H	K04～K07割り込みイネーブルレジスタ			0	R/W			
	D3	EK0L	K00～K03割り込みイネーブルレジスタ			0	R/W			
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブルレジスタ			0	R/W			
	D1	ESREC	シリアルI/F(受信)割り込みイネーブルレジスタ			0	R/W			
	D0	ESTRA	シリアルI/F(送信)割り込みイネーブルレジスタ			0	R/W			
00FF24	D7	—	—	—	—	—		読み出し時は"0"		
	D6	FSW100	ストップウォッチ100Hz割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W			
	D5	FSW10	ストップウォッチ10Hz割り込み要因フラグ			0	R/W			
	D4	FSW1	ストップウォッチ1Hz割り込み要因フラグ			0	R/W			
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ			0	R/W			
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ	(W) リセット	(W) 無効	0	R/W			
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ			0	R/W			
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ			0	R/W			
00FF25	D7	FPT1	プログラマブルタイマ1割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W			
	D6	FPT0	プログラマブルタイマ0割り込み要因フラグ			0	R/W			
	D5	FK1	K10割り込み要因フラグ			0	R/W			
	D4	FK0H	K04～K07割り込み要因フラグ			0	R/W			
	D3	FK0L	K00～K03割り込み要因フラグ	(W) リセット	(W) 無効	0	R/W			
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ			0	R/W			
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ			0	R/W			
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ			0	R/W			
00FF30	D7	—	—	—	—	—		読み出し時は 常時"0"		
	D6	—	—	—	—	—				
	D5	—	—	—	—	—				
	D4	MODE16	8/16ビットモード選択		16ビットx1	8ビットx2	0	R/W		
	D3	CHSEL	TOUT出力チャンネル選択		タイマ1	タイマ0	0	R/W		
	D2	PTOUT	TOUT出力制御		On	Off	0	R/W		
	D1	CKSEL1	プリスケアラ1原振クロック選択		fosc3	fosc1	0	R/W		
	D0	CKSEL0	プリスケアラ0原振クロック選択		fosc3	fosc1	0	R/W		
00FF31	D7	EVCNT	タイマ0カウンタモード選択		イベントカウンタ	タイマ	0	R/W		
	D6	FCSEL	機能選択	タイマモード時	パルス幅 測定	通常 モード	0	R/W		
				イベントカウンタモード時	ノイズリジ ェクタ付き	ノイズリジ ェクタなし				
	D5	PLPOL	タイマ0 パルス 極性選択	イベントカウンタモードの ダウンカウントタイミング	K10入力の 立ち上がり	K10入力の 立ち下がり	0	R/W		
				パルス幅測定モード時	K10入力の Highレベル 幅測定	K10入力の Lowレベル 幅測定				
	D4	PSC01	タイマ0プリスケアラ分周比選択					0		R/W
	D3	PSC00	PSC01	PSC00	プリスケアラ分周比			0		R/W
			1	1	原振クロック / 64					
			1	0	原振クロック / 16					
			0	1	原振クロック / 4					
			0	0	原振クロック / 1					
	D2	CONT0	タイマ0連続/ワンショットモード選択		連続	ワンショット	0	R/W		
	D1	PSET0	タイマ0プリセット		プリセット	無効	—	W		読み出し時は"0"
	D0	PRUN0	タイマ0 Run/Stop制御		Run	Stop	0	R/W		

表5.1.1(d) I/Oメモリマップ(00FF32H ~ 00FF36H)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF32	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	PSC11	タイマ1プリスケラ分周比選択 PSC11 PSC10 プリスケラ分周比			0	R/W	
			1 1 原振クロック / 64					
	D3	PSC10	1 0 原振クロック / 16			0	R/W	
			0 1 原振クロック / 4					
			0 0 原振クロック / 1					
	D2	CONT1	タイマ1連続/ワンショットモード選択	連続	ワンショット	0	R/W	
	D1	PSET1	タイマ1プリセット	プリセット	無効	—	W	読み出し時は"0"
	D0	PRUN1	タイマ1Run/Stop制御	Run	Stop	0	R/W	
00FF33	D7	RLD07	タイマ0リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RLD06	タイマ0リロードデータD6			1	R/W	
	D5	RLD05	タイマ0リロードデータD5			1	R/W	
	D4	RLD04	タイマ0リロードデータD4			1	R/W	
	D3	RLD03	タイマ0リロードデータD3			1	R/W	
	D2	RLD02	タイマ0リロードデータD2			1	R/W	
	D1	RLD01	タイマ0リロードデータD1			1	R/W	
	D0	RLD00	タイマ0リロードデータD0 (LSB)			1	R/W	
00FF34	D7	RLD17	タイマ1リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RLD16	タイマ1リロードデータD6			1	R/W	
	D5	RLD15	タイマ1リロードデータD5			1	R/W	
	D4	RLD14	タイマ1リロードデータD4			1	R/W	
	D3	RLD13	タイマ1リロードデータD3			1	R/W	
	D2	RLD12	タイマ1リロードデータD2			1	R/W	
	D1	RLD11	タイマ1リロードデータD1			1	R/W	
	D0	RLD10	タイマ1リロードデータD0 (LSB)			1	R/W	
00FF35	D7	PTD07	タイマ0カウンタデータD7 (MSB)	High	Low	1	R	
	D6	PTD06	タイマ0カウンタデータD6			1	R	
	D5	PTD05	タイマ0カウンタデータD5			1	R	
	D4	PTD04	タイマ0カウンタデータD4			1	R	
	D3	PTD03	タイマ0カウンタデータD3			1	R	
	D2	PTD02	タイマ0カウンタデータD2			1	R	
	D1	PTD01	タイマ0カウンタデータD1			1	R	
	D0	PTD00	タイマ0カウンタデータD0 (LSB)			1	R	
00FF36	D7	PTD17	タイマ1カウンタデータD7 (MSB)	High	Low	1	R	
	D6	PTD16	タイマ1カウンタデータD6			1	R	
	D5	PTD15	タイマ1カウンタデータD5			1	R	
	D4	PTD14	タイマ1カウンタデータD4			1	R	
	D3	PTD13	タイマ1カウンタデータD3			1	R	
	D2	PTD12	タイマ1カウンタデータD2			1	R	
	D1	PTD11	タイマ1カウンタデータD1			1	R	
	D0	PTD10	タイマ1カウンタデータD0 (LSB)			1	R	

表5.1.1(e) I/Oメモリマップ(00FF40H~00FF44H)

アドレス	ビット	名称	機 能				1	0	SR	R/W	注 釈	
00FF40	D7	—	—				—	—	—	—	読み出し時は"0"	
	D6	FOUT2	FOUT周波数選択						0	R/W		
			FOUT2	FOUT1	FOUT0	周波数						
			0	0	0	fosc1 / 1						
			0	0	1	fosc1 / 2						
			0	1	0	fosc1 / 4						
			0	1	1	fosc1 / 8						
			1	0	0	fosc3 / 1						
			1	0	1	fosc3 / 2						
	D4	FOUT0	1	1	0	fosc3 / 4						
1			1	1	fosc3 / 8							
D3	FOUTON	FOUT出力制御				On	Off	0	R/W			
D2	WDRST	ウォッチドッグタイマリセット				リセット	無効	—	W	読み出し時は		
D1	TMRST	計時タイマリセット				リセット	無効	—	W	常時"0"		
D0	TMRUN	計時タイマRun/Stop制御				Run	Stop	0	R/W			
00FF41	D7	TMD7	計時タイマデータ 1Hz				High	Low	0	R		
	D6	TMD6	計時タイマデータ 2Hz						0	R		
	D5	TMD5	計時タイマデータ 4Hz						0	R		
	D4	TMD4	計時タイマデータ 8Hz						0	R		
	D3	TMD3	計時タイマデータ 16Hz						0	R		
	D2	TMD2	計時タイマデータ 32Hz						0	R		
	D1	TMD1	計時タイマデータ 64Hz						0	R		
	D0	TMD0	計時タイマデータ 128Hz						0	R		
00FF42	D7	—	—				—	—	—	—	読み出し時は 常時"0"	
	D6	—	—				—	—	—	—		
	D5	—	—				—	—	—	—		
	D4	—	—				—	—	—	—		
	D3	—	—				—	—	—	—		
	D2	—	—				—	—	—	—		
	D1	SWRST	ストップウォッチタイマリセット				リセット	無効	—	W		
	D0	SWRUN	ストップウォッチタイマRun/Stop制御				Run	Stop	0	R/W		
00FF43	D7	SWD7	ストップウォッチタイマデータ						0	R		
	D6	SWD6							0	R		
	D5	SWD5	BCD (1/10sec)						0	R		
	D4	SWD4							0	R		
	D3	SWD3	ストップウォッチタイマデータ						0	R		
	D2	SWD2							0	R		
	D1	SWD1	BCD (1/100 sec)						0	R		
	D0	SWD0							0	R		
00FF44	D7	—	—				—	—	—	—	読み出し時は 常時"0"	
	D6	BZSTP	ワンショットブザー強制停止				強制停止	無効	—	W		
	D5	BZSHT	ワンショットブザートリガ/ステータス				R	Busy	Ready	0		R/W
							W	トリガ	無効			
	D4	SHTPW	ワンショットブザー時間幅選択				125msec	31.25msec	0	R/W		
	D3	ENRTM	エンベロープ減衰時間				1sec	0.5sec	0	R/W		
	D2	ENRST	エンベロープリセット				リセット	無効	—	W		読み出し時は"0"
	D1	ENON	エンベロープOn/Off制御				On	Off	0	R/W		*1
D0	BZON	ブザー出力制御				On	Off	0	R/W			

*1 ワンショット出力時、"0"にリセット

表5.1.1(f) I/Oメモリマップ(00FF45H ~ 00FF49H)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF45	D7	—	—	—	—	—		読み出し時は"0"
	D6	DUTY2	ブザー信号デューティ比選択 DUTY2-1 ブザー周波数(Hz) 2 1 0 4096.0 3276.8 2730.7 2340.6 2048.0 1638.4 1365.3 1170.3			0	R/W	
	D5	DUTY1	0 0 0 8/16 8/20 12/24 12/28 0 0 1 7/16 7/20 11/24 11/28 0 1 0 6/16 6/20 10/24 10/28 0 1 1 5/16 5/20 9/24 9/28			0	R/W	
	D4	DUTY0	1 0 0 4/16 4/20 8/24 8/28 1 0 1 3/16 3/20 7/24 7/28 1 1 0 2/16 2/20 6/24 6/28 1 1 1 1/16 1/20 5/24 5/28			0	R/W	
	D3	—	—	—	—	—		読み出し時は"0"
	D2	BZFAQ2	ブザー周波数選択 BZFAQ2 BZFAQ1 BZFAQ0 周波数(Hz) 0 0 0 4096.0			0	R/W	
	D1	BZFAQ1	0 0 1 3276.8 0 1 0 2730.7 0 1 1 2340.6 1 0 0 2048.0			0	R/W	
	D0	BZFAQ0	1 0 1 1638.4 1 1 0 1365.3 1 1 1 1170.3			0	R/W	
	D7	—	—	—	—	—		読み出し時は"0"
00FF48	D6	EPR	パリティイネーブルレジスタ	パリティ付き	パリティなし	0	R/W	調歩同期式のみ
	D5	PMD	パリティモード選択	奇数	偶数	0	R/W	
	D4	SCS1	クロック源選択 SCS1 SCS0 クロック源 1 1 プログラマブルタイマ			0	R/W	クロック同期式 スレープモード では外部クロック が選択される
	D3	SCS0	1 0 fosc3 / 4 0 1 fosc3 / 8 0 0 fosc3 / 16			0	R/W	
	D2	SMD1	シリアル/I/Fモード選択 SMD1 SMD0 モード 1 1 調歩同期式8ビット			0	R/W	
	D1	SMD0	1 0 調歩同期式7ビット 0 1 クロック同期式スレープ 0 0 クロック同期式マスタ			0	R/W	
	D0	ESIF	シリアル/I/Fイネーブルレジスタ	シリアル/I/F	I/Oポート	0	R/W	
	D7	—	—	—	—	—		読み出し時は"0"
00FF49	D6	FER	フレーミングエラーフラグ	R エラー W リセット(0)	エラーなし 無効	0	R/W	調歩同期式のみ
	D5	PER	パリティエラーフラグ	R エラー W リセット(0)	エラーなし 無効	0	R/W	
	D4	OER	オーバーランエラーフラグ	R エラー W リセット(0)	エラーなし 無効	0	R/W	
	D3	RXTRG	受信トリガ/ステータス	R 受信中 W トリガ	停止中 無効	0	R/W	
	D2	RXEN	受信許可	許可	禁止	0	R/W	
	D1	TXTRG	送信トリガ/ステータス	R 送信中 W トリガ	停止中 無効	0	R/W	
	D0	TXEN	送信許可	許可	禁止	0	R/W	

表5.1.1(g) I/Oメモリマップ(00FF4AH~00FF54H)

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF4A	D7	TRXD7	送受信データD7 (MSB)	High	Low	X	R/W	
	D6	TRXD6	送受信データD6			X	R/W	
	D5	TRXD5	送受信データD5			X	R/W	
	D4	TRXD4	送受信データD4			X	R/W	
	D3	TRXD3	送受信データD3			X	R/W	
	D2	TRXD2	送受信データD2			X	R/W	
	D1	TRXD1	送受信データD1			X	R/W	
	D0	TRXD0	送受信データD0 (LSB)			X	R/W	
00FF50	D7	SIK07	K07割り込み選択レジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D6	SIK06	K06割り込み選択レジスタ			0	R/W	
	D5	SIK05	K05割り込み選択レジスタ			0	R/W	
	D4	SIK04	K04割り込み選択レジスタ			0	R/W	
	D3	SIK03	K03割り込み選択レジスタ			0	R/W	
	D2	SIK02	K02割り込み選択レジスタ			0	R/W	
	D1	SIK01	K01割り込み選択レジスタ			0	R/W	
	D0	SIK00	K00割り込み選択レジスタ			0	R/W	
00FF51	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	SIK11	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D0	SIK10	K10割り込み選択レジスタ	割り込み許可	割り込み禁止	0	R/W	
00FF52	D7	KCP07	K07入力比較レジスタ	立ち下がり エッジで 割り込み 発生	立ち上がり エッジで 割り込み 発生	1	R/W	
	D6	KCP06	K06入力比較レジスタ			1	R/W	
	D5	KCP05	K05入力比較レジスタ			1	R/W	
	D4	KCP04	K04入力比較レジスタ			1	R/W	
	D3	KCP03	K03入力比較レジスタ			1	R/W	
	D2	KCP02	K02入力比較レジスタ			1	R/W	
	D1	KCP01	K01入力比較レジスタ			1	R/W	
	D0	KCP00	K00入力比較レジスタ			1	R/W	
00FF53	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	KCP11	汎用レジスタ	1	0	1	R/W	予約レジスタ
	D0	KCP10	K10入力比較レジスタ	立ち下がり	立ち上がり	1	R/W	
00FF54	D7	K07D	K07入力ポートデータ	Highレベル 入力	Lowレベル 入力	—	R	
	D6	K06D	K06入力ポートデータ			—	R	
	D5	K05D	K05入力ポートデータ			—	R	
	D4	K04D	K04入力ポートデータ			—	R	
	D3	K03D	K03入力ポートデータ			—	R	
	D2	K02D	K02入力ポートデータ			—	R	
	D1	K01D	K01入力ポートデータ			—	R	
	D0	K00D	K00入力ポートデータ			—	R	

表5.1.1(h) I/Oメモリマップ(00FF55H ~ 00FF72H)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF55	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	—	—	—	—	—		読み出し時は"1"
	D0	K10D	K10入力ポートデータ	Highレベル	Lowレベル	—	R	
00FF61	D7	IOC17	P17 I/Oコントロールレジスタ	出力	入力	0	R/W	
	D6	IOC16	P16 I/Oコントロールレジスタ			0	R/W	
	D5	IOC15	P15 I/Oコントロールレジスタ			0	R/W	
	D4	IOC14	P14 I/Oコントロールレジスタ			0	R/W	
	D3	IOC13	P13 I/Oコントロールレジスタ			0	R/W	
	D2	IOC12	P12 I/Oコントロールレジスタ			0	R/W	
	D1	IOC11	P11 I/Oコントロールレジスタ			0	R/W	
	D0	IOC10	P10 I/Oコントロールレジスタ			0	R/W	
00FF63	D7	P17D	P17 入出力兼用ポートデータ	High	Low	1	R/W	
	D6	P16D	P16 入出力兼用ポートデータ			1	R/W	
	D5	P15D	P15 入出力兼用ポートデータ			1	R/W	
	D4	P14D	P14 入出力兼用ポートデータ			1	R/W	
	D3	P13D	P13 入出力兼用ポートデータ			1	R/W	
	D2	P12D	P12 入出力兼用ポートデータ			1	R/W	
	D1	P11D	P11 入出力兼用ポートデータ			1	R/W	
	D0	P10D	P10 入出力兼用ポートデータ			1	R/W	
00FF70	D7	HZR51	R51ハイインピーダンス制御	Hi-Z	信号出力	0	R/W	
	D6	HZR50	R50ハイインピーダンス制御			0	R/W	
	D5	HZR4H	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D4	HZR4L	汎用レジスタ			0	R/W	
	D3	HZR1H	汎用レジスタ			0	R/W	
	D2	HZR1L	汎用レジスタ			0	R/W	
	D1	HZR0H	汎用レジスタ			0	R/W	
	D0	HZR0L	汎用レジスタ			0	R/W	
00FF71	D7	HZR27	R27ハイインピーダンス制御	Hi-Z	信号出力	0	R/W	
	D6	HZR26	R26ハイインピーダンス制御			0	R/W	
	D5	HZR25	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D4	HZR24	汎用レジスタ			0	R/W	
	D3	HZR23	汎用レジスタ			0	R/W	
	D2	HZR22	汎用レジスタ			0	R/W	
	D1	HZR21	汎用レジスタ			0	R/W	
	D0	HZR20	汎用レジスタ			0	R/W	
00FF72 *1	D7	HZR37	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D6	HZR36	汎用レジスタ			0	R/W	
	D5	HZR35	汎用レジスタ			0	R/W	
	D4	HZR34	R34ハイインピーダンス制御	1	0	0	R/W	予約レジスタ
	D3	HZR33	汎用レジスタ			0	R/W	
	D2	HZR32	汎用レジスタ			0	R/W	
	D1	HZR31	汎用レジスタ			0	R/W	
	D0	HZR30	汎用レジスタ			0	R/W	

*1 このアドレスはS1C88862には存在しません。

表5.1.1(i) I/Oメモリマップ(00FF75H~00FF78H)

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF75	D7	R27D	R27出力ポートデータ	High	Low	1	R/W	
	D6	R26D	R26出力ポートデータ			1 *1	R/W	
	D5	R25D	汎用レジスタ	1	0	1	R/W	予約レジスタ
	D4	R24D	汎用レジスタ			1	R/W	
	D3	R23D	汎用レジスタ			1	R/W	
	D2	R22D	汎用レジスタ			1	R/W	
	D1	R21D	汎用レジスタ			1	R/W	
	D0	R20D	汎用レジスタ			1	R/W	
00FF76 *2	D7	R37D	汎用レジスタ	1	0	1	R/W	予約レジスタ
	D6	R36D	汎用レジスタ			1	R/W	
	D5	R35D	汎用レジスタ			1	R/W	
	D4	R34D	R34出力ポートデータ	High	Low	1	R/W	
	D3	R33D	汎用レジスタ	1	0	1	R/W	予約レジスタ
	D2	R32D	汎用レジスタ			1	R/W	
	D1	R31D	汎用レジスタ			1	R/W	
	D0	R30D	汎用レジスタ			1	R/W	
00FF78	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	R51D	R51出力ポートデータ	High	Low	1	R/W	
	D0	R50D	R50出力ポートデータ			0	R/W	

*1 マスクオプションでTOUT出力選択時は"0"

*2 このアドレスはS1C88862には存在しません。

5.2 ウォッチドッグタイマ

5.2.1 ウォッチドッグタイマの構成

S1C88832/88862はOSC1発振回路を原振とするウォッチドッグタイマを内蔵しています。ウォッチドッグタイマはソフトウェアによって周期的にリセットする必要があり、3～4秒($f_{OSC1}=32.768\text{kHz}$ の場合)以上リセットが行われない場合、CPUに対してノンマスカブルインタラプトを発生します。

図5.2.1.1にウォッチドッグタイマのブロック図を示します。

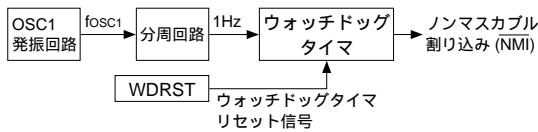


図5.2.1.1 ウォッチドッグタイマのブロック図

プログラムのメインルーチン上でウォッチドッグタイマのリセット処理をすることにより、メインルーチンのウォッチドッグタイマ処理を通らないようなプログラムの暴走を検出することができます。通常はこのルーチンを定期的に処理される箇所に組み込みます。

なお、ウォッチドッグタイマはHALT時も動作しており、HALT状態を3～4秒間続けるとCPUは例外処理に移行します。

SLEEP時はウォッチドッグタイマも停止します。

5.2.2 割り込み機能

ウォッチドッグタイマがソフトウェアによって周期的にリセットされない場合、ウォッチドッグタイマはコアCPUの $\overline{\text{NMI}}$ (レベル4)入力に対して割り込み信号を出力します。この割り込みはマスクが不可能で、他の割り込みに優先して例外処理が発生します。 $\overline{\text{NMI}}$ 例外処理の詳細については"S1C88 Core CPU Manual"を参照してください。本例外処理ベクタアドレスは、000004Hに設定されています。

5.2.3 ウォッチドッグタイマの制御方法

表5.2.3.1にウォッチドッグタイマの制御ビットを示します。

WDRST: 00FF40H-D2

ウォッチドッグタイマをリセットします。

"1"書き込み: ウォッチドッグタイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

WDRSTに"1"を書き込むことによりウォッチドッグタイマはリセットされ、その直後リスタートします。"0"の書き込みはノーオペレーションとなります。

WDRSTは書き込み専用のため、読み出し時は常時"0"となります。

5.2.4 プログラミング上の注意事項

- (1) ウォッチドッグタイマは、3秒周期以内に必ずソフトウェアでリセットをする必要があります。
- (2) NMI割り込み発生から2msec以内はSLP命令を実行しないでください。(fosc1=32.768kHzの場合)

表5.2.3.1 ウォッチドッグタイマの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF40	D7	—	—	—	—	—	—	読み出し時は"0"
	D6	FOUT2	FOUT周波数選択			0	R/W	S1C88862ではR/Wレジスタ機能のみ
	D5	FOUT1	FOUT2 FOUT1 FOUT0 周波数					
			0 0 0 fosc1 / 1					
			0 0 1 fosc1 / 2			0	R/W	
			0 1 0 fosc1 / 4					
	D4	FOUT0	0 1 1 fosc1 / 8					
			1 0 0 fosc3 / 1					
			1 0 1 fosc3 / 2			0	R/W	
			1 1 0 fosc3 / 4					
			1 1 1 fosc3 / 8					
	D3	FOUTON	FOUT出力制御	On	Off	0	R/W	
	D2	WDRST	ウォッチドッグタイマリセット	リセット	無効	—	W	読み出し時は
	D1	TMRST	計時タイマリセット	リセット	無効	—	W	常時"0"
	D0	TMRUN	計時タイマRun/Stop制御	Run	Stop	0	R/W	

5.3 発振回路と動作モード

5.3.1 発振回路の構成

S1C88832/88862は2種類の発振回路(OSC1およびOSC3)を内蔵したツインクロック仕様となっています。OSC1発振回路は32.768kHz(Typ.)のメインクロックを、OSC3発振回路はCPUや一部の周辺回路(出力ポート、シリアルインタフェース、プログラマブルタイマ)を高速動作させる場合のサブクロックを発生します。

図5.3.1.1に発振回路の構成を示します。

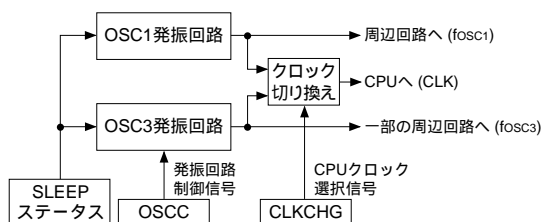


図5.3.1.1 発振回路の構成

イニシャルリセット時、CPUの動作クロックにはOSC1発振回路が選択され、OSC3発振回路は停止状態となります。

OSC3発振回路のON/OFFとシステムクロックの切り換え(OSC1 \leftrightarrow OSC3)はソフトウェアによって制御できます。OSC3発振回路はCPUや一部の周辺回路の高速動作が必要な場合に使用します。それ以外の場合は消費電流を低減させるためにOSC3発振を停止させ、OSC1を動作クロックとして使用してください。

5.3.2 マスクオプション

OSC1発振回路

- 水晶発振回路
- 外部クロック入力
- CR発振回路
- 水晶発振回路(ゲート容量内蔵)

OSC3発振回路

- 水晶発振回路
- セラミック発振回路
- CR発振回路
- 外部クロック入力

OSC1発振回路の種類としては水晶発振、CR発振、水晶発振(ゲート容量内蔵)、または外部クロック入力のいずれかがマスクオプションで選択できます。OSC3発振回路の種類としては水晶発振、セラミック発振、CR発振、または外部クロック入力のいずれかがOSC1同様にマスクオプションで選択できます。

5.3.3 OSC1発振回路

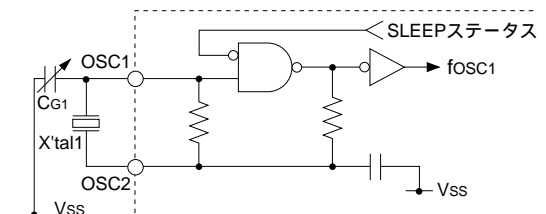
OSC1発振回路は32.768kHz(Typ.)のシステムクロックを発生します。

OSC1発振クロックはCPUおよび周辺回路の低速(低消費電力)動作時のシステムクロックとして使用されます。また、OSC3をシステムクロックとして使用する場合にも、計時タイマやストップウォッチタイマの原振として使用されます。

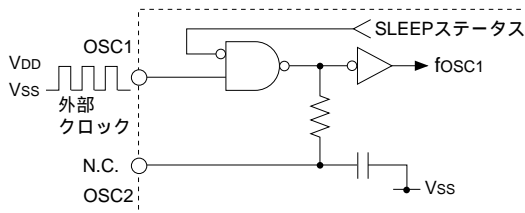
本発振回路は、SLP命令実行時に発振停止状態となります。ただし、SLP命令実行時点でSVD回路("5.13 電源電圧検出回路"参照)が動作中である場合は、サンプリングの完了に同期して発振が停止します。

発振回路の種類としては、水晶発振、CR発振、水晶発振(ゲート容量内蔵)、または外部クロック入力のいずれかがマスクオプションで選択できます。

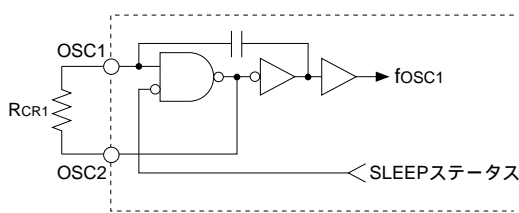
図5.3.3.1にOSC1発振回路の構造を示します。



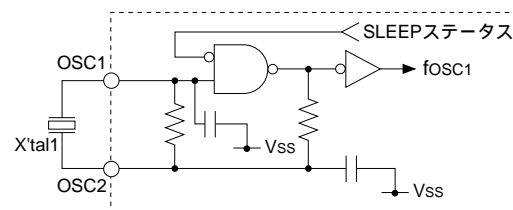
(1) 水晶発振回路



(2) 外部クロック入力



(3) CR発振回路



(4) 水晶発振回路(ゲート容量内蔵)

図5.3.3.1 OSC1発振回路

水晶発振回路を選択した場合は、OSC1端子とOSC2端子間に水晶振動子X'tal 1(Typ. 32.768kHz)を、OSC1端子とV_{SS}間にトリマキャパシタC_{G1}(5 ~ 25pF)をそれぞれ接続することにより、容易に水晶発振回路を構成することができます。また、オプションでゲート容量C_{G1}(5pF)を内蔵することができます。

CR発振回路を選択した場合はOSC1端子とOSC2端子間に抵抗(R_{CR1})を接続します。

外部クロックを選択した場合はOSC2端子を開放し、OSC1端子に矩形波のクロックを入力して使用します。

5.3.4 OSC3発振回路

OSC3発振回路はCPUや一部の周辺回路(出力ポート、シリアルインタフェース、プログラマブルタイマ)を高速動作させる場合のシステムクロックを発生します。

本発振回路はSLP命令実行時、またはレジスタOSCCに"0"設定時に発振停止状態となります。

発振回路の種類としては水晶発振、セラミック発振、CR発振、または外部クロック入力のいずれかがマスクオプションで選択できます。

図5.3.4.1にOSC3発振回路の構造を示します。

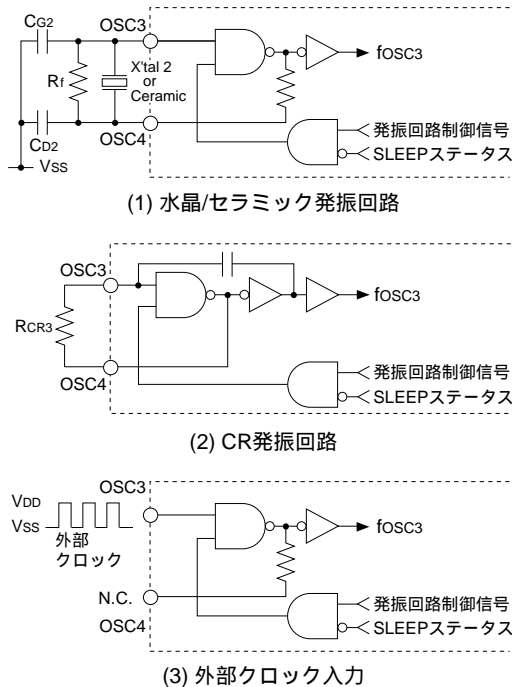


図5.3.4.1 OSC3発振回路

水晶/セラミック発振回路を選択した場合は、OSC3端子とOSC4端子間に水晶振動子(X'tal 2)またはセラミック振動子(Ceramic)と帰還抵抗(R_f)を、同OSC3、OSC4端子とV_{SS}間にキャパシタを2個(C_{G2}、C_{D2})それぞれ接続することで水晶またはセラミック発振回路を構成できます。

CR発振を選択した場合はOSC3端子とOSC4端子間に抵抗(R_{CR3})を接続するだけでCR発振回路を構成できます。

外部クロックを選択した場合はOSC4端子を開放し、OSC3端子に矩形波のクロックを入力して使用します。

5.3.5 動作モード

S1C88832/88862は幅広い動作電圧において安定した動作と良好な特性(動作周波数、消費電流)を得るため、3種類の動作モードをソフトウェアで選択することができます。以下にそれぞれのモードの特徴を示します。

通常モード (V_{DD}=2.4V ~ 5.5V)

本モードはイニシャルリセット後に設定されるモードです。OSC3発振回路(Max. 4.2MHz)が使用でき、かつ比較的低パワー動作が可能なモードです。

低パワーモード (V_{DD}=1.8V ~ 3.5V)

本モードは通常モードよりさらに低パワーなモードです。OSC3発振回路は使用できませんが、OSC1発振回路での動作により超低パワーが実現できます。

高速モード (V_{DD}=3.5V ~ 5.5V)

本モードは通常モードよりさらに高速な動作が可能なモードです。OSC3発振回路(Max. 8.2MHz)が使用できるため、4.2MHz以上の動作が必要な場合に本モードを使用します。ただし、消費電流は通常モードに比べ増加します。

以上3種類のモードを状況に応じソフトウェアで切り換えることによって、低パワーなシステムを実現することができます。たとえば、OSC3をCPUクロックとして使用する場合は通常モード、逆にOSC1をCPUクロックとして使用する場合(OSC3発振回路はOFF)は低パワーモードと切り換えることで、消費電流が低減できます。

注! 低パワーモードではOSC3発振回路をONさせないでください。

OSC3発振回路がONしている状態での動作モードの切り換え(通常モード↔高速モード)は誤動作につながりますので行わないでください。

動作電圧の関係上、1つのアプリケーションで低パワーモードと高速モードの2つのモードを使用することはできません。

5.3.6 CPUクロックの切り換え

OSC1とOSC3のどちらをCPUのシステムクロックとして使用するかを、ソフトウェアによって切り換えることができます。

OSC1でCPUが動作している間は、OSC3発振回路をOFFさせることでパワーセーブが実現できます。

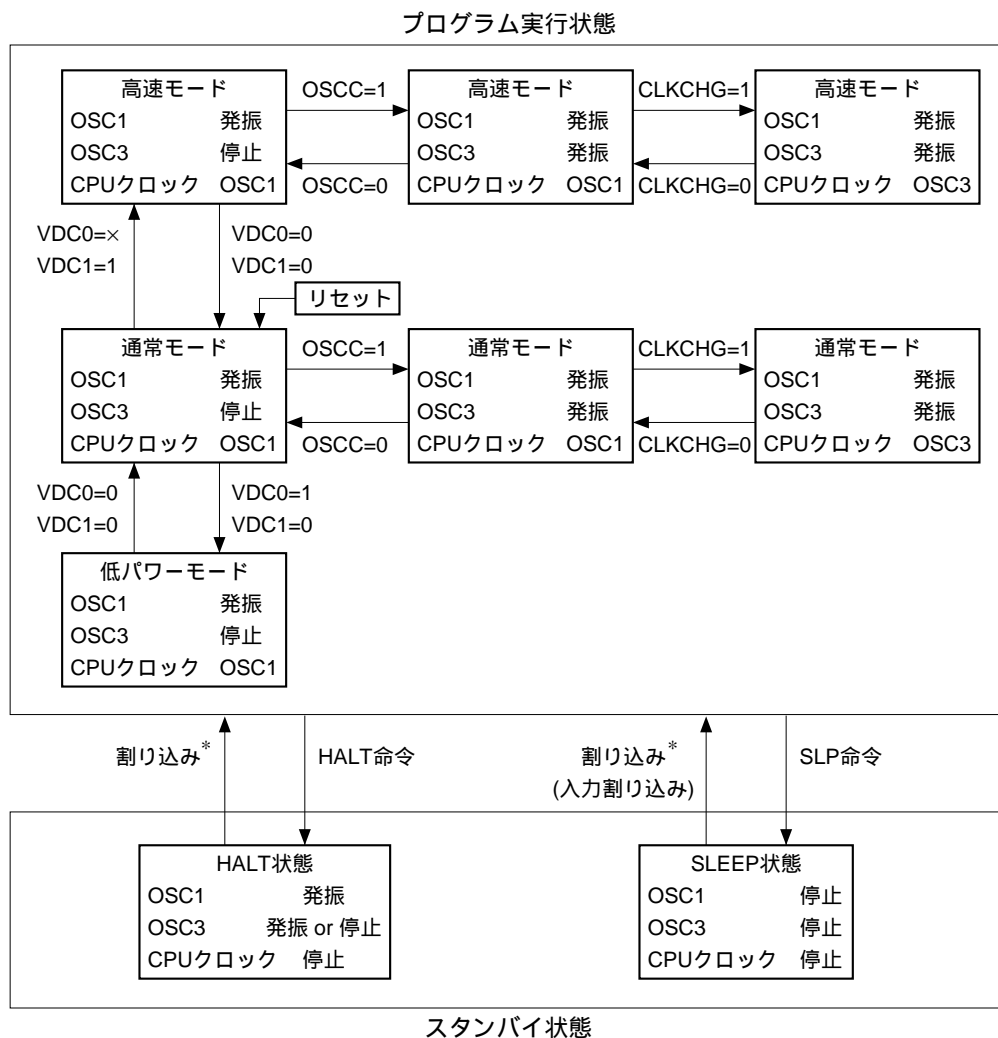
OSC3での動作が必要な場合にOSC3発振回路をONさせ、システムクロックを切り換えることで高速動作が実現できます。この場合、OSC3発振回路をONにしてから発振が安定するまでに数100 μ sec～数10msecの時間を必要としますので、その時間が経過した後にはクロックの切り換えを行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電氣的特性"に発振開始時間の一例を示しますので参照してください。)

OSC3からOSC1に切り換える場合は、クロック切り換えの直後にOSC3発振回路をOFFしてください。

基本的なクロック切り換えの方法は以上ですが、低消費電力化と高速動作を実現するためには動作モードの切り換えも併せて行う必要があります。

図5.3.6.1に動作モードとクロック切り換えの状態遷移図を示します。

注! 動作モード切り換え後にOSC3発振回路をONさせる場合は、5msec以上の待ち時間をおいでください。



* スタンバイ状態からの復帰先は、スタンバイ状態へ遷移する以前のプログラム実行状態となります。

図5.3.6.1 動作モードとクロック切り換えの状態遷移図

5.3.7 発振回路と動作モードの制御方法

表5.3.7.1に発振回路と動作モードの制御ビットを示します。

表5.3.7.1 発振回路と動作モードの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF02	D7	EBR	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D6	WT2	汎用レジスタ			0	R/W	
	D5	WT1	汎用レジスタ			0	R/W	
	D4	WT0	汎用レジスタ			0	R/W	
	D3	CLKCHG	CPU動作クロック切り換え	OSC3	OSC1	0	R/W	
	D2	OSCC	OSC3発振On/Off制御	On	Off	0	R/W	
	D1	VDC1	動作モード選択			0	R/W	
			VDC1 VDC0 動作モード					
			1 × 高速モード (VD1 = 3.3V)					
			0 1 低パワーモード (VD1 = 1.3V)					
			0 0 通常モード (VD1 = 2.2V)			0	R/W	
	D0	VDC0						

VDC1, VDC0: 00FF02H・D1, D0

電源電圧および動作周波数にしたがって動作モードを選択します。レジスタの設定値と動作モードの対応を表5.3.7.2に示します。

表5.3.7.2 レジスタの設定値と動作モードの対応

動作モード	VDC1	VDC0	VD1	電源電圧	動作周波数
通常モード	0	0	2.2V	2.4~5.5V	4.2MHz (Max.)
低パワーモード	0	1	1.3V	1.8~3.5V	80kHz (Max.)
高速モード	1	×	3.3V	3.5~5.5V	8.2MHz (Max.)

* VD1電圧はVssを基準(GND)とした値です。

イニシャルリセット時、本レジスタは"0"(通常モード)に設定されます。

OSCC: 00FF02H・D2

OSC3発振回路の発振ON、OFFを制御します。

"1"書き込み: OSC3発振ON

"0"書き込み: OSC3発振OFF

読み出し: 可能

CPUや一部の周辺回路(出力ポート、シリアルインタフェース、プログラマブルタイマ)を高速動作させる必要のある場合にOSCCを"1"とし、それ以外の場合は、低消費電力化のため"0"としてください。

イニシャルリセット時、OSCCは"0"(OSC3発振OFF)に設定されます。

CLKCHG: 00FF02H・D3

CPUの動作クロックを選択します。

"1"書き込み: OSC3クロック

"0"書き込み: OSC1クロック

読み出し: 可能

CPUの動作クロックはCLKCHGに"1"を設定した場合OSC3、"0"を設定した場合OSC1となります。イニシャルリセット時、CLKCHGは"0"(OSC1クロック)に設定されます。

5.3.8 プログラミング上の注意事項

- (1) CPUの高速動作を必要としない場合は低消費電力化のため、以下に示す設定内容にしたがって周辺回路を動作させてください。

• CPU動作クロック OSC1

• OSC3発振回路 OFF

(一部の周辺回路に対してOSC3クロックが必要ない場合)

• 動作モード 低パワーモード

(VDD-Vssが3.5V以下の場合)

または、通常モード

(VDD-Vssが3.5V以上の場合)

- (2) 低パワーモードではOSC3発振回路をONさせないでください。また、OSC3発振回路がONしている状態での動作モードの切り換え(通常モード↔高速モード)は誤動作につながりますので行わないでください。

- (3) 動作モード切り換え後にOSC3発振回路をONさせる場合は、5msec以上の待ち時間をおいてください。

- (4) OSC3発振回路をONにしてから発振が安定するまでに、数100μsec ~ 数10msecの時間を必要とします。したがって、CPUの動作クロック切り換え(OSC1→OSC3)はOSC3発振ONの後、十分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)

- (5) OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々の命令で行ってください。1命令で同時に処理すると、CPUの誤動作につながります。

5.4 入力ポート (Kポート)

5.4.1 入力ポートの構成

S1C88832/88862は9ビット(K00～K07、K10)の入力ポートを内蔵しており、これらのポートはすべて割り込み機能を持つ汎用入力ポート端子として使用できます。

K10入力ポート端子はプログラブルタイマ(イベントカウンタ)の外部クロック(EVIN)入力端子も兼ねており、入力ポート機能はそのままに入力信号が共有されます。("5.10 プログラブルタイマ"参照)

各入力ポートにはプルアップ抵抗が内蔵されており、マスクオプションでこれを使用するかしないかを各入力ポートごとに選択できます。

図5.4.1.1に入力ポートの構造を示します。

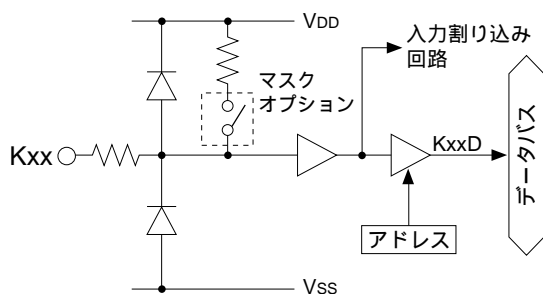


図5.4.1.1 入力ポートの構造

各入力ポート端子は3ステートバッファを通して直接データバスに接続されており、入力ポート読み出し時点での入力信号の状態がそのままデータとして読み込まれます。

5.4.2 マスクオプション

入力ポートプルアップ抵抗

K00	抵抗あり	ゲート直接
K01	抵抗あり	ゲート直接
K02	抵抗あり	ゲート直接
K03	抵抗あり	ゲート直接
K04	抵抗あり	ゲート直接
K05	抵抗あり	ゲート直接
K06	抵抗あり	ゲート直接
K07	抵抗あり	ゲート直接
K10	抵抗あり	ゲート直接

入力ポートK00～K07、K10にはプルアップ抵抗が内蔵されており、マスクオプションでこれを使用するかしないかを各ポート(1ビット)ごとに選択できます。

"抵抗あり"はプッシュスイッチ、キーマトリクス等の入力に適当です。

内蔵プルアップ抵抗によって、入力端子をLOWレベルからHIGHレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入力ポートの取り込みには適切な待ち時間の設定が必要となります。これについては特に、キーマトリクス構成時のキースキャン等に注意が必要です。待ち時間は以下の式で求められる値以上を設定してください。

待ち時間 = $R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6 [\text{sec}]$

R_{IN} : プルアップ抵抗Max.値

C_{IN} : 端子容量Max.値

"ゲート直接"を選択した場合は、プルアップ抵抗が切り離され、スライドスイッチ入力、他LSIとのインタフェースなどに適当となります。この場合は、入力にフローティング状態が発生しないよう注意してください。

使用しない入力ポートについてはデフォルトの"抵抗あり"を選択してください。

5.4.3 割り込み機能と入力比較レジスタ

入力ポートK00～K07、K10は、すべて割り込み機能を持っています。

入力ポートはK00～K03(K0L)、K04～K07(K0H)、K10(K1)の3系統に分けられ、それぞれの端子系列ごとに割り込み発生条件をソフトウェアで設定することができます。

各端子系列ごとに設定した割り込み発生条件が成立すると、それぞれに対応した割り込み要因フラグFK0L、FK0H、FK1が"1"にセットされ、割り込みが発生します。

各割り込み要因フラグに対応した割り込みイネーブルレジスタEK0L、EK0H、EK1の設定により、割り込みを禁止することもできます。

また、CPUに対する入力割り込みの優先レベルをK0x(K00～K07)、K1x(K10)の2つに対応する割り込みプライオリティレジスタPK00～PK01、PK10～PK11によって、それぞれ任意のレベル(0～3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については"5.14 割り込みとスタンバイ状態"を参照してください。

各割り込み要因の例外処理ベクタは、それぞれ以下のとおり設定されています。

K10入力割り込み: 00000AH
K04～K07入力割り込み: 00000CH
K00～K03入力割り込み: 00000EH

図5.4.3.1に入力割り込み回路の構成を示します。

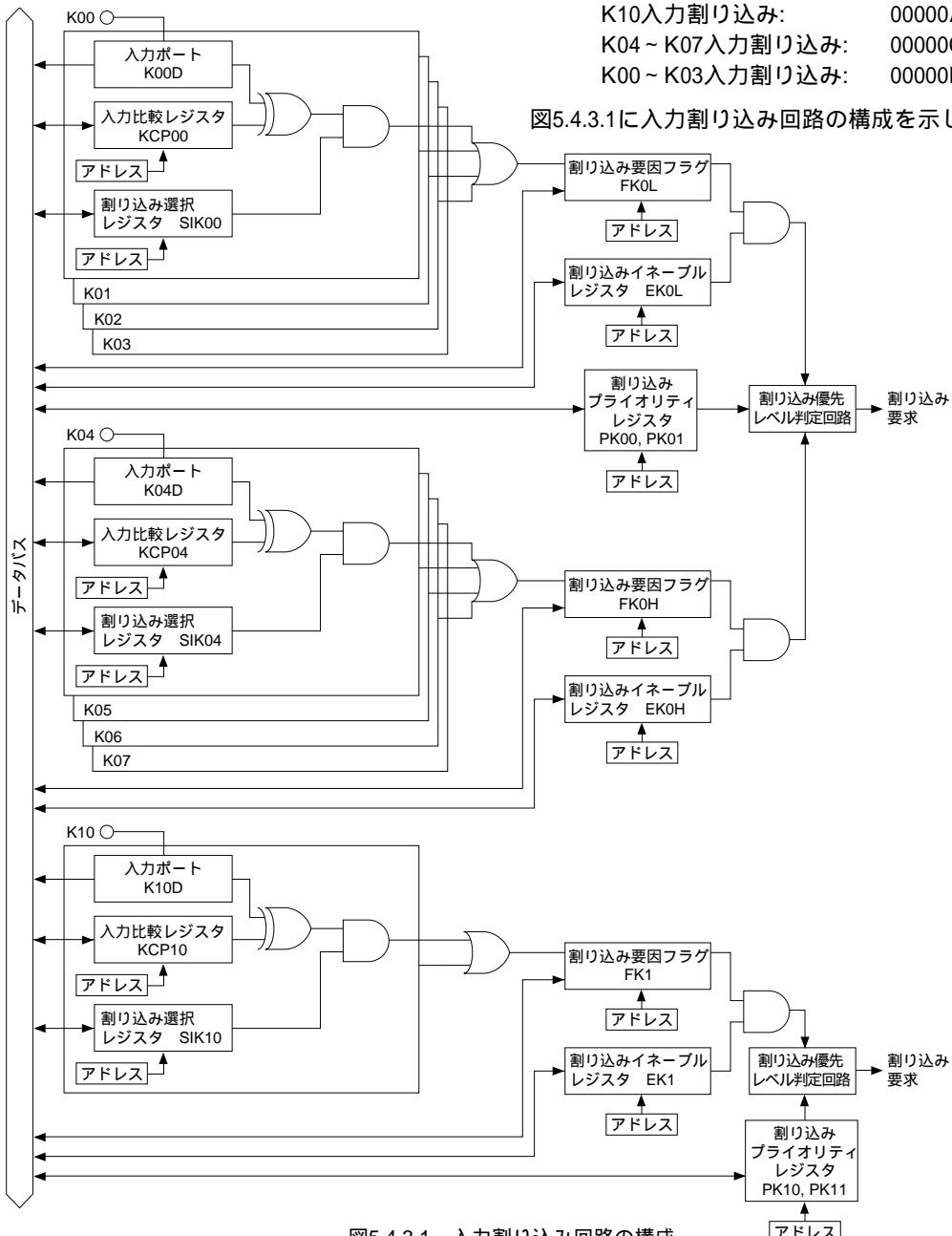


図5.4.3.1 入力割り込み回路の構成

各入力ポートの割り込み選択レジスタSIK00～SIK03、SIK04～SIK07、SIK10と入力比較レジスタKCP00～KCP03、KCP04～KCP07、KCP10は、前記割り込み条件を設定するのに使用します。

割り込み選択レジスタSIKの設定によって、その入力ポートの割り込みを許可、または禁止することができます。割り込みイネーブルレジスタEKが端子系列ごとの割り込み要因をマスクするのに対し、割り込み選択レジスタSIKはビット単位でのマスク設定を行います。

入力比較レジスタKCPは、各入力ポートの割り込みを入力の上立ち上がりエッジで発生させるか、立ち下がりエッジで発生させるかを選択します。

割り込み選択レジスタSIKによって割り込みが許可されている入力端子と入力比較レジスタKCPとの内容に一致状態から不一致状態の変化が生じたとき、割り込み要因フラグFKが"1"にセットされ、割り込みが発生します。

図5.4.3.2に端子系列K0L(K00～K03)の割り込み発生例を示します。

K00は割り込み選択レジスタSIK00によって割り込みが禁止されているため、(2)の時点では割り込みは発生しません。

次に(3)でK03が"0"になるため、割り込みが許可されている入力端子K01～K03のデータと入力比較レジスタKCP01～KCP03のデータとの不一致により割り込みが発生します。

前述のとおり、入力データと入力比較レジスタKCPの内容が一致状態から不一致状態に変化することが割り込み発生条件となるため、(4)のように不一致状態から、別の不一致状態に変化しても割り込みは発生しません。したがって、割り込み発生後に再度割り込みを発生させる場合は、入力端子の状態を一度入力比較レジスタKCPと同じ内容に戻すか、入力比較レジスタKCPを再設定する必要があります。なお、割り込みが禁止されている入力端子については割り込み発生条件に影響を与えません。

端子系列K0H(K04～K07)およびK1(K10)についても同様に割り込みが発生します。

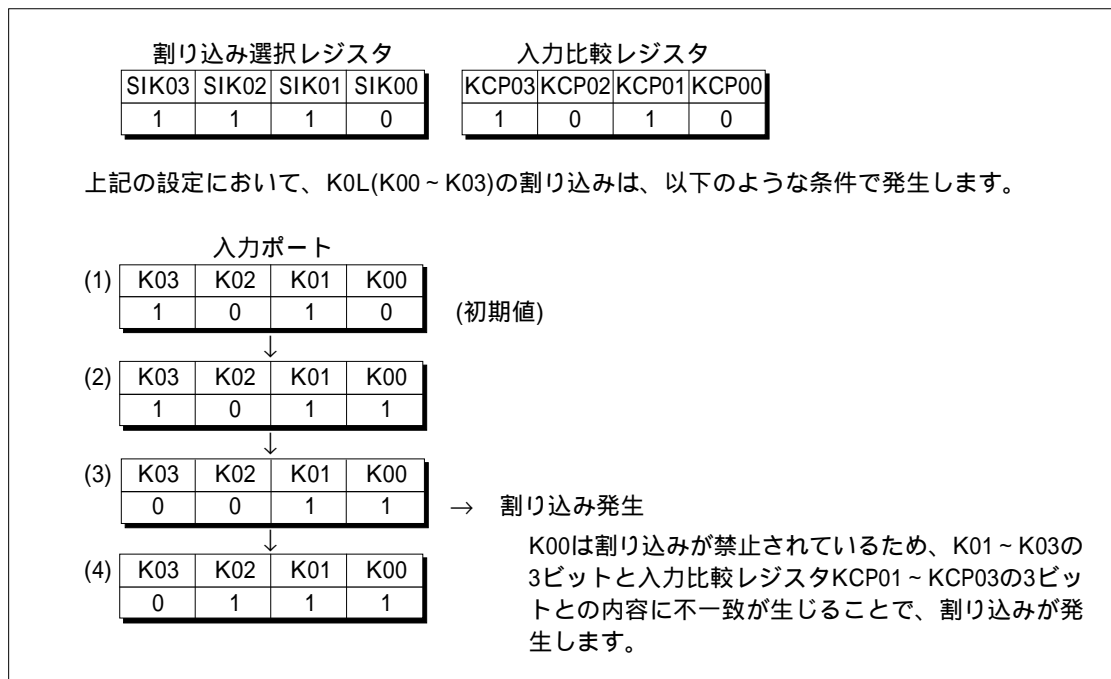


図5.4.3.2 K0L(K00～K03)割り込み発生例

5.4.4 入力ポートの制御方法

表5.4.4.1に入力ポートの制御ビットを示します。

表5.4.4.1(a) 入力ポートの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF50	D7	SIK07	K07割り込み選択レジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D6	SIK06	K06割り込み選択レジスタ			0	R/W	
	D5	SIK05	K05割り込み選択レジスタ			0	R/W	
	D4	SIK04	K04割り込み選択レジスタ			0	R/W	
	D3	SIK03	K03割り込み選択レジスタ			0	R/W	
	D2	SIK02	K02割り込み選択レジスタ			0	R/W	
	D1	SIK01	K01割り込み選択レジスタ			0	R/W	
	D0	SIK00	K00割り込み選択レジスタ			0	R/W	
00FF51	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	SIK11	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D0	SIK10	K10割り込み選択レジスタ	割り込み許可	割り込み禁止	0	R/W	
00FF52	D7	KCP07	K07入力比較レジスタ	立ち下がり エッジで 割り込み 発生	立ち上がり エッジで 割り込み 発生	1	R/W	
	D6	KCP06	K06入力比較レジスタ			1	R/W	
	D5	KCP05	K05入力比較レジスタ			1	R/W	
	D4	KCP04	K04入力比較レジスタ			1	R/W	
	D3	KCP03	K03入力比較レジスタ			1	R/W	
	D2	KCP02	K02入力比較レジスタ			1	R/W	
	D1	KCP01	K01入力比較レジスタ			1	R/W	
	D0	KCP00	K00入力比較レジスタ			1	R/W	
00FF53	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	KCP11	汎用レジスタ	1	0	1	R/W	予約レジスタ
	D0	KCP10	K10入力比較レジスタ	立ち下がり	立ち上がり	1	R/W	
00FF54	D7	K07D	K07入力ポートデータ	Highレベル 入力	Lowレベル 入力	—	R	
	D6	K06D	K06入力ポートデータ			—	R	
	D5	K05D	K05入力ポートデータ			—	R	
	D4	K04D	K04入力ポートデータ			—	R	
	D3	K03D	K03入力ポートデータ			—	R	
	D2	K02D	K02入力ポートデータ			—	R	
	D1	K01D	K01入力ポートデータ			—	R	
	D0	K00D	K00入力ポートデータ			—	R	
00FF55	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	—	—	—	—	—		読み出し時は"1"
	D0	K10D	K10入力ポートデータ	Highレベル	Lowレベル	—	R	

表5.4.4.1(b) 入力ポートの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF20	D7	PK01	K00 ~ K07割り込み	PK01 PK00 PSIF1 PSIF0 PSW1 PSW0 優先 PTM1 PTM0 レベル 1 1 レベル3 1 0 レベル2 0 1 レベル1 0 0 レベル0		0	R/W	
	D6	PK00	プライオリティレジスタ			0	R/W	
	D5	PSIF1	シリアルインタフェース割り込み			0	R/W	
	D4	PSIF0	プライオリティレジスタ			0	R/W	
	D3	PSW1	ストップウォッチタイマ割り込み			0	R/W	
	D2	PSW0	プライオリティレジスタ			0	R/W	
	D1	PTM1	計時タイマ割り込み			0	R/W	
	D0	PTM0	プライオリティレジスタ			0	R/W	
00FF21	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	PPT1	プログラマブルタイマ割り込み	PPT1	PPT0 優先 PK11 PK10 レベル	0	R/W	
	D2	PPT0	プライオリティレジスタ	1	1	0	R/W	
	D1	PK11	K10割り込み	1	0	0	R/W	
	D0	PK10	プライオリティレジスタ	0	1	0	R/W	
00FF23	D7	EPT1	プログラマブルタイマ1割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D6	EPT0	プログラマブルタイマ0割り込みイネーブルレジスタ			0	R/W	
	D5	EK1	K10割り込みイネーブルレジスタ			0	R/W	
	D4	EK0H	K04 ~ K07割り込みイネーブルレジスタ			0	R/W	
	D3	EK0L	K00 ~ K03割り込みイネーブルレジスタ			0	R/W	
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブルレジスタ			0	R/W	
	D1	ESREC	シリアルI/F(受信)割り込みイネーブルレジスタ			0	R/W	
	D0	ESTRA	シリアルI/F(送信)割り込みイネーブルレジスタ			0	R/W	
00FF25	D7	FPT1	プログラマブルタイマ1割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W	
	D6	FPT0	プログラマブルタイマ0割り込み要因フラグ			0	R/W	
	D5	FK1	K10割り込み要因フラグ			0	R/W	
	D4	FK0H	K04 ~ K07割り込み要因フラグ			0	R/W	
	D3	FK0L	K00 ~ K03割り込み要因フラグ			0	R/W	
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ	(W) リセット	(W) 無効	0	R/W	
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ			0	R/W	
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ			0	R/W	

K00D~K07D: 00FF54H**K10D: 00FF55H-D0**

Kxx入力ポート端子の入力データが読み出せます。

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

書き込み: 無効

入力ポートK00 ~ K07、K10の端子電圧がそれぞれHIGH(V_{DD})レベルのとき"1"、LOW(V_{SS})レベルのとき"0"として直接読み出せます。

本ビットは読み出し専用のため、書き込み動作は無効となります。

SIK00~SIK07: 00FF50H**SIK10: 00FF51H-D0**

K00 ~ K07、K10入力ポート端子の割り込み発生条件(割り込み許可/禁止)を設定します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

SIKxxは各入力ポートKxxに対応する割り込み選択レジスタで、"1"に設定した入力ポートの割り込みが許可され、"0"に設定した入力ポートの割り込みが禁止されます。割り込み禁止に設定した入力端子の状態変化は、割り込みの発生に影響を与えません。

イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

KCP00~KCP07: 00FF52H**KCP10: 00FF53H-D0**

K00~K07、K10入力ポート端子の割り込み発生条件(割り込み発生タイミング)を設定します。

"1"書き込み: 立ち下がりエッジ

"0"書き込み: 立ち上がりエッジ

読み出し: 可能

KCPxxは各入力ポートKxxに対応する入力比較レジスタで、"1"に設定した入力ポートの割り込みは入力の立ち下がりエッジで、"0"に設定した入力ポートの割り込みは入力の立ち上がりエッジでそれぞれ発生します。

イニシャルリセット時、本レジスタはすべて"1"(立ち下がりエッジ)に設定されます。

PK00, PK01: 00FF20H-D6, D7**PK10, PK11: 00FF21H-D0, D1**

入力割り込みの優先レベルを設定します。

PK00、PK01の2ビットはK00~K07(K0LおよびK0H)の割り込みに対応した割り込みプライオリティレジスタで、PK10、PK11の2ビットは同様にK10(K1)に対応しています。

本レジスタによって設定できる割り込み優先レベルは表5.4.4.2のとおりです。

表5.4.4.2 割り込み優先レベルの設定

PK11 PK01	PK10 PK00	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

EK0L, EK0H, EK1: 00FF23H-D3, D4, D5

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

EK0LはK00~K03、EK0HはK04~K07、EK1はK10にそれぞれ対応する割り込みイネーブルレジスタで、"1"に設定した端子系列の割り込みが許可され、"0"に設定した端子系列の割り込みが禁止されます。

イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

FK0L, FK0H, FK1: 00FF25H-D3, D4, D5

入力割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

FK0LはK00~K03、FK0HはK04~K07、FK1はK10にそれぞれ対応する割り込み要因フラグで、割り込み発生条件の成立により"1"にセットされます。このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、本フラグはすべて"0"にリセットされます。

5.4.5 プログラミング上の注意事項

内蔵ブルアップ抵抗によって、入力端子をLOWレベルからHIGHレベルに変化させる場合、ブルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入力ポートの取り込みには適切な待ち時間の設定が必要となります。特に、キーマトリクス構成時のキースキャン等に注意が必要です。

待ち時間は以下の式で求められる値以上を設定してください。

待ち時間 = $R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6 [\text{sec}]$

R_{IN} : ブルアップ抵抗Max.値

C_{IN} : 端子容量Max.値

5.5 出力ポート (Rポート)

5.5.1 出力ポートの構成

S1C88832は5ビット(R26、R27、R34、R50、R51)、S1C88862は4ビット(R26、R27、R50、R51)の出力ポートをそれぞれ内蔵しています。

図5.5.1.1に出力ポートの基本構造(特殊出力回路を除く)を示します。各ポートの出力仕様はコンプリメンタリ出力に固定されています。

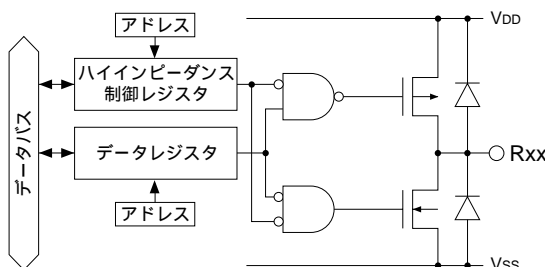


図5.5.1.1 出力ポートの構成

各出力ポートはソフトウェアによってハイインピーダンス制御が可能です。

また、各出力ポートは通常のDC出力のほかに特殊出力機能を持っており、R27、R34(S1C88832のみ)およびR50はソフトウェアによって、R26とR51はマスクオプションによってどちらを使用するかを選択することができます。

5.5.2 マスクオプション

出力ポートR26、R51出力仕様		
R26	DC出力	TOUT出力
R51	DC出力	BZ出力

R26ポートとR51ポートは、それぞれ汎用DC出力として使用するか、あるいは特殊出力として使用するかをマスクオプションで選択することができます。これにより、R26ポートをTOUT出力(TOUT反転出力)、R51ポートをBZ出力(ブザー反転信号出力)に設定できます。

5.5.3 ハイインピーダンス制御

各出力ポートはソフトウェアによってハイインピーダンス制御が可能です。

各出力ポートにはハイインピーダンス制御レジスタが設けられており、このレジスタによってコンプリメンタリ出力、またはハイインピーダンス状態のいずれかが選択できます。

HZR26: R26ハイインピーダンス制御レジスタ
 HZR27: R27ハイインピーダンス制御レジスタ
 HZR34: R34ハイインピーダンス制御レジスタ *
 HZR50: R50ハイインピーダンス制御レジスタ
 HZR51: R51ハイインピーダンス制御レジスタ

* S1C88832のみ

ハイインピーダンス制御レジスタHZRxxに"1"を設定すると対応する出力ポート端子がハイインピーダンス状態となり、"0"を設定するとコンプリメンタリ出力となります。この制御は特殊出力を選択している場合にも有効です。

5.5.4 DC出力

図5.5.1.1に示すように、出力ポートのデータレジスタに"1"を書き込むと出力端子がHIGH(VDD)レベルとなり、"0"を書き込むとLOW(VSS)レベルとなります。

出力がハイインピーダンス状態の場合にデータレジスタに書き込まれたデータは、出力をコンプリメンタリに切り換えた時点で端子から出力されます。

5.5.5 特殊出力

各出力ポートは通常のDC出力の他に表5.5.5.1に示す特殊出力をソフトウェア(R27、R34*、R50)またはマスクオプション(R26、R51)によって選択することができます。

表5.5.5.1 特殊出力ポート

出力ポート	特殊出力
R26	TOUT出力(マスクオプション)
R27	TOUT出力(ソフトウェア選択)
R34*	FOUT出力(ソフトウェア選択)
R50	BZ出力(ソフトウェア選択)
R51	BZ出力(マスクオプション)

* R34(FOUT出力)はS1C88832のみ

TOUT出力(R27), $\overline{\text{TOUT}}$ 出力(R26)

S1C88832/88862は外部デバイスに対してクロックを供給する場合などのために、TOUT信号(プログラマブルタイマの出力クロック)をR27出力ポート端子から出力させることができます。また、マスクオプションの選択により、R26出力ポート端子から $\overline{\text{TOUT}}$ 信号(TOUT反転信号)を出力させることができます。

出力ポートR26、R27の構成を図5.5.5.1に示します。

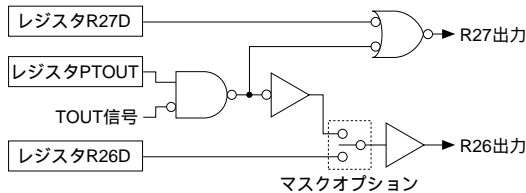


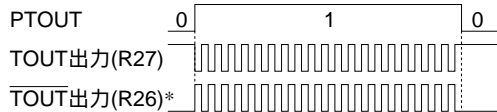
図5.5.5.1 R26とR27の構成

TOUT($\overline{\text{TOUT}}$)信号はレジスタPTOUTによって出力制御を行います。PTOUTに"1"を設定するとTOUT(TOUT)信号がR27(R26)出力ポート端子から出力され、"0"を設定するとR27はHIGH(V_{DD})レベル、R26はLOW(V_{SS})レベルとなります。TOUT出力を行う場合、データレジスタR27Dには常時"1"が設定されている必要があります。R26DはTOUT出力には影響を与えません。

TOUT信号はプログラマブルタイマのアンダーフローが1/2に分周されたものです。周波数の制御等については"5.10 プログラマブルタイマ"を参照してください。

なお、TOUT($\overline{\text{TOUT}}$)信号はレジスタPTOUTとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.5.5.2にTOUT($\overline{\text{TOUT}}$)信号の出力波形を示します。



* マスクオプションにより選択した場合

図5.5.5.2 TOUT($\overline{\text{TOUT}}$)信号の出力波形

FOUT出力(R34)...S1C88832のみ

S1C88832は外部デバイスに対してクロックを供給する場合などのために、FOUT信号(発振クロック f_{OSC1} または f_{OSC3} の分周クロック)をR34出力ポート端子から出力させることができます。出力ポートR34の構成を図5.5.5.3に示します。

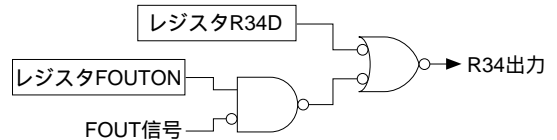


図5.5.5.3 R34の構成

FOUT信号はレジスタFOUTONによって出力制御を行います。FOUTONに"1"を設定するとFOUT信号がR34出力ポート端子から出力され、"0"を設定するとHIGH(V_{DD})レベルが出力されます。このとき、データレジスタR34Dには常時"1"が設定されている必要があります。FOUT信号の周波数はソフトウェアによるレジスタFOUT0 ~ FOUT2への設定によって、表5.5.5.2に示す8種類の中から1つを選択することができます。

表5.5.5.2 FOUT周波数の設定

FOUT2	FOUT1	FOUT0	FOUT周波数
0	0	0	$f_{OSC1} / 1$
0	0	1	$f_{OSC1} / 2$
0	1	0	$f_{OSC1} / 4$
0	1	1	$f_{OSC1} / 8$
1	0	0	$f_{OSC3} / 1$
1	0	1	$f_{OSC3} / 2$
1	1	0	$f_{OSC3} / 4$
1	1	1	$f_{OSC3} / 8$

f_{OSC1} : OSC1発振周波数

f_{OSC3} : OSC3発振周波数

FOUTの周波数を" f_{OSC3}/n "とする場合は、FOUTを出力する以前にOSC3の発振をONさせる必要があります。

なお、OSC3発振回路をONにしてから発振が安定するまでに数100 μsec ~ 数10msecの時間を必要とします。したがって、不安定なFOUT信号が外部に出力されることで不具合が生じる場合はOSC3発振ONの後、十分な待ち時間をおいてからFOUTの出力を行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)

イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

なお、FOUT信号はレジスタFOUTONとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.5.5.4にFOUT信号の出力波形を示します。

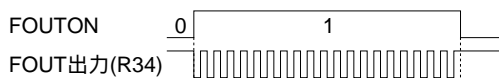


図5.5.5.4 FOUT信号の出力波形

BZ出力(R50), BZ̄出力(R51)

S1C88832/88862は外付けブザーを駆動する場合のために、BZ信号(サウンドジェネレータの出力)をR50出力ポート端子から出力させることができます。また、マスクオプションの選択により、R51出力ポート端子からBZ̄信号(BZ反転信号)を出力させることができます。

出力ポートR50、R51の構成を図5.5.5.5に示します。

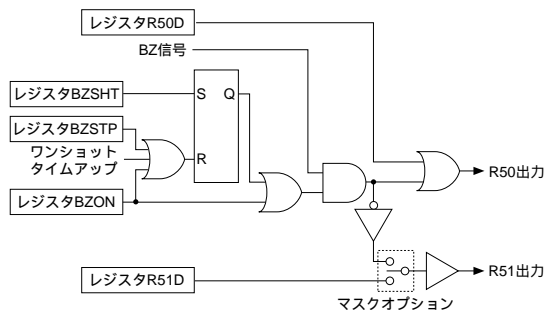


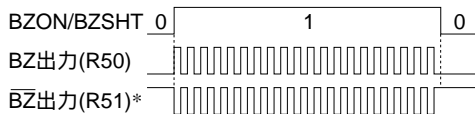
図5.5.5.5 R50とR51の構成

BZ(BZ̄)信号はレジスタBZON、BZSHTおよびBZSTPによって出力制御が行われます。BZONまたはBZSHTに"1"を設定するとBZ(BZ̄)信号がR50(R51)出力ポート端子から出力され、BZONに"0"またはBZSTPに"1"を設定するとR50はLOW(V_{SS})レベル、R51はHIGH(V_{DD})レベルとなります。BZ出力を行う場合、データレジスタR50Dには常時"0"が設定されている必要があります。R51DはBZ̄出力には影響を与えません。

BZ(BZ̄)信号はサウンドジェネレータの出力が用いられます。周波数やエンベロープの制御等については"5.12 サウンドジェネレータ"を参照してください。

なお、BZ(BZ̄)信号はレジスタBZON、BZSHTおよびBZSTPとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.5.5.6にBZ(BZ̄)信号の出力波形を示します。



* マスクオプションにより選択した場合

図5.5.5.6 BZ(BZ̄)信号の出力波形

5.5.6 出力ポートの制御方法

表5.5.6.1に出力ポートの制御ビットを示します。

表5.5.6.1(a) 出力ポートの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF70	D7	HZR51	R51ハイインピーダンス制御	Hi-Z	信号出力	0	R/W	
	D6	HZR50	R50ハイインピーダンス制御			0	R/W	
	D5	HZR4H	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D4	HZR4L	汎用レジスタ			0	R/W	
	D3	HZR1H	汎用レジスタ			0	R/W	
	D2	HZR1L	汎用レジスタ			0	R/W	
	D1	HZR0H	汎用レジスタ			0	R/W	
	D0	HZR0L	汎用レジスタ			0	R/W	
00FF71	D7	HZR27	R27ハイインピーダンス制御	Hi-Z	信号出力	0	R/W	
	D6	HZR26	R26ハイインピーダンス制御			0	R/W	
	D5	HZR25	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D4	HZR24	汎用レジスタ			0	R/W	
	D3	HZR23	汎用レジスタ			0	R/W	
	D2	HZR22	汎用レジスタ			0	R/W	
	D1	HZR21	汎用レジスタ			0	R/W	
	D0	HZR20	汎用レジスタ			0	R/W	
00FF72 *2	D7	HZR37	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D6	HZR36	汎用レジスタ			0	R/W	
	D5	HZR35	汎用レジスタ			0	R/W	
	D4	HZR34	R34ハイインピーダンス制御	Hi-Z	信号出力	0	R/W	
	D3	HZR33	汎用レジスタ	1	0	0	R/W	予約レジスタ
	D2	HZR32	汎用レジスタ			0	R/W	
	D1	HZR31	汎用レジスタ			0	R/W	
	D0	HZR30	汎用レジスタ			0	R/W	
00FF75	D7	R27D	R27出力ポートデータ	High	Low	1	R/W	
	D6	R26D	R26出力ポートデータ			1 *1	R/W	
	D5	R25D	汎用レジスタ	1	0	1	R/W	予約レジスタ
	D4	R24D	汎用レジスタ			1	R/W	
	D3	R23D	汎用レジスタ			1	R/W	
	D2	R22D	汎用レジスタ			1	R/W	
	D1	R21D	汎用レジスタ			1	R/W	
	D0	R20D	汎用レジスタ			1	R/W	
00FF76 *2	D7	R37D	汎用レジスタ	1	0	1	R/W	予約レジスタ
	D6	R36D	汎用レジスタ			1	R/W	
	D5	R35D	汎用レジスタ			1	R/W	
	D4	R34D	R34出力ポートデータ	High	Low	1	R/W	
	D3	R33D	汎用レジスタ	1	0	1	R/W	予約レジスタ
	D2	R32D	汎用レジスタ			1	R/W	
	D1	R31D	汎用レジスタ			1	R/W	
	D0	R30D	汎用レジスタ			1	R/W	
00FF78	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	—	—	—	—	—		
	D2	—	—	—	—	—		
	D1	R51D	R51出力ポートデータ	High	Low	1	R/W	
	D0	R50D	R50出力ポートデータ			0	R/W	

*1 マスクオプションでTOUT出力選択時は"0"

*2 このアドレスはS1C88862には存在しません。

表5.5.6.1(b) 出力ポートの制御ビット

アドレス	ビット	名称	機 能		1	0	SR	R/W	注 釈	
00FF30	D7	—	—		—	—	—		読み出し時は 常時"0"	
	D6	—	—		—	—	—			
	D5	—	—		—	—	—			
	D4	MODE16	8/16ビットモード選択		16ビット x 1	8ビット x 2	0	R/W		
	D3	CHSEL	TOUT出力チャンネル選択		タイマ1	タイマ0	0	R/W		
	D2	PTOUT	TOUT出力制御		On	Off	0	R/W		
	D1	CKSEL1	プリスケアラ1原振クロック選択		fosc3	fosc1	0	R/W		
	D0	CKSEL0	プリスケアラ0原振クロック選択		fosc3	fosc1	0	R/W		
00FF40	D7	—	—		—	—	—		読み出し時は"0"	
	D6	FOUT2	FOUT周波数選択				0	R/W	S1C88862ではR/W レジスタ機能のみ	
	D5	FOUT1	FOUT2	FOUT1			FOUT0	周波数		
			0	0			0	fosc1 / 1		
			0	0			1	fosc1 / 2		
	D4	FOUT0	0	1	0	fosc1 / 4				
			0	1	1	fosc1 / 8				
			1	0	0	fosc3 / 1				
			1	0	1	fosc3 / 2				
			1	1	0	fosc3 / 4				
			1	1	1	fosc3 / 8				
D3	FOUTON	FOUT出力制御		On	Off	0	R/W			
D2	WDRST	ウォッチドッグタイマリセット		リセット	無効	—	W	読み出し時は		
D1	TMRST	計時タイマリセット		リセット	無効	—	W	常時"0"		
D0	TMRUN	計時タイマRun/Stop制御		Run	Stop	0	R/W			
00FF44	D7	—	—		—	—	—		読み出し時は 常時"0"	
	D6	BZSTP	ワンショットブザー強制停止		強制停止	無効	—	W		
	D5	BZSHT	ワンショットブザートリガ/ステータス		Busy	Ready	0	R/W		
					トリガ	無効				
	D4	SHTPW	ワンショットブザー時間幅選択		125msec	31.25msec	0	R/W	読み出し時は"0"	
	D3	ENRTM	エンベロープ減衰時間		1sec	0.5sec	0	R/W		
	D2	ENRST	エンベロープリセット		リセット	無効	—	W		
	D1	ENON	エンベロープOn/Off制御		On	Off	0	R/W		*1
	D0	BZON	ブザー出力制御		On	Off	0	R/W		

*1 ワンショット出力時、"0"にリセット

ハイインピーダンス制御

HZR26: 00FF71H-D6

HZR27: 00FF71H-D7

HZR34: 00FF72H-D4 *

HZR50: 00FF70H-D6

HZR51: 00FF70H-D7

各出力端子をハイインピーダンスに設定します。

"1"書き込み: ハイインピーダンス

"0"書き込み: コンプリメンタリ

読み出し: 可能

HZRxxは、Rxx出力ポート端子のハイインピーダンス制御レジスタで、"1"を設定すると対応する出力ポート端子がハイインピーダンス状態となり、"0"を設定するとコンプリメンタリ出力となります。この制御はポートを特殊出力に使用している場合にも有効です。

イニシャルリセット時、本レジスタは"0"(コンプリメンタリ)に設定されます。

* S1C88862にはHZR34は存在しません。

DC出力制御

R26D: 00FF75H-D6

R27D: 00FF75H-D7

R34D: 00FF76H-D4 *

R50D: 00FF78H-D0

R51D: 00FF78H-D1

Rxx出力ポート端子の出力データを設定します。

"1"書き込み: HIGHレベル出力

"0"書き込み: LOWレベル出力

読み出し: 可能

RxxDは、Rxx出力ポートのデータレジスタで、"1"を設定すると対応する出力ポート端子がHIGH(VDD)レベルとなり、"0"を設定するとLOW(VSS)レベルとなります。

イニシャルリセット時、R50Dは"0"(LOWレベル出力)、その他のレジスタは"1"(HIGHレベル出力)に設定されます。

R26、R51をマスクオプションで特殊出力に設定した場合、R26DとR51Dは出力に影響を与えない汎用レジスタとして使用することができます。

* S1C88862にはR34Dは存在しません。

特殊出力制御

PTOUT: 00FF30H-D2

TOUT(プログラマブルタイマ出力クロック)信号の出力制御を行います。

"1"書き込み: TOUT信号出力ON

"0"書き込み: TOUT信号出力OFF

読み出し: 可能

PTOUTはTOUT信号の出力制御レジスタで、"1"を設定するとTOUT(TOUT)信号がR27(R26)出力ポート端子から出力され、"0"を設定するとR27はHIGH(VDD)レベル、R26はLOW(VSS)レベルとなります。TOUT出力を行う場合、データレジスタR27Dには常時"1"が設定されている必要があります。R26DはTOUT出力には影響を与えません。イニシャルリセット時、PTOUTは"0"(出力OFF)に設定されます。

TOUT出力(R26)はマスクオプションで選択した場合にのみ可能です。

FOUTON: 00FF40H-D3 *

FOUT(fosc1/fosc3分周クロック)信号の出力制御を行います。

"1"書き込み: FOUT信号出力

"0"書き込み: HIGHレベル(DC)出力

読み出し: 可能

FOUTONはFOUT信号の出力制御レジスタで、"1"を設定するとFOUT信号がR34出力ポート端子から出力され、"0"を設定するとHIGH(VDD)レベルが出力されます。

このとき、データレジスタR34Dには常時"1"が設定されている必要があります。

イニシャルリセット時、FOUTONは"0"(HIGHレベル出力)に設定されます。

* S1C88862ではFOUTONはリード/ライト可能な汎用レジスタとして機能します。

FOUT0, FOUT1, FOUT2: 00FF40H-D4~D6 *

FOUT信号の周波数を表5.5.6.2のとおり設定します。

表5.5.6.2 FOUT周波数の設定

FOUT2	FOUT1	FOUT0	FOUT周波数
0	0	0	fosc1 / 1
0	0	1	fosc1 / 2
0	1	0	fosc1 / 4
0	1	1	fosc1 / 8
1	0	0	fosc3 / 1
1	0	1	fosc3 / 2
1	1	0	fosc3 / 4
1	1	1	fosc3 / 8

fosc1: OSC1発振周波数

fosc3: OSC3発振周波数

イニシャルリセット時、本レジスタは"0"(fosc1/1)に設定されます。

* S1C88862ではFOUT0、FOUT1、FOUT2はリード/ライト可能な汎用レジスタとして機能します。

BZON: 00FF44H-D0

ブザー(BZ、BZ)信号の出力制御を行います。

"1"書き込み: ブザー信号出力ON

"0"書き込み: ブザー信号出力OFF

読み出し: 可能

BZONはブザー信号の出力制御レジスタで、"1"を設定するとBZ(BZ)信号がR50(R51)出力ポート端子から出力され、"0"を設定するとR50はLOW(V_{SS})レベル、R51はHIGH(V_{DD})レベルとなります。BZ出力を行う場合、データレジスタR50Dには常時"0"が設定されている必要があります。R51DはBZ出力には影響を与えません。

イニシャルリセット時、BZONは"0"(出力OFF)に設定されます。

BZ出力(R51)はマスクオプションで選択した場合にのみ可能です。

BZSHT: 00FF44H-D5

ワンショットブザー出力の制御を行います。

"1"書き込み: トリガ

"0"書き込み: ノーオペレーション

"1"読み出し: BUSY

"0"読み出し: READY

BZSHTに"1"を書き込むことによってワンショット出力回路が動作し、R50(R51)端子からBZ(BZ)信号が出力されます。このブザー出力はSHTPWによって設定した時間の経過後に自動的にOFFとなります。BZ出力を行う場合、データレジスタR50Dには常時"0"が設定されている必要があります。R51DはBZ出力には影響を与えません。

ワンショット出力は通常のブザー出力がOFF(BZON="0")の状態でのみ有効で、ON(BZON="1")状態でのトリガは無効となります。ワンショット出力中に再トリガを行った場合は、その時点からSHTPWによって設定した時間を計測し直します。(時間延長)

ワンショット出力回路の動作状態はBZSHTを読み出すことによって確認することができ、ワンショット出力(BUSY)中は"1"、OFF(READY)時は"0"が読み出せます。

イニシャルリセット時、BZSHTは"0"(READY)に設定されます。

BZ出力(R51)はマスクオプションで選択した場合にのみ可能です。

BZSTP: 00FF44H-D6

ワンショットブザー出力の強制停止を行います。

"1"書き込み: 強制停止

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

BZSTPに"1"を書き込むことによって、SHTPWによる設定時間が経過する以前にワンショットブザー出力を強制停止させることができます。

BZSTPへの"0"書き込みおよびワンショットブザー出力中以外の"1"書き込みは無効となります。

なお、BZSHTとBZSTPに同時に"1"を書き込んだ場合はBZSTPが優先され、ワンショットブザー出力は停止状態となります。

BZSTPは書き込み専用のため、読み出し時は常時"0"となります。

5.5.7 プログラミング上の注意事項

- (1) 特殊出力(TOUT/TOUT、FOUT、BZ/BZ)信号は出力制御レジスタ(PTOUT、FOUTON、BZON、BZSHT、BZSTP)とは非同期に発生していますので、出力制御レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- (2) 特殊出力(TOUT/TOUT、FOUT、BZ/BZ)信号がイネーブルの状態でSLP命令を実行した場合は、SLEEP状態からの復帰時に特殊出力に不安定なクロックが出力されます。したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前に特殊出力信号をディセーブル状態に設定してください。
- (3) FOUTの周波数を"f_{osc3}/n"とする場合は、FOUTを出力する以前にOSC3の発振をONさせる必要があります。
 なお、OSC3発振回路をONにしてから発振が安定するまでに数100μsec～数10msecの時間を必要とします。したがって、不安定なFOUT信号が外部に出力されることで不具合が生じる場合はOSC3発振ONの後、十分な待ち時間をおいてからFOUTの出力を行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)
 イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

* FOUT出力はS1C88832のみ

5.6 入出力兼用ポート (Pポート)

5.6.1 入出力兼用ポートの構成

S1C88832/88862は8ビット(P10～P17)の入出力兼用(I/O)ポートを内蔵しています。

図5.6.1.1に入出力兼用ポートの構造を示します。

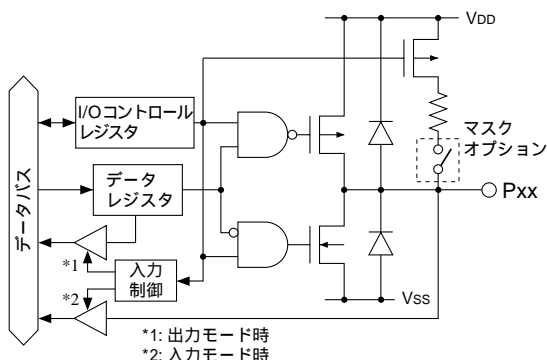


図5.6.1.1 入出力兼用ポートの構造

入出力兼用ポートは1ビットごとに入力モード、または出力モードを設定することができます。この設定はI/Oコントロールレジスタにデータを書き込むことによって行います。

入出力兼用ポートP10～P13はシリアルインタフェースの入出力端子と共用されており、どちらの用途で使用するかをソフトウェアによって選択することができます。

シリアルインタフェースの詳細については"5.7 シリアルインタフェース"を参照してください。

シリアルインタフェースの出力端子に設定される入出力兼用ポートのデータレジスタとI/Oコントロールレジスタは、端子の入出力には影響を与えないリード/ライト可能な汎用レジスタとして使用することができます。また、シリアルインタフェースの入力端子に設定される入出力兼用ポートのI/Oコントロールレジスタも同様に、汎用レジスタとして使用することができます。

5.6.2 マスクオプション

入出力兼用ポートプルアップ抵抗

P10	抵抗あり	ゲート直接
P11	抵抗あり	ゲート直接
P12	抵抗あり	ゲート直接
P13	抵抗あり	ゲート直接
P14	抵抗あり	ゲート直接
P15	抵抗あり	ゲート直接
P16	抵抗あり	ゲート直接
P17	抵抗あり	ゲート直接

入出力兼用ポートP10～P17には入力モード時にONするプルアップ抵抗が内蔵されており、これを使用するかしないかを各ポート(1ビット)ごとに選択することができます。

"抵抗あり"を選択した場合、入力モード時にプルアップ抵抗がONします。

内蔵プルアップ抵抗によって、ポート端子をLOWレベルからHIGHレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入出力兼用ポートの取り込みには適切な待ち時間の設定が必要となります。待ち時間は以下の式で求められる値以上を設定してください。

待ち時間 = $R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6 [\text{sec}]$

R_{IN} : プルアップ抵抗Max.値

C_{IN} : 端子容量Max.値

使用しない入出力兼用ポートについては、デフォルトの"抵抗あり"を選択してください。

5.6.3 I/Oコントロールレジスタと入力/出力モード

入出力兼用ポートP10～P17は、それぞれのビットに対応したI/OコントロールレジスタIOC10～IOC17にデータを書き込むことによって、入力モードあるいは出力モードに設定されます。

入力モードに設定する場合はI/Oコントロールレジスタに"0"を書き込みます。入力モードに設定された入出力兼用ポートは、ハイインピーダンス状態となり入力ポートとして機能します。

入力モード時の読み出しでは入力端子の状態が直接読み込まれ、そのデータは入力端子がHIGH(VDD)レベルのときに"1"、LOW(VSS)レベルのときに"0"となります。

マスクオプションで内蔵プルアップ"抵抗あり"を選択した場合は、入力モード時にポート端子がプルアップされます。

入力モード時においても、端子の状態に影響を与えることなくデータレジスタに対して書き込みは行えます。

出力モードに設定する場合はI/Oコントロールレジスタに"1"を書き込みます。出力モードに設定された入出力兼用ポートは出力ポートとして機能し、ポート出力データが"1"の場合にHIGH(VDD)レベル、"0"の場合にLOW(VSS)レベルを出力します。出力モード時の読み出しでは、データレジスタの内容が読み込まれます。

イニシャルリセット時、I/Oコントロールレジスタは"0"(入出力兼用ポートは入力モード)に設定されます。

5.6.4 入出力兼用ポートの制御方法

表5.6.4.1に入出力兼用ポートの制御ビットを示します。

表5.6.4.1 入出力兼用ポートの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF61	D7	IOC17	P17 I/Oコントロールレジスタ	出力	入力	0	R/W	
	D6	IOC16	P16 I/Oコントロールレジスタ			0	R/W	
	D5	IOC15	P15 I/Oコントロールレジスタ			0	R/W	
	D4	IOC14	P14 I/Oコントロールレジスタ			0	R/W	
	D3	IOC13	P13 I/Oコントロールレジスタ			0	R/W	
	D2	IOC12	P12 I/Oコントロールレジスタ			0	R/W	
	D1	IOC11	P11 I/Oコントロールレジスタ			0	R/W	
	D0	IOC10	P10 I/Oコントロールレジスタ			0	R/W	
00FF63	D7	P17D	P17 入出力兼用ポートデータ	High	Low	1	R/W	
	D6	P16D	P16 入出力兼用ポートデータ			1	R/W	
	D5	P15D	P15 入出力兼用ポートデータ			1	R/W	
	D4	P14D	P14 入出力兼用ポートデータ			1	R/W	
	D3	P13D	P13 入出力兼用ポートデータ			1	R/W	
	D2	P12D	P12 入出力兼用ポートデータ			1	R/W	
	D1	P11D	P11 入出力兼用ポートデータ			1	R/W	
	D0	P10D	P10 入出力兼用ポートデータ			1	R/W	

P10D~P17D: 00FF63H

入出力兼用ポート端子のデータの読み出し、および出力データの設定を行います。

データ書き込み時

"1"書き込み: HIGHレベル

"0"書き込み: LOWレベル

入出力兼用ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力兼用ポート端子に出力されます。ポートデータとして"1"を書き込んだ場合はポート端子はHIGH(V_{DD})レベルとなり、"0"を書き込んだ場合はLOW(V_{SS})レベルとなります。入力モードの場合もポートデータの書き込みは行えます。

データ読み出し時

"1"読み出し: HIGHレベル("1")

"0"読み出し: LOWレベル("0")

入出力兼用ポートが入力モードの場合はポート端子に入力されている電圧レベルが読み出されます。端子電圧がHIGH(V_{DD})レベルの場合は"1"、LOW(V_{SS})レベルの場合は"0"がそれぞれ入力データとして読み出されます。また、出力モードの場合はデータレジスタの内容が読み出されます。イニシャルリセット時、本レジスタはすべて"1"(HIGHレベル)に設定されます。

シリアルインタフェースの出力端子に設定される入出力兼用ポートのデータレジスタは、端子の入出力には影響を与えないリード/ライト可能な汎用レジスタとして使用することができます。

IOC10~IOC17: 00FF61H

入出力兼用ポートの入力/出力モードを設定します。

"1"書き込み: 出力モード

"0"書き込み: 入力モード

読み出し: 可能

IOC1xは各入出力兼用ポートにビット単位で対応するI/Oコントロールレジスタです。IOC1xレジスタに"1"を書き込むと対応する入出力兼用ポートP1xが出力モードとなり、"0"を書き込むと入力モードとなります。

イニシャルリセット時、本レジスタはすべて"0"(入力モード)に設定されます。

シリアルインタフェースの入出力端子に設定される入出力兼用ポートのI/Oコントロールレジスタは、端子の入出力には影響を与えないリード/ライト可能な汎用レジスタとして使用することができます。

5.6.5 プログラミング上の注意事項

内蔵プルアップ抵抗によって、ポート端子をLOWレベルからHIGHレベルに変化させる場合、プルアップ抵抗と端子の負荷容量等の時定数によって波形立ち上がりに遅延が生じます。このため、入出力兼用ポートの取り込みには適切な待ち時間の設定が必要となります。待ち時間は以下の式で求められる値以上を設定してください。

$$\text{待ち時間} = R_{IN} \times (C_{IN} + \text{基板上の負荷容量}) \times 1.6 [\text{sec}]$$

R_{IN}: プルアップ抵抗Max.値

C_{IN}: 端子容量Max.値

5.7 シリアルインタフェース

5.7.1 シリアルインタフェースの構成

S1C88832/88862はクロック同期式または調歩同期式の選択が可能な全二重方式(調歩同期式選択時)のシリアルインタフェースを内蔵しています。

転送方式はソフトウェアによって選択でき、クロック同期式を選択した場合は8ビットのデータ転送が可能です。調歩同期式では7ビットまたは8ビットのデータ転送が可能で、受信データのパリティチェックおよび送信データへのパリティビットの付加もソフトウェア選択によって自動的に行えます。

図5.7.1.1にシリアルインタフェースの構成を示します。

シリアルインタフェースの入出力端子SIN、SOUT、SCLK、SRDYは入出力兼用ポートP10～P13と共用されており、シリアルインタフェースの入出力端子として用いる場合はレジスタESIF、SMD0およびSMD1によってその設定を行います。(イニシャルリセット時は入出力兼用ポート端子に設定されます。)

シリアルインタフェースの入出力端子に設定される入出力兼用ポート端子はそれぞれの信号と転送モードによって入出力方向が設定され、対応する入出力兼用ポートのI/Oコントロールレジスタの設定は無効となります。

表5.7.1.1 入出力端子の構成

端子	シリアルインタフェース選択時
P10	SIN
P11	SOUT
P12	SCLK
P13	SRDY

* 転送モードにより使用する端子が異なります。

SIN、SOUTはそれぞれシリアルデータの入力、出力端子で、クロック同期式および調歩同期式ともに共通です。SCLKはクロック同期式専用で、同期クロックの入出力端子となります。SRDYはクロック同期式スレーブモード専用で、送受信レディ信号の出力端子となっています。調歩同期式を選択した場合はSCLKおよびSRDYを使用しませんので、P12、P13入出力兼用ポート端子は入出力兼用ポートとして使用することができます。同様に、クロック同期式マスタモードを選択した場合はSRDYを使用しませんので、P13入出力兼用ポート端子は入出力兼用ポートとして使用することができます。

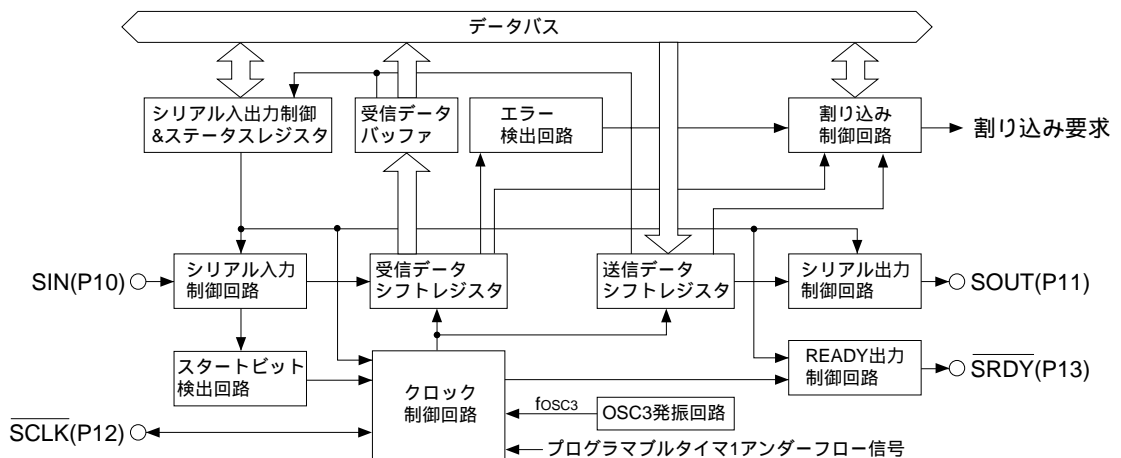


図5.7.1.1 シリアルインタフェースの構成

5.7.2 マスクオプション

シリアルインタフェースの入出力端子は入出力兼用ポートと共用されているため、入出力兼用ポートのマスクオプション設定によってシリアルインタフェースの端子仕様も必然的に決定されます。

入出力兼用ポートプルアップ抵抗		
P10(SIN)	抵抗あり	ゲート直接
P12(SCLK)	抵抗あり	ゲート直接

入出力兼用ポートの各端子には入力モード時に於いてONするプルアップ抵抗が内蔵されており、これを使用するかしないかを各ポート(1ビット)ごとに選択することができます。シリアルインタフェース使用時に入力端子となるP10(SIN)、P12(SCLK)端子は、入出力兼用ポートのオプション設定によって端子仕様(プルアップを使用するかしないか)が決定されます。

シリアルI/Fモードで"ゲート直接"を選択した場合は、それぞれの入力端子がフローティング状態にならないよう注意してください。

5.7.3 転送モード

シリアルインタフェースの転送モードは、モード選択レジスタSMD0およびSMD1の2ビットの設定によって以下の4種類が選択できます。

表5.7.3.1 転送モード

SMD1	SMD0	モード
1	1	調歩同期式8ビット
1	0	調歩同期式7ビット
0	1	クロック同期式スレーブ
0	0	クロック同期式マスタ

表5.7.3.2 転送モードによる端子設定

モード	SIN	SOUT	SCLK	SRDY
調歩同期式8ビット	入力	出力	P12	P13
調歩同期式7ビット	入力	出力	P12	P13
クロック同期式スレーブ	入力	出力	入力	出力
クロック同期式マスタ	入力	出力	出力	P13

イニシャルリセット時はクロック同期式マスタモードに設定されます。

クロック同期式マスタモード

本モードでは、内蔵シフトレジスタの同期クロックとして内部クロックを使用する、本シリアルインタフェースをマスタとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックはSCLK端子からも出力され、外部(スレーブ側)のシリアル入出力デバイスを制御することができます。

このモードではSRDY端子を使用しませんので、この端子を入出力兼用ポートとして使用することができます。

図5.7.3.1(a)にクロック同期式マスタモードにおける入出力端子の接続例を示します。

クロック同期式スレーブモード

本モードでは、外部(マスタ側)のシリアル入出力デバイスから供給される同期クロックを使用する、本シリアルインタフェースをスレーブとしたクロック同期式8ビットシリアル転送が行えます。

同期クロックはSCLK端子より入力し、本シリアルインタフェースの同期クロックとして使用します。

また、SRDY端子からは送受信レディ状態を示すSRDY信号がシリアルインタフェースの動作状態にしたがって出力されます。

スレーブモードではクロック源を選択するレジスタSCS0、SCS1の設定が無効となります。

図5.7.3.1(b)にクロック同期式スレーブモードにおける入出力端子の接続例を示します。

調歩同期式7ビットモード

このモードでは、調歩同期式7ビット転送が行えます。データ受信時のパリティチェックおよびデータ送信時のパリティビットの付加(奇数/偶数/なし)を指定でき、データをパリティなし7ビットまたはパリティ付き7ビットとして処理できます。このモードでは内部クロックを使用しますので、SCLK端子は使用しません。また、SRDY端子も使用しませんので、この2つの端子は入出力兼用ポートとして使用することができます。

図5.7.3.1(c)に調歩同期式モードにおける入出力端子の接続例を示します。

調歩同期式8ビットモード

このモードでは、調歩同期式8ビット転送が行えます。データ受信時のパリティチェックおよびデータ送信時のパリティビットの付加(奇数/偶数/なし)を指定でき、データをパリティなし8ビットまたはパリティ付き8ビットとして処理できます。このモードでは内部クロックを使用しますので、SCLK端子は使用しません。また、SRDY端子も使用しませんので、この2つの端子は入出力兼用ポートとして使用することができます。

図5.7.3.1(c)に調歩同期式モードにおける入出力端子の接続例を示します。

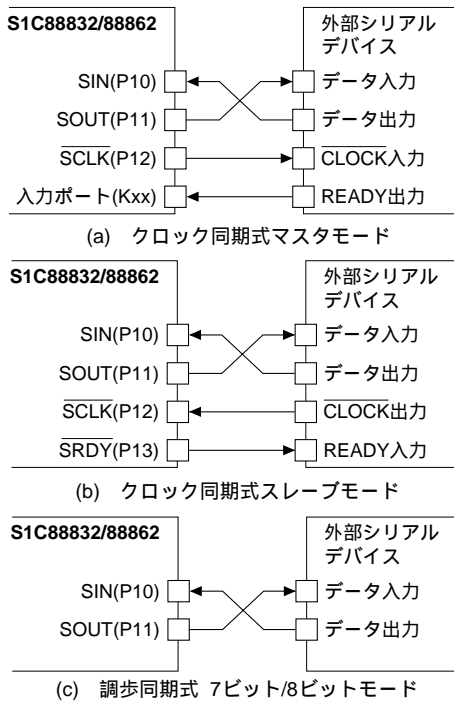


図5.7.3.1 シリアルインタフェース入出力端子の接続例

5.7.4 クロック源

クロック源はクロック選択レジスタSCS0、SCS1の2ビットの設定によって以下の4種類が選択できます。

表5.7.4.1 クロック源

SCS1	SCS0	クロック源
1	1	プログラマブルタイマ
1	0	fosc3 / 4
0	1	fosc3 / 8
0	0	fosc3 / 16

クロック同期式スレーブモードでは本レジスタの設定は無効となり、SCLK端子より入力される外部クロックが使用されます。

"プログラマブルタイマ"を選択した場合は、プログラマブルタイマ1のアンダーフローを1/2分周した信号がクロック源として使用されます。転送速度設定の詳細については"5.10 プログラマブルタイマ"を参照してください。

イニシャルリセット時は"fosc3/16"が設定されます。

選択したクロックはさらに1/16に分周され、同期クロックとして使用されます。

また、クロック同期式スレーブモードのSCLKは外部からの入力そのまま使用されます。

表5.7.4.2にプログラマブルタイマをクロック源とした場合の転送速度とOSC3発振周波数の例を示します。

OSC3発振回路の分周信号をクロック源とする場合は、シリアルインタフェースを使用する以前にOSC3の発振をONさせる必要があります。

なお、OSC3発振回路をONにしてから発振が安定するまでに数100μsec～数10msecの時間を必要とします。したがって、シリアルインタフェースの送受信開始はOSC3発振ONの後、十分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)

イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

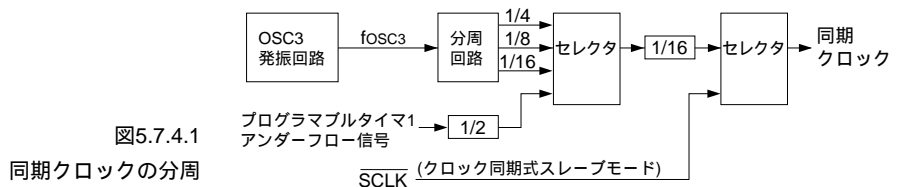


表5.7.4.2 転送速度とOSC3発振周波数

転送速度 (bps)	OSC3発振周波数/プログラマブルタイマの設定					
	fosc3=3.072MHz		fosc3=4.608MHz		fosc3=4.9152MHz	
	PSC1X	RLD1X	PSC1X	RLD1X	PSC1X	RLD1X
9,600	0 (1/1)	09H	0 (1/1)	0EH	0 (1/1)	0FH
4,800	0 (1/1)	13H	0 (1/1)	1DH	0 (1/1)	1FH
2,400	0 (1/1)	27H	0 (1/1)	3BH	0 (1/1)	3FH
1,200	0 (1/1)	4FH	0 (1/1)	77H	0 (1/1)	7FH
600	0 (1/1)	9FH	0 (1/1)	EFH	0 (1/1)	FFH
300	1 (1/4)	4FH	1 (1/4)	77H	1 (1/4)	7FH
150	1 (1/4)	9FH	1 (1/4)	EFH	1 (1/4)	FFH

5.7.5 送受信の制御

以下に送受信の制御を行うレジスタ等を説明します。送受信の制御手順と動作については次項よりモード別に説明しますので、そちらを参照してください。

シフトレジスタと受信データバッファ

本シリアルインタフェースには、送信と受信それぞれに専用のシフトレジスタが設けられています。このため、調歩同期式モード選択時には送信と受信を同時に行う全二重通信が可能です。

TRXD0～TRXD7に書き込まれた送信データはシフトレジスタによってシリアル変換され、SOUT端子から出力されます。

受信部にはシフトレジスタとは別に受信データバッファが設けられています。

受信時には、SIN端子から入力されたデータが、シフトレジスタによってパラレル変換され、受信データバッファに書き込まれます。受信データバッファの読み出しをシリアル入力とは非同期にその動作中に行えるため、効率のよい連続受信が行えます。

ただし、クロック同期式モードではバッファ機能を使用しませんので、次のデータ受信が始まる前にデータを読み出す必要があります。

送信許可レジスタ、送信制御ビット

送信の制御には、送信許可レジスタTXENと送信制御ビットTXTRGを使用します。

送信許可レジスタTXENは送信の許可/禁止状態を設定するレジスタです。このレジスタに"1"を書き込んで送信を許可状態にすると、シフトレジスタへのクロック入力がいネーブルとなり、データの送信が行える状態となります。クロック同期式モードでは、SCLK端子の同期クロック入出力もいネーブルとなります。

送信制御ビットTXTRGは送信開始のトリガとして使用します。

送信シフトレジスタに送信データを書き込み、送信準備ができたところでTXTRGに"1"を書き込み送信を開始させます。

割り込みを許可している場合は、送信が終了した時点で割り込みが発生します。

次の送信データがある場合は、この割り込みを利用してデータの書き込みを行うことができます。

また、TXTRGはステータスとして読み出しが可能で、"1"の場合は送信動作中、"0"の場合は送信停止中を示します。

詳細タイミングについては、各モードのタイミングチャートをそれぞれ参照してください。

なお、送信を行わない場合はTXENを"0"として、送信禁止状態に設定してください。

受信許可レジスタ、受信制御ビット

受信の制御には、受信許可レジスタRXENと受信制御ビットRXTRGを使用します。

受信許可レジスタRXENは受信の許可/禁止状態を設定するレジスタです。このレジスタに"1"を書き込んで受信を許可状態にすると、シフトレジスタへのクロック入力がいネーブルとなり、データの受信が行える状態となります。クロック同期式モードでは、SCLK端子の同期クロック入出力もいネーブルとなります。これによって受信を開始し、SIN端子から入力されるシリアルデータをシフトレジスタに取り込みます。

受信制御ビットRXTRGは、クロック同期式と調歩同期式で若干動作が異なります。

クロック同期式でのRXTRGは受信開始のトリガとして使用します。

受信データを読み出し、次の受信準備ができたところでRXTRGに"1"を書き込み受信を開始させます。(スレブモードではRXTRGに"1"を書き込んだところでSRDYが"0"となります。)

調歩同期式でのRXTRGは、次のデータの受信準備に使用します。受信データバッファにある受信データを読み出し、バッファが空となったことを知らせるためRXTRGに"1"を書き込みます。RXTRGに"1"を書き込まなかった場合は、次の受信が終了した時点でオーバーランエラーフラグOERが"1"にセットされます。(受信データを読み出す動作とRXTRGに"1"を書き込む動作との間に受信を終了した場合は、オーバーランエラーとなります。)

また、RXTRGはステータスとして読み出しが可能で、クロック同期式、調歩同期式どちらのモードでも"1"の場合は受信動作中、"0"の場合は受信停止中を示します。

詳細タイミングについては、各モードのタイミングチャートをそれぞれ参照してください。

なお、受信を行わない場合はRXENを"0"として、受信禁止状態に設定してください。

5.7.6 クロック同期式転送の動作

クロック同期式転送は8ビットデータを8個のクロックに同期させて転送する方式で、送信側、受信側で同じ同期クロックを使用します。

本シリアルインタフェースをマスタモードで使用する場合はSCS0、SCS1で選択したクロックを1/16に分周したものが同期クロックとして使用され、さらにSCLK端子を通してスレーブ側(外部のシリアル入出力デバイス)に出力されます。スレーブモードで使用する場合は、マスタ側(外部のシリアル入出力デバイス)からSCLK端子に入力されたクロックを同期クロックとして使用します。

クロック同期式モードでは1本のクロックライン(SCLK)を送受信で共用するため、送信と受信を同時に行うことはできません。(クロック同期式モードでは半二重通信となります。)

転送データは8ビット固定で、LSB(ビット0)を先頭として送受信が行われます。

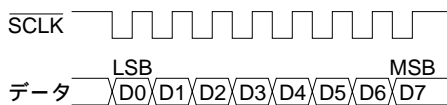


図5.7.6.1 クロック同期式の転送データフォーマット

以下にクロック同期式転送を行う場合の初期化および送受信の制御手順と動作について説明します。シリアルインタフェース割り込みについては"5.7.8 割り込み機能"を参照してください。

シリアルインタフェースの初期化

クロック同期式転送を行う場合には以下の初期設定を行う必要があります。

(1) 送受信禁止に設定

シリアルインタフェースの設定は、送信許可レジスタTXENおよび受信許可レジスタRXENにそれぞれ"0"を書き込んで、送受信を禁止にした状態で行ってください。

なお、この2つのレジスタは実際にデータ転送を開始するまで、禁止状態に固定してください。

(2) ポート選択

イニシャルリセット時、シリアルインタフェースの入出力端子SIN、SOUT、SCLK、SRDYは入出力兼用ポート端子P10～P13に設定されますので、シリアルインタフェースイネーブルレジスタESIFに"1"を書き込んでこれらの端子をシリアルインタフェース用に設定します。

(3) 転送モードの設定

モード選択レジスタSMD0およびSMD1の2ビットに以下のデータを書き込んでクロック同期式モードを選択します。

マスタモード SMD0 = "0"、SMD1 = "0"

スレーブモード SMD0 = "1"、SMD1 = "0"

(4) クロック源の選択

マスタモードの場合はクロック源選択レジスタSCS0、SCS1の2ビットにデータを書き込んで同期クロック源を選択します。(表5.7.4.1参照)
スレーブモードでは、この選択は不要です。

(2)～(4)の各レジスタは同一アドレス上に割り付けられていますので、1命令で一度に設定が可能です。

なお、このアドレスにはパリティイネーブルレジスタEPRも割り付けられていますが、クロック同期式モードではパリティを必要としないため、その設定内容にかかわらずパリティチェックは行われません。

(5) クロック源の制御

マスタモードを選択し、クロック源にプログラマブルタイマを選択した場合は、プログラマブルタイマ側で転送速度の設定を行ってください。("5.10 プログラマブルタイマ"参照)

OSC3発振回路の分周信号をクロック源として選択した場合は、データ転送を開始する以前にOSC3の発振をONさせる必要があります。("5.3 発振回路と動作モード"参照)

データの送信手順

送信時の制御手順と動作は以下のとおりです。

- (1) 送信許可レジスタTXENおよび受信許可レジスタRXENに"0"を書き込み、シリアルインタフェースをリセットします。
- (2) 送信許可レジスタTXENに"1"を書き込み、送信許可状態に設定します。
- (3) 送信するデータをTRXD0～TRXD7に書き込みます。
- (4) マスタモードの場合は、必要に応じてスレーブ側(外部シリアル入出力デバイス)の受信レディ状態を確認してください。受信レディ状態になるまで待ちます。
- (5) 送信制御ビットTXTRGに"1"を書き込み、送信を開始させます。

マスタモードであれば、この制御によって同期クロックがイネーブルとなり、送信用シフトレジスタに供給されるとともにSCLK端子から出力されます。

スレーブモードでは、SCLK端子に同期クロックが入力されるのを待ちます。

シフトレジスタの送信データは同期クロックの各立ち上がりエッジで1ビットずつシフトされ、SOUT端子より出力されます。最後のビット(MSB)が出力されると、次の送信が開始されるまでSOUT端子はそのレベルを保持します。

シフトレジスタのデータ送信が終了したところで、送信完了割り込み要因フラグFSTRAが"1"にセットされます。割り込みが許可されている場合は、この時点で送信完了割り込みが発生します。

本割り込みを利用して次の送信データをセットしてください。

- (6) 送信データのバイト数だけ(3)～(5)を繰り返し、送信が終了した時点で送信許可レジスタTXENに"0"を書き込み、送信禁止状態に設定します。

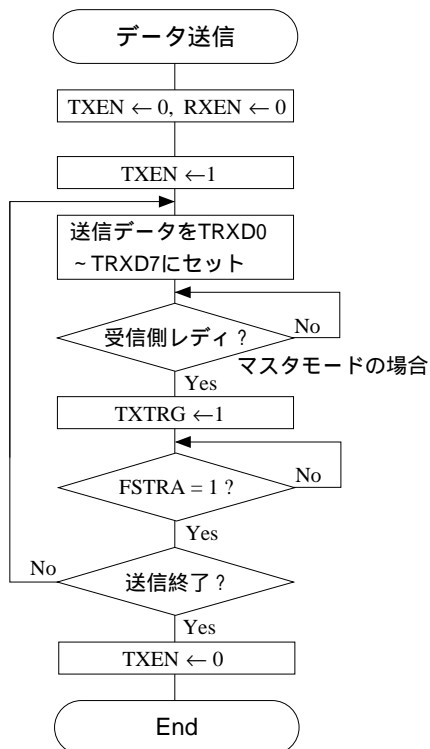


図5.7.6.2 クロック同期式の送信手順

データの受信手順

受信時の制御手順と動作は以下のとおりです。

- (1) 受信許可レジスタRXENおよび送信許可レジスタTXENに"0"を書き込み、シリアルインタフェースをリセットします。
- (2) 受信許可レジスタRXENに"1"を書き込み、受信許可状態に設定します。
- (3) マスタモードの場合は、必要に応じてスレーブ側(外部シリアル入出力デバイス)の送信レディ状態を確認してください。送信レディ状態になるまで待ちます。
- (4) 受信制御ビットRXTRGに"1"を書き込み、受信を開始させます。

マスタモードであれば、この制御によって同期クロックがイネーブルとなり、受信用シフトレジスタに供給されるとともにSCLK端子から出力されます。

スレーブモードでは、 $\overline{\text{SCLK}}$ 端子に同期クロックが入力されるのを待ちます。

SIN端子から入力される受信データは同期クロックの立ち上がりエッジに同期して順次シフトレジスタ内に取り込まれます。

8ビット目のデータが同期クロック最後(8個目)の立ち上がりエッジで取り込まれたところで、シフトレジスタ内のデータが受信データバッファに転送され、受信完了割り込み要因フラグFSRECが"1"にセットされます。割り込みが許可されている場合は、この時点で受信完了割り込みが発生します。

- (5) 受信完了割り込みを利用して、受信データをTRXD0～TRXD7から読み出します。
- (6) 受信データのバイト数だけ(3)～(5)を繰り返し、受信が終了した時点で受信許可レジスタRXENに"0"を書き込み、受信禁止状態に設定します。

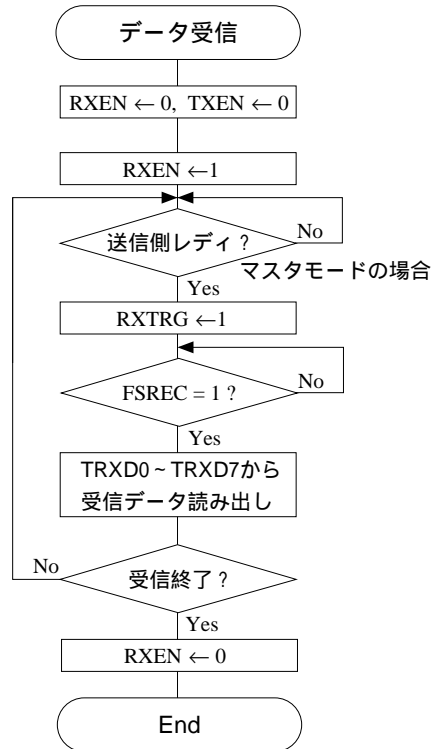


図5.7.6.3 クロック同期式の受信手順

送受信レディ(SRDY)信号

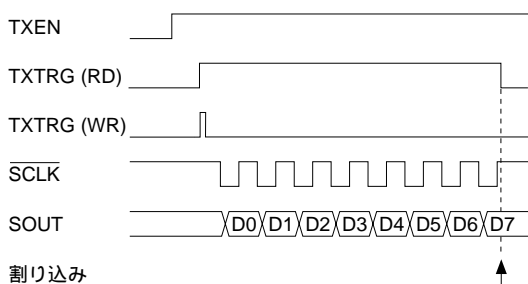
本シリアルインタフェースをクロック同期式スレーブモード(外部クロック入力)で使用する場合は、マスタ側(外部のシリアル入出力デバイス)に対して本シリアルインタフェースが送受信可能かどうかを示すSRDY信号が出力されます。この信号はSRDY端子から出力され、本インタフェースが送信または受信可能なREADY状態のときに"0"(LOWレベル)、送受信動作時などのBUSY状態のときに"1"(HIGHレベル)となります。

SRDY信号は送信制御ビットTXTRG、または受信制御ビットRXTRGに"1"を書き込んだ直後に"1"から"0"に変化し、初の同期クロックが入力された時点(立ち下がりエッジ)で"0"から"1"に戻ります。

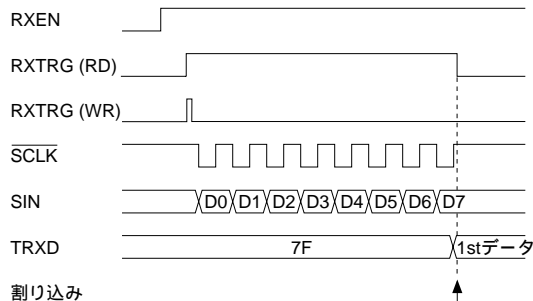
マスタモードに設定した場合は、スレーブ側から同様の信号を入力ポートまたは入出力兼用ポートを使用して取り込み、転送の制御を行ってください。この場合、SRDY端子は設定されずP13端子が入出力兼用ポートとして機能しますので、このポートをその制御にあてることもできます。

タイミングチャート

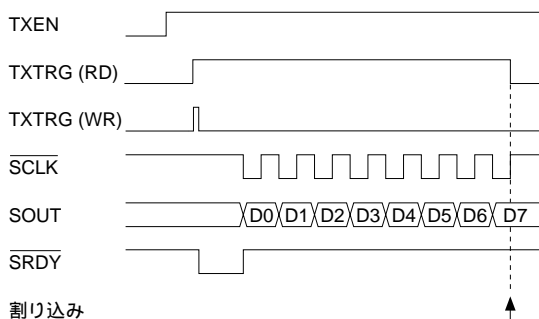
クロック同期式転送のタイミングチャートを図5.7.6.4に示します。



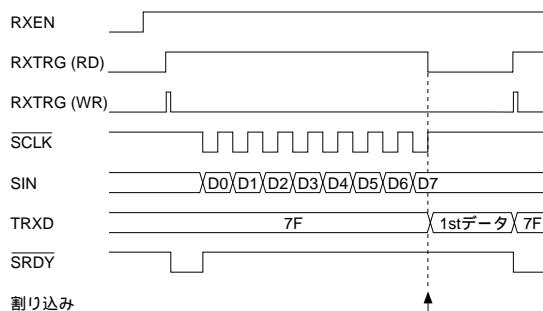
(a) マスタモード送信タイミング



(c) マスタモード受信タイミング



(b) スレーブモード送信タイミング



(d) スレーブモード受信タイミング

図5.7.6.4 タイミングチャート(クロック同期式転送)

5.7.7 調歩同期式転送の動作

調歩同期式転送は、シリアル変換した各データの前後にスタートビットとストップビットを付加して転送を行う方式です。この方式では、送信側、受信側それぞれで完全に同期の一致したクロックを用いる必要はなく、各データの前後に付けられたスタート/ストップビットで同期をとりながら転送を行います。この転送モードを選択することによって、RS-232Cインタフェース機能などを容易に実現することができます。

本インタフェースは送受信個別にシフトレジスタを持っており、送受信が同時に行える全二重方式の転送が可能となっています。

転送データは、調歩同期式7ビットモードでは7ビットデータ(パリティなし)または7ビットデータ+パリティビットのいずれかが選択できます。調歩同期式8ビットモードでは8ビットデータ(パリティなし)または8ビットデータ+パリティビットのいずれかが同様に選択できます。パリティには偶数または奇数が選択でき、受信データのパリティチェックおよび送信データへのパリティビット付加を自動的に行います。したがって、プログラムでパリティデータそのものを意識する必要はありません。

スタートビット、ストップビットはそれぞれ1ビット固定で、データはLSB(ビット0)を先頭として送受信が行われます。

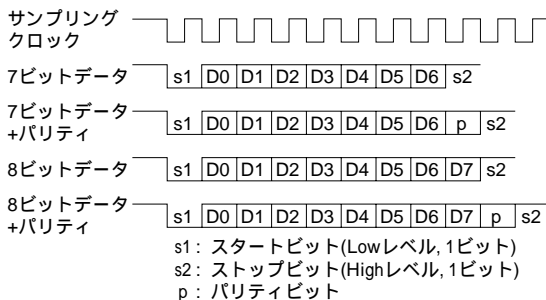


図5.7.7.1 調歩同期式の転送データフォーマット

以下に調歩同期式転送を行う場合の初期化および送受信の制御手順と動作について説明します。シリアルインタフェース割り込みについては"5.7.8 割り込み機能"を参照してください。

シリアルインタフェースの初期化

調歩同期式転送を行う場合には以下の初期設定を行う必要があります。

(1) 送受信禁止に設定

シリアルインタフェースの設定は、送信許可レジスタTXENおよび受信許可レジスタRXENにそれぞれ"0"を書き込んで、送受信を禁止にした状態で行ってください。

なお、この2つのレジスタは実際にデータ転送を開始するまで、禁止状態に固定してください。

(2) ポート選択

イニシャルリセット時、シリアルインタフェースの入出力端子SIN、SOUTは入出力兼用ポート端子P10、P11に設定されますので、シリアルインタフェースイネーブルレジスタESIFに"1"を書き込んでこれらの端子をシリアルインタフェース用に設定します。

クロック同期式モードにおいて設定されるSCLK、SRDY端子は調歩同期式モードでは使用しません。これらの端子は入出力兼用ポート端子P12、P13として機能します。

(3) 転送モードの設定

モード選択レジスタSMD0およびSMD1の2ビットに以下のデータを書き込んで調歩同期式モードを選択します。

7ビットモード SMD0 = "0"、SMD1 = "1"

8ビットモード SMD0 = "1"、SMD1 = "1"

(4) パリティビットの選択

パリティビットをチェックおよび付加する場合はパリティイネーブルレジスタEPRに"1"を書き込んで"パリティチェックあり"に設定してください。この設定によって、調歩同期式7ビットモードでは7ビットデータ+パリティビットのデータ構成に、調歩同期式8ビットモードでは8ビットデータ+パリティビットのデータ構成にそれぞれ設定されます。この場合、受信時のパリティチェックと送信時のパリティビット付加は、ハードウェアによって自動的に行われます。

また、"パリティチェックあり"とした場合は、さらにパリティモード選択レジスタPMDによって、パリティを"奇数"とするか"偶数"とするかを、選択する必要があります。

レジスタPMDに"0"を書き込んで"パリティチェックなし"を選択すると、調歩同期式7ビットモードでは7ビットデータ(パリティなし)のデータ構成に、調歩同期式8ビットモードでは8ビットデータ(パリティなし)のデータ構成にそれぞれ設定され、パリティチェックおよびパリティビットの付加は行われません。

(5) クロック源の選択

クロック源選択レジスタSCS0およびSCS1の2ビットにデータを書き込んでクロック源を選択します。(表5.7.4.1参照)

(2)~(5)の各レジスタは同一アドレス上に割り付けられていますので、1命令で一度に設定が可能です。

(6) クロック源の制御

クロック源にプログラマブルタイマを選択した場合は、プログラマブルタイマ側で転送速度の設定を行ってください。("5.10 プログラマブルタイマ"参照)

OSC3発振回路の分周信号をクロック源として選択した場合は、データ転送を開始する以前にOSC3の発振をONさせる必要があります。("5.3 発振回路と動作モード"参照)

データの送信

送信時の制御手順と動作は以下のとおりです。

- (1) 送信許可レジスタTXENに"0"を書き込み、シリアルインタフェースをリセットします。
- (2) 送信許可レジスタTXENに"1"を書き込み、送信許可状態に設定します。
- (3) 送信するデータをTRXD0～TRXD7に書き込みます。
なお、7ビットデータ選択時は、TRXD7のデータは無効となります。

- (4) 送信制御ビットTXTRGに"1"を書き込み、送信を開始させます。

この制御によってシフトクロックがイネーブルとなり、その立ち上がりエッジに同期してスタートビット(LOW)がSOUT端子に出力されます。シフトレジスタに設定された送信データは、その後のクロックの各立ち上がりエッジで1ビットずつシフトされSOUT端子より出力されます。データ出力後はストップビット(HIGH)が出力され、次のスタートビットの出力までHIGHレベルが保持されます。

送信が終了したところで、送信完了割り込み要因フラグFSTRAが"1"にセットされます。割り込みが許可されている場合は、この時点で送信完了割り込みが発生します。

本割り込みを利用して次の送信データをセットしてください。

- (5) 送信データのバイト数だけ(3)～(4)を繰り返し、送信が終了した時点で送信許可レジスタTXENに"0"を書き込み、送信禁止状態に設定します。

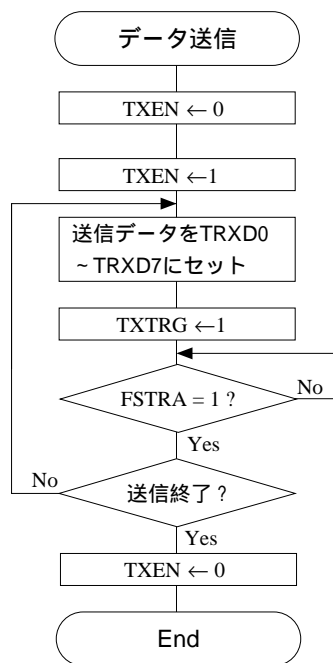


図5.7.7.2 調歩同期式の送信手順

データの受信

受信時の制御手順と動作は以下のとおりです。

- (1) 受信許可レジスタRXENに"0"を書き込んで受信禁止状態に設定し、パリティエラー、オーバーランエラー、フレーミングエラーの発生を示すPERフラグ、OERフラグ、FERフラグをそれぞれリセットします。
- (2) 受信許可レジスタRXENに"1"を書き込み、受信許可状態に設定します。
- (3) SIN端子にスタートビット(LOW)が入力された時点からシフトクロックがイネーブルとなり、受信データが2個目以降のクロックの立ち上がりエッジに同期して順次シフトレジスタ内に取り込まれます。

データビットが取り込まれた後、ストップビットがチェックされ、HIGHレベルでない場合にはフレーミングエラーとなり、エラー割り込み要因フラグFSERRが"1"にセットされます。割り込みが許可されている場合には、この時点でエラー割り込みが発生します。

受信が終了すると、シフトレジスタ内のデータが受信データバッファに転送され、受信完了割り込み要因フラグFSRECが"1"にセットされます。割り込みが許可されている場合には、この時点で受信完了割り込みが発生します。(オーバーランエラー発生時は割り込み要因フラグFSRECは"1"にセットされず、受信完了割り込みも発生しません。)

また、"パリティチェックあり"を選択している場合は、シフトレジスタから受信データバッファにデータが転送される際にパリティチェックが行われ、パリティエラーが検出された場合にはエラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合には、前記フレーミングエラー同様この時点でエラー割り込みが発生します。

- (4) 受信完了割り込みを利用して、受信データをTRXD0～TRXD7から読み出します。
- (5) 受信制御ビットRXTRGに"1"を書き込み、受信データが読み出されたことを知らせます。
RXTRGに"1"を書き込む以前に次のデータを受信すると、オーバーランエラーと認識され、エラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合には、前記フレーミングエラー、パリティエラー同様この時点でエラー割り込みが発生します。
- (6) 受信データのバイト数だけ(3)～(5)を繰り返し、受信が終了した時点で受信許可レジスタRXENに"0"を書き込み、受信禁止状態に設定します。

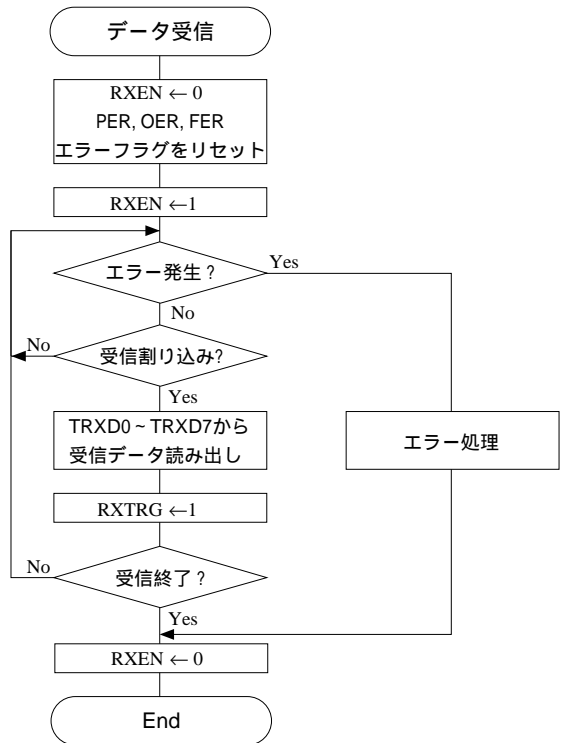


図5.7.7.3 調歩同期式の受信手順

受信エラー

受信時には以下の3種類のエラーを、割り込みによって検出することができます。

(1) パリティエラー

レジスタEPRに"1"を書き込んで"パリティチェックあり"を選択した場合には、受信時にパリティチェック(垂直パリティチェック)が行われます。これは送信データ(1キャラクタ)中の"1"のビット数の合計にパリティを加え、その数が奇数か偶数かをパリティビットにのせて送信し、それを受信側でチェックする方式です。パリティチェックはシフトレジスタに受信されたデータが受信データバッファに転送される際に行われ、データ(パリティビット含)中の"1"のビット数がレジスタPMDで設定した奇数または偶数パリティと整合がとれるかをチェックします。このとき、不整合となった場合にはパリティエラーと認識され、パリティエラーフラグPERおよびエラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグPERは"1"を書き込むことによって"0"にリセットされます。本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。ただし、その時点での受信データはパリティエラーのため保証されません。

(2) フレーミングエラー

調歩同期式転送ではスタートビット("0")とストップビット("1")で1キャラクタごとに同期をとっています。ストップビットを"0"として受信した場合、シリアルインタフェースは同期ずれと判断してフレーミングエラーを発生します。本エラーが発生すると、フレーミングエラーフラグFERおよびエラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグFERは"1"を書き込むことによって"0"にリセットされます。本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。ただし、以後のデータ受信でフレーミングエラーとならない場合でも、それらのデータは保証されません。

(3) オーバーランエラー

RXTRGに"1"を書き込む前に次のデータを受信すると、前回の受信データが上書きされるためオーバーランエラーが発生します。本エラーが発生すると、オーバーランエラーフラグOERおよびエラー割り込み要因フラグFSERRが"1"にセットされます。割り込みを許可している場合は、この時点でエラー割り込みが発生します。なお、フラグOERは"1"を書き込むことによって"0"にリセットされます。本エラーが発生した場合でも、その受信データは受信データバッファに転送され、受信動作も継続されます。なお、RXTRGに"1"を書き込むタイミングと受信データが受信データバッファに転送されるタイミングが重なった場合は、オーバーランエラーと認識されます。

タイミングチャート

調歩同期式転送のタイミングチャートを図5.7.7.4に示します。

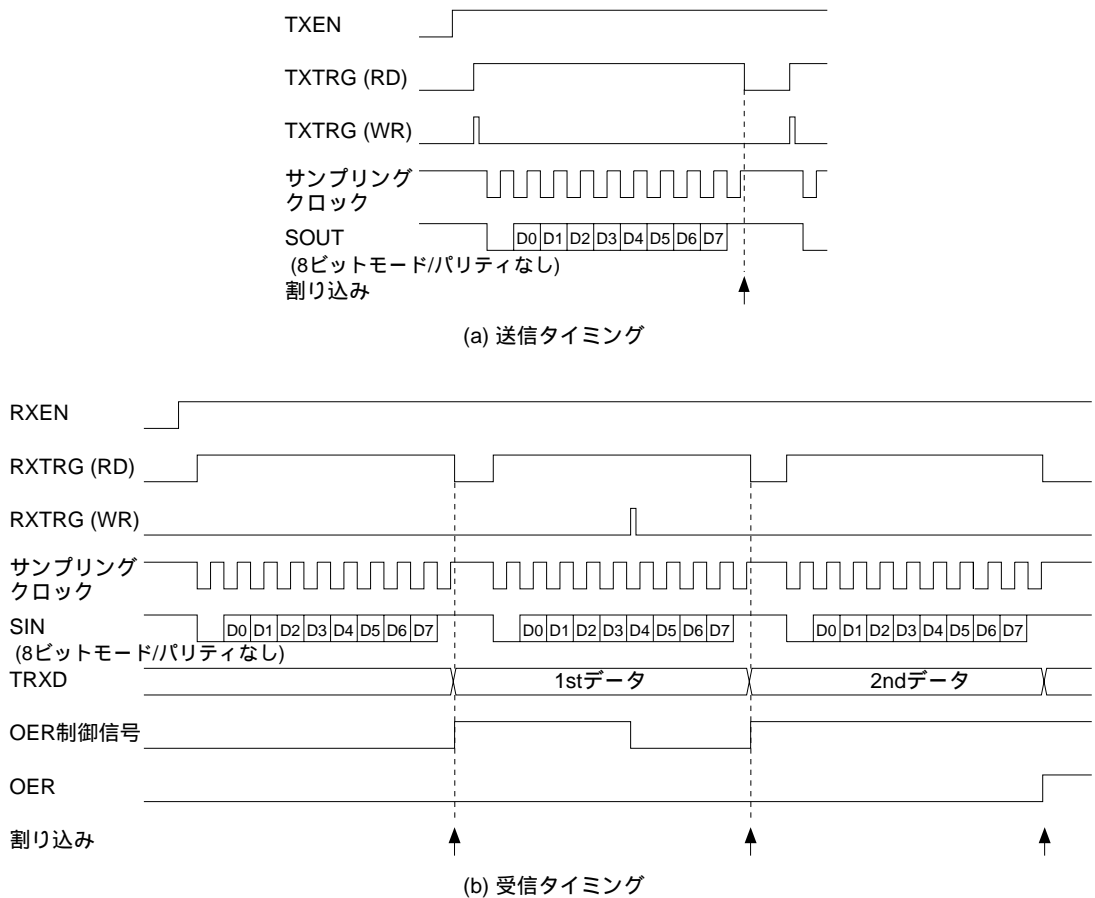


図5.7.7.4 タイミングチャート(調歩同期式転送)

5.7.8 割り込み機能

本シリアルインタフェースには以下に示す3種類の割り込みを発生させる機能があります。

- 送信完了割り込み
- 受信完了割り込み
- エラー割り込み

それぞれの割り込み要因に対して割り込み要因フラグFSxxxと割り込みイネーブルレジスタESxxxが設けられており、割り込みの許可/禁止をソフトウェアによって設定することができます。また、CPUに対するシリアルインタフェース割り込みの優先レベルを割り込みプライオリティレジスタPSIF0、PSIF1によって任意のレベル(0~3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については、「5.14 割り込みとスタンバイ状態」を参照してください。

図5.7.8.1にシリアルインタフェース割り込み回路の構成を示します。

送信完了割り込み

本割り込み要因は、シフトレジスタに書き込んだデータの送信が終了した時点で発生し、割り込み要因フラグFSTRAを"1"にセットします。このとき、割り込みイネーブルレジスタESTRAが"1"で、かつ割り込みプライオリティレジスタPSIF0、PSIF1がインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。割り込みイネーブルレジスタESTRAに"0"が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグFSTRAは"1"にセットされます。割り込み要因フラグFSTRAは"1"を書き込むことによって"0"にリセットされます。

本割り込み要因の発生によって、次の送信データのセットと送信開始の制御(TXTRGに"1"を書き込む)を行うことができます。

本割り込み要因の例外処理ベクタアドレスは、000014Hに設定されています。

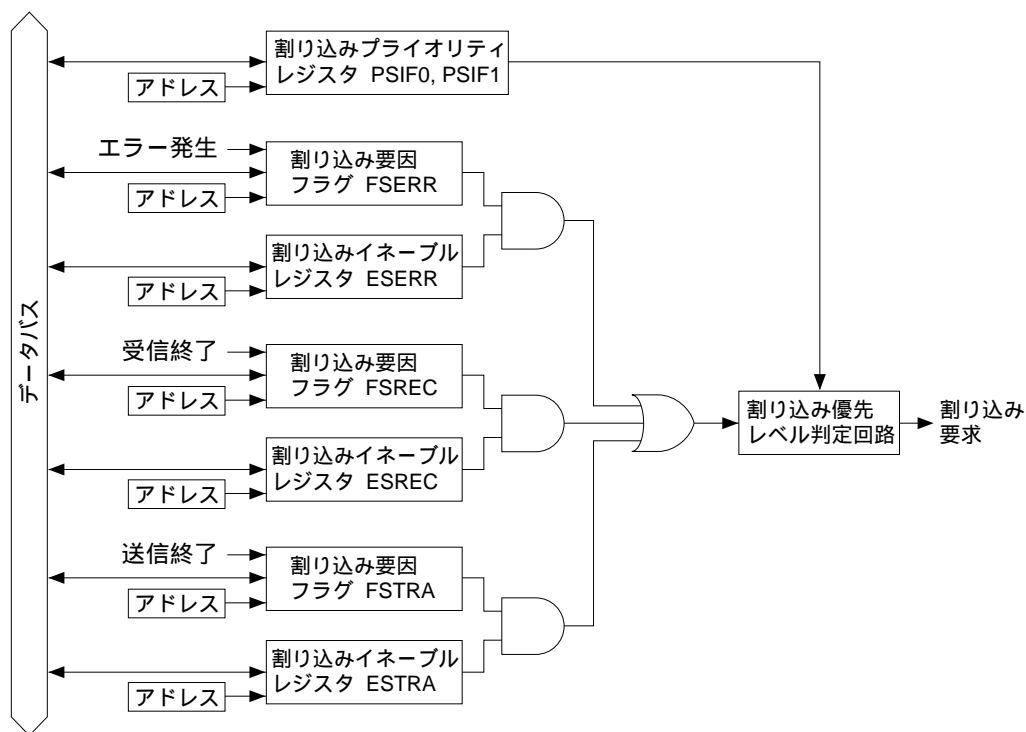


図5.7.8.1 シリアルインタフェース割り込み回路の構成

受信完了割り込み

本割り込み要因は、受信が完了してシフトレジスタに取り込まれた受信データが受信データバッファに転送された時点で発生し、割り込み要因フラグFSRECを"1"にセットします。このとき、割り込みイネーブルレジスタESRECが"1"で、かつ割り込み優先レジスタPSIF0、PSIF1がインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込みイネーブルレジスタESRECに"0"が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグFSRECは"1"にセットされます。

割り込み要因フラグFSRECは"1"を書き込むことによって"0"にリセットされます。

本割り込み要因の発生により、受信データの読み出しが可能となります。

なお、パリティエラーおよびフレーミングエラー発生時にも割り込み要因フラグFSRECは"1"にセットされます。

本割り込み要因の例外処理ベクタアドレスは、000012Hに設定されています。

エラー割り込み

本割り込み要因は、受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された時点で発生し、割り込み要因フラグFSERRを"1"にセットします。このとき、割り込みイネーブルレジスタESERRが"1"で、かつ割り込み優先レジスタPSIF0、PSIF1がインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込みイネーブルレジスタESERRに"0"が設定され、割り込みが禁止されている場合は、CPUに対する割り込みは発生しません。ただし、この場合でも割り込み要因フラグFSERRは"1"にセットされます。

割り込み要因フラグFSERRは"1"を書き込むことによって"0"にリセットされます。

3種類のエラーとも同一の割り込み要因となっていますので、発生したエラーの識別はエラーフラグPER(パリティエラー)、OER(オーバーランエラー)、FER(フレーミングエラー)で行ってください。

本割り込み要因の例外処理ベクタアドレスは、000010Hに設定されています。

5.7.9 シリアルインタフェースの制御方法

表5.7.9.1にシリアルインタフェースの制御ビットを示します。

表5.7.9.1(a) シリアルインタフェースの制御ビット

アドレス	ビット	名称	機 能		1	0	SR	R/W	注 釈
00FF48	D7	—	—		—	—	—		読み出し時は"0"
	D6	EPR	パリティイネーブルレジスタ		パリティ付き	パリティなし	0	R/W	調歩同期式のみ
	D5	PMD	パリティモード選択		奇数	偶数	0	R/W	
	D4	SCS1	クロック源選択				0	R/W	クロック同期式 スレープモード では外部クロック が選択される
	D3	SCS0	SCS1	SCS0			クロック源		
			1	1			プログラマブルタイマ		
			1	0			fosc3 / 4		
	D2	SMD1	0	1	fosc3 / 8				
0			0	fosc3 / 16					
D1			SMD0	シリアルI/Fモード選択				0	R/W
D0	ESIF	シリアルI/Fイネーブルレジスタ	SMD1	SMD0	モード				
			1	1	調歩同期式8ビット				
			1	0	調歩同期式7ビット				
00FF49	D7	—	—		—	—	—		読み出し時は"0"
	D6	FER	フレーミングエラーフラグ	R W	エラー リセット(0)	エラーなし 無効	0	R/W	調歩同期式のみ
	D5	PER	パリティエラーフラグ	R W	エラー リセット(0)	エラーなし 無効	0	R/W	
	D4	OER	オーバーランエラーフラグ	R W	エラー リセット(0)	エラーなし 無効	0	R/W	
	D3	RXTRG	受信トリガ/ステータス	R W	受信中 トリガ	停止中 無効	0	R/W	
	D2	RXEN	受信許可		許可	禁止	0	R/W	
	D1	TXTRG	送信トリガ/ステータス	R W	送信中 トリガ	停止中 無効	0	R/W	
	D0	TXEN	送信許可		許可	禁止	0	R/W	
00FF4A	D7	TRXD7	送受信データD7 (MSB)		High	Low	X	R/W	
	D6	TRXD6	送受信データD6				X	R/W	
	D5	TRXD5	送受信データD5				X	R/W	
	D4	TRXD4	送受信データD4				X	R/W	
	D3	TRXD3	送受信データD3				X	R/W	
	D2	TRXD2	送受信データD2				X	R/W	
	D1	TRXD1	送受信データD1				X	R/W	
	D0	TRXD0	送受信データD0 (LSB)				X	R/W	
00FF20	D7	PK01	K00 ~ K07割り込み		PK01 PK00 PSIF1 PSIF0 PSW1 PSW0 PTM1 PTM0 1 1 1 0 0 1 0 0	優先 レベル レベル3 レベル2 レベル1 レベル0	0	R/W	
	D6	PK00	プライオリティレジスタ				0	R/W	
	D5	PSIF1	シリアルインタフェース割り込み				0	R/W	
	D4	PSIF0	プライオリティレジスタ				0	R/W	
	D3	PSW1	ストップウォッチタイマ割り込み				0	R/W	
	D2	PSW0	プライオリティレジスタ				0	R/W	
	D1	PTM1	計時タイマ割り込み				0	R/W	
	D0	PTM0	プライオリティレジスタ				0	R/W	

表5.7.9.1(b) シリアルインタフェースの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF23	D7	EPT1	プログラマブルタイマ1割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D6	EPT0	プログラマブルタイマ0割り込みイネーブルレジスタ			0	R/W	
	D5	EK1	K10割り込みイネーブルレジスタ			0	R/W	
	D4	EK0H	K04～K07割り込みイネーブルレジスタ			0	R/W	
	D3	EK0L	K00～K03割り込みイネーブルレジスタ			0	R/W	
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブルレジスタ			0	R/W	
	D1	ESREC	シリアルI/F(受信)割り込みイネーブルレジスタ			0	R/W	
	D0	ESTRA	シリアルI/F(送信)割り込みイネーブルレジスタ			0	R/W	
00FF25	D7	FPT1	プログラマブルタイマ1割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W	
	D6	FPT0	プログラマブルタイマ0割り込み要因フラグ			0	R/W	
	D5	FK1	K10割り込み要因フラグ			0	R/W	
	D4	FK0H	K04～K07割り込み要因フラグ			0	R/W	
	D3	FK0L	K00～K03割り込み要因フラグ	(W) リセット	(W) 無効	0	R/W	
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ			0	R/W	
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ			0	R/W	
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ			0	R/W	

ESIF: 00FF48H-D0

シリアルインタフェース用端子(P10～P13)の設定を行います。

"1"書き込み: シリアル入出力端子

"0"書き込み: 入出力兼用ポート端子

読み出し: 可能

ESIFはシリアルインタフェースイネーブルレジスタで、"1"を書き込んだ場合はP10～P13端子がシリアル入出力端子(SIN、SOUT、SCLK、SRDY)となり、"0"を書き込んだ場合は入出力兼用ポート端子となります。

なお、転送モードによる端子の設定は表5.7.3.2を参照してください。

イニシャルリセット時、ESIFは"0"(入出力兼用ポート)に設定されます。

SMD0, SMD1: 00FF48H-D1, D2

転送モードを表5.7.9.2のとおり設定します。

表5.7.9.2 転送モードの設定

SMD1	SMD0	モード
1	1	調歩同期式8ビット
1	0	調歩同期式7ビット
0	1	クロック同期式スレーブ
0	0	クロック同期式マスタ

SMD0、SMD1は読み出しも可能です。

イニシャルリセット時、本レジスタは"0"(クロック同期式マスタモード)に設定されます。

SCS0, SCS1: 00FF48H-D3, D4

クロック源を表5.7.9.3のとおり選択します。

表5.7.9.3 クロック源の選択

SCS1	SCS0	クロック源
1	1	プログラマブルタイマ
1	0	fosc3 / 4
0	1	fosc3 / 8
0	0	fosc3 / 16

SCS0、SCS1は読み出しも可能です。

クロック同期式スレーブモードでは、本レジスタの設定は無効です。

イニシャルリセット時、本レジスタは"0"(fosc3/16)に設定されます。

EPR: 00FF48H-D6

パリティ機能を選択します。

"1"書き込み: パリティあり

"0"書き込み: パリティなし

読み出し: 可能

受信データのパリティチェックおよび送信データへのパリティビットの付加を行うが行わないかを選択します。EPRに"1"を書き込むと受信データの最上位ビットがパリティビットと見なされてパリティチェックが行われます。送信データに対してはパリティビットが自動的に付加されます。"0"を書き込んだ場合はチェックおよび付加は行われません。

パリティは調歩同期式モードの場合にのみ有効で、クロック同期式モードではEPRの設定は無効となります。

イニシャルリセット時、EPRは"0"(パリティなし)に設定されます。

PMD: 00FF48H-D5

奇数パリティ/偶数パリティを選択します。

- "1"書き込み: 奇数パリティ
- "0"書き込み: 偶数パリティ
- 読み出し: 可能

PMDに"1"を書き込むと奇数パリティが選択され、"0"を書き込むと偶数パリティが選択されます。パリティチェックおよびパリティビットの付加はEPRに"1"が書き込まれている場合にのみ有効で、EPRに"0"が書き込まれている場合は、PMDによる奇数パリティ/偶数パリティの設定は無効となります。イニシャルリセット時、PMDは"0"(偶数パリティ)に設定されます。

TXEN: 00FF49H-D0

シリアルインタフェースを送信許可状態に設定します。

- "1"書き込み: 送信許可
- "0"書き込み: 送信禁止
- 読み出し: 可能

TXENに"1"を書き込むとシリアルインタフェースが送信許可状態となり、"0"を書き込むと送信禁止状態となります。シリアルインタフェースのモード初期設定等を行う場合は、TXENを"0"に設定してください。イニシャルリセット時、TXENは"0"(送信禁止)に設定されます。

TXTRG: 00FF49H-D1

送信開始のトリガ/動作状態(送信中/停止中)を示すステータスとして機能します。

- "1"読み出し: 送信中
- "0"読み出し: 停止中
- "1"書き込み: 送信開始
- "0"書き込み: 無効

送信データを書き込んだ後、TXTRGに"1"を書き込むことで送信処理を開始します。TXTRGはステータスとして読み出しが可能で、"1"の場合は送信動作中、"0"の場合は送信停止中を示します。イニシャルリセット時、TXTRGは"0"(停止中)に設定されます。

RXEN: 00FF49H-D2

シリアルインタフェースを受信許可状態に設定します。

- "1"書き込み: 受信許可
- "0"書き込み: 受信禁止
- 読み出し: 可能

RXENに"1"を書き込むとシリアルインタフェースが受信許可状態となり、"0"を書き込むと受信禁止状態となります。

シリアルインタフェースのモード初期設定等を行う場合は、RXENを"0"に設定してください。

イニシャルリセット時、RXENは"0"(受信禁止)に設定されます。

RXTRG: 00FF49H-D3

受信開始のトリガ/次のデータの受信準備/動作状態(受信/停止中)を示すステータスとして機能します。

- "1"読み出し: 受信
- "0"読み出し: 停止中
- "1"書き込み: 受信開始/次のデータの受信準備
- "0"書き込み: 無効

RXTRGは、クロック同期式と調歩同期式で若干動作が異なります。

クロック同期式でのRXTRGは受信開始のトリガとして使用します。

受信データを読み出し、次の受信準備ができたところでRXTRGに"1"を書き込み受信を開始させます。(スレーブモードではRXTRGに"1"を書き込んだところでSRDYが"0"となります。)

調歩同期式でのRXTRGは、次のデータの受信準備に使用します。受信データバッファにある受信データを読み出し、バッファが空となったことを知らせるためRXTRGに"1"を書き込みます。RXTRGに"1"を書き込まなかった場合、次の受信が終了した時点でオーバーランエラーフラグOERが"1"にセットされます。(受信データを読み出す動作とRXTRGに"1"を書き込む動作との間に受信を終了した場合はオーバーランエラーとなります。)

また、RXTRGはステータスとして読み出しが可能で、クロック同期式、調歩同期式どちらのモードでも"1"の場合は受信動作中、"0"の場合は受信停止中を示します。

イニシャルリセット時、RXTRGは"0"(停止中)に設定されます。

TRXD0~TRXD7: 00FF4AH**送信時**

送信データを送信シフトレジスタに書き込みます。

"1"書き込み: HIGHレベル

"0"書き込み: LOWレベル

送信開始前に送信データを書き込みます。

連続送信の場合、データの書き込みは送信完了割り込みを待ってから行ってください。

調歩同期式7ビットモードにおいてはTRXD7が無効となります。

SOUT端子からはシリアル変換されたデータが、"1"に設定されたビットがHIGH(V_{DD})レベル、"0"に設定されたビットがLOW(V_{SS})レベルとして出力されます。

受信時

受信データを読み出します。

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

受信データバッファのデータが読み出せます。

シフトレジスタが本バッファとは別に設けられていますので、調歩同期式モードでは受信動作中にデータの読み出しが行えます。(クロック同期式モードではバッファ機能を使用しません。)

データの読み出しは受信完了割り込みを待ってから行ってください。

調歩同期式7ビットモードにおいてパリティチェックを行っている場合、パリティビットに対応する8ビット目(TRXD7)には"0"がロードされます。

SIN端子から入力されたシリアルデータはHIGH(V_{DD})レベルのビットを"1"、LOW(V_{SS})レベルのビットを"0"としてパラレル変換され、本バッファにロードされます。

イニシャルリセット時、バッファの内容は不定となります。

OER: 00FF49H-D4

オーバーランエラーの発生を示します。

"1"読み出し: エラーあり

"0"読み出し: エラーなし

"1"書き込み: "0"にリセット

"0"書き込み: 無効

OERはオーバーランエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。オーバーランエラーは調歩同期式モードの受信において、RXTRGに"1"を書き込む前に次のデータの受信を完了した場合に発生します。

OERは"1"を書き込むことで"0"にリセットされます。イニシャルリセット時、およびRXENが"0"のときOERは"0"(エラーなし)に設定されます。

PER: 00FF49H-D5

パリティエラーの発生を示します。

"1"読み出し: エラーあり

"0"読み出し: エラーなし

"1"書き込み: "0"にリセット

"0"書き込み: 無効

PERはパリティエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。

パリティエラーは調歩同期式モードでパリティチェックを行っている場合に、パリティの合っていないデータを受信すると発生します。

PERは"1"を書き込むことで"0"にリセットされます。イニシャルリセット時、およびRXENが"0"のとき、PERは"0"(エラーなし)に設定されます。

FER: 00FF49H-D6

フレーミングエラーの発生を示します。

"1"読み出し: エラーあり

"0"読み出し: エラーなし

"1"書き込み: "0"にリセット

"0"書き込み: 無効

FERはフレーミングエラーの発生を示すエラーフラグで、エラーが発生した場合に"1"となります。フレーミングエラーは調歩同期式モードの受信において、ストップビットが"0"になっていた場合に発生します。

FERは"1"を書き込むことで"0"にリセットされます。イニシャルリセット時、およびRXENが"0"のときFERは"0"(エラーなし)に設定されます。

PSIF0, PSIF1: 00FF20H-D4, D5

シリアルインタフェース割り込みの優先レベルを設定します。

PSIF0、PSIF1はシリアルインタフェース割り込みに対応した割り込みプライオリティレジスタで、設定できる割り込み優先レベルは表5.7.9.4のとおりです。

表5.7.9.4 割り込み優先レベルの設定

PSIF1	PSIF0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

ESTRA, ESREC, ESERR: 00FF23H-D0, D1, D2

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可
 "0"書き込み: 割り込み禁止
 読み出し: 可能

ESTRA、ESREC、ESERRはそれぞれ送信完了、受信完了、受信エラーの割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

FSTRA, FSREC, FSERR: 00FF25H-D0, D1, D2

シリアルインタフェース割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり
 "0"読み出し: 割り込み要因なし
 "1"書き込み: 要因フラグをリセット
 "0"書き込み: 無効

FSTRA、FSREC、FSERRはそれぞれ送信完了、受信完了、受信エラーの割り込みに対応する割り込み要因フラグで、それぞれの要因の発生により"1"にセットされます。

送信完了割り込み要因は、シフトレジスタのデータ送信が終了したところで発生します。

受信完了割り込み要因は、受信データが受信データバッファに転送されたところで発生します。

受信エラー割り込み要因は、データ受信時にパリティエラー、フレーミングエラー、オーバーランエラーが検出された場合に発生します。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、本フラグはすべて"0"にリセットされます。

5.7.10 プログラミング上の注意事項

- (1) シリアルインタフェースのモード初期設定は、送受信が禁止の状態(TXEN=RXEN="0")で行ってください。
- (2) シリアルインタフェースが送信(受信)中のときは、TXTRG(RXTRG)に対して二重トリガ("1"書き込み)は行わないでください。また、SLP命令も実行しないでください。(SLP命令を実行する場合はTXEN=RXEN="0"としてください。)
- (3) クロック同期式モードでは1本のクロックライン(SCLK)を送受信で共用するため、送信と受信を同時に行うことはできません。したがって、TXTRG(RXTRG)が"1"の最中はRXTRG(TXTRG)に"1"は書き込まないでください。
- (4) 調歩同期式モードにおいて、受信時にパリティエラーおよびフレーミングエラーが発生した場合は受信エラー割り込み要因フラグFSERRは、受信完了割り込み要因フラグFSRECに対して表5.7.10.1に示す時間早く"1"にセットされます。したがって、エラー処理ルーチン等で待ち時間を設けて、受信完了割り込み要因フラグFSRECを"0"にリセットしてください。
 なお、オーバーランエラー発生時には受信完了割り込み要因フラグFSRECは"1"にセットされず、受信完了割り込みも発生しません。

表5.7.10.1 エラー発生時のFSERRとFSRECの時間差

クロック源	時間差
fosc3 / n	fosc3 / n の1/2周期
プログラマブルタイマ	タイマ1アンダーフローの1周期

- (5) OSC3発振回路の分周信号をクロック源とする場合は、シリアルインタフェースを使用する以前にOSC3の発振をONさせる必要があります。なお、OSC3発振回路をONにしてから発振が安定するまでに数100μsec ~ 数10msecの時間を必要とします。したがって、シリアルインタフェースの送受信開始はOSC3発振ONの後、十分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)
 イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

5.8 計時タイマ

5.8.1 計時タイマの構成

S1C88832/88862はOSC1発振回路を原振とする計時タイマを内蔵しています。計時タイマはfosc1を分周した256Hz信号を入力クロックとする8ビットのバイナリカウンタで構成され、各ビット(128～1Hz)のデータをソフトウェアによって読み出すことができます。

通常はこの計時タイマを、時計などのような各種の計時機能に使用します。

図5.8.1.1に計時タイマの構成を示します。

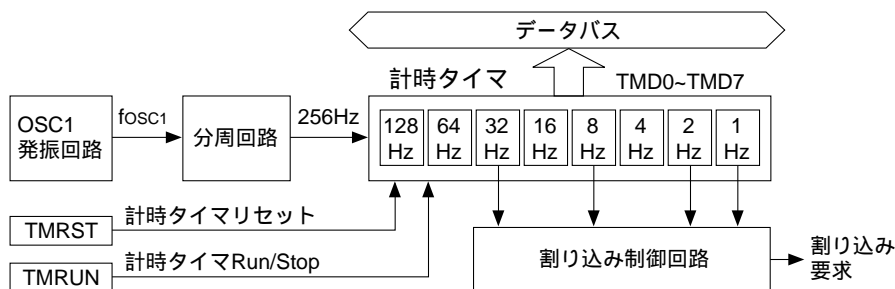


図5.8.1.1 計時タイマの構成

5.8.2 割り込み機能

計時タイマは32Hz、8Hz、2Hz、1Hzの各信号によって割り込みを発生させることができます。

図5.8.2.1に計時タイマ割り込み回路の構成を示します。

32Hz、8Hz、2Hz、1Hz信号の立ち下がりエッジで、それぞれに対応する割り込み要因フラグFTM32、FTM8、FTM2、FTM1が"1"にセットされ、割り込みが発生します。各割り込み要因フラグに対応した割り込みイネーブルレジスタETM32、ETM8、ETM2、ETM1の設定により、割り込みを禁止することもできます。

また、CPUに対する計時タイマ割り込みの優先レベルを割り込みプライオリティレジスタPTM0、PTM1によって任意のレベル(0～3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については"5.14 割り込みとスタンバイ状態"を参照してください。

各割り込み要因の例外処理ベクタアドレスは、それぞれ以下のとおり設定されています。

32Hz割り込み: 00001CH

8Hz割り込み: 00001EH

2Hz割り込み: 000020H

1Hz割り込み: 000022H

図5.8.2.2に計時タイマのタイミングチャートを示します。

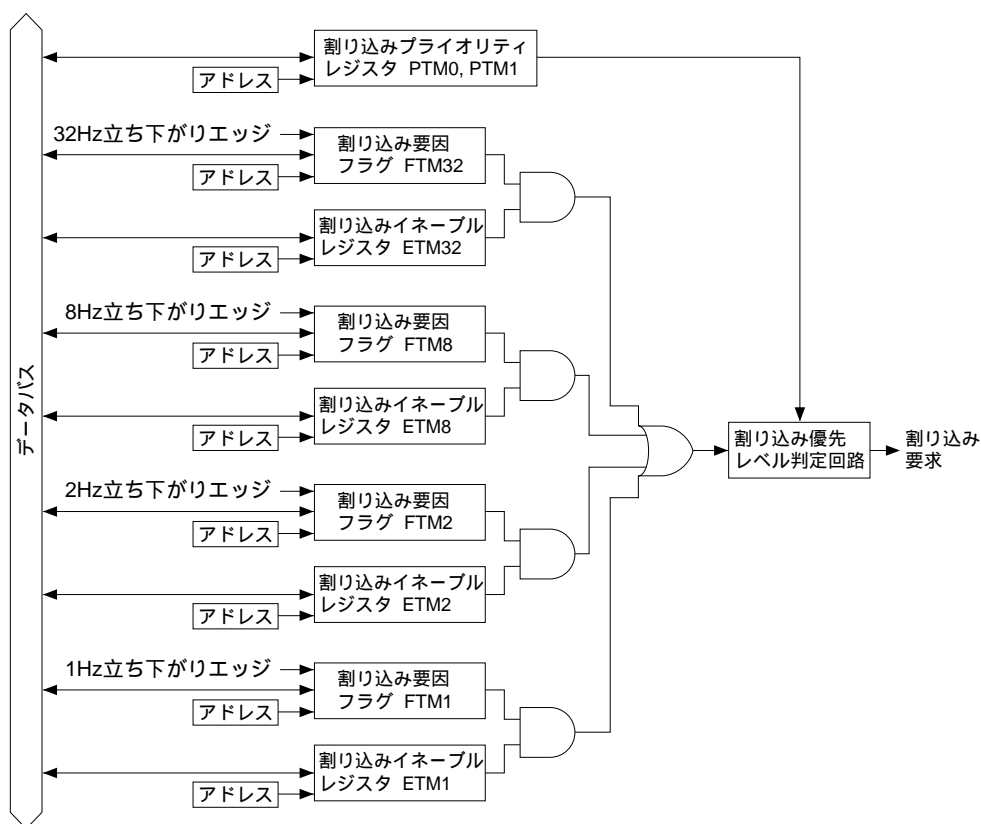


図5.8.2.1 計時タイマ割り込み回路の構成

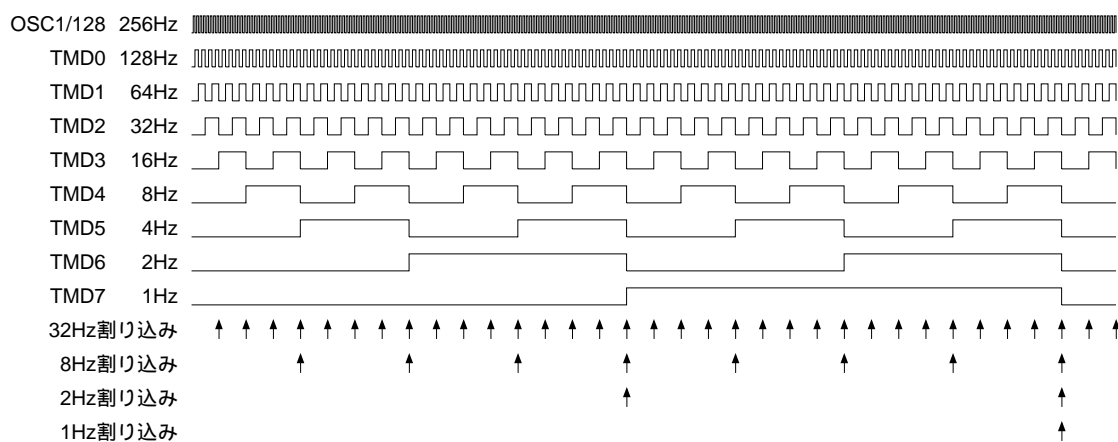


図5.8.2.2 計時タイマのタイミングチャート

5.8.3 計時タイマの制御方法

表5.8.3.1に計時タイマの制御ビットを示します。

表5.8.3.1 計時タイマの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF40	D7	—	—	—	—	—		読み出し時は"0"
	D6	FOUT2	FOUT周波数選択 <div> <div>FOUT2 FOUT1 FOUT0 周波数</div> <div>0 0 0 fosc1 / 1</div> <div>0 0 1 fosc1 / 2</div> <div>0 1 0 fosc1 / 4</div> <div>0 1 1 fosc1 / 8</div> <div>1 0 0 fosc3 / 1</div> <div>1 0 1 fosc3 / 2</div> <div>1 1 0 fosc3 / 4</div> <div>1 1 1 fosc3 / 8</div> </div>			0	R/W	S1C88862ではR/Wレジスタ機能のみ
	D5	FOUT1				0	R/W	
	D4	FOUT0				0	R/W	
	D3	FOUTON	FOUT出力制御	On	Off	0	R/W	
	D2	WDRST	ウォッチドッグタイマリセット	リセット	無効	—	W	読み出し時は
	D1	TMRST	計時タイマリセット	リセット	無効	—	W	常時"0"
	D0	TMRUN	計時タイマRun/Stop制御	Run	Stop	0	R/W	
00FF41	D7	TMD7	計時タイマデータ 1Hz	High	Low	0	R	
	D6	TMD6	計時タイマデータ 2Hz			0	R	
	D5	TMD5	計時タイマデータ 4Hz			0	R	
	D4	TMD4	計時タイマデータ 8Hz			0	R	
	D3	TMD3	計時タイマデータ 16Hz			0	R	
	D2	TMD2	計時タイマデータ 32Hz			0	R	
	D1	TMD1	計時タイマデータ 64Hz			0	R	
	D0	TMD0	計時タイマデータ 128Hz			0	R	
00FF20	D7	PK01	K00 ~ K07割り込み	<div> <div>PK01 PK00</div> <div>PSIF1 PSIF0</div> <div>PSW1 PSW0 優先</div> <div>PTM1 PTM0 レベル</div> <div>1 1 レベル3</div> <div>1 0 レベル2</div> <div>0 1 レベル1</div> <div>0 0 レベル0</div> </div>		0	R/W	
	D6	PK00	プライオリティレジスタ			0	R/W	
	D5	PSIF1	シリアルインタフェース割り込み			0	R/W	
	D4	PSIF0	プライオリティレジスタ			0	R/W	
	D3	PSW1	ストップウォッチタイマ割り込み			0	R/W	
	D2	PSW0	プライオリティレジスタ			0	R/W	
	D1	PTM1	計時タイマ割り込み			0	R/W	
	D0	PTM0	プライオリティレジスタ			0	R/W	
00FF22	D7	—	—	—	—	—		読み出し時は"0"
	D6	ESW100	ストップウォッチ100Hz割り込みイネーブルレジスタ	割り込み許可	割り込み禁止	0	R/W	
	D5	ESW10	ストップウォッチ10Hz割り込みイネーブルレジスタ			0	R/W	
	D4	ESW1	ストップウォッチ1Hz割り込みイネーブルレジスタ			0	R/W	
	D3	ETM32	計時タイマ32Hz割り込みイネーブルレジスタ			0	R/W	
	D2	ETM8	計時タイマ8Hz割り込みイネーブルレジスタ			0	R/W	
	D1	ETM2	計時タイマ2Hz割り込みイネーブルレジスタ			0	R/W	
	D0	ETM1	計時タイマ1Hz割り込みイネーブルレジスタ			0	R/W	
00FF24	D7	—	—	—	—	—		読み出し時は"0"
	D6	FSW100	ストップウォッチ100Hz割り込み要因フラグ	(R) 割り込み要因あり	(R) 割り込み要因なし	0	R/W	
	D5	FSW10	ストップウォッチ10Hz割り込み要因フラグ			0	R/W	
	D4	FSW1	ストップウォッチ1Hz割り込み要因フラグ			0	R/W	
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ			0	R/W	
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ	(W) リセット	(W) 無効	0	R/W	
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ			0	R/W	
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ			0	R/W	

TMD0~TMD7:00FF41H

計時タイマのデータが読み出せます。
各ビットと周波数との対応は以下のとおりです。

TMD0: 128Hz TMD4: 8Hz
TMD1: 64Hz TMD5: 4Hz
TMD2: 32Hz TMD6: 2Hz
TMD3: 16Hz TMD7: 1Hz

TMD0 ~ TMD7は読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、タイマデータは"00H"に設定されます。

TMRST: 00FF40H-D1

計時タイマをリセットします。

"1"書き込み: 計時タイマリセット
"0"書き込み: ノーオペレーション
読み出し: 常時"0"

計時タイマはTMRSTに"1"を書き込むことによってリセットされます。計時タイマがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合はリセットデータ"00H"が保持されます。

"0"の書き込みはノーオペレーションとなります。TMRSTは書き込み専用のため、読み出し時は常時"0"となります。

TMRUN: 00FF40H-D0

計時タイマのRUN/STOPを制御します。

"1"書き込み: RUN
"0"書き込み: STOP
読み出し: 可能

計時タイマはTMRUNに"1"を書き込むことによってアップカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではリセットか次にRUN状態にするまで、タイマのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

イニシャルリセット時、TMRUNは"0"(STOP)に設定されます。

PTM0, PTM1: 00FF20H-D0, D1

計時タイマ割り込みの優先レベルを設定します。PTM0、PTM1は計時タイマ割り込みに対応した割り込みプライオリティレジスタで、設定できる割り込み優先レベルは表5.8.3.2のとおりです。

表5.8.3.2 割り込み優先レベルの設定

PTM1	PTM0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

ETM1, ETM2, ETM8, ETM32: 00FF22H-D0~D3

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可
"0"書き込み: 割り込み禁止
読み出し: 可能

ETM1、ETM2、ETM8、ETM32はそれぞれ1Hz、2Hz、8Hz、32Hzの割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

FTM1, FTM2, FTM8, FTM32: 00FF24H-D0~D3

計時タイマ割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり
"0"読み出し: 割り込み要因なし

"1"書き込み: 要因フラグをリセット
"0"書き込み: 無効

FTM1、FTM2、FTM8、FTM32はそれぞれ1Hz、2Hz、8Hz、32Hzの割り込みに対応する割り込み要因フラグで、各信号の立ち下がりエッジに同期して"1"にセットされます。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、本フラグはすべて"0"にリセットされます。

5.8.4 プログラミング上の注意事項

- (1) 計時タイマはレジスタTMRUNへの書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRUN/STOP状態となります。
したがって、TMRUNに"0"を書き込んだ場合は、"+1"余分にカウントしたところでタイマが停止状態となります。また、このときTMRUNは実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。
図5.8.4.1にRUN/STOP制御のタイミングチャートを示します。

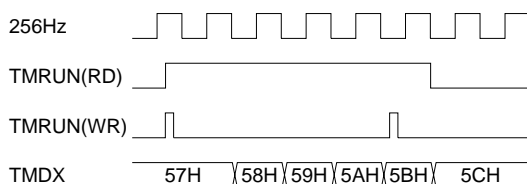


図5.8.4.1 RUN/STOP制御のタイミングチャート

- (2) 計時タイマがRUNしている状態(TMRUN="1")でSLP命令を実行した場合は、SLEEP状態からの復帰時に計時タイマが不安定な動作となります。したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前に計時タイマをSTOP状態(TMRUN="0")に設定してください。

5.9 ストップウォッチタイマ

5.9.1 ストップウォッチタイマの構成

S1C88832/88862は1/100sec単位と1/10sec単位のストップウォッチタイマを内蔵しています。ストップウォッチタイマはfosc1を分周した256Hz信号を入力クロックとする4ビット2段のBCDカウンタ(1/100sec単位、1/10sec単位)で構成され、カウントデータをソフトウェアによって読み出すことができます。

図5.9.1.1にストップウォッチタイマの構成を示します。ストップウォッチタイマは計時タイマとは別のタイマとして使用することができ、ストップウォッチ機能などをソフトウェアによって容易に実現することができます。

5.9.2 カウントアップパターン

ストップウォッチタイマは、それぞれ4ビットのBCDカウンタSWD0～SWD3とSWD4～SWD7で構成されています。

図5.9.2.1にストップウォッチタイマのカウントアップパターンを示します。

帰還分周回路はfosc1を分周した256Hz信号から2/256secと3/256sec間隔の近似100Hz信号を発生します。

1/100secカウンタ(SWD0～SWD3)は、帰還分周回路が2/256secと3/256sec間隔で発生する近似100Hz信号をカウントして、25/256secと26/256sec間隔の近似10Hz信号を発生します。

カウントアップは、2/256secと3/256sec間隔による擬似的な1/100secカウントとなります。

1/10secカウンタ(SWD4～SWD7)は、1/100secカウンタが25/256secと26/256sec間隔で発生する近似10Hz信号を4:6の割合でカウントして、1Hz信号を発生します。

カウントアップは、25/256secと26/256sec間隔による擬似的な1/10secカウントとなります。

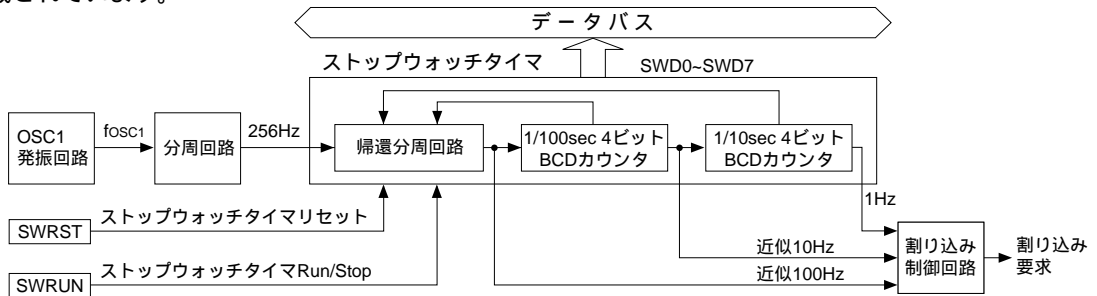


図5.9.1.1 ストップウォッチタイマの構成

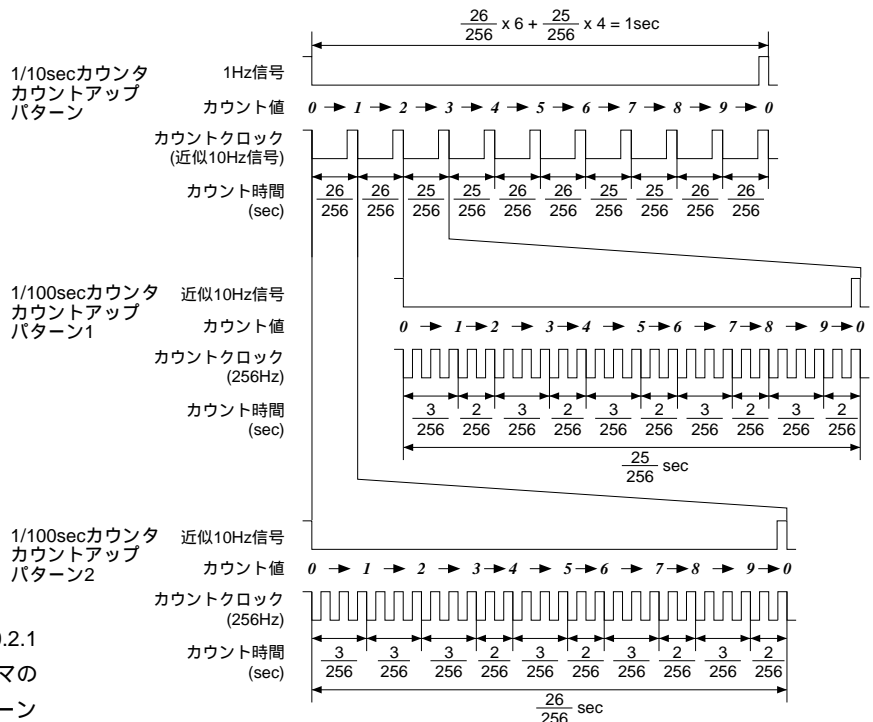


図5.9.2.1

ストップウォッチタイマの
カウントアップパターン

5.9.3 割り込み機能

ストップウォッチタイマは100Hz(近似100Hz)、10Hz(近似10Hz)、1Hzの各信号によって割り込みを発生させることができます。

図5.9.3.1にストップウォッチタイマ割り込み回路の構成を示します。

100Hz、10Hz、1Hz信号の立ち下がりエッジで、それぞれに対応する割り込み要因フラグFSW100、FSW10、FSW1が"1"にセットされ、割り込みが発生します。各割り込み要因フラグに対応した割り込みイネーブルレジスタESW100、ESW10、ESW1の設定により、割り込みを禁止することもできます。

また、CPUに対するストップウォッチタイマ割り込みの優先レベルを割り込みプライオリティレジスタPSW0、PSW1によって任意のレベル(0～3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については"5.14 割り込みとスタンバイ状態"を参照してください。

各割り込み要因の例外処理ベクタアドレスは、それぞれ以下のとおり設定されています。

- 100Hz割り込み: 000016H
- 10Hz割り込み: 000018H
- 1Hz割り込み: 00001AH

図5.9.3.2にストップウォッチタイマのタイミングチャートを示します。

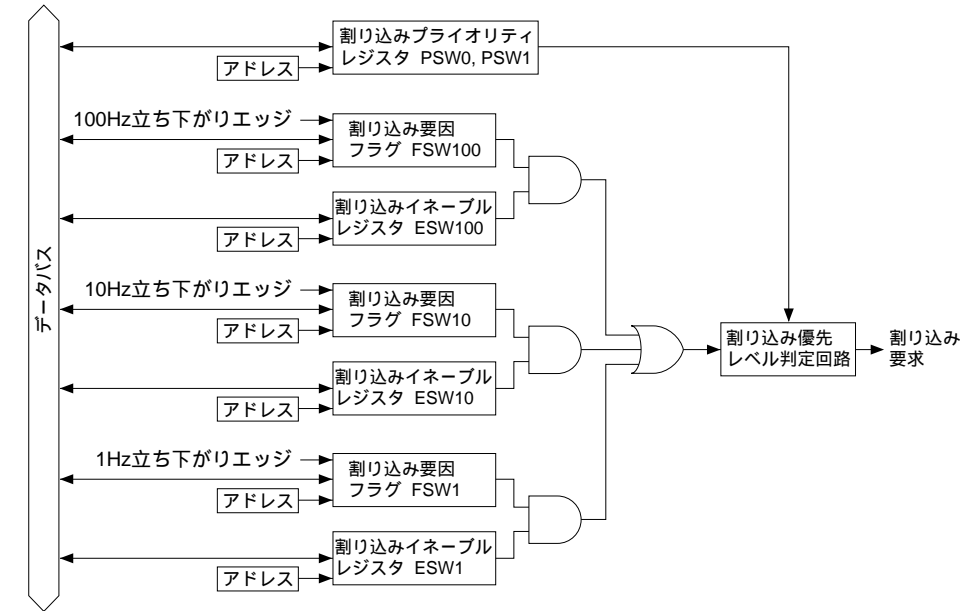


図5.9.3.1 ストップウォッチタイマ割り込み回路の構成

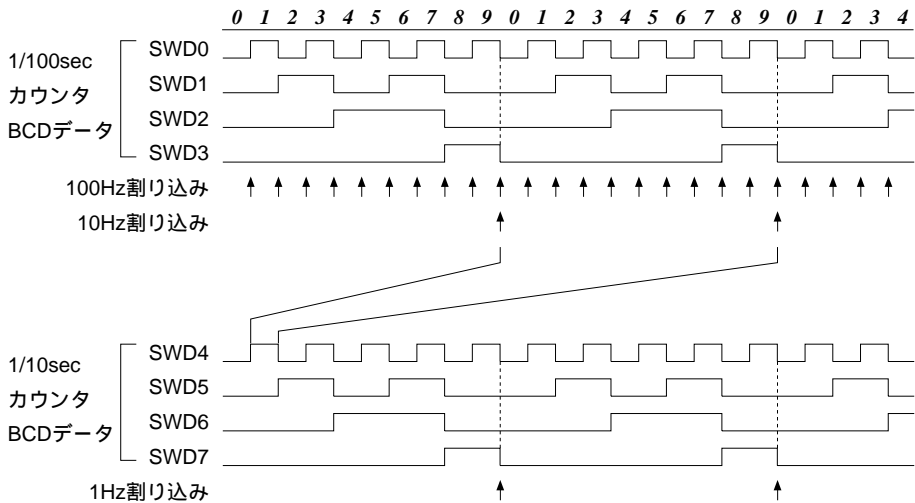


図5.9.3.2 ストップウォッチタイマのタイミングチャート

5.9.4 ストップウォッチタイマの制御方法

表5.9.4.1にストップウォッチタイマの制御ビットを示します。

表5.9.4.1 ストップウォッチタイマの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF42	D7	—	—	—	—	—	—	読み出し時は 常時"0"
	D6	—	—	—	—	—	—	
	D5	—	—	—	—	—	—	
	D4	—	—	—	—	—	—	
	D3	—	—	—	—	—	—	
	D2	—	—	—	—	—	—	
	D1	SWRST	ストップウォッチタイマリセット	リセット	無効	—	W	
	D0	SWRUN	ストップウォッチタイマRun/Stop制御	Run	Stop	0	R/W	
00FF43	D7	SWD7	ストップウォッチタイマデータ			0	R	
	D6	SWD6				0	R	
	D5	SWD5				0	R	
	D4	SWD4				0	R	
	D3	SWD3	ストップウォッチタイマデータ			0	R	
	D2	SWD2				0	R	
	D1	SWD1				0	R	
	D0	SWD0				0	R	
00FF20	D7	PK01	K00～K07割り込み	PK01 PK00 PSIF1 PSIF0 PSW1 PSW0 PTM1 PTM0 優先 レベル		0	R/W	
	D6	PK00	プライオリティレジスタ			0	R/W	
	D5	PSIF1	シリアルインタフェース割り込み			0	R/W	
	D4	PSIF0	プライオリティレジスタ			0	R/W	
	D3	PSW1	ストップウォッチタイマ割り込み			0	R/W	
	D2	PSW0	プライオリティレジスタ			0	R/W	
	D1	PTM1	計時タイマ割り込み			0	R/W	
	D0	PTM0	プライオリティレジスタ			0	R/W	
00FF22	D7	—	—	—	—	—	—	読み出し時は"0"
	D6	ESW100	ストップウォッチ100Hz割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D5	ESW10	ストップウォッチ10Hz割り込みイネーブルレジスタ			0	R/W	
	D4	ESW1	ストップウォッチ1Hz割り込みイネーブルレジスタ			0	R/W	
	D3	ETM32	計時タイマ32Hz割り込みイネーブルレジスタ			0	R/W	
	D2	ETM8	計時タイマ8Hz割り込みイネーブルレジスタ			0	R/W	
	D1	ETM2	計時タイマ2Hz割り込みイネーブルレジスタ			0	R/W	
	D0	ETM1	計時タイマ1Hz割り込みイネーブルレジスタ			0	R/W	
00FF24	D7	—	—	—	—	—	—	読み出し時は"0"
	D6	FSW100	ストップウォッチ100Hz割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W	
	D5	FSW10	ストップウォッチ10Hz割り込み要因フラグ			0	R/W	
	D4	FSW1	ストップウォッチ1Hz割り込み要因フラグ			0	R/W	
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ			0	R/W	
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ	(W) リセット	(W) 無効	0	R/W	
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ			0	R/W	
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ			0	R/W	

SWD0~SWD7: 00FF43H

ストップウォッチタイマのデータが読み出せます。
上位/下位ニブルとBCD桁との対応は以下のとおりです。

SWD0 ~ SWD3: BCD (1/100sec)

SWD4 ~ SWD7: BCD (1/10sec)

SWD0 ~ SWD7は読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、タイマデータは"00H"に設定されます。

SWRST: 00FF42H·D1

ストップウォッチタイマをリセットします。

"1"書き込み: ストップウォッチタイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

ストップウォッチタイマはSWRSTに"1"を書き込むことによってリセットされます。ストップウォッチタイマがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合はリセットデータ"00H"が保持されます。

"0"の書き込みはノーオペレーションとなります。SWRSTは書き込み専用のため、読み出し時は常時"0"となります。

SWRUN: 00FF42H·D0

ストップウォッチタイマのRUN/STOPを制御します。

"1"書き込み: RUN

"0"書き込み: STOP

読み出し: 可能

ストップウォッチタイマはSWRUNに"1"を書き込むことによってアップカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではリセットか次にRUN状態にするまで、タイマのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

イニシャルリセット時、SWRUNは"0"(STOP)に設定されます。

PSW0, PSW1: 00FF20H·D2, D3

ストップウォッチタイマ割り込みの優先レベルを設定します。PSW0、PSW1はストップウォッチタイマ割り込みに対応した割り込みプライオリティレジスタで、設定できる割り込み優先レベルは表5.9.4.2のとおりです。

表5.9.4.2 割り込み優先レベルの設定

PSW1	PSW0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

ESW1, ESW10, ESW100: 00FF22H·D4, D5, D6

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

ESW1、ESW10、ESW100はそれぞれ1Hz、10Hz、100Hzの割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。イニシャルリセット時、本レジスタはすべて"0"(割り込み禁止)に設定されます。

FSW1, FSW10, FSW100: 00FF24H·D4, D5, D6

タイマ割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

FSW1、FSW10、FSW100はそれぞれ1Hz、10Hz、100Hzの割り込みに対応する割り込み要因フラグで、各信号の立ち下がりエッジに同期して"1"にセットされます。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

イニシャルリセット時、本フラグはすべて"0"にリセットされます。

5.9.5 プログラミング上の注意事項

- (1) ストップウォッチタイマはレジスタSWRUNへの書き込みに対して、256Hz信号の立ち下がりエッジに同期して実際にRUN/STOP状態となります。

したがって、SWRUNに"0"を書き込んだ場合は、"+1"余分にカウントしたところでタイマが停止状態となる場合があります。また、このときSWRUNは実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。

図5.9.5.1にRUN/STOP制御のタイミングチャートを示します。

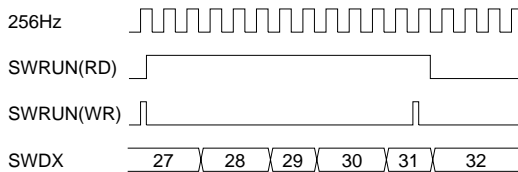


図5.9.5.1 RUN/STOP制御のタイミングチャート

- (2) ストップウォッチタイマがRUNしている状態 (SWRUN="1")でSLP命令を実行した場合は、SLEEP状態からの復帰時にストップウォッチタイマが不安定な動作となります。

したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前にストップウォッチタイマをSTOP状態 (SWRUN="0")に設定してください。

5.10 プログラマブルタイマ

5.10.1 プログラマブルタイマの構成

S1C88832/88862は8ビットのプログラマブルタイマを2系統(タイマ0およびタイマ1)内蔵しています。タイマ0とタイマ1は8ビットプリセッタブルダウンカウンタで構成され、8ビット×2チャンネルあるいは16ビット×1チャンネルのプログラマブルタイマとして使用することができます。また、K10入力ポート端子を使用したイベントカウンタ機能とパルス幅測定タイマ機能も合わせ持っています。

図5.10.1.1にプログラブルタイマの構成を示します。

プログラマブルタイマのアンダーフロー信号をシリアルインタフェースの同期クロックとして使用できるため、転送速度のプログラマブルな設定が可能です。また、このアンダーフローの1/2分周信号(TOUT)をR27出力ポート端子から外部に出力させることもできます。また、マスクオプションの選択により、R26出力ポート端子からTOUT信号(TOUT反転信号)を出力させることができます。

5.10.2 カウント動作と基本モード設定

ここでは、プログラマブルタイマの基本動作と設定について説明をします。

初期値の設定とダウンカウント

タイマ0およびタイマ1にはそれぞれ、8ビットのダウンカウンタとリロードデータレジスタが設けられています。

リロードデータレジスタRLD00～RLD07(タイマ0)、RLD10～RLD17(タイマ1)はカウンタの初期値を設定するレジスタです。

ダウンカウンタは、リロードデータレジスタ RLD に設定された初期値をプリセット制御ビット PSET0(タイマ0)、PSET1(タイマ1)への"1"書き込みによってロードします。したがって、このロードされた初期値から入力クロックによるダウンカウントが行われます。

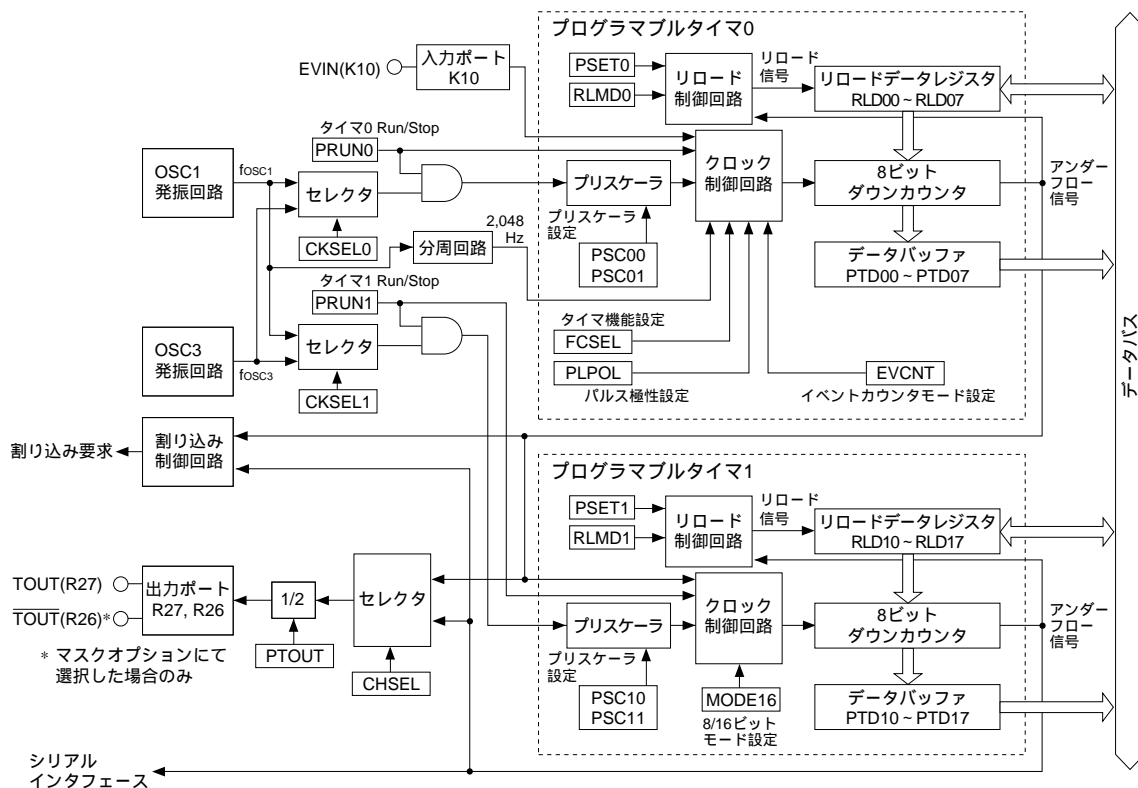


図5.10.1.1 プログラマブルタイマの構成

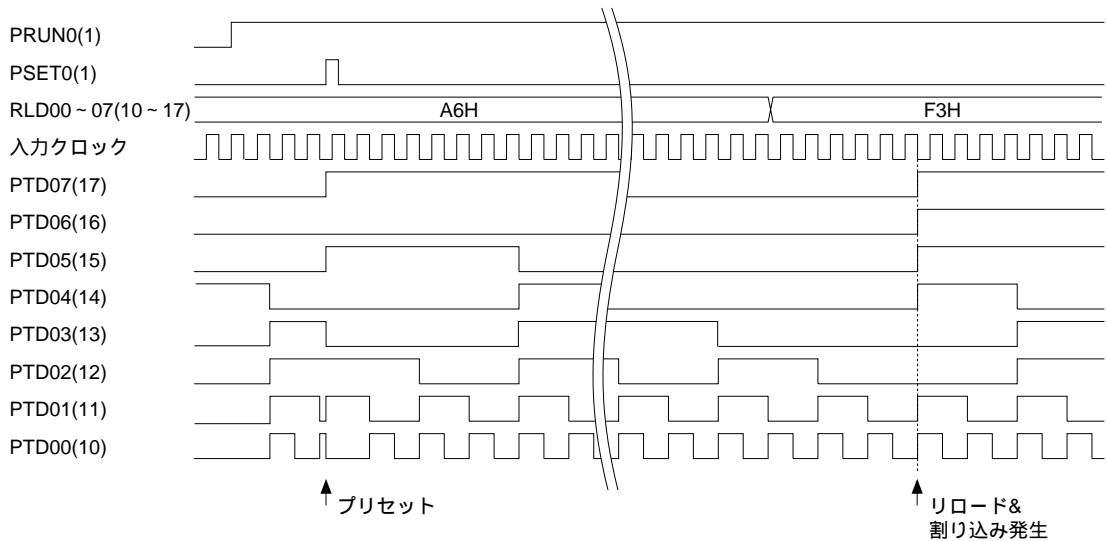


図5.10.2.1 カウンタの基本動作タイミング

タイマ0およびタイマ1にはそれぞれ、RUN/STOPを制御するレジスタPRUN0(タイマ0)、PRUN1(タイマ1)が設けられています。リロードデータをカウンタにプリセットした後、本レジスタに"1"を書き込むことによってダウンカウントが開始されます。"0"を書き込むとクロックの入力が禁止され、カウントは停止します。このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

カウンタのデータの読み出しはデータバッファPTD00~PTD07(タイマ0)、PTD10~PTD17(タイマ1)を介して行い、任意のタイミングで読み出しが可能です。カウンタはダウンカウントが進んでアンダーフローが発生すると、リロードデータレジスタRLDに設定された初期値をリロードします。このアンダーフロー信号はカウンタのリロードのほか、割り込みの発生、外部へのパルス(TOUT信号)出力、シリアルインタフェースへのクロック供給を制御します。

連続/ワンショットモード設定

連続/ワンショットモード選択レジスタCONT0(タイマ0)、CONT1(タイマ1)に"1"を書き込むことによって、プログラマブルタイマは連続モードに設定されます。連続モードでは、アンダーフロー発生時にカウンタの初期値を自動的にリロードしてダウンカウントを継続します。このモードはプログラマブルなインターバルを必要とする用途(割り込み、シリアルインタフェースの同期クロック等)に適しています。

一方、レジスタCONT0(タイマ0)、CONT1(タイマ1)に"0"を書き込んだ場合はワンショットモードとなり、カウンタはアンダーフロー発生時に初期値をリロードして停止します。このとき、RUN/STOP制御レジスタPRUN0(タイマ0)、PRUN1(タイマ1)は自動的に"0"にリセットされます。カウンタが停止した後、レジスタPRUN0(タイマ0)、PRUN1(タイマ1)に"1"を書き込むことによって再度ワンショットカウントを行うことができます。このモードは単発的な時間計測等に適しています。

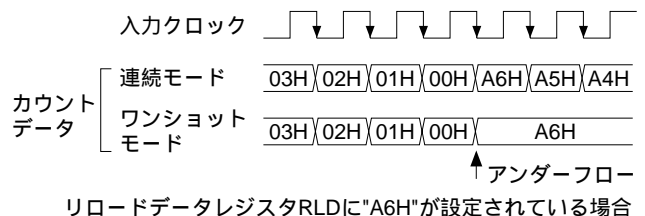


図5.10.2.2 連続モードとワンショットモード

8/16ビットモード設定

8/16ビットモード選択レジスタMODE16に"0"を書き込むことによって、タイマ0およびタイマ1は8ビット×2チャンネルの独立したタイマに設定されます。このモードでは、タイマ0とタイマ1を個別に制御することができ、それぞれはまったく別のタイマとして動作します。

一方、レジスタMODE16に"1"を書き込んだ場合は、タイマ0およびタイマ1は1チャンネルの16ビットタイマに設定されます。このモードでは、タイマ0を下位8ビット、タイマ1を上位8ビットとした16ビットのカウンタが行われ、タイマはタイマ0側のレジスタによって制御されます。この場合、タイマ1側のレジスタの制御は無効となります。(PRUN1は"0"に固定されます。)

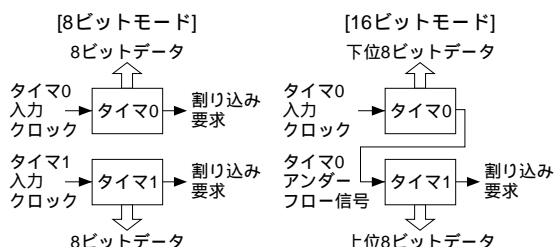


図5.10.2.3 8/16ビットモード設定とカウンタの構成

5.10.3 入力クロックの設定

タイマ0およびタイマ1にはそれぞれ、プリスケアラが設けられています。プリスケアラはOSC1またはOSC3発振回路から供給される原振クロックを分周して、それぞれのタイマへの入力クロックを発生します。

原振クロックとプリスケアラの分周比はタイマ0、タイマ1でそれぞれ個別にソフトウェアで選択することができます。

入力クロックは以下の手順で設定します。

(1) 原振クロックの選択

それぞれのプリスケアラに入力する原振クロックを、OSC1とするかOSC3とするかを選択します。この選択は、原振クロック選択レジスタCKSEL0(タイマ0)、CKSEL1(タイマ1)によって行われ、"0"を書き込むとOSC1、"1"を書き込むとOSC3が選択されます。16ビットモードを選択している場合は、レジスタCKSEL0によって原振クロックが選択され、レジスタCKSEL1の設定は無効となります。

OSC3発振回路を原振とする場合は、プログラマブルタイムを使用する以前にOSC3の発振をONさせる必要があります。

なお、OSC3発振回路をONにしてから発振が安定するまでに数100μsec～数10msecの時間を必要とします。したがって、プログラマブルタイムのカウント開始はOSC3発振ONの後、十分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)

イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

(2) プリスケアラ分周比の選択

それぞれのプリスケアラの分周比を4種類の中から選択します。この選択は、プリスケアラ分周比選択レジスタPSC00/PSC01(タイマ0)、PSC10/PSC11(タイマ1)によって行われ、設定値と分周比とが表5.10.3.1に示すとおり対応しています。

表5.10.3.1 プリスケアラ分周比の選択

PSC11 PSC01	PSC10 PSC00	プリスケアラ分周比
1	1	原振クロック / 64
1	0	原振クロック / 16
0	1	原振クロック / 4
0	0	原振クロック / 1

レジスタPRUN0(タイマ0)、PRUN1(タイマ1)に"1"を書き込むことによって、原振クロックがプリスケアラに入力されます。これによって、選択した分周比のクロックがタイマに入力され、タイマがダウンカウントを開始します。

なお、16ビットモードを選択している場合は、レジスタPSC00/PSC01によって原振クロックの分周比が選択され、レジスタPSC10/PSC11の設定は無効となります。

5.10.4 タイマモード

タイマモードはプリスケアラの出力を入力クロックとしてダウンカウントを行うモードです。

このモードは、OSC1またはOSC3発振回路を原振として一定周期ごとにカウントを行うタイマとして動作します。

タイマの基本的な動作と制御については"5.10.2 カウント動作と基本モード設定"を、原振とプリスケアラの設定については"5.10.3 入力クロックの設定"をそれぞれ参照してください。

5.10.5 イベントカウンタモード

タイマ0には、K10入力ポート端子に外部クロック(EVIN)を入力してカウントを行うイベントカウンタ機能があります。この機能は、タイマ0カウンタモード選択レジスタEVCNTに"1"を書き込むことによって選択されます。

イベントカウンタモードを選択した場合は、8ビットモードではタイマ0がイベントカウンタ、タイマ1が通常のタイマとして動作します。また、16ビットモードではタイマ0とタイマ1が1チャンネルの16ビットイベントカウンタとして動作します。

イベントカウンタモードでは、外部からタイマ0にクロックが供給されるため、レジスタPSC00/PSC01の設定は無効となります。

ダウンカウントのタイミングは、タイマ0パルス極性選択レジスタPLPOLによって、立ち下がりエッジまたは立ち上がりエッジのどちらかが選択できます。レジスタPLPOLに"0"を書き込んだ場合が立ち下がりエッジ、"1"を書き込んだ場合が立ち上がりエッジとなり、図5.10.5.1に示すタイミングでダウンカウントが行われます。

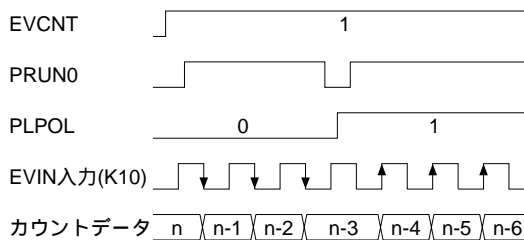


図5.10.5.1 イベントカウンタモードの
タイミングチャート

イベントカウンタモードにはこのほかに、外部クロック(EVIN)入力に対してチャタリング等のノイズを除去するノイズリジェクタ付加機能があります。この機能はタイマ0機能選択レジスタFCSELに"1"を書き込むことによって選択されます。

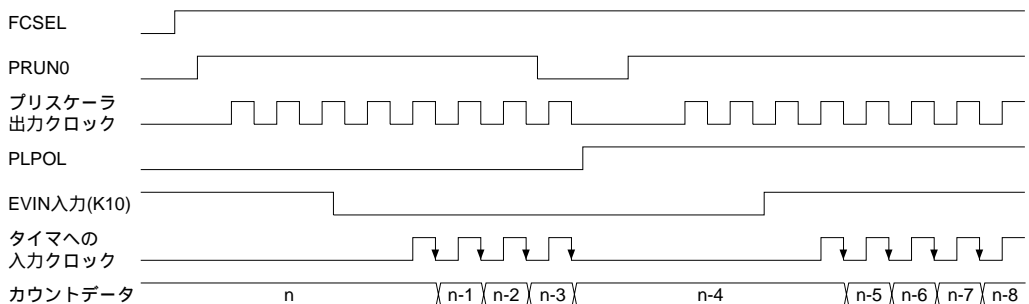


図5.10.6.1 パルス幅測定タイマモードのタイミングチャート

ノイズリジェクタ付きを選択した場合は確実なカウントを行うために、LOWレベル/HIGHレベル共に0.98msec以上のパルス幅を確保する必要があります。(ノイズリジェクタは、K10入力ポート端子の入力レベルが変化してから2度目の内部2,048Hz信号の立ち下がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msecとなります。)

図5.10.5.2にノイズリジェクタ付加時のダウンカウントタイミングを示します。

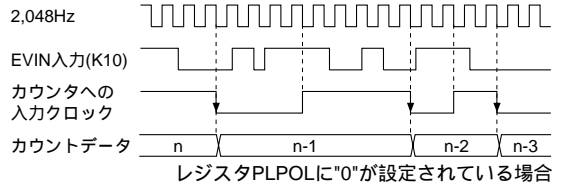


図5.10.5.2 ノイズリジェクタ付加時の
ダウンカウントタイミング

イベントカウンタモードは、入力クロックが外部クロック(EVIN)となること以外はタイマモードと同等です。

カウントの基本的な動作と制御については"5.10.2 カウント動作と基本モード設定"を参照してください。

5.10.6 パルス幅測定タイマモード

タイマ0には、K10入力ポート端子に入力される信号(EVIN)の幅を測定するパルス幅測定タイマ機能があります。この機能はタイマモード(EVCNT="0")において、タイマ機能選択レジスタFCSELに"1"を書き込むことによって選択されます。

パルス幅測定タイマモードを選択した場合は、8ビットモードではタイマ0がパルス幅測定タイマ、タイマ1が通常のタイマとして動作します。また、16ビットモードではタイマ0とタイマ1が1チャンネルの16ビットパルス幅測定タイマとして動作します。

測定対象とする入力信号(EVIN)のレベルは、タイマ0パルス極性選択レジスタPLPOLによって、LOWレベルまたはHIGHレベルのどちらかが選択できます。レジスタPLPOLに"0"を書き込んだ場合がLOWレベル幅測定、"1"を書き込んだ場合がHIGHレベル幅測定となり、図5.10.6.1に示すタイミングでダウンカウントが行われます。

パルス幅測定タイマモードは、入力クロックがK10入力ポート端子に入力される信号(EVIN)のレベルによって制御されること以外はタイマモードと同等です。

カウントの基本的な動作と制御については、"5.10.2 カウント動作と基本モード設定"を参照してください。

5.10.7 割り込み機能

プログラマブルタイムは、タイマ0およびタイマ1の各アンダーフロー信号によって割り込みを発生させることができます。

図5.10.7.1にプログラマブルタイム割り込み回路の構成を示します。

タイマ0およびタイマ1の各アンダーフロー信号によって、それぞれに対応する割り込み要因フラグFPT0、FPT1が"1"にセットされ、割り込みが発生します。各割り込み要因フラグに対応した割り込みイネーブルレジスタEPT0、EPT1の設定により、割り込みを禁止することもできます。

また、CPUに対するプログラマブルタイム割り込みの優先レベルを割り込みプライオリティレジスタPPT0、PPT1によって任意のレベル(0~3)に設定できます。

上記、割り込み制御レジスタの詳細と割り込み発生後の動作については"5.14 割り込みとスタンバイ状態"を参照してください。

各割り込み要因の例外処理ベクタアドレスは、それぞれ以下のとおり設定されています。

プログラマブルタイム1割り込み: 000006H

プログラマブルタイム0割り込み: 000008H

なお、16ビットモードを選択している場合は割り込み要因フラグFPT0は"1"にセットされず、タイマ0の割り込みも発生しません。(16ビットモード時は、16ビットカウンタのアンダーフローによって割り込み要因フラグFPT1が"1"にセットされます。)

5.10.8 TOUT出力の設定

プログラマブルタイムは、タイマ0またはタイマ1のアンダーフローによってTOUT信号を発生させることができます。TOUT信号は先アンダーフローを1/2分周した信号で、TOUT出力チャンネル選択レジスタCHSELによって、どちらのタイマのアンダーフローを使用するかを選択することができます。レジスタCHSELに"0"を書き込んだ場合がタイマ0、"1"を書き込んだ場合がタイマ1となります。ただし、16ビットモードではタイマ1(16ビットタイマのアンダーフロー)固定となり、レジスタCHSELの設定は無効となります。

図5.10.8.1にチャンネル切り換え時のTOUT信号波形を示します。

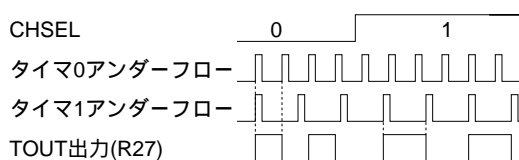


図5.10.8.1 チャンネル切り換え時のTOUT信号波形

TOUT信号はR27出力ポート端子から出力させることができ、外部デバイス等に対してプログラマブルなクロックを供給することができます。また、マスクオプションの選択により、R26出力ポート端子からTOUT信号(TOUT反転信号)を出力させることができます。

R27、R26出力ポートの構成を図5.10.8.2に示します。

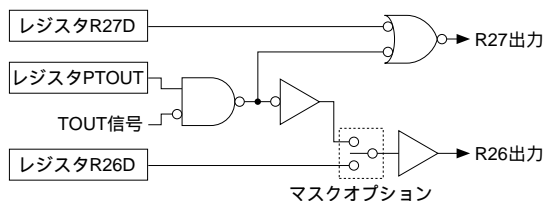


図5.10.8.2 R27とR26の構成

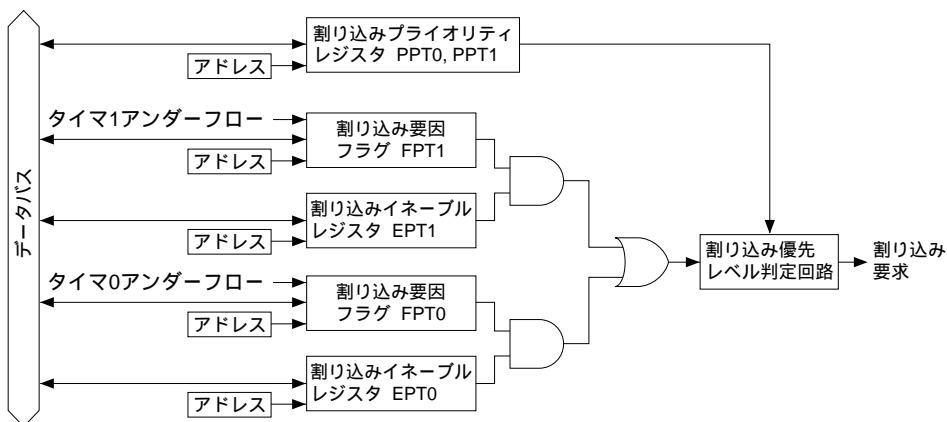
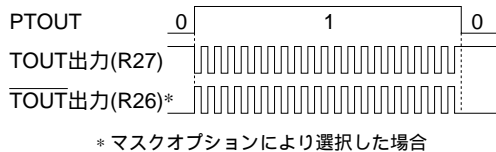


図5.10.7.1 プログラマブルタイム割り込み回路の構成

TOUT($\overline{\text{TOUT}}$)信号はレジスタPTOUTによって出力制御を行います。PTOUTに"1"を設定するとTOUT($\overline{\text{TOUT}}$)信号がR27(R26)出力ポート端子から出力され、"0"を設定するとR27はHIGH(V_{DD})レベル、R26はLOW(V_{SS})レベルとなります。TOUT出力を行う場合、データレジスタR27Dには常時"1"が設定されている必要があります。R26Dは $\overline{\text{TOUT}}$ 出力には影響を与えません。

なお、TOUT信号はレジスタPTOUTとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図5.10.8.3にTOUT信号の出力波形を示します。



* マスクオプションにより選択した場合

図5.10.8.3 TOUT信号の出力波形

5.10.9 シリアルインタフェースの 転送速度設定

タイマ1のアンダーフロー信号をシリアルインタフェースのクロック源として使用することができます。

この場合の転送速度の設定はレジスタPSC1X、RLD1Xによって行い、タイマ1のカウントモードをリロードカウントモード(RLMD1="1")に設定して使用します。

タイマ1のアンダーフロー信号はシリアルインタフェース内で1/32分周されるため、転送速度に対するレジスタRLD1Xへの設定値は次式のようになります。

$$\text{RLD1X} = \text{fosc} / (32 * \text{bps} * 4^{\text{PSC1X}}) - 1$$

fosc: 発振周波数 (OSC1/OSC3)

bps: 転送速度

PSC1X: レジスタPSC1X設定値 (0 ~ 3)

(RLD1Xには00Hも設定可能)

表5.10.9.1にOSC3発振回路を原振とした場合の転送速度の設定例を示します。

表5.10.9.1 転送速度の設定例

転送速度 (bps)	OSC3発振周波数/プログラマブルタイムの設定					
	fosc3=3.072MHz		fosc3=4.608MHz		fosc3=4.9152MHz	
	PSC1X	RLD1X	PSC1X	RLD1X	PSC1X	RLD1X
9,600	0 (1/1)	09H	0 (1/1)	0EH	0 (1/1)	0FH
4,800	0 (1/1)	13H	0 (1/1)	1DH	0 (1/1)	1FH
2,400	0 (1/1)	27H	0 (1/1)	3BH	0 (1/1)	3FH
1,200	0 (1/1)	4FH	0 (1/1)	77H	0 (1/1)	7FH
600	0 (1/1)	9FH	0 (1/1)	EFH	0 (1/1)	FFH
300	1 (1/4)	4FH	1 (1/4)	77H	1 (1/4)	7FH
150	1 (1/4)	9FH	1 (1/4)	EFH	1 (1/4)	FFH

5.10.10 プログラマブルタイマの制御方法

表5.10.10.1にプログラマブルタイマの制御ビットを示します。

表5.10.10.1(a) プログラマブルタイマの制御ビット

アドレス	ビット	名称	機 能		1	0	SR	R/W	注 釈	
00FF30	D7	—	—		—	—	—		読み出し時は 常時"0"	
	D6	—	—		—	—	—			
	D5	—	—		—	—	—			
	D4	MODE16	8/16ビットモード選択			16ビットx1	8ビットx2	0	R/W	
	D3	CHSEL	TOUT出力チャンネル選択			タイマ1	タイマ0	0	R/W	
	D2	PTOUT	TOUT出力制御			On	Off	0	R/W	
	D1	CKSEL1	プリスケアラ1原振クロック選択			fosc3	fosc1	0	R/W	
	D0	CKSEL0	プリスケアラ0原振クロック選択			fosc3	fosc1	0	R/W	
00FF31	D7	EVCNT	タイマ0カウンタモード選択			イベントカウンタ	タイマ	0	R/W	
	D6	FCSEL	タイマ0 機能選択	タイマモード時	パルス幅 測定	通常 モード	0	R/W		
				イベントカウンタモード時	ノイズリジ ェクタ付き	ノイズリジ ェクタなし				
	D5	PLPOL	タイマ0 パルス 極性選択	イベントカウンタモードの ダウンカウントタイミング	K10入力 の立ち上がり	K10入力 の立ち下がり	0	R/W		
				パルス幅測定モード時	K10入力 のHighレベル 幅測定	K10入力 のLowレベル 幅測定				
	D4	PSC01	タイマ0プリスケアラ分周比選択					0	R/W	
			PSC01	PSC00	プリスケアラ分周比					
			1	1	原振クロック / 64					
	D3	PSC00	1	0	原振クロック / 16			0	R/W	
			0	1	原振クロック / 4					
			0	0	原振クロック / 1					
	D2	CONT0	タイマ0連続/ワンショットモード選択			連続	ワンショット	0	R/W	
	D1	PSET0	タイマ0プリセット			プリセット	無効	—	W	読み出し時は"0"
D0	PRUN0	タイマ0 Run/Stop制御			Run	Stop	0	R/W		
00FF32	D7	—	—		—	—	—		読み出し時は 常時"0"	
	D6	—	—		—	—	—			
	D5	—	—		—	—	—			
	D4	PSC11	タイマ1プリスケアラ分周比選択					0	R/W	
			PSC11	PSC10	プリスケアラ分周比					
			1	1	原振クロック / 64					
	D3	PSC10	1	0	原振クロック / 16			0	R/W	
			0	1	原振クロック / 4					
			0	0	原振クロック / 1					
	D2	CONT1	タイマ1連続/ワンショットモード選択			連続	ワンショット	0	R/W	
D1	PSET1	タイマ1プリセット			プリセット	無効	—	W	読み出し時は"0"	
D0	PRUN1	タイマ1Run/Stop制御			Run	Stop	0	R/W		
00FF33	D7	RLD07	タイマ0リロードデータD7 (MSB)			High	Low	1	R/W	
	D6	RLD06	タイマ0リロードデータD6					1	R/W	
	D5	RLD05	タイマ0リロードデータD5					1	R/W	
	D4	RLD04	タイマ0リロードデータD4					1	R/W	
	D3	RLD03	タイマ0リロードデータD3					1	R/W	
	D2	RLD02	タイマ0リロードデータD2					1	R/W	
	D1	RLD01	タイマ0リロードデータD1					1	R/W	
	D0	RLD00	タイマ0リロードデータD0 (LSB)					1	R/W	

表5.10.10.1(b) プログラマブルタイマの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF34	D7	RLD17	タイマ1リロードデータD7 (MSB)	High	Low	1	R/W	
	D6	RLD16	タイマ1リロードデータD6			1	R/W	
	D5	RLD15	タイマ1リロードデータD5			1	R/W	
	D4	RLD14	タイマ1リロードデータD4			1	R/W	
	D3	RLD13	タイマ1リロードデータD3			1	R/W	
	D2	RLD12	タイマ1リロードデータD2			1	R/W	
	D1	RLD11	タイマ1リロードデータD1			1	R/W	
	D0	RLD10	タイマ1リロードデータD0 (LSB)			1	R/W	
00FF35	D7	PTD07	タイマ0カウンタデータD7 (MSB)	High	Low	1	R	
	D6	PTD06	タイマ0カウンタデータD6			1	R	
	D5	PTD05	タイマ0カウンタデータD5			1	R	
	D4	PTD04	タイマ0カウンタデータD4			1	R	
	D3	PTD03	タイマ0カウンタデータD3			1	R	
	D2	PTD02	タイマ0カウンタデータD2			1	R	
	D1	PTD01	タイマ0カウンタデータD1			1	R	
	D0	PTD00	タイマ0カウンタデータD0 (LSB)			1	R	
00FF36	D7	PTD17	タイマ1カウンタデータD7 (MSB)	High	Low	1	R	
	D6	PTD16	タイマ1カウンタデータD6			1	R	
	D5	PTD15	タイマ1カウンタデータD5			1	R	
	D4	PTD14	タイマ1カウンタデータD4			1	R	
	D3	PTD13	タイマ1カウンタデータD3			1	R	
	D2	PTD12	タイマ1カウンタデータD2			1	R	
	D1	PTD11	タイマ1カウンタデータD1			1	R	
	D0	PTD10	タイマ1カウンタデータD0 (LSB)			1	R	
00FF21	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	PPT1	プログラマブルタイマ割り込み	PPT1 PK11	PPT0 PK10	優先 レベル	0	R/W
	D2	PPT0	プライオリティレジスタ	1	1	レベル3	0	R/W
	D1	PK11	K10割り込み	1	0	レベル2	0	R/W
00FF23	D0	PK10	プライオリティレジスタ	0	0	レベル1 レベル0	0	R/W
	D7	EPT1	プログラマブルタイマ1割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D6	EPT0	プログラマブルタイマ0割り込みイネーブルレジスタ			0	R/W	
	D5	EK1	K10割り込みイネーブルレジスタ			0	R/W	
	D4	EK0H	K04～K07割り込みイネーブルレジスタ			0	R/W	
	D3	EK0L	K00～K03割り込みイネーブルレジスタ			0	R/W	
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブルレジスタ			0	R/W	
	D1	ESREC	シリアルI/F(受信)割り込みイネーブルレジスタ			0	R/W	
00FF25	D0	ESTRA	シリアルI/F(送信)割り込みイネーブルレジスタ			0	R/W	
	D7	FPT1	プログラマブルタイマ1割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W	
	D6	FPT0	プログラマブルタイマ0割り込み要因フラグ			0	R/W	
	D5	FK1	K10割り込み要因フラグ			0	R/W	
	D4	FK0H	K04～K07割り込み要因フラグ			0	R/W	
	D3	FK0L	K00～K03割り込み要因フラグ			0	R/W	
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ	(W) リセット	(W) 無効	0	R/W	
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ			0	R/W	
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ			0	R/W	

MODE16: 00FF30H-D4

8/16ビットモードを選択します。

"1"書き込み: 16ビット×1チャンネル
 "0"書き込み: 8ビット×2チャンネル
 読み出し: 可能

タイマ0とタイマ1を独立した2チャンネルの8ビットタイマとして使用するか、組み合わせた1チャンネルの16ビットタイマとして使用するかを選択します。MODE16に"0"を書き込んだ場合は8ビット×2チャンネル、"1"を書き込んだ場合は16ビット×1チャンネルがそれぞれ選択されます。イニシャルリセット時、MODE16は"0"(8ビット×2チャンネル)に設定されます。

CKSEL0, CKSEL1: 00FF30H-D0, D1

プリスケアラの原振クロックを選択します。

"1"書き込み: OSC3クロック
 "0"書き込み: OSC1クロック
 読み出し: 可能

プリスケアラ0の原振クロックをOSC1とするかOSC3とするかを選択します。CKSEL0に"0"を書き込んだ場合はOSC1、"1"を書き込んだ場合はOSC3がそれぞれ選択されます。

同様に、プリスケアラ1の原振クロックがCKSEL1によって選択されます。

なお、イベントカウンタモードを選択している場合はCKSEL0の設定は無効となります。また、同様に16ビットモードではCKSEL1の設定が無効となります。

イニシャルリセット時、本レジスタはそれぞれ"0"(OSC1クロック)に設定されます。

PSC00, PSC01: 00FF31H-D3, D4**PSC10, PSC11: 00FF32H-D3, D4**

プリスケアラの分周比を選択します。

PSC00、PSC01の2ビットはタイマ0に対応したプリスケアラ分周比選択レジスタで、PSC10、PSC11の2ビットは同様にタイマ1に対応しています。本レジスタによって設定できるプリスケアラの分周比は表5.10.10.2のとおりです。

表5.10.10.2 プリスケアラ分周比の選択

PSC11 PSC01	PSC10 PSC00	プリスケアラ分周比
1	1	原振クロック / 64
1	0	原振クロック / 16
0	1	原振クロック / 4
0	0	原振クロック / 1

なお、イベントカウンタモードを選択している場合はPSC00、PSC01の設定は無効となります。また、同様に16ビットモードではPSC10、PSC11の設定が無効となります。

イニシャルリセット時、本レジスタは"0"(入力クロック/1)に設定されます。

EVCNT: 00FF31H-D7

タイマ0のカウンタモードを選択します。

"1"書き込み: イベントカウンタモード
 "0"書き込み: タイマモード
 読み出し: 可能

タイマ0をイベントカウンタとして使用するか、タイマとして使用するかを選択します。EVCNTに"1"を書き込んだ場合はイベントカウンタモード、"0"を書き込んだ場合はタイマモードがそれぞれ選択されます。

イニシャルリセット時、EVCNTは"0"(タイマモード)に設定されます。

FCSEL: 00FF31H-D6

タイマ0の各カウンタモードに対する機能の選択を行います。

- タイマモード時

"1"書き込み: パルス幅測定タイマモード
 "0"書き込み: 通常モード
 読み出し: 可能

タイマモードでは、タイマ0をパルス幅測定タイマとして使用するか、通常のタイマとして使用するかを選択します。

FCSELに"1"を書き込んだ場合はパルス幅測定タイマモードが選択され、K10入力ポート端子に入力される信号(EVIN)のレベルにしたがってカウントが行われます。また、FCSELに"0"を書き込んだ場合は通常モードが選択され、K10入力ポート端子の影響を受けずにカウントが行われます。

- イベントカウンタモード時

"1"書き込み: ノイズリジェクタ付き
 "0"書き込み: ノイズリジェクタなし
 読み出し: 可能

イベントカウンタモードでは、K10入力ポート端子に対してノイズリジェクタを付加するかしないかを選択します。

FCSELに"1"を書き込んだ場合はノイズリジェクタが付加され、0.98msec以上のパルス幅の外部クロック(EVIN)によってカウントが行われます。(ノイズリジェクタは、K10入力ポート端子の入力レベルが変化してから2度目の内部2,048Hz信号の立ち上がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msecとなります。)

また、FCSELに"0"を書き込んだ場合はノイズリジェクタは付加されず、K10入力ポート端子に入力される外部クロック(EVIN)によって直接カウントが行われます。

イニシャルリセット時、FCSELは"0"に設定されます。

PLPOL: 00FF31H-D5

K10入力ポート端子のパルス極性を選択します。

- イベントカウンタモード時
 - "1"書き込み: 立ち上がりエッジ
 - "0"書き込み: 立ち下がりエッジ
 - 読み出し: 可能

イベントカウンタモードでは、カウンタのタイミングをK10入力ポート端子に入力される外部クロック(EVIN)の立ち下がりエッジとするか、立ち上がりエッジとするかを選択します。

PLPOLに"0"を書き込んだ場合は立ち下がりエッジ、"1"を書き込んだ場合は立ち上がりエッジがそれぞれ選択されます。

- パルス幅測定タイマモード時
 - "1"書き込み: HIGHレベル幅測定
 - "0"書き込み: LOWレベル幅測定
 - 読み出し: 可能

パルス幅測定タイマモードでは、K10入力ポート端子に入力される信号(EVIN)のLOWレベル幅を測定するか、HIGHレベル幅を測定するかを選択します。PLPOLに"0"を書き込んだ場合はLOWレベル幅測定、"1"を書き込んだ場合はHIGHレベル幅測定がそれぞれ選択されます。

なお、通常モード(EVCNT=FCSEL="0")ではPLPOLの設定は無効となります。

イニシャルリセット時、PLPOLは"0"に設定されます。

CONT0, CONT1: 00FF31H-D2, 00FF32H-D2

連続/ワンショットモードを選択します。

- "1"書き込み: 連続モード
- "0"書き込み: ワンショットモード
- 読み出し: 可能

タイマ0を連続モードで使用するか、ワンショットモードで使用するかを選択します。

CONT0に"1"を書き込んだ場合は連続モードが選択され、カウンタのアンダーフロー発生時に初期値をリロードしてカウントを継続します。

また、CONT0に"0"を書き込んだ場合はワンショットモードが選択され、カウンタのアンダーフロー発生時に初期値をリロードしてカウントを停止します。このとき、PRUN0は自動的に"0"にリセットされます。

同様に、タイマ1の連続/ワンショットモードがCONT1によって選択されます。(タイマ1のワンショットモードでは、カウンタのアンダーフロー発生時にPRUN1が自動的に"0"にリセットされます。)イニシャルリセット時、本レジスタはそれぞれ"0"(ワンショットモード)に設定されます。

RLD00~RLD07: 00FF33H**RLD10~RLD17: 00FF34H**

カウンタの初期値を設定します。

- RLD00 ~ RLD07: タイマ0リロードデータ
- RLD10 ~ RLD17: タイマ1リロードデータ

本レジスタに設定したリロードデータがそれぞれのカウンタにロードされ、それを初期値としてダウンカウントが行われます。

リロードデータがカウンタにロードされる条件はPSET0、PSET1に"1"を書き込んでプリセットを行う場合と、カウンタのアンダーフローによって自動的にリロードが行われる場合です。

イニシャルリセット時、本レジスタはそれぞれ"FFH"に設定されます。

PTD00~PTD07: 00FF35H**PTD10~PTD17: 00FF36H**

プログラマブルタイマのデータが読み出せます。

- PTD00 ~ PTD07: タイマ0カウンタデータ
- PTD10 ~ PTD17: タイマ1カウンタデータ

本ビットは読み出し時にカウンタのデータが保持されるバッファとなっており、データは任意のタイミングで読み出しが可能です。ただし、16ビットモードでは読み出しエラー(PTD00 ~ PTD07とPTD10 ~ PTD17の読み出しの途中に、タイマ0からタイマ1へのボローが発生した場合のデータエラー)を回避するため、PTD10 ~ PTD17はPTD00 ~ PTD07の読み出しによってタイマ1のカウンタデータをラッチします。

PTD10 ~ PTD17のラッチ状態はPTD10 ~ PTD17の読み出し、または0.73msec ~ 1.22msec(読み出しのタイミングにより異なる)の時間経過によって解除されます。したがって、16ビットモードではPTD00 ~ PTD07、PTD10 ~ PTD17の順でカウンタデータの読み出しを行ってください。

本ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、本ビットはそれぞれ"FFH"に設定されます。

PSET0, PSET1: 00FF31H-D1, 00FF32H-D1

リロードデータをカウンタにプリセットします。

- "1"書き込み: プリセット
- "0"書き込み: ノーオペレーション
- 読み出し: 常時"0"

PSET0に"1"を書き込むことによって、PLD00 ~ PLD07のリロードデータがタイマ0のカウンタにプリセットされます。タイマ0のカウンタがRUN状態のときにプリセットを行うとリロードデータのプリセット直後にリスタートします。

また、STOP状態の場合はプリセットされたリロードデータがそのまま保持されます。

"0"の書き込みはノーオペレーションとなります。同様に、PLD10～PLD17のリロードデータがPSET1によってタイマ1のカウンタにプリセットされます。なお、16ビットモードを選択している場合はPSET1への"1"書き込みは無効となります。本ビットは書き込み専用のため、読み出しは常時"0"となります。

PRUN0, PRUN1: 00FF31H-D0, 00FF32H-D0

カウンタのRUN/STOPを制御します。

"1"書き込み: RUN

"0"書き込み: STOP

読み出し: 可能

タイマ0のカウンタはPRUN0に"1"を書き込むことによってダウンカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではプリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

同様に、タイマ1のカウンタがPRUN1によってRUN/STOP制御されます。

なお、16ビットモードを選択している場合はPRUN1は"0"に固定されます。

イニシャルリセット時、およびワンショットモードにおいてアンダーフローが発生したとき、本レジスタはそれぞれ"0"(STOP)に設定されます。

CHSEL: 00FF30H-D3

TOUT信号のチャンネルを選択します。

"1"書き込み: タイマ0アンダーフロー

"0"書き込み: タイマ1アンダーフロー

読み出し: 可能

TOUT信号にタイマ0のアンダーフローを使用するか、タイマ1のアンダーフローを使用するかを選択します。CHSELに"0"を書き込んだ場合はタイマ0、"1"を書き込んだ場合はタイマ1がそれぞれ選択されます。

なお、16ビットモードを選択している場合はタイマ1(16ビットタイマのアンダーフロー)固定となり、CHSELの設定は無効となります。

イニシャルリセット時、CHSELは"0"(タイマ1アンダーフロー)に設定されます。

PTOUT: 00FF30H-D2

TOUT(プログラマブルタイム出力クロック)信号の出力制御を行います。

"1"書き込み: TOUT信号出力ON

"0"書き込み: TOUT信号出力OFF

読み出し: 可能

PTOUTはTOUT信号の出力制御レジスタで、"1"を設定するとTOUT(TOUT)信号がR27(R26)出力ポート端子から出力され、"0"を設定するとR27はHIGH(V_{DD})レベル、R26はLOW(V_{SS})レベルとなります。TOUT出力を行う場合、データレジスタR27Dには常時"1"が設定されている必要があります。R26DはTOUT出力には影響を与えません。

イニシャルリセット時、PTOUTは"0"(出力OFF)に設定されます。

TOUT出力(R26)はマスクオプションで選択した場合にのみ可能です。

PPT0, PPT1: 00FF21H-D2, D3

プログラマブルタイム割り込みの優先レベルを設定します。

PPT0、PPT1はプログラマブルタイム割り込みに対応した割り込みプライオリティレジスタで、設定できる割り込み優先レベルは表5.10.10.3のとおりです。

表5.10.10.3 割り込み優先レベルの設定

PPT1	PPT0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、本レジスタは"0"(レベル0)に設定されます。

EPT0, EPT1: 00FF23H-D6, D7

CPUに対する割り込みの発生を許可または禁止します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

EPT0、EPT1はそれぞれタイマ0、タイマ1の割り込み要因に対応する割り込みイネーブルレジスタで、"1"に設定した割り込みが許可され、"0"に設定した割り込みが禁止されます。

なお、16ビットモードを選択している場合はEPT0の設定は無効となります。

イニシャルリセット時、本レジスタはそれぞれ"0"(割り込み禁止)に設定されます。

FPT0, FPT1: 00FF25H-D6, D7

プログラマブルタイマ割り込みの発生状態を示します。

"1"読み出し: 割り込み要因あり

"0"読み出し: 割り込み要因なし

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

FPT0、FPT1はそれぞれタイマ0、タイマ1の割り込みに対応する割り込み要因フラグで、それぞれのカウンタのアンダーフローに同期して"1"にセットされます。

このとき、対応する割り込みイネーブルレジスタが"1"で、かつ対応する割り込みプライオリティレジスタがインタラプトフラグ(I0、I1)より高いレベルに設定されている場合、CPUに対し割り込みが発生します。

割り込み要因フラグは割り込みイネーブルレジスタや割り込みプライオリティレジスタの設定にかかわらず、割り込み発生条件の成立により"1"にセットされます。

割り込み発生後、次の割り込みを受け付けるには、インタラプトフラグの再設定(割り込みプライオリティレジスタが示すレベルより低いレベルをインタラプトフラグに設定するか、RETE命令を実行する。)と割り込み要因フラグのリセットが必要で、割り込み要因フラグは"1"を書き込むことによって"0"にリセットされます。

なお、16ビットモードを選択している場合は割り込み要因フラグFPT0は"1"にセットされず、タイマ0の割り込みも発生しません。(16ビットモード時は、16ビットカウンタのアンダーフローによって割り込み要因フラグFPT1が"1"にセットされます。)イニシャルリセット時、本フラグはそれぞれ"0"にリセットされます。

5.10.11 プログラミング上の注意事項

- (1) プログラマブルタイマはレジスタPRUN0(1)への書き込みに対して、入力クロックの立ち下がりエッジに同期して実際にRUN/STOP状態となります。したがって、PRUN0(1)に"0"を書き込んだ場合は、"-1"余分にカウントしたところでタイマが停止状態となります。また、このときPRUN0(1)は実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。

図5.10.11.1にRUN/STOP制御のタイミングチャートを示します。

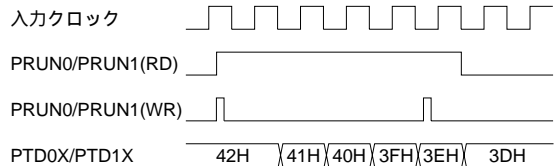


図5.10.11.1 RUN/STOP制御のタイミングチャート

なお、これについてはイベントカウンタモードは対象外です。

- (2) プログラマブルタイマがRUNしている状態 (PRUN0(1)="1")でSLP命令を実行した場合は、SLEEP状態からの復帰時にプログラマブルタイマが不安定な動作となります。したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前にプログラマブルタイマをSTOP状態 (PRUN0(1)="0")に設定してください。また、同様にR27出力ポート端子に不安定なクロックが出力されないようTOUT信号をディセーブル状態(PTOUT="0")に設定してください。
- (3) TOUT信号は出力制御レジスタPTOUTとは非同期に発生していますので、PTOUTの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- (4) OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3の発振をONさせる必要があります。なお、OSC3発振回路をONにしてから発振が安定するまでに数100μsec ~ 数10msecの時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ONの後、十分な待ち時間をおいてから行ってください。(発振開始時間は発振子、外付け部品によって変動します。"7 電気的特性"に発振開始時間の一例を示しますので参照してください。)イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。
- (5) 16ビットモードを選択している場合はPTD00 ~ PTD07、PTD10 ~ PTD17の順でカウンタデータの読み出しを行ってください。また、PTD00 ~ PTD07とPTD10 ~ PTD17の読み出しの時間差は0.73msec以下としてください。

5.11 LCDコントローラ

5.11.1 LCDコントローラの構成

S1C88832は最大1,632ドット(51セグメント×32コモン)、S1C88862は最大1,312ドット(41セグメント×32コモン)のLCDパネルが駆動可能なドットマトリクスLCDコントローラ/ドライバを内蔵しています。

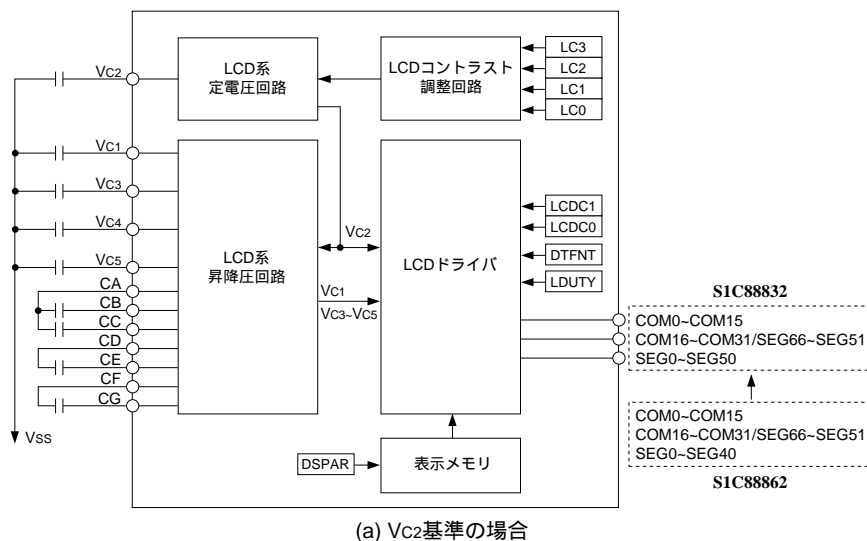
図5.11.1.1にLCDコントローラと駆動電源の構成を示します。

5.11.2 マスクオプション

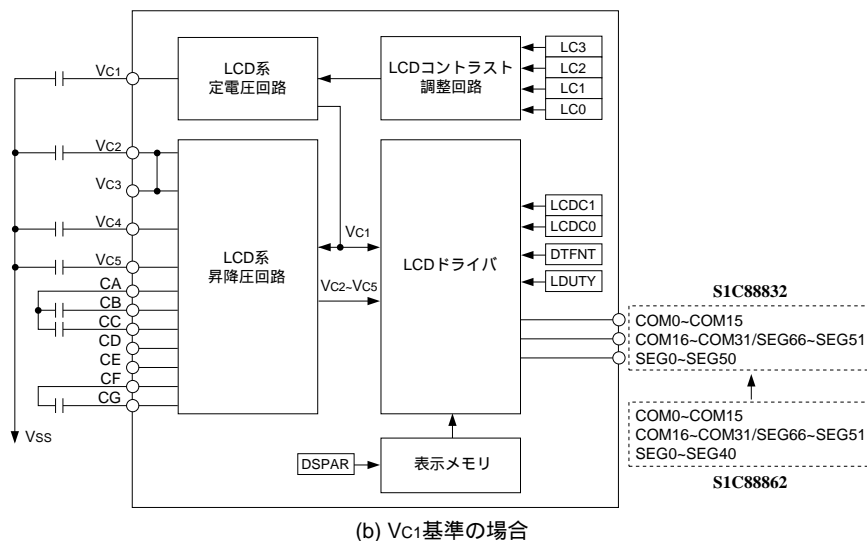
内蔵LCDドライバの駆動デューティを1/32と1/16のソフトウェア切り換えとするか、1/8固定とするかをマスクオプションで選択することができます。

LCD駆動デューティ
1/32 & 1/16デューティ
1/8デューティ

"1/32 & 1/16デューティ"を選択した場合はソフトウェアで駆動デューティを選択することができます。駆動デューティ選択レジスタLDUTYに"0"を書き込んだ場合は1/32デューティ、"1"を書き込んだ場合は1/16デューティがそれぞれ選択されます。"1/8デューティ"を選択した場合は駆動デューティが1/8に固定され、LDUTYの設定は無効となります。内蔵LCDドライバを使用しない場合はデフォルトの"1/32 & 1/16デューティ"を選択してください。



(a) Vc2基準の場合



(b) Vc1基準の場合

注: Vc1基準は1/4バイアス時のみ選択可能です。

図5.11.1.1 LCDコントローラと駆動電源の構成

5.11.3 LCD電源

LCD系の駆動電圧 $V_{C1} \sim V_{C5}$ は、内部の定電圧回路と昇降圧回路によって発生される内部電源と、外部より印加する外部電源のどちらかをマスクオプションで選択することができます。また内部電源は、パネルの特性に合わせTYPE A～TYPE Dの4種類から選択可能です。

LCD電源

内部電源 TYPE A (V_{C2} 基準, 1/5バイアス, 4.5V)

内部電源 TYPE B (V_{C2} 基準, 1/5バイアス, 5.5V)

内部電源 TYPE C (V_{C2} 基準, 1/4バイアス, 4.5V)

内部電源 TYPE D (V_{C1} 基準, 1/4バイアス, 4.5V)

外部電源

内部電源は、小規模LCDパネル用に設計されているため、表示画素が大きいパネルの駆動には適していません。この場合は外部電源を選択し、外部より規定の電圧を入力してください。なお、外部電源を選択した場合には1/5バイアスで使用してください。

図5.11.3.1に外部電源の回路例を示します。

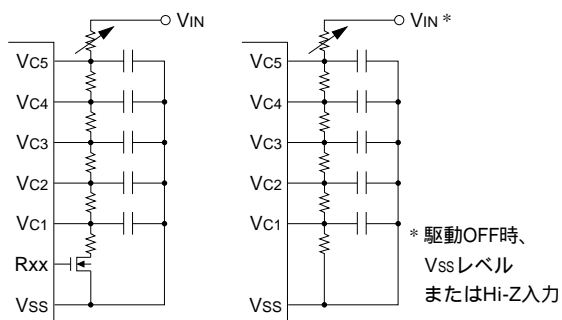


図5.11.3.1 外部電源の回路例

5.11.4 LCDドライバ

内蔵LCDドライバは駆動デューティの選択にしたがって、LCDパネルの最大駆動ドット数が変化します。

1/32デューティ選択時はコモン/セグメント兼用出力端子がコモン端子となり、S1C88832では51セグメント×32コモン(最大1,632ドット)、S1C88862では41セグメント×32コモン(最大1,312ドット)のLCDパネルがそれぞれ駆動可能となります。

1/16デューティ選択時はコモン/セグメント兼用出力端子が逆にセグメント端子となり、S1C88832では67セグメント×16コモン(最大1,072ドット)、S1C88862では57セグメント×16コモン(最大912ドット)のLCDパネルがそれぞれ駆動可能となります。

1/8デューティ選択時はコモン/セグメント兼用出力端子が1/16デューティ選択時同様セグメント端子となり、S1C88832では67セグメント×8コモン(最大536ドット)、S1C88862では57セグメント×8コモン(最大456ドット)のLCDパネルがそれぞれ駆動可能となります。なお、1/8デューティ選択時はCOM8～COM15端子が常時OFF信号を出力する無効な端子となります。

表5.11.4.1に駆動デューティと最大表示ドット数の対応を示します。

1/5バイアス時の駆動波形はそれぞれ図5.11.4.1～図5.11.4.3に示すとおりとなります。

1/4バイアス時、 V_{C2} と V_{C3} は同電位です。

表5.11.4.1 駆動デューティと最大表示ドット数の対応

機種名	マスクオプション	LDUTY	デューティ	コモン端子	セグメント端子	最大表示ドット数
S1C88832	1/32 & 1/16	0	1/32	COM0～COM31	SEG0～SEG50	1,632ドット
	デューティ	1	1/16	COM0～COM15	SEG0～SEG66	1,072ドット
	1/8デューティ	×	1/8	COM0～COM7		536ドット
S1C88862	1/32 & 1/16	0	1/32	COM0～COM31	SEG0～SEG40	1,312ドット
	デューティ	1	1/16	COM0～COM15	SEG0～SEG40	912ドット
	1/8デューティ	×	1/8	COM0～COM7	SEG51～SEG66	456ドット

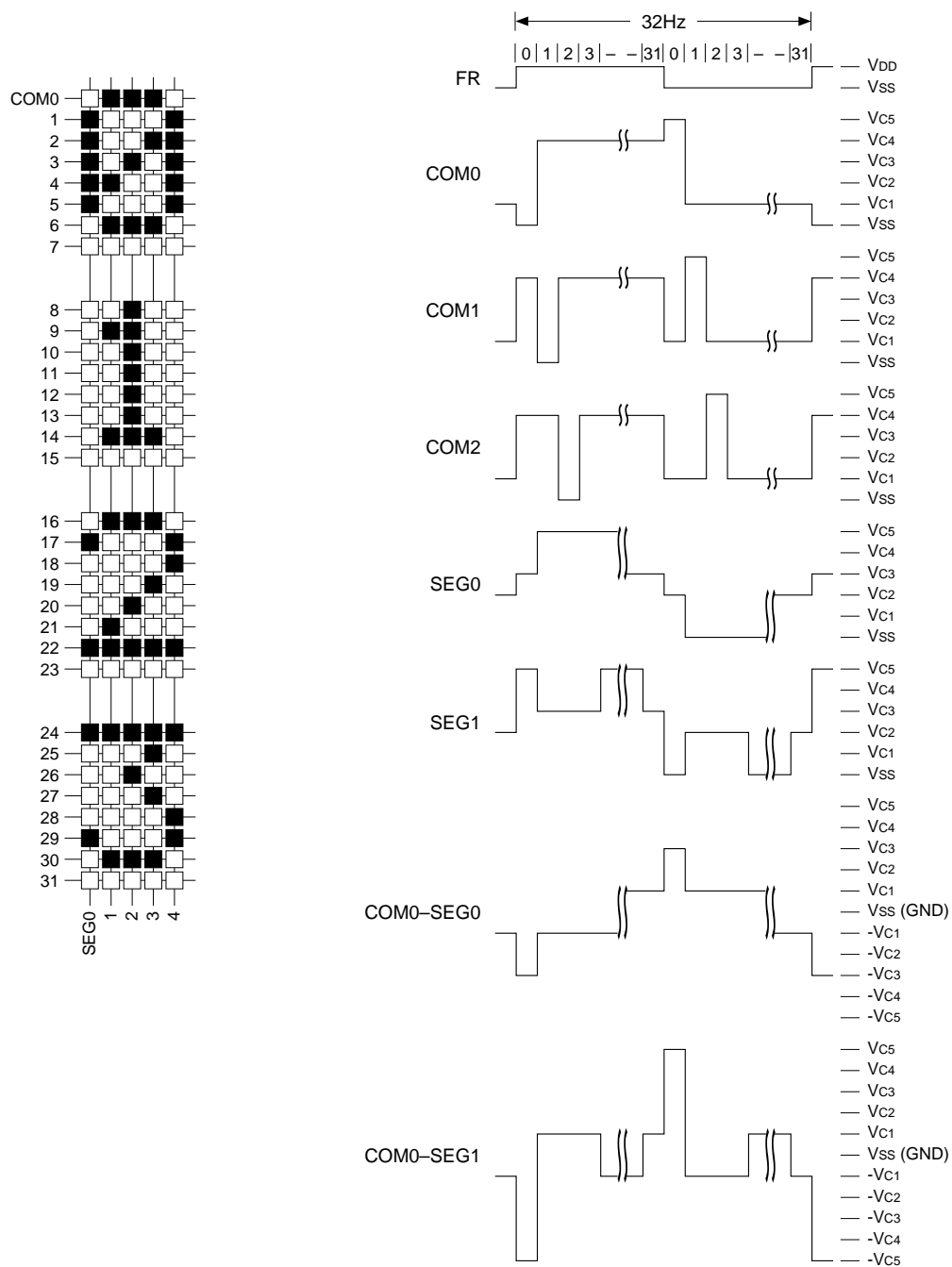


図5.11.4.1 1/32デューティの駆動波形

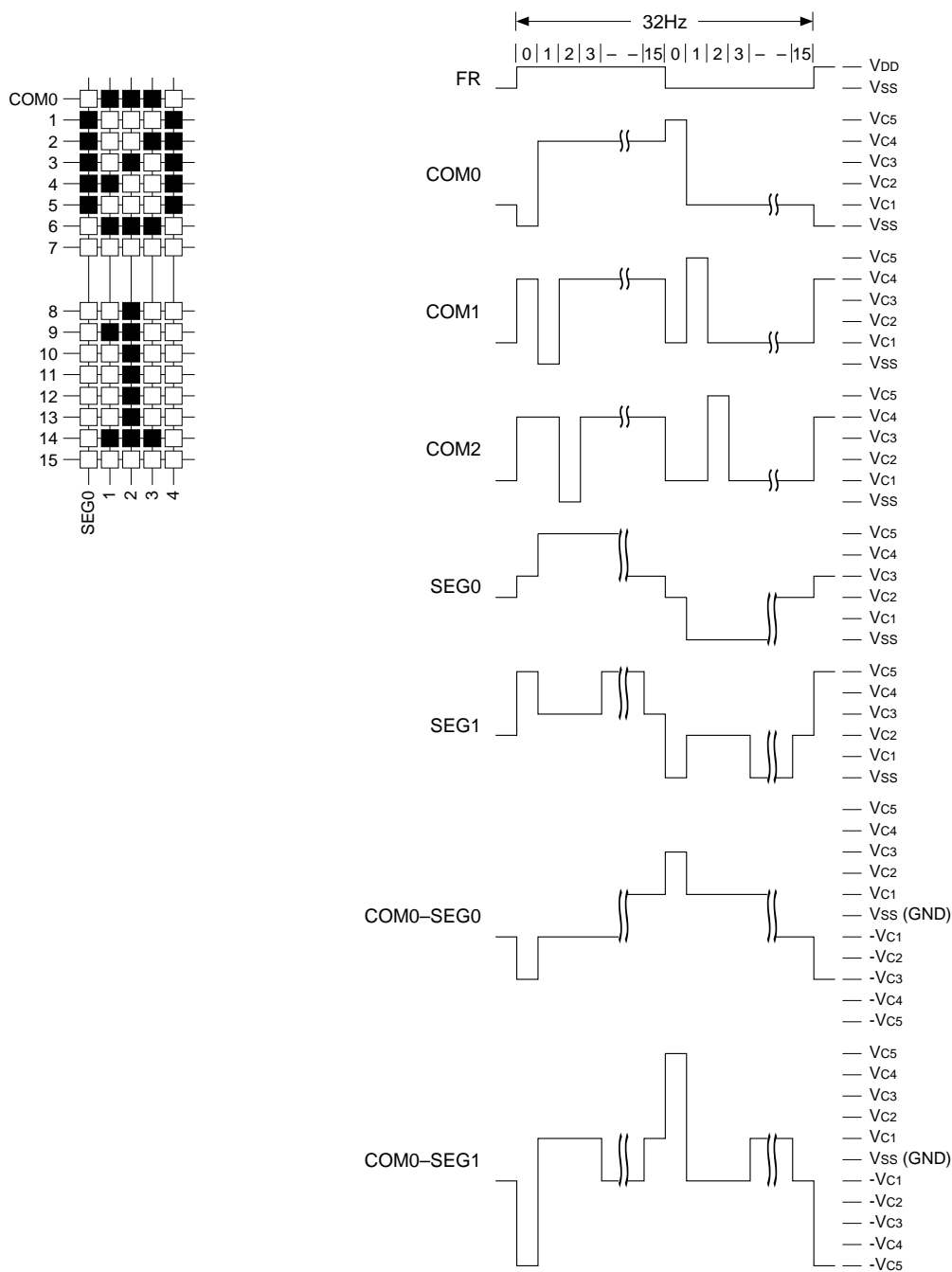


図5.11.4.2 1/16デューティの駆動波形

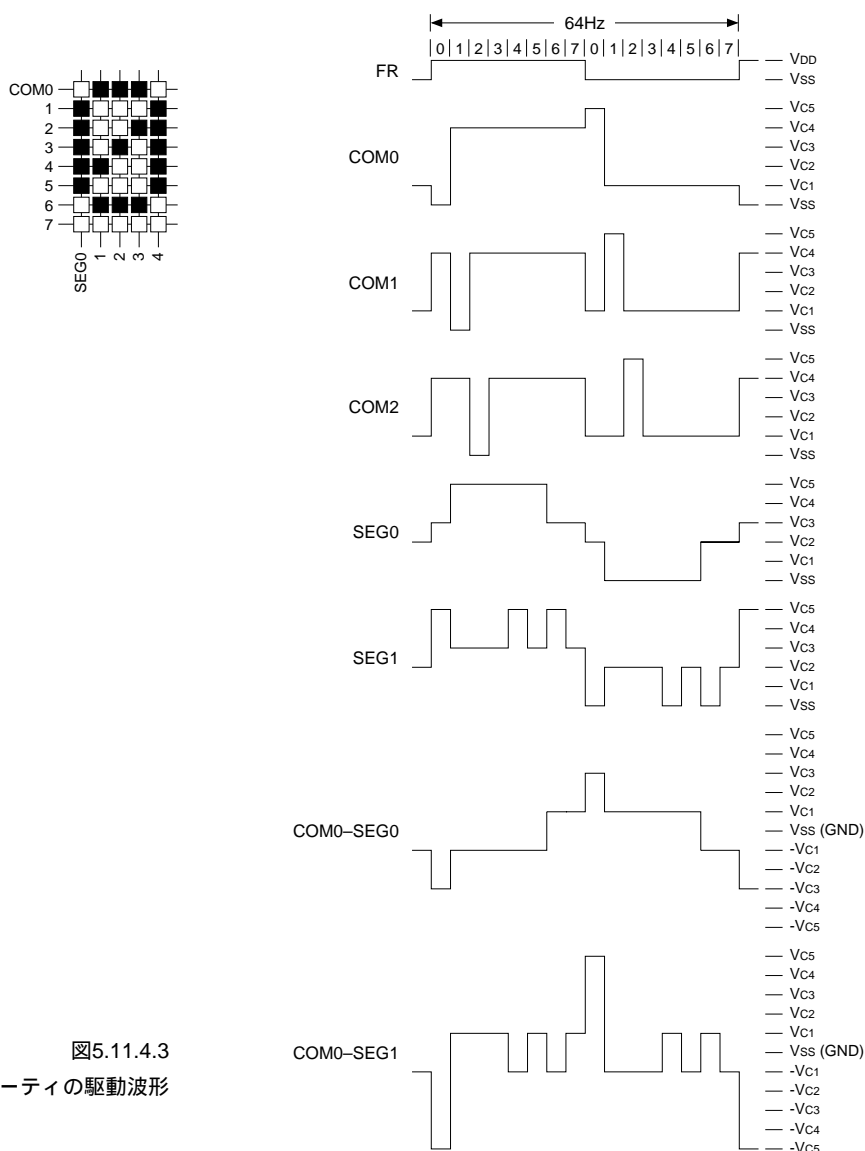


図5.11.4.3
1/8デューティの駆動波形

5.11.5 表示メモリ

S1C88832は402バイト、S1C88862は342バイトの表示メモリを内蔵しています。

表示メモリはアドレスF800H～FD42H(未実装領域も含む)に割り付けられており、メモリビットとコモン/セグメント端子の対応は次に示す項目の選択状態にしたがって変化します。

- (1) 駆動デューティ(1/32、1/16または1/8デューティ)
- (2) ドットフォント(5×8または5×5ドット)

駆動デューティとして1/16または1/8デューティを選択した場合は2画面分のメモリを確保することができ、表示メモリ領域選択レジスタDSPARによって画面の切り換えを行うことができます。DSPARに"0"を書き込んだ場合は表示領域0、"1"を書き込んだ場合は表示領域1がそれぞれ選択されます。また、5×5ドットフォントのLCDパネルにソフトウェアで容易にキャラクタを表示できるよう5×8ドットと5×5ドット間で別々のメモリ配置を選択することができます。

この選択はドットフォント選択レジスタDTFNTによって行われ、DTFNTに"0"を書き込んだ場合は5×8ドット、"1"を書き込んだ場合は5×5ドットがそれぞれ選択されます。

駆動デューティとドットフォントの選択にしたがった表示メモリのビットとコモン/セグメント端子の対応を図5.11.5.1～図5.11.5.6にそれぞれ示します。LCDパネル上のドットに対応する表示メモリのビットに"1"を書き込むとそのドットがONし、"0"を書き込むとOFFします。表示メモリはリード/ライト可能なRAM構造となっているため、論理演算命令等(リードモディファイライタ命令)によるビット単位の制御を行うことができます。

表示メモリ中で表示領域に割り当てられないビットは、リード/ライト可能な汎用RAMとして使用することができます。なお、表示メモリ領域に外部メモリを拡張した場合でも、この領域は外部メモリには解放されません。この領域のアクセスは常に表示メモリに対して行われます。

アドレス/データビット	0																1																2																3																4				COM																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																											
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																												
D0																																																													0																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																			
D1																																																																	1																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
D2																																																																					2																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																											
D3																																																																									3																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																							
D4																																																																													4																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																			
D5																																																																													5																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																			
D6																																																																																	6																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
D7																																																																																	7																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
D0																																																																																	8																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
D1																																																																																	9																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
D2																																																																																	10																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
D3																																																																																	11																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
D4																																																																																	12																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
D5																																																																																	13																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
D6																																																																																	14																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
D7																																																																																	15																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
D0																																																																																	16																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
D1																																																																																	17																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
D2																																																																																	18																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
D3																																																																																	19																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
D4																																																																																	20																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
D5																																																																																	21																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
D6																																																																																	22																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
D7																																																																																	23																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
D0																																																																																	24																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
D1																																																																																	25																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
D2																																																																																	26																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
D3																																																																																	27																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
D4																																																																																	28																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
D5																																																																																	29																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
D6																																																																																	30																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
D7																																																																																	31																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																															
D0																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																

図5.11.5.1 1/32デューティ、5×8ドット表示メモリマップ

* S1C88862では00Fx29H～00Fx32H(x=8～BH)の領域にメモリは実装されていません。

アドレス/データビット	0								1								2								3								4		COM																
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1		2	3	4	5	6	7	8	9	A	B	C	D	E	F		
D0																																																			
00F800H └	D1																																																	*	
D2																																																			
D3																																																			
D4																																																			
00F842H	D5																																																		
D6																																																			
D7																																																			
D0																																																			
00F900H └	D1																																																	*	
D2																																																			
D3																																																			
D4																																																			
00F942H	D5																																																		
D6																																																			
D7																																																			
D0																																																			
00FA00H └	D1																																																	*	
D2																																																			
D3																																																			
D4																																																			
00FA42H	D5																																																		
D6																																																			
D7																																																			
D0																																																			
00FB00H └	D1																																																	*	
D2																																																			
D3																																																			
D4																																																			
00FB42H	D5																																																		
D6																																																			
D7																																																			
D0																																																			
00FC00H └	D1																																																	*	
D2																																																			
D3																																																			
D4																																																			
00FC42H	D5																																																		
D6																																																			
D7																																																			
D0																																																			
00FD00H └	D1																																																	*	
D2																																																			
D3																																																			
D4																																																			
00FD42H	D5																																																		
D6																																																			
D7																																																			
SEG	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50

図5.11.5.2 1/32デューティ、5×5ドット表示メモリマップ

* S1C88862では00Fx29H ~ 00Fx32H(x=8 ~ DH)の領域にメモリは実装されていません。

アドレス/データビット	0																1																2																3																4				COM
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F					
D0	表示領域0(DSPARに"0"が設定されている場合)																*																																				0																
D1																																																					1																
D2																																																					2																
D3																																																					3																
D4																																																					4																
D5																																																					5																
D6																																																					6																
D7	表示領域0(DSPARに"0"が設定されている場合)																*																																				7																
D0																																																					8																
D1																																																					9																
D2																																																					10																
D3																																																					11																
D4																																																					12																
D5																																																					13																
D6	表示領域0(DSPARに"0"が設定されている場合)																*																																				15																
D7																																																					0																
D0																																																					1																
D1																																																					2																
D2																																																					3																
D3																																																					4																
D4																																																					5																
D5	表示領域1(DSPARに"1"が設定されている場合)																*																																				6																
D6																																																					7																
D7																																																					8																
D0																																																					9																
D1																																																					10																
D2																																																					11																
D3																																																					12																
D4	表示領域1(DSPARに"1"が設定されている場合)																*																																				13																
D5																																																					14																
D6																																																					15																
D7																																																					0																
D0																																																					1																
D1																																																					2																
D2																																																					3																
D3	表示領域1(DSPARに"1"が設定されている場合)																*																																				4																
D4																																																					5																
D5																																																					6																
D6																																																					7																
D7																																																					8																
D0																																																					9																
D1																																																					10																
D2	表示領域1(DSPARに"1"が設定されている場合)																*																																				11																
D3																																																					12																
D4																																																					13																
D5																																																					14																
D6																																																					15																
D7																																																					0																
D0																																																					1																
D1	表示領域1(DSPARに"1"が設定されている場合)																*																																				2																
D2																																																					3																
D3																																																					4																
D4																																																					5																
D5																																																					6																
D6																																																					7																
D7																																																					8																
D0	表示領域1(DSPARに"1"が設定されている場合)																*																																				9																
D1																																																					10																
D2																																																					11																
D3																																																					12																
D4																																																					13																
D5																																																					14																
D6																																																					15																
D7	表示領域1(DSPARに"1"が設定されている場合)																*																																				16																
D0																																																					17																
D1																																																					18																
D2																																																					19																
D3																																																					20																
D4																																																					21																
D5																																																					22																
D6	表示領域1(DSPARに"1"が設定されている場合)																*																																				23																
D7																																																					24																
D0																																																					25																
D1																																																					26																
D2																																																					27																
D3																																																					28																
D4																																																					29																
D5	表示領域1(DSPARに"1"が設定されている場合)																*																																				30																
D6																																																					31																
D7																																																					32																
D0																																																					33																
D1																																																					34																
D2																																																					35																
D3																																																					36																
D4	表示領域1(DSPARに"1"が設定されている場合)																*																																				37																
D5																																																					38																
D6																																																					39																
D7																																																					40																
D0																																																					41																
D1																																																					42																
D2																																																					43																
D3	表示領域1(DSPARに"1"が設定されている場合)																*																																				44																
D4																																																					45																
D5																																																					46																
D6																																																					47																
D7																																																					48																
D0																																																					49																
D1																																																					50																
D2	表示領域1(DSPARに"1"が設定されている場合)																*																																				51																
D3																																																					52																
D4																																																					53																
D5																																																					54																
D6																																																					55																
D7																																																					56																
D0																																																					57																
D1	表示領域1(DSPARに"1"が設定されている場合)																*																																				58																
D2																																																					59																
D3																																																					60																
D4																																																					61																
D5																																																					62																
D6																																																					63																
D7																																																					64																
D0	表示領域1(DSPARに"1"が設定されている場合)																*																																				65																
D1																																																					66																
D2																																																					67																
D3																																																					68																
D4																																																					69																
D5																																																					70																
D6																																																					71																
D7	表示領域1(DSPARに"1"が設定されている場合)																*																																				72																
D0																																																					73																
D1																																																					74																
D2																																																					75																
D3																																																					76																
D4																																																					77																
D5																																																					78																
D6	表示領域1(DSPARに"1"が設定されている場合)																*																																				79																
D7																																																					80																
D0																																																					81																
D1																																																					82</																

図5.11.5.3 1/16デューティ、5×8ドット表示メモリマップ

* S1C88862では00Fx29H ~ 00Fx32H(x=8 ~ BH)の領域にメモリは実装されていません。

アドレス/データビット	0																1																2																3																4		COM																
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2																																
D0	表示領域0(DSPARに"0"が設定されている場合)																																																*																																		0
D1																																																																																			1
D2																																																																																			
D3																																																																																			
D4																																																																																			
D5																																																																																			2
D6																																																																																			
D7																																																																																			
D8																																																																																			
D9																																																																																			3
D10																																																																																			
D11																																																																																			
D12																																																																																			
D13																																																																																			4
D14																																																																																			
D15																																																																																			
D16																																																																																			
D17																																																																																			5
D18																																																																																			
D19																																																																																			
D20																																																																																			
D21																																																																																			6
D22																																																																																			
D23																																																																																			
D24																																																																																			
D25																																																																																			7
D26																																																																																			
D27																																																																																			
D28																																																																																			
D29																																																																																			8
D30																																																																																			
D31																																																																																			
D32																																																																																			
D33																																																																																			9
D34																																																																																			
D35																																																																																			
D36																																																																																			
D37																																																																																			10
D38																																																																																			
D39																																																																																			
D40																																																																																			
D41																																																																																			11
D42																																																																																			
D43																																																																																			
D44																																																																																			
D45																																																																																			12
D46																																																																																			
D47																																																																																			
D48																																																																																			
D49																																																																																			13
D50																																																																																			
D51																																																																																			
D52																																																																																			
D53																																																																																			14
D54																																																																																			
D55																																																																																			
D56																																																																																			
D57																																																																																			15
D58																																																																																			
D59																																																																																			
D60																																																																																			
D61																																																																																			16
D62																																																																																			
D63																																																																																			
D64																																																																																			
D65																																																																																			17
D66																																																																																			
D67																																																																																			
D68																																																																																			
D69																																																																																			18
D70																																																																																			
D71																																																																																			
D72																																																																																			
D73																																																																																			19
D74																																																																																			
D75																																																																																			
D76																																																																																			
D77																																																																																			20
D78																																																																																			
D79																																																																																			
D80																																																																																			
D81																																																																																			21
D82																																																																																			
D83																																																																																			
D84																																																																																			
D85																																																																																			22
D86																																																																																			
D87																																																																																			
D88																																																																																			
D89																																																																																			23
D90																																																																																			
D91																																																																																			
D92																																																																																			
D93																																																																																			24
D94																																																																																			
D95																																																																																			
D96																																																																																			
D97																																																																																			25
D98																																																																																			
D99																																																																																			
D100																																																																																			
D101																																																																																			26
D102																																																																																			
D103																																																																																			
D104																																																																																			
D105																																																																																			27
D106																																																																																			
D107																																																																																			
D108																																																																																			
D109																																																																																			28
D110																																																																																			
D111																																																																																			
D112																																																																																			
D113																																																																																			29
D114																																																																																			
D115																																																																																			
D116																																																																																			
D117																																																																																			30
D118																																																																																			
D119																																																																																			
D120																																																																																			
D121																																																																																			31
D122																																																																																			
D123																																																																																			
D124																																																																																			
D125																																																																																			32
D126																																																																																			
D127																																																																																			
D128																																																																																			
D129																																																																																			33
D130																																																																																			
D131																																																																																			
D132																																																																																			
D133																																																																																			34
D134																																																																																			
D135																																																																																			
D136																																																																																			
D137																																																																																			35
D138																																																																																			
D139																																																																																			
D140																																																																																			
D141																																																																																			36
D142																																																																																			
D143																																																																																			
D144																																																																																			
D145																																																																																			37
D146																																																																																			
D147																																																																																			
D148																																																																																			
D149																																																																																			38
D150																																																																																			
D151																																																																																			
D152																																																																																			
D153																																																																																			39
D154																																																																																			
D155																																																																																			
D156																																																																																			
D157																																																																																			40
D158																																																																																			
D159																																																																																			
D160																																																																																			
D161																																																																																			41
D162																																																																																			
D163																																																																																			
D164																																																																																			
D165																																																																																			42
D166																																																																																			
D167																																																																																			
D168																																																																																			
D169																																																																																			43
D170																																																																																			
D171																																																																																			
D172																																																																																			
D173																																																																																			44
D174																																																																																			
D175																																																																																			
D176																																																																																			
D177																																																																																			45
D178																																																																																			
D179																																																																																			
D180																																																																																			
D181																																																																																			46
D182																																																																																			
D183																																																																																			
D184																																																																																			
D185																																																																																			47
D186																																																																																			
D187																																																																																			
D188																																																																																			
D189																																																																																			48
D190																																																																																			
D191																																																																																			
D192																																																																																			
D193																																																																																			49
D194																																																																																			
D195																																																																																			
D196																																																																																			
D197																																																																																			50
D198																																																																																			
D199																																																																																			
D200																																																																																			

SEG	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66
-----	---	---	---	---	---	---	---	---	---	---	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----

図5.11.5.4 1/16デューティ、5×5ドット表示メモリマップ

* S1C88862では00Fx29H ~ 00Fx32H(x=8 ~ DH)の領域にメモリは実装されていません。

アドレス/データビット	0																1																2																3																4				COM
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2																		
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																	4				
D5																																																																	5				
D6																																																																	6				
D7																																																																	7				
D0																																																																	0				
D1																																																																	1				
D2																																																																	2				
D3																																																																	3				
D4																																																																					

図5.11.5.5 1/8デューティ、5×8ドット表示メモリマップ

* S1C88862では00Fx29H～00Fx32H(x=8、AH)の領域にメモリは実装されていません。

アドレス/データビット	0																1																2																3																4				COM
	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	0	1	2																		
D0	表示領域0(DSPARに"0"が設定されている場合)																*																																				0																
D1																																																					1																
D2																																																					2																
D3																																																					3																
D4																																																					4																
00F800H └																																																					1																
00F842H																																																					2																
D5																																																					3																
D6																																																					4																
D7																																																																					
D0	表示領域0(DSPARに"0"が設定されている場合)																*																																				5																
D1																																																					5																
D2																																																					6																
D3																																																					7																
D4																																																																					
00F900H └																																																																					
00F942H																																																																					
D5																																																																					
D6																																																																					
D7																																																																					
D0																																																					0																
D1																																																					0																
D2																																																					1																
D3																																																					2																
D4																																																					3																
00FA00H └																																																					1																
00FA42H																																																					2																
D5																																																					3																
D6																																																					4																
D7																																																																					
D0	表示領域1(DSPARに"1"が設定されている場合)																*																																				0																
D1																																																					0																
D2																																																					1																
D3																																																					2																
D4																																																					3																
00FB00H └																																																					1																
00FB42H																																																					2																
D5																																																					3																
D6																																																					4																
D7																																																																					
D0	表示領域1(DSPARに"1"が設定されている場合)																*																																				5																
D1																																																					5																
D2																																																					6																
D3																																																					7																
D4																																																																					
00FC00H └																																																																					
00FC42H																																																																					
D5																																																																					
D6																																																																					
D7																																																																					
D0																																																																					
D1																																																																					
D2																																																																					
D3																																																																					
D4																																																																					
00FD00H └																																																																					
00FD42H																																																																					
D5																																																																					
D6																																																																					
D7																																																																					
SEG	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40	41	42	43	44	45	46	47	48	49	50	51	52	53	54	55	56	57	58	59	60	61	62	63	64	65	66		

図5.11.5.6 1/8デューティ、5×5ドット表示メモリマップ

* S1C88862では00Fx29H ~ 00Fx32H(x=8、9、BH、CH)の領域にメモリは実装されていません。

5.11.6 表示の制御

内蔵LCDドライバの表示状態とコントラストの調整を内蔵のLCDコントローラによって制御することができます。

LCDの表示状態は表示制御レジスタLCDC0、LCDC1によって選択され、設定値と表示状態が表5.11.6.1に示すとおり対応しています。

表5.11.6.1 LCD表示制御

LCDC1	LCDC0	LCD表示
1	1	全点灯(スタティック)
1	0	全消灯(ダイナミック)
0	1	通常表示
0	0	駆動OFF

全点灯および全消灯はLCDドライバが出力する駆動波形を直接制御するもので、表示メモリのデータは変更されません。また、このときのコモン端子はそれぞれ全点灯ではスタティック駆動、全消灯ではダイナミック駆動となるため、次のような用途にこの機能を使用することができます。

- (1) 全点灯はスタティック駆動による2値(V_{C5} と V_{SS})出力となるため、コモン/セグメント端子をOSC1発振周波数の周波数調整用モニタ端子として使用することができます。
- (2) 全消灯はダイナミック駆動のため、LCD表示全体を点滅させたい場合に表示メモリのデータを変更せずに点滅を実現することができます。

駆動OFFを選択した場合はLCD駆動電源回路がOFFとなり、 $V_{C1} \sim V_{C5}$ 端子はすべて V_{SS} レベルとなります。ただし、マスクオプションで外部電源を選択した場合、駆動OFF時 $V_{C1} \sim V_{C5}$ はフローティング状態になります。

なお、レジスタLCDC0、LCDC1はSLP命令が実行されることで、自動的にハードウェアによって"0"にリセット("駆動OFF"に設定)されます。

LCDのコントラストは16段階の調整が可能です。この調整はコントラスト調整レジスタLC0～LC3によって行われ、設定値とコントラストの濃淡が表5.11.6.2に示すとおり対応しています。ただし、マスクオプションで外部電源を選択した場合、LCDコントラスト調整レジスタLC0～LC3の設定によるコントラスト調整は無効となります。

表5.11.6.2 LCDのコントラスト調整

LC3	LC2	LC1	LC0	コントラスト
1	1	1	1	濃
1	1	1	0	↑
1	1	0	1	
:	:	:	:	
0	0	1	0	
0	0	0	1	↓
0	0	0	0	淡

注! コントラストは固定値とせず、ソフトウェアにより変えられるようにすることを推奨します。

5.11.7 LCDコントローラの制御方法

表5.11.7.1にLCDコントローラの制御ビットを示します。

表5.11.7.1 LCDコントローラの制御ビット

アドレス	ビット	名称	機 能		1	0	SR	R/W	注 釈			
00FF10	D7	—	—		—	—	—		読み出し時は 常時"0"			
	D6	—	—		—	—	—					
	D5	—	—		—	—	—					
	D4	LCCLK	汎用レジスタ		1	0	0	R/W	予約レジスタ			
	D3	LCFRM	汎用レジスタ				0	R/W				
	D2	DTFNT	LCDドットフォント選択		5×5ドット	5×8ドット	0	R/W				
	D1	LDUTY	LCD駆動デューティ選択		1/16デューティ	1/32デューティ	0	R/W	*1			
	D0	SGOUT	汎用レジスタ		1	0	0	R/W	予約レジスタ			
00FF11	D7	—	—		—	—	—		読み出し時は"0"			
	D6	DSPAR	LCD表示メモリ領域選択		表示領域1	表示領域0	0	R/W				
	D5	LCDC1	LCD表示制御				0	R/W	SLP命令実行時に (0, 0)にリセット			
	D4	LCDC0	LCDC1	LCDC0						LCD表示		
			1	1			全点灯					
			1	0			全消灯					
	0	1	通常表示									
				0	0	駆動Off						
	D3	LC3	LCDコントラスト調整				0	R/W				
	D2	LC2	LC3	LC2						LC1	LC0	コントラスト
	D1	LC1	1	1						1	0	濃
1			1	1						0	：	
D0	LC0	：	：	：						：	：	

*1 マスクオプションで1/8デューティを選択している場合は、本レジスタの設定は無効となります。

LDUTY: 00FF10H-D1

駆動デューティを選択します。

"1"書き込み: 1/16デューティ

"0"書き込み: 1/32デューティ

読み出し: 可能

マスクオプションで"1/32 & 1/16デューティ"を選択した場合の駆動デューティを、1/32とするか1/16とするかを選択します。

LDUTYに"0"を書き込んだ場合は1/32デューティが選択され、コモン/セグメント兼用出力端子はコモン端子に設定されます。

また、LDUTYに"1"を書き込んだ場合は1/16デューティが選択され、コモン/セグメント兼用出力端子はセグメント端子に設定されます。

マスクオプションで"1/8デューティ"を選択した場合はコモン/セグメント兼用出力端子はセグメント端子固定となり、LDUTYの設定は無効となります。

駆動デューティの選択にしたがった表示メモリのビットとコモン/セグメント端子の対応については、図5.11.5.1～図5.11.5.6を参照してください。

イニシャルリセット時、LDUTYは"0"(1/32デューティ)に設定されます。

DTFNT: 00FF10H-D2

ドットフォントを選択します。

"1"書き込み: 5×5ドット

"0"書き込み: 5×8ドット

読み出し: 可能

表示メモリ上の表示領域を5×8ドットに適合させるか、5×5ドットに適合させるかを選択します。DTFNTに"0"を書き込むと5×8ドット、"1"を書き込むと5×5ドットがそれぞれ選択されます。

ドットフォントの選択にしたがった表示メモリのビットとコモン/セグメント端子の対応については、図5.11.5.1～図5.11.5.6を参照してください。イニシャルリセット時、DTFNTは"0"(5×8ドット)に設定されます。

DSPAR: 00FF11H-D6

表示領域を選択します。

"1"書き込み: 表示領域1

"0"書き込み: 表示領域0

読み出し: 可能

1/16または1/8デューティ選択時に表示メモリ中に2画面分確保される表示領域のどちらを表示させるかを選択します。DSPARに"0"を書き込むと表示領域0、"1"を書き込むと表示領域1がそれぞれ選択されます。

1/32デューティ選択時は1画面分のみの表示領域となるため、DSPARの設定は無効となります。
表示領域の選択にしたがった表示メモリのビットとコモン/セグメント端子の対応については、図5.11.5.1～図5.11.5.6を参照してください。
イニシャルリセット時、DSPARは"0"(表示領域0)に設定されます。

LCDC0, LCDC1: 00FF11H・D4, D5

LCDの表示を制御します。

表5.11.7.2 LCDの表示制御

LCDC1	LCDC0	LCD表示
1	1	全点灯 (スタティック)
1	0	全消灯 (ダイナミック)
0	1	通常表示
0	0	駆動 OFF

上記4種類の状態を表示メモリのデータを変更せずに設定することができます。
イニシャルリセット時、およびSLEEP状態のとき本レジスタは"0"(駆動OFF)に設定されます。

LC0~LC3: 00FF11H・D0~D3

LCDのコントラストを調整します。

表5.11.7.3 LCDのコントラスト調整

LC3	LC2	LC1	LC0	コントラスト
1	1	1	1	濃 ↑
1	1	1	0	
1	1	0	1	
1	1	0	0	
1	0	1	1	
1	0	1	0	
1	0	0	1	
1	0	0	0	
0	1	1	1	
0	1	1	0	
0	1	0	1	
0	1	0	0	
0	0	1	1	
0	0	1	0	
0	0	0	1	
0	0	0	0	淡 ↓

コントラストは上記16段階の調整を行うことができ、これによってVc1～Vc5端子の駆動電圧が変化します。
イニシャルリセット時、本レジスタは"0"に設定されます。

- 注! ・マスクオプションで外部電源を選択した場合、本レジスタの設定は無効となります。
- ・コントラストは固定値とせず、ソフトウェアにより変えられるようにすることを推奨します。

5.11.8 プログラミング上の注意事項

表示制御レジスタLCDC0、LCDC1はSLP命令が実行されることで、自動的にハードウェアによって"0"にリセットされます。

5.12 サウンドジェネレータ

5.12.1 サウンドジェネレータの構成

S1C88832/88862はブザー(BZ、 $\overline{\text{BZ}}$)信号を発生するサウンドジェネレータを内蔵しています。

ここで発生したBZ信号はR50出力ポート端子から出力することができます。また、マスクオプションにより、R51端子を $\overline{\text{BZ}}$ 信号(BZ反転信号)出力に設定することもできます。

ブザー信号の周波数と音量(デューティ調整)をソフトウェアによってそれぞれ8段階に設定できるほか、デューティ比制御によるデジタルエンベロープを付加することができます。また、キー操作音等を出力するための、ワンショット出力機能も内蔵しています。

図5.12.1.1にサウンドジェネレータの構成を示します。

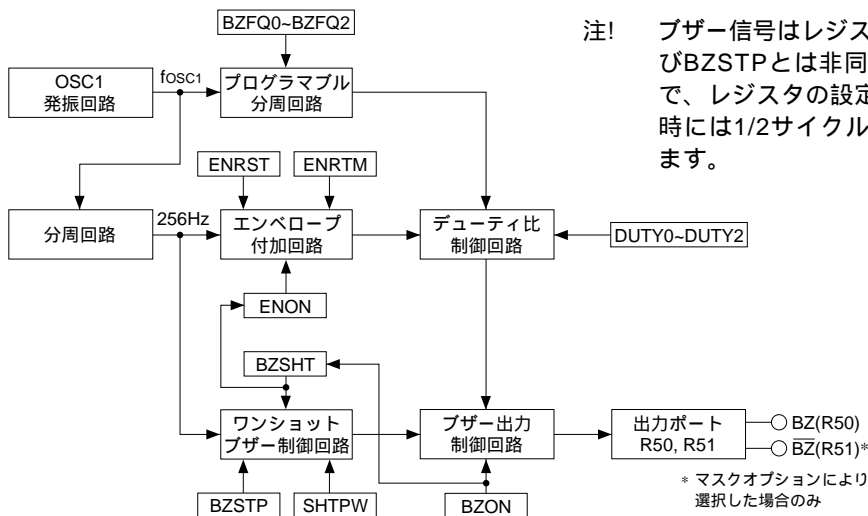


図5.12.1.1 サウンドジェネレータの構成

5.12.2 ブザー出力の制御

BZ信号はR50出力ポート端子から出力させることができます。また、マスクオプションの選択により、R51出力ポート端子から $\overline{\text{BZ}}$ 信号(BZ反転信号)を出力させることができます。出力ポートR50、R51の構成を図5.12.2.1に示します。

サウンドジェネレータで発生したブザー信号はブザー出力制御レジスタBZON、ワンショットブザートリガビットBZSHTおよびワンショットブザー強制停止ビットBZSTPによって出力制御が行われます。BZONまたはBZSHTに"1"を設定するとR50はLOW(V_{SS})レベル、R51はHIGH(V_{DD})レベルとなります。ブザー出力を行う場合、データレジスタR50Dには常時"0"が設定されている必要があります。R51Dは $\overline{\text{BZ}}$ 出力には影響を与えません。

図5.12.2.2にブザー信号の出力波形を示します。

注! ブザー信号はレジスタBZON、BZSHTおよびBZSTPとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

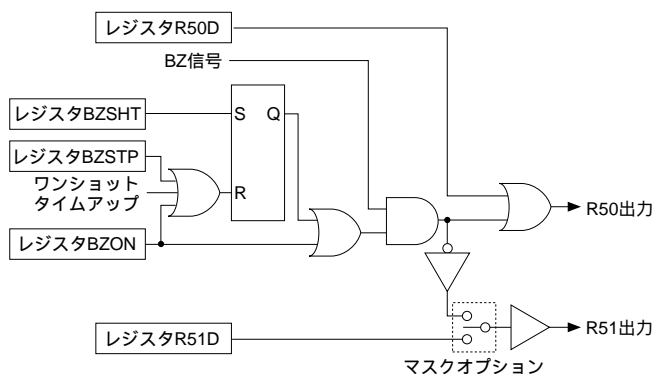
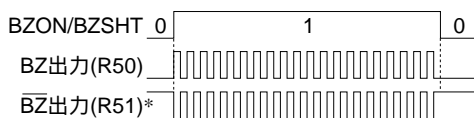


図5.12.2.1 R50とR51の構成



* マスクオプションにより選択した場合

図5.12.2.2 ブザー信号の出力波形

5.12.3 ブザー周波数と音量の設定

ブザー信号はOSC1発振回路(32.768kHz)を原振とする分周信号で、8種類の周波数を選択することができます。この選択はブザー周波数選択レジスタBZFQ0～BZFQ2によって行われ、設定値とブザー周波数とが表5.12.3.1に示すとおり対応しています。

ブザー信号のデューティ比を8種類の中から選択することで、ブザーの音量を調整することができます。この選択はデューティ比選択レジスタDUTY0～DUTY2によって行われ、設定値とデューティ比とが表5.12.3.2に示すとおり対応しています。

表5.12.3.1 ブザー周波数の設定

BZFQ2	BZFQ1	BZFQ0	ブザー周波数 (Hz)
0	0	0	4096.0
0	0	1	3276.8
0	1	0	2730.7
0	1	1	2340.6
1	0	0	2048.0
1	0	1	1638.4
1	1	0	1365.3
1	1	1	1170.3

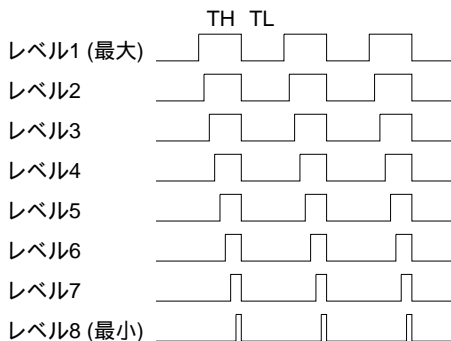
表5.12.3.2 デューティ比の設定

レベル	DUTY2	DUTY1	DUTY0	各ブザー周波数(Hz)におけるデューティ比			
				4096.0	3276.8	2730.7	2340.6
				2048.0	1638.4	1365.3	1170.3
レベル1 (最大)	0	0	0	8/16	8/20	12/24	12/28
レベル2	0	0	1	7/16	7/20	11/24	11/28
レベル3	0	1	0	6/16	6/20	10/24	10/28
レベル4	0	1	1	5/16	5/20	9/24	9/28
レベル5	1	0	0	4/16	4/20	8/24	8/28
レベル6	1	0	1	3/16	3/20	7/24	7/28
レベル7	1	1	0	2/16	2/20	6/24	6/28
レベル8 (最小)	1	1	1	1/16	1/20	5/24	5/28

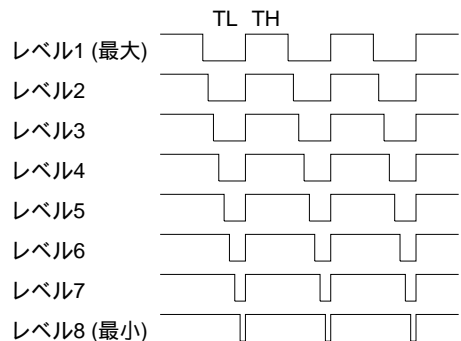
デューティ比はパルス周期に対するパルス幅の比率のことで、HIGHレベル出力時間をTH、LOWレベル出力時間をTLとした場合、BZ信号はTH/(TH+TL)、BZ信号はTL/(TH+TL)となります。DUTY0～DUTY2をすべて"0"に設定した場合はデューティ比が最大となり、音量も最大となります。逆にDUTY0～DUTY2をすべて"1"に設定した場合はデューティ比が最小となり、音量も最小となります。

なお、設定できるデューティ比は各周波数によって異なりますので、表5.12.3.2を参照してください。

注! デジタルエンベロープを使用する場合、DUTY0～DUTY2の設定は無効となります。



(a) BZ信号



(b) BZ信号

図5.12.3.1 ブザー信号波形のデューティ比

5.12.4 デジタルエンベロープ

ブザー信号に対してデューティ比制御のデジタルエンベロープを付加することができます。エンベロープは前項の表5.12.3.2と同様に、ブザー信号のデューティ比をレベル1(最大)からレベル8(最小)まで段階的に変化させることで実現されます。ブザー信号に対するエンベロープの付加は、エンベロープ制御レジスタENONに"1"を書き込むことによって行われ、"0"が書き込まれた場合はDUTY0~DUTY2によって選択されるデューティ比に固定されます。

ENONに"1"を設定してブザー出力をONにする(BZONに"1"を書き込む)と、レベル1のデューティ比のブザー信号が出力され以後レベル8まで段階的に減衰します。減衰したエンベロープは、エンベロープリセットビットENRSTに"1"を書き込むことによってレベル1まで復帰させることができます。一度レベル8まで減衰すると、ブザー出力をOFFにする(BZONに"0"を書き込む)かENRSTに"1"を書き込むまでレベル8のデューティ比は保持されます。なお、エンベロープレベル1段階あたりの変化時間はエンベロープ減衰時間選択レジスタENRTMによって125msec、または62.5msecが選択できます。図5.12.4.1にデジタルエンベロープのタイミングチャートを示します。

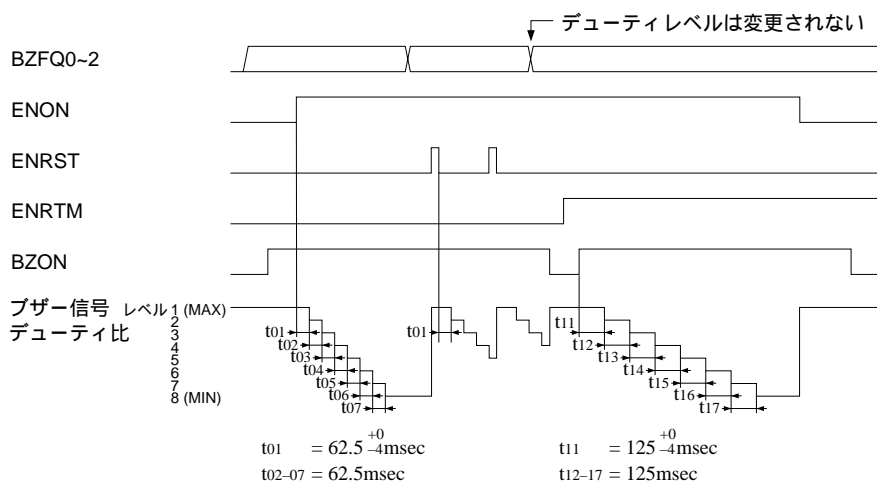


図5.12.4.1 デジタルエンベロープのタイミングチャート

5.12.5 ワンショット出力

キー操作音などのように短い時間ブザー信号を出力させる場合のために、サウンドジェネレータはワンショット出力機能を内蔵しています。ブザー信号の出力時間はワンショットブザー時間幅選択レジスタSHTPWによって125msec、または31.25msecが選択できます。

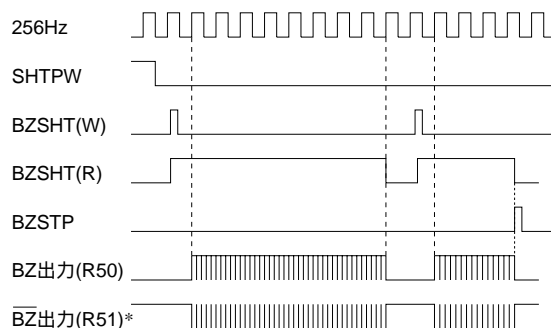
ワンショットブザーの出力制御はワンショットブザートリガBZSHTに"1"を書き込むことによって行われ、このトリガ後に内部の256Hz信号に同期して出力端子からブザー信号が出力されます。設定時間経過後、出力開始時同様256Hz信号に同期して、自動的にブザー信号はOFFされます。

BZSHTはステータスとして読み出しも可能で、"1"の場合はBUSY状態(ワンショット出力中)、“0”の場合はREADY状態(停止中)をそれぞれ示します。設定時間経過前にブザー信号をOFFさせたい場合は、ワンショットブザー強制停止ビットBZSTPに"1"を書き込むことで即ブザー信号を強制停止(この場合256Hzとは非同期にOFF)させることができます。

ワンショット出力は短時間のため、エンベロープを付加することはできません。(BZSHTに"1"を書き込むと自動的にENONが"0"にリセットされます。)したがって、ワンショット出力時は周波数と音量(デューティ比)の設定のみが可能となります。

通常のブザー出力中は、ワンショット出力の制御は無効となります。

図5.12.5.1にワンショット出力のタイミングチャートを示します。



* マスクオプションにより選択した場合

図5.12.5.1 ワンショット出力のタイミングチャート

5.12.6 サウンドジェネレータの制御方法

表5.12.6.1にサウンドジェネレータの制御ビットを示します。

表5.12.6.1 サウンドジェネレータの制御ビット

アドレス	ビット	名称	機 能	1	0	SR	R/W	注 釈
00FF44	D7	—	—	—	—	—	—	読み出し時は 常時"0"
	D6	BZSTP	ワンショットブザー強制停止	強制停止	無効	—	W	
	D5	BZSHT	ワンショットブザートリガ/ステータス	Busy トリガ	Ready 無効	0	R/W	
	D4	SHTPW	ワンショットブザー時間幅選択	125msec	31.25msec	0	R/W	
	D3	ENRTM	エンベロープ減衰時間	1sec	0.5sec	0	R/W	
	D2	ENRST	エンベロープリセット	リセット	無効	—	W	読み出し時は"0"
	D1	ENON	エンベロープOn/Off制御	On	Off	0	R/W	*1
	D0	BZON	ブザー出力制御	On	Off	0	R/W	
00FF45	D7	—	—	—	—	—	—	読み出し時は"0"
	D6	DUTY2	ブザー信号デューティ比選択 DUTY2-1 ブザー周波数(Hz) 2 1 0 4096.0 3276.8 2730.7 2340.6 2048.0 1638.4 1365.3 1170.3			0	R/W	
	D5	DUTY1	0 0 0 8/16 8/20 12/24 12/28			0	R/W	
			0 0 1 7/16 7/20 11/24 11/28					
			0 1 0 6/16 6/20 10/24 10/28					
			0 1 1 5/16 5/20 9/24 9/28					
	D4	DUTY0	1 0 0 4/16 4/20 8/24 8/28			0	R/W	
			1 0 1 3/16 3/20 7/24 7/28					
			1 1 0 2/16 2/20 6/24 6/28					
			1 1 1 1/16 1/20 5/24 5/28					
	D3	—	—	—	—	—	—	読み出し時は"0"
	D2	BZFAQ2	ブザー周波数選択 BZFAQ2 BZFAQ1 BZFAQ0 周波数(Hz) 0 0 0 4096.0			0	R/W	
	D1	BZFAQ1	0 0 1 3276.8			0	R/W	
			0 1 0 2730.7					
			0 1 1 2340.6					
	D0	BZFAQ0	1 0 0 2048.0			0	R/W	
			1 0 1 1638.4					
			1 1 0 1365.3					
			1 1 1 1170.3					

*1 ワンショット出力時、"0"にリセット

BZON: 00FF44H-D0

ブザー(BZ、BZ)信号の出力制御を行います。

"1"書き込み: ブザー信号出力ON

"0"書き込み: ブザー信号出力OFF

読み出し: 可能

BZONはブザー信号の出力制御レジスタで、"1"を設定するとBZ(BZ)信号がR50(R51)出力ポート端子から出力され、"0"を設定するとR50はLOW(Vss)レベル、R51はHIGH(VDD)レベルとなります。ブザー出力を行う場合、データレジスタR50Dには常時"0"が設定されている必要があります。R51DはBZ出力には影響を与えません。

イニシャルリセット時、BZONは"0"(出力OFF)に設定されます。

BZ出力(R51)はマスクオプションで選択した場合にのみ可能です。

BZFAQ0~BZFAQ2: 00FF45H-D0~D2

ブザー信号の周波数を選択します。

表5.12.6.2 ブザー周波数の設定

BZFAQ2	BZFAQ1	BZFAQ0	ブザー周波数 (Hz)
0	0	0	4096.0
0	0	1	3276.8
0	1	0	2730.7
0	1	1	2340.6
1	0	0	2048.0
1	0	1	1638.4
1	1	0	1365.3
1	1	1	1170.3

ブザー周波数はOSC1クロックを分周した上記8種類が選択できます。

イニシャルリセット時、本レジスタは"0"(4096.0Hz)に設定されます。

DUTY0~DUTY2: 00FF45H-D4~D6

ブザー信号のデューティ比を選択します。

表5.12.6.3 デューティ比の設定

レベル	DUTY2	DUTY1	DUTY0	各ブザー周波数(Hz)におけるデューティ比			
				4096.0 2048.0	3276.8 1638.4	2730.7 1365.3	2340.6 1170.3
レベル1 (最大)	0	0	0	8/16	8/20	12/24	12/28
レベル2	0	0	1	7/16	7/20	11/24	11/28
レベル3	0	1	0	6/16	6/20	10/24	10/28
レベル4	0	1	1	5/16	5/20	9/24	9/28
レベル5	1	0	0	4/16	4/20	8/24	8/28
レベル6	1	0	1	3/16	3/20	7/24	7/28
レベル7	1	1	0	2/16	2/20	6/24	6/28
レベル8 (最小)	1	1	1	1/16	1/20	5/24	5/28

上記8種類のデューティ比を選択することによって、ブザーの音量を調整することができます。ただし、エンベロープをON(ENON="1")に設定している場合は、この設定は無効となります。

イニシャルリセット時、本レジスタは"0"(レベル1)に設定されます。

ENRST: 00FF44H-D2

エンベロープをリセットします。

"1"書き込み: リセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

エンベロープはENRSTに"1"を書き込むことによってリセットされ、デューティ比がレベル1(最大)まで復帰されます。

ENRSTへの"0"書き込みおよびエンベロープ未使用(ENON="0")時の"1"書き込みは無効となります。

ENRSTは書き込み専用のため、読み出し時は常時"0"となります。

ENON: 00FF44H-D1

ブザー信号に対するエンベロープの付加を制御します。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

ENONに"1"を書き込むことによって、ブザー信号出力時にエンベロープを付加することができます。"0"を書き込んだ場合はエンベロープは付加されず、ブザー信号はDUTY0~DUTY2によって選択されるデューティ比に固定されます。

イニシャルリセット時、およびBZSHTに"1"を書き込んだときENONは"0"(OFF)に設定されます。

ENRTM: 00FF44H-D3

ブザー信号に付加されるエンベロープの減衰時間を選択します。

"1"書き込み: 1.0sec (125msec × 7 = 875msec)

"0"書き込み: 0.5sec (62.5msec × 7 = 437.5msec)

読み出し: 可能

デジタルエンベロープの減衰時間はデューティ比の変化する時間で決定されます。ENRTMに"1"を書き込んだ場合は125msec(8Hz)単位、"0"を書き込んだ場合は62.5msec(16Hz)単位でデューティ比が変化します。

エンベロープをOFF(ENON="0")に設定している場合は、この設定は無効です。

イニシャルリセット時、ENRTMは"0"(0.5sec)に設定されます。

SHTPW: 00FF44H-D4

ワンショットブザーの出力時間幅を選択します。

"1"書き込み: 125msec

"0"書き込み: 31.25msec

読み出し: 可能

ワンショットブザーの出力時間幅は、SHTPWに"1"を書き込んだ場合が125msec、"0"を書き込んだ場合が62.5msecにそれぞれ設定されます。

イニシャルリセット時、SHTPWは"0"(31.25msec)に設定されます。

BZSHT: 00FF44H・D5

ワンショットブザー出力の制御を行います。

- "1"書き込み: トリガ
- "0"書き込み: ノーオペレーション
- "1"読み出し: BUSY
- "0"読み出し: READY

BZSHTに"1"を書き込むことによってワンショット出力回路が動作し、R50(R51)端子からBZ(BZ)信号が出力されます。このブザー出力はSHTPWによって設定した時間の経過後に自動的にOFFとなります。BZ出力を行う場合、データレジスタR50Dには常時"0"が設定されている必要があります。R51DはBZ出力には影響を与えません。

ワンショット出力は通常のブザー出力がOFF(BZON="0")の状態でのみ有効で、ON(BZON="1")状態でのトリガは無効となります。

ワンショット出力中に再トリガを行った場合は、その時点からSHTPWによって設定した時間を計測し直します。(時間延長)

ワンショット出力回路の動作状態はBZSHTを読み出すことによって確認することができ、ワンショット出力(BUSY)中は"1"、OFF(READY)時は"0"が読み出せます。

イニシャルリセット時、BZSHTは"0"(READY)に設定されます。

BZ出力(R51)はマスクオプションで選択した場合にのみ可能です。

BZSTP: 00FF44H・D6

ワンショットブザー出力の強制停止を行います。

- "1"書き込み: 強制停止
- "0"書き込み: ノーオペレーション
- 読み出し: 常時"0"

BZSTPに"1"を書き込むことによって、SHTPWによる設定時間が経過する以前にワンショットブザー出力を強制停止させることができます。

BZSTPへの"0"書き込みおよびワンショットブザー出力中以外の"1"書き込みは無効となります。

なお、BZSHTとBZSTPに同時に"1"を書き込んだ場合はBZSTPが優先され、ワンショットブザー出力は停止状態となります。

BZSTPは書き込み専用のため、読み出し時は常時"0"となります。

5.12.7 プログラミング上の注意事項

- (1) ブザー信号は出力制御レジスタBZONとは非同期に発生していますので、BZONの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。
- (2) ブザー信号がイネーブルの状態(BZON="1"またはBZSHT="1")でSLP命令を実行した場合は、SLEEP状態からの復帰時に出力端子に不安定なクロックが出力されます。したがって、SLEEP状態へ移行する場合は、SLP命令の実行以前にブザー信号をディセーブル状態(BZON=BZSHT="0")に設定してください。
- (3) ワンショット出力は通常のブザー出力がOFF(BZON="0")の状態でのみ有効で、ON(BZON="1")状態でのトリガは無効となります。

5.13 電源電圧検出(SVD)回路

5.13.1 SVD回路の構成

S1C88832/88862は、4ビット逐次比較型A/Dコンバータで構成される電源電圧検出(SVD)回路を内蔵しています。

SVD回路は、電源電圧を16レベル(レベル0～レベル15)に判定できるほか、このためのサンプリング動作をソフトウェアによって制御することができます。また、電源電圧がレベル0以下に低下した場合にイニシャルリセット信号を発生するよう、マスクオプションで機能を選択することもできます。

図5.13.1.1にSVD回路の構成を示します。

5.13.2 SVD回路の動作

SVD回路のサンプリング制御

SVD回路は連続サンプリングと1/4Hzオートサンプリングの2種類の動作モードを持っています。動作モードの選択は、SVD制御レジスタSVDON、SVDSPによって表5.13.2.1に示すとおり行われ、SVDONとSVDSPの2ビットが共に"1"に設定された場合は、連続サンプリングが優先されます。

表5.13.2.1 制御レジスタと動作モードの対応

SVDON	SVDSP	動作モード
0	0	SVD回路 OFF
0	1	1/4Hzオートサンプリング ON
1	x	連続サンプリング ON

どちらの動作モードにおいても、SVD回路が動作(BUSY)中か待機(READY)中かは、SVDONを読み出すことで確認することができ"1"のときにBUSY、"0"のときにREADYをそれぞれ示します。

SVD回路が動作中にSLP命令を実行した場合は、その時点のサンプリングが終了するまでOSC1発振回路の停止は待たされます。またさらに、このサンプリングの終了を待ってSVDONとSVDSPの2ビットが、ハードウェアによって自動的に"0"にリセットされます。

なお、消費電流を低減させるため、必要なとき以外はSVD回路をOFFにしてください。

検出結果

SVD回路は電源電圧($V_{DD}-V_{SS}$)を4ビットの分解能でA/D変換し、その結果を検出ビットSVD0～SVD3にセットします。SVD0～SVD3のデータと検出レベルは表5.13.2.2に示すとおり対応しており、次のサンプリングが行われるまで検出データは保持されます。

検出レベルと電源電圧との対応は"7 電気的特性"を参照してください。

SVD回路が電源電圧のサンプリングを開始してから結果をSVD0～SVD3にセットして終了するまで、7.8msec($f_{OSC1}=32.768\text{kHz}$)の時間を必要とします。したがって、これ以前のSVD0～SVD3の読み出しは、前回の検出結果を読み出すこととなります。

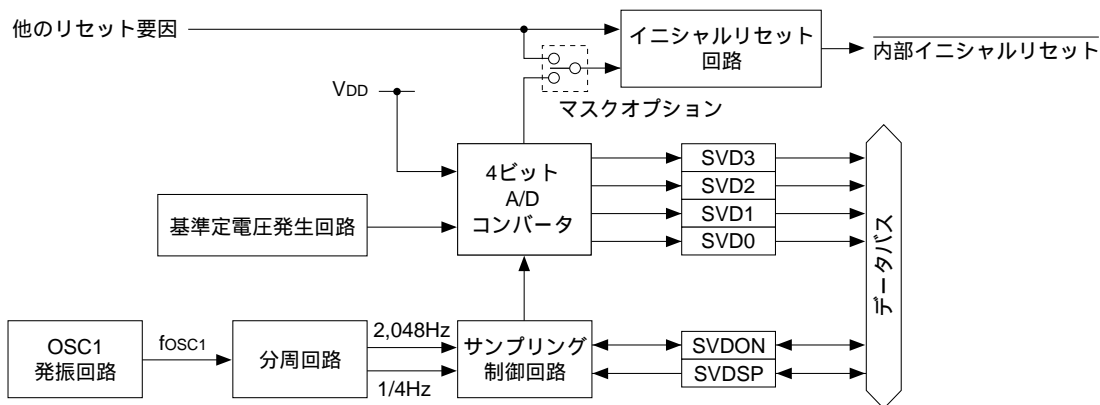


図5.13.1.1 SVD回路の構成

表5.13.2.2 電源電圧検出結果

SVD3	SVD2	SVD1	SVD0	検出レベル
1	1	1	1	レベル15
1	1	1	0	レベル14
1	1	0	1	レベル13
1	1	0	0	レベル12
1	0	1	1	レベル11
1	0	1	0	レベル10
1	0	0	1	レベル9
1	0	0	0	レベル8
0	1	1	1	レベル7
0	1	1	0	レベル6
0	1	0	1	レベル5
0	1	0	0	レベル4
0	0	1	1	レベル3
0	0	1	0	レベル2
0	0	0	1	レベル1
0	0	0	0	レベル0

サンプリングのタイミング

以下に2種類の動作モードのタイミングについて説明をします。

(1) 連続サンプリングモード

SVDONに"1"を書き込んだ場合に本モードが選択され、7.8msec周期で連続的に電源電圧のサンプリングを行います。

SVD回路は内部の2,048Hz信号に同期して動作を開始し、16クロックで1回のサンプリングを行います。

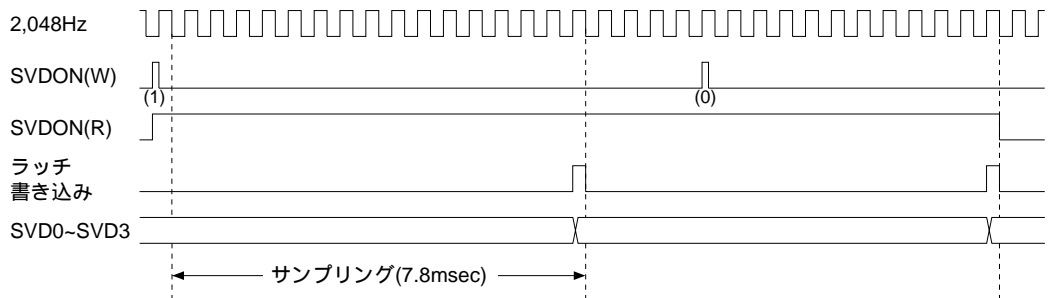


図5.13.2.1 連続サンプリングのタイミングチャート

サンプリングは待機時間を設けることなく連続的に行われ、検出結果を16クロック単位でSVD0~SVD3にラッチします。

連続サンプリングの解除は、SVDONに"0"を書き込むことで行います。このとき、SVD回路はその時点のサンプリングの終了までON状態を維持し、サンプリングの継ぎ目でOFFとなります。また、SVDONへの"0"書き込み後、実際にSVD回路がOFFとなるまでは、SVDONの読み出しは"1"となります。

図5.13.2.1に連続サンプリングのタイミングチャートを示します。

(2) 1/4Hzオートサンプリング

SVDONに"0"、SVDSPに"1"を書き込んだ場合に本モードが選択され、4秒ごとに電源電圧のサンプリングを行います。

1回のサンプリングは連続サンプリング同様7.8msecで行われ、4秒ごとにSVD0~SVD3の検出結果を更新します。

1/4Hzオートサンプリングの解除は、SVDSPに"0"を書き込むことで行います。このとき、SVD回路がサンプリング中である場合は、その終了までSVD回路のOFFは待たされます。また、SVD回路のサンプリング期間中は、SVDONに"1"が読み出されます。

図5.13.2.2に1/4Hzオートサンプリングのタイミングチャートを示します。

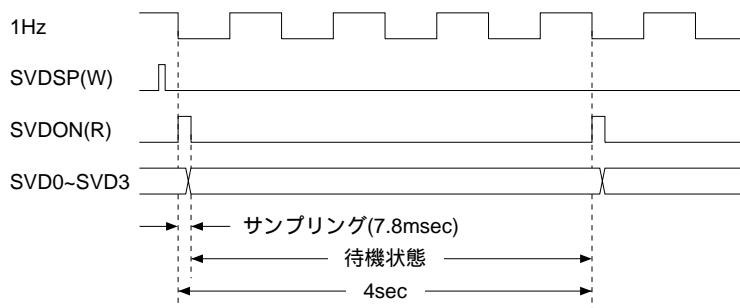


図5.13.2.2 1/4Hzオートサンプリングのタイミングチャート

低電圧検出時のリセット機能

電源電圧の低下によるCPUの暴走を回避するため、SVD回路は電源電圧がレベル0以下に低下した場合にイニシャルリセット信号を発生するよう、マスクオプションで機能を選択することができます。

SVD回路は、4回連続してレベル0(SVD3～SVD0=0000B)を検出すると連続サンプリング状態となります。このとき、同時に内部イニシャルリセット信号が発生され、電源電圧がレベル2(SVD3～SVD0=0010B)以上に復帰するまで、リセット状態は継続されます。

電源電圧の復帰によってリセット状態が解除されると、SVD回路は連続サンプリング状態となる前の状態へ復帰(前の状態が連続サンプリングの場合は、そのまま継続)し、CPUはリセット例外処理を開始します。

図5.13.2.3にイニシャルリセット信号発生タイミングチャートを示します。(1/4Hzオートサンプリング使用時の例)

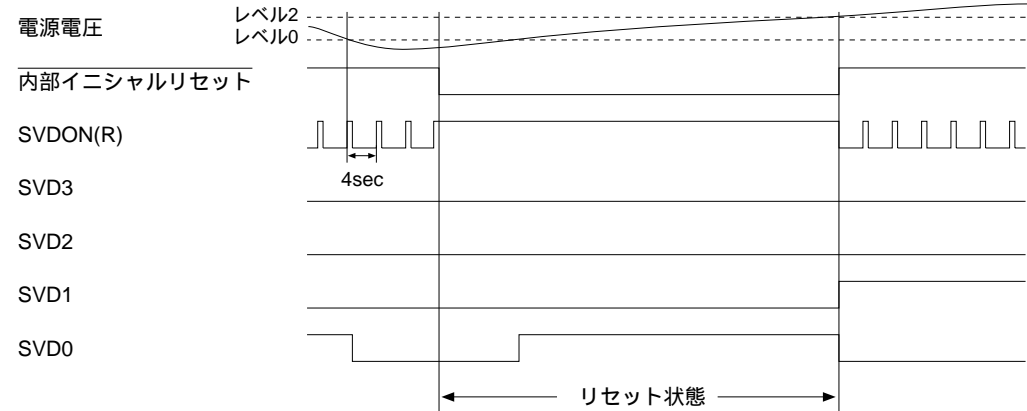


図5.13.2.3 イニシャルリセット信号発生タイミングチャート

5.13.3 SVD回路の制御方法

表5.13.3.1にSVD回路の制御ビットを示します。

表5.13.3.1 SVD回路の制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF12	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	SVDSP	SVDオートサンプリング制御	On	Off	0	R/W	SLP命令実行時 "0"にリセット
	D4	SVDON	SVD連続サンプリング制御/ステータス	Busy On	Ready Off	1→0 ^{*1} 0	R/W	
	D3	SVD3	SVD検出レベル SVD3 SVD2 SVD1 SVD0 検出レベル			X	R	*2
	D2	SVD2					R	
	D1	SVD1					R	
	⋮	⋮						
	D0	SVD0					R	

*1 イニシャルリセット時、本ステータスはハードウェアによる初回のサンプリングが終了するまで、"1"に設定されます。

*2 初期値は、ハードウェアによる初回のサンプリング時に検出される電源電圧にしたがって設定されます。このサンプリングが終了するまで、SVD0～SVD3のデータは不定となります。

SVDON: 00FF12H-D4

連続サンプリングモードのON/OFFを制御します。

- "1"書き込み: 連続サンプリング ON
- "0"書き込み: 連続サンプリング OFF
- "1"読み出し: BUSY
- "0"読み出し: READY

連続サンプリングモードは、SVDONに"1"を書き込むとONし、"0"を書き込むとOFFします。

ON状態では7.8msec単位で連続的に電源電圧のサンプリングが行われ、検出結果がSVD0～SVD3にラッチされます。

SVDONは読み出しも可能で、SVD回路が動作(BUSY)中のときに"1"、待機(READY)中のときに"0"をそれぞれ示します。

イニシャルリセット時、およびSLEEP状態のときSVDONは"0"(連続サンプリングOFF/READY)に設定されます。

SVDSP: 00FF12H-D5

オートサンプリングモードのON/OFFを制御します。

- "1"書き込み: オートサンプリング ON
- "0"書き込み: オートサンプリング OFF
- 読み出し: 可能

オートサンプリングモードは、SVDSPに"1"を書き込むとONし、"0"を書き込むとOFFします。

ON状態では4秒ごとに1回のサンプリングが行われ、実際のサンプリング期間中(7.8msec)は、SVDONに"1"が読み出されます。

イニシャルリセット時、およびSLEEP状態のときSVDSPは"0"(オートサンプリングOFF)に設定されます。

SVD0～SVD3: 00FF12H-D0～D3

SVDの検出結果がセットされます。読み出しデータと検出レベルは表5.13.3.2に示すとおり対応しており、次のサンプリングが行われるまでデータは保持されます。

表5.13.3.2 電源電圧検出結果

SVD3	SVD2	SVD1	SVD0	検出レベル
1	1	1	1	レベル15
1	1	1	0	レベル14
1	1	0	1	レベル13
1	1	0	0	レベル12
1	0	1	1	レベル11
1	0	1	0	レベル10
1	0	0	1	レベル9
1	0	0	0	レベル8
0	1	1	1	レベル7
0	1	1	0	レベル6
0	1	0	1	レベル5
0	1	0	0	レベル4
0	0	1	1	レベル3
0	0	1	0	レベル2
0	0	0	1	レベル1
0	0	0	0	レベル0

検出レベルと電源電圧との対応は"7 電気的特性"を参照してください。

イニシャルリセット時の初期値は、ハードウェアによる初回のサンプリング時に検出される電源電圧にしたがって設定されます。このサンプリングが終了するまで本ビットのデータは不定となります。

5.13.4 プログラミング上の注意事項

- (1) 消費電流を低減させるため、必要なとき以外はSVD回路をOFF(SVDON=SVDSP="0")にしてください。
- (2) SVD回路が動作中にSLP命令を実行した場合は、その時点のサンプリングが終了するまでOSC1発振回路の停止は待たされます。またさらに、このサンプリングの終了を待ってSVDONとSVDSPの2ビットが、ハードウェアによって自動的に"0"にリセットされます。

5.14 割り込みとスタンバイ状態

割り込みの種類

S1C88832/88862には以下に示す6系統15種類の割り込みが用意されています。

外部割り込み

- K00～K07入力割り込み(2種類)
- K10入力割り込み(1種類)

内部割り込み

- 計時タイマ割り込み(4種類)
- ストップウォッチタイマ割り込み(3種類)
- プログラブルタイマ割り込み(2種類)
- シリアルインタフェース割り込み(3種類)

それぞれの割り込みには、割り込み要因の発生を示す割り込み要因フラグと割り込み要求の許可/禁止を設定する割り込みイネーブルレジスタが設けられており、個々の要因に対して割り込みの発生を任意に設定することができます。また、割り込みの各系統には割り込みプライオリティレジスタが設けられており、各系統ごとに割り込み処理の優先度を3レベルまで設定することができます。

図5.14.1に割り込み回路の構成を示します。

各割り込みの詳細については、それぞれの周辺回路の説明を参照してください。

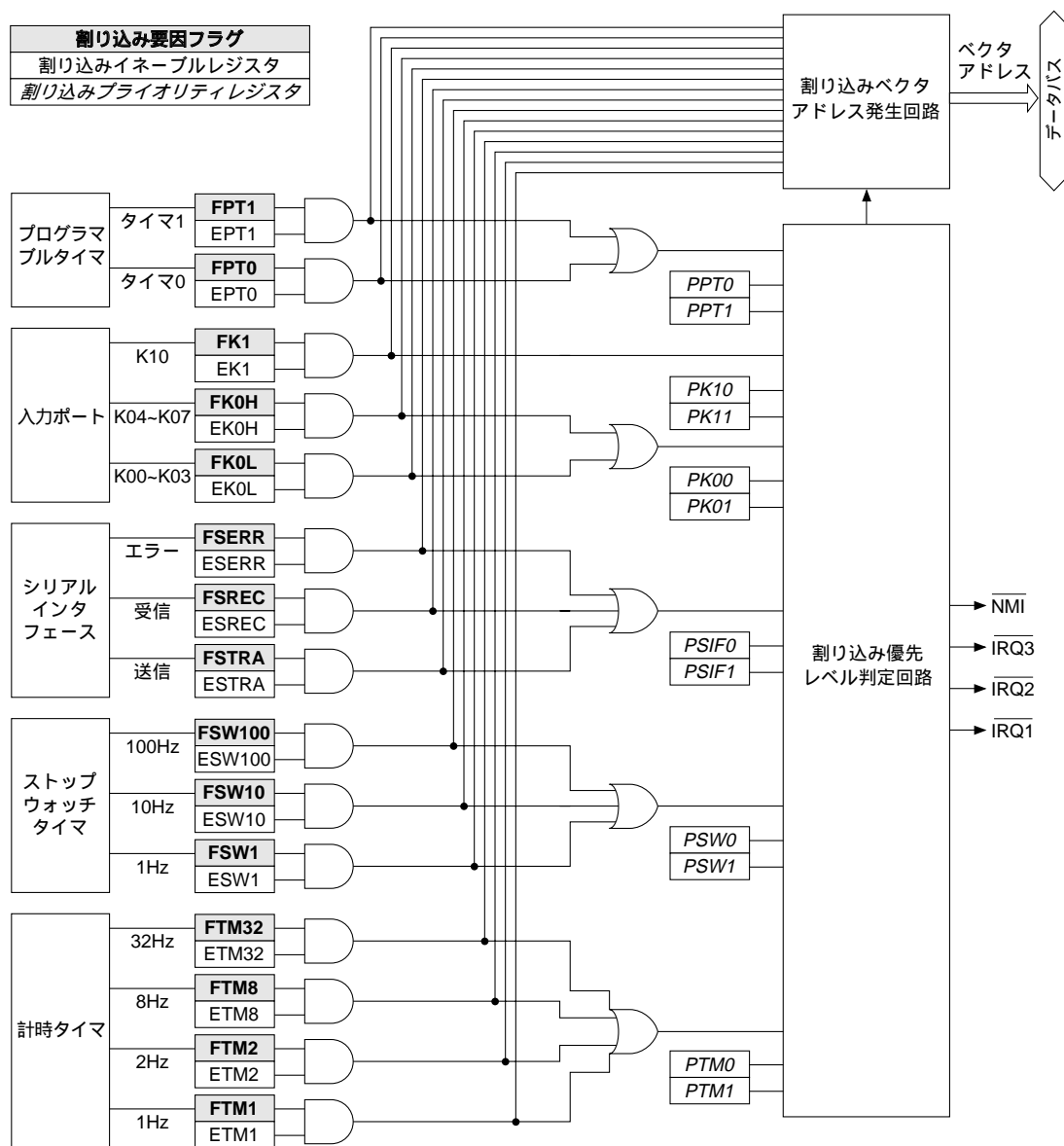


図5.14.1 割り込み回路の構成

HALT状態

プログラム上でHALT命令を実行することで、S1C88832/88862はHALT状態となります。

HALT状態ではCPUの動作が停止するため、周辺回路のみの動作による低消費電力化が実現できます。

HALT状態の解除はイニシャルリセット、または任意の割り込み要求によって行われ、CPUは例外処理ルーチンからプログラムの実行を再開します。

HALT状態と再起動のシーケンスについては、"S1C88 Core CPU Manual"を参照してください。

SLEEP状態

プログラム上でSLP命令を実行することで、S1C88832/88862はSLEEP状態となります。

SLEEP状態ではCPUと周辺回路が完全に動作を停止するため、HALT状態以上の低消費電力が実現できます。

SLEEP状態の解除はイニシャルリセット、または入力ポートからの入力割り込みによって行われ、8,192/fosc1秒の発振安定待ち時間後にCPUが再起動されます。このとき、CPUは例外処理ルーチン(入力割り込みルーチン)からプログラムの実行を再開します。

注! SLEEP状態からの再起動時は、しばらくの間発振が不安定となるため、OSC1発振回路に32.768kHzの水晶振動子を使用しても、待ち時間は必ずしも250msecとはなりません。

5.14.1 割り込み発生条件

先に示した6系統15種類の割り込みには、それぞれの割り込み要因の発生を示す割り込み要因フラグが設けられており、要因の発生によって"1"にセットされます。

また、各割り込み要因フラグには1対1に対応する割り込みイネーブルレジスタが設けられており、"1"を書き込むと割り込み許可、"0"を書き込むと割り込み禁止となります。

CPUは割り込み要求の許可/禁止を割り込み優先レベルによって管理しています。6系統の各割り込みには優先レベルを設定する割り込みプライオリティレジスタが設けられており、CPUはインタラプトフラグ(I0、I1)が示すレベルより高いレベルの割り込みのみ受け付けます。

したがって、実際にCPUが割り込みを受け付けるには、以下の3条件の成立が必要です。

- (1) 割り込み要因の発生によって、割り込み要因フラグが"1"にセットされている。
- (2) 先に対応する割り込みイネーブルレジスタが"1"に設定されている。
- (3) 先に対応する割り込みプライオリティレジスタが、インタラプトフラグ(I0、I1)より高い割り込み優先レベルに設定されている。

CPUは各命令の第1オペコードフェッチサイクルの最初で割り込みのサンプリングを行います。ここで上記の条件が成立していると、CPUは例外処理に移行します。

例外処理のシーケンスについては"S1C88 Core CPU Manual"を参照してください。

5.14.2 割り込み要因フラグ

割り込みを発生する要因と割り込み要因フラグの対応を表5.14.2.1に示します。

それぞれの割り込み要因の発生によって、対応する割り込み要因フラグが"1"にセットされます。

ソフトウェアによってこのフラグを読み出すことで、発生した割り込み要因の種類を確認することができます。

表5.14.2.1 割り込み要因

割り込み要因	割り込み要因フラグ	
プログラマブルタイマ1のアンダーフロー	FPT1	00FF25 D7
プログラマブルタイマ0のアンダーフロー	FPT0	00FF25 D6
K10入力と入力比較レジスタKCP10との不一致	FK1	00FF25 D5
K04 ~ K07入力と入力比較レジスタKCP04 ~ KCP07との不一致	FK0H	00FF25 D4
K00 ~ K03入力と入力比較レジスタKCP00 ~ KCP03との不一致	FK0L	00FF25 D3
シリアルインタフェースの受信エラー (調歩同期式モード時)	FSERR	00FF25 D2
シリアルインタフェースの受信完了	FSREC	00FF25 D1
シリアルインタフェースの送信完了	FSTRA	00FF25 D0
ストップウォッチタイマ100Hz信号の立ち下がりエッジ	FSW100	00FF24 D6
ストップウォッチタイマ10Hz信号の立ち下がりエッジ	FSW10	00FF24 D5
ストップウォッチタイマ1Hz信号の立ち下がりエッジ	FSW1	00FF24 D4
計時タイマ32Hz信号の立ち下がりエッジ	FTM32	00FF24 D3
計時タイマ8Hz信号の立ち下がりエッジ	FTM8	00FF24 D2
計時タイマ2Hz信号の立ち下がりエッジ	FTM2	00FF24 D1
計時タイマ1Hz信号の立ち下がりエッジ	FTM1	00FF24 D0

"1"にセットされた割り込み要因フラグは、"1"を書き込むことで"0"にリセットされます。
イニシャルリセット時、割り込み要因フラグは"0"にリセットされます。

注! 割り込み発生後、割り込み要因フラグをリセットせずにRETE命令を実行すると、再度同一の割り込みが発生してしまいます。
したがって、割り込み処理ルーチン内では、そのルーチンに対応する割り込み要因フラグのリセット("1"書き込み)を必ず行ってください。

5.14.3 割り込みイネーブルレジスタ

割り込みイネーブルレジスタは各割り込み要因フラグに1対1で対応しており、個々に割り込み要求の許可/禁止を設定することができます。

割り込みイネーブルレジスタに"1"を書き込むと割り込み要求が許可され、"0"を書き込むと禁止されます。このレジスタは読み出しも可能で、その時点の設定状態を確認することもできます。

イニシャルリセット時、割り込みイネーブルレジスタは"0"に設定され、割り込み禁止状態となります。
表5.14.3.1に割り込みイネーブルレジスタと割り込み要因フラグの対応を示します。

表5.14.3.1 割り込みイネーブルレジスタと割り込み要因フラグ

割り込み	割り込み要因フラグ		割り込みイネーブルレジスタ	
プログラマブルタイマ1	FPT1	(00FF25 D7)	EPT1	(00FF23 D7)
プログラマブルタイマ0	FPT0	(00FF25 D6)	EPT0	(00FF23 D6)
K10入力	FK1	(00FF25 D5)	EK1	(00FF23 D5)
K04 ~ K07入力	FK0H	(00FF25 D4)	EK0H	(00FF23 D4)
K00 ~ K03入力	FK0L	(00FF25 D3)	EK0L	(00FF23 D3)
シリアルI/F受信エラー	FSERR	(00FF25 D2)	ESERR	(00FF23 D2)
シリアルI/F受信完了	FSREC	(00FF25 D1)	ESREC	(00FF23 D1)
シリアルI/F送信完了	FSTRA	(00FF25 D0)	ESTRA	(00FF23 D0)
ストップウォッチタイマ100Hz	FSW100	(00FF24 D6)	ESW100	(00FF22 D6)
ストップウォッチタイマ10Hz	FSW10	(00FF24 D5)	ESW10	(00FF22 D5)
ストップウォッチタイマ1Hz	FSW1	(00FF24 D4)	ESW1	(00FF22 D4)
計時タイマ32Hz	FTM32	(00FF24 D3)	ETM32	(00FF22 D3)
計時タイマ8Hz	FTM8	(00FF24 D2)	ETM8	(00FF22 D2)
計時タイマ2Hz	FTM2	(00FF24 D1)	ETM2	(00FF22 D1)
計時タイマ1Hz	FTM1	(00FF24 D0)	ETM1	(00FF22 D0)

表5.14.4.1 割り込みプライオリティレジスタ

割り込み	割り込みプライオリティレジスタ	
プログラマブルタイマ	PPT0、PPT1	(00FF21 D2、D3)
K10入力	PK10、PK11	(00FF21 D0、D1)
K00 ~ K07入力	PK00、PK01	(00FF20 D6、D7)
シリアルインタフェース	PSIF0、PSIF1	(00FF20 D4、D5)
ストップウォッチタイマ	PSW0、PSW1	(00FF20 D2、D3)
計時タイマ	PTM0、PTM1	(00FF20 D0、D1)

5.14.4 割り込みプライオリティ

レジスタと割り込み優先レベル

割り込みの各系列には、表5.14.4.1に示す割り込みプライオリティレジスタが設けられており、CPUに対する割り込みの優先レベル(0~3)を任意に設定することができます。

これによって、割り込みの優先処理順位をシステムに適合させた多重割り込みが可能となります。

各系列間の割り込み優先レベルは、割り込みプライオリティレジスタによって任意に3レベルまで設定できます。ただし、複数の系列を同一の優先レベルに設定した場合は、デフォルトの優先順位にしたがって処理されます。

表5.14.4.2 割り込み優先レベルの設定

P*1	P*0	割り込み優先レベル
1	1	レベル3 (IRQ3)
1	0	レベル2 (IRQ2)
0	1	レベル1 (IRQ1)
0	0	レベル0 (なし)

イニシャルリセット時、割り込みプライオリティレジスタはすべて"0"に設定され、各割り込みはレベル0となります。

なお、各系列内での優先レベルはあらかじめ決められており、これを変更することはできません。

CPUはインタラプトフラグ(I0、I1)の設定によって各割り込みをマスクすることができます。各系列の割り込み優先レベルとインタラプトフラグの関係は表5.14.4.3のとおりで、CPUはインタラプトフラグが示すレベルより高い優先レベルの割り込みのみ受け付けます。このうち、レベル4の優先度を持っているNMI(ウォッチドッグタイマ)は、インタラプトフラグの設定にかかわらず常時受け付けられます。

表5.14.4.3 CPUの割り込みマスク設定

I1	I0	受け付け可能な割り込み
1	1	レベル4 (NMI)
1	0	レベル4、レベル3 (IRQ3)
0	1	レベル4、レベル3、レベル2 (IRQ2)
0	0	レベル4、レベル3、レベル2、レベル1 (IRQ1)

割り込みが受け付けられた後は、表5.14.4.4に示すとおりインタラプトフラグが受け付けた割り込みと同じレベルに書き換えられます。ただし、NMI受け付け後のインタラプトフラグの書き換えはレベル3(I0=I1="1")となります。

表5.14.4.4 割り込み受け付け後のインタラプトフラグ

受け付けた割り込みの優先レベル	I1	I0
レベル4 (NMI)	1	1
レベル3 (IRQ3)	1	1
レベル2 (IRQ2)	1	0
レベル1 (IRQ1)	0	1

インタラプトフラグは、割り込み処理ルーチンからの復帰時に、設定が元の値に戻されます。したがって、3レベルまでの多重割り込みは、割り込みプライオリティレジスタへの初期設定のみで制御することができます。また、それ以上の多重化は、インタラプトフラグと割り込みイネーブルレジスタを割り込み処理ルーチン内で書き換えることで実現できます。

注! 割り込み発生後、割り込み要因フラグをリセットする前にインタラプトフラグを書き換える(低い優先レベルに設定する)と、再度同一の割り込みが発生してしまいますので注意してください。

5.14.5 例外処理ベクタ

CPUが割り込みを受け付けると、実行中の命令の終了後に例外処理を開始します。例外処理ではプログラム分岐のために、以下の操作が行われます。

- (1) ミニマムモードではプログラムカウンタ(PC)とシステムコンディションフラグ(SC)を、マキシマムモードではコードバンクレジスタ(CB)とPC、およびSCをスタックに退避。
- (2) 各例外処理(割り込み)要因に対応する例外処理ベクタから分岐先アドレスを読み出し、PCにセット。

例外処理ベクタは、各例外(割り込み)処理ルーチンの先頭アドレスを格納している2バイトのデータで、ベクタアドレスと例外処理要因は表5.14.5.1のとおり対応しています。

表5.14.5.1 ベクタアドレスと例外処理要因の対応

ベクタ アドレス	例外処理要因	優先 順位
000000H	リセット	高い
000002H	ゼロ除算	
000004H	ウォッチドッグタイマ (NMI)	
000006H	プログラマブルタイマ1割り込み	
000008H	プログラマブルタイマ0割り込み	
00000AH	K10入力割り込み	
00000CH	K04 ~ K07入力割り込み	
00000EH	K00 ~ K03入力割り込み	
000010H	シリアルI/Fエラー割り込み	
000012H	シリアルI/F受信完了割り込み	
000014H	シリアルI/F送信完了割り込み	
000016H	ストップウォッチタイマ100Hz割り込み	
000018H	ストップウォッチタイマ10Hz割り込み	
00001AH	ストップウォッチタイマ1Hz割り込み	
00001CH	計時タイマ32Hz割り込み	
00001EH	計時タイマ8Hz割り込み	
000020H	計時タイマ2Hz割り込み	低い
000022H	計時タイマ1Hz割り込み	
000024H	システム予約 (使用不可)	
000026H	ソフトウェア割り込み	
:		
0000FEH		

注! 例外処理ベクタは2バイトに固定されたデータで、分岐先のバンクアドレスを指定することはできません。したがって、複数のバンクから共通の例外処理ルーチンに分岐させるためには、例外処理ルーチンの先頭部分をコモンエリア内(000000H ~ 007FFFH)に記述しておく必要があります。

5.14.6 割り込みの制御

表5.14.6.1に割り込みの制御ビットを示します。

表5.14.6.1 割り込みの制御ビット

アドレス	ビット	名称	機能	1	0	SR	R/W	注 釈
00FF20	D7	PK01	K00 ~ K07割り込み	PK01 PK00 PSIF1 PSIF0 PSW1 PSW0 PTM1 PTM0 1 1 1 0 0 1 0 0	優先 レベル レベル3 レベル2 レベル1 レベル0	0	R/W	
	D6	PK00	プライオリティレジスタ			0	R/W	
	D5	PSIF1	シリアルインタフェース割り込み			0	R/W	
	D4	PSIF0	プライオリティレジスタ			0	R/W	
	D3	PSW1	ストップウォッチタイマ割り込み			0	R/W	
	D2	PSW0	プライオリティレジスタ			0	R/W	
	D1	PTM1	計時タイマ割り込み			0	R/W	
	D0	PTM0	プライオリティレジスタ			0	R/W	
00FF21	D7	—	—	—	—	—		読み出し時は 常時"0"
	D6	—	—	—	—	—		
	D5	—	—	—	—	—		
	D4	—	—	—	—	—		
	D3	PPT1	プログラマブルタイマ割り込み	PPT1 PPT0	優先 レベル	0	R/W	
	D2	PPT0	プライオリティレジスタ	PK11 PK10	レベル3	0	R/W	
	D1	PK11	K10割り込み	1 0	レベル2	0	R/W	
	D0	PK10	プライオリティレジスタ	0 1 0 0	レベル1 レベル0	0	R/W	
00FF22	D7	—	—	—	—	—		読み出し時は"0"
	D6	ESW100	ストップウォッチ100Hz割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D5	ESW10	ストップウォッチ10Hz割り込みイネーブルレジスタ			0	R/W	
	D4	ESW1	ストップウォッチ1Hz割り込みイネーブルレジスタ			0	R/W	
	D3	ETM32	計時タイマ32Hz割り込みイネーブルレジスタ			0	R/W	
	D2	ETM8	計時タイマ8Hz割り込みイネーブルレジスタ			0	R/W	
	D1	ETM2	計時タイマ2Hz割り込みイネーブルレジスタ			0	R/W	
	D0	ETM1	計時タイマ1Hz割り込みイネーブルレジスタ			0	R/W	
00FF23	D7	EPT1	プログラマブルタイマ1割り込みイネーブルレジスタ	割り込み 許可	割り込み 禁止	0	R/W	
	D6	EPT0	プログラマブルタイマ0割り込みイネーブルレジスタ			0	R/W	
	D5	EK1	K10割り込みイネーブルレジスタ			0	R/W	
	D4	EK0H	K04 ~ K07割り込みイネーブルレジスタ			0	R/W	
	D3	EK0L	K00 ~ K03割り込みイネーブルレジスタ			0	R/W	
	D2	ESERR	シリアルI/F(エラー)割り込みイネーブルレジスタ			0	R/W	
	D1	ESREC	シリアルI/F(受信)割り込みイネーブルレジスタ			0	R/W	
	D0	ESTRA	シリアルI/F(送信)割り込みイネーブルレジスタ			0	R/W	
00FF24	D7	—	—	—	—	—		読み出し時は"0"
	D6	FSW100	ストップウォッチ100Hz割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W	
	D5	FSW10	ストップウォッチ10Hz割り込み要因フラグ			0	R/W	
	D4	FSW1	ストップウォッチ1Hz割り込み要因フラグ			0	R/W	
	D3	FTM32	計時タイマ32Hz割り込み要因フラグ			0	R/W	
	D2	FTM8	計時タイマ8Hz割り込み要因フラグ	(W) リセット	(W) 無効	0	R/W	
	D1	FTM2	計時タイマ2Hz割り込み要因フラグ			0	R/W	
	D0	FTM1	計時タイマ1Hz割り込み要因フラグ			0	R/W	
00FF25	D7	FPT1	プログラマブルタイマ1割り込み要因フラグ	(R) 割り込み 要因あり	(R) 割り込み 要因なし	0	R/W	
	D6	FPT0	プログラマブルタイマ0割り込み要因フラグ			0	R/W	
	D5	FK1	K10割り込み要因フラグ			0	R/W	
	D4	FK0H	K04 ~ K07割り込み要因フラグ			0	R/W	
	D3	FK0L	K00 ~ K03割り込み要因フラグ	(W) リセット	(W) 無効	0	R/W	
	D2	FSERR	シリアルI/F(エラー)割り込み要因フラグ			0	R/W	
	D1	FSREC	シリアルI/F(受信)割り込み要因フラグ			0	R/W	
	D0	FSTRA	シリアルI/F(送信)割り込み要因フラグ			0	R/W	

各ビットの設定内容および制御方法については、それぞれの周辺回路の説明を参照してください。

5.14.7 プログラミング上の注意事項

- (1) 割り込み発生後、割り込み要因フラグをリセットせずにRETE命令を実行すると、再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、そのルーチンに対応する割り込み要因のリセット("1"書き込み)を必ず行ってください。
- (2) 割り込み発生後、割り込み要因フラグをリセットする前にインタラプトフラグ(I0、I1)を書き換える(低い優先レベルに設定する)と、再度同一の割り込みが発生してしまいますので注意してください。
- (3) 例外処理ベクタは2バイトに固定されたデータで、分岐先のバンクアドレスを指定することはできません。したがって、複数のバンクから共通の例外処理ルーチンに分岐させるためには、例外処理ルーチンの先頭部分をコモンエリア内(000000H ~ 007FFFH)に記述しておく必要があります。
- (4) $\overline{\text{NMI}}$ 割り込み発生から2msec以内はSLP命令を実行しないでください。(fOSC1=32.768kHzの場合)

5.15 低消費電力化のための注意事項

S1C88832/88862は、電力を多く消費する回路系を制御レジスタによってON/OFFすることができます。必要最小限の回路を、この制御レジスタによって動作させるプログラムとすることで、低消費電力化が実現できます。

以下に、プログラムによって動作を制御することのできる回路系とその制御レジスタ(命令)を示しますので、プログラミング上の参考としてください。

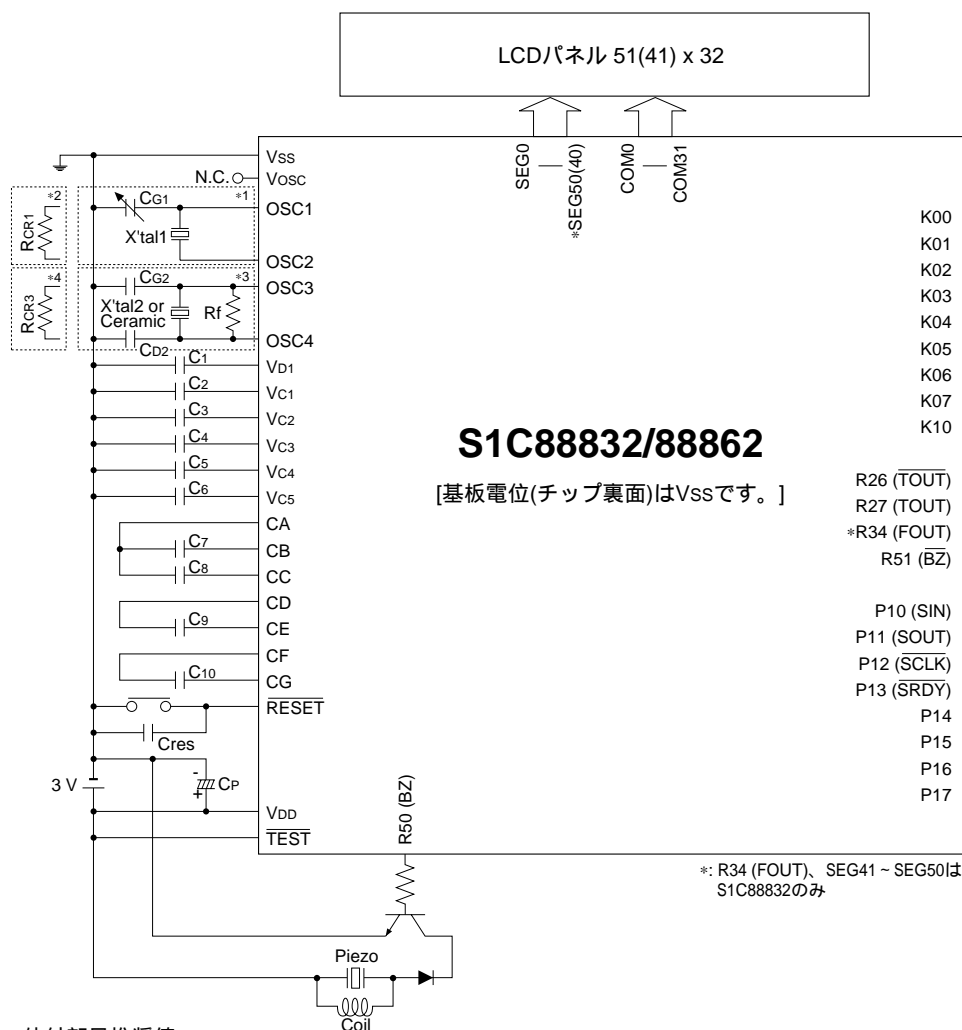
消費電流については"7 電気的特性"を参照してください。

表5.15.1 回路系と制御レジスタ

回路系	制御レジスタ(命令)	イニシャルリセット時の状態
CPU	HALT、SLP命令	動作状態
発振回路	CLKCHG、OSCC	OSC1クロック (CLKCHG="0") OSC3発振OFF (OSCC="0")
動作モード	VDC0、VDC1	通常モード (VDC0=VDC1="0")
LCDコントローラ	LCDC0、LCDC1	駆動OFF (LCDC0=LCDC1="0")
SVD回路	SVDON、SVDSP	OFF状態 (SVDON=SVDSP="0")

6 基本外部結線図

圧電ブザーを1端子で駆動し、LCDパネルを1/5バイアスで駆動する場合



外付部品推奨値

シンボル	名称	推奨値
X'tal1	水晶振動子	32.768kHz, CI(Max.)=35kΩ
CG1	トリマキャパシタ	5~25pF
RCR1	CR発振用抵抗	800kΩ
X'tal2	水晶振動子	4.9152MHz
Ceramic	セラミック振動子	4MHz
Rf	帰還抵抗	1MΩ
CG2	ゲートキャパシタ	15pF(水晶発振) 30pF(セラミック発振)
CD2	ドレインキャパシタ	15pF(水晶発振) 30pF(セラミック発振)
RCR3	CR発振用抵抗	20kΩ

シンボル	名称	推奨値
C1	Vss~Vd1間キャパシタ	0.1μF
C2	Vss~Vc1間キャパシタ	0.1μF
C3	Vss~Vc2間キャパシタ	0.1μF
C4	Vss~Vc3間キャパシタ	0.1μF
C5	Vss~Vc4間キャパシタ	0.1μF
C6	Vss~Vc5間キャパシタ	0.1μF
C7~C10	昇降圧キャパシタ	0.1μF
Cp	電源間キャパシタ	3.3μF
Cres	RESET端子キャパシタ	0.47μF

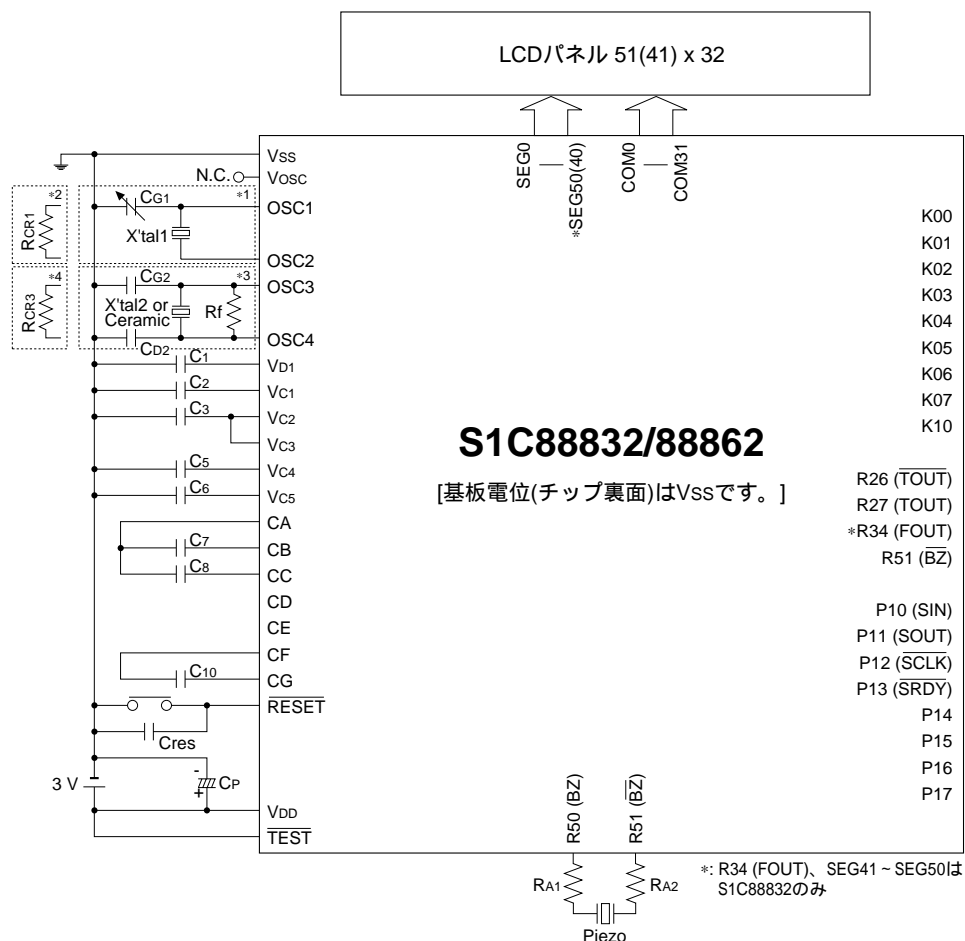
この結線図は以下のマスクオプションを選択した場合の例です。

LCD電源: 内部電源(1/5バイアス)、RESET端子: プルアップ抵抗付加、R51仕様: 汎用出力ポート

*1 OSC1 = 水晶発振、*2 OSC1 = CR発振、*3 OSC3 = 水晶発振/セラミック発振、*4 OSC3 = CR発振

注! ここに記載されている値は一例です。詳細な特性については"7 電氣的特性"を参照してください。

圧電ブザーをダイレクト駆動し、LCDパネルを1/4バイアスで駆動する場合



外付部品推奨値

シンボル	名称	推奨値
X'tal1	水晶振動子	32.768kHz, CI(Max.)=35kΩ
CG1	トリマキャパシタ	5~25pF
RCR1	CR発振用抵抗	800kΩ
X'tal2	水晶振動子	4.9152MHz
Ceramic	セラミック振動子	4MHz
Rf	帰還抵抗	1MΩ
CG2	ゲートキャパシタ	15pF(水晶発振) 30pF(セラミック発振)
CD2	ドレインキャパシタ	15pF(水晶発振) 30pF(セラミック発振)
RCR3	CR発振用抵抗	20kΩ

シンボル	名称	推奨値
C1	Vss~VD1間キャパシタ	0.1μF
C2	Vss~VC1間キャパシタ	0.1μF
C3	Vss~VC2間キャパシタ	0.1μF
C5	Vss~VC4間キャパシタ	0.1μF
C6	Vss~VC5間キャパシタ	0.1μF
C7	昇降圧キャパシタ	0.1μF
C8	昇降圧キャパシタ	0.1μF
C10	昇降圧キャパシタ	0.1μF
Cp	電源間キャパシタ	3.3μF
Cres	RESET端子キャパシタ	0.47μF
RA1, RA2	保護抵抗	100Ω

この結線図は以下のマスクオプションを選択した場合の例です。

LCD電源: 内部電源(1/4バイアス)、RESET端子: プルアップ抵抗付加、R51仕様: BZ出力ポート

*1 OSC1 = 水晶発振、*2 OSC1 = CR発振、*3 OSC3 = 水晶発振/セラミック発振、*4 OSC3 = CR発振

注! ここに記載されている値は一例です。詳細な特性については"7 電気的特性"を参照してください。

7 電気的特性

7.1 絶対最大定格

(V _{SS} = 0V)					
項 目	記号	条 件	定 格 値	単位	注
電源電圧	V _{DD}		-0.3 ~ +7.0	V	
液晶電源電圧	V _{C5}		-0.3 ~ +7.0	V	
入力電圧	V _I		-0.3 ~ V _{DD} + 0.3	V	
出力電圧	V _O		-0.3 ~ V _{DD} + 0.3	V	1
高レベル出力電流	I _{OH}	1端子	-5	mA	
		全端子合計	-20	mA	
低レベル出力電流	I _{OL}	1端子	5	mA	
		全端子合計	20	mA	
許容損失	P _D		200	mW	2
動作温度	T _{opr}		-40 ~ +85	°C	
保存温度	T _{stg}		-65 ~ +150	°C	
半田付け温度・時間	T _{sol}		260°C, 10sec (リード部)	-	

注) 1 マスクオプションによりNchオープンドレイン出力を選択した場合も含まれます。

2 プラスチックパッケージの場合

7.2 推奨動作条件

(V _{SS} = 0V, T _a = -40 ~ 85)							
項 目	記号	条 件	Min.	Typ.	Max.	単位	注
動作電源電圧(通常動作モード)	V _{DD}		2.4		5.5	V	
動作電源電圧(低パワー動作モード)	V _{DD}		1.8		3.5	V	
動作電源電圧(高速動作モード)	V _{DD}		3.5		5.5	V	
動作周波数(通常動作モード)	f _{OSC1}	V _{DD} = 2.4 ~ 5.5V	30.000	32.768	80.000	kHz	1
	f _{OSC3}		0.03		4.2	MHz	1
動作周波数(低パワー動作モード)	f _{OSC1}	V _{DD} = 1.8 ~ 3.5V	30.000	32.768	80.000	kHz	1
動作周波数(高速動作モード)	f _{OSC1}	V _{DD} = 3.5 ~ 5.5V	30.000	32.768	80.000	kHz	1
	f _{OSC3}		0.03		8.2	MHz	1
液晶電源電圧	V _{C5}	V _{C5} ≥ V _{C4} ≥ V _{C3} ≥ V _{C2} ≥ V _{C1} ≥ V _{SS}			6.0	V	2
V _{SS} ~ V _{D1} 間キャパシタ	C1			0.1		μF	
V _{SS} ~ V _{C1} 間キャパシタ	C2			0.1		μF	3
V _{SS} ~ V _{C2} 間キャパシタ	C3			0.1		μF	3
V _{SS} ~ V _{C3} 間キャパシタ	C4			0.1		μF	3, 4
V _{SS} ~ V _{C4} 間キャパシタ	C5			0.1		μF	3
V _{SS} ~ V _{C5} 間キャパシタ	C6			0.1		μF	3
CA ~ CB間キャパシタ	C7			0.1		μF	3
CA ~ CC間キャパシタ	C8			0.1		μF	3
CD ~ CE間キャパシタ	C9			0.1		μF	3, 4
CF ~ CG間キャパシタ	C10			0.1		μF	3

注) 1 マスクオプションによりOSC1から外部クロックを入力する場合はOSC2を開放、OSC3から外部クロックを入力する場合はOSC4を開放としてください。

2 マスクオプションにより外部電源を選択した場合。

3 LCD駆動電源を使用しない場合は、キャパシタは必要ありません。また、V_{C1} ~ V_{C5}およびCA ~ CGは開放としてください。

4 LCD駆動電源を1/4バイアスで使用する場合、キャパシタC4とC9は必要ありません。

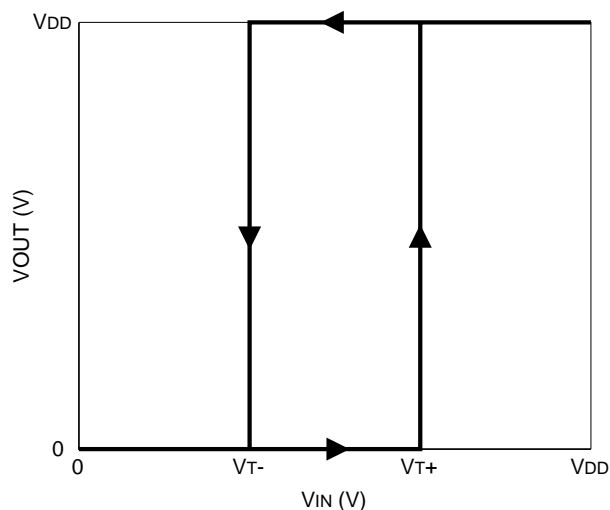
7.3 DC特性

特記無き場合の試験条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
高レベル入力電圧(1)	V_{IH1}	Kxx, Pxx	$0.8V_{DD}$		V_{DD}	V	
低レベル入力電圧(1)	V_{IL1}	Kxx, Pxx	0		$0.2V_{DD}$	V	
高レベル入力電圧(2) (通常動作モード)	V_{IH2}	OSC3	1.6		V_{DD}	V	1
高レベル入力電圧(2)	V_{IH2}	OSC1	1.0		V_{DD}	V	1
高レベル入力電圧(2) (高速動作モード)	V_{IH2}	OSC3	2.4		V_{DD}	V	1
低レベル入力電圧(2) (通常動作モード)	V_{IL2}	OSC3	0		0.6	V	1
低レベル入力電圧(2)	V_{IL2}	OSC1	0		0.3	V	1
低レベル入力電圧(2) (高速動作モード)	V_{IL2}	OSC3	0		0.9	V	1
高レベルシュミット入力電圧	V_{T+}	RESET	$0.5V_{DD}$		$0.9V_{DD}$	V	
低レベルシュミット入力電圧	V_{T-}	RESET	$0.1V_{DD}$		$0.5V_{DD}$	V	
高レベル出力電流	I_{OH}	Pxx, Rxx, $V_{OH} = 0.9V_{DD}$			-0.5	mA	
低レベル出力電流	I_{OL}	Pxx, Rxx, $V_{OL} = 0.1V_{DD}$	0.5			mA	
入力リーク電流	I_{LI}	Kxx, Pxx, RESET	-1		1	μA	
出力リーク電流	I_{LO}	Pxx, Rxx	-1		1	μA	
入力プルアップ抵抗	R_{IN}	Kxx, Pxx, RESET	100	300	500	$k\Omega$	2
入力端子容量	C_{IN}	Kxx, Pxx $V_{IN} = 0V$, $f = 1MHz$, $T_a = 25$		7	15	pF	
セグメント、コモン出力電流	I_{SEGH}	SEGxx, COMxx, $V_{SEGH} = V_{C5} - 0.1V$			-5	μA	
	I_{SEGL}	SEGxx, COMxx, $V_{SEGL} = 0.1V$	5			μA	

注) 1 マスクオプションにより外部クロックを選択した場合。

2 マスクオプションによりプルアップ抵抗付加を選択した場合。



7.4 アナログ回路特性

LCD駆動回路

LCD駆動電圧は、パネル負荷(パネルの大きさ、駆動デューティ、表示点灯数、表示パターン)の違いによりTyp.値がシフトしますので、実際に使用されるパネルと接続して評価してください。

負荷特性については、"7.8 特性グラフ"を参照してください。

• TYPE A

特記無き場合の試験条件: $V_{DD} = V_{C2}$ (LCX = FH) + 0.1 ~ 5.5V, $V_{SS} = 0V$, $T_a = 25^\circ\text{C}$, $C_1 \sim C_{10} = 0.1\mu\text{F}$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
LCD駆動電圧	V _{C2}	V _{SS} ~ V _{C2} 間に1MΩの負荷抵抗を接続した場合(パネル負荷なし)	0.412V _{C5}			V	1
	V _{C5} TYPE A	V _{SS} ~ V _{C5} 間に1MΩの負荷抵抗を接続した場合(パネル負荷なし)	Typ×0.94	3.61	Typ×1.06	V	
				3.76		V	
				3.88		V	
				4.00		V	
				4.12		V	
				4.27		V	
				4.39		V	
				4.51		V	
				4.63		V	
				4.75		V	
				4.90		V	
				5.02		V	
				5.14		V	
				5.26		V	
				5.38		V	
				5.53		V	

注) 1 コントラストは固定値とせず、ソフトウェアにより変えられるようにすることを推奨します。

• TYPE B

特記無き場合の試験条件: $V_{DD} = V_{C2}$ (LCX = FH) + 0.1 ~ 5.5V, $V_{SS} = 0V$, $T_a = 25^\circ\text{C}$, $C_1 \sim C_{10} = 0.1\mu\text{F}$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
LCD駆動電圧	V _{C2}	V _{SS} ~ V _{C2} 間に1MΩの負荷抵抗を接続した場合(パネル負荷なし)	0.412V _{C5}			V	1
	V _{C5} TYPE B	V _{SS} ~ V _{C5} 間に1MΩの負荷抵抗を接続した場合(パネル負荷なし)	Typ×0.94	4.20	Typ×1.06	V	
				4.34		V	
				4.49		V	
				4.63		V	
				4.78		V	
				4.92		V	
				5.07		V	
				5.21		V	
				5.36		V	
				5.50		V	
				5.65		V	
				5.80		V	
				5.94		V	
				6.09		V	
				6.23		V	
				6.38		V	

注) 1 コントラストは固定値とせず、ソフトウェアにより変えられるようにすることを推奨します。

7 電気的特性

• TYPE C

特記無き場合の試験条件: $V_{DD} = V_{C2} (LCX = FH) + 0.1 \sim 5.5V$, $V_{SS} = 0V$, $T_a = 25$, $C_1 \sim C_3, C_5 \sim C_8, C_{10} = 0.1\mu F$

項 目	記号	条 件		Min.	Typ.	Max.	単位	注
LCD駆動電圧	Vc2	Vss ~ Vc2間に1MΩの負荷抵抗を接続した場合(パネル負荷なし)		0.505Vcs			V	
	Vcs TYPE C	Vss ~ Vcs間に1MΩの負荷抵抗を接続した場合 (パネル負荷なし)	LCX = 0H	Typ×0.94	3.43	Typ×1.06	V	1
			LCX = 1H		3.54		V	
			LCX = 2H		3.66		V	
			LCX = 3H		3.78		V	
			LCX = 4H		3.90		V	
			LCX = 5H		4.02		V	
			LCX = 6H		4.14		V	
			LCX = 7H		4.26		V	
			LCX = 8H		4.38		V	
			LCX = 9H		4.49		V	
			LCX = AH		4.61		V	
			LCX = BH		4.73		V	
			LCX = CH		4.85		V	
			LCX = DH		4.97		V	
			LCX = EH		5.09		V	
			LCX = FH		5.21		V	

注) 1 コントラストは固定値とせず、ソフトウェアにより変えられるようにすることを推奨します。

• TYPE D

特記無き場合の試験条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = 25$, $C_1 \sim C_3, C_5 \sim C_8, C_{10} = 0.1\mu F$

項 目	記号	条 件		Min.	Typ.	Max.	単位	注
LCD駆動電圧	Vc1	Vss ~ Vc1間に1MΩの負荷抵抗を接続した場合(パネル負荷なし)		0.260Vcs			V	
	Vcs TYPE D	Vss ~ Vcs間に1MΩの負荷抵抗を接続した場合 (パネル負荷なし)	LCX = 0H	Typ×0.94	3.80	Typ×1.06	V	1
			LCX = 1H		3.88		V	
			LCX = 2H		3.96		V	
			LCX = 3H		4.03		V	
			LCX = 4H		4.15		V	
			LCX = 5H		4.22		V	
			LCX = 6H		4.30		V	
			LCX = 7H		4.38		V	
			LCX = 8H		4.45		V	
			LCX = 9H		4.53		V	
			LCX = AH		4.65		V	
			LCX = BH		4.72		V	
			LCX = CH		4.80		V	
			LCX = DH		4.88		V	
			LCX = EH		4.95		V	
			LCX = FH		5.07		V	

注) 1 コントラストは固定値とせず、ソフトウェアにより変えられるようにすることを推奨します。

SVD回路

特記無き場合の試験条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = 25$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
SVD電圧	VSVD	レベル 1 レベル 0	Typ×0.92	1.82	Typ×1.08	V	1
		レベル 2 レベル 1		2.00		V	1
		レベル 3 レベル 2		2.18		V	1
		レベル 4 レベル 3		2.36		V	2
		レベル 5 レベル 4		2.54		V	2
		レベル 6 レベル 5		2.72		V	2
		レベル 7 レベル 6		2.90		V	3
		レベル 8 レベル 7		3.08		V	3
		レベル 9 レベル 8		3.26		V	3
		レベル 10 レベル 9	Typ×0.88	3.45	Typ×1.12	V	4
		レベル 11 レベル 10		3.65		V	4
		レベル 12 レベル 11		3.85		V	4
		レベル 13 レベル 12		4.05		V	4
		レベル 14 レベル 13		4.25		V	4
		レベル 15 レベル 14		4.50		V	4

$V_{SVD}(\text{レベル}0) < V_{SVD}(\text{レベル}1) < V_{SVD}(\text{レベル}2) < V_{SVD}(\text{レベル}3) < V_{SVD}(\text{レベル}4) < V_{SVD}(\text{レベル}5) < V_{SVD}(\text{レベル}6) < V_{SVD}(\text{レベル}7)$
 $< V_{SVD}(\text{レベル}8) < V_{SVD}(\text{レベル}9) < V_{SVD}(\text{レベル}10) < V_{SVD}(\text{レベル}11) < V_{SVD}(\text{レベル}12) < V_{SVD}(\text{レベル}13) < V_{SVD}(\text{レベル}14) < V_{SVD}(\text{レベル}15)$

注) 1 低パワー動作モードのみ

2 低パワー動作モードおよび通常動作モードのみ

3 通常動作モードのみ

4 通常動作モードおよび高速動作モードのみ

7.5 消費電流

特記無き場合の試験条件: V_{DD} = 各動作モードの動作電圧範囲, $V_{SS} = 0V$, $T_a = 25$, $OSC1 = 32.768kHz$ 水晶発振, $C_G = 25pF$,
 $OSC3 =$ 水晶発振/セラミック発振, 非重負荷保護モード, $C_1 \sim C_{10} = 0.1\mu F$, パネル負荷なし

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
電源電流 (通常動作モード)	I _{DD1}	SLP命令実行時 *1		0.3	1	μA	
	I _{DD2}	HALT命令実行時 *2		1.5	4	μA	
	I _{DD3}	CPU動作時(32.768kHz) *3		9	15	μA	
	I _{DD4}	CPU動作時(4MHz) *4		1.1	1.5	mA	
電源電流 (低パワー動作モード)	I _{DD1}	SLP命令実行時 *1		0.2	1	μA	
	I _{DD2}	HALT命令実行時 *2		1	3	μA	
	I _{DD3}	CPU動作時(32.768kHz) *3		5	8	μA	
電源電流 (高速動作モード)	I _{DD1}	SLP命令実行時 *1		1	3	μA	
	I _{DD2}	HALT命令実行時 *2		2	6	μA	
	I _{DD3}	CPU動作時(32.768kHz) *3		13	22	μA	
	I _{DD4}	CPU動作時(8MHz) *5		3.7	4.9	mA	
LCD駆動回路電流	I _{LCDN}			2.5	5	μA	1
	I _{LCDH}	重負荷保護モード時		23	30	μA	2
SVD回路電流	I _{SVDN}	$V_{DD} = 3.0V$ 時		30	60	μA	3
OSC1 CR発振電流	I _{CR1}	$R_{CR1} = 800k\Omega$		3	20	μA	4

*1 OSC1: 停止、OSC3: 停止、CPU, ROM, RAM: SLP命令、 計時タイマ: 停止、その他: 停止状態。

*2 OSC1: 発振、OSC3: 停止、CPU, ROM, RAM: HALT命令、 計時タイマ: 動作、その他: 停止状態。

*3 OSC1: 発振、OSC3: 停止、CPU, ROM, RAM: 32.768kHz動作、計時タイマ: 動作、その他: 停止状態。

*4 OSC1: 発振、OSC3: 発振、CPU, ROM, RAM: 4MHz動作、 計時タイマ: 動作、その他: 停止状態。
 4MHz以外の消費電流は、"7.8 特性グラフ"を参照してください。

*5 OSC1: 発振、OSC3: 発振、CPU, ROM, RAM: 8MHz動作、 計時タイマ: 動作、その他: 停止状態。
 8MHz以外の消費電流は、"7.8 特性グラフ"を参照してください。

注) 1 表示パターンにより電流値は変わります。

2 重負荷保護モード時(OSC3オンまたはブザーオン)重負荷保護回路に流れる電流値。

3 $V_{DD} = xV$ 時の値は、 $I_{SVDN}(V_{DD} = xV) = (x \times 20) - 30$ (Typ.値)、 $I_{SVDN}(V_{DD} = xV) = (x \times 30) - 30$ (Max.値)により求められます。

4 マスクオプションによりOSC1 CR発振回路を選択した場合。

7.6 AC特性

動作範囲

条件: V_{DD} = 各動作モードの動作電圧範囲, V_{SS} = 0V, T_a = -40 ~ 85

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
動作周波数(通常動作モード)	fosc1	$V_{DD} = 2.4 \sim 5.5V$	30.000	32.768	80.000	kHz	
	fosc3		0.03		4.2	MHz	
動作周波数(低パワー動作モード)	fosc1	$V_{DD} = 1.8 \sim 3.5V$	30.000	32.768	80.000	kHz	
動作周波数(高速動作モード)	fosc1	$V_{DD} = 3.5 \sim 5.5V$	30.000	32.768	80.000	kHz	
	fosc3		0.03		8.2	MHz	
インストラクション実行時間 (OSC1クロック動作時)	tcy	1サイクル命令	25	61	67	μS	
		2サイクル命令	50	122	133	μS	
		3サイクル命令	75	183	200	μS	
		4サイクル命令	100	244	267	μS	
		5サイクル命令	125	305	333	μS	
		6サイクル命令	150	366	400	μS	
インストラクション実行時間 通常動作モード (OSC3クロック動作時)	tcy	1サイクル命令	0.5		66.7	μS	
		2サイクル命令	1.0		133.3	μS	
		3サイクル命令	1.4		200.0	μS	
		4サイクル命令	1.9		266.7	μS	
		5サイクル命令	2.4		333.3	μS	
		6サイクル命令	2.9		400.0	μS	
インストラクション実行時間 高速動作モード (OSC3クロック動作時)	tcy	1サイクル命令	0.2		66.7	μS	
		2サイクル命令	0.5		133.3	μS	
		3サイクル命令	0.7		200.0	μS	
		4サイクル命令	1.0		266.7	μS	
		5サイクル命令	1.2		333.3	μS	
		6サイクル命令	1.5		400.0	μS	

シリアルインタフェース

• クロック同期式マスタモード (通常動作モード時)

条件: $V_{DD} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$, $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	tsmd			200	nS	
受信データ入力セットアップ時間	tsms	500			nS	
受信データ入力ホールド時間	tsmh	200			nS	

• クロック同期式マスタモード (高速動作モード時)

条件: $V_{DD} = 3.5 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$, $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	tsmd			100	nS	
受信データ入力セットアップ時間	tsms	250			nS	
受信データ入力ホールド時間	tsmh	100			nS	

• クロック同期式マスタモード (低パワー動作モード時)

条件: $V_{DD} = 1.8 \sim 3.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$, $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	tsmd			5	μS	
受信データ入力セットアップ時間	tsms	10			μS	
受信データ入力ホールド時間	tsmh	5			μS	

• クロック同期式スレーブモード (通常動作モード時)

条件: $V_{DD} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$, $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	tssd			500	nS	
受信データ入力セットアップ時間	tsss	200			nS	
受信データ入力ホールド時間	tssh	200			nS	

• クロック同期式スレーブモード (高速動作モード時)

条件: $V_{DD} = 3.5 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$, $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$

項 目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	tssd			250	nS	
受信データ入力セットアップ時間	tsss	100			nS	
受信データ入力ホールド時間	tssh	100			nS	

• クロック同期式スレーブモード (低パワー動作モード時)

条件: $V_{DD} = 1.8 \sim 3.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$, $V_{OH} = 0.8V_{DD}$, $V_{OL} = 0.2V_{DD}$

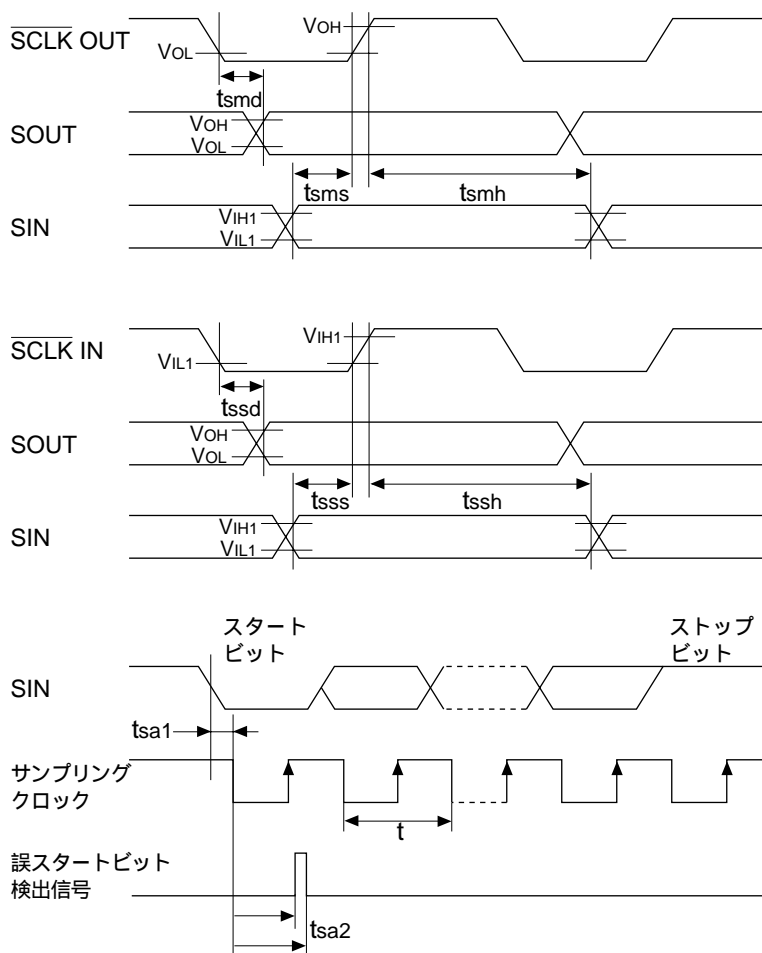
項 目	記号	Min.	Typ.	Max.	単位	注
送信データ出力遅延時間	tssd			10	μS	
受信データ入力セットアップ時間	tsss	5			μS	
受信データ入力ホールド時間	tssh	5			μS	

• 調歩同期式 (全動作モード時)

条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$

項 目	記号	Min.	Typ.	Max.	単位	注
スタートビット検出誤差時間	t_{sa1}	0		$t/16$	S	1
誤スタートビット検出範囲時間	t_{sa2}	$9t/16$		$10t/16$	S	2

- 注) 1 スタートビット検出誤差時間とは、スタートビットが入力されてから内部のサンプリングクロックが動作するまでの論理的遅れ時間。(AC的な時間は含まれません。)
- 2 誤スタートビット検出とは、スタートビットを検出し内部のサンプリングクロックが動作した後、再度LOWレベル(スタートビット)が入力されているか検出する論理的な範囲時間。HIGHレベルであった場合、スタートビット検出回路がリセットされ、再度スタートビット検出待ちになります。(AC的な時間は含まれません。)



入力クロック

• OSC3外部クロック (通常動作モード時)

条件: $V_{DD} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$, $V_{IH2} = 1.6V$, $V_{IL2} = 0.6V$

項 目		記号	Min.	Typ.	Max.	単位	注
OSC3入力クロック時間	サイクル時間	to3cy	250		32,000	nS	
	"H"パルス幅	to3h	125		16,000	nS	
	"L"パルス幅	to3l	125		16,000	nS	
入力クロック立ち上がり時間		tosr			25	nS	
入力クロック立ち下がり時間		tosf			25	nS	

• OSC3外部クロック (高速動作モード時)

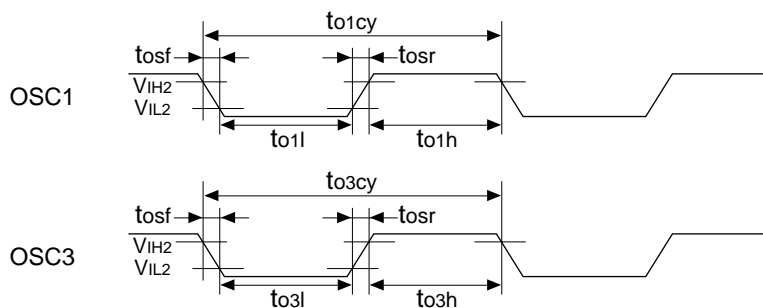
条件: $V_{DD} = 3.5 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$, $V_{IH2} = 2.4V$, $V_{IL2} = 0.9V$

項 目		記号	Min.	Typ.	Max.	単位	注
OSC3入力クロック時間	サイクル時間	to3cy	125		32,000	nS	
	"H"パルス幅	to3h	62.5		16,000	nS	
	"L"パルス幅	to3l	62.5		16,000	nS	
入力クロック立ち上がり時間		tosr			25	nS	
入力クロック立ち下がり時間		tosf			25	nS	

• OSC1外部クロック

条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$, $V_{IH2} = 1.0V$, $V_{IL2} = 0.3V$

項 目		記号	Min.	Typ.	Max.	単位	注
OSC1入力クロック時間	サイクル時間	to1cy	12		32	μS	
	"H"パルス幅	to1h	6		16	μS	
	"L"パルス幅	to1l	6		16	μS	
入力クロック立ち上がり時間		tosr			25	nS	
入力クロック立ち下がり時間		tosf			25	nS	



• $\overline{\text{SCLK}}$, EVIN入力クロック (通常動作モード時)

条件: $V_{DD} = 2.4 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$

項 目		記号	Min.	Typ.	Max.	単位	注
SCLK入力クロック時間	サイクル時間	tsc _{cy}	4			μS	
	"H"パルス幅	ts _{ch}	2			μS	
	"L"パルス幅	ts _{cl}	2			μS	
EVIN入力クロック時間 (ノイズリジェクタあり)	サイクル時間	te _{vcy}	64/f _{OSC1}			S	
	"H"パルス幅	te _{vh}	32/f _{OSC1}			S	
	"L"パルス幅	te _{vl}	32/f _{OSC1}			S	
EVIN入力クロック時間 (ノイズリジェクタなし)	サイクル時間	te _{vcy}	4			μS	
	"H"パルス幅	te _{vh}	2			μS	
	"L"パルス幅	te _{vl}	2			μS	
入力クロック立ち上がり時間		tckr			25	nS	
入力クロック立ち下がり時間		tckf			25	nS	

• $\overline{\text{SCLK}}$, EVIN入力クロック (高速動作モード時)

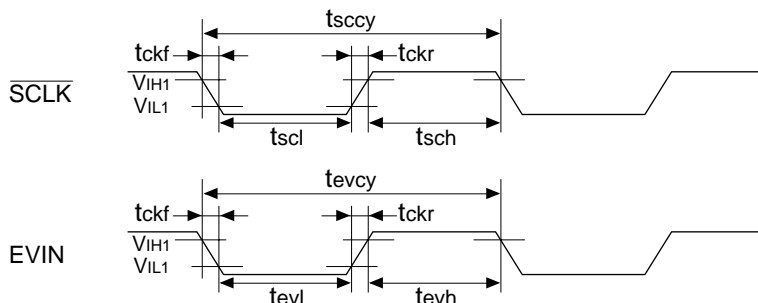
条件: $V_{DD} = 3.5 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$

項 目		記号	Min.	Typ.	Max.	単位	注
SCLK入力クロック時間	サイクル時間	tsc _{cy}	2			μS	
	"H"パルス幅	ts _{ch}	1			μS	
	"L"パルス幅	ts _{cl}	1			μS	
EVIN入力クロック時間 (ノイズリジェクタあり)	サイクル時間	te _{vcy}	64/f _{OSC1}			S	
	"H"パルス幅	te _{vh}	32/f _{OSC1}			S	
	"L"パルス幅	te _{vl}	32/f _{OSC1}			S	
EVIN入力クロック時間 (ノイズリジェクタなし)	サイクル時間	te _{vcy}	2			μS	
	"H"パルス幅	te _{vh}	1			μS	
	"L"パルス幅	te _{vl}	1			μS	
入力クロック立ち上がり時間		tckr			25	nS	
入力クロック立ち下がり時間		tckf			25	nS	

• $\overline{\text{SCLK}}$, EVIN入力クロック (低パワー動作モード時)

条件: $V_{DD} = 1.8 \sim 3.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$, $V_{IH1} = 0.8V_{DD}$, $V_{IL1} = 0.2V_{DD}$

項 目		記号	Min.	Typ.	Max.	単位	注
SCLK入力クロック時間	サイクル時間	tsc _{cy}	100			μS	
	"H"パルス幅	ts _{ch}	50			μS	
	"L"パルス幅	ts _{cl}	50			μS	
EVIN入力クロック時間 (ノイズリジェクタあり)	サイクル時間	te _{vcy}	64/f _{OSC1}			S	
	"H"パルス幅	te _{vh}	32/f _{OSC1}			S	
	"L"パルス幅	te _{vl}	32/f _{OSC1}			S	
EVIN入力クロック時間 (ノイズリジェクタなし)	サイクル時間	te _{vcy}	100			μS	
	"H"パルス幅	te _{vh}	50			μS	
	"L"パルス幅	te _{vl}	50			μS	
入力クロック立ち上がり時間		tckr			25	nS	
入力クロック立ち下がり時間		tckf			25	nS	

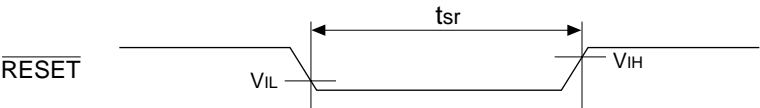


7 電気的特性

• RESET入力クロック（全動作モード時）

条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$, $V_{IH} = 0.5V_{DD}$, $V_{IL} = 0.1V_{DD}$

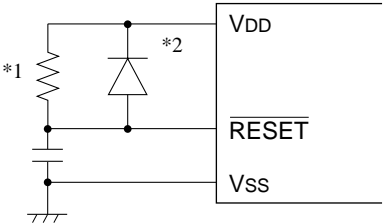
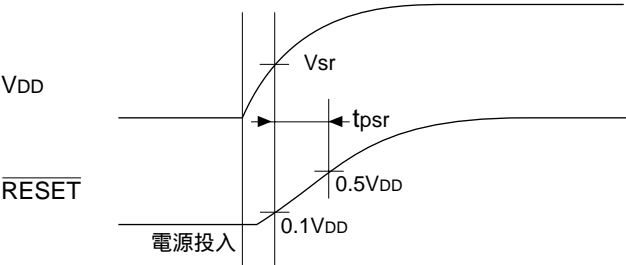
項 目	記号	Min.	Typ.	Max.	単位	注
RESET入力時間	t_{sr}	100			μS	



パワーオンリセット

条件: $V_{SS} = 0V$, $T_a = -40 \sim 85$

項 目	記号	Min.	Typ.	Max.	単位	注
動作電源電圧	V_{sr}	2.4			V	
RESET入力時間	t_{psr}	10			mS	



- *1 内蔵プルアップ抵抗を使用しない場合。
- *2 RESET端子の電位が V_{DD} レベル以上にならないため。

動作モード切り換え

条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$

項 目	記号	Min.	Typ.	Max.	単位	注
安定時間	t_{vdc}	5			mS	1

注) 1 安定時間とは、動作モードを切り換えてから切り換えた動作モードに安定するまでの時間。たとえば、OSC3発振回路をオンするには、動作モード切り換え後安定時間待つ必要があります。

7.7 発振特性

発振特性は諸条件(基板パターン、使用部品など)により変化します。以下の特性は参考値として使用してください。特にOSC3にセラミック発振子または水晶発振子を使用する場合、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。また発振開始時間は、OSC3のクロックを使用する場合の待ち時間となりますので重要な項目です。(発振が安定するまでにCPUクロックとして使用した場合、CPUが誤動作します。)

OSC1水晶発振

特記無き場合の試験条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = 25$, 水晶発振子 = Q12C2*, $C_{G1} = 25pF$ 外付け, $C_{D1} =$ 内蔵

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間	tsta				3	S	
外付けゲート容量	C_{G1}	基板容量など含む	5		25	pF	1
内蔵ゲート容量	C_{G1}	チップの場合		12		pF	2
内蔵ドレイン容量	C_{D1}	チップの場合		12		pF	
周波数IC偏差	$\partial f/\partial IC$	$V_{DD} =$ 一定	-10		10	ppm	
周波数電源電圧偏差	$\partial f/\partial V$				1	ppm/V	
周波数調整範囲	$\partial f/\partial C_G$	$V_{DD} =$ 一定, $C_G = 5 \sim 25pF$	25			ppm	

* Q12C2 セイコーエプソン(株) 製

注) 1 マスクオプションにより水晶発振選択の場合。

2 マスクオプションにより水晶発振(ゲート容量内蔵)選択の場合。

OSC1 CR発振

特記無き場合の試験条件: $V_{DD} = 1.8 \sim 5.5V$, $V_{SS} = 0V$, $T_a = -40 \sim 85$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間	tsta				100	μS	
周波数IC偏差	$\partial f/\partial IC$	RCR = 一定	-25		25	%	

OSC3水晶発振

特記無き場合の試験条件: $V_{DD} =$ 各動作モードの動作電圧範囲, $V_{SS} = 0V$, $T_a = 25$,
水晶発振子 = Q21CA301xxx*, $R_F = 1M\Omega$, $C_{G2} = C_{D2} = 15pF$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間(通常動作モード)	tsta	4.0MHz水晶発振子			10	mS	1
発振開始時間(高速動作モード)	tsta	8.0MHz水晶発振子			10	mS	1

* Q21CA301xxx セイコーエプソン(株) 製

注) 1 水晶発振開始時間は、使用する水晶発振子および C_{G2} , C_{D2} により変化します。

OSC3セラミック発振

特記無き場合の試験条件: $V_{DD} =$ 各動作モードの動作電圧範囲, $V_{SS} = 0V$, $T_a = 25$,
セラミック発振子 = CSA4.00MG/CSA8.00MTZ*, $R_F = 1M\Omega$, $C_{G2} = C_{D2} = 30pF$

項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間(通常動作モード)	tsta	4.0MHzセラミック発振子			1	mS	
発振開始時間(高速動作モード)	tsta	8.0MHzセラミック発振子			1	mS	

* CSA4.00MG/CSA8.00MTZ 村田製作所製

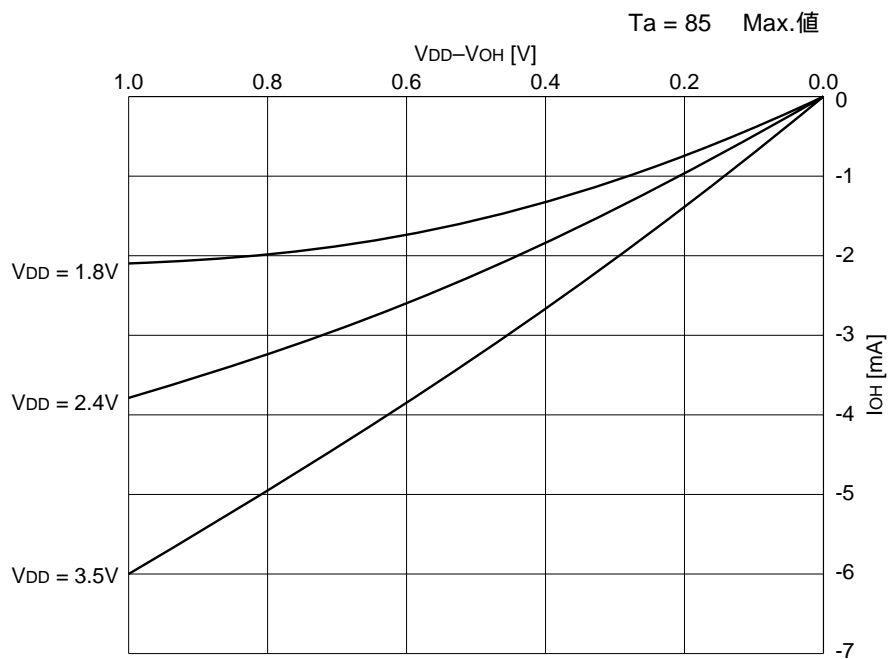
OSC3 CR発振

特記無き場合の試験条件: $V_{DD} =$ 各動作モードの動作電圧範囲, $V_{SS} = 0V$, $T_a = -40 \sim 85$

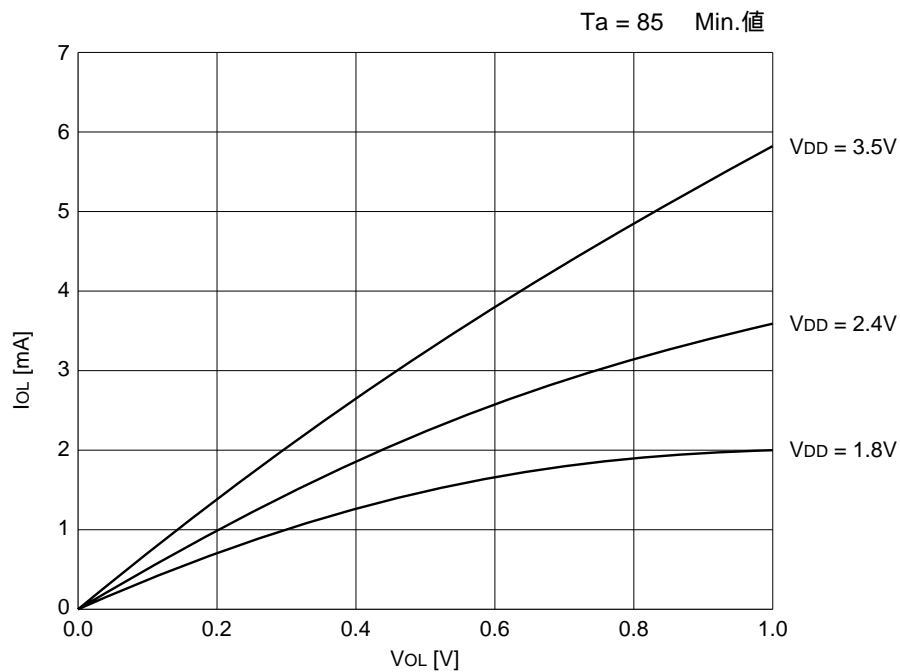
項 目	記号	条 件	Min.	Typ.	Max.	単位	注
発振開始時間(通常動作モード)	tsta				100	μS	
発振開始時間(高速動作モード)	tsta				100	μS	
周波数IC偏差(通常動作モード)	$\partial f/\partial IC$	RCR = 一定	-25		25	%	
周波数IC偏差(高速動作モード)	$\partial f/\partial IC$	RCR = 一定	-25		25	%	

7.8 特性グラフ (参考値)

高レベル出力電流特性

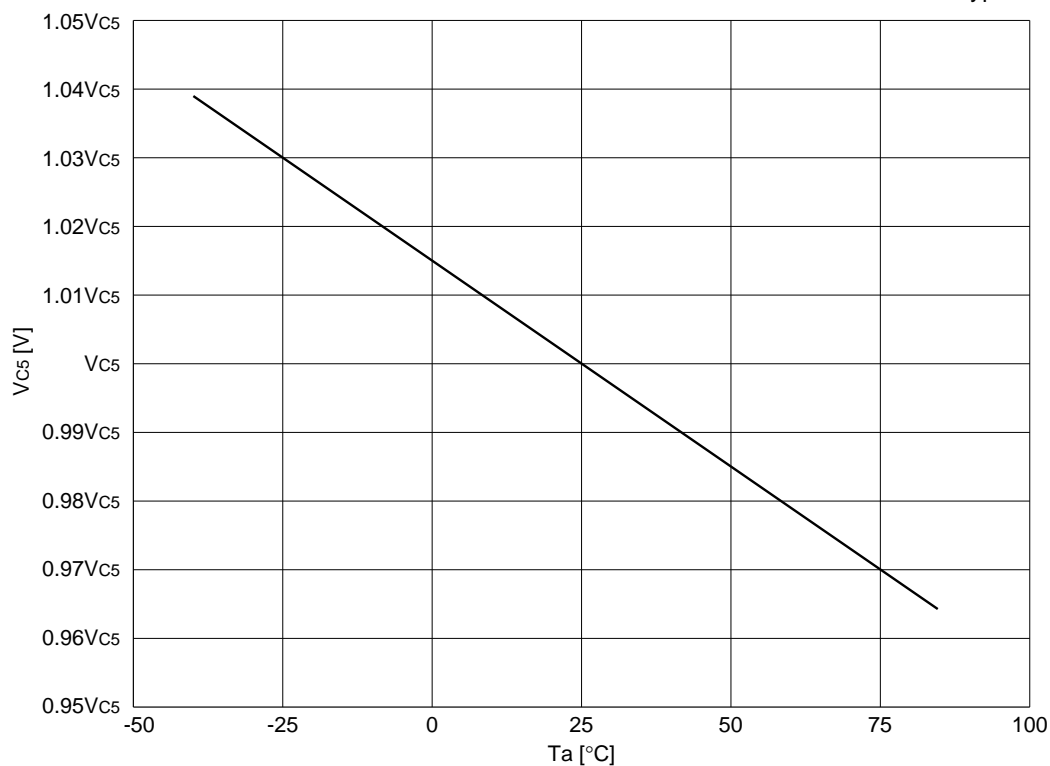


低レベル出力電流特性



LCD駆動電圧温度特性

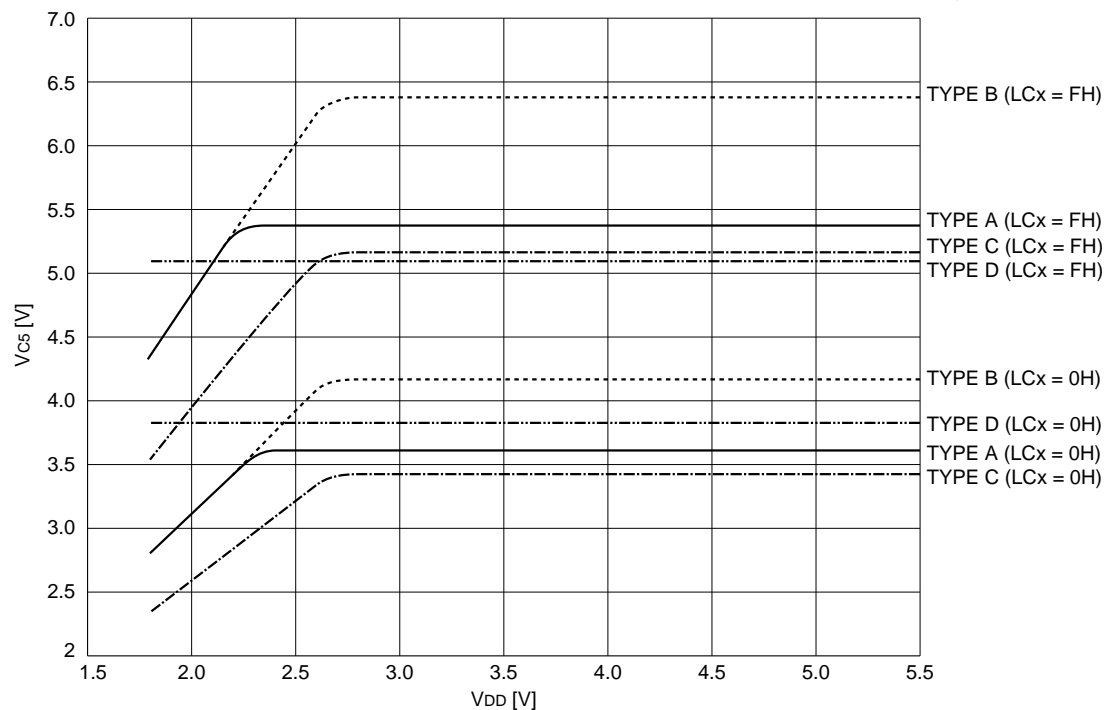
Typ.値



LCD駆動電圧電源電圧特性

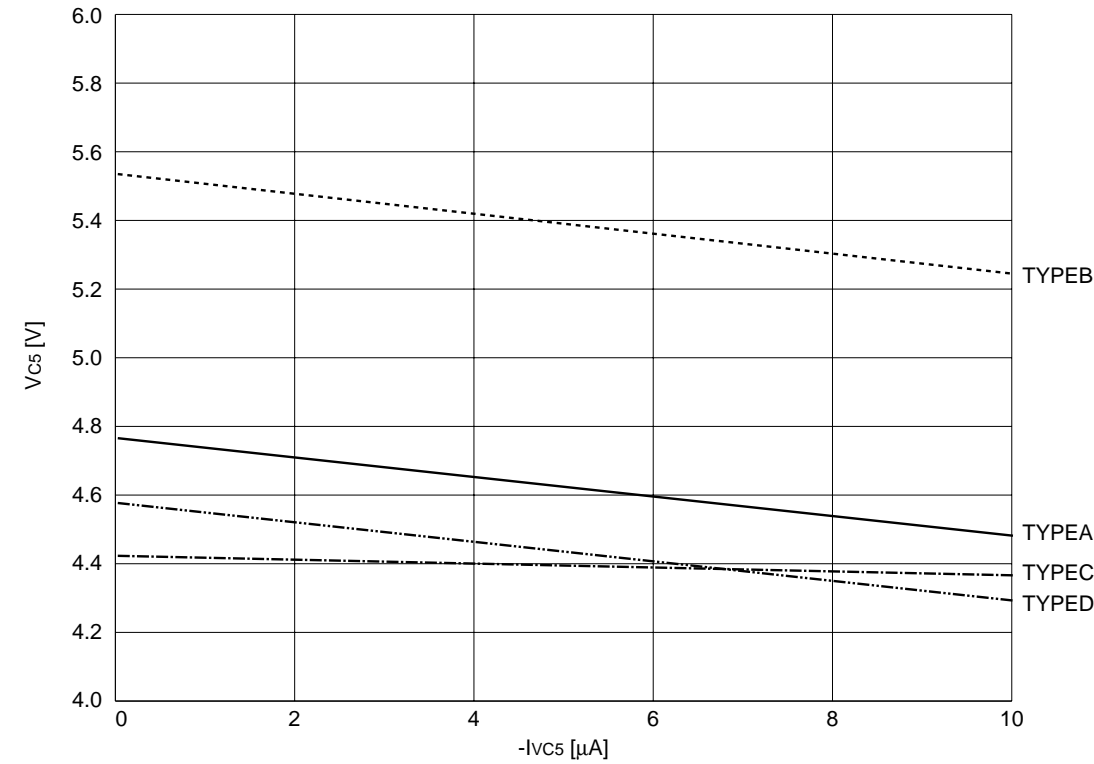
Vss ~ Vcs間に1M Ω の負荷抵抗を接続した場合(パネル負荷なし)

Ta = 25 Typ.値



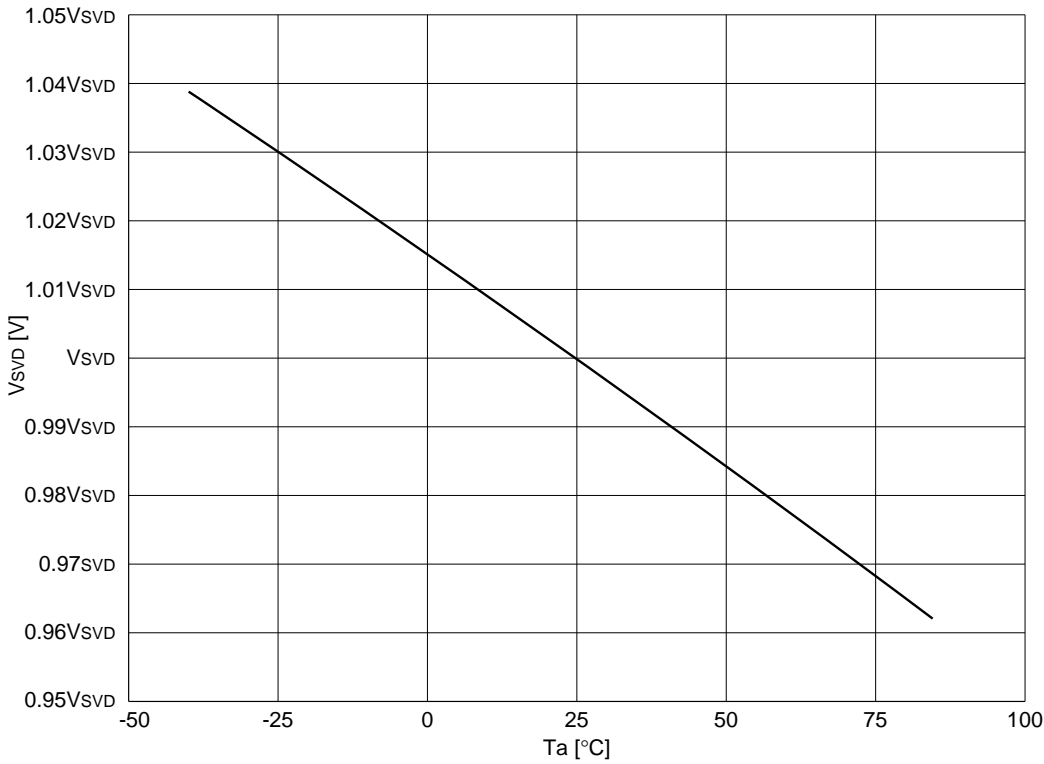
LCD駆動電圧負荷特性

Ta = 25 Typ.値, LCX = 8H



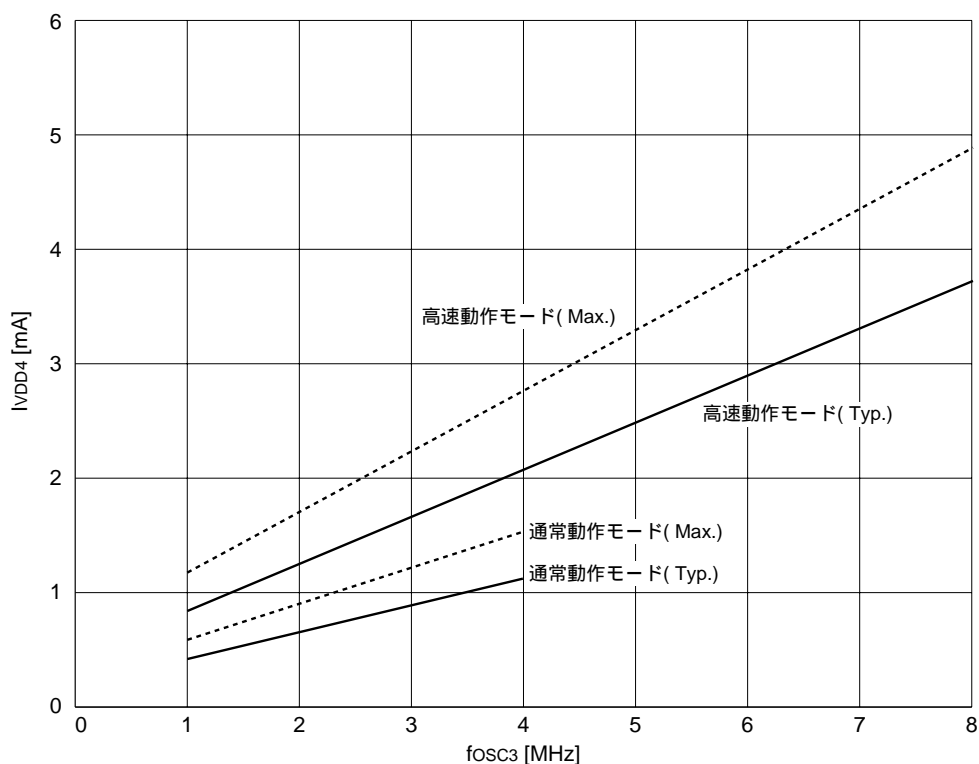
SVD電圧温度特性

Typ.値



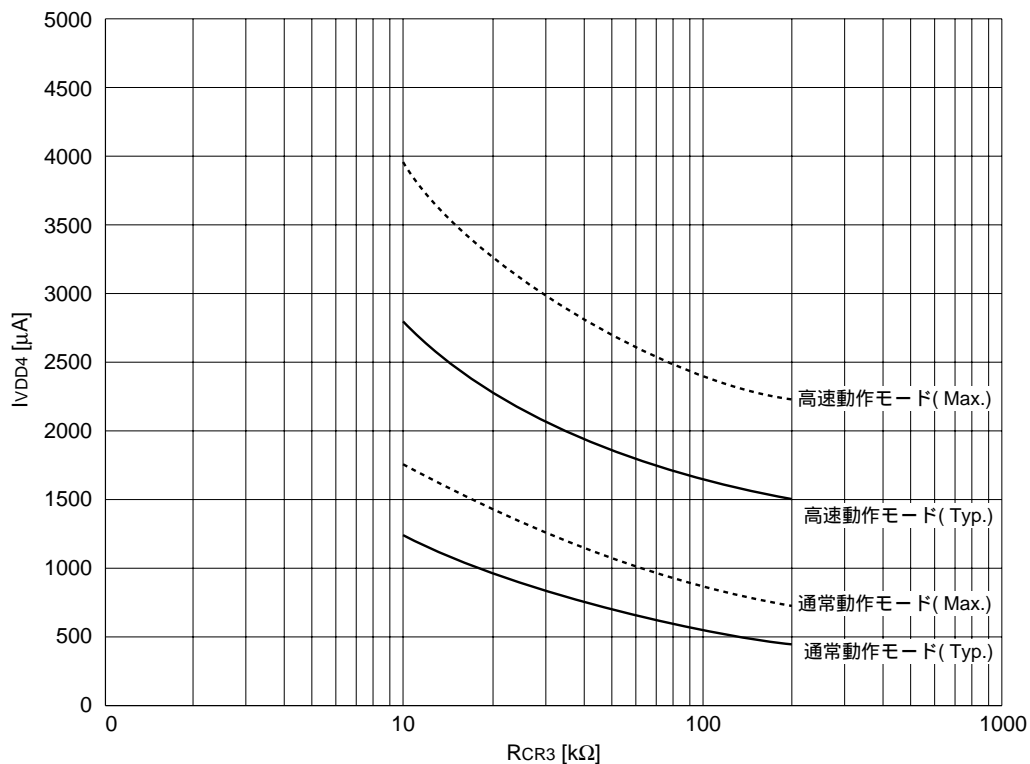
電源電流 (CPU動作時) <OSC3水晶発振/セラミック発振>

Ta = 25



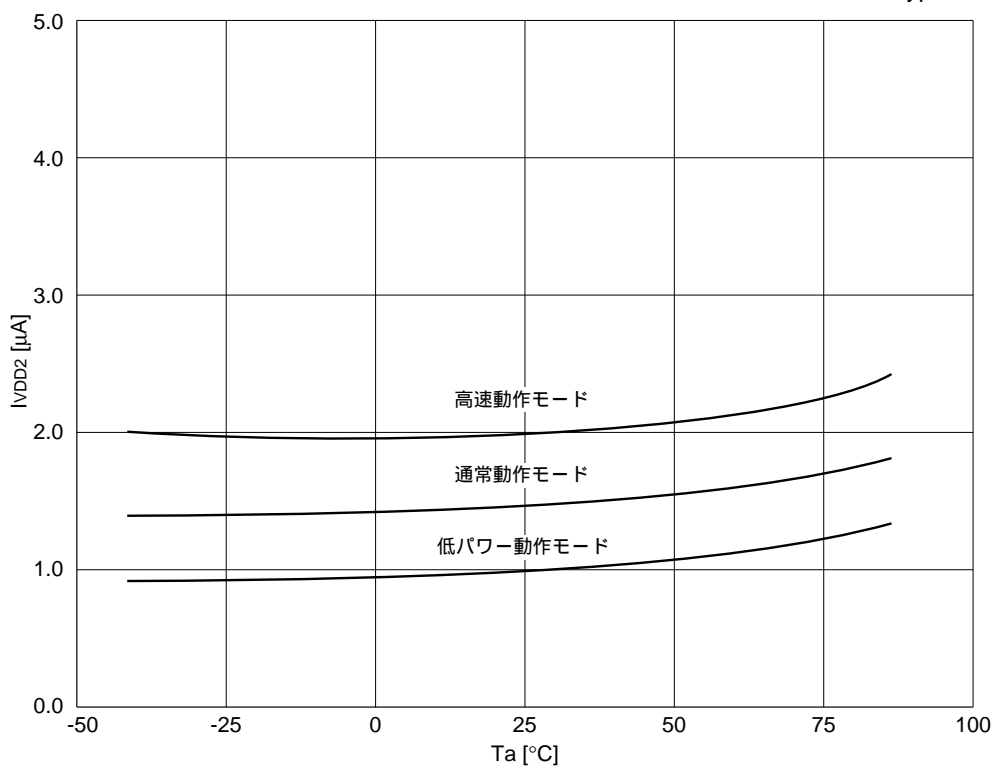
電源電流 (CPU動作時) <OSC3 CR発振>

Ta = 25



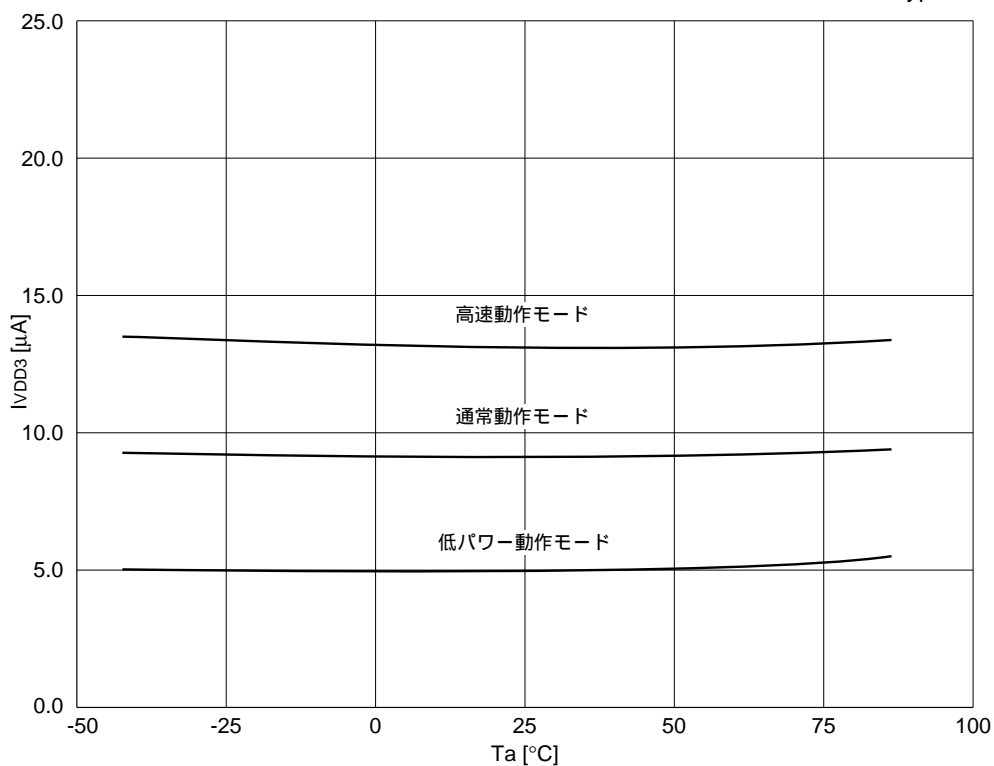
電源電流温度特性 (HALT命令実行時)

Typ.値



電源電流温度特性 (CPU動作時 32.768kHz)

Typ.値

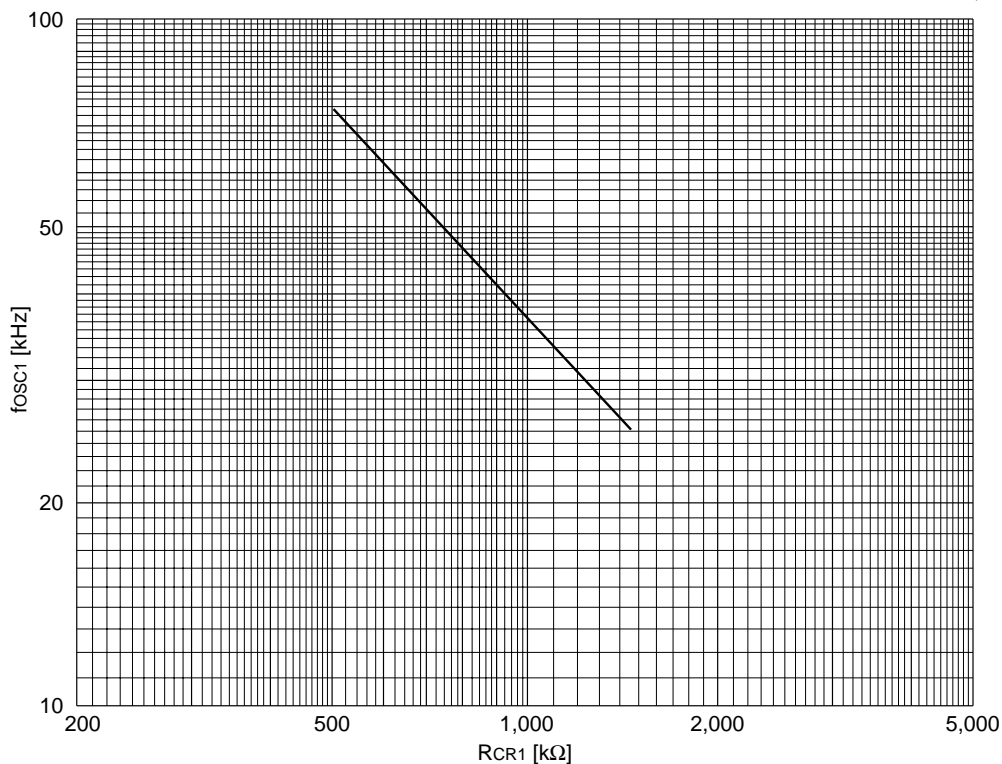


CR発振周波数特性

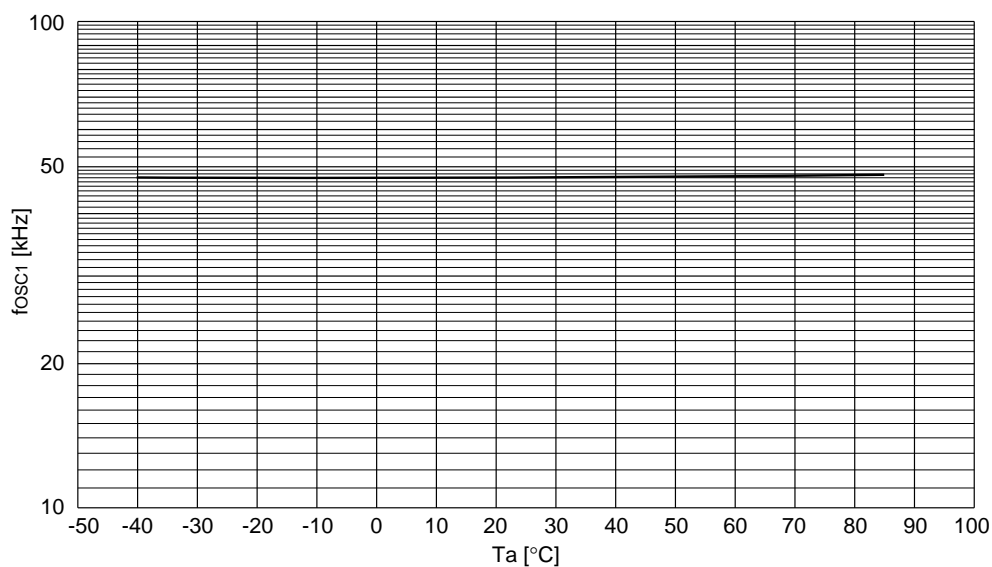
注) 発振周波数は、基板パターンおよび使用部品などにより変化します。特にOSC3発振周波数は、製品形状(チップ、プラスチックパッケージ、セラミックパッケージ)および基板容量により大きく変化しますので、以下の特性は参考値とし、実際の製品で評価され、抵抗値をお選びください。(ただし、OSC3の抵抗値は $R_{CR3} = 15k\Omega$ にしてください。)

• 発振周波数抵抗特性 (OSC1)

Ta = 25 , Typ.値

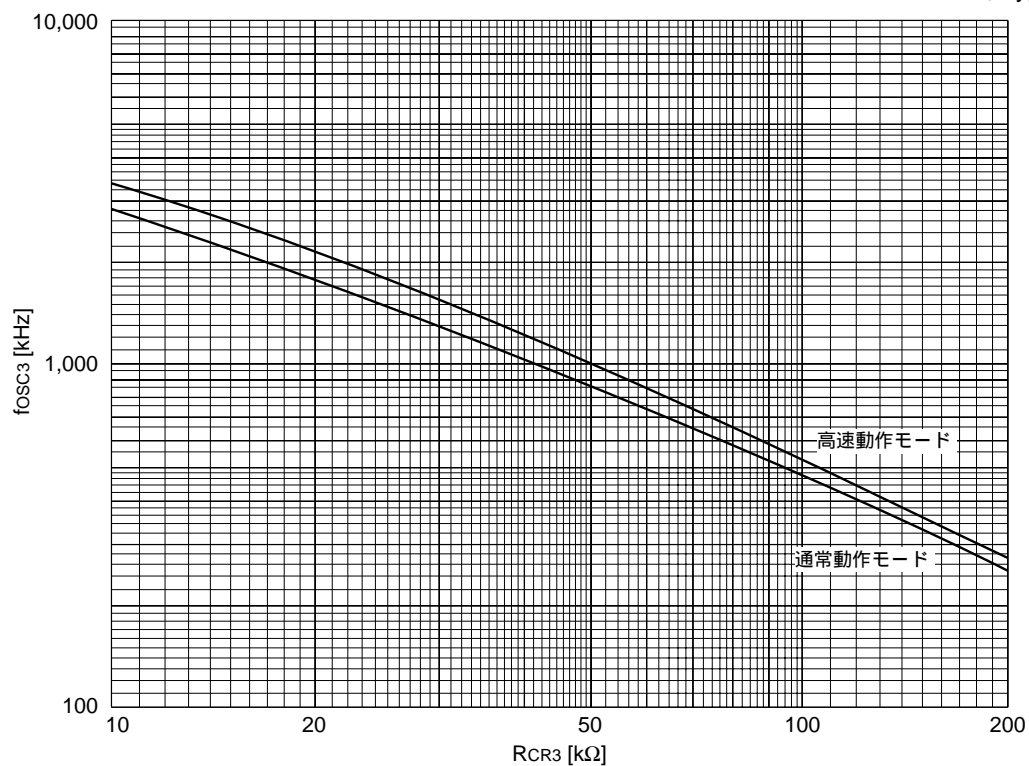


• 発振周波数温度特性 (OSC1)

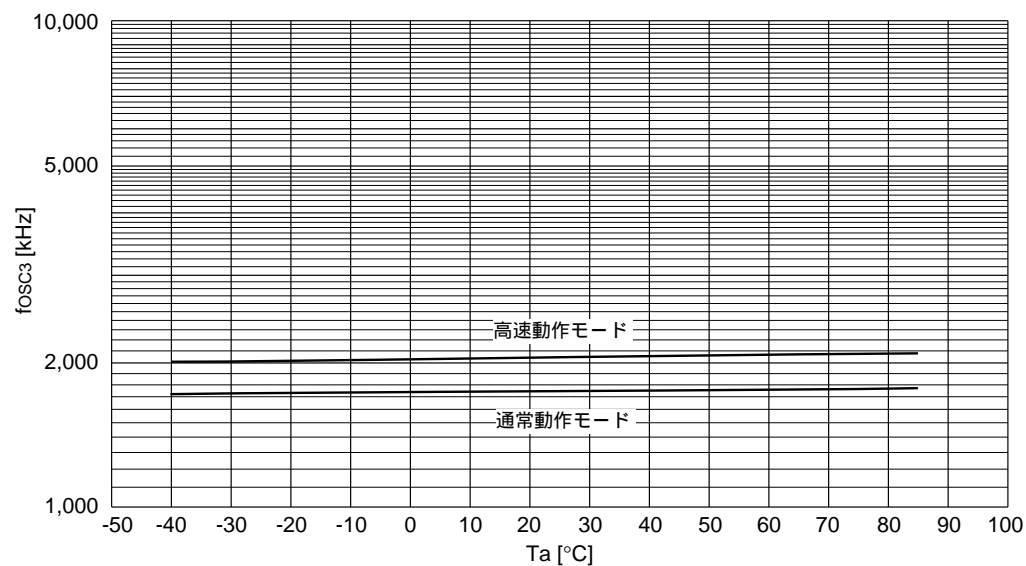
 $R_{CR1} = 800k\Omega$ 

• 発振周波数抵抗特性 (OSC3)

Ta = 25 , Typ.値



• 発振周波数温度特性 (OSC3)

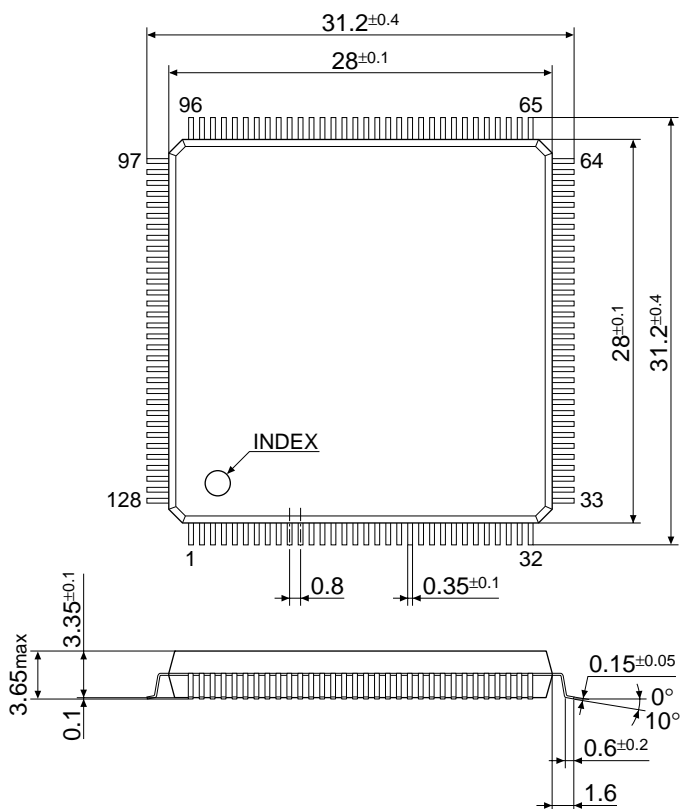
 $R_{CR3} = 20\text{k}\Omega$ 

8 パッケージ

8.1 プラスチックパッケージ

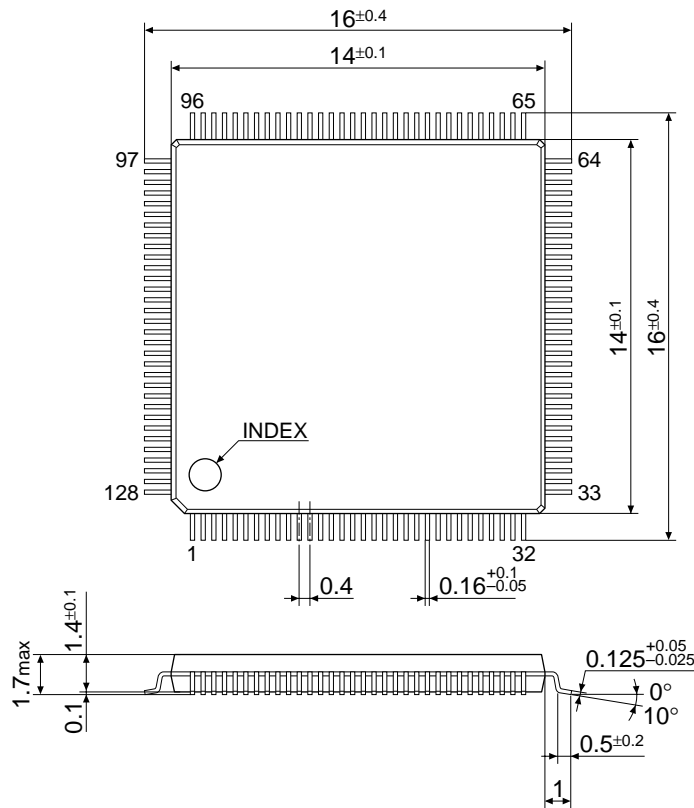
QFP8-128pin

(単位: mm)



QFP15-128pin

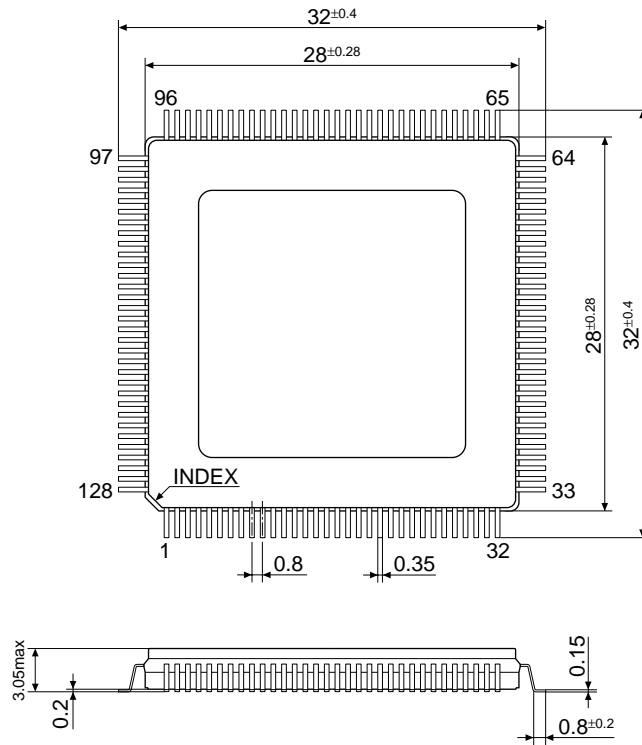
(単位: mm)



8.2 セラミックパッケージ

QFP8-128pin

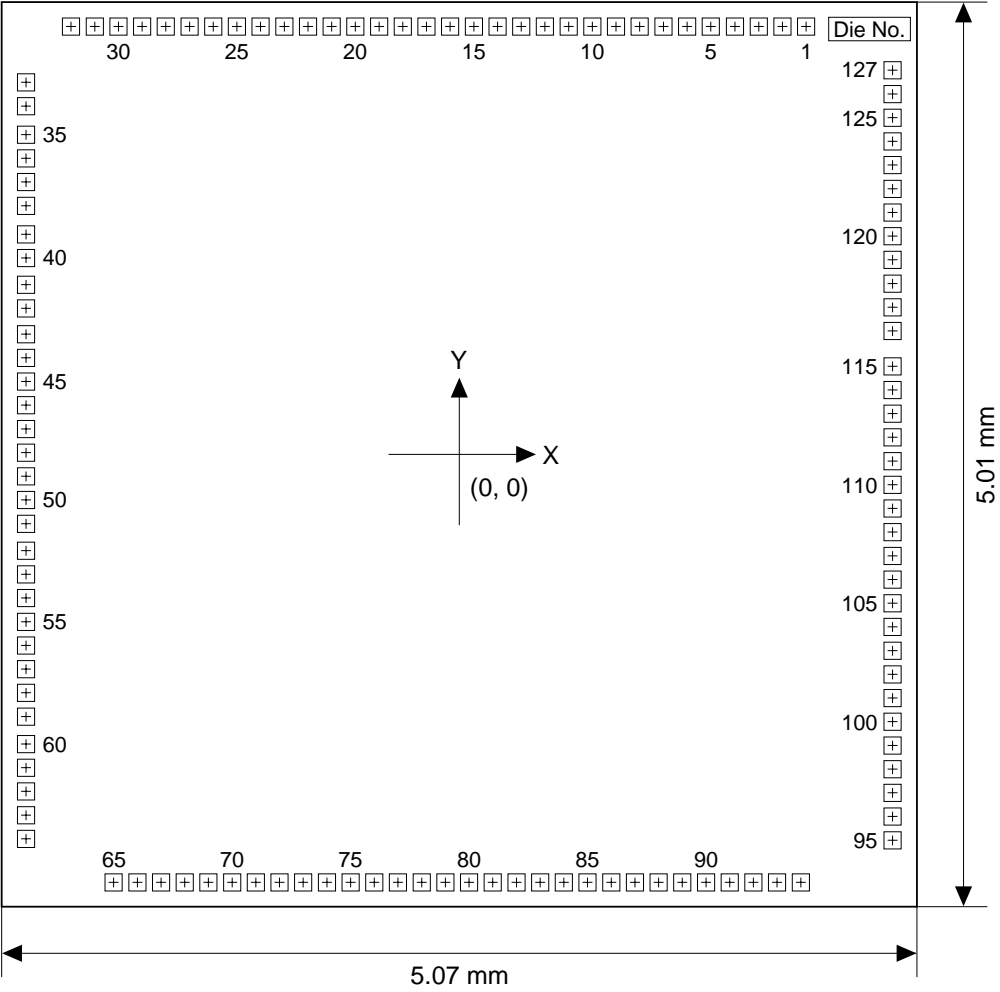
(単位: mm)



9 パッド配置

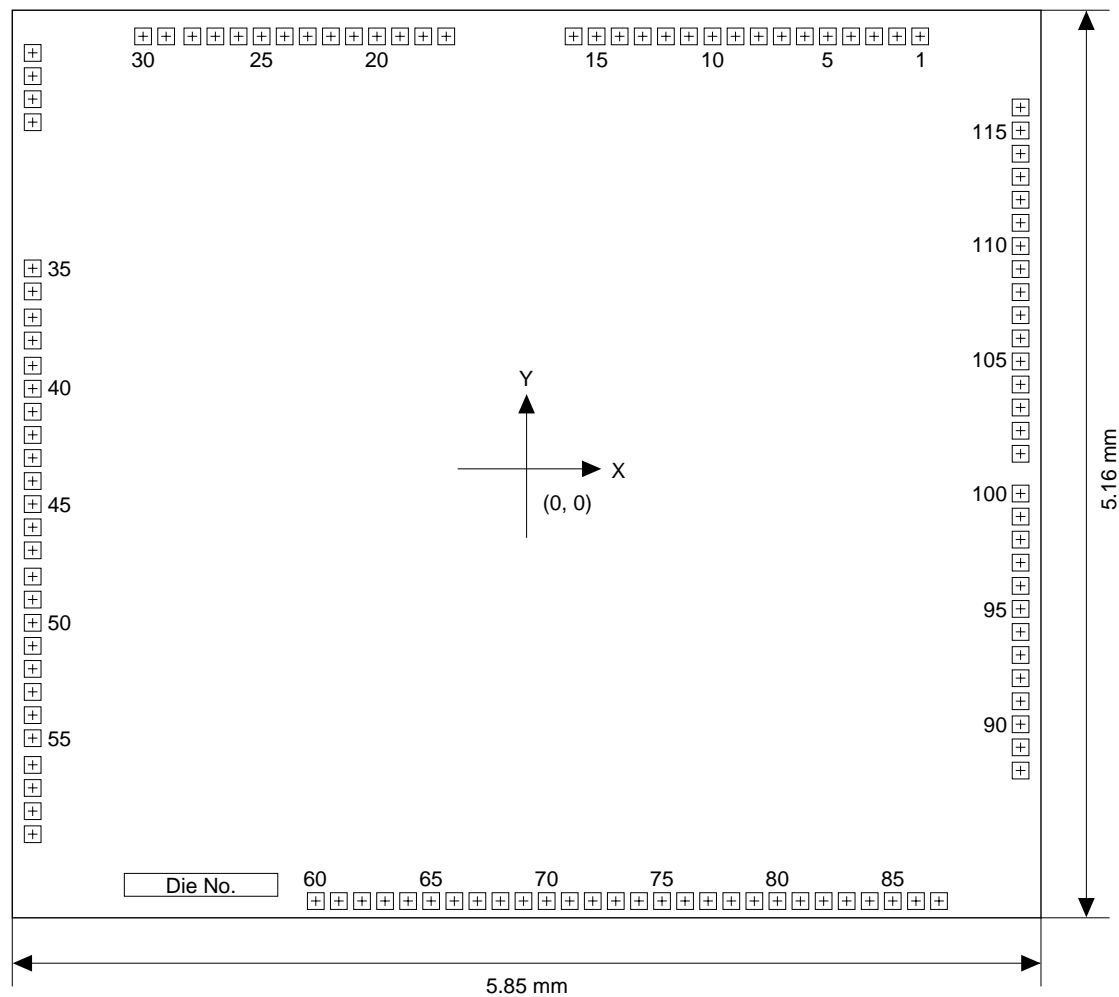
9.1 パッド配置図

S1C88832



チップ厚: 0.4mm
パッド開口部: 95μm

S1C88862



チップ厚: 0.4mm
パッド開口部: 100μm

9.2 パッド座標

表9.2.1 パッド座標 (S1C88832)

(単位: μm)

パッド		X	Y	パッド		X	Y	パッド		X	Y	パッド		X	Y
No.	名称	座標	座標	No.	名称	座標	座標	No.	名称	座標	座標	No.	名称	座標	座標
1	COM19/SEG63	1,921	2,370	33	OSC3	-2,400	2,061	65	SEG0	-1,915	-2,370	97	SEG32	2,400	-1,874
2	COM18/SEG64	1,790	2,370	34	OSC4	-2,400	1,929	66	SEG1	-1,783	-2,370	98	SEG33	2,400	-1,743
3	COM17/SEG65	1,659	2,370	35	Vosc	-2,400	1,771	67	SEG2	-1,652	-2,370	99	SEG34	2,400	-1,612
4	COM16/SEG66	1,527	2,370	36	V _{D1}	-2,400	1,640	68	SEG3	-1,521	-2,370	100	SEG35	2,400	-1,480
5	COM15	1,393	2,370	37	V _{DD}	-2,400	1,509	69	SEG4	-1,390	-2,370	101	SEG36	2,400	-1,349
6	COM14	1,262	2,370	38	V _{SS}	-2,400	1,377	70	SEG5	-1,258	-2,370	102	SEG37	2,400	-1,218
7	COM13	1,131	2,370	39	OSC1	-2,400	1,219	71	SEG6	-1,127	-2,370	103	SEG38	2,400	-1,087
8	COM12	999	2,370	40	OSC2	-2,400	1,088	72	SEG7	-996	-2,370	104	SEG39	2,400	-955
9	COM11	868	2,370	41	$\overline{\text{TEST}}$	-2,400	940	73	SEG8	-865	-2,370	105	SEG40	2,400	-824
10	COM10	737	2,370	42	$\overline{\text{RESET}}$	-2,400	809	74	SEG9	-733	-2,370	106	SEG41	2,400	-693
11	COM9	606	2,370	43	K10/EVIN	-2,400	666	75	SEG10	-602	-2,370	107	SEG42	2,400	-562
12	COM8	474	2,370	44	K07	-2,400	535	76	SEG11	-471	-2,370	108	SEG43	2,400	-430
13	COM7	343	2,370	45	K06	-2,400	404	77	SEG12	-340	-2,370	109	SEG44	2,400	-299
14	COM6	212	2,370	46	K05	-2,400	273	78	SEG13	-208	-2,370	110	SEG45	2,400	-168
15	COM5	81	2,370	47	K04	-2,400	141	79	SEG14	-77	-2,370	111	SEG46	2,400	-37
16	COM4	-51	2,370	48	K03	-2,400	10	80	SEG15	54	-2,370	112	SEG47	2,400	95
17	COM3	-182	2,370	49	K02	-2,400	-121	81	SEG16	185	-2,370	113	SEG48	2,400	226
18	COM2	-313	2,370	50	K01	-2,400	-252	82	SEG17	317	-2,370	114	SEG49	2,400	357
19	COM1	-444	2,370	51	K00	-2,400	-384	83	SEG18	448	-2,370	115	SEG50	2,400	488
20	COM0	-576	2,370	52	P17	-2,400	-533	84	SEG19	579	-2,370	116	COM31/SEG51	2,400	684
21	CG	-707	2,370	53	P16	-2,400	-664	85	SEG20	710	-2,370	117	COM30/SEG52	2,400	815
22	CF	-838	2,370	54	P15	-2,400	-795	86	SEG21	842	-2,370	118	COM29/SEG53	2,400	946
23	CE	-969	2,370	55	P14	-2,400	-927	87	SEG22	973	-2,370	119	COM28/SEG54	2,400	1,078
24	CD	-1,101	2,370	56	P13/ $\overline{\text{SRDY}}$	-2,400	-1,058	88	SEG23	1,104	-2,370	120	COM27/SEG55	2,400	1,209
25	CC	-1,232	2,370	57	P12/ $\overline{\text{SCLK}}$	-2,400	-1,189	89	SEG24	1,235	-2,370	121	COM26/SEG56	2,400	1,340
26	CB	-1,363	2,370	58	P11/SOUT	-2,400	-1,320	90	SEG25	1,367	-2,370	122	COM25/SEG57	2,400	1,471
27	CA	-1,494	2,370	59	P10/SIN	-2,400	-1,452	91	SEG26	1,498	-2,370	123	COM24/SEG58	2,400	1,603
28	V _{C5}	-1,626	2,370	60	R26/ $\overline{\text{TOUT}}$	-2,400	-1,604	92	SEG27	1,629	-2,370	124	COM23/SEG59	2,400	1,734
29	V _{C4}	-1,757	2,370	61	R27/TOUT	-2,400	-1,735	93	SEG28	1,760	-2,370	125	COM22/SEG60	2,400	1,865
30	V _{C3}	-1,888	2,370	62	R34/FOUT	-2,400	-1,866	94	SEG29	1,892	-2,370	126	COM21/SEG61	2,400	1,996
31	V _{C2}	-2,019	2,370	63	R50/BZ	-2,400	-1,998	95	SEG30	2,400	-2,137	127	COM20/SEG62	2,400	2,128
32	V _{C1}	-2,151	2,370	64	R51/ $\overline{\text{BZ}}$	-2,400	-2,129	96	SEG31	2,400	-2,005	—			

表9.2.2 パッド座標 (S1C88862)

(単位: μm)

パッド		X	Y	パッド		X	Y	パッド		X	Y	パッド		X	Y
No.	名称	座標	座標	No.	名称	座標	座標	No.	名称	座標	座標	No.	名称	座標	座標
1	COM15	2,238	2,458	31	Vosc	-2,809	2,364	60	SEG0	-1,199	-2,458	88	SEG28	2,809	-1,716
2	COM14	2,107	2,458	32	V _{D1}	-2,809	2,232	61	SEG1	-1,068	-2,458	89	SEG29	2,809	-1,584
3	COM13	1,976	2,458	33	V _{DD}	-2,809	2,101	62	SEG2	-936	-2,458	90	SEG30	2,809	-1,453
4	COM12	1,845	2,458	34	V _{SS}	-2,809	1,970	63	SEG3	-805	-2,458	91	SEG31	2,809	-1,322
5	COM11	1,713	2,458	35	OSC1	-2,809	1,139	64	SEG4	-674	-2,458	92	SEG32	2,809	-1,191
6	COM10	1,582	2,458	36	OSC2	-2,809	1,008	65	SEG5	-543	-2,458	93	SEG33	2,809	-1,059
7	COM9	1,451	2,458	37	TEST	-2,809	860	66	SEG6	-411	-2,458	94	SEG34	2,809	-928
8	COM8	1,320	2,458	38	RESET	-2,809	729	67	SEG7	-280	-2,458	95	SEG35	2,809	-797
9	COM7	1,188	2,458	39	K10/EVIN	-2,809	586	68	SEG8	-149	-2,458	96	SEG36	2,809	-666
10	COM6	1,057	2,458	40	K07	-2,809	455	69	SEG9	-18	-2,458	97	SEG37	2,809	-534
11	COM5	923	2,458	41	K06	-2,809	324	70	SEG10	114	-2,458	98	SEG38	2,809	-403
12	COM4	792	2,458	42	K05	-2,809	192	71	SEG11	245	-2,458	99	SEG39	2,809	-272
13	COM3	660	2,458	43	K04	-2,809	61	72	SEG12	376	-2,458	100	SEG40	2,809	-141
14	COM2	529	2,458	44	K03	-2,809	-70	73	SEG13	507	-2,458	101	COM31/SEG51	2,809	85
15	COM1	398	2,458	45	K02	-2,809	-201	74	SEG14	639	-2,458	102	COM30/SEG52	2,809	216
16	COM0	267	2,458	46	K01	-2,809	-333	75	SEG15	770	-2,458	103	COM29/SEG53	2,809	348
17	CG	-457	2,458	47	K00	-2,809	-464	76	SEG16	901	-2,458	104	COM28/SEG54	2,809	479
18	CF	-588	2,458	48	P17	-2,809	-613	77	SEG17	1,032	-2,458	105	COM27/SEG55	2,809	610
19	CE	-720	2,458	49	P16	-2,809	-744	78	SEG18	1,164	-2,458	106	COM26/SEG56	2,809	741
20	CD	-851	2,458	50	P15	-2,809	-876	79	SEG19	1,295	-2,458	107	COM25/SEG57	2,809	873
21	CC	-982	2,458	51	P14	-2,809	-1,007	80	SEG20	1,426	-2,458	108	COM24/SEG58	2,809	1,004
22	CB	-1,113	2,458	52	P13/SRD \bar{Y}	-2,809	-1,138	81	SEG21	1,557	-2,458	109	COM23/SEG59	2,809	1,135
23	CA	-1,245	2,458	53	P12/SCLK	-2,809	-1,269	82	SEG22	1,689	-2,458	110	COM22/SEG60	2,809	1,266
24	V _{C5}	-1,376	2,458	54	P11/SOUT	-2,809	-1,401	83	SEG23	1,820	-2,458	111	COM21/SEG61	2,809	1,398
25	V _{C4}	-1,507	2,458	55	P10/SIN	-2,809	-1,532	84	SEG24	1,951	-2,458	112	COM20/SEG62	2,809	1,529
26	V _{C3}	-1,638	2,458	56	R26/TOUT	-2,809	-1,684	85	SEG25	2,082	-2,458	113	COM19/SEG63	2,809	1,660
27	V _{C2}	-1,770	2,458	57	R27/TOUT	-2,809	-1,815	86	SEG26	2,214	-2,458	114	COM18/SEG64	2,809	1,791
28	V _{C1}	-1,901	2,458	58	R50/BZ	-2,809	-1,947	87	SEG27	2,345	-2,458	115	COM17/SEG65	2,809	1,923
29	OSC3	-2,050	2,458	59	R51/BZ	-2,809	-2,078	-				116	COM16/SEG66	2,809	2,054
30	OSC4	-2,181	2,458	-				-				-			

10 実装上の注意事項

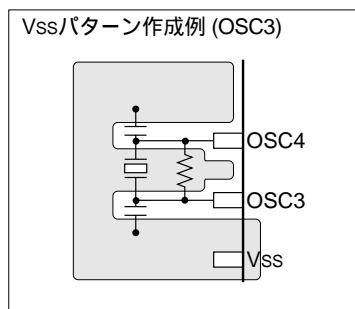
< 発振回路 >

発振特性は諸条件(使用部品、基板パターン等)により変化します。

特にセラミック発振子または水晶振動子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。

ノイズによる発振クロックの乱れは誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1) OSC1、OSC2、OSC3、OSC4端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
- (2) OSC1、OSC2、OSC3、OSC4端子およびこれらの端子に接続された部品の周辺部は下図のようにVssパターンをできるだけ広く作成してください。
また、このVssパターンは発振用途以外に使用しないでください。



- (3) OSC1(OSC3)端子に外部クロックを入力する場合、クロック源からできるだけ最短で接続してください。また、OSC2(OSC4)端子を開放としてください。

OSC1(OSC3) - VDD間のリーク電流による発振回路の不安定動作を防止するため、基板パターンにおいて、OSC1(OSC3)はVDD電源や信号線とは十分な距離を確保してください。

< リセット回路 >

パワーオン時RESET端子に入力されるリセット信号は、諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。

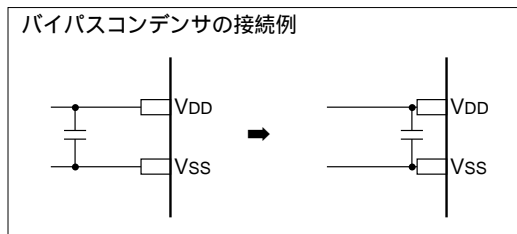
また、マスクオプションによりRESET端子のプルアップ抵抗を付加した場合には、抵抗値のばらつきを十分考慮した定数設定が必要です。

ノイズによる動作中のリセットを防ぐため、RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

< 電源回路 >

ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1) 電源からVDD、Vss端子へはできるだけ短くかつ太いパターンで接続してください。
- (2) VDD - Vssのバイパスコンデンサを接続する場合、VDD端子とVss端子をできるだけ最短で接続してください。



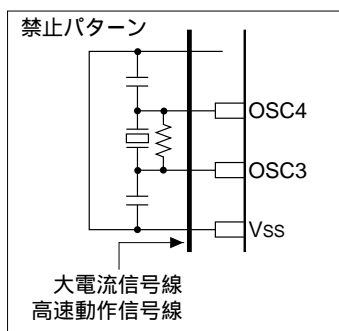
- (3) VDD1、VC1 ~ VC5、CA ~ CG端子に接続するコンデンサ等の部品はできるだけ最短で接続してください。
特にVC1 ~ VC5の各電圧はLCD駆動として用いるため表示品質に影響を与えます。

LCD駆動電源を使用しない場合は、VC1 ~ VC5およびCA ~ CG端子を開放としてください。

< 信号線の配置 >

相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。

高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。特に、発振部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



< 光に対する取り扱い (ベアチップ実装の場合)>

半導体素子は、光が照射されると特性が変化します。このため、本ICに光が当たると誤動作をおこすことがあります。

光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。

- (1) 実使用時にICの遮光性が考慮された構造となるよう、設計および実装を行ってください。
- (2) 検査工程では、ICの遮光性が考慮された環境設計を行ってください。
- (3) ICの遮光は、ICチップの表面、裏面および側面について考慮してください。

セイコーエプソン株式会社 電子デバイス営業本部

ED営業推進部	〒191-8501 東京都日野市日野421-8
IC営業技術G	TEL (042) 587-5816(直通) FAX (042) 587-5624
東日本	
ED東京営業部	〒191-8501 東京都日野市日野421-8
東京IC営業G	TEL (042) 587-5313(直通) FAX (042) 587-5116
西日本	
ED大阪営業部	〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F TEL (06) 6120-6000(代表) FAX (06) 6120-6100
東海・北陸	
ED名古屋営業部	〒461-0005 名古屋市東区東桜1-10-24 栄大野ビル4F TEL (052) 953-8031(代表) FAX (052) 953-8041
長野	
ED長野営業部	〒392-8502 長野県諏訪市大和3-3-5 TEL (0266) 58-8171(直通) FAX (0266) 58-9917
東北	
ED仙台営業所	〒980-0013 宮城県仙台市青葉区花京院1-1-20 花京院スクエア19F TEL (022) 263-7975(代表) FAX (022) 263-7990

インターネットによる電子デバイスのご紹介

<http://www.epson.co.jp/device/>