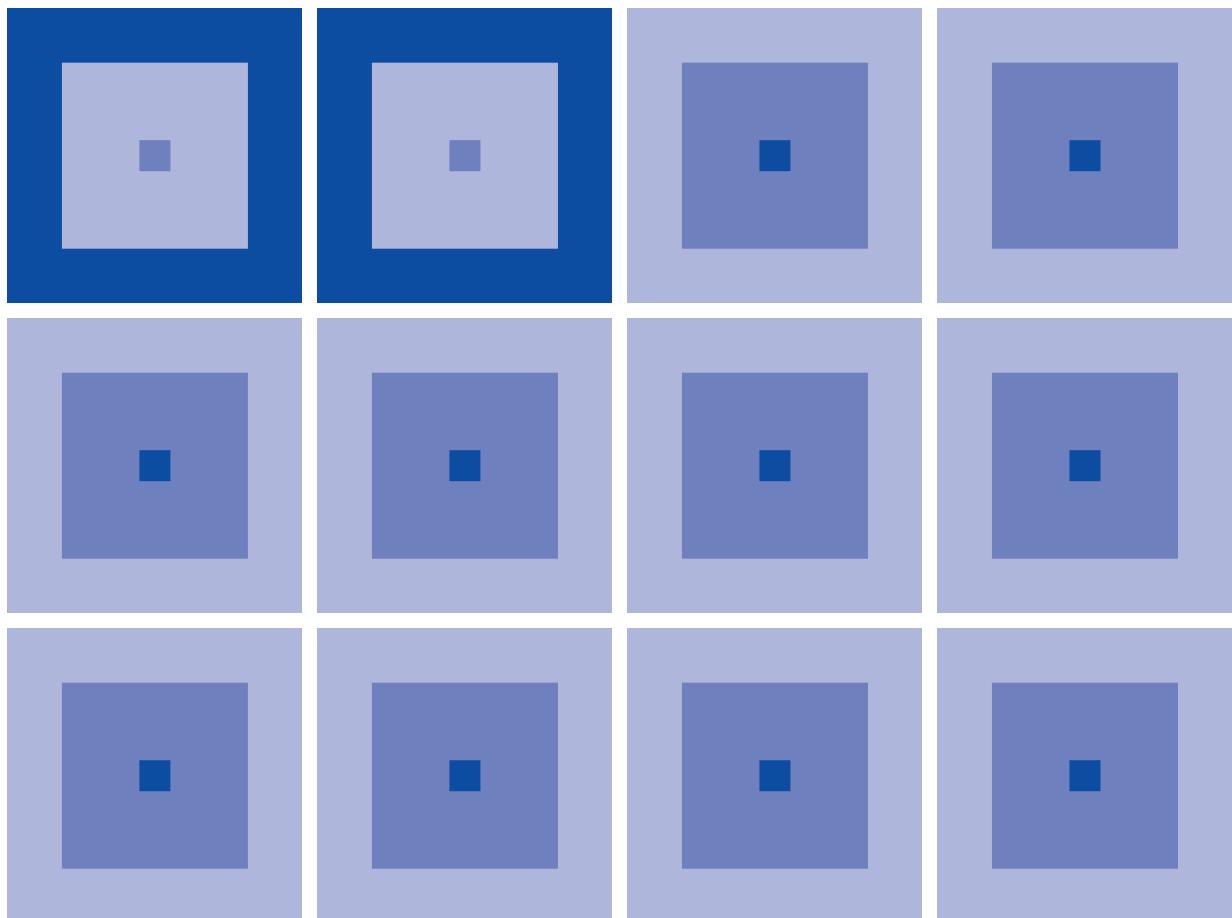


CMOS 4-BIT SINGLE CHIP MICROCOMPUTER

S1C63158

テクニカルマニュアル

S1C63158 Technical Hardware



本資料のご使用につきましては、次の点にご留意願います。

1. 本資料の内容については、予告なく変更することがあります。
2. 本資料の一部、または全部を弊社に無断で転載、または、複製など他の目的に使用することは堅くお断りします。
3. 本資料に掲載される応用回路、プログラム、使用方法等はあくまでも参考情報であり、これらに起因する第三者の権利(工業所有権を含む)侵害あるいは損害の発生に対し、弊社は如何なる保証を行うものではありません。また、本資料によって第三者または弊社の工業所有権の実施権の許諾を行うものではありません。
4. 特性表の数値の大小は、数直線上の大小関係で表しています。
5. 本資料に掲載されている製品のうち、「外国為替および外国貿易法」に定める戦略物資に該当するものについては、輸出する場合、同法に基づく輸出許可が必要です。
6. 本資料に掲載されている製品は、一般民生用です。生命維持装置その他、きわめて高い信頼性が要求される用途を前提としていません。よって、弊社は本(当該)製品をこれらの用途に用いた場合の如何なる責任についても負いかねます。

本版で改訂または追加された箇所

章	節/項	頁	項目	内容
7	7.1	110	絶対最大定格	定格値を変更
Appendix	A.1	123	(5) CR発振周波数調整ボリューム	文章削除
	A.2	126	表A.2.1 I/Oコネクタのピン配列表	表変更
	A.3	128	(3) 機能上の相違	文章削除 図変更

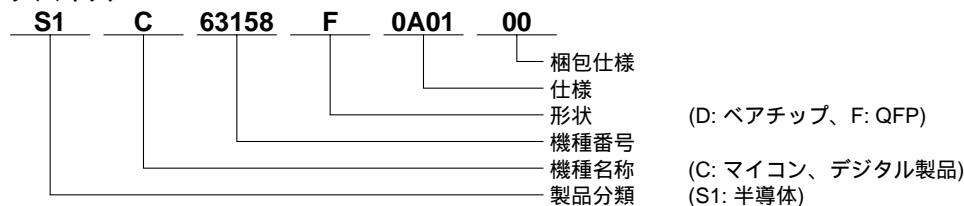
製品型番変更のご案内

2001年4月1日より、弊社半導体製品の製品型番が以下のとおり変更となっておりますので、ご発注につきましては変更後の製品型番にてお願い申し上げます。

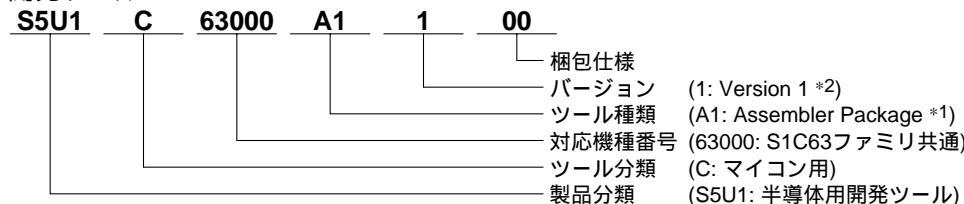
なお、製品型番の詳細仕様につきましては、弊社営業担当にお問い合わせください。

製品型番体系

デバイス



開発ツール



*1: ツールの種類は、新旧型番対応表を参照してください。(マニュアル類には一桁で記載されているものもあります。)

*2: マニュアル類には、実際のバージョンは記載されておりません。

新旧型番対応表

S1C63ファミリ

旧型番	新型番
E0C63158	S1C63158
E0C63256	S1C63256
E0C63358	S1C63358
E0C63P366	S1C6P366
E0C63404	S1C63404
E0C63406	S1C63406
E0C63408	S1C63408
E0C63F408	S1C6F408
E0C63454	S1C63454
E0C63455	S1C63455
E0C63458	S1C63458
E0C63466	S1C63466
E0C63P466	S1C6P466

旧型番	新型番
E0C63467	S1C63467
E0C63557	S1C63557
E0C63558	S1C63558
E0C63567	S1C63567
E0C63F567	S1C6F567
E0C63658	S1C63658
E0C63666	S1C63666
E0C63F666	S1C6F666
E0C63A08	S1C63A08
E0C63B07	S1C63B07
E0C63B08	S1C63B08
E0C63B58	S1C63B58

S1C63ファミリのペリフェラル製品

旧型番	新型番
E0C5250	S1C05250
E0C5251	S1C05251

開発ツール新旧型番対応表

S1C63ファミリ関係の開発ツール

旧型番	新型番
ADP63366	S5U1C63366X
ADP63466	S5U1C63466X
ASM63	S5U1C63000A
GAM63001	S5U1C63000G
ICE63	S5U1C63000H1
PRC63001	S5U1C63001P
PRC63002	S5U1C63002P
PRC63004	S5U1C63004P
PRC63005	S5U1C63005P
PRC63006	S5U1C63006P
PRC63007	S5U1C63007P
URS63366	S5U1C63366Y

S1C63/88ファミリ関係の開発ツール

旧型番	新型番
ADS00002	S5U1C88000X1
GWH00002	S5U1C88000W2
URM00002	S5U1C88000W1

- 目 次 -

1	概要	1
1.1	特長	1
1.2	ブロック図	2
1.3	端子配置図	3
1.4	端子説明	4
1.5	マスクオプション	4
2	電源系 および イニシャルリセット	7
2.1	電源系	7
2.1.1	発振回路および内部回路用電圧<VD1>	7
2.1.2	発振系定電圧回路用電源電圧	8
2.1.3	A/D変換回路用電源電圧	8
2.2	イニシャルリセット	9
2.2.1	リセット端子(RESET)	9
2.2.2	入力ポート(K00 ~ K03)の同時LOW入力	10
2.2.3	イニシャルリセット時の内部レジスタ	10
2.2.4	イニシャルリセット時の端子設定	11
2.3	テスト端子(TEST)	11
3	CPU, ROM, RAM	12
3.1	CPU	12
3.2	コードROM	12
3.3	RAM	12
4	周辺回路と動作	14
4.1	メモリマップ	14
4.2	電源と動作モードの設定	21
4.2.1	電源電圧の制御	21
4.2.2	発振系定電圧回路の動作モードと内部動作電圧	21
4.2.3	A/D変換器電源の動作モード	22
4.2.4	電源と動作モードのI/Oメモリ	23
4.2.5	プログラミング上の注意事項	24
4.3	ウォッチドッグタイマ	25
4.3.1	ウォッチドッグタイマの構成	25
4.3.2	割り込み機能	25
4.3.3	ウォッチドッグタイマのI/Oメモリ	26
4.3.4	プログラミング上の注意事項	26
4.4	発振回路	27
4.4.1	発振回路の構成	27
4.4.2	OSC1発振回路	28
4.4.3	OSC3発振回路	29
4.4.4	動作電圧切り換え	30

4.4.5 クロック周波数とインストラクション実行時間	31
4.4.6 発振回路のI/Oメモリ	31
4.4.7 プログラミング上の注意事項	32
4.5 入力ポート(K00 ~ K03, K10 ~ K13, K20)	33
4.5.1 入力ポートの構成	33
4.5.2 割り込み機能	34
4.5.3 マスクオプション	35
4.5.4 入力ポートのI/Oメモリ	36
4.5.5 プログラミング上の注意事項	39
4.6 出力ポート(R00 ~ R03, R10 ~ R13, R20 ~ R23)	40
4.6.1 出力ポートの構成	40
4.6.2 マスクオプション	40
4.6.3 ハイインピーダンス制御	41
4.6.4 特殊出力	41
4.6.5 出力ポートのI/Oメモリ	43
4.6.6 プログラミング上の注意事項	45
4.7 入出力兼用ポート(P00 ~ P03, P10 ~ P13, P20 ~ P23, P30 ~ P33, P40 ~ P43)	46
4.7.1 入出力兼用ポートの構成	46
4.7.2 マスクオプション	47
4.7.3 I/O制御レジスタと入力/出力モード	47
4.7.4 入力モード時のプルアップ	47
4.7.5 入出力兼用ポートのI/Oメモリ	48
4.7.6 プログラミング上の注意事項	51
4.8 計時タイマ	52
4.8.1 計時タイマの構成	52
4.8.2 データの読み出しとホールド機能	52
4.8.3 割り込み機能	53
4.8.4 計時タイマのI/Oメモリ	54
4.8.5 プログラミング上の注意事項	55
4.9 A/D変換器	56
4.9.1 A/D変換器の特徴と構成	56
4.9.2 A/D変換器の端子構成	56
4.9.3 マスクオプション	57
4.9.4 A/D変換の制御	57
4.9.5 割り込み機能	59
4.9.6 A/D変換器のI/Oメモリ	60
4.9.7 プログラミング上の注意事項	62
4.10 プログラマブルタイマ	63
4.10.1 プログラマブルタイマの構成	63
4.10.2 2チャンネル×8ビットタイマ(MODE16 = "0")の動作	64
4.10.2.1 カウンタ初期値の設定とダウンカウント動作	64
4.10.2.2 カウンタモード	65
4.10.2.3 タイマモード入力クロックの設定	66
4.10.2.4 割り込み機能	67
4.10.2.5 TOUT出力の設定	67
4.10.2.6 シリアルインターフェースの転送速度設定	68

4.10.3 1チャンネル×16ビットタイマ(MODE16 = "1")の動作	68
4.10.3.1 カウンタ初期値の設定とダウンカウント動作	68
4.10.3.2 カウンタモード	69
4.10.3.3 タイマモード入力クロックの設定	70
4.10.3.4 割り込み機能	71
4.10.3.5 TOUT出力の設定	71
4.10.3.6 シリアルインターフェースの転送速度設定	72
4.10.4 プログラマブルタイマのI/Oメモリ	73
4.10.5 プログラミング上の注意事項	78
4.11 シリアルインターフェース(SIN, SOUT, SCLK, SRDY)	79
4.11.1 シリアルインターフェースの構成	79
4.11.2 マスクオプション	80
4.11.3 シリアルインターフェースのマスタモードとスレーブモード	80
4.11.4 データの入出力と割り込み	81
4.11.5 シリアルインターフェースのI/Oメモリ	85
4.11.6 プログラミング上の注意事項	89
4.12 ブザー出力回路	90
4.12.1 ブザー出力回路の構成	90
4.12.2 マスクオプション	90
4.12.3 ブザー出力の制御	91
4.12.4 ブザー出力回路のI/Oメモリ	92
4.12.5 プログラミング上の注意事項	92
4.13 SVD(電源電圧検出)回路	93
4.13.1 SVD回路の構成	93
4.13.2 SVD動作	93
4.13.3 SVD回路のI/Oメモリ	94
4.13.4 プログラミング上の注意事項	94
4.14 割り込みとHALT	95
4.14.1 割り込みの要因	97
4.14.2 割り込みの個別マスク	98
4.14.3 割り込みベクタ	98
4.14.4 割り込みのI/Oメモリ	99
4.14.5 プログラミング上の注意事項	101
5 注意事項のまとめ	102
5.1 低消費電流化のための注意事項	102
5.2 個別機能についての注意事項のまとめ	103
5.3 実装上の注意事項	107
6 基本外部結線図	109
7 電気的特性	110
7.1 絶対最大定格	110
7.2 推奨動作条件	110
7.3 DC特性	111

7.4	アナログ回路特性・消費電流	112
7.5	発振特性	113
7.6	シリアルインターフェースAC特性	116
7.7	タイミングチャート	117
8	パッケージ	118
8.1	プラスチックパッケージ	118
8.2	テストサンプル用セラミックパッケージ	120
9	パッド配置	121
9.1	パッド配置図	121
9.2	パッド座標	121
APPENDIX S5U1C63000P Manual		
(Peripheral Circuit Board for S1C63158/358/P366)		122
A.1	各部の名称と機能	122
A.2	ターゲットシステムとの接続	125
A.3	使用上の注意	127
A.3.1	操作上の注意事項	127
A.3.2	実ICとの相違点	127

1 概要

S1C63158は高性能4ビットCPU S1C63000を中心に、ワンチップ上にROM(8,192ワード×13ビット) RAM (512ワード×4ビット) シリアルインターフェース、ウォッチドッグタイマ、プログラマブルタイマ、タイムベースカウンタ(1系統) SVD回路、4チャンネルA/D変換器、A/D変換器を使用して入力キーを識別可能な特殊入力ポート等を内蔵したマイクロコンピュータです。低電圧/高速動作(4MHz Max.) および低消費電流 (HALT時消費電流2μA Typ.) 等の特長を持ち、ヘッドフォンステレオ等、電池駆動を必要とする各種携帯機器への応用に最適です。

1.1 特長

OSC1発振回路	32.768kHz(Typ.)水晶発振回路、またはCR発振回路(*1)
OSC3発振回路	2MHz(Typ.)CR発振回路、または4MHz(Max.)セラミック発振回路(*1)
インストラクションセット	基本命令 46種類(全命令数 411種類) アドレッシングモード 8種類
インストラクション実行時間	32.768kHz動作時: 61μsec(Min.) 4MHz動作時: 0.5μsec(Min.)
ROM容量	命令ROM: 8,192ワード×13ビット
RAM容量	データメモリ: 512ワード×4ビット
入力ポート	9ビット 8ビット(プルアップ抵抗の付加が可能*1) 1ビット(A/D変換によるキーポジション検出割り込みを発生)
出力ポート	12ビット(2ビットを特殊出力に切り換え可能*2)
入出力兼用ポート	20ビット(4ビットをシリアル入出力に切り換え可能*2) (4ビットをA/D変換器入力に切り換え可能*2)
シリアルインターフェース	1ポート(クロック同期式8ビット)
タイムベースカウンタ	1系統(計時タイマ)
プログラマブルタイマ	内蔵 2チャンネル×8ビットまたは1チャンネル×16ビット(*2) イベントカウンタ機能付き
ウォッチドッグタイマ	内蔵
A/D変換器	分解能 8ビット 最大誤差: ±3LSB A/Dクロック: 1MHz以下(0.9V ~ 3.6V。ただし、1.6V以下ではVc2モード)
ブザー出力	ブザー周波数: 2kHzまたは4kHz(*2) 2Hzインターバル出力(*2)
電源電圧検出(SVD)回路	16値プログラマブル(1.05V ~ 2.60V)
外部割り込み	入力ポート割り込み 2系統 キー検出割り込み 1系統
内部割り込み	計時タイマ割り込み 4系統 プログラマブルタイマ割り込み 2系統 シリアルインターフェース割り込み 1系統 A/D変換器割り込み 1系統
電源電圧	0.9V ~ 3.6V
動作温度範囲	-20°C ~ 85°C
消費電流(Typ.)	シングルクロック: HALT時(32kHz) 1.5V(通常モード) 2μA 動作時(32kHz) 1.5V(通常モード) 4μA ツインクロック: 動作時(4MHz) 3.0V(通常モード) 900μA
出荷形態	QFP12-48pin、QFP13-64pin(プラスチック) またはチップ

*1: マスクオプションにより選択

*2: ソフトウェアにより選択

1.2 ブロック図

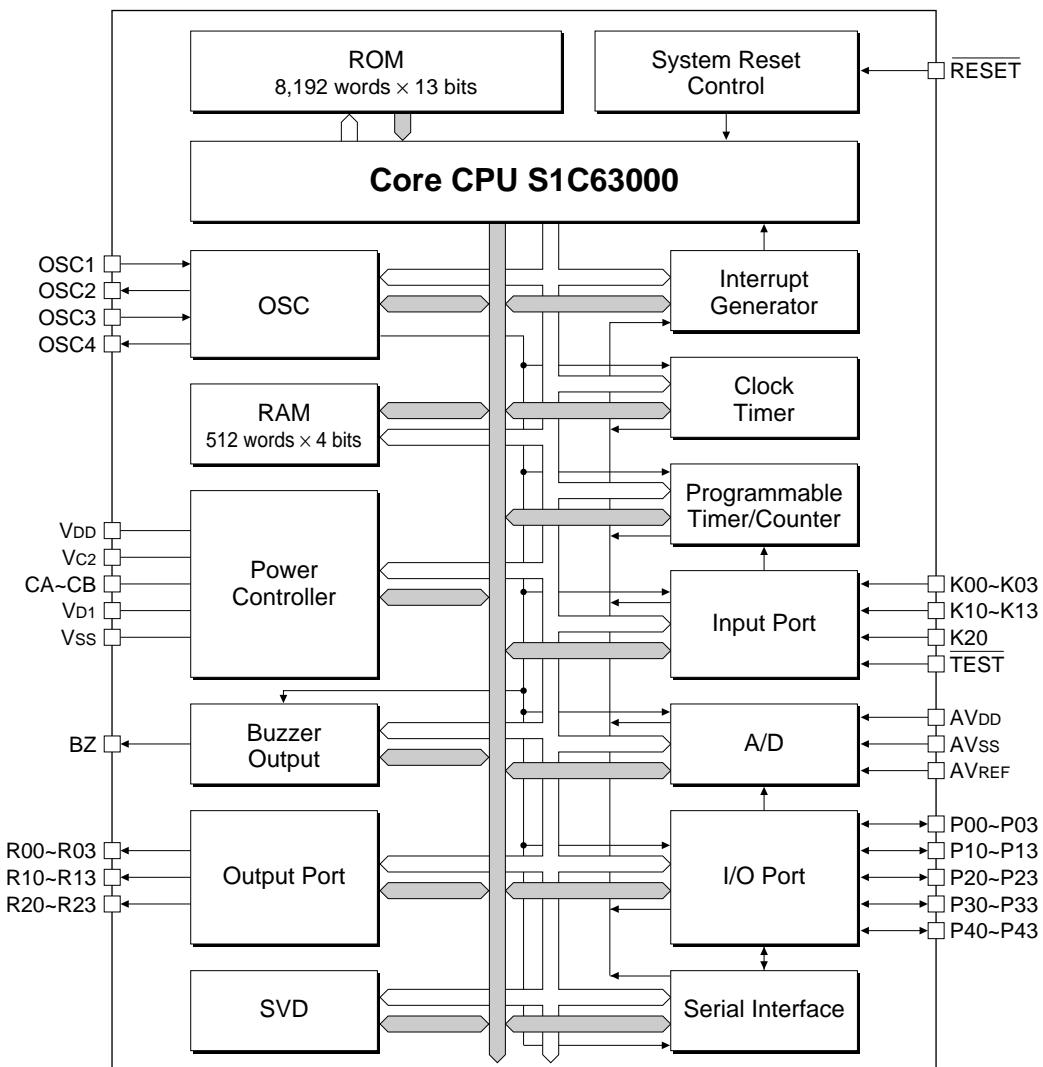
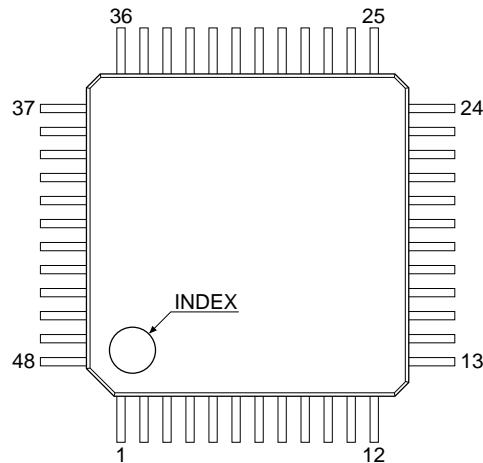


図1.2.1 ブロック図

1.3 端子配置図

QFP12-48pin

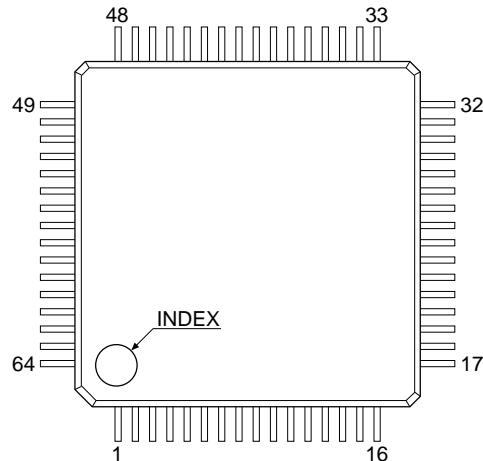


No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	V _{SS}	13	V _{C2}	25	P10	37	R01
2	OSC1	14	P43	26	P03	38	R00
3	OSC2	15	P42	27	P02	39	BZ
4	V _{D1}	16	P41	28	P01	40	K00
5	OSC3	17	P40	29	P00	41	K01
6	OSC4	18	P23	30	R13	42	K02
7	V _{DD}	19	P22	31	R12	43	K03
8	RESET	20	P21	32	R11	44	K10
9	TEST	21	P20	33	R10	45	K11
10	AVREF	22	P13	34	R03	46	K12
11	CB	23	P12	35	R02	47	K13
12	CA	24	P11	36	N.C.	48	K20

N.C.: No Connection

図1.3.1 端子配置図(QFP12-48pin)

QFP13-64pin



No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	V _{ss}	17	P43	33	P03	49	N.C.
2	OSC1	18	P42	34	P02	50	N.C.
3	OSC2	19	P41	35	P01	51	N.C.
4	V _{D1}	20	P40	36	P00	52	R01
5	OSC3	21	P33	37	R23	53	R00
6	OSC4	22	P32	38	R22	54	BZ
7	V _{DD}	23	P31	39	R21	55	K00
8	RESET	24	P30	40	R20	56	K01
9	TEST	25	P23	41	R13	57	K02
10	AVDD	26	P22	42	R12	58	K03
11	AVSS	27	P21	43	R11	59	K10
12	AVREF	28	P20	44	R10	60	K11
13	CB	29	P13	45	R03	61	K12
14	CA	30	P12	46	R02	62	K13
15	V _{C2}	31	P11	47	N.C.	63	K20
16	N.C.	32	P10	48	N.C.	64	N.C.

N.C.: No Connection

図1.3.2 端子配置図(QFP13-64pin)

1.4 端子説明

表1.4.1 端子説明

端子名	端子No.		入出力	機能
	QFP12-48	QFP13-64		
VDD	7	7	-	電源(+)端子
VSS	1	1	-	電源(-)端子
VD1	4	4	-	発振および内部ロジック系定電圧出力端子
VC2	13	15	-	昇圧電源端子
CA, CB	12, 11	14, 13	-	昇圧コンデンサ接続端子
OSC1	2	2	I	水晶またはCR発振入力端子(マスクオプション選択)
OSC2	3	3	O	水晶またはCR発振出力端子(マスクオプション選択)
OSC3	5	5	I	CRまたはセラミック発振入力端子(マスクオプション選択)
OSC4	6	6	O	CRまたはセラミック発振出力端子(マスクオプション選択)
K00~K03	40~43	55~58	I	入力端子
K10~K13	44~47	59~62	I	入力端子
K20	48	63	I	入力端子(キーポジション検出割り込みポート)
P00~P03	29~26	36~33	I/O	入出力端子
P10~P13	25~22	32~29	I/O	入出力端子(シリアルI/F入出力にソフト切り換え)
P20~P23	21~18	28~25	I/O	入出力端子
P30~P33 *1	-	24~21	I/O	入出力端子
P40~P43	17~14	20~17	I/O	入出力端子(A/D変換器入力として使用可能)
R00	38	53	O	出力端子
R01	37	52	O	出力端子
R02	35	46	O	出力端子(TOUT信号出力にソフト切り換え)
R03	34	45	O	出力端子(FOUT信号出力にソフト切り換え)
R10~R13	33~30	44~41	O	出力端子
R20~R23 *1	-	40~37	O	出力端子
AVDD *2	-	10	-	アナログ回路系電源(+)端子
AVSS *2	-	11	-	アナログ回路系電源(-)端子
AVREF	10	12	-	アナログ回路系基準電圧端子
BZ	39	54	O	ブザー出力端子
RESET	8	8	I	イニシャルリセット入力端子
TEST	9	9	I	テスト用入力端子

*1 QFP12-48pinパッケージの場合、P30～P33およびR20～R23は使用できません。

*2 QFP12-48pinパッケージの場合、AVDDはVDDと、AVSSはVssとIC内部で短絡されます。

1.5 マスクオプション

S1C63158には以下に示すマスクオプションが設定されています。

各マスクオプションには複数のハードウェア仕様が用意されており、アプリケーションに合わせて選択することができます。この選択にはS1C63158の開発ソフトウェアツールとして用意されているファンクションオプションジェネレータwinfogを使用します。winfogによって作成したデータをもとに最終的なICのマスクパターン生成が行われます。winfogについては"S5U1C63000A Manual"を参照してください。

S1C63158のマスクオプション

(1)出荷形態

プラスチックパッケージ(QFP12-48pin, QFP13-64pin)またはチップから選択できます。

(2)入力ポート(K00～K03)同時LOW入力による外部リセット

この機能は、複数キーの同時押しによってICをリセットするもので、この機能を使用するかしないかをマスクオプションで選択できます。また、使用する場合は、同時に押すキーを接続する入力ポート(K00～K03)の組み合わせを選択します。詳細については"2.2.2 入力ポート(K00～K03)の同時LOW入力"を参照してください。

(3) 入力ポート同時LOW入力リセットの時間検定回路

入力ポート(K00 ~ K03)同時LOW入力による外部リセット機能を使用する場合に、時間検定回路を使用するかしないか選択できます。時間検定回路を使用すると、規定時間以上の同時LOW入力があった場合のみ、リセット機能が働きます。詳細については"2.2.2 入力ポート(K00 ~ K03)の同時LOW入力"を参照してください。

(4) 入力ポートプルアップ抵抗

入力ポートにプルアップ抵抗を付加するかしないか選択できます。この選択は入力ポートの各ビットごとに行えます。詳細については"4.5.3 マスクオプション"を参照してください。

(5) 出力ポートの出力仕様

出力ポートR10 ~ R13およびR20 ~ R23の出力仕様として、コンプリメンタリ出力またはNチャンネルオープンドレイン出力が選択できます。選択は4ビット単位(R10 ~ R13およびR20 ~ R23)で行います。R00 ~ R03はコンプリメンタリ出力としてのみ使用可能で、詳細については"4.6.2 マスクオプション"を参照してください。

(6) 入出力兼用ポートの出力仕様/プルアップ抵抗

入出力兼用ポートが出力モードの際の出力仕様として、コンプリメンタリ出力またはNチャンネルオープンドレイン出力が選択できます。また入力モード時に働くプルアップ抵抗を付加するかしないか選択できます。選択は入出力兼用ポートによりビット単位または4ビット単位で行います。

1ビット単位: P20, P21, P22, P23, P30, P31, P32, P33, P40, P41, P42, P43

4ビット単位: P10 ~ P13

P00 ~ P03はコンプリメンタリ出力、プルアップありで固定となります。

詳細については"4.7.2 マスクオプション"を参照してください。

(7) シリアルインターフェースの同期クロック極性

シリアルインターフェースの同期クロックSCLKおよびスレーブモード時のSRDY信号の極性を正極性とするか負極性とするか選択できます。詳細については"4.11.2 マスクオプション"を参照してください。

(8) ブザー出力信号の極性

BZ端子から出力するブザー信号の極性が選択できます。駆動用外付けトランジスタに合わせ、正極性または負極性を選択します。詳細については"4.12.2 マスクオプション"を参照してください。

(9) OSC1発振回路

OSC1発振回路には、水晶発振回路またはCR発振回路が選択できます。詳細については"4.4.2 OSC1発振回路"を参照してください。

(10) OSC3発振回路

OSC3発振回路には、CR発振回路またはセラミック発振回路、あるいは使用しないことを選択できます。詳細については"4.4.3 OSC3発振回路"を参照してください。

マスクオプションリスト

S1C63158のオプションリストを以下に示します。各オプション項目には、複数の選択肢が用意されていますので、4章の"周辺回路と動作"を参照してシステムに合った内容を選択してください。使用しない機能についてもオプション設定が必要です。このオプションリストを参照しながら、S1C63158のオプション設定をS5U1C63000A内のwinfogの画面上で行ってください。詳細については"S5U1C63000A Manual"を参照してください。

1. パッケージタイプの選択(Package type select)

1. チップ
2. QFP12-48
3. QFP13-64

2. OSC3システムクロック(OSC3 system clock)

1. 使用しない
2. 使用する<セラミック 2MHz >
3. 使用する<CR(2MHz)>

3. OSC1システムクロック(OSC1 system clock)

1. 水晶発振回路(32.768kHz)
2. CR発振回路

4. キー同時押しリセット組み合わせ(Multiple key entry reset combination)

1. 使用しない
2. 使用する <K00, K01, K02, K03>
3. 使用する <K00, K01, K02>
4. 使用する <K00, K01>

5. キー同時押しリセット時間検定(Multiple key entry reset time authorize)

1. 使用しない
2. 使用する

6. 入力ポートプルアップ抵抗(Input port pull up resistor)

K00	1. あり	2. なし
K01	1. あり	2. なし
K02	1. あり	2. なし
K03	1. あり	2. なし
K10	1. あり	2. なし
K11	1. あり	2. なし
K12	1. あり	2. なし
K13	1. あり	2. なし
K20	1. あり	2. なし

7. 出力ポート出力仕様(Output port output specification)

R1*	1. コンプリメンタリ	2. Nchオープンドレイン
R2*	1. コンプリメンタリ	2. Nchオープンドレイン

8. I/Oポート出力仕様(I/O port output specification)

P1*	1. コンプリメンタリ	2. Nchオープンドレイン
P20	1. コンプリメンタリ	2. Nchオープンドレイン
P21	1. コンプリメンタリ	2. Nchオープンドレイン
P22	1. コンプリメンタリ	2. Nchオープンドレイン
P23	1. コンプリメンタリ	2. Nchオープンドレイン
P30	1. コンプリメンタリ	2. Nchオープンドレイン
P31	1. コンプリメンタリ	2. Nchオープンドレイン
P32	1. コンプリメンタリ	2. Nchオープンドレイン
P33	1. コンプリメンタリ	2. Nchオープンドレイン
P40	1. コンプリメンタリ	2. Nchオープンドレイン
P41	1. コンプリメンタリ	2. Nchオープンドレイン
P42	1. コンプリメンタリ	2. Nchオープンドレイン
P43	1. コンプリメンタリ	2. Nchオープンドレイン

9. I/Oポートプルアップ抵抗(I/O port pull up resistor)

P1*	1. あり	2. なし
P20	1. あり	2. なし
P21	1. あり	2. なし
P22	1. あり	2. なし
P23	1. あり	2. なし
P30	1. あり	2. なし
P31	1. あり	2. なし
P32	1. あり	2. なし
P33	1. あり	2. なし
P40	1. あり	2. なし
P41	1. あり	2. なし
P42	1. あり	2. なし
P43	1. あり	2. なし

10. シリアルポートインタフェース極性(Serial port interface polarity)

1. 正極性
2. 負極性

11. サウンドジェネレータ出力仕様(Sound generator polarity for output)

1. 正極性
2. 負極性

2 電源系 および イニシャルリセット

2.1 電源系

S1C63158の動作電源電圧は次のとおりです。

0.9V ~ 3.6V

注: • 0.9V ~ 1.35Vを動作電源電圧とする場合はソフトウェアによる制御が必要です(4.2項参照)

S1C63158は上記範囲の単一電源をVDD/AVDD - Vss/AVss間に与えることにより動作し、内部に必要な電圧を、内蔵された以下の電源回路によりIC自身で発生します。

回路系	電源回路	出力電圧
発振、内部回路	発振系定電圧回路	V _{D1}
発振系定電圧回路	電源電圧(V _{DD})または昇圧回路(V _{C2})	V _{DD} またはV _{C2}
A/D変換器	アナログ電源電圧(AV _{DD})および電源電圧(V _{DD})または昇圧回路(V _{C2})	AV _{DD} およびV _{DD} またはV _{C2}

注: • 内部電源回路の出力電圧による外付け負荷の駆動は禁止します。
• 電圧値、駆動能力については"7 電気的特性"を参照してください。

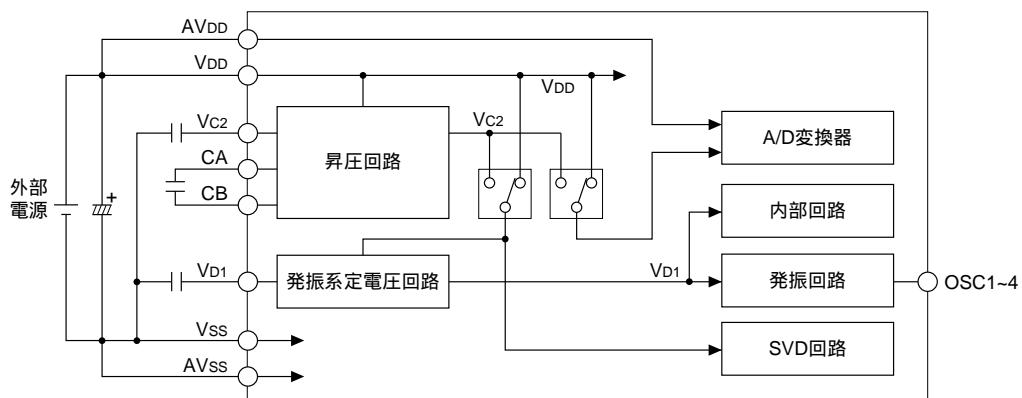


図2.1.1 電源系の構成

2.1.1 発振回路および内部回路用電圧<VD1>

V_{D1}は発振回路および内部ロジック回路用の電圧で、発振を安定させるため発振系定電圧回路で発生しています。

S1C63158はツインクロック仕様となっており、2種類の発振回路OSC1およびOSC3を内蔵しています。通常動作時はOSC1クロックを使用し、高速動作が必要なときにソフトウェアによってOSC3クロックに切り換えます。その際には、発振回路およびそれぞれのクロックによる内部回路の動作を安定させるため、動作電圧V_{D1}もソフトウェアによって切り換える必要があります。発振系定電圧回路はV_{D1}の電圧値として以下の2種類が output 可能で、ソフトウェアにより発振回路と発振周波数にしたがった値に設定します。

1. OSC1クロックによる動作時: V_{D1} = 1.3V
2. OSC3クロックによる動作時: V_{D1} = 2.1V

V_{D1}の切り換え方法については"4.4 発振回路"を参照してください。

ただし、マスクオプションでOSC1にCR発振回路を選択し、OSC3発振回路(CRまたはセラミック)を使用するとした場合はV_{D1}の電圧値が2.1V固定となりますので、ソフトウェアによるV_{D1}の切り換えは必要ありません。OSC3発振回路を使用しない場合は、OSC1がCR発振回路の場合でもV_{D1}=1.3Vで動作可能です。

2.1.2 発振系定電圧回路用電源電圧

(1)Vc2モード(昇圧モード)

S1C63158は0.9V ~ 3.6Vの電源電圧により動作します。ただし、発振系定電圧回路用に、シングルクロック(OSC1)動作時は最低1.35Vの電源電圧が、ツインクロック(OSC3, Typ. 2MHz)動作時は最低2.2Vの電源電圧が必要となります。このため以下の電源電圧VDDで動作させる場合はVc2モードに切り換え、発振系定電圧回路をVc2で駆動してください。

- シングルクロック(OSC1)動作時: $VDD = 0.9V \sim 1.35V$ ($Vc2 = 1.8V \sim 2.7V$)

Vc2モードでは消費電流が増加しますので、電源電圧が必要以上の場合はこのモードに設定しないでください。

注: ブザー駆動時やランプ点灯時など、電池の負荷が重くなり電源電圧が低下する場合(重負荷時)または電池の寿命による電源電圧低下をSVD回路で検出した場合、Vc2モードを設定してください。

(2)通常モード

このモードでは、発振系定電圧回路が1.35V ~ 3.6V(OSC3クロックを使用する場合は2.2V ~ 3.6V)の電源電圧VDDによって直接動作します。イニシャルリセット時は、このモードに設定されます。

表2.1.2.1 電源電圧と動作モードの対応(発振系定電圧回路)

電源回路	動作条件	電源電圧VDD(V)		
		0.9~1.35	1.35~2.2	2.2~3.6
発振系	OSC1	Vc2モード	通常モード*	
定電圧回路	OSC3, 4MHz	動作不可		通常モード

* 上記"(1)Vc2モード"の注参照

動作モードの設定方法については"4.2 電源と動作モードの設定"を参照してください。

2.1.3 A/D変換回路用電源電圧

(1)Vc2モード(昇圧モード)

A/D変換器は0.9V ~ 3.6Vの電源電圧により動作します。ただし、A/D変換器を最大±3LSB以内の誤差(A/Dクロック 1MHz)で動作させるためには、最低1.6Vの電源電圧が必要となります。このため、電源電圧VDDが1.6V以下の場合はVc2モードに切り換え、A/D変換器をVc2で動作させてください。

(2)通常モード

このモードでは、A/D変換器が1.6V以上の電源電圧VDDによって直接動作します。

表2.1.3.1 電源電圧と動作モードの対応(A/D変換器)

回路	電源電圧VDD(V)	
	0.9~1.6	1.6~3.6
A/D変換器	Vc2モード	通常モード

2.2 イニシャルリセット

S1C63158は回路を初期化するためにイニシャルリセットを必要とします。イニシャルリセット要因としては次の2種類があります。

(1) $\overline{\text{RESET}}$ 端子による外部イニシャルリセット

(2) K00～K03端子の同時LOWレベル入力による外部イニシャルリセット(マスクオプションで設定)

電源投入時は必ずこのリセット機能を使用し、ICを確実に初期化してください。電源投入のみでは動作が保証できません。

図2.2.1にイニシャルリセット回路の構成を示します。

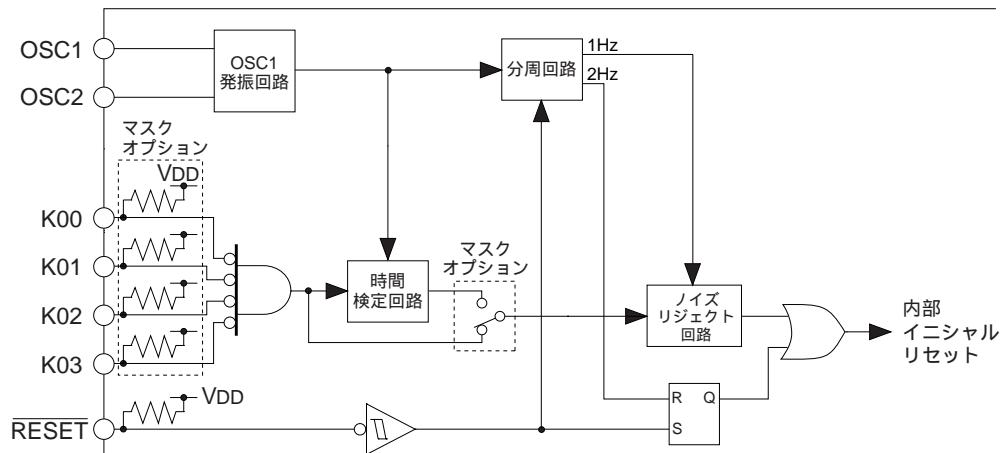


図2.2.1 イニシャルリセット回路の構成

2.2.1 リセット端子($\overline{\text{RESET}}$)

外部よりリセット端子をLOWレベル(V_{SS})にすることによりイニシャルリセットが行えます。

その後、リセット端子をHIGHレベル(V_{DD})にすることによりイニシャルリセットは解除され、CPUが動作を開始します。

電源投入時、リセット入力信号はRSラッチにより保持され、内部イニシャルリセット信号となります。RSラッチは、OSC1クロックを分周した2Hz信号で解除されるようになっています。

ICを確実にイニシャルリセットするためには、図2.2.1.1に示すタイミングでリセット端子をLOWレベルにしてください。

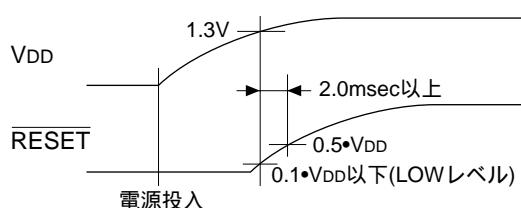


図2.2.1.1 電源投入時のイニシャルリセット

電源電圧が1.3V以上になるまで、リセット端子は0.1 \cdot V_{DD} 以下(LOWレベル)とします。

その後2.0msec以上、0.5 \cdot V_{DD} 以下のレベルを保持してください。

通常動作時は、リセット端子がHIGHレベルになった後、内部イニシャルリセットが解除されるまで、最大250msec($f_{OSC1}=32.768\text{kHz}$)の時間を要します。確実にイニシャルリセットを行うためには、最低0.1msec以上、リセット入力をLOWレベルを保ってください。

2.2.2 入力ポート(K00 ~ K03)の同時LOW入力

マスクオプションで選択された入力ポート(K00 ~ K03)に、外部から同時にLOW入力を与えることによりイニシャルリセットが行えます。このイニシャルリセットはノイズリジェクト回路を通るため、通常動作中は 1.5msec($fosc1=32.768\text{kHz}$)以上、指定入力ポート端子をLOWレベルに保ってください。また、電源投入時にはリセット端子の場合と同様に発振を開始するまで(2.2.1項参照) 指定入力ポート端子をLOWレベルに保ってください。表2.2.2.1にマスクオプションで選択できる入力ポート(K00 ~ K03)の組合せを示します。

表2.2.2.1 入力ポートの組合せ

1	使用しない
2	K00*K01*K02*K03
3	K00*K01*K02
4	K00*K01

たとえば、マスクオプションで2の"K00*K01*K02*K03"を選択した場合、K00 ~ K03の4ポートの入力が同時にLOWレベルになったときにイニシャルリセットを行います。3または4の場合は、選択した入力ポートの組合せが含まれるキー入力が行われたときにイニシャルリセットがかかります。

また、同時LOW入力の入力時間を検定し、規定時間(1 ~ 2秒)以上の入力があったときにイニシャルリセットを行う時間検定回路をマスクオプションで選択できます。

なお、このリセット機能を使用する場合、通常動作時に指定ポートが同時にLOWレベルにならないように注意してください。

2.2.3 イニシャルリセット時の内部レジスタ

イニシャルリセットによりCPUは表2.2.3.1のように初期化されます。

イニシャルリセットによって初期化されないレジスタ、フラグは必要に応じてプログラムで初期化する必要があります。

特にスタックポインタSP1およびSP2は必ずペアで設定してください。イニシャルリセット後は、SP1、SP2両方のスタックポインタがソフトウェアにより設定されるまでNMIを含むすべての割り込みがマスクされます。

EXTレジスタにデータを書き込むとEフラグがセットされ、次の命令が拡張アドレッシングモードで実行されます。そこに拡張アドレッシングが禁止されている命令を使用した場合、動作が保証されません。したがって、EXTレジスタの初期化のみを目的としたデータ書き込みは行わないでください。

拡張アドレッシングと使用可能な命令については"S1C63000コアCPUマニュアル"を参照してください。

表2.2.3.1 初期設定値

CPUコア			
名 称	記 号	ビット長	設 定 値
データレジスタA	A	4	不定
データレジスタB	B	4	不定
拡張レジスタEXT	EXT	8	不定
インデックスレジスタX	X	16	不定
インデックスレジスタY	Y	16	不定
プログラムカウンタ	PC	16	0110H
スタックポインタSP1	SP1	8	不定
スタックポインタSP2	SP2	8	不定
ゼロフラグ	Z	1	不定
キャリーフラグ	C	1	不定
インタラプトフラグ	I	1	0
拡張フラグ	E	1	0
キューレジスタ	Q	16	不定

周辺回路		
名 称	ビット長	設 定 値
RAM	4	不定
表示メモリ	4	不定
その他の周辺回路	-	*

* "4.1 メモリマップ"参照

2.2.4 イニシャルリセット時の端子設定

S1C63158の出力ポート(R端子)、入出力兼用ポート(P端子)は特殊出力端子やシリアルインターフェースの入出力端子およびA/D変換器の入力端子と兼用されており、それらの機能をソフトウェアで選択するようになっています。イニシャルリセット時、各端子はすべてが汎用出力ポート端子、汎用入出力兼用ポート端子として設定されますので、アプリケーションの初期化ルーチンでシステムに合った設定を行ってください。また、システム設計の際には、出力端子の初期状態にも注意してください。

表2.2.4.1に兼用端子設定の一覧を示します。

表2.2.4.1 兼用端子設定一覧

端子名	イニシャルリセット時の 端子状態	特殊出力使用時		シリアルI/F使用時		A/D変換器 使用時
		TOUT	FOUT	Master	Slave	
R00	R00 (HIGH出力)					
R01	R01 (HIGH出力)					
R02	R02 (HIGH出力)	TOUT				
R03	R03 (HIGH出力)		FOUT			
R10~R13	R10~R13 (HIGH出力)					
R20~R23	R20~R23 (HIGH出力)					
P00~P03	P00~P03 (入力&プルアップ)					
P10	P10 (入力&プルアップ*)			SIN(I)	SIN(I)	
P11	P11 (入力&プルアップ*)			SOUT(O)	SOUT(O)	
P12	P12 (入力&プルアップ*)			SCLK(O)	SCLK(I)	
P13	P13 (入力&プルアップ*)				SRDY(O)	
P20~P23	P20~P23 (入力&プルアップ*)					
P30~P33	P30~P33 (入力&プルアップ*)					
P40	P40 (入力&プルアップ*)					AD0(I)
P41	P41 (入力&プルアップ*)					AD1(I)
P42	P42 (入力&プルアップ*)					AD2(I)
P43	P43 (入力&プルアップ*)					AD3(I)

* マスクオプションにて"プルアップあり"選択時 ("プルアップなし"選択時はハイインピーダンス)

機能の設定方法については各周辺回路の説明を参照してください。

2.3 テスト端子(TEST)

ICの出荷検査時に使用する端子です。通常動作時はTESTをVDDに接続してください。

3 CPU, ROM, RAM

3.1 CPU

S1C63158はCPU部分に4ビットコアCPU S1C63000を使用しています。

S1C63000については"S1C63000コアCPUマニュアル"を参照してください。

注: S1C63158においては、SLEEP動作を想定していないため、SLP命令は使用できません。

3.2 コードROM

内蔵コードROMはプログラム格納用のマスクROMで、8,192ステップ×13ビットの容量があります。コアCPUのプログラム領域は0000H～FFFFHステップまでリニアにアクセス可能ですが、S1C63158では、このうち0000H～1FFFHステップがプログラム領域となります。イニシャルリセット後のプログラム開始番地が0110Hステップ、ノンマスカブル割り込み(NMI)ベクタが0100H、ハードウェア割り込みベクタが0102H～010EHステップに割り当てられています。

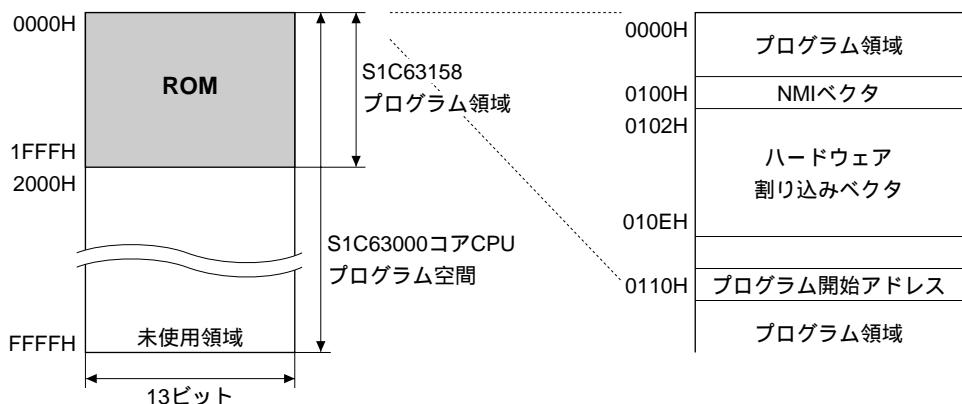


図3.2.1 コードROMの構成

3.3 RAM

RAMは種々のデータを格納するデータメモリで、512ワード×4ビットの容量があります。

RAM領域は、データメモリマップ上のアドレス0000H～01FFHに割り当てられています。

この中でアドレス0100H～01FFHが4ビット/16ビットデータアクセスが可能な領域、その他の領域は4ビットデータアクセスのみ可能な領域となっています。

プログラミングの際には以下の点に注意してください。

(1)データメモリの一部をサブルーチンコールやレジスタ退避時のスタック領域としても使用しますので、データ領域とスタック領域が重ならないように注意してください。

(2)S1C63000コアCPUは、4ビットデータ用スタックポインタ(SP2)および16ビットデータ用スタックポインタ(SP1)によりスタック処理を行います。SP1によるスタック処理では16ビットデータアクセスが行われますので、このスタック領域の設定は4ビット/16ビットアクセスが可能な領域内(0100H～01FFH)で行ってください。スタックポインタは、SP1が0000H～03FFH、SP2が0000H～00FFHの範囲でサイクリックに動作します。このため、SP1はS1C63158の4ビット/16ビットアクセス領域を外れた0200H以上、あるいは00FFH以下の中にも設定される可能性がありますので注意してください。SP1によるスタック操作以外のメモリアクセスは4ビットデータアクセスとなります。

また、イニシャルリセット時は、スタックポインタSP1、SP2の両方がソフトウェアで設定されるまでNMIを含むすべての割り込みがマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまでNMIを含む割り込みは再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

(3) サブルーチンコールでは16ビットデータ用スタック(SP1)を4ワード(PCの退避)消費します。
割り込みでは16ビットデータ用スタックエリアを4ワード(PCの退避)4ビットデータ用スタックエリアを1ワード(Fレジスタの退避)消費します。

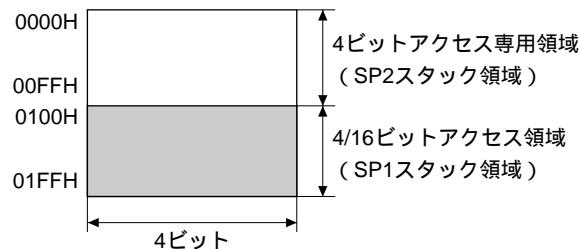


図3.3.1 データRAMの構成

4 周辺回路と動作

S1C63158の周辺回路(タイマ、A/D、I/O等)はメモリマップドI/O方式で、CPUとインターフェースされています。このため、メモリマップ上のI/Oメモリをメモリ操作命令でアクセスすることにより、すべての周辺回路を制御することができます。

以下に、各周辺回路の動作について詳細に説明します。

4.1 メモリマップ

S1C63158のデータメモリは512ワードのRAM、73ワードの周辺I/Oメモリ領域で構成されます。図4.1.1にS1C63158の全体のメモリマップ、表4.1.1(a)~(f)に周辺回路(I/O空間)のメモリマップを示します。



図4.1.1 メモリマップ

注: メモリマップの未使用領域にはメモリが実装されていません。また、周辺I/O領域にも非実装領域、未使用(アクセス禁止)領域が存在します。これらの領域をアクセスするようなプログラムを作成した場合は、正常な動作を保証することはできません。

周辺I/O領域については表4.1.1(a)~(f)に示すI/Oメモリマップを参照してください。

表4.1.1(a) I/Oメモリマップ(FF00H ~ FF28H)

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF00H	CLKCHG	OSCC	0	VDC	CLKCHG OSCC	0	OSC3 On	OSC1 Off	CPUクロック切り換え OSC3発振On/Off
	R/W		R	R/W	0 *3 VDC	- *2	2.1V	1.3V	未使用 CPU動作電圧切り換え(1.3V: OSC1, 2.1V: OSC3)
FF01H	VADSEL	VDSEL	0	DBON	VADSEL VDSEL	0	Vc2 Vc2	VDD VDD	A/D変換器用電源選択 発振系定電圧回路用電源選択
	R/W		R	R/W	0 *3 DBON	- *2	On	Off	未使用 昇圧回路On/Off
FF04H	SVDS3	SVDS2	SVDS1	SVDS0	SVDS3 SVDS2 SVDS1 SVDS0	0 0 0 0			SVD比較電圧設定 [SVDS3-0] 0 1 2 3 4 5 6 7 電圧(V) 1.05 1.10 1.15 1.20 1.25 1.30 1.40 1.60 [SVDS3-0] 8 9 10 11 12 13 14 15 電圧(V) 1.95 2.00 2.05 2.10 2.20 2.30 2.50 2.60
	R/W								
FF05H	0	0	SVDDT	SVDON	0 *3 0 *3	- *2 - *2			未使用 未使用
	R		R/W		SVDDT SVDON	0 0	Low On	Normal Off	SVD検出データ SVD回路On/Off
FF06H	FOUTE	0	FOFQ1	FOFQ0	FOUTE 0 *3	0 - *2	Enable	Disable	FOUT出力イネーブル 未使用
	R/W	R	R/W		FOFQ1 FOFQ0	0 0			[FOFQ1, 0] 0 1 2 3 周波数選択 周波数 fosc1/64 fosc1/8 fosc1 fosc3
FF07H	0	0	WDEN	WDRST	0 *3 0 *3	- *2 - *2			未使用 未使用
	R		R/W	W	WDEN WDRST *3	1 Reset	Enable Reset	Disable Invalid	ウォッチドッグタイマーニードル ウォッチドッグタイマーセット(書き込み時)
FF20H	SIK03	SIK02	SIK01	SIK00	SIK03 SIK02 SIK01 SIK00	0 0 0 0	Enable Enable Enable Enable	Disable Disable Disable Disable	K00 ~ K03割り込み選択レジスタ
	R/W								
FF21H	K03	K02	K01	K00	K03 K02 K01 K00	- *2 - *2 - *2 - *2	High High High High	Low Low Low Low	K00 ~ K03入力ポートデータ
	R								
FF22H	KCP03	KCP02	KCP01	KCP00	KCP03 KCP02 KCP01 KCP00	1 1 1 1			K00 ~ K03入力比較レジスタ
	R/W								
FF24H	SIK13	SIK12	SIK11	SIK10	SIK13 SIK12 SIK11 SIK10	0 0 0 0	Enable Enable Enable Enable	Disable Disable Disable Disable	K10 ~ K13割り込み選択レジスタ
	R/W								
FF25H	K13	K12	K11	K10	K13 K12 K11 K10	- *2 - *2 - *2 - *2	High High High High	Low Low Low Low	K10 ~ K13入力ポートデータ
	R								
FF26H	KCP13	KCP12	KCP11	KCP10	KCP13 KCP12 KCP11 KCP10	1 1 1 1			K10 ~ K13入力比較レジスタ
	R/W								
FF28H	0	0	0	SIK20	0 *3 0 *3 0 *3 SIK20	- *2 - *2 - *2 0	Enable Disable	未使用 未使用 未使用 K20割り込み選択レジスタ	
	R		R/W						

[注 釈]

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

表4.1.1(b) I/Oメモリマップ(FF29H ~ FF44H)

アドレス	レジスタ				Name	Init *1	1	0	注釈
	D3	D2	D1	D0					
FF29H	0	0	0	K20	0 *3	- *2	High	Low	未使用 未使用 未使用 K20入力ポートデータ
	R			K20	0 *3	- *2			
	0	0	0	KCP20	0 *3	- *2			
	R			R/W	0 *3	- *2			
FF2AH	R/W			KCP20	0 *3	- *2	↓	↓	未使用 未使用 未使用 K20入力比較レジスタ
	0	0	0	SENON	0 *3	- *2			
	R			R/W	0 *3	- *2			
	R/W			SENON	1	On			
FF2BH	R/W			R03HIZ	0	High-Z	Output	R03出力ハイインピーダンス制御(FOUTE=0) FOUT出力ハイインピーダンス制御(FOUTE=1) R02出力ハイインピーダンス制御(PTOUT=0) TOUT出力ハイインピーダンス制御(PTOUT=1) R01出力ハイインピーダンス制御 R00出力ハイインピーダンス制御	
	R03HIZ	R02HIZ	R01HIZ	R00HIZ	R02HIZ	0	High-Z		
	R/W			R01HIZ	0	High-Z			
	R/W			R00HIZ	0	High-Z			
FF31H	R03	R02	R01	R00	R03	1	High	Low	R03出力ポートデータ(FOUTE=0) FOUT出力時は1に固定
	R/W			R02	1	High	Low	R02出力ポートデータ(PTOUT=0) TOUT出力時は1に固定	
	R01	R01	R01	R00	R01	1	High	Low	R01出力ポートデータ
	R/W			R00	1	High	Low	R00出力ポートデータ	
FF32H	0	0	0	R1HIZ	0 *3	- *2	Output	未使用 未使用 未使用 R1出力ハイインピーダンス制御	
	R			R/W	0 *3	- *2			
	R/W			R1HIZ	0	High-Z			
	R/W			R1HIZ	0	High-Z			
FF33H	R13	R12	R11	R10	R13	1	High	Low	R10 ~ R13出力ポートデータ
	R/W			R12	1	High	Low		
	R/W			R11	1	High	Low		
	R/W			R10	1	High	Low		
FF34H	0	0	0	R2HIZ	0 *3	- *2	Output	未使用 未使用 未使用 R2出力ハイインピーダンス制御	
	R			R/W	0 *3	- *2			
	R/W			R2HIZ	0	High-Z			
	R/W			R2HIZ	0	High-Z			
FF35H	R23	R22	R21	R20	R23	1	High	Low	R20 ~ R23出力ポートデータ
	R/W			R22	1	High	Low		
	R/W			R21	1	High	Low		
	R/W			R20	1	High	Low		
FF40H	IOC03	IOC02	IOC01	IOC00	IOC03	0	Output	Input	P00 ~ P03 I/O制御レジスタ
	R/W			IOC02	0	Output	Input		
	R/W			IOC01	0	Output	Input		
	R/W			IOC00	0	Output	Input		
FF41H	PUL03	PUL02	PUL01	PUL00	PUL03	1	On	Off	P00 ~ P03 プルアップ制御レジスタ
	R/W			PUL02	1	On	Off		
	R/W			PUL01	1	On	Off		
	R/W			PUL00	1	On	Off		
FF42H	P03	P02	P01	P00	P03	- *2	High	Low	P00 ~ P03入出力兼用ポートデータ
	R/W			P02	- *2	High	Low		
	R/W			P01	- *2	High	Low		
	R/W			P00	- *2	High	Low		
FF44H	IOC13	IOC12	IOC11	IOC10	IOC13	0	Output	Input	P13 I/O制御レジスタ SIF(スレーブ)選択時、汎用レジスタとして機能 P12 I/O制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能 P11 I/O制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能 P10 I/O制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能
	R/W			IOC12	0	Output	Input		
	R/W			IOC11	0	Output	Input		
	R/W			IOC10	0	Output	Input		

表4.1.1(c) I/Oメモリマップ(FF45H ~ FF51H)

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF45H	PUL13	PUL12	PUL11	PUL10	PUL13	1	On	Off	P13ブルアップ制御レジスタ SIF(スレーブ)選択時、汎用レジスタとして機能
					PUL12	1	On	Off	P12ブルアップ制御レジスタ(ESIF=0) SIF(マスター)選択時、汎用レジスタとして機能
					PUL11	1	On	Off	SIF(スレーブ)選択時、SCLK(1)ブルアップ制御レジスタ P11ブルアップ制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能
					PUL10	1	On	Off	P10ブルアップ制御レジスタ(ESIF=0) SIF選択時、SINブルアップ制御レジスタ
FF46H	P13	P12	P11	P10	P13	- *2	High	Low	P13入出力兼用ポートデータ SIF(スレーブ)選択時、汎用レジスタとして機能
					P12	- *2	High	Low	P12入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能
					P11	- *2	High	Low	P11入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能
					P10	- *2	High	Low	P10入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能
FF48H	IOC23	IOC22	IOC21	IOC20	IOC23	0	Output	Input	P20～P23 I/O制御レジスタ
					IOC22	0	Output	Input	
FF49H	PUL23	PUL22	PUL21	PUL20	PUL23	1	On	Off	P20～P23ブルアップ制御レジスタ
					PUL22	1	On	Off	
					PUL21	1	On	Off	
					PUL20	1	On	Off	
FF4AH	P23	P22	P21	P20	P23	- *2	High	Low	P20～P23入出力兼用ポートデータ
					P22	- *2	High	Low	
					P21	- *2	High	Low	
					P20	- *2	High	Low	
FF4CH	IOC33	IOC32	IOC31	IOC30	IOC33	0	Output	Input	P30～P33 I/O制御レジスタ
					IOC32	0	Output	Input	
FF4DH	PUL33	PUL32	PUL31	PUL30	PUL33	1	On	Off	P30～P33ブルアップ制御レジスタ
					PUL32	1	On	Off	
					PUL31	1	On	Off	
					PUL30	1	On	Off	
FF4EH	P33	P32	P31	P30	P33	- *2	High	Low	P30～P33入出力兼用ポートデータ
					P32	- *2	High	Low	
					P31	- *2	High	Low	
					P30	- *2	High	Low	
FF50H	IOC43	IOC42	IOC41	IOC40	IOC43	0	Output	Input	P43 I/O制御レジスタ(PAD3=0) A/Dイネーブル時、汎用レジスタとして機能
					IOC42	0	Output	Input	
					IOC41	0	Output	Input	
					IOC40	0	Output	Input	
FF51H	PUL43	PUL42	PUL41	PUL40	PUL43	1	On	Off	P43ブルアップ制御レジスタ(PAD3=0) A/Dイネーブル時、汎用レジスタとして機能
					PUL42	1	On	Off	
					PUL41	1	On	Off	
					PUL40	1	On	Off	

表4.1.1(d) I/Oメモリマップ(FF52H ~ FFC3H)

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF52H	P43	P42	P41	P40	P43	- *2	High	Low	P43入出力兼用ポートデータ(PAD3=0) A/Dイネーブル時、汎用レジスタとして機能
					P42	- *2	High	Low	P42入出力兼用ポートデータ(PAD2=0) A/Dイネーブル時、汎用レジスタとして機能
					P41	- *2	High	Low	P41入出力兼用ポートデータ(PAD1=0) A/Dイネーブル時、汎用レジスタとして機能
					P40	- *2	High	Low	P40入出力兼用ポートデータ(PAD0=0) A/Dイネーブル時、汎用レジスタとして機能
FF64H	0	ENON	BZFQ	BZON	0 *3	- *2	On	Off	未使用
					ENON	0	2kHz	4kHz	2HzインターバルOn/Off制御
	R	R/W			BZFQ	0	On	Off	ブザー周波数選択
FF70H	0	ESOUT	SCTRG	ESIF	0 *3	- *2	Enable	Disable	未使用
					ESOUT	0	Trigger	Invalid	SOUT制御
	R	R/W			SCTRG	0	Run	Stop	シリアルI/Fクロックトリガ(書き込み時)
FF71H	SDP	SCPS	SCS1	SCS0	SDP	0	MSB first	LSB first	シリアルI/Fデータ入出力順列
					SCPS	0			シリアルI/Fクロックフェーズ選択
		R/W			SCS1	0			負極性選択時(マスクオプション)
					SCS0	0			正極性選択時(マスクオプション)
FF72H	SD3	SD2	SD1	SD0	SD3	- *2	High	Low	シリアルI/Fクロックモード選択
					SD2	- *2	High	Low	[SCS1, 0] 0 1
		R/W			SD1	- *2	High	Low	シリアルI/Fクロックスレーブ PT
FF73H	SD7	SD6	SD5	SD4	SD7	- *2	High	Low	[SCS1, 0] 2 3
					SD6	- *2	High	Low	シリアルI/Fクロックモード選択
		R/W			SD5	- *2	High	Low	シリアルI/F送受信データ(上位4ビット)
FF78H	0	0	TMRST	TMRUN	0 *3	- *2			シリアルI/F送受信データ(下位4ビット)
					0 *3	- *2			MSB
	R		W	R/W	TMRST*3	Reset	Reset	Invalid	シリアルI/F送受信データ(上位4ビット)
FF79H	TM3	TM2	TM1	TM0	TM3	0			LSB
					TM2	0			計時タイマリセット(書き込み時)
		R			TM1	0			計時タイマRun/Stop
FF7AH	TM7	TM6	TM5	TM4	TM7	0			計時タイマデータ(1Hz)
					TM6	0			計時タイマデータ(2Hz)
		R			TM5	0			計時タイマデータ(4Hz)
FFC0H	MODE16	EVCNT	FCSEL	PLPOL	MODE16	0	16bit × 1	8 bit × 2	計時タイマデータ(8Hz)
					EVCNT	0	Event ct.	Timer	計時タイマデータ(16Hz)
	R	R/W			FCSEL	0	With NR	No NR	計時タイマデータ(32Hz)
FFC1H	CHSEL	PTOUT	CKSEL1	CKSEL0	CHSEL	0	Timer1	Timer0	計時タイマデータ(64Hz)
					PTOUT	0	On	Off	計時タイマデータ(128Hz)
		R/W			CKSEL1	0	OSC3	OSC1	プリスケーラ1原振クロック選択
FFC2H	PTPS01	PTPS00	PTRST0	PTRUN0	PTPS01	0			プリスケーラ0原振クロック選択
					PTPS00	0			[PTPS01, 00] 0 1 2 3
		R/W			PTRST0*3	- *2	Reset	Invalid	分周比選択
FFC3H	PTPS11	PTPS10	PTRST1	PTRUN1	PTPS11	0			分周比
					PTPS10	0			1/1 1/4 1/32 1/256
		R/W			PTRST1*3	- *2	Reset	Invalid	タイマ0リセット(リロード)
					PTRUN1	0	Run	Stop	タイマ0 Run/Stop
		R/W							タイマ1リセット(リロード)
									タイマ1 Run/Stop

表4.1.1(e) I/Oメモリマップ(FFC4H ~ FFE3H)

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FFC4H	RLD03	RLD02	RLD01	RLD00	RLD03	0			MSB
					RLD02	0			プログラマブルタイマ0リロードデータ(下位4ビット)
	R/W				RLD01	0			LSB
					RLD00	0			
FFC5H	RLD07	RLD06	RLD05	RLD04	RLD07	0			MSB
					RLD06	0			プログラマブルタイマ0リロードデータ(上位4ビット)
	R/W				RLD05	0			LSB
					RLD04	0			
FFC6H	RLD13	RLD12	RLD11	RLD10	RLD13	0			MSB
					RLD12	0			プログラマブルタイマ1リロードデータ(下位4ビット)
	R/W				RLD11	0			LSB
					RLD10	0			
FFC7H	RLD17	RLD16	RLD15	RLD14	RLD17	0			MSB
					RLD16	0			プログラマブルタイマ1リロードデータ(上位4ビット)
	R/W				RLD15	0			LSB
					RLD14	0			
FFC8H	PTD03	PTD02	PTD01	PTD00	PTD03	0			MSB
					PTD02	0			プログラマブルタイマ0データ(下位4ビット)
	R				PTD01	0			LSB
					PTD00	0			
FFC9H	PTD07	PTD06	PTD05	PTD04	PTD07	0			MSB
					PTD06	0			プログラマブルタイマ0データ(上位4ビット)
	R				PTD05	0			LSB
					PTD04	0			
FFCAH	PTD13	PTD12	PTD11	PTD10	PTD13	0			MSB
					PTD12	0			プログラマブルタイマ1データ(下位4ビット)
	R				PTD11	0			LSB
					PTD10	0			
FFCBH	PTD17	PTD16	PTD15	PTD14	PTD17	0			MSB
					PTD16	0			プログラマブルタイマ1データ(上位4ビット)
	R				PTD15	0			LSB
					PTD14	0			
FFD0H	ADRUN	ADCLK	CHS1	CHS0	ADRUN	0	Start OSC3	Invalid OSC1	A/D変換器Run/Off制御
					ADCLK	0			A/D変換器入力クロック選択
	R/W				CHS1	0			[CHS1,0] 0 1 2 3
					CHS0	0			チャンネル選択 入力チャンネル P40 P41 P42 P43
FFD1H	PAD3	PAD2	PAD1	PAD0	PAD3	0	Enable	Disable	P43入力チャンネル制御
					PAD2	0			P42入力チャンネル制御
	R/W				PAD1	0			P41入力チャンネル制御
					PAD0	0			P40入力チャンネル制御
FFD2H	ADDR3	ADDR2	ADDR1	ADDR0	ADDR3	-*2			A/D変換データ(D0 ~ D3)
					ADDR2	-*2			
	R				ADDR1	-*2			
					ADDR0	-*2			
FFD3H	ADDR7	ADDR6	ADDR5	ADDR4	ADDR7	-*2			A/D変換データ(D4 ~ D7)
					ADDR6	-*2			
	R				ADDR5	-*2			
					ADDR4	-*2			
FFE2H	0	0	EIPT1	EIPT0	0 *3	-*2	Enable	Mask	未使用
					0 *3	-*2			未使用
	R/W				EIPT1	0			割り込みマスクレジスタ(プログラマブルタイマ1)
					EIPT0	0			割り込みマスクレジスタ(プログラマブルタイマ0)
FFE3H	0	0	0	EISIF	0 *3	-*2	Enable	Mask	未使用
					0 *3	-*2			未使用
	R/W				EISIF	0 *3			未使用
					EISIF	0			割り込みマスクレジスタ(シリアルI/F)

表4.1.1(f) I/Oメモリマップ(FFE4H~FFF7H)

アドレス	レジスタ				注釈				
	D3	D2	D1	D0	Name	Init *1	1	0	
FFE4H	0	0	0	EIK0	0 *3	- *2			未使用
	R			R/W	0 *3	- *2			未使用
				EIK0	0 *3	- *2			未使用
					0	Enable	Mask		割り込みマスクレジスタ(K00~K03)
FFE5H	0	0	EIK2	EIK1	0 *3	- *2			未使用
	R			R/W	0 *3	- *2			未使用
				EIK2	0	Enable	Mask		割り込みマスクレジスタ(K20)
				EIK1	0	Enable	Mask		割り込みマスクレジスタ(K10~K13)
FFE6H	EIT3	EIT2	EIT1	EIT0	EIT3	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ1Hz)
	R/W			EIT2	0	Enable	Mask		割り込みマスクレジスタ(計時タイマ2Hz)
				EIT1	0	Enable	Mask		割り込みマスクレジスタ(計時タイマ8Hz)
				EIT0	0	Enable	Mask		割り込みマスクレジスタ(計時タイマ16Hz)
FFE7H	0	0	0	EIAD	0 *3	- *2			未使用
	R			R/W	0 *3	- *2			未使用
				EIAD	0	Enable	Mask		割り込みマスクレジスタ(A/D変換器)
FFF2H	0	0	IPT1	IPT0	0 *3	- *2	(R)	(R)	未使用
	R			R/W	0 *3	- *2	Yes	No	未使用
				IPT1	0	(W)	(W)		割り込み要因フラグ(プログラマブルタイマ1)
				IPT0	0	Reset	Invalid		割り込み要因フラグ(プログラマブルタイマ0)
FFF3H	0	0	0	ISIF	0 *3	- *2	(R)	(R)	未使用
	R			R/W	0 *3	- *2	Yes	No	未使用
				ISIF	0 *3	- *2	(W)	(W)	未使用
					0	Reset	Invalid		割り込み要因フラグ(シリアルI/F)
FFF4H	0	0	0	IK0	0 *3	- *2	(R)	(R)	未使用
	R			R/W	0 *3	- *2	Yes	No	未使用
				IK0	0 *3	- *2	(W)	(W)	未使用
					0	Reset	Invalid		割り込み要因フラグ(K00~K03)
FFF5H	0	0	IK2	IK1	0 *3	- *2	(R)	(R)	未使用
	R			R/W	0 *3	- *2	Yes	No	未使用
				IK2	0	(W)	(W)		割り込み要因フラグ(K20)
				IK1	0	Reset	Invalid		割り込み要因フラグ(K10~K13)
FFF6H	IT3	IT2	IT1	ITO	IT3	0	(R)	(R)	割り込み要因フラグ(計時タイマ1Hz)
	R/W			IT2	0	Yes	No		割り込み要因フラグ(計時タイマ2Hz)
				IT1	0	(W)	(W)		割り込み要因フラグ(計時タイマ8Hz)
				ITO	0	Reset	Invalid		割り込み要因フラグ(計時タイマ16Hz)
FFF7H	0	0	0	IAD	0 *3	- *2	(R)	(R)	未使用
	R			R/W	0 *3	- *2	Yes	No	未使用
				IAD	0 *3	- *2	(W)	(W)	未使用
					0	Reset	Invalid		割り込み要因フラグ(A/D変換器)

4.2 電源と動作モードの設定

ここでは電源電圧に対応した動作モードの制御方法について説明します。電源回路の構成等については "2.1 電源系" を参照してください。

4.2.1 電源電圧の制御

外部より供給される電源電圧 V_{DD} が低く(1.35V 以下) 発振系定電圧回路を駆動するために必要な電圧値が得られない場合、あるいは低い電源電圧 V_{DD} (1.6V 以下) による A/D 変換誤差を抑える場合、それぞれの回路を昇圧回路で発生する V_{C2} で駆動することができます。

電源電圧 V_{C2} の制御はレジスタ DBON で行います。

- 通常動作の場合: DBON = "0" に設定
- V_{C2} 電源電圧使用の場合: DBON = "1" に設定

電源電圧 V_{C2} は発振系定電圧回路と A/D 変換器に共通のため、どちらか一方でも V_{C2} 電圧を使用する場合は、それに合わせて設定します。

発振系定電圧回路と A/D 変換器はそれぞれ個別に駆動電圧を V_{DD} と V_{C2} から選択できるようになります。この動作モードの制御を、発振系定電圧回路はレジスタ VDSEL、A/D 変換器はレジスタ VADSEL で行い、そのレジスタに "1" を書き込むことにより V_{C2} が、"0" で V_{DD} が駆動電源電圧として選択されます。DBON により昇圧回路を ON してから V_{C2} が安定するまで約 100msec の時間が必要です。このため、動作モードの切り換えは次のシーケンスで行ってください。

通常モード V_{C2} モード

1. 昇圧回路を ON (DBON = "1" に設定)
2. 100msec 以上保持
3. VDSEL (発振系定電圧回路) または VADSEL (A/D 変換器) に "1" を設定

V_{C2} モード 通常モード

1. VDSEL または VADSEL に "0" を設定
 2. 昇圧回路を OFF (DBON = "0" に設定)
- * VDSEL または VADSEL のいずれか一方でも "1" の設定のまま使用する場合は、DBON も "1" のままとしてください。

- 注:
- 電源電圧が動作モードの指定電圧範囲外の場合は、その動作モードへの切り換えを行わないでください。誤動作あるいは消費電流の増加につながります。
 - 0.9V ~ 1.35V の電源電圧で動作させる場合は、ソフトウェアによる制御が必要です。発振系定電圧回路を V_{C2} モードに設定してください。電源電圧が 1.35V 以上の場合、発振系定電圧回路を V_{C2} モードには設定しないでください。イニシャルリセット時は通常モードに設定されます。
 - 電源電圧が 0.9V ~ 1.6V の場合に A/D 変換器を使用する場合は、ソフトウェアによる制御が必要です。A/D 変換器を V_{C2} モードに設定してください。電源電圧が 1.6V 以上の場合、A/D 変換器を V_{C2} モードには設定しないでください。イニシャルリセット時は通常モードに設定されます。

4.2.2 発振系定電圧回路の動作モードと内部動作電圧

発振系定電圧回路は発振回路と内部ロジック回路用の動作電圧 V_{D1} を発生します。この V_{D1} は使用する発振回路にしたがって切り換える必要があります。電源電圧によっては発振系定電圧回路の動作モードも切り換える必要があります。

V_{D1} と発振回路の制御については "4.4 発振回路" で述べることとし、ここではその前に行う発振系定電圧回路の動作モードについて説明します。

以下に電源電圧と発振回路にしたがった設定内容を示します。

表4.2.2.1 電源電圧と動作モード

電源回路	動作条件	動作電圧 VD1(V)	電源電圧VDD(V)		
			0.9~1.35	1.35~2.2	2.2~3.6
発振系	OSC1	1.3	Vc2モード	通常モード*	
定電圧回路	OSC3, 4MHz	2.1	動作不可		通常モード

* ブザー駆動時やランプ点灯時など、電池の負荷が重くなり電源電圧が低下する場合(重負荷時)
または電池の寿命による電源電圧低下をSVD回路で検出した場合、Vc2モードを設定してください。

(1)電源電圧VDD = 0.9V ~ 1.35V

この範囲の電源電圧の場合、発振系定電圧回路はVc2モードでのみ動作可能です。
ソフトウェアによりVc2モードに設定し、動作中は他のモードに変更しないでください。

(2)電源電圧VDD = 1.35V ~ 2.2V

OSC1クロックによりCPUを動作させる場合(OSC3発振回路はOFF) 発振系定電圧回路は通常モードで動作可能です。Vc2モードは消費電流が増加しますので設定しないでください。

(3)電源電圧VDD = 2.2V ~ 3.6V

この範囲の電源電圧の場合、発振回路の設定にいかわらず発振系定電圧回路は通常モードで動作可能です。Vc2モードは絶対に設定しないでください。
この電圧範囲でOSC3発振回路が使用できます。

4.2.3 A/D変換器電源の動作モード

A/D変換器はアナログ系電源としてAVDD、内部制御回路用の電源としてVDDまたはVc2を使用します。

表4.2.3.1 電源電圧と動作モード(A/D変換器)

回路	電源電圧VDD(V)	
	0.9~1.6	1.6~3.6
A/D変換器	Vc2モード	通常モード

(1)電源電圧VDD = 0.9V ~ 1.6V

この範囲の電源電圧の場合、変換精度を確保するためVADSELに"1"を書き込み、A/D変換器をVc2で動作させてください。

(2)電源電圧VDD = 1.6V ~ 3.6V

この範囲の電源電圧の場合、A/D変換器を通常モードで動作させてください。Vc2モードは設定しないでください。

4.2.4 電源と動作モードのI/Oメモリ

表4.2.4.1に電源と動作モードの制御ビットとそのアドレスを示します。

表4.2.4.1 電源と動作モードの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF01H	VADSEL	VDSEL	0	DBON	VADSEL	0	Vc2	VDD	A/D変換器用電源選択
					VDSEL	0	Vc2	VDD	発振系定電圧回路用電源選択
	R/W	R	R/W	DBON	0 *3	- *2	On	Off	未使用 昇圧回路On/Off

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

DBON: 昇圧回路ON/OFF制御レジスタ(FF01H·D0)

昇圧回路をON/OFFします。

"1"書き込み: 昇圧ON

"0"書き込み: 昇圧OFF

読み出し: 可能

電源電圧が0.9V ~ 1.35Vの場合に、内部電源回路を駆動するVc2を昇圧回路によって発生させます。DBONに"1"を書き込むことにより、昇圧回路はVc2を発生します。"0"を書き込んだ場合、昇圧は行われません。電源電圧が1.35V以上の場合は、ブザー駆動時やランプ点灯時など、電池の負荷が重くなり電源電圧が低下する場合(重負荷時)を除き、発振系定電圧回路用にVc2電圧を使用しないでください。

同様に、電源電圧が1.6V以上の場合は、A/D変換器用にVc2電圧を使用しないでください。

イニシャルリセット時、このレジスタは"0"に設定されます。

VDSEL: 発振系定電圧回路用電源選択レジスタ(FF01H·D2)

発振系定電圧回路駆動電源を選択します。

"1"書き込み: Vc2

"0"書き込み: VDD

読み出し: 可能

VDSELに"1"を書き込むことにより、発振系定電圧回路はVc2モードとなり、昇圧回路が outputするVc2で動作します。VDSELに"0"を設定した場合は、発振系定電圧回路がVDDで動作し、動作モードは通常モードとなります。

通常モードからVc2モードに切り換える場合、DBONを"1"に設定してからVc2が安定する100msec以上の時間をおいてVDSELを"1"に設定してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

VADSEL: A/D変換器用電源選択レジスタ(FF01H·D3)

A/D変換器の駆動電源を選択します。

"1"書き込み: Vc2

"0"書き込み: VDD

読み出し: 可能

VADSELに"1"を書き込むことにより、A/D変換器はVc2モードとなり、昇圧回路が outputするVc2で動作します。VADSELに"0"を設定した場合は、A/D変換器がVDDで動作し、動作モードは通常モードとなります。

通常モードからVc2モードに切り換える場合、DBONを"1"に設定してからVc2が安定する100msec以上の時間をおいてVADSELを"1"に設定してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

電源電圧VDDが1.6V以下の場合は、Vc2モードでA/D変換器を動作させてください。

4.2.5 プログラミング上の注意事項

- (1)0.9V ~ 1.35Vの電源電圧で動作させる場合は、ソフトウェアによる制御が必要です。発振系定電圧回路をVC2モードに設定してください。電源電圧が1.35V以上の場合、発振系定電圧回路をVC2モードには設定しないでください。
- (2)電源電圧が0.9V ~ 1.6Vの場合にA/D変換器を使用する場合は、ソフトウェアによる制御が必要です。A/D変換器をVC2モードに設定してください。電源電圧が1.6V以上の場合、A/D変換器をVC2モードには設定しないでください。
- (3)電源電圧が動作モードの指定電圧範囲外の場合は、その動作モードへの切り換えを行わないでください。誤動作あるいは消費電流の増加につながります。
- (4)通常モードからVC2モードに切り換える場合、DBONを"1"に設定してからVC2が安定する100msec以上の時間をおいてVDSELまたはVADSELを"1"に設定してください。
- (5)VC2モードから通常モードに切り換える場合は、切り換え(VDSEL = "0" または VADSEL = "0")と昇圧回路のOFF(DBON = "0")は別々のインストラクションで行ってください。1つのインストラクションによる同時処理は誤動作の原因になります。
- (6)OSC3発振回路は、電源電圧が2.2V ~ 3.6Vの通常モード時にのみ動作可能です。

4.3 ウオッチドッグタイマ

4.3.1 ウオッチドッグタイマの構成

S1C63158はOSC1分周クロック256Hzを原振とするウオッチドッグタイマを内蔵しています。ウオッチドッグタイマはイニシャルリセット時に動作状態に設定されますが、ソフトウェアにより動作を停止させることができます。ウオッチドッグタイマが動作中はソフトウェアにより周期的にリセットする必要があり、3~4秒以上リセットが行われない場合、CPUにに対してノンマスカブル割り込み(NMI)を発生します。

図4.3.1.1にウオッチドッグタイマのブロック図を示します。

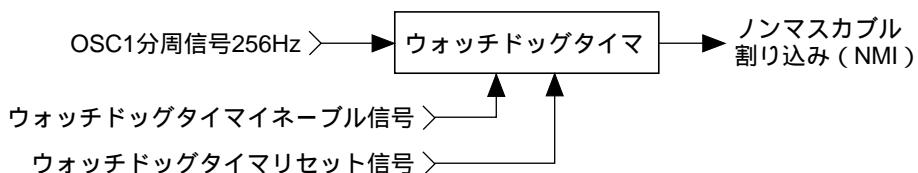


図4.3.1.1 ウオッチドッグタイマのブロック図

ウオッチドッグタイマは10ビットのバイナリカウンタで構成され、最終段0.25Hzのオーバーフローによってノンマスカブル割り込みを発生します。

プログラムのメインルーチン上でウオッチドッグタイマのリセット処理をすることにより、メインルーチンのウオッチドッグタイマ処理を通らないようなプログラムの暴走を検出することができます。通常はこのルーチンをタイマ割り込みルーチンのように、定期的に処理される箇所に組み込みます。

なお、ウオッチドッグタイマはHALT時も動作しており、HALT状態を3~4秒間続けるとノンマスカブル割り込みによりHALT状態が解除されます。

4.3.2 割り込み機能

ウオッチドッグタイマがソフトウェアによって周期的にリセットされない場合、コアCPUにノンマスカブル(NMI)割り込みが発生します。この割り込みはマスク不可能で、割り込み禁止状態(フラグ="0")でも受け付けられます(イニシャルリセット直後やスタックポインタ再設定時など、SP1およびSP2がペアで設定されるまでの割り込みマスク状態は除きます)。

NMIの割り込みベクタはプログラムメモリの0100Hに設定されています。

4.3.3 ウオッヂドッグタイマのI/Oメモリ

表4.3.3.1にウォッヂドッグタイマの制御ビットとそのアドレスを示します。

表4.3.3.1 ウォッヂドッグタイマの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF07H	0	0	WDEN	WDRST	0 *3	- *2			未使用
					0 *3	- *2			未使用
	R	R/W	W		WDEN	1	Enable	Disable	ウォッヂドッグタイママイネーブル
					WDRST*3	Reset	Reset	Invalid	ウォッヂドッグタイマリセット(書き込み時)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

WDEN: ウォッヂドッグタイママイネーブルレジスタ(FF07H·D1)

ウォッヂドッグタイマを使用する(イネーブル)かしない(ディセーブル)か選択します。

"1"書き込み: イネーブル

"0"書き込み: ディセーブル

読み出し: 可能

WDENレジスタに"1"を書き込むことによりウォッヂドッグタイマはイネーブルとなり カウント動作を行います。

"0"を書き込んだ場合はディセーブルとなり、カウント動作および割り込み(NMI)の発生も行いません。

イニシャルリセット時、このレジスタは"1"にセットされます。

WDRST: ウォッヂドッグタイマリセット(FF07H·D0)

ウォッヂドッグタイマをリセットするビットです。

"1"書き込み: ウォッヂドッグタイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

WDRSTに"1"を書き込むことによりウォッヂドッグタイマはリセットされ、その直後リスタートします。"0"の書き込みはノーオペレーションとなります。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

4.3.4 プログラミング上の注意事項

(1)ウォッヂドッグタイマを使用する場合、3秒周期以内にソフトウェアでウォッヂドッグタイマをリセットする必要があります。

(2)イニシャルリセットにより ウォッヂドッグタイマは動作状態に設定されますので、使用しない場合は割り込み(NMI)発生前にウォッヂドッグタイマをディセーブル(使用しない)に設定してください。

4.4 発振回路

4.4.1 発振回路の構成

S1C63158は2系統の発振回路(OSC1とOSC3)を内蔵しています。このうちOSC1は水晶またはCR発振回路で、CPUおよび周辺回路に動作クロックを供給します。また、OSC3はCRまたはセラミック発振回路で、高速動作が要求される処理が必要な場合に、CPUの動作クロックをソフトウェアによりOSC1からOSC3に切り換えて使用します。内部回路の動作を安定させるために、使用する発振回路によって動作電圧VD1もソフトウェアによって切り換える必要があります。

図4.4.1.1に発振系のブロック図を示します。

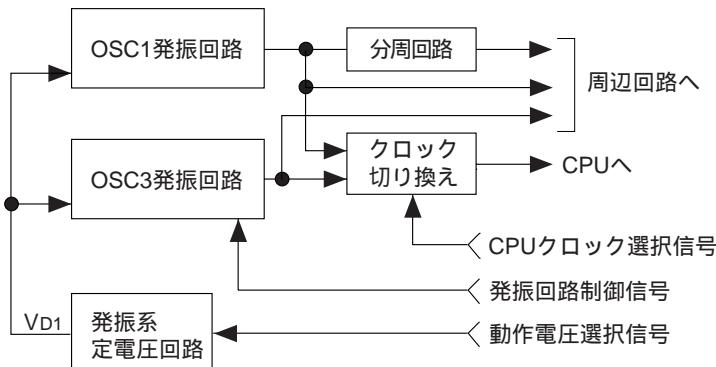


図4.4.1.1 発振系のブロック図

4.4.2 OSC1発振回路

OSC1発振回路はCPUおよび周辺回路用のメインクロックを発生します。発振回路の種類として、水晶発振回路またはCR発振回路のいずれかをマスクオプションによって選択できます。

発振周波数は水晶発振回路の場合が32.768kHz(Typ.)、CR発振回路の場合が60kHz(Typ.)です。

図4.4.2.1にOSC1発振回路のブロック図を示します。

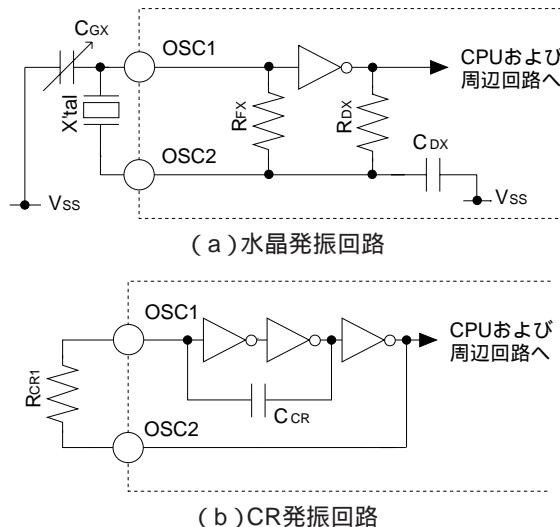


図4.4.2.1 OSC1発振回路

図4.4.2.1に示すとおり、水晶発振を選択した場合は、OSC1端子とOSC2端子間に32.768kHz(Typ.)の水晶振動子(X'tal)を、OSC1端子とVss間にトリマコンデンサ(C_{GX})をそれぞれ接続することにより、容易に水晶発振回路を構成することができます。

CR発振を選択した場合はOSC1端子とOSC2端子間に抵抗(R_{CR1})を接続するだけでCR発振回路を構成できます。R_{CR1}の抵抗値については"7 電気的特性"を参照してください。

- 注:
- CR発振は水晶発振に比べ消費電流が大きくなります。
 - CR発振は発振周波数が多少変動しますので、それに対する考慮が必要です。
特に、f_{OSC1}を原振としているタイマ(時計のずれ)、サウンドジェネレータ(音質の変化)等には注意が必要です。

4.4.3 OSC3発振回路

S1C63158はCPUを高速動作させるためのサブクロック、および高速クロックを必要とする周辺回路(プログラマブルタイマ、FOUT出力)のソースクロックを発生するOSC3発振回路を内蔵しています。この発振回路にはCRまたはセラミック発振回路をマスクオプションで選択できます。CR発振選択時は外付素子として抵抗が、セラミック発振選択時はセラミック振動子とコンデンサ2個(ゲート容量とドレイン容量)が必要となります。

図4.4.3.1にOSC3発振回路のブロック図を示します。

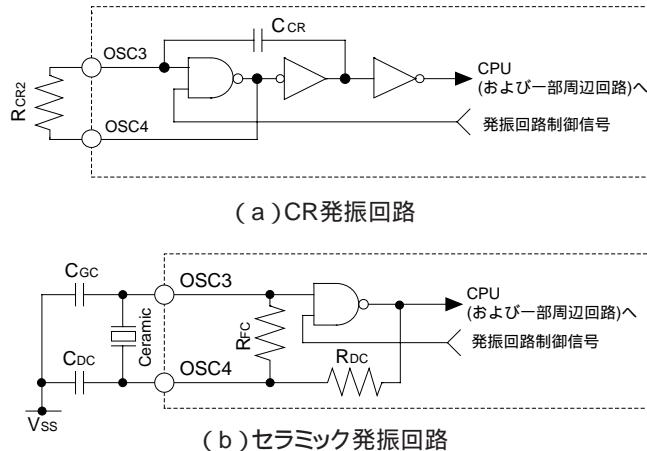


図4.4.3.1 OSC3発振回路

図4.4.3.1に示すとおり、CR発振を選択した場合はOSC3端子とOSC4端子間に抵抗(RCR_2)を接続するだけでCR発振回路を構成できます。 RCR_2 の抵抗値については"7 電気的特性"を参照してください。

セラミック発振を選択した場合はOSC3端子とOSC4端子間にセラミック振動子(Max. 4MHz)を、同OSC3、OSC4端子とVss間にコンデンサを2個(C_{gc} 、 C_{dc})それぞれ接続することでセラミック発振回路を構成できます。 C_{gc} 、 C_{dc} は共に100pF程度のものを感じてください。

このOSC3発振回路は消費電流を低減するために、使用しないときはソフトウェア(OSCCレジスタ)によって発振を停止させることができます。

4.4.4 動作電圧切り換え

OSC1とOSC3のどちらをCPUのシステムクロックとして使用するかソフトウェア(CLKCHGレジスタ)によって切り換えます。この場合、動作を安定させるために内部回路の動作電圧VD1もソフトウェア(VDCレジスタ)によって切り換える必要があります。

VD1は発振系定電圧回路が発生しますが、"4.2 電源と動作モードの設定"で述べたように、発振系定電圧回路は電源電圧にしたがって適切な動作モードに設定する必要があります。

表4.4.4.1にシステムクロックと動作電圧VD1、発振系定電圧回路の動作モードの対応を示します。

表4.4.4.1 システムクロックと動作電圧

動作条件	動作電圧 VD1(V)	電源電圧VDD(V)		
		0.9~1.35	1.35~2.2	2.2~3.6
OSC1	1.3	Vc2モード	通常モード*	
OSC3, 4MHz	2.1	動作不可		通常モード

* ブザー駆動時やランプ点灯時など、電池の負荷が重くなり電源電圧が低下する場合(重負荷時) または電池の寿命による電源電圧低下をSVD回路で検出した場合、Vc2モードを設定してください。

動作電圧とシステムクロックの切り換えを行う場合は、その前後に発振系定電圧回路の動作モードを正しく設定してください。("4.2 電源と動作モードの設定"を参照)

CPUのシステムクロックとしてOSC3を使用する場合は、ソフトウェアにより動作モード(必要な場合のみ) 動作電圧VD1を切り換え、動作が安定する2.5msec以上の時間においてOSC3の発振をONし、さらに発振が安定する5msec以上の時間においてクロックの切り換えを行ってください。

OSC3からOSC1に切り換える場合は、クロックを切り換え後にOSC3発振をOFFし、最後に動作電圧VD1を1.3Vに設定します。必要であれば、その後に動作モードを切り換えます。

OSC1 OSC3	OSC3 OSC1
1. OSC3用の動作モードを設定 *1	1. CLKCHGに"0"を設定(OSC3 OSC1)
2. VDCに"1"を設定(1.3V 2.1V)	2. OSCCに"0"を設定(OSC3発振OFF)
3. 2.5msec以上保持	3. VDCに"0"を設定(2.1V 1.3V)
4. OSCCに"1"を設定(OSC3発振ON)	4. OSC1用の動作モードを設定 *1
5. 5msec以上保持	
6. CLKCHGに"1"を設定(OSC1 OSC3)	(*1は変更の必要がある場合のみ)

ただし、マスクオプションでOSC1にCR発振回路を選択し、OSC3発振回路(CRまたはセラミック)を使用するとした場合はVD1の電圧値が2.1V固定となりますので、ソフトウェアによるVD1の切り換えは必要ありません。OSC3発振回路を使用しない場合は、OSC1がCR発振回路の場合でもVD1=1.3Vで動作可能です。

電源電圧別の発振系定電圧回路の動作モード設定を以下に示します。

(1)電源電圧VDD = 0.9V ~ 1.35V

この範囲の電源電圧の場合、発振系定電圧回路はVc2モードでのみ動作可能です。

(2)電源電圧VDD = 1.35V ~ 2.2V

システムクロックがOSC1の場合は通常モードで動作させます。

(3)電源電圧VDD = 2.2V ~ 3.6V

この範囲の電源電圧の場合、システムクロックの選択にかかわらず常時通常モードとなります。したがってシステムクロック切り換えの前後に動作モードの変更は必要ありません。

4.4.5 クロック周波数とインストラクション実行時間

表4.4.5.1に各クロックの周波数によるインストラクションの実行時間と示します。

表4.4.5.1 クロック周波数とインストラクション実行時間

クロック周波数	インストラクション実行時間(μ sec)		
	1サイクル命令	2サイクル命令	3サイクル命令
OSC1: 32.768kHz	61	122	183
OSC1: 60kHz	33	66	100
OSC3: 4MHz	0.5	1	1.5

4.4.6 発振回路のI/Oメモリ

表4.4.6.1に発振回路の制御ビットとそのアドレスを示します。

表4.4.6.1 発振回路の制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF00H	CLKCHG	OSCC	0	VDC	CLKCHG	0	OSC3	OSC1	CPUクロック切り換え
					OSCC	0	On	Off	OSC3発振On/Off
	R/W	R	R/W	VDC	0 *3	— *2			未使用
				VDC	0	2.1V	1.3V		CPU動作電圧切り換え(1.3V: OSC1, 2.1V: OSC3)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

VDC: CPU動作電圧切り換えレジスタ(FF00H·D0)

動作電圧VD1の切り換えを行います。

"1"書き込み: 2.1V (OSC3動作時)

"0"書き込み: 1.3V (OSC1動作時)

読み出し: 可能

CPUシステムクロックをOSC1水晶発振クロックまたはOSC3クロックに切り換える場合に、動作電圧VD1も切り換えます。

OSC1からOSC3に切り換える場合は、OSC3発振をONにする前にVD1を設定してください。その後、2.5msec以上の時間をおいてからOSC3発振をONにします。

OSC3からOSC1に切り換える場合は、OSC1に切り換えてOSC3発振をOFFにした後でVD1を1.3Vに設定してください。

マスクオプションでOSC1にCR発振回路を選択し、OSC3発振回路(CRまたはセラミック)を使用するとした場合はVD1の電圧値が2.1V固定となりますので、このレジスタによるVD1の切り換えは必要ありません。

OSC3発振回路を使用しない場合は、OSC1がCR発振回路の場合でもVD1=1.3Vで動作可能です。

イニシャルリセット時、このレジスタは"0"に設定されます。

OSCC: OSC3発振制御レジスタ(FF00H·D2)

OSC3発振回路の発振ON、OFFを制御します。

"1"書き込み: OSC3発振ON

"0"書き込み: OSC3発振OFF

読み出し: 可能

CPUを高速に動作させる必要のある場合にOSCCを"1"とし、それ以外の場合は、消費電流低減のため"0"としてください。また、マスクオプションによりOSC1発振回路に水晶発振を選択した場合、OSC3発振回路のON/OFF時に動作電圧VD1の切り換えを行う必要があります。

イニシャルリセット時、このレジスタは"0"に設定されます。

CLKCHG: CPUクロック切り換えレジスタ(FF00H·D3)
CPUの動作クロックを選択します。

"1"書き込み: OSC3クロックを選択
"0"書き込み: OSC1クロックを選択
読み出し: 可能

CPUの動作クロックをOSC3にする場合にCLKCHGを"1"に設定してください。OSC3発振をON(OSCC = "1")にした直後は5msec以上の時間をおいてからクロックの切り換えを行ってください。

CLKCHGを"0"に設定した場合はOSC1クロックが選択されます。

なお、VD1が1.3V(VDC = "0")でOSC3発振がOFF(OSCC = "0")の場合はCLKCHG = "1"の設定は無効となり、OSC3への切り換えは行われません。ただし、OSC1発振回路にCR発振がマスクオプションで選択された場合には、VDC = "0"の設定でもかまいません。

イニシャルリセット時、このレジスタは"0"に設定されます。

4.4.7 プログラミング上の注意事項

- (1)CPUシステムクロックをOSC1からOSC3に切り換える場合は、OSC3発振をONにする前にVD1の設定を行ってください。その後、2.5msec以上の時間をおいてからOSC3発振をONにします。OSC3からOSC1に切り換える場合は、OSC1に切り換えてOSC3発振をOFFにした後でVD1を設定してください。ただし、OSC1発振回路がCR発振の場合には、VD1の設定は必要ありません。
- (2)OSC3発振回路がONしてから発振が安定するまでに、5msec以上を必要とします。したがって、CPUの動作クロックをOSC1からOSC3に切り換える際は、OSC3発振ONの後、5msec以上経過してから行ってください。また、発振安定時間は外付け発振子の特性および使用条件等により異なりますので、十分マージンを取つて待ち時間を設定してください。
- (3)OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々のインストラクションで行ってください。1インストラクションで、同時に処理するとCPUの誤動作につながります。
- (4)マスクオプションでOSC1にCR発振回路を選択し、OSC3発振回路(CRまたはセラミック先使用するとした場合はVD1の電圧値が2.1V固定となりますので、ソフトウェアによるVD1の切り換えは必要ありません。OSC3発振回路を使用しない場合は、OSC1がCR発振回路の場合でもVD1=1.3Vで動作可能です。

4.5 入力ポート(K00 ~ K03, K10 ~ K13, K20)

4.5.1 入力ポートの構成

S1C63158は9ビットの汎用入力ポートを内蔵しています。各入力ポート端子(K00 ~ K03, K10 ~ K13, K20)には内蔵プルアップ抵抗が用意されており、マスクオプションで1ビットごとにプルアップ抵抗の有無を選択できます。

入力ポートの構造を図4.5.1.1(K00 ~ K03, K10 ~ K13)および図4.5.1.2(K20)に示します。

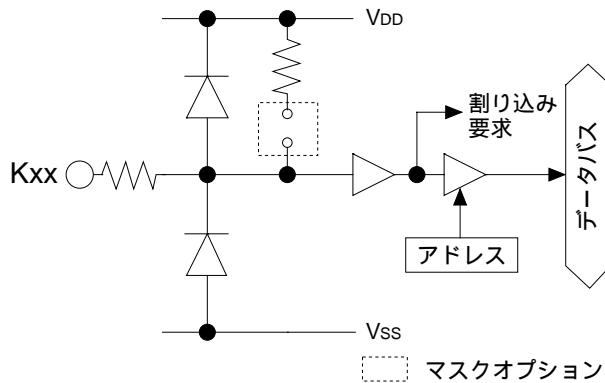


図4.5.1.1 入力ポートの構造(K00 ~ K03, K10 ~ K13)

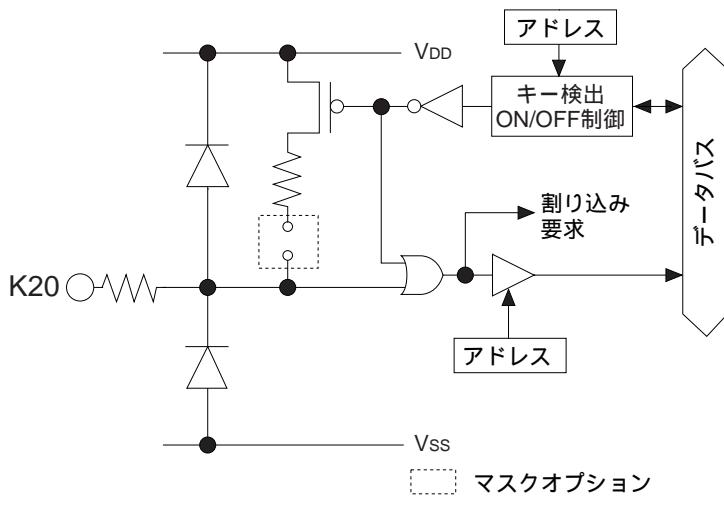


図4.5.1.2 入力ポートの構造(K20)

マスクオプションで"プルアップ抵抗あり"を選択した場合、プッシュスイッチ、キーマトリクス等の入力に適当です。また、"プルアップ抵抗なし"を選択した場合、スライドスイッチ入力、他LSIとのインターフェースなどに使用できます。

4.5.2 割り込み機能

入力ポート9ビット(K00 ~ K03, K10 ~ K13, K20)は、すべて割り込み機能を持っており、割り込み発生条件はソフトウェアで設定することができます。また、割り込みをマスクするかしないかを、同様にソフトウェアで設定することができます。入力割り込みはK0(K00 ~ K03), K1(K10 ~ K13), K20の3系統に分けられます。図4.5.2.1にK00 ~ K03(K10 ~ K13)、図4.5.2.2にK20割り込み回路の構成図を示します。

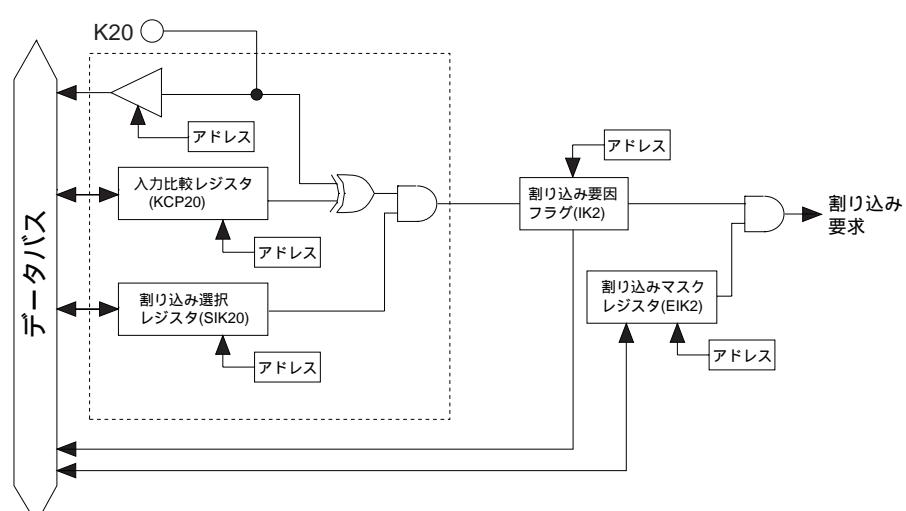
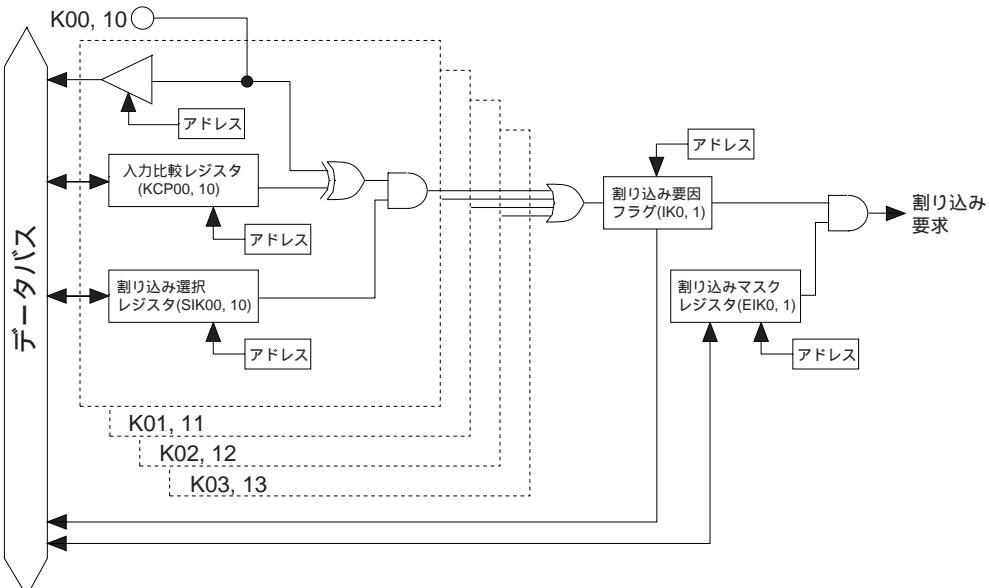


図4.5.2.2 入力割り込み回路構成(K20)

入力ポートK00～K03, K10～K13およびK20には個々に割り込み選択レジスタ(SIK)および入力比較レジスタ(KCP)が設定されており、割り込みを発生させる端子と割り込みタイミングを指定することができます。割り込み選択レジスタ(SIK00～SIK03, SIK10～SIK13, SIK20)は、K00～K03, K10～K13およびK20のどの入力を割り込みに使用するか選択します。割り込み選択レジスタに"1"を書き込むことにより、その入力ポートを割り込み発生条件に組み込みます。割り込み選択レジスタが"0"に設定されている入力ポートの変化は割り込みの発生に影響を与えません。

入力割り込みタイミングは、入力比較レジスタ(KCP00～KCP03, KCP10～KCP13, KCP20)の設定値により、割り込みを入力の立ち上がりエッジで発生させるか、立ち下がりエッジで発生させるかを選択することができます。

この2つの条件設定により、K00～K03, K10～K13(4ビット単位)およびK20の割り込みは入力選択レジスタで割り込みが許可されている入力ポートと入力比較レジスタの内容が一致状態から不一致状態に変化したときに割り込みが発生します。

また、割り込みマスクレジスタ(EIK0, EIK1, EIK2)により、それぞれの割り込みのマスクを選択することができます。

割り込みが発生した際には、割り込み要因フラグ(IK0, IK1, IK2)が"1"にセットされます。

図4.5.2.3にK00～K03割り込み発生例を示します。

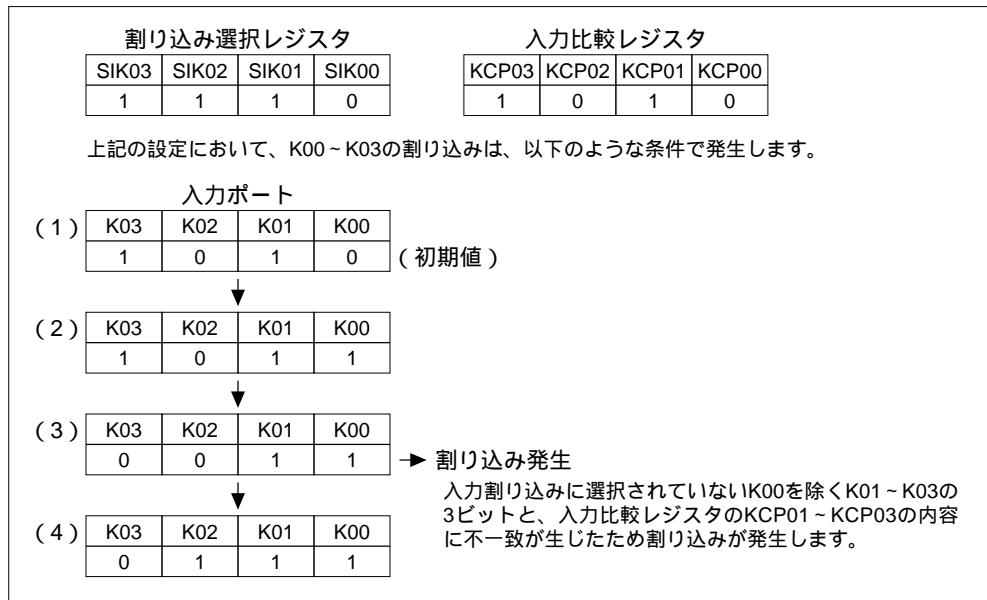


図4.5.2.3 K00～K03割り込み発生例

K00は割り込み選択レジスタ(SIK00)によって割り込みが禁止されているため、(2)の時点では割り込みは発生しません。次に(3)でK03が"0"になるため、割り込みが許可されている端子のデータと入力比較レジスタのデータとの不一致により割り込みが発生します。ただし、割り込みマスクレジスタ(EIK0)によってK00～K03入力割り込みがイネーブルに設定されている必要があります。

前述のとおり、ポートデータと入力比較レジスタの内容が一致状態から不一致状態に変化することが割り込み発生条件となるため、(4)のように不一致状態から、別の不一致状態に変化しても割り込みは発生しません。また、割り込みが禁止されている端子は割り込み発生条件に影響を与えません。

4.5.3 マスクオプション

入力ポートのマスクオプションでは9ビットの入力ポート(K00～K03, K10～K13, K20)に対して、1ビットごとに内蔵プルアップ抵抗の有無を選択できます。

"プルアップ抵抗なし"を選択した場合は、入力にフローティング状態が発生しないよう注意してください。使用しない入力ポートは"プルアップ抵抗あり"を選択してください。

4.5.4 入力ポートのI/Oメモリ

表4.5.4.1に入力ポートの制御ビットとそのアドレスを示します。

表4.5.4.1 入力ポートの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF20H	SIK03	SIK02	SIK01	SIK00	SIK03	0	Enable	Disable	K00 ~ K03割り込み選択レジスタ
					SIK02	0	Enable	Disable	
					SIK01	0	Enable	Disable	
					SIK00	0	Enable	Disable	
FF21H	R/W				K03	- *2	High	Low	K00 ~ K03入力ポートデータ
	K03	K02	K01	K00	K02	- *2	High	Low	
					K01	- *2	High	Low	
					K00	- *2	High	Low	
FF22H	R/W				KCP03	1	↓	↑	K00 ~ K03入力比較レジスタ
	KCP03	KCP02	KCP01	KCP00	KCP02	1	↓	↑	
					KCP01	1	↓	↑	
					KCP00	1	↓	↑	
FF24H	R/W				SIK13	0	Enable	Disable	K10 ~ K13割り込み選択レジスタ
	SIK13	SIK12	SIK11	SIK10	SIK12	0	Enable	Disable	
					SIK11	0	Enable	Disable	
					SIK10	0	Enable	Disable	
FF25H	R				K13	- *2	High	Low	K10 ~ K13入力ポートデータ
	K13	K12	K11	K10	K12	- *2	High	Low	
					K11	- *2	High	Low	
					K10	- *2	High	Low	
FF26H	R/W				KCP13	1	↓	↑	K10 ~ K13入力比較レジスタ
	KCP13	KCP12	KCP11	KCP10	KCP12	1	↓	↑	
					KCP11	1	↓	↑	
					KCP10	1	↓	↑	
FF28H	0	0	0	SIK20	0 *3	- *2			未使用 未使用 未使用 K20割り込み選択レジスタ
					0 *3	- *2			
					0 *3	- *2			
					SIK20	0	Enable	Disable	
FF29H	R			R/W	0 *3	- *2			未使用 未使用 未使用 K20入力ポートデータ
	0	0	0		0 *3	- *2			
					0 *3	- *2			
					K20	- *2	High	Low	
FF2AH	R			R/W	0 *3	- *2			未使用 未使用 未使用 K20入力比較レジスタ
	0	0	0		0 *3	- *2			
					0 *3	- *2			
					KCP20	1	↓	↑	
FF2BH	R			R/W	0 *3	- *2			未使用 未使用 未使用 キー検出On/Off制御
	0	0	0		0 *3	- *2			
					0 *3	- *2			
					SENON	1	On	Off	
FFE4H	R			R/W	0 *3	- *2			未使用 未使用 未使用 割り込みマスクレジスタ(K00 ~ K03)
	0	0	0		0 *3	- *2			
					0 *3	- *2			
					EIK0	0	Enable	Mask	
FFE5H	R			R/W	0 *3	- *2			未使用 未使用 割り込みマスクレジスタ(K20) 割り込みマスクレジスタ(K10 ~ K13)
	0	0	EIK2	EIK1	0 *3	- *2			
					EIK2	0	Enable	Mask	
					EIK1	0	Enable	Mask	
FFF4H	R			R/W	0 *3	- *2	(R)	(R)	未使用 未使用 未使用 割り込み要因フラグ(K00 ~ K03)
	0	0	0		0 *3	- *2	Yes	No	
					0 *3	- *2	(W)	(W)	
					IK0	0	Reset	Invalid	
FFF5H	R			R/W	0 *3	- *2	(R)	(R)	未使用 未使用 割り込み要因フラグ(K20) 割り込み要因フラグ(K10 ~ K13)
	0	0	IK2	IK1	0 *3	- *2	Yes	No	
					IK2	0	(W)	(W)	
					IK1	0	Reset	Invalid	

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

K00 ~ K03: K0入力ポートデータ(FF21H)

K10 ~ K13: K1入力ポートデータ(FF25H)

K20: K20入力ポートデータ(FF29H·D0)

入力ポート端子の入力データが読み出せます。

"1"読み出し: HIGHレベル

"0"読み出し: LOWレベル

書き込み: 無効

入力ポート9ビット(K00 ~ K03, K10 ~ K13, K20)の端子電圧がそれぞれHIGH(VDD)レベルのとき"1"、LOW(Vss)レベルのとき"0"として読み出せます。

これらのビットは読み出し専用のため、書き込み動作は無効となります。

SIK00 ~ SIK03: K0ポート割り込み選択レジスタ(FF20H)

SIK10 ~ SIK13: K1ポート割り込み選択レジスタ(FF24H)

SIK20: K20ポート割り込み選択レジスタ(FF28H·D0)

K00 ~ K03, K10 ~ K13およびK20入力割り込みに使用するポートを選択します。

"1"書き込み: 割り込み許可

"0"書き込み: 割り込み禁止

読み出し: 可能

割り込み選択レジスタ(SIK00 ~ SIK03, SIK10 ~ SIK13, SIK20)に"1"を書き込んだ入力ポート(K00 ~ K03, K10 ~ K13, K20)の割り込みを許可します。"0"に設定した入力ポートは割り込みの発生条件には影響を与えません。

イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

KCP00 ~ KCP03: K0ポート入力比較レジスタ(FF22H)

KCP10 ~ KCP13: K1ポート入力比較レジスタ(FF26H)

KCP20: K20ポート入力比較レジスタ(FF2AH·D0)

割り込み発生タイミングを設定します。

"1"書き込み: 立ち下がりエッジ

"0"書き込み: 立ち上がりエッジ

読み出し: 可能

入力ポートは入力比較レジスタ(KCP00 ~ KCP03, KCP10 ~ KCP13, KCP20)によって、割り込みの発生タイミングを入力の立ち上がりエッジとするか立ち下がりエッジとするか、1ビットごとに選択できます。

KCP00 ~ KCP03については、SIK00 ~ SIK03レジスタによってK00 ~ K03の中の割り込みが許可されるポートとのみ比較が行われます。同様にKCP10 ~ KCP13は、SIK10 ~ SIK13レジスタによってK10 ~ K13の中の割り込みが許可されているポートとのみ比較が行われます。K20についてはSIK20で割り込みが許可されている場合に、K20端子がKCP20の設定に従って変化すると割り込みが発生します。

イニシャルリセット時、これらのレジスタはすべて"1"に設定されます。

EIK0: K0入力割り込みマスクレジスタ(FFE4H·D0)

EIK1: K1入力割り込みマスクレジスタ(FFE5H·D0)

EIK2: K20入力割り込みマスクレジスタ(FFE5H·D1)

入力ポートの割り込みについて、マスクするかしないかを選択します。

"1"書き込み: イネーブル

"0"書き込み: マスク

読み出し: 可能

入力ポートの3つの系列(K00 ~ K03, K10 ~ K13, K20)に対して、割り込みをマスクするかしないかを、これらのレジスタにより選択できます。

イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

IK0: K0入力割り込み要因フラグ(FFF4H・D0)
 IK1: K1入力割り込み要因フラグ(FFF5H・D0)
 IK2: K20入力割り込み要因フラグ(FFF5H・D1)
 入力割り込みの発生状態を示すフラグです。

- "1"読み出し: 割り込み有
 "0"読み出し: 割り込み無
 "1"書き込み: 要因フラグをリセット
 "0"書き込み: 無効

割り込み要因フラグIK0、IK1、IK2はそれぞれK00～K03、K10～K13、K20の入力割り込みに対応します。これらのフラグによって入力割り込みの有無を、ソフトウェアで判断することができます。

割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず割り込み条件の成立により"1"にセットされます。ただし、割り込みがマスクされている場合はCPUに対して割り込みは発生しません。これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。イニシャルリセット時、これらのフラグは"0"に設定されます。

SENON: K20ポートキー検出ON/OFF制御レジスタ(FF2BH・D0)
 キー検出機能を制御します。

- "1"書き込み: ON
 "0"書き込み: OFF
 読み出し: 可能

K20を汎用入力ポートとして使用する場合は、SENONを"1"(ON)に固定してください。

A/D変換器を使用したキー検出機能を使用する場合は、キーの検出開始時にSENONを"1"に設定します。図4.5.4.1に示した回路例で、キーが押されるとK20ポートはCPUに対して割り込みを発生します。その割り込みを利用してSENONを"0"に戻し、出力ポートを使用して外部N-P-NトランジスタをONさせます。さらにA/D変換器による変換を開始させます。A/D変換器は押されたキーによって変わる入力電圧をデジタル値に変換します。その結果をソフトウェアで読み出すことによって、押されたキーを識別することができます。キー検出時以外は、消費電流を低減させるため、SENONを"0"にしてください。

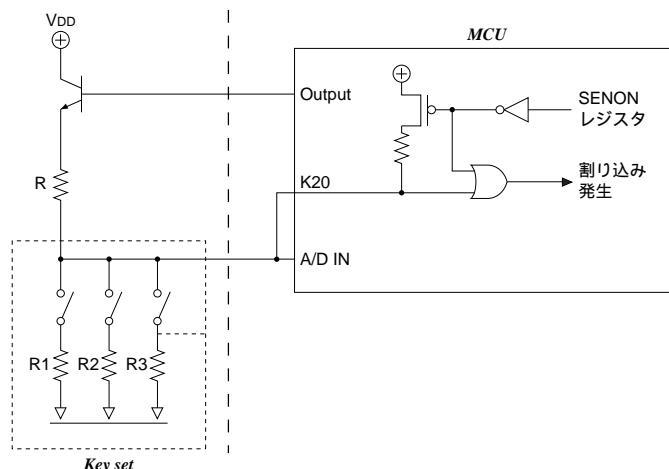


図4.5.4.1 キー位置検出回路

図はキーセットとMCU間を2本の信号線のみで接続し、押されたキーを識別する回路例です。MCUから離れた場所にあるキーセットを少ない信号線で接続する必要があるシステムに有効です。

回路説明

各キーはそれぞれに異なる抵抗を介してグラウンドに接続されます。したがって、押されたキーによって異なる電圧を発生します。すべてのキーの共通線がK20に接続されていますので、いずれかのキーが押されるとK20入力割り込みが発生します。そこで1つの出力ポートを利用して外部トランジスタをONさせ、A/D変換器を動作させると、押されたキーに接続された抵抗により電圧が発生しA/D変換器によってデジタル値に変換されます。この結果から、押されたキーをソフトウェアで識別できます。

4.5.5 プログラミング上の注意事項

- (1)入力ポートをLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の時定数によって波形立ち上がりに遅延が生じます。このため、入力ポートの取り込みを行う際は、適切な待ち時間設定してください。
特に、キーマトリクス構成時のキースキヤン等に注意が必要です。
この待ち時間は次の式で算出される時間以上としてください。

$$10 \times C(\text{端子容量}5\text{pF} + \text{寄生容量}1\text{pF}) \times R(\text{プルアップ抵抗}300\text{k}\Omega)$$
- (2)K13端子はプログラマブルタイマの入力クロック端子としての機能も兼ねることがあり、入力ポート機能と入力信号が共有されます。そのため、K13端子をプログラマブルタイマの入力クロック端子に設定した場合、割り込み等の設定には十分注意してください。
- (3)割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

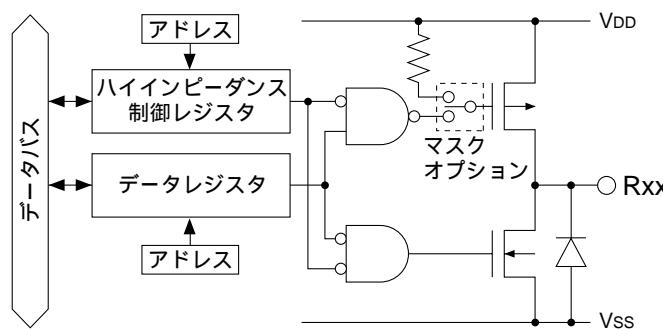
4.6 出力ポート(R00 ~ R03, R10 ~ R13, R20 ~ R23)

4.6.1 出力ポートの構成

S1C63158は12ビットの汎用出力ポートを内蔵しています。

R10 ~ R13およびR20 ~ R23出力ポートの出力仕様はマスクオプションで個別に選択できます。選択できる出力仕様はコンプリメンタリ出力とNチャンネルオープンドレイン出力の2種類です。R00 ~ R03はコンプリメンタリ出力に固定です。

図4.6.1.1に出力ポートの構成を示します。



(R00 ~ R03はコンプリメンタリ出力のみ)

図4.6.1.1 出力ポートの構成

R02、R03出力ポート端子は特殊出力(TOUT、FOUT)端子と兼用されており、この機能をソフトウェアによって選択するようになっています。

イニシャルリセット時はすべて汎用出力ポートに設定されます。

表4.6.1.1に機能選択による出力端子の設定を示します。

表4.6.1.1 出力端子の機能設定

端子名	イニシャルリセット時の 端子状態	特殊出力使用時	
		TOUT	FOUT
R00	R00 (HIGH出力)	R00	R00
R01	R01 (HIGH出力)	R01	R01
R02	R02 (HIGH出力)	TOUT	
R03	R03 (HIGH出力)		FOUT
R10~R13	R10~R13 (HIGH出力)	R10~R13	R10~R13
R20~R23	R20~R23 (HIGH出力)	R20~R23	R20~R23

特殊出力として使用する場合、データレジスタは"1"に、ハイインピーダンス制御レジスタは"0"(データ出力)に固定する必要があります。

4.6.2 マスクオプション

出力ポートはマスクオプションにより出力仕様の選択が行えます。

出力ポートR10 ~ R13およびR20 ~ R23の出力仕様はポート個々(4ビット単位)に、コンプリメンタリ出力またはNチャンネルオープンドレイン出力のいずれかが選択できます。ただし、Nチャンネルオープンドレイン出力を選択した場合でも、出力ポートに電源電圧を越える電圧の印加は禁止します。

R00 ~ R03はコンプリメンタリ出力としてのみ使用可能です。

4.6.3 ハイインピーダンス制御

出力ポートは、ソフトウェアにより端子の出力状態をハイインピーダンスとすることができます。制御はハイインピーダンス制御レジスタによって行います。

出力ポートのハイインピーダンス制御レジスタは以下のように制御できる出力ポートが割り当てられています。

ハイインピーダンス制御レジスタ	対応する出力ポート
R00HIZ	R00(1ビット)
R01HIZ	R01(1ビット)
R02HIZ	R02(1ビット)
R03HIZ	R03(1ビット)
R1HIZ	R10 ~ R13(4ビット)
R2HIZ	R20 ~ R23(4ビット)

ハイインピーダンス制御レジスタに"1"を書き込むと対応する出力ポート端子がハイインピーダンスとなり"0"でデータレジスタにしたがった出力が行われます。

4.6.4 特殊出力

出力ポートR02およびR03は通常のDC出力のほかに表4.6.4.1に示す特殊出力をソフトウェアによって設定できます。図4.6.4.1にR02およびR03出力ポートの構成を示します。

表4.6.4.1 特殊出力

端子名	特殊出力選択時	特殊出力制御レジスタ
R03	FOUT	FOUTE
R02	TOUT	PTOUT

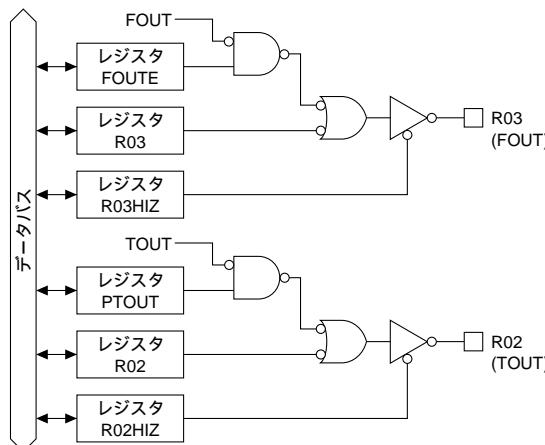


図4.6.4.1 R02、R03出力ポートの構成

イニシャルリセット時、出力ポートのデータレジスタは"1"、ハイインピーダンス制御レジスタは"0"に設定され、出力端子はHIGH(VDD)レベルとなります。

R02、R03を特殊出力ポートとして使用する場合はデータレジスタR02、R03を"1"、ハイインピーダンス制御レジスタR02HIZ、R03HIZを"0"(データ出力)に固定し、特殊出力制御レジスタによってそれぞれの信号をON/OFFしてください。

- 注:
- 特殊出力選択時にR02、R03レジスタに"0"を書き込むと、DC出力の場合と同様に出力端子がLOW(Vss)レベルに固定されますので注意してください。
 - ハイインピーダンス制御レジスタR02HIZ、R03HIZに"1"を書き込むと、出力端子がハイインピーダンスになりますので注意してください。

TOUT(R02)

R02端子からはTOUT信号を出力させることができます。

TOUT信号はプログラマブルタイマの出力クロックで、外部デバイスに対するクロック供給などの目的に使用することができます。

TOUT出力を行う場合はR02レジスタを"1"、R02HIZレジスタを"0"に固定し、PTOUTレジスタによって信号をON/OFFします。ただし、プログラマブルタイマの制御が必要です。

プログラマブルタイマの詳細については"4.10 プログラマブルタイマ"を参照してください。

注: TOUT出力信号はON/OFF時にハザードを生じる可能性があります。

図4.6.4.2にTOUT信号の出力波形を示します。

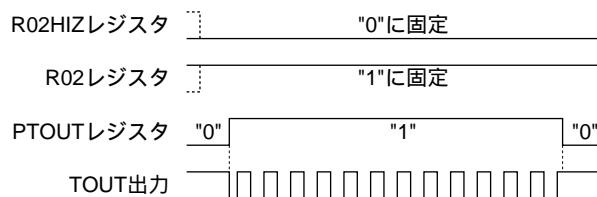


図4.6.4.2 TOUT信号の出力波形

FOUT(R03)

R03端子からはFOUT信号を出力させることができます。

FOUT信号は発振回路の出力クロック fosc1、fosc3 またはfosc1を内部回路で分周したクロックで、外部デバイスに対するクロック供給などの目的に使用することができます。

FOUT出力を行う場合はR03レジスタを"1"、R03HIZレジスタを"0"に固定し、FOUTEレジスタによって信号をON/OFFします。

出力するクロックの周波数は、表4.6.4.2に示す4種類から1つをFOFQ0およびFOFQ1レジスタによって選択できます。

表4.6.4.2 FOUTクロック周波数

FOFQ1	FOFQ0	クロック周波数
1	1	fosc3
1	0	fosc1
0	1	fosc1 × 1/8
0	0	fosc1 × 1/64

fosc1: OSC1発振回路の出力クロック

fosc3: OSC3発振回路の出力クロック

FOUT信号の周波数としてfosc3を選択した場合は、信号出力前にOSC3発振回路の制御が必要です。制御方法と注意事項については"4.4 発振回路"を参照してください。

注: FOUT出力信号はON/OFF時にハザードを生じる可能性があります。

図4.6.4.3にFOUT信号の出力波形を示します。

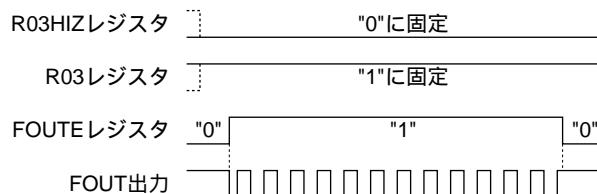


図4.6.4.3 FOUT信号の出力波形

4.6.5 出力ポートのI/Oメモリ

表4.6.5.1に出力ポートの制御ビットとそのアドレスを示します。

表4.6.5.1 出力ポートの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注釈
	D3	D2	D1	D0					
FF06H	FOUTE	0	FOFQ1	FOFQ0	FOUTE 0 *3	0 -*2	Enable	Disable	FOUT出力イネーブル 未使用
	R/W	R	R/W		FOFQ1	0			FOUT [FOFQ1, 0] 0 1 2 3 周波数選択 周波数 fosc1/64 fosc1/8 fosc1 fosc3
FF30H	R03HIZ	R02HIZ	R01HIZ	R00HIZ	R03HIZ	0	High-Z	Output	R03出力ハイインピーダンス制御(FOUTE=0)
	R/W				R02HIZ	0	High-Z	Output	FOUT出力ハイインピーダンス制御(FOUTE=1)
	R/W				R01HIZ	0	High-Z	Output	R02出力ハイインピーダンス制御(PTOUT=0)
	R/W				R00HIZ	0	High-Z	Output	TOUT出力ハイインピーダンス制御(PTOUT=1)
FF31H	R03	R02	R01	R00	R03	1	High	Low	R03出力ポートデータ(FOUTE=0) FOUT出力時は1に固定
	R/W				R02	1	High	Low	R02出力ポートデータ(PTOUT=0) TOUT出力時は1に固定
	R/W				R01	1	High	Low	R01出力ポートデータ
	R/W				R00	1	High	Low	R00出力ポートデータ
FF32H	0	0	0	R1HIZ	0 *3	-*2	Output	未使用 未使用 未使用	R1出力ハイインピーダンス制御
	R			R/W	0 *3	-*2			
FF33H	R13	R12	R11	R10	R13	1	High	Low	R10 ~ R13出力ポートデータ
	R/W				R12	1	High	Low	
	R/W				R11	1	High	Low	
	R/W				R10	1	High	Low	
FF34H	0	0	0	R2HIZ	0 *3	-*2	Output	未使用 未使用 未使用	R2出力ハイインピーダンス制御
	R			R/W	0 *3	-*2			
	R/W				0 *3	-*2			
	R/W				R2HIZ	0	High-Z		
FF35H	R23	R22	R21	R20	R23	1	High	Low	R20 ~ R23出力ポートデータ
	R/W				R22	1	High	Low	
FFC1H	CHSEL	PTOUT	CKSEL1	CKSEL0	CHSEL	0	Timer1	Timer0	TOUT出力チャンネル選択
	R/W				PTOUT	0	On	Off	TOUT出力制御
	R/W				CKSEL1	0	OSC3	OSC1	プリスケーラ1原振クロック選択
	R/W				CKSEL0	0	OSC3	OSC1	プリスケーラ0原振クロック選択

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

R00HIZ ~ R03HIZ: R0ポートハイインピーダンス制御レジスタ(FF30H)

R1HIZ: R1ポートハイインピーダンス制御レジスタ(FF32H·D0)

R2HIZ: R2ポートハイインピーダンス制御レジスタ(FF34H·D0)

出力ポートのハイインピーダンス制御を行います。

"1"書き込み: ハイインピーダンス

"0"書き込み: データ出力

読み出し: 可能

ハイインピーダンス制御レジスタに"0"を書き込むことにより、対応する出力端子からデータレジスタにしたがった出力が行われ、"1"を書き込むとハイインピーダンスになります。

R02、R03を特殊出力(TOUT、FOUT)として使用する場合、R02HIZレジスタ、R03HIZレジスタは"0"(データ出力)に固定してください。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

R00 ~ R03: R0出力ポートデータレジスタ(FF31H)

R10 ~ R13: R1出力ポートデータレジスタ(FF33H)

R20 ~ R23: R2出力ポートデータレジスタ(FF35H)

各出力ポートの出力データを設定します。

"1"書き込み: HIGHレベル出力

"0"書き込み: LOWレベル出力

読み出し: 可能

出力ポート端子は対応するデータレジスタに書き込まれたデータをそのまま出力します。レジスタに"1"を書き込んだ場合、出力ポート端子はHIGH(VDD)レベルになります。"0"を書き込んだ場合はLOW(Vss)レベルになります。

R02、R03を特殊出力(TOUT、FOUT)として使用する場合、R02レジスタ、R03レジスタは"1"に固定してください。

イニシャルリセット時、これらのレジスタは"1"に設定されます。

FOUTE: FOUT出力制御レジスタ(FF06H·D3)

FOUT出力を制御します。

"1"書き込み: FOUT出力ON

"0"書き込み: FOUT出力OFF

読み出し: 可能

R03レジスタが"1"、R03HIZレジスタが"0"に設定されている状態でFOUTEに"1"を書き込むことによってR03端子からFOUT信号が出力され、"0"の書き込みでR03端子がHIGH(VDD)レベルになります。

R03ポートをDC出力として使用する場合は、このレジスタを"0"に固定してください。

イニシャルリセット時、このレジスタは"0"に設定されます。

FOFQ0、FOFQ1: FOUT周波数選択レジスタ(FF06H·D0, D1)

FOUT信号の周波数を選択します。

表4.6.5.2 FOUTクロック周波数

FOFQ1	FOFQ0	クロック周波数
1	1	fosc3
1	0	fosc1
0	1	fosc1 × 1/8
0	0	fosc1 × 1/64

イニシャルリセット時、このレジスタは"0"に設定されます。

PTOUT: TOUT出力制御レジスタ(FFC1H・D2)
TOUT出力を制御します。

"1"書き込み: TOUT出力ON
"0"書き込み: TOUT出力OFF
読み出し: 可能

R02レジスタが"1"、R02HIZレジスタが"0"に設定されている状態でPTOUTに"1"を書き込むことによってR02端子からTOUT信号が出力され、"0"の書き込みでR02端子がHIGH(VDD)レベルになります。
R02ポートをDC出力として使用する場合は、このレジスタを"0"に固定してください。
イニシャルリセット時、このレジスタは"0"に設定されます。

4.6.6 プログラミング上の注意事項

- (1)R02、R03を特殊出力(TOUT、FOUT)として使用する場合、R02レジスタ、R03レジスタは"1"、R02HIZレジスタ、R03HIZレジスタは"0"に固定してください。
R02、R03レジスタに"0"を書き込むと、出力端子がLOW(Vss)に固定されますので注意してください。
R02HIZ、R03HIZに"1"を書き込むと、出力端子がハイインピーダンスになりますので注意してください。
- (2)TOUT信号、FOUT信号のON/OFF時は、出力波形にハザードが出る場合があります。
- (3)FOUT信号の周波数としてfosc3を選択した場合は、信号出力前にOSC3発振回路の制御が必要です。制御方法と注意事項については"4.4 発振回路"を参照してください。

4.7 入出力兼用ポート (P00 ~ P03, P10 ~ P13, P20 ~ P23, P30 ~ P33, P40 ~ P43)

4.7.1 入出力兼用ポートの構成

S1C63158は20ビットの汎用入出力兼用ポートを内蔵しています。図4.7.1.1に入出力兼用ポートの構成を示します。

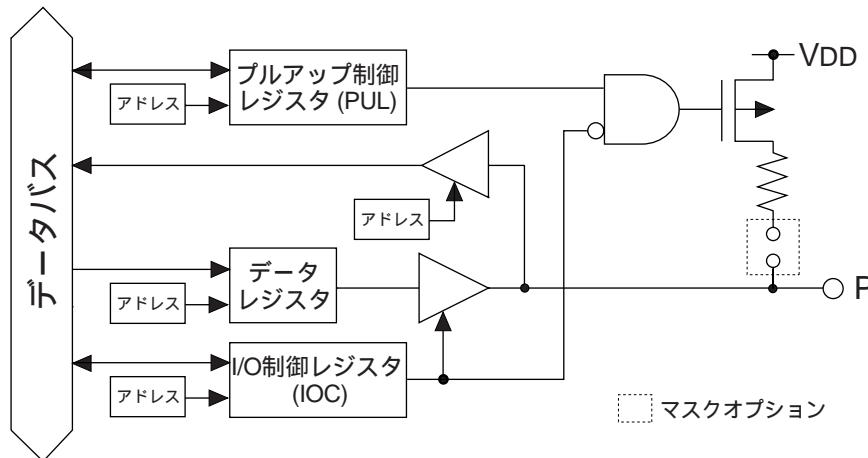


図4.7.1.1 入出力兼用ポートの構成

P10～P13入出力兼用ポート端子はシリアルインターフェースの入出力端子と兼用されており、この機能をソフトウェアによって選択するようになっています。また、P40～P43入出力兼用ポート端子はA/D変換器の入力端子と兼用されており、この機能をソフトウェアによって選択するようになっています。

イニシャルリセット時はすべて入出力兼用ポートに設定されます。

表4.7.1.1に機能選択による入出力端子の設定を示します。

表4.7.1.1 入出力端子の機能設定

端子名	イニシャルリセット時の 端子状態	シリアルI/F使用時		A/D変換器 使用時
		Master	Slave	
P00～P03	P00～P03 (入力&プルアップ)	P00～P03	P00～P03	P00～P03
P10	P10 (入力&プルアップ*)	SIN(I)	SIN(I)	
P11	P11 (入力&プルアップ*)	SOUT(O)	SOUT(O)	
P12	P12 (入力&プルアップ*)	SCLK(O)	SCLK(I)	
P13	P13 (入力&プルアップ*)	P13	SRDY(O)	
P20～P23	P20～P23 (入力&プルアップ*)	P20～P23	P20～P23	P20～P23
P30～P33	P30～P33 (入力&プルアップ*)	P30～P33	P30～P33	P30～P33
P40	P40 (入力&プルアップ*)			AD0(I)
P41	P41 (入力&プルアップ*)			AD1(I)
P42	P42 (入力&プルアップ*)			AD2(I)
P43	P43 (入力&プルアップ*)			AD3(I)

* マスクオプションにて"プルアップあり"選択時
("プルアップなし"選択時はハイインピーダンス)

入出力兼用ポートとして使用する場合、各ポートを個々(1ビット単位)に入力モードまたは出力モードに設定できます。この設定はI/O制御レジスタにデータを書き込むことによって行います。

シリアルインターフェースの制御については"4.11 シリアルインターフェース"を参照してください。

A/D変換器の制御については"4.9 A/D変換器"を参照してください。

4.7.2 マスクオプション

入出力兼用ポートは出力モード時の出力仕様として、コンプリメンタリ出力、またはNチャンネルオープンドレイン出力のいずれかをマスクオプションにより選択できるようになっています。また、入力モード時のプルアップ抵抗の有無もマスクオプションにより選択できます。出力仕様、プルアップ抵抗のどちらの場合も、選択はポートにより1ビット単位あるいは端子系列ごと(4ビット単位)に行います。

1ビット単位に選択するポート: P20, P21, P22, P23, P30, P31, P32, P33, P40, P41, P42, P43

4ビット単位に選択するポート: P10 ~ P13

P00 ~ P03はコンプリメンタリ出力、プルアップありで固定となります。

なお、Nチャンネルオープンドレイン出力を選択した場合でも、ポートに電源電圧を越える電圧を印加することは禁止します。

また、入力モード時の"プルアップなし"を選択した場合には、フローティング状態が発生しないように注意してください。

このオプションは入出力兼用ポート(P10 ~ P13)をシリアルインタフェースの入出力として使用する場合も有効です。P40 ~ P43をA/D変換器の入力として使用する場合は、"プルアップなし"を選択してください。

4.7.3 I/O制御レジスタと入力/出力モード

入出力兼用ポートは、各ポートに対応したI/O制御レジスタIOCxxにデータを書き込むことにより入力モードあるいは出力モードに設定されます。

入力モードに設定する場合はI/O制御レジスタに"0"を書き込みます。入力モードに設定された入出力兼用ポートは、ハイインピーダンス状態となり入力ポートとして働きます。ただし、次項で説明するプルアップ制御を行っている場合は、この入力モード時に限り入力ラインがプルアップされます。

出力モードに設定する場合はI/O制御レジスタに"1"を書き込みます。出力モードに設定された入出力兼用ポートは出力ポートとして働き、ポート出力データが"1"の場合にHIGH(VDD)レベル、"0"の場合にLOW(Vss)レベルの出力を行います。出力モード時にもデータの読み出しが可能で、その場合はデータレジスタの内容が読み出されます。

イニシャルリセット時、I/O制御レジスタは"0"に設定され、入出力兼用ポートは入力モードになります。

シリアルインタフェースおよびA/D変換器の入出力に設定されたポート(表4.7.1.1参照)の入出力制御はハードウェアが行います。この場合、I/O制御レジスタは入出力制御に影響を与えない汎用レジスタとして使用可能です。

4.7.4 入力モード時のプルアップ

S1C63158の入出力兼用ポートには入力モード時に働くプルアップ抵抗が内蔵されています。このプルアップを使用するかしないかについてはマスクオプションにより選択可能です。

各ポートに対応したプルアップ制御レジスタPULxxに"1"を書き込むことによりプルアップ抵抗が有効になります。入力モード時に入力ラインがプルアップされます。"0"を書き込んだ場合、プルアップは行われません。イニシャルリセット時、プルアップ制御レジスタは"1"に設定されます。

マスクオプションにより"プルアップなし"を選択したポートのプルアップ制御レジスタは、汎用レジスタとして使用可能です。

マスクオプションにより"プルアップあり"を選択した場合でも、シリアルインタフェースの出力またはA/D変換器の入力に設定されたポート(表4.7.1.1参照)のプルアップ制御レジスタは、プルアップ制御に影響を与えない汎用レジスタとして使用可能です。シリアルインタフェースの入力に設定されたポートのプルアップ制御レジスタは入出力兼用ポートと同様に機能します。

4.7.5 入出力兼用ポートのI/Oメモリ

表4.7.5.1(a) (b)に入出力兼用ポートの制御ビットとそのアドレスを示します。

表4.7.5.1(a) 入出力兼用ポートの制御ビット

アドレス	レジスタ				Name	Init *1	注 釈		
	D3	D2	D1	D0			1	0	
FF40H	IOC03	IOC02	IOC01	IOC00	IOC03	0	Output	Input	P00 ~ P03 I/O制御レジスタ
					IOC02	0	Output	Input	
					IOC01	0	Output	Input	
					IOC00	0	Output	Input	
FF41H	R/W				PUL03	1	On	Off	P00 ~ P03 プルアップ制御レジスタ
	PUL03	PUL02	PUL01	PUL00	PUL02	1	On	Off	
					PUL01	1	On	Off	
					PUL00	1	On	Off	
FF42H	R/W				P03	- *2	High	Low	P00 ~ P03入出力兼用ポートデータ
	P03	P02	P01	P00	P02	- *2	High	Low	
					P01	- *2	High	Low	
					P00	- *2	High	Low	
FF44H	R/W				IOC13	0	Output	Input	P13 I/O制御レジスタ SIF(スレーブ)選択時、汎用レジスタとして機能 P12 I/O制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能 P11 I/O制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能 P10 I/O制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能
	IOC13	IOC12	IOC11	IOC10	IOC12	0	Output	Input	
					IOC11	0	Output	Input	
					IOC10	0	Output	Input	
FF45H	R/W				PUL13	1	On	Off	P13 プルアップ制御レジスタ SIF(スレーブ)選択時、汎用レジスタとして機能 P12 プルアップ制御レジスタ(ESIF=0) SIF(マスター)選択時、汎用レジスタとして機能 SIF(スレーブ)選択時、SCLK(1) プルアップ制御レジスタ P11 プルアップ制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能 P10 プルアップ制御レジスタ(ESIF=0) SIF選択時、SIN プルアップ制御レジスタ
	PUL13	PUL12	PUL11	PUL10	PUL12	1	On	Off	
					PUL11	1	On	Off	
					PUL10	1	On	Off	
FF46H	R/W				P13	- *2	High	Low	P13入出力兼用ポートデータ SIF(スレーブ)選択時、汎用レジスタとして機能 P12入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能 P11入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能 P10入出力兼用ポートデータ(ESIF=0) SIF選択時、汎用レジスタとして機能
	P13	P12	P11	P10	P12	- *2	High	Low	
					P11	- *2	High	Low	
					P10	- *2	High	Low	
FF48H	R/W				IOC23	0	Output	Input	P20 ~ P23 I/O制御レジスタ
	IOC23	IOC22	IOC21	IOC20	IOC22	0	Output	Input	
					IOC21	0	Output	Input	
					IOC20	0	Output	Input	
FF49H	R/W				PUL23	1	On	Off	P20 ~ P23 プルアップ制御レジスタ
	PUL23	PUL22	PUL21	PUL20	PUL22	1	On	Off	
					PUL21	1	On	Off	
					PUL20	1	On	Off	
FF4AH	R/W				P23	- *2	High	Low	P20 ~ P23入出力兼用ポートデータ
	P23	P22	P21	P20	P22	- *2	High	Low	
					P21	- *2	High	Low	
					P20	- *2	High	Low	
FF4CH	R/W				IOC33	0	Output	Input	P30 ~ P33 I/O制御レジスタ
	IOC33	IOC32	IOC31	IOC30	IOC32	0	Output	Input	
					IOC31	0	Output	Input	
					IOC30	0	Output	Input	

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

表4.7.5.1(b) 入出力兼用ポートの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF4DH	PUL33	PUL32	PUL31	PUL30	PUL33	1	On	Off	P30～P33 プルアップ制御レジスタ
					PUL32	1	On	Off	
					PUL31	1	On	Off	
					PUL30	1	On	Off	
FF4EH	R/W				P33	- *2	High	Low	P30～P33 入出力兼用ポートデータ
	P33	P32	P31	P30	P32	- *2	High	Low	
					P31	- *2	High	Low	
					P30	- *2	High	Low	
FF50H	R/W				IOC43	0	Output	Input	P43 I/O 制御レジスタ (PAD3=0) A/D イネーブル時、汎用レジスタとして機能 P42 I/O 制御レジスタ (PAD2=0) A/D イネーブル時、汎用レジスタとして機能 P41 I/O 制御レジスタ (PAD1=0) A/D イネーブル時、汎用レジスタとして機能 P40 I/O 制御レジスタ (PAD0=0) A/D イネーブル時、汎用レジスタとして機能
	IOC43	IOC42	IOC41	IOC40	IOC42	0	Output	Input	
					IOC41	0	Output	Input	
					IOC40	0	Output	Input	
FF51H	R/W				PUL43	1	On	Off	P43 プルアップ制御レジスタ (PAD3=0) A/D イネーブル時、汎用レジスタとして機能 P42 プルアップ制御レジスタ (PAD2=0) A/D イネーブル時、汎用レジスタとして機能 P41 プルアップ制御レジスタ (PAD1=0) A/D イネーブル時、汎用レジスタとして機能 P40 プルアップ制御レジスタ (PAD0=0) A/D イネーブル時、汎用レジスタとして機能
	PUL43	PUL42	PUL41	PUL40	PUL42	1	On	Off	
					PUL41	1	On	Off	
					PUL40	1	On	Off	
FF52H	R/W				P43	- *2	High	Low	P43 入出力兼用ポートデータ (PAD3=0) A/D イネーブル時、汎用レジスタとして機能 P42 入出力兼用ポートデータ (PAD2=0) A/D イネーブル時、汎用レジスタとして機能 P41 入出力兼用ポートデータ (PAD1=0) A/D イネーブル時、汎用レジスタとして機能 P40 入出力兼用ポートデータ (PAD0=0) A/D イネーブル時、汎用レジスタとして機能
	P43	P42	P41	P40	P42	- *2	High	Low	
					P41	- *2	High	Low	
					P40	- *2	High	Low	
FF70H	0	ESOUT	SCTRG	ESIF	0 *3	- *2	Enable	Disable	未使用
	R	R/W			ESOUT	0	Trigger	Invalid	SOUT 制御
FFD1H	R/W				SCTRG	0	Run	Stop	シリアル I/F クロックトリガ (書き込み時)
	PAD3	PAD2	PAD1	PAD0	ESIF	0	SIF	I/O	シリアル I/F クロックステータス (読み出し時)
					PAD3	0	Enable	Disable	シリアル I/F イネーブル (P1 ポート機能選択)
					PAD2	0	Enable	Disable	P43 入力チャンネル制御
					PAD1	0	Enable	Disable	P42 入力チャンネル制御
					PAD0	0	Enable	Disable	P41 入力チャンネル制御
									P40 入力チャンネル制御

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時 "0"

ESIF: シリアルインタフェースイネーブルレジスタ (FF70H・D0)

P10～P13の機能を選択します。

"1"書き込み: シリアルインタフェース入出力ポート

"0"書き込み: 入出力兼用ポート

読み出し: 可能

シリアルインタフェースを使用する場合に "1"、入出力兼用ポートとして使用する場合に "0" を書き込みます。P10～P13 の中でシリアルインタフェースの入出力に使用される端子の構成は、SCS1 と SCS0 レジスタで選択するマスタ/スレーブモードによって決定します (4.11 項参照)。スレーブモードでは P10～P13 すべてがシリアルインタフェースの入出力ポートに設定されます。マスタモードでは P10～P12 がシリアルインタフェースの入出力ポートに設定され、P13 は入出力兼用ポートとして使用することができます。

イニシャルリセット時、このレジスタは "0" に設定されます。

PAD0 ~ PAD3: A/Dチャンネルイネーブルレジスタ(FFD1H)
P40 ~ P43の機能を選択します。

"1"書き込み: A/D変換器入力
"0"書き込み: 入出力兼用ポート
読み出し: 可能

PAD0 ~ PAD3はA/D変換器で使用する入力端子を設定するレジスタで、それぞれP40 ~ P43端子に対応します。A/D変換器の入力チャンネルとして使用する場合に"1"、入出力兼用ポートとして使用する場合に"0"を書き込みます。

イニシャルリセット時、このレジスタは"0"に設定されます。

P00 ~ P03: P0入出力兼用ポートデータレジスタ(FF42H)
P10 ~ P13: P1入出力兼用ポートデータレジスタ(FF46H)
P20 ~ P23: P2入出力兼用ポートデータレジスタ(FF4AH)
P30 ~ P33: P3入出力兼用ポートデータレジスタ(FF4EH)
P40 ~ P43: P4入出力兼用ポートデータレジスタ(FF52H)
入出力兼用ポートデータの読み出し、および出力データの設定を行います。

• データ書き込み時

"1"書き込み: HIGHレベル
"0"書き込み: LOWレベル

入出力兼用ポートが出力モードに設定されている場合、書き込んだデータがそのまま入出力兼用ポート端子に出力されます。ポートデータとして"1"を書き込んだ場合はポート端子はHIGH(VDD)レベルになります。"0"を書き込んだ場合はLOW(Vss)レベルになります。

なお、入力モードの場合もポートデータの書き込みは行えます。

• データ読み出し時

"1"読み出し: HIGHレベル
"0"読み出し: LOWレベル

入出力兼用ポートの端子電圧レベルを読み出します。入出力兼用ポートが入力モードの場合はポート端子に入力されている電圧レベルが読み出され、出力モードに設定されている場合はレジスタの内容が読み出されます。端子電圧がHIGH(VDD)レベルの場合は読み出されるポートデータが"1"、LOW(Vss)レベルの場合は"0"となります。

また、マスクオプションで"プルアップあり"を選択し、PULLレジスタに"1"を設定している場合、入力モード時には内蔵プルアップ抵抗がONとなり、入出力兼用ポート端子がプルアップされます。

シリアルインターフェースまたはA/D変換器の入出力に設定したポートのデータレジスタは、入出力には影響を与えない汎用レジスタとなります。

注: 入力モード時にポートの入力をLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の時定数によって波形立ち上がりに遅延が生じます。このため、入力データの取り込みを行う際は、適切な待ち時間を設定してください。

特に、キーマトリクス構成時のキースキャン等に注意が必要です。

この待ち時間は次の式で算出される時間以上としてください。

$$10 \times C \text{ (端子容量} 5pF + \text{寄生容量} ?pF \text{)} \times R \text{ (プルアップ抵抗} 300k\Omega \text{)}$$

IOC00 ~ IOC03: P0ポートI/O制御レジスタ(FF40H)

IOC10 ~ IOC13: P1ポートI/O制御レジスタ(FF44H)

IOC20 ~ IOC23: P2ポートI/O制御レジスタ(FF48H)

IOC30 ~ IOC33: P3ポートI/O制御レジスタ(FF4CH)

IOC40 ~ IOC43: P4ポートI/O制御レジスタ(FF50H)

入出力兼用ポートの入力/出力モードを設定します。

"1"書き込み: 出力モード

"0"書き込み: 入力モード

読み出し: 可能

入出力兼用ポートの入力/出力モードを1ビット単位に設定します。

I/O制御レジスタに"1"を書き込むことにより対応する入出力兼用ポートが出力モードに、"0"を書き込むことにより入力モードになります。

イニシャルリセット時、これらのレジスタは"0"に設定され、入出力兼用ポートはすべて入力モードになります。

シリアルインターフェースまたはA/D変換器の入出力に設定したポートのI/O制御レジスタは、入出力には影響を与えない汎用レジスタとなります。

PUL00 ~ PUL03: P0ポートプルアップ制御レジスタ(FF41H)

PUL10 ~ PUL13: P1ポートプルアップ制御レジスタ(FF45H)

PUL20 ~ PUL23: P2ポートプルアップ制御レジスタ(FF49H)

PUL30 ~ PUL33: P3ポートプルアップ制御レジスタ(FF4DH)

PUL40 ~ PUL43: P4ポートプルアップ制御レジスタ(FF51H)

入力モード時のプルアップを設定します。

"1"書き込み: プルアップON

"0"書き込み: プルアップOFF

読み出し: 可能

入出力兼用ポートに内蔵されたプルアップ抵抗を入力モード時にONまたはOFFすることを1ビット単位に設定します。(プルアップ抵抗はマスクオプションで選択したポートのみに付加されます。)

プルアップ制御レジスタに"1"を書き込むことにより、対応する入出力兼用ポートが入力モード時にプルアップがONとなります。"0"を書き込んだ場合、プルアップは行われません。

イニシャルリセット時、これらのレジスタは"1"に設定され、プルアップ抵抗がすべてONになります。

マスクオプションによりプルアップ抵抗が付加されていないポート、およびシリアルインターフェースの出力またはA/D変換器の入力に用いられるポートのプルアップ制御レジスタは、プルアップには影響を与えない汎用レジスタとなります。シリアル入力に用いられるポートのプルアップ制御レジスタは入出力兼用ポートの場合と同様に機能します。

4.7.6 プログラミング上の注意事項

入力モード時にポートの入力をLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の時定数によって波形立ち上がりに遅延が生じます。このため、入力データの取り込みを行う際は、適切な待ち時間を設定してください。

特に、キーマトリクス構成時のキースキヤン等に注意が必要です。

この待ち時間は次の式で算出される時間以上としてください。

$$10 \times C(\text{端子容量}5\text{pF} + \text{寄生容量}2\text{pF}) \times R(\text{プルアップ抵抗}300\text{k}\Omega)$$

4.8 計時タイマ

4.8.1 計時タイマの構成

S1C63158はOSC1(水晶発振)を原振とする計時タイマを内蔵しています。計時タイマはfosc1の分周クロック(256Hz)を入力クロックとする8ビットのバイナリカウンタで構成され、その8ビットデータ(128Hz ~ 16Hz と 8Hz ~ 1Hz)をソフトウェアによって読み出すことができます。

図4.8.1.1に計時タイマのブロック図を示します。

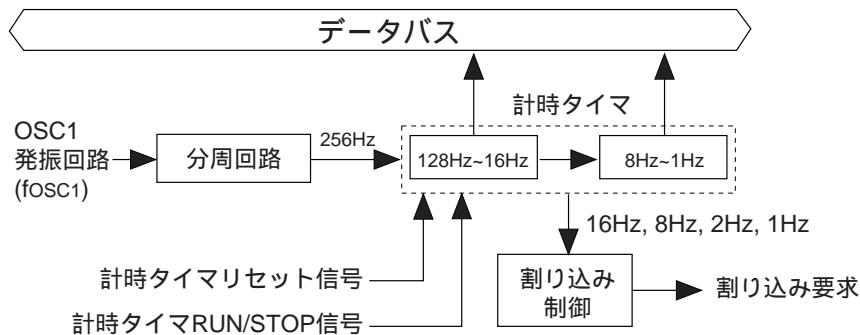


図4.8.1.1 計時タイマのブロック図

通常はこの計時タイマを、時計などのような各種の計時機能に用います。

注: OSC1発振回路としてCR発振回路がマスクオプションで選択された場合にはfosc1が60kHz(Typ.)になりますので、記載されているすべての周波数、時間等が異なります。よって、時計機能に用いることはできません。

4.8.2 データの読み出しとホールド機能

8ビットのタイマデータはアドレスFF79HとFF7AHに次のように割り付けられています。

<FF79H>	D0:TM0=128Hz	D1:TM1=64Hz	D2:TM2=32Hz	D3:TM3=16Hz
<FF7AH>	D0:TM4=8Hz	D1:TM5=4Hz	D2:TM6=2Hz	D3:TM7=1Hz

計時タイマのデータは2つのアドレスに割り付けられているため、カウント中に下位データ(TM0 ~ TM3: 128Hz ~ 16Hz)から上位データ(TM4 ~ TM7: 8Hz ~ 1Hz)への桁上げが発生します。下位データと上位データの読み出しの間にこの桁上げが発生すると、2つを合わせた内容が正しい値とはなりません(下位データがFFHと読み出されていて、上位データはその時点から1つカウントアップされた値になってしまいます)。これを避けるために、S1C63158では上位データのホールド機能が働くようになっています。この機能は下位データの読み出しを行った時点で上位データのカウントアップ(下位データからの桁上げ)を一時停止するもので、上位データがホールドされる時間は次に示す2つの内の短い方になります。

1. 上位データを読み出すまでの間
2. 0.48msec ~ 1.5msec, fosc1 = 32.768kHzの場合(読み出しのタイミングにより異なる)

注: 上位データを先に読み出した場合は下位データのホールドは行われませんので、必ず下位バイトから先に読み出しを行ってください。

4.8.3 割り込み機能

計時タイマは16Hz, 8Hz, 2Hz, 1Hzの各信号の立ち下がりエッジにおいて割り込みを発生させることができます。また、前記の各周波数に対して個別に割り込みをマスクするかしないかを、ソフトウェアで設定することができます。

図4.8.3.1に計時タイマのタイミングチャートを示します。

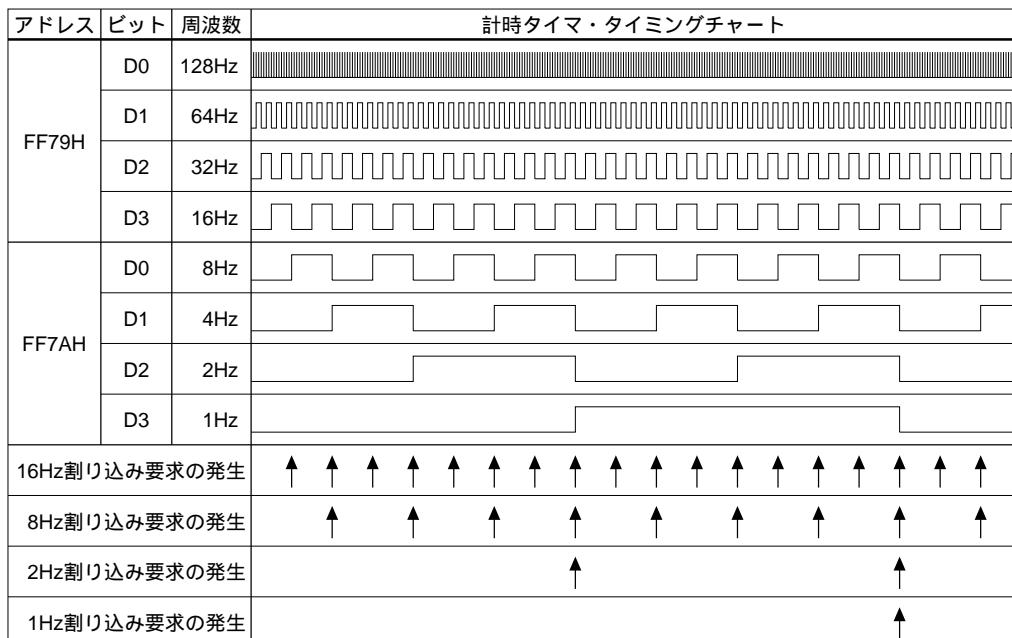


図4.8.3.1 計時タイマのタイミングチャート

図4.8.3.1に示すとおり、割り込みは各周波数(16Hz, 8Hz, 2Hz, 1Hz)の信号の立ち下がりエッジによって発生します。また、この時点で対応する割り込み要因フラグ(IT0, IT1, IT2, IT3)が"1"にセットされます。各割り込みは、割り込みマスクレジスタ(EIT0, EIT1, EIT2, EIT3)によって、個別にマスクを選択することができます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応する信号の立ち下がりエッジで"1"にセットされます。

4.8.4 計時タイマのI/Oメモリ

表4.8.4.1に計時タイマの制御ビットとそのアドレスを示します。

表4.8.4.1 計時タイマの制御ビット

アドレス	レジスタ								注 釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF78H	0	0	TMRST	TMRUN	0 *3	- *2			未使用
					0 *3	- *2			未使用
	R		W	R/W	TMRST*3	Reset	Reset	Run	計時タイマリセット(書き込み時) 計時タイマRun/Stop
FF79H	TM3	TM2	TM1	TM0	TM3	0			計時タイマデータ(16Hz)
					TM2	0			計時タイマデータ(32Hz)
					TM1	0			計時タイマデータ(64Hz)
					TM0	0			計時タイマデータ(128Hz)
	TM7	TM6	TM5	TM4	TM7	0			計時タイマデータ(1Hz)
FF7AH					TM6	0			計時タイマデータ(2Hz)
					TM5	0			計時タイマデータ(4Hz)
					TM4	0			計時タイマデータ(8Hz)
	EIT3	EIT2	EIT1	EIT0	EIT3	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ1Hz)
FFE6H					EIT2	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ2Hz)
					EIT1	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ8Hz)
					EIT0	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ16Hz)
	IT3	IT2	IT1	IT0	IT3	0	(R)	(R)	割り込み要因フラグ(計時タイマ1Hz)
FFF6H					IT2	0	Yes	No	割り込み要因フラグ(計時タイマ2Hz)
					IT1	0	(W)	(W)	割り込み要因フラグ(計時タイマ8Hz)
					IT0	0	Reset	Invalid	割り込み要因フラグ(計時タイマ16Hz)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

TM0 ~ TM7: タイマデータ(FF79H, FF7AH)

計時タイマの128Hz ~ 1Hzのタイマデータが読み出せます。この8ビットは読み出し専用のため、書き込み動作は無効となります。

下位データ FF79H を読み出すことにより、上位データ FF7AH がその読み出しまで、または0.48msec ~ 1.5msec(fosc1 = 32.768kHz)の間、どちらか短い方にホールドされます。

イニシャルリセット時、タイマデータは"00H"に初期化されます。

TMRST: 計時タイマリセット(FF78H·D1)

計時タイマをリセットするビットです。

"1"書き込み: 計時タイマリセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

計時タイマは、TMRSTに"1"を書き込むことによりリセットされます。計時タイマがRUN状態でリセットを行うとリセット直後にリスタートします。また、STOP状態の場合はリセットデータが保持されます。

また、"0"の書き込みはノーオペレーションとなります。

このビットは書き込み専用のため、読み出し時は常時"0"となります。

TMRUN: 計時タイマRUN/STOP制御レジスタ(FF78H·D0)
計時タイマのRUN/STOPを制御します。

"1"書き込み: RUN
"0"書き込み: STOP
読み出し: 可能

計時タイマはTMRUNに"1"を書き込むことによりRUNし、"0"の書き込みによりSTOPします。
STOP状態ではリセットか次にRUN状態にするまで、タイマのデータは保持されます。また、STOP状態からRUN状態にすることにより保持していたデータから継続して、カウントを進めることができます。
イニシャルリセット時、このレジスタは"0"に設定されます。

EIT0: 16Hz割り込みマスクレジスタ(FFE6H·D0)
EIT1: 8Hz割り込みマスクレジスタ(FFE6H·D1)
EIT2: 2Hz割り込みマスクレジスタ(FFE6H·D2)
EIT3: 1Hz割り込みマスクレジスタ(FFE6H·D3)

計時タイマの割り込みについて、マスクするかしないかを選択します。

"1"書き込み: イネーブル
"0"書き込み: マスク
読み出し: 可能

各周波数(16Hz, 8Hz, 2Hz, 1Hz)に対して、割り込みをマスクするかしないかを、割り込みマスクレジスタ EIT0(16Hz) EIT1(8Hz) EIT2(2Hz) EIT3(1Hz)により個別に選択できます。
イニシャルリセット時、これらのレジスタはすべて"0"に設定されます。

IT0: 16Hz割り込み要因フラグ(FFF6H·D0)
IT1: 8Hz割り込み要因フラグ(FFF6H·D1)
IT2: 2Hz割り込み要因フラグ(FFF6H·D2)
IT3: 1Hz割り込み要因フラグ(FFF6H·D3)
計時タイマ割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有
"0"読み出し: 割り込み無
"1"書き込み: 要因フラグをリセット
"0"書き込み: 無効

割り込み要因フラグIT0, IT1, IT2, IT3は、それぞれ16Hz, 8Hz, 2Hz, 1Hzの計時タイマ割り込みに対応します。これらのフラグによって計時タイマ割り込みの有無を、ソフトウェアで判断することができます。ただし、これらのフラグは割り込みをマスクしていても、対応する信号の立ち下がりエッジで"1"にセットされます。これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(!フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
イニシャルリセット時、これらのフラグは"0"に設定されます。

4.8.5 プログラミング上の注意事項

- (1)データの読み出しあは必ず下位データ(TM0 ~ TM3)から先に行ってください。
- (2)割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(!フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- (3)OSC1発振回路としてCR発振回路がマスクオプションで選択された場合にはfosc1が60kHz(Typ.)になりますので、記載されているすべての周波数、時間等が異なります。よって、時計機能に用いることはできません。

4.9 A/D変換器

4.9.1 A/D変換器の特徴と構成

- S1C63158は以下の特徴を持つA/D変換器を内蔵しています。
- ・変換方式 逐次比較型
 - ・分解能 8ビット
最大誤差: $\pm 3\text{LSB}$ 、A/Dクロック: $f = 1\text{MHz}$
(0.9V ~ 3.6V、1.6V以下の場合は V_{C2} モードで駆動)
 - ・入力チャンネル 最大4チャンネル
 - ・変換時間 最小 $21\mu\text{sec}$ (1MHz動作時)
 - ・アナログ変換電圧範囲が基準電圧端子(AVREF)により設定可能
 - ・A/D変換結果は8ビットデータレジスタから読み出し可能
 - ・サンプル&ホールド回路内蔵
 - ・A/D変換終了時に割り込み発生

図4.9.1.1にA/D変換器の構成を示します。

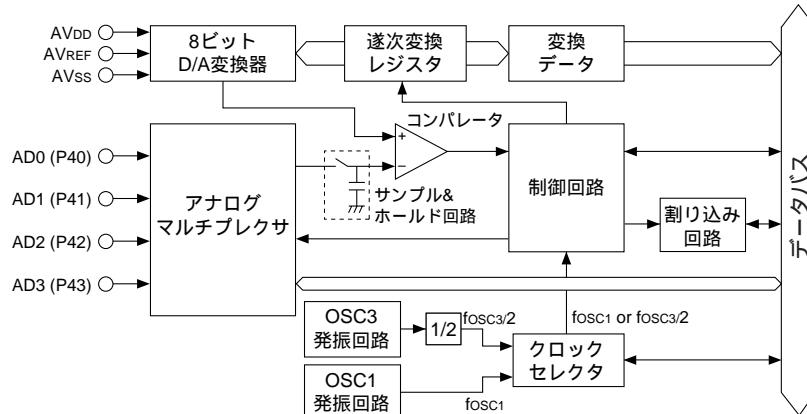


図4.9.1.1 A/D変換器の構成

4.9.2 A/D変換器の端子構成

A/D変換器で使用する端子は以下のとおりです。

AVDD, AVss(アナログ系電源端子)

AVDD, AVss端子はA/D変換器の電源端子です。入力電圧はAVDD = VDD, AVss = Vssとしてください。

AVREF(基準電圧入力端子)

AVREF端子はアナログ部の基準電圧端子です。A/D変換の入力電圧範囲がこの入力によって決定します(AVss ~ AVREF)。入力電圧はAVREF = AVDDとしてください。

AD0 ~ AD3(アナログ入力端子)

アナログ入力端子AD0 ~ AD3は入出力兼用ポート端子P40 ~ P43と共に用意されています。したがって、アナログ入力端子として用いる場合は、ソフトウェアによりA/D変換器用に設定する必要があります。この設定は1端子ごとに行えます。(設定方法は4.9.4項参照)

イニシャルリセット時はすべての端子が入出力兼用ポート端子に設定されます。

入力可能なアナログ電圧値AVINはAVss ~ AVIN ~ AVREFの範囲です。

4.9.3 マスクオプション

A/D変換器のアナログ入力端子は入出力兼用ポート端子P40～P43と兼用されています。このため、入出力兼用ポート端子のプルアップ抵抗のマスクオプションがそのまま適用されます。A/D変換器を使用する場合は、変換精度を確保するため、使用する入力チャンネルに対応する入出力兼用ポートのマスクオプションは"プルアップなし"を選択してください。

4.9.4 A/D変換の制御

(1) A/D入力端子の設定

A/D変換器を使用する場合、入出力兼用ポート端子として初期設定されるP40～P43の中でアナログ入力に使用する端子を設定しておく必要があります。4端子すべてをアナログ入力端子として使用可能です。

アナログ入力端子への設定はPAD (PAD0～PAD3) レジスタによって行います。PADレジスタビットを"1"に設定することにより、対応する端子がアナログ入力端子として機能します。

イニシャルリセット時、これらの端子はすべて入出力兼用ポート端子に設定され、各端子はハイインピーダンスとなります。

表4.9.4.1 A/D入力端子とPADレジスタの対応

端子	A/D入力制御レジスタ	備考
P40 (AD0)	PAD0	
P41 (AD1)	PAD1	
P42 (AD2)	PAD2	
P43 (AD3)	PAD3	

(2) 入力クロックの設定

A/D変換用入力クロックは表4.9.4.2に示すとおり、ADCLKレジスタによってOSC1クロックまたはOSC3の2分周クロックから選択できます。

表4.9.4.2 入力クロックの選択

ADCLK	入力クロック
0	OSC1
1	OSC3/2

選択したクロックは、ADRUNレジスタに"1"を書き込むことによりA/D変換器に供給されます。

- 注:
- 電源電圧が2.2V～3.6Vの場合、入力クロックをOSC1またはOSC3から選択できます。電源電圧が0.9V～2.2Vの場合は、OSC1クロックのみ使用可能です。
 - A/Dクロックには、1MHz以下の周波数を使用してください。
 - ADCLKレジスタによる入力クロックの選択は、必ずA/D変換器が停止中に行ってください。A/D変換中の変更は誤動作につながります。
 - 誤動作を防止するため、A/D変換器へのクロックが停止中にA/D変換を開始(ADRUNレジスタへの"1"書き込み)したり、A/D変換動作中にクロックを停止しないでください。

(3)入力信号の選択

AD0(P40) ~ AD3(P43)のアナログ入力はマルチブレクサに入力されており、ソフトウェアによってA/D変換を行うアナログ入力チャンネルを選択します。この選択は表4.9.4.3のとおり、CHSレジスタによって行います。

表4.9.4.3 アナログ入力チャンネルの選択

CHS1	CHS0	入力チャンネル
1	1	AD3 (P43)
1	0	AD2 (P42)
0	1	AD1 (P41)
0	0	AD0 (P40)

(4)A/D変換動作

A/D変換はADRUNレジスタ(FFD0H・D3)に"1"を書き込むことによって開始します。ただし、電源電圧が1.6V以下の場合は、A/D変換を開始する前にVADSELレジスタに"1"を書き込んでVc2モードに設定してください。

たとえば、AD1をアナログ入力チャンネルとしてA/D変換を行いたい場合、はじめにCHSレジスタ(CHS1、CHS0)に"1"(0, 1)を書き込みます。これにより、A/D入力チャンネルが選択されます。ただし、P41端子がアナログ入力端子として設定されている必要があります。

次にADRUNレジスタに"1"を書き込みます。A/D変換器は、AD1端子に入力されているアナログ信号の変換を開始します。

内蔵のサンプル&ホールド回路は、この書き込みからtAD時間経過後に、指定されたアナログ入力のサンプリングを開始します。サンプリング期間が終了すると、そこでホールドされたアナログ入力電圧が逐次比較方式により8ビットのデジタル値にA/D変換されます。

変換結果はADDR(ADDR0 ~ ADDR7)レジスタに格納されます。ADDR0がLSB、ADDR7がMSBです。

注: PADレジスタで設定されたアナログ入力端子(同時複数設定可)とCHSレジスタで選択された入力チャンネルが一致していないと正しいA/D変換が行われません。

例)端子設定: PAD3=1, PAD2 ~ PAD0=0(AD3端子を設定)

入力チャンネル選択: CHS1=0, CHS0=0(AD0を選択)

この設定では指定入力チャンネルがアナログ入力端子として設定されていないため、A/D変換結果は無効となります。

A/D変換開始のフローを図4.9.4.1に示します。

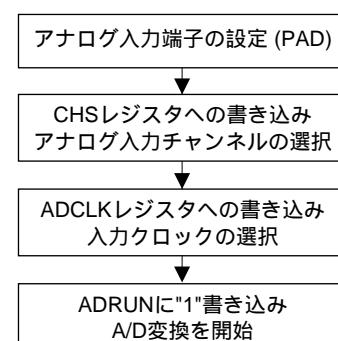


図4.9.4.1 A/D変換開始のフロー

変換結果がADDRレジスタに格納されA/D変換が終了すると、A/D変換器は次項で説明する割り込みを発生します。

A/D変換のタイミングを図4.9.4.2に示します。

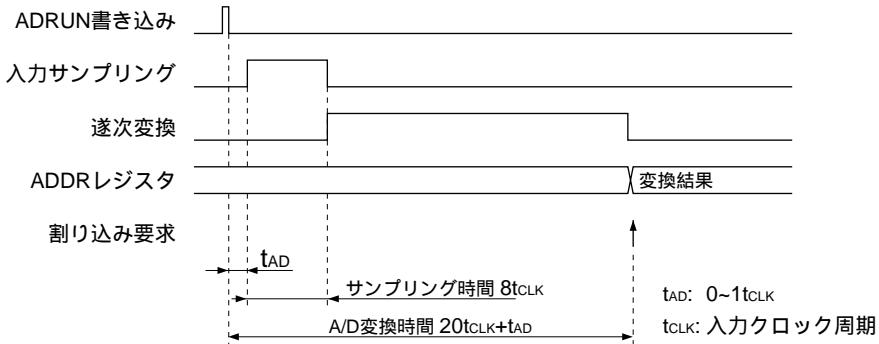


図4.9.4.2 A/D変換のタイミングチャート

4.9.5 割り込み機能

A/D変換器はA/D変換終了時に割り込みを発生させることができます。

図4.9.5.1にA/D変換器割り込み回路の構成を示します。

A/D変換器はA/D変換を終了し、変換結果をADDRレジスタに格納したところで割り込み要因フラグIADを"1"にセットします。このときに、割り込みマスクレジスタEIADが"1"に設定されている場合、CPUに対し割り込みが発生します。

EIADレジスタを"0"に設定しておくことにより、CPUへの割り込みをマスクすることもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、A/D変換の終了により"1"にセットされます。"1"にセットされた割り込み要因フラグは"1"を書き込むことにより"0"にリセットされます。

A/D変換完了割り込みのベクターアドレスは010EHに設定されています。

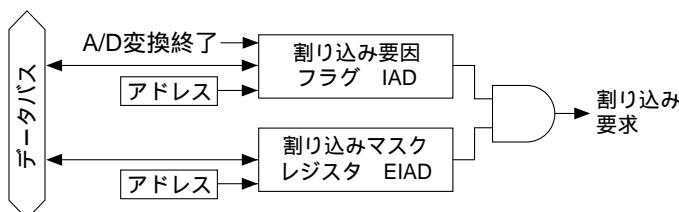


図4.9.5.1 A/D変換器割り込み回路の構成

4.9.6 A/D変換器のI/Oメモリ

表4.9.6.1にA/D変換器の制御ビットとそのアドレスを示します

表4.9.6.1 A/D変換器の制御ビット

アドレス	レジスタ				Name	Init *1	注 釈	
	D3	D2	D1	D0			1	0
FF01H	VADSEL	VDSEL	0	DBON	VADSEL	0	Vc2	VDD
					VDSEL	0	Vc2	VDD
	R/W		R	R/W	0 *3		- *2	
					DBON	0	On	Off
FFD0H	ADRUN	ADCLK	CHS1	CHS0	ADRUN	0	Start	Invalid
					ADCLK	0	OSC3	OSC1
	W		R/W		CHS1	0		
					CHS0	0		
FFD1H	PAD3	PAD2	PAD1	PAD0	PAD3	0	Enable	Disable
					PAD2	0	Enable	Disable
	R/W		PAD1		PAD1	0	Enable	Disable
					PAD0	0	Enable	Disable
FFD2H	ADDR3	ADDR2	ADDR1	ADDR0	ADDR3	- *2		A/D変換データ(D0 ~ D3)
					ADDR2	- *2		
	R		ADDR1		ADDR1	- *2		
					ADDR0	- *2		
FFD3H	ADDR7	ADDR6	ADDR5	ADDR4	ADDR7	- *2		A/D変換データ(D4 ~ D7)
					ADDR6	- *2		
	R		ADDR5		ADDR5	- *2		
					ADDR4	- *2		
FFE7H	0	0	0	EIAD	0 *3	- *2		未使用
					0 *3	- *2		未使用
	R		EIAD		0 *3	- *2		未使用
					EIAD	0	Enable	割り込みマスクレジスタ(A/D変換器)
FFF7H	0	0	0	IAD	0 *3	- *2	(R)	未使用
					0 *3	- *2	Yes	未使用
	R		IAD		0 *3	- *2	(W)	未使用
					IAD	0	Reset	未使用
							Invalid	割り込み要因フラグ(A/D変換器)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

PAD0 ~ PAD3: A/D変換器入力制御レジスタ(FFD1H)

P40 ~ P43端子をそれぞれA/D変換器のアナログ入力端子に設定します。

"1"書き込み: A/D変換器入力

"0"書き込み: 入出力兼用ポート

読み出し: 可能

PADnに"1"を書き込むとP4n端子がA/D変換器のアナログ入力端子ADnに設定されます。(n=0 ~ 3)

"0"を書き込んだ場合、その端子は入出力兼用ポート端子となります。

イニシャルリセット時、このレジスタは"0"(入出力兼用ポート)に設定されます。

ADCLK: A/D変換器入力クロック選択レジスタ(FFD0H・D2)

A/D変換器のクロック源を選択します。

"1"書き込み: OSC3

"0"書き込み: OSC1

読み出し: 可能

ADCLKに"1"を書き込むことにより、A/D変換器のクロック源としてOSC3が選択されます。ただし、電源電圧が2.2V以上であることが必要です。"0"を書き込んだ場合はOSC1が選択されます。

イニシャルリセット時、このレジスタは"0"(OSC1)に設定されます。

CHS0, CHS1: アナログ入力チャンネル選択レジスタ(FFD0H・D0, D1)
アナログ入力チャンネルを選択します。

表4.9.6.2 アナログ入力チャンネルの選択

CHS1	CHS0	入力チャンネル
1	1	AD3 (P43)
1	0	AD2 (P42)
0	1	AD1 (P41)
0	0	AD0 (P40)

イニシャルリセット時、このレジスタは"0"(AD0)に設定されます。

VADSEL: A/D電源選択レジスタ(FF01H・D3)
A/D変換器の電源を選択します。

- "1"書き込み: VC2
- "0"書き込み: VDD
- 読み出し: 可能

VADSELに"1"を書き込むことにより A/D変換器の制御回路は昇圧回路が出力するVC2で動作します。電源電圧が1.6V以下の場合にVC2を使用してください。VC2を発生させるにはDBONに"1"を書き込みます。その後、VC2が安定する100msec以上の時間をおいてVADSELを"1"に設定してください。
VADSELに"0"を設定した場合は、A/D変換器の制御回路がVDDで動作します。この場合、VDDは1.6V以上であることが必要です。

イニシャルリセット時、このレジスタは"0"(VDD)に設定されます。

ADRUN: A/D変換制御(FFD0H・D3)
A/D変換を制御します。

- "1"書き込み: 変換開始
- "0"書き込み: ノーオペレーション
- 読み出し: 無効

ADRUNに"1"を書き込むことにより A/D変換器はCHSレジスタで指定したチャンネルのA/D変換を開始し、結果をADDRレジスタに格納します。

イニシャルリセット時、ADRUNは"0"に設定されます。

ADDR0 ~ ADDR7: A/D変換器結果(FFD2H/下位4ビット, FFD3H/上位4ビット)
A/D変換結果が格納されます。

ADDR0がLSB、ADDR7がMSBです。

イニシャルリセット時、データは不定となります。

EIAD: A/D変換器割り込みマスクレジスタ(FFE7H・D0)
A/D変換器の割り込みをマスクします。

- "1"書き込み: イネーブル
- "0"書き込み: マスク
- 読み出し: 可能

A/D変換器の割り込みをマスクするかしないかを、このレジスタにより選択できます。
イニシャルリセット時、このレジスタは"0"に設定されます。

IAD: A/D変換器割り込み要因フラグ(FFF7H·D0)

A/D変換器割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有

"0"読み出し: 割り込み無し

"1"書き込み: 要因フラグをリセット

"0"書き込み: 無効

割り込み要因フラグIADによって、A/D変換器割り込みの有無をソフトウェアで判断することができます。

割り込み要因フラグは、割り込みマスクレジスタの設定にかかわらずA/D変換の終了により"1"にセットされます。ただし、割り込みがマスクされている場合はCPUに対して割り込みは発生しません。

このフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、このフラグは"0"にセットされます。

4.9.7 プログラミング上の注意事項

- (1)電源電圧が1.6V以下の場合は、A/D変換を開始する前にVADSELレジスタに"1"を書き込んでA/D変換器をVC2モードに設定してください。
- (2)A/D変換器はクロックセレクタからのクロックを入力して動作します。したがって、A/D変換を行う前に、使用的クロックを選択し、クロックを出力させておく必要があります。またそのクロック源としてOSC3を使用する場合は、OSC3発振回路が動作していることも必要です。
- (3)A/D変換クロックとしてOSC3クロックを使用する場合は、A/D変換中にOSC3発振回路を停止させないでください。OSC3発振回路が停止した場合、正確なA/D変換結果は得られません。
- (4)入力クロックやアナログ入力端子の設定は必ずA/D変換停止中に行ってください。A/D変換開始後の変更は誤動作の原因となります。
- (5)誤動作を防止するため、A/D変換器へのクロックが停止中にA/D変換を開始(ADRUNレジスタへの"1"書き込み)したり、A/D変換動作中にクロックを停止しないでください。
- (6)PADレジスタで設定されたアナログ入力端子(同時複数設定可)とCHSレジスタで選択された入力チャンネルが一致していないと正しいA/D変換が行われません。
- (7)A/D変換器のアナログ入力として使用しないP4n端子をA/D変換動作中に動作させないでください(デジタル信号の入出力等)。A/D変換精度に影響します。

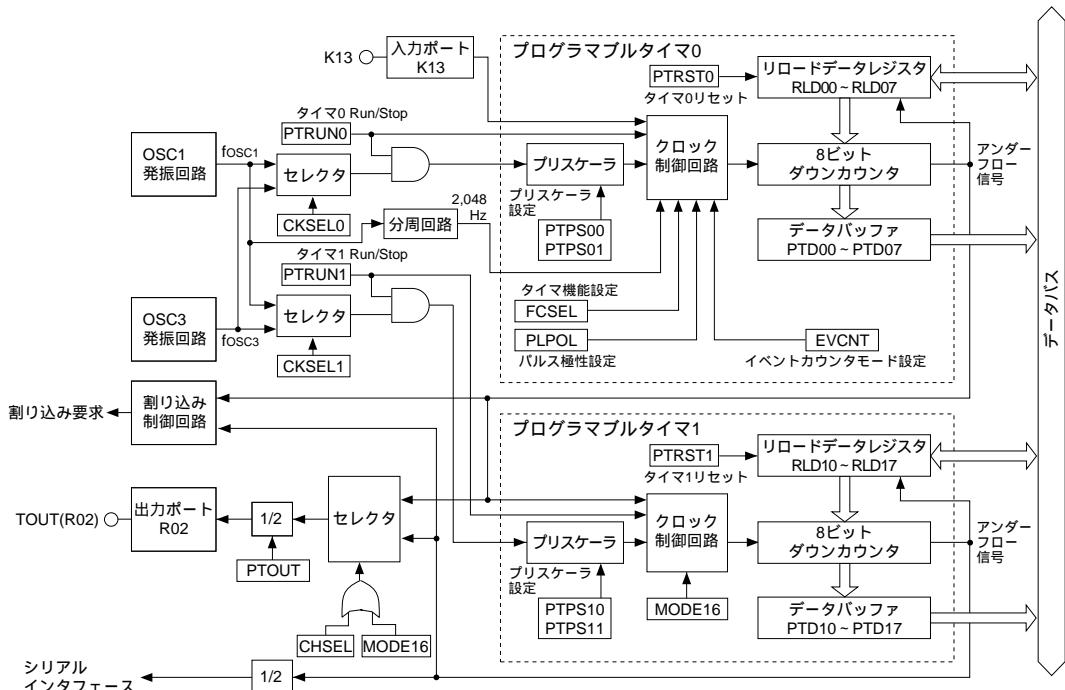
4.10 プログラマブルタイマ

4.10.1 プログラマブルタイマの構成

S1C63158は8ビットのプログラマブルタイマを2系統(タイマ0およびタイマ1)内蔵しています。タイマ0とタイマ1は8ビットプリセットタブルダウンカウンタで構成され、8ビット×2チャンネルのプログラマブルタイマまたは16ビット×1チャンネルのプログラマブルタイマとして使用することができます。また、タイマ0はK13入力ポート端子を使用したイベントカウンタ機能も合わせ持っています。

図4.10.1.1にプログラマブルタイマの構成を示します。

プログラマブルタイマはカウントダウンによるアンダーフローによって割り込みを発生し、カウンタ初期値のプリセットを行います。また、タイマ0またはタイマ1のアンダーフロー信号は、R02出力ポート端子から外部に出力させるTOUT信号を発生します。さらにタイマ1のアンダーフロー信号はシリアルインターフェースのクロック源として使用できるため、転送速度のプログラマブルな設定が可能です。



4.10.2 2チャンネル×8ビットタイマ(MODE16 = "0")の動作

4.10.2.1 カウンタ初期値の設定とダウンカウント動作

タイマ0およびタイマ1にはそれぞれ、8ビットのダウンカウンタリロードデータレジスタが設けられています。

リロードデータレジスタRLD00～RLD07(タイマ0) RLD10～RLD17(タイマ1)はカウンタの初期値を設定するレジスタです。

ダウンカウンタは、リロードデータレジスタRLDに設定された初期値を、タイマリセットビットPTRST0(タイマ0) PTRST1(タイマ1)への"1"書き込みによってロードします。したがって、このロードされた初期値から入力クロックによるダウンカウントが行われます。

タイマ0およびタイマ1にはそれぞれ、RUN/STOPを制御するレジスタPTRUN0(タイマ0) PTRUN1(タイマ1)が設けられています。リロードデータをカウンタにプリセットした後、本レジスタに"1"を書き込むことによってダウンカウントを開始します。"0"を書き込むとクロックの入力が禁止され、カウントを停止します。

このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

カウンタのデータ読み出しはデータバッファPTD00～PTD07(タイマ0) PTD10～PTD17(タイマ1)を介して行い、下位、上位4ビットずつソフトウェアにより任意のタイミングで読み出しが可能です。

ただし、このカウンタも計時タイマと同様に下位データ、上位データ読み出し間の桁下げを防止するため、下位データの読み出しにより上位データがホールドされるようになっています。したがって、データの読み出しへは必ず下位データから先に行ってください。

カウンタはダウンカウントが進んでアンダーフローが発生すると、リロードデータレジスタRLDに設定された初期値をリロードします。初期値をリロード後は、その初期値からダウンカウントを継続します。

このアンダーフロー信号はカウンタのリロードのほか、割り込みの発生、外部へのパルス(TOUT信号)出力、シリアルインターフェースへのクロック供給を制御します。

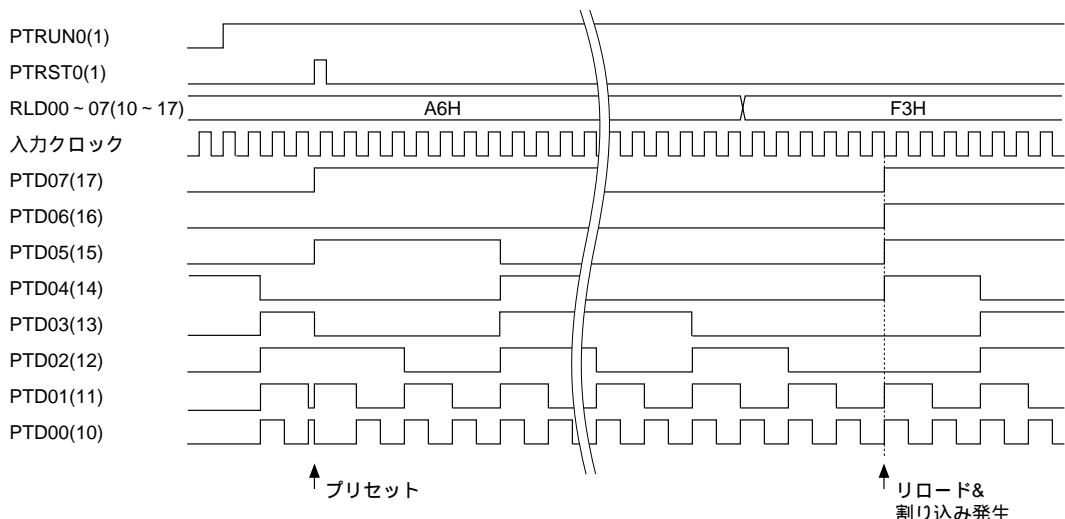


図4.10.2.1.1 カウンタの基本動作タイミング

4.10.2.2 カウンタモード

本プログラマブルタイマにはタイマモードとイベントカウンタモードの2種類のカウンタモードが設定されており、ソフトウェアによって選択することができます。

(1)タイマモード

タイマモードはプリスケーラの出力を入力クロックとしてダウンカウントを行うモードです。このモードは、OSC1またはOSC3発振クロックを原振として一定周期ごとにカウントを行うタイマとして動作します。

タイマ0はタイマ0カウンタモード選択レジスタEVCNTIによりタイマモードとイベントカウンタモードの切り換えが可能となっています。タイマ0カウンタモード選択レジスタEVCNTが"0"に設定されている場合、タイマ0はタイマモードで動作します。

タイマ1はタイマモードのみの動作となります。

イニシャルリセット時はこのモードに設定されます。

タイマの基本的な動作と制御については"4.10.2.1 初期値の設定とダウンカウント動作"を参照してください。

タイマモード時の入力クロックは、OSC1またはOSC3発振クロックをプログラマブルタイマ回路に内蔵されたプリスケーラによって分周して発生しています。この入力クロックの設定については次項を参照してください。

(2)イベントカウンタモード

タイマ0には、K13入力ポート端子に外部クロックを入力してカウントを行うイベントカウンタ機能があります。この機能は、タイマ0カウンタモード選択レジスタEVCNTIに"1"を書き込むことによって選択されます。タイマ1はタイマモードのみで、イベントカウンタとしては使用できません。

イベントカウンタモードでは、外部からタイマ0にクロックが供給されるため、タイマ0プリスケーラ分周比選択レジスタPTPS00、PTPS01およびプリスケーラ0原振クロック選択レジスタCKSEL0の設定は無効となります。

ダウンカウントのタイミングは、タイマ0パルス極性選択レジスタPLPOLによって、立ち下がりエッジまたは立ち上がりエッジのどちらかが選択できます。レジスタPLPOLに"0"を書き込んだ場合が立ち下がりエッジ、"1"を書き込んだ場合が立ち上がりエッジとなり、図4.10.2.2.1に示すタイミングでダウンカウントが行われます。

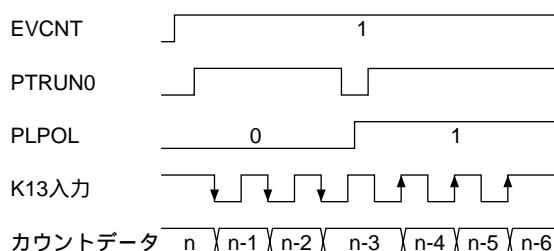


図4.10.2.2.1 イベントカウンタモードのタイミングチャート

イベントカウンタモードにはこのほかに、外部クロック(K13)入力に対してチャタリング等のノイズを除去するノイズリジェクタ付加機能があります。この機能はタイマ0機能選択レジスタFCSELに"1"を書き込むことによって選択されます。

ノイズリジェクタ付きを選択した場合は確実なカウントを行うために、LOWレベル/HIGHレベル共に0.98msec以上のパルス幅を確保する必要があります。(ノイズリジェクタは、K13入力ポート端子の入力レベルが変化してから2度目の内部2,048Hz信号の立ち下がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msec以下となります。)

図4.10.2.2.2にノイズリジェクタ付加時のダウンカウントタイミングを示します。

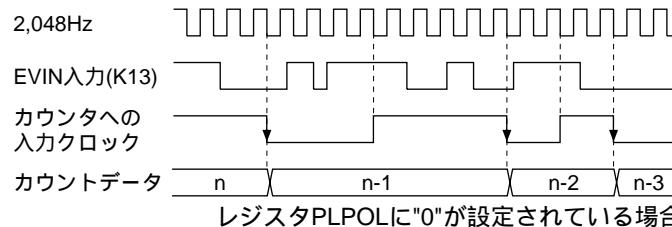


図4.10.2.2.2 ノイズリジェクタ付加時のダウンカウントタイミング

イベントカウンタモードの動作は、入力クロックが外部クロック(K13)となること以外はタイマモードと同等です。

カウントの基本的な動作と制御については"4.10.2.1 初期値の設定とダウンカウント動作"を参照してください。

4.10.2.3 タイマモード入力クロックの設定

タイマ0およびタイマ1にはそれぞれ、プリスケーラが設けられています。プリスケーラはOSC1またはOSC3発振回路から供給される原振クロックを分周して、それぞれのタイマへの入力クロックを発生します。

原振クロックとプリスケーラの分周比はタイマ0、タイマ1でそれぞれ個別にソフトウェアで選択することができます。

設定した入力クロックはタイマモードでの動作時のカウントクロックとして使用されます。タイマ0をイベントカウンタモードに設定した場合は、以下の設定はすべて無効となります。

入力クロックは以下の手順で設定します。

(1)原振クロックの選択

それぞれのプリスケーラに入力する原振クロックを、OSC1とするかOSC3とするかを選択します。この選択は、原振クロック選択レジスタCKSEL0(タイマ0) CKSEL1(タイマ1)によって行い、"0"を書き込むとOSC1、"1"を書き込むとOSC3が選択されます。

OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3発振回路をONさせる必要があります。

ただし、OSC3発振回路をONにしてから発振が安定するまでに5msec以上の時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ON後、充分な待ち時間をおいてから行ってください。

OSC3の制御方法と注意事項については"4.4 発振回路"を参照してください。イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

(2)プリスケーラ分周比の選択

それぞれのプリスケーラの分周比を4種類の中から選択します。この選択は、プリスケーラ分周比選択レジスタPTPS00/PTPS01(タイマ0) PTPS10/PTPS11(タイマ1)によって行います。設定値と分周比は表4.10.2.3.1に示すとおり対応しています。

表4.10.2.3.1 プリスケーラ分周比の選択

PTPS11 PTPS01	PTPS10 PTPS00	プリスケーラ分周比
1	1	原振クロック / 256
1	0	原振クロック / 32
0	1	原振クロック / 4
0	0	原振クロック / 1

レジスタPTRUN0(タイマ0) PTRUN1(タイマ1)に"1"を書き込むことによって、原振クロックがプリスケーラに入力されます。これによって、選択した分周比のクロックがタイマに入力され、タイマがダウンカウントを開始します。

4.10.2.4 割り込み機能

プログラマブルタイマは、タイマ0およびタイマ1の各アンダーフロー信号によって割り込みを発生させることができます。割り込みタイミングについては図4.10.2.1.1を参照してください。

タイマ0およびタイマ1の各アンダーフロー信号によって、それぞれに対応する割り込み要因フラグIPT0、IPT1が"1"にセットされ、割り込みが発生します。各割り込み要因フラグに対応した割り込みマスクレジスタEIPT0、EIPT1の設定により、割り込みをマスクすることもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応するタイマのアンダーフローで"1"にセットされます。

4.10.2.5 TOUT出力の設定

プログラマブルタイマは、タイマ0またはタイマ1のアンダーフローによってTOUT信号を発生させることができます。TOUT信号はアンダーフローを1/2分周した信号で、TOUT出力チャンネル選択レジスタCHSELによって、どちらのタイマのアンダーフローを使用するかを選択することができます。レジスタCHSELに"0"を書き込んだ場合がタイマ0、"1"を書き込んだ場合がタイマ1となります。

図4.10.2.5.1にチャンネル切り換え時のTOUT信号波形を示します。

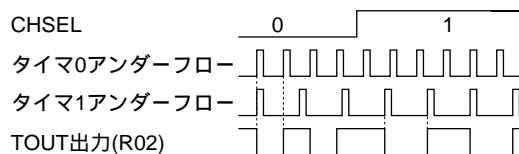


図4.10.2.5.1 チャンネル切り換え時のTOUT信号波形

TOUT信号はR02出力ポート端子から出力させることができます。外部デバイス等に対してプログラマブルなクロックを供給することができます。

R02出力ポートの構成を図4.10.2.5.2に示します。

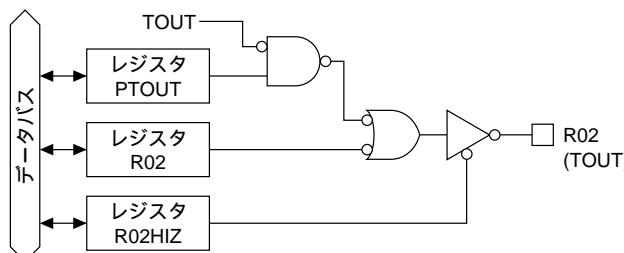


図4.10.2.5.2 R02の構成

TOUT信号はレジスタPTOUTによって出力制御が行われます。PTOUTに"1"を設定するとTOUT信号がR02出力ポート端子から出力され、"0"を設定するとHIGH(VDD)レベルが出力されます。このとき、データレジスタR02には常時"1"が、ハイインピーダンス制御レジスタR02HIZには常時"0"(データ出力)が設定されている必要があります。

なお、TOUT信号はレジスタPTOUTとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図4.10.2.5.3にTOUT信号の出力波形を示します。

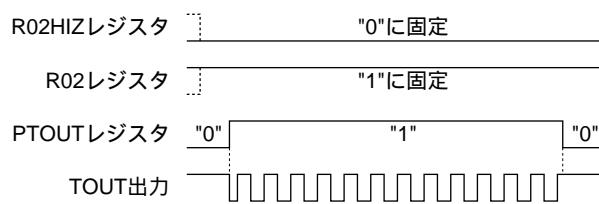


図4.10.2.5.3 TOUT信号の出力波形

4.10.2.6 シリアルインターフェースの転送速度設定

タイマ1のアンダーフローを1/2分周した信号をシリアルインターフェースのクロック源として使用することができます。

シリアルインターフェースへのクロックはタイマ1をRUN(PTRUN1="1")することにより出力されますので、PTOUTレジスタによる制御は不要です。

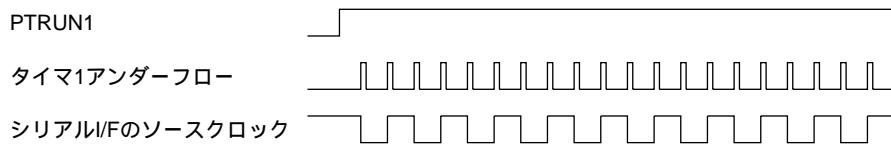


図4.10.2.6.1 シリアルインターフェースの同期クロック

転送速度に対するレジスタRLD1Xへの設定値は次式のようになります。

$$RLD1X = fosc / (2*bps * プリスケーラ分周比) - 1$$

fosc: 発振周波数(OSC1/OSC3)

bps: 転送速度

(RLD1Xには00Hも設定可能)

4.10.3 1チャンネル×16ビットタイマ(MODE16 = "1")の動作

MODE16に"1"を書き込むことにより、タイマ0とタイマ1を合わせて1チャンネルの16ビットタイマとして使用することができます。この場合、タイマ0は16ビットタイマの下位バイト、タイマ1は上位バイトとなります。

4.10.3.1 カウンタ初期値の設定とダウンカウント動作

タイマ0およびタイマ1にはそれぞれ、8ビットのダウンカウンタリロードデータレジスタが設けられています。

リロードデータレジスタRLD00～RLD07(タイマ0) RLD10～RLD17(タイマ1)はカウンタの初期値を設定するレジスタです。

ダウンカウンタは、リロードデータレジスタRLDに設定された初期値を、タイマリセットビットPTRST(タイマ0 またはPTRST1(タイマ1)への"1"書き込みによってロードします。したがって、このロードされた初期値から入力クロックによるダウンカウントが行われます。

タイマ0およびタイマ1のRUN/STOP制御にはレジスタPTRUN(タイマ0)を使用します。リロードデータをカウンタにプリセットした後、本レジスタに"1"を書き込むことによってダウンカウントを開始します。"0"を書き込むとクロックの入力が禁止され、カウントを停止します。

このRUN/STOPの制御はカウンタのデータには影響を与えません。カウントの停止中もカウンタのデータは保持されており、そのデータから継続してカウントを開始させることができます。

カウンタのデータ読み出しはデータバッファPTD00～PTD07(タイマ0) PTD10～PTD17(タイマ1)を介して任意のタイミングで行えます。

ただし、このカウンタも計時タイマと同様に下位データ、上位データ読み出し間の桁下げを防止するため、下位データの読み出しにより上位データがホールドされるようになっています。したがって、データの読み出しは必ず下位データから先に行ってください。

ダウンカウントが進んでタイマ1にアンダーフローが発生すると、リロードデータレジスタRLDに設定された初期値をリロードします。初期値をリロード後は、その初期値からダウンカウントを継続します。

このアンダーフロー信号はカウンタのリロードのほか、割り込みの発生、外部へのパルス(TOUT信号)出力、シリアルインターフェースへのクロック供給を制御します。

4.10.3.2 カウンタモード

本プログラマブルタイマにはタイマモードとイベントカウンタモードの2種類のカウンタモードが設定されており、ソフトウェアによって選択することができます。

(1)タイマモード

タイマモードはプリスケーラの出力を入力クロックとしてダウンカウントを行うモードです。このモードは、OSC1またはOSC3発振クロックを原振として一定周期ごとにカウントを行うタイマとして動作します。

プログラマブルタイマはタイマ0カウンタモード選択レジスタEVCNTによりタイマモードとイベントカウンタモードの切り換えが可能となっています。タイマ0カウンタモード選択レジスタEVCNTが"0"に設定されている場合、プログラマブルタイマはタイマモードで動作します。

イニシャルリセット時はこのモードに設定されます。

タイマの基本的な動作と制御については"4.10.3.1 初期値の設定とダウンカウント動作"を参照してください。

タイマモード時の入力クロックは、OSC1またはOSC3発振クロックをプログラマブルタイマ回路に内蔵されたプリスケーラによって分周して発生しています。この入力クロックの設定については次項を参照してください。

(2)イベントカウンタモード

プログラマブルタイマには、K13入力ポート端子に外部クロックを入力してカウントを行なうイベントカウンタ機能があります。この機能は、タイマ0カウンタモード選択レジスタEVCNTに"1"を書き込むことによって選択されます。

イベントカウンタモードでは、外部からタイマ0にクロックが供給されるため、タイマ0プリスケーラ分周比選択レジスタPTPS00、PTPS01およびプリスケーラ0原振クロック選択レジスタCKSEL0の設定は無効となります。

ダウンカウントのタイミングは、タイマ0パルス極性選択レジスタPLPOLによって、立ち下がりエッジまたは立ち上がりエッジのどちらかが選択できます。レジスタPLPOLに"0"を書き込んだ場合が立ち下がりエッジ、"1"を書き込んだ場合が立ち上がりエッジとなり、図4.10.3.2.1に示すタイミングでダウンカウントが行われます。

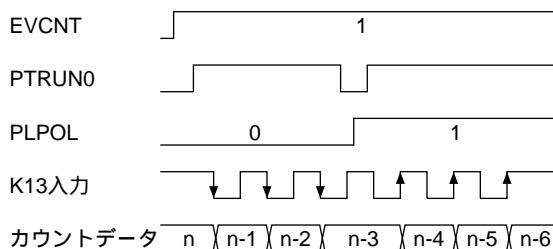


図4.10.3.2.1 イベントカウンタモードのタイミングチャート

イベントカウンタモードにはこのほかに、外部クロック(K13)入力に対してチャタリング等のノイズを除去するノイズリジェクタ付加機能があります。この機能はタイマ0機能選択レジスタFCSELに"1"を書き込むことによって選択されます。

ノイズリジェクタ付きを選択した場合は確実なカウントを行うために、LOWレベル/HIGHレベル共に0.98msec以上のパルス幅を確保する必要があります。(ノイズリジェクタは、K13入力ポート端子の入力レベルが変化してから2度目の内部2,048Hz信号の立ち下がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msec以下となります。)

図4.10.3.2.2にノイズリジェクタ付加時のダウンカウントタイミングを示します。

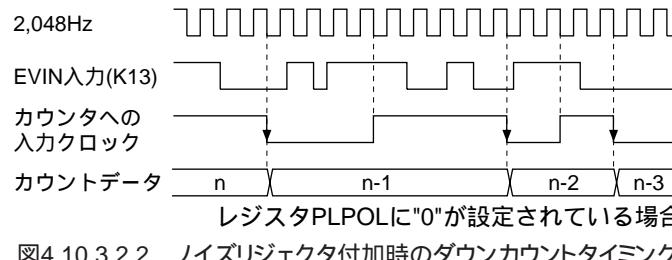


図4.10.3.2.2 ノイズリジェクタ付加時のダウンカウントタイミング

イベントカウンタモードの動作は、入力クロックが外部クロック(K13)となること以外はタイマモードと同等です。

カウントの基本的な動作と制御については"4.10.3.1 初期値の設定とダウンカウント動作"を参照してください。

4.10.3.3 タイマモード入力クロックの設定

16ビットプログラマブルタイマにはプリスケーラが設けられています。プリスケーラはOSC1またはOSC3発振回路から供給される原振クロックを分周して、本プログラマブルタイマへの入力クロックを発生します。設定した入力クロックはタイマモードでの動作時のカウントクロックとして使用されます。16ビットプログラマブルタイマをイベントカウンタモードに設定した場合は、以下の設定はすべて無効となります。

入力クロックは以下の手順で設定します。

(1)原振クロックの選択

プリスケーラに入力する原振クロックを、OSC1とするかOSC3とするかを選択します。この選択は、原振クロック選択レジスタCKSEL(タイマ0)によって行い、"0"を書き込むとOSC1、"1"を書き込むとOSC3が選択されます。

OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3発振回路をONさせる必要があります。

ただし、OSC3発振回路をONにしてから発振が安定するまでに5msec以上の時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ON後、充分な待ち時間をおいてから行ってください。OSC3の制御方法と注意事項については"4.4 発振回路"を参照してください。イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

(2)プリスケーラ分周比の選択

プリスケーラの分周比を4種類の中から選択します。この選択は、プリスケーラ分周比選択レジスタPTPS00/PTPS01(タイマ0)によって行います。設定値と分周比は表4.10.3.3.1に示すとおり対応しています。

表4.10.3.3.1 プリスケーラ分周比の選択

PTPS01	PTPS00	プリスケーラ分周比
1	1	原振クロック / 256
1	0	原振クロック / 32
0	1	原振クロック / 4
0	0	原振クロック / 1

レジスタPTRUN(タイマ0)に"1"を書き込むことによって、原振クロックがプリスケーラに入力されます。これによって、選択した分周比のクロックがタイマに入力され、タイマがダウンカウントを開始します。

4.10.3.4 割り込み機能

プログラマブルタイマは、アンダーフロー信号によって割り込みを発生させることができます。

16ビットプログラマブルタイマのアンダーフロー信号によって対応する割り込み要因フラグIPT1が"1"にセットされ、割り込みが発生します。割り込み要因フラグに対応した割り込みマスクレジスタEIP1の設定により、割り込みをマスクすることもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、対応するタイマのアンダーフローで"1"にセットされます。

4.10.3.5 TOUT出力の設定

プログラマブルタイマは、16ビットプログラマブルタイマのアンダーフローによってTOUT信号を発生させることができます。TOUT信号はアンダーフローを1/2分周した信号です。

TOUT信号はR02出力ポート端子から出力させることができます。外部デバイス等に対してプログラマブルなクロックを供給することができます。

R02出力ポートの構成を図4.10.3.5.1に示します。

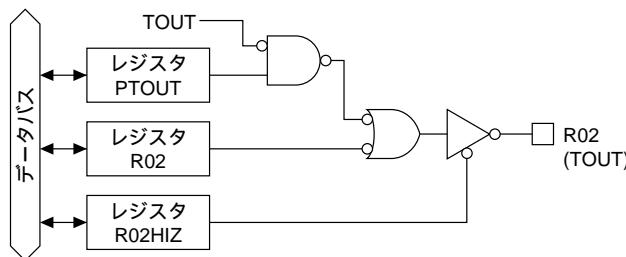


図4.10.3.5.1 R02の構成

TOUT信号はレジスタPTOUTによって出力制御が行われます。PTOUTに"1"を設定するとTOUT信号がR02出力ポート端子から出力され、"0"を設定するとHIGH(VDD)レベルが出力されます。このとき、データレジスタR02には常時"1"が、ハイインピーダンス制御レジスタR02HIZには常時"0"(データ出力)が設定されている必要があります。

なお、TOUT信号はレジスタPTOUTとは非同期に発生していますので、レジスタの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

図4.10.3.5.2にTOUT信号の出力波形を示します。

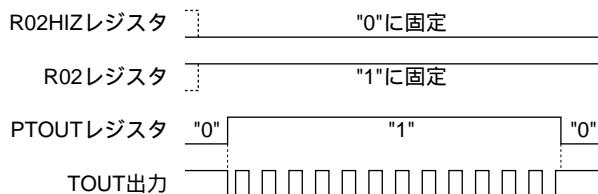


図4.10.3.5.2 TOUT信号の出力波形

4.10.3.6 シリアルインターフェースの転送速度設定

16ビットプログラマブルタイマのアンダーフローを1/2分周した信号をシリアルインターフェースのクロック源として使用することができます。

シリアルインターフェースへのクロックは16ビットプログラマブルタイマをRUN(PTRUN0="1")することにより出力されますので、PTOUTレジスタによる制御は不要です。

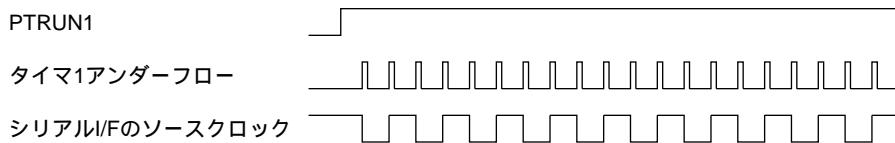


図4.10.3.6.1 シリアルインターフェースの同期クロック

転送速度に対するレジスタRLD1X、RLD0Xへの設定値は次式のようになります。

$$RLD1X, RLD1X = fosc / (2*bps*プリスケーラ分周比) - 1$$

fosc: 発振周波数(OSC1/OSC3)

bps: 転送速度

(RLD1Xには00Hも設定可能)

4.10.4 プログラマブルタイマのI/Oメモリ

表4.10.4.1にプログラマブルタイマの制御ビットとそのアドレスを示します。

表4.10.4.1 プログラマブルタイマの制御ビット

アドレス	レジスタ				Name	Init *1	注 釈	
	D3	D2	D1	D0			1	0
FFC0H	MODE16	EVCNT	FCSEL	PLPOL	MODEL16	0	16bit × 1	タイマモード選択(8ビット×2または16ビット×1)
					EVCNT	0	Event ct.	タイマ0カウンタモード選択
	R	R/W			FCSEL	0	With NR	タイマ0機能選択(イベントカウンタモード時)
					PLPOL	0	↓	タイマ0パルス極性選択(イベントカウンタモード時)
FFC1H	CHSEL	PTOUT	CKSEL1	CKSEL0	CHSEL	0	Timer1	TOUT出力チャンネル選択
					PTOUT	0	On	TOUT出力制御
		R/W			CKSEL1	0	OSC3	ブリスケーラ1原振クロック選択
					CKSEL0	0	OSC1	ブリスケーラ0原振クロック選択
FFC2H	PTPS01	PTPS00	PTRST0	PTRUN0	PTPS01	0	Reset Run	ブリスケーラ0 [PTPS01, 00] 0 1 2 3
					PTPS00	0		分周比選択 分周比 1/1 1/4 1/32 1/256
		R/W		R/W	PTRST0*3	- *2		タイマ0リセット(リロード)
					PTRUN0	0		タイマ0 Run/Stop
FFC3H	PTPS11	PTPS10	PTRST1	PTRUN1	PTPS11	0	Reset Run	ブリスケーラ1 [PTPS11, 10] 0 1 2 3
					PTPS10	0		分周比選択 分周比 1/1 1/4 1/32 1/256
		R/W		R/W	PTRST1*3	- *2		タイマ1リセット(リロード)
					PTRUN1	0		タイマ1 Run/Stop
FFC4H	RLD03	RLD02	RLD01	RLD00	RLD03	0		MSB
					RLD02	0		プログラマブルタイマ0リロードデータ(下位4ビット)
		R/W			RLD01	0		LSB
					RLD00	0		
FFC5H	RLD07	RLD06	RLD05	RLD04	RLD07	0		MSB
					RLD06	0		プログラマブルタイマ0リロードデータ(上位4ビット)
		R/W			RLD05	0		LSB
					RLD04	0		
FFC6H	RLD13	RLD12	RLD11	RLD10	RLD13	0		MSB
					RLD12	0		プログラマブルタイマ1リロードデータ(下位4ビット)
		R/W			RLD11	0		LSB
					RLD10	0		
FFC7H	RLD17	RLD16	RLD15	RLD14	RLD17	0		MSB
					RLD16	0		プログラマブルタイマ1リロードデータ(上位4ビット)
		R/W			RLD15	0		LSB
					RLD14	0		
FFC8H	PTD03	PTD02	PTD01	PTD00	PTD03	0		MSB
					PTD02	0		プログラマブルタイマ0データ(下位4ビット)
		R			PTD01	0		LSB
					PTD00	0		
FFC9H	PTD07	PTD06	PTD05	PTD04	PTD07	0		MSB
					PTD06	0		プログラマブルタイマ0データ(上位4ビット)
		R			PTD05	0		LSB
					PTD04	0		
FFCAH	PTD13	PTD12	PTD11	PTD10	PTD13	0		MSB
					PTD12	0		プログラマブルタイマ1データ(下位4ビット)
		R			PTD11	0		LSB
					PTD10	0		
FFCBH	PTD17	PTD16	PTD15	PTD14	PTD17	0		MSB
					PTD16	0		プログラマブルタイマ1データ(上位4ビット)
		R			PTD15	0		LSB
					PTD14	0		
FFE2H	0	0	EIPT1	EIPT0	0 *3	- *2	Enable Enable	未使用 未使用
					0 *3	- *2		割り込みマスクレジスタ(プログラマブルタイマ1)
		R		R/W	EIPT1	0		割り込みマスクレジスタ(プログラマブルタイマ0)
					EIPT0	0		
FFF2H	0	0	IPT1	IPT0	0 *3	- *2	Mask Mask	(R) 未使用 (W) 未使用
					0 *3	- *2		割り込み要因フラグ(プログラマブルタイマ1)
		R		R/W	IPT1	0		割り込み要因フラグ(プログラマブルタイマ0)
					IPT0	0		

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

CKSEL0: プリスケーラ0原振クロック選択レジスタ(FFC1H·D0)

CKSEL1: プリスケーラ1原振クロック選択レジスタ(FFC1H·D1)

プリスケーラの原振クロックを選択します。

"1"書き込み: OSC3クロック

"0"書き込み: OSC1クロック

読み出し: 可能

プリスケーラの原振クロックをOSC1とするかOSC3とするかを選択します。CKSEL0に"0"を書き込んだ場合、プリスケーラ(タイマ0用)の入力クロックとしてOSC1、"1"を書き込んだ場合はOSC3がそれぞれ選択されます。

同様に、プリスケーラ1の原振クロックがCKSEL1によって選択されます。

なお、タイマ0のイベントカウンタモードを選択している場合はCKSEL0の設定は無効となります。

また、16ビットタイマとして使用する場合は、プリスケーラ1の設定は無効です。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

PTPS00, PTPS01: タイマ0プリスケーラ分周比選択レジスタ(FFC2H·D2, D3)

PTPS10, PTPS11: タイマ1プリスケーラ分周比選択レジスタ(FFC3H·D2, D3)

プリスケーラの分周比を選択します。

PTPS00, PTPS01の2ビットはタイマ0に対応したプリスケーラ分周比選択レジスタで、PTPS10, PTPS11の2ビットは同様にタイマ1に対応しています。

本レジスタによって設定できるプリスケーラの分周比は表4.10.4.2のとおりです。

表4.10.4.2 プリスケーラ分周比の選択

PTPS11 PTPS01	PTPS10 PTPS00	プリスケーラ分周比
1	1	原振クロック / 256
1	0	原振クロック / 32
0	1	原振クロック / 4
0	0	原振クロック / 1

なお、イベントカウンタモードを選択している場合はPTPS00, PTPS01の設定は無効となります。

また、16ビットタイマとして使用する場合は、PTPS10, PTPS11の設定は無効です。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

EVCNT: タイマ0カウンタモード選択レジスタ(FFC0H·D2)

タイマ0のカウンタモードを選択します。

"1"書き込み: イベントカウンタモード

"0"書き込み: タイマモード

読み出し: 可能

タイマ0をイベントカウンタとして使用するか、タイマとして使用するかを選択します。EVCNTに"1"を書き込んだ場合はイベントカウンタモード、"0"を書き込んだ場合はタイマモードがそれぞれ選択されます。

イニシャルリセット時、このレジスタは"0"に設定されます。

MODE16: タイマモード選択レジスタ(FFC0H・D3)

プログラマブルタイマを8ビット×2チャンネルとして使用するか、16ビット×1チャンネルとして使用するか選択します。

"1"書き込み: 16ビット×1チャンネル

"0"書き込み: 8ビット×2チャンネル(タイマ0またはタイマ1)

読み出し: 可能

8ビット×2チャンネルを選択すると、タイマ0とタイマ1を個別の8ビットタイマとして制御できます。

16ビット×1チャンネルを選択すると、タイマ0とタイマ1は16ビットタイマとして連結されます。この場合、クロックはタイマ0に入力され、割り込みはタイマ1のアンダーフローで発生します。

イニシャルリセット時、このレジスタは"0"に設定されます。

FCSEL: タイマ0機能選択レジスタ(FFC0H・D1)

イベントカウンタモードのクロック入力回路にノイズリジェクタを付加するかしないか選択します。

"1"書き込み: ノイズリジェクト付き

"0"書き込み: ノイズリジェクトなし

読み出し: 可能

FCSELに"1"を書き込んだ場合はノイズリジェクタが付加され、0.98msec以上のパルス幅の外部クロック(K13)によってカウントが行われます。(ノイズリジェクタは、K13入力ポート端子の入力レベルが変化してから2度目の内部2,048Hz信号の立ち下がりエッジにて、カウンタへのクロック供給を許可します。したがって、確実に除去できるノイズのパルス幅は0.48msec以下となります。)

FCSELに"0"を書き込んだ場合はノイズリジェクタは付加されず、K13入力ポート端子に入力される外部クロックによって直接カウントが行われます。

このレジスタの設定は、タイマ0をイベントカウンタモードで使用する場合にのみ有効です。

イニシャルリセット時、このレジスタは"0"に設定されます。

PLPOL: タイマ0パルス極性選択レジスタ(FFC0H・D0)

イベントカウンタのカウントパルス極性を選択します。

"1"書き込み: 立ち上がりエッジ

"0"書き込み: 立ち下がりエッジ

読み出し: 可能

イベントカウンタモード(タイマ0)のカウントのタイミングをK13入力ポート端子に入力される外部クロックの立ち下がりエッジとするか、立ち上がりエッジとするかを選択します。

PLPOLに"0"を書き込んだ場合は立ち下がりエッジ、"1"を書き込んだ場合は立ち上がりエッジがそれぞれ選択されます。

このレジスタの設定は、タイマ0をイベントカウンタモードで使用する場合にのみ有効です。

イニシャルリセット時、このレジスタは"0"に設定されます。

RLD00 ~ RLD07: タイマ0リロードデータレジスタ(FFC4H, FFC5H)

RLD10 ~ RLD17: タイマ1リロードデータレジスタ(FFC6H, FFC7H)

カウンタの初期値を設定します。

本レジスタに設定したリロードデータがそれぞれのカウンタにロードされ、それを初期値としてダウンカウントが行われます。

リロードデータがカウンタにロードされる条件はPTRST0、PTRST1に"1"を書き込んでプリセットを行う場合と、カウンタのアンダーフローによって自動的にリロードが行われる場合です。

イニシャルリセット時、これらのレジスタはそれぞれ"00H"に設定されます。

PTD00 ~ PTD07: タイマ0カウンタデータ(FFC8H, FFC9H)

PTD10 ~ PTD17: タイマ1カウンタデータ(FFCAH, FFCBH)

プログラマブルタイマのデータが読み出せます。

タイマ0のカウンタデータの下位4ビットがPTD00 ~ PTD03、上位4ビットがPTD04 ~ PTD07から読み出せます。

同様に、タイマ1のカウンタデータの下位4ビットがPTD10 ~ PTD13、上位4ビットがPTD14 ~ PTD17から読み出せます。

下位4ビットの読み出しにより上位4ビットのホールド機能が働きますので、読み出しは必ず下位4ビットから先に行ってください。

本ビットは読み出し専用のため、書き込み動作は無効となります。

イニシャルリセット時、各カウンタデータは"00H"に設定されます。

PTRST0: タイマ0リセット(リロード)(FFC2H·D1)

PTRST1: タイマ1リセット(リロード)(FFC3H·D1)

タイマをリセットし、リロードデータをカウンタにプリセットします。

"1"書き込み: リセット

"0"書き込み: ノーオペレーション

読み出し: 常時"0"

PTRST0に"1"を書き込むことによって、PLD00 ~ PLD07のリロードデータがタイマ0のカウンタにプリセットされます。タイマ0のカウンタがRUN状態のときにプリセットを行うとリロードデータのプリセット直後にリスタートします。

また、STOP状態の場合はプリセットされたリロードデータがそのまま保持されます。

"0"の書き込みはノーオペレーションとなります。

同様に、PLD10 ~ PLD17のリロードデータがPTRST1によってタイマ1のカウンタにプリセットされます。

本ビットは書き込み専用のため、読み出しは常時"0"となります。

PTRUN0: タイマ0 RUN/STOP制御レジスタ(FFC2H·D0)

PTRUN1: タイマ1 RUN/STOP制御レジスタ(FFC3H·D0)

カウンタのRUN/STOPを制御します。

"1"書き込み: RUN

"0"書き込み: STOP

読み出し: 可能

タイマ0のカウンタはPTRUN0に"1"を書き込むことによってダウンカウントを開始し、"0"の書き込みにより停止します。

STOP状態ではリセットか次にRUN状態にするまで、カウンタのデータは保持されます。また、STOP状態からRUN状態にすることによって、保持していたデータから継続してカウントを進めることができます。

同様に、タイマ1のカウンタがPTRUN1によってRUN/STOP制御されます。

16ビットタイマとして使用する場合は、PTRUN0で制御します。

イニシャルリセット時、これらのレジスタは"0"に設定されます。

CHSEL: TOUT出力チャンネル選択レジスタ(FFC1H·D3)

TOUT信号のチャンネルを選択します。

"1"書き込み: タイマ1

"0"書き込み: タイマ0

読み出し: 可能

TOUT信号にタイマ0のアンダーフローを使用するか、タイマ1のアンダーフローを使用するかを選択します。

CHSELに"0"を書き込んだ場合はタイマ0、"1"を書き込んだ場合はタイマ1がそれぞれ選択されます。

16ビット×2チャンネルモード時(MODE16="1")は、このレジスタの設定にかかわらず常にタイマ1が選択されます。

イニシャルリセット時、このレジスタは"0"に設定されます。

PTOUT: TOUT出力制御レジスタ(FFC1H·D2)
TOUT信号の出力制御を行います。

"1"書き込み: ON
"0"書き込み: OFF
読み出し: 可能

PTOUTはTOUT信号の出力制御レジスタで、"1"を設定するとTOUT信号がR02出力ポート端子から出力され、"0"を設定するとHIGHレベル(VDD)が出力されます。このとき、データレジスタR02H[2]には常時"1"が、ハイインピーダンス制御レジスタR02H[1]には常時"0"(データ出力)が設定されている必要があります。イニシャルリセット時、このレジスタは"0"に設定されます。

EIPT0: タイマ0割り込みマスクレジスタ(FFE2H·D0)

EIPT1: タイマ1割り込みマスクレジスタ(FFE2H·D1)

プログラマブルタイマの割り込みについて、マスクするかしないかを選択します。

"1"書き込み: イネーブル
"0"書き込み: マスク
読み出し: 可能

タイマ0、タイマ1の割り込みをマスクするかしないかを、割り込みマスクレジスタEIPT0(タイマ0) EIPT1(タイマ1)により個別に選択できます。16ビットタイマとして使用する場合は、EIPT1で割り込みを制御します。イニシャルリセット時、これらのレジスタは"0"に設定されます。

IPT0: タイマ0割り込み要因フラグ(FFF2H·D0)

IPT1: タイマ1割り込み要因フラグ(FFF2H·D1)

プログラマブルタイマ割り込みの発生状態を示すフラグです。

"1"読み出し: 割り込み有
"0"読み出し: 割り込み無
"1"書き込み: 要因フラグをリセット
"0"書き込み: 無効

割り込み要因フラグIPT0、IPT1は、それぞれタイマ0、タイマ1のプログラマブルタイマ割り込みに対応します。これらのフラグによってプログラマブルタイマ割り込みの有無を、ソフトウェアで判断することができます。ただし、これらのフラグは割り込みをマスクしていても、対応するタイマのアンダーフローで"1"にセットされます。16ビットタイマとして使用している場合は、タイマ1の要因フラグがセットされます。これらのフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、これらのフラグは"0"に設定されます。

4.10.5 プログラミング上の注意事項

(1)カウンタデータの読み出しは必ず下位4ビット(PTD00 ~ PTD03, PTD10 ~ PTD13)から先に行ってください。
また、下位4ビット(PTD00 ~ PTD03, PTD10 ~ PTD13)と上位4ビット(PTD04 ~ PTD07, PTD14 ~ PTD17)の
読み出しの時間差は0.73msec以下としてください。

16ビット×1チャンネルモード時は、次の順番で1.46msec以内にすべてを読み出してください。

(PTD00 ~ PTD03) (PTD04 ~ PTD07) (PTD10 ~ PTD13) (PTD14 ~ PTD17)

(2)プログラマブルタイマはレジスタPTRUN0/PTRUN1への書き込みに対して、入力クロックの立ち下がりエッジに同期して実際にRUN/STOP状態となります。

したがって、PTRUN0/PTRUN1に"0"を書き込んだ場合は、"-1"余分にカウントしたところでタイマが停止状態となります。また、このときPTRUN0/PTRUN1は実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。

図4.10.5.1にRUN/STOP制御のタイミングチャートを示します。

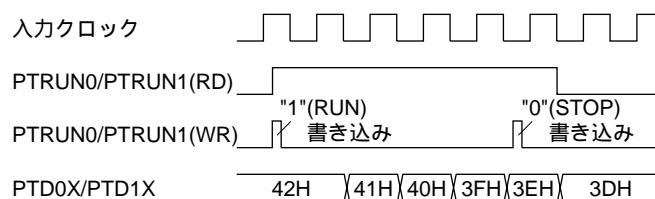


図4.10.5.1 RUN/STOP制御のタイミングチャート

なお、これについてはイベントカウンタも対象となるため、RUN/STOPレジスタ PTRUN0 を設定後にクロック入力がない場合、カウンタ回路は実際にはRUN/STOP状態になりませんので注意してください。

(3)TOUT信号は出力制御レジスタPTOUTとは非同期に発生していますので、PTOUTの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

(4)OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3発振回路をONさせる必要があります。

ただし、OSC3発振回路をONにしてから発振が安定するまでに5msec以上の時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ON後、充分な待ち時間をおいてから行ってください。OSC3の制御方法と注意事項については"4.4 発振回路"を参照してください。イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

(5)割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.11 シリアルインターフェース(SIN, SOUT, \overline{SCLK} , \overline{SRDY})

4.11.1 シリアルインターフェースの構成

S1C63158はクロック同期型の8ビットシリアルインターフェースを内蔵しています。

図4.11.1.1にシリアルインターフェースの構成を示します。

CPUはSIN端子より入力されたシリアルデータを8ビットのシフトレジスタを介して読み取ることができます。また、同じ8ビットのシフトレジスタを介してパラレルデータをシリアル変換し、SOUT端子に出力することができます。

シリアルデータを入出力するための同期クロックは、マスタモード(内部クロックモード: 本CPUがシリアル入出力のマスターとなる場合)とスレーブモード(外部クロックモード: 本CPUがシリアル入出力のスレーブとなる場合)の中から1つをソフトウェアにより選択できます。

また、本シリアルインターフェースをスレーブモードで使う場合には、シリアルインターフェースが送受信可能かどうかを示す \overline{SRDY} 信号を出力端子 \overline{SRDY} に出力します。

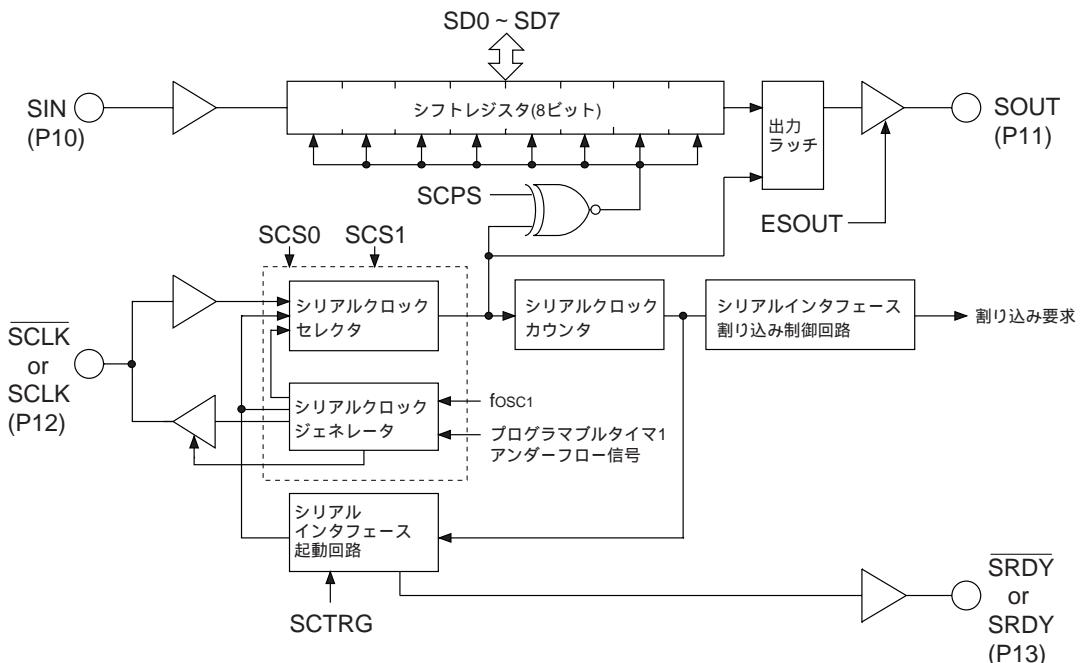


図4.11.1.1 シリアルインターフェースの構成

シリアルインターフェースの入出力ポートは入出力兼用ポート(P10～P13)と兼用されており、シリアルインターフェースとして使用する場合はソフトウェアによって機能の切り換えを行います。

P10～P13端子とシリアル入出力との対応は以下のとおりです。

マスタモード: P10 = SIN(1) P11 = SOUT(0) P12 = \overline{SCLK} (0) P13 = 入出力兼用ポート(I/O)
スレーブモード: P10 = SIN(1) P11 = SOUT(0) P12 = \overline{SCLK} (1) P13 = \overline{SRDY} (0)

注: イニシャルリセット時、P10～P13は入出力兼用ポートに設定されます。

シリアルインターフェースを使用する場合は、初期化ルーチンの中で機能の切り換え($ESIF = "1"$)を行ってください。

SOUT信号(出力データ)は、ESOUTレジスタで制御される3ステートバッファを通ります。データの出力時はESOUTに"1"を書き込んでください。ESOUTに"0"が書き込まれるとデータ出力が禁止され、SOUT端子はハイインピーダンスになります。

4.11.2 マスクオプション

(1) 端子仕様

シリアルインターフェースの入出力端子は入出力兼用ポート(P10 ~ P13)と兼用されているため、入出力兼用ポートの端子仕様を選択するマスクオプションがシリアルインターフェースにも適用されます。

シリアルインターフェースの入出力ポートの中で出力として使用されるSOUT端子、 \bar{SCLK} 端子(マスタモード時)、SRDY端子(スレーブモード時)の出力仕様がそれぞれP11、P12、P13のマスクオプションで設定されます。出力仕様として、コンプリメンタリ出力またはNチャンネルオーブンドレイン出力のいずれかが選択できます。ただし、Nチャンネルオーブンドレイン出力を選択した場合でも、端子に電源電圧を越える電圧を印加することは禁止します。

また、入力として使用されるSIN端子、 \bar{SCLK} 端子(スレーブモード時)のプルアップ抵抗の有無をP10、P12のマスクオプションで選択できます。“プルアップなし”を選択した場合には、フローティング状態が発生しないように注意してください。

(2) 同期クロックおよびレディ信号の極性

同期クロックおよびスレーブモード時に出力されるレディ信号を正極性(アクティブHIGH、 \bar{SCLK} & SRDY)とするか負極性(アクティブLOW、 \bar{SCLK} & SRDY)とするか選択できます。

スレーブモードで動作させる場合、同期クロックを外部デバイスから入力します。この場合に正極性を選択しても、端子仕様はプルアップのみで、プルダウン抵抗は内蔵できませんので注意してください。

なお、以下の説明は基本的に負極性(\bar{SCLK} 、SRDY)を選択したものとして行います。

4.11.3 シリアルインターフェースのマスタモードとスレーブモード

S1C63158のシリアルインターフェースは、マスタモードとスレーブモードの2種類の動作モードを持っています。マスタモードでは内蔵シフトレジスタの同期クロックとして内部クロックを使用し、この内部クロックを \bar{SCLK} (P12端子に出力し、外部のスレーブ側のシリアル入出力回路を制御することができます。スレーブモードでは、外部のマスタ側のシリアル入出力回路より出力される同期クロックを \bar{SCLK} (P12端子より入力し、本CPU内蔵のシリアルインターフェースの同期クロックとして使用することができます。

マスタモードとスレーブモードは、レジスタSCS0とSCS1にデータを書き込むことによって切り換えることができます。表4.11.3.1に示すように、マスタモードにした場合は、同期クロックとして3種類の中の1つを選択することができます。

表4.11.3.1 同期クロック選択

SCS1	SCS0	モード	同期クロック
1	1	マスタモード	OSC1
1	0		OSC1/2
0	1		プログラマブルタイム
0	0	スレーブモード	外部クロック

プログラマブルタイムを選択した場合は、プログラマブルタイム(タイム1)のアンダーフロー信号を1/2分周した信号が同期クロックとして使用されます。この場合、シリアルインターフェースを動作させる前にプログラマブルタイムの制御が必要です。プログラマブルタイムについては“4.10 プログラマブルタイム”を参照してください。

イニシャルリセット時はスレーブモード(外部クロックモード)が選択されます。

また、同期クロックは、8ビット・シリアルデータの入出力に伴い次のように制御されています。

- マスタモードでは、 \bar{SCLK} (P12)端子よりクロックが8個出力されると自動的にクロック出力を停止し、 \bar{SCLK} (P12)端子はHIGH(マスクオプションで正極性を選択している場合はLOW)に固定されます。
- スレーブモードでは、 \bar{SCLK} (P12)端子よりクロックが8個入力されると以降のクロック入力はマスクされます。

基本的なシリアル入出力部の接続例を図4.11.3.1に示します。

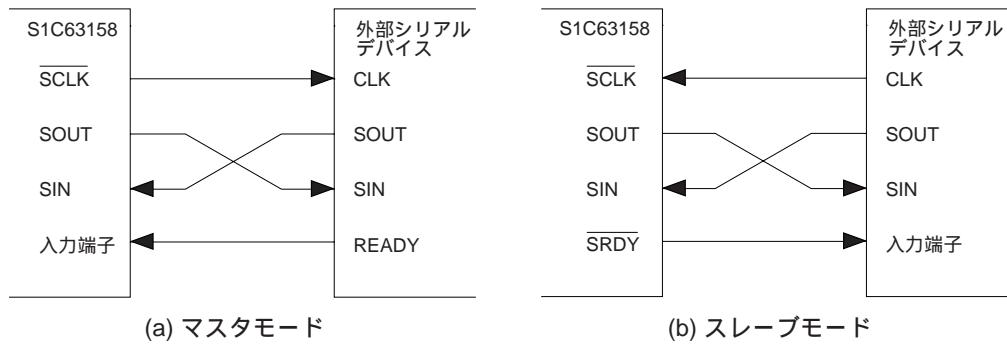


図4.11.3.1 基本的なシリアル入出力部の接続例

4.11.4 データの入出力と割り込み

S1C63158のシリアルインターフェースは、内部の8ビットシフトレジスタを介してデータの入出力することができます。シフトレジスタのシフト動作は、SCLK (P12) 端子より出力される(マスタモード)同期クロックか、SCLK (P12) 端子に入力される(スレーブモード)同期クロックに同期して動作します。

シリアルインターフェースは8ビットのシリアルデータの入出力が終了すると割り込みを発生します。シリアルデータの入出力の検出は同期クロックSCLKをカウントすることで行っており、クロックが8個(8周期分)カウントされた時点で終了と判断して割り込みを発生します。

以下にシリアルデータの入出力方法について説明します。

(1)シリアルデータの出力と割り込み

S1C63158のシリアルインターフェースは8ビット単位でパラレルデータをシリアル出力することができます。パラレルデータをデータレジスタSD0～SD3(FF72H)とSD4～SD7(FF73H)にセットし、SCTRGビット(FF70H・D1)を"1"にセットすると、同期クロックに同期してSOUT (P11) 端子にシリアルデータが出力されます。このとき、同期クロックはマスタモードでは内部クロックがSCLK (P12) 端子に出力され、スレーブモードでは外部クロックがSCLK (P12) 端子より入力されます。

データのシフトタイミングは次のとおりです。

- 同期クロックに負極性を選択した場合(マスクオプション)

SOUT (P11) 端子のシリアル出力はSCLK (P12) 端子から入力、または出力されるクロックの立ち下がりエッジで変化します。また、シフトレジスタのデータは、SCPSレジスタ(FF71H・D2)が"1"のときはSCLK信号の立ち下がりでシフトし、SCPSレジスタが"0"のときはSCLK信号の立ち上がりでシフトします。
- 同期クロックに正極性を選択した場合(マスクオプション)

SOUT (P11) 端子のシリアル出力はSCLK (P12) 端子から入力、または出力されるクロックの立ち上がりエッジで変化します。また、シフトレジスタのデータは、SCPSレジスタが"1"のときはSCLK信号の立ち上がりでシフトし、SCPSレジスタが"0"のときはSCLK信号の立ち下がりでシフトします。

SD0からSD7までの8ビットのデータを出力し終わると割り込み要因フラグISIF (FFF3H・D0) がセットされ、割り込みが発生します。なお、割り込みマスクレジスタEISIF (FFE3H・D0) によって割り込みを禁止することもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、8ビットデータの出力後"1"にセットされます。

(2)シリアルデータの入力と割り込み

S1C63158のシリアルインターフェースは8ビット単位でシリアルデータをパラレルデータとして入力することができます。

シリアルデータはSIN(P10)端子より入力され、同期クロックに同期してCPU内部の8ビットシフトレジスタに順次取り込まれます。同期クロックは(1)で説明したとおりマスタモードでは内部クロックが使われ、スレーブモードでは外部クロックが使われます。

データのシフトタイミングは次のとおりです。

- 同期クロックに負極性を選択した場合(マスクオプション)
内蔵シフトレジスタへのシリアルデータは、SCPSレジスタが"1"のときはSCLK信号の立ち下がりで取り込まれ、SCPSレジスタが"0"のときはSCLK信号の立ち上がりで取り込まれます。シリアルデータが取り込まれるとともに、シフトレジスタ内のデータは順次シフトされます。
- 同期クロックに正極性を選択した場合(マスクオプション)
内蔵シフトレジスタへのシリアルデータは、SCPSレジスタが"1"のときはSCLK信号の立ち上がりで取り込まれ、SCPSレジスタが"0"のときはSCLK信号の立ち下がりで取り込まれます。シリアルデータが取り込まれるとともに、シフトレジスタ内のデータは順次シフトされます。

SD0からSD7までの8ビットのデータを入力し終わると割り込み要因フラグISIFがセットされ、割り込みが発生します。なお、割り込みマスクレジスタEISIFによって割り込みを禁止することもできます。ただし、割り込み要因フラグは割り込みマスクレジスタの設定にかかわらず、8ビットデータの入力後"1"にセットされます。シフトレジスタに入力されたデータは、レジスタSD0～SD7からソフトウェアによって読み出すことができます。

(3)シリアルデータの入出力順列

S1C63158はレジスタSDP(FF71H・D3)によりシリアルデータの入出力の順列を LSBを先頭にするかMSBを先頭にするかを切り換えることができます。 LSBを先頭にした場合とMSBを先頭にした場合のブロック図を図4.11.4.1に示します。SDPの設定はSD0～SD7にデータを設定する前に行ってください。



図4.11.4.1 シリアルデータの入出力順列

(4)SRDY信号

S1C63158のシリアルインターフェースをスレーブモード(外部クロックモード)で使用する場合には、マスタ側(外部のシリアル入出力回路に対してCPU内部のシリアルインターフェースが送受信可能かどうかを伝えるためのSRDY信号をSRDY(P13)端子より出力することができます)。

SRDY信号の出力タイミングは次のとおりです。

- 負極性を選択した場合(マスクオプション)
SRDY信号はS1C63158のシリアル入出力回路が送信または受信可能な状態になったときに"0"(LOW)となり、通常は"1"(HIGH)となっています。
SRDY信号はSCTRGに"1"を書き込んだ直後に"1"から"0"に変化し、SCLK(P12)端子に"0"が入力される毎に送信または受信を開始すると"0"から"1"に戻ります。
また、シフトレジスタの上位ワード(SD4～SD7)に対してデータを読み出したり、書き込んだりするとSRDY信号は"1"に戻ります。

- 正極性を選択した場合(マスクオプション)

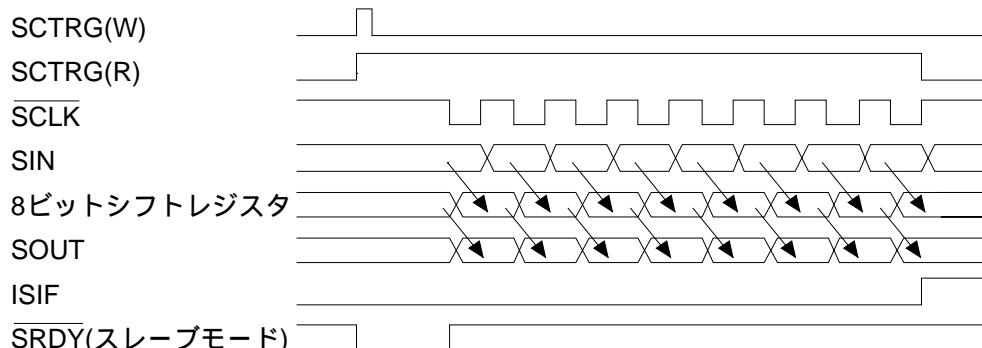
SRDY信号はS1C63158のシリアル入出力回路が送信または受信可能な状態になったときに"1"(HIGH)となり、通常は"0"(LOW)となっています。

SRDY信号はSCTRGに"1"を書き込んだ直後に"0"から"1"に変化し、SCLK(P12)端子に"1"が入力されると、送信または受信を開始すると"1"から"0"に戻ります。

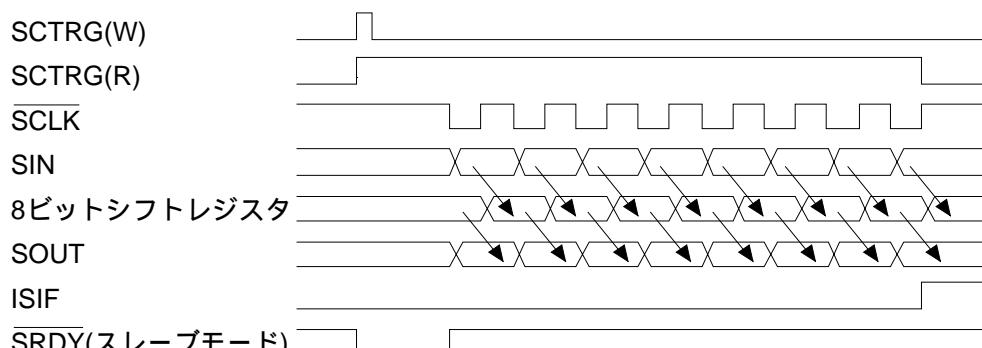
また、シフトレジスタの上位ワード(SD4~SD7)に対してデータを読み出したり、書き込んだりするとSRDY信号は"0"に戻ります。

(5)タイミングチャート

S1C63158のシリアルインターフェースのタイミングチャートを図4.11.4.2および図4.11.4.3に示します。



(a) SCPS = "1"の場合



(b) SCPS = "0"の場合

図4.11.4.2 シリアルインターフェースのタイミングチャート(同期クロックが負極性SCLKの場合)

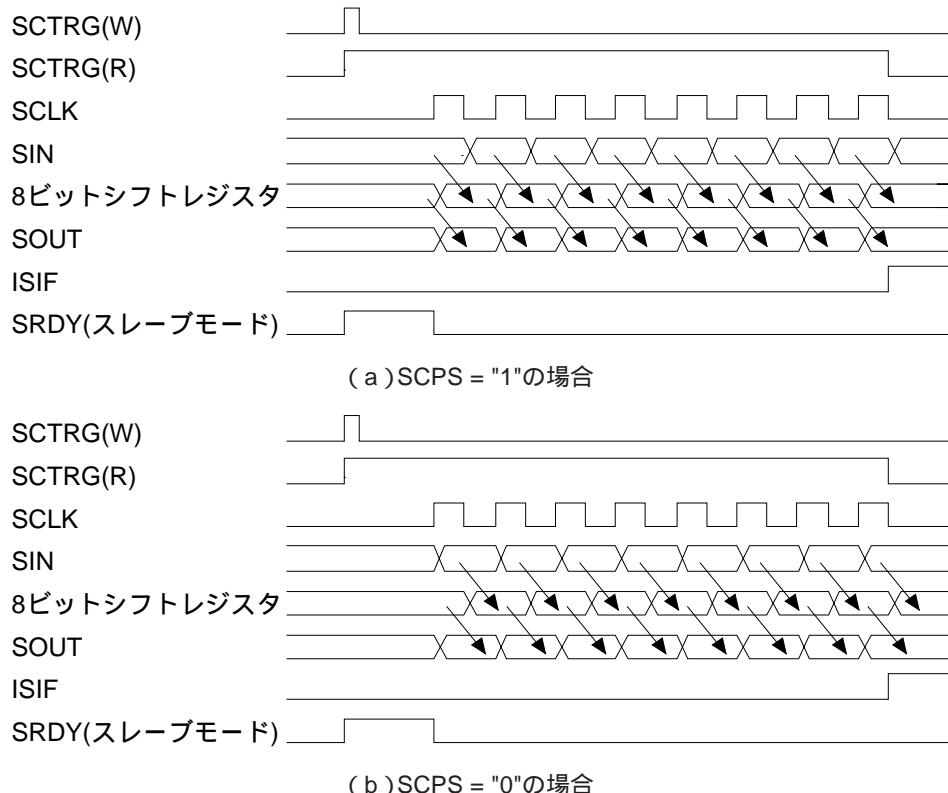


図4.11.4.3 シリアルインターフェースのタイミングチャート(同期クロックが正極性SCLKの場合)

4.11.5 シリアルインターフェースのI/Oメモリ

表4.11.5.1にシリアルインターフェースの制御ビットとそのアドレスを示します。

表4.11.5.1 シリアル入出力ポートの制御ビット

アドレス	レジスタ								注釈
	D3	D2	D1	D0	Name	Init *1	1	0	
FF45H	PUL13	PUL12	PUL11	PUL10	PUL13	1	On	Off	P13ブルアップ制御レジスタ SIF(スレーブ)選択時、汎用レジスタとして機能
					PUL12	1	On	Off	P12ブルアップ制御レジスタ(ESIF=0) SIFマスター選択時、汎用レジスタとして機能
					PUL11	1	On	Off	SIF(スレーブ)選択時、SCLK(+)ブルアップ制御レジスタ P11ブルアップ制御レジスタ(ESIF=0) SIF選択時、汎用レジスタとして機能
					PUL10	1	On	Off	P10ブルアップ制御レジスタ(ESIF=0) SIF選択時、SINブルアップ制御レジスタ
FF70H	0	ESOUT	SCTRG	ESIF	0 *3	- *2	Enable	Disable	未使用
					ESOUT	0	Trigger	Invalid	SOUT制御
	R				SCTRG	0	Run	Stop	シリアルI/Fクロックステータス(書き込み時)
					ESIF	0	SIF	I/O	シリアルI/Fクロックステータス(読み出し時) シリアルI/Fイネーブル(P1ポート機能選択)
FF71H	SDP	SCPS	SCS1	SCS0	SDP	0	MSB first	LSB first	シリアルI/Fデータ入出力順列
					SCPS	0			シリアルI/Fクロックフェーズ選択
					SCS1	0			負極性選択時(マスクオプション)
					SCS0	0			正極性選択時(マスクオプション) [SCS1,0] 0 1 シリアルI/Fクロックスレーブ PT クロックモード選択 [SCS1,0] 2 3 クロック OSC1/2 OSC1
FF72H	SD3	SD2	SD1	SD0	SD3	- *2	High	Low	MSB
					SD2	- *2	High	Low	シリアルI/F送受信データ(下位4ビット)
					SD1	- *2	High	Low	
					SD0	- *2	High	Low	LSB
FF73H	SD7	SD6	SD5	SD4	SD7	- *2	High	Low	MSB
					SD6	- *2	High	Low	シリアルI/F送受信データ(上位4ビット)
					SD5	- *2	High	Low	
					SD4	- *2	High	Low	LSB
FFE3H	0	0	0	ESIF	0 *3	- *2			未使用
					0 *3	- *2			未使用
					0 *3	- *2			未使用
					ESIF	0	Enable	Mask	割り込みマスクレジスタ(シリアルI/F)
FFF3H	0	0	0	ISIF	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
					0 *3	- *2	(W)	(W)	未使用
					ISIF	0	Reset	Invalid	割り込み要因フラグ(シリアルI/F)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常に"0"

ESIF: シリアルインターフェースイネーブルレジスタ(P1ポート機能選択)(FF70H·D0)
P10 ~ P13をシリアルインターフェースの入出力ポートに設定します。

"1"書き込み: シリアルインターフェース
"0"書き込み: 入出力兼用ポート
読み出し: 可能

P10、P11、P12、P13がそれぞれSIN、SOUT、SCLK、SRDYとして機能します。P13端子はスレーブモードの場合にSRDY出力端子として機能し、マスタモードの場合は入出力兼用ポート端子として機能します。
イニシャルリセット時、このレジスタは"0"に設定されます。

注: ESIF="1"に設定した時点で、P12(SCLK)端子からハザードが出る場合がありますので、ESIF="1"に設定後10μsec以上待ってから実データの送受信を開始してください。

ESOUT: SOUT制御レジスタ(FF70H·D2)
SOUT出力をイネーブルにします。

"1"書き込み: イネーブル
"0"書き込み: ディセーブル
読み出し: 可能

ESOUTに"1"を書き込むとSOUT端子からデータが出力可能な状態になります。"0"を書き込むとSOUT端子はハイインピーダンスとなります。
イニシャルリセット時、このレジスタは"0"に設定されます。

PUL10: SINプルアップ制御レジスタ(FF45H·D0)
PUL12: SCLKプルアップ制御レジスタ(FF45H·D2)
SIN端子、SCLK端子(スレーブモード時)のプルアップを設定します。

"1"書き込み: プルアップON
"0"書き込み: プルアップOFF
読み出し: 可能

SIN(P10)およびSCLK(P12)端子に内蔵されたプルアップ抵抗をONまたはOFFに設定します。(プルアップ抵抗はマスクオプションで選択したポートのみに付加されます。)
SCLKのプルアップはスレーブモード時にのみ有効で、マスタモード時はPUL12レジスタを汎用レジスタとして使用することができます。
イニシャルリセット時、これらのレジスタは"1"に設定され、プルアップ抵抗はONになります。

SCS1, SCS0: クロックモード選択レジスタ(FF71H·D1, D0)
シリアルインターフェースの同期クロック(SCLK)を選択します。

表4.11.5.2 同期クロック選択

SCS1	SCS0	モード	同期クロック
1	1		OSC1
1	0	マスタモード	OSC1/2
0	1		プログラマブルタイマ
0	0	スレーブモード	外部クロック

同期クロック(SCLK)は内部クロック3種類と外部クロックの上記 4種類の中から選択します。
プログラマブルタイマを選択した場合は、プログラマブルタイマ(タイマ1)のアンダーフロー信号を1/2分周した信号が同期クロックとして使用されます。この場合、シリアルインターフェースを動作させる前にプログラマブルタイマの制御が必要です。プログラマブルタイマについては"4.10 プログラマブルタイマ"を参照してください。
イニシャルリセット時は外部クロックが選択されます。

SCPS: クロックフェーズ選択レジスタ(FF71H·D2)

SIN(P10)端子から入力するシリアルデータの読み込みタイミングを選択します。

• 負極性選択時

"1"書き込み: SCLK立ち下がりエッジ

"0"書き込み: SCLK立ち上がりエッジ

読み出し: 可能

• 正極性選択時

"1"書き込み: SCLK立ち上がりエッジ

"0"書き込み: SCLK立ち下がりエッジ

読み出し: 可能

シリアル入出力データのレジスタ(SD0 ~ SD7)への読み込みを同期クロックの立ち下がりエッジで行うか、立ち上がりエッジで行うか選択します。

マスクオプションにより選択した同期クロックの極性により選択内容が異なりますので注意してください。

入力データの読み込みタイミングは選択できますが、出力データの出力タイミングはSCLK立ち下がりエッジ(負極性選択時)またはSCLK立ち上がりエッジ(正極性選択時)に固定です。

イニシャルリセット時、このレジスタは"0"に設定されます。

SDP: データ入出力順列選択レジスタ(FF71H·D3)

シリアルデータの入出力順列を選択します。

"1"書き込み: MSB先頭

"0"書き込み: LSB先頭

読み出し: 可能

データの入出力をMSB先頭で行うか、LSB先頭で行うか選択します。

イニシャルリセット時、このレジスタは"0"に設定されます。

SCTRG: クロックトリガ/ステータス(FF70H·D1)

同期クロック(SCLK)の入力/出力開始トリガです。

• データ書き込み時

"1"書き込み: トリガ入力

"0"書き込み: ノーオペレーション

シリアルインターフェース起動回路にこのトリガ入力を与えると、同期クロック(SCLK)の入力/出力を開始します。トリガ条件として、SCTRGに"1"を書き込む以前に、データレジスタSD0 ~ SD7の書き込み、または読み出しが行われている必要があります。(データレジスタSD0 ~ SD7への書き込み/読み出しにより、シリアルインターフェースの内部回路は初期化されます。また、トリガをかける前に必ずESIFでシリアルインターフェースをイネーブルとしておいてください。)

トリガ入力はシリアルインターフェースをRUN状態にすることに一度だけ与えてください。複数回のトリガ入力は誤動作につながりますので避けてください。

また、同期クロック(SCLK)が外部クロックの場合は、トリガ入力後に外部クロックの入力を開始してください。

• データ読み出し時

"1"読み出し: RUN(同期クロック入出力中)

"0"読み出し: STOP(同期クロック停止中)

同期クロックの動作状態は、このビットを読み出すことによって確認できます。

SCTRGに"1"を書き込むと、このデータは同期クロックの入出力が停止(8個カウント)するまでラッチされます。したがって、"1"を読み出した場合は、同期クロックが入出力動作中であることを示しています。

同期クロックの入出力が終了するとこのラッチは"0"にリセットされます。

イニシャルリセット時、このビットは"0"に設定されます。

SD0 ~ SD3, SD4 ~ SD7: シリアルインターフェースデータレジスタ(FF72H, FF73H)
シリアルデータの書き込み/読み出しを行います。

• データ書き込み時

- "1"書き込み: HIGHレベル
- "0"書き込み: LOWレベル

SOUT(P11)端子から出力するシリアルデータを書き込みます。SOUT(P11)端子からは"1"に設定されたビットがHIGH(VDD)レベル、"0"に設定されたビットがLOW(Vss)レベルとしてシリアル変換されたデータが出力されます。

• データ読み出し時

- "1"読み出し: HIGHレベル
- "0"読み出し: LOWレベル

SIN(P10)端子から入力されたシリアルデータを読み出します。

このレジスタからは、SIN(P10)端子から入力されたHIGH(VDD)レベルのビットを"1"、LOW(Vss)レベルのビットを"0"としてパラレル変換されたデータが読み出されます。データの読み出しあは、シリアルインターフェースが停止中(同期クロックが入力/出力されていない状態)のときにのみ行ってください。
イニシャルリセット時、このレジスタ内のデータは不定です。

EISIF: シリアルインターフェース割り込みマスクレジスタ(FFE3H·D0)

シリアルインターフェースからの割り込みマスクを設定します。

- "1"書き込み: イネーブル
- "0"書き込み: マスク
- 読み出し: 可能

シリアルインターフェースの割り込みをマスクするかしないかを選択できます。

イニシャルリセット時、このレジスタは"0"に設定されます。

ISIF: シリアルインターフェース割り込み要因フラグ(FFF3H·D0)

シリアルインターフェースからの割り込みの発生状態を示すフラグです。

- "1"読み出し: 割り込み有
- "0"読み出し: 割り込み無
- "1"書き込み: 要因フラグをリセット
- "0"書き込み: 無効

このフラグによってシリアルインターフェース割り込みの有無を、ソフトウェアで判断することができます。このフラグは割り込みをマスクしていても、8ビットデータの入出力後に"1"にセットされます。

このフラグは、"1"を書き込むことによって"0"にリセットされます。

割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

イニシャルリセット時、このフラグは"0"に設定されます。

4.11.6 プログラミング上の注意事項

- (1)データレジスタSD0～SD7への書き込み、または読み出しあはシリアルインターフェースが停止中(同期クロックが入力/出力されていない状態)のときのみ行ってください。
- (2)シリアルインターフェースの起動はトリガ条件として、SCTRGIに"1"を書き込む以前に、データレジスタSD0～SD7の書き込み/読み出しが行われている必要があります。(データレジスタSD0～SD7への書き込み/読み出しによりシリアルインターフェースの内部回路は初期化されます。また、トリガをかける前に必ずESIFでシリアルインターフェースをイネーブルとしておいてください)。トリガはシリアルインターフェースをRUN状態にするごとに一度だけ与えてください。また、同期クロックSCLKが外部クロックの場合は、トリガ後に外部クロックの入力を開始してください。
- (3)SDPIによる入出力順列(MSB先頭/LSB先頭)の設定は、SD0～SD7にデータを設定する前に行ってください。
- (4)割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- (5)シリアルインターフェースで使用可能なクロック周波数は、OSC3をクロック源としたプログラマブルタイマ出力を使用する場合あるいはスレーブモード時においても、最大1MHzまでに制限されていますので注意してください。

4.12 ブザー出力回路

4.12.1 ブザー出力回路の構成

S1C63158は圧電ブザーを駆動するブザー信号を出力することができます。ブザー信号はソフトウェアの制御によりBZ端子から出力されます。ブザー信号の周波数はソフトウェアにより2kHzまたは4kHzに設定することができ、さらに2Hzのインターバルで信号を出力することも可能です。

図4.12.1.1にブザー出力回路の構成を示します。

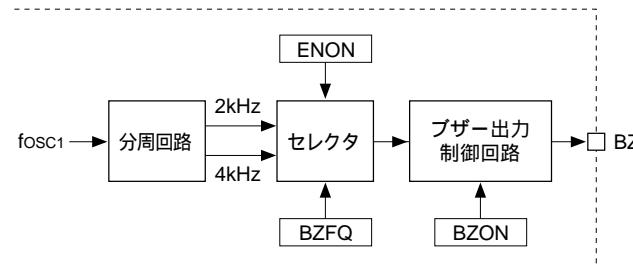


図4.12.1.1 ブザー出力回路の構成

4.12.2 マスクオプション

BZ端子から出力するブザー信号の極性を正極性とするか、負極性とするか選択します。それぞれの出力回路構成を図4.12.2.1に示します。

正極性を選択した場合、ブザー信号出力時以外はBZ端子がLOW(Vss)レベルになります。NPNトランジスタを外付けして圧電ブザーを駆動させる場合は正極性を選択してください。負極性を選択した場合、ブザー信号出力時以外はBZ端子がHIGH(Vdd)レベルになります。PNPトランジスタを外付けして圧電ブザーを駆動させる場合は負極性を選択してください。

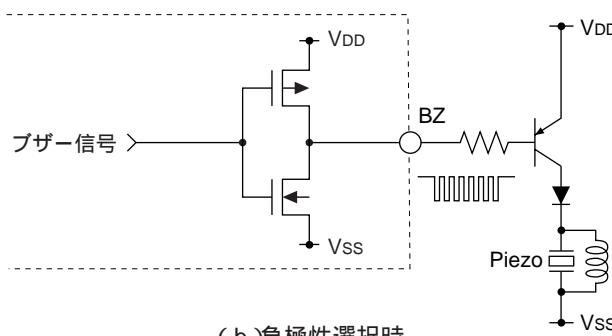
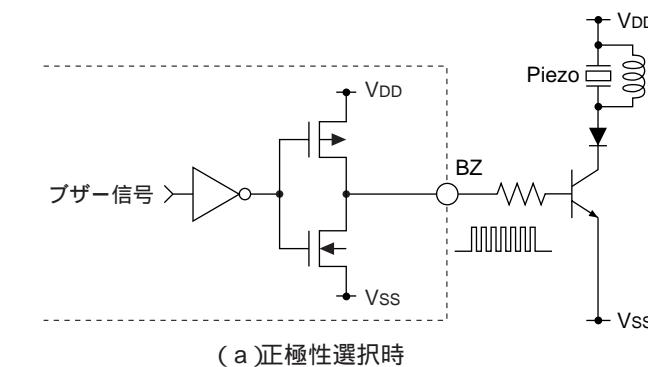


図4.12.2.1 出力回路の構成

4.12.3 プザー出力の制御

プザー信号の周波数はプザー周波数選択レジスタBZFOににより選択します。BZFOレジスタに"1"を書き込むと2kHz、"0"を書き込むと4kHzに設定されます。この信号はfosc1を次のように分周して発生させています。

$$\begin{array}{ccc} \text{fosc1} & 2\text{kHz} & 4\text{kHz} \\ 32.768\text{kHz} & \text{fosc1} / 16 & \text{fosc1} / 8 \end{array}$$

プザー信号は、プザー出力制御レジスタBZONに"1"を書き込むより BZ端子から出力されます。

マスクオプションで負極性を選択している場合、BZONレジスタに"0"を書き込むと、BZ端子はHIGH(VDD)レベルになります。マスクオプションで正極性を選択している場合、BZONレジスタに"0"を書き込むと、BZ端子はLOW(Vss)レベルになります。

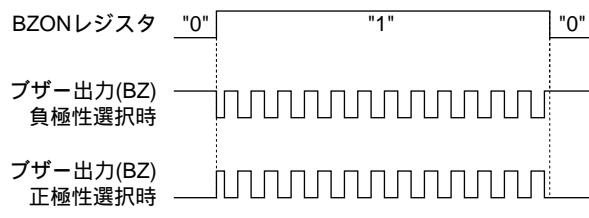


図4.12.3.1 プザー信号出力タイミングチャート

ENONレジスタに"1"を書き込むことによって、2Hz周期の断続出力も行えます。

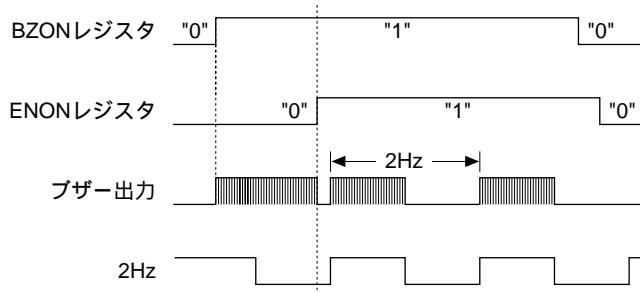


図4.12.3.2 2Hzインターバル出力

注: プザー信号はBZONレジスタとは非同期に発生していますので、BZONレジスタの設定による信号のON/OFF時にハザードを生じることがあります。

4.12.4 ブザー出力回路のI/Oメモリ

表4.12.4.1にブザー出力回路の制御ビットとそのアドレスを示します。

表4.12.4.1 ブザー出力回路の制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF64H	0	ENON	BZFQ	BZON	0 *3	- *2	On	Off	未使用 2HzインターバルOn/Off制御
	R	R/W			ENON	0	2kHz	4kHz	ブザー周波数選択
					BZFQ	0	On	Off	ブザー出力On/Off制御

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

ENON: 2HzインターバルON/OFF制御レジスタ(FF64H・D2)

ブザー信号の2Hzインターバル出力をON/OFFします。

"1"書き込み: ON

"0"書き込み: OFF

読み出し: 可能

ENONに"1"を書き込むと、ブザー出力は2Hz周期の断続出力に設定されます。"0"を書き込むと通常の連続出力に設定されます。

イニシャルリセット時、このレジスタは"0"に設定されます。

BZFQ: ブザー周波数選択レジスタ(FF64H・D1)

ブザー信号の周波数を選択します。

"1"書き込み: 2kHz

"0"書き込み: 4kHz

読み出し: 可能

BZFQに"1"を書き込むと2kHz、"0"を書き込むと4kHzに設定されます。

イニシャルリセット時、このレジスタは"0"に設定されます。

BZON: ブザー出力ON/OFF制御レジスタ(FF64H・D0)

ブザー出力を制御します。

"1"書き込み: ブザー出力ON

"0"書き込み: ブザー出力OFF

読み出し: 可能

BZONに"1"を書き込むことによってBZ端子からブザー信号が出力され、"0"の書き込みでBZ端子がHIGH(V_{DD})レベル(マスクオプションにて負極性選択時)またはLOW(V_{SS})レベル(マスクオプションにて正極性選択時)になります。

イニシャルリセット時、このレジスタは"0"に設定されます。

4.12.5 プログラミング上の注意事項

ブザー信号はBZONレジスタとは非同期に発生していますので、BZONレジスタの設定による信号のON/OFF時にハザードを生じる場合があります。

4.13 SVD(電源電圧検出)回路

4.13.1 SVD回路の構成

S1C63158にはSVD(電源電圧検出)回路が内蔵されており、ソフトウェアによって電源電圧低下を知ることができます。

SVD回路のON/OFFおよび比較電圧の設定は、ソフトウェアによって行えます。

SVD回路の構成は図4.13.1.1のとおりです。

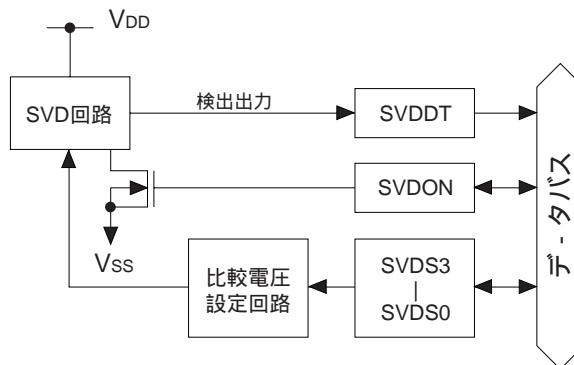


図4.13.1.1 SVD回路の構成

4.13.2 SVD動作

SVD回路はソフトウェアによって設定した比較電圧と電源電圧($VDD - Vss$)の比較を行い、その結果をSVDDTラッチにセットします。このSVDDTラッチのデータを読み出すことにより、電源電圧が正常か、あるいは低下していることをソフトウェアによって判断できます。

比較電圧はレジスタSVDS3～SVDS0によって表4.13.2.1の16種類に設定できます。

表4.13.2.1 比較電圧の設定

SVDS3	SVDS2	SVDS1	SVDS0	比較電圧 (V)	SVDS3	SVDS2	SVDS1	SVDS0	比較電圧 (V)
0	1	1	1	1.60	1	1	1	1	2.60
0	1	1	0	1.40	1	1	1	0	2.50
0	1	0	1	1.30	1	1	0	1	2.30
0	1	0	0	1.25	1	1	0	0	2.20
0	0	1	1	1.20	1	0	1	1	2.10
0	0	1	0	1.15	1	0	1	0	2.05
0	0	0	1	1.10	1	0	0	1	2.00
0	0	0	0	1.05	1	0	0	0	1.95

SVD回路による電源電圧の検出動作はレジスタSVDONに"1"を書き込むことによって開始します。

その後SVDONに"0"を書き込むことにより、SVD回路は検出結果をSVDDTラッチにセットして検出動作を停止(回路をOFF)します。

なお、安定した検出結果を得るために少なくとも100μsec以上SVD回路をONにする必要があります。したがって、電源電圧の検出は次のシーケンスで行ってください。

1. SVDONを"1"にセット
2. 100μsec以上保持
3. SVDONを"0"にセット
4. SVDDTの読み出し

なお、SVD動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD回路をOFFに設定してください。

4.13.3 SVD回路のI/Oメモリ

表4.13.3.1にSVD回路の制御ビットとそのアドレスを示します。

表4.13.3.1 SVD回路の制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈											
	D3	D2	D1	D0					SVD比較電圧設定											
FF04H	SVDS3	SVDS2	SVDS1	SVDS0	SVDS3	0			SVDS3-0	0	1	2	3	4	5	6	7			
					SVDS2	0			電圧(V)	1.05	1.10	1.15	1.20	1.25	1.30	1.40	1.60			
	R/W				SVDS1	0			[SVDS3-0]	8	9	10	11	12	13	14	15			
					SVDS0	0			電圧(V)	1.95	2.00	2.05	2.10	2.20	2.30	2.50	2.60			
FF05H	0	0	SVDDT	SVDON	0 *3	- *2			SVDDT	0	Low	Normal	未使用							
	R		R/W		0 *3	- *2			SVDON	0	On	Off	SVD検出データ							
					SVD回路On/Off															

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

SVDS3 ~ SVDS0: SVD比較電圧設定レジスタ(FF04H)

SVDの比較電圧を表4.13.2.1に示すとおり設定します。

イニシャルリセット時、このレジスタは"0"に設定されます。

SVDON: SVD検出ON/OFF制御レジスタ(FF05H・D0)

SVD回路のON/OFFを制御します。

"1"書き込み: SVD回路 ON

"0"書き込み: SVD回路 OFF

読み出し: 可能

SVDONを"1"にセットすることによりSVD検出が行われ、SVDONを"0"にリセットした直後にSVDDTラッチへ検出結果が書き込まれます。なお、安定したSVD検出結果を得るために、少なくとも100μsec以上SVD回路をONにする必要があります。

イニシャルリセット時、このレジスタは"0"に設定されます。

SVDDT: SVD検出結果(FF05H・D1)

SVDによる検出結果がセットされます。

"0"読み出し: 比較電圧より電源電圧(VDD - VSS)が高い

"1"読み出し: 比較電圧より電源電圧(VDD - VSS)が低い

書き込み: 無効

SVDONを"0"にした時点の検出結果を読み出すことができます。

イニシャルリセット時、SVDDTは"0"に設定されます。

4.13.4 プログラミング上の注意事項

(1)SVD回路はONさせてから安定した結果が得られるまでに100μsecの時間を必要とします。このため、SVDONに"1"を書き込み後、100μsec以上経過後にSVDONに"0"を書き込んでSVDDTを読み出してください。

(2)SVD検出動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD検出をOFFに設定してください。

4.14 割り込みとHALT

<割り込みの種類>

S1C63158には以下の6種類の割り込みが設定されています。

外部割り込み	• 入力割り込み	(3系統)
内部割り込み	• ウオッヂドッグタイム割り込み	(NMI、1系統)
	• プログラマブルタイム割り込み	(2系統)
	• シリアルインターフェース割り込み	(1系統)
	• 計時タイム割り込み	(4系統)
	• A/D変換器割り込み	(1系統)

割り込みを許可するためにはインタラプトフラグを"1"にセット(EI)し、あわせて必要な系統の割り込みマスクレジスタも"1"にセット(イネーブル)する必要があります。

割り込みが発生するとインタラプトフラグは自動的に"0"にリセット(DI)され、以後の割り込みは禁止されます。

ウォッヂドッグタイム割り込みはNMI(ノンマスクブル割り込み)のため、インタラプトフラグの設定にかかわらず、割り込みが発生します。このため、割り込みマスクレジスタも用意されていません。ただし、ウォッヂドッグタイムはソフトウェアにより動作を停止させることができますので、NMIを発生させないようにすることができます。

図4.14.1に割り込み回路の構成を示します。

注: イニシャルリセット時、NMIを含むすべての割り込みはスタックポインタSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み(NMIを含む)は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

<HALT>

S1C63158は必要なとき以外の消費電流を大幅に低減させるHALT機能を持っています。

CPUはHALT命令が入力されるとHALT状態に入り、CPUの動作を停止します。ただし、発振回路は動作していますので、タイマのカウント等は継続して行われます。

CPUのHALT状態からの再起動はNMIを含むハードウェア割り込み要求が発生することにより行われます。

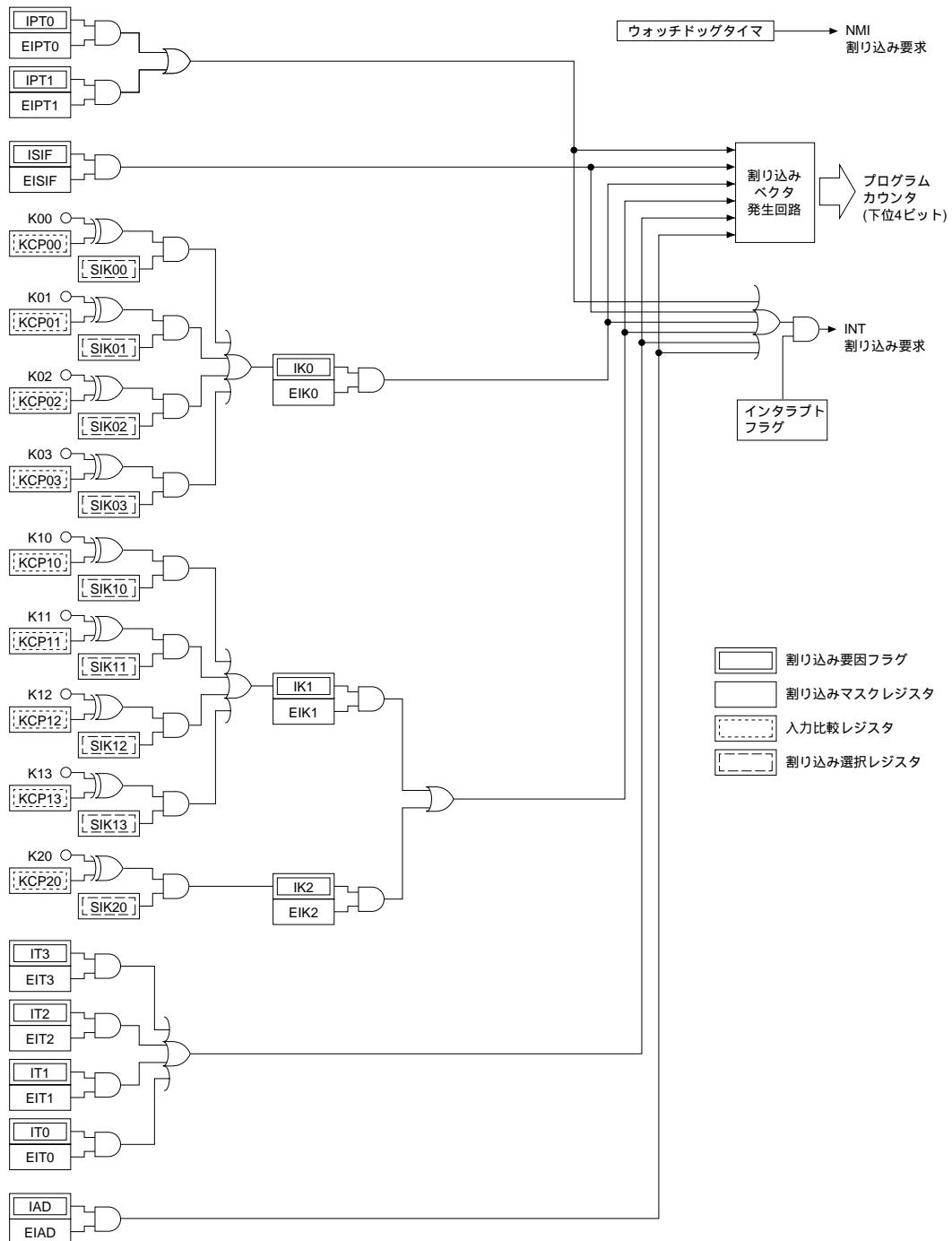


図4.14.1 割り込み回路の構成

4.14.1 割り込みの要因

割り込み要求が発生する要因を表4.14.1.1に示します。

各々の割り込み要因により、対応する割り込み要因フラグが"1"にセットされます。

CPUに対する割り込みは、以下の条件が成立している場合に割り込み要因フラグが"1"にセットされたときに発生します。

- 対応する割り込みマスクレジスタが"1"(イネーブル)
- インタラプトフラグが"1"(EI)

割り込み要因フラグは"1"書き込みにより"0"にリセットされます。

イニシャルリセット時、割り込み要因フラグは"0"にリセットされます。

* ウオッチドッグタイマはNMIのため、上記の条件とは無関係に割り込みが発生します。割り込み要因フラグも用意されていません。

表4.14.1.1 割り込み要因

割り込み要因	割り込み要因フラグ
プログラマブルタイマ1(カウンタ=0)	IPT1 (FFF2H•D1)
プログラマブルタイマ0(カウンタ=0)	IPT0 (FFF2H•D0)
シリアルインターフェース(データ8ビット入出力終了時)	ISIF (FFF3H•D0)
K00～K03入力(立ち下がりまたは立ち上がりエッジ)	IK0 (FFF4H•D0)
K10～K13入力(立ち下がりまたは立ち上がりエッジ)	IK1 (FFF5H•D0)
K20入力(立ち下がりまたは立ち上がりエッジ)	IK2 (FFF5H•D1)
計時タイマ1Hz(立ち下がりエッジ)	IT3 (FFF6H•D3)
計時タイマ2Hz(立ち下がりエッジ)	IT2 (FFF6H•D2)
計時タイマ8Hz(立ち下がりエッジ)	IT1 (FFF6H•D1)
計時タイマ16Hz(立ち下がりエッジ)	IT0 (FFF6H•D0)
A/D変換器	IAD (FFF7H•D0)

注: 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(Iフラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

4.14.2 割り込みの個別マスク

割り込み要因フラグは、対応する割り込みマスクレジスタによりマスクできます。

割り込みマスクレジスタは読み出し/書き込みが可能なレジスタであり、"1"書き込みでイネーブル(割り込み許可) "0"書き込みでマスク(割り込み禁止)となります。

イニシャルリセット時、割り込みマスクレジスタは"0"にリセットされます。

表4.14.2.1に割り込みマスクレジスタと割り込み要因フラグの対応を示します。

表4.14.2.1 割り込みマスクレジスタと割り込み要因フラグ

割り込みマスクレジスタ	割り込み要因フラグ
EIPT1 (FFE2H•D1)	IPT1 (FFF2H•D1)
EIPT0 (FFE2H•D0)	IPT0 (FFF2H•D0)
EISIF (FFE3H•D0)	ISIF (FFF3H•D0)
EIK0 (FFE4H•D0)	IK0 (FFF4H•D0)
EIK1 (FFE5H•D0)	IK1 (FFF5H•D0)
EIK2 (FFE5H•D1)	IK2 (FFF5H•D1)
EIT3 (FFE6H•D3)	IT3 (FFF6H•D3)
EIT2 (FFE6H•D2)	IT2 (FFF6H•D2)
EIT1 (FFE6H•D1)	IT1 (FFF6H•D1)
EIT0 (FFE6H•D0)	IT0 (FFF6H•D0)
EIAD (FFE7H•D0)	IAD (FFF7H•D0)

4.14.3 割り込みベクタ

CPUに割り込み要求が入力されると、CPUは割り込み処理を開始します。

割り込み処理は実行中のプログラムの終了後、以下の手順で行われます。

1. フラグレジスタを退避後、Iフラグをリセット
2. 次に実行すべきプログラムのアドレスデータ(プログラムカウンタの値)をスタック領域(RAM)に退避
3. 割り込み要求による割り込みベクタの値(0100H ~ 010EH)をプログラムカウンタにセット
4. 指定されたアドレスのプログラムを実行(ソフトウェアによる割り込み処理ルーチンの実行)

表4.14.3.1に割り込み要求と割り込みベクタの対応を示します。

表4.14.3.1 割り込み要求と割り込みベクタ

割り込みベクタ	割り込み要因	優先順位
0100H	ウォッチドッグタイマ	高い ↑
0104H	プログラムブルタイマ	
0106H	シリアルラインタフェース	
0108H	K00 ~ K03入力	
010AH	K10 ~ K13入力, K20入力	
010CH	計時タイマ	
010EH	A/D変換器	低い ↓

プログラムカウンタ(PC)の下位4ビットが割り込み要求による間接アドレス指定となります。

4.14.4 割り込みのI/Oメモリ

表4.14.4.1(a)に割り込みに関する制御ビットとそのアドレスを示します。

表4.14.4.1(a) 割り込みの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FF20H	SIK03	SIK02	SIK01	SIK00	SIK03	0	Enable	Disable	K00 ~ K03割り込み選択レジスタ
					SIK02	0	Enable	Disable	
					SIK01	0	Enable	Disable	
					SIK00	0	Enable	Disable	
FF22H	R/W				KCP03	1			K00 ~ K03入力比較レジスタ
	KCP03	KCP02	KCP01	KCP00	KCP02	1			
					KCP01	1			
					KCP00	1			
FF24H	SIK13	SIK12	SIK11	SIK10	SIK13	0	Enable	Disable	K10 ~ K13割り込み選択レジスタ
					SIK12	0	Enable	Disable	
					SIK11	0	Enable	Disable	
					SIK10	0	Enable	Disable	
FF26H	R/W				KCP13	1			K10 ~ K13入力比較レジスタ
	KCP13	KCP12	KCP11	KCP10	KCP12	1			
					KCP11	1			
					KCP10	1			
FF28H	0	0	0	SIK20	0 *3	- *2	Enable	Disable	K20割り込み選択レジスタ
					0 *3	- *2			
					0 *3	- *2			
					SIK20	0			
FF2AH	0	0	0	KCP20	0 *3	- *2	Enable	Disable	K20入力比較レジスタ
					0 *3	- *2			
					0 *3	- *2			
					KCP20	1			
FFE2H	0	0	EIPT1	EIPT0	0 *3	- *2	Enable	Mask	未使用
					0 *3	- *2			
					EIPT1	0			
					EIPT0	0			
FFE3H	0	0	0	EISIF	0 *3	- *2	Enable	Mask	割り込みマスクレジスタ(プログラマブルタイマ1)
					0 *3	- *2			
					0 *3	- *2			
					EISIF	0			
FFE4H	0	0	0	EIK0	0 *3	- *2	Enable	Mask	未使用
					0 *3	- *2			
					0 *3	- *2			
					EIK0	0			
FFE5H	0	0	EIK2	EIK1	0 *3	- *2	Enable	Mask	未使用
					0 *3	- *2			
					EIK2	0			
					EIK1	0			
FFE6H	EIT3	EIT2	EIT1	EIT0	0 *3	- *2	Enable	Mask	割り込みマスクレジスタ(計時タイマ1Hz)
					0 *3	- *2			
					EIT2	0			
					EIT1	0			
FFE7H					EIT0	0	Enable	Mask	割り込みマスクレジスタ(計時タイマ2Hz)
					EIT3	0			
					EIT2	0			
					EIT1	0			
FFE7H	0	0	0	EIAD	0 *3	- *2	Enable	Mask	割り込みマスクレジスタ(計時タイマ8Hz)
					0 *3	- *2			
					EIAD	0			
					EIT0	0			
FFE7H	0	0	R		0 *3	- *2	Enable	Mask	割り込みマスクレジスタ(計時タイマ16Hz)
					0 *3	- *2			
					EIAD	0			
					EIT0	0			

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

表4.14.4.1(b) 割り込みの制御ビット

アドレス	レジスタ				Name	Init *1	1	0	注 釈
	D3	D2	D1	D0					
FFF2H	0	0	IPT1	IPT0	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
	R		R/W		IPT1	0	(W)	(W)	割り込み要因フラグ(プログラマブルタイマ1)
					IPT0	0	Reset	Invalid	割り込み要因フラグ(プログラマブルタイマ0)
FFF3H	0	0	0	ISIF	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
	R		R/W		0 *3	- *2	(W)	(W)	未使用
					ISIF	0	Reset	Invalid	割り込み要因フラグ(シリアルI/F)
FFF4H	0	0	0	IK0	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
	R		R/W		0 *3	- *2	(W)	(W)	未使用
					IK0	0	Reset	Invalid	割り込み要因フラグ(K00 ~ K03)
FFF5H	0	0	IK2	IK1	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
	R		R/W		IK2	0	(W)	(W)	割り込み要因フラグ(K20)
					IK1	0	Reset	Invalid	割り込み要因フラグ(K10 ~ K13)
FFF6H	IT3	IT2	IT1	IT0	IT3	0	(R)	(R)	割り込み要因フラグ(計時タイマ1Hz)
					IT2	0	Yes	No	割り込み要因フラグ(計時タイマ2Hz)
	R/W				IT1	0	(W)	(W)	割り込み要因フラグ(計時タイマ8Hz)
					IT0	0	Reset	Invalid	割り込み要因フラグ(計時タイマ16Hz)
FFF7H	0	0	0	IAD	0 *3	- *2	(R)	(R)	未使用
					0 *3	- *2	Yes	No	未使用
	R		R/W		0 *3	- *2	(W)	(W)	未使用
					IAD	0	Reset	Invalid	割り込み要因フラグ(A/D変換器)

*1 イニシャルリセット時の初期値

*2 回路上設定されない

*3 読み出し時は常時"0"

EIPT1, EIPT0: 割り込みマスクレジスタ(FFE2H・D1, D0)

IPT1, IPT0: 割り込み要因フラグ(FFF2H・D1, D0)

..."4.10 プログラマブルタイマ"参照

EISIF: 割り込みマスクレジスタ(FFE3H・D0)

ISIF: 割り込み要因フラグ(FFF3H・D0)

..."4.11 シリアルインターフェース"参照

KCP03 ~ KCP00, KCP13 ~ KCP10, KCP20: 入力比較レジスタ(FF22H, FF26H, FF2AH・D0)

SIK03 ~ SIK00, SIK13 ~ SIK10, SIK20: 割り込み選択レジスタ(FF20H, FF24H, FF28H・D0)

EIK0, EIK1, EIK2: 割り込みマスクレジスタ(FFE4H・D0, FFE5H・D0, FFE5H・D1)

IK0, IK1, IK2: 割り込み要因フラグ(FFF4H・D0, FFF5H・D0, FFF5H・D1)

..."4.5 入力ポート"参照

EIT3 ~ EIT0: 割り込みマスクレジスタ(FFE6H)

IT3 ~ IT0: 割り込み要因フラグ(FFF6H)

..."4.8 計時タイマ"参照

EIAD: 割り込みマスクレジスタ(FFE7H・D0)

IAD: 割り込み要因フラグ(FFF7H・D0)

..."4.9 A/D変換器"参照

4.14.5 プログラミング上の注意事項

- (1)各割り込み要因フラグは、各割り込みマスクレジスタを"0"に設定していても、割り込み条件成立によりセットされます。
- (2)割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(|フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。
- (3)イニシャルリセット時、NMIを含むすべての割り込みはスタックポインタSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み(NMIを含む)は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

5 注意事項のまとめ

5.1 低消費電流化のための注意事項

S1C63158は、低消費電流化のため回路系ごとに制御レジスタを持っています。

この制御レジスタにより必要最小限の回路系を動作させるプログラムとすることで、低消費電流化が実現できます。

以下に動作を制御できる回路系とその制御レジスタ等を説明しますので、プログラムを組む上で参考としてください。

表5.1.1 回路系と制御レジスタ

回路系(および項目)	制御レジスタ等
CPU	HALT命令
CPU動作周波数	CLKCHG, OSCC
発振系定電圧回路	VDC
昇圧回路	DBON, VDSEL, VADSEL
SVD回路	SVDON

消費電流については"7 電気的特性"を参照してください。

イニシャルリセット時の各回路系の状態は以下のとおりです。

CPU: 動作状態

CPU動作周波数: 低速側(CLKCHG = "0")
OSC3発振回路停止状態(OSCC = "0")

発振系定電圧回路: 低速側 1.3V (VDC = "0")

昇圧回路: 定電圧回路V_{DD}駆動
通常モード(DBON = "0", VDSEL = "0", VADSEL = "0")

SVD回路: OFF状態(SVDON = "0")

5.2 個別機能についての注意事項のまとめ

以下に各機能の注意事項を個別にまとめます。内容に十分留意した上でプログラミングを行ってください。

メモリ、スタック

- (1)メモリマップの未使用領域にはメモリが実装されていません。また、周辺I/O領域にも非実装領域、未使用(アクセス禁止)領域が存在します。これらの領域をアクセスするようなプログラムを作成した場合は、正常な動作を保証することはできません。
- 周辺I/O領域については表4.1.1(a)~(f)に示すI/Oメモリマップを参照してください。
- (2)データメモリの一部をサブルーチンコールやレジスタ退避時のスタック領域としても使用しますので、データ領域とスタック領域が重ならないように注意してください。
- (3)S1C63000コアCPUは、4ビットデータ用スタックポインタ(SP2)および16ビットデータ用スタックポインタ(SP1)によりスタック処理を行います。SP1によるスタック処理では16ビットデータアクセスが行われますので、このスタック領域の設定は4ビット/16ビットアクセスが可能な領域内(0100H~01FFH)で行ってください。スタックポインタは、SP1が0000H~03FFH、SP2が0000H~00FFHの範囲でサイクリックに動作します。このため、SP1はS1C63158の4ビット/16ビットアクセス領域を外れた0200H以上、あるいは00FFH以下の領域にも設定される可能性がありますので注意してください。SP1によるスタック操作以外のメモリアクセスは4ビットデータアクセスとなります。
- また、イニシャルリセット時は、スタックポインタSP1、SP2の両方がソフトウェアで設定されるまでNMIを含むすべての割り込みがマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまでNMIを含む割り込みは再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

動作モードと電源制御

- (1)0.9V~1.35Vの電源電圧で動作させる場合は、ソフトウェアによる制御が必要です。発振系定電圧回路をVC₂モードに設定してください。電源電圧が1.35V以上の場合、発振系定電圧回路をVC₂モードには設定しないでください。
- (2)電源電圧が0.9V~1.6Vの場合にA/D変換器を使用する場合は、ソフトウェアによる制御が必要です。A/D変換器をVC₂モードに設定してください。電源電圧が1.6V以上の場合、A/D変換器をVC₂モードには設定しないでください。
- (3)電源電圧が動作モードの指定電圧範囲外の場合は、その動作モードへの切り換えを行わないでください。誤動作あるいは消費電流の増加につながります。
- (4)通常モードからVC₂モードに切り換える場合、DBONを"1"に設定してからVC₂が安定する100msec以上の時間をおいてVDSELまたはVADSELを"1"に設定してください。
- (5)VC₂モードから通常モードに切り換える場合は、切り換え(VDSEL = "0"またはVADSEL = "0")と昇圧回路のOFF(DBON = "0")は別々のインストラクションで行ってください。1つのインストラクションによる同時処理は誤動作の原因になります。
- (6)OSC3発振回路は、電源電圧が2.2V~3.6Vの通常モード時にのみ動作可能です。

ウォッチドッグタイマ

- (1)ウォッチドッグタイマを使用する場合、3秒周期以内にソフトウェアでウォッチドッグタイマをリセットする必要があります。
- (2)イニシャルリセットにより、ウォッチドッグタイマは動作状態に設定されますので、使用しない場合は割り込み(NMI)発生前にウォッチドッグタイマをディセーブル(使用しない)に設定してください。

発振回路

- (1) CPUシステムクロックをOSC1からOSC3に切り換える場合は、OSC3発振をONにする前にVD1の設定を行ってください。その後、2.5msec以上の時間をおいてからOSC3発振をONにします。OSC3からOSC1に切り換える場合は、OSC1に切り換えてOSC3発振をOFFにした後でVD1を設定してください。ただし、OSC1発振回路がCR発振の場合には、VD1の設定は必要ありません。
- (2) OSC3発振回路がONしてから発振が安定するまでに、5msec以上を必要とします。したがって、CPUの動作クロックをOSC1からOSC3に切り換える際は、OSC3発振ONの後、5msec以上経過してから行ってください。
また、発振安定時間は外付け発振子の特性および使用条件等により異なりますので、十分マージンを取って待ち時間を設定してください。
- (3) OSC3からOSC1へのクロック切り換えと、OSC3発振OFFは別々のインストラクションで行ってください。
1インストラクションで、同時に処理するとCPUの誤動作につながります。
- (4) マスクオプションでOSC1にCR発振回路を選択し、OSC3発振回路(CRまたはセラミック)を使用するとした場合はVD1の電圧値が2.1V固定となりますので、ソフトウェアによるVD1の切り換えは必要ありません。OSC3発振回路を使用しない場合は、OSC1がCR発振回路の場合でもVD1=1.3Vで動作可能です。

入力ポート

- (1) 入力ポートをLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の時定数によって波形立ち上がりに遅延が生じます。このため、入力ポートの取り込みを行う際は、適切な待ち時間を設定してください。
特に、キーマトリクス構成時のキースキャン等に注意が必要です。
この待ち時間は次の式で算出される時間以上としてください。

$$10 \times C(\text{端子容量}5\text{pF} + \text{寄生容量?pF}) \times R(\text{プルアップ抵抗}300\text{k}\Omega)$$
- (2) K13端子はプログラマブルタイマの入力クロック端子としての機能も兼ねることがあり、入力ポート機能と入力信号が共有されます。そのため、K13端子をプログラマブルタイマの入力クロック端子に設定した場合、割り込み等の設定には十分注意してください。

出力ポート

- (1) R02、R03を特殊出力(TOUT、FOUT)として使用する場合、R02レジスタ、R03レジスタは"1"、R02HIZレジスタ、R03HIZレジスタは"0"に固定してください。
R02、R03レジスタに"0"を書き込むと、出力端子がLOW(Vss)に固定されますので注意してください。
R02HIZ、R03HIZに"1"を書き込むと、出力端子がハイインピーダンスになりますので注意してください。
- (2) TOUT信号、FOUT信号のON/OFF時は、出力波形にハザードが出る場合があります。
- (3) FOUT信号の周波数としてfosc3を選択した場合は、信号出力前にOSC3発振回路の制御が必要です。制御方法と注意事項については"4.4 発振回路"を参照してください。

入出力兼用ポート

入力モード時にポートの入力をLOWレベルからプルアップ抵抗でHIGHレベルに変化させる場合、プルアップ抵抗と入力ゲート容量の時定数によって波形立ち上がりに遅延が生じます。このため、入力データの取り込みを行う際は、適切な待ち時間を設定してください。
特に、キーマトリクス構成時のキースキャン等に注意が必要です。
この待ち時間は次の式で算出される時間以上としてください。

$$10 \times C(\text{端子容量}5\text{pF} + \text{寄生容量?pF}) \times R(\text{プルアップ抵抗}300\text{k}\Omega)$$

計時タイマ

- (1) データの読み出しあは必ず下位データ (TM0 ~ TM3) から先に行ってください。
- (2) OSC1発振回路としてCR発振回路がマスクオプションで選択された場合にはfosc1が60kHz (Typ.)になりますので、記載されているすべての周波数、時間等が異なります。よって、時計機能に用いることはできません。

A/D変換器

- (1) 電源電圧が1.6V以下の場合は、A/D変換を開始する前にVADSELレジスタに"1"を書き込んでA/D変換器をVC2モードに設定してください。
- (2) A/D変換器はクロックセレクタからのクロックを入力して動作します。したがって、A/D変換を行う前に、使用するクロックを選択し、クロックを出力させておく必要があります。またそのクロック源としてOSC3を使用する場合は、OSC3発振回路が動作していることも必要です。
- (3) A/D変換クロックとしてOSC3クロックを使用する場合は、A/D変換中にOSC3発振回路を停止させないでください。OSC3発振回路が停止した場合、正確なA/D変換結果は得られません。
- (4) 入力クロックやアナログ入力端子の設定は必ずA/D変換停止中に行ってください。A/D変換開始後の変更は誤動作の原因となります。
- (5) 誤動作を防止するため、A/D変換器へのクロックが停止中にA/D変換を開始(ADRUNIレジスタへの"1"書き込み)したり、A/D変換動作中にクロックを停止しないでください。
- (6) PADレジスタで設定されたアナログ入力端子(同時複数設定可)とCHSレジスタで選択された入力チャンネルが一致していないと正しいA/D変換が行われません。
- (7) A/D変換器のアナログ入力として使用しないIP4n端子をA/D変換動作中に動作させないでください(デジタル信号の入出力等)。A/D変換精度に影響します。
- (8) A/D変換器のA/Dクロックは、1MHz以下で使用してください。

プログラマブルタイマ

- (1) カウンタデータの読み出しあは必ず下位4ビット(PTD00 ~ PTD03, PTD10 ~ PTD13)から先に行ってください。また、下位4ビット(PTD00 ~ PTD03, PTD10 ~ PTD13)と上位4ビット(PTD04 ~ PTD07, PTD14 ~ PTD17)の読み出しの時間差は0.73msec以下としてください。
16ビット×1チャンネルモード時は、次の順番で1.46msec以内にすべてを読み出してください。
(PTD00 ~ PTD03) (PTD04 ~ PTD07) (PTD10 ~ PTD13) (PTD14 ~ PTD17)
- (2) プログラマブルタイマはレジスタPTRUN0/PTRUN1への書き込みに対して、入力クロックの立ち下がりエッジに同期して実際にRUN/STOP状態となります。
したがって、PTRUN0/PTRUN1に"0"を書き込んだ場合は、"-1"余分にカウントしたところでタイマが停止状態となります。また、このときPTRUN0/PTRUN1は実際にタイマがSTOP状態となるまで、読み出しに対して"1"を保持します。
図5.2.1にRUN/STOP制御のタイミングチャートを示します。



図5.2.1 RUN/STOP制御のタイミングチャート

なお、これについてはイベントカウンタも対象となるため、RUN/STOPレジスタ PTRUN0 を設定後にクロック入力がない場合、カウンタ回路は実際にはRUN/STOP状態になりませんので注意してください。

(3) TOUT信号は出力制御レジスタPTOUTとは非同期に発生していますので、PTOUTの設定による信号のON/OFF時には1/2サイクル以内のハザードが生じます。

(4) OSC3発振回路を原振とする場合は、プログラマブルタイマを使用する以前にOSC3発振回路をONさせる必要があります。

ただし、OSC3発振回路をONにしてから発振が安定するまでに5msec以上の時間を必要とします。したがって、プログラマブルタイマのカウント開始はOSC3発振ON後、充分な待ち時間をおいてから行ってください。

OSC3の制御方法と注意事項については"4.4 発振回路"を参照してください。イニシャルリセット時、OSC3発振回路はOFF状態に設定されます。

シリアルインターフェース

(1) データレジスタSD0～SD7への書き込み、または読み出しはシリアルインターフェースが停止中(同期クロックが入力/出力されていない状態)のときのみ行ってください。

(2) シリアルインターフェースの起動はトリガ条件として、SCTRGに"1"を書き込む以前に、データレジスタSD0～SD7の書き込み/読み出しが行われている必要があります。(データレジスタSD0～SD7への書き込み/読み出しがシリアルインターフェースの内部回路は初期化されます。また、トリガをかける前に必ずESIFでシリアルインターフェースをイネーブルとしておいてください)。

トリガはシリアルインターフェースをRUN状態にすることに一度だけ与えてください。また、同期クロックSCLKが外部クロックの場合は、トリガ後に外部クロックの入力を開始してください。

(3) SDPによる入出力順列(MSB先頭/LSB先頭)の設定は、SD0～SD7にデータを設定する前に行ってください。

(4) シリアルインターフェースで使用可能なクロック周波数は、OSC3をクロック源としたプログラマブルタイマ出力を使用する場合あるいはスレーブモード時においても、最大1MHzまでに制限されていますので注意してください。

ブザー出力回路

ブザー信号はBZONレジスタとは非同期に発生していますので、BZONレジスタの設定による信号のON/OFF時にハザードを生じる場合があります。

SVD回路

(1) SVD回路はONさせてから安定した結果が得られるまでに100μsecの時間を必要とします。このため、SVDONに"1"を書き込み後、100μsec以上経過後にSVDONに"0"を書き込んでSVDDTを読み出してください。

(2) SVD検出動作時は消費電流が大きくなりますので、必要なとき以外は必ずSVD検出をOFFに設定してください。

割り込み

(1) 各割り込み要因フラグは、各割り込みマスクレジスタを"0"に設定していても、割り込み条件成立によりセットされます。

(2) 割り込み発生後、割り込み要因フラグをリセットせずに割り込み許可(フラグ="1")に設定あるいはRETI命令を実行すると再度同一の割り込みが発生してしまいます。したがって、割り込み処理ルーチン内では、割り込み許可状態に移行する前に割り込み要因フラグのリセット("1"書き込み)を行ってください。

(3) イニシャルリセット時、NMIを含むすべての割り込みはスタックポインタSP1、SP2の両方がソフトウェアで設定されるまでマスクされます。また、SP1、SP2を設定後どちらか一方を再設定すると、もう一方が再設定されるまで割り込み(NMIを含む)は再びマスクされます。したがって、SP1およびSP2の設定は必ずペアで行ってください。

5.3 実装上の注意事項

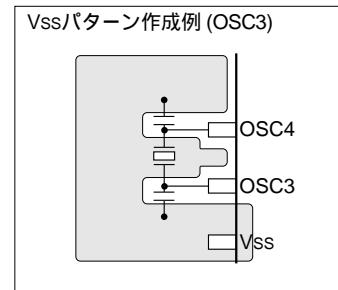
<発振回路>

発振特性は諸条件(使用部品、基板パターン等)により変化します。

特にセラミック発振子または水晶振動子を使用する場合は、容量や抵抗などの定数は発振子メーカーの推奨値を使用してください。

ノイズによる発振クロックの乱れは誤動作の原因となります。
これを防止するため次の点に配慮してください。

- (1) OSC1～OSC4端子に接続する発振子、抵抗、コンデンサ等の部品は、できるだけ最短で接続してください。
- (2) OSC1～OSC4端子およびこれらの端子に接続された部品の周辺部は右図のようにVssパターンをできるだけ広く作成してください。
また、このVssパターンは発振用途以外に使用しないでください。



OSC1(OSC3)- VDD間のリーク電流による発振回路の不安定動作を防止するため、基板パターンにおいて、OSC1(OSC3)はVDD電源や信号線とは十分な距離を確保してください。

<リセット回路>

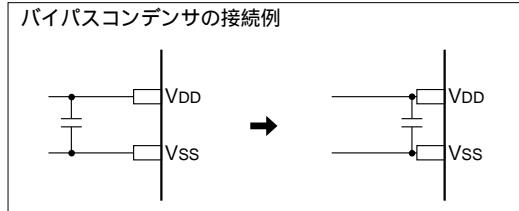
パワーオン時RESET端子に入力されるリセット信号は、諸条件(電源の立ち上がり時間、使用部品、基板パターン等)により変化します。容量や抵抗などの定数は応用製品にて十分確認を行い、決定してください。
また、マスクオプションによりRESET端子のプルアップ抵抗を付加した場合には、抵抗値のばらつきを十分考慮した定数設定が必要です。

ノイズによる動作中のリセットを防ぐため、RESET端子に接続するコンデンサ、抵抗等の部品は、できるだけ最短で接続してください。

<電源回路>

ノイズによる急激な電源変動は誤動作の原因となります。これを防止するため次の点に配慮してください。

- (1) 電源からVDD、Vss端子およびAVDD、AVss、AVREF端子へはできるだけ短くかつ太いパターンで接続してください。
特にAVDD、AVss、AVREFの各電源は、A/D変換器に用いるため変換精度に影響を与えます。
- (2) VDD - Vssのバイパスコンデンサを接続する場合、VDD端子とVss端子をできるだけ最短で接続してください。



- (3) VD1、VC2端子に接続するコンデンサ等の部品はできるだけ最短で接続してください。

< A/D変換器 >

A/D変換器を使用しない場合は、次のように接続してください。

AVDD → VDD

AVSS → VSS

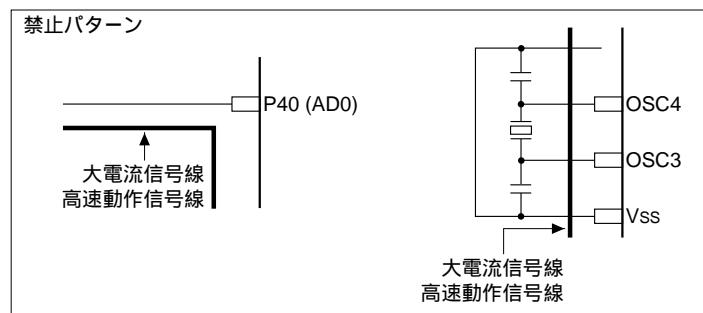
AVREF → VSS

<信号線の配置>

相互インダクタンスによって生じる電磁誘導ノイズを防止するために、発振部、アナログ入力部等のノイズに弱い回路近くには、大電流信号線を配置しないでください。

高速動作する信号線と、長くかつ平行にまたは交差させて別の信号線を配置することは、信号間の相互干渉によって発生するノイズにより誤動作の原因となります。

特に、発振部、アナログ入力部等のノイズに弱い回路近くには、高速に動作する信号線を配置しないでください。



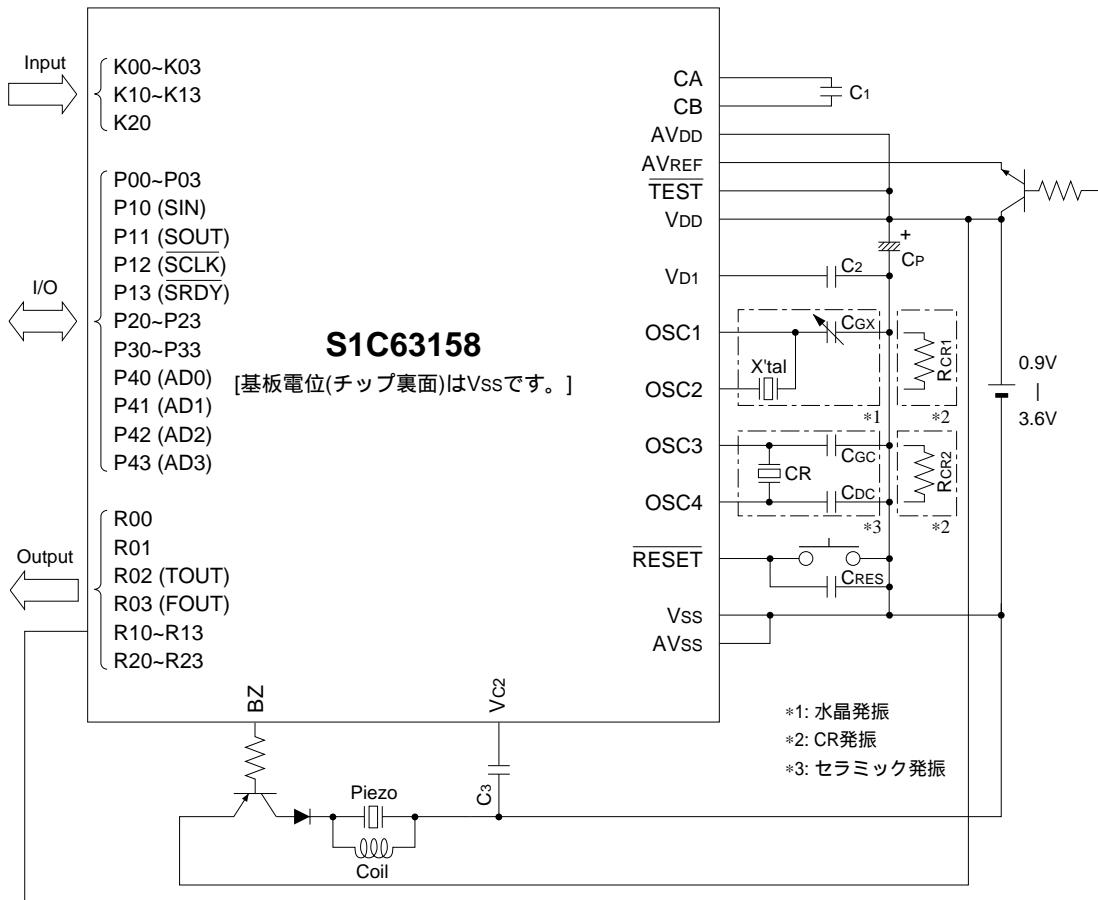
<光に対する取り扱い(ペアチップ実装の場合)>

半導体素子は、光が照射されると特性が変化します。このため、本ICに光が当たると誤動作をおこすことがあります。光に対するICの誤動作を防ぐため、本ICが実装される基板および製品について、以下に示す内容を考慮してください。

- (1)実使用時にICの遮光性が考慮された構造となるよう 設計および実装を行ってください。
- (2)検査工程では、ICの遮光性が考慮された環境設計を行ってください。
- (3)ICの遮光は、ICチップの表面、裏面および側面について考慮してください。

6 基本外部結線図

プラー出力 負極性選択時(マスクオプション)



7 電気的特性

7.1 絶対最大定格

(V _{SS} =0V)			
項目	記号	定格値	単位
電源電圧	V _D D	-0.5 ~ 4.6	V
入力電圧(1)	V _I	-0.5 ~ V _D D + 0.3	V
入力電圧(2)	V _{IOSC}	-0.5 ~ V _D 1 + 0.3	V
許容総出力電流 *1	ΣI _V D _D	10	mA
動作温度	T _{opr}	-20 ~ 85	°C
保存温度	T _{tsg}	-65 ~ 150	°C
半田付け温度・時間	T _{sol}	260°C, 10sec (リード部)	—
許容損失 *2	P _D	250	mW

*1 許容総出力電流とは出力端子から同時に流し出せる(または引き込める)電流(平均電流)の総和です。

*2 プラスチックパッケージ(QFP12-48pin、QFP13-64pin)の場合

7.2 推奨動作条件

(Ta=20~70°C)						
項目	記号	条件	Min.	Typ.	Max.	単位
電源電圧	V _D D	V _{SS} =0V	昇圧モード(OSC3 OFF)	0.9	1.1	1.35 V
			通常モード(OSC3 OFF)	1.35	3.0	3.6 V
			通常モード(OSC3 ON)	2.2	3.0	3.6 V
	AV _D D	AV _{SS} =0V	0.9	3.0	3.6	V
発振周波数	f _{osc} 1	AV _{REF} =AV _D D	0.9	3.0	3.6	V
		水晶発振	—	32.768	—	kHz
	f _{osc} 3	CR発振	40	60	80	kHz
		セラミック発振		1800		kHz
					4100	kHz

7.3 DC特性

特記なき場合

VDD=1.5V, Vss=0V, fosc1=32.768kHz, Ta=25°C, VD1/Vc2は内部電圧, C1~C3=0.2μF

項目	記号	条件	Min.	Typ.	Max.	単位	
高レベル入力電圧(1)	VIH1	K00~03, K10~13, K20, P00~03 P10~13, P20~23, P30~33, P40~43	0.8·VDD		VDD	V	
高レベル入力電圧(2)	VIH2	RESET, TEST	0.9·VDD		VDD	V	
低レベル入力電圧(1)	VIL1	K00~03, K10~13, K20, P00~03 P10~13, P20~23, P30~33, P40~43	0		0.2·VDD	V	
低レベル入力電圧(2)	VIL2	RESET, TEST	0		0.1·VDD	V	
高レベル入力電流	I _{IH}	VIH=1.5V	K00~03, K10~13, K20, P00~03 P10~13, P20~23, P30~33, P40~43 RESET, TEST	0	0.5	μA	
低レベル入力電流(1)	I _{IL1}	VIL1=VSS Pull upなし	K00~03, K10~13, K20, P00~03 P10~13, P20~23, P30~33, P40~43 RESET, TEST	-0.5	0	μA	
低レベル入力電流(2)	I _{IL2}	VIL2=VSS Pull upあり	K00~03, K10~13, K20, P00~03 P10~13, P20~23, P30~33, P40~43 RESET, TEST	-7.5	-5	-2.5	μA
高レベル出力電流(1)	I _{OH1}	VOH1=0.9·VDD	R00~03, R10~13, R20~23, P00~03 P10~13, P20~23, P30~33, P40~43		-0.3	mA	
高レベル出力電流(2)	I _{OH2}	VOH2=0.9·VDD	BZ		-0.3	mA	
低レベル出力電流(1)	I _{OL1}	VOL1=0.1·VDD	R00~03, R10~13, R20~23, P00~03 P10~13, P20~23, P30~33, P40~43	0.5		mA	
低レベル出力電流(2)	I _{OL2}	VOL2=0.1·VDD	BZ	0.5		mA	

特記なき場合

VDD=3.0V, Vss=0V, fosc1=32.768kHz, Ta=25°C, VD1/Vc2は内部電圧, C1~C3=0.2μF

項目	記号	条件	Min.	Typ.	Max.	単位	
高レベル入力電圧(1)	VIH1	K00~03, K10~13, K20, P00~03 P10~13, P20~23, P30~33, P40~43	0.8·VDD		VDD	V	
高レベル入力電圧(2)	VIH2	RESET, TEST	0.9·VDD		VDD	V	
低レベル入力電圧(1)	VIL1	K00~03, K10~13, K20, P00~03 P10~13, P20~23, P30~33, P40~43	0		0.2·VDD	V	
低レベル入力電圧(2)	VIL2	RESET, TEST	0		0.1·VDD	V	
高レベル入力電流	I _{IH}	VIH=3.0V	K00~03, K10~13, K20, P00~03 P10~13, P20~23, P30~33, P40~43 RESET, TEST	0	0.5	μA	
低レベル入力電流(1)	I _{IL1}	VIL1=VSS Pull upなし	K00~03, K10~13, K20, P00~03 P10~13, P20~23, P30~33, P40~43 RESET, TEST	-0.5	0	μA	
低レベル入力電流(2)	I _{IL2}	VIL2=VSS Pull upあり	K00~03, K10~13, K20, P00~03 P10~13, P20~23, P30~33, P40~43 RESET, TEST	-15	-10	-5	μA
高レベル出力電流(1)	I _{OH1}	VOH1=0.9·VDD	R00~03, R10~13, R20~23, P00~03 P10~13, P20~23, P30~33, P40~43		-1.5	mA	
高レベル出力電流(2)	I _{OH2}	VOH2=0.9·VDD	BZ		-1.5	mA	
低レベル出力電流(1)	I _{OL1}	VOL1=0.1·VDD	R00~03, R10~13, R20~23, P00~03 P10~13, P20~23, P30~33, P40~43	3		mA	
低レベル出力電流(2)	I _{OL2}	VOL2=0.1·VDD	BZ	3		mA	

7.4 アナログ回路特性・消費電流

特記なき場合

VDD=3.0V, VSS=0V, fosc1=32.768kHz, CG=25pF, Ta=25°C, VD1/VC2は内部電圧, C1~C3=0.2μF

項目	記号	条件	Min.	Typ.	Max.	単位
SVD電圧	Vsvd	SVDS0-3="0"	0.95	1.05	1.15	V
		SVDS0-3="1"	1.02	1.10	1.18	
		SVDS0-3="2"	1.07	1.15	1.23	
		SVDS0-3="3"	1.12	1.20	1.28	
		SVDS0-3="4"	1.16	1.25	1.34	
		SVDS0-3="5"	1.21	1.30	1.39	
		SVDS0-3="6"	1.30	1.40	1.50	
		SVDS0-3="7"	1.49	1.60	1.71	
		SVDS0-3="8"	1.81	1.95	2.09	
		SVDS0-3="9"	1.86	2.00	2.14	
		SVDS0-3="10"	1.91	2.05	2.19	
		SVDS0-3="11"	1.95	2.10	2.25	
		SVDS0-3="12"	2.05	2.20	2.35	
		SVDS0-3="13"	2.14	2.30	2.46	
		SVDS0-3="14"	2.33	2.50	2.68	
		SVDS0-3="15"	2.42	2.60	2.78	
SVD回路応答時間	tsvd				100	μs
消費電流	IOP	HALT時	32.768kHz		1	μA
		通常モード *1			3	
		HALT時	32.768kHz		2	μA
		昇圧モード (VDD=1.2V) *1			5	
		実行時	32.768kHz (水晶発振)		3	μA
		通常モード *1	60kHz (CR発振)		15	μA
			1.8MHz (CR発振)		400	μA
			4MHz (セラミック発振)		900	μA
実行時		昇圧モード (VDD=1.2V) *1	32.768kHz (水晶発振)		7	μA
					12	

*1 SVD回路およびA/D変換器はOFF状態、AVREFはOPEN

A/D変換器特性

特記なき場合

AVDD=VDD=0.9~3.6V, AVSS=VSS=0V, Ta=-25~85°C

項目	記号	条件	Min.	Typ.	Max.	単位
分解能			8	8	8	bit
誤差		2.2V≤VDD≤2.7V Fconv=OSC3/2≤1MHz or OSC1	-3		3	LSB
		1.6V≤VDD≤2.2V Fconv=OSC1	-3		3	LSB
		0.9V≤VDD≤1.6V Fconv=OSC1, VADSEL=1	-3		3	LSB
変換時間	tconv	Fconv=OSC3/2=1MHz			21	μs
		Fconv=OSC1=32kHz			641	μs
入力電圧			AVSS		AVREF	V
基準電圧	AVREF		0.9		AVDD	V
AVREF抵抗			15	20		kΩ

7.5 発振特性

発振特性は諸条件(使用部品、基板パターン等)により変化します。以下の特性は参考値としてご使用ください。

OSC1 水晶発振回路

特記なき場合

VDD=3.0V, Vss=0V, fosc1=32.768kHz, CG=25pF, CD=内蔵, Ta=25°C

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始電圧	Vsta	tsta 3sec (VDD)	1.1			V
発振停止電圧	Vstp	tstp 10sec (VDD) 通常モード 昇圧モード	1.1 0.9			V
内蔵容量(ドレイン)	CD	IC内部の寄生容量を含む(チップ状態)		10		pF
周波数電圧偏差	$\partial f/\partial V$	VDD=0.9 ~ 3.6V VDC切り換えあり VDC切り換えなし			10 5	ppm ppm
周波数IC偏差	$\partial f/\partial IC$		-10		10	ppm
周波数調整範囲	$\partial f/\partial CG$	CG=5 ~ 25pF	25	30		ppm
高調波発振開始電圧	Vhho	CG=5pF (VDD)	3.6			V
許容リーケ抵抗	Rleak	OSC1とVDD, Vssの間	200			MΩ

OSC1 CR発振回路

特記なき場合

VDD=3.0V, Vss=0V, RCR1=1.5MΩ, Ta=25°C, VDC=1

項目	記号	条件	Min.	Typ.	Max.	単位
発振周波数パラツキ	fosc1		-30	60kHz	30	%
発振開始電圧	Vsta	通常モード(VDD)	2.2			V
発振開始時間	tsta	VDD=2.2 ~ 3.6V			3	ms
発振停止電圧	Vstp	通常モード(VDD)	2.2			V

特記なき場合

VDD=3.0V, Vss=0V, RCR1=1MΩ, Ta=25°C, VDC=0

項目	記号	条件	Min.	Typ.	Max.	単位
発振周波数パラツキ	fosc1		-30	80kHz	30	%
発振開始電圧	Vsta	通常モード(VDD)	1.3			V
発振開始時間	tsta	VDD=1.3 ~ 3.6V			3	ms
発振停止電圧	Vstp	通常モード(VDD)	1.3			V

OSC3 セラミック発振回路

特記なき場合

VDD=3.0V, Vss=0V, セラミック振動子: 4MHz, CGC=CDC=100pF, Ta=25°C

項目	記号	条件	Min.	Typ.	Max.	単位
発振開始電圧	Vsta	通常モード(VDD)	2.2			V
発振開始時間	tsta	VDD=2.2 ~ 3.6V			5	ms
発振停止電圧	Vstp	通常モード(VDD)	2.2			V

OSC3 CR発振回路

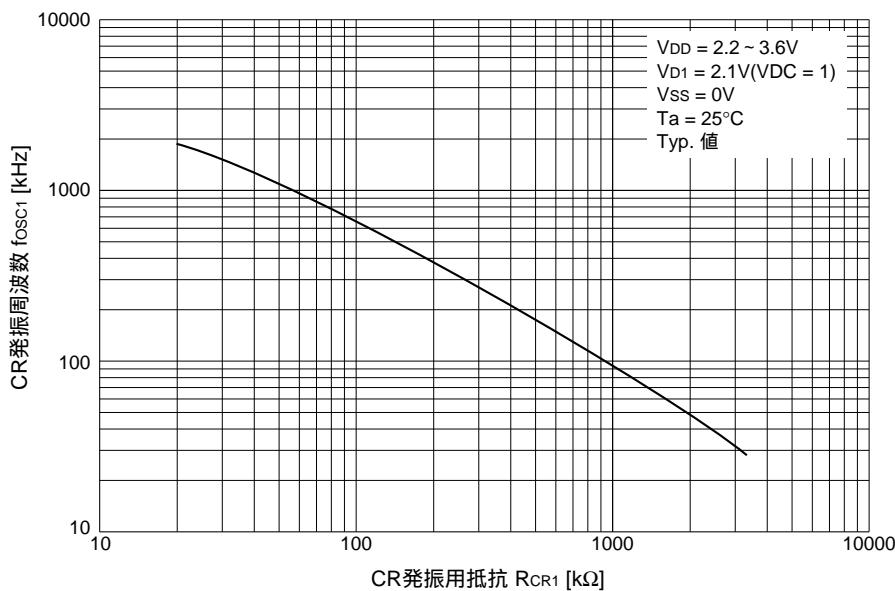
特記なき場合

VDD=3.0V, Vss=0V, RCR2=40.2kΩ, Ta=25°C

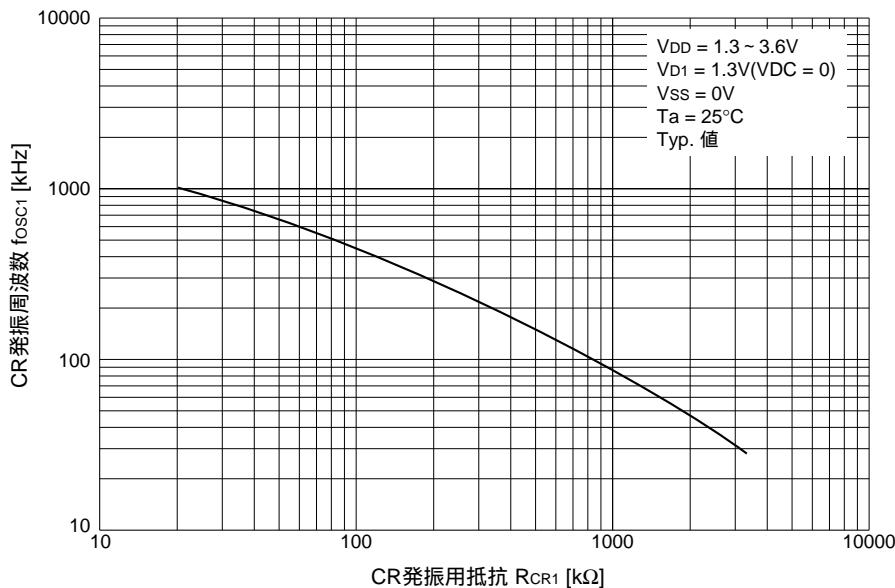
項目	記号	条件	Min.	Typ.	Max.	単位
発振周波数パラツキ	fosc3		-30	1.8MHz	30	%
発振開始電圧	Vsta	通常モード(VDD)	2.2			V
発振開始時間	tsta	VDD=2.2 ~ 3.6V			3	ms
発振停止電圧	Vstp	通常モード(VDD)	2.2			V

OSC1 CR発振抵抗特性($V_{DC} = 1$)

発振特性は諸条件(使用部品、基板パターン等)により変化します。以下の特性は参考値とし、実際の製品で評価されることを推奨します。

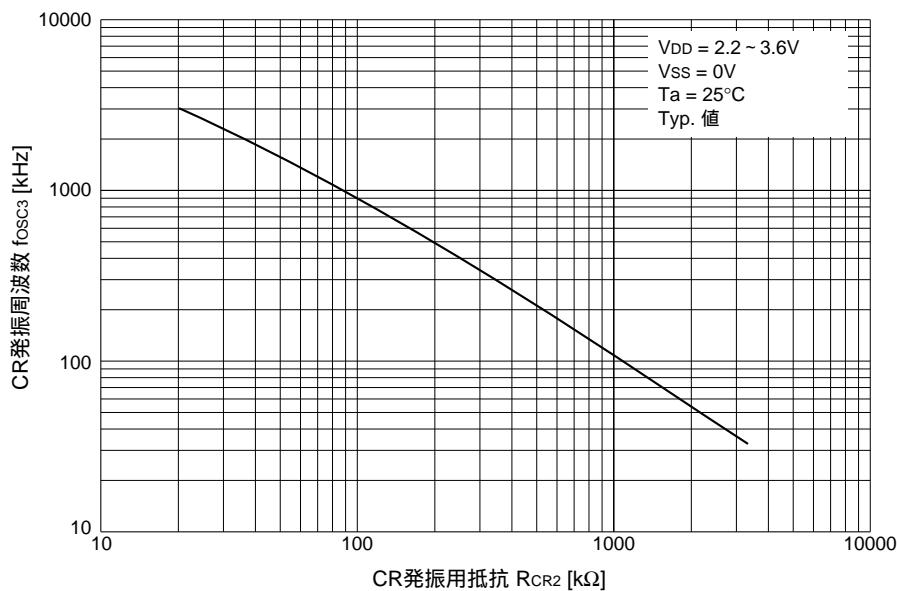
OSC1 CR発振抵抗特性($V_{DC} = 0$)

発振特性は諸条件(使用部品、基板パターン等)により変化します。以下の特性は参考値とし、実際の製品で評価されることを推奨します。



OSC3 CR発振抵抗特性

発振特性は諸条件(使用部品、基板パターン等)により変化します。以下の特性は参考値とし、実際の製品で評価されることを推奨します。



7.6 シリアルインターフェースAC特性

1 マスタモード(32kHz動作時)

条件: $V_{DD}=3.0V$, $V_{SS}=0V$, $T_a=25^{\circ}C$, $V_{IH1}=0.8V_{DD}$, $V_{IL1}=0.2V_{DD}$, $V_{OH}=0.8V_{DD}$, $V_{OL}=0.2V_{DD}$

項目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	tsmd			5	μs
受信データ入力セットアップ時間	tsms	10			μs
受信データ入力ホールド時間	tsmh	5			μs

2 マスタモード(1MHz動作時)

条件: $V_{DD}=3.0V$, $V_{SS}=0V$, $T_a=25^{\circ}C$, $V_{IH1}=0.8V_{DD}$, $V_{IL1}=0.2V_{DD}$, $V_{OH}=0.8V_{DD}$, $V_{OL}=0.2V_{DD}$

項目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	tsmd			200	ns
受信データ入力セットアップ時間	tsms	400			ns
受信データ入力ホールド時間	tsmh	200			ns

3 スレーブモード(32kHz動作時)

条件: $V_{DD}=3.0V$, $V_{SS}=0V$, $T_a=25^{\circ}C$, $V_{IH1}=0.8V_{DD}$, $V_{IL1}=0.2V_{DD}$, $V_{OH}=0.8V_{DD}$, $V_{OL}=0.2V_{DD}$

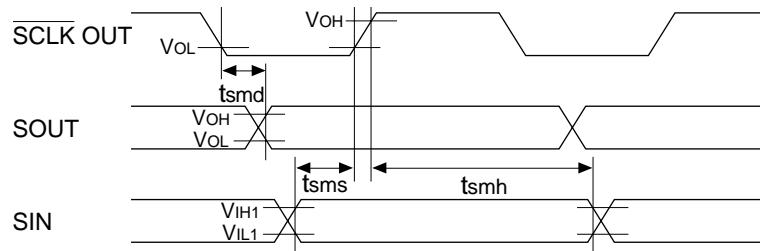
項目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	tssd			10	μs
受信データ入力セットアップ時間	tsss	10			μs
受信データ入力ホールド時間	tssh	5			μs

4 スレーブモード(1MHz動作時)

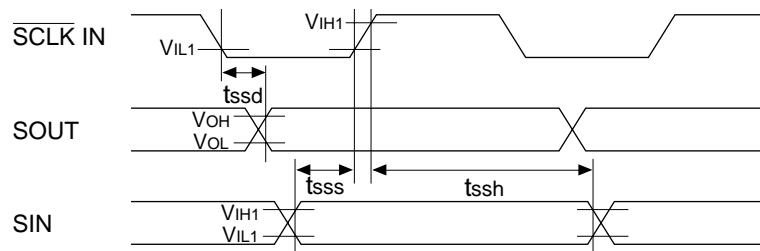
条件: $V_{DD}=3.0V$, $V_{SS}=0V$, $T_a=25^{\circ}C$, $V_{IH1}=0.8V_{DD}$, $V_{IL1}=0.2V_{DD}$, $V_{OH}=0.8V_{DD}$, $V_{OL}=0.2V_{DD}$

項目	記号	Min.	Typ.	Max.	単位
送信データ出力遅延時間	tssd			500	ns
受信データ入力セットアップ時間	tsss	400			ns
受信データ入力ホールド時間	tssh	200			ns

<マスタモード>

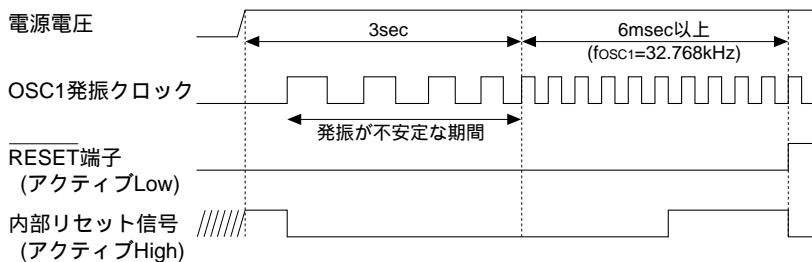


<スレーブモード>

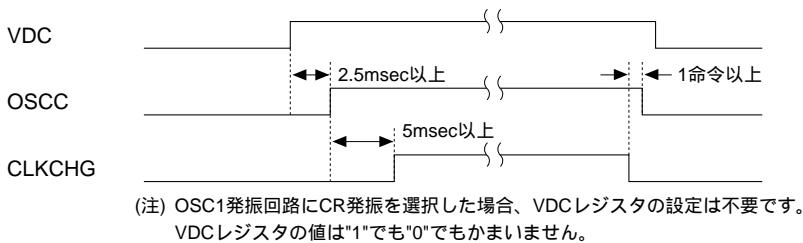


7.7 タイミングチャート

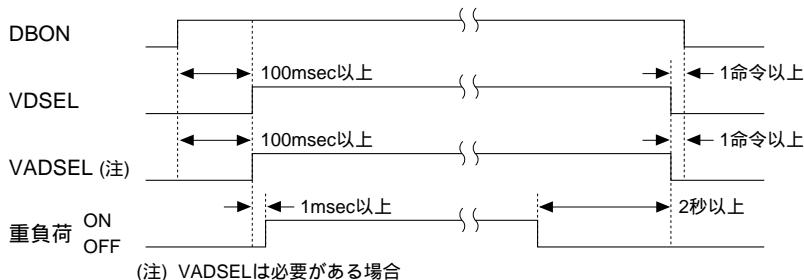
1 リセットのタイミングチャート



2 システムクロック切り換えタイミングチャート



3 Vc2モード電源電圧制御タイミングチャート(重負荷時)

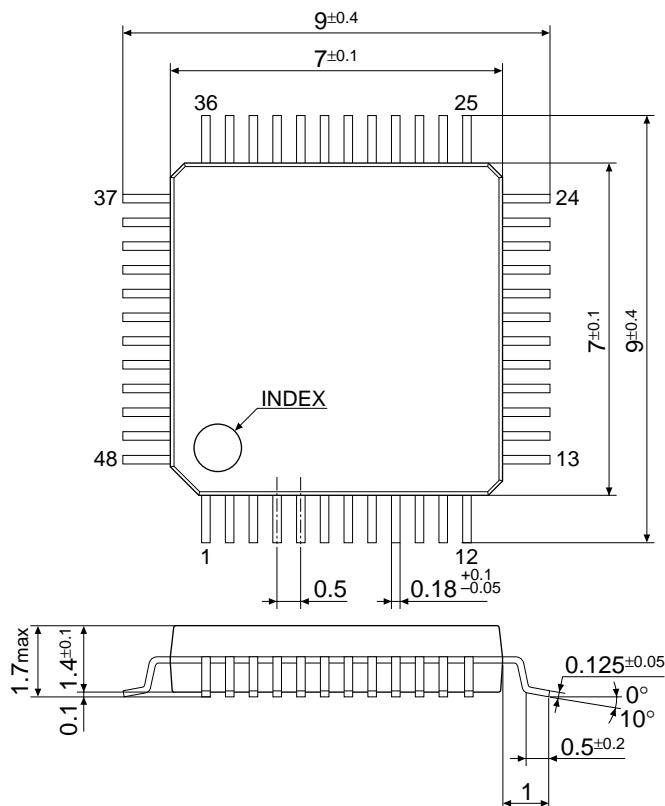


8 パッケージ

8.1 プラスチックパッケージ

QFP12-48pin

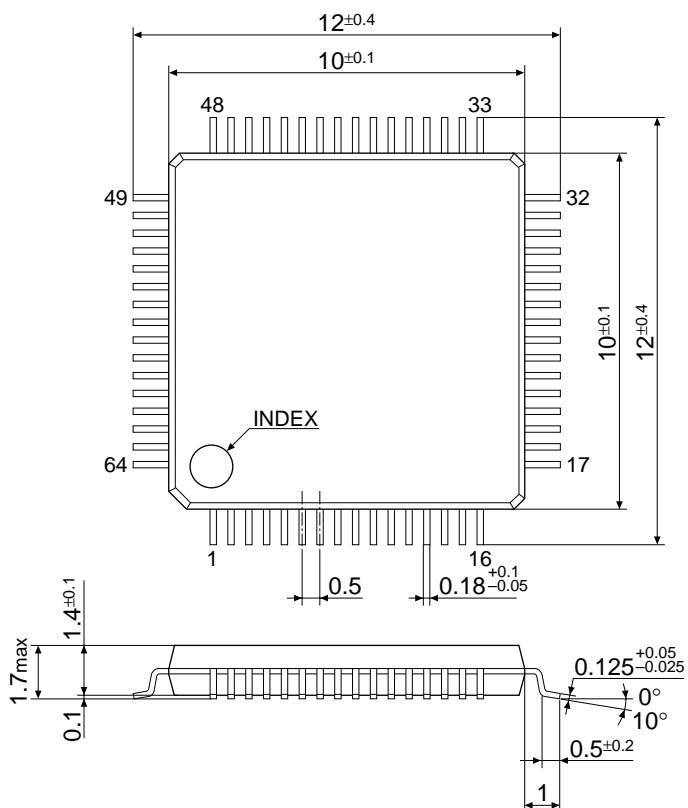
(単位: mm)



寸法については予告なく変更する場合があります。

QFP13-64pin

(単位: mm)

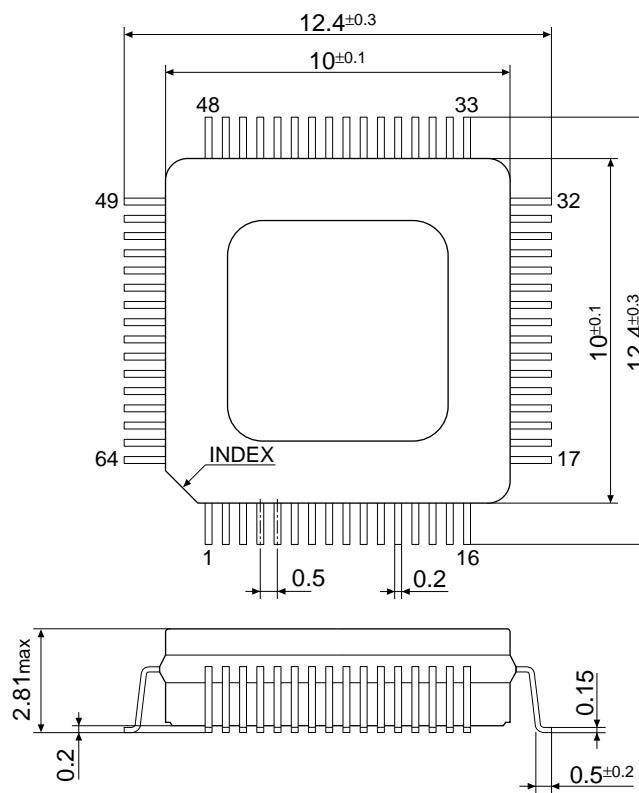


寸法については予告なく変更する場合があります。

8.2 テストサンプル用セラミックパッケージ

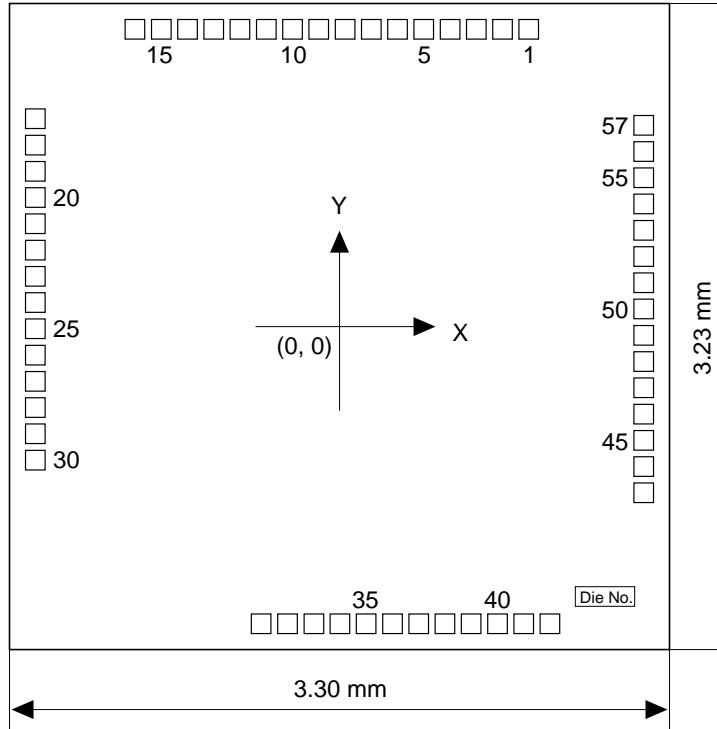
QFP13-64pin

(単位: mm)



9 パッド配置

9.1 パッド配置図



チップ厚: 400 μ m
パッド開口部: 98 μ m

9.2 パッド座標

単位: μ m

No.	パッド名	X座標	Y座標	No.	パッド名	X座標	Y座標	No.	パッド名	X座標	Y座標
1	P43	946	1486	20	P00	-1521	645	39	K11	658	-1486
2	P42	815	1486	21	R23	-1521	514	40	K12	790	-1486
3	P41	684	1486	22	R22	-1521	382	41	K13	921	-1486
4	P40	553	1486	23	R21	-1521	251	42	K20	1052	-1486
5	P33	421	1486	24	R20	-1521	120	43	Vss	1521	-831
6	P32	290	1486	25	R13	-1521	-11	44	OSC1	1521	-700
7	P31	159	1486	26	R12	-1521	-143	45	OSC2	1521	-569
8	P30	28	1486	27	R11	-1521	-274	46	VD1	1521	-438
9	P23	-104	1486	28	R10	-1521	-405	47	OSC3	1521	-306
10	P22	-235	1486	29	R03	-1521	-536	48	OSC4	1521	-175
11	P21	-366	1486	30	R02	-1521	-668	49	VDD	1521	-44
12	P20	-498	1486	31	R01	-392	-1486	50	RESET	1521	88
13	P13	-629	1486	32	R00	-260	-1486	51	TEST	1521	219
14	P12	-760	1486	33	BZ	-128	-1486	52	AVDD	1521	350
15	P11	-891	1486	34	K00	2	-1486	53	AVSS	1521	481
16	P10	-1023	1486	35	K01	133	-1486	54	AVREF	1521	613
17	P03	-1521	1039	36	K02	265	-1486	55	CB	1521	744
18	P02	-1521	907	37	K03	396	-1486	56	CA	1521	875
19	P01	-1521	776	38	K10	527	-1486	57	VC2	1521	1006

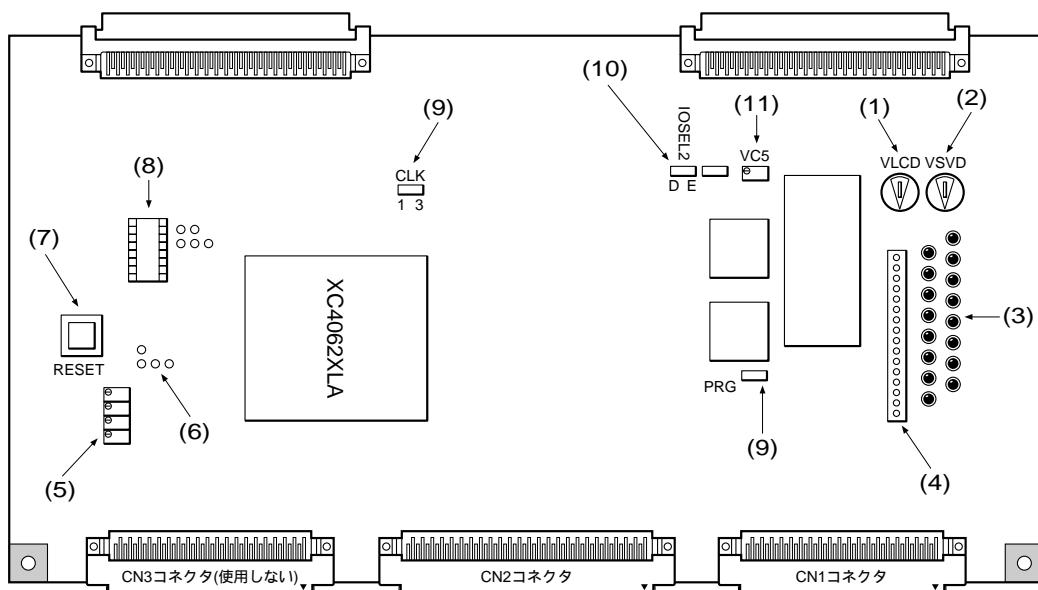
APPENDIX S5U1C63000P Manual(Peripheral Circuit Board for S1C63158/358/P366)

ここでは、4-bit Single Chip Microcomputer S1C63 FamilyのデバッグツールであるICE (S5U1C63000H1/ S5U1C63000H2)に装着してエミュレーション機能を提供するPeripheral Circuit Board for S1C63158/358/P366(S5U1C63000P)の使用方法を説明します。

なお、本文ではS1C63 Family Peripheral Circuit Board(S5U1C63000P)にS1C63158/358/P366用回路データがダウンロードされているものについて適用されます。そのため、各機種用回路データのダウンロード方法と、ボードの共通仕様などについては、製品に添付されたS5U1C63000P Manual(S1C63 Family Peripheral Circuit Board)を、ICEの機能、操作などの詳細については、それぞれに用意されたマニュアルを参照してください。

A.1 各部の名称と機能

以下、本ボード(S5U1C63000P)の各部の名称と機能について説明します。



(1)VLCD

このボリュームを廻すことにより LCD駆動電源電圧を調整することができます。ただし、実際のICにおいては、LCD駆動電源電圧を調整することはできません。

(2)VSVD

電源電圧検出機能(SVD)の動作を確認するため、擬似的に電源電圧を変化させるボリュームです。なお、1つのボリューム位置にて2つの電圧値を示しますので注意してください。

SVDレベル	0	1	2	3	4	5	6	7
	8	9	10	11	12	13	14	15

(たとえば、SVDレベル0と8は、同一のボリューム位置です)

(3)レジスタモニタLED

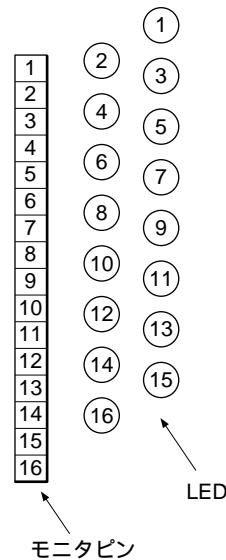
以下の各レジスタに対応しており、"1"のとき点灯、"0"のとき消灯します。

VDC, OSCC, CLKCHG, DBON, HLON, VDSEL, VADSEL, SVDS0-3, SVDON, LPWR, VCCHG

(4) レジスタモニタピン

以下の各レジスタに対応しており、"1"のときHIGHレベル、"0"のときLOWレベル出力となります。

モニタピン		LED	
Pin No.	名称	LED No.	名称
1	DONE *1	1	DONE *1
2	VDC	2	VDC
3	OSCC	3	OSCC
4	CLKCHG	4	CLKCHG
5	DBON *2	5	DBON *2
6	–	6	–
7	VDSEL	7	VDSEL
8	VADSEL	8	VADSEL
9	SVDS0	9	SVDS0
10	SVDS1	10	SVDS1
11	SVDS2	11	SVDS2
12	SVDS3	12	SVDS3
13	SVDON	13	SVDON
14	LPWR	14	LPWR
15	VCCHG	15	VCCHG
16	–	16	–

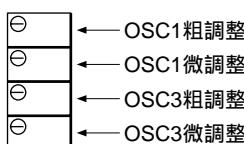


*1 DONE: 本ボードの初期化が正常に完了した場合
にHIGHレベル出力、点灯

*2 DBON: S1C63158、S1C6P366対応時に使用

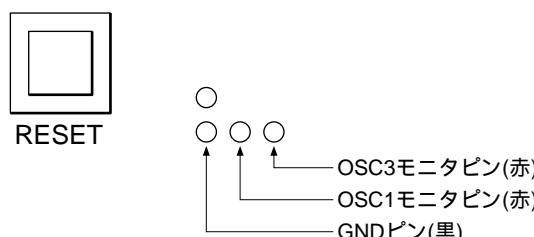
(5) CR発振周波数調整ポリューム

マスクオプションによってOSC1をCR発振回路、OSC3をCRまたはセラミック発振回路に設定した場合、このポリュームにより発振周波数を調整することができます。調整可能範囲は、OSC1は約20kHz～500kHz、OSC3は約100kHz～8MHzになります。なお、実ICの動作周波数範囲はこの調整可能範囲とは異なりますので、S1C63158/358/P366のテクニカルマニュアルを参照の上、適切な動作周波数を選択してください。



(6) CR発振周波数モニタピン

CR発振回路からのクロック波形をオシロスコープなどでモニタすることができます。なお、このピンからは、発振回路の動作制御にかかわらず、常にクロックが出力されています。



(7)RESETスイッチ

本ボードの回路を初期化し、ICEにリセット信号を与えます。

(8)モニタピン、外付け部品接続ソケット

使用しません。

(9)CLK、PRGスイッチ

回路データのダウンロード中、処理が完了しないままICEの電源が遮断されてしまった場合、再度ICEの電源を投入しても本ボード側の回路構成が不完全なままとなり、デバッガが起動しなくなることがあります。このような場合は、ICEの電源をいったん落とし、CLKを32K側に、PRGスイッチをProg側にそれぞれ設定し、再度ICEの電源を投入します。これによりデバッガは起動可能になりますので、この状態で回路データのダウンロードを行ってください。回路データのダウンロード完了後は、いったんICEの電源を落とし、CLKをLCLK側に、PRGをNorm側にそれぞれ戻して、再度ICEの電源を投入してください。

(10)OSEL2

回路データをダウンロードする場合は、"E"側に設定してください。それ以外の場合は、"D"側に設定してください。

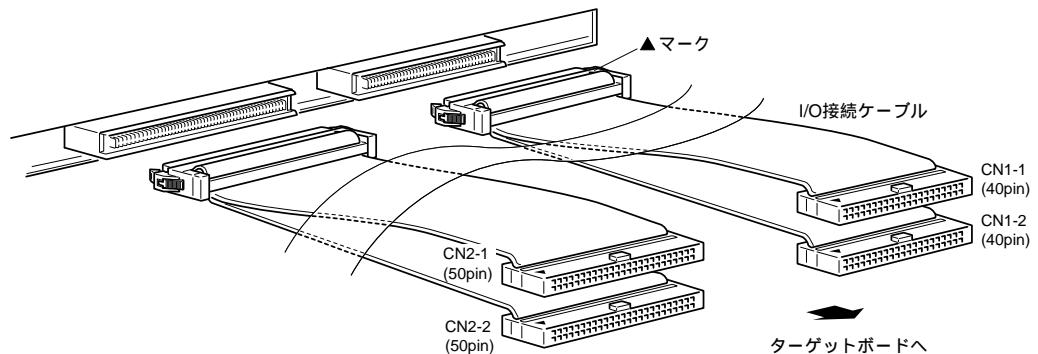
(11)VC5

使用しません。

A.2 ターゲットシステムとの接続

ここではターゲットシステムとの接続方法を説明します。

本ボード(S5U1C63000P)とターゲットシステムの接続は、添付のI/O接続ケーブル(80pin/40pin×2、100pin/50pin×2、flat type)を用いて行います。なお、本コネクタには電源(VDD=+3.3V)が供給されていますので、ご注意ください。



図A.2.1 ターゲットシステムとの接続

表A.2.1 I/Oコネクタのピン配列表

40pin CN1-1コネクタ		40pin CN1-2コネクタ		50pin CN2-1コネクタ		50-pin CN2-2コネクタ	
No.	端子名	No.	端子名	No.	端子名	No.	端子名
1	VDD (=3.3V)	1	VDD (=3.3V)	1	VDD (=3.3V)	1	VDD (=3.3V)
2	VDD (=3.3V)	2	VDD (=3.3V)	2	VDD (=3.3V)	2	VDD (=3.3V)
3	K00	3	R00	3	SEG0 (DC)	3	接続不可
4	K01	4	R01	4	SEG1 (DC)	4	接続不可
5	K02	5	R02	5	SEG2 (DC)	5	接続不可
6	K03	6	R03	6	SEG3 (DC)	6	接続不可
7	K10	7	R10	7	SEG4 (DC)	7	接続不可
8	K11	8	R11	8	SEG5 (DC)	8	接続不可
9	K12	9	R12	9	SEG6 (DC)	9	接続不可
10	K13	10	R13	10	SEG7 (DC)	10	接続不可
11	Vss	11	Vss	11	Vss	11	Vss
12	Vss	12	Vss	12	Vss	12	Vss
13	P00	13	R20	13	SEG8 (DC)	13	接続不可
14	P01	14	R21	14	SEG9 (DC)	14	接続不可
15	P02	15	R22	15	SEG10 (DC)	15	接続不可
16	P03	16	R23	16	SEG11 (DC)	16	接続不可
17	P10	17	接続不可	17	SEG12 (DC)	17	接続不可
18	P11	18	接続不可	18	SEG13 (DC)	18	接続不可
19	P12	19	接続不可	19	SEG14 (DC)	19	接続不可
20	P13	20	接続不可	20	SEG15 (DC)	20	接続不可
21	VDD (=3.3V)	21	VDD (=3.3V)	21	VDD (=3.3V)	21	VDD (=3.3V)
22	VDD (=3.3V)	22	VDD (=3.3V)	22	VDD (=3.3V)	22	VDD (=3.3V)
23	P20	23	BZ	23	SEG16 (DC)	23	接続不可
24	P21	24	接続不可	24	SEG17 (DC)	24	接続不可
25	P22	25	接続不可	25	SEG18 (DC)	25	接続不可
26	P23	26	接続不可	26	SEG19 (DC)	26	接続不可
27	P30	27	接続不可	27	SEG20 (DC)	27	接続不可
28	P31	28	接続不可	28	SEG21 (DC)	28	接続不可
29	P32	29	接続不可	29	SEG22 (DC)	29	接続不可
30	P33	30	接続不可	30	SEG23 (DC)	30	接続不可
31	Vss	31	Vss	31	Vss	31	Vss
32	Vss	32	Vss	32	Vss	32	Vss
33	P40	33	接続不可	33	SEG24 (DC)	33	接続不可
34	P41	34	接続不可	34	SEG25 (DC)	34	接続不可
35	P42	35	接続不可	35	SEG26 (DC)	35	接続不可
36	P43	36	接続不可	36	SEG27 (DC)	36	接続不可
37	VREF	37	接続不可	37	SEG28 (DC)	37	接続不可
38	K20	38	RESET	38	SEG29 (DC)	38	接続不可
39	Vss	39	Vss	39	SEG30 (DC)	39	接続不可
40	Vss	40	Vss	40	SEG31 (DC)	40	接続不可
				41	VDD (=3.3V)	41	VDD (=3.3V)
				42	VDD (=3.3V)	42	VDD (=3.3V)
				43	接続不可	43	接続不可
				44	接続不可	44	接続不可
				45	接続不可	45	接続不可
				46	接続不可	46	接続不可
				47	接続不可	47	接続不可
				48	接続不可	48	接続不可
				49	接続不可	49	接続不可
				50	接続不可	50	接続不可

* CN2-1、CN2-2 コネクタは、各SEG端子をマスクオプションでDC出力仕様とする場合に使用します。

A.3 使用上の注意

本ボード(S5U1C63000P)を正しく使用していただくために、以下の事項に注意してください。

A.3.1 操作上の注意事項

- (1)ケーブルの接続と切り離しは、接続する機器すべての電源をOFFにした状態で行ってください。
- (2)入力ポート(K00 ~ K03)をすべてLOWレベルにした状態において、電源投入およびマスクオプションデータのロードを行わないでください。キー同時押しリセット機能が働く可能性があります。
- (3)デバッグを行う場合は、その前に必ずマスクオプションデータをロードしてください。

A.3.2 実ICとの相違点

(1)I/Oについての相違

<インターフェース電源>

本ボードとターゲットシステムのインターフェース電圧は+3.3Vに固定されています。このため、実際のICと同一のインターフェース電圧が必要な場合は、ターゲットシステム側においてレベルシフタ回路などを付加して対応してください。

<各出力ポートの駆動能力>

本ボードにおける各出力ポートの駆動能力は、実際のICに比べて高くなっていますので、S1C63158/358/P366のテクニカルマニュアルを参照し、各出力端子の駆動能力を確認した上で、システムおよびソフトウェアの設計を行ってください。

<各ポートの保護ダイオード>

すべてのI/Oポートには保護用ダイオードがVDDとVssに対して入っており、ターゲットシステムとのインターフェース信号は+3.3Vに固定されます。このため、出力ポートをオープンドレインに設定し、VDDを超える電圧レベルとのインターフェースをとることはできません。

<プルアップ抵抗値>

本ボードにおいて、プルアップ抵抗値は220kΩに固定されていますが、実際のICと抵抗値が異なります。実際のICにおける抵抗値は、S1C63158/358/P366のテクニカルマニュアルを参照して確認してください。なお、プルアップ抵抗を使用して入力端子をHIGHレベルに引き上げる場合などにおいて、HIGHレベル確定までの時間に相違が生じます。たとえば、出力ポートと入力ポートを組み合わせてキーマトリックス回路を構成した場合は、入力ポートの立ち上がりディレイに相違が発生しますので充分な注意が必要です。

(2)消費電流についての相違

本ボードの消費電流は実際のICと大きく異なります。本ボード上のLEDを確認することで、およその消費電流を把握することができます。なお、消費電流に大きく影響を及ぼすものとして以下のようなものがあります。

<LED、モニタピンなどで確認が可能なもの>

- a)RunとHaltの実行比率(ICEのモニタピン、LEDによる)
- b)CPU動作電圧切り換え回路(VDC)
- c)OSC3発振ON/OFF回路(OSCC)
- d)CPUクロック切り換え回路(CLKCHG)
- e)2倍昇圧ON/OFF回路(DBON)
- f)発振系定電圧回路用電源選択回路(VDSEL)
- g)A/Dコンバータ回路用電源選択回路(VADSEL)
- h)SVD回路ON/OFF回路(SVDON)
- i)LCD電源ON/OFF回路(LPWR)
- j)LCD定電圧切り換え回路(VCCHG)

<システム、ソフトウェア上注意するしかないもの>

- k)内蔵プルアップ抵抗により消費される電流
- l)入力ポートがフローティング状態

(3)機能上の相違

<LCD電源回路>

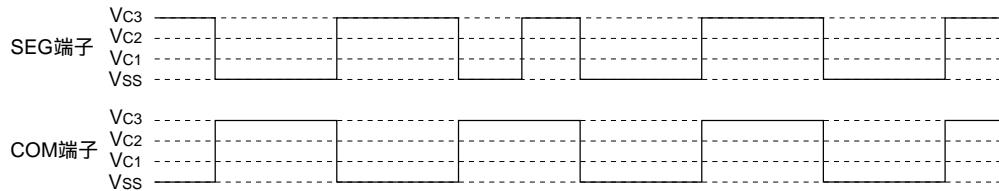
LCD電源回路(LPWR)をONしてから、LCD駆動波形が出力されるまでにディレイが発生します。本ボードにおいて、このディレイは約125msecに設定されていますが、実際のICにおいては、これと異なりますのでS1C63158/358/P366のテクニカルマニュアルを参照してください。

<LCD駆動波形の相違>

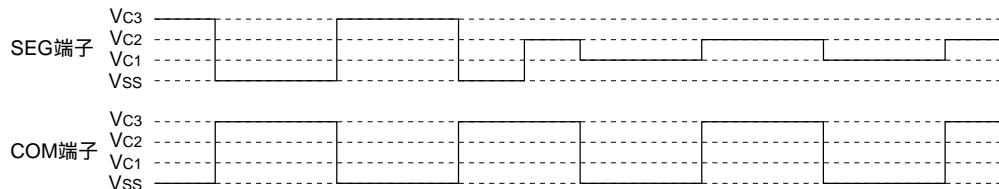
LCDをスタティック出力に設定(STCDレジスタ="1")した場合、本ボードのLCD駆動波形と、実ICの駆動波形が以下のように異なります。(1/3バイアスの場合のみ)

レジスタ	1	0
------	---	---

<実IC>



<S5U1C63000P+LCDボード>



<SVD回路>

- S1C63158/358/P366には、外部から供給された電圧を検出する機能がありますが、本ボードでは外部から供給される電圧を検出することはできません。SVD機能は、本ボード上のVSVDボリュームにより、擬似的に電源電圧を変化させることにより行います。
- SVD回路の電源をONしてから実際に電圧を検出するまでにディレイ時間が発生し、本ボードでは61μsec～92μsecに設定されています。実際のICにおいては、これと異なりますので、S1C63158/358/P366のテクニカルマニュアルを参照して、適切なウェイト時間を設定してください。

<発振回路>

- OSC3発振制御回路(OSCC)をONにしてから発振が安定するまでにウェイト時間が必要になりますが、本ボードではウェイトなしにOSC3の発振切り換え(CLKCHG)しても動作してしまいます。このため、実際のICにおいては、S1C63158/358/P366のテクニカルマニュアルを参照の上適切な時間を設定してください。
- OSC3からOSC1へのクロック切り換えと、OSC3回路の発振停止は別の命令で行ってください。ひとつの命令で同時に行った場合は、本ボードで動作しても実際のICで動作しない場合があります。
- 発振回路のロジックレベルが高いため、発振開始時間のタイミングが異なります。
- 本ボードにはOSC1とOSC3用の発振回路が内蔵されています。このため、実ICにおいてOSC3の発振子を接続しない場合でも、OSC3回路による動作が可能になりますので、注意してください。
- 高速動作用定電圧回路が停止している状態でOSC3発振回路をONしないでください。

<未定義アドレス空間のアクセス>

S1C63158/358/P366内蔵のROM/RAM、I/Oの未定義空間に対して、読み出し・書き込みを行った場合、その値は不定となります。また、本ボードと実際のICでは不定となる状態が異なりますので、充分注意してください。なお、ICE(S5U1C63000H1 / S5U1C63000H2)は、未定義アドレス空間に対してアクセスがあった場合、プログラムブレークが発生する機能を内蔵しています。

<リセット回路>

ICEおよび本ボードに電源を投入してから、プログラムが動作するまでのシーケンスは、実際のICに電源を投入してから、プログラムが動作するまでのシーケンスと異なりますので、注意してください。本ボードでは、ユーザプログラムのロード、オプションデータのロードを行ってからデバッグシステムとしての動作が可能になります。なお、ICEをフリーランモードに設定して動作させる場合は、必ずシステムリセットをかけてください。システムリセットは、本ボード上のリセットスイッチ、リセット端子入力、入力ポートの同時LOWレベル保持のいずれかになります。

<内部電源回路>

- 本ボードでは、VDC、DBON、HLON、VDSEL、VADSELレジスタを内蔵していますが、実際の電源制御はいっさい行っていません。そのため、S1C63158/358/P366のテクニカルマニュアルを参照して正しい電圧を設定してください。また、制御電圧を切り換える場合もテクニカルマニュアルを参照の上適切なウェイト時間を設けてください。
- 本ボードには、LCD駆動電圧を調整するためのボリューム(VLCD)がありますが、実際のICでは調整できません。また、LCDの駆動電圧は、実際のICと差異が生じる可能性があります。
- 使用可能な動作周波数範囲は、内部動作電圧に依存しますので、S1C63158/358/P366のテクニカルマニュアルを参照の上、不適当な動作周波数と内部電源の組み合わせで動作させないように注意してください。

<I/Oレジスタの相違>

FF01H、D1ビットは読み出し時常に"0"に固定されていますが、本ボードではリード/ライト可能なレジスタとして動作しますので、本ビットには"1"を書き込まないように注意してください。

セイコーエプソン株式会社 **電子デバイス営業本部**

ED営業推進部	〒191-8501 東京都日野市日野421-8
IC営業技術G	TEL (042)687-5816(直通) FAX (042)687-5624
東日本	
ED東京営業部	〒191-8501 東京都日野市日野421-8
東京IC営業G	TEL (042)687-5313(直通) FAX (042)687-5116
西日本	
ED大阪営業部	〒541-0059 大阪市中央区博労町3-5-1 エプソン大阪ビル15F
	TEL (06)6120-6000(代表) FAX (06)6120-6100
東海・北陸	
ED名古屋営業部	〒461-0005 名古屋市東区東桜1-10-24 栄大野ビル4F
	TEL (052)953-8031(代表) FAX (052)953-8041
長野	
ED長野営業部	〒392-8502 長野県諏訪市大和3-3-5
	TEL (0266)58-8171(直通) FAX (0266)58-9917
東北	
ED仙台営業所	〒980-0013 宮城県仙台市青葉区花京院1-1-20 花京院スクエア19F
	TEL (022)263-7975(代表) FAX (022)263-7990

インターネットによる電子デバイスのご紹介 <http://www.epsondevice.com>